

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

## CMOS ロジック HD74AC シリーズ (FACT)

### 使用上の注意

\* FACT はナショナルセミコンダクタ社の登録商標です。

今日のシステム設計者はシステムの性能と信頼性を向上させるという課題に直面しています。ルネサスのアドバンスト CMOS FACT は設計者がこれらの課題を達成するのを助けたいします。

FACT (Fairchild Advanced CMOS Technology) は、現行のテクノロジーによるロジック回路に共通な多くの欠点を軽減するように設計されています。

FACT は、CMOS 本来の低静的消費電力と高ノイズマージンに加え、高ファンアウト数、低入力電流、50  $\Omega$  伝送ライン駆動能力 (FAST などのパイポラ・テクノロジーファミリと同等)を備えており、1.2 ミクロンの SSI・MSI ファミリを形成しております。

最先端のシステム設計は、CMOS の消費電力レベルでアドバンスト・ショットキなみのスピードとドライブビリティ、優れたノイズ・静電破壊・ラッチアップ耐量などの性能を要求していますが、FACT は 1 つのファミリにてこれらすべてにこたえています。

FACT によって得られる利点をフルに活用するためには、CMOS を用いたときの設計上の代償とともにフレキシブルな設計技術への理解が不可欠です。

以下の章にて FACT の性能に関する一般的な注意事項および必要事項について説明します。

FACT を新しい設計に使用する際評価すべき項目として下記 5 項目があげられます。

- インタフェース：ボード間および他ファミリとのインタフェース、バッテリーバックアップシステム、または基板を抜きさしするときにパワーダウンをするか、電源 ON のままとするシステムでは特別な考慮が必要となります。
- 伝送ラインの駆動：FACT はすべての CMOS ファミリおよびほとんどの TTL ファミリ以上のライン駆動能力を有します。
- ノイズの影響：一般的に信号波形のエッジレートの増加とともに、クロストークおよびグラウンドノイズの問題も起こりやすくなります。

FACT は耐ノイズレベルの向上およびロジックスレッショホールドレベルを高く設定することによりクロストークに対し強くなっています。

- ボードレイアウト：ボードレイアウトを慎重に行なうことにより、ほとんどのノイズの影響は最小におさえられます。
- 電源とデカップリング： $V_{CC}$ 、グラウンドのラインインピーダンスを出来る限り小さくするため、基板上的  $V_{CC}$ 、グラウンド配線幅は出来る限り広くとってください。全面グラウンド/全面  $V_{CC}$  がベストです。  
伝送ラインを駆動するデバイスにはすべてデカップリングコンデンサをつけるか、あるいはすべてのデバイスにデカップリングコンデンサをつけてください。

### 1. インタフェース

FACT はバランスのとれた CMOS 出力に高電流ライン駆動能力を組み合わせています。すべての出力端子の設計は標準化されており、最悪条件下でも 24 mA のソース/シンク電流を保証しており、標準的なアドバンスト・ショットキ製品よりも大きな負荷を駆動することができます。FACT は、ALS、AS、LS、HC および HCT デバイスを直接駆動することができます。

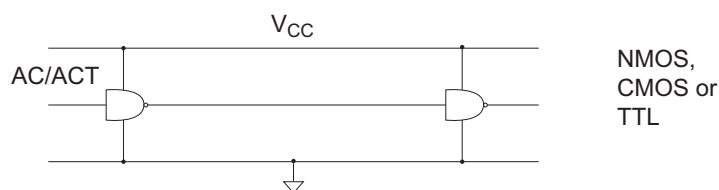


図 1 FACT から NMOS, CMOS, TTL へのインタフェース

FACT は、図 1 に示すように、NMOS, CMOS ファミリから直接駆動でき、共通の電源ラインを用いて特別な配慮をせずとも動作可能です。これは、FACT の 1 入力あたり  $1\ \mu\text{A}$  以下に保証された低入力電流によるものです。

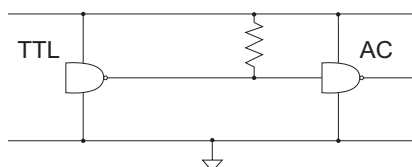


図 2 L 出力と接続した場合の  $V_{IH}$  のプルアップ

従来製品のなかには、すべての TTL ファミリのように FACT を直接駆動できないものもあります。これはハイレベル出力電圧の保証値が 2.4 と FACT を駆動するためには不適当なためです。この TTL から FACT へのインタフェースの問題には 2 つの簡単な解決方法があります。

図 4-2 に示しますように、およそ  $4.7\ \text{k}\Omega$  程度の抵抗にて  $V_{CC}$  プルアップすることにより TTL→CMOS レベルコンバータを構成することができます。CMOS 入力には正しい High レベルがあらわれます。

不幸にして、プルアップ抵抗を使えない場合もあります。たとえば、終端された TTL バスなどがこれにあたります。FACT ファミリには入力スレッショールドレベルが TTL とコンパチブルな製品 (HD74ACT シリーズ) もあります。(図 3 参照)

これらの製品は入力にレベル変換のためのバッファ段が追加されているため、CMOS 入力レベル製品に比べ若干スピードは遅くなります。

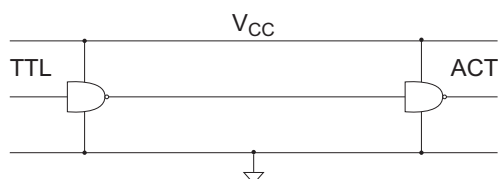


図 3 TTL から ACT へのインタフェース

ECL デバイスから FACT デバイスを直接駆動することはできません。

FACT と ECL のインタフェースは、TTL→ECL 変換器および HD10125 (ECL-to-TTL 変換器) にて可能です。この際、TTL 出力から CMOS 入力への変換規則 (およそ  $4.7\ \text{k}\Omega$  程度の抵抗にて  $V_{CC}$  へプルアップする) を守ることが必要です。

このレベル変換は、抵抗ネットワークでも可能です。

図 4a に抵抗を 3 本用いた FACT と ECL ロジックの接続例を示します。

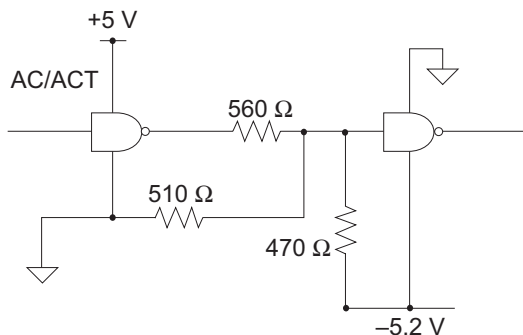


図 4a 抵抗による FACT から ECL へのレベル変換

図 4b と図 4c に ECL から FACT へのレベル変換例を示します。こちらの方が幾分複雑な構成となりますが、ECL と FACT のインタフェースが可能となります。

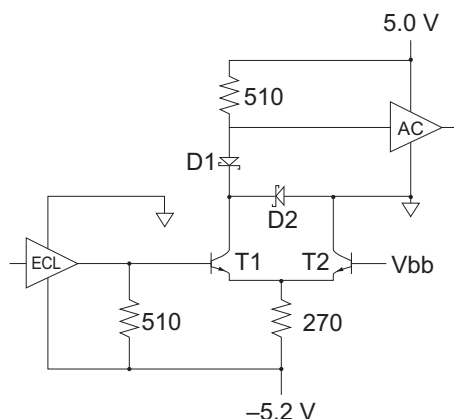


図 4b シングルエンド ECL から AC へのインタフェース

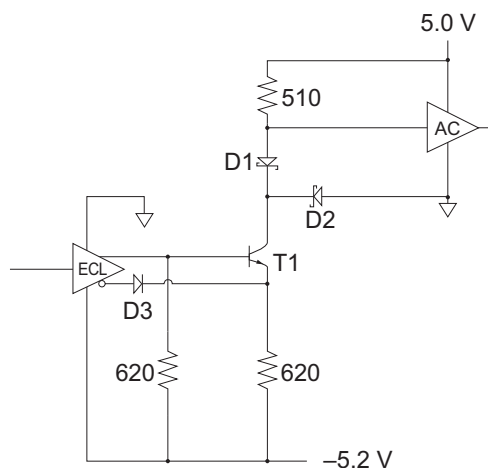


図 4c ディファレンシャル出力 ECL から AC へのインタフェース

FACT においては、他の CMOS 製品と同様に、規定された入力電圧値 ( $V_{IL}$ ,  $V_{IH}$ ) の中間となる電圧レベルを入力すると CMOS を構成する PN 両 MOS トランジスタが同時 ON します。これは電源からグランドへの低抵抗電流経路を形成することとなり、消費電流を数桁のオーダーにて増加させますので理解が必要です。

## 2. ラインの駆動

高速 CMOS ロジックファミリの実現により、システム性能は新たに高められました。しかし、これらのより高速となったデバイスは、伝送線路の影響をより注意深く考慮することを必要とします。

すべての回路線路は伝送線路としての特性を持ちますが、この特性はドライバのエッジレート (立ち上がり、立ち下がり時間) が、線路の伝搬遅延時間を 3 倍した値より小さいか、等しくなるかが重要となってきます。

例えば、無負荷のプリント回路線の伝搬遅延時間を 1.7 ns/30 cm とした場合、エッジレート 3 ns のデバイスにて 20 cm 以上の線路を駆動するような場合は、伝送線路としての特性が重要になります。

伝送線路としての多くの特性のなかでも 2 つの項目が最も重要となります。

実効特性インピーダンス  $Z_{oe}$  と線路の実効伝搬遅延時間  $t_{pde}$  です。

特性インピーダンスと伝搬遅延時間の真性値  $Z_0$  と  $t_{pd}$  は幾何学的寸法により決定されます。真性値がわかったならば負荷による影響は計算により求められます。負荷をつけた場合の  $Z_{oe}$  と  $t_{pde}$  の値は以下に示す式により求められます。

$$Z_{oe} = \frac{Z_0}{\sqrt{1 + C_t / C_1}}$$

$$t_{pde} = t_{pd} \sqrt{1 + C_t / C_1}$$

ここで、 $C_1$  は真性ライン容量、 $C_t$  は負荷による容量増加分を示します。

これらの式から、伝送線路の負荷は実効特性インピーダンスを減少させ、実効伝搬遅延時間を増加させることがわかります。ドライバのエッジレートの 1/3 より線路の伝搬遅延時間が大きくなるときは、伝送線路としての評価が必要となります。バスラインを伝送線路として解析する際ほとんどの場合、最も長く負荷が重いラインと、最も短く負荷が軽いラインの評価だけが必要となります。

バスの中のすべてのラインは同じように終端する必要があります。

もしバスの中の 1 本のラインでも終端が必要な場合は、バスの全ラインを終端する必要があります。これはすべてのラインの信号をそろえることとなります。

直列終端・並列終端・AC 並列終端・Thevenin 終端などがこれに含まれます。

AC 並列終端と直列終端は DC 的にはパワーを消費せず、低消費電力なアプリケーションには最も有効となります。並列終端・Thevenin 終端では DC 消費電力が高くなります。

## 3. 終端方法

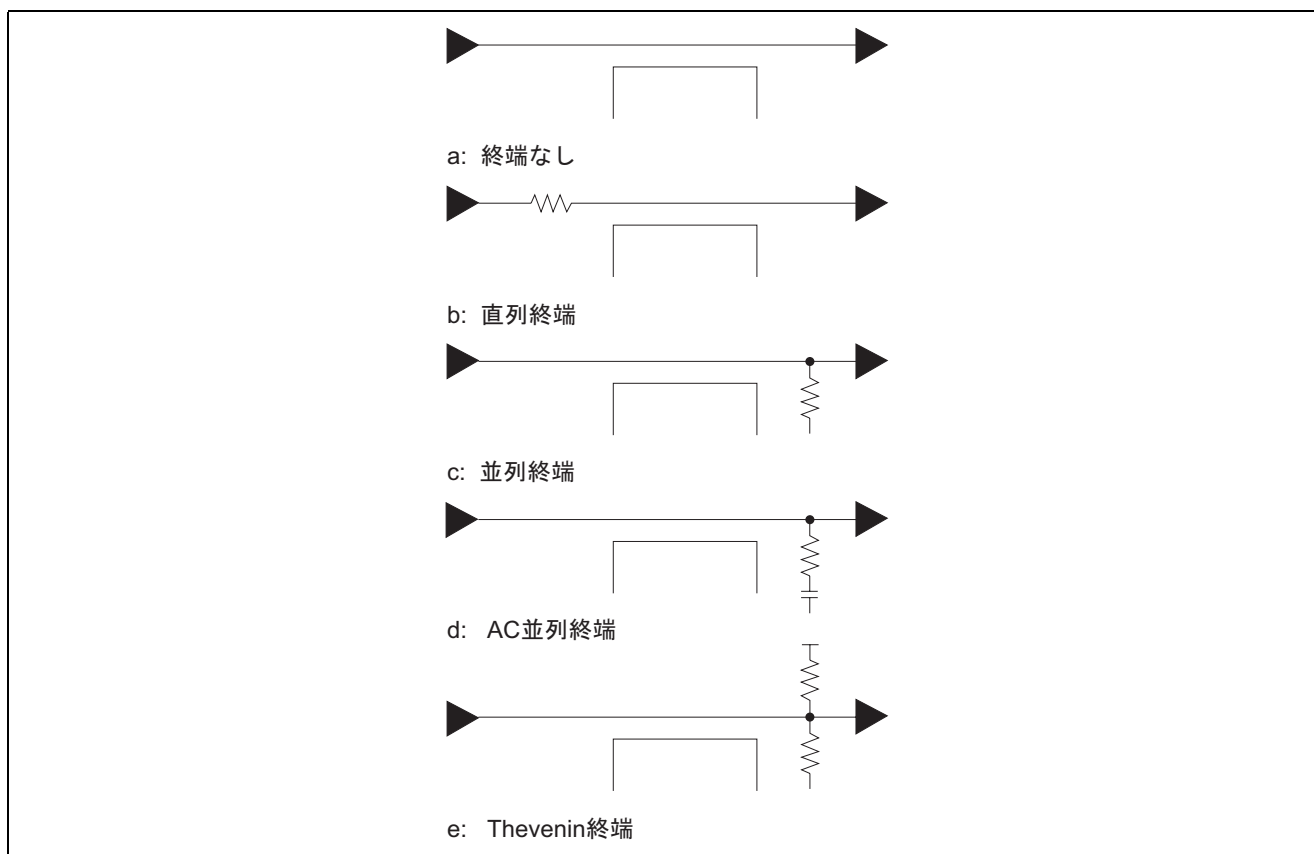


図 5 終端方法

### 3.1 直列終端

直列終端は、ほとんどの負荷がラインの終わりに付いているような高速アプリケーションにて最も有効となります。ドライバとラインの終わりの中間に位置する負荷は、2 段階の波形をうけます。1 段階のステップはドライバの立ち上がり/立ち下がりによるものです。振幅はドライバの出力インピーダンス、直列抵抗値およびラインのインピーダンスにより下式にて求められます。

$$V_W = V_{CC} \cdot Z_{oe} / (Z_{oe} + R_S + Z_S)$$

$R_S$  (直列抵抗) と  $Z_S$  (ドライバの出力インピーダンス) の和が、ラインの特性インピーダンスと等しい場合、振幅はドライバの出力振幅の 1/2 となります。

2 段目のステップは、ラインの終端からの反射であり、1 段目のステップと同じ振幅を持ちます。ライン上の全デバイスは、信号波がラインを伝搬し、再びドライバに戻ったときはじめて正規のレベルを受けることになります。つまり、全入力は、ラインの遅延時間の 2 倍以内にドライバの全振幅電圧を受けることになります。

## 3.2 並列終端

並列終端は、終端自身での消費電力が大きく、IC の消費電力よりも大きくなってしまいうこともあり、CMOS 回路には一般的にはお奨めできません。

並列終端の消費電力は、抵抗値と信号のデューティ・サイクルの関数となります。また、並列終端はドライバの出力電圧を  $V_{CC}$  またはグランドへバイアスすることとなります。これは CMOS 入力を駆動するのには望ましくありません。

並列終端は TTL 入力を駆動するのには有効です。

## 3.3 AC 並列終端

AC 並列終端は、直列抵抗により遅延が問題となるようなアプリケーションでは有効となります。AC 並列終端の効果は、一般的な並列終端の効果とにています。大きな違いは容量により DC 電流経路がカットされ、消費電力が低減されることです。

## 3.4 Thevenin (テブナン) 終端

Thevenin 終端も、終端自身の消費電力のため一般的にはお奨めできません。並列終端と同様に終端抵抗によりグランドへの電流経路が形成されます。しかし、Thevenin 終端の消費電力は、一般的には信号のデューティ・サイクルの関数とはなりません。

Thevenin 終端は、並列終端のように出力レベルをバイアスしませんので CMOS 入力の駆動に適しています。

しかし、Thevenin 終端は、フローティング状態にしたままにしておくべきではありません。これは CMOS の入力レベルを  $V_{CC}$  と GND の中間レベルに浮かせることとなり消費電力を増加させます。

FACT は全温度範囲にて 50  $\Omega$  伝送線路を駆動できるよう設計されています。FACT では、シンク 86 mA・ソース 75 mA のダイナミック駆動能力を規定しており、これにより 50  $\Omega$  伝送線路の駆動が保証されます。また、これは 50  $\Omega$  伝送線路上での、ドライバの立ち上がり/立ち下がりにつづいた信号波形変化によるスイッチングを保証することになり、3 ns の立ち上がり/立ち下がり時間とも一致します。

FACT は、バランスのとれたトータムポール出力構造を持ち、ソース電流能力とシンク電流能力がほぼ等しいという特長を持ちます。

これは、バランスのとれたエッジレートを生み出し、出力立ち上がり時間と立ち下がり時間は等しくなります。バランスのとれたドライブ能力と出力トランジション時間は、各々のバスについて、2 つの異なる遅延時間を計算する手間と、最短遅延時間を求めるために信号の極性を直す必要をなくします。

FACT の入力は、高 "High" レベルの利点をフルに活かし、最大限のノイズマージンを生み出すように作られています。

$V_{IH}$  と  $V_{IL}$  は  $V_{CC}$  の各々 30%、70% と規定されています。これに対応する  $V_{OH}$ 、 $V_{OL}$  は、ソースまたはシンク電流 20  $\mu A$  のとき、 $V_{CC} - 0.1 V$ 、 $GND + 0.1 V$  以内となります。

これらノイズマージンの概要を図 4-6 に示します。

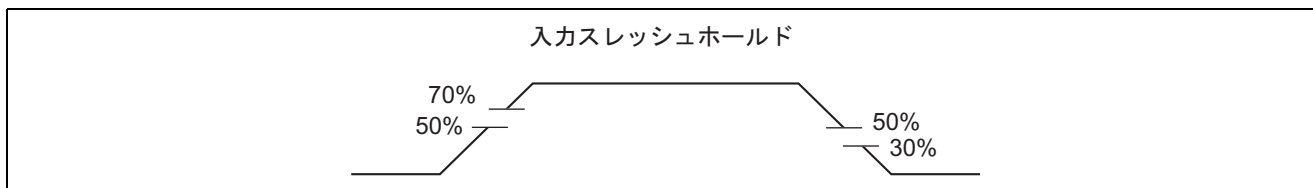


図6 入力スレッショールドレベル

## 4. CMOS バス

CMOS ロジックデバイスは、全入出力に  $V_{CC}$ 、グランドへと通じるクランプダイオードを持っています。これらのダイオードは、アンダシュート・オーバシュートノイズをダンピングすることによりシステムの信頼性を向上させますが、一方、電源を OFF にした場合には問題が生じます。

図7は、電源が OFF した場合の例を示します。 $V_{CC}$  より高い入力電圧が加わったピンではクランプダイオードが順方向バイアスされます。入力から入った電流は  $V_{CC}$  あるいは、“High”状態の出力から流れ出します。システムによりませんが、この電流  $I_{IN}$  は非常に大きくなる場合もあり、バスの電圧が正しい“High”レベルに達せなくなることも起こり得ます。この問題を防ぐ一つの解決法として、ラインに直列抵抗を挿入することが考えられます。

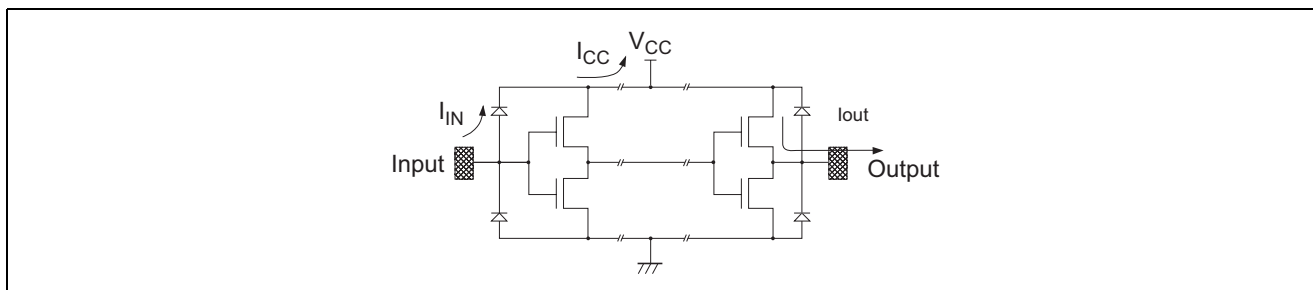


図7 ノイズの影響

## 5. ノイズの影響

FACT は、今日存在する他の競合製品のなかでも最大の耐ノイズ性を提供します。入力スレッショールドレベルは  $V_{CC}$  の 30%と 70%に規定されており、出力電圧は  $V_{CC}$ 、グランドから 100 mV 以内となりますので、FACT のノイズマージンは  $V_{CC}$  の 30%に近い値となります。 $V_{CC} = 5\text{ V}$  において FACT の入出力レベルのスペックは、グランドおよび  $V_{CC}$  からのノイズに対しほぼ 1.5 V のノイズマージンを与えます。実際の入力スレッショールドは  $V_{CC}$  の 50%に近く、実際の入力マージンは 2.5 V に近づきます。

しかしながら、いかに進んだ技術を用いた製品でも、そのみではノイズの問題をとり除くことはできません。良い回路基板レイアウト技術は、FACT の優れた性能の利点をフルに活かす基本となります。

良く設計された回路基板は同時に、製造およびテストング上の問題も取り除く助けとなります。

もう一つ、実用上おすすりできることは、基板を高速領域・中速領域・低速領域に分けることです。高電流が必要な回路領域、つまりバッファ回路と高速ロジックはできるかぎり電源に近づける必要があります、低速回路領域は遠ざけることができます。

デカップリングコンデンサは、すべてのバッファ IC のそばに配置する必要があります。デカップリングコンデンサは、ロジック回路全体にわたって、IC 1 個に 1 個のわり合いで配置する必要があります。伝送ラインは、反射を最少におさえるため終端する必要があります。クロストークを最少にするため、長い信号線は近寄らないように配置してください。

## 6. クロストーク

クロストークの問題とそれといかに対処するかは、システム性能の向上と基板の実装密度増加に伴います重要になってきています。クロストークは、一方のラインからもう一方のラインへの信号の容量性結合です。インアクティブなライン上に誘起されるノイズの大きさは、アクティブなライン上のエッジレートと 2 本のラインの間隔と距離に直接比例します。

クロストークは2つの基本的な原因を持ちます。フォワードクロストーク (図 8a) は、プリント回路のラインを2つの異なるスピードで伝搬していく信号波により生じます。このスピードの差は空気の比誘電率 ( $\epsilon_r = 1.0$ ) とエポキシガラスの比誘電率 ( $\epsilon_r = 4.7$ ) の差によります。波形がラインを伝搬するにしたいが、速度の差により、一方がラインの終わりに到着する前に、他方がラインの終わりに到着します。この遅延がフォワードクロストークを生じます。遅延はラインが長くなるほど増加します。その結果フォワードクロストークの大きさは、ラインの距離とともに増加します。

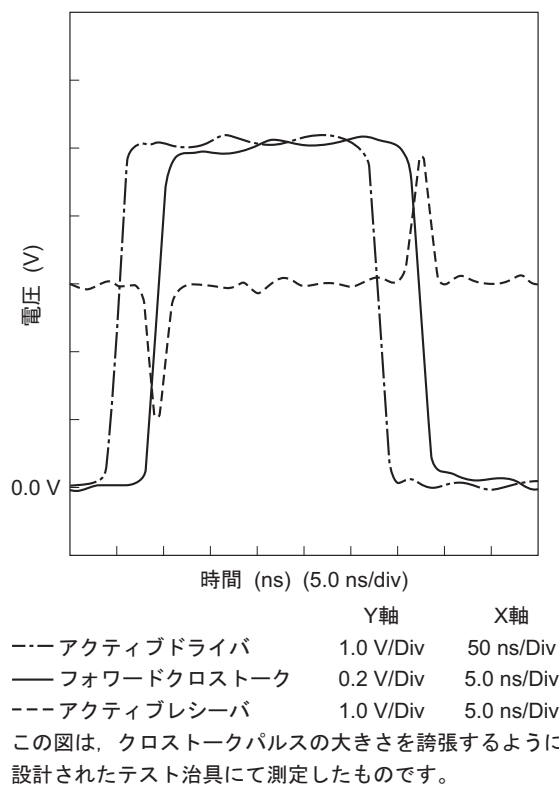
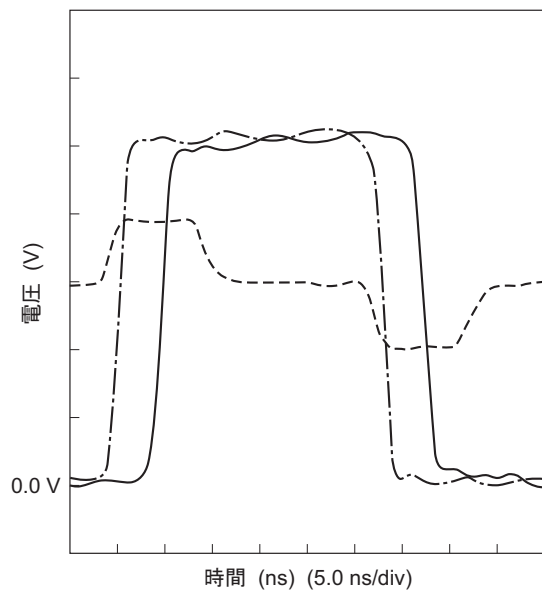


図 8a PCB ライン上のフォワードクロストーク

リバースクロストーク (図 8b) は、伝送状態にあるライン間の相互インダクタンスと容量により生じます。リバースクロストークは、ある一定限界値までは直線的に距離に比例して増加します。この限界となる長さは、信号がその立ち上がり、立ち下がり時間内に移動できる距離となります。

クロストークにより完全にとりさることはできませんが、クロストークにより発生するシステム上の問題を低減できるいくつかのデザインテクニックがあります。FACT の優れたノイズマージンは、クロストークに関連する問題に対しシステムを強くし、デザインを容易にします。図 9a, 9b に示す FACT の AC ノイズマージンは、システムの信頼性にも影響しうる日常的なノイズへ対するすぐれた耐ノイズ性を示しています。



Y軸 X軸

--- アクティブドライバ 1.0 V/Div 50 ns/Div

--- フォワードクロストーク 0.2 V/Div 5.0 ns/Div

— アクティブレシーバ 1.0 V/Div 5.0 ns/Div

この図は、クロストークパルスの大きさを誇張するように設計されたテスト治具にて測定したものです。

図 8b PCB ライン上のリバース・クロストーク

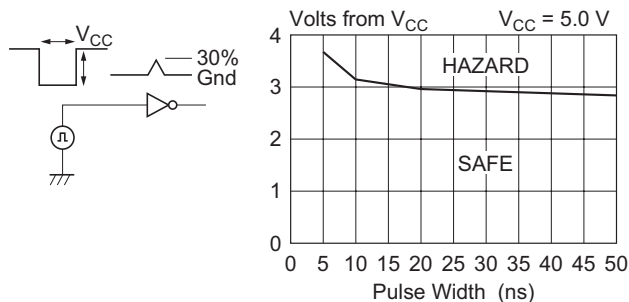


図 9a “High” ノイズマージン

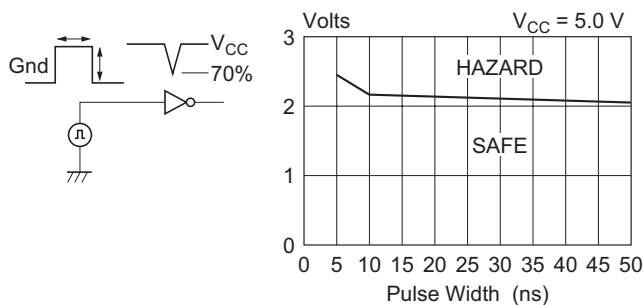


図 9b “Low” ノイズマージン

FACT は 2 V 以上のノイズマージンを持っており、他のどのファミリよりもすぐれたノイズ除去性を提供します。

どのようなデザインにおいても、互いに近接して走るラインの距離はできるだけ短くする必要があります。最もよい条件はラインが互いに直交するときです。

ラインが平行に走らざるを得ないような条件では、ラインを終端することによりクロストークの影響は最少に抑えられます。ラインをその特性インピーダンスにて終端すると最初のクロストークパルスの大きさは50%低減できます。ラインを終端することによりリングングの量も低減します。クロストークの問題は、ラインを遠くに離すか、グランド線または面をその間に挿入することによっても低減できます。

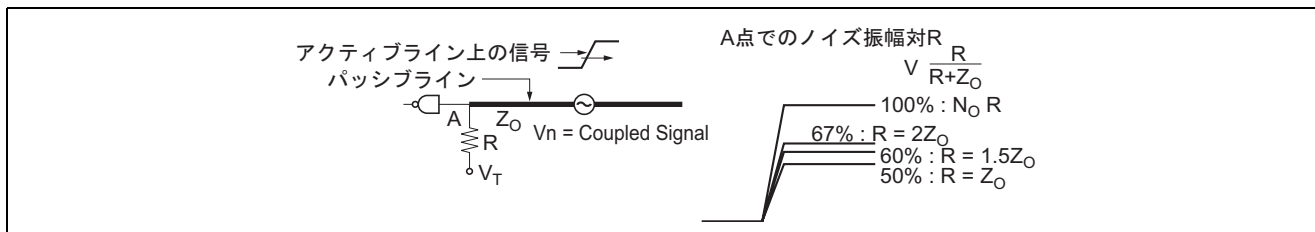


図 10 クロストークに対する終端の影響

## 7. グランドバウンス

グランドバウンスは、CMOS デバイスを組み立てるのに用いるパッケージのリードフレームとボンディングワイヤの本質的な特性の結果として発生します。最新のロジックファミリではエッジレートと駆動能力が増加するにすぎない、これらの本質的な電気的特性の影響はさらに顕著となります。

図 11a は、標準試験負荷を駆動するリードフレームを含めたデバイスの簡単な回路モデルを示します。 $L_1$  はパッケージのグランドピンのリードの寄生インダクタンスを、 $L_2$  はパッケージの電源ピンのリードの寄生インダクタンスを、 $L_3$  はパッケージの出力ピンのリードの寄生インダクタンスを、 $R_1$  はデバイス出力部の出力インピーダンスを、 $C_L$ ,  $R_L$  はデバイスの出力端につなげた標準試験負荷を示します。

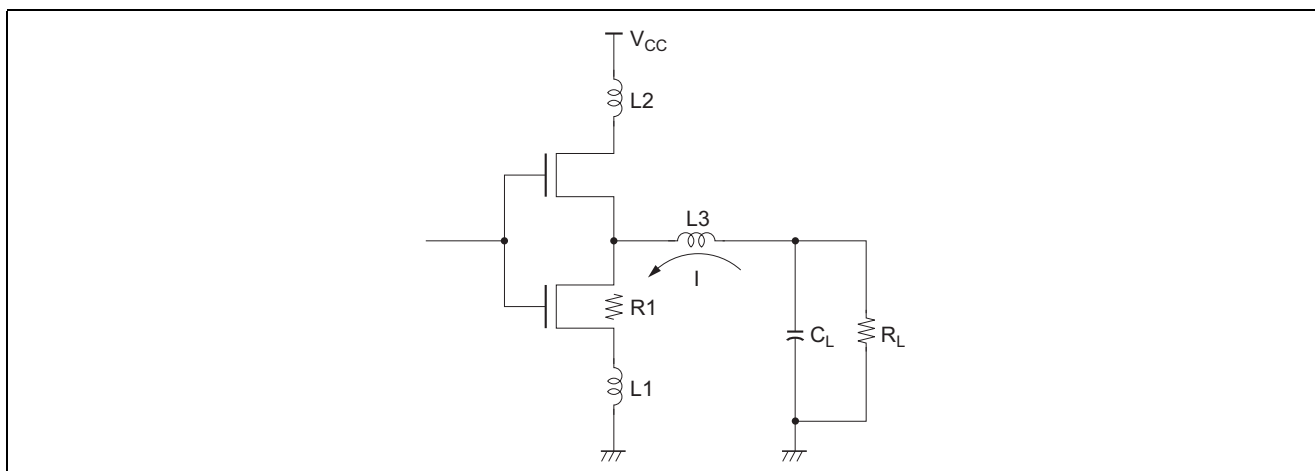


図 11a 出力モデル

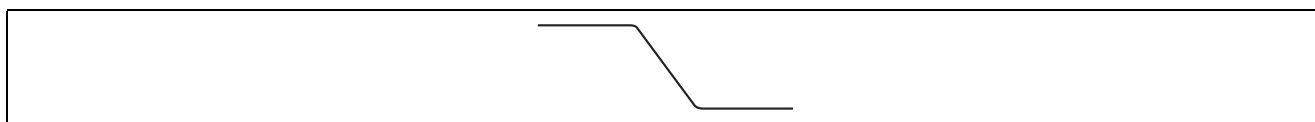


図 11b 出力電圧

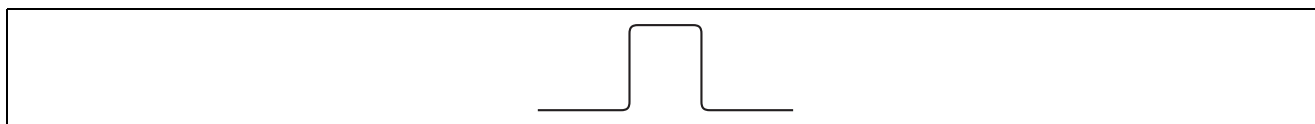


図 11c 出力電流

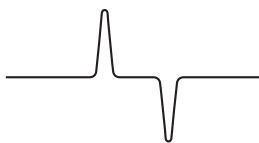


図 11d インダクタンス電圧

図 11b, c, d に示す 3 つの波形はどのようにグラウンドバウンスが発生するかを示します。最初の波形は負荷がロジック “High” からロジック “Low” へ変化する際の負荷端の電圧を示します。出力のスレーレートは、出力トランジスタ特性、インダクタンス  $L_1, L_3$ 、と負荷容量  $C_L$  により決まります。2 番目の波形は、容量が放電する際に発生する電流 ( $I = C_L \cdot dv/dt$ ) を示します。3 番目の波形は、電流の変化によりグラウンドのリードのインダクタンスに誘起される電圧 ( $V_{gb} = -L \cdot di/dt$ ) を示します。

グラウンドバウンスの大きさに影響を与える要素は数多くあります。それらのなかには、以下の物があげられます。

- 同時にスイッチする出力の数：出力数が多い程、グラウンドバウンスも大きくなります。
- 出力負荷形式：容量性負荷は、標準的なシステム配線の 2～3 倍のグラウンドバウンスを発生します。容量性負荷を約 60～70 pF に増すとグラウンドバウンスも増加します。70 pF 以上になると、負荷のフィルタ効果によりグラウンドバウンスは低下します。負荷を出力から遠ざけるとグラウンドバウンスは小さくなります。
- 出力ピン位置：グラウンドピンに近い出力は、グラウンドピンから遠い出力に比べグラウンドバウンスが小さくなります。
- 電圧： $V_{CC}$  を下げるとグラウンドバウンスは小さくなります。
- テスト治具：標準的なテスト治具は、容量性負荷を使用するため、AC 負荷を増加させるとともに LCR 共振回路を形成します。このため、典型的なシステムに比べて 30～50% 大きなグラウンドバウンスを発生します。

グラウンドバウンスは種々な症状を生みます。

- デバイスの論理状態変化：FACT はこの症状を表わしません。
- 伝搬遅延時間の増加：FACT では、スイッチング動作する出力が 1 ヶ増加するごとの伝搬遅延時間の増加は 250 ns 以下となっています。
- 動作出力のアングラシュート：最悪の場合のアングラシュートは、最悪の場合の Quiet 出力 Noise とほぼ等しくなります。
- Quiet 出力ノイズ：FACT の最悪の場合の Quiet 出力ノイズは、実際のシステムアプリケーションにて測定したところ約 500～1100 mV となります。

以下に述べるルールのうちいずれか一つだけでも、グラウンドバウンスに関する問題にかかわるのを避けるのに充分効果があります。

第 1 に、CMOS オクタール出力にて、非同期の TTL レベル入力をドライブする際は、用心する、また、第 2 として、データまたはアドレスラインをドライブするデバイスと同一デバイスで、グリッチに敏感なコントロールライン(セット、リセット、ロード、クロック、チップセレクト)を動かす際は用心する。

上に述べたような条件を避けるのが不可能な際は、グラウンドバウンスノイズを最小にするため下に示すような簡単な予防策があります。

- このような出力をできるかぎりグラウンドピンに近づける。
- 可能な範囲で低い  $V_{CC}$  を用いるか、または、電源を分ける。
- クロストーク、反射等の付随的なノイズ源を減らすようなボード設計手法を採用する。

## 8. デザインルール

デザインルールは、デバイスへの最適な電源接続を実現することができ、信頼性の高いシステム動作を保証するためにお奨めします。

これらのガイドラインは、最新のバイポーラロジックファミリにて使用されているものと同じものです。

- $V_{CC}$  およびグランド面を持つ多層基板を使用する。デバイスの電源ピンは、電源ラインのインピーダンスを最小にするために、この面に直接半田づけする。
- すべてのデバイスにデカップリングコンデンサを使用する。通常は  $0.1 \mu F$  が使用されます。これらのコンデンサはできるだけグランドピンに近づける必要があります。
- ソケットまたはワイヤラップボードは可能なかぎり使用しない。
- 出力からグランドへ直接容量を接続しない。

### 9. デカップリング

FACT は、他のハイパフォーマンス・高駆動能力ロジックファミリと同様に、特別なデカップリングとプリント回路基板レイアウトが必要です。

この要求を満たすことにより、FACT の最大の利点が保証されます。

FACT の出力が Low から High へ変化する際は、局所的に IC の電源へ高周波デカップリングする必要があります。この電力は、負荷容量を充電したり、ラインのインピーダンスをドライブするのに必要となります。

図 12 に  $V_{CC}$  とグランドのレイアウト方法とそのインピーダンスを示します。ほとんどの電源配線では、インピーダンスは通常  $50 \Omega$  から  $100 \Omega$  の間となります。このインピーダンスは負荷インピーダンスと直列してあらわれ、IC の  $V_{CC}$  の落ち込みの原因となります。これは、デカップリングがない場合は各点で得られる電圧振幅を制限しています。この電源ラインの落ち込みは出力立ち上がり立ち下がり時間を長くします。図 4-13 に示す例を用いて、必要なデカップリング量を考えてみます。この回路では、AC240 が、 $100 \Omega$  バスラインの中間に接続され、ラインをドライブしています。

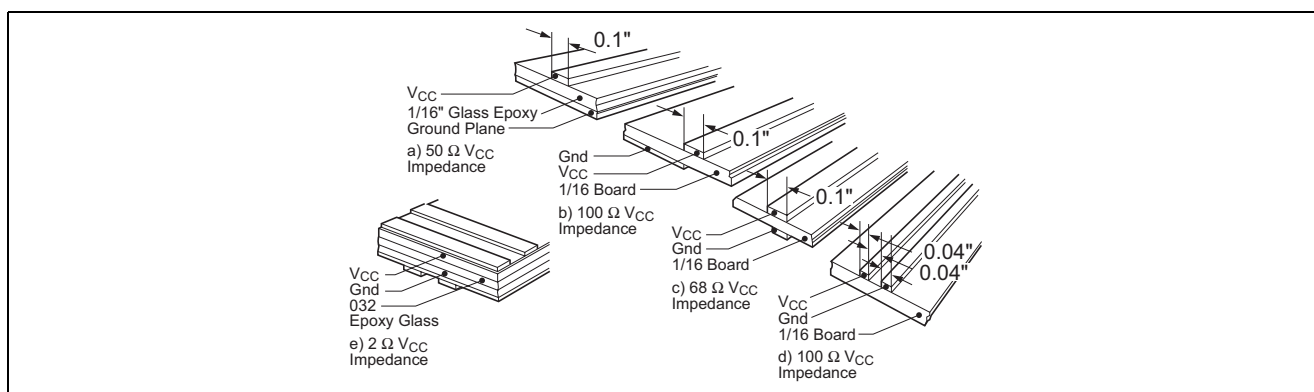


図 12 電源ラインのインピーダンス

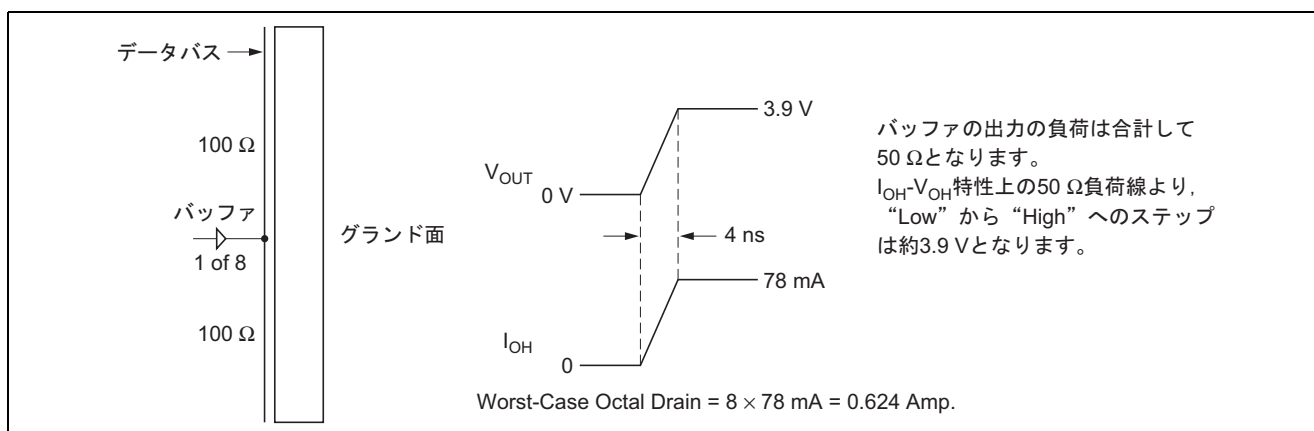


図 13  $100 \Omega$  バスをドライブするオクタールバッファ

バスの中間にあるために、ドライバは 2 個の  $100 \Omega$  負荷を並列に持ち、実際の負荷のインピーダンスは  $50 \Omega$  となります。バスラインを “Low” から “High” にするためには、 $78 \text{ mA}$  のドライブ電流が必要であり、も

し同時に 8 ラインがスイッチする場合は 624 mA 以上が必要となります。この瞬間的な電流要求は、電源ラインのインピーダンスによる電圧降下を発生し、チップ内での実際の  $V_{CC}$  のおち込みとなります。このおち込みは、ドライバの電圧振幅を制限します。

電圧のおち込みの影響はデバイスの立ち上がり、立ち下がり時間を長くし、システムの動作スピードを遅くします。IC 近傍に配置されたデカップリングコンデンサは、高電流が流れる際に、ドライバチップへの低インピーダンス電源として動作することが要求されます。これは電圧のおち込みを許容範囲内におさえ、立ち上がり、立ち下がり時間を最小におさえます。

デカップリングに必要な容量値は図 14 に示す式にて計算することができます。

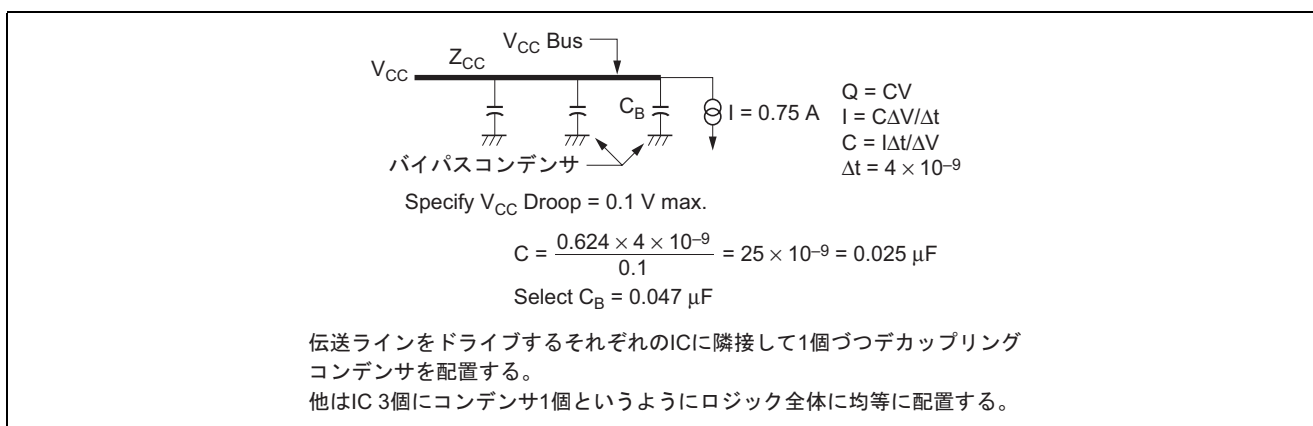


図 14 デカップリング容量計算式

この例では、もし  $V_{CC}$  のおち込みを 0.1 V 以下におさえ、エッジレートを 4 ns とするためには、0.025  $\mu\text{F}$  の容量が必要となります。

デカップリングコンデンサをロジック全体に均等に配し、1 パッケージにつき 1 個のコンデンサを配置するなどというのは良い例です。

## 10. コンデンサタイプ

デカップリングコンデンサは、低い等価直列抵抗 (ESR) を持ち主に直列インダクタンスと直列抵抗よりなる高 K セラミックタイプである必要があります。

5ZU 誘電体を使用した容量は、これに適した特性を持ち、デカップリングコンデンサとしてよい選択であり、最小コストと効果的な働きを示します。

伝送ラインをドライブするそれぞれの IC に隣接して、1 個ずつデカップリングコンデンサを配置します。他の IC 3 個にコンデンサ 1 個というようにロジック全体に均等に配置します。

## 11. TTL コンパチブル CMOS (HD74ACT シリーズ) の $\Delta I_{CC}$

FACT ファミリは 'AC' と 'ACT' タイプという 2 種類のアドバンスト CMOS 回路にて構成されています。

'ACT' は、TTL タイプの入力スレッシュホールドを持つアドバンスト CMOS であり LS, ALS と直接おきかえができます。この 'ACT' シリーズを TTL のおきかえとして使用するときは、 $\Delta I_{CC}$  のスペックを考慮する必要があります。このスペックは、CMOS に不慣れたエンジニアには、惑いやすく、誤解しやすくみえるかもしれません。

$\Delta I_{CC}$  の概念と実際設計をするときにそれをどのように使うかを理解するのは重要なことです。

まず、どこで  $\Delta I_{CC}$  が発生するのか考えてみます。

大部分の CMOS の入力構造は、下記に示すように、N チャネル MOS トランジスタと P チャネル MOS トランジスタを直列に接続したトータムポールタイプです。

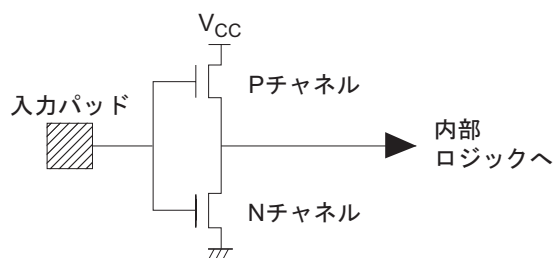


図 15 CMOS 入力構造

この 2 つのトランジスタは、入力電圧に応じて抵抗の変化する、可変抵抗と考えることができます。ON 状態のトランジスタの抵抗は約 50 Ω であり OFF 状態のトランジスタの抵抗は一般的に 5 MΩ 以上となります。この CMOS 構造の入力が GND かまたは  $V_{CC}$  電圧にあるときは、一方のトランジスタは ON し、他方は OFF します。この PN トランジスタペアの抵抗の合計は 2 個の各々の抵抗の和となり 5 MΩ 以上となります。このときリーク電流は 1 μA 以下となります。入力電圧が GND と  $V_{CC}$  の間にあるときは、ON 状態のトランジスタの抵抗は増加し、OFF 状態のトランジスタの抵抗は減少します。正味の抵抗ははるかに大きい OFF 抵抗に影響され低下します。合計直流抵抗は 600 Ω まで低くなることができます。この入力構造の直列抵抗の減少は、これに相応して入力構造部分に電流が流れるため  $I_{CC}$  の増加となります。

次に示すグラフは 'ACT' デバイスの入力電圧に応じた  $I_{CC}$  の変動を示します。

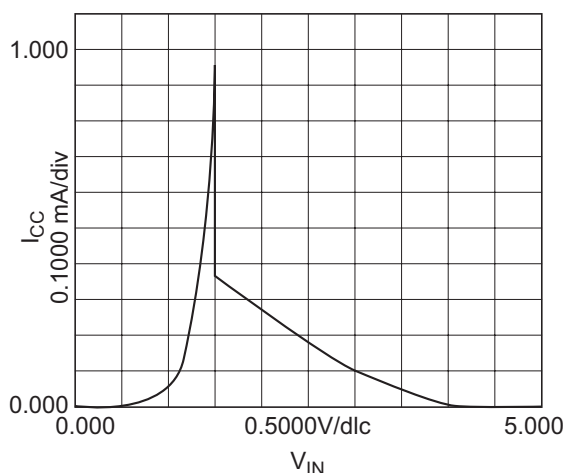


図 16 'ACT' デバイスの入力電圧 -  $I_{CC}$  特性

$\Delta I_{CC}$  の規格は、 $I_{CC}$  の増加分を示します。入力に  $V_{CC}-2.1$  V を印加した入力 1 個、1 個につき  $\Delta I_{CC}$  の値を静的消費電流に加えられるべきであり、そうすることにより、回路の最悪ケースの静的消費電流を求めることができます。

幸いなことに、入力ごとの  $I_{CC}$  の増加を低減させようとするいくつかの要素があります。大部分の TTL デバイスは、普通一般のシステムでは FACT の低入力電流性により、FACT の入力を TTL の出力電圧規格値以上に駆動することができます。例えば、FAST の場合は、'ACT' タイプの入力を "L" レベルでは 200 mV、"H" レベルでは 3.5 V まで駆動することができます。さらに、実際の入力ピンごとの  $I_{CC}$  の増加分のティピカル値はスペックのリミットより小さくなると思われます。上のグラフに示すように普通一般のシステムでは入力電圧が  $V_{CC}-2.1$  V のとき  $I_{CC}$  の増加は 200 μA 以下となります。

実験結果によると、'ACT240 シリーズのデバイスの全入力を、 $V_{CC}$  または GND のかわりに FAST に接続した場合、 $I_{CC}$  の増加分はわずか 200 μA (typ 値) にすぎませんでした。

他の TTL コンパチブル CMOS と同様に FACT を用いて設計する際は  $\Delta I_{CC}$  のスペックを考慮することが必要となります。スペックの意味を理解いただくとともに、データブックの値は最悪ケースの値であり、大部分のシステムでは、実際の値はずっと小さくなることも考慮にいれられるべきとなります。

### 12. アドバンスト CMOS の I/O ピンのテストニング

最近, TTL と置き換え可能な CMOS ファミリが市場にて多数入手可能となっています。これらの新しい CMOS を従来のバイポーラデバイスのために開発されたプログラムと治具で測定しても大体の場合は満足できる結果を得られますが, ときによっては, この方法だと技術的問題を起こす場合もあります。

‘ 245 Octal Transceiver に代表されるような, 双方向端子を持った IC がこの場合にあたります。もし, 正しいテスト方法で行なわれなかった場合は, IC に悪い点がなくともこれらの IC は  $I_{CC}$  および入力リーク電流テストをパスしない可能性があります。

CMOS IC は, バイポーラ IC と異なり, 標準負荷電流に比べ数桁も小さい静的  $I_{CC}$  スペックとなります。大部分の CMOS の  $I_{CC}$  スペックは普通 100  $\mu A$  以下となります。 $I_{CC}$  の測定を行なう際は, 他の電流によりデバイスの実際の  $I_{CC}$  がかくされてしまわないように細心の注意をする必要があります。これらの電流は普通入出力から印加されます。

CMOS デバイスの静的  $I_{CC}$  は非常に低いため,  $I_{CC}$  のテストの際出力の負荷電流にて  $I_{CC}$  がかくされてしまわないようにすべきです。

標準の 50  $\Omega$  負荷でさえ  $V_{CC} = 5 V$  のとき 10 mA の電流をシンクします。この値は測定されている  $I_{CC}$  のレベルの 2 倍以上となります。そのため, ほとんどの半導体メーカは,  $I_{CC}$  測定の際全出力は無負荷にするように規定しています。

デバイスの入力について考えた場合は, もう 1 つのことが問題となります。

入力電圧が遷移領域にあるとき,  $I_{CC}$  の値はスペックの値より数桁も大きな値となってしまうことがあります。入力のトーテムポール構造 N チャネルと P チャネルの両トランジスタが ON し,  $V_{CC}$  から GND への電流経路が形成されます。この電流が  $I_{CC}-V_{IN}$  特性での  $I_{CC}$  の増加となってあらわれます。入力が  $V_{CC}$  か GND 電位になると入力構造は導通しなくなります。 $I_{CC}$  の測定はたいていすべての入力を  $V_{CC}$  または GND に接続して行なわれます。もし入力をフローティングすると, 普通入力電圧は遷移領域のまん中にフローティングし, 入力構造にはテスターで測定されるデバイスの実際の  $I_{CC}$  の数桁大きい電流が流れます。

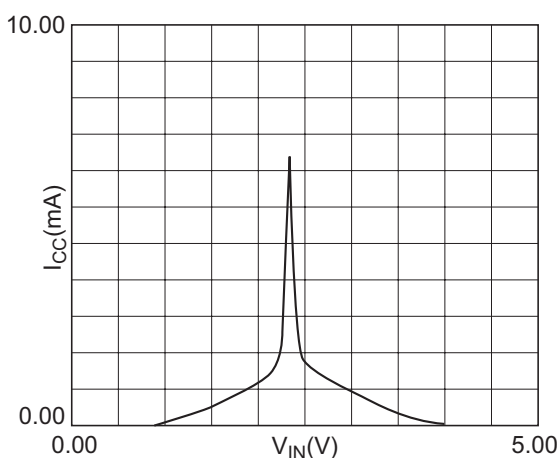


図 17  $I_{CC}-I_{IN}$

CMOS 構造 ‘ 245 の  $I_{CC}$  を測定する際, テストのやり方によっては問題が起こります。

下に ‘ 245 の I/O ピン構造を図示します。

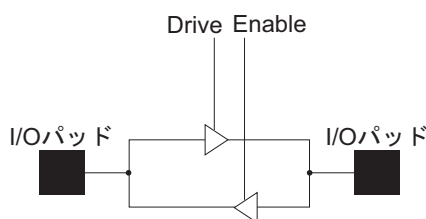


図 18 ‘ 245 I/O 構造

各々の I/O ピンは 1 個の入力デバイスと 1 個の出力デバイスに接続されています。この端子は、入力、出力、またはディスエーブル状態の出力という 3 種の状態を持つと見なされます。しかし実際には 2 つの状態しか存在しません。

この端子は、入力か出力のいずれか一方となります。I<sub>CC</sub> を測定する際、T/R 入力により出力に選択された端子は、イネーブル状態として開放とするか、ディスエーブルして V<sub>CC</sub> または GND に固定されるべきです。

もし、出力デバイスをディスエーブルし、フローティング状態にすると、入力デバイスもフローティングとなり、過大な量の電流が V<sub>CC</sub> から GND へ流れます。

守るべき簡単なルールは、ディスエーブルされた出力はすべて入力として扱うことです。こうすることが I<sub>CC</sub> 測定の正確さを保証するのに役立ちます。

他に問題となりそうなこととして I/O ピンのリーク電流測定があげられます。I/O ピンの内部構造を下に示します。

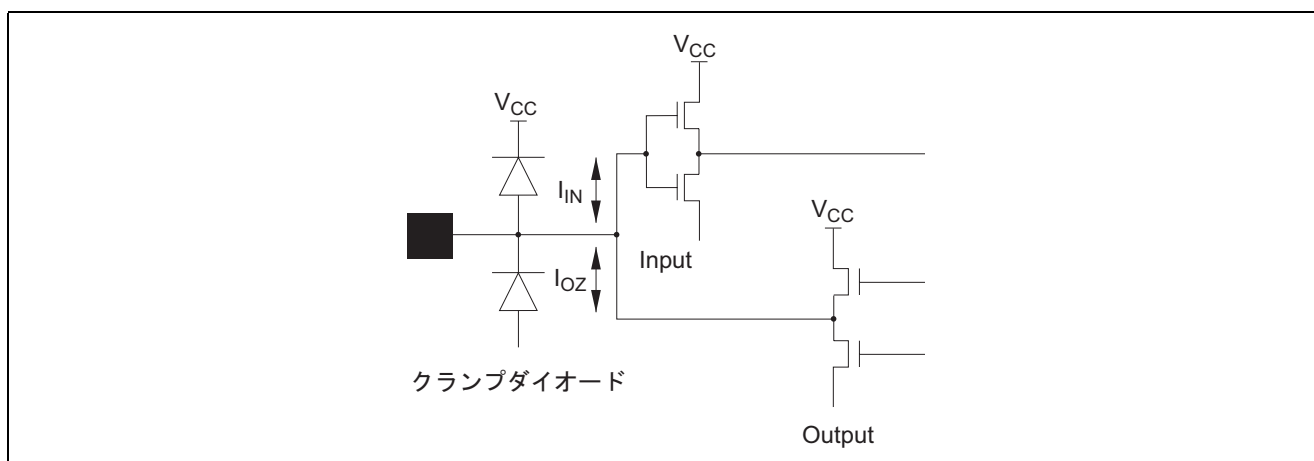


図 19 ビン入力構造

この端子は入力デバイスと出力デバイスの両方に内部的に接続されています。リークテストのリミットは入力の I<sub>IN</sub> スペックと出力の I<sub>OZ</sub> スペックの和となるべきです。FACT では I<sub>IN</sub> のスペックは  $\pm 1 \mu\text{A}$  であり I<sub>OZ</sub> は  $\pm 5 \mu\text{A}$  と規定されています。この 2 つの値を合すると I/O ピンのリミットは  $\pm 6 \mu\text{A}$  となります。普通 I/O ピンのリークは、出力だけの I<sub>OZ</sub> スペックより小さくなります。

CMOS 回路を測定することは、バイポーラ回路を測定することに比べもはやむずかしくありません。しかし、CMOS にはじめてとりかかる多くのテストエンジニアにとっては新しい関心事の領域もあります。

測定方法の基本方針を作る前にこれらの領域になれ親しみ理解することにより、後に起こりえる問題を防ぐことができます。

### 13. 伝送ライン条件下でのスリーステート出力のディスエーブル時間の測定

スリーステートバッファのディスエーブル時間は、ディスエーブル入力の 50% ポイントから、出力の 10% または 90% のポイントで測定します。ベンチテストにおいては、出力波形は負荷容量とブルアップ/ブルダウ抵抗により発生していました。この回路は、RC 充電/放電カーブを示します。

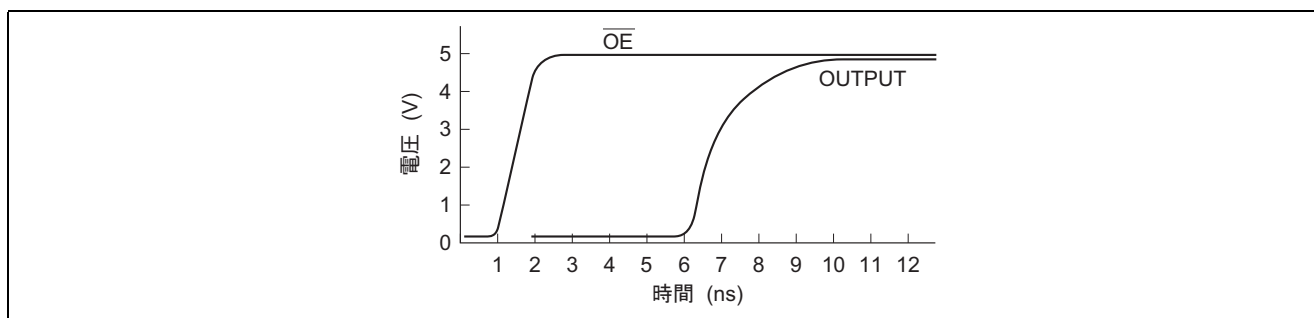


図 20 典型的ベンチ スリーステート波形

ATE (Auto Test Equipment) の測定では普通、ベンチテストの構造を再現するのは不可能です。ATE テスト負荷は、普通プログラマブルであり、実際のデバイスより遠く離れているため異なります。

一般に使用されているテスト負荷はウィーストブリッジです。下図に一般的テストシステムにてベンチ負荷を再現するために使用されているウィーストブリッジ測定構造を示します。

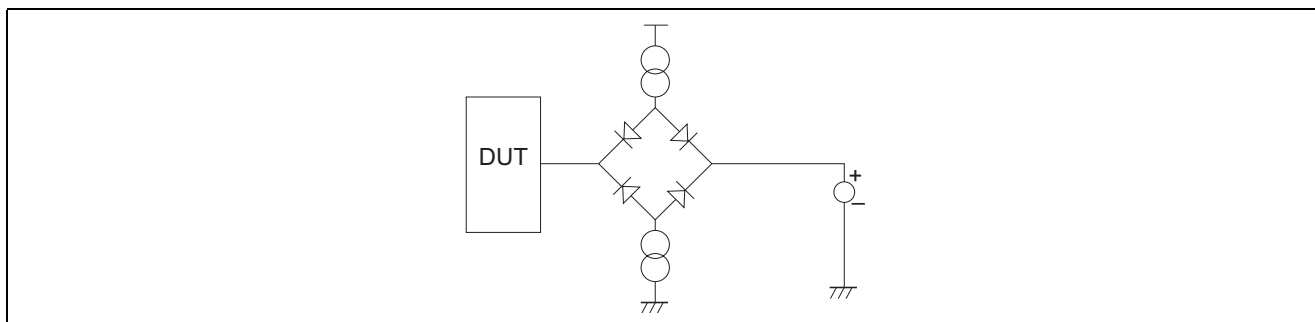


図 21 ウィーストブリッジ試験負荷

電圧源は、プルアップ/プルダウン電圧を供給し、電流源は  $I_{OH}$  と  $I_{OL}$  を供給します。

ゆっくりとした出力スループートを持つデバイスを ATE 負荷で測定すると、得られる波形は、ベンチ波形に忠実に似かより、高い相関が得られます。

しかし、高い出力スループートを持つデバイスをテストするときは、異なった結果が見られ、テスターでの測定結果、ベンチテストの結果の相関をとることがむずかしくなります。

この違いは測定装置の伝送ラインとしての特性によるものです。

だいたいのディスエーブルテストでは、先に、出力構造を通して電流を流します。

普通、この電流値は 5 mA から 20 mA の間となります。

次に被測定デバイス DUT はディスエーブルされ、コンパレータの出力が 10% または 90% レベルになるのを検知します。

DUT とコンパレータ間の接続が伝送ラインである場合を考えてみましょう。デバイスの出力をスイッチとしてみると影響がわかりやすくなります。

まず、ラインを通じて電流が流れており、その後スイッチがオープンとなります。デバイス端において反射係数は 0 から 1 に変わります。これは、スイッチがオープンとなる前にラインに流れていた電流と同じ量でラインを逆方向に流れる電流エッジを発生させます。この電流波形は、ラインを伝搬していき、テスター負荷の高インピーダンスとぶつかります。これにより波形は DUT にむかって反射され返されます。この電流波形は、テスター負荷に印加された電圧に達するまで伝送ラインの中で反射しつづけます。

このとき、電流供給源のインピーダンスは低下し電流を消費します。

最近の ATE での典型的な波形を図 22 に示します。

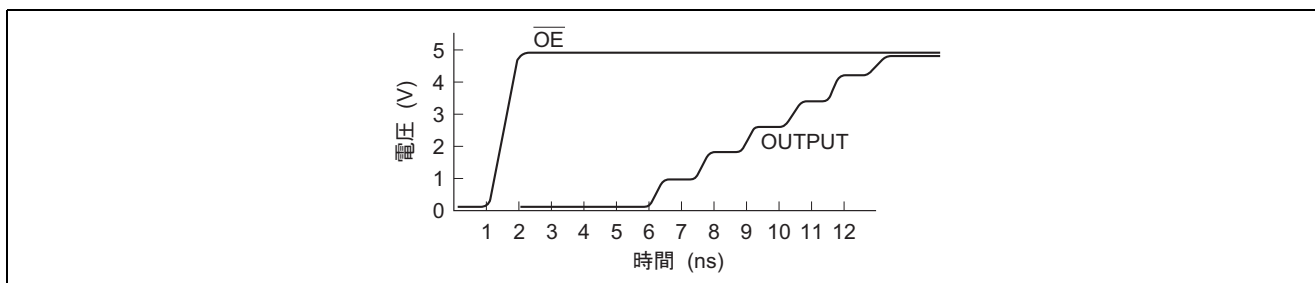


図 22 典型的 ATE スリーステート波形

この伝送ライン論理では、電流波形の電圧レベルは、(ライン上での電流値) × (ラインのインピーダンス) ということになります。

一般的な 5 mA の電流と 50 ~ 60 Ω のインピーダンスでは、電圧ステップは約 250 mV と小さくなります。

もし、コンパレータが 10%ポイントにプログラムされているとしたら、コンパレータは  $V_{CC} = 5.5 \text{ V}$  のとき、550 mA のステップをさがすことになります。

3 回の電流パルスの反射はコンパレータが 550 mA レベルを検知するまでに必要となります。

この ATE の伝送ライン条件下での付加的遅延時間により、デバイスがスペックを満たしているのに、ユーザの受け入れテストにて不良となることがおこります。

図 23 がグラフ的にこのステップを示します。

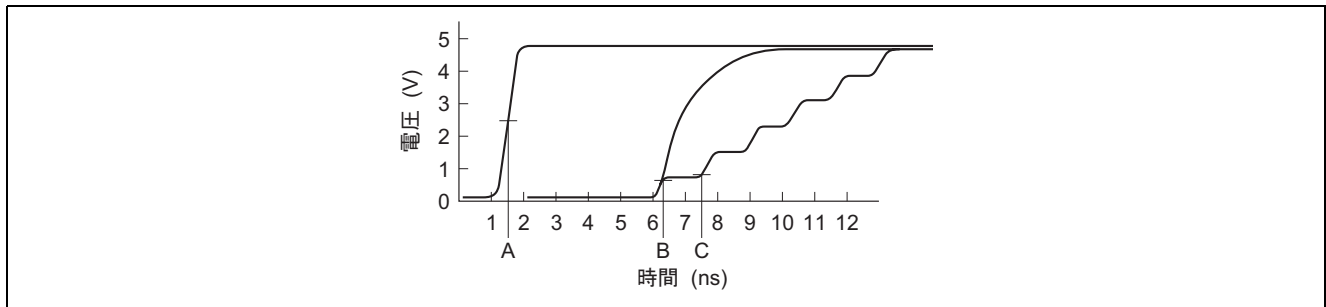


図 23 測定でのステップ波形

ポイント A は、テストの駆動波形の 50%測定ポイントを示します。

ポイント B は、ベンチテスト治具での遅延時間を測定されるポイントを示します。

ポイント C は、ATE 治具で遅延時間を測定できるポイントを示します。

ATE 治具にて測定される遅延時間は、テストがセットされた電圧レベルによって、ベンチ治具にて測定された値より大きく異なります。

もしテストの電圧レベルが出力波形が平らになっているところにあたる電圧レベルに近いと、測定結果は再現性が悪くなります。

改訂記録

| Rev. | 発行日        | 改訂内容 |      |
|------|------------|------|------|
|      |            | ページ  | ポイント |
| 1.00 | 2004.06.18 | —    | 初版発行 |
|      |            |      |      |
|      |            |      |      |
|      |            |      |      |
|      |            |      |      |

### 安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

### 本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。