

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日  
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

## ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。  
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット  
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）  
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



# ユーザース・マニュアル

μPD78F8014A, 78F8015A, 78F8016A

LINトランシーバ&電源内蔵  
8ビット・シングルチップ・マイクロコントローラ

---

μPD78F8014A(A)

μPD78F8015A(A)

μPD78F8016A(A)

〔メモ〕

# 目次要約

第 1 章	概 説	...	12
第 2 章	端子機能	...	22
第 3 章	マイクロコントローラ機能	...	40
第 4 章	フラッシュ・メモリ・プログラマによる書き込み方法	...	49
第 5 章	電源回路	...	50
第 6 章	LIN トランシーバ回路	...	52
第 7 章	ドライバ回路	...	55
第 8 章	電気的特性 (A) 水準	...	58
第 9 章	外形図	...	82
付録 A	開発ツール	...	83
付録 B	パッケージ熱抵抗	...	90
付録 C	全損失, ジャンクション温度の算出例	...	91
付録 D	改版履歴	...	92

### 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}$  (MAX.) から  $V_{IH}$  (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

### 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して  $V_{DD}$  または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

### 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

### 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windowsは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

**注意：本製品は Silicon Storage Technology, Inc.からライセンスを受けた SuperFlash<sup>®</sup>を使用しています。**

- 本資料に記載されている内容は2009年5月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

# はじめに

**対象者** このマニュアルは、 $\mu$ PD78F8014A, 78F8015A, 78F8016A の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

**目的** このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

**構成**  $\mu$ PD78F8014A, 78F8015A, 78F8016A のマニュアルは、このマニュアルと 78K0/Kx2 ユーザーズ・マニュアルおよび命令編（78K0 マイクロコントローラ共通）の 3 冊に分かれています。

$\mu$ PD78F8014A, 78F8015A, 78F8016A ユーザーズ・マニュアル	78K0/Kx2 ユーザーズ・マニュアル	78K0/0 マイクロコントローラ ユーザーズ・マニュアル 命令編
端子機能	端子機能	CPU 機能
内部ブロック機能	内部ブロック機能	命令セット
内蔵周辺機能	割り込み	命令の説明
電気的特性	その他の内蔵周辺機能 電気的特性	

**読み方** このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。この“ ”を PDF 上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

品名表記について

このマニュアルでは、(A)を省略して記載しております。

(A)水準品のマニュアルとしてお使いの場合は、品名を次のように読み替えてください。

- ・  $\mu$ PD78F8014A     $\mu$ PD78F8014A(A)
- ・  $\mu$ PD78F8015A     $\mu$ PD78F8015A(A)
- ・  $\mu$ PD78F8016A     $\mu$ PD78F8016A(A)

マイクロコントローラ部の機能詳細を知りたいとき

別冊の 78K0/Kx2 ユーザーズ・マニュアル（U18598J）を参照してください。

78K0/KC2 マイコン製品名	78K0/KC2 マイコン製品名に対応する製品名
$\mu$ PD78F0511A	$\mu$ PD78F8014A
$\mu$ PD78F0512A	$\mu$ PD78F8015A
$\mu$ PD78F0513A	$\mu$ PD78F8016A

78K0 マイクロコントローラの命令機能の詳細を知りたいとき

別冊の 78K/0 シリーズ ユーザーズ・マニュアル 命令編（U12326J）を参照してください。

- 凡 例 データ表記の重み : 左が上位桁, 右が下位桁  
 アクティブ・ロウの表記 :  $\overline{xxx}$  (端子, 信号名称に上線)  
 注 : 本文中につけた注の説明  
 注意 : 気をつけて読んでいただきたい内容  
 備考 : 本文の補足説明  
 数の表記 : 2進数... $xxx$  または  $xxx$ B  
           10進数... $xxx$   
           16進数... $xxx$ H

## 関連資料

関連資料は暫定版の場合がありますが, この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

### デバイスの関連資料

資料名	資料番号	
	和 文	英 文
$\mu$ PD78F8014A, 78F80015A, 78F8016A ユーザーズ・マニュアル (暫定)	このマニュアル	U18867E
78K0/Kx2 ユーザーズ・マニュアル	U18598J	U18598E
78K0 マイクロコントローラ ユーザーズ・マニュアル 命令編	U12326J	U12326E
78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編)	U17739J	U17739E
78K0 マイクロコントローラ ユーザーズマニュアル セルフ・プログラミング・ライブラリ Type01	U18274J	U18274E
78K0 マイクロコントローラ ユーザーズマニュアル EEPROM エミュレーション・ライブラリ Type01	U18275J	U18275E

### 開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和 文	英 文
QB-78K0KX2 インサーキット・エミュレータ	U17341J	U17341E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E

### フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和 文	英 文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには, 必ず最新の資料をご使用ください。

## 開発ツール（ソフトウェア）の資料（ユーザズ・マニュアル）

資料名		資料番号	
		和文	英文
RA78K0 Ver.3.80 アセンブラ・パッケージ ユーザズ・マニュアル <sup>注1</sup>	操作編	U17199J	U17199E
	言語編	U17198J	U17198E
	構造化アセンブリ言語編	U17197J	U17197E
RA78K0 Ver.4.01 使用上の留意点（文書） <sup>注1</sup>		ZUD-CD-07-0181	ZUD-CD-07-0181-E
CC78K0 Ver.3.70 C コンパイラ ユーザズ・マニュアル <sup>注2</sup>	操作編	U17201J	U17201E
	言語編	U17200J	U17200E
CC78K0 Ver4.00 使用上の留意点（文書） <sup>注2</sup>		ZUD-CD-07-0103	ZUD-CD-07-0103-E
ID78K0-QB Ver.2.94 統合デバッガ ユーザズ・マニュアル	操作編	U18330J	U18330E
ID78K0-QB Ver.3.00 統合デバッガ ユーザズ・マニュアル	操作編	U18492J	U18492E
PM plus Ver.5.20 <sup>注3</sup> ユーザズ・マニュアル		U16934J	U16934E
PM+ Ver.6.30 <sup>注4</sup> ユーザズ・マニュアル		U18416J	U18416E

- 注 1. この資料は、RA78K0 Ver.4.01 のインストール時に、ツール本体と一緒に、PC にインストールされます。  
「RA78K0 Ver.4.01 使用上の留意点（文書）」に記載されていない内容に関しては、RA78K0 Ver.3.80 のユーザズ・マニュアルを参照してください。
2. この資料は、CC78K0 Ver.4.00 のインストール時に、ツール本体と一緒に、PC にインストールされます。  
「CC78K0 Ver4.00 使用上の留意点（文書）」に記載されていない内容に関しては、CC78K0 Ver.3.70 のユーザズ・マニュアルを参照してください。
3. PM+ Ver.5.20 は、RA78K0 Ver.3.80 に同梱されている統合開発環境です。
4. PM+ Ver.6.30 は、RA78K0 Ver.4.01 に同梱されている統合開発環境です。ソフトウェア・ツール（アセンブラ、C コンパイラ、デバッガ、シミュレータ）の複数の異なるバージョン製品を管理することができます。

## その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC 半導体デバイスの品質水準	C11531J	C11531E
NEC 半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	C12769E
マイクロコンピュータ関連製品ガイド 社外メーカー編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：[http:// www.necel.com/pkg/ja/jissou/index.html](http://www.necel.com/pkg/ja/jissou/index.html)

英文：[http:// www.necel.com/pkg/en/mount/index.html](http://www.necel.com/pkg/en/mount/index.html)

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

# 目 次

<b>第1章 概 説</b> ...	12
1.1 特 徴 ...	12
1.2 応用分野 ...	14
1.3 オーダ情報 ...	14
1.4 端子接続図 (Top View) ...	15
1.5 ブロック図 ...	17
1.5.1 マイクロコントローラ部ブロック図 ...	18
1.5.2 アナログ部ブロック図 ...	19
1.6 機能概要 ...	20
<b>第2章 端子機能</b> ...	22
2.1 マイクロコントローラ部の端子機能 ...	23
2.2 アナログ部の端子機能 ...	25
2.3 端子機能の説明 ...	26
2.3.1 P00, P01 (Port 0) ...	26
2.3.2 P10-P17 (Port 1) ...	26
2.3.3 P20-P24 (Port 2) ...	28
2.3.4 P30-P33 (Port 3) ...	28
2.3.5 P60, P61 (Port 6) ...	29
2.3.6 P70 (Port 7) ...	29
2.3.7 P120-P122 (Port 12) ...	29
2.3.8 AVREF ...	30
2.3.9 AVss ...	30
2.3.10 RESET ...	30
2.3.11 REGC ...	30
2.3.12 VDD ...	31
2.3.13 Vss ...	31
2.3.14 FLMD0 ...	31
2.3.15 Dr1, Dr21, Dr22, Dr3, Dr4 ...	31
2.3.16 Dr1_I, Dr21_I, Dr22_I, Dr3_I, Dr4_I ...	32
2.3.17 GND1, GND2, GND3 ...	32
2.3.18 HDS ...	32
2.3.19 LIN ...	32
2.3.20 MSLP ...	32
2.3.21 SUP ...	32
2.3.22 UMODE ...	33
2.3.23 VIC ...	33
2.3.24 VRO ...	33
2.4 端子の入出力回路と未使用端子の処理 ...	34
<b>第3章 マイクロコントローラ機能</b> ...	40
3.1 78K0/KC2と異なる機能 ...	40
3.2 78K0/KC2と異なる特殊機能レジスタ ...	41
3.3 78K0/KC2 (44ピン) とビット設定が異なるレジスタ ...	42

- 3.3.1 ポート・モード・レジスタ ... 42
- 3.3.2 ポート・レジスタ ... 43
- 3.3.3 プルアップ抵抗オプション・レジスタ ... 43
- 3.3.4 アナログ入力チャンネル指定レジスタ ... 44
- 3.3.5 A/Dポート・コンフィギュレーション・レジスタ ... 45
- 3.3.6 キー・リターン・モード・レジスタ ... 46
- 3.3.7 時計用タイマ動作モード・レジスタ ... 46
- 3.3.8 クロック動作モード選択レジスタ ... 47
- 3.3.9 プロセッサ・クロック・コントロール・レジスタ ... 47
- 3.3.10 IICクロック選択レジスタ0 ... 48

## 第4章 フラッシュ・メモリ・プログラマによる書き込み方法 ... 49

## 第5章 電源回路 ... 50

- 5.1 電源機能 ... 50
- 5.2 過電流保護機能 ... 50
- 5.3 過熱保護機能 ... 50

## 第6章 LINトランシーバ回路 ... 52

- 6.1 LINトランシーバ機能 ... 52
- 6.2 動作モード ... 53
- 6.3 過電流保護機能 ... 54
- 6.4 過熱保護機能 ... 54

## 第7章 ドライバ回路 ... 55

- 7.1 ロウ・サイド・ドライバ ... 55
- 7.2 ハイ・サイド・ドライバ ... 55

## 第8章 電気的特性 (A) 水準 ... 58

- 8.1 絶対最大定格 ... 58
- 8.2 マイクロコントローラ部電気的特性 ... 60
- 8.3 アナログ部電気的特性 ... 78

## 第9章 外形図 ... 82

## 付録A 開発ツール ... 83

- A.1 ソフトウェア・パッケージ ... 86
- A.2 言語処理用ソフトウェア ... 86
- A.3 フラッシュ・メモリ書き込み用ツール ... 87
  - A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合 ... 87
  - A.3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 87
- A.4 デバッグ用ツール (ハードウェア) ... 88
  - A.4.1 インサーキット・エミュレータ QB-78K0KX2を使用する場合 ... 88
  - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 88

A.5	デバッグ用ツール(ソフトウェア)	...	89
付録B	パッケージ熱抵抗	...	90
付録C	全損失, ジャンクション温度の算出例	...	91
付録D	改版履歴	...	92
D.1	本版で改訂された主な箇所	...	92
D.2	前版までの改版履歴	...	93

# 第1章 概 説

μPD78F8014A, 78F8015A, 78F8016Aは, LINトランシーバ, 電源および各種ドライバを内蔵したアナログ・チップと8ビット・マイクロコントローラ・チップを1パッケージにしたMCP (Multi Chip Package) です。

8ビット・マイクロコントローラ部は, 78K0/KC2を搭載しています。

## 1.1 特 徴

ROM, RAM容量

品名	項目	プログラム・メモリ (ROM)		データ・メモリ 内部高速RAM <sup>注</sup>
		フラッシュ・メモリ <sup>注</sup>		
μPD78F8014A		フラッシュ・メモリ <sup>注</sup>	16 Kバイト	768バイト
μPD78F8015A			24 Kバイト	1 Kバイト
μPD78F8016A			32 Kバイト	

注 メモリ・サイズ切り替えレジスタ (IMS) により, 内部フラッシュ・メモリ, 内部高速RAM容量の変更可能。

単電源のフラッシュ・メモリ内蔵

セルフ・プログラミング内蔵 (ブート・スワップ機能あり)

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ (低速内蔵発振クロックで動作可能) 内蔵

キー割り込み機能内蔵

I/Oポート: 25本 (N-chオープン・ドレイン: 2本)

タイマ: 7チャンネル

・16ビット・タイマ/イベント・カウンタ : 1チャンネル

・8ビット・タイマ/イベント・カウンタ : 2チャンネル

・8ビット・タイマ : 2チャンネル

・時計用タイマ : 1チャンネル

・ウォッチドッグ・タイマ : 1チャンネル

シリアル・インタフェース: 3チャンネル

・UART (LIN (Local Interconnect Network) -bus対応) : 1チャンネル

・CSI/UART<sup>注</sup> : 1チャンネル

・I<sup>2</sup>C : 1チャンネル

10ビット分解能A/Dコンバータ: 5チャンネル

注 端子を兼用しているため, どちらかを選択して使用します。

電源回路

出力電圧：5 V ± 3%

過電流保護回路内蔵

過熱保護回路内蔵

LINトランシーバ

LIN Specification Rev.2.0準拠

スリープ機能内蔵

スリープ・アプリケーション用プルアップ抵抗内蔵

LINドライバ過電流制限回路内蔵

LINドライバ過熱保護回路内蔵

ドライバ

ロウ・サイド・ドライバ：3チャンネル

ロウ・サイド・プリドライバ：1チャンネル

ハイ・サイド・ドライバ：1チャンネル

パッケージ： 52ピン・プラスチックLQFP (10 × 10)

動作周囲温度：T<sub>A</sub> = -40 ~ +85

## 1.2 応用分野

自動車電装

ボディ電装系のシステム制御

- ・パワー・ウインドウ
- ・パワー・スライド・ドア
- ・ミラー・コントロールなど

## 1.3 オーダ情報

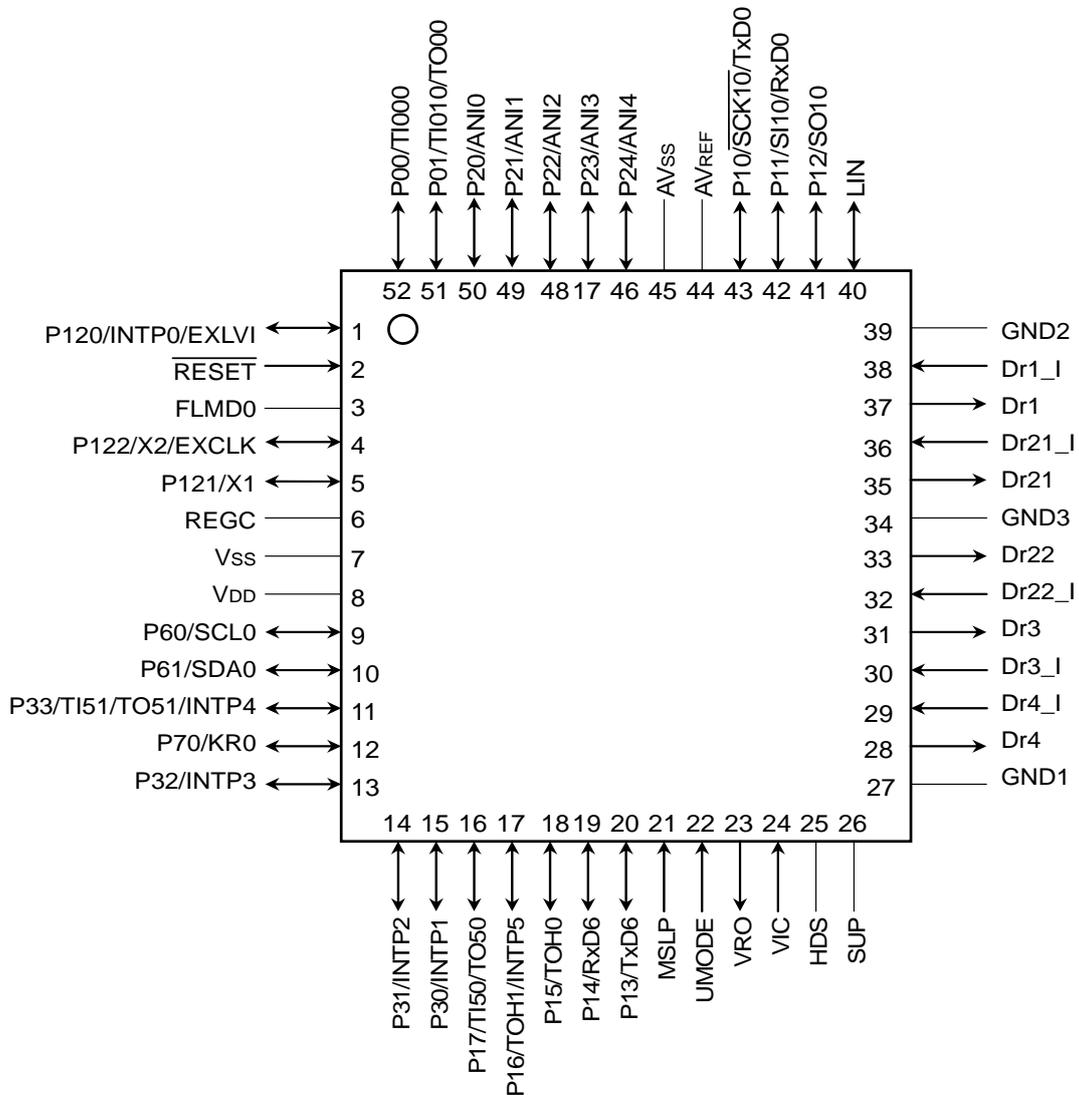
オーダ名称	パッケージ	品質水準
$\mu$ PD78F8014AGBA-GAG-G <sup>注</sup>	52ピン・プラスチックLQFP (10×10)	特別 (高信頼度電子機器用)
$\mu$ PD78F8015AGBA-GAG-G <sup>注</sup>	52ピン・プラスチックLQFP (10×10)	"
$\mu$ PD78F8016AGBA-GAG-G <sup>注</sup>	52ピン・プラスチックLQFP (10×10)	"

注 (A) 水準品

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」(資料番号 C11531J)をご覧ください。

## 1.4 端子接続図 (Top View)

52ピン・プラスチックLQFP (10×10)



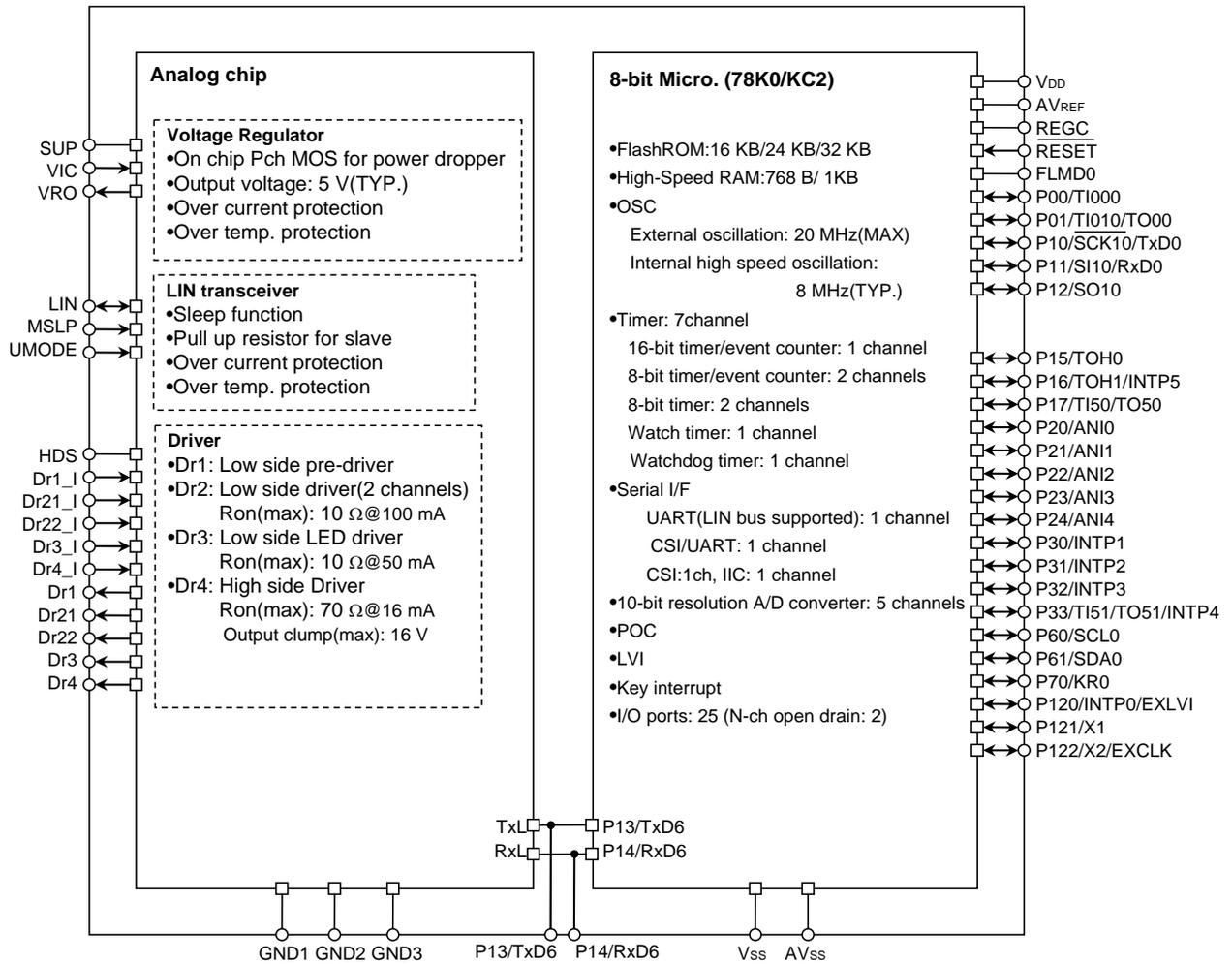
注意1. AVSSはVSSと同電位にしてください。

2. REGCはコンデンサ (0.47  $\mu$ F ~ 1  $\mu$ F : 推奨) を介し, VSSに接続してください。
3. ANI0/P20-ANI4/P24は, リセット解除後にアナログ入力モードになります。
4. VSSとGND1-GND3は同電位としてください。
5. SUPとHDSは同電位としてください。
6. VROとVDDは同電位としてください。

端子名称

ANI0-ANI4	: Analog Input	P60, P61	: Port 6
AV <sub>REF</sub>	: Analog Reference Voltage	P70	: Port 7
AV <sub>SS</sub>	: Analog Ground	P120-P122	: Port 12
Dr1, Dr21, Dr22,		REGC	: Regulator Capacitance
Dr3, Dr4	: Driver Output	$\overline{\text{RESET}}$	: Reset
Dr1_I, Dr21_I,		RxD0, RxD6	: Receive Data
Dr22_I, Dr3_I,		$\overline{\text{SCK10}}$ , SCL0	: Serial Clock Input/Output
Dr4_I	: Driver Control	SDA0	: Serial Data Input/Output
EXCLK	: External Clock Input (Main System	SI10	: Serial Data Input
	Clock)	SO10	: Serial Data Output
EXLVI	: External potential Input for	SUP	: Power Supply
	Low-voltage detector	TI000, TI010,	
FLMD0	: Flash Programming Mode	TI50, TI51	: Timer Input
GND1-GND3	: Ground	TO00,	
HDS	: High-side Driver Power Supply	TO50, TO51,	
INTP0-INTP5	: External Interrupt Input	TOH0, TOH1	: Timer Output
KR0	: Key Return	TxD0, TxD6	: Transmit Data
LIN	: LIN Bus	UMODE	: LIN Mode
MSLP	: Sleep Mode	V <sub>DD</sub>	: Power Supply
P00, P01	: Port 0	VIC	: Power Supply and Current Monitor
P10-P17	: Port 1	VRO	: Voltage Regulator Output
P20-P24	: Port 2	V <sub>SS</sub>	: Ground
P30-P33	: Port 3	X1, X2	: Crystal Oscillator (Main System Clock)

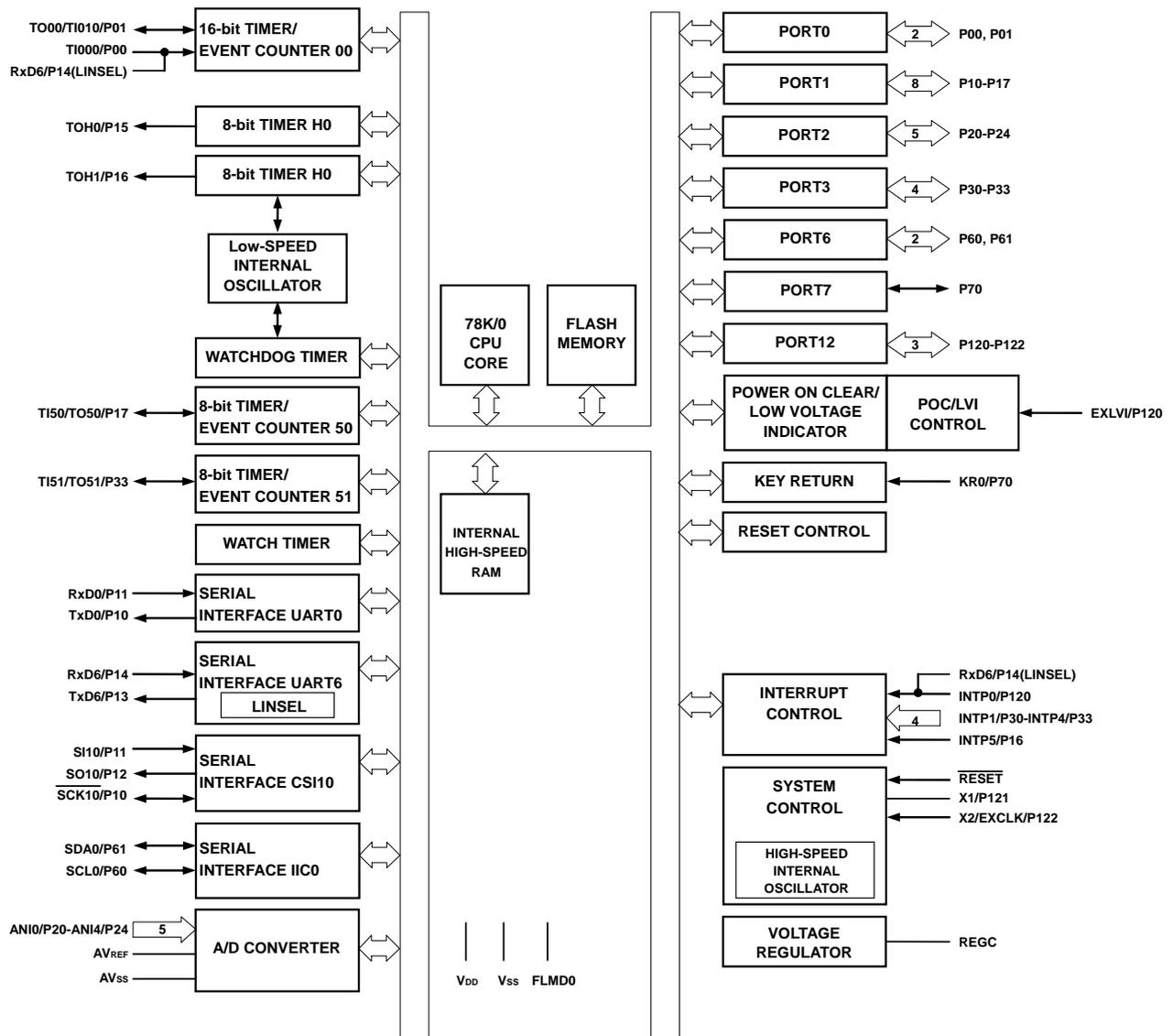
## 1.5 ブロック図



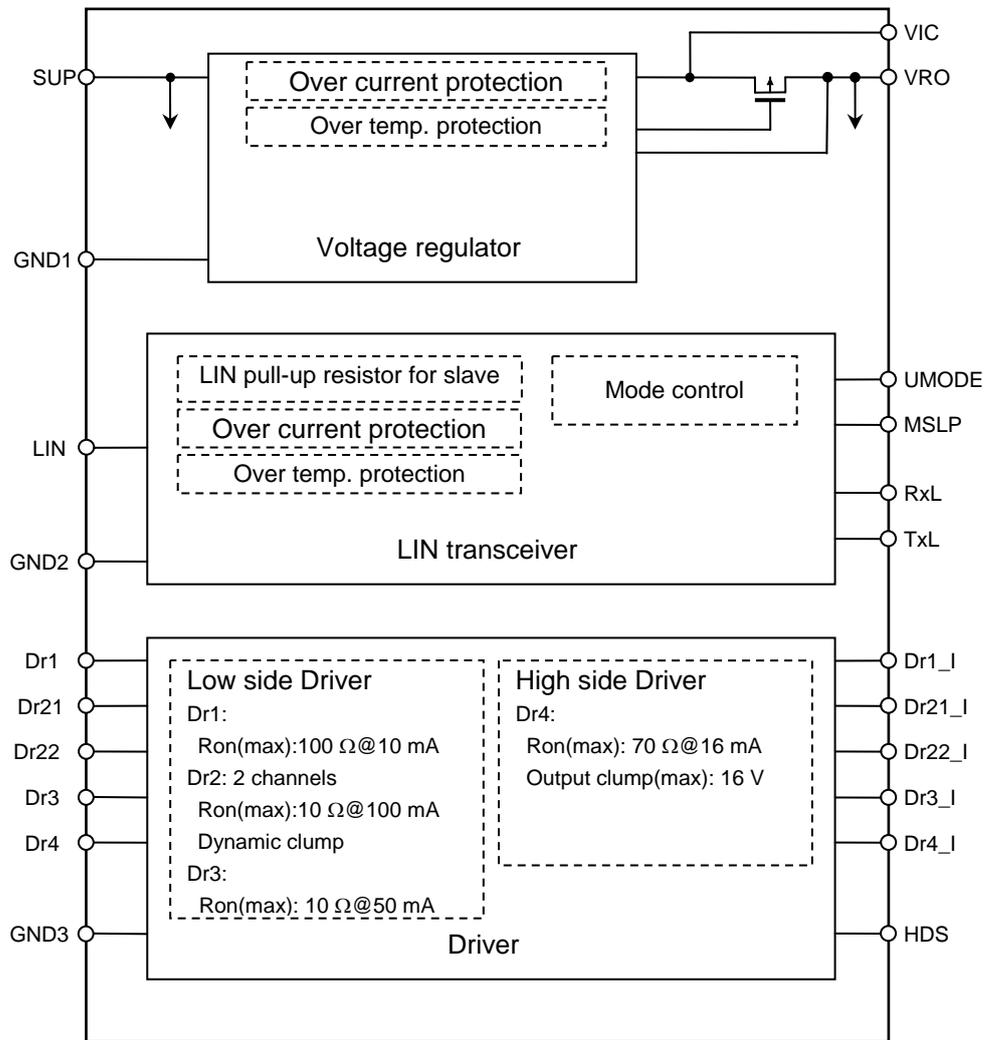
注意 1.  $\mu$  PD78F8014A, 78F8015A, 78F8016Aは、マイクロコントローラとアナログ（電源回路、LINトランシーバ）の2チップを1パッケージに搭載したMCP (Multi Chip Package) です。

2. P13/TxD6とP14/RxD6端子は、パッケージ内部でLINトランシーバ回路と接続されています。

### 1.5.1 マイクロコントローラ部ブロック図



1.5.2 アナログ部ブロック図



## 1.6 機能概要

(1/2)

項 目	$\mu$ PD78F8014A	$\mu$ PD78F8015A	$\mu$ PD78F8016A
フラッシュ・メモリ (Kバイト)	16	24	32
高速RAM (Kバイト)	0.75	1	
電源電圧	$V_{DD} = 1.8 \sim 5.5 \text{ V}$		
レギュレータ	内蔵		
最小命令実行時間	$0.1 \mu\text{s}$ (20 MHz : $V_{DD} = 2.7 \sim 5.5 \text{ V}$ / $0.4 \mu\text{s}$ (5 MHz : $V_{DD} = 1.8 \sim 5.5 \text{ V}$ ))		
クロック	メイン	高速システム	$20 \text{ MHz} : V_{DD} = 2.7 \sim 5.5 \text{ V} / 5 \text{ MHz} : V_{DD} = 1.8 \sim 5.5 \text{ V}$
		高速内蔵発振	$8 \text{ MHz (TYP.)} : V_{DD} = 1.8 \sim 5.5 \text{ V}$
	低速内蔵発振	$240 \text{ kHz (TYP.)} : V_{DD} = 1.8 \sim 5.5 \text{ V}$	
ポート	合計	25	
	N-ch O.D. (6 V耐圧)	2	
タイマ	16ビット (TM0)	1 ch	
	8ビット (TM5)	2 ch	
	8ビット (TMH)	2 ch	
	時計用	1 ch	
	ウォッチドッグ (WDT)	1 ch	
シリアルインタフェース	UART/3線式CSI <sup>注</sup>	1 ch	
	LIN-bus対応UART	1 ch	
	I <sup>2</sup> Cバス	1 ch	
10ビットA/D	5 ch		
割り込み	外部	7	
	内部	16	
キー割り込み	1 ch		
リセット	RESET端子	あり	
	POC	$1.59 \text{ V} \pm 0.15 \text{ V}$	
	LVI	電源電圧の検出レベルを選択可能	
	WDT	あり	
乗除算器	あり		
オンチップ・デバッグ機能	-		
動作周囲温度	$T_A = -40 \sim +85$		

注 端子を兼用しているため、どちらかを選択して使用します。

項 目	μ PD78F8014A	μ PD78F8015A	μ PD78F8016A
電源	<ul style="list-style-type: none"> <li>・動作電圧範囲：7～19 V</li> <li>・パワー段は内蔵P-ch MOSを内蔵</li> <li>・出力電圧：5 V±3%</li> <li>・過電流保護回路内蔵</li> <li>・過熱保護回路内蔵</li> </ul>		
LINトランシーバ	<ul style="list-style-type: none"> <li>・LIN Specification Rev.2.0準拠</li> <li>・スリープ機能内蔵</li> <li>・スレーブ・アプリケーション用プルアップ抵抗内蔵</li> <li>・LINドライバ過電流保護回路内蔵</li> <li>・LINドライバ過熱保護回路内蔵</li> </ul>		
ドライバ	<ul style="list-style-type: none"> <li>・ロウ・サイド・ドライバ：4チャンネル ブリドライバ：1チャンネル リレー・ドライバ：2チャンネル(ダイナミック・クランプ回路内蔵) LEDドライバ：1チャンネル</li> <li>・ハイ・サイド・ドライバ：1チャンネル(16 Vクランプ回路内蔵)</li> </ul>		

次にタイマの概要を示します。

		16ビット・タイマ/イベント・カウンタ00	8ビット・タイマ/イベント・カウンタ50, 51		8ビット・タイマH0, H1		時計用タイマ	ウォッチドッグ・タイマ
		TM00	TM50	TM51	TMH0	TMH1		
機能	インターバル・タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル <sup>注1</sup>	
	外部イベント・カウンタ	1チャンネル	1チャンネル	1チャンネル	-	-	-	-
	PPG出力	1出力	-	-	-	-	-	-
	PWM出力	-	1出力	1出力	1出力	1出力	-	-
	パルス幅測定	2入力	-	-	-	-	-	-
	方形波出力	1出力	1出力	1出力	1出力	1出力	-	-
	キャリア・ジェネレータ	-	-	-	-	1出力 <sup>注2</sup>	-	-
	時計用タイマ	-	-	-	-	-	1チャンネル <sup>注1</sup>	-
	ウォッチドッグ・タイマ	-	-	-	-	-	-	1チャンネル
割り込み要因		2	1	1	1	1	1	-

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. TM51とTMH1を組み合わせることで、キャリア・ジェネレータ・モードとして使用できます。

## 第2章 端子機能

マイクロコントローラ機能端子における $\mu$ PD78F8014A, 78F8015A, 78F8016Aと78K0/KC2の違いは次のとおりです。

### (1) ポート機能と兼用端子

$\mu$ PD78F8014A, 78F8015A, 78F8016A		78K0/KC2 $\mu$ PD78F0511A, 78F0512A, 78F0513A		$\mu$ PD78F8014A, 78F8015A, 78F8016A		78K0/KC2 $\mu$ PD78F0511A, 78F0512A, 78F0513A	
機能名称	兼用機能	機能名称	兼用機能	機能名称	兼用機能	機能名称	兼用機能
P00	TI000	P00	TI000	P32	INTP3	P32	INTP3
P01	TI010/TO00	P01	TI010/TO00	P33	INTP4/TI51/ TO51	P33	INTP4/TI51/ TO51
P10	SCK10/TxD0	P10	SCK10/TxD0	-	-	P40-P41	-
P11	SI10/RxD0	P11	SI10/RxD0	P60	SCL0	P60	SCL0
P12	SO10	P12	SO10	P61	SDA0	P61	SDA0
P13	TxD6	P13	TxD6	-	-	P62	EXSCL0
P14	RxD6	P14	RxD6	-	-	P63	-
P15	TOH0	P15	TOH0	P70	KR0	P70-P73	KR0-KR3
P16	TOH1/INTP5	P16	TOH1/INTP5	P120	INTP0/EXLVI	P120	INTP0/EXLVI
P17	TI50/TO50	P17	TI50/TO50	P121	X1	P121	X1
P20-P24	ANI0-ANI4	P20-P27	ANI0-ANI7	P122	X2/EXCLK	P122	X2/EXCLK
P30	INTP1	P30	INTP1	-	-	P123	XT1
P31	INTP2	P31	INTP2	-	-	P124	XT2/EXCLKS

### (2) ポート機能を持たない端子

$\mu$ PD78F8014A, 78F8015A, 78F8016A		78K0/KC2 $\mu$ PD78F0511A, 78F0512A, 78F0513A		$\mu$ PD78F8014A, 78F8015A, 78F8016A		78K0/KC2 $\mu$ PD78F0511A, 78F0512A, 78F0513A	
端子名称	端子名称	端子名称	端子名称	端子名称	端子名称	端子名称	端子名称
V <sub>DD</sub>	V <sub>DD</sub>	FLMD0	FLMD0	AV <sub>REF</sub>	AV <sub>REF</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>
V <sub>SS</sub>	V <sub>SS</sub>	AV <sub>SS</sub>	AV <sub>SS</sub>	REGC	REGC		
RESET	RESET						

## 2.1 マイクロコントローラ部の端子機能

端子の入出力バッファ電源には、AVREF、VDDの2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AVREF	P20-P24
VDD	P20-P24以外の端子

### (1) ポート端子

端子名称	入出力	機 能	リセット時	兼用端子
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI000
P01				TI010/TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SCK10/TxD0
P11				SI10/RxD0
P12				SO10
P13				TxD6
P14				RxD6
P15				TOH0
P16				TOH1/INTP5
P17				TI50/TO50
P20-P24	入出力	ポート2。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	アナログ入 力	ANI0-ANI4
P30-P32	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP1-INTP3
P33				INTP4/TI51/ TO51
P60	入出力	ポート6。 2ビット入出力ポート (N-chオープン・ドレイン)。 1ビット単位で入力 / 出力の指定可能。	入力ポート	SCL0
P61				SDA0
P70	入出力	ポート7。 1ビット入出力ポート。 入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	KR0
P120	入出力	ポート12。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121				X1
P122				X2/EXCLK

## (2) ポート以外の端子

端子名称	入出力	機能	リセット時	兼用端子
ANI0-ANI4	入力	A/Dコンバータのアナログ入力	アナログ入力	P20-P24
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
INTP0	入力	有効エッジ（立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1-INTP3				P30-P32
INTP4				P33/TI51/TO51
INTP5				P16/TOH1
KR0	入力	キー割り込み入力	入力ポート	P70
REGC	-	レギュレータ出力安定容量接続。 コンデンサ（0.47 $\mu$ F ~ 1 $\mu$ F：推奨）を介し、V <sub>SS</sub> に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/SI10
RxD6	入力	UART6のシリアル・データ入力	入力ポート	P14
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P10/TxD0
SCL0	入出力	IICのクロック入力/出力	入力ポート	P60
SDA0	入出力	IICのシリアル・データ入出力	入力ポート	P61
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P12
TI000	入力	16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力 16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000, CR010）へのキャプチャ・トリガ入力	入力ポート	P00
TI010		16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ（CR000）へのキャプチャ・トリガ入力		P01/TO00
TI50	入力	8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力	入力ポート	P17/TO50
TI51		8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力		P33/TO51/INTP4
TO00	出力	16ビット・タイマ/イベント・カウンタ00出力	入力ポート	P01/TI010
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力ポート	P17/TI50
TO51		8ビット・タイマ/イベント・カウンタ51出力		P33/TI51/INTP4
TOH0		8ビット・タイマH0出力		P15
TOH1		8ビット・タイマH1出力		P16/INTP5
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/SCK10
TxD6	出力	UART6のシリアル・データ出力	入力ポート	P13
X1	入力	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-			P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
V <sub>DD</sub>	-	正電源（ポート部を除く）	-	-
AV <sub>REF</sub>	入力	A/Dコンバータの基準電圧入力およびP20-P24, A/Dコンバータの正電源	-	-
V <sub>SS</sub>	-	グランド電位（ポート部を除く）	-	-
AV <sub>SS</sub>	-	A/Dコンバータのグランド電位。V <sub>SS</sub> と同電位にしてください。	-	-

## 2.2 アナログ部の端子機能

機能名称	入出力	機 能
Dr1	出力	ドライバ1出力
Dr21	出力	ドライバ21出力
Dr22	出力	ドライバ22出力
Dr3	出力	ドライバ3出力
Dr4	出力	ドライバ4出力
Dr1_I	入力	ドライバ1制御信号入力
Dr21_I	入力	ドライバ21制御信号入力
Dr22_I	入力	ドライバ22制御信号入力
Dr3_I	入力	ドライバ3制御信号入力
Dr4_I	入力	ドライバ4制御信号入力
GND1	-	電源回路用グランド電位
GND2	-	LINトランシーバ回路用グランド電位
GND3	-	ドライバ回路用グランド電位
HDS	-	ハイ・サイド・ドライバ用電源供給
LIN	入出力	LIN Bus
MSLP	入力	スリープ・モード選択
SUP	-	電源供給
UMODE	入力	LINトランシーバ機能使用 / 未使用選択
VIC	入力	電源過電流モニタ / 電源入力
VRO	出力	電源出力 / 電源電圧モニタ

注意 1. GND1, GND2, GND3は、 $V_{SS}$ および $AV_{SS}$ と同電位にしてください。

2. SUPとHDSは同電位としてください。

3. VROと $V_{DD}$ は同電位としてください。

## 2.3 端子機能の説明

### 2.3.1 P00, P01 (Port 0)

2ビットの入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

タイマの入出力として機能します。

##### (a) TI000

16ビット・タイマ/イベント・カウンタ00への外部カウント・クロック入力端子および16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000, CR010) へのキャプチャ・トリガ信号入力端子です。

##### (b) TI010

16ビット・タイマ/イベント・カウンタ00のキャプチャ・レジスタ (CR000) へのキャプチャ・トリガ信号入力端子です。

##### (c) TO00

16ビット・タイマ/イベント・カウンタ00のタイマ出力端子です。

### 2.3.2 P10-P17 (Port 1)

8ビットの入出力ポートです。入出力ポートのほかに、外部割り込み要求入力、シリアル・インタフェースのデータ入出力、クロック入出力、タイマの入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

8ビットの入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

**(2) コントロール・モード**

外部割り込み要求入力, シリアル・インタフェースのデータ入出力, クロック入出力, タイマの入出力として機能します。

**(a) SI10**

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

**(b) SO10**

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

**(c)  $\overline{\text{SCK10}}$** 

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

**(d) RxD0**

シリアル・インタフェースUART0のシリアル・データ入力端子です。

**(e) RxD6**

シリアル・インタフェースUART6のシリアル・データ入力端子です。

**(f) TxD0**

シリアル・インタフェースUART0のシリアル・データ出力端子です。

**(g) TxD6**

シリアル・インタフェースUART6のシリアル・データ出力端子です。

**(h) TI50**

8ビット・タイマ/イベント・カウンタ50への外部カウント・クロック入力端子です。

**(i) TO50**

8ビット・タイマ/イベント・カウンタ50のタイマ出力端子です。

**(j) TOH0, TOH1**

8ビット・タイマH0, H1のタイマ出力端子です。

**(k) INTP5**

有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

### 2.3.3 P20-P24 (Port 2)

5ビットの入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートとして指定できます。

#### (2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI4) として機能します。アナログ入力端子として使用する場合、78K0/Kx2 ユーザーズ・マニュアル (U18598J) の第13章 A/Dコンバータの注意事項を参照してください。

**注意** ANI0/P20-ANI4/P24は、リセット解除後はアナログ入力モードになります。

### 2.3.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、タイマ入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

外部割り込み要求入力、タイマの入出力として機能します。

##### (a) INTp1-INTp4

有効エッジ (立ち上がり、立ち下がり、立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み要求入力端子です。

##### (b) TI51

8ビット・タイマ/イベント・カウンタ51への外部カウント・クロック入力端子です。

##### (c) TO51

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

### 2.3.5 P60, P61 (Port 6)

2ビットの入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

#### (1) ポート・モード

2ビットの入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

#### (2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

##### (a) SDA0

シリアル・インタフェースIIC0のシリアル・データの入出力端子です。

##### (b) SCL0

シリアル・インタフェースIIC0のシリアル・クロックの入出力端子です。

### 2.3.6 P70 (Port 7)

1ビットの入出力ポートです。入出力ポートのほかにキー割り込み入力機能があります。

次のような動作モードを指定できます。

#### (1) ポート・モード

1ビットの入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

#### (2) コントロール・モード

キー割り込み入力端子として機能します。

##### (a) KR0

キー割り込み入力端子です。

### 2.3.7 P120-P122 (Port 12)

3ビットの入出力ポートです。入出力ポートのほかに外部割り込み要求入力、外部低電圧検出用電位入力、メイン・システム・クロック用発振子接続、メイン・システム・クロック用外部クロック入力機能があります。

1ビット単位で次のような動作モードを指定できます。

#### (1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ12 (PM12) の設定により、入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12 (PU12) の設定により、P120のみ内蔵プルアップ抵抗を使用できます。

**(2) コントロール・モード**

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力として機能します。

**(a) INTPO**

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力（INTPO）として機能します。

**(b) EXLVI**

外部低電圧検出用電位入力端子です。

**(c) X1, X2**

メイン・システム・クロック用発振子接続端子です。

**(d) EXCLK**

メイン・システム・クロック用外部クロック入力端子です。

**2.3.8 AVREF**

A/Dコンバータの基準電圧入力およびP20-P24, A/Dコンバータの正電源供給端子です。  
A/Dコンバータを使用しない場合は， $V_{DD}$ に直接接続してください<sup>※</sup>。

**注** ポート2をデジタル・ポートとして使用する場合は， $V_{DD}$ と同電位にしてください。

**2.3.9 AVSS**

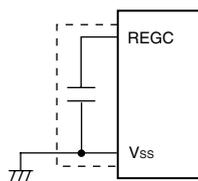
A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも，常に $V_{SS}$ と同電位で使用してください。

**2.3.10 RESET**

ロウ・レベル・アクティブのシステム・リセット入力端子です。

**2.3.11 REGC**

内部動作用レギュレータ出力（2.5 V）安定容量接続端子です。コンデンサ（0.47～1  $\mu$ F：推奨）を介し， $V_{SS}$ に接続してください。



**注意** 上図の破線部分の配線を極力短くしてください。

### 2.3.12 VDD

正電源供給端子です。

### 2.3.13 Vss

グランド電位端子です。

### 2.3.14 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

通常動作モード時には、FLMD0をVssに接続してください。

フラッシュ・メモリ・プログラミング・モード時には、フラッシュ・メモリ・プログラマと接続してください。

### 2.3.15 Dr1, Dr21, Dr22, Dr3, Dr4

高耐圧ドライバの出力端子です。

各ドライバの出力は、Dr1\_I, Dr21\_I, Dr22\_I, Dr3\_I, Dr4\_Iの入力信号で制御されます。

#### (1) Dr1

ロウ・サイド・ドライバ出力端子です。

#### (2) Dr21, Dr22,

ロウ・サイド・ドライバ出力端子です。

出力回路には、ドライバ保護用のダイナミック・クランプ機能が搭載されています。

#### (3) Dr3

ロウ・サイド・ドライバ出力端子です。

#### (4) Dr4

ハイ・サイド・ドライバ出力端子です。

出力回路には、出力電圧クランプ機能と過電流保護および過熱保護機能が搭載されています。

### 2.3.16 Dr1\_I, Dr21\_I, Dr22\_I, Dr3\_I, Dr4\_I

高耐圧ドライバの制御信号入力端子です。各端子は内部でプルダウンされています。

各ドライバに対応する入力制御信号の真理値表を次に示します。

表2 - 2 真理値表

Input	Dr1	Dr21	Dr22	Dr3	Dr4
Dr1_I	High	ON	-	-	-
	Low	OFF	-	-	-
Dr21_I	High	-	ON	-	-
	Low	-	OFF	-	-
Dr22_I	High	-	-	ON	-
	Low	-	-	OFF	-
Dr3_I	High	-	-	-	ON
	Low	-	-	-	OFF
Dr4_I	High	-	-	-	-
	Low	-	-	-	-

### 2.3.17 GND1, GND2, GND3

GND1は、電源回路用グランド電位です。

GND2は、LINトランシーバ回路用グランド電位です。

GND3は、ドライバ回路用グランド電位です。

GND1, GND2, GND3端子は同電位としてください。

### 2.3.18 HDS

ハイ・サイド・ドライバ用電源供給端子です。

SUP端子と同電位としてください。

### 2.3.19 LIN

LIN Bus端子です。

### 2.3.20 MSLP

モード移行命令を受ける端子です。

Normal Modelにおいて、MSLP=LowとなったときLINトランシーバは、Sleep Modeへ移行します。

Sleep Modelにおいて、MSLP=HighとなったときLINトランシーバは、Normal Modeへ移行します。

また、この端子は内部でプルダウンされています。

### 2.3.21 SUP

電源供給端子です。

## 2.3.22 UMODE

LINトランシーバ機能の使用 / 未使用を選択するモード端子です。この端子は、IC内部でプルダウンされています。

UMODE	LINトランシーバ回路状態	P13/TxD6端子状態	P14/RxD6端子状態
Low	Active	出力 <sup>注</sup> (TxL: プルアップ入力)	出力 <sup>注</sup> (RxL: 出力)
High	Non Active(Driver OFF)	入出力 (TxL: Hi-Z)	入出力 (RxL: Hi-Z)

**注** LINトランシーバ機能を使用状態に設定する場合、P13/TxD6およびP14/RxD6端子はオープンにしてください。

ポート・モード・レジスタ1 (PM1) の設定により、PM13に0を、PM14に1を設定し、P13/TxD6を出力にP14/RxD6を入力に設定してください。

## 2.3.23 VIC

電源回路の過電流モニタおよび電源回路への電源供給端子です。

## 2.3.24 VRO

電源回路の出力および出力電圧モニタ端子です。

## 2.4 端子の入出力回路と未使用端子の処理

各端子の入出力タイプと、未使用端子の処理を表2-3に示します。

また、各タイプの入出力回路の構成は、図2-1を参照してください。

表2-3 各端子の入出力回路タイプ (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI000	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P01/TI010/TO00			
P10/SCK10/TxD0			
P11/SI10/RxD0			
P12/SO10	5-AG		
P13/TxD6 <sup>注1</sup>			
P14/RxD6 <sup>注1</sup>	5-AH		
P15/TOH0	5-AG		
P16/TOH1/INTP5	5-AH		
P17/TI50/TO50			
P20/ANI0-P24/ANI4 <sup>注2</sup>	11-G		<アナログ設定時> AV <sub>REF</sub> またはAV <sub>SS</sub> に接続してください。 <デジタル設定時> 入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P30/INTP1	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P31/INTP2			
P32/INTP3			
P33/TI51/TO51/INTP4			
P60/SCL0	13-AD	入出力	入力時：V <sub>SS</sub> に接続してください。 出力時：ポートの出力ラッチに0を設定して、ロウ・レベル出力でオープンにしてください。
P61/SDA0			
P70/KR0	5-AH	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P120/INTP0/EXLVI			
P121/X1 <sup>注3</sup>	37	入出力	入力時：個別に抵抗を介して、V <sub>DD</sub> またはV <sub>SS</sub> に接続してください。 出力時：オープンにしてください。
P122/X2/EXCLK <sup>注3</sup>			
RESET	2	入力	-
FLMD0	38	-	V <sub>SS</sub> に接続してください。
AV <sub>REF</sub>	-	-	V <sub>DD</sub> に直接接続してください <sup>注4</sup> 。
AV <sub>SS</sub>	-	-	V <sub>SS</sub> に直接接続してください。

注1. LINトランシーバ機能兼用端子です。LINトランシーバ機能端子として使用する場合は、オープンにしてください。マイクロコントローラの機能端子として使用する場合は、UMODE端子には外部プルアップが必要です。

2. P20/ANI0-P24/ANI4は、リセット解除後はアナログ入力モードになります。

3. 未使用時は、クロック動作モード選択レジスタ(OSCCTL)で入出力ポート・モードに設定し、上記の推奨接続方法を行ってください。

4. ポート2をデジタル・ポートとして使用する場合は、V<sub>DD</sub>と同電位にしてください。

表2 - 3 各端子の入出力回路タイプ (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
Dr1	LIN 1	出力	オープンにしてください。
Dr21	LIN 2	出力	
Dr22		出力	
Dr3	LIN 1	出力	
Dr4	LIN 3	出力	
Dr1_I	LIN 4	入力	オープンにしてください。
Dr21_I	LIN 5	入力	
Dr22_I		入力	
Dr3_I	LIN 4	入力	
Dr4_I		入力	
LIN	LIN 6	入出力	オープンにしてください。
MSLP	LIN 4	入力	オープンにしてください。
UMODE	LIN 4	入力	オープンにしてください。
VIC	LIN 7	入力	SUPに直接接続してください。
VRO		出力	V <sub>DD</sub> に直接接続してください。
RxL	LIN 8	出力	- 注1
TxL	LIN 9	入力	- 注2

注1. パッケージ内部で、マイクロコントローラのP14/RxD6と接続されています。

2. パッケージ内部で、マイクロコントローラのP13/TxD6と接続されています。

図2 - 1 端子の入出力回路一覧 (1/4)

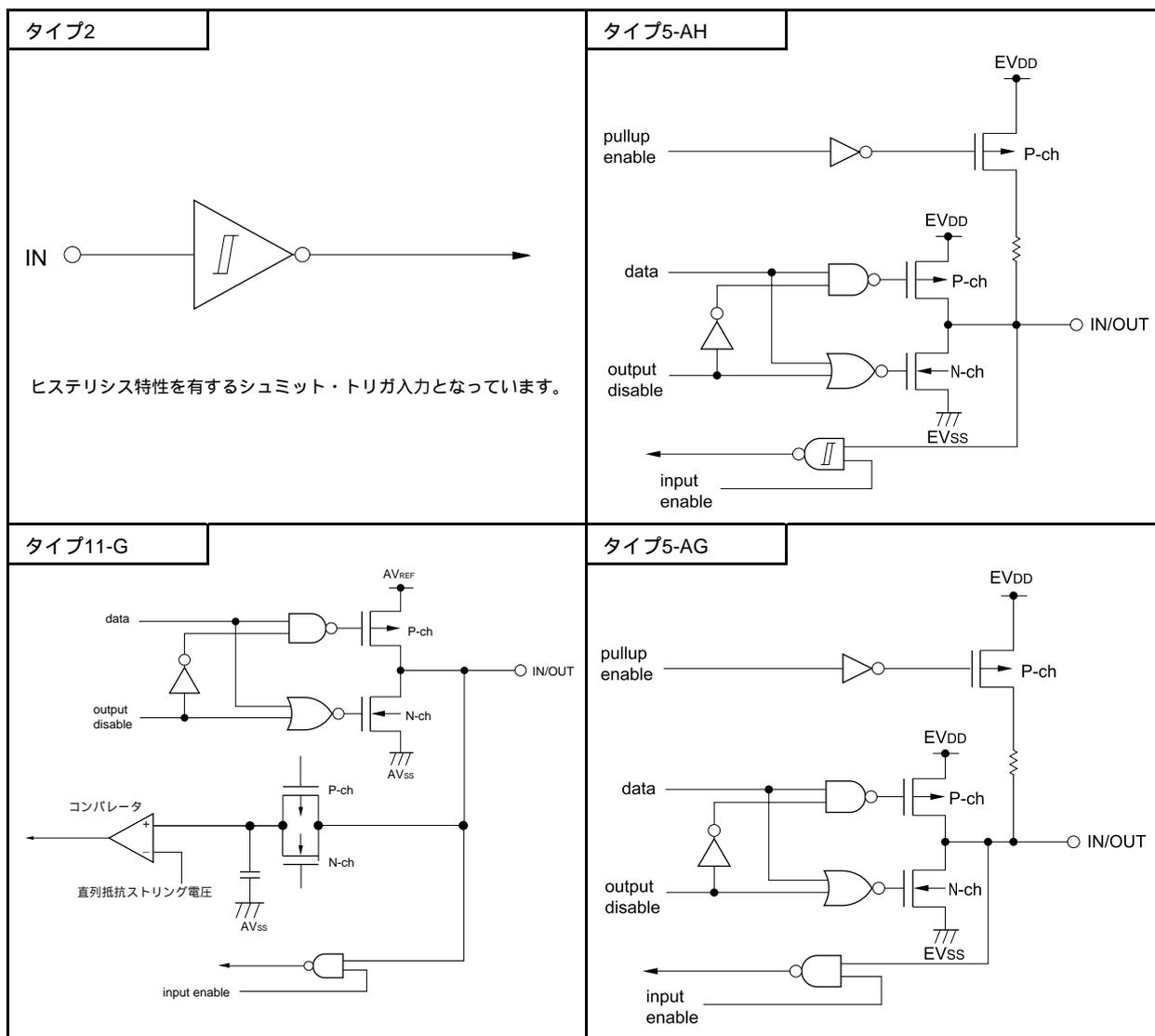


図2 - 1 端子の入出力回路一覧 (2/4)

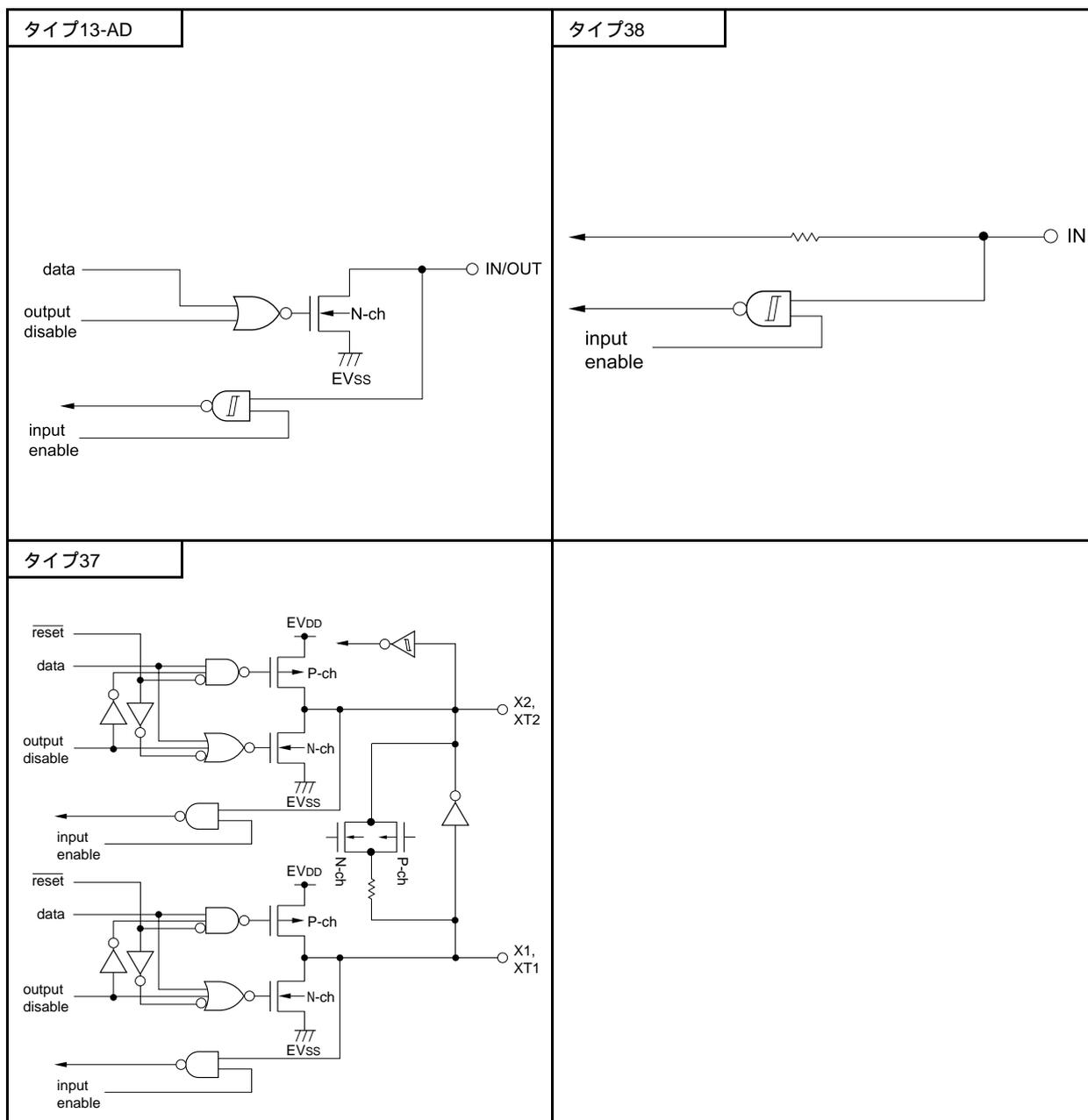


図2 - 1 端子の入出力回路一覧 (3/4)

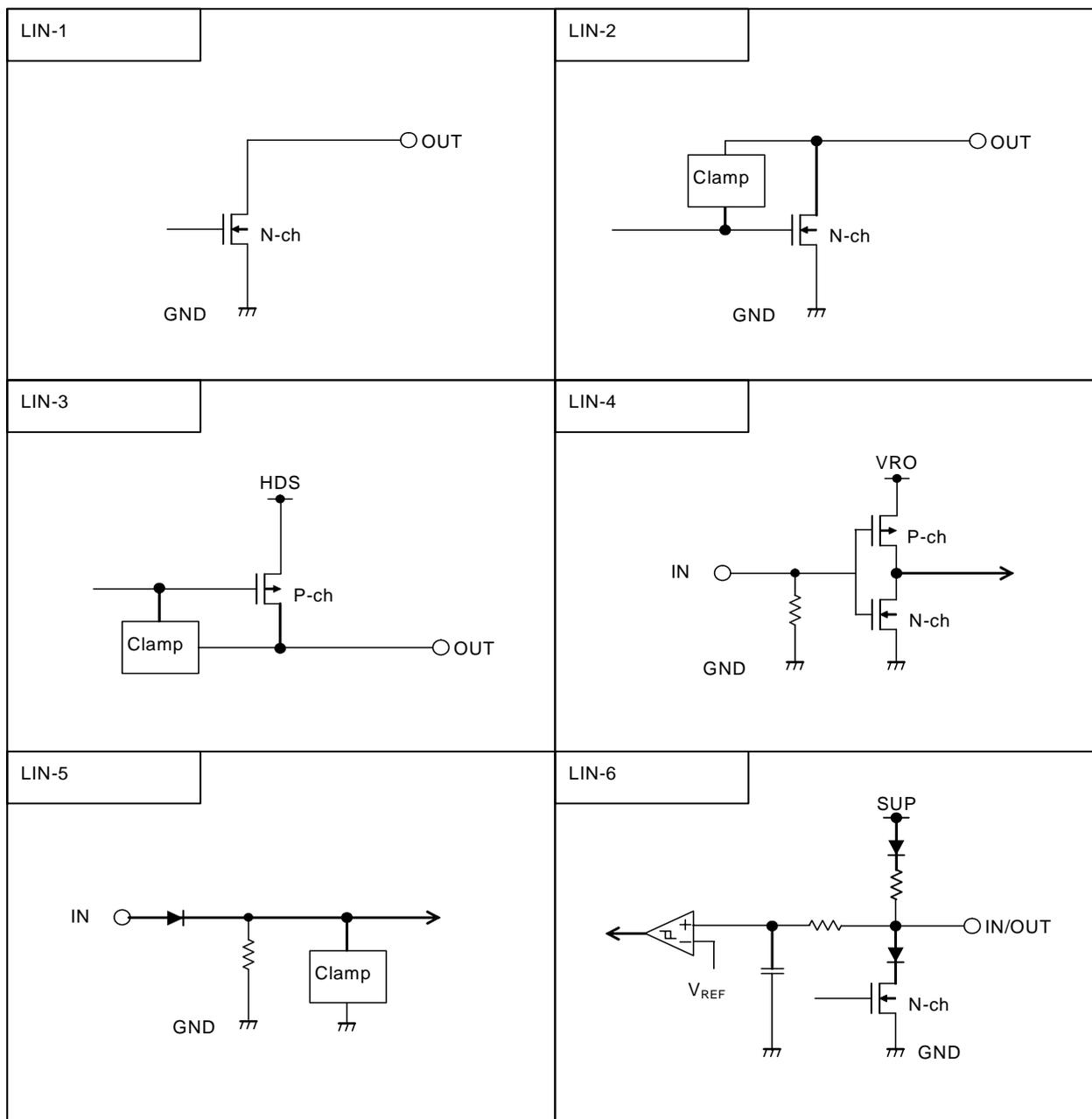
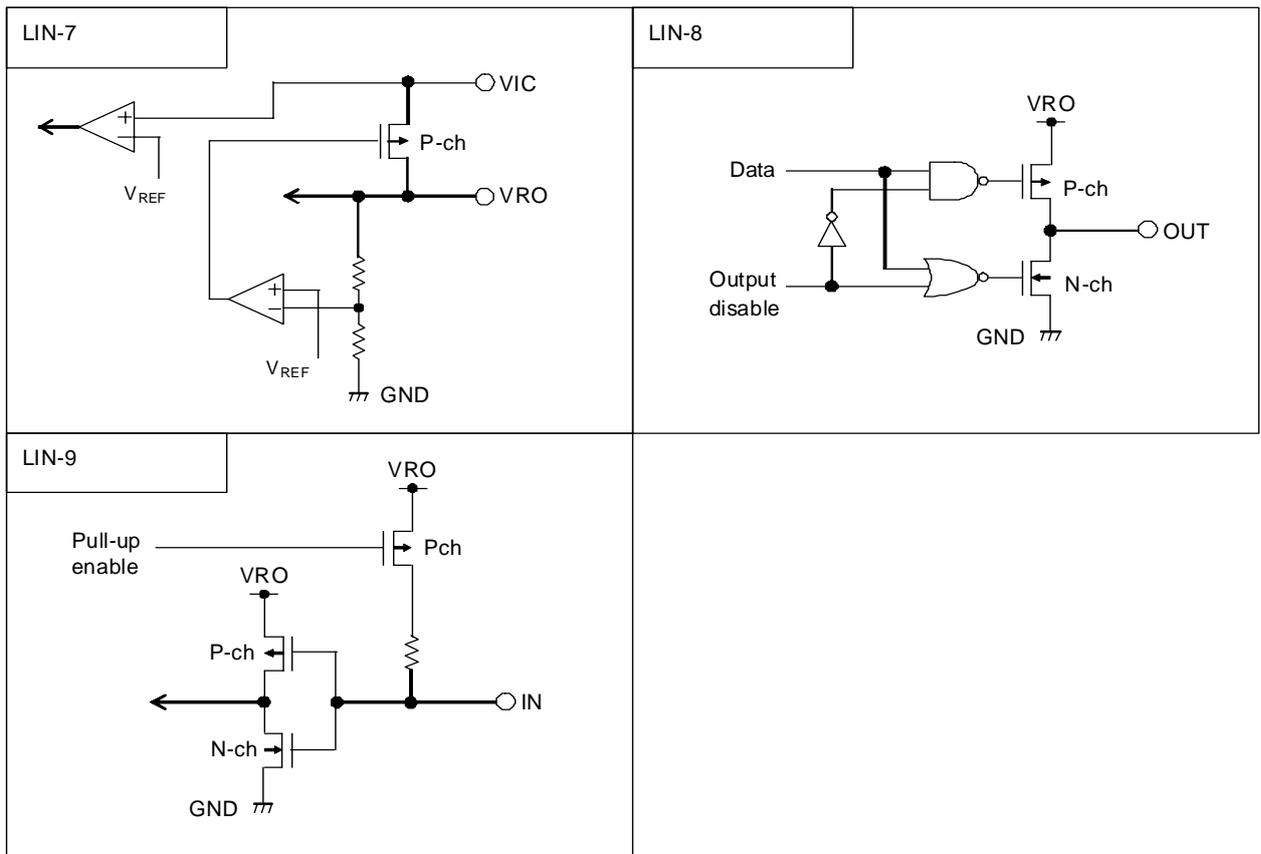


図2 - 1 端子の入出力回路一覧 (4/4)



## 第3章 マイクロコントローラ機能

8ビット・マイクロコントローラ部は、78K0/KC2を搭載しています。

しかし、 $\mu$ PD78F8014A, 78F8015A, 78F8016Aは、78K0/KC2の全機能端子を外に出していないため、使用できる機能が異なります。

このマニュアルでは、78K0/KC2との機能およびレジスタの違いについて示します。マイクロコントローラ部の各機能説明については、78K0/Kx2 **ユーザズ・マニュアル** (U18598J) を参照してください。

### 3.1 78K0/KC2と異なる機能

$\mu$ PD78F8014A, 78F8015A, 78F8016Aと78K0/KC2 (44ピン) の違いは、次のとおりです。

項目	$\mu$ PD78F8014A, 78F8015A, 78F8016A	78K0/KC2 (44ピン) $\mu$ PD78F0511A, 78F0512A, 78F0513A
サブシステム・クロック (発振周波数)	-	XT1 (水晶) 発振, 外部サブシステム・クロック入力 (EXCLKS) 32.768 kHz (TYP.) : $V_{DD} = 1.8 \sim 5.5$ V
I/Oポート	合計: 25本 CMOS入出力: 23本 N-chオープン・ドレイン入出力 (6V耐圧): 2本	合計: 37本 CMOS入出力: 33本 N-chオープン・ドレイン入出力 (6V耐圧): 4本
クロック出力	-	・ 156.25 kHz, 312.5 kHz, 625 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (周辺ハードウェア・クロック: $f_{PRS} = 20$ MHz動作時) ・ 32.768 kHz (サブシステム・クロック: $f_{SUB} = 32.768$ kHz動作時)
A/Dコンバータ	10ビット分解能 $\times$ 5チャンネル ( $AV_{REF} = 2.3 \sim 5.5$ V)	10ビット分解能 $\times$ 8チャンネル ( $AV_{REF} = 2.3 \sim 5.5$ V)
キー割り込み	キー入力端子 (KR0) の立ち下がりエッジ検出により、キー割り込み (INTKR) 発生	キー入力端子 (KR0-KR3) の立ち下がりエッジ検出により、キー割り込み (INTKR) 発生

## 3.2 78K0/KC2と異なる特殊機能レジスタ

μ PD78F8014A, 78F8015A, 78F8016Aと78K0/KC2 (44ピン) の特殊機能レジスタの違いは次のとおりです。

アドレス	μPD78F8014A, 78F8015A, 78F8016A		78K0/KC2 μ PD78F0511A, 78F0512A, 78F0513A	
	特殊機能レジスタ (SFR) 名称	略号	特殊機能レジスタ (SFR) 名称	略号
FF02H	ポート・レジスタ2 <sup>注1</sup>	P2	ポート・レジスタ2	P2
FF04H	- <sup>注2</sup>	-	ポート・レジスタ4	P4
FF06H	ポート・レジスタ6 <sup>注1</sup>	P6	ポート・レジスタ6	P6
FF07H	ポート・レジスタ7 <sup>注1</sup>	P7	ポート・レジスタ7	P7
FF0CH	ポート・レジスタ12 <sup>注1</sup>	P12	ポート・レジスタ12	P12
FF22H	ポート・モード・レジスタ2 <sup>注1</sup>	PM2	ポート・モード・レジスタ2	PM2
FF24H	- <sup>注2</sup>	-	ポート・モード・レジスタ4	PM4
FF26H	ポート・モード・レジスタ6 <sup>注1</sup>	PM6	ポート・モード・レジスタ6	PM6
FF27H	ポート・モード・レジスタ7 <sup>注1</sup>	PM7	ポート・モード・レジスタ7	PM7
FF29H	アナログ入力チャネル指定レジスタ <sup>注1</sup>	ADS	アナログ入力チャネル指定レジスタ	ADS
FF2CH	ポート・モード・レジスタ12 <sup>注1</sup>	PM12	ポート・モード・レジスタ12	PM12
FF2FH	A/Dポート・コンフィギュレーション・レジスタ <sup>注1</sup>	ADPC	A/Dポート・コンフィギュレーション・レジスタ	ADPC
FF34H	- <sup>注2</sup>	-	プルアップ抵抗オプション・レジスタ4	PU4
FF37H	プルアップ抵抗オプション・レジスタ7 <sup>注1</sup>	PU7	プルアップ抵抗オプション・レジスタ7	PU7
FF6EH	キー・リターン・モード・レジスタ <sup>注1</sup>	KRM	キー・リターン・モード・レジスタ	KRM
FF6FH	時計用タイマ動作モード・レジスタ <sup>注1</sup>	WTM	時計用タイマ動作モード・レジスタ	WTM
FF9FH	クロック動作モード選択レジスタ <sup>注1</sup>	OSCCTL	クロック動作モード選択レジスタ	OSCCTL
FFA8H	IICクロック選択レジスタ0 <sup>注1</sup>	IICCL0	IICクロック選択レジスタ0	IICCL0
FFFBH	プロセッサ・クロック・コントロール・レジスタ <sup>注1</sup>	PCC	プロセッサ・クロック・コントロール・レジスタ	PCC

注1. ビット設定が異なります。

2. このレジスタに書き込みをしないでください。

### 3.3 78K0/KC2 (44ピン) とビット設定が異なるレジスタ

#### 3.3.1 ポート・モード・レジスタ

μPD78F8014A, 78F8015A, 78F8016A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	1	1	1	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	1	1	1	1	1	PM70	FF27H	FFH	R/W
PM12	1	1	1	1	1	PM122	PM121	PM120	FF2CH	FFH	R/W

- 注意1. PM2のビット5-7には、必ず1を設定してください。
2. PM6のビット2, 3には、必ず1を設定してください。
  3. PM7のビット1-3には、必ず1を設定してください。
  4. PM12のビット3, 4には、必ず1を設定してください。

78K0/KC2

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM6	1	1	1	1	PM63	PM62	PM61	PM60	FF26H	FFH	R/W
PM7	1	1	1	1	PM73	PM72	PM71	PM70	FF27H	FFH	R/W
PM12	1	1	1	PM124	PM123	PM122	PM121	PM120	FF2CH	FFH	R/W

### 3.3.2 ポート・レジスタ

#### μPD78F8014A, 78F8015A, 78F8016A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P2	0	0	0	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	0	0	0	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W

#### 78K0/KC2

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FF02H	00H (出力ラッチ)	R/W
P6	0	0	0	0	P63	P62	P61	P60	FF06H	00H (出力ラッチ)	R/W
P7	0	0	0	0	P73	P72	P71	P70	FF07H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FF0CH	00H (出力ラッチ)	R/W

### 3.3.3 プルアップ抵抗オプション・レジスタ

#### μPD78F8014A, 78F8015A, 78F8016A

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU7	0	0	0	0	0	0	0	PU70	FF37H	00H	R/W

注意 PU7のビット1-3には、必ず0を設定してください。

#### 78K0/KC2

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU7	0	0	0	0	PU73	PU72	PU71	PU70	FF37H	00H	R/W

### 3.3.4 アナログ入力チャネル指定レジスタ

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FF29H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	設定禁止
1	1	0	設定禁止
1	1	1	設定禁止

**注意** ビット3-7には必ず0を設定してください。

78K0/KC2

アドレス：FF29H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	0	0	0	0	ADS2	ADS1	ADS0

ADS2	ADS1	ADS0	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

**注意** ビット3-7には必ず0を設定してください。

### 3.3.5 A/Dポート・コンフィギュレーション・レジスタ

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FF2FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	0	ADPC2	ADPC1	ADPC0

ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え				
			ANI4/ P24	ANI3/ P23	ANI2/ P22	ANI1/ P21	ANI0/ P20
0	0	0	A	A	A	A	A
0	0	1	A	A	A	A	D
0	1	0	A	A	A	D	D
0	1	1	A	A	D	D	D
1	0	0	A	D	D	D	D
1	0	1	D	D	D	D	D
上記以外			設定禁止				

注意 ビット3には必ず0を設定してください。

78K0/KC2

アドレス：FF2FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	0	ADPC3	ADPC2	ADPC1	ADPC0

ADPC3	ADPC2	ADPC1	ADPC0	アナログ入力 (A) / デジタル入出力 (D) の切り替え							
				ANI7/ P27	ANI6/ P26	ANI5/ P25	ANI4/ P24	ANI3/ P23	ANI2/ P22	ANI1/ P21	ANI0/ P20
0	0	0	0	A	A	A	A	A	A	A	A
0	0	0	1	A	A	A	A	A	A	A	D
0	0	1	0	A	A	A	A	A	A	D	D
0	0	1	1	A	A	A	A	A	D	D	D
0	1	0	0	A	A	A	A	D	D	D	D
0	1	0	1	A	A	A	D	D	D	D	D
0	1	1	0	A	A	D	D	D	D	D	D
0	1	1	1	A	D	D	D	D	D	D	D
1	0	0	0	D	D	D	D	D	D	D	D
上記以外				設定禁止							

### 3.3.6 キー・リターン・モード・レジスタ

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	0	0	0	KRM0

注意 ビット1-3には必ず0を設定してください。

78K0/KC2

アドレス：FF6EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
KRM	0	0	0	0	KRM3	KRM2	KRM1	KRM0

### 3.3.7 時計用タイマ動作モード・レジスタ

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FF6FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WTM	0	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

注意 ビット7は0固定，Read Onlyです。

78K0/KC2

アドレス：FF6FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	時計用タイマのカウンタ・クロック選択 (fw)					
	f <sub>SUB</sub> = 32.768 kHz	f <sub>PRS</sub> = 2 MHz	f <sub>PRS</sub> = 5 MHz	f <sub>PRS</sub> = 10 MHz	f <sub>PRS</sub> = 20 MHz	
0	f <sub>PRS</sub> /2 <sup>7</sup>	-	15.625 kHz	39.062 kHz	78.125 kHz	156.25 kHz
1	f <sub>SUB</sub>	32.768 kHz	-			

備考1. fw：時計用タイマ・クロック周波数 (f<sub>PRS</sub>/2<sup>7</sup>またはf<sub>SUB</sub>)

2. f<sub>PRS</sub>：周辺ハードウェア・クロック周波数

3. f<sub>SUB</sub>：サブシステム・クロック周波数

### 3.3.8 クロック動作モード選択レジスタ

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FF9FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSCCTL	EXCLK	OSCSEL	0	0	0	0	0	AMPH

注意 ビット4, 5には必ず0を設定してください。

78K0/KC2

アドレス：FF9FH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
OSCCTL	EXCLK	OSCSEL	EXCLKS	OSCSELS	0	0	0	AMPH

### 3.3.9 プロセッサ・クロック・コントロール・レジスタ

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FFFBH リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	PCC2	PCC1	PCC0

注意1. ビット5は、Read Onlyです。

2. ビット4, 6には必ず0を設定してください。

78K0/KC2

アドレス：FFFBH リセット時：01H R/W

略号	7	6	5	4	3	2	1	0
PCC	0	XTSTART	CLS	CSS	0	PCC2	PCC1	PCC0

注意 ビット5は、Read Onlyです。

### 3.3.10 IICクロック選択レジスタ0

μPD78F8014A, 78F8015A, 78F8016A

アドレス：FFA8H      リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

選択クロックの設定

IICX0	IICCL0			選択クロック (fw)	転送クロック (fw/m)	設定可能な選択クロック (fw)の範囲	動作モード
	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	$f_{PRS}/2$	$fw/44$	2.00 MHz ~ 4.19 MHz	標準モード (SMC0ビット = 0)
0	0	0	1	$f_{PRS}/2$	$fw/86$	4.19 MHz ~ 8.38 MHz	
0	0	1	0	$f_{PRS}/4$	$fw/86$		
0	0	1	1	設定禁止			
0	1	0	x	$f_{PRS}/2$	$fw/24$	4.00 MHz ~ 8.38 MHz	高速モード (SMC0ビット = 1)
0	1	1	0	$f_{PRS}/4$	$fw/24$		
0	1	1	1	設定禁止			
1	0	x	x	設定禁止			
1	1	0	x	$f_{PRS}/2$	$fw/12$	4.00 MHz ~ 4.19 MHz	高速モード (SMC0ビット = 1)
1	1	1	0	$f_{PRS}/4$	$fw/12$		
1	1	1	1	設定禁止			

78K0/KC2

アドレス：FFA8H      リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICCL0	0	0	CLD0	DAD0	SMC0	DFC0	CL01	CL00

選択クロックの設定

IICX0	IICCL0			選択クロック (fw)	転送クロック (fw/m)	設定可能な選択クロック (fw)の範囲	動作モード
	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	$f_{PRS}/2$	$fw/44$	2.00 MHz ~ 4.19 MHz	標準モード (SMC0ビット = 0)
0	0	0	1	$f_{PRS}/2$	$fw/86$	4.19 MHz ~ 8.38 MHz	
0	0	1	0	$f_{PRS}/4$	$fw/86$		
0	0	1	1	$f_{EXSCL0}$	$fw/66$	6.4 MHz	
0	1	0	x	$f_{PRS}/2$	$fw/24$	4.00 MHz ~ 8.38 MHz	高速モード (SMC0ビット = 1)
0	1	1	0	$f_{PRS}/4$	$fw/24$		
0	1	1	1	$f_{EXSCL0}$	$fw/18$	6.4 MHz	
1	0	x	x	設定禁止			
1	1	0	x	$f_{PRS}/2$	$fw/12$	4.00 MHz ~ 4.19 MHz	高速モード (SMC0ビット = 1)
1	1	1	0	$f_{PRS}/4$	$fw/12$		
1	1	1	1	設定禁止			

- 備考1. x : don't care  
 2.  $f_{PRS}$  : 周辺ハードウェア・クロック周波数  
 3.  $f_{EXSCL0}$  : EXSCL0端子からの外部クロック周波数

## 第4章 フラッシュ・メモリ・プログラマによる書き込み方法

専用フラッシュ・メモリ・プログラマにより，オンボードまたはオフボードで書き込みができます。

### (1) オンボード・プログラミング

ターゲット・システム上にデバイスを実装後，フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には，専用フラッシュ・メモリ・プログラマを接続するためのコネクタなどを実装しておいてください。

### (2) オフボード・プログラミング

ターゲット・システム上にデバイスを実装する前に専用プログラム・アダプタ（FAシリーズ）などでフラッシュ・メモリに書き込みます。

**備考** FAシリーズは，（株）内藤電誠町田製作所の製品です。

表4 - 1 専用フラッシュ・メモリ・プログラマの配線表

専用フラッシュ・メモリ・プログラマ接続端子			CSI10使用時		UART6使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SO10/P12	41	TxD6/P13	20
SO/TxD	出力	送信信号	SI10/RxD0/P11	42	RxD6/P14	19
SCK	出力	転送クロック	$\overline{\text{SCK10/TxD0/P10}}$	43	-	-
CLK	出力	マイコンへのクロック	- <sup>注1</sup>	-	注2	注2
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	2	$\overline{\text{RESET}}$	2
FLMD0	出力	モード信号	FLMD0	3	FLMD0	3
V <sub>DD</sub>	入出力	V <sub>DD</sub> 電圧生成 / 電源監視	V <sub>DD</sub>	8	V <sub>DD</sub>	8
			AV <sub>REF</sub>	44	AV <sub>REF</sub>	44
			SUP	26	SUP	26
			HDS	25	HDS	25
			VIC	24	VIC	24
			VRO	23	VRO	23
			-	-	UMODE	22
V <sub>SS</sub>	-	グラウンド	V <sub>SS</sub>	7	V <sub>SS</sub>	7
			AV <sub>SS</sub>	45	AV <sub>SS</sub>	45
			GND1	27	GND1	27
			GND2	39	GND2	39
			GND3	34	GND3	34

注1. CSI10使用時は，高速内蔵発振クロック（f<sub>RH</sub>）のみ使用できます。

2. UART6使用時は，X1クロック（f<sub>X</sub>）または外部メイン・システム・クロック（f<sub>EXCLK</sub>）のみ使用できます。専用フラッシュ・メモリ・プログラマのクロック・アウトを使用する場合，専用フラッシュ・メモリ・プログラマの種類により，接続する端子が異なります。

・PG-FP5, FL-PR5, PG-FP4, FL-PR4：プログラマのCLKとEXCLK/X2/P122（ピン番号：4）を接続してください。

## 第5章 電源回路

### 5.1 電源機能

電源回路は、12 V系のバッテリー供給電圧から5 V (TYP.)電圧を生成するシリーズ・レギュレータです。次の機能を搭載しています。

- ・過電流保護機能
- ・過熱保護機能

### 5.2 過電流保護機能

負荷ショートなどの要因により電源ラインに過電流が発生した場合、電流制限を行いドロップの保護をする回路です。過電流は、SUP端子とVIC端子間に接続された抵抗にかかる両端電位差によって検出します。電流制限値が65 mA以下となるように抵抗をSUP端子とVIC端子間に付けてください。

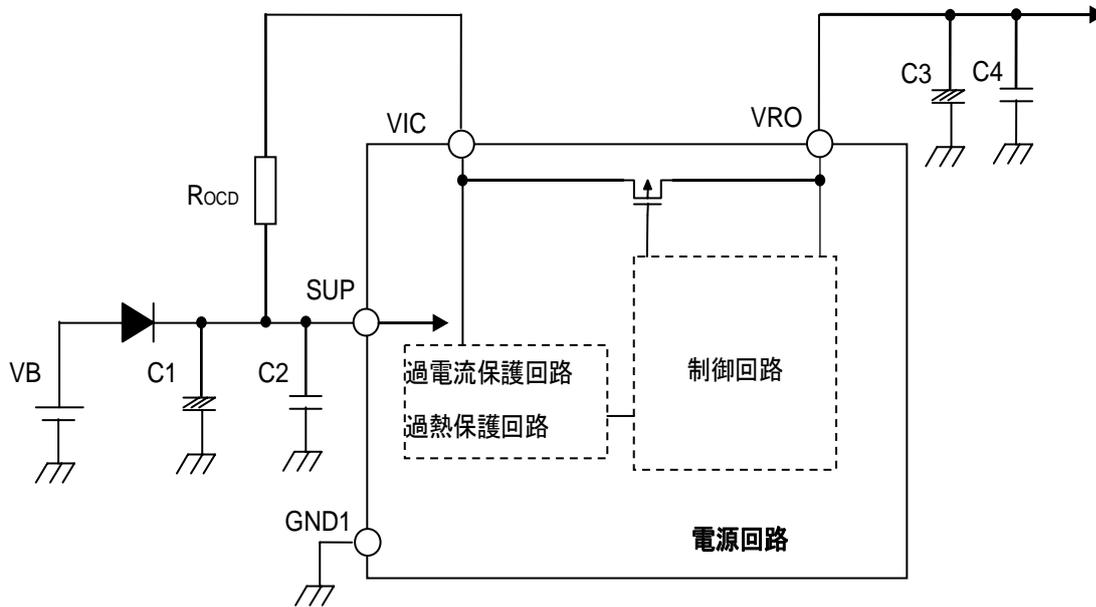
- ・電流制限値 = 過電流判定電圧 ( $V_{SUPlim}$ ) /  $R_{OCD}$
- ・過電流判定電圧 ( $V_{SUPlim}$ ) =  $V_{SUP} - V_{IC}$   
 $V_{SUPlim} = 150 \text{ mV (typ.)}$

### 5.3 過熱保護機能

過熱による破壊を防止するための保護回路です。過熱検出温度以上の温度を検出すると強制的に電源出力をオフします。電源出力を強制的にオフさせたあと、温度が低下すると自己復帰します。

**注意** 電源回路に内蔵している保護機能は、異常使用時におけるデバイスの保護を目的としていますので、積極的なご使用は避けてください。

図5 - 1 電源回路アプリケーション例



外付け容量ターゲット値

C1 33  $\mu$ F

C2 0.01  $\mu$ F

4.7  $\mu$ F C3 100  $\mu$ F

C4 0.01  $\mu$ F

**注意** SUP-GND端子間およびVRO-GND端子間のセラミック・コンデンサ(C2, C4)は、SUP端子およびVRO端子近傍に配置し配線を極力短くしてください。

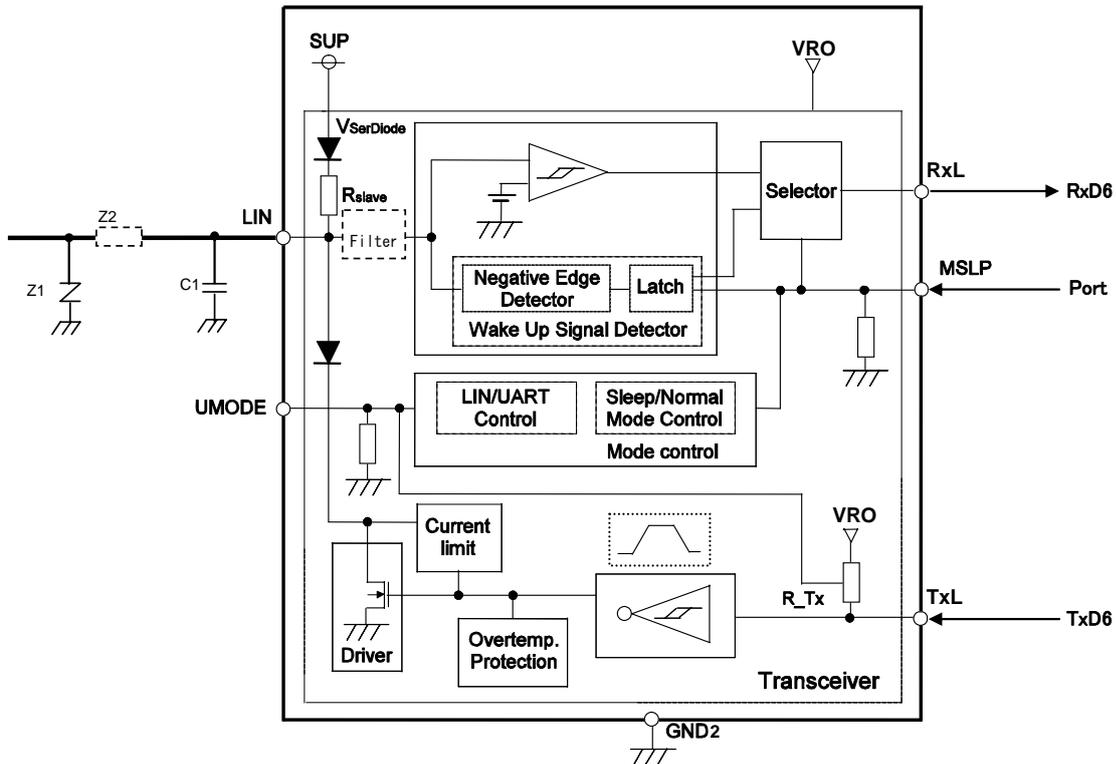
# 第6章 LINトランシーバ回路

## 6.1 LINトランシーバ機能

LINトランシーバ機能および電気的特性は、LIN consortium Specification package Rev.2.0に準拠しています。次の機能を搭載しています。

- ・スリープ機能
- ・過電流保護機能
- ・過熱保護機能

図6 - 1 LINトランシーバ回路アプリケーション例



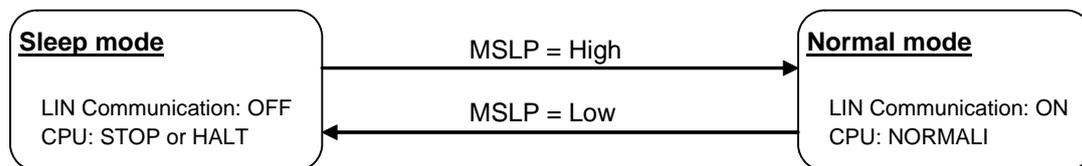
- 備考1. RxLとRxD6, TxLとTxD6は、パッケージ内部で接続されています。
2. LIN端子には、スレープ用プルアップ抵抗とダイオードが内蔵されています。

## 6.2 動作モード

### (1) UMODE = Low (LINトランシーバ通常動作モード) 時

MSLP端子の状態によって、次の2状態への遷移を行います。

図6-2 動作モード状態遷移図



#### ・ Sleep mode

MSLPがロウ・レベルになると、Sleep modeに移行します。

Sleep mode時、LINドライバの出力は、Tx端子の入力状態にかかわらずOFF (Recessive) 状態となります。

消費電流を低減するには、マイクロコントローラの動作モードをHALTまたはSTOPモードに設定してください。

#### ・ Normal mode

MSLPがハイ・レベルになると、Normal modeに移行します。Normal mode時、Tx端子からの入力データをLINバスに出力できます。

**注意 1.** LINトランシーバ機能使用時は、UMODE端子はオープンにしてください。

(UMODE端子はIC内部でプルダウンされます。)

2. LINトランシーバ機能未使用時は、UMODE端子は直接V<sub>DD</sub>に接続し、ハイ・レベルにしてください。UMODE端子をハイ・レベルにすると、LINトランシーバ回路 (R<sub>Tx</sub>) のプルアップ抵抗が未接続状態になります。

3. MSLP端子はIC内部でプルダウンされます。

### (2) UMODE = High (LINトランシーバ非動作モード) 時

無条件にLIN CommunicationはOFFします。

TxL, RxLはハイ・インピーダンスとなり、LIN端子のN-chオープン・ドレイン出力はOFFします。

### 6.3 過電流保護機能

過電流制限回路は、負荷ショート時の過電流によるデバイスの損傷を防ぐための回路です。

負荷ショートなどの要因により、過電流検出値を越える電流がLINドライバに流れた時、LINドライバのゲート電圧を抑制して出力電流を制限します。

### 6.4 過熱保護機能

過熱保護回路は、LIN出力ドライバ部の過熱による破壊、劣化を防止する回路です。

LIN出力ドライバ部の温度が過熱検出値 (MIN: 150 ) を越えた場合、LINドライバは強制的にLIN端子のN-chオープン・ドレイン出力をOFFにします。

温度が低下した場合、自動的に復帰します。

**注意** LINトランシーバ回路に内蔵している保護機能は、異常使用時におけるデバイスの保護を目的としていますので、積極的な使用は避けてください。

## 第7章 ドライバ回路

ドライバ回路には、ロウ・サイド・ドライバ4 chとハイ・サイド・ドライバ1 chを搭載しています。

### 7.1 ロウ・サイド・ドライバ

・ Dr1: 1 ch

用途：ハイ・サイド・ドライバを駆動するためのプリドライバとして使用できます。

入力回路は、プルダウン抵抗が内蔵されています。

・ Dr2: 2 ch

用途：リレー駆動用ロウ・サイド・ドライバとして使用できます。

入力回路は、クランプ回路およびプルダウン抵抗を内蔵しています。このため、5 V系入力信号とVB系SW入力信号どちらでもDr2を駆動可能な回路構成となっています。ただし、VB系SW入力信号を入力する場合は、外付けに抵抗が必要です。詳細は、アプリケーション例を参照してください。

出力回路は、ドライバ保護用のダイナミック・クランプ回路が搭載されています。ただし、 $V_{SUP}$ 電圧が28 V以上では、クランプ回路は動作しません。

・ Dr3: 1 ch

用途：LED駆動用ドライバとして使用できます。

入力回路は、プルダウン抵抗が内蔵されています。

### 7.2 ハイ・サイド・ドライバ

Dr4: 1 ch

用途：ホール・センサ供給電源用ハイ・サイド・ドライバとして使用できます。

入力回路は、プルダウン抵抗が内蔵されています。

出力回路は、クランプ回路、過電流保護回路および過熱保護回路が搭載されています。

過熱保護回路は、温度が過熱検出値（MIN: 150 ）を越えた場合、出力ドライバを強制的にOFFします。温度が低下した場合、自動的に復帰します。

過電流保護回路は、負荷ショートなどの要因により、出力ドライバに過電流が流れた場合、電流制限を行いドライバを保護します。

**注意** Dr4回路に内蔵している保護機能は、異常使用時におけるデバイスの保護を目的としています。積極的な使用は避けてください。

表7 - 1 真理値表

Input		Dr1	Dr21	Dr22	Dr3	Dr4
Dr1_I	High	ON	-	-	-	-
	Low	OFF	-	-	-	-
Dr21_I	High	-	ON	-	-	-
	Low	-	OFF	-	-	-
Dr22_I	High	-	-	ON	-	-
	Low	-	-	OFF	-	-
Dr3_I	High	-	-	-	ON	-
	Low	-	-	-	OFF	-
Dr4_I	High	-	-	-	-	ON
	Low	-	-	-	-	OFF

図7 - 1 ロー・サイド・ドライバ回路アプリケーション例

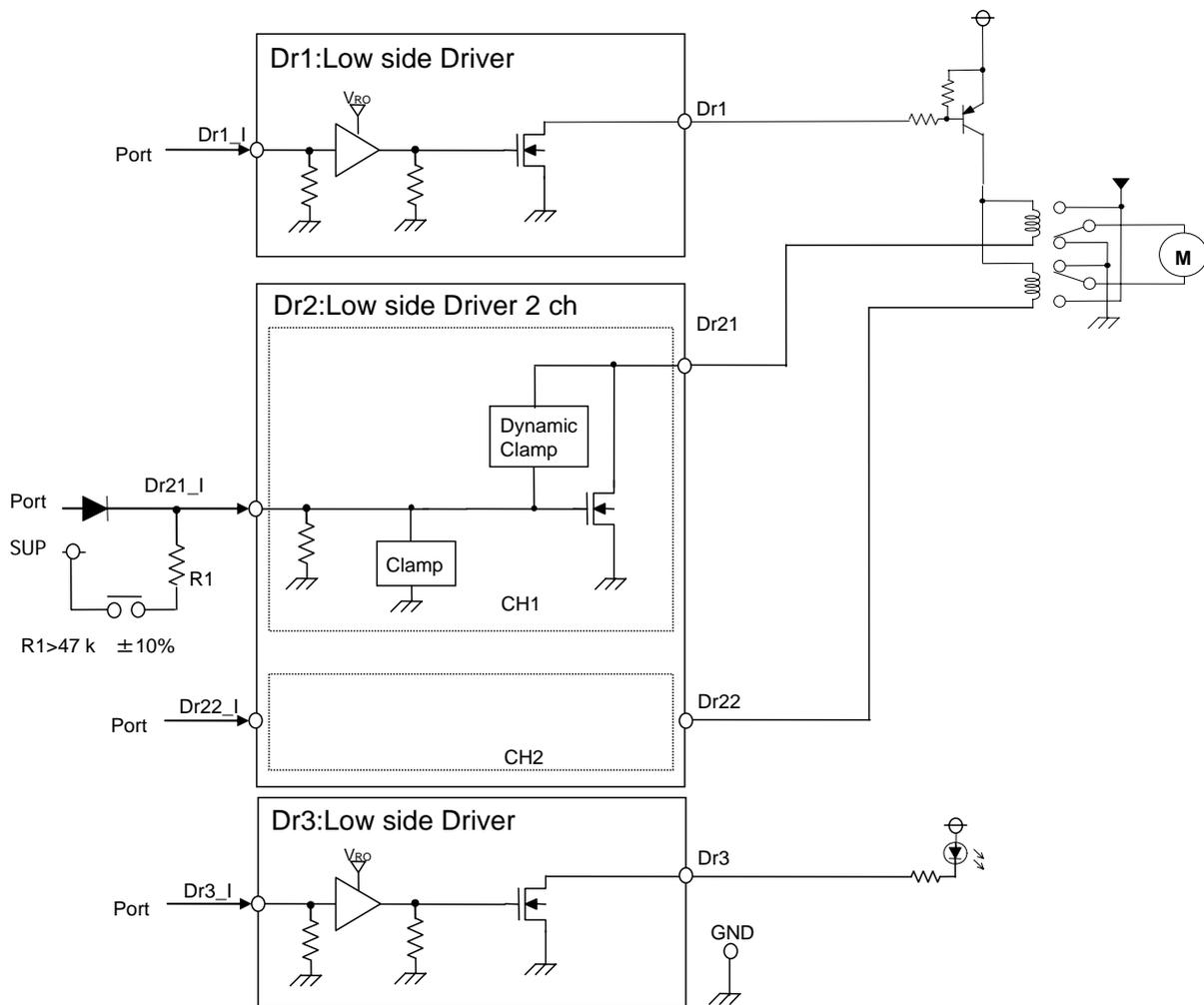
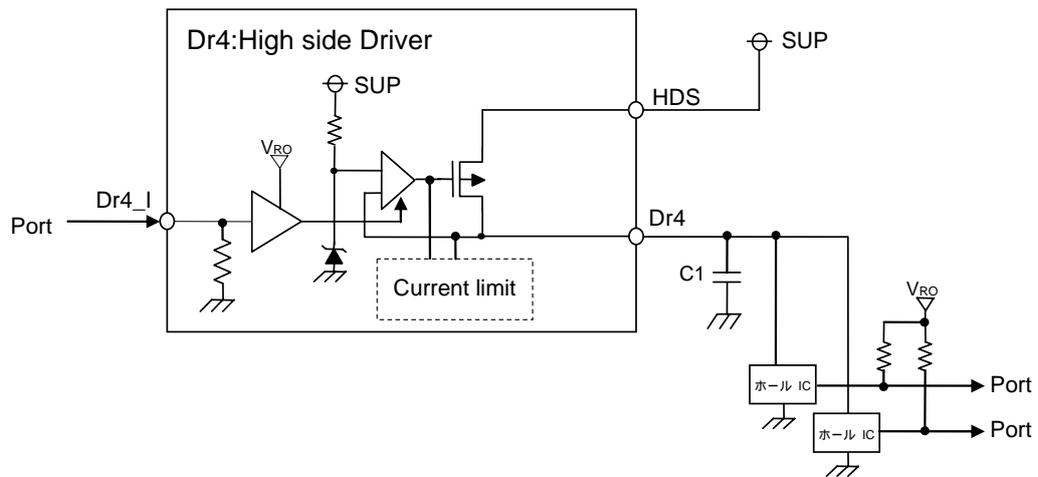


図7-2 ハイ・サイド・ドライバ回路アプリケーション例



## 第8章 電気的特性 (A) 水準

### 8.1 絶対最大定格

マイクロコントローラ部絶対最大定格 ( $T_A = 25$  )

項目	略号	条件	定格	単位	
電源電圧	$V_{DD}$		- 0.5 ~ + 6.5	V	
	$V_{SS}$		- 0.5 ~ + 0.3	V	
	$AV_{REF}$		- 0.5 ~ $V_{DD} + 0.3$ <sup>注</sup>	V	
	$AV_{SS}$		- 0.5 ~ + 0.3	V	
入力電圧	$V_{I1}$	P00, P01, P10-P17, P20-P24, P30-P33, P70, P120-P122, RESET, FLMD0	- 0.3 ~ $V_{DD} + 0.3$	V	
	$V_{I2}$	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V	
REGC端子入力電圧	$V_{IREGC}$		- 0.5 ~ + 3.6かつ - 0.5 ~ $V_{DD}$	V	
出力電圧	$V_O$		- 0.3 ~ $V_{DD} + 0.3$ <sup>注</sup>	V	
アナログ入力電圧	$V_{AN}$	ANI0-ANI4	- 0.3 ~ $AV_{REF} + 0.3$ <sup>注</sup> かつ - 0.3 ~ $V_{DD} + 0.3$ <sup>注</sup>	V	
ハイ・レベル出力電流	$I_{OH1}$	1端子	- 10	mA	
		端子合計	P00, P01, P120		- 25
		- 80 mA	P10-P17, P30-P33, P70		- 55
	$I_{OH2}$	1端子	P20-P24	- 0.5	mA
		端子合計		- 2	
	$I_{OH3}$	1端子	P121, P122	- 1	mA
		端子合計		- 4	
ロウ・レベル出力電流	$I_{OL1}$	1端子	30	mA	
		端子合計	P00, P01, P120		60
		200 mA	P10-P17, P30-P33, P60, P61, P70		140
	$I_{OL2}$	1端子	P20-P24	1	mA
		端子合計		5	
	$I_{OL3}$	1端子	P121, P122	4	mA
		端子合計		10	

注 6.5 V以下であること。

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

**備考** 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

アナログ部絶対最大定格 (T<sub>A</sub> = 25 )

項目	略号	条件	定格	単位
電源電圧	V <sub>SUP1</sub>	VSUP, HDS, 400 ms	- 0.3 ~ + 60	V
	V <sub>SUP2</sub>	VSUP, HDS, 2 min	- 0.3 ~ + 28	V
	V <sub>SUP3</sub>	VSUP, HDS	- 0.3 ~ + 20	V
	V <sub>RO</sub>	VRO	- 0.3 ~ + 6.5	V
入力電圧	V <sub>IA1</sub>	VIC, LIN, Dr21_I, Dr22_I, 400 ms, Dr21_I, Dr22_Iは外付け47 kΩの入力 端子電位	- 0.3 ~ + 60	V
	V <sub>IA2</sub>	VIC, LIN, Dr21_I, Dr22_I, 2 min, Dr21_I, Dr22_Iは外付け47 kΩの入力 端子電位	- 0.3 ~ + 28	V
	V <sub>IA3</sub>	VIC, LIN	- 0.3 ~ + 20	V
	V <sub>IA4</sub>	MSLP, UMODE, Dr1_I, Dr3_I, Dr4_I	- 0.3 ~ V <sub>RO</sub> + 0.3 <sup>注</sup>	V
LIN入力電流	I <sub>DRin</sub>	Dr21_I, Dr22_I	1.5	mA
LIN負入力電圧	V <sub>ILin</sub>	LIN, 7 V V <sub>SUP</sub> 19 V, 1 s	V <sub>SUP</sub> - 60	V
出力電圧	V <sub>OA1</sub>	LIN, Dr1, Dr21, Dr22, Dr3, Dr4, 400 ms	- 0.3 ~ + 60	V
	V <sub>OA2</sub>	LIN, Dr1, Dr21, Dr22, Dr3, Dr4, 2 min	- 0.3 ~ + 28	V
	V <sub>OA3</sub>	LIN, Dr1, Dr21, Dr22, Dr3, Dr4	- 0.3 ~ + 20	V
出力電流	I <sub>CM1</sub>	VRO	25	mA
	I <sub>CM2</sub>	VRO 1 s	65	mA
	I <sub>LIN</sub>	LIN	200	mA
	I <sub>Dr1</sub>	Dr1	10	mA
	I <sub>Dr2</sub>	Dr21, Dr22	150	mA
	I <sub>Dr3</sub>	Dr3	50	mA
	I <sub>Dr4</sub>	Dr4	- 40	mA

注 6.5 V以下であること。

絶対最大定格共通項目

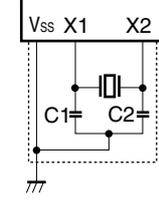
項目	略号	条件	定格	単位
動作周囲温度	T <sub>A</sub>		- 40 ~ + 85	
保存温度	T <sub>stg</sub>		- 65 ~ + 150	
ジャンクション温度	T <sub>jmax</sub>		140	

**注意** 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

## 8.2 マイクロコントローラ部電気的特性

### X1発振回路特性

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5$  V,  $V_{SS} = AV_{SS} = 0$  V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子, 水晶振動子		X1クロック発振周波数 ( $f_x$ ) <sup>注1</sup>	2.7 V $V_{DD} = 5.5$ V	1.0 <sup>注2</sup>		20.0	MHz
			1.8 V $V_{DD} < 2.7$ V	1.0		5.0	

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. オンボード・プログラミング時にUART6を使用する場合は、2.0 MHz (MIN.) です。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に $V_{SS}$ と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ (OSTC) でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ (OSTS) の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

内蔵発振回路特性

( $T_A = -40 \sim +85$  ,  $1.8 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

発振子	項目	条件	MIN.	TYP.	MAX.	単位	
8 MHz 内蔵発振器	高速内蔵発振クロック周波数 ( $f_{RH}$ ) <sup>注</sup>	RSTS = 1	2.7 V $\leq V_{DD} \leq 5.5 \text{ V}$	7.6	8.0	8.4	MHz
			1.8 V $\leq V_{DD} < 2.7 \text{ V}$	7.6	8.0	10.4	MHz
		RSTS = 0		2.48	5.6	9.86	MHz
240 kHz 内蔵発振器	低速内蔵発振クロック周波数 ( $f_{RL}$ )		2.7 V $\leq V_{DD} \leq 5.5 \text{ V}$	216	240	264	kHz
			1.8 V $\leq V_{DD} < 2.7 \text{ V}$	192	240	264	kHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

備考 RSTS : 内蔵発振モード・レジスタ (RCM) のビット7

DC特性 (1/5)

( $T_A = -40 \sim +85$  ,  $1.8\text{ V}$   $V_{DD} = 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 <sup>注1</sup>	I <sub>OH1</sub>	P00, P01, P10-P17, P30-P33, P70, P120 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			- 3.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			- 2.5	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			- 1.0	mA
		P00, P01, P120 合計 <sup>注2</sup>	4.0 V $V_{DD} = 5.5\text{ V}$			- 12.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			- 7.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			- 5.0	mA
		P10-P17, P30-P33, P70 合計 <sup>注2</sup>	4.0 V $V_{DD} = 5.5\text{ V}$			- 18.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			- 15.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			- 10.0	mA
	全端子合計 <sup>注2</sup>	4.0 V $V_{DD} = 5.5\text{ V}$			- 23.0	mA	
		2.7 V $V_{DD} < 4.0\text{ V}$			- 20.0	mA	
		1.8 V $V_{DD} < 2.7\text{ V}$			- 15.0	mA	
	I <sub>OH2</sub>	P20-P24 1端子	$AV_{REF} = V_{DD}$			- 0.1	mA
		P121, P122 1端子				- 0.1	mA
	ロウ・レベル出力電流 <sup>注3</sup>	I <sub>OL1</sub>	P00, P01, P10-P17, P30-P33, P70, P120 1端子	4.0 V $V_{DD} = 5.5\text{ V}$			8.5
2.7 V $V_{DD} < 4.0\text{ V}$						5.0	mA
1.8 V $V_{DD} < 2.7\text{ V}$						2.0	mA
P60, P61 1端子			4.0 V $V_{DD} = 5.5\text{ V}$			15.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			5.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			2.0	mA
P00, P01, P120 合計 <sup>注2</sup>			4.0 V $V_{DD} = 5.5\text{ V}$			20.0	mA
			2.7 V $V_{DD} < 4.0\text{ V}$			15.0	mA
			1.8 V $V_{DD} < 2.7\text{ V}$			9.0	mA
P10-P17, P30-P33, P60, P61, P70 合計 <sup>注2</sup>		4.0 V $V_{DD} = 5.5\text{ V}$			45.0	mA	
		2.7 V $V_{DD} < 4.0\text{ V}$			35.0	mA	
		1.8 V $V_{DD} < 2.7\text{ V}$			20.0	mA	
全端子合計 <sup>注2</sup>		4.0 V $V_{DD} = 5.5\text{ V}$			65.0	mA	
		2.7 V $V_{DD} < 4.0\text{ V}$			50.0	mA	
		1.8 V $V_{DD} < 2.7\text{ V}$			29.0	mA	
I <sub>OL2</sub>		P20-P24 1端子	$AV_{REF} = V_{DD}$			0.4	mA
		P121, P122 1端子				0.4	mA

注1.  $V_{DD}$ から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. デューティ = 70%の条件 (ある一定の時間をtとすると、電流を出力する時間が $0.7 \times t$ 、電流を出力しない時間が $0.3 \times t$ の場合)でのスペックです。デューティ = 70%以外の端子合計の出力電流は下記の計算式で求めることができます。

・ I<sub>OH</sub>のデューティがn%の場合：端子合計の出力電流 =  $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > デューティ = 50%, I<sub>OH</sub> = 20.0 mAの場合

端子合計の出力電流 =  $(20.0 \times 0.7) / (50 \times 0.01) = 28.0\text{ mA}$

ただし、1端子当たりには流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

3. 出力端子からGNDに流れ込んでも、デバイスの動作を保証する電流値です。

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/5)

( $T_A = -40 \sim +85$  ,  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	$V_{IH1}$	P12, P13, P15, P121, P122	$0.7V_{DD}$		$V_{DD}$	V
	$V_{IH2}$	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P120, $\overline{\text{RESET}}$	$0.8V_{DD}$		$V_{DD}$	V
	$V_{IH3}$	P20-P24	$AV_{REF} = V_{DD}$	$0.7AV_{REF}$	$AV_{REF}$	V
	$V_{IH4}$	P60, P61		$0.7V_{DD}$	6.0	V
ロウ・レベル入力電圧	$V_{IL1}$	P12, P13, P15, P60, P61, P121-P122	0		$0.3V_{DD}$	V
	$V_{IL2}$	P00, P01, P10, P11, P14, P16, P17, P30-P33, P70, P120, $\overline{\text{RESET}}$	0		$0.2V_{DD}$	V
	$V_{IL3}$	P20-P24	$AV_{REF} = V_{DD}$	0	$0.3AV_{REF}$	V
ハイ・レベル出力電圧	$V_{OH1}$	P00, P01, P10-P17, P30-P33, P70, P120	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ , $I_{OH1} = -3.0\text{ mA}$	$V_{DD} - 0.7$		V
			$2.7\text{ V} \leq V_{DD} < 5.5\text{ V}$ , $I_{OH1} = -2.5\text{ mA}$	$V_{DD} - 0.5$		V
			$1.8\text{ V} \leq V_{DD} < 5.5\text{ V}$ , $I_{OH1} = -1.0\text{ mA}$	$V_{DD} - 0.5$		V
	$V_{OH2}$	P20-P24	$AV_{REF} = V_{DD}$ , $I_{OH2} = -100\text{ }\mu\text{A}$	$V_{DD} - 0.5$		V
		P121, P122	$I_{OH2} = -100\text{ }\mu\text{A}$	$V_{DD} - 0.5$		V
	ロウ・レベル出力電圧	$V_{OL1}$	P00, P01, P10-P17, P30-P33, P120	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ , $I_{OL1} = 8.5\text{ mA}$		0.7
$2.7\text{ V} \leq V_{DD} < 5.5\text{ V}$ , $I_{OL1} = 5.0\text{ mA}$					0.7	V
$I_{OL1} = 2.0\text{ mA}$					0.5	V
$I_{OL1} = 0.5\text{ mA}$					0.4	V
$V_{OL2}$		P20-P24	$AV_{REF} = V_{DD}$ , $I_{OL2} = 0.4\text{ mA}$		0.4	V
			P121, P122	$I_{OL2} = 0.4\text{ mA}$		
$V_{OL3}$		P60, P61	$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ , $I_{OL1} = 15.0\text{ mA}$		2.0	V
			$4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ , $I_{OL1} = 5.0\text{ mA}$		0.4	V
			$2.7\text{ V} \leq V_{DD} < 4.0\text{ V}$ , $I_{OL1} = 5.0\text{ mA}$		0.6	V
			$2.7\text{ V} \leq V_{DD} < 5.5\text{ V}$ , $I_{OL1} = 3.0\text{ mA}$		0.4	V
			$I_{OL1} = 2.0\text{ mA}$		0.4	V

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/5)

( $T_A = -40 \sim +85$  ,  $1.8 V \leq V_{DD} \leq 5.5 V$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
ハイ・レベル入力リーク電流	I <sub>LH1</sub>	P00, P01, P10-P17, P30-P33, P60, P61, P70, P120 $V_i = V_{DD}$			1	$\mu A$
	I <sub>LH2</sub>	P20-P24 $V_i = AV_{REF}$ , $AV_{REF} = V_{DD}$			1	$\mu A$
	I <sub>LH3</sub>	P121, P122 (X1, X2) $V_i = V_{DD}$	I/Oポート・モード			1
OSCモード					20	$\mu A$
ロウ・レベル入力リーク電流	I <sub>L1</sub>	P00, P01, P10-P17, P30-P33, P60, P61, P70, P120 $V_i = V_{SS}$			- 1	$\mu A$
	I <sub>L2</sub>	P20-P24 $V_i = V_{SS}$ , $AV_{REF} = V_{DD}$			- 1	$\mu A$
	I <sub>L3</sub>	P121, P122 (X1, X2) $V_i = V_{SS}$	I/Oポート・モード			- 1
OSCモード					- 20	$\mu A$
プルアップ抵抗値	R <sub>U</sub>	$V_i = V_{DD}$	10	20	100	k $\Omega$
FLMD0電源電圧	V <sub>IL</sub>	通常動作時	0		0.2V <sub>DD</sub>	V
	V <sub>IH</sub>	セルフ・プログラミング時	0.8V <sub>DD</sub>		V <sub>DD</sub>	V
外部クロック入力電圧	V <sub>IL</sub>	P122 外部クロック・モード時	0		0.2V <sub>DD</sub>	V
	V <sub>IH</sub>	P122 外部クロック・モード時	0.8V <sub>DD</sub>		V <sub>DD</sub>	V

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (4/5)

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5$  V,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流 <sup>注1</sup>	I <sub>DD1</sub>	動作モード	f <sub>XH</sub> = 20 MHz <sup>注2</sup> , V <sub>DD</sub> = 5.0 V	方形波入力		3.2	5.5	mA
				発振子接続		4.5	6.9	mA
		f <sub>XH</sub> = 10 MHz <sup>注2, 3</sup> , V <sub>DD</sub> = 5.0 V	方形波入力		1.6	2.8	mA	
			発振子接続		2.3	3.9	mA	
		f <sub>XH</sub> = 10 MHz <sup>注2, 3</sup> , V <sub>DD</sub> = 3.0 V	方形波入力		1.5	2.7	mA	
			発振子接続		2.2	3.2	mA	
		f <sub>XH</sub> = 5 MHz <sup>注2, 3</sup> , V <sub>DD</sub> = 3.0 V	方形波入力		0.9	1.6	mA	
			発振子接続		1.3	2.0	mA	
	f <sub>XH</sub> = 5 MHz <sup>注2, 3</sup> , V <sub>DD</sub> = 2.0 V	方形波入力		0.7	1.4	mA		
		発振子接続		1.0	1.6	mA		
		f <sub>RH</sub> = 8 MHz , V <sub>DD</sub> = 5.0 V <sup>注4</sup>			1.4	2.5	mA	
	I <sub>DD2</sub>	HALTモード	f <sub>XH</sub> = 20 MHz <sup>注2</sup> , V <sub>DD</sub> = 5.0 V	方形波入力		0.8	2.6	mA
				発振子接続		2.0	4.4	mA
			f <sub>XH</sub> = 10 MHz <sup>注2, 3</sup> , V <sub>DD</sub> = 5.0 V	方形波入力		0.4	1.3	mA
発振子接続					1.0	2.4	mA	
f <sub>XH</sub> = 5 MHz <sup>注2, 3</sup> , V <sub>DD</sub> = 3.0 V			方形波入力		0.2	0.65	mA	
	発振子接続		0.5	1.1	mA			
	f <sub>RH</sub> = 8 MHz , V <sub>DD</sub> = 5.0 V <sup>注4</sup>			0.4	1.2	mA		
I <sub>DD3</sub>	STOPモード <sup>注5</sup>	V <sub>DD</sub> = 5.0 V			1	20	μA	
		V <sub>DD</sub> = 5.0 V, T <sub>A</sub> = -40 ~ +70			1	10	μA	

- 注1. 内部電源 (V<sub>DD</sub>) に流れるトータル電流です。周辺動作電流を含みます。ポートの出力電流, 内蔵プルアップ抵抗に流れる電流は含みません。入力端子をV<sub>DD</sub>またはV<sub>SS</sub>に固定した状態での入力リーク電流は含みます。
2. 8 MHz内蔵発振回路, 240 kHz内蔵発振回路の動作電流は含みません。TYP.はCPUのみ動作時の電流です。MAX.には周辺動作電流を含みます。ただし, WDT, LVI, ADCは停止しています (ADCE = 0)。
3. AMPH (クロック動作モード選択レジスタ (OSCCTL) のビット0) = 0設定時。
4. X1発振回路, 240 kHz内蔵発振回路の動作電流は含みません。TYP.はCPUのみ動作時の電流です。MAX.には周辺動作電流を含みます。ただし, WDT, LVI, ADCは停止しています (ADCE = 0)。
5. 240 kHz内蔵発振回路の動作電流は含みません。MAX.には周辺動作電流を含みます。ただし, WDT, LVI, ADCは停止しています (ADCE = 0)。

- 備考1. f<sub>XH</sub> : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)
2. f<sub>RH</sub> : 高速内蔵発振クロック周波数

DC特性 (5/5)

( $T_A = -40 \sim +85$  ,  $V_{DD} = 1.8 \text{ V}$ ,  $V_{DD} = 5.5 \text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
A/Dコンバータ動作電流	$I_{ADC}$ <sup>注1</sup>			0.86	1.9	mA
ウォッチドッグ・タイマ動作電流	$I_{WDT}$ <sup>注2</sup>	240 kHz 低速内蔵発振動作時		5	10	$\mu\text{A}$
LVI動作電流	$I_{LVI}$ <sup>注3</sup>			9	18	$\mu\text{A}$

注1. A/Dコンバータにのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 $I_{DD1}$ または $I_{DD2}$ に $I_{ADC}$ を加算した値が、マイクロコントローラ部の電流値となります。

2. ウォッチドッグ・タイマにのみ流れる電流です。HALTモードまたはSTOPモード時にウォッチドッグ・タイマが動作中の場合、 $I_{DD2}$ または $I_{DD3}$ に $I_{WDT}$ を加算した値が、マイクロコントローラ部の電流値となります。

3. LVI回路にのみ流れる電流です。HALTモードまたはSTOPモード時にLVI回路が動作中の場合、 $I_{DD2}$ または $I_{DD3}$ に $I_{LVI}$ を加算した値が、マイクロコントローラ部の電流値となります。

AC特性

(1) 基本動作

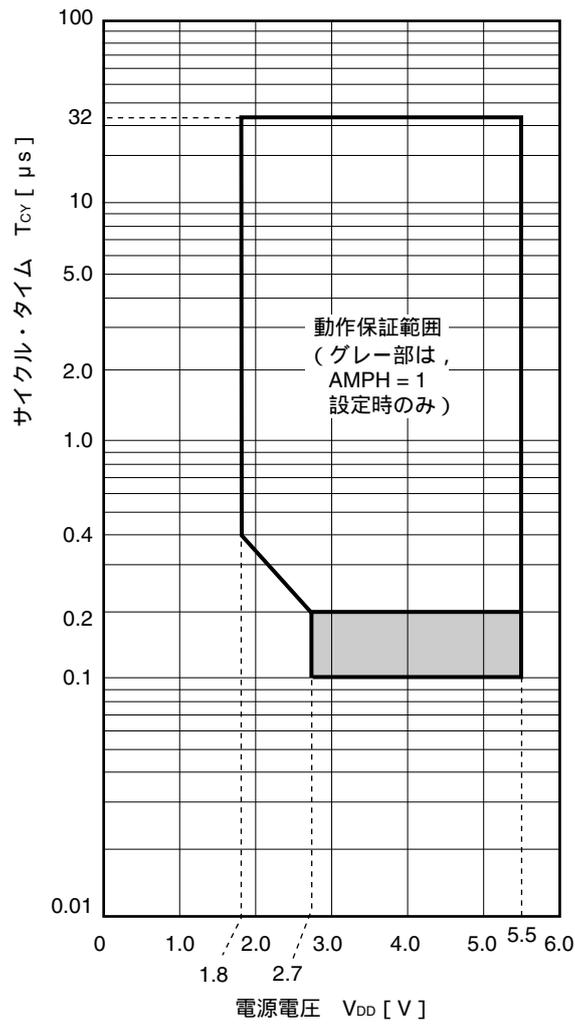
( $T_A = -40 \sim +85$  ,  $1.8\text{ V} \leq V_{DD} \leq 5.5\text{ V}$ ,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0\text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T <sub>CY</sub>	メイン・システム・クロック	2.7 V $V_{DD} \leq 5.5\text{ V}$	0.1		32	$\mu\text{S}$
		ク (f <sub>XP</sub> ) 動作	1.8 V $V_{DD} < 2.7\text{ V}$	0.4 <sup>注1</sup>		32	$\mu\text{S}$
周辺ハードウェア・クロック 周波数	f <sub>PRS</sub>	XSEL = 1	2.7 V $V_{DD} \leq 5.5\text{ V}$			20	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz
		XSEL = 0	2.7 V $V_{DD} < 4.0\text{ V}$	7.6		8.4	MHz
			1.8 V $V_{DD} < 2.7\text{ V}$ <sup>注2</sup>	7.6		10.4	MHz
外部メイン・システム・ クロック周波数	f <sub>EXCLK</sub>	2.7 V $V_{DD} \leq 5.5\text{ V}$	1.0 <sup>注3</sup>		20.0	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$	1.0		5.0	MHz	
外部メイン・システム・クロック 入力ハイ、ロウ・レベル幅	t <sub>EXCLKH</sub>	2.7 V $V_{DD} \leq 5.5\text{ V}$	24			ns	
	t <sub>EXCLKL</sub>	1.8 V $V_{DD} < 2.7\text{ V}$	96			ns	
TI000, TI010入力ハイ・レベル 幅、ロウ・レベル幅	t <sub>TIH0</sub>	4.0 V $V_{DD} \leq 5.5\text{ V}$	2/f <sub>sam</sub> + 0.1 <sup>注4</sup>			$\mu\text{S}$	
	t <sub>TiLO</sub>	2.7 V $V_{DD} < 4.0\text{ V}$	2/f <sub>sam</sub> + 0.2 <sup>注4</sup>			$\mu\text{S}$	
		1.8 V $V_{DD} < 2.7\text{ V}$	2/f <sub>sam</sub> + 0.5 <sup>注4</sup>			$\mu\text{S}$	
TI50, TI51入力周波数	f <sub>TI5</sub>	4.0 V $V_{DD} \leq 5.5\text{ V}$			10	MHz	
		2.7 V $V_{DD} < 4.0\text{ V}$			10	MHz	
		1.8 V $V_{DD} < 2.7\text{ V}$			5	MHz	
TI50, TI51入力ハイ・レベル幅、 ロウ・レベル幅	t <sub>TIH5</sub> , t <sub>TiL5</sub>	4.0 V $V_{DD} \leq 5.5\text{ V}$	50			ns	
		2.7 V $V_{DD} < 4.0\text{ V}$	50			ns	
		1.8 V $V_{DD} < 2.7\text{ V}$	100			ns	
割り込み入力ハイ・レベル幅、 ロウ・レベル幅	t <sub>INTH</sub> , t <sub>INTL</sub>		1			$\mu\text{S}$	
キー割り込み入力 ロウ・レベル幅	t <sub>KR</sub>		250			ns	
RESETロウ・レベル幅	t <sub>RSL</sub>		10			$\mu\text{S}$	

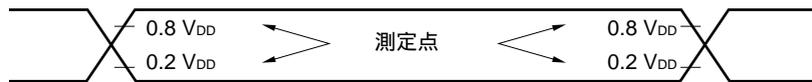
注1. 8 MHz内蔵発振器で動作時は、0.38  $\mu\text{s}$ となります。

- 本スペックは選択クロックの原発周波数スペックの定義なので、5.2 MHz (MAX.) となるような分周クロックを選択してください。
- オンボード時はMIN. 2.0 MHz
- プリスケアラ・モード・レジスタ00 (PRM00) のビット0, 1 (PRM000, PRM001) により、f<sub>sam</sub> = f<sub>PRS</sub>, f<sub>PRS</sub>/4, f<sub>PRS</sub>/256の選択が可能です。ただし、カウント・クロックとしてTI000有効エッジを選択した場合は、f<sub>sam</sub> = f<sub>PRS</sub>となります。

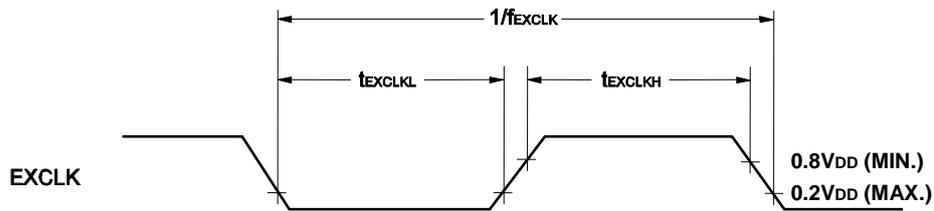
$T_{CY}$  vs  $V_{DD}$  (メイン・システム・クロック動作時)



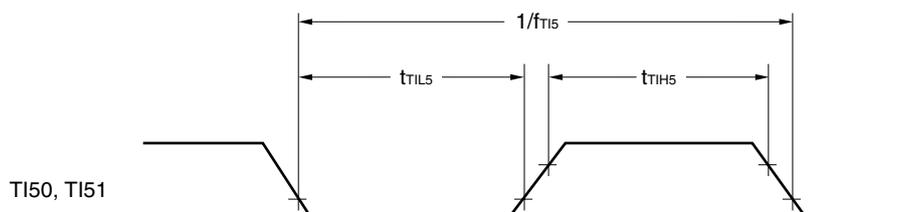
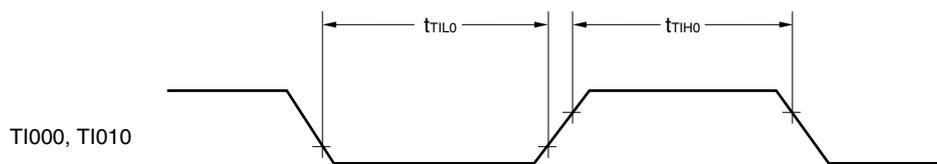
ACタイミング測定点 (外部メイン・システム・クロックを除く)



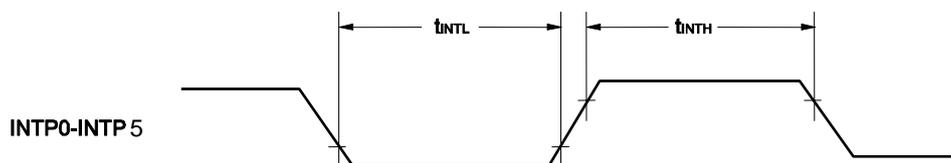
外部メイン・システム・クロック・タイミング



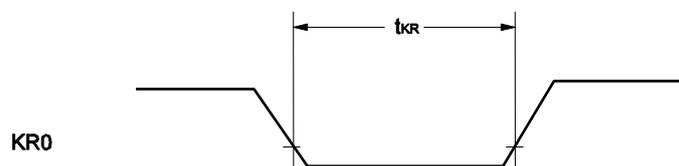
TI タイミング



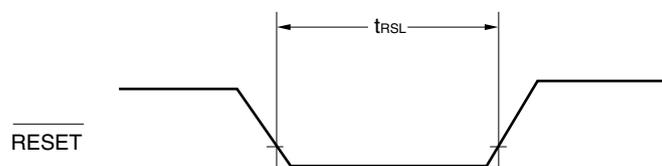
割り込み要求入力タイミング



キー割り込み入力タイミング



RESET 入力タイミング



(2) シリアル・インタフェース

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5$  V,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

(a) UART6 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(b) UART0 (専用ボー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					625	kbps

(c) IIC0

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f <sub>CLK</sub>		0	100	0	400	kHz
リスタート・コンディションのセットアップ時間	t <sub>SU:STA</sub>		4.7		0.6		μs
ホールド時間 <sup>注1</sup>	t <sub>HD:STA</sub>		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t <sub>LOW</sub>	内部クロック動作	4.7		1.3		μs
SCL0 = "H"のホールド・タイム	t <sub>HIGH</sub>		4.0		0.6		μs
データ・セットアップ時間 (受信時)	t <sub>SU:DAT</sub>		250		100		ns
データ・ホールド時間 (送信時) <sup>注2</sup>	t <sub>HD:DAT</sub>	f <sub>w</sub> = f <sub>XH</sub> /2 <sup>N</sup> 選択時 <sup>注3</sup>	0	3.45	0	0.9 <sup>注4</sup>	μs
					1.0 <sup>注5</sup>	μs	
		f <sub>w</sub> = f <sub>RH</sub> /2 <sup>N</sup> 選択時 <sup>注3</sup>	0	3.45	0	1.05	μs
ストップ・コンディションのセットアップ時間	t <sub>SU:STO</sub>		4.0		0.6		μs
バス・フリー時間	t <sub>BUF</sub>		4.7		1.3		μs

注1. スタート/リスタート・コンディション時は、この期間のあとに最初のクロック・パルスが生成されます。

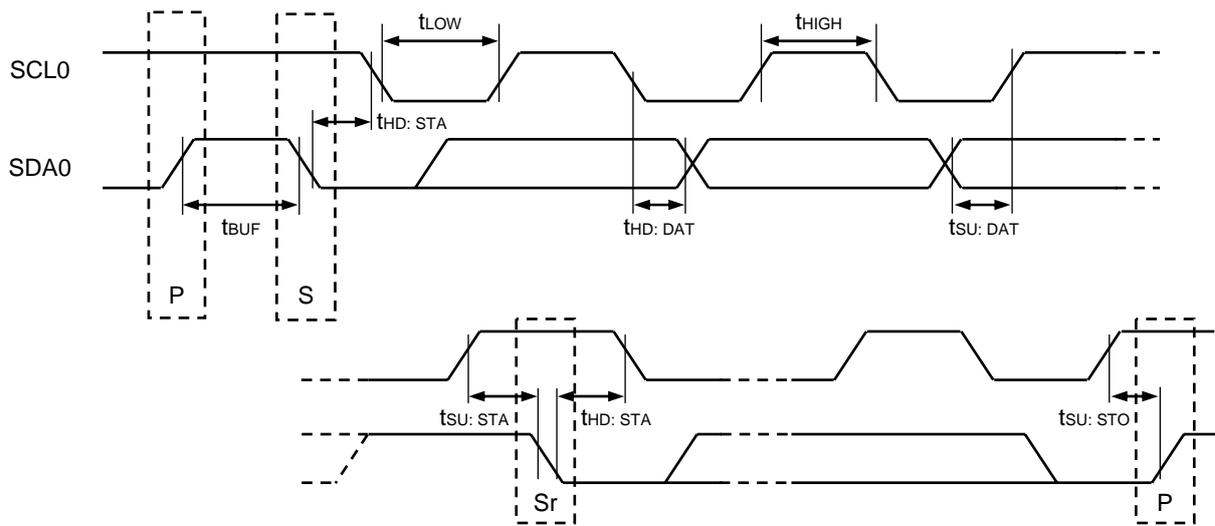
2. t<sub>HD:DAT</sub>の最大値 (MAX.) は、通常転送時の数値であり、 $\overline{ACK}$  (アクノリッジ) タイミングでは、ウエイトがかかります。

3. f<sub>w</sub>は、IICL0レジスタとIICX0レジスタで選択した転送クロックを示します。

4. f<sub>w</sub> 4.4 MHz選択時

5. f<sub>w</sub> < 4.4 MHz選択時

IIC0転送タイミング



- P : ストップ・コンディション
- S : スタート・コンディション
- Sr : リスタート・コンディション

(d) CSI10 (マスタ・モード,  $\overline{\text{SCK10}}$ ...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCK10サイクル・タイム	$t_{\text{KCY1}}$	4.0 V $V_{\text{DD}}$ 5.5 V	200			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	400			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	600			ns
SCK10ハイ, ロウ・レベル幅	$t_{\text{KH1}}$ $t_{\text{KL1}}$	4.0 V $V_{\text{DD}}$ 5.5 V	$t_{\text{KCY1}}/2 - 20$ <sup>注1</sup>			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	$t_{\text{KCY1}}/2 - 30$ <sup>注1</sup>			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	$t_{\text{KCY1}}/2 - 60$ <sup>注1</sup>			ns
SI10セットアップ時間 (対 $\overline{\text{SCK10}}$ )	$t_{\text{SIK1}}$	4.0 V $V_{\text{DD}}$ 5.5 V	70			ns
		2.7 V $V_{\text{DD}} < 4.0$ V	100			ns
		1.8 V $V_{\text{DD}} < 2.7$ V	190			ns
SI10ホールド時間 (対 $\overline{\text{SCK10}}$ )	$t_{\text{KSI1}}$		30			ns
SCK10 SO10出力遅延時間	$t_{\text{KSO1}}$	$C = 50$ pF <sup>注2</sup>			40	ns

注1. 高速システム・クロック ( $f_{\text{XH}}$ ) 使用時の数値です。

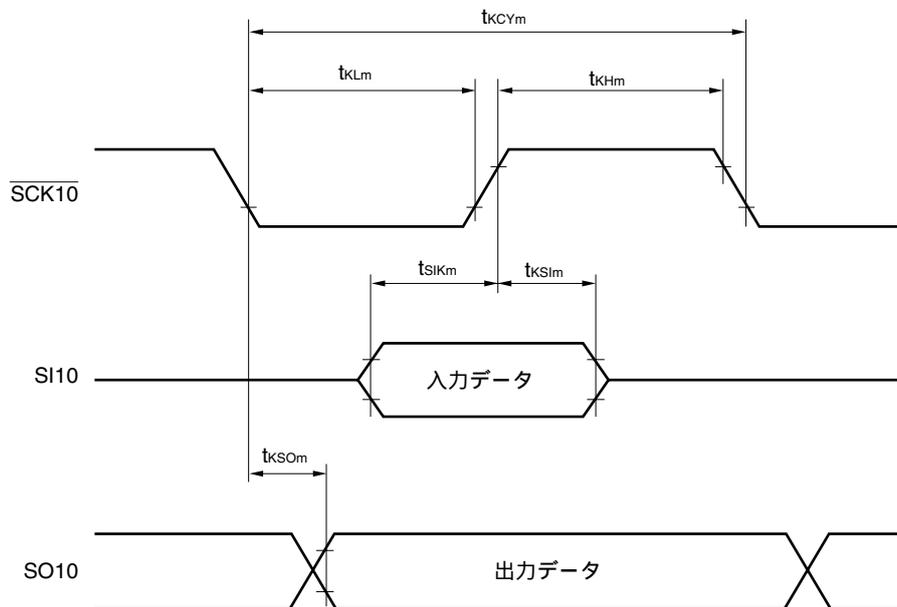
2. Cは,  $\overline{\text{SCK10}}$ , SO10出力ラインの負荷容量です。

(e) CSI10 (スレーブ・モード,  $\overline{\text{SCK10}}$ ...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{\text{SCK10}}$ サイクル・タイム	$t_{\text{KCY}2}$		400			ns
$\overline{\text{SCK10}}$ ハイ, ロウ・レベル幅	$t_{\text{KH}2}$ , $t_{\text{KL}2}$		$t_{\text{KCY}2}/2$			ns
SI10 セットアップ時間 (対 $\overline{\text{SCK10}}$ )	$t_{\text{SIK}2}$		80			ns
SI10 ホールド時間 (対 $\overline{\text{SCK10}}$ )	$t_{\text{KSI}2}$		50			ns
$\overline{\text{SCK10}}$ SO10 出力遅延時間	$t_{\text{KSO}2}$	C = 50 pF <sup>注</sup>	4.0 V $V_{\text{DD}} = 5.5 \text{ V}$		120	ns
			2.7 V $V_{\text{DD}} < 4.0 \text{ V}$		120	ns
			1.8 V $V_{\text{DD}} < 2.7 \text{ V}$		180	ns

注 Cは, SO10出力ラインの負荷容量です。

CSI10 転送タイミング



備考 m = 1, 2

A/Dコンバータ特性

( $T_A = -40 \sim +85$  , 1.8 V  $V_{DD} = 5.5 \text{ V}, 2.3 \text{ V}$   $AV_{REF} = V_{DD}, V_{SS} = AV_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能	RES				10	bit
総合誤差 <sup>注1, 2</sup>	AINL	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 4.0 \text{ V}$			$\pm 0.6$	%FSR
		2.3 V $AV_{REF} < 2.7 \text{ V}$			$\pm 1.2$	%FSR
変換時間	t <sub>CONV</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$	6.1		66.6	$\mu\text{s}$
		2.7 V $AV_{REF} < 4.0 \text{ V}$	12.2		66.6	$\mu\text{s}$
		2.3 V $AV_{REF} < 2.7 \text{ V}$	27		66.6	$\mu\text{s}$
ゼロスケール誤差 <sup>注1, 2</sup>	E <sub>ZS</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 4.0 \text{ V}$			$\pm 0.6$	%FSR
		2.3 V $AV_{REF} < 2.7 \text{ V}$			$\pm 0.6$	%FSR
フルスケール誤差 <sup>注1, 2</sup>	E <sub>FS</sub>	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 0.4$	%FSR
		2.7 V $AV_{REF} < 4.0 \text{ V}$			$\pm 0.6$	%FSR
		2.3 V $AV_{REF} < 2.7 \text{ V}$			$\pm 0.6$	%FSR
積分直線性誤差 <sup>注1</sup>	ILE	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 2.5$	LSB
		2.7 V $AV_{REF} < 4.0 \text{ V}$			$\pm 4.5$	LSB
		2.3 V $AV_{REF} < 2.7 \text{ V}$			$\pm 6.5$	LSB
微分直線性誤差 <sup>注1</sup>	DLE	4.0 V $AV_{REF} = 5.5 \text{ V}$			$\pm 1.5$	LSB
		2.7 V $AV_{REF} < 4.0 \text{ V}$			$\pm 2.0$	LSB
		2.3 V $AV_{REF} < 2.7 \text{ V}$			$\pm 2.0$	LSB
アナログ入力電圧	V <sub>AIN</sub>		$AV_{SS}$		$AV_{REF}$	V

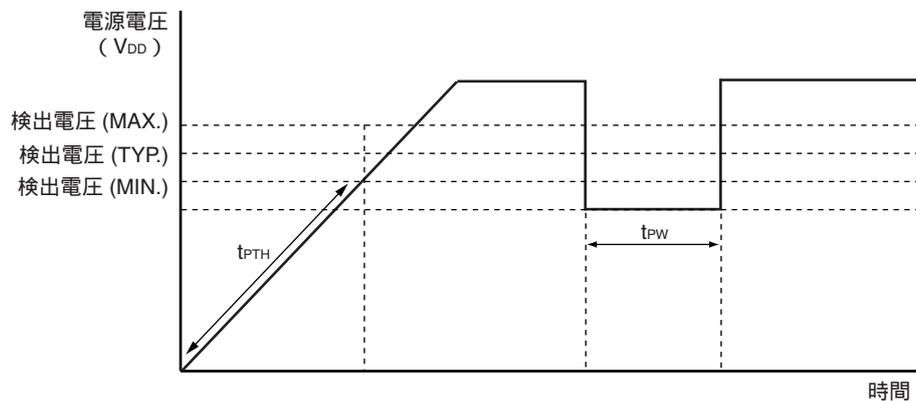
注1. 量子化誤差 ( $\pm 1/2 \text{ LSB}$ ) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

1.59 V POC回路特性 ( $T_A = -40 \sim +85$  ,  $V_{SS} = 0 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V <sub>POC</sub>		1.44	1.59	1.74	V
電源電圧立ち上がり傾き	t <sub>PTH</sub>	$V_{DD} : 0 \text{ V}$ $V_{POC}$ の変化傾き	0.5			V/ms
最小パルス幅	t <sub>PW</sub>		200			$\mu\text{s}$

POC回路タイミング

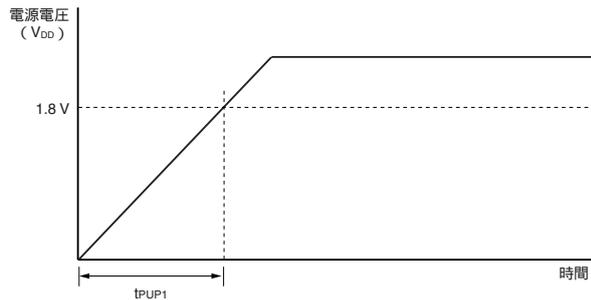


電源電圧立ち上げ時間 ( $T_A = -40 \sim +85$  ,  $V_{SS} = 0 V$ )

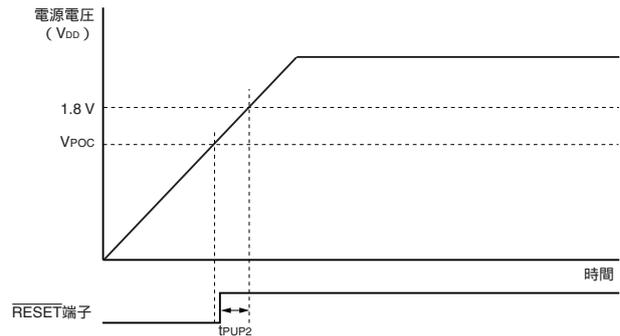
項目	略号	条件	MIN.	TYP.	MAX.	単位
1.8 V ( $V_{DD}$ (MIN.)) までの立ち上げ最大時間 ( $V_{DD} : 0 V \sim 1.8 V$ )	$t_{PUP1}$	POCMODE (オプション・バイト) = 0 , $\overline{RESET}$ 入力未使用時			3.6	ms
1.8 V ( $V_{DD}$ (MIN.)) までの立ち上げ最大時間 ( $\overline{RESET}$ 入力解除 $V_{DD} : 1.8 V$ )	$t_{PUP2}$	POCMODE (オプション・バイト) = 0 , $\overline{RESET}$ 入力使用時			1.9	ms

電源電圧立ち上げ時間のタイミング

・ RESET端子入力未使用時



・ RESET端子入力使用時



2.7 V POC回路特性 ( $T_A = -40 \sim +85$  ,  $V_{SS} = 0 V$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電圧投入時検出電圧	$V_{DDPOC}$	POCMODE (オプション・バイト) = 1	2.50	2.70	2.90	V

備考 POC回路の動作は、POCMODE (オプション・バイト) の設定により、次のようになります。

オプション・バイトの設定	POCモード	動作
POCMODE = 0	1.59 Vモード動作	電源投入から $V_{POC} = 1.59 V$ (TYP.) に達するまでリセット状態になり、 $V_{POC}$ を越えとリセットが解除されます。その後、電源投入時と同様に、 $V_{POC}$ でPOC検出が行われます。 POCMODE = 0の場合、 $t_{PUP1}$ または $t_{PUP2}$ の時間で電源電圧を立ち上げる必要があります。
POCMODE = 1	2.7 V/1.59 Vモード動作	電源投入から $V_{DDPOC} = 2.7 V$ (TYP.) に達するまでリセット状態になり、 $V_{DDPOC}$ を越えとリセットが解除されます。その後、 $V_{DDPOC}$ でのPOC検出は行われず、 $V_{POC} = 1.59 V$ (TYP.) でPOC検出が行われます。 電源投入から1.8 Vに達するまでの電圧の立ち上がり、 $t_{PTH}$ よりも緩やかな場合、2.7 V/1.59 V POCモードの使用を推奨します。

LVI回路特性 (TA = -40 ~ +85, VPOC VDD 5.5 V, AVREF VDD, VSS = 0 V)

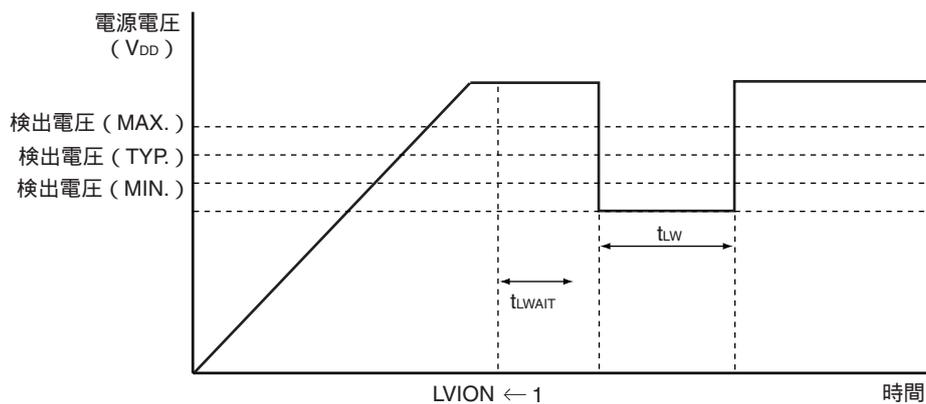
項目	略号	条件	MIN.	TYP.	MAX.	単位		
検出電圧	電源電圧レベル	VLVI0	4.14	4.24	4.34	V		
		VLVI1	3.99	4.09	4.19	V		
		VLVI2	3.83	3.93	4.03	V		
		VLVI3	3.68	3.78	3.88	V		
		VLVI4	3.52	3.62	3.72	V		
		VLVI5	3.37	3.47	3.57	V		
		VLVI6	3.22	3.32	3.42	V		
		VLVI7	3.06	3.16	3.26	V		
		VLVI8	2.91	3.01	3.11	V		
		VLVI9	2.75	2.85	2.95	V		
		VLVI10	2.60	2.70	2.80	V		
		VLVI11	2.45	2.55	2.65	V		
		VLVI12	2.29	2.39	2.49	V		
		VLVI13	2.14	2.24	2.34	V		
		VLVI14	1.98	2.08	2.18	V		
		VLVI15	1.83	1.93	2.03	V		
	外部入力端子 <sup>注1</sup>	EXLVI	EXLVI < VDD, 1.8 V	VDD 5.5 V	1.11	1.21	1.31	V
最小パルス幅	tLW		200				μs	
動作安定待ち時間 <sup>注2</sup>	tLWAIT		10				μs	

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 VLVI(n-1) > VLVI n : n = 1 - 15

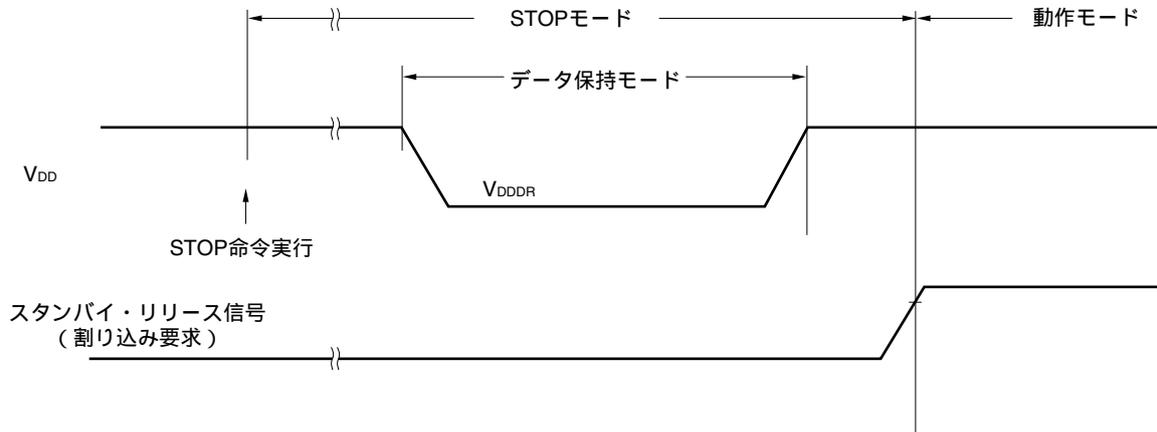
### LVI回路タイミング



データ・メモリSTOPモード低電源電圧データ保持特性 (T<sub>A</sub> = -40 ~ +85 )

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V <sub>DDDR</sub>		1.44 <sup>注</sup>		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

( $T_A = -40 \sim +85$  , 2.7 V  $V_{DD} = 5.5$  V,  $AV_{REF} = V_{DD}$ ,  $V_{SS} = AV_{SS} = 0$  V)

(1) 基本特性

項目	略号	条件			MIN.	TYP.	MAX.	単位	
$V_{DD}$ 電源電流	$I_{DD}$	$f_{XP} = 10$ MHz ( TYP. ), 20 MHz ( MAX. )				4.5	11.0	mA	
消去時間 注1, 2	全ブロック	$T_{eraca}$					20	200	ms
	ブロック単位	$T_{erasa}$					20	200	ms
書き込み時間 (8ビット単位) 注1	$T_{wrwa}$					10	100	$\mu$ s	
1チップあたりの 書き換え回数	$C_{erwr}$	消去1回 + 消去後の書き込み1回 = 書き換え回数1回とする注3。	フラッシュ・メモリ・プログラマ使用時および当社提供のライブラリ注4を使用時, プログラム更新用途	保持 15年	1000			回	
			当社提供のEEPROMエミュレーション・ライブラリ注5使用時, 書き換えROMサイズ: 4 Kバイト, データ更新用途	保持 5年	10000			回	
			上記以外の条件注6	保持 10年	100			回	

注 1. フラッシュ・メモリの特性です。専用フラッシュ・メモリ・プログラマ PG-FP4, PG-FP5使用時, およびセルフ・プログラミング時の書き換え時間につきましては, 78K0/Kx2 ユーザーズ・マニュアル (U18598J) を参照してください。

2. 消去前のプリライトおよび消去ベリファイ時間 (ライトバック時間) は含まれません。
3. 出荷品に対する初回書き込み時では, 「消去 書き込み」の場合も, 「書き込みのみ」の場合も書き換え1回となります。
4. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (U17516J)」で指定されるサンプル・ライブラリを除きます。
5. 「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (U17517J)」で指定されるサンプル・プログラムを除きます。
6. 「78K0/Kx2 フラッシュ・メモリ・セルフ・プログラミング ユーザーズ・マニュアル (U17516J)」で指定されるサンプル・ライブラリ, および「78K0/Kx2 EEPROMエミュレーション アプリケーション・ノート (U17517J)」で指定されるサンプル・プログラム使用時を含みます。

備考 1.  $f_{XP}$ : メイン・システム・クロック発振周波数

2. シリアル書き込みオペレーション特性につきましては, 78K0/Kx2 アプリケーション・ノート フラッシュ・メモリ・プログラミング (プログラマ編) (U17739J) を参照してください。

## 8.3 アナログ部電気的特性

電源回路特性 ( $T_A = -40 \sim +85$ ,  $V_{RO} = 5.15 \text{ V}$ ,  $I_{RO} = 15 \text{ mA}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
出力電圧	V <sub>CCOUT1</sub>	7 V $V_{SUP} = 19 \text{ V}$ $V_{CCOUT} = V_{RO}$ , $I_{RO} = 15 \text{ mA}$	4.85	5	5.15	V
	V <sub>CCOUT2</sub>	19 V $< V_{SUP} \leq 60 \text{ V}$ $V_{CCOUT} = V_{RO}$ , $I_{RO} = 1 \text{ mA}$	(4.5)	(5)	(5.5)	V
過電流検出電圧	V <sub>SUPlim</sub>		100	150	230	mV
負荷安定度	REG <sub>L</sub>	1 mA $< I_{RO} \leq 15 \text{ mA}$ , $V_{SUP} = 14 \text{ V}$			60	mV
入力安定度	REG <sub>IN1</sub>	$I_{CCOUT} = 15 \text{ mA}$			60	mV
過熱検出温度	VR <sub>th</sub>		(150)			

備考 ( ) で示した数値は設計保証値であり、出荷テストは行いません。

電源電流特性 ( $T_A = -40 \sim +85$ ,  $V_{RO} = 5.15 \text{ V}$ ,  $7 \text{ V} \leq V_{SUP} \leq 19 \text{ V}$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
電源電流	I <sub>BAT1</sub> <sup>注1,2</sup>	Dr4 : OFF, $T_A = 25$ , $V_{SUP} = 14 \text{ V}$ , LIN : Sleep			35	$\mu\text{A}$
	I <sub>BAT2</sub> <sup>注1,2</sup>	Dr4 : OFF, LIN : Sleep			60	$\mu\text{A}$
	I <sub>BAT3</sub> <sup>注1,2</sup>	Dr4 : OFF, LIN : Normal (LIN bus: Recessive)			3	mA

- 注1. SUP, VRO内部電源に流れるトータル電流です。ただし、プルアップ抵抗に流れる電流は含みません。
2. V<sub>DD</sub>に流れる電流は含みません。
- V<sub>DD</sub>に流れる電流 (I<sub>DD</sub>) については、8.2 マイクロコントローラ部電気的特性のDC特性を参照してください。

LINトランシーバ部特性

DC特性 (特に指定のないかぎり,  $T_A = -40 \sim +85$ ,  $V_{TXD} = 7V$ ,  $V_{SUP} = 18V$ ,  $4.85V$ ,  $V_{RO} = 5.15V$ ,  $I_{RO} = 15mA$ )

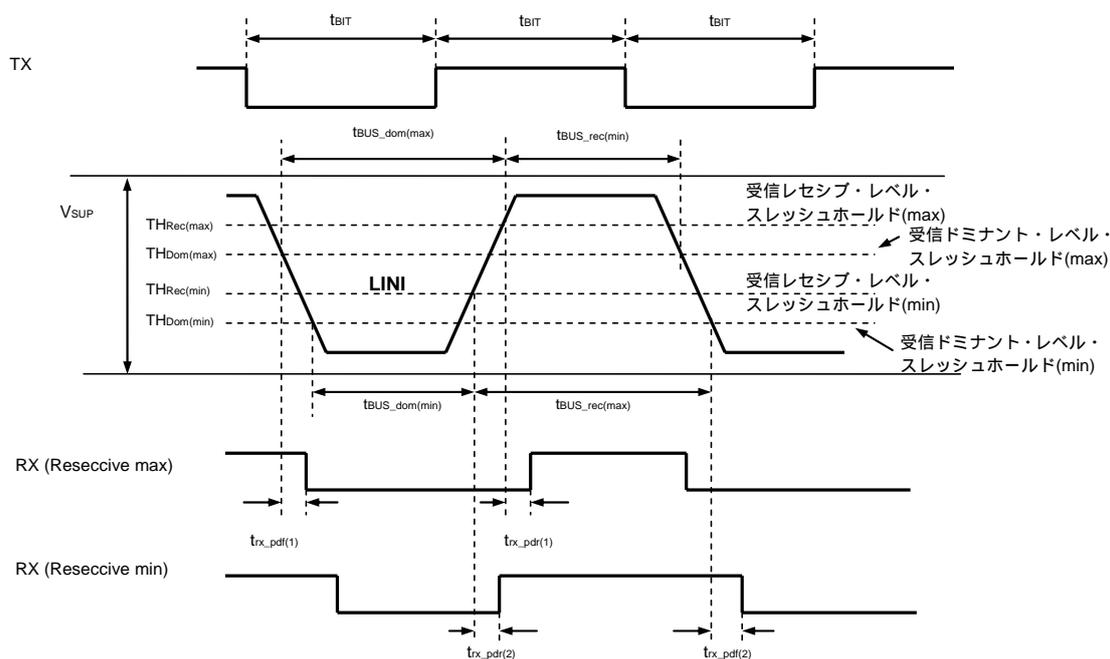
項目	略号	条件	MIN.	TYP.	MAX.	単位
LINバス・ドミナント・リーク電流	$I_{BUS\_PAS\_dom}$	Driver off ( $V_{TXD} = V_{RO}$ ) $V_{BUS} = 0V$ , $V_{SUP} = 12V$	- 1			mA
LINバス・レセシブ・リーク電流	$I_{BUS\_PAS\_rec}$	Driver off ( $V_{TXD} = V_{RO}$ ) $8V < V_{SUP} < 18V$ , $8V < V_{BUS} < 18V$ , $V_{BUS} = V_{SUP}$			20	$\mu A$
LINバス電流1	$I_{BUS\_NO\_GND}$	$GND_{Device} = V_{SUP}$ $0V < V_{BUS} < 18V$ , $V_{SUP} = 12V$	(- 1)		(1)	mA
LINバス電流2	$I_{BUS}$	$V_{SUP\_Device} = GND$ , $0V < V_{BUS} < 18V$		(1)	(10)	$\mu A$
受信ドミナント・レベル入力電圧	$V_{BUSdom}$				$0.4V_{SUP}$	V
受信レセシブ・レベル入力電圧	$V_{BUSrec}$		$0.6V_{SUP}$			V
受信センタ・レベル・スレッシユホールド	$V_{BUS\_CNT}$	$(V_{th\_dom} + V_{th\_rec})/2$	$0.475V_{SUP}$	$0.5V_{SUP}$	$0.525V_{SUP}$	V
受信ヒステリシス	$V_{HYS}$				$0.175V_{SUP}$	V
LINドミナント・レベル出力電圧1	$V_{BUSdom\_DRV\_LoSUP}$	$V_{SUP} = 7.3V$ , $I_{lin} = 15mA$			1.2	V
LINドミナント・レベル出力電圧2	$V_{BUSdom\_DRV\_HiSUP}$	$V_{SUP} = 18V$ , $I_{lin} = 36mA$			2	V
LINシリアル・ダイオード・ドロップ電圧	$V_{SerDiode}$	$V_{TXD} = V_{RO}$ , $I_{lin} = -10\mu A$	0.4	0.7	1.0	V
LINブルアップ抵抗	$R_{slave}$		20	30	60	k $\Omega$
MSLPハイ・レベル入力電圧	$V_{SLPH}$		3.5			V
MSLPロウ・レベル入力電圧	$V_{SLPL}$				1.5	V
MSLPブルダウン抵抗	$R_{MSLP}$		50		200	k $\Omega$
UMODEハイ・レベル入力電圧	$V_{UMH}$		$0.7V_{RO}$			V
UMODEロウ・レベル入力電圧	$V_{UML}$				$0.3V_{RO}$	V
UMODEブルダウン抵抗	$R_{umode}$		50		200	k $\Omega$
LINドライバ過熱検出温度	$LIN_{th}$		(150)			
LINドライバ過電流制限	$I_{const}$	LIN端子流入電流制限値	40	80	200	mA

備考 ( )で示した数値は設計保証値であり, 出荷テストは行いません。

AC特性 (特に指定のないかぎり,  $T_A = -40 \sim +85$ ,  $7V$   $V_{SUP} = 18V, 4.85V$   $V_{RO} = 5.15V$ ,  $I_{RO} = 15mA$ )

項目	略号	条件	MIN.	TYP.	MAX.	単位
Duty Cycle 1 (図8-1参照)	D <sub>1</sub>	$C_{bus}; R_{bus} = 1nF; 1k\Omega / 6.8nF; 660\Omega / 10nF; 500\Omega$ $t_{BIT} = 50\mu s$ $TH_{Rec(max)} = 0.744 \times V_{SUP}$ , $TH_{Dom(max)} = 0.581 \times V_{SUP}$ $D_1 = t_{BUS\_rec(min)} / (2 \times t_{BIT})$	0.396			-
Duty Cycle 2 (図8-1参照)	D <sub>2</sub>	$C_{bus}; R_{bus} = 1nF; 1k\Omega / 6.8nF; 660\Omega / 10nF; 500\Omega$ $t_{BIT} = 50\mu s$ $TH_{Rec(min)} = 0.422 \times V_{SUP}$ , $TH_{Dom(min)} = 0.284 \times V_{SUP}$ $D_2 = t_{BUS\_rec(max)} / (2 \times t_{BIT})$ $7.6V$ $V_{SUP} = 18V$			0.581	-
Duty Cycle 3 (図8-1参照)	D <sub>3</sub>	$C_{bus}; R_{bus} = 1nF; 1k\Omega / 6.8nF; 660\Omega / 10nF; 500\Omega$ $TH_{Rec(max)} = 0.778 \times V_{SUP}$ , $TH_{Dom(max)} = 0.616 \times V_{SUP}$ $D_3 = t_{BUS\_rec(min)} / (2 \times t_{BIT})$	0.417			-
Duty Cycle 4 (図8-1参照)	D <sub>4</sub>	$C_{bus}; R_{bus} = 1nF; 1k\Omega / 6.8nF; 660\Omega / 10nF; 500\Omega$ $t_{BIT} = 96\mu s$ $TH_{Rec(min)} = 0.389 \times V_{SUP}$ , $TH_{Dom(min)} = 0.251 \times V_{SUP}$ $D_3 = t_{BUS\_rec(max)} / (2 \times t_{BIT})$ $7.6V$ $V_{SUP} = 18V$			0.590	-
伝達遅延時間	$t_{rx\_pd}$	$t_{rx\_pdf(1)}, t_{rx\_pdf(2)}, t_{rx\_pdr(1)}, t_{rx\_pdr(2)}$			6	$\mu s$
立ち上がり, 立ち下がり伝達遅延時間	$t_{rx\_sym}$	$t_{rx\_sym} = t_{rx\_pdf(1)} - t_{rx\_pdr(1)}$ , $t_{rx\_sym} = t_{rx\_pdf(2)} - t_{rx\_pdr(2)}$	- 2		2	$\mu s$

図8-1 デューティ・サイクル



ドライバ部特性 (T<sub>A</sub> = -40 ~ +85 , 4.85 V V<sub>RO</sub> 5.15 V, 7 V V<sub>SUP</sub> 19 V, I<sub>RO</sub> 15 mA)

項目	略号	条件	MIN.	TYP.	MAX.	単位
オン抵抗	Dr1_RON	I <sub>o</sub> = 10 mA, Dr1_I = V <sub>RO</sub>			100	Ω
	Dr2_RON	I <sub>o</sub> = 100 mA, Dr2n_I = 4 V			10	Ω
	Dr3_RON	I <sub>o</sub> = 50 mA, Dr3_I = V <sub>RO</sub>			10	Ω
	Dr4_RON	I <sub>o</sub> = 16 mA, 7 V V <sub>SUP</sub> 14 V, Dr4_I = V <sub>RO</sub>			70	Ω
Dr2ダイナミック・クランプ電圧	CLV1	注1			32	V
Dr4出力電圧	CLV2	Dr4, I <sub>o</sub> = 16 mA			16	V
Dr4制限電流	CLI4	I <sub>o</sub> 増加時のピーク電流	(40)			mA
Dr2入力クランプ電圧	CLV3	I <sub>n</sub> = 400 μA	5		8	V
プルダウン抵抗	Dr_Rdown	Dr1_I, Dr3_I, Dr4_I	50	100	200	kΩ
ハイ・レベル入力電圧	V <sub>IH_Dr1</sub>	Dr1_I, Dr3_I, Dr4_I	0.7V <sub>RO</sub>		V <sub>RO</sub>	V
	V <sub>IH_Dr2</sub>	Dr2n_I	4		CLV3	V
ロウ・レベル入力電圧	V <sub>IL_Dr1</sub>	Dr1_I, Dr3_I, Dr4_I	0		0.3V <sub>RO</sub>	V
	V <sub>IL_Dr2</sub>	Dr2n_I, I <sub>o</sub> = 2 mA	0		1.5	V
ハイ・レベル入力リーク電流 <sup>注2</sup>	I <sub>LIHD1</sub>	Dr1_I, Dr3_I, Dr4_I, V <sub>i</sub> = 5 V			105	μA
	I <sub>LIHD2</sub>	Dr2n_I, V <sub>i</sub> = 5 V			300	μA
ロウ・レベル入力リーク電流	I <sub>LILD</sub>	Dr1_I, Dr2n_I, Dr3_I, Dr4_I, V <sub>i</sub> = 0 V	-3			μA
出力オフ・リーク電流	I <sub>oHD1</sub>	Dr1, Dr2n, Dr3, V <sub>o</sub> = 19 V			10	μA
	I <sub>oHD2</sub>	Dr4, V <sub>o</sub> = 0 V	-10			μA

注 1. V<sub>SUP</sub> > 28 Vではダイナミック・クランプ回路は動作しないため、ターンオン、ターンオフ動作をさせないでください。

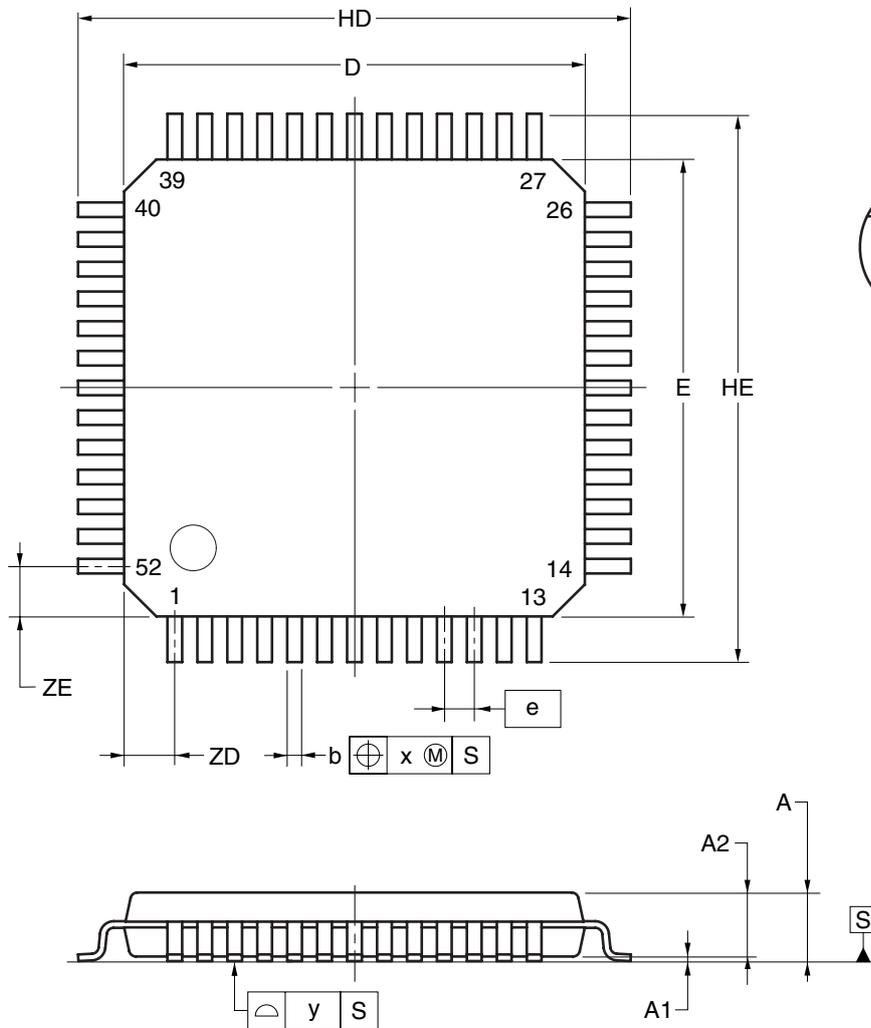
2. プルダウン抵抗に流れる電流を含みます。

備考 1. ( )で示した数値は設計保証値であり、出荷テストは行いません。

2. Dr2n\_I: n = 1, 2

# 第9章 外形図

## 52-PIN PLASTIC LQFP (10x10)



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.30 <sup>+0.08</sup> <sub>-0.04</sub>
c	0.125 <sup>+0.075</sup> <sub>-0.025</sub>
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° <sup>+5°</sup> <sub>-3°</sub>
e	0.65
x	0.13
y	0.10
ZD	1.10
ZE	1.10

P52GB-65-GAG

**NOTE**

Each lead centerline is located within 0.13mm of its true position at maximum material condition.

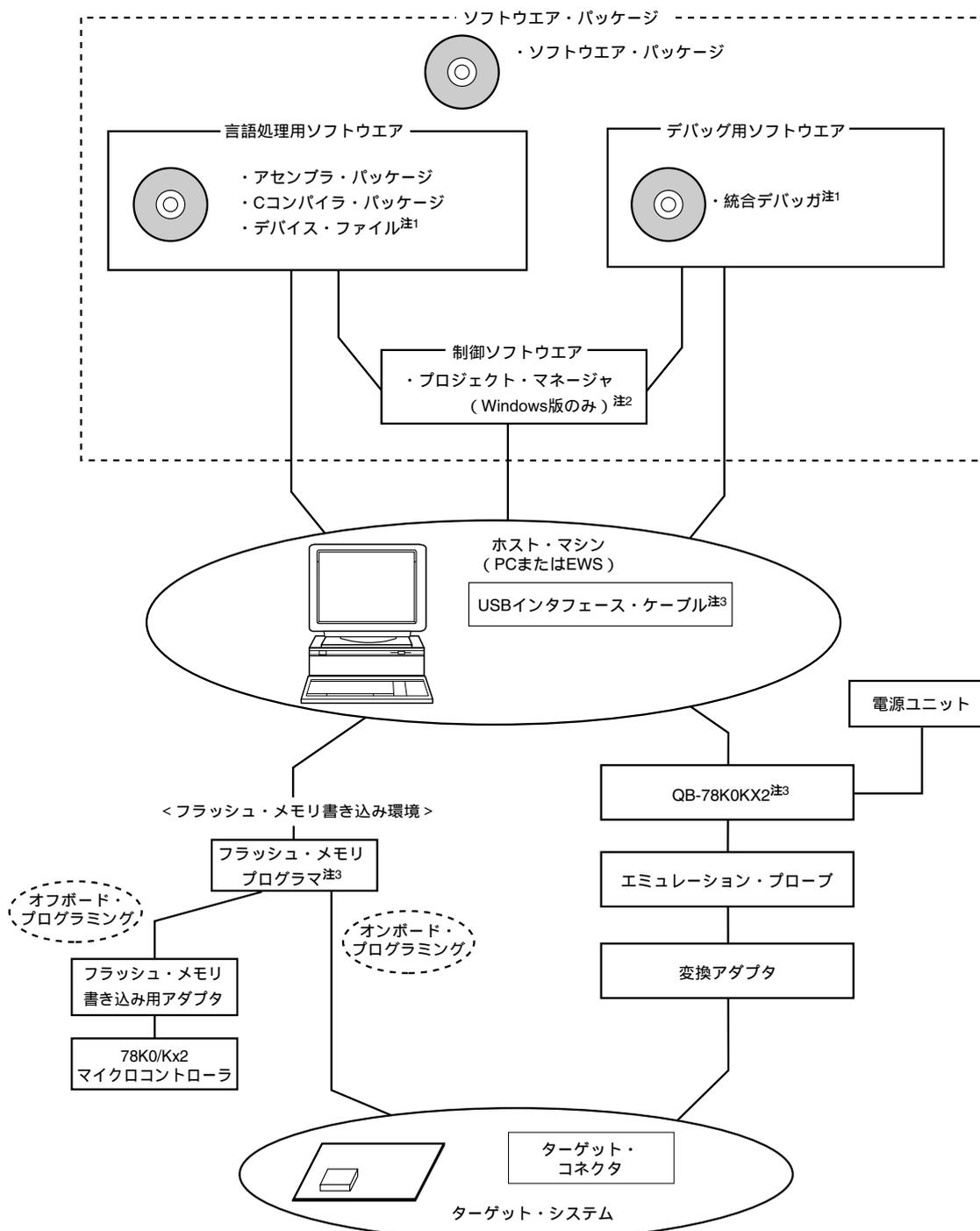
© NEC Electronics Corporation 2005

## 付録A 開発ツール

μPD78F8014A, 78F8015A, 78F8016Aを使用するシステム開発のために次のような開発ツールを用意しています。  
図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

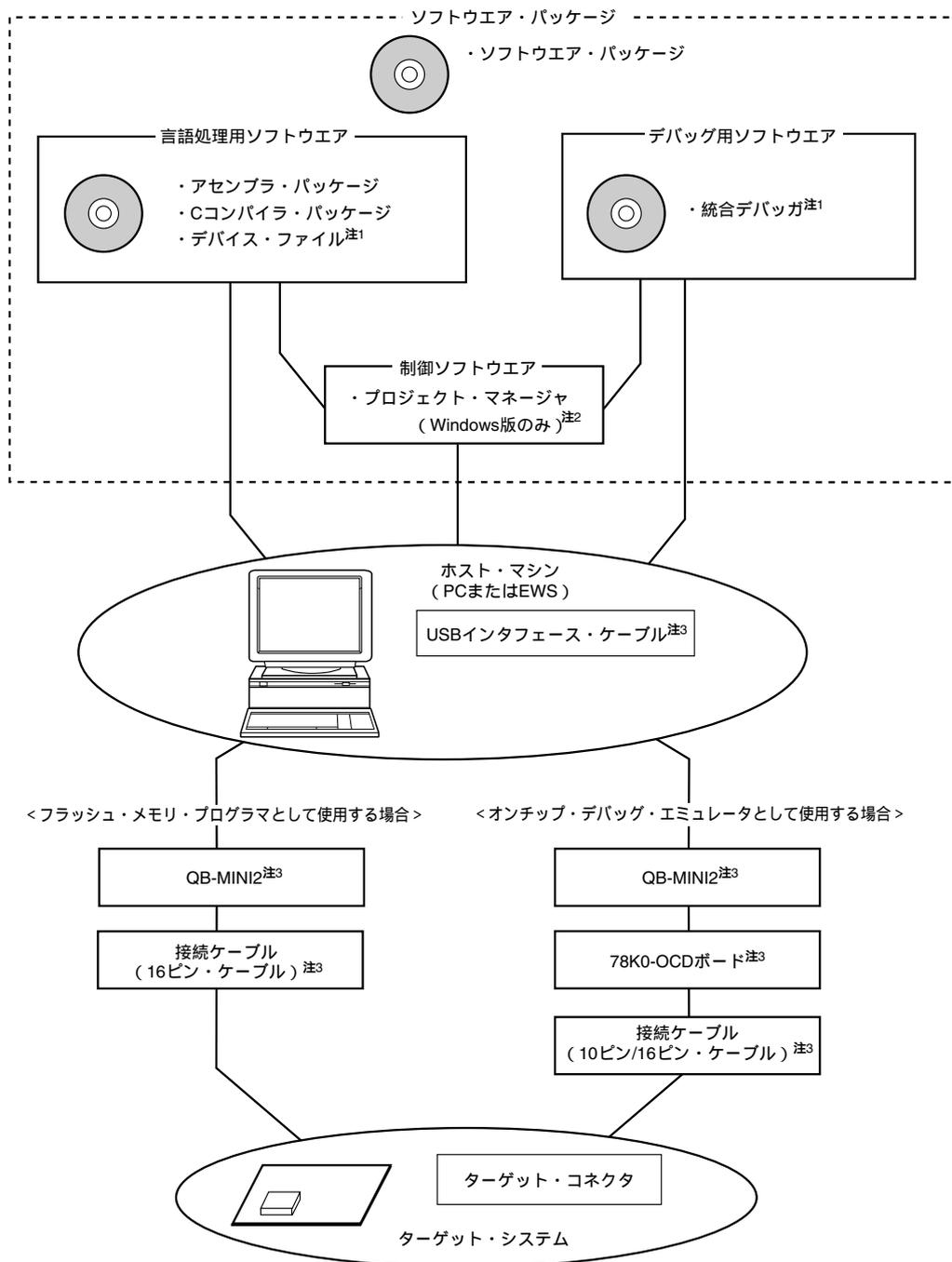
(1) インサーキット・エミュレータ QB-78K0KX2を使用する場合



- 注1.  $\mu$ PD78F8014A, 78F8015A, 78F8016A用のデバイス・ファイル(DF788016), および統合デバッガ ID78K0-QB は, 開発ツールのダウンロード・サイト( <http://www.necel.com/micro/ja/ods/index.html> )より入手してください。
2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows<sup>®</sup>以外ではPM+は使用できません。
3. QB-78K0KX2は, 統合デバッガ ID78K0-QB, USBインタフェース・ケーブル, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCD ボードを添付しています。それ以外の製品はオプションです。

図A - 1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



- 注1. μPD78F8014A, 78F8015A, 78F8016A用のデバイス・ファイル(DF788016), および統合デバッガ ID78K0-QBは, 開発ツールのダウンロード・サイト( <http://www.necel.com/micro/ja/ods/index.html> )より入手してください。
2. プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows以外ではPM+は使用できません。
3. QB-MINI2は, USBインタフェース・ケーブル, 接続ケーブル(10ピン・ケーブル, 16ピン・ケーブル), 78K0-OCDボードを添付しています。それ以外の製品はオプションです。また, QB-MINI2を操作するためのソフトウェアを, 開発ツールのダウンロード・サイト( <http://www.necel.com/micro/ja/ods/index.html> )より入手してください。

## A.1 ソフトウェア・パッケージ

SP78K0 78K0マイクロコントローラ・ ソフトウェア・パッケージ	78K0マイクロコントローラ共通の開発ツール(ソフトウェア)を1つのパッケージにした製品です。
---	---

## A.2 言語処理用ソフトウェア

RA78K0 <sup>注1</sup> アセンブラ・パッケージ	<p>ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に実行する機能を備えています。</p> <p>デバイス・ファイル(DF788016)と組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
CC78K0 <sup>注1</sup> Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>アセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。</p> <p>&lt;PC環境で使用する場合の注意&gt;</p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ(PM+)を使用することにより、Windows環境でも使用できます。PM+は、アセンブラ・パッケージに含まれています。</p>
DF788016 <sup>注2</sup> デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>各ツール(RA78K0, CC78K0, ID78K0-QB, システム・シミュレータ)と組み合わせて使用します。対応OS, ホスト・マシンは組み合わせられる各ツールに依存します。</p>

- 注1. RA78K0とCC78K0のVer.4.00以上の製品は、同一のマシン上にバージョンの異なるRA78K0とCC78K0をインストール可能です。
2. DF788016は、RA78K0, CC78K0, ID78K0-QB, システム・シミュレータのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト(<http://www.necel.com/micro/ja/ods/index.html>)より入手してください。

## A.3 フラッシュ・メモリ書き込み用ツール

### A.3.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4を使用する場合

FL-PR5, PG-FP5, FL-PR4, PG-FP4 <sup>注</sup> フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F8016GB-GAG-MX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。 FA-78F8016GB-GAG-MX : 52ピン・プラスチックLQFP

注 保守品

備考 1. FL-PR5, FL-PR4, FA-78F8016GB-GAG-MXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（<http://www.ndk-m.co.jp/>）（TEL（042）750-4172）

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

### A.3.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 添付の接続ケーブル（16ピン・ケーブル）、およびホスト・マシンと接続するためのUSBインタフェース・ケーブルを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの16ピン汎用コネクタ

備考 1. QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

## A. 4 デバッグ用ツール（ハードウェア）

### A. 4.1 インサーキット・エミュレータ QB-78K0KX2を使用する場合

QB-78K0KX2 インサーキット・エミュレータ	78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッガ(ID78K0-QB)に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-788016-EA-01T エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。アダプタには、LINトランシーバ、電源およびドライバ機能が搭載されています。
QB-52GB-YS-01T スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。 QB-52GB-YS-01T：52ピン・プラスチックLQFP
QB-52GB-YQ-01T YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。 QB-52GB-YQ-01T：52ピン・プラスチックLQFP
QB-52GB-HQ-01T マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。 QB-52GB-HQ-01T：52ピン・プラスチックLQFP
QB-52GB-NQ-01T ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。 QB-52GB-NQ-01T：52ピン・プラスチックLQFP

**備考** QB-78K0KX2は、統合デバッガ ID78K0-QB、USBインタフェース・ケーブル、オンチップ・デバッグ・エミュレータ QB-MINI2、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。

QB-MINI2を使用する場合、QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

### A. 4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0/Kx2マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 添付の接続ケーブル（10ピンまたは16ピン・ケーブル）、ホスト・マシンと接続するためのUSBインタフェース・ケーブルおよび78K0-OCDボードを使用します。
ターゲット・コネクタの仕様	2.54 mmピッチの10ピン汎用コネクタまたは2.54 mmピッチの16ピン汎用コネクタ

**備考1.** QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。そのうち、接続ケーブル（10ピン・ケーブル）と78K0-OCDボードは、オンチップ・デバッグ時のみに使用します。

2. QB-MINI2を操作するためのソフトウェアを、開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ja/ods/index.html>）より入手してください。

## A.5 デバッグ用ツール(ソフトウェア)

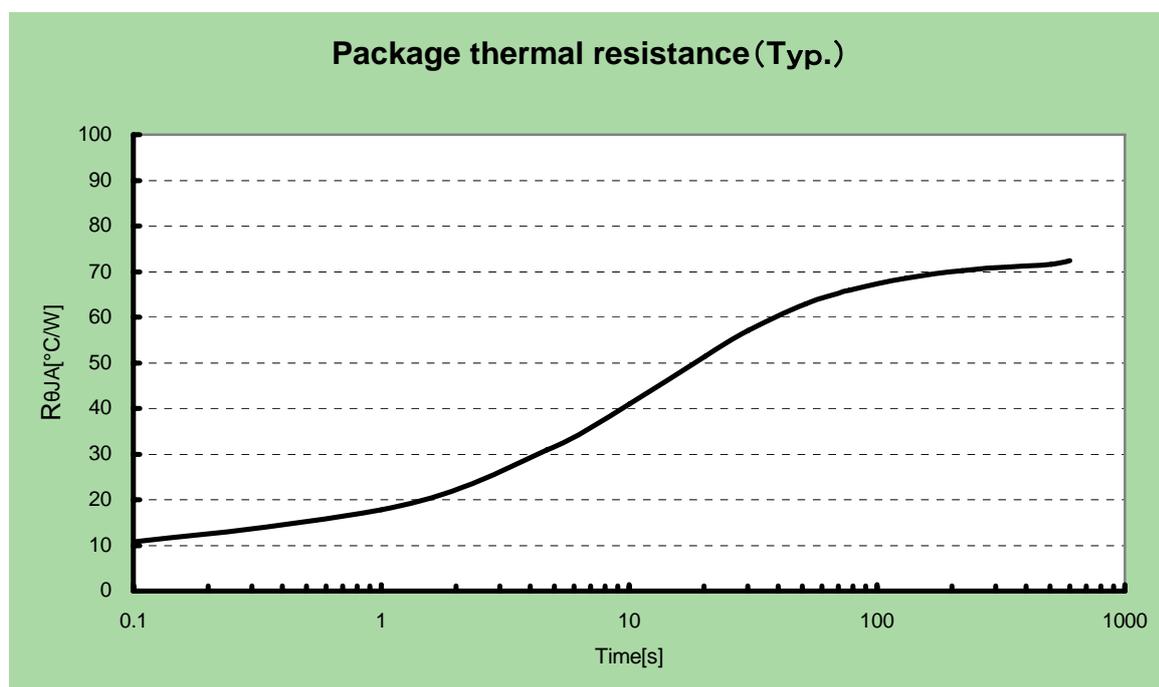
ID78K0-QB <sup>注</sup> 統合デバッガ	78K0マイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル(DF788016)と組み合わせて使用します。
----------------------------------	--

注 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ja/ods/index.html>) より入手してください。

## 付録B パッケージ熱抵抗

### 条件

基板サイズ 100 × 100 mm t = 1.6 mm  
配線 2層 (配線厚 : 0.033 mm)  
配線密度 50%  
材質 FR4



## 付録C 全損失，ジャンクション温度の算出例

### 全損失の算出例

使用条件

$$V_{SUP} = 12 \text{ V}$$

$$I_{RO} = 15 \text{ mA}$$

LIN = Normalモード

$$T_A = 85$$

$$P1 = V_{SUP} \times I_{BAT3} = 36 \text{ mW}$$

$$P2 = (V_{SUP} - V_{RO}) \times I_{RO} = 105 \text{ mW}$$

$$P3 = V_{RO} \times I_{DD} = 75 \text{ mW}$$

ドライバ単体の損失を $R_{ON} \times I_o^2$ とし，Dr2は1 chのみONした場合のP4は，次のようになります。

$$\begin{aligned} P4 &= R_{ON} \times I^2 \\ &= Dr1_{RON} \times I_o^2 + Dr2_{RON} \times I_o^2 + Dr3_{RON} \times I_o^2 + Dr4_{RON} \times I_o^2 \\ &= 10 + 100 + 25 + 18 \\ &= 153 \text{ mW} \end{aligned}$$

$$PD = P1 + P2 + P3 + P4 = 369 \text{ mW}$$

### ジャンクション温度の算出例

$$\begin{aligned} T_j &= PD \times R_{\theta JA}^{\text{注}} + T_A \\ &= 113 \end{aligned}$$

**注**  $R_{\theta JA}$ はPackage thermal resistance特性（付録B）中の400 sec以上の値を使用

**注意**  $T_{jmax}$ 値（140）を越えない範囲で使用してください。

## 付録D 改版履歴

### D.1 本版で改訂された主な箇所

箇 所	内 容
p.14	オーダ名称を変更

### D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版 数	内 容	適用箇所
第2版	78K0/KC2の品名を変更 $\mu$ PD78F0511, 78F0512, 78F0513 $\mu$ PD78F0511A, 78F0512A, 78F0513A	全般
	フラッシュ・メモリ・プログラマ PG-FP5を追加	
	マイクロコントローラ部の機能詳細を知りたいときを修正	はじめに
	デバイスの関連資料を修正	
	開発ツール(ハードウェア)の資料(ユーザーズ・マニュアル)を修正	
	フラッシュ・メモリ書き込み用の資料を修正	
	1.1 特 徴の本文を修正	第1章 概説
	1.6 機能概要を修正	
	2.3.3(2) コントロール・モードを修正	第2章 端子機能
	第3章 マイクロコントローラ機能の本文を修正	第3章 マイクロコン トローラ機能
	3.3.2 ポート・レジスタを修正	
	6.2(1) UMODE = Low (LINトランシーバ通常動作モード)時の本文を修正	第6章 LINトランシー バ回路
	6.3 過電流保護機能の本文を修正	
	8.1 絶対最大定格 マイクロコントローラ部絶対最大定格 ( $T_A = 25$ )を修正	第8章 電気的特性 (A)水準(ターゲット)
	8.2 マイクロコントローラ部電気的特性 A/Dコンバータ特性を修正 2.7V POC回路特性 ( $T_A = -40 \sim +85$ , $V_{SS} = 0V$ )に備考を追加 フラッシュ・メモリ・プログラミング特性の表, 注1を修正, 注4-6を追加	
	8.3 アナログ部電気的特性 電源回路特性を修正	
	図A-1 開発ツール構成(1/3)(1)インサーキット・エミュレータ QB-78K0KX2を使用 する場合の注3を修正	付録A 開発ツール
	図A-1 開発ツール構成(2/3)(2)オンチップ・デバッグ・エミュレータ QB-78K0MINI を使用する場合	
	図A-1 開発ツール構成(3/3)(3)プログラミング機能付きオンチップ・デバッグ・エ ミュレータ QB-MINI2を使用する場合を追加	

版 数	内 容	適用箇所
第2版	A. 4. 1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5, PG-FP4, FL-PR4, PG-FPL3, FP-LITE3を使用する場合を追加	付録A 開発ツール
	A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を追加	
	A. 5. 1 インサーキット・エミュレータ QB-78K0KX2を使用する場合の注を修正	
	A. 5. 2 オンチップ・デバッグ・エミュレータ QB-78K0MINIを使用する場合を追加	
	A. 5. 3 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合を追加	
	付録D 改版履歴を追加	付録D 改版履歴
第3版	QB-78K0MINI, PG-FPL3, FP-LITE3を削除（廃品種のため）	全般
	関連資料を修正	はじめに
	1. 6 機能概要を修正	第1章 概説
	表4-1 専用フラッシュ・メモリ・プログラマの配線表の注2を修正	第4章 フラッシュ・メモリ・プログラマによる書き込み方法
	マイクロコントローラ部絶対最大定格（ $T_A = 25$ ）を修正	第8章 電気的特性 (A) 水準
	X1発振回路特性，注2を修正	
	AC特性（1）基本動作を修正	
	AC特性（2）（c）IICを修正	
	LVI回路特性を修正	
	基本特性を修正	
	電源回路特性，電源電流特性を修正	
	DC特性を修正	
	AC特性を修正	
	付録A 開発ツールを改訂	付録A 開発ツール
D. 2 前版までの改版履歴を追加	付録D 改版履歴	

## 【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：(044)435-5111

## 【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

## 【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。

---

—— お問い合わせ先 ——

## 【営業関係、デバイスの技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00~12:00, 午後 1:00~5:00)

電 話 : (044)435-9494

E-mail : [info@necel.com](mailto:info@necel.com)

## 【マイコン開発ツールの技術関係お問い合わせ先】

開発ツールサポートセンター

E-mail : [toolsupport-micom@ml.necel.com](mailto:toolsupport-micom@ml.necel.com)