

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

お客様各位

資料中の「日立製作所」、「日立XX」等名称の株式会社ルネサス テクノロジへの変更について

2003年4月1日を以って三菱電機株式会社及び株式会社日立製作所のマイコン、ロジック、アナログ、ディスクリート半導体、及びDRAMを除くメモリ(フラッシュメモリ・SRAM等)を含む半導体事業は株式会社ルネサス テクノロジに承継されました。従いまして、本資料中には「日立製作所」、「株式会社日立製作所」、「日立半導体」、「日立XX」といった表記が残っておりますが、これらの表記は全て「株式会社ルネサス テクノロジ」に変更されておりますのでご理解の程お願い致します。尚、会社商標・ロゴ・コーポレートステートメント以外の内容については一切変更しておりませんので資料としての内容更新ではありません。

ルネサステクノロジ ホームページ (<http://www.renesas.com>)

2003年4月1日
株式会社ルネサス テクノロジ
カスタマサポート部

ご注意

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

H8/3001

ハードウェアマニュアル
ルネサスマイクロコンピュータ

HD6413001

1. 本資料に記載された製品及び製品の仕様は、予告なく変更されることがあります
2. 本資料に記載された内容は、正確かつ信頼し得るものであります。ただし、これら掲載された情報、製品または回路の使用に起因する損害または特許権その他権利の侵害に関しては、株式会社日立製作所は一切その責任を負いません
3. 本資料によって第三者または株式会社日立製作所の特許権その他権利の実施権を許諾するものではありません
4. 本資料の一部または全部を当社に無断で転載または複製することを堅くお断りいたします
5. 日立半導体は、人命にかかわる装置用として特別に開発したものは用意しておりません。ライフサポート関連の医療機器用として日立半導体の採用をお考えのお客様は、当社営業窓口へお客様にてシステム設計上の対策をして頂けるかを是非ご連絡頂きますようお願い致します

はじめに

H8/3001は、内部32ビット構成のH8/300H CPUを核にして、システム構成に必要な周辺機能を集積した高性能マイクロコンピュータです。

このマニュアルは、H8/3001のCPUアーキテクチャ、周辺機能、電気的特性、および外形寸法図について記載しています。

命令の詳細については、「H8/300Hシリーズ プログラミングマニュアル」（資料No. ADJ-602-071）を併せてご覧ください。

目 次

《第1章》 概要

1.1	概要	3
1.2	内部ブロック図	6
1.3	端子説明	7
1.3.1	ピン配置	7
1.3.2	端子機能	8
1.4	端子機能	11

《第2章》 CPU

2.1	概要	19
2.1.1	特長	19
2.1.2	H8/300CPUとの相違点	20
2.2	CPU動作モード	21
2.3	アドレス空間	22
2.4	レジスタ構成	23
2.4.1	概要	23
2.4.2	汎用レジスタ	24
2.4.3	コントロールレジスタ	25
2.4.4	CPU内部レジスタの初期値	26
2.5	データ構成	27
2.5.1	汎用レジスタのデータ構成	27
2.5.2	メモリ上でのデータ構成	29
2.6	命令セット	30
2.6.1	命令セットの概要	30
2.6.2	命令とアドレッシングモードの組み合わせ	30
2.6.3	命令の機能別一覧	32
2.6.4	命令の基本フォーマット	43
2.6.5	ビット操作命令使用上の注意	44
2.7	アドレッシングモードと実効アドレスの計算方法	45
2.7.1	アドレッシングモード	45
2.7.2	実効アドレスの計算方法	48
2.8	処理状態	52
2.8.1	概要	52
2.8.2	プログラム実行状態	52
2.8.3	例外処理状態	53

2.8.4	例外処理の動作	55
2.8.5	バス権解放状態	56
2.8.6	リセット状態	56
2.8.7	低消費電力状態	56
2.9	基本動作タイミング	57
2.9.1	概要	57
2.9.2	内蔵メモリアクセスタイミング	57
2.9.3	内蔵周辺モジュールアクセスタイミング	59
2.9.4	外部アドレス空間アクセスタイミング	60

《第3章》 MCU動作モード

3.1	概要	63
3.1.1	動作モードの選択の種類	63
3.1.2	レジスタ構成	64
3.2	モードコントロールレジスタ (MDCR)	65
3.3	システムコントロールレジスタ (SYSCR)	66
3.4	各動作モードの説明	69
3.4.1	モード1	69
3.4.2	モード2	69
3.4.3	モード3	69
3.4.4	モード4	69
3.5	各動作モードにおける端子機能	70
3.6	各動作モードのメモリマップ	71

《第4章》 例外処理

4.1	概要	75
4.1.1	例外処理の種類と優先度	75
4.1.2	例外処理の動作	75
4.1.3	例外処理要因とベクタテーブル	75
4.2	リセット	77
4.2.1	概要	77
4.2.2	リセットシーケンス	77
4.2.3	リセット直後の割込み	80
4.3	割込み	80
4.4	トラップ命令	81
4.5	例外処理後のスタックの状態	81
4.6	スタック使用上の注意	82

《第5章》 割込みコントローラ

5.1	概要	85
5.1.1	特長	85
5.1.2	ブロック図	86
5.1.3	端子構成	87
5.1.4	レジスタ構成	87
5.2	各レジスタの説明	88
5.2.1	システムコントロールレジスタ (SYSCR)	88
5.2.2	インタラプトプライオリティレジスタA、B (IPRA、IPRB)	89
5.2.3	IRQステータスレジスタ (ISR)	96
5.2.4	IRQイネーブルレジスタ (IER)	97
5.2.5	IRQセンスコントロールレジスタ (ISCR)	98
5.3	割込み要因	99
5.3.1	外部割込み	99
5.3.2	内部割込み	100
5.3.3	割込み例外処理ベクタテーブル	100
5.4	割込み動作	103
5.4.1	割込み動作の流れ	103
5.4.2	割込み例外処理シーケンス	109
5.4.3	割込み応答時間	111
5.5	使用上の注意	112
5.5.1	割込みの発生とディスエーブルとの競合	112
5.5.2	割込みの受け付けを禁止している命令	113
5.5.3	EEPMOV命令実行中の割込み	113

《第6章》 バスコントローラ

6.1	概要	117
6.1.1	特長	117
6.1.2	ブロック図	118
6.1.3	端子構成	119
6.1.4	レジスタ構成	119
6.2	各レジスタの説明	120
6.2.1	バス幅コントロールレジスタ (ABWCR)	120
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	121
6.2.3	ウェイトコントロールレジスタ (WCR)	122
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	123
6.2.5	バスリリースコントロールレジスタ (BRCR)	124
6.3	動作説明	125
6.3.1	エリア分割	125

6.3.2	データバス	127
6.3.3	バス制御信号タイミング	128
6.3.4	ウェイトモード	136
6.3.5	バスアービタの動作	142
6.4	使用上の注意	144
6.4.1	ABWCR、ASTCR、およびWCERのライトタイミング	144
6.4.2	BREQ端子の入カタイミング	144

《第7章》 I/Oポート

7.1	概要	147
7.2	ポート4	149
7.2.1	概要	149
7.2.2	レジスタ構成	150
7.2.3	モード別端子機能	152
7.2.4	入力プルアップMOS	153
7.3	ポート6	154
7.3.1	概要	154
7.3.2	レジスタ構成	154
7.3.3	端子機能	156
7.4	ポート7	157
7.4.1	概要	157
7.4.2	レジスタ構成	157
7.5	ポート8	158
7.5.1	概要	158
7.5.2	レジスタ構成	158
7.5.3	端子機能	160
7.6	ポート9	161
7.6.1	概要	161
7.6.2	レジスタ構成	161
7.6.3	端子機能	163
7.7	ポートA	164
7.7.1	概要	164
7.7.2	レジスタ構成	165
7.7.3	端子機能	167
7.8	ポートB	172
7.8.1	概要	172
7.8.2	レジスタ構成	172
7.8.3	端子機能	174

《第8章》 16ビットインテグレートドタイマユニット (ITU)

8.1	概要	181
8.1.1	特長	181
8.1.2	ブロック図	183
8.1.3	端子構成	187
8.1.4	レジスタ構成	188
8.2	各レジスタの説明	190
8.2.1	タイマスタートレジスタ (TSTR)	190
8.2.2	タイマシンクロレジスタ (TSNC)	192
8.2.3	タイマモードレジスタ (TMDR)	194
8.2.4	タイマファンクションコントロールレジスタ (TF CR)	197
8.2.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	199
8.2.6	タイマカウンタ (TCNT)	201
8.2.7	ジェネラルレジスタA、B (GRA、GRB)	202
8.2.8	バッファレジスタA、B (BRA、BRB)	203
8.2.9	タイマコントロールレジスタ (TCR)	204
8.2.10	タイマI/Oコントロールレジスタ (TIOR)	207
8.2.11	タイマステータスレジスタ (TSR)	210
8.2.12	タイマインタラプトイネーブルレジスタ (TIER)	213
8.3	CPUとのインタフェース	215
8.3.1	16ビットアクセス可能なレジスタ	215
8.3.2	8ビットアクセスのレジスタ	217
8.4	動作説明	218
8.4.1	概要	218
8.4.2	基本機能	219
8.4.3	同期動作	228
8.4.4	PWMモード	230
8.4.5	位相計数モード	234
8.4.6	バッファ動作	236
8.4.7	ITU出力タイミング	242
8.5	割込み	243
8.5.1	ステータスフラグのセットタイミング	243
8.5.2	ステータスフラグのクリアタイミング	245
8.5.3	割込み要因	246
8.6	使用上の注意	247

《第9章》 プログラマブルタイミングパターンコントローラ (TPC)

9.1	概要	265
9.1.1	特長	265

9.1.2	ブロック図	266
9.1.3	端子構成	267
9.1.4	レジスタ構成	268
9.2	各レジスタの説明	269
9.2.1	ポートAデータディレクションレジスタ (PADDDR)	269
9.2.2	ポートAデータレジスタ (PADR)	269
9.2.3	ポートBデータディレクションレジスタ (PBDDR)	270
9.2.4	ポートBデータレジスタ (PBDR)	270
9.2.5	ネクストデータレジスタA (NDRA)	271
9.2.6	ネクストデータレジスタB (NDRB)	273
9.2.7	ネクストデータイネーブルレジスタA (NDERA)	275
9.2.8	ネクストデータイネーブルレジスタB (NDERB)	276
9.2.9	TPC出力コントロールレジスタ (TPCR)	277
9.2.10	TPC出力モードレジスタ (TPMR)	280
9.3	動作説明	282
9.3.1	概要	282
9.3.2	出力タイミング	283
9.3.3	TPC出力通常動作	284
9.3.4	TPC出力ノンオーバーラップ動作	286
9.3.5	インプットキャプチャによるTPC出力	288
9.4	使用上の注意	289
9.4.1	TPC出力端子の動作	289
9.4.2	ノンオーバーラップ動作時の注意	289

《第10章》 シリアルコミュニケーションインタフェース

10.1	概要	293
10.1.1	特長	293
10.1.2	ブロック図	295
10.1.3	端子構成	296
10.1.4	レジスタ構成	296
10.2	各レジスタの説明	297
10.2.1	レシーブシフトレジスタ (RSR)	297
10.2.2	レシーブデータレジスタ (RDR)	297
10.2.3	トランスミットシフトレジスタ (TSR)	298
10.2.4	トランスミットデータレジスタ (TDR)	298
10.2.5	シリアルモードレジスタ (SMR)	299
10.2.6	シリアルコントロールレジスタ (SCR)	303
10.2.7	シリアルステータスレジスタ (SSR)	307
10.2.8	ビットレートレジスタ (BRR)	312

10.3	動作説明	320
10.3.1	概要	320
10.3.2	調歩同期式モード時の動作	322
10.3.3	マルチプロセッサ通信機能	331
10.3.4	クロック同期式モード時の動作	338
10.4	SC1 割込み	347
10.5	使用上の注意	348

《第11章》 A/D変換器

11.1	概要	355
11.1.1	特長	355
11.1.2	ブロック図	356
11.1.3	端子構成	357
11.1.4	レジスタ構成	357
11.2	各レジスタの説明	358
11.2.1	A/DデータレジスタA~D (ADDRA~D)	358
11.2.2	A/Dコントロール/ステータスレジスタ (ADCSR)	359
11.2.3	A/Dコントロールレジスタ (ADCR)	362
11.3	CPUとのインタフェース	363
11.4	動作説明	364
11.4.1	単一モード (SCAN = "0")	364
11.4.2	スキャンモード (SCAN = "1")	366
11.4.3	入力サンプリングとA/D変換時間	368
11.5	割込み	369
11.6	使用上の注意	369

《第12章》 RAM

12.1	概要	373
12.1.1	ブロック図	373
12.1.2	レジスタ構成	374
12.2	システムコントロールレジスタ (SYSCR)	375
12.3	動作説明	376

《第13章》 クロック発振器

13.1	概要	379
13.1.1	ブロック図	379
13.2	発振器	380
13.2.1	水晶発振子を接続する方法	380
13.2.2	外部クロックを入力する方法	382

13.3	デューティ補正回路	384
13.4	プリスケラ	384

《第14章》 低消費電力状態

14.1	概要	387
14.2	レジスタ構成	388
14.2.1	システムコントロールレジスタ (SYSCR)	388
14.3	スリープモード	390
14.3.1	スリープモードへの遷移	390
14.3.2	スリープモードの解除	390
14.4	ソフトウェアスタンバイモード	391
14.4.1	ソフトウェアスタンバイモードへの遷移	391
14.4.2	ソフトウェアスタンバイモードの解除	391
14.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	392
14.4.4	ソフトウェアスタンバイモードの応用例	393
14.4.5	使用上の注意	393
14.5	ハードウェアスタンバイモード	394
14.5.1	ハードウェアスタンバイモードへの遷移	394
14.5.2	ハードウェアスタンバイモードの解除	394
14.5.3	ハードウェアスタンバイモードのタイミング	394

《第15章》 電気的特性

15.1	絶対最大定格	397
15.2	電気的特性	397
15.2.1	DC特性	397
15.2.2	AC特性	405
15.2.3	A/D変換特性	410
15.3	動作タイミング	411
15.3.1	バスタイミング	411
15.3.2	制御信号タイミング	413
15.3.3	クロックタイミング	415
15.3.4	TPC、I/Oポートタイミング	415
15.3.5	ITUタイミング	416
15.3.6	SCI入出力タイミング	417

《付録》

A.	命令	421
A.1	命令一覧	421
A.2	オペレーションコードマップ	436

A. 3	命令実行ステート数	439
B.	レジスタ一覧	449
B. 1	I/Oレジスタ一覧(1)	449
B. 2	I/Oレジスタ一覧(2)	457
C.	I/Oポートブロック図	505
C. 1	ポート4ブロック図	505
C. 2	ポート6ブロック図	506
C. 3	ポート7ブロック図	509
C. 4	ポート8ブロック図	510
C. 5	ポート9ブロック図	512
C. 6	ポートAブロック図	515
C. 7	ポートBブロック図	518
D.	端子状態	519
D. 1	各処理状態におけるポートの状態	519
D. 2	リセット時の端子状態	521
E.	ハードウェアスタンバイモード遷移/復帰時のタイミングについて	524
F.	外形寸法図	525
G.	レジスタ索引	526

1. 概要

第 1 章 目次

1. 1	概要	3
1. 2	内部ブロック図	6
1. 3	端子説明	7
1. 3. 1	ピン配置	7
1. 3. 2	端子機能	8
1. 4	端子機能	11

1.1 概要

H8/3001は、日立オリジナルアーキテクチャを採用したH8/300H CPUを核にして、システム構成に必要な周辺機能を集積したマイクロコンピュータ（MCU）です。

H8/300H CPUは、内部32ビット構成で16ビット×16本の汎用レジスタと高速動作を指向した簡潔で最適化された命令セットを備えており、16Mバイトのリニアなアドレス空間を扱うことができます。また、H8/300CPUの命令に対しオブジェクトレベルで上位互換を保っていますので、H8/300シリーズから容易に移行することができます。

システム構成に必要な周辺機能としては、RAM、16ビットインテグレートドタイマユニット（ITU）、プログラマブルタイミングパターンコントローラ（TPC）、シリアルコミュニケーションインタフェース（SCI）、A/D変換器、I/Oポートなどを内蔵しています。

MCU動作モードは、モード1～4があり、データバス幅とアドレス空間を選択することができます。

H8/3001の特長を表1.1に示します。

表1.1 特長(1)

項 目	仕 様
CPU	<p>H8/300CPUに対してオブジェクトレベルで上位互換 汎用レジスタマシン</p> <ul style="list-style-type: none"> ・汎用レジスタ：16ビット×16本 (8ビット×16本、32ビット×8本としても使用可能) <p>高速動作</p> <ul style="list-style-type: none"> ・最大動作周波数：16MHz ・加減算：125ns ・乗除算：875ns <p>2種類のCPU動作モード</p> <ul style="list-style-type: none"> ・ノーマルモード（アドレス空間64kバイト。H8/3001では使用できません。） ・アドバンスモード（アドレス空間16Mバイト） <p>特長ある命令</p> <ul style="list-style-type: none"> ・8/16/32ビット転送・演算命令 ・符号なし/符号付乗算命令 (8ビット×8ビット、16ビット×16ビット) ・符号なし/符号付除算命令 (16ビット÷8ビット、32ビット÷16ビット) ・ビットアキュムレータ機能 ・レジスタ間接指定によりビット番号を指定可能なビット操作命令

表 1. 1 特長(2)

項 目	仕 様
メモリ	R A M : 512バイト
割込みコントローラ	<ul style="list-style-type: none"> ・外部割込み端子 4 本 : \overline{NMI}、$\overline{IRQ_0}$、$\overline{IRQ_1}$ および $\overline{IRQ_4}$ ・内部割込み 20 要因 ・3 レベルの割込み優先順位が設定可能
バスコントローラ	<ul style="list-style-type: none"> ・アドレス空間を 8 エリアに分割し、エリアごとに独立してバス仕様を設定可能 ・エリアごとに 8 ビットアクセス空間 / 16 ビットアクセス空間を設定可能 ・エリアごとに 2 ステートアクセス空間 / 3 ステートアクセス空間を設定可能 ・4 種類のウェイトモードを設定可能 ・バス権調停機能
16ビットインテグレートッドタイムユニット (I T U)	<ul style="list-style-type: none"> ・16ビットタイム 5 チャンネルを内蔵。最大 10 端子のパルス出力、または最大 10 種類のパルスの入力処理が可能 ・16ビットタイムカウンタ × 1 (チャンネル 0 ~ 4) ・アウトプットコンペア出力 / インプットキャプチャ入力 (兼用端子) × 2 (チャンネル 0 ~ 4) ・同期動作可能 (チャンネル 0 ~ 4) ・P W M モード設定可能 (チャンネル 0 ~ 4) ・位相計数モード設定可能 (チャンネル 2) ・バッファ動作可能 (チャンネル 3、4)
プログラマブルタイミングパターンコントローラ (T P C)	<ul style="list-style-type: none"> ・I T U をタイムベースとした最大 12 ビットのパルス出力が可能 ・最大 4 ビット × 3 系統のパルス出力が可能 (12 ビット × 1 系統、8 ビット × 1 系統 + 4 ビット × 1 系統などの設定も可能) ・ノンオーバーラップモード設定可能
シリアルコミュニケーションインタフェース (S C I) × 1 チャンネル	<ul style="list-style-type: none"> ・調歩同期 / クロック同期式モードの選択可能 ・送受信同時動作 (全二重動作) 可能 ・専用のボーレートジェネレータ内蔵
A / D 変換器	<ul style="list-style-type: none"> ・分解能 : 10 ビット ・4 チャンネル : 単一モード / スキャンモード選択可能 ・アナログ変換電圧範囲の設定が可能 ・サンプル & ホールド機能付

表 1. 1 特長(3)

項 目	仕 様																									
I/Oポート	<ul style="list-style-type: none"> ・入出力端子28本 ・入力端子4本 																									
動作モード	<p>4種類のMCU動作モード</p> <table border="1"> <thead> <tr> <th>モード</th> <th>アドレス空間</th> <th>アドレス端子</th> <th>バス幅初期値</th> <th>バス幅最大値</th> </tr> </thead> <tbody> <tr> <td>モード1</td> <td>1Mバイト</td> <td>A₀~A₁₉</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>モード2</td> <td>1Mバイト</td> <td>A₀~A₁₉</td> <td>16ビット</td> <td>16ビット</td> </tr> <tr> <td>モード3</td> <td>16Mバイト</td> <td>A₀~A₂₃</td> <td>8ビット</td> <td>16ビット</td> </tr> <tr> <td>モード4</td> <td>16Mバイト</td> <td>A₀~A₂₃</td> <td>16ビット</td> <td>16ビット</td> </tr> </tbody> </table>	モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値	モード1	1Mバイト	A ₀ ~A ₁₉	8ビット	16ビット	モード2	1Mバイト	A ₀ ~A ₁₉	16ビット	16ビット	モード3	16Mバイト	A ₀ ~A ₂₃	8ビット	16ビット	モード4	16Mバイト	A ₀ ~A ₂₃	16ビット	16ビット
モード	アドレス空間	アドレス端子	バス幅初期値	バス幅最大値																						
モード1	1Mバイト	A ₀ ~A ₁₉	8ビット	16ビット																						
モード2	1Mバイト	A ₀ ~A ₁₉	16ビット	16ビット																						
モード3	16Mバイト	A ₀ ~A ₂₃	8ビット	16ビット																						
モード4	16Mバイト	A ₀ ~A ₂₃	16ビット	16ビット																						
低消費電力状態	<ul style="list-style-type: none"> ・スリープモード ・ソフトウェアスタンバイモード ・ハードウェアスタンバイモード 																									
そ の 他	<ul style="list-style-type: none"> ・クロック発振器内蔵 																									
製品ラインアップ	<table border="1"> <thead> <tr> <th>製品型名</th> <th>パッケージ</th> <th>電源電圧</th> </tr> </thead> <tbody> <tr> <td>HD6413001F</td> <td rowspan="2">80ピンQFP (FP-80A)</td> <td>5V±10%</td> </tr> <tr> <td>HD6413001VF</td> <td>2.7V~5.5V</td> </tr> <tr> <td>HD6413001TF</td> <td rowspan="2">80ピンTQFP (TFP-80C)</td> <td>5V±10%</td> </tr> <tr> <td>HD6413001VTF</td> <td>2.7V~5.5V</td> </tr> </tbody> </table>	製品型名	パッケージ	電源電圧	HD6413001F	80ピンQFP (FP-80A)	5V±10%	HD6413001VF	2.7V~5.5V	HD6413001TF	80ピンTQFP (TFP-80C)	5V±10%	HD6413001VTF	2.7V~5.5V												
製品型名	パッケージ	電源電圧																								
HD6413001F	80ピンQFP (FP-80A)	5V±10%																								
HD6413001VF		2.7V~5.5V																								
HD6413001TF	80ピンTQFP (TFP-80C)	5V±10%																								
HD6413001VTF		2.7V~5.5V																								

1.2 内部ブロック図

内部ブロック図を図1.1に示します。

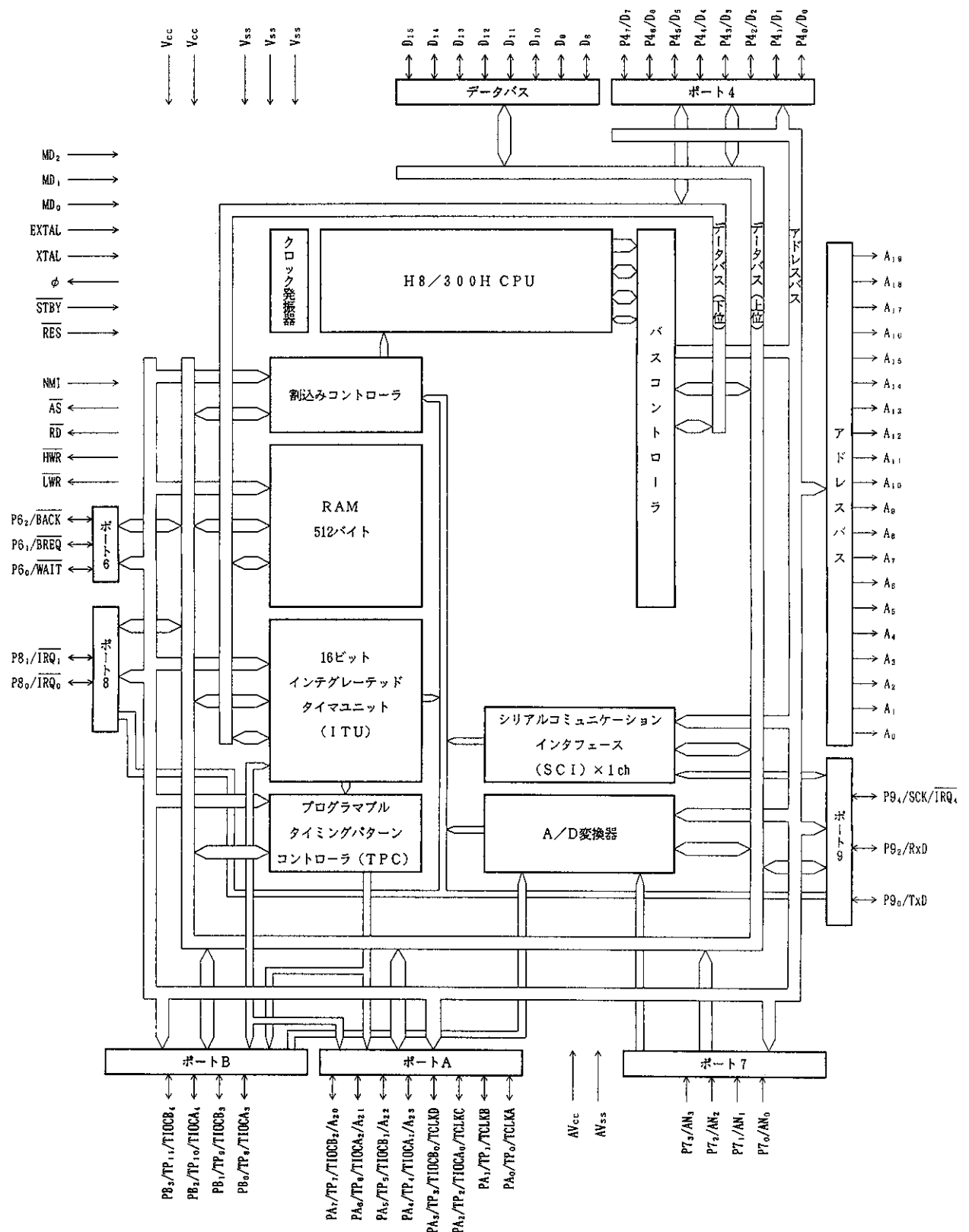


図1.1 H8/3001の内部ブロック図

1.3 端子説明

1.3.1 ピン配置

H8/3001のピン配置図を図1.2に示します。

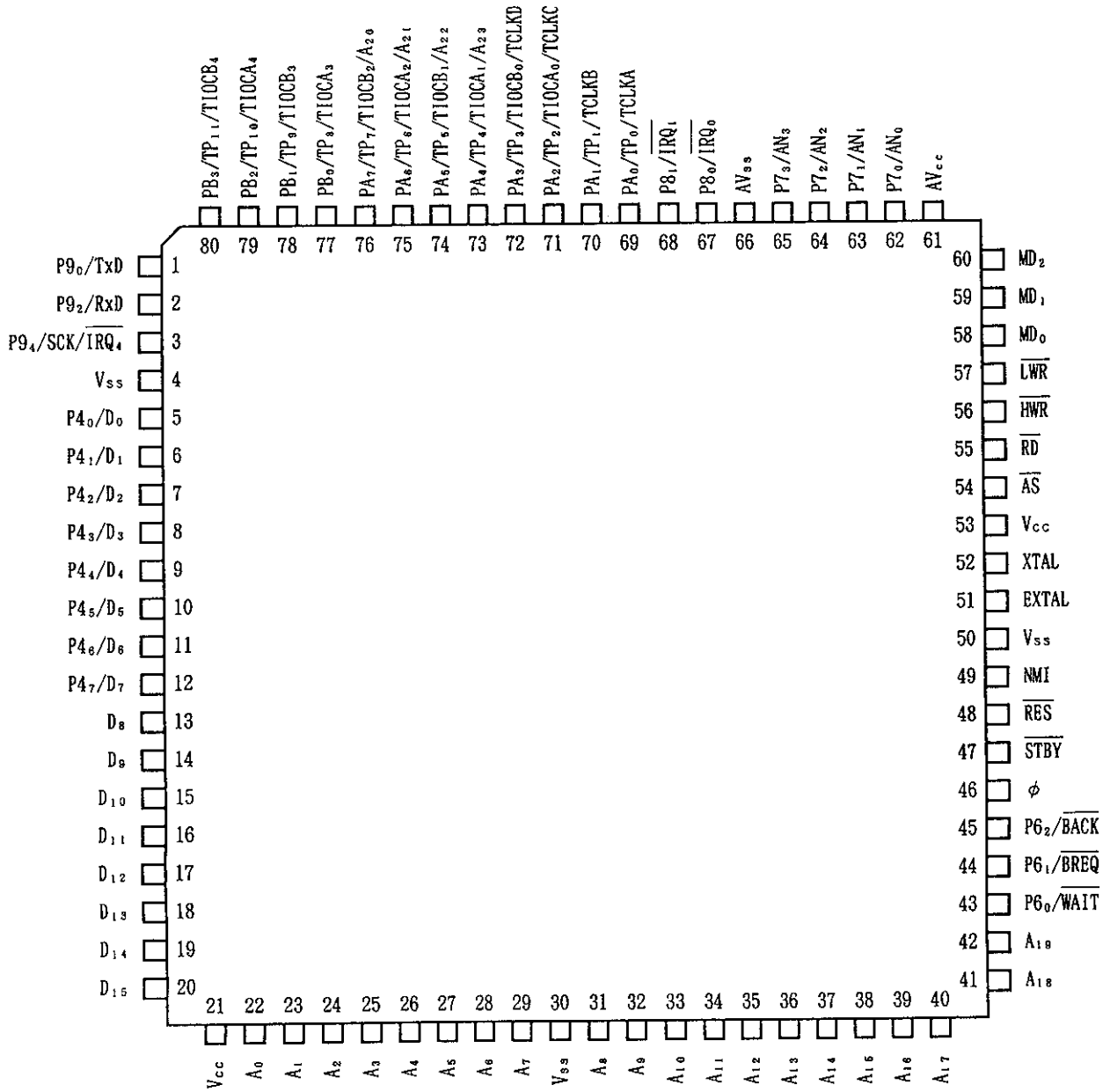


図1.2 ピン配置 (FP-80A、TFP-80C : 上面図)

1.3.2 端子機能

(1) モード別ピン配置一覧

モード別ピン配置を表1.2に示します。

表1.2 H8/3001のモード別ピン配置一覧(1)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
1	P9 ₀ /TxD	P9 ₀ /TxD	P9 ₀ /TxD	P9 ₀ /TxD
2	P9 ₂ /RxD	P9 ₂ /RxD	P9 ₂ /RxD	P9 ₂ /RxD
3	P9 ₄ /SCK/ $\overline{\text{IRQ}}_4$	P9 ₄ /SCK/ $\overline{\text{IRQ}}_4$	P9 ₄ /SCK/ $\overline{\text{IRQ}}_4$	P9 ₄ /SCK/ $\overline{\text{IRQ}}_4$
4	V _{SS}	V _{SS}	V _{SS}	V _{SS}
5	P4 ₀ /D ₀ ^{*1}	P4 ₀ ^{*2} /D ₀	P4 ₀ /D ₀ ^{*1}	P4 ₀ ^{*2} /D ₀
6	P4 ₁ /D ₁ ^{*1}	P4 ₁ ^{*2} /D ₁	P4 ₁ /D ₁ ^{*1}	P4 ₁ ^{*2} /D ₁
7	P4 ₂ /D ₂ ^{*1}	P4 ₂ ^{*2} /D ₂	P4 ₂ /D ₂ ^{*1}	P4 ₂ ^{*2} /D ₂
8	P4 ₃ /D ₃ ^{*1}	P4 ₃ ^{*2} /D ₃	P4 ₃ /D ₃ ^{*1}	P4 ₃ ^{*2} /D ₃
9	P4 ₄ /D ₄ ^{*1}	P4 ₄ ^{*2} /D ₄	P4 ₄ /D ₄ ^{*1}	P4 ₄ ^{*2} /D ₄
10	P4 ₅ /D ₅ ^{*1}	P4 ₅ ^{*2} /D ₅	P4 ₅ /D ₅ ^{*1}	P4 ₅ ^{*2} /D ₅
11	P4 ₆ /D ₆ ^{*1}	P4 ₆ ^{*2} /D ₆	P4 ₆ /D ₆ ^{*1}	P4 ₆ ^{*2} /D ₆
12	P4 ₇ /D ₇ ^{*1}	P4 ₇ ^{*2} /D ₇	P4 ₇ /D ₇ ^{*1}	P4 ₇ ^{*2} /D ₇
13	D ₈	D ₈	D ₈	D ₈
14	D ₉	D ₉	D ₉	D ₉
15	D ₁₀	D ₁₀	D ₁₀	D ₁₀
16	D ₁₁	D ₁₁	D ₁₁	D ₁₁
17	D ₁₂	D ₁₂	D ₁₂	D ₁₂
18	D ₁₃	D ₁₃	D ₁₃	D ₁₃
19	D ₁₄	D ₁₄	D ₁₄	D ₁₄
20	D ₁₅	D ₁₅	D ₁₅	D ₁₅
21	V _{CC}	V _{CC}	V _{CC}	V _{CC}
22	A ₀	A ₀	A ₀	A ₀
23	A ₁	A ₁	A ₁	A ₁
24	A ₂	A ₂	A ₂	A ₂
25	A ₃	A ₃	A ₃	A ₃
26	A ₄	A ₄	A ₄	A ₄
27	A ₅	A ₅	A ₅	A ₅
28	A ₆	A ₆	A ₆	A ₆
29	A ₇	A ₇	A ₇	A ₇
30	V _{SS}	V _{SS}	V _{SS}	V _{SS}

表 1.2 H8 / 3001 のモード別ピン配置一覧(2)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
31	A ₈	A ₈	A ₈	A ₈
32	A ₉	A ₉	A ₉	A ₉
33	A ₁₀	A ₁₀	A ₁₀	A ₁₀
34	A ₁₁	A ₁₁	A ₁₁	A ₁₁
35	A ₁₂	A ₁₂	A ₁₂	A ₁₂
36	A ₁₃	A ₁₃	A ₁₃	A ₁₃
37	A ₁₄	A ₁₄	A ₁₄	A ₁₄
38	A ₁₅	A ₁₅	A ₁₅	A ₁₅
39	A ₁₆	A ₁₆	A ₁₆	A ₁₆
40	A ₁₇	A ₁₇	A ₁₇	A ₁₇
41	A ₁₈	A ₁₈	A ₁₈	A ₁₈
42	A ₁₉	A ₁₉	A ₁₉	A ₁₉
43	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT	P6 ₀ /WAIT
44	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ	P6 ₁ /BREQ
45	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK	P6 ₂ /BACK
46	φ	φ	φ	φ
47	STBY	STBY	STBY	STBY
48	RES	RES	RES	RES
49	NMI	NMI	NMI	NMI
50	V _{SS}	V _{SS}	V _{SS}	V _{SS}
51	EXTAL	EXTAL	EXTAL	EXTAL
52	XTAL	XTAL	XTAL	XTAL
53	V _{CC}	V _{CC}	V _{CC}	V _{CC}
54	AS	AS	AS	AS
55	RD	RD	RD	RD
56	HWR	HWR	HWR	HWR
57	LWR	LWR	LWR	LWR
58	MD ₀	MD ₀	MD ₀	MD ₀
59	MD ₁	MD ₁	MD ₁	MD ₁
60	MD ₂	MD ₂	MD ₂	MD ₂
61	AV _{CC}	AV _{CC}	AV _{CC}	AV _{CC}
62	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀	P7 ₀ /AN ₀
63	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁	P7 ₁ /AN ₁
64	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂	P7 ₂ /AN ₂
65	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃	P7 ₃ /AN ₃

表 1.2 H8 / 3001 のモード別ピン配置一覧(3)

ピン 番号	端 子 名			
	モード1	モード2	モード3	モード4
66	AV _{SS}	AV _{SS}	AV _{SS}	AV _{SS}
67	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀	P8 ₀ /IRQ ₀
68	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁	P8 ₁ /IRQ ₁
69	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA	PA ₀ /TP ₀ /TCLKA
70	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB	PA ₁ /TP ₁ /TCLKB
71	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC	PA ₂ /TP ₂ /TIOCA ₀ /TCLKC
72	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD	PA ₃ /TP ₃ /TIOCB ₀ /TCLKD
73	PA ₄ /TP ₄ /TIOCA ₁	PA ₄ /TP ₄ /TIOCA ₁	A ₂₃	A ₂₃
74	PA ₅ /TP ₅ /TIOCB ₁	PA ₅ /TP ₅ /TIOCB ₁	A ₂₂	A ₂₂
75	PA ₆ /TP ₆ /TIOCA ₂	PA ₆ /TP ₆ /TIOCA ₂	A ₂₁	A ₂₁
76	PA ₇ /TP ₇ /TIOCB ₂	PA ₇ /TP ₇ /TIOCB ₂	A ₂₀	A ₂₀
77	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃	PB ₀ /TP ₈ /TIOCA ₃
78	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃	PB ₁ /TP ₉ /TIOCB ₃
79	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄	PB ₂ /TP ₁₀ /TIOCA ₄
80	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄	PB ₃ /TP ₁₁ /TIOCB ₄

- 【注】 *¹ モード1、3では、リセット直後、P4₀/D₀～P4₇/D₇端子はP4₀～P4₇端子となっています（プログラムで変更できます）。
- *² モード2、4では、リセット直後、P4₀/D₀～P4₇/D₇端子はD₀～D₇端子となっています（プログラムで変更できます）。

1.4 端子機能

各端子の機能について表 1.3 に示します。

表 1.3 端子機能(1)

分類	記号	ピン記号	入出力	名称および機能
電源	V _{CC}	21、53	入力	<u>電源</u> 電源 (+5 V) に接続します。 V _{CC} 端子は、全端子をシステムの電源 (+5 V) に接続してください。
	V _{SS}	4、30、 50	入力	<u>グランド</u> 電源 (0 V) に接続します。 V _{SS} 端子は、全端子をシステムの電源 (0 V) に接続してください。
クロック	XTAL	52	入力	水晶発振子を接続します。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第13章 クロック発振器」を参照してください。
	EXTAL	51	入力	水晶発振子を接続します。また、EXTAL 端子は外部クロックを入力することもできます。 水晶発振子を接続する場合、および外部クロック入力の場合の接続例については、「第13章 クロック発振器」を参照してください。
	φ	46	出力	<u>システムクロック</u> 外部デバイスにシステムクロックを供給します。

表 1. 3 端子機能(2)

分類	記号	ピン記号	入出力	名称および機能																																				
動作モード コントロール	MD ₂ ~MD ₀	60~58	入力	<p><u>モード端子</u> 動作モードを設定します。 MD₂~MD₀端子と動作モードの関係は次のとおりです。これらの端子は動作中には変化させないでください。</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>MD₂</th> <th>MD₁</th> <th>MD₀</th> <th>動作モード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>——</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>モード1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>モード2</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>モード3</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>モード4</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>——</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>——</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>——</td> </tr> </tbody> </table>	MD ₂	MD ₁	MD ₀	動作モード	0	0	0	——	0	0	1	モード1	0	1	0	モード2	0	1	1	モード3	1	0	0	モード4	1	0	1	——	1	1	0	——	1	1	1	——
				MD ₂	MD ₁	MD ₀	動作モード																																	
0	0	0	——																																					
0	0	1	モード1																																					
0	1	0	モード2																																					
0	1	1	モード3																																					
1	0	0	モード4																																					
1	0	1	——																																					
1	1	0	——																																					
1	1	1	——																																					
システム 制御	<u>RES</u>	48	入力	<p><u>リセット入力</u> この端子が“Low”レベルになると、リセット状態となります。</p>																																				
	<u>STBY</u>	47	入力	<p><u>スタンバイ</u> この端子が“Low”レベルになると、ハードウェアスタンバイモードに遷移します。</p>																																				
	<u>BREQ</u>	44	入力	<p><u>バス権要求</u> 本LSIに対し、外部バスマスタがバス権を要求します。</p>																																				
	<u>BACK</u>	45	出力	<p><u>バス権要求アクノリッジ</u> バス権を外部バスマスタに解放したことを示します。</p>																																				
割込み	NMI	49	入力	<p><u>ノンマスクابل割込み</u> マスク不可能な割込みを要求します。</p>																																				
	<u>IRQ₄</u> 、 <u>IRQ₁</u> 、 <u>IRQ₀</u>	3、68、 67	入力	<p><u>割込み要求4、1、0</u> マスク可能な割込みを要求します。</p>																																				
アドレス バス	A ₂₃ ~A ₀	73~76、 42~31、 29~22	出力	<p><u>アドレスバス</u> アドレスを出力します。</p>																																				

表 1. 3 端子機能(3)

分類	記号	ピン記号	入出力	名称および機能
データバス	D ₁₅ ~D ₀	20~5	入出力	<u>データバス</u> 双方向データバスです。
バス制御	\overline{AS}	54	出力	<u>アドレスストロブ</u> この端子が“Low”レベルのとき、アドレスバス上のアドレス出力が有効であることを示します。
	\overline{RD}	55	出力	<u>リード</u> この端子が“Low”レベルのとき、外部アドレス空間のリード状態であることを示します。
	\overline{HWR}	56	出力	<u>ハイライト</u> この端子が“Low”レベルのとき、外部アドレス空間のライト状態であり、データバスの上位側(D ₁₅ ~D ₈)が有効であることを示します。
	\overline{LWR}	57	出力	<u>ロウライト</u> この端子が“Low”レベルのとき、外部アドレス空間のライト状態であり、データバスの下位側(D ₇ ~D ₀)が有効であることを示します。
	\overline{WAIT}	43	入力	<u>ウェイト</u> 外部アドレス空間をアクセスするときに、バスサイクルにウェイトステートの挿入を要求します。
16ビット インテグ レート データ イマ ユニ ット (ITU)	TCLKD ~TCLKA	72~69	入力	<u>クロック入力D~A</u> 外部クロックを入力します。
	TIOCA ₄ ~TIOCA ₀	79、77、 75、73、 71	入出力	<u>インプットキャプチャ</u> / <u>アウトプットコンペアA4~A0</u> GRA4~A0のアウトプットコンペア出力/インプットキャプチャ入力/PWM出力端子です。
	TIOCB ₄ ~TIOCB ₀	80、78、 76、74、 72	入出力	<u>インプットキャプチャ</u> / <u>アウトプットコンペアB4~B0</u> GRB4~B0のアウトプットコンペア出力/インプットキャプチャ入力/PWM出力端子です。

表 1. 3 端子機能(4)

分類	記号	ピン記号	入出力	名称および機能
プログラマブルタイミングパターントラ(TPC)	TP ₁₁ ~TP ₀	80~69	出力	<u>TPC出力11~0</u> パルス出力端子です。
シリアルコミュニケーションインタフェース(SCI)	TxD	1	出力	<u>トランスミットデータ</u> SCIのデータ出力端子です。
	RxD	2	入力	<u>レシーブデータ</u> SCIのデータ入力端子です。
	SCK	3	入出力	<u>シリアルクロック</u> SCIのクロック入出力端子です。
A/D変換器	AN ₃ ~AN ₀	65~62	入力	<u>アナログ3~0</u> アナログ入力端子です。
	AV _{cc}	61	入力	A/D変換器の電源端子です。 A/D変換器を使用しない場合はシステム電源(+5V)に接続してください。
	AV _{ss}	66	入力	A/D変換器のグランド端子です。 システムの電源(0V)に接続してください。
I/Oポート	P4 ₇ ~P4 ₀	12~5	入出力	<u>ポート4</u> 8ビットの入出力端子です。 ポート4データディレクションレジスタ(P4DDR)によって、1ビットごとに入出力を指定できます。
	P6 ₂ ~P6 ₀	45~43	入出力	<u>ポート6</u> 3ビットの入出力端子です。 ポート6データディレクションレジスタ(P6DDR)によって、1ビットごとに入出力を指定できます。
	P7 ₃ ~P7 ₀	65~62	入力	<u>ポート7</u> 4ビットの入力端子です。
	P8 ₁	68	入力	<u>ポート8</u> 2ビットの入出力端子です。
	P8 ₀	67	入出力	ポート8データディレクションレジスタ(P8DDR)によって、1ビットごとに入出力を指定できます。

表 1. 3 端子機能(5)

分類	記号	ピン記号	入出力	名称および機能
I/O ポート	P9 ₄ 、P9 ₂ 、 P9 ₀	3～1	入出力	<u>ポート9</u> 3ビットの入出力端子です。 ポート9データディレクションレジスタ (P9DDR)によって、1ビットごと に入出力を指定できます。
	PA ₇ ～PA ₀	76～69	入出力	<u>ポートA</u> 8ビットの入出力端子です。 ポートAデータディレクションレジスタ (PADDR)によって、1ビットごと に入出力を指定できます。
	PB ₃ ～PB ₀	80～77	入出力	<u>ポートB</u> 4ビットの入出力端子です。 ポートBデータディレクションレジスタ (PBDDR)によって、1ビットごと に入出力を指定できます。

2. CPU

第2章 目次

2.1	概要	19
2.1.1	特長	19
2.1.2	H8/300CPUとの相違点	20
2.2	CPU動作モード	21
2.3	アドレス空間	22
2.4	レジスタ構成	23
2.4.1	概要	23
2.4.2	汎用レジスタ	24
2.4.3	コントロールレジスタ	25
2.4.4	CPU内部レジスタの初期値	26
2.5	データ構成	27
2.5.1	汎用レジスタのデータ構成	27
2.5.2	メモリ上でのデータ構成	29
2.6	命令セット	30
2.6.1	命令セットの概要	30
2.6.2	命令とアドレッシングモードの組み合わせ	30
2.6.3	命令の機能別一覧	32
2.6.4	命令の基本フォーマット	43
2.6.5	ビット操作命令使用上の注意	44

2.7	アドレッシングモードと実効アドレスの計算方法	45
2.7.1	アドレッシングモード	45
2.7.2	実効アドレスの計算方法	48
2.8	処理状態	52
2.8.1	概要	52
2.8.2	プログラム実行状態	52
2.8.3	例外処理状態	53
2.8.4	例外処理の動作	55
2.8.5	バス権解放状態	56
2.8.6	リセット状態	56
2.8.7	低消費電力状態	56
2.9	基本動作タイミング	57
2.9.1	概要	57
2.9.2	内蔵メモリアクセスタイミング	57
2.9.3	内蔵周辺モジュールアクセスタイミング	59
2.9.4	外部アドレス空間アクセスタイミング	60

2.1 概要

H8/300H CPUは、H8/300CPUの上位互換のアーキテクチャを持つ内部32ビット構成の高速CPUです。H8/300H CPUは、16ビット×16本の汎用レジスタを持ち、16Mバイトのリニアなアドレス空間を取り扱うことができ、リアルタイム制御に最適です。

2.1.1 特長

H8/300H CPUには、次の特長があります。

■ H8/300CPU上位互換

H8/300シリーズのオブジェクトプログラムを実行可能

■ 汎用レジスタ方式

16ビット×16本（8ビット×16本、32ビット×8本としても使用可能）

■ 62種類の基本命令

- ・ 8/16/32ビット転送、演算命令
- ・ 乗除算命令
- ・ 強力なビット操作命令

■ 8種類のアドレッシングモード

- ・ レジスタ直接（Rn）
- ・ レジスタ間接（@ERn）
- ・ ディスプレースメント付レジスタ間接（@（d:16, ERn）, @（d:24, ERn））
- ・ ポストインクリメント/プリデクリメントレジスタ間接（@ERn+/@-ERn）
- ・ 絶対アドレス（@aa:8, @aa:16, @aa:24）
- ・ イミディエイト（#xx:8, #xx:16, #xx:32）
- ・ プログラムカウンタ相対（@（d:8, PC）, @（d:16, PC））
- ・ メモリ間接（@@aa:8）

■ 16Mバイトのリニアアドレス空間

■ 高速動作

- ・ 頻出命令をすべて2～4ステートで実行
- ・ 最高動作周波数：16MHz
- ・ 8/16/32ビットレジスタ間加減算 125ns
- ・ 8×8ビットレジスタ間乗算 875ns
- ・ 16÷8ビットレジスタ間除算 875ns
- ・ 16×16ビットレジスタ間乗算 1.375μs
- ・ 32÷16ビットレジスタ間除算 1.375μs

■ 2種類のCPU動作モード

- ・ ノーマルモード（H8/3001では使用できません）
- ・ アドバンスモード

■ 低消費電力動作

S L E E P 命令により低消費電力状態に遷移

2.1.2 H 8 / 3 0 0 C P U と の 相 違 点

H 8 / 3 0 0 H C P U は、H 8 / 3 0 0 C P U に対して、次の点が強化、拡張されています。

■ 汎用レジスタを拡張

16ビット×8本の拡張レジスタを追加

■ アドレス空間を拡張

・アドバンスモードのとき、最大16Mバイトのアドレス空間を使用可能

・ノーマルモードのとき、H 8 / 3 0 0 C P U と 同 一 の 6 4 k バ イ ト の ア ド レ ス 空 間 を 使 用 可 能

■ アドレッシングモードを強化

16Mバイトのアドレス空間を有効に使用可能

■ 命令強化

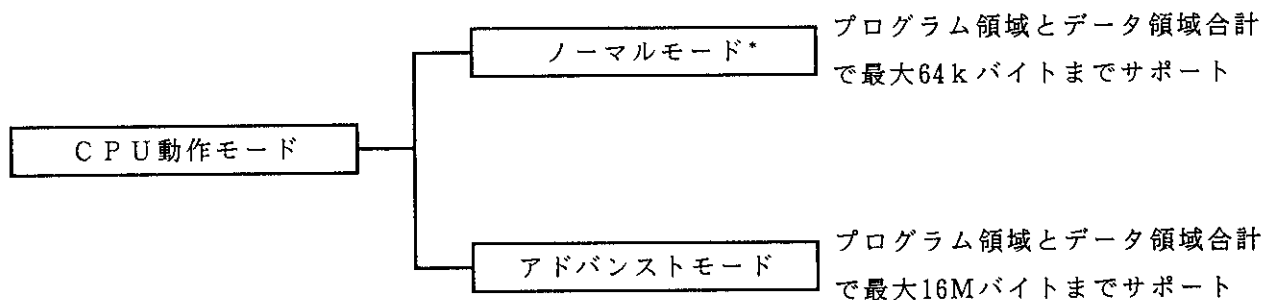
・32ビット転送、演算命令を追加

・符号付き乗除算命令などを追加

2.2 CPU動作モード

H8/300H CPUは、ノーマルモードおよびアドバンストモードの2つのCPU動作モードをもっています。サポートするアドレス空間は、ノーマルモードの場合最大64kバイト、アドバンストモードの場合最大16Mバイトとなります。

本LSIでは、アドバンストモードのみを使用できます。



【注】* ノーマルモードは、本LSIでは使用できません。

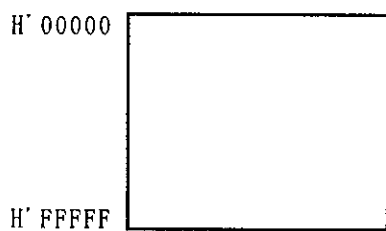
図2.1 CPU動作モード

2.3 アドレス空間

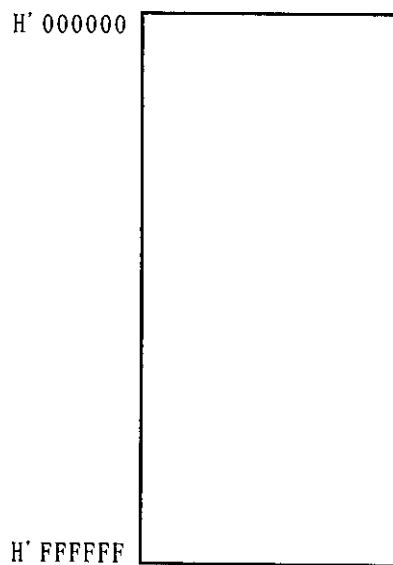
H8/300H CPUのアドレス空間は最大16Mバイトです。H8/3001ではMCU動作モードにより、アドレス空間は、1Mバイトモードと16Mバイトモードを選択できます。

本LSIのメモリマップの概略を図2.2に示します。詳細は「3.6 各動作モードのメモリマップ」を参照してください。

アドレス空間が1Mバイトモードの場合、実効アドレスの上位4ビットは無視され、20ビットのアドレスとなります。



(a) 1Mバイトモード



(b) 16Mバイトモード

図2.2 メモリマップ

2.4 レジスタ構成

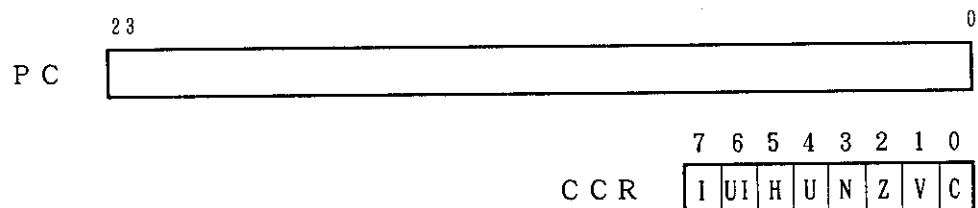
2.4.1 概要

H8/300H CPUの内部レジスタ構成を図2.3に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの2つに分類することができます。

汎用レジスタ (ERn)

	15	0 7	0 7	0
ER 0	E 0	R 0 H	R 0 L	
ER 1	E 1	R 1 H	R 1 L	
ER 2	E 2	R 2 H	R 2 L	
ER 3	E 3	R 3 H	R 3 L	
ER 4	E 4	R 4 H	R 4 L	
ER 5	E 5	R 5 H	R 5 L	
ER 6	E 6	R 6 H	R 6 L	
ER 7	E 7	(S P) R 7 H	R 7 L	

コントロールレジスタ (CR)



《記号説明》

- S P : スタックポインタ
- P C : プログラムカウンタ
- C C R : コンディションコードレジスタ
- I : 割込みマスクビット
- U I : ユーザビット/割込みマスクビット
- H : ハーフキャリフラグ
- U : ユーザビット
- N : ネガティブフラグ
- Z : ゼロフラグ
- V : オーバフローフラグ
- C : キャリフラグ

図2.3 CPU内部レジスタ構成

2.4.2 汎用レジスタ

H8/300H CPUは32ビット長の汎用レジスタ8本を持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタとしてもデータレジスタとしても使用することができます。

データレジスタとしては32ビット、16ビットまたは8ビットレジスタとして使用できます。

アドレスレジスタおよび32ビットレジスタとしては、一括して汎用レジスタER (ER0~ER7)として使用します。

16ビットレジスタとしては、汎用レジスタERを分割して汎用レジスタE (E0~E7)、汎用レジスタR (R0~R7)として使用します。これらは同等の機能を持っており、16ビットレジスタを最大16本を使用することができます。なお、汎用レジスタE (E0~E7)を、特に拡張レジスタと呼ぶ場合があります。

8ビットレジスタとしては、汎用レジスタRを分割して汎用レジスタRH (RH0~RH7)、汎用レジスタRL (RL0~RL7)として使用します。これらは同等の機能を持っており、8ビットレジスタを最大16本を使用することができます。

汎用レジスタの使用方法を図2.4に示します。各レジスタを独立に使用方法を選択することができます。

- アドレスレジスタ
- 32ビットレジスタ

• 16ビットレジスタ

• 8ビットレジスタ

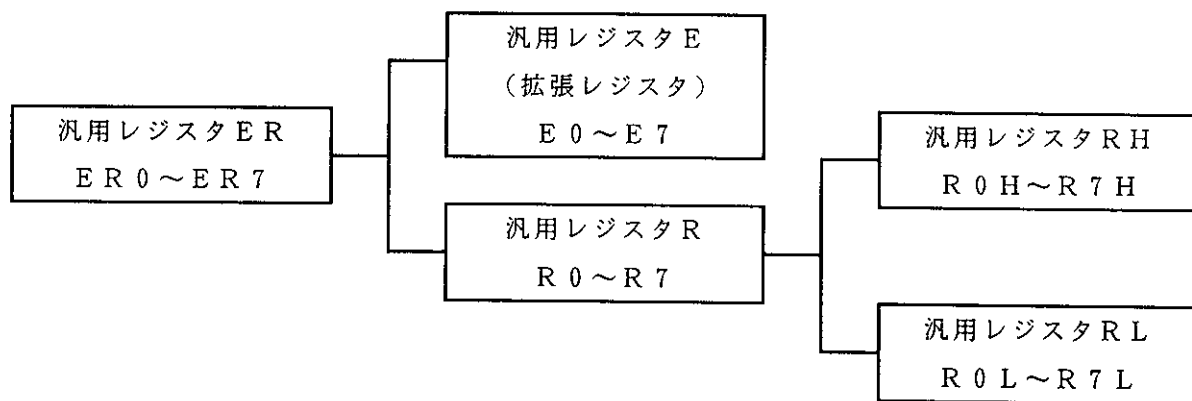


図2.4 汎用レジスタの使用方法

汎用レジスタER7には、汎用レジスタとしての機能に加えて、スタックポインタ (SP)としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図2.5に示します。

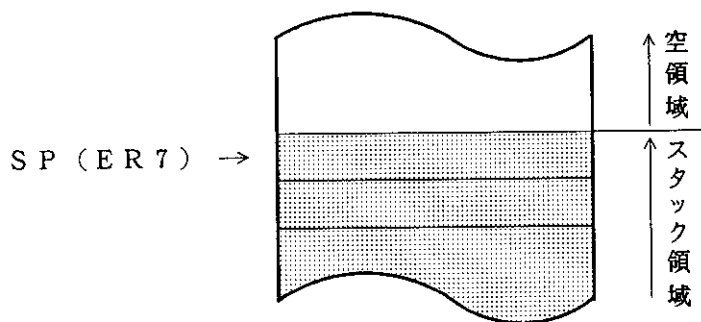


図 2.5 スタックの状態

2.4.3 コントロールレジスタ

コントロールレジスタには、24ビットのプログラムカウンタ（PC）と8ビットのコンディションコードレジスタ（CCR）があります。

(1) プログラムカウンタ（PC）

24ビットのカウンタで、CPUが次に実行する命令のアドレスを示しています。CPUの命令は、すべて2バイト（ワード）を単位としているため、最下位ビットは無効です（命令コードのリード時には最下位ビットは“0”とみなされます）。

(2) コンディションコードレジスタ（CCR）

8ビットのレジスタで、CPUの内部状態を示しています。割込みマスクビット（I）とハーフキャリ（H）、ネガティブ（N）、ゼロ（Z）、オーバフロー（V）、キャリ（C）の各フラグを含む8ビットで構成されています。

ビット7：割込みマスクビット（I）

本ビットが“1”にセットされると、割込みがマスクされます。ただし、NMIはIビットに関係なく受け付けられます。例外処理の実行が開始されたときに“1”にセットされます。

ビット6：ユーザビット／割込みマスクビット（UI）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。割込みマスクビットとしても使用可能です。詳細は「第5章 割込みコントローラ」を参照してください。

ビット5：ハーフキャリフラグ（H）

ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B命令の実行により、ビット3にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。ADD.W、SUB.W、CMP.W、NEG.W命令の実行によりビット11にキャリまたはボローが生じたとき、またはADD.L、SUB.L、CMP.L、NEG.L命令の実行により

ビット27にキャリまたはボローが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。

ビット4：ユーザビット（U）

ソフトウェア（LDC、STC、ANDC、ORC、XORC命令）でリード／ライトできます。

ビット3：ネガティブフラグ（N）

データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。

ビット2：ゼロフラグ（Z）

データがゼロのとき“1”にセットされ、ゼロ以外のとき“0”にクリアされます。

ビット1：オーバフローフラグ（V）

算術演算命令の実行により、オーバフローが生じたとき“1”にセットされます。それ以外のとき“0”にクリアされます。

ビット0：キャリフラグ（C）

演算の実行により、キャリが生じたとき“1”にセットされ、生じなかったとき“0”にクリアされます。キャリには次の種類があります。

- (a) 加算結果のキャリ
- (b) 減算結果のボロー
- (c) シフト／ローテートのキャリ

また、キャリフラグには、ビットアキュムレータ機能があり、ビット操作命令で使用されます。

なお、命令によってはフラグが変化しない場合があります。CCRは、LDC、STC、ANDC、ORC、XORC命令で操作することができます。また、N、Z、V、Cの各フラグは、条件分岐命令（Bcc）で使用されます。

各命令ごとのフラグの変化については、「付録A.1 命令一覧」を参照してください。

またI、UIビットについては、「第5章 割込みコントローラ」を参照してください。

2.4.4 CPU内部レジスタの初期値

リセット例外処理によって、CPU内部レジスタのうち、PCはベクタからロードすることにより初期化され、CCRのIビットは“1”にセットされますが、汎用レジスタとCCRの他のビットは初期化されません。SP（ER7）の初期値も不定です。したがって、リセット直後に、MOV.L命令を使用してSP（ER7）の初期化を行ってください。

2.5 データ構成

H8/300H CPUは、1ビット、4ビットBCD、8ビット（バイト）、16ビット（ワード）、および32ビット（ロングワード）のデータを扱うことができます。

1ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第nビット（ $n=0, 1, 2, \dots, 7$ ）という形式でアクセスされます。

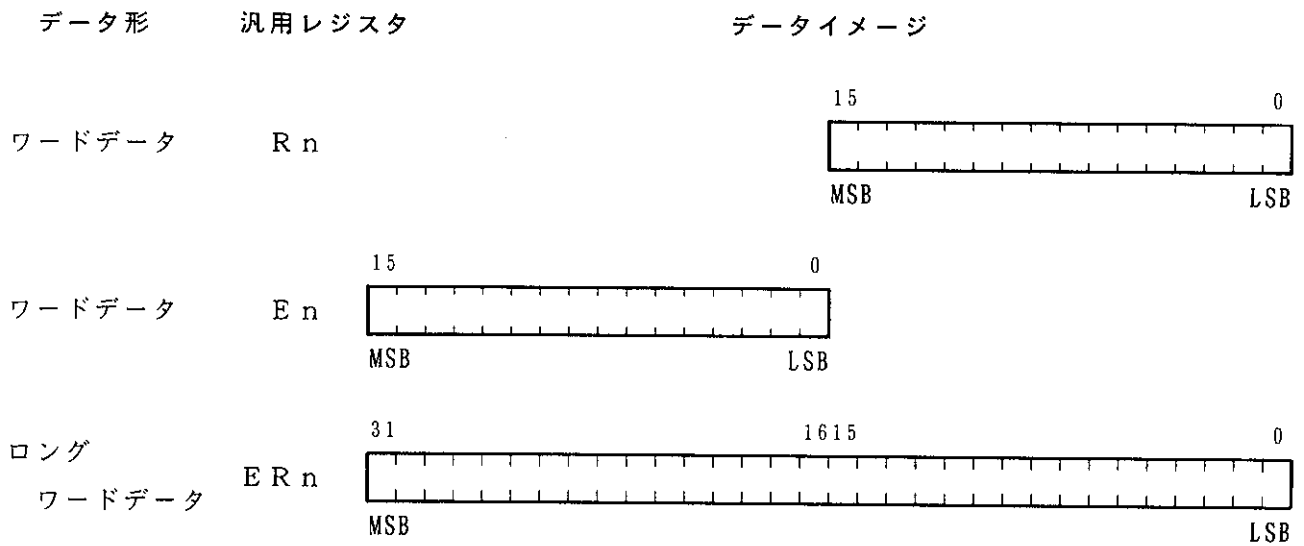
なお、DAAおよびDASの10進補正命令では、バイトデータは2桁の4ビットBCDデータとなります。

2.5.1 汎用レジスタのデータ構成

汎用レジスタのデータ構成を図2.6に示します。

データ形	汎用レジスタ	データイメージ
1ビットデータ	R n H	
1ビットデータ	R n L	
4ビット BCDデータ	R n H	
4ビット BCDデータ	R n L	
バイトデータ	R n H	
バイトデータ	R n L	

図2.6 汎用レジスタのデータ構成(1)



《記号説明》

- $E R_n$: 汎用レジスタ
- E_n : 汎用レジスタ E
- R_n : 汎用レジスタ R
- $R_n H$: 汎用レジスタ R H
- $R_n L$: 汎用レジスタ R L
- MSB : 最上位ビット
- LSB : 最下位ビット

図 2. 7 汎用レジスタのデータ構成(2)

2.5.2 メモリ上でのデータ構成

メモリ上でのデータ構成を図2.8に示します。

H8/300H CPUは、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、偶数番地から始まるデータに限定されます。奇数番地から始まるワードデータ/ロングワードデータをアクセスした場合、アドレスの最下位ビットは“0”とみなされ、1番地前から始まるデータをアクセスします。この場合、アドレスエラーは発生しません。命令コードについても同様です。

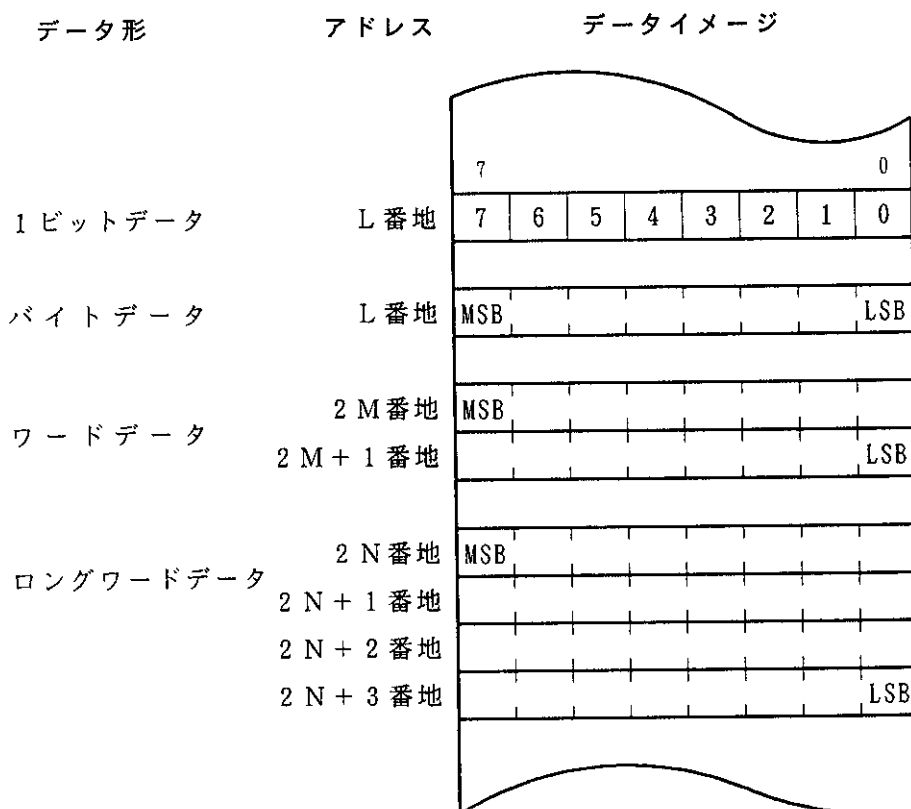


図2.8 メモリ上でのデータ構成

なお、ER7 (SP) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

2.6 命令セット

2.6.1 命令セットの概要

H8/300H CPUの命令は合計62種類あり、各命令の機能によって、表2.1に示すように分類されます。

表2.1 命令の分類

機能	命令	種類
データ転送命令	MOV、PUSH* ¹ 、POP* ¹ 、MOVTPPE* ² 、MOVFPPE* ²	3
算術演算命令	ADD、SUB、ADDX、SUBX、INC、DEC、 ADDS、SUBS、DAA、DAS、MULXU、 MULXS、DIVXU、DIVXS、CMP、NEG、 EXTS、EXTU	18
論理演算命令	AND、OR、XOR、NOT	4
シフト命令	SHAL、SHAR、SHLL、SHLR、 ROTL、ROTR、ROTXL、ROTXR	8
ビット操作命令	BSET、BCLR、BNOT、BTST、BAND、 BIAND、BOR、BIOR、BXOR、BIXOR、BLD、 BILD、BST、BIST	14
分岐命令	Bcc* ³ 、JMP、BSR、JSR、RTS	5
システム制御命令	TRAPA、RTE、SLEEP、LDC、STC、ANDC、 ORC、XORC、NOP	9
ブロック転送命令	EEMOV	1

合計62種類

- 【注】*¹ POP.W Rn、PUSH.W Rnは、それぞれMOV.W @SP+, Rn、
MOV.W Rn, @-SPと同一です。
また、POP.L ERn、PUSH.L ERnはそれぞれMOV.L @SP+, Rn、
MOV.L Rn, @-SPと同一です。
- *² 本LSIでは使用できません。
- *³ Bccは条件分岐命令の総称です。

2.6.2 命令とアドレッシングモードの組み合わせ

H8/300H CPUで使用可能な命令を表2.2に示します。

表 2.2 命令とアドレッシングモードの組み合わせ

機能	命令	アドレッシングモード													
		#xx	Rn	@ERn	@(d:16, ERn)	@(d:24, ERn)	@ERnt/ @-ERn	@aa:8	@aa:16	@aa:24	@(d:8, PC)	@(d:16, PC)	@aa:8		
データ転送命令	MOV	-	-	-	-	-	-	-	-	-	-	-	-	-	
	POP, PUSH	-	-	-	-	-	-	-	-	-	-	-	-	-	
	MOVFP, MOVFPPE	-	-	-	-	-	-	-	-	-	-	-	-	-	
	MOVTPPE	-	-	-	-	-	-	-	-	-	-	-	-	-	
算術演算命令	ADD, CMP	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	
	SUB	WL	BWL	-	-	-	-	-	-	-	-	-	-	-	
	ADDX, SUBX	B	B	-	-	-	-	-	-	-	-	-	-	-	
	ADDS, SUBS	-	L	-	-	-	-	-	-	-	-	-	-	-	
	INC, DEC	-	BWL	-	-	-	-	-	-	-	-	-	-	-	
	DAA, DAS	-	B	-	-	-	-	-	-	-	-	-	-	-	
	MULXU, MULXS, DIVXU, DIVXS	-	BW	-	-	-	-	-	-	-	-	-	-	-	
	NEG	-	BWL	-	-	-	-	-	-	-	-	-	-	-	
	XTU, EXT	-	WL	-	-	-	-	-	-	-	-	-	-	-	
	AND, OR, XOR	BWL	BWL	-	-	-	-	-	-	-	-	-	-	-	
NOT	-	BWL	-	-	-	-	-	-	-	-	-	-	-		
シフト命令		-	BWL	-	-	-	-	-	-	-	-	-	-	-	
ビット操作命令		-	B	B	-	-	-	-	-	-	-	-	-	-	
分岐命令	Bcc, BSR	-	-	-	-	-	-	-	-	-	-	-	-	-	
	JMP, JSR	-	-	O	-	-	-	-	-	-	-	-	-	-	
	RTS	-	-	-	-	-	-	-	-	-	-	-	-	-	
	TRAPA	-	-	-	-	-	-	-	-	-	-	-	-	-	
システム制御命令	RTE	-	-	-	-	-	-	-	-	-	-	-	-	-	
	SLEEP	-	-	-	-	-	-	-	-	-	-	-	-	-	
	LDC	B	B	W	W	W	W	W	W	W	W	W	W	W	
	STC	-	B	W	W	W	W	W	W	W	W	W	W	W	
	ANDC, ORC, XORC	B	-	-	-	-	-	-	-	-	-	-	-	-	
	NOP	-	-	-	-	-	-	-	-	-	-	-	-	-	
アロック転送命令		-	-	-	-	-	-	-	-	-	-	-	-	BW	

《記号説明》

B : バイト、W : ワード、L : ロングワード

2.6.3 命令の機能別一覧

各命令の機能について表2.3～表2.10に示します。各表で使用しているオペレーションの記号の意味は次のとおりです。

《オペレーションの記号》

R d	汎用レジスタ（デスティネーション側）*
R s	汎用レジスタ（ソース側）*
R n	汎用レジスタ*
E R n	汎用レジスタ（32ビットレジスタ／アドレスレジスタ）
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
C C R	コンディションコードレジスタ
N	C C RのN（ネガティブ）フラグ
Z	C C RのZ（ゼロ）フラグ
V	C C RのV（オーバフロー）フラグ
C	C C RのC（キャリ）フラグ
P C	プログラムカウンタ
S P	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレイースメント
+	加算
-	減算
×	乗算
÷	除算
^	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
: 3 / : 8 / : 16 / : 24	3 / 8 / 16 / 24ビット長

【注】* 汎用レジスタは、8ビット(R 0 H～R 7 H、R 0 L～R 7 L)、16ビット(R 0～R 7、E 0～E 7)、または32ビットレジスタ／アドレスレジスタ(E R 0～E R 7)です。

表 2.3 データ転送命令

命 令	サイズ*	機 能
MOV	B/W/L	(EAs) → Rd、Rs → (EAd) 汎用レジスタと汎用レジスタまたは汎用レジスタとメモリ間でデータ転送します。また、イミディエイトデータを汎用レジスタに転送します。
MOVFPE	B	(EAs) → Rd 本LSIでは使用できません。
MOVTPE	B	Rs → (EAs) 本LSIでは使用できません。
POP	W/L	@SP+ → Rn スタックから汎用レジスタへデータを復帰します。 POP.W RnはMOV.W @SP+, Rnと、 またPOP.L ERnはMOV.L @SP+, ERnと 同一です。
PUSH	W/L	Rn → @-SP 汎用レジスタの内容をスタックに退避します。 PUSH.W RnはMOV.W Rn, @-SPと、 またPUSH.L ERnはMOV.L ERn, @-SP と同一です。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

L : ロングワード

表 2.4 算術演算命令(1)

命 令	サイズ*	機 能
ADD SUB	B/W/L	$Rd \pm Rs \longrightarrow Rd$ 、 $Rd \pm \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の加減算を行います（バイトサイズでの汎用レジスタとイミディエイトデータ間の減算はできません。SUBX命令またはADD命令を使用してください）。
ADDX SUBX	B	$Rd \pm Rs \pm C \longrightarrow Rd$ 、 $Rd \pm \#IMM \pm C \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間のキャリ付き加減算を行います。
INC DEC	B/W/L	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 汎用レジスタに1または2を加減算します（バイトサイズの演算では1の加減算のみ可能です）。
ADDS SUBS	L	$Rd \pm 1 \longrightarrow Rd$ 、 $Rd \pm 2 \longrightarrow Rd$ 、 $Rd \pm 4 \longrightarrow Rd$ 32ビットレジスタに1、2または4を加減算します。
DAA DAS	B	Rd （10進補正） $\longrightarrow Rd$ 汎用レジスタ上の加減算結果をCCRを参照して4ビットBCDデータに補正します。
MULXU	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号なし乗算を行います。 8ビット×8ビット→16ビット、 16ビット×16ビット→32ビットの乗算が可能です。
MULXS	B/W	$Rd \times Rs \longrightarrow Rd$ 汎用レジスタと汎用レジスタ間の符号付き乗算を行います。 8ビット×8ビット→16ビット、 16ビット×16ビット→32ビットの乗算が可能です。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2. 4 算術演算命令(2)

命 令	サイズ*	機 能
D I V X U	B / W	$R d \div R s \longrightarrow R d$ 汎用レジスタと汎用レジスタ間の符号なし除算を行います。 16ビット÷8ビット→商8ビット 余り8ビット、 32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
D I V X S	B / W	$R d \div R s \longrightarrow R d$ 汎用レジスタと汎用レジスタ間の符号付き除算を行います。 16ビット÷8ビット→商8ビット 余り8ビット、 32ビット÷16ビット→商16ビット 余り16ビットの除算が可能です。
C M P	B / W / L	$R d - R s$ 、 $R d - \#IMM$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の比較を行い、その結果をCCRに反映します。
N E G	B / W / L	$0 - R d \longrightarrow R d$ 汎用レジスタの内容の2の補数（算術的補数）をとります。
E X T S	W / L	$R d$ （符号拡張） $\longrightarrow R d$ 16ビットレジスタの下位8ビットをワードサイズに符号拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズに符号拡張します。
E X T U	W / L	$R d$ （ゼロ拡張） $\longrightarrow R d$ 16ビットレジスタの下位8ビットをワードサイズにゼロ拡張します。または、32ビットレジスタの下位16ビットをロングワードサイズにゼロ拡張します。

【注】* サイズはオペランドサイズを示します。

- B : バイト
- W : ワード
- L : ロングワード

表 2.5 論理演算命令

命 令	サイズ*	機 能
AND	B/W/L	$Rd \wedge Rs \longrightarrow Rd$ 、 $Rd \wedge \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理積をとります。
OR	B/W/L	$Rd \vee Rs \longrightarrow Rd$ 、 $Rd \vee \#IMM \longrightarrow Rd$ 汎用レジスタと汎用レジスタ、または汎用レジスタとイミディエイトデータ間の論理和をとります。
XOR	B/W/L	$Rd \oplus Rs \longrightarrow Rd$ 、 $Rd \oplus \#IMM \longrightarrow Rd$ 汎用レジスタ間の排他的論理和、または汎用レジスタとイミディエイトデータの排他的論理和をとります。
NOT	B/W/L	$\sim Rd \longrightarrow Rd$ 汎用レジスタの内容の1の補数（論理的補数）をとります。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.6 シフト命令

命 令	サイズ*	機 能
SHAL SHAR	B/W/L	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を算術的にシフトします。
SHLL SHLR	B/W/L	Rd （シフト処理） $\longrightarrow Rd$ 汎用レジスタの内容を論理的にシフトします。
ROTL ROTR	B/W/L	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をローテートします。
ROTXL ROTXR	B/W/L	Rd （ローテート処理） $\longrightarrow Rd$ 汎用レジスタの内容をキャリフラグを含めてローテートします。

【注】* サイズはオペランドサイズを示します。

B：バイト

W：ワード

L：ロングワード

表 2.7 ビット操作命令(1)

命 令	サイズ*	機 能
B S E T	B	$1 \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“1”にセットします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
B C L R	B	$0 \longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを“0”にクリアします。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
B N O T	B	$\sim (\text{<ビット番号> of <E A d>})$ $\longrightarrow (\text{<ビット番号> of <E A d>})$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
B T S T	B	$\sim (\text{<ビット番号> of <E A d>}) \longrightarrow Z$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをテストし、ゼロフラグに反映します。ビット番号は、3ビットのイミディエイトデータまたは汎用レジスタの内容下位3ビットで指定します。
B A N D	B	$C \wedge (\text{<ビット番号> of <E A d>}) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理積をとり、キャリフラグに結果を格納します。
B I A N D	B	$C \wedge [\sim (\text{<ビット番号> of <E A d>})] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理積をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定します。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令(2)

命 令	サイズ*	機 能
B O R	B	$C \vee (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの論理和をとり、キャリフラグに結果を格納します。
B I O R	B	$C \vee [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定します。
B X O R	B	$C \oplus (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットとキャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。
B I X O R	B	$C \oplus [\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>)] \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、キャリフラグに結果を格納します。 ビット番号は、3ビットのイミディエイトデータで指定します。
B L D	B	$(<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットをキャリフラグに転送します。
B I L D	B	$\sim (<\text{ビット番号}> \text{ of } <\text{E A d}>) \longrightarrow C$ 汎用レジスタまたはメモリのオペランドの指定された1ビットを反転し、キャリフラグに転送します。 ビット番号は、3ビットのイミディエイトデータで指定します。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2.7 ビット操作命令(3)

命 令	サイズ*	機 能
B S T	B	C → (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットにキャリフラグの内容を転送します。
B I S T	B	C → ~ (<ビット番号> of <E A d>) 汎用レジスタまたはメモリのオペランドの指定された1ビットに、反転されたキャリフラグの内容を転送します。 ビット番号は、3ビットのイミディエイトデータで指定されます。

【注】* サイズはオペランドサイズを示します。

B : バイト

表 2.8 分岐命令

命 令	サイズ	機 能																																																			
B c c	-	指定した条件が成立しているとき、指定されたアドレスへ分岐します。分岐条件を下表に示します。																																																			
		<table border="1"> <thead> <tr> <th>ニ-モニツク</th> <th>説 明</th> <th>分 岐 条 件</th> </tr> </thead> <tbody> <tr> <td>BRA (BT)</td> <td>Always (True)</td> <td>Always</td> </tr> <tr> <td>BRN (BF)</td> <td>Never (False)</td> <td>Never</td> </tr> <tr> <td>BHI</td> <td>High</td> <td>$C \vee Z = 0$</td> </tr> <tr> <td>BLS</td> <td>Low or Same</td> <td>$C \vee Z = 1$</td> </tr> <tr> <td>Bcc (BHS)</td> <td>Carry Clear (High or Same)</td> <td>$C = 0$</td> </tr> <tr> <td>BCS (BLO)</td> <td>Carry Set (LOW)</td> <td>$C = 1$</td> </tr> <tr> <td>BNE</td> <td>Not Equal</td> <td>$Z = 0$</td> </tr> <tr> <td>BEQ</td> <td>Equal</td> <td>$Z = 1$</td> </tr> <tr> <td>BVC</td> <td>oVerflow Clear</td> <td>$V = 0$</td> </tr> <tr> <td>BVS</td> <td>oVerflow Set</td> <td>$V = 1$</td> </tr> <tr> <td>BPL</td> <td>PLus</td> <td>$N = 0$</td> </tr> <tr> <td>BMI</td> <td>Minus</td> <td>$N = 1$</td> </tr> <tr> <td>BGE</td> <td>Greater or Equal</td> <td>$N \oplus V = 0$</td> </tr> <tr> <td>BLT</td> <td>Less Than</td> <td>$N \oplus V = 1$</td> </tr> <tr> <td>BGT</td> <td>Greater Than</td> <td>$Z \vee (N \oplus V) = 0$</td> </tr> <tr> <td>BLE</td> <td>Less or Equal</td> <td>$Z \vee (N \oplus V) = 1$</td> </tr> </tbody> </table>	ニ-モニツク	説 明	分 岐 条 件	BRA (BT)	Always (True)	Always	BRN (BF)	Never (False)	Never	BHI	High	$C \vee Z = 0$	BLS	Low or Same	$C \vee Z = 1$	Bcc (BHS)	Carry Clear (High or Same)	$C = 0$	BCS (BLO)	Carry Set (LOW)	$C = 1$	BNE	Not Equal	$Z = 0$	BEQ	Equal	$Z = 1$	BVC	oVerflow Clear	$V = 0$	BVS	oVerflow Set	$V = 1$	BPL	PLus	$N = 0$	BMI	Minus	$N = 1$	BGE	Greater or Equal	$N \oplus V = 0$	BLT	Less Than	$N \oplus V = 1$	BGT	Greater Than	$Z \vee (N \oplus V) = 0$	BLE	Less or Equal	$Z \vee (N \oplus V) = 1$
		ニ-モニツク	説 明	分 岐 条 件																																																	
		BRA (BT)	Always (True)	Always																																																	
		BRN (BF)	Never (False)	Never																																																	
		BHI	High	$C \vee Z = 0$																																																	
		BLS	Low or Same	$C \vee Z = 1$																																																	
		Bcc (BHS)	Carry Clear (High or Same)	$C = 0$																																																	
		BCS (BLO)	Carry Set (LOW)	$C = 1$																																																	
		BNE	Not Equal	$Z = 0$																																																	
		BEQ	Equal	$Z = 1$																																																	
		BVC	oVerflow Clear	$V = 0$																																																	
		BVS	oVerflow Set	$V = 1$																																																	
		BPL	PLus	$N = 0$																																																	
		BMI	Minus	$N = 1$																																																	
		BGE	Greater or Equal	$N \oplus V = 0$																																																	
		BLT	Less Than	$N \oplus V = 1$																																																	
BGT	Greater Than	$Z \vee (N \oplus V) = 0$																																																			
BLE	Less or Equal	$Z \vee (N \oplus V) = 1$																																																			
J M P	-	指定されたアドレスへ無条件に分岐します。																																																			
B S R	-	指定されたアドレスへサブルーチン分岐します。																																																			
J S R	-	指定されたアドレスへサブルーチン分岐します。																																																			
R T S	-	サブルーチンから復帰します。																																																			

表 2.9 システム制御命令

命 令	サイズ*	機 能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	(EAs) → CCR ソースオペランドをCCRに転送します。CCRはバイトサイズですが、メモリからの転送のときデータのリードはワードサイズで行われます。
STC	B/W	CCR → (EAd) CCRの内容をデスティネーションのロケーションに転送します。CCRはバイトサイズですが、メモリへの転送のときデータのライトはワードサイズで行われます。
ANDC	B	CCR ^ #IMM → CCR CCRとイミディエイトデータの論理積をとります。
ORC	B	CCR v #IMM → CCR CCRとイミディエイトデータの論理和をとります。
XORC	B	CCR ⊕ #IMM → CCR CCRとイミディエイトデータの排他的論理和をとります。
NOP	—	PC + 2 → PC PCのインクリメントだけを行います。

【注】* サイズはオペランドサイズを示します。

B : バイト

W : ワード

表2.10 ブロック転送命令

命 令	サイズ	機 能
E E P M O V . B	-	<pre> if R 4 L ≠ 0 then Repeat @ E R 5 + → @ E R 6 + , R 4 L - 1 → R 4 L Until R 4 L = 0 else next; </pre>
E E P M O V . W	-	<pre> if R 4 ≠ 0 then Repeat @ E R 5 + → @ E R 6 + , R 4 - 1 → R 4 Until R 4 = 0 else next; </pre> <p>ブロック転送命令です。E R 5 で示されるアドレスから始まり、R 4 L または R 4 で指定されるバイト数のデータを、E R 6 で示されるアドレスのロケーションへ転送します。転送終了後、次の命令を実行します。</p>

2.6.4 命令の基本フォーマット

H8/300H CPUの命令は、2バイト（ワード）を単位にしています。各命令はオペレーションフィールド（OP）、レジスタフィールド（r）、EA拡張部（EA）およびコンディションフィールド（cc）から構成されています。

(1) オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭4ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

(2) レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき3ビット、データレジスタのとき3ビットまたは4ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

(3) EA拡張部

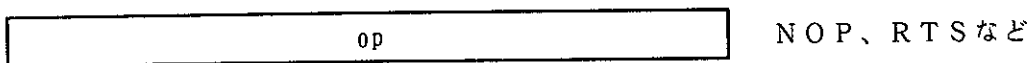
イミディエイトデータ、絶対アドレスまたはディスプレイメントを指定します。8ビット、16ビット、32ビットです。24ビットアドレスおよびディスプレイメントは上位8ビットをすべて“0”（H'00）とした32ビットデータとして扱われます。

(4) コンディションフィールド

Bcc命令の分岐条件を指定します。

図2.9に命令フォーマットの例を示します。

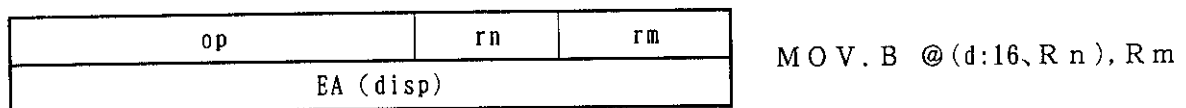
① オペレーションフィールドのみ



② オペレーションフィールドとレジスタフィールド



③ オペレーションフィールド、レジスタフィールドおよびEA拡張部



④ オペレーションフィールド、EA拡張部およびコンディションフィールド



図2.9 命令フォーマット

2.6.5 ビット操作命令使用上の注意

BSET、BCLR、BNOT、BST、BISTの各命令は、バイト単位でデータをリードし、ビット操作後に再びバイト単位でデータをライトします。したがって、ライト専用ビットを含むレジスタ、またはポートに対してこれらの命令を使用する場合には注意が必要です。

また、内部I/Oレジスタのフラグを“0”にクリアするために、BCLR命令を使用することができます。この場合、割込み処理ルーチンなどで当該フラグが“1”にセットされていることが明らかであれば、事前に当該フラグをリードする必要はありません。

2.7 アドレッシングモードと実効アドレスの計算方法

2.7.1 アドレッシングモード

H8/300H CPUは、表2.11に示すように、8種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

演算命令では、レジスタ直接、およびイミディエイトが使用できます。

転送命令では、プログラムカウンタ相対とメモリ間接を除くすべてのアドレッシングモードが使用できます。

また、ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレス(@aa:8)が使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接(BSET、BCLR、BNOT、BTSTの各命令)、およびイミディエイト(3ビット)が独立して使用できます。

表2.11 アドレッシングモード一覧表

No.	アドレッシングモード	記号
①	レジスタ直接	Rn
②	レジスタ間接	@ERn
③	ディスプレイースメント付きレジスタ間接	@(d:16, ERn) / @(d:24, ERn)
④	ポストインクリメントレジスタ間接	@ERn +
	プリデクリメントレジスタ間接	@-ERn
⑤	絶対アドレス	@aa:8 / @aa:16 / @aa:24
⑥	イミディエイト	#xx:8 / #xx:16 / #xx:32
⑦	プログラムカウンタ相対	@(d:8, PC) / @(d:16, PC)
⑧	メモリ間接	@@aa:8

① レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ(8ビット、16ビットまたは32ビット)がオペランドとなります。

8ビットレジスタとしてはR0H~R7H、R0L~R7Lを指定可能です。

16ビットレジスタとしてはR0~R7、E0~E7を指定可能です。

32ビットレジスタとしてはER0~ER7を指定可能です。

② レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ(ERn)の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

③ ディ스플레이ースメント付きレジスタ間接 @(d:16, ERn) / @(d:24, ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ(ERn)の内容に、命令コード中に含まれる16ビットディスプレイースメントまたは24ビットディスプレイースメントを加算し

た内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。加算に際して、16ビットディスプレイメントは符号拡張されます。

④ ポストインクリメントレジスタ間接 @ERn+ / プリデクリメントレジスタ間接 @-ERn

- ・ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容の下位24ビットをアドレスとしてメモリ上のオペランドを指定します。

その後、アドレスレジスタの内容 (32ビット) に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ加算されます。ワードサイズ / ロングワードサイズ のとき、レジスタの内容が偶数となるようにしてください。

- ・プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から 1、2 または 4 を減算した内容の下位24ビットをアドレスとして、メモリ上のオペランドを指定します。

その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 がそれぞれ減算されます。ワードサイズ、ロングワードサイズ のとき、アドレスレジスタの内容が偶数となるようにしてください。

⑤ 絶対アドレス @aa:8 / @aa:16 / @aa:24

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは 8 ビット (@aa:8)、16 ビット (@aa:16)、または 24 ビット (@aa:24) です。

8 ビット絶対アドレスの場合、上位16ビットはすべて "1" (H' FFFF) となります。

16 ビット絶対アドレスの場合、上位 8 ビットは符号拡張されます。

24 ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

絶対アドレスのアクセス範囲を表2.12に示します。

表2.12 絶対アドレスのアクセス範囲

絶対アドレス	1Mバイトモード	16Mバイトモード
8ビット (@aa:8)	H' FFF00 ~ H' FFFFF (1048320 ~ 1048575)	H' FFFF00 ~ H' FFFFFF (16776960 ~ 16777215)
16ビット (@aa:16)	H' 00000 ~ H' 07FFF, H' F8000 ~ H' FFFFF (0 ~ 32767, 1015808 ~ 1048575)	H' 000000 ~ H' 007FFF, H' FF8000 ~ H' FFFFFF (0 ~ 32767, 16744448 ~ 16777215)
24ビット (@aa:24)	H' 00000 ~ H' FFFFF (0 ~ 1048575)	H' 000000 ~ H' FFFFFF (0 ~ 16777215)

⑥ イミディエイト #xx:8 / #xx:16 / #xx:32

命令コードの中に含まれる8ビット(#xx:8)、16ビット(#xx:16)、または32ビット(#xx:32)のデータを直接オペランドとして使用します。

なお、ADDS、SUBS、INC、DEC命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための3ビットのイミディエイトデータが、命令コード中に含まれる場合があります。また、TRAPA命令ではベクタアドレスを指定するための2ビットのイミディエイトデータが、命令コード中に含まれます。

⑦ プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)

Bcc、BSR命令で使用されます。

PCの内容で指定される24ビットのアドレスに、命令コード中に含まれる8ビット、または16ビットディスプレースメントを加算して、24ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは24ビットに符号拡張されます。また加算されるPCの内容は次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して-126~+128バイト(-63~+64ワード)または-32766~+32768バイト(-16383~+16384ワード)です。このとき、加算結果が偶数となるようにしてください。

⑧ メモリ間接 @@aa:8

JMP、JSR命令で使用されます。

命令コードの中に含まれる8ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。メモリ上のオペランドはロングワードサイズで指定します。このうち先頭1バイトは無視され、24ビット長の分岐アドレスを生成します。図2.10にメモリ間接による分岐アドレスの指定方法を示します。

8ビット絶対アドレスの上位のビットはすべて“0”(H'0000)となりますので、分岐アドレスを格納できるのは0~255(H'000000~H'0000FF)番地です。

ただし、この内の先頭領域は例外処理ベクタ領域と共通になっていますから注意してください。詳細は「第5章 割込みコントローラ」を参照してください。

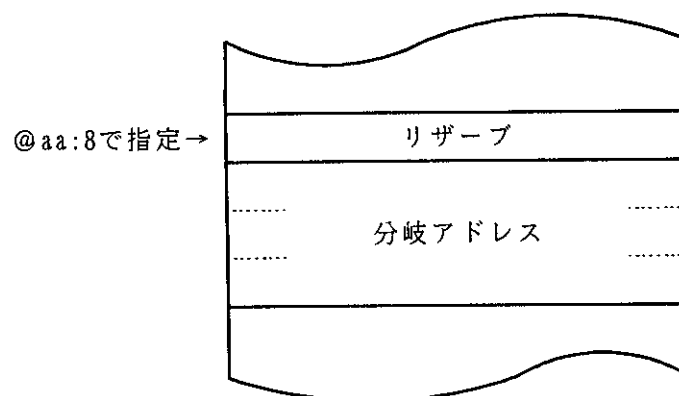


図2.10 メモリ間接による分岐アドレスの指定






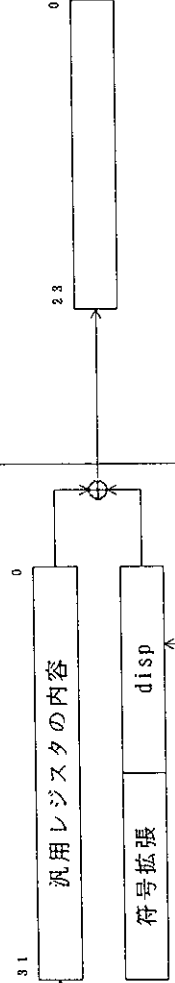


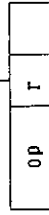
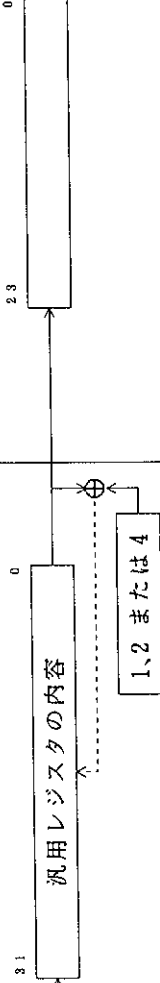
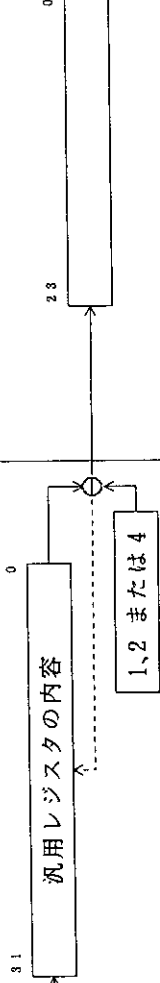


ワードサイズ、またはロングワードサイズでメモリを指定する場合、および分岐アドレスを指定する場合に奇数アドレスを指定すると、最下位ビットは“0”とみなされ、1番地前から始まるデータまたは命令コードをアクセスします（「2.5.2 メモリ上でのデータ構成」を参照してください）。

2.7.2 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス（EA：Effective Address）の計算方法を表2.13に示します。

1Mバイトモードの場合、計算結果の上位4ビットは無視され、20ビットの実効アドレスを生成します。

表2.13 実効アドレスの計算方法(1)

No	アドレスリングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
①	アドレスリングモード レジスタ直接 (Rn) 		オペランドは、汎用レジスタの内容です。
②	レジスタ間接 (@ERn) 	汎用レジスタの内容 	
③	ディスプレースメント付レジスタ間接 @(d:16, ERn) / @(d:24, ERn) 	汎用レジスタの内容 符号拡張 disp 	
④	ポストインクリメントレジスタ間接 / プリインクリメントレジスタ間接 ・ポストインクリメントレジスタ間接 @ERn +  ・プリインクリメントレジスタ間接 @-ERn 	汎用レジスタの内容 1,2 または 4  汎用レジスタの内容 1,2 または 4 	 

オペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 が加減算されます。

表2.13 実効アドレスの計算方法(2)









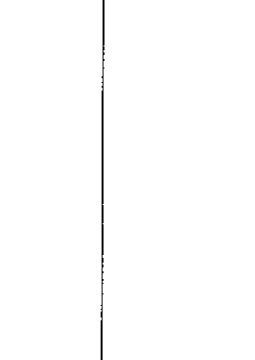
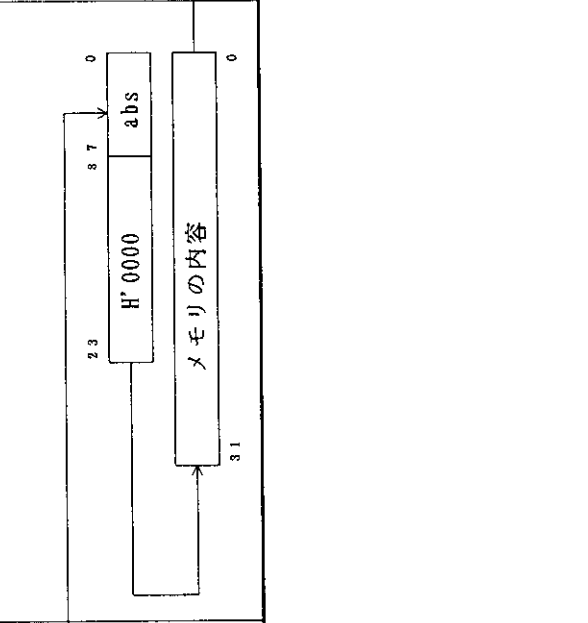
No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑤	絶対アドレス @aa:8		
	@aa:16		
	@aa:24		
⑥	イミディエイト #xx:8/#xx:16/#xx:32		オペランドはイミディエイトデータです。
⑦	プログラムカウンタ相対 @(d:8, PC) / @(d:16, PC)		

表2.13 実効アドレスの計算方法(3)

No	アドレッシングモード・命令フォーマット	実効アドレス計算方法	実効アドレス (EA)
⑧	メモリ間接@aa:8 <div style="border: 1px solid black; padding: 5px; width: fit-content; margin: 0 auto;"> <div style="display: flex; justify-content: space-between; width: 100%;"> OP abs </div> </div>	 <p>The diagram illustrates the address calculation process. It shows a box for the instruction format with 'OP' and 'abs' fields. An arrow from 'OP' points to a box containing 'H'0000' with bit positions 23, 8, and 0 indicated. Another arrow from 'abs' points to a box labeled 'メモリの内容' (Memory Content) with bit positions 31 and 0 indicated. A final arrow points from the combination of these two boxes to the final '実効アドレス (EA)' box, which has bit positions 23 and 0 indicated.</p>	

<記号説明>

- r、rm、rn : レジスタフィールド
- op : オペレーションフィールド
- disp : ディスプレースメント
- IMM : イミディエイトデータ
- abs : 絶対アドレス

2.8 処理状態

2.8.1 概要

H8/300H CPUの処理状態には、プログラム実行状態、例外処理状態、低消費電力状態、リセット状態、およびバス権解放状態の5種類があります。さらに、低消費電力状態には、スリープモード、ソフトウェアスタンバイモード、およびハードウェアスタンバイモードがあります。処理状態の分類を図2.11に、各状態間の遷移を図2.13に示します。

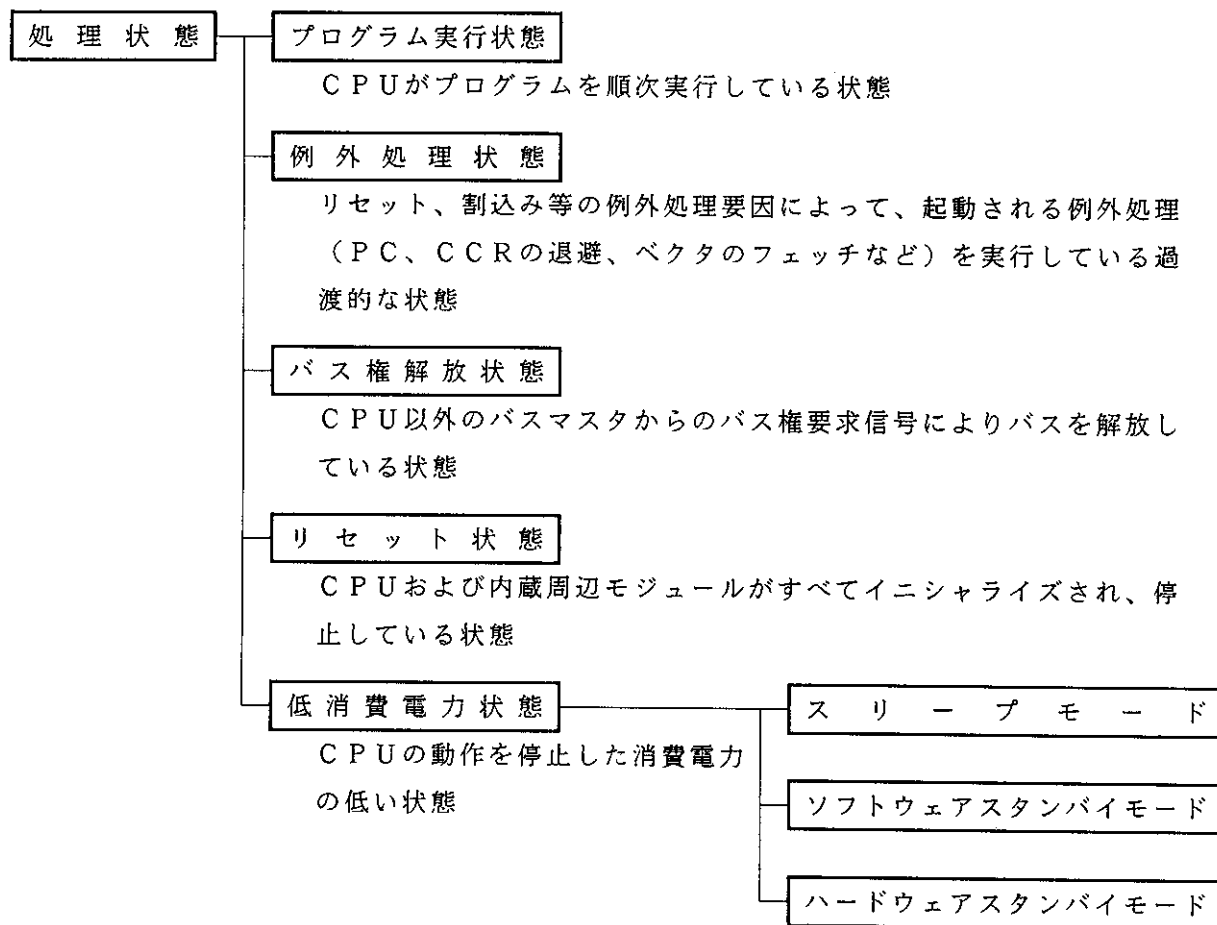


図2.11 処理状態の分類

2.8.2 プログラム実行状態

CPUがプログラムを順次実行している状態です。

2.8.3 例外処理状態

リセット、割込み、またはトラップ命令の例外処理要因によって起動され、CPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地に分岐する過度的な状態です。割込みおよびトラップ命令例外処理では、SP（ER7）を参照して、PCおよびCCRの退避を行います。

(1) 例外処理の種類と優先度

例外処理には、リセット、割込み、およびトラップ命令があります。表2.14に、例外処理の種類と優先度を示します。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表2.14 例外処理の種類と優先度

優先度	例外処理要因	例外処理検出タイミング	例外処理開始タイミング
高 ↑ 低	リセット	クロック同期	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに例外処理を開始します。
	割込み	命令の実行終了時 または例外処理終了時*	割込み要求が発生すると、命令の実行終了時または例外処理終了時に例外処理を開始します。
	トラップ命令	TRAPA命令実行時	トラップ（TRAPA）命令を実行すると、例外処理を開始します。

【注】* ANDC、ORC、XORC、LDC命令の実行終了時点、またはリセット例外処理の終了時点では、割込み要因の検出を行いません。

例外処理要因は、図2.12に示すように分類されます。

例外処理要因とベクタ番号ならびにベクタアドレスの詳細は「第4章 例外処理」および「第5章 割込みコントローラ」を参照してください。

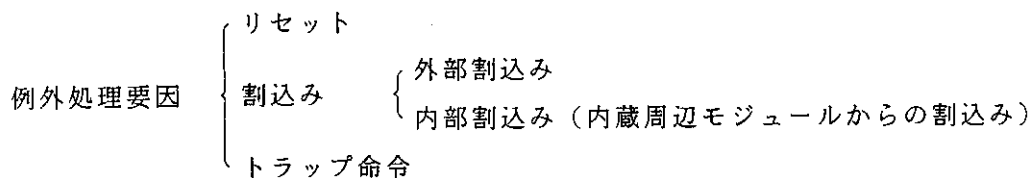
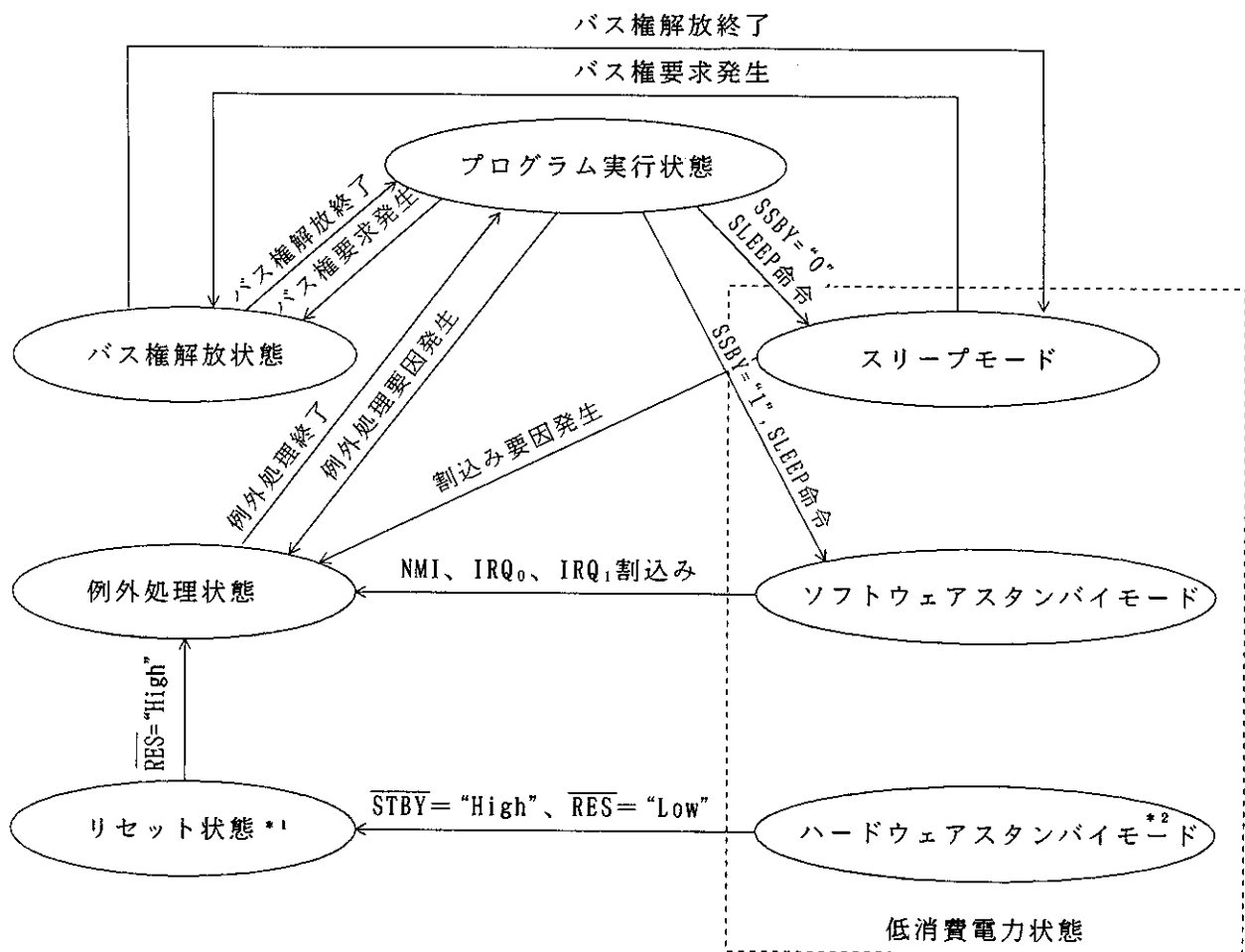


図2.12 例外処理要因の分類



- 【注】 * 1 ハードウェアスタンバイモードを除くすべての状態において、 \overline{RES} 端子が“Low”レベルになるとリセット状態に遷移します。
- * 2 すべての状態において \overline{STBY} 端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

図2.13 状態遷移図

2.8.4 例外処理の動作

(1) リセット例外処理の動作

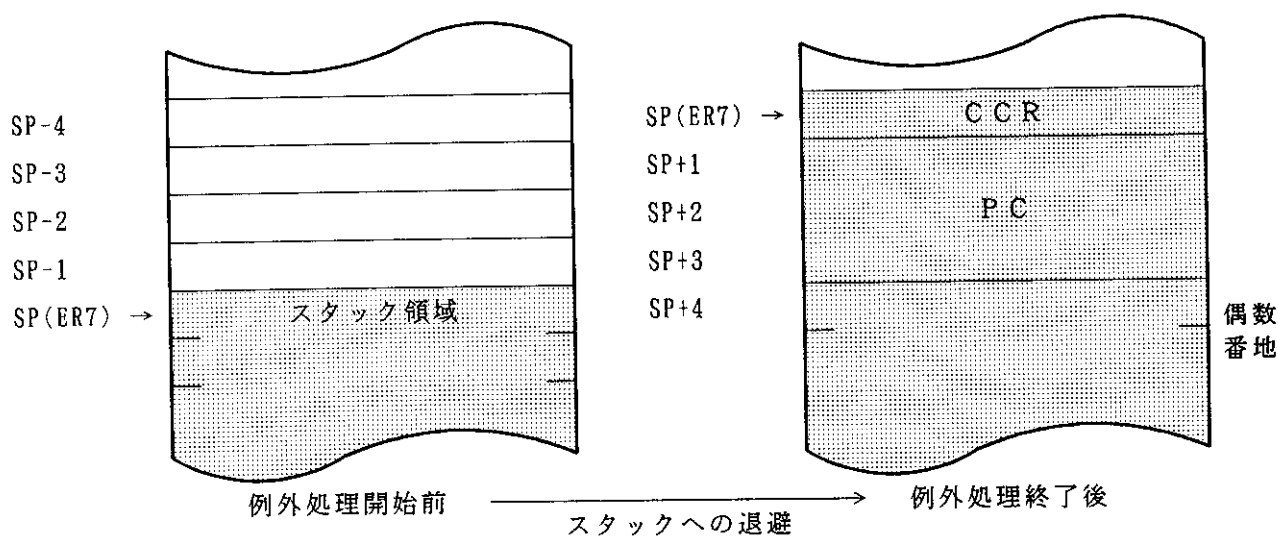
リセット例外処理は、最も優先度の高い例外処理です。RES端子を“Low”レベルにしてリセット状態にした後、RES端子を“High”レベルにすると、リセット例外処理が起動されます。リセット例外処理が起動されると、CPUは、例外処理ベクタテーブルからスタートアドレスを取り出し、その番地からプログラムの実行を開始します。リセット例外処理実行中、および終了後は、NMIを含めたすべての割込みが禁止されます。

(2) 割込み例外処理およびトラップ命令例外処理の動作

これらの例外処理が起動されると、CPUはSP(ER7)を参照してPCとCCRをスタックに退避します。次に、SYSCRのUEビットが“1”のときはCCRのIビットが“1”にセットされ、UEビットが“0”のときはCCRのIビット、UIビットがいずれも“1”にセットされます。

その後、例外処理ベクタテーブルからスタートアドレスを取り出して分岐します。

例外処理終了後のスタックの構造を図2.14に示します。



《記号説明》

CCR : コンディションコードレジスタ

SP : スタックポインタ

- 【注】
1. PCはリターン後に実行する最初の命令アドレスです。
 2. レジスタの退避/復帰は必ずワードサイズまたはロングワードサイズで、偶数アドレスから行ってください。

図2.14 例外処理終了後のスタック状態

2.8.5 バス権解放状態

CPU以外のバスマスタによるバス権要求に対して、バス権を解放した状態です。CPU以外のバスマスタには、外部バスマスタがあります。

バス権解放状態では、CPUは内部動作を除き、停止します。また、割込みも受け付けられません。詳細は「6.3.6 バスアービタの動作」を参照してください。

2.8.6 リセット状態

RES端子が“Low”レベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセットによってCCRのIビットが“1”にセットされます。リセット状態ではすべての割込みが禁止されます。

RES端子を“Low”レベルから“High”レベルにすると、リセット例外処理が開始されます。

2.8.7 低消費電力状態

低消費電力状態はCPUの動作を停止して、消費電力を下げる状態です。スリープモード、ソフトウェアスタンバイモード、ハードウェアスタンバイモードがあります。

(1) スリープモード

スリープモードは、SYSCRのSSBYビットを“0”にクリアした状態で、SLEEP命令を実行することによって遷移するモードです。CPUの動作は、SLEEP命令実行直後で停止します。CPUの内部レジスタの内容は保持されます。

(2) ソフトウェアスタンバイモード

ソフトウェアスタンバイモードは、SYSCRのSSBYビットを“1”にセットした状態で、SLEEP命令を実行することによって遷移するモードです。

CPUおよびクロックをはじめ内蔵周辺モジュールのすべての動作が停止します。内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限りCPUの内部レジスタの内容および内蔵RAMの内容は保持されます。また、I/Oポートの状態も保持されます。

(3) ハードウェアスタンバイモード

ハードウェアスタンバイモードは、STBY端子を“Low”レベルにすることによって遷移するモードです。ソフトウェアスタンバイモードと同様に、CPUおよびすべてのクロックは停止し、内蔵周辺モジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMの内容は保持されます。

低消費電力状態についての詳細は、「第14章 低消費電力状態」を参照してください。

2.9 基本動作タイミング

2.9.1 概要

H8/300H CPUは、クロック(ϕ)を基準に動作しています。 ϕ の立上がりから次の立上がりまでの1単位をステートと呼びます。メモリサイクルまたはバスサイクルは、2または3ステートで構成され、内蔵メモリ、内蔵周辺モジュール、または外部アドレス空間によってそれぞれ異なるアクセスを行います。外部アドレス空間のアクセスについては、バスコントローラで設定することができます。

2.9.2 内蔵メモリアクセスタイミング

内蔵メモリのアクセスは、2ステートアクセスを行います。このとき、データバス幅は16ビットで、バイトおよびワードサイズのアクセスが可能です。内蔵メモリアクセスサイクルを図2.15に、端子状態を図2.16に示します。

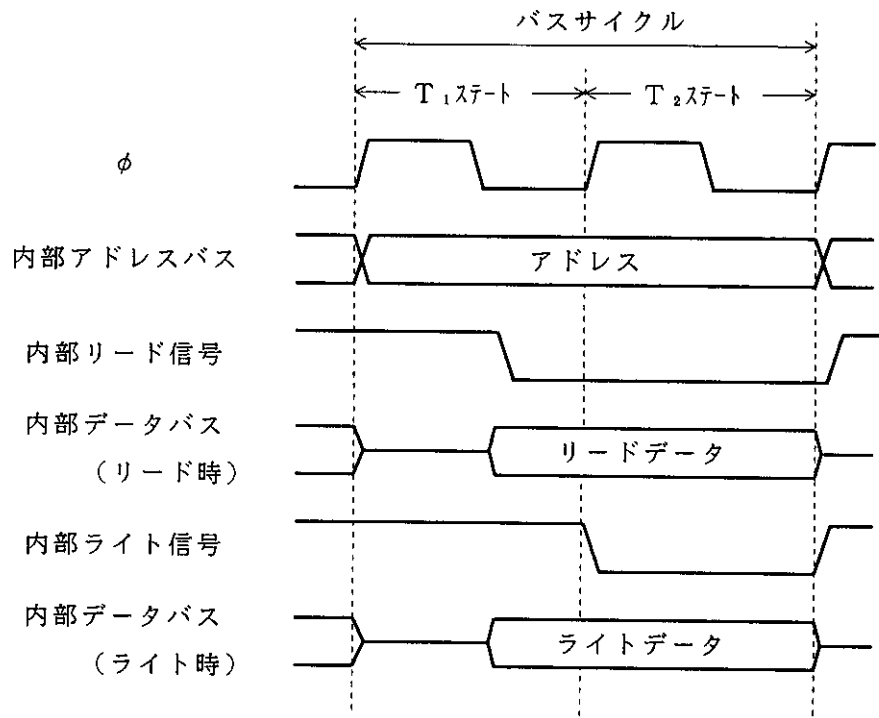


図2.15 内蔵メモリアクセスサイクル

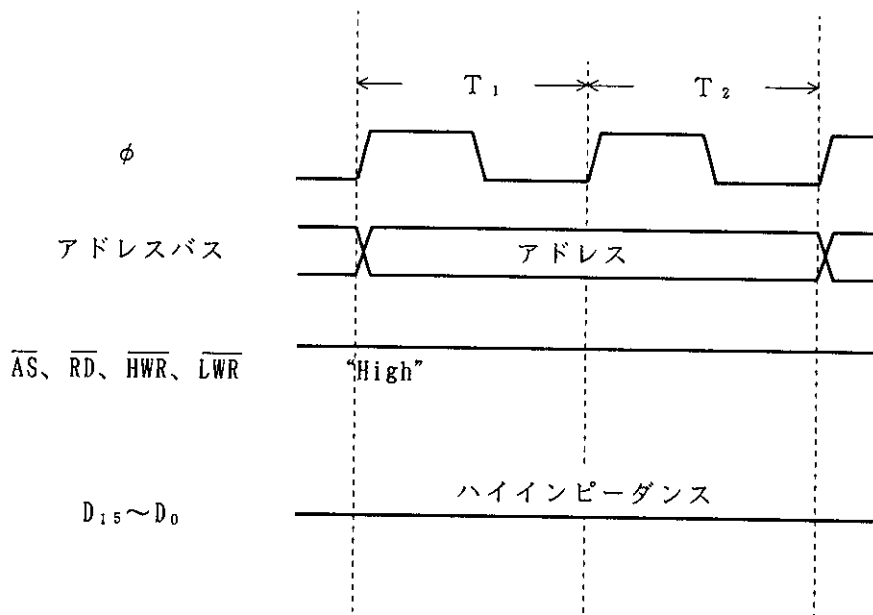


図2.16 内蔵メモリアクセス時の端子状態

2.9.3 内蔵周辺モジュールアクセスタイミング

内蔵周辺モジュールのアクセスは3ステートで行われます。このとき、データバス幅は8ビットまたは16ビットであり、内部I/Oレジスタにより異なります。内蔵周辺モジュールアクセスタイミングを図2.17に、端子状態を図2.18に示します。

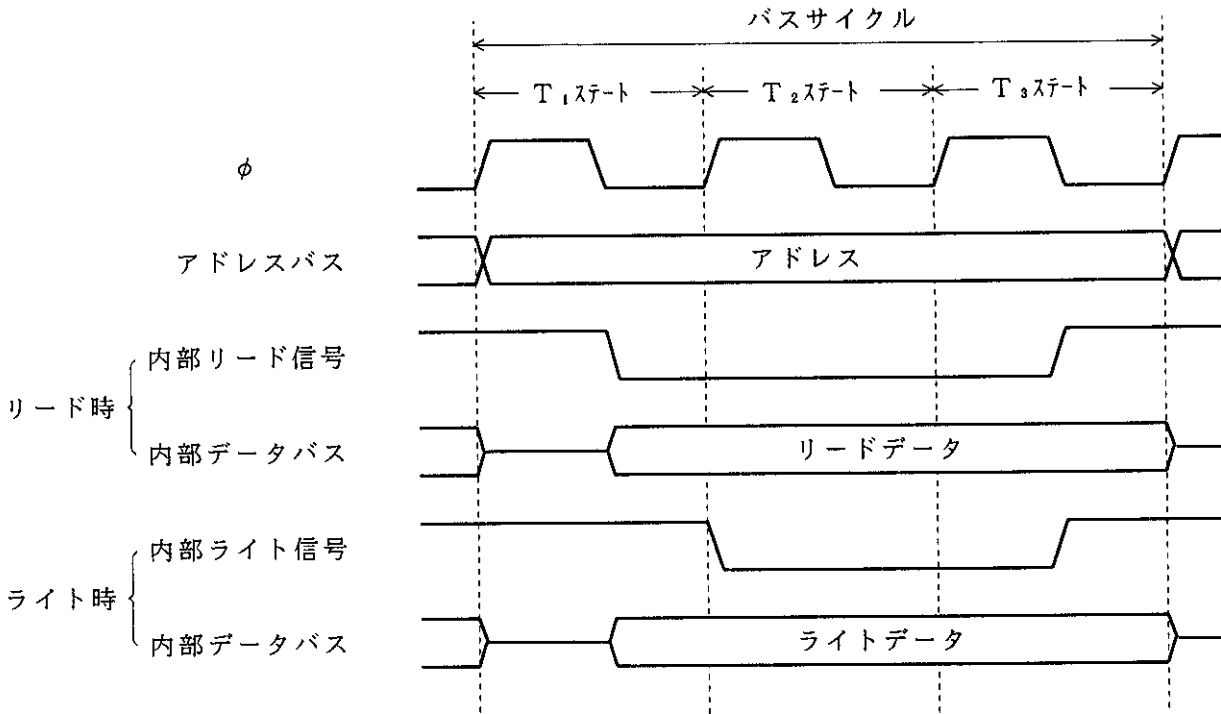


図2.17 内蔵周辺モジュールアクセスサイクル

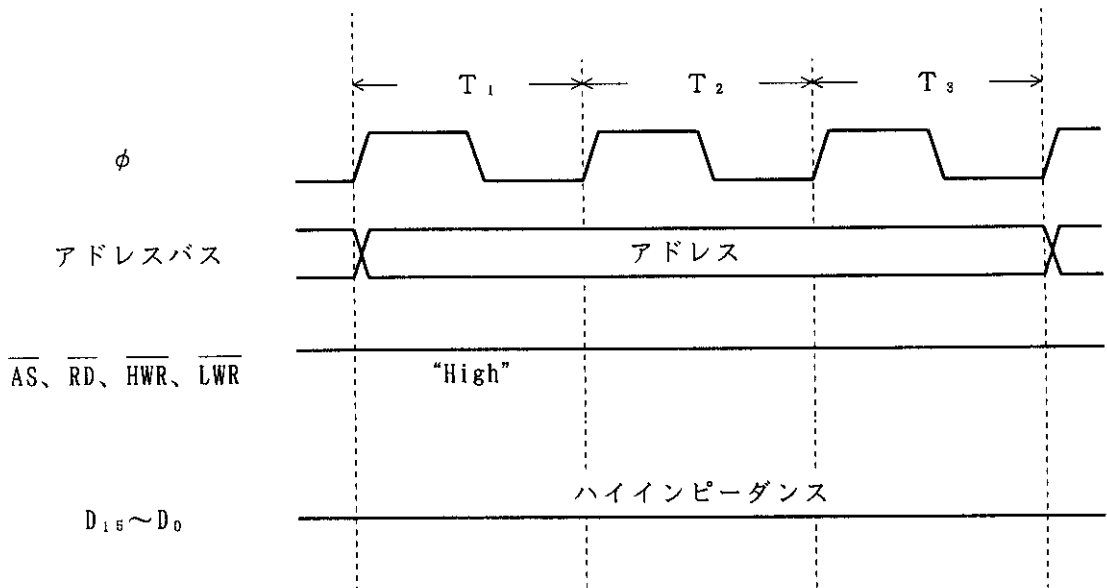


図2.18 内蔵周辺モジュールアクセス時の端子状態

2.9.4 外部アドレス空間アクセスタイミング

外部アドレス空間は8つのエリア（エリア0～7）に分割されており、バスコントローラの設定により、各エリアごとにデータバス幅（8ビットまたは16ビット）とアクセスステート（2ステートまたは3ステート）の選択ができます。

詳細は「第6章 バスコントローラ」を参照してください。

3. MCU動作モード

第3章 目次

3.1	概要	63
3.1.1	動作モードの選択の種類	63
3.1.2	レジスタ構成	64
3.2	モードコントロールレジスタ (MDCR)	65
3.3	システムコントロールレジスタ (SYSCR)	66
3.4	各動作モードの説明	69
3.4.1	モード1	69
3.4.2	モード2	69
3.4.3	モード3	69
3.4.4	モード4	69
3.5	各動作モードにおける端子機能	70
3.6	各動作モードのメモリマップ	71

3.1 概要

3.1.1 動作モードの選択の種類

H8/3001には、4種類の動作モード（モード1～4）があります。これらのモードは、モード端子(MD₂～MD₀)を表3.1のように設定することによってバスモードの初期状態とアドレス空間を選択することができます。

表 3.1 動作モードの種類を選択

動作モード	端子設定			内 容		
	MD ₂	MD ₁	MD ₀	アドレス空間	バスモード初期状態* ¹	内蔵RAM
———	0	0	0	———	———	———
モード1	0	0	1	1Mバイト	8ビット	有効* ²
モード2	0	1	0	1Mバイト	16ビット	有効* ²
モード3	0	1	1	16Mバイト	8ビット	有効* ²
モード4	1	0	0	16Mバイト	16ビット	有効* ²
———	1	0	1	———	———	———
———	1	1	0	———	———	———
———	1	1	1	———	———	———

【注】*¹ すべての動作モードにおいて、バス幅コントロールレジスタ (ABWCR) を設定することによりデータバス幅をエリアごとに8ビットデータバスまたは16ビットデータバスにすることができます。

詳細は、「第6章 バスコントローラ」を参照してください。

*² SYSCRのRAMEビットを“0”にクリアすると外部アドレス空間に切り換わりま
す。

アドレス空間は、1Mバイト/16Mバイトのいずれかを選択することができます。

外部データバスのバス幅はABWCRにより、8ビット/16ビットバスモードのいずれかになります。すべてのエリアを8ビットアクセス空間に設定した場合、8ビットバスモードとなります。詳細は「第6章 バスコントローラ」を参照してください。

モード1～4は、外部メモリおよび周辺デバイスをアクセスすることができる外部拡張モードです。

モード1、2でサポートするアドレス空間は、最大1Mバイトです。また、モード3、4でサポートするアドレス空間は、最大16Mバイトです。

モード1～4以外は、本LSIでは使用できません。したがって、モード端子は必ずモード1～4になるように設定してください。

モード端子は、動作中に変化させないでください。

3.1.2 レジスタ構成

本LSIにはモード端子(MD₂~MD₀)の状態が反映されるMDCRと、動作を制御するSYSCRがあります。レジスタ構成を表3.2に示します。

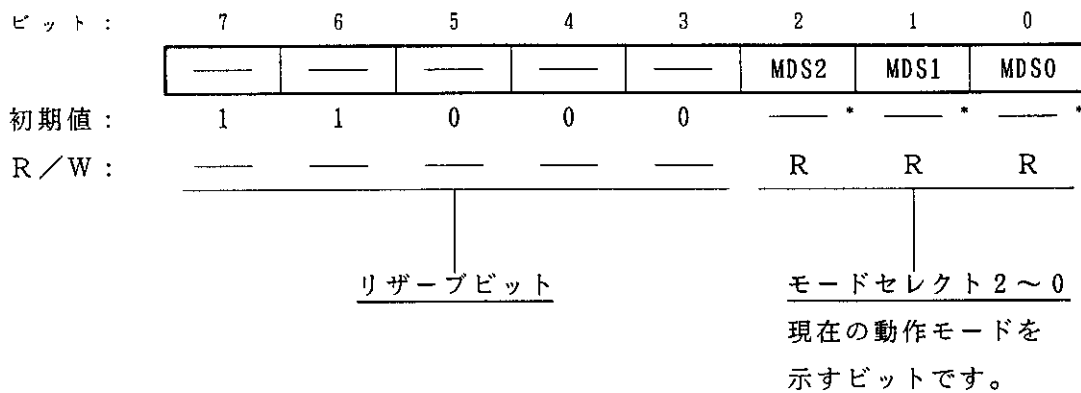
表3.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF1	モードコントロールレジスタ	MDCR	R	不定
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】* アドレスの下位16ビットを示しています。

3.2 モードコントロールレジスタ (MDCR)

MDCRは8ビットのリード専用のレジスタで、本LSIの現在の動作モードをモニタするのに使います。



【注】* MD₂~MD₀端子により決定されます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5~3：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

ビット2~0：モードセレクト2~0 (MDS2~0)

これらのビットは、モード端子(MD₂~MD₀)のレベルを反映した値(現在の動作モード)を示しています。MDS2~MDS0ビットはMD₂~MD₀端子にそれぞれ対応します。これらのビットは、リード専用でライトは無効です。MDCRをリードすると、モード端子(MD₂~MD₀)のレベルがこれらのビットにラッチされます。

3.3 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのレジスタで本LSIの動作を制御します。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME
初期値:	0	0	0	0	1	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

RAMイネーブル
内蔵RAMの有効/
無効を選択するビット
です。

リザーブビット

NMIエッジセレクト
NMI端子の入力エッジを選択する
ビットです。

ユーザビットイネーブル
CCRのUIビットをユーザビットとして使用するか、
割込みマスクビットとして使用するかを選択するビット
です。

スタンバイタイムセレクト2~0
ソフトウェアスタンバイモードから復帰する場合の待機時間を選択
するビットです。

ソフトウェアスタンバイ
ソフトウェアスタンバイモードへの遷移を指定するビットです。

ビット7:ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します(ソフトウェアスタンバイモードについては「第14章 低消費電力状態」を参照してください)。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したとき、このビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイムセレクト2～0（STS2～0）

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、内部クロックが安定するまでCPUと内蔵周辺モジュールが待機する時間を指定します。

動作周波数に応じて待機時間が8ms以上となるように指定してください。

待機時間の設定については、「14.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定」を参照してください。

ビット6	ビット5	ビット4	説 明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	使用できません。

ビット3：ユーザビットイネーブル（UE）

CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット3	説 明
UE	
0	CCRのUIビットを、割込みマスクビットとして使用
1	CCRのUIビットを、ユーザビットとして使用 (初期値)

ビット2：NMIエッジセレクト（NMIEG）

NMI端子の入力エッジ選択を行います。

ビット2	説 明
NMIEG	
0	NMI入力の立下がりエッジで割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジで割込み要求を発生

ビット1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：RAMイネーブル（RAME）

内蔵RAMの有効／無効を選択します。RAMEビットは、RES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードでは、イニシャライズされません。

ビット0 RAME	説 明
0	内蔵RAM無効
1	内蔵RAM有効 (初期値)

3.4 各動作モードの説明

3.4.1 モード1

アドレス端子は $A_{19} \sim A_0$ が有効となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ABWCRにより少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.2 モード2

アドレス端子は $A_{19} \sim A_0$ が有効となり、最大1Mバイトのアドレス空間をアクセスできます。リセット直後は16ビットバスモードとなり、すべてのエリアは16ビットアクセス空間となります。ただし、ABWCRによりすべてのエリアを8ビットアクセス空間に設定した場合には、8ビットバスモードとなります。

3.4.3 モード3

アドレス端子は $A_{23} \sim A_0$ が有効となり、最大16Mバイトのアドレス空間をアクセスできます。リセット直後は8ビットバスモードとなり、すべてのエリアは8ビットアクセス空間となります。ABWCRにより少なくとも1つのエリアを16ビットアクセス空間に設定した場合には、16ビットバスモードとなります。

3.4.4 モード4

アドレス端子は $A_{23} \sim A_0$ が有効となり、最大16Mバイトのアドレス空間をアクセスできます。リセット直後は16ビットバスモードとなり、すべてのエリアは16ビットアクセス空間となります。ただし、ABWCRによりすべてのエリアを8ビットアクセス空間に設定した場合には、8ビットバスモードとなります。

3.5 各動作モードにおける端子機能

動作モードによりポート4、Aの端子機能が切り換わります。各動作モードにおける端子機能の一覧を表3.3に示します。

表3.3 各動作モードにおけるポート4、A₇~A₀の端子機能

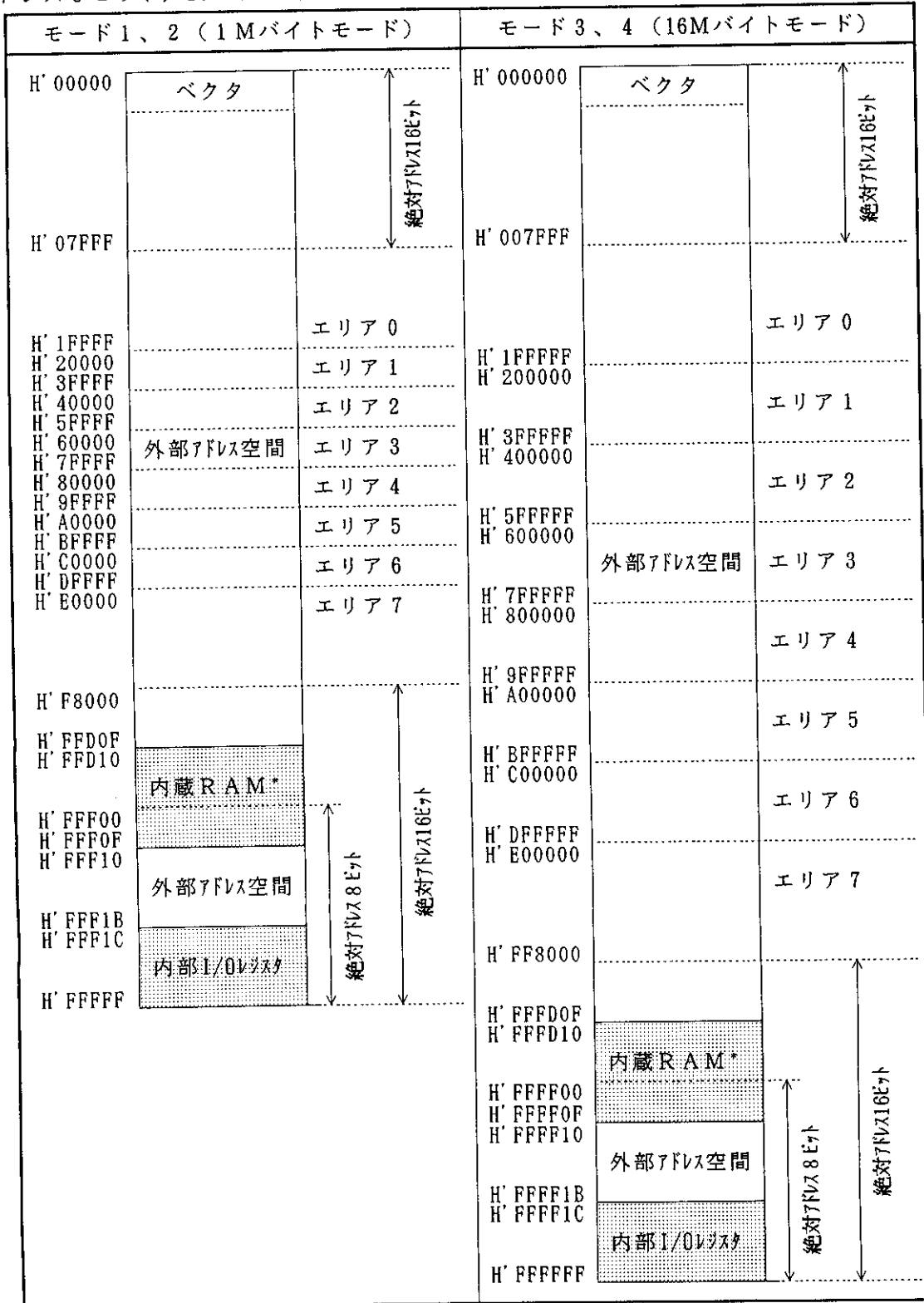
ポート	モード1	モード2	モード3	モード4
ポート4	P4 ₇ ~P4 ₀ * ¹	D ₇ ~D ₀ * ¹	P4 ₇ ~P4 ₀ * ¹	D ₇ ~D ₀ * ¹
ポートA	PA ₇ /TP ₇ /TIOCB ₂	PA ₇ /TP ₇ /TIOCB ₂	A ₂₀	A ₂₀
	PA ₆ /TP ₆ /TIOCA ₂	PA ₆ /TP ₆ /TIOCA ₂	A ₂₁	A ₂₁
	PA ₅ /TP ₅ /TIOCB ₁	PA ₅ /TP ₅ /TIOCB ₁	A ₂₂	A ₂₂
	PA ₄ /TP ₄ /TIOCA ₁	PA ₄ /TP ₄ /TIOCA ₁	A ₂₃	A ₂₃

【注】*¹ 初期状態を示しています。ABWCRの設定により、バスモードを切り換えることができます。8ビットモード時にはP4₇~P4₀に、16ビットバスモード時にはD₇~D₀となります。

3.6 各動作モードのメモリマップ

モード1～4のメモリマップを図3.1に示します。アドレス空間は8エリアに分割されています。モード1とモード2、モード3とモード4ではそれぞれバスモードの初期状態が異なります。

また、モード1、2（1Mバイトモード）とモード3、4（16Mバイトモード）で、内蔵RAMおよび内部I/Oレジスタの配置が異なります。また、CPUのアドレッシングモードのうち、絶対アドレス8ビット/16ビット（@aa:8/@aa:16）で指定できる範囲が異なります。



【注】* SYSCRのRAMEビットを“0”にクリアすることにより外部アドレスとすることができます。

図3.1 各動作モードにおけるメモリマップ

4. 例外処理

第4章 目次

4.1	概要	75
4.1.1	例外処理の種類と優先度	75
4.1.2	例外処理の動作	75
4.1.3	例外処理要因とベクタテーブル	75
4.2	リセット	77
4.2.1	概要	77
4.2.2	リセットシーケンス	77
4.2.3	リセット直後の割込み	80
4.3	割込み	80
4.4	トラップ命令	81
4.5	例外処理後のスタックの状態	81
4.6	スタック使用上の注意	82

4. 1 概要

4. 1. 1 例外処理の種類と優先度

例外処理には、表 4. 1 に示すように、リセット、トラップ命令、および割込みによるものがあります。これらの例外処理には表 4. 1 に示すように優先度が設けられており、複数の例外処理が同時に発生した場合は、この優先度に従って受け付けられ処理されます。トラップ命令例外処理は、プログラム実行状態で常に受け付けられます。

表 4. 1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
高 ↑ 低	リセット	RES端子が“Low”レベルから“High”レベルに変化すると、ただちに開始します。
	割込み	割込み要求が発生すると、命令の実行終了時または例外処理終了時に開始します。
	トラップ命令 (TRAPA)	トラップ (TRAPA) 命令の実行により開始します。

4. 1. 2 例外処理の動作

例外処理は、各例外処理要因により起動されます。

トラップ命令および割込み例外処理は、次のように動作します。

- (1) プログラムカウンタ (PC) とコンディションコードレジスタ (CCR) をスタックに退避します。
- (2) CCRの割込みマスクビットを“1”にセットします。
- (3) 起動要因に対応するベクタアドレスを生成し、そのベクタアドレスの内容が示す番地からプログラムの実行が開始されます。

リセット例外処理の場合は上記(2)、(3)の動作を行います。

4. 1. 3 例外処理要因とベクタテーブル

各例外処理要因は、図 4. 1 に示すように分類されます。

これらの例外処理要因には、それぞれ異なるベクタアドレスが割り当てられています。

これらの要因とベクタアドレスとの対応を表 4. 2 に示します。

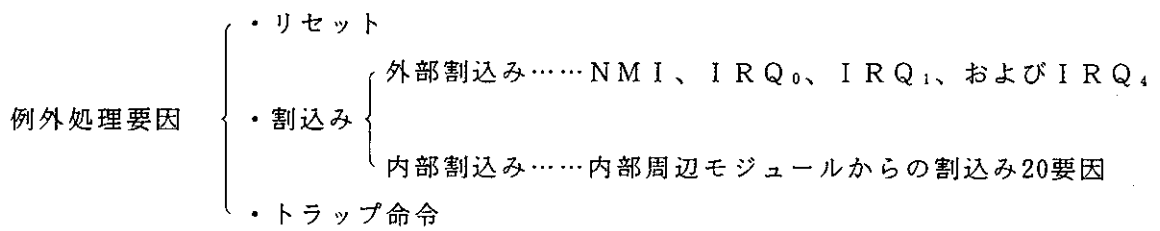


図 4. 1 例外処理要因

表 4. 2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタアドレス*1	
リセット	0	H' 0000~H' 0003	
システム予約	1	H' 0004~H' 0007	
	2	H' 0008~H' 000B	
	3	H' 000C~H' 000F	
	4	H' 0010~H' 0013	
	5	H' 0014~H' 0017	
	6	H' 0018~H' 001B	
	外部割込み NMI	7	H' 001C~H' 001F
トラップ命令 (4 要因)	8	H' 0020~H' 0023	
	9	H' 0024~H' 0027	
	10	H' 0028~H' 002B	
	11	H' 002C~H' 002F	
外部割込み	IRQ ₀	12	H' 0030~H' 0033
	IRQ ₁	13	H' 0034~H' 0037
	システム予約	14	H' 0038~H' 003B
	システム予約	15	H' 003C~H' 003F
	IRQ ₄	16	H' 0040~H' 0043
	システム予約	17	H' 0044~H' 0047
	システム予約	18	H' 0048~H' 004B
	システム予約	19	H' 004C~H' 004F
内部割込み*2	20	H' 0050~H' 0053	
	}	}	
	60	H' 00F0~H' 00F3	

【注】*1 アドレスの下位16ビットを示しています。

*2 内部割込みのベクタテーブルは、「5. 3. 3 割込み例外処理ベクタテーブル」を参照してください。

4.2 リセット

4.2.1 概要

リセットは、最も優先順位の高い例外処理です。

RES端子が“Low”レベルになると、実行中の処理はすべて打ち切れ、本LSIはリセット状態になります。リセットによって、CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされます。

RES端子が“Low”レベルから“High”レベルになるとリセット例外処理が開始されます。

4.2.2 リセットシーケンス

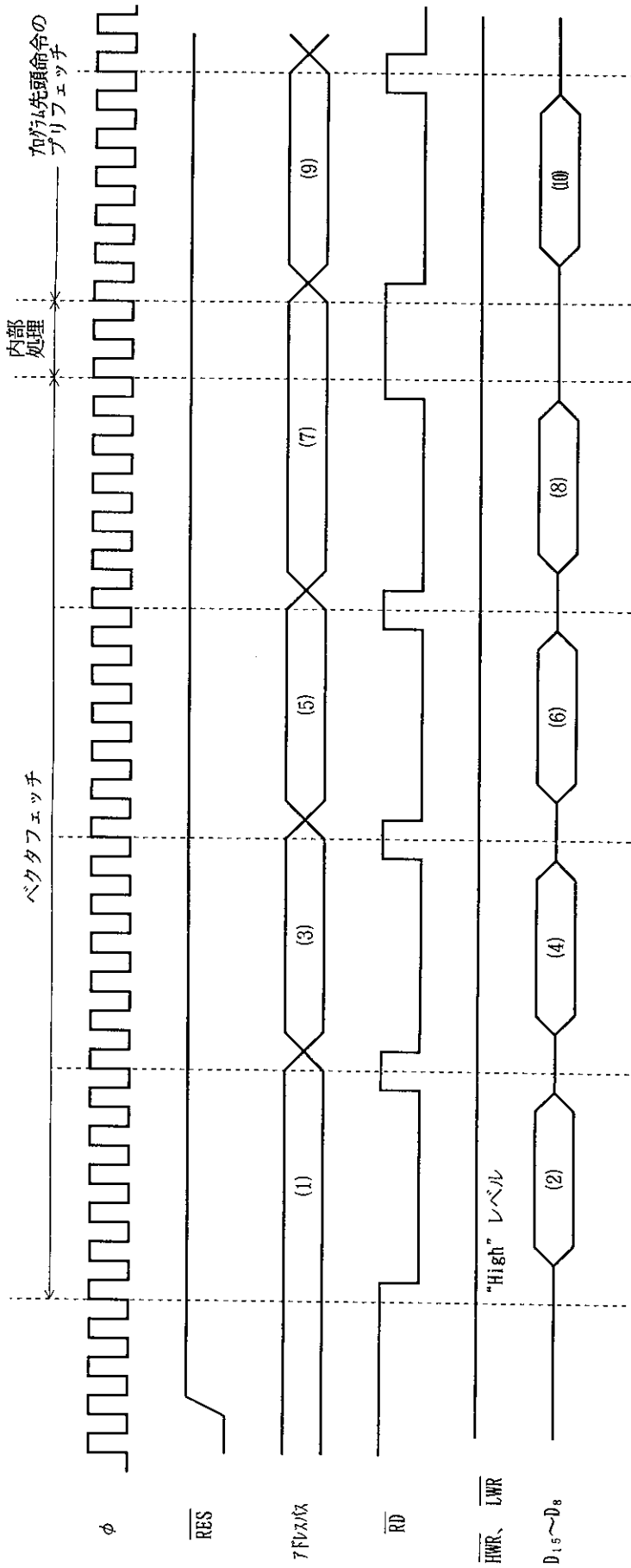
RES端子が“Low”レベルになると本LSIはリセット状態になります。

本LSIを確実にリセットするために、電源投入時は最低20msの間、RES端子を“Low”レベルに保持してください。また、動作中は最低10システムクロック(φ)サイクルの間“Low”レベルにしてください。リセット状態の各端子の状態は「付録D.2 リセット時の端子状態」を参照してください。

RES端子が一定期間“Low”レベルの後、“High”レベルになるとリセット例外処理が開始され、本LSIは次のように動作します。

- (1) CPUの内部状態と内蔵周辺モジュールの各レジスタがイニシャライズされ、CCRのIビットが“1”にセットされます。
- (2) リセット例外処理ベクタアドレス(H'0000~H'0003)をリードしてそのベクタアドレスの内容が示すアドレスからプログラムの実行を開始します。

モード1、3のリセットシーケンスを図4.2に、モード2、4のリセットシーケンスを図4.3に示します。



(1)(3)(5)(7) リセット例外処理ベクタアドレス (1)=H' 00000, (3)=H' 00001, (5)=H' 00002, (7)=H' 00003

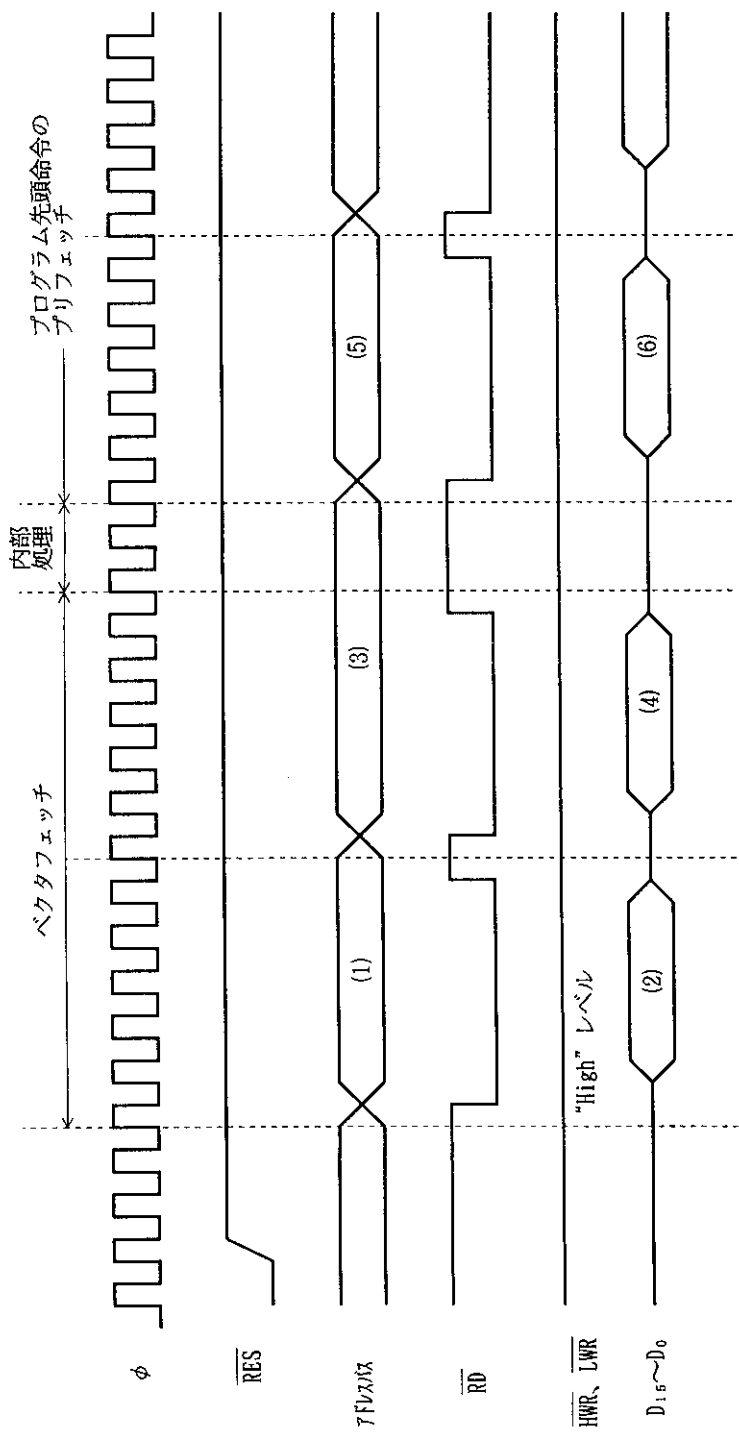
(2)(4)(6)(8) スタートアドレス (リセット例外処理ベクタアドレスの内容)

(9) スタートアドレス

(0) プログラム先頭命令

【注】 リセット後は、ウェイトステートコントローラによって、3ステートのウェイトステートが、各バスサイクルに挿入されます。

図4.2 リセットシーケンス (モード1、3)



- (1)(3) リセット例外処理ベクタアドレス ((1)=H' 00000, (3)=H' 00002)
- (2)(4) スタートアドレス (リセット例外処理ベクタアドレスの内容)
- (5) スタートアドレス
- (6) プログラム先頭命令

【注】 リセット後は、ウェイトステータコントローラによって、3ステータのウェイトステータが、各バスサイクルに挿入されます。

図4.3 リセットシーケンス (モード2、4)

4.2.3 リセット直後の割込み

リセット直後、スタックポインタ（SP）をイニシャライズする前に割込みを受け付けると、PCとCCRの退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMIを含めたすべての割込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭1命令が必ず実行されますので、プログラム先頭命令はSPをイニシャライズする命令としてください（例：MOV. L #xx:32, SP）。

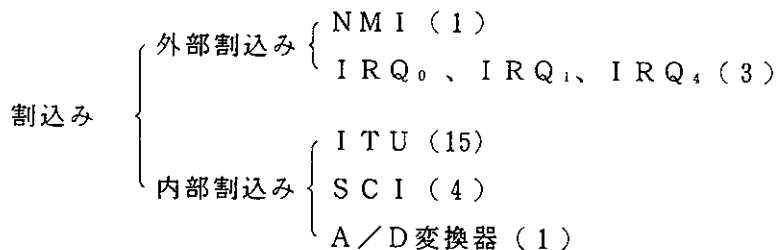
4.3 割込み

割込み例外処理を開始させる要因には、4つの外部割込み（NMI、IRQ₀、IRQ₁、およびIRQ₄）と、内蔵周辺モジュールからの要求による20の内部要因があります。割込み要因と要因数を図4.4に示します。

割込み要因を要求する内蔵周辺モジュールには、16ビットインテグレートドタイムユニット（ITU）、シリアルコミュニケーションインタフェース（SCI）、およびA/D変換器があります。割込みベクタアドレスは、各要因別に割り当てられています。

NMIは最優先の割込みで、常に受け付けられます。割込みは、割込みコントローラによって制御されます。割込みコントローラは、NMI以外の割込みを2レベルの優先順位を設定して、多重割込みの制御を行うことができます。割込みの優先順位は、割込みコントローラのインタラプトプライオリティレジスタA、B（IPRA、B）に設定します。

割込みについての詳細は「第5章 割込みコントローラ」を参照してください。



【注】 () 内は要因数を示します。

図4.4 割込み要因と要因数

4.4 トラップ命令

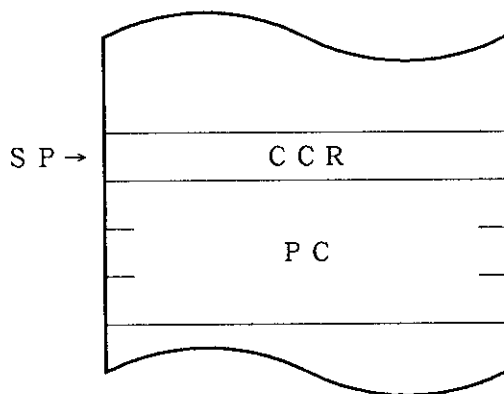
トラップ命令例外処理は、TRAPA命令を実行すると例外処理を開始します。

例外処理によって、SYSCRのUEビットが“1”のときはCCRのIビットが“1”にセットされ、UEビットが“0”のときにはCCRのIビット、UIビットがそれぞれ“1”にセットされます。

TRAPA命令は、命令コード中で指定した0～3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

4.5 例外処理後のスタックの状態

トラップ命令例外処理および割込み例外処理後のスタックの状態を図4.5に示します。



【注】 モード1、2ではPCの上位4ビットは無視され、20ビットが有効となります。

図4.5 例外処理終了後のスタックの状態

4.6 スタック使用上の注意

本LSIでは、ワードデータまたはロングワードデータをアクセスする場合は、アドレスの最下位ビットは0とみなされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ（SP：ER7）の内容は奇数にしないでください。すなわち、レジスタの退避は、

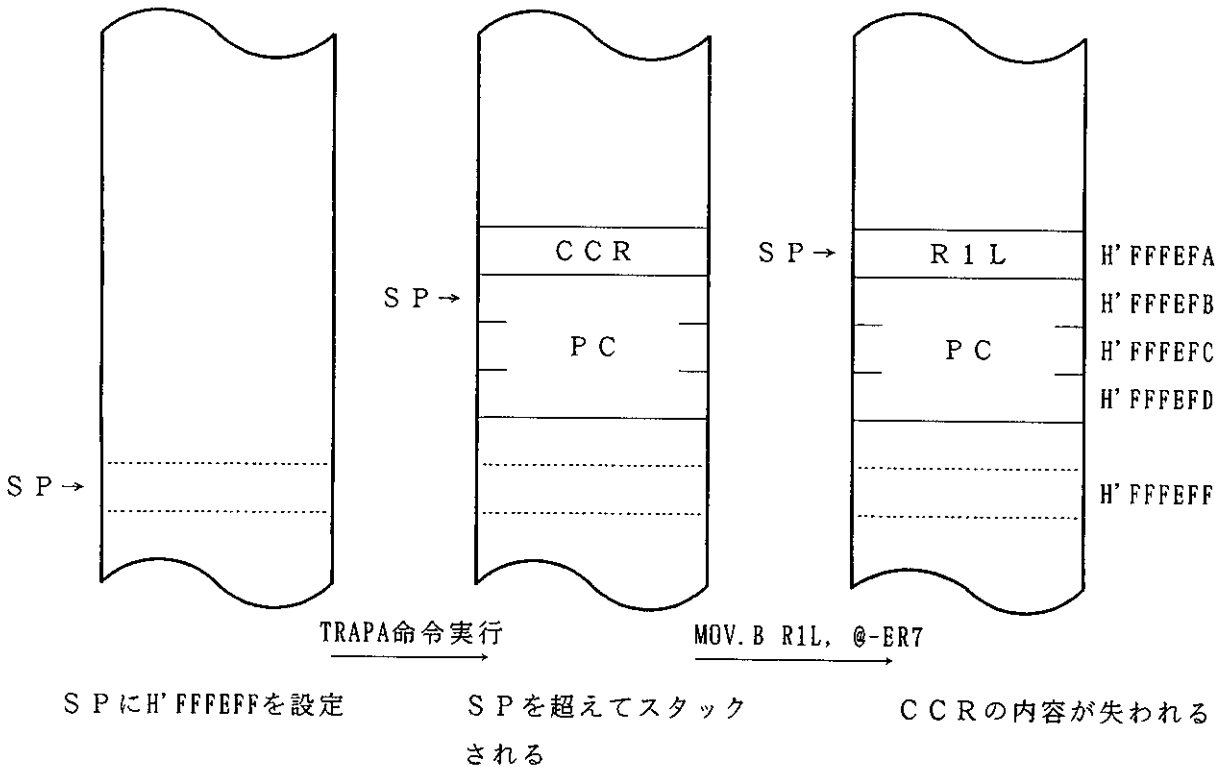
```
PUSH. W Rn (MOV. W Rn, @-SP)
PUSH. L ERn (MOV. L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP. W Rn (MOV. W @SP+, Rn)
POP. L ERn (MOV. L @SP+, ERn)
```

を使用してください。

SPを奇数に設定すると、誤動作の原因となります。SPを奇数に設定した場合の動作例を図4.6に示します。



《記号説明》

CCR : コンディションコードレジスタ
 PC : プログラムカウンタ
 R1L : 汎用レジスタR1L
 SP : スタックポインタ

【注】 モード3、4の場合です。

図4.6 SPを奇数に設定したときの動作

5. 割り込みコントローラ

第5章 目次

5.1	概要	85
5.1.1	特長	85
5.1.2	ブロック図	86
5.1.3	端子構成	87
5.1.4	レジスタ構成	87
5.2	各レジスタの説明	88
5.2.1	システムコントロールレジスタ (SYSCR)	88
5.2.2	インタラプトプライオリティレジスタ A、B (IPRA、IPRB)	89
5.2.3	IRQステータスレジスタ (ISR)	96
5.2.4	IRQイネーブルレジスタ (IER)	97
5.2.5	IRQセンスコントロールレジスタ (ISCR)	98
5.3	割り込み要因	99
5.3.1	外部割り込み	99
5.3.2	内部割り込み	100
5.3.3	割り込み例外処理ベクタテーブル	100
5.4	割り込み動作	103
5.4.1	割り込み動作の流れ	103
5.4.2	割り込み例外処理シーケンス	109
5.4.3	割り込み応答時間	111
5.5	使用上の注意	112
5.5.1	割り込みの発生とディスエーブルとの競合	112
5.5.2	割り込みの受け付けを禁止している命令	113
5.5.3	EEPMOV命令実行中の割り込み	113

5.1 概要

5.1.1 特長

割込みコントローラには、次の特長があります。

- IPRにより、優先順位を設定可能

割込み優先順位を設定するインタラプトプライオリティレジスタA、B（IPRA、B）を備えており、NMI以外の割込みを要因ごとまたはモジュールごとに2レベルの優先順位を設定できます。

- CPUのコンディションコードレジスタ（CCR）のI、UIビットにより、3レベルの許可／禁止状態を設定可能。

- 独立したベクタアドレス

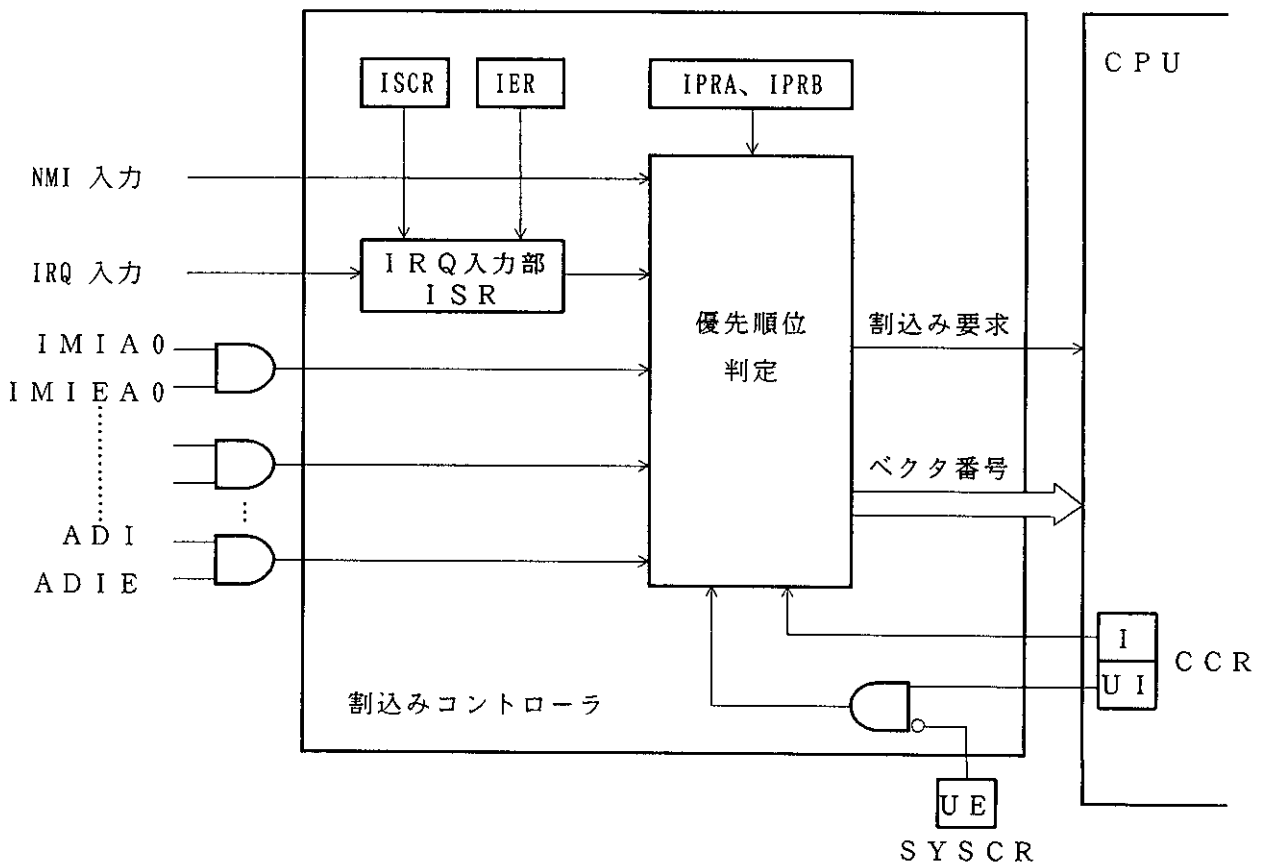
すべての割込み要因には独立のベクタアドレスが割り当てられており、割込み処理ルーチンで要因を判別する必要がありません。

- 4本の外部割込み端子

NMIは最優先の割込みで常に受け付けられます。NMIは立上がりエッジ／立下がりエッジを選択できます。またIRQ₀、IRQ₁、およびIRQ₄は立下がりエッジ／レベルセンスを独立に選択できます。

5.1.2 ブロック図

割込みコントローラのブロック図を図5.1に示します。



《記号説明》

- ISCR : IRQセンスコントロールレジスタ
- IER : IRQイネーブルレジスタ
- ISR : IRQステータスレジスタ
- IPRA : インタラプトプライオリティレジスタA
- IPRB : インタラプトプライオリティレジスタB
- SYSCR : システムコントロールレジスタ

図5.1 割込みコントローラのブロック図

5.1.3 端子構成

割込みコントローラの端子構成を表5.1に示します。

表5.1 端子構成

名称	略称	入出力	機能
ノンマスクブル 割込み	NMI	入力	マスク不可能な外部割込み、立上がりエッジ/ 立下がりエッジ選択可能
外部割込み要求 0、1、4	IRQ ₀ 、IRQ ₁ 、IRQ ₄	入力	マスク可能な外部割込み、立下がりエッジ/ レベルセンス選択可能

5.1.4 レジスタ構成

割込みコントローラのレジスタ構成を表5.2に示します。

表5.2 レジスタ構成

アドレス* ¹	名称	略称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B
H'FFF4	IRQセンスコントロールレジスタ	ISCR	R/W	H'00
H'FFF5	IRQイネーブルレジスタ	IER	R/W	H'00
H'FFF6	IRQステータスレジスタ	ISR	R/(W)* ²	H'00
H'FFF8	インタラプトプライオリティレジスタA	IPRA	R/W	H'00
H'FFF9	インタラプトプライオリティレジスタB	IPRB	R/W	H'00

【注】*¹ アドレスの下位16ビットを示しています。

*² フラグをクリアするための“0”ライトのみ可能です。

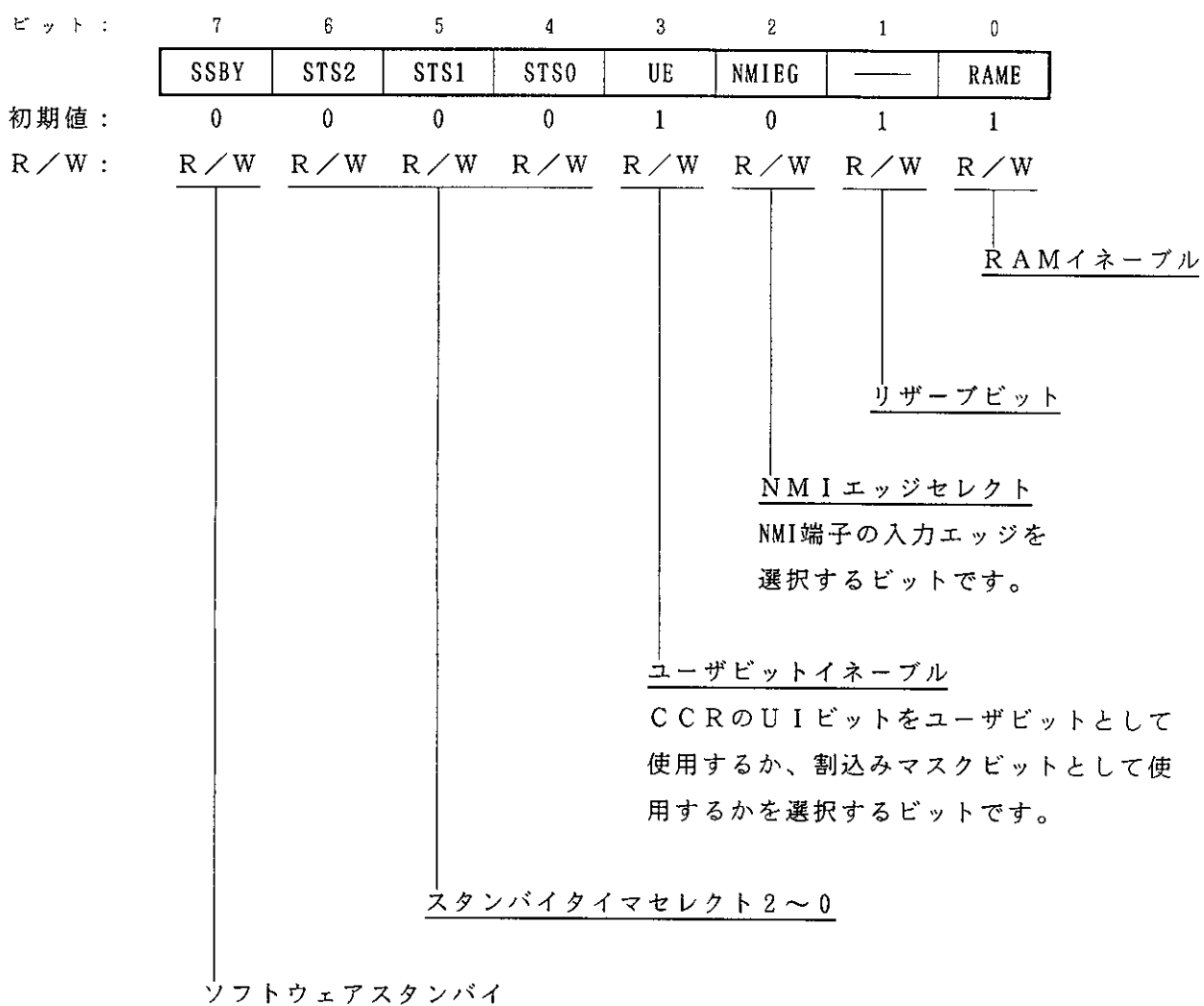
5.2 各レジスタの説明

5.2.1 システムコントロールレジスタ (SYSCR)

SYSCRは8ビットのリード/ライト可能なレジスタで、ソフトウェアスタンバイモードの制御、CCRのUIビットの動作の選択、NMIの検出エッジの選択、および内蔵RAM有効/無効の選択を行います。

ここでは、ビット3、2についてのみ説明します。なお、その他のビットの詳細については「3.3 システムコントロールレジスタ (SYSCR)」を参照してください。

SYSCRはリセット、またはハードウェアスタンバイモード時にH'0Bにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。



ビット3：ユーザビットイネーブル（UE）

CCRのUIビットをユーザビットとして使用するか、割込みマスクビットとして使用するかを選択します。

ビット3	説明
UE	
0	CCRのUIビットを割込みマスクビットとして使用
1	CCRのUIビットをユーザビットとして使用 (初期値)

ビット2：NMIEッジセレクト（NMIEG）

NMI端子の入力エッジ選択を行います。

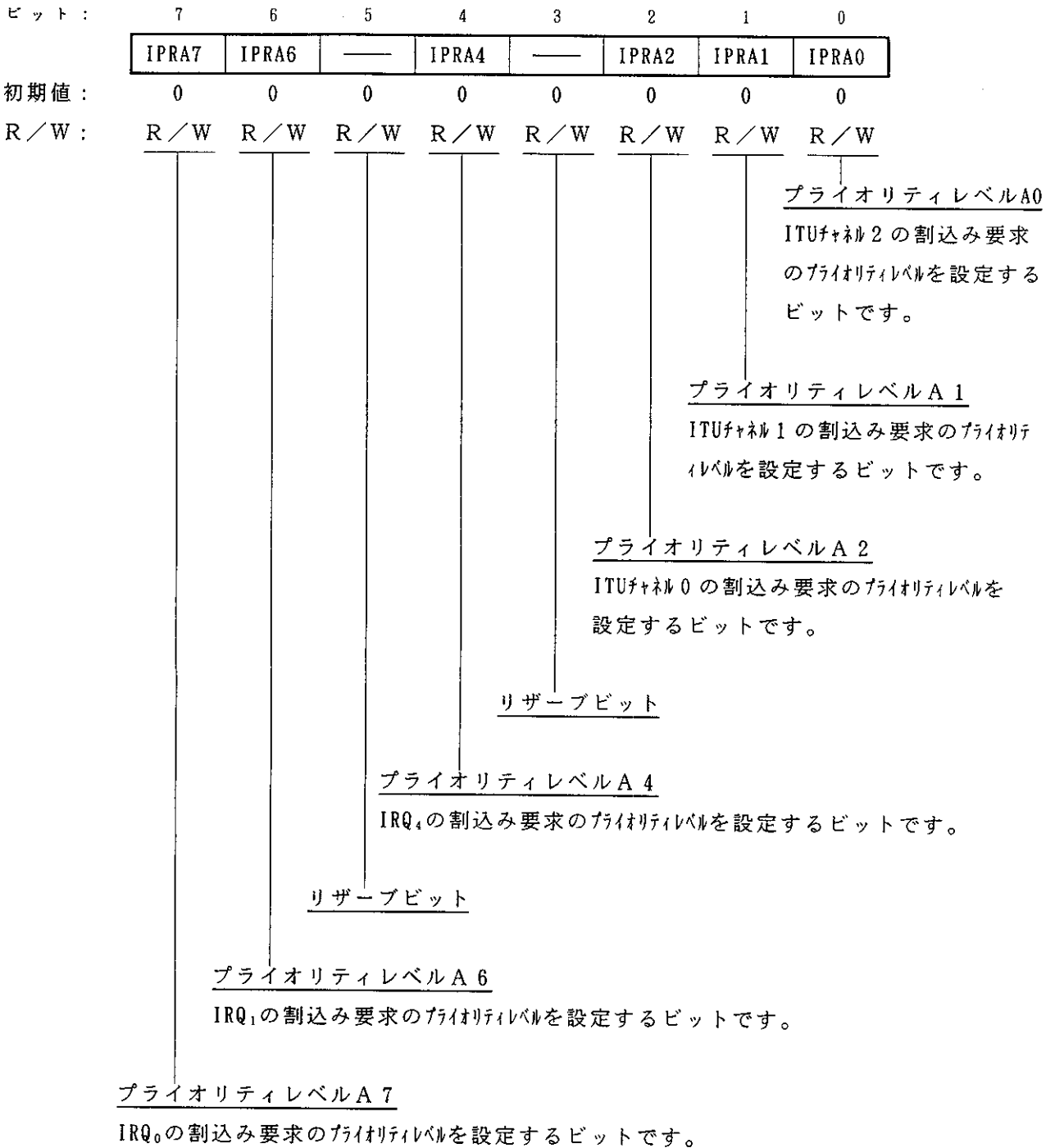
ビット2	説明
NMIEG	
0	NMI入力の立下がりエッジで割込み要求を発生 (初期値)
1	NMI入力の立上がりエッジで割込み要求を発生

5.2.2 インタラプトプライオリティレジスタA、B（IPRA、IPRB）

IPRA、IPRBは各々8ビットのリード/ライト可能なレジスタで割込みの優先順位を制御します。

(1) インタラプトプライオリティレジスタ A (IPRA)

IPRAは8ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRAはリセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7：プライオリティレベルA7 (IPRA7)

IRQ₀の割込み要求のプライオリティレベルを設定します。

ビット7	説	明
IPRA7		
0	IRQ ₀ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₀ の割込み要求はプライオリティレベル1 (優先)	

ビット6：プライオリティレベルA6 (IPRA6)

IRQ₁の割込み要求のプライオリティレベルを設定します。

ビット6	説	明
IPRA6		
0	IRQ ₁ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₁ の割込み要求はプライオリティレベル1 (優先)	

ビット5：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット4：プライオリティレベルA4 (IPRA4)

IRQ₄の割込み要求のプライオリティレベルを設定します。

ビット4	説	明
IPRA4		
0	IRQ ₄ の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	IRQ ₄ の割込み要求はプライオリティレベル1 (優先)	

ビット3：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット2：プライオリティレベルA2 (IPRA2)

ITUチャンネル0割込み要求のプライオリティレベルを設定します。

ビット2	説	明
IPRA2		
0	ITUチャンネル0の割込み要求はプライオリティレベル0 (非優先)	(初期値)
1	ITUチャンネル0の割込み要求はプライオリティレベル1 (優先)	

ビット1：プライオリティレベルA1（IPRA1）

ITUチャンネル1の割込み要求のプライオリティレベルを設定します。

ビット1	説 明
IPRA1	
0	ITUチャンネル1の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル1の割込み要求はプライオリティレベル1（優先）

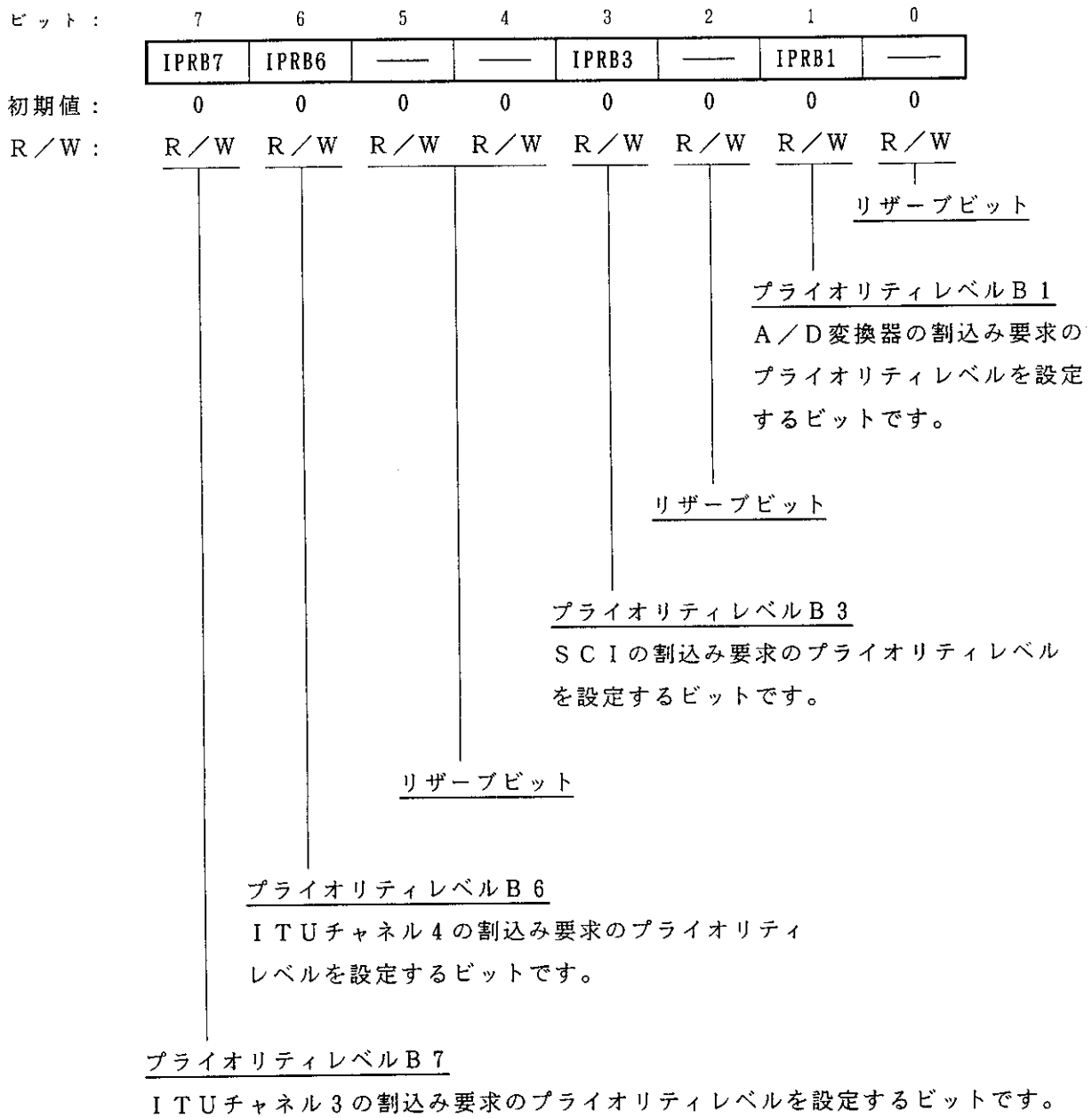
ビット0：プライオリティレベルA0（IPRA0）

ITUチャンネル2の割込み要求のプライオリティレベルを設定します。

ビット0	説 明
IPRA0	
0	ITUチャンネル2の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル2の割込み要求はプライオリティレベル1（優先）

(2) インタラプトプライオリティレジスタ B (IPRB)

IPRBは8ビットのリード/ライト可能なレジスタで、プライオリティレベルを設定できます。



IPRBはリセット、ハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7：プライオリティレベルB7（IPRB7）

ITUチャンネル3の割込み要求のプライオリティレベルを設定します。

ビット7	説 明
IPRB7	
0	ITUチャンネル3の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル3の割込み要求はプライオリティレベル1（優先）

ビット6：プライオリティレベルB6（IPRB6）

ITUチャンネル4の割込み要求のプライオリティレベルを設定します。

ビット6	説 明
IPRB6	
0	ITUチャンネル4の割込み要求はプライオリティレベル0（非優先）（初期値）
1	ITUチャンネル4の割込み要求はプライオリティレベル1（優先）

ビット5：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット4：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット3：プライオリティレベルB3（IPRB3）

SCIの割込み要求のプライオリティレベルを設定します。

ビット3	説 明
IPRB3	
0	SCIの割込み要求はプライオリティレベル0（非優先）（初期値）
1	SCIの割込み要求はプライオリティレベル1（優先）

ビット2：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

ビット1：プライオリティレベルB1（IPRB1）

A/D変換器の割込み要求のプライオリティレベルを設定します。

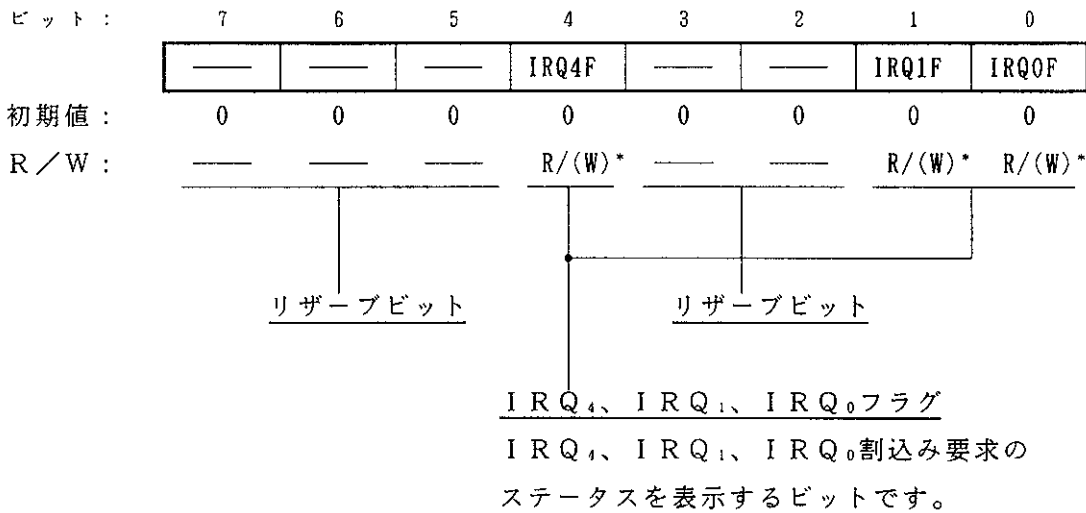
ビット1	説	明
IPRB1		
0	A/D変換器の割込み要求はプライオリティレベル0（非優先）	（初期値）
1	A/D変換器の割込み要求はプライオリティレベル1（優先）	

ビット0：リザーブビット

リザーブビットです。リード/ライト可能ですが、優先順位には関係ありません。

5.2.3 IRQステータスレジスタ (ISR)

ISRは8ビットのリード/ライト可能なレジスタで、IRQ₄、IRQ₁、IRQ₀割込み要求のステータスの表示を行います。



【注】* フラグをクリアするための“0”ライトのみ可能です。

ビット7～5、3、2：リザーブビット

リザーブビットです。リードすると常に“0”が読み出されます。ライトは無効です。

ISRはリセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット4、1、0：IRQ₄、IRQ₁、IRQ₀フラグ (IRQ4F、IRQ1F、IRQ0F)

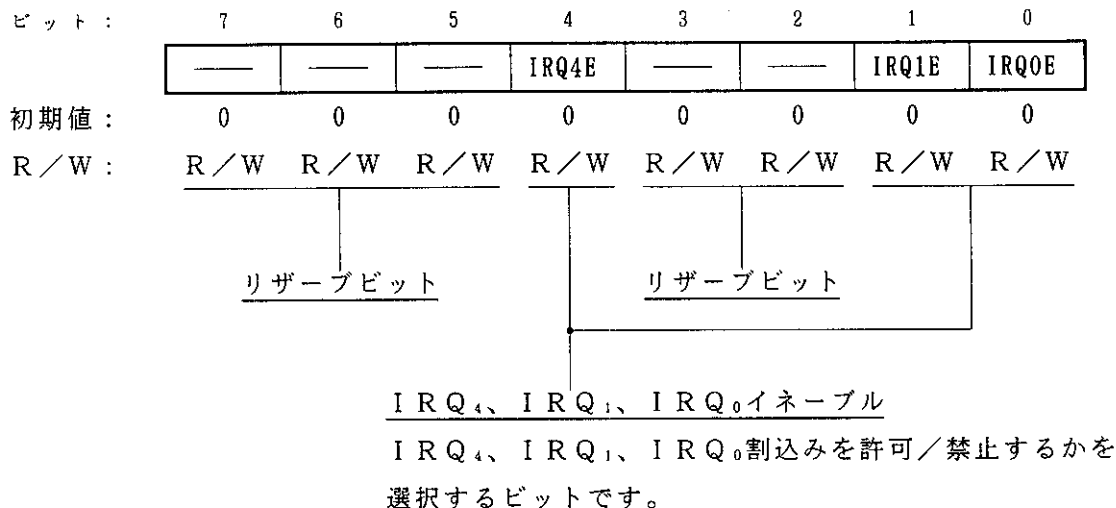
IRQ₄、IRQ₁、IRQ₀割込み要求のステータスの表示を行います。

ビットn	説 明
IRQnF	
0	(初期値)
	[クリア条件] (1) IRQnF = “1” の状態でIRQnFフラグをリードした後、IRQnFフラグに“0”をライトしたとき (2) IRQnSC = “0”、 $\overline{\text{IRQ}}_n$ 入力が“High”レベルの状態での割り込み例外処理を実行したとき (3) IRQnSC = “1” の状態でIRQn割り込み例外処理を実行したとき
1	(初期値)
	[セット条件] (1) IRQnSC = “0” の状態で $\overline{\text{IRQ}}_n$ 入力が“Low”レベルになったとき (2) IRQnSC = “1” の状態で $\overline{\text{IRQ}}_n$ 入力に立下がりエッジが発生したとき

(n = 4、1、0)

5.2.4 IRQイネーブルレジスタ (IER)

IERは8ビットのリード/ライト可能なレジスタで、IRQ₄、IRQ₁、IRQ₀割込み要求の許可/禁止を制御します。



IERはリセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。

ビット7～5、3、2：リザーブビット

リザーブビットです。リード/ライト可能です。

ビット4、1、0：IRQ₄、IRQ₁、IRQ₀イネーブル
(IRQ4E、IRQ1E、IRQ0E)

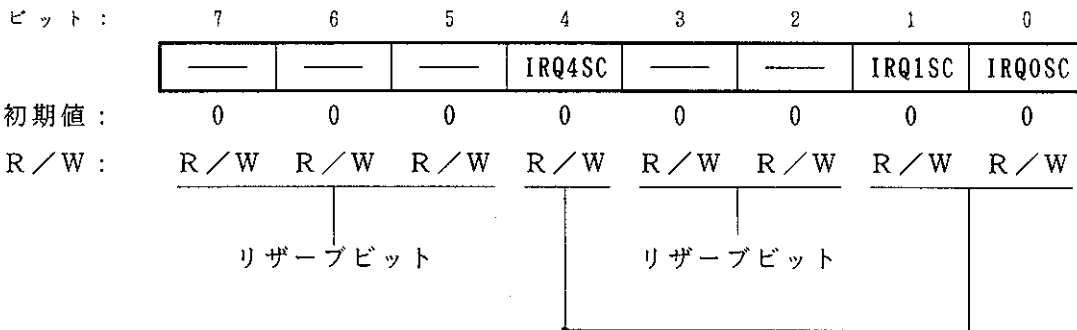
IRQ₄、IRQ₁、IRQ₀割込みを許可/禁止するかを選択します。

ビットn	説 明
IRQ _n E	
0	IRQ _n 割込みを禁止 (初期値)
1	IRQ _n 割込みを許可

(n = 4、1、0)

5.2.5 IRQセンスコントロールレジスタ (ISCR)

ISCRは8ビットのリード/ライト可能なレジスタで、 $\overline{IRQ_4}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_0}$ 端子の入力のレベルセンスまたは立下がりエッジを選択します。



リザーブビット

リザーブビット

IRQ₄、IRQ₁、IRQ₀センスコントロール

IRQ₄、IRQ₁、IRQ₀割込みのレベルセンスまたは
立下がりエッジを選択するビットです。

ISCRはリセットまたは、ハードウェアスタンバイモード時に、H'00にイニシャライズされま
す。

ビット7～5、3、2：リザーブビット

リザーブビットです。リード/ライト可能です。

ビット4、1、0：IRQ₄、IRQ₁、IRQ₀センスコントロール

(IRQ4SC、IRQ1SC、IRQ0SC)

IRQ₄、IRQ₁、IRQ₀割込みを $\overline{IRQ_n}$ 端子のレベルセンスで要求するか、立下がりエッジで要求するかを選択します。

ビットn	説明
IRQ _n SC	
0	$\overline{IRQ_n}$ 入力の“Low”レベルで割込み要求を発生 (初期値)
1	$\overline{IRQ_n}$ 入力の立下がりエッジで割込み要求を発生

(n = 4、1、0)

5.3 割込み要因

割込み要因には、外部割込み（NMI、IRQ₀、IRQ₁、IRQ₄）と内部割込み（20要因）があります。

5.3.1 外部割込み

外部割込みには、NMI、IRQ₀、IRQ₁、およびIRQ₄の4要因があります。このうち、NMI、IRQ₀、IRQ₁はソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI割込み

NMIは最優先の割込みで、CCRのIビット、UIビットの状態にかかわらず常に受け付けられます。NMI端子の立上がりエッジまたは立下がりエッジのいずれかで割込みを要求するか、SYSCRのNMIEGビットで選択できます。

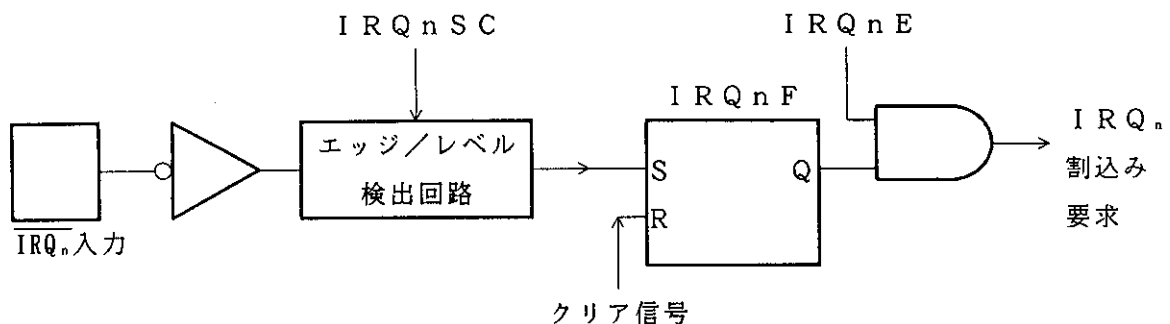
NMI割込み例外処理のベクタ番号は7です。

(2) IRQ₀、IRQ₁、およびIRQ₄割込み

IRQ₀、IRQ₁、およびIRQ₄割込みはIRQ₀、IRQ₁、およびIRQ₄端子の入力信号により要求されます。これらの割込みには次の特長があります。

- ① IRQ₀、IRQ₁、およびIRQ₄端子の“Low”レベルまたは立下がりエッジのどちらで割込みを要求するか、ISCRで選択できます。
- ② IRQ₀、IRQ₁、およびIRQ₄割込み要求を許可するか禁止するかを、IERで選択できます。また、IPRAのIPRA7、IPRA6およびIPRA4ビットにより割込みプライオリティレベルを設定できます。
- ③ IRQ₀、IRQ₁、およびIRQ₄割込み要求のステータスは、ISRに表示されます。ISRのフラグはソフトウェアで“0”にクリアすることができます。

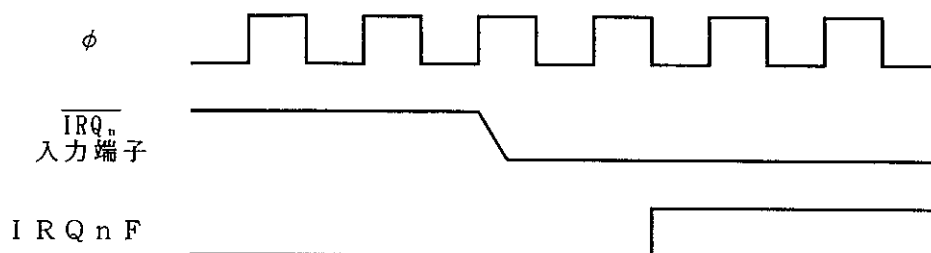
IRQ₀、IRQ₁、およびIRQ₄割込みのブロック図を図5.2に示します。



【注】 n = 0、1、4

図5.2 IRQ₀、IRQ₁、およびIRQ₄割込みのブロック図

IRQ_nFのセットタイミングを図5.3に示します。



【注】 n = 0、1、4

図5.3 IRQ_nFセットタイミング

IRQ₀、IRQ₁、およびIRQ₄割込み例外処理のベクタ番号はそれぞれ12、13、16です。

IRQ₀、IRQ₁、およびIRQ₄割込みの検出は、当該の端子が入力に設定されているか、出力に設定されているかに依存しません。したがって、外部割込み入力端子として使用する場合は、対応するDDRを“0”にクリアしてください。IRQ₄割込みを使用する場合は、IRQ₄端子をSCIの入出力端子としては使用しないでください。

5.3.2 内部割込み

内蔵周辺モジュールからの割込みによる内部割込みは20要因あります。

- (1) 各内蔵周辺モジュールには割込み要求のステータスを表示するフラグと、これらの割込みを許可するか禁止するかを選択するイネーブルビットがあります。
- (2) IPRA、Bによって割込みプライオリティレベルを設定できます。

5.3.3 割込み例外処理ベクタテーブル

表5.3に割込み例外処理要因とベクタアドレスおよび割込み優先順位の一覧を示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなりますが、IPRA、BによりNMI以外の割込みの優先順位を変更することができます。

リセット後の割込み優先順位は表5.3に示されるデフォルトの順位となります。

表 5.3 割込み要因とベクタアドレスおよび割込み優先順位一覧(1)

割 込 み 要 因	要因発生元	ベクタ 番 号	ベクタアドレス*	I P R	優先 順位
NMI	外部端子	7	H' 001C~H' 001F	—	高 ↑
IRQ ₀		12	H' 0030~H' 0033	IPRA7	
IRQ ₁		13	H' 0034~H' 0037	IPRA6	
リザーブ	—	14	H' 0038~H' 003B	—	
		15	H' 003C~H' 003F	—	
IRQ ₄	外部端子	16	H' 0040~H' 0043	IPRA4	
リザーブ	—	17	H' 0044~H' 0047	—	
		18	H' 0048~H' 004B		
		19	H' 004C~H' 004F		
		20	H' 0050~H' 0053		
		21	H' 0054~H' 0057		
		22	H' 0058~H' 005B		
		23	H' 005C~H' 005F		
IMIA0(コンパスマッチ/インプットキャプチャA0) IMIB0(コンパスマッチ/インプットキャプチャB0) OVI0(オーバフロー0)	I T U チャンネル 0	24 25 26	H' 0060~H' 0063 H' 0064~H' 0067 H' 0068~H' 006B	IPRA2	
リザーブ	—	27	H' 006C~H' 006F		
IMIA1(コンパスマッチ/インプットキャプチャA1) IMIB1(コンパスマッチ/インプットキャプチャB1) OVI1(オーバフロー1)	I T U チャンネル 1	28 29 30	H' 0070~H' 0073 H' 0074~H' 0077 H' 0078~H' 007B	IPRA1	
リザーブ	—	31	H' 007C~H' 007F		
IMIA2(コンパスマッチ/インプットキャプチャA2) IMIB2(コンパスマッチ/インプットキャプチャB2) OVI2(オーバフロー2)	I T U チャンネル 2	32 33 34	H' 0080~H' 0083 H' 0084~H' 0087 H' 0088~H' 008B	IPRA0	
リザーブ	—	35	H' 008C~H' 008F		
IMIA3(コンパスマッチ/インプットキャプチャA3) IMIB3(コンパスマッチ/インプットキャプチャB3) OVI3(オーバフロー3)	I T U チャンネル 3	36 37 38	H' 0090~H' 0093 H' 0094~H' 0097 H' 0098~H' 009B	IPRB7	
リザーブ	—	39	H' 009C~H' 009F		
IMIA4(コンパスマッチ/インプットキャプチャA4) IMIB4(コンパスマッチ/インプットキャプチャB4) OVI4(オーバフロー4)	I T U チャンネル 4	40 41 42	H' 00A0~H' 00A3 H' 00A4~H' 00A7 H' 00A8~H' 00AB	IPRB6	
リザーブ	—	43	H' 00AC~H' 00AF		

【注】* アドレスの下位16ビットを示しています。

表 5.3 割込み要因とベクタアドレスおよび割込み優先順位一覧(2)

割込み要因	要因発生元	ベクタ番号	ベクタアドレス*	I P R	優先順位
リザーブ	_____	44	H' 00B0~H' 00B3	_____	↑
		45	H' 00B4~H' 00B7		
		46	H' 00B8~H' 00BB		
		47	H' 00BC~H' 00BF		
		48	H' 00C0~H' 00C3		
		49	H' 00C4~H' 00C7		
		50	H' 00C8~H' 00CB		
51	H' 00CC~H' 00CF				
ERI(受信エラー) RXI(受信データフル) TXI(送信データエンプティ) TEI(送信終了)	S C I	52	H' 00D0~H' 00D3	IPRB3	
		53	H' 00D4~H' 00D7		
		54	H' 00D8~H' 00DB		
		55	H' 00DC~H' 00DF		
リザーブ	_____	56	H' 00E0~H' 00E3	_____	
		57	H' 00E4~H' 00E7		
		58	H' 00E8~H' 00EB		
		59	H' 00EC~H' 00EF		
ADI(A/Dエンド)	A / D	60	H' 00F0~H' 00F3	IPRB1	低

【注】* アドレスの下位16ビットを示しています。

5.4 割込み動作

5.4.1 割込み動作の流れ

本LSIでは、割込みの動作はUEビットの状態によって異なります。UE = “1” のときはIビットで割込みの制御が行われます。UE = “0” のときは、I、UIビットの組み合わせで割込みの制御が行われます。表5.4にUE、I、UIビットの各組み合わせのときの割込みの状態を示します。

NMI割込みはリセット状態、ハードウェアスタンバイ状態を除き常に受け付けられます。IRQ割込みおよび内蔵周辺モジュールの割込みは、それぞれの割込みに対応したイネーブルビットがあります。このイネーブルビットを“0”にクリアすると、その割込み要求は無視されます。

表5.4 UE、I、UIビットの組み合わせによる割込みの状態

SYSCR	CCR		状 態
	UE	I	
1	0	—	すべての割込みを受け付けます。プライオリティレベル1の割込み要因の優先順位が高くなります。
		1	NMI以外の割込みを受け付けません。
0	0	—	すべての割込みを受け付けます。プライオリティレベル1の割込み要因の優先順位が高くなります。
		0	NMIおよびプライオリティレベル1の割込み要因のみを受け付けます。
	1	NMI以外の割込みを受け付けません。	

(1) UEビット = “1” の場合

IRQ₀、IRQ₁、およびIRQ₄割込みおよび内蔵周辺モジュールの割込みはCPUのCCRのIビットにより一括して、許可/禁止を設定できます。Iビットが“0”にクリアされているときは許可状態、“1”にセットされているときは禁止状態です。プライオリティレベル1の割込み要因の優先順位は高くなります。

この場合の割込み受け付けの動作フローチャートを図5.4に示します。

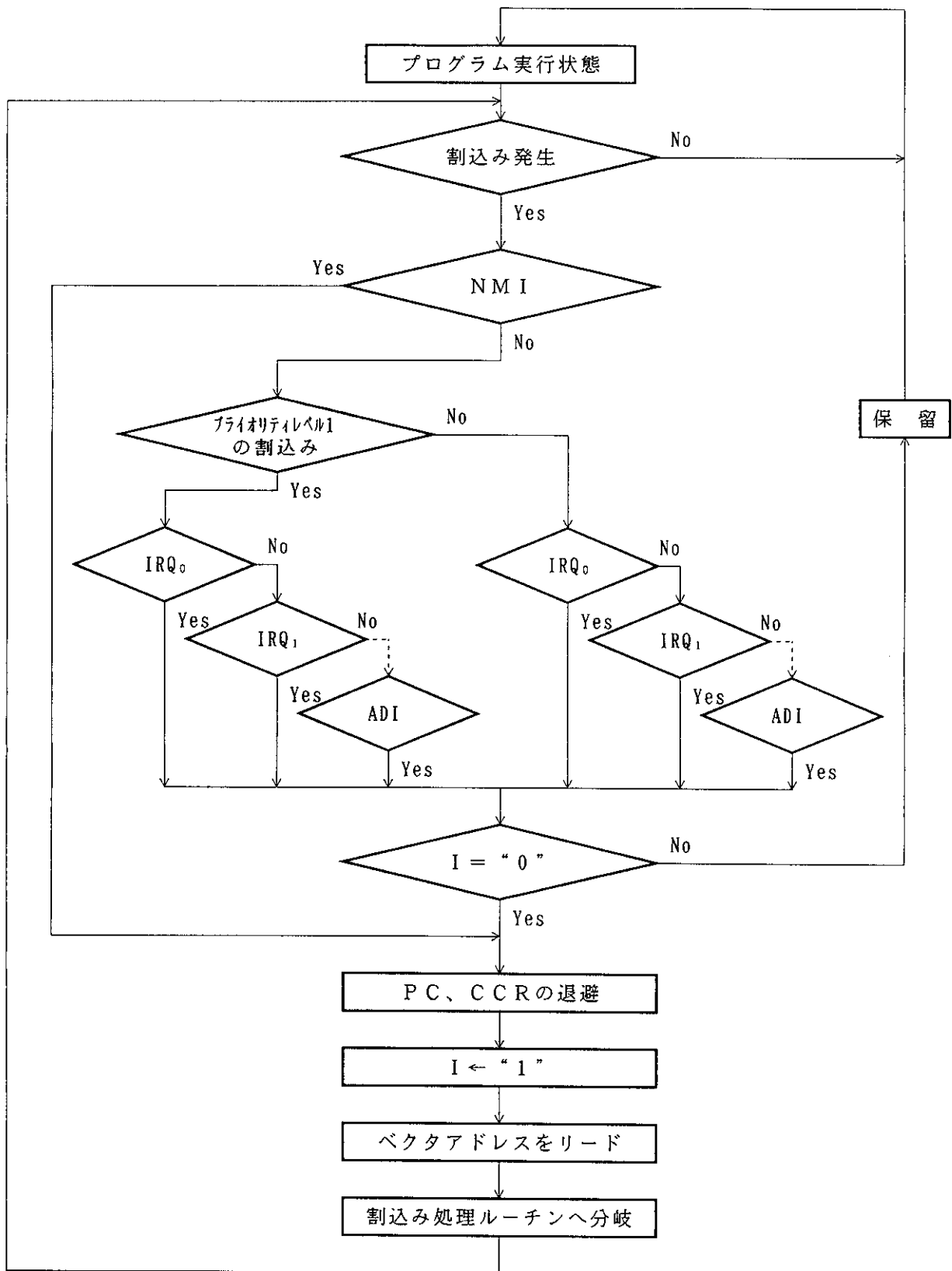


図 5.4 UE = "1" の場合の割り込み受けまでのフロー

- ① 対応する割込みイネーブルビットが“1”にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して、割込み要求が送られます。
- ② 割込みコントローラに対して割込み要求が送られると、IPRに設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。IPRの設定が同一の割込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割込み要求が選択されます。
- ③ Iビットを参照します。Iビットが“0”にクリアされているときは、割込み要求が受け付けられません。Iビットが“1”にセットされているときは、NMI割込みのみ受け付けられ、その他の割込み要求は保留されます。
- ④ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
- ⑤ 割込み例外処理によって、PCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ 次にCCRのIビットが“1”にセットされます。これにより、NMIを除く割込みはマスクされます。
- ⑦ 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

(2) UEビット = “0” の場合

IRQ₀、IRQ₁、およびIRQ₄割込みおよび内蔵周辺モジュールの割込みはCPUのCCRのI、UIビット、IPRによって3レベルの許可/禁止状態を実現できます。

- (a) プライオリティレベル0の割込み要求は、Iビットが“0”にクリアされているとき許可状態、“1”にセットされているとき禁止状態となります。
- (b) プライオリティレベル1の割込み要求は、IビットまたはUIビットが“0”にクリアされているとき許可状態、IビットおよびUIビットがいずれも“1”にセットされているとき禁止状態となります。

例えば、各割込み要求の対応する割込みイネーブルビットを“1”にセット、IPRA、IPRBをそれぞれH'10、H'00に設定した場合（IRQ₄割込み要求の優先順位を他の割込みより高めた場合）、次のようになります。

- (a) I = “0” のとき、すべての割込みを許可
（優先順位：NMI > IRQ₄ > IRQ₀ > IRQ₁ …）
- (b) I = “1”、UI = “0” のとき、NMI、IRQ₄割込みのみを許可
- (c) I = “1”、UI = “1” のとき、NMI以外の割込みを禁止

また、このときの状態遷移を図5.5に示します。

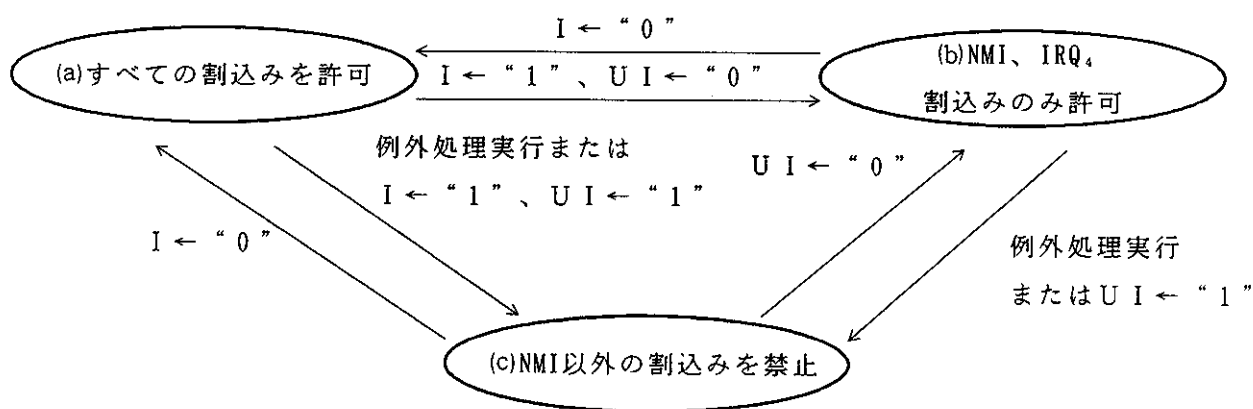


図 5. 5 割込み許可／禁止状態の遷移例

UIビット = “0”のときの割込み受けの動作フローチャートを図5.6に示します。

- ① 対応する割込みイネーブルビットが“1”にセットされている状態で割込み要因が発生したとき、割込みコントローラに対して割込み要求が送られます。
- ② 割込みコントローラに対して割込み要求が送られると、IPRに設定された割込み優先順位に従って優先順位が最も高い割込み要求が選択され、その他は保留となります。このとき、IPRの設定が同一の割込み要求が同時に発生したときは、表5.3に示す優先度に従って、優先順位の最も高い割込み要求が選択されます。
- ③ Iビットを参照します。Iビットが“0”にクリアされているときは、IPRに関係なく割込み要求が受け付けられます。このときはUIビットの影響を受けません。Iビットが“1”にセットされ、UIビットが“0”にクリアされているときは、プライオリティレベル1の割込み要求のみが受け付けられ、プライオリティレベル0の割込み要求は保留となります。I、UIビットがいずれも“1”にセットされているときは、割込み要求は保留となります。
- ④ 割込み要求が受け付けられると、そのとき実行中の命令の処理が終了した後、割込み例外処理を起動します。
- ⑤ 割込み例外処理によってPCとCCRがスタック領域に退避されます。退避されるPCは、リターン後に実行する最初の命令のアドレスを示しています。
- ⑥ CCRのI、UIビットが“1”にセットされます。これにより、NMIを除く割込みはマスクされます。
- ⑦ 受け付けた割込み要求に対応するベクタアドレスを生成し、そのベクタアドレスの内容によって示されるアドレスから、割込み処理ルーチンの実行が開始されます。

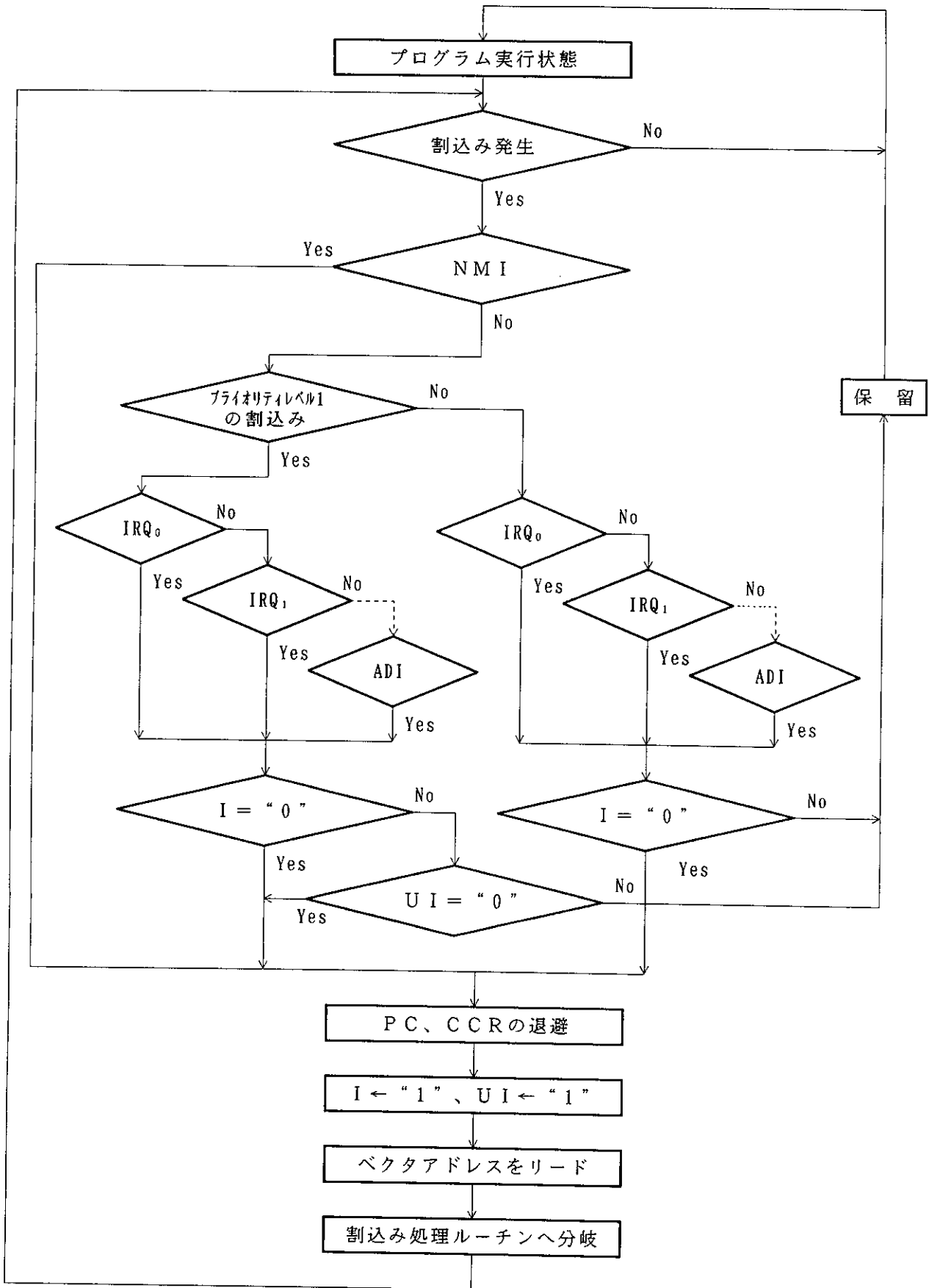
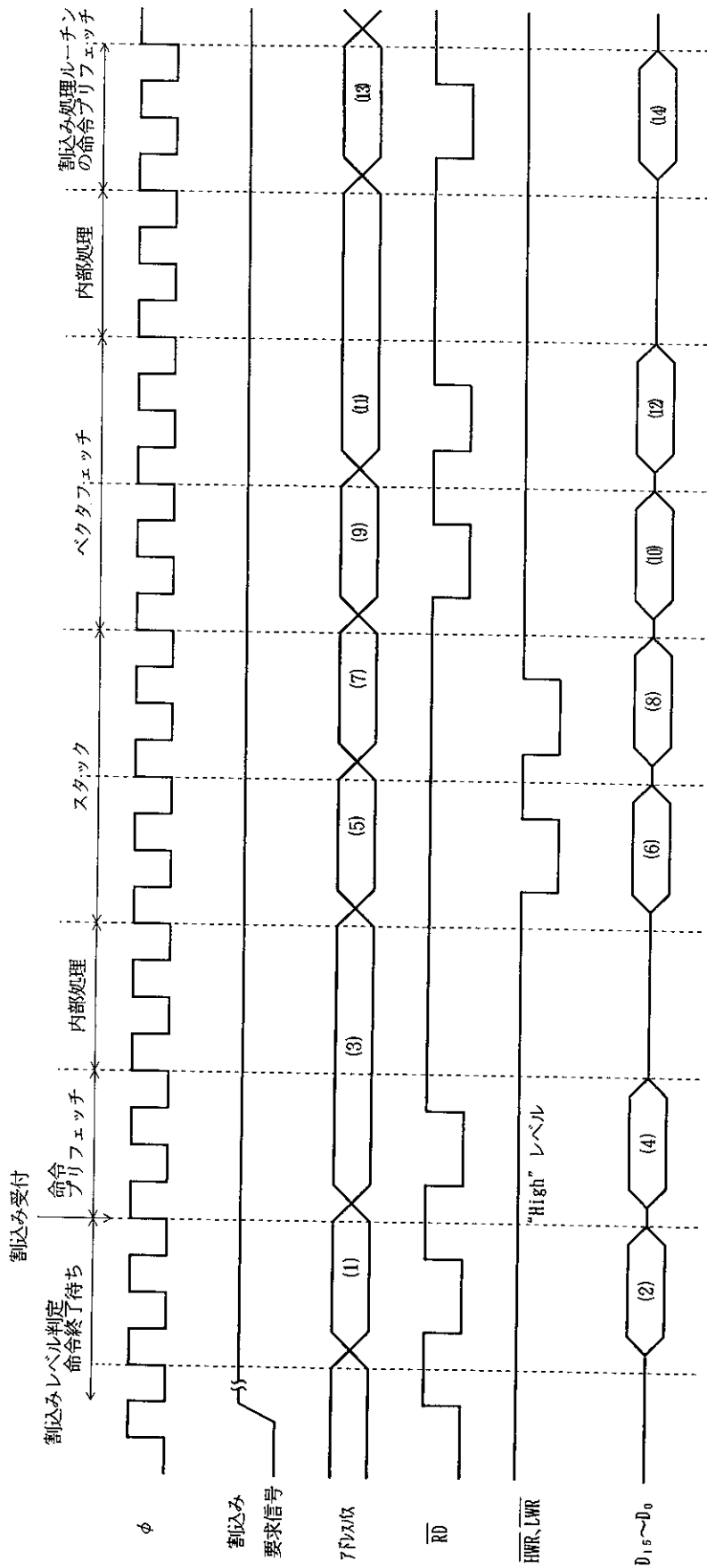


図 5.6 UE = "0" の場合の割り込み受けまでのフロー

5.4.2 割込み例外処理シーケンス

モード2で、プログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間にとった場合の割込みシーケンスを図5.7に示します。



- (1) 命令のプリフェッチアドレス (実行されません。 回避PCの内容であり、リターンアドレスです。)
- (2)(4) 命令コード (実行されません。 (9)(10) ベクアアドレス
- (3) 命令のプリフェッチアドレス (実行されません。 (0)(12) 割り込み処理ルーチン開始アドレス (ベクアアドレスの内容)
- (5) SP-2 (7) SP-4 (13) 割り込み処理ルーチン開始アドレス (13)=(0)(12)
- (6)(8) 回避PCと回避CCR (14) 割り込み処理ルーチン先頭命令

【注】 モード2でプログラム領域とスタック領域を外部メモリ16ビット2ステートアクセス空間に設定した場合

図5.7 割り込みシーケンス (モード2、2ステートアクセス、スタック外部メモリ)

5.4.3 割込み応答時間

割込み要求発生後、割込み処理ルーチンの先頭命令を実行するまでの、割込み応答時間を表 5.5 に示します。

表 5.5 割込み応答時間

No.	項 目	内蔵メモリ	外 部 メ モ リ			
			8 ビットバス		16ビットバス	
			2 ステート	3 ステート	2 ステート	3 ステート
1	割込み優先順位判定	2 ^{*1}				
2	実行中の命令が終了するまでの最大待ちステート数	1～23	1～27	1～31 ^{*4}	1～23	1～25 ^{*4}
3	PC、CCRのスタック	4	8	12 ^{*4}	4	6 ^{*4}
4	ベクタフェッチ	4	8	12 ^{*4}	4	6 ^{*4}
5	命令フェッチ ^{*2}	4	8	12 ^{*4}	4	6 ^{*4}
6	内部処理 ^{*3}	4	4	4	4	4
合 計		19～41	31～57	43～73	19～41	25～49

【注】^{*1} 内部割込みの場合 1 ステートとなります。

^{*2} 割込み受付け後のプリフェッチおよび割込み処理ルーチンのプリフェッチ

^{*3} 割込み受付け後の内部処理およびベクタフェッチ後の内部処理

^{*4} 外部メモリアクセス時にウェイトが挿入される場合には、ステート数が増加します。

5.5 使用上の注意

5.5.1 割込みの発生とディスエーブルとの競合

割込みイネーブルビットを“0”にクリアして割込みを禁止する場合、割込みの禁止はその命令実行終了後有効になります。すなわち、BCLR命令、MOV命令などで割込みイネーブルビットを“0”にクリアする場合、命令実行中にその割込みが発生すると、命令実行終了時点では当該割込み許可状態にあるため命令実行終了後にその割込み例外処理を実行します。ただし、その割込みより優先順位の高い割込み要求がある場合には優先順位の高い割込み例外処理を実行し、その割込みは無視されます。割込み要因フラグを“0”にクリアする場合も同様です。

ITUのTIERのIMIEAビットを“0”にクリアする場合の例を図5.8に示します。

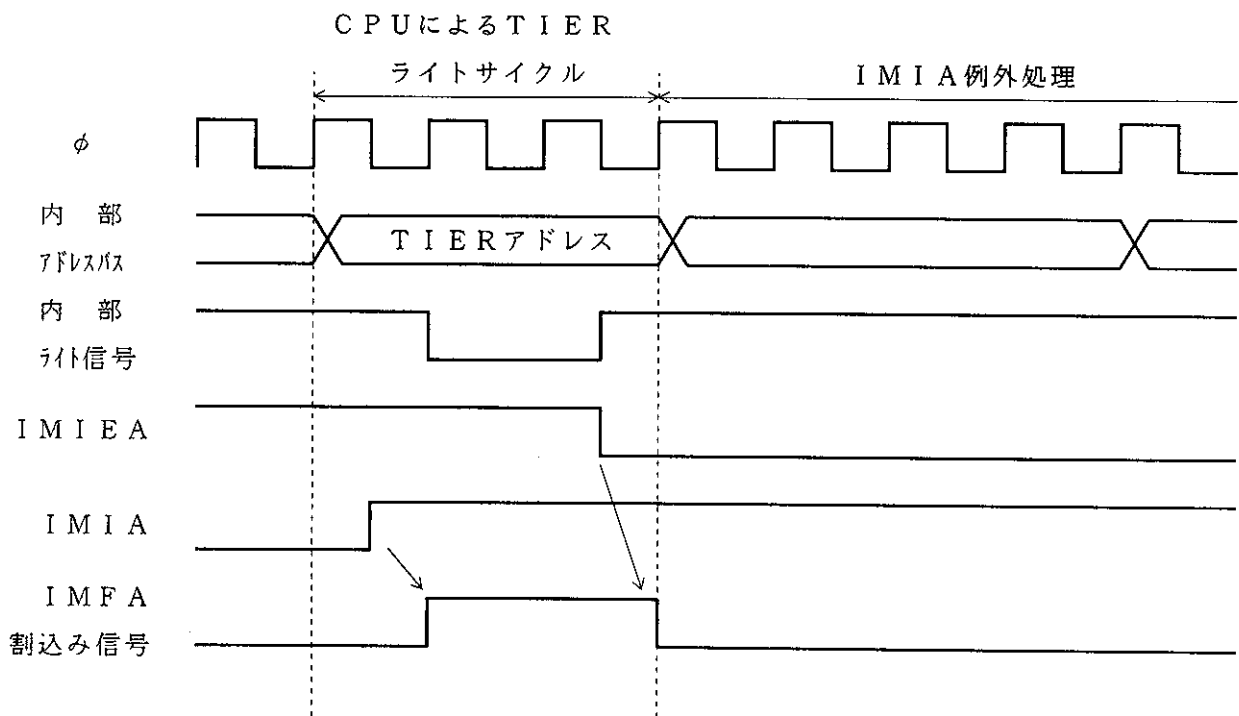


図5.8 割込みの発生とディスエーブルの競合

なお、割込みをマスクした状態でイネーブルビットまたは割込み要因フラグを“0”にクリアすれば、上記の競合は発生しません。

5.5.2 割込みの受け付けを禁止している命令

割込みを禁止している命令には、LDC、ANDC、ORC、XORC命令があります。

割込み要求が発生すると、割込みコントローラが優先順位を判定した後、CPUに対して割込みを要求します。そのとき、CPUが割込みを禁止している命令を実行している場合は、その命令の実行を終了した後、必ず次の命令を実行します。

5.5.3 EEPMOV命令実行中の割込み

EEPMOV命令は、EEPMOV.B命令とEEPMOV.W命令では、割込み動作が異なります。

EEPMOV.B命令は、転送中にNMIを含めた割込み要求があっても転送終了まで割込みを受け付けません。

EEPMOV.W命令のときは、転送中にNMI以外の割込み要求があっても転送終了まで割込みを受け付けません。NMI割込み要求の場合は、転送サイクルの切れ目でNMI例外処理が開始されます。このときスタックされるPCの値は次命令のアドレスとなります。

このため、EEPMOV.W命令実行中にNMI割込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W  
      MOV.W  R4, R4  
      BNE   L1
```


6. バスコントローラ

第6章 目次

6.1	概要	117
6.1.1	特長	117
6.1.2	ブロック図	118
6.1.3	端子構成	119
6.1.4	レジスタ構成	119
6.2	各レジスタの説明	120
6.2.1	バス幅コントロールレジスタ (ABWCR)	120
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	121
6.2.3	ウェイトコントロールレジスタ (WCR)	122
6.2.4	ウェイトステートコントローライネーブルレジスタ (WCER)	123
6.2.5	バスリリースコントロールレジスタ (BRCR)	124
6.3	動作説明	125
6.3.1	エリア分割	125
6.3.2	データバス	127
6.3.3	バス制御信号タイミング	128
6.3.4	ウェイトモード	136
6.3.5	バスアービタの動作	142
6.4	使用上の注意	144
6.4.1	ABWCR、ASTCR、およびWCERのライトタイミング	144
6.4.2	BREQ端子の入カタイミング	144

6.1 概要

H8/3001はバスコントローラを内蔵しており、アドレス空間を8つのエリアに分割し、エリアごとにバス仕様を設定し、バス制御を行います。これにより、複数のメモリを容易に接続することができます。

また、バスコントローラはバス権の調停機能をもっており、外部にバス権を解放することができます。

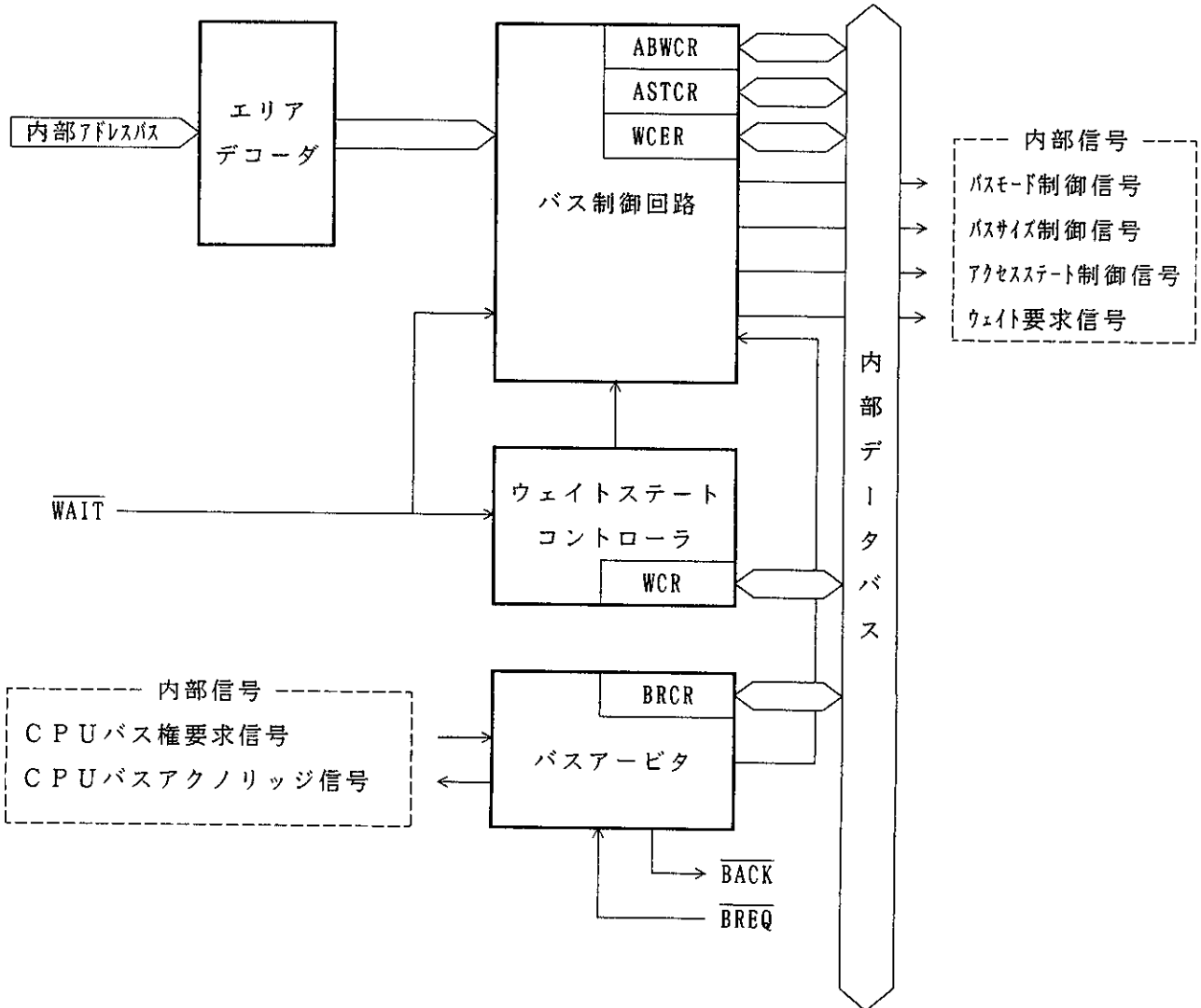
6.1.1 特長

バスコントローラの特長を次に示します。

- アドレス空間をエリア0～7に分割し、エリアごとに独立して設定可能
 - ・ 1Mバイトモードでは128kバイト、16Mバイトモードでは2Mバイトごとにエリアを設定
 - ・ 8ビットアクセス空間/16ビットアクセス空間の選択可能
 - ・ 2ステートアクセス空間/3ステートアクセス空間の選択可能
- 4種類のウェイトモード
 - ・ プログラマブルウェイトモード、端子オートウェイトモード、端子ウェイトモード0、1を選択可能
 - ・ 0～3ステートのウェイトステートを自動的に挿入可能
- バス権調停機能
 - ・ バスアービタを内蔵し、CPUと外部バスマスタのバス権を調停

6.1.2 ブロック図

バスコントローラのブロック図を図6.1に示します。



《記号説明》

- ABWCR : バス幅コントロールレジスタ
- ASTCR : アクセスステートコントロールレジスタ
- WCER : ウェイトステートコントローライネーブルレジスタ
- WCR : ウェイトコントロールレジスタ
- BRER : バスリリースコントロールレジスタ

図6.1 バスコントローラのブロック図

6.1.3 端子構成

バスコントローラの入出力端子を表 6.1 に示します。

表 6.1 端子構成

名 称	略 称	入出力	機 能
アドレスストロープ	\overline{AS}	出力	アドレスバス上のアドレス出力が有効であることを示すストロープ信号
リ ー ド	\overline{RD}	出力	外部アドレス空間をリードしていることを示すストロープ信号
ハイライト	\overline{HWR}	出力	外部アドレス空間をライトし、データバスの上位側 ($D_{15} \sim D_8$) が有効であることを示すストロープ信号
ロウライト	\overline{LWR}	出力	外部アドレス空間をライトし、データバスの下位側 ($D_7 \sim D_0$) が有効であることを示すストロープ信号
ウ ェ イ ト	\overline{WAIT}	入力	外部 3 ステートアクセス空間をアクセスするときのウェイト要求信号
バス権要求	\overline{BREQ}	入力	バス権を外部に解放する要求信号
バス権要求 アクリッジ	\overline{BACK}	出力	バス権を外部に解放したことを示すアクリッジ信号

6.1.4 レジスタ構成

バスコントローラのレジスタ構成を表 6.2 に示します。

表 6.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初 期 値	
				$\epsilon-F1,3$	$\epsilon-F2,4$
H' FFEC	バス幅コントロールレジスタ	ABWCR	R/W	H' FF	H' 00
H' FFED	アクセスステートコントロールレジスタ	ASTCR	R/W	H' FF	H' FF
H' FFEB	ウェイトコントロールレジスタ	WCR	R/W	H' F3	H' F3
H' FFEF	ウェイトステートコントローライネーブルレジスタ	WCER	R/W	H' FF	H' FF
H' FFF3	バスリリースコントロールレジスタ	BRCR	R/W	H' FE	H' FE

【注】* アドレスは下位16ビットを示しています。

6.2 各レジスタの説明

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCRは8ビットのリード/ライト可能なレジスタで、各エリアを8ビットアクセス空間または16ビットアクセス空間のいずれかに設定します。

ビット:		7	6	5	4	3	2	1	0
		ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
初期値:	モード1,3	1	1	1	1	1	1	1	1
	モード2,4	0	0	0	0	0	0	0	0
R/W:		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのバス幅を選択するビットです。

ABWCRの内容がH'FF(全エリア8ビットアクセス空間)の場合、8ビットバスモードとなり、データバスは上位側(D₁₅~D₈)が有効となります。このときポート4は入出力ポートとなります。ABWCRの少なくとも1ビットを“0”にクリアした場合には、16ビットバスモードとなり、データバスは16ビット(D₁₅~D₀)となります。ABWCRはリセット、またはハードウェアスタンバイモード時にモード1、3ではH'FFに、モード2、4ではH'00にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7~0: エリア7~0バス幅コントロール (ABW7~ABW0)

対応するエリアを8ビットアクセス空間とするか16ビットアクセス空間とするかを選択します。

ビット7~0	説明
ABW7~ABW0	
0	エリア7~0を16ビットアクセス空間に設定
1	エリア7~0を8ビットアクセス空間に設定

ABWCRは、外部メモリ空間のデータバス幅を指定します。内蔵メモリ、内部I/Oレジスタのデータバス幅はABWCRの設定値にかかわらず固定です。

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCRは8ビットのリード/ライト可能なレジスタで、各エリアを2ステートアクセス空間または3ステートアクセス空間のいずれかに設定します。

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

各エリアのアクセスステート数を選択するビットです。

ASTCRはリセット、またはハードウェアスタンバイモード時に、H'FFにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7～0：エリア7～0アクセスステートコントロール (AST7～AST0)

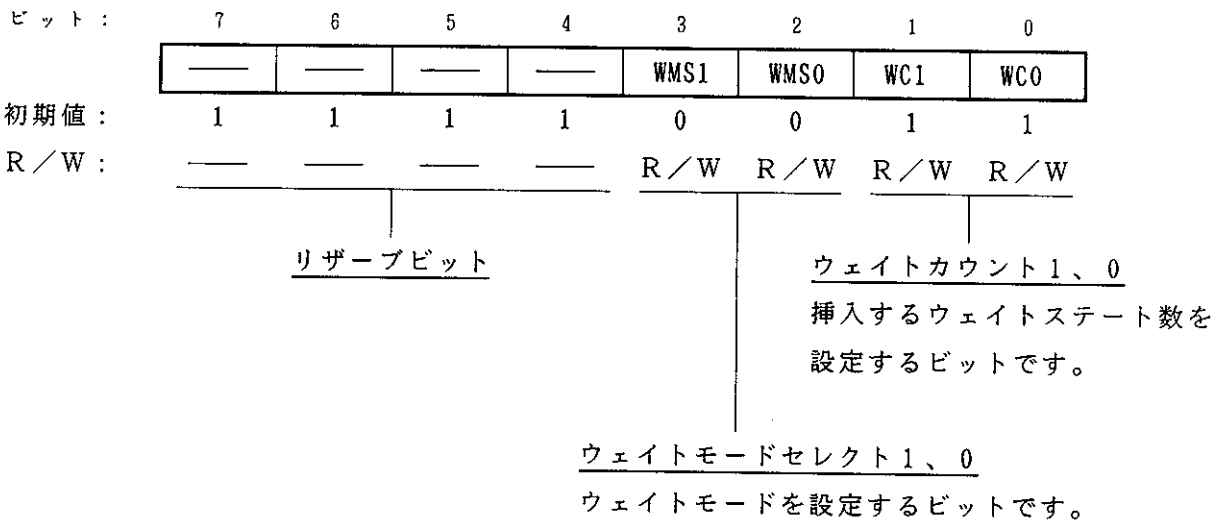
対応するエリアを2ステートアクセス空間とするか3ステートアクセス空間とするかを選択します。

ビット7～0	説明
AST7～AST0	
0	エリア7～0を2ステートアクセス空間に設定
1	エリア7～0を3ステートアクセス空間に設定 (初期値)

ASTCRは、外部メモリ空間のアクセスステート数を設定します。内蔵メモリ、内部I/Oレジスタに対するアクセスステート数はASTCRの設定値にかかわらず固定です。

6.2.3 ウェイトコントロールレジスタ (WCR)

WCRは8ビットのリード/ライト可能なレジスタで、ウェイトステートコントローラ(WSC)のウェイトモードとウェイトステート数を設定します。



WCRはリセット、またはハードウェアスタンバイモード時にH'F3にイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット7～4：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3、2：ウェイトモードセレクト1、0 (WMS1、0)

ウェイトモードを設定します。

ビット3	ビット2	説明
WMS1	WMS0	
0	0	プログラマブルウェイトモード (初期値)
0	1	ウェイトステートコントローラによるウェイトを禁止
1	0	端子ウェイトモード1
1	1	端子オートウェイトモード

ビット1、0：ウェイトカウント1、0（WC1、0）

外部3ステートアクセス空間をアクセスするときに、挿入するウェイトステート数を設定します。

ビット1	ビット0	説 明
WC1	WC0	
0	0	WSCによるウェイトを禁止
0	1	1ステート挿入
1	0	2ステート挿入
1	1	3ステート挿入 (初期値)

6.2.4 ウェイトステートコントローライネーブルレジスタ（WCER）

WCERは8ビットのリード/ライト可能なレジスタで、外部3ステートアクセス空間について、WSCの動作を許可/禁止します。

ビット：	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローライネーブル7～0
 WSCの動作を許可/禁止するビットです。

WCERはリセット、またはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

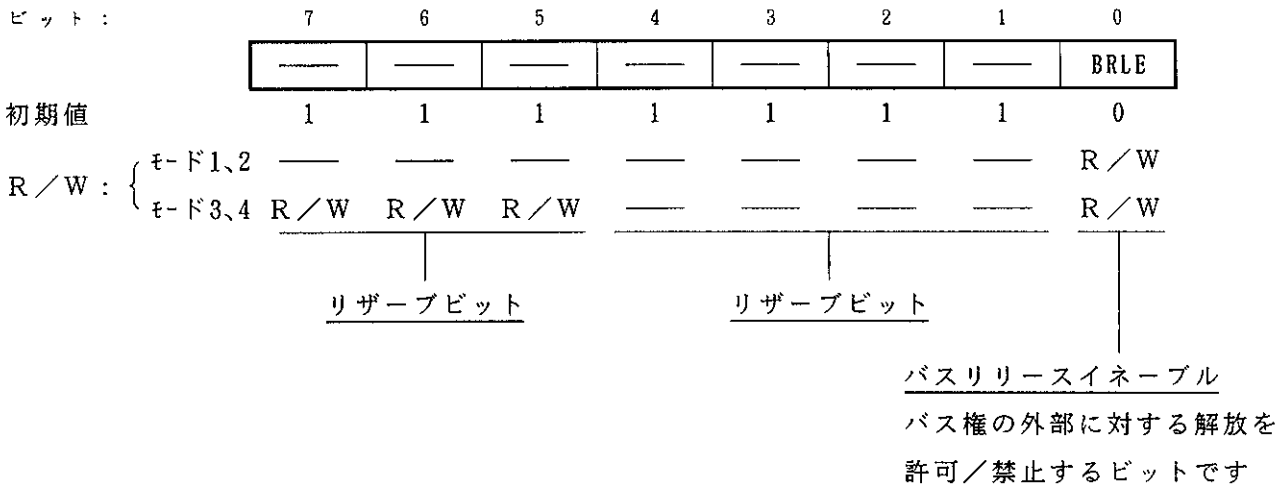
ビット7～0：ウェイトステートコントローライネーブル7～0（WCE7～WCE0）

外部3ステートアクセス空間について、WSCの動作を許可/禁止します。

ビット7～0	説 明
WCE7～WCE0	
0	WSCの動作を禁止 (端子ウェイトモード0)
1	WSCの動作を許可 (初期値)

6.2.5 バスリリースコントロールレジスタ (BRCR)

BRCRは8ビットのリード/ライト可能なレジスタで、バス権の外部に対する解放を許可/禁止します。



BRCRはリセット、またはハードウェアスタンバイモード時にH'FEにイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7～5：リザーブビット

リザーブビットです。モード1、2時は、リードすると常に“1”が読み出されます。ライトは無効です。モード3、4時は、リード/ライト可能です。

ビット4～1：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット0：バスリリースイネーブル (BRLE)

バス権の外部に対する解放を許可/禁止します。

ビット0	説明
BRLE	
0	バス権の外部に対する解放を禁止し、 \overline{BREQ} 、 \overline{BACK} 端子は入出力端子として使用可 (初期値)
1	バス権の外部に対する解放を許可

6.3 動作説明

6.3.1 エリア分割

外部アドレス空間は、1 Mバイトモードのとき128kバイト、16Mバイトモードのとき2 Mバイトごとのエリア0～7に分割されています。メモリマップの概要を図6.2に示します。

H' 00000	エリア0 (128kバイト)	H' 000000	エリア0 (2Mバイト)
H' 1FFFF		H' 1FFFFFF	
H' 20000	エリア1 (128kバイト)	H' 200000	エリア1 (2Mバイト)
H' 3FFFF		H' 3FFFFFF	
H' 40000	エリア2 (128kバイト)	H' 400000	エリア2 (2Mバイト)
H' 5FFFF		H' 5FFFFFF	
H' 60000	エリア3 (128kバイト)	H' 600000	エリア3 (2Mバイト)
H' 7FFFF		H' 7FFFFFF	
H' 80000	エリア4 (128kバイト)	H' 800000	エリア4 (2Mバイト)
H' 9FFFF		H' 9FFFFFF	
H' A0000	エリア5 (128kバイト)	H' A00000	エリア5 (2Mバイト)
H' BFFFF		H' BFFFFFF	
H' C0000	エリア6 (128kバイト)	H' C00000	エリア6 (2Mバイト)
H' DFFFF		H' DFFFFFF	
H' E0000	エリア7 (128kバイト)	H' E00000	エリア7 (2Mバイト)
	内蔵RAM ^{*1、*2}		内蔵RAM ^{*1、*2}
	外部アドレス空間 ^{*3}		外部アドレス空間 ^{*3}
H' FFFFF	内部I/Oレジスタ ^{*1}	H' FFFFFFF	内部I/Oレジスタ ^{*1}

(a) 1 Mバイトモード (モード1、2)

(b) 16Mバイトモード (モード3、4)

- 【注】^{*1} 内蔵RAM、内部I/Oレジスタのバス幅、アクセスステート数は固定です。
^{*2} SYSCRのRAMEビットを“0”にクリアするとエリア7の指定に従います。
^{*3} 外部アドレス空間12バイトは、エリア7の指定に従います。

図6.2 各動作モードにおけるアクセスエリアマップ

各エリアのバス仕様は、ABWCR、ASTCR、WCER、WCRで指定されます。
各エリアのバス仕様を表6.3に示します。

表 6.3 各エリアのバス仕様

ABWCR	ASTCR	WCER	W C R		バ ス 仕 様			
ABWn	ASTn	WCEn	WMS1	WMS0	バス幅	アクセス ステート	ウェイトモード	
0	0	—	—	—	16	2	禁止	
	1	0	—	—	16	3	端子ウェイトモード0	
	1	1	1	0	0	16	3	プログラマブルウェイトモード
				0	1	16	3	禁止
				1	0	16	3	端子ウェイトモード1
				1	1	16	3	端子オートウェイトモード
1	0	—	—	—	8	2	禁止	
	1	0	—	—	8	3	端子ウェイトモード0	
	1	1	1	0	0	8	3	プログラマブルウェイトモード
				0	1	8	3	禁止
				1	0	8	3	端子ウェイトモード1
				1	1	8	3	端子オートウェイトモード

【注】 n = 0 ~ 7

6.3.2 データバス

本LSIは、エリア0～7をそれぞれ8ビットアクセス空間または16ビットアクセス空間のいずれかに設定することができます。8ビットアクセス空間では、データバスの上位側(D₁₅～D₈)を使用します。また16ビットアクセス空間ではデータバスの上位側(D₁₅～D₈)、下位側(D₇～D₀)を使用します。

リード時には、データバスの上位側、下位側の区別なく、RD信号が有効です。

ライト時にはデータバスの上位側に対してHWR信号が、データバスの下位側に対してLWR信号が有効です。

表6.4にアクセス空間と使用するデータバスを示します。

表6.4 アクセス空間と使用するデータバス

エリア	アクセスサイズ	リード/ライト	アドレス	有効なストロープ	データバス上位 (D ₁₅ ～D ₈)	データバス下位 (D ₇ ～D ₀)
8ビット アクセス空間	—	リード	—	\overline{RD}	有効	無効
		ライト	—	\overline{HWR}		不定
16ビット アクセス空間	バイト	リード	偶数	\overline{RD}	有効	無効
			奇数	\overline{RD}	無効	有効
		ライト	偶数	\overline{HWR}	有効	不定
			奇数	\overline{LWR}	不定	有効
	ワード	リード	—	\overline{RD}	有効	有効
		ライト	—	\overline{HWR} 、 \overline{LWR}	有効	有効

【注】 不定：不定データが出力されます。

無効：入力状態であり、入力値は無視されます。

6.3.3 バス制御信号タイミング

(1) 8ビット3ステートアクセス空間

図6.3に8ビット3ステートアクセス空間のバス制御信号タイミングを示します。8ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

\overline{LWR} 端子は常に“High”レベルとなっています。ウェイトステートを挿入することができます。

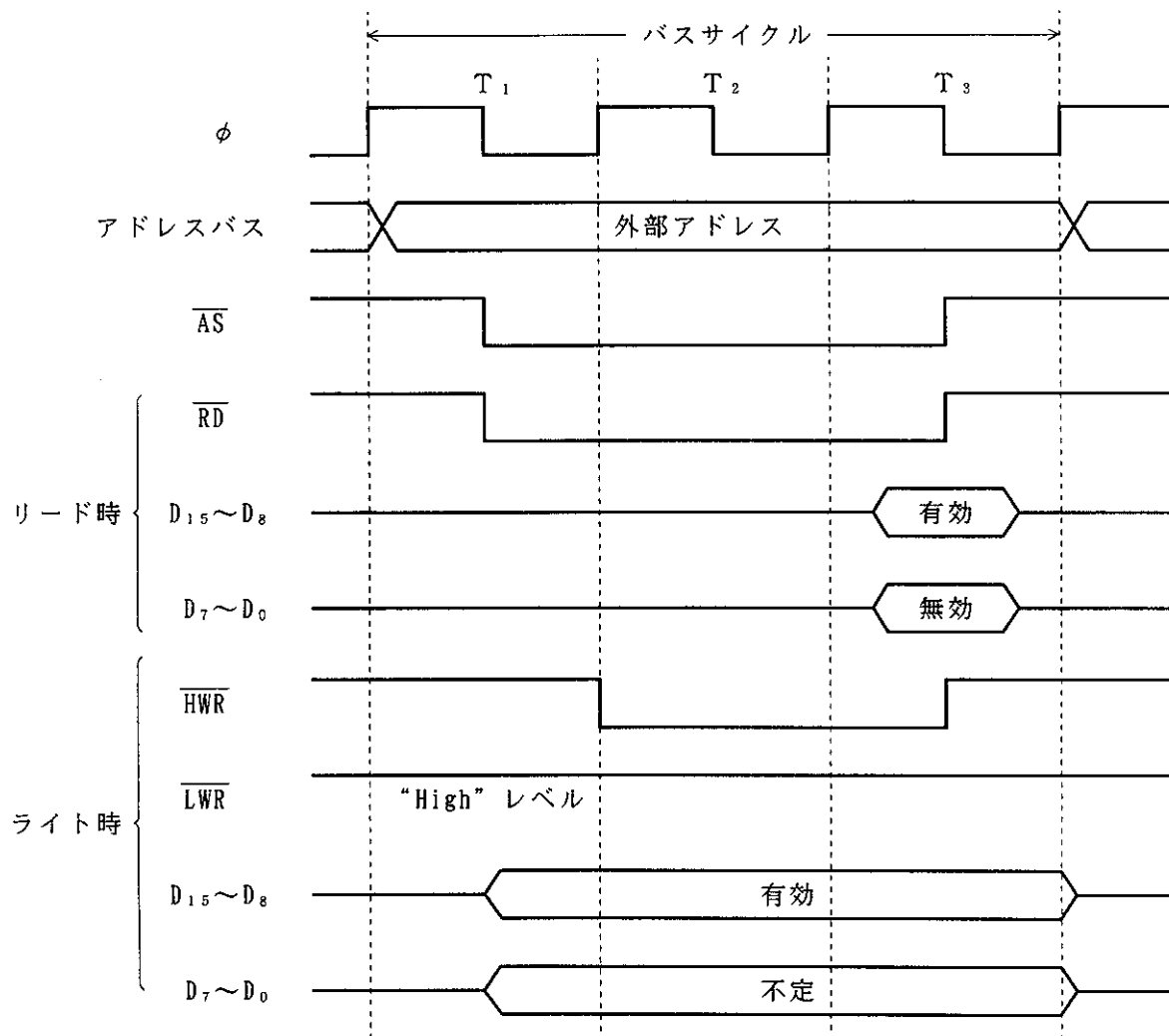


図 6.3 8ビット3ステートアクセス空間のバス制御信号タイミング

(2) 8ビット2ステートアクセス空間

図6.4に8ビット2ステート空間のバス制御信号タイミングを示します。8ビットアクセス空間をアクセスする場合データバスの上位側 ($D_{15} \sim D_8$) を使用します。

LWR端子は常に“High”レベルとなっています。ウェイトステートを挿入することはできません。

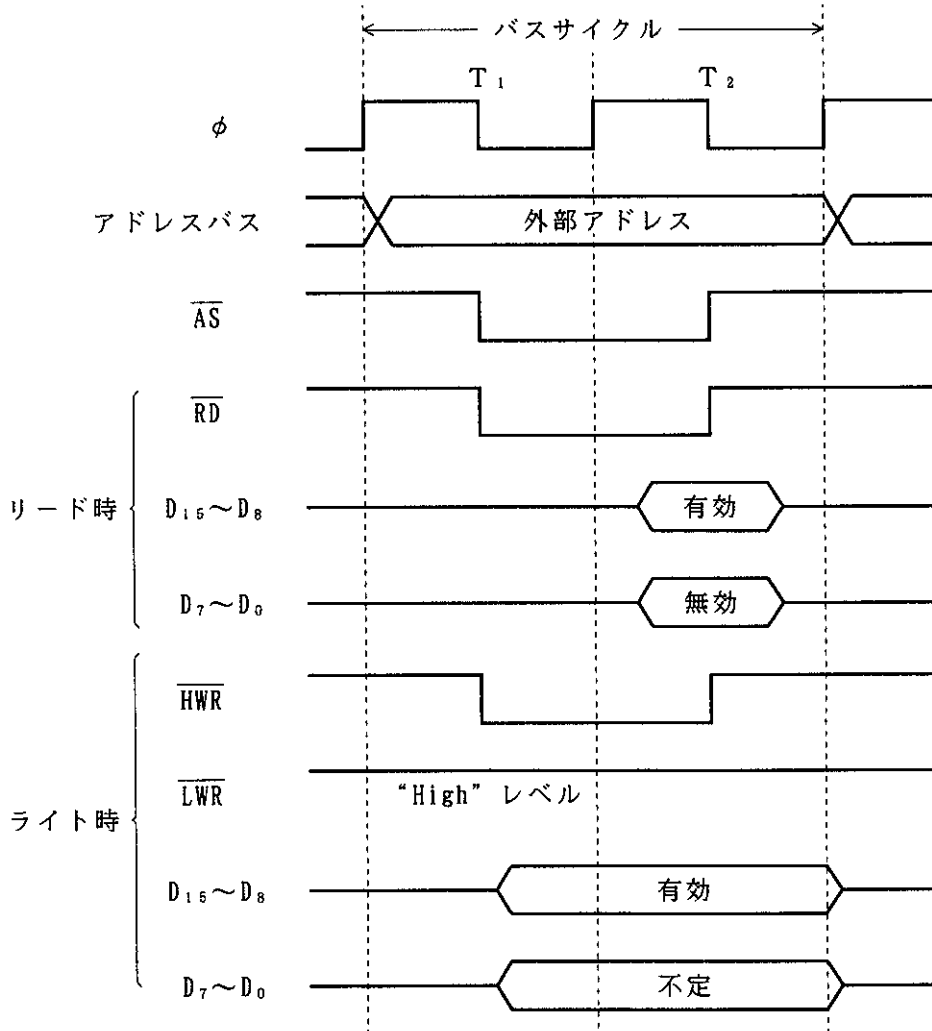


図6.4 8ビット2ステートアクセス空間のバス制御信号タイミング

(3) 16ビット3ステートアクセス空間

図6.5～図6.7に16ビット3ステートアクセス空間のバス制御信号タイミングを示します。16ビットアクセス空間をアクセスする場合偶数アドレスに対しては、データバスの上位側（ $D_{15} \sim D_8$ ）を使用し、奇数アドレスに対してはデータバスの下位側（ $D_7 \sim D_0$ ）を使用します。ウェイトステートを挿入することができます。

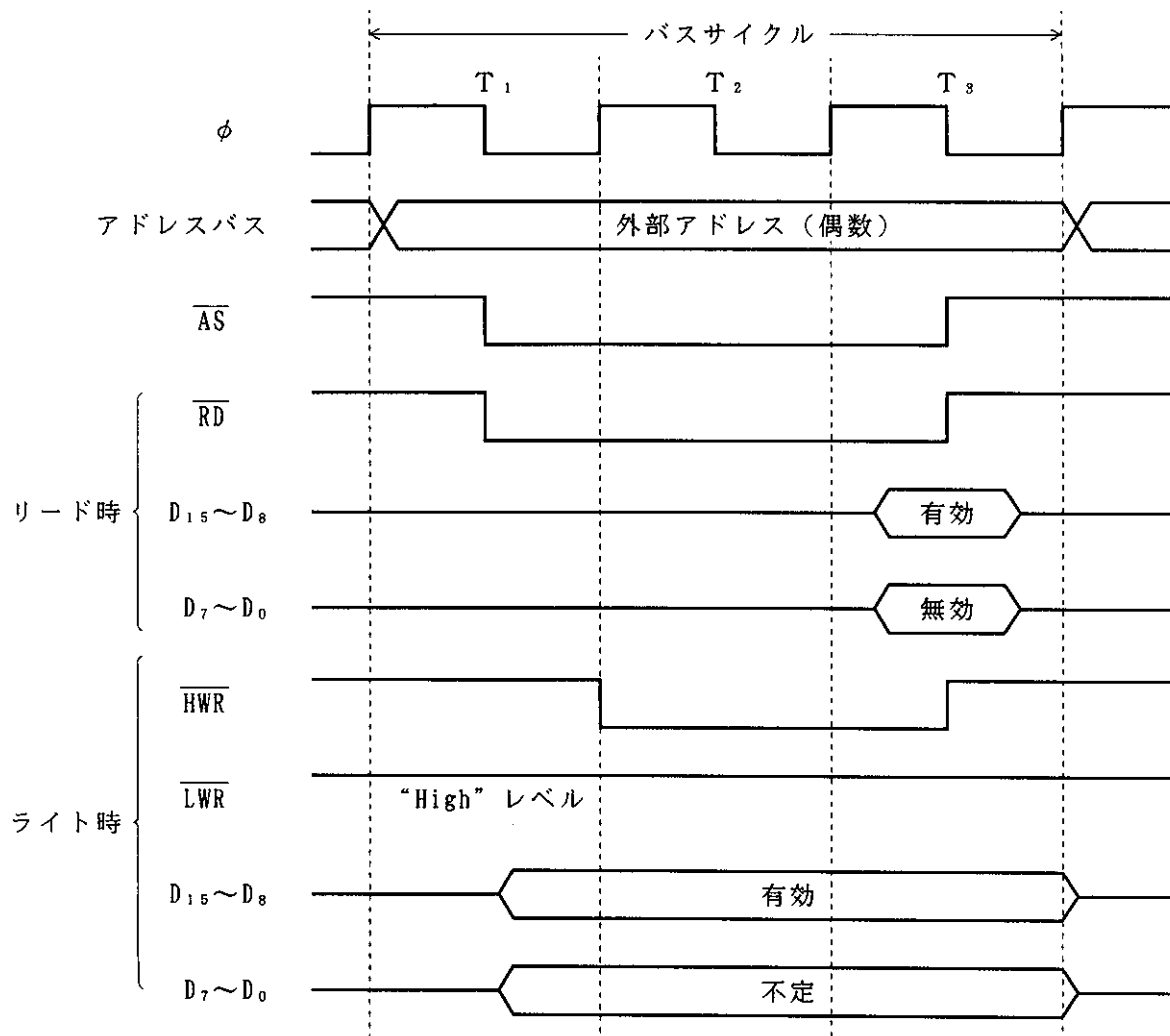


図6.5 16ビット3ステートアクセス空間のバス制御信号タイミング(1)
(偶数アドレスバイトアクセス)

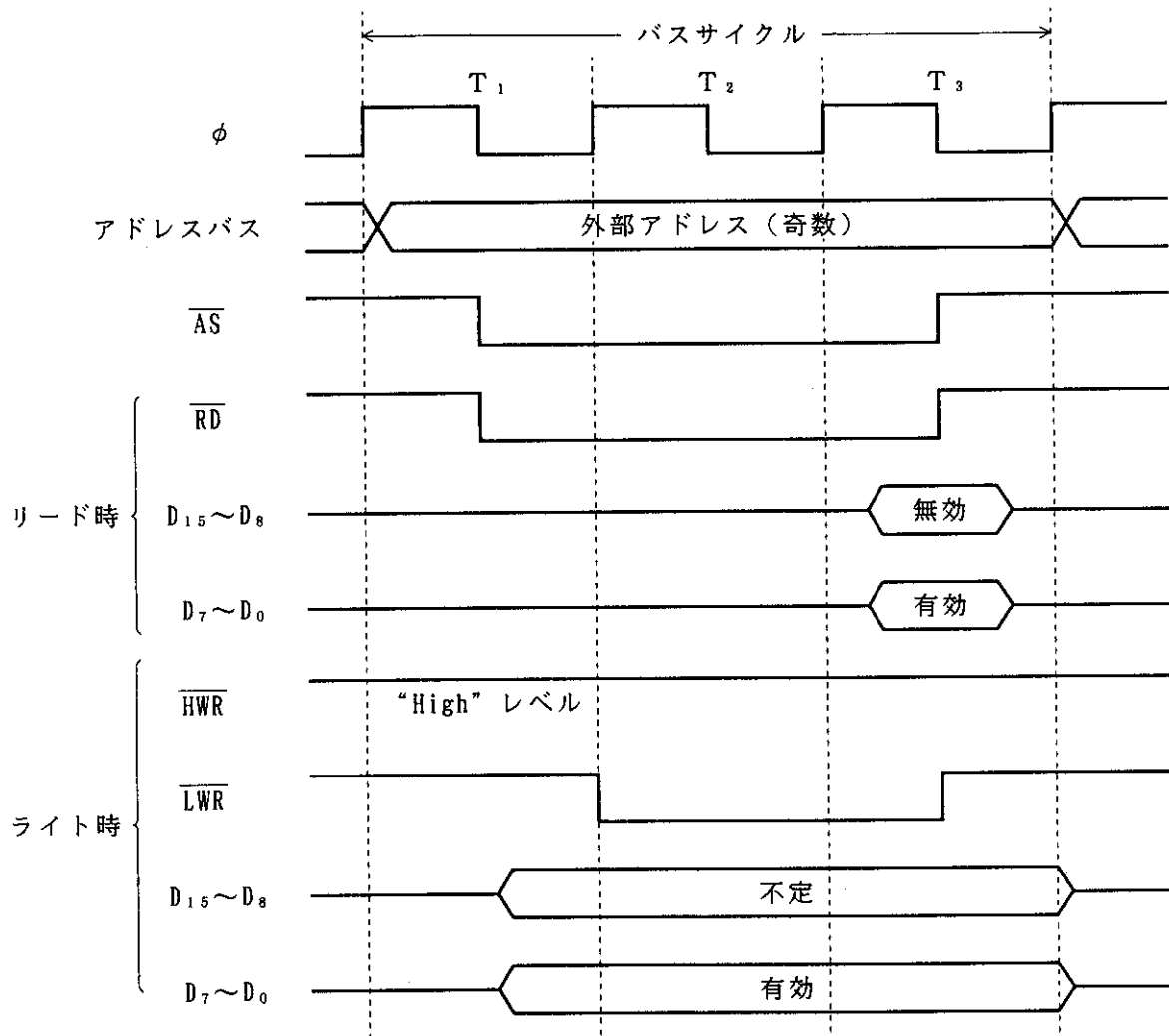


図 6.6 16ビット 3 ステートアクセス空間のバス制御信号タイミング(2)
(奇数アドレスバイトアクセス)

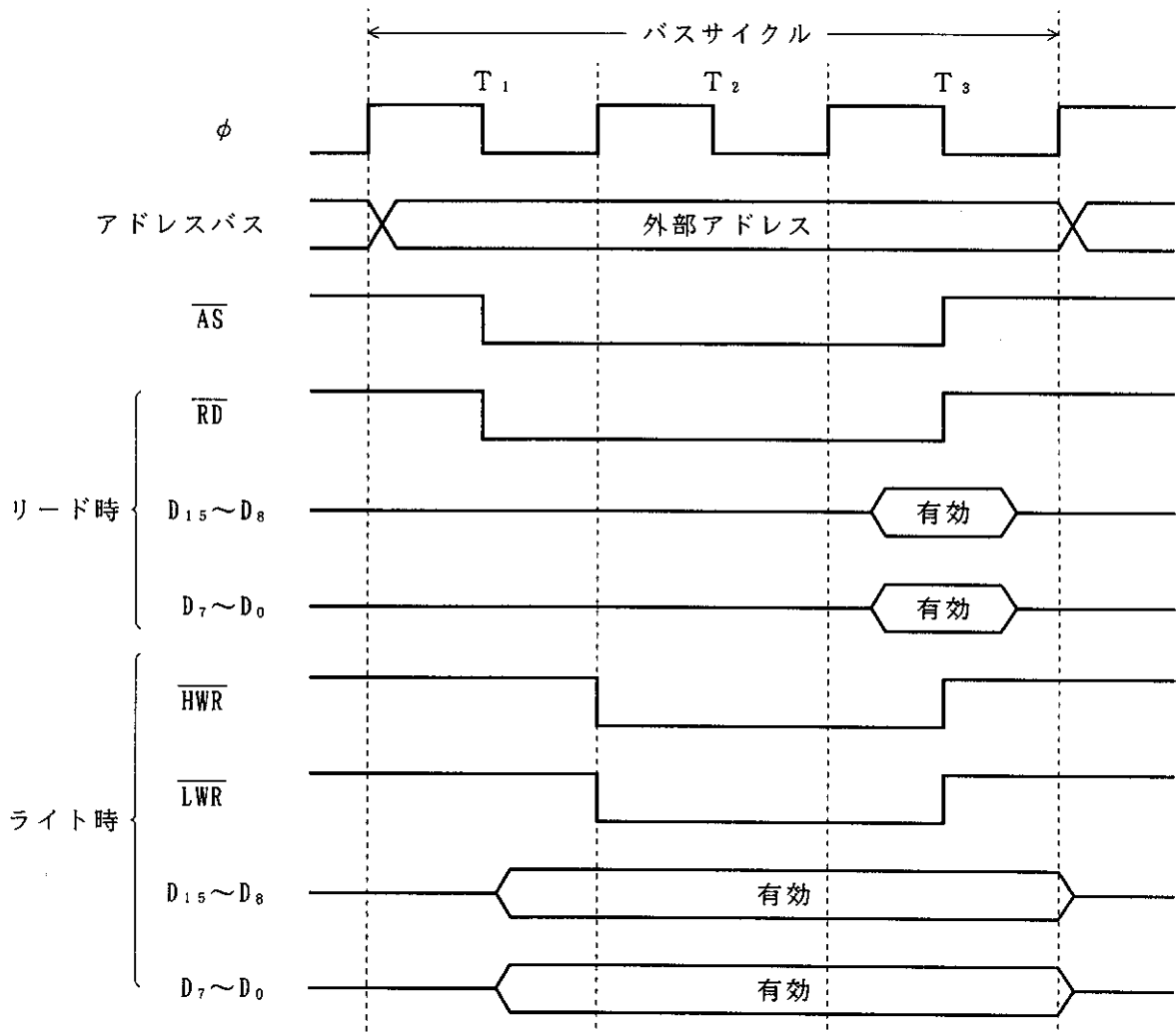


図 6. 7 16ビット3ステートアクセス空間のバス制御信号タイミング(3)
(ワードアクセス)

(4) 16ビット2ステートアクセス空間

図6.8～図6.10に16ビット2ステートアクセス空間のバス制御信号タイミングを示します。16ビットアクセス空間をアクセスする場合、偶数アドレスに対してはデータバスの上位側 ($D_{15} \sim D_8$) を使用し、奇数アドレスに対してはデータバスの下位側 ($D_7 \sim D_0$) を使用します。ウェイトステートを挿入することはできません。

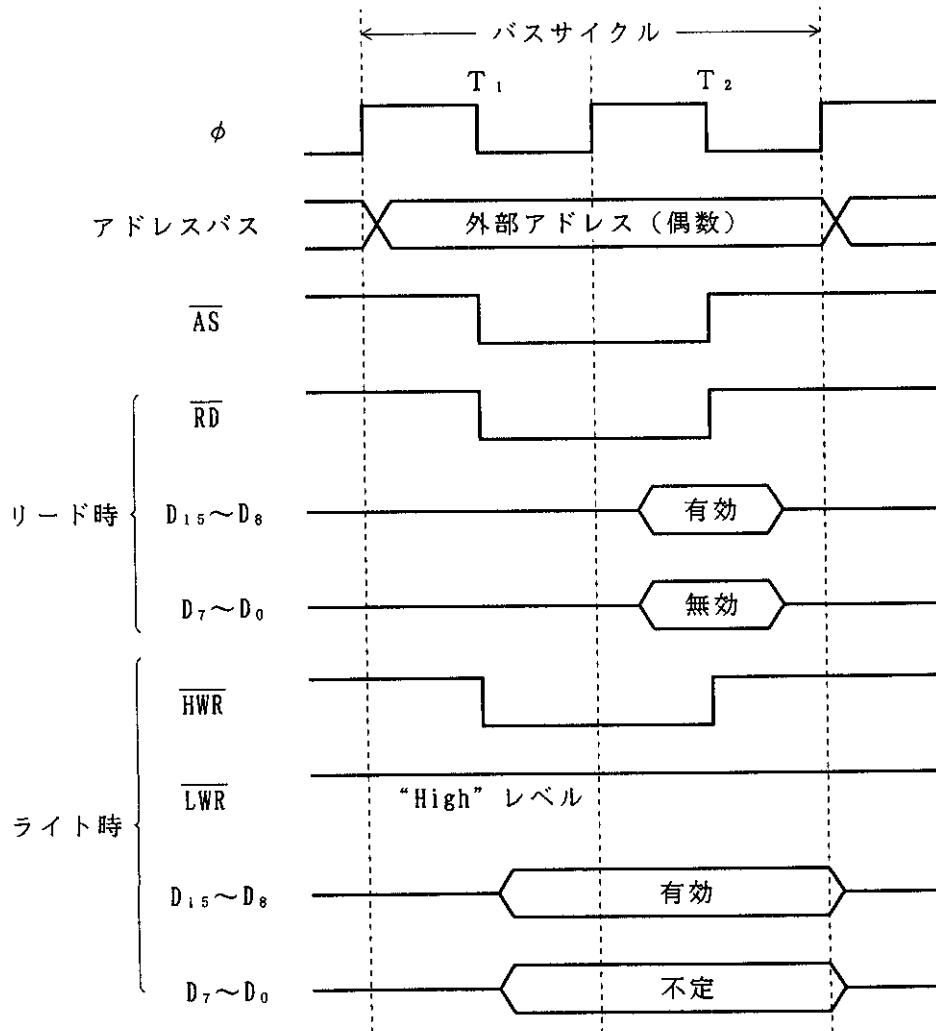


図6.8 16ビット2ステートアクセス空間のバス制御信号タイミング(1)
(偶数アドレスバイトアクセス)

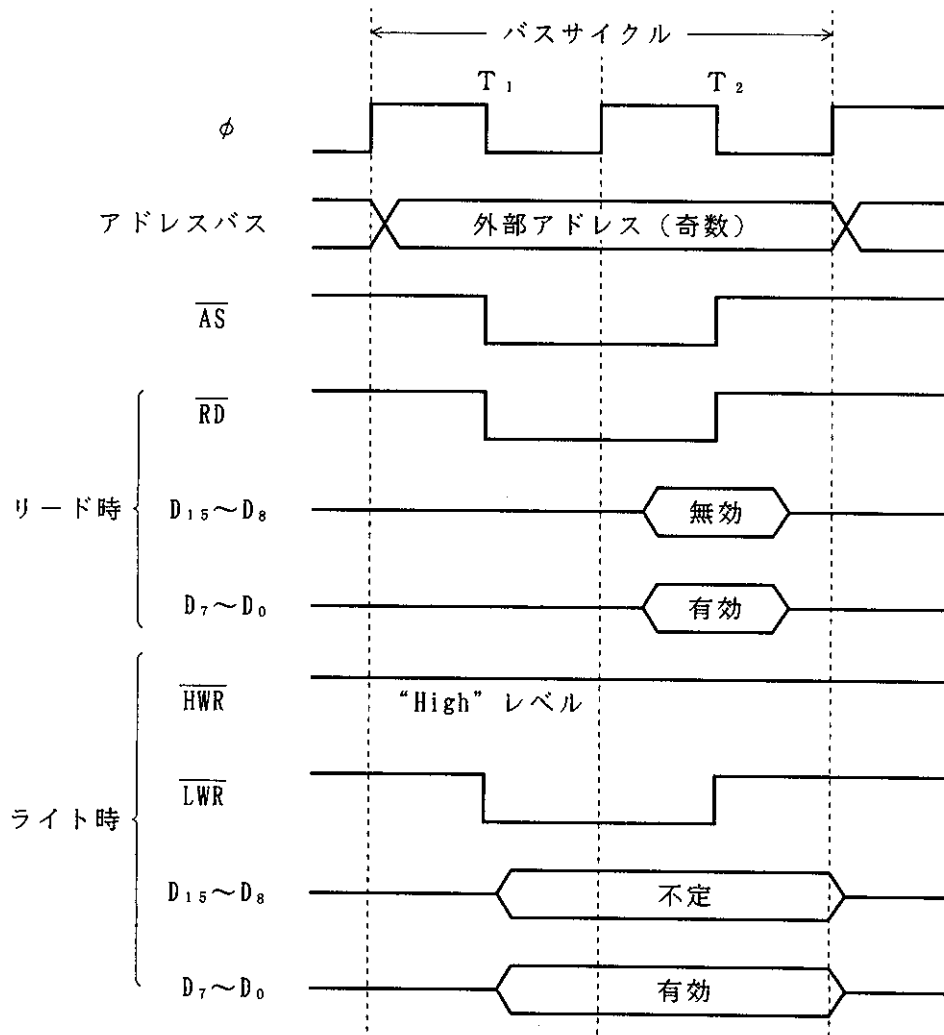


図 6.9 16ビット 2 ステートアクセス空間のバス制御信号タイミング(2)
(奇数アドレスバイトアクセス)

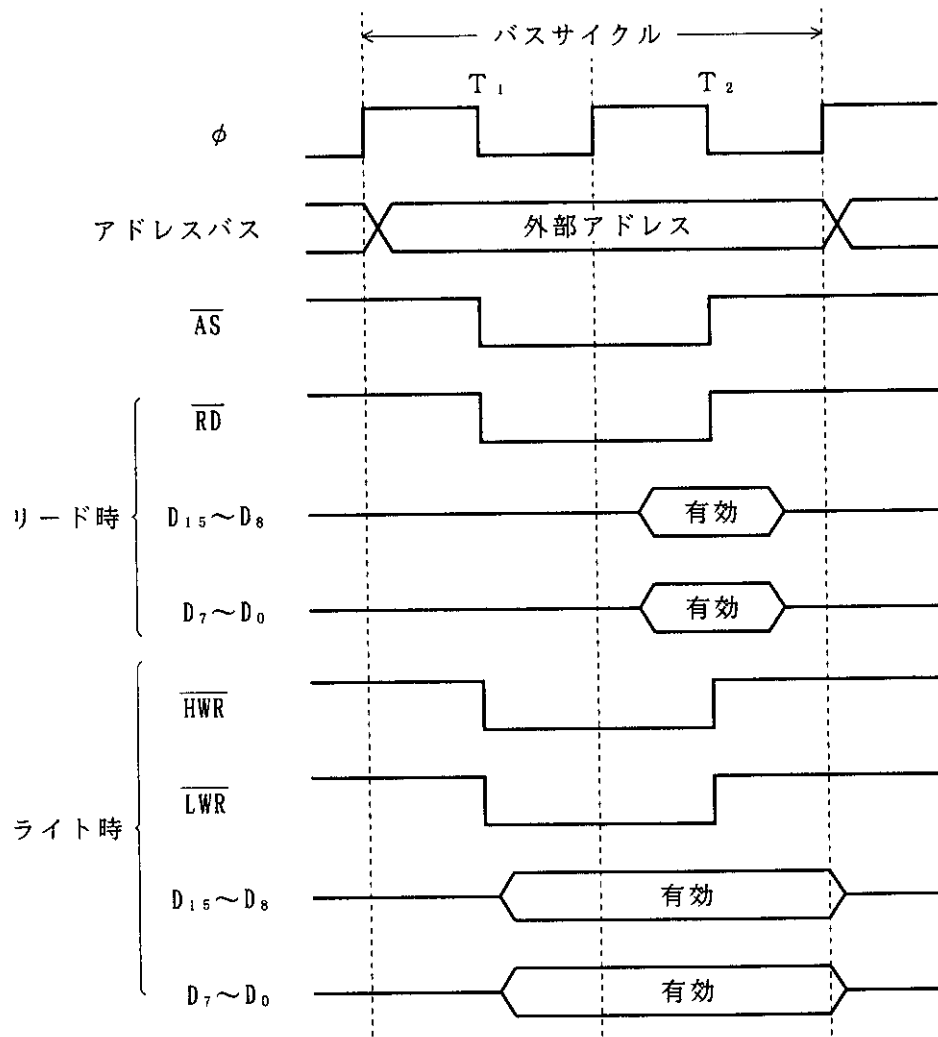


図6.10 16ビット2ステートアクセス空間のバス制御信号タイミング(3)
(ワードアクセス)

6.3.4 ウェイトモード

ウェイトモードには、4種類のモードがありエリアごとに選択できます。ウェイトモードの選択方法を表6.5に示します。

表6.5 ウェイトモードの選択

ASTCR	WCER	W C R		WSC動作	ウェイトモード
ASTnビット	WCEnビット	WMS1ビット	WMS0ビット		
0	—	—	—	禁止	ウェイト禁止
1	0	—	—	禁止	端子ウェイトモード0
1	1	0	0	許可	プログラマブルウェイトモード
		0	1	許可	ウェイト禁止
		1	0	許可	端子ウェイトモード1
		1	1	許可	端子オートウェイトモード

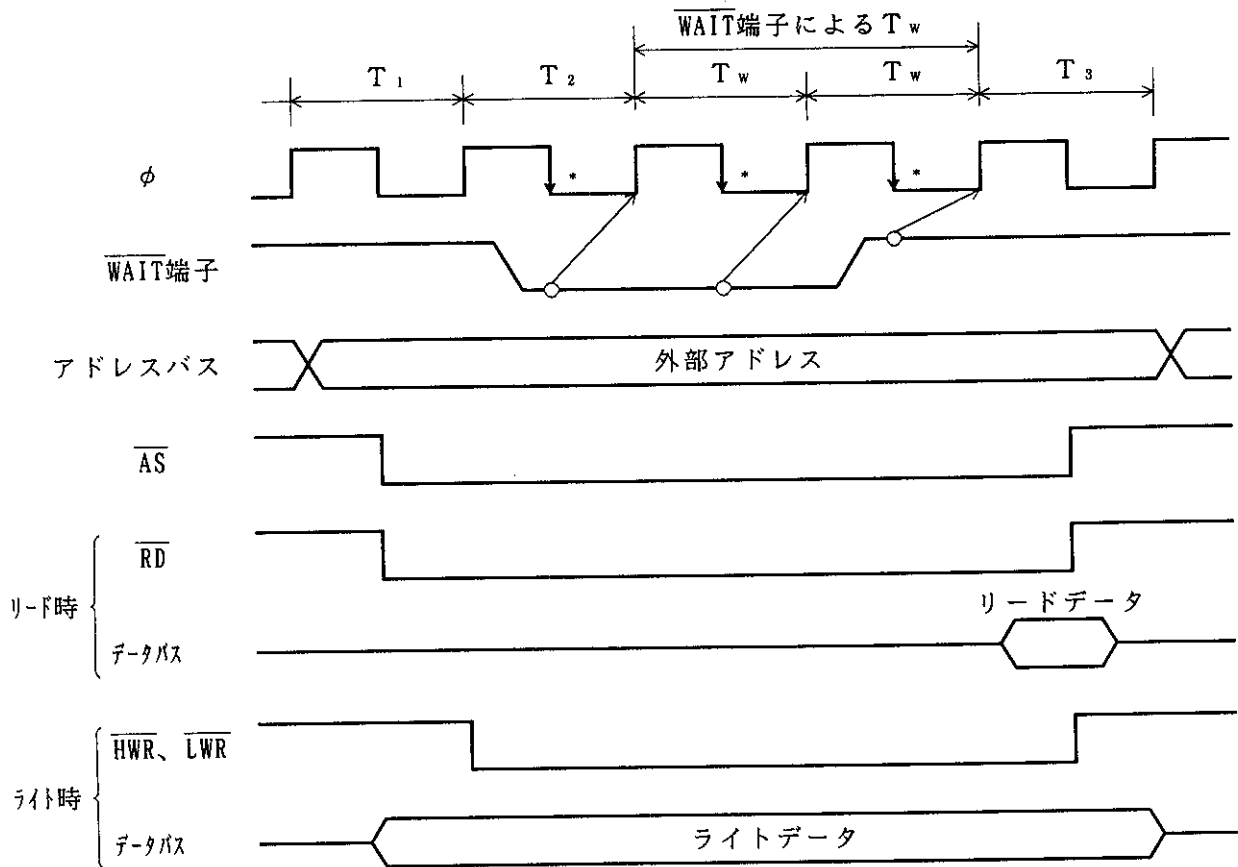
【注】 n = 7 ~ 0

ASTn、WCEnビットは、エリアごとに独立して選択可能です。WMS1、0ビットは各エリアに共通です。したがって、WSCの動作を許可したエリアの動作は同一になります。

(1) 端子ウェイトモード 0

端子ウェイトモード 0 では、WSC の動作が禁止され、WAIT 端子によるウェイト状態のみが挿入されます。外部 3 ステートアクセス空間をアクセスするとき、 T_2 ステートの ϕ の立下がりのタイミングで WAIT 端子が "Low" レベルであると、 T_w ステートが挿入されます。WAIT 端子が "Low" レベルに保持されると WAIT 端子が "High" レベルに立上がるまで T_w が挿入されます。

このタイミングを図 6.11 に示します。



【注】* 矢印は WAIT 端子のサンプリングタイミングを示します。

図 6.11 端子ウェイトモード 0

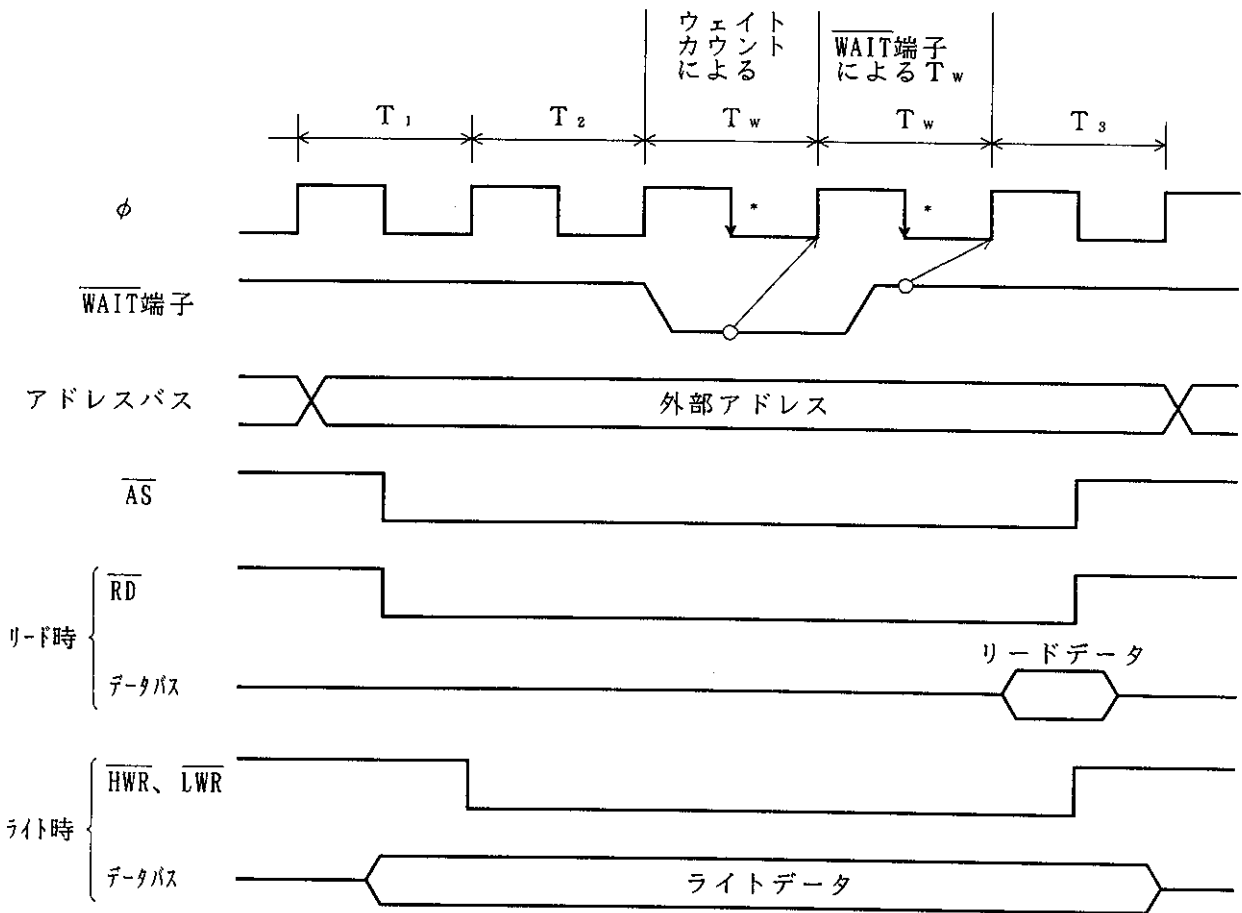
(2) 端子ウェイトモード 1

端子ウェイトモード 1 では、外部 3 ステートアクセス空間をアクセスすると、常に WC 1、0 ビットにより設定されたステート数だけ T_w が挿入されます。この最後の T_w の ϕ の立下がりのタイミングで WAIT 端子を “Low” レベルにすることで、さらに T_w を挿入することができます。WAIT 端子が “Low” レベルに保持されると、WAIT 端子が “High” レベルに立上がるまで T_w が挿入されます。

端子ウェイトモード 1 は、4 ステート以上の T_w を挿入する場合や、外部デバイスごとに挿入すると T_w 数を変える場合などに有効です。

ウェイトカウン트의 “0” の場合は、端子ウェイトモード 0 と同様の動作になります。

ウェイトカウン트가 1 (WC 1 = “0”、WC 0 = “1”) で、かつ WAIT 端子入力による T_w が 1 ステートの場合のタイミングを図 6.12 に示します。



【注】* 矢印は WAIT 端子のサンプリングタイミングを示します。

図 6.12 端子ウェイトモード 1

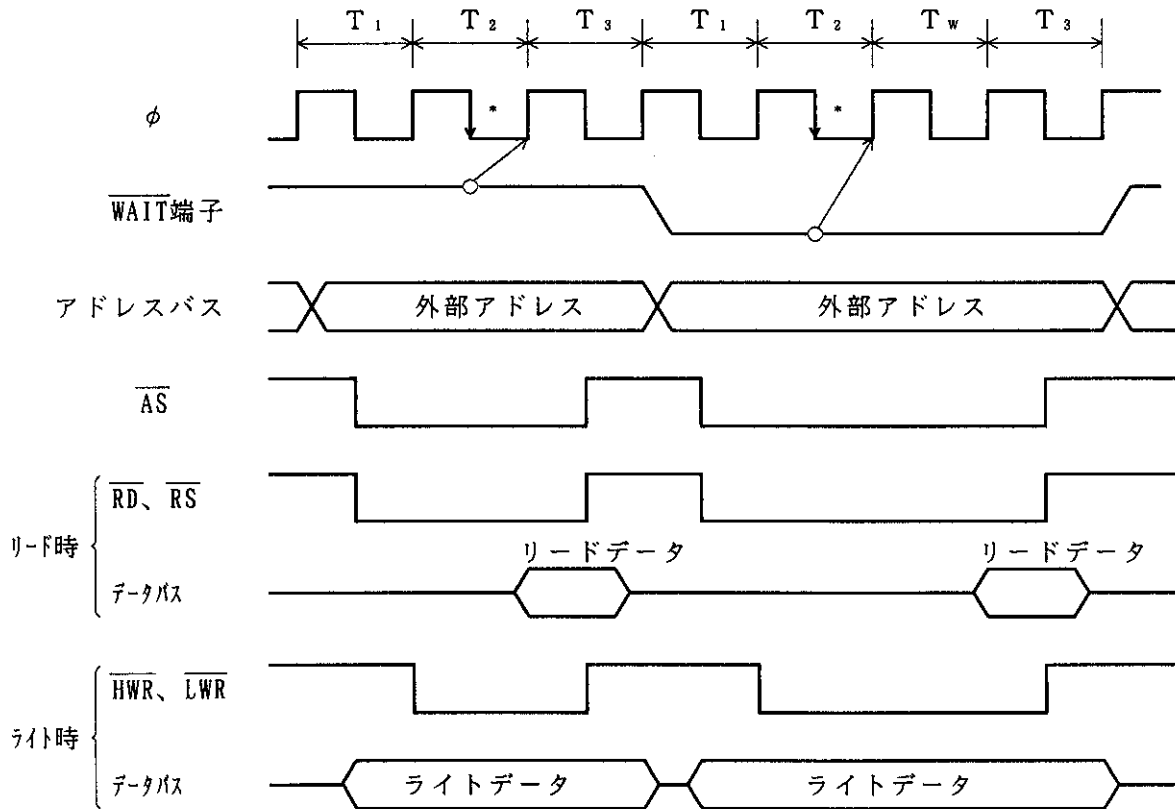
(3) 端子オートウェイトモード

端子オートウェイトモードでは、WAIT端子が“Low”レベルのとき、WC 1、0ビットで設定された T_w 数が挿入されます。

端子オートウェイトモードでは、 T_2 ステートの ϕ の立下がりのタイミングでWAIT端子が“Low”レベルであればWC 1、0ビットによって設定された数だけ T_w を挿入します。

WAIT端子を“Low”レベルに保持しても、設定された数を超える T_w は挿入されません。

このタイミングを図 6.13に示します。図 6.13は、ウェイトカウントが1の場合です。



【注】* 矢印はWAIT端子のサンプリングタイミングを示します。

図 6.13 端子オートウェイトモード

(4) プログラマブルウェイトモード

プログラマブルウェイトモードでは、外部 3 ステートアクセス空間をアクセスすると、常に WC 1、0 ビットにより設定されたステート数だけ T_w が挿入されます。

このタイミングを図 6.14 に示します。図 6.14 は、ウェイトカウントが 1 の場合 ($WC 1 = "0"$ 、 $WC 0 = "1"$) です。

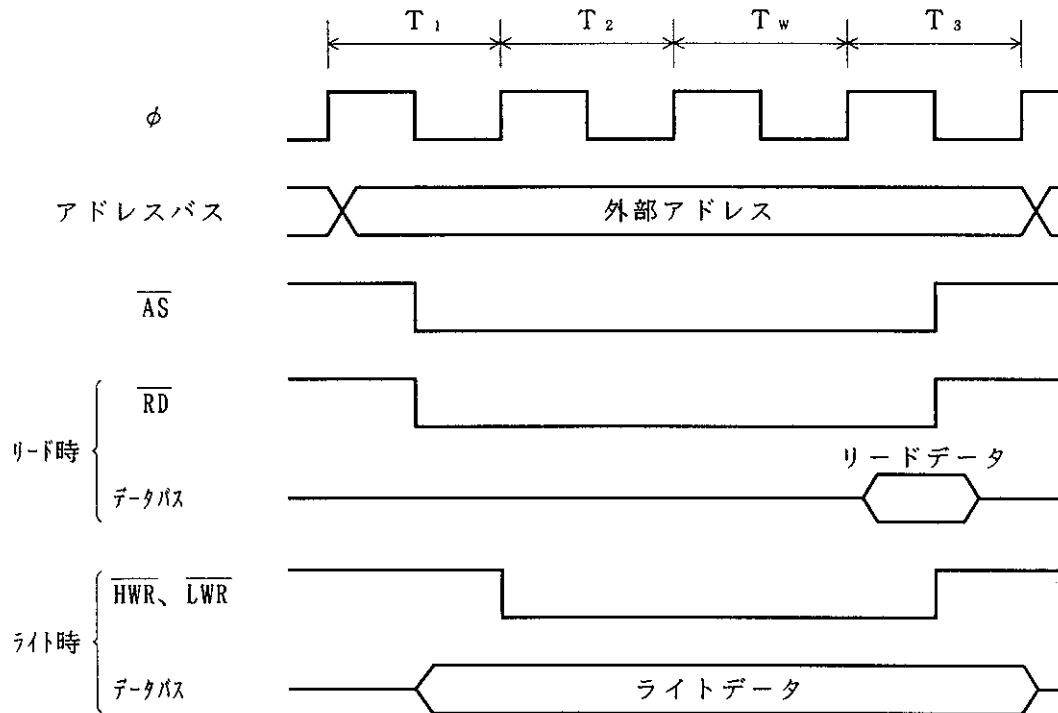


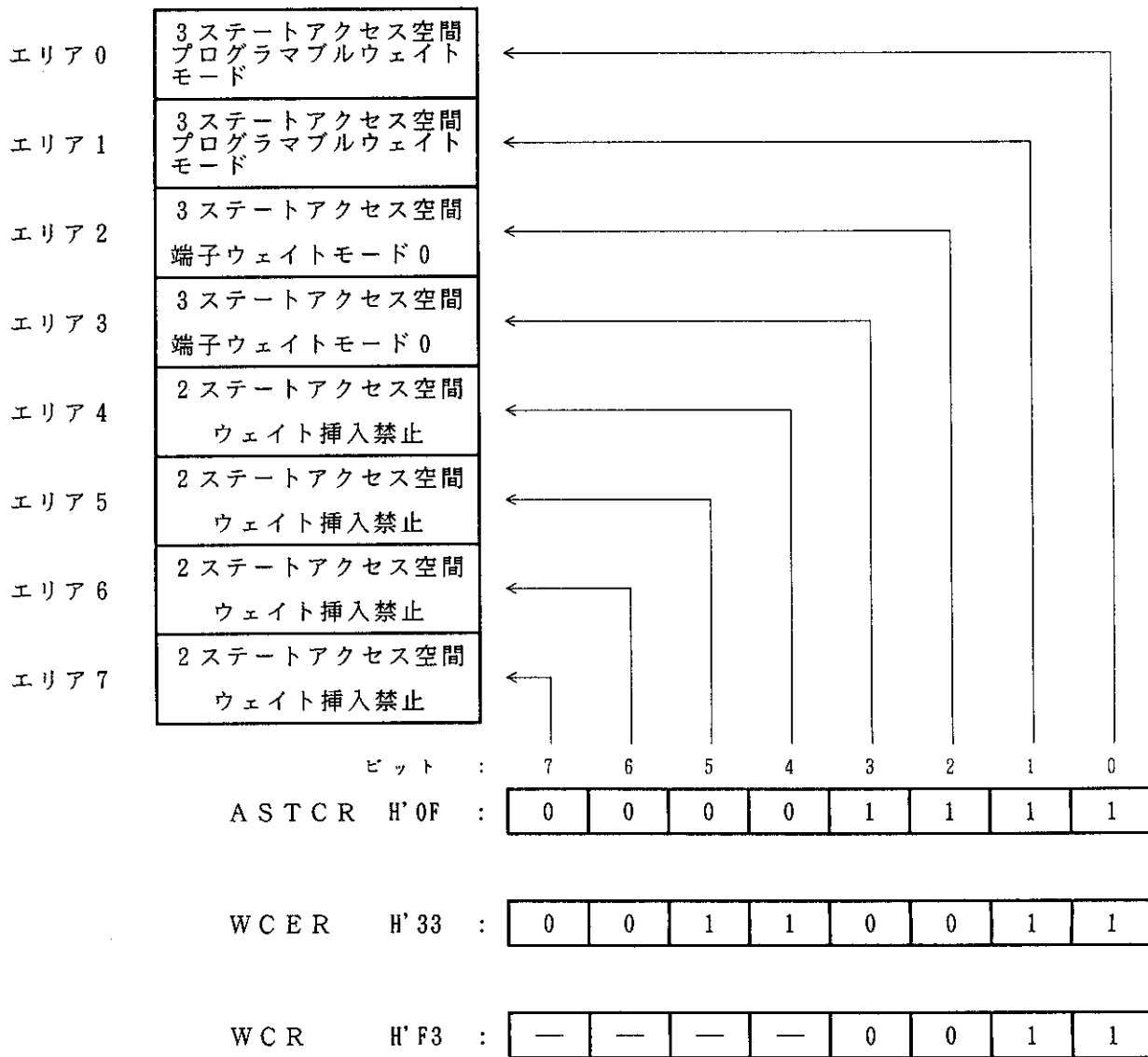
図 6.14 プログラマブルウェイトモード

(5) W S C の設定例

リセット後の W C E R、A S T C R は、いずれも H' FF、W C R は H' F3 となっています。このため全エリアともプログラマブルウェイトモードの 3 ステート挿入となります。

その後、ソフトウェアにより、A S T C R、W C E R、W C R を設定し、エリアごとのウェイトモードを選択してください。

ウェイトモードの設定例を図 6.15 に示します。



【注】 A S T C R によって 2 ステートアクセスに設定されたエリアでは、ウェイトステートは挿入できません。

図 6.15 ウェイトモードの設定例

6.3.5 バスアービタの動作

バスコントローラは、バスマスタの動作を調停（バスアービトレーション）するバスアービタを内蔵しています。

バスマスタは、CPUと外部バスマスタの2つがあり、バス権を占有した状態でリード/ライトを行います。各バスマスタはバス権要求信号によりバス権を要求します。バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可して、バスマスタはバス権を獲得して動作します。

バスアービタは、バスマスタのバス権要求信号がアクティブになっているかどうかを調べ、アクティブになっていれば、そのバスマスタにバス権要求アクノリッジ信号を返します。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジを返します。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを使用します。

バスマスタの優先順位は、

（高） 外部バスマスタ > CPU （低）

の順となっています。バスアービタは常にバス権要求信号をサンプリングし、優先順位を判定していますが、現在のバスマスタよりも優先順位の高いバスマスタからバス権要求があったとしても、すぐにバス権を放棄するとは限りません。

各バスマスタには、それぞれ自分より優先順位の高いバスマスタにバス権を譲ることができるタイミングがあります。

(1) CPU

CPUは最も優先順位の低いバスマスタです。CPUがバスマスタの場合に、外部バスマスタからのバス権要求が発生するとバスアービタはバス権を要求があったバスマスタに移行します。バス権が移行するタイミングは次のとおりです。

- ① バスサイクルの切れ目でバス権を移行します。ワードデータアクセスを2回のバイトアクセスに分割して行う場合には、これら2つのバイトアクセスの間ではバス権は移行しません
- ② CPUが乗除算命令などの内部動作を行っている場合、他のバスマスタからバス権要求が発生するとただちに、バス権が移行します。CPUの内部動作は継続されます。
- ③ CPUがスリープモードの場合、他のバスマスタからバス権要求が発生するとただちにバス権が移行します。

(2) 外部バスマスタ

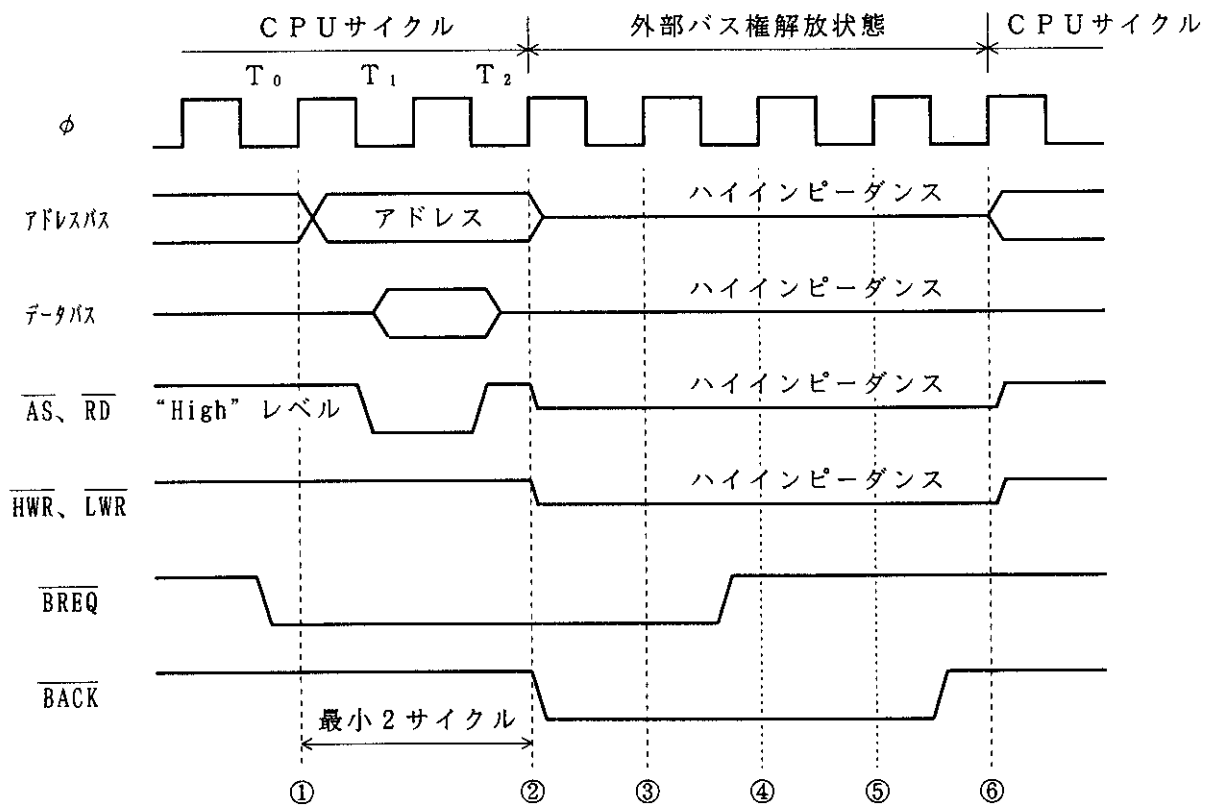
BRCRのBRLEビットを“1”にセットすると外部バスマスタにバス権を解放することができます。外部バスマスタは最も優先順位の高いバスマスタであり、BREQ端子を“Low”レベルにすることにより、バスアービタに対してバス権を要求します。外部バスマスタが一旦バス権を獲得するとBREQを“Low”レベルにしている間、バス権を保持し続けます。本LSIは、外部バス権解放状態

となり、アドレスバス、データバス、バス制御信号（AS、RD、HWR、LWR）はハイインピーダンスとなります。外部バス権解放状態では、BACK端子が“Low”レベル出力となります。

バスアービタは、φの立上がりでBREQ端子をサンプリングします。BREQ端子の“Low”レベルをサンプルすると所定のタイミングで外部バス権解放状態となります。BACK端子が“Low”レベルになるまでBREQ端子を“Low”レベルに保持してください。

外部バス権解放で、BREQ端子の“High”レベルを2回連続してサンプリングすると、BACK端子を“High”レベルにしてバス権解放サイクルを終了します。

図6.16に2ステートアクセス空間のリードサイクル中に外部バスマスタからバス権を要求された場合の動作タイミングを示します。BREQ端子を“Low”レベルとしてから外部バス権解放状態となるまで最小2サイクルかかります。



- ① T₀ ステートの立上がりでBREQ端子の“Low”レベルをサンプリングします。
- ② CPUリードサイクルの終了時点でBACK端子を“Low”レベルにしてバス権を外部バスマスタに解放します。
- ③ 外部バス権解放状態でもBREQ端子の状態をサンプリングします。
- ④⑤ BREQ端子の“High”レベルを2回連続してサンプリングします。
- ⑥ BACK端子を“High”レベルにして、バス権解放サイクルを終了します。

図6.16 外部バス権解放状態（2ステートアクセス空間リードサイクル中）

6.4 使用上の注意

6.4.1 ABWCR、ASTCR、およびWCERのライトタイミング

ABWCR、ASTCRおよびWCERをライトした場合、ライトデータは次のバスサイクルから有効になります。

このタイミングを図6.17に示します。図6.17はエリア0上の命令でエリア0を3ステートアクセス空間から2ステートアクセス空間へ変更した場合の例です。

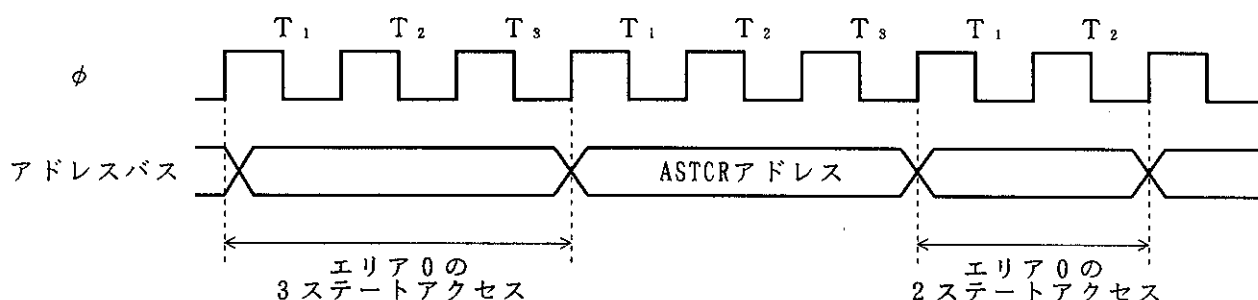


図6.17 ASTCRライトタイミング

6.4.2 BREQ端子の入力タイミング

BREQ端子を“Low”レベルにした後、BACK端子が“Low”レベルになるまで“Low”レベルを保持してください。BACK端子が“Low”レベルになる前にBREQ端子を“High”レベルに戻すと、バスアービタの動作が不確定となりますので注意してください。

また、外部バス権解放状態を終了するときにはBREQ端子を3ステート以上“High”レベルにしてください。BREQ端子の“High”レベルの期間が短いとバスアービタの動作が不確定となりますので注意してください。

7. I/Oポート

第7章 目次

7.1	概要	147
7.2	ポート4	149
7.2.1	概要	149
7.2.2	レジスタ構成	150
7.2.3	モード別端子機能	152
7.2.4	入力プルアップMOS	153
7.3	ポート6	154
7.3.1	概要	154
7.3.2	レジスタ構成	154
7.3.3	端子機能	156
7.4	ポート7	157
7.4.1	概要	157
7.4.2	レジスタ構成	157
7.5	ポート8	158
7.5.1	概要	158
7.5.2	レジスタ構成	158
7.5.3	端子機能	160
7.6	ポート9	161
7.6.1	概要	161
7.6.2	レジスタ構成	161
7.6.3	端子機能	163

7.7	ポートA	164
7.7.1	概要	164
7.7.2	レジスタ構成	165
7.7.3	端子機能	167
7.8	ポートB	172
7.8.1	概要	172
7.8.2	レジスタ構成	172
7.8.3	端子機能	174

7.1 概要

H8/3001には、6本の入出力ポート（ポート4、6、8、9、A、B）と1本の入力専用ポート（ポート7）があります。

ポート機能一覧を表7.1に示します。表7.1に示すように、各ポートは兼用端子になっています。各ポートは、入出力を制御するデータディレクションレジスタ（DDR）と出力データを格納するデータレジスタ（DR）から構成されています。

DDRとDRのほかに、ポート4には入力プルアップMOSコントロールレジスタ（PCR）があり、プルアップMOSのオン/オフを制御できます。

ポート4、6、8は1個のTTL負荷と90pFの容量負荷を駆動することができ、ポート9～Bは1個のTTL負荷と30pFの容量負荷を駆動することができます。

また、ポート4、6、8、9、A、Bはダーリントントランジスタを駆動することができます。ポートBはLEDを駆動（シンク電流10mA）することができます。また、ポートP8₁、P8₀、PA₇～PA₀、およびPB₃～PB₀はシュミット入力となっています。

各ポートのブロック図は「付録C. I/Oポートブロック図」を参照してください。

表 7.1 ポートの機能一覧

ポート	概要	端子	モード1	モード2	モード3	モード4
ポート4	<ul style="list-style-type: none"> 8ビットの入出力ポート 入力プルアップMOS内蔵 	P4 ₇ ~P4 ₀ /D ₇ ~D ₀	データ入出力端子(D ₇ ~D ₀)と8ビットの入出力ポートの兼用 8ビットバスモードのとき入出力ポート 16ビットバスモードのときデータ入出力端子			
ポート6	<ul style="list-style-type: none"> 3ビットの入出力ポート 	P6 ₂ /BACK P6 ₁ /BREQ P6 ₀ /WAIT	バス制御信号入出力端子 (BACK、BREQ、WAIT) と3ビットの入出力ポートの兼用			
ポート7	<ul style="list-style-type: none"> 4ビットの入力専用ポート 	P7 ₃ ~P7 ₀ /AN ₃ ~AN ₀	A/D変換器のアナログ入力端子(AN ₃ ~AN ₀)と4ビットの入力ポートの兼用			
ポート8	<ul style="list-style-type: none"> 2ビットの入出力ポート シュミット入力 	P8 ₁ /IRQ ₁	IRQ ₁ 入力端子と入力ポートの兼用 DDRを"1"にセットしないでください。			
		P8 ₀ /IRQ ₀	IRQ ₀ 入力端子と入出力ポートの兼用			
ポート9	<ul style="list-style-type: none"> 3ビットの入出力ポート 	P9 ₄ /SCK/IRQ ₄ P9 ₂ /RxD P9 ₀ /TxD	シリアルコミュニケーションインタフェース (SCI) の入出力端子 (SCK、RxD、TxD)、およびIRQ ₄ 入力端子と3ビットの入出力ポートの兼用			
ポートA	<ul style="list-style-type: none"> 8ビットの入出力ポート シュミット入力 	PA ₇ /TP ₇ /TIOCB ₂ /A ₂₀ PA ₆ /TP ₆ /TIOCA ₂ /A ₂₁ PA ₅ /TP ₅ /TIOCB ₁ /A ₂₂ PA ₄ /TP ₄ /TIOCA ₁ /A ₂₃ PA ₃ /TP ₃ /TIOCB ₀ /TCLKD PA ₂ /TP ₂ /TIOCA ₀ /TCLKC PA ₁ /TP ₁ /TCLKB PA ₀ /TP ₀ /TCLKA	プログラマブルタイ ミングパターンコン トローラ (TPC)	アドレス出力端子		
ポートB	<ul style="list-style-type: none"> 4ビットの入出力ポート LED駆動可能 シュミット入力 	PB ₃ /TP ₁₁ /TIOCB ₄ PB ₂ /TP ₁₀ /TIOCA ₄ PB ₁ /TP ₉ /TIOCB ₃ PB ₀ /TP ₈ /TIOCA ₃	TPCの出力端子(TP ₁₁ ~TP ₈)、ITUの、 入出力端子 (TIOCB ₄ 、TIOCA ₄ 、TIOCB ₃ 、 TIOCA ₃) と4ビットの入出力ポートの兼用			

7.2 ポート 4

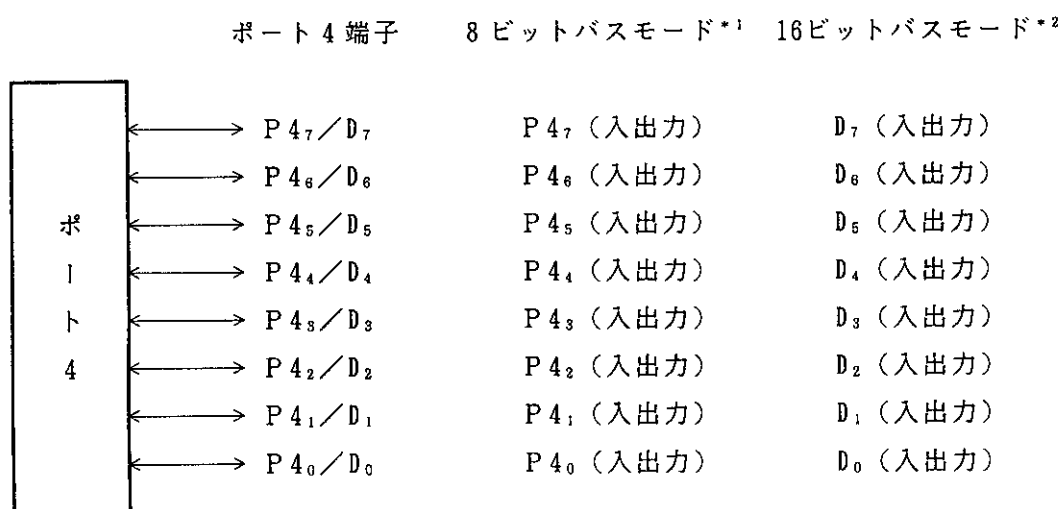
7.2.1 概要

ポート 4 は、8 ビットの入出力ポートです。ポート 4 の各端子は、図 7.1 に示す構成となっており、8 ビット/16 ビットバスモードにより端子機能が異なります。

バス幅コントロールレジスタ (ABWCR) により、エリア 0 ~ 7 のすべてを 8 ビットアクセス空間に設定すると、8 ビットバスモードとなり、ポート 4 は入出力ポートとなります。また、エリア 0 ~ 7 のうち少なくとも 1 つのエリアを 16 ビットアクセス空間に設定すると、16 ビットバスモードとなり、ポート 4 はデータバスとなります。

ポート 4 は、プログラムで制御可能なプルアップ MOS が内蔵されています。

ポート 4 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することもできます。



【注】 *¹ モード 1、3 の初期状態

*² モード 2、4 の初期状態

図 7.1 ポート 4 の端子構成

7.2.2 レジスタ構成

表7.2にポート4のレジスタ構成を示します。

表7.2 ポート4レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFC5	ポート4データディレクションレジスタ	P4DDR	W	H'00
H'FFC7	ポート4データレジスタ	P4DR	R/W	H'00
H'FFDA	ポート4入力プルアップMOSコントロールレジスタ	P4PCR	R/W	H'00

【注】* アドレスの下位16ビットを示しています。

(1) ポート4データディレクションレジスタ (P4DDR)

P4DDRは、8ビットのライト専用のレジスタで、ポート4各端子の入出力をビットごとに指定することができます。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポート4データディレクション7~0

ポート4の各端子の入出力を選択するビットです。

(a) 8ビットバスモード

全エリアを8ビットアクセス空間に設定し、8ビットバスモードとしたときポート4は入出力ポートとして機能します。P4DDRに“1”をセットすると対応するポート4の端子は出力端子となり、“0”にクリアすると入力端子になります。

(b) 16ビットバスモード

少なくとも1つのエリアを16ビットアクセス空間に設定し、16ビットバスモードとしたとき、ポート4はデータバスとして機能します。

P4DDRは、ライト専用レジスタで、リードは無効です。リードすると、“1”が読み出されます。

P4DDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。

ABWCRおよびP4DDRはソフトウェアスタンバイモード時にはイニシャライズされません。したがって、ポート4が入出力ポートとして機能しているとき、P4DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート4データレジスタ (P4DR)

P4DRは、8ビットのリード/ライト可能なレジスタで、ポート4の各端子P4₇~P4₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4データ7~0

ポート4の各端子のデータを格納するビットです。

P4DDRが“1”のとき、ポート4のリードを行うと、P4DRの値を直接リードします。そのため端子の状態の影響を受けません。P4DDRが“0”のとき、ポート4のリードを行うと、端子の状態が読み出されます。8ビット/16ビットバスモードで共通です。

P4DRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

(3) ポート4入力プルアップMOSコントロールレジスタ (P4PCR)

P4PCRは8ビットのリード/ライト可能なレジスタで、ポート4に内蔵した入力プルアップMOSをビットごとに制御します。

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート4入力プルアップMOSコントロール7~0

ポート4に内蔵した入力プルアップMOSを制御するビットです。

8ビットバスモード時、P4DDRを“0”にクリアした(入力ポートの)状態で、P4PCRを“1”にセットすると入力プルアップMOSはONします。

P4PCRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.2.3 モード別端子機能

ポート4は、ABWCRによる8ビット/16ビットバスモードの設定により、以下のように端子機能が異なります。

(1) 8ビットバスモード

ポート4の各端子は、ビット単位で入出力を指定可能です。P4DDRの各ビットを“1”にセットすると対応するポート4の端子は出力端子となり、“0”にクリアすると入力端子となります。モード1と3では、初期状態は8ビットバスモードになります。

8ビットバスモードの端子機能を図7.2に示します。

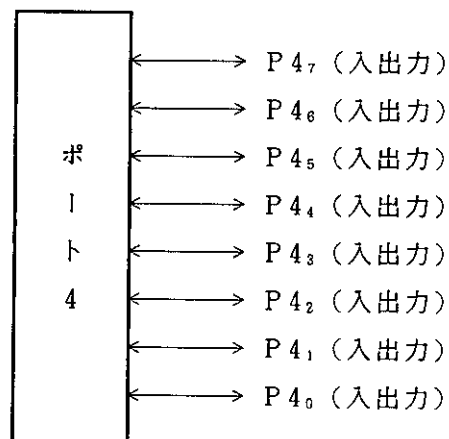


図7.2 8ビットバスモードの端子機能（ポート4）

(2) 16ビットバスモード

ポート4の各端子は、自動的にデータ入出力端子になります。P4DDRによる入出力の方向は無視されます。モード2、4では、初期状態は16ビットバスモードになります。

16ビットバスモードの端子機能を図7.3に示します。

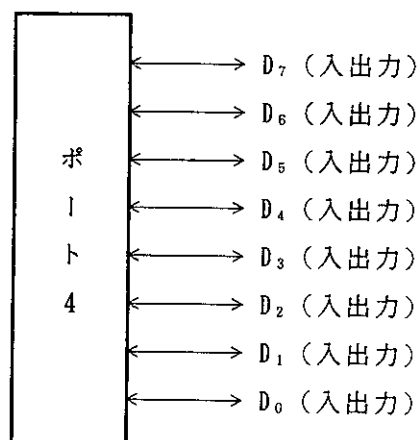


図7.3 16ビットバスモードの端子機能（ポート4）

7.2.4 入力プルアップMOS

ポート4は、プログラムで制御可能な入力プルアップMOSを内蔵しています。この入力プルアップMOSは、8ビットバスモードのときに使用でき、ビット単位でON/OFFを指定できます。

8ビットバスモードのとき、P4PCRを“1”にセットし、かつP4DDRを“0”にクリアすると、入力プルアップMOSはONとなります。

入力プルアップMOSは、リセット、またはハードウェアスタンバイモード時にはOFFします。ソフトウェアスタンバイモード時には、直前の状態を保持します。

8ビット/16ビットバスモードでの、入力プルアップMOSの状態を表9.3に示します。

表7.3 入力プルアップMOSの状態（ポート4）

モード	リセット	ハードウェアスタンバイモード	ソフトウェアスタンバイモード	その他の動作時
8ビットバスモード	OFF			ON/OFF
16ビットバスモード				OFF

《記号説明》

OFF : 入力プルアップMOSは、常にOFF状態です。

ON/OFF : P4PCR = “1” かつ P4DDR = “0” のときON状態、その他のときはOFF状態です。

7.3 ポート6

7.3.1 概要

ポート6は、3ビットの入出力ポートです。ポート6はバス制御入出力端子（ $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ}}$ 、 $\overline{\text{WAIT}}$ ）と兼用になっています。ポート6の端子機能は、いずれの動作モードでも共通です。ポート6の端子構成を図7.4に示します。

ポート6は、1個のTTL負荷と90pFの容量負荷を駆動することができます。また、ダーリントンランジスタを駆動することができます。

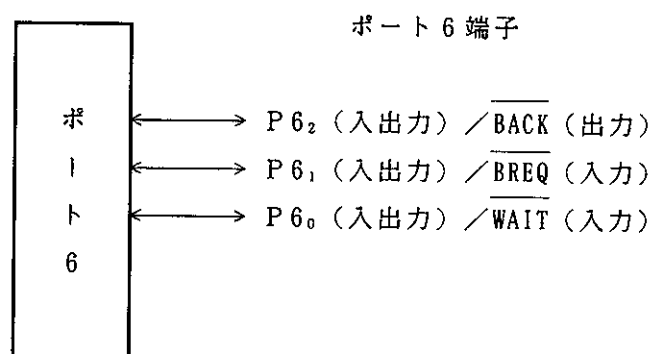


図7.4 ポート6の端子構成

7.3.2 レジスタ構成

表7.4にポート6のレジスタ構成を示します。

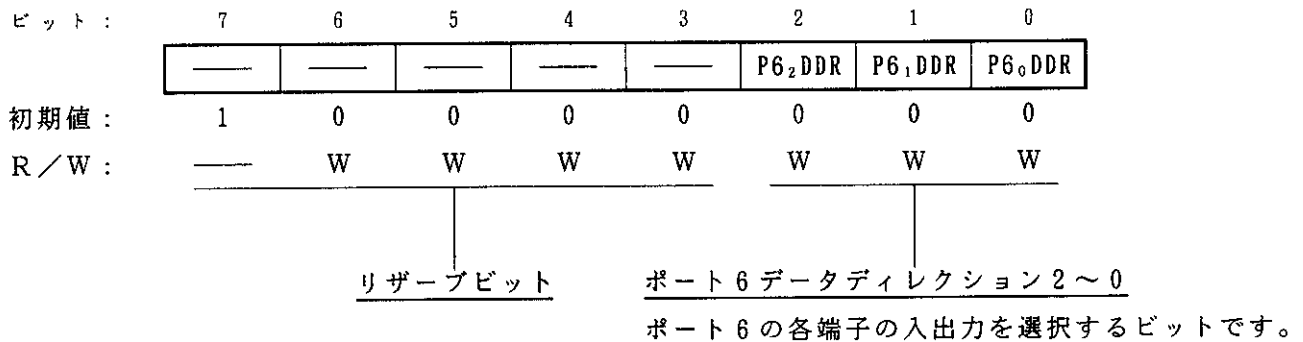
表7.4 ポート6レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFC9	ポート6 データディレクションレジスタ	P6DDR	W	H'80
H'FFCB	ポート6 データレジスタ	P6DR	R/W	H'80

【注】* アドレスの下位16ビットを示しています。

(1) ポート6データディレクションレジスタ (P6DDR)

P6DDRは、8ビットのライト専用のレジスタで、ポート6の各端子の入出力をビットごとに指定することができます。



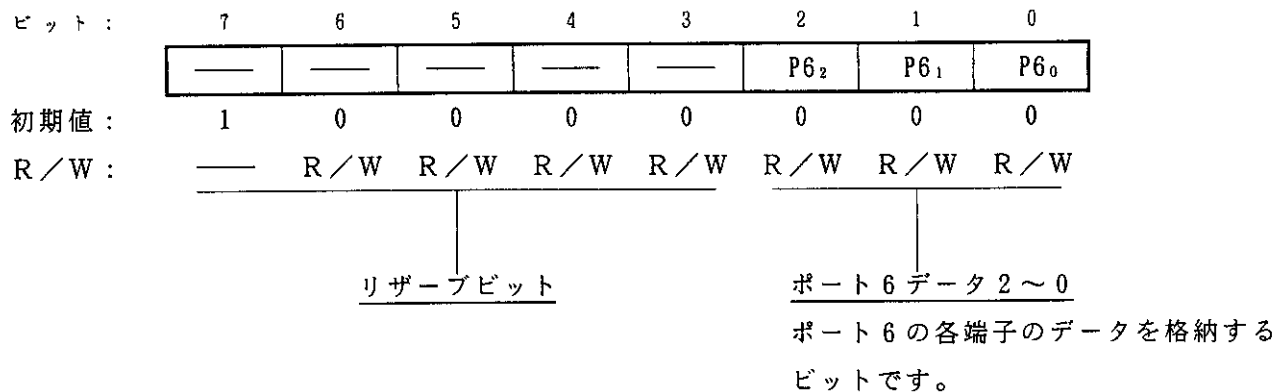
P6DDRに“1”をセットすると対応するポート6の端子は出力端子となり、“0”にクリアすると入力端子になります。

P6DDRは、ライト専用で、リードは無効です。リードすると“1”が読み出されます。

P6DDRは、リセット、またはハードウェアスタンバイモード時に、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。このため、P6DDRが“1”にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポート6データレジスタ (P6DR)

P6DRは、8ビットのリード/ライト可能なレジスタで、ポート6の各端子P6₂~P6₀のデータを格納します。



P6DDRが“1”のときポート6のリードを行うと、P6DRの値を直接リードします。P6DDRが“0”のときポート6のリードを行うと端子の状態が読み出されます。このとき、ビット7は“1”、ビット6~3は不定となります。ビット7~3はリザーブビットです。このうち、6~3はリード/ライト可能ですが、対応する端子が存在しません。また、ビット7はリードすると常に“1”が読み出されます。ライトは無効です。

P6DRは、リセット、またはハードウェアスタンバイモード時に、H'80にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.3.3 端子機能

ポート6の各端子はBACK出力端子、BREQ、WAIT入力端子と兼用になっています。ポート6の端子機能について表7.5に示します。

表7.5 ポート6の端子機能

端子	選択方法と端子機能		
P6 ₂ /BACK	BRCLRのBRLEビットとP6 ₂ DDRビットの組合わせにより、次のように切り換わります。		
	BRLE	0	1
	P6 ₂ DDR	0	1
	端子機能	P6 ₂ 入力端子	P6 ₂ 出力端子
P6 ₁ /BREQ	BRCLRのBRLEビットとP6 ₁ DDRビットの組合わせにより、次のように切り換わります。		
	BRLE	0	1
	P6 ₁ DDR	0	1
	端子機能	P6 ₁ 入力端子	P6 ₁ 出力端子
P6 ₀ /WAIT	WCERのWCE7~WCE0、WMS1ビットとP6 ₀ DDRビットの組合わせで、次のように切り換わります。		
	WCER	すべてが“1”	いずれかが“0”
	WMS1	0	1
	P6 ₀ DDR	0	1
	端子機能	P6 ₀ 入力端子	P6 ₀ 出力端子
			0*
			0*
			WAIT入力端子
	【注】* P6 ₀ DDRは“1”にセットしないでください。		

7.4 ポート7

7.4.1 概要

ポート7は4ビットの入力専用ポートです。ポート7は、A/D変換器のアナログ入力端子と兼用になっています。これらの端子機能はいずれの動作モードでも共通です。ポート7の端子構成を図7.5に示します。

ポート7端子

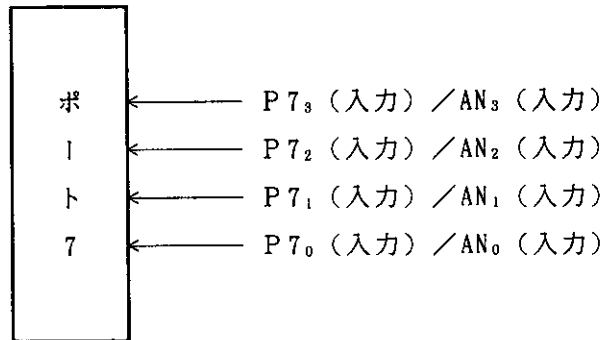


図7.5 ポート7の端子構成

7.4.2 レジスタ構成

表7.6にポート7のレジスタ構成を示します。ポート7は入力専用ポートであり、データディレクションレジスタはありません。

表7.6 ポート7レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFCE	ポート7データレジスタ	P7DR	R	不定

【注】* アドレスの下位16ビットを示しています。

(1) ポート7データレジスタ (P7DR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	1	1	1	1	—*	—*	—*	—*
R/W:	R	R	R	R	R	R	R	R

【注】* P7₃~P7₀端子により決定されます。

P7DRのリードを行うと、常に端子の状態が読み出されます。

7.5 ポート 8

7.5.1 概要

ポート 8 は、2 ビットの入出力ポートです。ポート 8 は、 $\overline{IRQ_1}$ 、 $\overline{IRQ_0}$ 入力端子と兼用になっています。

ポート 8 の端子機能はいずれの動作モードでも共通です。ポート 8 の端子構成を図 7.6 に示します。

ポート 8 は、1 個の TTL 負荷と 90pF の容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

ポート 8 はシュミットトリガ入力です。

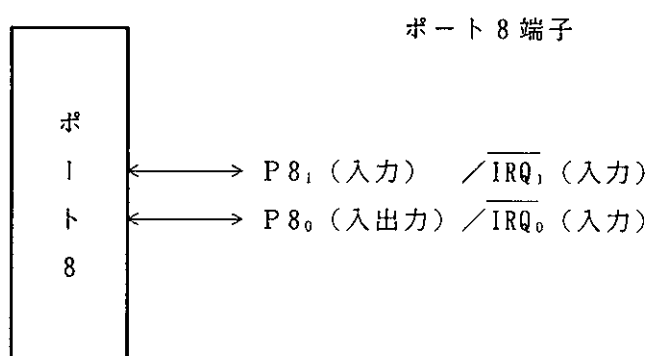


図 7.6 ポート 8 の端子構成

7.5.2 レジスタ構成

表 7.7 にポート 8 のレジスタ構成を示します。

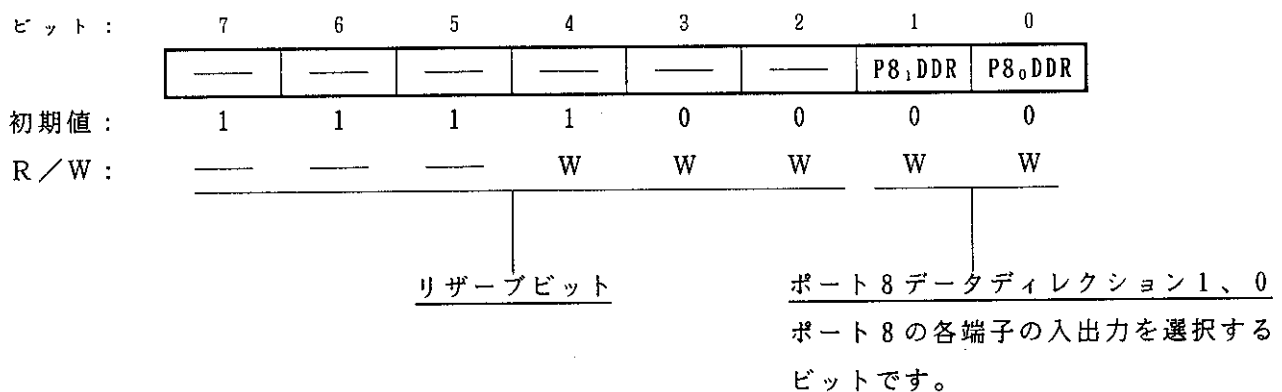
表 7.7 ポート 8 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFCD	ポート 8 データディレクションレジスタ	P8DDR	W	H'F0
H'FFCF	ポート 8 データレジスタ	P8DR	R/W	H'E0

【注】* アドレスの下位 16 ビットを示しています。

(1) ポート8データディレクションレジスタ (P8DDR)

P8DDRは、8ビットのライト専用のレジスタで、ポート8各端子の入出力をビットごとに指定することができます。



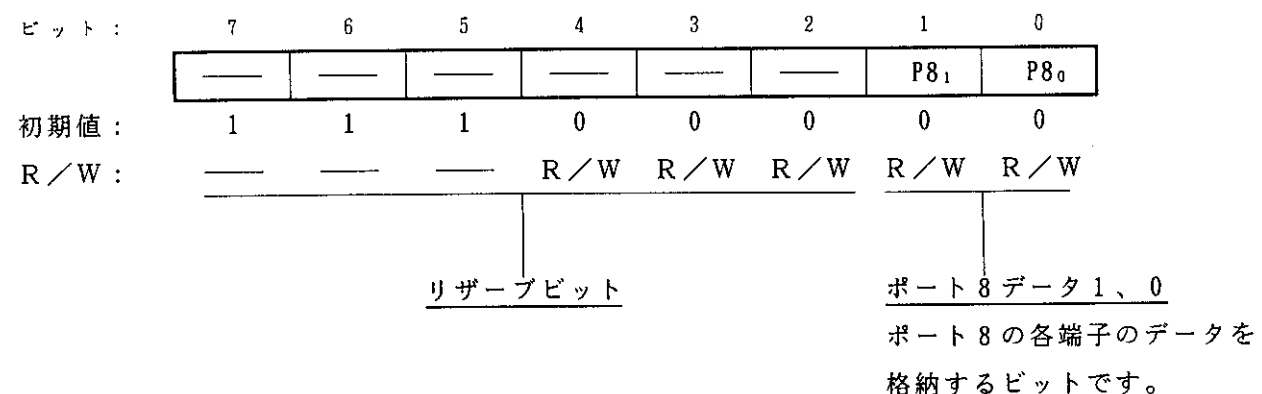
P8₀DDRを“1”にセットすると、P8₀はポート出力端子となり、“0”にクリアすると入力端子になります。また、P8₁DDRは“1”にセットしないでください。

P8DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されま

す。
P8DDRは、リセット、またはハードウェアスタンバイモード時に、H'F0にイニシャライズされます。P8DDRは、ソフトウェアスタンバイモード時には直前の状態を保持します。したがって、P8DDRが“1”にセットされた状態でソフトウェアスタンバイモードに移行すると、その端子は出力状態のままとなっています。

(2) ポート8データレジスタ (P8DR)

P8DRは、8ビットのリード/ライト可能なレジスタで、ポート8のP8₁とP8₀のデータを格納します。



P8DDRが“1”のときポート8のリードを行うと、P8DRの値を直接リードします。P8DDRが“0”のときポート8のリードを行うと端子の状態が読み出されます。

ビット7～2はリザーブビットです。ビット7～5は、リードすると常に“1”が読み出され、

ライトは無効です。ビット4～2は、リード／ライト可能ですが、対応する端子が存在しません。

P8DDRは、リセット、またはハードウェアスタンバイモード時に、H'E0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.5.3 端子機能

ポート8の各端子は $\overline{IRQ_1}$ 、 $\overline{IRQ_0}$ 入力端子と兼用になっています。ポート8の端子機能について表7.8に示します。

表7.8 ポート8の端子機能

端 子	選 択 方 法 と 端 子 機 能		
$P8_1/\overline{IRQ_1}$	P8 ₁ DDRビットにより、次のように切り換わります。		
	P8 ₁ DDR	0	1
	端 子 機 能	P8 ₁ 入力端子	使用できません
		$\overline{IRQ_1}$ 入力端子	
$P8_0/\overline{IRQ_0}$	P8 ₀ DDRビットにより、次のように切り換わります。		
	P8 ₀ DDR	0	1
	端 子 機 能	P8 ₀ 入力端子	P8 ₀ 出力端子
		$\overline{IRQ_0}$ 入力端子	

7.6 ポート9

7.6.1 概要

ポート9は、3ビットの入出力ポートです。ポート9はシリアルコミュニケーションインタフェースチャンネル（SCI）の入出力端子（TxD、RxD、SCK）、 $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。

ポート9の端子機能はいずれの動作モードでも共通です。ポート9の端子構成を図9.7に示します。

ポート9は、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。

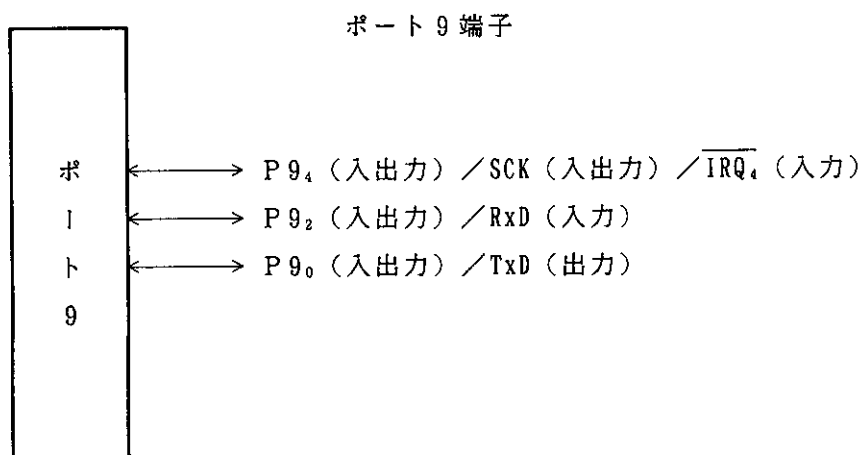


図7.7 ポート9の端子構成

7.6.2 レジスタ構成

表7.9にポート9のレジスタ構成を示します。

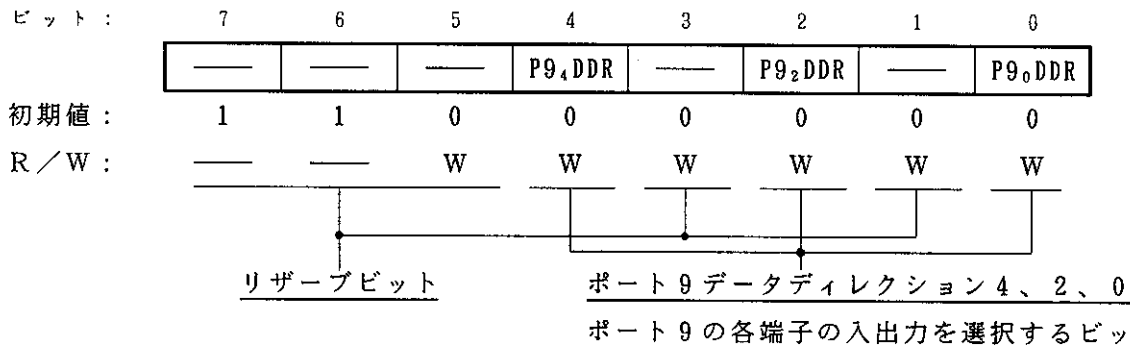
表7.9 ポート9レジスタ構成

アドレス*	名称	略称	R/W	初期値
H'FFD0	ポート9データディレクションレジスタ	P9DDR	W	H'CO
H'FFD2	ポート9データレジスタ	P9DR	R/W	H'CO

【注】* アドレスの下位16ビットを示しています。

(1) ポート9データディレクションレジスタ (P9DDR)

P9DDRは、8ビットのライト専用のレジスタで、ポート9各端子の入出力をビットごとに指定することができます。



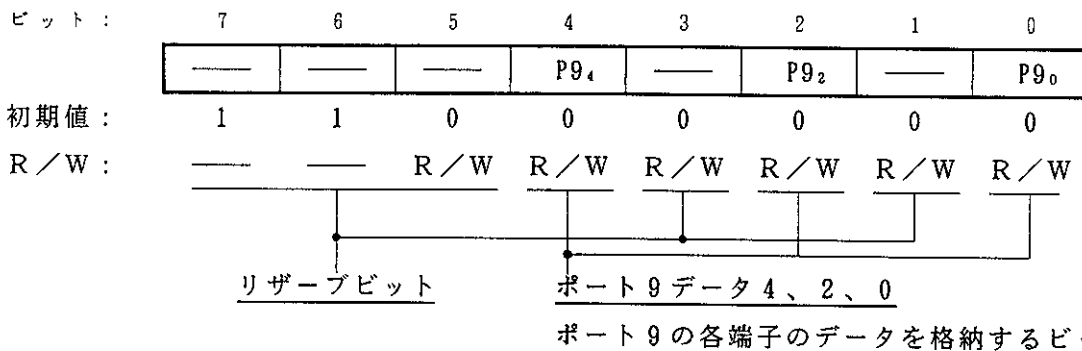
P9DDRを“1”にセットすると対応するポート9の各端子は出力となり、“0”にクリアすると入力になります。

P9DDRは、ライト専用レジスタで、リードは無効です。リードすると“1”が読み出されます。

P9DDRは、リセット、またはハードウェアスタンバイモード時に、H' C0にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、P9DDRが、“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポート9データレジスタ (P9DR)

P9DRは、8ビットのリード/ライト可能なレジスタで、ポート9の各端子P9₄、P9₂、およびP9₀のデータを格納します。



P9DDRが“1”のとき、ポート9のリードを行うと、P9DRの値を直接リードします。

P9DDRが“0”のとき、ポート9のリードを行うと、端子の状態が読み出されます。

ビット7、6はリザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。ビット5、3、1もリザーブビットです。リード/ライト可能です。対応するDDRが“1”のときリードを行うと、DRの値を直接リードします。DDRが“0”のときリードを行うと常に“1”が読み出されます。

P9DRは、リセット、またはハードウェアスタンバイモード時に、H' C0にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.6.3 端子機能

ポート9の各端子はSCIの入出力端子(TxD、RxD、SCK)、および $\overline{\text{IRQ}}_4$ 入力端子と兼用になっています。ポート9の端子機能について表7.10に示します。

表7.10 ポート9の端子機能

端子	選択方法と端子機能					
P9 ₄ /SCK/ $\overline{\text{IRQ}}_4$	SCIのSMRのC/ $\overline{\text{A}}$ ビット、SCRのCKE0、1ビットとP9 ₄ DDRビットの組合わせにより次のように切り換わります。					
	CKE1	0			1	
	C/ $\overline{\text{A}}$	0		1	—	
	CKE0	0		1	—	—
	P9 ₄ DDR	0	1	—	—	—
	端子機能	P9 ₄ 入力端子	P9 ₄ 出力端子	SCK出力端子	SCK出力端子	SCK入力端子
$\overline{\text{IRQ}}_4$ 入力端子						
P9 ₂ /RxD	SCIのSCRのREビットとP9 ₂ DDRビットの組合わせにより、次のように切り換わります。					
	RE	0		1		
	P9 ₂ DDR	0		1	—	
	端子機能	P9 ₂ 入力端子		P9 ₂ 出力端子	RxD入力端子	
P9 ₀ /TxD	SCIのSCRのTEビットとP9 ₀ DDRビットの組合わせにより、次のように切り換わります。					
	TE	0		1		
	P9 ₀ DDR	0		1	—	
	端子機能	P9 ₀ 入力端子		P9 ₀ 出力端子	TxD出力端子	

7.7 ポートA

7.7.1 概要

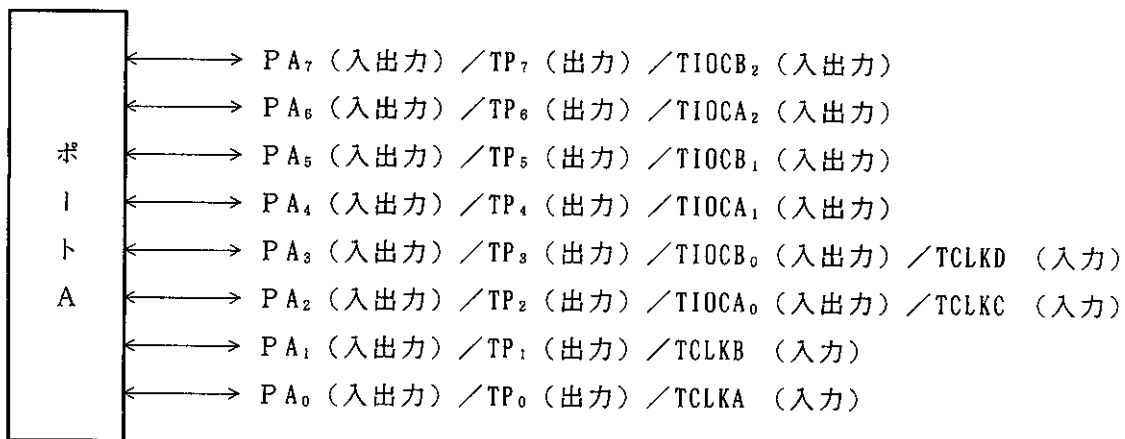
ポートAは、8ビットの入出力ポートです。ポートAは、アドレス出力 ($A_{23} \sim A_{20}$) プログラマブルタイミングパターンコントローラ (TPC) の出力端子 ($TP_7 \sim TP_0$)、16ビットインテグレートッドタイムユニット (ITU) の入出力端子 ($TIOCB_2$ 、 $TIOCA_2$ 、 $TIOCB_1$ 、 $TIOCA_1$ 、 $TIOCB_0$ 、 $TIOCA_0$ 、 $TCLKD$ 、 $TCLKC$ 、 $TCLKB$ 、 $TCLKA$) と兼用になっており、動作モードにより端子機能が異なります。

ポートAの端子構成を図7.8に示します。

ポートAは、1個のTTL負荷と30pFの容量負荷を駆動することができます。また、ダーリントントランジスタを駆動することができます。ポートAはシュミットトリガ入力です。

モード1、2の場合

ポートA端子



モード3、4の場合

ポートA端子

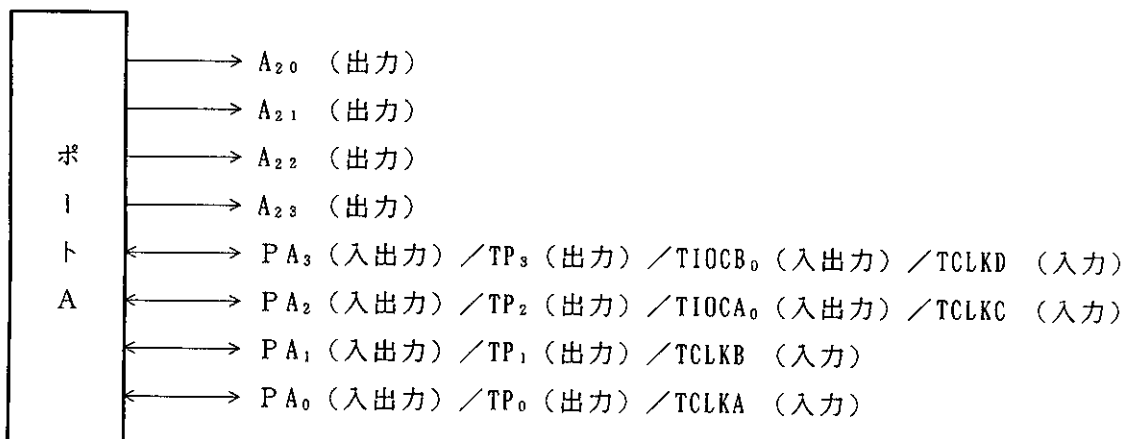


図7.8 ポートAの端子構成

7.7.2 レジスタ構成

表 7.11 にポート A のレジスタ構成を示します。

表 7.11 ポート A レジスタ構成

アドレス*	名 称	略 称	R/W	初期値	
H' FFD1	ポート A データディレクションレジスタ	PADDR	W	ε-F1,2	H' 00
				ε-F3,4	H' 80
H' FFD3	ポート A データレジスタ	PADR	R/W	H' 00	

【注】* アドレスの下位 16 ビットを示しています。

(1) ポート A データディレクションレジスタ (PADDR)

PADDR は、8 ビットのライト専用のレジスタで、ポート A 各端子の入出力をビットごとに指定することができます。

ビット :		7	6	5	4	3	2	1	0
		PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
ε-F1,2 {	初期値 :	0	0	0	0	0	0	0	0
	R/W :	W	W	W	W	W	W	W	W
ε-F3,4 {	初期値 :	1	0	0	0	0	0	0	0
	R/W :	—	W	W	W	W	W	W	W

ポート A データディレクション 7 ~ 0

ポート A の各端子の入出力を選択するビットです。

PADDR を “1” にセットすると対応するポート A の各端子は出力となり、“0” にクリアすると入力になります。ただし、モード 3、4 では PA₇DDR は “1” に固定され、PA₇ はアドレス出力として機能します。

PADDR は、ライト専用レジスタで、リードは無効です。リードすると “1” が読み出されません。

PADDR は、リセット、またはハードウェアスタンバイモード時に、モード 1、2 では H' 00、モード 3、4 では H' 80 にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PADDR が “1” にセットされた状態でソフトウェアスタンバイモードに遷移すると、その端子は出力状態のままとなっています。

(2) ポートAデータレジスタ (PADDR)

PADDRは、8ビットのリード/ライト可能なレジスタで、ポートAの各端子PA₇~PA₀のデータを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートAデータ7~0

ポートAの各端子のデータを格納するビットです。

PADDRが“1”のとき、ポートAのリードを行うとPADDRの値を直接リードします。PADDRが“0”のとき、ポートAのリードを行うと端子の状態が読み出されます。

PADDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.7.3 端子機能

ポートAの各端子はアドレス出力(A₂₃~A₂₀) TPCの出力端子(TP₇~TP₀)、およびITUの入出力端子(TIOCB₂~TIOCB₀、TIOCA₂~TIOCA₀)と入力端子(TCLKD、TCLKC、TCLKB、TCLKA)の兼用になっています。ポートAの端子機能について表7.12に示します。

表7.12 ポートAの端子機能(1)

端子	選択方法と端子機能				
PA ₇ / TP ₇ / TIOCB ₂ /A ₂₀	モード設定とTMDRのPWM2ビット、TIOB2のIOB2~IOB0ビットによるITUチャンネル2の設定、NDER7のNDER7ビット、およびPADDRのPA ₇ DDRビットの組合わせにより、次のように切り換わります。				
	モード	1、2			3、4
	ITUチャンネル2 の設定	下表①	下表②		—
	PA ₇ DDR	—	0	1	1
	NDER7	—	—	0	1
	端子機能	TIOCB ₂ 出力	PA ₇ 入力	PA ₇ 出力	TP ₇ 出力
			TIOCB ₂ 入力*		A ₂₀ 出力
	【注】* IOB2 = "1"、PWM2 = "0" の場合にTIOCB ₂ 入力となります。				
	ITUチャンネル2の設定	②	①		②
	IOB2	0			1
	IOB1	0	0	1	—
	IOB0	0	1	—	—

表7.12 ポートAの端子機能(2)

端 子	選 択 方 法 と 端 子 機 能					
PA ₆ / TP ₆ / TIOCA ₂ /A ₂₁	モード設定と、TMDRのPWM2ビット、TIOR2のIOA2～IOA0ビットによるITUチャンネル2の設定、NDERAのNDER6ビット、およびPADDRのPA ₆ DDRビットの組合わせにより、次のように切り換わります。					
	モード	1、2			3、4	
	ITUチャンネル2の設定	下表①	下表②		—	
	PA ₆ DDR	—	0	1	1	
	NDER6	—	—	0	1	
	端子機能	TIOCA ₂ 出力	PA ₆ 入力	PA ₆ 出力	TP ₆ 出力	—
			TIOCA ₂ 入力*			A ₂₁ 出力
	【注】* IOA2 = “1” の場合にTIOCA ₂ 入力となります。					
	ITUチャンネル2の設定	②	①		②	①
	PWM2	0			1	
IOA2	0		1	—		
IOA1	0	0	1	—	—	
IOA0	0	1	—	—	—	
PA ₅ / TP ₅ / TIOCB ₁ /A ₂₂	モード設定と、TMDRのPWM1ビット、TIOR1のIOB2～IOB0ビットによるITUチャンネル1の設定、NDERAのNDER5ビット、およびPADDRのPA ₅ DDRビットの組合わせにより、次のように切り換わります。					
	モード	1、2			3、4	
	ITUチャンネル1の設定	下表①	下表②		—	
	PA ₅ DDR	—	0	1	1	
	NDER5	—	—	0	1	
	端子機能	TIOCB ₁ 出力	PA ₅ 入力	PA ₅ 出力	TP ₅ 出力	—
			TIOCB ₁ 入力*			A ₂₂ 出力
	【注】* IOB2 = “1”、PWM1 = “0” の場合にTIOCB ₁ 入力となります。					
	ITUチャンネル1の設定	②	①		②	
	IOB2	0			1	
IOB1	0	0	1	—		
IOB0	0	1	—	—		

表7.12 ポートAの端子機能(3)

端子	選択方法と端子機能																																																											
PA ₄ / TP ₄ / TIOCA ₁ /A ₂₃	<p>モード設定と、TMDRのPWM1ビット、TIOR1のIOA2~IOA0ビットによるITUチャンネル1の設定、NDERAのNDER4ビット、およびPADDRのPA₄DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>モード</th> <th colspan="3">1、2</th> <th>3、4</th> </tr> </thead> <tbody> <tr> <td>ITUチャンネル1の設定</td> <td>下表①</td> <td colspan="2">下表②</td> <td>——</td> </tr> <tr> <td>PA₄DDR</td> <td>——</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER4</td> <td>——</td> <td>——</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCA₁出力</td> <td>PA₄入力</td> <td>PA₄出力</td> <td>TP₄出力</td> </tr> <tr> <td colspan="3">TIOCA₁入力*</td> <td>A₂₃出力</td> </tr> </tbody> </table> <p>【注】* IOA2 = “1” の場合にTIOCA₁入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル1の設定</th> <th>②</th> <th colspan="2">①</th> <th>②</th> <th>①</th> </tr> </thead> <tbody> <tr> <td>PWM1</td> <td colspan="4">0</td> <td>1</td> </tr> <tr> <td>IOA2</td> <td colspan="3">0</td> <td>1</td> <td>——</td> </tr> <tr> <td>IOA1</td> <td>0</td> <td>0</td> <td>1</td> <td>——</td> <td>——</td> </tr> <tr> <td>IOA0</td> <td>0</td> <td>1</td> <td>——</td> <td>——</td> <td>——</td> </tr> </tbody> </table>	モード	1、2			3、4	ITUチャンネル1の設定	下表①	下表②		——	PA ₄ DDR	——	0	1	1	NDER4	——	——	0	1	端子機能	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力	TIOCA ₁ 入力*			A ₂₃ 出力	ITUチャンネル1の設定	②	①		②	①	PWM1	0				1	IOA2	0			1	——	IOA1	0	0	1	——	——	IOA0	0	1	——	——	——
モード	1、2			3、4																																																								
ITUチャンネル1の設定	下表①	下表②		——																																																								
PA ₄ DDR	——	0	1	1																																																								
NDER4	——	——	0	1																																																								
端子機能	TIOCA ₁ 出力	PA ₄ 入力	PA ₄ 出力	TP ₄ 出力																																																								
		TIOCA ₁ 入力*			A ₂₃ 出力																																																							
ITUチャンネル1の設定	②	①		②	①																																																							
PWM1	0				1																																																							
IOA2	0			1	——																																																							
IOA1	0	0	1	——	——																																																							
IOA0	0	1	——	——	——																																																							
PA ₃ / TP ₃ / TIOCB ₀ /TCLKD	<p>TMDRのPWM0ビット、TIOR0のIOB2~IOB0ビットによるITUチャンネル0の設定、TCR4~TCR0のTPSC2~TPSC0ビット、NDERAのNDER3ビット、およびPADDRのPA₃DDRビットの組合わせにより、次のように切り換わります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>下表①</th> <th colspan="3">下表②</th> </tr> </thead> <tbody> <tr> <td>PA₃DDR</td> <td>——</td> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>NDER3</td> <td>——</td> <td>——</td> <td>0</td> <td>1</td> </tr> <tr> <td rowspan="2">端子機能</td> <td rowspan="2">TIOCB₀出力</td> <td>PA₃入力</td> <td>PA₃出力</td> <td>TP₃出力</td> </tr> <tr> <td colspan="3">TIOCB₀入力*¹</td> <td>TCLKD入力*²</td> </tr> </tbody> </table> <p>【注】*¹ IOB2 = “1”、かつPWM0 = “0” の場合にTIOCB₀入力となります。 *² TCR4~TCR0のいずれかの設定がTPSC2 = TPSC1 = TPSC0 = “1” の場合にTCLKD入力となります。</p> <table border="1"> <thead> <tr> <th>ITUチャンネル0の設定</th> <th>②</th> <th colspan="2">①</th> <th>②</th> </tr> </thead> <tbody> <tr> <td>IOB2</td> <td colspan="3">0</td> <td>1</td> </tr> <tr> <td>IOB1</td> <td>0</td> <td>0</td> <td>1</td> <td>——</td> </tr> <tr> <td>IOB0</td> <td>0</td> <td>1</td> <td>——</td> <td>——</td> </tr> </tbody> </table>	ITUチャンネル0の設定	下表①	下表②			PA ₃ DDR	——	0	1	1	NDER3	——	——	0	1	端子機能	TIOCB ₀ 出力	PA ₃ 入力	PA ₃ 出力	TP ₃ 出力	TIOCB ₀ 入力* ¹			TCLKD入力* ²	ITUチャンネル0の設定	②	①		②	IOB2	0			1	IOB1	0	0	1	——	IOB0	0	1	——	——															
ITUチャンネル0の設定	下表①	下表②																																																										
PA ₃ DDR	——	0	1	1																																																								
NDER3	——	——	0	1																																																								
端子機能	TIOCB ₀ 出力	PA ₃ 入力	PA ₃ 出力	TP ₃ 出力																																																								
		TIOCB ₀ 入力* ¹			TCLKD入力* ²																																																							
ITUチャンネル0の設定	②	①		②																																																								
IOB2	0			1																																																								
IOB1	0	0	1	——																																																								
IOB0	0	1	——	——																																																								

表7.12 ポートAの端子機能(4)

端 子	選 択 方 法 と 端 子 機 能				
PA ₂ / TP ₂ / TIOCA ₀ /TCLKC	TMDRのPWM0ビット、TIOR0のIOA2~IOA0ビットによるITUチャンネル0の設定、TCR4~TCR0のTPSC2~TPSC0ビット、NDERAのNDER2ビット、およびPADDRのPA ₂ DDRビットの組合わせにより、次のように切り換わります。				
	ITUチャンネル0の設定	下表①		下表②	
	PA ₂ DDR	———		0	1
	NDER2	———		0	1
	端 子 機 能	TIOCA ₀ 出力	PA ₂ 入力	PA ₂ 出力	TP ₂ 出力
			TIOCA ₀ 入力* ¹		
	TCLKC入力* ²				
	【注】* ¹ IOA2 = "1" の場合にTIOCA ₀ 入力となります。				
	* ² TCR4~TCR0のいずれかの設定がTPSC2 = TPSC1 = "1"、TPSC0 = "0" の場合にTCLKC入力となります。				
	ITUチャンネル0の設定	②	①	②	①
	PWM0	0			1
	IOA2	0		1	———
	IOA1	0	0	1	———
	IOA0	0	1	———	———

表7.12 ポートAの端子機能(5)

端 子	選 択 方 法 と 端 子 機 能		
PA ₁ / TP ₁ / TCLKB	NDERAのNDER1ビット、およびPADDDRのPA ₁ DDRビットの組合わせにより、次のように切り換わります。		
	PA ₁ DDR	0	1
	NDER1	—	0
	端子機能	PA ₁ 入力	PA ₁ 出力
		TCLKB入力*	
	【注】* TMDRのMDF = “1” の場合、またはTCR4～TCR0のいずれかの設定がTPSC2 = “1”、TPSC1 = “0”、TPSC0 = “1” の場合にTCLKB入力となります。		
PA ₀ / TP ₀ / TCLKA	NDERAのNDER0ビット、およびPADDDRのPA ₀ DDRビットの組合わせにより、次のように切り換わります。		
	PA ₀ DDR	0	1
	NDER0	—	0
	端子機能	PA ₀ 入力	PA ₀ 出力
		TCLKA入力*	
	【注】* TMDRのMDF = “1” の場合、またはTCR4～TCR0のいずれかの設定がTPSC2 = “1”、TPSC1 = “0” の場合にTCLKA入力となります。		

7.8 ポート B

7.8.1 概要

ポート B は、4 ビットの入出力ポートです。ポート B は T P C の出力端子 (TP₁₁~TP₈)、I T U の入出力端子 (TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃) と兼用になっています。ポート B の端子機能はいずれの動作モードでも共通です。ポート B の端子構成を図 7.9 に示します。

ポート B は、1 個の T T L 負荷と 30pF の容量負荷を駆動できます。また、L E D、ダーリントントランジスタを駆動することもできます。ポート B は、シュミットトリガ入力です。

ポート B 端子

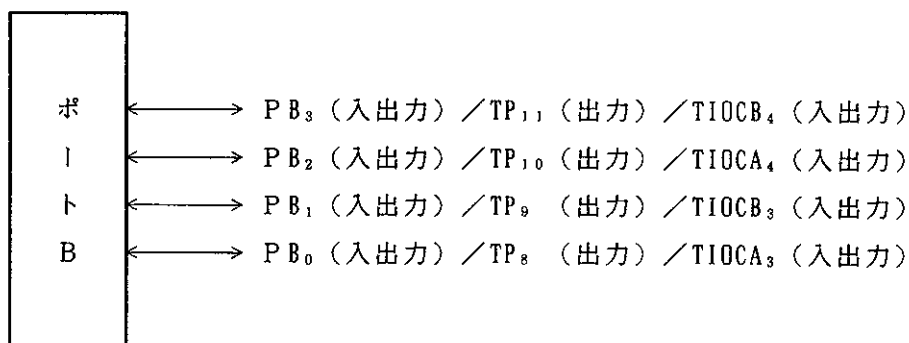


図 7.9 ポート B の端子構成

7.8.2 レジスタ構成

表 7.13 にポート B のレジスタ構成を示します。

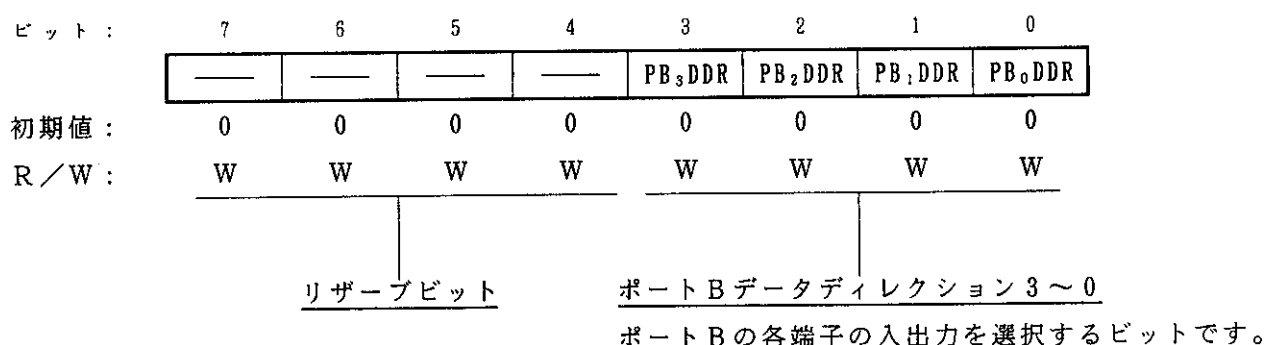
表 7.13 ポート B レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFD4	ポート B データディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポート B データレジスタ	PBDR	R/W	H'00

【注】* アドレスの下位 16 ビットを示しています。

(1) ポートBデータディレクションレジスタ (PBDDR)

PBDDRは、8ビットのライト専用のレジスタで、ポートB各端子の入出力をビットごとに指定することができます。



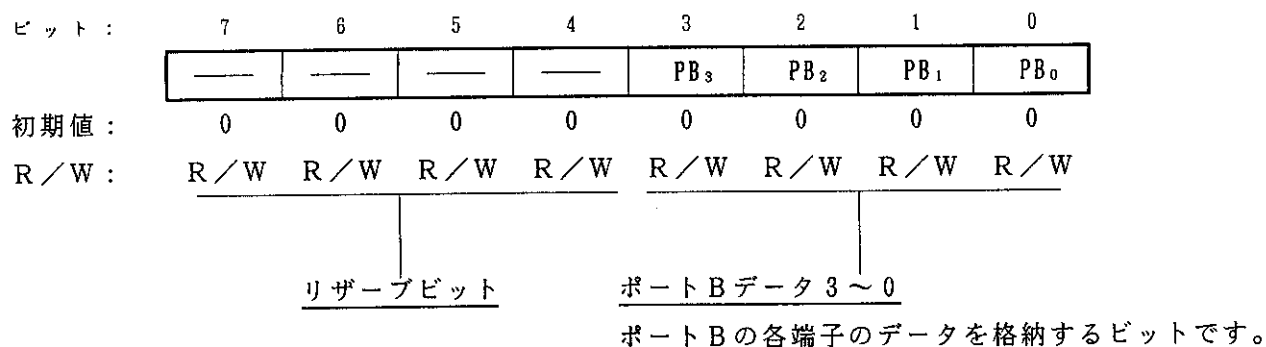
PBDDRを“1”にセットすると対応するポートBの各端子は出力となり、“0”にクリアすると入力になります。

PBDDRは、ライト専用レジスタで、リードは無効です。リードすると、“1”が読み出されます。

PBDDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には直前の状態を保持します。そのため、PBDDRが“1”にセットされた状態でソフトウェアスタンバイモードに移移すると、その端子は出力状態のままとなっています。

(2) ポートBデータレジスタ (PBDR)

PBDRは、8ビットのリード/ライト可能なレジスタで、ポートBの各端子PB₃~PB₀のデータを格納します。



PBDDRが“1”のとき、ポートBのリードを行うとPBDRの値を直接リードします。PBDDRが“0”のときポートBのリードを行うと端子の状態が読み出されます。

ビット7~4はリザーブビットです。リード/ライト可能です。対応するDDRが“1”のときリードを行うとDRの値を直接リードします。DDRが“0”のときリードを行うと常に“1”が読み出されます。

PBDRは、リセット、またはハードウェアスタンバイモード時に、H'00にイニシャライズされます。ソフトウェアスタンバイモード時には、直前の状態を保持します。

7.8.3 端子機能

ポートBの各端子はTPCの出力端子(TP₁₁~TP₈)、ITUの入出力端子(TIOCB₄、TIOCB₃、TIOCA₄、TIOCA₃)と兼用になっています。ポートBの端子機能について表7.14に示します。

表7.14 ポートBの端子機能(1)

端子	選択方法と端子機能				
PB ₃ / TP ₁₁ / TIOCB ₄	TMDRのPWM4ビット、TOERのEB4ビット、およびTIOB4のIOB2~IOB0ビットによるITUチャンネル4の設定、NDERBのNDER11ビット、およびPBDDRのPB ₃ DDRビットの組合わせにより、次のように切り換わります。				
	ITUチャンネル4の設定	下表①	下表②		
	PB ₃ DDR	—	0	1	1
	NDER11	—	—	0	1
端子機能	TIOCB ₄ 出力	PB ₃ 入力			TP ₁₁ 出力
		TIOCB ₄ 入力*			
【注】* PWM4 = “0”、かつIOB2 = “1”の場合にTIOCB ₄ 入力となります。					
	ITUチャンネル4の設定	②	②	①	②
	EB4	0	1		
	IOB2	—	0	0	1
	IOB1	—	0	1	—
	IOB0	—	0	1	—

表7.14 ポートBの端子機能(2)

端子	選 択 方 法 と 端 子 機 能					
PB ₂ / TP ₁₀ / TIOCA ₄	TOERのEA4ビット、TMDRのPWM4ビット、およびTIOA4のIOA2～IOA0ビットによるITUチャンネル4の設定、NDERBのNDER10ビット、およびPBDDRのPB ₂ DDRビットの組合わせにより、次のように切り換わります。					
	ITUチャンネル4の設定	下表①	下表②			
	PB ₂ DDR	—	0	1	1	
	NDER10	—	—	0	1	
	端子機能	TIOCA ₄ 出力	PB ₂ 入力	PB ₂ 出力	TP ₁₀ 出力	
			TIOCA ₄ 入力*			
	【注】* PWM4 = “0”、IOA2 = “1” の場合にTIOCA ₄ 入力となります。					
	ITUチャンネル4の設定	②	②	①	②	①
	EA4	0	1			
	PWM4	—	0			1
	IOA2	—	0	0	0	1
	IOA1	—	0	0	1	—
	IOA0	—	0	1	—	—

表7.14 ポートBの端子機能(3)

端 子	選 択 方 法 と 端 子 機 能				
PB ₁ / TP ₉ / TIOCB ₃	TMDRのPWM3ビット、TOERのEB3ビット、およびTIOER3のIOB2～IOB0ビットによるITUチャンネル3の設定、NDERBのNDER9ビット、およびPBDDRのPB ₁ DDRビットの組合わせにより、次のように切り換わります。				
	ITUチャンネル3の設定	下表①	下表②		
	PB ₁ DDR	——	0	1	1
	NDER9	——	——	0	1
端子機能	TIOCB ₃ 出力		PB ₁ 入力	PB ₁ 出力	TP ₉ 出力
		TIOCB ₃ 入力*			
【注】* PWM3 = “0”、IOB2 = “1” の場合にTIOCB ₃ 入力となります。					
	ITUチャンネル3の設定	②	②	①	②
	EB3	0	1		
	IOB2	——	0	0	0
	IOB1	——	0	0	1
	IOB0	——	0	1	——

表7.14 ポートBの端子機能(4)

端 子	選 択 方 法 と 端 子 機 能					
PB ₀ / TP ₈ / TIOCA ₃	TOERのEA3ビット、TMDRのPWM3ビット、およびTIOA3のIOA2～IOA0ビットによるITUチャンネル3の設定、NDERBのNDER8ビット、およびPBDDRのPB ₀ DDRビットの組合わせにより、次のように切り換わります。					
	ITUチャンネル3の設定	下表①	下表②			
	PB ₀ DDR	—	0	1	1	
	NDER8	—	—	0	1	
	端 子 機 能	TIOCA ₃ 出力	PB ₀ 入力	PB ₀ 出力	TP ₈ 出力	
			TIOCA ₃ 入力*			
	【注】* PWM3 = “0”、IOA2 = “1” の場合にTIOCA ₃ 入力となります。					
	ITUチャンネル3の設定	②	②	①	②	①
	EA3	0	1			
	PWM3	—	0			1
	IOA2	—	0	0	0	1
	IOA1	—	0	0	1	—
	IOA0	—	0	1	—	—

8. 16ビットインテグレートッド タイマユニット (ITU)

第8章 目次

8.1	概要	181
8.1.1	特長	181
8.1.2	ブロック図	183
8.1.3	端子構成	187
8.1.4	レジスタ構成	188
8.2	各レジスタの説明	190
8.2.1	タイマスタートレジスタ (TSTR)	190
8.2.2	タイマシンクロレジスタ (TSNC)	192
8.2.3	タイマモードレジスタ (TMDR)	194
8.2.4	タイマファンクションコントロールレジスタ (TFCR)	197
8.2.5	タイマアウトプットマスタイネーブルレジスタ (TOER)	199
8.2.6	タイマカウンタ (TCNT)	201
8.2.7	ジェネラルレジスタA、B (GRA、GRB)	202
8.2.8	バッファレジスタA、B (BRA、BRB)	203
8.2.9	タイマコントロールレジスタ (TCR)	204
8.2.10	タイマI/Oコントロールレジスタ (TIOR)	207
8.2.11	タイマステータスレジスタ (TSR)	210
8.2.12	タイマインタラプトイネーブルレジスタ (TIER)	213
8.3	CPUとのインタフェース	215
8.3.1	16ビットアクセス可能なレジスタ	215
8.3.2	8ビットアクセスのレジスタ	217

8.4	動作説明	218
8.4.1	概要	218
8.4.2	基本機能	219
8.4.3	同期動作	228
8.4.4	PWMモード	230
8.4.5	位相計数モード	234
8.4.6	バッファ動作	236
8.4.7	I T U出力タイミング	242
8.5	割込み	243
8.5.1	ステータスフラグのセットタイミング	243
8.5.2	ステータスフラグのクリアタイミング	245
8.5.3	割込み要因	246
8.6	使用上の注意	247

8.1 概要

H8/3001は、5チャンネルの16ビットタイマにより構成される16ビットインテグレートドタイマユニット（ITU）を内蔵しています。

8.1.1 特長

ITUの特長を以下に示します。

- 最大10種類のパルス出力、または最大10種類のパルス入力処理が可能
- 各チャンネル2本、合計10本のジェネラルレジスタ（GR）を持ち、各レジスタ独立にアウトプットコンペア/インプットキャプチャの機能設定が可能
- 各チャンネルとも8種類のカウンタ入力クロックを選択可能
 - 内部クロック： ϕ 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$
 - 外部クロック：TCLKA、TCLKB、TCLKC、TCLKD
- 各チャンネルとも次の動作モードを設定可能
 - ・コンペアマッチによる波形出力：0出力/1出力/トグル出力が選択可能（チャンネル2は0出力/1出力が可能）
 - ・インプットキャプチャ機能：立上がりエッジ/立下がりエッジ/両エッジ検出が選択可能
 - ・カウンタクリア機能：コンペアマッチ/インプットキャプチャによるカウンタクリアが可能
 - ・同期動作：複数のタイマカウンタ（TCNT）への同時書込みが可能
コンペアマッチ/インプットキャプチャによる同時クリアが可能
カウンタの同期動作による各レジスタの同期入出力が可能
 - ・PWMモード：任意デューティのPWM出力が可能
同期動作と組み合わせることにより、最大5相のPWM出力が可能
- チャンネル2は位相計数モードを設定可能
 - 2相エンコーダのカウンタ数の自動計測が可能
- チャンネル3、4は次の動作モードを設定可能
 - ・バッファ動作：インプットキャプチャレジスタのダブルバッファ構成が可能
アウトプットコンペアレジスタの自動書換えが可能
- 内部16ビットバスによる高速アクセス
TCNT、GR、およびバッファレジスタ（BR）の16ビットレジスタに対して、16ビットバスによる高速アクセスが可能
- 15種類の割込み要因
各チャンネルともコンペアマッチ/インプットキャプチャ兼用割込み×2要因、オーバフロー割込み×1要因があり、それぞれ独立に要求可能

■ プログラマブルパターンコントローラ (TPC) の出力トリガを生成可能

チャンネル0～3のコンペアマッチ/インプットキャプチャ信号をTPCの出力トリガとして使用可能

ITUの機能一覧を表8.1に示します。

表8.1 ITUの機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4
カウ ント ク ロ ッ ク	内部クロック：φ、φ/2、φ/4、φ/8 外部クロック：TCLKA、TCLKB、TCLKC、TCLKDから独立に選択可能				
ジェネラルレジスタ (アウトプットコンペア/インプットキャプチャ 兼用レジスタ)	GRA0、 GRB0	GRA1、 GRB1	GRA2、 GRB2	GRA3、 GRB3	GRA4、 GRB4
バッファレジスタ	—	—	—	BRA3、 BRB3	BRA4、 BRB4
入 出 力 端 子	TIOCA0、 TIOCBO	TIOCA1、 TIOCB1	TIOCA2、 TIOCB2	TIOCA3、 TIOCB3	TIOCA4、 TIOCB4
カウンタクリア機能	GRA0/GRB0 のコンペアマッチ または インプットキャプチャ	GRA1/GRB1 のコンペアマッチ または インプットキャプチャ	GRA2/GRB2 のコンペアマッチ または インプットキャプチャ	GRA3/GRB3 のコンペアマッチ または インプットキャプチャ	GRA4/GRB4 のコンペアマッチ または インプットキャプチャ
コンペア マ ッ チ 出 力	0出力	○	○	○	○
	1出力	○	○	○	○
	トグル出力	○	○	—	○
インプットキャプチャ機能	○	○	○	○	○
同 期 動 作	○	○	○	○	○
P W M モ ー ド	○	○	○	○	○
位 相 計 数 モ ー ド	—	—	○	—	—
バ ッ フ ァ 動 作	—	—	—	○	○
割 込 み 要 因	3 要因 ・コンペアマッチ/ インプットキャプ チャA0 ・コンペアマッチ/ インプットキャプ チャB0 ・オーバフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA1 ・コンペアマッチ/ インプットキャプ チャB1 ・オーバフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA2 ・コンペアマッチ/ インプットキャプ チャB2 ・オーバフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA3 ・コンペアマッチ/ インプットキャプ チャB3 ・オーバフロー	3 要因 ・コンペアマッチ/ インプットキャプ チャA4 ・コンペアマッチ/ インプットキャプ チャB4 ・オーバフロー

《記号説明》

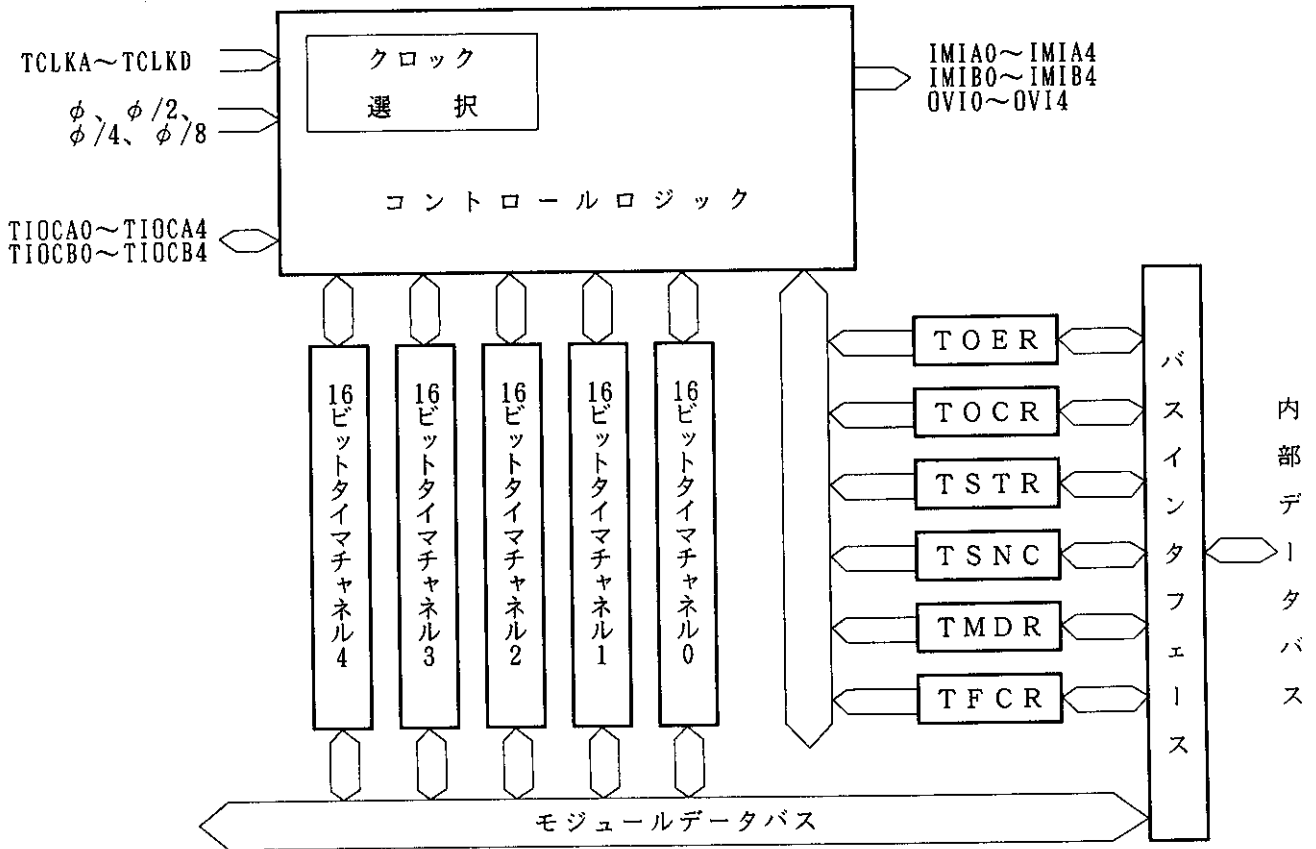
○：可能

—：不可

8.1.2 ブロック図

(1) ITUのブロック図（全体図）

ITUのブロック図（全体図）を図8.1に示します。



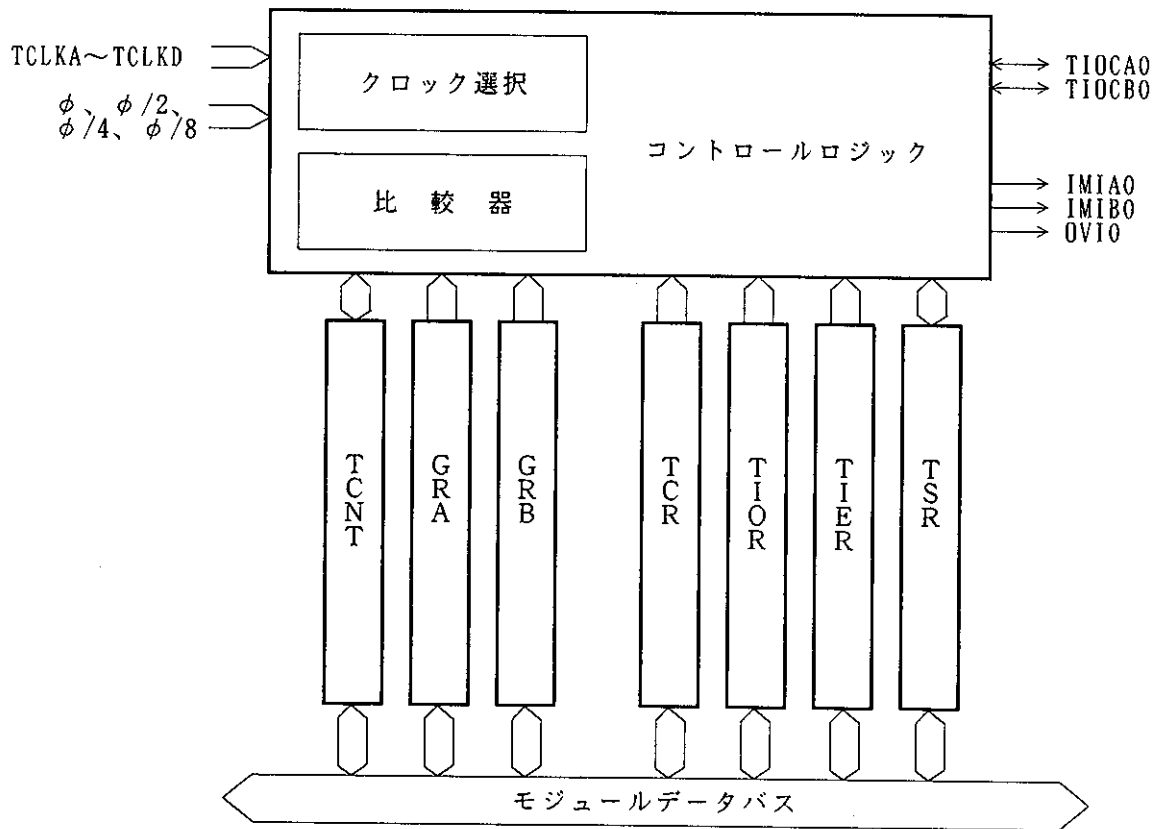
《記号説明》

- TOER : タイマアウトプットマスタイネーブルレジスタ (8ビット)
- TOCR : タイマアウトプットコントロールレジスタ (8ビット)
- TSTR : タイマスタートレジスタ (8ビット)
- TSNC : タイマシンクロレジスタ (8ビット)
- TMDR : タイマモードレジスタ (8ビット)
- TFCR : タイマファンクションコントロールレジスタ (8ビット)

図8.1 ITUのブロック図（全体図）

(2) チャンネル 0、1 のブロック図

I T U のチャンネル 0、1 は同一の機能をもっています。チャンネル 0、1 のブロック図を図 8. 2 に示します。



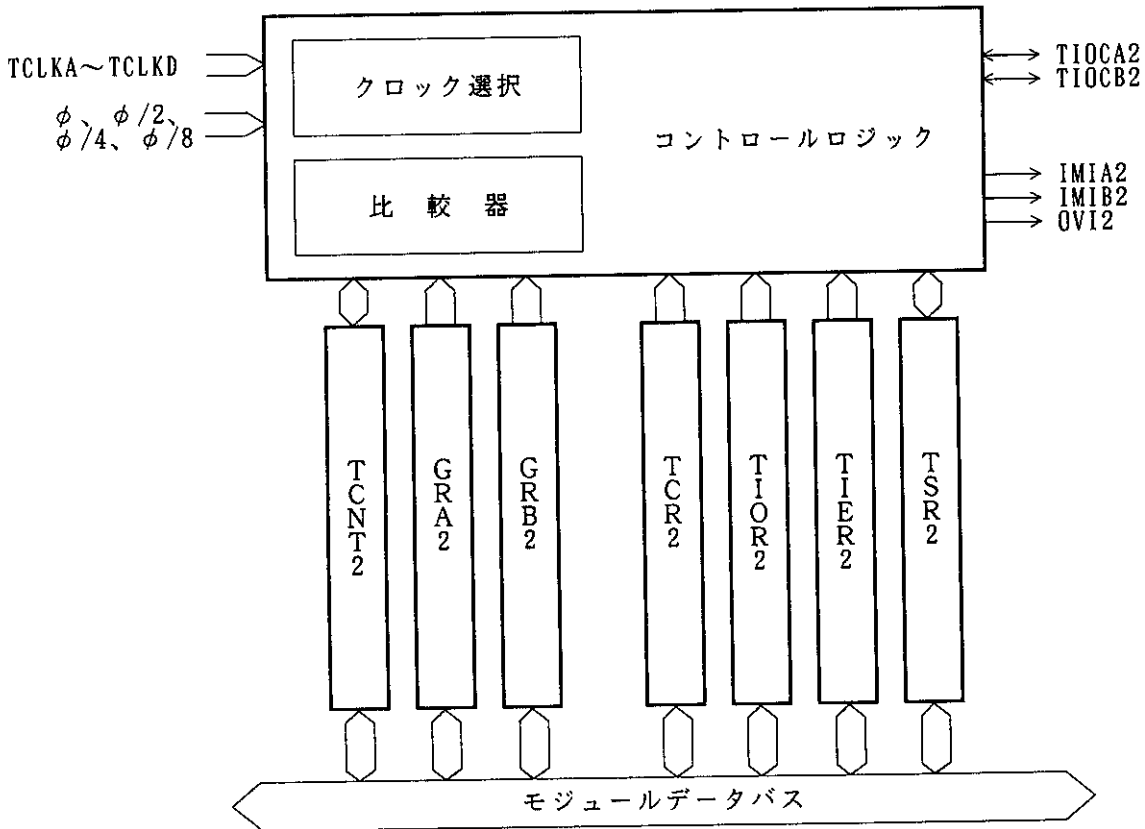
《記号説明》

- TCNT : タイマカウンタ (16ビット)
- GRA、B : ジェネラルレジスタ A、B (インプットキャプチャ/
アウトプットコンペア兼用レジスタ) (16ビット×2)
- TCR : タイマコントロールレジスタ (8ビット)
- TIO R : タイマ I/O コントロールレジスタ (8ビット)
- TIER : タイマインタラプトイネーブルレジスタ (8ビット)
- TSR : タイマステータスレジスタ (8ビット)

図 8. 2 チャンネル 0、1 のブロック図 (チャンネル 0 の場合)

(3) チャンネル2のブロック図

チャンネル2のブロック図を図8.3に示します。チャンネル2は0出力、1出力のみ可能です。



《記号説明》

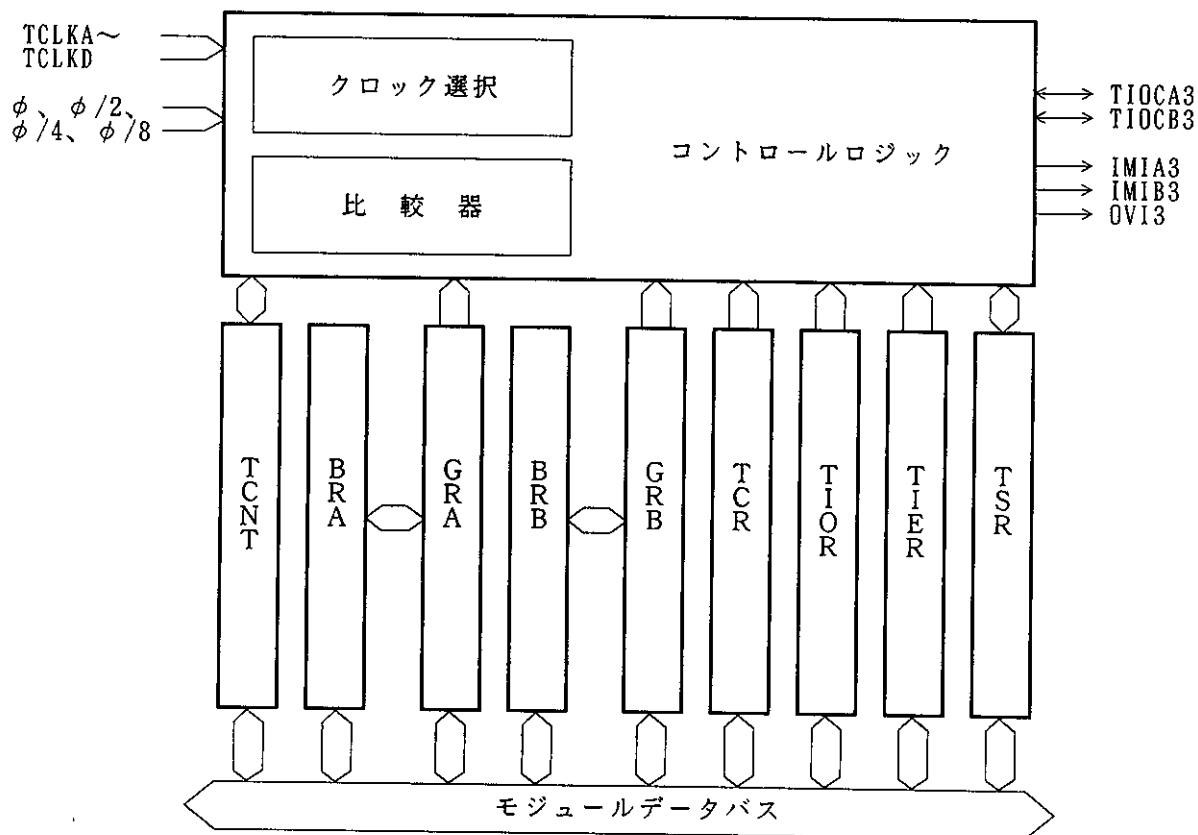
- TCNT2 : タイマカウンタ2 (16ビット)
- GRA2、B2 : ジェネラルレジスタA2、B2 (インプットキャプチャ/アウトプットコンペア兼用レジスタ) (16ビット×2)
- TCR2 : タイマコントロールレジスタ2 (8ビット)
- TIOR2 : タイマI/Oコントロールレジスタ2 (8ビット)
- TIER2 : タイマインタラプトイネーブルレジスタ2 (8ビット)
- TSR2 : タイマステータスレジスタ2 (8ビット)

図8.3 チャンネル2のブロック図

(4) チャンネル 3、4 のブロック図

I T U のチャンネル 3、4 は同一の機能を持っています。

チャンネル 3、4 のブロック図を図 8.4 に示します。



《記号説明》

TCNT : タイマカウンタ (16ビット)

GRA、B : ジェネラルレジスタ A、B (インプットキャプチャ/
アウトプットコンペア兼用レジスタ) (16ビット×2)

BRA、B : バッファレジスタ A、B (インプットキャプチャ/
アウトプットコンペア兼用バッファレジスタ) (16ビット×2)

TCR : タイマコントロールレジスタ (8ビット)

TIO R : タイマ I/O コントロールレジスタ (8ビット)

TIER : タイマインタラプトイネーブルレジスタ (8ビット)

TSR : タイマステータスレジスタ (8ビット)

図 8.4 チャンネル 3、4 のブロック図 (チャンネル 3 の場合)

8.1.3 端子構成

ITUの端子構成を表8.2に示します。

表 8.2 端子構成

チャネル	名 称	略 称	入出力	機 能
共通	クロック入力A	TCLKA	入 力	外部クロックA入力端子 (位相計数モード時A相入力端子)
	クロック入力B	TCLKB	入 力	外部クロックB入力端子 (位相計数モード時B相入力端子)
	クロック入力C	TCLKC	入 力	外部クロックC入力端子
	クロック入力D	TCLKD	入 力	外部クロックD入力端子
0	インプットキャプチャ/ アウトプットコンペアA0	TIOCA0	入出力	GRA0アウトプットコンペア出力/ GRA0インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB0	TIOCB0	入出力	GRB0アウトプットコンペア出力/ GRB0インプットキャプチャ入力端子
1	インプットキャプチャ/ アウトプットコンペアA1	TIOCA1	入出力	GRA1アウトプットコンペア出力/ GRA1インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB1	TIOCB1	入出力	GRB1アウトプットコンペア出力/ GRB1インプットキャプチャ入力端子
2	インプットキャプチャ/ アウトプットコンペアA2	TIOCA2	入出力	GRA2アウトプットコンペア出力/ GRA2インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB2	TIOCB2	入出力	GRB2アウトプットコンペア出力/ GRB2インプットキャプチャ入力端子
3	インプットキャプチャ/ アウトプットコンペアA3	TIOCA3	入出力	GRA3アウトプットコンペア出力/ GRA3インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB3	TIOCB3	入出力	GRB3アウトプットコンペア出力/ GRB3インプットキャプチャ入力
4	インプットキャプチャ/ アウトプットコンペアA4	TIOCA4	入出力	GRA4アウトプットコンペア出力/ GRA4インプットキャプチャ入力/ PWM出力端子(PWMモード時)
	インプットキャプチャ/ アウトプットコンペアB4	TIOCB4	入出力	GRB4アウトプットコンペア出力/ GRB4インプットキャプチャ入力

8.1.4 レジスタ構成

I T Uのレジスタ構成を表8.3に示します。

表 8.3 レジスタ構成(1)

チャネル	アドレス*1	名 称	略 称	R/W	初期値
共通	H' FF60	タイマスタートレジスタ	TSTR	R/W	H' E0
	H' FF61	タイマシンクロレジスタ	TSNC	R/W	H' E0
	H' FF62	タイマモードレジスタ	TMDR	R/W	H' 80
	H' FF63	タイマフロンクショナルレジスタ	TFCR	R/W	H' C0
	H' FF90	タイマアウトプットマスタイネーブルレジスタ	TOER	R/W	H' FF
0	H' FF64	タイマコントロールレジスタ 0	TCR0	R/W	H' 80
	H' FF65	タイマI/Oコントロールレジスタ 0	TIOR0	R/W	H' 88
	H' FF66	タイマインタラプティネーブルレジスタ0	TIER0	R/W	H' F8
	H' FF67	タイマステータスレジスタ 0	TSR0	R/(W)*2	H' F8
	H' FF68	タイマカウンタ 0 H	TCNT0H	R/W	H' 00
	H' FF69	タイマカウンタ 0 L	TCNT0L	R/W	H' 00
	H' FF6A	ジェネラルレジスタ A 0 H	GRA0H	R/W	H' FF
	H' FF6B	ジェネラルレジスタ A 0 L	GRA0L	R/W	H' FF
	H' FF6C	ジェネラルレジスタ B 0 H	GRB0H	R/W	H' FF
	H' FF6D	ジェネラルレジスタ B 0 L	GRB0L	R/W	H' FF
1	H' FF6E	タイマコントロールレジスタ 1	TCR1	R/W	H' 80
	H' FF6F	タイマI/Oコントロールレジスタ 1	TIOR1	R/W	H' 88
	H' FF70	タイマインタラプティネーブルレジスタ1	TIER1	R/W	H' F8
	H' FF71	タイマステータスレジスタ 1	TSR1	R/(W)*2	H' F8
	H' FF72	タイマカウンタ 1 H	TCNT1H	R/W	H' 00
	H' FF73	タイマカウンタ 1 L	TCNT1L	R/W	H' 00
	H' FF74	ジェネラルレジスタ A 1 H	GRA1H	R/W	H' FF
	H' FF75	ジェネラルレジスタ A 1 L	GRA1L	R/W	H' FF
	H' FF76	ジェネラルレジスタ B 1 H	GRB1H	R/W	H' FF
	H' FF77	ジェネラルレジスタ B 1 L	GRB1L	R/W	H' FF
2	H' FF78	タイマコントロールレジスタ 2	TCR2	R/W	H' 80
	H' FF79	タイマI/Oコントロールレジスタ 2	TIOR2	R/W	H' 88
	H' FF7A	タイマインタラプティネーブルレジスタ2	TIER2	R/W	H' F8
	H' FF7B	タイマステータスレジスタ 2	TSR2	R/(W)*2	H' F8

【注】*1 アドレスの下位16ビットを示しています。

*2 フラグをクリアするための“0”ライトのみ可能です。

表 8. 3 レジスタ構成(2)

チャネル	アドレス ^{*1}	名 称	略 称	R/W	初期値
2	H' FF7C	タイマカウンタ 2 H	TCNT 2 H	R/W	H' 00
	H' FF7D	タイマカウンタ 2 L	TCNT 2 L	R/W	H' 00
	H' FF7E	ジェネラルレジスタ A 2 H	GRA 2 H	R/W	H' FF
	H' FF7F	ジェネラルレジスタ A 2 L	GRA 2 L	R/W	H' FF
	H' FF80	ジェネラルレジスタ B 2 H	GRB 2 H	R/W	H' FF
	H' FF81	ジェネラルレジスタ B 2 L	GRB 2 L	R/W	H' FF
3	H' FF82	タイマコントロールレジスタ 3	TCR 3	R/W	H' 80
	H' FF83	タイマ I/Oコントロールレジスタ 3	TIOR 3	R/W	H' 88
	H' FF84	タイムインタラプティブルレジスタ 3	TIER 3	R/W	H' F8
	H' FF85	タイマステータスレジスタ 3	TSR 3	R/(W) ^{*2}	H' F8
	H' FF86	タイマカウンタ 3 H	TCNT 3 H	R/W	H' 00
	H' FF87	タイマカウンタ 3 L	TCNT 3 L	R/W	H' 00
	H' FF88	ジェネラルレジスタ A 3 H	GRA 3 H	R/W	H' FF
	H' FF89	ジェネラルレジスタ A 3 L	GRA 3 L	R/W	H' FF
	H' FF8A	ジェネラルレジスタ B 3 H	GRB 3 H	R/W	H' FF
	H' FF8B	ジェネラルレジスタ B 3 L	GRB 3 L	R/W	H' FF
	H' FF8C	バッファレジスタ A 3 H	BRA 3 H	R/W	H' FF
	H' FF8D	バッファレジスタ A 3 L	BRA 3 L	R/W	H' FF
	H' FF8E	バッファレジスタ B 3 H	BRB 3 H	R/W	H' FF
	H' FF8F	バッファレジスタ B 3 L	BRB 3 L	R/W	H' FF
4	H' FF92	タイマコントロールレジスタ 4	TCR 4	R/W	H' 80
	H' FF93	タイマ I/Oコントロールレジスタ 4	TIOR 4	R/W	H' 88
	H' FF94	タイムインタラプティブルレジスタ 4	TIER 4	R/W	H' F8
	H' FF95	タイマステータスレジスタ 4	TSR 4	R/(W) ^{*2}	H' F8
	H' FF96	タイマカウンタ 4 H	TCNT 4 H	R/W	H' 00
	H' FF97	タイマカウンタ 4 L	TCNT 4 L	R/W	H' 00
	H' FF98	ジェネラルレジスタ A 4 H	GRA 4 H	R/W	H' FF
	H' FF99	ジェネラルレジスタ A 4 L	GRA 4 L	R/W	H' FF
	H' FF9A	ジェネラルレジスタ B 4 H	GRB 4 H	R/W	H' FF
	H' FF9B	ジェネラルレジスタ B 4 L	GRB 4 L	R/W	H' FF
	H' FF9C	バッファレジスタ A 4 H	BRA 4 H	R/W	H' FF
	H' FF9D	バッファレジスタ A 4 L	BRA 4 L	R/W	H' FF
	H' FF9E	バッファレジスタ B 4 H	BRB 4 H	R/W	H' FF
	H' FF9F	バッファレジスタ B 4 L	BRB 4 L	R/W	H' FF

【注】^{*1} アドレスの下位16ビットを示しています。

^{*2} フラグをクリアするための“0”ライトのみ可能です。

8.2 各レジスタの説明

8.2.1 タイマスタートレジスタ (TSTR)

TSTRは8ビットのリード/ライト可能なレジスタで、チャンネル0～4のTCNTの動作/停止を選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STR0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W
	リザーブビット			カウンタスタート4～0 TCNT4～TCNT0の動作/停止を選択するビットです。				

TSTRはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：カウンタスタート4 (STR4)

タイマカウンタ4 (TCNT4) の動作/停止を選択します。

ビット4	説明
STR4	
0	TCNT4のカウンタ動作は停止 (初期値)
1	TCNT4はカウンタ動作

ビット3：カウンタスタート3 (STR3)

タイマカウンタ3 (TCNT3) の動作/停止を選択します。

ビット3	説明
STR3	
0	TCNT3のカウンタ動作は停止 (初期値)
1	TCNT3はカウンタ動作

ビット2：カウンタスタート2 (STR2)

タイマカウンタ2 (TCNT2) の動作/停止を選択します。

ビット2	説明
STR2	
0	TCNT2のカウンタ動作は停止 (初期値)
1	TCNT2はカウンタ動作

ビット1：カウンタスタート1 (STR1)

タイマカウンタ1 (TCNT1) の動作/停止を選択します。

ビット1	説明
STR1	
0	TCNT1のカウンタ動作は停止 (初期値)
1	TCNT1はカウンタ動作

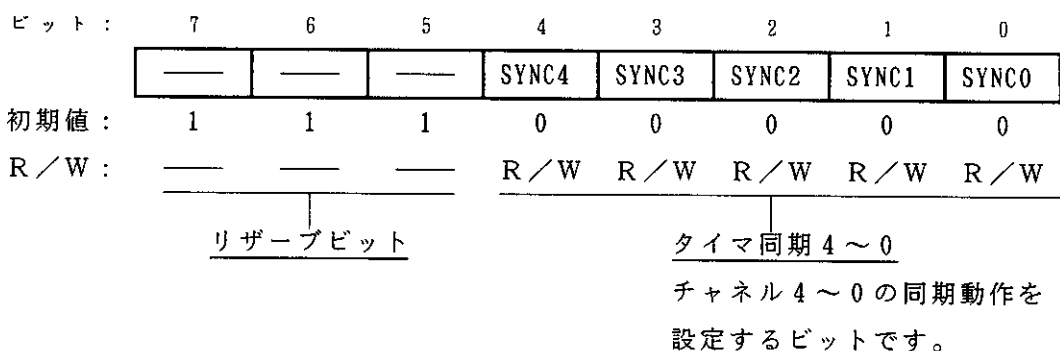
ビット0：カウンタスタート0 (STR0)

タイマカウンタ0 (TCNT0) の動作/停止を選択します。

ビット0	説明
STR0	
0	TCNT0のカウンタ動作は停止 (初期値)
1	TCNT0はカウンタ動作

8.2.2 タイマシンクロレジスタ (TSNC)

TSNCは8ビットのリード/ライト可能なレジスタで、チャンネル0～4の独立動作/同期動作を選択します。対応するビットを“1”にセットしたチャンネルが同期動作を行います。



TSNCはリセット、またはスタンバイモード時に、H'E0にイニシャライズされます。

ビット7～5：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット4：タイマ同期4 (SYNC4)

チャンネル4の独立動作/同期動作を選択します。

ビット4	説 明
SYNC4	
0	チャンネル4のタイマカウンタ (TCNT4) は独立動作 (TCNT4のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル4は同期動作 TCNT4の同期プリセット/同期クリアが可能

ビット3：タイマ同期3 (SYNC3)

チャンネル3の独立動作/同期動作を選択します。

ビット3	説明
SYNC3	
0	チャンネル3のタイマカウンタ (TCNT3) は独立動作 (TCNT3のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル3は同期動作 TCNT3の同期プリセット/同期クリアが可能

ビット2：タイマ同期2 (SYNC2)

チャンネル2の独立動作/同期動作を選択します。

ビット2	説明
SYNC2	
0	チャンネル2のタイマカウンタ (TCNT2) は独立動作 (TCNT2のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル2は同期動作 TCNT2の同期プリセット/同期クリアが可能

ビット1：タイマ同期1 (SYNC1)

チャンネル1の独立動作/同期動作を選択します。

ビット1	説明
SYNC1	
0	チャンネル1のタイマカウンタ (TCNT1) は独立動作 (TCNT1のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル1は同期動作 TCNT1の同期プリセット/同期クリアが可能

ビット0：タイマ同期0 (SYNC0)

チャンネル0の独立動作/同期動作を選択します。

ビット0	説明
SYNC0	
0	チャンネル0のタイマカウンタ (TCNT0) は独立動作 (TCNT0のプリセット/クリアは他チャンネルと無関係) (初期値)
1	チャンネル0は同期動作 TCNT0の同期プリセット/同期クリアが可能

8.2.3 タイマモードレジスタ (TMDR)

TMDRは8ビットのリード/ライト可能なレジスタで、チャンネル0～4のPWMモードの設定、チャンネル2の位相計数モードの設定およびオーバーフローフラグ(OVF)のセット条件の設定を行います。

ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMモード4～0
チャンネル4～0をPWMモードに
設定するビットです。

フラグディレクション
TSR2のOVFフラグセット条件を
設定するビットです。

位相計数モード
チャンネル2を位相計数モードに設定するビットです。

リザーブビット

TMDRはリセット、またはスタンバイモード時に、H'80にイニシャライズされます。

ビット7: リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6: 位相計数モード (MDF)

チャンネル2を通常動作させるか、位相計数モードで動作させるかを選択します。

ビット6	説明
MDF	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2は位相計数モード

MDFビットを“1”にセットして位相計数モードにすると、TCNT2はアップ/ダウンカウンタ、TCLKA、TCLKB端子がカウンタクロック入力端子となります。TCNT2はTCLKA、TCLKB端子の立上がり（f）/立下がり（L）の両エッジでカウントされ、カウントアップ/ダウン方向は次のようになります。

カウント方向	カウントダウン				カウントアップ			
TCLKA端子	f	“High”	L	“Low”	f	“Low”	L	“High”
TCLKB端子	“Low”	f	“High”	L	“High”	f	“Low”	L

位相計数モードでは、TCR2のCKEG1、CKEG0ビットによる外部クロックエッジの選択、およびTPSC2～TPSC0ビットによるカウンタクロックの選択は無効となり、上記の位相計数モードの動作が優先されます。

ただし、TCR2のCCLR1、CCLR0ビットによるカウンタクリア条件の設定、TIOR2、TIER2、TSR2のコンペアマッチ/インプットキャプチャ機能と割込みの設定は位相計数モードでも有効です。

ビット5：フラグディレクション（FDIR）

TSR2のOVFフラグのセット条件を設定します。本ビットの設定は、チャンネル2がいずれのモードで動作していても有効となります。

ビット5	説明
FDIR	
0	TSR2のOVFフラグは、TCNT2がオーバーフローまたはアンダフローしたときに“1”にセット (初期値)
1	TSR2のOVFフラグは、TCNT2がオーバーフローしたときに“1”にセット

ビット4：PWMモード4（PWM4）

チャンネル4を通常動作させるか、PWMモードで動作させるかを選択します。

ビット4	説明
PWM4	
0	チャンネル4は通常動作 (初期値)
1	チャンネル4はPWMモード

PWM4を“1”にセットしてPWMモードにすると、TIOCA₄端子はPWM出力端子となり、GRA4のコンペアマッチで1出力、GRB4のコンペアマッチで0出力となります。

ビット3：PWMモード3（PWM3）

チャンネル3を通常動作させるか、PWMモードで動作させるかを選択します。

ビット3	説明
PWM3	
0	チャンネル3は通常動作 (初期値)
1	チャンネル3はPWMモード

PWM3を“1”にセットしてPWMモードにすると、TIOCA₃端子はPWM出力端子となり、GRA3のコンペアマッチで1出力、GRB3のコンペアマッチで0出力となります。

ビット2：PWMモード2（PWM2）

チャンネル2を通常動作させるか、PWMモードで動作させるかを選択します。

ビット2	説明
PWM2	
0	チャンネル2は通常動作 (初期値)
1	チャンネル2はPWMモード

PWM2を“1”にセットしてPWMモードにすると、TIOCA₂端子はPWM出力端子となり、GRA2のコンペアマッチで1出力、GRB2のコンペアマッチで0出力となります。

ビット1：PWMモード1（PWM1）

チャンネル1を通常動作させるか、PWMモードで動作させるかを選択します。

ビット1	説明
PWM1	
0	チャンネル1は通常動作 (初期値)
1	チャンネル1はPWMモード

PWM1を“1”にセットしてPWMモードに設定すると、TIOCA₁端子はPWM出力端子となり、GRA1のコンペアマッチ1で出力、GRB1のコンペアマッチで0出力となります。

ビット0：PWMモード0（PWM0）

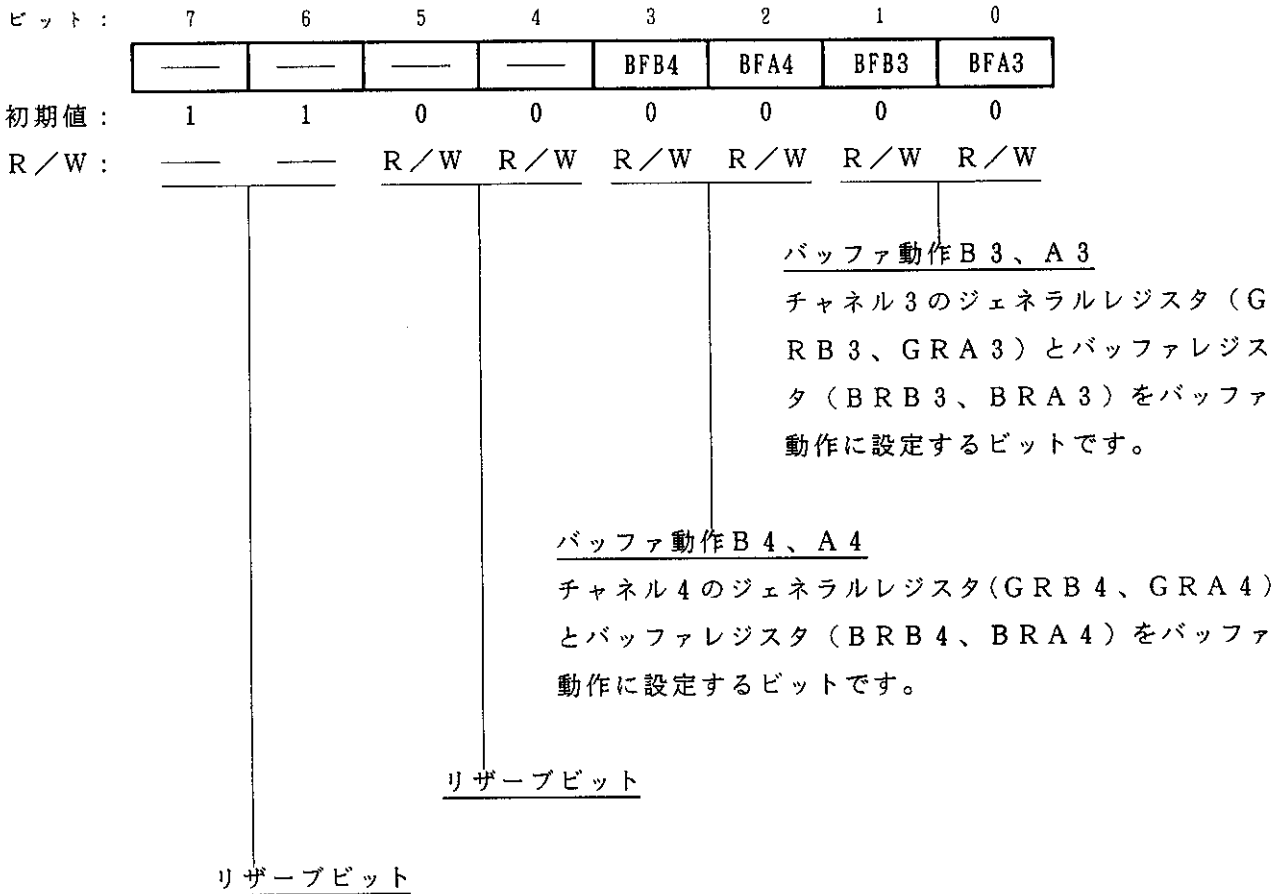
チャンネル0を通常動作させるか、PWMモードで動作させるかを選択します。

ビット0	説明
PWM0	
0	チャンネル0は通常動作 (初期値)
1	チャンネル0はPWMモード

PWM0を“1”にセットしてPWMモードに設定すると、TIOCA₀端子はPWM出力端子となり、GRA0のコンペアマッチで1出力、GRB0のコンペアマッチで0出力となります。

8.2.4 タイマファンクションコントロールレジスタ (TF CR)

TF CRは8ビットのリード/ライト可能なレジスタで、チャンネル3、4のバッファ動作の設定を行います。



TF CRはリセット、またはスタンバイモード時に、H' C0にイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5、4：リザーブビット

リザーブビットです。リード/ライト可能ですが“1”にセットしないでください。

ビット3：バッファ動作B4（BFB4）

チャンネル4のGRB4を通常動作とするか、GRB4とBRB4を組み合わせてバッファ動作とするかを設定します。

ビット3 BFB4	説明
0	GRB4は通常動作 (初期値)
1	GRB4とBRB4はバッファ動作

ビット2：バッファ動作A4（BFA4）

チャンネル4のGRA4を通常動作とするか、GRA4とBRA4を組み合わせてバッファ動作とするかを設定します。

ビット2 BFA4	説明
0	GRA4は通常動作 (初期値)
1	GRA4とBRA4はバッファ動作

ビット1：バッファ動作B3（BFB3）

チャンネル3のGRB3を通常動作とするか、GRB3とBRB3を組み合わせてバッファ動作とするかを設定します。

ビット1 BFB3	説明
0	GRB3は通常動作 (初期値)
1	GRB3とBRB3はバッファ動作

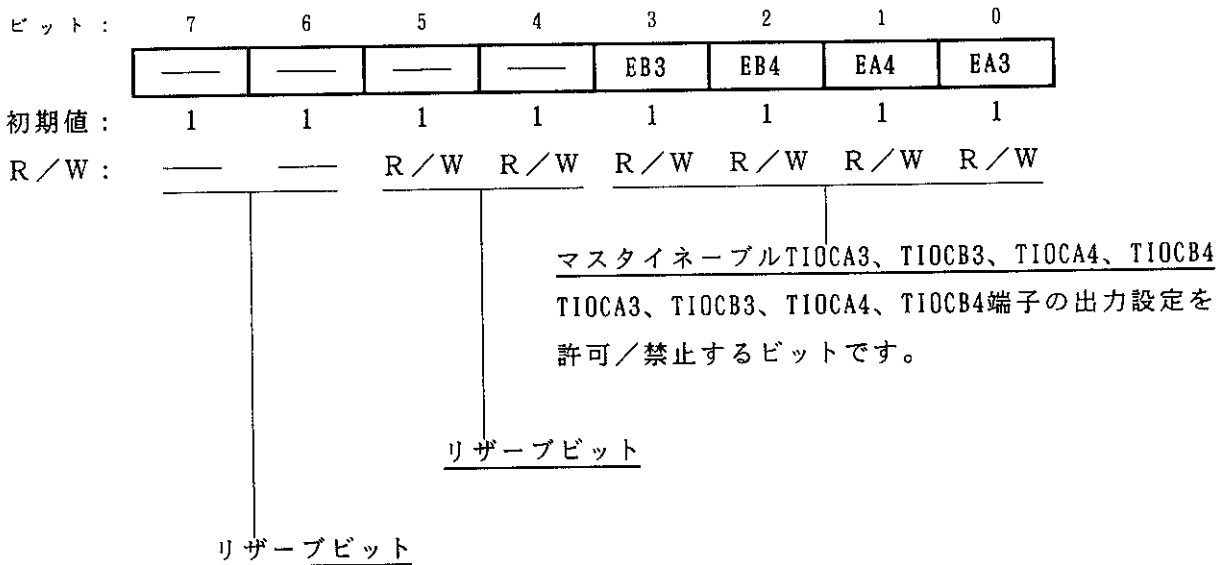
ビット0：バッファ動作A3（BFA3）

チャンネル3のGRA3を通常動作とするか、GRA3とBRA3を組み合わせてバッファ動作とするかを設定します。

ビット0 BFA3	説明
0	GRA3は通常動作 (初期値)
1	GRA3とBRA3はバッファ動作

8.2.5 タイマアウトプットマスタイネーブルレジスタ (TOER)

TOERは、8ビットのリード/ライト可能なレジスタで、チャンネル3、4の出力設定を許可/禁止します。



TOERはリセット、またはスタンバイモード時にH'FFにイニシャライズされます。

ビット7、6：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット5、4：リザーブビット

リザーブビットです。リード/ライトは可能です。

ビット3：マスタイネーブルTIOCB3 (EB3)

TIOCB₃端子のITU出力を許可/禁止します。

ビット3	説	明
EB3		
0	TIOCB ₃ 端子の出力は禁止	(初期値)
1	TIOCB ₃ 端子の出力は許可	(初期値)

ビット2：マスタイネーブルTIOCB4（EB4）

TIOCB₄端子のITU出力を許可／禁止します。

ビット2	説 明
EB4	
0	TIOR ₄ 、TFCRの設定にかかわらずTIOCB ₄ 端子の出力は禁止（TIOCB ₄ 端子は入出力ポートとして動作）
1	TIOR ₄ 、TFCRの設定に従いTIOCB ₄ 端子の出力は許可（初期値）

ビット1：マスタイネーブルTIOCA4（EA4）

TIOCA₄端子のITU出力を許可／禁止します。

ビット1	説 明
EA4	
0	TIOR ₄ 、TMDR、TFCRの設定にかかわらずTIOCA ₄ 端子の出力は禁止（TIOCA ₄ 端子は入出力ポートとして動作）
1	TIOR ₄ 、TMDR、TFCRの設定に従いTIOCA ₄ 端子の出力は許可（初期値）

ビット0：マスタイネーブルTIOCA3（EA3）

TIOCA₃端子のITU出力を許可／禁止します。

ビット0	説 明
EA3	
0	TIOR ₃ 、TMDR、TFCRの設定にかかわらずTIOCA ₃ 端子の出力は禁止（TIOCA ₃ 端子は入出力ポートとして動作）
1	TIOR ₃ 、TMDR、TFCRの設定に従いTIOCA ₃ 端子の出力は許可（初期値）

8.2.6 タイマカウンタ (TCNT)

TCNTは16ビットのカウンタです。ITUには、各チャンネル1本、計5本のTCNTがあります。

チャンネル	略称	機能
0	TCNT 0	アップカウンタ
1	TCNT 1	
2	TCNT 2	位相計数モード : アップ/ダウンカウンタ 上記以外 : アップカウンタ
3	TCNT 3	アップ/ダウンカウンタ
4	TCNT 4	

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/WR/W

TCNTは16ビットのリード/ライト可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックは、TCRのTPSC2~TPSC0ビットにより選択します。

TCNT0、TCNT1はアップカウント動作を行います。TCNT2は位相計数モード時、アップ/ダウンカウント動作を行います。またTCNT3、TCNT4はアップカウント動作します。

TCNTは、対応するGRA、GRBとのコンペアマッチ、またはGRA、GRBへのインプットキャプチャによりH'0000にクリアすることができます(カウンタクリア機能)。

TCNTがオーバフロー(H'FFFF→H'0000)すると、対応するチャンネルのTSRのOVFフラグが“1”にセットされます。

TCNTがアンダフロー(H'0000→H'FFFF)すると、対応するチャンネルのTSRのOVFフラグが“1”にセットされます。

TCNTはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

TCNTはリセット、またはスタンバイモード時にH'0000にイニシャライズされます。

8.2.7 ジェネラルレジスタA、B (GRA、GRB)

GRは、16ビットのレジスタです。ITUには、各チャンネル2本、計10本のジェネラルレジスタがあります。

チャンネル	略称	機能
0	GRA0、GRB0	アウトプットコンペア/インプットキャプチャ兼用レジスタ
1	GRA1、GRB1	
2	GRA2、GRB2	
3	GRA3、GRB3	アウトプットコンペア/インプットキャプチャ兼用レジスタ。バッファレジスタ(BRA、BRB)と組み合わせることにより、バッファ動作設定可能
4	GRA4、GRB4	

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

GRは16ビットのリード/ライト可能なレジスタで、アウトプットコンペアレジスタとインプットキャプチャレジスタの両方の機能をもっています。機能の切換えは、TIORにより行います。

アウトプットコンペアレジスタとして使用しているときは、GRA/GRBの値とTCNTの値は常に比較されています。両者の値が一致(コンペアマッチ)すると、TSRのIMFA/IMFBフラグが“1”にセットされます。TIORによりコンペアマッチ出力を設定することができます。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNTの値を格納します。このとき対応するTSRのIMFA/IMFBフラグが“1”にセットされます。インプットキャプチャ信号の検出エッジはTIORにより行います。

PWMモードに設定されている場合には、TIORの設定は無視されます。

GRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

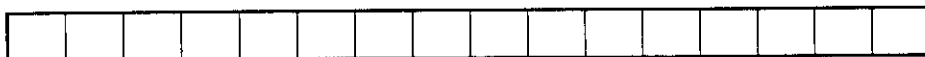
GRはリセット、またはスタンバイモード時にアウトプットコンペアレジスタ(端子出力なし)に設定され、H'FFFFにイニシャライズされます。

8.2.8 バッファレジスタA、B (BRA、BRB)

BRは、16ビットのレジスタです。ITUには、チャンネル3、4に各2本、計4本のバッファレジスタがあります。

チャンネル	略 称	機 能
3	BRA3、BRB3	バッファ動作時に使用 ・対応するGRA、GRBがアウトプットコンペアレジスタのときアウトプットコンペアバッファレジスタとして機能し、コンペアマッチによりBRA、BRBの値をGRA、GRBに自動転送可能
4	BRA4、BRB4	・対応するGRA、GRBがインプットキャプチャレジスタのときインプットキャプチャバッファレジスタとして機能し、インプットキャプチャ時それまで格納されていたGRA、GRBの値をBRA、BRBに自動転送可能

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

BRは、16ビットのリード/ライト可能なレジスタで、バッファ動作設定時に使用されます。バッファ動作の設定はTF CRのBFB4、BFA4、BFB3、およびBFA3ビットにより独立に行うことができます。

BRはGRと対になって機能し、GRがアウトプットコンペアレジスタに設定されているときはアウトプットコンペアバッファレジスタとして、またGRがインプットキャプチャレジスタとして設定されているときはインプットキャプチャバッファレジスタとして機能します。

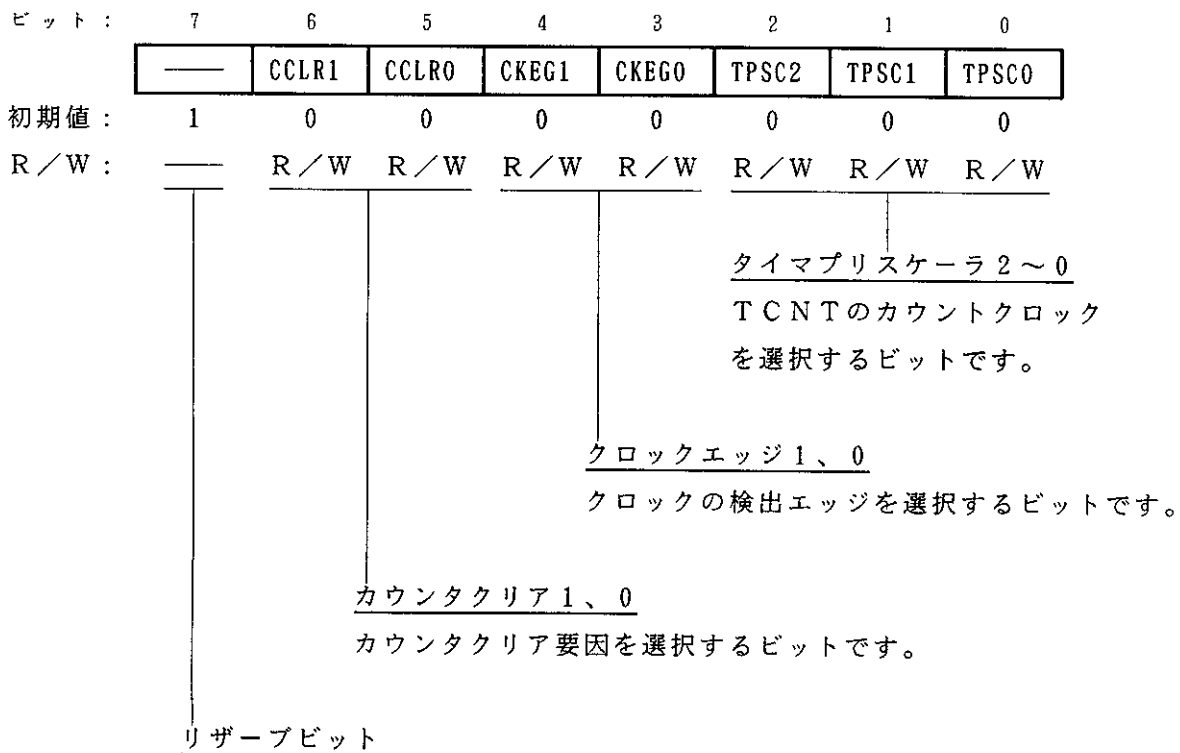
BRはCPUと内部16ビットバスで接続されており、ワード/バイト単位のリード/ライトが可能です。

BRは、リセット、またはスタンバイモード時にH'FFFFにイニシャライズされます。

8.2.9 タイマコントロールレジスタ (TCR)

TCRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTCRがあります。

チャンネル	略称	機能
0	TCR0	TCRはTCNTの制御を行います。 各チャンネルのTCRは同一の機能をもっています。 チャンネル2を位相計数モードに設定したとき、TCR2のCKEG1、CKEG0ビットおよびTPSC2~TPSC0ビットの設定は無効となります。
1	TCR1	
2	TCR2	
3	TCR3	
4	TCR4	



TCRは8ビットのリード/ライト可能なレジスタで、TCNTのカウンタクロックの選択、外部クロック選択時のエッジの選択、およびカウンタクリア要因の選択を行います。

TCRはリセット、またはスタンバイモード時に、H'80にイニシャライズされます。

ビット7：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット 6、5 : カウンタクリア 1、0 (CCLR1、CCLR0)

TCNTのカウンタクリア要因を選択します。

ビット 6	ビット 5	説 明
CCLR1	CCLR0	
0	0	TCNTのクリア禁止 (初期値)
	1	GRAのコンペアマッチ/インプットキャプチャ*1でTCNTをクリア
1	0	GRBのコンペアマッチ/インプットキャプチャ*1でTCNTをクリア
	1	同期クリア。同期動作*2をしている他のタイマのカウンタクリアに同期してTCNTをクリア

【注】*1 GRがアウトプットコンペアレジスタとして機能しているとき、コンペアマッチにより、クリアされます。GRがインプットキャプチャレジスタとして機能しているとき、インプットキャプチャによりクリアされます。

*2 同期動作の設定はTSNCにより行います。

ビット 4、3 : クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック選択時に、外部クロックの入力エッジを選択します。

ビット 4	ビット 3	説 明
CKEG1	CKEG0	
0	0	立上がりエッジでカウント (初期値)
	1	立下がりエッジでカウント
1	—	立上がり/立下がりの両エッジでカウント

チャンネル 2 が位相計数モードに設定されているとき、TCR2のCKEG1、CKEG0ビットの設定は無効になり、位相計数モードの動作が優先されます。

ビット2～0：タイマプリスケラ2～0 (TPSC2～TPSC0)

TCNTのカウントクロックを選択します。

ビット2	ビット1	ビット0	説 明
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック： ϕ でカウント (初期値)
		1	内部クロック： $\phi/2$ でカウント
	1	0	内部クロック： $\phi/4$ でカウント
		1	内部クロック： $\phi/8$ でカウント
1	0	0	外部クロックA：TCLKA端子入力でカウント
		1	外部クロックB：TCLKB端子入力でカウント
	1	0	外部クロックC：TCLKC端子入力でカウント
		1	外部クロックD：TCLKD端子入力でカウント

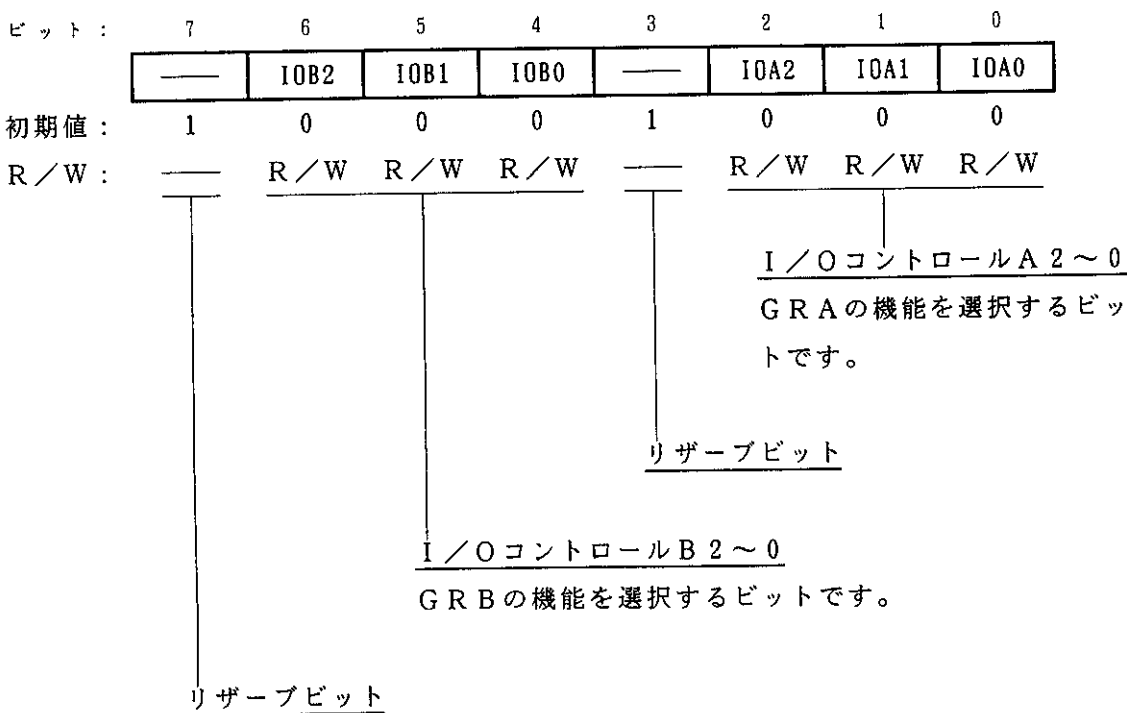
TPSC2ビットを“0”にクリアして内部クロックを選択した場合、クロックの立下がりエッジでカウントされます。また、TPSC2ビットを“1”にセットして外部クロックを選択した場合、カウントエッジはCKEG1、CKEG0ビットの設定に従います。

チャンネル2が位相計数モードに設定されているとき (TMDRのMDFビット=“1”)、TCR2のTPSC2～TPSC0ビットの設定は無効となり、位相計数モードの動作が優先されます。

8.2.10 タイマI/Oコントロールレジスタ (T I O R)

T I O Rは8ビットのレジスタです。I T Uには、各チャンネル1本、計5本のT I O Rがあります。

チャンネル	略 称	機 能
0	T I O R 0	T I O RはG Rの制御を行います。 P W Mモード時、一部機能が異なります。
1	T I O R 1	
2	T I O R 2	
3	T I O R 3	
4	T I O R 4	



T I O Rは8ビットのリード/ライト可能なレジスタで、G R A、G R Bをアウトプットコンペアレジスタとして使用するか、インプットキャプチャレジスタとして使用するかを選択します。またT I O C A、T I O C B端子の機能を選択します。アウトプットコンペアレジスタを選択した場合は出力設定を選択し、インプットキャプチャレジスタを選択した場合はインプットキャプチャ信号の入力エッジを選択します。

T I O Rはリセット、またはスタンバイモード時に、H'88にイニシャライズされます。

ビット7：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット6～4：I/OコントロールB2～0（IOB2～IOB0）

GRBの機能を選択します。

ビット6	ビット5	ビット4	説明	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRBのコンペアマッチで0出力*1
	1	0		GRBのコンペアマッチで1出力*1
		1		GRBのコンペアマッチでトグル出力 (チャンネル2のみ1出力)*1、*2
1	0	0	GRBはインプ ットキャプチャ レジスタ	立上がりエッジでGRBへインプットキャ プチャ
		1		立下がりエッジでGRBへインプットキャ プチャ
	1	0		立上がり／立下がりの両エッジでインプッ トキャプチャ
		1		

【注】*1 リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

*2 チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

ビット3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2～0：1/OコントロールA2～0（IOA2～IOA0）

GRAの機能を選択します。

ビット2	ビット1	ビット0	説 明	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウト プットコンペア レジスタ	コンペアマッチによる端子出力禁止 (初期値)
		1		GRAのコンペアマッチで0出力* ¹
	1	0		GRAのコンペアマッチで1出力* ¹
		1		GRAのコンペアマッチでトグル出力 (チャンネル2のみ1出力)* ¹ * ²
1	0	0	GRAはインプ ットキャプチャ レジスタ	立上がりエッジでGRAへインプットキャ プチャ
		1		立下がりエッジでGRAへインプットキャ プチャ
	1	0		立上がり/立下がりの両エッジでインプ ットキャプチャ
		1		

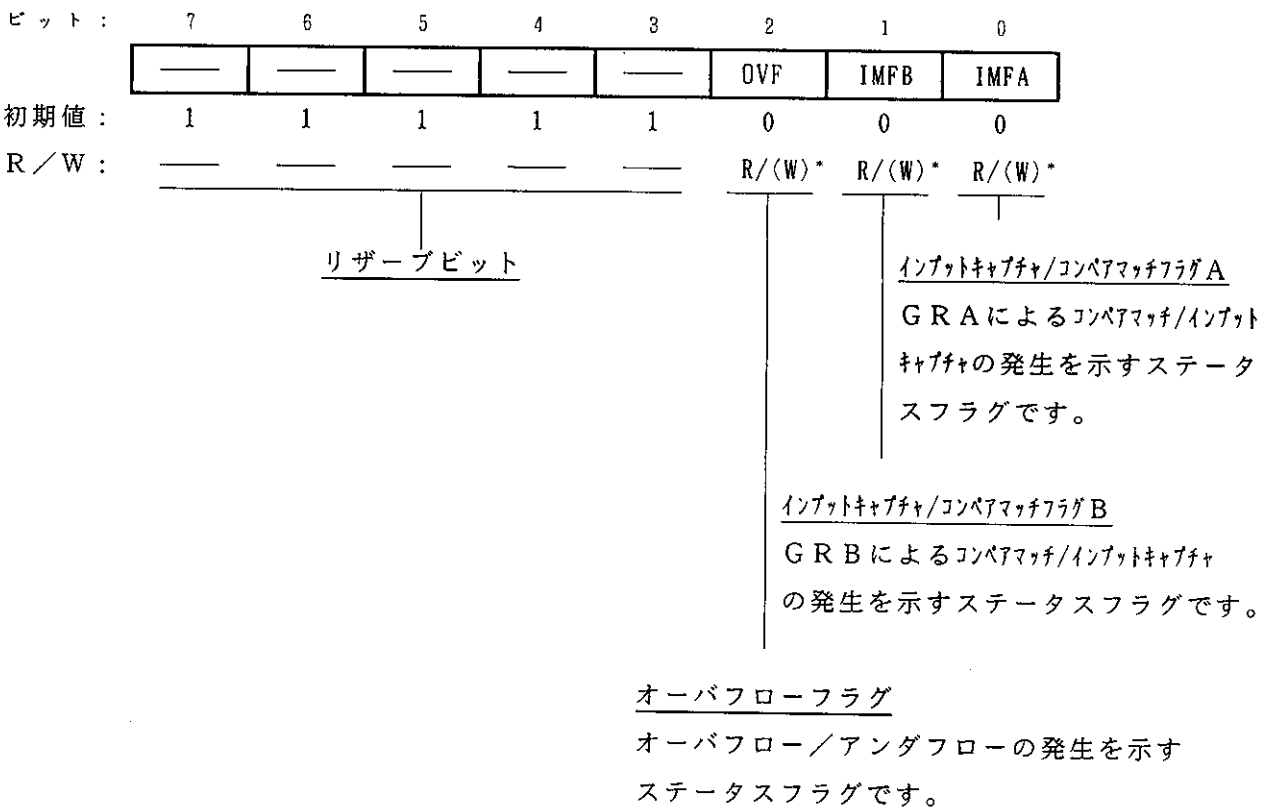
【注】*¹ リセット後、最初のコンペアマッチが発生するまでの出力値は0です。

*² チャンネル2はコンペアマッチによるトグル出力機能がありません。この設定にすると自動的に1出力が選択されます。

8.2.11 タイマステータスレジスタ (TSR)

TSRは8ビットのレジスタです。ITUには、各チャンネル1本、計5本のTSRがあります。

チャンネル	略称	機能
0	TSR0	インプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。
1	TSR1	
2	TSR2	
3	TSR3	
4	TSR4	



【注】* フラグをクリアするための“0”ライトのみ可能です。

TSRは8ビットのリード/ライト可能なレジスタで、TCNTのオーバフロー/アンダフローの発生、およびGRA、GRBのコンペアマッチ/インプットキャプチャの発生を示します。

これらのフラグは割込み要因であり、TIERの対応するビットにより割込みが許可されていれば、CPUに割込みを要求します。

TSRはリセット、またはスタンバイモード時に、H'F8にイニシャライズされます。

ビット7～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：オーバフローフラグ（OVF）

TCNTのオーバフロー／アンダフローの発生を示すステータスフラグです。

ビット2	説明
OVF	
0	[クリア条件] (初期値) OVF = “1” の状態で、OVFフラグをリードした後、OVFフラグに“0”をライトしたとき
1	[セット条件] TCNTの値がオーバフロー（H'FFFF→H'0000）またはアンダフロー（H'0000→H'FFFF）したとき*

【注】* TCNTのアンダーフローは、TCNTがアップ／ダウンカウンタとして機能している場合に発生します。したがって、チャンネル2が位相計数モードに設定されているとき（TMDRのMDF = “1”）のみアンダフローが発生することがあります。

ビット1：インプットキャプチャ／コンペアマッチフラグB（IMFB）

GRBのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
IMFB	
0	[クリア条件] (初期値) IMFB = “1” の状態で、IMFBフラグをリードした後、IMFBフラグに“0”をライトしたとき
1	[セット条件] (1) GRBがアウトプットコンペアレジスタとして機能している場合、TCNT = GRBになったとき (2) GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき

ビット0：インプットキャプチャ/コンペアマッチフラグA (IMFA)

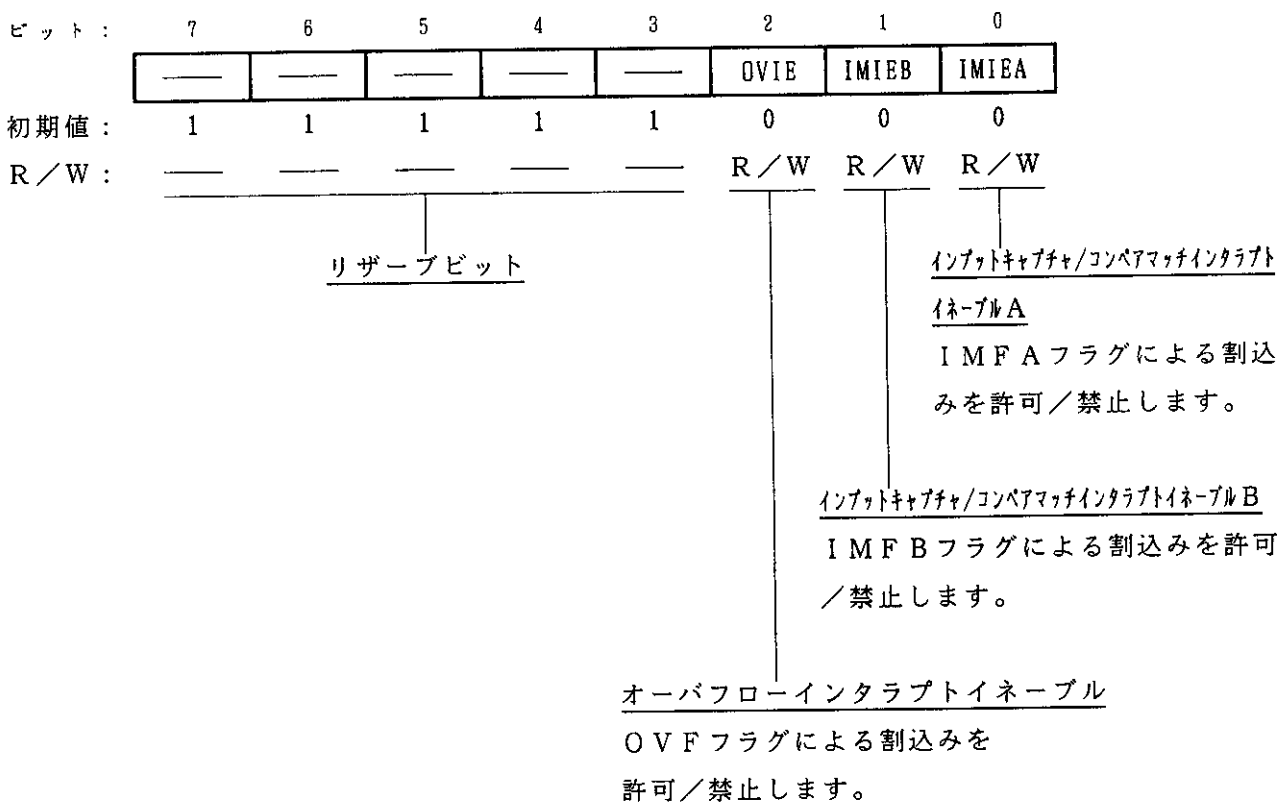
GRAのコンペアマッチまたはインプットキャプチャの発生を示すステータスフラグです。

ビット0	説明
IMFA	
0	<p>[クリア条件] (初期値)</p> <p>(1) IMFA = "1" の状態で、IMFAフラグをリードした後、IMFAフラグに "0" をライトしたとき</p> <p>(2) IMIA割込みによりDMACが起動されたとき (チャンネル0～3のみ)</p>
1	<p>[セット条件]</p> <p>(1) GRAがアウトプットコンペアレジスタとして機能している場合、TCNT=GRAになったとき</p> <p>(2) GRAがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRAに転送されたとき</p>

8.2.12 タイマインタラプトイネーブルレジスタ (T I E R)

T I E Rは8ビットのレジスタです。I T Uには、各チャンネル1本、計5本のT I E Rがあります。

チャンネル	略 称	機 能
0	T I E R 0	割込み要求の許可／禁止を制御します。
1	T I E R 1	
2	T I E R 2	
3	T I E R 3	
4	T I E R 4	



T I E Rは8ビットのリード／ライト可能なレジスタで、オーバフロー割込み要求、G Rのコンパアマッチ／インพุットキャプチャ割込み要求の許可／禁止を制御します。

T I E Rはリセット、またはスタンバイモード時に、H'F8にイニシャライズされます。

ビット7～3：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット2：オーバフローインタラプトイネーブル（OVIE）

TSRのOVFフラグが“1”にセットされたとき、OVFフラグによる割込み要求を許可／禁止します。

ビット2	説明
OVIE	
0	OVFフラグによる割込み（OVI）要求を禁止（初期値）
1	OVFフラグによる割込み（OVI）要求を許可

ビット1：インプットキャプチャ／コンペアマッチインタラプトイネーブルB（IMIEB）

TSRのIMFBフラグが“1”にセットされたとき、IMFBによる割込み要求を許可／禁止します。

ビット1	説明
IMIEB	
0	IMFBフラグによる割込み（IMIB）要求を禁止（初期値）
1	IMFBフラグによる割込み（IMIB）要求を許可

ビット0：インプットキャプチャ／コンペアマッチインタラプトイネーブルA（IMIEA）

TSRのIMFAフラグが“1”にセットされたとき、IMFAによる割込み要求を許可／禁止します。

ビット0	説明
IMIEA	
0	IMFAフラグによる割込み（IMIA）要求を禁止（初期値）
1	IMFAフラグによる割込み（IMIA）要求を許可

8.3 CPUとのインタフェース

8.3.1 16ビットアクセス可能なレジスタ

TCNT、GRA、GRB、およびBRA、BRB、BRは16ビットのレジスタです。これらのレジスタは、CPUと内部16ビットデータバスで接続されており、ワード単位のリード/ライトが可能です。また、バイト単位のリード/ライトもできます。

TCNTに対してワード単位のリード/ライトを行った場合の動作を図8.5、図8.6に示します。

また、TCNTH、TCNTLに対してバイト単位のリード/ライトを行った場合の動作を図8.7、図8.8、図8.9、図8.10に示します。

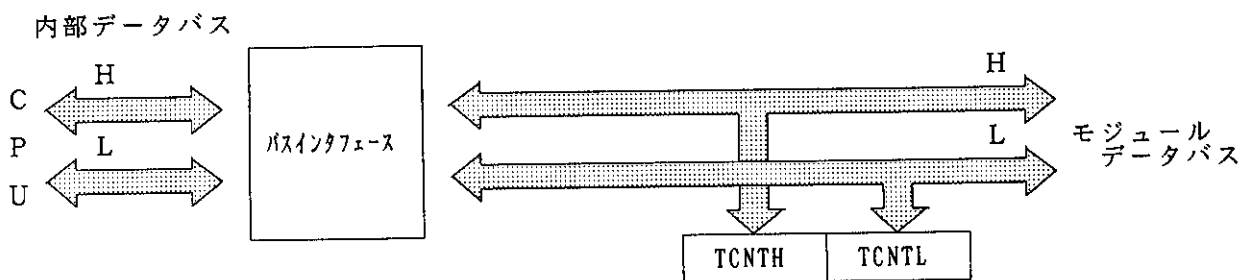


図8.5 TCNTのアクセス動作 [CPU→TCNT (ワード)]

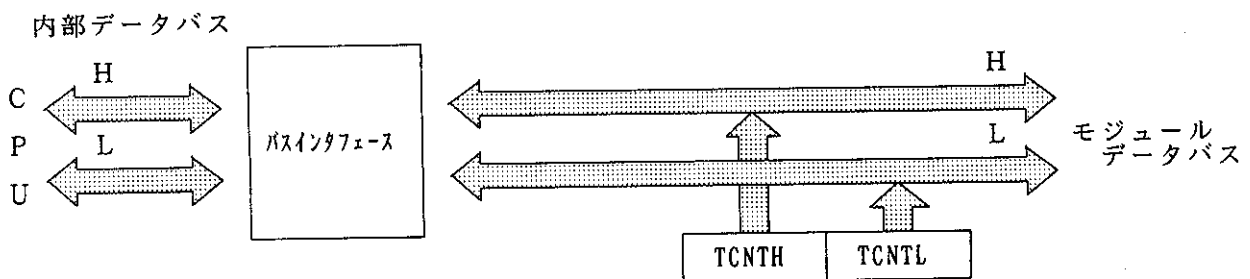


図8.6 TCNTのアクセス動作 [TCNT→CPU (ワード)]

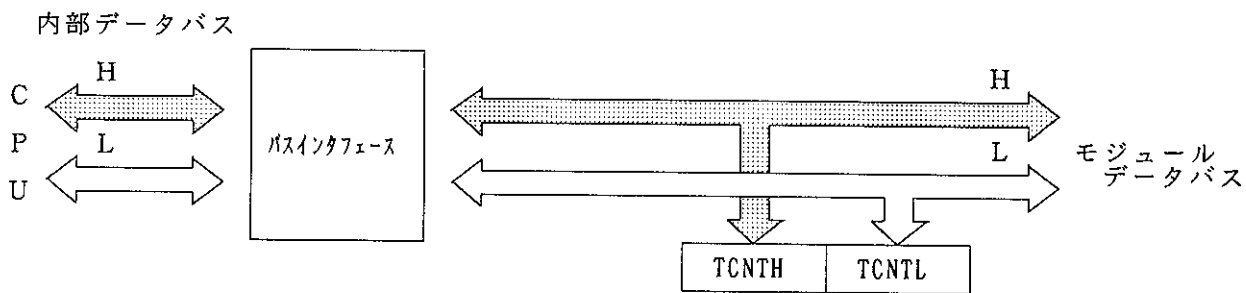


図8.7 TCNTのアクセス動作 [CPU→TCNT (上位バイト)]

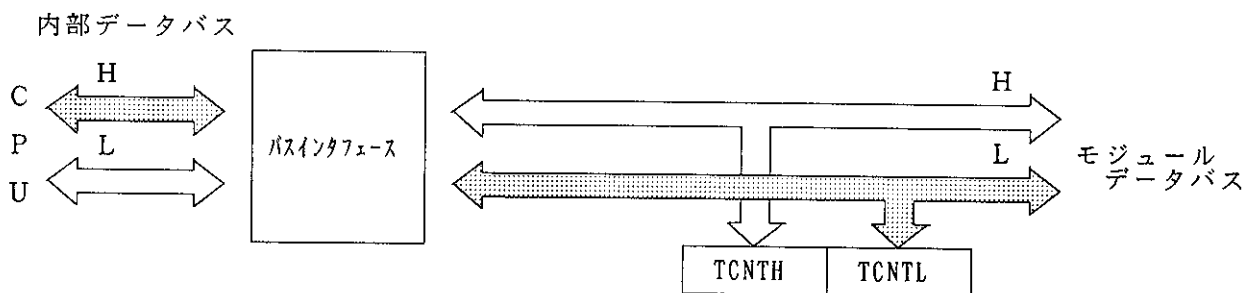


図8.8 TCNTのアクセス動作 [CPU→TCNT (下位バイト)]

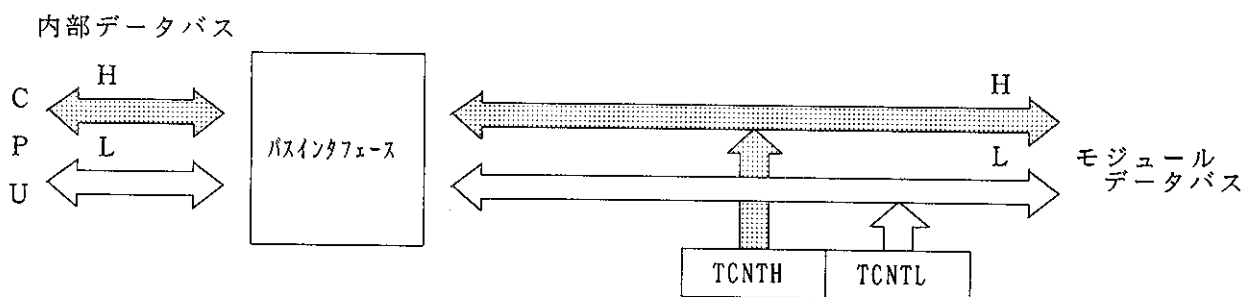


図8.9 TCNTのアクセス動作 [TCNT→CPU (上位バイト)]

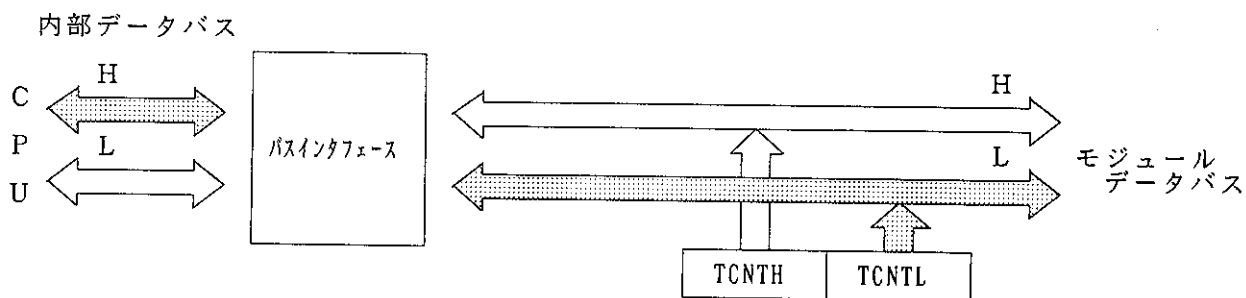


図8.10 TCNTのアクセス動作 [TCNT→CPU (下位バイト)]

8.3.2 8ビットアクセスのレジスタ

TCNT、GR、BR以外のレジスタは8ビットレジスタです。これらのレジスタはCPUと内部8ビットデータバスで接続されています。

TCRに対してバイト単位のリード/ライトを行った場合の動作を図8.11、図8.12に示します。なお、ワードサイズの転送命令を実行するとバイト単位2回の転送が行われます。

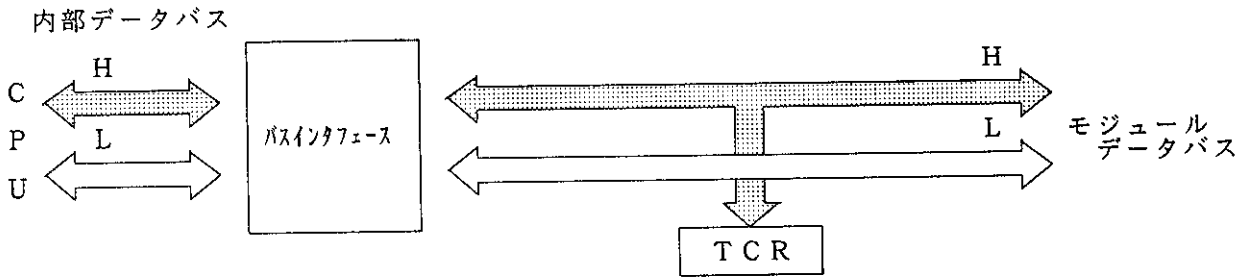


図8.11 TCRのアクセス動作 [CPU→TCR]

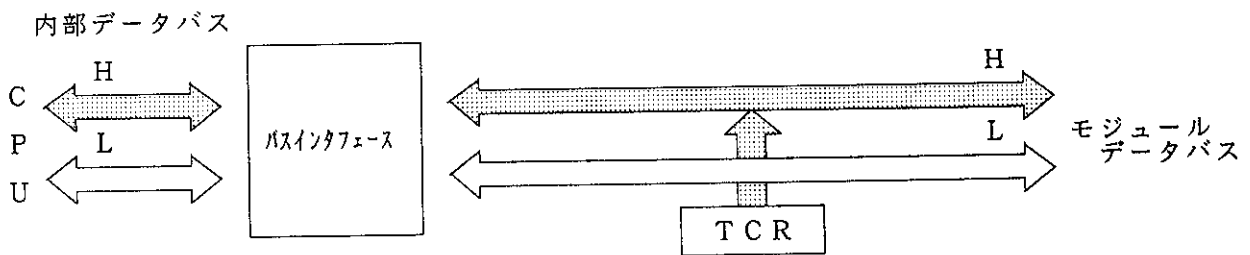


図8.12 TCRのアクセス動作 [TCR→CPU]

8.4 動作説明

8.4.1 概要

以下に各モードの動作概要を示します。

(1) 通常動作

各チャンネルには、TCNTとGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

GRA、GRBは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(2) 同期動作

同期動作を設定したチャンネルのTCNTは、同期プリセット動作を行います。すなわち、同期動作に設定されたチャンネルのうち任意のTCNTを書き換えると他のチャンネルのTCNTも同時に書き換えられます。また、同期動作に設定された複数のチャンネルのTCRのCCLR1、CCLR0ビットの設定により、TCNTの同期クリアが可能です。

(3) PWMモード

TIOCA端子からPWM波形を出力するモードです。コンペアマッチAにより1出力、コンペアマッチBにより0出力となります。GRA、GRBの設定により、デューティ0～100%のPWM波形を出力できます。PWMモードに設定すると当該チャンネルのGRA、GRBは自動的にアウトプットコンペアレジスタとして機能します。

(4) 位相計数モード

TCLKA、TCLKB端子から入力される2つのクロックの位相差を検出して、TCNT2をアップ/ダウンカウント動作させるモードです。位相計数モードに設定するとTCLKA、TCLKB端子はクロック入力となり、またTCNT2はアップ/ダウンカウント動作を行います。

(5) バッファ動作

① GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

② GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

8.4.2 基本機能

(1) カウンタの動作

タイマスタートレジスタ (TSTR) のSTR0～STR4ビットを“1”にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図8.13に示します。

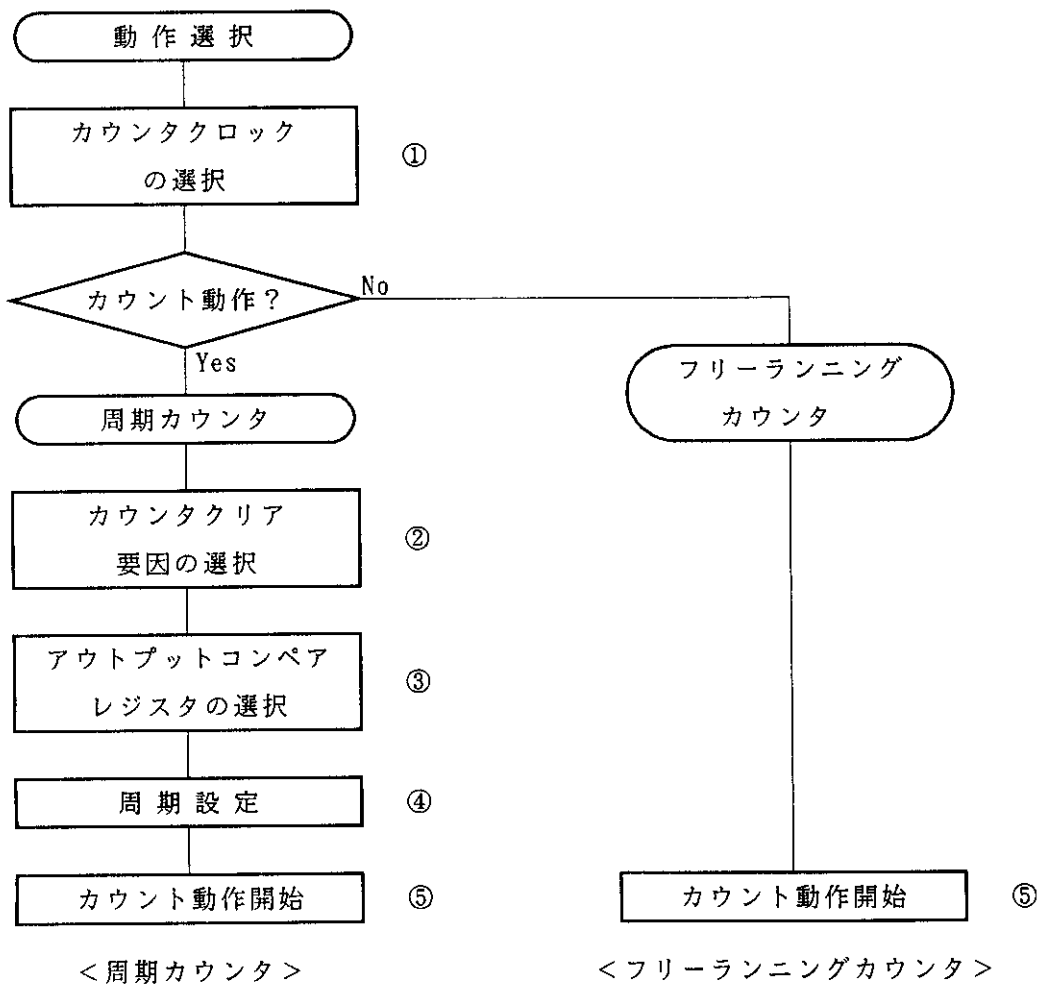


図8.13 カウント動作設定手順例

- ① TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットで外部クロックのエッジを選択してください。
- ② 周期カウント動作の場合TCRのCCLR1、CCLR0ビットでTCNTをGRAのコンペアマッチでクリアするか、GRBのコンペアマッチでクリアするかを選択してください。
- ③ ②で選択したGRAまたはGRBを、TIORによりアウトプットコンペアレジスタに設定してください。
- ④ ②で選択したGRAまたはGRBに周期カウンタの周期を設定してください。
- ⑤ TSTRのSTRビットを“1”にセットしてカウント動作を開始してください。

(b) フリーランニングカウンタ動作と周期カウント動作

ITUチャンネル0～4のカウンタ(TCNT)はリセット直後は、すべてフリーランニングカウンタの設定となっており、TSTRの対応するビットを“1”にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバフロー(H'FFFF→H'0000)するとTSRのOVFフラグが“1”にセットされます。このとき、対応するTIERのOVIEビットが“1”ならば、CPUに割込みを要求します。TCNTはオーバフロー後、H'0000から再びアップカウント動作を継続します。

フリーランニングカウンタの動作を図8.14に示します。

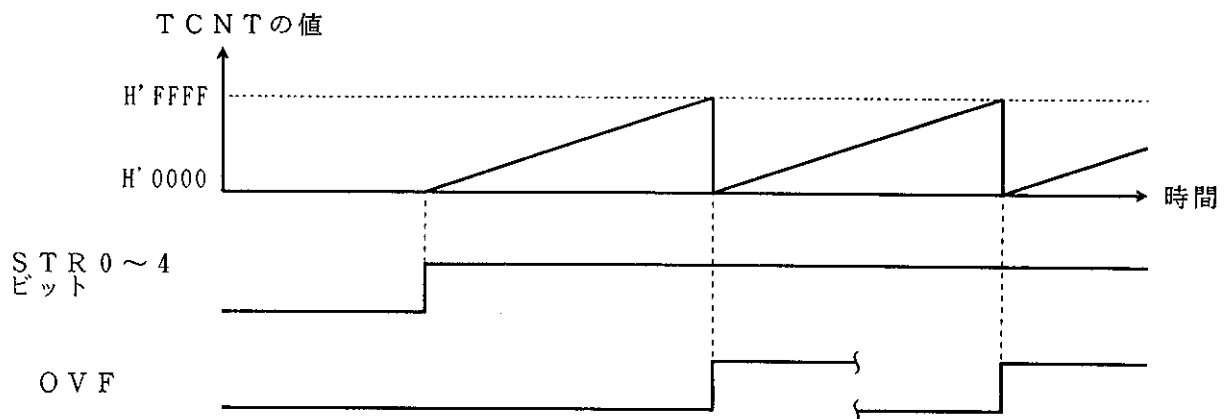


図8.14 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、当該チャンネルのTCNTは周期カウント動作を行います（周期設定用のGRAまたはGRBをアウトプットコンペアレジスタに設定し、TCRのCCLR1、CCLR0ビットにより、コンペアマッチによるカウンタクリアを選択します）。設定後、TSTRの対応するビットを“1”にセットすると周期カウンタとしてアップカウント動作を開始します。カウント値がGRA/GRBの値と一致するとTSRのIMFA/IMFBフラグが“1”にセットされ、TCNTはH'0000にクリアされます。

このとき、対応するTIERのIMIEA/IMIEBビットが“1”ならば、CPUに割込みを要求します。TCNTはコンペアマッチ後、H'0000から再びアップカウント動作を継続します。

周期カウンタの動作を図8.15に示します。

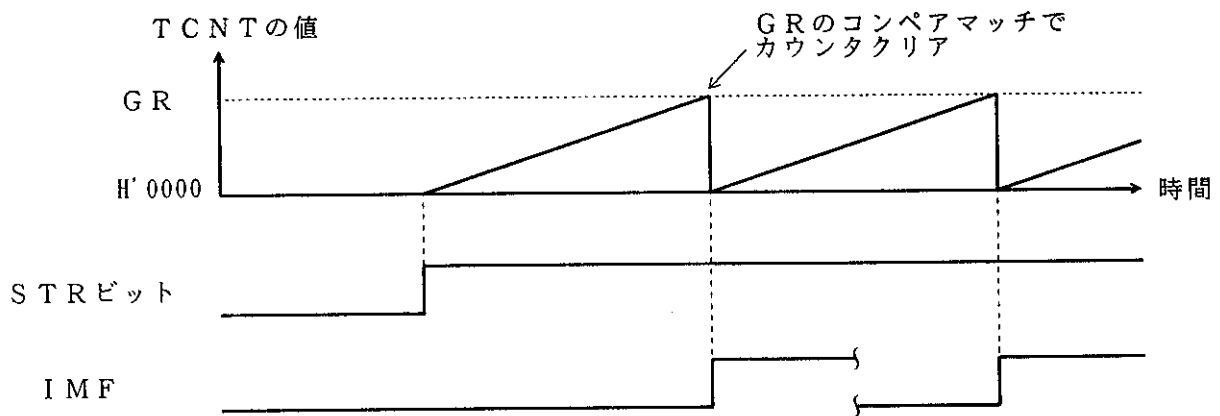


図8.15 周期カウンタの動作

(c) TCNTのカウントタイミング

①内部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより、システムクロック(ϕ)またはシステムクロックを分周した3種類のクロック($\phi/2$ 、 $\phi/4$ 、 $\phi/8$)が選択できます。

このときのタイミングを図8.16に示します。

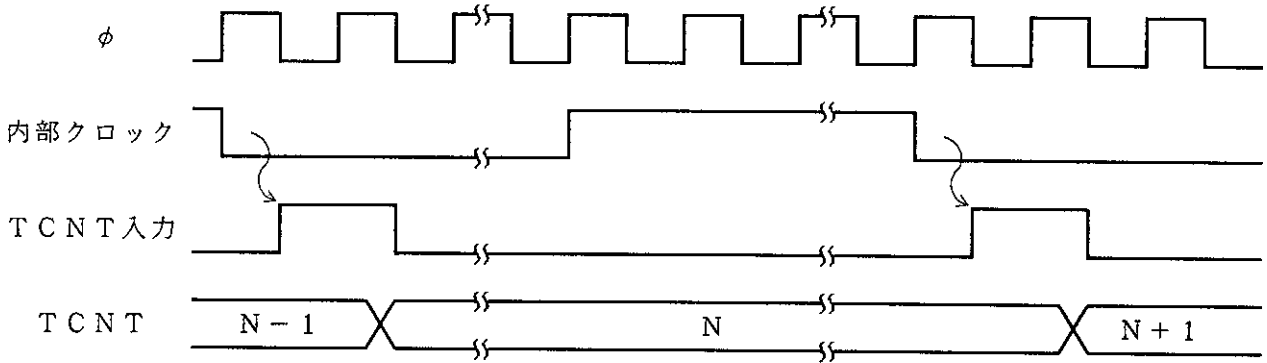


図8.16 内部クロック動作時のカウントタイミング

②外部クロック動作の場合

TCRのTPSC2～TPSC0ビットにより外部クロック入力端子(TCLKA～TCLKD)を、またCKEG1、CKEG0ビットにより検出エッジを選択できます。外部クロックの検出は、立上がりエッジ/立下がりエッジ/両エッジの選択が可能です。

なお、外部クロックのパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

立上がり/立下がりの両エッジ検出時のタイミングを図8.17に示します。

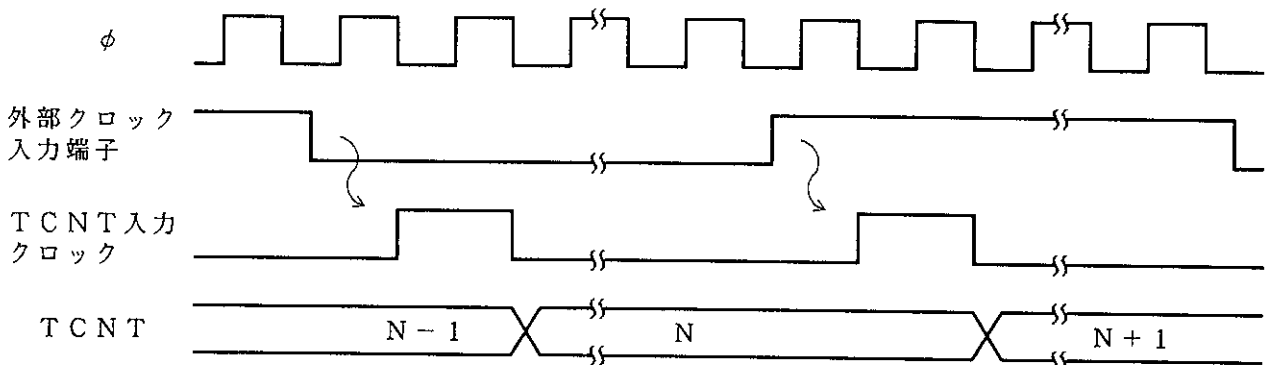


図8.17 外部クロック動作時のカウントタイミング (両エッジ検出の場合)

(2) コンペアマッチによる波形出力機能

I T Uチャンネル0、1、3、4は、コンペアマッチA、Bにより対応するTIOCA、TIOCB端子から0出力/1出力/トグル出力を行うことができます。

チャンネル2は0出力/1出力のみ可能です。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図8.18に示します。

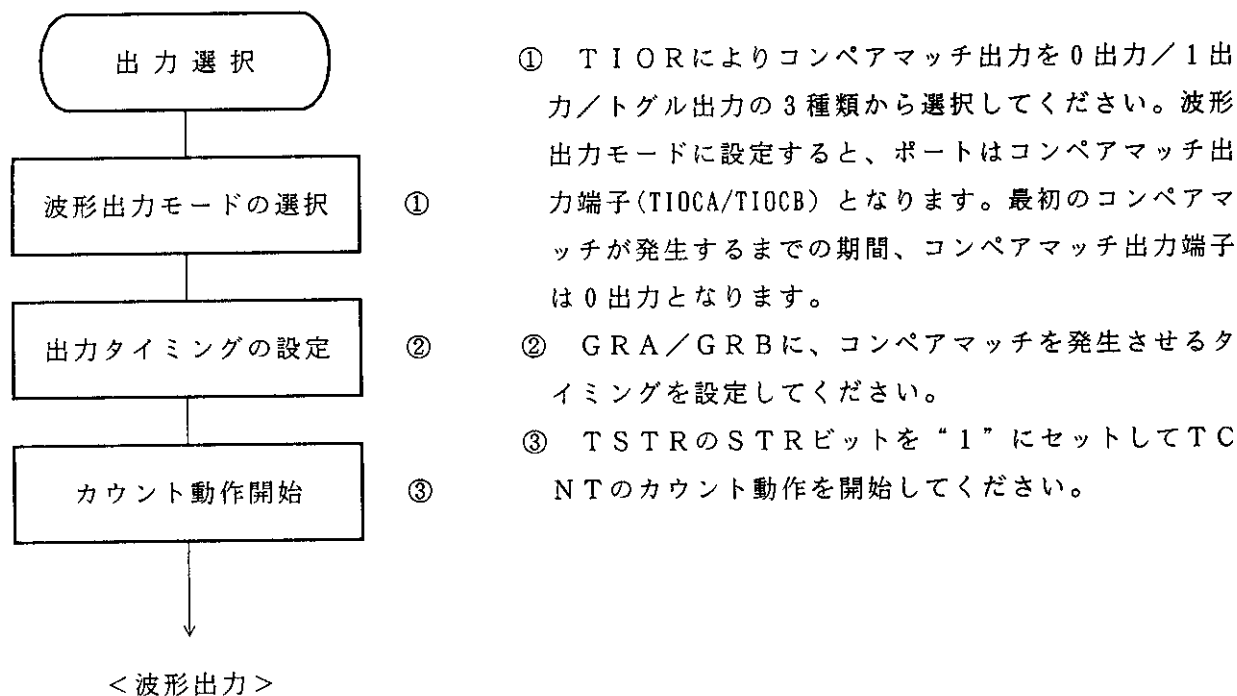


図8.18 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0出力/1出力の例を図8.19に示します。

T C N Tをフリーランニングカウント動作、またコンペアマッチAにより0出力、コンペアマッチBにより1出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

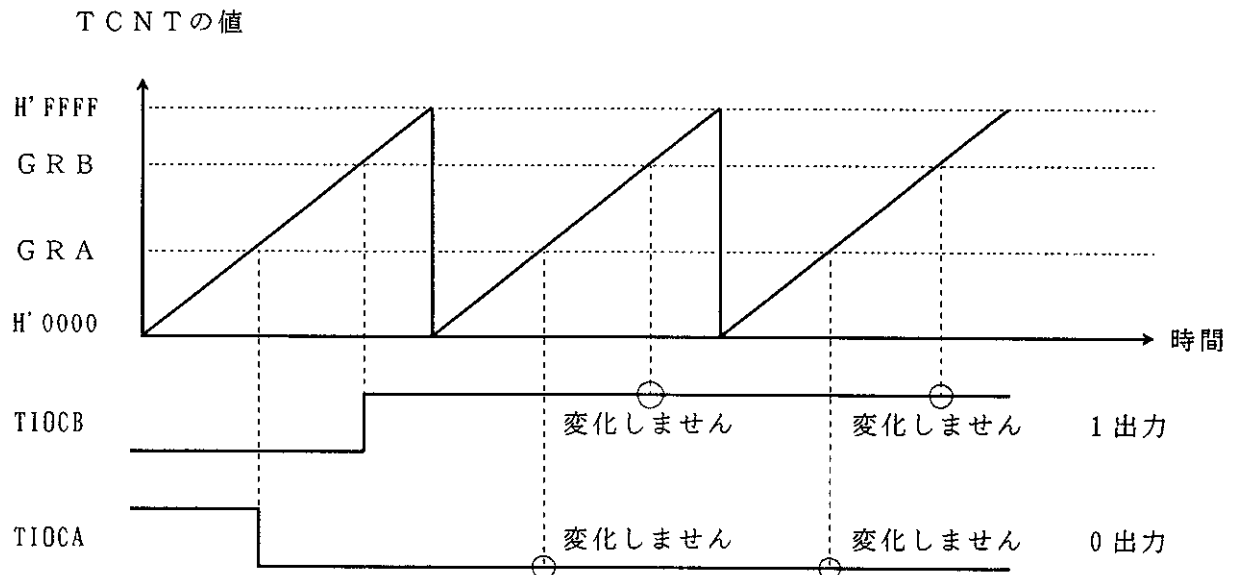


図8.19 0出力、1出力の動作例

トグル出力の例を図8.20に示します。

TCNTを周期カウント動作（コンペアマッチBでカウンタクリア）に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

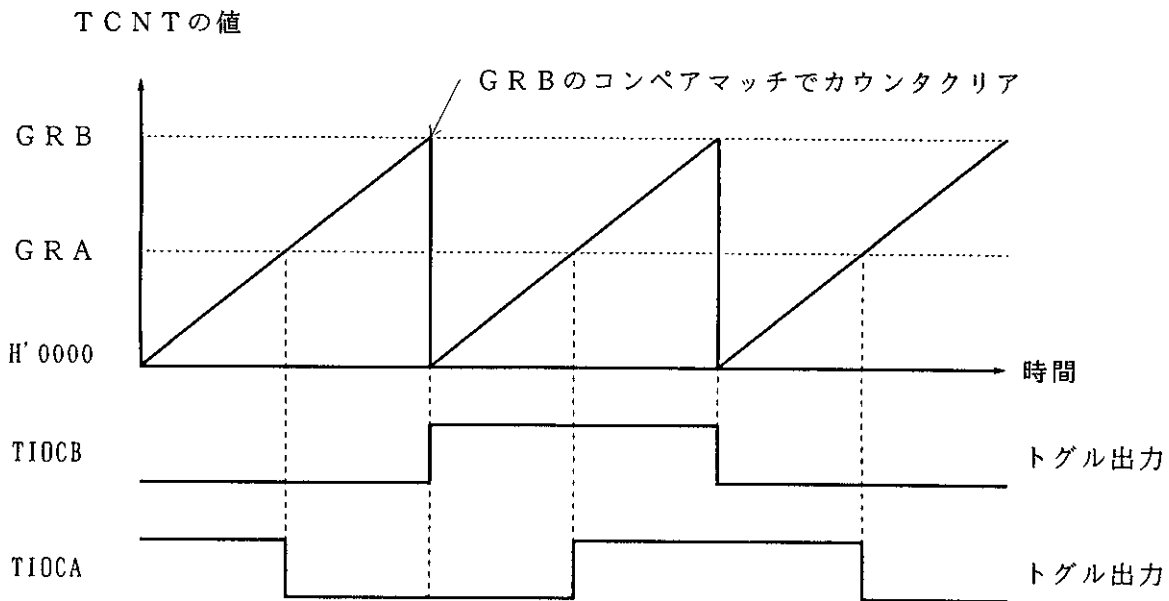


図8.20 トグル出力の動作例

(c) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCRで設定される出力値がアウトプットコンペア出力端子（TIOCA、TIOCB）に出力されます。TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図8.21に示します。

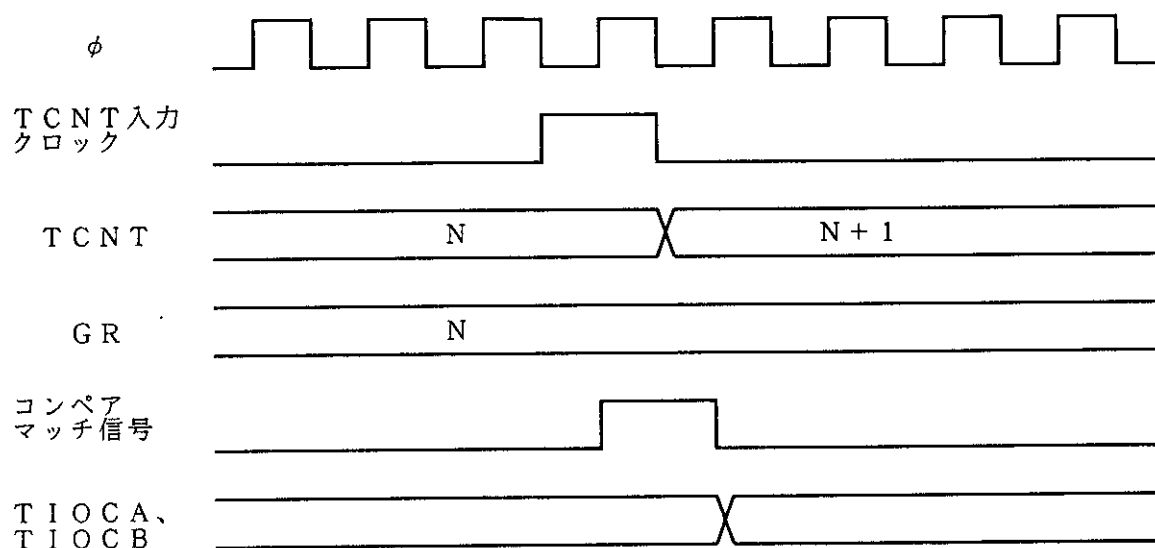


図8.21 アウトプットコンペア出力タイミング

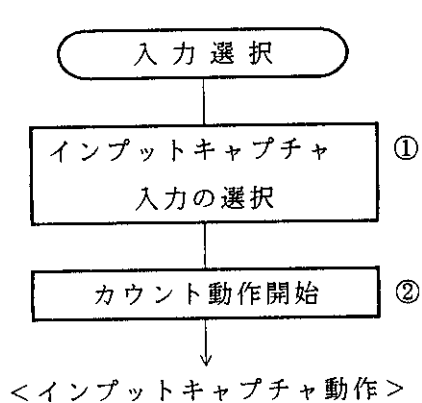
(3) インพุットキャプチャ機能

インพุットキャプチャ／アウトプットコンペア端子(TIOCA、TIOCB)の入力エッジを検出してTCNTの値をGRに転送することができます。検出エッジは立上がりエッジ／立下がりエッジ／両エッジから選択できます。

インพุットキャプチャ機能を利用することで、パルス幅や周期の測定を行うことができます。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図8.22に示します。



① TIORにより、GRをインพุットキャプチャレジスタに設定し、インพุットキャプチャ信号の入力エッジを立上がりエッジ／立下がりエッジ／両エッジの3種類から選択してください。ただし、対応するポートのDDRを“0”にクリアした状態でTIORの設定を行ってください。

② TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

図8.22 インพุットキャプチャ動作の設定手順例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図8.23に示します。

TIOCA端子のインพุットキャプチャ入力エッジは立上がり/立下がりの両エッジ、またTIOCB端子のインพุットキャプチャ入力エッジは立下がりエッジを選択し、TCNTはGRBのインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

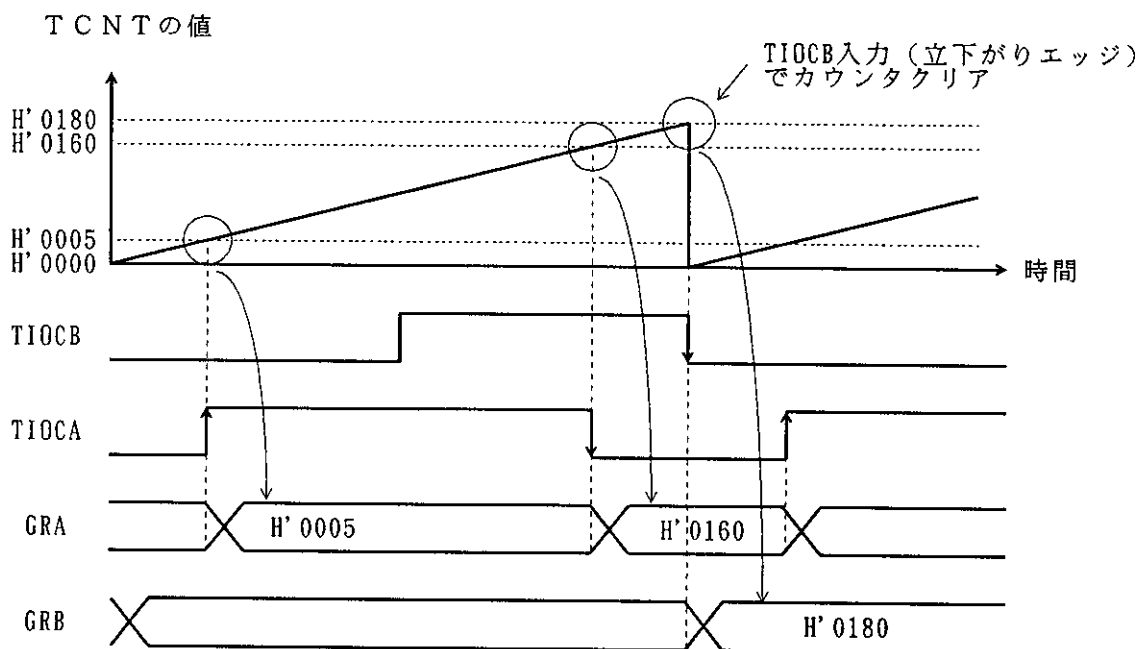


図8.23 インพุットキャプチャ動作例

(c) インพุットキャプチャ信号タイミング

インพุットキャプチャ入力は、T I O Rの設定により立上がりエッジ/立下がりエッジ/両エッジの選択ができます。

立上がりエッジを選択した場合のタイミングを図8.24に示します。

インพุットキャプチャ入力信号のパルス幅は、単エッジの場合は1.5システムクロック以上、両エッジの場合は2.5システムクロック以上必要です。

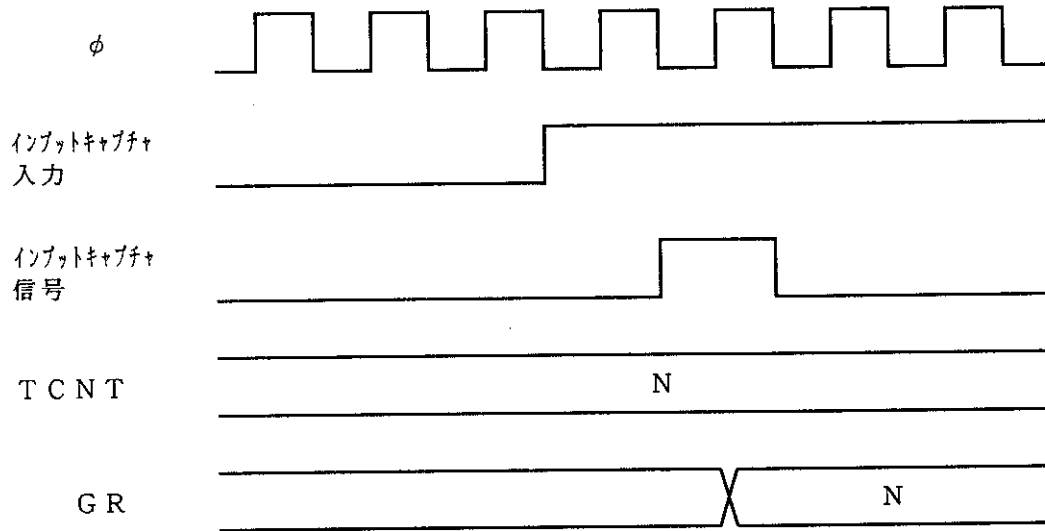


図8.24 インพุットキャプチャ入力信号タイミング

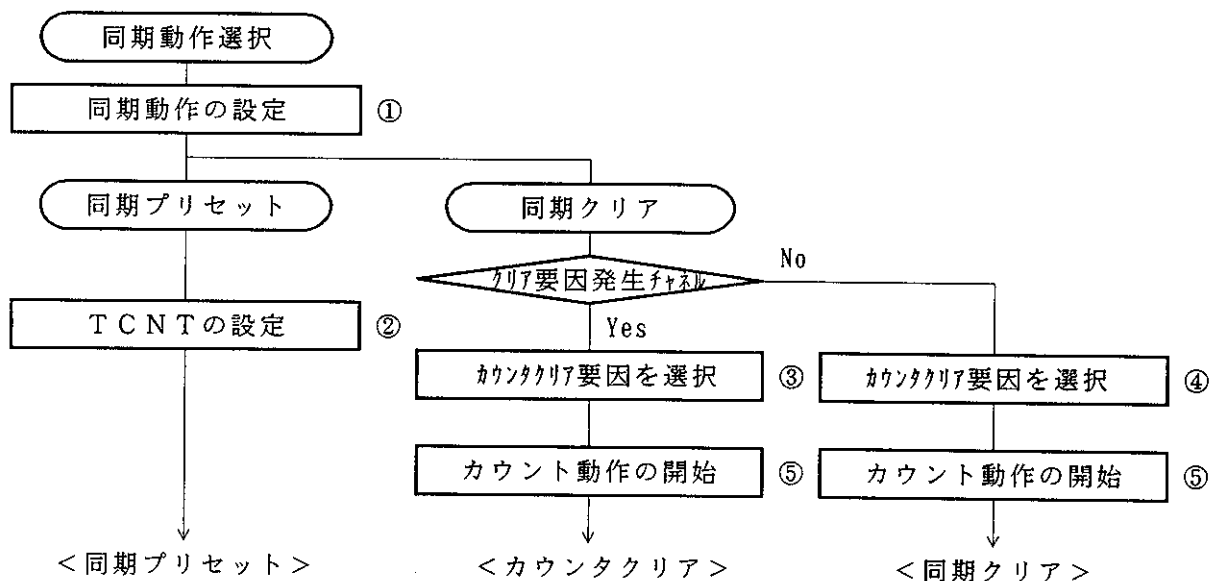
8.4.3 同期動作

同期動作は、複数のTCNTの値を同時に書き換えることができます（同期プリセット）。また、TCRの設定により複数のTCNTを同時にクリアすることができます（同期クリア）。

同期動作により、1つのタイムベースに対してジェネラルレジスタを増加することができます。チャンネル0～4はすべて同期動作の設定が可能です。

(1) 同期動作の設定手順例

同期動作の設定手順例を図8.25に示します。



- ① 同期動作に設定するチャンネルに対応したTSNCのSYNCビットを“1”にセットしてください。
- ② 同期動作に設定したチャンネルのいずれかのTCNTにライトすると、他のTCNTにも同じ値が同時にライトされます。
- ③ TCRのCCLR1、CCLR0ビットにより、コンペアマッチ/インプットキャプチャでカウンタクリアするように設定してください。
- ④ TCRのCCLR1、CCLR0ビットにより、カウンタクリア要因を同期クリアに設定してください。
- ⑤ TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

図8.25 同期モードの設定手順例

(2) 同期動作例

同期動作例を図8.26に示します。

チャンネル0～2を同期動作かつPWMモードに設定し、チャンネル0のカウンタクリア要因をGRB0のコンペアマッチ、またチャンネル1、2のカウンタクリア要因を同期クリアに設定した場合の例です。

このとき、チャンネル0～2のTCNTは同期プリセット、GRB0のコンペアマッチによる同期クリア動作を行い、3相のPWM波形をTIOCA₀、TIOCA₁、TIOCA₂端子から出力します。

PWMモードについては「8.4.4 PWMモード」を参照してください。

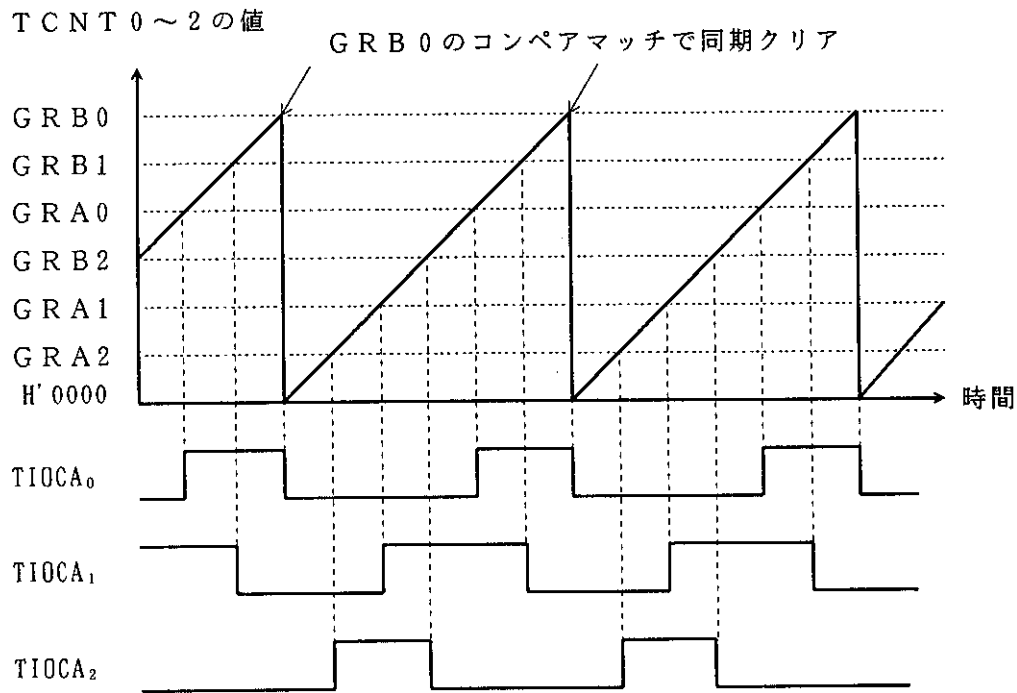


図8.26 同期動作例

8.4.4 PWMモード

PWMモードはGRAとGRBをペアで使用し、TIOCA出力端子よりPWM波形を出力します。GRAにはPWM波形の1出力タイミングを設定し、GRBにはPWM波形の0出力タイミングを設定します。

GRAとGRBのいずれかのコンペアマッチをTCNTのカウントクリア要因とすることにより、デューティ0～100%のPWM波形をTIOCA端子より出力することができます。チャンネル0～4はすべてPWMモードの設定が可能です。

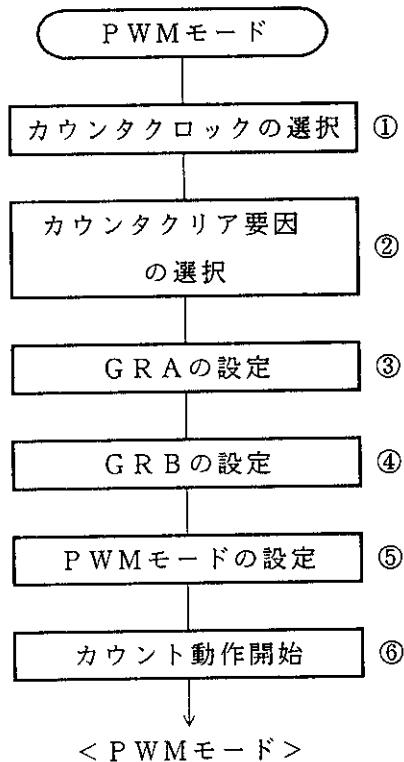
PWM出力端子とレジスタの対応を表8.4に示します。GRAとGRBの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

表8.4 PWM出力端子とレジスタの組み合わせ

チャンネル	出力端子	1出力	0出力
0	TIOCA ₀	GRA 0	GRB 0
1	TIOCA ₁	GRA 1	GRB 1
2	TIOCA ₂	GRA 2	GRB 2
3	TIOCA ₃	GRA 3	GRB 3
4	TIOCA ₄	GRA 4	GRB 4

(1) PWMモードの設定手順例

PWMモードの設定手順例を図8.27に示します。



- ① TCRのTPSC2～TPSC0ビットでカウンタクロックを選択してください。外部クロックを選択した場合は、TCRのCKEG1、CKEG0ビットにより外部クロックのエッジを選択してください。
- ② TCRのCCLR1、CCLR0ビットによりカウンタクリア要因を選択してください。
- ③ GRAに出力PWM波形の1出力タイミングを設定してください。
- ④ GRBに出力PWM波形の0出力タイミングを設定してください。
- ⑤ TMDRのPWMビットでPWMモードを設定してください。PWMモードを設定すると、TIO Rの内容にかかわらずGRA/GRBは、PWM出力波形の1出力/0出力タイミング設定用アウトプットコンペアレジスタとなります。TIOCA端子は自動的にPWM出力端子となります。ただし、TIOCB端子は、TIO RのIOB1、IOB0ビットの設定に従います。TIOCB端子を出力しない場合は、IOB1、IOB0をいずれも“0”にクリアしてください。
- ⑥ TSTRのSTRビットを“1”にセットして、TCNTのカウント動作を開始してください。

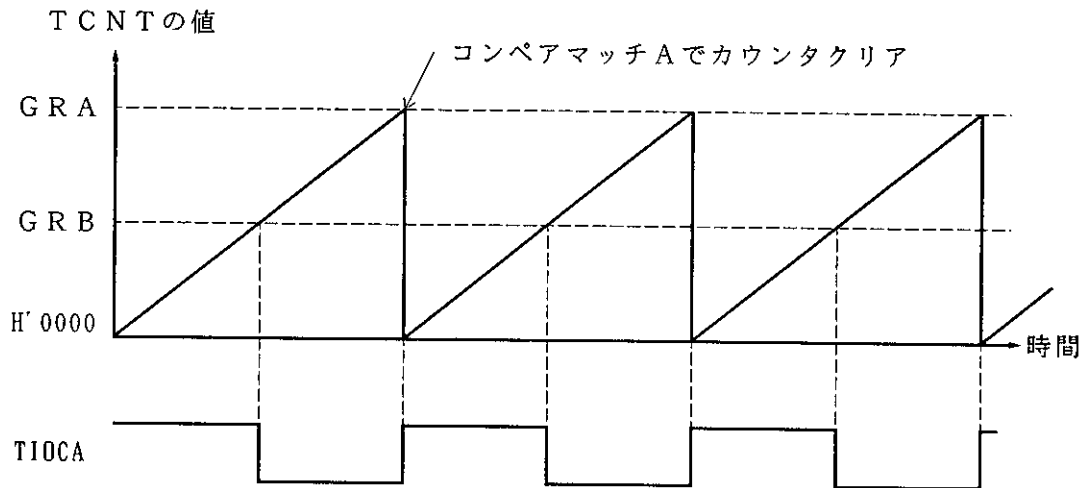
図8.27 PWMモードの設定手順例

(2) PWMモードの動作例

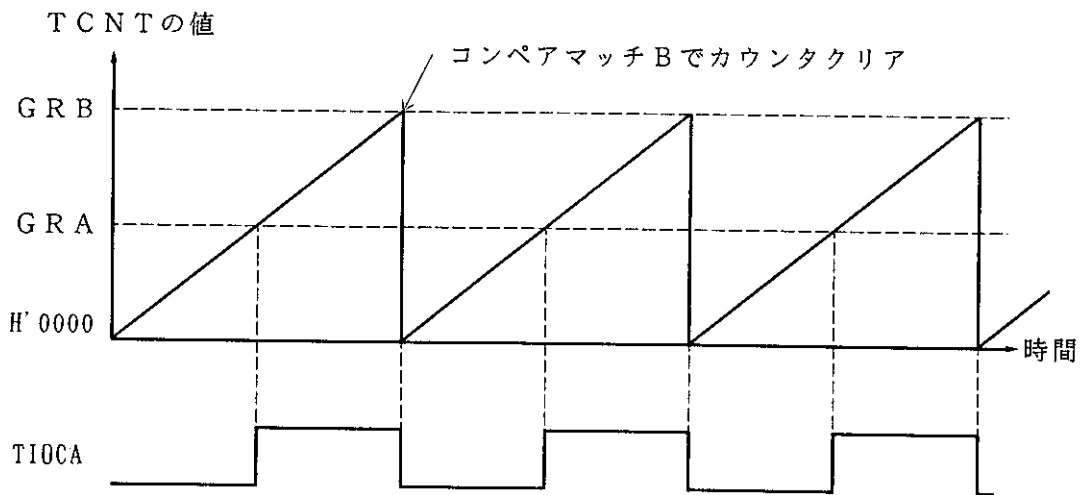
PWMモードの動作例を図8.28に示します。

PWMモードに設定するとTIOCA端子は出力端子となり、GRAのコンペアマッチで1出力、GRBのコンペアマッチで0出力となります。

TCNTのカウンタクリア要因をGRA、GRBのコンペアマッチとした場合の例です。同期動作またはフリーランニングカウンタ動作も使用できます。



(a) GRAでカウンタクリア

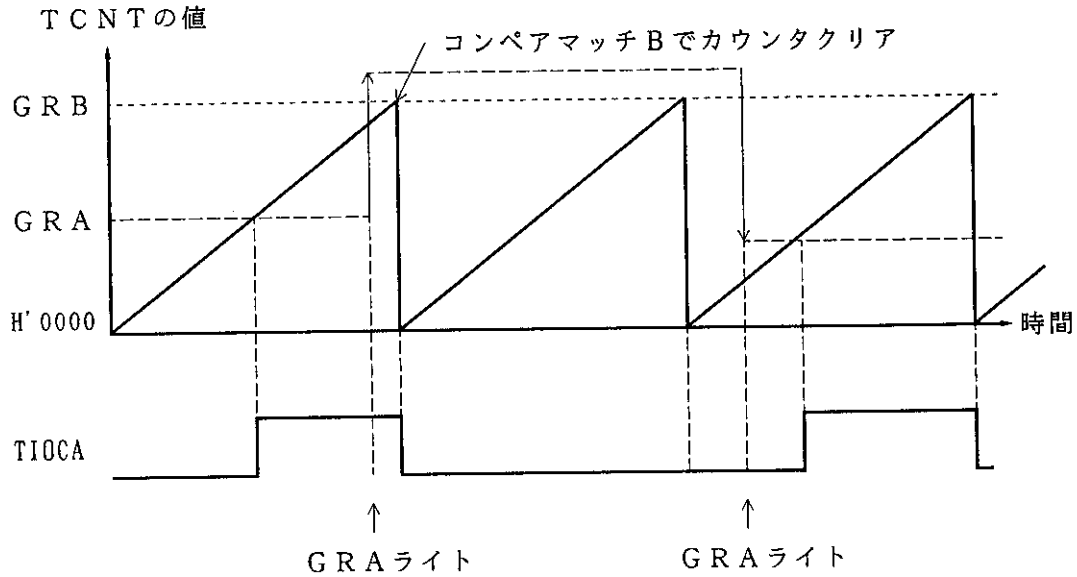


(b) GRBでカウンタクリア

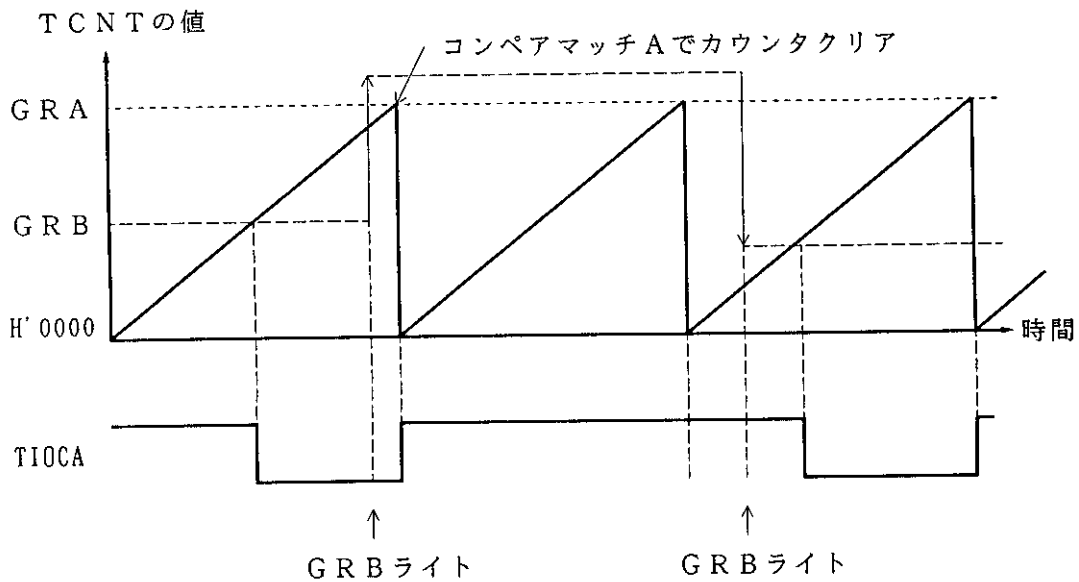
図8.28 PWMモードの動作例(1)

PWMモードで、デューティ0%、デューティ100%のPWM波形を出力する例を図8.29に示します。

カウンタクリア要因をGRBのコンペアマッチに設定し、GRAの設定値 > GRBの設定値としたとき、PWM波形はデューティ0%となります。また、カウンタクリア要因をGRAのコンペアマッチに設定し、GRBの設定値 > GRAの設定値としたときPWM波形はデューティ100%となります。



(a) デューティ0%の場合



(b) デューティ100%の場合

図8.29 PWMモードの動作例(2)

8.4.5 位相計数モード

位相計数モードは、2本の外部クロック入力(TCLKA、TCLKB端子)の位相差を検出し、TCNT2をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR2のTPSC2~TPSC0ビット、CKEG1、CKEG0ビットの設定に関わらずTCLKA、TCLKB端子は自動的に外部クロック入力端子として機能し、またTCNT2はアップ/ダウンカウンタとなります。ただし、TCR2のCCLR1、CCLR0ビット、TIOR2、TIER2、TSR2、GRA2、GRB2は有効ですので、インプットキャプチャ/アウトプットコンペア機能や割り込み要因は使用することができます。

位相計数モードはチャンネル2のみがもつ機能です。

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図8.30に示します。

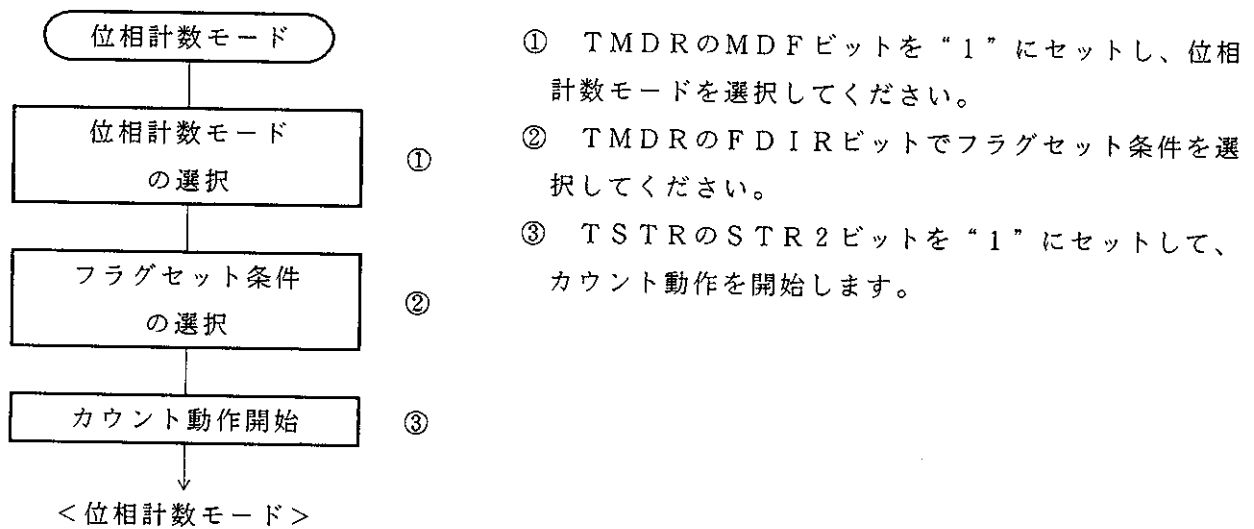


図8.30 位相計数モードの設定手順例

(2) 位相計数モードの動作例

位相計数モードの動作例を図8.31に、TCNT2のアップ/ダウンカウンタ条件を表8.5にそれぞれ示します。

位相計数モードでは、TCLKA、TCLKB端子の立上がり（ \uparrow ）/立下がり（ \downarrow ）の両エッジでカウントされます。このとき、TCLKA、TCLKBの位相差およびオーバーラップはそれぞれ1.5ステート以上、パルス幅は2.5ステート以上必要です。

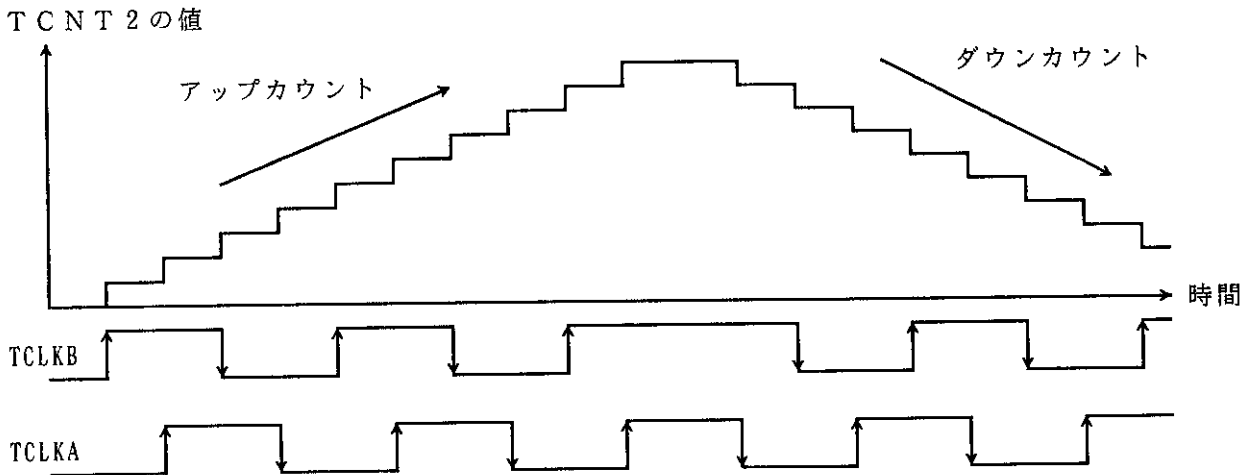


図8.31 位相計数モードの動作例

表8.5 アップ/ダウンカウンタ条件

カウンタ方向	アップカウンタ				ダウンカウンタ			
	TCLKB	\uparrow	High	\downarrow	Low	High	\downarrow	Low
TCLKA	Low	\uparrow	High	\downarrow	\downarrow	Low	\uparrow	High

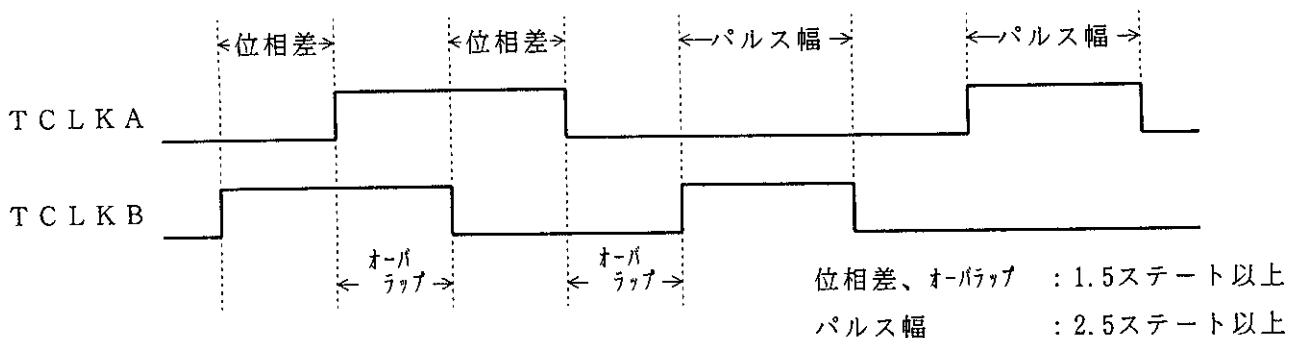


図8.32 位相計数モード時の位相差、オーバーラップおよびパルス幅

8.4.6 バッファ動作

バッファ動作は、GRをアウトプットコンペアレジスタに設定した場合とGRをインプットキャプチャレジスタに設定した場合とでは機能が異なります。

バッファ動作はチャンネル3、4のみがもつ機能です。

上記の条件でバッファ動作に設定すると以下のように動作します。

① GRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると当該チャンネルのBRの値が、GRに転送されます。

この動作を図8.33に示します。

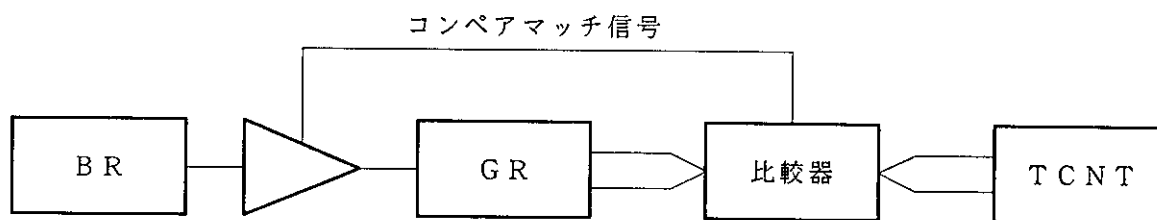


図8.33 コンペアマッチバッファ動作

② GRがインプットキャプチャレジスタの場合

インプットキャプチャが発生するとTCNTの値をGRに転送すると同時に、それまで格納されていたGRの値をBRに転送します。

この動作を図8.34に示します。

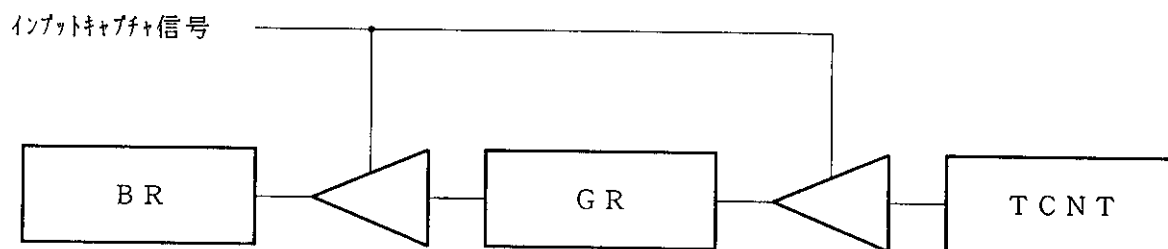


図8.34 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図8.35に示します。

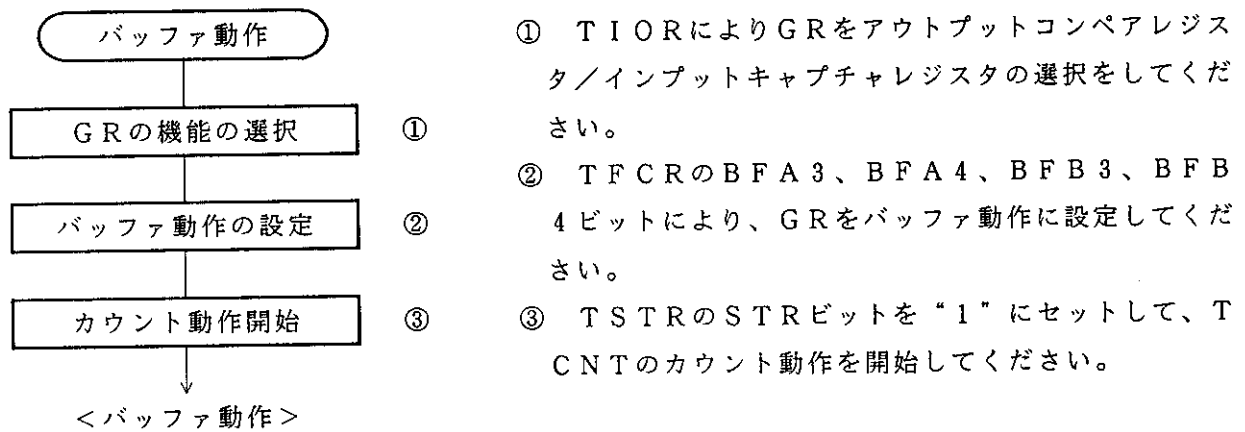


図8.35 バッファ動作の設定手順例

(2) バッファ動作例

GRAをアウトプットコンペアレジスタに設定し、GRAとBRAをバッファ動作に設定したときの動作を図8.36に示します。

TCNTがコンペアマッチBによりクリアされる周期カウント動作をしている場合の例です。また、TIOCA、TIOCB端子は、それぞれコンペアマッチA、Bによるトグル出力が設定されています。

バッファ動作が設定されているため、コンペアマッチAでTIOCA端子がトグル出力を行うと同時に、BRAの値がGRAに転送されます。この動作をコンペアマッチAが発生するたびに繰り返します。この転送タイミングを図8.37に示します。

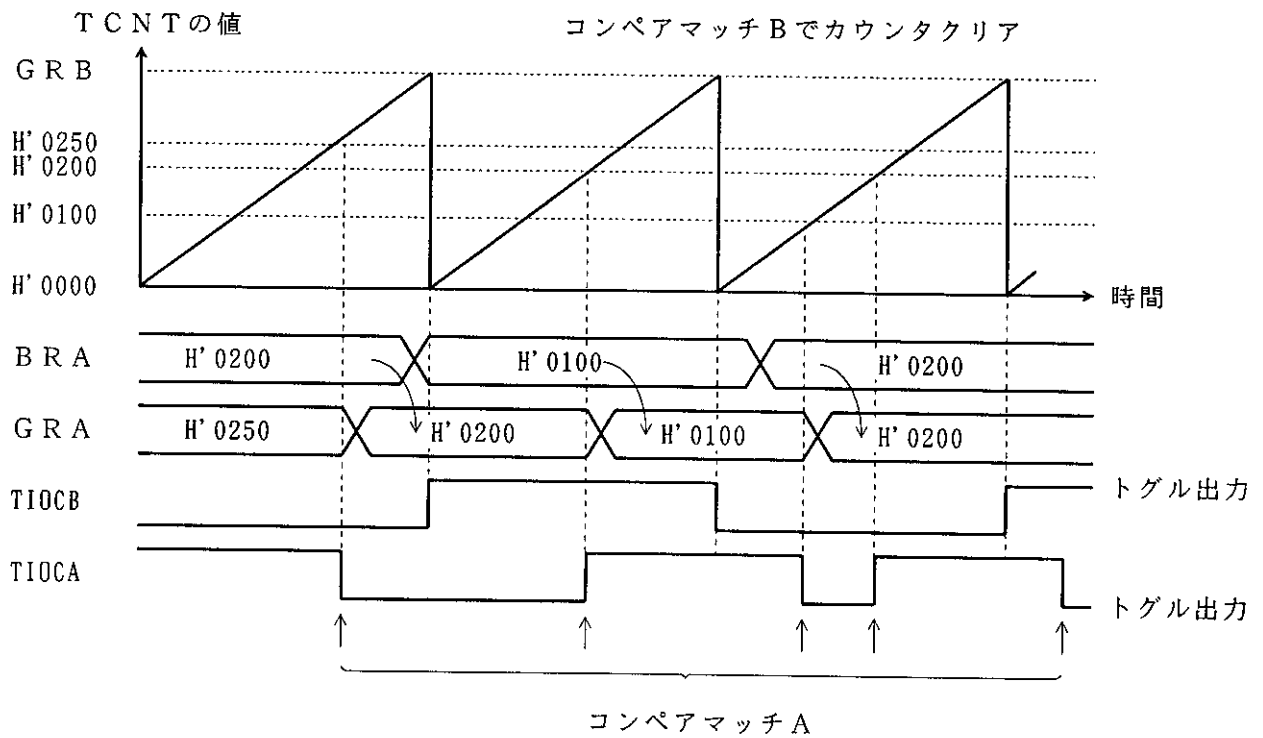


図8.36 バッファ動作例(1) (アウトプットコンペアレジスタに対するバッファ動作)

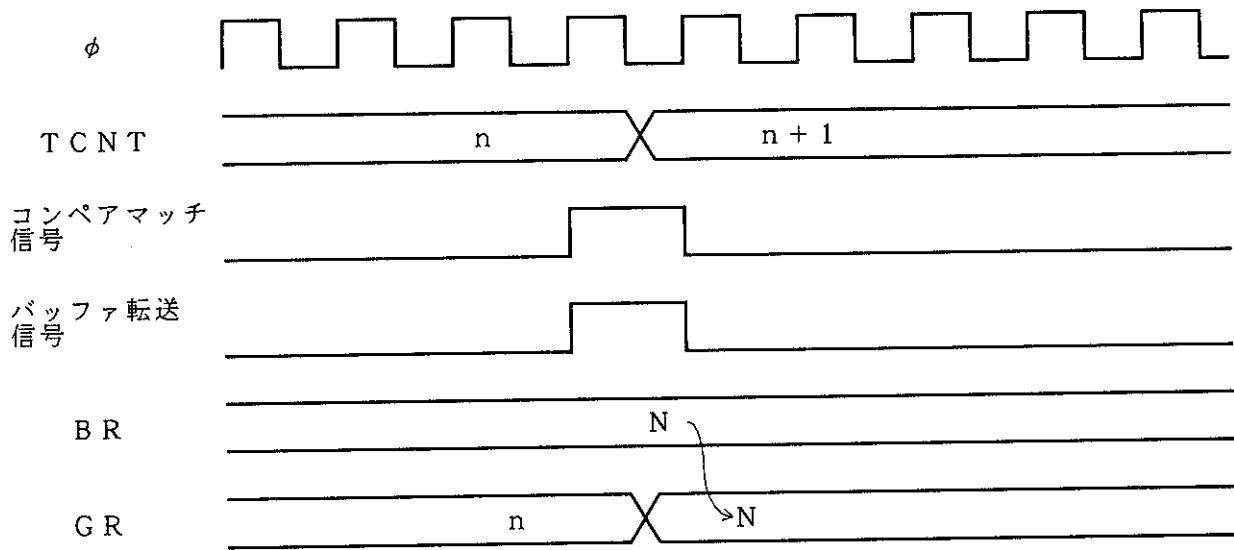


図8.37 バッファ動作時のコンペアマッチタイミング例

GRAをインプットキャプチャレジスタに設定し、GRAとBRAをバッファ動作に設定したときの動作を図8.38に示します。

TCNTがインプットキャプチャBによりカウンタクリアされる場合の例です。TIOCB端子のインプットキャプチャ入力エッジは、立下がりエッジが選択され、また、TIOCA端子のインプットキャプチャ入力エッジは、立上がり／立下がりの両エッジが選択されているとします。バッファ動作が設定されているため、インプットキャプチャAによりTCNTの値がGRAに格納されると同時に、それまで格納されていたGRAの値がBRAに転送されます。

この転送タイミングを図8.39に示します。

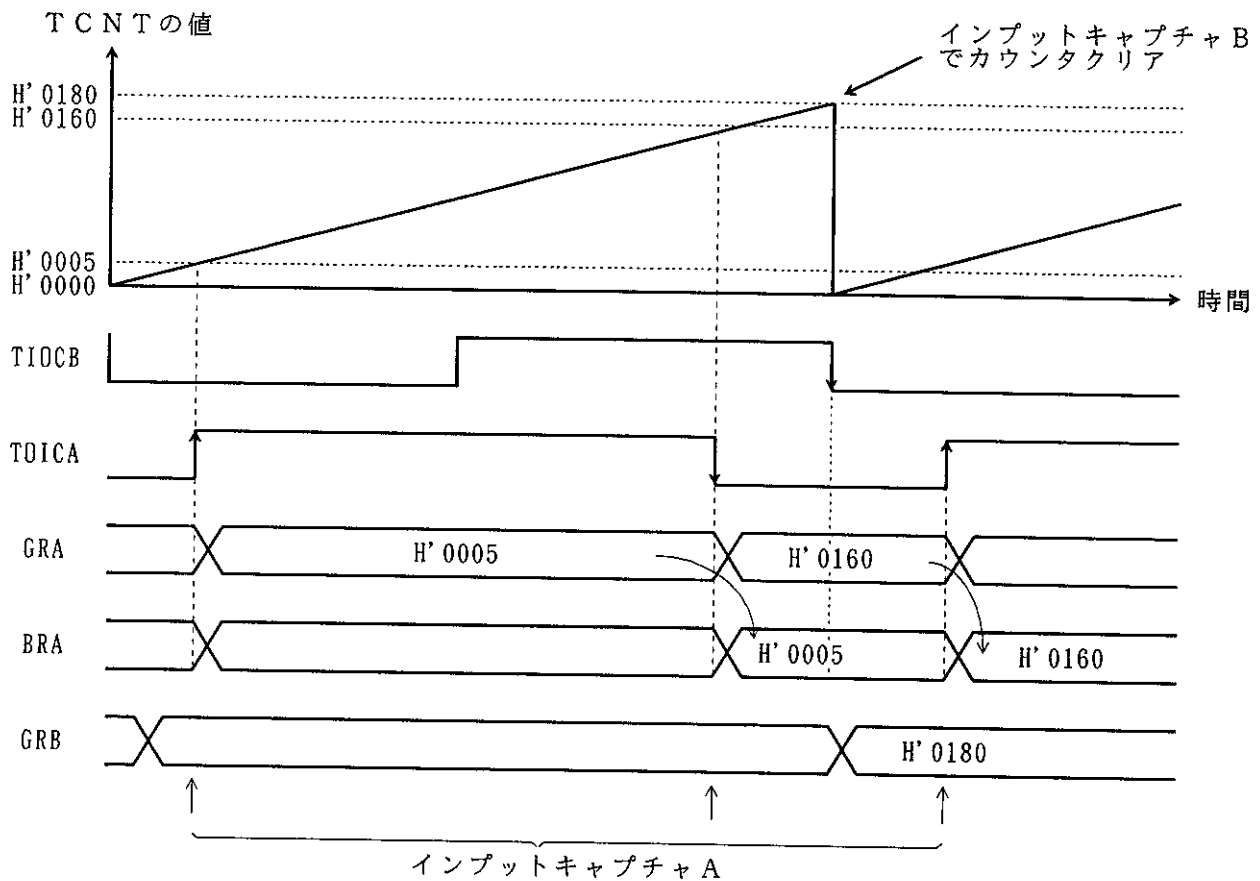


図8.38 バッファ動作例(2) (インプットキャプチャレジスタに対するバッファ動作)

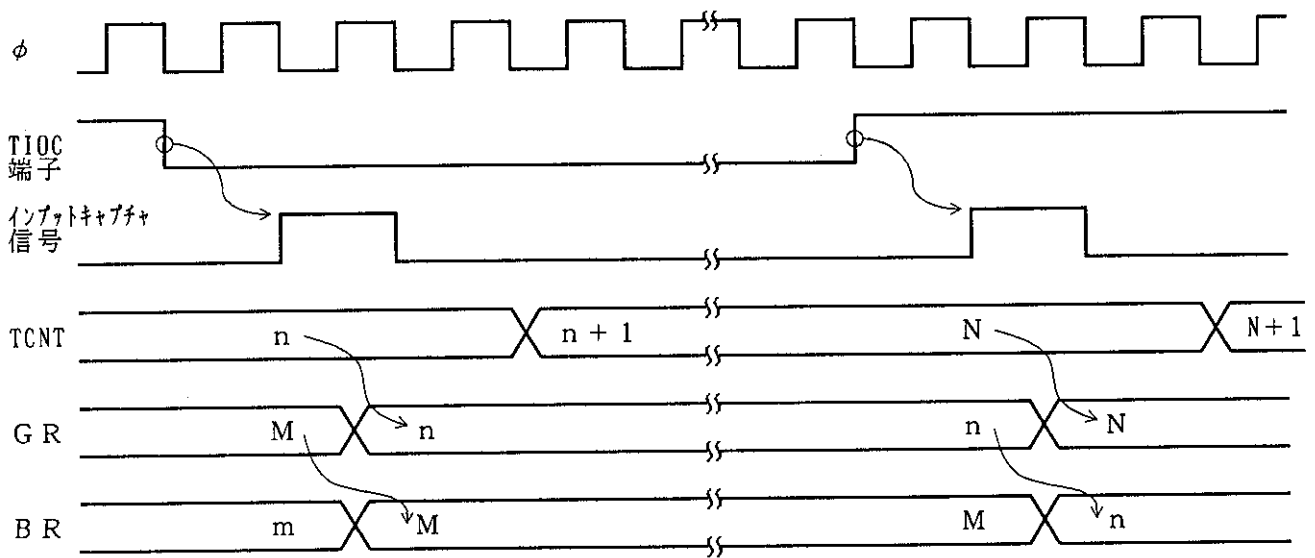


図8.39 バッファ動作時の入力キャプチャタイミング

8.4.7 I T U出力タイミング

チャンネル3、4のI T U出力は、T O E R、T O C Rの設定および外部トリガにより、出力を禁止したり反転したりすることができます。

(1) T O E RによるI T U出力の許可／禁止タイミング

T O E Rのマスタイネーブルビットを“0”にクリアして、I T U出力を禁止する場合の例です。対応する入出力ポートのD R、D D Rをあらかじめ設定しておくことにより、任意の値を出力することができます。

T O E RによるI T U出力を許可／禁止するタイミングを図8.40に示します。

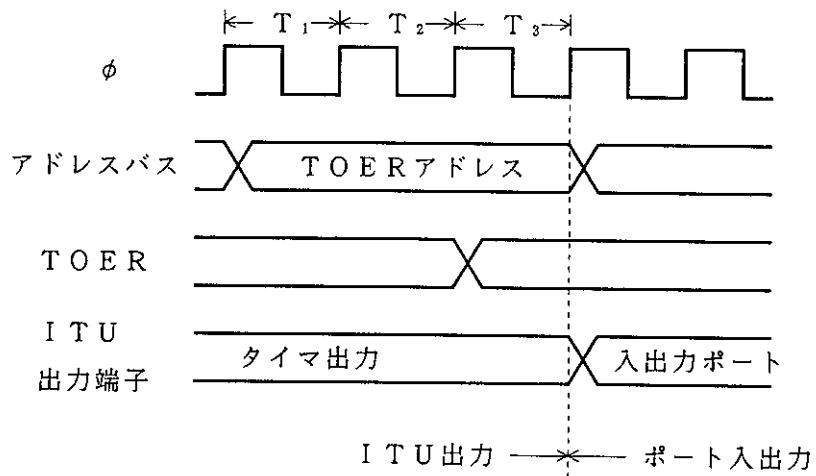


図8.40 T O E RへのライトによるI T U出力禁止タイミングの例

8.5 割込み

I T Uの割込み要因には、インプットキャプチャ/コンペアマッチ割込み、オーバフロー割込みの2種類があります。

8.5.1 ステータスフラグのセットタイミング

(1) コンペアマッチ時のIMFA、IMFBのセットタイミング

IMFは、GRとTCNTが一致したときに発生するコンペアマッチ信号により“1”にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。したがって、TCNTとGRが一致した後、TCNT入力クロックが発生するまでコンペアマッチ信号は発生しません。

図8.41にIMFのセットタイミングを示します。

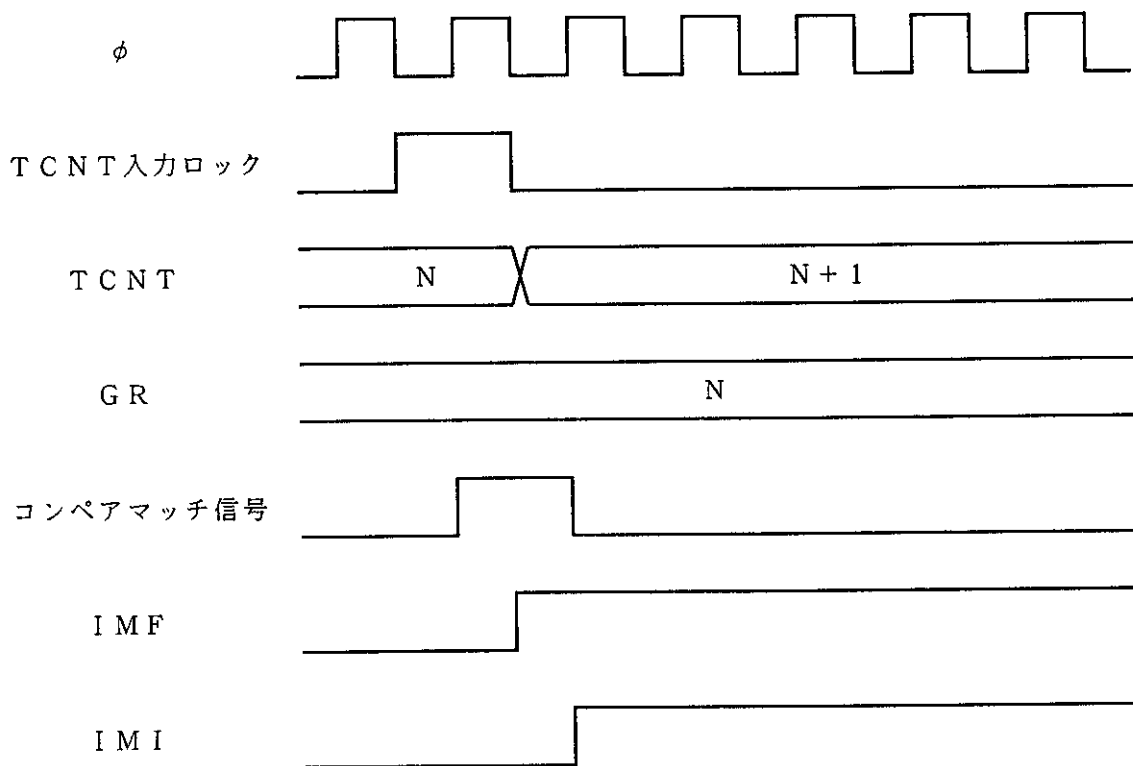


図8.41 コンペアマッチ時のIMFA、IMFBのセットタイミング

(2) インพุットキャプチャ時のIMFA、IMFBのセットタイミング

インพุットキャプチャ信号の発生によりIMFは“1”にセットされ、同時にTCNTの値が対応するGRに転送されます。

このタイミングを図8.42に示します。

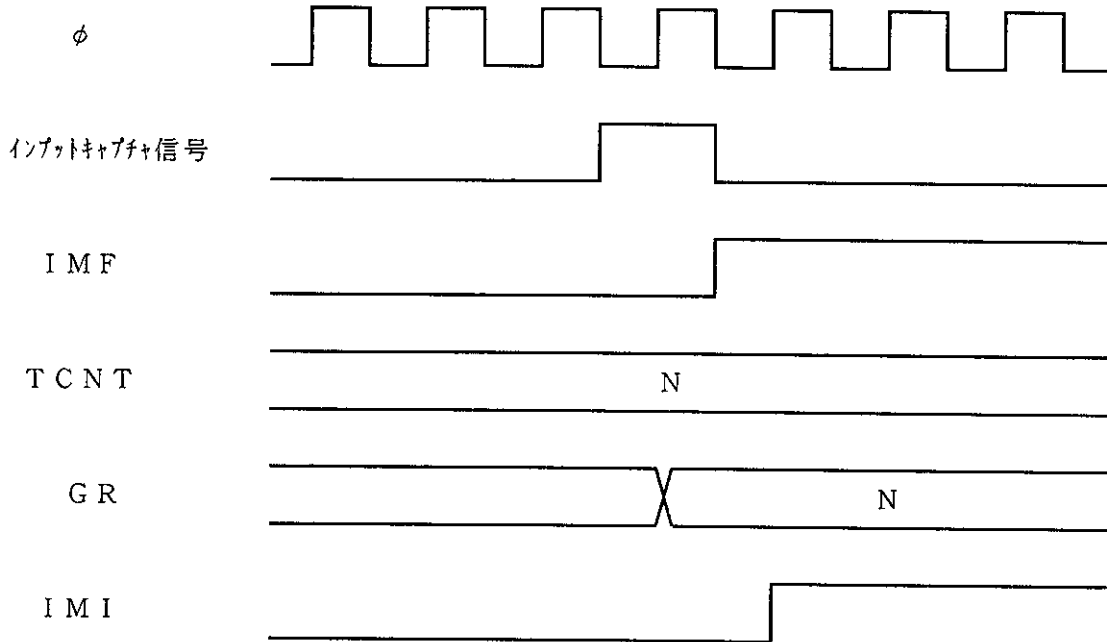


図8.42 インพุットキャプチャ時のIMFA、IMFBのセットタイミング

(3) オーバフローフラグ(OVF)のセットタイミング

OVFは、TCNTがオーバフロー(H'FFFF→H'0000)したとき、またはアンダフロー(H'0000→H'FFFF)したときに“1”にセットされます。

このときのタイミングを図8.43に示します。

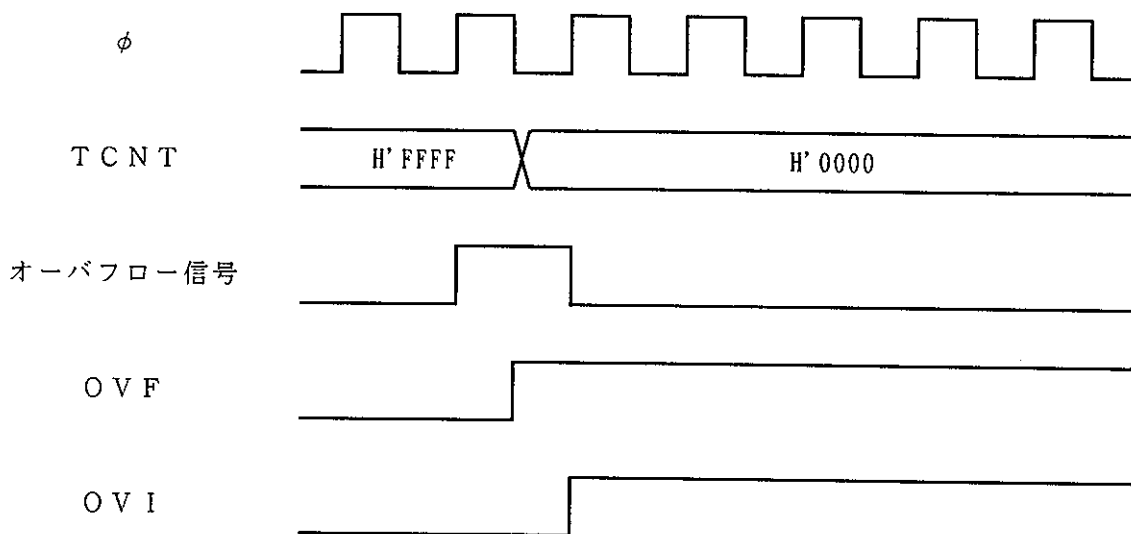


図8.43 OVFのセットタイミング

8.5.2 ステータスフラグのクリアタイミング

ステータスフラグはCPUが“1”の状態をリードした後“0”をライトするとクリアされます。このタイミングを図8.44に示します。

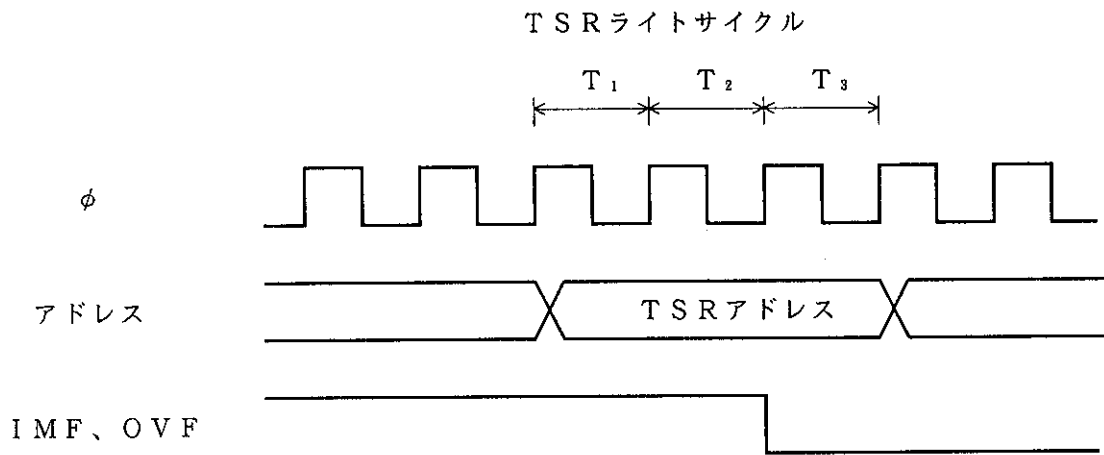


図8.44 ステータスフラグのクリアタイミング

8.5.3 割込み要因

I T Uは各チャンネルごとにコンペアマッチ/インプットキャプチャA割込み、コンペアマッチ/インプットキャプチャB割込み、およびオーバーフロー割込みをもっています。これら2種類の割込み計15本の割込みは、それぞれ独立のベクタアドレスが割り付けられています。割込み要求フラグが“1”にセットされ、かつ割込み許可ビットが“1”にセットされているとき、当該割込みが要求されます。

チャンネル間の優先順位は、I P R A、I P R Bにより変更可能です。詳細は「第5章 割込みコントローラ」を参照してください。

I T Uの割込み要因を表8.6に示します。

表8.6 I T U割込み要因

チャンネル	割込み要因	内 容	優先順位*
0	I M I A 0	コンペアマッチ/インプットキャプチャA 0	高 ↑ ↓ 低
	I M I B 0	コンペアマッチ/インプットキャプチャB 0	
	O V I 0	オーバーフロー 0	
1	I M I A 1	コンペアマッチ/インプットキャプチャA 1	
	I M I B 1	コンペアマッチ/インプットキャプチャB 1	
	O V I 1	オーバーフロー 1	
2	I M I A 2	コンペアマッチ/インプットキャプチャA 2	
	I M I B 2	コンペアマッチ/インプットキャプチャB 2	
	O V I 2	オーバーフロー 2	
3	I M I A 3	コンペアマッチ/インプットキャプチャA 3	
	I M I B 3	コンペアマッチ/インプットキャプチャB 3	
	O V I 3	オーバーフロー 3	
4	I M I A 4	コンペアマッチ/インプットキャプチャA 4	
	I M I B 4	コンペアマッチ/インプットキャプチャB 4	
	O V I 4	オーバーフロー 4	

【注】* リセット直後の初期状態について示しています。チャンネル間の優先順位はI P R A、I P R Bにより変更可能です。

8.6 使用上の注意

I T Uの動作中、次のような競合や動作が起こりますので、注意してください。

(1) T C N Tのライトとクリアの競合

T C N Tのライトサイクル中のT 3状態で、カウンタクリア信号が発生すると、T C N Tへの書き込みサイクルは行われずT C N Tのクリアが優先されます。

このタイミングを図8.45に示します。

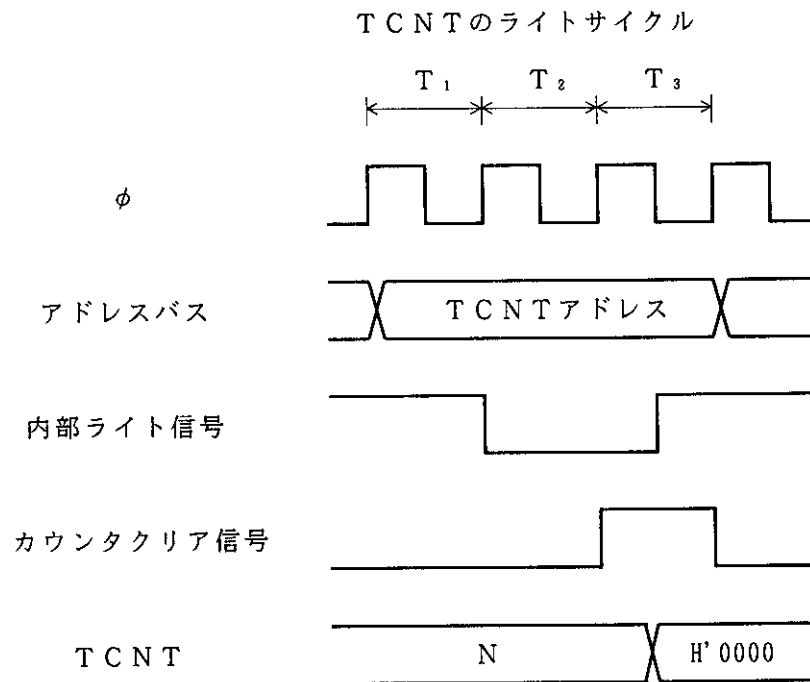


図8.45 T C N Tのライトとクリアの競合

(2) TCNTのワードライトとカウントアップの競合

TCNTのワードライトサイクル中のT3状態でカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

このタイミングを図8.46に示します。

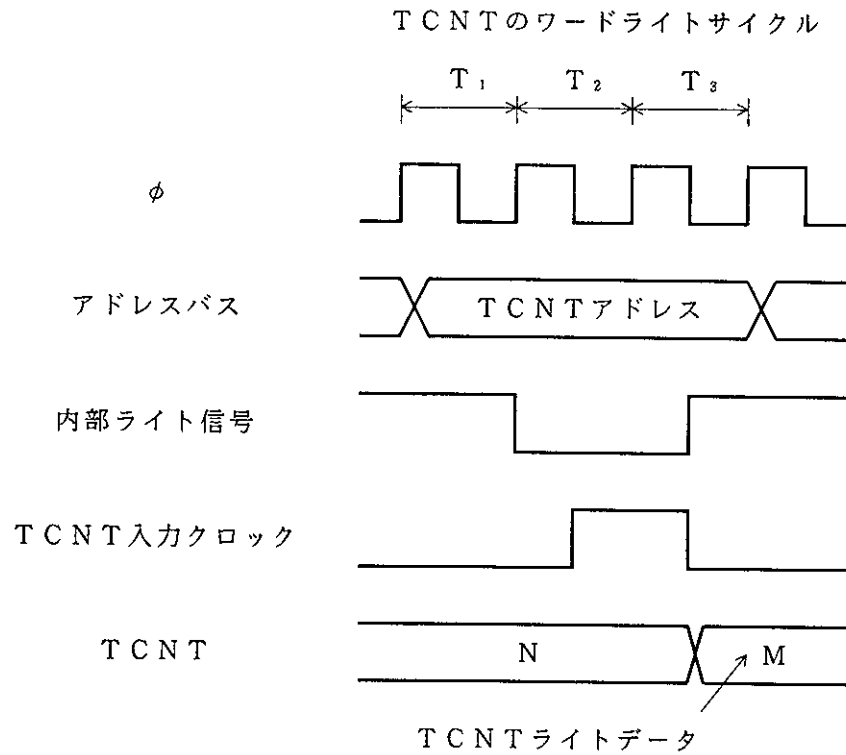


図8.46 TCNTのワードライトとカウントアップの競合

(3) TCNTのバイトライトとカウントアップの競合

TCNTのバイトライトサイクル中のT2ステートまたはT3ステートでカウントアップが発生しても、ライトを行った側のバイトデータはカウントアップされず、カウンタライトが優先されます。ライトを行わなかった側のバイトデータもカウントアップされずライトする前の内容となります。

このタイミングを図8.47に示します。

TCNTHのバイトライトサイクル中のT2ステートでカウントアップが発生した場合の例です。

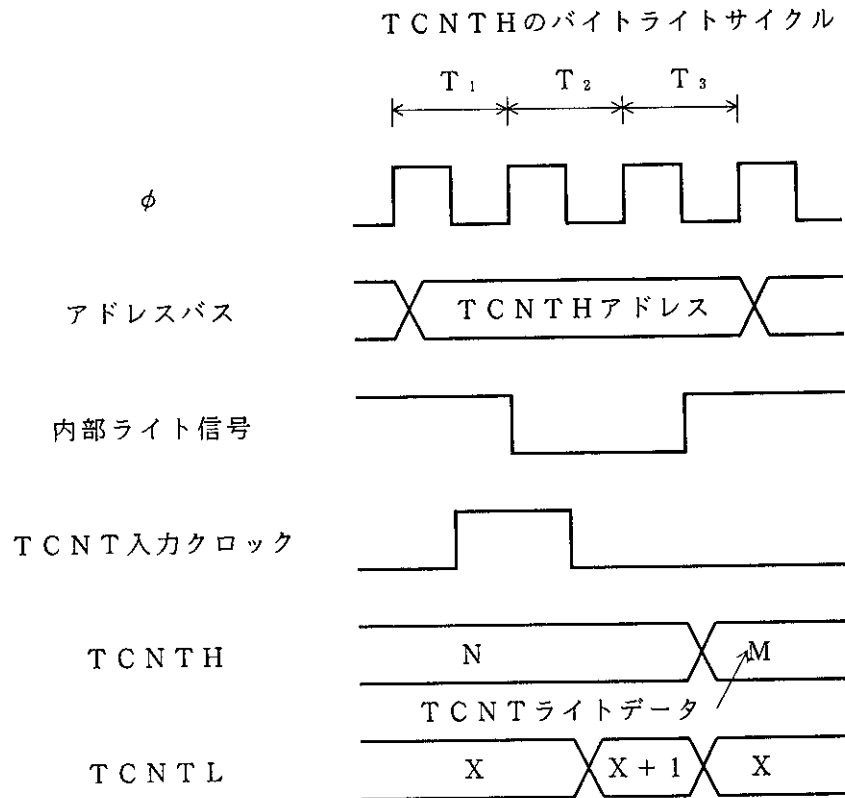


図8.47 TCNTのバイトライトとカウントアップの競合

(4) GRのライトとコンペアマッチの競合

GRのライトサイクル中のT3状態でコンペアマッチが発生しても、GRのライトが優先され、コンペアマッチ信号は禁止されます。

このタイミングを図8.48に示します。

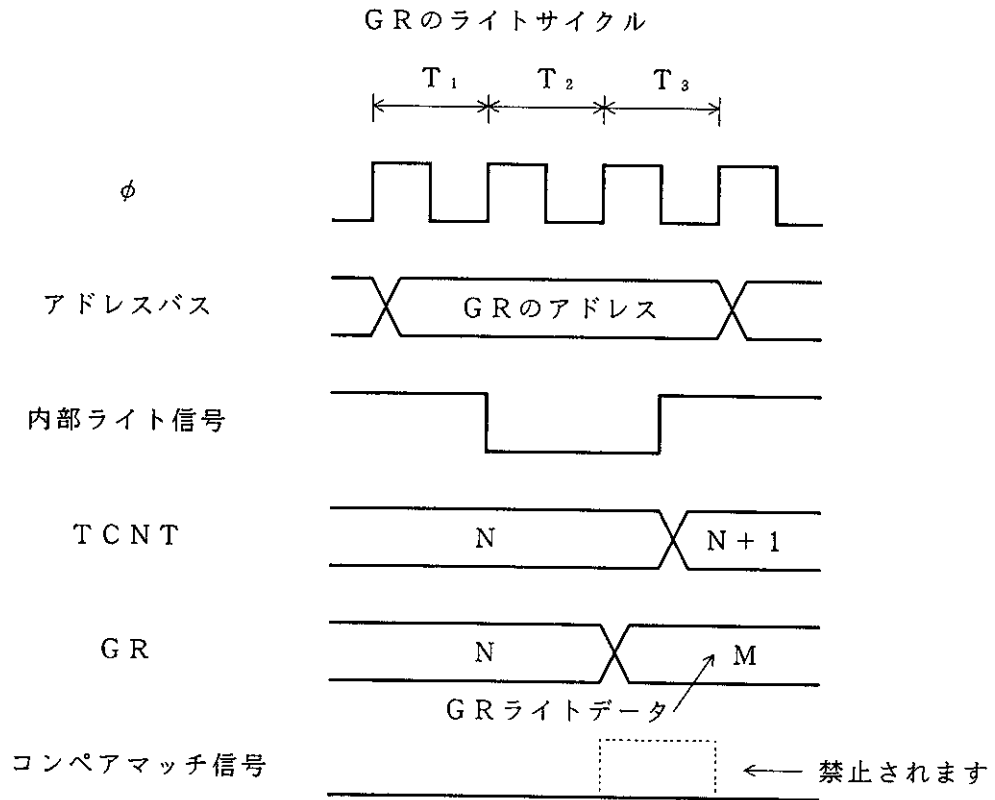


図8.48 GRのライトとコンペアマッチの競合

(5) TCNTのライトとオーバーフロー／アンダフローとの競合

TCNTのライトサイクル中のT3状態でオーバーフローが発生した場合、カウントアップされずカウンタライトが優先されます。このときOVFフラグは“1”にセットされます。アンダフローの場合も同様です。

このタイミングを図8.49に示します。

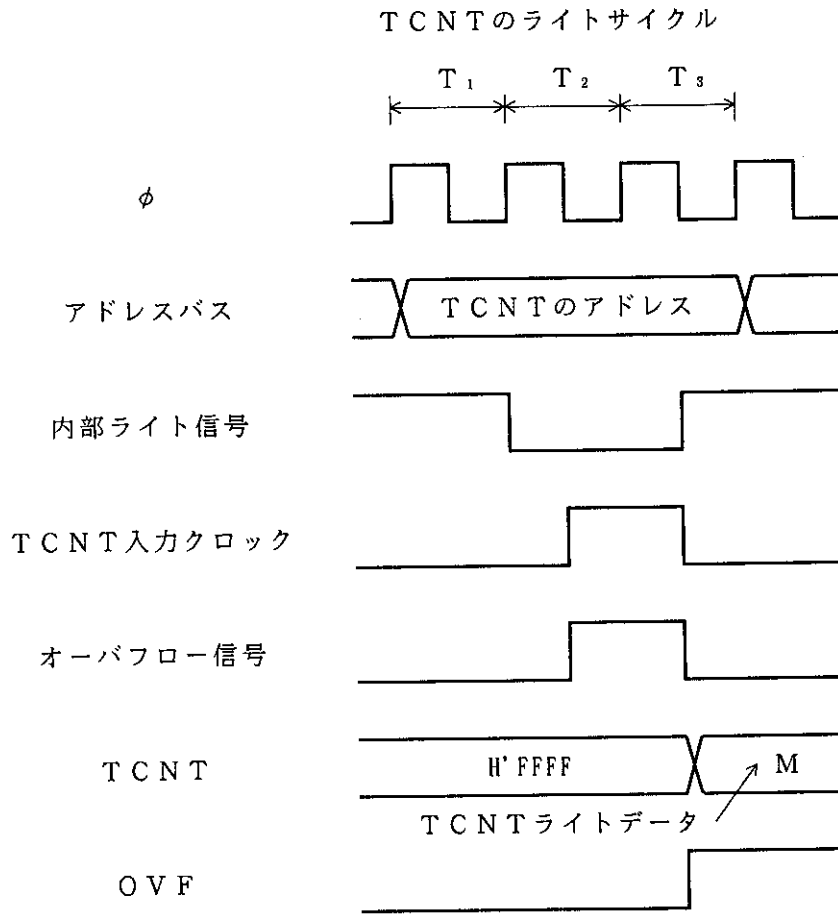


図8.49 TCNTのライトとオーバーフローの競合

(6) GRのリードとインプットキャプチャの競合

GRのリードサイクル中のT3ステートで、インプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送前のデータです。

このタイミングを図8.50に示します。

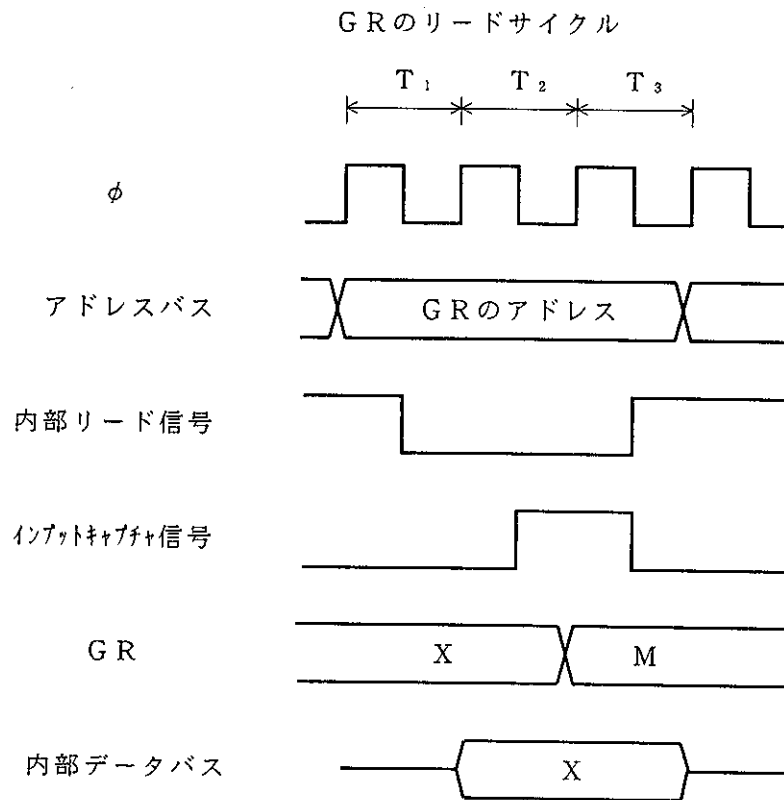


図8.50 GRのリードとインプットキャプチャの競合

(7) インพุットキャプチャによるカウンタクリアとカウントアップの競合

インพุットキャプチャ信号とカウントアップ信号が同時に発生すると、カウントアップされずインพุットキャプチャによるカウンタクリアが優先されます。また、GRにはカウンタクリア前のTCNTの内容が転送されます。

このタイミングを図8.51に示します。

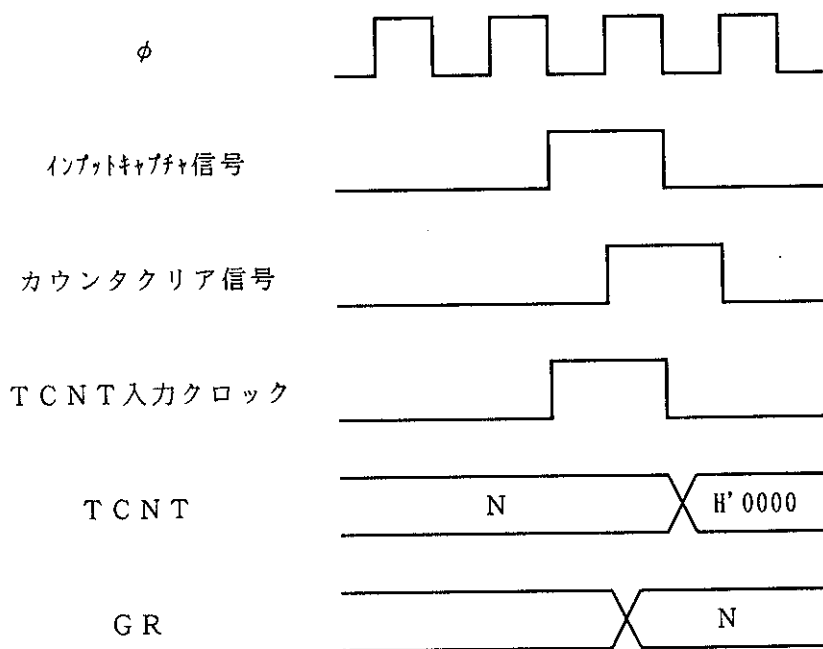


図8.51 インพุットキャプチャによるカウンタクリアとカウントアップの競合

(8) GRのライトとインプットキャプチャの競合

GRのライトサイクル中のT3状態で、インプットキャプチャ信号が発生すると、GRへの書込みは行われず、インプットキャプチャが優先されます。

このタイミングを図8.52に示します。

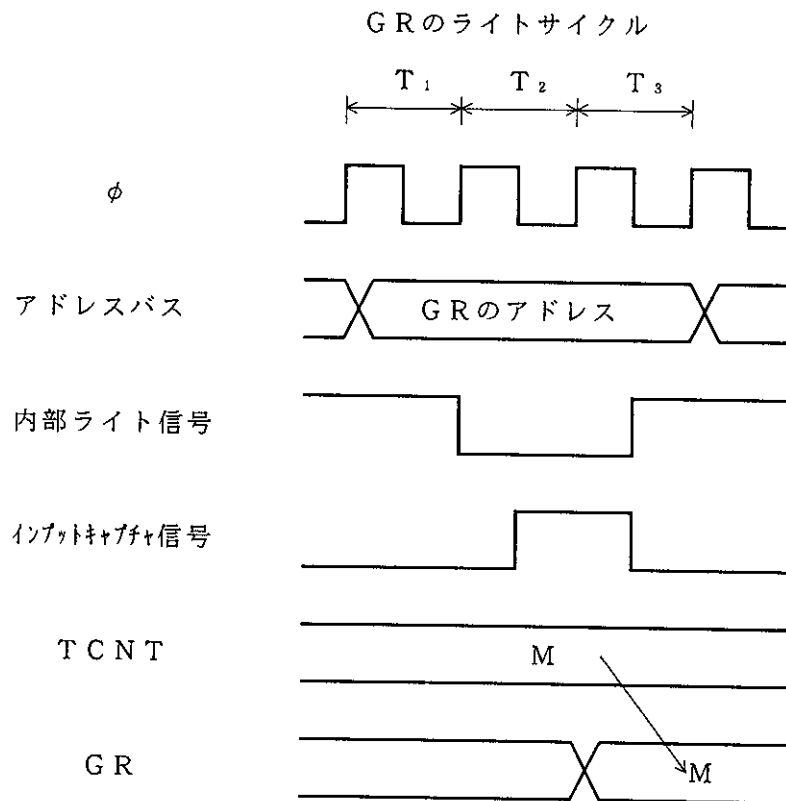


図8.52 GRのライトとインプットキャプチャの競合

(9) 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタ周波数は次の式のようにになります。

$$f = \frac{\phi}{(N + 1)}$$

(f : カウンタ周波数、φ : 動作周波数、N : GRの設定値)

(10) BRのライトとインプットキャプチャの競合

BRをインプットキャプチャバッファレジスタとして使用しているとき、ライトサイクル中のT₃ステートでインプットキャプチャ信号が発生すると、BRへのライトは行われずバッファ動作が優先されます。

このタイミングを図8.53に示します。

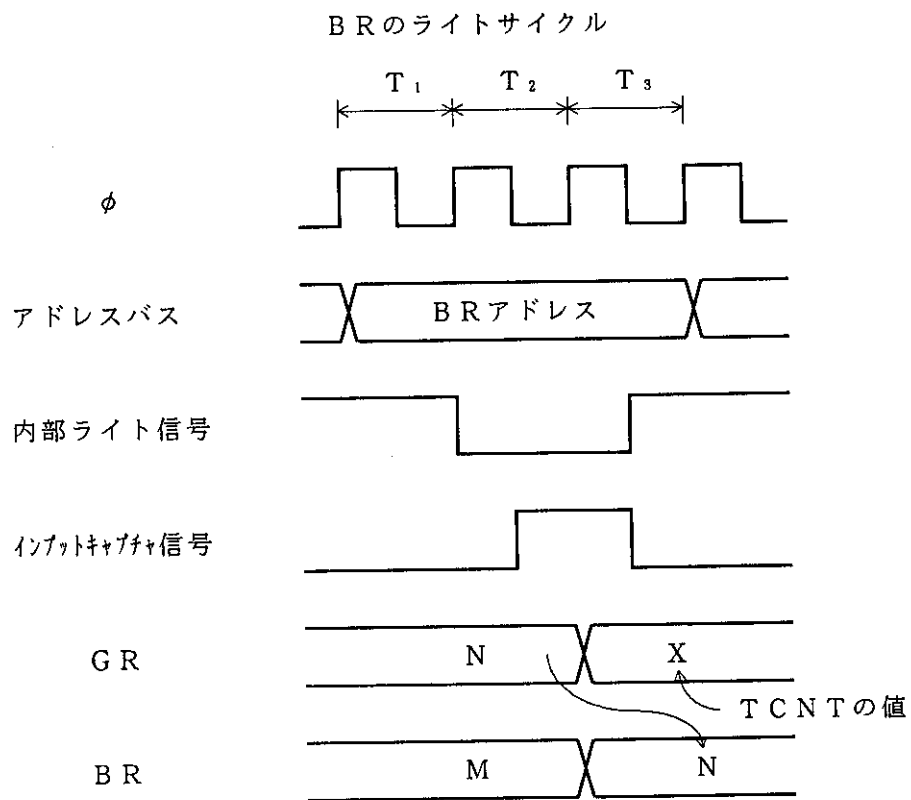


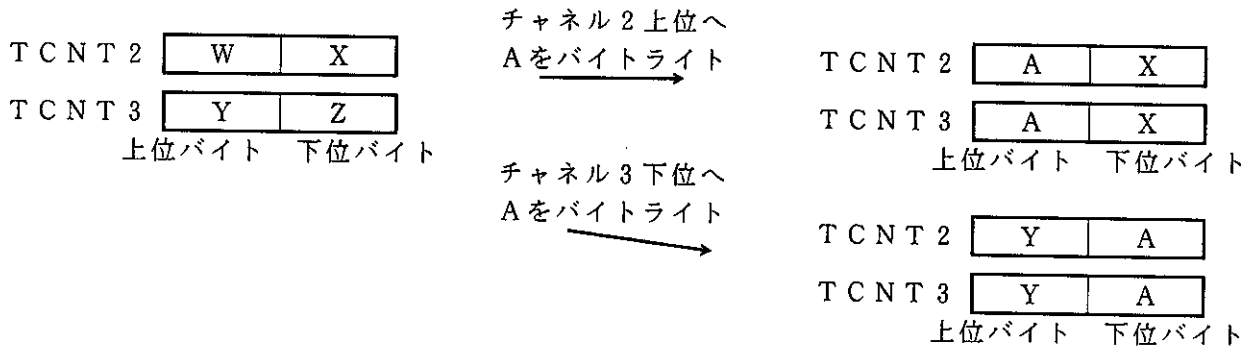
図8.53 BRのライトとインプットキャプチャの競合

(ii) 同期動作時のライト動作に関する注意事項

同期動作を設定した状態で、TCNTのバイトライトを行った場合、同期しているすべてカウンタはアドレスで指定したTCNTと、16ビットすべて同じ値となります。

(例) チャンネル2、3を同期モードで指定した場合

・チャンネル2 / チャンネル3 へのバイトライト



・チャンネル2 / チャンネル3 へのワードライト

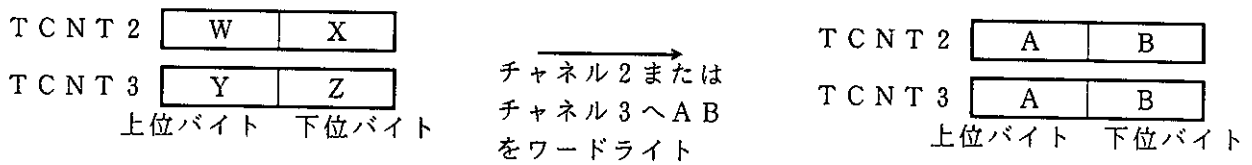


表8.7(a) I T Uの動作モード (チャンネル0)

動作モード	レジスタ設定									
	T S N C	T M D R			T F C R	T O E R	T I O R 0		T C R 0	
	同期動作	M D F	F D I R	P W M	バッファ動作	マスタイネーブル	I O A	I O B	クリア選択	クロック選択
同期プリセット	SYNC0="1"	—	—	○	—	—	○	○	○	○
P W Mモード	○	—	—	P W M0="1"	—	—	—	○	○	○
アウトプットコンペアA機能	○	—	—	P W M0="0"	—	—	I O A2="0" 他任意	○	○	○
アウトプットコンペアB機能	○	—	—	○	—	—	○	I O B2="0" 他任意	○	○
インプットキャプチャA機能	○	—	—	P W M0="0"	—	—	I O A2="1" 他任意	○	○	○
インプットキャプチャB機能	○	—	—	P W M0="0"	—	—	○	I O B2="1" 他任意	○	○
カウンタ機能	○	—	—	○	—	—	○	○	C C L R 1="0" C C L R 0="1"	○
同期クリア機能	SYNC0="1"	—	—	○	—	—	○	○	C C L R 1="1" C C L R 0="0"	○

《記号説明》

○ 設定可能(有効)です。 — 設定は当該動作モードに影響しません。

【注】* P W Mモードでは、インプットキャプチャ機能は使用できません。また、コンペアマチャAとコンペアマチャBが同時に発生した場合、コンペアマチャ信号は禁止されます。

表8.7(b) I T Uの動作モード (チャネル1)

動作モード	レジスタ設定										TCRI			
	T S N C			T M D R			T F C R		T O E R		T I O R I		クリア選択	クロック選択
	同期動作	MDF	FDIR	PWM	バックアップ動作	マスタイネーブル	IOA	IOB	IOA2="0" 他任意	IOB2="0" 他任意	IOA2="1" 他任意	IOB2="1" 他任意		
同期プリセット	SYNC1="1"	—	—	○	—	—	—	—	—	—	—	○	○	○
PWMモード	○	—	—	PWM1="1"	—	—	—	—	—	—	—	○	○	○
アウトプットコンペアA機能	○	—	—	PWM1="0"	—	—	—	—	—	—	—	○	○	○
アウトプットコンペアB機能	○	—	—	○	—	—	—	—	—	—	—	○	○	○
インプットキャプチャA機能	○	—	—	PWM1="0"	—	—	—	—	—	—	—	○	○	○
インプットキャプチャB機能	○	—	—	PWM1="0"	—	—	—	—	—	—	—	○	○	○
カウンタ機能	○	—	—	○	—	—	—	—	—	—	—	○	○	○
同期クリ	SYNC1="1"	—	—	○	—	—	—	—	—	—	—	○	○	○

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】*1 PWMモードでは、インプットキャプチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表8.7(c) ITUの動作モード (チャネル2)

動作モード	レジスタ設定											
	TMSNC			TMDR			TFCR	TOER	TIOB2		TCR2	
	同期動作	MDF	FDIR	PWM	バッファ動作	マスタイネーブル	IOA	IOB	クリア選択	クロック選択		
同期プリセット	SYNC2="1"	○	—	○	—	—	○	○	○	○	○	○
PWMモード	○	○	—	PWM2="1"	—	—	—	○	○	○	○	○
アウトプットコンペアA機能	○	○	—	PWM2="0"	—	—	IOA2="0" 他任意	○	○	○	○	○
アウトプットコンペアB機能	○	○	—	○	—	—	○	IOB2="0" 他任意	○	○	○	○
インプット キープチャA機能	○	○	—	PWM2="0"	—	—	IOA2="1" 他任意	○	○	○	○	○
インプット キープチャB機能	○	○	—	PWM2="0"	—	—	○	IOB2="1" 他任意	○	○	○	○
カウンタ機能	○	○	—	○	—	—	○	○	○	○	○	○
	コンペアチャ/ インプットキープ チャAでクリヤ	○	○	○	—	—	○	○	○	○	○	○
同期クリヤ	○	○	—	○	—	—	○	○	○	○	○	○
	コンペアチャ/ インプットキープ チャBでクリヤ	○	○	○	—	—	○	○	○	○	○	○
位相計数モード	○	MDF="1"	○	○	—	—	○	○	○	○	○	○

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】・ PWMモードでは、インプットキープチャ機能は使用できません。また、コンペアマッチAとコンペアマッチBが同時に発生した場合、コンペアマッチ信号は禁止されます。

表8.7(d) I T Uの動作モード (チャネル3)

動作モード	レ ジ ス タ 設 定									
	T S N C	T M D R			T F C R	T O E R	T I O R 3		T C R 3	
同期動作	M D F	F D I R	P W M	バッファ動作	マスクイネーブル	I O A	I O B	クリア選択	クロック選択	
同期ブリセット	—	—	○	○	○ ^{*1}	○	○	○	○	
P W M モード	—	—	P W M 3 = "1"	○	○	—	○ ^{*2}	○	○	
アウトプットコンパリア機能	—	—	P W M 3 = "0"	○	○	I O A 2 = "0" 他任意	○	○	○	
アウトプットコンパリア機能	—	—	○	○	○	○	I O B 2 = "0" 他任意	○	○	
インプットキヤッチA機能	—	—	P W M 3 = "0"	○	○	I O A 2 = "1" 他任意	○	○	○	
インプットキヤッチB機能	—	—	P W M 3 = "0"	○	○	○	I O A 2 = "1" 他任意	○	○	
カウンタ機能	—	—	○	○	○	○	○	○	○	
同期クリ	—	—	○	○	○	○	○	○	○	
バッファ動作 (B R A)	—	—	○	○	○ ^{*1}	○	○	○	○	
バッファ動作 (B R B)	—	—	○	○	○ ^{*1}	○	○	○	○	

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】^{*1} マスクイネーブルビットの設定は、波形出力動作時のみ有効となります。

^{*2} P W M モードでは、インプットキヤッチ機能は使用できません。また、コンパリアマッチAとコンパリアマッチBが同時に発生した場合、コンパリアマッチ信号は禁止されます。

表 8.7(e) I T U の動作モード (チャネル 4)

動作モード	レジスタ設定									
	T S N C	T M D R			T F C R	T O E R	T I O R 4		T C R 4	
	同期動作	M D F	F D I R	P W M	バッファ動作	マスタイネーブル	I O A	I O B	クリア選択	クロック選択
同期プリセット	SYNC4="1"	—	—	○	○	○ ^{*1}	○	○	○	○
P W M モード	○	—	—	P W M 4="1"	○	○	—	○ ^{*2}	○	○
アウトプットコンベンア機能	○	—	—	P W M 4="0"	○	○	I O A 2="0" 他任意	○	○	○
アウトプットコンベンア機能	○	—	—	○	○	○	○	I O B 2="0" 他任意	○	○
インプットキャプチャ A 機能	○	—	—	P W M 4="0"	○	○	I O A 2="1" 他任意	○	○	○
インプットキャプチャ B 機能	○	—	—	P W M 4="0"	○	○	○	I O B 2="1" 他任意	○	○
カウンタ機能	○	—	—	○	○	○ ^{*1}	○	○	C C L R 1="0" C C L R 0="1"	○
カウンタ機能	○	—	—	○	○	○ ^{*1}	○	○	C C L R 1="1" C C L R 0="0"	○
同期クリ	SYNC4="1"	—	—	○	○	○ ^{*1}	○	○	C C L R 1="1" C C L R 0="1"	○
バッファ動作 (B R A)	○	—	—	○	B F A 4="1" 他任意	○	○	○	○	○
バッファ動作 (B R B)	○	—	—	○	B F B 4="1" 他任意	○	○	○	○	○

《記号説明》

○ 設定可能 (有効) です。 — 設定は当該動作モードに影響しません。

【注】*1 マスタイネーブルビットの設定は、波形出力動作時のみ有効となります。

*2 P W M モードでは、インプットキャプチャ機能は使用できません。また、コンベンアマッチ A とコンベンアマッチ B が同時に発生した場合、コンベンアマッチ信号は禁止されます。

9. プログラマブルタイミング パターンコントローラ (TPC)

第9章 目次

9.1	概要	265
9.1.1	特長	265
9.1.2	ブロック図	266
9.1.3	端子構成	267
9.1.4	レジスタ構成	268
9.2	各レジスタの説明	269
9.2.1	ポートAデータディレクションレジスタ (PADDDR)	269
9.2.2	ポートAデータレジスタ (PADR)	269
9.2.3	ポートBデータディレクションレジスタ (PBDDR)	270
9.2.4	ポートBデータレジスタ (PBDR)	270
9.2.5	ネクストデータレジスタA (NDRA)	271
9.2.6	ネクストデータレジスタB (NDRB)	273
9.2.7	ネクストデータイネーブルレジスタA (NDERA)	275
9.2.8	ネクストデータイネーブルレジスタB (NDERB)	276
9.2.9	TPC出力コントロールレジスタ (TPCR)	277
9.2.10	TPC出力モードレジスタ (TPMR)	280
9.3	動作説明	282
9.3.1	概要	282
9.3.2	出力タイミング	283
9.3.3	TPC出力通常動作	284
9.3.4	TPC出力ノンオーバーラップ動作	286
9.3.5	インプットキャプチャによるTPC出力	288
9.4	使用上の注意	289
9.4.1	TPC出力端子の動作	289
9.4.2	ノンオーバーラップ動作時の注意	289

9.1 概要

H8/3001は、16ビットインテグレートドタイマユニット（ITU）をタイムベースとしてパルス出力を行うプログラマブルタイミングパターンコントローラ（TPC）を内蔵しています。TPCは4ビット単位のTPC出力グループ2～0から構成されており、これらは同時に動作させることも、独立に動作させることも可能です。

9.1.1 特長

TPCの特長を以下に示します。

■ 出力データ12ビット

最大12ビットのデータ出力が可能で、TPC出力をビット単位に許可することができます。

■ 3系統の出力可能

4ビット単位のグループで出力トリガ信号が選択可能で、最大4ビット×3系統の出力を行うことができます。

■ 出力トリガ信号を選択可能

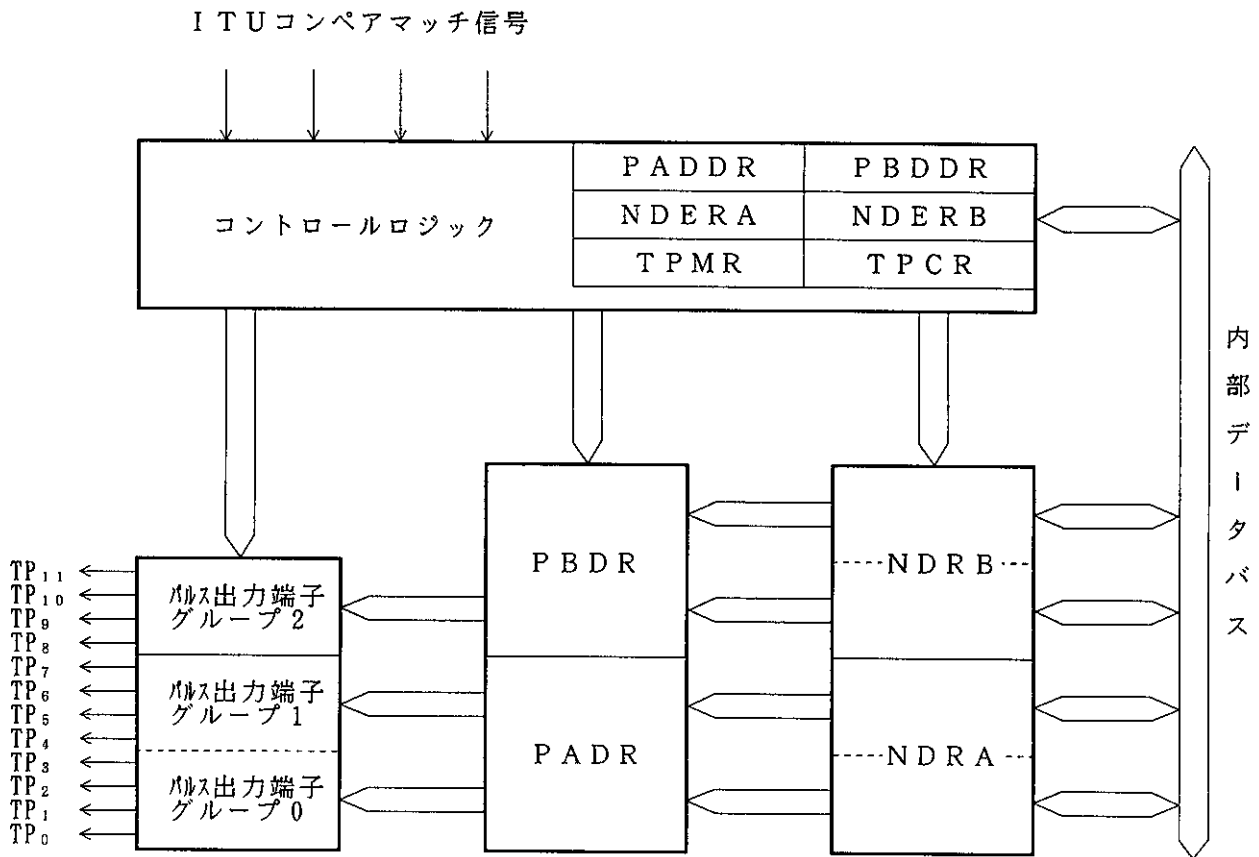
ITUの4チャンネルのコンペアマッチ信号の中から、グループごとに出力トリガ信号を選択することができます。

■ ノンオーバーラップ動作

複数のパルス出力の間のノンオーバーラップ期間を設定することができます。

9.1.2 ブロック図

TPCのブロック図を図9.1に示します。



《記号説明》

- TPMR : TPC出力モードレジスタ
- TPCR : TPC出力コントロールレジスタ
- NDERB : ネクストデータイネーブルレジスタB
- NDERA : ネクストデータイネーブルレジスタA
- PBDDR : ポートBデータディレクションレジスタ
- PADDR : ポートAデータディレクションレジスタ
- NDRB : ネクストデータレジスタB
- NDRA : ネクストデータレジスタA
- PBDR : ポートBデータレジスタ
- PADR : ポートAデータレジスタ

図9.1 TPCのブロック図

9.1.3 端子構成

TPCの端子構成を表9.1に示します。

表9.1 端子構成

名 称	略 称	入 出 力	機 能
TPC出力0	TP ₀	出 力	グループ0のパルス出力
TPC出力1	TP ₁	出 力	
TPC出力2	TP ₂	出 力	
TPC出力3	TP ₃	出 力	
TPC出力4	TP ₄	出 力	グループ1のパルス出力
TPC出力5	TP ₅	出 力	
TPC出力6	TP ₆	出 力	
TPC出力7	TP ₇	出 力	
TPC出力8	TP ₈	出 力	グループ2のパルス出力
TPC出力9	TP ₉	出 力	
TPC出力10	TP ₁₀	出 力	
TPC出力11	TP ₁₁	出 力	

9.1.4 レジスタ構成

TPCのレジスタ構成を表9.2に示します。

表9.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFD1	ポートAデータディレクションレジスタ	PADDR	W	H'00
H'FFD3	ポートAデータレジスタ	PADR	R/(W)* ²	H'00
H'FFD4	ポートBデータディレクションレジスタ	PBDDR	W	H'00
H'FFD6	ポートBデータレジスタ	PBDR	R/(W)* ²	H'00
H'FFA0	TPC出力モードレジスタ	TPMR	R/W	H'F0
H'FFA1	TPC出力コントロールレジスタ	TPCR	R/W	H'FF
H'FFA2	ネクストデータイネーブルレジスタB	NDERB	R/W	H'00
H'FFA3	ネクストデータイネーブルレジスタA	NDERA	R/W	H'00
H'FFA5/ H'FFA7* ³	ネクストデータレジスタA	NDRA	R/W	H'00
H'FFA4/ H'FFA6* ⁴	ネクストデータレジスタB	NDRB	R/W	H'00

【注】*¹ アドレスの下位16ビットを示しています。

*² TPC出力として使用しているビットは、ライトできません。

*³ TPCRの設定によりTPC出力グループ0とTPC出力グループ1の出力トリガが同一の場合はNDRAのアドレスはH'FFA5となり、出力トリガが異なる場合はグループ0に対応するNDRAのアドレスはH'FFA7、グループ1に対応するNDRAのアドレスはH'FFA5となります。

*⁴ TPCRの設定によりTPC出力グループ2とTPC出力グループ3の出力トリガが同一の場合はHDRBのアドレスはH'FFA4となり、出力トリガが異なる場合は、グループ2に対応するNDRBのアドレスはH'FFA6となります。H8/3001には、TPC出力グループ3に対応する端子が存在しません。

9.2 各レジスタの説明

9.2.1 ポートAデータディレクションレジスタ (PADDDR)

PADDDRは8ビットのライト専用のレジスタで、ポートAの各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

ポートAデータディレクション7~0

ポートAの各端子の入出力を選択するビットです。

ポートAはTP₇~TP₀端子との兼用端子となっています。TPC出力を行う端子に対応するビットは“1”にセットしてください。

PADDDRの詳細は、「7.7 ポートA」を参照してください。

9.2.2 ポートAデータレジスタ (PADR)

PADRは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、グループ0、1の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ポートAデータ7~0

TPC出力グループ0、1の出力データを格納するビットです。

【注】* NDERAにより、TPC出力に設定されたビットはリード専用となります。

PADRの詳細は、「7.7 ポートA」を参照してください。

9.2.3 ポートBデータディレクションレジスタ (PBDDR)

PBDDRは8ビットのライト専用のレジスタで、ポートBの各端子の入出力方向をビット単位に設定します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR
初期値:	0	0	0	0	0	0	0	0
R/W:	W	W	W	W	W	W	W	W

リザーブビット

ポートBデータディレクション3~0

ポートBの各端子の入出力を選択するビットです。

ポートBはTP₁₁~TP₈端子との兼用端子となっています。TPC出力を行う端子に対応するビットは“1”にセットしてください。

PBDDRの詳細は、「7.8 ポートB」を参照してください。

9.2.4 ポートBデータレジスタ (PBDR)

PBDRは8ビットのリード/ライト可能なレジスタで、TPC出力を使用する場合、PBDRはグループ2の出力データを格納します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

リザーブビット

ポートBデータ3~0

TPC出力グループ2の出力データを格納するビットです。

【注】* NDERBにより、TPC出力に設定されたビットはリード専用となります。

PBDRの詳細は、「7.8 ポートB」を参照してください。

9.2.5 ネクストデータレジスタ A (NDRA)

NDRAは8ビットのリード/ライト可能なレジスタで、TPC出力グループ1、0(TP₇~TP₀端子)の次の出力データを格納します。TPC出力を行う場合、TPCRで指定したITUのコンペアマッチが発生したときに、NDRAの内容がPADRの対応するビットに転送されます。

NDRAのアドレスは、TPC出力グループ0、1の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRAはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC出力グループ0、1の出力トリガが同一の場合

TPC出力グループ0、1の出力トリガとなるコンペアマッチを同一にすると、NDRAのアドレスはH'FFA5となります。グループ1、0はそれぞれ上位4ビット、下位4ビットになります。このとき、アドレスH'FFA7はすべてリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H'FFA5

ビット：	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	ネクストデータ7~4				ネクストデータ3~0			
	TPC出力グループ1が次に出力				TPC出力グループ0が次に出力			
	するデータを格納するビットです。				するデータを格納するビットです。			

② アドレス：H'FFA7

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—
	リザーブビット							

(2) T P C 出力グループ 0、1 の出力トリガが異なる場合

T P C 出力グループ 0、1 の出力トリガとなるコンペアマッチを別にする、N D R A の上位 4 ビット (グループ 1) のアドレスは H' FFA5、N D R A の下位 4 ビット (グループ 0) のアドレスは H' FFA7 となります。このとき、アドレス H' FFA5 のビット 3 ~ 0、アドレス H' FFA7 のビット 7 ~ 4 はリザーブビットとなります。リザーブビットはリードすると常に "1" が読み出され、ライトは無効です。

① アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

| ネクストデータ 7 ~ 4
| リザーブビット

T P C 出力グループ 1 が次に出力
 するデータを格納するビットです。

② アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

| リザーブビット
| ネクストデータ 3 ~ 0

T P C 出力グループ 0 が次に出力
 するデータを格納するビットです。

9.2.6 ネクストデータレジスタ B (NDRB)

NDRBは8ビットのリード/ライト可能なレジスタで、TPC出力グループ3、2 (TP₁₁~TP₈端子) が次に出力するデータを格納します。ただし、H8/3001には、TPC出力グループ3に対応する端子が存在しません。TPC出力を行う場合、TPCRで指定したITUのコンペアマッチが発生したときに、NDRBの内容がPBDRの対応するビットに転送されます。NDRBのアドレスは、TPC出力グループ2、3の出力トリガを同一に設定した場合と異なるように設定した場合とで異なります。

NDRBはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

(1) TPC出力グループ2、3の出力トリガが同一の場合

TPC出力グループ2、3の出力トリガとなるコンペアマッチを同一にすると、NDRBのアドレスはH'FFA4となります。グループ3、2はそれぞれ上位4ビット、下位4ビットになります。このとき、アドレスH'FFA6はすべてリザーブビットとなります。リザーブビットはリードすると常に“1”が読み出され、ライトは無効です。

① アドレス：H'FFA4

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット				ネクストデータ11~8 TPC出力グループ2が次に出力するデータを格納します。			

② アドレス：H'FFA6

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	—	—	—	—	—	—	—	—
	リザーブビット							

(2) T P C 出力グループ 2、3 の出力トリガが異なる場合

T P C 出力グループ 2、3 の出力トリガとなるコンペアマッチを別にすると、N D R B の上位 4 ビットのアドレスは H' FFA4、N D R B の下位 4 ビット (グループ 2) のアドレスは H' FFA6 となります。このとき、アドレス H' FFA4 のビットはすべてリザーブビットとなります。また、アドレス H' FFA6 のビット 7 ~ 4 もリザーブビットとなります。アドレス H' FFA4 のビット 7 ~ 4 はリード / ライト可能です。その他のリザーブビットはリードすると常に " 1 " が読み出され、ライトは無効です。

① アドレス : H' FFA4

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R / W :	R / W	R / W	R / W	R / W	—	—	—	—

リザーブビット

② アドレス : H' FFA6

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR11	NDR10	NDR9	NDR8
初期値 :	1	1	1	1	0	0	0	0
R / W :	—	—	—	—	R / W	R / W	R / W	R / W

リザーブビット

ネクストデータ 11 ~ 8

T P C 出力グループ 2 の次の出力データを格納するビットです。

9.2.7 ネクストデータイネーブルレジスタ A (NDER A)

NDER Aは8ビットのリード/ライト可能なレジスタで、TPC出力グループ1、0 (TP₇~TP₀端子)の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0

TPC出力グループ1、0を許可/禁止を選択するビットです。

NDER AによりTPC出力が許可されたビットは、TPCRで選択されたITUのコンペアマッチが発生すると、NDRAの値がPADRの当該ビットに自動転送され出力値が更新されます。TPC出力を禁止されているビットについては、NDRAからPADRへの転送は行われず出力値も変化しません。

NDER Aはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~0: ネクストデータイネーブル7~0 (NDER7~NDER0)

TPC出力グループ1、0 (TP₇~TP₀端子)の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER7~NDER0	明
0	TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からPA ₇ ~PA ₀ への転送禁止) (初期値)
1	TPC出力TP ₇ ~TP ₀ を許可 (NDR7~NDR0からPA ₇ ~PA ₀ への転送許可)

9.2.8 ネクストデータイネーブルレジスタ B (NDERB)

NDERBは8ビットのリード/ライト可能なレジスタで、TPC出力グループ2 (TP₁₁~TP₈端子)の許可/禁止をビット単位で選択します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
	リザーブビット				ネクストデータイネーブル11~8 TPC出力グループ2の許可/禁止を 選択するビットです。			

NDERBによりTPC出力が許可されたビットは、TPCRで選択されたITUのコンペアマッチが発生すると、NDERBの値がPBDRの当該ビットに自動転送され出力値が更新されます。TPC出力を禁止されているビットについては、NDERBからPBDRへの転送は行われず出力値も変化しません。

NDERBはリセット、またはハードウェアスタンバイモード時にH'00にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~4: リザーブビット

リザーブビットです。リード/ライト可能です。

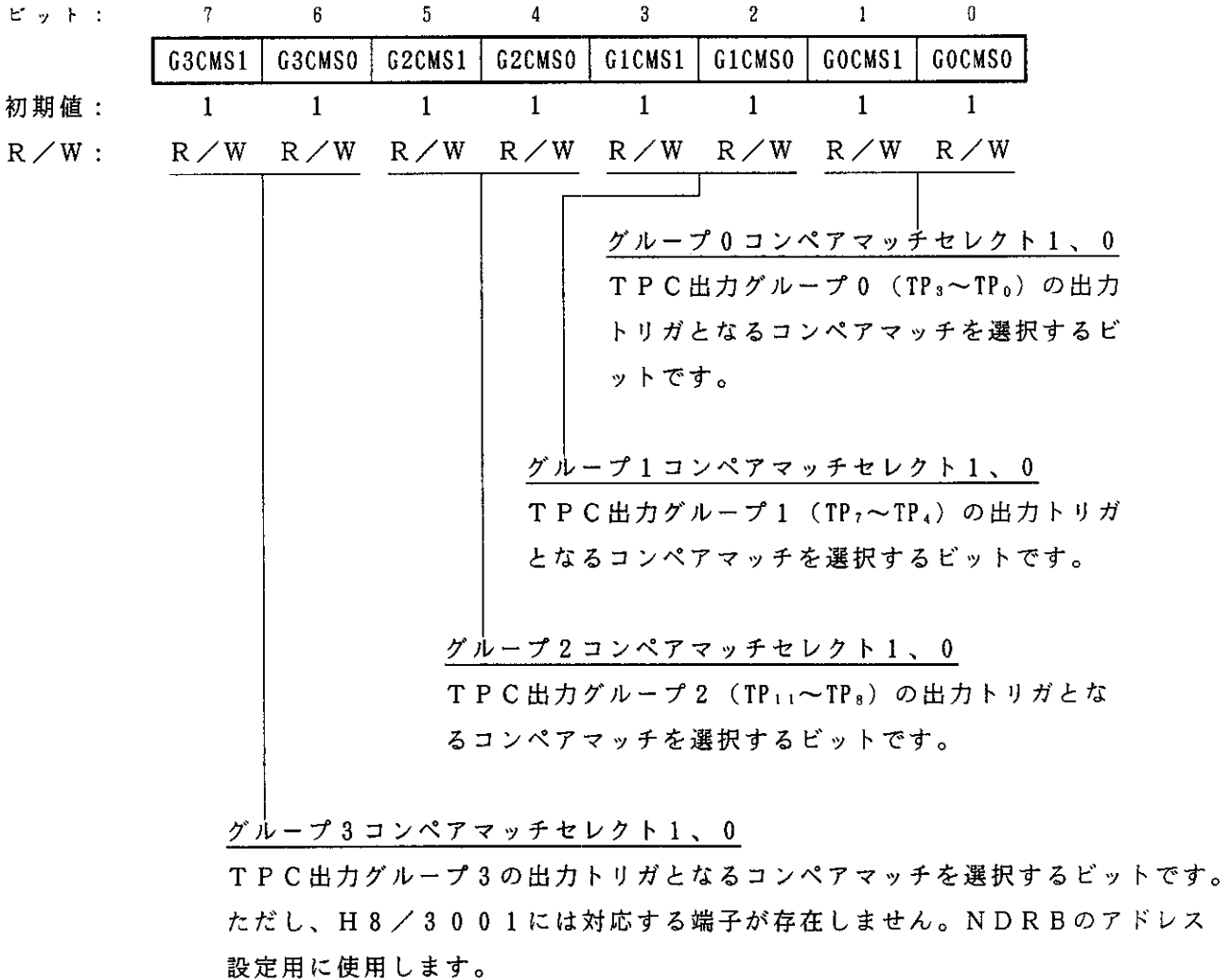
ビット3~0: ネクストデータイネーブル11~8 (NDER11~NDER8)

TPC出力グループ2 (TP₁₁~TP₈端子)の許可/禁止をビット単位で選択します。

ビット7~0	説明
NDER11~NDER8	
0	TPC出力TP ₁₁ ~TP ₈ を禁止 (NDER11~NDER8からPB ₃ ~PB ₀ への転送禁止) (初期値)
1	TPC出力TP ₁₁ ~TP ₈ を許可 (NDER11~NDER8からPB ₃ ~PB ₀ への転送許可)

9.2.9 TPC出力コントロールレジスタ (TPCR)

TPCRは8ビットのリード/ライト可能なレジスタで、TPC出力の出力トリガ信号をグループ単位で選択します。



TPCRは、リセットまたはハードウェアスタンバイモード時にH'FFにイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7、6：グループ3コンペアマッチセレクト1、0（G3CMS1、G3CMS0）

TPC出力グループ3の出力トリガとなるコンペアマッチを選択します。H8/3001にはTPC出力グループ3に対応する端子が存在しません。NDRBのアドレス設定用に使用します。

ビット7	ビット6	説明
G3CMS1	G3CMS0	
0	0	TPC出力グループ3の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット5、4：グループ2コンペアマッチセレクト1、0（G2CMS1、G2CMS0）

TPC出力グループ2（TP₁₁～TP₈端子）の出力トリガとなるコンペアマッチを選択します。

ビット5	ビット4	説明
G2CMS1	G2CMS0	
0	0	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2（TP ₁₁ ～TP ₈ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット3、2：グループ1コンペアマッチセレクト1、0（G1CMS1、G1CMS0）

TPC出力グループ1（TP₇～TP₄端子）の出力トリガとなるコンペアマッチを選択します。

ビット3	ビット2	説 明
G1CMS1	G1CMS0	
0	0	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1（TP ₇ ～TP ₄ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

ビット1、0：グループ0コンペアマッチセレクト1、0（G0CMS1、G0CMS0）

TPC出力グループ0（TP₃～TP₀端子）の出力トリガとなるコンペアマッチを選択します。

ビット1	ビット0	説 明
G0CMS1	G0CMS0	
0	0	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル0のコンペアマッチ
	1	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル2のコンペアマッチ
	1	TPC出力グループ0（TP ₃ ～TP ₀ 端子）の出力トリガは、ITUチャンネル3のコンペアマッチ (初期値)

9.2.10 T P C出力モードレジスタ (T P M R)

T P M Rは8ビットのリード/ライト可能なレジスタで、T P C出力を通常動作で行うか、ノンオーバーラップ動作で行うかをグループ単位で指定します。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

リザーブビット

グループ2 ノンオーバーラップ

T P C出力グループ2 (TP₁₁~TP₈)のノンオーバーラップ動作を設定するビットです。

グループ1 ノンオーバーラップ

T P C出力グループ1 (TP₇~TP₄)のノンオーバーラップ動作を設定するビットです。

グループ0 ノンオーバーラップ

T P C出力グループ0 (TP₃~TP₀)のノンオーバーラップ動作を設定するビットです。

ノンオーバーラップ動作のT P C出力は、出力トリガとなるI T UのG R Bに出力波形の周期を、またG R Aにノンオーバーラップ期間を設定し、コンペアマッチA、Bで出力値を変化させます。

詳細は、「9.3.4 T P C出力ノンオーバーラップ動作」を参照してください。

T P M Rはリセット、またはハードウェアスタンバイモード時にH F0にイニシャライズされます。ソフトウェアスタンバイモード時にはイニシャライズされません。

ビット7~4 : リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

ビット3 : リザーブビット

リザーブビットです。リード/ライト可能です。

ビット2：グループ2ノンオーバーラップ（G2NOV）

TPC出力グループ2（TP₁₁～TP₈端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット2	説 明
G2NOV	
0	TPC出力グループ2は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ2は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット1：グループ1ノンオーバーラップ（G1NOV）

TPC出力グループ1（TP₇～TP₄端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット1	説 明
G1NOV	
0	TPC出力グループ1は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ1は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

ビット0：グループ0ノンオーバーラップ（G0NOV）

TPC出力グループ0（TP₃～TP₀端子）を通常動作させるか、ノンオーバーラップ動作させるかを選択します。

ビット0	説 明
G0NOV	
0	TPC出力グループ0は、通常動作（選択されたITUのコンペアマッチAで出力値を更新します。） (初期値)
1	TPC出力グループ0は、ノンオーバーラップ動作（選択されたITUのコンペアマッチA、Bにより、1出力、0出力を独立に行うことができます。）

9.3 動作説明

9.3.1 概要

TPC出力は、PADDR、PBDDRとNDERA、NDERBの対応するビットをそれぞれ“1”にセットすることにより許可状態となります。この状態では、対応するPADR、PBDRの内容が出力されます。

その後、TPCRで指定したコンペアマッチが発生すると、ビットに対応するNDRAおよびNDRBの内容がそれぞれPADRおよびPBDRに転送され、出力値が更新されます。

TPC出力動作を図9.2に示します。また、TPC動作条件を表9.3に示します。

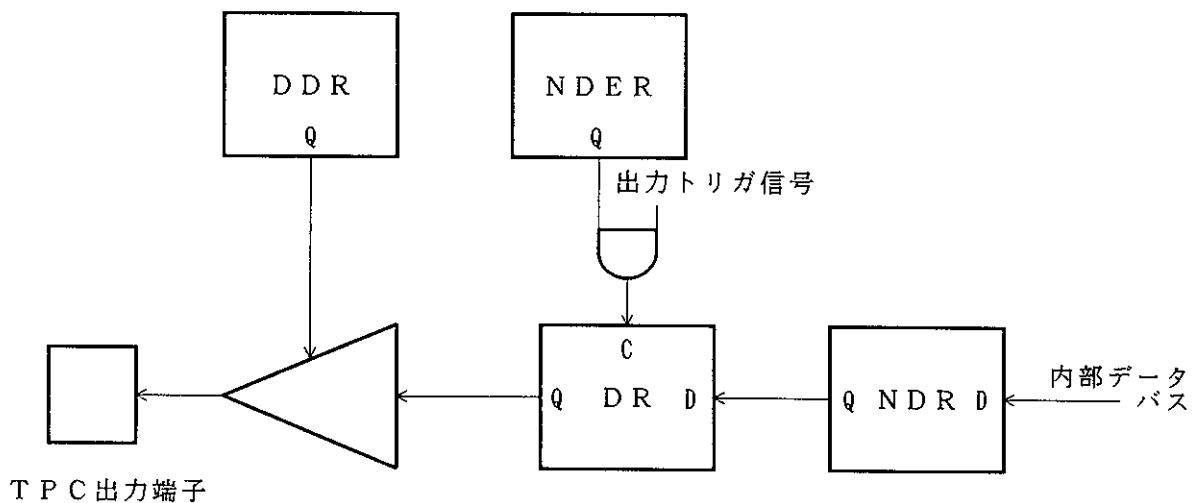


図9.2 TPC出力動作

表9.3 TPC動作条件

NDER	DDR	端子機能
0	0	入力ポート
	1	出力ポート
1	0	入力ポート（ただし、コンペアマッチ時にNDRからDRの転送を行い、DRへのライトはできません）
	1	TPCパルス出力

次のコンペアマッチが発生するまでにNDRAおよびNDRBに出力データを書き込むことにより、コンペアマッチごとに最大12ビットのデータを順次出力することができます。

ノンオーバーラップ動作については、「9.3.4 TPC出力ノンオーバーラップ動作」を参照してください。

9.3.2 出力タイミング

TPC出力許可状態で指定されたコンペアマッチが発生すると、NDR A/NDR Bの内容がPADR/PBDRに転送され、出力されます。

このタイミングを図9.3に示します。

コンペアマッチAにより、グループ2で通常出力を行った場合の例です。

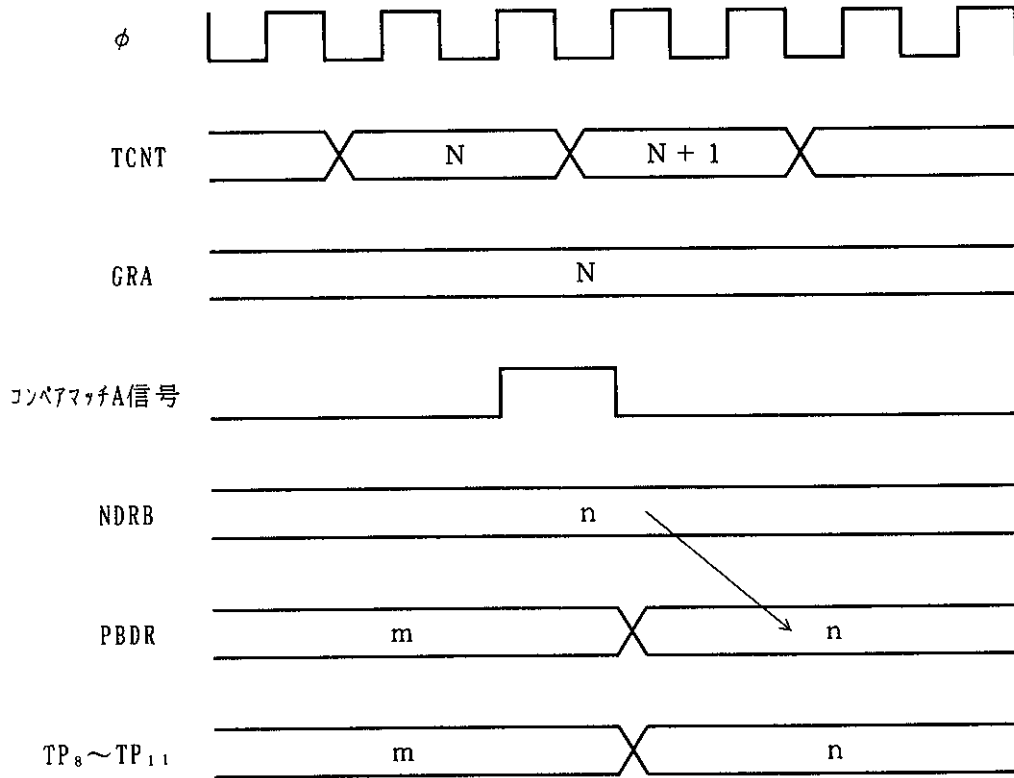


図9.3 NDRの内容が転送・出力されるタイミング(例)

9.3.3 T P C 出力通常動作

(1) T P C 出力通常動作の設定手順例

T P C 出力通常動作の設定手順例を図9.4に示します。

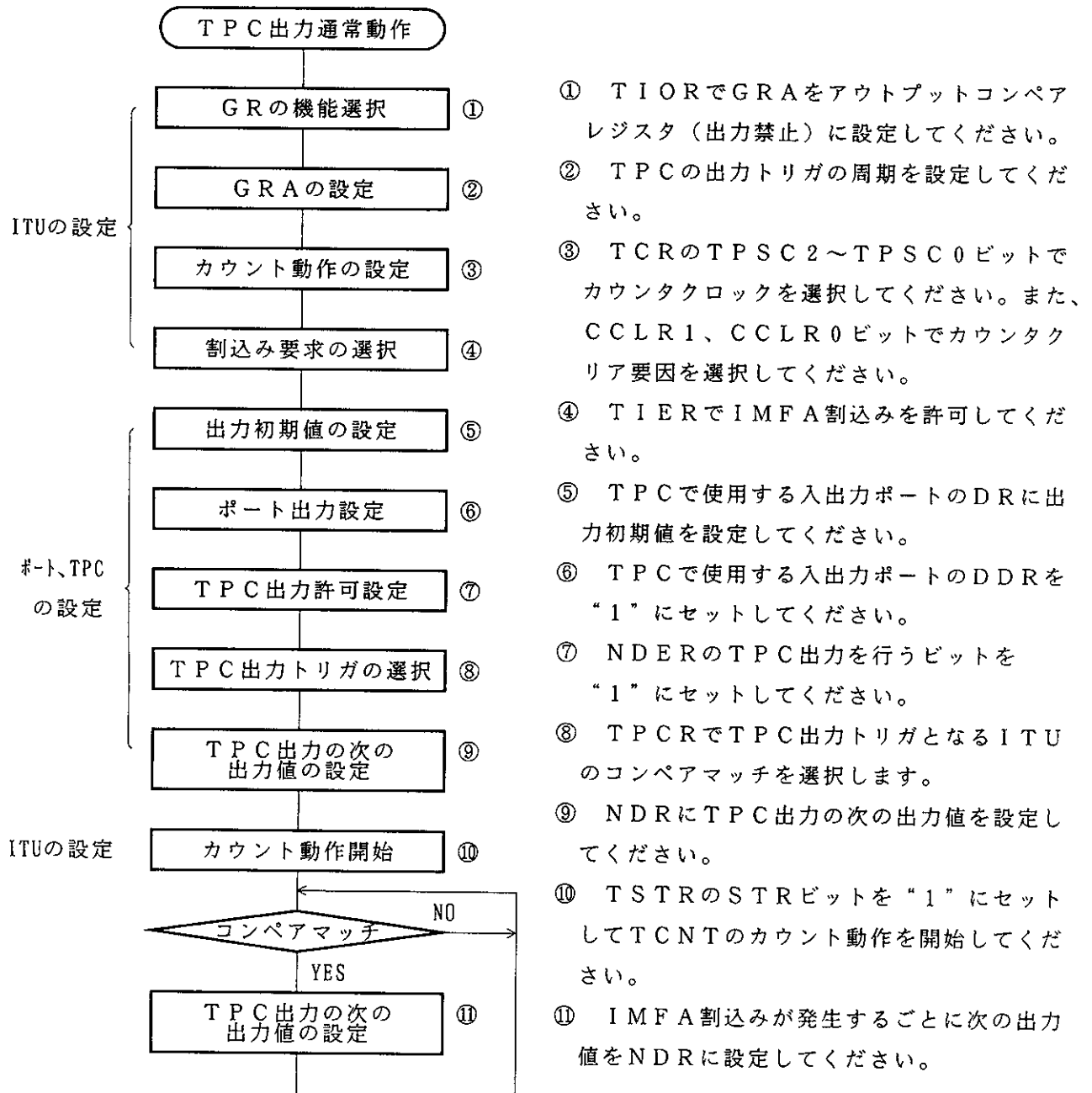
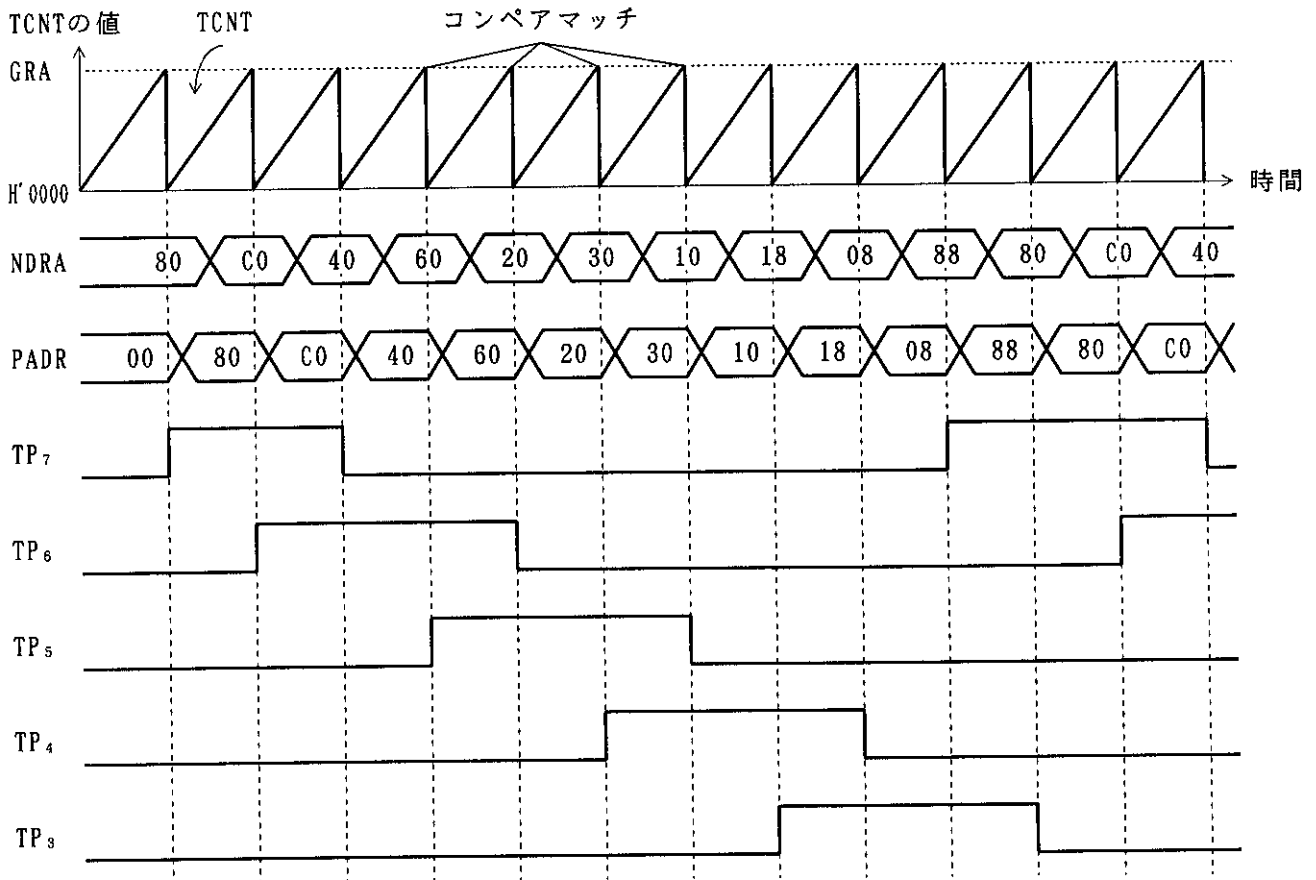


図9.4 T P C 出力通常動作の設定手順例

(2) T P C出力通常動作例（5相パルス出力例）

T P C出力を使用して一定周期で5相パルスを出力させた例を図9.5に示します。



- ① 出力トリガとするITUのGRAをアウトプットコンペアレジスタに設定します。
GRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのIMIEAビットを“1”にセットして、コンペアマッチA割込みを許可します。
- ② PADDRとNDERAにH'F8をライトし、TPCRのG1CMS1、G1CMS0ビットおよびG0CMS1、G0CMS0ビットにより出力トリガを①で選択したITUのコンペアマッチに設定します。NDRAに出力データH'80をライトします。
- ③ ITU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRAの内容がPADRに転送され出力されます。
コンペアマッチ/インプットキャプチャA（IMFA）割込み処理でNDRAに次の出力データH'C0をライトします。
- ④ 以後、IMFA割込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。

図9.5 T P C出力通常動作例（5相パルス出力例）

9.3.4 T P C出力ノンオーバーラップ動作

(1) T P C出力ノンオーバーラップ動作の設定手順例

T P C出力ノンオーバーラップ動作の設定手順例を図9.6に示します。

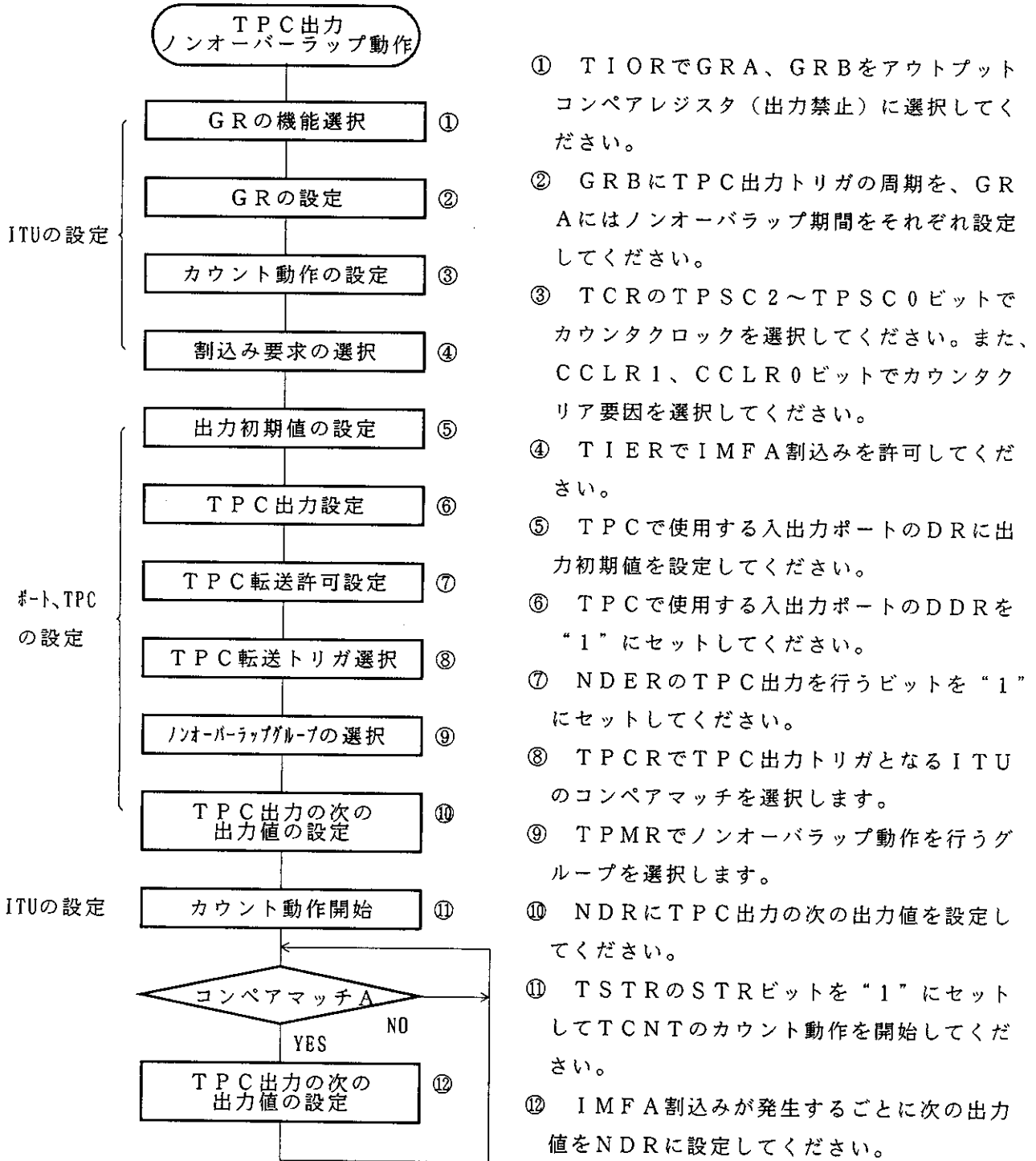
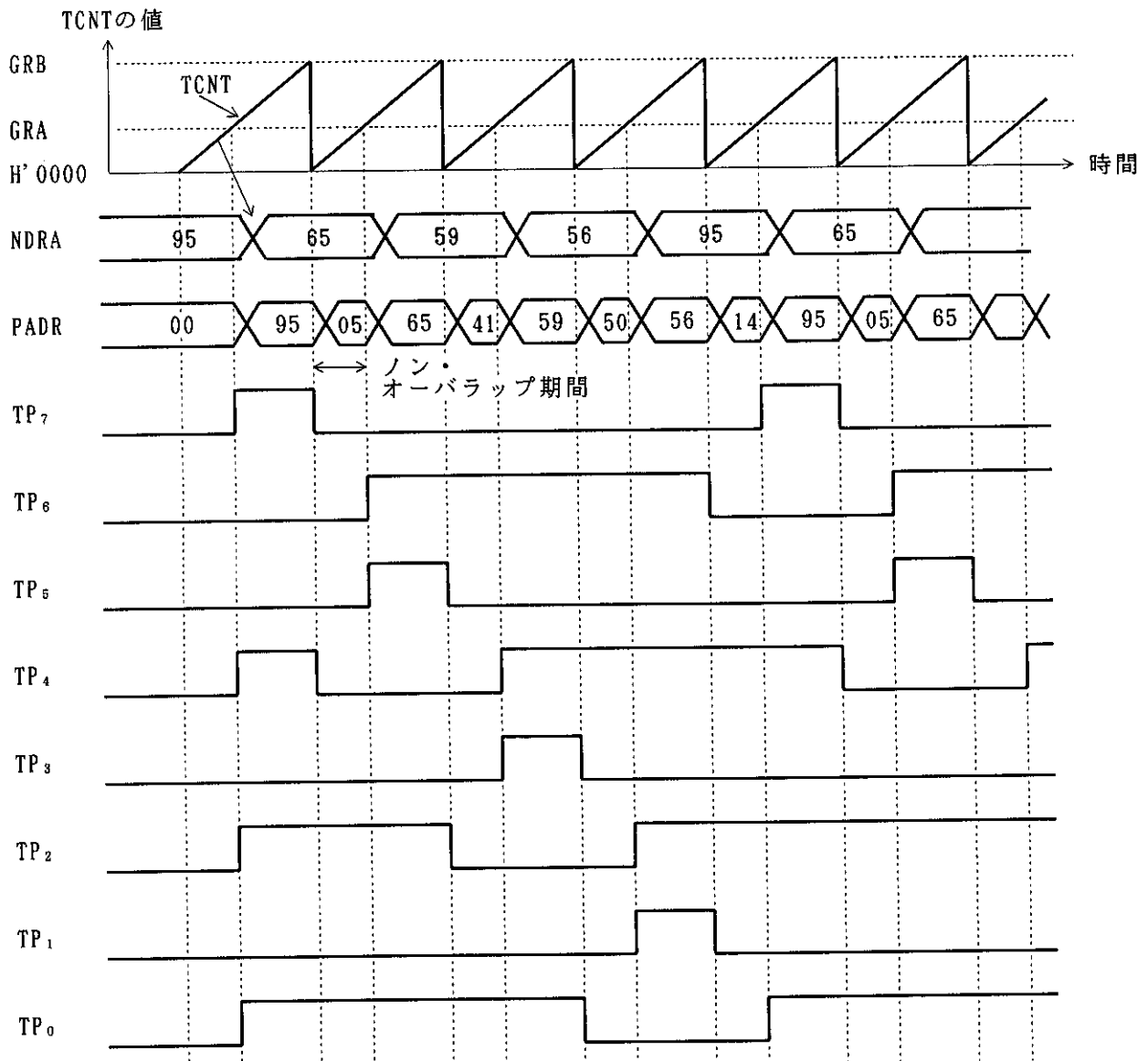


図9.6 T P C出力ノンオーバーラップ動作の設定手順例

(2) TPC出力ノンオーバーラップ動作例（8相の相補ノンオーバーラップ出力例）

TPC出力を使用して8相の相補ノンオーバーラップのパルスを出力させた例を図9.7に示します。



- ① 出力トリガとするITUのGRA、GRBをアウトプットコンペアレジスタに設定します。GRBには周期、GRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのIMIEAビットを"1"にセットして、IMFA割込みを許可します。
- ② PADDRとNDERAにH'FFをライトし、TPCRのG1CMS1、G1CMS0ビットおよびG0CMS1、G0CMS0ビットにより出力トリガを①で選択したITUのコンペアマッチに設定します。
TPMRのG1NOV、G0NOVビットをそれぞれ"1"にセットして、ノンオーバーラップ動作を設定します。

図9.7 TPC出力ノンオーバーラップ動作例（8相の相補ノンオーバーラップ出力例）(1)

NDRBに出力データH'95をライトします。

- ③ ITU当該チャンネルの動作を開始すると、GRBのコンペアマッチで1出力→0出力の変化、GRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はGRAの設定値分遅延することになります）。

IMFA割込み処理でNDRBに次の出力データH'65をライトします。

- ④ 以後、IMFA割込みで順次H'59、H'56、H'95…をライトすることで、8相の相補ノンオーバーラップ出力を発生することができます。

図9.7 TPC出力ノンオーバーラップ動作例（8相の相補ノンオーバーラップ出力例）(2)

9.3.5 インพุットキャプチャによるTPC出力

TPC出力は、ITUのコンペアマッチだけではなく、インพุットキャプチャによっても可能です。

TPCRによって選択されたITUのGRAがインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりTPC出力を行います。

このタイミングを図9.8に示します。

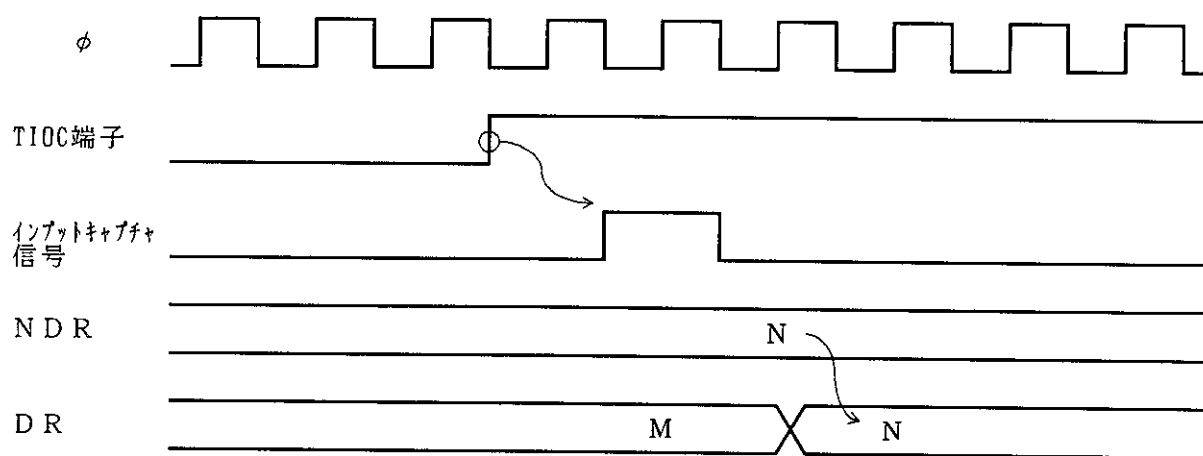


図9.8 インพุットキャプチャによるTPC出力例

9.4 使用上の注意

9.4.1 T P C出力端子の動作

TP₀～TP₁₁はI T Uやアドレス出力の端子と兼用になっています。これらの端子は、I T Uやアドレスが出力許可状態になっているときには、T P C出力を行うことができません。ただし N D RからD Rへの転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

9.4.2 ノンオーバーラップ動作時の注意

ノンオーバーラップ動作時のN D RからD Rの転送は以下のようにになっています。

- (1) コンペアマッチAではN D Rの内容を常にD Rへ転送します。
- (2) コンペアマッチBではN D Rの転送するビットの内容が“0”のときのみ転送を行います。“1”のときは転送を行いません。

ノンオーバーラップ時のT P C出力動作を図9.9に示します。

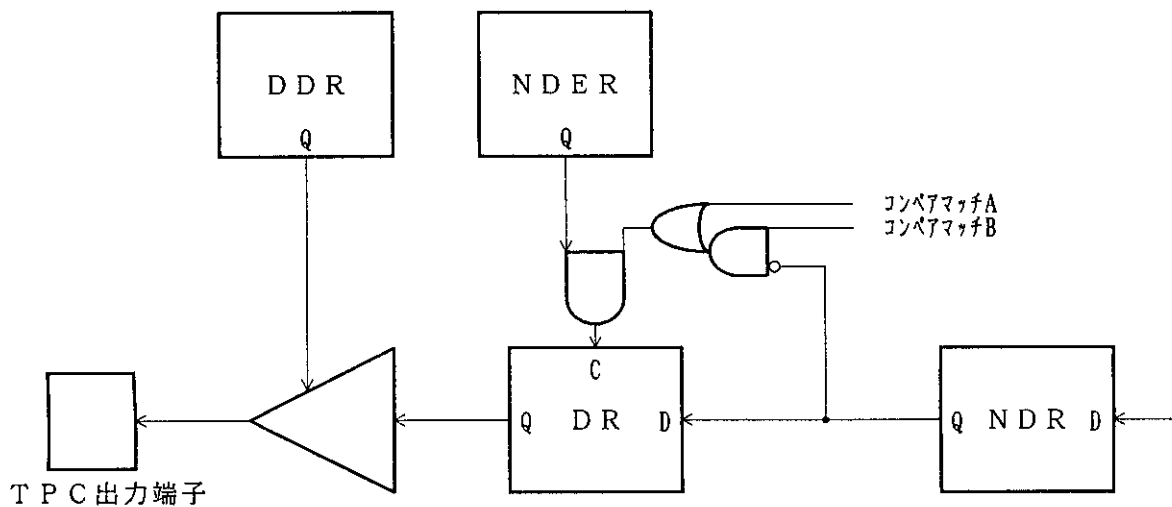


図9.9 T P C出力ノンオーバーラップ動作

したがって、コンペアマッチBを、コンペアマッチAよりも先に発生させることにより、“0”データの転送を“1”データの転送に先だって行うことが可能です。

この場合、コンペアマッチBが発生した後、コンペアマッチAが発生するまで（ノンオーバーラップ期間）の間、NDRの内容を変更しないようにしてください。

これはIMFA割込みの割込み処理ルーチンでNDRに次のデータをライトすることによって実現できます。ただし、このライトは次のコンペアマッチBが発生する前に行ってください。

このタイミングを図9.10に示します。

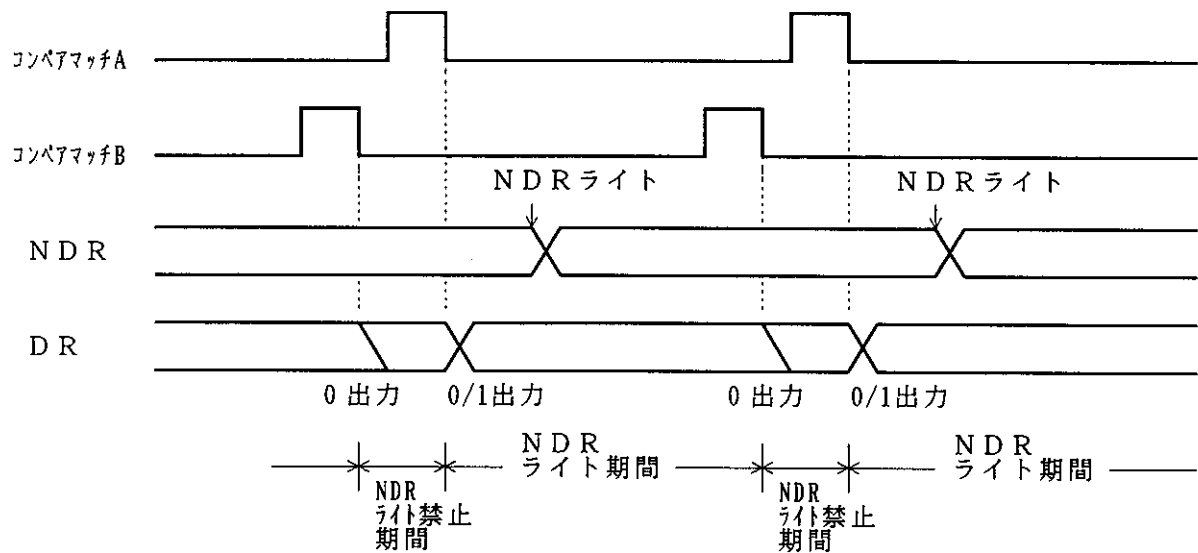


図9.10 ノンオーバーラップ動作とNDRライトタイミング

10. シリアルコミュニケーション インタフェース

第10章 目次

10.1	概要	293
10.1.1	特長	293
10.1.2	ブロック図	295
10.1.3	端子構成	296
10.1.4	レジスタ構成	296
10.2	各レジスタの説明	297
10.2.1	レシーブシフトレジスタ (RSR)	297
10.2.2	レシーブデータレジスタ (RDR)	297
10.2.3	トランスミットシフトレジスタ (TSR)	298
10.2.4	トランスミットデータレジスタ (TDR)	298
10.2.5	シリアルモードレジスタ (SMR)	299
10.2.6	シリアルコントロールレジスタ (SCR)	303
10.2.7	シリアルステータスレジスタ (SSR)	307
10.2.8	ビットレートレジスタ (BRR)	312
10.3	動作説明	320
10.3.1	概要	320
10.3.2	調歩同期式モード時の動作	322
10.3.3	マルチプロセッサ通信機能	331
10.3.4	クロック同期式モード時の動作	338
10.4	SCI 割込み	347
10.5	使用上の注意	348

10.1 概要

H8/3001は、独立した1チャンネルのシリアルコミュニケーションインタフェース（S C I : Serial Communication Interface）を備えています。

S C Iは、調歩同期式通信とクロック同期式通信の2方式でシリアル通信ができます。また、複数のプロセッサ間のシリアル通信機能（マルチプロセッサ通信機能）を備えています。

10.1.1 特長

S C Iの特長を以下に示します。

■ シリアル通信モードを調歩同期式モード／クロック同期式モードから選択可能

(a) 調歩同期式モード

キャラクタ単位で同期をとる調歩同期式方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter（U A R T）やAsynchronous Communication Interface Adapter（A C I A）など標準の調歩同期式通信用L S Iとのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。

シリアルデータ通信フォーマットを12種類のフォーマットから選択できます。

- ・データ長：7ビット／8ビット
- ・ストップビット長：1ビット／2ビット
- ・パリティ：偶数パリティ／奇数パリティ／パリティなし
- ・マルチプロセッサビット：“1”／“0”
- ・受信エラーの検出：パリティエラー、オーバランエラー、フレーミングエラーを検出
- ・ブレークの検出：フレーミングエラー発生時にRxD端子のレベルを直接リードすることによりブレークを検出できます。

(b) クロック同期式モード

クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他のL S Iとのシリアルデータ通信が可能です。

シリアルデータ通信フォーマットは1種類です。

- ・データ長：8ビット
- ・受信エラーの検出：オーバランエラーを検出

■ 全二重通信が可能

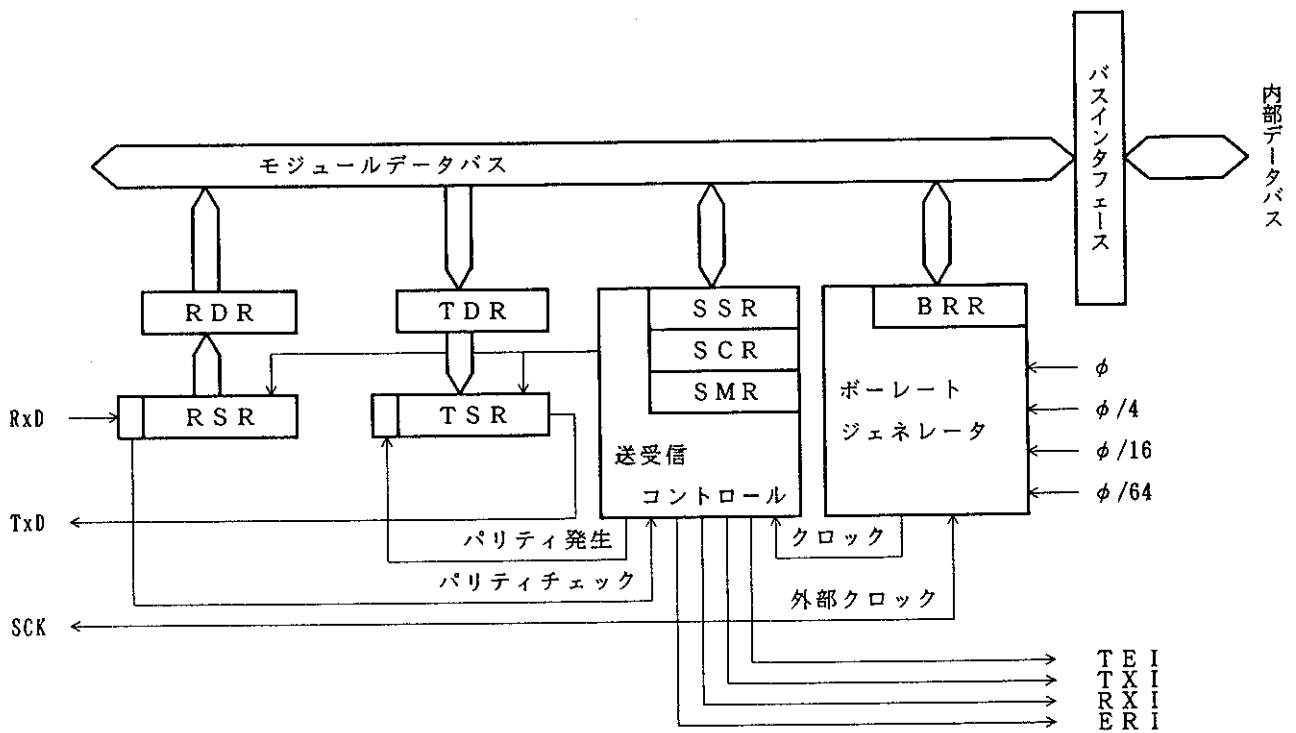
独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。

また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。

- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、またはSCK端子からの外部クロックから選択可能
- 4種類の割込み要因
送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割込み要因があり、それぞれ独立に要求することができます。

10.1.2 ブロック図

図10.1にS C Iのブロック図を示します。



《記号説明》

- R S R : レシーブシフトレジスタ
- R D R : レシーブデータレジスタ
- T S R : トランスミットシフトレジスタ
- T D R : トランスミットデータレジスタ
- S M R : シリアルモードレジスタ
- S C R : シリアルコントロールレジスタ
- S S R : シリアルステータスレジスタ
- B R R : ビットレートレジスタ

図10.1 S C Iのブロック図

10.1.3 端子構成

SCIは、表10.1に示すシリアル端子を持っています。

表10.1 端子構成

名 称	略 称	入出力	機 能
シリアルクロック端子	SCK	入出力	SCIのクロック入出力
レシーブデータ端子	RxD	入力	SCIの受信データ入力
トランスミットデータ端子	TxD	出力	SCIの送信データ出力

10.1.4 レジスタ構成

SCIには、表10.2に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。

表10.2 レジスタ構成

アドレス* ¹	名 称	略 称	R/W	初期値
H'FFB0	シリアルモードレジスタ	SMR	R/W	H'00
H'FFB1	ビットレートレジスタ	BRR	R/W	H'FF
H'FFB2	シリアルコントロールレジスタ	SCR	R/W	H'00
H'FFB3	トランスミットデータレジスタ	TDR	R/W	H'FF
H'FFB4	シリアルステータスレジスタ	SSR	R/(W)* ²	H'84
H'FFB5	レシーブデータレジスタ	RDR	R	H'00

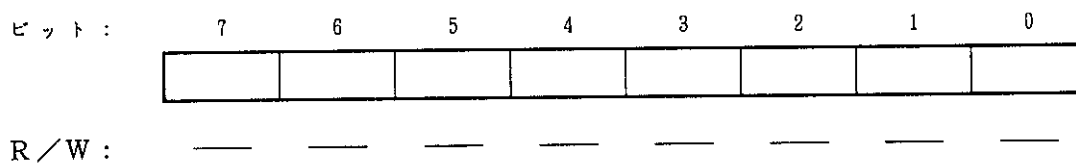
【注】 *¹ アドレスの下位16ビットを示しています。

*² フラグをクリアするための“0”ライトのみ可能です。

10.2 各レジスタの説明

10.2.1 レシーブシフトレジスタ (RSR)

RSRは、シリアルデータを受信するためのレジスタです。

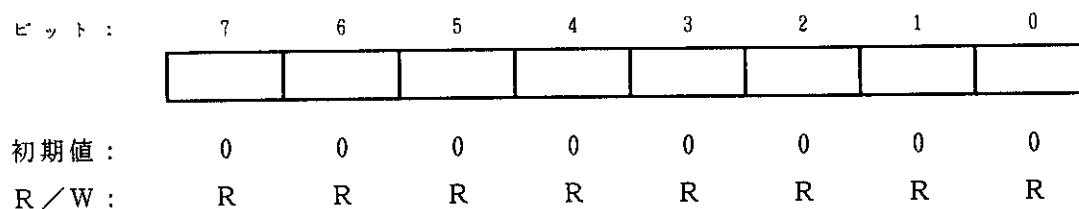


SCIは、RSRにRxD端子から入力されたシリアルデータをLSB（ビット0）から受信した順にセットし、パラレルデータに変換します。1バイトのデータ受信を終了すると、データは自動的にRDRへ転送されます。

CPUからRSRを直接リード/ライトすることはできません。

10.2.2 レシーブデータレジスタ (RDR)

RDRは、受信したシリアルデータを格納するレジスタです。



SCIは、1バイトのシリアルデータの受信が終了すると、RSRからRDRへ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSRは受信可能になります。

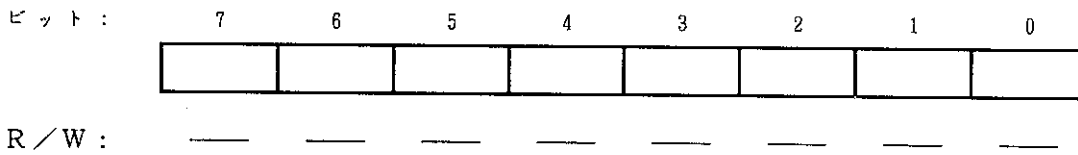
このように、RSRとRDRはダブルバッファになっているため連続した受信動作が可能です。

RDRは、リード専用レジスタですのでCPUからライトすることはできません。

RDRは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

10.2.3 トランスミットシフトレジスタ (TSR)

TSRは、シリアルデータを送信するためのレジスタです。



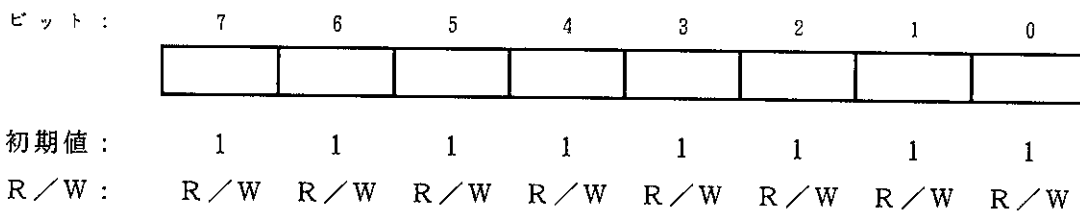
SCIは、TDRから送信データを一旦TSRに転送し、LSB（ビット0）から順にTxD端子に送り出すことでシリアルデータ送信を行います。

1バイトのデータ送信を終了すると自動的にTDRからTSRへ次の送信データを転送し、送信を開始します。ただしSSRのTDREビットが“1”にセットされている場合には、TDRからTSRへのデータ転送は行いません。

CPUから、直接TSRをリード/ライトすることはできません。

10.2.4 トランスミットデータレジスタ (TDR)

TDRは、シリアル送信するデータを格納する8ビットのレジスタです。



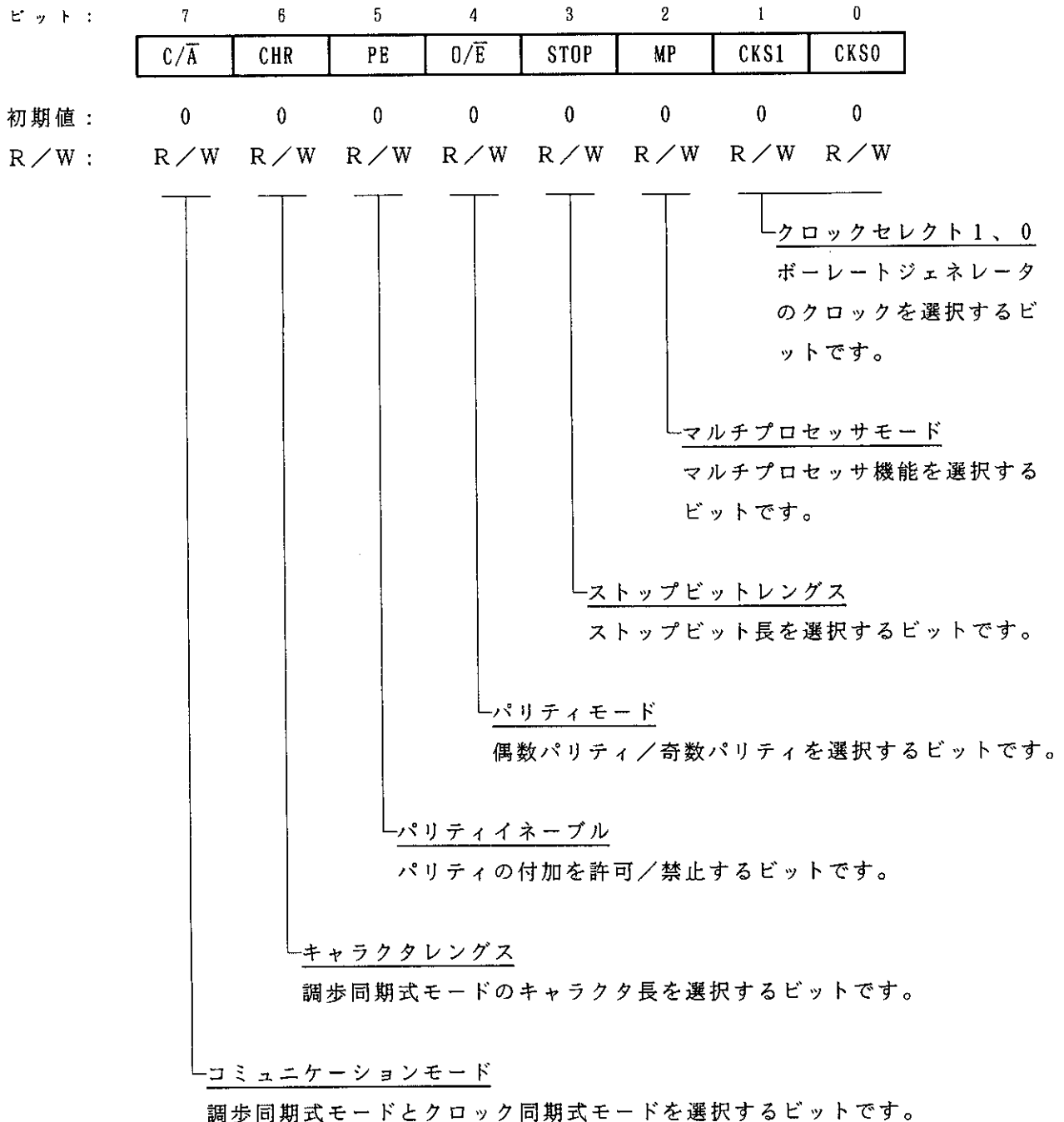
SCIは、TSRの空を検出すると、TDRにライトされた送信データをTSRに転送してシリアル送信を開始します。TSRのシリアルデータ送信中にTDRに次の送信データをライトしておくと、連続シリアル送信がてきます。

TDRは、常にCPUによるリード/ライトが可能です。

TDRは、リセット、またはスタンバイモード時に0xFFにイニシャライズされます。

10.2.5 シリアルモードレジスタ (SMR)

SMRは、SCIのシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための8ビットのレジスタです。



SMRは、常にCPUによるリード/ライトが可能です。

SMRは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：コミュニケーションモード (C/A)

SCIの動作モードを調歩同期式モード/クロック同期式モードのいずれかから選択します。

ビット7	説 明	
C/A		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

ビット6：キャラクタレングス (CHR)

調歩同期式モードのデータ長を7ビット/8ビットデータのいずれかから選択します。クロック同期式モードではCHRの設定にかかわらず、データ長は8ビットデータ固定です。

ビット6	説 明	
CHR		
0	8ビットデータ	(初期値)
1	7ビットデータ*	

【注】* 7ビットデータを選択した場合、TDRのMSB (ビット7) は送信されません。

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードでは、PEビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説 明	
PE		
0	パリティビットの付加、およびチェックを禁止	(初期値)
1	パリティビットの付加、およびチェックを許可*	

【注】* PEビットに“1”をセットすると送信時には、O/Eビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットがO/Eビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード（O/E）

パリティの付加やチェックを偶数パリティ／奇数パリティのいずれで行うかを選択します。

O/Eビットの設定は、調歩同期式モードでPEビットに“1”を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合には、O/Eビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】*¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が偶数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が偶数であるかどうかをチェックします。

*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタをあわせて、その中の“1”の数の合計が奇数になるようにパリティビットを付加して送信します。

受信時には、パリティビットと受信キャラクタをあわせて、その中の“1”の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス（STOP）

調歩同期式モードでのストップビットの長さを1ビット／2ビットのいずれかから選択します。

STOPビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説明
STOP	
0	1ストップビット* ¹ (初期値)
1	2ストップビット* ²

【注】*¹ 送信時には、送信キャラクタの最後尾に1ビットの1（ストップビット）を付加して送信します。

*² 送信時には、送信キャラクタの最後尾に2ビットの1（ストップビット）を付加して送信します。

なお、受信時にはSTOPビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が“1”の場合は、ストップビットとして扱いますが、“0”の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード（MP）

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PEビット、およびO/Eビットにおけるパリティの設定は無効になります。また、MPビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MPビットの設定は無効です。

マルチプロセッサ通信機能については、「10.3.3 マルチプロセッサ通信機能」を参照してください。

ビット2	説明
MP	
0	マルチプロセッサ機能の禁止 (初期値)
1	マルチプロセッサフォーマットを選択

ビット1、0：クロックセレクト1、0（CKS1、0）

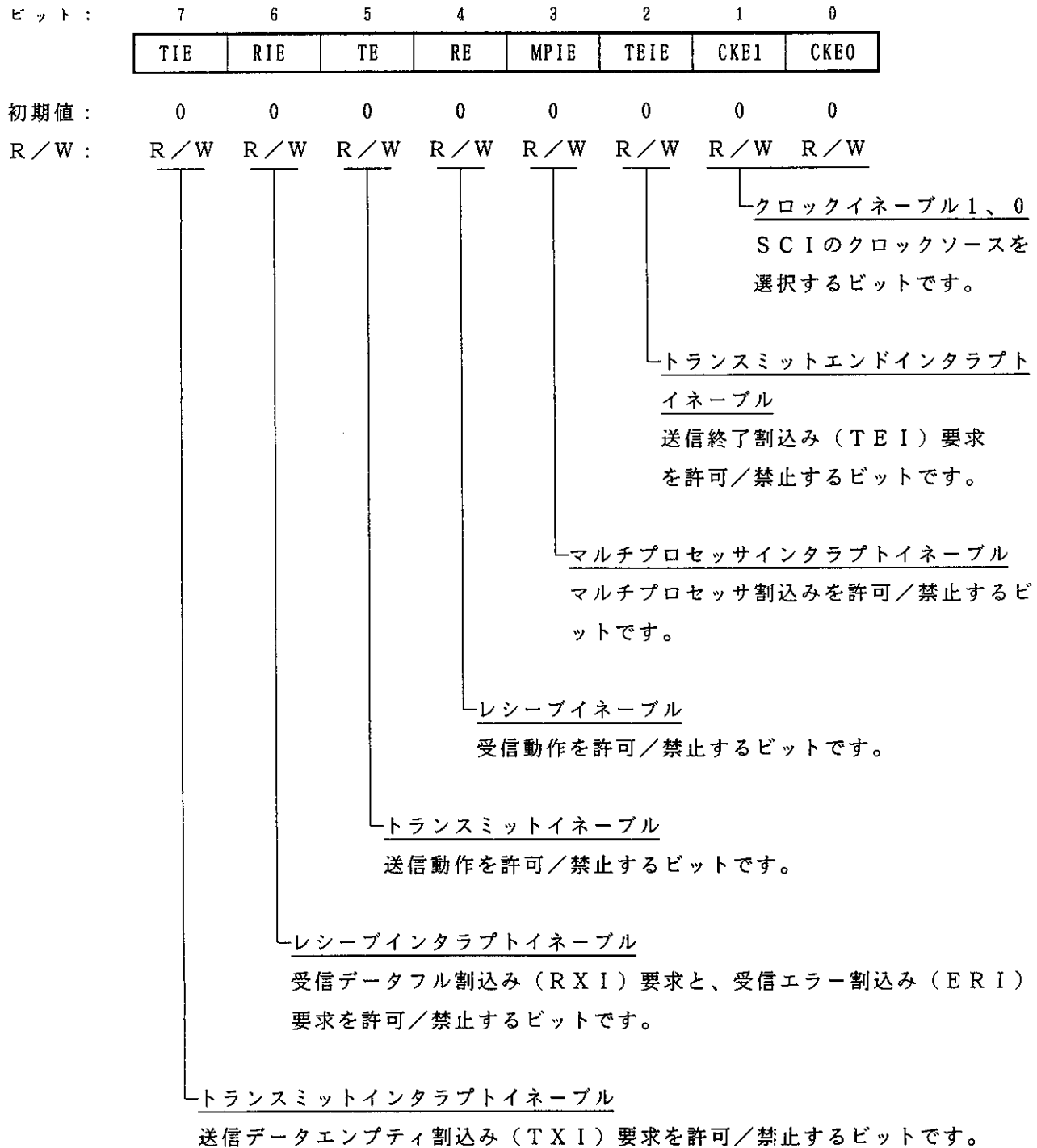
内蔵ポーレートジェネレータのクロックソースを選択します。CKS1、0ビットの設定により ϕ 、 $\phi/4$ 、 $\phi/16$ 、 $\phi/64$ の4種類からクロックソースを選択できます。

クロックソースと、ビットレートレジスタの設定値、およびポーレートの関係については、「10.2.8 ビットレートレジスタ」を参照してください。

ビット1	ビット0	説明
CKS1	CKS0	
0	0	ϕ クロック (初期値)
0	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
1	1	$\phi/64$ クロック

10.2.6 シリアルコントロールレジスタ (SCR)

SCRは、SCIの送信/受信動作、調歩同期式モードでのシリアルクロック出力、割込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。



SCRは、常にCPUによるリード/ライトが可能です。

SCRは、リセット、またはスタンバイモード時にH'00にイニシャライズされます。

ビット7：トランスミットインタラプトイネーブル（TIE）

TDRからTSRへシリアル送信データが転送されSSRのTDREフラグが“1”にセットされたときに、送信データエンプティ割込み（TXI）要求の発生を許可／禁止します。

ビット7	説 明	
TIE		
0	送信データエンプティ割込み（TXI）要求の禁止*	（初期値）
1	送信データエンプティ割込み（TXI）要求の許可	

【注】* TXI割込み要求の解除は、TDREフラグから“1”をリードした後、“0”にクリアするか、またはTIEビットを“0”にクリアすることで行うことができます。

ビット6：レシーブインタラプトイネーブル（RIE）

シリアル受信データがRSRからRDRへ転送されてSSRのRDRFフラグが“1”にセットされたとき、受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求の発生を許可／禁止します。

ビット6	説 明	
RIE		
0	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を禁止*	（初期値）
1	受信データフル割込み（RXI）要求、および受信エラー割込み（ERI）要求を許可	

【注】* RXI、およびERI割込み要求の解除は、RDRF、またはFER、PER、ORERの各フラグから“1”をリードした後、“0”にクリアするか、RIEビットを“0”にクリアすることで行えます。

ビット5：トランスミットイネーブル（TE）

SCIのシリアル送信動作の開始を許可／禁止します。

ビット5	説 明	
TE		
0	送信動作を禁止* ¹	（初期値）
1	送信動作を許可* ²	

【注】*¹ SSRのTDREフラグは“1”に固定されます。

*² この状態で、TDRに送信データをライトして、SSRのTDREフラグを“0”にクリアするとシリアル送信を開始します。

なお、TEビットを“1”にセットする前に必ずSMRの設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル（RE）

SCIのシリアル受信動作の開始を許可／禁止します。

ビット4	説 明	
RE		
0	受信動作を禁止* ¹	(初期値)
1	受信動作を許可* ²	

【注】*¹ REビットを“0”にクリアしてもRDRF、FER、PER、ORERの各フラグは影響を受けず、状態を保持しますので注意してください。

*² この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。

なお、REビットを“1”にセットする前に必ずSMRの設定を行い、受信フォーマットを決定してください。

ビット3：マルチプロセッサインタラプトイネーブル（MPIE）

マルチプロセッサ割込みを許可／禁止します。MPIEビットの設定は、調歩同期式モードで、かつ、SMRのMPビットが“1”に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいはMPビットが“0”のときにはMPIEビットの設定は無効です。

ビット3	説 明	
MPIE		
0	マルチプロセッサ割込み禁止状態（通常の実受信動作をします） 〔クリア条件〕 (1) MPIEビットを“0”にクリア (2) MPB = “1”のデータを受信したとき	(初期値)
1	マルチプロセッサ割込み許可状態* マルチプロセッサビットが“1”のデータを受け取るまで受信割込み(RXI)要求、受信エラー割込み(ERI)要求、およびSSRのRDRF、FER、ORERの各フラグのセットを禁止します。	

【注】* RSRからRDRへの受信データの転送、および受信エラーの検出とSSRのRDRF、FER、ORERの各フラグのセットは行いません。MPB = “1”を含む受信データを受信すると、SSRのMPBビットを“1”にセットし、MPIEビットを自動的に“0”にクリアし、RXI、ERI割込み要求の発生（SCRのTIE、RIEビットが“1”にセットされている場合）とFER、ORERフラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル（TEIE）

MSBデータ送出時に有効な送信データがTDRにないとき、送信終了割込み（TEI）要求の発生を許可／禁止します。

ビット2	説 明	
TEIE		
0	送信終了割込み（TEI）要求を禁止*	（初期値）
1	送信終了割込み（TEI）要求を許可*	

【注】* TEIの解除は、SSRのTDREフラグから“1”をリードした後、“0”にクリアしてTENDフラグを“0”にクリアするか、TEIEビットを“0”にクリアすることで行うことができます。

ビット1、0：クロックイネーブル1、0（CKE1、0）

SCIのクロックソースの選択、およびSCK端子からのクロック出力の許可／禁止を設定します。CKE1ビットとCKE0ビットの組み合わせによってSCK端子を入出力ポートにするか、シリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。

ただし、CKE0ビットの設定は調歩同期式モードで内部クロック動作（CKE1＝“0”）時のみ有効です。クロック同期式モードのとき、および外部クロック動作（CKE＝“1”）の場合はCKE0ビットの設定は無効です。また、SMRでSCIの動作モードを決定したのち、CKE1、CKE0の設定を行ってください。

SCIのクロックソースの選択についての詳細は「10.3 動作説明」の表10.9を参照してください。

ビット1	ビット0	説 明	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック／SCK端子は入出力ポート* ¹
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力* ¹
0	1	調歩同期式モード	内部クロック／SCK端子はクロック出力* ²
		クロック同期式モード	内部クロック／SCK端子は同期クロック出力
1	0	調歩同期式モード	外部クロック／SCK端子はクロック入力* ³
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力
1	1	調歩同期式モード	外部クロック／SCK端子はクロック入力* ³
		クロック同期式モード	外部クロック／SCK端子は同期クロック入力

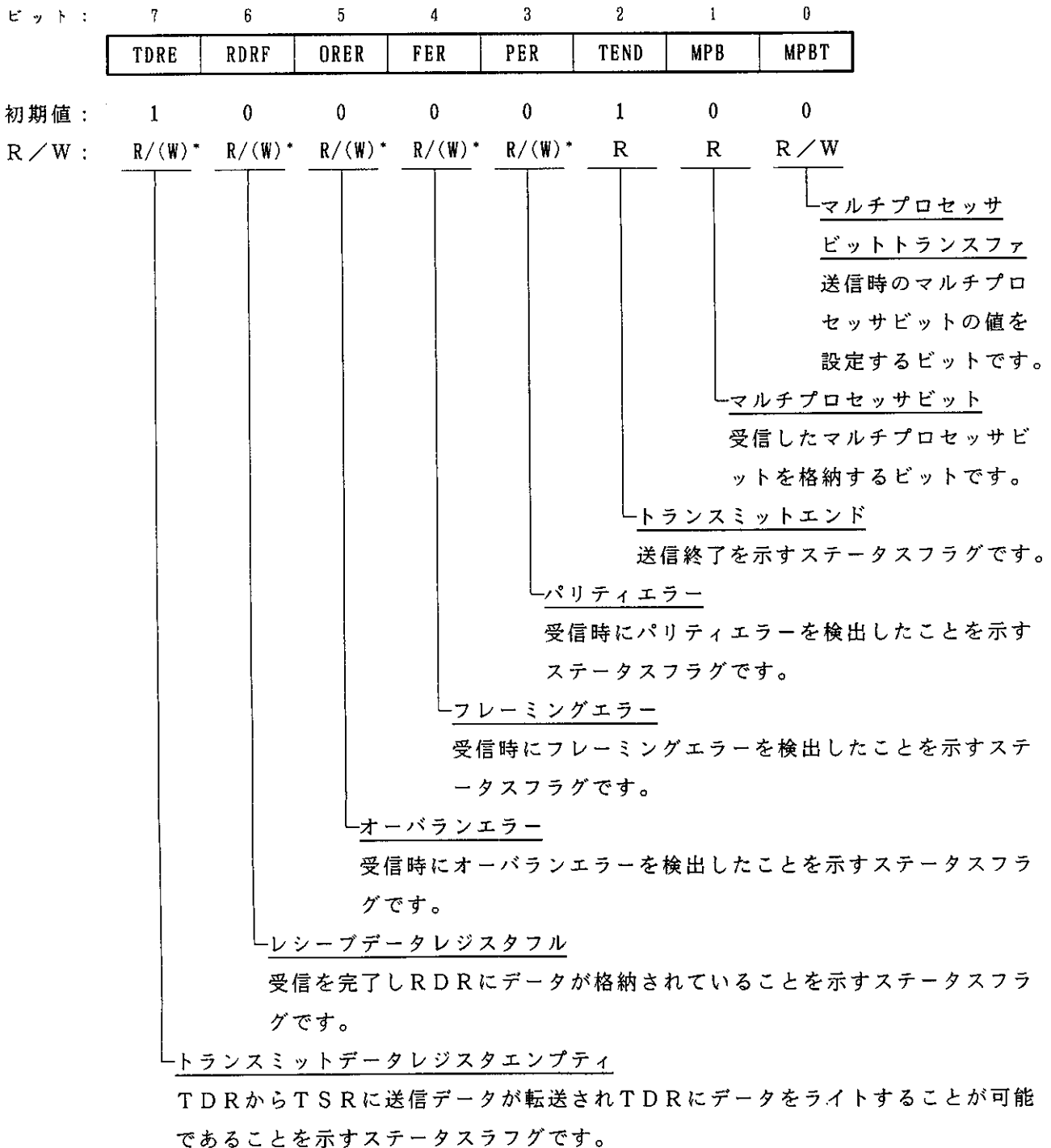
【注】*¹ 初期値

*² ビットレートと同じ周波数のクロックを出力

*³ ビットレートの16倍の周波数のクロックを入力

10.2.7 シリアルステータスレジスタ (SSR)

SCIの動作状態を示すステータスフラグと、マルチプロセッサビットを内蔵した8ビットのレジスタです。



【注】* フラグをクリアするための“0”ライトのみ可能です。

SSRは常にCPUからリード/ライトできます。ただし、TDRE、RDRF、ORER、PER、FERの各フラグへ“1”をライトすることはできません。また、これらを“0”にクリアするためには、あらかじめ“1”をリードしておく必要があります。また、TENDフラグ、およびMPBフラグはリード専用であり、ライトすることはできません。

SSRは、リセット、またはスタンバイモード時にH'84にイニシャライズされます。

ビット7：トランスミットデータレジスタEMPTY (TDRE)

TDRからTSRにデータ転送が行われTDRに次のシリアル送信データをライトすることが可能になったことを示します。

ビット7	説明
TDRE	
0	TDRに有効な送信データがライトされていることを表示 〔クリア条件〕 (1) TDRE = “1”の状態をリードした後、“0”をライトしたとき (2) DMACでTDRへデータをライトしたとき
1	TDRに有効な送信データがないことを表示 〔セット条件〕 (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが“0”のとき (3) TDRからTSRにデータ転送が行われTDRにデータライトが可能になったとき

ビット6：レシーブデータレジスタフル (RDRF)

受信したデータがRDRに格納されていることを示します。

ビット6	説明
RDRF	
0	RDRに受信データが格納されていないことを表示 (初期値) 〔クリア条件〕 (1) リセット、またはスタンバイモード時 (2) RDRF = “1”の状態をリードした後、“0”をライトしたとき (3) DMACでRDRのデータをリードしたとき
1	RDRに受信データが格納されていることを表示 〔セット条件〕 シリアル受信が正常終了し、RSRからRDRへ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびSCRのREビットを“0”にクリアしたときにはRDRおよびRDRFフラグは影響を受けず以前の状態を保持します。

RDRFフラグが“1”にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー（O R E R）

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説 明
O R E R	
0	受信中、または正常に受信を完了したことを表示 (初期値) ^{*1} [クリア条件] (1) リセット、またはスタンバイモード時 (2) O R E R = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にオーバランエラーが発生したことを表示 ^{*2} [セット条件] R D R F = “1” の状態で次のシリアル受信を完了したとき

【注】^{*1} S C RのR Eビットを“0”にクリアしたときには、O R E Rフラグは影響を受けず以前の状態を保持します。

^{*2} R D Rではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、O R E R = “1” にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー（F E R）

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説 明
F E R	
0	受信中、または正常に受信を完了したことを表示 (初期値) ^{*1} [クリア条件] (1) リセット、またはスタンバイモード時 (2) F E R = “1” の状態をリードした後、“0” をライトしたとき
1	受信時にフレーミングエラーが発生したことを表示 [セット条件] S C Iが受信終了時に受信データの最後尾のストップビットが“1”であるかどうかをチェックし、ストップビットが“0”であったとき ^{*2}

【注】^{*1} S C RのR Eビットを“0”にクリアしたときには、F E Rフラグは影響を受けず以前の状態を保持します。

^{*2} 2ストップビットモードのときは、1ビット目のストップビットが“1”であるかどうかのみを判定し、2ビット目のストップビットはチェックをしません。なお、フレーミングエラーが発生したときの受信データはR D Rに転送されますが、R D R Fフラグはセットされません。さらに、F E Rフラグが“1”にセットされた状態においては、以降のシリアル受信を続けることはできません。また、クロック同期式モードでは、シリアル送信も続けることができません。

ビット3：パリティエラー（PER）

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) リセット、またはスタンバイモード時 (2) PER = “1” の状態をリードした後、“0”をライトしたとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットをあわせた1の数が、SMRのO/ \bar{E} ビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】*¹ SCRのREビットを“0”にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*² パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが“1”にセットされた状態では、以降のシリアル受信を続けることはできません。さらに、クロック同期式モードでは、シリアル送信も続けることができません。

ビット2：トランスミットエンド（TEND）

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDフラグはリード専用ですので、ライトすることはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE = “1” の状態をリードした後、TDREフラグに“0”をライトしたとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) リセット、またはスタンバイモード時 (2) SCRのTEビットが“0”のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE = “1”であったとき

ビット1：マルチプロセッサビット（MPB）

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPBビットは、リード専用であり、ライトすることはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが“0”のデータを受信したことを表示*（初期値）
1	マルチプロセッサビットが“1”のデータを受信したことを表示

【注】* マルチプロセッサフォーマットでREビットを“0”にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ（MPBT）

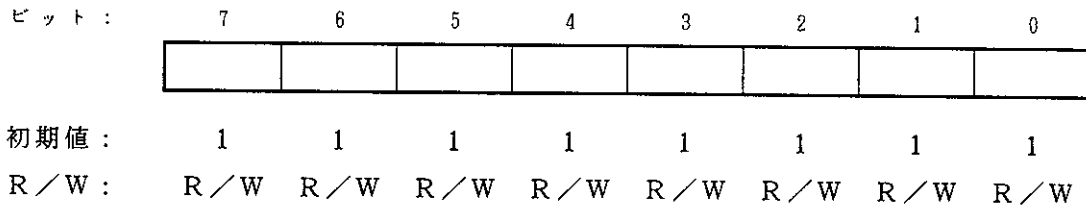
調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときにはMPBTビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが“0”のデータを送信（初期値）
1	マルチプロセッサビットが“1”のデータを送信

10.2.8 ビットレートレジスタ (BRR)

BRRは、SMRのCKS1、CKS0ビットで選択されるボーレートジェネレータの動作クロックとあわせて、シリアル送信/受信のビットレートを設定する8ビットのレジスタです。



BRRは、常にCPUによるリード/ライトが可能です。

BRRは、リセット、またはスタンバイモード時にH'FFにイニシャライズされます。

表10.3に調歩同期式モードのBRRの設定例を表10.4にクロック同期式モードのBRRの設定例を示します。

表10.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(1)

ϕ (MHz) ビットレート (bit/s)	2			2.097152			2.4576			3		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	1	141	0.03	1	148	-0.04	1	174	-0.26	1	212	0.03
150	1	103	0.16	1	108	0.21	1	127	0.00	1	155	0.16
300	0	207	0.16	0	217	0.21	0	255	0.00	1	77	0.16
600	0	103	0.16	0	108	0.21	0	127	0.00	0	155	0.16
1200	0	51	0.16	0	54	-0.70	0	63	0.00	0	77	0.16
2400	0	25	0.16	0	26	1.14	0	31	0.00	0	38	0.16
4800	0	12	0.16	0	13	-2.48	0	15	0.00	0	19	-2.34
9600	0	6	-6.99	0	6	-2.48	0	7	0.00	0	9	-2.34
19200	0	2	8.51	0	2	13.78	0	3	0.00	0	4	-2.34
31250	0	1	0.00	0	1	4.86	0	1	22.88	0	2	0.00
38400	0	1	-18.62	0	1	-14.67	0	1	0.00	-	-	-

ϕ (MHz) ビットレート (bit/s)	3.6864			4			4.9152			5		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	64	0.70	2	70	0.03	2	86	0.31	2	88	-0.25
150	1	191	0.00	1	207	0.16	1	255	0.00	2	64	0.16
300	1	95	0.00	1	103	0.16	1	127	0.00	1	129	0.16
600	0	191	0.00	0	207	0.16	0	255	0.00	1	64	0.16
1200	0	95	0.00	0	103	0.16	0	127	0.00	0	129	0.16
2400	0	47	0.00	0	51	0.16	0	63	0.00	0	64	0.16
4800	0	23	0.00	0	25	0.16	0	31	0.00	0	32	-1.36
9600	0	11	0.00	0	12	0.16	0	15	0.00	0	15	1.73
19200	0	5	0.00	0	6	-6.99	0	7	0.00	0	7	1.73
31250	-	-	-	0	3	0.00	0	4	-1.70	0	4	0.00
38400	0	2	0.00	0	2	8.51	0	3	0.00	0	3	1.73

表10.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(2)

ϕ (MHz) ビットレート (bit/s)	6			6.144			7.3728			8		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	106	-0.44	2	108	0.08	2	130	-0.07	2	141	0.03
150	2	77	0.16	2	79	0.00	2	95	0.00	2	103	0.16
300	1	155	0.16	1	159	0.00	1	191	0.00	1	207	0.16
600	1	77	0.16	1	79	0.00	1	95	0.00	1	103	0.16
1200	0	155	0.16	0	159	0.00	0	191	0.00	0	207	0.16
2400	0	77	0.16	0	79	0.00	0	95	0.00	0	103	0.16
4800	0	38	0.16	0	39	0.00	0	47	0.00	0	51	0.16
9600	0	19	-2.34	0	19	0.00	0	23	0.00	0	25	0.16
19200	0	9	-2.34	0	9	0.00	0	11	0.00	0	12	0.16
31250	0	5	0.00	0	5	2.40	0	6	5.33	0	7	0.00
38400	0	4	-2.34	0	4	0.00	0	5	0.00	0	6	-6.99

ϕ (MHz) ビットレート (bit/s)	9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

表10.3 ビットレートに対するBRRの設定例〔調歩同期式モード〕(3)

ϕ (MHz) ビットレート (bit/s)	14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	181	0.16	2	191	0.00	2	207	0.16
300	2	90	0.16	2	95	0.00	2	103	0.16
600	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	10	3.57	0	11	0.00	0	12	0.16

表10.4 ビットレートに対するBRRの設定例〔クロック同期式モード〕

ビットレート (bit/s)	φ (MHz)		2		4		8		10		16	
	n	N	n	N	n	N	n	N	n	N	n	N
110	3	70	—	—	—	—	—	—	—	—	—	—
250	2	124	2	249	3	124	—	—	3	249	—	—
500	1	249	2	124	2	249	—	—	3	124	—	—
1k	1	124	1	249	2	124	—	—	2	249	—	—
2.5k	0	199	1	99	1	199	1	249	2	99	—	—
5k	0	99	0	199	1	99	1	124	1	199	—	—
10k	0	49	0	99	0	199	0	249	1	99	—	—
25k	0	19	0	39	0	79	0	99	0	159	—	—
50k	0	9	0	19	0	39	0	49	0	79	—	—
100k	0	4	0	9	0	19	0	24	0	39	—	—
250k	0	1	0	3	0	7	0	9	0	15	—	—
500k	0	0*	0	1	0	3	0	4	0	7	—	—
1M			0	0*	0	1	—	—	0	3	—	—
2M					0	0*	—	—	0	1	—	—
2.5M					—	—	0	0*	—	—	—	—
4M									0	0*	—	—

【注】 誤差は、なるべく1%以内になるように設定してください。

《記号説明》

空欄：設定できません。

—：設定可能ですが誤差がでます。

*：連続送信／受信はできません。

BRRの設定値は以下の計算式で求められます。

〔調歩同期式モード〕

$$N = \frac{\phi}{64 \times 2^{2^{n-1}} \times B} \times 10^6 - 1$$

〔クロック同期式モード〕

$$N = \frac{\phi}{8 \times 2^{2^{n-1}} \times B} \times 10^6 - 1$$

B：ビットレート (bit/s)

N：ボーレートジェネレータのBRRの設定値 (0 ≤ N ≤ 255)

φ：動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n = 0、1、2、3)
 (nとクロックの関係は下表を参照してください。)

n	クロック	SMRの設定値	
		CKS 1	CKS 0
0	ϕ	0	0
1	$\phi / 4$	0	1
2	$\phi / 16$	1	0
3	$\phi / 64$	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^9}{(N+1) \times B \times 64 \times 2^{2n-1}} - 1 \right\} \times 100$$

表10.5に調歩同期式モードの各周波数における最大ビットレートを示します。また、表10.6～表10.7に外部クロック入力時の最大ビットレートを示します。

表10.5 各周波数における最大ビットレート（調歩同期式モード）

φ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
2	62500	0	0
2.097152	65536	0	0
2.4576	76800	0	0
3	93750	0	0
3.6864	115200	0	0
4	125000	0	0
4.9152	153600	0	0
5	156250	0	0
6	187500	0	0
6.144	192000	0	0
7.3728	230400	0	0
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0

表10.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.5000	31250
2.097152	0.5243	32768
2.4576	0.6144	38400
3	0.7500	46875
3.6864	0.9216	57600
4	1.0000	62500
4.9152	1.2288	76800
5	1.2500	78125
6	1.5000	93750
6.144	1.5360	96000
7.3728	1.8432	115200
8	2.0000	125000
9.8304	2.4576	153600
10	2.5000	156250
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000

表10.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

φ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
2	0.3333	333333.3
4	0.6667	666666.7
6	1.0000	1000000.0
8	1.3333	1333333.3
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7

10.3 動作説明

10.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、SMRで行います。これを表10.8に示します。また、SCIのクロックソースは、SMRのC/AビットおよびSCRのCKE1、CKE0ビットの組み合わせできまります。これを表10.9に示します。

(1) 調歩同期式モード

- データ長：7ビット／8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット／2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信／受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能
 - ・ 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - ・ 外部クロックを選択した場合：ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信／受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック／外部クロックから選択可能
 - ・ 内部クロックを選択した場合：SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - ・ 外部クロックを選択した場合：内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

表10.8 SMRの設定値とシリアル送信/受信フォーマット

SMRの設定値					モード	SCIの送信/受信フォーマット					
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサ ビット	パリティ ビット	ストップ ビット長		
C/A	CHR	MP	PE	STOP							
0	0	0	0	0	調歩同期式 モード	8ビットデータ	なし	なし	1ビット		
				1					2ビット		
			1	0					0	1ビット	
									1	2ビット	
			1	1					0	1ビット	
									1	2ビット	
	1	1	1	-		0	調歩同期式 モード (マルチプロセッサ フォーマット)	8ビットデータ	あり	なし	1ビット
						1					2ビット
				-		0		0			1ビット
								1			2ビット
				-		1		0			1ビット
								1			2ビット
1	-	-	-	-	クロック同 期式モード	8ビットデータ	なし	なし			

表10.9 SMR、SCRの設定とSCIのクロックソースの選択

SMR	SCRの設定		モード	SCIの送信/受信クロック	
	ビット7	ビット1		クロック ソース	SCK端子の機能
	C/A	CKE1			
0	0	0	調歩同期 式モード	内 部	SCIは、SCK端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外 部	ビットレートの16倍の周波数のクロックを入力
		1			
1	0	0	クロック 同期式 モード	内 部	同期クロックを出力
		1			
	1	0		外 部	同期クロックを入力
		1			

10.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータのリード／ライトができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図10.2に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（“High”レベル）に保たれています。SCIは通信回線を監視し、スペース（“Low”レベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（“Low”レベル）から始まり、データ（LSBファースト：最下位ビットから）、パリティビット（“High”／“Low”レベル）、最後にストップビット（“High”レベル）の順で構成されています。

調歩同期式モードでは、SCIは受信時にスタートビットの立下がりエッジで同期化を行います。またSCIは、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

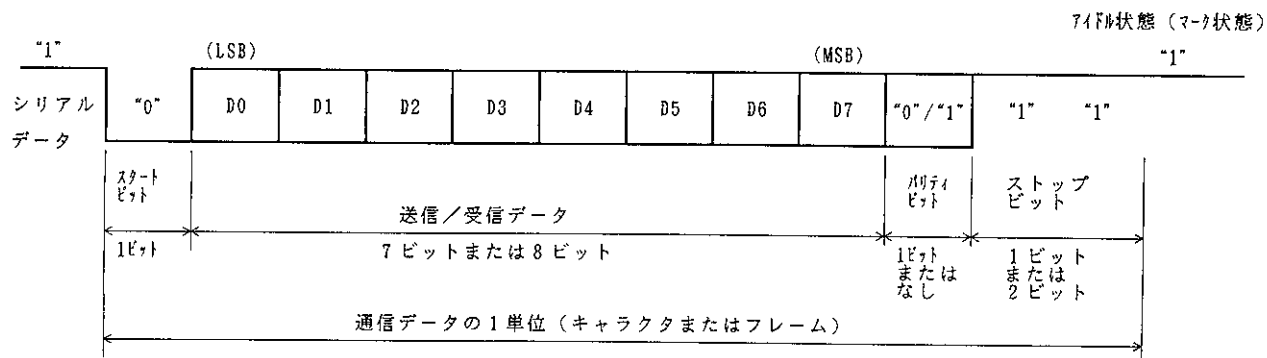


図10.2 調歩同期式通信のデータフォーマット
(8ビットデータ／パリティあり／2ストップビットの例)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表10.10に示します。

送信／受信フォーマットは12種類あり、SMRの選定により選択できます。

表10.10 シリアル送信／受信フォーマット（調歩同期式モード）

SMRの設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S [8ビットデータ] STOP											
0	0	0	1	S [8ビットデータ] STOP STOP											
0	1	0	0	S [8ビットデータ] P STOP											
0	1	0	1	S [8ビットデータ] P STOP STOP											
1	0	0	0	S [7ビットデータ] STOP											
1	0	0	1	S [7ビットデータ] STOP STOP											
1	1	0	0	S [7ビットデータ] P STOP											
1	1	0	1	S [7ビットデータ] P STOP STOP											
0	-	1	0	S [8ビットデータ] MPB STOP											
0	-	1	1	S [8ビットデータ] MPB STOP STOP											
1	-	1	0	S [7ビットデータ] MPB STOP											
1	-	1	1	S [7ビットデータ] MPB STOP STOP											

《記号説明》

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

(2) クロック

SCIの送受信クロックは、SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表10.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図10.3に示すように送信データの中央にクロック立上がりエッジがくるようになります。

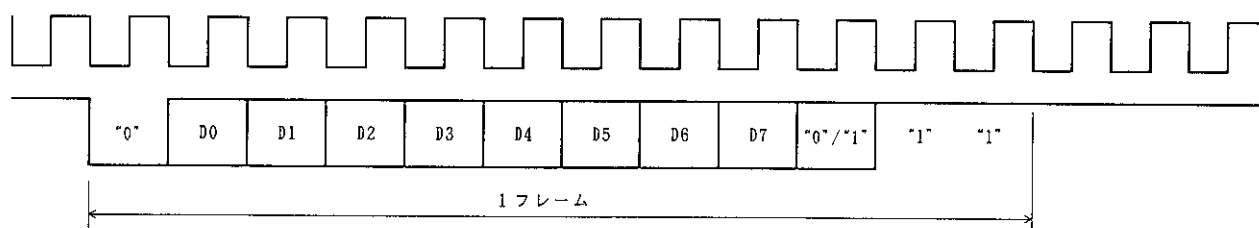


図10.3 出力クロックと通信データの位相関係（調歩同期式モード）

(3) データの送信／受信動作

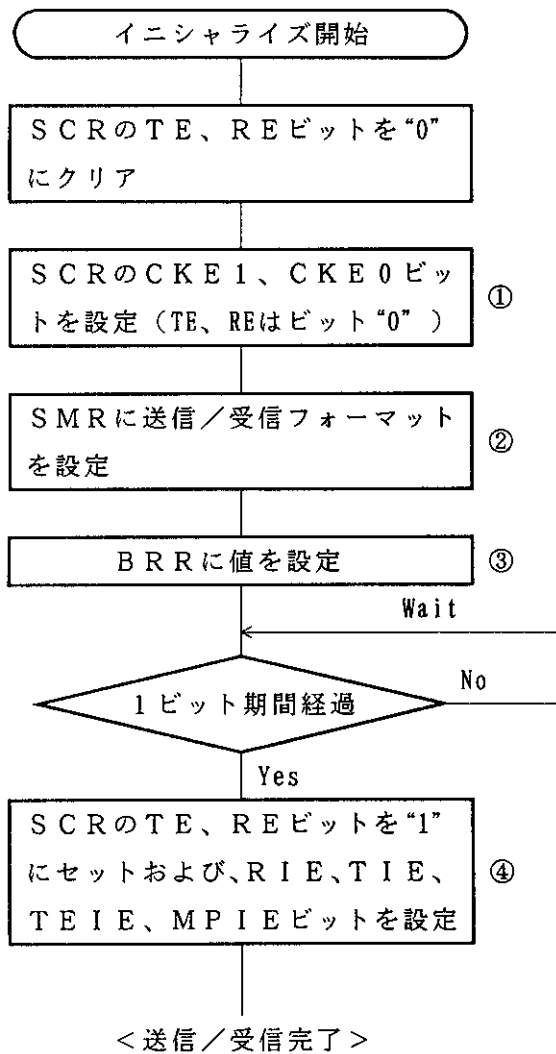
■ SCIのイニシャライズ（調歩同期式）

データの送信／受信前には、まずSCRのTE、REビットを“0”にクリアした後、以下の順でSCIをイニシャライズしてください。

動作モードの変更、通信フォーマットの変更などの場合には必ず、TEビットおよびREビットを“0”にクリアしてから次の手順で変更を行ってください。TEビットを“0”にクリアするとTDREフラグは“1”にセットされ、TSRがイニシャライズされます。REビットを“0”にクリアしても、RDRF、PER、FER、ORERの各フラグおよび、RDRの内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますのでイニシャライズを含めた動作中にクロックを止めないでください。

図10.4にSCIのイニシャライズフローチャートの例を示します。



① SCRにクロックの選択を設定してください。

なお、RIE、TIE、TEIE、MPIE、およびTE、REビットは必ず、“0”にクリアしてください。

調歩同期式モードでクロック出力を選択した場合には、SCRの設定後、ただちに出力されます。

② SMRに送信/受信フォーマットを設定します。

③ BRRにビットレートに対応する値をライトします。ただし、外部クロックを使用する場合には必要ありません。

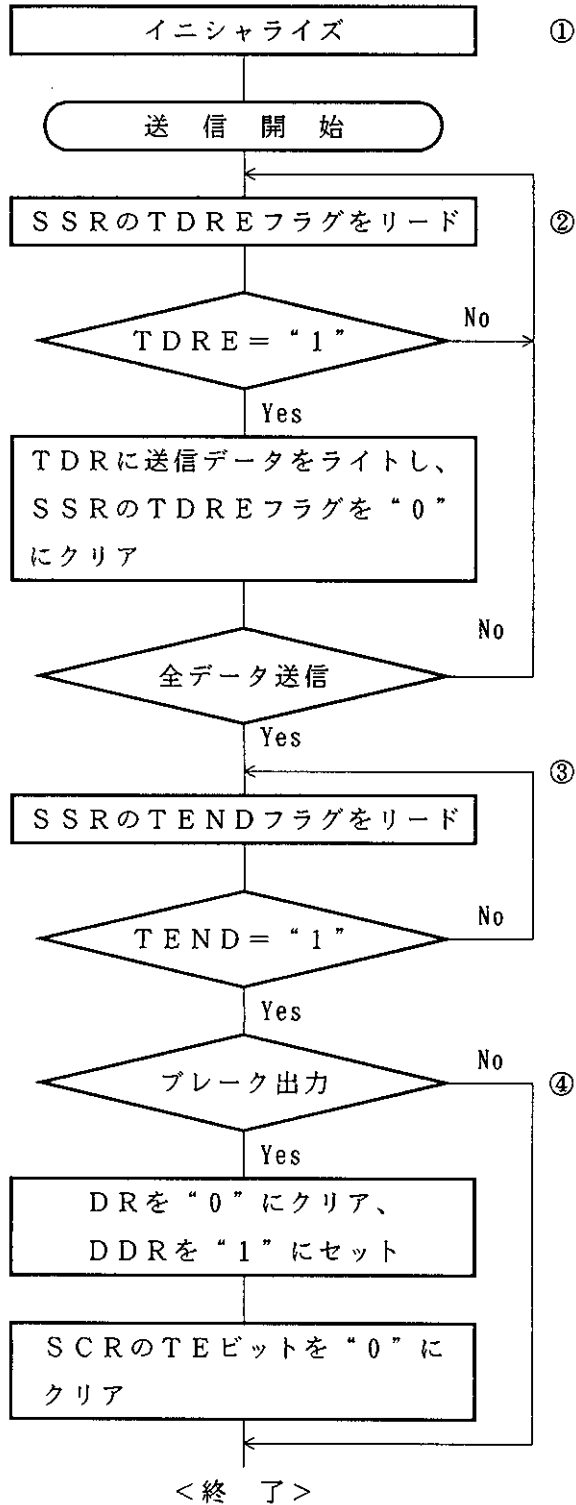
④ 少なくとも1ビット期間待ってから、SCRのTEビットまたはREビットを“1”にセットします。また、RIE、TIE、TEIE、MPIEビットを設定してください。

TE、REビットを設定することによりTxD、RxD端子が使用可能となります。

図10.4 SCIのイニシャライズフローチャートの例

■ シリアルデータ送信（調歩同期式）

図10.5にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。



- ① SCIをイニシャライズ：
TxD端子は自動的に送信データ出力端子になります。
- ② SCIの状態を確認して、送信データをライト：
SSRをリードして、TDREフラグが“1”であることを確認した後、TDRに送信データをライトし、TDREフラグを“0”にクリアします。
- ③ シリアル送信の継続手順：
シリアル送信を続けるときには、TDREフラグの“1”をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを“0”にクリアしてください。
- ④ シリアル送信の終了時にブレークを出力：
シリアル送信時にブレークを出力するときには、ポートのDDRを“1”にセット、DRを“0”にクリアした後にSCRのTEビットを“0”にクリアします。

図10.5 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

- ① SCIは、SSRのTDREフラグを監視し、“0”であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- ② TDRからTSRへデータを転送した後にTDREフラグを“1”にセットし、送信を開始します。

このとき、SCRのTIEビットが“1”にセットされていると送信データエンpty割込み(TXI)要求を発生します。

シリアル送信データは、以下の順にTxD端子から送り出されます。

- (a) スタートビット：1ビットの“0”が出力されます。
- (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
- (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。
 なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
- (d) ストップビット：1ビット/2ビットの“1”（ストップビット）が出力されます。
- (e) マーク状態：次の送信を開始するスタートビットを送り出すまで“1”を出力し続けます。

- ③ SCIは、ストップビットを送出するタイミングでTDREフラグをチェックします。
 TDREフラグが“0”であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。

TDREフラグが“1”であるとSSRのTENDフラグに“1”をセットし、ストップビットを送り出した後、“1”を出力する“マーク状態”になります。このときSCRのTEIEビットが“1”にセットされているとTEI割込み要求を発生します。

調歩同期式モードでの送信時の動作例を図10.6に示します。

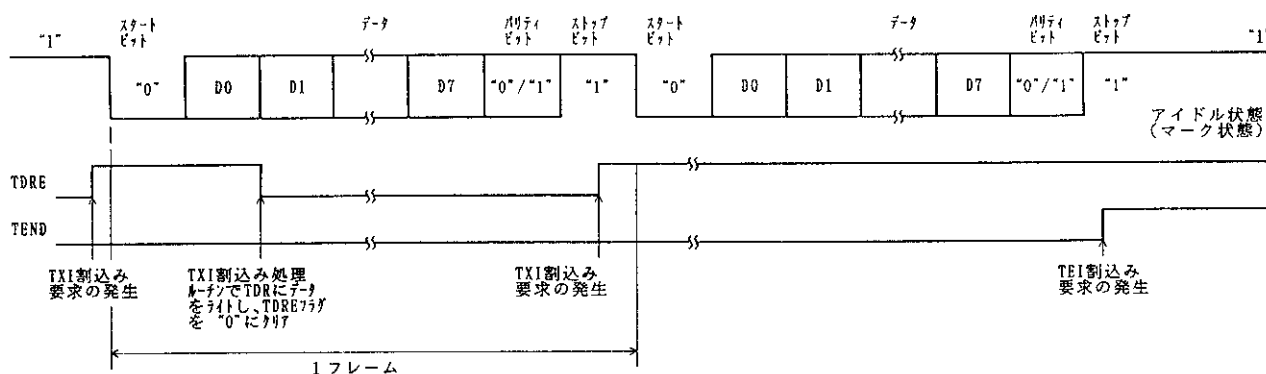


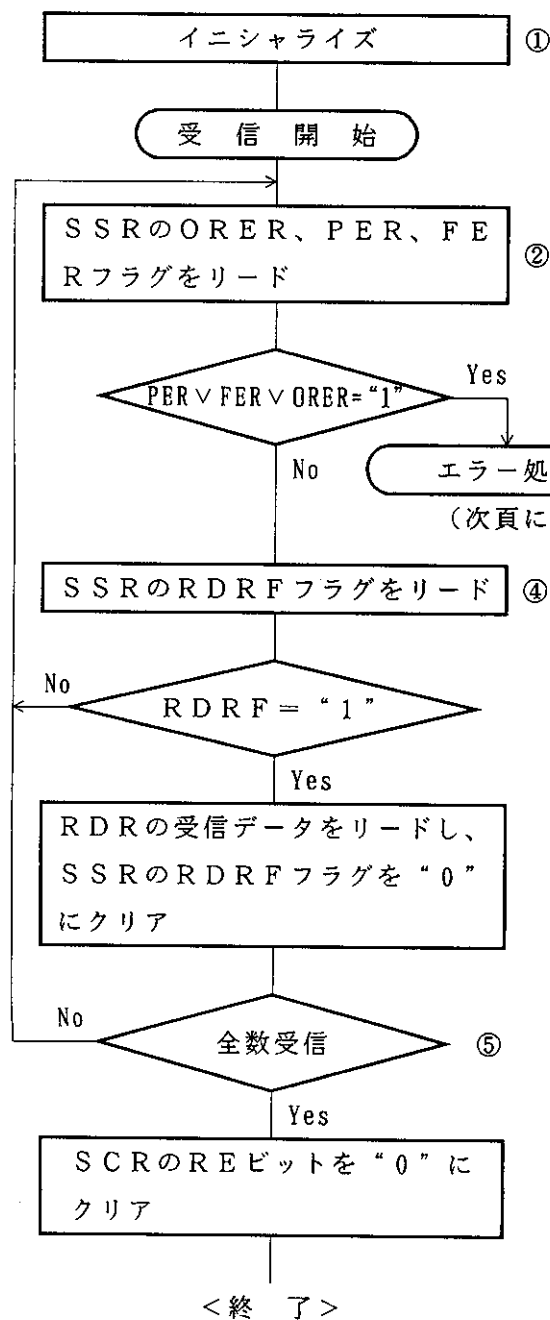
図10.6 調歩同期式モードでの送信時の動作例

(8ビットデータ/パリティあり/1ストップビットの例)

■ シリアルデータ受信（調歩同期式）

図10.7にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。



① SCIのイニシャライズ：

RxD端子は自動的に受信データ入力端子になります。

②③ 受信エラー処理とブレークの検出：

受信エラーが発生したときには、SSRのORER、PER、FERの各フラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ず、ORER、PER、FERフラグをすべて“0”にクリアしてください。ORER、PER、FERフラグのいずれかが“1”にセットされた状態では受信を再開できません。また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。

④ SCIの状態を確認して受信データのリード：

SSRをリードして、RDRF = “1”であることを確認した後、RDRの受信データをリードし、RDRFフラグを“0”にクリアします。RDRFフラグが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。

⑤ シリアル受信の継続手順：

シリアル受信を続けるときには、現在のフレームのストップビットを受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグを“0”にクリアしておいてください。

ただし、RXI割込みでDMACを起動しRDRの値をリードする場合には、RDRFフラグのクリアは自動的に行われます。

図10.7 シリアル受信データフローチャートの例(1)

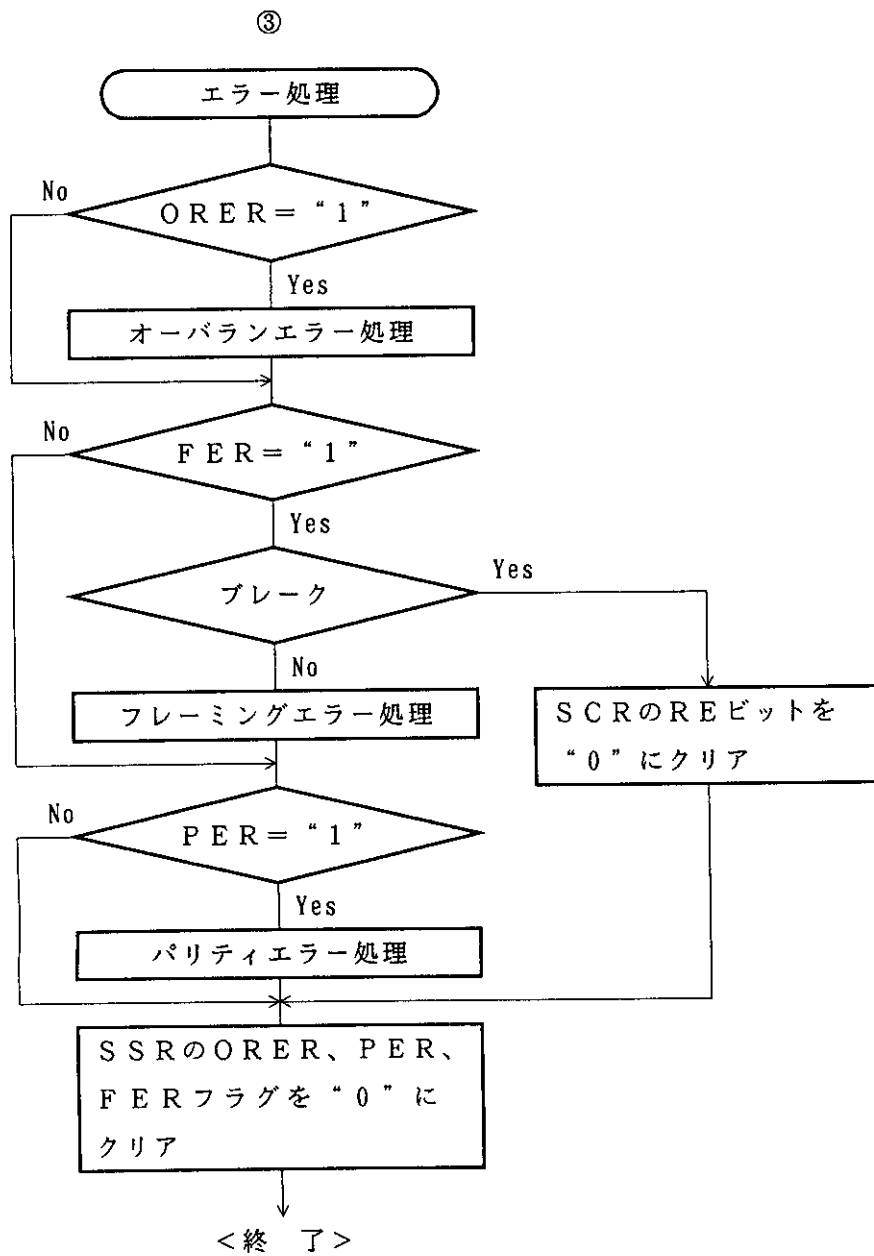


図10.7 シリアル受信データフローチャートの例(2)

SCIは受信時に以下のように動作します。

- ① SCIは通信回線を監視し、スタートビットの“0”を検出すると内部を同期化し、受信を開始します。
- ② 受信したデータをRSRのLSBからMSBの順に格納します。
- ③ パリティビットおよび、ストップビットを受信します。

受信後、SCIは以下のチェックを行います。

- (a) パリティチェック：受信データの“1”の数をチェックし、これがSMRのO/Eビットで設定した偶数/奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが“1”であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFフラグが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRFフラグが“1”にセットされ、RDRに受信データが格納されます。

エラーチェックで受信エラー*を発生すると表10.11のように動作します。

【注】* 受信エラーが発生した状態では、以後の受信動作ができません。

また、受信時にRDRFフラグが“1”にセットされませんので、必ずエラーフラグを“0”にクリアしてください。

- ④ RDRFフラグが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信データフル割込み（RXI）要求を発生します。

また、ORER、PER、FERフラグのいずれかが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信エラー割込み（ERI）要求を発生します。

表10.11 受信エラーと発生条件

受信エラー名	略称	発生条件	データ転送
オーバランエラー	ORER	SSRのRDRFフラグが“1”にセットされたまま次のデータ受信を完了したとき	RSRからRDRに受信データは転送されません。
フレーミングエラー	FER	ストップビットが“0”のとき	RSRからRDRに受信データは転送されません。
パリティエラー	PER	SMRで設定した偶数/奇数パリティの設定と受信したデータが異なるとき	RSRからRDRに受信データが転送されません。

調歩同期式モード受信時の動作例を図10.8に示します。

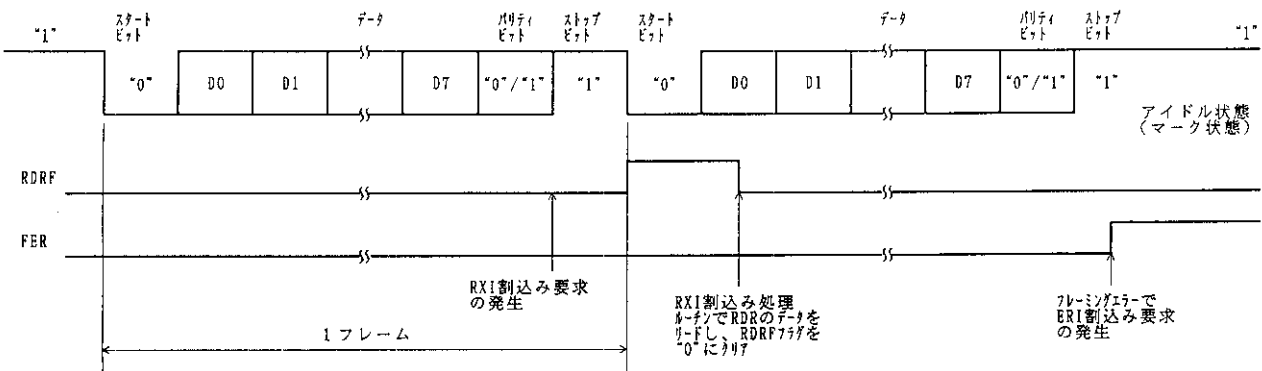


図10.8 SCIの受信時の動作例（8ビットデータ/パリティあり/1ストップビットの例）

10.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット（マルチプロセッサフォーマット）でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有のIDコードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定するID送信サイクルとデータ送信サイクルの2つから構成されます。このID送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局のIDを、マルチプロセッサビット“1”を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット“0”を付加したデータにして送信します。

受信局は、マルチプロセッサビット“1”のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット“1”のデータを受信したとき、受信局は自局のIDと比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット“1”のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図10.9にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信/受信フォーマット

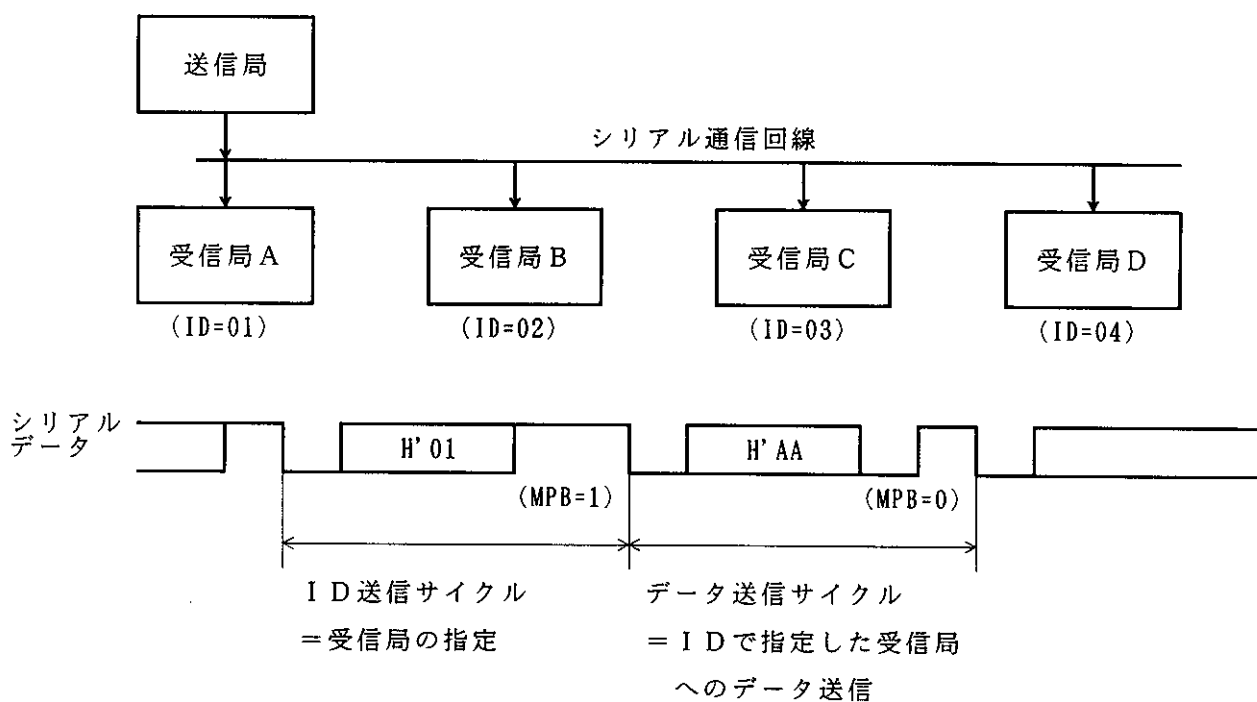
送信/受信フォーマットは4種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表10.10を参照してください。

(2) クロック

調歩同期式モードの項を参照してください。



《記号説明》

MPB : マルチプロセッサビット

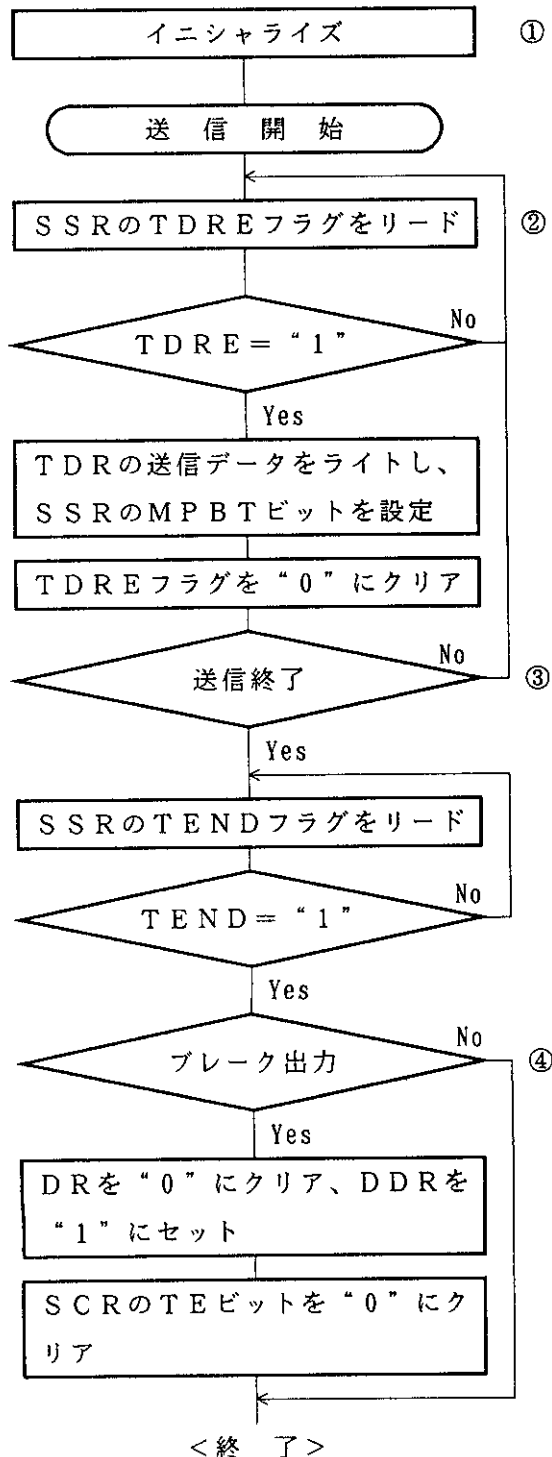
図10.9 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H' AA の送信の例)

(3) データの送信／受信動作

■ マルチプロセッサシリアルデータ送信

図10.10にマルチプロセッサシリアル送信のフローチャートの例を示します。

マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。



① SCIのイニシャライズ：

TxD端子は自動的に送信データ出力端子になります。

② SCIの状態を確認して、送信データをライト：

SSRをリードして、TDREフラグが“1”であることを確認した後、TDRに送信データをライトします。

また、SSRのMPBTビットを“0”、または“1”に設定します。

最後にTDREフラグを“0”にクリアしてください。

③ シリアル送信の継続手順：

シリアル送信を続けるときには、必ずTDREフラグの“1”をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを“0”にクリアしてください。

④ シリアル送信の終了時にブレークを出力：

シリアル送信時にブレークを出力するときには、ポートのDDRを“1”にセットし、DRを“0”にクリアした後、SCRのTEビットを“0”にクリアします。

図10.10 マルチプロセッサシリアル送信のフローチャートの例

SCIは、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREフラグを監視し、“0”であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREフラグを“1”にセットし、送信を開始します。
このとき、SCRのTIEビットが“1”にセットされていると送信データエンプティ割込み(TXI)要求が発生します。

シリアル送信データは、以下の順にTxD端子から送りだされます。

- (a) スタートビット：1ビットの“0”が出力されます。
 - (b) 送信データ：8ビット/7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット(MPBTの値)が出力されます。
 - (d) ストップビット：1ビット/2ビットの“1”(ストップビット)が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで“1”を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREフラグをチェックします。
TDREフラグが“0”であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。
TDREフラグが“1”であるとSSRのTENDフラグを“1”にセットし、ストップビットを送り出した後、“1”を出力するマーク状態になります。このときSCRのTIEビットが“1”にセットされていると送信終了割込み(TEI)要求が発生します。

図10.11にマルチプロセッサフォーマットのSCIの送信時の動作例を示します。

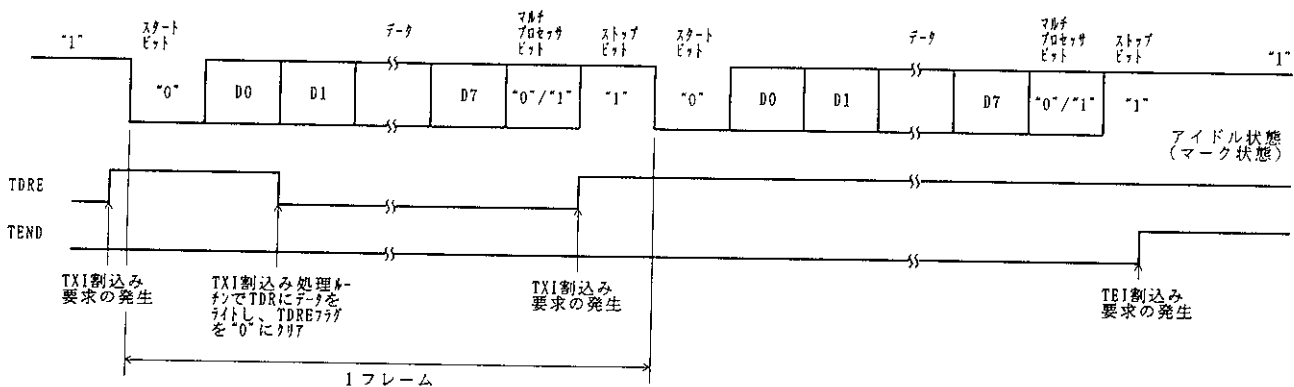
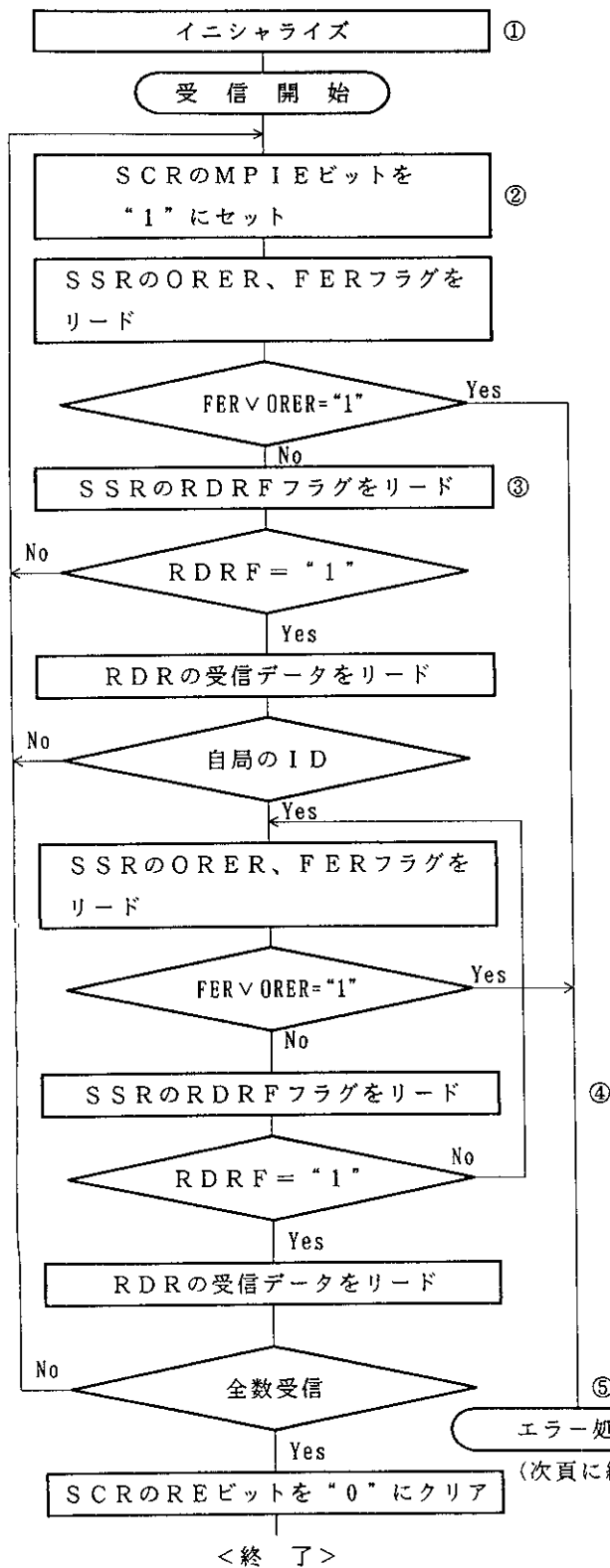


図10.11 SCIの送信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

■ マルチプロセッサシリアルデータ受信

図10.12にマルチプロセッサシリアル受信のフローチャートの例を示します。
マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。



- ① SCIのイニシャライズ：
RxD端子は自動的に受信データ入力端子になります。
- ② ID受信サイクル：
SCRのMPIEビットを“1”にセットしておきます。
- ③ SCIの状態を確認して、IDの受信と比較：
SSRをリードして、RDRFフラグが“1”であることを確認した後、RDRのデータをリードし、自局のIDと比較します。
自局のIDでないときには、再びMPIEビットを“1”にセットし、RDRFフラグを“0”にクリアします。
自局のIDのときには、RDRFフラグを“0”にクリアします。
- ④ SCIの状態を確認してデータの受信：
SSRをリードして、RDRFフラグが“1”であることを確認した後、RDRのデータをリードします。
- ⑤ 受信エラー処理とブレークの検出：
受信エラーが発生したときには、SSRのORER、FERフラグをリードしてエラーを判定します。所定のエラー処理を行った後、必ずORER、FERフラグをすべて“0”にクリアしてください。
ORER、FERフラグのいずれかが“1”にセットされた状態では受信を再開できません。
また、フレーミングエラー時にRxD端子の値をリードすることでブレークの検出ができます。

図10.12 マルチプロセッサシリアル受信のフローチャートの例(1)

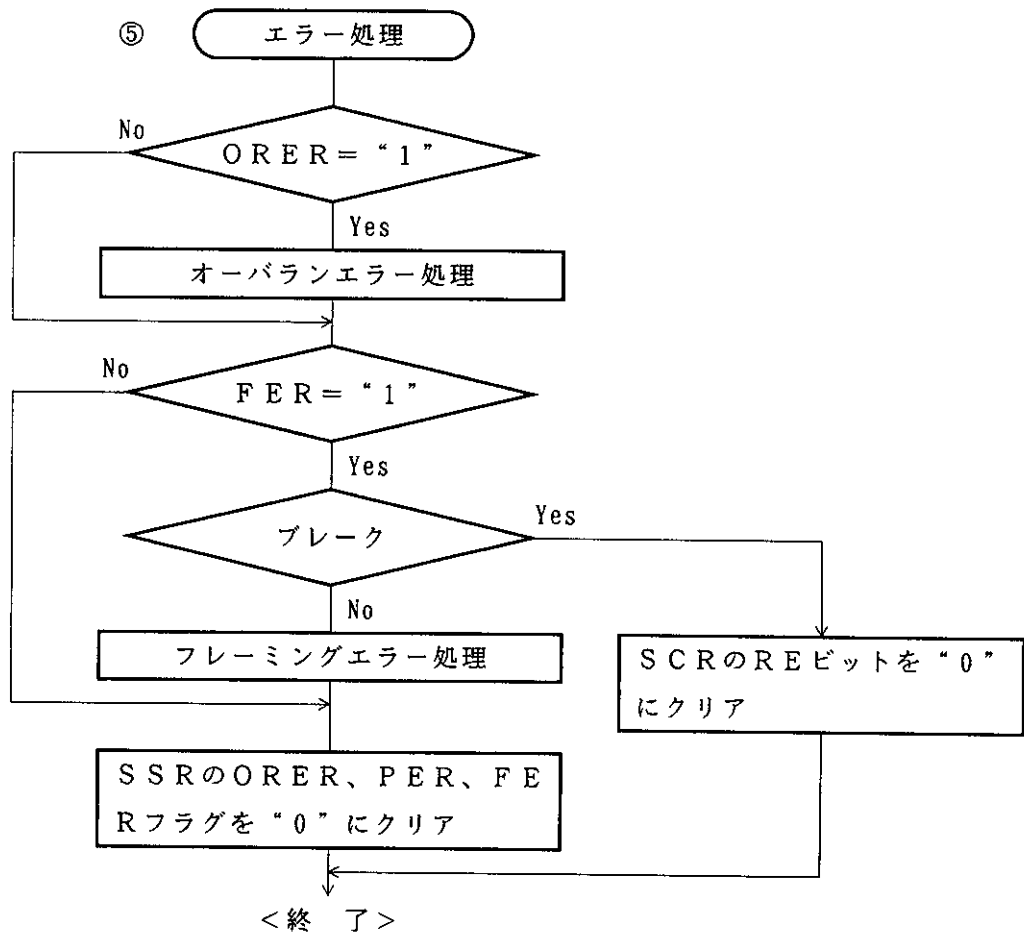
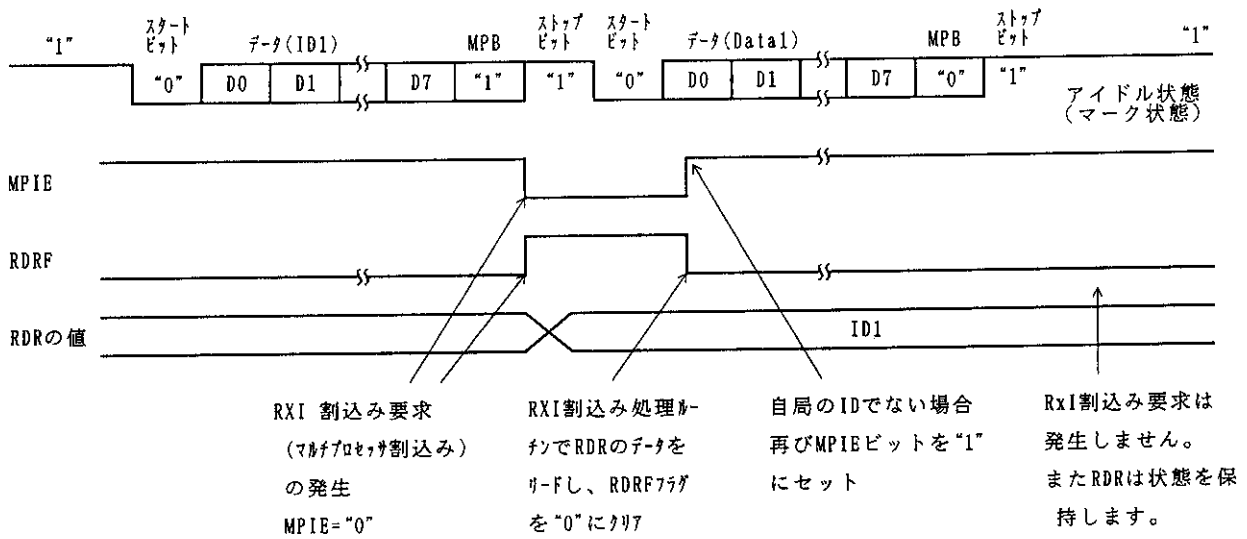
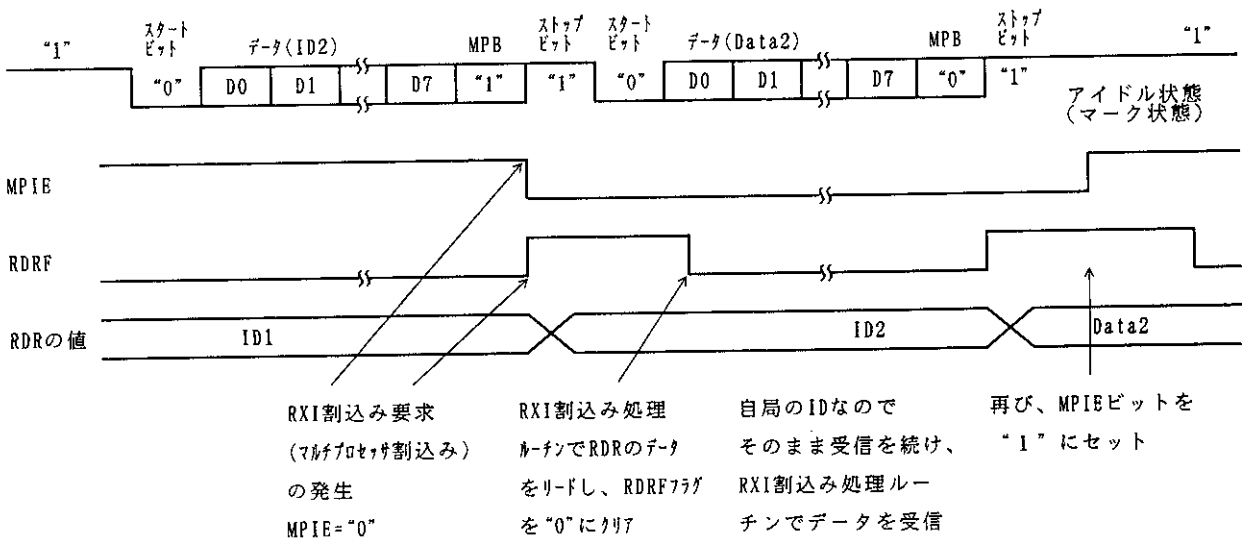


図10.12 マルチプロセッサシリアル受信のフローチャートの例(2)

図10.13にマルチプロセッサフォーマットのS C Iの受信時の動作例を示します。



(a) 自局のIDと一致しないとき



(b) 自局のIDと一致したとき

図10.13 S C Iの受信時の動作例

(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

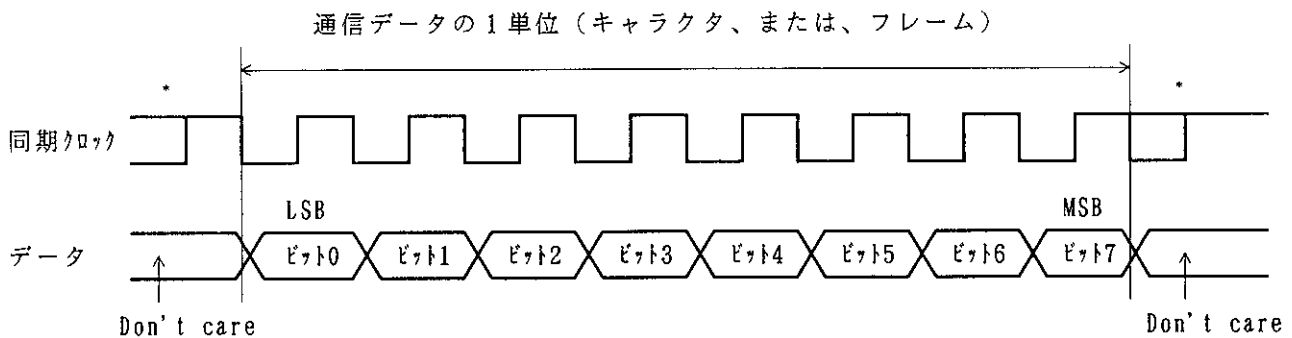
10.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCI内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信／受信中にデータのリード／ライトができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図10.14に示します。



【注】* 連続送信／受信のとき以外は“High”レベル

図10.14 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立下がりから次の立下がりまで出力されます。また、同期クロックの立上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立上がりで同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMRのC/AビットとSCRのCKE1、CKE0ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK端子から入力された外部同期クロックの2種類から選択できます。SCIのクロックソースの選択については表10.9を参照してください。

内部クロックで動作させるとき、SCK端子からは同期クロックが出力されます。

同期クロックは1キャラクタの送受信で8パルス出力され、送信／受信を行わないときには“High”レベルに固定されます。ただし、受信のみの動作のときは、SCIは2キャラクタを1単位として受信動作を行いますので、16パルスの同期クロックが出力されます。1キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信／受信動作

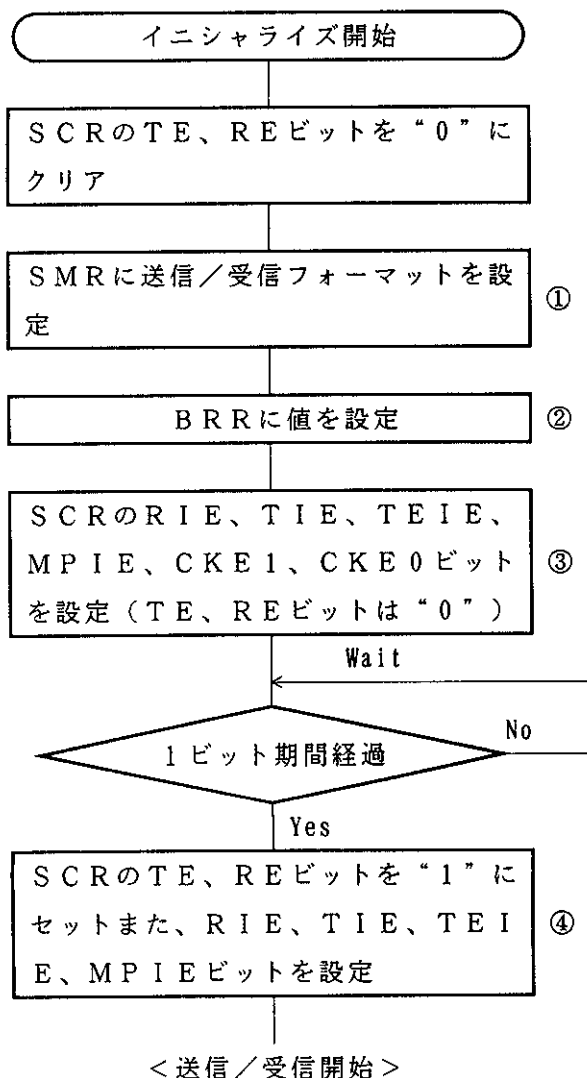
■ S C I のイニシャライズ（クロック同期式）

データの送信／受信前には、SCRのTE、REビットを“0”にクリアした後、以下の手順に従いS C Iをイニシャライズしてください。

モードの変更、通信フォーマットの変更などの場合には必ず、TE、REビットを“0”にクリアしてから下記手順で変更してください。TEビットを“0”にクリアするとTDREフラグは“1”にセットされ、TSRがイニシャライズされます。

REビットを“0”にクリアしてもRDRF、PER、FER、OREの各フラグ、およびDRの内容は保持されますので注意してください。

図10.15にS C Iのイニシャライズフローチャートの例を示します。



① SMRに送信／受信フォーマットを設定します。

② BRRにビットレートに対応する値をライントします。ただし、外部クロックを使用する場合にはこの作業は必要ありません。

③ SCRにクロックの選択を設定してください。なお、RIE、TIE、TEIE、MPIE、TE、REビットには必ず“0”を設定してください。

④ 少なくとも1ビット期間待ってから、SCRのTEまたは、REビットを“1”にセットします。

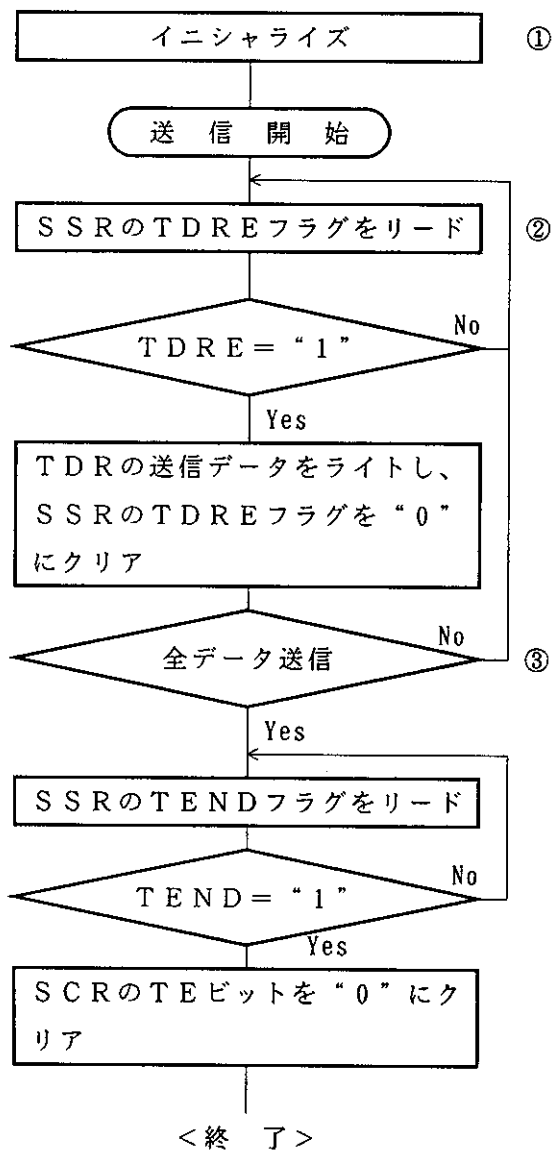
また、RIE、TIE、TEIE、MPIEビットを設定してください。TE、REビットの設定でTxD、RxD端子が使用可能になります。

図10.15 S C I のイニシャライズフローチャートの例

■ シリアルデータ送信（クロック同期式）

図10.16にシリアル送信のフローチャートの例を示します。

シリアルデータ送信は以下の手順に従って行ってください。



① SCIのイニシャライズ：

TxD端子は自動的に送信データ出力端子になります。

② SCIの状態を確認して、送信データをライト：

SSRをリードして、TDREフラグが“1”であることを確認した後、TDRに送信データをライトし、TDREフラグを“0”にクリアします。

③ シリアル送信の継続手順：

シリアル送信を続けるときには、必ずTDREフラグの“1”をリードしてライト可能であることを確認した後にTDRにデータをライトし、続いてTDREフラグを“0”にクリアしてください。

図10.16 シリアル送信のフローチャートの例

SCIはシリアル送信時に以下のように動作します。

(1) SCIは、SSRのTDREフラグを監視し、“0”であるとTDRにデータがライトされたと認識し、TDRからTSRにデータを転送します。

(2) TDRからTSRへデータを転送した後にTDREフラグを“1”にセットし、送信を開始します。

このとき、SCRのTIEビットが“1”にセットされていると送信データエンプティ割込み(TXI)要求を発生します。

クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。

外部クロックに設定したときには、入力クロックに同期してデータを出力します。

シリアル送信データは、LSB(ビット0)~MSB(ビット7)の順にTxD端子から送り出されます。

(3) SCIは、MSB(ビット7)を送り出すタイミングでTDREフラグをチェックします。

TDREフラグが“0”であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。

TDREフラグが“1”であるとSSRのTENDフラグを“1”にセットし、MSB(ビット7)を送り出した後、TxD端子は状態を保持します。

このときSCRのTEIEビットが“1”にセットされていると送信終了割込み(TEI)要求を発生します。

(4) シリアル送信終了後は、SCK端子は固定になります。

図10.17にS C Iの送信時の動作例を示します。

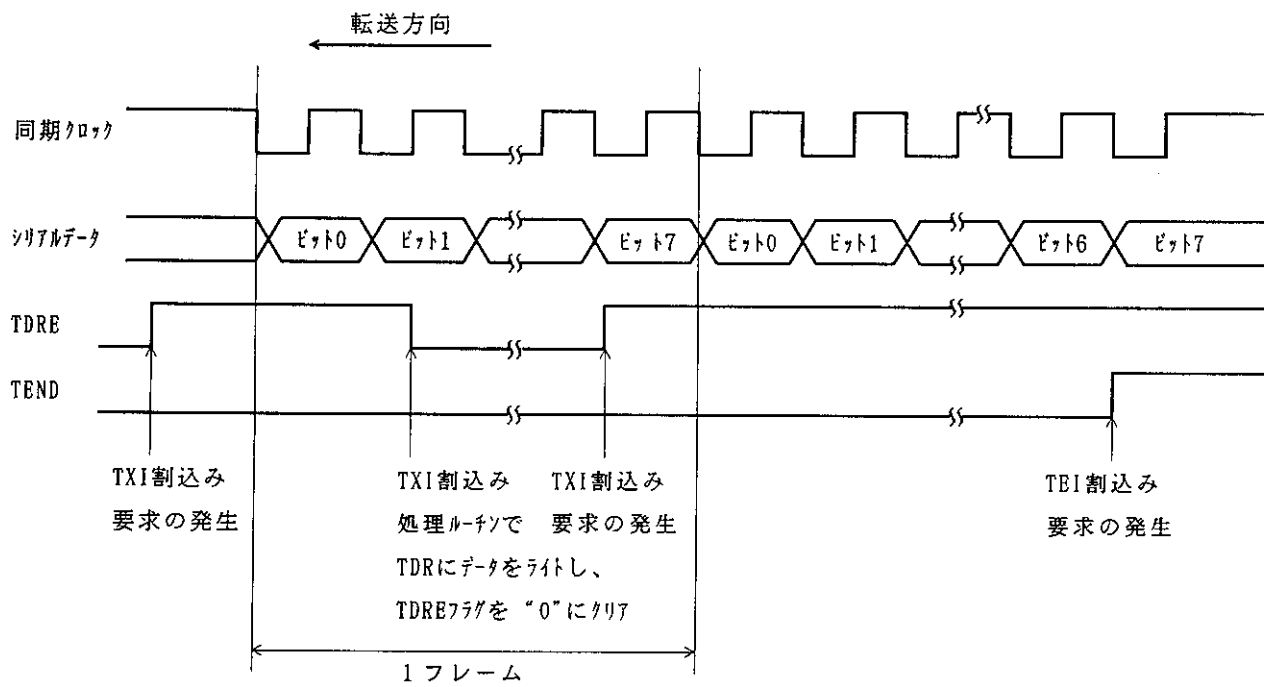


図10.17 S C Iの送信時の動作例

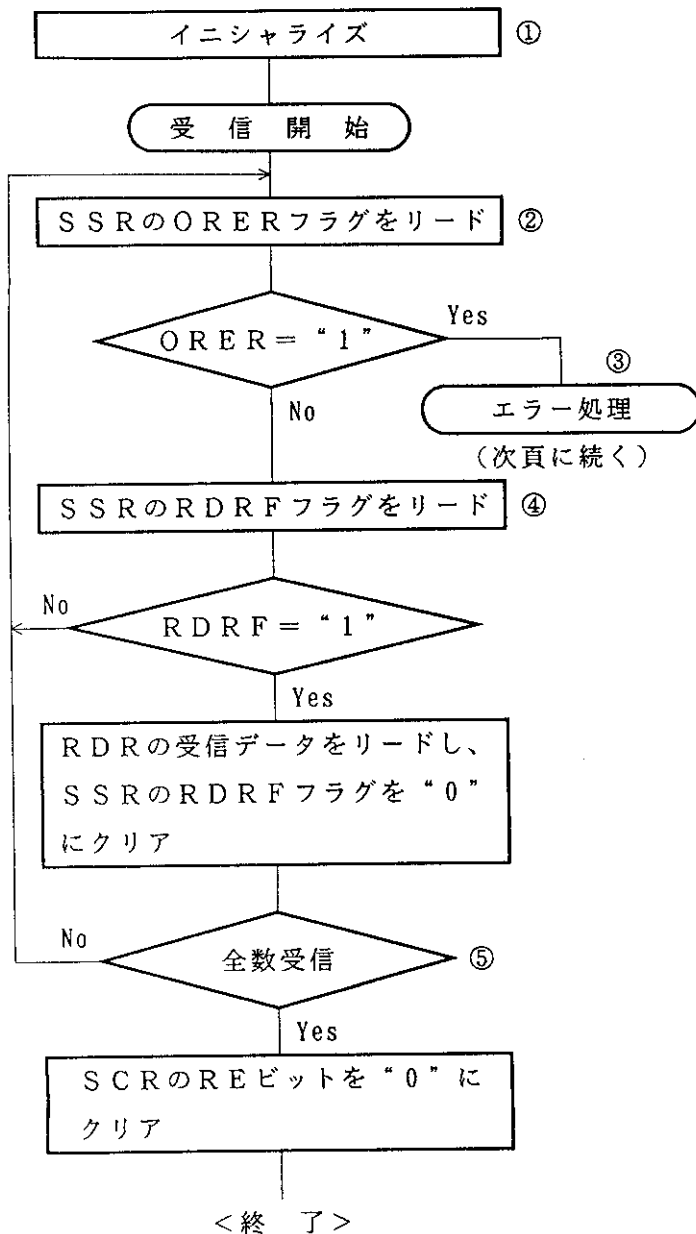
■ シリアルデータ受信（クロック同期式）

図10.18にシリアル受信フローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り換える際には、必ず、O R E R、P E R、F E Rの各フラグが“0”にクリアされていることを確認してください。

F E R、P E Rフラグが“1”にセットされているとR D R Fフラグがセットされません。また、送信／受信動作が行えません。



① S C Iのイニシャライズ：

RxD端子は自動的に受信データ入力端子になります。

②③ 受信エラー処理：

受信エラーが発生したときには、S S RのO R E Rフラグをリードしてから、所定のエラー処理を行った後、O R E Rフラグを“0”にクリアしてください。

O R E Rフラグが“1”にセットされた状態では、送信／受信を再開できません。

④ S C Iの状態を確認して受信データのリード：

S S Rをリードして、R D R Fフラグが“1”であることを確認した後、R D Rの受信データをリードし、R D R Fフラグを“0”にクリアします。R D R Fフラグが“0”から“1”に変化したことは、R X I割込みによっても知ることができます。

⑤ シリアル受信の継続手順：

シリアル受信を続けるときには、現在のフレームのM S B（ビット7）を受信する前に、R D R Fフラグのリード、R D Rのリード、R D R Fフラグの“0”クリアを終了しておいてください。ただし、受信データフル割込み（R X I）要求でD M A Cを起動し、R D Rの値をリードする場合にはR D R Fフラグのクリアは自動的に行われます。

図10.18 シリアルデータ受信フローチャートの例(1)

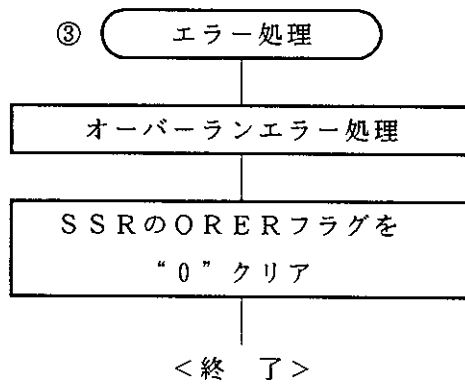


図10.18 シリアルデータ受信フローチャートの例(2)

SCIは受信時に以下のように動作します。

- ① SCIは同期クロックの入力または出力に同期して内部を初期化します。
- ② 受信したデータをRSRのLSBからMSBの順に格納します。
受信後、SCIは、RDRFフラグが“0”であり、受信データをRSRからRDRに転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFフラグが“1”にセットされ、RDRに受信データが格納されます。エラーチェックで受信エラーが発生すると、表10.11のように動作します。
エラーチェックで受信エラーが発生した状態では以後の送信、受信動作ができません。
- ③ RDRFフラグが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信データフル割込み(RXI)要求が発生します。
また、ORERフラグが“1”になったとき、SCRのRIEビットが“1”にセットされていると受信エラー割込み(ERI)要求が発生します。

図10.19にS C Iの受信時の動作例を示します。

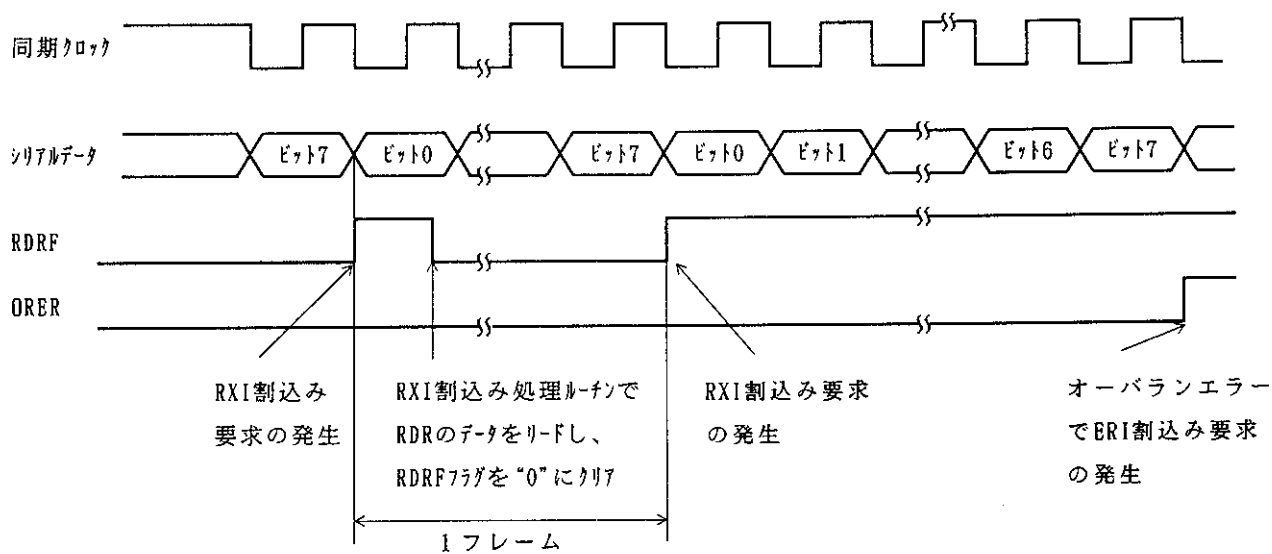
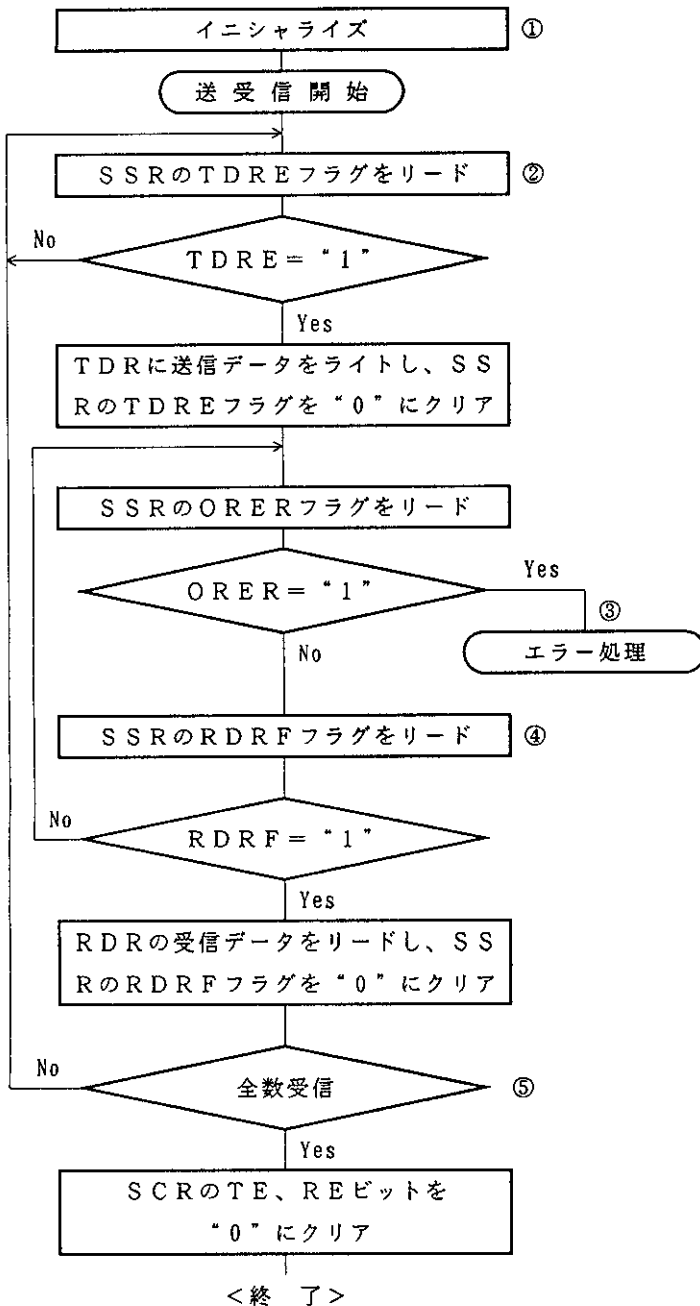


図10.19 S C Iの受信時の動作例

■ シリアルデータ送受信同時動作（クロック同期式）

図10.20にシリアル送受信同時動作のフローチャートの例を示します。

シリアルデータ送受信同時動作は、以下の手順に従って行ってください。



① イニシャライズ：

TxD端子は送信データ出力端子に、Rx/D端子は受信データ入力端子になり送受信同時動作可能状態になります。

② SCIの状態確認と送信データのライト：

SSRをリードしてTDREフラグが“1”であることを確認した後、TDRに送信データをライトし、TDREフラグを“0”にクリアします。

TDREフラグが“0”から“1”に変化したことは、TXI割込みによっても知ることができます。

③ 受信エラー処理：

受信エラーが発生したときには、SSRのOREERフラグをリードしてから、所定のエラー処理を行った後、OREERフラグを“0”にクリアしてください。OREERフラグが“1”にセットされた状態では送信/受信を再開できません。

④ SCIの状態を確認して受信データのリード：

SSRをリードして、RDRFフラグが“1”であることを確認した後、RDRの受信データをリードし、RDRFフラグを“0”にクリアします。

RDRFフラグが“0”から“1”に変化したことは、RXI割込みによっても知ることができます。

⑤ シリアル送受信の継続手順：

シリアル送受信を続けるときには、現在のフレームのMSB（ビット7）を受信する前に、RDRFフラグのリード、RDRのリード、RDRFフラグの“0”にクリアを終了しておいてください。また、現在のフレームのMSB（ビット7）を送信する前にTDREフラグの“1”をリードしてライト可能であることを確認してください。さらにTDRにデータをライトし、TDREフラグを“0”にクリアしておいてください。

【注】 送信、または受信動作から同時送受信に切り換えるときには、TEビットとREビットを“0”にクリアしてからTEビットとREビットを“1”にセットしてください。

図10.20 シリアル送受信同時動作のフローチャートの例

10.4 S C I 割込み

S C Iには、送信終了割込み（T E I）要求、受信エラー割込み（E R I）要求、受信データフル割込み（R X I）要求、送信データエンプティ割込み（T X I）要求の4種類の割込み要因があります。表10.12に各割込み要因と優先順位を示します。各割込み要因は、S C RのT I Eビット、R I EビットおよびT E I Eビットで許可/禁止できます。また、各割込み要求はそれぞれ独立に割込みコントローラに送られます。

S S RのT D R Eフラグが“1”にセットされると、T X I割込み要求が発生します。また、S S RのT E N Dフラグが“1”にセットされると、T E I割込み要求が発生します。

S S RのR D R Fフラグが“1”にセットされるとR X I割込み要求が発生します。S S RのO R E R、P E R、F E Rフラグのいずれかが“1”にセットされるとE R I割込み要求が発生します。

表10.12 S C I 割込み要因

割込み要因	内 容	優先順位
E R I	受信エラー（O R E R、F E R、P E R）による割込み	高 ↑ ↓ 低
R X I	受信データフル（R D R F）による割込み	
T X I	送信データエンプティ（T D R E）による割込み	
T E I	送信終了（T E N D）による割込み	

10.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

(1) TDRへのライトとTDREフラグの関係について

SSRのTDREフラグはTDRからTSRに送信データの転送が行われたことを示すステータスフラグです。SCIがTDRからTSRにデータを転送すると、TDREフラグが“1”にセットされます。

TDRへのデータのライトは、TDREフラグの状態にかかわらず行うことができます。しかし、TDREフラグが“0”の状態で新しいデータをTDRにライトすると、TDRに格納されていたデータは、まだTSRに転送されていないため失われてしまいます。したがってTDRへの送信データのライトは、必ずTDREフラグが“1”にセットされていることを確認してから行ってください。

(2) 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSRの各ステータスフラグの状態は、表10.13のようになります。また、オーバランエラーが発生した場合にはRSRからRDRへのデータ転送は行われず、受信データは失われます。

表10.13 SSRのステータスフラグの状態と受信データの転送

SSRのステータスフラグ				受信データ転送 RSR→RDR	受信エラーの状態
RDRF	ORER	FER	PER		
1	1	0	0	×	オーバランエラー
0	0	1	0	○	フレーミングエラー
0	0	0	1	○	パリティエラー
1	1	1	0	×	オーバランエラー+フレーミングエラー
1	1	0	1	×	オーバランエラー+パリティエラー
0	0	1	1	○	フレーミングエラー+パリティエラー
1	1	1	1	×	オーバランエラー+フレーミングエラー+パリティエラー

【注】 ○：RSR→RDRに受信データを転送します。

×：RSR→RDRに受信データを転送しません。

(3) ブレークの検出と処理について

フレーミングエラー（F E R）検出時にRxD端子の値を直接リードすることで、ブレークを検出できます。ブレークでは、RxD端子からの入力がすべて“0”になりますのでF E Rフラグがセットされ、またパリティエラー（P E R）もセットされる場合があります。

S C Iは、ブレークを受信した後も受信動作を続けますので、F E Rフラグを“0”にクリアしても再び“1”にセットされますので、注意してください。

(4) ブレークの送り出し

TxD端子は、D RとD D Rにより入出力方向とレベルが決まるI/Oポートと兼用になっています。これを利用してブレークの送り出しができます。

シリアル送信のイニシャライズからT Eビットを“1”にセットするまでは、マーク状態をD Rの値で代替します（T Eビットを1にセットするまで、TxD端子として機能しません）。このため、最初はD D RとD Rを“1”に設定しておきます。

シリアル送信時にブレークを送り出したいときはD Rを“0”にクリアした後、T Eビットを“0”にクリアします。

T Eビットを“0”にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD端子はI/Oポートになり、TxD端子から“0”が出力されます。

(5) 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（O R E R、P E R、F E R）が“1”にセットされた状態では、T D R Eフラグを“0”にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを“0”にクリアしておいてください。

また、R Eビットを“0”にクリアしても受信エラーフラグは“0”にクリアできませんので注意してください。

(6) 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、S C Iは転送レートの16倍の周波数の基本クロックで動作しています。

受信時にS C Iは、スタートビットの立下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの8クロック目の立上がりエッジで内部に取り込みます。これを図10.21に示します。

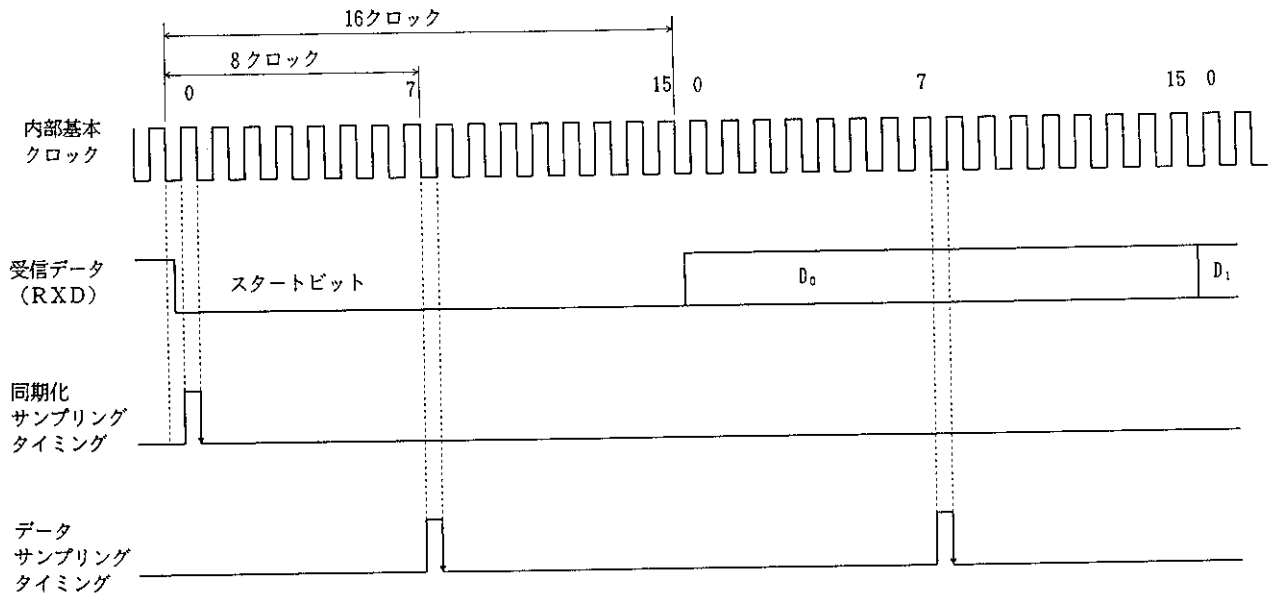


図10.21 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式(1)のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式(1)}$$

M : 受信マージン (%)

N : クロックに対するビットレートの比 (N = 16)

D : クロックデューティ (D = 0 ~ 1.0)

L : フレーム長 (L = 9 ~ 12)

F : クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5とすると、受信マージンは式(2)より46.875%となります。

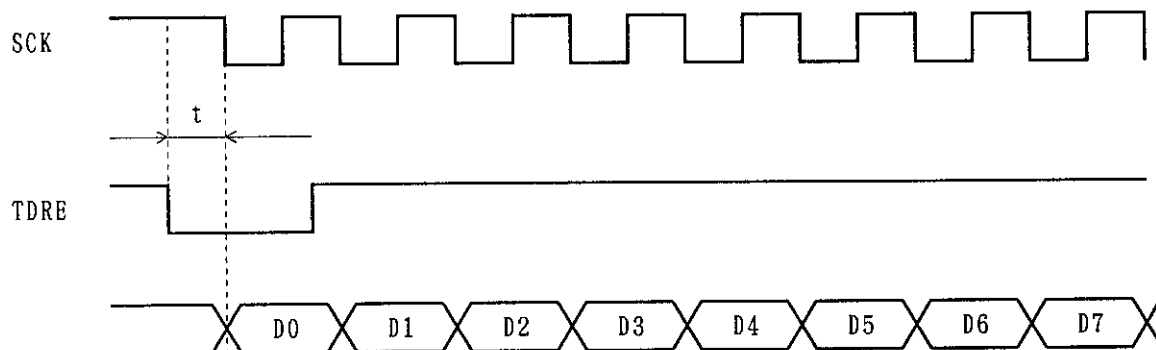
D = 0.5、F = 0 のとき、

$$M = \left(0.5 - \frac{1}{2 \times 16} \right) \times 100\% = 46.875\% \quad \dots\dots \text{式(2)}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には20~30%の余裕を持たせてください。

(7) クロック同期式使用上の制約事項

同期クロックに外部クロックソースを使用する場合、TDRの更新後、 ϕ クロックで5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4ステート以内に送信クロックを入力すると、誤動作することがあります。(図10.22)



【注】 外部クロック動作時には、 $t > 4$ ステートとしてください。

図10.22 クロック同期式送信時の例

11. A/D変換器

第11章 目次

11.1	概要	355
11.1.1	特長	355
11.1.2	ブロック図	356
11.1.3	端子構成	357
11.1.4	レジスタ構成	357
11.2	各レジスタの説明	358
11.2.1	A/DデータレジスタA~D (ADDRA~D)	358
11.2.2	A/Dコントロール/ステータスレジスタ (ADCSR)	359
11.2.3	A/Dコントロールレジスタ (ADCR)	362
11.3	CPUとのインタフェース	363
11.4	動作説明	364
11.4.1	単一モード (SCAN = "0")	364
11.4.2	スキャンモード (SCAN = "1")	366
11.4.3	入力サンプリングとA/D変換時間	368
11.5	割込み	369
11.6	使用上の注意	369

11.1 概要

H8/3001には、逐次比較方式で動作する10ビットのA/D変換器が内蔵されており、最大4チャンネルのアナログ入力を選択することができます。

11.1.1 特長

A/D変換器の特長を以下に示します。

■ 10ビットの分解能

■ 入力チャンネル：4チャンネル

■ 高速変換

変換時間：1チャンネル当り最小8.4 μ s（16MHz動作時）

■ 単一モード/スキャンモードの2種類の動作モードから選択可能

単一モード：1チャンネルのA/D変換

スキャンモード：1～4チャンネルの連続A/D変換

■ 4本の16ビットデータレジスタ

A/D変換された結果は、各チャンネルに対応したデータレジスタに転送され、保持されます。

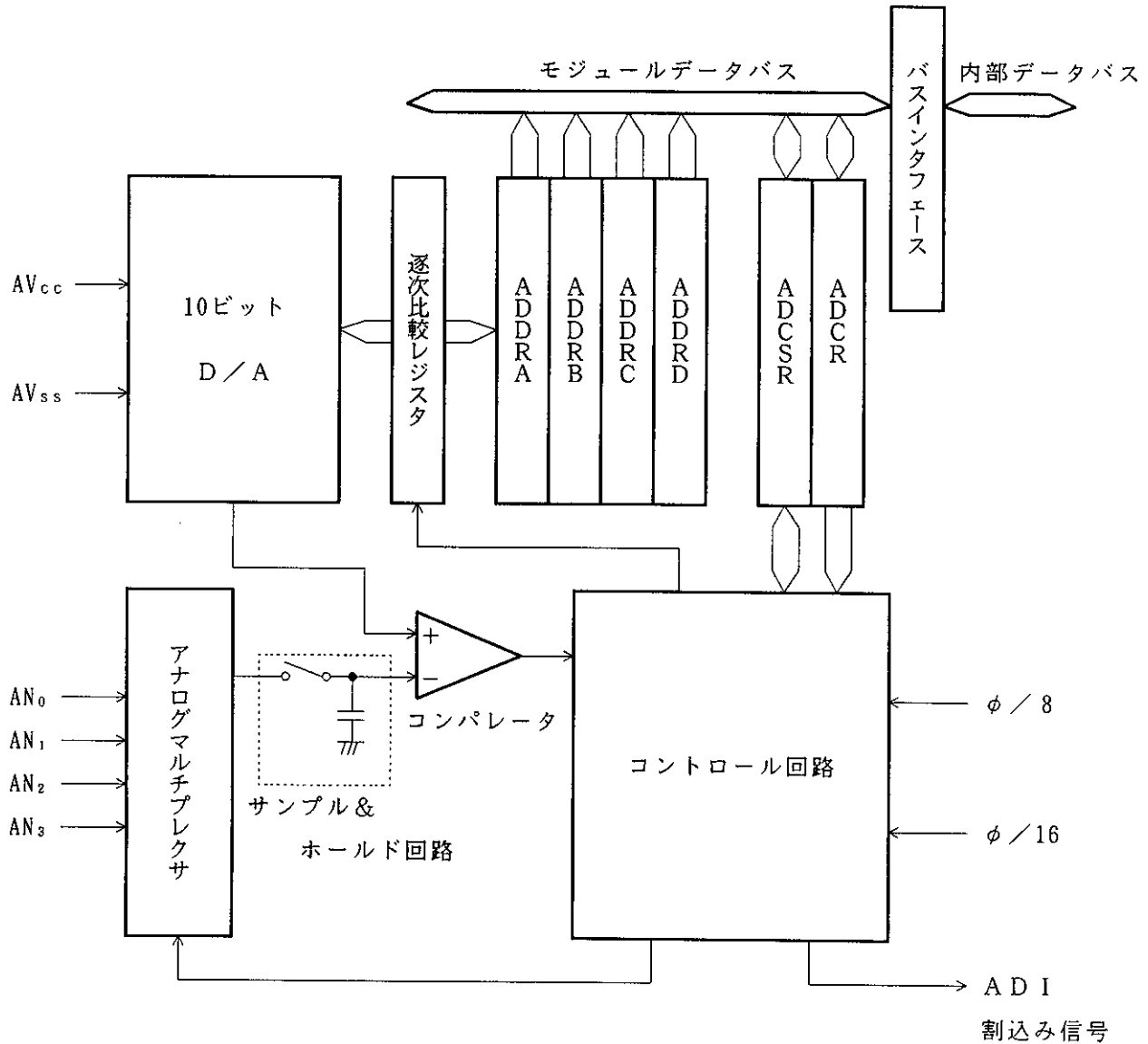
■ サンプル&ホールド機能

■ A/D変換終了割込み要求を発生

A/D変換終了時には、A/D変換終了割込み（ADI）要求を発生させることができます。

11.1.2 ブロック図

A/D変換器のブロック図を図11.1に示します。



《記号説明》

- ADCR : A/Dコントロールレジスタ
- ADCSR : A/Dコントロール/ステータスレジスタ
- ADDR A : A/DデータレジスタA
- ADDR B : A/DデータレジスタB
- ADDR C : A/DデータレジスタC
- ADDR D : A/DデータレジスタD

図11.1 A/D変換器のブロック図

11.1.3 端子構成

A/D変換器で使用する入力端子を表11.1に示します。

AV_{CC}、AV_{SS}端子は、A/D変換器内のアナログ部の電源です。

表11.1 端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源
アナロググランド端子	AV _{SS}	入力	アナログ部のグランドおよび基準電圧
アナログ入力端子0	AN ₀	入力	アナログ入力
アナログ入力端子1	AN ₁	入力	
アナログ入力端子2	AN ₂	入力	
アナログ入力端子3	AN ₃	入力	

11.1.4 レジスタ構成

A/D変換器のレジスタ構成を表11.2に示します。

表11.2 レジスタ構成

アドレス ^{*1}	名称	略称	R/W	初期値
H'FFE0	A/DデータレジスタAH	ADDRAH	R	H'00
H'FFE1	A/DデータレジスタAL	ADDRAL	R	H'00
H'FFE2	A/DデータレジスタBH	ADDRBH	R	H'00
H'FFE3	A/DデータレジスタBL	ADDRBL	R	H'00
H'FFE4	A/DデータレジスタCH	ADDRCH	R	H'00
H'FFE5	A/DデータレジスタCL	ADDRCL	R	H'00
H'FFE6	A/DデータレジスタDH	ADDRDH	R	H'00
H'FFE7	A/DデータレジスタDL	ADDRDL	R	H'00
H'FFE8	A/Dコントロール/ステータスレジスタ	ADCSR	R/(W) ^{*2}	H'00
H'FFE9	A/Dコントロールレジスタ	ADCR	R/W	H'7E

【注】^{*1} アドレスの下位16ビットを示しています。

^{*2} ビット7は、フラグをクリアするための“0”ライトのみ可能です。

11.2 各レジスタの説明

11.2.1 A/DデータレジスタA～D (ADDRA～D)

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRn	:	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	—	—	—	—	—	—
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

(n = A～D)

A/D変換データ
リザーブビット

A/D変換結果の10ビットデータを格納するビットです。

ADDRは、A/D変換された結果を格納する16ビットのリード専用レジスタで、ADDRA～ADDRDの4本があります。

A/D変換されたデータは10ビットデータで、選択されたチャンネルのADDRに転送され、保持されます。A/D変換されたデータの上位8ビットがADDRの上位バイトに、また下位2ビットが下位バイトに対応します。ADDRの下位バイトのビット5～0はリザーブビットで、リードすると常に“0”が読み出されます。アナログ入力チャンネルとADDRの対応を表11.3に示します。

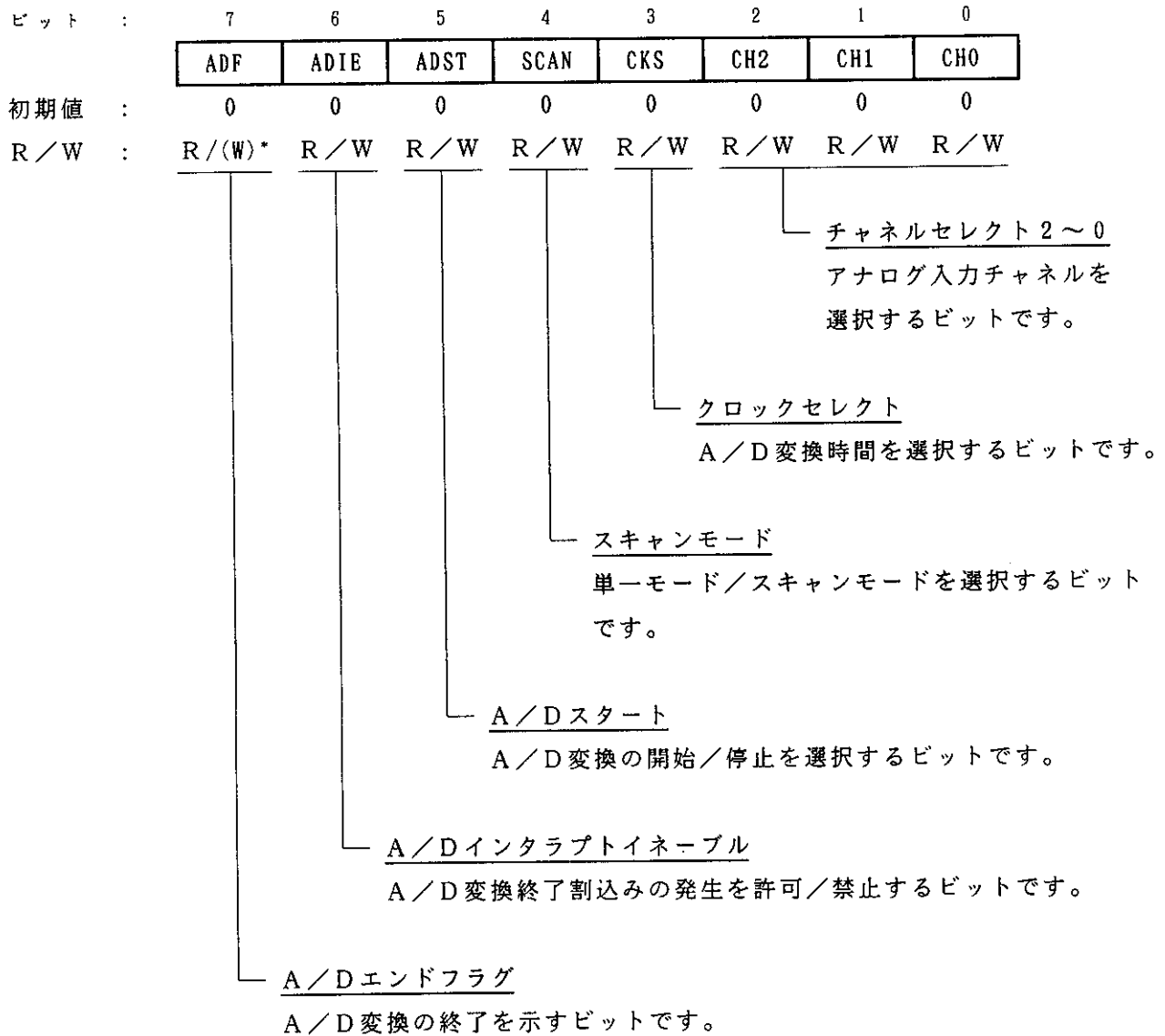
ADDRは、常にCPUからリード可能です。上位バイトは直接リードできますが、下位バイトはテンポラリレジスタ (TEMP) を介してデータ転送が行われます。詳細は「11.3 CPUとのインタフェース」を参照してください。

ADDRは、リセットまたはスタンバイモード時に、H'0000にイニシャライズされます。

表11.3 アナログ入力チャンネルとADDRA～ADDRDの対応

アナログ入力チャンネル	A/Dデータレジスタ
AN ₀	ADDRA
AN ₁	ADDRB
AN ₂	ADDRC
AN ₃	ADDRD

11.2.2 A/Dコントロール/ステータスレジスタ (ADCSR)



【注】* フラグをクリアするための“0”ライトのみ可能です。

ADCSRは、8ビットのリード/ライト可能なレジスタで、モードの選択などA/D変換器の動作を制御します。

ADCSRは、リセットまたはスタンバイモード時に、H'00にイニシャライズされます。

ビット7：A/Dエンドフラグ（ADF）

A/D変換の終了を示すステータスフラグです。

ビット7	説明
ADF	
0	〔クリア条件〕 ADF = “1” の状態で、ADFフラグをリードした後、ADFフラグに“0”をライトしたとき (初期値)
1	〔セット条件〕 (1)単一モード：A/D変換が終了したとき (2)スキャンモード：設定されたすべてのチャンネルのA/D変換が終了したとき

ビット6：A/Dインタラプトイネーブル（ADIE）

A/D変換の終了による割込み（ADI）要求の許可/禁止を選択します。

ビット6	説明
ADIE	
0	A/D変換終了による割込み（ADI）要求を禁止 (初期値)
1	A/D変換終了による割込み（ADI）要求を許可

ビット5：A/Dスタート（ADST）

A/D変換の開始/停止を選択します。

A/D変換中は“1”を保持します。

ビット5	説明
ADST	
0	A/D変換を停止 (初期値)
1	(1) 単一モード：A/D変換を開始し、変換が終了すると自動的に“0”にクリア (2) スキャンモード：A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで選択されたチャンネルを順次連続変換

ビット4：スキャンモード (SCAN)

A/D変換のモードを、単一モード/スキャンモードから選択します。単一モード/スキャンモード時の動作については、「11.4 動作説明」を参照してください。モードの切換えは、ADST = “0” の状態で行ってください。

ビット4	説明	
SCAN		
0	単一モード	(初期値)
1	スキャンモード	

ビット3：クロックセレクト (CKS)

A/D変換時間の設定を行います。

変換時間の切換えは、ADST = “0” の状態で行ってください。

ビット3	説明	
CKS		
0	変換時間 = 266ステート (max)	(初期値)
1	変換時間 = 134ステート (max)	

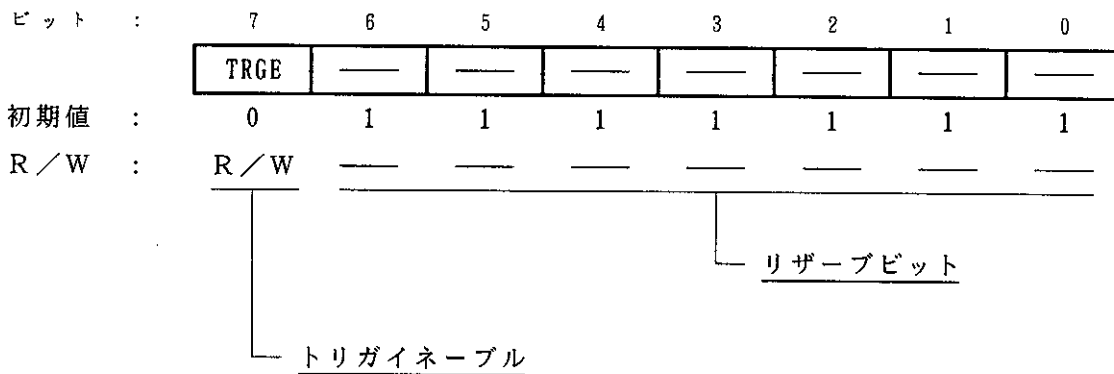
ビット2～0：チャンネルセレクト2～0 (CH2～0)

SCANビットとともにアナログ入力チャンネルを選択します。

チャンネル選択と切換えは、ADST = “0” の状態で行ってください。

グループ選択	チャンネル選択		説明	
CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	AN ₀ (初期値)	AN ₀
	0	1	AN ₁	AN ₀ 、AN ₁
	1	0	AN ₂	AN ₀ ～AN ₂
	1	1	AN ₃	AN ₀ ～AN ₃
1	—	—	使用できません。	

11.2.3 A/Dコントロールレジスタ (ADCR)



外部トリガによるA/D変換の許可/禁止を選択するビットです。

ADCRは、8ビットのリード/ライト可能なレジスタで、外部トリガ入力によるA/D変換の開始の許可/禁止を選択します。

ADCRは、リセットまたはスタンバイモード時、H'7Fにイニシャライズされます。

ビット7：トリガイネーブル (TRGE)

外部トリガ入力によるA/D変換の開始の許可/禁止を選択します。

ビット7	説明
TRGE	
0	外部トリガ入力によるA/D変換の開始を禁止 (初期値)
1	使用できません。

ビット6～0：リザーブビット

リザーブビットです。リードすると常に“1”が読み出されます。ライトは無効です。

11.3 CPUとのインタフェース

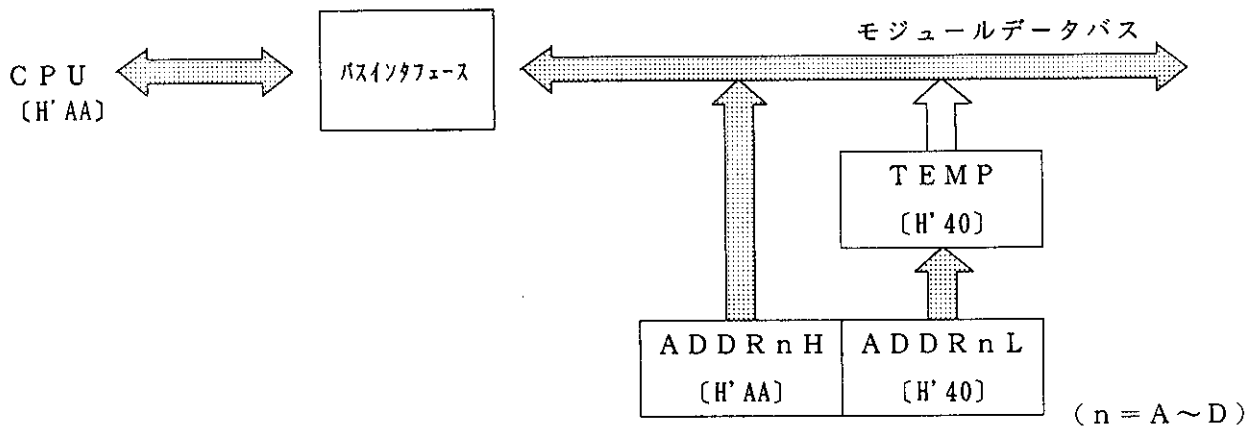
ADDRA~ADDRDはそれぞれ16ビットのレジスタですが、CPUとの間のデータバスは8ビット幅です。そのため、CPUからのアクセスは上位バイトは直接行われますが、下位バイトは8ビットのテンポラリレジスタ（TEMP）を介して行います。

ADDRからのデータのリードは、次のように行われます。上位バイトのリードで上位バイトの値はCPUへ、下位バイトの値はTEMPへ転送されます。次に下位バイトのリードでTEMPの内容がCPUへ転送されます。

ADDRをリードする場合は、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみのリードは可能ですが、下位バイトのみのリードでは内容は保証されませんので注意してください。

図11.2に、ADDRのアクセス時のデータの流れを示します。

<上位バイトのリード>



<下位バイトのリード>

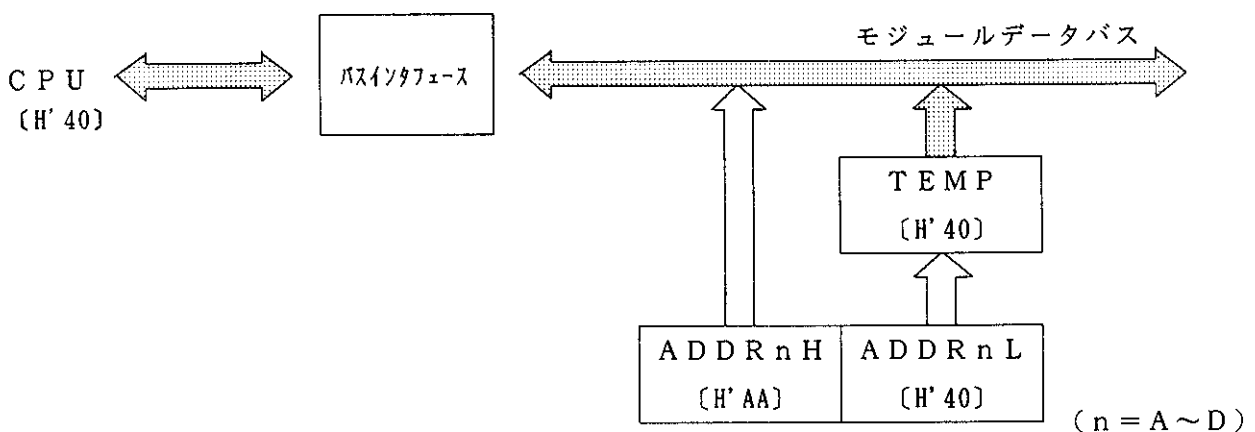


図11.2 ADDRのアクセス動作（[H'AA40]リード時）

11.4 動作説明

A/D変換器は逐次比較方式で動作し、10ビットの分解能をもっています。単一モードとスキャンモードの各モードの動作についての説明をします。

11.4.1 単一モード (SCAN = "0")

単一モードは、1チャンネルのみのA/D変換を行う場合に選択します。ソフトウェアによってADSTビットが"1"にセットされると、A/D変換を開始します。ADSTビットは、A/D変換中は"1"を保持しており、変換が終了すると自動的に"0"にクリアされます。

また、変換が終了すると、ADFフラグが"1"にセットされます。このとき、ADIEビットが"1"にセットされていると、ADI割込み要求が発生します。

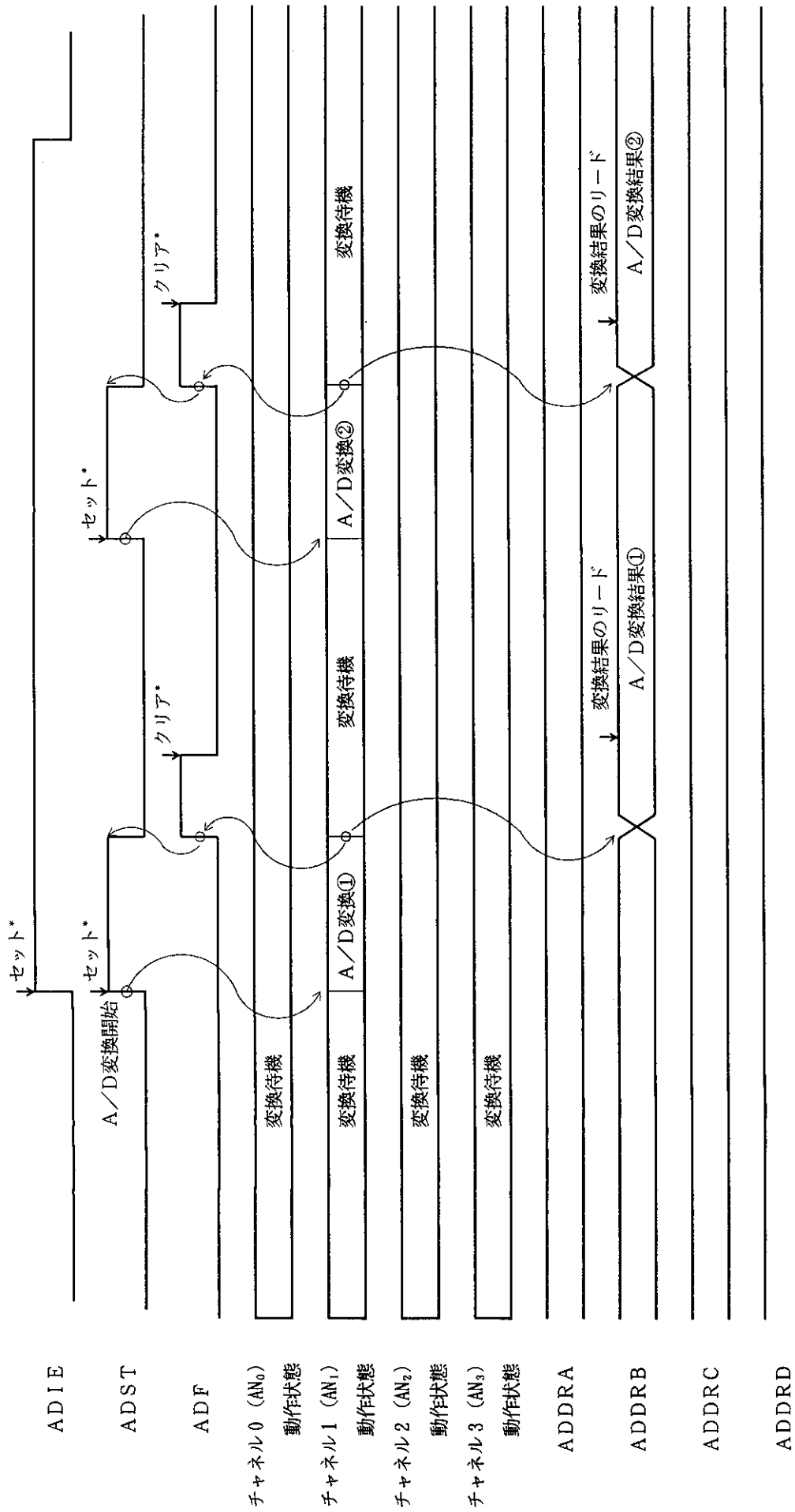
ADFフラグは、ADCSRをリードした後、"0"をライトするとクリアされます。

A/D変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADCSRのADSTビットを"0"にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットを"1"にセットすると（モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます）、再びA/D変換を開始します。

単一モードでチャンネル1 (AN₁)が選択された場合の動作例を以下に示します。また、このときの動作タイミングを図11.3に示します。

- (1) 動作モードを単一モードに (SCAN = "0")、入力チャンネルをAN₁に (CH2 = CH1 = "0"、CH0 = "1")、A/D割込み要求許可 (ADIE = "1") に設定して、A/D変換を開始 (ADST = "1") します。
- (2) A/D変換が終了すると、A/D変換結果がADDRBに転送されます。同時に、ADF = "1"、ADST = "0" となり、A/D変換器は変換待機となります。
- (3) ADF = "1"、ADIE = "1" となっているため、ADI割込み要求が発生します。
- (4) A/D割込み処理ルーチンが開始されます。
- (5) ADCSRをリードした後、ADFに"0"をライトします。
- (6) A/D変換結果 (ADDRB) をリードして、処理します。
- (7) A/D割込み処理ルーチンの実行を終了します。

この後、ADSTビットを"1"にセットするとA/D変換が開始され(2)~(7)を行います。



【注】 ・ ↓は、ソフトウェアによる命令実行を示します。

図11.3 A/D変換器の動作例 (単一モード チャネル1選択時)

11.4.2 スキャンモード (SCAN = "1")

スキャンモードは、複数チャンネル (1チャンネルを含む) のアナログ入力を常にモニタするような応用に適しています。A/D変換はソフトウェアによってADSTビットが"1"にセットされると、第1チャンネル (AN₀) から開始されます。

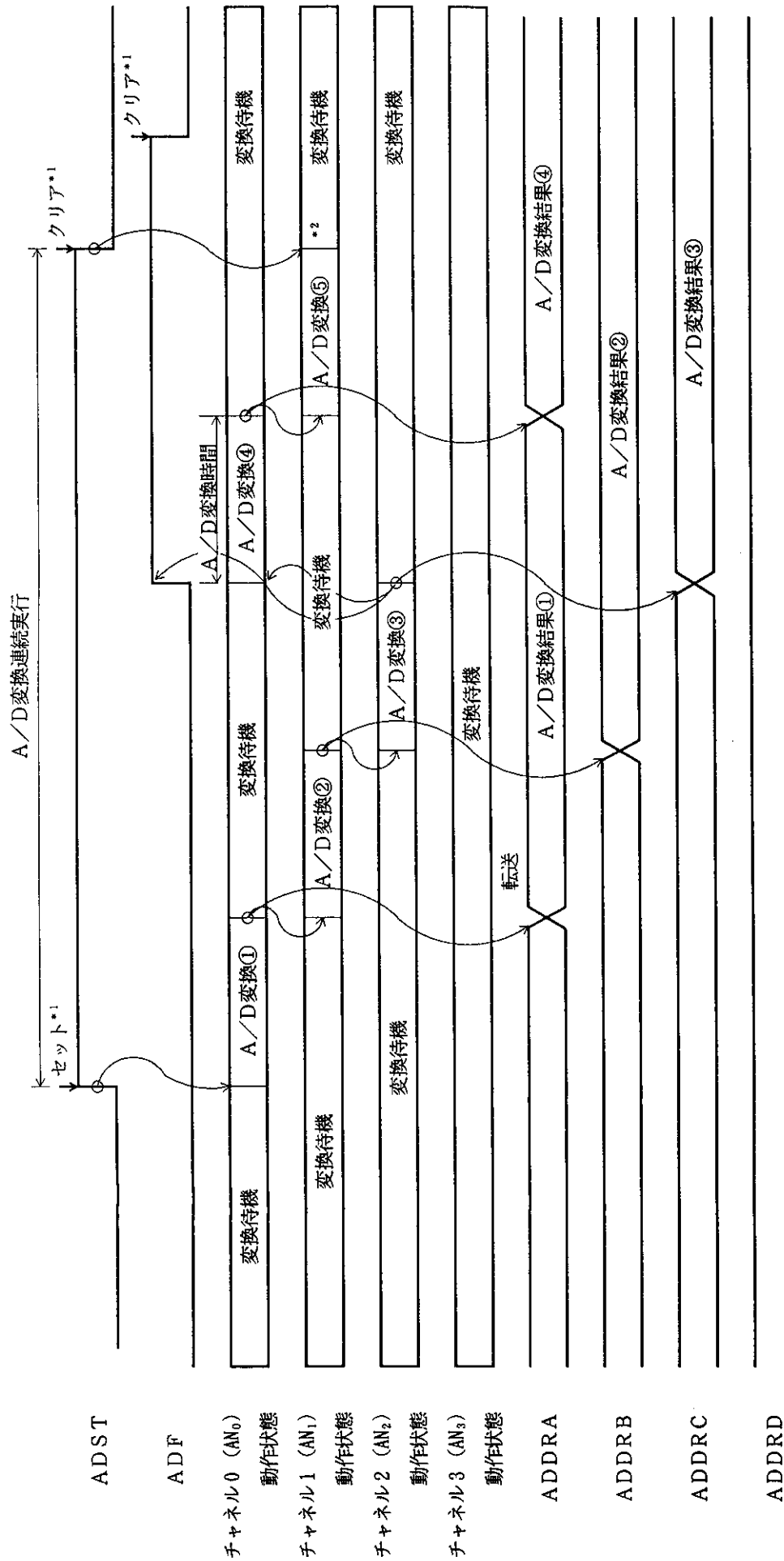
複数のチャンネルが選択されている場合は、第1チャンネルの変換が終了した後、ただちに第2チャンネル (AN₁) のA/D変換を開始します。

A/D変換は、ADSTビットが"0"にクリアされるまで、選択されたチャンネル内を連続して繰り返し行います。変換された結果は、各チャンネルに対応したADDRに転送され保持されます。

A/D変換中に、モードやアナログ入力チャンネルの切り換えを行う場合は、誤動作を避けるためにADCSRのADSTビットを"0"にクリアして、A/D変換を停止した状態で行ってください。変更した後、ADSTビットに"1"をセットすると (モードおよびチャンネルの変更とADSTビットのセットは、同時に行うことができます)、第1チャンネルが選択され、再びA/D変換を開始します。

スキャンモードで3チャンネル (AN₀~AN₂) を選択してA/D変換を行う場合の動作例を以下に示します。また、このときの動作タイミングを図11.4に示します。

- (1) 動作モードをスキャンモードに (SCAN = "1")、アナログ入力チャンネルをAN₀ ~ AN₂ (CH2 = "0"、CH1 = "1"、CH0 = "0") に設定してA/D変換を開始 (ADST = "1") します。
- (2) 第1チャンネル (AN₀) のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR Aに転送します。
次に第2チャンネル (AN₁) が自動的に選択され、変換を開始します。
- (3) 同様に第3チャンネル (AN₂) まで変換を行います。
- (4) 選択されたすべてのチャンネル (AN₀~AN₂) の変換が終了すると、ADF = "1" となり、再び第1チャンネル (AN₀) を選択し、変換が行われます。
このときADIEビットが"1"にセットされていると、A/D変換終了後、ADI割込みが発生します。
- (5) ADSTビットが"1"にセットされている間は、(2)~(4)を繰り返します。
ADSTビットを"0"にクリアするとA/D変換が停止します。この後、ADSTビットを"1"にセットすると再びA/D変換を開始し、第1チャンネル (AN₀) から変換が行われます。



↓は、ソフトウェアによる命令実行を示します。

*2 変換中のデータは無視されます。

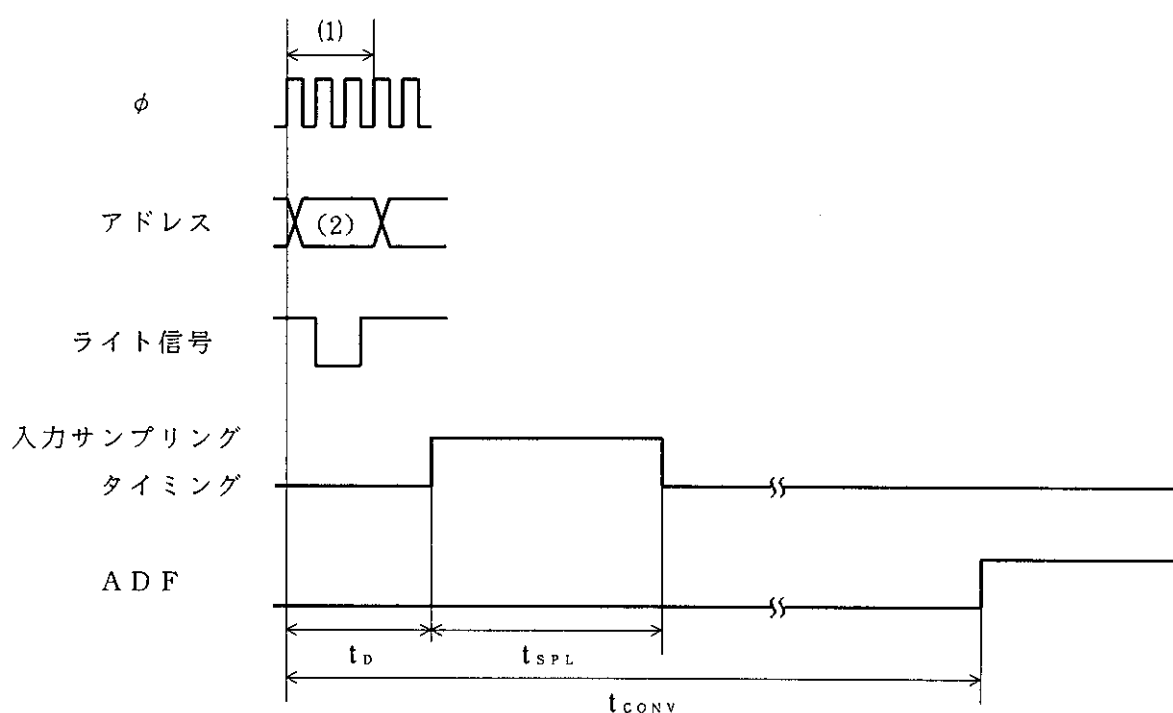
図11.4 A/D変換器の動作例 (スキャンモード AN₀ ~ AN₂の3チャンネル選択時)

11.4.3 入力サンプリングとA/D変換時間

A/D変換器には、サンプル&ホールド回路が内蔵されています。A/D変換器は、ADSTビットが“1”にセットされてから t_D 時間経過後、入力のサンプリングを行い、その後変換を開始します。A/D変換のタイミングを図11.5に示します。また、A/D変換時間を表11.4に示します。

A/D変換時間は、図11.5に示すように、 t_D と入力サンプリング時間を含めた時間となります。ここで t_D は、ADCSRへのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表11.4に示す範囲で変化します。

スキャンモードの変換時間は、表11.4に示す値が1回目の変換時間となりますが、2回目以降はCKS = “0”の場合は256ステート（固定）、CKS = “1”の場合は128ステート（固定）となります。



《記号説明》

- (1) : ADCSRライトサイクル
- (2) : ADCSRのアドレス
- t_D : A/D変換開始遅延時間
- t_{SPL} : 入力サンプリング時間
- t_{CONV} : A/D変換時間

図11.5 A/D変換タイミング

表11.4 A/D変換時間（単一モード）

	記号	CKS = "0"			CKS = "1"		
		min	typ	max	min	typ	max
A/D変換開始遅延時間	t_D	10	—	17	6	—	9
入力サンプリング時間	t_{SPL}	—	80	—	—	40	—
A/D変換時間	t_{CONV}	259	—	266	131	—	134

【注】 表中の数値の単位はステートです。

11.5 割込み

A/D変換器は、A/D変換の終了により、A/D変換終了割込み（ADI）を発生します。ADI割込み要求は、ADCSRのADIEビットで許可/禁止することができます。

11.6 使用上の注意

A/D変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧は $AV_{SS} \leq AN_n \leq AV_{CC}$ の範囲としてください。（n = 0 ~ 3）

(2) AV_{CC}、AV_{SS}入力電圧

AV_{SS}入力電圧は、AV_{SS}=V_{SS}としてください。A/D変換器を使用しない場合、AV_{CC}=V_{CC}、AV_{SS}=V_{SS}としてください。

12. R A M

第12章 目次

12.1	概要	373
12.1.1	ブロック図	373
12.1.2	レジスタ構成	374
12.2	システムコントロールレジスタ (SYS CR)	375
12.3	動作説明	376

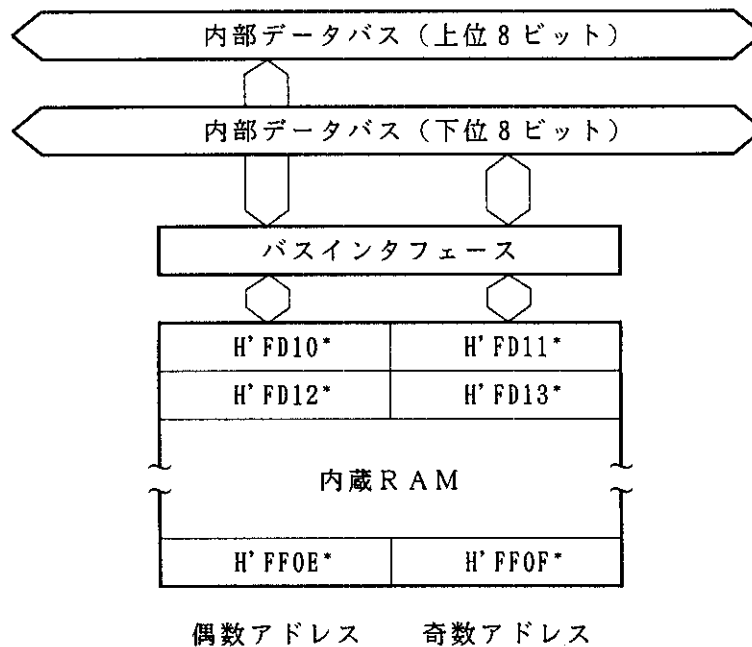
12.1 概要

H8/3001は、512バイトのスタティックRAMを内蔵しています。RAMはCPUと16ビット幅のデータバスで接続されており、アクセスはバイトデータ、ワードデータにかかわらず2ステップで行われます。したがって、データの高速度転送が可能です。

内蔵RAMは、モード1、2のときH'FFD10~H'FFF0Fに、モード3、4のときH'FFD10~H'FFF0Fに割り当てられており、システムコントロールレジスタ(SYSCR)のRAMイネーブル(RAME)ビットにより内蔵RAM有効/無効の制御を行います。

12.1.1 ブロック図

RAMのブロック図を図12.1に示します。



【注】* アドレスは下位16ビットを示しています。

図12.1 RAMのブロック図

12.1.2 レジスタ構成

内蔵RAMは、SYSCRで制御されます。

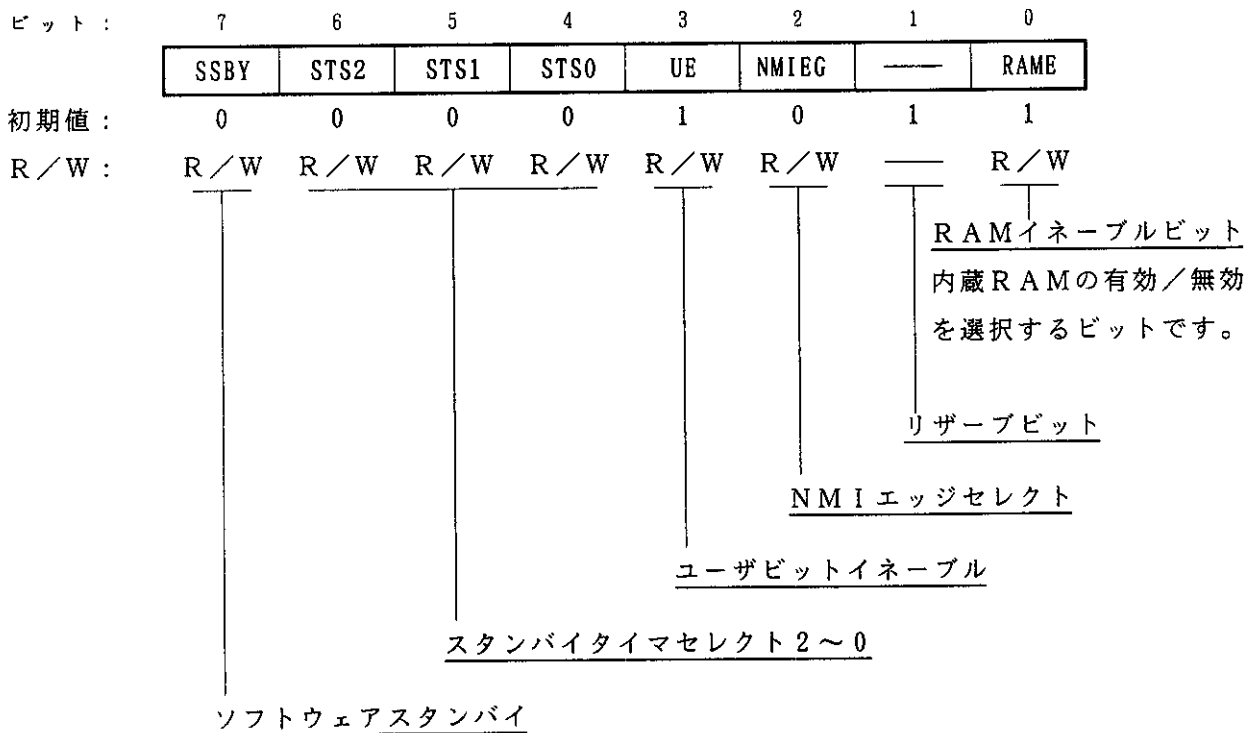
SYSCRのアドレスと初期値を表12.1に示します。

表12.1 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】* アドレスは下位16ビットを示しています。

12.2 システムコントロールレジスタ (SYSCR)



SYSCRは、内蔵RAMへのアクセスを許可/禁止するレジスタです。内蔵RAMはSYSCRのRAMEビットにより有効/無効が選択されます。なお、SYSCRのその他のビットについての詳細は「3.3 システムコントロールレジスタ」を参照してください。

ビット0: RAMイネーブル (RAME)

内蔵RAMの有効または無効を選択します。RAMEビットはRES端子の立上がりエッジでイニシャライズされます。ソフトウェアスタンバイモードではイニシャライズされません。

ビット0	説明	初期値
RAME		
0	内蔵RAM無効	
1	内蔵RAM有効	(初期値)

12.3 動作説明

RAMEビットが“1”にセットされているとき、モード1、2ではH'FFD10～H'FFFOFを、モード3、4ではH'FFFD10～H'FFFF0Fをアクセスすると内蔵RAMがアクセスされます。また、RAM Eビットが“0”にクリアされているときは、外部アドレス空間がアクセスされます。

RAMはCPUと内部16ビットデータバスで接続されており、ワード単位のリード／ライトが可能です。また、バイト単位のリード／ライトも可能です。

バイトデータは、データバス上位8ビットを使い2ステートでアクセスされ、また、偶数番地から始まるワードデータはデータバス16ビットを使い2ステートでアクセスできます。

13. クロック発振器

第13章 目次

13.1	概要	379
13.1.1	ブロック図	379
13.2	発振器	380
13.2.1	水晶発振子を接続する方法	380
13.2.2	外部クロックを入力する方法	382
13.3	デューティ補正回路	384
13.4	プリスケアラ	384

13.1 概要

H8/3001は、クロック発振器（CPG：Clock Pulse Generator）を内蔵しており、クロック発振器とシステムクロック（ ϕ ）、および内部クロック（ $\phi/2 \sim \phi/4096$ ）を生成します。

H8/3001のクロック発振器は、発振器、デューティ補正回路、およびプリスケアラから構成されます。

13.1.1 ブロック図

図13.1にクロック発振器のブロック図を示します。

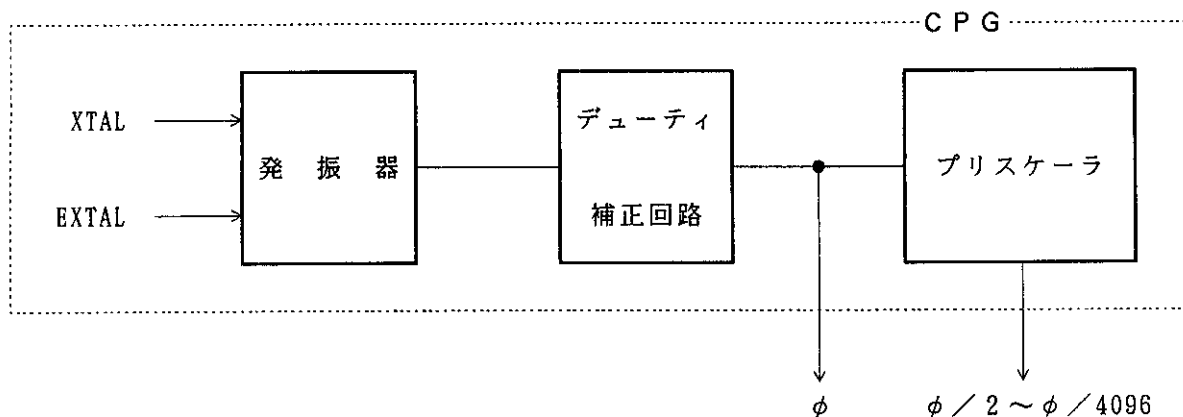


図13.1 クロック発振器のブロック図

13.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法の2とおりがあります。

13.2.1 水晶発振子を接続する方法

(1) 回路構成

水晶発振子を接続する場合の接続例を図13.2に示します。ダンピング抵抗 R_d は、表13.1に示すものを使用してください。また、水晶発振子は、ATカット並列共振形を使用してください。

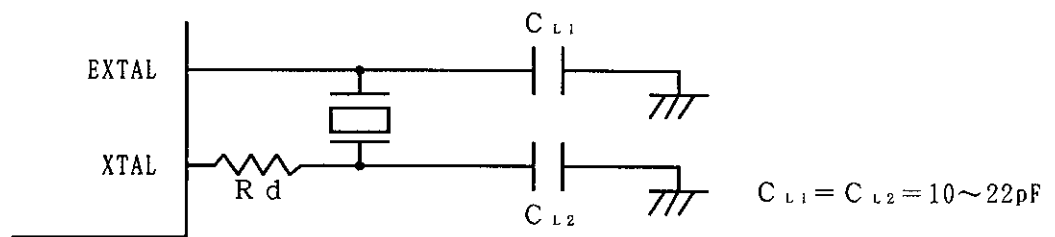


図13.2 水晶発振子を接続する場合の接続例

表13.1 ダンピング抵抗値

周波数 (MHz)	2	4	8	10	12	14
R_d (Ω)	1 k	500	200	0	0	0

(2) 水晶発振子

図13.3に水晶発振子の等価回路を示します。水晶発振子は表13.2に示す特性のものを使用してください。

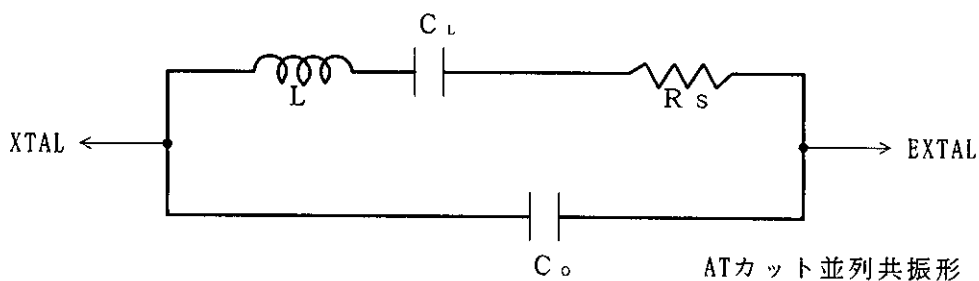


図13.3 水晶発振子の等価回路

表13.2 水晶発振子のパラメータ

周波数 (MHz)	2	4	8	10	12	16
$R_s \text{ max}$ (Ω)	500	120	80	70	60	50
C_o (pF)	7 pF max					

① 2分周発振版

水晶発振子は、 ϕ の2倍の周波数のものを使用してください。

② 1 : 1 発振版

水晶発振子は、 ϕ と同一の周波数のものを使用してください。

(3) ボード設計上の注意

水晶発振子を接続して発振させる場合、次の点に注意してください。

発振回路部の近くで信号線を通過させないでください。誘導により正しい発振ができなくなる場合があります(図13.4)。

また、ボード設計に際しては、水晶発振子および負荷容量はできるだけXTAL、EXTAL端子の近くに配置してください。

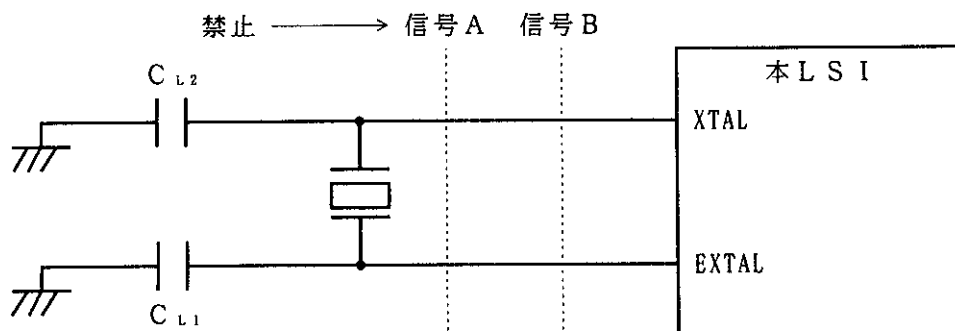


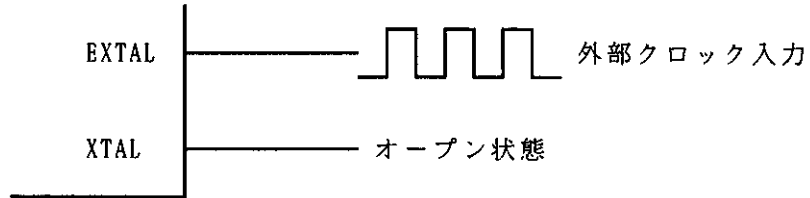
図13.4 発振回路部のボード設計に関する注意事項

13.2.2 外部クロックを入力する方法

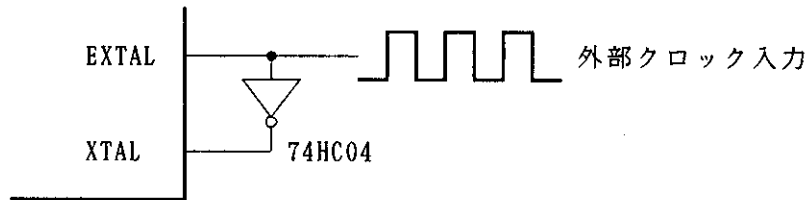
(1) 回路構成

外部クロック入力の接続例を図13.5に示します。図13.5(b)の場合、スタンバイモード時には外部クロックが“High”レベルとなるようにしてください。

XTAL端子をオープン状態にする場合は、寄生容量が10pF以下としてください。



(a) XTAL端子をオープンにする接続例



(b) XTAL端子に逆相クロックを入力する接続例

図13.5 外部クロックを入力する場合の接続例

(2) 外部クロック

外部クロックは ϕ と同一の周波数にしてください。表13.3と図13.6にクロックタイミングを示します。

表13.3 クロックタイミング

項目	記号	$V_{CC}=2.7\sim 5.5V$		$V_{CC}=5.0V\pm 10\%$		単位	測定条件	
		min	max	min	max			
外部クロック 立上がり時間	t_{EXR}	—	10	—	5	ns	図13.6	
外部クロック 立下がり時間	t_{EXF}	—	10	—	5	ns		
外部クロック入力 デューティ (a/t_{CYC})	—	30	70	30	70	%	$\phi \geq 5MHz$	図13.6
	—	40	60	40	60	%	$\phi < 5MHz$	
ϕ クロックデューティ (b/t_{CYC})	—	40	60	40	60	%	—	

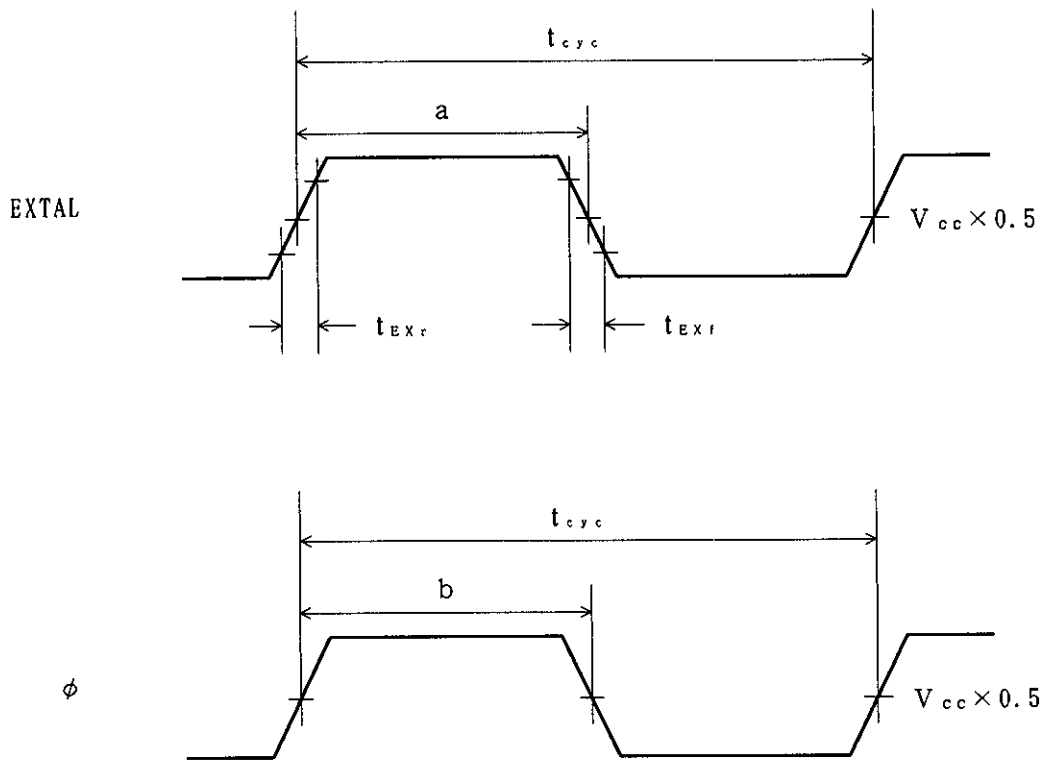


図13.6 外部クロック入力タイミング

13.3 デューティ補正回路

デューティ補正回路は、周波数 5 MHz 以上の発振に対し発振器からのクロックのデューティを補正し、 ϕ を生成します。

13.4 プリスケーラ

プリスケーラは、 ϕ を分周し内部クロック ($\phi / 2 \sim \phi / 4096$) を生成します。

14. 低消費電力状態

第14章 目次

14.1	概要	387
14.2	レジスタ構成	388
14.2.1	システムコントロールレジスタ (SYSCR)	388
14.3	スリープモード	390
14.3.1	スリープモードへの遷移	390
14.3.2	スリープモードの解除	390
14.4	ソフトウェアスタンバイモード	391
14.4.1	ソフトウェアスタンバイモードへの遷移	391
14.4.2	ソフトウェアスタンバイモードの解除	391
14.4.3	ソフトウェアスタンバイモード解除後の発振安定待機時間の設定	392
14.4.4	ソフトウェアスタンバイモードの応用例	393
14.4.5	使用上の注意	393
14.5	ハードウェアスタンバイモード	394
14.5.1	ハードウェアスタンバイモードへの遷移	394
14.5.2	ハードウェアスタンバイモードの解除	394
14.5.3	ハードウェアスタンバイモードのタイミング	394

14.1 概要

H8/3001には、CPU機能を停止して消費電力を著しく低下させる低消費電力状態があります。

低消費電力状態には、次の3種類のモードがあります。

- (1) スリープモード
- (2) ソフトウェアスタンバイモード
- (3) ハードウェアスタンバイモード

各モードへ遷移する条件とCPUや周辺機能などの状態、および各モードからの解除方法を表14.1に示します。

表14.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	レジスタ	周辺機能	RAM	I/Oポート	
スリープモード	SYSCRのSSBY="0"の状態 でSLEEP命令を実行	動作	停止	保持	動作	保持	保持	<ul style="list-style-type: none"> • 割込み • $\overline{\text{RES}}$端子 • $\overline{\text{STBY}}$端子
ソフトウェアスタンバイモード	SYSCRのSSBY="1"の状態 でSLEEP命令を実行	停止	停止	保持	停止 リセット	保持	保持	<ul style="list-style-type: none"> • NMI端子 • $\overline{\text{IRQ}}_0 \sim \overline{\text{IRQ}}_1$端子 • $\overline{\text{RES}}$端子 • $\overline{\text{STBY}}$端子
ハードウェアスタンバイモード	$\overline{\text{STBY}}$ 端子を "Low"レベル	停止	停止	不定	停止 リセット	保持 ^{*1}	ハイイン ピーダ ンス	<ul style="list-style-type: none"> • $\overline{\text{STBY}}$端子 • $\overline{\text{RES}}$端子

【注】*1 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前にSYSCRのRAMEビットを"0"にクリアする必要があります。

《記号説明》

SYSCR : システムコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

14.2 レジスタ構成

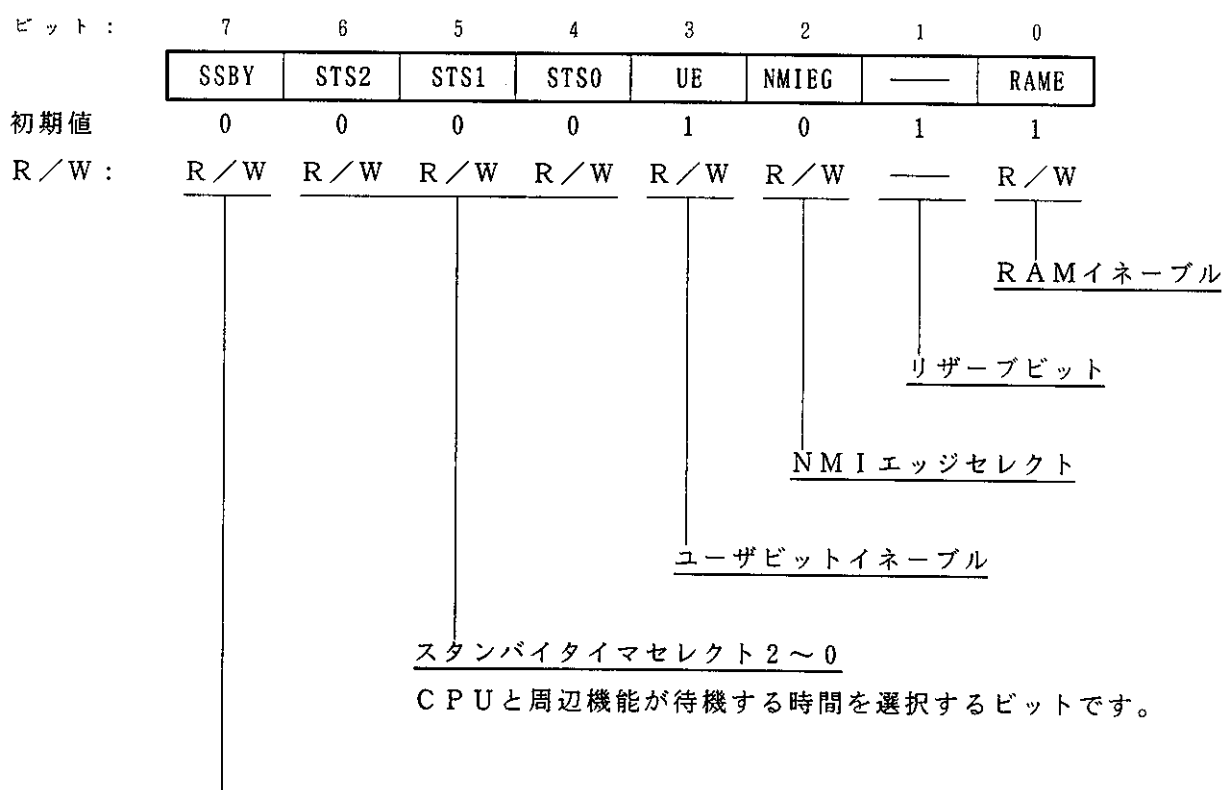
本LSIには低消費電力状態の制御を行うシステムコントロールレジスタ（SYSCR）があります。レジスタ構成を表14.2に示します。

表14.2 レジスタ構成

アドレス*	名 称	略 称	R/W	初期値
H'FFF2	システムコントロールレジスタ	SYSCR	R/W	H'0B

【注】* アドレスの下位16ビットを示しています。

14.2.1 システムコントロールレジスタ（SYSCR）



ソフトウェアスタンバイ

ソフトウェアスタンバイモードへの遷移を選択するビットです。

SYSCRは8ビットのリード/ライト可能なレジスタで、ビット7のSSBYビットとビット6~4のSTS2~STS0ビットにより低消費電力状態の制御を行います。なお、SYSCRのその他のビットについての詳細は「3.3 システムコントロールレジスタ」を参照してください。

ビット7：ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

なお、外部割込みによりソフトウェアスタンバイモードが解除され、通常動作に遷移したときこのビットは“1”にセットされたままです。クリアする場合は、“0”をライトしてください。

ビット7	説明
SSBY	
0	SLEEP命令実行後、スリープモードに遷移 (初期値)
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

ビット6～4：スタンバイタイマセレクト2～0 (STS2～0)

外部割込みによって、ソフトウェアスタンバイモードを解除する場合に、クロックが安定するまでCPUと周辺機能が待機する時間を選択します。水晶発振の場合、表14.3を参照し動作周波数に応じて待機時間が8ms（発振安定時間）以上となるように選択してください。外部クロックの場合、任意の選択が可能です。

ビット6	ビット5	ビット4	説明
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート (初期値)
0	0	1	待機時間 = 16384ステート
0	1	0	待機時間 = 32768ステート
0	1	1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
1	1	—	使用できません。

14.3 スリープモード

14.3.1 スリープモードへの遷移

SYSCRのSSBYビットを“0”にクリアした状態でSLEEP命令を実行すると、プログラム実行状態からスリープモードに遷移します。CPUの動作は、SLEEP命令実行直後に停止します。CPUの動作は停止しますが、CPUのレジスタの内容は保持されます。スリープモードでは内蔵周辺モジュールの機能は停止しません。

14.3.2 スリープモードの解除

スリープモードの解除は、割込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子によって行われます。

(1) 割込みによる解除

割込み要求が発生すると、割込み例外処理状態に遷移し、スリープモードは解除されます。なお、内蔵周辺モジュールによる割込みがモジュール側で禁止されている場合、また、NMI以外の割込みでCCRのIビット、UIビット、IPRによってマスクされている場合にはスリープモードは解除されません。

(2) $\overline{\text{RES}}$ 端子による解除

RES端子を“Low”レベルにするとリセット状態に遷移し、スリープモードは解除されます。

(3) $\overline{\text{STBY}}$ 端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

14.4 ソフトウェアスタンバイモード

14.4.1 ソフトウェアスタンバイモードへの遷移

ソフトウェアスタンバイモードに遷移するにはSYS CRのSSBYビットを“1”にセットした状態で、SLEEP命令を実行します。

ソフトウェアスタンバイモードでは、CPUだけでなくクロックをはじめ内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減されます。内蔵周辺モジュールはリセット状態になり、停止します。規定の電圧が与えられている限り、CPUのレジスタ、および内蔵RAMのデータは保持されます。I/Oポートの状態も保持されています。

14.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割込み（NMI端子、 $\overline{IRQ_0}$ ～ $\overline{IRQ_1}$ 端子）、 \overline{RES} 端子、またはSTBY端子によって行われます。

(1) 割込みによる解除

NMI、 $\overline{IRQ_0}$ ～ $\overline{IRQ_1}$ 割込み要求信号が入力されると、クロックの発振が開始され、SYS CRのSTS2～STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割込み例外処理を開始します。なお、 $\overline{IRQ_0}$ ～ $\overline{IRQ_1}$ 割込みは、対応するイネーブルビットが“0”にクリアされている場合、またはCCRのIビット、UIビット、IPRによってマスクされている場合には、ソフトウェアスタンバイモードは解除されません。

(2) \overline{RES} 端子による解除

\overline{RES} 端子を“Low”レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSI全体にクロックが供給されます。このとき \overline{RES} 端子は必ずクロックの発振が安定するまで“Low”レベルに保持してください。 \overline{RES} 端子を“High”レベルにすると、CPUはリセット例外処理を開始します。

(3) STBY端子による解除

STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。

14.4.3 ソフトウェアスタンバイモード解除後の発振安定待機時間の設定

SYSCRのSTS2～STS0ビットの設定は、以下のようになしてください。

(1) 水晶発振の場合

待機時間が8ms（発振安定時間）以上となるようにSTS2～STS0を設定してください。

表14.3に動作周波数とSTS2～STS0ビットの設定値に対する待機時間を示します。

(2) 外部クロックの場合

任意の値を選択可能です。

表14.3 動作周波数と発振安定待機時間

STS2	STS1	STS0	待機時間	16MHz	12MHz	10MHz	8MHz	6MHz	4MHz	2MHz	単位
0	0	0	8192ステート	0.51	0.65	0.8	1.0	1.3	2.0	4.1	ms
0	0	1	16384ステート	1.0	1.3	1.6	2.0	2.7	4.1	8.2	
0	1	0	32768ステート	2.0	2.7	3.3	4.1	5.5	8.2	16.4	
0	1	1	65536ステート	4.1	5.5	6.6	8.2	10.9	16.4	32.8	
1	0	—	131072ステート	8.2	10.9	13.1	16.4	21.8	32.8	65.5	
1	1	—	使用できません。								

: 推奨設定時間

14.4.4 ソフトウェアスタンバイモードの応用例

ここでは、NMI端子の立下がり（NMI端子の立上がりで解除を行う例を、図14.1に示します。

SYSCRのNMIエッジ（NMIEG）ビットが“0”にクリアされている（立下がりエッジ指定）状態でNMI割込みを受け付けた後、NMIEGビットを“1”にセットします（立上がりエッジ指定）。SSBYビットを“1”にセットした後、SLEEP命令を実行してソフトウェアスタンバイモードに移ります。

その後、NMI端子の立上がりエッジで、ソフトウェアスタンバイモードが解除されます。

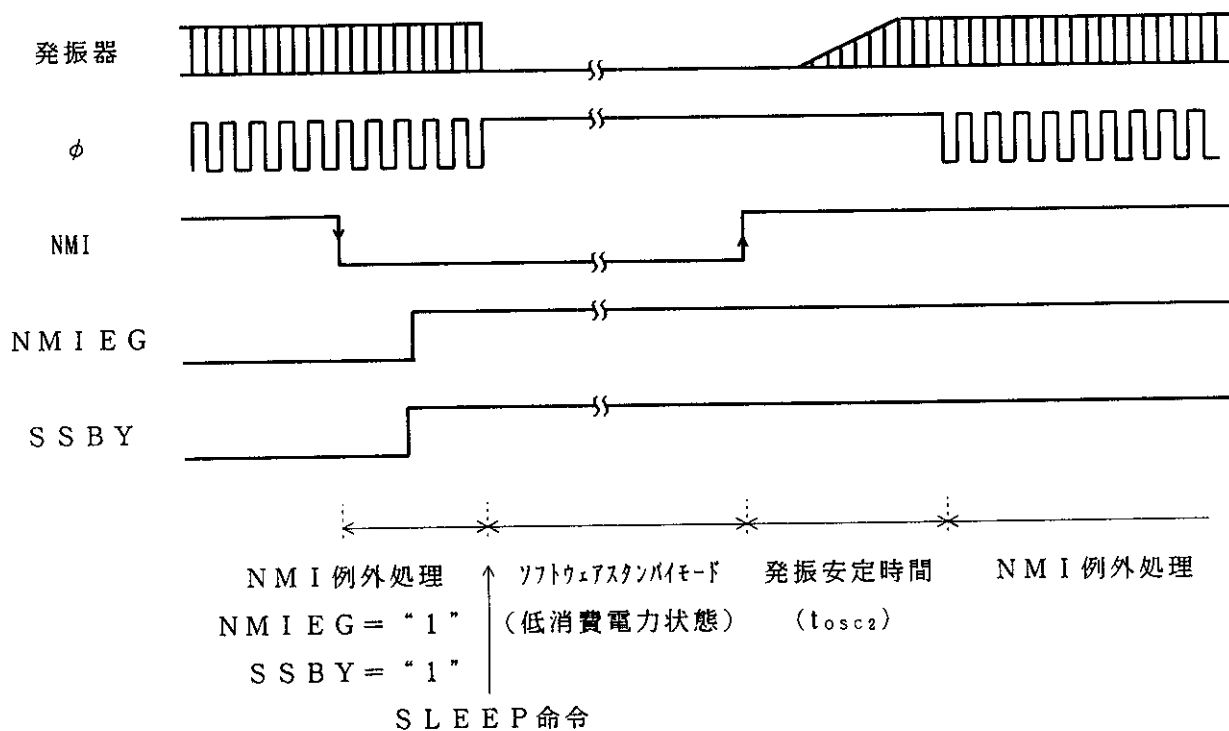


図14.1 ソフトウェアスタンバイモード時のNMIタイミング（例）

14.4.5 使用上の注意

ソフトウェアスタンバイモードでは、I/Oポートの状態が保持されます。したがって、“High”レベルを出力している場合、出力電流分の消費電流は低減されません。

14.5 ハードウェアスタンバイモード

14.5.1 ハードウェアスタンバイモードへの遷移

STBY端子を“Low”レベルにすると、どの処理状態からでもハードウェアスタンバイモードに遷移します。

ハードウェアスタンバイモードでは、CPU、および内蔵周辺モジュールの機能が停止するため、消費電力は著しく低減します。内蔵RAM以外のすべてのモジュールはリセット状態になりますが、規定の電圧が与えられている限り、内蔵RAMのデータは保持されます。I/Oポートは、ハイインピーダンス状態になります。

内蔵RAMのデータを保持するためには、STBY端子を“Low”レベルにする前に、SYSCRのRAMEビットを“0”にクリアしてください。

ハードウェアスタンバイモード中には、モード端子(MD2~MD0)の状態を変化させないでください。

14.5.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、STBY端子とRES端子とで行われます。RES端子を“Low”レベルにした状態で、STBY端子を“High”レベルにすると、クロックは発振を開始します。このとき、RES端子は必ずクロックの発振が安定するまで“Low”レベルに保持してください。RES端子を“High”レベルにするとリセット例外処理を経て、プログラム実行状態に遷移します。

14.5.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図14.2に示します。

RES端子を“Low”レベルにした後、STBY端子を“Low”レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、STBY端子を“High”レベルにし、クロックの発振安定時間経過後、RES端子を“Low”レベルから“High”レベルにすることにより行われます。

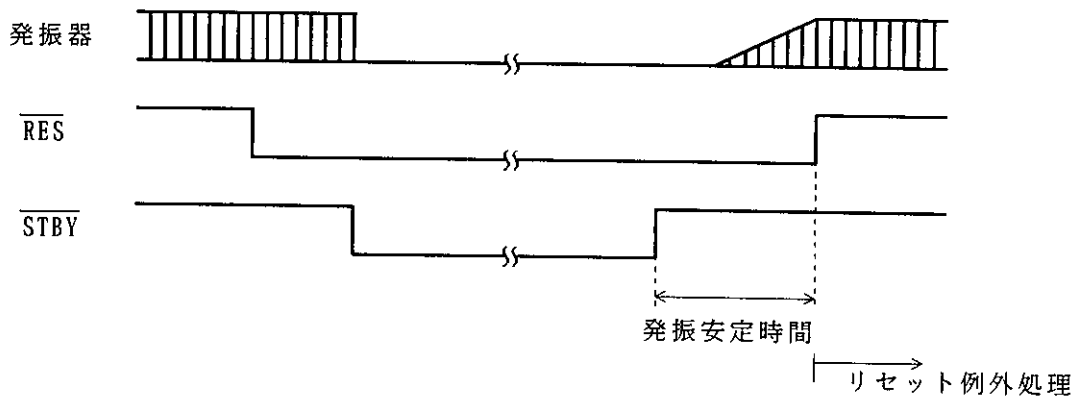


図14.2 ハードウェアスタンバイモードのタイミング

15. 電気的特性

第15章 目次

15.1	絶対最大定格	397
15.2	電気的特性	397
15.2.1	DC特性	397
15.2.2	AC特性	405
15.2.3	A/D変換特性	410
15.3	動作タイミング	411
15.3.1	バスタイミング	411
15.3.2	制御信号タイミング	413
15.3.3	クロックタイミング	415
15.3.4	TPC、I/Oポートタイミング	415
15.3.5	ITUタイミング	416
15.3.6	SCI入出力タイミング	417

15.1 絶対最大定格

絶対最大定格を表15.1に示します。

表15.1 絶対最大定格

項 目	記 号	定 格 値	単 位
電 源 電 圧	V_{CC}	-0.3 ~ +7.0	V
入力電圧 (ポート7以外)	V_{IN}	-0.3 ~ $V_{CC} + 0.3$	V
入力電圧 (ポート7)	V_{IN}	-0.3 ~ $AV_{CC} + 0.3$	V
アナログ電源電圧	AV_{CC}	-0.3 ~ +7.0	V
アナログ入力電圧	V_{AN}	-0.3 ~ $AV_{CC} + 0.3$	V
動 作 温 度	T_{OPR}	通常仕様品 : -20 ~ +75	°C
		広温度範囲仕様品 : -40 ~ +85	°C
保 存 温 度	T_{STG}	-55 ~ +125	°C

【使用上の注意】

絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

15.2 電気的特性

15.2.1 DC特性

DC特性を表15.2に示します。また、出力許容電流値を表15.3に示します。

表15.2 DC特性(1)

条件: $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_s = -20 \sim +75^{\circ}C$ (通常仕様品)、 $T_s = -40 \sim +85^{\circ}C$ (広温度範囲仕様品)

項	目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポート8、A、 B	V_{T^-}	1.0	—	—	V	
		V_{T^+}	—	—	$V_{CC} \times 0.7$	V	
		$V_{T^+} - V_{T^-}$	0.4	—	—	V	
入力“High” レベル電圧	RES、STBY、NMI、 MD ₂ ~MD ₀	V_{IH}	$V_{CC} - 0.7$	—	$V_{CC} + 0.3$	V	
	EXTAL		$V_{CC} \times 0.7$	—	$V_{CC} + 0.3$	V	
	ポート7		2.0	—	$AV_{CC} + 0.3$	V	
	ポート4、6、 9 D ₁₅ ~D ₈		2.0	—	$V_{CC} + 0.3$	V	
入力“Low” レベル電圧	RES、STBY、 MD ₂ ~MD ₀	V_{IL}	-0.3	—	0.5	V	
	NMI、EXTAL、 ポート4、6、 7、9 D ₁₅ ~D ₈		-0.3	—	0.8	V	
出力“High” レベル電圧	全出力端子	V_{OH}	$V_{CC} - 0.5$	—	—	V	$I_{OH} = -200 \mu A$
			3.5	—	—	V	$I_{OH} = -1mA$
出力“Low” レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL} = 1.6mA$
	ポートB、 A ₁₉ ~A ₀		—	—	1.0	V	$I_{OL} = 10mA$
入力リーク 電流	STBY、NMI、RES、 MD ₂ ~MD ₀	$ I_{in} $	—	—	1.0	μA	$V_{in} =$ 0.5~ $V_{CC} - 0.5V$
	ポート7		—	—	1.0	μA	$V_{in} =$ 0.5~ $AV_{CC} - 0.5V$

表15.2 DC特性(2)

条件： $V_{CC}=5.0V \pm 10\%$ 、 $AV_{CC}=5.0V \pm 10\%$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_s = -20 \sim +75^\circ C$ (通常仕様品)、 $T_s = -40 \sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
スリープモード電流 (μA 状態)	ポート4、6、8、9、A、B、 $A_{19} \sim A_0$ 、 $D_{15} \sim D_8$	$ I_{TS1} $	—	—	1.0	μA $V_{in} = 0.5 \sim V_{CC} - 0.5V$
入力プルアップMOS電流	ポート4	$-I_P$	50	—	300	μA $V_{in} = 0V$
入力容量	NMI	C_{in}	—	—	50	pF $V_{in} = 0V$
	NMI以外の全入力端子		—	—	15	pF $f = 1MHz$ $T_s = 25^\circ C$
消費電流 ^{*2}	通常動作時	I_{CC}	—	45	60	mA $f = 16MHz$
	スリープ時		—	32	45	mA $f = 16MHz$
	スタンバイ時 ^{*3}		—	0.01	5.0	μA $T_s \leq 50^\circ C$
アナログ電源電流	A/D変換中	AI_{CC}	—	1.5	2.6	mA
	A/D変換待機時		—	0.02	10.0	μA
RAMスタンバイ電圧	V_{RAM}	2.0	—	—	V	$50^\circ C < T_s$

【注】^{*1} A/D変換器未使用時に AV_{CC} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

^{*2} 消費電流値は、 $V_{IH\ min} = V_{CC} - 0.5V$ 、 $V_{IL\ max} = 0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

^{*3} $V_{RAM} \leq V_{CC} < 4.5V$ のとき、 $V_{IH\ min} = V_{CC} \times 0.9$ 、 $V_{IL\ max} = 0.3V$ とした場合の値です。

表15.2 DC特性(3)

条件： $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ *

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項	目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポート8、A、 B	V_{T^-}	$V_{CC}\times 0.2$	—	—	V	
		V_{T^+}	—	—	$V_{CC}\times 0.7$	V	
		$V_{T^+}-V_{T^-}$	$V_{CC}\times 0.07$	—	—	V	
入力“High” レベル電圧	RES、STBY、NMI、 MD ₂ ~MD ₀	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
	ポート7		$V_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
	ポート4、6、 9、 D ₁₅ ~D ₈		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
入力“Low” レベル電圧	RES、STBY、 MD ₂ ~MD ₀	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	NMI、EXTAL、 ポート4、6、 7、9、 D ₁₅ ~D ₈		-0.3	—	$V_{CC}\times 0.2$	V	$V_{CC}<4.0V$
				0.8	$V_{CC}=4.0\sim 5.5V$		
出力“High” レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—	V	$I_{OH}=-1mA$
出力“Low” レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポートB、 A ₁₉ ~A ₀		—	—	1.0	V	$V_{CC}\leq 4V$ $I_{OL}=5mA$ $4V<V_{CC}\leq 5.5V$ $I_{OL}=10mA$
入力リーク 電流	STBY、NMI、RES、 MD ₂ ~MD ₀	$ I_{in} $	—	—	1.0	μA	$V_{in}=\$ $0.5\sim V_{CC}-0.5V$
	ポート7		—	—	1.0	μA	$V_{in}=\$ $0.5\sim AV_{CC}-0.5V$

表15.2 DC特性(4)

条件： $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項目	記号	min	typ	max	単位	測定条件
スリープステート リーク電流 ($\phi 7$ 状態)	ポート4、5、6、 8、9、A、B、 $A_{15}\sim A_0$ 、 $D_{15}\sim D_8$	$ I_{TSI} $	—	—	1.0	μA $V_{in}=0.5\sim$ $V_{CC}-0.5V$
入力プルアップ MOS電流	ポート4	$-I_P$	10	—	300	μA $V_{CC}=2.7V\sim$ $5.5V$ 、 $V_{in}=0V$
入力容量	NMI	C_{in}	—	—	50	pF $V_{in}=0V$
	NMI以外の 全入力端子		—	—	15	pF $f=1MHz$ $T_a=25^{\circ}C$
消費電流 ^{*2}	通常動作時	I_{CC}^{*4}	—	12 (3.0V)	33.8 (5.5V)	mA $f=8MHz$
	スリープ時		—	8 (3.0V)	25.0 (5.5V)	mA $f=8MHz$
	スタンバイ時 ^{*3}		—	0.01	5.0	μA $T_a\leq 50^{\circ}C$ $50^{\circ}C < T_a$
アナログ 電源電流	A/D変換中	AI_{CC}	—	1.2	2.4	mA $AV_{CC}=3.0V$
	A/D変換待機時		—	1.5	—	mA $AV_{CC}=5.0V$
			—	0.02	10.0	μA
RAMスタンバイ電圧	V_{RAM}	2.0	—	—	V	

【注】^{*1} A/D変換器未使用時に AV_{CC} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

^{*2} 消費電流値は、 $V_{IH\ min}=V_{CC}-0.5V$ 、 $V_{IL\ max}=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

^{*3} $V_{RAM}\leq V_{CC}<2.7V$ のとき、 $V_{IH\ min}=V_{CC}\times 0.9$ 、 $V_{IL\ max}=0.3V$ とした場合の値です。

^{*4} I_{CC} は下記の式に従って V_{CC} と f に依存します。

$$I_{CC\ max.} = 3.0(mA) + 0.7(mA/MHz \cdot V) \cdot V_{CC} \cdot f \quad (\text{通常動作時})$$

$$I_{CC\ max.} = 3.0(mA) + 0.5(mA/MHz \cdot V) \cdot V_{CC} \cdot f \quad (\text{スリープ時})$$

表15.2 DC特性(5)

条件： $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_s=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_s=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項	目	記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	ポート 8、A、 B	$V_{T^{-}}$	$V_{CC}\times 0.2$	—	—	V	
		$V_{T^{+}}$	—	—	$V_{CC}\times 0.7$	V	
		$V_{T^{+}}-V_{T^{-}}$	$V_{CC}\times 0.07$	—	—	V	
入力“High” レベル電圧	\overline{RES} 、 \overline{STBY} 、 NMI 、 $MD_2\sim MD_0$	V_{IH}	$V_{CC}\times 0.9$	—	$V_{CC}+0.3$	V	
	EXTAL		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
	ポート 7		$V_{CC}\times 0.7$	—	$AV_{CC}+0.3$	V	
	ポート 4、6、 9、 $D_{15}\sim D_8$		$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V	
入力“Low” レベル電圧	\overline{RES} 、 \overline{STBY} 、 $MD_2\sim MD_0$	V_{IL}	-0.3	—	$V_{CC}\times 0.1$	V	
	NMI 、EXTAL、 ポート 4、6、 7、9、 $D_{15}\sim D_8$		-0.3	—	$V_{CC}\times 0.2$	V	$V_{CC}<4.0V$
				0.8		V	$V_{CC}=4.0\sim 5.5V$
出力“High” レベル電圧	全出力端子	V_{OH}	$V_{CC}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{CC}-1.0$	—	—	V	$I_{OH}=-1mA$
出力“Low” レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート B、 $A_{15}\sim A_0$		—	—	1.0	V	$V_{CC}\leq 4V$ $I_{OL}=5mA$ $4V<V_{CC}\leq 5.5V$ $I_{OL}=10mA$
入力リーク 電流	\overline{STBY} 、 NMI 、 \overline{RES} 、 $MD_2\sim MD_0$	$ I_{in} $	—	—	1.0	μA	$V_{in}=\$ $0.5\sim V_{CC}-0.5V$
	ポート 7		—	—	1.0	μA	$V_{in}=\$ $0.5\sim AV_{CC}-0.5V$

表15.2 DC特性(6)

条件： $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V^{*1}$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
スリープ状態 リーク電流 (ϕ 状態)	ポート4、6、 8～B、 $A_{19}\sim A_0$ 、 $D_{15}\sim D_8$	$ I_{TS} $	—	—	1.0	μA $V_{in}=0.5\sim$ $V_{CC}-0.5V$
入力プルアップ MOS電流	ポート4	$-I_P$	10	—	300	μA $V_{CC}=3.0V\sim$ $5.5V$ 、 $V_{in}=0V$
入力容量	NMI	C_{in}	—	—	50	pF $V_{in}=0V$
	NMI以外の 全入力端子		—	—	15	pF $f=1MHz$ $T_a=25^{\circ}C$
消費電流 ^{*2}	通常動作時	I_{CC}^{*4}	—	15 (3.0V)	41.5 (5.5V)	mA $f=10MHz$
	スリープ時		—	10 (3.0V)	30.5 (5.5V)	mA $f=10MHz$
	スタンバイ時 ^{*3}		—	0.01	5.0	μA $T_a\leq 50^{\circ}C$ $50^{\circ}C < T_a$
アナログ 電源電流	A/D変換中	AI_{CC}	—	1.2	2.4	mA $AV_{CC}=3.0V$
	A/D変換待機時		—	1.5	—	mA $AV_{CC}=5.0V$
RAMスタンバイ電圧	V_{RAM}	2.0	—	—	V	

【注】^{*1} A/D変換器未使用時に AV_{CC} 、 AV_{SS} 端子を開放しないでください。

AV_{CC} 端子は V_{CC} に、 AV_{SS} 端子は V_{SS} にそれぞれ接続してください。

^{*2} 消費電流値は、 $V_{IH\ min}=V_{CC}-0.5V$ 、 $V_{IL\ max}=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

^{*3} $V_{RAM}\leq V_{CC}<2.7V$ のとき、 $V_{IH\ min}=V_{CC}\times 0.9$ 、 $V_{IL\ max}=0.3V$ とした場合の値です。

^{*4} I_{CC} は下記の式に従って V_{CC} と f に依存します。

$I_{CC\ max.}=3.0(mA)+0.7(mA/MHz\cdot V)\cdot V_{CC}\cdot f$ (通常動作時)

$I_{CC\ max.}=3.0(mA)+0.5(mA/MHz\cdot V)\cdot V_{CC}\cdot f$ (スリープ時)

表15.3 出力許容電流値

条件： $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$

$T_a=-20\sim +75^{\circ}C$ （通常仕様品）、 $T_a=-40\sim +85^{\circ}C$ （広温度範囲仕様品）

項	目	記号	min	typ	max	単位
出力“Low”レベル許容電流 （1端子あたり）	ポート5、B、 $A_{19}\sim A_0$	I_{OL}	—	—	10	mA
	上記以外の出力端子		—	—	2.0	mA
出力“Low”レベル許容電流 （総和）	ポートB、 $A_{19}\sim A_0$ 24端子の総和	ΣI_{OL}	—	—	80	mA
	上記を含む、全出力端子の総和		—	—	120	mA
出力“High”レベル許容電流 （1端子あたり）	全出力端子	I_{OH}	—	—	2.0	mA
出力“High”レベル許容電流 （総和）	全出力端子の総和	ΣI_{OH}	—	—	40	mA

- 【注】 1. LSIの信頼性を確保するため、出力電流値は表15.3の値を超えないようにしてください。
2. ダーリントトランジスタや、LEDを直接駆動する場合には、図15.1、図15.2に示すように、出力に必ず電流制限抵抗を挿入してください。

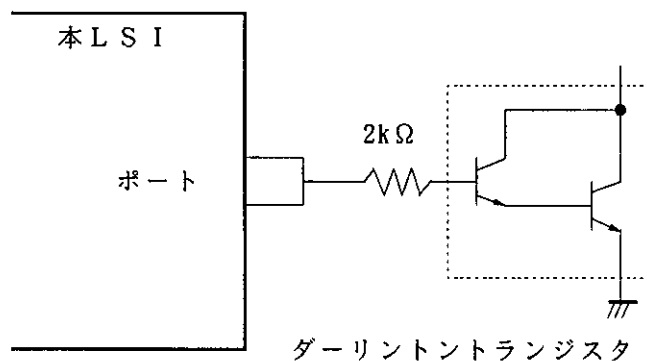


図15.1 ダーリントトランジスタ駆動回路例

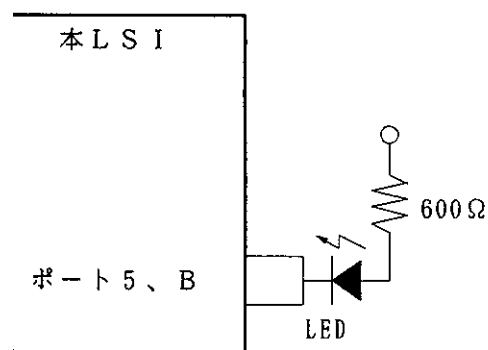


図15.2 LED駆動回路例

15.2.2 AC特性

表15.4にバスタイミング、表15.5に制御信号タイミングを示します。また、表15.6に内蔵周辺モジュールタイミングを示します。

表15.4 バスタイミング(1)

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 8MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 10MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 16MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件A		条件B		条件C		測定条件
		8 MHz		10MHz		16MHz		
		min	max	min	max	min	max	
クロックサイクル時間	t_{CYC}	125	500	100	500	62.5	500	図15.4、図15.5
クロックパルス幅 “Low”レベル時間	t_{CL}	40	—	30	—	20	—	
クロックパルス幅 “High”レベル時間	t_{CH}	40	—	30	—	20	—	
クロック立上がり時間	t_{CR}	—	20	—	15	—	10	
クロック立下がり時間	t_{CF}	—	20	—	15	—	10	
アドレス遅延時間	t_{AD}	—	60	—	50	—	30	
アドレスホールド時間	t_{AH}	25	—	20	—	10	—	
アドレスストロブ遅延時間	t_{ASD}	—	60	—	40	—	30	
ライトストロブ遅延時間	t_{WSD}	—	60	—	50	—	30	
ストロブ遅延時間	t_{SD}	—	60	—	50	—	30	
ライトデータストロブパルス幅1	t_{WSW1}^*	85	—	60	—	35	—	
ライトデータストロブパルス幅2	t_{WSW2}^*	150	—	110	—	65	—	
アドレスセットアップ時間1	t_{AS1}	20	—	15	—	10	—	
アドレスセットアップ時間2	t_{AS2}	80	—	65	—	40	—	
リードデータセットアップ時間	t_{RDS}	50	—	35	—	20	—	
リードデータホールド時間	t_{RDH}	0	—	0	—	0	—	
ライトデータ遅延時間	t_{WDD}	—	75	—	75	—	60	
ライトデータセットアップ時間1	t_{WDS1}	60	—	40	—	15	—	
ライトデータセットアップ時間2	t_{WDS2}	5	—	-10	—	-5	—	
ライトデータホールド時間	t_{WDH}	25	—	20	—	20	—	

単位 : ns

表15.4 バスタイミング(2)

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 8MHz$

$T_s=-20\sim +75^\circ C$ (通常仕様品)、 $T_s=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 10MHz$

$T_s=-20\sim +75^\circ C$ (通常仕様品)、 $T_s=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 16MHz$

$T_s=-20\sim +75^\circ C$ (通常仕様品)、 $T_s=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件A		条件B		条件C		測定条件
		8MHz		10MHz		16MHz		
		min	max	min	max	min	max	
リードデータアクセス時間1	t_{ACC1}^*	—	110	—	100	—	55	図15.4、図15.5
リードデータアクセス時間2	t_{ACC2}^*	—	230	—	200	—	115	
リードデータアクセス時間3	t_{ACC3}^*	—	55	—	50	—	25	
リードデータアクセス時間4	t_{ACC4}^*	—	160	—	150	—	85	
プリチャージ時間	t_{PCH}^*	85	—	60	—	40	—	
ウェイトセットアップ時間	t_{WTS}	40	—	40	—	25	—	図15.6
ウェイトセットホールド時間	t_{WTH}	10	—	10	—	5	—	図15.9
バスリクエストセットアップ時間	t_{BRQS}	40	—	40	—	40	—	
バスアクリッジ遅延時間1	t_{BACD1}	—	60	—	50	—	30	
バスアクリッジ遅延時間2	t_{BACD2}	—	60	—	50	—	30	
バスフローティング時間	t_{BZD}	—	70	—	70	—	40	

単位 : ns

【注】* 条件A : 下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{ACC1} = 1.5 \times t_{CYC} - 78 \quad (ns) \quad t_{WSW1} = 1.0 \times t_{CYC} - 40 \quad (ns)$$

$$t_{ACC2} = 2.5 \times t_{CYC} - 83 \quad (ns) \quad t_{WSW2} = 1.5 \times t_{CYC} - 38 \quad (ns)$$

$$t_{ACC3} = 1.0 \times t_{CYC} - 70 \quad (ns) \quad t_{PCH} = 1.0 \times t_{CYC} - 40 \quad (ns)$$

$$t_{ACC4} = 2.0 \times t_{CYC} - 90 \quad (ns)$$

条件C : 下記の時間は以下に示すようにクロックサイクル時間に依存します。

$$t_{ACC1} = 1.5 \times t_{CYC} - 39 \quad (ns) \quad t_{WSW1} = 1.0 \times t_{CYC} - 28 \quad (ns)$$

$$t_{ACC2} = 2.5 \times t_{CYC} - 41 \quad (ns) \quad t_{WSW2} = 1.5 \times t_{CYC} - 28 \quad (ns)$$

$$t_{ACC3} = 1.0 \times t_{CYC} - 38 \quad (ns) \quad t_{PCH} = 1.0 \times t_{CYC} - 23 \quad (ns)$$

$$t_{ACC4} = 2.0 \times t_{CYC} - 40 \quad (ns)$$

表15.5 制御信号タイミング

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 8MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 10MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 16MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	条件A		条件B		条件C		単位	測定条件
		8MHz		10MHz		16MHz			
		min	max	min	max	min	max		
RESセットアップ時間	t_{RESS}	200	—	200	—	200	—	ns	図15.7
RESパルス幅	t_{RESW}	10	—	10	—	10	—	t_{CYC}	
NMIセットアップ時間 (\overline{NMI} 、 $\overline{IRQ_4}$ 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_0}$)	t_{NMIS}	200	—	200	—	150	—	ns	図15.8
NMIホールド時間 (\overline{NMI} 、 $\overline{IRQ_1}$ 、 $\overline{IRQ_0}$)	t_{NMIH}	10	—	10	—	10	—	ns	
割込みパルス幅 (\overline{NMI} 、 $\overline{IRQ_2}\sim\overline{IRQ_0}$ ソフトウェアスタンバイモードからの 復帰時)	t_{NMIW}	200	—	200	—	200	—	ns	
リセット発振安定時間 (水晶)	t_{OSCI}	20	—	20	—	20	—	ms	図15.10
ソフトウェアスタンバイ発振安定 時間(水晶)	t_{OSC2}	8	—	8	—	8	—	ms	図14.1

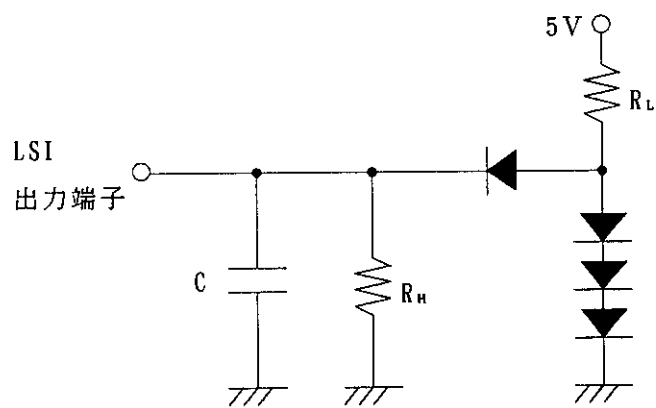
表15.6 内蔵周辺モジュールタイミング

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 8MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 10MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 16MHz$
 $T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

モジュール	項目	記号	条件A		条件B		条件C		単位	測定条件		
			8 MHz		10MHz		16MHz					
			min	max	min	max	min	max				
ITU	タイマ出力遅延時間	t_{TOCD}	-	100	-	100	-	100	ns	図15.12		
	タイマ入力セットアップ時間	t_{TICS}	50	-	50	-	50	-				
	タイマクロック入力 セットアップ時間	t_{TCKS}	50	-	50	-	50	-	ns	図15.13		
	タイマクロック パルス幅	単エッジ指定 t_{TCKWH}	1.5	-	1.5	-	1.5	-				
		両エッジ指定 t_{TCKWL}	2.5	-	2.5	-	2.5	-				
SCI	入力クロック サイクル	調歩同期	t_{SCYC}		4	-	4	-	4	-	t _{cy} c	図15.14
		クロック同期	t_{SCYC}		6	-	6	-	6	-		
	入力クロック立上がり時間	t_{SCKr}	-	1.5	-	1.5	-	1.5				
	入力クロック立下がり時間	t_{SCKf}	-	1.5	-	1.5	-	1.5				
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	0.4	0.6	0.4	0.6	t _{cy} c			
	送信データ遅延時間	t_{TXD}	-	100	-	100	-	100	ns	図15.15		
受信データセットアップ時間 (クロック同期)	t_{RXS}			100	-	100	-	100			-	
				0	-	0	-	0			-	
受信データホールド 時間 (クロック同期)	t_{RXH}	クロック入力			100	-	100	-			100	-
		クロック出力			0	-	0	-	0	-		
ポート TPC	出力データ遅延時間	t_{PWD}	-	100	-	100	-	100	ns	図15.11		
	入力データセットアップ時間	t_{PRS}	50	-	50	-	50	-				
	入力データホールド時間	t_{PRH}	50	-	50	-	50	-				



$C = 90\text{pF}$: ポート 4、6、8、
 $A(19\sim 0)$ 、 $D(15\sim 8)$ 、
 ϕ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}

$C = 30\text{pF}$: ポート 9、A、B

$R_L = 2.4\text{k}\Omega$

$R_H = 12\text{k}\Omega$

入出力タイミング測定レベル

- “Low” レベル…0.8V
- “High” レベル…2.0V

図15.3 出力負荷回路

15.2.3 A/D変換特性

A/D変換特性を表15.7に示します。

表15.7 A/D変換特性

条件A : $V_{CC}=2.7\sim 5.5V$ 、 $AV_{CC}=2.7\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 8MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件B : $V_{CC}=3.0\sim 5.5V$ 、 $AV_{CC}=3.0\sim 5.5V$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 10MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

条件C : $V_{CC}=5.0V\pm 10\%$ 、 $AV_{CC}=5.0V\pm 10\%$ 、 $V_{SS}=AV_{SS}=0V$ 、 $\phi=2\sim 16MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	条件A			条件B			条件C			単位
	8 MHz			10MHz			16MHz			
	min	typ	max	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	10	10	10	ビット
変換時間	—	—	16.8	—	—	13.4	—	—	8.4	μS
アナログ入力容量	—	—	20	—	—	20	—	—	20	pF
許容信号源 インピーダンス	—	—	10 ^{*1}	—	—	10 ^{*1}	—	—	10 ^{*4}	k Ω
	—	—	5 ^{*2}	—	—	5 ^{*3}	—	—	5 ^{*5}	
非直線性誤差	—	—	± 6.0	—	—	± 6.0	—	—	± 3.0	LSB
オフセット誤差	—	—	± 4.0	—	—	± 4.0	—	—	± 2.0	LSB
フルスケール誤差	—	—	± 4.0	—	—	± 4.0	—	—	± 2.0	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	—	—	± 0.5	LSB
絶対精度	—	—	± 8.0	—	—	± 8.0	—	—	± 4.0	LSB

【注】 *1 $4.0\leq AV_{CC}\leq 5.5$ の場合です。

*2 $2.7\leq AV_{CC}< 4.0$ の場合です。

*3 $3.0\leq AV_{CC}< 4.0$ の場合です。

*4 $\phi\leq 12MHz$ の場合です。

*5 $\phi> 12MHz$ の場合です。

15.3 動作タイミング

動作タイミングを以下に示します。

15.3.1 バスタイミング

バスタイミングを以下に示します。

(1) 基本バスタイミング / 2 ステートアクセス

図15.4に外部2ステートアクセス時の動作タイミングを示します。

(2) 基本バスタイミング / 3 ステートアクセス

図15.5に外部3ステートアクセス時の動作タイミングを示します。

(3) 基本バスタイミング / 3 ステートアクセス 1 ウェイト

図15.6に外部2ステートアクセスで1ウェイトを挿入したときの動作タイミングを示します。

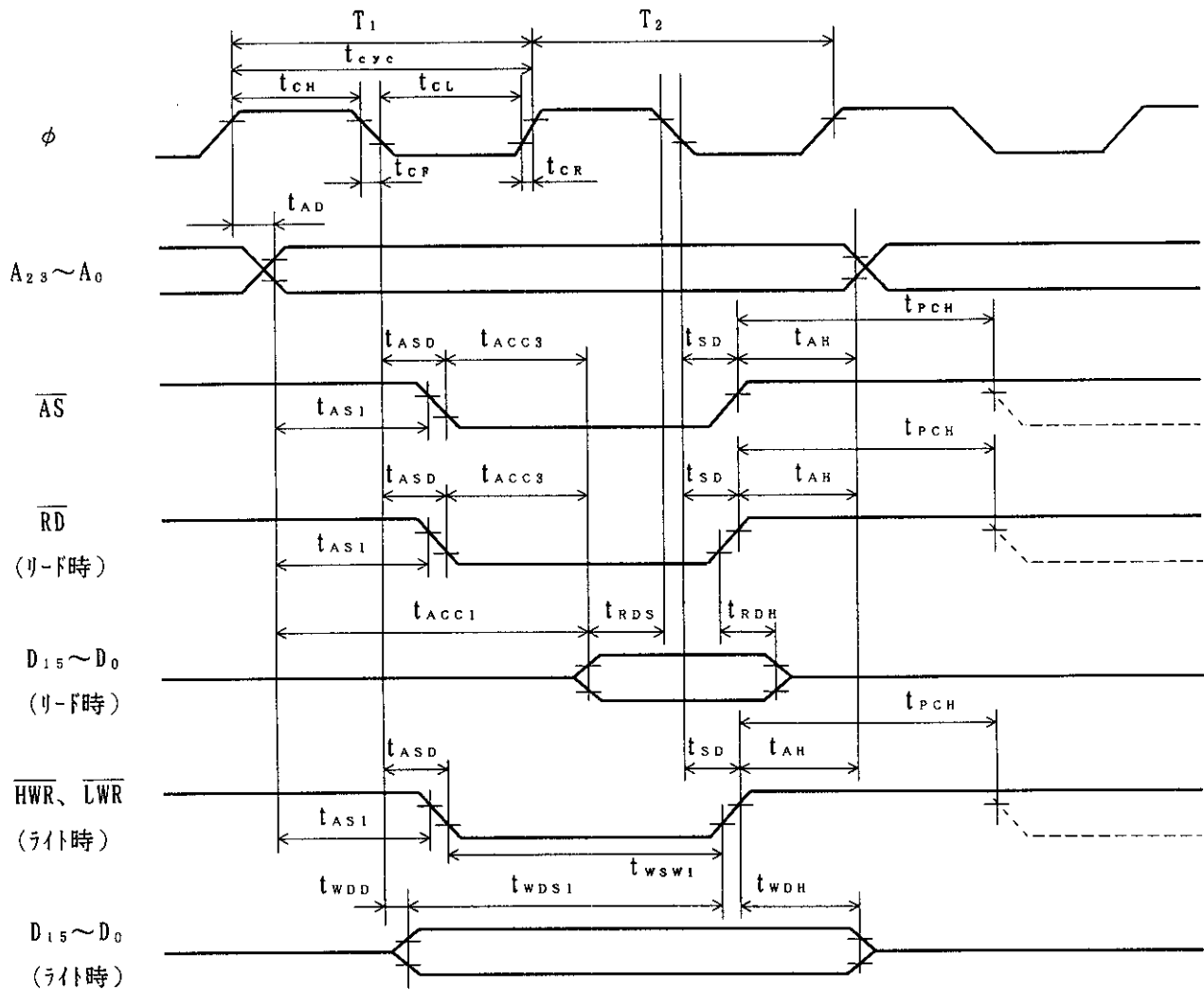


図15.4 基本バスタイミング / 2 ステートアクセス

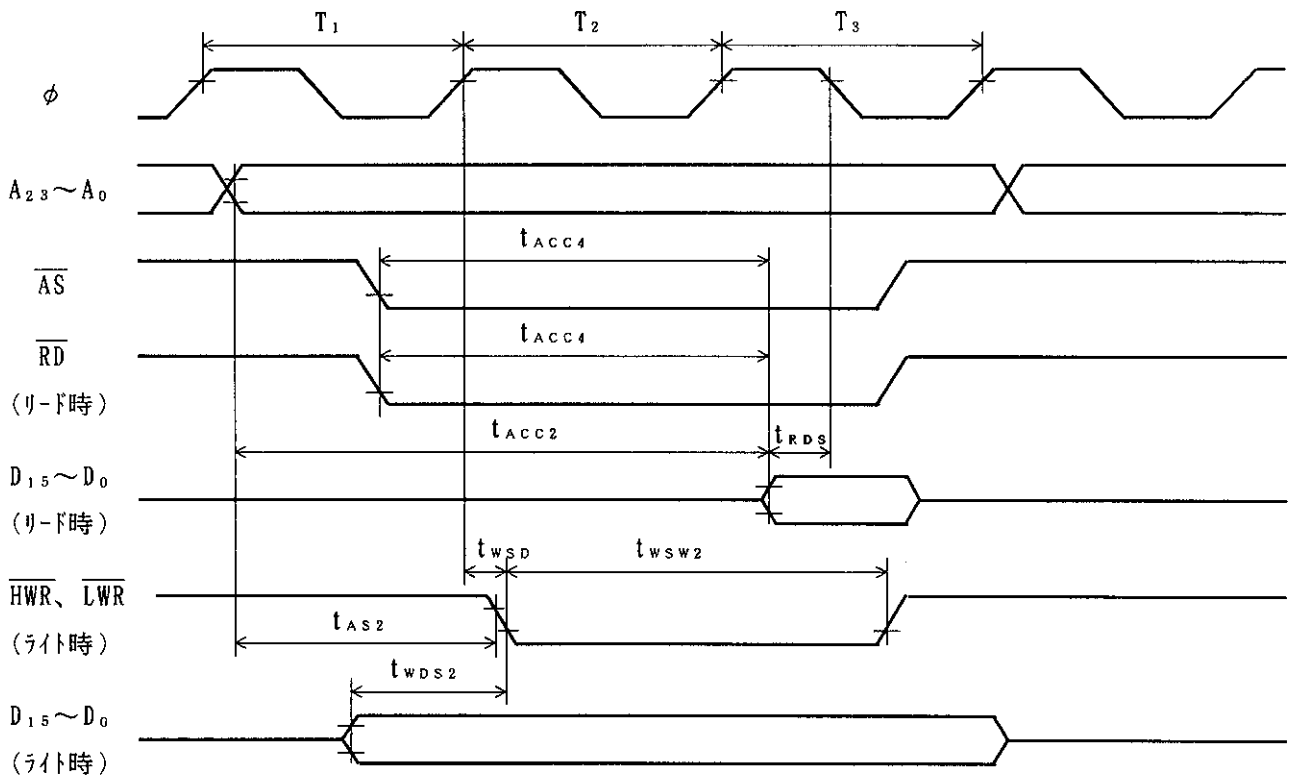


図15.5 基本バスタイミング / 3ステートアクセス

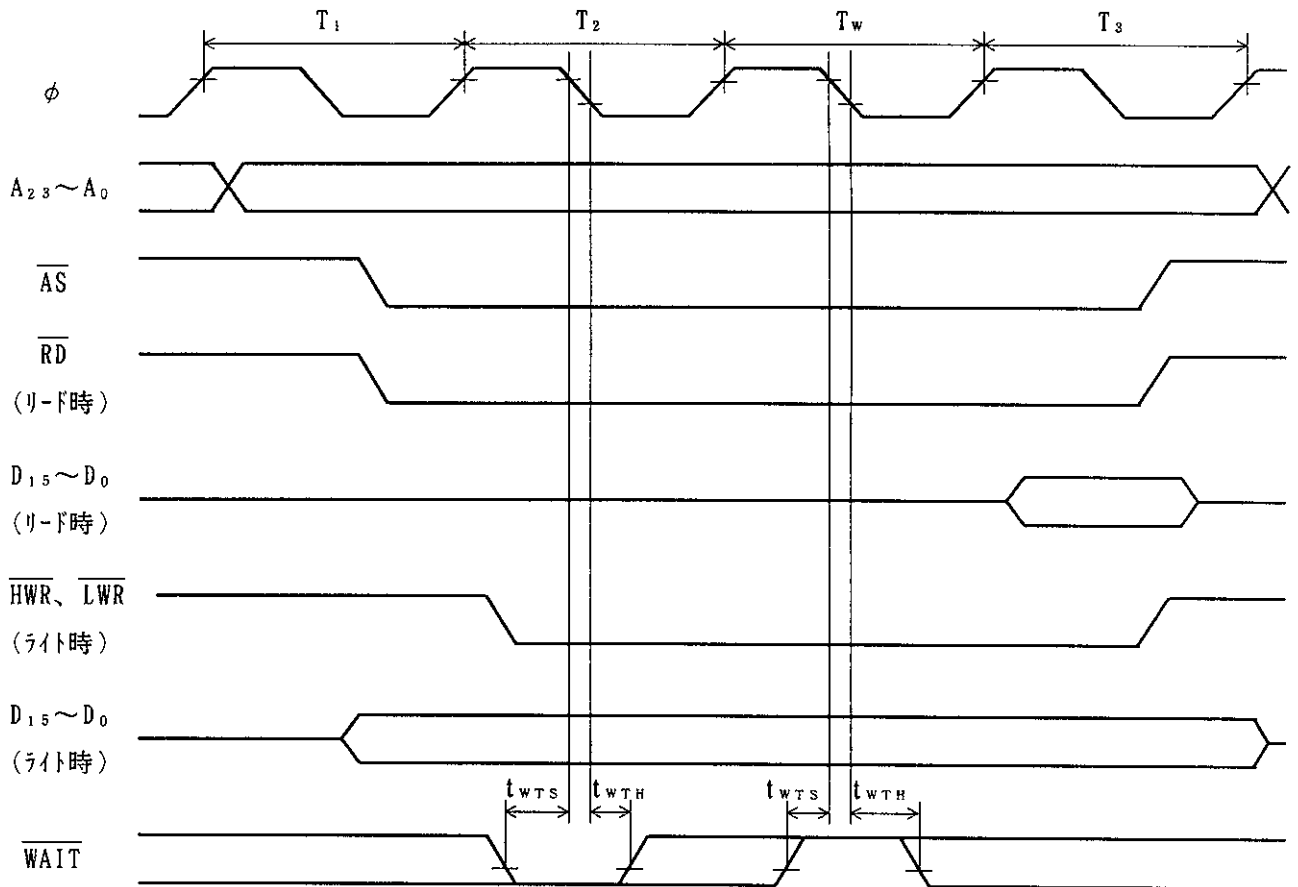


図15.6 基本バスタイミング / 3ステートアクセス1ウェイト

15.3.2 制御信号タイミング

制御信号タイミングを以下に示します。

(1) リセット入力タイミング

図15.7にリセット入力タイミングを示します。

(2) 割込み入力タイミング

図15.8にNMI、 $\overline{IRQ_4}$ 、 $\overline{IRQ_1}$ 、および $\overline{IRQ_0}$ 割込み入力タイミングを示します。

(3) バスリリースモードタイミング

図15.9にバスリリースモードタイミングを示します。

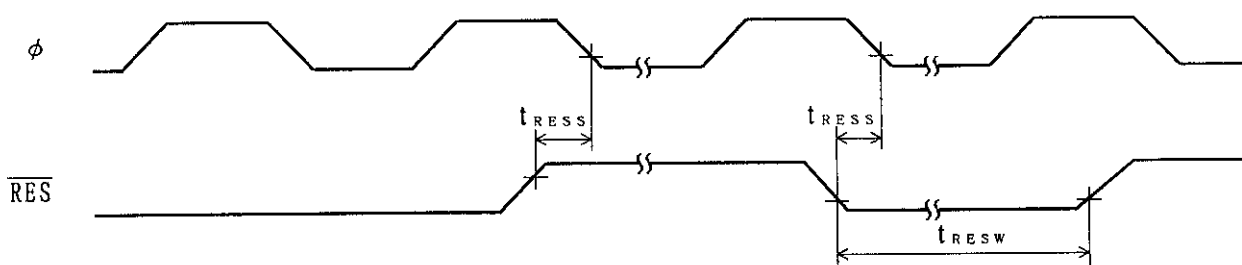
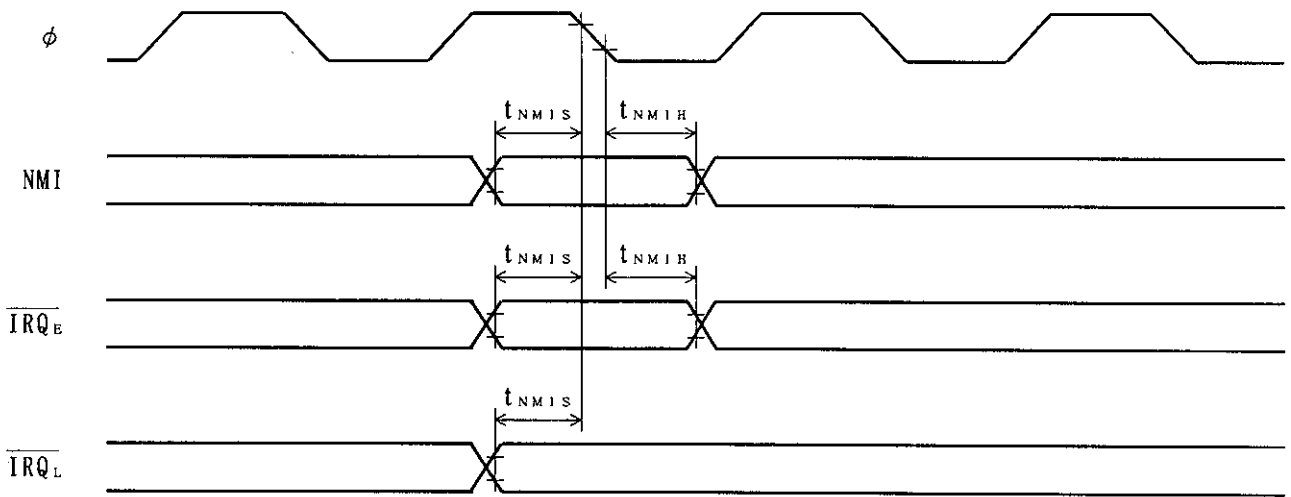


図15.7 リセット入力タイミング



$\overline{\text{IRQ}}_E$: $\overline{\text{IRQ}}_i$ がエッジ指定の場合

$\overline{\text{IRQ}}_L$: $\overline{\text{IRQ}}_i$ がレベル指定の場合 ($i = 0, 1, 4$)

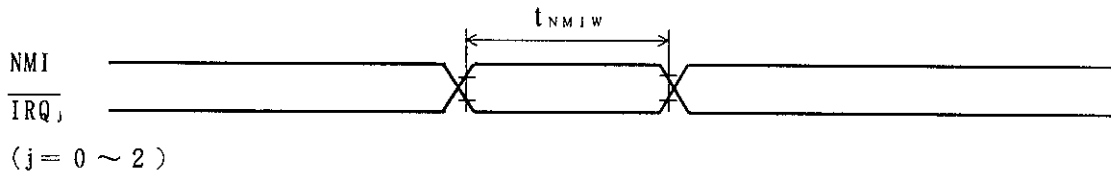


図15.8 割込み入カタイミング

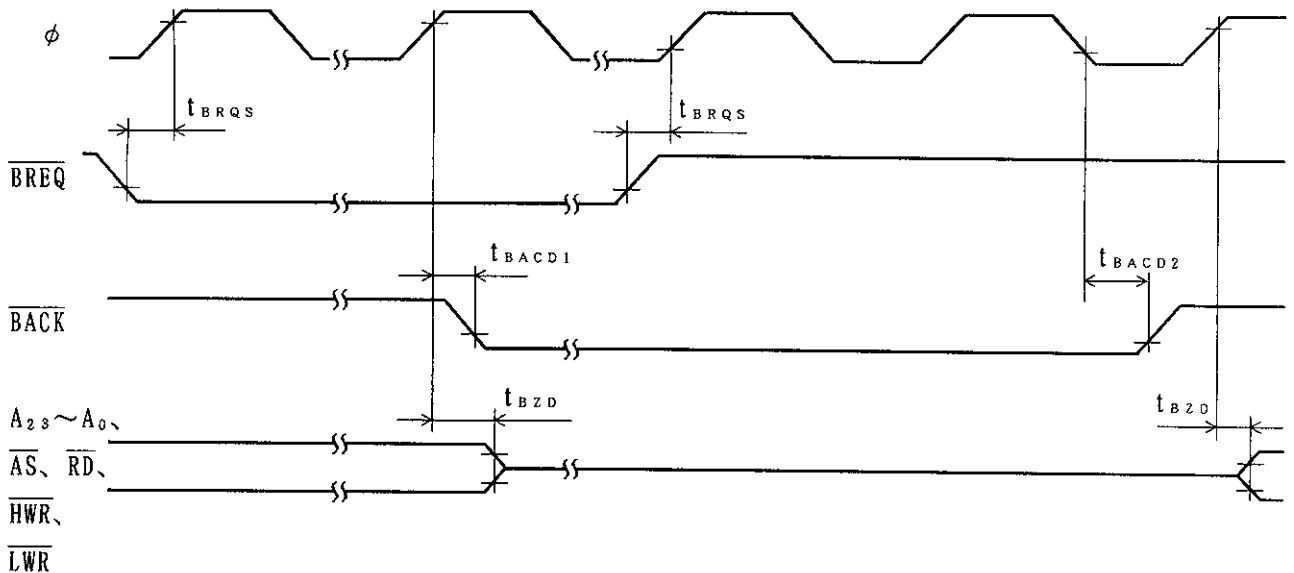


図15.9 バスリリースモードタイミング

15.3.3 クロックタイミング

クロックタイミングを以下に示します。

(1) 発振安定時間タイミング

図15.10に発振安定時間タイミングを示します。

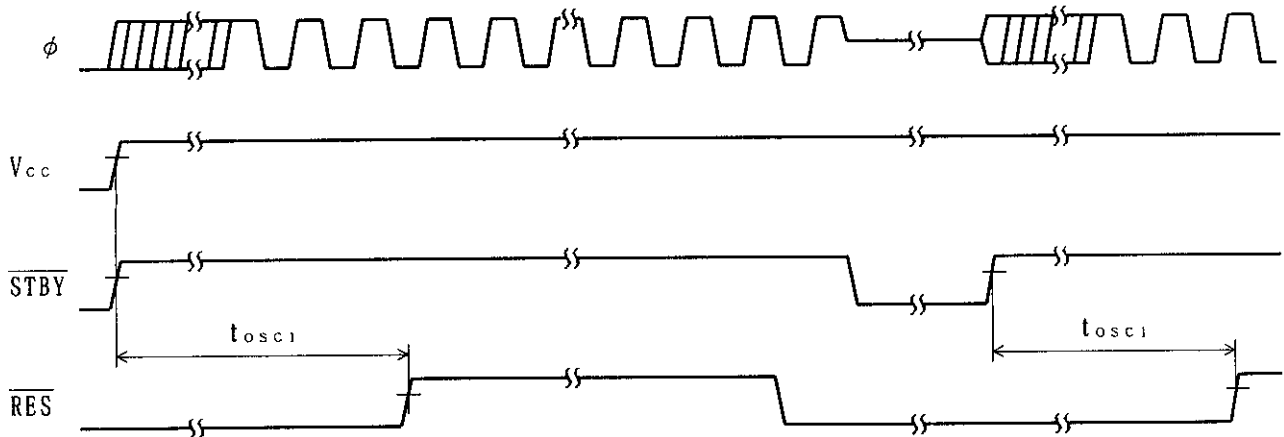


図15.10 発振安定時間タイミング

15.3.4 TPC、I/Oポートタイミング

図15.11にTPC、I/Oポートの入出力タイミングを示します。

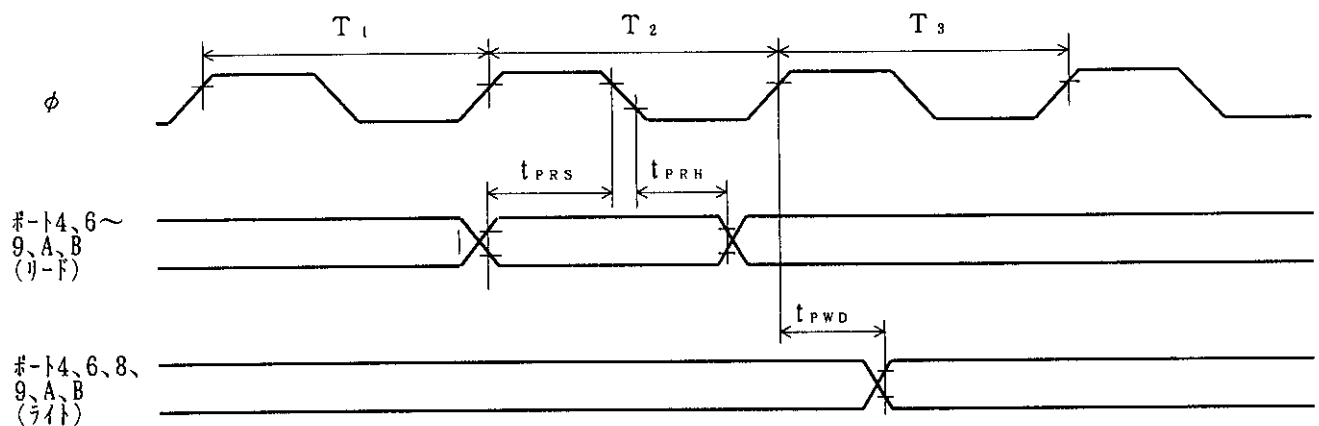


図15.11 TPC、I/Oポート入出力タイミング

15.3.5 I T Uタイミング

I T Uの各タイミングを以下に示します。

(1) I T U入出力タイミング

図15.12にI T U入出力タイミングを示します。

(2) I T U外部クロック入力タイミング

図15.13にI T U外部クロック入力タイミングを示します。

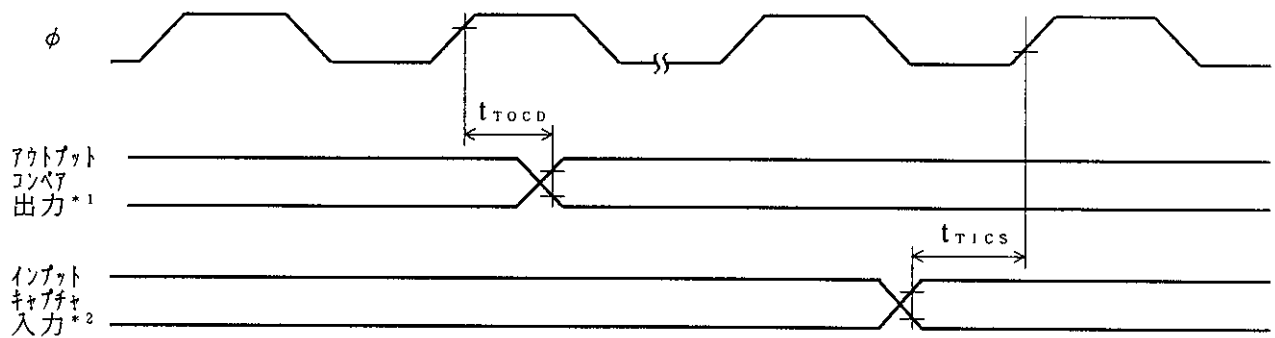


図15.12 I T U入出力タイミング

【注】 *1 TIOCA (0~4)、TIOCB (0~4)、TOCXA4、TOCXB4

*2 TIOCA (0~4)、TIOCB (0~4)

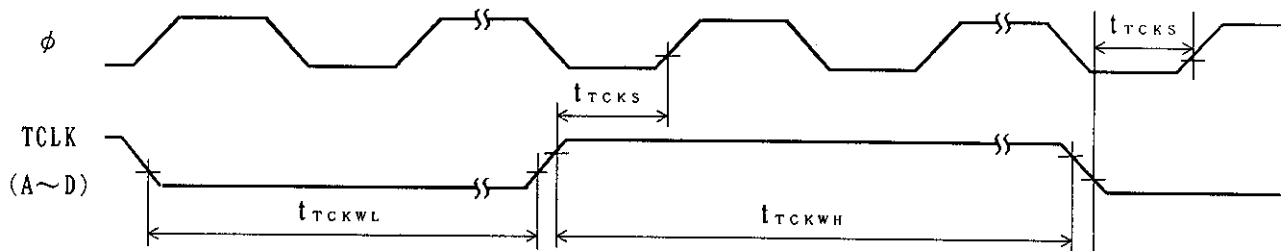


図15.13 I T Uクロック入力タイミング

15.3.6 S C I 入出力タイミング

S C I の各タイミングを以下に示します。

(1) S C I 入力クロックタイミング

図15.14にS C I 入力クロックタイミングを示します。

(2) S C I 入出力タイミング (クロック同期式モード)

図15.15にクロック同期式モード時のS C I 入出力タイミングを示します。

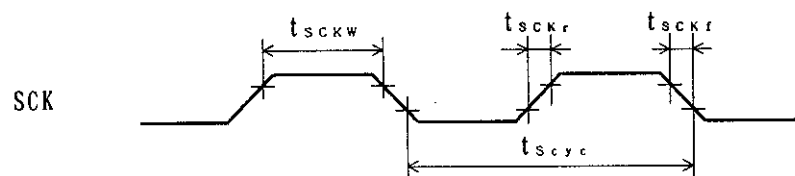


図15.14 S C K 入力クロックタイミング

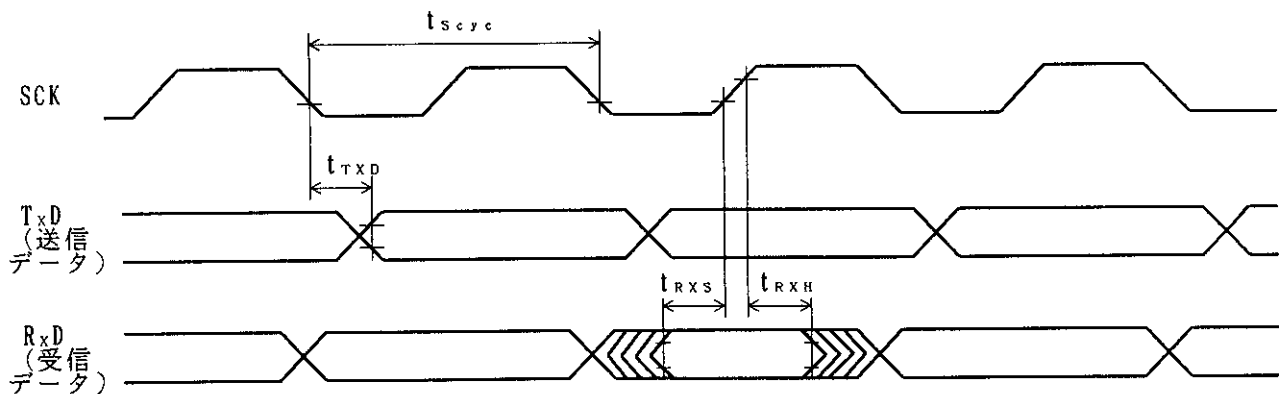


図15.15 クロック同期式モード時のS C I 入出力タイミング

付 録

付 録

A. 命 令	421
A. 1 命令一覧	421
A. 2 オペレーションコードマップ	436
A. 3 命令実行ステート数	439
B. レジスタ一覧	449
B. 1 I/Oレジスタ一覧(1)	449
B. 2 I/Oレジスタ一覧(2)	457
C. I/Oポートブロック図	505
C. 1 ポート4ブロック図	505
C. 2 ポート6ブロック図	506
C. 3 ポート7ブロック図	509
C. 4 ポート8ブロック図	510
C. 5 ポート9ブロック図	512
C. 6 ポートAブロック図	515
C. 7 ポートBブロック図	518
D. 端子状態	519
D. 1 各処理状態におけるポートの状態	519
D. 2 リセット時の端子状態	521
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて	524
F. 外形寸法図	525
G. レジスタ索引	526

A. 命令

A. 1 命令一覧

《オペレーションの記号》

記号	内容
R d	デスティネーション側の汎用レジスタ
R s	ソース側の汎用レジスタ
R n	汎用レジスタ
E R d	デスティネーション側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
E R s	ソース側の汎用レジスタ (アドレスレジスタまたは32ビットレジスタ)
E R n	汎用レジスタ (32ビットレジスタ)
(E A d)	デスティネーションオペランド
(E A s)	ソースオペランド
P C	プログラムカウンタ
S P	スタックポインタ
C C R	コンディションコードレジスタ
N	C C RのN (ネガティブ) フラグ
Z	C C RのZ (ゼロ) フラグ
V	C C RのV (オーバフロー) フラグ
C	C C RのC (キャリ) フラグ
d i s p	ディスプレイメント
→	左辺のオペランドから右辺のオペランドへの転送、 または左辺の状態から右辺の状態への遷移
+	両辺のオペランドを加算
-	左辺のオペランドから右辺のオペランドを減算
×	両辺のオペランドを除算
÷	左辺のオペランドを右辺のオペランドで除算
∧	両辺のオペランドの論理積
∨	両辺のオペランドの論理和
⊕	両辺のオペランドの排他的論理和
~	反転論理 (論理的補数)
() < >	オペランドの内容

【注】* 汎用レジスタは、8ビット (R 0 H~R 7 H、R 0 L~R 7 L) または16ビット (R 0~R 7、E 0~E 7) です。

《コンディションコードの記号》

記号	内 容
↓	実行結果にしたがって変化することを表します。
*	不確定であることを表します（値を保証しません）。
0	常に“0”にクリアされることを表します。
1	常に“1”にセットされることを表します。
—	実行結果に影響を受けないことを表します。
△	条件によって異なります。注意事項を参照してください。

表A.1 命令セット一覧(1)

(1) データ転送命令

MOV	ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション	コンディションコード							実行対数+1 /70h 7F0h
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa	@(d, PC)		@@aa	I	H	N	Z	V	C	
	MOV.B #xx:8, Rd	B	2										↑	↑	0	-	2	
	MOV.B Rs, Rd	B	2										↑	↑	0	-	2	
	MOV.B @ERS, Rd	B		2									↑	↑	0	-	4	
	MOV.B @(d:16, ERs), Rd	B			4								↑	↑	0	-	6	
	MOV.B @(d:24, ERs), Rd	B				8							↑	↑	0	-	10	
	MOV.B @ERS+, Rd	B					2						↑	↑	0	-	6	
	MOV.B @aa:8, Rd	B						2					↑	↑	0	-	4	
	MOV.B @aa:16, Rd	B						4					↑	↑	0	-	6	
	MOV.B @aa:24, Rd	B						6					↑	↑	0	-	8	
	MOV.B Rs, @ERd	B		2									↑	↑	0	-	4	
	MOV.B Rs, @(d:16, ERd)	B			4								↑	↑	0	-	6	
	MOV.B Rs, @(d:24, ERd)	B				8							↑	↑	0	-	10	
	MOV.B Rs, @-ERd	B					2						↑	↑	0	-	6	
	MOV.B Rs, @aa:8	B						2					↑	↑	0	-	4	
	MOV.B Rs, @aa:16	B						4					↑	↑	0	-	6	
	MOV.B Rs, @aa:24	B						6					↑	↑	0	-	8	
	MOV.W #xx:16, Rd	W	4										↑	↑	0	-	4	
	MOV.W Rs, Rd	W		2									↑	↑	0	-	2	
	MOV.W @ERS, Rd	W					2						↑	↑	0	-	4	
	MOV.W @(d:16, ERs), Rd	W			4								↑	↑	0	-	6	
	MOV.W @(d:24, ERs), Rd	W				8							↑	↑	0	-	10	
	MOV.W @ERS+, Rd	W					2						↑	↑	0	-	6	
	MOV.W @aa:16, Rd	W						4					↑	↑	0	-	6	
	MOV.W @aa:24, Rd	W						6					↑	↑	0	-	8	

表A.1 命令セット一覧(3)

(2) 算術演算命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)							オペレーション	コンディションコード							実行回数*	
		#xx	Rn	@ERn	@ (d, ERn)	@-ERn/@ERn+	@aa	@ (d, PC)		@@aa	I	H	N	Z	V	C		7F/0Fスト
ADD	ADD. B #xx:8, Rd	B	2								-	↑	↑	↑	↑	↑	2	
	ADD. B Rs, Rd	B	2								-	↑	↑	↑	↑	↑	2	
	ADD. W #xx:16, Rd	W	4								-	①	↑	↑	↑	↑	4	
	ADD. W Rs, Rd	W	2								-	①	↑	↑	↑	↑	2	
	ADD. L #xx:32, ERd	L	6								-	②	↑	↑	↑	↑	6	
	ADD. L ERs, ERd	L	2								-	②	↑	↑	↑	↑	2	
ADDX	ADDX. B #xx:8, Rd	B	2								-	↑	↑	③	↑	↑	2	
	ADDX. B Rs, Rd	B	2								-	↑	↑	③	↑	↑	2	
	ADDX. L #1, ERd	L	2								-	-	-	-	-	2		
ADDS	ADDS. L #2, ERd	L	2								-	-	-	-	-	2		
	ADDS. L #4, ERd	L	2								-	-	-	-	-	2		
	INC. B Rd	B	2								-	-	-	-	-	2		
	INC. W #1, Rd	W	2								-	-	-	-	-	2		
INC	INC. W #2, Rd	W	2								-	-	-	-	-	2		
	INC. L #1, ERd	L	2								-	-	-	-	-	2		
	INC. L #2, ERd	L	2								-	-	-	-	-	2		
	DAA Rd	B	2								-	*	↑	↑	*	2		
	SUB. B Rs, Rd	B	2								-	↑	↑	↑	↑	2		
	SUB. W #xx:16, Rd	W	4								-	①	↑	↑	↑	4		
SUB	SUB. W Rs, Rd	W	2								-	①	↑	↑	↑	2		
	SUB. L #xx:32, ERd	L	6								-	②	↑	↑	↑	6		
	SUB. L ERs, ERd	L	2								-	②	↑	↑	↑	2		
	SUBX. B #xx:8, Rd	B	2								-	↑	↑	③	↑	2		
	SUBX. B Rs, Rd	B	2								-	↑	↑	③	↑	2		
												-	↑	↑	③	↑	2	

表A.1 命令セット一覧(4)

サブ サイズ	ニーモニック	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード							実行回数*	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	1-7H
SUBS	SUBS.L #1, ERd	L	2														2
	SUBS.L #2, ERd	L	2														2
	SUBS.L #4, ERd	L	2														2
DEC	DEC.B Rd	B	2														2
	DEC.W #1, Rd	W	2														2
	DEC.W #2, Rd	W	2														2
	DEC.L #1, ERd	L	2														2
	DEC.L #2, ERd	L	2														2
DAS	DAS Rd	B	2														2
	MULXU.B Rs, Rd	B	2														14
MULXS	MULXU.W Rs, ERd	W	2														22
	MULXS.B Rs, Rd	B	4														16
	MULXS.W Rs, ERd	W	4														24
	DIVXU.B Rs, Rd	B	2														14
DIVXS	DIVXU.W Rs, ERd	W	2														22
	DIVXS.B Rs, Rd	B	4														16
CMP	CMP.B #xx:8, Rd	B	2														2
	CMP.B Rs, Rd	B	2														2
	CMP.W #xx:16, Rd	W	4														4
	CMP.W Rs, Rd	W	2														2

表A.1 命令セット一覧(5)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション							コンディションコード			実行回数 ¹⁾	
		#xx	Rn	@BRn	@ (d, ERn)		@aa	@ (d, PC)	@aa	I	H	N	Z	V	C	/7#	7フルスト			
					@-ERn	@ERn+												I	H	N
CMP	CMP.L #xx:32, ERd	L	6								②	↑	↑	↑	↑	6				
	CMP.L ERs, ERd	L	2							②	↑	↑	↑	↑	↑	2				
NEG	NEG.B Rd	B	2								↑	↑	↑	↑	↑	2				
	NEG.W Rd	W	2								↑	↑	↑	↑	↑	2				
	NEG.L ERd	L	2								↑	↑	↑	↑	↑	2				
EXTU	EXTU.W Rd	W	2								0	↑	0	0	0	2				
	EXTU.L ERd	L	2								0	↑	0	0	0	2				
EXTS	EXTS.W Rd	W	2								0	↑	0	0	0	2				
	EXTS.L ERd	L	2								0	↑	0	0	0	2				

(3) 論理演算命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)							オペレーション							コンディションコード			実行回数 ¹⁾	
		#xx	Rn	@BRn	@ (d, ERn)		@aa	@ (d, PC)	@aa	I	H	N	Z	V	C	/7#	7フルスト			
					@-ERn	@ERn+												I	H	N
AND	AND.B #xx:8, Rd	B	2									↑	↑	0	0	2				
	AND.B Rs, Rd	B	2									↑	↑	0	0	2				
	AND.W #xx:16, Rd	W	4									↑	↑	0	0	4				
	AND.W Rs, Rd	W	2									↑	↑	0	0	2				
	AND.L #xx:32, BRd	L	6									↑	↑	0	0	6				
OR	OR.L ERs, ERd	L	4									↑	↑	0	0	4				
	OR.B #xx:8, Rd	B	2									↑	↑	0	0	2				
	OR.B Rs, Rd	B	2									↑	↑	0	0	2				
	OR.W #xx:16, Rd	W	4									↑	↑	0	0	4				
OR.W Rs, Rd	W	2									↑	↑	0	0	2					

表A.1 命令セット一覧(6)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディショニングコード						実行回数*		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	ノード
OR	OR.L #xx:32, ERd	L	6														6
	OR.L ERs, ERd	L	4														4
XOR	XOR.B #xx:8, Rd	B	2														2
	XOR.B Rs, Rd	B	2														2
	XOR.W #xx:16, Rd	W	4														4
	XOR.W Rs, Rd	W	2														2
	XOR.L #xx:32, ERd	L	6														6
NOT	NOT.L ERs, ERd	L	4														4
	NOT.B Rd	B	2														2
	NOT.W Rd	W	2														2
	NOT.L ERd	L	2														2

(4) シフト命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディショニングコード						実行回数*		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	ノード
SHAL	SHAL.B Rd	B	2														2
	SHAL.W Rd	W	2														2
	SHAL.L ERd	L	2														2
SHAR	SHAR.B Rd	B	2														2
	SHAR.W Rd	W	2														2
	SHAR.L ERd	L	2														2
SHLL	SHLL.B Rd	B	2														2
	SHLL.W Rd	W	2														2
	SHLL.L ERd	L	2														2

表A.1 命令セット一覧(8)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディションコード						実行回数 /サイクル		
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z		V	C
BCLR	BCLR #xx:3, Rd		2														2
	BCLR #xx:3, @ERd			4													8
	BCLR #xx:3, @aa:8					4											8
	BCLR Rn, Rd		2														2
	BCLR Rn, @ERd			4													8
	BCLR Rn, @aa:8					4											8
BNOT	BNOT #xx:3, Rd		2														2
	BNOT #xx:3, @ERd			4													8
	BNOT #xx:3, @aa:8					4											8
	BNOT Rn, Rd		2														2
	BNOT Rn, @ERd			4													8
	BNOT Rn, @aa:8					4											8
BTST	BTST #xx:3, Rd		2														2
	BTST #xx:3, @ERd			4													6
	BTST #xx:3, @aa:8					4											6
	BTST Rn, Rd		2														2
	BTST Rn, @ERd			4													6
	BTST Rn, @aa:8					4											6
BLD	BLD #xx:3, Rd		2														2
	BLD #xx:3, @ERd			4													6
	BLD #xx:3, @aa:8					4											6
	BLD #xx:3, Rd		2														2
	BLD #xx:3, @ERd			4													6
	BLD #xx:3, @aa:8					4											6
BILD	BILD #xx:3, Rd		2														2
	BILD #xx:3, @ERd			4													6
	BILD #xx:3, @aa:8					4											6
	BILD #xx:3, Rd		2														2
	BILD #xx:3, @ERd			4													6
	BILD #xx:3, @aa:8					4											6

表A.1 命令セット一覧(9)

命令	ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	コンディショニングコード							実行回数	
			#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERn+	@aa		@(d, PC)	@aa	I	H	N	Z	V	C	ノール
BST	BST #xx:3, Rd	B	2															2
	BST #xx:3, @ERd	B		4														8
	BST #xx:3, @aa:8	B					4											8
BIST	BIST #xx:3, Rd	B	2															2
	BIST #xx:3, @ERd	B		4														8
	BIST #xx:3, @aa:8	B					4											8
BAND	BAND #xx:3, Rd	B	2															2
	BAND #xx:3, @ERd	B		4														6
	BAND #xx:3, @aa:8	B					4											6
	BAND #xx:3, Rd	B	2															2
	BAND #xx:3, @ERd	B		4														6
	BAND #xx:3, @aa:8	B					4											6
BIAND	BIAND #xx:3, Rd	B	2															2
	BIAND #xx:3, @ERd	B		4														6
	BIAND #xx:3, @aa:8	B					4											6
	BIAND #xx:3, Rd	B	2															2
	BIAND #xx:3, @ERd	B		4														6
	BIAND #xx:3, @aa:8	B					4											6
BOR	BOR #xx:3, Rd	B	2															2
	BOR #xx:3, @ERd	B		4														6
	BOR #xx:3, @aa:8	B					4											6
BIOR	BIOR #xx:3, Rd	B	2															2
	BIOR #xx:3, @ERd	B		4														6
	BIOR #xx:3, @aa:8	B					4											6
BXOR	BXOR #xx:3, Rd	B	2															2
	BXOR #xx:3, @ERd	B		4														6
	BXOR #xx:3, @aa:8	B					4											6
BIXOR	BIXOR #xx:3, Rd	B	2															2
	BIXOR #xx:3, @ERd	B		4														6
	BIXOR #xx:3, @aa:8	B					4											6

表A.1 命令セット一覧(10)

(6) 分岐命令

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)				オペレーション	分岐条件	コンディションコード							実行回数					
		#xx	Rn	@ERn	@(d, ERn)			@-ERn/@ERn+	@aa	@(d, PC)	@@aa	-	I	H	N	Z	V	C	7ビット	7ビット
Bcc																				
BRA d:8(BT d:8)	-																			4
BRA d:16(BT d:16)	-																			6
BRN d:8(BF d:8)	-																			4
BRN d:16(BF d:16)	-																			6
BHI d:8	-																			4
BHI d:16	-																			6
BLS d:8	-																			4
BLS d:16	-																			6
BCC d:8(BHS d:8)	-																			4
BCC d:16(BHS d:16)	-																			6
BCS d:8(BLO d:8)	-																			4
BCS d:16(BLO d:16)	-																			6
BNE d:8	-																			4
BNE d:16	-																			6
BEQ d:8	-																			4
BEQ d:16	-																			6
BVC d:8	-																			4
BVC d:16	-																			6
BVS d:8	-																			4
BVS d:16	-																			6
BPL d:8	-																			4
BPL d:16	-																			6
BMI d:8	-																			4
BMI d:16	-																			6

表A.1 命令セット一覧(11)

ニーモニック	サイズ	アドレッシングモード/命令長 (バイト)						オペレーション	分岐条件	コンディションコード							実行回数*	
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/@ERnt	@aa			@(d, PC)	@aa	I	H	N	Z	V	C	7/7H
Bcc	BGE d:8	-																4
	BGE d:16	-																6
	BLT d:8	-																4
	BLT d:16	-																6
	BGT d:8	-																4
	BGT d:16	-																6
	BLE d:8	-																4
	BLE d:16	-																6
JMP	JMP @ERn	-		2														4
	JMP @aa:24	-				4												6
	JMP @aa:8	-																8
BSR	BSR d:8	-																6
	BSR d:16	-																8
JSR	JSR @ERn	-		2														6
	JSR @aa:24	-				4												8
	JSR @aa:8	-																8
RTS	RTS	-																2
		-																8

表 A. 1 命令セット一覧(13)

(8) ブロック転送命令

ニーモニック	サイズ	アドレッシングモード/命令長(バイト)						オペレーション	コンディションコード							実行回数*1							
		#xx	Rn	@ERn	@(d, ERn)	@-ERn/ERn+	@aa		@(d, PC)	@@aa	I	H	N	Z	V		C	/-7n	7F0xF				
EPMOV, B	-																	if R4L ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4L-1→R4L Until R4L=0 else next;				8+4n*2	
EPMOV, W	-																		if R4 ≠ 0 Repeat @R5→@R6 R5+1→R5 R6+1→R6 R4-1 →R4 Until R4=0 else next;				8+4n*2

【注】*1 実行ステータ数は、オペコードおよびオペランドが内蔵メモリに存在する場合です。それ以外の場合は、「A.3 命令実行ステータ数」を参照してください。また、ノーマルモードは本LSIでは使用できません。

*2 nはR4LまたはR4の設定値です。

- ① ビット11から桁上がりまたはビット11へ桁下がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ② ビット27から桁上がりまたはビット27へ桁下がりが発生したとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ③ 演算結果がゼロのとき、演算前の値を保持し、それ以外のとき“0”にクリアされます。
- ④ 補正結果に桁上がりが発生したとき、“1”にセットされ、それ以外のとき演算前の値を保持します。
- ⑤ Eクロック同期転送命令の実行ステータ数は一定ではありません。
- ⑥ 除数が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ⑦ 除数がゼロのとき“1”にセットされ、それ以外のとき“0”にクリアされます。
- ⑧ 商が負のとき“1”にセットされ、それ以外のとき“0”にクリアされます。

A. 2 オペレーションコードマップ

表A. 2 オペレーションコードマップ(1)

命令コード:

第1バイト		第2バイト	
AH	AL	BH	BL



— BHの最上位ビットが0の場合を示します。
 — BHの最上位ビットが1の場合を示します。

AL/AH	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
0	NOP	表A.2(2)	STC	LDC	ORC	XORC	ANDC	LDC	ADD		表A.2(2)	表A.2(2)	MOV	ADDX		表A.2(2)
1	表A.2(2)	表A.2(2)	表A.2(2)	表A.2(2)	OR.B	XOR.B	AND.B	表A.2(2)	SUB		表A.2(2)	表A.2(2)	CMP	SUBX		表A.2(2)
2	MOV. B															
3	MOV. B															
4	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
5	MULXU	DIVXU	MULXU	DIVXU	RTS	BSR	RTE	TRAPA	表A.2(2)		JMP		BSR		JSR	
6	BSET	BNOT	BCLR	BTST	OR	XOR	AND	BST	MOV							
7					BOR	BXOR	BAND	BUD	MOV	表A.2(2)	表A.2(2)	BBPMOV				表A.2(3)
8	ADD															
9	ADDX															
A	CMP															
B	SUBX															
C	OR															
D	XOR															
E	AND															
F	MOV															

表A. 2 オペレーションコードマップ(2)

命令コード:

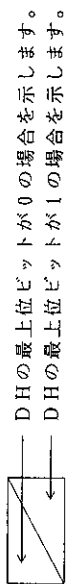
第1バイト		第2バイト	
AH	AL	BH	BL

BH / AH, AL	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F
01	MOV			LDC/STC					SLEEP				表A.2(3)	表A.2(3)		表A.2(3)
0A	INC												ADD			
0B	ADDS				INC			INC	ADDS					INC		INC
0F	DAA												MOV			
10	SHLL			SHLL					SHAL			SHAL				
11	SHLR			SHLR					SHAR			SHAR				
12	ROTXL			ROTXL					ROTL			ROTL				
13	ROTXR			ROTXR					ROTR			ROTR				
17	NOT			NOT				EXTU	NEG			NEG		EXTS		EXTS
1A	DEC															
1B	SUBS				DEC			DEC	SUBS					DEC		DEC
1F	DAS															
58	BRA	BRN	BHI	BLS	BCC	BCS	BNE	BEQ	BVC	BVS	BPL	BMI	BGE	BLT	BGT	BLE
79	MOV	ADD	CMP	SUB	OR	XOR	AND									
7A	MOV	ADD	CMP	SUB	OR	XOR	AND									

表A. 2 オペレーションコンコードマップ(3)

命令コード:

第1バイト	第2バイト	第3バイト	第4バイト
AH AL	BH BL	CH CL	DH DL



命令コード	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F				
AHALBBLCH	C L																			
01406	LDC																			
01C05	MULXS	MULXS																		
01D05	DIVXS															DIVXS				
01F06	OR															XOR	AND			
7Cr06*1	BTST																			
7Cr07*1	BOR															BOR	BAND	BIAND	BID	BILD
7Dr06*1	BSET	BNOT	BCLR													BST	BIST			
7Dr07*1	BCLR																			
7Ea06*2	BTST																			
7Ea07*2	BOR															BOR	BAND	BIAND	BID	BILD
7Faa0*2	BSET	BNOT	BCLR													BST	BIST			
7Faa7*2	BCLR																			

【注】*1 r はレジスタ指定部

*2 a は絶対アドレス指定部

A.3 命令実行ステート数

H8/300H CPUの各命令についての実行状態と実行ステート数の計算方法を示します。

表A.3に各命令の実行状態として、命令実行中に行われる命令フェッチ、データリード/ライト等のサイクル数を示し、表A.2に各々のサイズに必要なステート数を示します。

命令実行ステート数は次の計算式で計算されます。

$$\text{実行ステート数} = I \cdot S_I + J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M + N \cdot S_N$$

■実行ステート数計算例

(例) アドバンスモード、スタック領域を外部空間に設定、内部周辺モジュールアクセス時8ビットバス幅、外部デバイスアクセス時16ビットバス幅で3ステートアクセス1ウェイト挿入とした場合

1. BSET #0、@FFFFC7:8

表A.3より

$$I = L = 2, J = K = M = N = 0$$

表A.2より

$$S_I = 4, S_L = 3$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 3 = 14$$

2. JSR @@30

表A.3より

$$I = J = K = 2, L = M = N = 0$$

表A.2より

$$S_I = S_J = S_K = 4$$

$$\text{実行ステート数} = 2 \times 4 + 2 \times 4 + 2 \times 4 = 24$$

表 A.3 実行状態（サイクル）に要するステート数

実行状態 (サイクル)	アクセス対象									
	内蔵 メモリ	内蔵周辺モジュール		外部デバイス						
		8ビット バス	16ビット バス	8ビットバス		16ビットバス				
				2ステート アクセス	3ステート アクセス	2ステート アクセス	3ステート アクセス			
命令フェッチ S _I	2	6	3	4	6+2m	2	3+m			
分岐アドレスリード S _J										
スタック操作 S _K										
バイトデータアクセス S _L								3	2	3+m
ワードデータアクセス S _M								6	4	6+2m
内部動作 S _N	1									

《記号説明》

m : 外部デバイスアクセス時のウェイトステート数

表A.4 命令実行状態 (サイクル数) (1)

命令	ニーモニック	命令 フェッチ	分岐7F レスリド	スタック 操作	バイトデー アクセス	ワードデー アクセス	内部 動作
		I	J	K	L	M	N
ADD	ADD. B #xx:8, Rd	1					
	ADD. B Rs, Rd	1					
	ADD. W #xx:16, Rd	2					
	ADD. W Rs, Rd	1					
	ADD. L #xx:32, ERd	3					
	ADD. L ERs, ERd	1					
ADDS	ADDS #1/2/4, ERd	1					
ADDX	ADDX #xx:8, Rd	1					
	ADDX Rs, Rd	1					
AND	AND. B #xx:8, Rd	1					
	AND. B Rs, Rd	1					
	AND. W #xx:16, Rd	2					
	AND. W Rs, Rd	1					
	AND. L #xx:32, ERd	3					
	AND. L ERs, ERd	2					
ANDC	ANDC #xx:8, CCR	1					
BAND	BAND #xx:3, Rd	1					
	BAND #xx:3, @ERd	2			1		
	BAND #xx:3, @aa:8	2			1		
Bcc	BRA d:8 (BT d:8)	2					
	BRN d:8 (BF d:8)	2					
	BHI d:8	2					
	BLS d:8	2					
	BCC d:8 (BHS d:8)	2					
	BCS d:8 (BLO d:8)	2					
	BNE d:8	2					
	BEQ d:8	2					
	BVC d:8	2					
	BVS d:8	2					
	BPL d:8	2					
	BMI d:8	2					
	BGE d:8	2					
	BLT d:8	2					
BGT d:8	2						

表 A.4 命令実行状態 (サイクル数) (2)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部
		フェッチ	レスリド	操作	アクセス	アクセス	動作
		I	J	K	L	M	N
Bcc	BLE d:8	2					
	BRA d:16 (BT d:16)	2					2
	BRN d:16 (BF d:16)	2					2
	BHI d:16	2					2
	BLS d:16	2					2
	BCC d:16 (BHS d:16)	2					2
	BCS d:16 (BLO d:16)	2					2
	BNE d:16	2					2
	BEQ d:16	2					2
	BVC d:16	2					2
	BVS d:16	2					2
	BPL d:16	2					2
	BMI d:16	2					2
	BGE d:16	2					2
	BLT d:16	2					2
BGT d:16	2					2	
BLE d:16	2					2	
BCLR	BCLR #xx:3, Rd	1					
	BCLR #xx:3, @ERd	2			2		
	BCLR #xx:3, @aa:8	2			2		
	BCLR Rn, Rd	1					
	BCLR Rn, @ERd	2			2		
	BCLR Rn, @aa:8	2			2		
BIAND	BIAND #xx:3, Rd	1					
	BIAND #xx:3, @ERd	2			1		
	BIAND #xx:3, @aa:8	2			1		
BILD	BILD #xx:3, Rd	1					
	BILD #xx:3, @ERd	2			1		
	BILD #xx:3, @aa:8	2			1		
BIOR	BIOR #xx:8, Rd	1					
	BIOR #xx:8, @ERd	2			1		
	BIOR #xx:8, @aa:8	2			1		
BIST	BIST #xx:3, Rd	1					
	BIST #xx:3, @ERd	2			2		
	BIST #xx:3, @aa:8	2			2		

表A.4 命令実行状態 (サイクル数) (3)

命令	ニーモニック		命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデータ アクセス	ワードデータ アクセス	内部 動作
			I	J	K	L	M	N
BIXOR	BIXOR #xx:3, Rd		1					
	BIXOR #xx:3, @ERd		2			1		
	BIXOR #xx:3, @aa:8		2			1		
BLD	BLD #xx:3, Rd		1					
	BLD #xx:3, @ERd		2			1		
	BLD #xx:3, @aa:8		2			1		
BNOT	BNOT #xx:3, Rd		1					
	BNOT #xx:3, @ERd		2			2		
	BNOT #xx:3, @aa:8		2			2		
	BNOT Rn, Rd		1					
	BNOT Rn, @ERd		2			2		
	BNOT Rn, @aa:8		2			2		
BOR	BOR #xx:3, Rd		1					
	BOR #xx:3, @ERd		2			1		
	BOR #xx:3, @aa:8		2			1		
BSET	BSET #xx:3, Rd		1					
	BSET #xx:3, @ERd		2			2		
	BSET #xx:3, @aa:8		2			2		
	BSET Rn, Rd		1					
	BSET Rn, @ERd		2			2		
	BSET Rn, @aa:8		2			2		
BSR	BSR d:8	ノーマル*1	2		1			
		アドバンス	2		2			
	BSR d:16	ノーマル*1	2		1			2
		アドバンス	2		2			2
BST	BST #xx:3, Rd		1					
	BST #xx:3, @ERd		2			2		
	BST #xx:3, @aa:8		2			2		
BTST	BTST #xx:3, Rd		1					
	BTST #xx:3, @ERd		2			1		
	BTST #xx:3, @aa:8		2			1		
	BTST Rn, Rd		1					
	BTST Rn, @ERd		2			1		
	BTST Rn, @aa:8		2			1		

表 A.4 命令実行状態 (サイクル数) (4)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作	
		I	J	K	L	M	N	
BXOR	BXOR #xx:3, Rd	1						
	BXOR #xx:3, @ERd	2			1			
	BXOR #xx:3, @aa:8	2			1			
CMP	CMP.B #xx:8, Rd	1						
	CMP.B Rs, Rd	1						
	CMP.W #xx:16, Rd	2						
	CMP.W Rs, Rd	1						
	CMP.L #xx:32, ERd	3						
	CMP.L ERs, ERd	1						
DAA	DAA Rd	1						
DAS	DAS Rd	1						
DEC	DEC.B Rd	1						
	DEC.W #1/2, Rd	1						
	DEC.L #1/2, ERd	1						
DIVXS	DIVXS.B Rs, Rd	2					12	
	DIVXS.W Rs, ERd	2					20	
DIVXU	DIVXU.B Rs, Rd	1					12	
	DIVXU.W Rs, ERd	1					20	
BEPMOV	BEPMOV.B	2			$2n+2^{*2}$			
	BEPMOV.W	2			$2n+2^{*2}$			
EXTS	EXTS.W Rd	1						
	EXTS.L ERd	1						
EXTU	EXTU.W Rd	1						
	EXTU.L ERd	1						
INC	INC.B Rd	1						
	INC.W #1/2, Rd	1						
	INC.L #1/2, ERd	1						
JMP	JMP @ERn	2						
	JMP @aa:24	2					2	
	JMP @@aa:8	ノーマル ^{*1}	2	1				2
		アドバンスト	2	2				2
JSR	JSR @ERn	ノーマル ^{*1}	2		1			
		アドバンスト	2		2			
	JSR @aa:24	ノーマル ^{*1}	2		1		2	

表 A.4 命令実行状態 (サイクル数) (5)

命令	ニーモニック		命令	分岐ア	スタック	バイトデータ	ワードデータ	内部
			フェッチ	レシード	操作	アクセス	アクセス	動作
			I	J	K	L	M	N
JSR	JSR @aa:24	アソバソト	2		2			2
	JSR @@aa:8	ノマル*1	2	1	1			
		アソバソト	2	2	2			
LDC	LDC #xx:8, CCR		1					
	LDC Rs, CCR		1					
	LDC @ERs, CCR		2				1	
	LDC @(d:16, ERs), CCR		3				1	
	LDC @(d:24, ERs), CCR		5				1	
	LDC @ERs+, CCR		2				1	2
	LDC @aa:16, CCR		3				1	
	LDC @aa:24, CCR		4				1	
MOV	MOV.B #xx:8, Rd		1					
	MOV.B Rs, Rd		1					
	MOV.B @ERs, Rd		1			1		
	MOV.B @(d:16, ERs), Rd		2			1		
	MOV.B @(d:24, ERs), Rd		4			1		
	MOV.B @ERs+, Rd		1			1		2
	MOV.B @aa:8, Rd		1			1		
	MOV.B @aa:16, Rd		2			1		
	MOV.B @aa:24, Rd		3			1		
	MOV.B Rs, @ERd		1			1		
	MOV.B Rs, @(d:16, ERd)		2			1		
	MOV.B Rs, @(d:24, ERd)		4			1		
	MOV.B Rs, @-ERd		1			1		2
	MOV.B Rs, @aa:8		1			1		
	MOV.B Rs, @aa:16		2			1		
	MOV.B Rs, @aa:24		3			1		
	MOV.W #xx:16, Rd		2					
	MOV.W Rs, Rd		1					
	MOV.W @ERs, Rd		1				1	
	MOV.W @(d:16, ERs), Rd		2				1	
	MOV.W @(d:24, ERs), Rd		4				1	
	MOV.W @ERs+, Rd		1				1	2
	MOV.W @aa:16, Rd		2				1	

表A.4 命令実行状態（サイクル数）(6)

命令	ニーモニック	命令	分岐アド	スタック	バイトデータ	ワードデータ	内部	
		フェッチ	レスリド	操作	アクセス	アクセス		動作
		I	J	K	L	M	N	
MOV	MOV.W @aa:24, Rd	3				1		
	MOV.W Rs, @ERd	1				1		
	MOV.W Rs, @(d:16, ERd)	2				1		
	MOV.W Rs, @(d:24, ERd)	4				1		
	MOV.W Rs, @-ERd	1				1	2	
	MOV.W Rs, @aa:16	2				1		
	MOV.W Rs, @aa:24	3				1		
	MOV.L #xx:32, ERd	3						
	MOV.L ERs, ERd	1						
	MOV.L @ERs, ERd	2					2	
	MOV.L @(d:16, ERs), ERd	3					2	
	MOV.L @(d:24, ERs), ERd	5					2	
	MOV.L @ERs+, ERd	2					2	2
	MOV.L @aa:16, ERd	3					2	
	MOV.L @aa:24, ERd	4					2	
	MOV.L ERs, @ERd	2					2	
	MOV.L ERs, @(d:16, ERd)	3					2	
	MOV.L ERs, @(d:24, ERd)	5					2	
	MOV.L ERs, @-ERd	2					2	2
	MOV.L ERs, @aa:16	3					2	
MOV.L ERs, @aa:24	4					2		
MOVFPPE	MOVFPPE @aa:16, Rd *3	2			1			
MOVTPE	MOVTPE Rs, @aa:16 *3	2			1			
MULXS	MULXS.B Rs, Rd	2					12	
	MULXS.W Rs, ERd	2					20	
MULXU	MULXU.B Rs, Rd	1					12	
	MULXU.W Rs, ERd	1					20	
NEG	NEG.B Rd	1						
	NEG.W Rd	1						
	NEG.L ERd	1						
NOP	NOP	1						
NOT	NOT.B Rd	1						
	NOT.W Rd	1						
	NOT.L ERd	1						

表 A.4 命令実行状態 (サイクル数) (7)

命令	ニーモニック	命令 フエッチ	分岐ア ド ヒスリード	スタック 操作	バイトデー タ アクセス	ワードデー タ アクセス	内部 動作	
		I	J	K	L	M	N	
OR	OR. B #xx:8, Rd	1						
	OR. B Rs, Rd	1						
	OR. W #xx:16, Rd	2						
	OR. W Rs, Rd	1						
	OR. L #xx:32, ERd	3						
	OR. L ERs, ERd	2						
ORC	ORC #xx:8, CCR	1						
POP	POP. W Rn	1				1	2	
	POP. L ERn	2				2	2	
PUSH	PUSH. W Rn	1				1	2	
	PUSH. L ERn	2				2	2	
ROTL	ROTL. B Rd	1						
	ROTL. W Rd	1						
	ROTL. L ERd	1						
ROTR	ROTR. B Rd	1						
	ROTR. W Rd	1						
	ROTR. L ERd	1						
ROTXL	ROTXL. B Rd	1						
	ROTXL. W Rd	1						
	ROTXL. L ERd	1						
ROTXR	ROTXR. B Rd	1						
	ROTXR. W Rd	1						
	ROTXR. L ERd	1						
RTE	RTE	2		2			2	
RTS	RTS	ノーマル*1	2		1			2
		アドバンス	2		2			2
SHAL	SHAL. B Rd	1						
	SHAL. W Rd	1						
	SHAL. L ERd	1						
SHAR	SHAR. B Rd	1						
	SHAR. W Rd	1						
	SHAR. L ERd	1						
SHLL	SHLL. B Rd	1						
	SHLL. W Rd	1						

表 A.4 命令実行状態 (サイクル数) (8)

命令	ニーモニック	命令 フェッチ	分岐アド レスリード	スタック 操作	バイトデー タアクセス	ワードデー タアクセス	内部 動作
		I	J	K	L	M	N
SHLL	SHLL.L ERd	1					
SHLR	SHLR.B Rd	1					
	SHLR.W Rd	1					
	SHLR.L ERd	1					
SLEEP	SLEEP	1					
STC	STC CCR, Rd	1					
	STC CCR, @ERd	2				1	
	STC CCR, @(d:16, ERd)	3				1	
	STC CCR, @(d:24, ERd)	5				1	
	STC CCR, @-ERd	2				1	2
	STC CCR, @aa:16	3				1	
	STC CCR, @aa:24	4				1	
SUB	SUB.B Rs, Rd	1					
	SUB.W #xx:16, Rd	2					
	SUB.W Rs, Rd	1					
	SUB.L #xx:32, ERd	3					
	SUB.L ERs, ERd	1					
SUBS	SUBS #1/2/4, ERd	1					
SUBX	SUBX #xx:8, Rd	1					
	SUBX Rs, Rd	1					
TRAPA	TRAPA #x:2	ノーマル* ¹	2	1	2		4
		アドバンスト	2	2	2		4
XOR	XOR.B #xx:8, Rd	1					
	XOR.B Rs, Rd	1					
	XOR.W #xx:16, Rd	2					
	XOR.W Rs, Rd	1					
	XOR.L #xx:32, ERd	3					
	XOR.L ERs, ERd	2					
XORC	XORC #xx:8, CCR	1					

【注】 *¹ ノーマルモードは、本 L S I では使用できません。

*² n は R4L、R4 の設定値です。ソース側、デスティネーション側のアクセスが、それぞれ (n + 1) 回行われます。

*³ 本 L S I では使用できません。

B. レジスタ一覧

B. 1 I/Oレジスタ一覧(1)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' 1C												
H' 1D												
H' 1E												
H' 1F												
H' 20	_____		—	—	—	—	—	—	—	—	—	
H' 21	_____		—	—	—	—	—	—	—	—	—	
H' 22	_____		—	—	—	—	—	—	—	—	—	
H' 23	_____		—	—	—	—	—	—	—	—	—	
H' 24	_____		—	—	—	—	—	—	—	—	—	
H' 25	_____		—	—	—	—	—	—	—	—	—	
H' 26	_____		—	—	—	—	—	—	—	—	—	
H' 27	_____		—	—	—	—	—	—	—	—	—	
H' 28	_____		—	—	—	—	—	—	—	—	—	
H' 29	_____		—	—	—	—	—	—	—	—	—	
H' 2A	_____		—	—	—	—	—	—	—	—	—	
H' 2B	_____		—	—	—	—	—	—	—	—	—	
H' 2C	_____		—	—	—	—	—	—	—	—	—	
H' 2D	_____		—	—	—	—	—	—	—	—	—	
H' 2E	_____		—	—	—	—	—	—	—	—	—	
H' 2F	_____		—	—	—	—	—	—	—	—	—	
H' 30	_____		—	—	—	—	—	—	—	—	—	
H' 31	_____		—	—	—	—	—	—	—	—	—	
H' 32	_____		—	—	—	—	—	—	—	—	—	
H' 33	_____		—	—	—	—	—	—	—	—	—	
H' 34	_____		—	—	—	—	—	—	—	—	—	
H' 35	_____		—	—	—	—	—	—	—	—	—	
H' 36	_____		—	—	—	—	—	—	—	—	—	
H' 37	_____		—	—	—	—	—	—	—	—	—	
H' 38	_____		—	—	—	—	—	—	—	—	—	
H' 39	_____		—	—	—	—	—	—	—	—	—	
H' 3A	_____		—	—	—	—	—	—	—	—	—	

(次頁に続く)

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' 3B	_____		---	---	---	---	---	---	---	---	
H' 3C	_____		---	---	---	---	---	---	---	---	
H' 3D	_____		---	---	---	---	---	---	---	---	
H' 3E	_____		---	---	---	---	---	---	---	---	
H' 3F	_____		---	---	---	---	---	---	---	---	
H' 40	_____		---	---	---	---	---	---	---	---	
H' 41	_____		---	---	---	---	---	---	---	---	
H' 42	_____		---	---	---	---	---	---	---	---	
H' 43	_____		---	---	---	---	---	---	---	---	
H' 44	_____		---	---	---	---	---	---	---	---	
H' 45	_____		---	---	---	---	---	---	---	---	
H' 46	_____		---	---	---	---	---	---	---	---	
H' 47	_____		---	---	---	---	---	---	---	---	
H' 48	_____		---	---	---	---	---	---	---	---	
H' 49	_____		---	---	---	---	---	---	---	---	
H' 4A	_____		---	---	---	---	---	---	---	---	
H' 4B	_____		---	---	---	---	---	---	---	---	
H' 4C	_____		---	---	---	---	---	---	---	---	
H' 4D	_____		---	---	---	---	---	---	---	---	
H' 4E	_____		---	---	---	---	---	---	---	---	
H' 4F	_____		---	---	---	---	---	---	---	---	
H' 50	_____		---	---	---	---	---	---	---	---	
H' 51	_____		---	---	---	---	---	---	---	---	
H' 52	_____		---	---	---	---	---	---	---	---	
H' 53	_____		---	---	---	---	---	---	---	---	
H' 54	_____		---	---	---	---	---	---	---	---	
H' 55	_____		---	---	---	---	---	---	---	---	
H' 56	_____		---	---	---	---	---	---	---	---	
H' 57	_____		---	---	---	---	---	---	---	---	
H' 58	_____		---	---	---	---	---	---	---	---	
H' 59	_____		---	---	---	---	---	---	---	---	
H' 5A	_____		---	---	---	---	---	---	---	---	
H' 5B	_____		---	---	---	---	---	---	---	---	

(次頁に続く)

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H' 5C	————		—	—	—	—	—	—	—	—		
H' 5D	————		—	—	—	—	—	—	—	—		
H' 5E	————		—	—	—	—	—	—	—	—		
H' 5F	————		—	—	—	—	—	—	—	—		
H' 60	TSTR	8	—	—	—	STR4	STR3	STR2	STR1	STRO		ITU 共通
H' 61	TSNC	8	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNCO		
H' 62	TMDR	8	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWMO		
H' 63	TFCR	8	—	—	—	—	BFB4	BFA4	BFB3	BFA3		
H' 64	TCR0	8	—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO		ITU チャンネル0
H' 65	TIOR0	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOAO		
H' 66	TIER0	8	—	—	—	—	—	OVIE	IMIEB	IMIEA		
H' 67	TSR0	8	—	—	—	—	—	OVF	IMFB	IMFA		
H' 68	TCNT0H	16										
H' 69	TCNT0L											
H' 6A	GRA0H	16										
H' 6B	GRA0L											
H' 6C	GRB0H	16										
H' 6D	GRB0L											
H' 6E	TCR1	8	—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO		ITU チャンネル1
H' 6F	TIOR1	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOAO		
H' 70	TIER1	8	—	—	—	—	—	OVIE	IMIEB	IMIEA		
H' 71	TSR1	8	—	—	—	—	—	OVF	IMFB	IMFA		
H' 72	TCNT1H	16										
H' 73	TCNT1L											
H' 74	GRA1H	16										
H' 75	GRA1L											
H' 76	GRB1H	16										
H' 77	GRB1L											
H' 78	TCR2	8	—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSCO		ITU チャンネル2
H' 79	TIOR2	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOAO		
H' 7A	TIER2	8	—	—	—	—	—	OVIE	IMIEB	IMIEA		
H' 7B	TSR2	8	—	—	—	—	—	OVF	IMFB	IMFA		

(次頁に続く)

《記号説明》

ITU : 16ビットインテグレートドタイムユニット

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'7C	TCNT2H	16									ITU チャンネル2
H'7D	TCNT2L										
H'7E	GRA2H	16									
H'7F	GRA2L										
H'80	GRB2H	16									
H'81	GRB2L										
H'82	TCR3	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル3
H'83	TIOR3	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'84	TIER3	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'85	TSR3	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'86	TCNT3H	16									
H'87	TCNT3L										
H'88	GRA3H	16									
H'89	GRA3L										
H'8A	GRB3H	16									
H'8B	GRB3L										
H'8C	BRA3H	16									
H'8D	BRA3L										
H'8E	BRB3H	16									
H'8F	BRB3L										
H'90	TOER	8	—	—	—	—	EB3	EB4	EA4	EA3	ITU 共通
H'91	—		—	—	—	—	—	—	—	—	
H'92	TCR4	8	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	ITU チャンネル4
H'93	TIOR4	8	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
H'94	TIER4	8	—	—	—	—	—	OVIE	IMIEB	IMIEA	
H'95	TSR4	8	—	—	—	—	—	OVF	IMFB	IMFA	
H'96	TCNT4H	16									
H'97	TCNT4L										
H'98	GRA4H	16									
H'99	GRA4L										
H'9A	GRB4H	16									
H'9B	GRB4L										

《記号説明》

(次頁に続く)

ITU : 16ビットインテグレートドタイムユニット

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名	
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'9C	BRA4H	16										ITU チャンネル4
H'9D	BRA4L											
H'9E	BRB4H	16										
H'9F	BRB4L											
H'A0	TPMR	8	—	—	—	—	—	G2NOV	G1NOV	G0NOV		TPC
H'A1	TPCR	8	—	—	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0		
H'A2	NDERB	8	—	—	—	—	NDER11	NDER10	NDER9	NDER8		
H'A3	NDERA	8	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0		
H'A4	NDRB* ¹	8	—	—	—	—	NDR11	NDR10	NDR9	NDR8		
		8	—	—	—	—	—	—	—	—		
H'A5	NDRA* ¹	8	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0		
		8	NDR7	NDR6	NDR5	NDR4	—	—	—	—		
H'A6	NDRB* ¹	8	—	—	—	—	—	—	—	—		
		8	—	—	—	—	NDR11	NDR10	NDR9	NDR8		
H'A7	NDRA* ¹	8	—	—	—	—	—	—	—	—		
		8	—	—	—	—	NDR3	NDR2	NDR1	NDR0		
H'A8	—	8	—	—	—	—	—	—	—	—		
H'A9	—	8	—	—	—	—	—	—	—	—		
H'AA	—		—	—	—	—	—	—	—	—		
H'AB	—		—	—	—	—	—	—	—	—		
H'AC	—		—	—	—	—	—	—	—	—		
H'AD	—		—	—	—	—	—	—	—	—		
H'AE	—		—	—	—	—	—	—	—	—		
H'AF	—		—	—	—	—	—	—	—	—		
H'B0	SMR	8	C/A	CHR	PE	O/E	STOP	MP	CKS1	CKS0	SCI	
H'B1	BRR	8										
H'B2	SCR	8	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'B3	TDR	8										
H'B4	SSR	8	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'B5	RDR	8										

(次頁に続く)

【注】*¹ 出力トリガの設定によりアドレスが変化します。

《記号説明》

ITU : 16ビットインテグレートドタイムユニット

TPC : プログラマブルタイミングパターンコントローラ

SCI : シリアルコミュニケーションインタフェース

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H' B6	————		—	—	—	—	—	—	—	—	SCI
H' B7	————		—	—	—	—	—	—	—	—	
H' B8	————		—	—	—	—	—	—	—	—	
H' B9	————		—	—	—	—	—	—	—	—	
H' BA	————		—	—	—	—	—	—	—	—	
H' BB	————		—	—	—	—	—	—	—	—	
H' BC	————		—	—	—	—	—	—	—	—	
H' BD	————		—	—	—	—	—	—	—	—	
H' BE	————		—	—	—	—	—	—	—	—	
H' BF	————		—	—	—	—	—	—	—	—	
H' C0	————		—	—	—	—	—	—	—		
H' C1	————		—	—	—	—	—	—	—		—
H' C2	————		—	—	—	—	—	—	—		—
H' C3	————		—	—	—	—	—	—	—		—
H' C4	————		—	—	—	—	—	—	—		—
H' C5	P4 DDR	8	P4 ₇ DDR	P4 ₆ DDR	P4 ₅ DDR	P4 ₄ DDR	P4 ₃ DDR	P4 ₂ DDR	P4 ₁ DDR	P4 ₀ DDR	ポート4
H' C6	————		—	—	—	—	—	—	—	—	
H' C7	P4 DR	8	P4 ₇	P4 ₆	P4 ₅	P4 ₄	P4 ₃	P4 ₂	P4 ₁	P4 ₀	ポート4
H' C8	————		—	—	—	—	—	—	—	—	
H' C9	P6 DDR	8	—	—	—	—	—	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR	ポート6
H' CA	————		—	—	—	—	—	—	—	—	
H' CB	P6 DR	8	—	—	—	—	—	P6 ₂	P6 ₁	P6 ₀	ポート6
H' CC	————		—	—	—	—	—	—	—	—	
H' CD	P8 DDR	8	—	—	—	—	—	—	P8 ₁ DDR	P8 ₀ DDR	ポート8
H' CE	P7 DR	8	—	—	—	—	P7 ₃	P7 ₂	P7 ₁	P7 ₀	ポート7
H' CF	P8 DR	8	—	—	—	—	—	—	P8 ₁	P8 ₀	ポート8
H' D0	P9 DDR	8	—	—	—	P9 ₄ DDR	—	P9 ₂ DDR	—	P9 ₀ DDR	ポート9
H' D1	PADDR	8	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR	ポートA
H' D2	P9 DR	8	—	—	—	P9 ₄	—	P9 ₂	—	P9 ₀	ポート9
H' D3	PADR	8	PA ₇	PA ₆	PA ₅	PA ₄	PA ₃	PA ₂	PA ₁	PA ₀	ポートA
H' D4	PBDDR	8	—	—	—	—	PB ₃ DDR	PB ₂ DDR	PB ₁ DDR	PB ₀ DDR	ポートB
H' D5	————		—	—	—	—	—	—	—	—	

(次頁に続く)

《記号説明》

SCI : シリアルコミュニケーションインタフェース

(前頁より続く)

下位 アドレス	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'D6	PBDR	8	—	—	—	—	PB ₃	PB ₂	PB ₁	PB ₀	ポートB
H'D7	—		—	—	—	—	—	—	—	—	
H'D8	—		—	—	—	—	—	—	—	—	
H'D9	—		—	—	—	—	—	—	—	—	
H'DA	P4PCR	8	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR	ポート4
H'DB	—		—	—	—	—	—	—	—	—	
H'DC	—		—	—	—	—	—	—	—	—	
H'DD	—		—	—	—	—	—	—	—	—	
H'DE	—		—	—	—	—	—	—	—	—	
H'DF	—		—	—	—	—	—	—	—	—	
H'E0	ADDRAH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	A/D
H'E1	ADDRAL	8	AD1	AD0	—	—	—	—	—	—	
H'E2	ADDRBH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E3	ADDRBL	8	AD1	AD0	—	—	—	—	—	—	
H'E4	ADDRCH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E5	ADDRCL	8	AD1	AD0	—	—	—	—	—	—	
H'E6	ADDRDH	8	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	
H'E7	ADDRDL	8	AD1	AD0	—	—	—	—	—	—	
H'E8	ADCSR	8	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CHO	
H'E9	ADCR	8	TRGE	—	—	—	—	—	—	—	
H'EA	—		—	—	—	—	—	—	—	—	
H'EB	—		—	—	—	—	—	—	—	—	
H'EC	ABWCR	8	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0	バス コントローラ
H'ED	ASTCR	8	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	
H'EE	WCR	8	—	—	—	—	WMS1	WMS0	WC1	WC0	
H'EF	WCER	8	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0	
H'F0	—		—	—	—	—	—	—	—	—	
H'F1	MDCR	8	—	—	—	—	—	MDS2	MDS1	MDS0	システム制御
H'F2	SYSCR	8	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME	
H'F3	BRCR	8	—	—	—	—	—	—	—	BRLE	バスコントローラ

(次頁に続く)

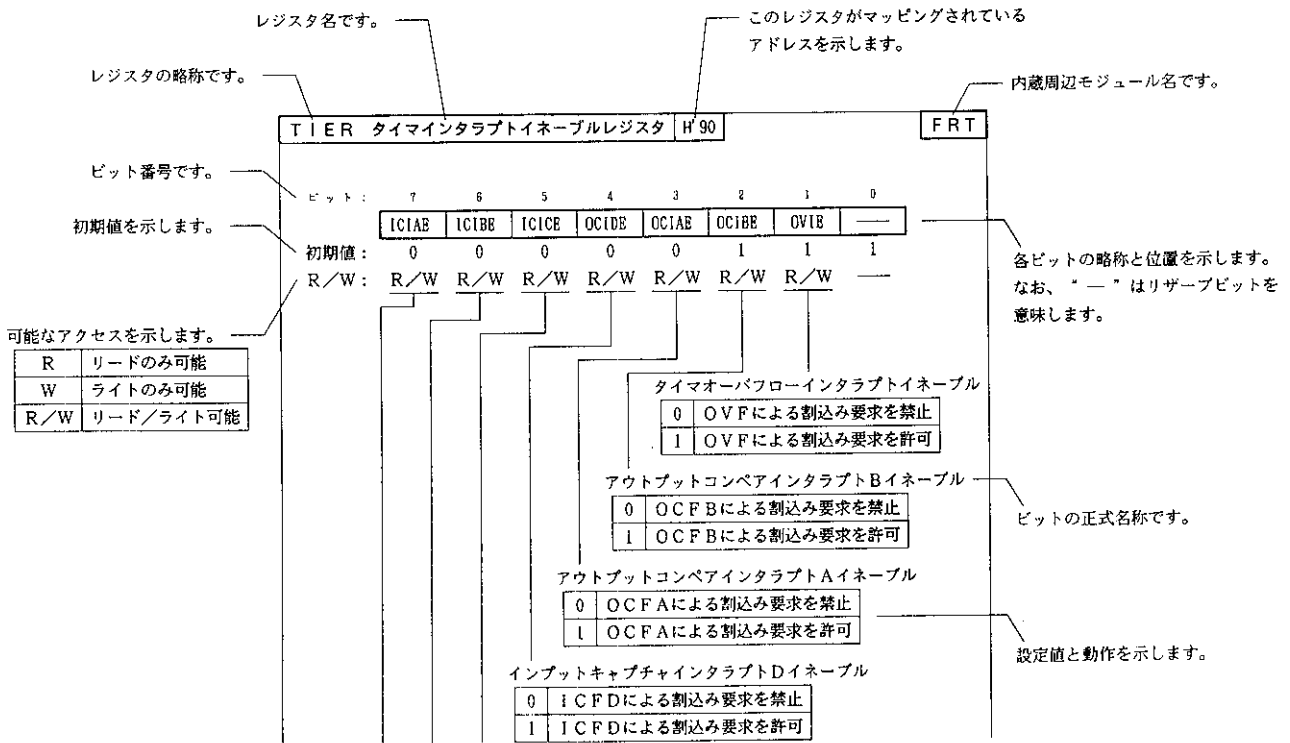
《記号説明》

A/D : A/D変換器

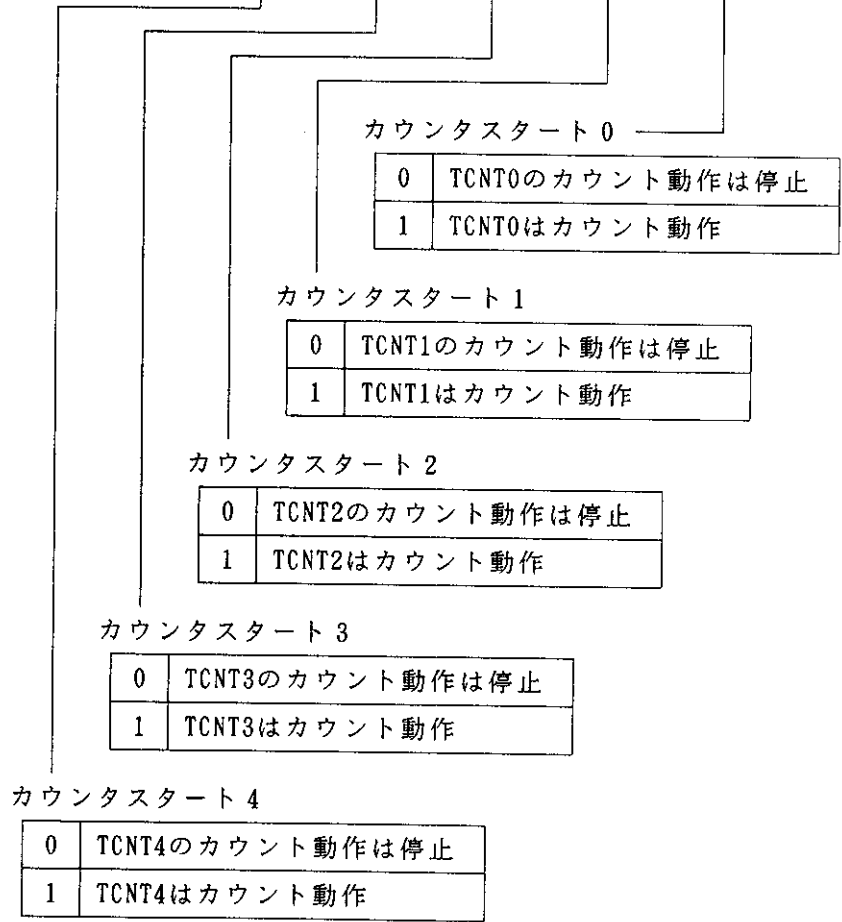
(前頁より続く)

下位 7Fh	レジスタ名	データ バス幅	ビット名								モジュール名
			ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'F4	I SCR	8	—	—	—	IRQ4SC	—	—	IRQ1SC	IRQ0SC	割込み コントローラ
H'F5	I ER	8	—	—	—	IRQ4E	—	—	IRQ1E	IRQ0E	
H'F6	I SR	8	—	—	—	IRQ4F	—	—	IRQ1F	IRQ0F	
H'F7	—		—	—	—	—	—	—	—	—	
H'F8	I PRA	8	IPRA7	IPRA6	—	IPRA4	—	IPRA2	IPRA1	IPRA0	
H'F9	I PRB	8	IPRB7	IPRB6	—	—	IPRB3	—	IPRB1	—	
H'FA	—		—	—	—	—	—	—	—	—	
H'FB	—		—	—	—	—	—	—	—	—	
H'FC	—		—	—	—	—	—	—	—	—	
H'FD	—		—	—	—	—	—	—	—	—	
H'FE	—		—	—	—	—	—	—	—	—	
H'FF	—		—	—	—	—	—	—	—	—	

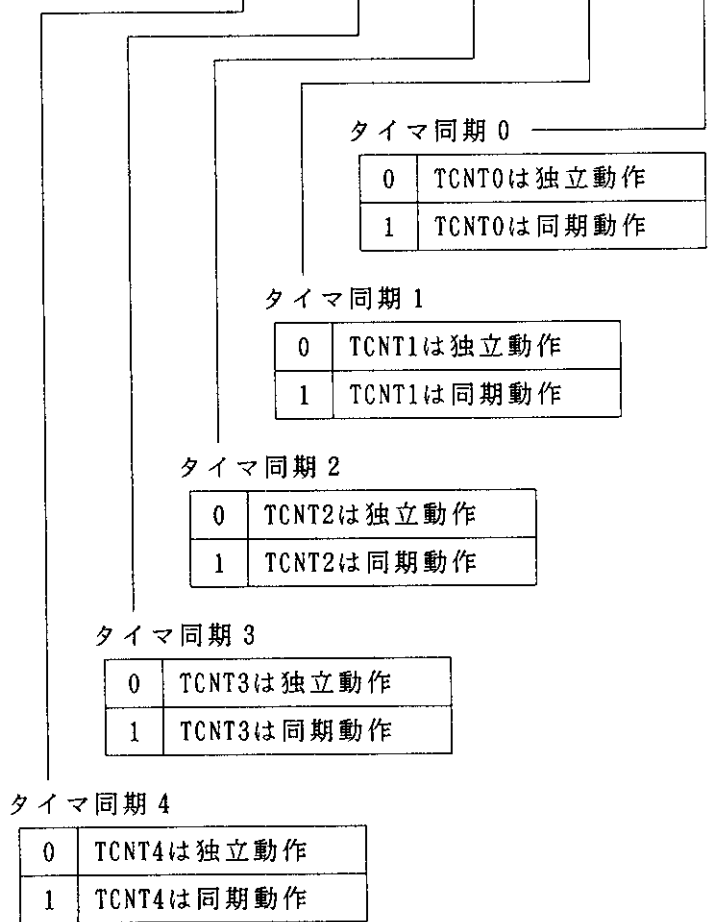
B. 2 I/Oレジスタ一覧(2)



ビット:	7	6	5	4	3	2	1	0
	—	—	—	STR4	STR3	STR2	STR1	STR0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W



ビット:	7	6	5	4	3	2	1	0
	—	—	—	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W



ビット:	7	6	5	4	3	2	1	0
	—	MDF	FDIR	PWM4	PWM3	PWM2	PWM1	PWM0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PWMモード0

0	チャンネル0は通常動作
1	チャンネル0はPWMモード

PWMモード1

0	チャンネル1は通常動作
1	チャンネル1はPWMモード

PWMモード2

0	チャンネル2は通常動作
1	チャンネル2はPWMモード

PWMモード3

0	チャンネル3は通常動作
1	チャンネル3はPWMモード

PWMモード4

0	チャンネル4は通常動作
1	チャンネル4はPWMモード

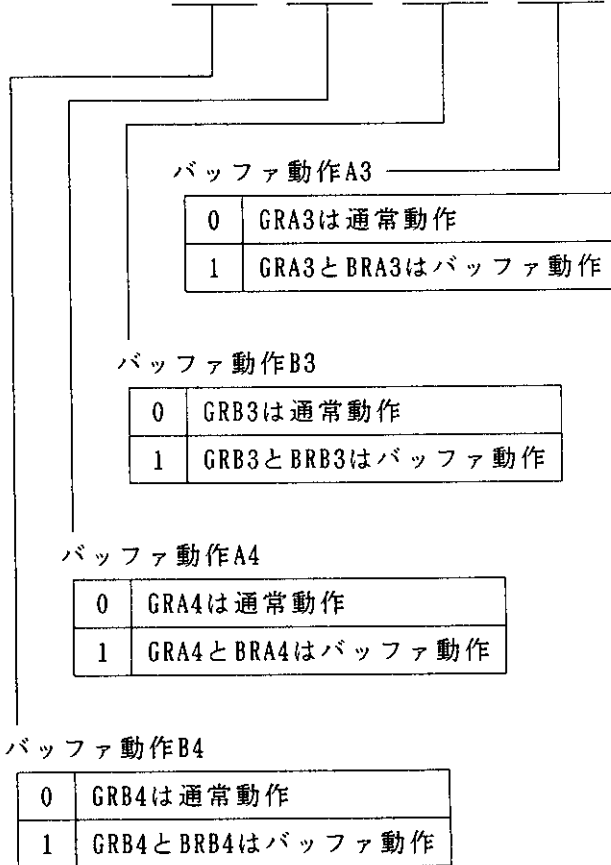
フラグディレクション

0	TSR2のOVFフラグは、TCNT2がオーバフローまたはアンダフローしたときに“1”にセット
1	TSR2のOVFフラグは、TCNT2がオーバフローしたときに“1”にセット

位相計数モード

0	チャンネル2は通常動作
1	チャンネル2は位相計数モード

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	BFB4	BFA4	BFB3	BFA3
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W



ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマプリスケラ 2 ~ 0

ビット2	ビット1	ビット0	TCNTのカウンタクロック
TPSC2	TPSC1	TPSC0	
0	0	0	内部クロック: ϕ
		1	内部クロック: $\phi / 2$
	1	0	内部クロック: $\phi / 4$
		1	内部クロック: $\phi / 8$
1	0	0	外部クロック A : TCLKA端子入力でカウント
		1	外部クロック B : TCLKB端子入力でカウント
	1	0	外部クロック C : TCLKC端子入力でカウント
		1	外部クロック D : TCLKD端子入力でカウント

クロックエッジ 1、0

ビット4	ビット3	外部クロックの検出エッジ
CKEG1	CKEG0	
0	0	立上がりエッジでカウント
	1	立下がりエッジでカウント
1	—	立上がり/立下がりの両エッジでカウント

カウンタクリア 1、0

ビット6	ビット5	TCNTのクリアソース
CCLR1	CCLR0	
0	0	TCNTのクリア禁止
	1	GRAのコンパマツチ/インツットキツツチでTCNTをクリア
1	0	GRBのコンパマツチ/インツットキツツチでTCNTをクリア
	1	同期クリア。同期動作中の他のタイマのカウンタクリアに同期してTCNTをクリア

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W

I/O コントロール A 2 ~ 0

ビット2	ビット1	ビット0	GRAの機能の選択	
IOA2	IOA1	IOA0		
0	0	0	GRAはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRAのコンペアマッチで“0”出力
	1	0		GRAのコンペアマッチで“1”出力
		1		GRAのコンペアマッチでトグル出力
1	0	0	GRAはインプットキ ャプチャレジスタ	立上がりエッジでGRAへインプットキャプチャ
		1		立下がりエッジでGRAへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRA
		1		へインプットキャプチャ

I/O コントロール B 2 ~ 0

ビット6	ビット5	ビット4	GRBの機能の選択	
IOB2	IOB1	IOB0		
0	0	0	GRBはアウトプット コンペアレジスタ	コンペアマッチによる端子出力禁止
		1		GRBのコンペアマッチで“0”出力
	1	0		GRBのコンペアマッチで“1”出力
		1		GRBのコンペアマッチでトグル出力
1	0	0	GRBはインプットキ ャプチャレジスタ	立上がりエッジでGRBへインプットキャプチャ
		1		立下がりエッジでGRBへインプットキャプチャ
	1	0		立上がり/立下がり両エッジでGRB
		1		へインプットキャプチャ

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

インプットキャプチャ/コンペアマッチインタラプトイネーブルA

0	IMFAフラグによる割込み (IMIA) 要求を禁止
1	IMFAフラグによる割込み (IMIA) 要求を許可

インプットキャプチャ/コンペアマッチインタラプトイネーブルB

0	IMFBフラグによる割込み (IMIB) 要求を禁止
1	IMFBフラグによる割込み (IMIB) 要求を許可

オーバーフローインタラプトイネーブル

0	OVIフラグによる割込み (OVI) 要求を禁止
1	OVIフラグによる割込み (OVI) 要求を許可

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

インプットキャプチャ/コンペアマッチフラグ A

0	〔クリア条件〕 IMFA="1"の状態、IMFAフラグをリードした後、IMFAフラグに"0"をライトしたとき
1	〔セット条件〕 (1)GRAがアウトプットコンペアレジスタとして機能している場合、TCNT=GRAになったとき (2)GRAがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRAに転送されたとき

インプットキャプチャ/コンペアマッチフラグ B

0	〔クリア条件〕 IMFB="1"の状態、IMFBフラグをリードした後、IMFBフラグに"0"をライトしたとき
1	〔セット条件〕 (1)GRBがアウトプットコンペアレジスタとして機能している場合、TCNT=GRBになったとき (2)GRBがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNTの値がGRBに転送されたとき

オーバーフローフラグ

0	〔クリア条件〕 OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき
1	〔セット条件〕 TCNTの値がオーバーフロー (H' FFFF→H' 0000) またはアンダフロー (H' 0000→H' FFFF) したとき

【注】* フラグクリアのための"0"ライトのみ可能です。

TCNT0 H,L タイマカウンタ0 H,L H' 68, H' 69

ITU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

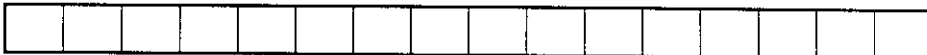
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アップカウンタ

GRA0 H,L ジェネラルレジスタA0 H,L H' 6A, H' 6B

ITU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ

GRB0 H,L ジェネラルレジスタB0 H,L H' 6C, H' 6D

ITU0

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

アウトプットコンペア/インプットキャプチャ兼用レジスタ

TCR1 タイマコントロールレジスタ 1	H' 6E	ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 5%;">—</td> <td style="width: 10%;">CCLR1</td> <td style="width: 10%;">CCLRO</td> <td style="width: 10%;">CKEG1</td> <td style="width: 10%;">CKEGO</td> <td style="width: 10%;">TPSC2</td> <td style="width: 10%;">TPSC1</td> <td style="width: 10%;">TPSC0</td> </tr> </table> <p>初期値： 1 0 0 0 0 0 0 0</p> <p>R/W： — R/W R/W R/W R/W R/W R/W R/W</p> <p>※機能は ITU0 と同じです。</p>			—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSC0
—	CCLR1	CCLRO	CKEG1	CKEGO	TPSC2	TPSC1	TPSC0			

TIOR1 タイマ I/O コントロールレジスタ 1	H' 6F	ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 5%;">—</td> <td style="width: 10%;">IOB2</td> <td style="width: 10%;">IOB1</td> <td style="width: 10%;">IOB0</td> <td style="width: 5%;">—</td> <td style="width: 10%;">IOA2</td> <td style="width: 10%;">IOA1</td> <td style="width: 10%;">IOA0</td> </tr> </table> <p>初期値： 1 0 0 0 1 0 0 0</p> <p>R/W： — R/W R/W R/W — R/W R/W R/W</p> <p>※機能は ITU0 と同じです。</p>			—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0			

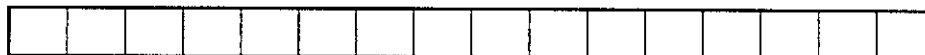
TIER1 タイマインタラプトイネーブルレジスタ 1	H' 70	ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 10%;">OVIE</td> <td style="width: 10%;">IMIEB</td> <td style="width: 10%;">IMIEA</td> </tr> </table> <p>初期値： 1 1 1 1 1 0 0 0</p> <p>R/W： — — — — — R/W R/W R/W</p> <p>※機能は ITU0 と同じです。</p>			—	—	—	—	—	OVIE	IMIEB	IMIEA
—	—	—	—	—	OVIE	IMIEB	IMIEA			

TSR1 タイマステータスレジスタ 1	H' 71	ITU1								
<p>ビット： 7 6 5 4 3 2 1 0</p> <table border="1" style="width: 100%; border-collapse: collapse; text-align: center;"> <tr> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 5%;">—</td> <td style="width: 10%;">OVF</td> <td style="width: 10%;">IMFB</td> <td style="width: 10%;">IMFA</td> </tr> </table> <p>初期値： 1 1 1 1 1 0 0 0</p> <p>R/W： — — — — — R/(W)* R/(W)* R/(W)*</p> <p>※機能は ITU0 と同じです。</p> <p>【注】* フラグクリアのための“0”ライトのみ可能です。</p>			—	—	—	—	—	OVF	IMFB	IMFA
—	—	—	—	—	OVF	IMFB	IMFA			

TCNT1 H,L タイマカウンタ1 H,L H'72、H'73

ITU1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

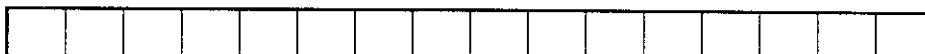
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRA1 H,L ジェネラルレジスタA1 H,L H'74、H'75

ITU1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

GRB1 H,L ジェネラルレジスタB1 H,L H'76、H'77

ITU1

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

TCR2 タイマコントロールレジスタ 2							H'78		ITU2
ビット:	7	6	5	4	3	2	1	0	
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	
初期値:	1	0	0	0	0	0	0	0	
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
<p>※機能はITU0と同じです。</p> <p>【注】 チャンネル2を位相計数モードに設定したとき、TPSC2~TPSC0ビットによるカウントクロックの選択は無効となります。</p>									

TIOR2 タイマI/Oコントロールレジスタ 2							H'79		ITU2
ビット:	7	6	5	4	3	2	1	0	
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0	
初期値:	1	0	0	0	1	0	0	0	
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W	
<p>※機能はITU0と同じです。</p>									

TIER2 タイマインタラプトイネーブルレジスタ 2

H' 7A

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

※機能は ITU 0 と同じです。

TSR2 タイマステータスレジスタ 2

H' 7B

ITU2

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能は ITU 0 と同じです

オーバーフローフラグ

	[クリア条件]
0	OVF="1"の状態、OVFフラグをリードした後、OVFフラグに"0"をライトしたとき
	[セット条件]
1	TCNTの値がオーバーフロー (H' FFFF→H' 0000)、またはアンダフロー (H' 0000→H' FFFF) したとき

【注】* フラグクリアのための"0"ライトのみ可能です。

TCNT2 H,L タイマカウンタ 2 H,L

H' 7C、H' 7D

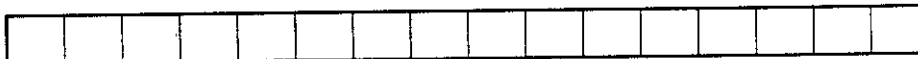
ITU2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

位相計数モード時: アップ/ダウンカウンタ

その他のモード時: アップカウンタ

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU0と同じです。

TCR3 タイマコントロールレジスタ 3 H'82

ITU3

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能はITU0と同じです。

TIOR3 タイマI/Oコントロールレジスタ 3 H'83

ITU3

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能はITU0と同じです。

TIER3 タイマインタラプトイネーブルレジスタ 3 H'84

ITU3

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

※機能はITU0と同じです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能はITU0と同じです

オーバーフローフラグ

	[クリア条件]
0	OVF="1"の状態、OVFをリードした後、OVFに"1"をライトしたとき
	[セット条件]
1	TCNTの値がオーバーフロー (H' FFFF→H' 0000)、またはアンダフロー (H' 0000→H' FFFF) したとき

【注】* フラグクリアのための"0"ライトのみ可能です。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□	□
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

相補PWMモード時: アップ/ダウンカウンタ

その他のモード時: アップカウンタ

GRA3 H,L ジェネラルレジスタA3 H,L H'88、H'89

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

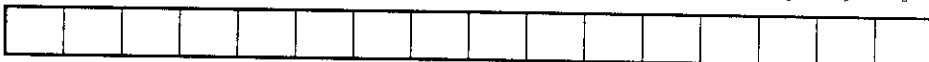
R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑
アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

GRB3 H,L ジェネラルレジスタB3 H,L H'8A、H'8B

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑
アウトプットコンペア/インプットキャプチャ兼用レジスタ (バッファ動作可能)

BRA3 H,L バッファレジスタA3 H,L H'8C、H'8D

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑
バッファ動作時にGRAと組み合わせて使用

BRB3 H,L バッファレジスタB3 H,L H'8E、H'8F

ITU3

ビット : 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値 : 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W : R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

↑
バッファ動作時にGRBと組み合わせて使用

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	EB3	EB4	EA4	EA3
初期値:	1	1	1	1	1	1	1	1
R/W:	—	—	R/W	R/W	R/W	R/W	R/W	R/W

マスタイネーブルTIOCA3

0	TIOR3、TMDR、TFCRの設定にかかわらず、 TIOCA ₃ 端子は出力禁止
1	TIOR3、TMDR、TFCRの設定に従い、 TIOCA ₃ 端子は出力許可

マスタイネーブルTIOCA4

0	TIOR4、TMDR、TFCRの設定にかかわらず、 TIOCA ₄ 端子は出力禁止
1	TIOR4、TMDR、TFCRの設定に従い、 TIOCA ₄ 端子は出力許可

マスタイネーブルTIOCB4

0	TIOR4、TFCRの設定にかかわらず、 TIOCB ₄ 端子は出力禁止
1	TIOR4、TFCRの設定に従い、 TIOCB ₄ 端子は出力許可

マスタイネーブルTIOCB3

0	TIOR3、TFCRの設定にかかわらず、 TIOCB ₃ 端子は出力禁止
1	TIOR3、TFCRの設定に従い、 TIOCB ₃ 端子は出力許可

TCR4 タイマコントロールレジスタ 4	H' 92	ITU4
----------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

※機能は ITU0 と同じです。

TIOA4 タイマ I/O コントロールレジスタ 4	H' 93	ITU4
----------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	—	IOB2	IOB1	IOB0	—	IOA2	IOA1	IOA0
初期値:	1	0	0	0	1	0	0	0
R/W:	—	R/W	R/W	R/W	—	R/W	R/W	R/W

※機能は ITU0 と同じです。

TIER4 タイマインタラプトイネーブルレジスタ 4	H' 94	ITU4
----------------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVIE	IMIEB	IMIEA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/W	R/W	R/W

※機能は ITU0 と同じです。

TSR4 タイマステータスレジスタ 4	H' 95	ITU4
---------------------	-------	------

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	OVF	IMFB	IMFA
初期値:	1	1	1	1	1	0	0	0
R/W:	—	—	—	—	—	R/(W)*	R/(W)*	R/(W)*

※機能は ITU0 と同じです。

【注】* フラグクリアのための“0”ライトのみ可能です。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

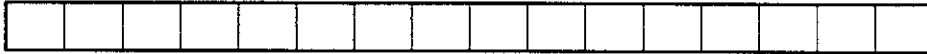
R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能はITU3と同じです。

GRB4 H,L ジェネラルレジスタB4 H,L H' 9A、H' 9B

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能は I T U 3 と同じです。

BRA4 H,L バッファレジスタA4 H,L H' 9C、H' 9D

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能は I T U 3 と同じです。

BRB4 H,L バッファレジスタB4 H,L H' 9E、H' 9F

ITU4

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0



初期値： 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

※機能は I T U 3 と同じです。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

グループ 0 ノンオーバーラップ

0	TPC出力グループ 0 は通常動作 選択された ITU のコンペアマッチ A で出力値を更新
1	TPC出力グループ 0 は、選択された ITU のコンペアマッチ A、B により ノンオーバーラップ動作

グループ 1 ノンオーバーラップ

0	TPC出力グループ 1 は通常動作 選択された ITU のコンペアマッチ A で出力値を更新
1	TPC出力グループ 1 は、選択された ITU のコンペアマッチ A、B により ノンオーバーラップ動作

グループ 2 ノンオーバーラップ

0	TPC出力グループ 2 は通常動作 選択された ITU のコンペアマッチ A で出力値を更新
1	TPC出力グループ 2 は、選択された ITU のコンペアマッチ A、B により ノンオーバーラップ動作

ビット: 7 6 5 4 3 2 1 0
 G3CMS1 G3CMS0 G2CMS1 G2CMS0 G1CMS1 G1CMS0 G0CMS1 G0CMS0
 初期値: 1 1 1 1 1 1 1 1
 R/W: R/W R/W /W R/W R/W R/W R/W R/W

グループ0 コンペアマッチセレクト1、0

ビット1	ビット0	説明
G0CMS1	G0CMS0	
0	0	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ0 (TP ₃ ~TP ₀ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ1 コンペアマッチセレクト1、0

ビット3	ビット2	説明
G1CMS1	G1CMS0	
0	0	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ1 (TP ₇ ~TP ₄ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ2 コンペアマッチセレクト1、0

ビット5	ビット4	説明
G2CMS1	G2CMS0	
0	0	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ2 (TP ₁₁ ~TP ₈ 端子) の出力トリガはITUチャンネル3のコンペアマッチ

グループ3 コンペアマッチセレクト1、0

ビット7	ビット6	説明
G3CMS1	G3CMS0	
0	0	TPC出力グループ3の出力トリガはITUチャンネル0のコンペアマッチ
	1	TPC出力グループ3の出力トリガはITUチャンネル1のコンペアマッチ
1	0	TPC出力グループ3の出力トリガはITUチャンネル2のコンペアマッチ
	1	TPC出力グループ3の出力トリガはITUチャンネル3のコンペアマッチ

NDERB ネクストデータイネーブルレジスタ B

H' A2

TPC

ビット:	7	6	5	4	3	2	1	0
	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値:	0	0	0	0	0	0	0	0
R/W:					R/W	R/W	R/W	R/W

ネクストデータイネーブル11~8

ビット3~0	説 明
NDER11 ~NDER8	
0	TPC出力TP ₁₁ ~TP ₈ を禁止 (NDR11~NDR8からPB ₃ ~PB ₀ への転送禁止)
1	TPC出力TP ₁₁ ~TP ₈ を許可 (NDR11~NDR8からPB ₃ ~PB ₀ への転送許可)

NDERA ネクストデータイネーブルレジスタ A

H' A3

TPC

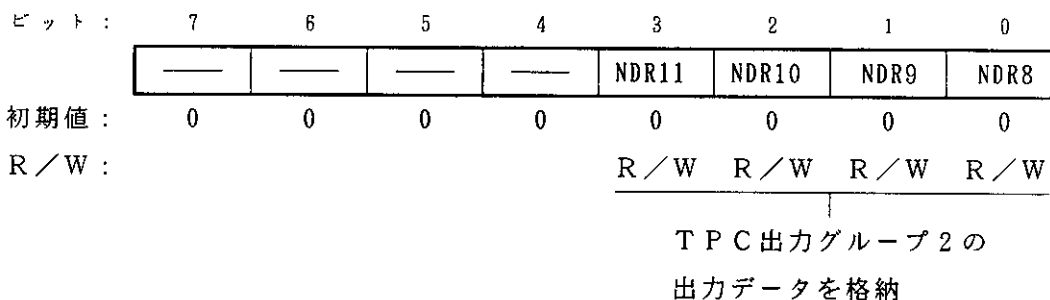
ビット:	7	6	5	4	3	2	1	0
	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ネクストデータイネーブル7~0

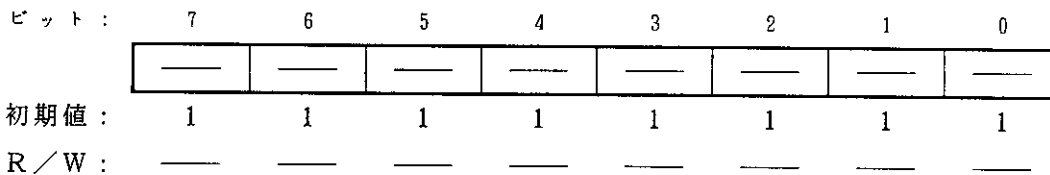
ビット7~0	説 明
NDER7 ~NDER0	
0	TPC出力TP ₇ ~TP ₀ を禁止 (NDR7~NDR0からPA ₇ ~PA ₀ への転送禁止)
1	TPC出力TP ₇ ~TP ₀ を許可 (NDR7~NDR0からPA ₇ ~PA ₀ への転送許可)

■ T P C 出力グループ 2、3 の出力トリガが同一の場合

(1) アドレス : H' FFA4

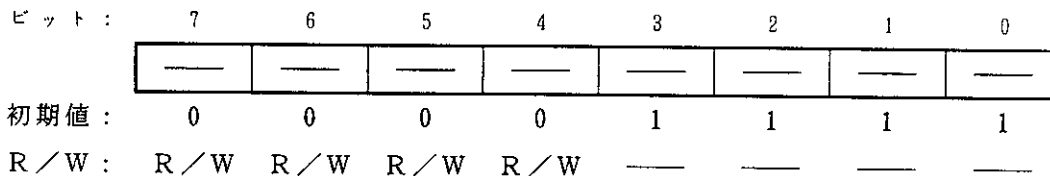


(2) アドレス : H' FFA6

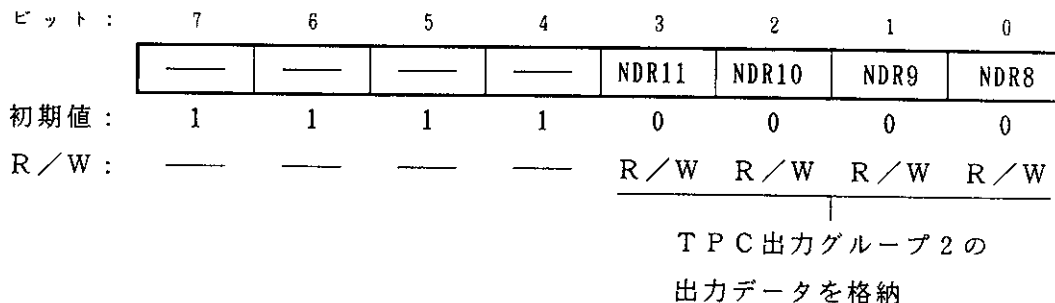


■ T P C 出力グループ 2、3 の出力トリガが異なる場合

(1) アドレス : H' FFA4



(2) アドレス : H' FFA6



■ T P C 出力グループ 0、1 の出力トリガが同一の場合

(1) アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

T P C 出力グループ 1 の
 T P C 出力グループ 0 の
 出力データを格納 出力データを格納

(2) アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—
初期値 :	1	1	1	1	1	1	1	1
R/W :	—	—	—	—	—	—	—	—

■ T P C 出力グループ 0、1 の出力トリガが異なる場合

(1) アドレス : H' FFA5

ビット :	7	6	5	4	3	2	1	0
	NDR7	NDR6	NDR5	NDR4	—	—	—	—
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	—	—	—	—

T P C 出力グループ 1 の
出力データを格納

(2) アドレス : H' FFA7

ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	NDR3	NDR2	NDR1	NDR0
初期値 :	1	1	1	1	0	0	0	0
R/W :	—	—	—	—	R/W	R/W	R/W	R/W

T P C 出力グループ 0 の
出力データを格納

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックセレクト 1、0

ビット1	ビット0	クロックの選択
CKS1	CKS0	
0	0	ϕ クロック
	1	$\phi/4$ クロック
1	0	$\phi/16$ クロック
	1	$\phi/64$ クロック

マルチプロセッサモード

0	マルチプロセッサ機能を禁止
1	マルチプロセッサフォーマットを選択

ストップビットレングス

0	1ストップビット
1	2ストップビット

パリティモード

0	偶数パリティ
1	奇数パリティ

パリティイネーブル

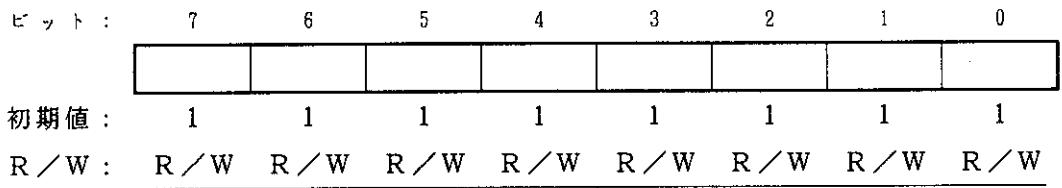
0	パリティビットの付加、およびチェックを禁止
1	パリティビットの付加、およびチェックを許可

キャラクタレングス

0	8ビットデータ
1	7ビットデータ

コミュニケーションモード

0	調歩同期式モード
1	クロック同期式モード



シリアル送信/受信のビットレートを設定

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

クロックイネーブル 1、0

ビット1		ビット0		クロックの選択、出力の許可	
CKE1		CKE0			
0	0	0	調歩同期式モード	内部クロック/SCK端子は入出力ポート	
			クロック同期式モード	内部クロック/SCK端子は同期クロック出力	
	1	0	調歩同期式モード	内部クロック/SCK端子はクロック出力	
			クロック同期式モード	内部クロック/SCK端子は同期クロック出力	
1	0	0	調歩同期式モード	外部クロック/SCK端子はクロック入力	
			クロック同期式モード	外部クロック/SCK端子は同期クロック入力	
	1	0	調歩同期式モード	外部クロック/SCK端子はクロック入力	
			クロック同期式モード	外部クロック/SCK端子は同期クロック入力	

トランスミットエンドインタラプトイネーブル

0	送信終了割込み (TEI) 要求を禁止
1	送信終了割込み (TEI) 要求を許可

マルチプロセッサインタラプトイネーブル

0	マルチプロセッサ割込みを禁止 (通常の受信動作を行う)
1	マルチプロセッサ割込みを許可

トランスミットイネーブル

0	送信動作を禁止
1	送信動作を許可

レシーブイネーブル

0	受信動作を禁止
1	受信動作を許可

レシーブインタラプトイネーブル

0	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を禁止
1	受信データ割込み (RXI) 要求、受信エラー割込み (ERI) 要求を許可

トランスミットインタラプトイネーブル

0	送信データ割込み (TXI) 要求を禁止
1	送信データ割込み (TXI) 要求を許可

TDR トランスミットデータレジスタ

H' B3

SCI

ビット： 7 6 5 4 3 2 1 0

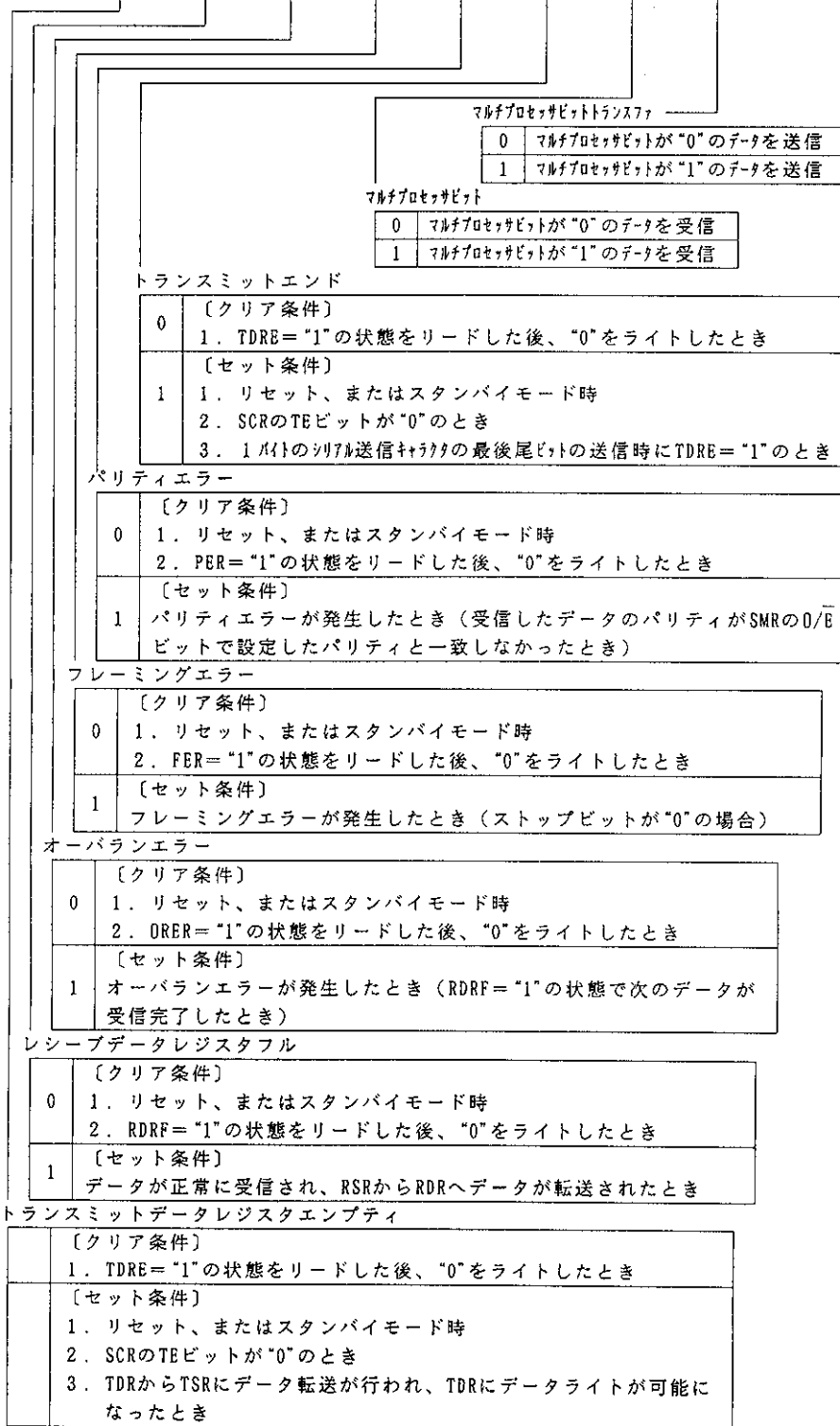


初期値： 1 1 1 1 1 1 1 1

R/W： R/W R/W R/W R/W R/W R/W R/W R/W

シリアル送信データを格納

ビット:	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値:	1	0	0	0	0	1	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W



【注】* フラグをクリアするための"0"ライトのみ可能です。

RDR レシーブデータレジスタ	H' B5	SCI								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>									
初期値:	0 0 0 0 0 0 0 0									
R/W:	R R R R R R R R									
シリアル受信データを格納										

P4DDR ポート4データディレクションレジスタ	H' C5	ポート4								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;">P4₇DDR</td> <td style="width: 12.5%;">P4₆DDR</td> <td style="width: 12.5%;">P4₅DDR</td> <td style="width: 12.5%;">P4₄DDR</td> <td style="width: 12.5%;">P4₃DDR</td> <td style="width: 12.5%;">P4₂DDR</td> <td style="width: 12.5%;">P4₁DDR</td> <td style="width: 12.5%;">P4₀DDR</td> </tr> </table>	P4₇DDR	P4₆DDR	P4₅DDR	P4₄DDR	P4₃DDR	P4₂DDR	P4₁DDR	P4₀DDR	
P4₇DDR	P4₆DDR	P4₅DDR	P4₄DDR	P4₃DDR	P4₂DDR	P4₁DDR	P4₀DDR			
初期値:	0 0 0 0 0 0 0 0									
R/W:	W W W W W W W W									
ポート4入出力選択										
<table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td style="width: 30px; text-align: center;">0</td> <td>入力ポート</td> </tr> <tr> <td style="text-align: center;">1</td> <td>出力ポート</td> </tr> </table>			0	入力ポート	1	出力ポート				
0	入力ポート									
1	出力ポート									

P4DR ポート4データレジスタ	H' C7	ポート4								
ビット:	7 6 5 4 3 2 1 0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;">P4₇</td> <td style="width: 12.5%;">P4₆</td> <td style="width: 12.5%;">P4₅</td> <td style="width: 12.5%;">P4₄</td> <td style="width: 12.5%;">P4₃</td> <td style="width: 12.5%;">P4₂</td> <td style="width: 12.5%;">P4₁</td> <td style="width: 12.5%;">P4₀</td> </tr> </table>	P4₇	P4₆	P4₅	P4₄	P4₃	P4₂	P4₁	P4₀	
P4₇	P4₆	P4₅	P4₄	P4₃	P4₂	P4₁	P4₀			
初期値:	0 0 0 0 0 0 0 0									
R/W:	R/W R/W R/W R/W R/W R/W R/W R/W									
ポート4の各端子のデータを格納										

P6DDR ポート 6 データディレクションレジスタ

H' C9

ポート 6

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P6 ₂ DDR	P6 ₁ DDR	P6 ₀ DDR
初期値:	1	0	0	0	0	0	0	0
R/W:	—	W	W	W	W	W	W	W

ポート 6 入出力選択

0	入力ポート
1	出力ポート

P6DR ポート 6 データレジスタ

H' CB

ポート 6

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	P6 ₂	P6 ₁	P6 ₀
初期値:	1	0	0	0	0	0	0	0
R/W:	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 6 の各端子のデータを格納

P8DDR ポート 8 データディレクションレジスタ

H' CD

ポート 8

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	P8 ₁ DDR	P8 ₀ DDR
初期値:	1	1	1	1	0	0	0	0
R/W:	—	—	—	W	W	W	W	W

ポート 8₀ 入出力選択

0	入力ポート
1	出力ポート

ポート 8₁ 入出力選択

0	入力ポート
1	—

P7DR ポート 7 データレジスタ

H' CE

ポート 7

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	P7 ₃	P7 ₂	P7 ₁	P7 ₀
初期値:	1	1	1	1	— *	— *	— *	— *
R/W:	R	R	R	R	R	R	R	R

ポート 7 の各端子の状態を讀出す

【注】* P7₃~P7₀端子により決定されます。

P8DR ポート 8 データレジスタ H'CF

ポート 8

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	P8 ₁	P8 ₀
初期値:	1	1	1	0	0	0	0	0
R/W:	—	—	—	R/W	R/W	R/W	R/W	R/W

ポート 8 の各端子のデータを格納

P9DDR ポート 9 データディレクションレジスタ H'D0

ポート 9

ビット:	7	6	5	4	3	2	1	0
	—	—	—	P9 ₄ DDR	—	P9 ₂ DDR	—	P9 ₀ DDR
初期値:	1	1	0	0	0	0	0	0
R/W:	—	—	W	W	W	W	W	W

ポート 9 入出力選択

0	入力ポート
1	出力ポート

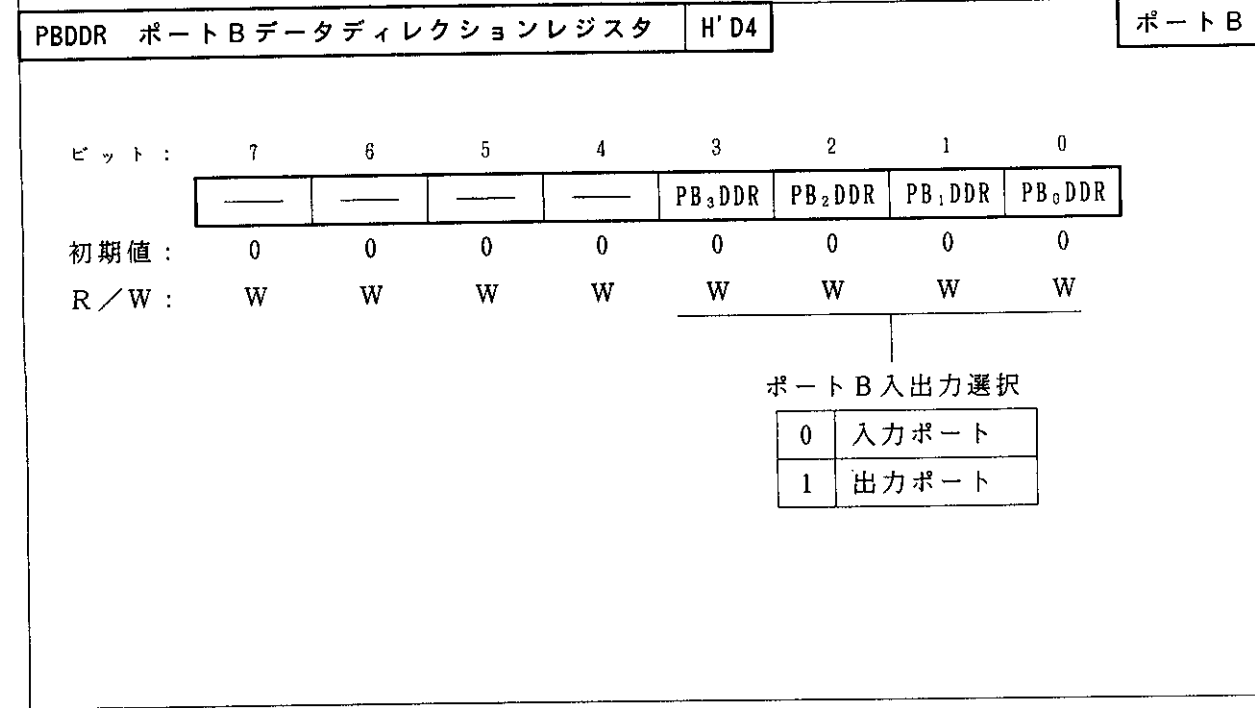
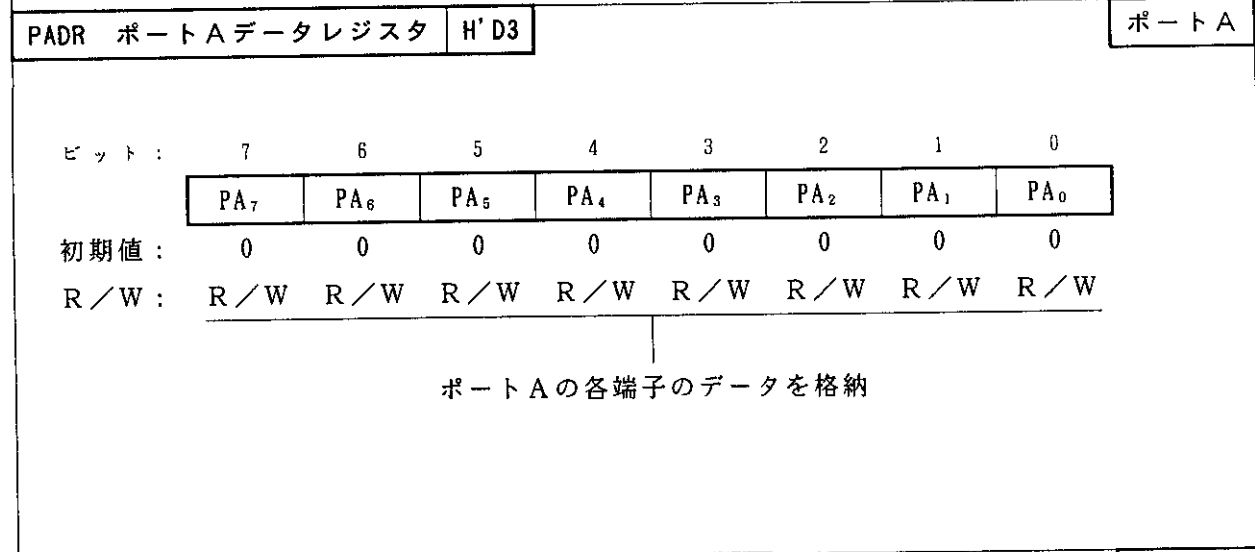
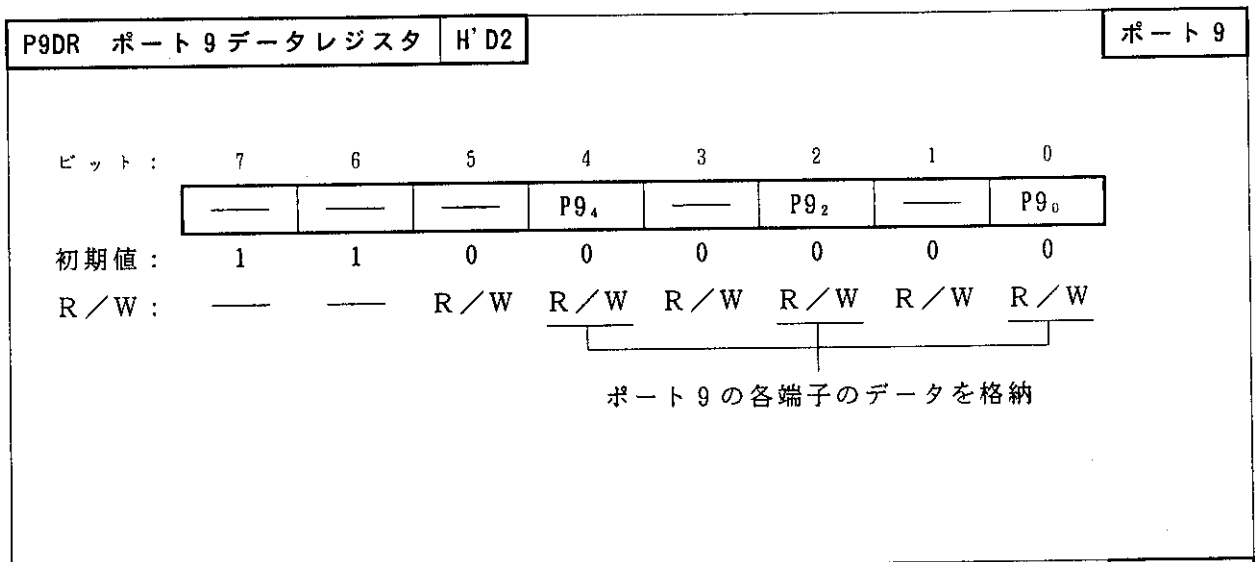
PADDR ポート A データディレクションレジスタ H'D1

ポート A

ビット:	7	6	5	4	3	2	1	0
	PA ₇ DDR	PA ₆ DDR	PA ₅ DDR	PA ₄ DDR	PA ₃ DDR	PA ₂ DDR	PA ₁ DDR	PA ₀ DDR
ε-F1,2 {	初期値:	0	0	0	0	0	0	0
	R/W:	W	W	W	W	W	W	W
ε-F3,4 {	初期値:	1	0	0	0	0	0	0
	R/W:	—	W	W	W	W	W	W

ポート A 入出力選択

0	入力ポート
1	出力ポート



PBDR ポート B データレジスタ H' D6

ポート B

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	PB ₃	PB ₂	PB ₁	PB ₀
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B の各端子のデータを格納

P4PCR ポート 4 入力プルアップMOSコントロールレジスタ H' DA

ポート 4

ビット:	7	6	5	4	3	2	1	0
	P4 ₇ PCR	P4 ₆ PCR	P4 ₅ PCR	P4 ₄ PCR	P4 ₃ PCR	P4 ₂ PCR	P4 ₁ PCR	P4 ₀ PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート 4 入力プルアップMOSコントロール 7~0

0	入力プルアップMOSはOFF
1	入力プルアップMOSはON

※P4DDRを“0”に指定したとき（入力ポートに指定）

ADDRA H,L A/DデータレジスタA H,L	H'E0、H'E1	A/D
---------------------------	-----------	-----

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDRAH
ADDRAL

A/D変換データ
 A/D変換結果の10ビット
 データを格納

ADDRB H,L A/DデータレジスタB H,L	H'E2、H'E3	A/D
---------------------------	-----------	-----

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値： 0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W： R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDRBH
ADDRBL

A/D変換データ
 A/D変換結果の10ビット
 データを格納

ADDRC H、L A/DデータレジスタC H、L	H'E4、H'E5	A/D
---------------------------	-----------	-----

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDRCH
ADDRCL

A/D変換データ
 A/D変換結果の10ビット
 データを格納

ADDRD H、L A/DデータレジスタD H、L	H'E6、H'E7	A/D
---------------------------	-----------	-----

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	-	-	-	-	-	-
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ADDRDH
ADDRDL

A/D変換データ
 A/D変換結果の10ビット
 データを格納

ADCR A/Dコントロールレジスタ	H'E9	A/D
--------------------	------	-----

ビット:	7	6	5	4	3	2	1	0
	TRGE	—	—	—	—	—	—	—
初期値:	0	1	1	1	1	1	1	1
R/W:	R/W	—	—	—	—	—	—	—

トリガイネーブル

0	外部トリガ入力によるA/D変換の開始を禁止
1	使用できません。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADST	SCAN	CKS	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

チャンネルセレクト 2~0

グループ 選択	チャンネル選択			説明	
	CH2	CH1	CH0	単一モード	スキャンモード
0	0	0	0	AN ₀	AN ₀
			1	AN ₁	AN ₀ 、AN ₁
	1	0	0	AN ₂	AN ₀ ~AN ₂
			1	AN ₃	AN ₀ ~AN ₃
1	—	—	使用できません。		

クロックセレクト

0	変換時間 = 266ステート (max)
1	変換時間 = 134ステート (max)

スキャンモード

0	単一モード
1	スキャンモード

A/Dスタート

0	A/D変換停止
1	(1) 単一モード: A/D変換を開始し変換が終了すると、自動的に“0”にクリア
	(2) スキャンモード: A/D変換を開始し、ソフトウェア、リセット、またはスタンバイモードによって“0”にクリアされるまで、選択されたチャンネルを順次連続変換

A/Dインタラプトイネーブル

0	A/D変換終了による割込み要求を禁止
1	A/D変換終了による割込み要求を許可

A/Dエンドフラグ

0	[クリア条件] ADF = “1”の状態をADFフラグをリードした後、ADFフラグに“0”をライトしたとき
1	[セット条件] (1) 単一モード: A/D変換が終了したとき (2) スキャンモード: 設定されたすべてのチャンネルのA/D変換が終了したとき

【注】* フラグをクリアするための“0”ライトのみ可能です。

ABWCR バス幅コントロールレジスタ H'EC

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	ABW7	ABW6	ABW5	ABW4	ABW3	ABW2	ABW1	ABW0
ε-F1,3 初期値:	1	1	1	1	1	1	1	1
ε-F2,4 初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0バス幅コントロール

ビット7~0	アクセス空間の指定
ABW7 ~ABW0	
0	
1	エリア7~0を8ビットアクセス空間に設定

ASTCR アクセスステートコントロールレジスタ H'ED

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

エリア7~0アクセスステートコントロール

ビット7~0	アクセスステート数の指定
AST7 ~AST0	
0	エリア7~0を2ステートアクセス空間に設定
1	エリア7~0を3ステートアクセス空間に設定

WCR ウェイトコントロールレジスタ H'EE

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	WMS1	WMS0	WC1	WCO
初期値:	1	1	1	1	0	0	1	1
R/W:	—	—	—	—	R/W	R/W	R/W	R/W

ウェイトカウント1、0

ビット1	ビット0	ウェイトステート数の指定
WC1	WCO	
0	0	WSCによるウェイトを禁止
	1	1ステート挿入
1	0	2ステート挿入
	1	3ステート挿入

ウェイトモードセレクト1、0

ビット3	ビット2	ウェイトモードの指定
WMS1	WMS0	
0	0	プログラマブルウェイトモード
	1	WSCによるウェイトを禁止
1	0	端子ウェイトモード1
	1	端子オートウェイトモード

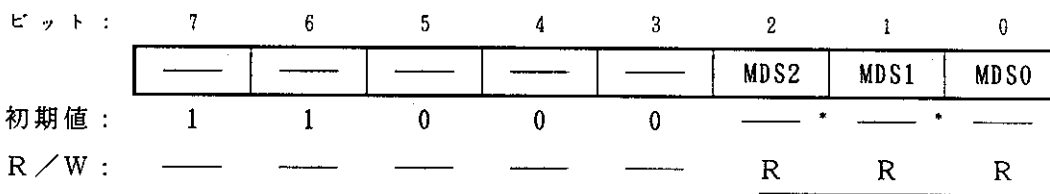
WCER ウェイトステートコントローララインールレジスタ H'EF

バスコントローラ

ビット:	7	6	5	4	3	2	1	0
	WCE7	WCE6	WCE5	WCE4	WCE3	WCE2	WCE1	WCE0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ウェイトステートコントローララインール7~0

0	WSCの動作を禁止 (端子ウェイトモード0)
1	WSCの動作を許可



モードセレクト2～0

ビット2	ビット1	ビット0	動作モード
MD ₂	MD ₁	MD ₀	
0	0	0	—
		1	モード1
	1	0	モード2
		1	モード3
1	0	0	モード4
		1	—
	1	0	—
		1	—

【注】* モード端子 (MD₂～MD₀) の状態により決定されます。

ビット:	7	6	5	4	3	2	1	0
	SSBY	STS2	STS1	STS0	UE	NMIEG	—	RAME
初期値:	0	0	0	0	1	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	—	R/W

RAMイネーブル

0	内蔵RAM無効
1	内蔵RAM有効

NMIエッジセレクト

0	NMI入力の立下がり、割込み要求を発生
1	NMI入力の立上がり、割込み要求を発生

ユーザビットイネーブル

0	CCRのUIビットを割込みマスクビットとして使用
1	CCRのUIビットをユーザビットとして使用

スタンバイタイムセレクト 2~0

ビット6	ビット5	ビット4	スタンバイタイムの指定
STS2	STS1	STS0	
0	0	0	待機時間 = 8192ステート
		1	待機時間 = 16384ステート
	1	0	待機時間 = 32768ステート
		1	待機時間 = 65536ステート
1	0	—	待機時間 = 131072ステート
	1	—	使用できません

ソフトウェアスタンバイ

0	SLEEP命令実行後、スリープモードに遷移
1	SLEEP命令実行後、ソフトウェアスタンバイモードに遷移

BRCR バスリリースコントロールレジスタ	H' F3	バスコントローラ
------------------------------	--------------	----------

ビット: 7 6 5 4 3 2 1 0

							BRLE
--	--	--	--	--	--	--	------

初期値: 1 1 1 1 1 1 1 0

ε-F1,2 { R/W: — — — — — — — R/W

ε-F3,4 { R/W: R/W R/W R/W — — — — R/W

バスリリースイネーブル ————

0	バス権の外部に対する解放を禁止
1	バス権の外部に対する解放を許可

ISCR IRQセンスコントロールレジスタ	H' F4	割込みコントローラ
------------------------------	--------------	-----------

ビット: 7 6 5 4 3 2 1 0

			IRQ4SC			IRQ1SC	IRQ0SC
--	--	--	--------	--	--	--------	--------

初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

└──────────────────┘

IRQ₄、IRQ₁、IRQ₀センスコントロール

0	IRQ ₄ 、IRQ ₁ 、IRQ ₀ 入力の“Low”レベルで割込み要求を発生
1	IRQ ₄ 、IRQ ₁ 、IRQ ₀ 入力の立下がりエッジで割込み要求を発生

IER IRQイネーブルレジスタ	H' F5	割込みコントローラ
-------------------------	--------------	-----------

ビット: 7 6 5 4 3 2 1 0

			IRQ4E			IRQ1E	IRQ0E
--	--	--	-------	--	--	-------	-------

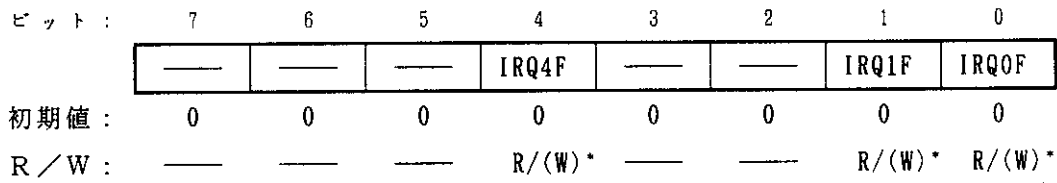
初期値: 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W

└──────────────────┘

IRQ₄、IRQ₁、IRQ₀イネーブル

0	IRQ ₄ 、IRQ ₁ 、IRQ ₀ 割込みを禁止
1	IRQ ₄ 、IRQ ₁ 、IRQ ₀ 割込みを許可



IRQ₄、IRQ₁、IRQ₀フラグ

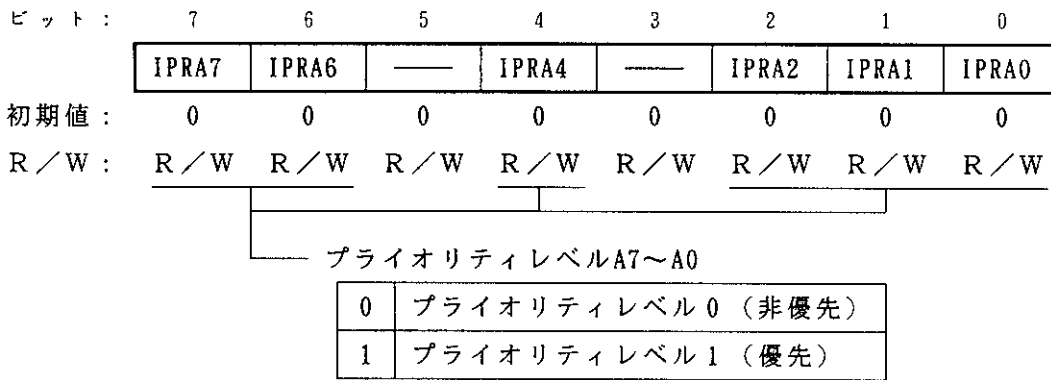
ビット n	セット/クリア条件
IRQ _n F	
0	[クリア条件] (1) IRQ _n F = "1"の状態では IRQ _n F をリードした後、IRQ _n F に "0" をライトしたとき (2) IRQ _n SC = "0"、 $\overline{\text{IRQ}}_n$ 入力が "High" レベルの状態では 割込み例外処理を実行したとき (3) IRQ _n SC = "1"の状態では IRQ _n 割込み例外処理を実行したとき
1	[セット条件] (1) IRQ _n SC = "0"の状態では $\overline{\text{IRQ}}_n$ 入力が "Low" レベルになったとき (2) IRQ _n SC = "1"の状態では $\overline{\text{IRQ}}_n$ 入力に立上がりエッジが発生したとき

(n = 4、1、0)

【注】* フラグをクリアするための "0" ライトのみ可能です。

IPRA インタラプトプライオリティレジスタ A H'F8

割込みコントローラ

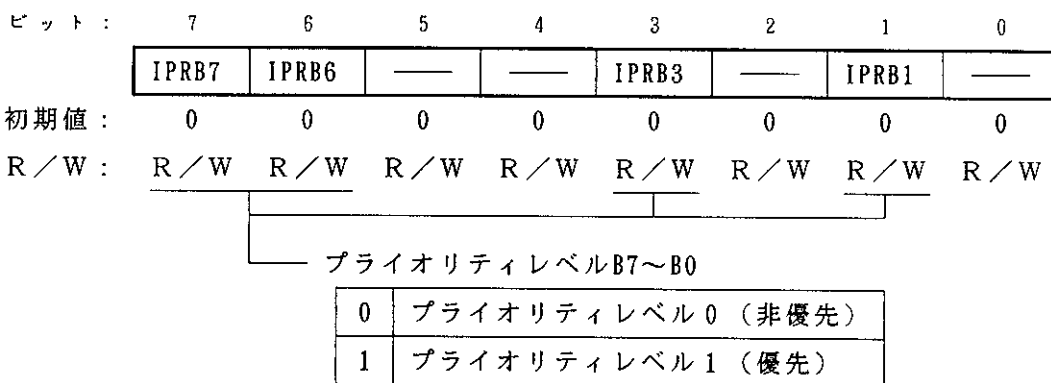


●割込み要因と各ビットの対応

IPRA	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRA7	IPRA6	—	IPRA4	—	IPRA2	IPRA1	IPRA0
	割込み要因	IRQ ₀	IRQ ₁	—	IRQ ₄	—	ITU チャンネル0	ITU チャンネル1	ITU チャンネル2

IPRB インタラプトプライオリティレジスタ B H'F9

割込みコントローラ

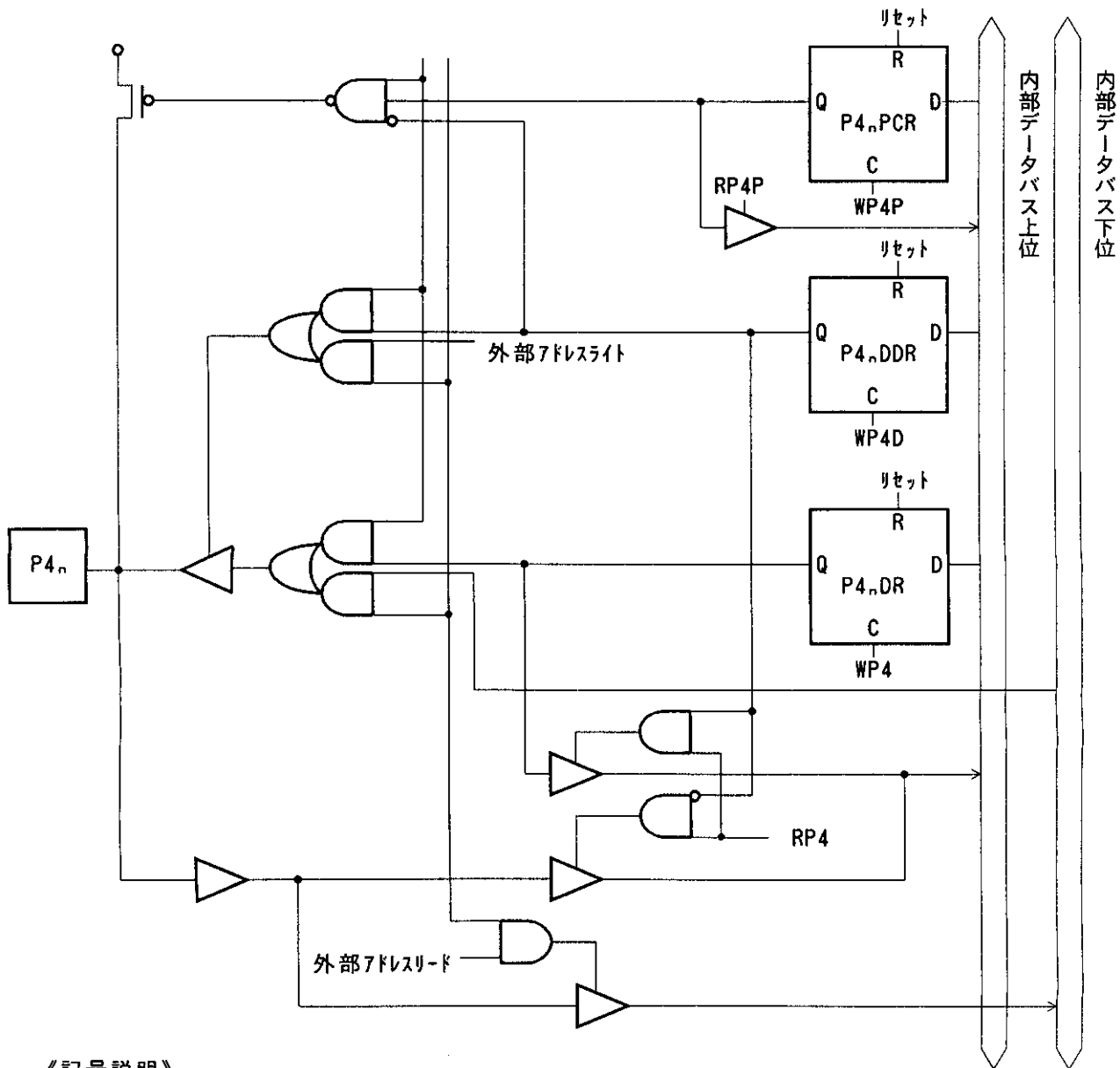


●割込み要因と各ビットの対応

IPRB	ビット	ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
		IPRB7	IPRB6	—	—	IPRB3	—	IPRB1	—
	割込み要因	ITU チャンネル3	ITU チャンネル4	—	—	SCI	—	A/D 変換器	—

C. I/Oポートブロック図

C.1 ポート4ブロック図

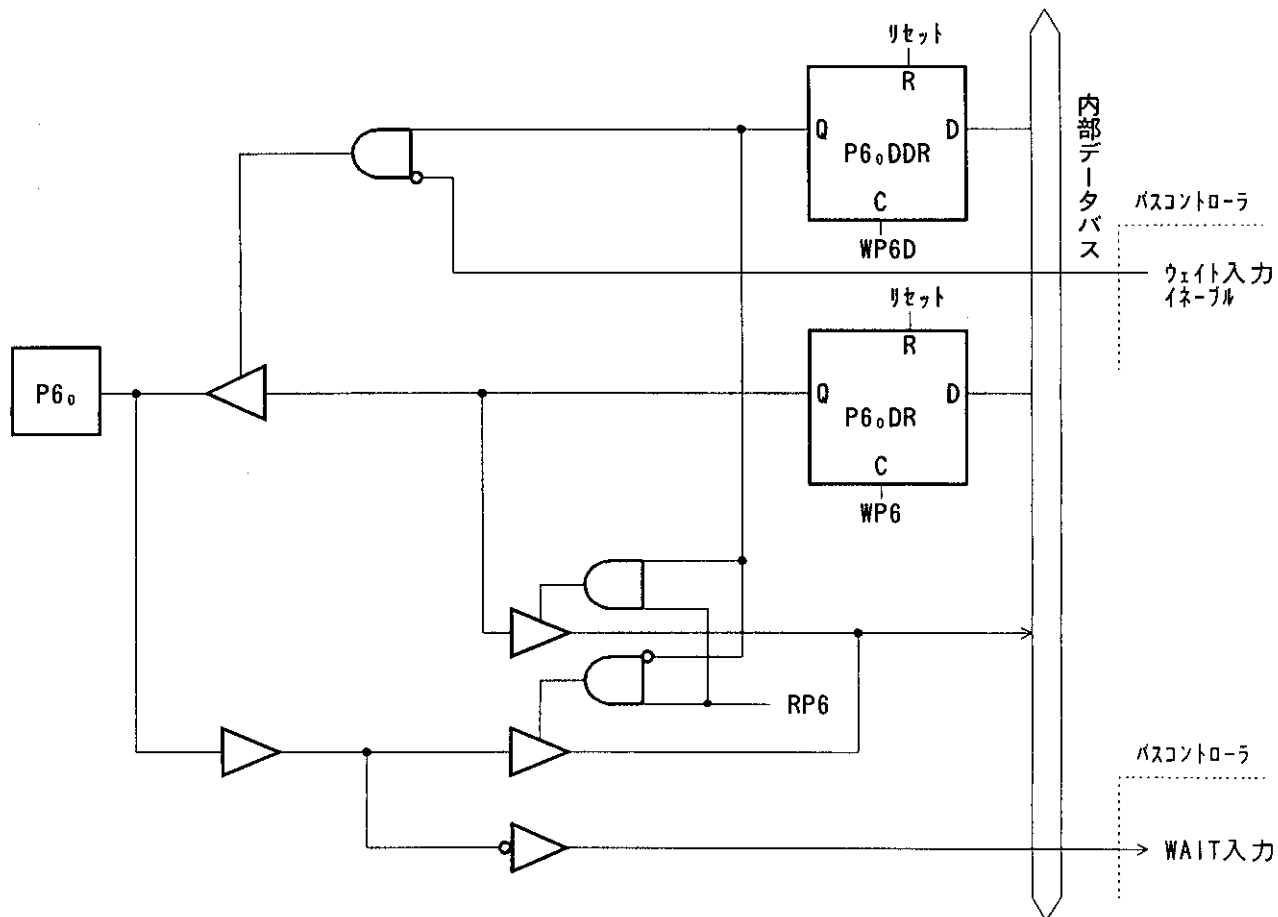


《記号説明》

- WP4P : PCRライト
- RP4P : PCRリード
- WP4D : DDRライト
- WP4 : ポートライト
- RP4 : ポートリード
- n = 0 ~ 7

図C.1 ポート4ブロック図

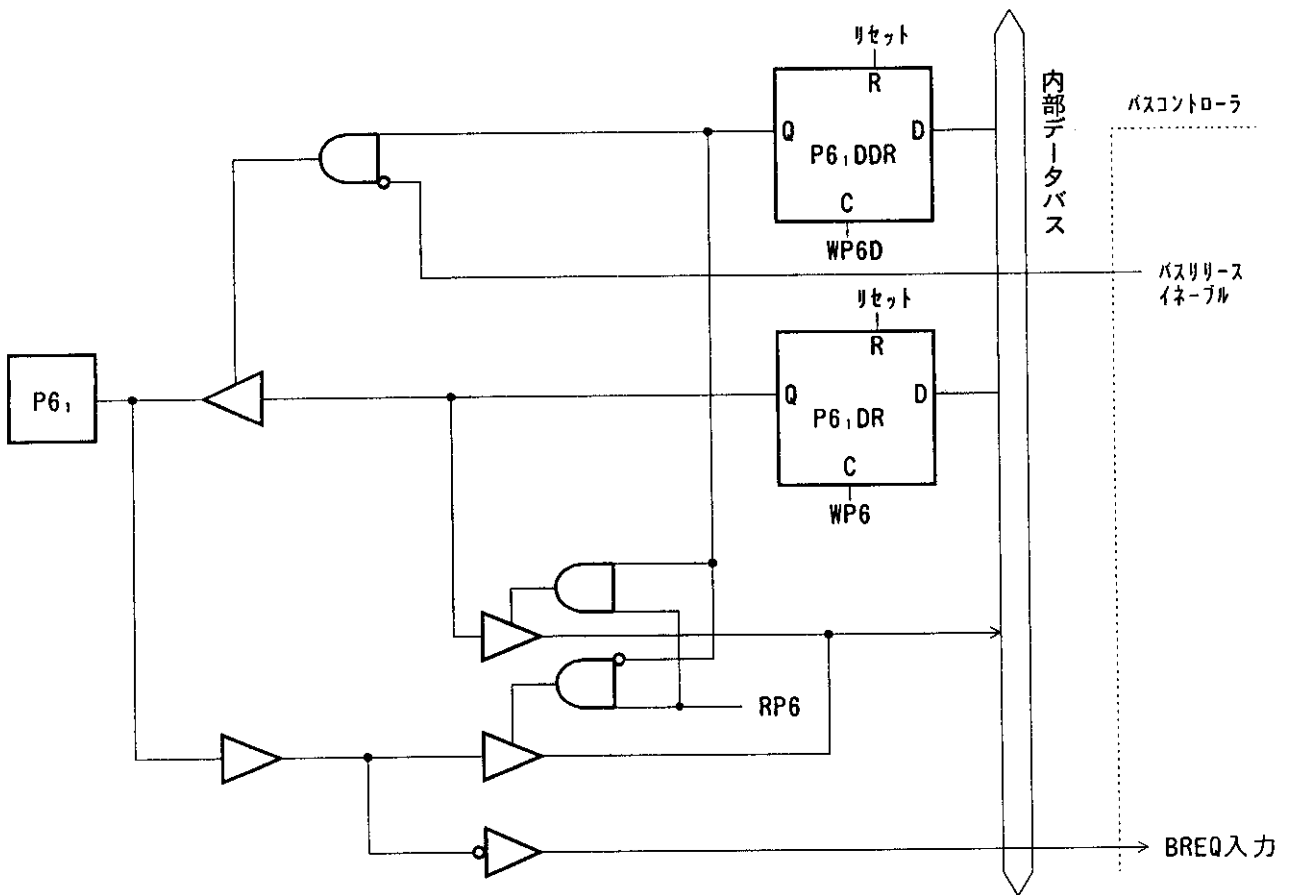
C.2 ポート6ブロック図



《記号説明》

- WP6D : DDRライト
- WP6 : ポートライト
- RP6 : ポートリード

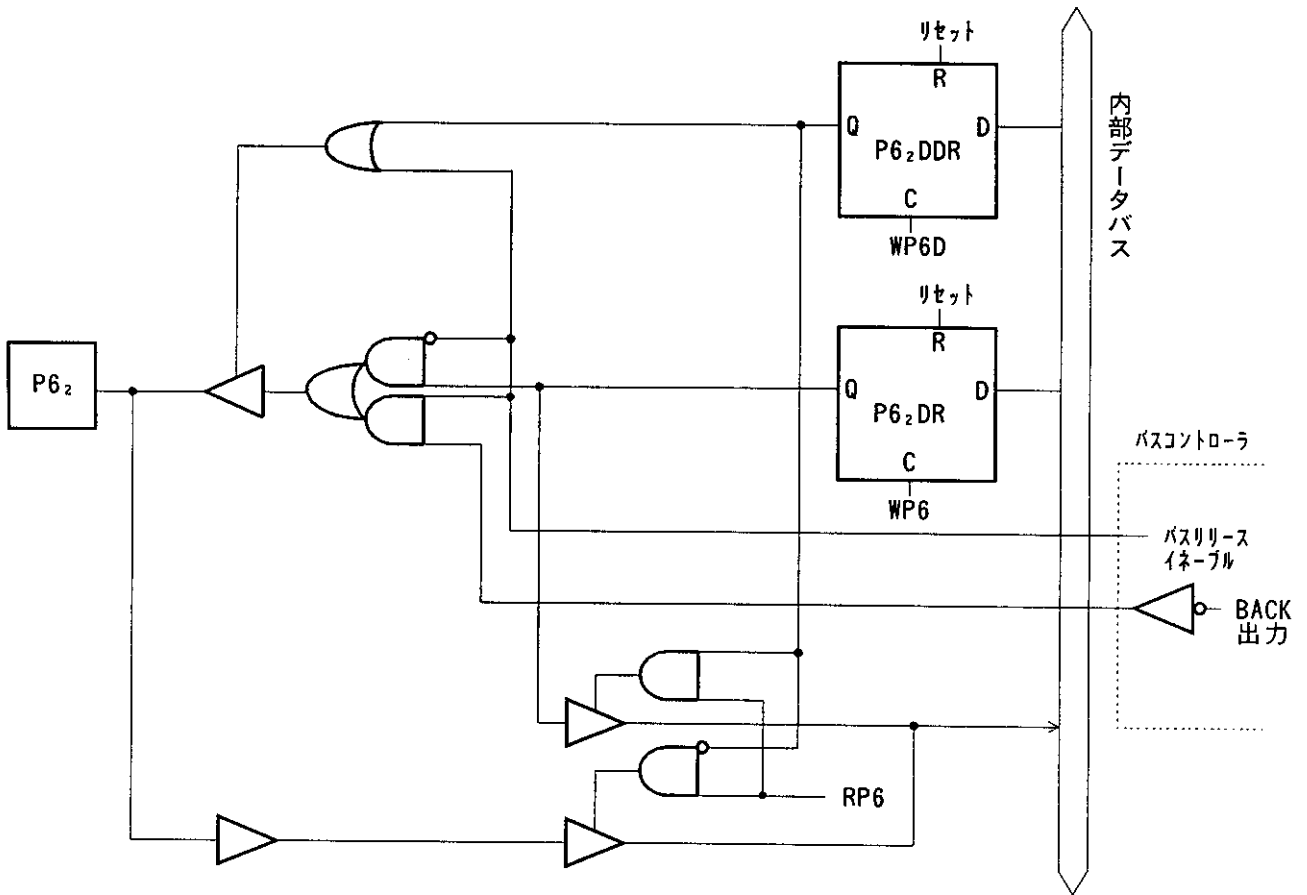
図 C.2 (a) ポート6ブロック図 (P6₀端子)



《記号説明》

- WP6D : DDRライト
- WP6 : ポートライト
- RP6 : ポートリード

図C.2 (b) ポート6ブロック図 (P6_i端子)

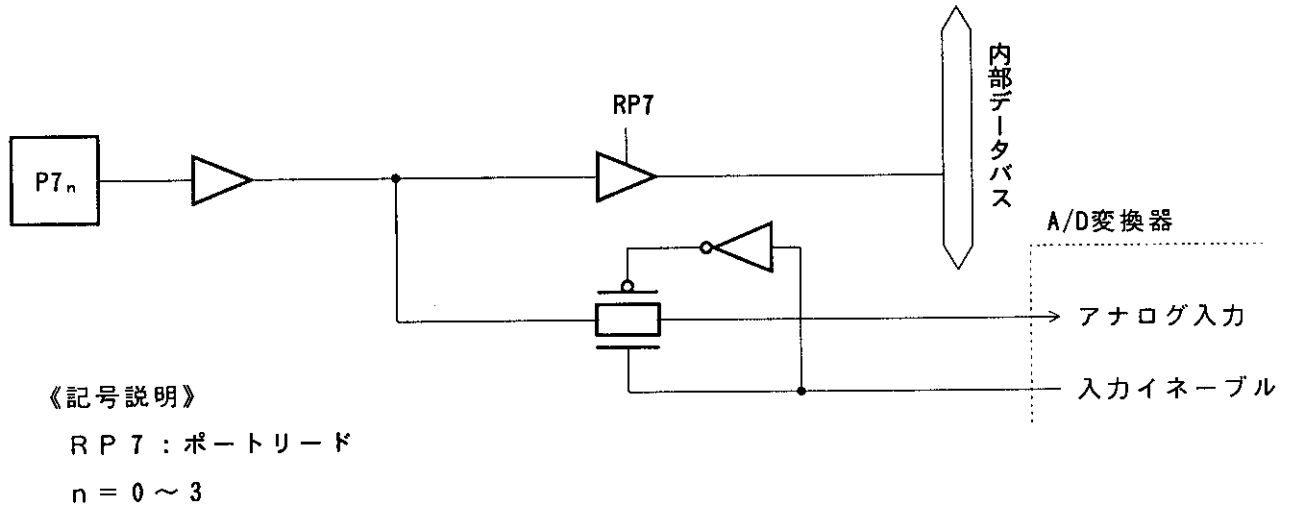


《記号説明》

- WP6D : DDRライト
- WP6 : ポートライト
- RP6 : ポートリード

図C.2 (c) ポート6ブロック図 (P6₂端子)

C.3 ポート7ブロック図



図C.3 ポート7ブロック図 (P7_n端子)

C.4 ポート 8 ブロック図

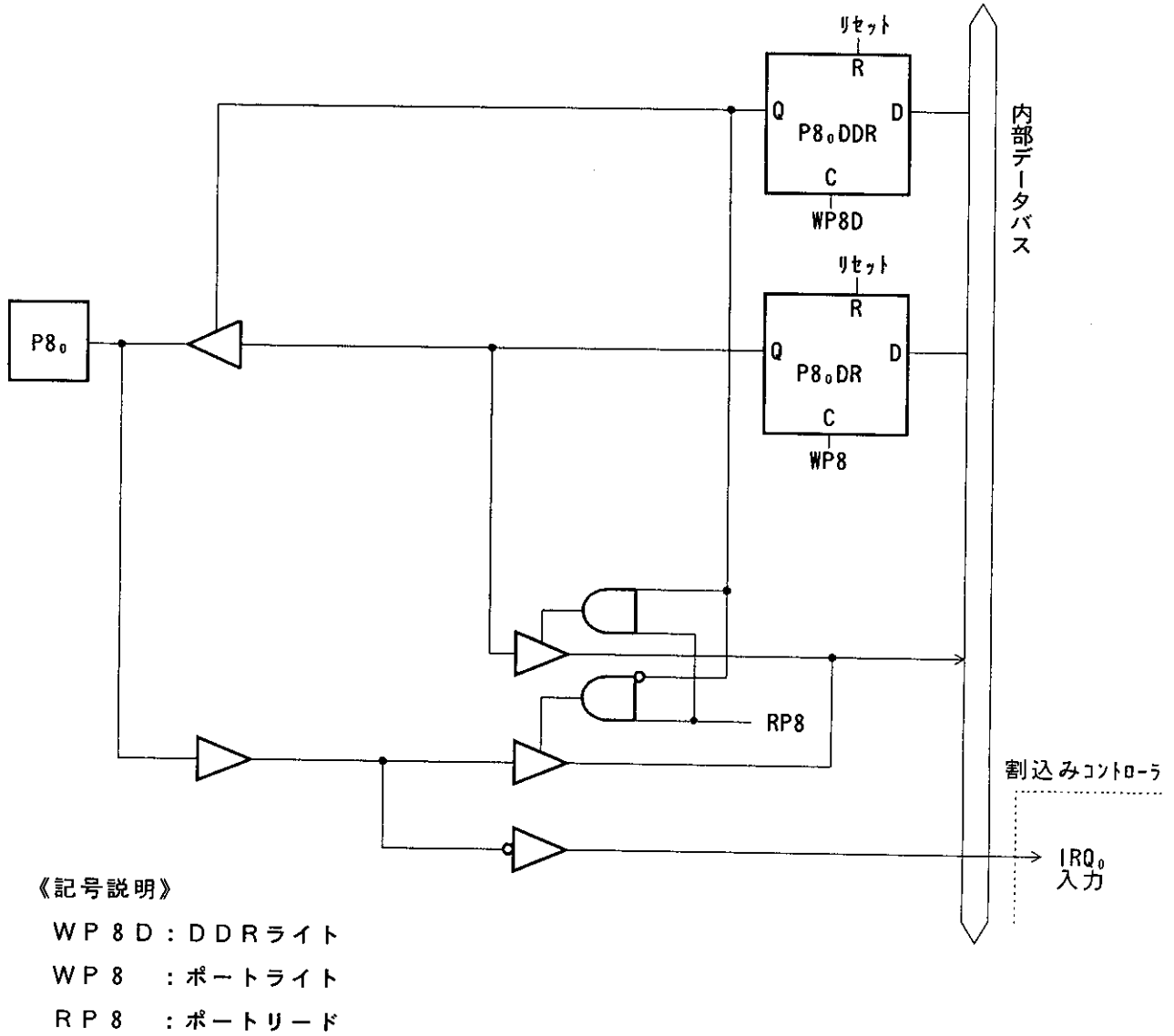
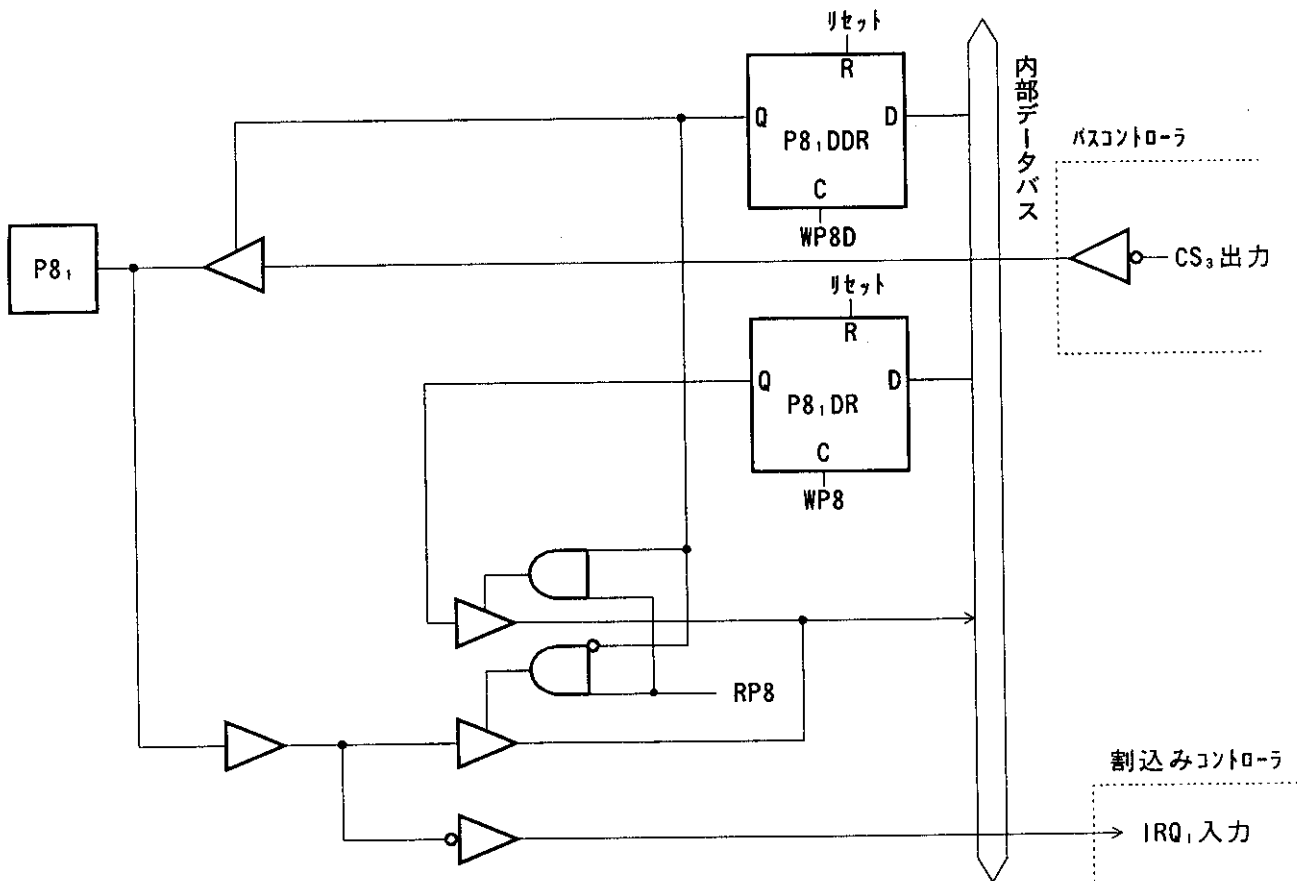


図 C.4 (a) ポート 8 ブロック図 (P8₀端子)



《記号説明》

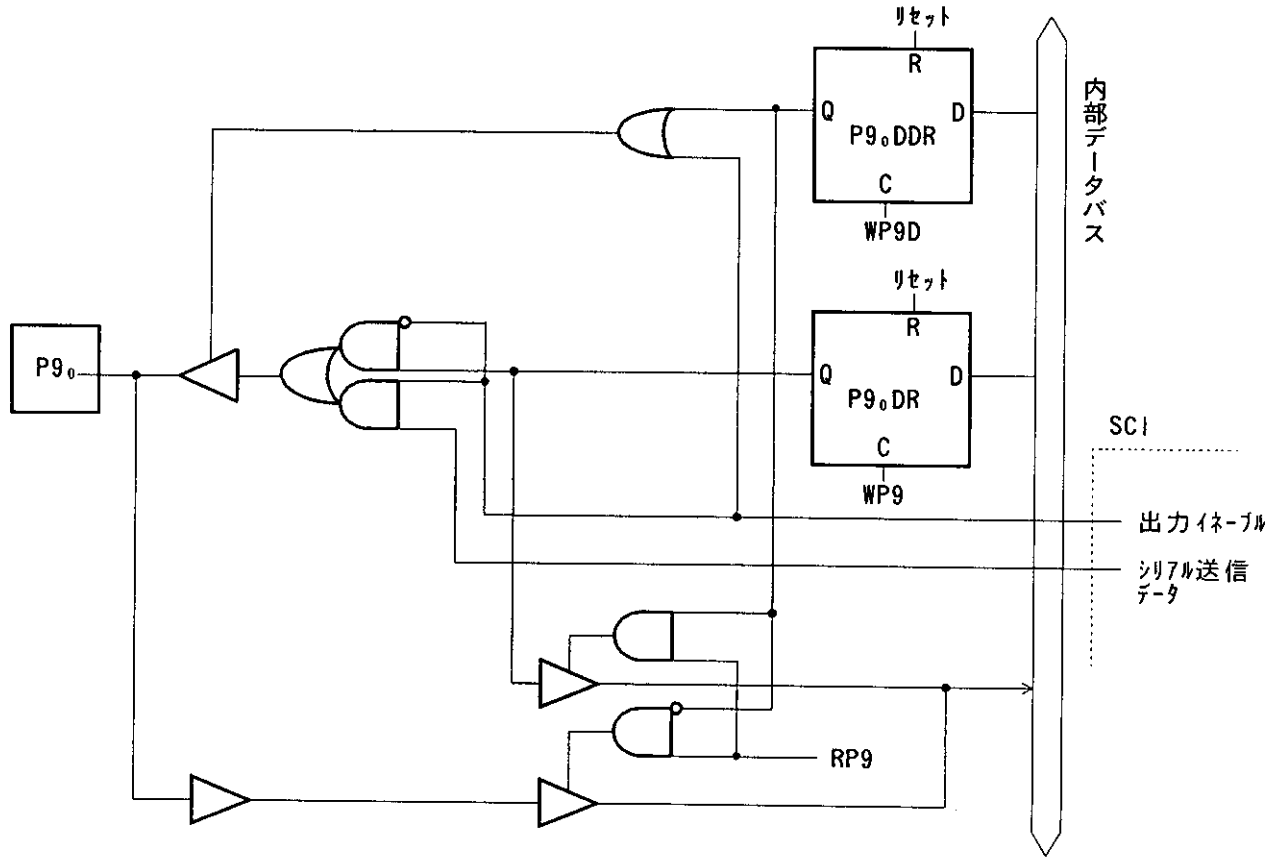
WP8D : DDRライト

WP8 : ポートライト

RP8 : ポートリード

図 C.4 (b) ポート8 ブロック図 (P8_i端子)

C.5 ポート9ブロック図



《記号説明》

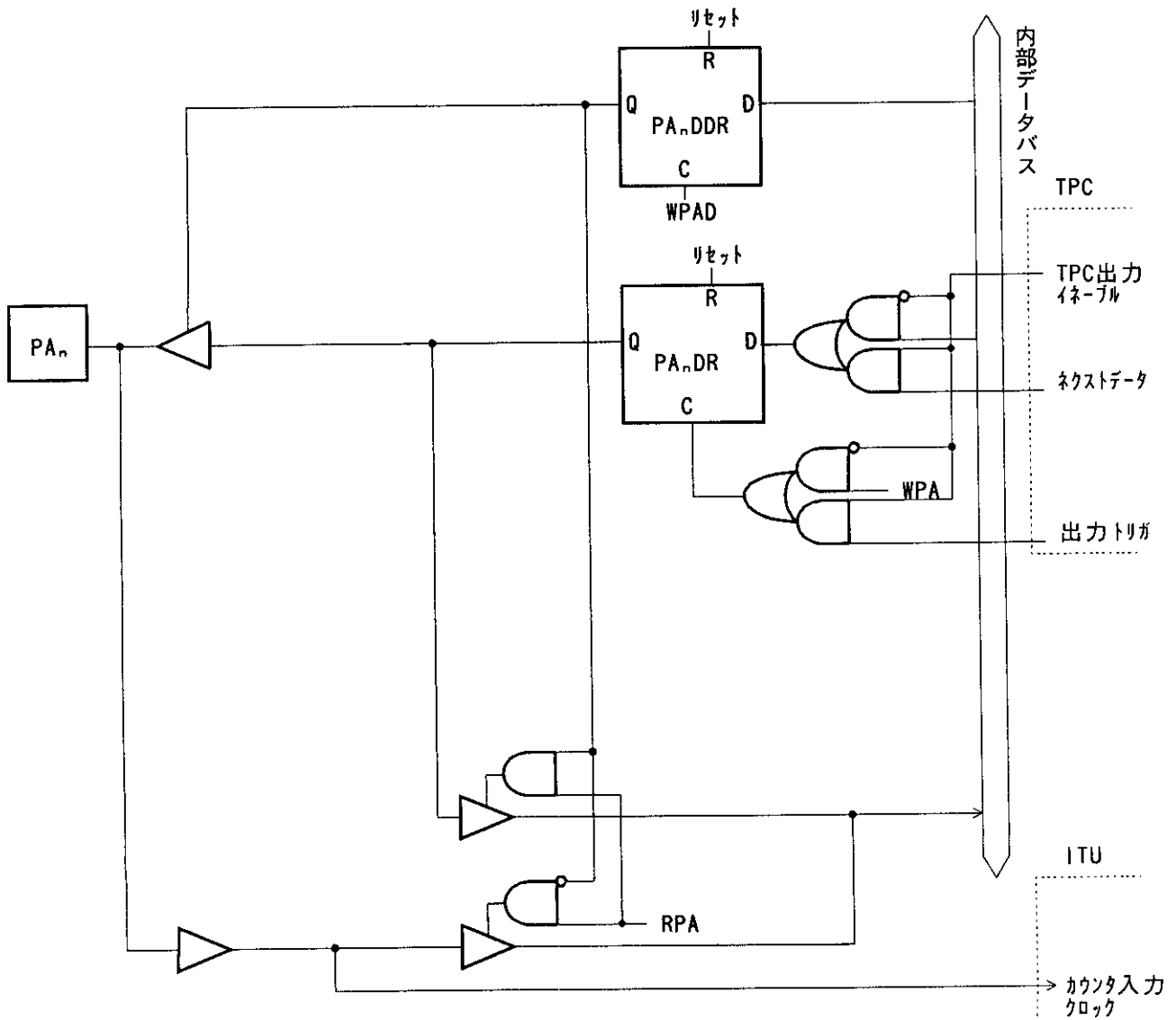
WP9D : DDRライト

WP9 : ポートライト

RP9 : ポートリード

図 C.5 (a) ポート9ブロック図 (P9_0端子)

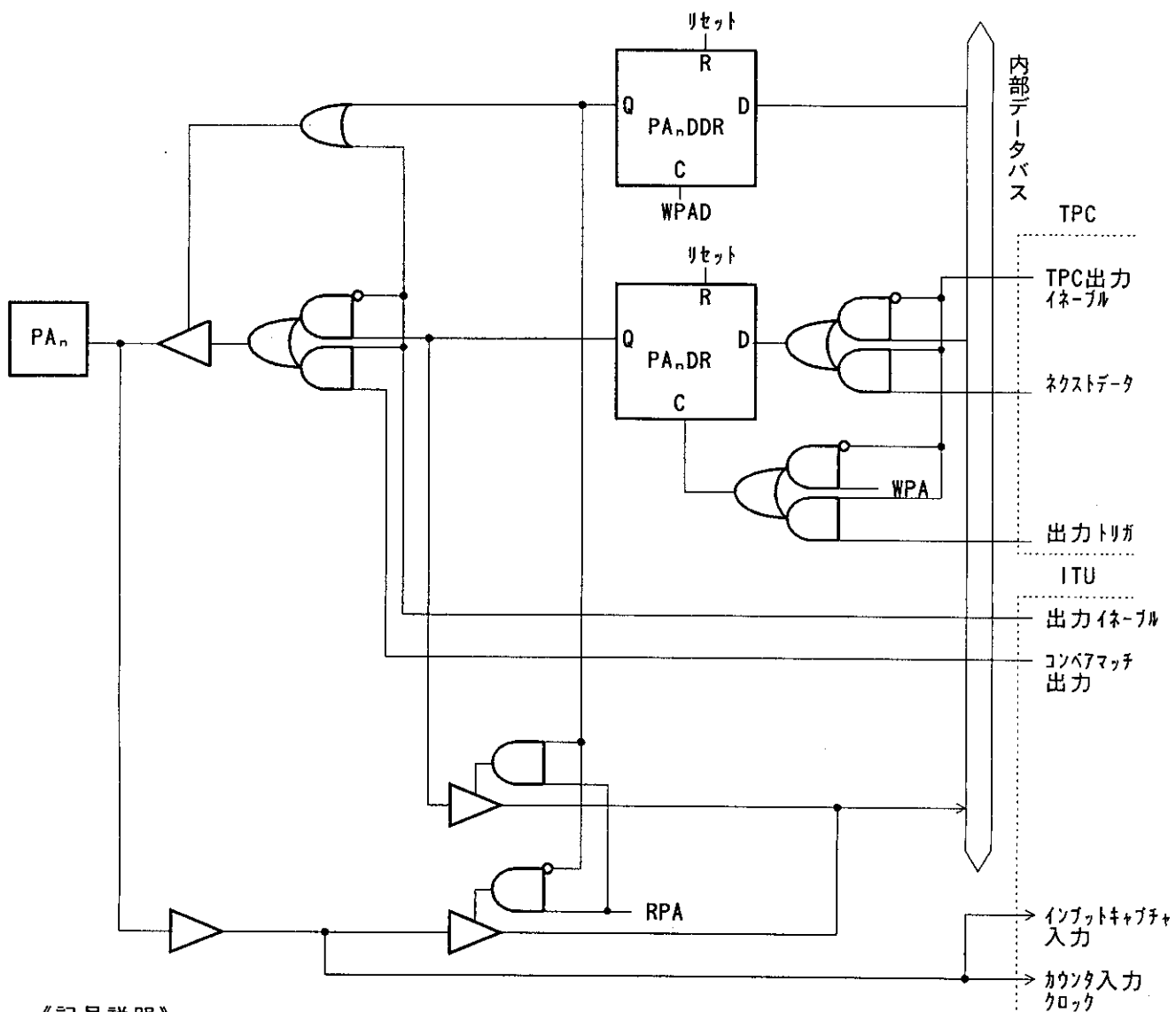
C.6 ポートAブロック図



《記号説明》

- WPAD : DDRライト
- WPA : ポートライト
- RPA : ポートリード
- n = 0、1

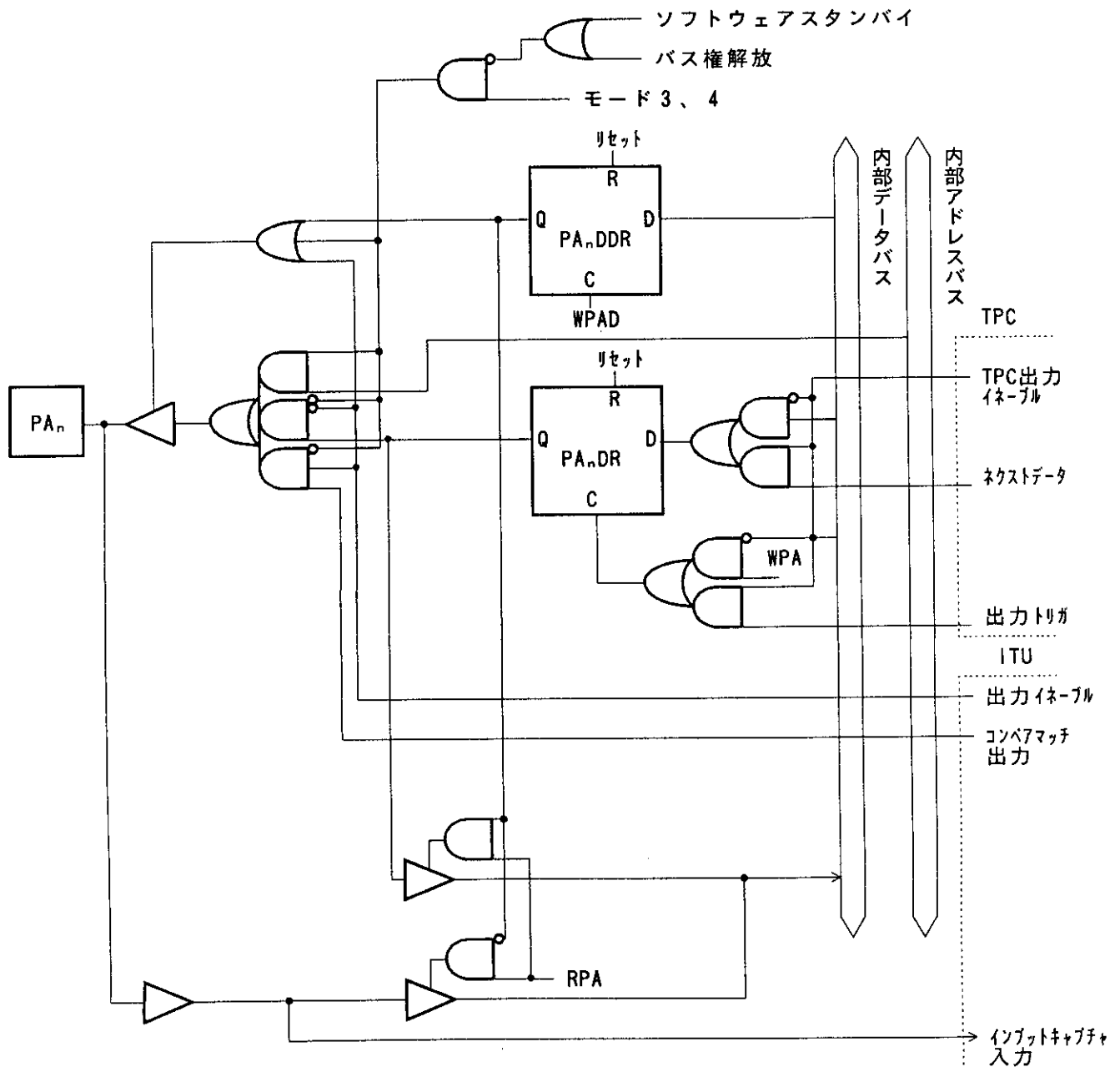
図C.6 (a) ポートAブロック図 (PA₀、PA₁端子)



《記号説明》

- WPAD : DDRライト
- WPA : ポートライト
- RPA : ポートリード
- n = 2、3

図C.6 (b) ポートAブロック図 (PA₂、PA₃端子)



《記号説明》

- WPAD : DDRライト
- WPA : ポートライト
- RPA : ポートリード
- n = 4 ~ 7

図C.6 (c) ポートAブロック図 (PA₄~PA₇端子)

D. 端子状態

D.1 各処理状態におけるポートの状態

表D.1 各ポートの状態一覧(1)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
ϕ	—	クロック出力	T	H	クロック出力	クロック出力
$A_{19} \sim A_0$	1 ~ 4	L	T	T	T	$A_{19} \sim A_0$
$D_{15} \sim D_8$	1 ~ 4	T	T	T	T	$D_{15} \sim D_8$
\overline{AS} , \overline{RD} , \overline{HWR} , \overline{LWR}	1 ~ 4	H	T	T	T	\overline{AS} , \overline{RD} , \overline{HWR} , \overline{LWR}
$P_{47} \sim P_{40}$ $D_7 \sim D_0$	1~4	T	T	8ビットバス keep	keep	入出力ポート
16ビットバス T				T	$D_7 \sim D_0$	
P_{60}	1 ~ 4	T	T	keep	keep	入出力ポート \overline{WAIT}
P_{61}	1 ~ 4	T	T	[BRLE=0] keep [BRLE=1] T	T	[BRLE=0] 入出力ポート [BRLE=1] \overline{BREQ}
P_{62}	1 ~ 4	T	T	[BRLE=0] keep [BRLE=1] H	L	[BRLE=0] 入出力ポート [BRLE=1] \overline{BACK}
$P_{73} \sim P_{70}$	1 ~ 4	T	T	T	T	入力ポート
P_{80}	1 ~ 4	T	T	keep	keep	入出力ポート
P_{81}	1 ~ 4	T	T	[DDR=0]* ¹ T	keep	[DDR=0]* ¹ 入力ポート
P_{94} , P_{92} , P_{90}	1 ~ 4	T	T	keep	keep	入出力ポート
$PA_3 \sim PA_0$	1 ~ 4	T	T	keep	keep	入出力ポート

《記号説明》

H : “High” レベル

L : “Low” レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

表D.1 各ポートの状態一覧(2)

ポート名 端子名	モード	リセット	ハードウェア スタンバイモード	ソフトウェア スタンバイモード	バス権 解放状態	プログラム実行状態 スリープモード
PA ₇ ~PA ₄	1、2	T	T	keep	keep	入出力ポート
	3、4			入出力ポート ^{*2}	入出力ポート ^{*3}	A ₂₃ ~A ₂₀
PB ₃ ~PB ₀	1~4	T	T	keep	keep	入出力ポート

《記号説明》

H : “High” レベル

L : “Low” レベル

T : ハイインピーダンス

keep : 入力ポートはハイインピーダンス、出力ポートは保持

DDR : データディレクションレジスタ

【注】*¹ DDRを“1”にセットしないでください。

*² このときの端子状態はDDRに依存します。

*³ このときの端子状態はITU出力イネーブルとDDRに依存します。

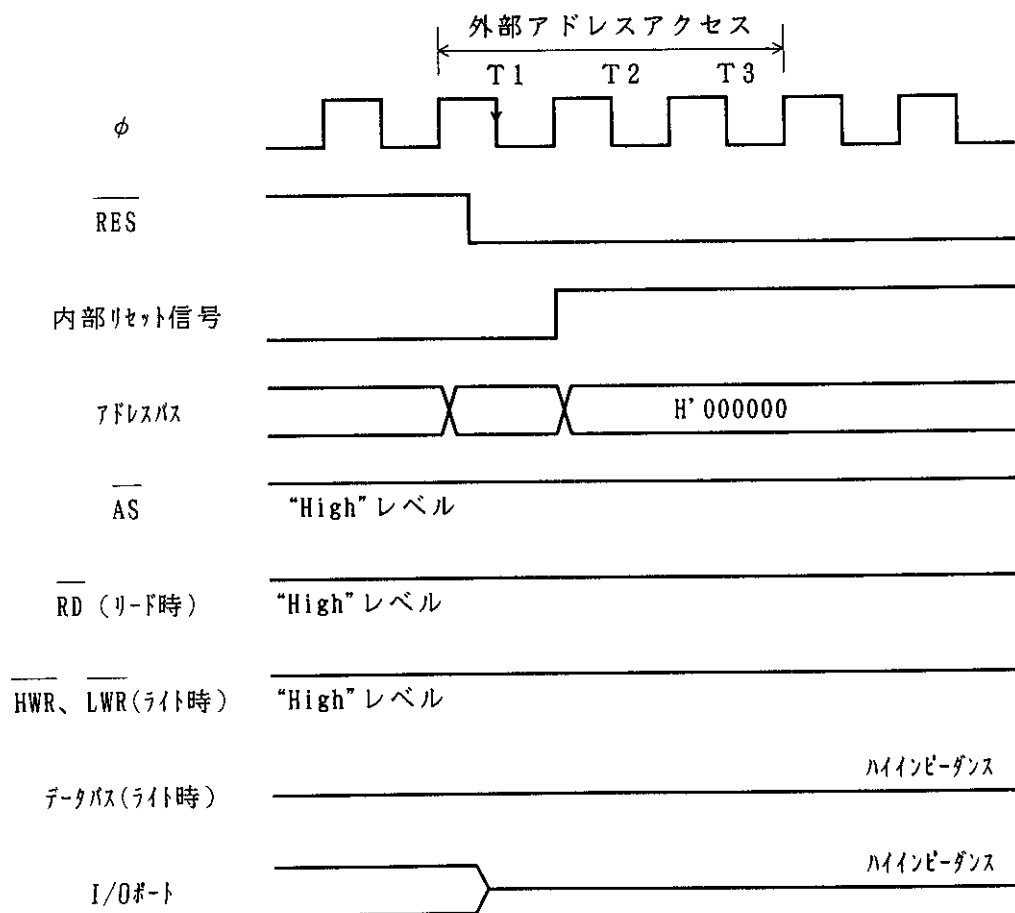
D.2 リセット時の端子状態

(1) T1ステートでのリセット

外部メモリアクセス中のT1ステートで、RES端子が“Low”レベルになったときのタイミングを図D.1に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が“Low”レベルをサンプリング（φの立下がりでサンプリング）してから、0.5ステート後にイニシャライズされアドレスバスは“Low”レベル出力となります。



図D.1 メモリアクセス中のリセット（T1ステートでのリセット）

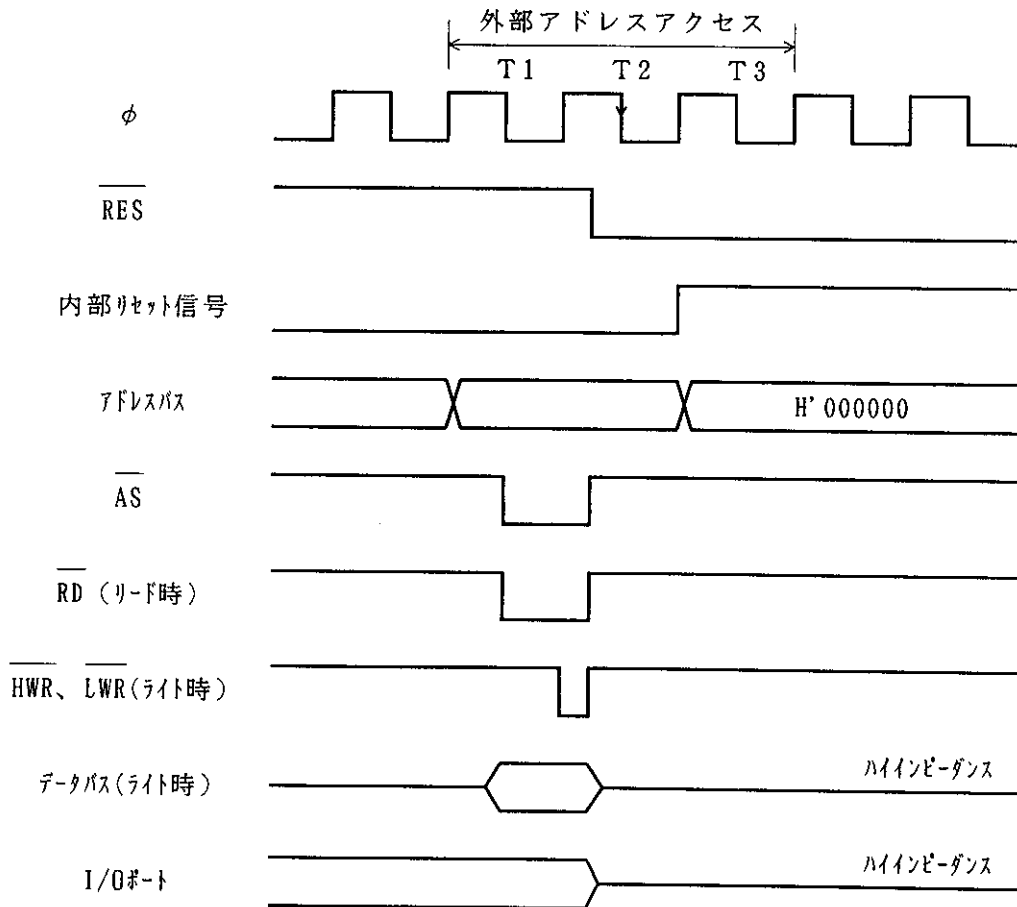
(2) T2ステートでのリセット

外部メモリアクセス中のT2ステートで、RES端子が“Low”レベルになったときのタイミングを図D.2に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはRES端子が“Low”レベルをサンプリングしてから、0.5ステート後にイニシャライズされアドレスバスは“Low”レベルとなります。

T_wサイクルでのリセットについても同様です。



図D.2 メモリアクセス中のリセット (T2ステートでのリセット)

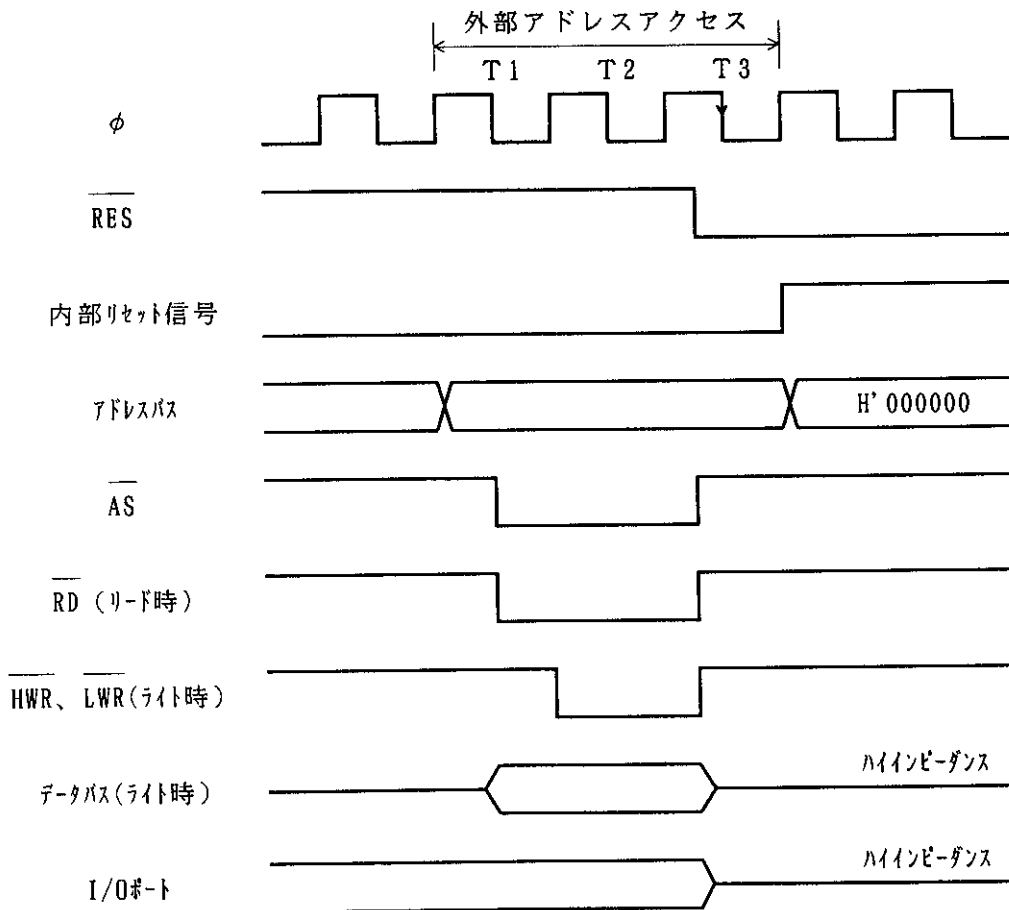
(3) T3ステートでのリセット

外部3ステート空間アクセス中のT3ステートで、RES端子が“Low”レベルになったときのタイミングを図D.3に示します。

RES端子が“Low”レベルになると同時に各ポートはイニシャライズされ入力ポートになります。また、AS、RD、HWR、LWRが“High”レベル、データバスはハイインピーダンスになります。

アドレスバスはT3ステート中保持されます。

2ステートアクセス空間のT2ステートでのリセットについても同様です。



図D.3 メモリアクセス中のリセット (T3ステートでのリセット)

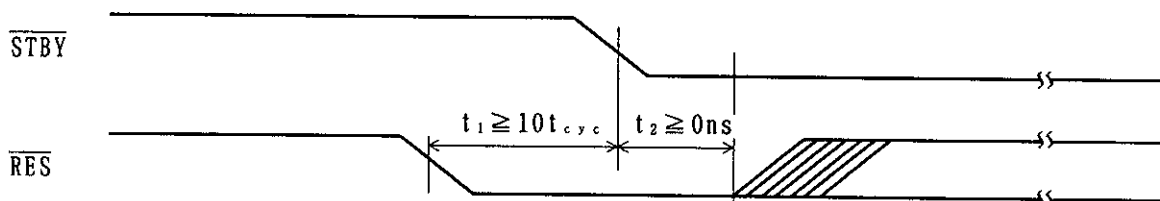
E. ハードウェアスタンバイモード遷移／復帰時のタイミングについて

【ハードウェアスタンバイモードの遷移タイミング】

(1) SYSCRのRAMEビットを“1”にセットした状態でRAMの内容を保持する場合

下記に示すようにSTBY信号の立下がりに対し、10システムクロック前にRES信号を“Low”としてください。

また、RES信号の立上がりは、STBY信号の立下がりに対し、min 0nsです。

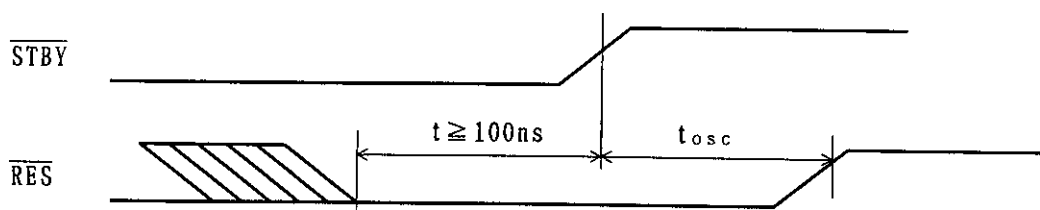


(2) SYSCRのRAMEビットを“0”にクリアした状態またはRAMの内容を保持しない場合

(1)のようにRES信号を“Low”にする必要はありません。

【ハードウェアスタンバイモードからの復帰タイミング】

STBY信号の立上がりに対し、約100ns前にRES信号を“Low”としてください。



F. 外形寸法図

H 8 / 3 0 0 1 の外形寸法図 F P - 80 A を図 F.1 に、T F P - 80 C を図 F.2 に示します。

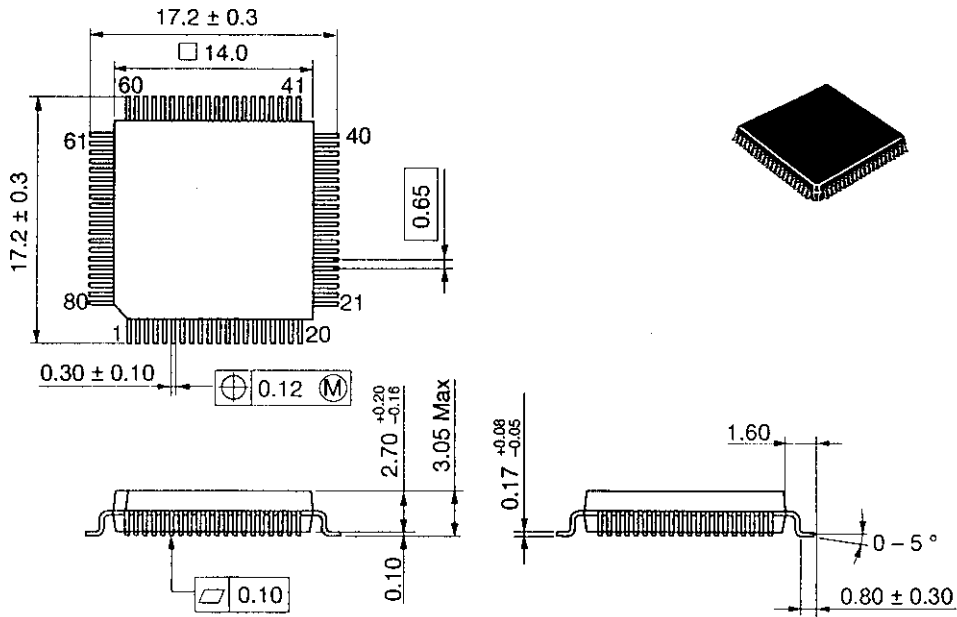


図 F.1 外形寸法図 (F P - 80 A) 単位 : mm

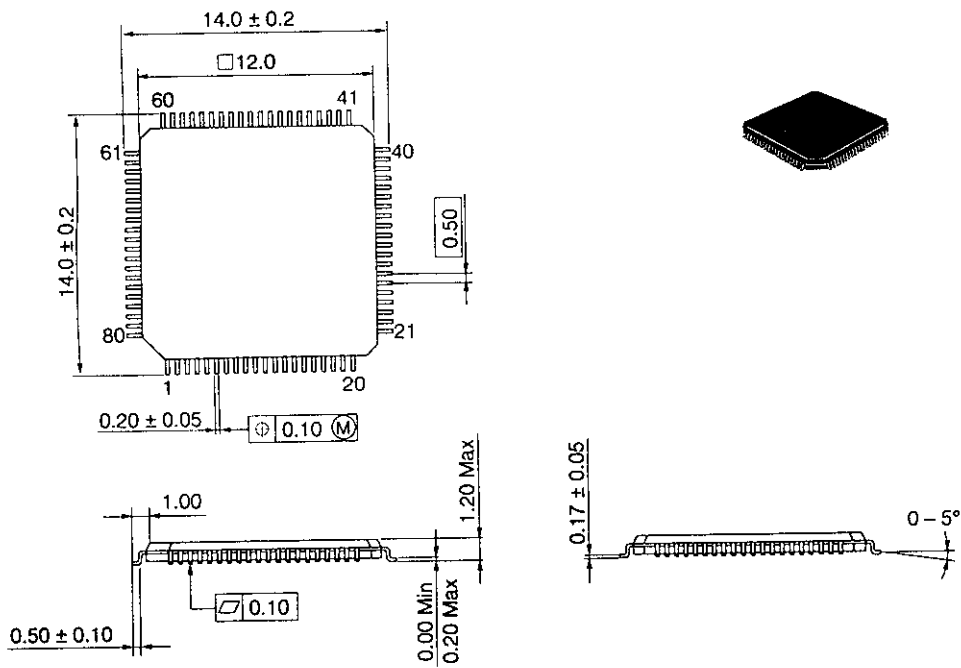


図 F.2 外形寸法図 (T F P - 80 C) 単位 : mm

G. レジスタ索引

略 称	正 式 名 称	モジュール名	参照 頁	
ABWCR	バス幅コントロールレジスタ	バスコントローラ	120	
ADCR	A/Dコントロールレジスタ	A/D変換器	362	
ADCSR	A/Dコントロール/ステータス レジスタ		359	
ADDR (ADDRAH) (ADDRAL) (ADDRBH) (ADDRBL) (ADDRCH) (ADDRCL) (ADDRDH) (ADDRDL)	A/Dデータレジスタ		358	
ASTCR	アクセスステート コントロールレジスタ		バスコントローラ	121
BRA (BRA3H) (BRA3L) (BRA4H) (BRA4L)	バッファレジスタA		ITUチャンネル3 ITUチャンネル4	203
BRB (BRB3H) (BRB3L) (BRB4H) (BRB4L)	バッファレジスタB	ITUチャンネル3 ITUチャンネル4	203	
BRCR	バスリリースコントロールレジスタ	バスコントローラ	124	
BRR	ビットレートレジスタ	シリアルコミュニケーション インタフェース	312	
GRA (GRA0H) (GRA0L) (GRA1H) (GRA1L)	ジェネラルレジスタA	ITUチャンネル0 ITUチャンネル1	202	

《記号説明》

ITU : 16ビットインテグレートドタイムユニット

(前頁より続く)

略 称	正 式 名 称	モジュール名	参 照 頁
(GRA2H) (GRA2L) (GRA3H) (GRA3L) (GRA4H) (GRA4L)	ジェネラルレジスタA	ITUチャンネル2 ITUチャンネル3 ITUチャンネル4	202
GRB (GRB0H) (GRB0L) (GRB1H) (GRB1L) (GRB2H) (GRB2L) (GRB3H) (GRB3L) (GRB4H) (GRB4L)	ジェネラルレジスタB	ITUチャンネル0 ITUチャンネル1 ITUチャンネル2 ITUチャンネル3 ITUチャンネル4	202
IER	IRQイネーブルレジスタ	割込みコントローラ	97
IPR (IPRA) (IPRB)	インタラプト プライオリティレジスタ		90、 93
ISCR	IRQセンスコントロールレジスタ		98
ISR	IRQステータスレジスタ		96
MDCR	モードコントロールレジスタ		システム制御
NDER (NDERA) (NDERB)	ネクストデータイネーブルレジスタ	プログラマブルタイミング パターンコントローラ	275、 276
NDR (NDRA) (NDRB)	ネクストデータレジスタ		271、 273
P4DDR	ポート4データディレクション レジスタ	ポート4	150
P4DR	ポート4データレジスタ		151

《記号説明》

ITU : 16ビットインテグレートッドタイマユニット

(前頁より続く)

略 称	正 式 名 称	モジュール名	参照 頁
P 4 P C R	ポート 4 入力プルアップ MOS コントロールレジスタ	ポート 4	151
P 6 D D R	ポート 6 データディレクション レジスタ	ポート 6	155
P 6 D R	ポート 6 データレジスタ		
P 7 D R	ポート 7 データレジスタ	ポート 7	157
P 8 D D R	ポート 8 データディレクション レジスタ	ポート 8	159
P 8 D R	ポート 8 データレジスタ		
P 9 D D R	ポート 9 データディレクション レジスタ	ポート 9	162
P 9 D R	ポート 9 データレジスタ		
P A D D R	ポート A データディレクション レジスタ	ポート A	165
P A D R	ポート A データレジスタ		166
P B D D R	ポート B データディレクション レジスタ	ポート B	173
P B D R	ポート B データレジスタ		
R D R	レシーブデータレジスタ	シリアルコミュニケーション インタフェース	297
R S R	レシーブシフトレジスタ	シリアルコミュニケーション インタフェース	297
S C R	シリアルコントロールレジスタ	シリアルコミュニケーション インタフェース	303
S M R	シリアルモードレジスタ		299
S S R	シリアルステータスレジスタ		307
S Y S C R	システムコントロールレジスタ	システム制御	66
T C N T	タイマカウンタ		201
(T C N T 0 H)		I T U チャンネル 0	
(T C N T 0 L)			
(T C N T 1 H)		I T U チャンネル 1	
(T C N T 1 L)			
(T C N T 2 H)		I T U チャンネル 2	
(T C N T 2 L)			
(T C N T 3 H)		I T U チャンネル 3	
(T C N T 3 L)			
(T C N T 4 H)		I T U チャンネル 4	
(T C N T 4 L)			

(前頁より続く)

略 称	正 式 名 称	モジュール名	参 照 頁
TCR (TCR0) (TCR1) (TCR2) (TCR3) (TCR4)	タイマコントロールレジスタ		204
		ITUチャンネル0	
		ITUチャンネル1	
		ITUチャンネル2	
		ITUチャンネル3	
	ITUチャンネル4		
TDR	トランスミットデータレジスタ	シリアルコミュニケーション インタフェース	298
TFCR	タイマファンクション コントロールレジスタ	ITU	197
TIER (TIER0) (TIER1) (TIER2) (TIER3) (TIER4)	タイマインタラプト イネーブルレジスタ		213
		ITUチャンネル0	
		ITUチャンネル1	
		ITUチャンネル2	
		ITUチャンネル3	
	ITUチャンネル4		
TIOR (TIOR0) (TIOR1) (TIOR2) (TIOR3) (TIOR4)	タイマI/Oコントロールレジスタ		207
		ITUチャンネル0	
		ITUチャンネル1	
		ITUチャンネル2	
		ITUチャンネル3	
	ITUチャンネル4		
TMDR	タイマモードレジスタ		194
TOER	タイマアウトプット マスタイネーブルレジスタ	ITU	199
TPCR	TPC出力コントロールレジスタ	プログラマブルタイミング	277
TPMR	TPC出力モードレジスタ	パターンコントローラ	280
TSNC	タイマシンクロレジスタ	ITU	192
TSR (TSR0) (TSR1) (TSR2) (TSR3) (TSR4)	タイマステータスレジスタ		210
		ITUチャンネル0	
		ITUチャンネル1	
		ITUチャンネル2	
		ITUチャンネル3	
	ITUチャンネル4		

《記号説明》

ITU : 16ビットインテグレートドタイマユニット

(前頁より続く)

略 称	正 式 名 称	モジュール名	参 照 頁
TSTR	タイマスタートレジスタ	ITU	190
WCER	ウェイトステートコントローラ イネーブルレジスタ	バスコントローラ	123
WCR	ウェイトコントロールレジスタ		122

《記号説明》

ITU : 16ビットインテグレートドタイマユニット

H8/3001 ハードウェアマニュアル

発行年月 平成6年9月 第1版

発行 株式会社 日立製作所
半導体事業部

編集 株式会社 日立マイコンシステム
技術ドキュメントセンタ

©株式会社 日立製作所 1994

H8/3001
ハードウェアマニュアル



ルネサスエレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668