

RX23T グループ

ユーザーズマニュアル ハードウェア編

ルネサス 32ビットマイクロコンピュータ

RXファミリ／RX200シリーズ

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサスエレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

このマニュアルの使い方

1. 目的と対象者

このマニュアルは、本マイコンのハードウェア機能と電気的特性をユーザに理解していただくためのマニュアルです。本マイコンを用いた応用システムを設計するユーザを対象にしています。このマニュアルを使用するには、電気回路、論理回路、マイクロコンピュータに関する基本的な知識が必要です。

このマニュアルは、大きく分類すると、製品の概要、CPU、システム制御機能、周辺機能、電気的特性、使用上の注意で構成されています。

本マイコンは、注意事項を十分確認の上、使用してください。注意事項は、各章の本文中、各章の最後、注意事項の章に記載しています。

改訂記録は旧版の記載内容に対して訂正または追加した主な箇所をまとめたものです。改訂内容すべてを記録したものではありません。詳細は、このマニュアルの本文でご確認ください。

RX23Tグループでは次のドキュメントを用意しています。ドキュメントは最新版を使用してください。最新版はルネサス エレクトロニクス ホームページに掲載されています。

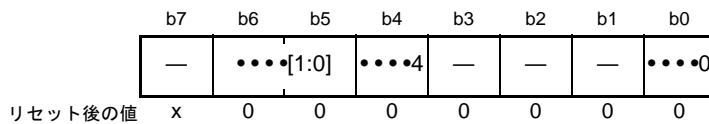
ドキュメントの種類	記載内容	資料名	資料番号
データシート	ハードウェアの概要と電気的特性	RX23Tグループ データシート	R01DS0248JJ
ユーザーズマニュアル ハードウェア編	ハードウェアの仕様（ピン配置、メモリマップ、周辺機能の仕様、電気的特性、タイミング）と動作説明	RX23Tグループ ユーザーズマニュアル ハードウェア編	本ユーザーズマニュアル
ユーザーズマニュアル ソフトウェア編	CPU・命令セットの説明	RXファミリ RXv2命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編	R01US0071JJ
アプリケーションノート	基板設計上の注意事項	RXファミリ ハードウェアデザインガイド	R01AN1411JJ
	レジスタ初期設定例	RX23Tグループ 初期設定例	R01AN2551JJ
	応用例参考プログラムなど	—	—
RENESAS TECHNICAL UPDATE	製品の仕様、ドキュメント等に関する速報	—	—

2. レジスタの表記

各章において「レジスタの説明」には、ビットの並びを示すビット配置図とビットに設定する内容を説明するビット機能表があります。使用する記号、用語を以下に説明します。

X.X.Xレジスタ

アドレス xxxx xxxxh



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	••••0	••••ビット	0 : ••••• 1 : 設定しないでください	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	••••4	••••ビット	0 : ••••• 1 : •••••	R
b6-b5	••••[1:0]	••••ビット	00 : ••••• 01 : ••••• 上記以外は設定しないでください	R/(W) (注1)
b7	—	予約ビット	読んだ場合、その値は不定。書き込みは無効になります	R

- (1) R/W : 読み出し/書き込みともに有効です。
R/(W) : 読み出し/書き込みともに有効ですが、書き込みには制限があります。
制限の内容については、各レジスタの説明や注記を参照ください。
R : 読み出しのみ有効です。書き込みは無効になります。
- (2) 予約ビットです。書き込みを行う場合には、指定された値を書き込んでください。指定外の値を書き込んだ場合の動作は保証されません。
- (3) 設定しないでください。設定した場合の動作は保証されません。

3. 略語および略称の説明

略語/略称	フルスペル	備考
ACIA	Asynchronous Communications Interface Adapter	調歩同期式通信アダプタ
bps	bits per second	転送速度を表す単位、ビット/秒
CRC	Cyclic Redundancy Check	巡回冗長検査
DMA	Direct Memory Access	CPUの命令を介さずに直接データ転送を行う方式
DMAC	Direct Memory Access Controller	DMAを行うコントローラ
GSM	Global System for Mobile Communications	FDD-TDMAの第二世代携帯電話の方式
Hi-Z	High Impedance	回路が電氣的に接続されていない状態
IEBus	Inter Equipment Bus	—
I/O	Input / Output	入出力
IrDA	Infrared Data Association	赤外線通信の業界団体または規格
LSB	Least Significant Bit	最下位ビット
MSB	Most Significant Bit	最上位ビット
NC	Non-Connect	非接続
PWM	Pulse Width Modulation	パルス幅変調
SIM	Subscriber Identity Module	ISO/IEC 7816規格の接触型ICカード
UART	Universal Asynchronous Receiver / Transmitter	調歩同期式シリアルインタフェース
VCO	Voltage Controlled Oscillator	電圧制御発振器

すべての商標および登録商標は、それぞれの所有者に帰属します。

SuperFlash®は、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

目次

特長	34
1. 概要	35
1.1 仕様概要	35
1.2 製品一覧	39
1.3 ブロック図	41
1.4 端子機能	42
1.5 ピン配置図	45
2. CPU	54
2.1 特長	54
2.2 CPU レジスタセット	55
2.2.1 汎用レジスタ (R0 ~ R15)	56
2.2.2 制御レジスタ	56
2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)	57
2.2.2.2 例外テーブルレジスタ (EXTB)	57
2.2.2.3 割り込みテーブルレジスタ (INTB)	57
2.2.2.4 プログラムカウンタ (PC)	57
2.2.2.5 プロセッサステータスワード (PSW)	58
2.2.2.6 バックアップ PC (BPC)	59
2.2.2.7 バックアップ PSW (BPSW)	60
2.2.2.8 高速割り込みベクタレジスタ (FINTV)	60
2.2.2.9 浮動小数点ステータスワード (FPSW)	61
2.2.3 アキュムレータ	63
2.3 プロセッサモード	64
2.3.1 スーパーバイザモード	64
2.3.2 ユーザモード	64
2.3.3 特権命令	64
2.3.4 プロセッサモード間の移行	64
2.4 データタイプ	65
2.4.1 整数	65
2.4.2 浮動小数点数	66
2.4.3 ビット	66
2.4.4 ストリング	67
2.5 エンディアン	68
2.5.1 エンディアンの設定	68
2.5.2 I/O レジスタアクセス	71
2.5.3 I/O レジスタアクセスの注意事項	71
2.5.4 データ配置	72
2.5.4.1 レジスタのデータ配置	72
2.5.4.2 メモリ上のデータ配置	72
2.5.5 命令コード配置の注意事項	72

2.6	ベクタテーブル	73
2.6.1	例外ベクタテーブル	73
2.6.2	割り込みベクタテーブル	74
2.7	命令動作	75
2.7.1	RMPA 命令、ストリング操作命令に関する制約事項	75
2.7.1.1	転送サイズとデータプリフェッチ	75
2.7.1.2	I/O レジスタへのアクセス	75
2.8	サイクル数	76
2.8.1	命令とサイクル数	76
2.8.2	割り込み応答サイクル数	80
3.	動作モード	81
3.1	動作モードの種類と選択	81
3.2	レジスタの説明	82
3.2.1	モードモニタレジスタ (MDMONR)	82
3.2.2	システムコントロールレジスタ 1 (SYSCR1)	83
3.3	動作モードの説明	84
3.3.1	シングルチップモード	84
3.3.2	ブートモード	84
3.3.2.1	ブートモード (SCI インタフェース)	84
3.4	動作モード遷移	85
3.4.1	モード設定端子による動作モード遷移	85
4.	アドレス空間	86
4.1	アドレス空間	86
5.	I/O レジスタ	88
5.1	I/O レジスタアドレス一覧 (アドレス順)	90
6.	リセット	106
6.1	概要	106
6.2	レジスタの説明	108
6.2.1	リセットステータスレジスタ 0 (RSTSR0)	108
6.2.2	リセットステータスレジスタ 1 (RSTSR1)	109
6.2.3	リセットステータスレジスタ 2 (RSTSR2)	110
6.2.4	ソフトウェアリセットレジスタ (SWRR)	111
6.3	動作説明	112
6.3.1	RES# 端子リセット	112
6.3.2	パワーオンリセット、電圧監視 0 リセット	112
6.3.3	電圧監視 1 リセット、電圧監視 2 リセット	114
6.3.4	独立ウォッチドッグタイマリセット	116
6.3.5	ソフトウェアリセット	116
6.3.6	コールドスタート/ウォームスタート判定機能	117
6.3.7	リセット発生要因の判定	118

7.	オプション設定メモリ	119
7.1	概要	119
7.2	レジスタの説明	120
7.2.1	オプション機能選択レジスタ 0 (OFS0)	120
7.2.2	オプション機能選択レジスタ 1 (OFS1)	122
7.2.3	エンディアン選択レジスタ (MDE)	123
7.3	使用上の注意事項	123
7.3.1	オプション設定メモリの設定例	123
8.	電圧検出回路 (LVDAb)	124
8.1	概要	124
8.2	レジスタの説明	127
8.2.1	電圧監視 1 回路制御レジスタ 1 (LVD1CR1)	127
8.2.2	電圧監視 1 回路ステータスレジスタ (LVD1SR)	128
8.2.3	電圧監視 2 回路制御レジスタ 1 (LVD2CR1)	129
8.2.4	電圧監視 2 回路ステータスレジスタ (LVD2SR)	130
8.2.5	電圧監視回路制御レジスタ (LVCMPCR)	131
8.2.6	電圧検出レベル選択レジスタ (LVDLVLR)	132
8.2.7	電圧監視 1 回路制御レジスタ 0 (LVD1CR0)	133
8.2.8	電圧監視 2 回路制御レジスタ 0 (LVD2CR0)	134
8.3	VCC 入力電圧のモニタ	135
8.3.1	Vdet0 のモニタ	135
8.3.2	Vdet1 のモニタ	135
8.3.3	Vdet2 のモニタ	135
8.4	電圧監視 0 リセット	136
8.5	電圧監視 1 割り込み、電圧監視 1 リセット	137
8.6	電圧監視 2 割り込み、電圧監視 2 リセット	139
9.	クロック発生回路	141
9.1	概要	141
9.2	レジスタの説明	143
9.2.1	システムクロックコントロールレジスタ (SCKCR)	143
9.2.2	システムクロックコントロールレジスタ 3 (SCKCR3)	145
9.2.3	PLL コントロールレジスタ (PLLCR)	146
9.2.4	PLL コントロールレジスタ 2 (PLLCR2)	147
9.2.5	メインクロック発振器コントロールレジスタ (MOSCCR)	148
9.2.6	低速オンチップオシレータコントロールレジスタ (LOCOCR)	149
9.2.7	IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)	150
9.2.8	高速オンチップオシレータコントロールレジスタ (HOCOCR)	151
9.2.9	高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)	152
9.2.10	発振安定フラグレジスタ (OSCOVFSR)	153
9.2.11	発振停止検出コントロールレジスタ (OSTDCR)	155

9.2.12	発振停止検出ステータスレジスタ (OSTDSR)	156
9.2.13	メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)	157
9.2.14	メインクロック発振器強制発振コントロールレジスタ (MOFCR)	158
9.2.15	メモリウェイトサイクル設定レジスタ (MEMWAIT)	159
9.3	メインクロック発振器	161
9.3.1	発振子を接続する方法	161
9.3.2	外部クロックを入力する方法	162
9.3.3	外部クロック入力に関する注意事項	162
9.4	発振停止検出機能	163
9.4.1	発振停止検出と検出後の動作	163
9.4.2	発振停止検出割り込み	164
9.5	PLL 回路	165
9.6	内部クロック	165
9.6.1	システムクロック	165
9.6.2	周辺モジュールクロック	165
9.6.3	FlashIF クロック	165
9.6.4	CAC クロック	165
9.6.5	IWDT 専用クロック	166
9.7	使用上の注意事項	167
9.7.1	クロック発生回路に関する注意事項	167
9.7.2	発振子に関する注意事項	167
9.7.3	ボード設計上の注意	167
9.7.4	発振子接続端子に関する注意事項	168
10.	クロック周波数精度測定回路 (CAC)	169
10.1	概要	169
10.2	レジスタの説明	171
10.2.1	CAC コントロールレジスタ 0 (CACR0)	171
10.2.2	CAC コントロールレジスタ 1 (CACR1)	172
10.2.3	CAC コントロールレジスタ 2 (CACR2)	173
10.2.4	CAC 割り込み要求許可レジスタ (CAICR)	174
10.2.5	CAC ステータスレジスタ (CASTR)	175
10.2.6	CAC 上限値設定レジスタ (CAULVR)	176
10.2.7	CAC 下限値設定レジスタ (CALLVR)	176
10.2.8	CAC カウンタバッファレジスタ (CACNTBR)	176
10.3	動作説明	177
10.3.1	クロック周波数測定	177
10.3.2	CACREF 端子のデジタルフィルタ機能	178
10.4	割り込み要求	178
10.5	使用上の注意事項	179
10.5.1	モジュールストップ機能の設定	179

11.	消費電力低減機能	180
11.1	概要	180
11.2	レジスタの説明	184
11.2.1	スタンバイコントロールレジスタ (SBYCR)	184
11.2.2	モジュールストップコントロールレジスタ A (MSTPCRA)	185
11.2.3	モジュールストップコントロールレジスタ B (MSTPCRB)	186
11.2.4	モジュールストップコントロールレジスタ C (MSTPCRC)	187
11.2.5	動作電力コントロールレジスタ (OPCCR)	188
11.3	クロックの切り替えによる消費電力の低減	190
11.4	モジュールストップ機能	190
11.5	動作電力低減機能	190
11.5.1	動作電力制御モード設定方法	190
11.6	低消費電力状態	192
11.6.1	スリープモード	192
11.6.1.1	スリープモードへの移行	192
11.6.1.2	スリープモードの解除	193
11.6.2	ディープスリープモード	194
11.6.2.1	ディープスリープモードへの遷移	194
11.6.2.2	ディープスリープモードの解除	195
11.6.3	ソフトウェアスタンバイモード	196
11.6.3.1	ソフトウェアスタンバイモードへの移行	196
11.6.3.2	ソフトウェアスタンバイモードの解除	197
11.6.3.3	ソフトウェアスタンバイモードの応用例	198
11.7	使用上の注意事項	199
11.7.1	I/O ポートの状態	199
11.7.2	DTC のモジュールストップ	199
11.7.3	内蔵周辺モジュールの割り込み	199
11.7.4	MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み	199
11.7.5	WAIT 命令の実行タイミング	199
11.7.6	スリープモード中の DTC によるレジスタの書き換えについて	199
12.	レジスタライトプロテクション機能	200
12.1	レジスタの説明	201
12.1.1	プロテクトレジスタ (PRCR)	201
13.	例外処理	202
13.1	例外事象	202
13.1.1	未定義命令例外	203
13.1.2	特権命令例外	203
13.1.3	アクセス例外	203
13.1.4	浮動小数点例外	203
13.1.5	リセット	203

13.1.6	ノンマスクابل割り込み	203
13.1.7	割り込み	203
13.1.8	無条件トラップ	203
13.2	例外の処理手順	204
13.3	例外事象の受け付け	206
13.3.1	受け付けタイミングと退避される PC 値	206
13.3.2	ベクタと PC, PSW の退避場所	206
13.4	例外の受け付け / 復帰時のハードウェア処理	207
13.5	ハードウェア前処理	208
13.5.1	未定義命令例外	208
13.5.2	特権命令例外	208
13.5.3	アクセス例外	208
13.5.4	浮動小数点例外	208
13.5.5	リセット	208
13.5.6	ノンマスクابل割り込み	209
13.5.7	割り込み	209
13.5.8	無条件トラップ	209
13.6	例外処理ルーチンからの復帰	210
13.7	例外事象の優先順位	210
14.	割り込みコントローラ (ICUb)	211
14.1	概要	211
14.2	レジスタの説明	213
14.2.1	割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)	213
14.2.2	割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)	214
14.2.3	割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)	215
14.2.4	高速割り込み設定レジスタ (FIR)	216
14.2.5	ソフトウェア割り込み起動レジスタ (SWINTR)	217
14.2.6	DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)	218
14.2.7	IRQ コントロールレジスタ i (IRQCRi) (i = 0 ~ 5)	219
14.2.8	IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)	220
14.2.9	IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)	221
14.2.10	ノンマスクابل割り込みステータスレジスタ (NMISR)	222
14.2.11	ノンマスクابل割り込み許可レジスタ (NMIER)	224
14.2.12	ノンマスクابل割り込みステータスクリアレジスタ (NMICLR)	225
14.2.13	NMI 端子割り込みコントロールレジスタ (NMICR)	226
14.2.14	NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)	226
14.2.15	NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)	227
14.3	ベクタテーブル	228
14.3.1	割り込みのベクタテーブル	228
14.3.2	高速割り込みのベクタテーブル	234

14.3.3	ノンマスカブル割り込みのベクタテーブル	234
14.4	割り込みの動作説明	235
14.4.1	割り込み検出	235
14.4.1.1	エッジ検出の割り込みステータスフラグ	235
14.4.1.2	レベル検出の割り込みステータスフラグ	237
14.4.2	割り込み要求の許可 / 禁止	238
14.4.3	割り込み要求先の選択	238
14.4.4	優先順位の判定	239
14.4.5	多重割り込み	239
14.4.6	高速割り込み	240
14.4.7	デジタルフィルタ	240
14.4.8	外部端子割り込み	241
14.5	ノンマスカブル割り込みの動作説明	242
14.6	低消費電力状態からの復帰	243
14.6.1	スリープモードおよびディープスリープモードからの復帰	243
14.6.2	ソフトウェアスタンバイモードからの復帰	243
14.7	使用上の注意事項	244
14.7.1	ノンマスカブル割り込み使用時の WAIT 命令の注意事項	244
15.	バス	245
15.1	概要	245
15.2	バスの説明	247
15.2.1	CPU バス	247
15.2.2	メモリバス	247
15.2.3	内部メインバス	247
15.2.4	内部周辺バス	248
15.2.5	ライトバッファ機能 (内部周辺バス)	248
15.2.6	並列動作	250
15.2.7	制約事項	251
15.3	レジスタの説明	252
15.3.1	バスエラーステータスクリアレジスタ (BERCLR)	252
15.3.2	バスエラー監視許可レジスタ (BEREN)	252
15.3.3	バスエラーステータスレジスタ 1 (BERSR1)	253
15.3.4	バスエラーステータスレジスタ 2 (BERSR2)	253
15.3.5	バスプライオリティ制御レジスタ (BUSPRI)	254
15.4	バスエラー監視部	256
15.4.1	バスエラーの種類	256
15.4.1.1	不正アドレスアクセス	256
15.4.1.2	タイムアウト	256
15.4.2	バスエラー発生時の動作	257
15.4.3	バスエラーの発生条件	257

15.5	割り込み	258
15.5.1	割り込み要因	258
16.	メモリプロテクションユニット (MPU)	259
16.1	概要	259
16.1.1	アクセス制御の種類	261
16.1.2	アクセス制御領域	261
16.1.3	バックグラウンド領域	261
16.1.4	領域のオーバーラップ	261
16.1.5	領域をまたぐ命令とデータ	261
16.2	レジスタの説明	262
16.2.1	領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)	262
16.2.2	領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)	263
16.2.3	メモリプロテクション機能有効化レジスタ (MPEN)	264
16.2.4	バックグラウンドアクセス制御レジスタ (MPBAC)	265
16.2.5	メモリプロテクションエラーステータスクリアレジスタ (MPECLR)	266
16.2.6	メモリプロテクションエラーステータスレジスタ (MPESTS)	267
16.2.7	データメモリプロテクションエラーアドレスレジスタ (MPDEA)	268
16.2.8	領域サーチアドレスレジスタ (MPSA)	268
16.2.9	領域サーチオペレーションレジスタ (MPOPS)	269
16.2.10	領域インバリデートオペレーションレジスタ (MPOPI)	269
16.2.11	命令ヒット領域レジスタ (MHITI)	270
16.2.12	データヒット領域レジスタ (MHITD)	272
16.3	機能	274
16.3.1	メモリプロテクション機能	274
16.3.2	領域サーチ機能	274
16.3.3	メモリプロテクションユニット関連レジスタの保護	274
16.3.4	メモリプロテクション機能のアクセス判定フロー	275
16.4	メモリプロテクション機能使用手順	277
16.4.1	アクセス制御情報の設定	277
16.4.2	メモリプロテクション機能の有効化	277
16.4.3	ユーザモードへの移行	277
16.4.4	メモリプロテクションエラー発生時の処理	277
17.	データトランスファコントローラ (DTCa)	279
17.1	概要	279
17.2	レジスタの説明	281
17.2.1	DTC モードレジスタ A (MRA)	281
17.2.2	DTC モードレジスタ B (MRB)	282
17.2.3	DTC 転送元レジスタ (SAR)	283
17.2.4	DTC 転送先レジスタ (DAR)	283
17.2.5	DTC 転送カウンタレジスタ A (CRA)	284

17.2.6	DTC 転送カウントレジスタ B (CRB)	285
17.2.7	DTC コントロールレジスタ (DTCCR)	285
17.2.8	DTC ベクタベースレジスタ (DTCVBR)	286
17.2.9	DTC アドレスモードレジスタ (DTCADMOD)	286
17.2.10	DTC モジュール起動レジスタ (DTCST)	287
17.2.11	DTC ステータスレジスタ (DTCSTS)	288
17.3	起動要因	289
17.3.1	転送情報の配置と DTC ベクタテーブル	289
17.4	動作説明	291
17.4.1	転送情報リードスキップ機能	293
17.4.2	転送情報ライトバックスキップ機能	294
17.4.3	ノーマル転送モード	295
17.4.4	リピート転送モード	296
17.4.5	ブロック転送モード	297
17.4.6	チェーン転送	298
17.4.7	動作タイミング	299
17.4.8	DTC の実行サイクル	302
17.4.9	DTC のバス権解放タイミング	302
17.5	DTC の設定手順	303
17.6	DTC 使用例	304
17.6.1	ノーマル転送	304
17.6.2	カウンタ = 0 のときのチェーン転送	305
17.7	割り込み要因	306
17.8	消費電力低減機能	307
17.9	使用上の注意事項	308
17.9.1	転送情報先頭アドレス	308
17.9.2	転送情報の配置	308
18.	I/O ポート	309
18.1	概要	309
18.2	入出力ポートの構成	311
18.3	レジスタの説明	313
18.3.1	ポート方向レジスタ (PDR)	313
18.3.2	ポート出力データレジスタ (PODR)	314
18.3.3	ポート入力データレジスタ (PIDR)	315
18.3.4	ポートモードレジスタ (PMR)	316
18.3.5	オープンドレイン制御レジスタ 0 (ODR0)	317
18.3.6	オープンドレイン制御レジスタ 1 (ODR1)	318
18.3.7	プルアップ制御レジスタ (PCR)	319
18.3.8	駆動能力制御レジスタ (DSCR)	320
18.4	ポート方向レジスタ (PDR) の初期化	321

18.5	未使用端子の処理	323
19.	マルチファンクションピンコントローラ (MPC)	324
19.1	概要	324
19.2	レジスタの説明	328
19.2.1	書き込みプロテクトレジスタ (PWPR)	328
19.2.2	P0n 端子機能選択レジスタ (P0nPFS) (n=0 ~ 2)	328
19.2.3	P1n 端子機能選択レジスタ (P1nPFS) (n=0, 1)	329
19.2.4	P2n 端子機能選択レジスタ (P2nPFS) (n=2 ~ 4)	330
19.2.5	P3n 端子機能選択レジスタ (P3nPFS) (n=0 ~ 3)	331
19.2.6	P4n 端子機能選択レジスタ (P4nPFS) (n=0 ~ 7)	331
19.2.7	P7n 端子機能選択レジスタ (P7nPFS) (n=0 ~ 6)	332
19.2.8	P9n 端子機能選択レジスタ (P9nPFS) (n=1 ~ 4)	332
19.2.9	PAn 端子機能選択レジスタ (PAnPFS) (n=2 ~ 5)	333
19.2.10	PBn 端子機能選択レジスタ (PBnPFS) (n=0 ~ 7)	334
19.2.11	PDn 端子機能選択レジスタ (PDnPFS) (n=3 ~ 7)	334
19.2.12	PEn 端子機能選択レジスタ (PE2PFS)	335
19.3	使用上の注意事項	336
19.3.1	端子入出力機能設定手順	336
19.3.2	MPC レジスタ設定する場合の注意事項	336
19.3.3	アナログ機能を使う場合の注意事項	337
19.3.4	PB1 端子の入力レベルについての注意事項	337
20.	マルチファンクションタイマパルスユニット 3 (MTU3c)	338
20.1	概要	338
20.2	レジスタの説明	343
20.2.1	タイマコントロールレジスタ (TCR)	343
20.2.2	タイマコントロールレジスタ 2 (TCR2)	345
20.2.3	タイマモードレジスタ 1 (TMDR1)	349
20.2.4	タイマモードレジスタ 2 (TMDR2A)	351
20.2.5	タイマモードレジスタ 3 (TMDR3)	352
20.2.6	タイマ I/O コントロールレジスタ (TIOR)	353
20.2.7	タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)	364
20.2.8	タイマインタラプトイネーブルレジスタ (TIER)	365
20.2.9	タイマステータスレジスタ (TSR)	368
20.2.10	タイマバッファ動作転送モードレジスタ (TBTM)	369
20.2.11	タイマインプットキャプチャコントロールレジスタ (TICCR)	370
20.2.12	タイマカウンタ (TCNT)	371
20.2.13	タイマロングワードカウンタ (TCNTLW)	371
20.2.14	タイマジェネラルレジスタ (TGR)	372
20.2.15	タイマロングワードジェネラルレジスタ (TGRALW, TGRBLW)	373
20.2.16	タイマスタートレジスタ (TSTRA, TSTR)	374

20.2.17	タイマシンクロレジスタ (TSYRA)	376
20.2.18	タイマカウンタシンクロスタートレジスタ (TCSYSTR)	377
20.2.19	タイマリードライトイネーブルレジスタ (TRWERA)	378
20.2.20	タイマアウトプットマスタイネーブルレジスタ (TOERA)	379
20.2.21	タイマアウトプットコントロールレジスタ 1 (TOCR1A)	380
20.2.22	タイマアウトプットコントロールレジスタ 2 (TOCR2A)	382
20.2.23	タイマアウトプットレベルバッファレジスタ (TOLBRA)	385
20.2.24	タイマゲートコントロールレジスタ A (TGCRA)	386
20.2.25	タイマサブカウンタ (TCNTSA)	388
20.2.26	タイマ周期データレジスタ (TCDRA)	388
20.2.27	タイマ周期バッファレジスタ (TCBRA)	389
20.2.28	タイマデッドタイムデータレジスタ (TDDRA)	389
20.2.29	タイマデッドタイムイネーブルレジスタ (TDERA)	390
20.2.30	タイマバッファ転送設定レジスタ (TBTERA)	391
20.2.31	タイマ波形コントロールレジスタ (TWCRA)	392
20.2.32	ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, C)	393
20.2.33	ノイズフィルタコントロールレジスタ 5 (NFCR5)	396
20.2.34	タイマ A/D 変換開始要求コントロールレジスタ (TADCR)	397
20.2.35	タイマ A/D 変換開始要求周期設定レジスタ (TADCORA, TADCORB)	399
20.2.36	タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA, TADCOBRB) ..	399
20.2.37	タイマ割り込み間引きモードレジスタ (TITMRA)	400
20.2.38	タイマ割り込み間引き設定レジスタ 1 (TITCR1A)	401
20.2.39	タイマ割り込み間引き回数カウンタ 1 (TITCNT1A)	402
20.2.40	タイマ割り込み間引き設定レジスタ 2 (TITCR2A)	403
20.2.41	タイマ割り込み間引き回数カウンタ 2 (TITCNT2A)	404
20.2.42	A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)	405
20.2.43	バスマスタとのインタフェース	406
20.3	動作説明	407
20.3.1	基本動作	407
20.3.2	同期動作	413
20.3.3	バッファ動作	415
20.3.4	カスケード接続動作	420
20.3.5	PWM モード	425
20.3.6	位相計数モード	430
20.3.6.1	16 ビット位相計数モード	430
20.3.6.2	カスケード接続 32 ビット位相計数モード	442
20.3.7	リセット同期 PWM モード	443
20.3.8	相補 PWM モード	446
20.3.9	A/D 変換開始要求ディレイド機能	481
20.3.10	MTU0 ~ MTU4 の同期動作	488

20.3.11	外部パルス幅測定機能	489
20.3.12	デッドタイム補償用機能	490
20.3.13	相補 PWM モード時の「山/谷」での TCNTU, TCNTV, TCNTW キャプチャ動作	492
20.3.14	ノイズフィルタ機能	493
20.3.15	A/D 変換開始要求フレーム同期信号	493
20.4	割り込み要因	494
20.4.1	割り込み要因と優先順位	494
20.4.2	DTC の起動	495
20.4.3	A/D コンバータの起動	496
20.5	動作タイミング	498
20.5.1	入出力タイミング	498
20.5.2	割り込み信号タイミング	504
20.6	使用上の注意事項	507
20.6.1	モジュールストップ機能の設定	507
20.6.2	入力クロックの制限事項	507
20.6.3	周期設定上の注意事項	507
20.6.4	TCNT への書き込みとクリアの競合	508
20.6.5	TCNT への書き込みとカウントアップの競合	508
20.6.6	TGR レジスタへの書き込みとコンペアマッチの競合	509
20.6.7	バッファレジスタへの書き込みとコンペアマッチの競合	509
20.6.8	バッファレジスタへの書き込みと TCNT クリアの競合	510
20.6.9	TGR レジスタの読み出しとインプットキャプチャの競合	510
20.6.10	TGR レジスタへの書き込みとインプットキャプチャの競合	511
20.6.11	バッファレジスタへの書き込みとインプットキャプチャの競合	512
20.6.12	カスケード接続における MTU2.TCNT への書き込みとオーバフロー/ アンダフローの競合	513
20.6.13	相補 PWM モードでのカウント動作停止時のカウンタ値	514
20.6.14	相補 PWM モードでのバッファ動作の設定	514
20.6.15	リセット同期 PWM モードのバッファ動作とコンペアマッチ	515
20.6.16	リセット同期 PWM モードのオーバフロー	516
20.6.17	オーバフロー/アンダフローとカウンタクリアの競合	517
20.6.18	TCNT への書き込みとオーバフロー/アンダフローの競合	517
20.6.19	ノーマルモードまたは PWM モード 1 からリセット同期 PWM モードへ遷移する場合の 注意事項	518
20.6.20	相補 PWM モード、リセット同期 PWM モードの出力レベル	518
20.6.21	カスケード接続における MTU1.TCNT、MTU2.TCNT 同時インプットキャプチャ ...	518
20.6.22	割り込み間引き機能 2	519
20.6.23	相補 PWM モードの出力保護機能未使用時の注意事項	519
20.6.24	タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の 注意事項	519
20.6.25	相補 PWM モード同期クリアするときの異常動作防止の注意事項	520

20.6.26	コンペアマッチによる割り込み信号の連続出力	522
20.6.27	相補 PWM モードにおける A/D 変換ディレイド機能の注意事項	522
20.7	MTU 出力端子の初期化方法	524
20.7.1	動作モード	524
20.7.2	動作中の異常などによる再設定時の動作	524
20.7.3	動作中の異常などによる端子の初期化手順、モード移行の概要	525
21.	ポートアウトプットイネーブル 3 (POE3b)	555
21.1	概要	555
21.2	レジスタの説明	558
21.2.1	入力レベルコントロール/ステータスレジスタ 1 (ICSR1)	558
21.2.2	入力レベルコントロール/ステータスレジスタ 3 (ICSR3)	559
21.2.3	入力レベルコントロール/ステータスレジスタ 4 (ICSR4)	560
21.2.4	入力レベルコントロール/ステータスレジスタ 6 (ICSR6)	561
21.2.5	出力レベルコントロール/ステータスレジスタ 1 (OCSR1)	562
21.2.6	アクティブレベルレジスタ 1 (ALR1)	563
21.2.7	ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)	565
21.2.8	ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)	567
21.2.9	ポートアウトプットイネーブルコントロールレジスタ 2 (POECR2)	569
21.2.10	ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)	570
21.2.11	ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)	571
21.2.12	ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR) ...	572
21.2.13	ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)	573
21.3	動作説明	574
21.3.1	入力レベル検出動作	581
21.3.2	出力レベル比較動作	582
21.3.3	レジスタによるハイインピーダンス制御	583
21.3.4	発振停止検出検知によるハイインピーダンス制御	583
21.3.5	コンパレータ検出によるハイインピーダンス制御	583
21.3.6	ハイインピーダンス制御条件の追加機能	583
21.3.7	ハイインピーダンス状態からの解除	583
21.4	POE 設定手順	585
21.5	割り込み	585
21.6	使用上の注意事項	586
21.6.1	低消費電力モードへの遷移	586
21.6.2	MTU 端子非選択時のハイインピーダンス制御	586
21.6.3	POE を使用しない場合について	586
22.	8 ビットタイマ (TMR)	587
22.1	概要	587
22.2	レジスタの説明	592
22.2.1	タイマカウンタ (TCNT)	592

22.2.2	タイムコンスタントレジスタ A (TCORA)	593
22.2.3	タイムコンスタントレジスタ B (TCORB)	593
22.2.4	タイマコントロールレジスタ (TCR)	594
22.2.5	タイマカウンタコントロールレジスタ (TCCR)	595
22.2.6	タイマコントロール/ステータスレジスタ (TCSR)	597
22.3	動作説明	599
22.3.1	パルス出力	599
22.3.2	外部カウンタリセット入力	600
22.4	動作タイミング	601
22.4.1	TCNT カウンタのカウンタタイミング	601
22.4.2	コンペアマッチ時の割り込みタイミング	602
22.4.3	コンペアマッチ時の出力信号タイミング	602
22.4.4	コンペアマッチによるカウンタクリアタイミング	603
22.4.5	TCNT カウンタの外部リセットタイミング	603
22.4.6	オーバフローによる割り込みタイミング	604
22.5	カスケード接続時の動作	605
22.5.1	16 ビットカウントモード	605
22.5.2	コンペアマッチカウントモード	605
22.6	割り込み要因	606
22.6.1	割り込み要因と DTC 起動	606
22.6.2	A/D コンバータの起動	606
22.7	使用上の注意事項	607
22.7.1	モジュールストップ機能の設定	607
22.7.2	周期設定上の注意	607
22.7.3	TCNT カウンタへの書き込みとカウンタクリアの競合	607
22.7.4	TCNT カウンタへの書き込みとカウンタアップの競合	608
22.7.5	TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合	608
22.7.6	コンペアマッチ A、B の競合	609
22.7.7	内部クロックの切り替えと TCNT カウンタの動作	609
22.7.8	カスケード接続時のクロックソース設定	611
22.7.9	コンペアマッチ割り込みの連続出力	611
23.	コンペアマッチタイマ (CMT)	612
23.1	概要	612
23.2	レジスタの説明	613
23.2.1	コンペアマッチタイマスタートレジスタ 0 (CMSTR0)	613
23.2.2	コンペアマッチタイマスタートレジスタ 1 (CMSTR1)	613
23.2.3	コンペアマッチタイマコントロールレジスタ (CMCR)	614
23.2.4	コンペアマッチタイマカウンタ (CMCNT)	615
23.2.5	コンペアマッチタイマコンスタントレジスタ (CMCOR)	615
23.3	動作説明	616

23.3.1	周期カウント動作	616
23.3.2	CMCNT カウンタのカウントタイミング	616
23.4	割り込み	617
23.4.1	割り込み要因	617
23.4.2	コンペアマッチ割り込みの発生タイミング	617
23.5	使用上の注意事項	618
23.5.1	モジュールストップ機能の設定	618
23.5.2	CMCNT カウンタへの書き込みとコンペアマッチの競合	618
23.5.3	CMCNT カウンタへの書き込みとカウントアップの競合	618
24.	独立ウォッチドッグタイマ (IWDTa)	619
24.1	概要	619
24.2	レジスタの説明	621
24.2.1	IWDT リフレッシュレジスタ (IWDTRR)	621
24.2.2	IWDT コントロールレジスタ (IWDTCR)	622
24.2.3	IWDT ステータスレジスタ (IWDTSR)	625
24.2.4	IWDT リセットコントロールレジスタ (IWDTRCR)	626
24.2.5	IWDT カウント停止コントロールレジスタ (IWDTCSTPR)	627
24.2.6	オプション機能選択レジスタ 0 (OFS0)	627
24.3	動作説明	628
24.3.1	カウント開始条件別の各動作	628
24.3.1.1	レジスタスタートモード	628
24.3.1.2	オートスタートモード	630
24.3.2	IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御	632
24.3.3	リフレッシュ動作	633
24.3.4	ステータスフラグ	635
24.3.5	リセット出力	635
24.3.6	割り込み要因	635
24.3.7	カウンタ値の読み出し	636
24.3.8	オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応	637
24.4	使用上の注意事項	637
24.4.1	リフレッシュ動作について	637
24.4.2	クロック分周比の設定	637
25.	シリアルコミュニケーションインタフェース (SCIg)	638
25.1	概要	638
25.2	レジスタの説明	643
25.2.1	レシーブシフトレジスタ (RSR)	643
25.2.2	レシーブデータレジスタ (RDR)	643
25.2.3	レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)	644
25.2.4	トランスミットデータレジスタ (TDR)	645
25.2.5	トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)	646

25.2.6	トランスミットシフトレジスタ (TSR)	646
25.2.7	シリアルモードレジスタ (SMR)	647
25.2.8	シリアルコントロールレジスタ (SCR)	651
25.2.9	シリアルステータスレジスタ (SSR)	656
25.2.10	スマートカードモードレジスタ (SCMR)	661
25.2.11	ビットレートレジスタ (BRR)	663
25.2.12	モジュレーションデューティレジスタ (MDDR)	671
25.2.13	シリアル拡張モードレジスタ (SEMR)	672
25.2.14	ノイズフィルタ設定レジスタ (SNFR)	675
25.2.15	I ² C モードレジスタ 1 (SIMR1)	676
25.2.16	I ² C モードレジスタ 2 (SIMR2)	677
25.2.17	I ² C モードレジスタ 3 (SIMR3)	678
25.2.18	I ² C ステータスレジスタ (SISR)	680
25.2.19	SPI モードレジスタ (SPMR)	681
25.3	調歩同期式モードの動作	683
25.3.1	シリアル送信 / 受信フォーマット	683
25.3.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	685
25.3.3	クロック	686
25.3.4	倍速モード	686
25.3.5	CTS、RTS 機能	687
25.3.6	SCI の初期化 (調歩同期式モード)	688
25.3.7	シリアルデータの送信 (調歩同期式モード)	689
25.3.8	シリアルデータの受信 (調歩同期式モード)	693
25.4	マルチプロセッサ通信機能	697
25.4.1	マルチプロセッサシリアルデータ送信	698
25.4.2	マルチプロセッサシリアルデータ受信	699
25.5	クロック同期式モードの動作	702
25.5.1	クロック	702
25.5.2	CTS、RTS 機能	703
25.5.3	SCI の初期化 (クロック同期式モード)	704
25.5.4	シリアルデータの送信 (クロック同期式モード)	705
25.5.5	シリアルデータの受信 (クロック同期式モード)	709
25.5.6	シリアルデータの送受信同時動作 (クロック同期式モード)	712
25.6	スマートカードインタフェースモードの動作	713
25.6.1	接続例	713
25.6.2	データフォーマット (ブロック転送モード時を除く)	714
25.6.3	ブロック転送モード	715
25.6.4	受信データサンプリングタイミングと受信マージン	716
25.6.5	SCI の初期化 (スマートカードインタフェースモード)	717
25.6.6	シリアルデータの送信 (ブロック転送モードを除く)	719

25.6.7	シリアルを受信（ブロック転送モードを除く）	722
25.6.8	クロック出力制御	724
25.7	簡易 I ² C モードの動作	725
25.7.1	開始条件、再開条件、停止条件の生成	726
25.7.2	クロック同期化	728
25.7.3	SSDA 出力遅延	729
25.7.4	SCI の初期化（簡易 I ² C モード）	730
25.7.5	マスタ送信動作（簡易 I ² C モード）	731
25.7.6	マスタ受信動作（簡易 I ² C モード）	733
25.8	簡易 SPI モードの動作	735
25.8.1	マスタモード、スレーブモードと各端子の状態	736
25.8.2	マスタモード時の SS 機能	736
25.8.3	スレーブモード時の SS 機能	736
25.8.4	クロックと送受信データの関係	737
25.8.5	SCI の初期化（簡易 SPI モード）	737
25.8.6	シリアルデータの送受信（簡易 SPI モード）	738
25.9	ビットレートモジュレーション機能	738
25.10	ノイズ除去機能	739
25.11	割り込み要因	740
25.11.1	TXI 割り込みおよび RXI 割り込みバッファ動作	740
25.11.2	調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける 割り込み	740
25.11.3	スマートカードインタフェースモードにおける割り込み	741
25.11.4	簡易 I ² C モードにおける割り込み	742
25.12	使用上の注意事項	743
25.12.1	モジュールストップ機能の設定	743
25.12.2	ブレークの検出と処理について	743
25.12.3	マーク状態とブレークの送付	743
25.12.4	受信エラーフラグと送信動作について (クロック同期式モードおよび簡易 SPI モード)	743
25.12.5	TDR レジスタへのライトについて	743
25.12.6	クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)	744
25.12.7	DTC 使用上の制約事項	745
25.12.8	通信の開始に関する注意事項	745
25.12.9	低消費電力状態時の動作について	745
25.12.10	クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力	747
25.12.11	簡易 SPI モードの制約事項	748
25.12.12	トランスミットイネーブルビット (TE ビット) に関する注意事項	749
26.	I ² C バスインタフェース (RIICa)	750
26.1	概要	750

26.2	レジスタの説明	753
26.2.1	I ² C バスコントロールレジスタ 1 (ICCR1)	753
26.2.2	I ² C バスコントロールレジスタ 2 (ICCR2)	755
26.2.3	I ² C バスモードレジスタ 1 (ICMR1)	758
26.2.4	I ² C バスモードレジスタ 2 (ICMR2)	759
26.2.5	I ² C バスモードレジスタ 3 (ICMR3)	761
26.2.6	I ² C バスファンクション許可レジスタ (ICFER)	763
26.2.7	I ² C バスステータス許可レジスタ (ICSER)	765
26.2.8	I ² C バス割り込み許可レジスタ (ICIER)	767
26.2.9	I ² C バスステータスレジスタ 1 (ICSR1)	769
26.2.10	I ² C バスステータスレジスタ 2 (ICSR2)	771
26.2.11	スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)	774
26.2.12	スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)	775
26.2.13	I ² C バスビットレート Low レジスタ (ICBRL)	776
26.2.14	I ² C バスビットレート High レジスタ (ICBRH)	777
26.2.15	I ² C バス送信データレジスタ (ICDRT)	778
26.2.16	I ² C バス受信データレジスタ (ICDRR)	779
26.2.17	I ² C バスシフトレジスタ (ICDRS)	779
26.3	動作説明	780
26.3.1	通信データフォーマット	780
26.3.2	初期設定	781
26.3.3	マスタ送信動作	782
26.3.4	マスタ受信動作	785
26.3.5	スレーブ送信動作	791
26.3.6	スレーブ受信動作	794
26.4	SCL 同期回路	796
26.5	SDA 出力遅延機能	797
26.6	デジタルノイズフィルタ回路	798
26.7	アドレス一致検出機能	799
26.7.1	スレーブアドレス一致検出機能	799
26.7.2	ジェネラルコールアドレス検出機能	801
26.7.3	デバイス ID アドレス検出機能	802
26.7.4	ホストアドレス検出機能	804
26.8	SCL の自動 Low ホールド機能	805
26.8.1	送信データ誤送信防止機能	805
26.8.2	NACK 受信転送中断機能	806
26.8.3	受信データ取りこぼし防止機能	806
26.9	アービトレーションロスト検出機能	808
26.9.1	マスタアービトレーションロスト検出機能 (MALE ビット)	808
26.9.2	NACK 送信アービトレーションロスト検出機能 (NALE ビット)	810

26.9.3	スレーブアービトレーションロスト検出機能 (SALE ビット)	811
26.10	スタートコンディション、リスタートコンディション、ストップコンディション発行機能	812
26.10.1	スタートコンディション発行動作	812
26.10.2	リスタートコンディション発行動作	812
26.10.3	ストップコンディション発行動作	813
26.11	バスハングアップ	814
26.11.1	タイムアウト検出機能	814
26.11.2	SCL クロック追加出力機能	815
26.11.3	RIIC リセット、内部リセット	816
26.12	SMBus 動作	817
26.12.1	SMBus タイムアウト測定	817
26.12.2	パケットエラーコード (PEC)	818
26.12.3	SMBus ホスト通知プロトコル (Notify ARP master コマンド)	819
26.13	割り込み要因	820
26.13.1	TXI 割り込みおよび RXI 割り込みバッファ動作	820
26.14	リセットと各コンディション発行時のレジスタおよび機能の状態	821
26.15	使用上の注意事項	822
26.15.1	モジュールストップ機能の設定	822
26.15.2	通信の開始に関する注意事項	822
27.	シリアルペリフェラルインタフェース (RSPIa)	823
27.1	概要	823
27.2	レジスタの説明	826
27.2.1	RSPI 制御レジスタ (SPCR)	826
27.2.2	RSPI スレーブセレクト極性レジスタ (SSLP)	828
27.2.3	RSPI 端子制御レジスタ (SPPCR)	829
27.2.4	RSPI ステータスレジスタ (SPSR)	830
27.2.5	RSPI データレジスタ (SPDR)	833
27.2.6	RSPI シーケンス制御レジスタ (SPSCR)	836
27.2.7	RSPI シーケンスステータスレジスタ (SPSSR)	837
27.2.8	RSPI ビットレートレジスタ (SPBR)	838
27.2.9	RSPI データコントロールレジスタ (SPDCR)	839
27.2.10	RSPI クロック遅延レジスタ (SPCKD)	841
27.2.11	RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)	842
27.2.12	RSPI 次アクセス遅延レジスタ (SPND)	843
27.2.13	RSPI 制御レジスタ 2 (SPCR2)	844
27.2.14	RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)	846
27.3	動作説明	849
27.3.1	RSPI 動作の概要	849
27.3.2	RSPI 端子の制御	850

27.3.3	RSPI システム構成例	851
27.3.3.1	シングルマスタ / シングルスレーブ (本 MCU = マスタ)	851
27.3.3.2	シングルマスタ / シングルスレーブ (本 MCU = スレーブ)	852
27.3.3.3	シングルマスタ / マルチスレーブ (本 MCU = マスタ)	853
27.3.3.4	シングルマスタ / マルチスレーブ (本 MCU = スレーブ)	854
27.3.3.5	マルチマスタ / マルチスレーブ (本 MCU = マスタ)	855
27.3.3.6	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)	856
27.3.3.7	マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)	856
27.3.4	データフォーマット	857
27.3.4.1	パリティ機能無効時 (SPCR2.SPPE = 0)	858
27.3.4.2	パリティ機能有効時 (SPCR2.SPPE = 1)	862
27.3.5	転送フォーマット	866
27.3.5.1	CPHA ビット = 0 の場合	866
27.3.5.2	CPHA ビット = 1 の場合	867
27.3.6	通信動作モード	868
27.3.6.1	全二重同期式シリアル通信 (SPCR.TXMD = 0)	868
27.3.6.2	送信のみ動作 (SPCR.TXMD = 1)	869
27.3.7	送信バッファエンプティ / 受信バッファフル割り込み	870
27.3.8	エラー検出	872
27.3.8.1	オーバランエラー	873
27.3.8.2	パリティエラー	876
27.3.8.3	モードフォルトエラー	877
27.3.9	RSPI の初期化	878
27.3.9.1	SPE ビットのクリアによる初期化	878
27.3.9.2	システムリセット	878
27.3.10	SPI 動作	879
27.3.10.1	マスタモード動作	879
27.3.10.2	スレーブモード動作	889
27.3.11	クロック同期式動作	893
27.3.11.1	マスタモード動作	893
27.3.11.2	スレーブモード動作	897
27.3.12	ループバックモード	899
27.3.13	パリティビット機能の自己判断	900
27.3.14	割り込み要因	901
27.4	使用上の注意事項	902
27.4.1	モジュールストップ機能の設定	902
27.4.2	消費電力低減機能の注意事項	902
27.4.3	通信の開始に関する注意事項	902
27.4.4	SPRF/SPTEF フラグに関する注意事項	902

28.	CRC 演算器 (CRC)	903
28.1	概要	903
28.2	レジスタの説明	904
28.2.1	CRC コントロールレジスタ (CRCCR)	904
28.2.2	CRC データ入力レジスタ (CRCDIR)	904
28.2.3	CRC データ出力レジスタ (CRCDOR)	905
28.3	CRC 演算器の動作説明	906
28.4	使用上の注意事項	909
28.4.1	モジュールストップ機能の設定	909
28.4.2	転送時の注意事項	909
29.	12 ビット A/D コンバータ (S12ADE)	910
29.1	概要	910
29.2	レジスタの説明	914
29.2.1	A/D データレジスタ y (ADDRy) A/D データ 2 重化レジスタ (ADDBLDR) A/D データ 2 重化レジスタ A (ADDBLDRA) A/D データ 2 重化レジスタ B (ADDBLDRB) A/D 内部基準電圧データレジスタ (ADOCDR)	914
29.2.2	A/D 自己診断データレジスタ (ADRD)	916
29.2.3	A/D コントロールレジスタ (ADCSR)	917
29.2.4	A/D チャンネル選択レジスタ A0 (ADANSA0)	921
29.2.5	A/D チャンネル選択レジスタ A1 (ADANSA1)	922
29.2.6	A/D チャンネル選択レジスタ B0 (ADANSB0)	923
29.2.7	A/D チャンネル選択レジスタ B1 (ADANSB1)	924
29.2.8	A/D 変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)	925
29.2.9	A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)	926
29.2.10	A/D 変換値加算 / 平均回数選択レジスタ (ADADC)	927
29.2.11	A/D コントロール拡張レジスタ (ADCER)	928
29.2.12	A/D 変換開始トリガ選択レジスタ (ADSTRGR)	930
29.2.13	A/D 変換拡張入力コントロールレジスタ (ADEXICR)	932
29.2.14	A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, L, O)	933
29.2.15	サンプル & ホールド回路コントロールレジスタ (ADSHCR)	934
29.2.16	A/D 断線検出コントロールレジスタ (ADDISCR)	935
29.2.17	A/D グループスキャン優先コントロールレジスタ (ADGSPCR)	936
29.2.18	A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)	937
29.3	動作説明	938
29.3.1	スキャンの動作説明	938
29.3.2	シングルスキャンモード	939
29.3.2.1	基本動作 (チャンネル専用サンプル&ホールドなし)	939
29.3.2.2	基本動作 (チャンネル専用サンプル&ホールドあり)	940
29.3.2.3	チャンネル選択と自己診断	941

29.3.2.4	内部基準電圧選択時の A/D 変換動作	942
29.3.2.5	ダブルトリガモード選択時の動作	943
29.3.2.6	ダブルトリガ拡張モードの動作	944
29.3.3	連続スキャンモード	945
29.3.3.1	基本動作 (チャンネル専用サンプル&ホールドなし)	945
29.3.3.2	基本動作 (チャンネル専用サンプル&ホールドあり)	946
29.3.3.3	チャンネル選択と自己診断	947
29.3.4	グループスキャンモード	948
29.3.4.1	基本動作	948
29.3.4.2	ダブルトリガモード選択時の動作	949
29.3.4.3	グループ A 優先制御動作	950
29.3.5	アナログ入力のサンプリング時間とスキャン変換時間	959
29.3.6	A/D データレジスタの自動クリア機能の使用例	962
29.3.7	A/D 変換値加算 / 平均機能	962
29.3.8	断線検出アシスト機能	962
29.3.9	非同期トリガによる A/D 変換の開始	964
29.3.10	周辺モジュールからの同期トリガによる A/D 変換の開始	964
29.4	割り込み要因と DTC 転送要求	964
29.4.1	割り込み要求	964
29.5	基準電圧の選択方法	964
29.6	許容信号源インピーダンスについて	965
29.7	使用上の注意事項	966
29.7.1	データレジスタの読出し注意事項	966
29.7.2	A/D 変換停止時の注意事項	966
29.7.3	A/D 変換強制停止と開始時の動作タイミング	967
29.7.4	スキャン終了割り込み処理の注意事項	967
29.7.5	モジュールストップ機能の設定	967
29.7.6	低消費電力状態への遷移時の注意	967
29.7.7	ソフトウェアスタンバイモード解除時の注意	967
29.7.8	断線検出アシスト機能使用時の絶対精度誤差	967
29.7.9	アナログ電源端子他の設定範囲	968
29.7.10	ボード設計上の注意	969
29.7.11	ノイズ対策上の注意	969
30.	コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA)	970
30.1	概要	970
30.2	レジスタの説明	971
30.2.1	D/A データレジスタ 0 (DADR0)	971
30.2.2	D/A 制御レジスタ (DACR)	972
30.2.3	DADR0 フォーマット選択レジスタ (DADPR)	972
30.3	動作説明	973

30.4	使用上の注意事項	974
30.4.1	モジュールストップ機能の設定	974
30.4.2	モジュールストップ時の D/A の動作	974
30.4.3	ソフトウェアスタンバイモード時の D/A の動作	974
30.4.4	D/A コンバータの設定について	974
31.	コンパレータ C (CMPC)	975
31.1	概要	975
31.2	レジスタの説明	978
31.2.1	コンパレータ制御レジスタ (CMPCTL)	978
31.2.2	コンパレータ入力切り替えレジスタ (CMPSEL0)	979
31.2.3	コンパレータ基準電圧選択レジスタ (CMPSEL1)	980
31.2.4	コンパレータ出力モニタレジスタ (CMPMON)	980
31.2.5	コンパレータ外部出力許可レジスタ (CMPIOC)	981
31.3	動作説明	982
31.3.1	コンパレータ動作例	982
31.3.2	ノイズフィルタ	983
31.3.3	コンパレータ割り込み	984
31.3.4	コンパレータの端子出力	984
31.3.5	コンパレータの設定手順	985
31.4	使用上の注意事項	986
31.4.1	モジュールストップ機能の設定	986
31.4.2	モジュールストップ時のコンパレータ C の動作	986
31.4.3	ソフトウェアスタンバイモード時のコンパレータ C の動作	986
31.4.4	リファレンス電圧生成専用 D/A コンバータの設定について	986
32.	データ演算回路 (DOC)	987
32.1	概要	987
32.2	レジスタの説明	988
32.2.1	DOC コントロールレジスタ (DOCR)	988
32.2.2	DOC データインプットレジスタ (DODIR)	989
32.2.3	DOC データセッティングレジスタ (DODSR)	989
32.3	動作説明	990
32.3.1	データ比較モード	990
32.3.2	データ加算モード	991
32.3.3	データ減算モード	992
32.4	割り込み要求	992
32.5	使用上の注意事項	992
32.5.1	モジュールストップ機能の設定	992
33.	RAM	993
33.1	概要	993
33.2	動作説明	993

33.2.1	消費電力低減機能	993
34.	フラッシュメモリ	994
34.1	概要	994
34.2	ROM の領域とブロックの構成	995
34.3	レジスタの説明	996
34.3.1	フラッシュ P/E モードエントリレジスタ (FENTRYR)	996
34.3.2	プロテクト解除レジスタ (FPR)	996
34.3.3	プロテクト解除ステータスレジスタ (FPSR)	997
34.3.4	フラッシュ P/E モード制御レジスタ (FPMCR)	997
34.3.5	フラッシュ初期設定レジスタ (FISR)	999
34.3.6	フラッシュリセットレジスタ (FRESETR)	1001
34.3.7	フラッシュ領域選択レジスタ (FASR)	1001
34.3.8	フラッシュ制御レジスタ (FCR)	1002
34.3.9	フラッシュエクストラ領域制御レジスタ (FEXCR)	1004
34.3.10	フラッシュ処理開始アドレスレジスタ H (FSARH)	1005
34.3.11	フラッシュ処理開始アドレスレジスタ L (FSARL)	1005
34.3.12	フラッシュ処理終了アドレスレジスタ H (FEARH)	1006
34.3.13	フラッシュ処理終了アドレスレジスタ L (FEARL)	1006
34.3.14	フラッシュライトバッファ n レジスタ (FWBn) (n = 0 ~ 3)	1007
34.3.15	フラッシュステータスレジスタ 0 (FSTATR0)	1008
34.3.16	フラッシュステータスレジスタ 1 (FSTATR1)	1010
34.3.17	フラッシュエラーアドレスモニタレジスタ H (FEAMH)	1011
34.3.18	フラッシュエラーアドレスモニタレジスタ L (FEAML)	1011
34.3.19	フラッシュスタートアップ設定モニタレジスタ (FSCMR)	1012
34.3.20	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)	1012
34.3.21	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)	1013
34.3.22	ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)	1013
34.4	スタートアッププログラム保護機能	1014
34.5	エリアプロテクション	1015
34.6	プログラム/イレーズ	1016
34.6.1	シーケンサのモード	1016
34.6.1.1	リードモード	1016
34.6.1.2	P/E モード	1016
34.6.2	モード遷移	1017
34.6.2.1	リードモードから P/E モードへの遷移	1017
34.6.2.2	P/E モードからリードモードへの遷移	1018
34.6.3	ソフトウェアコマンド一覧	1019
34.6.4	ソフトウェアコマンド使用方法	1020
34.6.4.1	プログラム	1020
34.6.4.2	ブロックイレーズ	1021

34.6.4.3	全ブロックイレーズ	1022
34.6.4.4	ブランクチェック	1023
34.6.4.5	スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム	1024
34.6.4.6	ソフトウェアコマンドの強制停止	1025
34.6.5	割り込み	1025
34.7	ブートモード	1026
34.7.1	ブートモード (SCI インタフェース)	1027
34.7.1.1	ブートモード (SCI インタフェース) の動作条件	1027
34.7.1.2	ブートモード (SCI インタフェース) の起動方法	1028
34.7.2	ブートモード (FINE インタフェース)	1029
34.7.2.1	ブートモード (FINE インタフェース) の動作条件	1029
34.8	フラッシュメモリプロテクト機能	1030
34.8.1	ID コードプロテクト	1030
34.8.1.1	ブートモード ID コードプロテクト	1031
34.8.1.2	オンチップデバギングエミュレータ ID コードプロテクト	1032
34.9	通信プロトコル	1033
34.9.1	ブートモード (SCI インタフェース) の状態遷移	1033
34.9.2	コマンドとレスポンスの構成	1034
34.9.3	未定義コマンドに対するレスポンス	1034
34.9.4	ブートモードステータス問い合わせ	1035
34.9.5	問い合わせコマンド	1036
34.9.5.1	サポートデバイス問い合わせ	1036
34.9.5.2	データ領域有無問い合わせ	1037
34.9.5.3	ユーザ領域情報問い合わせ	1037
34.9.5.4	ブロック情報問い合わせ	1037
34.9.6	設定コマンド	1039
34.9.6.1	デバイス選択	1039
34.9.6.2	動作周波数選択	1040
34.9.6.3	プログラム/イレーズホストコマンド待ちステート遷移	1041
34.9.7	ID コード認証コマンド	1042
34.9.7.1	ID コードチェック	1042
34.9.8	プログラム/イレーズコマンド	1043
34.9.8.1	ユーザ領域プログラム準備	1043
34.9.8.2	プログラム	1044
34.9.8.3	イレーズ準備	1045
34.9.8.4	ブロックイレーズ	1045
34.9.9	リードチェックコマンド	1046
34.9.9.1	メモリリード	1046
34.9.9.2	ユーザ領域チェックサム	1047
34.9.9.3	ユーザ領域ブランクチェック	1047

34.9.9.4	アクセスウィンドウ情報プログラム	1048
34.9.9.5	アクセスウィンドウリード	1049
34.10	ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明	1050
34.10.1	ビットレート自動調整の制御手順	1051
34.10.2	MCU の情報取得手順	1052
34.10.3	デバイス指定、ビットレート変更の制御手順	1053
34.10.4	プログラム / イレーズホストコマンド待ちステートへの遷移手順	1054
34.10.5	ブートモード ID コードプロテクトの解除手順	1055
34.10.6	ユーザ領域のイレーズ手順	1056
34.10.7	ユーザ領域のプログラム手順	1057
34.10.8	ユーザ領域のデータ確認手順	1058
34.10.9	ユーザ領域のアクセスウィンドウ設定手順	1059
34.11	セルフプログラミングでの書き換え	1060
34.11.1	概要	1060
34.12	使用上の注意事項	1061
34.13	使用上の注意事項 (ブートモード)	1062
35.	電气的特性	1063
35.1	絶対最大定格	1063
35.2	DC 特性	1064
35.2.1	標準 I/O 端子出力特性 (1)	1070
35.2.2	標準 I/O 端子出力特性 (2)	1073
35.2.3	標準 I/O 端子出力特性 (3)	1075
35.2.4	RIIC 端子出力特性	1078
35.3	AC 特性	1080
35.3.1	クロックタイミング	1080
35.3.2	リセットタイミング	1084
35.3.3	低消費電力状態からの復帰タイミング	1085
35.3.4	制御信号タイミング	1087
35.3.5	内蔵周辺モジュールタイミング	1088
35.4	A/D 変換特性	1099
35.5	コンパレータ特性	1103
35.6	D/A 変換特性	1104
35.7	パワーオンリセット回路、電圧検出回路特性	1105
35.8	発振停止検出タイミング	1109
35.9	ROM (コード格納用フラッシュメモリ) 特性	1110
35.10	使用上の注意事項	1112
35.10.1	VCL コンデンサ、バイパスコンデンサ接続方法	1112
付録 1.	各処理状態におけるポートの状態	1116
付録 2.	外形寸法図	1117

40MHz、32ビットRX MCU、FPU内蔵、65.6 DMIPS、
12ビットADC（3 S/H回路、ダブルデータレジスタ、コンパレータ）
40MHz PWM（三相相補2ch）

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 40MHz
65.6 DMIPS の性能（40MHz 動作時）
- DSP 強化：32ビット積和、16ビット積差命令に対応
- FPU 搭載：32ビット単精度浮動小数点（IEEE754 に準拠）
- 除算器（最速2クロックで実行）
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット（MPU）対応

■消費電力低減機能

- 2.7V～5.5V 動作の単一電源
- 3種類の低消費電力モード

■内蔵メインフラッシュメモリ（ウェイトなし）

- 128K/64K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み

■内蔵SRAM（ウェイトなし）

- 12K バイト SRAM

■ DMA

- DTC：4種類の転送モード

■リセットおよび電源電圧制御

- パワーオンリセット（POR）など7種類のリセットに対応
- 低電圧検出機能（LVD）の設定可能

■クロック機能

- メインクロック発振子周波数：1～20MHz
- 外部クロック入力周波数：～20MHz
- PLL 回路入力 4MHz～12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDTC 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路（CAC）内蔵

■独立ウォッチドッグタイマ内蔵

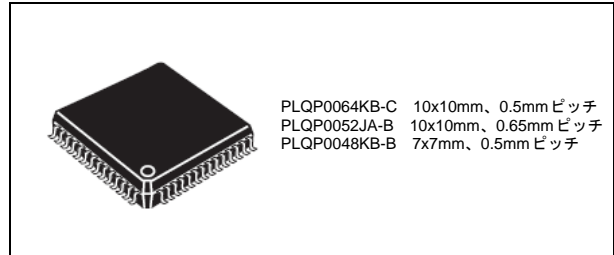
- 15kHz IWDTC 専用オンチップオシレータクロック動作

■IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数箇所から選択可能



■最大4本の通信機能を内蔵

- 多彩な機能に対応した SCI（2ch）
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- I²C バスインタフェース 最大 400k bps 転送（1ch）
- 高速通信可能な RSPI を搭載（1ch）

■最大12本の16ビット拡張タイマ機能

- 16ビット MTU3：40MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負担をかけない相補 PWM、位相計数モード（6ch）
- 8ビット TMR（4ch）
- 16ビット CMT（4ch）

■12ビットA/Dコンバータ 10ch 内蔵

- サンプル&ホールド回路内蔵 12ビット×最大3ch
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵（IEC60730 対応）
- ADC：3 サンプル / ホールド回路、ダブルデータレジスタ、コンパレータ（3ch）

■重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■最大50本のGPIO内蔵

- 5V トレラント、オープンドレイン、入力プルアップ

■動作周囲温度

- 40℃～+85℃
- 40℃～+105℃

■用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 3)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：40MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/128Kバイト 32MHz以下：ウェイトなし 32MHz～40MHz：ウェイトあり 書き換え方法：シリアルライタープログラミング (調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：12Kバイト 40MHz、ウェイトなし
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 40MHz MTU3cはPCLKA同期：Max 40MHz MTU3c以外の周辺モジュールはPCLKB同期：Max 40MHz S12ADEのADCLKはPCLKD同期：Max 40MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を2レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数 : 83 外部割り込み : 要因数 7 (NMI、IRQ0 ~ IRQ5 端子) ノンマスクابل割り込み : 要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、IWDWT 割り込み) 16 レベルの割り込み優先順位を設定可能
DMA	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード : ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因 : 割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	64ピン/52ピン/48ピン <ul style="list-style-type: none"> 入出力 : 50/40/37 入力 : 1/1/1 プルアップ抵抗 : 50/40/37 オープンドレイン出力 : 42/32/29 5Vトレラント : 2/2/2
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット 3 (MTU3c)	<ul style="list-style-type: none"> 6チャンネル (16ビットx6チャンネル) 最大16本のパルス入出力と3本のパルス入力が可能 14種類のカウントクロック (PCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/32、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD、MTIOC1A) を選択可能 (チャンネル1, 3, 4は11種類、チャンネル2は12種類、チャンネル5は10種類) 26本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 28種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 位相計数モード : 16ビットモード (チャンネル1, 2) /32ビットモード (チャンネル1, 2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウントクロック端子にデジタルフィルタあり
	ポートアウト プットイネーブル 3 (POE3b)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> (16ビットx2チャンネル) x2ユニット 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	独立ウォッチドッグ タイマ (IWDTa)	<ul style="list-style-type: none"> 14ビットx1チャンネル カウントクロック : IWDWT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> (8ビットx2チャンネル) x2ユニット 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5のポーレートクロック生成可能

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIg)	<ul style="list-style-type: none"> 2チャンネル (チャンネル1、5 : SCIg) SCIg シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5) 簡易I ² Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPIa)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 <ul style="list-style-type: none"> マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADE)		<ul style="list-style-type: none"> 12ビット (1ユニット×10チャンネル) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.0μs (ADCLK = 40MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) <ul style="list-style-type: none"> サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU、TMR) のトリガ、外部トリガ
コンパレータC (CMPC)		<ul style="list-style-type: none"> 3チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧 : 2種類から選択可能 アナログ入力電圧 : 4種類入力
コンパレータC用リファレンス電圧生成専用D/Aコンバータ (DA)		<ul style="list-style-type: none"> 1チャンネル 分解能 : 8ビット 出力電圧 : 0V~AVCC0 コンパレータC用リファレンス電圧生成専用回路
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 2.7~5.5V : 40MHz
消費電流		15mA@40MHz (typ)
動作周囲温度		Dバージョン : -40~+85°C、Gバージョン : -40~+105°C
パッケージ		64ピン LQFP 0.5mm ピッチ 52ピン LQFP 0.65mm ピッチ 48ピン LQFP 0.5mm ピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX23T		
		48ピン	52ピン	64ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ5		
DTC	データトランスファコントローラ	あり		
タイマ	マルチファンクションタイマ パルスユニット3 (注1)	6チャンネル		
	ポートアウトプットイネーブル3	POE0#、POE8#、POE10#		
	8ビットタイマ	2チャンネル×2ユニット		
	コンペマッチタイマ	2チャンネル×2ユニット		
	独立ウォッチドッグタイマ	あり		
通信機能	シリアルコミュニケーション インタフェース (SCIg) [簡易IIC, 簡易SPI]	2チャンネル (SCI1、5)		
	I ² Cバスインタフェース	1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル		
12ビットA/Dコンバータ (内 高精度チャンネル)		10チャンネル (8チャンネル)		
CRC演算器		あり		
パッケージ		48ピンLFQFP	52ピンLQFP	64ピンLFQFP

注1. マルチファンクションタイマパルスユニット3は、パッケージごとに端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。

1.2 製品一覧

表 1.3、表 1.4 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 Dバージョン ($T_a = -40 \sim 85^\circ\text{C}$)

グループ	型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5ADFL	PLQP0048KB-B	128Kバイト	12Kバイト	40MHz	-40 ~ +85°C
	R5F523T5ADFD	PLQP0052JA-B				
	R5F523T5ADFM	PLQP0064KB-C				
	R5F523T3ADFL	PLQP0048KB-B	64Kバイト			
	R5F523T3ADFD	PLQP0052JA-B				
	R5F523T3ADFM	PLQP0064KB-C				

表 1.4 製品一覧表 Gバージョン ($T_a = -40 \sim 105^\circ\text{C}$)

グループ	型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5AGFL	PLQP0048KB-B	128Kバイト	12Kバイト	40MHz	-40 ~ +105°C
	R5F523T5AGFD	PLQP0052JA-B				
	R5F523T5AGFM	PLQP0064KB-C				
	R5F523T3AGFL	PLQP0048KB-B	64Kバイト			
	R5F523T3AGFD	PLQP0052JA-B				
	R5F523T3AGFM	PLQP0064KB-C				

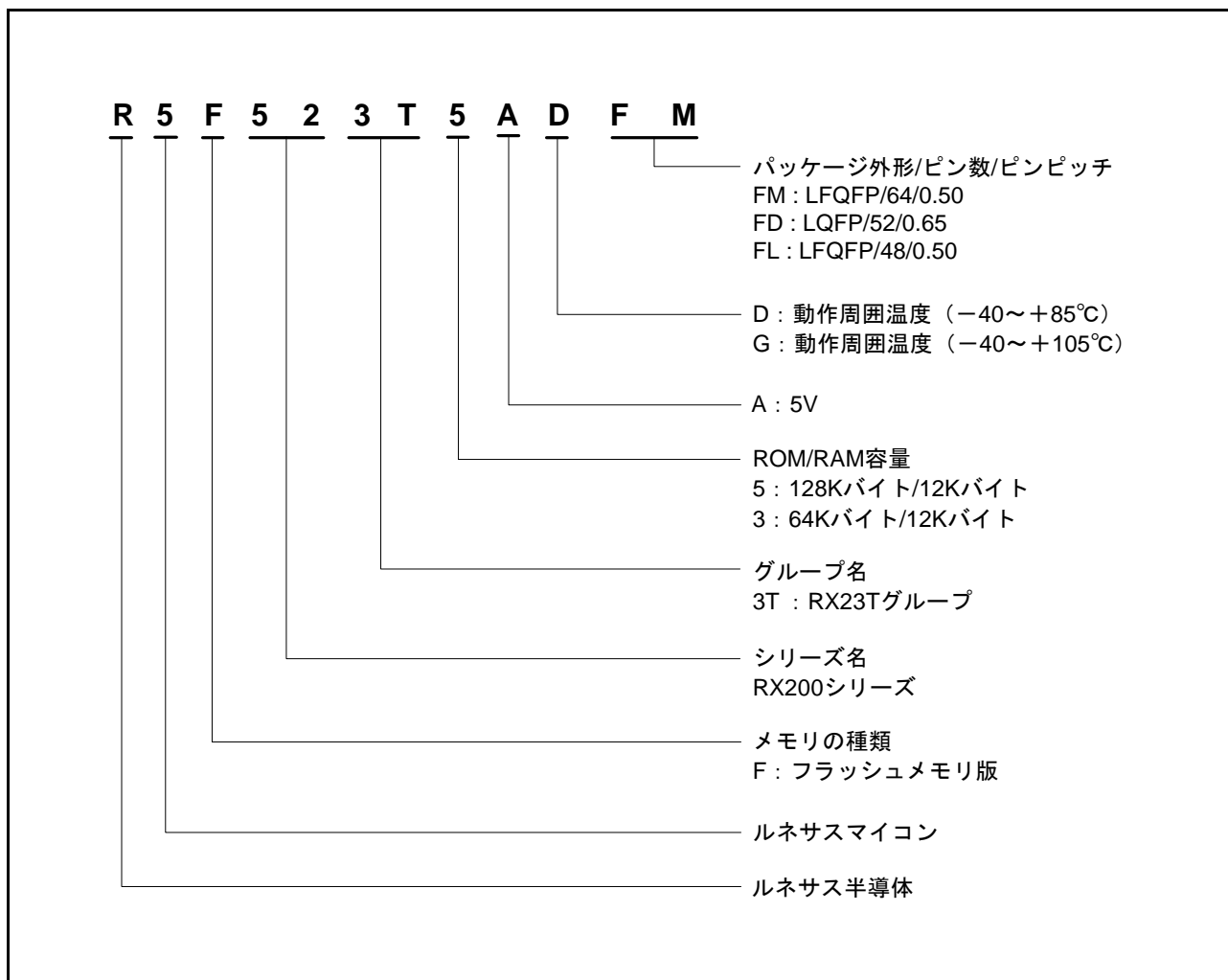


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

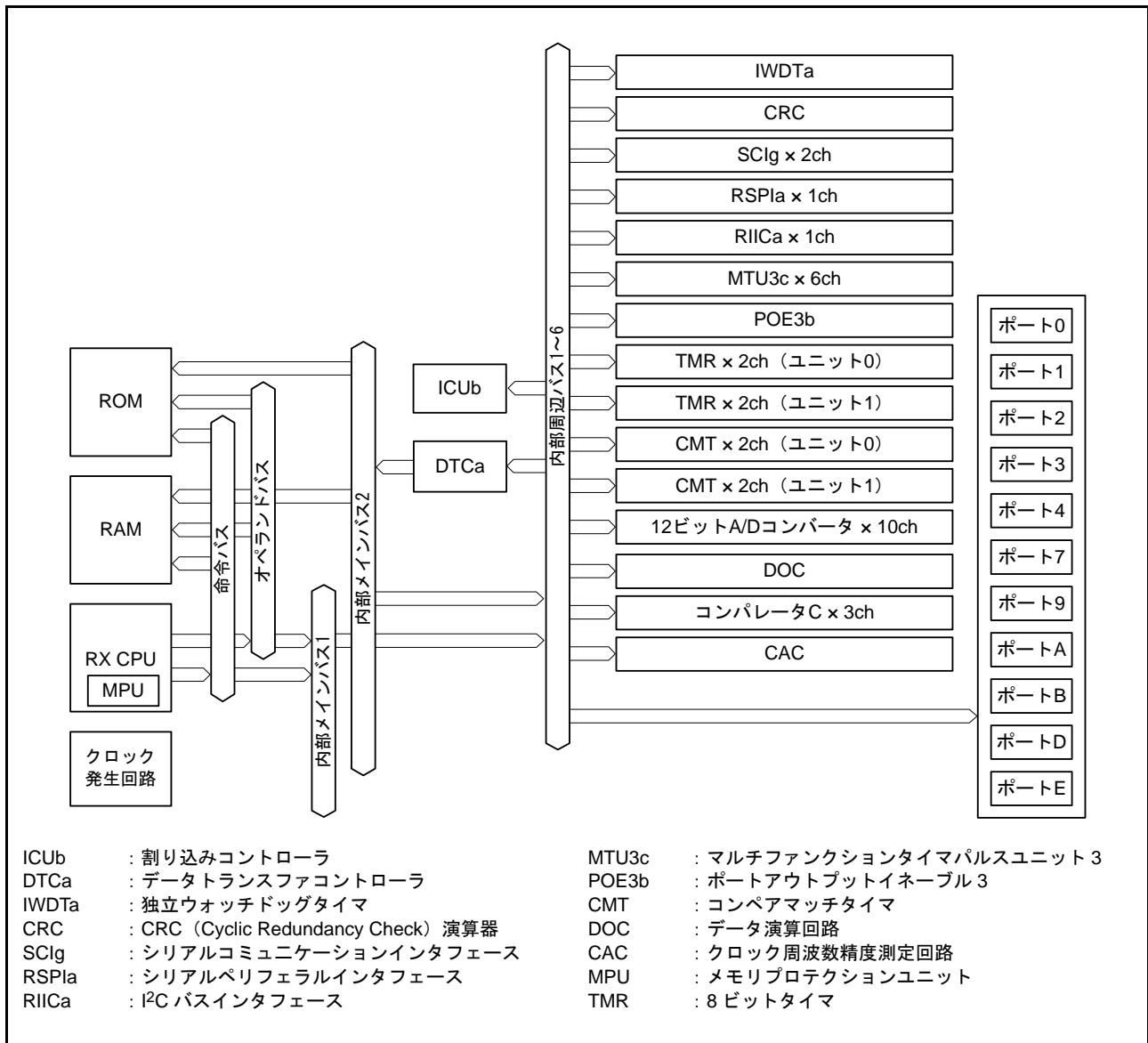


図 1.2 ブロック図

1.4 端子機能

表 1.5 に端子機能一覧を示します。

表 1.5 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0~IRQ5	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A、MTIOC0B、 MTIOC0C、MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B、 MTIOC3C、MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
	ADSM0	出力	A/Dトリガ出力端子
ポートアウトプット イネーブル3	POE0#、POE8#、 POE10#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMC10~TMC13	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子

表 1.5 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5	入出力	クロック入出力端子
	RXD1、RXD5	入力	受信データ入力端子
	TXD1、TXD5	出力	送信データ出力端子
	CTS1#、CTS5#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1、SSCL5	入出力	I ² Cクロック入出力端子
	SSDA1、SSDA5	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1、SCK5	入出力	クロック入出力端子
	SMISO1、SMISO5	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5	入出力	マスタ送出データ入出力端子
SS1#、SS5#	入力	チップセレクト入力端子	
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN007、 AN016、AN017	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0	出力	A/D変換中を示すステータス出力端子
コンパレータC	CMPC00、CMPC01、 CMPC02	入力	CMPC0用アナログ入力端子
	CMPC10、CMPC11、 CMPC12	入力	CMPC1用アナログ入力端子
	CMPC20、CMPC21、 CMPC22	入力	CMPC2用アナログ入力端子
	COMP0～COMP2	出力	コンパレータ検出結果出力端子
	CVREFC0、CVREFC1	入力	コンパレータC用のリファレンス電圧端子
アナログ電源	AVCC0	入力	12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータのアナログ電源端子。12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータのアナロググランド端子。12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子

表 1.5 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
I/Oポート	P00～P02	入出力	3ビットの入出力端子
	P10、P11	入出力	2ビットの入出力端子
	P22～P24	入出力	3ビットの入出力端子
	P30～P33、P36、P37	入出力	6ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P70～P76	入出力	7ビットの入出力端子
	P91～P94	入出力	4ビットの入出力端子
	PA2～PA5	入出力	4ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PD3～PD7	入出力	5ビットの入出力端子
	PE2	入力	1ビットの入力端子

1.5 ピン配置図

図 1.3 ~ 図 1.5 にピン配置図を示します。また、表 1.6 ~ 表 1.8 に機能別端子一覧を示します。

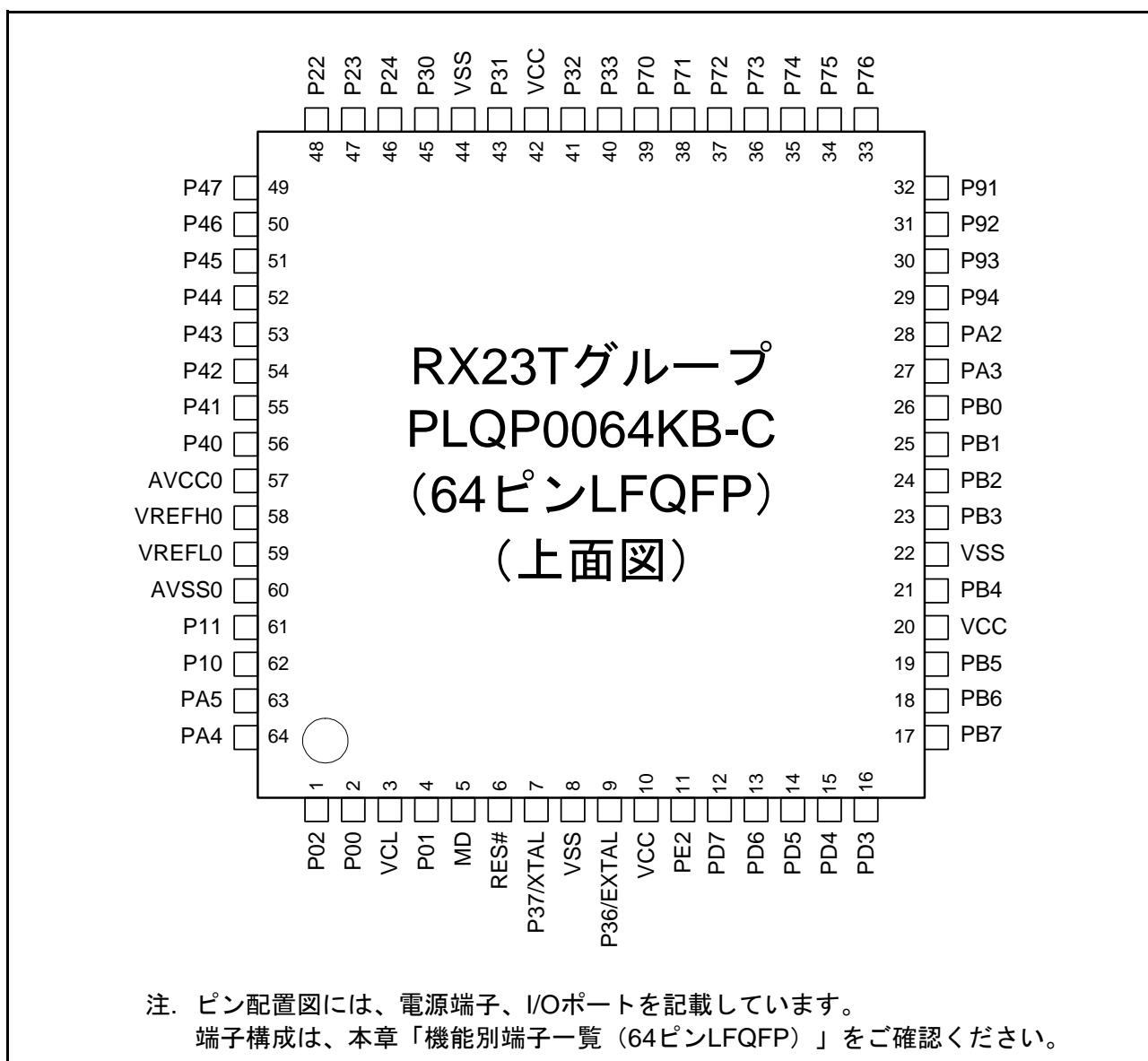


図 1.3 64ピンLQFPピン配置図

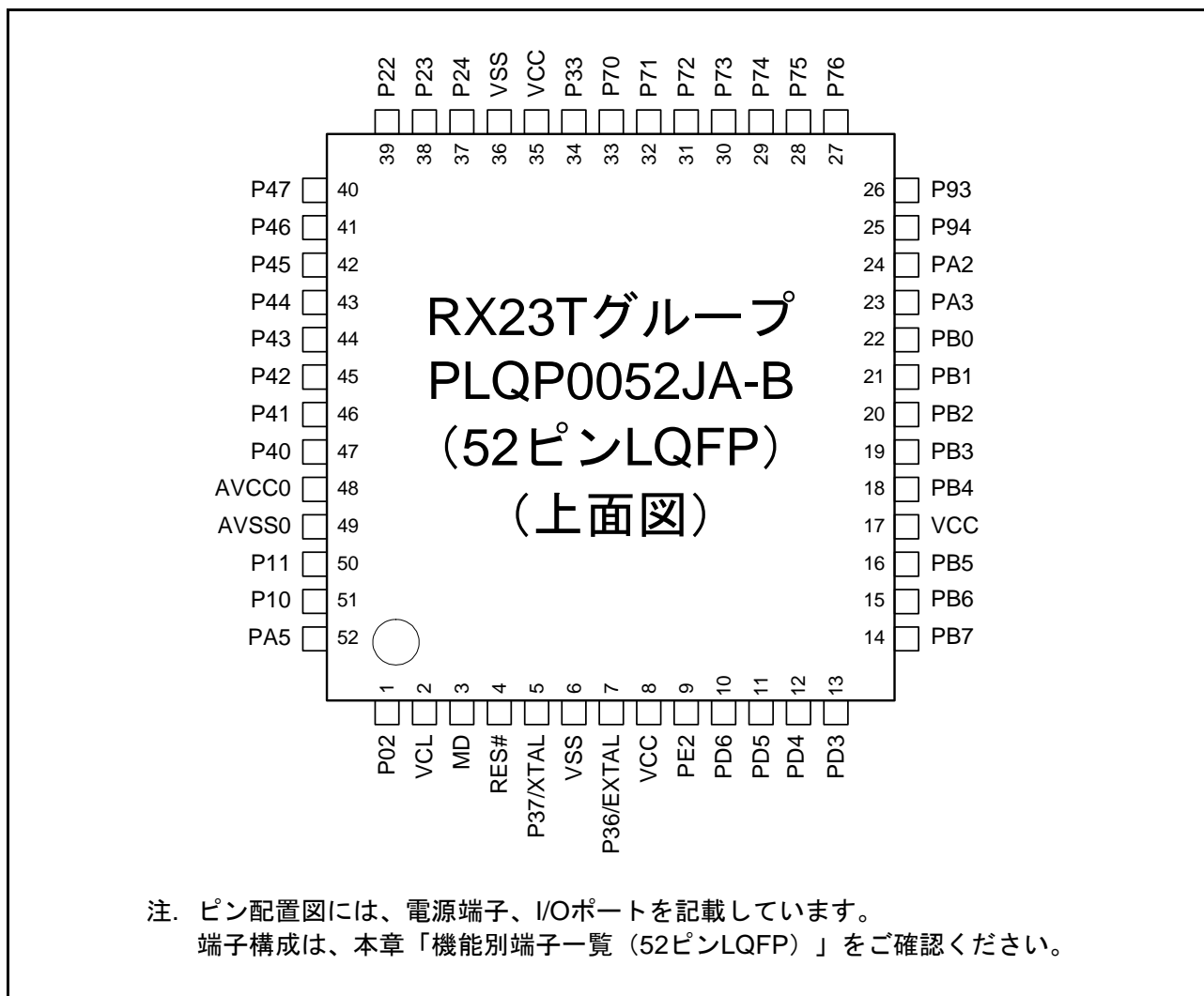


図 1.4 52 ピン LQFP ピン配置図

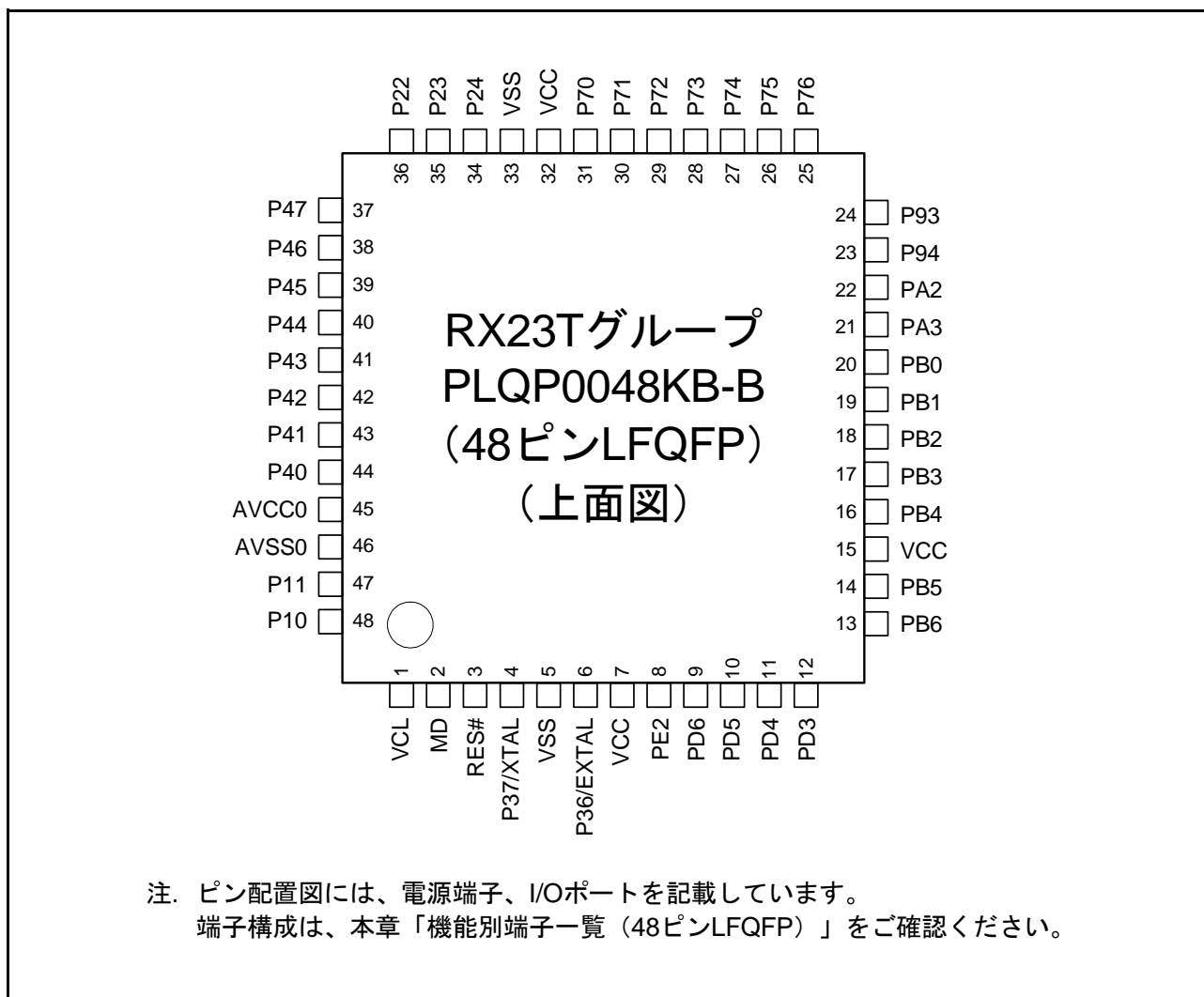


図 1.5 48ピンLQFPピン配置図

表 1.6 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
1		P02		CTS1#/RTS1#/SS1#	ADST0/IRQ5
2		P00			IRQ2
3	VCL				
4		P01	CACREF		IRQ4
5	MD				FINED
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		PE2	POE10#		NMI
12		PD7	TMR1	SSLA1	
13		PD6	TMO1	SSLA0/CTS1#/RTS1#/SS1#	ADST0/IRQ5
14		PD5	TMR10	RXD1/SMISO1/SSCL1	IRQ3
15		PD4	TMC10	SCK1	IRQ2
16		PD3	TMO0	TXD1/SMOSI1/SSDA1	
17		PB7		SCK5	
18		PB6		RXD5/SMISO5/SSCL5	IRQ5
19		PB5		TXD5/SMOSI5/SSDA5	
20	VCC				
21		PB4	POE8#		IRQ3
22	VSS				
23		PB3	MTIOC0A/CACREF	SCK5/RSPCKA	
24		PB2	MTIOC0B/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
25		PB1	MTIOC0C	RXD5/SMISO5/SSCL5/SCL0	IRQ2
26		PB0	MTIOC0D	MOSIA	
27		PA3	MTIOC2A	SSLA0	
28		PA2	MTIOC2B	CTS5#/RTS5#/SS5#/SSLA1	IRQ4
29		P94	MTIOC0C/TMO1	MISOA	IRQ1
30		P93	MTIOC0B/TMR1	SCK5/RSPCKA	IRQ0
31		P92	TMC1	SSLA2	
32		P91		SSLA3	
33		P76	MTIOC4D		
34		P75	MTIOC4C		
35		P74	MTIOC3D		
36		P73	MTIOC4B		
37		P72	MTIOC4A		
38		P71	MTIOC3B		
39		P70	POE0#		IRQ5
40		P33	MTIOC3A/MTCLKA	SSLA3	
41		P32	MTIOC3C/MTCLKB	SSLA2	
42	VCC				
43		P31	MTIOC0A/MTCLKC	SSLA1	
44	VSS				
45		P30	MTIOC0B/MTCLKD	SSLA0	
46		P24	MTIC5U/TMC12	RSPCKA	COMP0/IRQ3
47		P23	MTIC5V/CACREF/TMO2	MOSIA	COMP1/IRQ4
48		P22	MTIC5W/TMR12	MISOA	COMP2/IRQ2

表 1.6 機能別端子一覧 (64ピンLFQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
49		P47			AN007/CMPC12/ CMPC22
50		P46			AN006/CMPC02
51		P45			AN005/CMPC21
52		P44			AN004/CMPC11
53		P43			AN003/CMPC01
54		P42			AN002/CMPC20
55		P41			AN001/CMPC10
56		P40			AN000/CMPC00
57	AVCC0				
58	VREFH0				
59	VREFL0				
60	AVSS0				
61		P11	MTIOC3A/MTCLKC/TMO3		IRQ1/AN016/ CVREFC0
62		P10	MTCLKD/TMR13		IRQ0/AN017/ CVREFC1
63		PA5	MTIOC1A/TMCI3	MISOA	
64		PA4	MTIOC1B	RSPCKA	ADTRG0#

表 1.7 機能別端子一覧 (52ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SCIg、RSPI、RIIC)	その他
1		P02		CTS1#/RTS1#/SS1#	ADST0/IRQ5
2	VCL				
3	MD				FINED
4	RES#				
5	XTAL	P37			
6	VSS				
7	EXTAL	P36			
8	VCC				
9		PE2	POE10#		NMI
10		PD6	TMO1	SSLA0/CTS1#/RTS1#/SS1#	ADST0/IRQ5
11		PD5	TMRI0	RXD1/SMISO1/SSCL1	IRQ3
12		PD4	TMCIO	SCK1	IRQ2
13		PD3	TMO0	TXD1/SMOSI1/SSDA1	
14		PB7		SCK5	
15		PB6		RXD5/SMISO5/SSCL5	IRQ5
16		PB5		TXD5/SMOSI5/SSDA5	
17	VCC				
18		PB4	POE8#		IRQ3
19		PB3	MTIOC0A/CACREF	SCK5/RSPCKA	
20		PB2	MTIOC0B/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
21		PB1	MTIOC0C	RXD5/SMISO5/SSCL5/SCL0	IRQ2
22		PB0	MTIOC0D	MOSIA	
23		PA3	MTIOC2A	SSLA0	
24		PA2	MTIOC2B	CTS5#/RTS5#/SS5#/SSLA1	IRQ4
25		P94	MTIOC0C/TMO1	MISOA	IRQ1
26		P93	MTIOC0B/TMRI1	SCK5/RSPCKA	IRQ0
27		P76	MTIOC4D		
28		P75	MTIOC4C		
29		P74	MTIOC3D		
30		P73	MTIOC4B		
31		P72	MTIOC4A		
32		P71	MTIOC3B		
33		P70	POE0#		IRQ5
34		P33	MTIOC3A/MTCLKA	SSLA3	
35	VCC				
36	VSS				
37		P24	MTIC5U/TMCi2	RSPCKA	COMP0/IRQ3
38		P23	MTIC5V/CACREF/TMO2	MOSIA	COMP1/IRQ4
39		P22	MTIC5W/TMRI2	MISOA	COMP2/IRQ2
40		P47			AN007/CMPC12/ CMPC22
41		P46			AN006/CMPC02
42		P45			AN005/CMPC21
43		P44			AN004/CMPC11
44		P43			AN003/CMPC01
45		P42			AN002/CMPC20
46		P41			AN001/CMPC10
47		P40			AN000/CMPC00
48	AVCC0				

表 1.7 機能別端子一覧 (52ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
49	AVSS0				
50		P11	MTIOC3A/MTCLKC/TMO3		IRQ1/AN016/ CVREFC0
51		P10	MTCLKD/TMRI3		IRQ0/AN017/ CVREFC1
52		PA5	MTIOC1A/TMCI3	MISOA	

表 1.8 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		PE2	POE10#		NMI
9		PD6	TMO1	SSLA0/CTS1#/RTS1#/SS1#	ADST0/IRQ5
10		PD5	TMRI0	RXD1/SMISO1/SSCL1	IRQ3
11		PD4	TMCIO	SCK1	IRQ2
12		PD3	TMO0	TXD1/SMOSI1/SSDA1	
13		PB6		RXD5/SMISO5/SSCL5	IRQ5
14		PB5		TXD5/SMOSI5/SSDA5	
15	VCC				
16		PB4	POE8#		IRQ3
17		PB3	MTIOC0A/CACREF	SCK5/RSPCKA	
18		PB2	MTIOC0B/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
19		PB1	MTIOC0C	RXD5/SMISO5/SSCL5/SCL0	IRQ2
20		PB0	MTIOC0D	MOSIA	
21		PA3	MTIOC2A	SSLA0	
22		PA2	MTIOC2B	CTS5#/RTS5#/SS5#/SSLA1	IRQ4
23		P94	MTIOC0C/TMO1	MISOA	IRQ1
24		P93	MTIOC0B/TMRI1	SCK5/RSPCKA	IRQ0
25		P76	MTIOC4D		
26		P75	MTIOC4C		
27		P74	MTIOC3D		
28		P73	MTIOC4B		
29		P72	MTIOC4A		
30		P71	MTIOC3B		
31		P70	POE0#		IRQ5
32	VCC				
33	VSS				
34		P24	MTIC5U/TMC12	RSPCKA	COMP0/IRQ3
35		P23	MTIC5V/CACREF/TMO2	MOSIA	COMP1/IRQ4
36		P22	MTIC5W/TMRI2	MISOA	COMP2/IRQ2
37		P47			AN007/CMPC12/ CMPC22
38		P46			AN006/CMPC02
39		P45			AN005/CMPC21
40		P44			AN004/CMPC11
41		P43			AN003/CMPC01
42		P42			AN002/CMPC20
43		P41			AN001/CMPC10
44		P40			AN000/CMPC00
45	AVCC0				
46	AVSS0				
47		P11	MTIOC3A/MTCLKC/TMO3		IRQ1/AN016/ CVREFC0

表 1.8 機能別端子一覧 (48ピンLFQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
48		P10	MTCLKD/TMR13		IRQ0/AN017/ CVREFC1

2. CPU

RXv2 命令セットアーキテクチャ (RXv2) は、RXv1 命令セットアーキテクチャ (RXv1) と上位互換性のある命令セットアーキテクチャです。

- 可変長命令方式の採用
RXv1 と同様に、可変長命令形式の採用により、使用頻度の高い命令をより短い命令長に割り付けていますので、コード効率の良いプログラムを開発できます。
- 強力な命令セット
RXv2 は厳選された 109 個の命令をサポートしています。DSP 機能命令や浮動小数点演算命令の拡充により、DSP に匹敵するデータ処理能力を発揮します。
- 豊富なアドレッシングモード
11 種類の豊富なアドレッシングモードを持ち、レジスタ-レジスタ間、レジスタ-メモリ間の演算や、ビットを対象とする演算ができます。また、メモリ-メモリ間の転送ができます。

2.1 特長

- 最短命令実行時間：1 サイクルで実行
- アドレス空間：4G バイト・リニアアドレス
- CPU レジスタセット
汎用レジスタ：32 ビット×16 本
制御レジスタ：32 ビット×10 本
アキュムレータ：72 ビット×2 本
- 可変長命令形式 (1 バイト長～8 バイト長)
- 109 命令 / 11 種類アドレッシングモード
基本命令：75 種類
浮動小数点演算命令：11 種類
DSP 機能命令：23 種類
- プロセッサモード
スーパバイザモード、ユーザモード
- ベクタテーブル
例外ベクタテーブル、割り込みベクタテーブル
- メモリプロテクションユニット
- データ配置
リトルエンディアン / ビッグエンディアン選択可能

2.2 CPU レジスタセット

RXv2 CPU のレジスタには、汎用レジスタ（16本）と、制御レジスタ（10本）、および DSP 機能命令で使用するアキュムレータ（2本）があります。

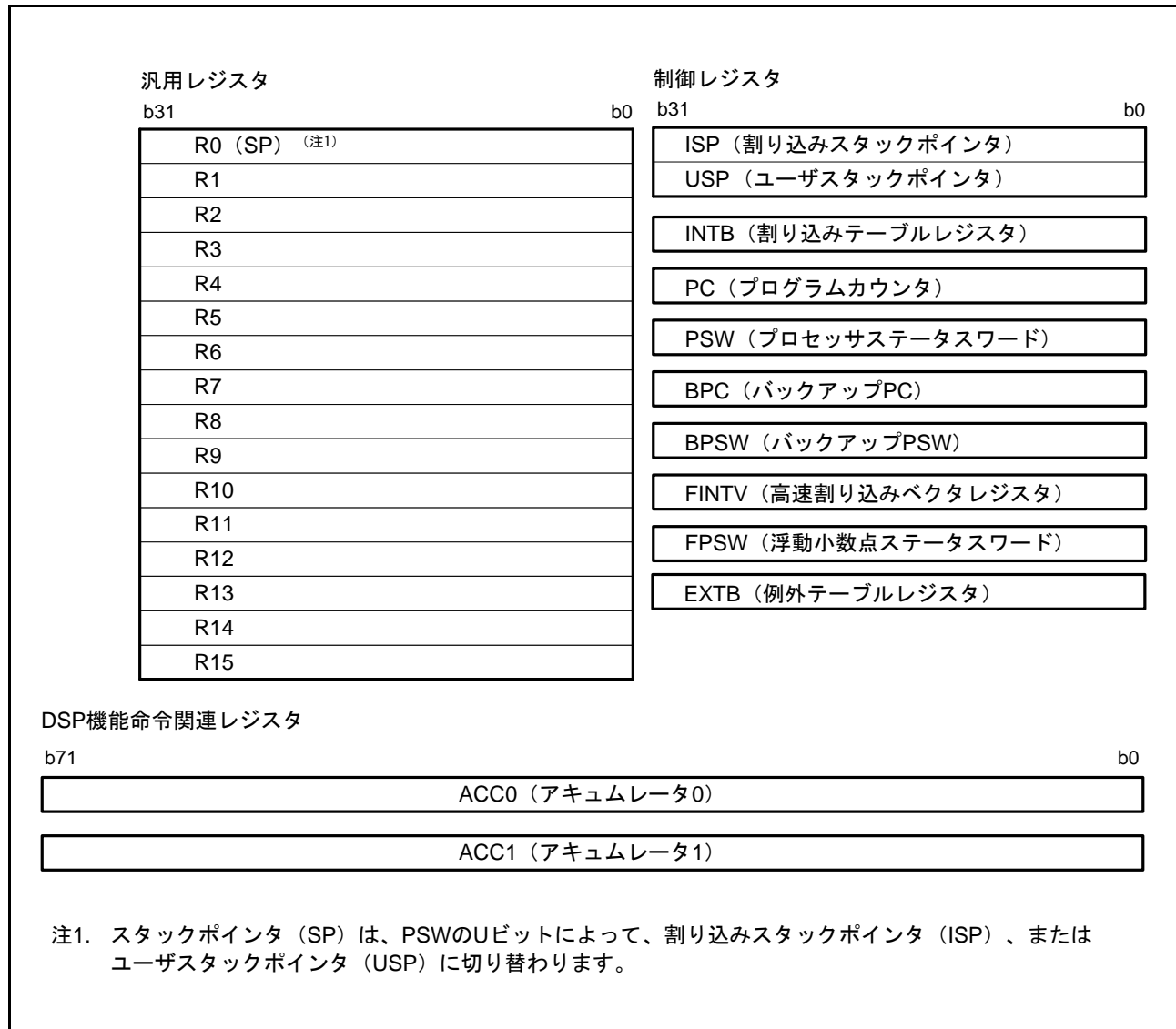


図 2.1 CPU レジスタセット

2.2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

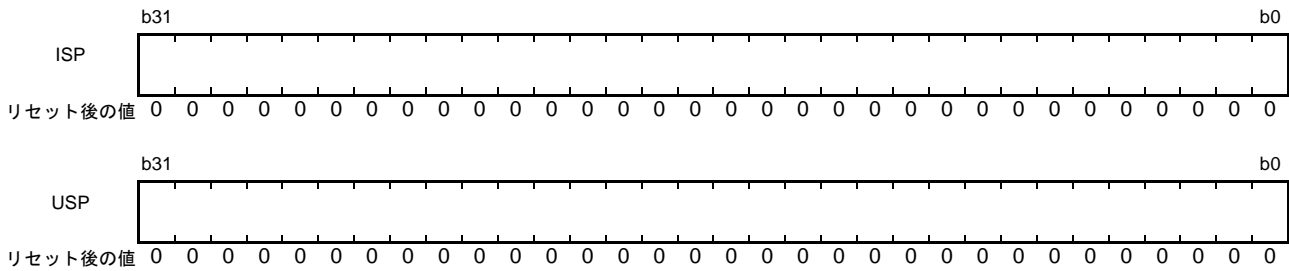
汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2.2 制御レジスタ

制御レジスタには、以下の10本のレジスタがあります。

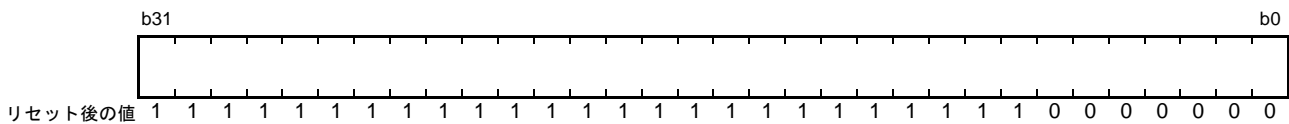
- 割り込みスタックポインタ (ISP)
- ユーザスタックポインタ (USP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- プログラムカウンタ (PC)
- プロセッサステータスワード (PSW)
- バックアップ PC (BPC)
- バックアップ PSW (BPSW)
- 高速割り込みベクタレジスタ (FINTV)
- 浮動小数点ステータスワード (FPSW)

2.2.2.1 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)



スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

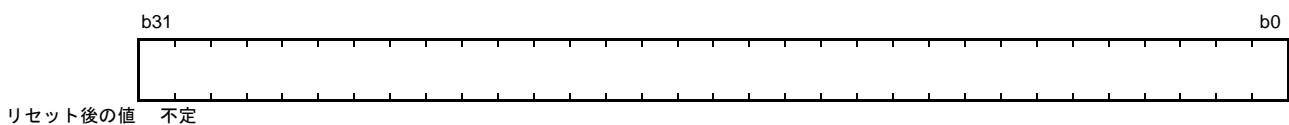
2.2.2.2 例外テーブルレジスタ (EXTB)



例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTBに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

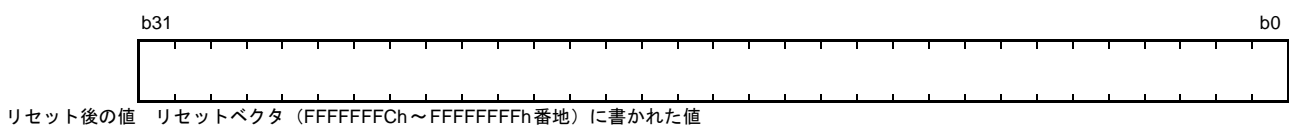
2.2.2.3 割り込みテーブルレジスタ (INTB)



割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

INTBに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

2.2.2.4 プログラムカウンタ (PC)



プログラムカウンタ (PC) は、実行中の命令の番地を示します。

2.2.2.5 プロセッサステータスワード (PSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	IPL[3:0]				—	—	—	PM	—	—	U	I
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	O	S	Z	C
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C	キャリフラグ	0: キャリの発生なし 1: キャリの発生あり	R/W
b1	Z	ゼロフラグ	0: 演算結果は0でなかった 1: 演算結果は0であった	R/W
b2	S	サインフラグ	0: 演算結果は正または0であった 1: 演算結果は負であった	R/W
b3	O	オーバフローフラグ	0: オーバフローの発生なし 1: オーバフローの発生あり	R/W
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b16	I (注1)	割り込み許可ビット	0: 割り込み禁止 1: 割り込み許可	R/W
b17	U (注1)	スタックポインタ指定ビット	0: 割り込みスタックポインタ (ISP) を指定 1: ユーザスタックポインタ (USP) を指定	R/W
b19-b18	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b20	PM (注1、注2、注3)	プロセッサモード設定ビット	0: スーパーバイザモードに設定 1: ユーザモードに設定	R/W
b23-b21	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	IPL[3:0] (注1)	プロセッサ割り込み優先レベル	b27 b24 0 0 0 0: 優先レベル0 (最低) 0 0 0 1: 優先レベル1 0 0 1 0: 優先レベル2 0 0 1 1: 優先レベル3 0 1 0 0: 優先レベル4 0 1 0 1: 優先レベル5 0 1 1 0: 優先レベル6 0 1 1 1: 優先レベル7 1 0 0 0: 優先レベル8 1 0 0 1: 優先レベル9 1 0 1 0: 優先レベル10 1 0 1 1: 優先レベル11 1 1 0 0: 優先レベル12 1 1 0 1: 優先レベル13 1 1 1 0: 優先レベル14 1 1 1 1: 優先レベル15 (最高)	R/W
b31-b28	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ユーザモードのときは、MVTC、POPC命令によるIPL[3:0]、PM、U、Iビットへの書き込みは無視されます。

また、MVTIPL命令でIPL[3:0]ビットへの書き込みを行った場合は、特権命令例外が発生します。

注2. スーパーバイザモードのときは、MVTC、POPC命令によるPMビットへの書き込みは無視されます。それ以外のビットへの書き込みはできます。

注3. スーパーバイザモードからユーザモードに切り替える場合は、スタックに退避されたPSW.PMビットを“1”にした後、RTE命令を実行するか、BPSW.PMビットを“1”にした後、RTFI命令を実行してください。

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

C フラグ (キャリフラグ)

キャリー、ボロー、シフトアウトしたビット等を保持します。

Z フラグ (ゼロフラグ)

演算の結果が0 のとき “1” になり、それ以外るとき “0” になります。

S フラグ (サインフラグ)

演算の結果が負のとき “1” になり、それ以外るとき “0” になります。

O フラグ (オーバフローフラグ)

演算の結果がオーバフローしたとき “1” になり、それ以外るとき “0” になります。

I ビット (割り込み許可ビット)

割り込み要求の受け付けを許可するビットです。例外を受け付けると、このビットは “0” になります。

U ビット (スタックポインタ指定ビット)

使用するスタックポインタ (ISP/USP) を指定するビットです。例外を受け付けると、このビットは “0” になります。スーパーバイザモードからユーザモードに移行すると、このビットは “1” になります。

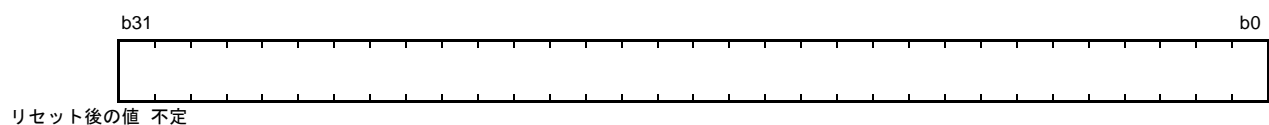
PM ビット (プロセッサモード設定ビット)

プロセッサモードを設定するビットです。例外を受け付けると、このビットは “0” になります。

IPL[3:0] ビット (プロセッサ割り込み優先レベル)

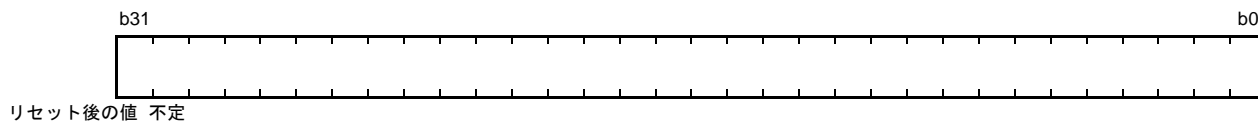
IPL[3:0] ビットは、優先レベル 0 (最低) ~ 優先レベル 15 (最高) までの 16 段階のプロセッサ割り込み優先レベルを指定します。要求があった割り込みの優先レベルが、プロセッサ割り込み優先レベルより高い場合、その割り込みが許可されます。IPL[3:0] ビットをレベル 15 (Fh) に設定したとき、すべての割り込みが禁止されます。IPL[3:0] ビットは、ノンマスクابل割り込みが発生したとき、レベル 15 (Fh) になります。割り込みが発生したとき、受け付けた割り込みの優先レベルになります。

2.2.2.6 バックアップ PC (BPC)



バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

2.2.2.7 バックアップ PSW (BPSW)

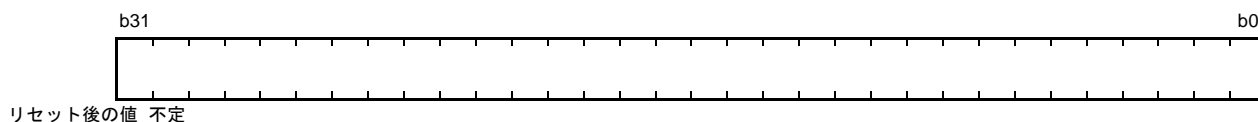


バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。

BPSW のビットの割り当ては、PSW に対応しています。

2.2.2.8 高速割り込みベクタレジスタ (FINTV)



高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込み発生時の分岐先番地を設定してください。

2.2.2.9 浮動小数点ステータスワード (FPSW)

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	FS	FX	FU	FZ	FO	FV	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	EX	EU	EZ	EO	EV	—	DN	CE	CX	CU	CZ	CO	CV	RM[1:0]	
リセット後の値	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	RM[1:0]	浮動小数点丸めモード設定ビット	b1 b0 0 0 : 最近値への丸め 0 1 : 0方向への丸め 1 0 : +∞方向への丸め 1 1 : -∞方向への丸め	R/W
b2	CV	無効演算要因フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり	R/(W) (注1)
b3	CO	オーバフロー要因フラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり	R/(W) (注1)
b4	CZ	ゼロ除算要因フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり	R/(W) (注1)
b5	CU	アンダフロー要因フラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり	R/(W) (注1)
b6	CX	精度異常要因フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり	R/(W) (注1)
b7	CE	非実装処理要因フラグ	0 : 非実装処理の発生なし 1 : 非実装処理の発生あり	R/(W) (注1)
b8	DN	非正規化数の0フラッシュビット	0 : 非正規化数を非正規化数として扱う 1 : 非正規化数を0として扱う (注2)	R/W
b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	EV	無効演算例外処理許可ビット	0 : 無効演算発生による例外処理を禁止 1 : 無効演算発生による例外処理を許可	R/W
b11	EO	オーバフロー例外処理許可ビット	0 : オーバフロー発生による例外処理を禁止 1 : オーバフロー発生による例外処理を許可	R/W
b12	EZ	ゼロ除算例外処理許可ビット	0 : ゼロ除算発生による例外処理を禁止 1 : ゼロ除算発生による例外処理を許可	R/W
b13	EU	アンダフロー例外処理許可ビット	0 : アンダフロー発生による例外処理を禁止 1 : アンダフロー発生による例外処理を許可	R/W
b14	EX	精度異常例外処理許可ビット	0 : 精度異常発生による例外処理を禁止 1 : 精度異常発生による例外処理を許可	R/W
b25-b15	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b26	FV (注3)	無効演算フラグ	0 : 無効演算の発生なし 1 : 無効演算の発生あり (注8)	R/W
b27	FO (注4)	オーバフローフラグ	0 : オーバフローの発生なし 1 : オーバフローの発生あり (注8)	R/W
b28	FZ (注5)	ゼロ除算フラグ	0 : ゼロ除算の発生なし 1 : ゼロ除算の発生あり (注8)	R/W
b29	FU (注6)	アンダフローフラグ	0 : アンダフローの発生なし 1 : アンダフローの発生あり (注8)	R/W
b30	FX (注7)	精度異常フラグ	0 : 精度異常の発生なし 1 : 精度異常の発生あり (注8)	R/W

ビット	シンボル	ビット名	機能	R/W
b31	FS	浮動小数点エラーサマリフラグ	FU, FZ, FO, FVフラグの論理和を反映	R

- 注1. “0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。
 注2. 正の非正規化数は+0, 負の非正規化数は-0として扱います。
 注3. EVビットが“0”のときに、FVフラグは有効となります。
 注4. EOビットが“0”のときに、FOフラグは有効となります。
 注5. EZビットが“0”のときに、FZフラグは有効となります。
 注6. EUビットが“0”のときに、FUフラグは有効となります。
 注7. EXビットが“0”のときに、FXフラグは有効となります。
 注8. 当該ビットが一度“1”になると、ソフトウェアで“0”にするまで“1”を保持します。

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の要因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。 F_j フラグは蓄積フラグです。(j = X, U, Z, O, V)

RM[1:0] ビット (浮動小数点丸めモード設定ビット)

浮動小数点丸めモードを設定します。

【浮動小数点丸めモードの説明】

- 最近値への丸め (デフォルト) : 無限の有効桁を持つとして計算した場合の結果と近い方の値へ丸める
中間時は結果が偶数になる方向へ丸める
- 0方向への丸め : 結果の絶対値が小さくなる方向へ丸める (単純な切り捨て)
- $+\infty$ 方向への丸め : 結果の値が大きくなる方向へ丸める
- $-\infty$ 方向への丸め : 結果の値が小さくなる方向へ丸める

(1) 「最近値への丸め」はデフォルトのモードであり、最も正確な値を返します。

(2) 「0方向への丸め」、「 $+\infty$ 方向への丸め」、「 $-\infty$ 方向への丸め」は、区間演算 (Interval arithmetic) を使用した精度保証を行うときに使用します。

CV フラグ (無効演算要因フラグ)、CO フラグ (オーバフロー要因フラグ)

CZ フラグ (ゼロ除算要因フラグ)、CU フラグ (アンダフロー要因フラグ)

CX フラグ (精度異常要因フラグ)、CE フラグ (非実装処理要因フラグ)

IEEE754 規格で規定された5つの例外 (オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算) の他、非実装処理が発生した場合に該当するフラグが“1”になります。

- “1”の場合、FPU 演算命令実行時に“0”になります。
- MVTC, POPC 命令で“0”を書いた場合、“0”になります。“1”を書いた場合、前の値を保持します。

DN ビット (非正規化数の0フラッシュビット)

“0”のとき非正規化数を非正規化数として扱います。“1”のとき非正規化数を“0”として扱います。

EV ビット (無効演算例外処理許可ビット)、EO ビット (オーバフロー例外処理許可ビット)

EZ ビット (ゼロ除算例外処理許可ビット)、EU ビット (アンダフロー例外処理許可ビット)

EX ビット (精度異常例外処理許可ビット)

浮動小数点演算命令実行により、IEEE754 規格で規定された5つの例外が発生したときに、CPU が例外処理に移行するかどうかを制御します。

“0”の場合、例外処理は禁止されます。“1”の場合、例外処理が許可されます。

FV フラグ（無効演算フラグ）、FO フラグ（オーバフローフラグ）、FZ フラグ（ゼロ除算フラグ） FU フラグ（アンダフローフラグ）、FX フラグ（精度異常フラグ）

例外処理許可ビット E_j が“0”（例外処理を禁止）の場合、IEEE754 規格で規定された 5 つの例外が発生すると、該当するフラグが“1”になります。

- $E_j = 1$ （例外処理を許可）のときは、このフラグは変化しません。
- 当該フラグが“1”になると、ソフトウェアで“0”にするまで“1”を保持します。（蓄積フラグ）

FS フラグ（浮動小数点エラーサマリフラグ）

FU, FZ, FO, FV フラグの論理和を反映します。

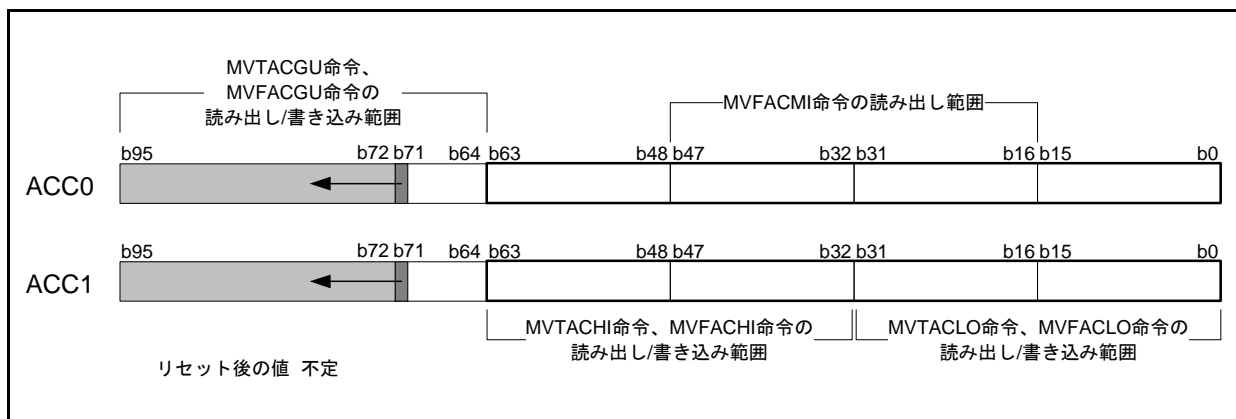
2.2.3 アキュムレータ

アキュムレータ（ACC0、ACC1）は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの b95 ~ b72 の扱いは、読み出し時に b71 の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令（EMUL、EMULU、FMUL、MUL）、積和演算命令（RMPA）でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は（b95 ~ b64）に、「MVTACHI 命令」は上位側 32 ビット（b63 ~ b32）に、「MVTACLO 命令」は下位側 32 ビット（b31 ~ b0）にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット（b95 ~ b64）、「MVFACHI 命令」で上位側 32 ビット（b63 ~ b32）、「MVFACMI 命令」で中央の 32 ビット（b47 ~ b16）、「MVFACLO 命令」で下位側 32 ビット（b31 ~ b0）のデータをそれぞれ読み出します。



注． b95 ~ b72 は、b71 の値を符号拡張した値が読み出されます。この部分への書き込みは無視されます。

2.3 プロセッサモード

RXv2 CPUには、スーパーバイザモード、およびユーザモードの2つのプロセッサモードがあります。これらのプロセッサモードとメモリプロテクション機能を使用して、CPU リソースやメモリに対する階層的な保護機構を実現することができます。各プロセッサモードには、メモリアクセスや実行可能な命令に対する権限を規定しており、スーパーバイザモードはユーザモードより高い権限を持っています。リセット後は、スーパーバイザモードで動作します。

2.3.1 スーパーバイザモード

スーパーバイザモードでは、すべてのCPU リソースにアクセスすることができ、また、すべての命令を実行することができます。ただし、MVTC、POPC 命令によるプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) への書き込みは無視されます。PM ビットへの書き込み方法については、「2.2.2.5 プロセッサステータスワード (PSW)」を参照してください。

2.3.2 ユーザモード

ユーザモードでは、一部のCPU リソースへのライトアクセスが制限されます。ライトアクセスが制限されるCPU リソースは以下のとおりです。この制限はすべての命令からのアクセスが対象になります。

- プロセッサステータスワード (PSW) の一部のビット (IPL[3:0]、PM, U, I)
- 割り込みスタックポインタ (ISP)
- 例外テーブルレジスタ (EXTB)
- 割り込みテーブルレジスタ (INTB)
- バックアップ PSW (BPSW)
- バックアップ PC (BPC)
- 高速割り込みベクタレジスタ (FINTV)

2.3.3 特権命令

特権命令は、スーパーバイザモードでのみ実行可能な命令です。ユーザモードで特権命令を実行すると、特権命令例外が発生します。特権命令には、RTFI, MVTIPL, RTE, WAIT 命令があります。

2.3.4 プロセッサモード間の移行

プロセッサモードは、プロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) によって切り替えられます。ただし、MVTC, POPC 命令による PM ビットの書き換えは無効です。以下に示す方法で切り替えてください。

(1) ユーザモードからスーパーバイザモードへの移行

例外が発生すると PSW.PM ビットが“0”になり、CPU はスーパーバイザモードへ移行します。ハードウェア前処理は、スーパーバイザモードで実行されます。例外が発生する直前のプロセッサモードは、退避された PSW.PM ビットに保持されます。

(2) スーパーバイザモードからユーザモードへの移行

スタック上に退避されている PSW.PM ビットを“1”にした後 RTE 命令を実行する、あるいはバックアップ PSW (BPSW) に退避されている PSW.PM ビットを“1”にした後 RTFI 命令を実行することにより、ユーザモードへ移行します。ユーザモードへ移行すると、PSW のスタックポインタ指定ビット (U) が“1”になります。

2.4 データタイプ

RXv2 CPU は、整数、浮動小数点数、ビット、ストリングの4種類のデータを扱うことができます。

詳細は「RXファミリ RXv2 命令セットアーキテクチャ ユーザーズマニュアル ソフトウェア編」を参照してください。

2.4.1 整数

整数には、符号付きと、符号なしがあります。符号付き整数の負の値は、2の補数で表現します。

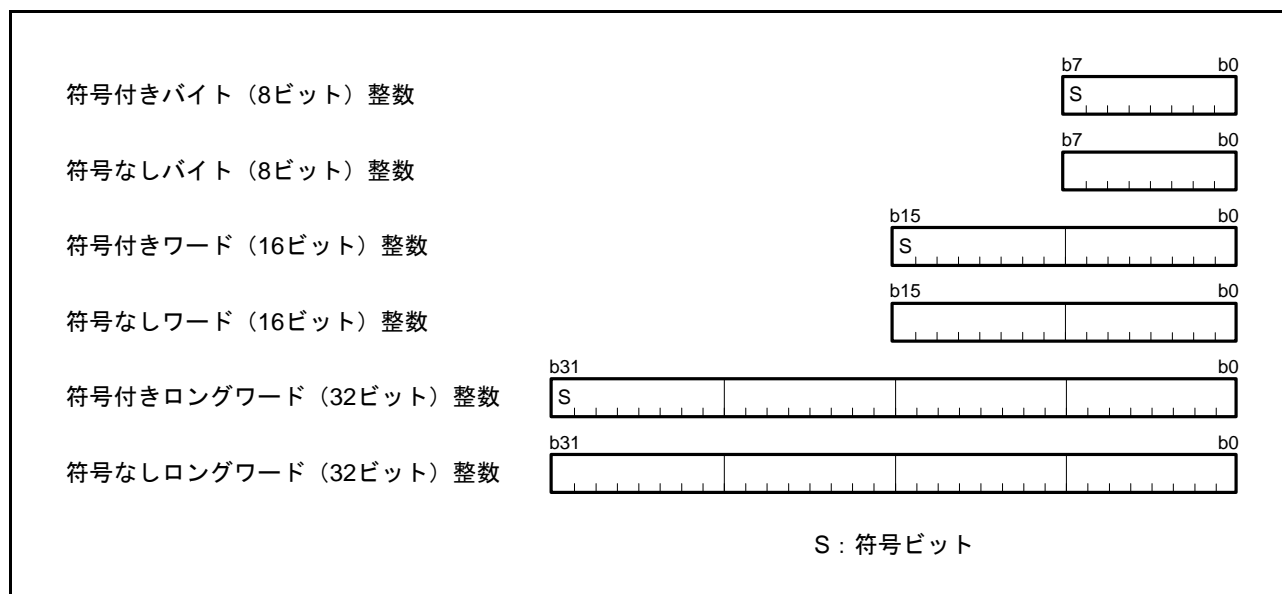


図 2.2 整数

2.4.2 浮動小数点数

浮動小数点数は、IEEE754 規格で規定されている単精度浮動小数点数に準拠しています。浮動小数点数は、浮動小数点演算命令 FADD, FCMP, FDIV, FMUL, FSQRT, FSUB, FTOI, FTOU, ITOF, ROUND, UTOF の 11 種類の命令で使用できます。

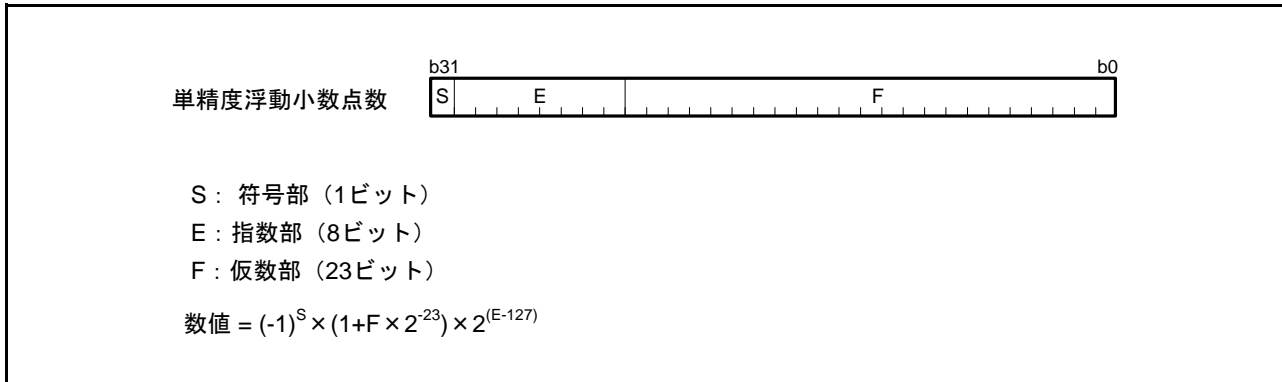


図 2.3 浮動小数点数

浮動小数点数は、以下の数値に対応しています。

0 < E < 255 (正規化数 - Normal Numbers)

E = 0 かつ F = 0 (ゼロ - Signed Zero)

E = 0 かつ F > 0 (非正規化数 - Subnormal Numbers) (注 1)

E = 255 かつ F = 0 (無限大 - Infinity)

E = 255 かつ F > 0 (非数 - NaN : Not a Number)

注 1. FPSW.DN ビットが“1”のときは、0として扱います。DN ビットが“0”のときは、非実装処理が発生します。

2.4.3 ビット

ビットは、ビット操作命令 BCLR, BMCnd, BNOT, BSET, BTST の 5 種類の命令で使用できます。

レジスタのビットは、対象とするレジスタと、31 ~ 0 のビット番号で指定します。

メモリのビットは、対象とするアドレスと、7 ~ 0 のビット番号で指定します。アドレス指定に使用できるアドレッシングモードは、レジスタ間接、レジスタ相対の 2 種類です。

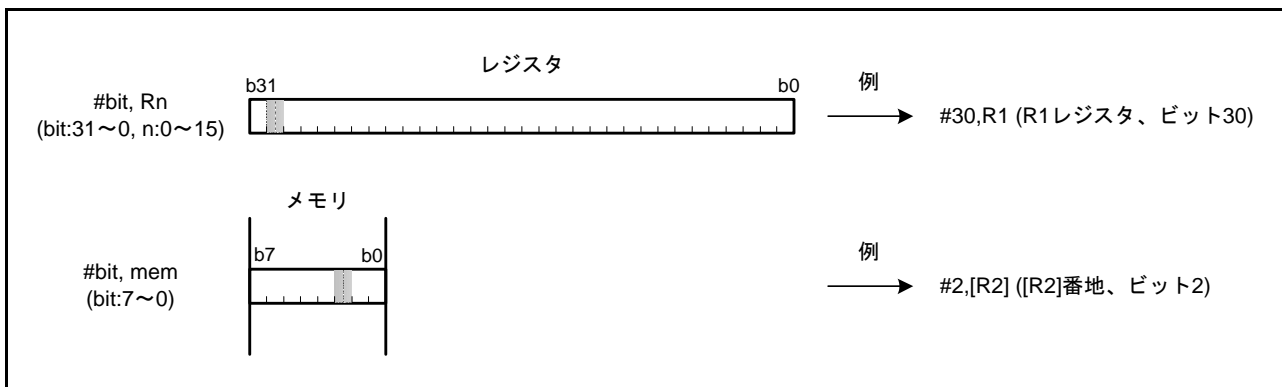


図 2.4 ビット

2.4.4 ストリング

ストリングとは、バイト（8ビット）、ワード（16ビット）、またはロングワード（32ビット）のデータを任意の数だけ連続して並べたデータタイプです。ストリングは、ストリング操作命令 SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE の7種類の命令で使用できます

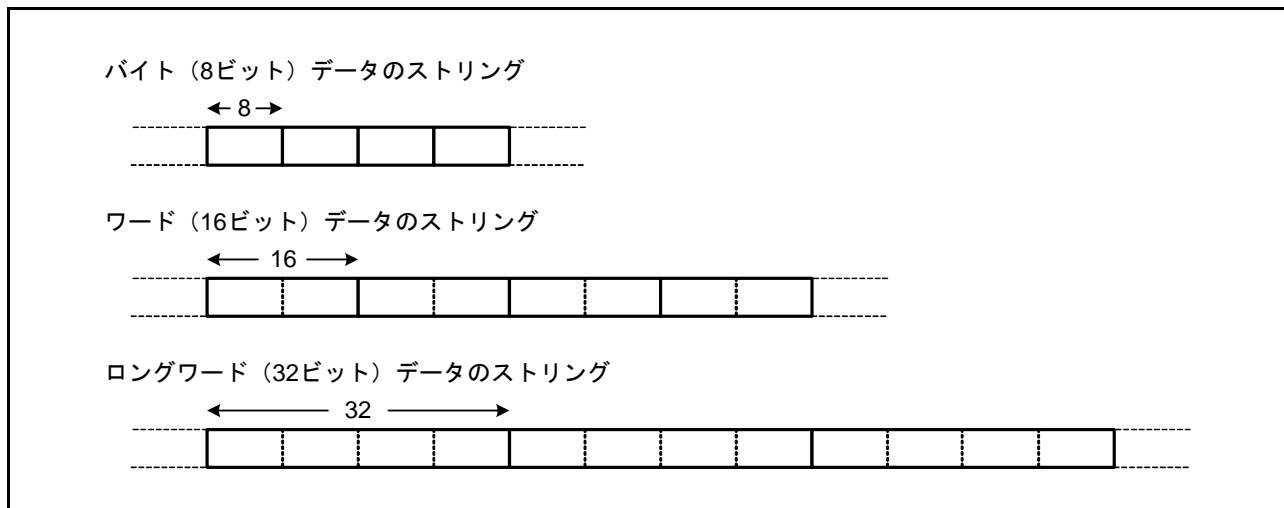


図 2.5 ストリング

2.5 エンディアン

RXv2 CPU の命令は、リトルエンディアン固定です。

データ配置は、リトルエンディアンとビッグエンディアンから選択できます。

2.5.1 エンディアンの設定

本 MCU では、バイトデータの並び方を、上位バイト (MSB) が 0 番地になるビッグエンディアン、下位バイト (LSB) が 0 番地になるリトルエンディアンのいずれも使用できます。

エンディアンの設定については、「3. 動作モード」を参照してください。

命令によって 8/16/32 ビットアクセスが選択され、リトルエンディアン、ビッグエンディアンの設定によってアクセス動作が異なります。それぞれのアクセス動作を表 2.1 ~ 表 2.12 に示します。

表中の

LL は、汎用レジスタの D7 ~ D0

LH は、汎用レジスタの D15 ~ D8

HL は、汎用レジスタの D23 ~ D16

HH は、汎用レジスタの D31 ~ D24 を示します。

	D31 ~ D24	D23 ~ D16	D15 ~ D8	D7 ~ D0
汎用レジスタ Rm	HH	HL	LH	LL

表 2.1 リトルエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	LL に転送	—	—	—	—
1 番地	LH に転送	LL に転送	—	—	—
2 番地	HL に転送	LH に転送	LL に転送	—	—
3 番地	HH に転送	HL に転送	LH に転送	LL に転送	—
4 番地	—	HH に転送	HL に転送	LH に転送	LL に転送
5 番地	—	—	HH に転送	HL に転送	LH に転送
6 番地	—	—	—	HH に転送	HL に転送
7 番地	—	—	—	—	HH に転送

表 2.2 ビッグエンディアン設定時の 32 ビットリード動作

動作 src 番地	0 番地を 32 ビットで リード	1 番地を 32 ビットで リード	2 番地を 32 ビットで リード	3 番地を 32 ビットで リード	4 番地を 32 ビットで リード
0 番地	HH に転送	—	—	—	—
1 番地	HL に転送	HH に転送	—	—	—
2 番地	LH に転送	HL に転送	HH に転送	—	—
3 番地	LL に転送	LH に転送	HL に転送	HH に転送	—
4 番地	—	LL に転送	LH に転送	HL に転送	HH に転送
5 番地	—	—	LL に転送	LH に転送	HL に転送
6 番地	—	—	—	LL に転送	LH に転送
7 番地	—	—	—	—	LL に転送

表2.3 リトルエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	LLを転送	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—
2番地	HLを転送	LHを転送	LLを転送	—	—
3番地	HHを転送	HLを転送	LHを転送	LLを転送	—
4番地	—	HHを転送	HLを転送	LHを転送	LLを転送
5番地	—	—	HHを転送	HLを転送	LHを転送
6番地	—	—	—	HHを転送	HLを転送
7番地	—	—	—	—	HHを転送

表2.4 ビッグエンディアン設定時の32ビットライト動作

動作 dest番地	0番地に 32ビットで ライト	1番地に 32ビットで ライト	2番地に 32ビットで ライト	3番地に 32ビットで ライト	4番地に 32ビットで ライト
0番地	HHを転送	—	—	—	—
1番地	HLを転送	HHを転送	—	—	—
2番地	LHを転送	HLを転送	HHを転送	—	—
3番地	LLを転送	LHを転送	HLを転送	HHを転送	—
4番地	—	LLを転送	LHを転送	HLを転送	HHを転送
5番地	—	—	LLを転送	LHを転送	HLを転送
6番地	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	LLを転送

表2.5 リトルエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LLに転送	—	—	—	—	—	—
1番地	LHに転送	LLに転送	—	—	—	—	—
2番地	—	LHに転送	LLに転送	—	—	—	—
3番地	—	—	LHに転送	LLに転送	—	—	—
4番地	—	—	—	LHに転送	LLに転送	—	—
5番地	—	—	—	—	LHに転送	LLに転送	—
6番地	—	—	—	—	—	LHに転送	LLに転送
7番地	—	—	—	—	—	—	LHに転送

表2.6 ビッグエンディアン設定時の16ビットリード動作

動作 src番地	0番地を 16ビットで リード	1番地を 16ビットで リード	2番地を 16ビットで リード	3番地を 16ビットで リード	4番地を 16ビットで リード	5番地を 16ビットで リード	6番地を 16ビットで リード
0番地	LHに転送	—	—	—	—	—	—
1番地	LLに転送	LHに転送	—	—	—	—	—
2番地	—	LLに転送	LHに転送	—	—	—	—
3番地	—	—	LLに転送	LHに転送	—	—	—
4番地	—	—	—	LLに転送	LHに転送	—	—
5番地	—	—	—	—	LLに転送	LHに転送	—
6番地	—	—	—	—	—	LLに転送	LHに転送
7番地	—	—	—	—	—	—	LLに転送

表2.7 リトルエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LLを転送	—	—	—	—	—	—
1番地	LHを転送	LLを転送	—	—	—	—	—
2番地	—	LHを転送	LLを転送	—	—	—	—
3番地	—	—	LHを転送	LLを転送	—	—	—
4番地	—	—	—	LHを転送	LLを転送	—	—
5番地	—	—	—	—	LHを転送	LLを転送	—
6番地	—	—	—	—	—	LHを転送	LLを転送
7番地	—	—	—	—	—	—	LHを転送

表2.8 ビッグエンディアン設定時の16ビットライト動作

動作 dest番地	0番地に 16ビットで ライト	1番地に 16ビットで ライト	2番地に 16ビットで ライト	3番地に 16ビットで ライト	4番地に 16ビットで ライト	5番地に 16ビットで ライト	6番地に 16ビットで ライト
0番地	LHを転送	—	—	—	—	—	—
1番地	LLを転送	LHを転送	—	—	—	—	—
2番地	—	LLを転送	LHを転送	—	—	—	—
3番地	—	—	LLを転送	LHを転送	—	—	—
4番地	—	—	—	LLを転送	LHを転送	—	—
5番地	—	—	—	—	LLを転送	LHを転送	—
6番地	—	—	—	—	—	LLを転送	LHを転送
7番地	—	—	—	—	—	—	LLを転送

表2.9 リトルエンディアン設定時の8ビットリード動作

動作 src番地	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.10 ビッグエンディアン設定時の8ビットリード動作

src番地 \ 動作	0番地を 8ビットでリード	1番地を 8ビットでリード	2番地を 8ビットでリード	3番地を 8ビットでリード
0番地	LLに転送	—	—	—
1番地	—	LLに転送	—	—
2番地	—	—	LLに転送	—
3番地	—	—	—	LLに転送

表2.11 リトルエンディアン設定時の8ビットライト動作

dest番地 \ 動作	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

表2.12 ビッグエンディアン設定時の8ビットライト動作

dest番地 \ 動作	0番地に 8ビットでライト	1番地に 8ビットでライト	2番地に 8ビットでライト	3番地に 8ビットでライト
0番地	LLを転送	—	—	—
1番地	—	LLを転送	—	—
2番地	—	—	LLを転送	—
3番地	—	—	—	LLを転送

2.5.2 I/O レジスタアクセス

I/O レジスタはビッグエンディアン、リトルエンディアン設定に関わらず、固定アドレスに配置されています。したがってI/O レジスタへのアクセスは、エンディアン変更の影響を受けません。I/O レジスタの配置については、各章のレジスタの説明を参照してください。

2.5.3 I/O レジスタアクセスの注意事項

I/O レジスタは、以下の規則に従ってアクセスしてください。

- 8ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .B であるか、サイズ拡張指定子 (.memex) が .B または .UB である命令を使用してアクセスしてください。
- 16ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .W であるか、サイズ拡張指定子 (.memex) が .W または .UW である命令を使用してアクセスしてください。
- 32ビットバス幅指定のI/O レジスタは、サイズ指定子 (.size) が .L であるか、サイズ拡張指定子 (.memex) が .L である命令を使用してアクセスしてください。

2.5.4 データ配置

2.5.4.1 レジスタのデータ配置

レジスタのデータサイズと、ビット番号の関係を図 2.6 に示します。

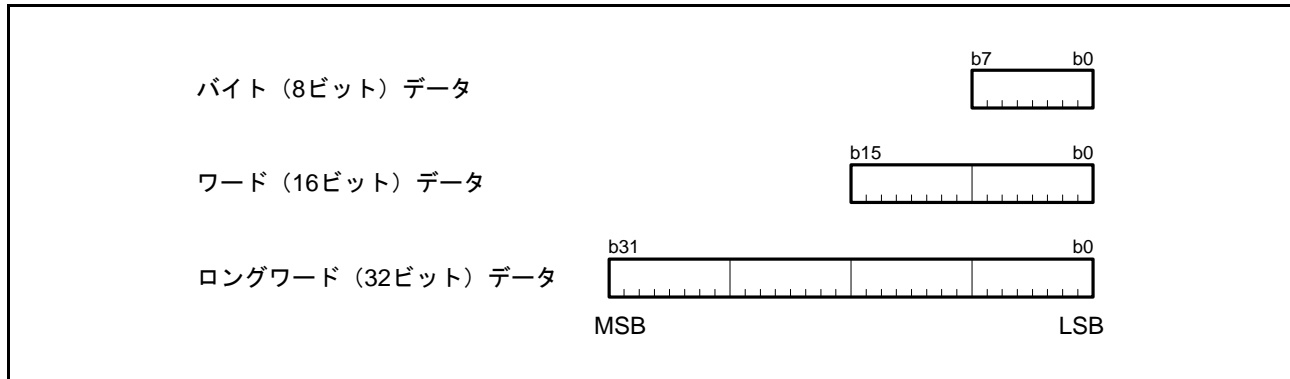


図 2.6 レジスタのデータ配置

2.5.4.2 メモリ上のデータ配置

メモリ上のデータサイズは、バイト (8 ビット)、ワード (16 ビット)、ロングワード (32 ビット) の 3 種類です。データ配置は、リトルエンディアンか、ビッグエンディアンかを選択することができます。メモリ上のデータ配置を図 2.7 に示します。

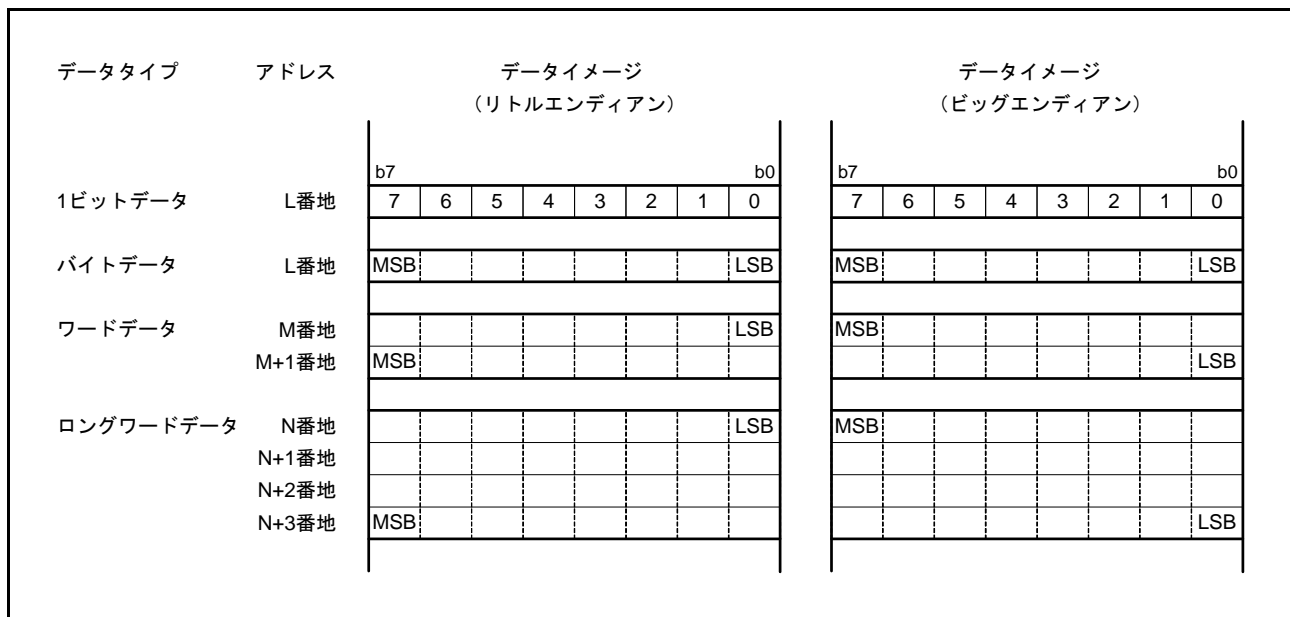


図 2.7 メモリ上のデータ配置

2.5.5 命令コード配置の注意事項

外部空間のエンディアン設定がチップのエンディアン設定と異なる設定を行った領域に命令コードは配置できません。命令コードを外部空間に配置する場合は、チップのエンディアンと同じエンディアン設定の領域に配置してください。

2.6 ベクタテーブル

ベクタテーブルには、例外ベクタテーブルと割り込みベクタテーブルがあります。ベクタテーブルは、1ベクタあたり4バイトで構成されており、各ベクタに対応する例外処理ルーチンの先頭アドレスを設定します。

2.6.1 例外ベクタテーブル

例外ベクタテーブルは、例外テーブルレジスタ (EXTB) の内容で示された値を先頭アドレス (ExtBase) とする 124 バイトの領域に、特権命令例外、アクセス例外、未定義命令例外、浮動小数点例外、ノンマスカブル割り込みの各ベクタを配置しています。リセットのベクタは例外ベクタテーブルの値に関係なく常に FFFFFFFCh 番地に配置されます。図 2.8 に例外ベクタテーブルを示します。

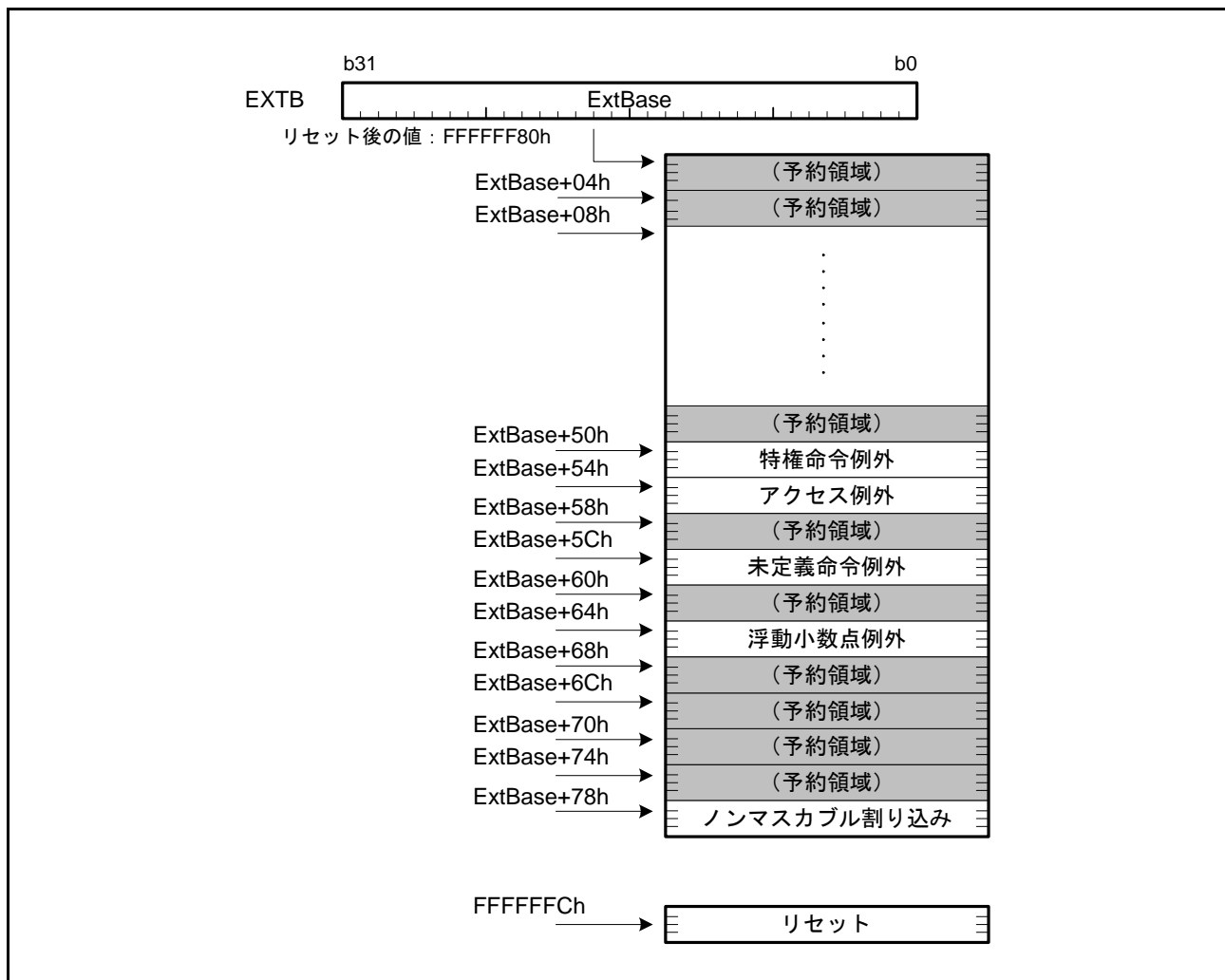


図 2.8 例外ベクタテーブル

2.6.2 割り込みベクタテーブル

割り込みベクタテーブルは、テーブルの配置アドレスを変えることができるベクタテーブルです。割り込みテーブルレジスタ (INTB) の内容で示された値を先頭アドレス (IntBase) とする 1,024 バイトの領域に、無条件トラップ、割り込みの各ベクタを配置しています。図 2.9 に割り込みベクタテーブルを示します。

割り込みベクタテーブルには、ベクタごとに番号 (0 ~ 255) が付けられています。無条件トラップ発生要因の INT 命令ではオペランドで指定した番号 (0 ~ 255) に対応したベクタが、BRK 命令では番号 0 のベクタが割り当てられています。また、割り込み要因では、製品ごとに決められたベクタ番号 (0 ~ 255) が割り当てられています。割り込みのベクタ番号については、「14.3.1 割り込みのベクタテーブル」を参照してください。

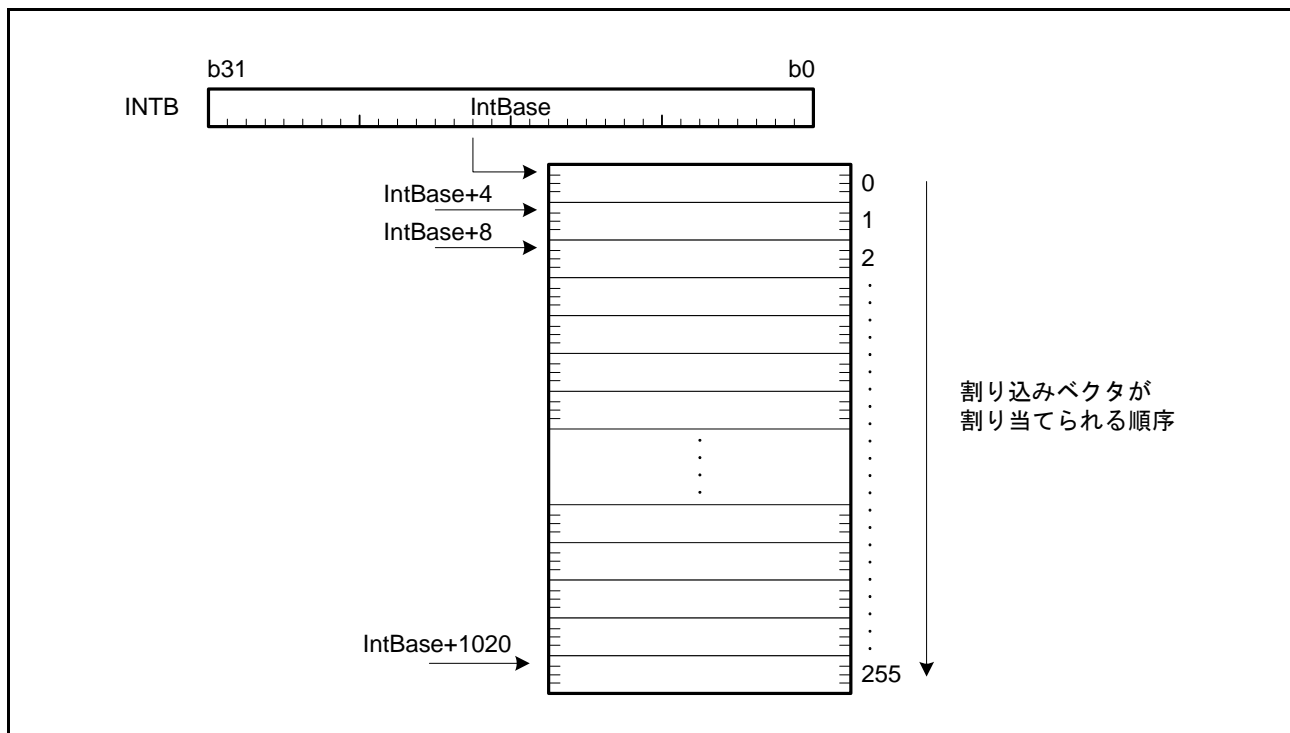


図 2.9 割り込みベクタテーブル

2.7 命令動作

2.7.1 RMPA 命令、ストリング操作命令に関する制約事項

2.7.1.1 転送サイズとデータプリフェッチ

RMPA 命令、およびストリング操作命令 (SCMPU, SMOVB, SMOVE, SMOVU, SSTR, SUNTIL, SWHILE) は、メモリからのデータ読み出し、およびメモリへのデータ書き込みを高速に処理するため、ロングワード単位でデータ転送を行います。最後にロングワード未満のデータ処理が残った場合、以下のサイズでデータ転送を行います。

- RMPA, SSTR, SUNTIL, SWHILE 命令：サイズ指定子で指定したサイズ
- SCMPU, SMOVB, SMOVE, SMOVU 命令：バイト

また、上記の処理を行うため、RMPA 命令、および SSTR 命令を除くストリング操作命令 (SCMPU, SMOVB, SMOVE, SMOVU, SUNTIL, SWHILE) は、メモリからのデータ読み出しにおいて、データプリフェッチを行います。データ読み出し位置に対して、最大で3バイト先までデータプリフェッチを行います。各命令のデータ読み出し位置は、以下のとおりです。

- RMPA 命令：R1 で指定される被乗数番地、および R2 で指定される乗数番地
- SCMPU 命令：R1 で指定される比較元番地、および R2 で指定される比較先番地
- SUNTIL, SWHILE 命令：R1 で指定される比較先番地
- SMOVB, SMOVE, SMOVU 命令：R2 で指定される転送元番地

2.7.1.2 I/O レジスタへのアクセス

RMPA 命令、ストリング操作命令 (SCMPU, SMOVB, SMOVE, SMOVU, SSTR, SUNTIL, SWHILE) の操作対象データを I/O レジスタに配置することは禁止しており、その動作は保証していません。

2.8 サイクル数

2.8.1 命令とサイクル数

表 2.13 ～表 2.20 に各命令実行のサイクル数を示します。メモリアクセスを行う命令のサイクル数は、ノーウェイトメモリアクセス時のサイクル数です。また、表中のオペランド表記は、以下に従います。

#IMM : 即値

flag : ビット、フラグ

Rs, Rs2, Rd, Rd2, Ri, Rb : 汎用レジスタ

As, Ad : アキュムレータ

CR : 制御レジスタ

dsp : ディスプレースメント

pcdsp : ディスプレースメント

表 2.13 算術/論理演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
算術/論理演算命令 (レジスタ間、即値-レジスタ)	<ul style="list-style-type: none"> • {ABS, NEG, NOT} "Rd"/"Rs, Rd" • {ADC, MAX, MIN, ROTL, ROTR, XOR} "#IMM, Rd"/"Rs, Rd" • ADD "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd"/"Rs, Rs2, Rd" • {AND, MUL, OR, SUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd" • {CMP, TST} "#IMM, Rs"/"Rs, Rs2" • NOP • {ROLC, RORC, SAT} "Rd" • SBB "Rs, Rd" • {SHAR, SHLL, SHLR} "#IMM, Rd"/"Rs, Rd"/"#IMM, Rs, Rd" 	1
	• DIV "#IMM, Rd"/"Rs, Rd"	3 ~ 20 (注1)
	• DIVU "#IMM, Rd"/"Rs, Rd"	2 ~ 18 (注1)
	• {EMUL, EMULU} "#IMM, Rd"/"Rs, Rd"	2
	• SATR	3
算術/論理演算命令 (メモリスソースオペランド)	<ul style="list-style-type: none"> • {ADC, ADD, AND, MAX, MIN, MUL, OR, SBB, SUB, XOR} "[Rs], Rd"/"dsp[Rs], Rd" • {CMP, TST} "[Rs], Rs2"/"dsp[Rs], Rs2" 	3
	• DIV "[Rs], Rd / dsp[Rs], Rd"	5 ~ 22
	• DIVU "[Rs], Rd / dsp[Rs], Rd"	4 ~ 20
	• {EMUL, EMULU} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• RMPA.B	6+7×floor(n/4)+4×(n%4) nは処理バイト数 (注2)
	• RMPA.W	6+5×floor(n/2)+4×(n%2) nは処理ワード数 (注2)
• RMPA.L	6+4n nは処理ロングワード数 (注2)	

注1. 除算命令のサイクル数は、除数、被除数の値により変動します。

注2. floor(x) : x以下の最大の整数

表2.14 転送命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
転送命令 （レジスタ間、即値-レジスタ）	<ul style="list-style-type: none"> MOV "#IMM, Rd"/"Rs, Rd" {MOVU, REVL, REVW} "Rs, Rd" SCCnd "Rd" {STNZ, STZ} "#IMM, Rd"/"Rs, Rd" 	1
	<ul style="list-style-type: none"> XCHG "Rs, Rd" 	2
転送命令 （ロード動作）	<ul style="list-style-type: none"> {MOV, MOVU} "[Rs], Rd"/"dsp[Rs], Rd"/"[Rs+], Rd"/"[-Rs], Rd"/"[Ri, Rb], Rd" LDL "[Rs], Rd" POP "Rd" 	スループット：1 レイテンシ：2（注1）
	<ul style="list-style-type: none"> POPC "CR" 	スループット：3 レイテンシ：4（注1）
	<ul style="list-style-type: none"> POPM "Rd-Rd2" 	スループット：n レイテンシ：n+1 nはレジスタ数（注1、注2）
転送命令 （ストア動作）	<ul style="list-style-type: none"> MOV "Rs, [Rd]"/"Rs, dsp[Rd]"/"Rs, [Rd+]" / "Rs, [-Rd]"/"Rs, [Ri, Rb]"/"#IMM, dsp[Rd]"/"#IMM, [Rd]" PUSH "Rs" PUSHC "CR" SCCnd "[Rd]"/"dsp[Rd]" STC "Rs, [Rd]" 	1
	<ul style="list-style-type: none"> PUSHM "Rs-Rs2" 	n nはレジスタ数（注3）
転送命令 （メモリーレジスタの交換）	<ul style="list-style-type: none"> XCHG "[Rs], Rd"/"dsp[Rs], Rd" 	2
転送命令（メモリ間転送）	<ul style="list-style-type: none"> MOV "[Rs], [Rd]"/"dsp[Rs], [Rd]"/"[Rs], dsp[Rd]"/"dsp[Rs], dsp[Rd]" PUSH "[Rs]"/"dsp[Rs]" 	3

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

注2. POPM命令は、複数のロード動作に変換されます。MOV命令のロード動作が、指定したレジスタ分繰り返されるのと同じ処理です。

注3. PUSHM命令は、複数のストア動作に変換されます。MOV命令のストア動作が、指定したレジスタ分繰り返されるのと同じ処理です。

表2.15 ビット操作命令のサイクル数

命令	ニーモニック（サイズ省略時は、全サイズ共通の動作）	サイクル数
ビット操作命令（レジスタ）	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, Rd"/"Rs, Rd" BMCnd "#IMM, Rd" BTST "#IMM, Rs"/"Rs, Rs2" 	1
ビット操作命令 （メモリスソースオペランド）	<ul style="list-style-type: none"> {BCLR, BNOT, BSET} "#IMM, [Rd]"/"#IMM, dsp[Rd]"/"Rs, [Rd]"/"Rs, dsp[Rd]" BMCnd "#IMM, [Rd]"/"#IMM, dsp[Rd]" BTST "#IMM, [Rs]"/"#IMM, dsp[Rs]"/"Rs, [Rs2]"/"Rs, dsp[Rs2]" 	3

表 2.16 分岐命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
分岐命令	<ul style="list-style-type: none"> • BCnd "pcdsp" • {BRA, BSR} "pcdsp"/"Rs" • {JMP, JSR} "Rs" 	分岐成立 : 3 分岐不成立 : 1
	• RTE	6
	• RTFI	3
	• RTS	5
	• RTSD "#IMM"	5
	• RTSD "#IMM, Rd-Rd2"	スループット : $n < 5? 5: 1+n$ レイテンシ : $n < 4? 5: 2+n$ nはレジスタ数 (注1)

?: 条件演算子

注1. メモリロード結果を後続命令が参照する場合、メモリロードを行う命令のサイクル数は“レイテンシ”として記載されているサイクル数を参照してください。それ以外は“スループット”として記載されているサイクル数を参照してください。

表 2.17 浮動小数点演算命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
浮動小数点演算命令 (レジスタ間、即値-レジスタ)	• {FADD, FSUB} "#IMM, Rd"/"Rs, Rd"/"Rs, Rs2, Rd"	2
	• FCMP "#IMM, Rs"/"Rs, Rs2"	1
	• FDIV "#IMM, Rd"/"Rs, Rd"	16
	• FMUL "#IMM, Rd"/"Rs, Rd" / "Rs, Rs2, Rd"	2
	• FSQRT "Rs, Rd"	16
	• {FTOI, ROUND, ITOF} "Rs, Rd"	2
	• {FTOU, UTOF} "Rs, Rd"	2
浮動小数点演算命令 (メモリソースオペランド)	• {FADD, FSUB} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FCMP "[Rs], Rs2"/"dsp[Rs], Rs2"	3
	• FDIV "[Rs], Rd"/"dsp[Rs], Rd"	18
	• FMUL "[Rs], Rd"/"dsp[Rs], Rd"	4
	• FSQRT "[Rs], Rd"/"dsp[Rs], Rd"	18
	• {FTOI, ROUND, ITOF} "[Rs], Rd"/"dsp[Rs], Rd"	4
	• {FTOU, UTOF} "[Rs], Rd"/"dsp[Rs], Rd"	4

表 2.18 DSP機能命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
DSP機能命令	<ul style="list-style-type: none"> • {EMULA, EMACA, EMSBA, MULLH, MULHI, MULLO, MACLH, MACHI, MACLO, MSBLH, MSBHI, MSBLO} "Rs, Rs2, Ad" • {MVFACHI, MVFACMI, MVFACLO, MVFACGU} "#IMM, As, Rd" • {MVTACHI, MVTACLO, MVTACGU} "As, Rd" • {RDACW, RDA CL, RACW, RA CL} "#IMM, Ad" 	1

表2.19 スtring操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
String操作命令 (注1)	• SCMPU	$2+4\times\text{floor}(n/4)+4\times(n\%4)$ nは比較バイト数 (注2)
	• SMOVB	$n>3?6+3\times\text{floor}(n/4)+3\times(n\%4):2+3n$ nは転送バイト数 (注2)
	• SMOVF, SMOVU	$2+3\times\text{floor}(n/4)+3\times(n\%4)$ nは転送バイト数 (注2)
	• SSTR.B	$2+\text{floor}(n/4)+n\%4$ nは転送バイト数 (注2)
	• SSTR.W	$2+\text{floor}(n/2)+n\%2$ nは転送ワード数 (注2)
	• SSTR.L	$2+n$ nは転送ロングワード数
	• SUNTIL.B, SWHILE.B	$3+3\times\text{floor}(n/4)+3\times(n\%4)$ nは比較バイト数 (注2)
	• SUNTIL.W, SWHILE.W	$3+3\times\text{floor}(n/2)+3\times(n\%2)$ nは比較ワード数 (注2)
• SUNTIL.L, SWHILE.L	$3+3\times n$ nは比較ロングワード数	

?: 条件演算子

注1. SCMPU, SMOVU, SWHILE, SUNTILの各命令は、実行中に終了条件を満たした場合は、記載サイクルによらず実行を終了します。

注2. floor(x) : x以下の最大の整数

表2.20 システム操作命令のサイクル数

命令	ニーモニック (サイズ省略時は、全サイズ共通の動作)	サイクル数
システム操作命令	• {CLRPSW, SETPSW}“flag” • MVTC “#IMM, CR”/“Rs, CR” • MVFC “CR, Rd” • MVTIPL “#IMM”	1
	• RTE	6
	• RTFI	3

2.8.2 割り込み応答サイクル数

表 2.21 に割り込み応答処理のサイクル数を示します。

表 2.21 割り込み応答サイクル数

割り込み要求の種類/処理内容	高速割り込み	高速割り込み以外の割り込み
ICU 優先順位判定	2サイクル	
CPU 割り込み要求通知から割り込み受け付けまでのサイクル数	Nサイクル (実行している命令によって異なる)	
CPU ハードウェア前処理 PC, PSWのRAMへの退避 (高速割り込みは、制御レジスタへ退避) ベクタの読み出し 例外処理ルーチンへ分岐	4サイクル	6サイクル

表 2.21 は、CPU からのメモリアクセスがすべてノーウェイトで処理をされた場合の割り込み応答時間です。本 MCU は、ノーウェイトアクセス可能なコードフラッシュメモリ、RAM を搭載しています。プログラム（含むベクタ）はコードフラッシュメモリ、スタック領域は RAM に配置することにより、割り込み応答サイクル数を最短にできます。また、例外処理ルーチンの先頭アドレスは、8 バイトアライメントを指定してください。

割り込み要求通知から割り込み受け付けまでのサイクル数 N は、表 2.13 ~ 表 2.20 を参照してください。

割り込み受け付けタイミングは命令の実行状態に依存します。割り込み受け付けタイミングについては、「13.3.1 受け付けタイミングと退避される PC 値」を参照してください。

3. 動作モード

3.1 動作モードの種類と選択

動作モードには、リセット解除時の端子のレベルによって選択できるものと、リセット解除後にソフトウェアで選択できるものがあります。

リセット解除時のモード設定端子（MD）のレベルと、そのとき選択される動作モードの関係を表 3.1 に示します。各動作モードの詳細は「3.3 動作モードの説明」を参照してください。

表3.1 モード設定端子による動作モードの選択

モード設定端子 MD (注1)	動作モード
Low	ブートモード (SCIインタフェース)
High	シングルチップモード

注1. MCU動作中にMD端子を変化させないください。

シングルチップモードでは、エンディアンを選択することができます。エンディアンの設定は、オプション設定メモリのMDE.MDE[2:0]ビットで設定します。設定値は表 3.2 を参照してください。

表3.2 エンディアンの選択

MDE.MDE[2:0]ビットの設定値	選択されるエンディアン
000b	ビッグエンディアン
111b	リトルエンディアン

3.2 レジスタの説明

3.2.1 モードモニタレジスタ (MDMONR)

アドレス 0008 0000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MD
リセット後の値	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0/1 (注1)

注1. リセット解除時のMD端子のレベルが反映されます。

ビット	シンボル	ビット名	説明	R/W
b0	MD	MD端子ステータスフラグ	0 : MD端子は“Low” 1 : MD端子は“High”	R
b7-b1	—	予約ビット	読むと“0”が読めます	R
b8	—	予約ビット	読んだ場合、その値は不定です	R
b15-b9	—	予約ビット	読むと“0”が読めます	R

3.2.2 システムコントロールレジスタ 1 (SYSCR1)

アドレス 0008 0008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	RAME
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	説明	R/W
b0	RAME	RAM有効ビット	0 : RAM無効 1 : RAM有効	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

RAME ビット (RAM 有効ビット)

RAMの有効/無効を選択するビットです。

RAMをアクセスしているときは、“0”にしないでください。また、RAMEビットを“0”から“1”に書き換えた後は、RAMEビットが“1”になったことを確認してからRAMをアクセスするようにしてください。

3.3 動作モードの説明

3.3.1 シングルチップモード

シングルチップモードは、すべての I/O ポートを汎用入出力ポート、周辺機能入出力、または割り込み入力端子として使用できるモードです。

MD 端子を High にしてリセットを解除すると、シングルチップモードで起動します。

3.3.2 ブートモード

MCU 内部の専用領域に格納された、内蔵フラッシュメモリ書き換えプログラム（ブートプログラム）が動作するモードです。調歩同期式シリアルインタフェース（SCI1）を使用して、MCU 外部から内蔵 ROM（ROM）を書き換えることができます。詳細は、「34. フラッシュメモリ」を参照してください。

MD 端子を Low にしてリセットを解除すると、ブートモードで起動します。

3.3.2.1 ブートモード（SCI インタフェース）

MD 端子を Low にしてリセットを解除すると、ブートモード（SCI インタフェース）で起動します。ブートモード（SCI インタフェース）については、「34.7.1 ブートモード (SCI インタフェース)」を参照してください。

3.4 動作モード遷移

3.4.1 モード設定端子による動作モード遷移

MD 端子の設定による動作モード遷移について、図 3.1 に状態遷移図を示します。

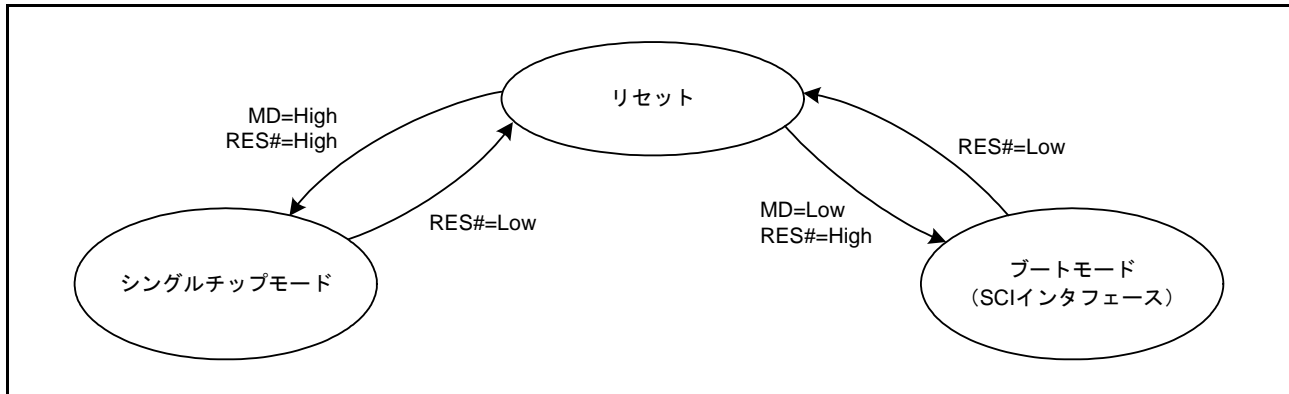


図 3.1 モード設定端子のレベルと動作モード

4. アドレス空間

4.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 4.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

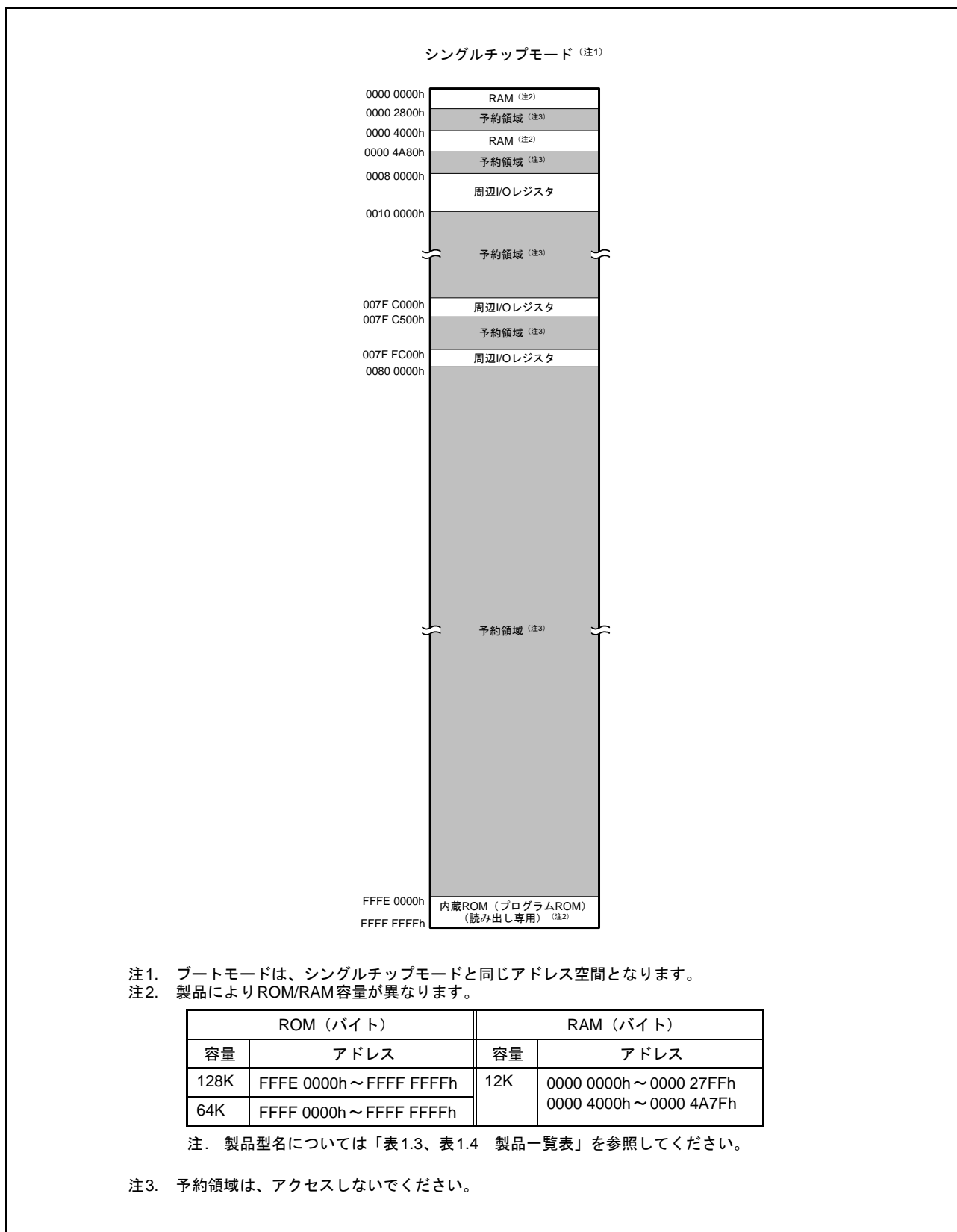


図 4.1 各動作モードのメモリマップ

5. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```


- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 5.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、 PCLK (または FCLK) で最大1サイクルとなるため、表 5.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

注1. CPUからのレジスタアクセスが、異なるバスマスタ(DTC)のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

5.1 I/Oレジスタアドレス一覧（アドレス順）

表5.1 I/Oレジスタアドレス一覧（1 / 16）

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	3章
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	3章
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	11章
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	11章
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	11章
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	11章
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	9章
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	9章
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK	9章
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK	9章
0008 0031h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	3ICLK	9章
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	9章
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	9章
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	9章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	9章
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK	9章
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	9章
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	9章
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	11章
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	9章
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3ICLK	9章
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTS2	8	8	3ICLK	6章
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	6章
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK	8章
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK	8章
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK	8章
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK	8章
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	12章
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	15章
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	15章
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK	15章
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK	15章
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	15章
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK	17章
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK	17章
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK	17章
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK	17章
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	17章
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK	16章
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK	16章
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK	16章
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK	16章
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK	16章
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK	16章
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK	16章
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK	16章
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK	16章
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK	16章

表5.1 I/Oレジスタアドレス一覧(2 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK	16章
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK	16章
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK	16章
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK	16章
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK	16章
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK	16章
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK	16章
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK	16章
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK	16章
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK	16章
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK	16章
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK	16章
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK	16章
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK	16章
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK	16章
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK	16章
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK	14章
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK	14章
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK	14章
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK	14章
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK	14章
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK	14章
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK	14章
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK	14章
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK	14章
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK	14章
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK	14章
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK	14章
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	14章
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	14章
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	14章
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	14章
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	14章
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	14章
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	14章
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	14章
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	14章
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	14章
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	14章
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK	14章
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK	14章
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK	14章
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK	14章
0008 706Eh	ICU	割り込み要求レジスタ 110	IR110	8	8	2ICLK	14章
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	14章
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	14章
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	14章
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	14章
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	14章
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	14章
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(3 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	14章
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	14章
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	14章
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	14章
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	14章
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	14章
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	14章
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	14章
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	14章
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	14章
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	14章
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	14章
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	14章
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	14章
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	14章
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	14章
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	14章
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	14章
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	14章
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	14章
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	14章
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK	14章
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	14章
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	14章
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK	14章
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK	14章
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK	14章
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK	14章
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK	14章
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK	14章
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK	14章
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK	14章
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK	14章
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK	14章
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK	14章
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK	14章
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	14章
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	14章
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	14章
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	14章
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK	14章
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK	14章
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK	14章
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK	14章
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK	14章
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK	14章
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK	14章
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK	14章
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCER027	8	8	2ICLK	14章
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCER028	8	8	2ICLK	14章
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCER029	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(4 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCER030	8	8	2ICLK	14章
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCER031	8	8	2ICLK	14章
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCER045	8	8	2ICLK	14章
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCER046	8	8	2ICLK	14章
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCER064	8	8	2ICLK	14章
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCER065	8	8	2ICLK	14章
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCER066	8	8	2ICLK	14章
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCER067	8	8	2ICLK	14章
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCER068	8	8	2ICLK	14章
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCER069	8	8	2ICLK	14章
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCER102	8	8	2ICLK	14章
0008 7167h	ICU	DTC起動許可レジスタ 103	DTCER103	8	8	2ICLK	14章
0008 716Ch	ICU	DTC起動許可レジスタ 108	DTCER108	8	8	2ICLK	14章
0008 716Dh	ICU	DTC起動許可レジスタ 109	DTCER109	8	8	2ICLK	14章
0008 716Eh	ICU	DTC起動許可レジスタ 110	DTCER110	8	8	2ICLK	14章
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCER114	8	8	2ICLK	14章
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCER115	8	8	2ICLK	14章
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCER116	8	8	2ICLK	14章
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCER117	8	8	2ICLK	14章
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK	14章
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK	14章
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK	14章
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK	14章
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK	14章
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK	14章
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK	14章
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK	14章
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK	14章
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK	14章
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK	14章
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2ICLK	14章
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2ICLK	14章
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2ICLK	14章
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2ICLK	14章
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2ICLK	14章
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK	14章
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK	14章
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK	14章
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK	14章
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK	14章
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK	14章
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK	14章
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK	14章
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK	14章
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK	14章
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK	14章
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK	14章
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK	14章
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK	14章
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK	14章
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(5 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 7204h	ICU	割り込み要求許可レジスタ04	IER04	8	8	2ICLK	14章
0008 7205h	ICU	割り込み要求許可レジスタ05	IER05	8	8	2ICLK	14章
0008 7207h	ICU	割り込み要求許可レジスタ07	IER07	8	8	2ICLK	14章
0008 7208h	ICU	割り込み要求許可レジスタ08	IER08	8	8	2ICLK	14章
0008 720Bh	ICU	割り込み要求許可レジスタ0B	IER0B	8	8	2ICLK	14章
0008 720Ch	ICU	割り込み要求許可レジスタ0C	IER0C	8	8	2ICLK	14章
0008 720Dh	ICU	割り込み要求許可レジスタ0D	IER0D	8	8	2ICLK	14章
0008 720Eh	ICU	割り込み要求許可レジスタ0E	IER0E	8	8	2ICLK	14章
0008 720Fh	ICU	割り込み要求許可レジスタ0F	IER0F	8	8	2ICLK	14章
0008 7210h	ICU	割り込み要求許可レジスタ10	IER10	8	8	2ICLK	14章
0008 7211h	ICU	割り込み要求許可レジスタ11	IER11	8	8	2ICLK	14章
0008 7215h	ICU	割り込み要求許可レジスタ15	IER15	8	8	2ICLK	14章
0008 7216h	ICU	割り込み要求許可レジスタ16	IER16	8	8	2ICLK	14章
0008 7217h	ICU	割り込み要求許可レジスタ17	IER17	8	8	2ICLK	14章
0008 721Bh	ICU	割り込み要求許可レジスタ1B	IER1B	8	8	2ICLK	14章
0008 721Ch	ICU	割り込み要求許可レジスタ1C	IER1C	8	8	2ICLK	14章
0008 721Eh	ICU	割り込み要求許可レジスタ1E	IER1E	8	8	2ICLK	14章
0008 721Fh	ICU	割り込み要求許可レジスタ1F	IER1F	8	8	2ICLK	14章
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	14章
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	14章
0008 7300h	ICU	割り込み要因プライオリティレジスタ000	IPR000	8	8	2ICLK	14章
0008 7302h	ICU	割り込み要因プライオリティレジスタ002	IPR002	8	8	2ICLK	14章
0008 7303h	ICU	割り込み要因プライオリティレジスタ003	IPR003	8	8	2ICLK	14章
0008 7304h	ICU	割り込み要因プライオリティレジスタ004	IPR004	8	8	2ICLK	14章
0008 7305h	ICU	割り込み要因プライオリティレジスタ005	IPR005	8	8	2ICLK	14章
0008 7306h	ICU	割り込み要因プライオリティレジスタ006	IPR006	8	8	2ICLK	14章
0008 7307h	ICU	割り込み要因プライオリティレジスタ007	IPR007	8	8	2ICLK	14章
0008 7320h	ICU	割り込み要因プライオリティレジスタ032	IPR032	8	8	2ICLK	14章
0008 7321h	ICU	割り込み要因プライオリティレジスタ033	IPR033	8	8	2ICLK	14章
0008 7322h	ICU	割り込み要因プライオリティレジスタ034	IPR034	8	8	2ICLK	14章
0008 732Ch	ICU	割り込み要因プライオリティレジスタ044	IPR044	8	8	2ICLK	14章
0008 7339h	ICU	割り込み要因プライオリティレジスタ057	IPR057	8	8	2ICLK	14章
0008 7340h	ICU	割り込み要因プライオリティレジスタ064	IPR064	8	8	2ICLK	14章
0008 7341h	ICU	割り込み要因プライオリティレジスタ065	IPR065	8	8	2ICLK	14章
0008 7342h	ICU	割り込み要因プライオリティレジスタ066	IPR066	8	8	2ICLK	14章
0008 7343h	ICU	割り込み要因プライオリティレジスタ067	IPR067	8	8	2ICLK	14章
0008 7344h	ICU	割り込み要因プライオリティレジスタ068	IPR068	8	8	2ICLK	14章
0008 7345h	ICU	割り込み要因プライオリティレジスタ069	IPR069	8	8	2ICLK	14章
0008 7358h	ICU	割り込み要因プライオリティレジスタ088	IPR088	8	8	2ICLK	14章
0008 7359h	ICU	割り込み要因プライオリティレジスタ089	IPR089	8	8	2ICLK	14章
0008 7366h	ICU	割り込み要因プライオリティレジスタ102	IPR102	8	8	2ICLK	14章
0008 7367h	ICU	割り込み要因プライオリティレジスタ103	IPR103	8	8	2ICLK	14章
0008 736Ch	ICU	割り込み要因プライオリティレジスタ108	IPR108	8	8	2ICLK	14章
0008 736Dh	ICU	割り込み要因プライオリティレジスタ109	IPR109	8	8	2ICLK	14章
0008 736Eh	ICU	割り込み要因プライオリティレジスタ110	IPR110	8	8	2ICLK	14章
0008 7372h	ICU	割り込み要因プライオリティレジスタ114	IPR114	8	8	2ICLK	14章
0008 7376h	ICU	割り込み要因プライオリティレジスタ118	IPR118	8	8	2ICLK	14章
0008 7379h	ICU	割り込み要因プライオリティレジスタ121	IPR121	8	8	2ICLK	14章
0008 737Bh	ICU	割り込み要因プライオリティレジスタ123	IPR123	8	8	2ICLK	14章
0008 737Dh	ICU	割り込み要因プライオリティレジスタ125	IPR125	8	8	2ICLK	14章
0008 737Fh	ICU	割り込み要因プライオリティレジスタ127	IPR127	8	8	2ICLK	14章

表5.1 I/Oレジスタアドレス一覧(6 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 7381h	ICU	割り込み要因プライオリティレジスタ129	IPR129	8	8	2ICLK	14章
0008 7385h	ICU	割り込み要因プライオリティレジスタ133	IPR133	8	8	2ICLK	14章
0008 7386h	ICU	割り込み要因プライオリティレジスタ134	IPR134	8	8	2ICLK	14章
0008 738Ah	ICU	割り込み要因プライオリティレジスタ138	IPR138	8	8	2ICLK	14章
0008 738Bh	ICU	割り込み要因プライオリティレジスタ139	IPR139	8	8	2ICLK	14章
0008 73A8h	ICU	割り込み要因プライオリティレジスタ168	IPR168	8	8	2ICLK	14章
0008 73AEh	ICU	割り込み要因プライオリティレジスタ174	IPR174	8	8	2ICLK	14章
0008 73B1h	ICU	割り込み要因プライオリティレジスタ177	IPR177	8	8	2ICLK	14章
0008 73B4h	ICU	割り込み要因プライオリティレジスタ180	IPR180	8	8	2ICLK	14章
0008 73B7h	ICU	割り込み要因プライオリティレジスタ183	IPR183	8	8	2ICLK	14章
0008 73DAh	ICU	割り込み要因プライオリティレジスタ218	IPR218	8	8	2ICLK	14章
0008 73DEh	ICU	割り込み要因プライオリティレジスタ222	IPR222	8	8	2ICLK	14章
0008 73F6h	ICU	割り込み要因プライオリティレジスタ246	IPR246	8	8	2ICLK	14章
0008 73F7h	ICU	割り込み要因プライオリティレジスタ247	IPR247	8	8	2ICLK	14章
0008 73F8h	ICU	割り込み要因プライオリティレジスタ248	IPR248	8	8	2ICLK	14章
0008 73F9h	ICU	割り込み要因プライオリティレジスタ249	IPR249	8	8	2ICLK	14章
0008 7500h	ICU	IRQコントロールレジスタ0	IRQCR0	8	8	2ICLK	14章
0008 7501h	ICU	IRQコントロールレジスタ1	IRQCR1	8	8	2ICLK	14章
0008 7502h	ICU	IRQコントロールレジスタ2	IRQCR2	8	8	2ICLK	14章
0008 7503h	ICU	IRQコントロールレジスタ3	IRQCR3	8	8	2ICLK	14章
0008 7504h	ICU	IRQコントロールレジスタ4	IRQCR4	8	8	2ICLK	14章
0008 7505h	ICU	IRQコントロールレジスタ5	IRQCR5	8	8	2ICLK	14章
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK	14章
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK	14章
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK	14章
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK	14章
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	14章
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	14章
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	14章
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	14章
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ0	CMSTR0	16	16	2 ~ 3PCLKB	23章
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	23章
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	23章
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	23章
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	23章
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	23章
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	23章
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	23章
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	23章
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	23章
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	23章
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	23章
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB	23章
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	23章
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	24章
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	24章
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	24章
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	24章
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	24章
0008 80C0h	DA	D/Aデータレジスタ0	DADRO	16	16	2 ~ 3PCLKB	30章
0008 80C4h	DA	D/A制御レジスタ	DACR	8	8	2 ~ 3PCLKB	30章

表5.1 I/Oレジスタアドレス一覧(7 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 80C5h	DA	DADR0フォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	30章
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	22章
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	22章
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	22章
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	22章
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	22章
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	22章
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	22章
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	22章
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	22章
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	22章
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	22章
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	22章
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	22章
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	22章
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	22章
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	22章
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	22章
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	22章
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	22章
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	22章
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	22章
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	22章
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	22章
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	22章
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	28章
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	28章
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	28章
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	26章
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	26章
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	26章
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	26章
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	26章
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB	26章
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB	26章
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB	26章
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	26章
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	26章
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	26章
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	26章
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	26章
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	26章
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	26章
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	26章
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB	26章
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB	26章
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	26章
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	26章
0008 8380h	RSPi0	RSPi制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	27章
0008 8381h	RSPi0	RSPiスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	27章
0008 8382h	RSPi0	RSPi端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	27章

表5.1 I/Oレジスタアドレス一覧(8 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	27章
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2 ~ 3PCLKB	27章
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	27章
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	27章
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	27章
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	27章
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	27章
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	27章
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	27章
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	27章
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	27章
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	27章
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	27章
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	27章
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	27章
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	27章
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	27章
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	27章
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	29章
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB	29章
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB	29章
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB	29章
0008 900Ah	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB	29章
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	29章
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	29章
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	29章
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB	29章
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB	29章
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB	29章
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADDBLDR	16	16	2 ~ 3PCLKB	29章
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB	29章
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	29章
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB	29章
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB	29章
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB	29章
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB	29章
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2 ~ 3PCLKB	29章
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2 ~ 3PCLKB	29章
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2 ~ 3PCLKB	29章
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2 ~ 3PCLKB	29章
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2 ~ 3PCLKB	29章
0008 9042h	S12AD	A/Dデータレジスタ17	ADDR17	16	16	2 ~ 3PCLKB	29章
0008 9066h	S12AD	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB	29章
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	29章
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB	29章
0008 9084h	S12AD	A/Dデータ2重化レジスタA	ADDBLDRA	16	16	2 ~ 3PCLKB	29章
0008 9086h	S12AD	A/Dデータ2重化レジスタB	ADDBLDRB	16	16	2 ~ 3PCLKB	29章
0008 908Ah	S12AD	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2 ~ 3PCLKB	29章
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB	29章
0008 90DFh	S12AD	A/DサンプリングステートレジスタO	ADSSSTRO	8	8	2 ~ 3PCLKB	29章
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSSTRO	8	8	2 ~ 3PCLKB	29章

表5.1 I/Oレジスタアドレス一覧(9 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB	29章
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB	29章
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB	29章
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB	29章
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB	29章
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB	29章
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB	29章
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	25章
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB	25章
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	25章
0008 A023h	SCI1	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB	25章
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	25章
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	25章
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	25章
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	25章
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	25章
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	25章
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	25章
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	25章
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	25章
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	25章
0008 A02Eh	SCI1	トランスミッターデータレジスタHL	TDRHL	16	16	4~5PCLKB	25章
0008 A02Eh	SCI1	トランスミッターデータレジスタH	TDRH	8	8	2~3PCLKB	25章
0008 A02Fh	SCI1	トランスミッターデータレジスタL	TDRL	8	8	2~3PCLKB	25章
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	25章
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	25章
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	25章
0008 A032h	SCI1	モジュレーションデュティレジスタ	MDDR	8	8	2~3PCLKB	25章
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB	25章
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB	25章
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB	25章
0008 A0A3h	SCI5	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB	25章
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB	25章
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB	25章
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB	25章
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB	25章
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB	25章
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB	25章
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB	25章
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB	25章
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB	25章
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB	25章
0008 A0AEh	SCI5	トランスミッターデータレジスタHL	TDRHL	16	16	4~5PCLKB	25章
0008 A0AEh	SCI5	トランスミッターデータレジスタH	TDRH	8	8	2~3PCLKB	25章
0008 A0AFh	SCI5	トランスミッターデータレジスタL	TDRL	8	8	2~3PCLKB	25章
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB	25章
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB	25章
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB	25章
0008 A0B2h	SCI5	モジュレーションデュティレジスタ	MDDR	8	8	2~3PCLKB	25章
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB	10章
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB	10章

表5.1 I/Oレジスタアドレス一覧(10/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB	10章
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB	10章
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB	10章
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB	10章
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB	10章
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB	10章
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB	32章
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB	32章
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB	32章
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB	18章
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB	18章
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C04Dh	PORTD	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C04Eh	PORTE	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB	18章
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB	18章
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB	18章

表5.1 I/Oレジスタアドレス一覧(11/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB	18章
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB	18章
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	18章
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	18章
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB	19章
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2 ~ 3PCLKB	19章
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2 ~ 3PCLKB	19章
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2 ~ 3PCLKB	19章
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2 ~ 3PCLKB	19章
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2 ~ 3PCLKB	19章
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ~ 3PCLKB	19章
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ~ 3PCLKB	19章
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2 ~ 3PCLKB	19章
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB	19章
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB	19章
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB	19章
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2 ~ 3PCLKB	19章
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB	19章
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB	19章
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB	19章
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB	19章

表5.1 I/Oレジスタアドレス一覧(12/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2~3PCLKB	19章
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2~3PCLKB	19章
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2~3PCLKB	19章
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2~3PCLKB	19章
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2~3PCLKB	19章
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2~3PCLKB	19章
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2~3PCLKB	19章
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2~3PCLKB	19章
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2~3PCLKB	19章
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2~3PCLKB	19章
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2~3PCLKB	19章
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2~3PCLKB	19章
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2~3PCLKB	19章
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2~3PCLKB	19章
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2~3PCLKB	19章
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2~3PCLKB	19章
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2~3PCLKB	19章
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2~3PCLKB	19章
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2~3PCLKB	19章
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2~3PCLKB	19章
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2~3PCLKB	19章
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2~3PCLKB	19章
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2~3PCLKB	19章
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2~3PCLKB	19章
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2~3PCLKB	19章
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2~3PCLKB	19章
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2~3PCLKB	19章
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2~3PCLKB	19章
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2~3PCLKB	19章
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2~3PCLKB	19章
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2~3PCLKB	19章
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2~3PCLKB	19章
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2~3PCLKB	19章
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4~5PCLKB	6章
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4~5PCLKB	6章
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4~5PCLKB	9章
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4~5PCLKB	8章
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4~5PCLKB	8章
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4~5PCLKB	8章
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4~5PCLKB	8章
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2~3PCLKB	21章
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2~3PCLKB	21章
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2~3PCLKB	21章
0008 C4CAh	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2~3PCLKB	21章
0008 C4CBh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2~3PCLKB	21章
0008 C4CCh	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2~3PCLKB	21章
0008 C4D0h	POE	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2~3PCLKB	21章
0008 C4D2h	POE	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16	2~3PCLKB	21章
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8, 16	2~3PCLKB	21章
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8, 16	2~3PCLKB	21章
0008 C4DCh	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2~3PCLKB	21章

表5.1 I/Oレジスタアドレス一覧(13/16)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
						ICLK ≥ PCLKの場合	
0008 C4E6h	POE	ポートアウトブッティネーブルコンパレータ検出フラグレジスタ	POECMPFR	16	16	2 ~ 3PCLKB	21章
0008 C4E8h	POE	ポートアウトブッティネーブルコンパレータ要求選択レジスタ	POECMPSEL	16	16	2 ~ 3PCLKB	21章
000A 0C80h	CMPC0	コンパレータ制御レジスタ0	CMPCTL	8	8	1 ~ 2PCLKB	31章
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ0	CMPSEL0	8	8	1 ~ 2PCLKB	31章
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ0	CMPSEL1	8	8	1 ~ 2PCLKB	31章
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ0	CMPMON	8	8	1 ~ 2PCLKB	31章
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ0	CMPIOC	8	8	1 ~ 2PCLKB	31章
000A 0CA0h	CMPC1	コンパレータ制御レジスタ1	CMPCTL	8	8	1 ~ 2PCLKB	31章
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ1	CMPSEL0	8	8	1 ~ 2PCLKB	31章
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ1	CMPSEL1	8	8	1 ~ 2PCLKB	31章
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ1	CMPMON	8	8	1 ~ 2PCLKB	31章
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ1	CMPIOC	8	8	1 ~ 2PCLKB	31章
000A 0CC0h	CMPC2	コンパレータ制御レジスタ2	CMPCTL	8	8	1 ~ 2PCLKB	31章
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ2	CMPSEL0	8	8	1 ~ 2PCLKB	31章
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ2	CMPSEL1	8	8	1 ~ 2PCLKB	31章
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ2	CMPMON	8	8	1 ~ 2PCLKB	31章
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ2	CMPIOC	8	8	1 ~ 2PCLKB	31章
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4 ~ 5PCLKA	20章
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 5PCLKA	20章
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA	20章
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 5PCLKA	20章
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA	20章
000C 120Ah	MTU	タイマアウトプットマスタイネーブルレジスタA	TOERA	8	8	4 ~ 5PCLKA	20章
000C 120Dh	MTU	タイマゲートコントロールレジスタ	TGCRA	8	8	4 ~ 5PCLKA	20章
000C 120Eh	MTU	タイマアウトプットコントロールレジスタ1A	TOCR1A	8	8, 16	4 ~ 5PCLKA	20章
000C 120Fh	MTU	タイマアウトプットコントロールレジスタ2A	TOCR2A	8	8	4 ~ 5PCLKA	20章
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4 ~ 5PCLKA	20章
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16, 32	4 ~ 5PCLKA	20章
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4 ~ 5PCLKA	20章
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16, 32	4 ~ 5PCLKA	20章
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	4 ~ 5PCLKA	20章
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 5PCLKA	20章
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8, 16	4 ~ 5PCLKA	20章
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4 ~ 5PCLKA	20章
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4 ~ 5PCLKA	20章

表5.1 I/Oレジスタアドレス一覧(14/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4 ~ 5PCLKA	20章
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4 ~ 5PCLKA	20章
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 5PCLKA	20章
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA	20章
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4 ~ 5PCLKA	20章
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4 ~ 5PCLKA	20章
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4 ~ 5PCLKA	20章
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 5PCLKA	20章
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4 ~ 5PCLKA	20章
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4 ~ 5PCLKA	20章
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4 ~ 5PCLKA	20章
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4 ~ 5PCLKA	20章
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4 ~ 5PCLKA	20章
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4 ~ 5PCLKA	20章
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA	20章
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA	20章
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA	20章
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16	4 ~ 5PCLKA	20章
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4 ~ 5PCLKA	20章
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4 ~ 5PCLKA	20章
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4 ~ 5PCLKA	20章
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4 ~ 5PCLKA	20章
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4 ~ 5PCLKA	20章
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4 ~ 5PCLKA	20章
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4 ~ 5PCLKA	20章
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4 ~ 5PCLKA	20章
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4 ~ 5PCLKA	20章
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA	20章
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA	20章
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA	20章
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA	20章
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16, 32	4 ~ 5PCLKA	20章
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA	20章
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4 ~ 5PCLKA	20章
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA	20章
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA	20章
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA	20章
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章

表5.1 I/Oレジスタアドレス一覧(15/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
000C 138Ah	MTU1	タイムジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 1390h	MTU1	タイムインプットキャプチャコントロールレジスタ	TICCR	8	8	4 ~ 5PCLKA	20章
000C 1391h	MTU1	タイムモードレジスタ3	TMDR3	8	8	4 ~ 5PCLKA	20章
000C 1394h	MTU1	タイムコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 13A0h	MTU1	タイムロングワードカウンタ	TCNTLW	32	32	4 ~ 5PCLKA	20章
000C 13A4h	MTU1	タイムロングワードジェネラルレジスタ	TGRALW	32	32	4 ~ 5PCLKA	20章
000C 13A8h	MTU1	タイムロングワードジェネラルレジスタ	TGRBLW	32	32	4 ~ 5PCLKA	20章
000C 1400h	MTU2	タイムコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA	20章
000C 1401h	MTU2	タイムモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA	20章
000C 1402h	MTU2	タイムI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA	20章
000C 1404h	MTU2	タイムインタラプティブレイブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA	20章
000C 1405h	MTU2	タイムステータスレジスタ	TSR	8	8	4 ~ 5PCLKA	20章
000C 1406h	MTU2	タイムカウンタ	TCNT	16	16	4 ~ 5PCLKA	20章
000C 1408h	MTU2	タイムジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA	20章
000C 140Ah	MTU2	タイムジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA	20章
000C 140Ch	MTU2	タイムコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA	20章
000C 1480h	MTU5	タイムカウンタU	TCNTU	16	16, 32	4 ~ 5PCLKA	20章
000C 1482h	MTU5	タイムジェネラルレジスタU	TGRU	16	16	4 ~ 5PCLKA	20章
000C 1484h	MTU5	タイムコントロールレジスタU	TCRU	8	8	4 ~ 5PCLKA	20章
000C 1485h	MTU5	タイムコントロールレジスタ2U	TCR2U	8	8	4 ~ 5PCLKA	20章
000C 1486h	MTU5	タイムI/OコントロールレジスタU	TIORU	8	8	4 ~ 5PCLKA	20章
000C 1490h	MTU5	タイムカウンタV	TCNTV	16	16, 32	4 ~ 5PCLKA	20章
000C 1492h	MTU5	タイムジェネラルレジスタV	TGRV	16	16	4 ~ 5PCLKA	20章
000C 1494h	MTU5	タイムコントロールレジスタV	TCRV	8	8	4 ~ 5PCLKA	20章
000C 1495h	MTU5	タイムコントロールレジスタ2V	TCR2V	8	8	4 ~ 5PCLKA	20章
000C 1496h	MTU5	タイムI/OコントロールレジスタV	TIORV	8	8	4 ~ 5PCLKA	20章
000C 14A0h	MTU5	タイムカウンタW	TCNTW	16	16, 32	4 ~ 5PCLKA	20章
000C 14A2h	MTU5	タイムジェネラルレジスタW	TGRW	16	16	4 ~ 5PCLKA	20章
000C 14A4h	MTU5	タイムコントロールレジスタW	TCRW	8	8	4 ~ 5PCLKA	20章
000C 14A5h	MTU5	タイムコントロールレジスタ2W	TCR2W	8	8	4 ~ 5PCLKA	20章
000C 14A6h	MTU5	タイムI/OコントロールレジスタW	TIORW	8	8	4 ~ 5PCLKA	20章
000C 14B2h	MTU5	タイムインタラプティブレイブルレジスタ	TIER	8	8	4 ~ 5PCLKA	20章
000C 14B4h	MTU5	タイムスタートレジスタ	TSTR	8	8	4 ~ 5PCLKA	20章
000C 14B6h	MTU5	タイムコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4 ~ 5PCLKA	20章
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4 ~ 5PCLKA	20章
007F C100h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2 ~ 3FCLK	34章
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2 ~ 3FCLK	34章
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2 ~ 3FCLK	34章
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2 ~ 3FCLK	34章
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2 ~ 3FCLK	34章
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2 ~ 3FCLK	34章
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2 ~ 3FCLK	34章
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2 ~ 3FCLK	34章
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK	34章
007F C130h	FLASH	フラッシュライトバッファレジスタ0	FWB0	16	16	2 ~ 3FCLK	34章
007F C138h	FLASH	フラッシュライトバッファレジスタ1	FWB1	16	16	2 ~ 3FCLK	34章
007F C140h	FLASH	フラッシュライトバッファレジスタ2	FWB2	16	16	2 ~ 3FCLK	34章
007F C144h	FLASH	フラッシュライトバッファレジスタ3	FWB3	16	16	2 ~ 3FCLK	34章
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2 ~ 3FCLK	34章
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2 ~ 3FCLK	34章
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2 ~ 3FCLK	34章

表5.1 I/Oレジスタアドレス一覧(16 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	参照章
						ICLK \geq PCLKの場合	
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2 ~ 3FCLK	34章
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2 ~ 3FCLK	34章
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2 ~ 3FCLK	34章
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2 ~ 3FCLK	34章
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2 ~ 3FCLK	34章
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2 ~ 3FCLK	34章
007F C1F0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK	34章
007F C350h	FLASHCO NST	ユニークIDレジスタ0	UIDR0	32	32	2 ~ 3FCLK	34章
007F C354h	FLASHCO NST	ユニークIDレジスタ1	UIDR1	32	32	2 ~ 3FCLK	34章
007F C358h	FLASHCO NST	ユニークIDレジスタ2	UIDR2	32	32	2 ~ 3FCLK	34章
007F C35Ch	FLASHCO NST	ユニークIDレジスタ3	UIDR3	32	32	2 ~ 3FCLK	34章
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	34章

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表22.4に16ビットアクセスのレジスタ配置を示します。

6. リセット

6.1 概要

リセットには、RES# 端子リセット、パワーオンリセット、電圧監視0リセット、電圧監視1リセット、電圧監視2リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセットがあります。

表 6.1 にリセットの名称と要因を示します。

表6.1 リセットの名称と要因

リセットの名称	要因
RES#端子リセット	RES#端子の入力電圧がLow
パワーオンリセット	VCCの上昇（監視電圧：VPOR）（注1）
電圧監視0リセット	VCCの下降（監視電圧：Vdet0）（注1）
電圧監視1リセット	VCCの下降（監視電圧：Vdet1）（注1）
電圧監視2リセット	VCCの下降（監視電圧：Vdet2）（注1）
独立ウォッチドッグタイマリセット	独立ウォッチドッグタイマのアンダフロー、またはリフレッシュエラー
ソフトウェアリセット	レジスタ設定

注1. 監視電圧（VPOR、Vdet0、Vdet1、Vdet2）については、「8. 電圧検出回路（LVDAb）」、「35. 電気的特性」を参照してください。

リセットによって内部状態は初期化され、端子は初期状態になります。

表 6.2 にリセット種別ごとの初期化対象を示します。

表6.2 リセット種別ごとの初期化対象

リセット対象	リセット要因						
	RES#端子 リセット	パワーオン リセット	電圧監視0 リセット	独立ウォッチ ドッグタイマ リセット	電圧監視1 リセット	電圧監視2 リセット	ソフトウェア リセット
パワーオンリセット検出フラグ (RSTSR0.PORF)	○	—	—	—	—	—	—
コールドスタート/ウォームスタート判別 フラグ (RSTSR1.CWSF)	— (注1)	○	—	—	—	—	—
電圧監視0リセット検出フラグ (RSTSR0.LVD0RF)	○	○	—	—	—	—	—
独立ウォッチドッグタイマリセット検出 フラグ (RSTSR2.IWDTRF)	○	○	○	—	—	—	—
独立ウォッチドッグタイマのレジスタ (IWDTRR、IWDTCR、IWDTSR、 IWDTRCR、IWDTCSTPR、ILOCOCR)	○	○	○	—	—	—	—
電圧監視1リセット検出フラグ (RSTSR0.LVD1RF)	○	○	○	○	—	—	—
電圧監視機能1のレジスタ (LVD1CR0、LVCMPCR.LVD1E、 LVDLVLR.LVD1LVL[3:0])	○	○	○	○	—	—	—
(LVD1CR1、LVD1SR)	○	○	○	○	—	—	—
電圧監視2リセット検出フラグ (RSTSR0.LVD2RF)	○	○	○	○	○	—	—
電圧監視機能2のレジスタ (LVD2CR0、LVD2E、 LVDLVLR.LVD2LVL[1:0])	○	○	○	○	○	—	—
(LVD2CR1、LVD2SR)	○	○	○	○	○	—	—
ソフトウェアリセット検出フラグ (RSTSR2.SWRF)	○	○	○	○	○	○	—
上記以外のレジスタ、CPUおよび内部状態	○	○	○	○	○	○	○

○：初期化されます。 —：変化しない

注1. 電源投入時は初期化されます。

リセットが解除されると、リセット例外処理を開始します。リセット例外処理については、「13. 例外処理」を参照してください。

表 6.3 にリセットに関連する入出力端子を示します。

表6.3 リセット関連の入出力端子

端子名	入出力	機能
RES#	入力	リセット端子

6.2 レジスタの説明

6.2.1 リセットステータスレジスタ 0 (RSTSR0)

アドレス 0008 C290h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	LVD2R F	LVD1R F	LVD0R F	PORF
リセット後の値	0	0	0	0	0 (注1)	0 (注1)	0 (注1)	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	PORF	パワーオンリセット検出フラグ	0 : パワーオンリセット未検出 1 : パワーオンリセット検出	R/(W) (注1)
b1	LVD0RF	電圧監視0リセット検出フラグ	0 : 電圧監視0リセット未検出 1 : 電圧監視0リセット検出	R/(W) (注1)
b2	LVD1RF	電圧監視1リセット検出フラグ	0 : 電圧監視1リセット未検出 1 : 電圧監視1リセット検出	R/(W) (注1)
b3	LVD2RF	電圧監視2リセット検出フラグ	0 : 電圧監視2リセット未検出 1 : 電圧監視2リセット検出	R/(W) (注1)
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

PORF フラグ (パワーオンリセット検出フラグ)

パワーオンリセットが発生したことを示します。

["1"になる条件]

- パワーオンリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD0RF フラグ (電圧監視 0 リセット検出フラグ)

VCC 電圧が Vdet0 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet0 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD1RF フラグ (電圧監視 1 リセット検出フラグ)

VCC 電圧が Vdet1 レベル以下を検知したことを示します。

["1"になる条件]

- Vdet1 レベルの VCC 電圧を検知したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

LVD2RF フラグ（電圧監視 2 リセット検出フラグ）

VCC 電圧が Vdet2 レベル以下を検知したことを示します。

["1" になる条件]

- Vdet2 レベルの VCC 電圧を検知したとき

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき
- "1" を読んだ後、"0" を書いたとき

6.2.2 リセットステータスレジスタ 1（RSTSR1）

アドレス 0008 C291h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CWSF

リセット後の値 0 0 0 0 0 0 0 0/1
(注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	CWSF	コールドスタート/ウォームスタート判別フラグ	0: コールドスタート 1: ウォームスタート	R/(W) (注1)
b7-b1	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

注1. フラグをセットするための"1"書き込みのみ可能です。

RSTSR1 レジスタは、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かを判定するレジスタです。

CWSF フラグ（コールドスタート/ウォームスタート判別フラグ）

コールドスタートかウォームスタートかを示します。

CWSF フラグは、電源投入時に初期化されます。

["1" になる条件]

- プログラムで"1"を書いたとき。"0"を書いても変化しません。

["0" になる条件]

- 表 6.2 に示すリセットを行ったとき

6.2.3 リセットステータスレジスタ 2 (RSTSR2)

アドレス 0008 00C0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	SWRF	—	IWDTR F
リセット後の値	0	0	0	0	0	0 (注1)	0	0 (注1)

注1. リセット後の値は、リセット要因で異なります。

ビット	シンボル	ビット名	機能	R/W
b0	IWDTRF	独立ウォッチドッグタイマリセット検出フラグ	0: 独立ウォッチドッグタイマリセット未検出 1: 独立ウォッチドッグタイマリセット検出	R/(W) (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	SWRF	ソフトウェアリセット検出フラグ	0: ソフトウェアリセット未検出 1: ソフトウェアリセット検出	R/(W) (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

IWDTRF フラグ (独立ウォッチドッグタイマリセット検出フラグ)

独立ウォッチドッグタイマリセットが発生したことを示します。

["1"になる条件]

- 独立ウォッチドッグタイマリセットが発生したとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

SWRF フラグ (ソフトウェアリセット検出フラグ)

ソフトウェアリセットが発生したことを示します。

["1"になる条件]

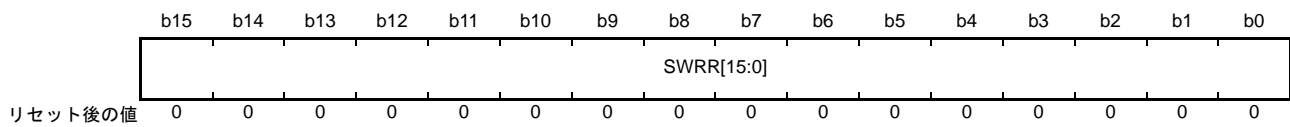
- ソフトウェアリセットを行なったとき

["0"になる条件]

- 表 6.2 に示すリセットを行ったとき
- “1”を読んだ後、“0”を書いたとき

6.2.4 ソフトウェアリセットレジスタ (SWRR)

アドレス 0008 00C2h



ビット	シンボル	ビット名	機能	R/W
b15-b0	SWRR[15:0]	ソフトウェアリセットビット	“A501h”を書くとLSIがリセットされます。読むと“0000h”が読めます	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

6.3 動作説明

6.3.1 RES# 端子リセット

RES# 端子によるリセットです。

RES# 端子が Low になると実行中の処理はすべて打ち切られ、リセット状態になります。

確実にリセットするために、電源投入時は規定の電源安定時間に従い、RES# 端子が Low を保持するようにしてください。

RES# 端子を Low から High にした後、RES# 解除後待機時間 (tRESWT) 経過後に内部リセットが解除され、CPU はリセット例外処理を開始します。

詳細は、「35. 電気的特性」を参照してください。

6.3.2 パワーオンリセット、電圧監視 0 リセット

パワーオンリセットは、パワーオンリセット回路による内部リセットです。

RES# 端子に抵抗を介して VCC に接続した状態で電源を投入すると、パワーオンリセットが発生します。RES# 端子にコンデンサを接続する場合も、RES# 端子の電圧が常に VIH 以上になるようにしてください。VIH は、「35. 電気的特性」を参照してください。VCC が VPOR を超えると、ある一定時間 (パワーオンリセット時間) が経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。パワーオンリセット時間は、外部電源および MCU が安定するための時間です。

また、パワーオンリセットが発生すると、RSTSR0.PORF フラグが“1”になります。PORF フラグは、RES# 端子リセットによって初期化されます。

電圧監視 0 リセットは、電圧監視回路による内部リセットです。

オプション機能選択レジスタ 1 (OFS1) の電圧検出 0 レベル選択ビット (LVDAS) が“0” (リセット後、電圧監視 0 リセット有効) の状態で、VCC が Vdet0 以下になると、RSTSR0.LVDORF フラグが“1”になり、電圧検出回路は電圧監視 0 リセットを発生します。電圧監視 0 リセットを使用する場合は、OFS1.LVDAS ビットを“0”にしてください。VCC が Vdet0 を超えると、LVD0 リセット時間 (tLVD0) 経過後、内部リセットが解除され、CPU がリセット例外処理を開始します。

図 6.1 にパワーオンリセット、および電圧監視 0 リセットの動作例を示します。

電圧監視 0 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

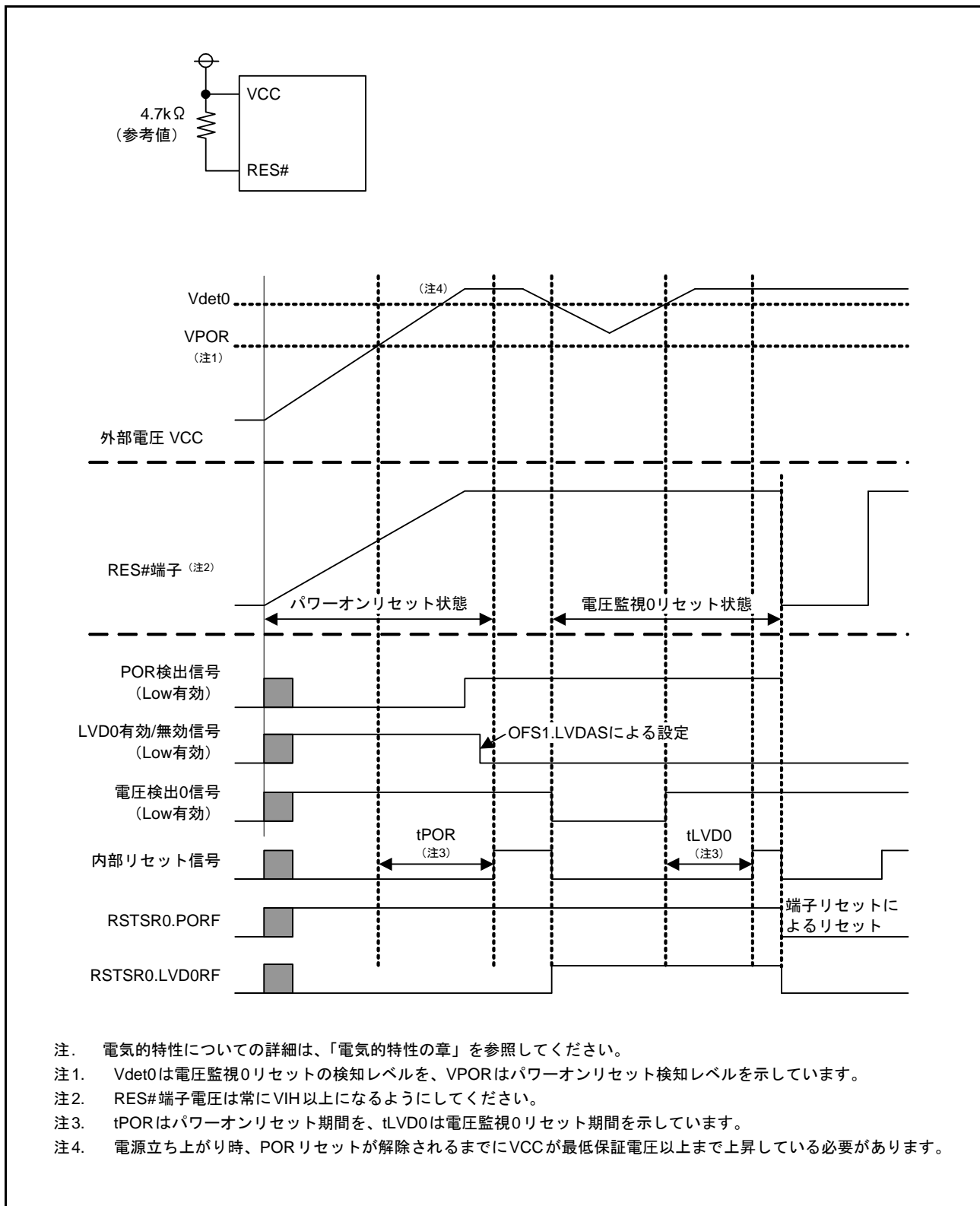


図 6.1 パワーオンリセット、電圧監視0リセット動作例

6.3.3 電圧監視 1 リセット、電圧監視 2 リセット

電圧監視回路による内部リセットです。

電圧監視 1 回路制御レジスタ 0 (LVD1CR0) の電圧監視 1 割り込み/リセット許可ビット (LVD1RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 1 回路モード選択ビット (LVD1RI) が“1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det1} 以下になると、RSTSR0.LVD1RF フラグが“1”になり、電圧検出回路は電圧監視 1 リセットを発生します。

同様に、電圧監視 2 回路制御レジスタ 0 (LVD2CR0) の電圧監視 2 割り込み/リセット許可ビット (LVD2RIE) が“1” (電圧検出回路によるリセット/割り込み有効) で、かつ電圧監視 2 回路モード選択ビット (LVD2RI) が“1” (低電圧検出時、リセット発生) の状態で、VCC が V_{det2} 以下になると、RSTSR0.LVD2RF フラグが“1”になり、電圧検出回路は電圧監視 2 リセットを発生します。

電圧監視 1 リセットの解除タイミングは、LVD1CR0 レジスタの電圧監視 1 リセットネゲート選択ビット (LVD1RN) で選択可能です。LVD1CR0.LVD1RN ビットが“0”のとき、VCC が V_{det1} 以下になり、その後 V_{det1} を超えてから LVD1 リセット時間 (t_{LVD1}) が経過すると内部リセットが解除され、CPU がリセット例外処理を開始します。また、LVD1CR0.LVD1RN ビットが“1”のとき、VCC が V_{det1} 以下になってから LVD1 リセット時間 (t_{LVD1}) 経過後に内部リセットが解除され、CPU がリセット例外処理を開始します。

電圧監視 2 リセットの解除タイミングも同様で、LVD2CR0 レジスタの電圧監視 2 リセットネゲート選択ビット (LVD2RN) の設定により選択可能です。

V_{det1} 、および V_{det2} の電圧検出レベルは、電圧検出レベル選択レジスタ (LVDLVLR) の設定によって変更できます。

図 6.2 に電圧監視 1 リセット、および電圧監視 2 リセットの動作例を示します。

電圧監視 1 リセット、および電圧監視 2 リセットの詳細は、「8. 電圧検出回路 (LVDAb)」を参照してください。

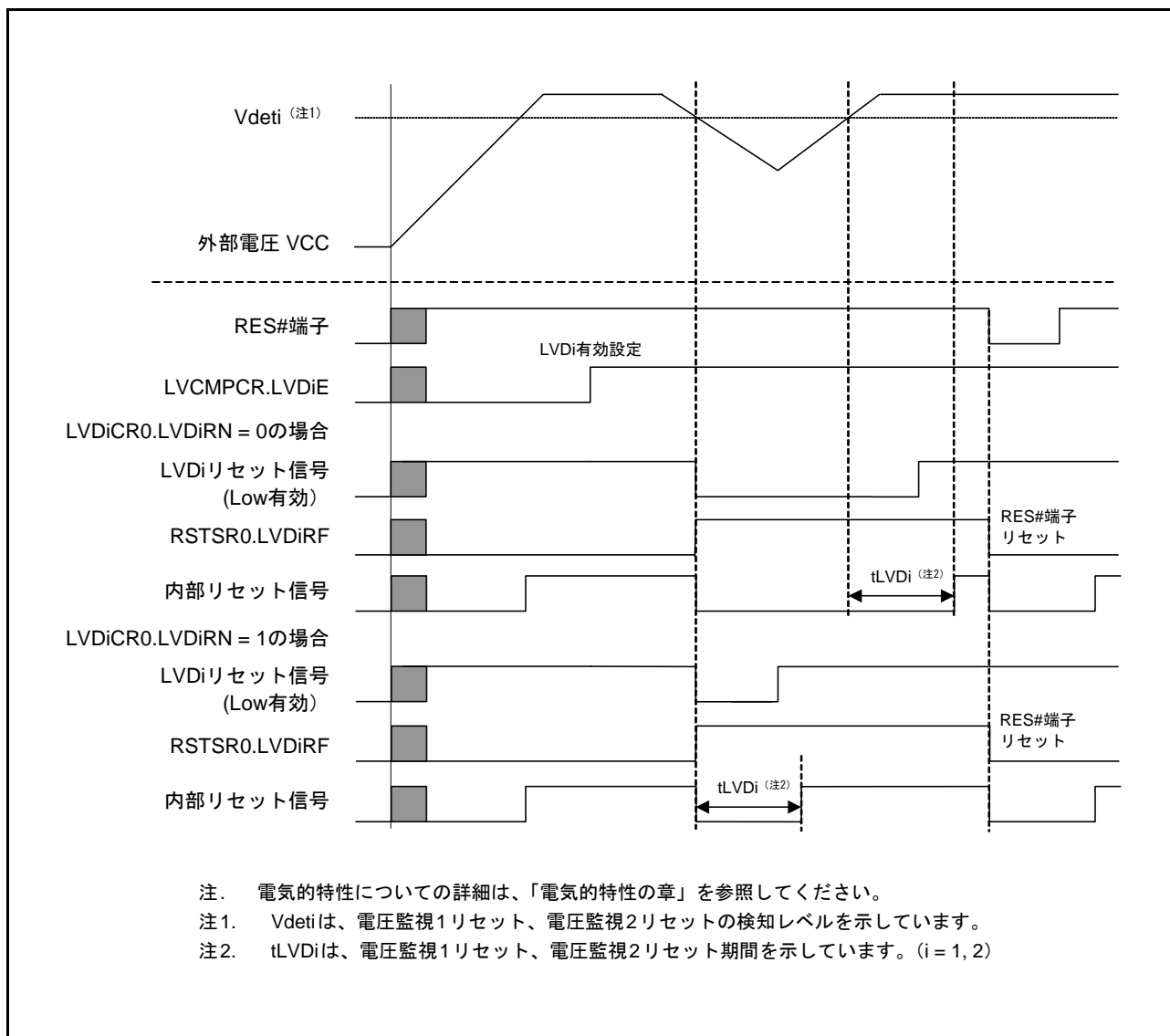


図 6.2 電圧監視 1 リセット、電圧監視 2 リセット動作例

6.3.4 独立ウォッチドッグタイマリセット

独立ウォッチドッグタイマによる内部リセットです。

IWDT リセットコントロールレジスタ (IWDTRCR)、あるいはオプション機能選択レジスタ 0 (OFS0) の設定により、独立ウォッチドッグタイマから独立ウォッチドッグタイマリセットを出力するかどうかを選択できます。

独立ウォッチドッグタイマリセット出力を選択した場合、独立ウォッチドッグタイマがアンダフローしたとき、あるいはリフレッシュ許可期間以外で書き込みを行った場合に、独立ウォッチドッグタイマリセットが発生します。独立ウォッチドッグタイマリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

独立ウォッチドッグタイマリセットの詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

6.3.5 ソフトウェアリセット

ソフトウェアリセット回路による内部リセットです。

SWRR レジスタに“A501h”を書くと、ソフトウェアリセットが発生します。ソフトウェアリセット発生後、内部リセット時間 (tRESW2) 経過後に内部リセットは解除され、CPU がリセット例外処理を開始します。

6.3.6 コールドスタート/ウォームスタート判定機能

RSTSR1.CWSF フラグにより、電源が投入されたときのリセット処理（コールドスタート）か、動作中にリセット信号が入力されたときのリセット処理（ウォームスタート）かの判定をすることができます。

RSTSR1.CWSF フラグはパワーオンリセットが発生すると“0”（コールドスタート）になります。その他のリセットを行っても“0”になりません。また、プログラムで“1”を書くと、“1”になります。“0”を書いても変化しません。

図 6.3 にコールドスタート/ウォームスタート判定機能の動作例を示します。

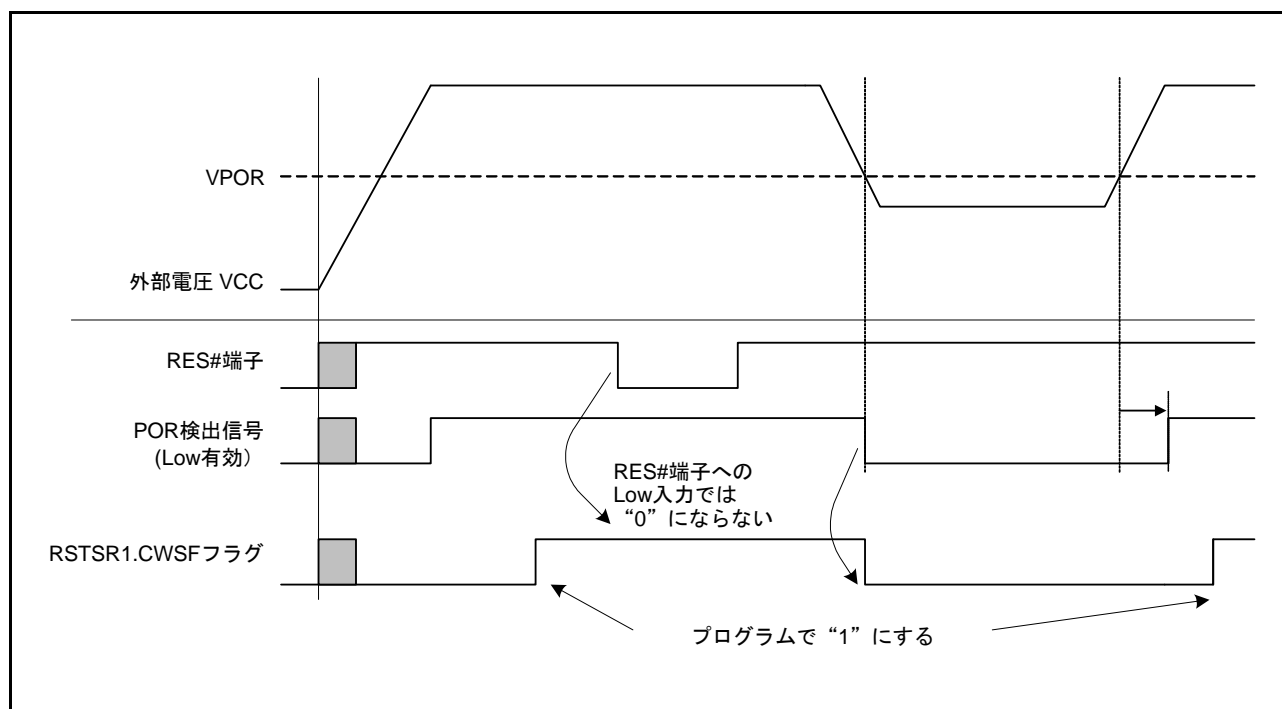


図 6.3 コールドスタート/ウォームスタート判定機能の動作例

6.3.7 リセット発生要因の判定

RSTSR0レジスタとRSTSR2レジスタを読むことで、いずれのリセット発生によってリセット例外処理が実行されたかを確認することができます。

図 6.4 にリセット発生要因判定フロー例を示します。

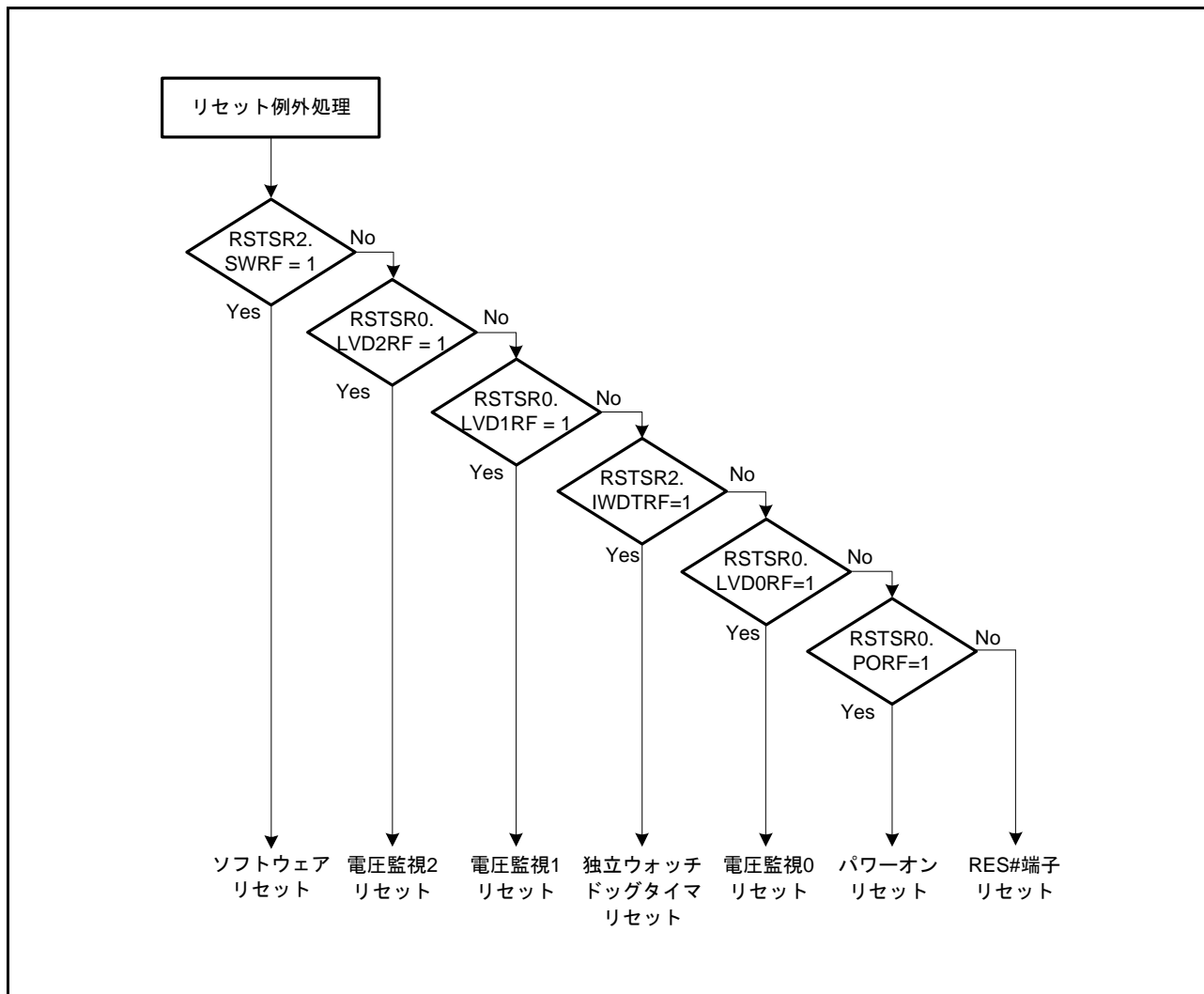


図 6.4 リセット発生要因判定フロー例

7. オプション設定メモリ

7.1 概要

オプション設定メモリは、リセット後のマイコンの状態を選択するレジスタを備えています。オプション設定メモリは、ROM上にあります。

図 7.1 にオプション設定メモリ領域を示します。

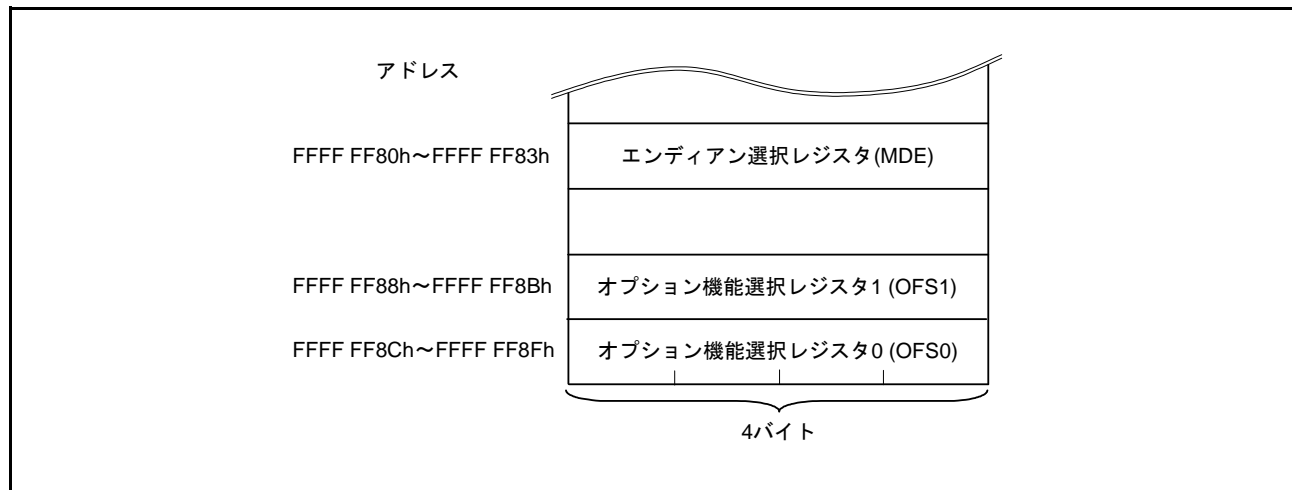


図 7.1 オプション設定メモリ領域

7.2 レジスタの説明

7.2.1 オプション機能選択レジスタ 0 (OFS0)

アドレス FFFF FF8Ch

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	IWDTS LCSTP	—	IWDTR STIRQS	IWDTRPSS[1:0]	IWDTRPES[1:0]	IWDTCKS[3:0]			IWDTTOPS[1:0]	IWDTS TRT	—				
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b1	IWDTSTRT	IWDTスタートモード選択ビット	0：リセット後、IWDTはオートスタートモードにて自動的に起動 1：リセット後、IWDTは停止状態	R
b3-b2	IWDTTOPS[1:0]	IWDTタイムアウト期間選択ビット	b3 b2 0 0：128サイクル (007Fh) 0 1：512サイクル (01FFh) 1 0：1024サイクル (03FFh) 1 1：2048サイクル (07FFh)	R
b7-b4	IWDTCKS[3:0]	IWDTクロック分周比選択ビット	b7 b4 0 0 0 0：分周なし 0 0 1 0：16分周 0 0 1 1：32分周 0 1 0 0：64分周 1 1 1 1：128分周 0 1 0 1：256分周 上記以外は設定しないでください	R
b9-b8	IWDTRPES[1:0]	IWDTウィンドウ終了位置選択ビット	b9 b8 0 0：75% 0 1：50% 1 0：25% 1 1：0% (ウィンドウの終了位置設定なし)	R
b11-b10	IWDTRPSS[1:0]	IWDTウィンドウ開始位置選択ビット	b11 b10 0 0：25% 0 1：50% 1 0：75% 1 1：100% (ウィンドウの開始位置設定なし)	R
b12	IWDTRSTIRQS	IWDTリセット割り込み要求選択ビット	0：ノンマスクابل割り込み要求を許可 1：リセットを許可	R
b13	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b14	IWDTS LCSTP	IWDTスリープモードカウント停止制御ビット	0：カウント停止無効 1：スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止有効	R
b31-b15	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、“FFFF FFFFh”です。ユーザでのプログラム後は、プログラムした値になります。

OFS0 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS0 レジスタに追加書き込みをしないでください。

OFS0 レジスタを含むブロックを消去すると、OFS0 レジスタは“FFFF FFFFh”になります。

ブートモード時はOFS0 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

IWDTSTRT ビット (IWDT スタートモード選択ビット)

リセット後のIWDTの起動モード（停止状態、またはオートスタートモードでの起動）が選択できます。オートスタートモードでの起動の場合、IWDTの設定は、OFS0 レジスタの設定が有効となります。

IWDTTOPS[1:0] ビット (IWDT タイムアウト期間選択ビット)

ダウンカウンタがアンダフローするまでのタイムアウト期間をIWDTCKS[3:0] ビットで設定した分周クロックを1サイクルとして、128サイクル/512サイクル/1024サイクル/2048サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間（IWDT専用クロック数）は、IWDTCKS[3:0] ビットとIWDTTOPS[1:0] ビットの組み合わせにより決定します。

詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTCKS[3:0] ビット (IWDT クロック分周比選択ビット)

IWDT専用クロックを分周するプリスケアラの分周比設定を1分周/16分周/32分周/64分周/128分周/256分周から選択します。IWDTTOPS[1:0] ビットと組み合わせて、IWDTのカウント期間をIWDT専用クロックの128～524288クロックの間で設定できます。

詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPES[1:0] ビット (IWDT ウィンドウ終了位置選択ビット)

ダウンカウンタのウィンドウ終了位置を、カウント期間の75%、50%、25%、0%から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します（ウィンドウ開始位置>ウィンドウ終了位置）。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

IWDRPSS[1:0]、IWDRPES[1:0] ビットで設定したウィンドウ開始/終了位置のカウント値は、IWDTTOPS[1:0] ビットの設定により変わります。

詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRPSS[1:0] ビット (IWDT ウィンドウ開始位置選択ビット)

ダウンカウンタのウィンドウ開始位置を、カウント期間（カウント開始を100%、アンダフロー発生時を0%）の100%、75%、50%、25%から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDRSTIRQS ビット (IWDT リセット割り込み要求選択ビット)

ダウンカウンタのアンダフロー、またはリフレッシュエラー発生時の動作を設定します。独立ウォッチドッグタイマリセットもしくは、ノンマスカブル割り込み要求のいずれかが選択できます。

詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

IWDTSLCSTP ビット (IWDT スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード移行時のカウント停止を選択します。

詳細は「24. 独立ウォッチドッグタイマ (IWDTa)」を参照してください。

7.2.2 オプション機能選択レジスタ 1 (OFS1)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCO EN	—	—	—	—	—	LVDAS	VDSEL[1:0]	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出0レベル選択ビット	b1 b0 0 0 : 3.84Vを選択 1 0 : 2.51Vを選択 電圧検出0回路を使用する場合は、上記以外は設定しないでください	R
b2	LVDAS	電圧検出0回路起動ビット	0 : リセット後、電圧監視0リセット有効 1 : リセット後、電圧監視0リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R
b8	HOCOEN	HOCO発振有効ビット	0 : リセット後、HOCO発振が有効 1 : リセット後、HOCO発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、“FFFF FFFFh”です。ユーザでのプログラム後は、プログラムした値になります。

OFS1 レジスタはROM上にあります。プログラムと一緒に書いてください。書いた後、OFS1 レジスタに追加書き込みをしないでください。

OFS1 レジスタを含むブロックを消去すると、OFS1 レジスタは“FFFF FFFFh”となります。

ブートモード時はOFS1 レジスタの値は無視され、“FFFF FFFFh”が設定されているときと同じ動作になります。

VDSEL[1:0] ビット (電圧検出0レベル選択ビット)

電圧検出0回路の電圧検出レベルを選択します。

LVDAS ビット (電圧検出0回路起動ビット)

リセット後、電圧監視0リセットを有効にするか無効にするかを選択します。

電圧検出0回路で監視するVdet0電圧は、VDSEL[1:0]ビットで選択します。

HOCOEN ビット (HOCO発振有効ビット)

リセット後、HOCO用発振を有効にするか無効にするかを選択します。

HOCOENビットを“0”にすることにより、CPUが動作する前にHOCOの発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOENビットを“0”にしても、システムクロックソースはHOCOに切り替わりません。CPUからクロックソース選択ビット(SCKCR3.CKSEL[2:0])を書き換えることにより、切り替わります。

また、HOCOENビットに“0”を設定している場合、HOCO発振安定時間(tHOCO)はハードウェアで確

保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数 (fHOCO) の精度のクロックが供給されます。

7.2.3 エンディアン選択レジスタ (MDE)

アドレス FFFF FF80h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値 ユーザの設定値 (注1)															
b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	—	MDE[2:0]	—
リセット後の値 ユーザの設定値 (注1)															

ビット	シンボル	ビット名	機能	R/W
b2-b0	MDE[2:0]	エンディアン選択ビット	b2 b0 0 0 0: ビッグエンディアン 1 1 1: リトルエンディアン 上記以外は設定しないでください	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1”にしてください	R

注1. ブランク品は、“FFFF FFFFh”です。ユーザでのプログラム後は、プログラムした値になります。

MDE レジスタは、CPU のエンディアンを選択するレジスタです。

MDE レジスタは ROM 上にあります。プログラムと一緒に書いてください。書いた後、MDE レジスタに追加書き込みをしないでください。

MDE レジスタを含むブロックを消去すると、MDE レジスタは“FFFF FFFFh”になります。

MDE[2:0] ビット (エンディアン選択ビット)

リトルエンディアン/ビッグエンディアンを選択します。

7.3 使用上の注意事項

7.3.1 オプション設定メモリの設定例

オプション設定メモリは ROM 上にありますので、命令の実行では書き換えられません。プログラム作成時に適切な値を書いてください。以下に設定例を示します。

- OFS0 レジスタに“ffff fff8h”を設定する場合
.org 0ffff ff8ch
.lword 0ffffff8h

注. プログラムの書式はコンパイラによって異なります。コンパイラのマニュアルで確認してください。

8. 電圧検出回路 (LVDAb)

電圧検出回路は VCC 端子に入力する電圧を監視する回路です。VCC 入力電圧をプログラムで監視できます。

8.1 概要

電圧検出 0 はオプション機能選択レジスタ 1 (OFS1) で、検出電圧を 2 レベルから選択できます。

電圧検出 1 は、電圧検出レベル選択レジスタ (LVDLVLR) で、検出電圧を 9 レベルから選択できます。

電圧検出 2 は、LVDLVLR レジスタで検出電圧を 4 レベルから選択できます。

電圧監視 0 リセット、電圧監視 1 リセット/割り込み、電圧監視 2 リセット/割り込みを使用できます。

表 8.1 に電圧検出回路の仕様を示します。図 8.1 に電圧検出回路ブロック図を、図 8.2 に電圧監視 1 割り込み/リセット発生回路のブロック図を、図 8.3 に電圧監視 2 割り込み/リセット発生回路のブロック図を示します。

表 8.1 電圧検出回路の仕様

項目		電圧監視0	電圧監視1	電圧監視2
VCC監視	監視する電圧	Vdet0	Vdet1	Vdet2
	検出対象	下降してVdet0を通過した場合	上昇または下降してVdet1を通過した場合	上昇または下降してVdet2を通過した場合
	検出電圧	OFS1レジスタで2レベルから選択可能	LVDLVLR.LVD1LVL[3:0]ビットで9レベルから選択可能	LVDLVLR.LVD2LVL[1:0]ビットで4レベルから選択可能
	モニタフラグ	なし	LVD1SR.LVD1MONフラグ： Vdet1より高いか低いかをモニタ	LVD2SR.LVD2MONフラグ： Vdet2より高いか低いかをモニタ
電圧検出時の処理	リセット	電圧監視0リセット	電圧監視1リセット	電圧監視2リセット
		Vdet0 > VCCでリセット： VCC > Vdet0の一定時間後にCPU動作再開	Vdet1 > VCCでリセット： VCC > Vdet1の一定時間後にCPU動作再開、またはVdet1 > VCCの一定時間後にCPU動作再開を選択可能	Vdet2 > VCCでリセット： VCC > Vdet2の一定時間後にCPU動作再開、またはVdet2 > VCCの一定時間後にCPU動作再開を選択可能
	割り込み	なし	電圧監視1割り込み	電圧監視2割り込み
			ノンマスクابلまたはマスクابلを選択可能	ノンマスクابلまたはマスクابلを選択可能
			Vdet1 > VCC、VCC > Vdet1の両方、またはどちらかで割り込み要求	Vdet2 > VCC、VCC > Vdet2の両方、またはどちらかで割り込み要求

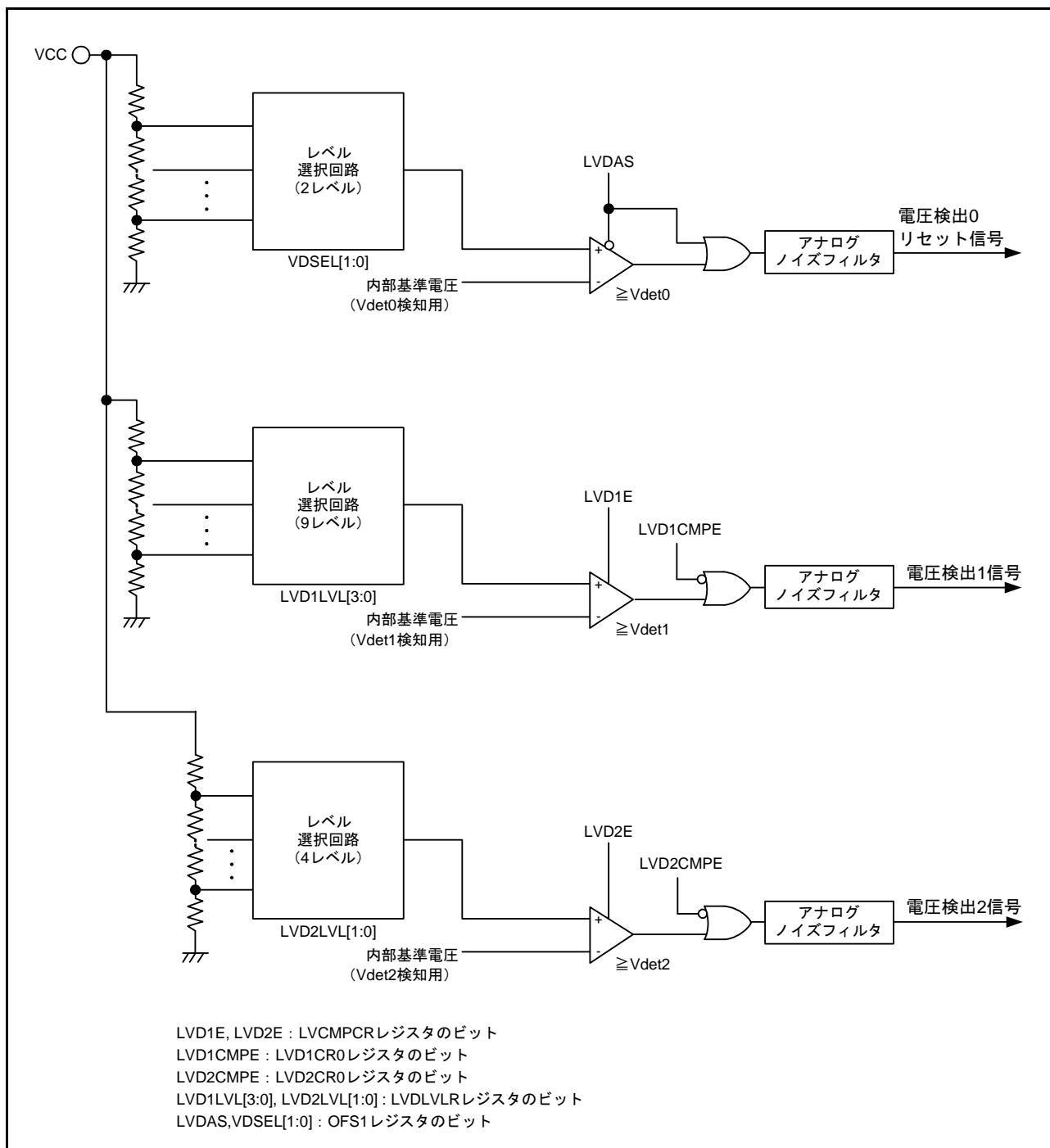


図 8.1 電圧検出回路ブロック図

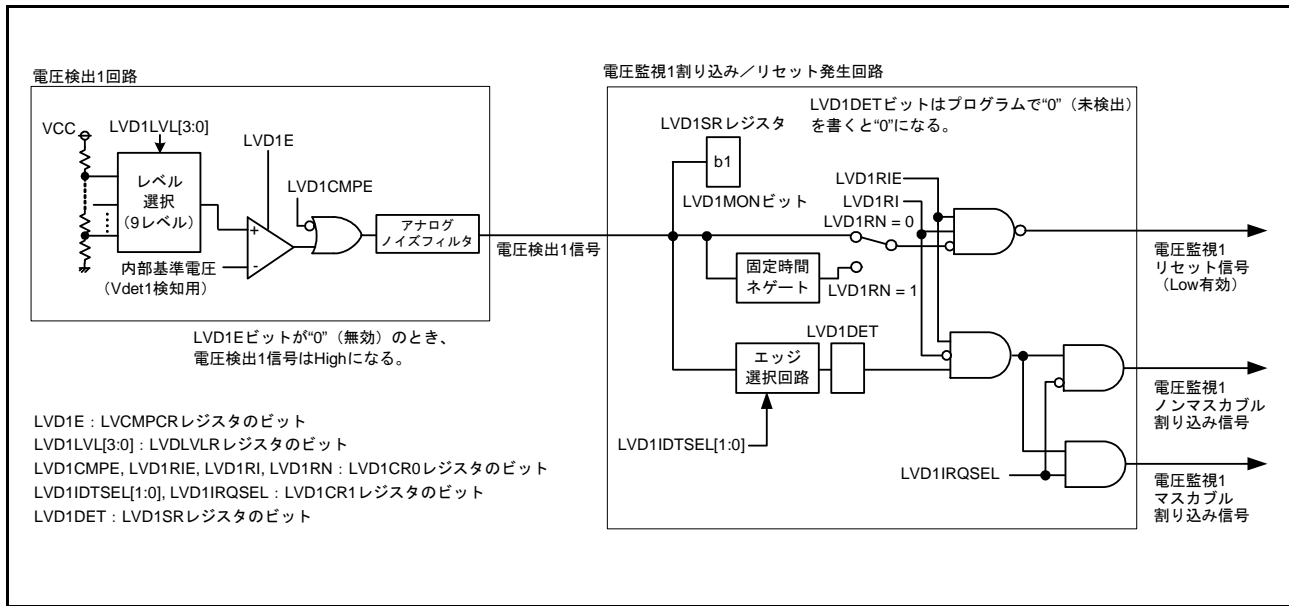


図 8.2 電圧監視1割り込み/リセット発生回路のブロック図

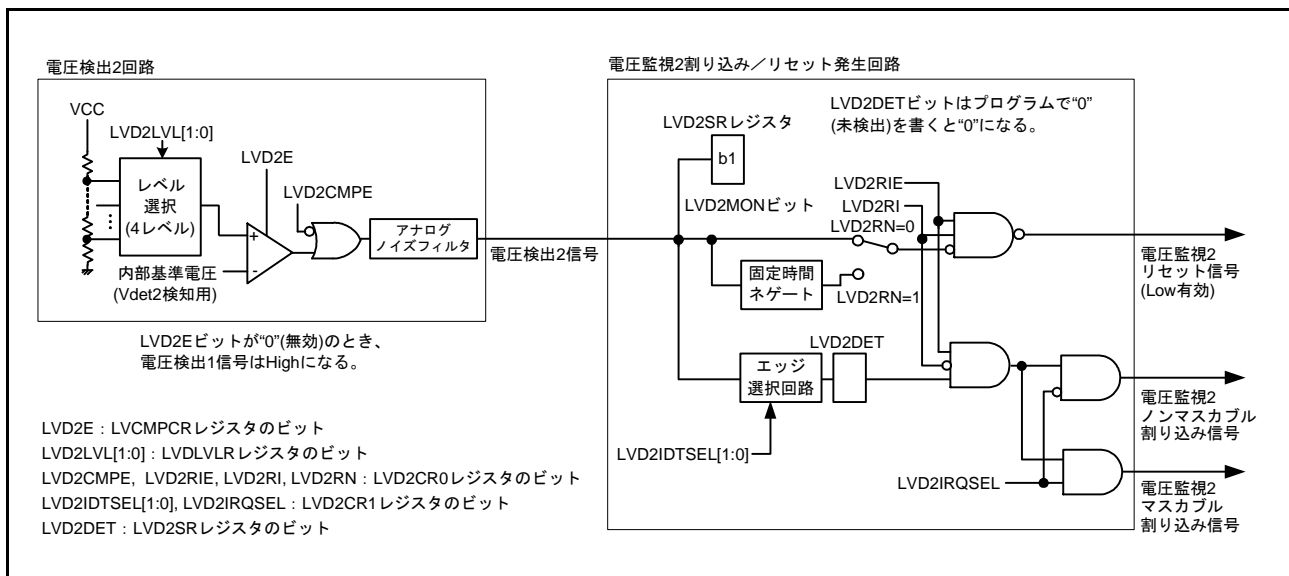


図 8.3 電圧監視2割り込み/リセット発生回路のブロック図

8.2 レジスタの説明

8.2.1 電圧監視1回路制御レジスタ1 (LVD1CR1)

アドレス 0008 00E0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD1IR QSEL	LVD1IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD1IDTSEL [1:0]	電圧監視1割り込み発生条件選択ビット	b1 b0 0 0 : VCC ≥ Vdet1 (上昇) 検出時 0 1 : VCC < Vdet1 (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD1IRQSEL	電圧監視1割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

8.2.2 電圧監視 1 回路ステータスレジスタ (LVD1SR)

アドレス 0008 00E1h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD1M ON	LVD1D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD1DET	電圧監視1電圧変化検出フラグ	0 : 未検出 1 : Vdet1 通過検出	R/(W) (注1)
b1	LVD1MON	電圧監視1信号モニタフラグ	0 : VCC < Vdet1 1 : VCC ≥ Vdet1 または LVD1MON 無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD1DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD1DET フラグ（電圧監視 1 電圧変化検出フラグ）

LVD1DET フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

LVD1DET フラグを“0”にするときは、LVD1CR0.LVD1RIE を“0”（禁止）にしてから行ってください。再度、LVD1CR0.LVD1RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD1MON フラグ（電圧監視 1 信号モニタフラグ）

LVD1MON フラグは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）、かつ LVD1CR0.LVD1CMPE ビットが“1”（電圧監視 1 回路比較結果出力許可）のとき有効になります。

8.2.3 電圧監視2回路制御レジスタ1 (LVD2CR1)

アドレス 0008 00E2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	LVD2IR QSEL	LVD2IDTSEL [1:0]	
リセット後の値	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	LVD2IDTSEL [1:0]	電圧監視2割り込み発生条件選択ビット	b1 b0 0 0 : $VCC \geq Vdet2$ (上昇) 検出時 0 1 : $VCC < Vdet2$ (下降) 検出時 1 0 : 下降および上昇検出時 1 1 : 設定しないでください	R/W
b2	LVD2IRQSEL	電圧監視2割り込み種類選択ビット	0 : ノンマスクブル割り込み 1 : マスクブル割り込み	R/W
b7-b3	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W

注. このレジスタはPRCR.PRC3ビットを"1" (書き込み許可) にした後で書き換えてください。

8.2.4 電圧監視 2 回路ステータスレジスタ (LVD2SR)

アドレス 0008 00E3h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	LVD2M ON	LVD2D ET
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LVD2DET	電圧監視2電圧変化検出フラグ	0: 未検出 1: Vdet2通過検出	R/(W) (注1)
b1	LVD2MON	電圧監視2信号モニタフラグ	0: VCC < Vdet2 1: VCC ≥ Vdet2またはLVD2MON無効	R
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。“0”を書いた後、LVD2DETビットの読み出し値に反映されるまでにシステムクロック2サイクルかかります。

LVD2DET フラグ（電圧監視 2 電圧変化検出フラグ）

LVD2DET フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

LVD2DET フラグを“0”にするときは、LVD2CR0.LVD2RIE を“0”（禁止）にしてから行ってください。再度、LVD2CR0.LVD2RIE を“1”（許可）にする場合は、PCLKB2 サイクル以上経過してから行ってください。

アクセスサイクル数が PCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

LVD2MON フラグ（電圧監視 2 信号モニタフラグ）

LVD2MON フラグは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）、かつ LVD2CR0.LVD2CMPE ビットが“1”（電圧監視 2 回路比較結果出力許可）のとき有効になります。

8.2.5 電圧監視回路制御レジスタ (LVCMPCR)

アドレス 0008 C297h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	LVD2E	LVD1E	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	LVD1E	電圧検出1許可ビット	0: 電圧検出1回路無効 1: 電圧検出1回路有効	R/W
b6	LVD2E	電圧検出2許可ビット	0: 電圧検出2回路無効 1: 電圧検出2回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1E ビット（電圧検出1許可ビット）

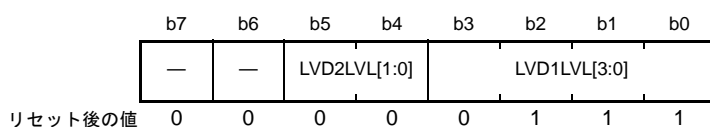
電圧検出1の割り込み/リセットを使用する場合、またはLVD1SR.LVD1MONフラグを使用する場合、LVD1Eビットを“1”にしてください。LVD1Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出1回路が動作します。

LVD2E ビット（電圧検出2許可ビット）

電圧検出2の割り込み/リセットを使用する場合、またはLVD2SR.LVD2MONフラグを使用する場合、LVD2Eビットを“1”にしてください。LVD2Eビットを“0”から“1”にした後、td(E-A)経過してから電圧検出2回路が動作します。

8.2.6 電圧検出レベル選択レジスタ (LVDLVLR)

アドレス 0008 C298h



ビット	シンボル	ビット名	機能	R/W
b3-b0	LVD1LVL[3:0]	電圧検出1レベル選択ビット (電圧下降時の標準電圧)	b3 b0 0 0 0 0 : 4.29V 0 0 0 1 : 4.14V 0 0 1 0 : 4.02V 0 0 1 1 : 3.84V 0 1 0 0 : 3.10V 0 1 0 1 : 3.00V 0 1 1 0 : 2.90V 0 1 1 1 : 2.79V 1 0 0 0 : 2.68V 上記以外は設定しないでください	R/W
b5-b4	LVD2LVL[1:0]	電圧検出2レベル選択ビット (電圧下降時の標準電圧)	b5 b4 0 0 : 4.29V 0 1 : 4.14V 1 0 : 4.02V 1 1 : 3.84V	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVDLVLR レジスタを変更するときは、LVCMPCR.LVD1E ビットおよびLVCMPCR.LVD2E ビットを共に“0”（電圧検出 n 回路無効）（n = 1, 2）にしてから行ってください。

また、LVD1LVL[3:0] ビットで設定の電圧検出レベルの範囲と LVD2LVL[1:0] ビットで設定の電圧検出レベルの範囲とがオーバーラップする設定をした場合、LVD1、LVD2 のどちらで電圧検出動作するかは特定できません。電圧検出レベルの範囲については、「35. 電気的特性」を参照してください。

8.2.7 電圧監視 1 回路制御レジスタ 0 (LVD1CR0)

アドレス 0008 C29Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD1RN	LVD1RI	—	—	—	LVD1CMPE	—	LVD1RIE
リセット後の値	1	0	0	0	x	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD1RIE	電圧監視1割り込み/リセット許可ビット	0: 禁止 1: 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD1CMPE	電圧監視1回路比較結果出力許可ビット	0: 電圧監視1回路比較結果出力禁止 1: 電圧監視1回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD1RI	電圧監視1回路モード選択ビット	0: Vdet1 通過時に電圧監視1割り込み 1: 下降してVdet1通過時に電圧監視1リセット	R/W
b7	LVD1RN	電圧監視1リセットネゲート選択ビット	0: VCC > Vdet1 検出から一定時間 (tLVD1) 経過後にネゲート 1: 電圧監視1リセットアサートから一定時間 (tLVD1) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD1RIE ビット（電圧監視 1 割り込み/リセット許可ビット）

LVD1RIE ビットは、LVCMPCR.LVD1E ビットが“1”（電圧検出 1 回路有効）かつ LVD1CMPE ビットが“1”（電圧検出 1 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み/消去中は、電圧監視 1 リセットおよび電圧監視 1 ノンマスクブル割り込みを発生させないでください。

LVD1RN ビット（電圧監視 1 リセットネゲート選択ビット）

LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD1RN ビットを“0”（VCC > Vdet1 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD1RN ビットを“1”（電圧監視 1 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.2.8 電圧監視 2 回路制御レジスタ 0 (LVD2CR0)

アドレス 0008 C29Bh

	b7	b6	b5	b4	b3	b2	b1	b0
	LVD2RN	LVD2RI	—	—	—	LVD2CMPE	—	LVD2RIE
リセット後の値	1	0	0	0	x	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	LVD2RIE	電圧監視2割り込み/リセット許可ビット	0 : 禁止 1 : 許可	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	LVD2CMPE	電圧監視2回路比較結果出力許可ビット	0 : 電圧監視2回路比較結果出力禁止 1 : 電圧監視2回路比較結果出力許可	R/W
b3	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVD2RI	電圧監視2回路モード選択ビット	0 : Vdet2通過時に電圧監視2割り込み 1 : 下降してVdet2通過時に電圧監視2リセット	R/W
b7	LVD2RN	電圧監視2リセットネゲート選択ビット	0 : VCC > Vdet2検出から一定時間 (tLVD2) 経過後にネゲート 1 : 電圧監視2リセットアサートから一定時間 (tLVD2) 経過後にネゲート	R/W

注. このレジスタはPRCR.PRC3ビットを“1”（書き込み許可）にした後で書き換えてください。

LVD2RIE ビット（電圧監視 2 割り込み / リセット許可ビット）

LVD2RIE ビットは、LVCMPCR.LVD2E ビットが“1”（電圧検出 2 回路有効）かつ LVD2CMPE ビットが“1”（電圧検出 2 回路比較結果出力許可）のとき有効になります。

フラッシュメモリの書き込み / 消去中は、電圧監視 2 リセットおよび電圧監視 2 ノンマスクブル割り込みを発生させないでください。

LVD2RN ビット（電圧監視 2 リセットネゲート選択ビット）

LVD2RN ビットを“1”（電圧監視 2 リセットアサートから一定時間経過後にネゲート）にする場合は、LOCOCR.LCSTP ビットは“0”（LOCO 動作）にしてください。また、ソフトウェアスタンバイモードへ移行する場合は、LVD2RN ビットを“0”（VCC > Vdet2 検出から一定時間経過後にネゲート）にすることのみ可能です。LVD2RN ビットを“1”（電圧監視 2 リセットアサートから一定時間経過後にネゲート）にしないでください。

8.3 VCC 入力電圧のモニタ

8.3.1 Vdet0 のモニタ

Vdet0 のモニタはできません。

8.3.2 Vdet1 のモニタ

以下の設定をした後、LVD1SR.LVD1MON フラグで電圧監視 1 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD1LVL[3:0] ビット (電圧検出 1 検出電圧) を設定する
- (2) LVCMP.R.LVD1E ビットを“1” (電圧検出 1 回路有効) にする
- (3) td(E-A) 待ってから、LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする。

8.3.3 Vdet2 のモニタ

以下の設定をした後、LVD2SR.LVD2MON フラグで電圧監視 2 の比較結果をモニタできます。

- (1) LVDLVL.R.LVD2LVL[1:0] ビット (電圧検出 2 検出電圧) を設定する
- (2) LVCMP.R.LVD2E ビットを“1” (電圧検出 2 回路有効) にする
- (3) td(E-A) 待ってから、LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする。

8.4 電圧監視0リセット

電圧監視0リセットを使用する場合は、OFS1.LVDAS ビットを“0”（リセット後、電圧監視0リセット有効）にしてください。

図 8.4 に電圧監視0リセット動作例を示します。

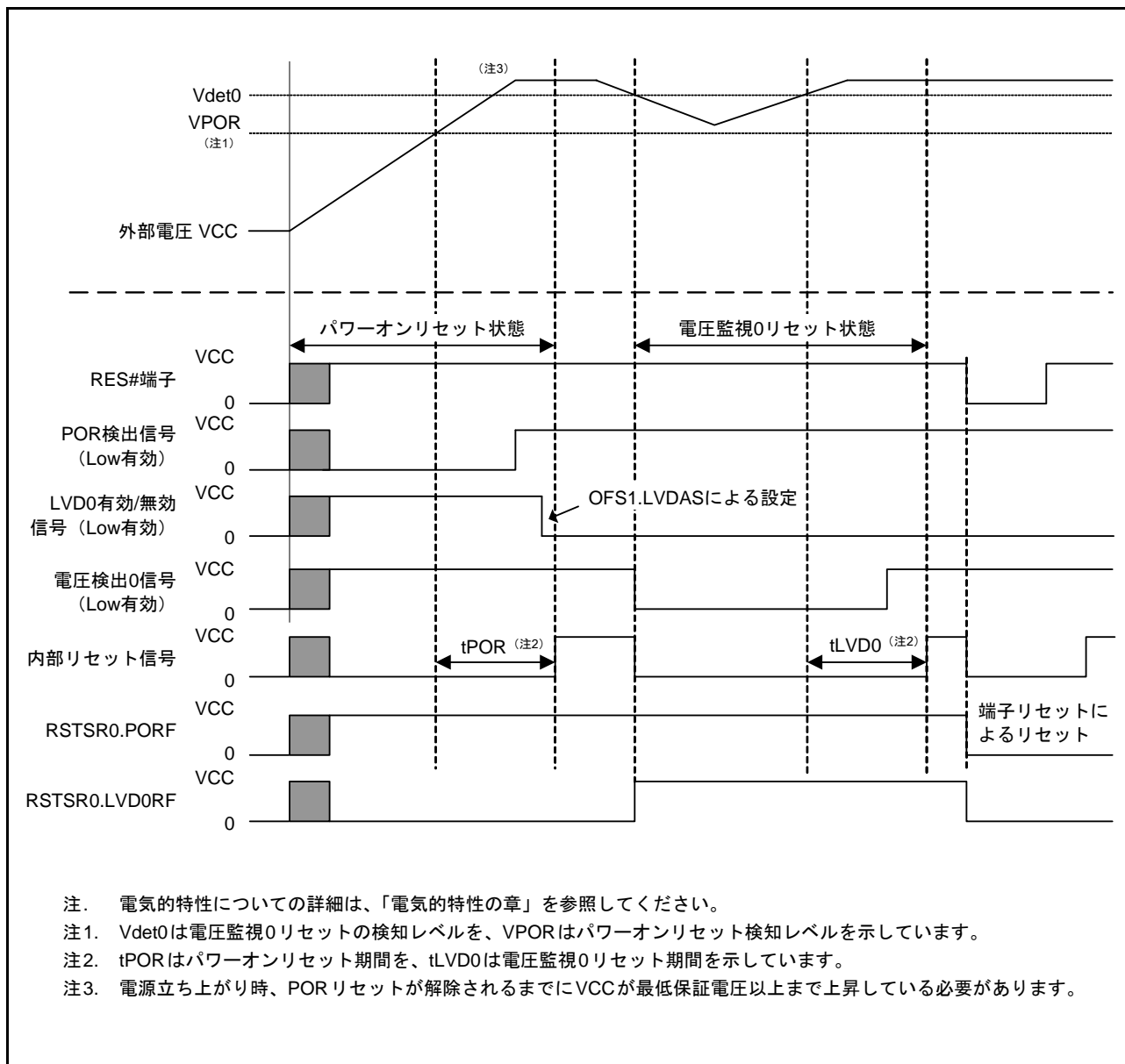


図 8.4 電圧監視0リセット動作例

8.5 電圧監視 1 割り込み、電圧監視 1 リセット

表 8.2 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順を、表 8.3 に電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順を、図 8.5 に電圧監視 1 割り込み動作例を示します。電圧監視 1 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.2 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの動作設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1 (注1)	LVDLVLR.LVD1LVL[3:0]ビットで検出電圧を選択する	
2 (注1)	LVD1CR0.LVD1RI ビットを“0” (電圧監視 1 割り込み) にする	LVD1CR0.LVD1RI ビットを“1” (電圧監視 1 リセット) にする。 LVD1CR0.LVD1RN ビットでリセットネゲートの種類を選択する
3	LVD1CR1.LVD1IDTSEL[1:0]ビットで割り込み要求のタイミングを選択する。 LVD1CR1.LVD1IRQSEL ビットで割り込みの種類を選択する。	—
4	—	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み / リセット許可) にする。
5 (注1)	LVCMPCR.LVD1E ビットを“1” (電圧検出 1 回路有効) にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD1CR0.LVD1CMPE ビットを“1” (電圧監視 1 回路比較結果出力許可) にする	
8	LVD1SR.LVD1DET ビットを“0”にする	—
9	LVD1CR0.LVD1RIE ビットを“1” (電圧監視 1 割り込み / リセット許可) にする	—

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1~9 で設定してください。

表 8.3 電圧監視 1 割り込み、電圧監視 1 リセット関連ビットの停止設定手順

手順	電圧監視 1 割り込み	電圧監視 1 リセット
1	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み / リセット禁止) にする	—
2	LVD1CR0.LVD1CMPE ビットを“0” (電圧監視 1 回路比較結果出力禁止) にする	—
3 (注1)	LVCMPCR.LVD1E ビットを“0” (電圧検出 1 回路無効) にする	
4	—	LVD1CR0.LVD1RIE ビットを“0” (電圧監視 1 割り込み / リセット禁止) にする
5	LVCMPCR.LVD1E、LVD1CR0.LVD1RIE、LVD1CR0.LVD1CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 1 割り込み設定 (LVD1CR0.LVD1RI = 0) で動作させている場合で、停止後に LVD1CR1.LVD1IRQSEL, LVD1IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 1 リセット設定 (LVD1CR0.LVD1RI = 1) で動作させている場合の変更は、上記手順 1~5 で設定してください。

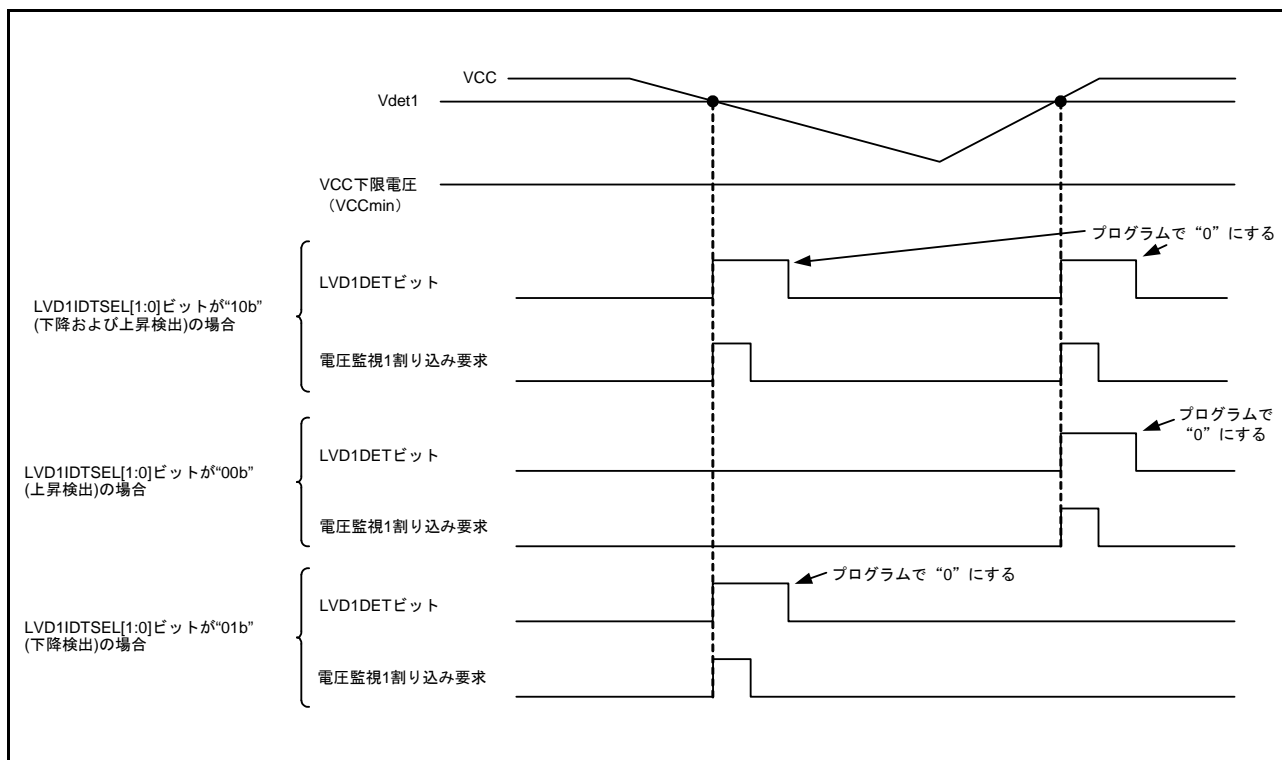


図 8.5 電圧監視 1 割り込み動作例

8.6 電圧監視 2 割り込み、電圧監視 2 リセット

表 8.4 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順を、表 8.5 に電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順を、図 8.6 に電圧監視 2 割り込み動作例を示します。電圧監視 2 リセットの動作例については、「6. リセット」の図 6.2 を参照してください。

表 8.4 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの動作設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1 (注1)	LVDLVLR.LVD2LVL[1:0] ビットで検出電圧を選択する	
2 (注1)	LVD2CR0.LVD2RI ビットを“0” (電圧監視 2 割り込み) にする	LVD2CR0.LVD2RI ビットを“1” (電圧監視 2 リセット) にする。 LVD2CR0.LVD2RN ビットでリセットネゲートの種類を選択する。
3	LVD2CR1.LVD2IDTSEL[1:0] ビットで割り込み要求のタイミングを選択する。 LVD2CR1.LVD2IRQSEL ビットで割り込みの種類を選択する	—
4	—	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み / リセット許可) にする
5 (注1)	LVCMPCR.LVD2E ビットを“1” (電圧検出 2 回路有効) にする	
6 (注1)	td(E-A) 以上待つ	
7	LVD2CR0.LVD2CMPE ビットを“1” (電圧監視 2 回路比較結果出力許可) にする	
8	LVD2SR.LVD2DET ビットを“0” にする	—
9	LVD2CR0.LVD2RIE ビットを“1” (電圧監視 2 割り込み / リセット許可) にする	—

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 1、2、5、6 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1~9 で設定してください。

表 8.5 電圧監視 2 割り込み、電圧監視 2 リセット関連ビットの停止設定手順

手順	電圧監視 2 割り込み	電圧監視 2 リセット
1	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み / リセット禁止) にする	—
2	LVD2CR0.LVD2CMPE ビットを“0” (電圧監視 2 回路比較結果出力禁止) にする	—
3 (注1)	LVCMPCR.LVD2E ビットを“0” (電圧検出 2 回路無効) にする	
4	—	LVD2CR0.LVD2RIE ビットを“0” (電圧監視 2 割り込み / リセット禁止) にする
5	LVCMPCR.LVD2E、LVD2CR0.LVD2RIE、LVD2CR0.LVD2CMPE を除く電圧検出回路関連レジスタの設定を変更する	

注1. 電圧監視 2 割り込み設定 (LVD2CR0.LVD2RI = 0) で動作させている場合で、停止後に LVD2CR1.LVD2IRQSEL, LVD2IDTSEL ビットの設定のみ変更して再動作させる場合、あるいは、停止後に電圧検出回路関連の設定を変更せずに再動作させる場合は、手順 3 は不要です。電圧監視 2 リセット設定 (LVD2CR0.LVD2RI = 1) で動作させている場合の変更は、上記手順 1~5 で設定してください。

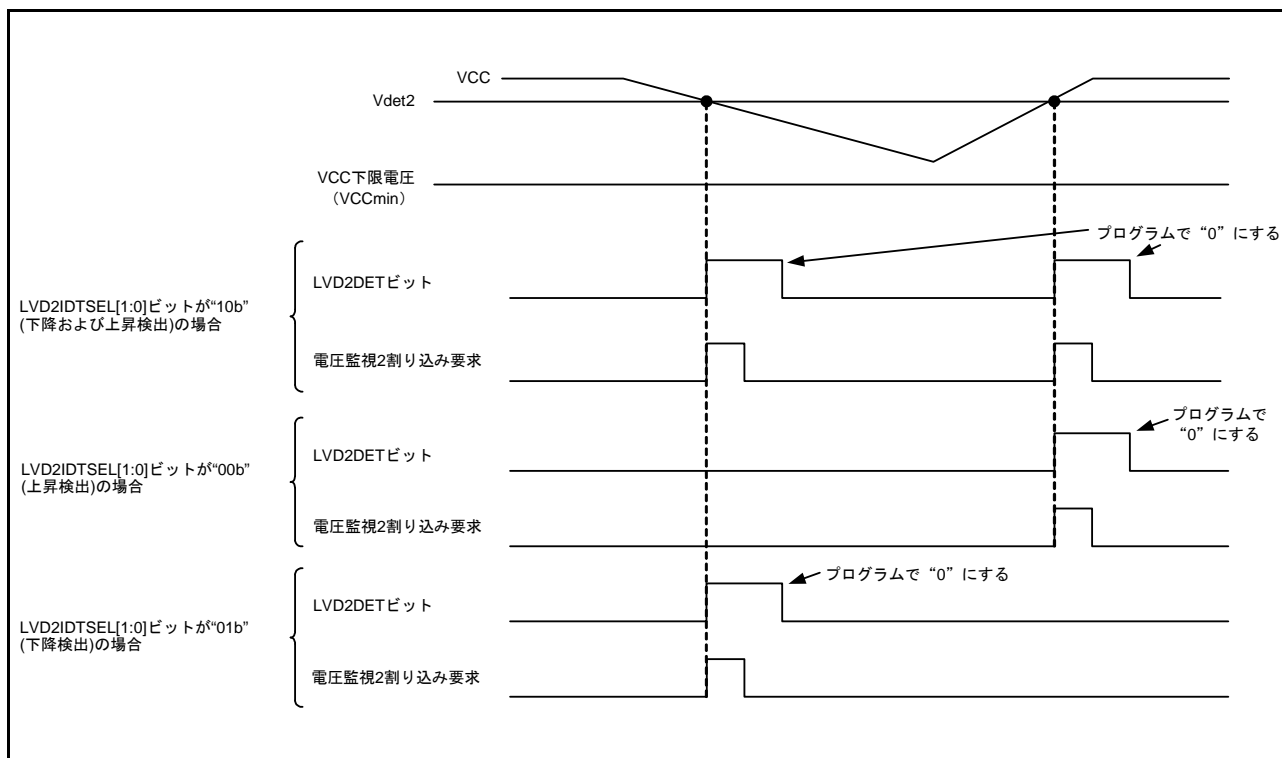


図 8.6 電圧監視 2 割り込み動作例

9. クロック発生回路

9.1 概要

本 MCU には、クロック発生回路を内蔵しています。

表 9.1 にクロック発生回路の仕様を、図 9.1 にクロック発生回路のブロック図を示します。

表9.1 クロック発生回路の仕様

項目	仕様
用途	<ul style="list-style-type: none"> • CPU、DTC、ROMおよびRAMに供給されるシステムクロック (ICLK) の生成 • 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成 周辺モジュールクロック (PCLKA) はMTU3用、周辺モジュールクロック (PCLKD) はS12AD用、周辺モジュールクロック (PCLKB) は、MTU3、S12AD以外の周辺モジュール用の動作クロックです。 • FlashIFに供給されるFlashIFクロック (FCLK) の生成 • CACに供給されるCACクロック (CACCLK) の生成 • IWDTに供給されるIWDT専用クロック (IWDTCCLK) の生成
動作周波数 (注1)	<ul style="list-style-type: none"> • ICLK : 40MHz (max) • PCLKA : 40MHz (max) • PCLKB : 40MHz (max) • PCLKD : 40MHz (max) • FCLK : 1MHz~32MHz (ROM) • CACCLK : 各発振器のクロックと同じ • IWDTCCLK : 15kHz
メインクロック発振器	<ul style="list-style-type: none"> • 発振器周波数 : 1MHz~20MHz • 外部クロック入力周波数 : 20MHz (max) • 接続できる発振器、または付加回路 : セラミック共振子、水晶振動子 • 接続端子 : EXTAL、XTAL • 発振停止検出機能 : メインクロックの発振停止検出時、LOCOに切り替える機能、MTUの端子をハイインピーダンスにする機能 • ドライブ能力を切り替える機能
PLL回路	<ul style="list-style-type: none"> • 入力クロック源 : メインクロック • 入力分周比 : 1、2、4分周から選択可能 • 入力周波数 : 4MHz~12.5MHz • 逡倍比 : 4~10逡倍 (0.5刻み) から選択可能 • 発振周波数 : 24MHz~40MHz
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz
低速オンチップオシレータ (LOCO)	発振周波数 : 4MHz
IWDT専用オンチップオシレータ	発振周波数 : 15kHz

注1. 高速動作モードでの最大動作周波数です。その他の動作電力モードにおける最大動作周波数については、「11.2.5 動作電力コントロールレジスタ (OPCCR)」を参照してください。

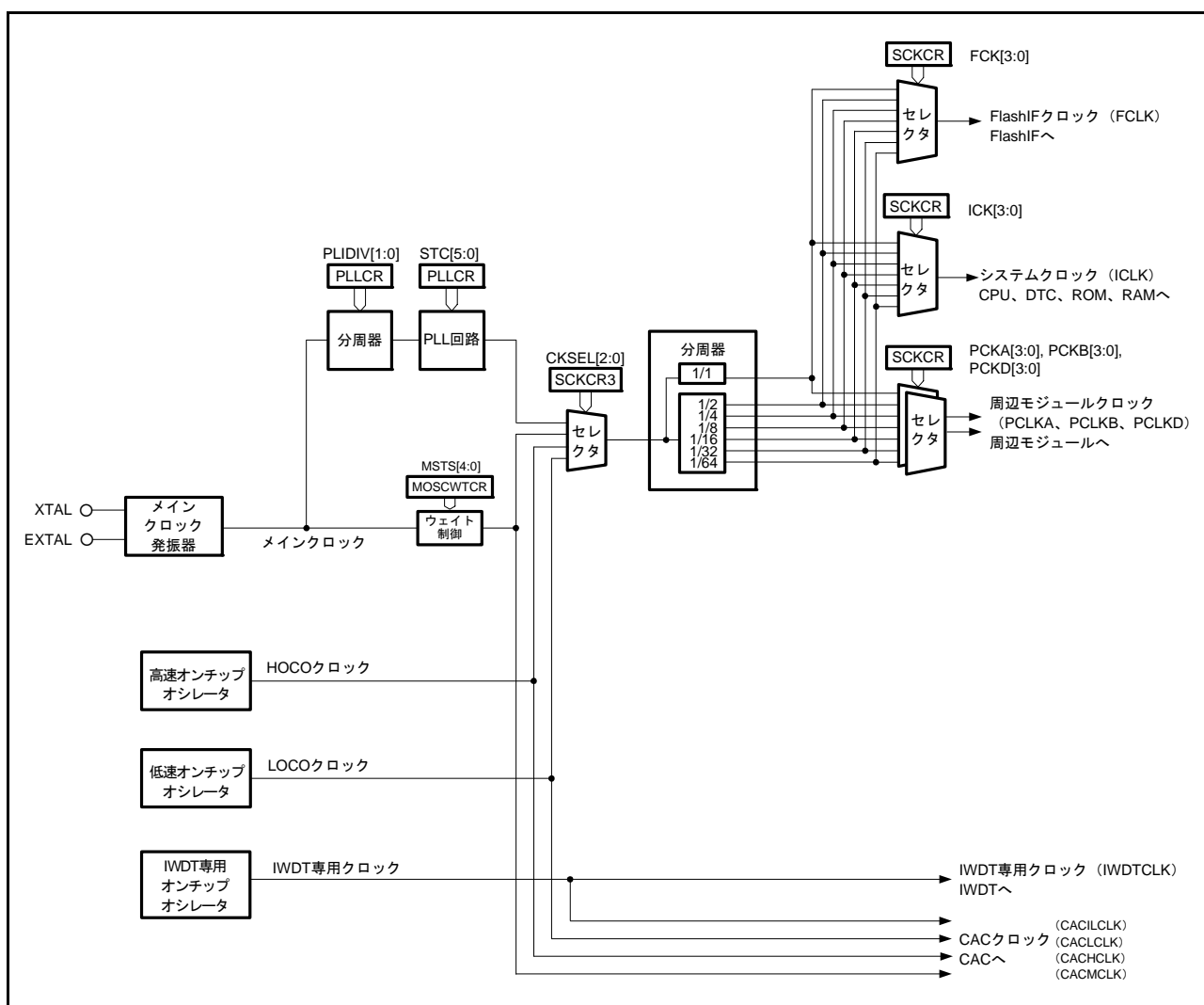


図 9.1 クロック発生回路のブロック図

表 9.2 にクロック発生回路の入出力端子を示します。

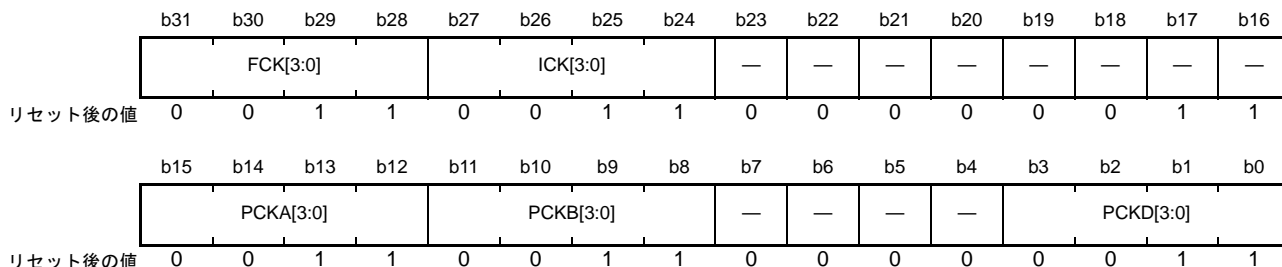
表9.2 クロック発生回路の入出力端子

端子名	入出力	機能
XTAL	出力	発振子接続端子。また、EXTAL端子は外部クロックを入力することもできます。詳細は、「9.3.2 外部クロックを入力する方法」参照
EXTAL	入力	

9.2 レジスタの説明

9.2.1 システムクロックコントロールレジスタ (SCKCR)

アドレス 0008 0020h



ビット	シンボル	ビット名	機能	R/W
b3-b0	PCKD[3:0] (注2)	周辺モジュールクロック D (PCLKD) 選択ビット	b3 b0 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b11-b8	PCKB[3:0] (注2)	周辺モジュールクロック B (PCLKB) 選択ビット	b11 b8 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W
b15-b12	PCKA[3:0] (注2)	周辺モジュールクロック A (PCLKA) 選択ビット	b15 b12 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は、設定しないでください	R/W
b19-b16	—	予約ビット	ICK[3:0]ビット、PCKB[3:0]ビットの設定値のうち、分周数の大きい値と同じ値を設定してください	R/W
b23-b20	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b27-b24	ICK[3:0] (注1)	システムクロック (ICK) 選択ビット	b27 b24 0000 : 1分周 0001 : 2分周 0010 : 4分周 0011 : 8分周 0100 : 16分周 0101 : 32分周 0110 : 64分周 上記以外は設定しないでください	R/W

ビット	シンボル	ビット名	機能	R/W
b31-b28	FCK[3:0] (注2)	FlashIFクロック (FCLK) 選択ビット	b31 b28 0 0 0 0 : 1分周 0 0 0 1 : 2分周 0 0 1 0 : 4分周 0 0 1 1 : 8分周 0 1 0 0 : 16分周 0 1 0 1 : 32分周 0 1 1 0 : 64分周 上記以外は設定しないでください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. SCKCR3.CKSEL[2:0]で32MHzより高い周波数のクロックを選択し、かつMEMWAIT.MEMWAIT = 0の場合、ICLK = 1分周は設定禁止です。

注2. システムクロック (ICLK) より高い周波数を設定しないでください。

フラッシュメモリがP/E中はこのレジスタへの書き込みができません。書き込みは無効になります。

SCKCR レジスタへの書き込み後、後続の命令で SCKCR レジスタ、SCKCR3 レジスタのいずれかのレジスタへ書き込みをする場合、以下の手順に従ってください。

1. SCKCR レジスタへの書き込み
2. SCKCR レジスタに値が書かれたことを確認する
3. 次のステップに進む

PCKD[3:0] ビット (周辺モジュールクロック D (PCLKD) 選択ビット)

周辺モジュールクロック D (PCLKD) の周波数を選択します。

PCKB[3:0] ビット (周辺モジュールクロック B (PCLKB) 選択ビット)

周辺モジュールクロック B (PCLKB) の周波数を選択します。

PCKA[3:0] ビット (周辺モジュールクロック A (PCLKA) 選択ビット)

周辺モジュールクロック A (PCLKA) の周波数を選択します。

ICK[3:0] ビット (システムクロック (ICLK) 選択ビット)

システムクロック (ICLK) の周波数を選択します。

FCK[3:0] ビット (FlashIF クロック (FCLK) 選択ビット)

FlashIF クロック (FCLK) の周波数を選択します。

9.2.2 システムクロックコントロールレジスタ 3 (SCKCR3)

アドレス 0008 0026h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CKSEL[2:0]		—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0] (注1)	クロックソース選択ビット	b10 b8 000 : LOCO 選択 001 : HOCO 選択 010 : メインクロック発振器選択 100 : PLL回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. SCKCR.ICKで1分周を選択し、かつMEMWAIT.MEMWAIT = 0の場合、32MHzより高周波数のクロック選択は禁止です。

フラッシュメモリがP/E中はこのレジスタへの書き込みができません。書き込みは無効になります。

CKSEL[2:0] ビット (クロックソース選択ビット)

システムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKD)、FlashIF クロック (FCLK) のクロックソースを低速オンチップオシレータ (LOCO)、高速オンチップオシレータ (HOCO)、メインクロック発振器、PLL 回路から選択します。

停止しているクロックソースへの切り替えは禁止です。

9.2.3 PLL コントロールレジスタ (PLLCR)

アドレス 0008 0028h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	STC[5:0]					—	—	—	—	—	—	—	—	PLIDIV[1:0]	
リセット後の値	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	

ビット	シンボル	ビット名	機能	R/W
b1-b0	PLIDIV[1:0]	PLL入力分周比選択ビット	b1 b0 0 0 : 1分周 0 1 : 2分周 1 0 : 4分周 1 1 : 設定しないでください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	STC[5:0]	周波数逡倍率設定ビット	b13 b8 0001111 : x4 0010000 : x4.5 0010001 : x5 0010100 : x5.5 0010101 : x6 0011000 : x6.5 0011001 : x7 0011100 : x7.5 0011101 : x8 0100000 : x8.5 0100001 : x9 0100100 : x9.5 0100101 : x10 上記以外は設定しないでください	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLCR2.PLEN ビットが“0”（PLL 動作）のとき、PLLCR レジスタへの書き込みは禁止です。

PLIDIV[1:0] ビット (PLL 入力分周比選択ビット)

PLL のクロックソースの入力分周比を選択します。

PLIDIV[1:0] ビットは、PLL の入力周波数（4MHz ~ 12.5MHz）の範囲に入るように設定してください。

STC[5:0] ビット (周波数逡倍率設定ビット)

PLL の周波数逡倍率を設定します。

STC[5:0] ビットは、PLL の発振周波数（24MHz ~ 40MHz）の範囲に入るように設定してください。

9.2.4 PLL コントロールレジスタ 2 (PLLCR2)

アドレス 0008 002Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PLLEN
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	PLLEN	PLL停止制御ビット	0 : PLL動作 1 : PLL停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

PLLEN ビット (PLL 停止制御ビット)

PLL の動作 / 停止を制御します。

PLLEN ビットで PLL を動作設定に変更後、OSCOVFSR.PLOVF フラグが“1”になっていることを確認してから、システムクロックを PLL クロックに切り替えてください。

PLL は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- PLL を停止設定後、再度動作設定にする場合、OSCOVFSR.PLOVF フラグの“0”を確認してから設定してください。
- PLL の停止設定は、PLL 動作かつ OSCOVFSR.PLOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、PLL を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- PLL を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.PLOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで PLL を選択しているときは、PLLEN ビットを“1”（PLL 停止）にする書き込みは禁止です。

9.2.5 メインクロック発振器コントロールレジスタ (MOSCCR)

アドレス 0008 0032h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MOSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	MOSTP	メインクロック発振器停止ビット	0:メインクロック発振器動作 1:メインクロック発振器停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

メインクロック発振器ウェイトコントロールレジスタを設定してから本レジスタを設定してください。

MOSTP ビット (メインクロック発振器停止ビット)

メインクロック発振器の動作/停止を制御します。

MOSTP ビットにてメインクロックを動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

メインクロック発振器は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- メインクロック発振器を停止設定後、再度動作設定にする場合、OSCOVFSR.MOOVF フラグの“0”を確認してから設定してください。
- メインクロック発振器の停止設定は、メインクロック発振器動作かつ OSCOVFSR.MOOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、メインクロック発振器を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- メインクロック発振器を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.MOOVF フラグの“0”を確認してから WAIT 命令を実行してください。

以下のいずれかの条件を満たす場合、MOSTP ビットを“1”にしないでください。

- システムクロックのクロックソースにメインクロックを選択しているとき (SCKCR3.CKSEL[2:0] = 010b)
- システムクロックのクロックソースに PLL クロックを選択しているとき (SCKCR3.CKSEL[2:0] = 100b)
- PLL を動作させているとき (PLLCR2.PLEN = 0)

9.2.6 低速オンチップオシレータコントロールレジスタ (LOCOCR)

アドレス 0008 0034h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	LCSTP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	LCSTP	LOCO停止ビット	0 : LOCO動作 1 : LOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

LCSTP ビット (LOCO 停止ビット)

LOCO の動作 / 停止を制御します。

LCSTP ビットにて LOCO を停止設定から動作設定に変更後、LOCO クロックを使用する場合は、LOCO クロック発振安定時間 (t_{LOCO}) が経過した後、使用開始してください。

LOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- LOCO を停止設定後、再度動作設定にする場合、停止期間は LOCO クロックで 5 サイクル以上の時間となるようにしてください。
- LOCO の停止設定は、LOCO の発振が安定している状態で行ってください。
- システムクロックとして選択しているかどうかに関わらず、LOCO を動作設定にしてソフトウェアスタンバイモードに移行する場合は、LOCO の発振が安定した状態で WAIT 命令を実行してください。
- LOCO を停止設定後、ソフトウェアスタンバイモードに移行する場合は、LOCO 停止設定後、LOCO クロック 3 サイクル以上待ってから WAIT 命令を実行してください。

システムクロックコントロールレジスタ 3 のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で LOCO を選択しているとき、LCSTP ビットを“1” (LOCO 停止) にする書き込みは禁止です。

9.2.7 IWDT 専用オンチップオシレータコントロールレジスタ (ILOCOCR)

アドレス 0008 0035h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	ILCSTP
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	ILCSTP	IWDT専用オンチップオシレータ停止ビット	0 : IWDT専用オンチップオシレータ動作 1 : IWDT専用オンチップオシレータ停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

オプション機能選択レジスタ0のIWDTスタートモード選択ビット (OFS0.IWDTSTRT) が“0” (IWDT動作) のとき、ILOCOCRレジスタの設定は無効です。OFS0.IWDTSTRTビットが“1” (IWDT停止) のとき、ILOCOCRレジスタの設定は有効です。ILOCOCRレジスタが有効、かつILCSTPビットが“0” (IWDT専用オンチップオシレータ動作) の後、“1” (IWDT専用オンチップオシレータ停止) に設定することはできません。

ILCSTP ビット (IWDT 専用オンチップオシレータ停止ビット)

IWDT専用オンチップオシレータの動作/停止を制御します。

ILCSTPビットで、IWDT専用オンチップオシレータを停止設定から動作設定に変更した場合、IWDT専用クロック発振安定時間 (t_{ILOCO}) に相当する一定時間経過後、MCU内部にクロックが供給開始されます。IWDT専用クロックを使用する場合は、この待ち時間が経過した後、使用開始してください。

IWDT専用オンチップオシレータを動作設定にしてソフトウェアスタンバイモードに移行する場合は、発振が安定した状態でWAIT命令を実行してください。

9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

アドレス 0008 0036h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	HCSTP
リセット後の値	0	0	0	0	0	0	0	0/1 (注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCSTPビットのリセット後の値は“0”になります。OFS1.HOCOENビットが“1”のとき、HCSTPビットのリセット後の値は“1”になります。

ビット	シンボル	ビット名	機能	R/W
b0	HCSTP	HOCO停止ビット	0 : HOCO動作 1 : HOCO停止	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

高速オンチップオシレータウェイトコントロールレジスタを設定してから本レジスタを設定してください。

HCSTP ビット (HOCO 停止ビット)

HOCO の動作 / 停止を制御します。

HCSTP ビットで HOCO を停止設定から動作設定に変更した場合、OSCOVFSR.HCOVF フラグが“1”になっていることを確認してからシステムクロックを HOCO クロックに切り替えてください。

HOCO は、動作設定後発振が安定するまでに一定の時間を要します。また、停止設定後も、発振が停止するまでに一定の時間を要します。そのため、動作の開始および停止に関して以下の制限がありますので注意してください。

- HOCO を停止設定後、再度動作設定にする場合、OSCOVFSR.HCOVF フラグの“0”を確認してから設定してください。
- HOCO の停止設定は、HOCO 動作かつ OSCOVFSR.HCOVF フラグの“1”を確認してから設定してください。
- システムクロックとして選択しているかどうかに関わらず、HOCO を動作設定にしてソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“1”を確認してから WAIT 命令を実行してください。
- HOCO を停止設定後、ソフトウェアスタンバイモードに遷移する場合は、OSCOVFSR.HCOVF フラグの“0”を確認してから WAIT 命令を実行してください。

SCKCR3.CKSEL[2:0] ビットで HOCO を選択しているとき、HCSTP ビットを“1”（HOCO 停止）にする書き込みは禁止です。

9.2.9 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

アドレス 0008 00A5h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	HSTS[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	HSTS[2:0]	高速オンチップオシレータ発振安定待ち時間設定ビット	b2 b0 1 0 0 : 待ち時間 = 78サイクル 1 0 1 : 待ち時間 = 142サイクル 上記以外は、設定しないでください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC2ビットを“1”（書き込み許可）にした後で書き換えてください。

HOCOWTCR レジスタは、次の場合には書き換え可能です。それ以外は書き換えしないでください。

- HOCO.CR.HCSTP ビットを“0”（動作）にし、かつ OSCOVFSR.HCOVF フラグの“1”を確認した場合
- HOCO.CR.HCSTP ビットを“1”（停止）にし、かつ OSCOVFSR.HCOVF フラグの“0”を確認した場合

HSTS[2:0] ビット（高速オンチップオシレータ発振安定待ち時間設定ビット）

HOCO 動作（HOCO.CR.HCSTP ビットに“0”）設定時およびソフトウェアスタンバイモード解除時の HOCO の発振安定待ち時間を選択します。

HSTS[2:0] ビットで設定したサイクル分、LOCO でカウントした後、MCU 内部への HOCO クロック供給が開始されます。LOCO によるカウントは、LOCO.CR.LOSTP ビットの設定に関わらず行われ、ハードウェアで自動的に LOCO の動作、停止が制御されます。

カウントが完了するまでの間、MCU 内部へのクロック供給は行われません。

カウント完了後、MCU 内部へのクロック供給が開始され、OSCOVFSR.HCOVF フラグが“1”になります。

9.2.10 発振安定フラグレジスタ (OSCOVFSR)

アドレス 0008 003Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	HCOVF	PLOVF	—	MOOV F
リセット後の値	0	0	0	0	0/1	0	0	0

(注1)

注1. オプション機能選択レジスタ1のHOCO発振有効ビット (OFS1.HOCOEN) が“0”のとき、HCOVFビットのリセット後の値は“1”になります。OFS1.HOCOENビットが“1”のとき、HCOVFビットのリセット後の値は“0”になります。

ビット	シンボル	ビット名	機能	R/W
b0	MOOV F	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注1)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLLクロック発振安定フラグ	0: PLL停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCOクロック発振安定フラグ	0: HOCO停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能 (注1)	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 各発振器のウェイトコントロールレジスタに適切な値を設定した場合、設定値（待ち時間）が不足している場合は、発振が安定する前にクロックの供給が開始されます。

OSCOVFSR レジスタは各発振器の発振が安定したかどうかをモニタするレジスタです。

それぞれの発振器にウェイトコントロールレジスタがある場合は、発振回路の安定時間以上になるように待ち時間を設定してください。

MOOVF フラグ (メインクロック発振安定フラグ)

メインクロックの発振安定の状態を示します。

["1"になる条件]

- MOSCCR.MOSTP ビットが“1” (メインクロック発振器停止) のときに、MOSTP ビットを“0” (メインクロック発振器動作) にした後、MOSCWTCR レジスタの設定値に応じた時間が経過し、MCU 内部にメインクロックの供給が開始されたとき

["0"になる条件]

- MOSCCR.MOSTP ビットを“1”にした後、メインクロック発振器の発振停止処理が完了したとき

PLOVF フラグ (PLL クロック発振安定フラグ)

PLL クロックの発振安定の状態を示します。

["1"になる条件]

- PLLCR2.PLEN ビットが“1” (PLL 停止) のときに、PLEN ビットを“0” (PLL 動作) にした後、MOOVF フラグが“1”になり、かつ PLL クロック発振安定時間 (tPLL) が経過し、MCU 内部に PLL クロックの供給が開始されたとき

["0"になる条件]

- PLLCR2.PLEN ビットを“1”にした後、PLL の発振停止処理が完了したとき

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

["1"になる条件]

- HOCO.CR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき

["0"になる条件]

- HOCO.CR.HCSTP ビットを“1”にした後、HOCO の発振停止処理が完了したとき

9.2.11 発振停止検出コントロールレジスタ (OSTDCR)

アドレス 0008 0040h

	b7	b6	b5	b4	b3	b2	b1	b0
	OSTDE	—	—	—	—	—	—	OSTDIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDIE	発振停止検出割り込み許可ビット	0: 発振停止検出割り込みを禁止、POEへの発振停止検出通知なし 1: 発振停止検出割り込みを許可、POEへの発振停止検出通知あり	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OSTDE	発振停止検出機能許可ビット	0: 発振停止検出機能は無効 1: 発振停止検出機能は有効	R/W

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

OSTDIE ビット（発振停止検出割り込み許可ビット）

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) のクリアは、OSTDIE ビットを“0”にした後に行ってください。その後、OSTDIE ビットを再度“1”にする場合は、PCLKB で2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKB で定義されている I/O レジスタを読み出すことによって、PCLKB2 サイクル以上の待ち時間を確保することが可能です。

OSTDE ビット（発振停止検出機能許可ビット）

発振停止検出機能の有効/無効を設定します。

OSTDE ビットを“1”（発振停止検出機能有効）にすると、LOCO 停止ビット (LOCOCR.LCSTP) も“0”となり、LOCO が動作します。発振停止検出機能が有効である間は、LOCO を停止させることはできません。LOCOCR.LCSTP ビットへ“1”（LOCO 停止）を書いても、その書き込みは無効になります。

発振停止検出ステータスレジスタの発振停止検出フラグ (OSTDSR.OSTDF) が“1”（メインクロック発振停止検出）のとき、OSTDE ビットへの“0”書き込みは無効になります。

OSTDE ビットが“1”の場合、ソフトウェアスタンバイモードに移行できません。ソフトウェアスタンバイモードへ移行する場合は、OSTDE ビットを“0”にして、WAIT 命令を実行してください。

9.2.12 発振停止検出ステータスレジスタ (OSTDSR)

アドレス 0008 0041h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	OSTDF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OSTDF	発振停止検出フラグ	0: メインクロックの発振停止を未検出 1: メインクロックの発振停止を検出	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注. このレジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. “0”のみ書けます。

OSTDF フラグ（発振停止検出フラグ）

メインクロックの状態を示すステータスフラグです。OSTDF フラグが“1”のときメインクロックの発振停止を検出したことを示します。

メインクロックの発振停止を検出した後で、メインクロックの発振が再開しても、OSTDF フラグは“0”になりません。OSTDF フラグは“1”を読んだ後、“0”を書くことによって“0”になります。OSTDF=0 が読み出し値に反映されるまで ICLK3 サイクル以上待つ必要があります。メインクロックの発振を停止している状態で OSTDF フラグを“0”にした場合、OSTDF フラグは一度“0”になった後、再度“1”になります。

また、システムクロックコントロールレジスタ3のクロックソース選択ビット（SCKCR3.CKSEL[2:0]）でメインクロック発振器（“010b”）またはPLL（“100b”）を選択している場合は、OSTDF フラグを“0”にすることはできません。クロックソースをメインクロック発振器、PLL 以外に切り替えてから OSTDF フラグを“0”にしてください。

[“1”になる条件]

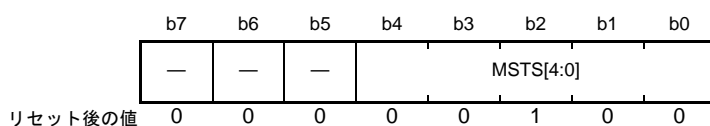
- OSTDCR.OSTDE ビットが“1”（発振停止検出機能有効）の状態、メインクロックの発振が停止したとき

[“0”になる条件]

- SCKCR3.CKSEL[2:0] ビットが“010b”、または“100b”以外の場合に、“1”を読んだ後、“0”を書いたとき

9.2.13 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)

アドレス 0008 00A2h



ビット	シンボル	ビット名	機能	R/W
b4-b0	MSTS[4:0]	メインクロック発振器ウェイト時間設定ビット	b4 b0 00000: 待ち時間 = 2 サイクル (0.5 μ s) 00001: 待ち時間 = 1024 サイクル (256 μ s) 00010: 待ち時間 = 2048 サイクル (512 μ s) 00011: 待ち時間 = 4096 サイクル (1.024ms) 00100: 待ち時間 = 8192 サイクル (2.048ms) 00101: 待ち時間 = 16384 サイクル (4.096ms) 00110: 待ち時間 = 32768 サイクル (8.192ms) 00111: 待ち時間 = 65536 サイクル (16.384ms) 上記以外は設定しないでください 待ち時間は LOCO = 4.0MHz (0.25 μ s, TYP) の場合	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタは PRCR.PRC1 ビットを“1”（書き込み許可）にした後で書き換えてください。

MSTS[4:0] ビット (メインクロック発振器ウェイト時間設定ビット)

メインクロック発振器の発振安定待ち時間を選択します。

メインクロック発振安定待ち時間は、発振子メーカーが推奨する発振安定時間以上になるように設定してください。メインクロックを外部入力で使用している場合は、発振安定待ち時間は必要ないため、“00000b”を設定してください。

MSTS[4:0] ビットで設定した待ち時間は、LOCO クロックを使用して計測されます。LOCO は、LOCOCR.LCSTP ビットの値にかかわらず、必要なときに自動で発振します。

設定した待ち時間が経過した後、MCU 内部へのメインクロック供給が開始され、OSCOVFSR.MOOVF フラグが“1”になります。なお、設定した待ち時間が短かった場合は、メインクロックの発振が安定する前にクロックの供給が開始されます。

MOSCWTCR レジスタは、MOSCCR.MOSTP ビットが“1”で、OSCOVFSR.MOOVF フラグが“0”のときに書き換えてください。これ以外のときは書き換えしないでください。

9.2.14 メインクロック発振器強制発振コントロールレジスタ (MOFCR)

アドレス 0008 C293h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	MOSEL	MODRV21	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	MODRV21	メインクロック発振器ドライブ能力切り替えビット	0 : 1MHz～10MHz未満 1 : 10MHz～20MHz	R/W
b6	MOSEL	メインクロック発振器切り替えビット	0 : 発振子 1 : 外部発振入力	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

MODRV21 ビット (メインクロック発振器ドライブ能力切り替えビット)

メインクロック発振器のドライブ能力の切り替えをします。

MOSEL ビット (メインクロック発振器切り替えビット)

メインクロック発振器の発振源の切り替えを行います。

9.2.15 メモリウェイトサイクル設定レジスタ (MEMWAIT)

アドレス 0008 0031h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	MEMW AIT
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MEMWAIT	メモリウェイトサイクル設定ビット (注1)	0: ウェイトなし 1: ウェイトあり	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. 本レジスタはPRCR.PRC0ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. SCKCR.ICK[3:0]ビットで1分周を選択し、かつSCKCR3.CKSEL[2:0]ビットで、システムクロック (ICLK) に32MHzより高周波数のクロックを選択した場合、MEMWAITビット=0（ウェイトなし）は選択禁止です。また、システムクロック (ICLK) に32MHz以下の周波数のクロックを選択した場合、MEMWAITビット=1（ウェイトあり）にする必要はありません。

MEMWAIT レジスタは、ROM のウェイトサイクルの制御を行います。

MEMWAIT ビット (メモリウェイトサイクル設定ビット)

ROM のウェイトサイクルを設定します。

リセット直後、ウェイトなしに設定されています。

システムクロック (ICLK) に 32MHz より高周波数のクロックを選択する場合、MEMWAIT ビットを“1”（ウェイトあり）にしてください。

MEMWAIT ビットを“1”（ウェイトあり）に設定する場合は高速動作モードの状態を設定し、MEMWAIT ビットが“1”になった後に、システムクロックを 32MHz より高い周波数のクロックに変更してください。

また、MEMWAIT ビットを“0”（ウェイトなし）に設定する場合は、システムクロック (ICLK) の周波数が 32MHz 以下の状態で設定し、動作電力制御状態を変更する場合は、MEMWAIT ビットが“0”になった後に変更してください。

表 9.3 に MEMWAIT ビットの設定制約を、図 9.2、図 9.3 に MEMWAIT ビットの変更手順を示します。

表9.3 MEMWAITビット設定制約

MEMWAITビット	動作電力制御状態		
	高速動作モード		中速動作モード
	ICLK ≤ 32MHz	ICLK > 32MHz	
0	設定可	設定禁止	設定可
1	設定可	設定可	設定禁止

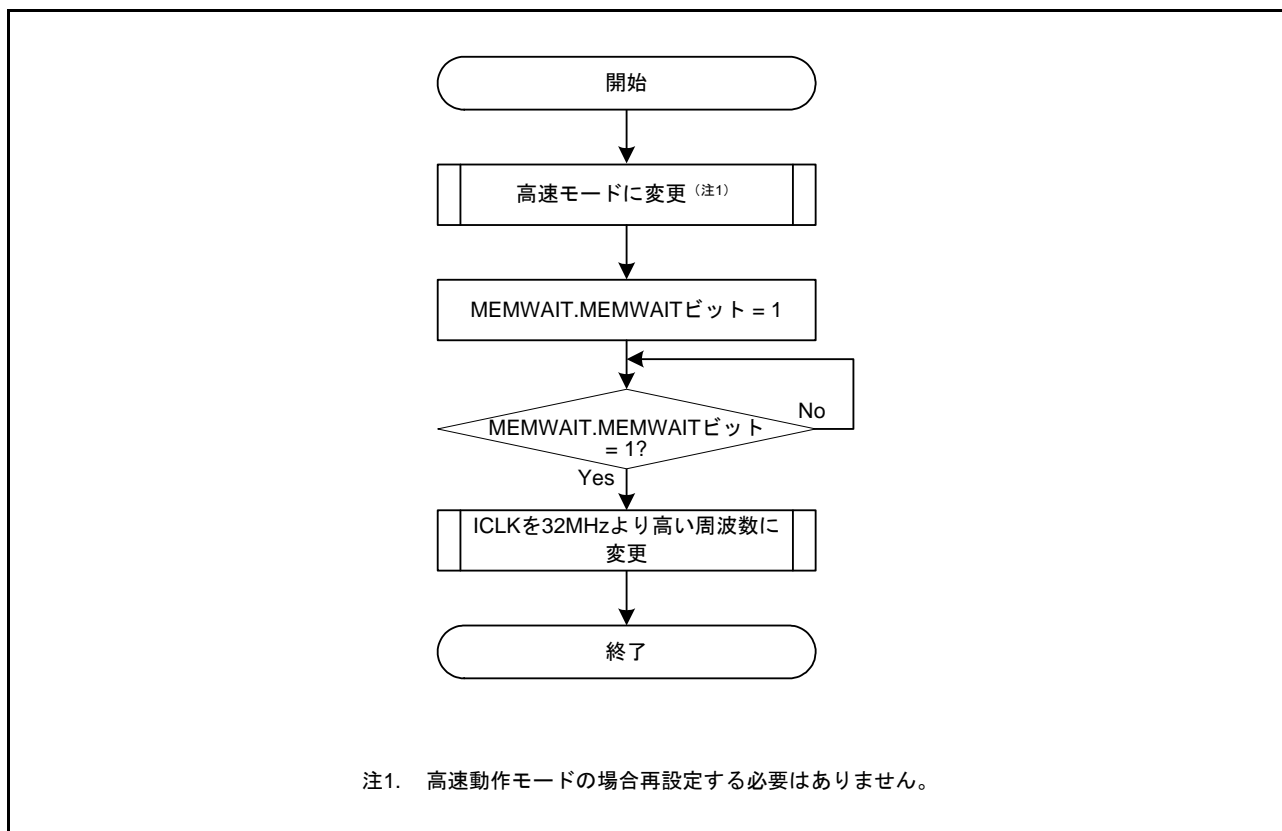


図 9.2 ICLK を 32MHz より高い周波数に変更する場合の MEMWAIT ビット設定手順例

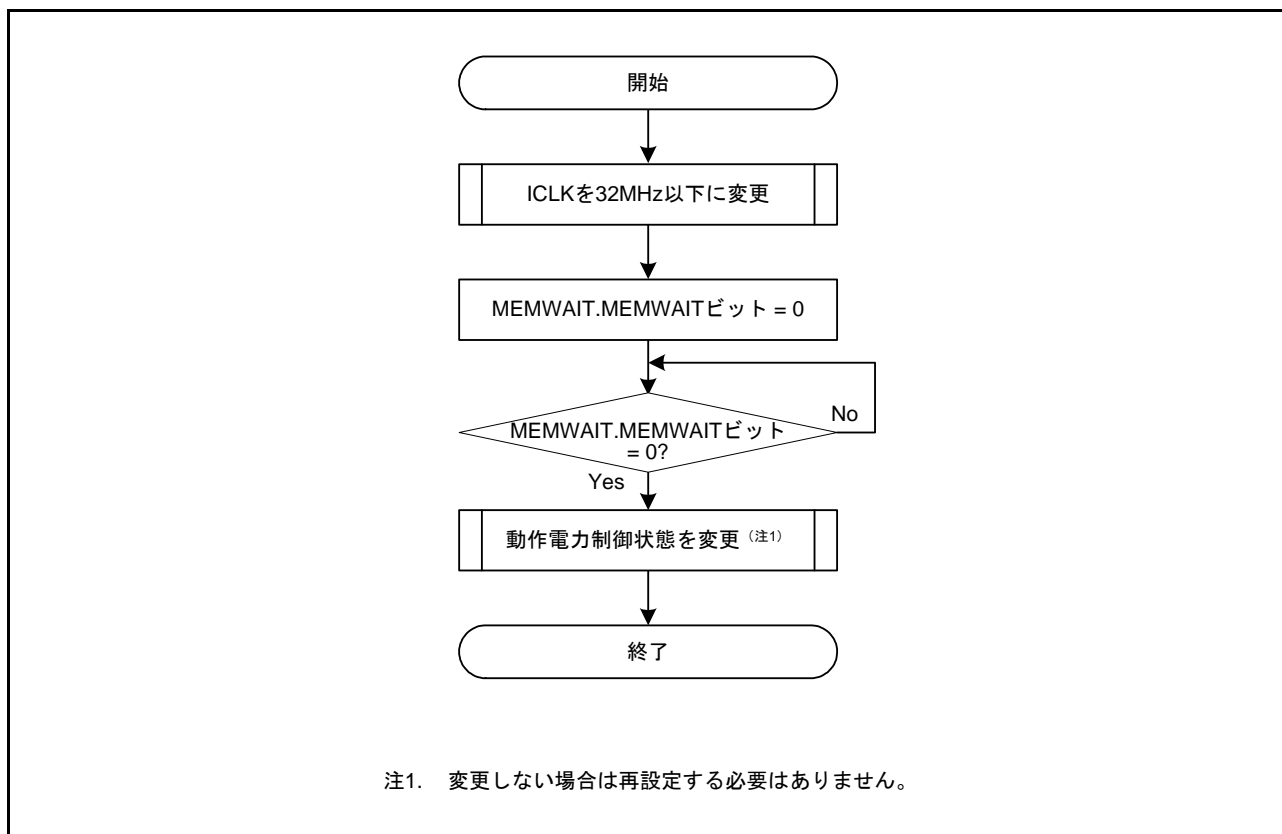


図 9.3 ICLK を 32MHz 以下の周波数に変更する場合の MEMWAIT ビット設定手順例

9.3 メインクロック発振器

メインクロック発振器へクロックを供給する方法には、発振子を接続する方法と外部クロックを入力する方法があります。

9.3.1 発振子を接続する方法

発振子を接続する場合の接続例を図9.4に示します。

必要に応じてダンピング抵抗 (R_d) を挿入してください。抵抗値は発振子、発振駆動能力によって異なりますので発振子メーカーの推奨する値に設定してください。また、発振子メーカーから外部に帰還抵抗 (R_f) を追加するよう指示があった場合は、その指示に従ってEXTAL、XTAL間に R_f を挿入してください。

発振子を接続してクロックを供給する場合、接続する発振子は表9.1のメインクロック発振器の発振子周波数の範囲内としてください。

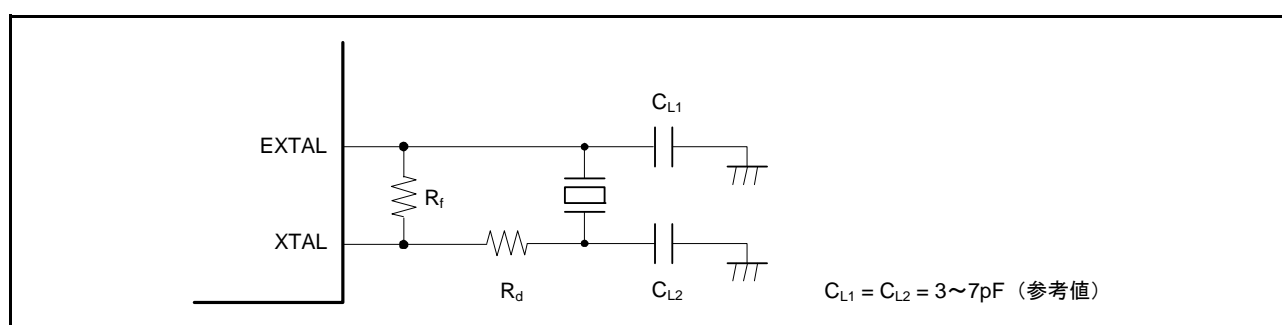


図 9.4 水晶振動子の接続例

表9.4 ダンピング抵抗 (参考値)

周波数 (MHz)	2	8	16	20
R_d (Ω)	0	0	0	0

水晶振動子の等価回路を図9.5に示します。水晶振動子は表9.5に示す特性のものを参考として使用してください。

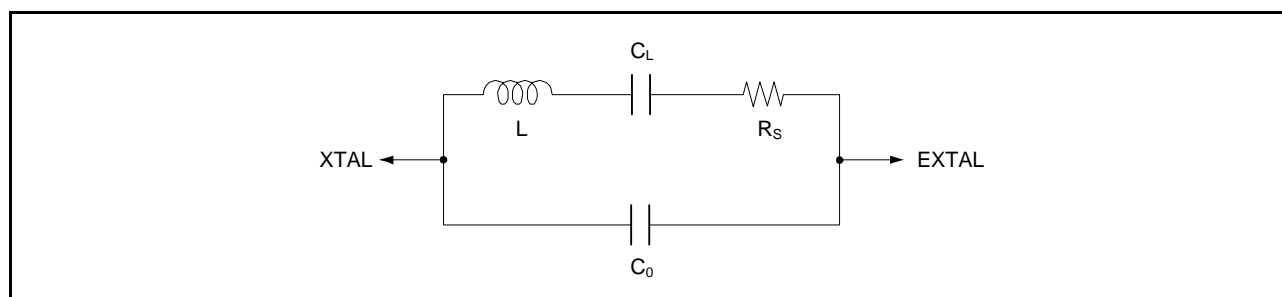


図 9.5 水晶振動子の等価回路

表9.5 水晶振動子の特性 (参考値)

周波数 (MHz)	8	12	16
R_s max (Ω)	200	120	56
C_0 max (pF)	1.3	1.3	1.4

9.3.2 外部クロックを入力する方法

外部クロック入力の接続例を図9.6に示します。外部クロックを入力して動作させる場合には、MOFCR.MOSEL ビットを“1”にしてください。このとき XTAL 端子は、Hi-Z になります。

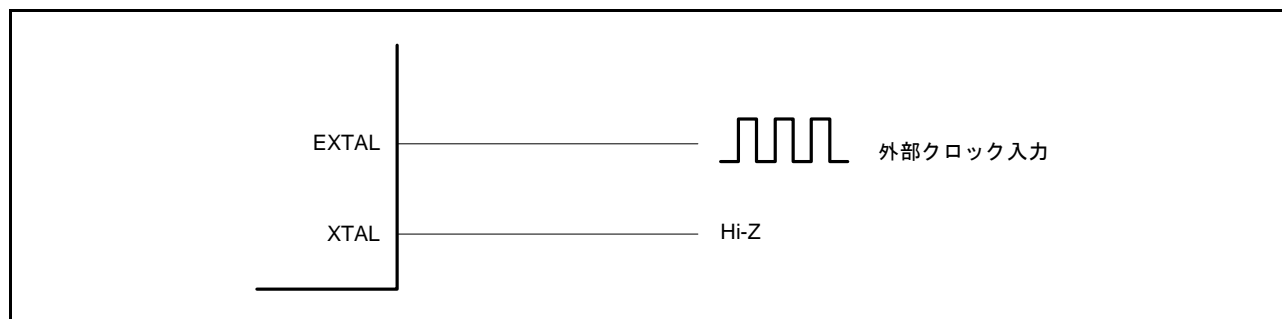


図 9.6 外部クロックの接続例

9.3.3 外部クロック入力に関する注意事項

外部クロック入力周波数の変更は、メインクロック発振器が動作を停止しているときのみ可能です。メインクロック発振器停止ビット (MOSCCR.MOSTP) に“0” (メインクロック発振器動作) が設定されている間は、外部クロック入力周波数を変更しないでください。

9.4 発振停止検出機能

9.4.1 発振停止検出と検出後の動作

発振停止検出機能は、メインクロック発振器の停止を検出し、システムクロックのクロックソースとしてメインクロックの代わりに低速オンチップオシレータが出力する低速クロックを供給する機能です。

発振停止検出時には発振停止検出割り込み要求を発生させることができます。また、発振停止検出時に、MTUの出力を強制的にハイインピーダンスとすることも可能です。詳細は、「20. マルチファンクションタイマパルスユニット3 (MTU3c)」、「21. ポートアウトプットイネーブル3 (POE3b)」を参照してください。

本MCUは、メインクロック発振器の異常などによって入力クロックが一定期間“0”または“1”となった場合に、「35. 電気的特性」の発振停止検出回路特性参照)、メインクロックの発振停止を検出します。

発振停止を検出すると、クロックソース選択ビット (SCKCR3.CKSEL[2:0]) で選択されるメインクロックが、前段のセレクトにて LOCO クロックに切り替わります。そのため、システムクロックのクロックソースにメインクロックを選択した状態で発振停止を検出すると、CKSEL[2:0] ビットの設定値は変わらないまま、システムクロックのクロックソースが LOCO クロックへと切り替わります。

システムクロックコントロールレジスタ3のクロックソース選択ビット (SCKCR3.CKSEL[2:0]) で PLL クロックが選択されている場合に発振停止を検出すると、SCKCR3.CKSEL[2:0] の設定値は変わらないまま、システムクロックのクロックソースは PLL クロックのままです。ただし、固有の周波数 (自励発振周波数) になります。

メインクロックと LOCO クロックの切り替えは、発振停止検出フラグ (OSTDSR.OSTDF) によって制御されます。OSTDF フラグが“1”になると LOCO クロックへ切り替わり、OSTDF フラグを“0”にするとメインクロックに戻ります。ただし、CKSEL[2:0] ビットでメインクロックあるいは PLL クロックを選択している場合は、OSTDF フラグを“0”にできません。発振停止検出後にクロックソースをメインクロックあるいは PLL クロックに戻りたい場合は、一度 CKSEL[2:0] ビットの設定をメインクロックおよび PLL クロック以外に変更し、OSTDF フラグを“0”にしてください。その後、OSTDF フラグが“1”になっていないことを確認し、所定の発振安定時間経過後に CKSEL[2:0] ビットの設定をメインクロックまたは PLL クロックに変更してください。

リセット解除後、メインクロック発振器は停止、発振停止検出機能は無効です。発振停止検出機能を有効にする場合は、メインクロック発振器を動作させ、所定の発振安定時間経過後に発振停止検出機能許可ビット (OSTDCR.OSTDE) への書き込みを行ってください。

発振停止検出機能は、外部要因によるメインクロックの停止に備えた機能であるため、ソフトウェアでメインクロック発振器を停止させる場合や、ソフトウェアスタンバイモードに移行する場合は、あらかじめ発振停止検出機能は無効にしてください。

発振停止検出によって LOCO クロックに切り替わるのは、システムクロックソースとしてメインクロックを選択した場合のシステムクロック、および CAC メインクロック (CACMCLK) を選択していた場合です。LOCO クロック動作時のシステムクロック (ICLK) の周波数については、LOCO 発振周波数とシステムクロック (ICLK) 選択ビット (SCKCR.ICK[3:0]) の分周比の設定で決まります。

発振停止検出によって PLL の自励発振周波数で動作するのは、システムクロックソースとして PLL クロックを選択した場合のシステムクロックです。

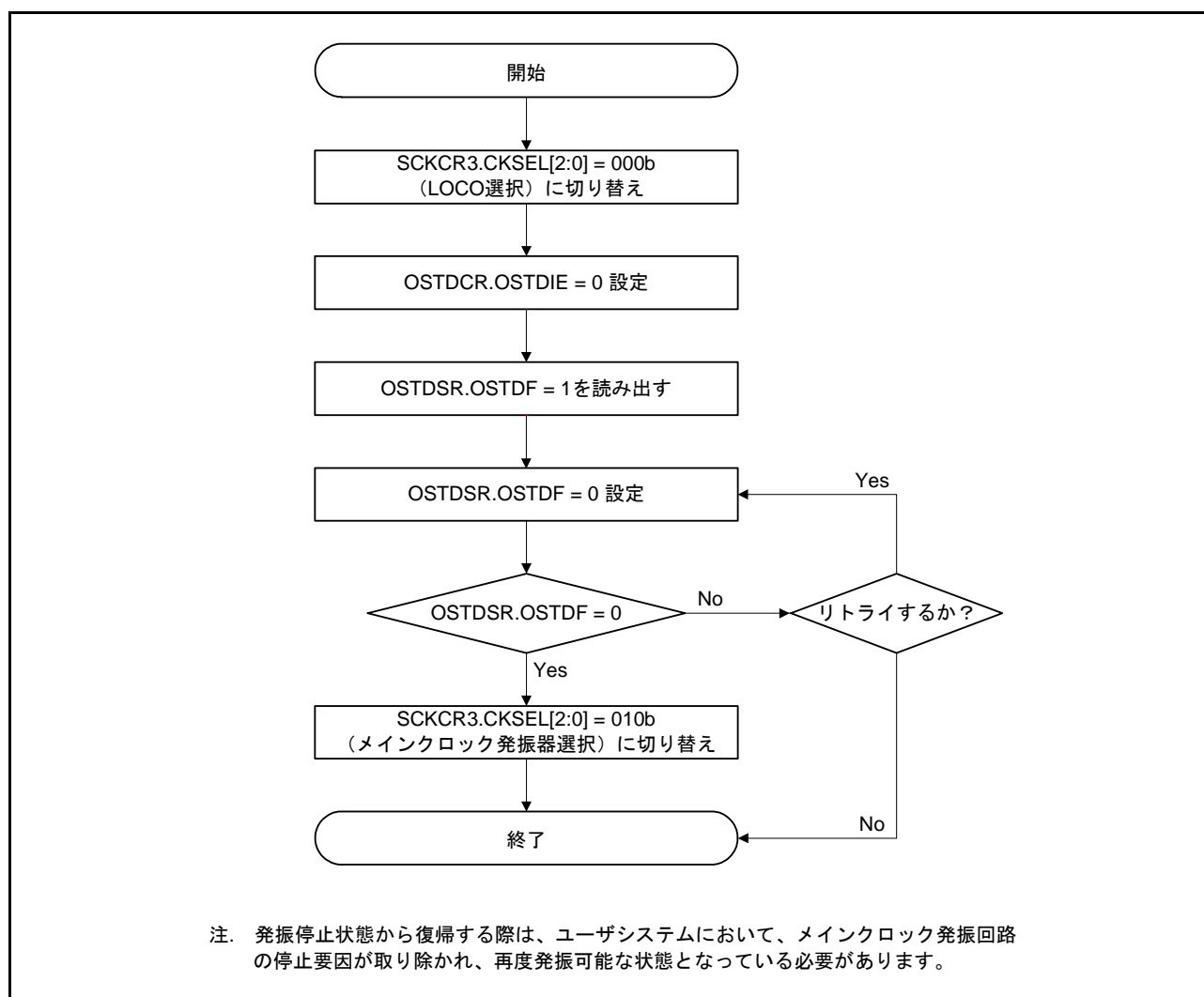


図 9.7 発振停止検出からの復帰のフローチャート例

9.4.2 発振停止検出割り込み

発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) が“1” (発振停止検出割り込みを許可) のとき、発振停止検出フラグ (OSTDSR.OSTDF) が“1”になると発振停止検出割り込み (OSTDI) 要求が発生します。また、このときポートアウトプットイネーブル3 (POE) へメインクロック発振器の停止を通知します。POEは、発振停止の通知を受けて入力レベルコントロール/ステータスレジスタ3のOSTSTハイインピーダンスフラグ (ICSR3.OSTSTF) を“1”にします。このICSR3.OSTSTFフラグは、発振停止を検出後、PCLKBで10サイクル経過するまで書き込みできませんので注意してください。OSTDSR.OSTDFフラグのクリアは、発振停止検出割り込み許可ビット (OSTDCR.OSTDIE) を“0”にした後に行ってください。その後、OSTDCR.OSTDIEビットを再度“1”にする場合は、PCLKBで2サイクル以上待ってから行ってください。アクセスサイクル数がPCLKBで定義されているI/Oレジスタを読み出すことによって、PCLKB2サイクル以上の待ち時間を確保することが可能です。

発振停止検出割り込みはノンマスクابل割り込みです。リセット解除後の初期状態では、「ノンマスクابل割り込み禁止」となっていますので、発振停止検出割り込みを使用する場合は、ソフトウェアでノンマスクابل割り込みを有効にしてください。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。発振停止を検出してPLLが自励発振周波数で動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

9.5 PLL 回路

PLL 回路は、発振器からの周波数を逡倍する機能を持っています。

9.6 内部クロック

内部クロックは、クロック源としてメインクロック、HOCO クロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

- (1) CPU、DTC、ROM および RAM の動作クロック：システムクロック (ICLK)
- (2) 周辺モジュールの動作クロック：周辺モジュールクロック (PCLKA、PCLKB、PCLKD)
- (3) FlashIF の動作クロック：FlashIF クロック (FCLK)
- (4) CAC モジュール用の動作クロック：CAC クロック (CACCLK)
- (5) IWDT モジュール用の動作クロック：IWDT 専用クロック (IWDTCLK)

内部クロックの周波数は、分周比を選択する SCKCR.FCK[3:0]、ICK[3:0]、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、クロック源を選択する SCKCR3.CKSEL[2:0] ビット、PLL 回路の周波数を選択する PLLCR.STC[5:0]、PLIDIV[1:0] ビットの組み合わせで設定します。各ビットの書き換え後に、変更後の周波数で動作します。

9.6.1 システムクロック

システムクロック (ICLK) は、CPU、DTC、ROM および RAM の動作クロックです。

ICLK の周波数は、SCKCR.ICK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

9.6.2 周辺モジュールクロック

周辺モジュールクロック (PCLKA、PCLKB、PCLKD) は、周辺モジュール用の動作クロックです。

PCLKA、PCLKB、PCLKD の周波数は、SCKCR.PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKA、PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。

9.6.3 FlashIF クロック

FlashIF クロック (FCLK) は、FlashIF 用の動作クロックです。

FCLK の周波数は、SCKCR.FCK[3:0] ビット、SCKCR3.CKSEL[2:0] ビット、PLLCR.STC[5:0]、PLIDIV[1:0] ビットで設定します。

9.6.4 CAC クロック

CAC クロック (CACCLK) は、CAC モジュール用の動作クロックです。

CACCLK にはメインクロック発振器で生成される CACMCLK、高速オンチップオシレータで生成される CACHCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

9.6.5 IWDT 専用クロック

IWDT 専用クロック (IWDTCLK) は、IWDT モジュールの動作クロックです。

IWDTCLK は、IWDT 専用オンチップオシレータで内部発振によって生成されたクロックです。

9.7 使用上の注意事項

9.7.1 クロック発生回路に関する注意事項

- (1) SCKCR レジスタで、各モジュールに供給されるシステムクロック (ICLK)、周辺モジュールクロック (PCLKA、PCLKB、PCLKD)、FlashIF クロック (FCLK) の周波数を選択します。各周波数は、以下のようになっています。
各周波数は電气的特性の AC タイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
周波数は表 9.1 の周波数範囲内に収まるように設定してください。
周辺モジュールは、基本的に PCLKB、PCLKD を基準に動作します。このため、周波数変更の前後でタイマや SCI などの動作速度が変わりますので注意してください。
- (2) システムクロック (ICLK)、周辺モジュールクロック A、B、D (PCLKA、PCLKB、PCLKD)、FlashIF クロック (FCLK) との間には下記の周波数関係が必要です。
ICLK:FCLK = N:1 (N は整数) の周波数関係
ICLK:PCLKA, PCLKB, PCLKD = N:1 (N は整数) の周波数関係
- (3) クロック周波数を変更後、確実に次の処理を実行するためには、周波数変更の書き込みをした後、同レジスタの読み出しを行ってから次の処理を実行してください。

9.7.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので、本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などによって異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

9.7.3 ボード設計上の注意

発振子を使用する場合は、発振子およびコンデンサはできるだけ発振子接続端子の近くに配置してください。図 9.8 に示すように発振回路の近くには信号線を通過させないでください。電磁誘導によって正常に発振しなくなることがあります。

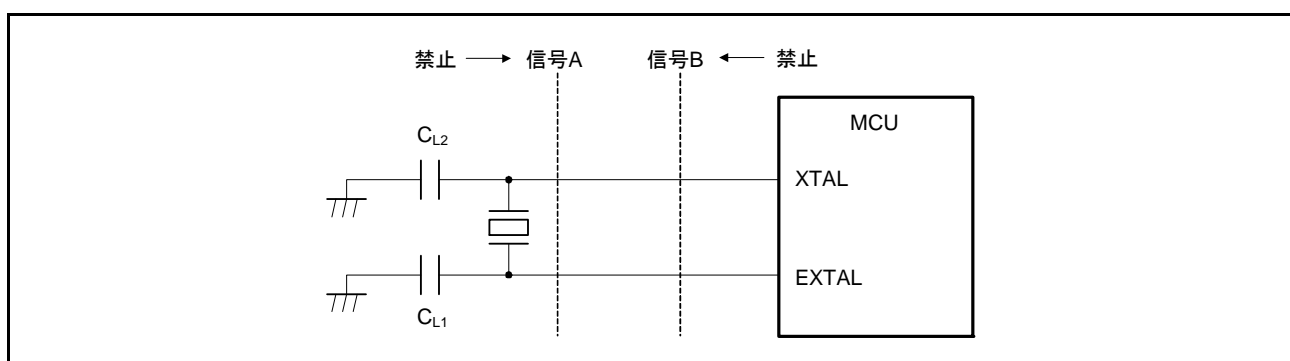


図 9.8 発振回路部のボード設計に関する注意事項

9.7.4 発振子接続端子に関する注意事項

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP = 1) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用ポートとして使用しないでください。

メインクロックを使用する場合は、P36、P37 を出力に設定しないでください。

10. クロック周波数精度測定回路 (CAC)

10.1 概要

クロック周波数精度測定回路 (CAC) は、測定の対象となるクロック (測定対象クロック) に対して、測定基準となるクロック (測定基準クロック) で生成した時間内のクロックのパルスを数え、それが許容範囲内にあるか否かで精度を判定します。

測定の終了または測定基準クロックで生成した時間内のクロックのパルス数が許容範囲外の場合、割り込み要求を発生します。

表 10.1 に CAC の仕様を、図 10.1 に CAC のブロック図を示します。

表 10.1 CAC の仕様

項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> • メインクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
測定基準クロック	<ul style="list-style-type: none"> • 外部からCACREF端子に入力したクロック • メインクロック • HOCOクロック • LOCOクロック • IWDTCCLKクロック • 周辺モジュールクロック B (PCLKB)
選択機能	デジタルフィルタ機能
割り込み要因	<ul style="list-style-type: none"> • 測定終了割り込み • 周波数エラー割り込み • オーバフロー割り込み
消費電力低減機能	モジュールストップ状態への設定が可能

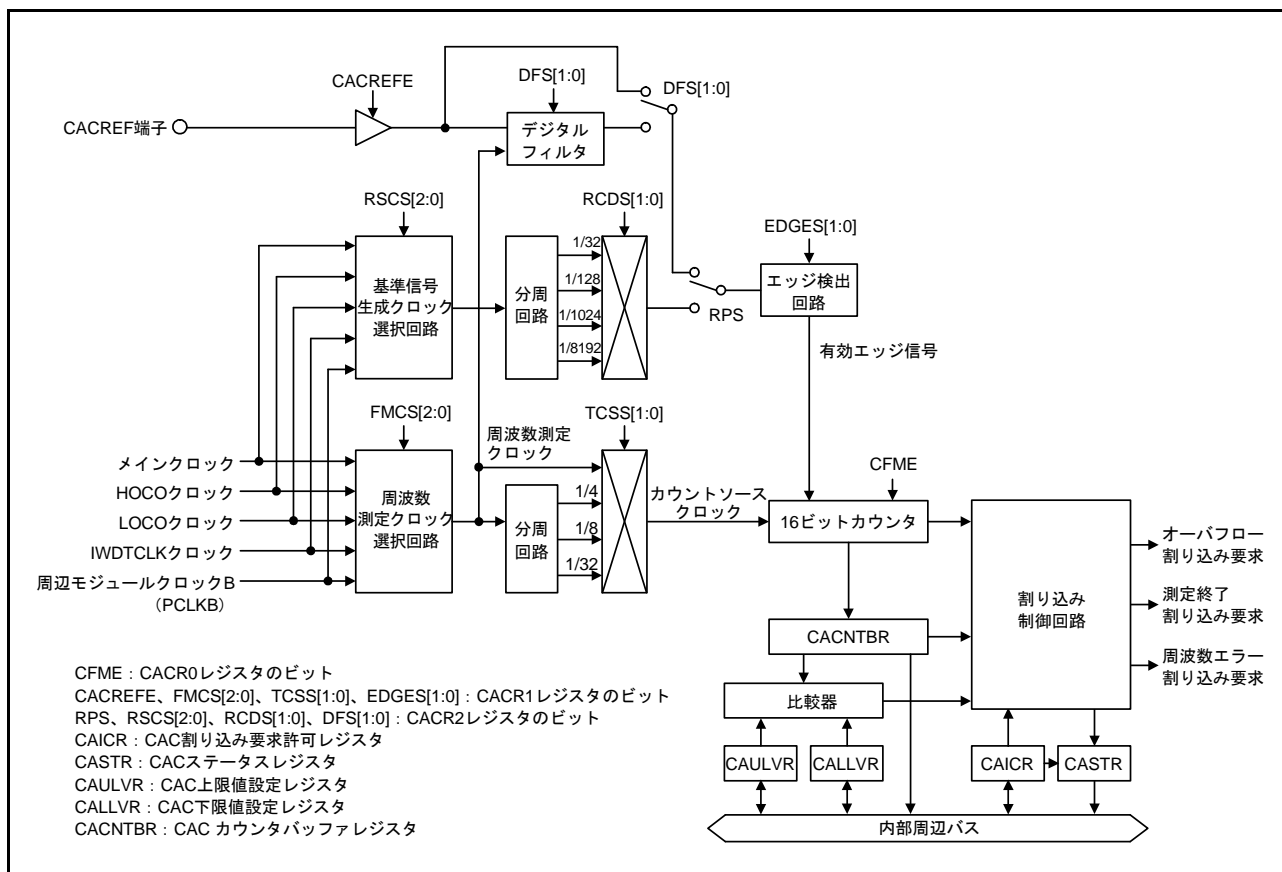


図 10.1 CACのブロック図

表 10.2 に CAC の入出力端子を示します。

表 10.2 CACの入出力端子

端子名	入出力	機能
CACREF	入力	測定基準クロックの入力端子

10.2 レジスタの説明

10.2.1 CAC コントロールレジスタ 0 (CACR0)

アドレス 0008 B000h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	CFME
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CFME	クロック周波数測定有効ビット	0 : クロック周波数測定無効 1 : クロック周波数測定有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

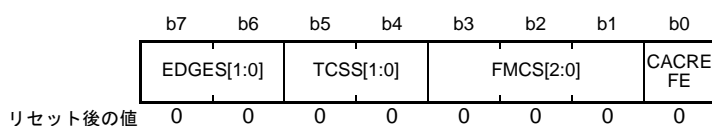
CFME ビット (クロック周波数測定有効ビット)

クロック周波数測定の有効 / 無効を指定するビットです。

このビットを書き換えても内部回路に反映されるまでは時間がかかります。前値が内部回路に反映されていない状態でこのビットを書き換えると無視されます。書き換えが反映されたかはビットの読み出しで確認できます。

10.2.2 CAC コントロールレジスタ 1 (CACR1)

アドレス 0008 B001h



ビット	シンボル	ビット名	機能	R/W
b0	CACREFE	CACREF 端子入力有効ビット	0 : CACREF 端子入力無効 1 : CACREF 端子入力有効	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	TCSS[1:0]	タイマカウントクロックソース 選択ビット	b5 b4 0 0 : 分周なしクロック 0 1 : 4分周クロック 1 0 : 8分周クロック 1 1 : 32分周クロック	R/W
b7-b6	EDGES[1:0]	有効エッジ選択ビット	b7 b6 0 0 : 立ち上がりエッジ 0 1 : 立ち下がりエッジ 1 0 : 立ち上がり/立ち下がり両エッジ 1 1 : 設定しないでください	R/W

注1. CACR1 レジスタは、CACR0.CFME ビットが“0”のときに設定してください。

CACREFE ビット (CACREF 端子入力有効ビット)

CACREF 端子入力の有効 / 無効を指定するビットです。

FMCS[2:0] ビット (測定対象クロック選択ビット)

周波数を測定する測定対象クロックを選択します。

TCSS[1:0] ビット (タイマカウントクロックソース選択ビット)

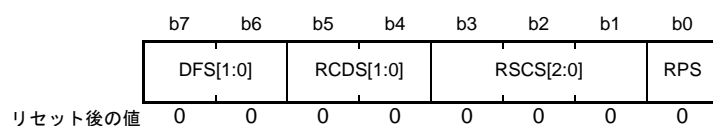
このビットの設定によりクロック周波数精度測定回路のカウントクロックソースを選択します。

EDGES[1:0] ビット (有効エッジ選択ビット)

このビットの設定により基準信号の有効エッジを選択します。

10.2.3 CAC コントロールレジスタ 2 (CACR2)

アドレス 0008 B002h



ビット	シンボル	ビット名	機能	R/W
b0	RPS	基準信号選択ビット	0 : CACREF 端子入力 1 : 内部クロック (内部生成信号)	R/W
b3-b1	RSCS[2:0]	測定基準クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : HOCOクロック 0 1 1 : LOCOクロック 1 0 0 : IWDTCCLKクロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W
b5-b4	RCDS[1:0]	測定基準クロック分周比選択ビット	b5 b4 0 0 : 32分周クロック 0 1 : 128分周クロック 1 0 : 1024分周クロック 1 1 : 8192分周クロック	R/W
b7-b6	DFS[1:0]	デジタルフィルタ機能選択ビット	b7 b6 0 0 : デジタルフィルタ機能無効 0 1 : 周波数測定クロック 1 0 : 周波数測定クロックの4分周クロック 1 1 : 周波数測定クロックの16分周クロック	R/W

注1. CACR2レジスタは、CACR0.CFMEビットが“0”のときに設定してください。

RPS ビット (基準信号選択ビット)

このビットの設定により基準信号として CACREF 端子入力か内部クロック (内部生成信号) のどちらを使用するか選択します。

RSCS[2:0] ビット (測定基準クロック選択ビット)

このビットの設定により測定基準クロックを生成するクロックソースを選択します。

RCDS[1:0] ビット (測定基準クロック分周比選択ビット)

このビットの設定により測定基準クロックの分周比を選択します。

DFS[1:0] ビット (デジタルフィルタ機能選択ビット)

このビットの設定により、デジタルフィルタの有効/無効、サンプリングクロックを選択します。

10.2.4 CAC 割り込み要求許可レジスタ (CAICR)

アドレス 0008 B003h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	OVFFC L	MENDF CL	FERRF CL	—	OVFIE	MENDI E	FERRI E
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FERRIE	周波数エラー割り込み要求許可ビット	0: 周波数エラー割り込み要求無効 1: 周波数エラー割り込み要求有効	R/W
b1	MENDIE	測定終了割り込み要求許可ビット	0: 測定終了割り込み要求無効 1: 測定終了割り込み要求有効	R/W
b2	OVFIE	オーバフロー割り込み要求許可ビット	0: オーバフロー割り込み要求無効 1: オーバフロー割り込み要求有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	FERRFCL	FERRF フラグクリアビット	このビットを“1”にすると CASTR.FERRF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b5	MENDFCL	MENDF フラグクリアビット	このビットを“1”にすると CASTR.MENDF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b6	OVFFCL	OVFF フラグクリアビット	このビットを“1”にすると CASTR.OVFF フラグをクリアします。読み出すと“0”が読み出されます	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRIE ビット (周波数エラー割り込み要求許可ビット)

周波数エラー割り込み要求の有効 / 無効を指定するビットです。

MENDIE ビット (測定終了割り込み要求許可ビット)

測定終了割り込み要求の有効 / 無効を指定するビットです。

OVFIE ビット (オーバフロー割り込み要求許可ビット)

オーバフロー割り込み要求の有効 / 無効を指定するビットです。

FERRFCL ビット (FERRF フラグクリアビット)

このビットを“1”にすると CASTR.FERRF フラグをクリアします。

MENDFCL ビット (MENDF フラグクリアビット)

このビットを“1”にすると CASTR.MENDF フラグをクリアします。

OVFFCL ビット (OVFF フラグクリアビット)

このビットを“1”にすると CASTR.OVFF フラグをクリアします。

10.2.5 CAC ステータスレジスタ (CASTR)

アドレス 0008 B004h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	OVFF	MENDF	FERRF

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FERRF	周波数エラーフラグ	0: クロックの周波数が設定値内 1: クロックの周波数が設定値を外れた (周波数エラー)	R
b1	MENDF	測定終了フラグ	0: 測定中 1: 測定が終了	R
b2	OVFF	オーバフローフラグ	0: カウンタがオーバフローしていない 1: カウンタがオーバフロー	R
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FERRF フラグ (周波数エラーフラグ)

クロックの周波数が設定値を外れた (周波数エラー) ことを示します。

["1" になる条件]

- クロック周波数が設定値を外れたとき

["0" になる条件]

- CAICR.FERRFCL ビットに“1”を書き込んだとき

MENDF フラグ (測定終了フラグ)

測定が終了したことを示します。

["1" になる条件]

- 測定終了したとき

["0" になる条件]

- CAICR.MENDFCL ビットに“1”を書き込んだとき

OVFF フラグ (オーバフローフラグ)

カウンタがオーバフローしたことを示します。

["1" になる条件]

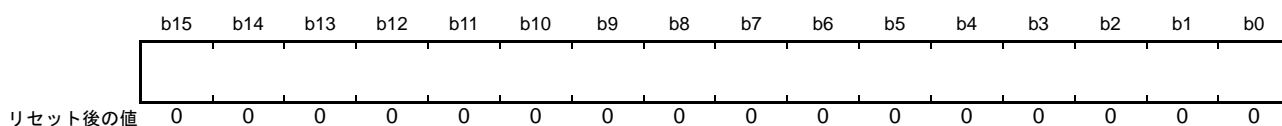
- カウンタがオーバフローしたとき

["0" になる条件]

- CAICR.OVFFCL ビットに“1”を書き込んだとき

10.2.6 CAC 上限値設定レジスタ (CAULVR)

アドレス 0008 B006h



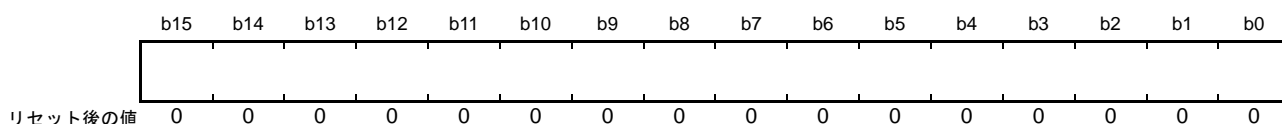
CAULVR レジスタは、周波数の測定に用いるカウンタの上限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を上回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.7 CAC 下限値設定レジスタ (CALLVR)

アドレス 0008 B008h



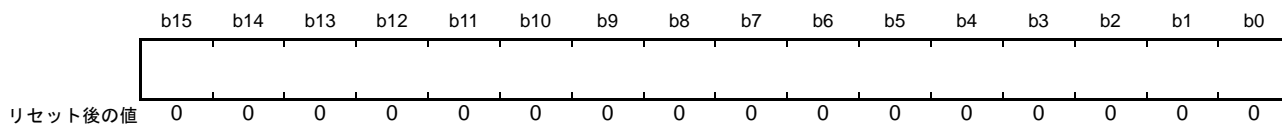
CALLVR レジスタは、周波数の測定に用いるカウンタの下限値を指定する 16 ビットの読み出し / 書き込み可能なレジスタです。このレジスタに指定された値を下回った場合、周波数の異常を検出します。

CACR0.CFME ビットが“0”のときに設定してください。

デジタルフィルタ、エッジ検出回路と CACREF 端子入力信号の位相差により CACNTBR レジスタに保持されるカウンタ値がずれることがありますので余裕をもった値を設定してください。

10.2.8 CAC カウンタバッファレジスタ (CACNTBR)

アドレス 0008 B00Ah



基準信号の有効エッジが入力されたときのカウンタ値を保持する 16 ビットの読み出し専用レジスタです。

10.3 動作説明

10.3.1 クロック周波数測定

クロック周波数精度測定回路は、CACREF 端子入力または内部クロックを基準にクロック周波数を測定します。図 10.2 にクロック周波数精度測定回路の動作例を示します。

クロック周波数精度測定回路は、クロック周波数測定時、以下のように動作します。

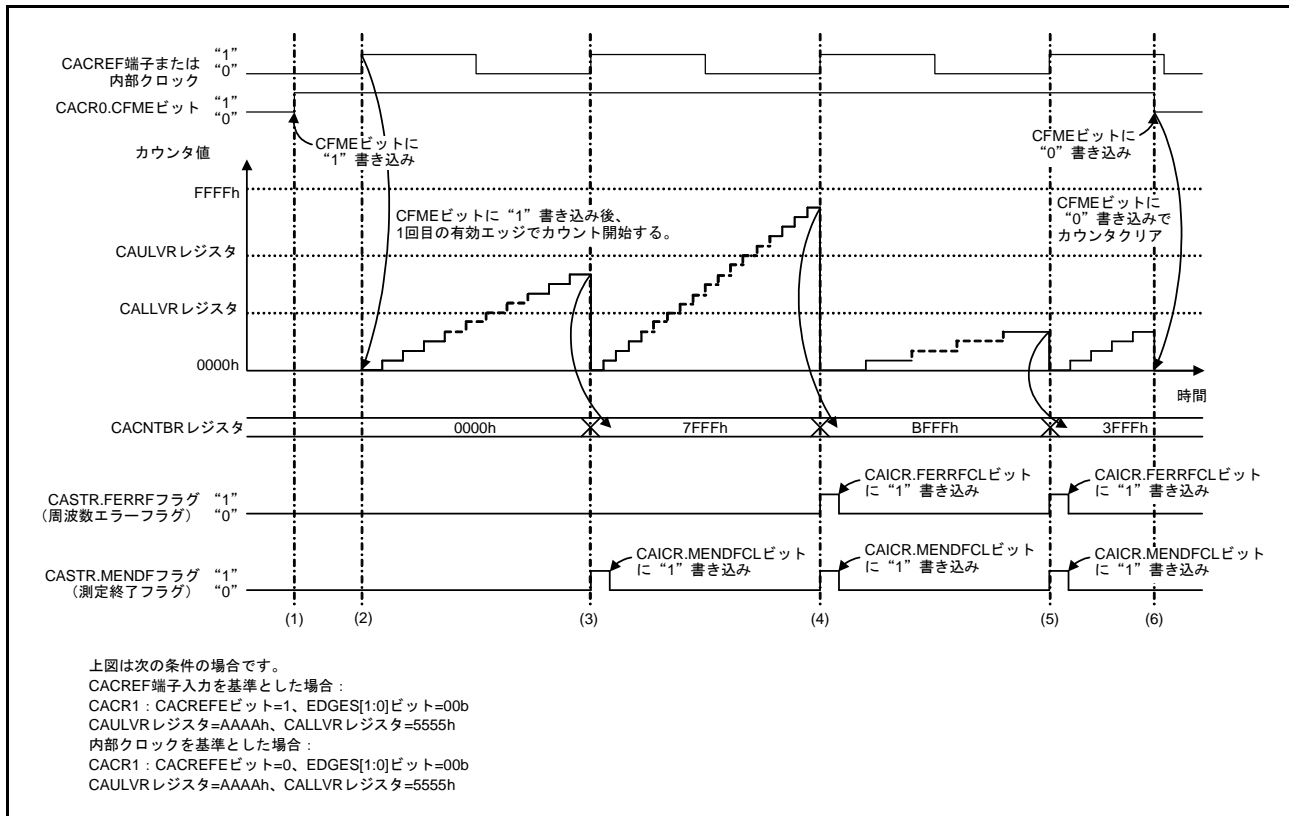


図 10.2 クロック周波数精度測定回路の動作例

- (1) CACREF 端子入力を基準とした場合 (CACR1.CACREFE ビット = 1) は、CACR2.RPS ビットを "0"、CACR1.CACREFE ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
一方、内部クロックを基準とした場合 (CACR1.CACREFE ビット = 0) は、CACR2.RPS ビットを "1" に設定した状態で、CACR0.CFME ビットに "1" を書き込むとクロック周波数測定が有効になります。
- (2) CACREF 端子入力を基準とした場合は、CFME ビットに "1" を書き込み後、CACREF 端子から CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0]=00b)) が入力されるとタイマのカウンタアップが開始します。
内部クロックを基準とした場合は、CFME ビットに "1" を書き込み後、CACR2.RSCS[2:0] ビットで選択したクロックソースを元に CACR1.EDGES[1:0] ビットで選択した有効エッジ (図 10.2 では立ち上がりエッジ (CACR1.EDGES[1:0]=00b)) が入力されるとタイマのカウンタアップが開始します。
- (3) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ ≤ CAULVR レジスタかつ CACNTBR レジスタ ≥ CALLVR レジスタのときはクロック周波数が正常なので CASTR.MENDF フラグだけが "1" にセットされます。また、CAICR.MENDIE ビットを "1" に設定している場合は、測定終了割り込みが発生します。

- (4) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ > CAULVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (5) 次の有効エッジが入力されると、カウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACNTBR レジスタ < CALLVR レジスタのときはクロック周波数が異常なので CASTR.FERRF フラグが“1”にセットされます。また、CAICR.FERRIE ビットを“1”に設定している場合は、周波数エラー割り込みが発生します。さらに CASTR.MENDF フラグも“1”にセットされます。また、CAICR.MENDIE ビットを“1”に設定している場合は、測定終了割り込みが発生します。
- (6) CACR0.CFME ビットが“1”の間は、有効エッジが入力されるたびにカウンタ値を CACNTBR レジスタに転送し、CAULVR レジスタおよび CALLVR レジスタと比較をします。CACR0.CFME ビットに“0”を書き込むと、カウンタをクリアしカウントアップが停止します。

10.3.2 CACREF 端子のデジタルフィルタ機能

CACREF 端子はデジタルフィルタ機能を持っています。デジタルフィルタ機能は、設定したサンプリング周期に応じてサンプリングした端子のレベルが3回連続で一致した場合、内部に一致したレベルを伝達し、再度サンプリングした端子のレベルが3回連続で一致するまで内部へは同じレベルを伝達し続けます。

デジタルフィルタ機能はデジタルフィルタ機能の有効/無効とサンプリングクロックが設定できます。

デジタルフィルタと CACREF 端子入力信号の位相差により CACNTBR レジスタに転送されるカウンタ値は、最大サンプリングクロック 1 周期分の誤差があります。

カウントソースクロックに分周クロックを選択している場合は、以下の計算式でカウント値誤差を表すことができます。

$$\text{カウント値誤差} = (\text{カウントソースクロック 1 周期}) / (\text{サンプリングクロック 1 周期})$$

10.4 割り込み要求

CAC が要求する割り込み要因には、周波数エラー割り込み、測定終了割り込みおよびオーバフロー割り込みの3種類があります。各割り込み要因が発生すると各ステータスフラグが“1”にセットされます。表 10.3 にクロック周波数精度測定回路割り込み要求を示します。

表 10.3 クロック周波数精度測定回路割り込み要求

割り込み要求	割り込み許可ビット	ステータスフラグ	割り込み要因
周波数エラー割り込み	CAICR.FERRIE	CASTR.FERRF	CACNTBR レジスタを CAULVR レジスタおよび CALLVR レジスタと比較をした結果が CACNTBR レジスタ > CAULVR レジスタまたは CACNTBR レジスタ < CALLVR レジスタのとき
測定終了割り込み	CAICR.MENDIE	CASTR.MENDF	基準信号の有効エッジが入力されたとき ただし、CACR0.CFME ビットを“1”に書き込み後、1回目の有効エッジでは測定終了割り込みは発生しない。
オーバフロー割り込み	CAICR.OVFIE	CASTR.OVFF	カウンタがオーバフローしたとき

10.5 使用上の注意事項

10.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ C (MSTPCRC) により、クロック周波数精度測定回路の動作禁止 / 許可を設定することが可能です。初期値では、クロック周波数精度測定回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

11. 消費電力低減機能

11.1 概要

本 MCU には、消費電力低減機能としてクロックの切り替えによる消費電力の低減、モジュールストップ機能、通常動作時の低消費電力機能、および低消費電力状態への遷移機能があります。

表 11.1 に消費電力低減機能の仕様を、表 11.2 に低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態および各モードの解除方法を示します。

リセット後は、通常のプログラム動作で DTC、RAM 以外のモジュールは停止状態になります。

表 11.1 消費電力低減機能の仕様

項目	内容
クロックの切り替えによる消費電力の低減	システムクロック (ICLK)、高速周辺モジュールクロック (PCLKA)、周辺モジュールクロック (PCLKB)、S12AD用クロック (PCLKD)、FlashIFクロック (FCLK) に対し、個別に分周比を設定することが可能 (注1)
モジュールストップ機能	周辺モジュールごとに機能を停止させることが可能
低消費電力状態への遷移機能	<ul style="list-style-type: none"> • CPU、周辺モジュール、発振器を停止させる低消費電力状態にすることが可能
低消費電力状態	<ul style="list-style-type: none"> • スリープモード • ディープスリープモード • ソフトウェアスタンバイモード
動作電力低減機能	<ul style="list-style-type: none"> • 動作周波数、動作電圧範囲に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、およびディープスリープモード時の消費電力を低減することが可能 • 動作電力制御状態：2種類 高速動作モード 中速動作モード

注1. 詳細は「9. クロック発生回路」を参照してください。

表 11.2 各モードにおける遷移および解除方法と動作状態

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み (注1)
解除後の状態 (注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
高速オンチップオシレータ	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT専用オンチップオシレータ	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
PLL	動作可能	動作可能	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
RAM0 (0000 0000h~0000 27FFh、 0000 4000h~0000 4A7Fh)	動作可能 (保持)	停止 (保持)	停止 (保持)
DTC	動作可能 (注5)	停止 (保持)	停止 (保持)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止 (保持) (注4)
I/Oポート	動作	動作	保持
コンパレータC	動作可能	動作可能	動作可能 (注6)

動作可能は、制御レジスタ設定によって動作/停止を制御可能であることを示します。
停止 (保持) は、内部レジスタ値保持、内部状態は動作中断を示します。

- 注1. 外部端子割り込み (NMI、IRQ0~IRQ5)、周辺機能割り込み (IWDT、電圧監視)
注2. RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除は除きます。
RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによる解除の場合は、リセット状態に遷移します。
注3. IWDTオートスタートモード時、オプション機能選択レジスタ0のIWDTスリープモードカウント停止制御ビット (OFS0.IWDTSLCSTP) の設定により、動作/停止を選択することができます。IWDTオートスタートモードではないとき、IWDTカウント停止コントロールレジスタのスリープモードカウント停止制御ビット (IWDTCSLTPR.SLCSTP) の設定により、動作/停止を選択することができます。
注4. 周辺モジュールは状態を保持します。
注5. スリープモード中は、システム制御関連のレジスタ (「表 5.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ) への書き込みは禁止です。
注6. デジタルフィルタ機能は使用禁止です。比較結果のCOMPn端子への出力のみ動作可能です。

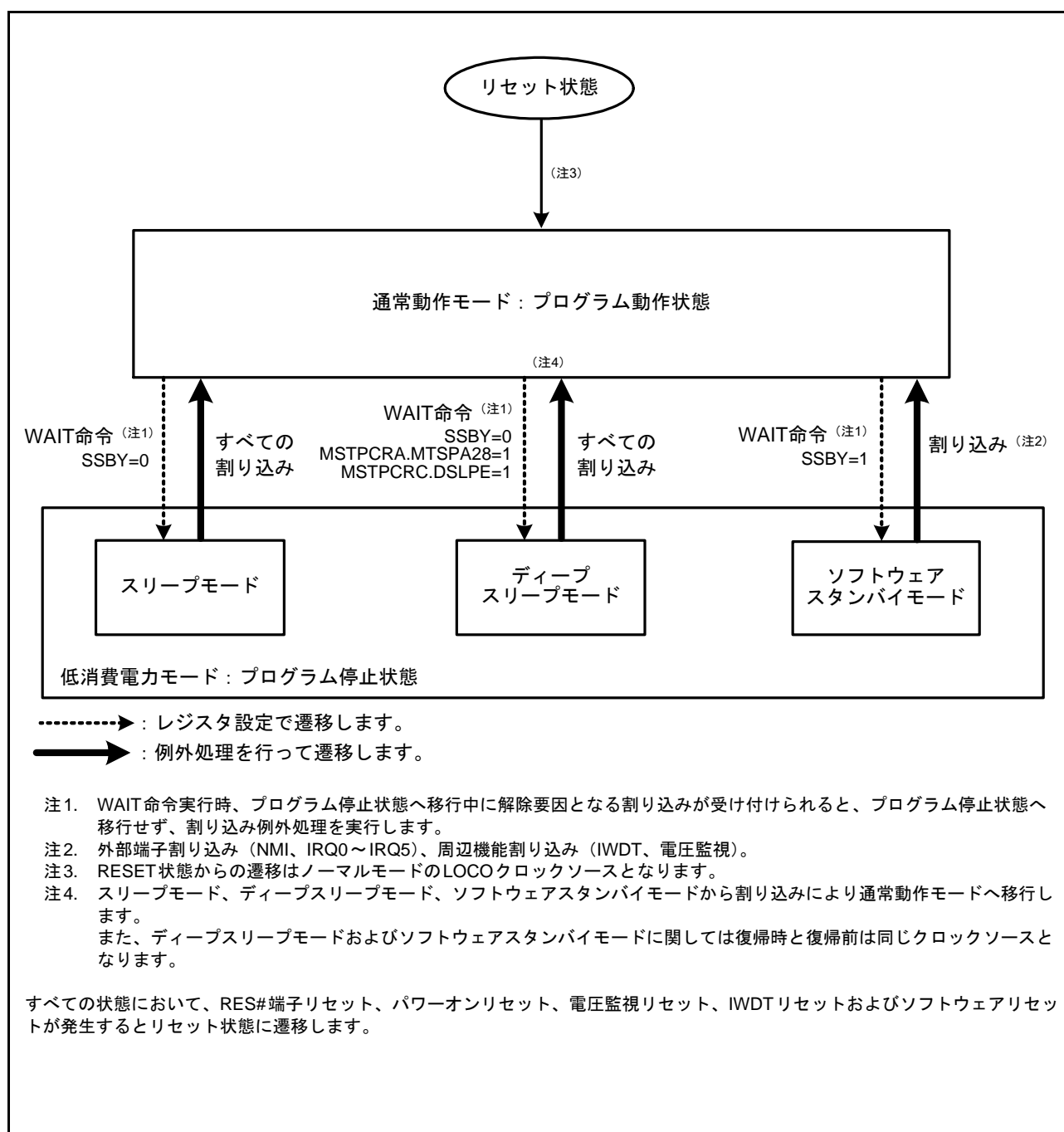


図 11.1 モード遷移

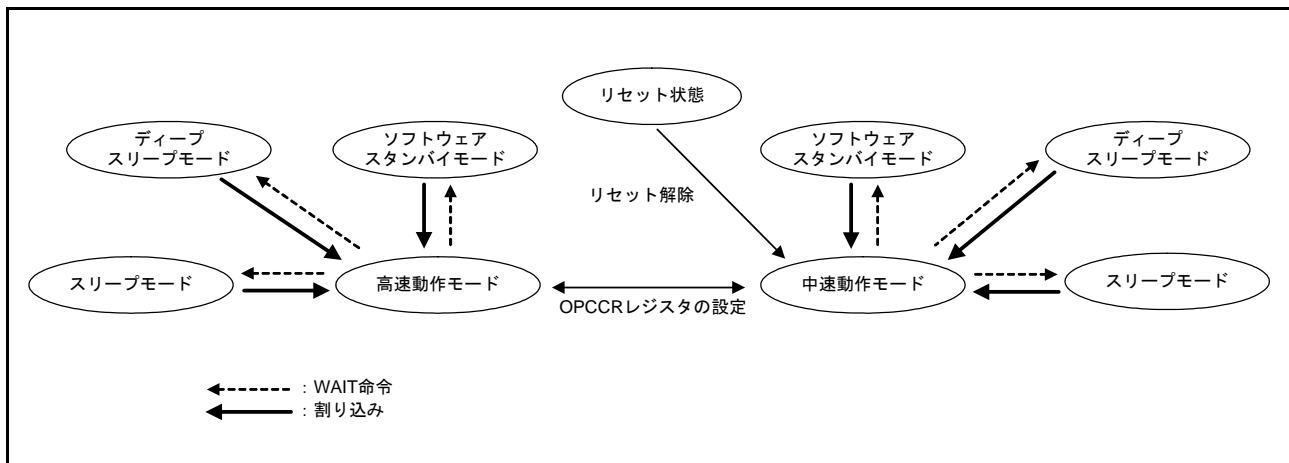


図 11.2 動作モード

- スリープモードからはスリープモードへ遷移する前の動作状態に戻ることができます。
- リセット解除後は中速動作モードで動作開始します。

11.2 レジスタの説明

11.2.1 スタンバイコントロールレジスタ (SBYCR)

アドレス 0008 000Ch

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	SSBY	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b13-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b14	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15	SSBY	ソフトウェアスタンバイビット	0 : WAIT命令実行後、スリープモードまたはディープスリープモードに遷移 1 : WAIT命令実行後、ソフトウェアスタンバイモードに遷移	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

SSBY ビット (ソフトウェアスタンバイビット)

WAIT 命令実行後の遷移先を設定します。

SSBY ビットが“1”の状態では WAIT 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。

なお、割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、SSBY ビットは“1”のままです。SSBY ビットを“0”にするときは“0”を書いてください。

発振停止検出コントロールレジスタの発振停止検出機能許可ビット (OSTDCR.OSTDE) が“1”のときは、SSBY ビットに設定された値は無効になります。SSBY ビットが“1”のときも、WAIT 命令実行後は、スリープモードまたはディープスリープモードに遷移します。

11.2.2 モジュールストップコントロールレジスタ A (MSTPCRA)

アドレス 0008 0010h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	MSTPA 28	—	—	—	—	—	—	—	—	MSTPA 19	—	MSTPA 17	—
リセット後の値	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	MSTPA 15	MSTPA 14	—	—	—	—	MSTPA 9	—	—	—	MSTPA 5	MSTPA 4	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	MSTPA4	8ビットタイマ3、2 (ユニット1) モジュールストップ設定ビット	対象モジュール：TMR3、TMR2 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b5	MSTPA5	8ビットタイマ1、0 (ユニット0) モジュールストップ設定ビット	対象モジュール：TMR1、TMR0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b8-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b9	MSTPA9	マルチファンクションタイマパルス ユニット3モジュール ストップ設定ビット	対象モジュール：MTU3 (MTU0～MTU5) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b13-b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b14	MSTPA14	コンペアマッチタイマ1 (ユニット 1) モジュールストップ設定ビット	対象モジュール：CMTユニット1 (CMT2、CMT3) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b15	MSTPA15	コンペアマッチタイマ (ユニット0) モジュールストップ設定ビット	対象モジュール：CMTユニット0 (CMT0、CMT1) 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPA17	12ビットA/Dコンバータモジュール ストップ設定ビット	対象モジュール：S12AD 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPA19	コンパレータC用リファレンス電圧 生成専用D/Aコンバータモジュール ストップ設定ビット	対象モジュール：DA 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b27-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b28	MSTPA28	データトランスファコントローラモ ジュールストップ設定ビット	対象モジュール：DTC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31-b29	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1” (書き込み許可) にした後で書き換えてください。

11.2.3 モジュールストップコントロールレジスタ B (MSTPCRB)

アドレス 0008 0014h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	MSTPB 30	—	—	—	MSTPB 26	—	—	MSTPB 23	—	MSTPB 21	—	—	—	MSTPB 17	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MSTPB 10	—	—	—	MSTPB 6	—	—	—	—	—	—
リセット後の値	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b6	MSTPB6	DOCモジュールストップ設定ビット	対象モジュール：DOC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b9-b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b10	MSTPB10	コンパレータCモジュールストップ設定ビット	対象モジュール：コンパレータC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b16-b11	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b17	MSTPB17	シリアルペリフェラルインタフェース0モジュールストップ設定ビット	対象モジュール：RSPI0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b20-b18	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b21	MSTPB21	I ² Cバスインタフェース0モジュールストップ設定ビット	対象モジュール：RIIC0 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b22	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b23	MSTPB23	CRC演算器モジュールストップ設定ビット	対象モジュール：CRC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b25-b24	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b26	MSTPB26	シリアルコミュニケーションインタフェース5モジュールストップ設定ビット	対象モジュール：SCI5 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b29-b27	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b30	MSTPB30	シリアルコミュニケーションインタフェース1モジュールストップ設定ビット	対象モジュール：SCI1 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b31	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

11.2.4 モジュールストップコントロールレジスタ C (MSTPCRC)

アドレス 0008 0018h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	DSLPE	—	—	—	—	—	—	—	—	—	—	—	MSTPC19	—	—	—
リセット後の値	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MSTPC0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット (注1)	対象モジュール：RAM0 (0000 0000h～0000 27FFh、 0000 4000h～0000 4A7Fh) 0：RAM0動作 1：RAM0停止	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b18-b16	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b19	MSTPC19	クロック周波数精度測定回路 モジュールストップ設定ビット (注2)	対象モジュール：CAC 0：モジュールストップ状態の解除 1：モジュールストップ状態へ遷移	R/W
b30-b20	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b31	DSLPE	ディープスリープモード許可ビット	0：ディープスリープモード禁止 1：ディープスリープモード許可	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

注1. RAMアクセス中に該当するMSTPC0ビットを“1”にしないでください。また、MSTPC0ビットが“1”の状態、該当するRAMにアクセスしないでください。

注2. MSTPC19ビットの書き換えは、本ビットによって制御するクロックの発振が安定しているときに行ってください。本ビットを書き換えた後、ソフトウェアスタンバイモードに遷移する場合は、書き換え後、そのときに発振している発振器のうち、最も遅いクロックを出力する発振器の出カクロックで2サイクル経過したのち、WAIT命令を実行してください。

DSLPE ビット (ディープスリープモード許可ビット)

DSLPE ビットにて、ディープスリープモードへの移行の許可または禁止を設定します。DSLPE ビットを“1”にし、SBYCR.SSBY ビットおよび MSTPCRA.MSTPA28 ビットが所定の条件を満たした状態で、CPU が WAIT 命令を実行した場合、ディープスリープモードに移行します。詳細は「11.6.2 ディープスリープモード」を参照してください。

11.2.5 動作電力コントロールレジスタ (OPCCR)

アドレス 0008 00A0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	OPCM TSF	—	OPCM[2:0]		
リセット後の値	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	OPCM[2:0]	動作電力制御モード 選択ビット	b2 b0 0 0 0 : 高速動作モード 0 1 0 : 中速動作モード 上記以外は設定しないでください	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	OPCMTSF	動作電力制御モード 遷移状態フラグ	0 : 遷移完了 1 : 遷移中	R
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注. このレジスタはPRCR.PRC1ビットを“1”（書き込み許可）にした後で書き換えてください。

OPCCR レジスタは、通常動作モード、スリープモード、ディープスリープモード時の消費電力を低減させるためのレジスタです。

OPCCR レジスタの設定によって、使用する動作周波数、動作電圧に応じて消費電力を低減させることができます。

以下に該当する場合、OPCCR レジスタの書き換えは無効になります。

- OPCCR.OPCMTSF フラグが“1”（遷移中）のとき
- スリープモードへ移行するための WAIT 命令実行から、スリープモードから通常動作へ復帰するまでの期間
- ディープスリープモードへ移行するための WAIT 命令実行から、ディープスリープモードから通常動作へ復帰するまでの期間

フラッシュメモリがプログラム/イレーズ (P/E) 中は、OPCCR レジスタのライトアクセスはできません。書き込みは無効になります。

動作電力制御モードへの遷移手順は、「11.5 動作電力低減機能」を参照してください。

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ（「表 5.1 I/O レジスタアドレス一覧」のモジュールシンボル欄に SYSTEM と記載のレジスタ）への書き込みは禁止です。

OPCM[2:0] ビット（動作電力制御モード選択ビット）

通常動作モード、スリープモード、ディープスリープモード時の動作電力制御モードを選択します。

表 11.3 に動作電力制御モードと OPCM[2:0] ビットの設定値と動作周波数範囲・動作電圧範囲の関係を示します。

OPCMTSF フラグ（動作電力制御モード遷移状態フラグ）

動作電力制御モード切り替え時の切り替え制御状態を表します。

OPCM[2:0] ビットの値を書き換えると“1”になり、モード遷移が完了すると“0”になります。このフラグが“0”になったことを確認してから次の処理を行ってください。また、OPCM[2:0] ビットの書き換えは、このフラグが“0”のときに行ってください。

表 11.3 動作電力制御モードと動作周波数範囲・動作電圧範囲の関係

動作電力制御モード	OPCM [2:0] ビット	動作電圧範囲	動作周波数範囲					フラッシュメモリ P/E時
			フラッシュメモリ リード時					
			ICLK	FCLK	PCLKD	PCLKB	PCLKA	
高速動作モード	000b	2.7 ~ 5.5V	~ 40MHz	~ 32MHz	~ 40MHz	~ 40MHz	~ 40MHz	1MHz ~ 32MHz
中速動作モード	010b	2.7 ~ 5.5V	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	~ 12MHz	1MHz ~ 12MHz

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

各動作電力制御モードについて以下に説明します。

- 高速動作モード

FLASH リード時の最高動作周波数は、ICLK、PCLKA、PCLKB、PCLKD が 40MHz で、FCLK が 32MHz です。

P/E 時は、動作周波数範囲が 1 ~ 32MHz となります。

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

- 中速動作モード

高速動作モードよりも低速動作向けに消費電力を低減したモードです。

FLASH リード時の最高動作周波数は、ICLK、FCLK、PCLKA、PCLKB、PCLKD が 12MHz です。

P/E 時は、動作周波数範囲が 1 ~ 12MHz となります。

同条件（周波数・電圧）で同じ動作をさせる場合、高速動作モードよりも消費電力を低減できます。

リセット解除後は、本モードで起動します。

注． フラッシュメモリ P/E 時、FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。

11.3 クロックの切り替えによる消費電力の低減

SCKCR.FCK[3:0], ICK[3:0], PCKA[3:0], PCKB[3:0], PCKD[3:0] ビットを設定すると、クロック周波数が切り替わります。CPU、DTC、ROM、RAM は、ICK[3:0] ビットで設定した動作クロックで動作します。

周辺モジュールは、PCKA[3:0]、PCKB[3:0]、PCKD[3:0] ビットで設定した動作クロックで動作します。
フラッシュインタフェースはFCK[3:0] ビットで設定した動作クロックで動作します。
詳細は「9. クロック発生回路」を参照してください。

11.4 モジュールストップ機能

モジュールストップ機能は、内蔵周辺モジュール単位で設定することができます。

MSTPCRA ~ MSTPCRC レジスタに対応する MSTPmi ビット (m = A ~ C, i = 31 ~ 0) を“1”にすると、モジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。対応する MSTPmi ビットを“0”にすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、モジュールの内部状態が保持されています。

リセット解除後は、DTC、RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、読み出し、書き込みともにできませんが、モジュールストップ設定直後に書き込みを行った場合、書き込める場合がありますので注意してください。

11.5 動作電力低減機能

動作周波数、動作電圧に応じて動作電力制御モードを選択することにより、通常動作時、スリープモード時、ディープスリープモード時の消費電力を低減することができます。

11.5.1 動作電力制御モード設定方法

動作電力制御モードの遷移手順を以下に示します。

(1) 消費電力が大きいモードから消費電力が小さいモードへ切り替える場合

- 高速動作モードから中速動作モードへの切り替え

(高速動作モードで高速動作)

↓

各クロックの周波数を中速動作モードの最大動作周波数以下に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

↓

OPCCR.OPCM[2:0] ビットを“010b” (中速動作モード) に設定

↓

OPCCR.OPCMTSF フラグが“0” (遷移完了) であることを確認

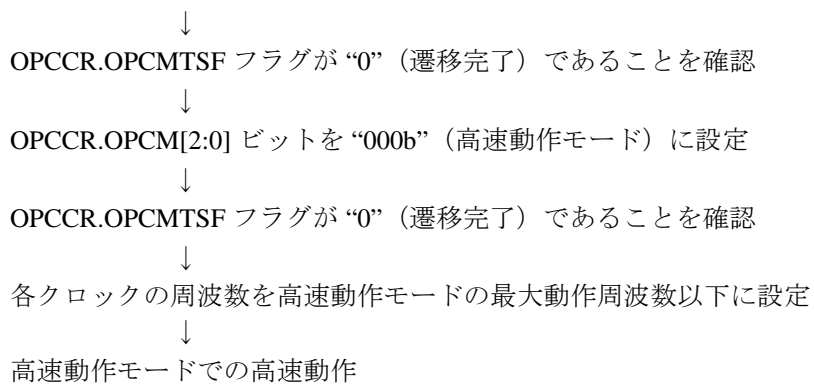
↓

(中速動作モードで中速動作)

(2) 消費電力が小さいモードから消費電力が大きいモードへ切り替える場合

- 中速動作モードから高速動作モードへの切り替え

中速動作モードで中速動作



11.6 低消費電力状態

11.6.1 スリープモード

11.6.1.1 スリープモードへの移行

SBYCR.SSBY ビットが“0”の状態では WAIT 命令を実行すると、スリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタは値を保持します。CPU 以外の周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにスリープモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、スリープモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、スリープモードへ移行後も IWDT はカウントを継続します。

スリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) スリープモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) スリープモードからの復帰に使用する割り込みの優先レベル（注3）を、CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) スリープモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令の実行（WAIT 命令の実行により CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.1.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。マスカブル割り込みが CPU でマスクされている場合（割り込み優先レベルが（注1）CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、スリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、スリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットによって、スリープモードが解除されます。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、スリープモードが解除されます。ただし、スリープモード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.2 ディープスリープモード

11.6.2.1 ディープスリープモードへの遷移

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します（注1）。

ディープスリープモードでは、CPUに加え、DTC、ROM、RAMのクロックも停止します。周辺機能は停止しません。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときに、ディープスリープモードへ遷移すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ディープスリープモードへ遷移後も、IWDT はカウントを継続します。同様にレジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ディープスリープモードへ遷移後、IWDT はカウントを継続します。

ディープスリープモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU.PSW.I ビット（注2）を“0”にする。
- (2) ディープスリープモードからの復帰に使用する割り込みの要求先（注3）を CPU に設定する。
- (3) ディープスリープモードからの復帰に使用する割り込みの優先レベル（注4）を、CPU の PSW.IPL[3:0] ビット（注2）よりも高く設定する。
- (4) ディープスリープモードからの復帰に使用する割り込みの IERm.IENn（注4）を“1”にする。
- (5) 最後に書きこみを行った I/O レジスタを読み出し、書き込み値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行により CPU の PSW.I（注2）は自動的に“1”になります）。

注1. DTC の動作状態によっては、ディープスリープモードに移行できない場合があります。

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態で行ってください。

注2. 詳細は「2. CPU」を参照してください。

注3. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注4. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.2.2 ディープスリープモードの解除

ディープスリープモードの解除は、すべての割り込み、RES# 端子リセット、パワーオンリセット、電圧監視リセット、IWDT のアンダフローによるリセットによって行われます。

- 割り込みによる解除

割り込みが発生すると、ディープスリープモードは解除され、割り込み例外処理を開始します。マスクされた割り込みが CPU でマスクされている場合（割り込みの優先レベル（注1）が CPU の PSW.IPL[3:0] ビット（注2）以下に設定されている場合）には、ディープスリープモードは解除されません。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、リセット状態になります。規定のリセット入力期間が経過した後、RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

パワーオンリセットによって、ディープスリープモードが解除されます。

- 電圧監視リセットによる解除

電圧検出回路の電圧監視リセットにより、ディープスリープモードが解除されます。

- 独立ウォッチドッグタイマによる解除

IWDT のアンダフローの内部リセットによって、ディープスリープモードが解除されます。ただし、ディープスリープモード時に IWDT がカウントを停止する条件（OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ IWDTCSTPR.SLCSTP = 1）では、IWDT が停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

注 1. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

注 2. 詳細は「2. CPU」を参照してください。

11.6.3 ソフトウェアスタンバイモード

11.6.3.1 ソフトウェアスタンバイモードへの移行

SBYCR.SSBY ビットを“1”にした状態で WAIT 命令を実行すると、ソフトウェアスタンバイモードに移行します。このモードでは、CPU、内蔵周辺機能以外のすべての機能が停止します。ただし、CPU の内部レジスタの値と RAM のデータ、内蔵周辺機能と I/O ポートの状態は保持されます。ソフトウェアスタンバイモードでは、発振器が停止するため、消費電力は著しく低減されます。

WAIT 命令を実行する前に DTC の DTCST.DTCST ビットを“0”にしてください。

IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“1”のときに、ソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“1”のときにソフトウェアスタンバイモードへ移行すると、IWDT はカウントを停止します。

また、IWDT をオートスタートモードで使用している場合、OFS0.IWDTSLCSTP ビットが“0”（低消費電力モード遷移時 IWDT カウント継続）のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。同様に、レジスタスタートモードで使用している場合、IWDTCSLTPR.SLCSTP ビットが“0”のときは、ソフトウェアスタンバイモードへ移行後も IWDT はカウントを継続します。

ソフトウェアスタンバイモードを使用する場合、以下の設定を行った後、WAIT 命令を実行してください。

- (1) CPU の PSW.I ビット（注1）を“0”にする。
- (2) ソフトウェアスタンバイモードからの復帰に使用する割り込みの要求先（注2）を CPU に設定する。
- (3) ソフトウェアスタンバイモードからの復帰に使用する割り込みの優先レベル（注3）を CPU の PSW.IPL[3:0] ビット（注1）よりも高く設定する。
- (4) ソフトウェアスタンバイモードからの復帰に使用する割り込みの IERm.IENj ビット（注3）を“1”にする。
- (5) 最後に書き込みを行った I/O レジスタを読み出し、書いた値が反映されていることを確認する。
- (6) WAIT 命令を実行する（WAIT 命令の実行によって CPU の PSW.I ビット（注1）は自動的に“1”になります）。

注1. 詳細は「2. CPU」を参照してください。

注2. 詳細は「14.4.3 割り込み要求先の選択」を参照してください。

注3. 詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。

11.6.3.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部端子割り込み（NMI、IRQ0～IRQ5）、周辺機能割り込み（IWDT、電圧監視）、RES# 端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセットによって行われます。ソフトウェアスタンバイモードの解除要因が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、これらすべての発振器の発振が安定するのを待ってソフトウェアスタンバイモードから復帰します。

- 割り込みによる解除

NMI、IRQ0～IRQ5、IWDT、電圧監視の割り込み要求が発生すると、ソフトウェアスタンバイモード移行前に動作していた各発振器は動作を再開します。その後、MOSCWTCR.MSTS[4:0] ビットで設定した各発振器の発振安定待ち時間が経過したところで、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

- RES# 端子リセットによる解除

RES# 端子を Low にすると、クロックは発振を開始します。クロックの発振開始と同時に、MCU にクロックを供給します。このとき RES# 端子はクロックの発振が安定するまで Low を保持するようにしてください。RES# 端子を High にすると、CPU はリセット例外処理を開始します。

- パワーオンリセットによる解除

電源電圧の低下によってパワーオンリセットが発生すると、ソフトウェアスタンバイモードは解除されます。

- 電圧監視リセットによる解除

電源電圧の低下によって電圧監視リセットが発生すると、ソフトウェアスタンバイモードは解除されません。

- 独立ウォッチドッグタイマリセットによる解除

IWDT のアンダフローの内部リセットによって、ソフトウェアスタンバイモードが解除されます。

ただし、ソフトウェアスタンバイモード時に独立ウォッチドッグタイマがカウントを停止する条件（OFS0.IWDTSTRT = 0 かつ OFS0.IWDTSLCSTP = 1、または OFS0.IWDTSTRT = 1 かつ

IWDTCSTPR.SLCSTP = 1）では、独立ウォッチドッグタイマが停止しますので、独立ウォッチドッグタイマリセットによる解除はできません。

11.6.3.3 ソフトウェアスタンバイモードの応用例

IRQn 端子の立ち下がリエッジでソフトウェアスタンバイモードに移行し、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 11.3 に示します。

この例では、ICU の IRQCRI.IRQMD[1:0] ビットが “01b” (立ち下がリエッジ) の状態で、IRQn 割り込みを受け付けた後、IRQCRI.IRQMD[1:0] ビットを “10b” (立ち上がりエッジ) に設定し、SBYCR.SSBY ビットを “1” にした後、WAIT 命令を実行してソフトウェアスタンバイモードに移行しています。その後、IRQn 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

なお、ソフトウェアスタンバイモードからの復帰には、割り込みコントローラ (ICU) の設定も必要となります。詳細は、「14. 割り込みコントローラ (ICU)」を参照してください。

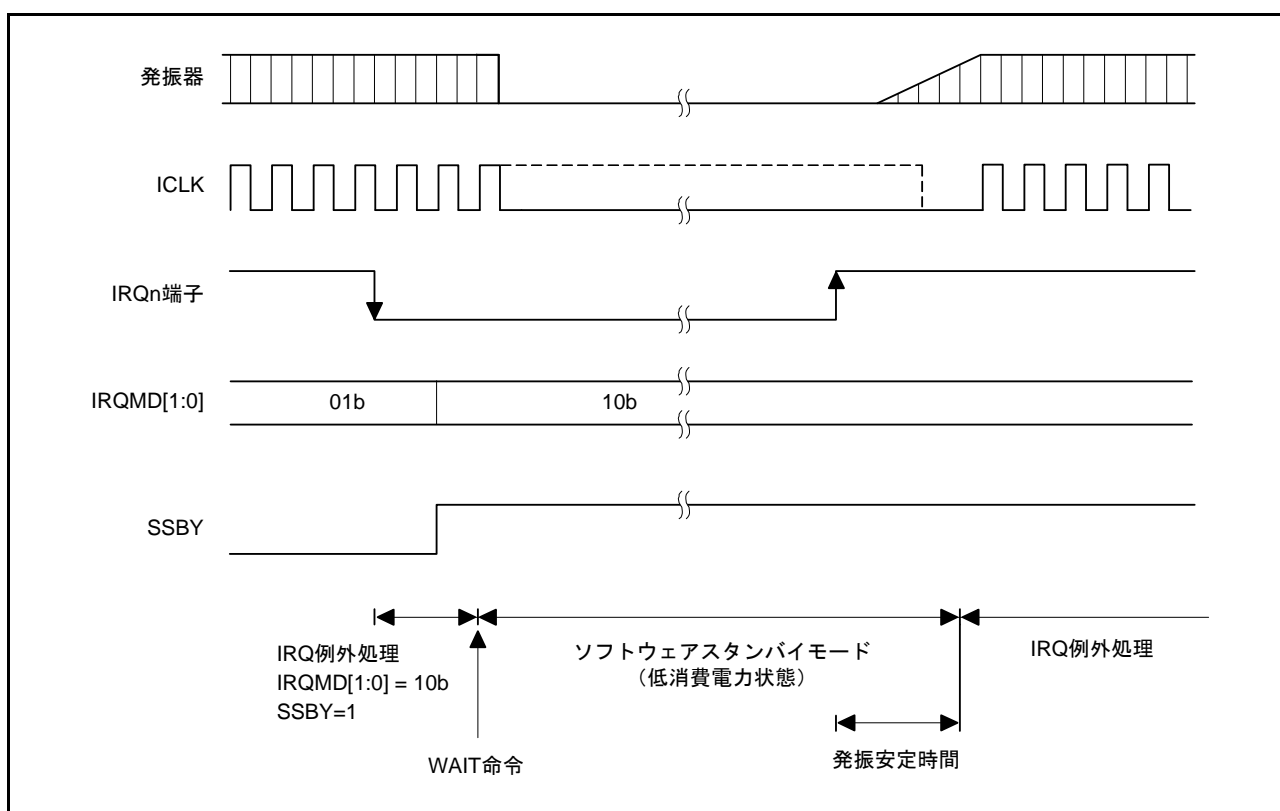


図 11.3 ソフトウェアスタンバイモードの応用例

11.7 使用上の注意事項

11.7.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態を保持します。したがって、High を出力している場合は出力電流分の消費電流は低減されません。

11.7.2 DTC のモジュールストップ

MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態にしてください。

詳細は、「17. データトランスファコントローラ (DTCa)」を参照してください。

11.7.3 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込み要求が発生した状態でモジュールストップとすると、CPU の割り込み要因または DTC の起動要因のクリアができません。事前に割り込みを禁止してからモジュールストップ状態にしてください。

11.7.4 MSTPCRA、MSTPCRB、MSTPCRC レジスタの書き込み

MSTPCRA、MSTPCRB、および MSTPCRC レジスタへの書き込みは、CPU のみで行ってください。

11.7.5 WAIT 命令の実行タイミング

WAIT 命令は、先行して実行されたレジスタへの書き込みの完了を待たずに実行されます。レジスタへの書き込みによる設定変更が反映される前に WAIT 命令が実行される場合があり、意図していない動作を起す恐れがあります。最後のレジスタへの書き込みが完了していることを確認してから WAIT 命令を実行してください。

11.7.6 スリープモード中の DTC によるレジスタの書き換えについて

スリープモード中は OFS0.IWDTSLCSTP ビット、IWDTCSSTPR.SLCSTP ビットの設定によって IWDT が停止します。その場合、スリープモード中に DTC によって IWDT 関連のレジスタを書き換えないでください。

12. レジスタライトプロテクション機能

レジスタライトプロテクション機能は、プログラムが暴走したときに備え、重要なレジスタを書き換えられないように保護します。保護するレジスタは、プロテクトレジスタ（PRCR）で設定します。

表 12.1 に PRCR レジスタと保護されるレジスタの対応を示します。

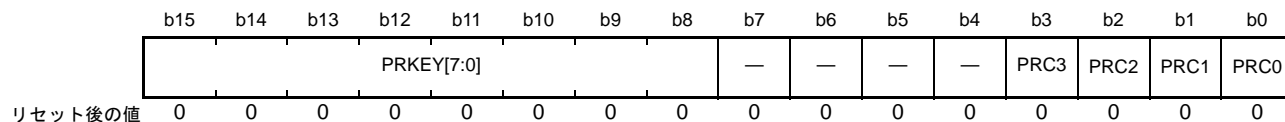
表 12.1 PRCR レジスタと保護されるレジスタの対応

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ SCKCR、SCKCR3、PLLCR、PLLCR2、MOSCCR、LOCOCR、ILOCOCR、HOCOCR、OSTDCR、OSTDSR、MEMWAIT
PRC1 ビット	<ul style="list-style-type: none"> 動作モード関連レジスタ SYSCR1 消費電力低減機能関連レジスタ SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、OPCCR クロック発生回路関連レジスタ MOFCR、MOSCWTCR ソフトウェアリセットレジスタ SWRR
PRC2 ビット	<ul style="list-style-type: none"> クロック発生回路関連レジスタ HOCOWTCR
PRC3 ビット	<ul style="list-style-type: none"> LVD 関連レジスタ LVCMPCR、LVDLVLRL、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR

12.1 レジスタの説明

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	PRC2	プロテクトビット2	クロック発生回路関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRCキーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可 / 禁止を選択します。

PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。

13. 例外処理

13.1 例外事象

CPU が通常のプログラムを実行している途中で、ある事象の発生によってそのプログラムの実行を中断し、別のプログラムを実行する必要がある場合があります。このような事象を総称して例外事象と呼びます。

RXv2 CPU は、8 種類の例外に対応します。図 13.1 に例外事象の種類を示します。

例外が発生すると、プロセッサモードはスーパーバイザモードになります。

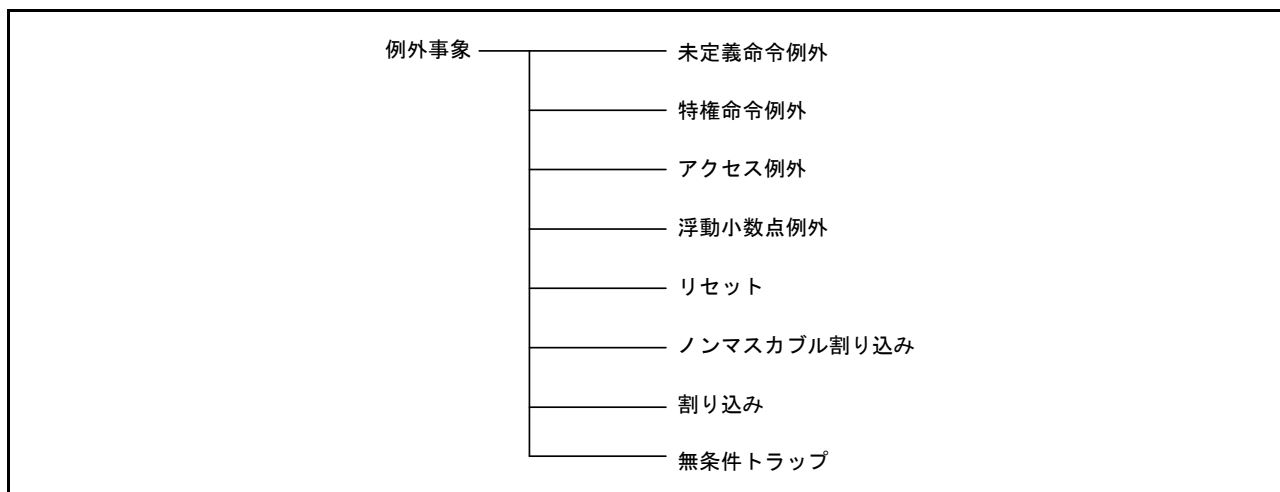


図 13.1 例外事象の種類

13.1.1 未定義命令例外

未定義命令例外は、未定義命令（実装されていない命令）の実行を検出した場合に発生します。

13.1.2 特権命令例外

特権命令例外は、ユーザモードで特権命令の実行を検出した場合に発生します。特権命令はスーパーバイザモードでのみ実行可能です。

13.1.3 アクセス例外

アクセス例外は、CPUからのメモリアクセスによるエラーが検出された場合に発生します。メモリプロテクションユニットが命令メモリプロテクションエラーを検出した場合には命令アクセス例外が、データメモリプロテクションエラーを検出した場合にはオペランドアクセス例外が発生します。

13.1.4 浮動小数点例外

浮動小数点例外は、IEEE754規格で規定された5つの例外事象（オーバフロー、アンダフロー、精度異常、ゼロ除算、無効演算）の他、非実装処理を検出した場合に発生します。浮動小数点例外は、FPSWのEX, EU, EZ, EO, EVビットが“0”のとき、例外処理が禁止されます。

13.1.5 リセット

CPUにリセット信号を入力することによって発生します。リセットは最高度の優先順位を持ち、常に受け付けられます。

13.1.6 ノンマスカブル割り込み

CPUにノンマスカブル割り込み信号を入力することによって発生します。システムに致命的な障害が発生したと考えられる場合にのみ使用します。例外処理ルーチン処理後、例外発生時に実行していた元のプログラムに復帰しない条件で使用してください。

13.1.7 割り込み

CPUに割り込み信号を入力することによって発生します。割り込みのうち1つの要因を、高速割り込みとして割り当てることが可能です。高速割り込みは、通常の割り込みに比べ、ハードウェア前処理とハードウェア後処理が高速です。高速割り込みの優先レベルは15（最高）です。

PSWのIビットが“0”のとき、割り込みの受け付けは禁止されます。

13.1.8 無条件トラップ

INT命令、およびBRK命令を実行すると無条件トラップが発生します。

13.2 例外の処理手順

例外処理には、ハードウェアが自動的に処理する部分と、ユーザが記述したプログラム（例外処理ルーチン）によって処理される部分があります。リセットを除く、例外受け付け時の処理手順を図 13.2 に示します。

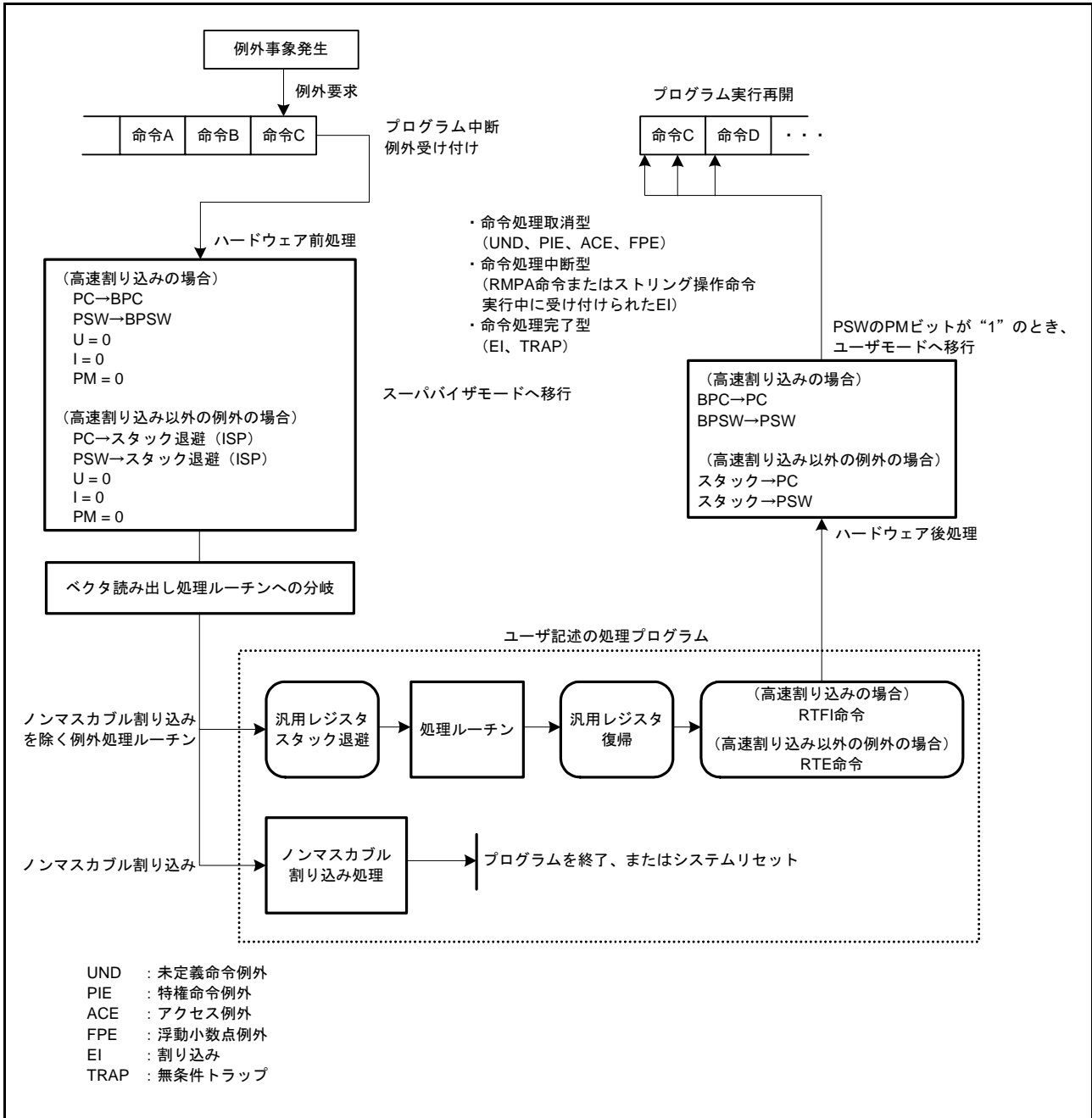


図 13.2 例外の処理手順の概要

例外が受け付けられると、RXv2 CPUはハードウェア処理を行った後、ベクタにアクセスし、分岐先アドレスを取得します。ベクタには例外ごとにベクタアドレスが割り当てられており、そこに例外処理ルーチンへの分岐先アドレスを書きます。

RXv2 CPUのハードウェア前処理では、高速割り込みの場合は、プログラムカウンタ(PC)の内容をバックアップPC(BPC)に、プロセッサステータスワード(PSW)の内容をバックアップPSW(BPSW)へ退避します。高速割り込み以外の例外では、PC, PSWをスタック領域に退避します。例外処理ルーチン中で使用する汎用レジスタ、およびPC, PSW以外の制御レジスタについては、例外処理ルーチンの先頭でユーザープログラムによってスタックに退避してください。

例外処理ルーチン処理完了後、スタックに退避したレジスタを復帰してRTE命令を実行することで、例外処理から元のプログラムに復帰します。高速割り込みの場合のみ、RTFI命令を実行します。ただし、ノンマスカブル割り込みの場合には、元のプログラムに復帰せず、プログラムを終了、またはシステムリセットを行ってください。

RXv2 CPUのハードウェア後処理では、高速割り込みの場合はBPCをPCに、また、BPSWの値をPSWに戻します。高速割り込み以外の例外では、スタック領域からPC, PSWの値を復帰します。

13.3 例外事象の受け付け

例外事象が発生すると、それまで実行していたプログラムを中断して、例外処理ルーチンに分岐します。

13.3.1 受け付けタイミングと退避されるPC値

各例外事象の受け付けタイミングと退避されるプログラムカウンタ（PC）の値を表 13.1 に示します。

表 13.1 受け付けタイミングと退避されるPC値

例外事象		処理型	受け付け タイミング	BPC/スタックに退避されるPC値
未定義命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
特権命令例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
アクセス例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
浮動小数点例外		命令処理取消型	命令実行中	例外が発生した命令のPC値
リセット		命令処理放棄型	各マシンサイクル	なし
ノンマスカブル 割り込み	RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
割り込み	RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令実行中	命令処理中断型	命令実行中	実行中の命令のPC値
	上記以外の状態	命令処理完了型	命令の区切り	次の命令のPC値
無条件トラップ		命令処理完了型	命令の区切り	次の命令のPC値

13.3.2 ベクタとPC, PSWの退避場所

各例外事象のベクタとプログラムカウンタ（PC）、プロセッサステータスワード（PSW）の退避場所を表 13.2 に示します。例外ベクタテーブル、および割り込みベクタテーブルは、それぞれ先頭アドレスを設定する必要があります。詳細は、「2.6 ベクタテーブル」を参照してください。

表 13.2 ベクタとPC, PSWの退避場所

例外事象		ベクタ	PC, PSWの退避場所
未定義命令例外		例外ベクタテーブル（EXTB）	スタック
特権命令例外		例外ベクタテーブル（EXTB）	スタック
アクセス例外		例外ベクタテーブル（EXTB）	スタック
浮動小数点例外		例外ベクタテーブル（EXTB）	スタック
リセット		例外ベクタテーブル（EXTB）	なし
ノンマスカブル割り込み		例外ベクタテーブル（EXTB）	スタック
割り込み	高速割り込み	FINTV	BPC, BPSW
	高速割り込み以外	割り込みベクタテーブル（INTB）	スタック
無条件トラップ		割り込みベクタテーブル（INTB）	スタック

13.4 例外の受け付け / 復帰時のハードウェア処理

リセットを除く、例外の受け付けおよび復帰時のハードウェア処理について説明します。

(1) 例外受け付け時のハードウェア前処理

(a) PSW の退避

(高速割り込みの場合)

PSW → BPSW

(高速割り込み以外の例外の場合)

PSW → スタック領域

注． FPSW は、ハードウェア前処理では退避されません。浮動小数点演算命令を例外処理ルーチン内で使用する場合は、例外処理ルーチン内でユーザがスタックへ退避してください。

(b) PSW の PM, U, I ビットの更新

I : 0 にする

U : 0 にする

PM : 0 にする

(c) PC の退避

(高速割り込みの場合)

PC → BPC

(高速割り込み以外の例外の場合)

PC → スタック領域

(d) PC に例外処理ルーチン分岐先アドレスをセット

各例外に対応したベクタを取得し分岐することにより、例外処理ルーチン処理へ移行します。

(2) RTE 命令、RTFI 命令実行時のハードウェア後処理

(a) PSW の復帰

(高速割り込みの場合)

BPSW → PSW

(高速割り込み以外の例外の場合)

スタック領域 → PSW

(b) PC の復帰

(高速割り込みの場合)

BPC → PC

(高速割り込み以外の例外の場合)

スタック領域 → PC

13.5 ハードウェア前処理

例外要求が受け付けられてから例外処理ルーチンが実行されるまでのハードウェア前処理について説明します。

13.5.1 未定義命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 0000005Ch 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.2 特権命令例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000050h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.3 アクセス例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000054h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.4 浮動小数点例外

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. プログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. EXTB の値 + 00000064h 番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.5 リセット

1. 制御を初期化します。
2. FFFFFFFCh 番地からベクタを取得します。
3. 取得したベクタをプログラムカウンタ (PC) にセットします。

13.5.6 ノンマスカブル割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) を“Fh”にします。
5. EXTB の値 +00000078h 番地からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.7 割り込み

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PSW (BPSW) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. RMPA, SCMPU, SMOVB, SMOVF, SMOVU, SSTR, SUNTIL, SWHILE 命令を実行中は、実行中の命令のプログラムカウンタ (PC) の内容を、それ以外の状態では次の命令の PC の内容をスタック領域 (ISP) に退避します。高速割り込みの場合は、バックアップ PC (BPC) に退避します。
4. PSW のプロセッサ割り込み優先レベル (IPL[3:0]) に、受け付けた割り込みの割り込み優先レベルを設定します。
5. 割り込みベクタテーブルから受け付けた割り込み要因のベクタを取得します。高速割り込みの場合は、高速割り込みベクタレジスタ (FINTV) からベクタを取得します。
6. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.5.8 無条件トラップ

1. プロセッサステータスワード (PSW) の内容をスタック領域 (ISP) に退避します。
2. PSW のプロセッサモード設定ビット (PM)、スタックポインタ指定ビット (U)、割り込み許可ビット (I) を“0”にします。
3. 次の命令のプログラムカウンタ (PC) の内容をスタック領域 (ISP) に退避します。
4. INT 命令の場合は、割り込みベクタテーブルから INT 命令番号に対応したベクタを取得します。BRK 命令の場合は、割り込みベクタテーブルの先頭番地からベクタを取得します。
5. 取得したベクタを PC にセットし、例外処理ルーチンへ分岐します。

13.6 例外処理ルーチンからの復帰

例外処理ルーチンの最後で表 13.3 に示す命令を実行すると、例外処理シーケンス直前にスタック領域または制御レジスタ（BPC, BPSW）に退避されていたプログラムカウンタ（PC）とプロセッサステータスワード（PSW）の内容が復帰されます。

表 13.3 例外処理ルーチンからの復帰命令

例外事象		復帰命令
未定義命令例外		RTE
特権命令例外		RTE
アクセス例外		RTE
浮動小数点例外		RTE
リセット		復帰不可能
ノンマスカブル割り込み		禁止
割り込み	高速割り込み	RTFI
	高速割り込み以外	RTE
無条件トラップ		RTE

13.7 例外事象の優先順位

例外事象の優先順位を表 13.4 に示します。複数の例外が同時に発生した場合は、より優先度の高い事象が先に受け付けられます。

表 13.4 例外事象の優先順位

優先順位	例外事象
高い ↑ 低い	1 リセット
	2 ノンマスカブル割り込み
	3 割り込み
	4 命令アクセス例外
	5 未定義命令例外 特権命令例外
	6 無条件トラップ
	7 オペランドアクセス例外
	8 浮動小数点例外

14. 割り込みコントローラ (ICUb)

14.1 概要

割り込みコントローラは、周辺モジュール、外部端子からの割り込みを受け付け、CPU への割り込みおよびDTCの起動を行います。

表 14.1 に割り込みコントローラの仕様を、図 14.1 に割り込みコントローラのブロック図を示します。

表 14.1 割り込みコントローラの仕様

項目		内容
割り込み	周辺機能割り込み	<ul style="list-style-type: none"> 周辺モジュールからの割り込み 割り込み検出：エッジ検出/レベル検出 接続している周辺モジュールの要因ごとの検出方法は固定
	外部端子割り込み	<ul style="list-style-type: none"> IRQ0～IRQ5端子からの割り込み 要因数：6 割り込み検出：Low/立ち下がりエッジ/立ち上がりエッジ/両エッジを要因ごとに設定可能 デジタルフィルタ機能：あり
	ソフトウェア割り込み	<ul style="list-style-type: none"> レジスタ書き込みによる割り込み 要因数：1
	割り込み優先順位	レジスタにより優先順位を設定
	高速割り込み機能	CPUの割り込み処理を高速化可能。1要因にのみ設定
	DTC制御	割り込み要因によりDTCを起動可能(注1)
ノンマスクابل 割り込み	NMI端子割り込み	<ul style="list-style-type: none"> NMI端子からの割り込み 割り込み検出：立ち下がりエッジ/立ち上がりエッジ デジタルフィルタ機能：あり
	発振停止検出割り込み	発振停止検出時の割り込み
	IWDTアンダフロー/ リフレッシュエラー	ダウンカウンタがアンダフローしたとき、もしくはリフレッシュエラーが発生したときの割り込み
	電圧監視1割り込み	電圧検出回路1 (LVD1) の電圧監視割り込み
	電圧監視2割り込み	電圧検出回路2 (LVD2) の電圧監視割り込み
低消費電力状態からの復帰	<ul style="list-style-type: none"> スリープモード、ディープスリープモード：ノンマスクابل割り込み、全割り込み要因で復帰 ソフトウェアスタンバイモード：ノンマスクابل割り込み、IRQ0～IRQ5割り込みで復帰 	

注1. DTCの起動要因については、「表 14.3 割り込みのベクタテーブル」を参照してください。

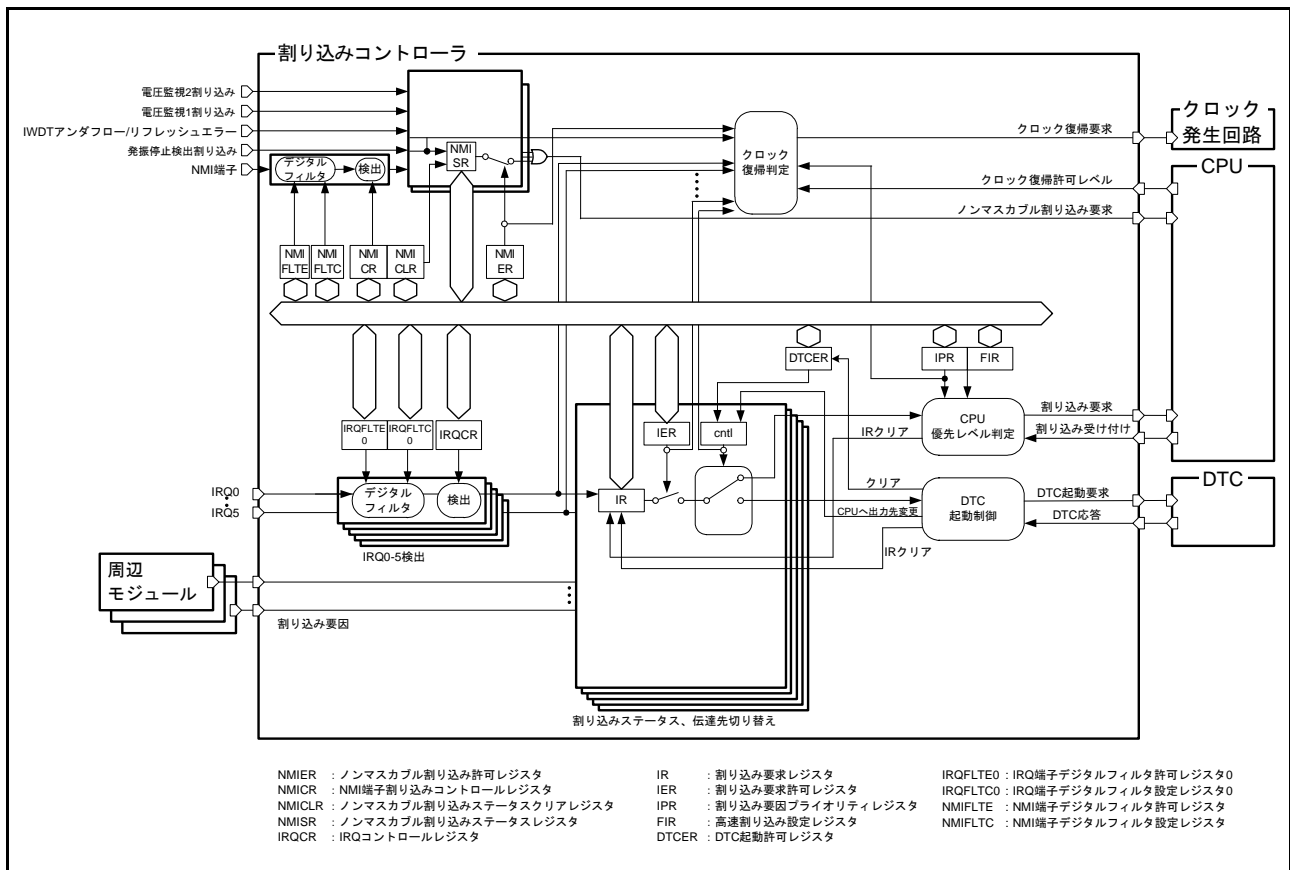


図 14.1 割り込みコントローラのブロック図

表 14.2 に割り込みコントローラで使用する入出力端子を示します。

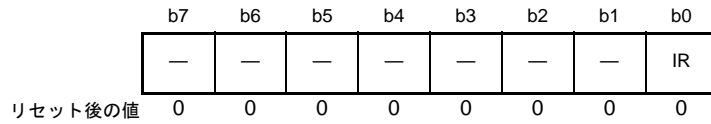
表 14.2 割り込みコントローラの入出力端子

端子名	入出力	機能
NMI	入力	ノンマスクابل割り込み要求端子
IRQ0~IRQ5	入力	外部割り込み要求端子

14.2 レジスタの説明

14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)

アドレス 0008 7010h~0008 70FFh



ビット	シンボル	ビット名	機能	R/W
b0	IR	割り込みステータスフラグ	0: 割り込み要求なし 1: 割り込み要求あり	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. エッジ検出要因の場合、“0”のみ書けます。“1”を書かないでください。
レベル検出要因の場合、書き込みできません。

IRn レジスタは割り込み要因ごとに存在し、n は割り込みベクタ番号に対応しています。
割り込み要因と割り込みベクタ番号の対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IR フラグ (割り込みステータスフラグ)

割り込み要求のステータスフラグです。割り込み要求が発生すると“1”になります。割り込み要求を検出するためには、周辺モジュールの割り込みイネーブルビットで割り込み要求の出力を許可する必要があります。

割り込み要求の検出方法は、エッジ検出とレベル検出があります。周辺モジュールからの割り込みは、要因ごとにエッジ検出/レベル検出が決まっています。IRQi 端子 (i=0~5) からの割り込みは、IRQCRI.IRQMD[1:0] ビットの設定によって、エッジ検出とレベル検出が切り替わります。各要因の検出方法については、「表 14.3 割り込みのベクタテーブル」を参照してください。

(1) エッジ検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生すると“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求先が割り込み要求を受け付けると“0”になります。
- IR フラグに“0”を書くと“0”になります。ただし、割り込み要求先を DTC に設定している場合、IR フラグへの“0”書き込みは禁止です。

(2) レベル検出の場合

["1"になる条件]

- 周辺モジュール、IRQi 端子の割り込み要求が発生している間は“1”になります。周辺モジュールごとの割り込み要求発生については、各周辺モジュールの章を参照してください。

["0"になる条件]

- 割り込み要求の出力元をクリアすると“0”になります。(割り込み要求先が割り込み要求を受け付けても“0”になりません。) 周辺モジュールごとの割り込み要求クリアについては、各周辺モジュールの章を参照してください。

IRQi 端子をレベル検出で使用する場合に、割り込みを取り下げるには IRQi 端子を High にしてください。レベル検出時は、IR フラグへの“0”、“1”ともに書き込みは禁止です。

14.2.2 割り込み要求許可レジスタ m (IERm) (m = 02h ~ 1Fh)

アドレス 0008 7202h ~ 0008 721Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	IEN7	IEN6	IEN5	IEN4	IEN3	IEN2	IEN1	IEN0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IEN0	割り込み要求許可ビット0	0: 割り込み要求禁止 1: 割り込み要求許可	R/W
b1	IEN1	割り込み要求許可ビット1		R/W
b2	IEN2	割り込み要求許可ビット2		R/W
b3	IEN3	割り込み要求許可ビット3		R/W
b4	IEN4	割り込み要求許可ビット4		R/W
b5	IEN5	割り込み要求許可ビット5		R/W
b6	IEN6	割り込み要求許可ビット6		R/W
b7	IEN7	割り込み要求許可ビット7		R/W

注. 予約となっているベクタ番号に対応するビットへの書き込みは“0”としてください。読むと“0”が読み出されます。

IENj ビット (割り込み要求許可ビット) (j = 0 ~ 7)

IENj ビットが“1”のとき、割り込み要求先に割り込み要求を出力します。

IENj ビットが“0”のとき、割り込み要求先に割り込み要求を出力しません。

IRn.IR フラグ (n = 割り込みベクタ番号) は、IENj ビットの影響を受けません。IENj ビットが“0”であっても、「14.2.1 割り込み要求レジスタ n (IRn) (n = 割り込みベクタ番号)」に示す条件で IR フラグは変化します。

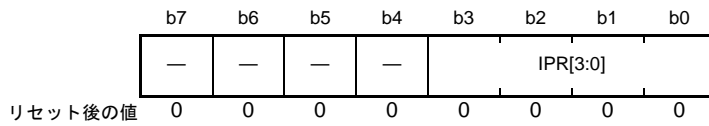
IERm.IENj ビットは、割り込み要因 (ベクタ番号) ごとに存在します。

割り込み要因と IERm.IENj ビットの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

割り込み要求先の選択における IERm.IENj ビットの設定手順は、「14.4.3 割り込み要求先の選択」を参照してください。

14.2.3 割り込み要因プライオリティレジスタ n (IPRn) (n = 割り込みベクタ番号)

アドレス 0008 7300h ~ 0008 73FFh



ビット	シンボル	ビット名	機能	R/W
b3-b0	IPR[3:0]	割り込み優先レベル設定ビット	b3 b0 0 0 0 0 : レベル0 (割り込み禁止) (注1) 0 0 0 1 : レベル1 0 0 1 0 : レベル2 0 0 1 1 : レベル3 0 1 0 0 : レベル4 0 1 0 1 : レベル5 0 1 1 0 : レベル6 0 1 1 1 : レベル7 1 0 0 0 : レベル8 1 0 0 1 : レベル9 1 0 1 0 : レベル10 1 0 1 1 : レベル11 1 1 0 0 : レベル12 1 1 0 1 : レベル13 1 1 1 0 : レベル14 1 1 1 1 : レベル15 (最高)	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 高速割り込みに設定している場合は、レベル0であっても割り込みの発行が可能です。

割り込み要因と IPRn レジスタの対応は、「表 14.3 割り込みのベクタテーブル」を参照してください。

IPR[3:0] ビット (割り込み優先レベル設定ビット)

対応する割り込み要因の優先レベルを選択するビットです。

IPR[3:0] ビットで選択した優先レベルは、CPU への割り込み要求の優先順位判定にのみ参照され、DTC への起動要求には影響を与えません。

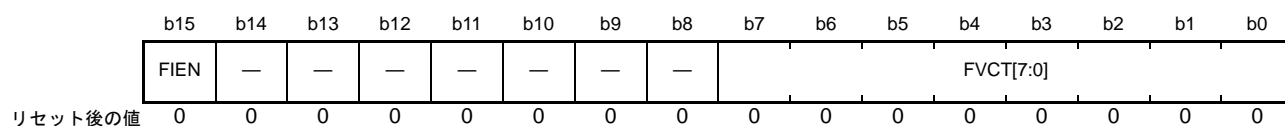
CPU は、PSW.IPL[3:0] ビットが示すレベルより高いレベルの割り込み要求のみを受け付け、割り込み処理を行います。

複数の割り込み要求が同時に発生した場合、IPR[3:0] ビットの設定値で優先順位比較を行います。同一レベルの割り込み要求が同時に発生した場合には、ベクタ番号の小さい割り込み要因が優先となります。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

14.2.4 高速割り込み設定レジスタ (FIR)

アドレス 0008 72F0h



ビット	シンボル	ビット名	機能	R/W
b7-b0	FVCT[7:0]	高速割り込みベクタ設定ビット	高速割り込みにするベクタ番号を指定します	R/W
b14-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	FIEN	高速割り込み許可ビット	0 : 高速割り込みを禁止 1 : 高速割り込みを許可	R/W

FIR レジスタの設定による高速化の機能は、CPU への割り込みにのみ有効です。DTC への起動要求には影響を与えません。

書き込みは、割り込み要求を禁止 (IERm.IENj ビット = 0 (m = 02h ~ 1Fh, j = 0 ~ 7)) した状態で行ってください。

FVCT[7:0] ビット (高速割り込みベクタ設定ビット)

高速割り込み機能を使用する割り込みのベクタ番号を指定するビットです。

FIEN ビット (高速割り込み許可ビット)

高速割り込みを許可するビットです。

FIEN ビットを“1”にすると、FVCT[7:0] ビットに設定したベクタ番号の割り込みが高速割り込みになります。

FIEN ビットが“1”のとき、割り込み要求先が CPU で、かつ FVCT[7:0] ビットで指定したベクタ番号の割り込み要求が発生すると、IPRn レジスタ (n = 割り込みベクタ番号) の設定に関係なく、高速割り込みとして CPU に要求を出力します。ただし、高速割り込みをソフトウェアスタンバイモードからの復帰に使用する場合には「14.6.2 ソフトウェアスタンバイモードからの復帰」を参照してください。

IERm.IENj ビットで割り込み要求が禁止されている割り込み要因は、CPU に割り込み要求が出力されません。

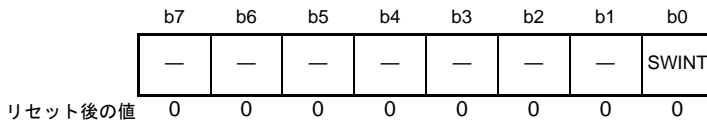
設定できるベクタ番号は、「表 14.3 割り込みのベクタテーブル」を参照してください。

FVCT[7:0] ビットには、予約のベクタ番号を指定しないでください。

高速割り込みの詳細は、「13. 例外処理」および「14.4.6 高速割り込み」を参照してください。

14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)

アドレス 0008 72E0h



ビット	シンボル	ビット名	機能	R/W
b0	SWINT	ソフトウェア割り込み起動ビット	読むと“0”が読み出されます。“1”書き込みでソフトウェア割り込み要求を発行します。“0”書き込みは無効です	R/(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

SWINT ビット (ソフトウェア割り込み起動ビット)

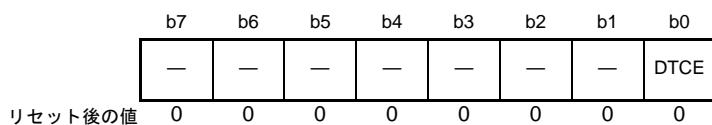
SWINT ビットに“1”を書くと、割り込み要求レジスタ 027 (IR027) が“1”になります。

DTC 起動許可レジスタ 027 (DTCER027) を“0”にして、SWINT ビットに“1”を書くと CPU への割り込みが発生します。

DTC 起動許可レジスタ 027 (DTCER027) を“1”にして、SWINT ビットに“1”を書くと DTC 起動要求を発行します。

14.2.6 DTC 起動許可レジスタ n (DTCERn) (n = 割り込みベクタ番号)

アドレス 0008 711Bh ~ 0008 71FFh



ビット	シンボル	ビット名	機能	R/W
b0	DTCE	DTC起動許可ビット	0 : DTC 起動禁止 1 : DTC 起動許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

割り込み要因との対応は「表 14.3 割り込みのベクタテーブル」を参照してください。

DTCE ビット (DTC 起動許可ビット)

DTCE ビットを“1”にすると、対応する割り込み要因が DTC 起動要因として選択されます。

["1"になる条件]

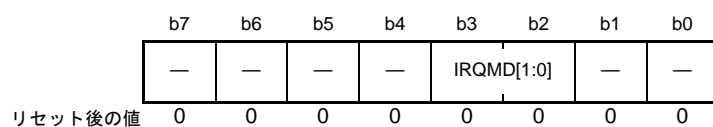
- DTCE ビットに“1”を書いたとき

["0"になる条件]

- 指定した回数のデータ転送が終了したとき (チェーン転送の場合は、最後のチェーン転送の指定した回数のデータ転送が終了したとき)
- DTCE ビットに“0”を書いたとき

14.2.7 IRQ コントロールレジスタ i (IRQCRI) (i = 0 ~ 5)

アドレス 0008 7500h ~ 0008 7505h



ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b2	IRQMD[1:0]	IRQ 検出設定ビット	b3 b2 0 0: Low 0 1: 立ち下がリエッジ 1 0: 立ち上がりエッジ 1 1: 両エッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

該当する割り込み要求許可ビットが割り込み要求禁止 (IERm.IENj ビット (m = 02h ~ 1Fh、j = 0 ~ 7) が“0”) の状態でこのレジスタの設定変更を行ってください。レジスタ変更後は IR フラグをクリアし、その後割り込み要求許可ビットを許可に設定してください。ただし、Low に変更する場合は、IR フラグをクリアする必要はありません。

IRQMD[1:0] ビット (IRQ 検出設定ビット)

IRQ_i 端子の割り込み検出方法を設定します。

外部端子割り込みの検出設定手順は、「14.4.8 外部端子割り込み」を参照してください。

14.2.8 IRQ 端子デジタルフィルタ許可レジスタ 0 (IRQFLTE0)

アドレス 0008 7510h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	FLTEN 5	FLTEN 4	FLTEN 3	FLTEN 2	FLTEN 1	FLTEN 0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	FLTEN0	IRQ0 デジタルフィルタ許可ビット	0 : デジタルフィルタ無効 1 : デジタルフィルタ有効	R/W
b1	FLTEN1	IRQ1 デジタルフィルタ許可ビット		R/W
b2	FLTEN2	IRQ2 デジタルフィルタ許可ビット		R/W
b3	FLTEN3	IRQ3 デジタルフィルタ許可ビット		R/W
b4	FLTEN4	IRQ4 デジタルフィルタ許可ビット		R/W
b5	FLTEN5	IRQ5 デジタルフィルタ許可ビット		R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FLTEN_i ビット (IRQ_i デジタルフィルタ許可ビット) (i = 0 ~ 5)

IRQ_i 端子のデジタルフィルタの使用を許可するビットです。

FLTEN_i ビットが“1”のとき、デジタルフィルタが有効になります。FLTEN_i ビットが“0”のとき、デジタルフィルタ機能は無効です。

IRQFLTC0.FCLKSEL_i[1:0] ビットで設定したサンプリングクロックごとに IRQ_i 端子のレベルをサンプリングし、レベルが3回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.9 IRQ 端子デジタルフィルタ設定レジスタ 0 (IRQFLTC0)

アドレス 0008 7514h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	FCLKSEL5[1:0]	FCLKSEL4[1:0]	FCLKSEL3[1:0]	FCLKSEL2[1:0]	FCLKSEL1[1:0]	FCLKSEL0[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	FCLKSEL0[1:0]	IRQ0 デジタルフィルタサンプリングクロック設定ビット	0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b3-b2	FCLKSEL1[1:0]	IRQ1 デジタルフィルタサンプリングクロック設定ビット		R/W
b5-b4	FCLKSEL2[1:0]	IRQ2 デジタルフィルタサンプリングクロック設定ビット		R/W
b7-b6	FCLKSEL3[1:0]	IRQ3 デジタルフィルタサンプリングクロック設定ビット		R/W
b9-b8	FCLKSEL4[1:0]	IRQ4 デジタルフィルタサンプリングクロック設定ビット		R/W
b11-b10	FCLKSEL5[1:0]	IRQ5 デジタルフィルタサンプリングクロック設定ビット		R/W
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FCLKSELi[1:0] ビット (IRQi デジタルフィルタサンプリングクロック設定ビット) (i = 0 ~ 5)

IRQ_i 端子のデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8クロックに1回)、PCLK/32 (32クロックに1回)、PCLK/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.10 ノンマスカブル割り込みステータスレジスタ (NMISR)

アドレス 0008 7580h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2S T	LVD1S T	IWDTS T	—	OSTST	NMIST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIST	NMIステータスフラグ	0: NMI端子割り込み要求なし 1: NMI端子割り込み要求あり	R
b1	OSTST	発振停止検出割り込みステータスフラグ	0: 発振停止検出割り込み要求なし 1: 発振停止検出割り込み要求あり	R
b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b3	IWDTS	IWDTアンダフロー/リフレッシュエラーステータスフラグ	0: IWDTアンダフロー/リフレッシュエラー割り込み要求なし 1: IWDTアンダフロー/リフレッシュエラー割り込み要求あり	R
b4	LVD1ST	電圧監視1割り込みステータスフラグ	0: 電圧監視1割り込み要求なし 1: 電圧監視1割り込み要求あり	R
b5	LVD2ST	電圧監視2割り込みステータスフラグ	0: 電圧監視2割り込み要求なし 1: 電圧監視2割り込み要求あり	R
b7-b6	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

NMISR レジスタは、ノンマスカブル割り込み要因のステータスをモニタするレジスタです。NMISR レジスタへの書き込みは無視されます。

ノンマスカブル割り込み許可レジスタ (NMIER) の設定はこれらステータスフラグには影響しません。

ノンマスカブル割り込みハンドラが終了する前に NMISR レジスタを読み出し、他のノンマスカブル割り込みの発生状況を確認してください。NMISR レジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

NMIST フラグ (NMI ステータスフラグ)

NMI 端子割り込み要求を示します。

NMIST フラグは読み出しのみ可能で、クリアは NMICLR.NMICLR ビットによって行います。

[“1”になる条件]

- NMI 端子に NMICR.NMIMD ビットに設定したエッジが入力されたとき

[“0”になる条件]

- NMICLR.NMICLR ビットに“1”を書いたとき

OSTST フラグ (発振停止検出割り込みステータスフラグ)

発振停止検出割り込み要求を示します。

OSTST フラグは読み出しのみ可能で、クリアは NMICLR.OSTCLR ビットによって行います。

[“1”になる条件]

- 発振停止検出割り込みが発生したとき

[“0”になる条件]

- NMICLR.OSTCLR ビットに“1”を書いたとき

IWDTST フラグ (IWDT アンダフロー/リフレッシュエラーステータスフラグ)

IWDT アンダフロー/リフレッシュエラー割り込み要求を示します。

IWDTST フラグは読み出しのみ可能で、クリアは NMICLR.IWDTCLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、IWDT アンダフロー/リフレッシュエラー割り込みが発生したとき

["0" になる条件]

- NMICLR.IWDTCLR ビットに "1" を書いたとき

LVD1ST フラグ (電圧監視 1 割り込みステータスフラグ)

電圧監視 1 割り込み要求を示します。

LVD1ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD1CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 1 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD1CLR ビットに "1" を書いたとき

LVD2ST フラグ (電圧監視 2 割り込みステータスフラグ)

電圧監視 2 割り込み要求を示します。

LVD2ST フラグは読み出しのみ可能で、クリアは NMICLR.LVD2CLR ビットによって行います。

["1" になる条件]

- 発生元が割り込み発生許可で、電圧監視 2 割り込みが発生したとき

["0" になる条件]

- NMICLR.LVD2CLR ビットに "1" を書いたとき

14.2.11 ノンマスクブル割り込み許可レジスタ (NMIER)

アドレス 0008 7581h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	LVD2E N	LVD1E N	IWDTE N	—	OSTEN	NMIEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMIEN	NMI端子割り込み許可ビット	0 : NMI端子割り込み禁止 1 : NMI端子割り込み許可	R/(W) (注1)
b1	OSTEN	発振停止検出割り込み許可ビット	0 : 発振停止検出割り込み禁止 1 : 発振停止検出割り込み許可	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTEN	IWDTアンダフロー/リフレッシュエラー許可ビット	0 : IWDTアンダフロー/リフレッシュエラー割り込み禁止 1 : IWDTアンダフロー/リフレッシュエラー割り込み許可	R/(W) (注1)
b4	LVD1EN	電圧監視1割り込み許可ビット	0 : 電圧監視1割り込み禁止 1 : 電圧監視1割り込み許可	R/(W) (注1)
b5	LVD2EN	電圧監視2割り込み許可ビット	0 : 電圧監視2割り込み禁止 1 : 電圧監視2割り込み許可	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 1回だけ“1”を書くことができます。以後の書き込みは無効です。

NMIEN ビット (NMI 端子割り込み許可ビット)

NMI 端子割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

OSTEN ビット (発振停止検出割り込み許可ビット)

発振停止検出割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

IWDTEN ビット (IWDT アンダフロー/リフレッシュエラー許可ビット)

IWDT アンダフロー/リフレッシュエラー割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD1EN ビット (電圧監視1割り込み許可ビット)

電圧監視1割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

LVD2EN ビット (電圧監視2割り込み許可ビット)

電圧監視2割り込みの使用を許可するビットです。

1回だけ“1”を書くことができます。以後の書き込みは無効です。

“0”を書くことはできません。

14.2.12 ノンマスクブル割り込みステータスクリアレジスタ (NMICLR)

アドレス 0008 7582h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	LVD2C LR	LVD1C LR	IWDTC LR	—	OSTCL R	NMICL R
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NMICLR	NMIクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.NMISTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b1	OSTCLR	OSTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.OSTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IWDTC LR	IWDTクリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.IWDTSTフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b4	LVD1CLR	LVD1クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD1STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b5	LVD2CLR	LVD2クリアビット	読むと“0”が読み出されます。“1”書き込みで、NMISR.LVD2STフラグをクリアします。“0”書き込みは無効です	R/(W) (注1)
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”のみ書けます。

NMICLR ビット (NMI クリアビット)

“1”を書くと、NMISR.NMIST フラグは“0”になります。読むと“0”が読めます。

OSTCLR ビット (OST クリアビット)

“1”を書くと、NMISR.OSTST フラグは“0”になります。読むと“0”が読めます。

IWDTC LR ビット (IWDT クリアビット)

“1”を書くと、NMISR.IWDTST フラグは“0”になります。読むと“0”が読めます。

LVD1CLR ビット (LVD1 クリアビット)

“1”を書くと、NMISR.LVD1ST フラグは“0”になります。読むと“0”が読めます。

LVD2CLR ビット (LVD2 クリアビット)

“1”を書くと、NMISR.LVD2ST フラグは“0”になります。読むと“0”が読めます。

14.2.13 NMI 端子割り込みコントロールレジスタ (NMICR)

アドレス 0008 7583h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	NMIMD	—	—	—
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	NMIMD	NMI検出設定ビット	0: 立ち下がリエッジ 1: 立ち上がりエッジ	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NMICR レジスタによる設定変更は、NMI 端子割り込みの使用を許可 (NMIER.NMIEN ビットを“1”にする) する前に行ってください。

NMIMD ビット (NMI 検出設定ビット)

NMI 端子割り込みの検出方法を設定します。

14.2.14 NMI 端子デジタルフィルタ許可レジスタ (NMIFLTE)

アドレス 0008 7590h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	NFLTEN
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFLTEN	NMI デジタルフィルタ許可ビット	0: デジタルフィルタ無効 1: デジタルフィルタ有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFLTEN ビット (NMI デジタルフィルタ許可ビット)

NMI 端子割り込みのデジタルフィルタの使用を許可するビットです。

NFLTEN ビットが“1”のとき、デジタルフィルタが有効になります。NFLTEN ビットが“0”のとき、デジタルフィルタ機能は無効です。

NMIFLTC.NFCLKSEL[1:0] ビットで設定したサンプリングクロックごとに NMI 端子のレベルをサンプリングし、レベルが 3 回一致したときにデジタルフィルタからの出力レベルを変更します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.2.15 NMI 端子デジタルフィルタ設定レジスタ (NMIFLTC)

アドレス 0008 7594h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	NFCLKSEL[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NFCLKSEL[1:0]	NMI デジタルフィルタ サンプリングクロック設定ビット	b1 b0 0 0 : PCLK 0 1 : PCLK/8 1 0 : PCLK/32 1 1 : PCLK/64	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFCLKSEL[1:0] ビット (NMI デジタルフィルタ サンプリングクロック設定ビット)

NMI 端子割り込みのデジタルフィルタのサンプリングクロックを選択するビットです。

サンプリングクロックは、PCLK (毎クロック)、PCLK/8 (8クロックに1回)、PCLK/32 (32クロックに1回)、PCLK/64 (64クロックに1回) より選択します。

デジタルフィルタの詳細は、「14.4.7 デジタルフィルタ」を参照してください。

14.3 ベクタテーブル

割り込みコントローラで検出する例外事象には、割り込みとノンマスカブル割り込みがあります。

CPUが割り込み、またはノンマスカブル割り込みを受け付けた場合は、ベクタテーブルから4バイトのベクタアドレスを取得します。

14.3.1 割り込みのベクタテーブル

割り込みのベクタテーブルは、CPUの割り込みテーブルレジスタ (INTB) に設定した番地から、1024バイト (4バイト × 256要因分) の領域に連続に配置されます。INTBレジスタは割り込みを許可する前に設定してください。INTBレジスタに4の倍数を設定してください。

なお、INT命令、およびBRK命令を実行すると無条件トラップが発生します。無条件トラップのベクタは、表14.3の割り込みのベクタテーブルと同じ領域を利用します。BRK命令はベクタ番号0のみ、INT命令は指定した番号 (0 ~ 255) のベクタとなります。

表14.3に割り込みのベクタテーブルを示します。表14.3の各項目の内容は以下のとおりです。

項目	内容
割り込み要求発生元	割り込み要求発生元の名称を示します
名称	割り込み名称を示します
ベクタ番号	ベクタ番号を示します
ベクタアドレスオフセット	ベクタベースアドレスオフセット値を示します
割り込みの検出方法	割り込みの検出方法を“エッジ”、“レベル”で示します
CPU割り込み	CPU割り込み要因を“○”で示します
DTC起動	DTC起動要因を“○”で示します
ssstb復帰	ソフトウェアスタンバイモードからの復帰要因を“○”で示します
IER	ベクタ番号に対応するIERレジスタ、ビット名を示します
IPR	割り込み要因に対応するIPRレジスタを示します
DTCER	DTC起動要因に対応するDTCERレジスタを示します

表 14.3 割り込みのベクタテーブル (1/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	無条件トラップ専用	0	0000h	—	x	x	x	—	—	—
—	無条件トラップ専用	1	0004h	—	x	x	x	—	—	—
—	無条件トラップ専用	2	0008h	—	x	x	x	—	—	—
—	無条件トラップ専用	3	000Ch	—	x	x	x	—	—	—
—	無条件トラップ専用	4	0010h	—	x	x	x	—	—	—
—	無条件トラップ専用	5	0014h	—	x	x	x	—	—	—
—	無条件トラップ専用	6	0018h	—	x	x	x	—	—	—
—	無条件トラップ専用	7	001Ch	—	x	x	x	—	—	—
—	無条件トラップ専用	8	0020h	—	x	x	x	—	—	—
—	無条件トラップ専用	9	0024h	—	x	x	x	—	—	—
—	無条件トラップ専用	10	0028h	—	x	x	x	—	—	—
—	無条件トラップ専用	11	002Ch	—	x	x	x	—	—	—
—	無条件トラップ専用	12	0030h	—	x	x	x	—	—	—
—	無条件トラップ専用	13	0034h	—	x	x	x	—	—	—
—	無条件トラップ専用	14	0038h	—	x	x	x	—	—	—
—	無条件トラップ専用	15	003Ch	—	x	x	x	—	—	—
BSC	BUSERR	16	0040h	レベル	○	x	x	IER02.IEN0	IPR000	—
—	予約	17	0044h	—	x	x	x	—	—	—
—	予約	18	0048h	—	x	x	x	—	—	—
—	予約	19	004Ch	—	x	x	x	—	—	—
—	予約	20	0050h	—	x	x	x	—	—	—
—	予約	21	0054h	—	x	x	x	—	—	—
—	予約	22	0058h	—	x	x	x	—	—	—
FCU	FRDYI	23	005Ch	エッジ	○	x	x	IER02.IEN7	IPR002	—
—	予約	24	0060h	—	x	x	x	—	—	—
—	予約	25	0064h	—	x	x	x	—	—	—
—	予約	26	0068h	—	x	x	x	—	—	—
ICU	SWINT	27	006Ch	エッジ	○	○	x	IER03.IEN3	IPR003	DTCER027
CMT0	CMI0	28	0070h	エッジ	○	○	x	IER03.IEN4	IPR004	DTCER028
CMT1	CMI1	29	0074h	エッジ	○	○	x	IER03.IEN5	IPR005	DTCER029
CMT2	CMI2	30	0078h	エッジ	○	○	x	IER03.IEN6	IPR006	DTCER030
CMT3	CMI3	31	007Ch	エッジ	○	○	x	IER03.IEN7	IPR007	DTCER031
CAC	FERRF	32	0080h	レベル	○	x	x	IER04.IEN0	IPR032	—
	MENDF	33	0084h	レベル	○	x	x	IER04.IEN1	IPR033	—
	OVFF	34	0088h	レベル	○	x	x	IER04.IEN2	IPR034	—
—	予約	35	008Ch	—	x	x	x	—	—	—
—	予約	36	0090h	—	x	x	x	—	—	—
—	予約	37	0094h	—	x	x	x	—	—	—
—	予約	38	0098h	—	x	x	x	—	—	—
—	予約	39	009Ch	—	x	x	x	—	—	—
—	予約	40	00A0h	—	x	x	x	—	—	—
—	予約	41	00A4h	—	x	x	x	—	—	—
—	予約	42	00A8h	—	x	x	x	—	—	—
—	予約	43	00ACh	—	x	x	x	—	—	—
RSPI0	SPEI0	44	00B0h	レベル	○	x	x	IER05.IEN4	IPR044	—
	SPRI0	45	00B4h	エッジ	○	○	x	IER05.IEN5		DTCER045
	SPTI0	46	00B8h	エッジ	○	○	x	IER05.IEN6		DTCER046
	SPII0	47	00BCh	レベル	○	x	x	IER05.IEN7		—
—	予約	48	00C0h	—	x	x	x	—	—	—
—	予約	49	00C4h	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (2/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	予約	50	00C8h	—	x	x	x	—	—	—
—	予約	51	00CCh	—	x	x	x	—	—	—
—	予約	52	00D0h	—	x	x	x	—	—	—
—	予約	53	00D4h	—	x	x	x	—	—	—
—	予約	54	00D8h	—	x	x	x	—	—	—
—	予約	55	00DCh	—	x	x	x	—	—	—
—	予約	56	00E0h	—	x	x	x	—	—	—
DOC	DOPCF	57	00E4h	レベル	○	x	x	IER07.IEN1	IPR057	—
—	予約	58	00E8h	—	x	x	x	—	—	—
—	予約	59	00ECh	—	x	x	x	—	—	—
—	予約	60	00F0h	—	x	x	x	—	—	—
—	予約	61	00F4h	—	x	x	x	—	—	—
—	予約	62	00F8h	—	x	x	x	—	—	—
—	予約	63	00FCh	—	x	x	x	—	—	—
ICU	IRQ0	64	0100h	エッジ/レベル	○	○	○	IER08.IEN0	IPR064	DTCER064
	IRQ1	65	0104h	エッジ/レベル	○	○	○	IER08.IEN1	IPR065	DTCER065
	IRQ2	66	0108h	エッジ/レベル	○	○	○	IER08.IEN2	IPR066	DTCER066
	IRQ3	67	010Ch	エッジ/レベル	○	○	○	IER08.IEN3	IPR067	DTCER067
	IRQ4	68	0110h	エッジ/レベル	○	○	○	IER08.IEN4	IPR068	DTCER068
	IRQ5	69	0114h	エッジ/レベル	○	○	○	IER08.IEN5	IPR069	DTCER069
—	予約	70	0118h	—	x	x	x	—	—	—
—	予約	71	011Ch	—	x	x	x	—	—	—
—	予約	72	0120h	—	x	x	x	—	—	—
—	予約	73	0124h	—	x	x	x	—	—	—
—	予約	74	0128h	—	x	x	x	—	—	—
—	予約	75	012Ch	—	x	x	x	—	—	—
—	予約	76	0130h	—	x	x	x	—	—	—
—	予約	77	0134h	—	x	x	x	—	—	—
—	予約	78	0138h	—	x	x	x	—	—	—
—	予約	79	013Ch	—	x	x	x	—	—	—
—	予約	80	0140h	—	x	x	x	—	—	—
—	予約	81	0144h	—	x	x	x	—	—	—
—	予約	82	0148h	—	x	x	x	—	—	—
—	予約	83	014Ch	—	x	x	x	—	—	—
—	予約	84	0150h	—	x	x	x	—	—	—
—	予約	85	0154h	—	x	x	x	—	—	—
—	予約	86	0158h	—	x	x	x	—	—	—
—	予約	87	015Ch	—	x	x	x	—	—	—
LVD	LVD1	88	0160h	エッジ	○	x	○	IER0B.IEN0	IPR088	—
	LVD2	89	0164h	エッジ	○	x	○	IER0B.IEN1	IPR089	—
—	予約	90	0168h	—	x	x	x	—	—	—
—	予約	91	016Ch	—	x	x	x	—	—	—
—	予約	92	0170h	—	x	x	x	—	—	—
—	予約	93	0174h	—	x	x	x	—	—	—
—	予約	94	0178h	—	x	x	x	—	—	—
—	予約	95	017Ch	—	x	x	x	—	—	—
—	予約	96	0180h	—	x	x	x	—	—	—
—	予約	97	0184h	—	x	x	x	—	—	—
—	予約	98	0188h	—	x	x	x	—	—	—
—	予約	99	018Ch	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (3/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssid復帰	IER	IPR	DTCER
—	予約	100	0190h	—	x	x	x	—	—	—
—	予約	101	0194h	—	x	x	x	—	—	—
S12AD	S12ADI	102	0198h	エッジ	○	○	x	IER0C.IEN6	IPR102	DTCER102
	GBADI	103	019Ch	エッジ	○	○	x	IER0C.IEN7	IPR103	DTCER103
—	予約	104	01A0h	—	x	x	x	—	—	—
—	予約	105	01A4h	—	x	x	x	—	—	—
—	予約	106	01A8h	—	x	x	x	—	—	—
—	予約	107	01ACh	—	x	x	x	—	—	—
CMPC0	CMPC0	108	01B0h	エッジ	○	○	x	IER0D.IEN4	IPR108	DTCER108
CMPC1	CMPC1	109	01B4h	エッジ	○	○	x	IER0D.IEN5	IPR109	DTCER109
CMPC2	CMPC2	110	01B8h	エッジ	○	○	x	IER0D.IEN6	IPR110	DTCER110
—	予約	111	01BCh	—	x	x	x	—	—	—
—	予約	112	01C0h	—	x	x	x	—	—	—
—	予約	113	01C4h	—	x	x	x	—	—	—
MTU0	TGIA0	114	01C8h	エッジ	○	○	x	IER0E.IEN2	IPR114	DTCER114
	TGIB0	115	01CCh	エッジ	○	○	x	IER0E.IEN3		DTCER115
	TGIC0	116	01D0h	エッジ	○	○	x	IER0E.IEN4		DTCER116
	TGID0	117	01D4h	エッジ	○	○	x	IER0E.IEN5		DTCER117
	TCIV0	118	01D8h	エッジ	○	x	x	IER0E.IEN6	IPR118	—
	TGIE0	119	01DCh	エッジ	○	x	x	IER0E.IEN7		—
	TGIF0	120	01E0h	エッジ	○	x	x	IER0F.IEN0		—
MTU1	TGIA1	121	01E4h	エッジ	○	○	x	IER0F.IEN1	IPR121	DTCER121
	TGIB1	122	01E8h	エッジ	○	○	x	IER0F.IEN2		DTCER122
	TCIV1	123	01ECh	エッジ	○	x	x	IER0F.IEN3	IPR123	—
	TCIU1	124	01F0h	エッジ	○	x	x	IER0F.IEN4		—
MTU2	TGIA2	125	01F4h	エッジ	○	○	x	IER0F.IEN5	IPR125	DTCER125
	TGIB2	126	01F8h	エッジ	○	○	x	IER0F.IEN6		DTCER126
	TCIV2	127	01FCh	エッジ	○	x	x	IER0F.IEN7	IPR127	—
	TCIU2	128	0200h	エッジ	○	x	x	IER10.IEN0		—
MTU3	TGIA3	129	0204h	エッジ	○	○	x	IER10.IEN1	IPR129	DTCER129
	TGIB3	130	0208h	エッジ	○	○	x	IER10.IEN2		DTCER130
	TGIC3	131	020Ch	エッジ	○	○	x	IER10.IEN3		DTCER131
	TGID3	132	0210h	エッジ	○	○	x	IER10.IEN4		DTCER132
	TCIV3	133	0214h	エッジ	○	x	x	IER10.IEN5	IPR133	—
MTU4	TGIA4	134	0218h	エッジ	○	○	x	IER10.IEN6	IPR134	DTCER134
	TGIB4	135	021Ch	エッジ	○	○	x	IER10.IEN7		DTCER135
	TGIC4	136	0220h	エッジ	○	○	x	IER11.IEN0		DTCER136
	TGID4	137	0224h	エッジ	○	○	x	IER11.IEN1		DTCER137
	TCIV4	138	0228h	エッジ	○	○	x	IER11.IEN2	IPR138	DTCER138
MTU5	TGIU5	139	022Ch	エッジ	○	○	x	IER11.IEN3	IPR139	DTCER139
	TGIV5	140	0230h	エッジ	○	○	x	IER11.IEN4		DTCER140
	TGIW5	141	0234h	エッジ	○	○	x	IER11.IEN5		DTCER141
—	予約	142	0238h	—	x	x	x	—	—	—
—	予約	143	023Ch	—	x	x	x	—	—	—
—	予約	144	0240h	—	x	x	x	—	—	—
—	予約	145	0244h	—	x	x	x	—	—	—
—	予約	146	0248h	—	x	x	x	—	—	—
—	予約	147	024Ch	—	x	x	x	—	—	—
—	予約	148	0250h	—	x	x	x	—	—	—
—	予約	149	0254h	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (4/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	予約	150	0258h	—	x	x	x	—	—	—
—	予約	151	025Ch	—	x	x	x	—	—	—
—	予約	152	0260h	—	x	x	x	—	—	—
—	予約	153	0264h	—	x	x	x	—	—	—
—	予約	154	0268h	—	x	x	x	—	—	—
—	予約	155	026Ch	—	x	x	x	—	—	—
—	予約	156	0270h	—	x	x	x	—	—	—
—	予約	157	0274h	—	x	x	x	—	—	—
—	予約	158	0278h	—	x	x	x	—	—	—
—	予約	159	027Ch	—	x	x	x	—	—	—
—	予約	160	0280h	—	x	x	x	—	—	—
—	予約	161	0284h	—	x	x	x	—	—	—
—	予約	162	0288h	—	x	x	x	—	—	—
—	予約	163	028Ch	—	x	x	x	—	—	—
—	予約	164	0290h	—	x	x	x	—	—	—
—	予約	165	0294h	—	x	x	x	—	—	—
—	予約	166	0298h	—	x	x	x	—	—	—
—	予約	167	029Ch	—	x	x	x	—	—	—
POE	OEI1	168	02A0h	レベル	○	x	x	IER15.IEN0	IPR168	—
—	予約	169	02A4h	—	x	x	x	—	—	—
POE	OEI3	170	02A8h	レベル	○	x	x	IER15.IEN2	IPR168	—
	OEI4	171	02ACh	レベル	○	x	x	IER15.IEN3		—
—	予約	172	02B0h	—	x	x	x	—	—	—
—	予約	173	02B4h	—	x	x	x	—	—	—
TMR0	CMIA0	174	02B8h	エッジ	○	○	x	IER15.IEN6	IPR174	DTCER174
	CMIB0	175	02BCh	エッジ	○	○	x	IER15.IEN7		DTCER175
	OVI0	176	02C0h	エッジ	○	x	x	IER16.IEN0		—
TMR1	CMIA1	177	02C4h	エッジ	○	○	x	IER16.IEN1	IPR177	DTCER177
	CMIB1	178	02C8h	エッジ	○	○	x	IER16.IEN2		DTCER178
	OVI1	179	02CCh	エッジ	○	x	x	IER16.IEN3		—
TMR2	CMIA2	180	02D0h	エッジ	○	○	x	IER16.IEN4	IPR180	DTCER180
	CMIB2	181	02D4h	エッジ	○	○	x	IER16.IEN5		DTCER181
	OVI2	182	02D8h	エッジ	○	x	x	IER16.IEN6		—
TMR3	CMIA3	183	02DCh	エッジ	○	○	x	IER16.IEN7	IPR183	DTCER183
	CMIB3	184	02E0h	エッジ	○	○	x	IER17.IEN0		DTCER184
	OVI3	185	02E4h	エッジ	○	x	x	IER17.IEN1		—
—	予約	186	02E8h	—	x	x	x	—	—	—
—	予約	187	02ECh	—	x	x	x	—	—	—
—	予約	188	02F0h	—	x	x	x	—	—	—
—	予約	189	02F4h	—	x	x	x	—	—	—
—	予約	190	02F8h	—	x	x	x	—	—	—
—	予約	191	02FCh	—	x	x	x	—	—	—
—	予約	192	0300h	—	x	x	x	—	—	—
—	予約	193	0304h	—	x	x	x	—	—	—
—	予約	194	0308h	—	x	x	x	—	—	—
—	予約	195	030Ch	—	x	x	x	—	—	—
—	予約	196	0310h	—	x	x	x	—	—	—
—	予約	197	0314h	—	x	x	x	—	—	—
—	予約	198	0318h	—	x	x	x	—	—	—
—	予約	199	031Ch	—	x	x	x	—	—	—

表 14.3 割り込みのベクタテーブル (5/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	予約	200	0320h	—	x	x	x	—	—	—
—	予約	201	0324h	—	x	x	x	—	—	—
—	予約	202	0328h	—	x	x	x	—	—	—
—	予約	203	032Ch	—	x	x	x	—	—	—
—	予約	204	0330h	—	x	x	x	—	—	—
—	予約	205	0334h	—	x	x	x	—	—	—
—	予約	206	0338h	—	x	x	x	—	—	—
—	予約	207	033Ch	—	x	x	x	—	—	—
—	予約	208	0340h	—	x	x	x	—	—	—
—	予約	209	0344h	—	x	x	x	—	—	—
—	予約	210	0348h	—	x	x	x	—	—	—
—	予約	211	034Ch	—	x	x	x	—	—	—
—	予約	212	0350h	—	x	x	x	—	—	—
—	予約	213	0354h	—	x	x	x	—	—	—
—	予約	214	0358h	—	x	x	x	—	—	—
—	予約	215	035Ch	—	x	x	x	—	—	—
—	予約	216	0360h	—	x	x	x	—	—	—
—	予約	217	0364h	—	x	x	x	—	—	—
SCI1	ERI1	218	0368h	レベル	○	x	x	IER1B.IEN2	IPR218	—
	RX11	219	036Ch	エッジ	○	○	x	IER1B.IEN3		DTCER219
	TX11	220	0370h	エッジ	○	○	x	IER1B.IEN4		DTCER220
	TE11	221	0374h	レベル	○	x	x	IER1B.IEN5		—
SCI5	ERI5	222	0378h	レベル	○	x	x	IER1B.IEN6	IPR222	—
	RX15	223	037Ch	エッジ	○	○	x	IER1B.IEN7		DTCER223
	TX15	224	0380h	エッジ	○	○	x	IER1C.IEN0		DTCER224
	TE15	225	0384h	レベル	○	x	x	IER1C.IEN1		—
—	予約	226	0388h	—	x	x	x	—	—	—
—	予約	227	038Ch	—	x	x	x	—	—	—
—	予約	228	0390h	—	x	x	x	—	—	—
—	予約	229	0394h	—	x	x	x	—	—	—
—	予約	230	0398h	—	x	x	x	—	—	—
—	予約	231	039Ch	—	x	x	x	—	—	—
—	予約	232	03A0h	—	x	x	x	—	—	—
—	予約	233	03A4h	—	x	x	x	—	—	—
—	予約	234	03A8h	—	x	x	x	—	—	—
—	予約	235	03ACh	—	x	x	x	—	—	—
—	予約	236	03B0h	—	x	x	x	—	—	—
—	予約	237	03B4h	—	x	x	x	—	—	—
—	予約	238	03B8h	—	x	x	x	—	—	—
—	予約	239	03BCh	—	x	x	x	—	—	—
—	予約	240	03C0h	—	x	x	x	—	—	—
—	予約	241	03C4h	—	x	x	x	—	—	—
—	予約	242	03C8h	—	x	x	x	—	—	—
—	予約	243	03CCh	—	x	x	x	—	—	—
—	予約	244	03D0h	—	x	x	x	—	—	—
—	予約	245	03D4h	—	x	x	x	—	—	—
RIIC0	EEI0	246	03D8h	レベル	○	x	x	IER1E.IEN6	IPR246	—
	RX10	247	03DCh	エッジ	○	○	x	IER1E.IEN7	IPR247	DTCER247
	TX10	248	03E0h	エッジ	○	○	x	IER1F.IEN0	IPR248	DTCER248
	TEI0	249	03E4h	レベル	○	x	x	IER1F.IEN1	IPR249	—

表 14.3 割り込みのベクタテーブル (6/6)

割り込み要求発生元	名称	ベクタ番号 (注1)	ベクタアドレス オフセット	割り込みの 検出方法	CPU割り込み	DTC起動	ssib復帰	IER	IPR	DTCER
—	予約	250	03E8h	—	x	x	x	—	—	—
—	予約	251	03ECh	—	x	x	x	—	—	—
—	予約	252	03F0h	—	x	x	x	—	—	—
—	予約	253	03F4h	—	x	x	x	—	—	—
—	予約	254	03F8h	—	x	x	x	—	—	—
—	予約	255	03FCh	—	x	x	x	—	—	—

注1. ベクタ番号が小さいほど、優先順位は高くなります。

14.3.2 高速割り込みのベクタテーブル

高速割り込みに設定された割り込みのベクタテーブルは、CPUの高速割り込みベクタレジスタ (FINTV) です。

14.3.3 ノンマスクابل割り込みのベクタテーブル

ノンマスクابل割り込みのベクタテーブルは“FFFF FFF8h”です。

14.4 割り込みの動作説明

割り込みコントローラは次の処理を行います。

- 割り込み検出
- 割り込み許可 / 禁止制御
- 割り込み要求先 (CPU 割り込み、DTC 起動) の選択
- 割り込み優先順位判定

14.4.1 割り込み検出

割り込み要求の検出方法は、レベル検出とエッジ検出の2種類があります。

IRQ_i 端子 (i = 0 ~ 5) からの外部割り込み要求は、IRQCRi.IRQMD[1:0] ビットの設定によってエッジ検出とレベル検出を切り替えることができます。

周辺モジュールからの割り込み要求は、要因ごとにエッジ検出 / レベル検出が決まっています。

各要因に対応する検出方法は、「表 14.3 割り込みのベクタテーブル」を参照してください。

14.4.1.1 エッジ検出の割り込みステータスフラグ

周辺機能割り込みと、外部端子割り込みのエッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作を図 14.2 に示します。

割り込み要求が発生したときの割り込み信号の変化点で IR_n.IR フラグが“1”になります。割り込み要求先が CPU の場合、割り込みを受け付けると IR_n.IR フラグは自動的に“0”になります。割り込み要求先が DTC の場合は、DTC の転送設定、転送回数によって異なります。詳細は「表 14.4 DTC 起動時の動作」を参照してください。ソフトウェアで IR_n.IR フラグをクリアする必要はありません。

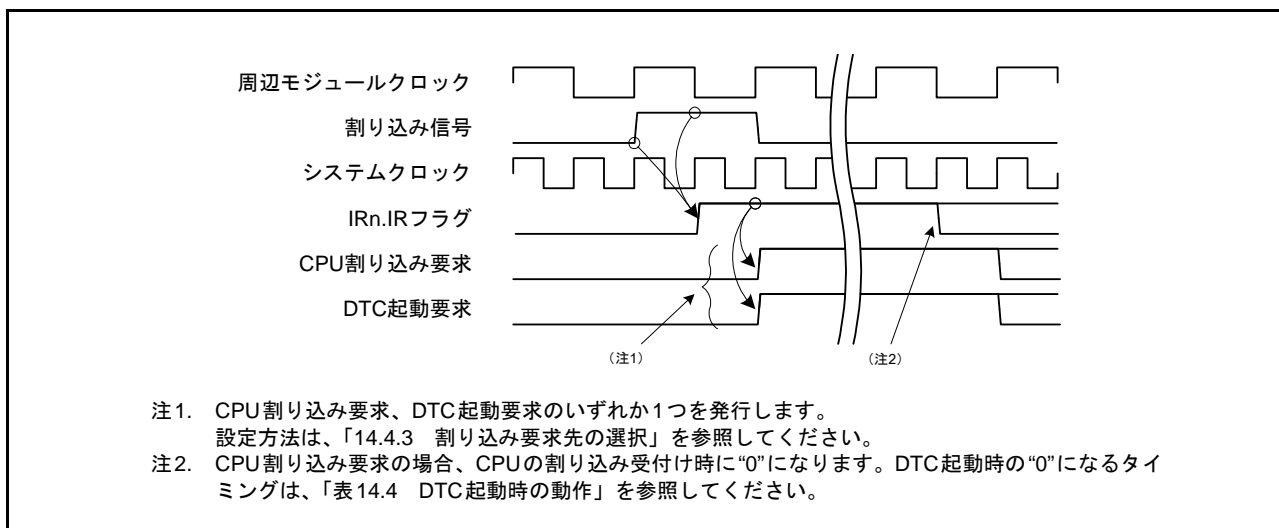


図 14.2 エッジ検出の IR_n.IR フラグ (n = 割り込みベクタ番号) の動作

図 14.3 ~ 図 14.5 の割り込み信号は、割り込みコントローラの信号です。割り込みベクタ番号 64 ~ 95 の割り込みでは、タイミングが他の割り込みと異なります。割り込みベクタ番号 64 ~ 79 の IRQ 端子割り込みの場合、IRQ 端子入力から内部遅延 + 2PCLK 分の遅延が増加します。割り込みベクタ番号 80 ~ 95 の割り込みの場合、2PCLK 分の遅延が増加します。

毎サイクル割り込み信号が発生した場合、後続する割り込みの検出はできません。連続する割り込み要求はシステムクロックで 2 サイクル以上間隔をあけてください。

割り込み要求が発生し IRn.IR フラグが“1”の状態では、再度発生した割り込み要求は無視されます。

(注 1)

IRn.IR フラグの再セットのタイミングを図 14.3 に示します。

注 1. ただし、SCI、RSPI、RIIC の各送信割り込み / 受信割り込みの場合、IRn.IR フラグが“1”の状態が発生した割り込み要求は保持され、IRn.IR フラグが“0”になった後、保持された要求によって再度 IRn.IR フラグが“1”になります。詳細は、「25. シリアルコミュニケーションインタフェース (SCIg)」、「26. I²C バスインタフェース (RIICa)」、「27. シリアルペリフェラルインタフェース (RSPIa)」の各割り込みの説明を参照してください。

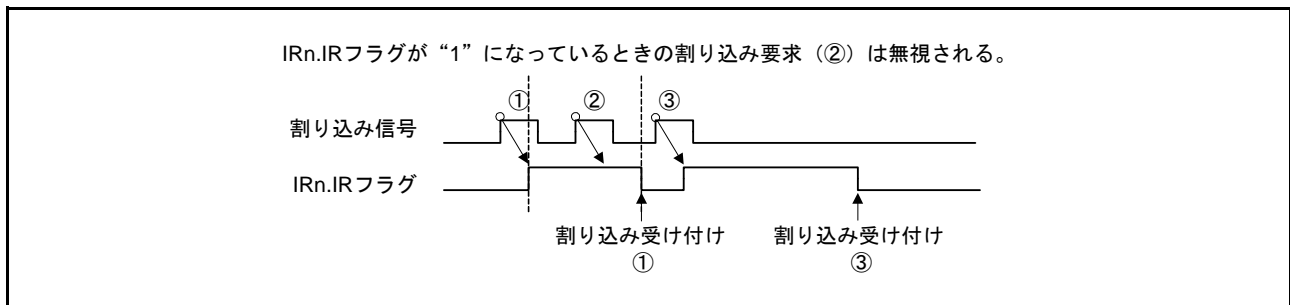


図 14.3 IRn.IR フラグの再セットのタイミング

IRn.IR フラグが“1”になった後、割り込みを禁止（周辺モジュールの割り込み許可ビットで割り込み要求の出力を禁止）としても、IRn.IR フラグは影響を受けず保持されます。割り込みを禁止した場合の動作を図 14.4 に示します。

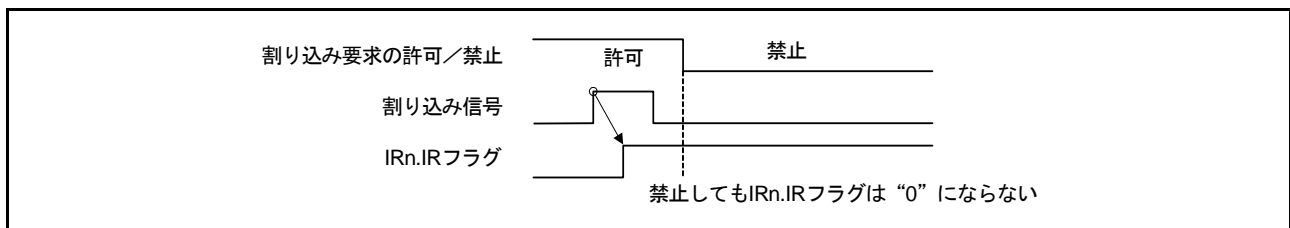


図 14.4 割り込み要求の禁止と IRn.IR フラグの関係

14.4.1.2 レベル検出の割り込みステータスフラグ

周辺機能割り込みと外部端子割り込みのレベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作を図 14.5 に示します。

割り込み信号がアサートされている間、 $IRn.IR$ フラグを“1”にし続けます。 $IRn.IR$ フラグを“0”にするためには、割り込み発生元の割り込み要求を“0”にしてください。割り込み要求発生元の割り込み要求フラグが“0”になったことを確認、および $IRn.IR$ フラグが“0”になったことを確認してから、割り込みハンドラを終了してください。

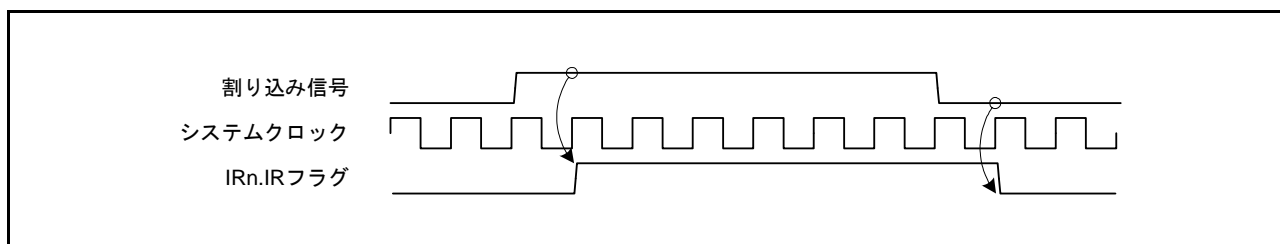


図 14.5 レベル検出時の $IRn.IR$ フラグ (n = 割り込みベクタ番号) の動作

レベル検出割り込みの処理手順を図 14.6 に示します

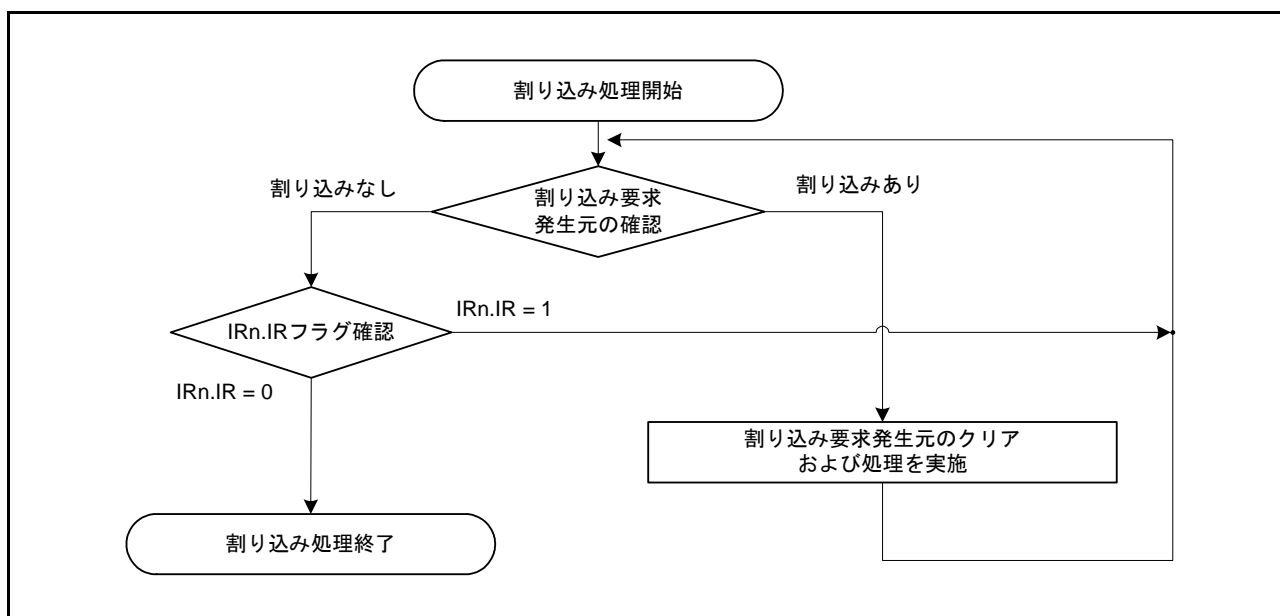


図 14.6 レベル検出割り込み処理手順

14.4.2 割り込み要求の許可 / 禁止

割り込み要求を許可するためには、以下の設定が必要です。

1. 周辺機能割り込みの場合、周辺モジュールの割り込み許可ビットで割り込み要求の出力を許可
2. IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって割り込み要求を許可

割り込み発生元で割り込み出力が許可された割り込み要求が発生すると、対応する IRn.IR フラグ (n = 割り込みベクタ番号) が“1”になります。

IERm.IENj ビットで割り込み要求を許可することで、IRn.IR フラグが“1”である割り込み要求が割り込み要求先へ出力されます。また、IERm.IENj ビットで割り込み要求を禁止することで、IRn.IR フラグが“1”になった割り込み要求は保留されます。

IRn.IR フラグは、IERm.IENj ビットの影響を受けません。

割り込み要求を禁止にする手順は以下のとおりです。

1. IERm.IENj ビットを割り込み要求禁止に設定する。
2. 周辺モジュールの割り込み出力許可ビットを禁止に設定し、書き込みを行ったレジスタを読んで、書き込み完了を確認する。
3. 必要に応じて、IRn.IR フラグを確認、もしくは IRn.IR フラグを“0”にする。(注1)

注1. SCI、RSPI、RIIC の各送信割り込み / 受信割り込みを許可状態から禁止状態に変更する場合、上記の手順で IRn.IR フラグを“0”にしてください。詳細は、「25. シリアルコミュニケーションインタフェース (SClg)」、「26. I²C バスインタフェース (RIICa)」、「27. シリアルペリフェラルインタフェース (RSPIa)」の各割り込みの説明を参照してください。

14.4.3 割り込み要求先の選択

割り込み要因ごとに設定できる割り込み要求先は決められており、「表 14.3 割り込みのベクタテーブル」に示された要求先が設定できます。表 14.3 に「○」の記載がない割り込み要求先を選択しないでください。

IRQi 端子 (i = 0 ~ 5) で DTC を割り込み要求先に設定する場合は、IRQCRi.IRQMD[1:0] ビットをエッジ検出に設定してください。

割り込み要求先の設定方法を以下に示します。

(1) DTC 起動

各要因ごとに、IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) が“0”のときに以下の設定を行ってください。

1. 当該要因の DTC 起動許可レジスタの DTC 転送許可ビット (DTCERn.DTCE (n = 割り込みベクタ番号)) を“1”に設定する

上記の状態、IERm.IENj ビットを“1”にしてください。

また、DTC モジュール起動ビット (DTCST.DTCST) を“1”にしてください。各要因ごとの設定と DTC モジュール起動ビットの設定はどちらを先に行っても構いません。

DTC の設定手順は、「17. データトランスファコントローラ (DTCa)」の「17.5 DTC の設定手順」を参照してください。

(2) CPU 割り込み要求

割り込み要求先が DTC ではない要因は、CPU 割り込み対象となります。

上記の DTC 起動の設定がされていない状態で、IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を“1”にしてください。

DTC を割り込み要求先に設定した場合の動作は、表 14.4 に示すとおりになります。

表 14.4 DTC 起動時の動作

割り込み要求先	DISEL (注1)	残り転送回数	1要求ごとの動作	IR (注2)	転送後の割り込み要求先
DTC (注3)	1	≠ 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCCERn.DTCE ビットがクリアされCPUに切り替え
	0	≠ 0	DTC 転送	DTC 転送情報読み出し後のDTCデータ転送開始時にクリア	DTC
		= 0	DTC 転送→CPU 割り込み	CPU 割り込み受け付け時にクリア	DTCCERn.DTCE ビットがクリアされCPUに切り替え

注1. DTCのDISELはDTC.MRB.DISELビットで設定します。

注2. IRn.IRフラグが“1”のとき、再度発生した割り込み要求 (DTC起動要求) は無視されます。

注3. チェーン転送の場合は、チェーン最終転送までDTC転送を継続します。チェーン最終転送時のCPU割り込みの有無、IRn.IRフラグのクリア、転送後の割り込み要求先の各動作は、チェーン最終転送のDISEL、および残り転送回数によって決まります。チェーン転送については、「17. データトランスファコントローラ (DTCa)」の「表 17.3 チェーン転送の条件」を参照してください。

割り込み要求先を変更する場合は IERm.IENj ビットが “0” のときに行ってください。

「(1) DTC 起動」を設定してから転送が完了していない状態 (DTCCERn.DTCE ビット (n = 割り込みベクタ番号) がクリアされていない状態) で、割り込み要求先を変更する場合、または DTC 転送設定内容を変更する場合は、以下の手順で行ってください。

1. 取り下げる要因、および新たに起動対象とする要因の IERm.IENj ビットを “0” にする。
2. DTC 転送状況を確認する。転送中であれば、転送完了を待つ。
3. 「(1) DTC 起動」の設定を行う。

14.4.4 優先順位の判定

割り込みコントローラは、割り込み要求先ごとに優先順位の判定を行います。それぞれの割り込み要求先に対する優先順位判定方法は以下のとおりです。

(1) 割り込み要求先が CPU の場合の優先順位判定

高速割り込みに設定された要因が最も優先されます。その次に割り込み優先レベル設定ビット (IPRn.IPR[3:0] (n = 割り込みベクタ番号)) の値が大きい要因が優先されます。IPRn.IPR[3:0] ビットの値が同一レベルの要因が複数ある場合には、ベクタ番号が小さい要因が優先されます。

(2) 割り込み要求先が DTC の場合の優先順位判定

IPRn.IPR[3:0] ビットの影響を受けません。ベクタ番号が小さい要因が優先されます。

14.4.5 多重割り込み

CPU の多重割り込みを許可するには、受け付けた割り込みの処理ルーチン内で PSW.I ビットを “1” (割り込み許可) にしてください。

割り込み処理ルーチンに分岐した直後の PSW.IPL[3:0] ビットは、受け付けた割り込み要求の割り込み優先レベルと同じ値になっています。このとき、PSW.IPL[3:0] ビットより高い割り込み優先レベルの割り込み要求が発生すると、この割り込み要求の受け付け (多重割り込み) が行われます。

受け付けた割り込み要求の割り込み優先レベルが 15（高速割り込み、IPR[3:0] を“1111b”に設定した割り込み）の場合は、多重割り込みは発生しません。

14.4.6 高速割り込み

高速割り込みは、CPU の割り込み応答を高速に実行できる割り込みで、割り込み要因のうちの 1 つだけを割り当てることができます。

高速割り込みの割り込み優先レベルは、IPRn.IPR[3:0] ビット（n = 割り込みベクタ番号）の設定にかかわらず、15（最高）です。また、他のレベル 15 の割り込み要因よりも優先的に受け付けられます。ただし、PSW.IPL[3:0] ビットの値が“1111b”（優先レベル 15）の場合は、高速割り込みも受け付けられません。

割り込み要因を高速割り込みに割り当てするには、FIR.FVCT[7:0] ビットにその要因のベクタ番号を設定し、FIR.FIEN ビットを“1”（高速割り込みを許可）にしてください。

高速割り込みについては「2. CPU」や「13. 例外処理」も参照してください。

14.4.7 デジタルフィルタ

外部割り込み要求端子 IRQ_i（i = 0 ~ 5）と NMI 端子割り込みには、デジタルフィルタ機能を持っています。

デジタルフィルタは入力信号をフィルタ用サンプリングクロック（PCLK）でサンプリングし、サンプリング周期 3 回に満たないパルスを除去します。

IRQ_i 端子のデジタルフィルタを使用する場合、IRQFLTC0.FCLKSEL_i[1:0] ビットでサンプリング周波数（PCLK、PCLK/8、PCLK/32、PCLK/64）を設定し、IRQFLTE0.FLTEN_i ビットを“1”（デジタルフィルタ有効）にしてください。

NMI 端子割り込みのデジタルフィルタを使用する場合、NMIFLTC.NFCLKSEL[1:0] ビットでサンプリング周波数（PCLK、PCLK/8、PCLK/32、PCLK/64）を設定し、NMIFLTE.NFLTEN ビットを“1”（デジタルフィルタ有効）にしてください。

図 14.7 にデジタルフィルタの動作例を示します。

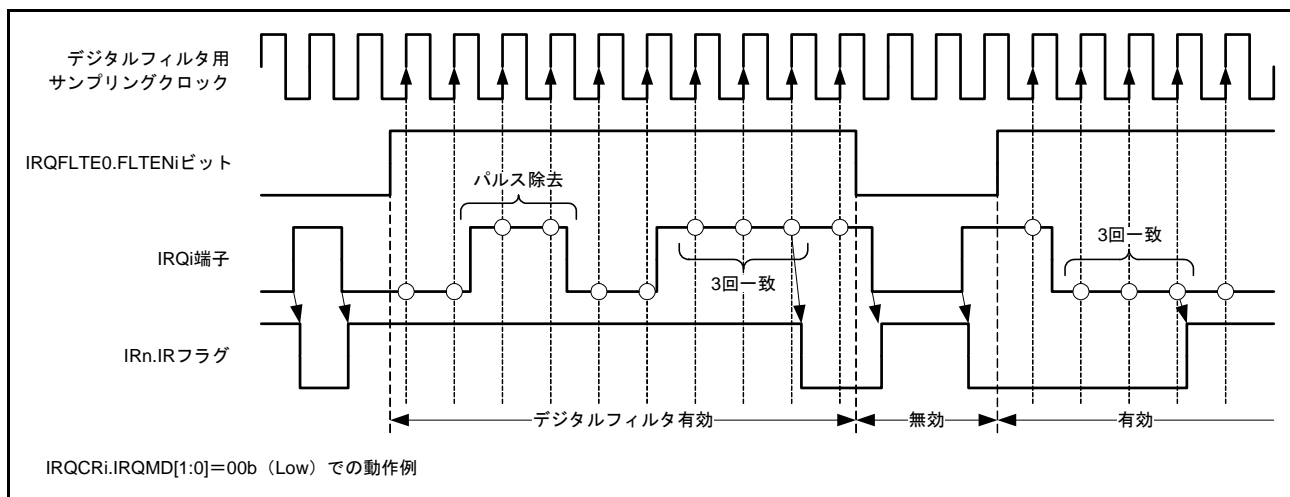


図 14.7 デジタルフィルタ動作例

ソフトウェアスタンバイモードに移行する際は、IRQFLTE0.FLTEN_i ビット、および NMIFLTE.NFLTEN ビットを“0”（デジタルフィルタ無効）にしてください。ソフトウェアスタンバイモードからの復帰後に再度デジタルフィルタを使用する場合は、IRQFLTE0.FLTEN_i ビット、もしくは NMIFLTE.NFLTEN ビットを“1”（デジタルフィルタ有効）にしてください。

14.4.8 外部端子割り込み

外部端子割り込みを使用する手順は以下のとおりです。

1. IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) を “0” (割り込み要求禁止) にする。
2. IRQFLTE0.FLTENi ビット (i = 0 ~ 5) を “0” (デジタルフィルタ無効) にする。(注1)
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. I/O ポートの設定、および確認を行う。
5. IRQCRi.IRQMD[1:0] ビットで検出方法を設定する。
6. IRn.IR フラグ (n = 割り込みベクタ番号) を “0” にする (エッジ検出の場合)。
7. IRQFLTE0.FLTENi ビットを “1” (デジタルフィルタ有効) にする。(注1)
8. DTC 起動の場合 DTCERn.DTCE ビットを設定する (設定しない場合は CPU 割り込み)。
9. IERm.IENj ビットを “1” (割り込み要求許可) にする。

注1. デジタルフィルタを使用する場合、設定が必要です。

14.5 ノンマスクابل割り込みの動作説明

ノンマスクابل割り込みにはNMI端子割り込み、発振停止検出割り込み、IWDTアンダフロー/リフレッシュエラー、電圧監視1割り込み、電圧監視2割り込みがあります。ノンマスクابل割り込みはCPUへの割り込みのみであり、DTCの起動はできません。高速割り込みを含むすべての割り込みの中で最優先の割り込みです。

ノンマスクابل割り込み要求は、CPUのPSW.Iビット(割り込み許可ビット)、PSW.IPL[3:0]ビット(プロセッサ割り込み優先レベル)の状態にかかわらず受け付けられます。ノンマスクابل割り込みの有無はノンマスクابل割り込みステータスレジスタ(NMISR)で確認できます。

ノンマスクابل割り込みハンドラでは、NMISRレジスタの全ビットが“0”であることを確認してから、ハンドラを終了してください。

初期状態では「ノンマスクابل割り込み禁止」となっています。ノンマスクابل割り込みを使用するシステムでは、プログラム処理の先頭で以下の手順に従ってください。

ノンマスクابل割り込み使用手順

1. スタックポインタ(SP)を設定する。
2. NMI端子を使用する場合は、NMIFLTC.NFCLTSELビットを“0”(デジタルフィルタ無効)にする。(注1)
3. NMI端子を使用する場合は、NMIFLTC.NFCLTSEL[1:0]ビットでデジタルフィルタのサンプリングクロックを設定する。(注1)
4. NMI端子を使用する場合は、NMICR.NMIMDビットでNMI端子の検出センスを設定する。
5. NMI端子を使用する場合は、NMICLR.NMICLRビットに“1”を書いて、NMISR.NMISTフラグを“0”にする。
6. NMI端子を使用する場合は、NMIFLTC.NFCLTSELビットを“1”(デジタルフィルタ有効)にする。(注1)
7. ノンマスクابل割り込み許可レジスタ(NMIER)の許可する割り込みに対応するビットを“1”にして、ノンマスクابل割り込みの使用を許可する。

注1. デジタルフィルタを使用する場合、設定が必要です。

NMIERレジスタに“1”を書くと、以後のNMIERレジスタへの書き込みは無視されます。ノンマスクابل割り込みを禁止することはできません。リセットでのみ禁止になります。

ノンマスクابل割り込みの処理の流れは、「13. 例外処理」を参照してください。

NMIステータスフラグ(NMISR.NMIST)は、NMICLR.NMICLRビットに“1”を書くことで“0”になります。

発振停止検出割り込みステータスフラグ(NMISR.OSTST)は、NMICLR.OSTCLRビットに“1”を書くことで“0”になります。

IWDTアンダフロー/リフレッシュエラーステータスフラグ(NMISR.IWDTST)は、NMICLR.IWDTCCLRビットに“1”を書くことで“0”になります。

電圧監視1割り込みステータスフラグ(NMISR.LVD1ST)は、NMICLR.LVD1CLRビットに“1”を書くことで“0”になります。

電圧監視2割り込みステータスフラグ(NMISR.LVD2ST)は、NMICLR.LVD2CLRビットに“1”を書くことで“0”になります。

14.6 低消費電力状態からの復帰

スリープモード、ディープスリープモード、ソフトウェアスタンバイモードからの復帰割り込みとして使用可能な割り込み要因を「表 14.3 割り込みのベクタテーブル」に示します。

詳細は「11. 消費電力低減機能」を参照してください。各低消費電力モードにおける、復帰対象割り込みの設定方法は以下のとおりです。

14.6.1 スリープモードおよびディープスリープモードからの復帰

ノンマスクابل割り込み、および全要因の割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) 割り込み要求先が CPU であること
 - (2) IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
 - (3) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること

14.6.2 ソフトウェアスタンバイモードからの復帰

ノンマスクابل割り込み、およびソフトウェアスタンバイモードからの復帰可能な割り込みによって復帰することができます。復帰するための条件は以下のとおりです。

- 割り込み
 - (1) ソフトウェアスタンバイモードから復帰可能な要因であること
 - (2) 割り込み要求先が CPU であること
 - (3) IERm.IENj ビット (m = 02h ~ 1Fh, j = 0 ~ 7) によって該当する割り込み要求が許可されていること
 - (4) CPU.PSW.IPL[3:0] ビットよりも高い割り込み優先レベルであること
(高速割り込みに設定した要因には高速割り込み設定レジスタ (FIR) だけでなく、対応する割り込み優先レベル (IPRn (n = 割り込みベクタ番号)) も CPU.PSW.IPL より高い設定にしてください。)

上記条件を満たさない IRQ 端子では、ソフトウェアスタンバイモードでクロック停止期間中に発生した割り込み要因は検出されません。

- ノンマスクابل割り込み
 - NMIER レジスタによって該当する割り込み要求が許可されていること
- ソフトウェアスタンバイモードへの移行/復帰の手順
 - (1) ソフトウェアスタンバイモードに移行する前に、復帰対象の割り込み要因のデジタルフィルタを無効 (IRQFLTE0.FLTENi ビットを“0”、NMIFLTE.NFLTEN ビットを“0”) にしてください。
 - (2) ソフトウェアスタンバイモードから復帰後に再度デジタルフィルタを使用する場合は、デジタルフィルタを有効 (IRQFLTE0.FLTENi ビットを“1”、NMIFLTE.NFLTEN ビットを“1”) にしてください。

14.7 使用上の注意事項

14.7.1 ノンマスカブル割り込み使用時の WAIT 命令の注意事項

WAIT 命令を実行する場合は、NMISR レジスタのすべてのステータスフラグが“0”であることを確認した後で行ってください。

15. バス

15.1 概要

表 15.1 にバスの仕様を、図 15.1 にバスの構成図を、表 15.2 にバス種類別アドレス対応表を示します。

表 15.1 バスの仕様

バスの種類		内容
CPUバス	命令バス	<ul style="list-style-type: none"> • CPU（命令）を接続 • 内蔵メモリを接続（RAM、ROM） • システムクロック（ICLK）に同期して動作
	オペランドバス	<ul style="list-style-type: none"> • CPU（オペランド）を接続 • 内蔵メモリを接続（RAM、ROM） • システムクロック（ICLK）に同期して動作
メモリバス	メモリバス1	<ul style="list-style-type: none"> • RAMを接続
	メモリバス2	<ul style="list-style-type: none"> • ROMを接続
内部メインバス	内部メインバス1	<ul style="list-style-type: none"> • CPUを接続 • システムクロック（ICLK）に同期して動作
	内部メインバス2	<ul style="list-style-type: none"> • DTCを接続 • 内蔵メモリを接続（RAM、ROM） • システムクロック（ICLK）に同期して動作
内部周辺バス	内部周辺バス1	<ul style="list-style-type: none"> • 周辺機能（DTC、割り込みコントローラ、バスエラー監視部）を接続 • システムクロック（ICLK）に同期して動作
	内部周辺バス2	<ul style="list-style-type: none"> • 周辺機能（内部周辺バス1, 3, 4以外の周辺機能）を接続 • 周辺モジュールクロック（PCLKB）に同期して動作
	内部周辺バス3	<ul style="list-style-type: none"> • 周辺機能（CMPC）を接続 • 周辺モジュールクロック（PCLKB）に同期して動作
	内部周辺バス4	<ul style="list-style-type: none"> • 周辺機能（MTU3）を接続 • 周辺モジュールクロック（PCLKA）に同期して動作
	内部周辺バス6	<ul style="list-style-type: none"> • フラッシュ制御モジュールを接続 • FlashIFクロック（FCLK）に同期して動作

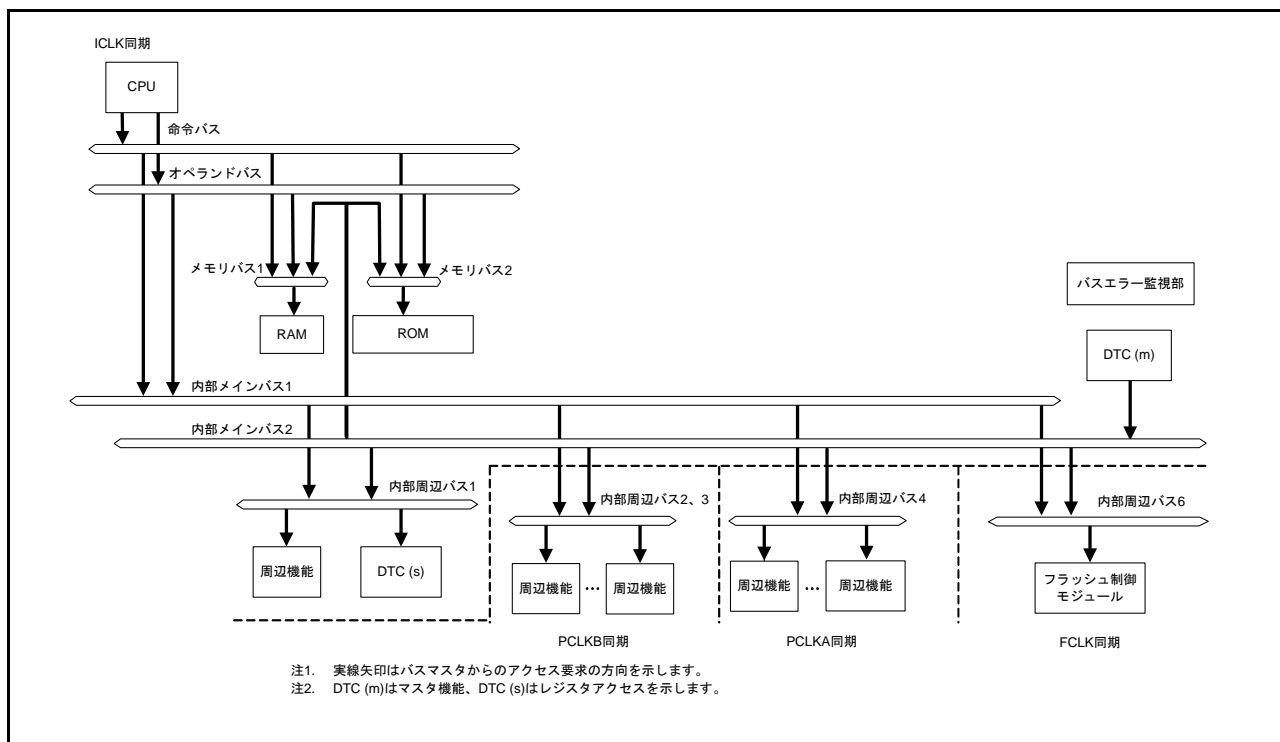


図 15.1 バスの構成図

表 15.2 バス種類別アドレス対応表

アドレス	バス	内容
0000 0000h ~ 0000 27FFh	メモリバス 1	RAM
0000 2800h ~ 0000 3FFFh		予約領域
0000 4000h ~ 0000 4A7Fh		RAM
0000 4A80h ~ 0007 FFFFh		予約領域
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
000A 0000h ~ 000B FFFFh	内部周辺バス 3	
000C 0000h ~ 000D FFFFh	内部周辺バス 4	
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	フラッシュ制御モジュール
8000 0000h ~ FFFF FFFFh	メモリバス 2	ROM
FF00 0000h ~ FFFF FFFFh		(読み出し専用)

15.2 バスの説明

15.2.1 CPU バス

CPU バスには、命令バスとオペランドバスがあり、内部メインバス 1 に接続されています。命令バスは CPU の命令フェッチに、オペランドバスは CPU のオペランドアクセスに使用されます。命令バスは 64 ビットです。オペランドバスは、32 ビットです。

命令バスとオペランドバスは、RAM、ROM に接続しており、内部メインバス 1 を介さずに CPU から直接アクセスすることが可能です。ただし、ROM は読み出しのみ CPU からの直接アクセスが可能であり、プログラム/イレーズは内部周辺バスを介して行います。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

命令フェッチとオペランドアクセスからの要求が異なるバス（メモリバス 1、メモリバス 2、内部メインバス 1）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。たとえば、ROM と RAM などの並列動作が可能となります。

15.2.2 メモリバス

メモリバスには、メモリバス 1 とメモリバス 2 があり、メモリバス 1 には RAM、メモリバス 2 には ROM が接続されています。メモリバスは 64 ビットです。メモリバス 1, 2 は、CPU バス（命令フェッチとオペランド）、内部メインバス 2 からのバス権要求を調停します。

バスの優先順位は、それぞれバスプライオリティ制御レジスタのメモリバス 1（RAM）プライオリティ制御ビット（BUSPRI.BPRA[1:0]）、メモリバス 2（ROM）プライオリティ制御ビット（BUSPRI.BPRO[1:0]）により設定可能です。優先順位固定の場合は、バスの優先順位は、内部メインバス 2 > CPU バス（オペランド > 命令フェッチ）の順となります。優先順位トグルの場合は、内部メインバス 2 と CPU バスとでバス要求を受け付けられた方の優先順位が低くなります。

15.2.3 内部メインバス

内部メインバスは、CPU が使用するバス（内部メインバス 1）と、CPU 以外のバスマスタ（DTC）が使用するバス（内部メインバス 2）の 2 本で構成されます。

内部メインバス 1 は、命令フェッチとオペランドのバス権要求を調停します。優先順位は、オペランド > 命令フェッチの順となります。

CPU と CPU 以外のバスマスタからの要求が異なるバス（内蔵メモリ、内部周辺バス 1～内部周辺バス 4）に対するものであれば、それぞれのバスアクセスを同時に行うことが可能です。

ただし、CPU により XCHG 命令が実行された場合には、バスプライオリティ制御レジスタ（BUSPRI）の設定にかかわらず、XCHG 命令によるバスアクセスが完了するまで CPU 以外のバスアクセスは受け付けません。また、DTC の転送情報リードおよびライトバック中も DTC 以外のバスアクセスは受け付けません。

表 15.3 バスマスタ優先順位

優先度	内部メインバス	バスマスタ
高 ↑	2	DTC
低	1	CPU

注. 上記はバス優先権が固定の場合です。

バスプライオリティ制御レジスタ（BUSPRI）により、内部メインバス 1 とそれ以外（内部メインバス 2）のバス優先権をトグルすることができます。（ラウンドロビン方式）

15.2.4 内部周辺バス

表 15.4 に内部周辺バスに接続される周辺機能を示します。

表 15.4 内部周辺バスに接続される周辺機能

バスの種類	周辺機能
内部周辺バス1	DTC, 割り込みコントローラ、バスエラー監視部
内部周辺バス2	内部周辺バス1, 3, 4以外の周辺機能
内部周辺バス3	CMPC
内部周辺バス4	MTU3
内部周辺バス6	フラッシュ制御モジュール

内部周辺バス1～4, 6は、それぞれ、CPU（内部メインバス1）とCPU以外のバスマスタ（内部メインバス2）からのバス権要求を調停します。

2本のバスの優先順位は、バスプライオリティ制御レジスタ（BUSPRI）により設定可能です。優先順位は、内部周辺バス1プライオリティ制御ビット（BUSPRI.BPIB[1:0]）、内部周辺バス2,3プライオリティ制御ビット（BUSPRI.BPGB[1:0]）、内部周辺バス4プライオリティ制御ビット（BUSPRI.BPHB[1:0]）、内部周辺バス6プライオリティ制御ビット（BUSPRI.BPFB[1:0]）によりバスごとに設定できます。優先順位固定の場合は、内部メインバス2 > 内部メインバス1の順となります。優先順位トグルの場合は、内部メインバス1と内部メインバス2とでバス要求を受け付けられた方の優先順位が低くなります。（ラウンドロビン方式）

BUSPRIレジスタの設定を変更すると、受け付けられる要求の順番が変わることがありますので注意してください（図 15.2 参照）。

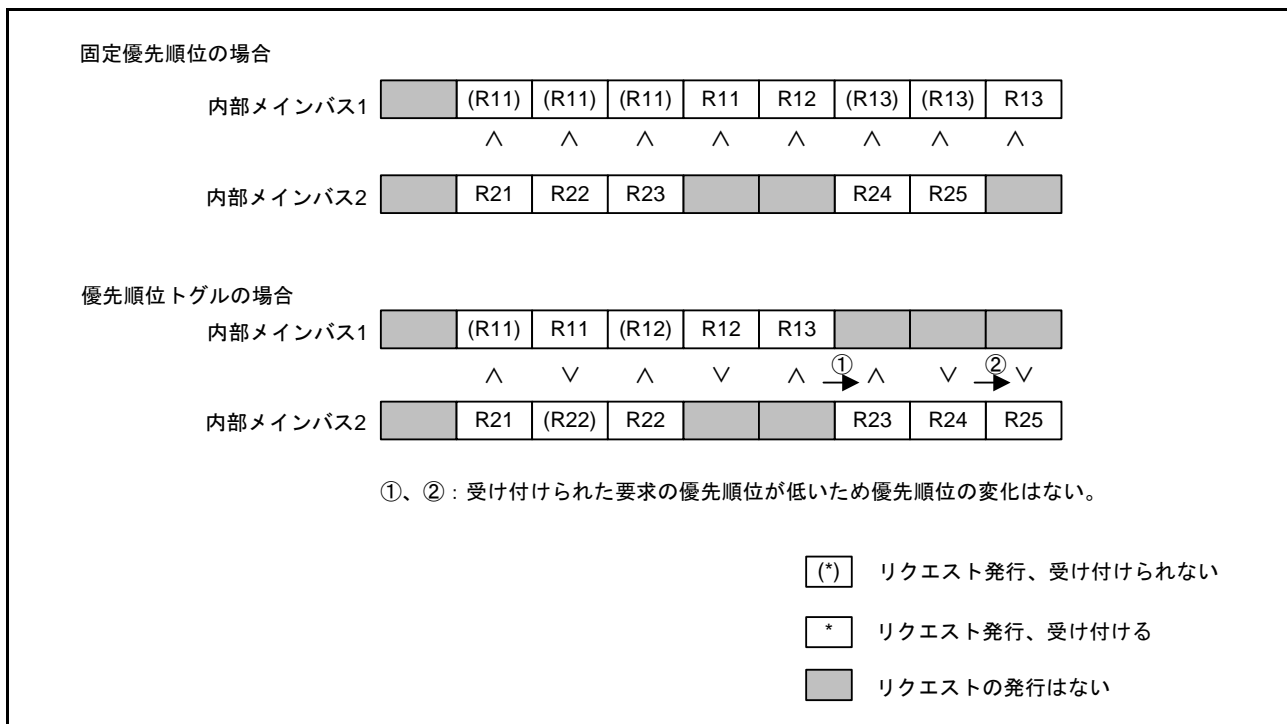


図 15.2 内部周辺バス優先順位

15.2.5 ライトバッファ機能（内部周辺バス）

内部周辺バスはライトバッファ機能を持っており、ライトアクセスの場合は、動作の終了を待たずに、次のアクセスを受け付けることができます。ただし、同じバスマスタからのアクセスの場合、ライトアクセス

の次のアクセスが異なる内部周辺バスに対するものであれば、ライトアクセスが終了するまで次のアクセスは、待たされます。CPU から内部周辺バスのライトアクセス後に内蔵メモリへのリードアクセスがある場合には、動作の終了を待たずに次のアクセスが受け付けられるため、アクセスの順番が入れ替わることがありますので注意してください。(図 15.3 参照)

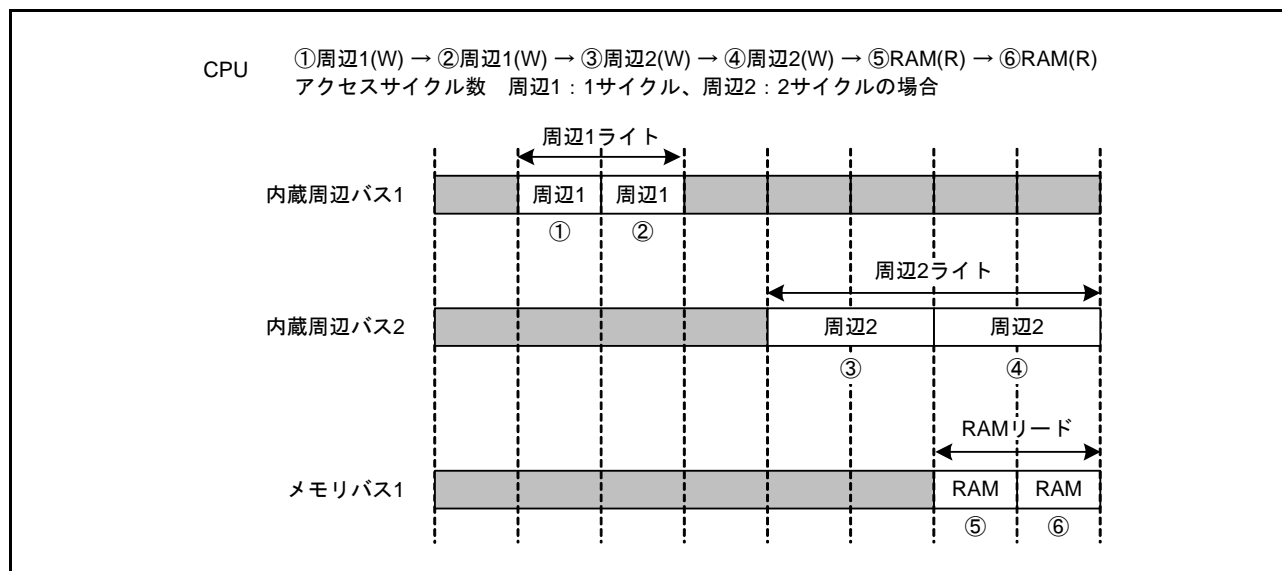


図 15.3 ライトバッファ機能

15.2.6 並列動作

それぞれのバスマスタが異なるスレーブにアクセスする場合、並列に動作することが可能です。たとえば、CPUの命令フェッチがROMを、オペランドがRAMをアクセス中に、DTCは周辺-周辺バス間の転送を行うことができます。図15.4に並列動作の例を示します。この例の場合、CPUは命令バスとオペランドバスを使って、それぞれROMとRAMを同時にアクセスすることが可能です。また、CPUがROMとRAMをアクセス中に、DTCは内部メインバス2を使って、周辺バスを同時にアクセスすることができます。

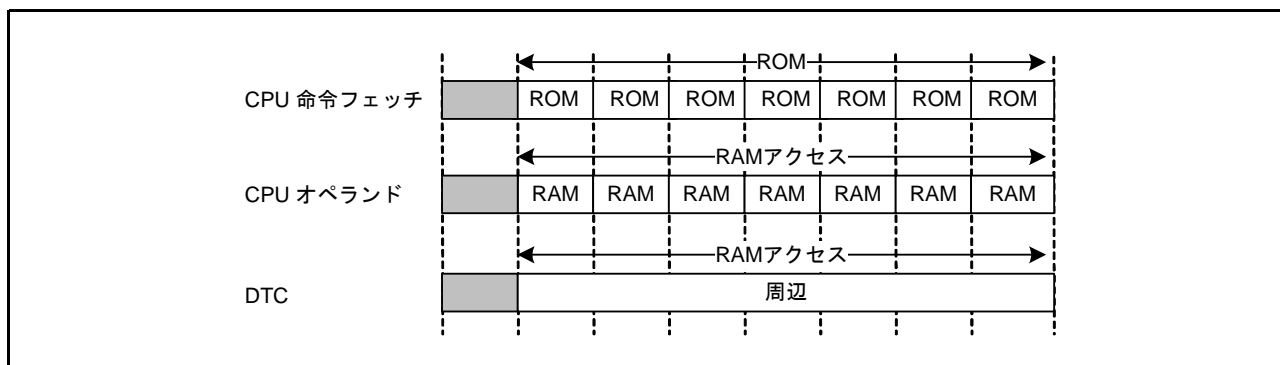


図 15.4 並列動作の例

15.2.7 制約事項

(1) アドレス空間の複数領域にまたがるアクセスの禁止

1つのアクセスでアドレス空間の複数領域をまたがるアクセスは禁止しており、その場合の動作は保証していません。1つのワード、ロングワードアクセスがアドレス空間の各領域境界を挟んで2つの領域にまたがらないようにしてください。

(2) RMPA 命令、ストリング操作命令に関する制約事項

- (a) RMPA 命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

15.3 レジスタの説明

15.3.1 バスエラーステータスクリアレジスタ (BERCLR)

アドレス 0008 1300h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	STSCLR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STSCLR	ステータスクリアビット	0: 無効 1: バスエラーステータスレジスタクリア	(W) (注1)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. “1”書き込みのみ有効で、“0”書き込みは無効です。

STSCLR ビット (ステータスクリアビット)

“1”を書き込むと、バスエラーステータスレジスタ 1 (BERSR1) とバスエラーステータスレジスタ 2 (BERSR2) がクリアされます。

“0”書き込みは無効です。読むと“0”が読み出されます。

15.3.2 バスエラー監視許可レジスタ (BEREN)

アドレス 0008 1304h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	TOEN	IGAEN
リセット後の値	0	0	0	0	0	0	0	0

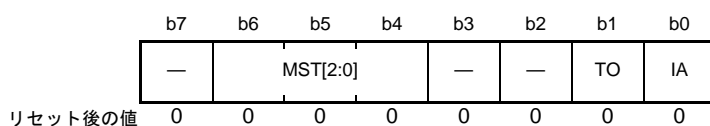
ビット	シンボル	ビット名	機能	R/W
b0	IGAEN	不正アドレスアクセス検出許可ビット	0: 不正アドレスアクセス検出禁止 1: 不正アドレスアクセス検出許可	R/W
b1	TOEN	タイムアウト検出許可ビット (注1、注2)	0: バスタイムアウト検出禁止 1: バスタイムアウト検出許可	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. 検出禁止 (TOENビット=0) にしてバスアクセスを行った場合、バスがフリーズすることがあります。

注2. タイムアウトエラー検出中にTOENビットを“0” (検出禁止) にしないようにしてください。

15.3.3 バスエラーステータスレジスタ 1 (BERSR1)

アドレス 0008 1308h



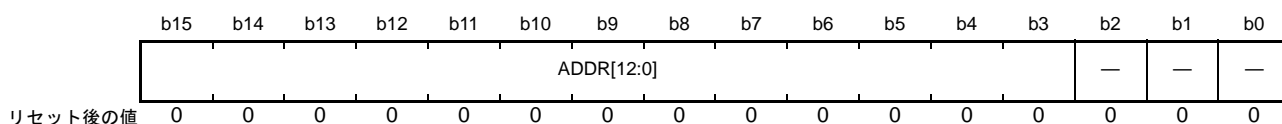
ビット	シンボル	ビット名	機能	R/W
b0	IA	不正アドレスアクセスビット	0 : 不正アドレスアクセスの発生なし 1 : 不正アドレスアクセスの発生あり	R
b1	TO	タイムアウトビット	0 : タイムアウトの発生なし 1 : タイムアウトの発生あり	R
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b6-b4	MST[2:0]	バスマスタコードビット	b6 b4 0 0 0 : CPU 0 0 1 : 予約 0 1 0 : 予約 0 1 1 : DTC 1 0 0 : 予約 1 0 1 : 予約 1 1 0 : 予約 1 1 1 : 予約	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

MST[2:0] ビット (バスマスタコードビット)

バスエラーを発生させたアクセスのバスマスタを示します。

15.3.4 バスエラーステータスレジスタ 2 (BERSR2)

アドレス 0008 130Ah



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15-b3	ADDR[12:0]	バスエラー発生アドレスビット	バスエラーが発生したアクセスのアドレスの上位13ビット (512Kバイト単位)	R

15.3.5 バスプライオリティ制御レジスタ (BUSPRI)

アドレス 0008 1310h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	BPFB[1:0]	BPHB[1:0]	BPGB[1:0]	BPIB[1:0]	BPRO[1:0]	BPRA[1:0]						
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BPRA[1:0]	メモリバス1 (RAM) プライオリティ制御ビット	b1 b0 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b3-b2	BPRO[1:0]	メモリバス2 (ROM) プライオリティ制御ビット	b3 b2 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b5-b4	BPIB[1:0]	内部周辺バス1プライオリティ制御ビット	b5 b4 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b7-b6	BPGB[1:0]	内部周辺バス2, 3プライオリティ制御ビット	b7 b6 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b9-b8	BPHB[1:0]	内部周辺バス4プライオリティ制御ビット	b9 b8 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b11-b10	BPFB[1:0]	内部周辺バス6プライオリティ制御ビット	b11 b10 0 0: 優先順位固定 0 1: 優先順位トグル 1 0: 設定しないでください 1 1: 設定しないでください	R/(W) (注1)
b15-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. DTCが停止した状態で、1回のみ書き込みできます。2回以上、書き込んだ場合、動作は保証されません。

BPRA[1:0] ビット (メモリバス1 (RAM) プライオリティ制御ビット)

メモリバス1 (RAM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > 内部メインバス1 となります。

優先順位トグルの場合は、内部メインバス1 と内部メインバス2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPRO[1:0] ビット (メモリバス2 (ROM) プライオリティ制御ビット)

メモリバス2 (ROM) に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス2 > 内部メインバス1 となります。

優先順位トグルの場合は、内部メインバス1 と内部メインバス2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPIB[1:0] ビット (内部周辺バス 1 プライオリティ制御ビット)

内部周辺バス 1 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPGB[1:0] ビット (内部周辺バス 2, 3 プライオリティ制御ビット)

内部周辺バス 2 と内部周辺バス 3 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPHB[1:0] ビット (内部周辺バス 4 プライオリティ制御ビット)

内部周辺バス 4 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

BPFB[1:0] ビット (内部周辺バス 6 プライオリティ制御ビット)

内部周辺バス 6 に対する優先順位を設定します。

優先順位固定の場合は、内部メインバス 2 > 内部メインバス 1 となります。

優先順位トグルの場合は、内部メインバス 1 と内部メインバス 2 とでバス要求を受け付けられた方の優先順位が低くなります。

15.4 バスエラー監視部

バスエラー監視部は、領域ごとのバスエラーを監視し、バスエラーが発生した場合、バスマスタへ通知します。

15.4.1 バスエラーの種類

バスエラーには、不正アドレスアクセス、タイムアウトの2種類のバスエラーがあります。

不正アドレスアクセスは不正な領域へのアクセスがあった場合に検出し、タイムアウトはバスアクセスが768 サイクル以内に終了しない場合に検出します。

15.4.1.1 不正アドレスアクセス

不正アドレスアクセスは、バスエラー監視許可レジスタの不正アドレスアクセス検出許可ビットが有効 (BEREN.IGAEN = 1) に設定された場合で、以下のアクセスが起こった場合に発生します。

- 不正アドレス領域にアクセスした場合どの領域が不正アドレスアクセスエラーを発生するかを表 15.5 に示します。

15.4.1.2 タイムアウト

タイムアウトは、バスエラー監視許可レジスタのタイムアウト検出許可ビットが有効 (BEREN.TOEN = 1) に設定された場合で、バスアクセスが768 サイクル以内に終了しない場合に発生します。

- 内部周辺バス (2, 3) : バスアクセス開始後、周辺モジュールクロック (PCLKB) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKB で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。
- 内部周辺バス (4) : バスアクセス開始後、周辺モジュールクロック (PCLKA) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると PCLKA で256 サイクル間、バスマスタからのアクセスは受け付けられません。
- 内部周辺バス (6) : バスアクセス開始後、FlashIF クロック (FCLK) で768 サイクル以内にバスアクセスが終了しない場合
タイムアウトが発生すると FCLK で256 サイクル間、バスマスタからのアクセスは受け付けられません。本 MCU ではタイムアウトは発生しません。

15.4.2 バスエラー発生時の動作

バスエラーが発生すると、CPU にバスエラーを通知します。バスエラーが発生した場合には、その動作を保証していません。

- CPU へのバスエラー発生通知：
割り込みが発生します。割り込みを発生させるかどうかは、ICU.IERn レジスタで制御できます。

15.4.3 バスエラーの発生条件

表 15.5 にアドレス空間の領域ごとに発生するバスエラーの種類を示します。

バスエラーが発生していない状態（バスエラーステータスレジスタ n (BERSRn) (n = 1, 2) がクリアされている場合) で、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると、BERSRn レジスタにその時点の状態が記憶されます。一度バスエラーが発生すると、その後バスエラーが発生しても BERSRn がクリアされていない場合はその状態を記憶しません。

2 つ以上のバスマスタについてバスエラーが同時に発生する場合は、1 つのバスマスタの情報のみ記憶します。バスエラーの発生後は、BERSRn レジスタがクリアされるまで状態を保持します。

表 15.5 発生するバスエラーの種類

アドレス	内容	種類
		不正アドレスアクセス
0000 0000h ~ 0007 FFFFh	メモリバス 1	—
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	—
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	△
000A 0000h ~ 000B FFFFh	内部周辺バス 3	△
000C 0000h ~ 000D FFFFh	内部周辺バス 4	△
000E 0000h ~ 000F FFFFh	予約領域	—
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	△
0100 0000h ~ 0FFF FFFFh	予約領域	—
1000 0000h ~ 7FFF FFFFh	予約領域	○
8000 0000h ~ FFFF FFFFh	メモリバス 2	—

— : バスエラーは発生しません。

△ : バスエラーは不定です。

○ : バスエラーを発生します。

注. 実装される RAM、ROM の容量は製品により異なります。製品ごとの仕様については、「33. RAM」、「34. フラッシュメモリ」を参照してください。

15.5 割り込み

15.5.1 割り込み要因

バスは、不正アドレスアクセスエラー、あるいはタイムアウトが検出されると割り込みコントローラにバスエラーが発生します。

表 15.6 割り込み要因

名称	割り込み要因	DTC起動
BUSERR	不正アドレスアクセスエラーまたはタイムアウト	不可

16. メモリプロテクションユニット (MPU)

16.1 概要

RXv2 CPU にはメモリプロテクションユニットが内蔵されており、全アドレス空間 (0000 0000h ~ FFFF FFFFh) を対象に CPU によるアクセスのアドレスチェックを行います。

最大 8 つの領域を設定することができ、領域ごとのアクセス制御情報に従いアクセスを許可します。設定領域外へのアクセスを検出すると、デフォルトではメモリプロテクションエラーが発生します。

各領域のアクセス制御情報は、読み出し許可、書き込み許可、実行許可に対応しています。このアクセス制御情報は、CPU のプロセッサモードがユーザモードのときに有効です。スーパーバイザモードのときは、メモリ保護を行いません。

表 16.1 にメモリプロテクションユニットの仕様を、図 16.1 にブロック図を示します。

表 16.1 メモリプロテクションの仕様

仕様	内容
メモリプロテクション対象領域とプロセッサモード	0000 0000h ~ FFFF FFFFh (ユーザモード時) スーパーバイザモード時はメモリ保護なし
領域数	8
ページサイズ (最小保護単位)	16バイト
各領域のアドレス指定	開始ページ番号、終了ページ番号で設定
各領域の有効設定	領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) で各領域の有効/無効を設定 (n = 0 ~ 7)
各領域のアクセス制御情報	命令実行 : 実行許可 オペランドアクセス : 読み出し許可、書き込み許可
メモリプロテクション動作の開始	メモリプロテクション機能を有効にした後、ユーザモードに移行することによりアクセスの監視をスタート
メモリプロテクションエラー処理	アクセス例外発生
メモリプロテクションエラー発生アドレス	命令実行アドレス : スタック領域に PC を退避 オペランドアクセスアドレス : データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納
メモリプロテクションエラー要因判定	メモリプロテクションエラーステータスレジスタ (MPESTS) に要因を格納
バックグラウンド領域設定	バックグラウンド領域 (全アドレス空間) に対して、アクセス制御情報を設定可能
領域オーバーラップの処理	あるアドレスに対して領域がオーバーラップして設定され、各領域のアクセス制御情報が異なる場合、許可が優先されます。

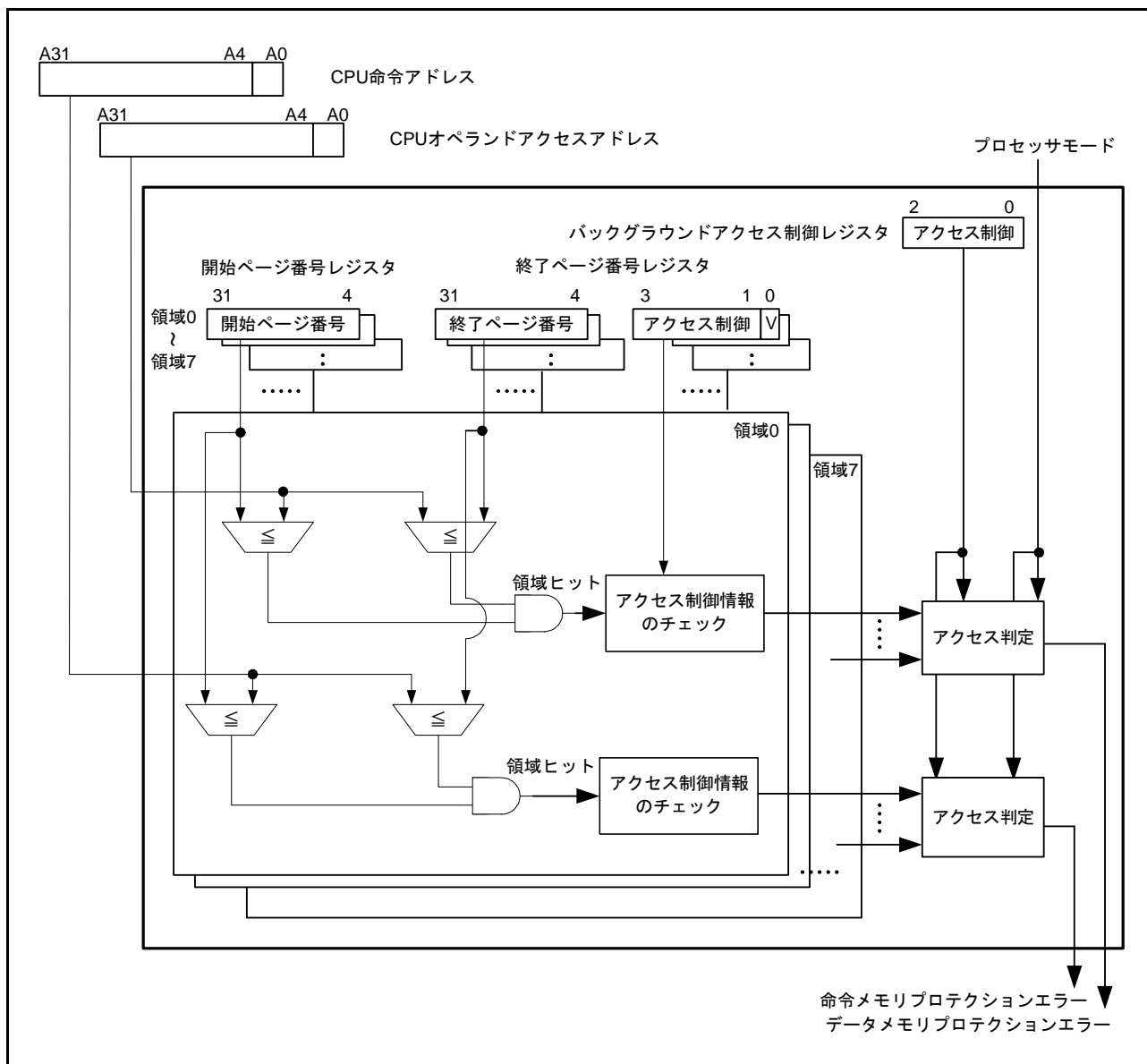


図 16.1 メモリプロテクションユニットブロック図

16.1.1 アクセス制御の種類

アクセス制御は、命令の実行許可と、オペランドアクセスの読み出し許可、書き込み許可の 3 種類があります。これらのアクセス制御に対する違反の検出は、ユーザモードのプログラムに対してのみ行います。スーパーバイザモードのプログラムに対しては違反を検出しません。

16.1.2 アクセス制御領域

アクセス制御領域は 8 つまで定義することができます。各アクセス制御領域の範囲は、領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います ($n=0\sim7$)。

ページは、アクセス制御の最小単位であり、アドレス空間を 16 バイトごとに区切ったものです。アドレス [31:0] の上位 28 ビット ([31:4]) がページ番号に対応します。

各領域のアクセス制御情報と、その領域を有効にするかどうかは REPAGEn レジスタで指定します。

16.1.3 バックグラウンド領域

バックグラウンド領域は全アドレス空間 (0000 0000h ~ FFFF FFFFh) です。バックグラウンド領域のアクセス制御情報はバックグラウンドアクセス制御レジスタ (MPBAC) で設定します。バックグラウンド領域のアクセス制御情報は、8 つのアクセス制御領域と異なり、メモリプロテクション機能が有効 (MPEN.MPEN ビットが“1”) であれば有効となります。

16.1.4 領域のオーバーラップ

複数の領域がオーバーラップした場合のアクセス制御情報は、オーバーラップした領域 (バックグラウンド領域を含む) のアクセス制御ビットの論理和となり、許可が優先して設定されます。

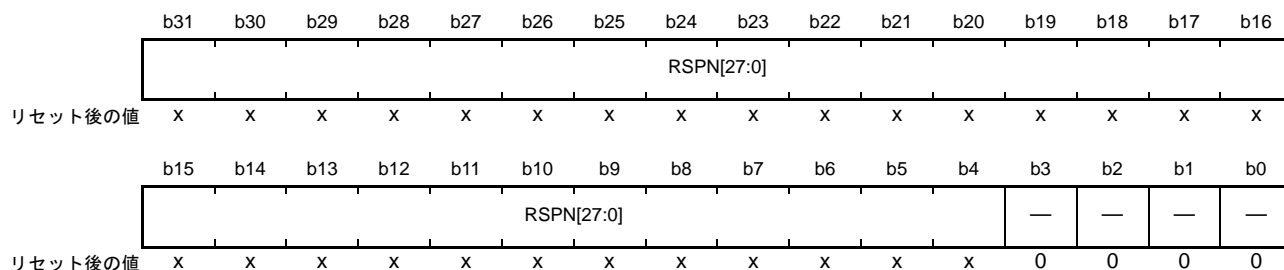
16.1.5 領域をまたぐ命令とデータ

異なるアクセス制御設定を行った領域にまたがるように配置された命令やデータに関するメモリプロテクションエラー検出動作は不定です。異なるアクセス制御設定を行った領域にまたがるように命令やデータを配置しないでください。

16.2 レジスタの説明

16.2.1 領域 n 開始ページ番号レジスタ (RSPAGEn) (n = 0 ~ 7)

アドレス RSPAGE0 0008 6400h, RSPAGE1 0008 6408h, RSPAGE2 0008 6410h, RSPAGE3 0008 6418h,
RSPAGE4 0008 6420h, RSPAGE5 0008 6428h, RSPAGE6 0008 6430h, RSPAGE7 0008 6438h



x : 不定

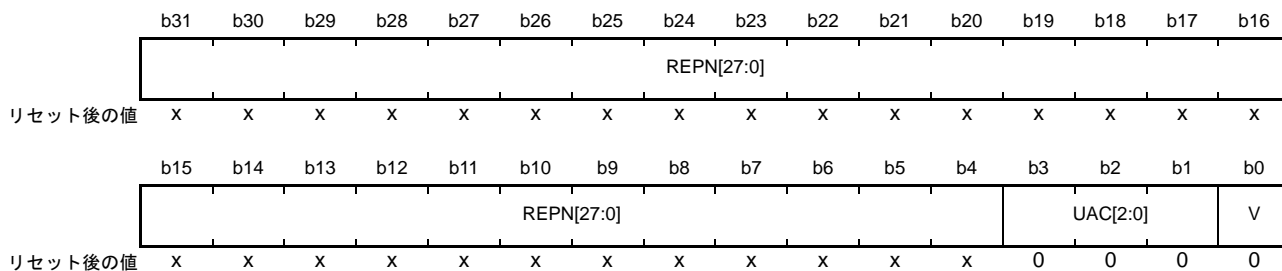
ビット	シンボル	ビット名	機能	R/W
b3-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b31-b4	RSPN[27:0]	領域開始ページ番号ビット	領域判定に使用する領域開始ページ番号情報	R/W

RSPN[27:0] ビット (領域開始ページ番号ビット)

領域開始ページ番号を設定します。

16.2.2 領域 n 終了ページ番号レジスタ (REPAGEn) (n = 0 ~ 7)

アドレス REPAGE0 0008 6404h, REPAGE1 0008 640Ch, REPAGE2 0008 6414h, REPAGE3 0008 641Ch,
 REPAGE4 0008 6424h, REPAGE5 0008 642Ch, REPAGE6 0008 6434h, REPAGE7 0008 643Ch



x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	V	有効ビット	0 : 領域設定無効 1 : 領域設定有効	R/W
b3-b1	UAC[2:0]	ユーザモード時アクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	REPN[27:0]	領域終了ページ番号ビット	領域判定に使用する領域終了ページ番号情報	R/W

V ビット (有効ビット)

該当する領域設定を有効にするか、無効にするかを選択します。

領域インバリデートオペレーションレジスタ (MPOPI) により 全アクセス制御領域のインバリデート (無効化) を行った場合、V ビットは“0”になります。

UAC[2:0] ビット (ユーザモード時アクセス制御ビット)

ユーザモード時のアクセス制御を設定します。

REPN[27:0] ビット (領域終了ページ番号ビット)

領域終了ページ番号を設定します。対応する領域の開始ページ番号と等しいか、大きな値を設定してください。領域終了ページ番号も、メモリプロテクション対象領域になります。

16.2.3 メモリプロテクション機能有効化レジスタ (MPEN)

アドレス 0008 6500h

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	MPEN
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPEN	メモリプロテクション機能有効化ビット	1:メモリプロテクション機能有効 0:メモリプロテクション機能無効	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

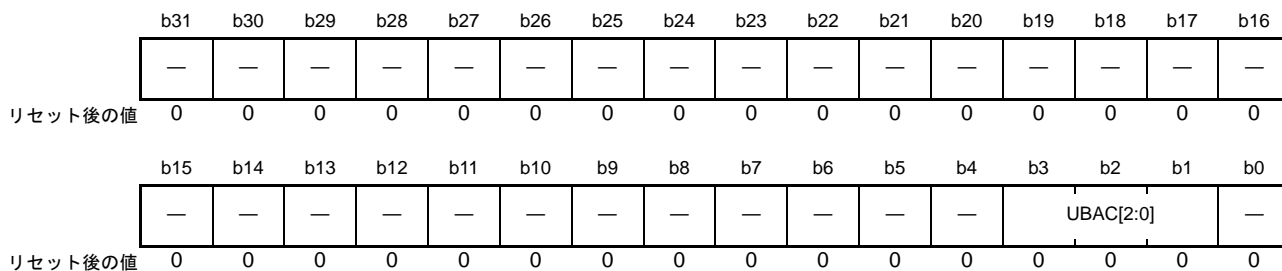
MPEN ビット (メモリプロテクション機能有効化ビット)

メモリプロテクション機能を有効にするか、無効にするかを選択します。

MPEN ビットに“1”を書いた後、ユーザモードへ移行する分岐命令 (RTE, RTFI) の実行により、CPU のメモリプロテクションによるアドレスチェックが開始されます。

16.2.4 バックグラウンドアクセス制御レジスタ (MPBAC)

アドレス 0008 6504h



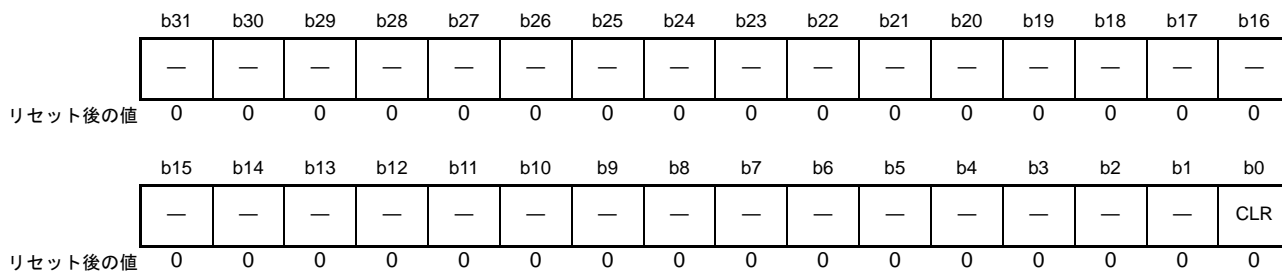
ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UBAC[2:0]	ユーザモード時バックグラウンドアクセス制御ビット	b3 0 : 読み出し禁止 1 : 読み出し許可 b2 0 : 書き込み禁止 1 : 書き込み許可 b1 0 : 実行禁止 1 : 実行許可	R/W
b31-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UBAC[2:0] ビット (ユーザモード時バックグラウンドアクセス制御ビット)

ユーザモード時のバックグラウンドアクセス制御を設定します。

16.2.5 メモリプロテクションエラーステータスクリアレジスタ (MPECLR)

アドレス 0008 6508h



ビット	シンボル	ビット名	機能	R/W
b0	CLR	エラーステータスクリアビット	【読み出し時】 0 : 読み出し固定 【書き込み時】 0 : 何もしない 1 : MPESTS.DRW, DMPER, IMPERビットを“0”にします	R/W
b31-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CLR ビット (エラーステータスクリアビット)

メモリプロテクションエラーステータスレジスタ (MPESTS) のデータリード/ライトビット (DRW)、データメモリプロテクションエラー発生ビット (DMPER)、命令メモリプロテクションエラー発生ビット (IMPER) を“0”にします。

16.2.6 メモリプロテクションエラーステータスレジスタ (MPESTS)

アドレス 0008 650Ch

	b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	DRW	DMPE R	IMPER
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IMPER	命令メモリプロテクションエラー発生ビット	0: 命令メモリプロテクションエラー発生なし 1: 命令メモリプロテクションエラー発生	R
b1	DMPER	データメモリプロテクションエラー発生ビット	0: データメモリプロテクションエラー発生なし 1: データメモリプロテクションエラー発生	R
b2	DRW	データリード/ライトビット	0: データリード 1: データライト	R
b31-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

IMPER ビット (命令メモリプロテクションエラー発生ビット)

命令実行によるメモリプロテクションエラー発生状態を示します。

IMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DMPER ビット (データメモリプロテクションエラー発生ビット)

オペランドアクセスによるメモリプロテクションエラー発生状態を示します。

DMPER ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることによってのみ、“0”になります。

DRW ビット (データリード/ライトビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアクセスのリード / ライト属性を示します。DRW ビットは、DMPER ビットが“1”の場合のみ有効です。

DRW ビットは、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、“0”になります。

16.2.7 データメモリプロテクションエラーアドレスレジスタ (MPDEA)

アドレス 0008 6514h



x : 不定

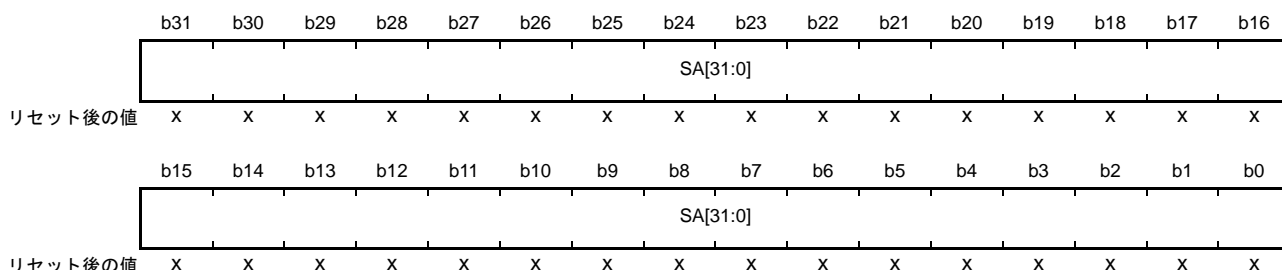
ビット	シンボル	ビット名	機能	R/W
b31-b0	DEA[31:0]	データメモリプロテクションエラーアドレスビット	データメモリプロテクションエラーアドレス	R

DEA[31:0] ビット (データメモリプロテクションエラーアドレスビット)

オペランドアクセスによるメモリプロテクションエラーを発生したアドレスを保持します。

16.2.8 領域サーチアドレスレジスタ (MPSA)

アドレス 0008 6520h



x : 不定

ビット	シンボル	ビット名	機能	R/W
b31-b0	SA[31:0]	領域サーチアドレスビット	領域サーチ用アドレス	R/W

SA[31:0] ビット (領域サーチアドレスビット)

領域サーチオペレーションで、領域 n 開始ページ番号レジスタ (RSPAGE_n) の領域開始アドレス、領域 n 終了ページ番号レジスタ (REPAGE_n) の領域終了アドレスと比較するアドレスを設定します。

16.2.9 領域サーチオペレーションレジスタ (MPOPS)

アドレス 0008 6524h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	S
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	S	領域サーチオペレーションビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 領域のサーチオペレーションを行う	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

S ビット (領域サーチオペレーションビット)

S ビットを“1”にすることにより、メモリプロテクションユニットは領域サーチオペレーションを行います。領域サーチアドレスレジスタ (MPSA) で指定されたアドレスと、各領域のアドレス情報との比較を行い、ヒットする領域をサーチします。

サーチ結果は、データヒット領域レジスタ (MHITD) のデータヒット領域ビット (HITD[7:0]) に格納されます。また、ヒットした領域のアクセス制御ビットの論理和が、ユーザモード時データヒット領域アクセス制御ビット (UHACD[2:0]) に格納されます。

16.2.10 領域インバリデートオペレーションレジスタ (MPOPI)

アドレス 0008 6526h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	INV
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

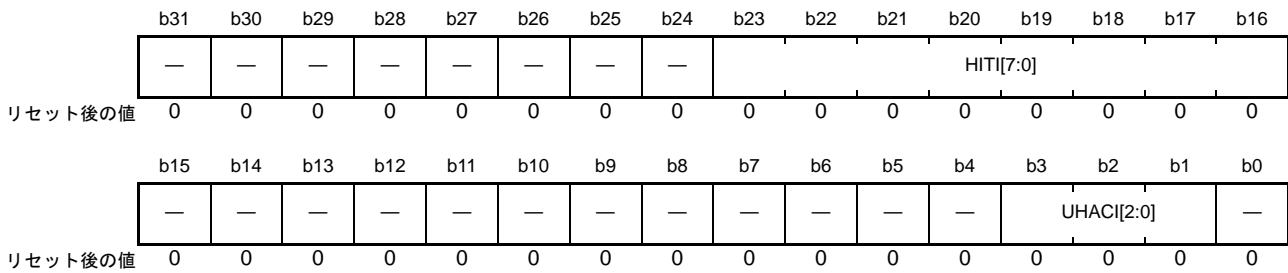
ビット	シンボル	ビット名	機能	R/W
b0	INV	領域インバリデート起動ビット	【読み出し時】 0: 読み出し固定 【書き込み時】 0: 何もしない 1: 全アクセス制御領域のインバリデート (無効化)	R/W
b15-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

INV ビット (領域インバリデート起動ビット)

INV ビットを“1”にすることにより、すべての領域 n 終了ページ番号レジスタ (REPAGEn) の有効ビット (V) を“0”にします。REPAGEn.V ビットを“0”にした後は、バックグラウンド領域のアクセス制御設定以外は無効となります。

16.2.11 命令ヒット領域レジスタ (MHITI)

アドレス 0008 6528h



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACI[2:0]	ユーザモード時命令ヒット領域アクセス制御ビット	b3 0：読み出し禁止 1：読み出し許可 b2 0：書き込み禁止 1：書き込み許可 b1 0：実行禁止 1：実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITI[7:0]	命令ヒット領域ビット	命令メモリプロテクションエラー発生ビット (MPESTS.IMPER) = 1のとき、[b23:b16] = 0000 0000b：バックグラウンド領域で命令メモリプロテクションエラー 上記以外 b23 0：領域7で命令メモリプロテクションエラーなし 1：領域7で命令メモリプロテクションエラーあり b22 0：領域6で命令メモリプロテクションエラーなし 1：領域6で命令メモリプロテクションエラーあり b21 0：領域5で命令メモリプロテクションエラーなし 1：領域5で命令メモリプロテクションエラーあり b20 0：領域4で命令メモリプロテクションエラーなし 1：領域4で命令メモリプロテクションエラーあり b19 0：領域3で命令メモリプロテクションエラーなし 1：領域3で命令メモリプロテクションエラーあり b18 0：領域2で命令メモリプロテクションエラーなし 1：領域2で命令メモリプロテクションエラーあり b17 0：領域1で命令メモリプロテクションエラーなし 1：領域1で命令メモリプロテクションエラーあり b16 0：領域0で命令メモリプロテクションエラーなし 1：領域0で命令メモリプロテクションエラーあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACI[2:0] ビット (ユーザモード時命令ヒット領域アクセス制御ビット)

UHACI[2:0] ビットは、命令メモリプロテクションエラーが発生した領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

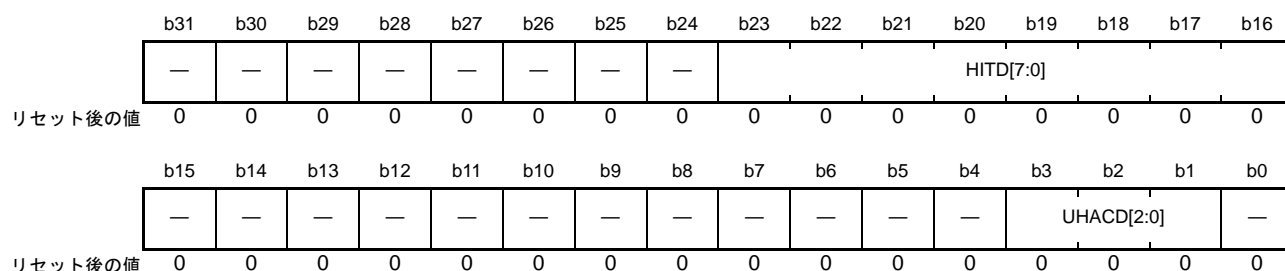
オーバーラップした領域でエラーが発生した場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時アクセス制御ビットの論理和を保持します。

HITI[7:0] ビット (命令ヒット領域ビット)

HITI[7:0] ビットは、命令メモリプロテクションエラーが発生した領域を示します。バックグラウンド領域で命令メモリプロテクションエラーが発生したときは、HITI[7:0] ビットは“0000 0000b”にセットされます。

16.2.12 データヒット領域レジスタ (MHITD)

アドレス 0008 652Ch



ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3-b1	UHACD[2:0]	ユーザモード時 データヒット領域 アクセス制御ビット	b3 0: 読み出し禁止 1: 読み出し許可 b2 0: 書き込み禁止 1: 書き込み許可 b1 0: 実行禁止 1: 実行許可	R
b15-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b23-b16	HITD[7:0]	データヒット領域 ビット	データメモリプロテクションエラー発生ビット (MPESTS.DMPER) = 1のとき、[b23:b16] = 0000 0000b : バックグラウンド領域でデータメモリプロテクションエラー 上記以外 b23 0: 領域7でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域7でデータメモリプロテクションエラーあり、またはサーチヒットあり b22 0: 領域6でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域6でデータメモリプロテクションエラーあり、またはサーチヒットあり b21 0: 領域5でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域5でデータメモリプロテクションエラーあり、またはサーチヒットあり b20 0: 領域4でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域4でデータメモリプロテクションエラーあり、またはサーチヒットあり b19 0: 領域3でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域3でデータメモリプロテクションエラーあり、またはサーチヒットあり b18 0: 領域2でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域2でデータメモリプロテクションエラーあり、またはサーチヒットあり b17 0: 領域1でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域1でデータメモリプロテクションエラーあり、またはサーチヒットあり b16 0: 領域0でデータメモリプロテクションエラーなし、またはサーチヒットなし 1: 領域0でデータメモリプロテクションエラーあり、またはサーチヒットあり	R
b31-b24	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

UHACD[2:0] ビット (ユーザモード時 データヒット領域 アクセス制御ビット)

UHACD[2:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域のユーザモード時アクセス制御ビット (REPAGEn.UAC[2:0]) を保持します。

オーバーラップした領域でエラーが発生した場合、もしくは領域サーチでヒットした場合、該当する領域 (バックグラウンド領域も含む) のユーザモード時のアクセス制御ビットの論理和を保持します。

HITD[7:0] ビット (データヒット領域 ビット)

HITD[7:0] ビットは、データメモリプロテクションエラーが発生した領域、もしくは領域サーチでヒットした領域を示します。バックグラウンド領域でデータメモリプロテクションエラーが発生したとき、HITD[7:0] ビットは“0000 0000b”にセットされます。

注. ユーザモードでメモリプロテクションユニットのレジスタにアクセスしてデータメモリプロテクションエラーが発生した場合には、MHITD レジスタの値は 0000 0000h になります。

16.3 機能

16.3.1 メモリプロテクション機能

メモリプロテクション機能は、アクセス制御領域とバックグラウンド領域に設定されたアクセス制御情報に従って、ユーザモードのプログラムがアクセス制御情報に違反したアクセスを行わないかどうかを監視する機能です。アクセス制御違反（メモリプロテクションエラー）を検出した場合は、メモリプロテクションユニットはCPUへその情報を通知し、CPUはアクセス例外処理を開始します。

メモリプロテクション機能は、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にすることで有効になります。

命令の実行違反を検出した場合には命令メモリプロテクションエラーが、オペランドアクセスの読み出し、書き込み違反を検出した場合にはデータメモリプロテクションエラーが発生します。データメモリプロテクションエラー発生時は、アクセス制御違反を起こしたオペランドアクセスは実行されません。

16.3.2 領域サーチ機能

領域サーチ機能は、ある特定のアドレスが8つのアクセス制御領域のどの領域にヒットするのか、また、そのアドレスのアクセス制御情報（実行許可、読み出し許可、書き込み許可）がどのように設定されているかを調べる機能です。

領域サーチオペレーションレジスタ (MPOPS) の領域サーチオペレーションビット (S) を“1”にすることにより、領域サーチアドレスレジスタ (MPSA) で指定したアドレスと、各領域のアドレスの比較を行います。領域サーチ実行後のデータヒット領域レジスタ (MHITD) は、ヒットした領域と各領域のアクセス制御情報の論理和を示します。

16.3.3 メモリプロテクションユニット関連レジスタの保護

メモリプロテクションユニット関連レジスタへは、CPUのオペランドアクセス以外の手段（命令フェッチ、DMA）ではアクセスできません。メモリプロテクションユニット関連レジスタへは、スーパーバイザモードのみアクセスすることができます。ユーザモードでCPUのオペランドアクセスでメモリプロテクションユニット関連レジスタへのアクセスを行った場合には、メモリプロテクション機能が有効かどうかに関わらずデータメモリプロテクションエラーが発生します。

16.3.4 メモリプロテクション機能のアクセス判定フロー

図 16.2 にデータアクセス判定フローを、図 16.3 に命令アクセス判定フローを示します。

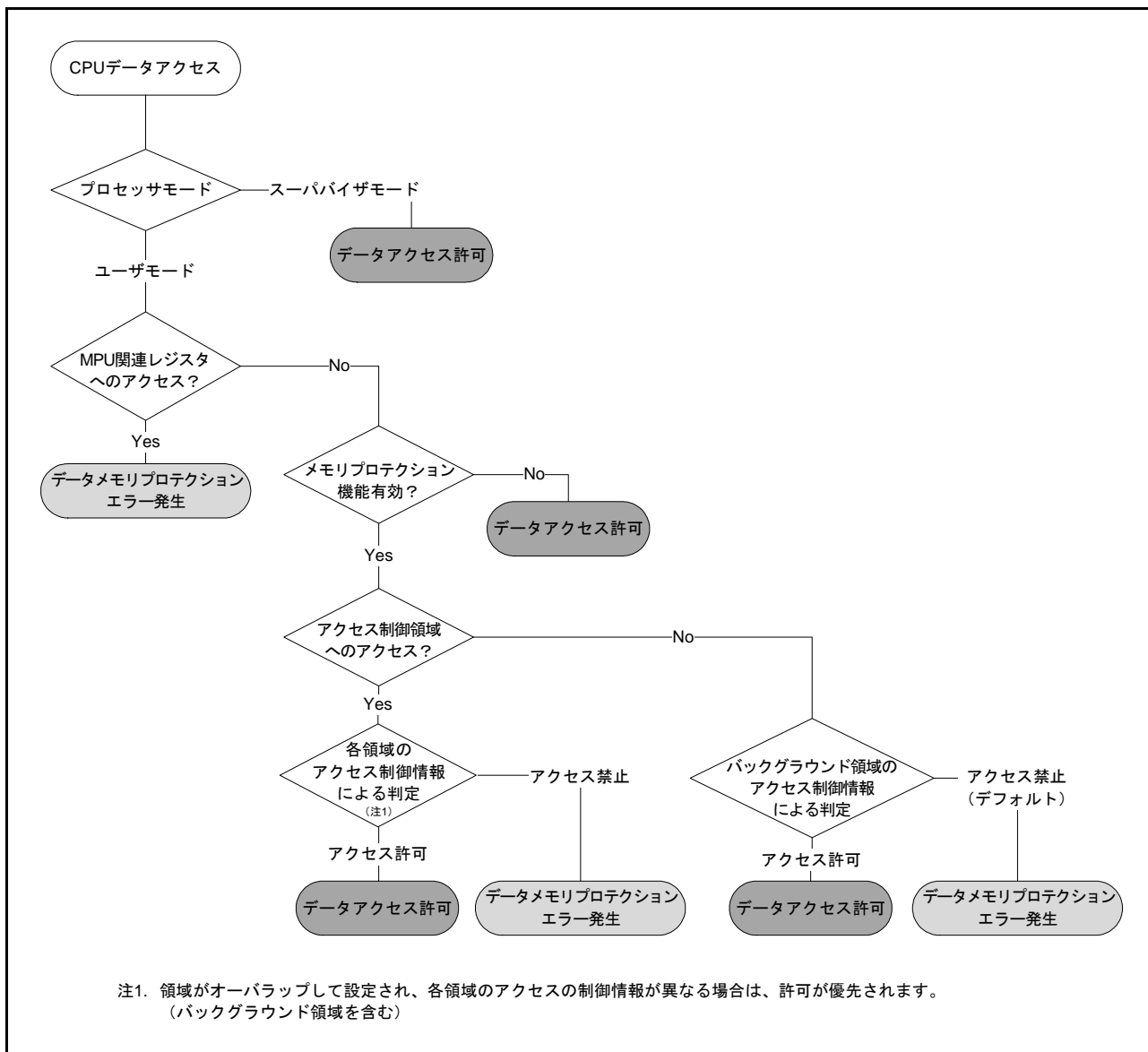


図 16.2 データアクセス判定フロー

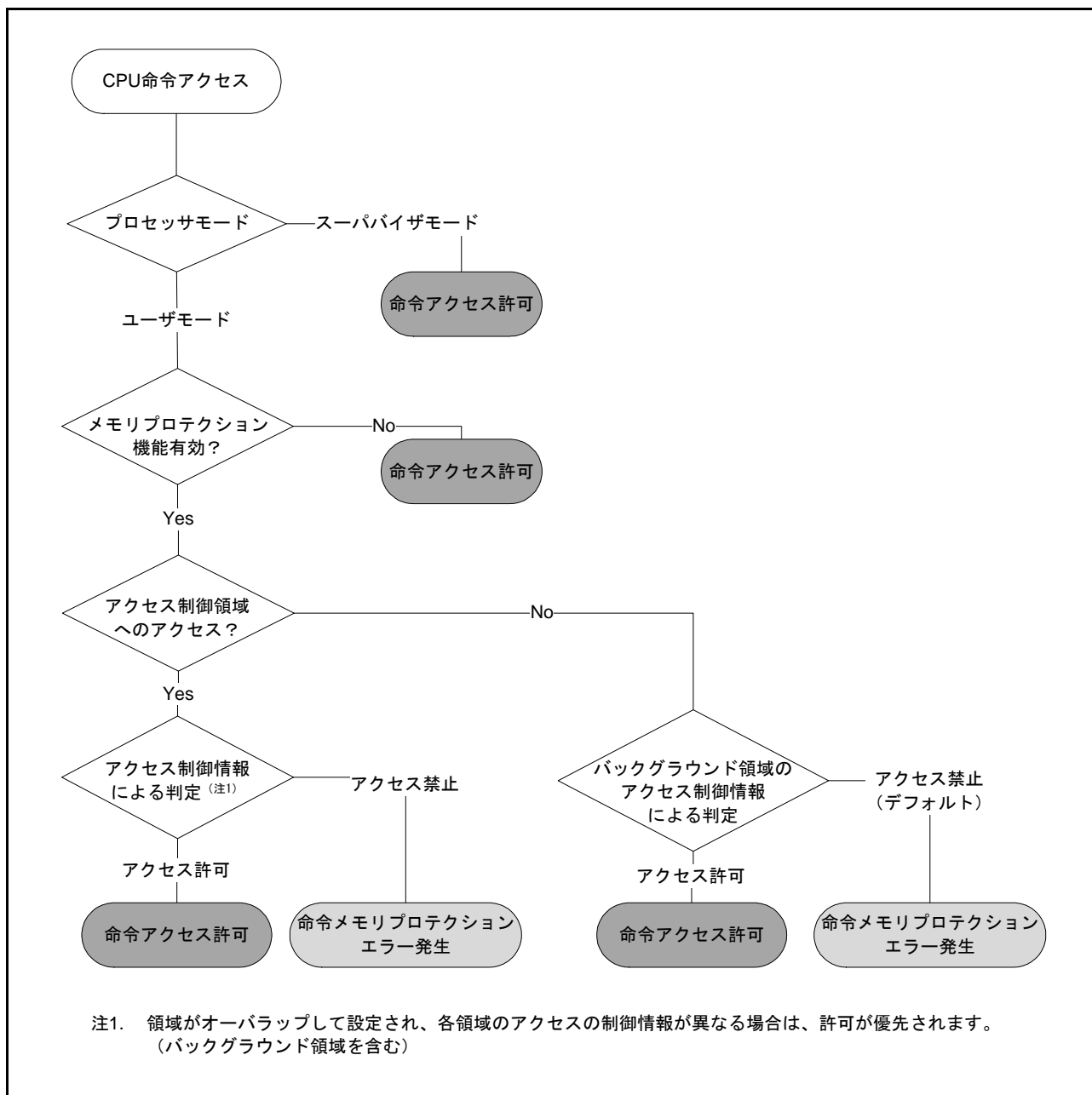


図 16.3 命令アクセス判定フロー

16.4 メモリプロテクション機能使用手順

16.4.1 アクセス制御情報の設定

スーパーバイザモードで、各領域のアクセス制御情報を設定します。

最大 8 つのアクセス制御領域の設定を領域 n 開始ページ番号レジスタ (RSPAGEn) および領域 n 終了ページ番号レジスタ (REPAGEn) で行います (n=0~7)。

バックグラウンドアクセス制御領域の設定をバックグラウンドアクセス制御レジスタ (MPBAC) で行います。

16.4.2 メモリプロテクション機能の有効化

スーパーバイザモードで、メモリプロテクション機能有効化レジスタ (MPEN) のメモリプロテクション機能有効化ビット (MPEN) を“1”にします。

16.4.3 ユーザモードへの移行

メモリプロテクションユニット関連レジスタの設定を書き換えた後は、ユーザモードへ移行する前に、必ずいずれかのメモリプロテクションユニット関連レジスタを読み出し、値が設定されたことを確認した後 (読み出し値を使った演算実行後) にユーザモードへ移行してください。スーパーバイザモードからユーザモードへは、以下のいずれかの方法で移行します。

- スタック領域に退避されたプロセッサステータスワード (PSW) のプロセッサモード設定ビット (PM) を“1” (ユーザモードに設定) にした後、RTE 命令を実行
- バックアップ PSW (BPSW) の PM ビットを“1”にした後、RTFI 命令を実行

注. MVTC, POPC 命令による PSW.PM ビットの書き換えは無効です。RTE 命令、あるいは RTFI 命令で PSW.PM ビットの値を変更してください。

ユーザモードに移行することにより、メモリプロテクションユニットは、CPU の命令実行アドレスおよびオペランドアクセスアドレスのチェックを開始します。

16.4.4 メモリプロテクションエラー発生時の処理

アクセス制御情報違反 (メモリプロテクションエラー) を検出すると、CPU はアクセス例外処理を開始します。アクセス例外処理の CPU 動作の詳細は、「13. 例外処理」を参照してください。

例外処理ルーチン内で、メモリプロテクションエラーステータスレジスタ (MPESTS) の命令メモリプロテクションエラー発生ビット (IMPER) およびデータメモリプロテクションエラー発生ビット (DMPER) を確認し、命令メモリプロテクションエラーか、データメモリプロテクションエラーのどちらが発生したかを判別します。

確認後は、メモリプロテクションエラーステータスクリアレジスタ (MPECLR) のエラーステータスクリアビット (CLR) を“1”にすることで、MPESTS レジスタをクリアします。

(1) データメモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生したオペランドアクセスアドレスが、データメモリプロテクションエラーアドレスレジスタ (MPDEA) に格納され、メモリプロテクションエラーを発生した領域情報がデータヒット領域レジスタ (MHITD) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応したデータヒット領域ビット (MHITD.HITD[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつバックグラウンド領域のアクセス制御に違反した場合

データヒット領域ビット (MHITD.HITD[7:0]) は、“0000 0000b”になります。バックグラウンド領域のアクセス制御情報が、ユーザモード時データヒット領域アクセス制御ビット (MHITD.UHACD[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

(2) 命令メモリプロテクションエラー発生時

メモリプロテクションエラーを発生した命令のアドレスが、CPUのアクセス例外処理によってスタックに退避されています。また、メモリプロテクションエラーを発生した領域情報が、命令ヒット領域レジスタ (MHITI) に格納されます。

- 有効な領域 0 ~ 7 にアクセスしたが、アクセス制御に違反した場合

エラーを発生した領域番号に対応した命令ヒット領域ビット (MHITL.HITI[7:0]) が“1”になります。エラーを発生した領域アクセス制御情報の論理和が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

- 有効な領域 0 ~ 7 の領域外にアクセスし、かつ、バックグラウンド領域のアクセス制御に違反した場合

命令ヒット領域ビット (MHITL.HITI[7:0]) は、“0000 0000b”になります。バックグラウンド領域アクセス制御が、ユーザモード時命令ヒット領域アクセス制御ビット (MHITL.UHACI[2:0]) にセットされます。

これらの情報を参照することで、エラー原因の特定などの処理を行うことができます。

17. データトランスファコントローラ (DTCa)

本 MCU は、データトランスファコントローラ (DTC) を内蔵しています。
DTC は、割り込み要求によって起動し、データ転送を行うことができます。

17.1 概要

表 17.1 に DTC の仕様を、図 17.1 に DTC のブロック図を示します。

表 17.1 DTC の仕様

項目	内容
転送モード	<ul style="list-style-type: none"> ノーマル転送モード 1回の起動で1データ転送する リピート転送モード 1回の起動で1データ転送する リピートサイズ分データを転送すると転送開始アドレスに復帰 リピート回数は最大256回設定可能で、256 × 32ビットで、最大1024バイト転送可能 ブロック転送モード 1回の起動で1ブロックのデータを転送する ブロックサイズは、最大256 × 32ビット = 1024バイト設定可能
転送チャンネル	<ul style="list-style-type: none"> 割り込み要因に対応するチャンネルの転送が可能 (ICUからのDTC転送要求で転送) 1回の転送要求に対して複数のデータ転送が可能 (チェーン転送) チェーン転送は「カウンタ=0のとき実施」/「毎回実施」のいずれかを選択可能
転送空間	<ul style="list-style-type: none"> ショートアドレスモードのとき16Mバイト ("0000 0000h" ~ "007F FFFFh" と "FF80 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域) フルアドレスモードのとき4Gバイト ("0000 0000h" ~ "FFFF FFFFh" のうち、予約領域以外の領域)
データ転送単位	<ul style="list-style-type: none"> 1データ : 1バイト (8ビット)、1ワード (16ビット)、1ロングワード (32ビット) 1ブロックサイズ : 1 ~ 256データ
CPU割り込み要求	<ul style="list-style-type: none"> DTCを起動した割り込みでCPUへの割り込み要求を発生可能 1回のデータ転送終了後にCPUへの割り込み要求を発生可能 指定したデータ数のデータ転送終了後にCPUへの割り込み要求を発生可能
リードスキップ	転送情報のリードスキップを指定可能
ライトバックスキップ	転送元アドレス固定の場合、または転送先アドレス固定の場合、ライトバックスキップを実行可能
消費電力低減機能	モジュールストップ状態への設定が可能

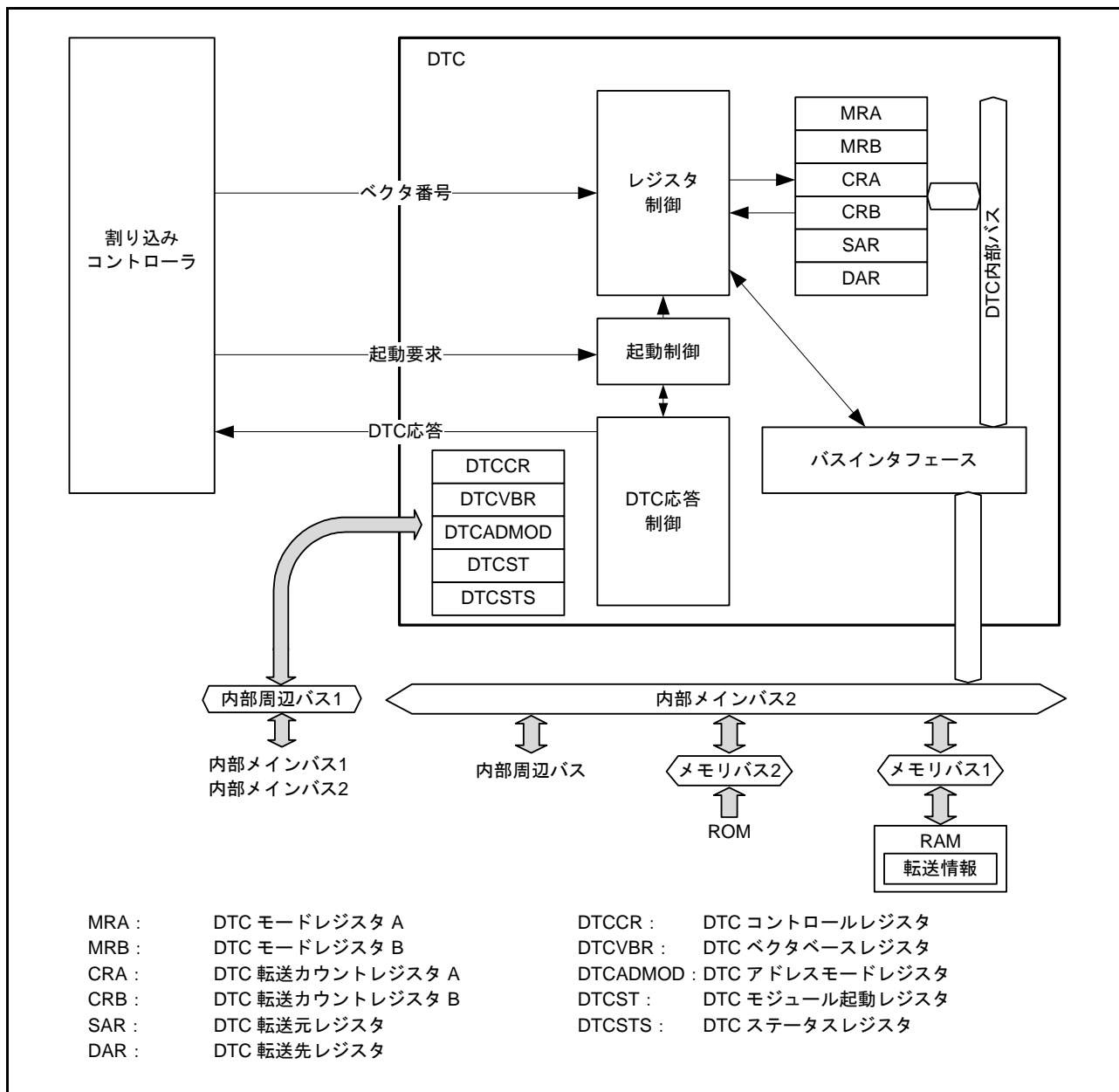


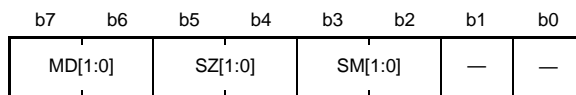
図 17.1 DTC のブロック図

17.2 レジスタの説明

MRA、MRB、SAR、DAR、CRA、CRB レジスタはDTCの内部レジスタです。CPUから直接アクセスすることはできません。これら内部レジスタの設定値はRAM領域に転送情報として配置します。DTCは転送要求が発生すると、RAM領域から転送情報を読み出し、内部レジスタに設定します。データ転送が行われた後、DTCの内部レジスタは転送情報としてRAM領域にライトバックされます。

17.2.1 DTC モードレジスタ A (MRA)

アドレス (CPUから直接アクセス不可)



リセット後の値 x x x x x x x x

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	SM[1:0]	転送元アドレスアドレッシングモードビット	b3 b2 0 0 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 0 1 : SARレジスタはアドレス固定 (SARレジスタのライトバックはスキップされます) 1 0 : 転送後SARレジスタをインクリメント (SZ[1:0]ビットが“00b”のとき1、“01b”のとき+2、“10b”のとき+4) 1 1 : 転送後SARレジスタをデクリメント (SZ[1:0]ビットが“00b”のとき-1、“01b”のとき-2、“10b”のとき-4)	—
b5-b4	SZ[1:0]	DTCデータトランスファサイズビット	b5 b4 0 0 : バイト (8ビット) 転送 0 1 : ワード (16ビット) 転送 1 0 : ロングワード (32ビット) 転送 1 1 : 設定しないでください	—
b7-b6	MD[1:0]	DTC転送モード選択ビット	b7 b6 0 0 : ノーマル転送モード 0 1 : リピート転送モード 1 0 : ブロック転送モード 1 1 : 設定しないでください	—

MRA レジスタは、CPU から直接アクセスすることはできません。

17.2.2 DTC モードレジスタ B (MRB)

アドレス (CPUから直接アクセス不可)

	b7	b6	b5	b4	b3	b2	b1	b0
	CHNE	CHNS	DISEL	DTS	DM[1:0]	—	—	
リセット後の値	X	X	X	X	X	X	X	X

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“0”としてください	—
b3-b2	DM[1:0]	転送先アドレスアドレッシングモードビット	b3 b2 0 0: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 0 1: DAR レジスタはアドレス固定 (DAR レジスタのライトバックはスキップされます) 1 0: 転送後、DAR レジスタをインクリメント (MRA.SZ[1:0] ビットが“00b”のとき+1、 “01b”のとき+2、“10b”のとき+4) 1 1: 転送後DAR レジスタをデクリメント (MRA.SZ[1:0] ビットが“00b”のとき-1、 “01b”のとき-2、“10b”のとき-4)	—
b4	DTS	DTC 転送モード選択ビット	0: 転送先がリピート領域またはブロック領域 1: 転送元がリピート領域またはブロック領域	—
b5	DISEL	DTC 割り込み選択ビット	0: 指定されたデータ転送終了時、CPU への割り込みが発生 1: DTC データ転送のたびに、CPU への割り込みが発生	—
b6	CHNS	DTC チェーン転送選択ビット	0: 連続してチェーン転送を行う 1: 転送カウンタが1→0、または1→CRAHとなったとき、 チェーン転送を行う	—
b7	CHNE	DTC チェーン転送許可ビット	0: チェーン転送禁止 1: チェーン転送許可	—

MRB レジスタは、CPU から直接アクセスすることはできません。

DTS ビット (DTC 転送モード選択ビット)

リピート転送モードまたはブロック転送モードのとき、転送元と転送先のいずれをリピート領域またはブロック領域とするかを指定します。

CHNS ビット (DTC チェーン転送選択ビット)

チェーン転送の条件を選択します。

CHNE ビットが“0”のときは CHNS ビットの設定は無視されます。チェーン転送が選択される条件の詳細は、「表 17.3 チェーン転送の条件」を参照してください。

次の転送がチェーン転送の場合、指定した転送回数の終了判定、割り込みステータスフラグのクリアは行われず、CPU への割り込み要求は発生しません。

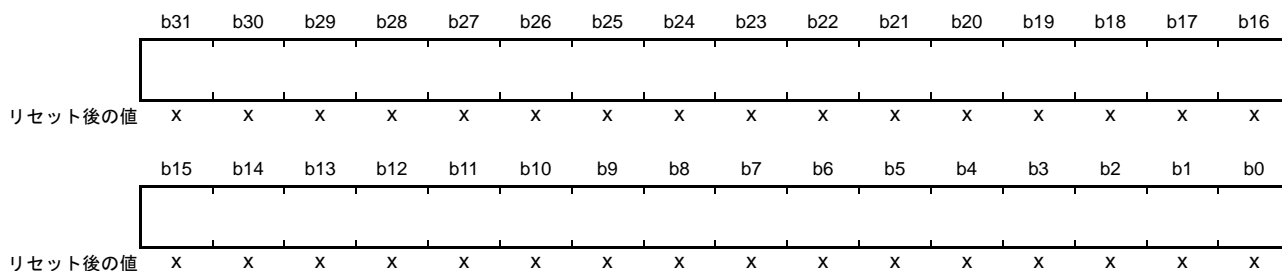
CHNE ビット (DTC チェーン転送許可ビット)

チェーン転送を指定します。

チェーン転送の条件の選択は、CHNS ビットで行います。チェーン転送の詳細は、「17.4.6 チェーン転送」を参照してください。

17.2.3 DTC 転送元レジスタ (SAR)

アドレス (CPUから直接アクセス不可)



x: 不定

SAR レジスタは、転送元の開始アドレスを設定するレジスタです。

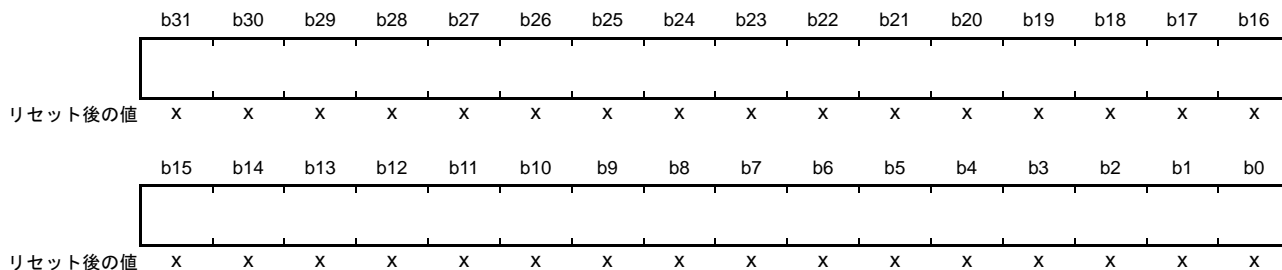
フルアドレスモードでは 32 ビットが有効となります。

ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

SAR レジスタは CPU から直接アクセスすることはできません。

17.2.4 DTC 転送先レジスタ (DAR)

アドレス (CPUから直接アクセス不可)



x: 不定

DAR レジスタは、転送先の開始アドレスを設定するレジスタです。

フルアドレスモードでは 32 ビットが有効となります。

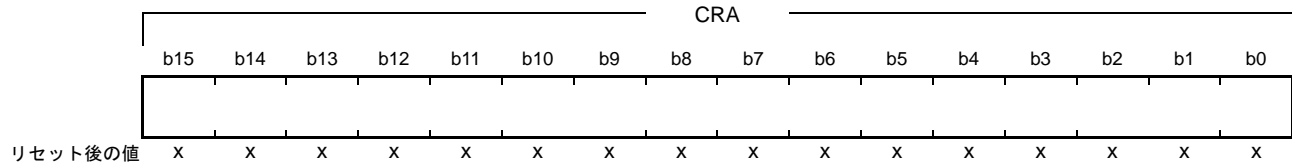
ショートアドレスモードでは下位 24 ビットが有効で、上位 8 ビット (b31~b24) の設定は無視され、b23 で指定した値でビット拡張を行います。

DAR レジスタは CPU から直接アクセスすることはできません。

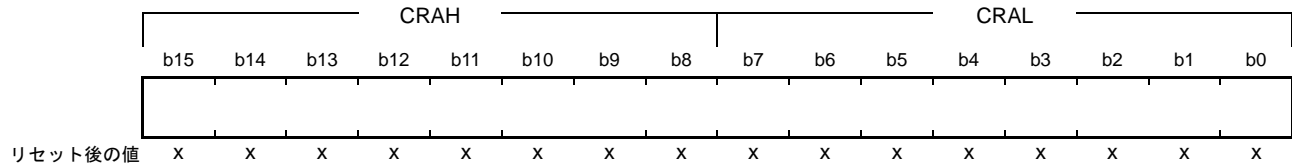
17.2.5 DTC 転送カウンタレジスタ A (CRA)

アドレス (CPUから直接アクセス不可)

・ ノーマル転送モード



・ リピート転送モード、ブロック転送モード



x: 不定

シンボル	レジスタ名	機能	R/W
CRAL	転送カウンタA下位レジスタ	転送回数を設定します	—
CRAH	転送カウンタA上位レジスタ		—

注. 転送モードによって機能が異なります。

注. リピート転送モード時およびブロック転送モード時は、CRAH、CRALレジスタには同じ値を設定してください。

CRA レジスタはCPUから直接アクセスすることはできません。

(1) ノーマル転送モードの場合 (MRA.MD[1:0] ビット = 00b)

ノーマル転送モードでは、CRA レジスタは16ビットの転送カウンタとして機能します。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

1回のデータ転送を行うたびにデクリメント (-1) されます。

(2) リピート転送モードの場合 (MRA.MD[1:0] ビット = 01b)

CRAH レジスタは転送回数を保持し、CRAL レジスタは8ビットの転送カウンタとして機能します。

転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回、“00h”のときは256回となります。

CRAL レジスタは1回のデータ転送を行うたびにデクリメント (-1) され、“00h”になるとCRAHレジスタの値が転送されます。

(3) ブロック転送モードの場合 (MRA.MD[1:0] ビット = 10b)

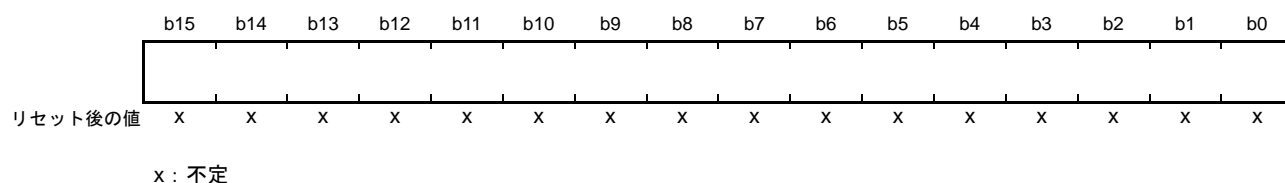
CRAH レジスタはブロックサイズを保持し、CRAL レジスタは8ビットのブロックサイズカウンタとして機能します。

転送回数は、設定値が“01h”のときは1回、“FFh”のときは255回、“00h”のときは256回となります。

CRAL レジスタは1回のデータ転送を行うたびにデクリメント (-1) され、“00h”になるとCRAHレジスタの値が転送されます。

17.2.6 DTC 転送カウントレジスタ B (CRB)

アドレス (CPUから直接アクセス不可)



CRB レジスタは、ブロック転送モード時のブロック転送回数を指定するレジスタです。

転送回数は、設定値が“0001h”のときは1回、“FFFFh”のときは65535回、“0000h”のときは65536回となります。

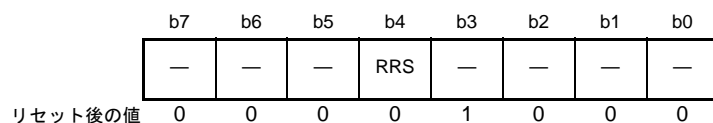
1ブロックサイズの最終データ転送時にデクリメント(-1)されます。

ノーマル転送モードおよびリピート転送モード設定時は、CRB レジスタを使用しません。設定値は無視されます。

CRB レジスタは、CPU から直接アクセスすることはできません。

17.2.7 DTC コントロールレジスタ (DTCCR)

アドレス DTC.DTCCR 0008 2400h



ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b4	RRS	DTC 転送情報リードスキップ許可ビット	0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき、転送情報リードスキップを行う	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

RRS ビット (DTC 転送情報リードスキップ許可ビット)

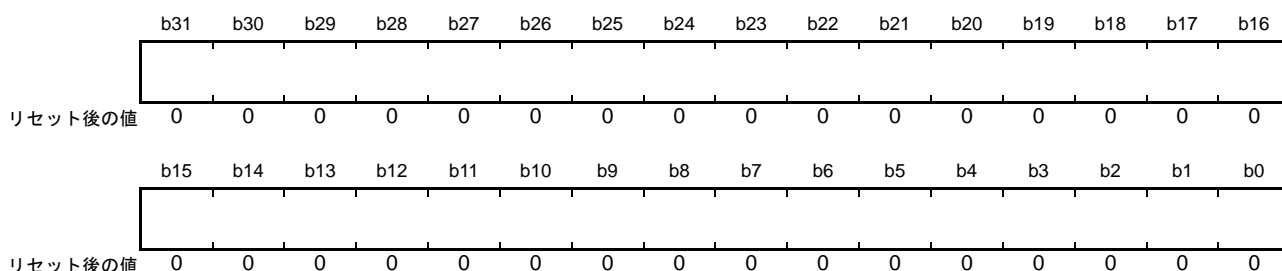
DTC ベクタ番号は、前回起動のベクタ番号と比較されます。

ベクタ番号が一致し RRS ビットが“1”のとき、転送情報リードを行わず DTC のデータ転送を行います。ただし、前回の起動がチェーン転送のときは、RRS ビットの値に関わらず転送情報リードが行われます。

また、前回の転送が、ノーマル転送で転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、RRS ビットの値に関わらず転送情報リードが行われます。

17.2.8 DTC ベクタベースレジスタ (DTCVBR)

アドレス DTC.DTCVBR 0008 2404h

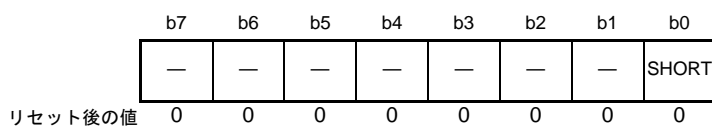


DTCVBR レジスタは、DTC ベクタテーブルアドレス算出時のベースアドレスを設定するレジスタです。上位 4 ビットへの書き込みは無視され、b27 の値が拡張されて設定されます。また、下位 10 ビットは予約ビットで、値は“0”固定です。書く場合、“0”を書いてください。

0000 0000h ~ 07FF FC00h、および F800 0000h ~ FFFF FC00h の範囲で、1K バイト単位で設定可能です。

17.2.9 DTC アドレスモードレジスタ (DTCADMOD)

アドレス DTC.DTCADMOD 0008 2408h



ビット	シンボル	ビット名	機能	R/W
b0	SHORT	ショートアドレスモード設定ビット	0: フルアドレスモード 1: ショートアドレスモード	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCADMOD レジスタは、DTC がアクセス可能な領域を設定するレジスタです。

SHORT ビット (ショートアドレスモード設定ビット)

フルアドレスモードでは、4G バイト空間 (0000 0000h ~ FFFF FFFFh) のアクセスが可能です。

ショートアドレスモードでは、16M バイト空間 (0000 0000h ~ 007F FFFFh と FF80 0000h ~ FFFF FFFFh) のアクセスが可能です。

17.2.10 DTC モジュール起動レジスタ (DTCST)

アドレス DTC.DTCST 0008 240Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DTCST
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DTCST	DTCモジュール起動ビット	0 : DTCモジュール停止 1 : DTCモジュール動作	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DTCST ビット (DTC モジュール起動ビット)

DTC を転送要求受け付け可能とするためには、DTCST ビットを“1”にしてください。DTCST ビットを“0”にすると新たな転送要求を受け付けません。

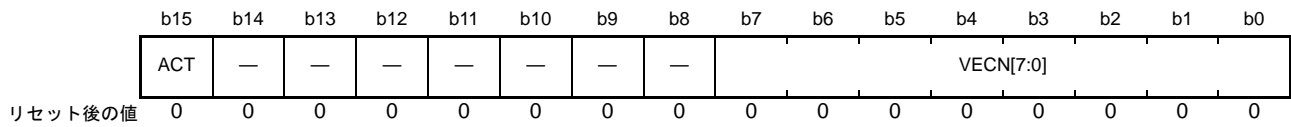
動作中に“0”に書き換えた場合、受け付け済みの転送要求は処理が終わるまで動作します。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST ビットを“0”にしてください。

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへの移行については「17.8 消費電力低減機能」、および「11. 消費電力低減機能」を参照してください。

17.2.11 DTC ステータスレジスタ (DTCSTS)

アドレス DTC.DTCSTS 0008 240Eh



ビット	シンボル	ビット名	機能	R/W
b7-b0	VECN[7:0]	DTC アクティブベクタ番号モニタビット	DTC 転送動作中にその起動要因をベクタ番号で示します DTC 転送動作中 (ACT フラグが“1”のとき) にのみ有効値を示します	R
b14-b8	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b15	ACT	DTC アクティブフラグ	0 : DTC 転送動作なし 1 : DTC 転送動作中	R

VECN[7:0] ビット (DTC アクティブベクタ番号モニタビット)

DTC 転送動作中に、その転送の起動要因をベクタ番号で示します。

DTCSTS レジスタを読んだときに、ACT フラグが“1” (DTC 転送動作中) であれば、読み出された VECN[7:0] ビットの値は有効値を示しています。DTCSTS レジスタを読んだときに ACT フラグが“0” (DTC 転送動作なし) であれば、読み出された VECN[7:0] ビットの値は無効値です。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。

ACT フラグ (DTC アクティブフラグ)

DTC の転送動作状態を示します。

[“1” になる条件]

- 転送要求に対して DTC が起動したとき

[“0” になる条件]

- 1 回の転送要求に対する DTC 動作が終了したとき

17.3 起動要因

DTC は割り込み要求によって起動します。DTC を起動する割り込みに対応する ICU.DTCERn.DTCE ビット (n = 割り込みベクタ番号) を “1” にすると DTC 起動要因となります。

DTC 起動要因とベクタアドレスの関係は、「14. 割り込みコントローラ (ICUb)」の「14.3.1 割り込みのベクタテーブル」を参照してください。また、ソフトウェア起動については、「14. 割り込みコントローラ (ICUb)」の「14.2.5 ソフトウェア割り込み起動レジスタ (SWINTR)」を参照してください。

DTC が一度、転送要求を受け付けると、その 1 要求分の転送が終わるまでは、優先順位に関わりなく新たな転送要求を受け付けません。DTC 転送中に複数の転送要求が発生した場合、その転送が終わった時点で最も優先順位の高い要求が受け付けられます。DTC モジュール起動ビット (DTCST.DTCST) が “0” の状態で複数の転送要求が発生した場合、その後、DTCST.DTCST ビットを “1” にした時点で最も優先順位の高い要求が受け付けられます。

1 回のデータ転送 (チェーン転送の場合、連続した最後の転送) を行うごとに、DTC は以下の動作を行います。

- 指定した総転送数の最終終了時は、データ転送後に ICU.DTCERn.DTCE ビットを “0” にして CPU に割り込みを要求します。
- MRB.DISEL ビットが “1” のときは、データ転送後に CPU に割り込みを要求します。
- 上記のいずれでもない場合は、データ転送開始時に起動要因となった割り込みステータスフラグを “0” にします。

17.3.1 転送情報の配置と DTC ベクタテーブル

DTC は起動要因別に DTC ベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報を読みます。

DTC ベクタテーブルは、ベースアドレス (先頭アドレス) の下位 10 ビットが “0” になるように、1K バイト境界に配置してください。DTC ベクタテーブルのベースアドレスは、DTC ベクタベースレジスタ (DTCVBR) に設定してください。

転送情報は、RAM 領域に配置します。ベクタ番号 n の転送情報 (n) の先頭アドレスは、ベクタテーブルのベースアドレスに対し、 $+4n$ 番地としてください。

転送情報は、ショートアドレスモード (3 ロングワード)、フルアドレスモード (4 ロングワード) のいずれかで配置できます。DTCADMOD.SHORT ビットで、ショートアドレスモード (SHORT ビット = 1)、フルアドレスモード (SHORT ビット = 0) の設定を行います。

DTC ベクタテーブルと転送情報の対応を図 17.2 に示します。

RAM 領域上の転送情報の配置を図 17.3 に示します。配置領域のエンディアンによって下位アドレスが異なります。詳細は、「17.9.2 転送情報の配置」を参照してください。

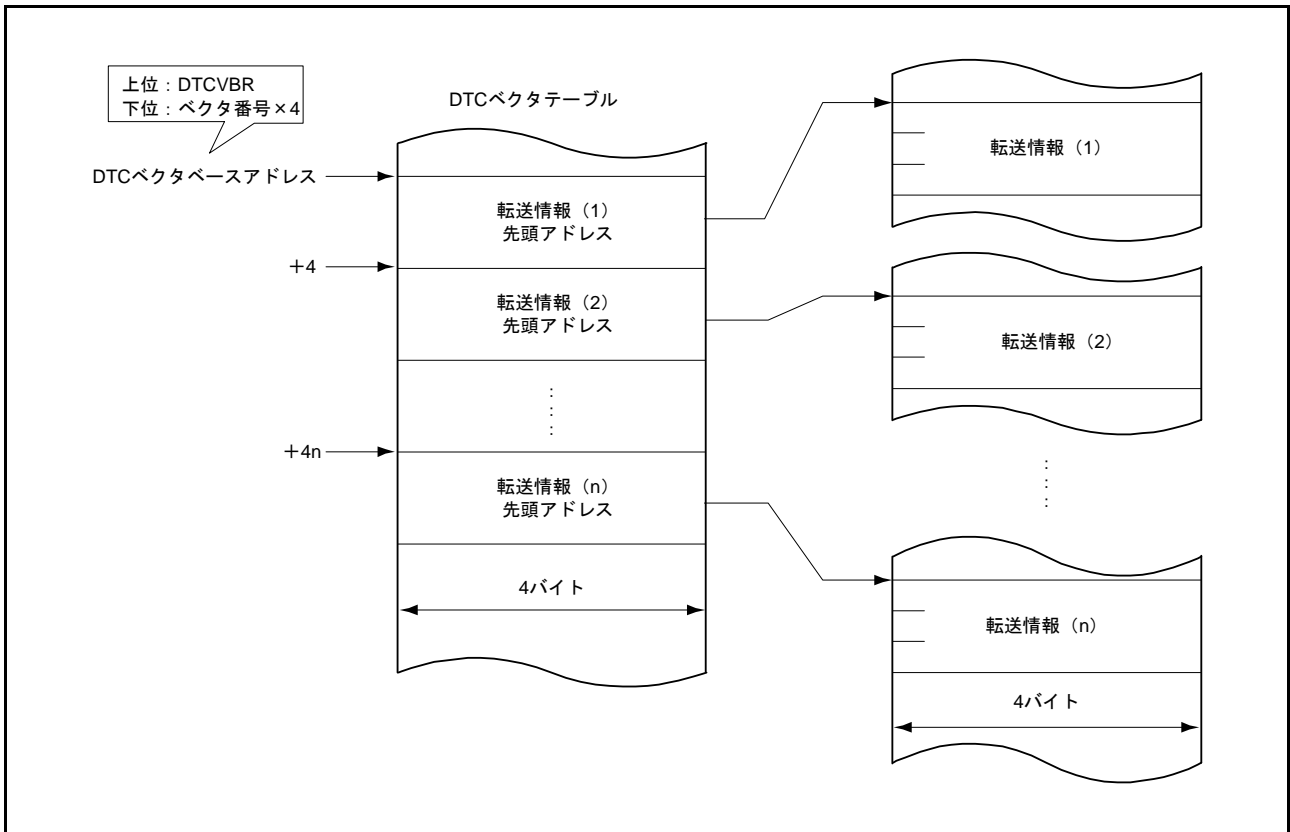


図 17.2 DTC ベクタテーブルと転送情報の対応

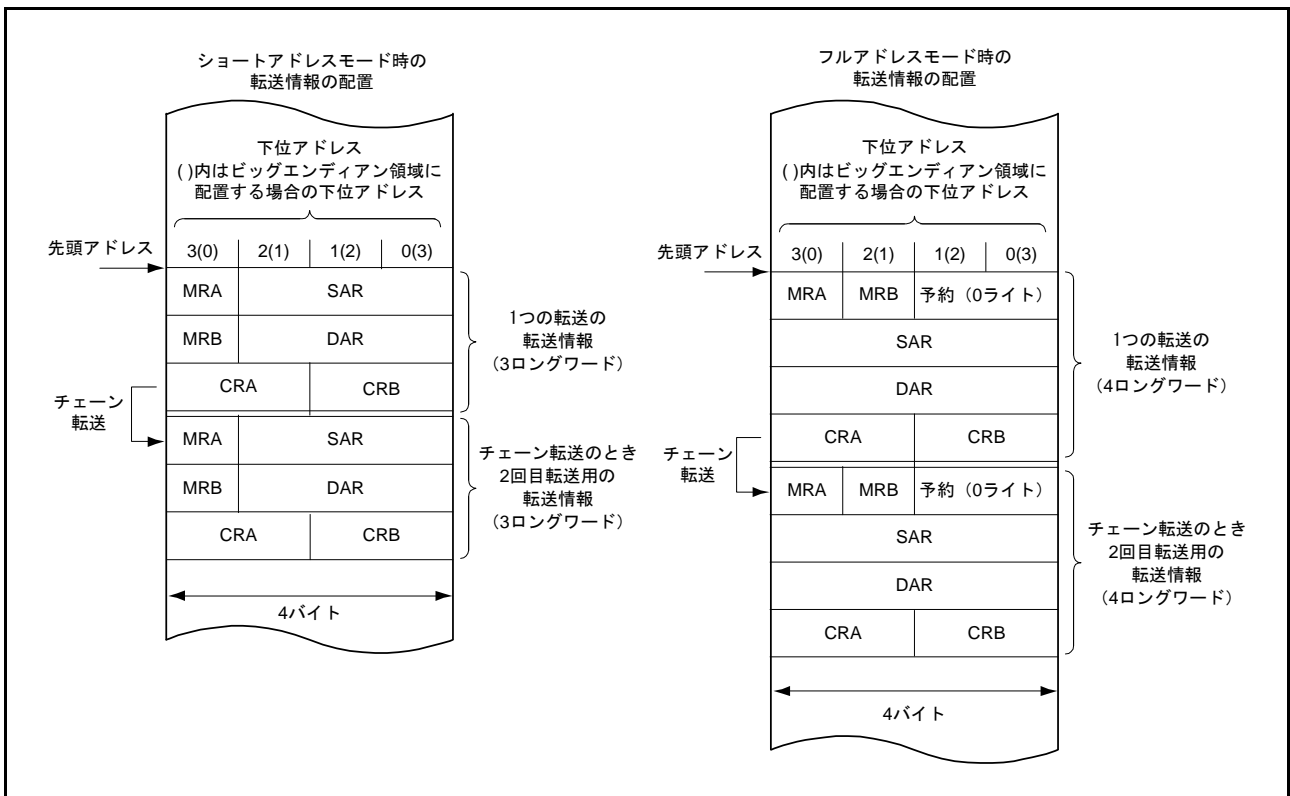


図 17.3 RAM 領域上の転送情報の配置

17.4 動作説明

DTC は、転送情報を元にデータを転送します。DTC を動作させるためには、あらかじめ転送情報を RAM 領域に格納しておく必要があります。

DTC が起動すると、ベクタ番号に対応する DTC ベクタを読みます。次に DTC ベクタが示す転送情報格納アドレスから転送情報を読んでデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報を RAM 領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。

転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は転送元アドレスを SAR レジスタ、転送先アドレスを DAR レジスタで指定します。SAR レジスタ、DAR レジスタは、転送後個々にインクリメント、デクリメント、あるいはアドレス固定になります。

DTC の転送モードを表 17.2 に示します。

表 17.2 DTC の転送モード

転送モード	1回の転送要求で転送可能なデータサイズ	メモリアドレスの増減	指定可能な転送回数
ノーマル転送モード	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～65536回
リピート転送モード (注1)	1バイト/1ワード/1ロングワード	1、2または4増減あるいはアドレス固定	1～256回 (注3)
ブロック転送モード (注2)	CRAHレジスタで指定したブロックサイズ (1～256バイト/1～256ワード/1～256ロングワード)	1、2または4増減あるいはアドレス固定	1～65536回

注1. 転送元または転送先のいずれかをリピート領域に設定

注2. 転送元または転送先のいずれかをブロック領域に設定

注3. 指定回数の転送終了後は、初期状態を回復し動作を継続 (リピート) する。

また、MRB.CHNE ビットを“1”にしておくことにより、1回の転送要求で複数の転送を行うことができます (チェーン転送)。MRB.CHNS ビットの設定で、指定されたデータ転送終了時にチェーン転送を行う設定も可能です。

DTC 動作フローチャートを図 17.4 に示します。チェーン転送の条件を表 17.3 に示します。

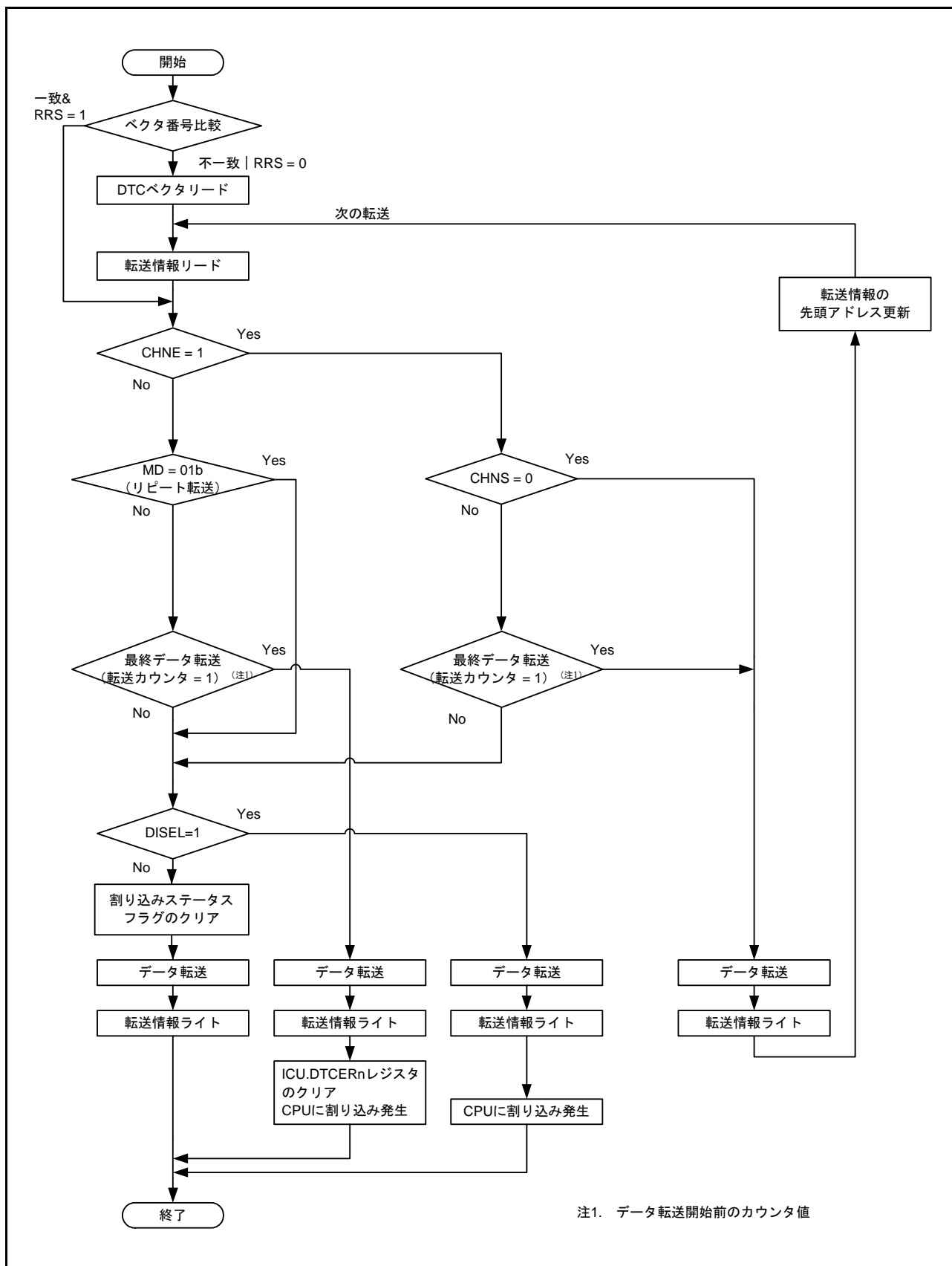


図 17.4 DTC 動作フローチャート

表 17.3 チェーン転送の条件

第1の転送				第2の転送 (注3)				DTC 転送
CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	CHNE ビット	CHNS ビット	DISEL ビット	転送カウンタ (注1、注2)	
0	—	0	(1 → 0) 以外	—	—	—	—	第1転送で終了
0	—	0	(1 → 0)	—	—	—	—	第1転送で終了 CPUへ割り込み要求
0	—	1	—	—	—	—	—	
1	0	—	—	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	0	(1 → *) 以外	—	—	—	—	第1転送で終了
1	1	—	(1 → *)	0	—	0	(1 → 0) 以外	第2転送で終了
				0	—	0	(1 → 0)	第2転送で終了 CPUへ割り込み要求
				0	—	1	—	
1	1	1	(1 → *) 以外	—	—	—	—	第1転送で終了 CPUへ割り込み要求

注1. 転送カウンタは各転送モードで異なります。各転送モードでの転送カウンタは以下のとおりです。

ノーマル転送モード：CRAレジスタ、リポート転送モード：CRALレジスタ、ブロック転送モード：CRBレジスタ

注2. 転送終了時のカウンタ動作は、ノーマル転送モード、ブロック転送モードでは(1 → 0)、リポート転送モードでは(1 → CRAH)となります。表中の(1 → *)はこの両方を指しています。

注3. 第2の転送、またはそれ以降の転送でチェーン転送を選択することは可能ですが、第2の転送でCHNEビットが“1”の組み合わせを省略しています。

17.4.1 転送情報リードスキップ機能

DTCCR.RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。

DTC 転送要求時、今回起動の DTC ベクタ番号と前回起動の DTC ベクタ番号が比較されます。比較結果が一致し、DTCCR.RRS ビットが“1”のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェーン転送のときは、ベクタアドレスのリードと転送情報のリードが行われます。また、前回の転送がノーマル転送で、転送カウンタ (CRA レジスタ) が“0”になった場合と、ブロック転送で転送カウンタ (CRB レジスタ) が“0”になった場合も、DTCCR.RRS ビットの値に関わらず転送情報リードが行われます。転送情報リードスキップの動作例を図 17.13 に示します。

DTC ベクタテーブルと転送情報を更新する場合には、一度 DTCCR.RRS ビットを“0”にして、DTC ベクタテーブルと転送情報を更新した後、DTCCR.RRS ビットを設定してください。DTCCR.RRS ビットを“0”にすることによって保持されていたベクタ番号は破棄されます。次の起動時は、更新された DTC ベクタテーブルおよび転送情報がリードされます。

17.4.2 転送情報ライトバックスキップ機能

MRA.SM[1:0] ビット、またはMRB.DM[1:0] ビットをアドレス固定に設定すると、転送情報の一部がライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップ条件とライトバックスキップされるレジスタを表 17.4 に示します。

なお、CRA レジスタ、CRB レジスタはショートアドレスモード、フルアドレスモードの設定にかかわらずライトバックされます。また、フルアドレスモードでは、MRA レジスタ、MRB レジスタはライトバックスキップされます。

表 17.4 転送情報ライトバックスキップ条件とライトバックスキップされるレジスタ

MRA.SM[1:0] ビット		MRB.DM[1:0] ビット		SAR レジスタ	DAR レジスタ
b3	b2	b3	b2		
0	0	0	0	スキップ	スキップ
0	0	0	1		
0	1	0	0		
0	1	0	1		
0	0	1	0	スキップ	ライトバック
0	0	1	1		
0	1	1	0		
0	1	1	1		
1	0	0	0	ライトバック	スキップ
1	0	0	1		
1	1	0	0		
1	1	0	1		
1	0	1	0	ライトバック	ライトバック
1	0	1	1		
1	1	1	0		
1	1	1	1		

17.4.3 ノーマル転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1～65536です。

転送元アドレスと転送先アドレスは、インクリメント、デクリメント、または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへの割り込み要求を発生させることができます。

ノーマル転送モードのレジスタ機能を表17.5に、ノーマル転送モードのメモリマップを図17.5に示します。

表17.5 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするときに書き戻される値
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)
CRA	転送カウンタA	CRA - 1
CRB	転送カウンタB	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

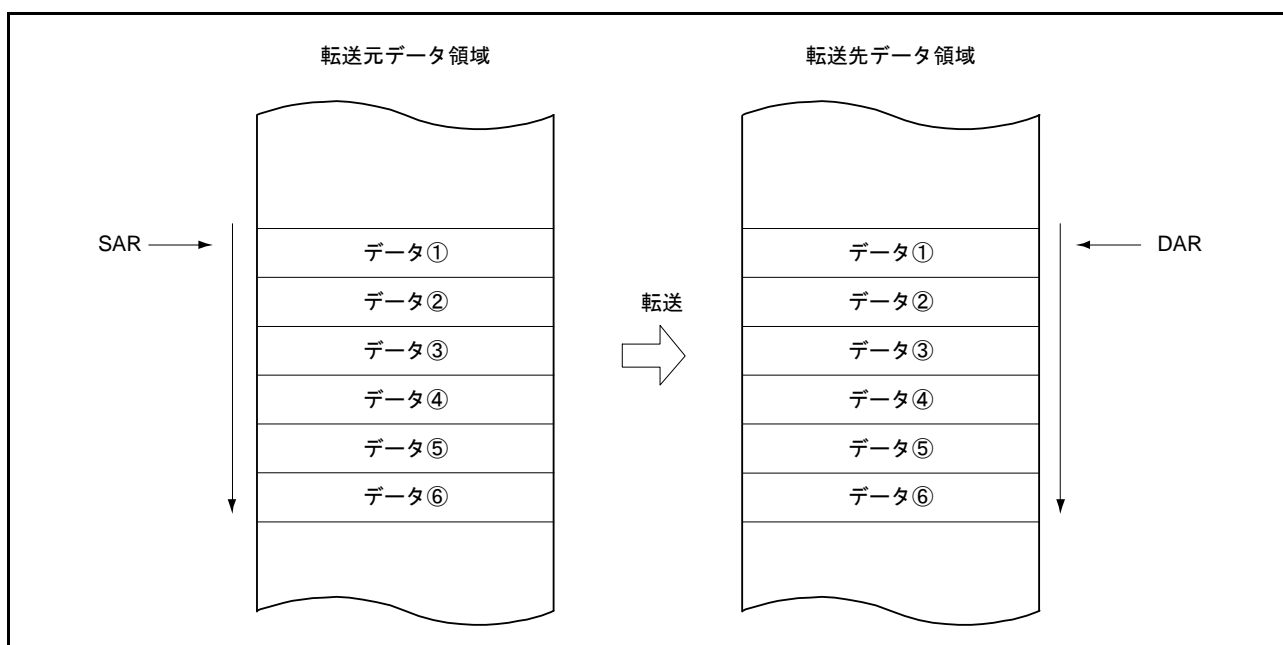


図17.5 ノーマル転送モードのメモリマップ

17.4.4 リピート転送モード

1回の転送要求で、1バイト、1ワードまたは1ロングワードの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をリピート領域に指定します。転送回数は1～256まで指定可能で、指定回数の転送が終了すると、転送カウンタおよびリピート領域に設定した方のアドレスレジスタは初期状態を回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいはアドレス固定になります。

リピート転送モードでは、転送カウンタ CRAL レジスタが“00h”になると、CRAL レジスタの値は CRAH レジスタで設定した値に更新されます。このため、転送カウンタは“00h”にならないので、MRB.DISEL ビットが“0”（指定されたデータ転送終了時、CPU への割り込みが発生）のときに CPU への割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 17.6 に、リピート転送モードのメモリマップを図 17.6 に示します。

表 17.6 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値	
		CRALが1以外するとき	CRALが1のとき
SAR	転送元アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTSビット=1のとき) SARレジスタの初期値
DAR	転送先アドレス	インクリメント/デクリメント/固定 (注1)	(MRB.DTSビット=0のとき) DARレジスタの初期値 (MRB.DTSビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	転送カウンタ保持	CRAH	CRAH
CRAL	転送カウンタ A	CRAL - 1	CRAH
CRB	転送カウンタ B	更新されない	更新されない

注1. アドレス固定のときは、ライトバックはスキップされます。

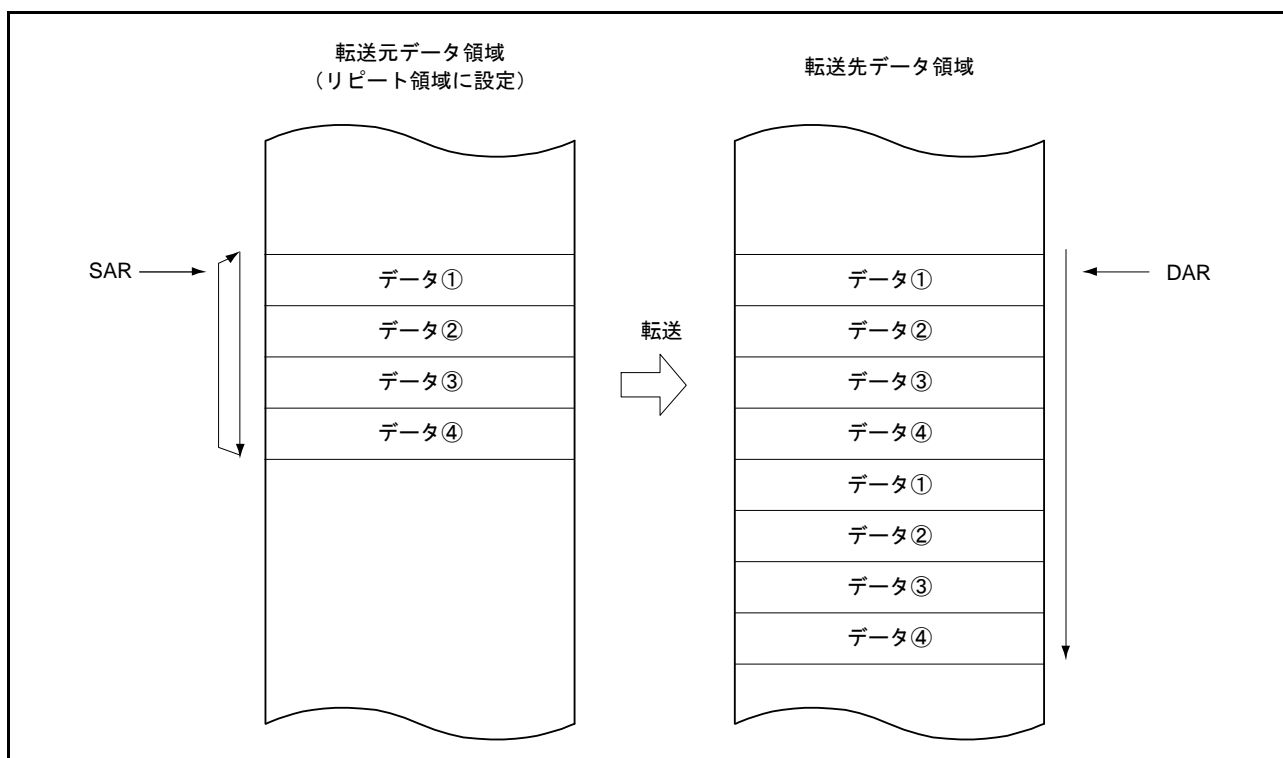


図 17.6 リピート転送モードのメモリマップ (転送元をリピート領域に設定した場合)

17.4.5 ブロック転送モード

1回の転送要求で、1ブロックの転送を行います。

MRB.DTS ビットで、転送元、転送先のいずれか一方をブロック領域に指定します。ブロックサイズは1～256バイト、1～256ワードまたは1～256ロングワードの指定が可能です。

指定された1ブロックの転送が終了すると、ブロックサイズカウンタ CRAL レジスタと、ブロック領域に指定したアドレスレジスタ (MRB.DTS ビットが“1”のとき SAR レジスタ、DTS ビットが“0”のとき DAR レジスタ) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメント、またはデクリメント、あるいはアドレス固定になります。

転送回数 (ブロック回数) は、1～65536 まで指定可能です。指定回数のブロック転送が終了すると、CPU への割り込みを発生させることができます。

ブロック転送モードのレジスタ機能を表 17.7 に、ブロック転送モードのメモリマップを図 17.7 に示します。

表 17.7 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報をライトバックするとき書き戻される値
SAR	転送元アドレス	(MRB.DTS ビット=0のとき) インクリメント/デクリメント/固定 (注1) (MRB.DTS ビット=1のとき) SAR レジスタの初期値
DAR	転送先アドレス	(MRB.DTS ビット=0のとき) DAR レジスタの初期値 (MRB.DTS ビット=1のとき) インクリメント/デクリメント/固定 (注1)
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB - 1

注1. アドレス固定のときは、ライトバックはスキップされます。

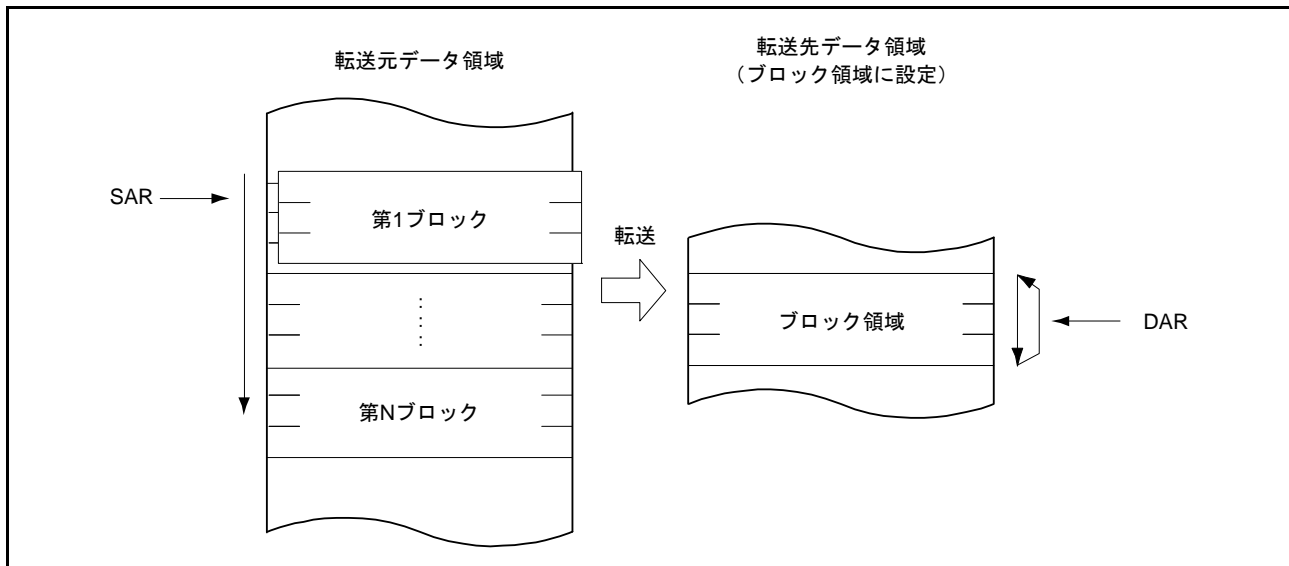


図 17.7 ブロック転送モードのメモリマップ (転送先をブロック領域に指定した場合)

17.4.6 チェーン転送

MRB.CHNE ビットを“1”にするとチェーン転送ができます。チェーン転送は、1回の転送要求で複数のデータ転送を行います。

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“0”にした場合、指定した転送回数の終了による CPU への割り込み要求や、MRB.DISEL ビット=1 (DTC データ転送のたびに、CPU に割り込み要求を発生) による CPU への割り込み要求は発生しません。また、起動要因となった割り込みステータスフラグに影響を与えません。

データ転送を定義する SAR、DAR、CRA、CRB、および MRA、MRB レジスタはそれぞれ個別に設定できます。図 17.8 にチェーン転送の動作を示します。

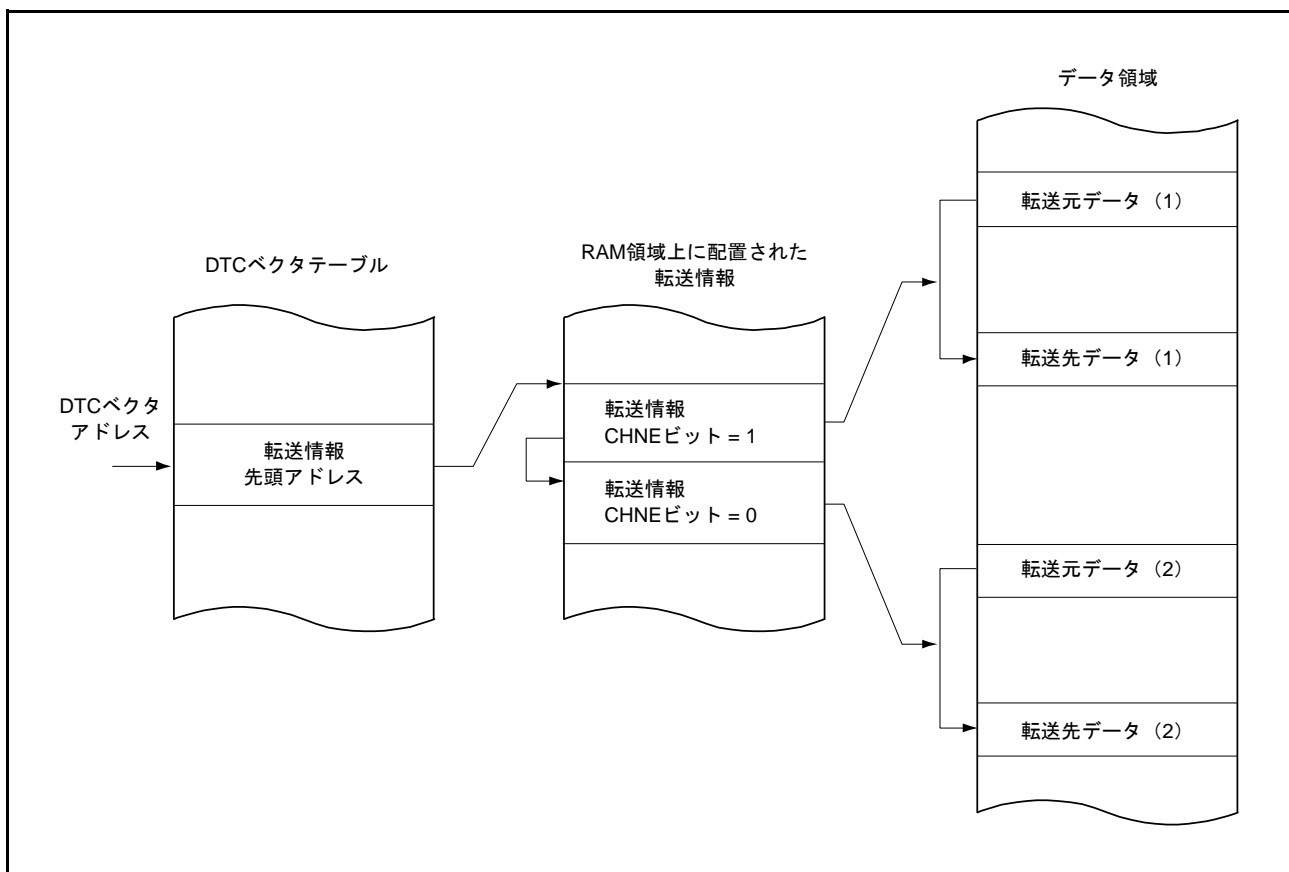


図 17.8 チェーン転送の動作

MRB.CHNE ビットを“1”、MRB.CHNS ビットを“1”にした場合、指定されたデータ転送終了時のみチェーン転送を行います。リピート転送モードでも、指定されたデータ転送終了時にチェーン転送を行います。

チェーン転送の条件の詳細については、表 17.3 のチェーン転送の条件を参照してください。

17.4.7 動作タイミング

DTC の動作タイミングの例を図 17.9 ~ 図 17.13 に示します。

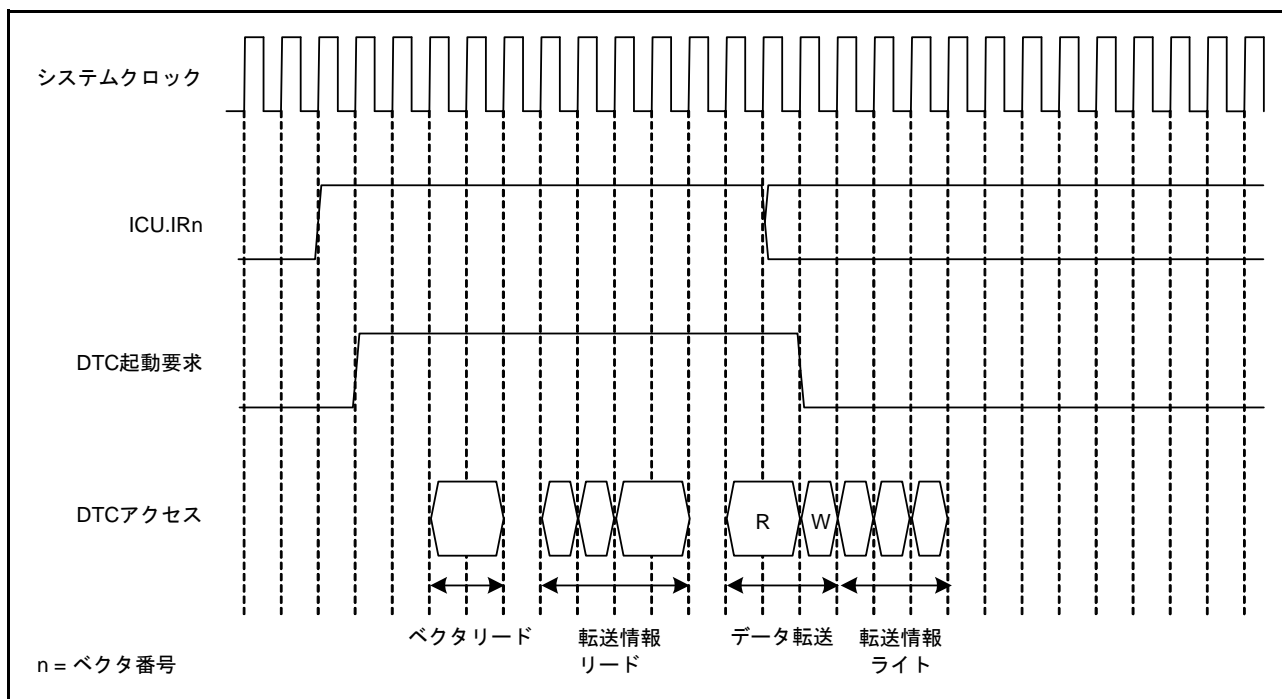


図 17.9 DTC 動作タイミング例 (1)
(ショートアドレスモード、ノーマル転送モード、リピート転送モードの場合)

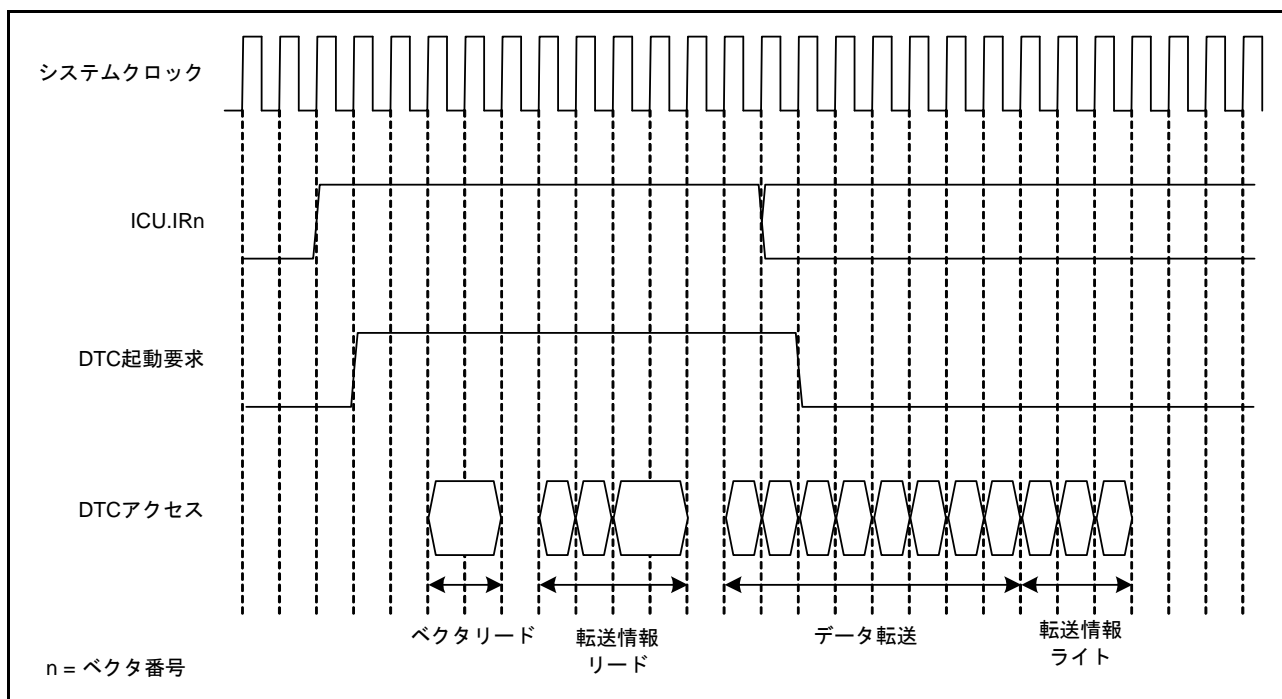


図 17.10 DTC 動作タイミング例 (2)
(ショートアドレスモード、ブロック転送モード、ブロックサイズ = 4 の場合)

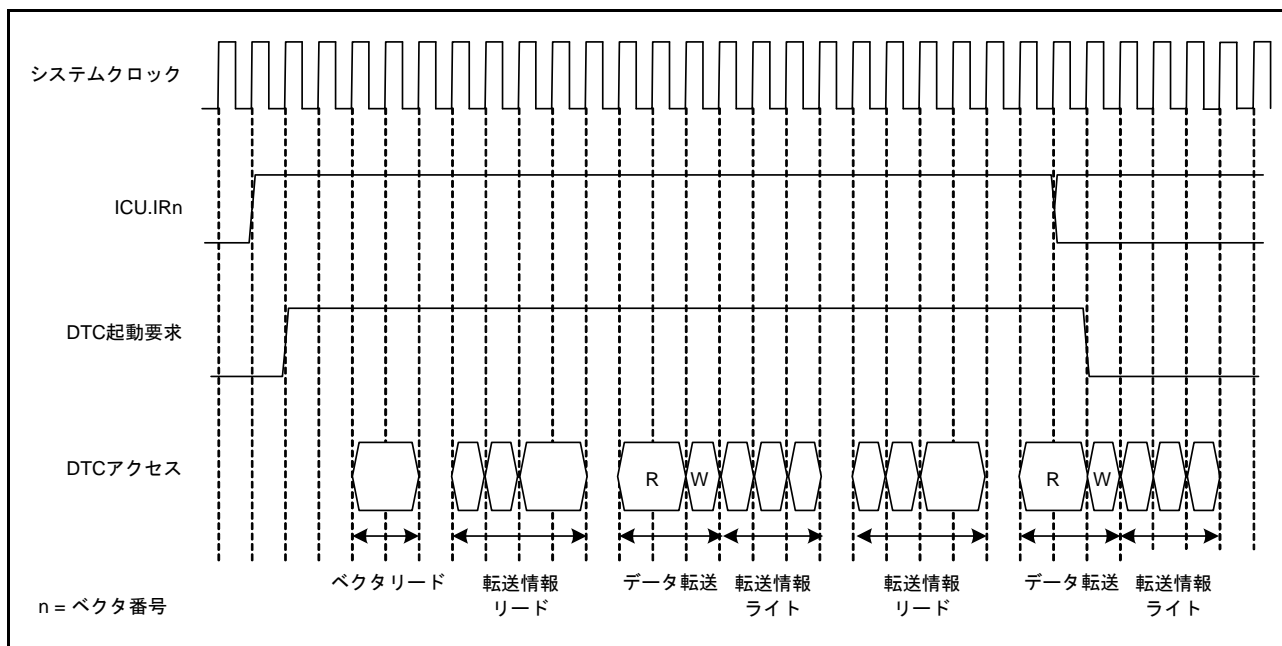


図 17.11 DTC 動作タイミング例 (3) (ショートアドレスモード、チェーン転送の場合)

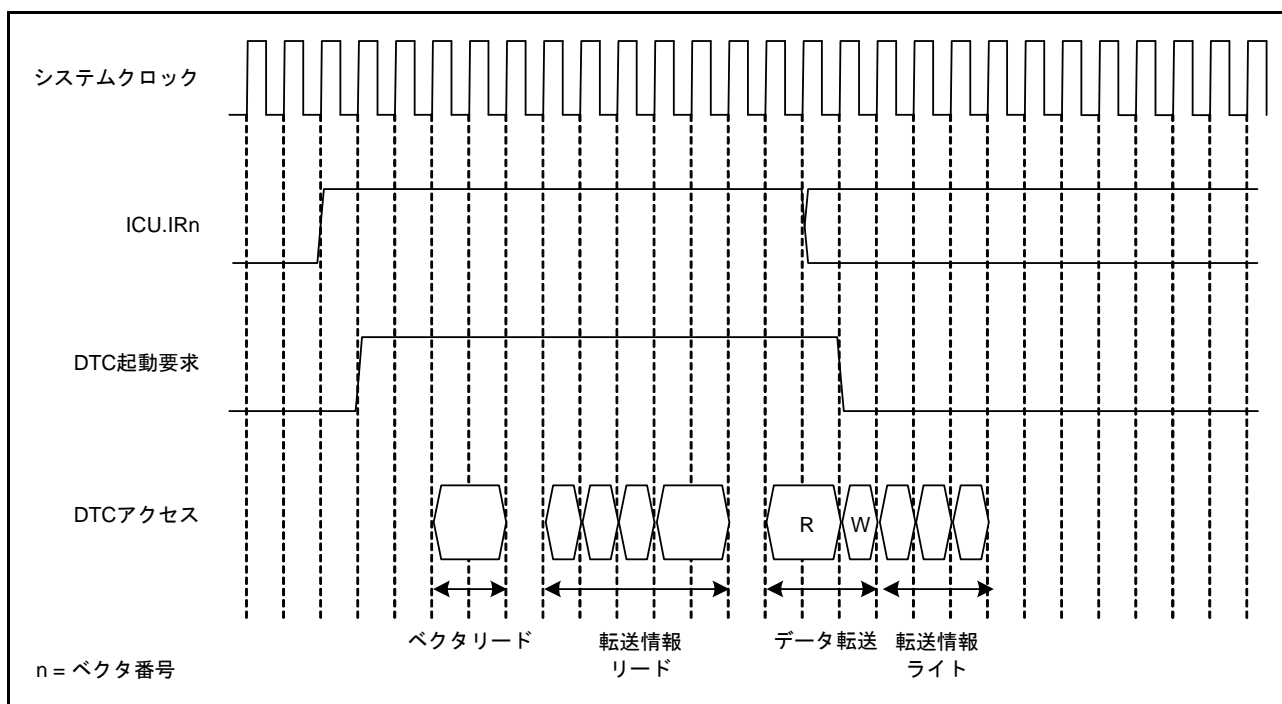


図 17.12 DTC 動作タイミング例 (4)
(フルアドレスモード、ノーマル転送モード、リピート転送モードの場合)

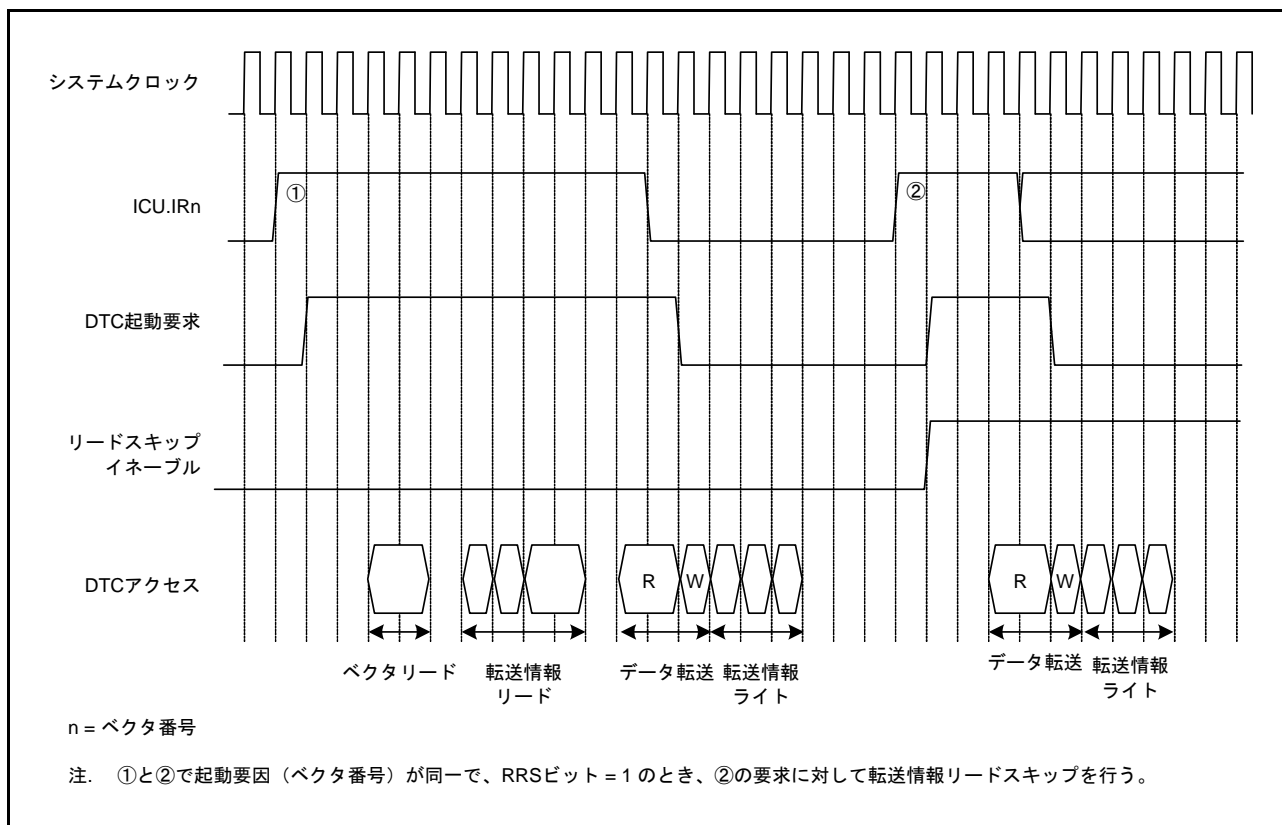


図 17.13 転送情報リードスキップ時の動作例
(ベクタ、転送情報、転送先が RAM、転送元は周辺モジュールの場合)

17.4.8 DTC の実行サイクル

DTC の 1 回のデータ転送の実行サイクルを表 17.8 に示します。

各処理状態の実施順序は、「17.4.7 動作タイミング」を参照してください。

表 17.8 DTC の実行サイクル

転送モード	ベクタリード		転送情報リード			転送情報ライト			データ転送		内部動作	
									リード	ライト		
ノーマル	Cv + 1	0 (注 1)	4 × Ci + 1 (注 2)	3 × Ci + 1 (注 3)	0 (注 1)	3 × Ci (注 4)	2 × Ci (注 5)	Ci (注 6)	Cr + 1	Cw	2	0 (注 1)
リピート									Cr + 1	Cw		
ブロック (注 7)									P × Cr	P × Cw		

注 1. 転送情報リードスキップのとき

注 2. フルアドレスモード動作のとき

注 3. ショートアドレスモード動作のとき

注 4. SAR レジスタ、DAR レジスタがともにアドレス固定でないとき

注 5. SAR レジスタ、または DAR レジスタがアドレス固定のとき

注 6. SAR レジスタと DAR レジスタがともにアドレス固定のとき

注 7. ブロックサイズが 2 以上の場合です。ブロックサイズが 1 の場合は、ノーマル転送のサイクル数となります。

P: ブロックサイズ (CRAH、CRAL レジスタの設定値)

Cv: ベクタ転送情報格納先アクセスサイクル

Ci: 転送情報格納先アドレスアクセスサイクル

Cr: データリード先アクセスサイクル

Cw: データライト先アクセスサイクル

(ベクタリード、転送情報リード、データ転送リードの「+1」、内部動作の「2」の単位はいずれもシステムクロック (ICLK) です。)

(Cv、Ci、Cr、Cw はアクセス先で異なります。アクセス先ごとのサイクル数は、「33. RAM」、「34. フラッシュメモリ」、「5. I/O レジスタ」を参照してください。)

17.4.9 DTC のバス権解放タイミング

DTC は、転送情報リード中と転送情報ライト中にはバス権を解放しません。その他のタイミングでは、バスマスタ調停部で決められた優先順位によってバス調停が行われます。

バス調停については、「15. バス」を参照してください。

17.5 DTC の設定手順

DTC を使用する前に、DTC ベクタベースレジスタ (DTCVBR) を設定してください。

図 17.14 に DTC の起動に必要な設定手順を示します。

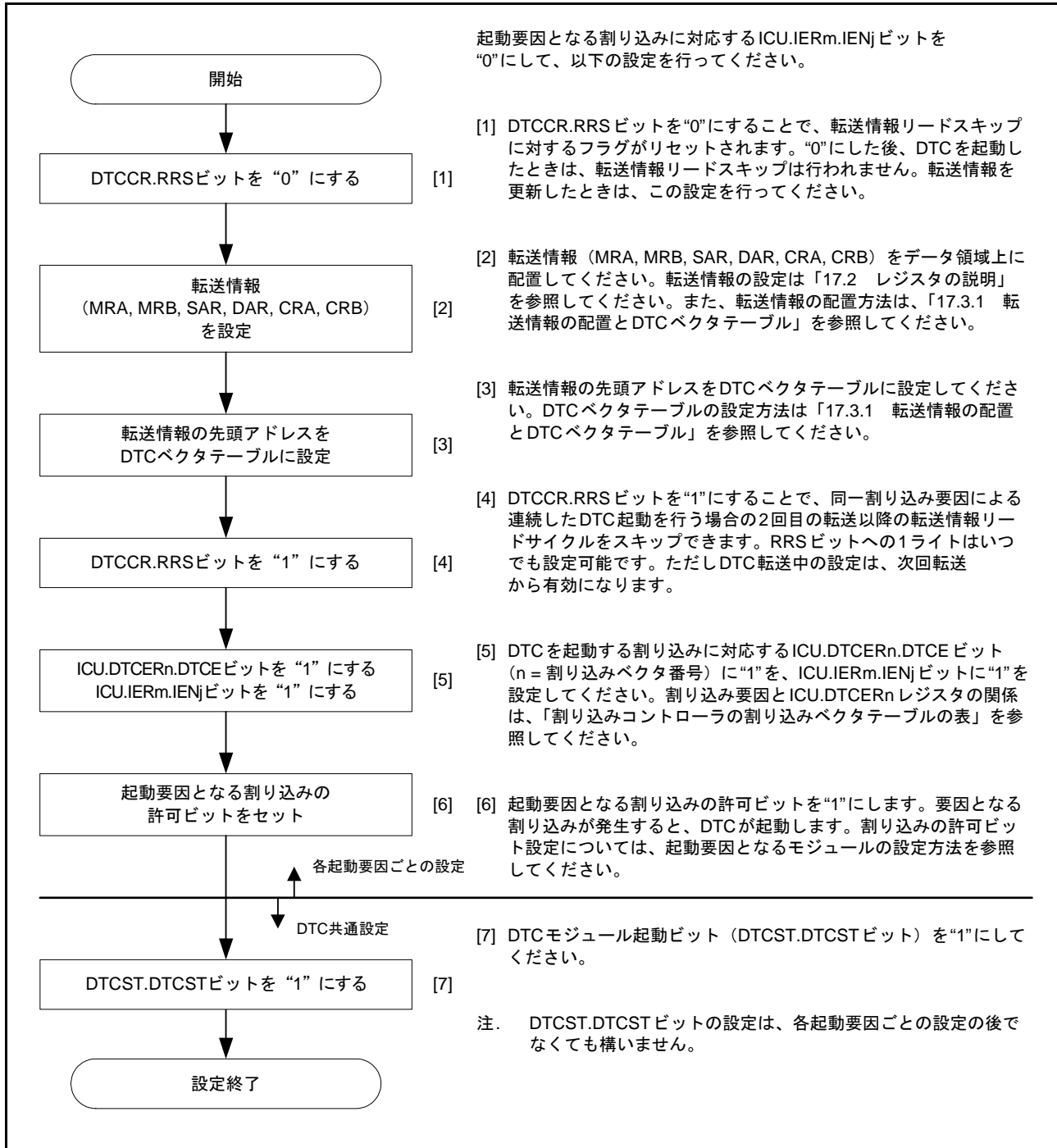


図 17.14 DTC の設定手順

17.6 DTC 使用例

17.6.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

(1) 転送情報の設定

MRA レジスタに、転送元アドレス固定 (MRA.SM[1:0] ビット = 00b)、ノーマル転送モード (MRA.MD[1:0] ビット = 00b)、バイトサイズ (MRA.SZ[1:0] ビット = 00b) を設定します。MRB レジスタは、転送先アドレスインクリメント (MRB.DM[1:0] ビット = 10b)、1 回の割り込みで 1 回のデータ転送 (MRB.CHNE ビット = 0、MRB.DISEL ビット = 0) を設定します。MRB.DTS ビットは、任意の値とすることができます。SAR レジスタには SCI の RDR レジスタのアドレス、DAR レジスタにはデータを格納する RAM の先頭アドレス、CRA レジスタには 128 (“0080h”) を設定します。CRB レジスタは、任意の値とすることができます。

(2) DTC ベクタテーブルの設定

受信完了割り込み (RXI) 用の転送情報の先頭アドレスを、DTC ベクタテーブルに設定します。

(3) ICU の設定と DTC モジュール起動

対応する ICU.DTCERn.DTCE ビットを “1” に、ICU.IERi.IENj ビットを “1” にします。DTCST.DTCST ビットを “1” にします。

(4) SCI の設定

SCI の SCR.RIE ビットを “1” にして、RXI 割り込みを許可します。なお、SCI の受信動作中に受信エラーが発生すると以後の受信が行われませんので、CPU が受信エラー割り込みを受け付けられるようにしてください。

(5) DTC 転送

SCI の 1 バイトのデータ受信が完了するごとに RXI 割り込みが発生し、DTC が起動されます。DTC によって、受信データが SCI の RDR レジスタから RAM へ転送され、DAR レジスタのインクリメント、CRA レジスタのデクリメントを行います。

(6) 割り込み処理

128 回のデータ転送終了後、CRA レジスタが “0” になると、CPU に RXI 割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

17.6.2 カウンタ = 0 のときのチェーン転送

第1のデータ転送の転送カウンタが“0”になったときのみ第2のデータ転送を行い、第2の転送において第1のデータ転送情報を変更します。このチェーン転送を繰り返すことで、転送回数が256回以上のリピート転送を行うことができます。

128Kバイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス“0000h”から始まるように設定するものとします。カウンタ=0のときのチェーン転送を図17.15に示します。

- (1) 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRAレジスタ=0000h (65536回)、MRB.CHNEビット=1 (チェーン転送許可)、MRB.CHNSビット=1 (転送カウンタ=0のときのみチェーン転送を行う)、MRB.DISELビット=0 (指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。
- (2) 第1のデータ転送の転送先アドレスの65536回ごとの先頭アドレスの上位8ビットアドレスを別の領域 (ROMなど) に用意してください。たとえば、入力バッファを“20 0000h”～“21 FFFFh”とするときには、“21h”、“20h”を用意します。
- (3) 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード (転送元をリピート領域) とします。転送先は第1の転送情報領域のDARレジスタの上位8ビットとします。このときMRB.CHNEビット=0 (チェーン転送禁止)、MRB.DISELビット=0 (指定されたデータ転送終了時、CPUへの割り込みが発生)としてください。上記入力バッファを“20 0000h”～“21 FFFFh”とする場合には、転送カウンタ=2としてください。
- (4) 割り込みによって第1のデータ転送を65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始します。第1のデータ転送の転送元アドレス上位8ビットを“21h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、“0000h”になっています。
- (5) 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65536回実行します。第1のデータ転送の転送カウンタが“0”になると、第2のデータ転送が開始します。第1のデータ転送の転送元アドレス上位8ビットを“20h”にします。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは“0000h”になっています。
- (6) 上記(4)、(5)を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

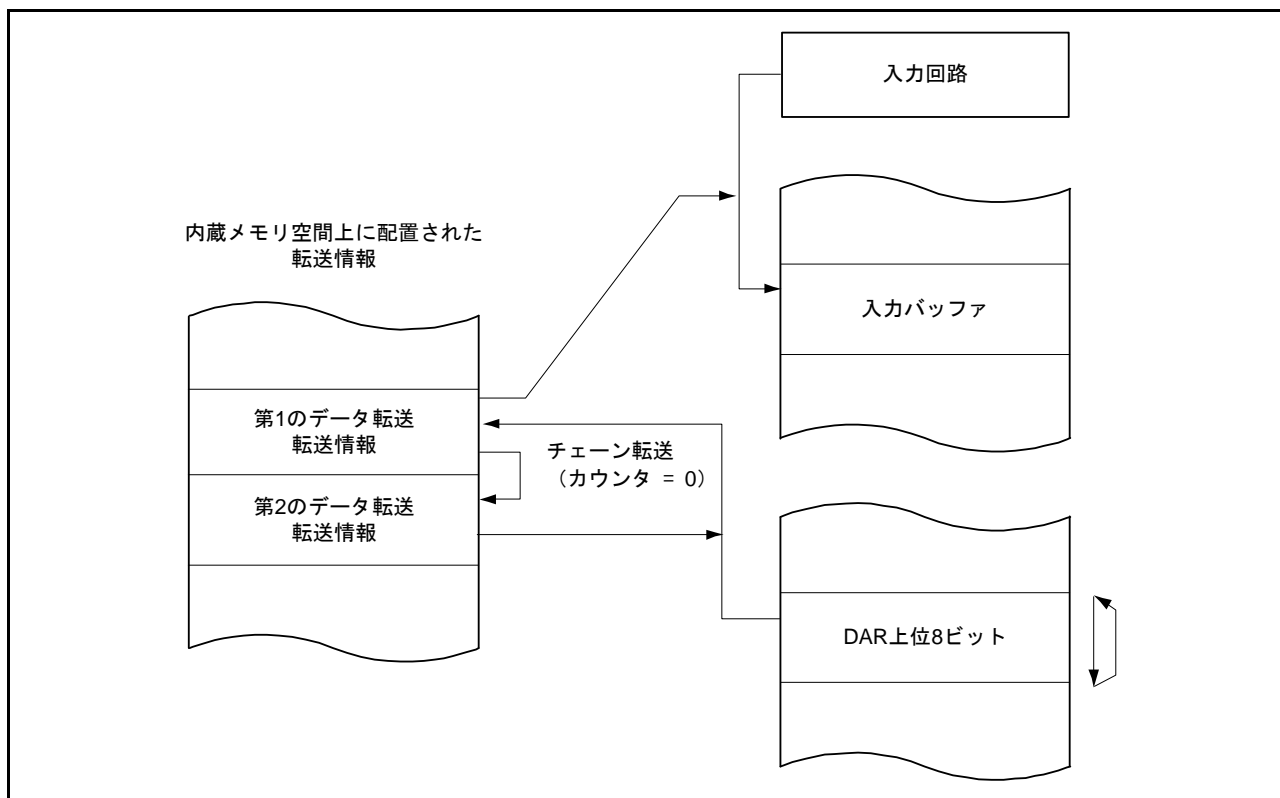


図 17.15 カウンタ = 0 のときのチェーン転送

17.7 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および MRB.DISEL ビットが “1” (DTC データ転送のたびに、CPU への割り込みが発生) のデータ転送が終了したとき、DTC を起動した割り込み要因で CPU に対して割り込みが発生します。これらの CPU に対する割り込みは、CPU の PSW.I ビット (割り込み許可ビット)、PSW.IPL[3:0] ビット (プロセッサ割り込み優先レベル)、および割り込みコントローラの優先順位の制御を受けます。

17.8 消費電力低減機能

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットに“0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(1) モジュールストップ機能

MSTPCRA.MSTPA28 ビットに“1” (モジュールストップ状態への遷移) を書くことによって、DTC のモジュールストップ機能が有効になります。MSTPCRA.MSTPA28 ビットに“1” を書いたときに DTC が転送動作中の場合、DTC 転送終了後にモジュールストップ状態に遷移します。

MSTPCRA.MSTPA28 ビットが“1” のとき、DTC のレジスタにアクセスしないでください。

MSTPCRA.MSTPA28 ビットに“0” (モジュールストップ状態の解除) を書くことにより、DTC のモジュールストップが解除されます。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にディープスリープモードに移行します。

ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0” を書くことにより、DTC のモジュールストップが解除されます。

(3) ソフトウェアスタンバイモード

「11. 消費電力低減機能」の「11.6.3.1 ソフトウェアスタンバイモードへの移行」の手順に従って設定してください。

WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にソフトウェアスタンバイモードに移行します。

(4) 消費電力低減機能における注意事項

WAIT 命令とレジスタ設定順については、「11. 消費電力低減機能」の「11.7.5 WAIT 命令の実行タイミング」を参照してください。

低消費電力モードから復帰後、DTC 転送を行うには、再度 DTCST.DTCST ビットに“1” を書いてください。

ディープスリープモード期間、ソフトウェアスタンバイモード期間に発生した要求を DTC 起動でなく CPU 割り込みとする場合は、「14. 割り込みコントローラ (ICUb)」の「14.4.3 割り込み要求先の選択」の設定方法にそって、割り込み要求先を CPU に切り替えてから WAIT 命令を実行してください。

17.9 使用上の注意事項

17.9.1 転送情報先頭アドレス

ベクタテーブルに指定する転送情報の先頭アドレスは、4n 番地を指定してください。4n 番地以外を指定すると、アドレスの最下位 2 ビットは“00b”としてアクセスします。

17.9.2 転送情報の配置

転送情報をメモリに配置するときには、配置する領域のエンディアンによって、図 17.16 に示すとおり配置してください。

たとえば、CRA、CRB 設定データを 16 ビットで書く場合、ビッグエンディアンの場合は下位アドレス 0 に CRA 設定データ、下位アドレス 2 に CRB 設定データを書いてください。リトルエンディアンの場合は下位アドレス 0 に CRB 設定データ、下位アドレス 2 に CRA 設定データを書いてください。32 ビットで書く場合は、エンディアンにかかわらず 32 ビットの MSB 側に CRA 設定データ、LSB 側に CRB 設定データを配置して下位アドレス 0 に書いてください。

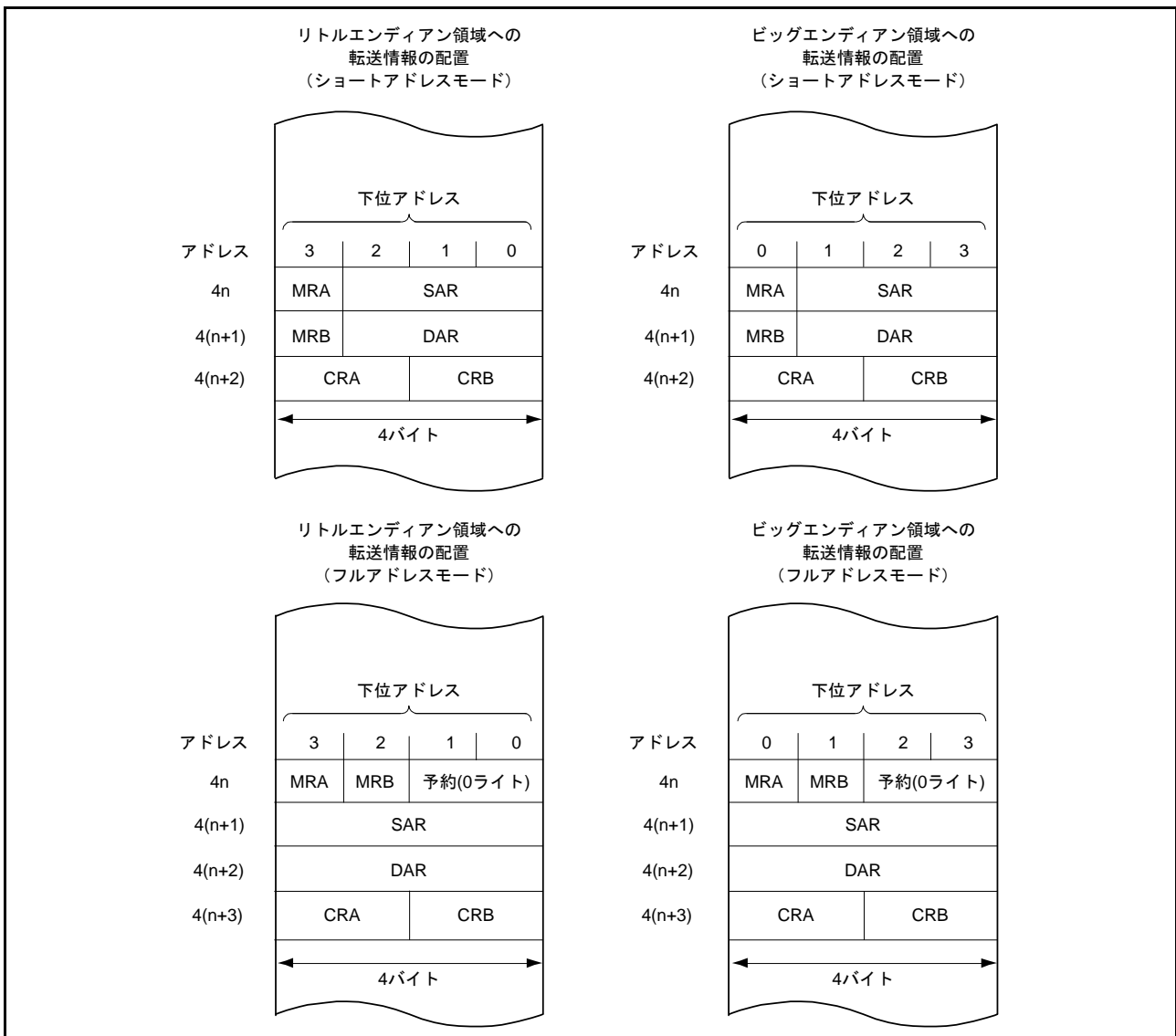


図 17.16 転送情報の配置

18. I/Oポート

18.1 概要

I/Oポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

各ポートは、周辺モジュールの入出力端子や、割り込み入力端子と兼用となっています。リセット直後は入力ポートになっていますが、レジスタの設定により機能が切り替わります。各ポートの設定は、I/Oポートのレジスタ、および内蔵周辺モジュールのレジスタの設定によって決まります。

各ポートは、入力/出力を指定するポート方向レジスタ (PDR)、出力データを格納するポート出力データレジスタ (PODR)、端子の状態を反映するポート入力データレジスタ (PIDR)、端子の出力形態を選択するオープンドレイン制御レジスタ y (ODR y) ($y=0, 1$)、入力プルアップMOSのオン/オフを制御するプルアップ制御レジスタ (PCR)、駆動能力の切り替えを制御する駆動能力制御レジスタ (DSCR)、機能端子を指定するポートモードレジスタ (PMR) を備えています。PMRレジスタの詳細については、「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

パッケージによって、I/Oポートの構成が異なります。表 18.1 に I/Oポートの仕様を、表 18.2 に I/Oポートの機能を示します。

表 18.1 I/Oポートの仕様

ポート シンボル	パッケージ		パッケージ		パッケージ	
	64ピン	本数	52ピン	本数	48ピン	本数
PORT0	P00~P02	3	P02	1	なし	なし
PORT1	P10, P11	2	P10, P11	2	P10, P11	2
PORT2	P22~P24	3	P22~P24	3	P22~P24	3
PORT3	P30~P33, P36, P37	6	P33, P36, P37	3	P36, P37	2
PORT4	P40~P47	8	P40~P47	8	P40~P47	8
PORT7	P70~P76	7	P70~P76	7	P70~P76	7
PORT9	P91~P94	4	P93, P94	2	P93, P94	2
PORTA	PA2~PA5	4	PA2, PA3, PA5	3	PA2, PA3	2
PORTB	PB0~PB7	8	PB0~PB7	8	PB0~PB6	7
PORTD	PD3~PD7	5	PD3~PD6	4	PD3~PD6	4
PORTE	PE2	1	PE2	1	PE2	1
	ポートの合計数	51	ポートの合計数	42	ポートの合計数	38

表 18.2 I/Oポートの機能

ポートシンボル	ポートレジスタ	入力プルアップ機能	オープンドレイン出力機能	駆動能力切り替え機能	大電流端子	5Vトレラント
PORT0	P00, P01, P02	○	○	○	—	—
PORT1	P10, P11	○	○	○	—	—
PORT2	P22	○	○	○	—	—
	P23, P24	○	○	○	—	—
PORT3	P30~P33, P36, P37	○	○	○	—	—
PORT4	P40~P47	○	—	通常出力固定	—	—
PORT7	P70	○	○	○	—	—
	P71~P76	○	○	高駆動出力固定	○	—
PORT9	P91, P92, P94	○	○	○	—	—
	P93	○	○	○	—	—
PORTA	PA2, PA3, PA5	○	○	○	—	—
	PA4	○	○	○	—	—
PORTB	PB0, PB3	○	○	○	—	—
	PB1, PB2	○	○	高駆動出力固定	—	○
	PB5	○	○	高駆動出力固定	○	—
	PB4, PB6, PB7	○	○	○	—	—
PORTD	PD3	○	○	高駆動出力固定	○	—
	PD4~PD7	○	○	○	—	—
PORTE	PE2	—	—	—	—	—

入力プルアップ機能、オープンドレイン出力機能、駆動能力切り替え機能、5Vトレラントの設定は、汎用入出力ポートと端子を共有している他の信号に対しても有効です。

18.2 入出力ポートの構成

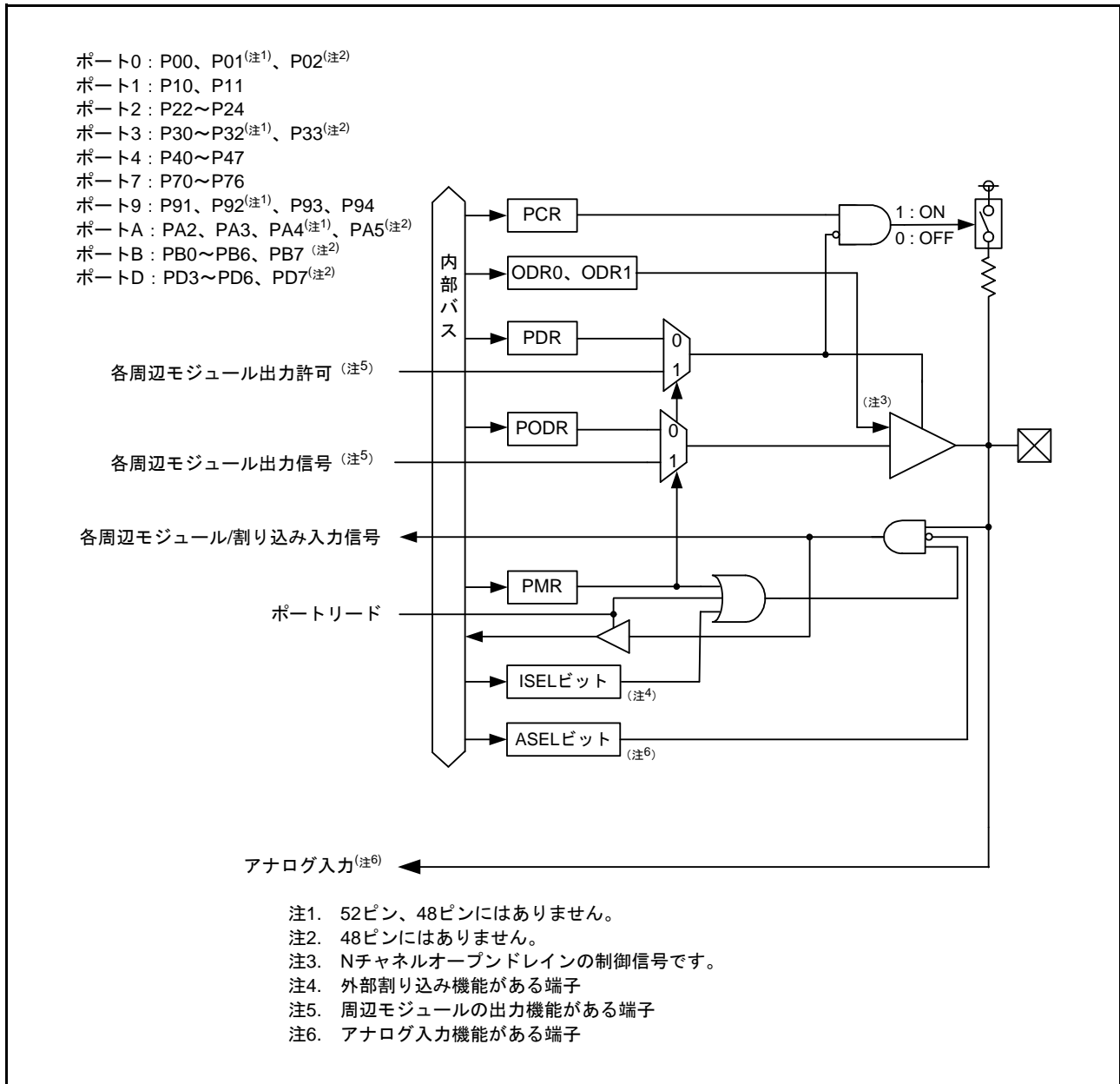


図 18.1 入出力ポートの構成 (1)

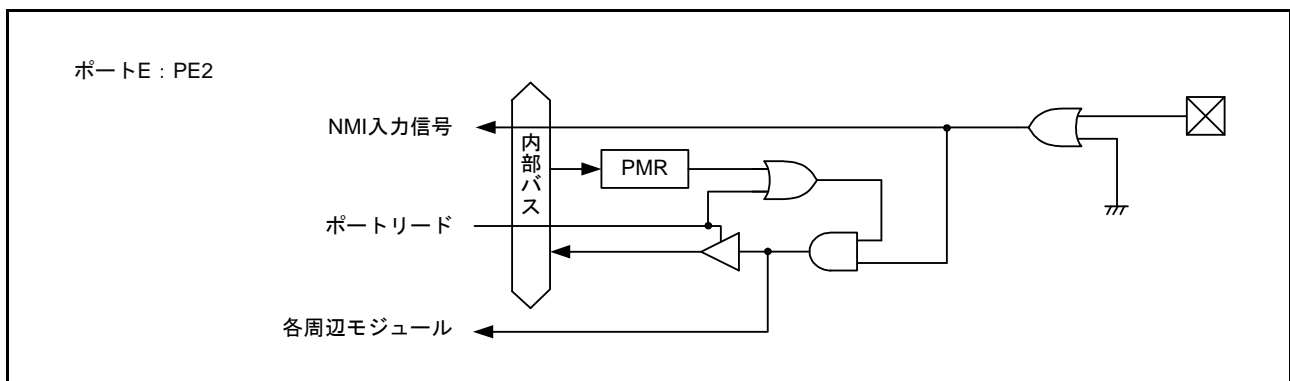


図 18.2 入出力ポートの構成 (2)

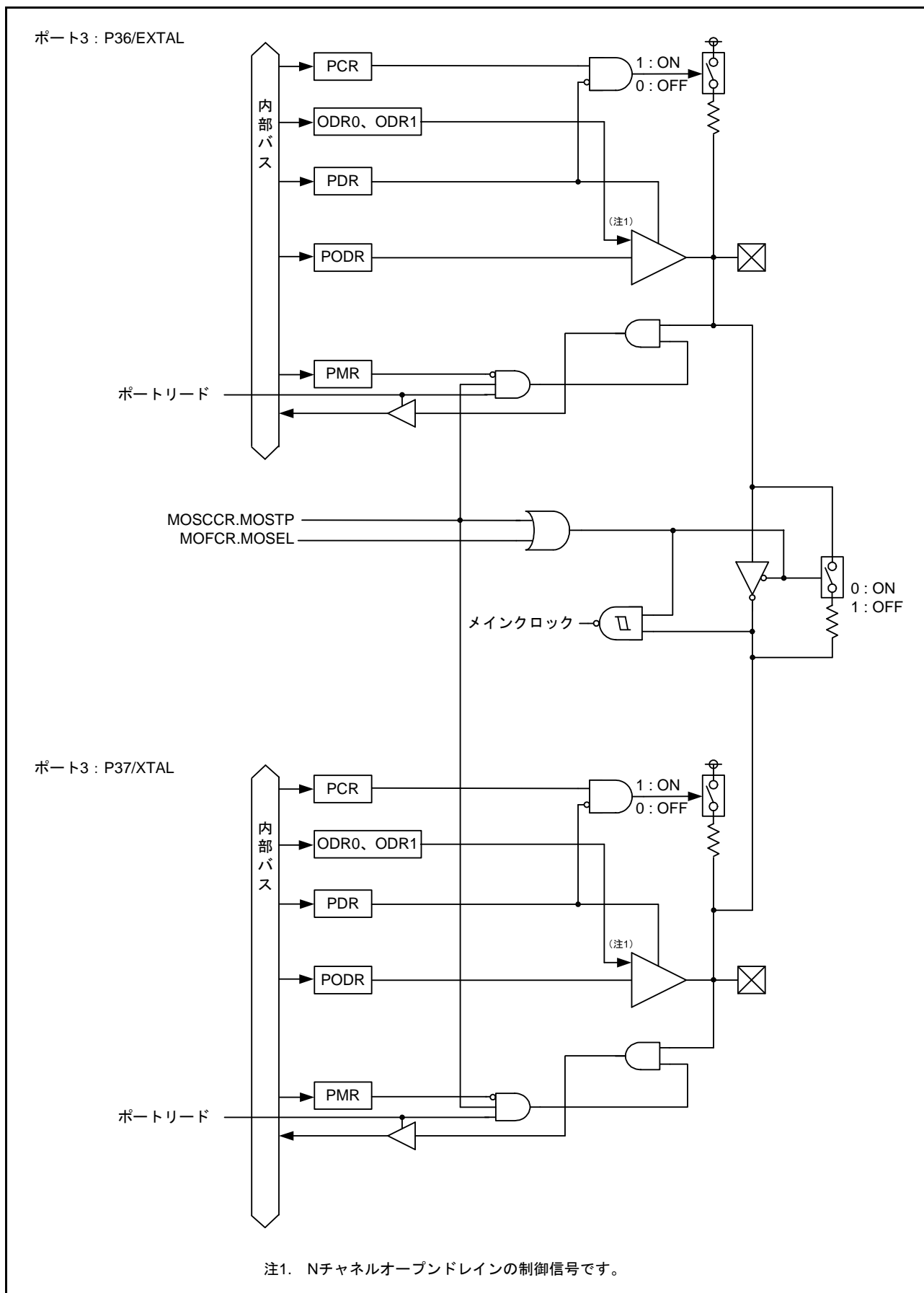


図 18.3 入出力ポートの構成 (3)

18.3 レジスタの説明

18.3.1 ポート方向レジスタ (PDR)

アドレス PORT0.PDR 0008 C000h, PORT1.PDR 0008 C001h, PORT2.PDR 0008 C002h, PORT3.PDR 0008 C003h, PORT4.PDR 0008 C004h, PORT7.PDR 0008 C007h, PORT9.PDR 0008 C009h, PORTA.PDR 0008 C00Ah, PORTB.PDR 0008 C00Bh, PORTD.PDR 0008 C00Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0方向制御ビット	0: 入力 (入力ポートとして機能) 1: 出力 (出力ポートとして機能)	R/W
b1	B1	Pm1方向制御ビット		R/W
b2	B2	Pm2方向制御ビット		R/W
b3	B3	Pm3方向制御ビット		R/W
b4	B4	Pm4方向制御ビット		R/W
b5	B5	Pm5方向制御ビット		R/W
b6	B6	Pm6方向制御ビット		R/W
b7	B7	Pm7方向制御ビット		R/W

m = 0 ~ 4, 7, 9, A, B, D

PDR レジスタは、汎用入出力ポートの機能が選択されているとき、ポートの入力/出力を指定するレジスタです。

PORTm.PDR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「18.4 ポート方向レジスタ (PDR) の初期化」に従って、設定してください。

PE2 端子は入力専用のため、PORTE.PDR.B2 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.2 ポート出力データレジスタ (PODR)

アドレス PORT0.PODR 0008 C020h, PORT1.PODR 0008 C021h, PORT2.PODR 0008 C022h, PORT3.PODR 0008 C023h, PORT4.PODR 0008 C024h, PORT7.PODR 0008 C027h, PORT9.PODR 0008 C029h, PORTA.PODR 0008 C02Ah, PORTB.PODR 0008 C02Bh, PORTD.PODR 0008 C02Dh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力データ格納ビット	出力データ格納	R/W
b1	B1	Pm1出力データ格納ビット		R/W
b2	B2	Pm2出力データ格納ビット		R/W
b3	B3	Pm3出力データ格納ビット		R/W
b4	B4	Pm4出力データ格納ビット		R/W
b5	B5	Pm5出力データ格納ビット		R/W
b6	B6	Pm6出力データ格納ビット		R/W
b7	B7	Pm7出力データ格納ビット		R/W

m = 0 ~ 4, 7, 9, A, B, D

PODR レジスタは、汎用出力ポートとして使用する端子の出力データを格納するレジスタです。

存在しないポート m の端子に対応している PDR レジスタの各ビットには、“1”（出力）を書いてください。

18.3.3 ポート入力データレジスタ (PIDR)

アドレス PORT0.PIDR 0008 C040h, PORT1.PIDR 0008 C041h, PORT2.PIDR 0008 C042h, PORT3.PIDR 0008 C043h, PORT4.PIDR 0008 C044h, PORT7.PIDR 0008 C047h, PORT9.PIDR 0008 C049h, PORTA.PIDR 0008 C04Ah, PORTB.PIDR 0008 C04Bh, PORTD.PIDR 0008 C04Dh, PORTE.PIDR 0008 C04Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 X X X X X X X X

x : 不定

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0ビット	ポートの端子状態を反映	R
b1	B1	Pm1ビット		R
b2	B2	Pm2ビット		R
b3	B3	Pm3ビット		R
b4	B4	Pm4ビット		R
b5	B5	Pm5ビット		R
b6	B6	Pm6ビット		R
b7	B7	Pm7ビット		R

m = 0 ~ 4, 7, 9, A, B, D, E

PIDR レジスタは、ポートの端子の状態を反映するレジスタです。

PORTm.PIDR レジスタを読むと、PORTm.PDR レジスタ、PORTm.PMR の値に関係なく端子の状態が読めます。

PE2 は NMI 端子の状態が読み出されます。

存在しない端子のビットは予約ビットです。予約ビットは、読んだ場合、その値は不定です。書き込みは無効になります。

18.3.4 ポートモードレジスタ (PMR)

アドレス PORT0.PMR 0008 C060h, PORT1.PMR 0008 C061h, PORT2.PMR 0008 C062h, PORT3.PMR 0008 C063h,
PORT7.PMR 0008 C067h, PORT9.PMR 0008 C069h, PORTA.PMR 0008 C06Ah, PORTB.PMR 0008 C06Bh,
PORTD.PMR 0008 C06Dh, PORTE.PMR 0008 C06Eh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 端子モード制御ビット	0 : 汎用入出力ポートとして使用 1 : 周辺機能として使用	R/W
b1	B1	Pm1 端子モード制御ビット		R/W
b2	B2	Pm2 端子モード制御ビット		R/W
b3	B3	Pm3 端子モード制御ビット		R/W
b4	B4	Pm4 端子モード制御ビット		R/W
b5	B5	Pm5 端子モード制御ビット		R/W
b6	B6	Pm6 端子モード制御ビット		R/W
b7	B7	Pm7 端子モード制御ビット		R/W

m = 0 ~ 3, 7, 9, A, B, D, E

PORTm.PMR レジスタの各ビットは、それぞれポート m の端子 1 本ずつに対応しており、1 ビット単位で指定できます。

64 ピン未満のピン数の製品については、64 ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0” を書いてください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.5 オープンドレイン制御レジスタ 0 (ODR0)

アドレス PORT0.ODR0 0008 C080h, PORT1.ODR0 0008 C082h, PORT2.ODR0 0008 C084h, PORT3.ODR0 0008 C086h,
PORT7.ODR0 0008 C08Eh, PORT9.ODR0 0008 C092h, PORTA.ODR0 0008 C094h, PORTB.ODR0 0008 C096h,
PORTD.ODR0 0008 C09Ah

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm1出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm2出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm3出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 0, 1 ~ 3, 7, 9, A, B, D

64ピン未満のピン数の製品については、64ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.6 オープンドレイン制御レジスタ 1 (ODR1)

アドレス PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT7.ODR1 0008 C08Fh, PORT9.ODR1 0008 C093h,
 PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTD.ODR1 0008 C09Bh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm4出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b1	B1	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	B2	Pm5出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b3	B3	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	B4	Pm6出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b5	B5	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	B6	Pm7出力形態指定ビット	0 : CMOS出力 1 : Nチャネルオープンドレイン	R/W
b7	B7	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

m = 2, 3, 7, 9, A, B, D

64ピン未満のピン数の製品については、64ピンに対して存在しないポート m の端子のビットは予約ビットです。書く場合は、“0”を書いてください。

存在しない端子やオープンドレイン出力機能を割り付けられていない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.7 プルアップ制御レジスタ (PCR)

アドレス PORT0.PCR 0008 C0C0h, PORT1.PCR 0008 C0C1h, PORT2.PCR 0008 C0C2h, PORT3.PCR 0008 C0C3h,
PORT4.PCR 0008 C0C4h, PORT7.PCR 0008 C0C7h, PORT9.PCR 0008 C0C9h, PORTA.PCR 0008 C0CAh,
PORTB.PCR 0008 C0CBh, PORTD.PCR 0008 C0CDh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0入力プルアップ抵抗制御ビット	0 : 入力プルアップ抵抗無効 1 : 入力プルアップ抵抗有効	R/W
b1	B1	Pm1入力プルアップ抵抗制御ビット		R/W
b2	B2	Pm2入力プルアップ抵抗制御ビット		R/W
b3	B3	Pm3入力プルアップ抵抗制御ビット		R/W
b4	B4	Pm4入力プルアップ抵抗制御ビット		R/W
b5	B5	Pm5入力プルアップ抵抗制御ビット		R/W
b6	B6	Pm6入力プルアップ抵抗制御ビット		R/W
b7	B7	Pm7入力プルアップ抵抗制御ビット		R/W

m = 0 ~ 4, 7, 9, A, B, D

端子が入力状態のとき、PORTm.PCR レジスタが“1”のビットに対応する端子の入力プルアップ抵抗が有効になります。

汎用ポート出力、周辺機能出力として使用している場合には、PCR レジスタの設定値にかかわらず、プルアップ抵抗は無効になります。

リセット中もプルアップ抵抗は無効になります。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.3.8 駆動能力制御レジスタ (DSCR)

アドレス PORT0.DSCR 0008 C0E0h, PORT1.DSCR 0008 C0E1h, PORT2.DSCR 0008 C0E2h, PORT3.DSCR 0008 C0E3h,
PORT7.DSCR 0008 C0E7h, PORT9.DSCR 0008 C0E9h, PORTA.DSCR 0008 C0EAh, PORTB.DSCR 0008 C0EBh,
PORTD.DSCR 0008 C0EDh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	B0	Pm0 駆動能力制御ビット	0 : 通常出力 1 : 高駆動出力	R/W
b1	B1	Pm1 駆動能力制御ビット		R/W
b2	B2	Pm2 駆動能力制御ビット		R/W
b3	B3	Pm3 駆動能力制御ビット		R/W
b4	B4	Pm4 駆動能力制御ビット		R/W
b5	B5	Pm5 駆動能力制御ビット		R/W
b6	B6	Pm6 駆動能力制御ビット		R/W
b7	B7	Pm7 駆動能力制御ビット		R/W

m = 0 ~ 3, 7, 9, A, B, D

駆動能力が固定されている端子の当該ビットは、読み出し / 書き込み可能ですが、駆動能力の切り替えはできません。

高駆動出力を選択した場合、標準出力を選択した場合に比べてスイッチングノイズが増えます。高駆動能力を選択する場合は、近隣端子にノイズによる影響がないか十分に評価してください。

存在しない端子のビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

18.4 ポート方向レジスタ (PDR) の初期化

PDR レジスタの予約ビットは、表 18.3 ~ 表 18.5 を参照して初期化してください。

- 表 18.3 ~ 表 18.5 の空欄は、「表 18.1 I/O ポートの仕様」に記載されている端子に対応するビットです。使用するシステムに応じて“1”（出力）か“0”（入力）を設定してください。
- 表 18.3 ~ 表 18.5 の空欄以外は、予約ビットです。予約ビットには表 18.3 ~ 表 18.5 に従って“0”（入力）または“1”（出力）を設定ください。予約ビットを設定する場合は、バイト単位でアクセスしてください。

表 18.3 64ピンのPDRレジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1			
PORT1	1	1	1	1	1	1		
PORT2	1	1	1				1	1
PORT3	0	0	1	1				
PORT4								
PORT7	1							
PORT9	1	1	1					1
PORTA	1	1					1	1
PORTB								
PORTD						1	1	1

表 18.4 52ピンのPDRレジスタの設定値

ポートシンボル	PDR レジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1		1	1
PORT1	1	1	1	1	1	1		
PORT2	1	1	1				1	1
PORT3	0	0	1	1		1	1	1
PORT4								
PORT7	1							
PORT9	1	1	1			1	1	1
PORTA	1	1		1			1	1
PORTB								
PORTD	1					1	1	1

表 18.5 48ピンのPDRレジスタの設定値

ポートシンボル	PDRレジスタ							
	b7	b6	b5	b4	b3	b2	b1	b0
PORT0	1	1	1	1	1	1	1	1
PORT1	1	1	1	1	1	1		
PORT2	1	1	1				1	1
PORT3	0	0	1	1	1	1	1	1
PORT4								
PORT7	1							
PORT9	1	1	1			1	1	1
PORTA	1	1	1	1			1	1
PORTB	1							
PORTD	1					1	1	1

18.5 未使用端子の処理

表 18.6 に未使用端子の処理内容を示します。

表 18.6 未使用端子の処理内容

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介してVCCに接続 (プルアップ)
PE2/NMI	抵抗を介してVCCに接続 (プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1” (汎用ポートP36) に設定 ポートP36としても使用しない場合は、ポート0~4、7、9、A、B、Dの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1” (汎用ポートP37) に設定 ポートP37としても使用しない場合は、ポート0~4、7、9、A、B、Dの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート0~4、7、9、 ポートA、B、D	<ul style="list-style-type: none"> • 入力に設定 (PORTn.PDRビット=0) し、1端子ごとに抵抗を介してVCCに接続 (プルアップ)、または1端子ごとに抵抗を介してVSSに接続 (プルダウン) (注1) • 出力に設定 (PORTn.PDRビット=1) し、端子を開放 (注1、注2)

注1. PORTn.PMRビットを“0”、およびPmnPFS.ISEL, ASELビットを“0”にしてください。

注2. 出力に設定し開放する場合、リセット解除からポートを出力にするまでの間、ポートは入力になっています。そのため、ポートが入力になっている間、端子の電圧レベルが不定となり、電源電流が増加する場合があります。

19. マルチファンクションピンコントローラ (MPC)

19.1 概要

マルチファンクションピンコントローラ (MPC) は、周辺機能入出力、および割り込み入力信号を複数のポートから選択し割り付ける機能です。

表 19.1 にマルチプル端子の割り当て端子一覧を示します。パッケージの違いによる端子の有無については、表内で○、×で示します。同一機能を複数端子で有効にすることは禁止です。

表 19.1 マルチプル端子の割り当て端子一覧 (1 / 4)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				64ピン	52ピン	48ピン
割り込み	NMI	NMI (入力)	PE2	○	○	○
割り込み	IRQ0	IRQ0 (入力)	P10	○	○	○
			P93	○	○	○
	IRQ1	IRQ1 (入力)	P11	○	○	○
			P94	○	○	○
	IRQ2	IRQ2 (入力)	P00	○	×	×
			P22	○	○	○
			PB1	○	○	○
			PD4	○	○	○
	IRQ3	IRQ3 (入力)	P24	○	○	○
			PB4	○	○	○
			PD5	○	○	○
	IRQ4	IRQ4 (入力)	P01	○	×	×
			P23	○	○	○
			PA2	○	○	○
	IRQ5	IRQ5 (入力)	P02	○	○	×
			P70	○	○	○
PB6			○	○	○	
PD6			○	○	○	
マルチファンクション タイマユニット3	MTU0	MTIOC0A (入出力)	P31	○	×	×
			PB3	○	○	○
		MTIOC0B (入出力)	P30	○	×	×
			P93	○	○	○
	MTIOC0C (入出力)	P94	○	○	○	
		PB1	○	○	○	
	MTIOC0D (入出力)	PB0	○	○	○	
		MTU1	MTIOC1A (入出力)	PA5	○	○
	MTIOC1B (入出力)		PA4	○	×	×
	MTU2	MTIOC2A (入出力)	PA3	○	○	○
		MTIOC2B (入出力)	PA2	○	○	○
	MTU3	MTIOC3A (入出力)	P11	○	○	○
			P33	○	○	×
		MTIOC3B (入出力)	P71	○	○	○
		MTIOC3C (入出力)	P32	○	×	×
	MTIOC3D (入出力)	P74	○	○	○	

表 19.1 マルチプル端子の割り当て端子一覧 (2 / 4)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ		
				64ピン	52ピン	48ピン
マルチファンクション タイムユニット3	MTU4	MTIOC4A (入出力)	P72	○	○	○
		MTIOC4B (入出力)	P73	○	○	○
		MTIOC4C (入出力)	P75	○	○	○
		MTIOC4D (入出力)	P76	○	○	○
	MTU5	MTIC5U (入力)	P24	○	○	○
		MTIC5V (入力)	P23	○	○	○
		MTIC5W (入力)	P22	○	○	○
	MTU	MTCLKA (入力)	P33	○	○	×
		MTCLKB (入力)	P32	○	×	×
		MTCLKC (入力)	P11	○	○	○
			P31	○	×	×
		MTCLKD (入力)	P10	○	○	○
			P30	○	×	×
	ADSM0 (出力)	PB2	○	○	○	
8ビットタイマ	TMR0	TMO0 (出力)	PD3	○	○	○
		TMCI0 (入力)	PD4	○	○	○
		TMRI0 (入力)	PD5	○	○	○
	TMR1	TMO1 (出力)	P94	○	○	○
			PD6	○	○	○
		TMCI1 (入力)	P92	○	×	×
		TMRI1 (入力)	P93	○	○	○
	PD7		○	×	×	
	TMR2	TMO2 (出力)	P23	○	○	○
		TMCI2 (入力)	P24	○	○	○
		TMRI2 (入力)	P22	○	○	○
	TMR3	TMO3 (出力)	P11	○	○	○
		TMCI3 (入力)	PA5	○	○	×
		TMRI3 (入力)	P10	○	○	○
	ポートアウトプット イネーブル3	POE0	POE0# (入力)	P70	○	○
POE8		POE8# (入力)	PB4	○	○	○
POE10		POE10# (入力)	PE2	○	○	○
シリアル コミュニケーション インタフェース	SCI1	RXD1 (入力) / SMISO1 (入出力) / SSCL1 (入出力)	PD5	○	○	○
		TXD1 (出力) / SMOSI1 (入出力) / SSDA1 (入出力)	PD3	○	○	○
		SCK1 (入出力)	PD4	○	○	○
		CTS1# (入力) / RTS1# (出力) / SS1# (入力)	P02	○	○	×
	PD6		○	○	○	
	SCI5	RXD5 (入力) / SMISO5 (入出力) / SSCL5 (入出力)	PB1	○	○	○
			PB6	○	○	○
		TXD5 (出力) / SMOSI5 (入出力) / SSDA5 (入出力)	PB2	○	○	○
			PB5	○	○	○
		SCK5 (入出力)	P93	○	○	○
			PB3	○	○	○
	PB7	○	○	×		

表 19.1 マルチプル端子の割り当て端子一覧 (3 / 4)

モジュール/機能	チャンネル	端子機能	割り当てポート	パッケージ		
				64ピン	52ピン	48ピン
シリアル コミュニケーション インタフェース	SCI5	CTS5# (入力) / RTS5# (出力) / SS5# (入力)	PA2	○	○	○
I ² Cバス インタフェース		SCL0 (入出力)	PB1	○	○	○
		SDA0 (入出力)	PB2	○	○	○
シリアルペリフェラルインタフェース		RSPCKA (入出力)	P24	○	○	○
			P93	○	○	○
			PA4	○	×	×
			PB3	○	○	○
		MOSIA (入出力)	P23	○	○	○
			PB0	○	○	○
		MISOA (入出力)	P22	○	○	○
			P94	○	○	○
			PA5	○	○	×
		SSLA0 (入出力)	P30	○	×	×
			PA3	○	○	○
			PD6	○	○	○
		SSLA1 (出力)	P31	○	×	×
			PA2	○	○	○
			PD7	○	×	×
		SSLA2 (出力)	P32	○	×	×
			P92	○	×	×
		SSLA3 (出力)	P33	○	○	×
			P91	○	×	×
		12ビットA/Dコンバータ		AN000 (入力)	P40	○
AN001 (入力)	P41			○	○	○
AN002 (入力)	P42			○	○	○
AN003 (入力)	P43			○	○	○
AN004 (入力)	P44			○	○	○
AN005 (入力)	P45			○	○	○
AN006 (入力)	P46			○	○	○
AN007 (入力)	P47			○	○	○
AN016 (入力)	P11			○	○	○
AN017 (入力)	P10			○	○	○
ADTRG0# (入力)	PA4			○	×	×
ADST0 (出力)	P02			○	○	×
	PD6			○	○	○
クロック周波数精度測定回路				CACREF (入力)	P01	○
		P23	○		○	○
		PB3	○		○	○
コンパレータ		CMPC00 (入力)	P40	○	○	○
		CMPC01 (入力)	P43	○	○	○
		CMPC02 (入力)	P46	○	○	○
		CMPC10 (入力)	P41	○	○	○
		CMPC11 (入力)	P44	○	○	○

表 19.1 マルチプル端子の割り当て端子一覧 (4 / 4)

モジュール/機能	チャンネル	端子機能	割り当て ポート	パッケージ		
				64ピン	52ピン	48ピン
コンパレータ		CMPC12 (入力)	P47	○	○	○
		CMPC20 (入力)	P42	○	○	○
		CMPC21 (入力)	P45	○	○	○
		CMPC22 (入力)	P47	○	○	○
		COMP0 (出力)	P24	○	○	○
		COMP1 (出力)	P23	○	○	○
		COMP2 (出力)	P22	○	○	○
		CVREFC0 (入力)	P11	○	○	○
		CVREFC1 (入力)	P10	○	○	○

19.2 レジスタの説明

パッケージの違いにより、端子がないレジスタ、ビットは予約です。該当するビットに値を書く場合は、リセット後の値を書いてください。

19.2.1 書き込みプロテクトレジスタ (PWPR)

アドレス 0008 C11Fh

	b7	b6	b5	b4	b3	b2	b1	b0
	BOWI	PFSWE	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PFSWE	PFSレジスタ書き込み許可ビット	0: PFSレジスタへの書き込みを禁止 1: PFSレジスタへの書き込みを許可	R/W
b7	BOWI	PFSWEビット書き込み禁止ビット	0: PFSWEビットへの書き込みを許可 1: PFSWEビットへの書き込みを禁止	R/W

PFSWE ビット (PFS レジスタ書き込み許可ビット)

PFSWE ビットを“1”にしたときのみ、PmnPFS レジスタに対する書き込みが許可されます。

PFSWE ビットを“1”にする場合は、BOWI ビットに“0”を書いた後、PFSWE ビットを“1”にしてください。

BOWI ビット (PFSWE ビット書き込み禁止ビット)

BOWI ビットを“0”にしたときのみ、PFSWE ビットに対する書き込みが許可されます。

19.2.2 P0n 端子機能選択レジスタ (P0nPFS) (n=0 ~ 2)

アドレス P00PFS 0008 C140h, P01PFS 0008 C141h, P02PFS 0008 C142h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	ISEL	—	PSEL[4:0]				—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.2を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0: IRQn入力端子として使用しない 1: IRQn入力端子として使用する P00: IRQ2 (64ピン) P01: IRQ4 (64ピン) P02: IRQ5 (64/52ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

Pmn 端子機能制御レジスタ (PmnPFS) は、端子の機能を選択します。

PSEL[4:0] ビットで端子に割り付ける周辺機能を設定します。

ISEL ビットは、IRQ 入力端子として使用する場合に設定します。周辺機能と組み合わせても使用できま

す。ただし、同じ番号の IRQ_n (外部端子割り込み) を2つ以上の端子で許可することは禁止です。

IRQ_n 機能のない端子の ISEL ビットは予約です。

表 19.2 64ピン、52ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子	
	P01PFS	P02PFS
	P01 (注1)	P02
00000b (初期値)	Hi-Z	
00111b	CACREF	—
01001b	—	ADST0
01010b	—	CTS1#/RTS1#/SS1#

— : 設定しないでください。

注1. 64ピンのみ対応

19.2.3 P1n 端子機能選択レジスタ (P1nPFS) (n=0, 1)

アドレス P10PFS 0008 C148h, P11PFS 0008 C149h

b7	b6	b5	b4	b3	b2	b1	b0
ASEL	ISEL	—	PSEL[4:0]				

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.3を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQ_n 入力端子として使用しない 1 : IRQ_n 入力端子として使用する P10: IRQ_0 (64/52/48ピン) P11: IRQ_1 (64/52/48ピン)	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P10: AN017、CVREF1 (64/52/48ピン) P11: AN016、CVREF0 (64/52/48ピン)	R/W

表 19.3 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子	
	P10PFS	P11PFS
	P10	P11
00000b (初期値)	Hi-Z	
00001b	—	MTIOC3A
00010b	MTCLKD	MTCLKC
00101b	TMRI3	TMO3

— : 設定しないでください。

19.2.4 P2n 端子機能選択レジスタ (P2nPFS) (n=2 ~ 4)

アドレス P22PFS 0008 C152h, P23PFS 0008 C153h, P24PFS 0008 C154h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.4 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P22: IRQ2 (64/52/48ピン) P23: IRQ4 (64/52/48ピン) P24: IRQ3 (64/52/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

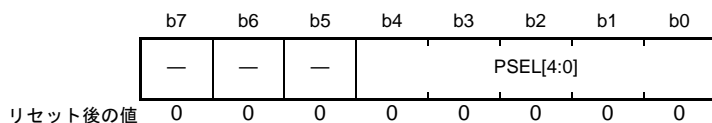
表 19.4 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子		
	P22PFS	P23PFS	P24PFS
	P22	P23	P24
00000b (初期値)	Hi-Z		
00001b	MTIC5W	MTIC5V	MTIC5U
00101b	TMRI2	TMO2	TMCI2
00111b	—	CACREF	—
01101b	MISOA	MOSIA	RSPCKA
11110b	COMP2	COMP1	COMP0

— : 設定しないでください。

19.2.5 P3n 端子機能選択レジスタ (P3nPFS) (n=0 ~ 3)

アドレス P30PFS 0008 C158h, P31PFS 0008 C159h, P32PFS 0008 C15Ah, P33PFS 0008 C15Bh



ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.5を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

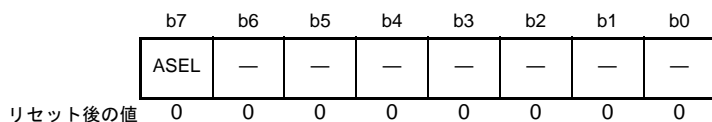
表 19.5 64ピン、52ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子			
	P30PFS	P31PFS	P32PFS	P33PFS
	P30 (注1)	P31 (注1)	P32 (注1)	P33
00000b (初期値)	Hi-Z			
00001b	MTIOC0B	MTIOC0A	MTIOC3C	MTIOC3A
00010b	MTCLKD	MTCLKC	MTCLKB	MTCLKA
01101b	SSLA0	SSLA1	SSLA2	SSLA3

注1. 64ピンのみ対応

19.2.6 P4n 端子機能選択レジスタ (P4nPFS) (n=0 ~ 7)

アドレス P40PFS 0008 C160h, P41PFS 0008 C161h, P42PFS 0008 C162h, P43PFS 0008 C163h, P44PFS 0008 C164h, P45PFS 0008 C165h, P46PFS 0008 C166h, P47PFS 0008 C167h

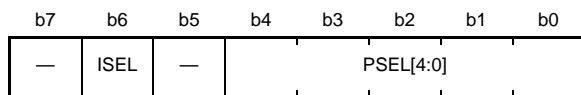


ASEL ビットは、端子をアナログ端子として使用する場合に設定します。このとき、端子状態を読むことはできません。

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	ASEL	アナログ入力機能選択ビット	0 : アナログ端子以外に使用する 1 : アナログ端子として使用する P40: AN000 (64/52/48ピン) P41: AN001 (64/52/48ピン) P42: AN002 (64/52/48ピン) P43: AN003 (64/52/48ピン) P44: AN004 (64/52/48ピン) P45: AN005 (64/52/48ピン) P46: AN006 (64/52/48ピン) P47: AN007 (64/52/48ピン)	R/W

19.2.7 P7n 端子機能選択レジスタ (P7nPFS) (n=0 ~ 6)

アドレス P70PFS 0008 C178h, P71PFS 0008 C179h, P72PFS 0008 C17Ah, P73PFS 0008 C17Bh, P74PFS 0008 C17Ch, P75PFS 0008 C17Dh, P76PFS 0008 C17Eh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.6を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P70: IRQ5 (64/52/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

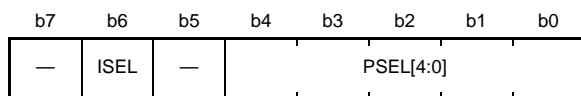
表 19.6 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子						
	P70PFS	P71PFS	P72PFS	P73PFS	P74PFS	P75PFS	P76PFS
	P70	P71	P72	P73	P74	P75	P76
00000b (初期値)	Hi-Z						
00001b	—	MTIOC3B	MTIOC4A	MTIOC4B	MTIOC3D	MTIOC4C	MTIOC4D
00111b	POE0#	—	—	—	—	—	—

— : 設定しないでください。

19.2.8 P9n 端子機能選択レジスタ (P9nPFS) (n=1 ~ 4)

アドレス P91PFS 0008 C189h, P92PFS 0008 C18Ah, P93PFS 0008 C18Bh, P94PFS 0008 C18Ch



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.7を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する P93: IRQ0 (64/52/48ピン) P94: IRQ1 (64/52/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.7 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

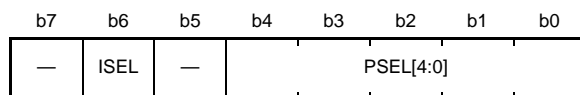
PSEL[4:0]ビット 設定値	対象レジスタ/端子			
	P91PFS	P92PFS	P93PFS	P94PFS
	P91 (注1)	P92 (注1)	P93	P94
00000b (初期値)	Hi-Z			
00001b	—	—	MTIOC0B	MTIOC0C
00101b	—	TMCi1	TMRI1	TMO1
01010b	—	—	SCK5	—
01101b	SSLA3	SSLA2	RSPCKA	MISOA

— : 設定しないでください。

注1. 64ピンのみ対応

19.2.9 PAn 端子機能選択レジスタ (PAnPFS) (n=2 ~ 5)

アドレス PA2PFS 0008 C192h, PA3PFS 0008 C193h, PA4PFS 0008 C194h, PA5PFS 0008 C195h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.8 を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PA2: IRQ4 (64/52/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.8 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子			
	PA2PFS	PA3PFS	PA4PFS	PA5PFS
	PA2	PA3	PA4 (注1)	PA5 (注2)
00000b (初期値)	Hi-Z			
00001b	MTIOC2B	MTIOC2A	MTIOC1B	MTIOC1A
00101b	—	—	—	TMCi3
01001b	—	—	ADTRG0#	—
01010b	CTS5#/RTS5#/SS5#	—	—	—
01101b	SSLA1	SSLA0	RSPCKA	MISOA

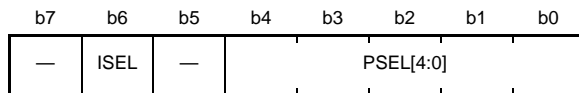
— : 設定しないでください。

注1. 64ピンのみ対応

注2. 64ピン、52ピンのみ対応

19.2.10 P_{Bn} 端子機能選択レジスタ (P_{Bn}PFS) (n=0 ~ 7)

アドレス PB0PFS 0008 C198h, PB1PFS 0008 C199h, PB2PFS 0008 C19Ah, PB3PFS 0008 C19Bh, PB4PFS 0008 C19Ch, PB5PFS 0008 C19Dh, PB6PFS 0008 C19Eh, PB7PFS 0008 C19Fh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.9を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PB1: IRQ2 (64/52/48ピン) PB4: IRQ3 (64/52/48ピン) PB6: IRQ5 (64/52/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.9 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

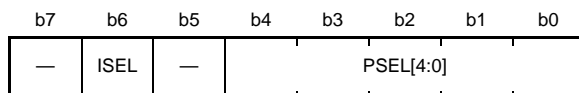
PSEL[4:0]ビット 設定値	対象レジスタ/端子							
	PB0PFS	PB1PFS	PB2PFS	PB3PFS	PB4PFS	PB5PFS	PB6PFS	PB7PFS
	PB0	PB1	PB2	PB3	PB4	PB5	PB6	PB7 (注1)
00000b (初期値)	Hi-Z							
00001b	MTIOC0D	MTIOC0C	MTIOC0B	MTIOC0A	—	—	—	—
00111b	—	—	—	CACREF	POE8#	—	—	—
01001b	—	—	ADSM0	—	—	—	—	—
01010b	—	RXD5 SMISO5 SSCL5	TXD5 SMOSI5 SSDA5	SCK5	—	TXD5 SMOSI5 SSDA5	RXD5 SMISO5 SSCL5	SCK5
01101b	MOSIA	—	—	RSPCKA	—	—	—	—
01111b	—	SCL0	SDA0	—	—	—	—	—

— : 設定しないでください。

注1. 64ピン、52ピンのみ対応

19.2.11 P_{Dn} 端子機能選択レジスタ (P_{Dn}PFS) (n=3 ~ 7)

アドレス PD3PFS 0008 C1ABh, PD4PFS 0008 C1ACh, PD5PFS 0008 C1ADh, PD6PFS 0008 C1AEh, PD7PFS 0008 C1AFh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.10を参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b6	ISEL	割り込み入力機能選択ビット	0 : IRQn入力端子として使用しない 1 : IRQn入力端子として使用する PD4: IRQ2 (64/52/48ピン) PD5: IRQ3 (64/52/48ピン) PD6: IRQ5 (64/52/48ピン)	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.10 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

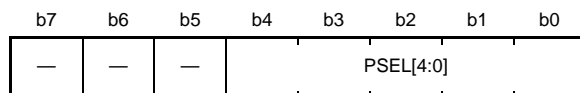
PSEL[4:0]ビット 設定値	対象レジスタ/端子				
	PD3PFS	PD4PFS	PD5PFS	PD6PFS	PD7PFS
	PD3	PD4	PD5	PD6	PD7 (注1)
00000b (初期値)	Hi-Z				
00101b	TMO0	TMCIO	TMRI0	TMO1	TMRI1
01001b	—	—	—	ADST0	—
01010b	TXD1 SMOSI1 SSDA1	SCK1	RXD1 SMISO1 SSCL1	CTS1#/RTS1#/ SS1#	—
01101b	—	—	—	SSLA0	SSLA1

— : 設定しないでください。

注1. 64ピンのみ対応

19.2.12 PEn 端子機能選択レジスタ (PE2PFS)

アドレス PE2PFS 0008 C1B2h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	PSEL[4:0]	端子機能選択ビット	周辺機能を選択します。個々の端子機能については、表 19.11を参照してください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

表 19.11 64ピン、52ピン、48ピン端子入出力機能レジスタ設定

PSEL[4:0]ビット 設定値	対象レジスタ/端子	
	PE2PFS	
	PE2	
00000b (初期値)	Hi-Z	
00111b	POE10#	

NMIER.NMIEN=1 に設定してある場合、NMI 処理を優先します。

19.3 使用上の注意事項

19.3.1 端子入出力機能設定手順

端子入出力機能の設定は下記の手順で行ってください。

1. 当該端子のポートモードレジスタ (PMR) を“0”にして汎用入出力ポートに設定します。
2. 周辺機能モジュールにおいて、当該端子にアサインする入出力信号を設定します。
3. 書き込みプロテクトレジスタ (PWPR) を設定して、Pmn 端子機能制御レジスタ (PmnPFS) を書き込み有効にします (m=0~4、7、9、A、B、D、E、n=0~7)。
4. PmnPFS.PSEL[4:0] ビットにより端子入出力機能を設定します。
5. PWPR.PFSWE ビットを“0”にして、PmnPFS レジスタへの書き込み禁止してください。
6. 必要に応じて PMR レジスタを“1”にして、選択された端子入出力機能に切り替えます。

19.3.2 MPC レジスタ設定する場合の注意事項

1. Pmn 端子機能制御レジスタ (PmnPFS) を設定するときは、当該端子の PMR レジスタが“0”の状態を設定してください。当該端子の PMR レジスタが“1”の状態では PmnPFS レジスタを設定すると、入力機能の場合は意図しないエッジが入力されたり、出力機能の場合は、意図しないパルスが出力されたりする可能性があります。
2. PmnPFS レジスタで設定可能な機能以外に設定しないでください。指定機能以外に設定した場合、動作は保証されません。
3. MPC により同一の機能を複数の端子に割り当てる設定はしないでください。
4. ポート 1、4 は A/D コンバータのアナログ入力端子の機能も兼ねています。アナログ入力端子として使用する場合は、精度劣化させないために、ポートモードレジスタ (PMR) の当該ビットを“0”にして、ポート方向レジスタ (PDR) の当該ビットを“0”にして当該端子を汎用入力にし、PmnPFS.ASEL ビットを“1”にしてください。
5. マルチプル端子のポートモードレジスタ (PMR)、ポート方向レジスタ (PDR) と、Pmn 端子機能制御レジスタ (PmnPFS) の設定および注意事項を表 19.12 に示します。端子状態の読み出しは、ASEL ビットが“0”のとき可能です。PSEL[4:0] ビットの変更は、PMR.Bj ビットが“0”の状態で行ってください。

表 19.12 レジスタの設定

項目	PMR.Bn	PDR.Bn	PmnPFS			注意事項
			ASEL	ISEL	PSEL[4:0]	
リセット解除後	0	0	0	0	00000b	リセット解除後は汎用入力ポートとして機能します
汎用入力ポート	0	0	0	0/1	×	割り込み入力と併用する場合は、ISELビットを“1”にしてください
汎用出力ポート	0	1	0	0	×	
周辺機能	1	×	0	0/1	周辺機能 (表 19.2～ 表 19.11 参 照)	割り込み入力と併用する場合は、ISELビットを“1”にしてください
割り込み入力	0	0	0	1	×	
NMI	×	×	×	×	×	レジスタの設定は不要です
アナログ入力	0 (注2)	0	1	×	×	出力バッファをOFFにするため、汎用入力ポートに設定してください

× : 設定不要

0/1 : PmnPFS.ISEL ビットを“0”にすれば、IRQ 端子として機能しません

PmnPFS.ISEL ビットを“1”にすれば、IRQ 端子として機能します (IRQ がマルチプルされている場合)

注1. PmnPFS.ISEL ビットを“1”にしても、IRQn 入力端子として機能しません。

注2. PORT4は設定不要です。

注. 端子状態の読み出しは、PmnPFS.ASEL ビットが“0”のとき可能です。

・ PmnPFS.PSEL[4:0] ビットの変更は、PMR.Bn ビットが“0”の状態で行ってください。

・ RIIC をアサインしたポートは、PCR.Bn ビットを“0”にしてください (RIIC 以外の周辺機能出力では自動的にプルアップが OFF になります)。

19.3.3 アナログ機能を使う場合の注意事項

アナログ機能を使用するときは、ポートモードレジスタ (PMR) の当該ビットを“0”、ポート方向レジスタ (PDR) の当該ビットを“0”にし、当該端子を汎用入力にしてから、Pmn 端子機能制御レジスタの端子機能選択ビット (PmnPFS.ASEL) を“1”にしてください。

19.3.4 PB1 端子の入力レベルについての注意事項

PB1 端子は、PB1PFS.PSEL で SCL 機能を選択し、RIIC の ICMR3.SMBS ビットで SMBus を選択した場合、入力レベルは TTL になります。これに伴い、PB1 のポートリードおよび IRQ2 の入力レベルも TTL となります。

20. マルチファンクションタイマパルスユニット3 (MTU3c)

20.1 概要

本 MCU は、6 チャンネルの 16 ビットタイマにより構成されるマルチファンクションタイマパルスユニット 3 (MTU3c) を内蔵しています。

表 20.1 に MTU の仕様を、表 20.2 に MTU の機能一覧を示します。また、図 20.1 に MTU のブロック図を示します。

表 20.1 MTU の仕様

項目	内容
パルス入出力	最大 16 本
パルス入力	3 本
カウントクロック	チャンネルごとに 11 種類 (MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)
動作周波数	~ 40MHz
設定可能動作	【MTU0 ~ MTU4】 <ul style="list-style-type: none"> コンペアマッチによる波形出力 インプットキャプチャ機能 (ノイズフィルタ設定可能) カウンタクリア動作 複数のタイマカウンタ (TCNT) への同時書き込み コンペアマッチ/インプットキャプチャによる同時クリア カウンタの同期動作による各レジスタの同期入出力 同期動作と組み合わせることによる最大 12 相の PWM 出力
	【MTU0, MTU3, MTU4】 <ul style="list-style-type: none"> バッファ動作を設定可能
	【MTU1, MTU2】 <ul style="list-style-type: none"> 独立に位相計数モードを設定可能 MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時) カスケード接続動作が可能
	【MTU3, MTU4】 <ul style="list-style-type: none"> MTU3/MTU4 の連動動作による相補 PWM、リセット PWM 動作で、6 相のポジ/ネガの出力が可能 相補 PWM モード時、タイマカウンタの山/谷もしくはバッファレジスタ (MTU4.TGRD) への書き込み時に、バッファレジスタからテンポラリレジスタへデータ転送可能 相補 PWM モードでダブルバッファ機能を設定可能
	【MTU3, MTU4】 <ul style="list-style-type: none"> MTU0 と連動させて、相補 PWM、リセット PWM を用いた AC 同期モータ (ブラシレス DC モータ) 駆動モードが設定可能で、2 種類 (チョッピング、レベル) の波形出力が選択可能
	【MTU5】 <ul style="list-style-type: none"> デッドタイム補償用カウンタとして使用することが可能
割り込み間引き機能	相補 PWM モード時に、カウンタの山/谷での割り込み、および A/D コンバータの変換スタートトリガを間引くことが可能
割り込み要因	28 種類
バッファ動作	レジスタデータの自動転送 (バッファレジスタからタイマレジスタへの転送)
トリガ生成	A/D コンバータの変換開始トリガを生成可能
	A/D 変換開始要求のディレイド機能により、任意のタイミングで A/D 変換開始が可能。また PWM 出力との同期動作が可能
消費電力低減機能	モジュールストップ状態への設定が可能

表20.2 MTUの機能一覧 (1/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5
カウントクロック	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC MTCLKD MTIOC1A	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB MTCLKC	MTCLKA MTCLKB MTCLKC MTCLKD	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTCLKA MTCLKB	PCLKA/1 PCLKA/2 PCLKA/4 PCLKA/8 PCLKA/16 PCLKA/32 PCLKA/64 PCLKA/256 PCLKA/1024 MTIOC1A
位相計数モードの外部クロック	—	MTCLKA MTCLKB	MTCLKC MTCLKD	MTCLKA MTCLKB MTCLKC MTCLKD	—	—	—
ジェネラルレジスタ (TGR)	TGRA TGRB TGRE	TGRA TGRB	TGRA TGRB	TGRALW TGRBLW	TGRA TGRB	TGRA TGRB	TGRU TGRV TGRW
ジェネラルレジスタ/ バッファレジスタ	TGRC TGRD TGRF	—	—	—	TGRC TGRD TGRE	TGRC TGRD TGRE TGRF	—
入出力端子	MTIOC0A MTIOC0B MTIOC0C MTIOC0D	MTIOC1A MTIOC1B	MTIOC2A MTIOC2B	MTIOC1A MTIOC1B	MTIOC3A MTIOC3B MTIOC3C MTIOC3D	MTIOC4A MTIOC4B MTIOC4C MTIOC4D	MTIC5U MTIC5V MTIC5W
カウンタクリア機能	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRALW/TRBL Wのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ
コンペア アマッチ出力	0出力	○	○	○	○	○	—
1出力	○	○	○	○	○	○	—
トグル出力	○	○	○	○	○	○	—
インプットキャブチャ機能	○	○	○	○ (注1)	○	○	○
同期動作	○	○	○	—	○	○	—
PWMモード1	○	○	○	—	○	○	—
PWMモード2	○	○	○	—	—	—	—
相補PWMモード	—	—	—	—	○	○	—
リセット同期PWMモード	—	—	—	—	○	○	—
AC同期モータ駆動モード	○	—	—	—	○	○	—
位相計数モード	—	○	○	○	—	—	—
バッファ動作	○	—	—	—	○	○	—
デッドタイム補償用カウンタ機 能	—	—	—	—	—	—	○
DTCの起動	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRALW/TGR BLWのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャ	TGRのコンペア アマッチ またはインプ トキャブチャと TCNTオーバフ ロー/アンダフ ロー	TGRのコンペア アマッチ またはインプ トキャブチャ
A/D変換開始トリガ	TGRAのコンペア アマッチ またはインプ トキャブチャ TGREのコンペア アマッチ	TGRAのコンペア アマッチ またはインプ トキャブチャ	TGRAのコンペア アマッチ またはインプ トキャブチャ	TGRALWのコン ペアアマッチ またはインプ トキャブチャ	TGRAのコンペア アマッチ またはインプ トキャブチャ	TGRAのコンペア アマッチ またはインプ トキャブチャ 相補PWMモー ド時TCNTのア ンダフロー (谷)	—

表 20.2 MTUの機能一覧 (2/2)

項目	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4	MTU5
割り込み要因	7要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 0A コンペアマッチ/インプットキャプチャ 0B コンペアマッチ/インプットキャプチャ 0C コンペアマッチ/インプットキャプチャ 0D コンペアマッチ 0E コンペアマッチ 0F オーバーフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 1A コンペアマッチ/インプットキャプチャ 1B オーバーフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 2A コンペアマッチ/インプットキャプチャ 2B オーバーフロー アンダフロー 	4要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 1A コンペアマッチ/インプットキャプチャ 1B オーバーフロー アンダフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 3A コンペアマッチ/インプットキャプチャ 3B コンペアマッチ/インプットキャプチャ 3C コンペアマッチ/インプットキャプチャ 3D オーバーフロー 	5要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 4A コンペアマッチ/インプットキャプチャ 4B コンペアマッチ/インプットキャプチャ 4C コンペアマッチ/インプットキャプチャ 4D オーバーフロー/アンダフロー 	3要因 <ul style="list-style-type: none"> コンペアマッチ/インプットキャプチャ 5U コンペアマッチ/インプットキャプチャ 5V コンペアマッチ/インプットキャプチャ 5W
A/D変換開始要求ディレイド機能	—	—	—	—	—	<ul style="list-style-type: none"> TADCORAとTCNTの一致で、A/D変換開始要求またはTADCORBとTCNTの一致で、A/D変換開始要求 	—
割り込み間引き機能1	—	—	—	—	<ul style="list-style-type: none"> TGRAのコンペアマッチ割り込みを間引き 	<ul style="list-style-type: none"> TCIV割り込みを間引き 	—
割り込み間引き機能2	—	—	—	—	—	<ul style="list-style-type: none"> TADCORAとTCNT、およびTADCORBとTCNTのコンペア回数で間引き 	—
モジュールストップ	MSTPCRA.MSTPA9 (注2)						

○：可能 —：不可能

注1. LWA = 1の場合、TGRALWのキャプチャ要因はMTIOC1Aからの入力またはMTU0.TGRAのコンペアマッチ/インプットキャプチャイベントから選択可能です。TGRBLWのキャプチャ要因はMTIOC1Bからの入力、MTU0.TGRCのコンペアマッチ/インプットキャプチャイベントから選択可能です。

注2. モジュールストップの詳細については、「11. 消費電力低減機能」を参照してください。

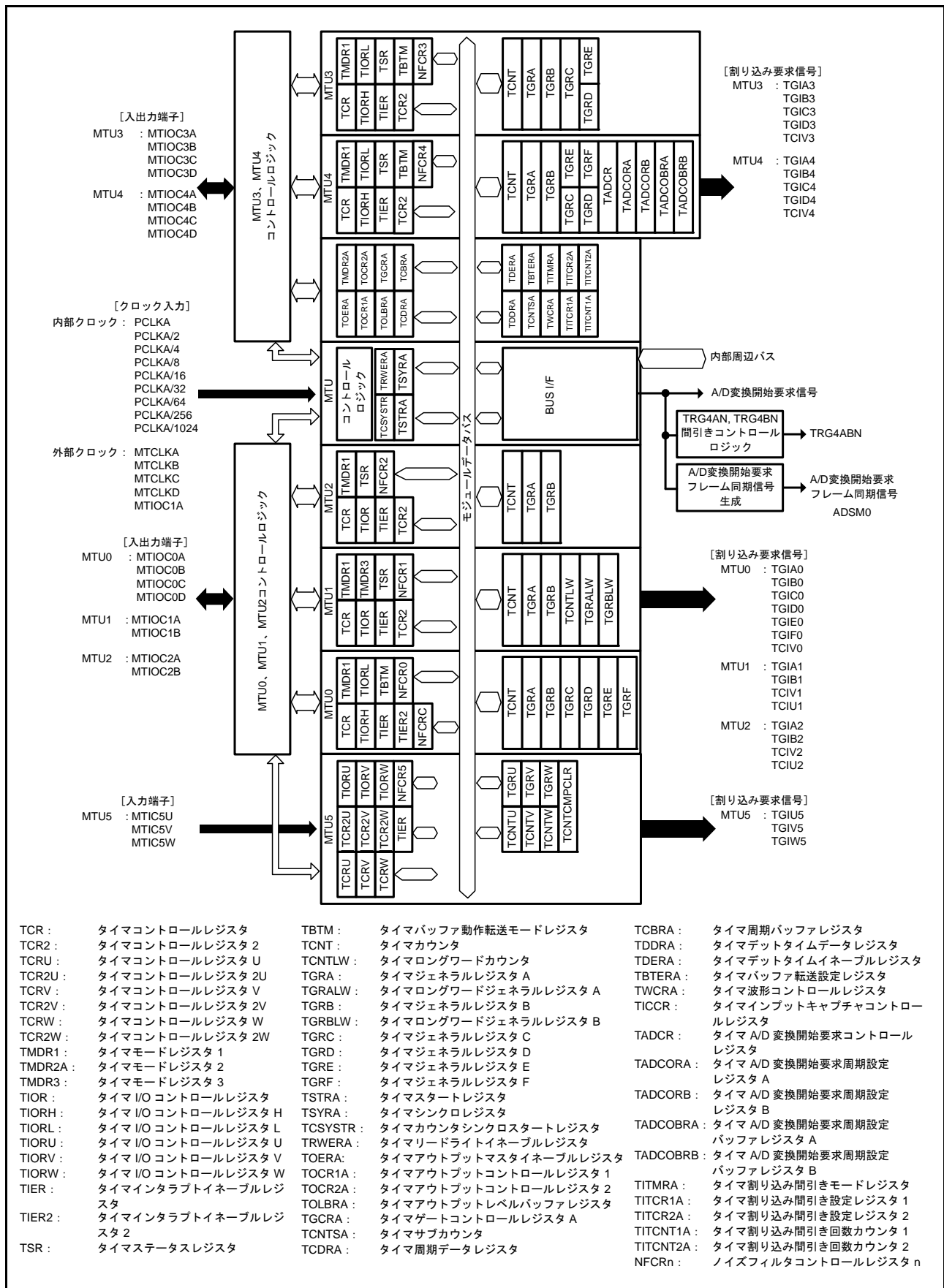


図 20.1 MTU のブロック図 (MTU0 ~ MTU5)

表 20.3 に MTU で使用する入出力端子を示します。

表 20.3 MTUの入出力端子

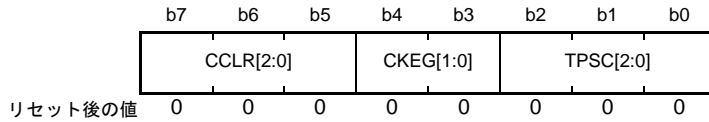
チャンネル	端子名	入出力	機能
MTU	MTCLKA	入力	外部クロックA入力端子 (MTU1の位相計数モードA相入力)
	MTCLKB	入力	外部クロックB入力端子 (MTU1の位相計数モードB相入力)
	MTCLKC	入力	外部クロックC入力端子 (MTU2の位相計数モードA相入力)
	MTCLKD	入力	外部クロックD入力端子 (MTU2の位相計数モードB相入力)
	ADSM0	出力	A/D変換開始要求フレーム同期信号0出力端子
MTU0	MTIOC0A	入出力	MTU0.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0B	入出力	MTU0.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0C	入出力	MTU0.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC0D	入出力	MTU0.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU1	MTIOC1A	入出力	MTU1.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1B	入出力	MTU1.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU2	MTIOC2A	入出力	MTU2.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2B	入出力	MTU2.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU3	MTIOC3A	入出力	MTU3.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3B	入出力	MTU3.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3C	入出力	MTU3.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3D	入出力	MTU3.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU4	MTIOC4A	入出力	MTU4.TGRAのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4B	入出力	MTU4.TGRBのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4C	入出力	MTU4.TGRCのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4D	入出力	MTU4.TGRDのインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
MTU5	MTIC5U	入力	MTU5.TGRUのインプットキャプチャ入力/外部パルス入力端子
	MTIC5V	入力	MTU5.TGRVのインプットキャプチャ入力/外部パルス入力端子
	MTIC5W	入力	MTU5.TGRWのインプットキャプチャ入力/外部パルス入力端子

20.2 レジスタの説明

20.2.1 タイマコントロールレジスタ (TCR)

- MTU0.TCR, MTU1.TCR, MTU2.TCR, MTU3.TCR, MTU4.TCR

アドレス MTU0.TCR 000C 1300h, MTU1.TCR 000C 1380h, MTU2.TCR 000C 1400h, MTU3.TCR 000C 1200h, MTU4.TCR 000C 1201h



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC[2:0]	タイマプリスケーラ選択ビット	表 20.6～表 20.9を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	CCLR[2:0]	カウンタクリア要因選択ビット	表 20.4、表 20.5を参照してください	R/W

x : Don't care

TCR レジスタは、TCR2 と組み合わせて各チャネルの TCNT を制御します。MTU0～MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR レジスタがあります。TCR レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC[2:0] ビット (タイマプリスケーラ選択ビット)

TCNT のカウンタクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は表 20.6～表 20.9 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

入力クロック (MTIOC1A 端子含む) のエッジを選択します。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例: PCLKA/4 の両エッジ = PCLKA/2 の立ち上がりエッジ)。MTU1、MTU2 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが PCLKA/2 もしくはそれより遅い場合に有効です。入力クロックに PCLKA/1、あるいは他のチャネルのオーバフロー/アンダフローを選択した場合、値は書き込めませんが、動作は初期値になります。

CCLR[2:0] ビット (カウンタクリア要因選択ビット)

TCNT のカウンタクリア要因を選択します。詳細は表 20.4、表 20.5 を参照してください。

表 20.4 CCLR[2:0] (MTU0, MTU3, MTU4)

チャンネル	ビット7	ビット6	ビット5	説明
	CCLR[2]	CCLR[1]	CCLR[0]	
MTU0	0	0	0	TCNTのクリア禁止
MTU3	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
MTU4	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)
	1	0	0	TCNTのクリア禁止
	1	0	1	TGRCのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	0	TGRDのコンペアマッチ/インプットキャプチャでTCNTクリア (注2)
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNCビットを“1”にすることにより行います。

注2. TGRCまたはTGRDをバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNTはクリアされません。

表 20.5 CCLR[2:0] (MTU1, MTU2)

チャンネル	ビット7	ビット6	ビット5	説明
	予約ビット (注2)	CCLR[1]	CCLR[0]	
MTU1	0	0	0	TCNTのクリア禁止
MTU2	0	0	1	TGRAのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	0	TGRBのコンペアマッチ/インプットキャプチャでTCNTクリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアでTCNTをクリア (注1)

注1. 同期動作の設定は、TSYRA.SYNCビットを“1”にすることにより行います。

注2. MTU1、MTU2ではビット7は予約ビットです。読むと“0”が読めます。書き込みは無効となります。

- MTU5.TCRU, MTU5.TCRV, MTU5.TCRW

アドレス MTU5.TCRU 000C 1484h, MTU5.TCRV 000C 1494h, MTU5.TCRW 000C 14A4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TPSC[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	TPSC[1:0]	タイマプリスケラ選択ビット	表 20.10を参照してください	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

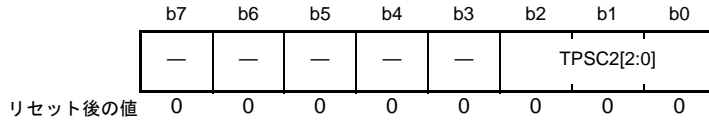
TPSC[1:0] ビット (タイマプリスケラ選択ビット)

TCNTのカウントクロックを選択します。詳細は表 20.10を参照してください。

20.2.2 タイマコントロールレジスタ 2 (TCR2)

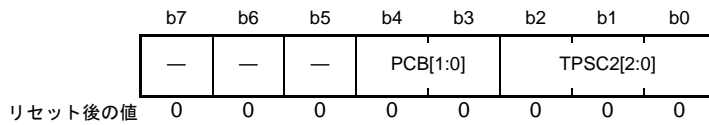
- MTU0.TCR2, MTU3.TCR2, MTU4.TCR2

アドレス MTU0.TCR2 000C 1328h, MTU3.TCR2 000C 124Ch, MTU4.TCR2 000C 124Dh



- MTU1.TCR2, MTU2.TCR2

アドレス MTU1.TCR2 000C 1394h, MTU2.TCR2 000C 140Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表 20.6～表 20.9を参照してください	R/W
b4-b3	PCB[1:0]	位相計数モード機能拡張制御ビット	位相計数モード2、3、5モードの機能拡張を制御	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCR2 レジスタは、TCR と組み合わせて各チャネルの TCNT を制御します。MTU0～MTU4 に各 1 本、MTU5 には TCRU/V/W の 3 本、計 8 本の TCR2 レジスタがあります。TCR2 レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TPSC2[2:0] ビット (タイマプリスケーラ選択ビット)

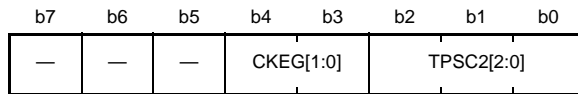
TCNT のカウントクロックを選択します。各チャネル独立にクロックソースを選択することができます。詳細は表 20.6～表 20.9 を参照してください。

PCB[1:0] ビット (位相計数モード機能拡張制御ビット)

MTU1 と MTU2 の位相計数モード 2、3、5 の機能拡張制御ビットです。詳細は「20.3.6 位相計数モード」を参照してください。

- MTU5.TCR2U, MTU5.TCR2V, MTU5.TCR2W

アドレス MTU5.TCR2U 000C 1485h, MTU5.TCR2V 000C 1495h, MTU5.TCR2W 000C 14A5h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	TPSC2[2:0]	タイマプリスケーラ選択ビット	表 20.10 を参照してください	R/W
b4-b3	CKEG[1:0]	クロックエッジ選択ビット	b4 b3 0 0 : 立ち上がりエッジでカウント 0 1 : 立ち下がりエッジでカウント 1 x : 両エッジでカウント	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

x : Don't care

TPSC2[2:0] ビット (タイマプリスケーラ選択ビット)

TCNT のカウントクロックを選択します。詳細は表 20.10 を参照してください。

CKEG[1:0] ビット (クロックエッジ選択ビット)

MTIOC1A 端子によるカウントクロックのエッジを選択します。

表 20.6 TPSC[2:0], TPSC2[2:0] (MTU0)

チャネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU0	0	0	0	0	0	0	内部クロック : PCLKA/1 でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4 でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16 でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64 でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA 端子入力 でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB 端子入力 でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC 端子入力 でカウント
	0	0	0	1	1	1	外部クロック : MTCLKD 端子入力 でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2 でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8 でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32 でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256 でカウント
	1	0	1	x	x	x	内部クロック : PCLKA/1024 でカウント
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	外部クロック : MTIOC1A 端子入力 でカウント	

x : Don't care

表20.7 TPSC[2:0], TPSC2[2:0] (MTU1)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU1	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	1	1	MTU2.TCNTのオーバフロー/アンダフロー
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/1024でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU1が位相計数モード時、この設定は無効になります。

表20.8 TPSC[2:0], TPSC2[2:0] (MTU2)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU2	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	0	1	外部クロック : MTCLKB端子入力でカウント
	0	0	0	1	1	0	外部クロック : MTCLKC端子入力でカウント
	0	0	0	1	1	1	内部クロック : PCLKA/1024でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

注. MTU2が位相計数モード時、この設定は無効になります。

表 20.9 TPSC[2:0], TPSC2[2:0] (MTU3, MTU4)

チャンネル	TCR2レジスタ			TCRレジスタ			説明
	ビット2	ビット1	ビット0	ビット2	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[2]	TPSC[1]	TPSC[0]	
MTU3 MTU4	0	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	0	1	0	0	内部クロック : PCLKA/256でカウント
	0	0	0	1	0	1	内部クロック : PCLKA/1024でカウント
	0	0	0	1	1	0	外部クロック : MTCLKA端子入力でカウント
	0	0	0	1	1	1	外部クロック : MTCLKB端子入力でカウント
	0	0	1	x	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	x	設定しないでください
	1	0	1	x	x	x	設定しないでください
	1	1	0	x	x	x	設定しないでください
1	1	1	x	x	x	設定しないでください	

x : Don't care

表 20.10 TPSC[1:0], TPSC2[2:0] (MTU5)

チャンネル	TCR2レジスタ			TCRレジスタ		説明
	ビット2	ビット1	ビット0	ビット1	ビット0	
	TPSC2[2]	TPSC2[1]	TPSC2[0]	TPSC[1]	TPSC[0]	
MTU5	0	0	0	0	0	内部クロック : PCLKA/1でカウント
	0	0	0	0	1	内部クロック : PCLKA/4でカウント
	0	0	0	1	0	内部クロック : PCLKA/16でカウント
	0	0	0	1	1	内部クロック : PCLKA/64でカウント
	0	0	1	x	x	内部クロック : PCLKA/2でカウント
	0	1	0	x	x	内部クロック : PCLKA/8でカウント
	0	1	1	x	x	内部クロック : PCLKA/32でカウント
	1	0	0	x	x	内部クロック : PCLKA/256でカウント
	1	0	1	x	x	内部クロック : PCLKA/1024でカウント
	1	1	0	x	x	設定しないでください
	1	1	1	x	x	外部クロック : MTIOC1A端子入力

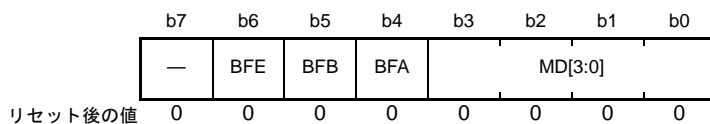
x : Don't care

注. MTU5では、TCRレジスタのビット7~2は予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

20.2.3 タイマモードレジスタ 1 (TMDR1)

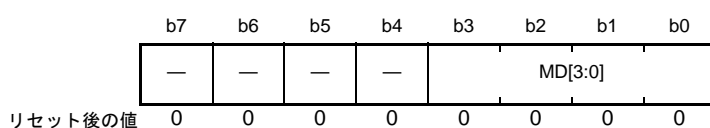
- MTU0.TMDR1

アドレス MTU0.TMDR1 000C 1301h



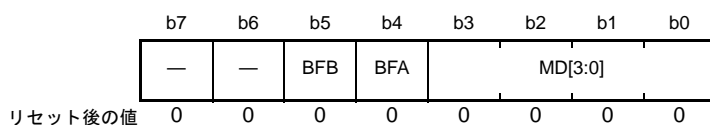
- MTU1.TMDR1, MTU2.TMDR1

アドレス MTU1.TMDR1 000C 1381h, MTU2.TMDR1 000C 1401h



- MTU3.TMDR1, MTU4.TMDR1

アドレス MTU3.TMDR1 000C 1202h, MTU4.TMDR1 000C 1203h



ビット	シンボル	ビット名	機能	R/W
b3-b0	MD[3:0]	モード選択ビット	タイマの動作モードを設定します。表20.11を参照してください	R/W
b4	BFA	バッファ動作Aビット	0 : TGRAとTGRCレジスタは通常動作 1 : TGRAとTGRCレジスタはバッファ動作	R/W
b5	BFB	バッファ動作Bビット	0 : TGRBとTGRDレジスタは通常動作 1 : TGRBとTGRDレジスタはバッファ動作	R/W
b6	BFE	バッファ動作Eビット	0 : MTU0.TGREとMTU0.TGRFは通常動作 1 : MTU0.TGREとMTU0.TGRFはバッファ動作	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR1 レジスタは、各チャンネルの動作モードの設定を行うレジスタです。MTU0～MTU4に各1本、計5本のTMDR1レジスタがあります。TMDR1レジスタの設定は、TCNTの動作が停止した状態で行ってください。

表20.11 MD[3:0]ビットによる動作モードの設定 (MTU0~MTU4)

ビット3	ビット2	ビット1	ビット0	説明	MTU0	MTU1	MTU2	MTU1 & MTU2 (LWA = 1)	MTU3	MTU4
MD[3]	MD[2]	MD[1]	MD[0]							
0	0	0	0	ノーマルモード	○	○	○		○	○
0	0	0	1	設定しないでください						
0	0	1	0	PWMモード1	○	○	○		○	○
0	0	1	1	PWMモード2	○	○	○			
0	1	0	0	位相計数モード1		○	○	○		
0	1	0	1	位相計数モード2		○	○	○		
0	1	1	0	位相計数モード3		○	○	○		
0	1	1	1	位相計数モード4		○	○	○		
1	0	0	0	リセット同期PWMモード (注1)					○	
1	0	0	1	位相計数モード5		○	○	○		
1	0	1	x	設定しないでください						
1	1	0	0	設定しないでください						
1	1	0	1	相補PWMモード1 (山で転送) (注1)					○	
1	1	1	0	相補PWMモード2 (谷で転送) (注1)					○	
1	1	1	1	相補PWMモード3 (山・谷で転送) (注1)					○	

x : Don't care

注. 各チャンネルで該当以外の動作モードは設定しないでください。

注1. リセット同期PWMモード、相補PWMモードの設定は、MTU3のみ可能です。

MTU3をリセット同期PWMモードまたは相補PWMモードに設定した場合、MTU4の設定は無効となり自動的にMTU3の設定に従います。MTU4には初期値 (ノーマルモード) を設定してください。

BFA ビット (バッファ動作 A ビット)

TGRA レジスタを通常動作させるか、TGRA と TGRC レジスタを組み合わせるバッファ動作させるかを設定します。TGRC レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRC のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRC のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIEC ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR1 の BFA ビットの設定に従い動作します。MTU4.TMDR1 の BFA ビットを“0”にしてください。

TGRC レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 20.47 を参照してください。

BFB ビット (バッファ動作 B ビット)

TGRB レジスタを通常動作させるか、TGRB と TGRD レジスタを組み合わせるバッファ動作させるかを設定します。TGRD レジスタをバッファレジスタとして使用した場合、相補 PWM モード以外では TGRD のインプットキャプチャ/アウトプットコンペアは発生しませんが、相補 PWM モード時は TGRD のコンペアマッチが発生します。また、MTU4 のコンペアマッチが相補 PWM モードの Tb 区間に発生した場合は、タイマ割り込み許可レジスタ (MTU4.TIER) の TGIED ビットは“0”にしてください。

また、リセット同期 PWM モードおよび相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR1 の BFB ビットの設定に従い動作します。MTU4.TMDR1 の BFB ビットを“0”にしてください。

TGRD レジスタを持たない MTU1、MTU2 ではこのビットは予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。相補 PWM モードの Tb 区間については、図 20.47 を参照してください。

BFE ビット (バッファ動作 E ビット)

MTU0.TGRE と MTU0.TGRF を通常動作またはバッファ動作させるかどうかを選択します。TGRF をバッファレジスタとして使用した場合も、TGRF のコンペアマッチは発生します。

MTU1 ~ MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

20.2.4 タイマモードレジスタ 2 (TMDR2A)

アドレス MTU.TMDR2A 000C 1270h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	DRS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	DRS	ダブルバッファ選択ビット	0: ダブルバッファ機能は無効 1: ダブルバッファ機能は有効	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR2A レジスタは、相補 PWM モード 3 (山・谷で転送) 時、ダブルバッファ機能の設定を行うレジスタです。TMDR2A レジスタの設定は、TCNT の動作が停止した状態で行ってください。

DRS ビット (ダブルバッファ選択ビット)

相補 PWM モード時、ダブルバッファ機能を有効 / 無効を選択します。

20.2.5 タイマモードレジスタ 3 (TMDR3)

アドレス MTU1.TMDR3 000C 1391h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	PHCKSEL	LWA
リセット後の値	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	LWA	ロングワードアクセス制御ビット	0 : 16ビットアクセス可能 1 : 32ビットアクセス可能	R/W
b1	PHCKSEL	外部入力位相クロック選択ビット	0 : 外部入力位相クロックはMTCLKA、MTCLKB 1 : 外部入力位相クロックはMTCLKC、MTCLKD	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMDR3 レジスタは、MTU1 と MTU2 を組み合わせた 32 ビットのレジスタ、カウンタのロングワードアクセスを制御します。MTU1 のみに一本あります。MTU1 と MTU2 のカウンタ (TCNTLW)、ジェネラルレジスタ A (TGRALW)、ジェネラルレジスタ B (TGRBLW) は表 20.12 のような組み合わせでアクセスされます。

LWA ビット (ロングワードアクセス制御ビット)

MTU1 と MTU2 のレジスタを組み合わせて 32 ビットでのアクセスを選択します。LWA=0 の場合、MTU1.TCNTLW/MTU1.TGRALW/MTU1.TGRBLW はアクセス不可能となり、読むと“0”が読めます。LWA=1 の場合、MTU1.TCNT/MTU2.TCNT/MTU1.TGRA/MTU2.TGRA/MTU1.TGRB/MTU2.TGRB がアクセス不可となり、読むと“0”が読めます。LWA=1 のときは MTU1 と MTU2 の組み合わせで動作しており、タイマコントロールレジスタ (TCR、TCR2)、タイマ I/O コントロールレジスタ (TIOR)、タイマモードレジスタ (TMDR1) は MTU1 の設定が有効、MTU2 のコントロールレジスタの設定は無効になります。また、MTU2 のインプットキャプチャとコンペアマッチも無効となります。

LWA ビットを切り替える場合は、最初に MTU1 と MTU2 のカウンタとジェネラルレジスタを初期化してください。

PHCKSEL ビット (外部入力位相クロック選択ビット)

MTU1 と MTU2 のレジスタを組み合わせて、32 ビット位相計数モードまたは MTU2 の位相計数モードで、外部入力クロックから A 相、B 相信号を選択します。詳細は「表 20.51 位相計数モードクロック入力端子」を参照してください。

表 20.12 TMDR3 レジスタの設定と組み合わせ

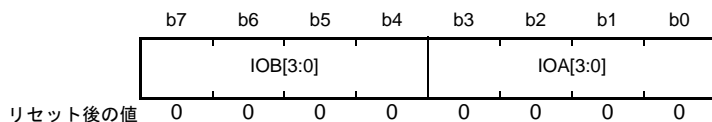
レジスタ	TMDR3.LWA=0		TMDR3.LWA=1	
	シンボル	アクセス方式	シンボル	アクセス方式
MTU1 のカウンタ (注1)	MTU1.TCNT	ワード	MTU1.TCNTLW	ロングワード
MTU2 のカウンタ	MTU2.TCNT	ワード		
MTU1 のジェネラルレジスタ A	MTU1.TGRA	ワード	MTU1.TGRALW	ロングワード
MTU2 のジェネラルレジスタ A	MTU2.TGRA	ワード		
MTU1 のジェネラルレジスタ B	MTU1.TGRB	ワード	MTU1.TGRBLW	ロングワード
MTU2 のジェネラルレジスタ B	MTU2.TGRB	ワード		

注1. LWA=1にした場合、MTU1のカウンタクロックをMTU2.TCNTのオーバフロー/アンダフローに設定する必要はありません。

20.2.6 タイマ I/O コントロールレジスタ (TIOR)

- MTU0.TIORH, MTU1.TIOR, MTU2.TIOR, MTU3.TIORH, MTU4.TIORH

アドレス MTU0.TIORH 000C 1302h, MTU1.TIOR 000C 1382h, MTU2.TIOR 000C 1402h, MTU3.TIORH 000C 1204h, MTU4.TIORH 000C 1206h

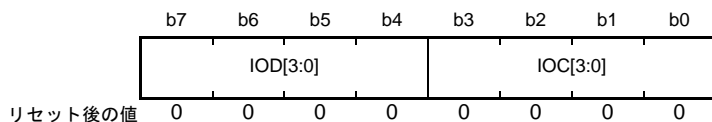


ビット	シンボル	ビット名	機能	R/W
b3-b0	IOA[3:0]	I/OコントロールAビット (注1)	下記の表を参照してください MTU0.TIORH : 表 20.21 MTU1.TIOR : 表 20.23 MTU2.TIOR : 表 20.24 MTU3.TIORH : 表 20.25 MTU4.TIORH : 表 20.27	R/W
b7-b4	IOB[3:0]	I/OコントロールBビット (注1)	下記の表を参照してください MTU0.TIORH : 表 20.13 MTU1.TIOR : 表 20.15 MTU2.TIOR : 表 20.16 MTU3.TIORH : 表 20.17 MTU4.TIORH : 表 20.19	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IO[n:0] (n = A, B) の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU0.TIORL, MTU3.TIORL, MTU4.TIORL

アドレス MTU0.TIORL 000C 1303h, MTU3.TIORL 000C 1205h, MTU4.TIORL 000C 1207h



ビット	シンボル	ビット名	機能	R/W
b3-b0	IOC[3:0]	I/OコントロールCビット (注1)	下記の表を参照してください MTU0.TIORL : 表 20.22 MTU3.TIORL : 表 20.26 MTU4.TIORL : 表 20.28	R/W
b7-b4	IOD[3:0]	I/OコントロールDビット (注1)	下記の表を参照してください MTU0.TIORL : 表 20.14 MTU3.TIORL : 表 20.18 MTU4.TIORL : 表 20.20	R/W

注1. コンペアマッチでLow出力/High出力/トグル出力中に、IO[n:0] (n = C, D) の値を出力禁止 (“0000b”または“0100b”)へ変更するとHi-Zになります。

- MTU5.TIORU、MTU5.TIORV、MTU5.TIORW

アドレス MTU5.TIORU 000C 1486h, MTU5.TIORV 000C 1496h, MTU5.TIORW 000C 14A6h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	IOC[4:0]	I/OコントロールCビット	下記の表を参照してください MTU5.TIORU, MTU5.TIORV, MTU5.TIORW : 表20.29	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TIORレジスタは、TGRレジスタを制御します。MTU0、MTU3、MTU4に各2本、MTU1、MTU2に各1本、MTU5にはMTU5.TIORU/V/Wの3本、計11本のTIORがあります。TIORレジスタはTMDRレジスタの設定が、ノーマルモード、PWMモード、位相計数モードの場合に設定します。

TIORレジスタはTMDR1レジスタの設定により影響を受けますので注意してください。

TIORレジスタで指定した初期出力はカウンタ停止した（TSTRA.CSTビットを“0”にした）状態で有効になります。また、PWMモード2の場合にはカウンタが“0”になった時点での出力を指定します。

TGRCレジスタ、あるいはTGRDレジスタをバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

表20.13 TIORH (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU0.TGRBの機能	MTIOC0B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでインプットキャプチャ

x : Don't care

表20.14 TIORL (MTU0)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU0.TGRDの機能	MTIOC0D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR1.BFBビットを“1”にして、MTU0.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.15 TIOR (MTU1)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU1.TGRBの機能	MTIOC1B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRCのコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

x : Don't care

表20.16 TIOR (MTU2)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU2.TGRBの機能	MTIOC2B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.17 TIORH (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU3.TGRBの機能	MTIOC3B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.18 TIORL (MTU3)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU3.TGRDの機能	MTIOC3D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFBビットを“1”にして、MTU3.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.19 TIORH (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOB[3]	IOB[2]	IOB[1]	IOB[0]	MTU4.TGRBの機能	MTIOC4B端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表20.20 TIORL (MTU4)

ビット7	ビット6	ビット5	ビット4	説明	
IOD[3]	IOD[2]	IOD[1]	IOD[0]	MTU4.TGRDの機能	MTIOC4D端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFBビットを“1”にして、MTU4.TGRDレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.21 TIORH (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU0.TGRAの機能	MTIOC0A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

表20.22 TIORL (MTU0)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU0.TGRCの機能	MTIOC0C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はMTU1/カウントクロック MTU1.TCNTのカウントアップ/カウントダウンでイン プットキャプチャ

x : Don't care

注1. MTU0.TMDR1.BFAビットを“1”にして、MTU0.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.23 TIOR (MTU1)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU1.TGRAの機能	MTIOC1A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	0	0	1		立ち下がりエッジでインプットキャプチャ
1	0	1	x		両エッジでインプットキャプチャ
1	1	x	x		MTU0.TGRAのコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

x : Don't care

表20.24 TIOR (MTU2)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU2.TGRAの機能	MTIOC2A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.25 TIORH (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU3.TGRAの機能	MTIOC3A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0		インプットキャプチャレジスタ
1	x	0	1	立ち下がりエッジでインプットキャプチャ	
1	x	1	x	両エッジでインプットキャプチャ	

x : Don't care

表20.26 TIORL (MTU3)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU3.TGRCの端子	MTIOC3C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU3.TMDR1.BFAビットを“1”にして、MTU3.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.27 TIORH (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOA[3]	IOA[2]	IOA[1]	IOA[0]	MTU4.TGRAの機能	MTIOC4A端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

表20.28 TIORL (MTU4)

ビット3	ビット2	ビット1	ビット0	説明	
IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU4.TGRCの機能	MTIOC4C端子の機能
0	0	0	0	アウトプットコンペアレジスタ (注1)	出力禁止
0	0	0	1		初期出力はLow出力 コンペアマッチでLow出力
0	0	1	0		初期出力はLow出力 コンペアマッチでHigh出力
0	0	1	1		初期出力はLow出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力はHigh出力 コンペアマッチでLow出力
0	1	1	0		初期出力はHigh出力 コンペアマッチでHigh出力
0	1	1	1		初期出力はHigh出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ (注1)	立ち上がりエッジでインプットキャプチャ
1	x	0	1		立ち下がりエッジでインプットキャプチャ
1	x	1	x		両エッジでインプットキャプチャ

x : Don't care

注1. MTU4.TMDR1.BFAビットを“1”にして、MTU4.TGRCレジスタをバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表20.29 TIORU、TIORV、TIORW (MTU5)

ビット4	ビット3	ビット2	ビット1	ビット0	説明	
IOC[4]	IOC[3]	IOC[2]	IOC[1]	IOC[0]	MTU5.TGRU、 MTU5.TGRV、 MTU5.TGRWの機能	MTIC5U、MTIC5V、MTIC5W 端子の機能
0	0	0	0	0	アウトプットコンペア レジスタ	機能なし
0	0	0	0	1		設定しないでください
0	0	0	1	x		設定しないでください
0	0	1	x	x		設定しないでください
0	1	x	x	x		設定しないでください
1	0	0	0	0	インプットキャプチャ レジスタ (注1)	設定しないでください
1	0	0	0	1		立ち上がりエッジでインプットキャプチャ
1	0	0	1	0		立ち下がりエッジでインプットキャプチャ
1	0	0	1	1		両エッジでインプットキャプチャ
1	0	1	x	x		設定しないでください
1	1	0	0	0		設定しないでください
1	1	0	0	1		外部入力信号のLowパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	0	1	0		外部入力信号のLowパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	0	1	1		外部入力信号のLowパルス幅測定用 相補PWMモードの山と谷でキャプチャ
1	1	1	0	0		設定しないでください
1	1	1	0	1		外部入力信号のHighパルス幅測定用 相補PWMモードの谷でキャプチャ
1	1	1	1	0		外部入力信号のHighパルス幅測定用 相補PWMモードの山でキャプチャ
1	1	1	1	1		外部入力信号のHighパルス幅測定用 相補PWMモードの山と谷でキャプチャ

x : Don't care

注1. IOC[4:0] ビットへの“19h”、“1Ah”、“1Bh”、“1Dh”、“1Eh”、“1Fh”の設定は、外部パルス幅測定機能使用時か、MTU3、MTU4と連動したデッドタイム補償機能使用時のみとしてください。詳細は「20.3.11 外部パルス幅測定機能」、「20.3.12 デッドタイム補償機能」を参照してください。

20.2.7 タイマコンペアマッチクリアレジスタ (TCNTCMPCLR)

アドレス MTU5.TCNTCMPCLR 000C 14B6h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	CMPCLR5U	CMPCLR5V	CMPCLR5W
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMPCLR5W	TCNTコンペアクリア5Wビット	0 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを禁止 1 : MTU5.TCNTWとMTU5.TGRWのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTWの0000hクリアを許可	R/W
b1	CMPCLR5V	TCNTコンペアクリア5Vビット	0 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを禁止 1 : MTU5.TCNTVとMTU5.TGRVのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTVの0000hクリアを許可	R/W
b2	CMPCLR5U	TCNTコンペアクリア5Uビット	0 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを禁止 1 : MTU5.TCNTUとMTU5.TGRUのコンペアマッチ/インプットキャプチャによる、MTU5.TCNTUの0000hクリアを許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TCNTCMPCLR レジスタは、MTU5.TCNTU、MTU5.TCNTV、MTU5.TCNTW のクリア要求を設定するレジスタです。MTU5に1本のTCNTCMPCLR レジスタがあります。

20.2.8 タイマインタラプトイネーブルレジスタ (TIER)

- MTU1.TIER, MTU2.TIER

アドレス MTU1.TIER 000C 1384h, MTU2.TIER 000C 1404h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU0.TIER, MTU3.TIER

アドレス MTU0.TIER 000C 1304h, MTU3.TIER 000C 1208h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

- MTU4.TIER

アドレス MTU4.TIER 000C 1209h

	b7	b6	b5	b4	b3	b2	b1	b0
	TTGE	TTGE2	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEA	TGR 割り込み許可Aビット	0: 割り込み要求 (TGIA) を禁止 1: 割り込み要求 (TGIA) を許可	R/W
b1	TGIEB	TGR 割り込み許可Bビット	0: 割り込み要求 (TGIB) を禁止 1: 割り込み要求 (TGIB) を許可	R/W
b2	TGIEC	TGR 割り込み許可Cビット	0: 割り込み要求 (TGIC) を禁止 1: 割り込み要求 (TGIC) を許可	R/W
b3	TGIED	TGR 割り込み許可Dビット	0: 割り込み要求 (TGID) を禁止 1: 割り込み要求 (TGID) を許可	R/W
b4	TCIEV	オーバフロー割り込み許可ビット	0: 割り込み要求 (TCIV) を禁止 1: 割り込み要求 (TCIV) を許可	R/W
b5	TCIEU	アンダフロー割り込み許可ビット	0: 割り込み要求 (TCIU) を禁止 1: 割り込み要求 (TCIU) を許可	R/W
b6	TTGE2	A/D変換開始要求許可2ビット	0: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を禁止 1: MTUn.TCNTのアンダフロー (谷) によるA/D変換要求を許可	R/W
b7	TTGE	A/D変換開始要求許可ビット	0: A/D変換開始要求の発生を禁止 1: A/D変換開始要求の発生を許可	R/W

n = 4

TIER レジスタは、各チャネルの割り込み要求の許可、禁止を制御するレジスタです。MTU0 に 2 本、MTU1 ~ MTU5 に各 1 本、計 7 本の TIER レジスタがあります。

TGIEA、TGIEB ビット (TGR 割り込み許可 A、B ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = A, B)

TGIEC、TGIED ビット (TGR 割り込み許可 C、D ビット)

割り込み要求 (TGIn) を許可または禁止します。(n = C, D)

MTU1、MTU2 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TCIEV ビット (オーバフロー割り込み許可ビット)

割り込み要求 (TCIV) を許可または禁止します。

TCIEU ビット (アンダフロー割り込み許可ビット)

割り込み要求 (TCIU) を許可または禁止します。

MTU0、MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

相補 PWM モードで、MTUn.TCNT のアンダフロー (谷) による A/D 変換要求の発生を許可または禁止します。(n = 4)

MTU0 ~ MTU3 では予約ビットです。読むと“0”が読めます。書く場合、“0”としてください。

TTGE ビット (A/D 変換開始要求許可ビット)

TGRA レジスタのインプットキャプチャ/コンペアマッチによる A/D コンバータの開始要求の発生を許可または禁止します。

- MTU0.TIER2

アドレス MTU0.TIER2 000C 1324h

b7	b6	b5	b4	b3	b2	b1	b0
TTGE2	—	—	—	—	—	TGIEF	TGIEE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIEE	TGR 割り込み許可Eビット	0 : 割り込み要求 (TGIE) を禁止 1 : 割り込み要求 (TGIE) を許可	R/W
b1	TGIEF	TGR 割り込み許可Fビット	0 : 割り込み要求 (TGIF) を禁止 1 : 割り込み要求 (TGIF) を許可	R/W
b6-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TTGE2	A/D変換開始要求許可2ビット	0 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を禁止 1 : MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D変換開始要求を許可	R/W

TGIEE、TGIEF ビット (TGR 割り込み許可 E、F ビット)

MTU0.TCNT と MTU0.TGR_n のコンペアマッチによる割り込み要求の発生を許可または禁止します (n = E, F)。

TTGE2 ビット (A/D 変換開始要求許可 2 ビット)

MTU0.TCNT と MTU0.TGRE のコンペアマッチによる A/D 変換開始要求の発生を許可または禁止します。

- MTU5.TIER

アドレス MTU5.TIER 000C 14B2h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TGIE5U	TGIE5V	TGIE5W

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TGIE5W	TGR 割り込み許可5Wビット	0 : TGIW5割り込み要求を禁止 1 : TGIW5割り込み要求を許可	R/W
b1	TGIE5V	TGR 割り込み許可5Vビット	0 : TGIW5割り込み要求を禁止 1 : TGIW5割り込み要求を許可	R/W
b2	TGIE5U	TGR 割り込み許可5Uビット	0 : TGIU5割り込み要求を禁止 1 : TGIU5割り込み要求を許可	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TGIE5_n ビット (TGR 割り込み許可 5_n ビット)

割り込み要求 (TGIn₅) を許可または禁止します。(n = U, V, W)

20.2.9 タイマステータスレジスタ (TSR)

- MTU1.TSR, MTU2.TSR

アドレス MTU1.TSR 000C 1385h, MTU2.TSR 000C 1405h

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

- MTU3.TSR, MTU4.TSR

アドレス MTU3.TSR 000C 122Ch, MTU4.TSR 000C 122Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	TCFD	—	—	—	—	—	—	—
リセット後の値	1	1	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b5-b0	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	TCFD	カウント方向フラグ	0 : TCNTはダウンカウント 1 : TCNTはアップカウント	R

TSR レジスタは、各チャンネルのステータスの表示を行うレジスタです。MTU1 ~ MTU4 に各 1 本、計 4 本の TSR レジスタがあります。

TCFD フラグ (カウント方向フラグ)

MTU1 ~ MTU4 の TCNT のカウント方向を示すステータスフラグです。

20.2.10 タイマバッファ動作転送モードレジスタ (TBTM)

• MTU0.TBTM

アドレス MTU0.TBTM 000C 1326h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	TTSE	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

• MTU3.TBTM, MTU4.TBTM

アドレス MTU3.TBTM 000C 1238h, MTU4.TBTM 000C 1239h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	TTSB	TTSA

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	TTSA	タイミング選択Aビット	0: TGRDからTGRAへの転送タイミングは各チャンネルのコンペアマッチA発生時 1: TGRDからTGRAへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b1	TTSB	タイミング選択Bビット	0: TGRDからTGRBへの転送タイミングは各チャンネルのコンペアマッチB発生時 1: TGRDからTGRBへの転送タイミングは各チャンネルのTCNTクリア時	R/W
b2	TTSE	タイミング選択Eビット	0: MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0のコンペアマッチE発生時 1: MTU0.TGRFからMTU0.TGREへの転送タイミングはMTU0.TCNTクリア時	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TBTM レジスタは、PWM モード時のバッファレジスタからタイマジェネラルレジスタへの転送タイミングを設定するレジスタです。MTU0、MTU3、MTU4 に各 1 本、計 3 本の TBTM レジスタがあります。

TTSA ビット (タイミング選択 A ビット)

各チャンネルのバッファ動作時の TGRD レジスタから TGRA レジスタへの転送タイミングを設定します。
なお、PWM モード以外で使用するチャンネルでは、TTSA ビットを“1”にしないでください。

TTSB ビット (タイミング選択 B ビット)

各チャンネルのバッファ動作時の TGRD レジスタから TGRB レジスタへの転送タイミングを設定します。
なお、PWM モード以外で使用するチャンネルでは、TTSB ビットを“1”にしないでください。

TTSE ビット (タイミング選択 E ビット)

バッファ動作時の MTU0.TGRF から MTU0.TGRE への転送タイミングを設定します。MTU3、MTU4 では予約ビットです。読むと“0”が読めます。書く場合、“0”にしてください。

なお、PWM モード以外で使用するチャンネルでは、TTSE ビットを“1”にしないでください。

20.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)

アドレス MTU1.TICCR 000C 1390h

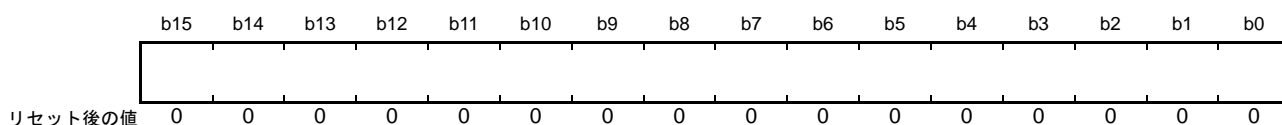
	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	I2BE	I2AE	I1BE	I1AE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	I1AE	インプットキャプチャ許可ビット	0 : MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加しない 1 : MTIOC1A 端子を MTU2.TGRA のインプットキャプチャ条件に追加する	R/W
b1	I1BE	インプットキャプチャ許可ビット	0 : MTIOC1B 端子を MTU2.TGRB のインプットキャプチャ条件に追加しない 1 : MTIOC1B 端子を MTU2.TGRB のインプットキャプチャ条件に追加する	R/W
b2	I2AE	インプットキャプチャ許可ビット	0 : MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加しない 1 : MTIOC2A 端子を MTU1.TGRA のインプットキャプチャ条件に追加する	R/W
b3	I2BE	インプットキャプチャ許可ビット	0 : MTIOC2B 端子を MTU1.TGRB のインプットキャプチャ条件に追加しない 1 : MTIOC2B 端子を MTU1.TGRB のインプットキャプチャ条件に追加する	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TICCR レジスタは、MTU1.TCNT と MTU2.TCNT のカスケード接続時のインプットキャプチャ条件を制御するレジスタです。MTU1 に 1 本の TICCR レジスタがあります。

20.2.12 タイマカウンタ (TCNT)

アドレス MTU0.TCNT 000C 1306h, MTU1.TCNT 000C 1386h, MTU2.TCNT 000C 1406h, MTU3.TCNT 000C 1210h,
MTU4.TCNT 000C 1212h, MTU5.TCNTU 000C 1480h, MTU5.TCNTV 000C 1490h, MTU5.TCNTW 000C 14A0h



注. TCNTの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TCNTは、16ビットの読み出し/書き込み可能なカウンタです。MTU0～MTU4に各1本、MTU5にTCNTU, TCNTV, TCNTWの3本、計8本のTCNTがあります。

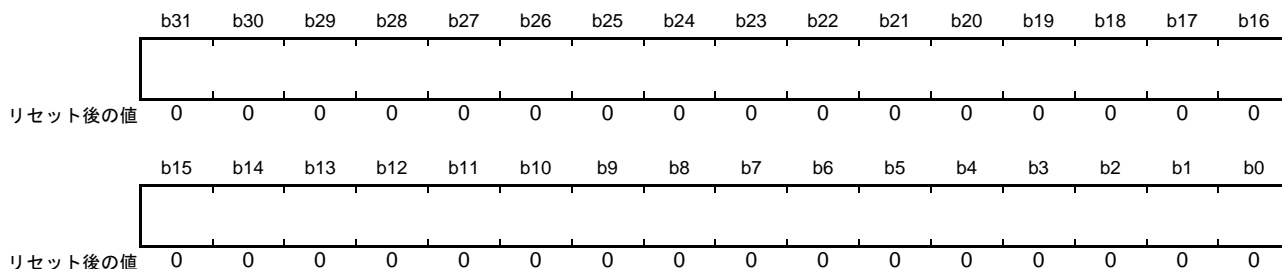
MTU0～MTU4のTCNTは、リセット時に“0000h”に初期化されます。MTU5のTCNTU, TCNTV, TCNTWは、リセット時に“0000h”に初期化されます。

TCNTの8ビット単位でのアクセスは禁止です。MTU0～MTU4のTCNTは、16ビット単位でアクセスしてください。

MTU1.TCNT、MTU2.TCNTは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

20.2.13 タイマロングワードカウンタ (TCNTLW)

アドレス MTU1.TCNTLW 000C 13A0h



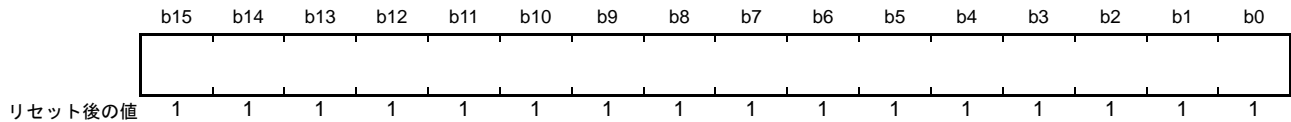
TCNTLWカウンタは、TMDR3.LWA=1のときのみ有効で、MTU1.TCNTとMTU2.TCNTで構成される、32ビットの読み出し/書き込み可能なカウンタです。MTU1に1本あります。

TCNTLWカウンタは、リセット時に“0000 0000h”に初期化されます。また、TMDR3.LWA=0のときは“0000 0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

本レジスタは32ビット位相計数モードのときのみ使用可能です。

20.2.14 タイマジェネラルレジスタ (TGR)

MTU0.TGRA 000C 1308h, MTU0.TGRB 000C 130Ah, MTU0.TGRC 000C 130Ch, MTU0.TGRD 000C 130Eh,
 MTU0.TGRE 000C 1320h, MTU0.TGRF 000C 1322h,
 MTU1.TGRA 000C 1388h, MTU1.TGRB 000C 138Ah,
 MTU2.TGRA 000C 1408h, MTU2.TGRB 000C 140Ah,
 アドレス MTU3.TGRA 000C 1218h, MTU3.TGRB 000C 121Ah, MTU3.TGRC 000C 1224h, MTU3.TGRD 000C 1226h,
 MTU3.TGRE 000C 1272h,
 MTU4.TGRA 000C 121Ch, MTU4.TGRB 000C 121Eh, MTU4.TGRC 000C 1228h, MTU4.TGRD 000C 122Ah,
 MTU4.TGRE 000C 1274h, MTU4.TGRF 000C 1276h,
 MTU5.TGRU 000C 1482h, MTU5.TGRV 000C 1492h, MTU5.TGRW 000C 14A2h



注. TGRの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。TGRの初期値は、“FFFFh”です。

TGRレジスタは、16ビットの読み出し/書き込み可能なレジスタです。MTU0に6本、MTU1、MTU2に各2本、MTU3に5本、MTU4に6本、MTU5に3本、計24本のジェネラルレジスタがあります。

TGRA、TGRB、TGRC、TGRDレジスタはアウトプットコンペア/インプットキャプチャ兼用のレジスタです。MTU0、MTU3、MTU4のTGRCレジスタとTGRDレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRDになります。

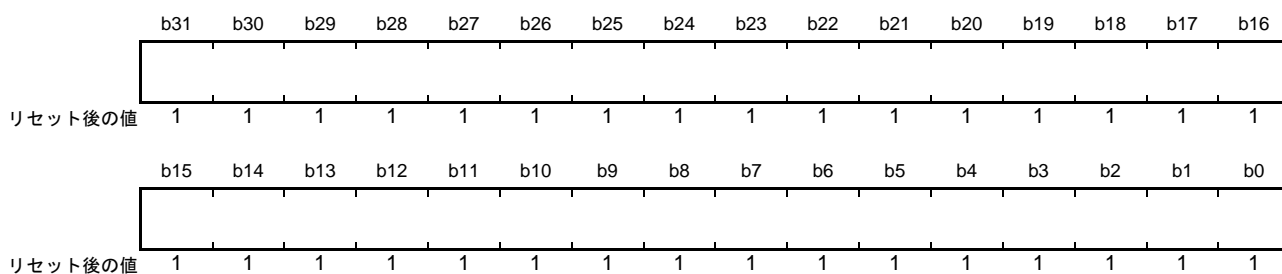
MTU0.TGRE、MTU0.TGRFレジスタはコンペアレジスタとして機能し、MTU0.TCNTカウンタとMTU0.TGREレジスタが一致したとき、A/D変換開始要求を発生することができます。TGRFレジスタは、バッファレジスタとして動作設定することができます。TGRレジスタとバッファレジスタの組み合わせは、TGRE-TGRFになります。

MTU5.TGRU、MTU5.TGRV、MTU5.TGRWレジスタはコンペアマッチ/インプットキャプチャ/外部パルス幅測定兼用のレジスタです。

MTU1.TGRA、MTU2.TGRA、MTU1.TGRB、MTU2.TGRBレジスタは、TMDR3.LWA=1のときは“0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ3 (TMDR3)」を参照してください。

20.2.15 タイマロングワードジェネラルレジスタ (TGRALW, TGRBLW)

アドレス MTU1.TGRALW 000C 13A4h, MTU1.TGRBLW 000C 13A8h



TGRnLW レジスタ (n = A, B) は、TMDR3.LWA=1 のときのみ有効で、MTU1.TGRn レジスタと MTU2.TGRn レジスタで構成される、32 ビットの読み出し / 書き込み可能なレジスタです。MTU1 に 2 本あります。

TGRnLW レジスタは、リセット時に“FFFF FFFFh”に初期化されますが、TMDR3.LWA=0 のときは“0000 0000h”が読み出されます。詳細は「20.2.5 タイマモードレジスタ 3 (TMDR3)」を参照してください。

TGRALW レジスタ、TGRBLW レジスタは、TMDR3.LWA=1 の場合でアウトプットコンペア / インプットキャプチャ兼用のレジスタです。

本レジスタは 32 ビット位相計数モードのときのみ使用可能です。

20.2.16 タイマスタートレジスタ (TSTRA, TSTR)

- MTU.TSTRA (MTU0, MTU1, MTU2, MTU3, MTU4)

アドレス MTU.TSTRA 000C 1280h

	b7	b6	b5	b4	b3	b2	b1	b0
	CST4	CST3	—	—	—	CST2	CST1	CST0
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CST0	カウンタスタート0ビット	0 : MTU0.TCNTはカウント停止 1 : MTU0.TCNTはカウント動作	R/W
b1	CST1	カウンタスタート1ビット	0 : MTU1.TCNTはカウント停止 1 : MTU1.TCNTはカウント動作	R/W
b2	CST2	カウンタスタート2ビット	0 : MTU2.TCNTはカウント停止 1 : MTU2.TCNTはカウント動作	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CST3	カウンタスタート3ビット	0 : MTU3.TCNTはカウント停止 1 : MTU3.TCNTはカウント動作	R/W
b7	CST4	カウンタスタート4ビット	0 : MTU4.TCNTはカウント停止 1 : MTU4.TCNTはカウント動作	R/W

注. TCSYSTRレジスタを“1”にしたときは、TSTRAレジスタの対応するビットが自動的に“1”になります。

TSTRA レジスタはMTU0～MTU4のTCNTの動作/停止を選択するレジスタです。

TSTR レジスタはMTU5のTCNTの動作/停止を選択するレジスタです。

TMDR1 レジスタへ動作モードを設定する場合やTCR レジスタへTCNTのカウントクロックを設定する場合は、TCNTのカウンタ動作を停止してから行ってください。

CSTn ビット (カウンタスタート n ビット) (n = 0, 1, 2, 3, 4)

各チャンネルのTCNTの動作または停止を選択します。

MTIOC 端子を出力状態で動作中に、CSTn ビットに“0”を書くとカウンタは停止しますが、MTIOC 端子のアウトプットコンペア出力レベルは保持されます。CSTn ビットが“0”の状態ではTIOR レジスタへの書き込みを行うと、設定した初期出力値に端子の出力レベルが更新されます。

- MTU5.TSTR (MTU5)

アドレス MTU5.TSTR 000C 14B4h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	CSTU5	CSTV5	CSTW5

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CSTW5	カウンタスタートW5ビット	0 : MTU5.TCNTWはカウント停止 1 : MTU5.TCNTWはカウント動作	R/W
b1	CSTV5	カウンタスタートV5ビット	0 : MTU5.TCNTVはカウント停止 1 : MTU5.TCNTVはカウント動作	R/W
b2	CSTU5	カウンタスタートU5ビット	0 : MTU5.TCNTUはカウント停止 1 : MTU5.TCNTUはカウント動作	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

20.2.17 タイマシンクロレジスタ (TSYRA)

アドレス MTU.TSYRA 000C 1281h

b7	b6	b5	b4	b3	b2	b1	b0
SYNC4	SYNC3	—	—	—	SYNC2	SYNC1	SYNC0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SYNC0	タイマ同期0ビット	0 : MTU0.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU0.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b1	SYNC1	タイマ同期1ビット	0 : MTU1.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU1.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b2	SYNC2	タイマ同期2ビット	0 : MTU2.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU2.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b5-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	SYNC3	タイマ同期3ビット	0 : MTU3.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU3.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W
b7	SYNC4	タイマ同期4ビット	0 : MTU4.TCNTは独立して動作 (TCNTのセット/クリアは他のチャンネルと無関係) 1 : MTU4.TCNTは同期動作 (TCNTの同期セット/同期クリアが可能)	R/W

TSYRA レジスタは MTU0 ~ MTU4 の TCNT の独立動作または同期動作を選択するレジスタです。対応するビットを“1”にしたチャンネルが同期動作を行います。

SYNCn ビット (タイマ同期 n ビット) (n = 0, 1, 2, 3, 4)

他のチャンネルとの独立動作または同期動作を選択します。

同期動作を選択すると、複数の TCNT の同期セットや、他チャンネルのカウンタクリアによる同期クリアが可能となります。

同期動作の設定には、最低2チャンネルの SYNC ビットを“1”にする必要があります。同期クリアの設定には、SYNC ビットの他に TCR.CCLR[2:0] ビットで、TCNT のクリア要因を設定する必要があります。

20.2.18 タイマカウンタシンクスタートレジスタ (TCSYSTR)

アドレス MTU.TCSYSTR 000C 1282h

	b7	b6	b5	b4	b3	b2	b1	b0
	SCH0	SCH1	SCH2	SCH3	SCH4	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b3	SCH4	シンクスタート4ビット	0 : MTU4.TCNTをシンクスタートしない 1 : MTU4.TCNTをシンクスタートする	R/(W) (注1)
b4	SCH3	シンクスタート3ビット	0 : MTU3.TCNTをシンクスタートしない 1 : MTU3.TCNTをシンクスタートする	R/(W) (注1)
b5	SCH2	シンクスタート2ビット	0 : MTU2.TCNTをシンクスタートしない 1 : MTU2.TCNTをシンクスタートする	R/(W) (注1)
b6	SCH1	シンクスタート1ビット	0 : MTU1.TCNTをシンクスタートしない 1 : MTU1.TCNTをシンクスタートする	R/(W) (注1)
b7	SCH0	シンクスタート0ビット	0 : MTU0.TCNTをシンクスタートしない 1 : MTU0.TCNTをシンクスタートする	R/(W) (注1)

注1. フラグを“1”にするため、“1”を書くことのみ可能です。
TCSYSTRレジスタは、“1”を書き込み後、自動的に“0”になります。

TCSYSTR レジスタはカウンタの同期スタートを行うレジスタです。

SCH4 ビット (シンクスタート4ビット)

MTU4.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH4 ビットが“1”の状態ですべてのTSTRA.CST4 ビットを“1”にしたとき

SCH3 ビット (シンクスタート3ビット)

MTU3.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH3 ビットが“1”の状態ですべてのTSTRA.CST3 ビットを“1”にしたとき

SCH2 ビット (シンクスタート2ビット)

MTU2.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH2 ビットが“1”の状態ですべてのTSTRA.CST2 ビットを“1”にしたとき

SCH1 ビット (シンクスタート1ビット)

MTU1.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH1 ビットが“1”の状態ですべてのTSTRA.CST1 ビットを“1”にしたとき

SCH0 ビット (シンクスタート0ビット)

MTU0.TCNT のシンクスタートを制御します。

["0"になる条件]

SCH0 ビットが“1”の状態ですべてのTSTRA.CST0 ビットを“1”にしたとき

20.2.19 タイマリードライトイネーブルレジスタ (TRWERA)

アドレス MTU.TRWERA 000C 1284h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	RWE
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	RWE	リードライト許可ビット	0: レジスタのリードライトを禁止する 1: レジスタのリードライトを許可する	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TRWERA レジスタは、MTU3、MTU4 の誤書き込み防止の対象レジスタ / カウンタのアクセス許可 / 禁止を指定するレジスタです。

RWE ビット (リードライト許可ビット)

誤書き込み防止のレジスタへのリードライト許可 / 禁止を設定します。

[“0”になる条件]

- RWE = 1 の状態で RWE ビットを読んだ後、RWE ビットに “0” を書いたとき

- **誤書き込み防止の対象レジスタおよび対象カウンタ (TRWERA)**

MTUn.TCR, MTUn.TCR2, MTUn.TMDR1, MTUn.TIORH, MTUn.TIORL, MTUn.TIER, MTUn.TGRA, MTUn.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA と MTUn.TCNT の計 24 レジスタです。(n = 3, 4)

20.2.20 タイマアウトプットマスタイネーブルレジスタ (TOERA)

アドレス MTU.TOERA 000C 120Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	OE4D	OE4C	OE3D	OE4B	OE4A	OE3B

リセット後の値 1 1 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OE3B	マスタ許可MTIOC3Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b1	OE4A	マスタ許可MTIOC4Aビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b2	OE4B	マスタ許可MTIOC4Bビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b3	OE3D	マスタ許可MTIOC3Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b4	OE4C	マスタ許可MTIOC4Cビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b5	OE4D	マスタ許可MTIOC4Dビット	0 : MTU出力禁止 (注1) 1 : MTU出力許可	R/W
b7-b6	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

注1. MTU出力禁止を設定したときに、各端子から非アクティブレベルを出力する場合は、あらかじめI/Oポートのデータ方向レジスタ (PDR)、ポート出力データレジスタ (PODR) に、汎用入出力ポートに非アクティブレベルを出力する設定をした後に、ポートモードレジスタ (PMR) で汎用入出力ポート使用に切り替えてください。詳細は、「18. I/Oポート」を参照してください。

TOERA レジスタは、出力端子の MTIOC4D、MTIOC4C、MTIOC3D、MTIOC4B、MTIOC4A、MTIOC3B の出力設定の許可/禁止を行うレジスタです。

これらの端子は TOERA レジスタの各ビットの設定をしないと正しく出力されません。TOERA レジスタは MTU3、MTU4 の TIOR レジスタ設定の前に値をセットしてください。

MTU.TOERA レジスタは、MTU.TSTRA レジスタの CST3、CST4 ビットを“0”にした後で設定してください。

20.2.21 タイマアウトプットコントロールレジスタ 1 (TOCR1A)

アドレス MTU.TOCR1A 000C 120Eh

b7	b6	b5	b4	b3	b2	b1	b0
—	PSYE	—	—	TOCL	TOCS	OLSN	OLSP

リセット後の値 0 0 0 0 0 (注4) 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLSP	出力レベル選択Pビット(注1、注3)	表20.30を参照してください	R/W
b1	OLSN	出力レベル選択Nビット(注1、注3)	表20.31を参照してください	R/W
b2	TOCS	TOC選択ビット	0: TOCR1jの設定を有効にする (j = A) 1: TOCR2jの設定を有効にする	R/W
b3	TOCL	TOCレジスタ書き込み禁止ビット(注2)	0: TOCSビット、OLSNビット、OLSPビットへの書き込みを許可 1: TOCSビット、OLSNビット、OLSPビットへの書き込みを禁止	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	PSYE	PWM同期出力許可ビット	0: トグル出力を禁止 1: トグル出力を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TOCR1j.TOCSビットを“0”にすることにより、本設定が有効になります。

注2. TOCR1j.TOCLビットを“1”にすることにより、CPU暴走時の誤書き込みを防止することができます。

注3. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLSPビットのみ有効となります。

注4. リセット後、1回だけ“1”を書き込むことができます。“1”書き込み後は、“0”を書き込むことはできません。

TOCR1A レジスタは、相補 PWM モード / リセット同期 PWM モードの PWM 周期に同期したトグル出力の許可 / 禁止、および PWM 出力の出力レベル反転の制御を行うレジスタです。

OLSP ビット (出力レベル選択 P ビット)

リセット同期 PWM モード / 相補 PWM モード時に、正相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

OLSN ビット (出力レベル選択 N ビット)

リセット同期 PWM モード / 相補 PWM モード時に、逆相の出力レベルを選択します。
カウンタが停止した状態では、初期出力が選択されます。

TOCS ビット (TOC 選択ビット)

相補 PWM モード / リセット同期 PWM モードの出力レベルの設定を TOCR1j レジスタと TOCR2j レジスタ (j = A) のどちらの設定を有効にするか選択します。

TOCL ビット (TOC レジスタ書き込み禁止ビット)

TOCR1j レジスタ (j = A) の TOCS ビット、OLSN ビット、OLSP ビットへの書き込み禁止 / 許可の設定をします。

PSYE ビット (PWM 同期出力許可ビット)

PWM 周期に同期したトグル出力の許可 / 禁止を設定します。

表 20.30 出力レベル選択機能

ビット0	機能			
OLSP	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

表 20.31 出力レベル選択機能

ビット1	機能			
OLSN	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

OLSN=1、OLSP=1 の場合の相補 PWM モードの出力例 (1 相分) を図 20.2 に示します。

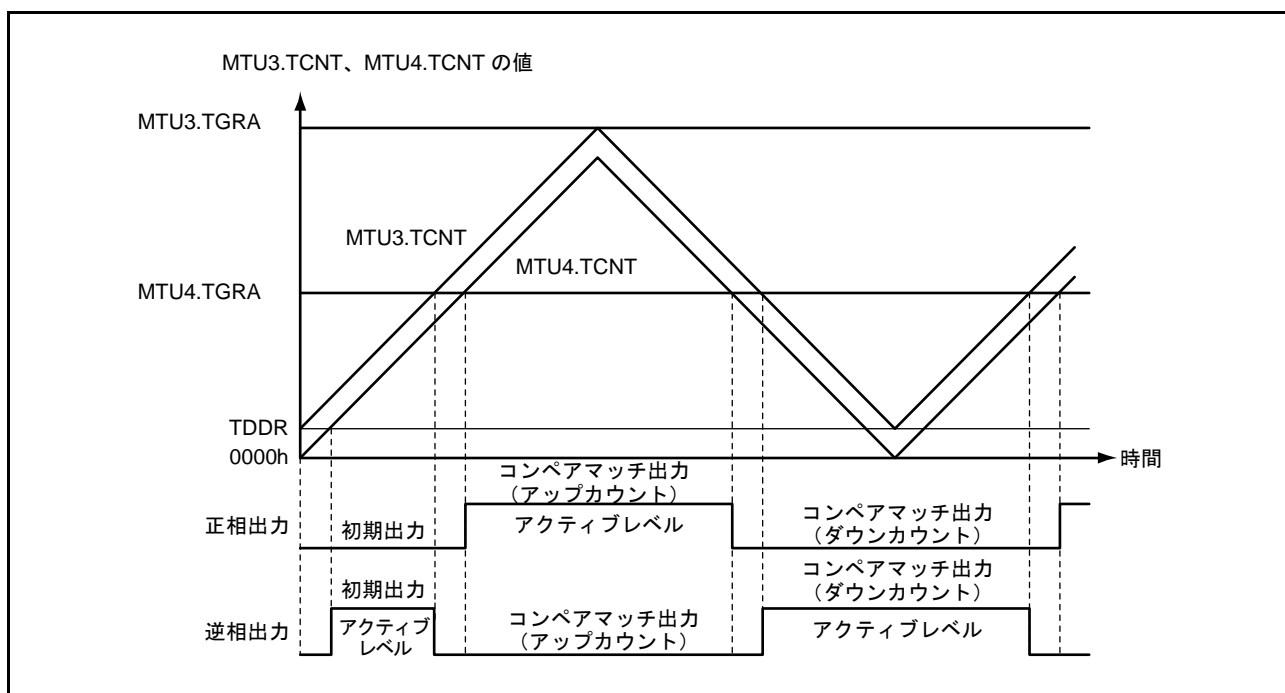


図 20.2 相補 PWM モードの出力レベルの例

20.2.22 タイマアウトプットコントロールレジスタ 2 (TOCR2A)

アドレス MTU.TOCR2A 000C 120Fh

b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Bの出力レベルを選択します 表20.32を参照してください	R/W
b1	OLS1N	出力レベル選択1Nビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC3Dの出力レベルを選択します 表20.33を参照してください	R/W
b2	OLS2P	出力レベル選択2Pビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Aの出力レベルを選択します 表20.34を参照してください	R/W
b3	OLS2N	出力レベル選択2Nビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Cの出力レベルを選択します 表20.35を参照してください	R/W
b4	OLS3P	出力レベル選択3Pビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Bの出力レベルを選択します 表20.36を参照してください	R/W
b5	OLS3N	出力レベル選択3Nビット (注1、注2)	リセット同期PWMモード/相補PWMモード時に、MTIOC4Dの出力レベルを選択します 表20.37を参照してください	R/W
b7-b6	BF[1:0]	TOLBRバッファ転送タイミング 選択ビット	TOLBR _j からTOCR2 _j へのバッファ転送タイミングを選択 します 詳細は表20.38を参照してください	R/W

j = A

注1. TOCR1_j.TOCSビットを“1”にすることにより、本設定が有効になります。注2. デッドタイムを生成しない場合、逆相の出力は正相の逆のレベルになります。このとき、OLS_iPビットのみ有効となります。
(i = 1, 2, 3)

TOCR2A レジスタは、相補PWMモード/リセット同期PWMモードにおけるPWM出力の出力レベル反転の制御を行うレジスタです。

カウンタが停止した状態では、初期出力が選択されます。

表20.32 MTIOC_mB出力レベル選択機能

ビット0	機能			
	初期出力	アクティブ レベル	コンペアマッチ出力	
アップカウント			ダウンカウント	
0	High	Low	Low	High
1	Low	High	High	Low

m = 3

表 20.33 MTIOcMd 出力レベル選択機能

ビット1	機能			
OLS1N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 3

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.34 MTIOcMa 出力レベル選択機能

ビット2	機能			
OLS2P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m = 4

表 20.35 MTIOcMc 出力レベル選択機能

ビット3	機能			
OLS2N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 4

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表 20.36 MTIOcMb 出力レベル選択機能

ビット4	機能			
OLS3P	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	Low	High
1	Low	High	High	Low

m = 4

表 20.37 MTIOcMd 出力レベル選択機能

ビット5	機能			
OLS3N	初期出力	アクティブレベル	コンペアマッチ出力	
			アップカウント	ダウンカウント
0	High	Low	High	Low
1	Low	High	Low	High

m = 4

注. 逆相波形の初期出力値は、カウント開始後デッドタイム経過後にアクティブレベルに変化します。

表20.38 TOCR2j.BF[1:0]ビットの設定

ビット7 BF[1]	ビット6 BF[0]	説明	
		相補PWMモード時	リセットPWMモード時
0	0	バッファレジスタ (TOLBRj) からTOCR2jへ転送しない	バッファレジスタ (TOLBRj) からTOCR2jへ転送しない
0	1	MTUn.TCNTの山でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	MTUm.TCNT、MTUn.TCNTカウンタクリア時にバッファレジスタ (TOLBRj) からTOCR2jへ転送する
1	0	MTUn.TCNTの谷でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	設定しないでください
1	1	MTUn.TCNTの山と谷でバッファレジスタ (TOLBRj) からTOCR2jへ転送する	設定しないでください

n = 4、m = 3、j = A

20.2.23 タイマアウトプットレベルバッファレジスタ (TOLBRA)

アドレス MTU.TOLBRA 000C 1236h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	OLS3N	OLS3P	OLS2N	OLS2P	OLS1N	OLS1P
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLS1P	出力レベル選択1Pビット	TOCR2jのOLS1Pビットにバッファ転送する値を設定してください	R/W
b1	OLS1N	出力レベル選択1Nビット	TOCR2jのOLS1Nビットにバッファ転送する値を設定してください	R/W
b2	OLS2P	出力レベル選択2Pビット	TOCR2jのOLS2Pビットにバッファ転送する値を設定してください	R/W
b3	OLS2N	出力レベル選択2Nビット	TOCR2jのOLS2Nビットにバッファ転送する値を設定してください	R/W
b4	OLS3P	出力レベル選択3Pビット	TOCR2jのOLS3Pビットにバッファ転送する値を設定してください	R/W
b5	OLS3N	出力レベル選択3Nビット	TOCR2jのOLS3Nビットにバッファ転送する値を設定してください	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

j = A

TOLBRA レジスタは TOCR2A レジスタのバッファレジスタで、相補 PWM モード/リセット同期 PWM モードにおける PWM 出力レベルの設定を行うレジスタです。

PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例を図 20.3 に示します。

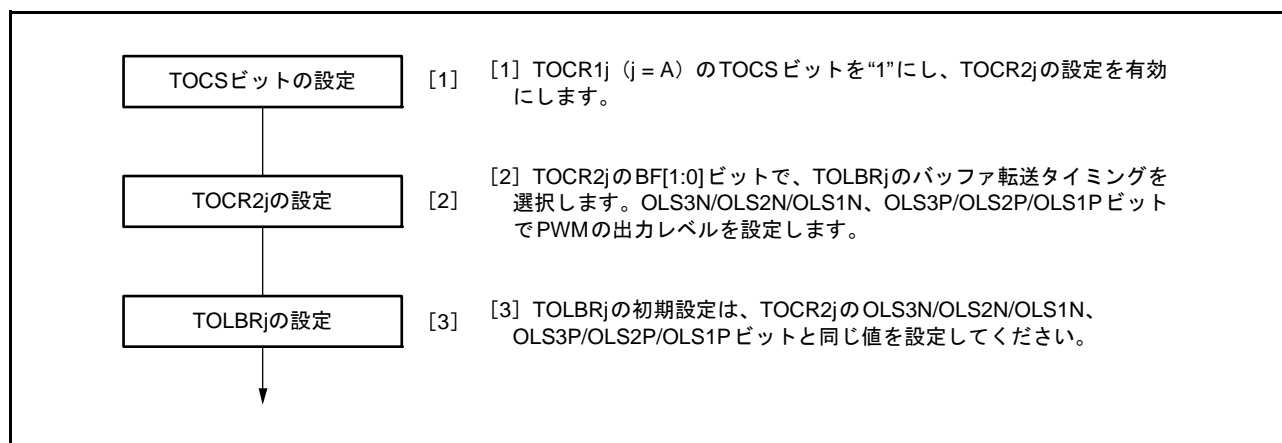


図 20.3 PWM 出力レベルの設定をバッファ動作で行う場合の設定手順例

20.2.24 タイマゲートコントロールレジスタ A (TGCRA)

アドレス MTU.TGCRA 000C 120Dh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	BDC	N	P	FB	WF	VF	UF
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	UF	出力相切り替えビット	正相/逆相の出力相のON/OFFを設定します。これらのビットの設定はFBビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表20.39を参照してください	R/W
b1	VF			R/W
b2	WF			R/W
b3	FB	外部フィードバック信号許可ビット	0：出力の切り替えは、外部入力（入力元は、MTU0のTGRA、TGRB、TGRCのインプットキャプチャ信号） 1：出力の切り替えはソフトウェアで行う（TGCRAのUF、VF、WFの設定値）	R/W
b4	P	正相出力（P）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b5	N	逆相出力（N）制御ビット	0：レベル出力 1：リセット同期PWM/相補PWM出力	R/W
b6	BDC	ブラシレスDCモータビット	0：通常出力 1：本レジスタの機能を有効	R/W
b7	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

TGCRA レジスタは、リセット同期 PWM モード/相補 PWM モード時、ブラシレス DC モータ制御に必要な波形出力の制御を行うレジスタです。相補 PWM モード/リセット同期 PWM モード以外では、TGCRA レジスタの設定は無効です。

UF、VF、WF ビット（出力相切り替えビット）

これらのビットの設定はFB ビットが“1”のときのみ有効です。このときは、b0～b2の設定が、外部入力の代わりにになります。表 20.39 を参照してください。

FB ビット（外部フィードバック信号許可ビット）

正相/逆相の出力の切り替えをMTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号で自動的に行うか、TGCRAレジスタのビット2～0に“0”または“1”を書き込むことによって行うかを選択します。

TGCRA.FB ビットが“0”の場合、MTU0のTGRA、TGRB、TGRCレジスタのインプットキャプチャ信号により、MTU3、MTU4の出力を切り替えます。

P ビット（正相出力（P）制御ビット）

正相端子（MTIOC3B 端子、MTIOC4A 端子、MTIOC4B 端子）を出力時、レベル出力をするか、リセット同期 PWM/相補 PWM 出力するかを選択します。

N ビット（逆相出力（N）制御ビット）

逆相端子（MTIOC3D 端子、MTIOC4C 端子、MTIOC4D 端子）を出力時、レベル出力するか、リセット同期 PWM/相補 PWM 出力するかを選択します。

BDC ビット (ブラシレス DC モータビット)

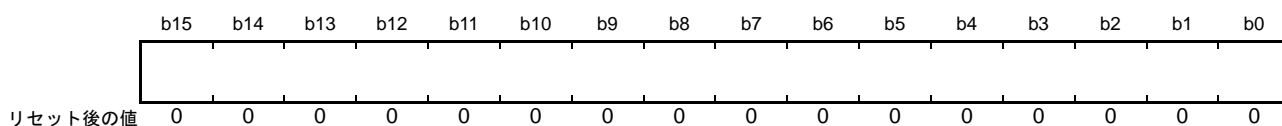
TGCRA レジスタの機能を有効にするか、無効にするかを選択します。

表 20.39 出力レベル選択機能

ビット2 WF	ビット1 VF	ビット0 UF	機能					
			MTIOC3B U相	MTIOC4A V相	MTIOC4B W相	MTIOC3D U相	MTIOC4C V相	MTIOC4D W相
0	0	0	OFF	OFF	OFF	OFF	OFF	OFF
0	0	1	ON	OFF	OFF	OFF	OFF	ON
0	1	0	OFF	ON	OFF	ON	OFF	OFF
0	1	1	OFF	ON	OFF	OFF	OFF	ON
1	0	0	OFF	OFF	ON	OFF	ON	OFF
1	0	1	ON	OFF	OFF	OFF	ON	OFF
1	1	0	OFF	OFF	ON	ON	OFF	OFF
1	1	1	OFF	OFF	OFF	OFF	OFF	OFF

20.2.25 タイマサブカウンタ (TCNTSA)

アドレス MTU.TCNTSA 000C 1220h



注. TCNTSAレジスタの8ビット単位でアクセスは禁止です。
16ビット単位でアクセスしてください。

TCNTSA レジスタは、相補 PWM モードに設定したときのみ使用される 16 ビットの読み出し専用カウンタです。TCNTSA レジスタのリセット後の値は“0000h”です。

20.2.26 タイマ周期データレジスタ (TCDRA)

アドレス MTU.TCDRA 000C 1214h



注. TCDRAレジスタの8ビット単位でのアクセスは禁止です。
16ビット単位でアクセスしてください。

TCDRA レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し/書き込み可能なレジスタです。TCDRA レジスタの値は PWM キャリア周期の 1/2 の値を設定してください。TCDRA レジスタは、相補 PWM モード時 TCNTSA カウンタと常時比較され、一致すると TCNTSA カウンタはカウント方向を切り替えます (ダウンカウント→アップカウント)。TCDRA レジスタのリセット後の値は“FFFFh”です。

20.2.27 タイマ周期バッファレジスタ (TCBRA)

アドレス MTU.TCBRA 000C 1222h

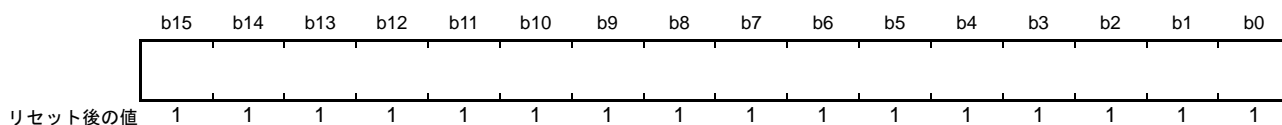


注. TCBRAレジスタの8ビット単位でのアクセスは禁止です。
16ビット単位でアクセスしてください。

TCBRA レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、TCDRA レジスタのバッファレジスタとして機能します。TMDR1 レジスタで設定した転送タイミングで TCBRA レジスタの値が TCDRA レジスタに転送されます。TCBRA レジスタのリセット後の値は“FFFFh”です。

20.2.28 タイマデッドタイムデータレジスタ (TDDRA)

アドレス MTU.TDDRA 000C 1216h



注. TDDRAレジスタの8ビット単位でのアクセスは禁止です。
16ビット単位でアクセスしてください。

TDDRA レジスタは、相補 PWM モード時のみ使用される 16 ビットの読み出し / 書き込み可能なレジスタで、相補 PWM モード時 MTU3.TCNT と MTU4.TCNT カウンタのオフセット値を設定します。相補 PWM モード時に MTU3.TCNT、MTU4.TCNT カウンタをクリアして再スタートするときは、TDDRA レジスタの値が MTU3.TCNT カウンタにロードされカウント動作を開始します。TDDRA レジスタのリセット後の値は“FFFFh”です。

20.2.29 タイマデッドタイムイネーブルレジスタ (TDERA)

アドレス MTU.TDERA 000C 1234h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TDER
リセット後の値	0	0	0	0	0	0	0	1

ビット	シンボル	ビット名	機能	R/W
b0	TDER	デッドタイムイネーブルビット	0: デッドタイムを生成しない 1: デッドタイムを生成する (注1)	R/(W)
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. TDDRA ≥ 1に設定してください。

TDERA レジスタは、TDERA は MTU3 に 1 本あり、相補 PWM モードのデッドタイム生成を制御するレジスタです。TDERA レジスタの設定は、TCNT の動作が停止した状態で行ってください。

TDER ビット (デッドタイムイネーブルビット)

デッドタイムの生成をする / しないを設定します。

[“0”になる条件]

- TDER = 1 の状態で TDER を読んだ後、TDER に “0” を書いたとき

20.2.30 タイマバッファ転送設定レジスタ (TBTERA)

アドレス MTU.TBTERA 000C 1232h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	BTE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	BTE[1:0]	バッファ転送抑止および割り込み間引き連動設定ビット	相補PWMモードで使用するバッファレジスタ(注1)からテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定します。詳細は表20.40を参照してください。	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください。	R/W

注1. 対象バッファレジスタ (TBTERA)
MTU3.TGRC, MTU3.TGRD, MTU4.TGRC, MTU4.TGRD, MTU.TCBRA

TBTERA レジスタは、相補 PWM モードで使用するバッファレジスタからテンポラリレジスタへの転送を抑止する/しない、または割り込み間引き機能1と連動する/しないを設定するレジスタです。

表20.40 TBTERA.BTE[1:0]ビットの設定

ビット1	ビット0	説明
BTE[1]	BTE[0]	
0	0	バッファレジスタからテンポラリレジスタへの転送を抑止しない(注1) また、割り込み間引き機能1と連動しない
0	1	バッファレジスタからテンポラリレジスタへの転送を抑止する
1	0	バッファレジスタからテンポラリレジスタへの転送を割り込み間引き機能1と連動する(注2)
1	1	設定しないでください

注1. TMDR1.MD[3:0]ビットの設定に従い転送します。詳細は「20.3.8 相補PWMモード」を参照してください。
注2. 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ(TITCR1A)のT3AEN、T4VENビットを“0”にしたとき、またはTITCR1Aの間引き回数設定ビット(T3ACOR、T4VCOR)を“0”にしたとき)は、バッファ転送を割り込み間引きと連動しない設定(タイマバッファ転送レジスタ(TBTERA)のBTE1ビットを“0”にする)にしてください。割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

20.2.31 タイマ波形コントロールレジスタ (TWCRA)

アドレス MTU.TWCRA 000C 1260h

b7	b6	b5	b4	b3	b2	b1	b0
CCE	—	—	—	—	—	—	WRE

リセット後の値 0 (注1) 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	WRE	波形保持許可ビット	0: TOCR1A, TOCR2A レジスタで設定した初期出力値を出力 1: 初期出力を抑止する	R/(W)
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	CCE (注1)	コンペアマッチクリア許可ビット	0: MTU3.TGRAのコンペアマッチによるカウンタクリアをしない 1: MTU3.TGRAのコンペアマッチによるカウンタクリアをする	R/(W)

注1. 相補PWMモード1のとき以外は、“1”を書かないでください。

TWCRA レジスタは、相補 PWM モードで MTU3.TCNT、MTU4.TCNT の同期カウンタクリアが発生した場合の出力波形の制御と、MTU3.TGRA のコンペアマッチによるカウンタクリアをする / しないを設定します。

TWCRA レジスタの CCE、WRE ビットの設定は、TCNT の動作が停止した状態で行ってください。

WRE ビット (波形保持許可ビット)

相補 PWM モードで同期カウンタクリアが起きたときの出力波形を選択します。

本機能によって初期出力を抑止されるのは、相補 PWM モードの谷の T_b 区間で同期クリアが発生したときのみです。それ以外のときに同期クリアが発生した場合は、WRE ビットの設定によらず、TOCR1A、TOCR2A レジスタで設定した初期値を出力します。また、MTU3.TCNT、MTU4.TCNT スタート直後の谷の T_b 区間で同期クリアが発生した場合も、TOCR1A、TOCR2A レジスタで設定した初期値を出力します。

相補 PWM モードの谷の T_b 区間については、図 20.47 を参照してください。

[“1”になる条件]

- WRE = 0 で WRE ビットを読んだ後、WRE ビットに“1”を書いたとき

CCE ビット (コンペアマッチクリア許可ビット)

相補 PWM モードで、MTU3.TGRA のコンペアマッチによるカウンタクリアをする / しないを設定します。

[“1”になる条件]

- CCE = 0 で CCE ビットを読んだ後、CCE ビットに“1”を書いたとき

20.2.32 ノイズフィルタコントロールレジスタ n (NFCRn) (n = 0 ~ 4, C)

- MTU0.NFCR0, MTU1.NFCR1, MTU2.NFCR2, MTU3.NFCR3, MTU4.NFCR4

アドレス MTU0.NFCR0 000C 1290h, MTU1.NFCR1 000C 1291h, MTU2.NFCR2 000C 1292h, MTU3.NFCR3 000C 1293h,
MTU4.NFCR4 000C 1294h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタA許可ビット	0 : MTIOCnA端子のノイズフィルタは無効 1 : MTIOCnA端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタB許可ビット	0 : MTIOCnB端子のノイズフィルタは無効 1 : MTIOCnB端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタC許可ビット	0 : MTIOCnC端子のノイズフィルタは無効 1 : MTIOCnC端子のノイズフィルタを有効	R/W (注1)
b3	NFDEN	ノイズフィルタD許可ビット	0 : MTIOCnD端子のノイズフィルタは無効 1 : MTIOCnD端子のノイズフィルタを有効	R/W (注1)
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクト ビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. NFCR1レジスタ、NFCR2レジスタでは予約ビットです。読むと“0”が読みだされます。書き込みは無効です。

NFCRn レジスタは、各チャネル共通で外部クロック端子のノイズフィルタ機能を設定します。

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTIOCnA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTIOCnB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTIOCnC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTIOcNd 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をアウトプットコンペア機能に設定、または TMDR1.MD[3:0] ビットを“0000b” (ノーマルモード) 以外に設定した状態で本ビットを切り替えてください。

NFCSC[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。本ビットを“11b”に設定しカウントソースを外部クロックとした場合、本ビット設定後外部クロックを2回入力した後インプットキャプチャ機能に設定してください。

- MTU0.NFCRC

アドレス MTU0.NFCRC 000C 1299h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCSC[1:0]	NFDEN	NFCEN	NFBEN	NFAEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFAEN	ノイズフィルタ A 許可ビット	0 : MTCLKA 端子のノイズフィルタは無効 1 : MTCLKA 端子のノイズフィルタを有効	R/W
b1	NFBEN	ノイズフィルタ B 許可ビット	0 : MTCLKB 端子のノイズフィルタは無効 1 : MTCLKB 端子のノイズフィルタを有効	R/W
b2	NFCEN	ノイズフィルタ C 許可ビット	0 : MTCLKC 端子のノイズフィルタは無効 1 : MTCLKC 端子のノイズフィルタを有効	R/W
b3	NFDEN	ノイズフィルタ D 許可ビット	0 : MTCLKD 端子のノイズフィルタは無効 1 : MTCLKD 端子のノイズフィルタを有効	R/W
b5-b4	NFCSC[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/2 1 0 : PCLKA/8 1 1 : PCLKA/32	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFAEN ビット (ノイズフィルタ A 許可ビット)

MTCLKA 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFBEN ビット (ノイズフィルタ B 許可ビット)

MTCLKB 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCEN ビット (ノイズフィルタ C 許可ビット)

MTCLKC 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFDEN ビット (ノイズフィルタ D 許可ビット)

MTCLKD 端子の入力のノイズフィルタ機能の有効 / 無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、内部カウントを停止して本ビットを切り替えてください。

NFCSC[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

20.2.33 ノイズフィルタコントロールレジスタ 5 (NFCR5)

アドレス MTU5.NFCR5 000C 1295h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	NFCS[1:0]	—	NFWE N	NFVEN	NFUEN	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	NFUEN	ノイズフィルタU許可ビット	0 : MTIOC5U端子のノイズフィルタは無効 1 : MTIOC5U端子のノイズフィルタを有効	R/W
b1	NFVEN	ノイズフィルタV許可ビット	0 : MTIOC5V端子のノイズフィルタは無効 1 : MTIOC5V端子のノイズフィルタを有効	R/W
b2	NFWEN	ノイズフィルタW許可ビット	0 : MTIOC5W端子のノイズフィルタは無効 1 : MTIOC5W端子のノイズフィルタを有効	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	NFCS[1:0]	ノイズフィルタクロックセレクトビット	b5 b4 0 0 : PCLKA/1 0 1 : PCLKA/8 1 0 : PCLKA/32 1 1 : カウントソース	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

NFUEN ビット (ノイズフィルタ U 許可ビット)

MTIOC5U 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFVEN ビット (ノイズフィルタ V 許可ビット)

MTIOC5V 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFWEN ビット (ノイズフィルタ W 許可ビット)

MTIOC5W 端子の入力のノイズフィルタ機能の有効/無効を設定します。本ビットを切り替えたとき、意図しない内部エッジが発生することがあるため、タイマ I/O コントロールレジスタの該当端子機能をコンペアマッチ機能に設定した状態で本ビットを切り替えてください。

NFCS[1:0] ビット (ノイズフィルタクロックセレクトビット)

ノイズフィルタのサンプリング周期を設定するレジスタです。本ビットの設定後、設定したサンプリング周期の2周期分待った後、インプットキャプチャ機能に設定してください。

20.2.34 タイマ A/D 変換開始要求コントロールレジスタ (TADCR)

アドレス MTU4.TADCR 000C 1240h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
BF[1:0]	—	—	—	—	—	—	—	UT4AE	DT4AE	UT4BE	DT4BE	ITA3AE	ITA4VE	ITB3AE	ITB4VE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ITB4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TCI4V 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TCI4V 割り込み間引き機能1と連動する	R/W
b1	ITB3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4BN) を TGI3A 割り込み間引き機能1と連動する	R/W
b2	ITA4VE	TCIV4 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TCI4V 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TCI4V 割り込み間引き機能1と連動する	R/W
b3	ITA3AE	TGIA3 割り込み間引き連動許可ビット (注1、注2、注3)	0: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動しない 1: A/D 変換の開始要求 (TRG4AN) を TGI3A 割り込み間引き機能1と連動する	R/W
b4	DT4BE	ダウンカウント TRG4BN 許可ビット (注3)	0: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b5	UT4BE	アップカウント TRG4BN 許可ビット	0: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4BN) を禁止 1: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4BN) を許可	R/W
b6	DT4AE	ダウンカウント TRG4AN 許可ビット (注3)	0: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のダウンカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b7	UT4AE	アップカウント TRG4AN 許可ビット	0: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4AN) を禁止 1: MTU4.TCNT のアップカウント時に A/D 変換の開始要求 (TRG4AN) を許可	R/W
b13-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b14	BF[1:0]	MTU4.TADCOBRA/B 転送タイミング選択ビット	MTU4.TADCOBRA、MTU4.TADCOBRB から MTU4.TADCORA、MTU4.TADCORB への転送タイミングを選択します。詳細は表 20.41 を参照してください	R/W

注. MTU4.TADCR レジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引きが禁止のとき TITCR1A.T3AEN、T4VEN ビットを“0”にしたとき、または TITCR1A.T3ACOR、T4VCOR ビットを“0”にしたときは、“0”にしてください。

注2. 割り込み間引きが禁止のときに、割り込み間引きと連動する設定にした場合、A/D 変換の開始要求が行われません。

注3. 相補 PWM モードのとき以外は、“0”にしてください。

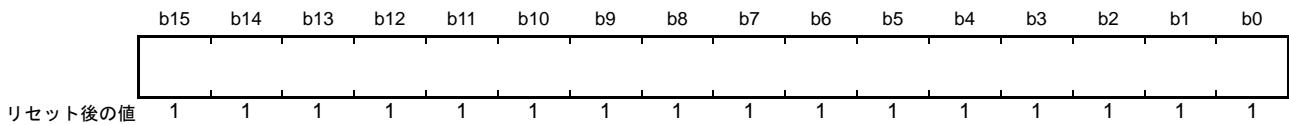
TADCR レジスタは、A/D 変換開始要求の許可 / 禁止の設定と、割り込み間引きと A/D 変換開始要求を連動する / しないを設定します。

表20.41 TADCR.BF[1:0]ビットによる転送タイミングの設定 (MTU4)

ビット15	ビット14	説明			
		相補PWMモード時	リセット同期PWMモード時	PWMモード1時	ノーマルモード時
0	0	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない	周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から、周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送しない
0	1	MTU4.TCNTの山で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU3.TCNTがMTU3.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	MTU4.TCNTがMTU4.TGRAとコンペアマッチしたとき周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する
1	0	MTU4.TCNTの谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止
1	1	MTU4.TCNTの山と谷で周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) から周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) へ転送する	設定禁止	設定禁止	設定禁止

20.2.35 タイマ A/D 変換開始要求周期設定レジスタ (TADCORA, TADCORB)

アドレス MTU4.TADCORA 000C 1244h, MTU4.TADCORB 000C 1246h



注. TADCORA、TADCORBは8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

注1. 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能（詳細は「20.3.9 (5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能」を参照）を使用する場合は、本レジスタの値は“0002h”～MTU4：TCORAの設定値-2の値を設定してください。

注2. 割り込み間引き機能2を使用し、かつTADCORAレジスタ値とTADCORBレジスタ値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでのA/D変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能2、間引き回数が“0”の場合

- ・TADCORAレジスタ値とTADCORBレジスタ値との間隔が「4」以上
- ・TADCORAのコンペア間隔が4PCLKA以上（TADCORAレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）
- ・TADCORBのコンペア間隔が4PCLKA以上（TADCORBレジスタの更新値を「前値+4以上」、「前値-4以下」に設定）

(2) 間引き機能2、間引き回数が1以上の場合

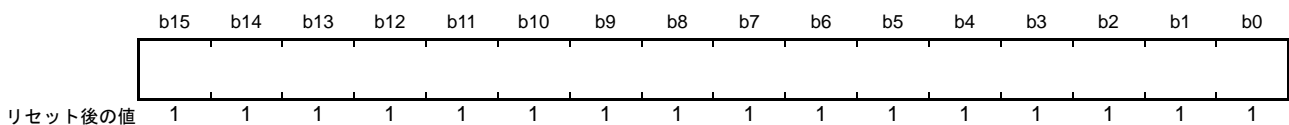
- ・TADCORAレジスタ値とTADCORBレジスタ値との間隔が「2」以上
- ・TADCORBのコンペア間隔が2PCLKA以上（TADCORBレジスタの更新値を「前値+2以上」、「前値-2以下」に設定）

TADCORA、TADCORBレジスタは16ビットの読み出し/書き込み可能なレジスタで、MTUn.TCNT (n=4) と一致したとき、対応するA/D変換開始要求を発生します。

TADCORA、TADCORBレジスタのリセット後の値は“FFFFh”です。

20.2.36 タイマ A/D 変換開始要求周期設定バッファレジスタ (TADCOBRA, TADCOBRB)

アドレス MTU4.TADCOBRA 000C 1248h, MTU4.TADCOBRB 000C 124Ah



注. TADCOBRA、TADCOBRBレジスタの8ビット単位でのアクセスは禁止です。16ビット単位でアクセスしてください。

TADCOBRA、TADCOBRBレジスタは16ビットの読み出し/書き込み可能なレジスタで、TADCORA、TADCORBのバッファレジスタです。TADCOBRA、TADCOBRBから山か谷でTADCORA、TADCORBに転送します。

TADCOBRA、TADCOBRBレジスタのリセット後の値は“FFFFh”です。

20.2.37 タイマ割り込み間引きモードレジスタ (TITMRA)

アドレス MTU.TITMRA 000C 123Ah

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	TITM
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TITM	割り込み間引き機能選択ビット	2種類の割り込み間引き機能を選択します。 詳細は表20.42を参照してください	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TITMRA レジスタは、2種類の間引き機能を選択するレジスタです。

表20.42 TITMビットによる割り込み間引き機能の設定

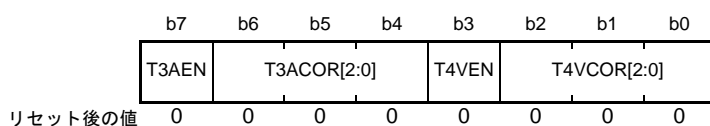
ビット0	説明
TITM	
0	割り込み間引き機能1 (注1)
1	割り込み間引き機能2 (注2)

注1. TITCR1Aレジスタを設定することにより割り込み間引き機能1が有効になります。

注2. TITCR2Aレジスタを設定することにより割り込み間引き機能2が有効になります。

20.2.38 タイマ割り込み間引き設定レジスタ 1 (TITCR1A)

アドレス MTU.TITCR1A 000C 1230h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCOR[2:0]	TCIV4割り込み間引き回数設定ビット	TCIV4割り込みの間引き回数を0~7回で設定します 詳細は表20.43を参照してください	R/W
b3	T4VEN	T4VENビット	0: TCIV4割り込みの間引きを禁止する 1: TCIV4割り込みの間引きを許可する	R/W
b6-b4	T3ACOR[2:0]	TGIA3割り込み間引き回数設定ビット	TGIA3割り込みの間引き回数を0~7回で設定します(注1) 詳細は表20.44を参照してください	R/W
b7	T3AEN	T3AENビット	0: TGIA3割り込みの間引きを禁止する 1: TGIA3割り込みの間引きを許可する	R/W

注1. 割り込み間引き回数を“0”にすると間引きは行いません。
また、割り込み間引き回数の変更前に、TITCR1A.T3AEN、TITCR1A.T4VENビットを“0”にして間引き回数カウンタ(TITCNT1A)をクリアしてください。

TITCR1Aレジスタは、割り込み間引きの禁止/許可、割り込み間引き回数の設定を制御します。この設定はTITMRAレジスタを“0”としたときのみ有効になります。また、TITMRAレジスタを“1”とした場合、このレジスタの値はクリアされます。

表20.43 T4VCOR[2:0]ビットによる割り込み間引き回数の設定

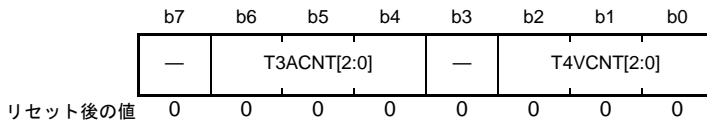
ビット2	ビット1	ビット0	説明
T4VCOR[2]	T4VCOR[1]	T4VCOR[0]	
0	0	0	TCIV4の割り込み間引きを行わない
0	0	1	TCIV4の割り込み間引き回数を1回に設定
0	1	0	TCIV4の割り込み間引き回数を2回に設定
0	1	1	TCIV4の割り込み間引き回数を3回に設定
1	0	0	TCIV4の割り込み間引き回数を4回に設定
1	0	1	TCIV4の割り込み間引き回数を5回に設定
1	1	0	TCIV4の割り込み間引き回数を6回に設定
1	1	1	TCIV4の割り込み間引き回数を7回に設定

表20.44 T3ACOR[2:0]ビットによる割り込み間引き回数の設定

ビット6	ビット5	ビット4	説明
T3ACOR[2]	T3ACOR[1]	T3ACOR[0]	
0	0	0	TGIA3の割り込み間引きを行わない
0	0	1	TGIA3の割り込み間引き回数を1回に設定
0	1	0	TGIA3の割り込み間引き回数を2回に設定
0	1	1	TGIA3の割り込み間引き回数を3回に設定
1	0	0	TGIA3の割り込み間引き回数を4回に設定
1	0	1	TGIA3の割り込み間引き回数を5回に設定
1	1	0	TGIA3の割り込み間引き回数を6回に設定
1	1	1	TGIA3の割り込み間引き回数を7回に設定

20.2.39 タイマ割り込み間引き回数カウンタ 1 (TITCNT1A)

アドレス MTU.TITCNT1A 000C 1231h



ビット	シンボル	ビット名	機能	R/W
b2-b0	T4VCNT[2:0]	TCIV4割り込みカウンタビット	TITCR1AのT4VENビットが“1”のとき、TCIV4割り込み要因が発生したときに1カウントアップします	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります。	R
b6-b4	T3ACNT[2:0]	TGIA3割り込みカウンタビット	TITCR1AのT3AENビットが“1”のとき、TGIA3割り込み要因が発生したときに1カウントアップします	R
b7	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. TITCNT1Aレジスタの値をクリアするには、TITCR1A.T3AENビットとTITCR1A.T4VENビットを“0”にしてください。

TITCNT1Aレジスタは、8ビットの読み出し可能なカウンタです。TITCNT1Aは、MTU3.TCNTおよびMTU4.TCNTのカウント動作停止後も、値を保持します。

T4VCNT[2:0] ビット (TCIV4 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T4VEN ビットが“0”のとき
- TITCR1A.T4VCOR[2:0] ビットが“000b”のとき
- TITCR1A.T4VCOR[2:0] ビットと TITCNT1A.T4VCNT[2:0] ビットが一致したとき

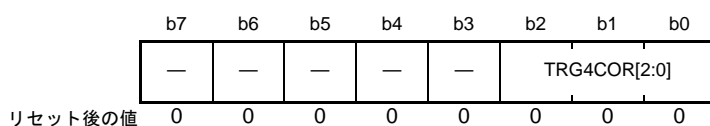
T3ACNT[2:0] ビット (TGIA3 割り込みカウンタビット)

[“0”になる条件]

- TITMRA.TITM ビットが“1”のとき
- TITCR1A.T3AEN ビットが“0”のとき
- TITCR1A.T3ACOR[2:0] ビットが“000b”のとき
- TITCR1A.T3ACOR[2:0] ビットと TITCNT1A.T3ACNT[2:0] ビットが一致したとき

20.2.40 タイマ割り込み間引き設定レジスタ 2 (TITCR2A)

アドレス MTU.TITCR2A 000C 123Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4COR[2:0]	TRG4AN/TRG4BN割り込み間引き回数設定ビット	TRG4AN/TRG4BN割り込みの間引き回数を0~7回で設定します。詳細は表20.45を参照してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

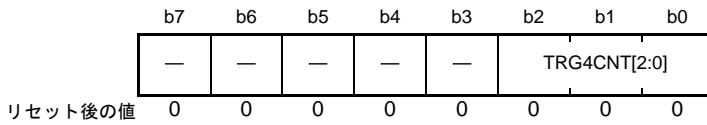
TITCR2A レジスタは、TRG4AN と TRG4BN の割り込み間引き回数を設定するレジスタです。
この設定は TITMRA レジスタを“1”にしたときのみ有効になります。

表20.45 TRG4COR[2:0]ビットによる割り込み間引き回数の設定

ビット2	ビット1	ビット0	説明
TRG4COR[2]	TRG4COR[1]	TRG4COR[0]	
0	0	0	TRG4ANとTRG4BNの割り込み回数間引きを行わない
0	0	1	TRG4ANとTRG4BNの割り込み回数を1回に設定
0	1	0	TRG4ANとTRG4BNの割り込み回数を2回に設定
0	1	1	TRG4ANとTRG4BNの割り込み回数を3回に設定
1	0	0	TRG4ANとTRG4BNの割り込み回数を4回に設定
1	0	1	TRG4ANとTRG4BNの割り込み回数を5回に設定
1	1	0	TRG4ANとTRG4BNの割り込み回数を6回に設定
1	1	1	TRG4ANとTRG4BNの割り込み回数を7回に設定

20.2.41 タイマ割り込み間引き回数カウンタ 2 (TITCNT2A)

アドレス MTU.TITCNT2A 000C 123Ch



ビット	シンボル	ビット名	機能	R/W
b2-b0	TRG4CNT[2:0]	TRG4AN/TRG4BN割り込みカウンタビット	TRG4COR[2:0]ビットで設定した値から、TRG4AN、TRG4BNが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BNの割り込みが有効になります	R
b7-b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

TITCNT2A レジスタは、TRG4COR[2:0] ビットで設定した値から、TRG4AN、TRG4BN (TITCNT2A) が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

TRG4CNT[2:0] ビット (TRG4AN/TRG4BN 割り込みカウンタビット)

TRG4COR[2:0] ビットで設定した値から、TRG4AN および TRG4BN 割り込みが発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4AN、TRG4BN 割り込みが有効になります。

[“0”になる条件]

- TITMRA.TITM ビットが“0”のとき
- TITCR2A.TRG4COR[2:0] ビットが“000b”のとき
- TITCR2A.TRG4COR[2:0] ビットと TRG4AN および TRG4BN の発生回数が一致したとき

20.2.42 A/D 変換開始要求選択レジスタ 0 (TADSTRGR0)

アドレス MTU.TADSTRGR0 000C 1D30h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b4-b0	TADSTRS0[4:0]	ADSM0端子出力フレーム同期信号生成用A/D変換開始要求選択ビット	ADSM0端子から出力するフレーム同期信号を生成するA/D変換開始要求を選択します。A/D変換開始要求と設定値の関係は表20.46を参照してください。表20.46記載の値以外は設定しないでください	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TADSTRGR0 レジスタは、ADSM0 端子から出力する A/D 変換開始要求フレーム同期信号生成に使用する A/D 変換開始要求を選択するレジスタです。

表20.46 フレーム同期信号生成用A/D変換開始要求の設定

要因	備考	TADSTRS0[4]	TADSTRS0[3]	TADSTRS0[2]	TADSTRS0[1]	TADSTRS0[0]
—	要因非選択	0	0	0	0	0
TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1
TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0
TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	1
TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	1	0	0
TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ、または相補PWMモード時MTU4.TCNTのアンダフロー (谷)	0	0	1	0	1
TRG0N	MTU0.TGREのコンペアマッチ	0	1	0	0	0
TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	1	0	0	1
TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	0
TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ、またはMTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	1	0	1	1
TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	1	1	0	0

20.2.43 バスマスタとのインタフェース

タイマカウンタ (MTU0.TCNT ~ MTU5.TCNT)、ジェネラルレジスタ (MTU0.TGRn ~ MTU5.TGRn)、タイマサブカウンタ (TCNTSA)、タイマ周期バッファレジスタ (TCBRA)、タイマデッドタイムデータレジスタ (TDDRA)、タイマ周期データレジスタ (TCDRA)、タイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB)、およびタイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) は 16 ビットのレジスタです。バスマスタとの間のデータバスは 16 ビット幅なので、16 ビット単位での読み出し/書き込みが可能です。8 ビット単位での読み出し/書き込みはできません。16 ビット単位でアクセスしてください。

上記以外のレジスタは 8 ビットのレジスタです。8 ビット単位で読み出し/書き込みを行ってください。

20.3 動作説明

20.3.1 基本動作

各チャンネルには、TCNTとTGRレジスタがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウンタ動作、または外部イベントカウンタ動作が可能です。

TGRレジスタは、それぞれ入力キャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRAレジスタのCST0～CST4ビット、MTU5.TSTRレジスタのCSTU5、CSTV5、CSTW5ビットを“1”にすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図20.4に示します。

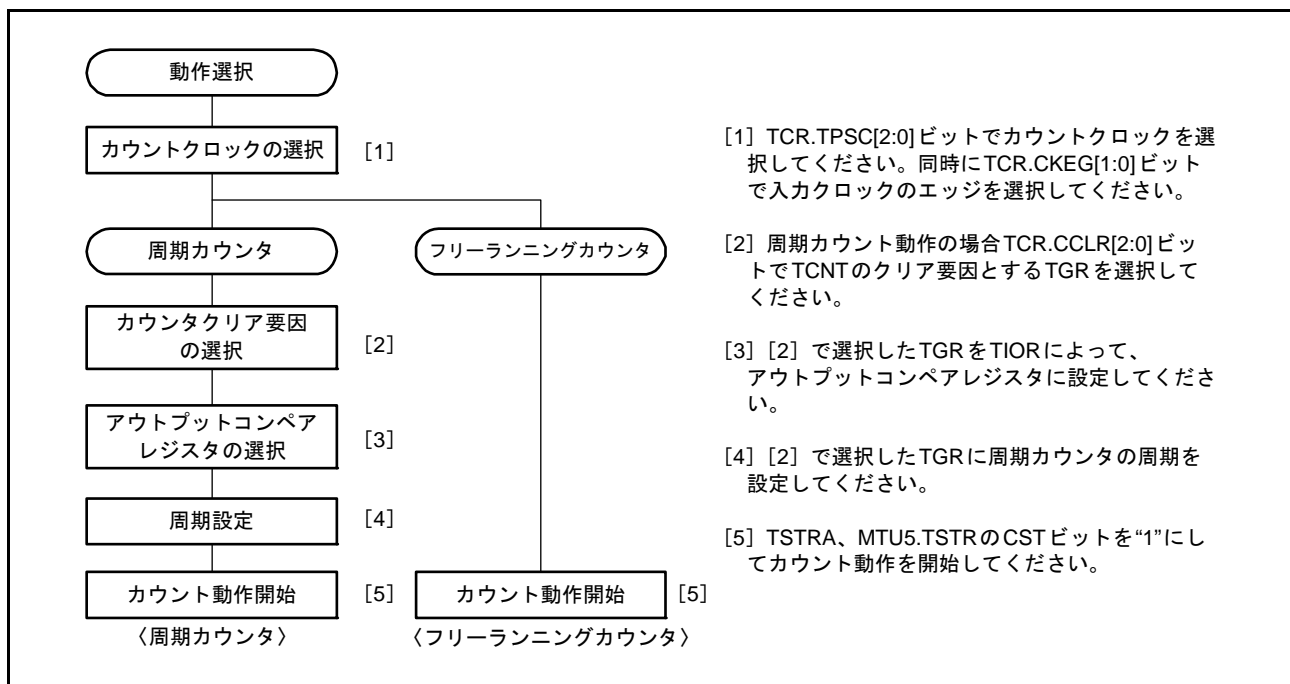


図 20.4 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TCNTは、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTRA、MTU5.TSTRレジスタの対応するビットを“1”にするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー（FFFFh → 0000h）すると、対応するTIER.TCIEVビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはオーバーフロー後、“0000h”からアップカウント動作を継続します。

フリーランニングカウンタの動作を図20.5に示します。

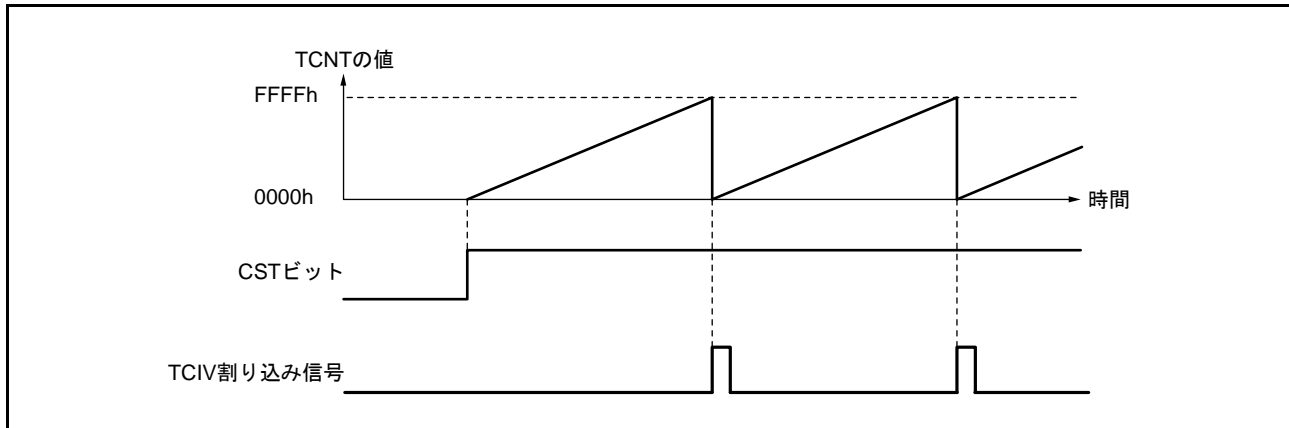


図 20.5 フリーランニングカウンタの動作

TCNTのクリア要因にコンペアマッチを選択したときは、対応するチャンネルのTCNTは周期カウンタ動作を行います。周期設定用のTGRをアウトプットコンペアレジスタに設定し、TCR.CCLR[2:0]ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTRA、MTU5.TSTRレジスタの対応するビットを“1”にすると、周期カウンタとしてアップカウント動作を開始します。カウント値がTGRの値と一致すると、TCNTは“0000h”になります。

このとき対応するTIER.TGIEビットが“1”ならば、CPUへの割り込み要求を発行します。TCNTはコンペアマッチ後、“0000h”からアップカウント動作を継続します。

周期カウンタの動作を図20.6に示します。

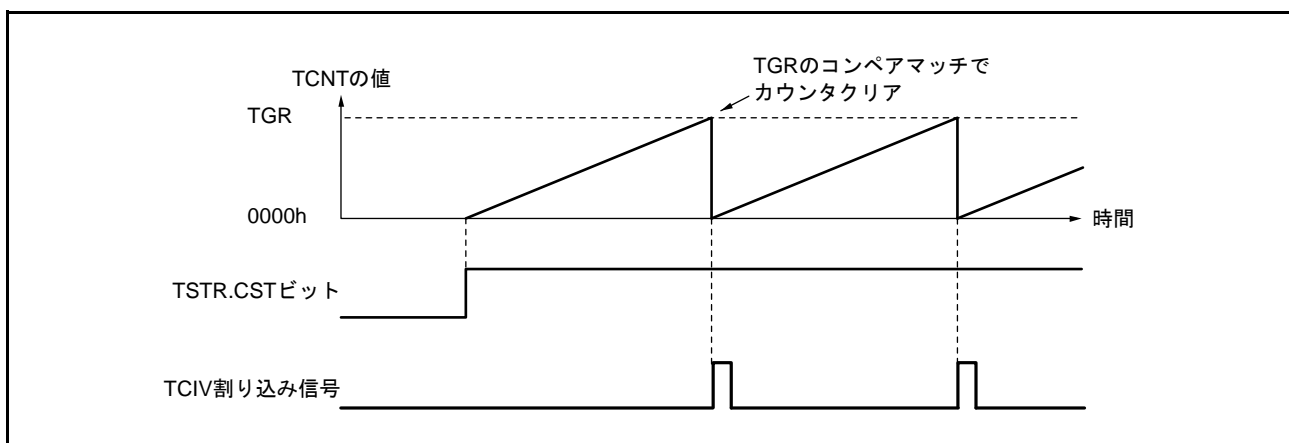


図 20.6 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

コンペアマッチにより対応する出力端子から Low 出力 / High 出力 / トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 20.7 に示します。

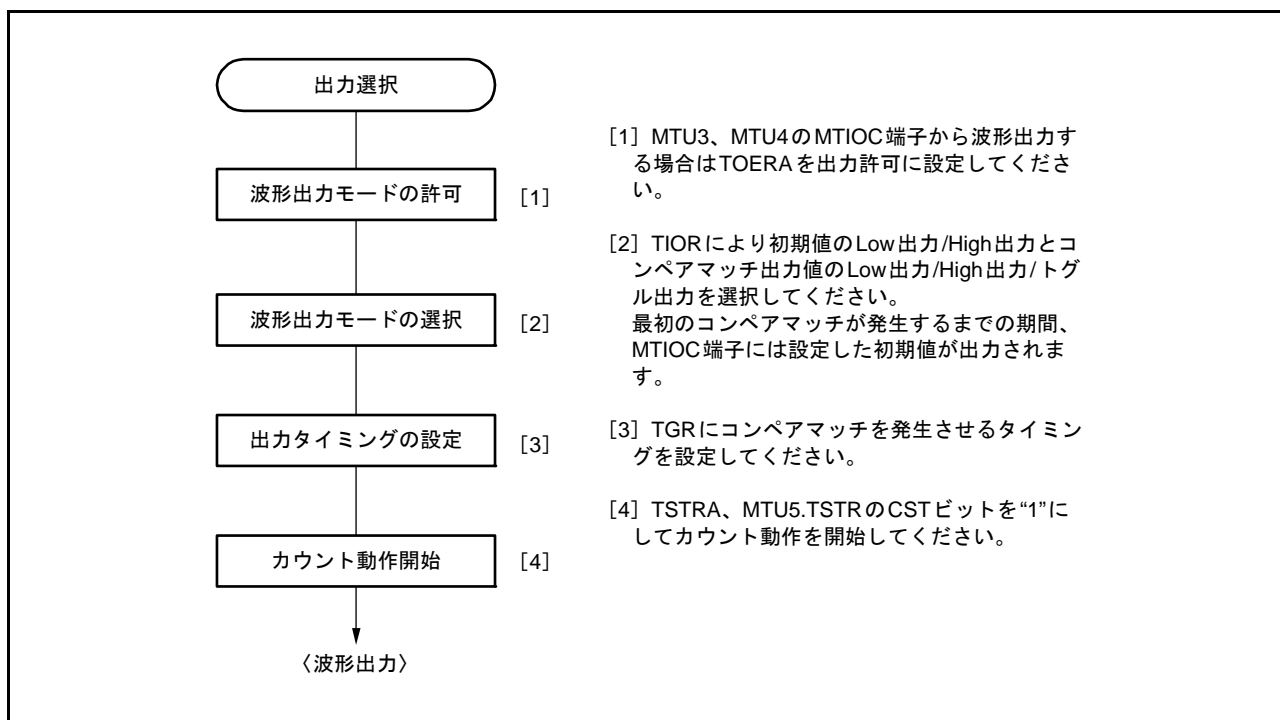


図 20.7 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

Low出力/High出力例を図20.8に示します。

TCNTをフリーランニングカウンタ動作とし、コンペアマッチAによりHigh出力、コンペアマッチBによりLow出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

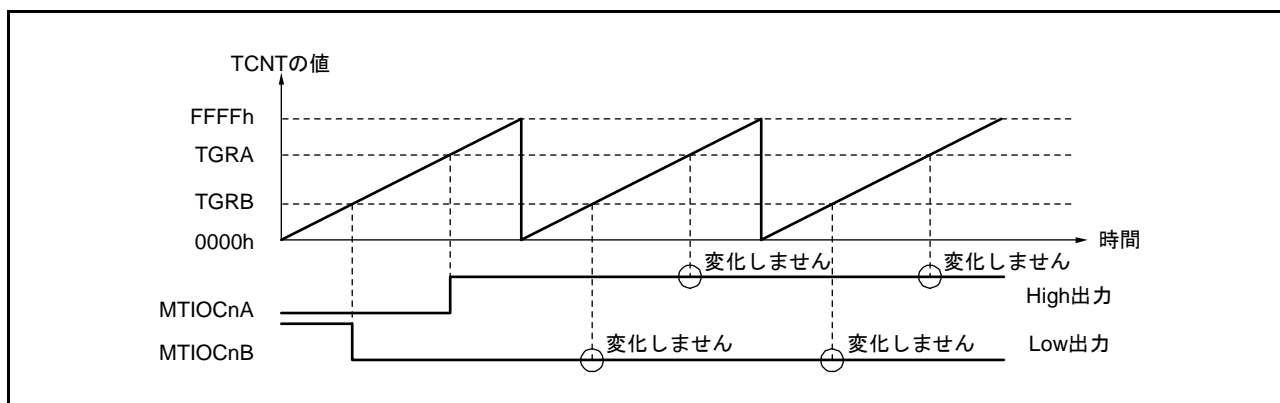


図 20.8 Low出力/High出力の動作例 (n = 0 ~ 4)

トグル出力の例を図20.9に示します。

TCNTを周期カウンタ動作(コンペアマッチBによりカウンタクリア)に、コンペアマッチA、Bともトグル出力となるように設定した場合の例です。

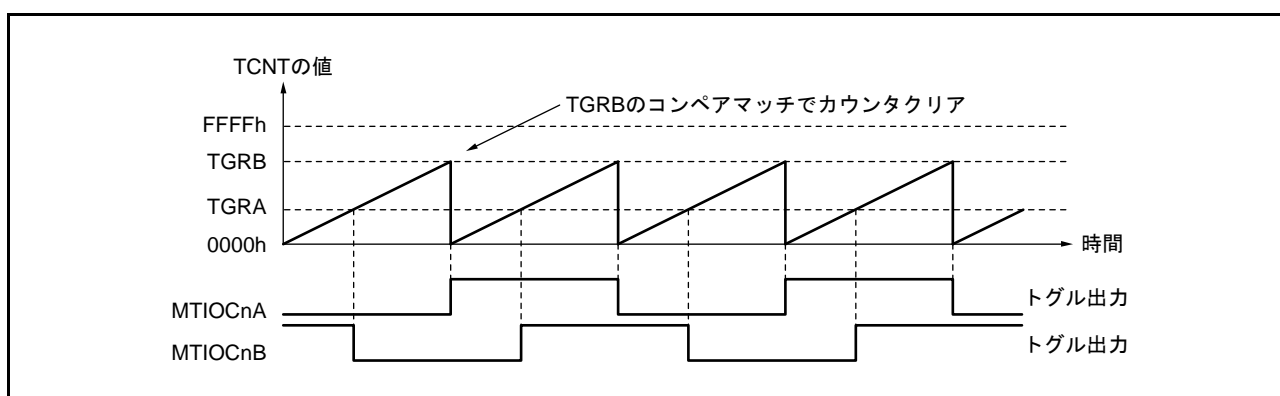


図 20.9 トグル出力の動作例 (n = 0 ~ 4)

(3) インพุットキャプチャ機能

MTIOCnm 端子 (n=0~4、m=A~D) の入力エッジを検出して TCNT の値を TGR レジスタに転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、MTU0、MTU1 は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

注. MTU0、MTU1 で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに PCLKA/1 を選択しないでください。PCLKA/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 20.10 に示します。

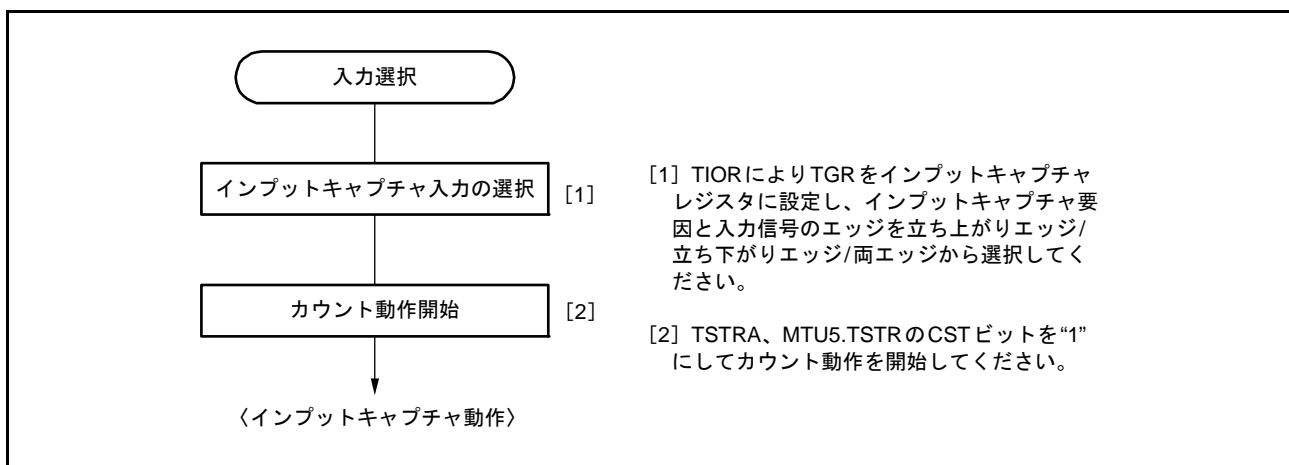


図 20.10 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 20.11 に示します。

MTIOcNA 端子のインพุットキャプチャ入力エッジは立ち上がり / 立ち下がり両エッジ、また MTIOcNB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です (n = 0 ~ 4)。

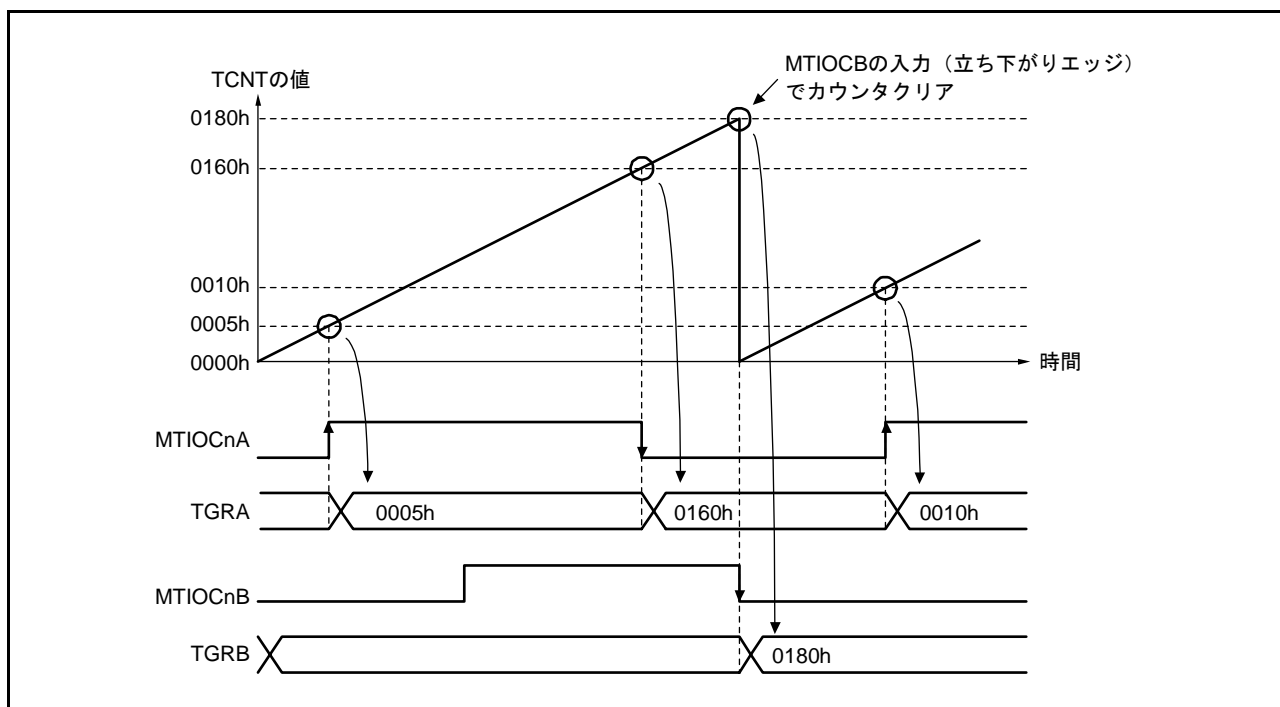


図 20.11 インพุットキャプチャ動作例 (n = 0 ~ 4)

20.3.2 同期動作

同期動作を使って、複数の TCNT の値を同時に書き換えることができます (同期セット)。また、TCR レジスタの設定によって複数の TCNT を同時に“0”にすることができます (同期クリア)。

同期動作によって、1つのタイムベースに対して動作する TGR レジスタの本数を増加させることができます。

MTU0 ~ MTU4 はすべて同期動作の設定が可能です。

MTU5 は同期動作できません。

(1) 同期動作の設定手順例

同期動作の設定手順例を図 20.12 に示します。

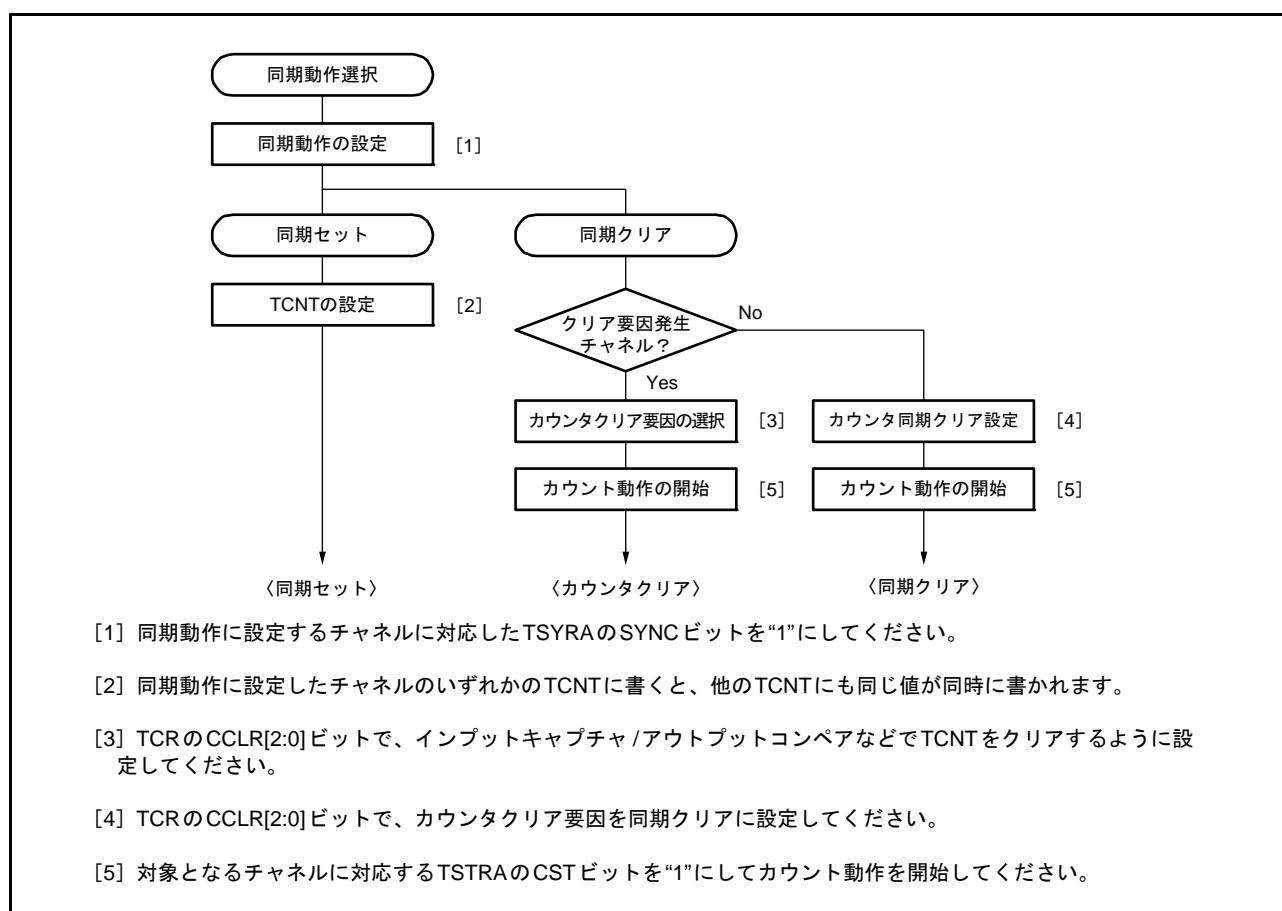


図 20.12 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 20.13 に示します。

MTU0 ~ MTU2 を同期動作かつ PWM モード 1 に設定し、MTU0 のカウンタクリア要因を MTU0.TGRB のコンペアマッチ、また MTU1、MTU2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を MTIOC0A、MTIOC1A、MTIOC2A 端子から出力します。このとき、MTU0 ~ MTU2 の TCNT は同期セット、MTU0.TGRB のコンペアマッチによる同期クリアを行い、MTU0.TGRB に設定したデータが PWM 周期となります。

PWM モードについては、「20.3.5 PWM モード」を参照してください。

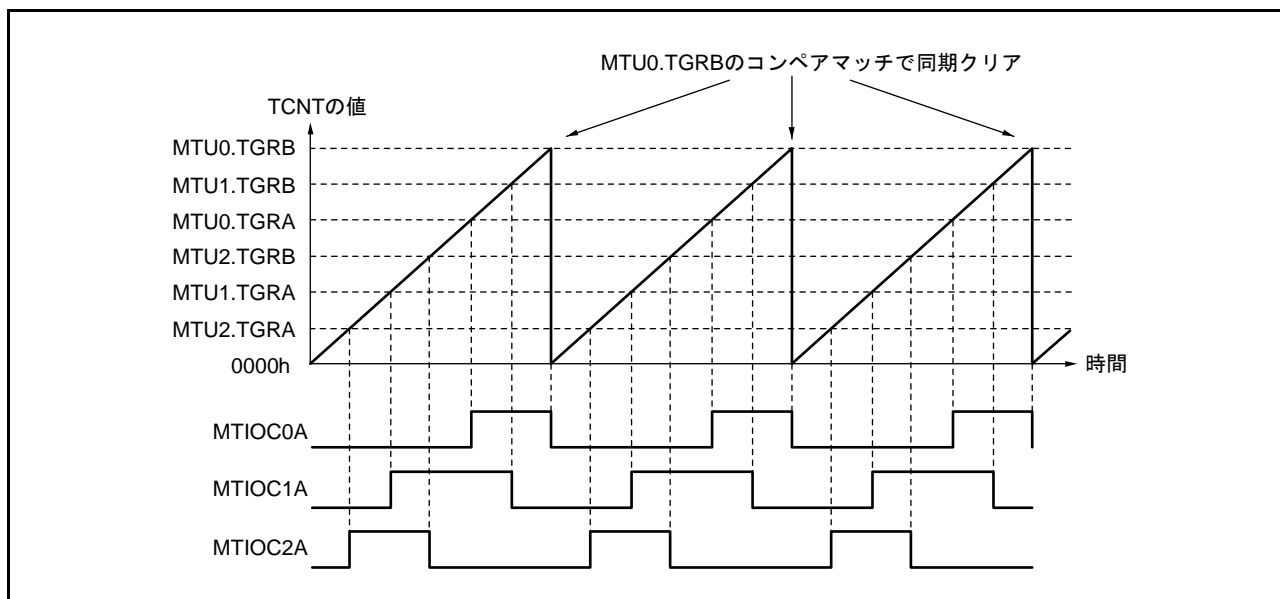


図 20.13 同期動作の動作例

20.3.3 バッファ動作

バッファ動作は、MTU0、MTU3、MTU4 が持つ機能です。TGRC と TGRD レジスタをバッファレジスタとして使用することができます。また、MTU0 は TGRF もバッファレジスタとして使用することができます。

バッファ動作は、TGR レジスタをインプットキャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

注． MTU0.TGRE はインプットキャプチャレジスタに設定できません。コンペアマッチレジスタとしてのみ動作します。

表 20.47 にバッファ動作時のレジスタの組み合わせを示します。

表 20.47 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
MTU0	TGRA	TGRC
	TGRB	TGRD
	TGRE	TGRF
MTU3	TGRA	TGRC
	TGRB	TGRD
MTU4	TGRA	TGRC
	TGRB	TGRD

- TGR がアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 20.14 に示します。

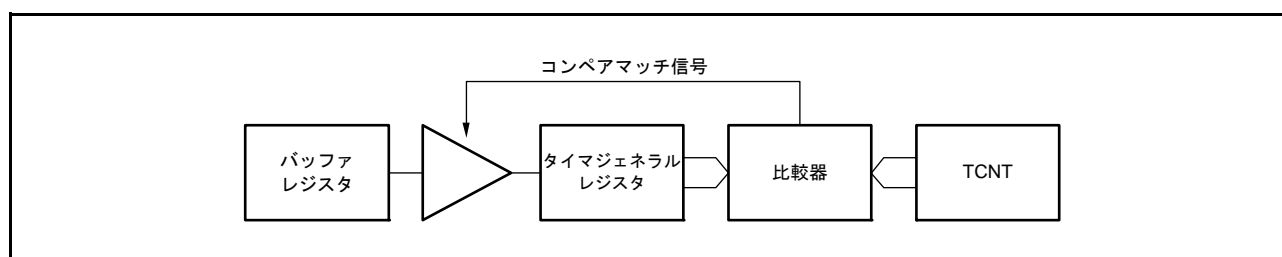


図 20.14 コンペアマッチバッファ動作

- TGR が入力キャプチャレジスタの場合

入力キャプチャが発生すると、TCNT の値を TGR レジスタに転送すると同時に、それまで格納されていた TGR レジスタの値をバッファレジスタに転送します。

この動作を図 20.15 に示します。

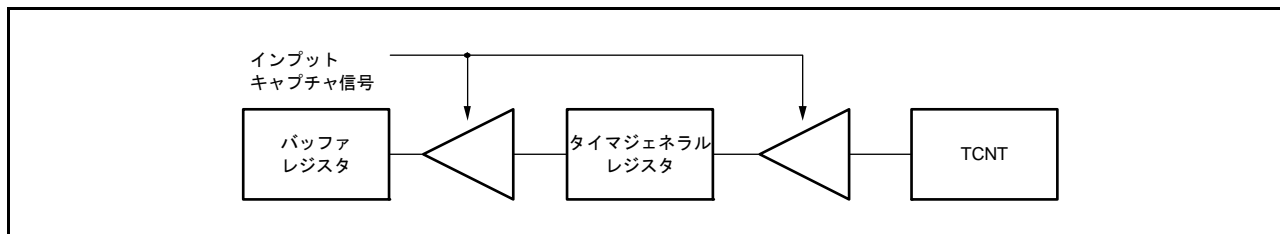


図 20.15 インพุットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 20.16 に示します。

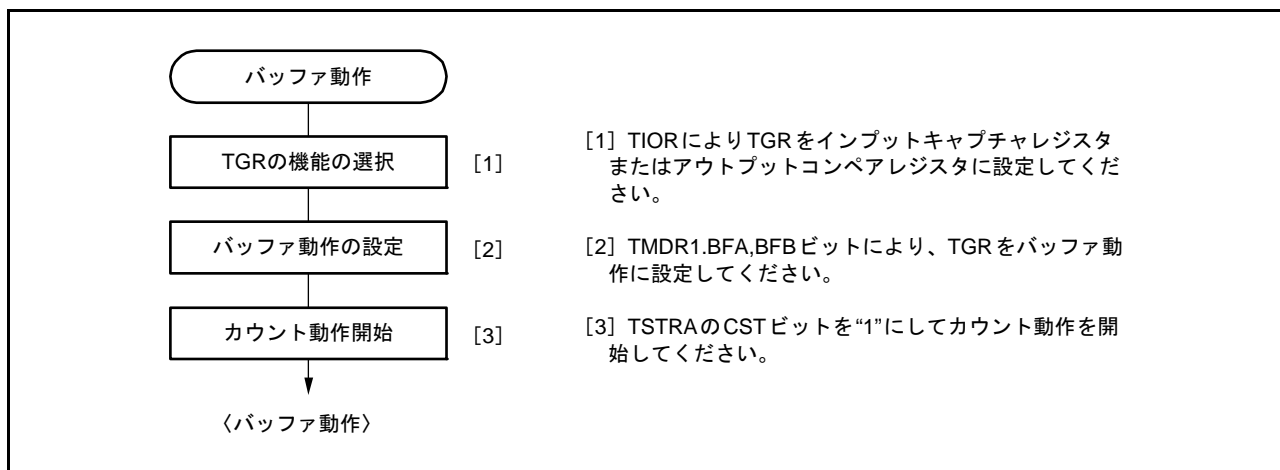


図 20.16 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGRがアウトプットコンペアレジスタの場合

MTU0をPWMモード1に設定し、TGRAとTGRCをバッファ動作に設定した場合の動作例を図20.17に示します。TCNTはコンペアマッチBによりクリア、出力はコンペアマッチAでHigh出力、コンペアマッチBでLow出力に設定した例です。この例では、TBTM.TTSAビットは“0”にしています。

バッファ動作が設定されているため、コンペアマッチAが発生すると出力を変化させると同時に、バッファレジスタTGRCの値がタイマジェネラルレジスタTGRAに転送されます。この動作は、コンペアマッチAが発生する度に繰り返されます。

PWMモードについては、「20.3.5 PWMモード」を参照してください。

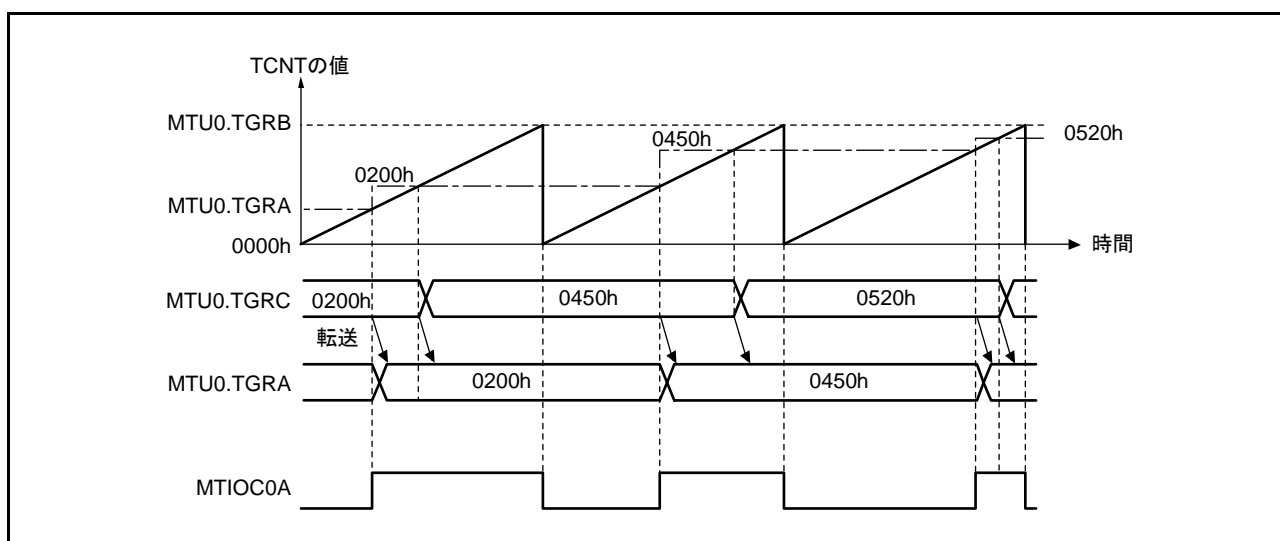


図 20.17 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 20.18 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、MTIOCnA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています ($n=0\sim 4$)。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に転送されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

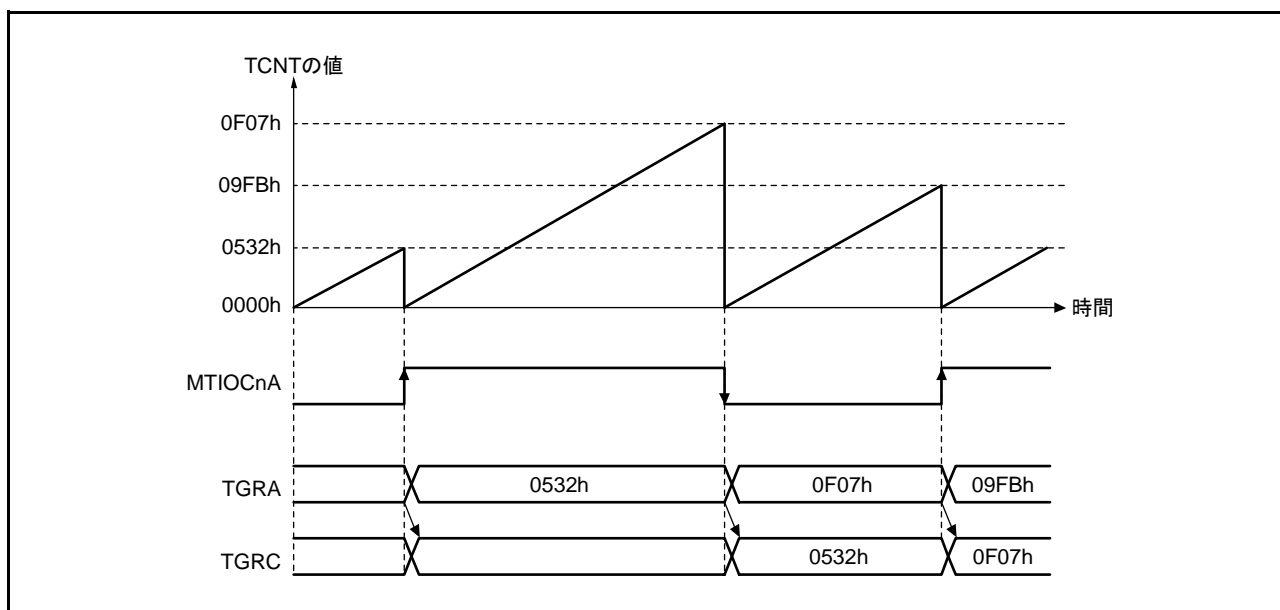


図 20.18 バッファ動作例 (2) ($n=0\sim 4$)

(3) バッファ動作時のバッファレジスタからタイマジェネラルレジスタへの転送タイミング選択

バッファ動作転送モードレジスタ (MTUn.TBTM) (n=0, 3, 4) を設定することで、MTU0 ではPWM モード1、2時の、MTU3、MTU4 ではPWM モード1時の、バッファレジスタからタイマジェネラルレジスタへの転送タイミングを選択できます。選択できるバッファ転送タイミングは、コンペアマッチ発生時（リセット後の値）と TCNT クリア時のいずれか一方です。ここで TCNT のクリア時とは次の条件のいずれかが成立したときです。

- TCNT がオーバーフローしたとき (FFFFh → 0000h)
- カウンタ動作中、TCNT に“0000h”が書かれたとき
- TCR.CCLR[2:0] ビットで設定したクリア要因で、TCNT が“0000h”になったとき

注． TBTM レジスタの設定は TCNT が停止した状態で行ってください。

MTU0 を PWM モード1 に設定し、MTU0.TGRA と MTU0.TGRC をバッファ動作に設定した場合の動作例を図 20.19 に示します。MTU0.TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で High 出力、コンペアマッチ B で Low 出力、MTU0.TBTM.TTSA ビットは“1”にしています。

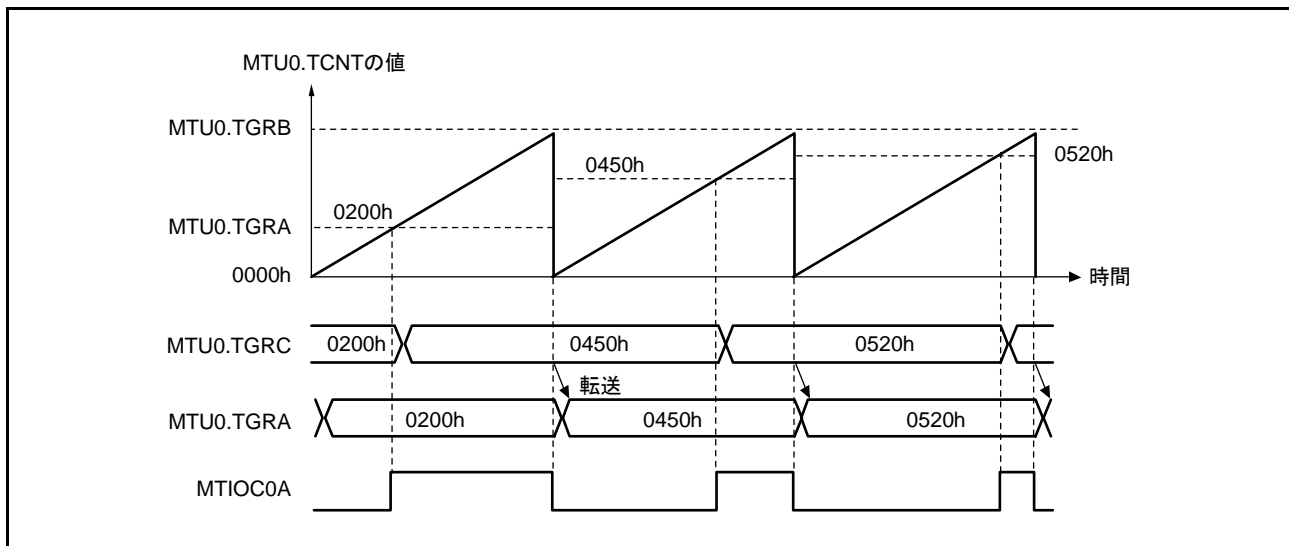


図 20.19 MTU0.TGRC から MTU0.TGRA のバッファ転送タイミングを MTU0.TCNT クリア時に選択した場合の動作例

20.3.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

MTU1とMTU2を接続して32ビットカウンタとして使用する機能には、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続と、MTU1.TMDR3.LWAビットを“1”に設定するカスケード接続32ビット位相計数モードがあります。カスケード接続32ビット位相計数モードについては「20.3.6.2 カスケード接続32ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWAビットを“0”のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWAビットを“0”に設定し、MTU1.TCR.TPSC[2:0]ビットでMTU1.TCNTをMTU2.TCNTのオーバフロー/アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位16ビットが割り当てられたMTU2が位相計数モードのときのみです。

表 20.48 にカスケード接続の組み合わせを示します。

注． MTU1 を位相計数モードに設定した場合は、カウントクロックの設定は無効となり、独立して位相計数モードで動作します。

表 20.48 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
MTU1とMTU2	MTU1.TCNT	MTU2.TCNT

カスケード動作時に、MTU1.TCNTとMTU2.TCNTの同時インプットキャプチャをする場合、インプットキャプチャコントロールレジスタ (TICCR) で設定することで、インプットキャプチャ条件となる入力端子を追加することができます。インプットキャプチャの条件となるエッジ検出は、本来の入力端子の入力レベルと、追加した入力端子の入力レベルの論理和を取った信号に対して行われます。したがって、いずれか一方がHighのとき、もう一方が変化してもエッジ検出は行われません。詳細は「(4) カスケード接続動作例(c)」を参照してください。カスケード接続時のインプットキャプチャについては「20.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ」を参照してください。

TICCRレジスタの設定値とインプットキャプチャ入力端子の対応を表 20.49 に示します。

表 20.49 TICCRレジスタ設定値とインプットキャプチャ入力端子の対応

対象となるインプットキャプチャ	TICCR設定値	インプットキャプチャ入力端子
MTU1.TCNTからMTU1.TGRAへのインプットキャプチャ	I2AEビット = 0 (初期値)	MTIOC1A
	I2AEビット = 1	MTIOC1A、MTIOC2A
MTU1.TCNTからMTU1.TGRBへのインプットキャプチャ	I2BEビット = 0 (初期値)	MTIOC1B
	I2BEビット = 1	MTIOC1B、MTIOC2B
MTU2.TCNTからMTU2.TGRAへのインプットキャプチャ	I1AEビット = 0 (初期値)	MTIOC2A
	I1AEビット = 1	MTIOC2A、MTIOC1A
MTU2.TCNTからMTU2.TGRBへのインプットキャプチャ	I1BEビット = 0 (初期値)	MTIOC2B
	I1BEビット = 1	MTIOC2B、MTIOC1B

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 20.20 に示します。

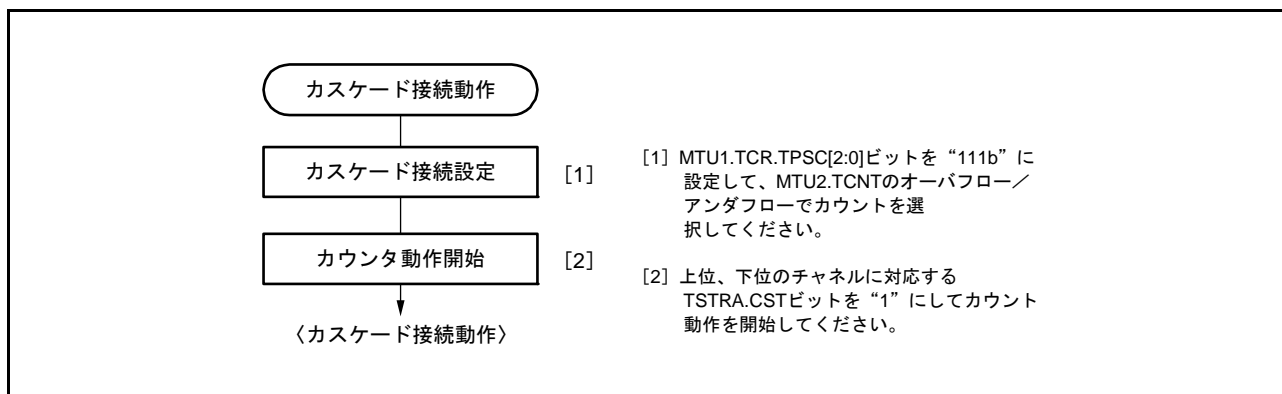


図 20.20 カスケード接続動作設定手順

(2) カスケード接続動作例 (a)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、MTU1.TCNT は MTU2.TCNT のオーバフロー/アンダフローでカウント、MTU2 を位相計数モード 1 に設定したときの動作を図 20.21 に示します。

MTU1.TCNT は MTU2.TCNT のオーバフローでアップカウント、MTU2.TCNT のアンダフローでダウンカウントされます。

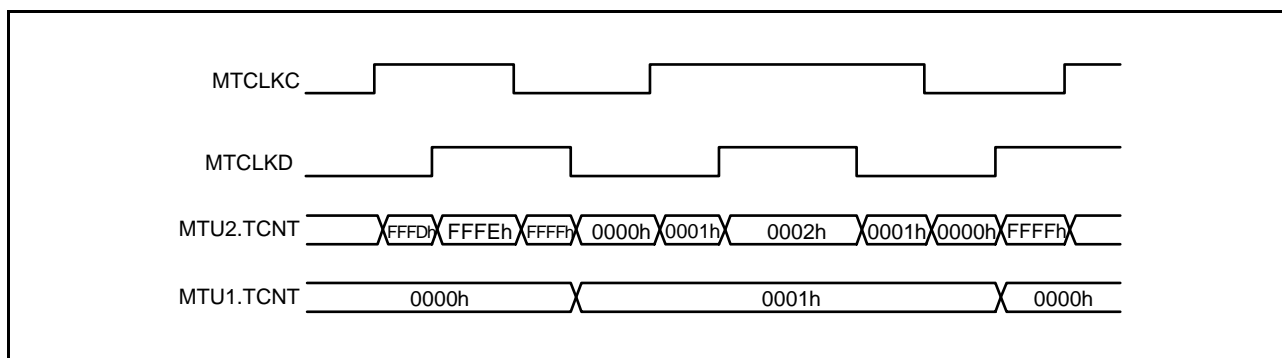


図 20.21 カスケード接続動作例 (a)

(3) カスケード接続動作例 (b)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 20.22 に示します。この例では MTU1.TIOR.IOA[3:0] ビットの設定は、(MTIOC1A の) 立ち上がりエッジで入力キャプチャに設定しています。また、MTU2.TIOR.IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTIOC1A と MTIOC2A の両方の立ち上がりエッジが MTU1.TGRA の入力キャプチャ条件に設定されます。また、MTU2.TGRA の入力キャプチャ条件は MTIOC2A の立ち上がりエッジとなります。

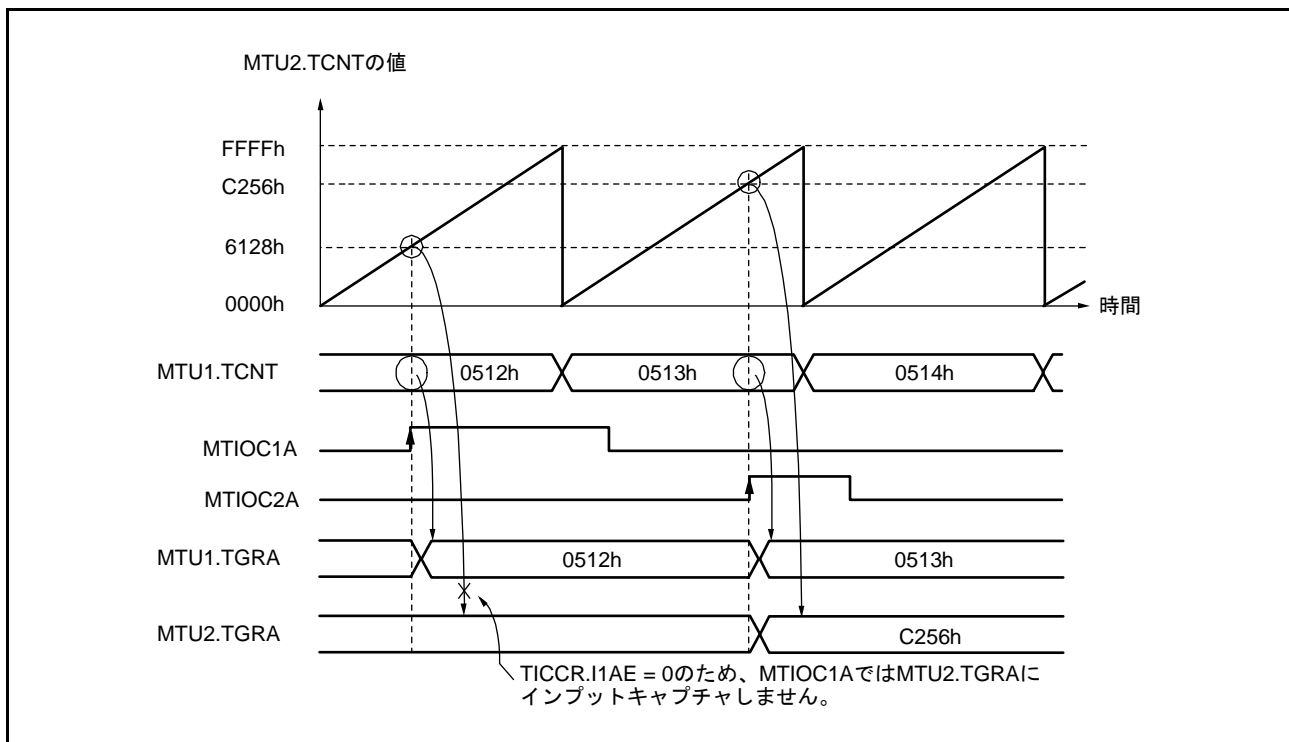


図 20.22 カスケード接続動作例 (b)

(4) カスケード接続動作例 (c)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE,I1AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加し、MTIOC1A 端子を MTU2.TGRA の入力キャプチャ条件に追加した場合の動作を図 20.23 に示します。この例では MTU1.TIOR、MTU2.TIOR の IOA[3:0] ビットの設定は、どちらも両エッジで入力キャプチャに設定しています。この場合、MTIOC1A と MTIOC2A 入力の OR が MTU1.TGRA および MTU2.TGRA の入力キャプチャ条件となります。

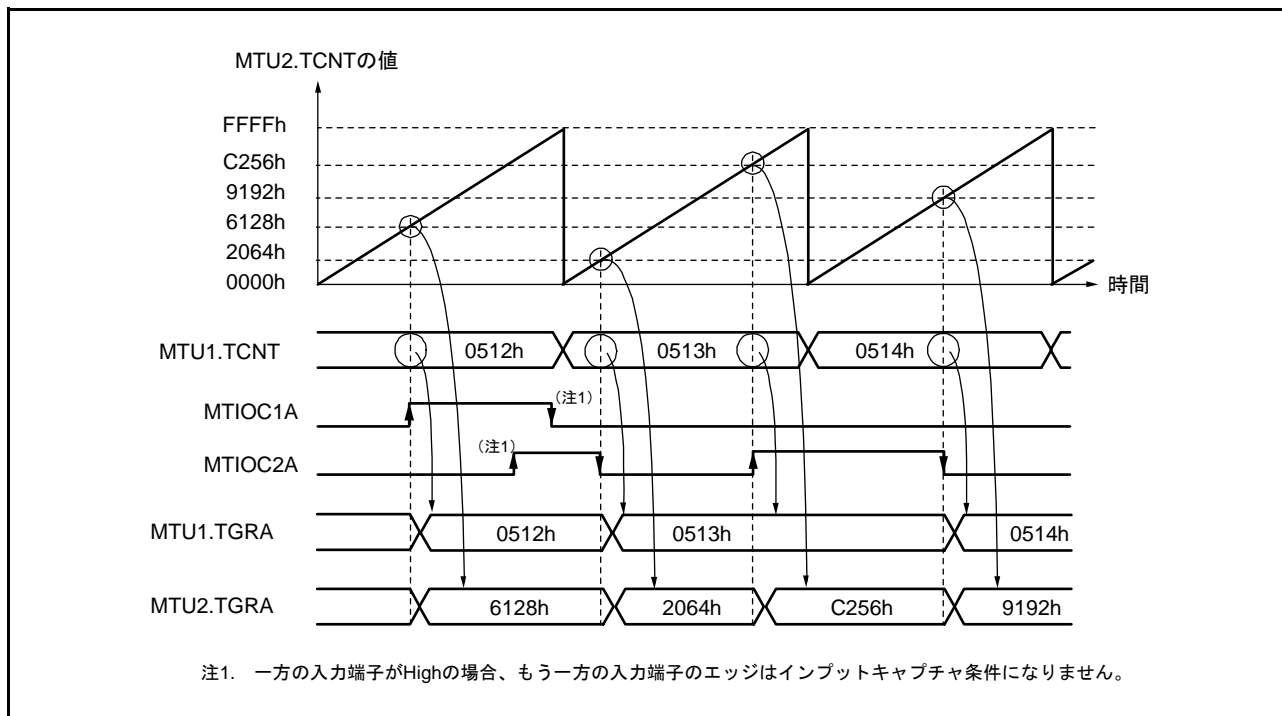


図 20.23 カスケード接続動作例 (c)

(5) カスケード接続動作例 (d)

MTU1.TCNT、MTU2.TCNT をカスケード接続し、TICCR.I2AE ビットを“1”にして、MTIOC2A 端子を MTU1.TGRA の入力キャプチャ条件に追加した場合の動作を図 20.24 に示します。この例では MTU1.TIOR の IOA[3:0] ビットの設定は、MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャに設定しています。また、MTU2.TIOR の IOA[3:0] ビットの設定は、(MTIOC2A の) 立ち上がりエッジで入力キャプチャに設定しています。

この場合、MTU1.TIOR の設定が MTU0.TGRA のコンペアマッチ/入力キャプチャの発生で入力キャプチャのため、TICCR.I2AE ビットを“1”にしても MTIOC2A のエッジが MTU1.TGRA の入力キャプチャ条件になることはありません。

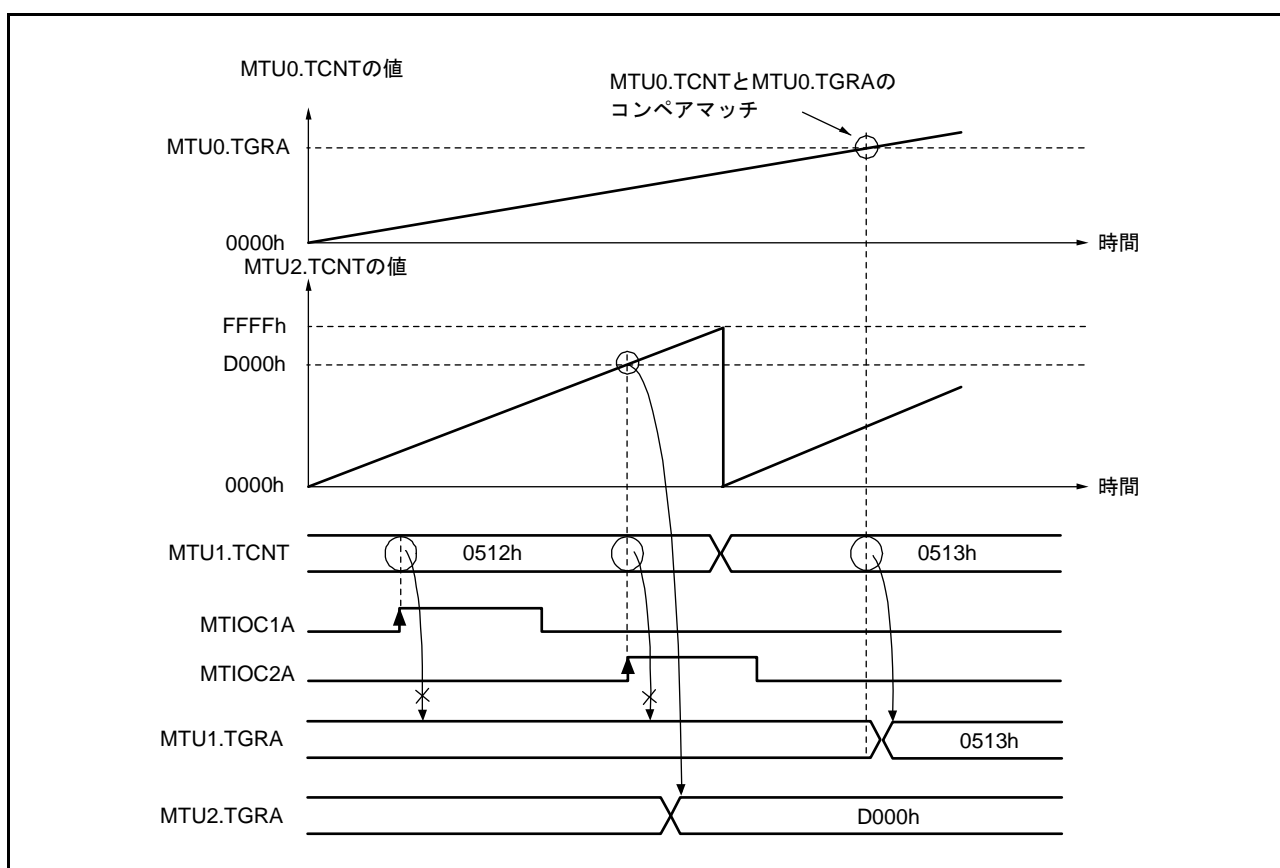


図 20.24 カスケード接続動作例 (d)

20.3.5 PWM モード

PWM モードは出力端子からそれぞれ PWM 波形を出力するモードです。各 TGR レジスタのコンペアマッチによる出力レベルは Low 出力 / High 出力 / トグル出力の中から選択可能です。

各 TGR レジスタの設定により、デューティ 0% ~ 100% の PWM 波形が出力できます。

TGR レジスタのコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル個々に PWM モードに設定できます。PWM モードに設定したチャンネルの同期動作、および PWM モードに設定したチャンネルと他のモードに設定したチャンネルとの同期動作も可能です。

PWM モードには以下に示す 2 種類のモードがあります。

(a) PWM モード 1

TGRA レジスタと TGRB レジスタ、TGRC レジスタと TGRD レジスタをペアで使用して、MTIOc_nA 端子、MTIOc_nC 端子から PWM 波形を出力します。MTIOc_nA 端子、MTIOc_nC 端子からコンペアマッチ A、C によって TIOR.IOA[3:0]、TIOR.IOC[3:0] ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR.IOB[3:0]、TIOR.IOD[3:0] ビットで指定した出力を行います (n = 0 ~ 4)。初期出力値は TGRA、TGRC レジスタに設定した値になります。ペアで使用する TGR レジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 波形出力が可能です。

(b) PWM モード 2

TGR レジスタの 1 本を周期レジスタ、他の TGR レジスタをデューティレジスタに使用して PWM 波形を出力します。コンペアマッチによって、TIOR レジスタで指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR レジスタで設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、PWM モード 2 を設定できないチャンネルの同期クリアを同期動作として併用することにより最大 8 相の PWM 波形の出力が可能です。

PWM の出力端子とレジスタの対応を表 20.50 に示します。

表 20.50 各PWM出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWMモード1	PWMモード2
MTU0	TGRA	MTIOC0A	MTIOC0A
	TGRB		MTIOC0B
	TGRC	MTIOC0C	MTIOC0C
	TGRD		MTIOC0D
MTU1	TGRA	MTIOC1A	MTIOC1A
	TGRB		MTIOC1B
MTU2	TGRA	MTIOC2A	MTIOC2A
	TGRB		MTIOC2B
MTU3	TGRA	MTIOC3A	設定できません
	TGRB		
	TGRC	MTIOC3C	
	TGRD		
MTU4	TGRA	MTIOC4A	
	TGRB		
	TGRC	MTIOC4C	
	TGRD		

注. PWMモード2のとき、周期を設定したTGRのPWM波形は出力はできません。

(1) PWM モードの設定手順例

PWM モードの設定手順例を図 20.25 に示します。

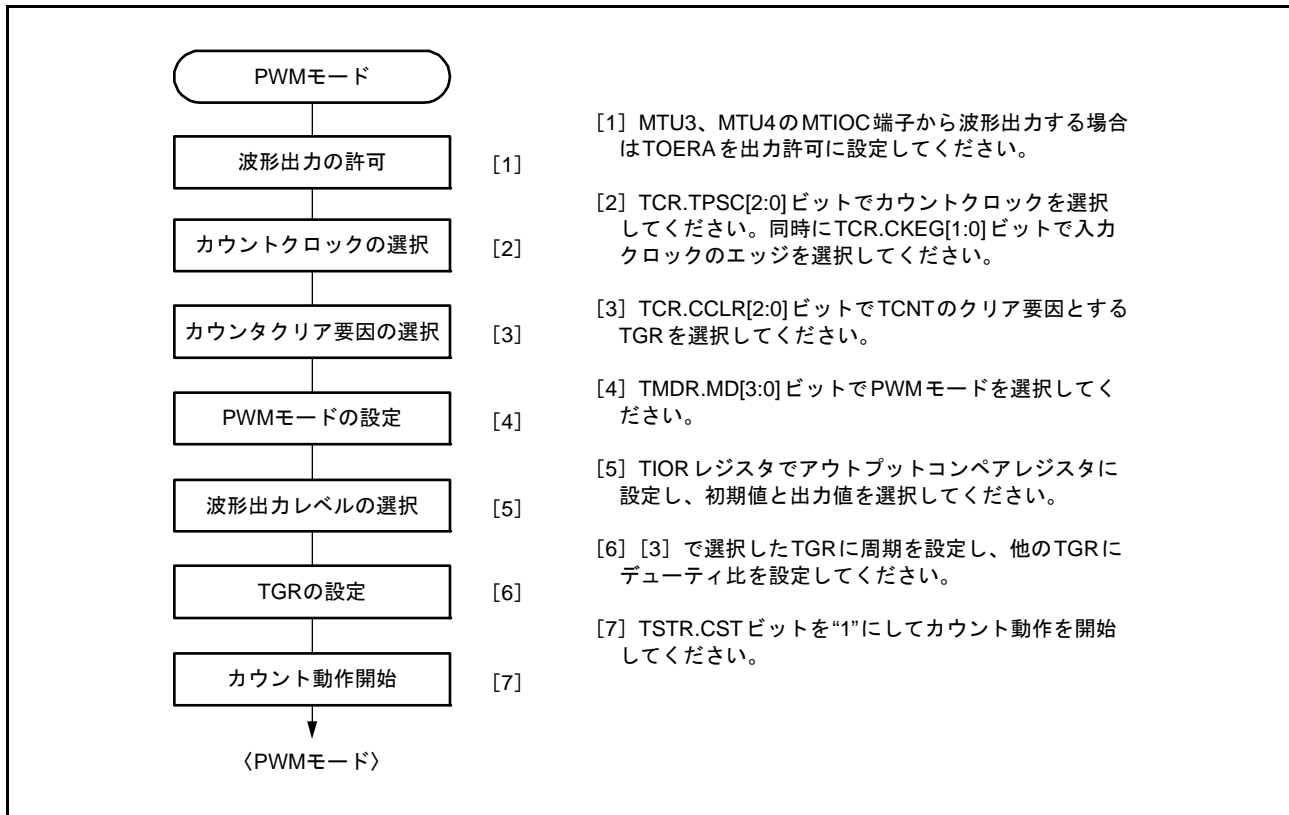


図 20.25 PWM モードの設定手順例

(2) PWM モードの動作例

PWM モード1の動作例を図 20.26 に示します。

この図は、TCNTのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値を“0”、TGRBレジスタの出力値を“1”にした場合の例です。

この場合、TGRAレジスタに設定した値が周期となり、TGRBレジスタに設定した値がデューティ比になります。

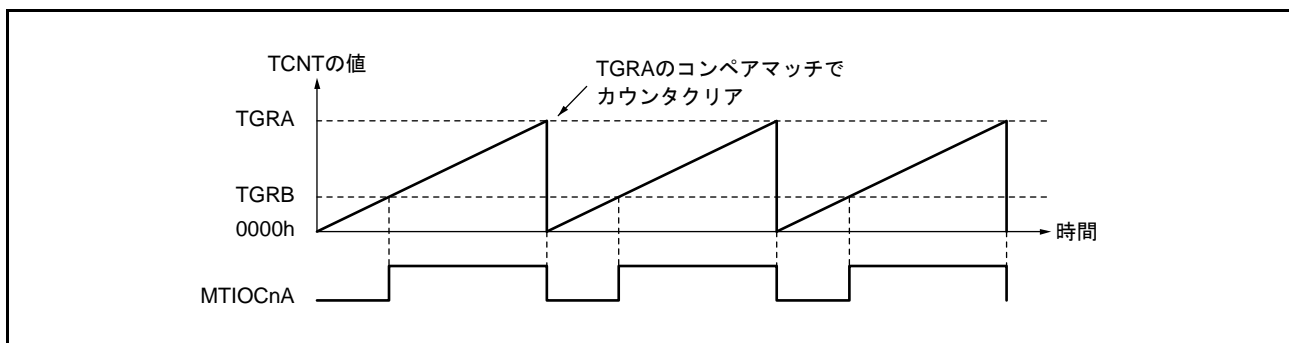


図 20.26 PWM モード1の動作例 (n = 0 ~ 4)

PWM モード2の動作例を図 20.27 に示します。

この図は、MTU0 と MTU1 を同期動作させ、TCNT のクリア要因を MTU1.TGRB レジスタのコンペアマッチとし、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) の初期出力値を Low、出力値を High にして5相のPWM波形を出力させた場合の例です。

この場合、MTU1.TGRB に設定した値が周期となり、他の TGR レジスタ (MTU0.TGRA ~ MTU0.TGRD、MTU1.TGRA) に設定した値がデューティ比になります。

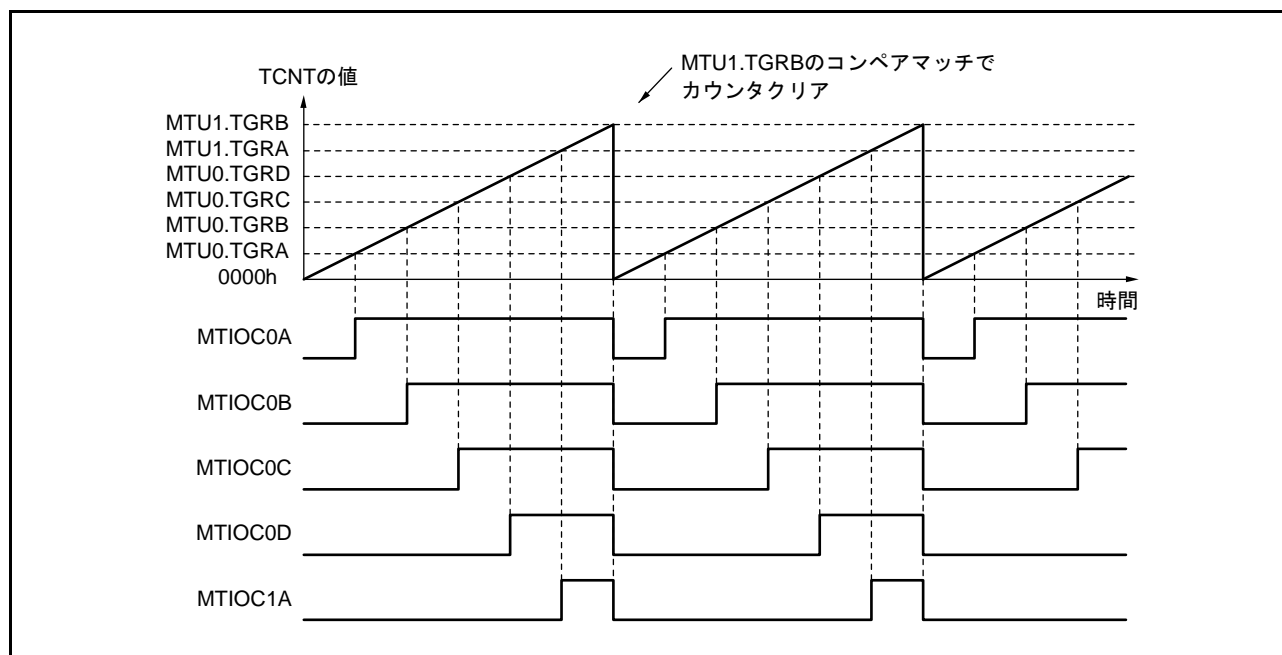


図 20.27 PWM モード2の動作例

PWM モード1で、デューティ比0%、デューティ比100%のPWM波形を出力する例を図20.28に示します。この図は、TCNTカウンタのクリア要因をTGRAレジスタのコンペアマッチとし、TGRAレジスタの初期出力値と出力値をLow、TGRBレジスタの出力値をHighに設定した場合の例です。

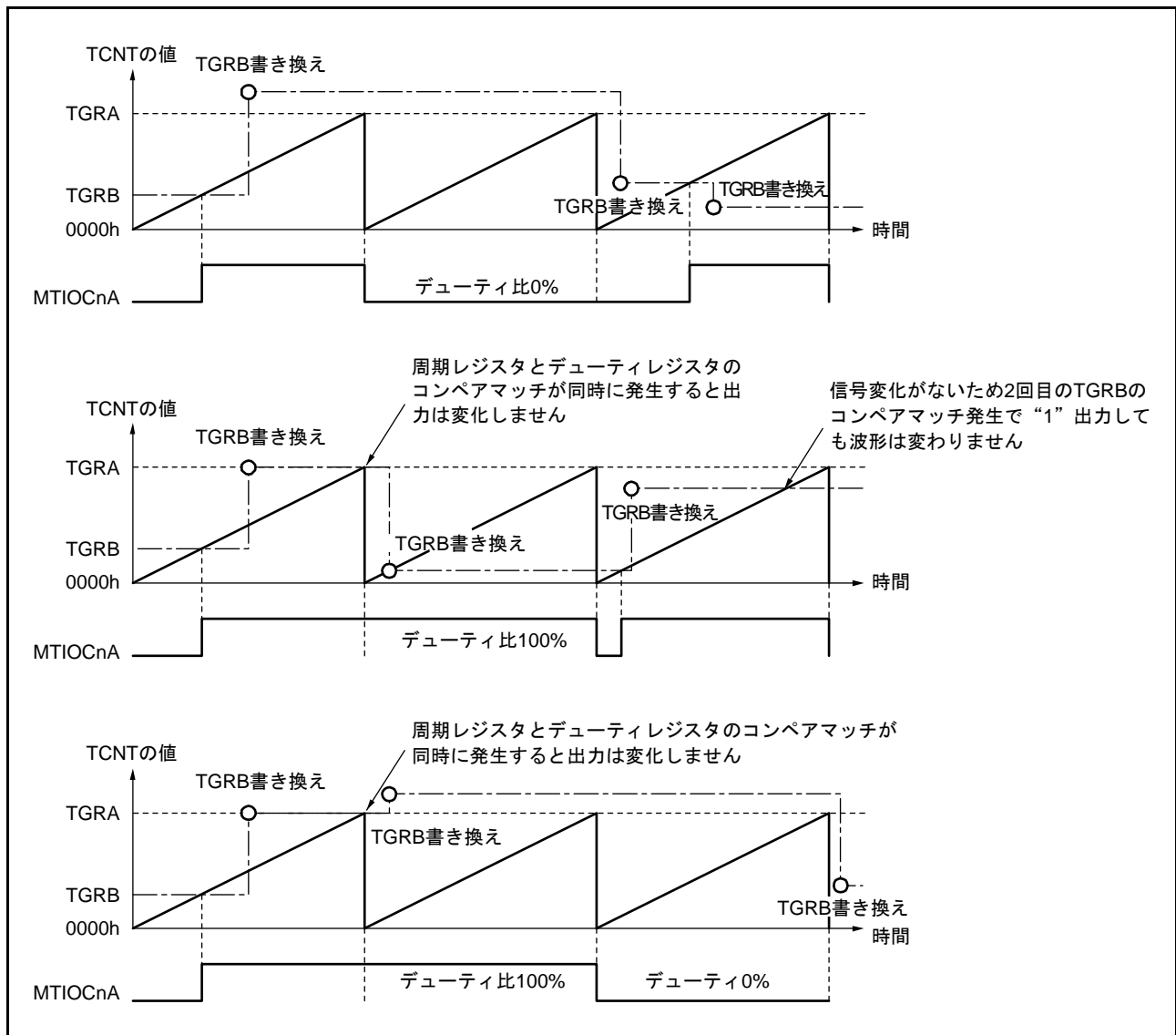


図 20.28 PWM モード動作例 (デューティ 0%、デューティ 100% の PWM 波形を出力する例)
(n = 0 ~ 4)

20.3.6 位相計数モード

位相計数モードにはMTU1とMTU2がそれぞれ独立に動作する16ビット位相計数モードとMTU1, MTU2をカスケード接続したカスケード接続32ビット位相計数モードがあります。

位相計数モードでは2つの外部クロック入力の位相差を検出して、対応するTCNTをアップカウント/ダウンカウントします。

各位相計数モードでの2つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらず、MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モードの2つの外部クロック入力、MTU1.TMDR3.PHCKSELで選択を行うことができます。MTU2の16ビット位相計数モードとカスケード接続32ビット位相計数モード以外の位相計数モードでは、A相/B相にMTCLKA/MTCLKBが選択されます。位相計数モードでは、外部クロック端子MTCLKA、MTCLKB、MTCLKC、MTCLKDを2相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表20.51に示します。

表20.51 位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSELビット	外部クロック端子	
		A相	B相
MTU1 16ビット位相計数モード	x (Don't care)	MTCLKA	MTCLKB
MTU2 16ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD
カスケード接続32ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD

20.3.6.1 16ビット位相計数モード

MTU1.TMDR3.LWA = 0 のとき、MTU1とMTU2には各々独立して16ビット位相計数モードが設定できます。

16ビット位相計数モードでは、2本の外部クロック入力の位相差を検出して対応するチャンネルの16ビットカウンタTCNTをアップカウント/ダウンカウントします。

16ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0]の設定にかかわらずカウンタ入力クロックは外部クロックが選択され、TCNTはアップカウンタ/ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGRの機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2相エンコーダパルスの入力として使用できます。

TCNTがアップカウントしているときにオーバフローが発生すると、対応するTIER.TCIEVビットが“1”であれば、TCIV割り込みが発生します。

また、ダウンカウントしているときにアンダフローが発生すると、対応するTIER.TCIEUビットが“1”であれば、TCIU割り込みが発生します。

TSR.TCFDフラグはカウント方向フラグです。TCFDフラグをリードすることにより、TCNTがアップカウントしているかダウンカウントしているかを確認することができます。

(1) 16ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 20.29 に示します。

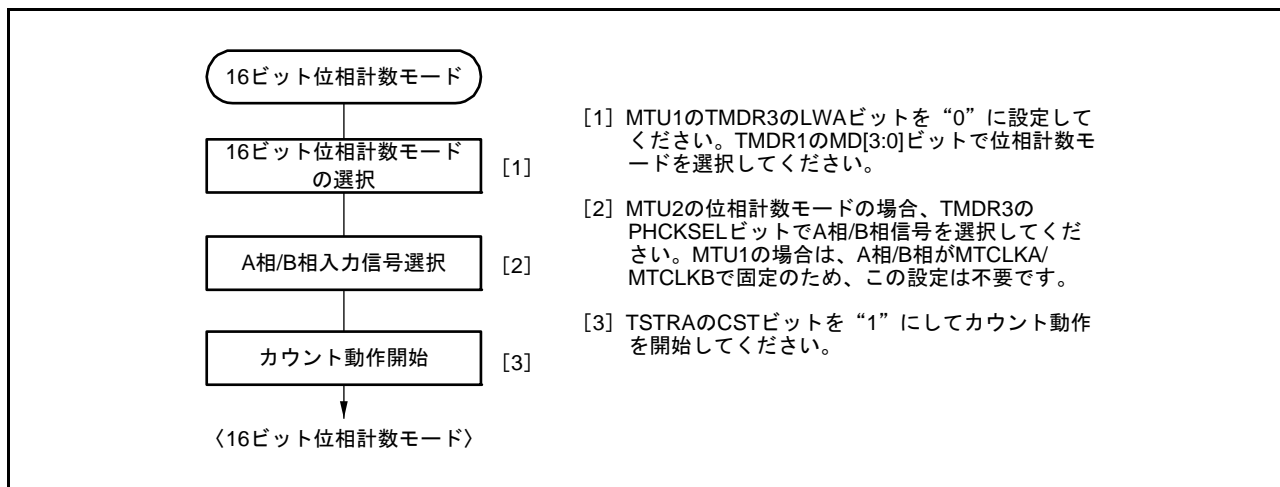


図 20.29 16ビット位相計数モードの設定手順例

(2) 16ビット位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップカウント/ダウンカウントします。なお、カウント条件により5つのモードがあり、各モードはPHCKSEL=1の条件で、つまりMTU1の位相クロックはMTCLKA, MTCLKBから入力、MTU2の位相クロックはMTCLKC, MTCLKDから入力として説明します。

(a) 位相計数モード1

位相計数モード1の動作例を図20.30に、TCNTのアップカウント/ダウンカウント条件を表20.52に示します。

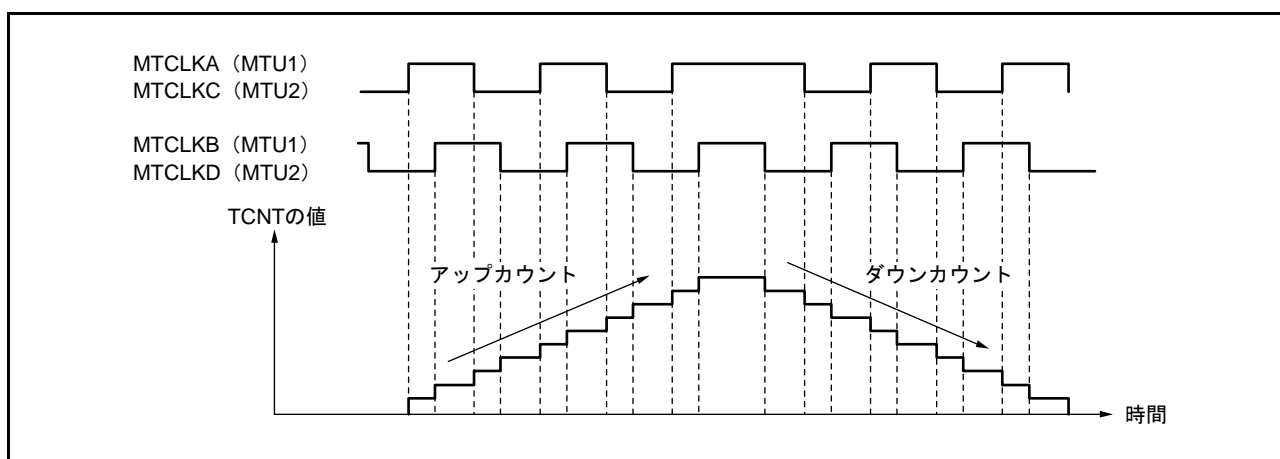


図 20.30 位相計数モード1の動作例

表 20.52 位相計数モード1のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 20.31 ~ 図 20.33 に、TCNT のアップカウント / ダウンカウント条件を表 20.53 に示します。

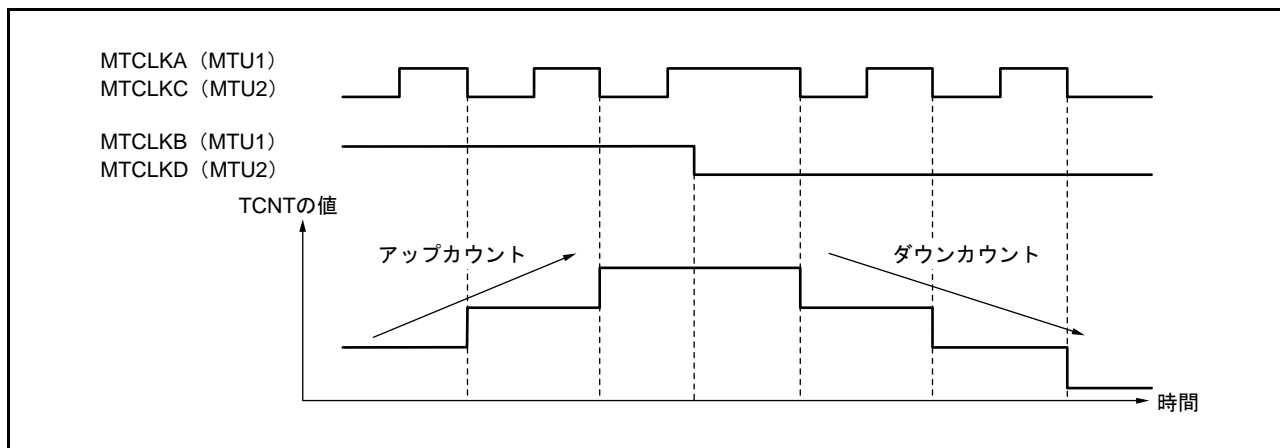


図 20.31 位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

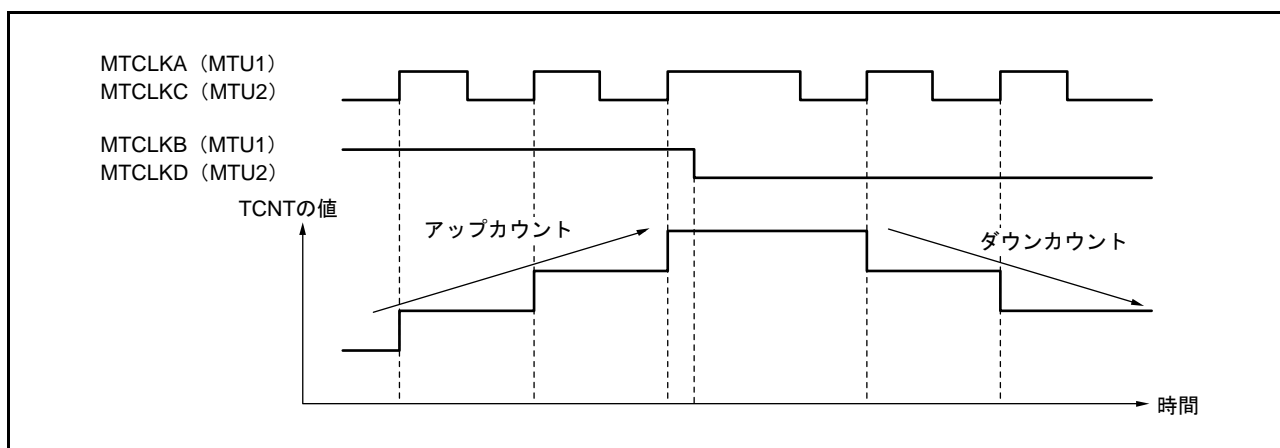


図 20.32 位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

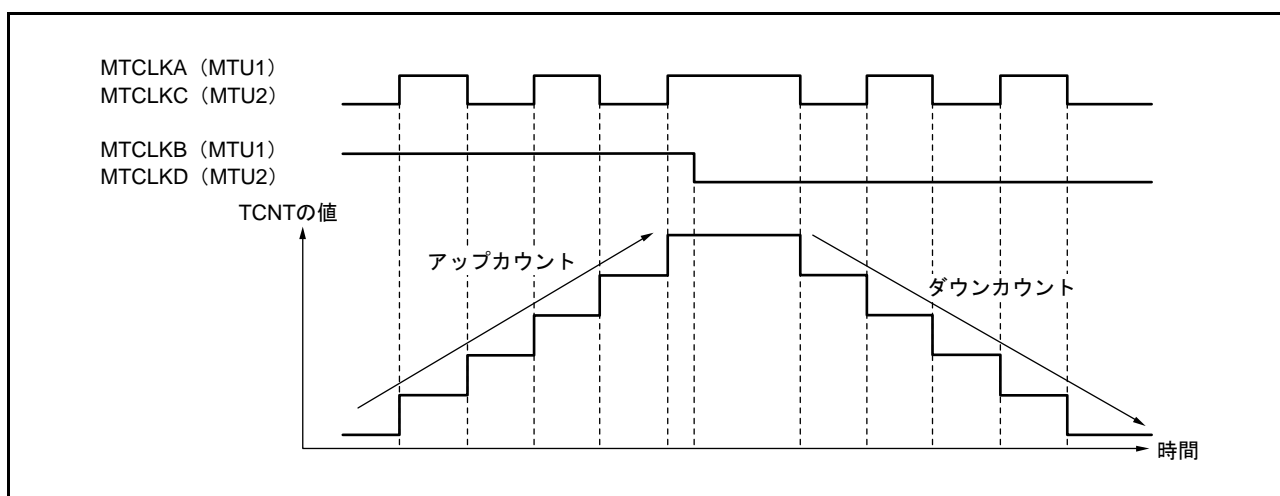




























図 20.33 位相計数モード 2 の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 20.53 位相計数モード2のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	ダウンカウント
		Low	
01	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	カウントしない (Don't care)
	High		
	Low		アップカウント
		High	
		Low	カウントしない (Don't care)
1x	High		カウントしない (Don't care)
	Low		
		Low	ダウンカウント
		High	アップカウント
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	ダウンカウント

: 立ち上がりエッジ

: 立ち下がりエッジ

(c) 位相計数モード3

位相計数モード3の動作例を図20.34～図20.36に、TCNTのアップカウント/ダウンカウント条件を表20.54に示します。

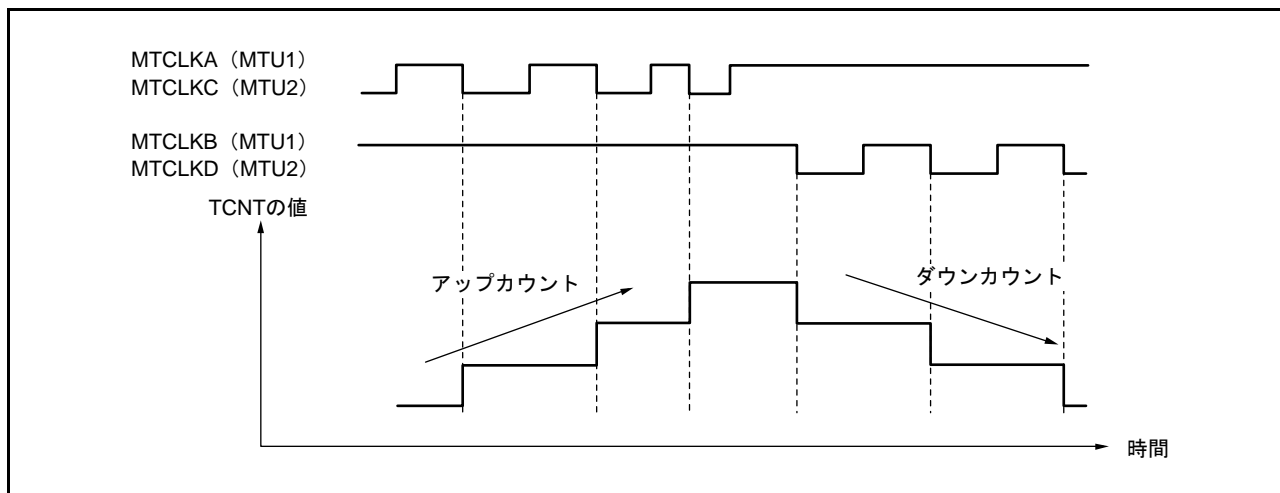


図 20.34 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 00b のとき (n = 1, 2))

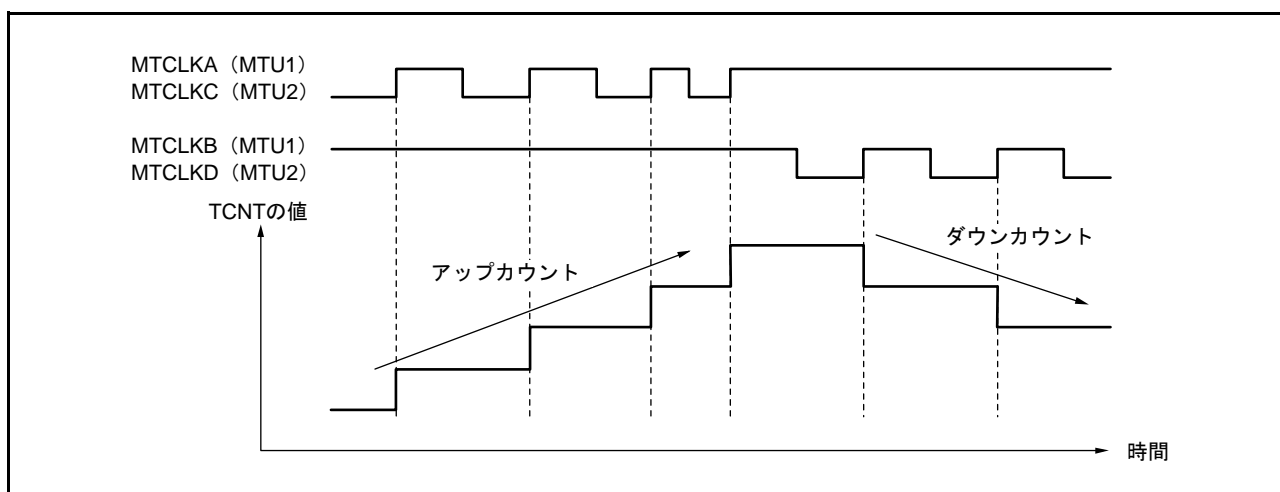


図 20.35 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 01b のとき (n = 1, 2))

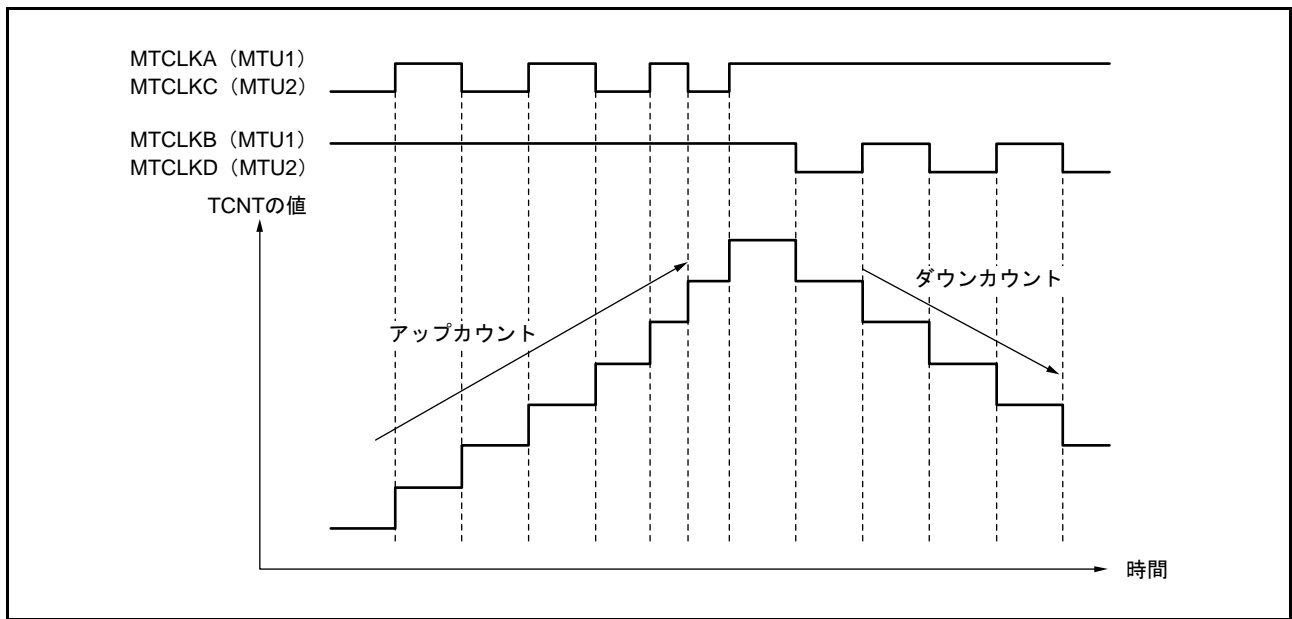




























図 20.36 位相計数モード3の動作例 (MTUn.TCR2.PCB[1:0] = 1xb のとき (n = 1, 2))

表 20.54 位相計数モード3のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
00	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	
01	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	
	High		アップカウント
	Low		
		High	
		Low	カウントしない (Don't care)
1x	High		ダウンカウント
	Low		カウントしない (Don't care)
		Low	
		High	アップカウント
	High		ダウンカウント
	Low		カウントしない (Don't care)
		High	
		Low	カウントしない (Don't care)

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード4

位相計数モード4の動作例を図20.37に、TCNTのアップカウント/ダウンカウント条件を表20.55に示します。

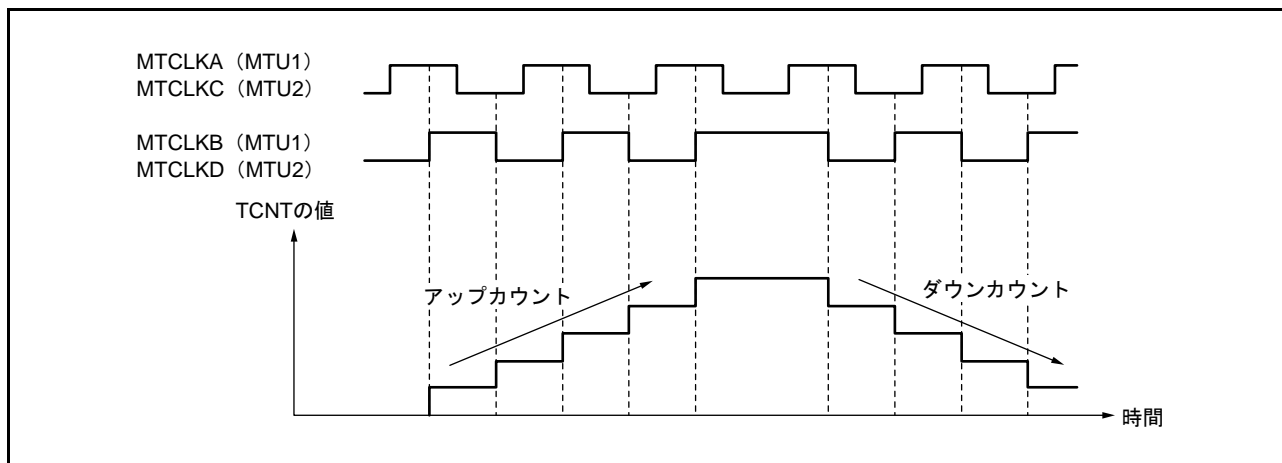


図 20.37 位相計数モード4の動作例

表20.55 位相計数モード4のアップカウント/ダウンカウント条件

MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
High	↑	アップカウント
Low	↓	
↑	Low	カウントしない (Don't care)
↓	High	
High	↓	ダウンカウント
Low	↑	
↑	High	カウントしない (Don't care)
↓	Low	

↑: 立ち上がりエッジ

↓: 立ち下がりエッジ

(e) 位相計数モード5

位相計数モード5の動作例を図20.38、図20.39に、TCNTのアップカウント/ダウンカウント条件を表20.56に示します。

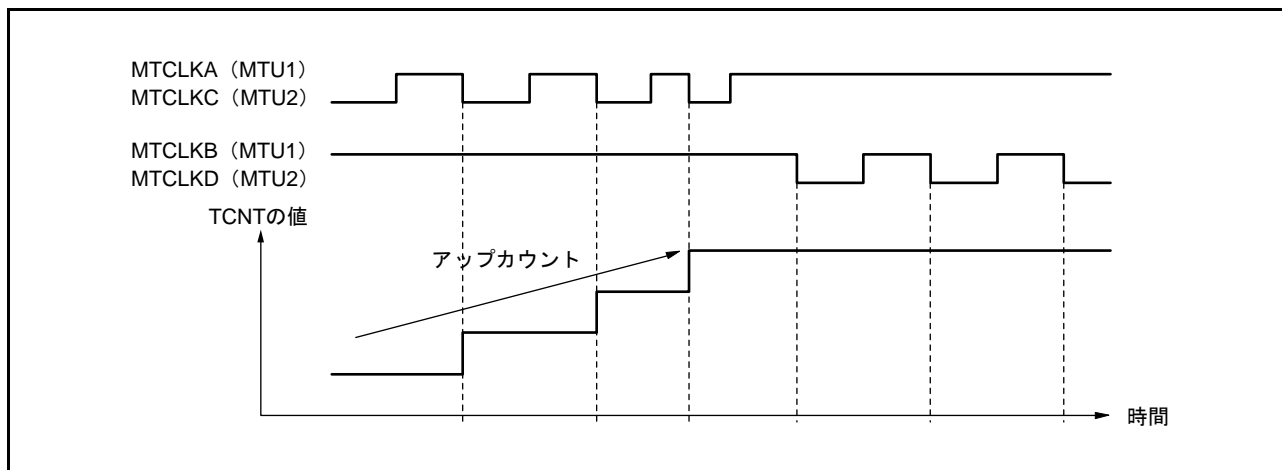


図 20.38 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0]=0xb のとき (n = 1, 2))

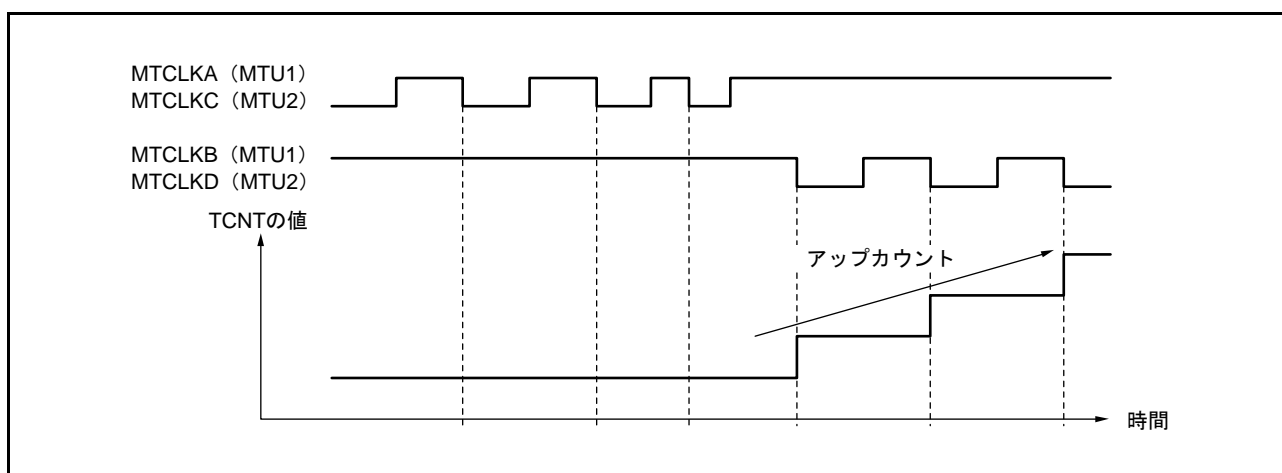




図 20.39 位相計数モード5の動作例 (MTUn.TCR2.PCB[1:0]=1xb のとき (n = 1, 2))

表20.56 位相計数モード5のアップカウント/ダウンカウント条件

PCB[1:0]	MTCLKA (MTU1) MTCLKC (MTU2)	MTCLKB (MTU1) MTCLKD (MTU2)	動作内容
0x	High		カウントしない (Don't care)
	Low		
		Low	アップカウント
		High	
	High		カウントしない (Don't care)
	Low		
		High	アップカウント
		Low	
1x	High		カウントしない (Don't care)
	Low		アップカウント
		Low	カウントしない (Don't care)
		High	
	High		アップカウント
	Low		カウントしない (Don't care)
		High	
		Low	

: 立ち上がりエッジ

: 立ち下がりエッジ

(3) 16ビット位相計数モード応用例

MTU1を位相計数モードに設定し、MTU0と連携してサーボモータの2相エンコーダパルスを入力して位置または速度を検出する例を図20.40に示します。

MTU1は位相計数モード1に設定し、MTCLKAとMTCLKBにエンコーダパルスのA相、B相を入力します。

MTU0はTCNTをMTU0.TGRCのコンペアマッチでカウンタクリアとして動作させ、MTU0.TGRAとMTU0.TGRCはコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。MTU0.TGRBは入力キャプチャ機能で使用し、MTU0.TGRBとMTU0.TGRDをバッファ動作させます。MTU0.TGRBの入力キャプチャ要因は、MTU1のカウンタ入力クロックとし、2相エンコーダの4週パルスのパルス幅を検出します。

MTU1のMTU1.TGRAとMTU1.TGRBは、入力キャプチャ機能に設定し、入力キャプチャ要因はMTU0のMTU0.TGRAとMTU0.TGRCのコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

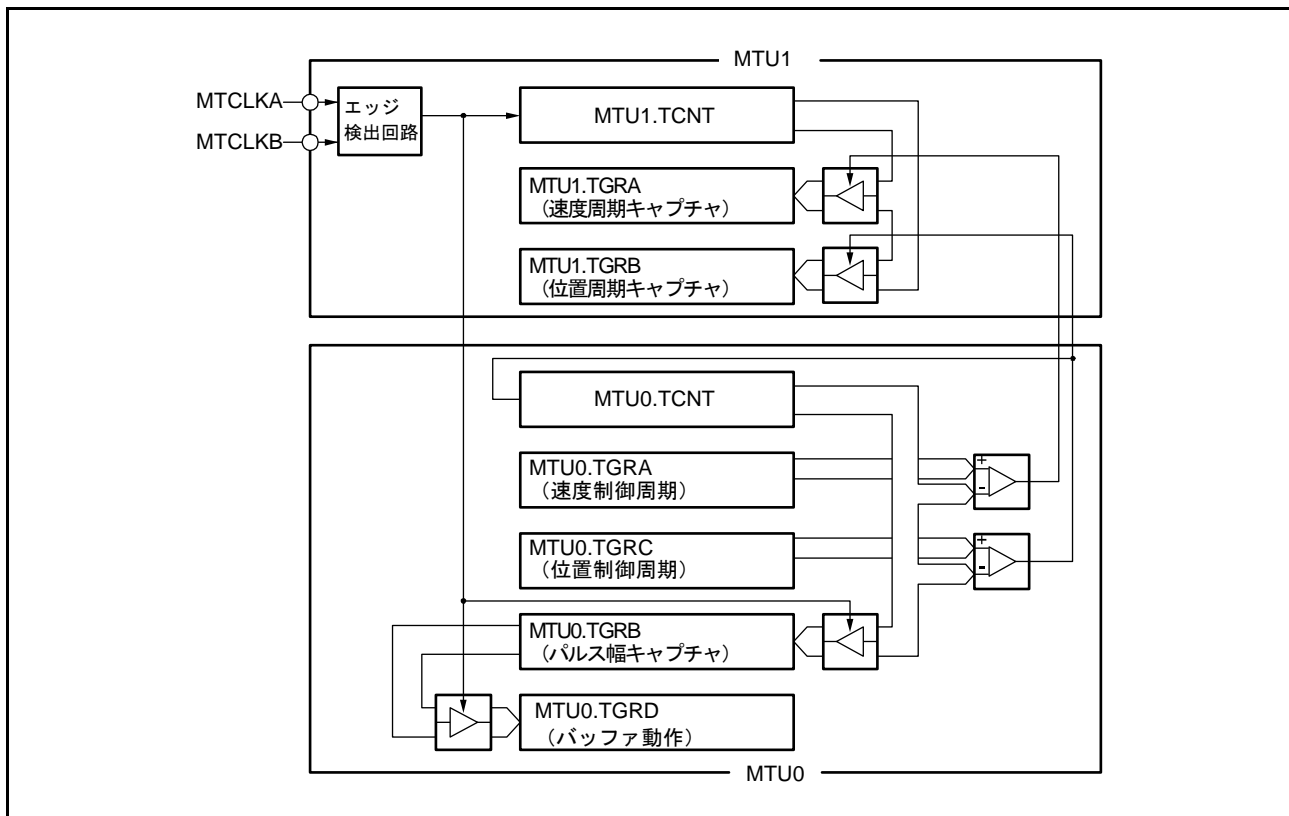


図 20.40 16ビット位相計数モードの応用例

20.3.6.2 カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA=1 で MTU1 に位相計数モードを設定した場合、MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR, TCR2, TIOR, TIER, TGR, TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、**図 20.41** を参照してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1, MTU2 を接続するカスケード接続機能については、「20.3.4 カスケード接続動作」を参照してください。

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を**図 20.41** に示します。

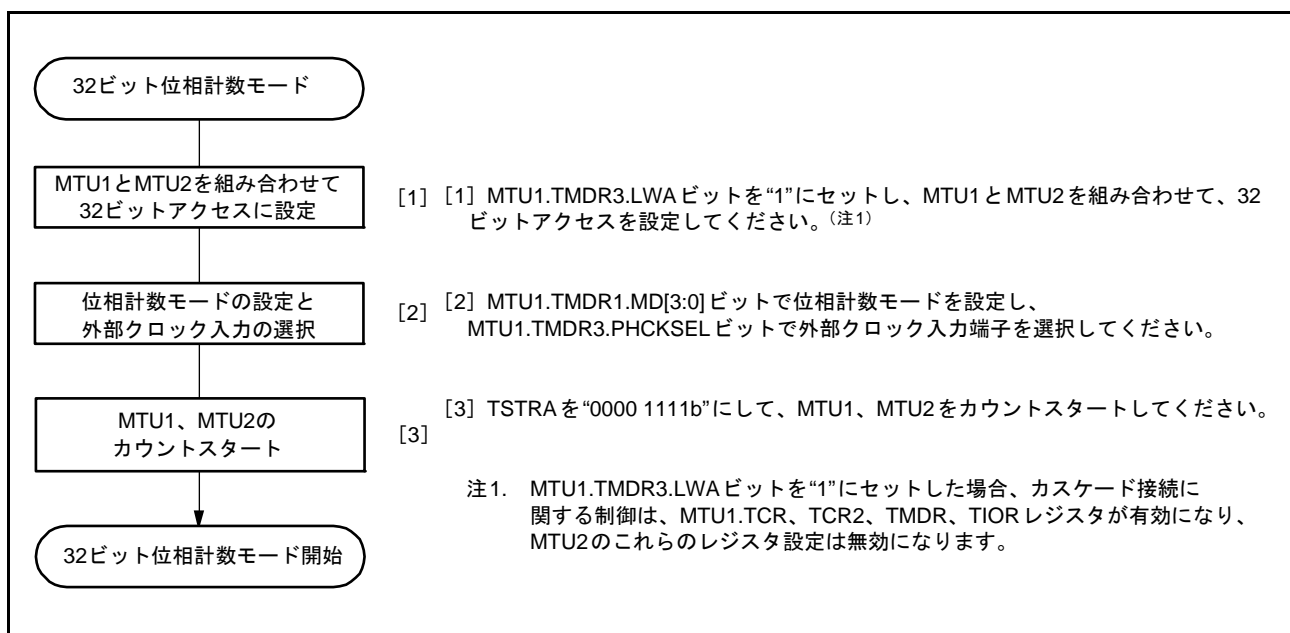


図 20.41 カスケード接続 32 ビット位相計数モード設定手順

20.3.7 リセット同期 PWM モード

リセット同期 PWM モードは、MTU3、MTU4 を組み合わせることにより、一方の波形変化点が共通の関係となる PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。

リセット同期 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4C、MTIOC4B、MTIOC4D 端子は PWM 出力端子となり、タイマカウンタ 3 (MTU3.TCNT) はアップカウンタとして機能します。

使用される PWM 出力端子を表 20.57 に、使用するレジスタの設定を表 20.58 に示します。

表 20.57 リセット同期PWMモード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3B	PWM出力端子1
	MTIOC3D	PWM出力端子1' (PWM出力1の逆相波形)
MTU4	MTIOC4A	PWM出力端子2
	MTIOC4C	PWM出力端子2' (PWM出力2の逆相波形)
	MTIOC4B	PWM出力端子3
	MTIOC4D	PWM出力端子3' (PWM出力3の逆相波形)

表 20.58 リセット同期PWMモード時のレジスタ設定

レジスタ	設定内容
MTU3.TCNT	"0000h"を初期設定
MTU4.TCNT	"0000h"を初期設定
MTU3.TGRA	MTU3.TCNTのカウント周期を設定
MTU3.TGRB	MTIOC3B、MTIOC3D端子より出力されるPWM波形の変化点を設定
MTU4.TGRA	MTIOC4A、MTIOC4C端子より出力されるPWM波形の変化点を設定
MTU4.TGRB	MTIOC4B、MTIOC4D端子より出力されるPWM波形の変化点を設定

(1) リセット同期 PWM モードの設定手順例

リセット同期 PWM モードの設定手順例を図 20.42 に示します。

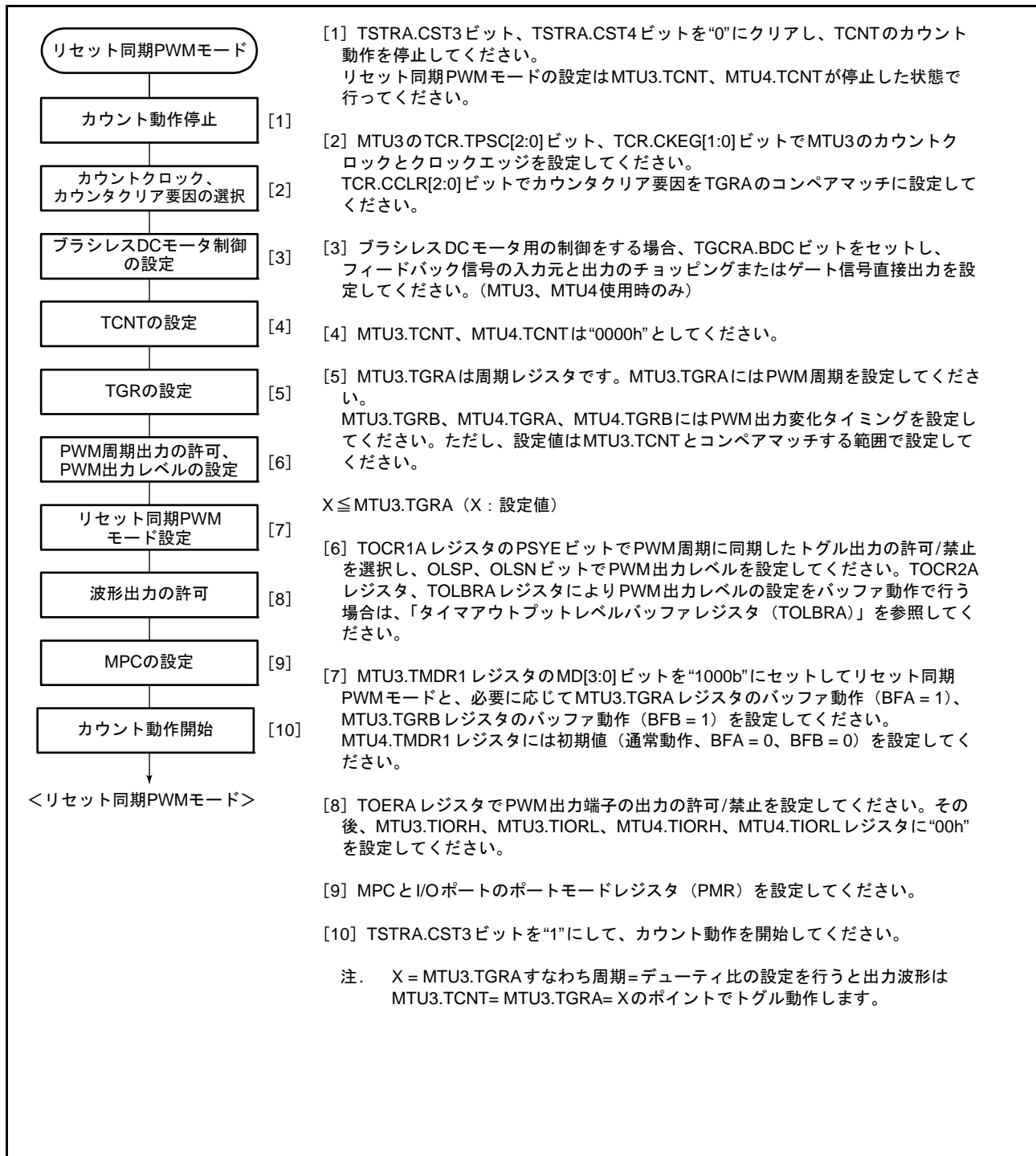


図 20.42 リセット同期 PWM モードの設定手順例

(2) リセット同期 PWM モードの動作例

リセット同期 PWM モードの動作例を図 20.43 に示します。

リセット同期 PWM モードでは、MTU3.TCNT と MTU4.TCNT はアップカウンタとして動作します。MTU3.TCNT が MTU3.TGRA とコンペアマッチするとカウンタはクリアされ“0000h”からカウントアップを再開します。PWM 出力端子は、それぞれ MTU3.TGRB、MTU4.TGRA、MTU4.TGRB のコンペアマッチおよびカウンタクリアが発生する度にトグル出力を行います。

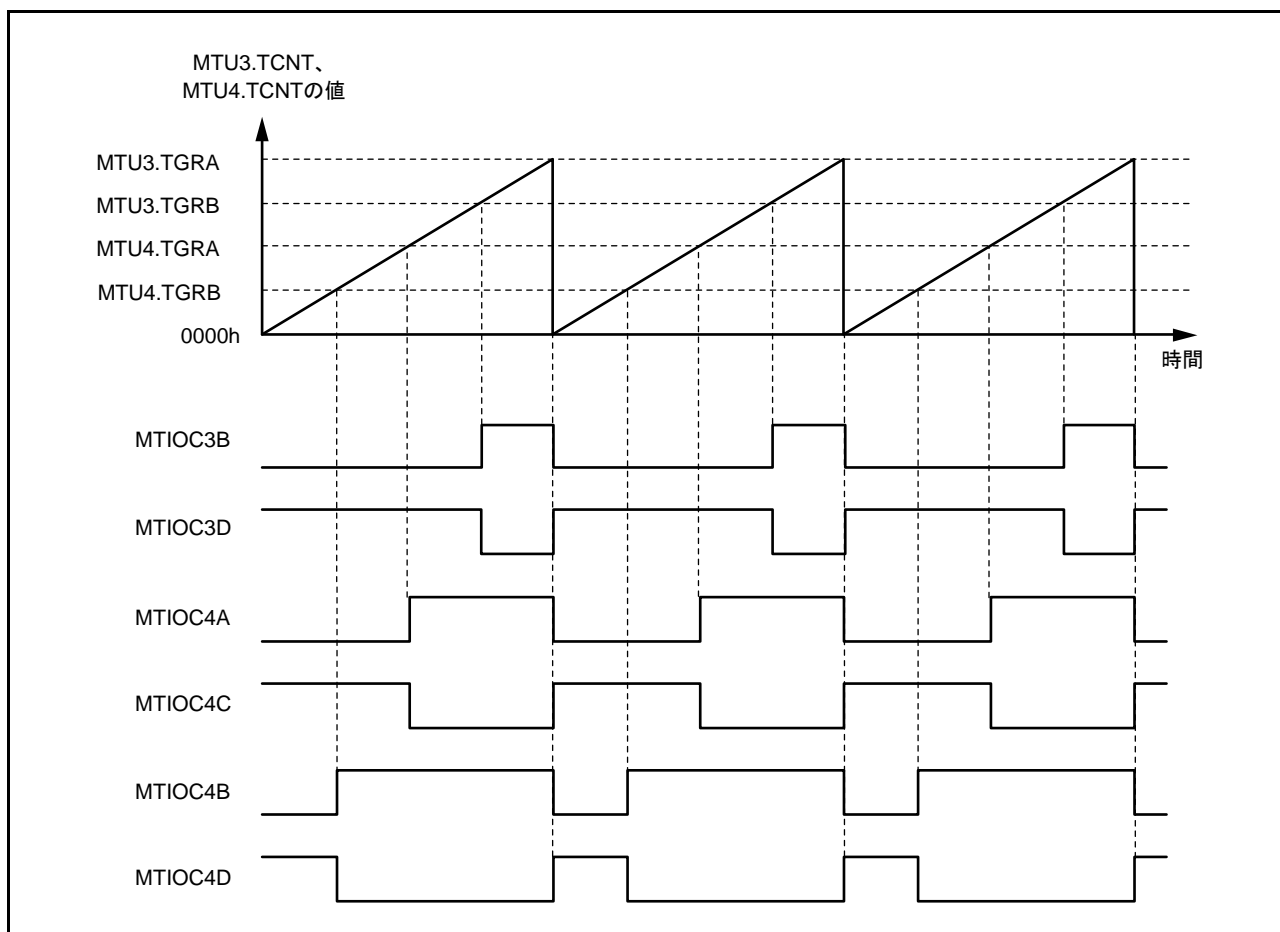


図 20.43 リセット同期 PWM モードの動作例
(MTU3、MTU4、TOCR1A の OLSN = 1、OLSP = 1 にした場合)

20.3.8 相補 PWM モード

相補 PWM モードでは、出力する PWM 波形にデッドタイムを設定できます。デッドタイムとは、アーム短絡を防止するために上下アームトランジスタを両方とも非アクティブレベルにする期間のことです。

MTU3、MTU4 を組み合わせることによりデッドタイムを設定した PWM 波形（正相・逆相）を各 3 相、合計 6 相出力します。また、デッドタイムがない PWM 波形を出力することもできます。

相補 PWM モードに設定すると、MTIOC3B、MTIOC3D、MTIOC4A、MTIOC4B、MTIOC4C、MTIOC4D 端子は PWM 出力端子となり、MTIOC3A 端子は PWM 周期に同期したトグル出力として設定することが可能です。

また、MTU3.TCNT、MTU4.TCNT はアップカウンタ / ダウンカウンタとして機能します。

使用される PWM 出力端子を表 20.59 に、使用するレジスタの設定を表 20.60 に示します。

また、PWM 出力を外部信号により直接 OFF する機能が、ポートの機能としてサポートされています。

表 20.59 相補 PWM モード時の出力端子

チャンネル	出力端子	説明
MTU3	MTIOC3A	PWM 周期に同期したトグル出力（または入出力ポート）
	MTIOC3B	PWM 出力端子 1
	MTIOC3C	入出力ポート（注1）
	MTIOC3D	PWM 出力端子 1'（PWM 出力 1 の逆相波形出力）
MTU4	MTIOC4A	PWM 出力端子 2
	MTIOC4C	PWM 出力端子 2'（PWM 出力 2 の逆相波形出力）
	MTIOC4B	PWM 出力端子 3
	MTIOC4D	PWM 出力端子 3'（PWM 出力 3 の逆相波形出力）

注 1. MTIOC3C 端子は相補 PWM モード時、タイマ入出力端子に設定しないでください。

表 20.60 相補 PWM モード時のレジスタ設定（1/2）

チャンネル	カウンタ / レジスタ	説明	CPU からの読み出し / 書き込み
MTU3	TCNT	デッドタイムレジスタに設定した値からカウントアップスタート	TRWERA レジスタの設定によりマスク可能（注1）
	TGRA	MTU3.TCNT の上限値を設定（キャリア周期の 1/2 + デッドタイム）	TRWERA レジスタの設定によりマスク可能（注1）
	TGRB	PWM 出力 1 のコンペアレジスタ	TRWERA レジスタの設定によりマスク可能（注1）
	TGRC	MTU3.TGRA のバッファレジスタ	読み出し / 書き込み可能
	TGRD	PWM 出力 1 / MTU3.TGRB のバッファレジスタ	読み出し / 書き込み可能
	TGRE	MTU3.TGRB のバッファレジスタ B（ダブルバッファ機能使用時）	読み出し / 書き込み可能
MTU4	TCNT	"0000h" を初期設定しカウントアップスタート	TRWERA レジスタの設定によりマスク可能（注1）
	TGRA	PWM 出力 2 のコンペアレジスタ	TRWERA レジスタの設定によりマスク可能（注1）
	TGRB	PWM 出力 3 のコンペアレジスタ	TRWERA レジスタの設定によりマスク可能（注1）
	TGRC	PWM 出力 2 / MTU4.TGRA のバッファレジスタ	読み出し / 書き込み可能
	TGRD	PWM 出力 3 / MTU4.TGRB のバッファレジスタ	読み出し / 書き込み可能
	TGRE	MTU4.TGRA のバッファレジスタ B（ダブルバッファ機能使用時）	読み出し / 書き込み可能
	TGRF	MTU4.TGRB のバッファレジスタ B（ダブルバッファ機能使用時）	読み出し / 書き込み可能

注 1. TRWERA レジスタ（タイマリードライトイネーブルレジスタ A）の設定によりアクセスの許可 / 禁止が可能です。

表20.61 相補PWMモード時のレジスタ設定 (2/2)

チャンネル	カウンタ/ レジスタ	説明	CPUからの読み出し/書き込み
	タイマデッドタイムデータ レジスタA (TDDRA)	MTU4.TCNTとMTU3.TCNTのオフセット値 (デッドタイムの値) を設定	TRWERAの設定によりマスク可能 (注1)
	タイマ周期データレジスタA (TCDRA)	MTU4.TCNTの上限値の値を設定 (キャリア周期の1/2)	TRWERAの設定によりマスク可能 (注1)
	タイマ周期バッファレジスタA (TCBRA)	TCDRAのバッファレジスタ	読み出し/書き込み可能
	サブカウンタA (TCNTSA)	デッドタイム生成のためのサブカウンタA	読み出しのみ可能
	テンポラリレジスタ1A (TEMP1A)	PWM出力1/MTU3.TGRBのテンポラリレジスタA	読み出し/書き込み不可
	テンポラリレジスタ1B (TEMP1B)	PWM出力1/MTU3.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
	テンポラリレジスタ2A (TEMP2A)	PWM出力2/MTU4.TGRAのテンポラリレジスタA	読み出し/書き込み不可
	テンポラリレジスタ2B (TEMP2B)	PWM出力2/MTU4.TGRAのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可
	テンポラリレジスタ3A (TEMP3A)	PWM出力3/MTU4.TGRBのテンポラリレジスタA	読み出し/書き込み不可
	テンポラリレジスタ3B (TEMP3B)	PWM出力3/MTU4.TGRBのテンポラリレジスタB (ダブルバッファ機能使用時)	読み出し/書き込み不可

注1. TRWERAレジスタ (タイマリードライトイネーブルレジスタA) の設定によりアクセスの許可/禁止が可能です。

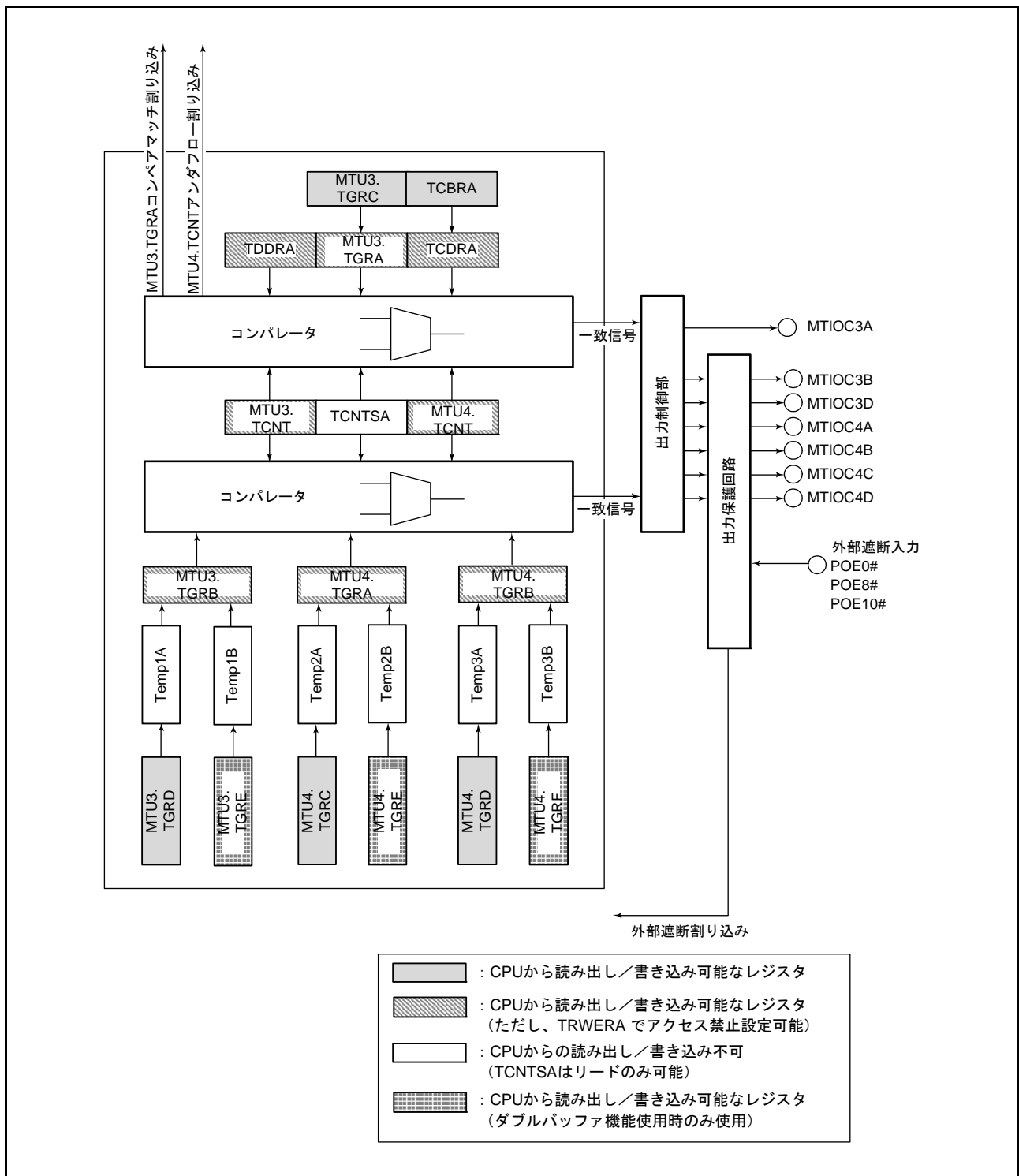


図 20.44 相補 PWM モード時の MTU3、MTU4 ブロック図

(1) 相補 PWM モードの設定手順例

相補 PWM モードの設定手順例を図 20.45 に示します。



図 20.45 相補 PWM モードの設定手順例

(2) 相補 PWM モードの動作概要

相補 PWM モードでは、6相（正相3本、逆相3本）の PWM 出力が可能です。図 20.46 に相補 PWM モードのカウンタの動作（MTU3、MTU4）を示します。図 20.47 に相補 PWM モードの動作例を示します。

(a) カウンタの動作

相補 PWM モードでは、MTU3.TCNT、MTU4.TCNT および TCNTSA レジスタの3本のカウンタがアップダウンカウント動作を行います。

MTU3.TCNT は、相補 PWM モードに設定され TSTRA の CST ビットが“0”のとき、TDDRA に設定された値が自動的に初期値として設定されます。CST ビットが“1”になると、MTU3.TGRA に設定された値までアップカウント動作を行い、MTU3.TGRA と一致するとダウンカウントに切り替わります。その後、MTU4.TCNT が“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

また、MTU4.TCNT は、初期値として“0000h”を設定します。CST ビットが“1”に設定されると、MTU3.TCNT に同期して動作しアップカウントを行い、MTU3.TCNT が MTU3.TGRA と一致するとダウンカウントに切り替わります。この後、“0000h”と一致するとアップカウントに切り替わり、この動作を繰り返します。

TCNTSA は、読み出しのみ可能なカウンタです。初期値を設定する必要はありません。MTU3.TCNT、MTU4.TCNT がアップカウント時、MTU3.TCNT が TCDRA と一致するとダウンカウントを開始し、MTU3.TCNT が MTU3.TGRA と一致するとアップカウントに切り替わります。

また、MTU4.TCNT と TDDRA が一致すると TCNTSA は MTU3.TGRA の値が設定され、カウントを停止します。MTU3.TCNT、MTU4.TCNT がダウンカウント時、MTU4.TCNT が TDDRA と一致するとアップカウントを開始し、MTU4.TCNT が“0000h”と一致するとダウンカウントに切り替わります。

また、MTU3.TCNT と TCDRA が一致すると TCNTSA は“0000h”にクリアされ、カウントを停止します。

TCNTSA は、カウント動作をしている期間だけ PWM デューティが設定されているコンペアレジスタおよびテンポラリレジスタと比較されます。

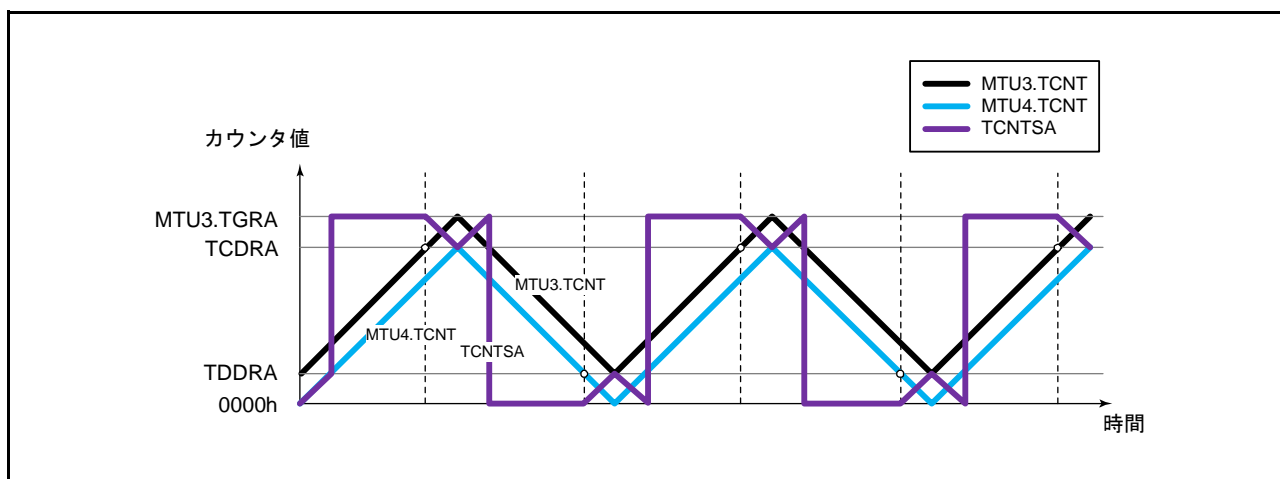


図 20.46 相補 PWM モードのカウンタ動作

(b) レジスタの動作

相補 PWM モードでは、コンペアレジスタ、バッファレジスタおよびテンポラリレジスタの9本のレジスタを使用して、PWM 出力のデューティ制御を行います。図 20.47 に相補 PWM モードの動作例 (MTU3、MTU4) を示します。

PWM 出力を行うためにカウンタと比較されているレジスタが、MTU3.TGRB、MTU4.TGRA、MTU4.TGRB です。これらのレジスタとカウンタが一致するとタイマアウトプットコントロールレジスタ (TOCR1A) の OLSN、OLSP ビットで設定した値が PWM 出力端子から出力されます。

これらのコンペアレジスタのバッファレジスタが、MTU3.TGRD、MTU4.TGRC、MTU4.TGRD です。

また、ダブルバッファ機能使用時は、バッファレジスタ B の MTU3.TGRE、MTU4.TGRE、MTU4.TGRF も使用されます。動作の詳細は「20.3.8 (2) (r) 相補 PWM モードのダブルバッファ機能」を参照してください。

バッファレジスタとコンペアレジスタの間にはテンポラリレジスタがあります。テンポラリレジスタは、CPU からアクセスできません。

コンペアレジスタのデータを変更するためには、対応するバッファレジスタに変更するデータを書き込んでください。バッファレジスタは、読み出し/書き込みが可能です。

バッファレジスタのデータを書き替える場合は、最後に MTU4.TGRD への書き込みを行い、バッファレジスタからテンポラリレジスタへのデータ転送を許可してください。このとき、タイマ周期レジスタのバッファレジスタとして動作する TCBRA レジスタ、MTU3.TGRC レジスタからテンポラリレジスタへの転送も許可されます。転送は5本すべてのテンポラリレジスタ同時に行われます。

Ta 区間で転送を許可すると、バッファレジスタに書き込まれたデータはすぐにテンポラリレジスタに転送されます。また Tb1 区間と Tb2 区間では、テンポラリレジスタには転送されません。この区間で転送を許可されたデータは区間が終了後にテンポラリレジスタに転送されます。

テンポラリレジスタに転送された値は、Tb1 区間が終了したとき (TCNTSA がアップカウント時に MTU3.TGRA と一致したとき)、または Tb2 区間が終了したとき (TCNTSA がダウンカウント時に“0000h”と一致したとき) にコンペアレジスタに転送されます。テンポラリレジスタからコンペアレジスタに転送するタイミングは、タイマモードレジスタ 1 (TMDR1) の MD[3:0] ビットで選択できます。図 20.47 は、谷で変更するモードを選択した例です。

テンポラリレジスタへのデータの転送が行われない Tb (図 20.47 では Tb1) 区間では、テンポラリレジスタは、コンペアレジスタと同じ機能を持ち、カウンタと比較されます。このため、この区間では、1相の出力に対して2本のコンペアマッチレジスタを持つことになり、コンペアレジスタには変更前のデータ、テンポラリレジスタには新しく変更するデータが入っています。この区間では、MTU3.TCNT、MTU4.TCNT および TCNTSA の3本のカウンタとコンペアレジスタ、テンポラリレジスタの2本のレジスタが比較され、PWM 出力を制御します。

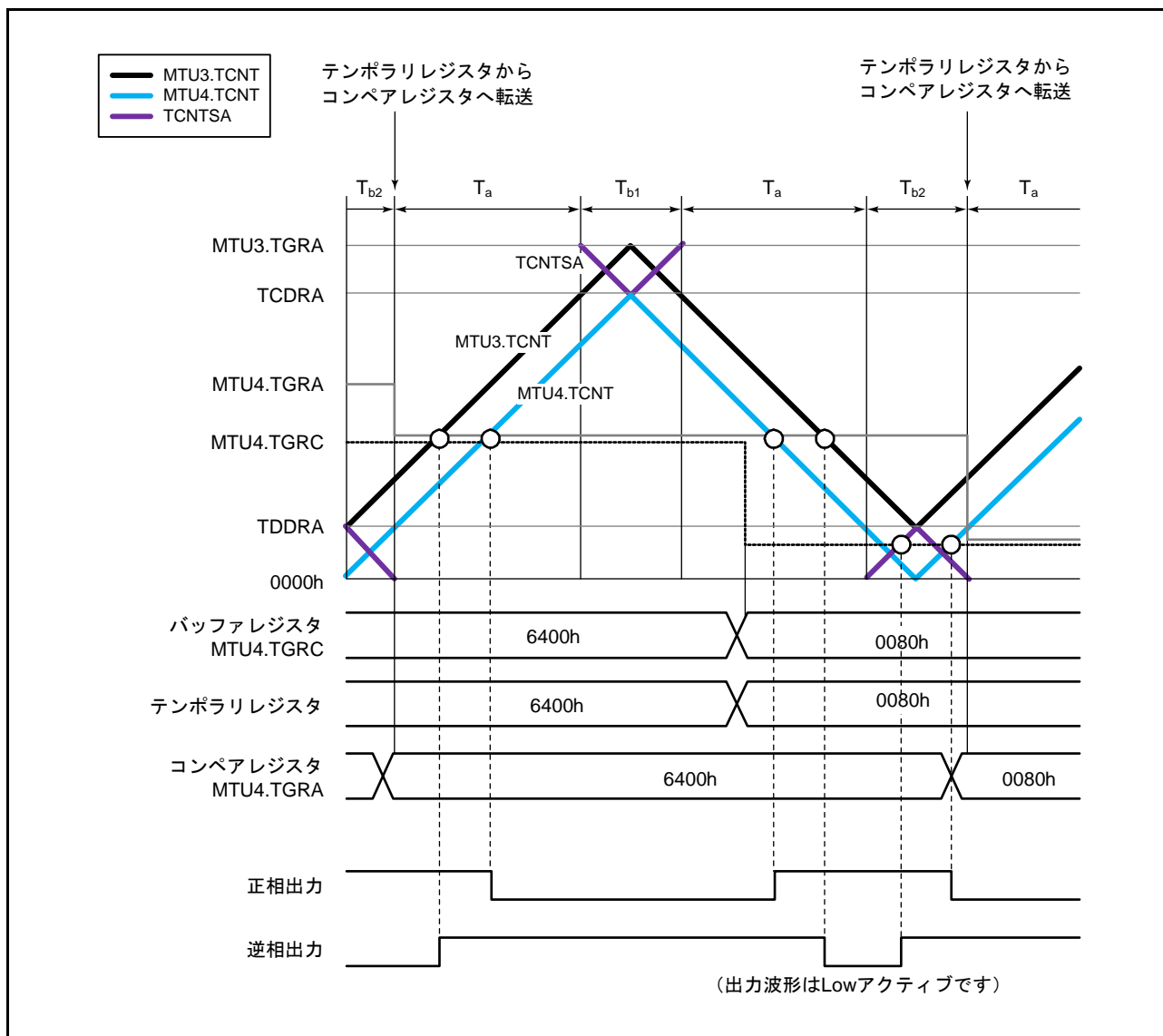


図 20.47 相補 PWM モード動作例 (MTU3, MTU4)

(c) 初期設定

相補 PWM モードでは、初期設定に必要なレジスタが9本あります。また、デッドタイム生成の有無を設定するレジスタが1本あります（デッドタイムを生成しない場合のみ設定してください）。

MTU3.TMDR1.MD[3:0] ビットで相補 PWM モードに設定する前に、次のレジスタの初期値を設定してください。

TOCR1A、TOCR2A レジスタは、PWM 出力レベルを設定します。MTU3.TGRC は MTU3.TGRA のバッファレジスタとして動作し、PWM 周期の $1/2 + \text{デッドタイム } T_d$ を設定します。タイマ周期バッファレジスタ (TCBRA) は、タイマ周期データレジスタ (TCDRA) のバッファレジスタとして動作し、PWM 周期の $1/2$ を設定します。また、タイマデッドタイムデータレジスタ (TDDRA) には、デッドタイム T_d を設定します。

デッドタイムを生成しない場合は、タイマデッドタイムイネーブルレジスタ (TDERA) の TDER ビットを“0”にし、MTU3.TGRC、MTU3.TGRA には、PWM キャリア周期の $1/2 + 1$ を、TDDRA を“1”にします。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD) の3本には、それぞれ PWM デューティの初期値を設定します。

バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF) の3本には、ダブルバッファ機能使用時のみ、それぞれ PWM デューティの初期値 - 1 を設定します。

TDDRA を除く5本のバッファレジスタに設定した値は、相補 PWM モードに設定すると同時にそれぞれ対応するコンペアレジスタに転送されます。

また、MTU4.TCNT は、相補 PWM モードに設定する前に“0000h”にしてください。

表20.62 初期設定に必要なレジスタとカウンタ

レジスタ/カウンタ	設定値
TOCR1A, TOCR2A	PWM出力レベルを設定
MTU3.TGRC	PWM周期の $1/2 + \text{デッドタイム } T_d$ TDERA/Bでデッドタイム生成をなしに設定した場合はPWM周期の $1/2 + 1$)
TDDRA	デッドタイム T_d (TDERAでデッドタイム生成をなしに設定した場合は“1”)
TCBRA	PWM周期の $1/2$
MTU3.TGRD, MTU4.TGRC, MTU4.TGRD	各相のPWMデューティ比の初期値
MTU3.TGRE, MTU4.TGRE, MTU4.TGRF	各相のPWMデューティ比の初期値 - 1 (ダブルバッファ機能使用時のみ)
MTU4.TCNT	“0000h”

注. MTU3.TGRCの設定値は、TCBRAに設定するPWM周期の $1/2$ の値とTDDRAに設定するデッドタイム T_d の値の和ととしてください。ただし、TDERAレジスタでデッドタイム生成をなしに設定した場合は、PWM周期の $1/2 + 1$ としてください。

(d) PWM 出力レベルの設定

相補 PWM モードでは、PWM 出力の出力レベルをタイマアウトプットコントロールレジスタ 1 (TOCR1A) の OLSN、OLSP ビット、または、タイマアウトプットコントロールレジスタ 2 (TOCR2A) の OLS1P ~ OLS3P、OLS1N ~ OLS3N ビットで設定します。

出力レベルは、6相出力の正相の3相、逆相の3相ごとに設定できます。

なお、出力レベルの設定/変更は、相補 PWM モードを解除した状態で行ってください。

(e) デッドタイムの設定

相補 PWM モードでは、PWM 出力にデッドタイムを設定できます。

デッドタイムは、タイマデッドタイムデータレジスタ (TDDRA) に設定します。TDDRA に設定した値が、MTU3.TCNT のカウンタスタート値となり、MTU3.TCNT と MTU4.TCNT のノンオーバーラップを生成します。TDDRA の内容変更は、相補 PWM モードを解除した状態で行ってください。

(f) デッドタイムを生成しない設定

デッドタイムを生成しない設定は、タイマデッドタイムイネーブルレジスタ (TDERA) の TDER ビットを“0”にします。TDERAは、TDER ビット=1の状態ではTDER ビットを読んだ後、TDER ビットに“0”を書いたときのみ、“0”にできます。

MTU3.TGRA、MTU3.TGRCにはPWM周期の $1/2 + 1$ を設定し、タイマデッドタイムデータレジスタ (TDDRA)を“1”にします。

デッドタイムを生成しない設定にすると、デッドタイムなしのPWM波形を出力できます。図 20.48 にデッドタイムを生成しない場合の動作例 (MTU3, MTU4) を示します。

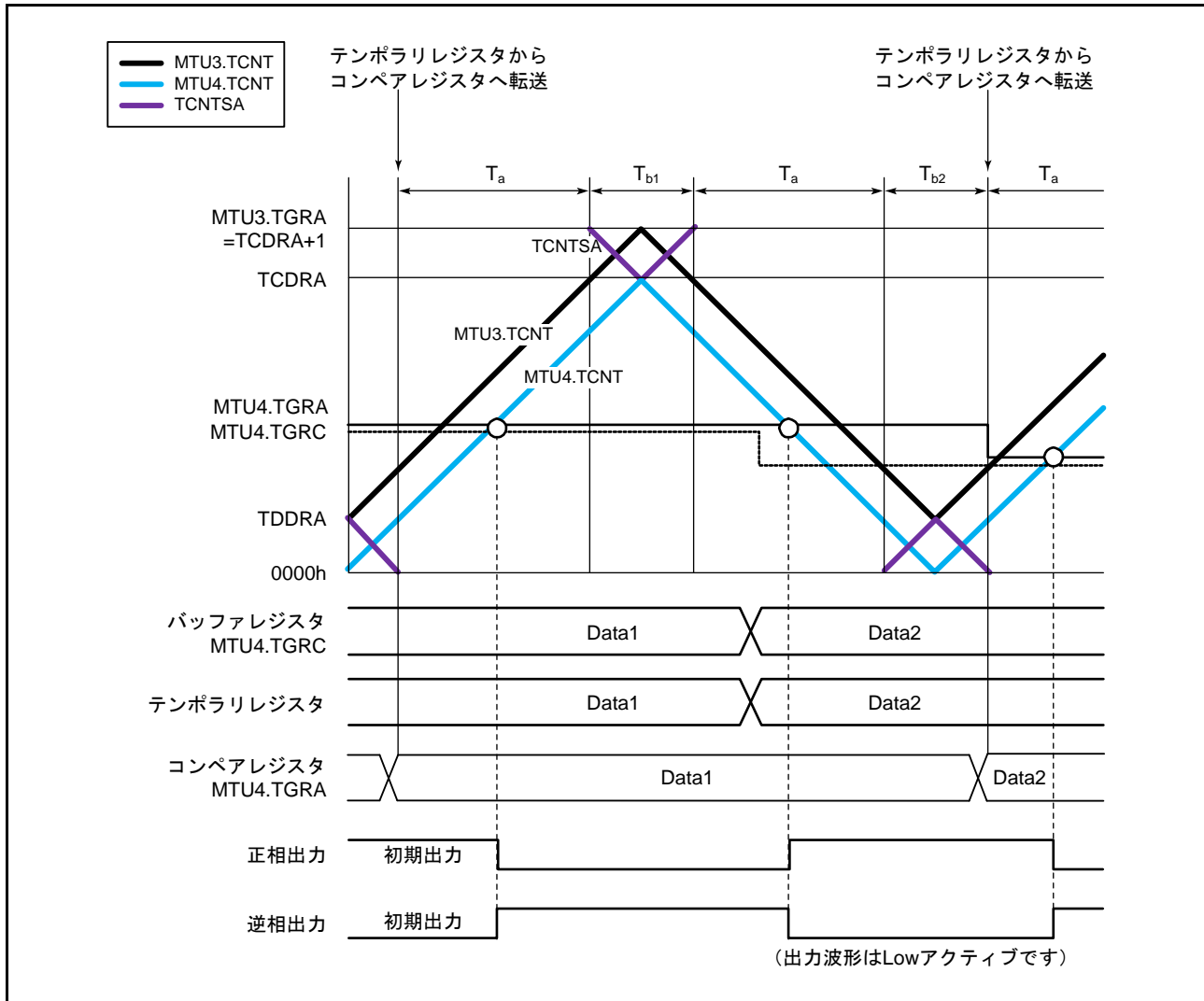


図 20.48 デッドタイムを生成しない場合の動作例 (MTU3, MTU4)

(g) PWM 周期の設定

相補 PWM モードでは、PWM 周期を MTU3.TCNT の上限値を設定する MTU3.TGRA と MTU4.TCNT の上限値を設定する TCDRA の 2つのレジスタに設定します。これらの 2つのレジスタの関係は、次の関係になるよう設定してください。

デッドタイム生成あり : MTU3.TGRA の設定値 = TCDRA の設定値 + TDDRA の設定値

デッドタイム生成なし : MTU3.TGRA の設定値 = TCDRA の設定値 + 1

また、TCDRA レジスタと TDDRA レジスタの関係が、次の関係になるように設定してください。

$\text{TCDRA の設定値} > \text{TDDRA の設定値} \times 2 + 2$

また、MTU3.TGRA、TCDRA の設定は、バッファレジスタの MTU3.TGRC、TCBRA に値を設定することで行ってください。MTU4.TGRD への書き込みを行い転送を許可すると MTU3.TGRC、TCBRA に設定した値は、MTU3.TMDR1.MD[3:0] ビットで選択した転送タイミングで MTU3.TGRA、TCDRA に同時に転送されます。

変更した PWM 周期は、データ更新が山で行われる場合は次の周期から、谷で行われる場合はその周期から反映されます。図 20.49 に PWM 周期を山で変更する場合の動作例を示します。

なお、各バッファレジスタのデータの更新方法については、次項の「(h) レジスタデータの更新」を参照してください。

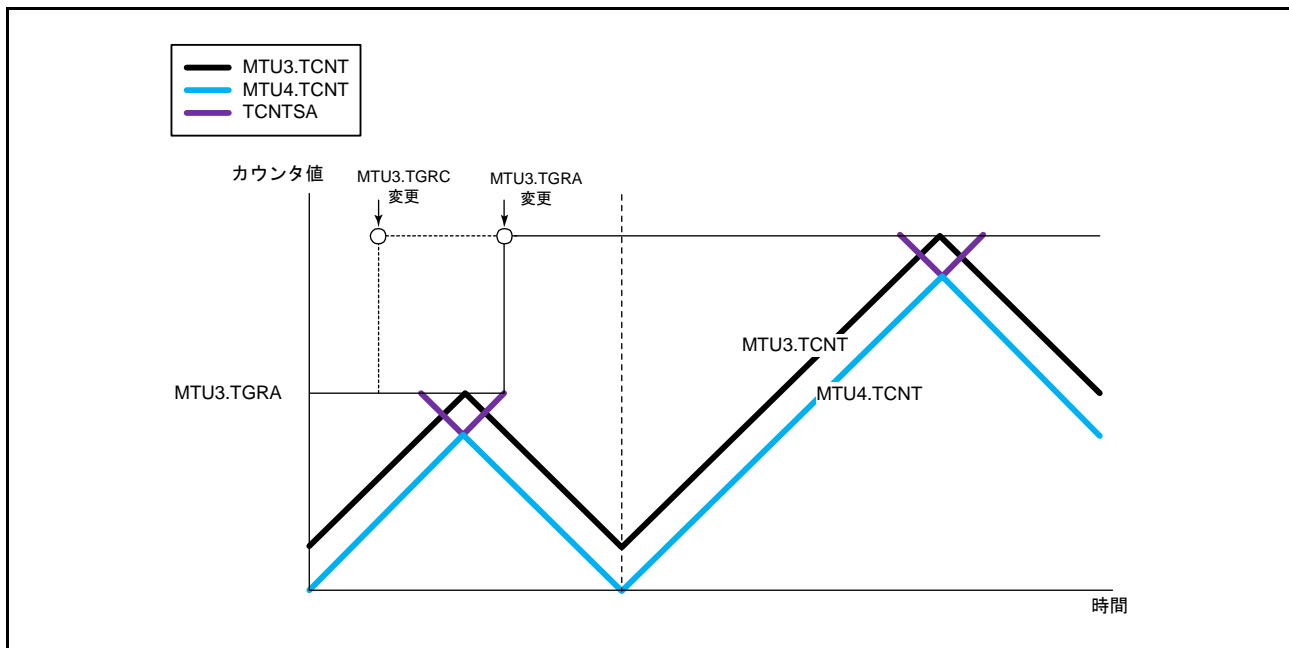


図 20.49 PWM 周期の変更例 (MTU3, MTU4)

(h) レジスタデータの更新

相補 PWM モードでは、コンペアレジスタのデータを更新する場合はバッファレジスタを使用します。更新データは、バッファレジスタに常時書き込むことができます。また、バッファレジスタを持った動作中に変更可能なレジスタは、PWM デューティ用および PWM 周期用の 5 本あります。

これらのレジスタとバッファレジスタの間には、それぞれテンポラリレジスタがあります。サブカウンタ TCNTSA がカウント動作していない期間では、バッファレジスタのデータが更新されるとテンポラリレジスタの値も書き換わります。TCNTSA がカウント動作中は、バッファレジスタからテンポラリレジスタへの転送は行われず、TCNTSA が停止後、バッファレジスタに書かれている値が転送されます。

テンポラリレジスタの値は、MTU3.TMDR1.MD[3:0] ビットで設定したデータ更新タイミングでコンペアレジスタへ転送されます。図 20.50 に相補 PWM モード時のデータ更新例 (MTU3、MTU4) を示します。この図は、カウンタの山と谷の両方でデータが更新されるモードの例です。

また、バッファレジスタのデータを書き換える場合は、最後に MTU4.TGRD への書き込みを行ってください。バッファレジスタからテンポラリレジスタへのデータ転送は、MTU4.TGRD に書き込みした後、5 本すべてのレジスタ同時に行われます。

なお、5 本すべてのレジスタの更新を行わない場合、または MTU4.TGRD のデータを更新しない場合も、更新するレジスタのデータを書き込んだ後、MTU4.TGRD に書き込み動作を行ってください。またこのとき、MTU4.TGRD に書き込むデータは、書き込み動作以前と同じデータを書き込んでください。

ダブルバッファ機能使用時のデータ更新については、「20.3.8 (2) (r) 相補 PWM モードのダブルバッファ機能」を参照してください。

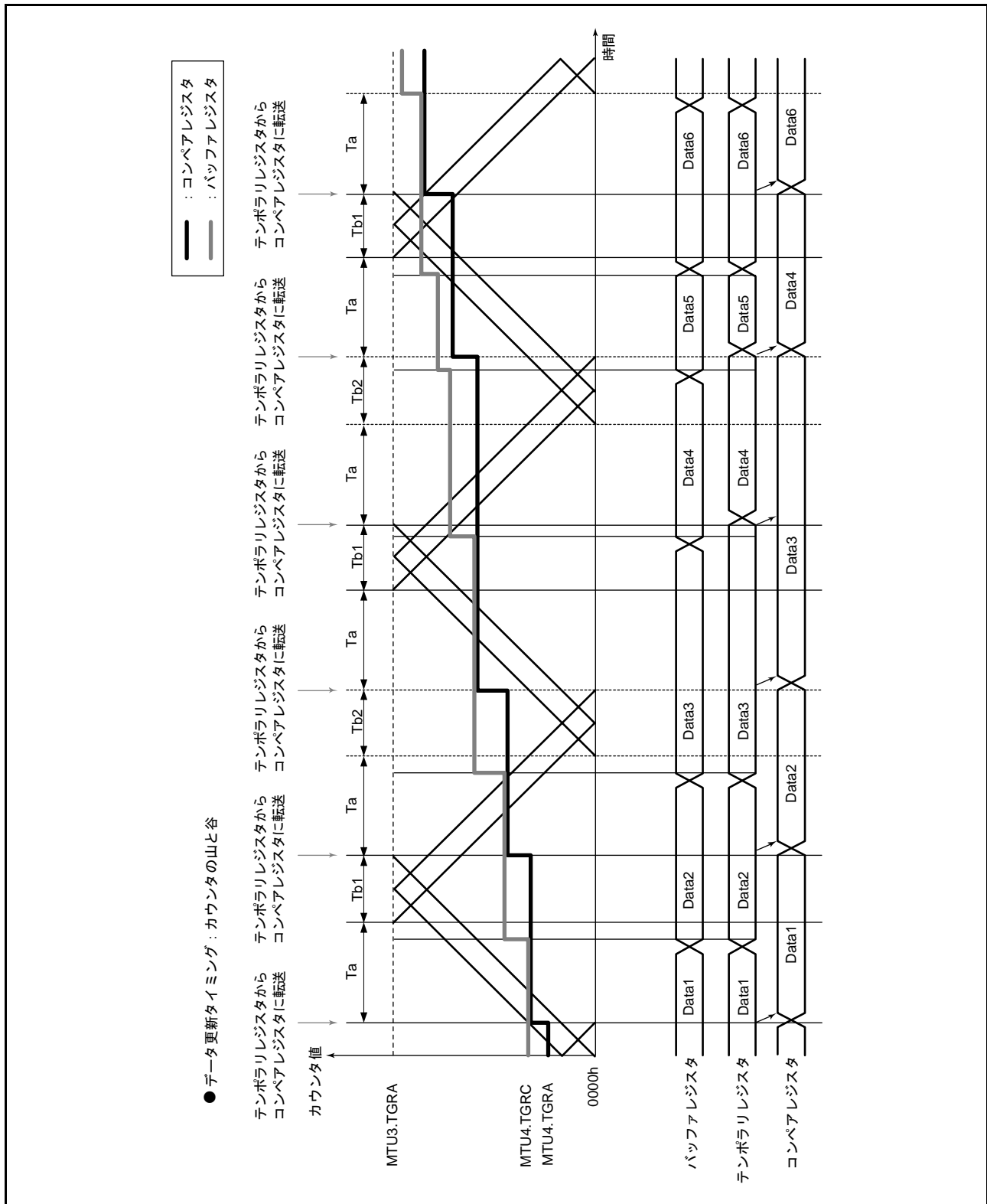


図 20.50 相補 PWM モードのデータ更新例 (MTU3, MTU4)

(i) 相補 PWM モードの初期出力

相補 PWM モードでは、TOCR1A レジスタの OLSN、OLSP ビットの設定または、TOCR2A レジスタの OLS1N ~ OLS3N、OLS1P ~ OLS3P ビットの設定で、初期出力が決まります。

この初期出力は、PWM 出力の非アクティブレベルで、MTU3.TMDR1 で相補 PWM モードを設定してから MTU4.TCNT が TDDRA レジスタに設定された値より大きくなるまで出力されます。図 20.51 に相補 PWM モードの初期出力例を示します。

また、PWM デューティ比の初期値が TDDRA の値より小さい場合の波形例を図 20.52 に示します。

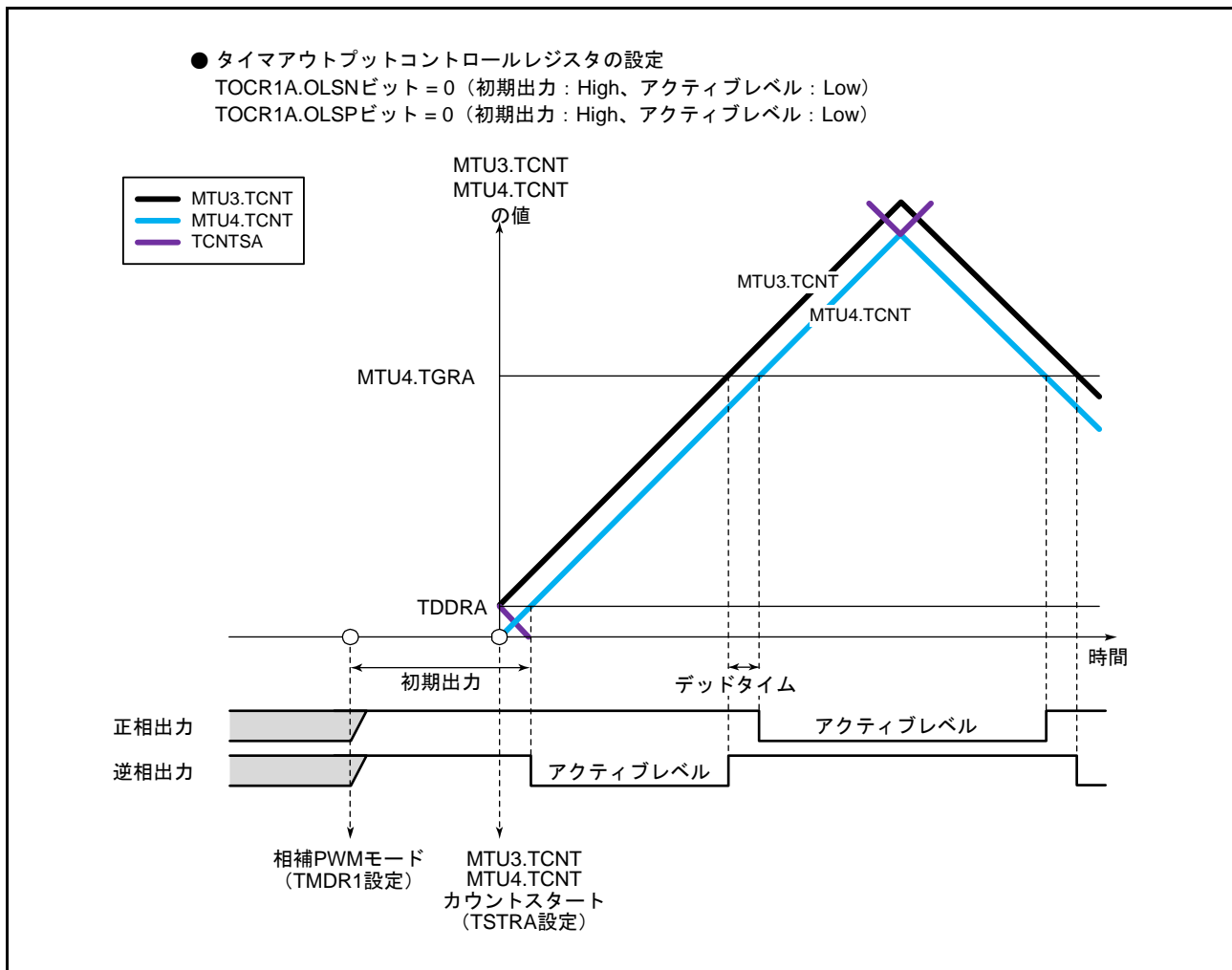


図 20.51 相補 PWM モードの初期出力例 (MTU3, MTU4) (1)

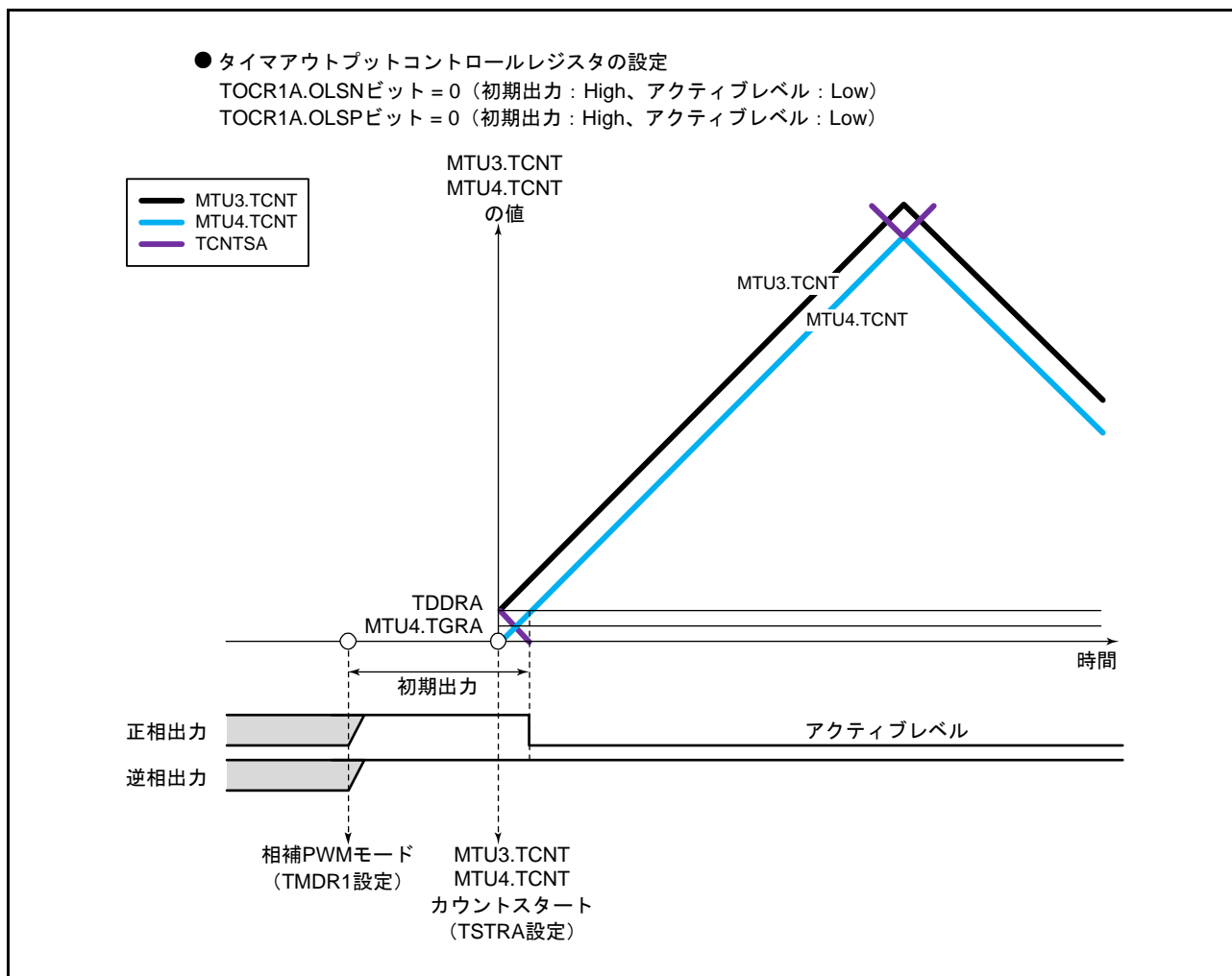


図 20.52 相補 PWM モードの初期出力例 (MTU3, MTU4) (2)

(j) 相補 PWM モードの PWM 出力生成方法

相補 PWM モードでは 6 相（正相 3 本、逆相 3 本）の PWM 波形を出力します。出力する PWM 波形にデッドタイムを設定できます。

PWM 波形は、カウンタとコンペアレジスタのコンペアマッチが発生したとき、タイマアウトプットコントロールレジスタで選択した出力レベルが出力されることで生成されます。また、TCNTSA がカウント動作する期間では、デューティ 0% ~ 100% まで連続した PWM 出力を作るため、コンペアレジスタの値とテンポラリレジスタの値が同時に比較されます。このとき、ON、OFF のコンペアマッチが発生するタイミングが前後することがありますが、デッドタイムを確保し正相 / 逆相の ON 時間が重ならないようにするため、各相を OFF するコンペアマッチが優先されます。図 20.53 ~ 図 20.55 に相補 PWM モードの波形生成例を示します。

正相 / 逆相の OFF タイミングは、実線のカウンタとのコンペアマッチで生成され、ON タイミングは実線のカウンタからデッドタイム分遅れて動作している点線のカウンタとのコンペアマッチで生成されます。ここで、T1 期間では、逆相を OFF する a のコンペアマッチが最優先され、a より先に発生したコンペアマッチは無視されます。また、T2 期間では、正相を OFF する c のコンペアマッチが最優先され、c より先に発生したコンペアマッチは無視されます。

また、図 20.53 に示すように通常の場合のコンペアマッチは、a → b → c → d（または c → d → a' → b'）の順番で発生します。

コンペアマッチが a → b → c → d の順番からはずれる場合は、逆相の OFF されている時間がデッドタイムの 2 倍より短いため、正相が ON しないことを示します。または c → d → a' → b' の順番からはずれる場合は、正相の OFF されている時間がデッドタイムの 2 倍より短いため、逆相が ON しないことを示します。

図 20.54 に示すように a のコンペアマッチの次に c のコンペアマッチが先に発生した場合は、b のコンペアマッチを無視して d のコンペアマッチで、逆相を ON します。これは、正相の ON タイミングである b のコンペアマッチより正相の OFF である c のコンペアマッチが先に発生することにより、正相を OFF することが優先されるためです（ゆえに正相は OFF から OFF のため波形は変化しません）。

同様に、図 20.55 に示す例では、逆相の ON タイミングである d のコンペアマッチより逆相の OFF である a' のコンペアマッチが先に発生することにより、逆相を OFF することが優先されます。このため、逆相は ON しません。

このように、相補 PWM モードでは、OFF するタイミングのコンペアマッチが優先され、ON するタイミングのコンペアマッチが OFF より先に発生しても無視されます。

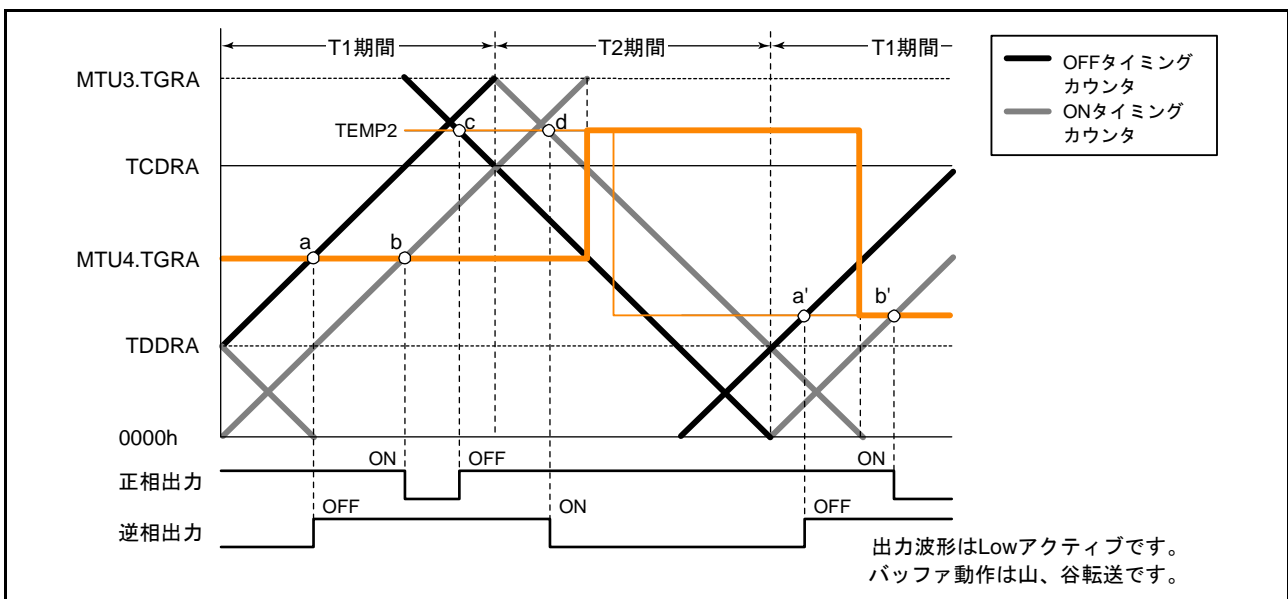


図 20.53 相補 PWM モード波形出力例 (MTU3, MTU4) (1)

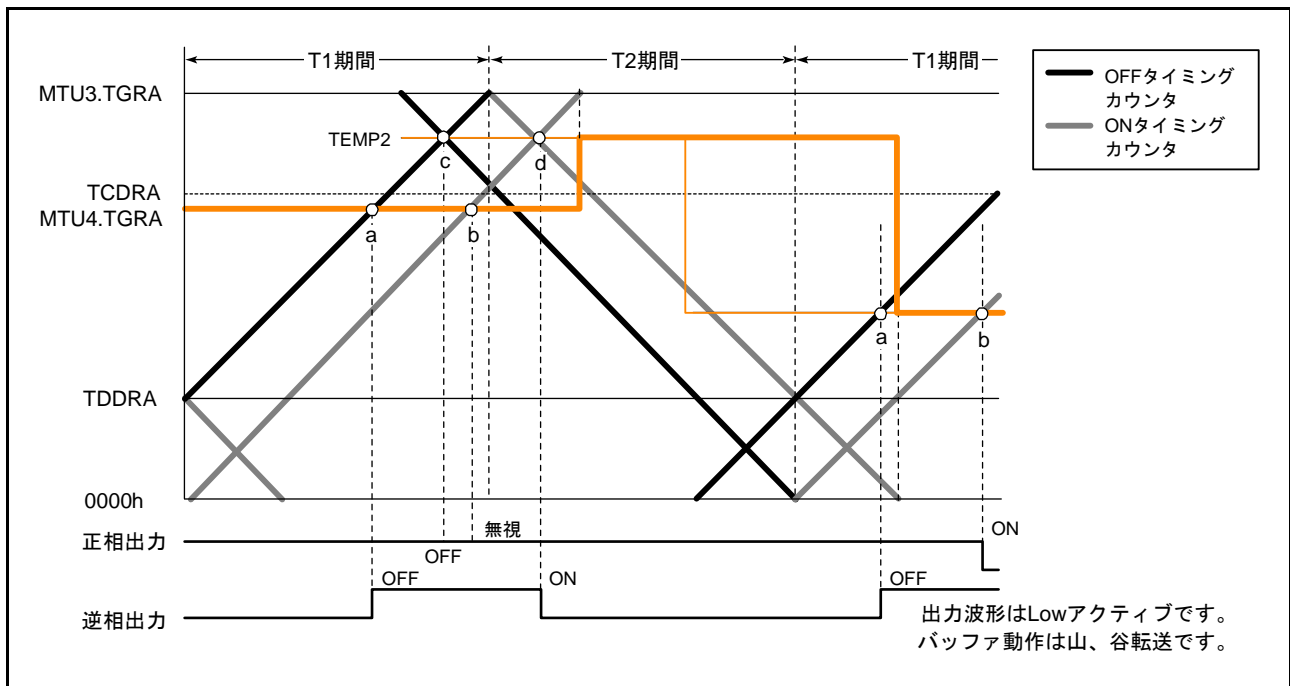


図 20.54 相補 PWM モード波形出力例 (MTU3, MTU4) (2)

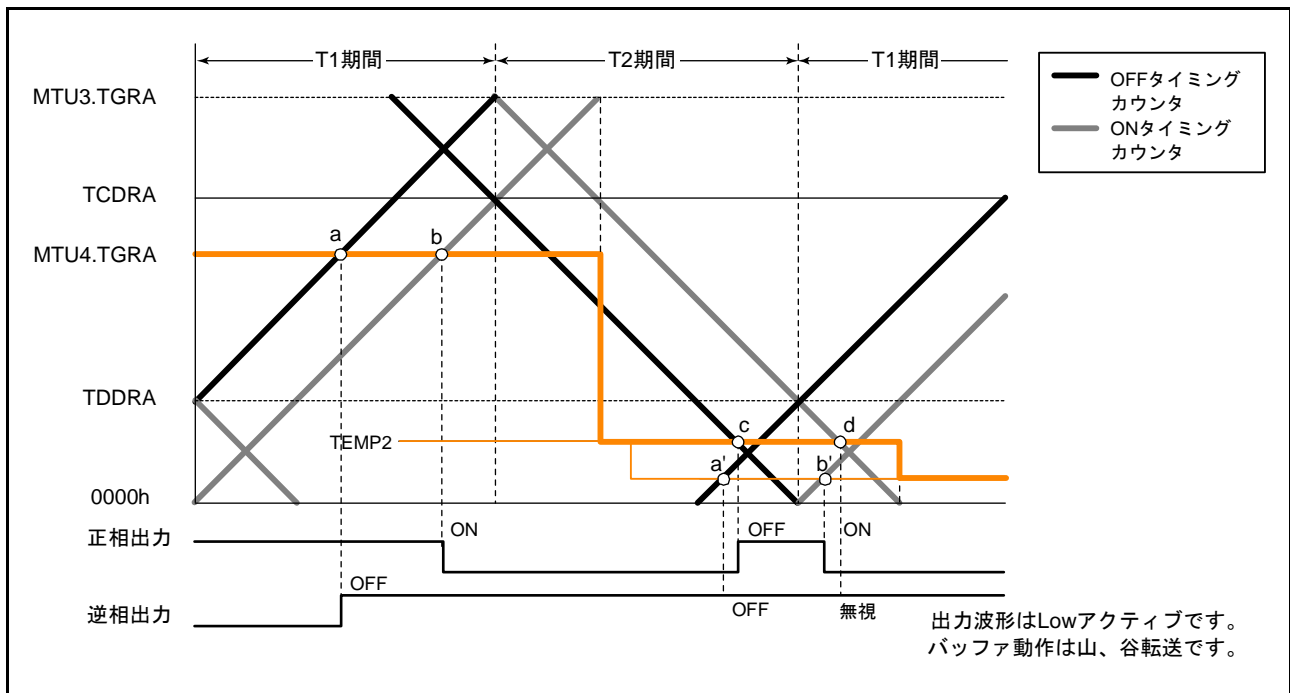


図 20.55 相補 PWM モード波形出力例 (MTU3, MTU4) (3)

(k) 相補 PWM モードのデューティ比 0%、100% 出力

相補 PWM モードでは、デューティ比 0%、100% の PWM 出力を任意に出力可能です。図 20.56 ~ 図 20.60 に出力例を示します。

デューティ比 100% 出力は、コンペアレジスタの値を “0000h” にすると出力されます。このときの波形は、正相が 100%ON 状態の波形です。また、デューティ比 0% 出力は、コンペアレジスタの値を MTU3.TGRA の値と同じ値を設定すると出力されます。このときは、正相が 100%OFF 状態の波形です。

このとき、コンペアマッチは ON、OFF 同時に発生しますが、同じ相の ON するコンペアマッチと OFF するコンペアマッチが同時に発生すると、両方のコンペアマッチとも無視され波形は変化しません。

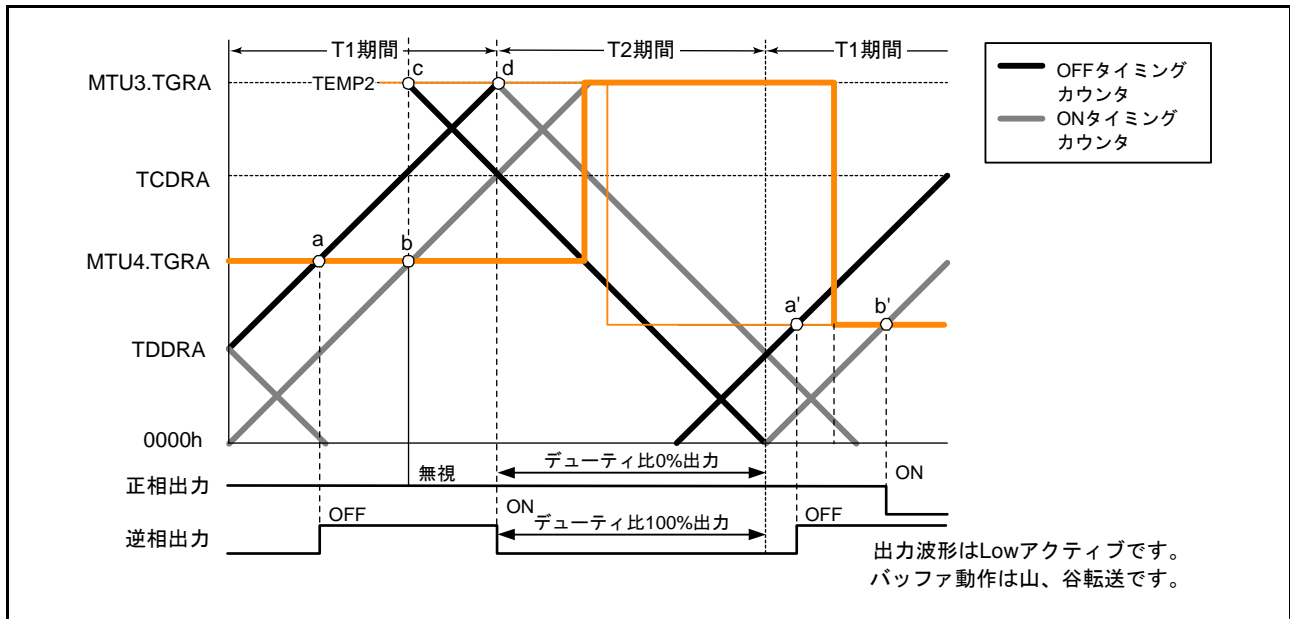


図 20.56 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (1)

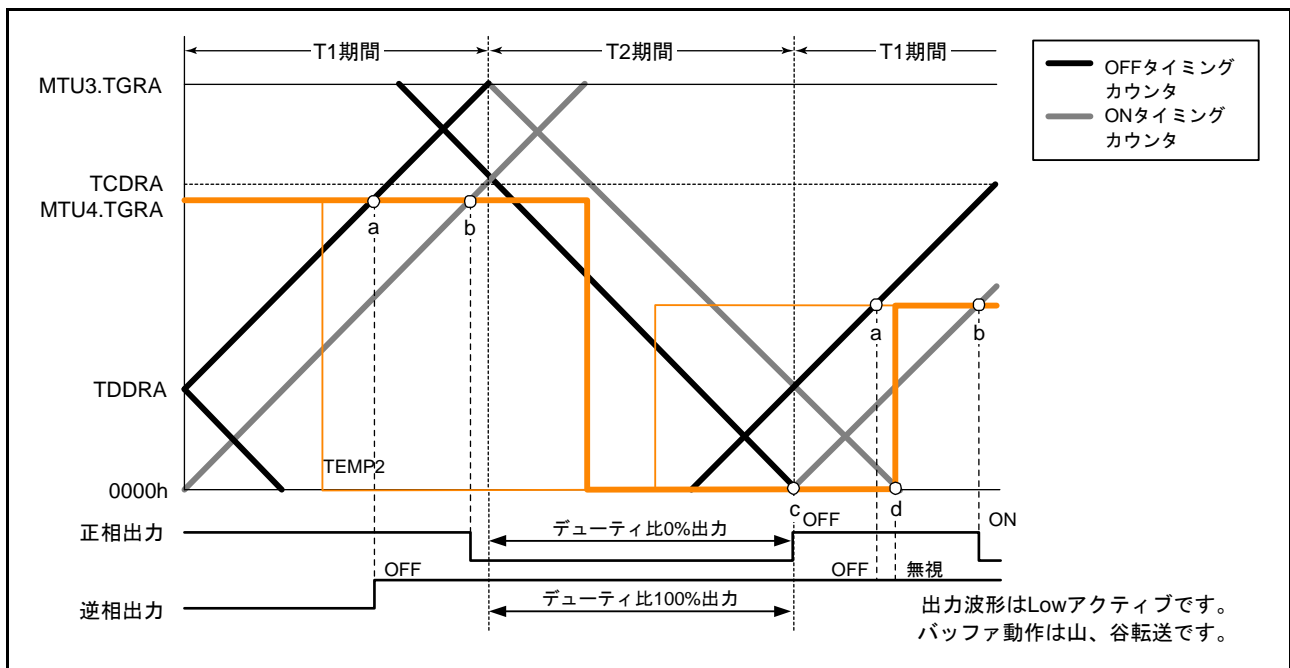


図 20.57 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (2)

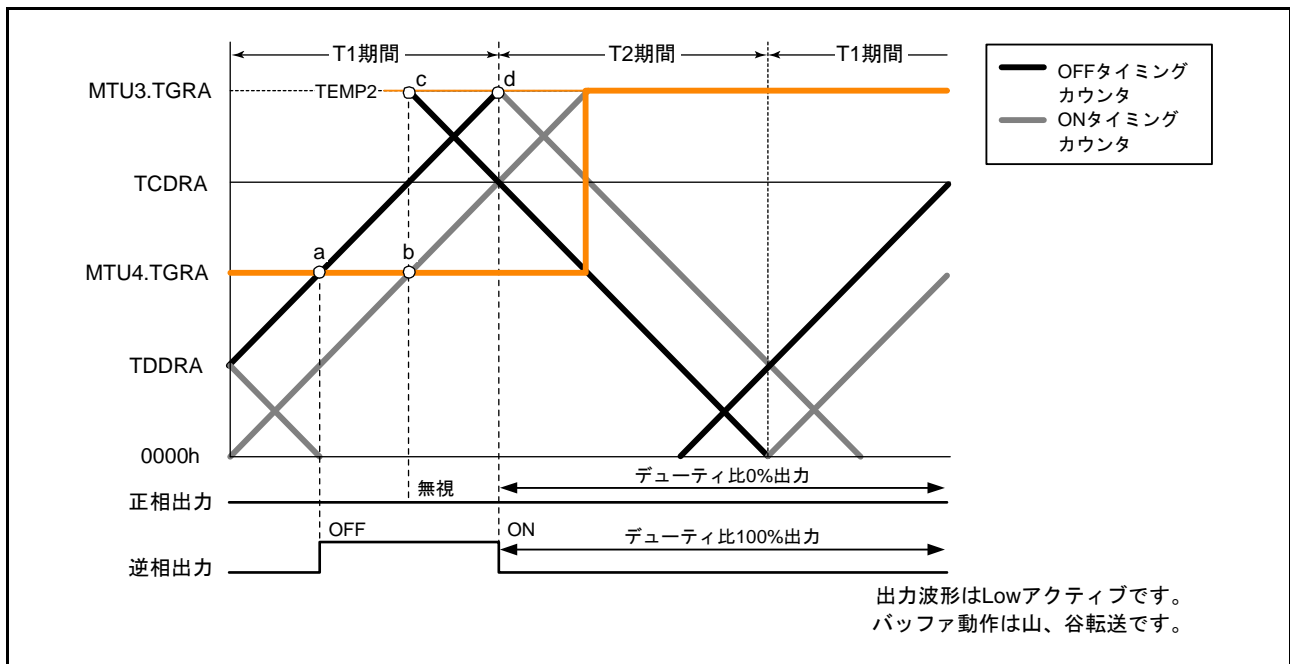


図 20.58 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (3)

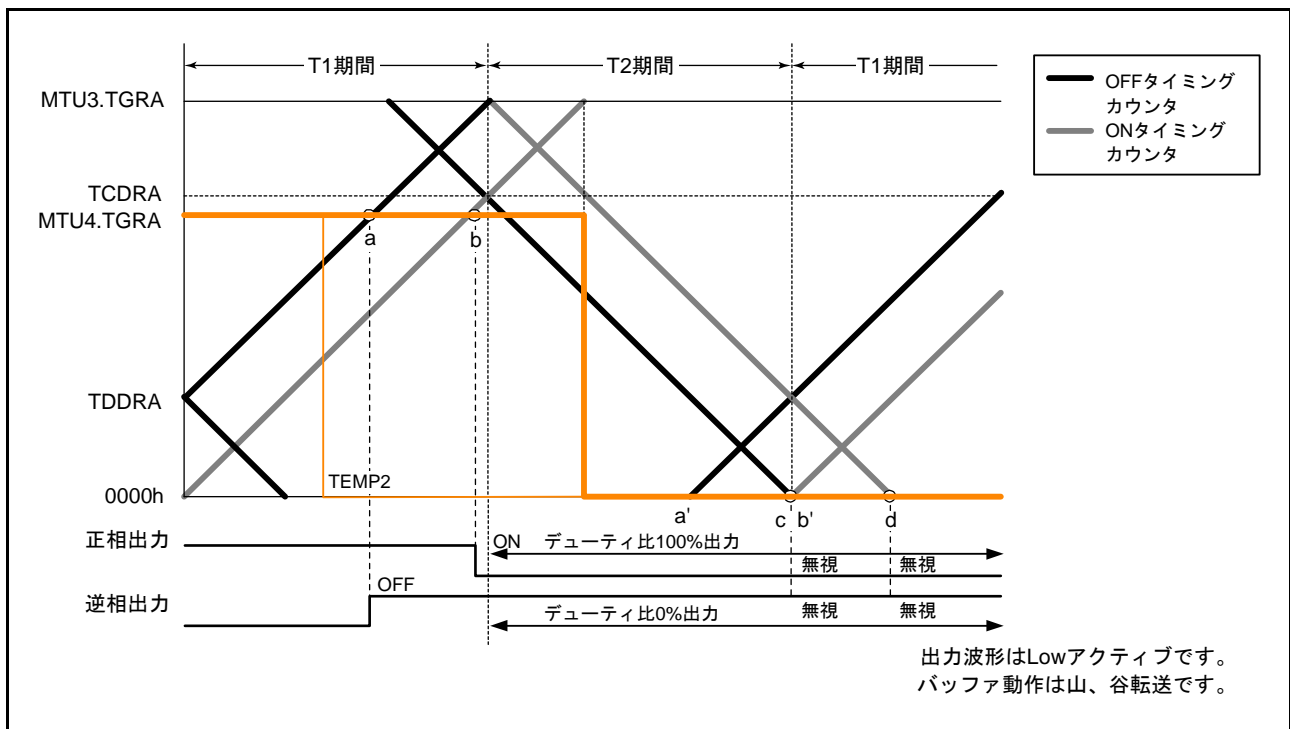


図 20.59 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (4)

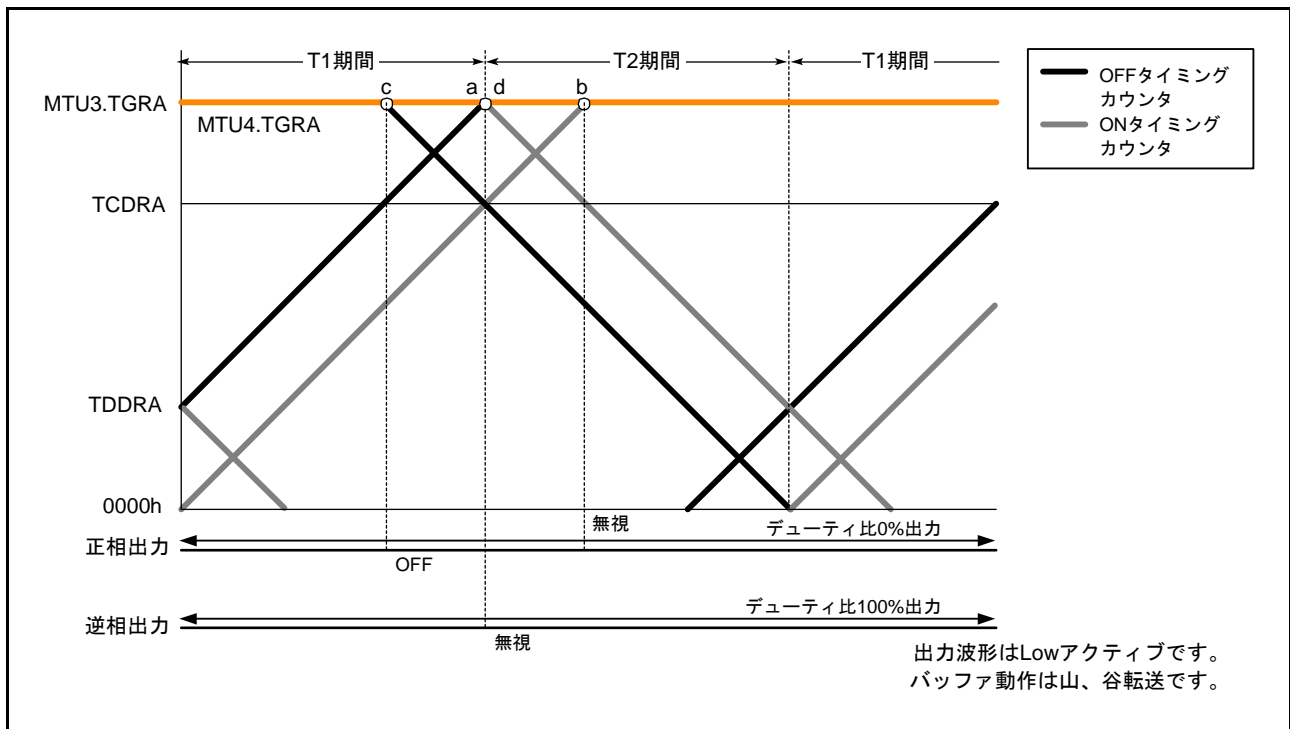


図 20.60 相補 PWM モード 0%、100% 波形出力例 (MTU3, MTU4) (5)

(I) PWM 周期に同期したトグル出力

相補 PWM モードでは、TOCR1A レジスタの PSYE ビットを“1”にすることにより PWM 出力端子から PWM 周期に同期したトグル出力が可能です。トグル出力の波形例を図 20.61 に示します。

この出力は、MTU3.TCNT と MTU3.TGRA のコンペアマッチと MTU4.TCNT と“0000h”のコンペアマッチでトグルを行います。

このトグル出力の出力端子は、MTIOC3A 端子です。また、初期出力は“High”出力です。

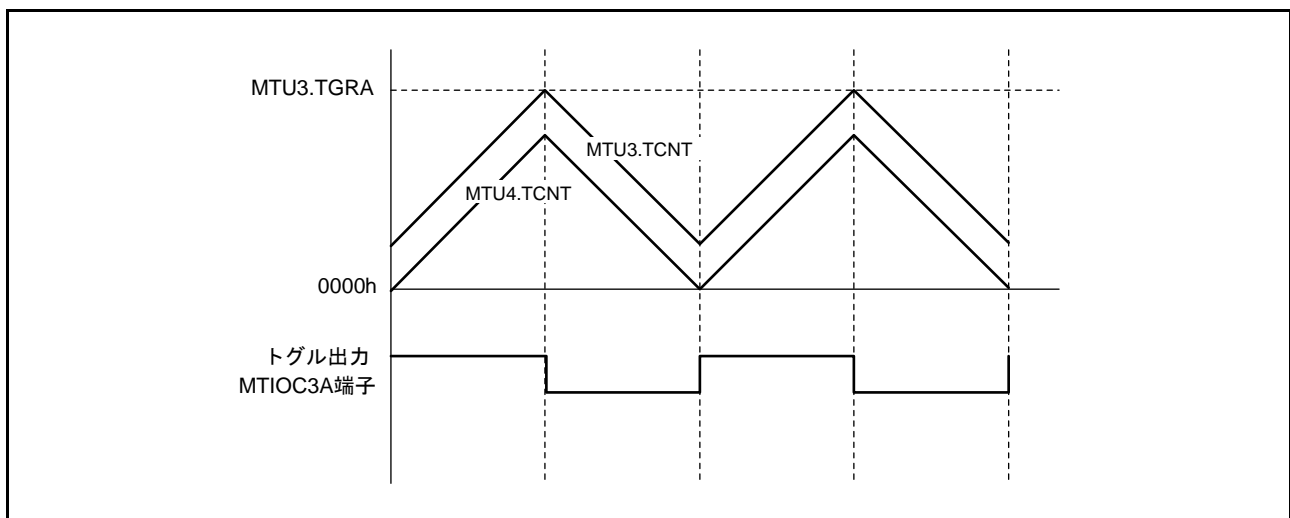


図 20.61 PWM 出力に同期したトグル出力波形例 (MTU3, MTU4)

(m) 他のチャネルによるカウンタクリア

相補 PWM モード時、TSYRA レジスタにより他のチャネルとの同期モードに設定し、また MTU3.TCR.CCLR[2:0] ビットで同期クリアを選択することにより他のチャネルの要因で MTU3.TCNT、MTU4.TCNT および TCNTSA をクリアをすることが可能です。

図 20.62 に動作例を示します。

この機能を使うことによって、外部信号によるカウンタクリアおよび再スタートが可能です。

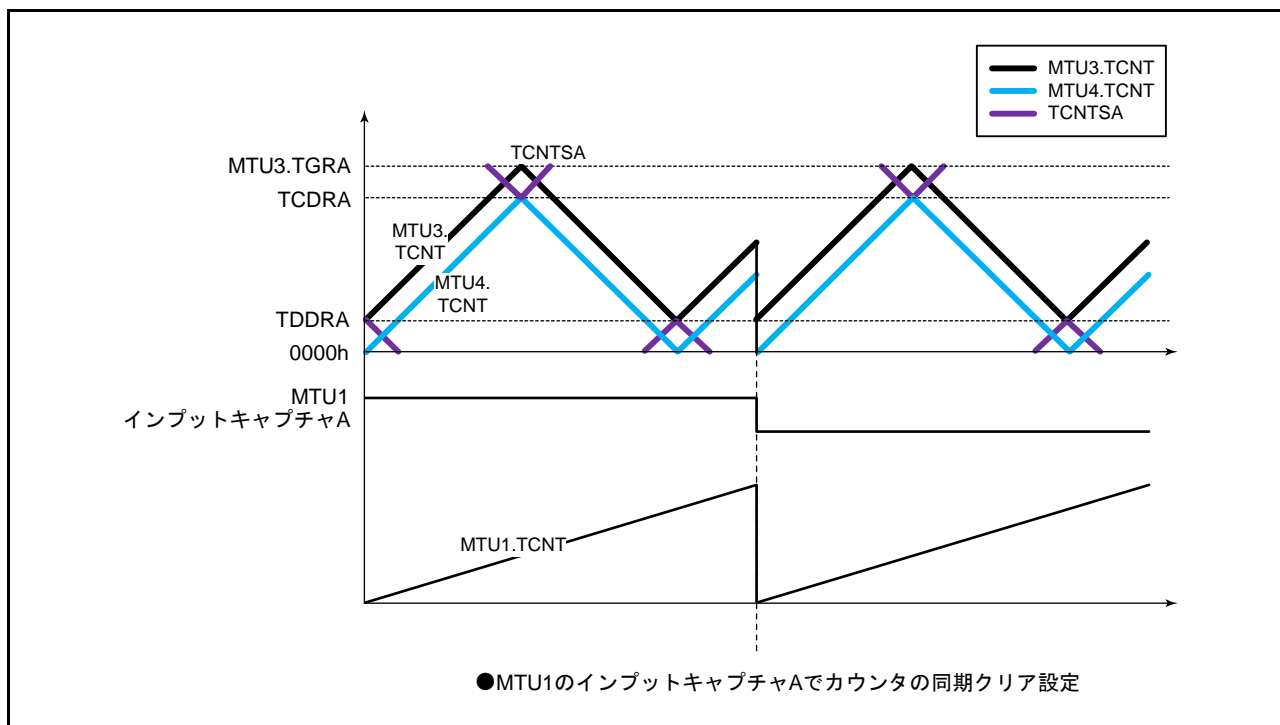


図 20.62 他のチャネルに同期したカウンタクリア (MTU3, MTU4)

(n) 相補 PWM モードでの同期カウンタクリア時出力波形制御

TWCRA レジスタの WRE ビットを“1”にすることにより、相補 PWM モードの谷の Tb 区間 (Tb2 区間) で同期カウンタクリアが起こった場合の初期出力を抑止することができます。これにより、同期カウンタクリア時の急激なデューティ比の変化を抑止することができます。

WRE ビットを“1”にすることで初期出力を抑止することができるのは、同期クリアが図 20.63 の⑩、⑪のような Tb2 区間に入って来たときのみです。それ以外のタイミングで同期クリアが起こった場合は、TOCR1A レジスタの OLSN ビット、OLSP ビットで設定した初期値が出力されます。また、Tb2 区間であっても、図 20.63 の①で示すカウンタスタート直後の初期出力期間で同期クリアが起こった場合には、初期出力の抑止は行いません。

本機能は MTU3、MTU4 で使用することができます。MTU3、MTU4 のカウンタクリア要因は MTU0 ~ MTU2 からの同期クリアです。

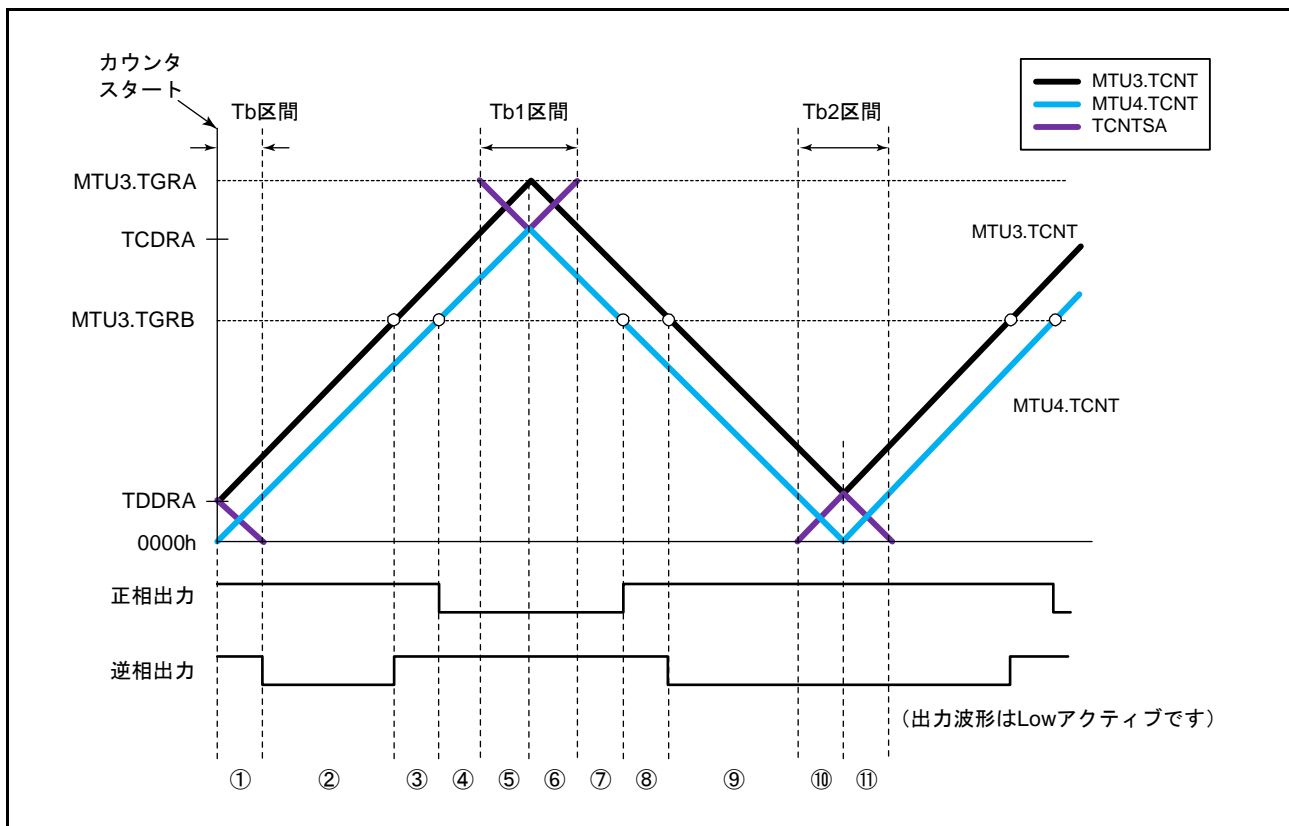


図 20.63 同期カウンタクリアタイミング (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例
相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例を図 20.64 に示します。

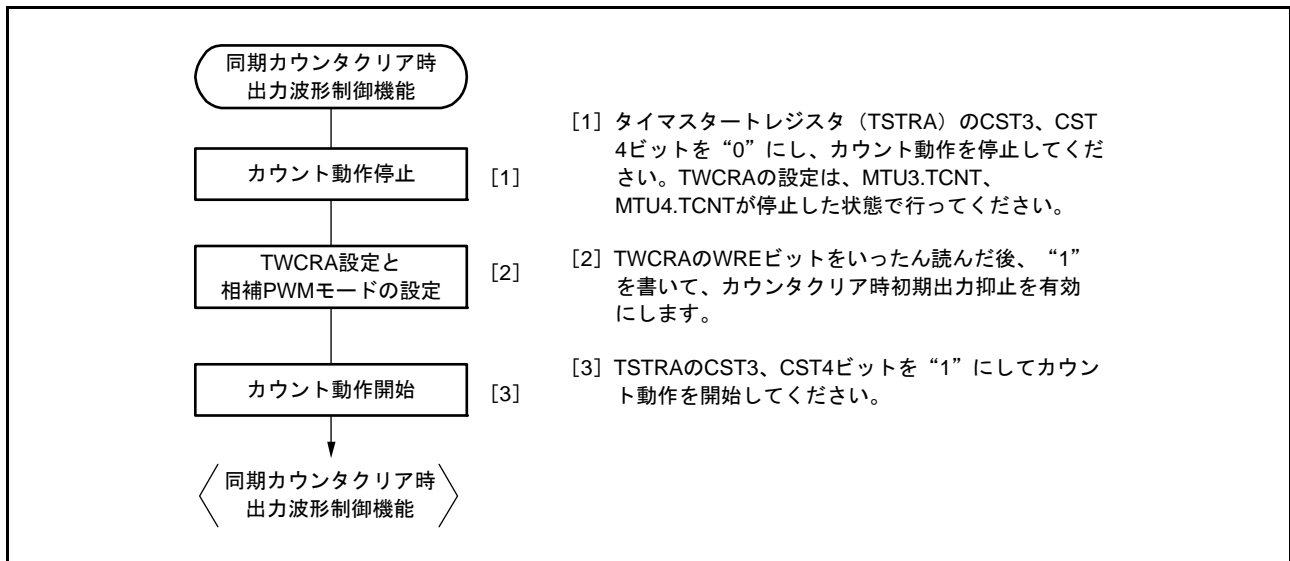


図 20.64 相補 PWM モードでの同期カウンタクリア時出力波形制御の設定手順例 (MTU3, MTU4)

- 相補 PWM モードでの同期カウンタクリア時出力波形制御動作例

図 20.65 ~ 図 20.68 に、TWCRA.WRE ビットを“1”にした状態で MTU3、MTU4 を相補 PWM 動作させ、同期カウンタクリアをした場合の動作例を示します。ここで、図 20.65 ~ 図 20.68 の同期カウンタクリアのタイミングは、それぞれ図 20.63 の③、⑥、⑧、⑪で示したタイミングです。

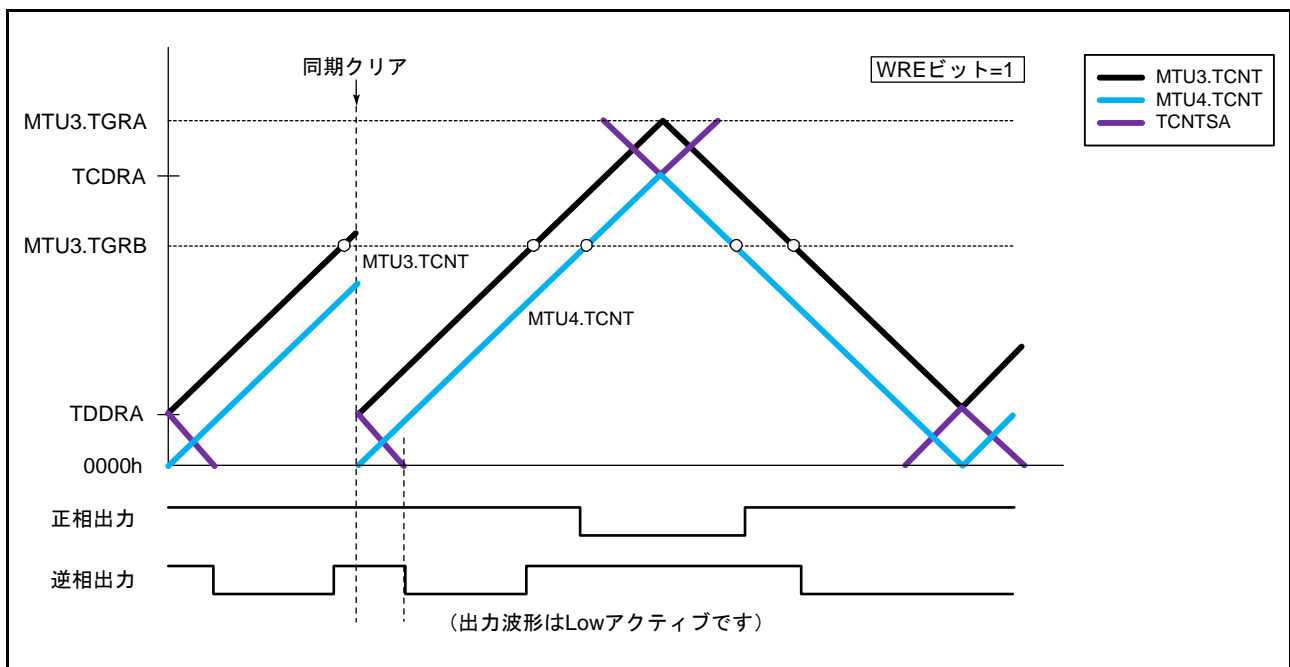


図 20.65 アップカウント中のデッドタイム時に同期クリアが発生した場合 (図 20.63 のタイミング③、TWCRA レジスタの WRE ビット = 1)

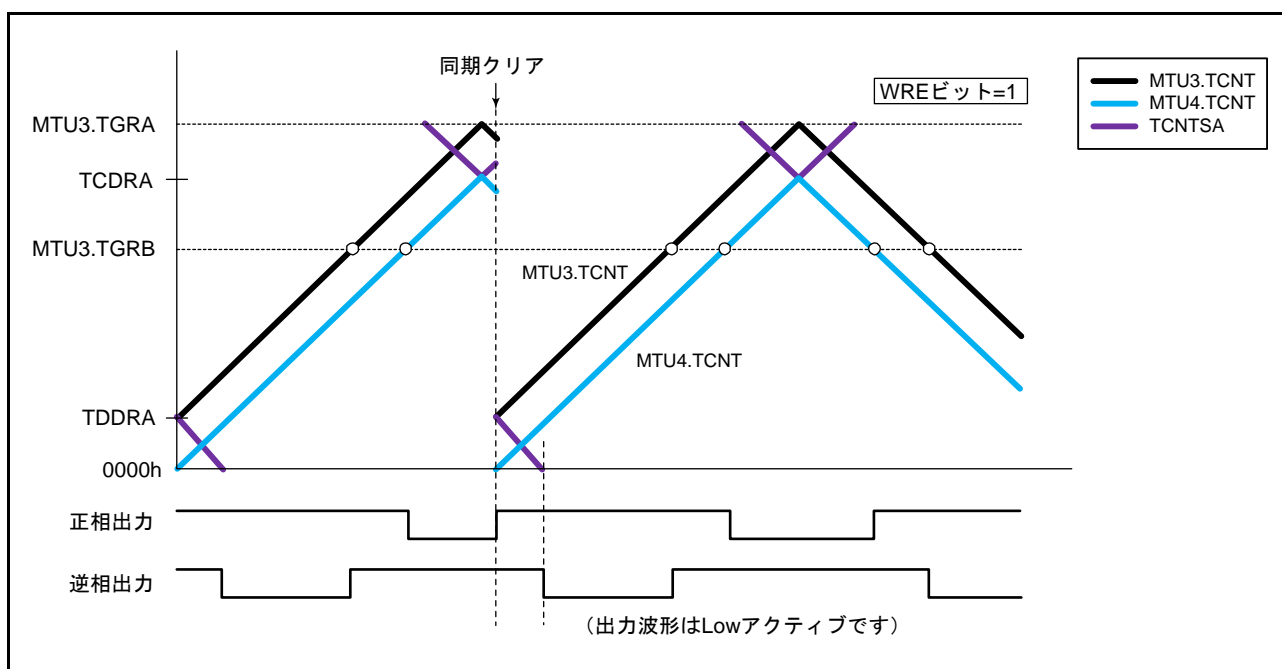


図 20.66 Tb1 区間で同期クリアが発生した場合
 (図 20.63 のタイミング⑥、TWCRA レジスタの WRE ビット = 1)

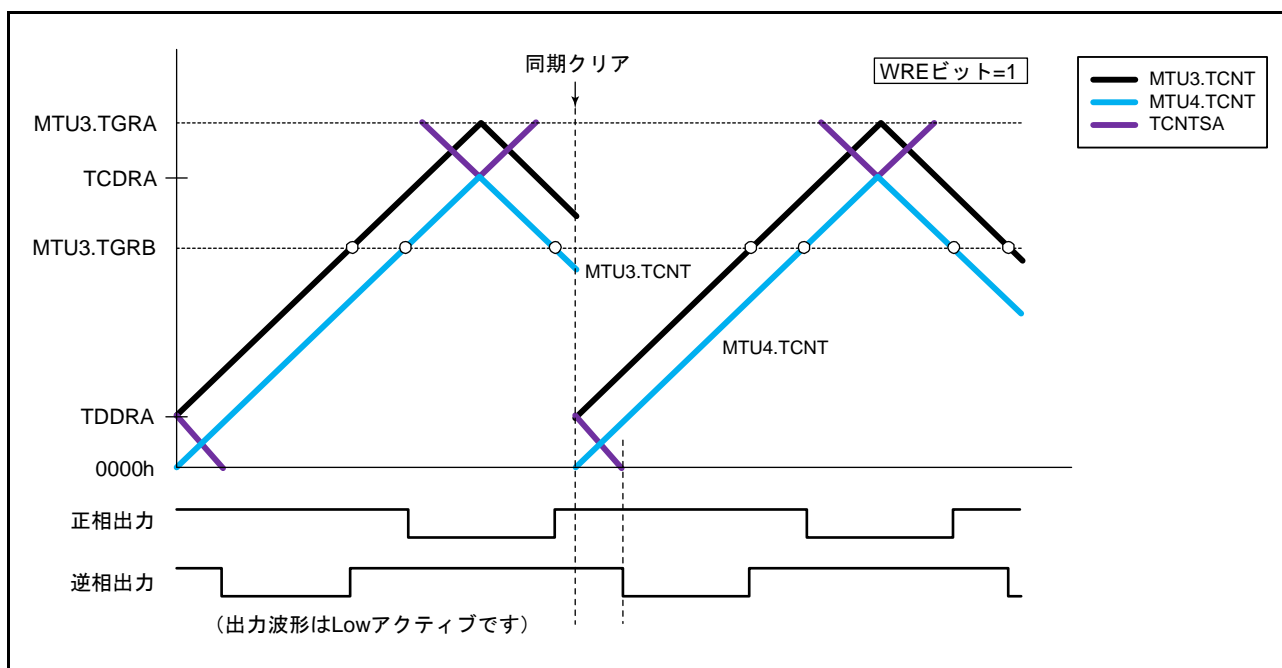


図 20.67 ダウンカウント中のデッドタイム時に同期クリアが発生した場合
 (図 20.63 のタイミング⑧、TWCRA レジスタの WRE ビット = 1)

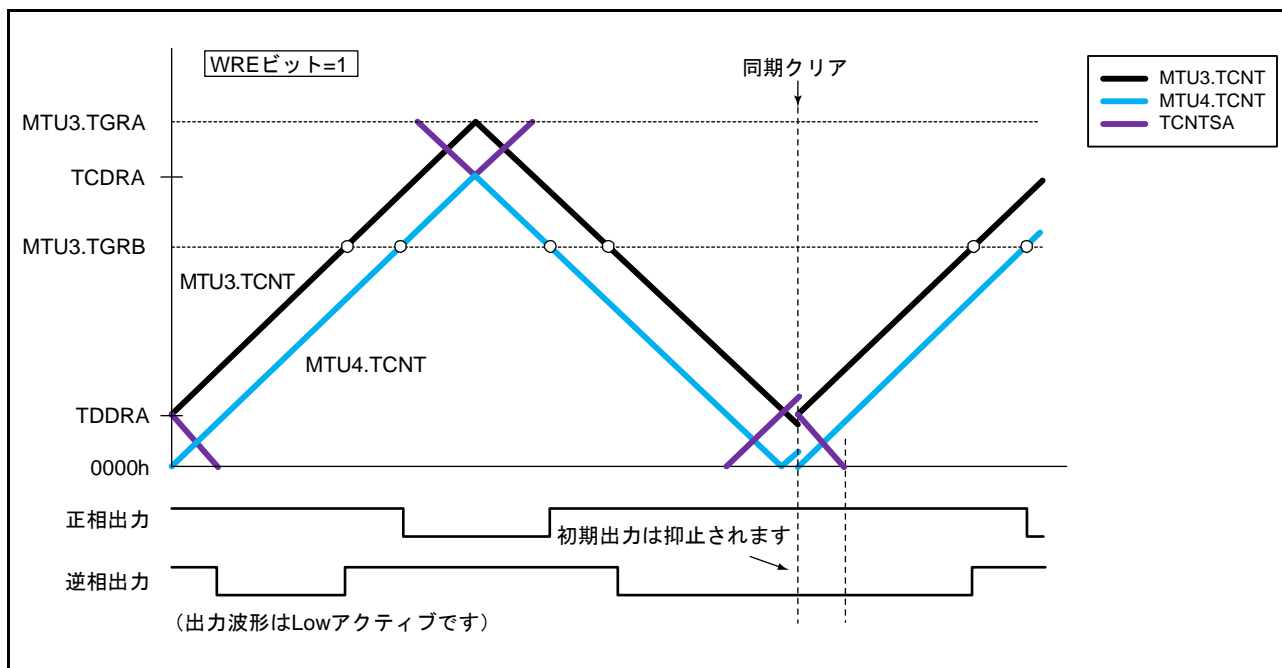


図 20.68 Tb2 区間で同期クリアが発生した場合
 (図 20.63 のタイミング①、TWCRA レジスタの WRE ビット = 1)

(o) MTU3.TGRA のコンペアマッチによるカウンタクリア

相補 PWM モードでは、TWCRA.CCE ビットを設定することにより、MTU3.TGRA のコンペアマッチで MTU3.TCNT、MTU4.TCNT および TCNTSA をクリアすることが可能です。

図 20.69 に動作例を示します。

- 注 1. 相補 PWM モード 1 (山で転送) でのみ使用してください。
- 注 2. 他のチャンネルとの同期クリア機能に設定しないでください。(タイマシンクロレジスタ (TSYRA) の SYNC0 ~ SYNC4 ビットを "1" に設定しないでください。)
- 注 3. PWM デューティは、"0000h" を設定しないでください。
- 注 4. タイマアウトプットコントロールレジスタ 1 (TOCR1A) の PSYE ビットを "1" に設定しないでください。

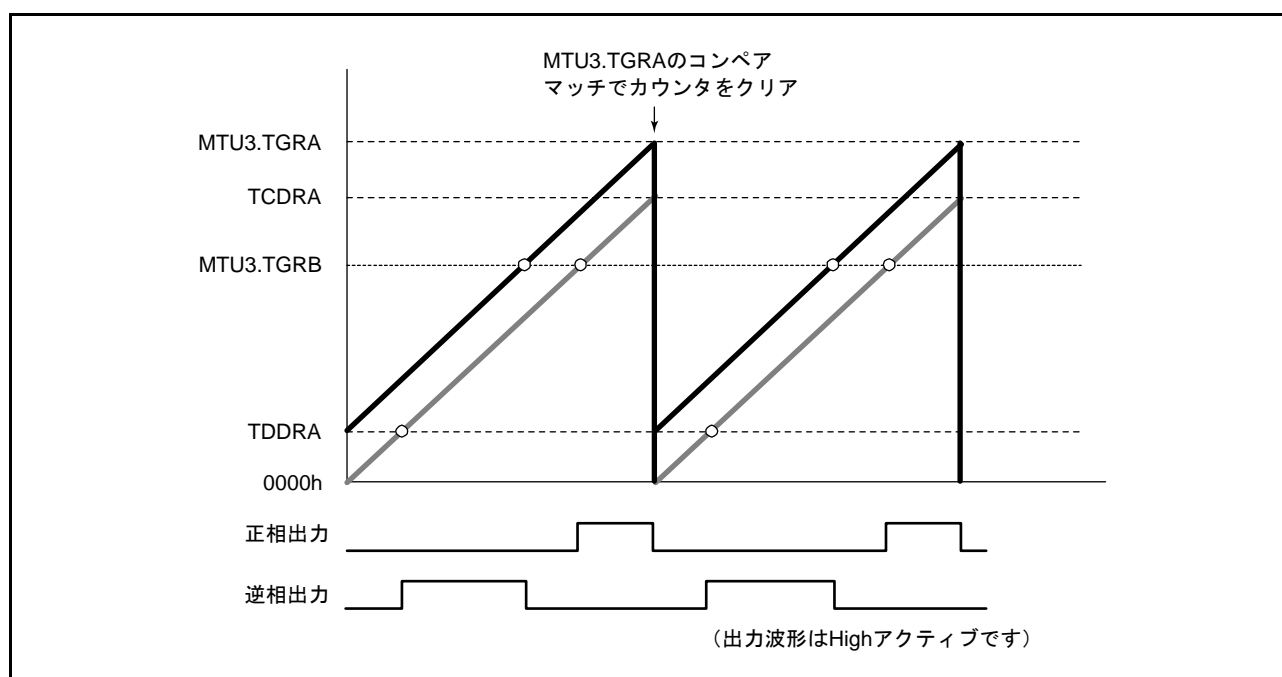


図 20.69 MTU3.TGRA のコンペアマッチにおけるカウンタクリアの動作例

(p) AC同期モータ（ブラシレス DC モータ）の駆動波形出力例

MTU3、MTU4 を使用した相補 PWM モードでは、TGCRA レジスタを使ってブラシレス DC モータを簡単に制御することができます。図 20.70 ～図 20.73 に TGCRA を使用したブラシレス DC モータの駆動波形例を示します。

3相ブラシレス DC モータの出力相の切り替えに、ホール素子などで検出した外部信号で行う場合、TGCRA.FB ビットを“0”にします。この場合、磁極位置を示す外部信号を MTU0 のタイマ入力端子 MTIOC0A、MTIOC0B、MTIOC0C 端子に入力します（MPC と I/O ポートのポートモードレジスタ（PMR）で設定してください）。MTIOC0A、MTIOC0B、MTIOC0C 端子の3つの端子にエッジが発生すると、出力の ON/OFF が自動的に切り替わります。

TGCRA.FB ビットが“1”の場合は、TGCRA の UF、VF、WF ビットの各ビットを“0”または“1”にすると、出力の ON/OFF が切り替わります。

駆動波形の出力は、相補 PWM モードの6相 PWM 出力端子から出力されます。

この6相出力は TGCRA レジスタの N ビットまたは P ビットを“1”にすることにより、ON 出力時、相補 PWM モードの出力を使用し、チョッピング出力を行うことが可能です。N ビットまたは P ビットが“0”の場合は、レベル出力になります。

また、6相出力のアクティブレベル（ON 出力時レベル）は、N ビットおよび P ビットの設定にかかわらず、TOCR1A.OLSN、TOCR1A.OLSP ビットで設定できます。

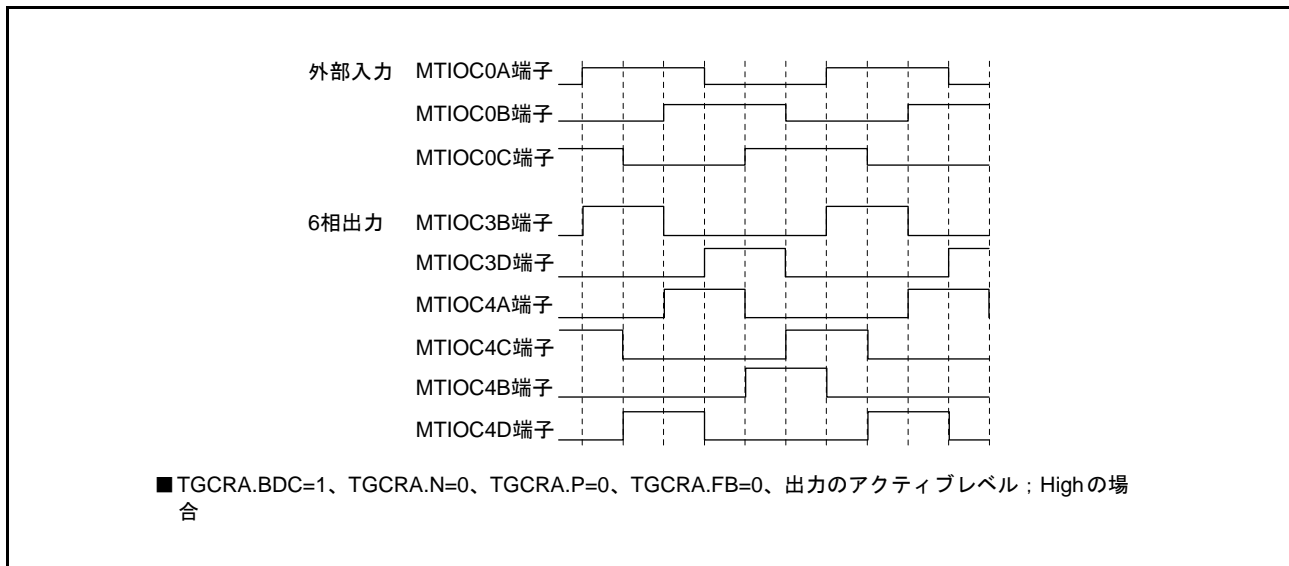


図 20.70 外部入力による出力相の切り替え動作例 (1)

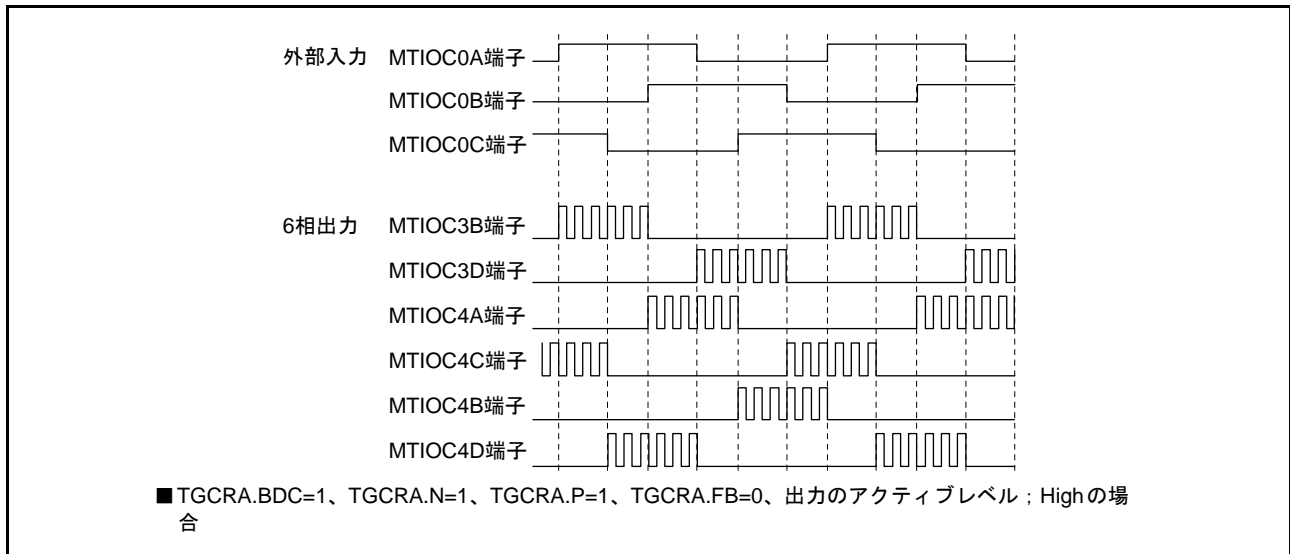


図 20.71 外部入力による出力相の切り替え動作例 (2)

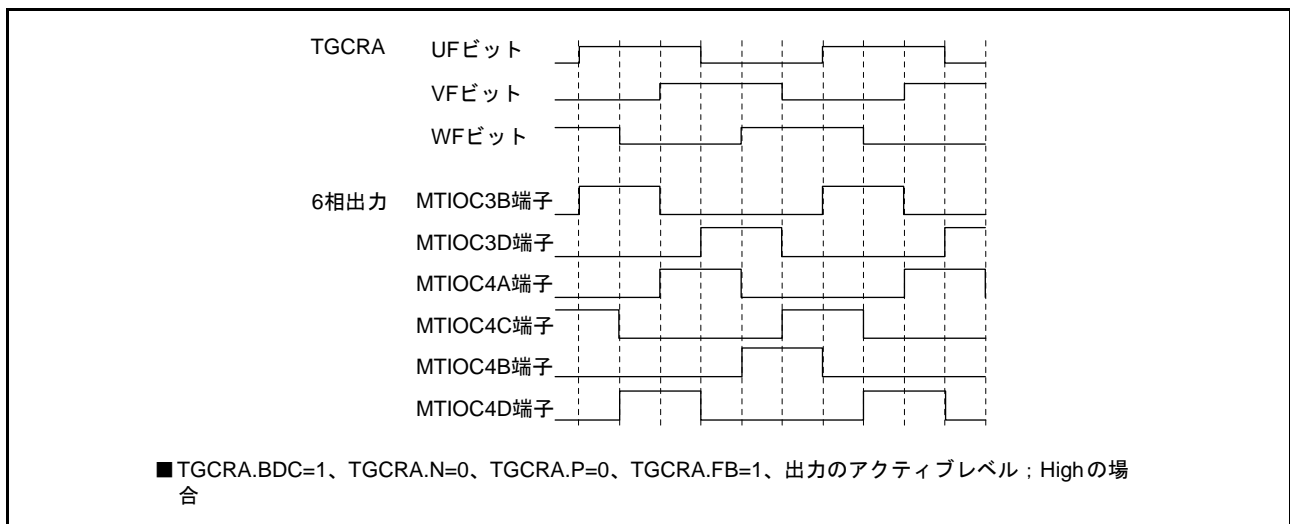


図 20.72 UF、VF、WF ビット設定による出力相の切り替え動作例 (1)

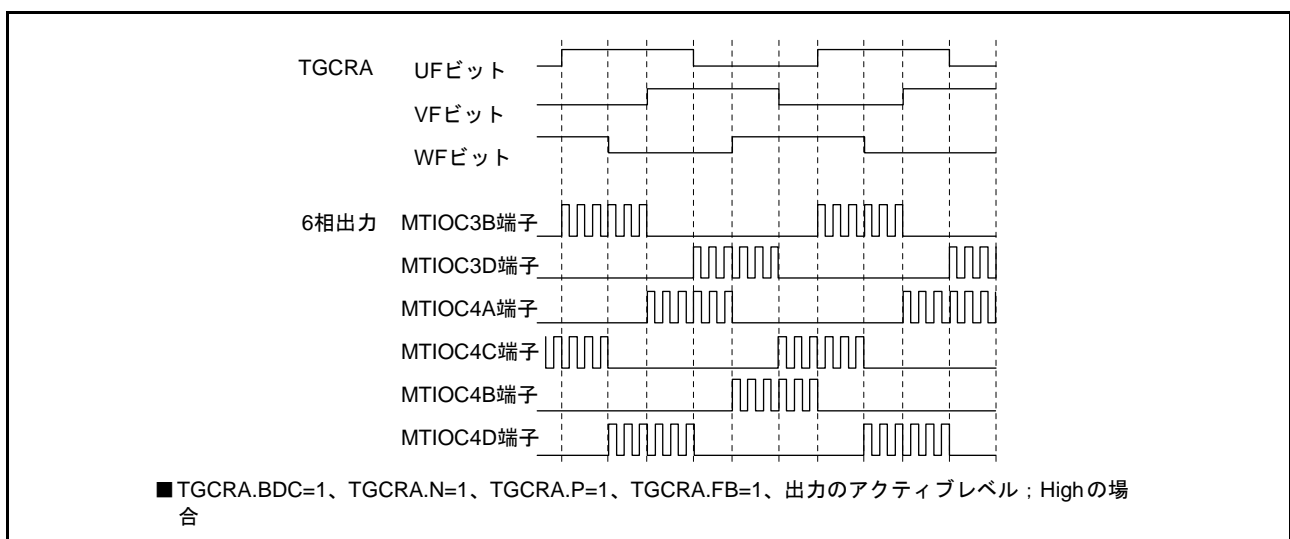


図 20.73 UF、VF、WF ビット設定による出力相の切り替え動作例 (2)

(q) A/D 変換開始要求の設定

相補 PWM モード時、A/D 変換の開始要求は MTU3.TGRA のコンペアマッチ、MTU4.TCNT のアンダフロー（谷）、MTU3、MTU4 以外のチャンネルのコンペアマッチを使用して行うことが可能です。

MTU3.TGRA のコンペアマッチを使用して開始要求を設定すると、MTU3.TCNT の山で A/D 変換を開始させることができます。

A/D 変換の開始要求は、TIER.TTGE ビットを“1”にすることで設定できます。MTU4.TCNT のアンダフロー（谷）の A/D 変換の開始要求は、MTU4.TIER.TTGE2 ビットを“1”にすることで設定できます。

(r) 相補 PWM モードのダブルバッファ機能

相補 PWM モード 3（山・谷で転送）時、TMDR2A.DRS ビットを“1”にすることにより、PWM 変更時の PWM 出力の最小分解能を ± 2 から ± 1 にすることが可能です。

バッファレジスタ A (MTU3.TGRD、MTU4.TGRC、MTU4.TGRD) を設定する際は、バッファレジスタ B (MTU3.TGRE、MTU4.TGRE、MTU4.TGRF) も同時に設定してください。設定手順の詳細は「20.3.8 (1) 相補 PWM モードの設定手順例」を参照してください。

注． バッファレジスタ B の値にバッファレジスタ A の値を設定した場合、PWM 出力が左右対称になります。バッファレジスタ B の値にバッファレジスタ A の値を設定しない場合、PWM 出力が非対称になります。

図 20.74 にダブルバッファ機能の動作例を示します。

各レジスタのデータ転送方式は下記のとおりです。

- MTU4.TGRD (バッファ A) 書き込み時に MTU4.TGRD (バッファ A) → Temp3A (テンポラリ A)、および MTU4.TGRF (バッファ B) → Temp3B (テンポラリ B) へのデータ転送
 - ①のタイミングで Temp3A (テンポラリ A) → MTU4.TGRB (コンペア) へのデータ転送
 - ②のタイミングで Temp3B (テンポラリ B) → MTU4.TGRB (コンペア) へのデータ転送
- 山区間 (Tb1 区間) ではコンペアレジスタとテンポラリレジスタ A、谷区間 (Tb2 区間) ではコンペアレジスタとテンポラリレジスタ B が有効

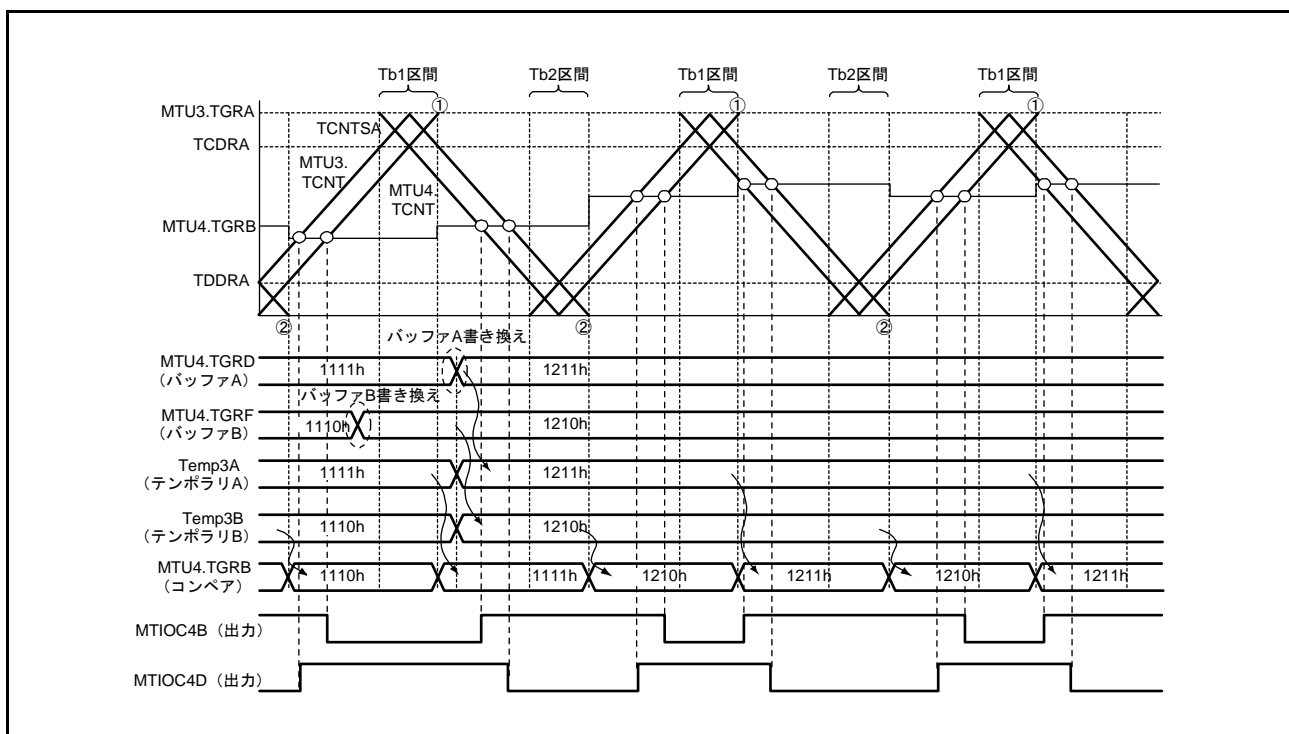


図 20.74 ダブルバッファ機能の動作例

バッファへの書き込み値が TDDRA レジスタより小さい場合を図 20.75 に、TCDRA レジスタより大きい場合を図 20.76 に示します。

山区間では、コンペアレジスタまたはテンポラリレジスタ A とのコンペアマッチで出力制御し、谷区間ではコンペアレジスタまたはテンポラリレジスタ B とのコンペアマッチで出力制御します。

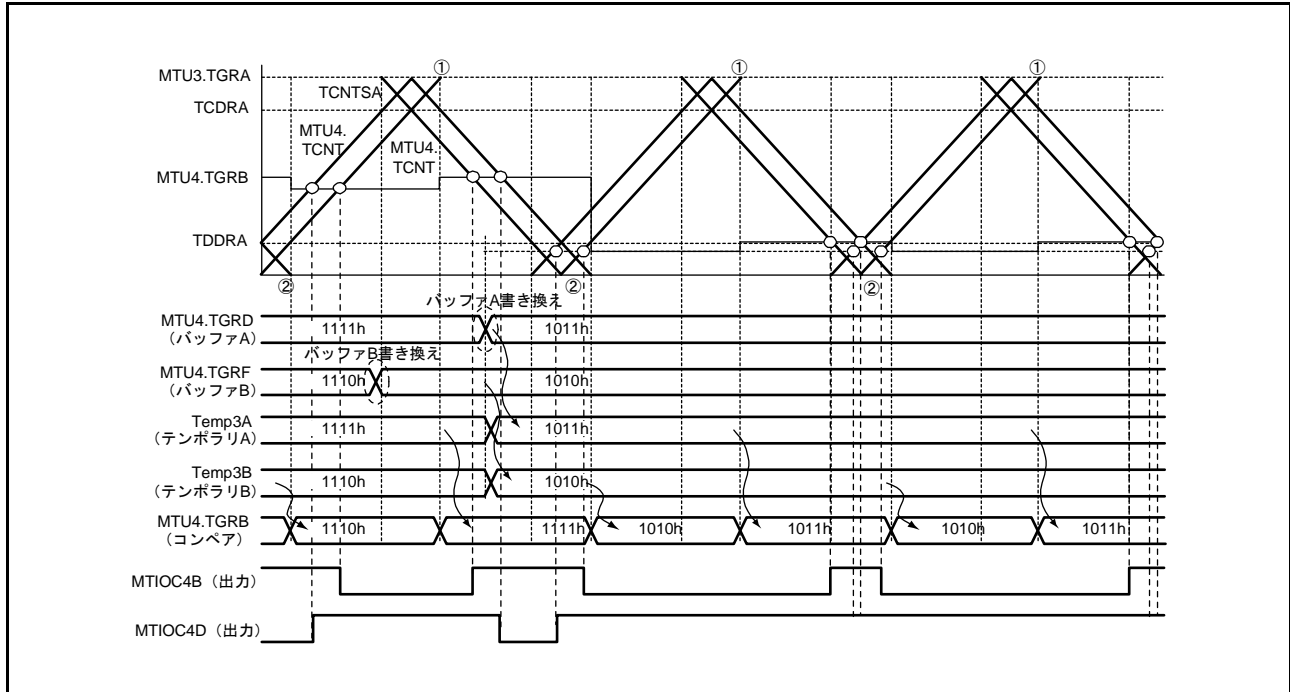


図 20.75 ダブルバッファ機能の動作例 (バッファへの書き込み値が TDDRA より小さい場合)

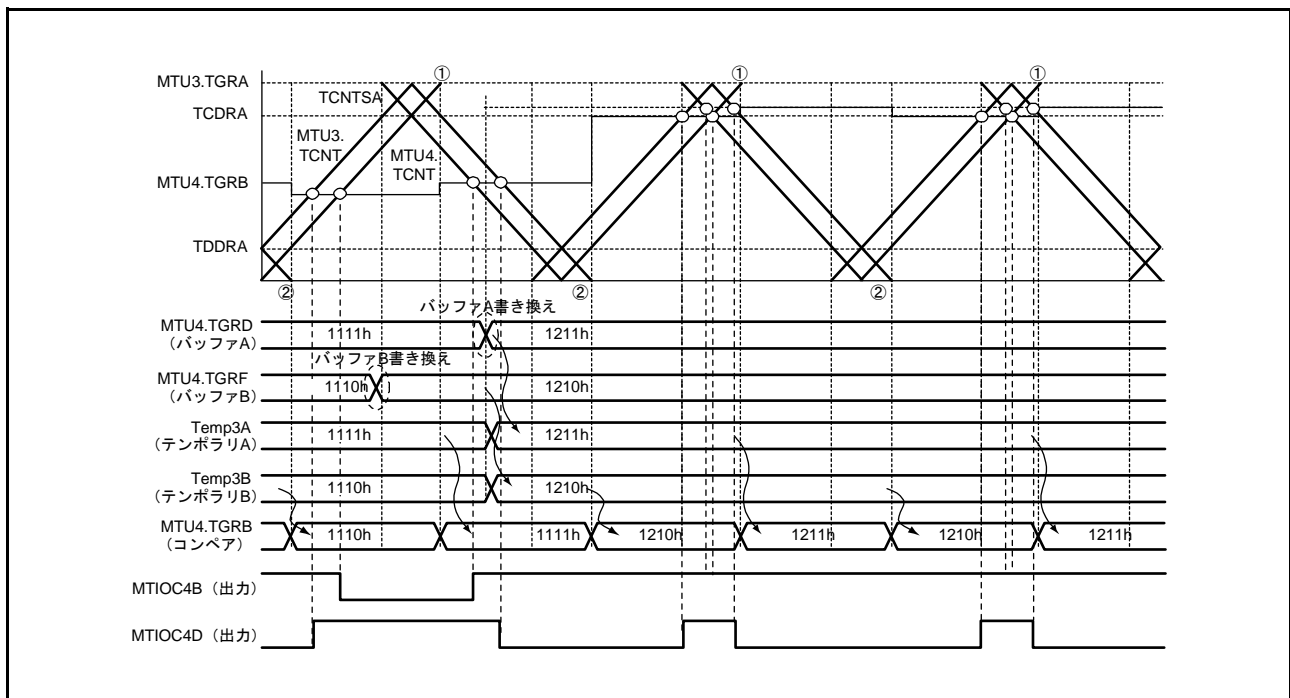


図 20.76 ダブルバッファ機能の動作例 (バッファへの書き込み値が TCDRA より大きい場合)

(3) 相補 PWM モードの割り込み間引き機能 1

MTU3、MTU4 の TGIA3（山の割り込み）、および TCIV4（谷の割り込み）は、TITCR1A レジスタを設定することにより、最大で7回まで割り込みを間引くことが可能です。

TBTERA レジスタを設定することにより、バッファレジスタからテンポラリレジスタ/コンペアレジスタへの転送を連動して間引くことが可能です。バッファレジスタとの連動については、「(c) 割り込み間引きと連動したバッファ転送制御」を参照してください。

MTU4.TADCR レジスタを設定することにより、A/D 変換開始要求ディレイド機能の A/D 変換開始要求を連動して間引くことが可能です。A/D 変換開始要求ディレイド機能との連動については「20.3.9 A/D 変換開始要求ディレイド機能」を参照してください。

TITCR1A レジスタの設定は、タイマ割り込み間引きモードレジスタ (TITMRA) の TITM ビットを“0”にし、割り込み間引き機能 1 を選択し、かつ MTU3.TIER レジスタの設定で TGIA3 割り込み要求を禁止した状態、MTU4.TIER レジスタの設定で TCIV4 割り込み要求を禁止した状態、かつコンペアマッチが発生しないタイミングで行ってください。また、間引き回数の変更前に、T3AEN、T4VEN ビットを“0”にして、間引きカウンタをクリアしてください。

(a) 割り込み間引き機能 1 の設定手順例

割り込み間引き機能 1 の設定手順例を図 20.77 に示します。また、割り込み間引き回数の変更可能期間を図 20.78 に示します。

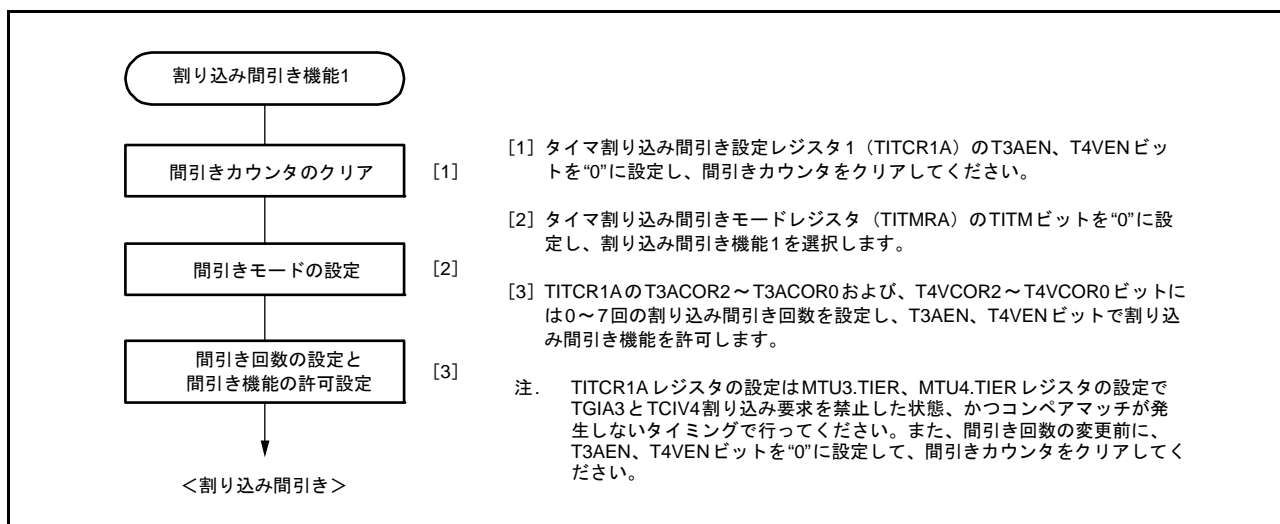


図 20.77 割り込み間引き機能 1 の設定手順例

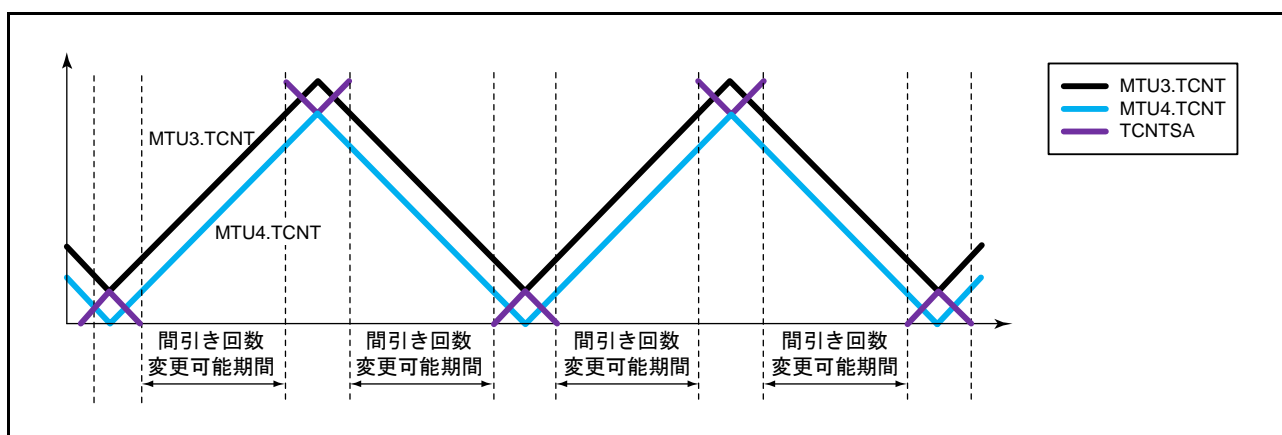


図 20.78 割り込み間引き回数の変更可能期間

(b) 割り込み間引き機能 1 の動作例

TITCR1A レジスタの T3ACOR ビットで割り込みの間引き回数を 3 回に設定し、T3AEN ビットを“1”にした場合の、TGIA3 割り込み間引きの動作例を図 20.79 に示します。

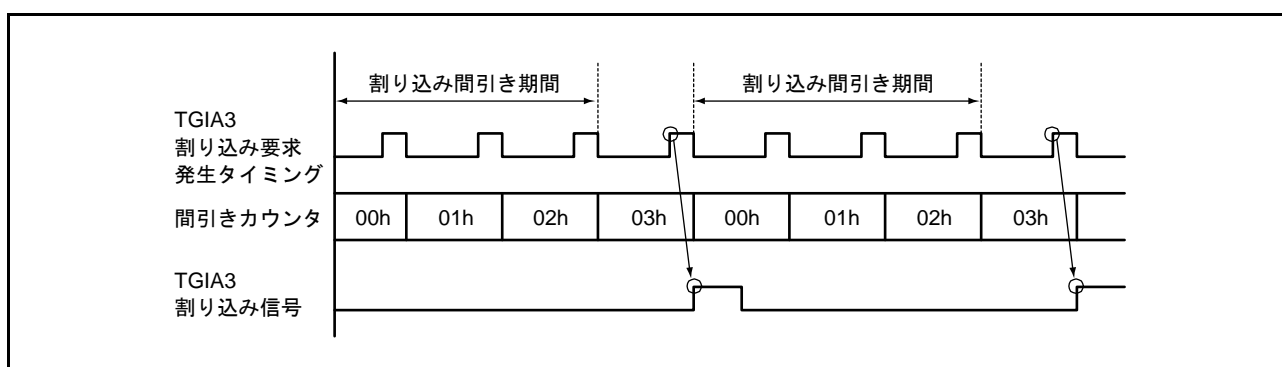


図 20.79 割り込み間引き機能 1 の動作例

(c) 割り込み間引きと連動したバッファ転送制御

TBTERA レジスタの BTE[1:0] ビットを設定することで、相補 PWM モード時、バッファレジスタからテンポラリレジスタへのバッファ転送をする / しない、または割り込み間引きと連動する / しないを選択することが可能です。

バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例を図 20.80 に示します。設定期間中は、バッファレジスタからテンポラリレジスタへの転送を行いません。

バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例を図 20.81 に示します。この設定にした場合は、バッファ転送許可期間以外ではバッファレジスタからテンポラリレジスタへの転送を行いません。

なお、TITCR1A レジスタの T3AEN ビットのみを“1”にした場合、T4VEN ビットのみを“1”にした場合、TITCR1A レジスタの T3AEN、T4VEN ビット両方を“1”にした場合で、それぞれバッファ転送許可期間が異なります。TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係を図 20.82 に示します。

注. 本機能は、割り込み間引き機能 1 と組み合わせて使用してください。

割り込み間引きが禁止のとき (タイマ割り込み間引き設定レジスタ 1 (TITCR1A) の T3AEN、T4VEN ビットを“0”に設定したとき、または TITCR1A の間引き回数設定ビット (T3ACOR、T4VCOR) を“0”に設定したとき) は、バッファ転送を割り込み間引きと連動しない設定 (TBTERA の BTE1 ビットを“0”に設定) してください。

割り込み間引きが禁止のときに、バッファ転送を割り込み間引きと連動する設定にした場合、バッファ転送は行われません。

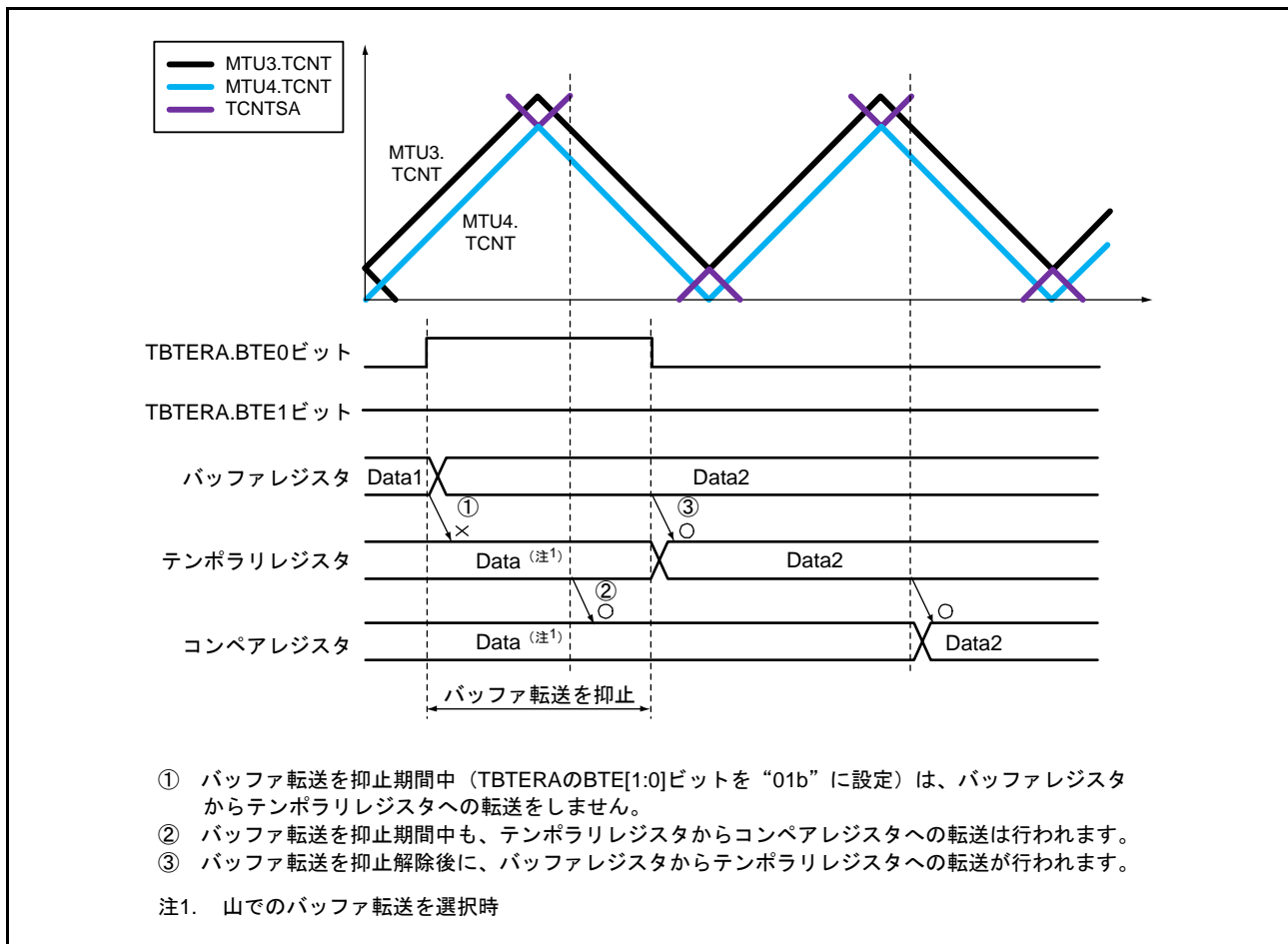


図 20.80 バッファ転送を抑止する設定 (BTE[1:0] = 01b) にした場合の動作例

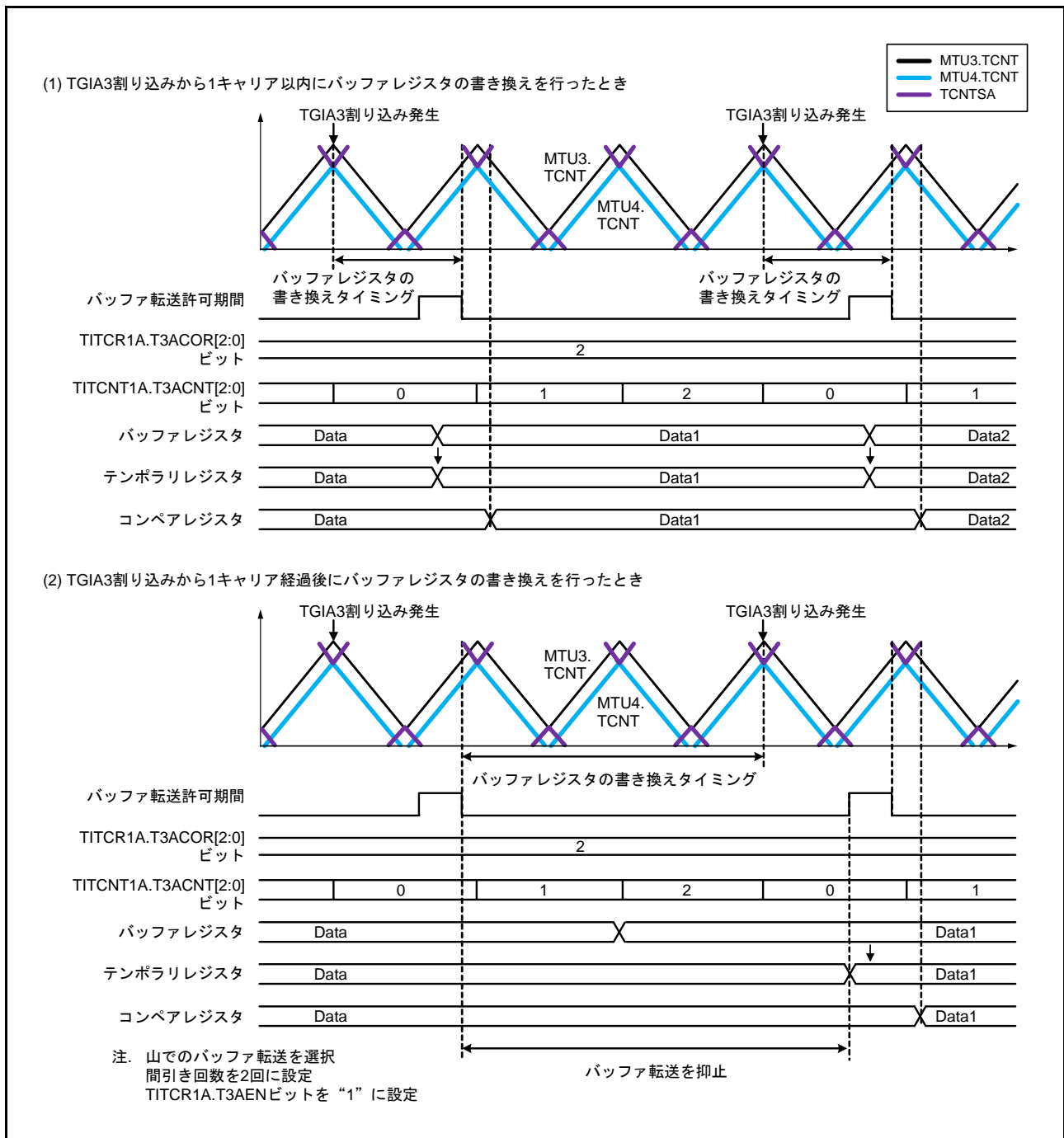


図 20.81 バッファ転送を割り込み間引きと連動する設定 (BTE[1:0] = 10b) にした場合の動作例

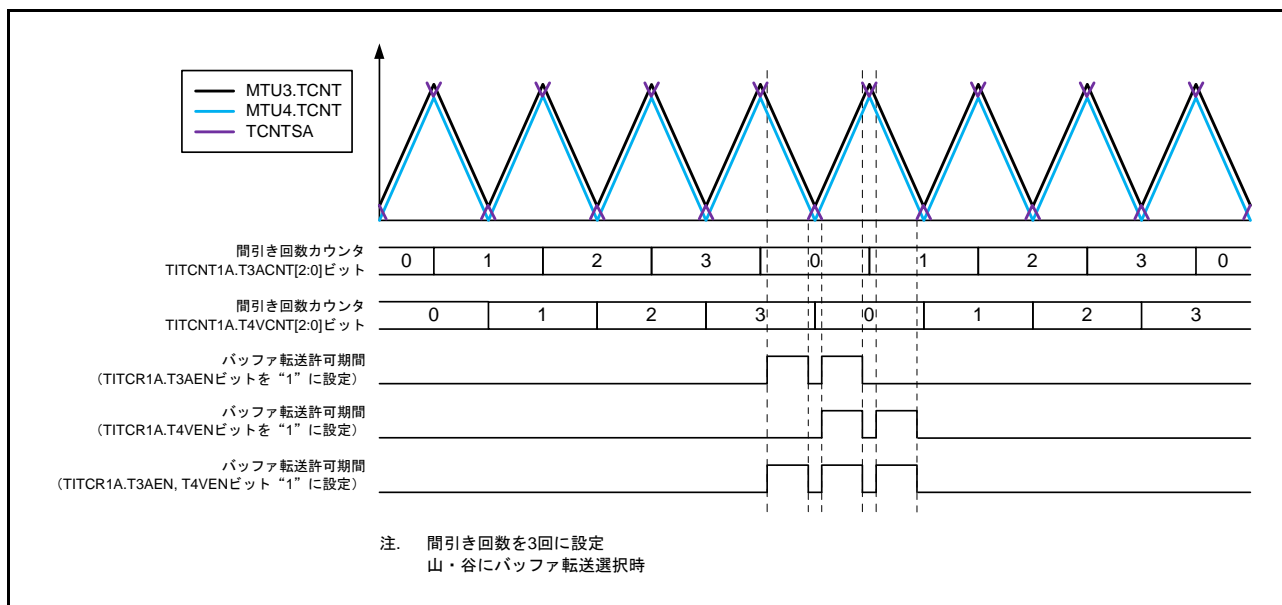


図 20.82 TITCR1A レジスタの T3AEN、T4VEN ビットの設定とバッファ転送許可期間の関係

(4) 相補 PWM モードの出力保護機能

相補 PWM モードの出力は、次の保護機能をもっています。

(a) レジスタ、カウンタの誤書き込み防止機能

モードレジスタ、コントロールレジスタ、コンペアレジスタおよびカウンタは、TRWERA レジスタの RWE ビットの設定により CPU からのアクセスの許可 / 禁止を選択することが可能です。対象となるレジスタは MTU3、MTU4 のレジスタの一部が対象となっており、次のレジスタに適用されます。

MTU3.TCR, MTU4.TCR, MTU3.TCR2, MTU4.TCR2, MTU3.TMDR1, MTU4.TMDR1, MTU3.TIORH, MTU4.TIORH, MTU3.TIORL, MTU4.TIORL, MTU3.TIER, MTU4.TIER, MTU3.TCNT, MTU4.TCNT, MTU3.TGRA, MTU4.TGRA, MTU3.TGRB, MTU4.TGRB, MTU.TOERA, MTU.TOCR1A, MTU.TOCR2A, MTU.TGCRA, MTU.TCDRA, MTU.TDDRA

計 24 レジスタ

この機能で、モードレジスタ、コントロールレジスタやカウンタを CPU からアクセス禁止に設定することにより、CPU の暴走による誤書き込みを防止することが可能です。アクセス禁止状態では、対象レジスタの読み出し値は不定で、書き込みは無効になります。

(b) 外部信号による PWM 出力の停止機能

MTU0、MTU3、MTU4 の PWM 出力端子は、自動的にハイインピーダンス状態にすることが可能です。詳細は、「21. ポートアウトプットイネーブル 3 (POE3b)」を参照してください。

20.3.9 A/D 変換開始要求ディレイド機能

MTU4 のタイマ A/D 変換開始要求コントロールレジスタ (MTU4.TADCR)、タイマ A/D 変換開始要求周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB)、タイマ A/D 変換開始要求周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) を設定することで、A/D 変換の開始要求を行うことが可能です。

A/D 変換開始要求ディレイド機能は、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB を比較し、MTU4.TCNT と MTU4.TADCORA、MTU4.TADCORB が一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

また、MTU4.TADCR レジスタの ITA3AE、ITA4VE、ITB3AE、ITB4VE ビットの設定により、割り込み間引き機能 1 と連動して A/D 変換の開始要求 (TRG4AN, TRG4BN) を間引くことが可能です。

(1) A/D 変換開始要求ディレイド機能の設定手順例

A/D 変換開始要求ディレイド機能の設定手順例を図 20.83 に示します。

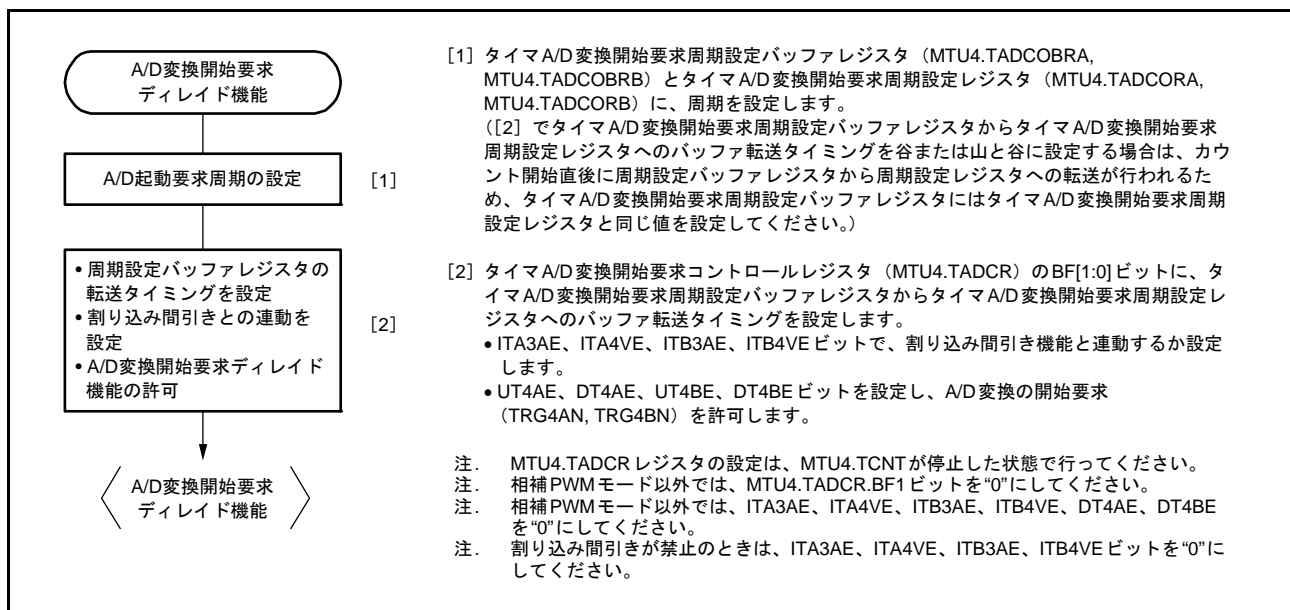


図 20.83 A/D 変換開始要求ディレイド機能の設定手順例 (MTU3, MTU4)

(2) A/D 変換開始要求ディレイド機能の基本動作例

バッファ転送タイミングを MTU4.TCNT の谷に設定し、MTU4.TCNT のダウンカウント時に A/D 変換の開始要求信号 (TRG4AN) を出力する設定にした場合の、A/D 変換の開始要求信号 (TRG4AN) の基本動作例を図 20.84 に示します。

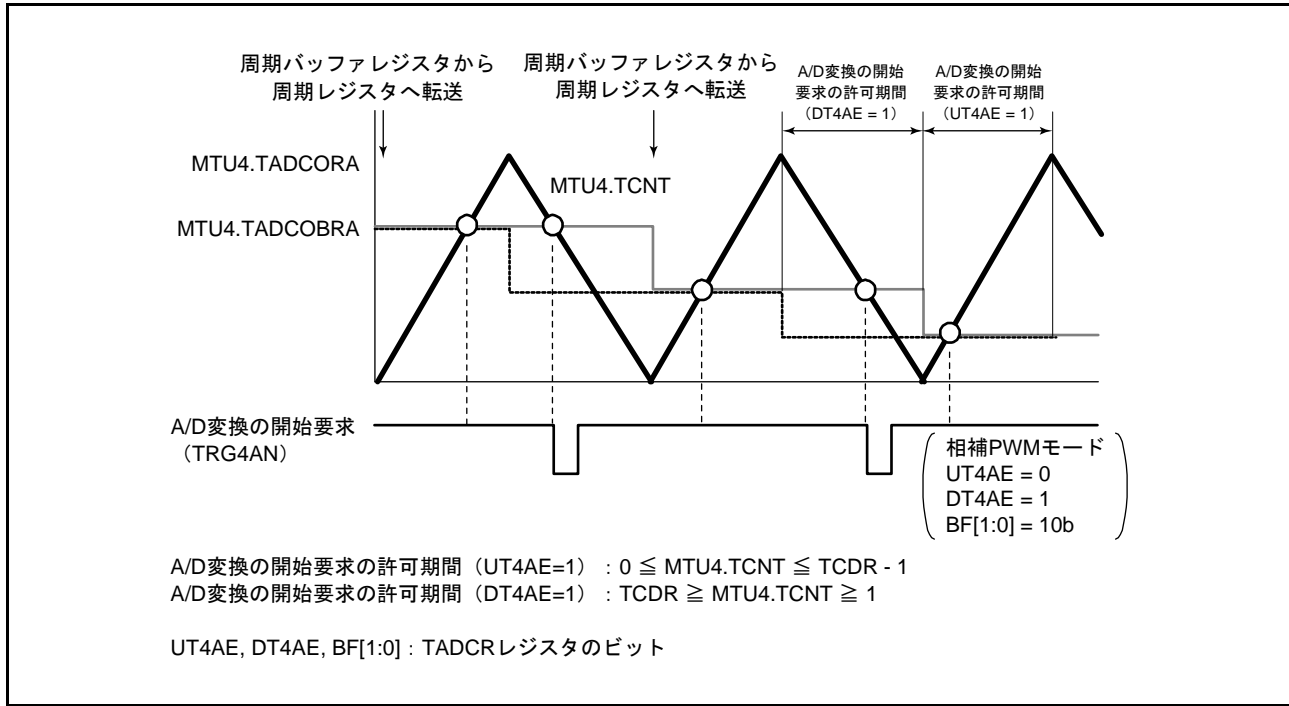


図 20.84 A/D 変換の開始要求信号 (TRG4AN) の基本動作例

(3) A/D 変換の開始要求の許可期間

MTU4.TADCR レジスタの UT4AE、UT4BE ビットで許可した期間内に MTU4.TCNT カウンタと MTU4.TADCORA、MTU4.TADCORB レジスタが一致したとき、それぞれの A/D 変換の開始要求 (TRG4AN, TRG4BN) を行います。

相補 PWM モードで MTU4.TADCR レジスタの UT4AE、UT4BE ビットを“1”にすると、MTU4.TCNT カウンタのアップカウント期間 ($0 \leq \text{MTU4.TCNT} \leq \text{TCDR} - 1$) に A/D 変換の開始要求を許可します。MTU4.TADCR レジスタの DT4AE、DT4BE ビットを“1”にすると、MTU4.TCNT カウンタのダウンカウント期間 ($\text{TCDR} \geq \text{MTU4.TCNT} \geq 1$) に A/D 変換の開始要求を許可します (図 20.84)。

(4) バッファ転送

タイマ A/D 起動要求用周期設定レジスタ (MTU4.TADCORA, MTU4.TADCORB) のデータ更新は、タイマ A/D 起動要求用周期設定バッファレジスタ (MTU4.TADCOBRA, MTU4.TADCOBRB) にデータを書き込むことにより行います。タイマ A/D 起動要求用周期設定バッファレジスタからタイマ A/D 起動要求用周期設定レジスタへの転送タイミングは、MTU4.TADCR レジスタの BF[1:0] ビットを設定することにより選択することができます。

また、相補 PWM モード時は MTU4.TGRD レジスタの書き換えのタイミングでも、タイマ A/D 変換開始要求周期設定バッファレジスタからタイマ A/D 変換開始要求周期設定レジスタへ転送します。

相補 PWM モードでバッファ転送を使用する場合、バッファ転送のタイミングについて注意事項があります。詳細は、「20.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項」を参照してください。

また、相補 PWM モード以外のときは、MTU4.TADCR レジスタの BF1 ビットを“0”にしてください。

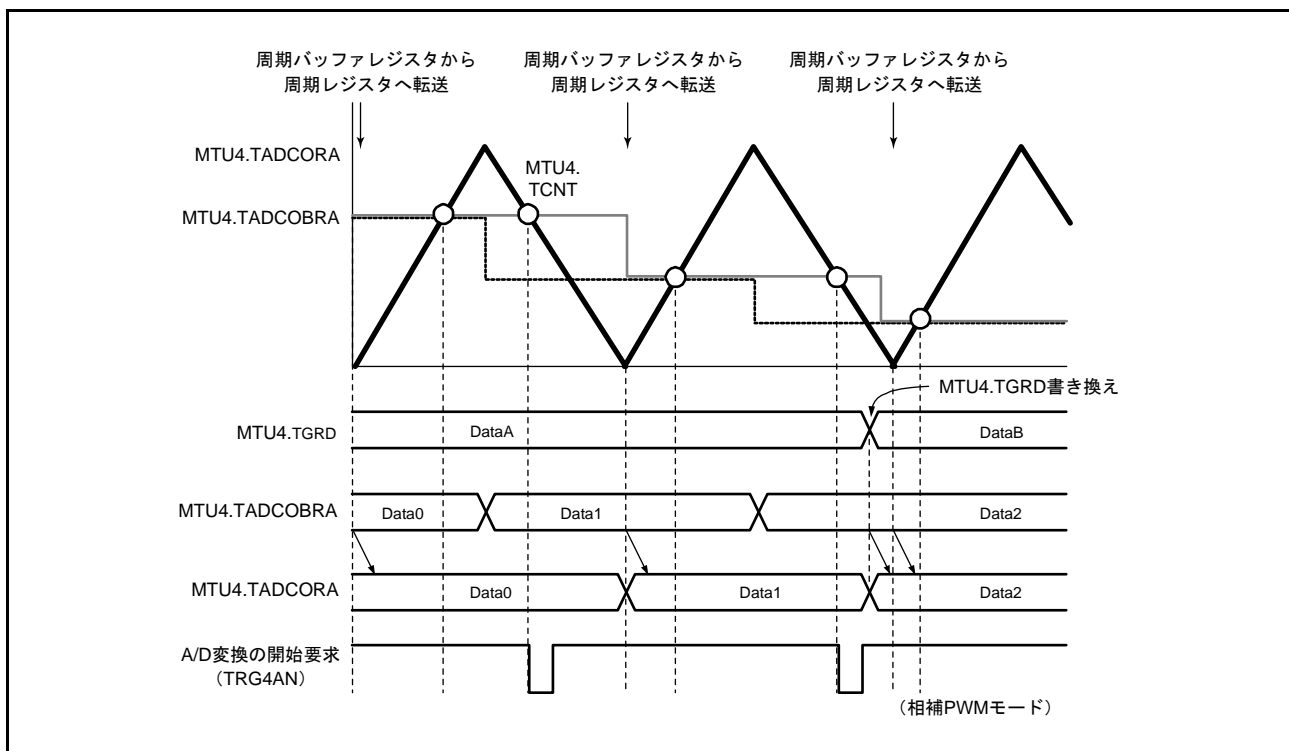


図 20.85 A/D 変換の開始要求信号 (TRG4AN) とバッファ転送動作例

(5) 割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能

相補PWMモードでは、MTU4.TADCRレジスタのITA3AE、ITA4VE、ITB3AE、ITB4VEビットの設定により、割り込み間引き機能1と連動してA/D変換の開始要求(TRG4AN, TRG4BN)を行うことが可能です。

MTU4.TCNTのアップカウント時、およびダウンカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号(TRG4AN)の動作例を図20.86に示します。

また、MTU4.TCNTのアップカウント時にTRG4AN出力を許可する設定にし、割り込み間引き機能1と連動した場合のA/D変換の開始要求信号(TRG4AN)の動作例を図20.87に示します。

相補PWMモード以外では、割り込み間引き機能1と連動したA/D変換開始要求ディレイド機能は使用できません。

MTU4.TADCRレジスタのITA3AE、ITA4VE、ITB3AE、ITB4VEビットを“0”にしてください。

- 注. 本機能は割り込み間引き機能1と組み合わせて使用してください。
 割り込み間引きが禁止のとき(タイマ割り込み間引き設定レジスタ(TITCR1A)のT3AEN、T4VENビットを“0”にしたとき、またはTITCR1Aレジスタの間引き回数設定ビット(T3ACOR、T4VCOR)を“0”にしたとき)は、割り込み間引き機能1と連動しない(MTU4.TADCR)レジスタのITA3AE、ITA4VE、ITB3AE、ITB4VEビットを“0”にする)設定にしてください。
 また、本機能使用時、MTU4.TADCORA、MTU4.TADCORBには“0002h”~TCDRAの設定値-2の値にしてください。

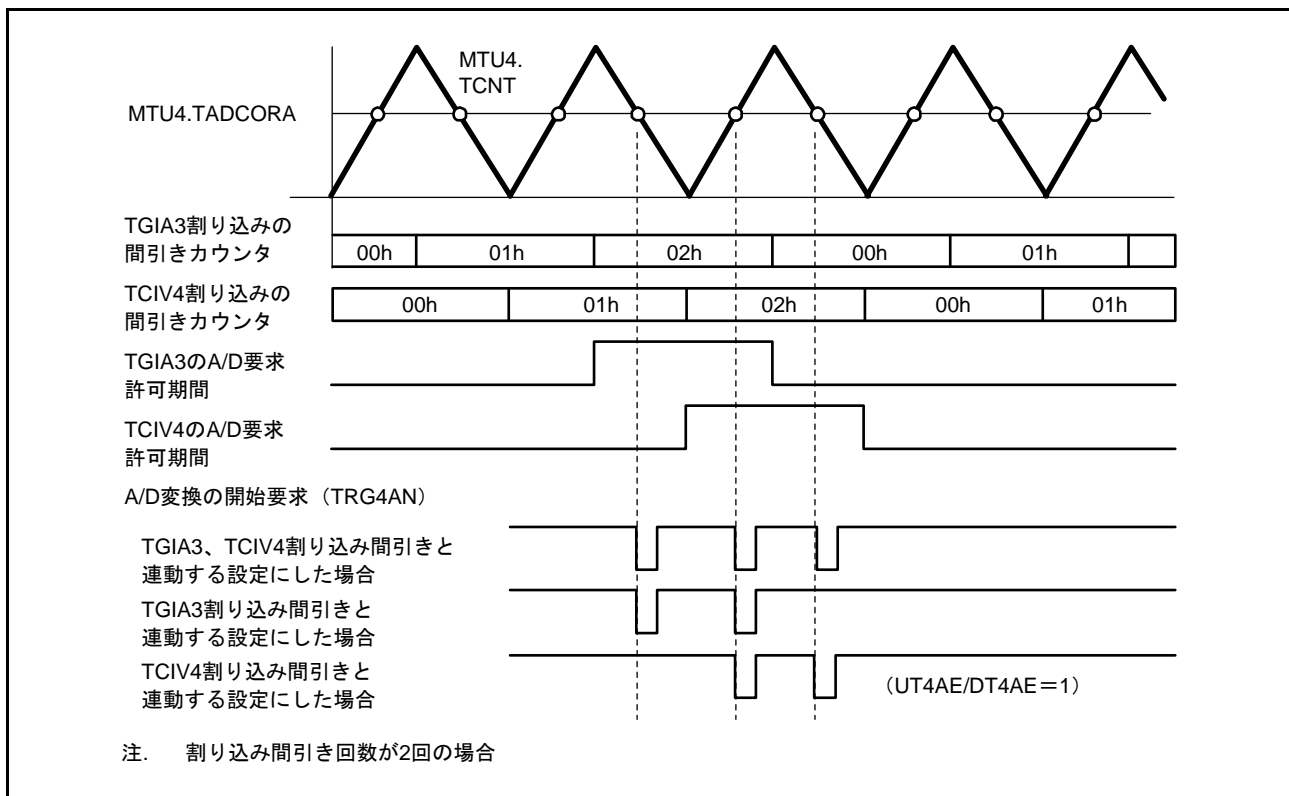


図 20.86 割り込み間引き機能1と連動した場合のA/D変換の開始要求信号(TRG4AN)の動作例(UT4AE、DT4AE = 1)

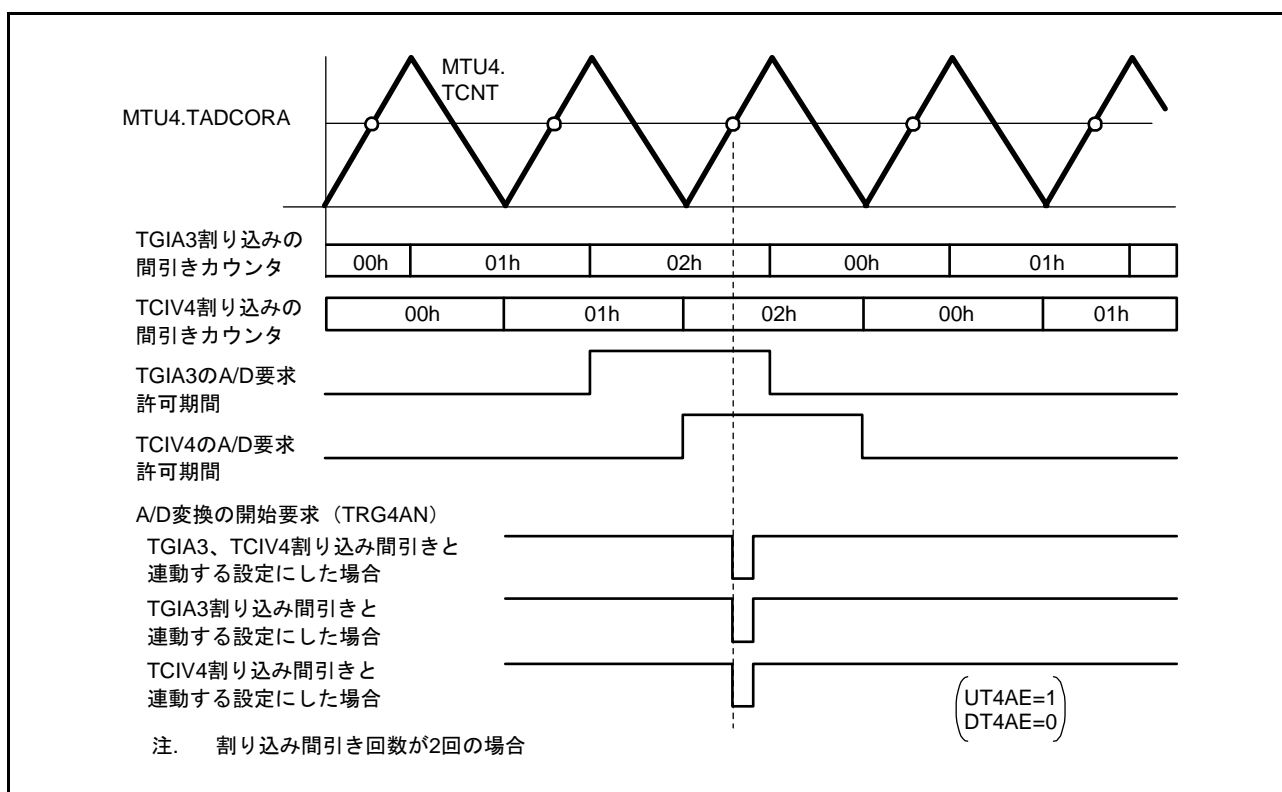


図 20.87 割り込み間引き機能 1 と連動した場合の A/D 変換の開始要求信号 (TRG4AN) の動作例 (UT4AE = 1, DT4AE = 0)

(6) 割り込み間引き機能2と連動したA/D変換開始要求ディレイド機能

TITMRAレジスタのTITMビットを“1”にし、TITCR2AレジスタのTRG4COR[2:0]ビットで設定した値(0～7)から、既存のA/D変換開始トリガ(TRG4ANおよびTRG4BN)が発生するごとにカウントダウンし、カウンタ値が“0”になり、リロードが起きたとき、TRG4ANおよびTRG4BNの割り込みが有効になり、AD変換開始要求信号(TRG4ABN)が出力されます。

この機能はAD変換開始要求ディレイド機能の使用時のみ有効になります。

(a) 割り込み間引き機能2の設定手順例

図 20.88 に割り込み間引き機能2の設定手順例を示します。

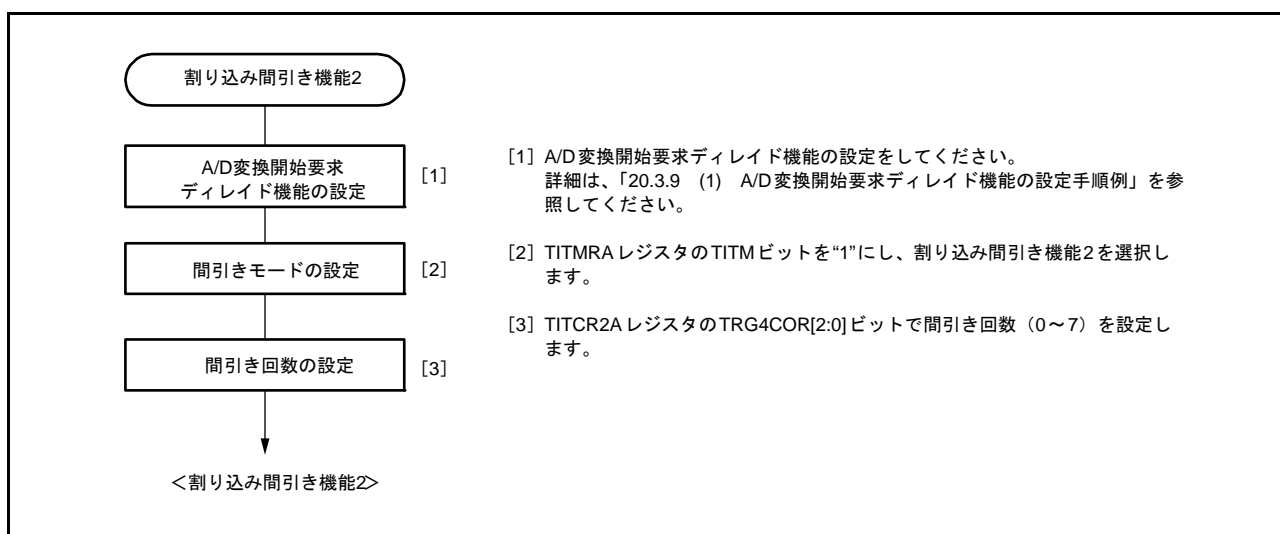


図 20.88 割り込み間引き機能2の設定手順例

(b) 割り込み間引き機能 2 の動作例

図 20.89 に割り込み間引き機能 2 の動作例を示します。

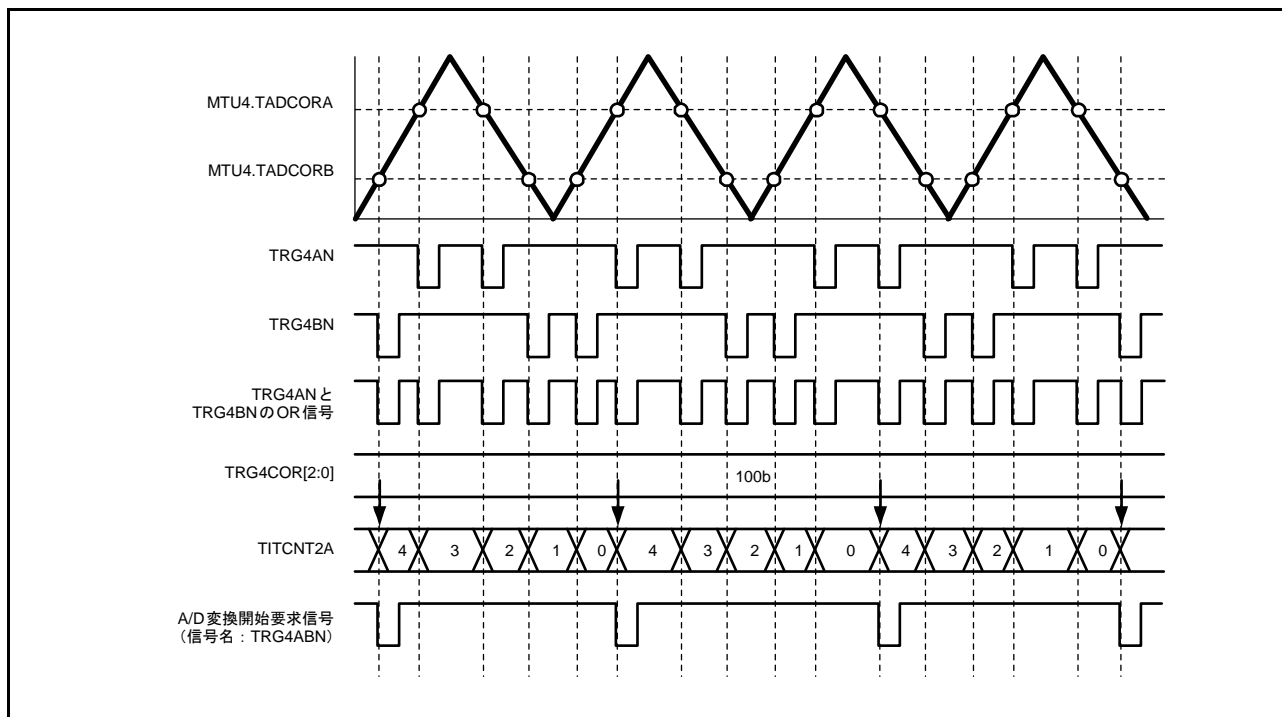


図 20.89 割り込み間引き機能 2 の動作例 (間引き回数を 4 回とした場合)

20.3.10 MTU0 ~ MTU4 の同期動作

(1) MTU0 ~ MTU4 カウンタ同期スタート

TCSYSTR レジスタを設定することにより、MTU0 ~ MTU4 のカウンタを同期スタートすることができます。

(a) MTU0 ~ MTU4 カウンタ同期スタートの設定手順例

図 20.90 に MTU0 ~ MTU4 カウンタ同期スタートの設定手順例を示します。

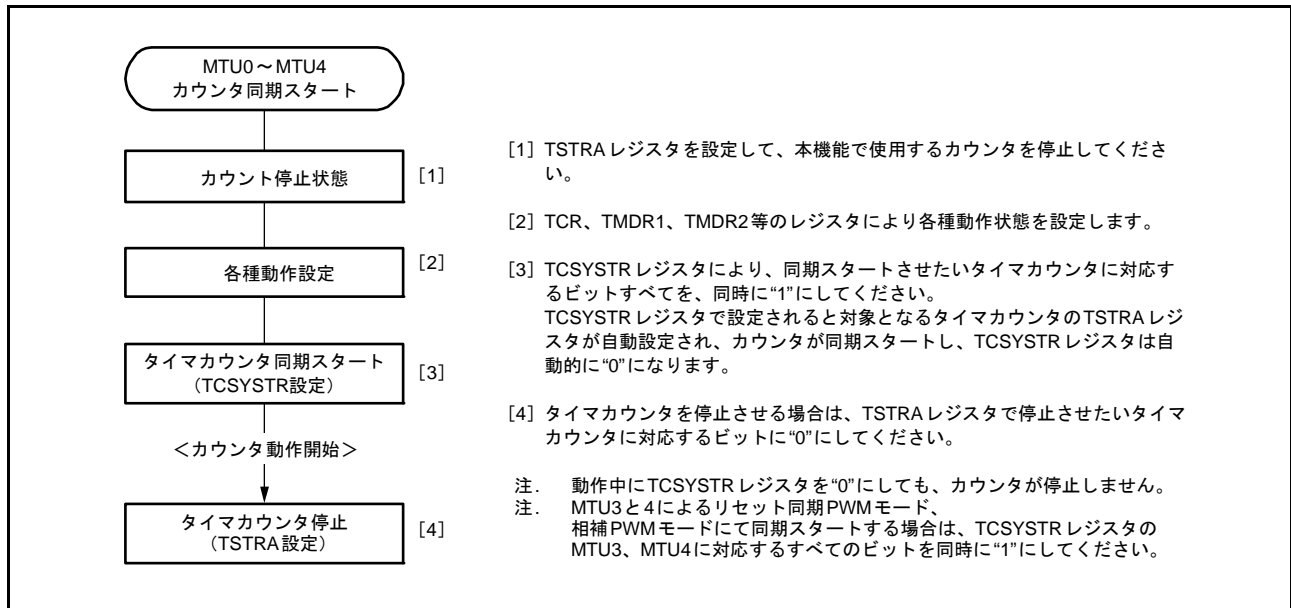


図 20.90 MTU0 ~ MTU4 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 20.91 に MTU0 ~ MTU4 カウンタ同期スタートの動作例を示します。

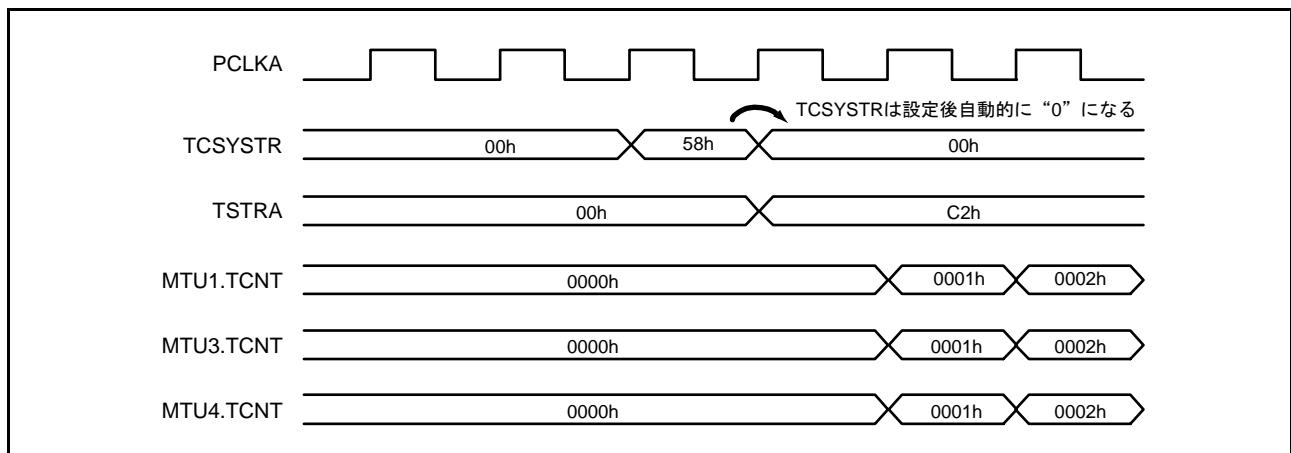


図 20.91 MTU0 ~ MTU4 カウンタ同期スタートの動作例

20.3.11 外部パルス幅測定機能

MTU5 は、最大 3 本の外部パルス幅を測定することができます。

MTU5.TIORU、MTU5.TIORV、MTU5.TIORW の IOC[4:0] ビットにパルス幅測定条件を設定すると、MTIC5U 端子、MTIC5V 端子、MTIC5W 端子に入力された信号のパルス幅を測定します。IOC[4:0] ビットで指定したレベルが入力されている間、TCNTU、TCNTV、TCNTW はカウントアップします。

外部パルス幅測定の設定例を図 20.92 に、動作例を図 20.93 に示します。

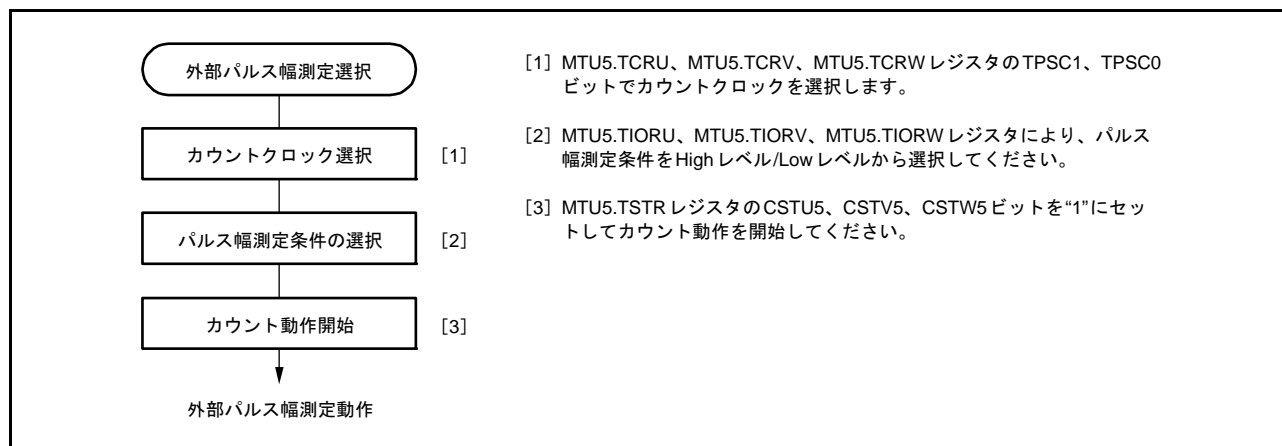


図 20.92 外部パルス幅測定の設定手順例

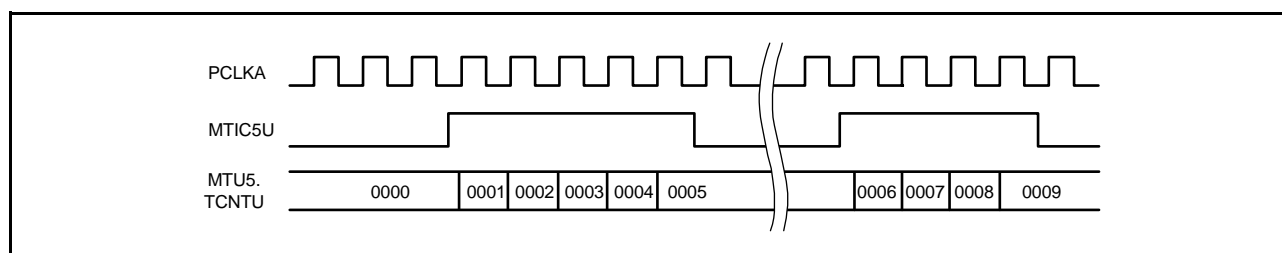


図 20.93 外部パルス幅測定の動作例 (High パルス幅測定)

20.3.12 デッドタイム補償機能

図 20.94 に、デッドタイム遅れ（相補 PWM 出力とインバータ出力間の遅延）を MTU5 にフィードバックするモータ制御の回路例を示します。MTU5 の外部パルス測定機能で相補 PWM 出力とインバータ出力間の遅延を測定してデューティ比に反映することで、MTU3、MTU4 を使用した相補 PWM 動作時の PWM 出力波形に対するデッドタイムを補償することができます（図 20.95）。MTU5 を使用したデッドタイム補償の設定手順を図 20.96 に示します。このときの MTU5 の動作については、「20.3.13 相補 PWM モード時の「山/谷」での TCNTU, TCNTV, TCNTW キャプチャ動作」を参照してください。

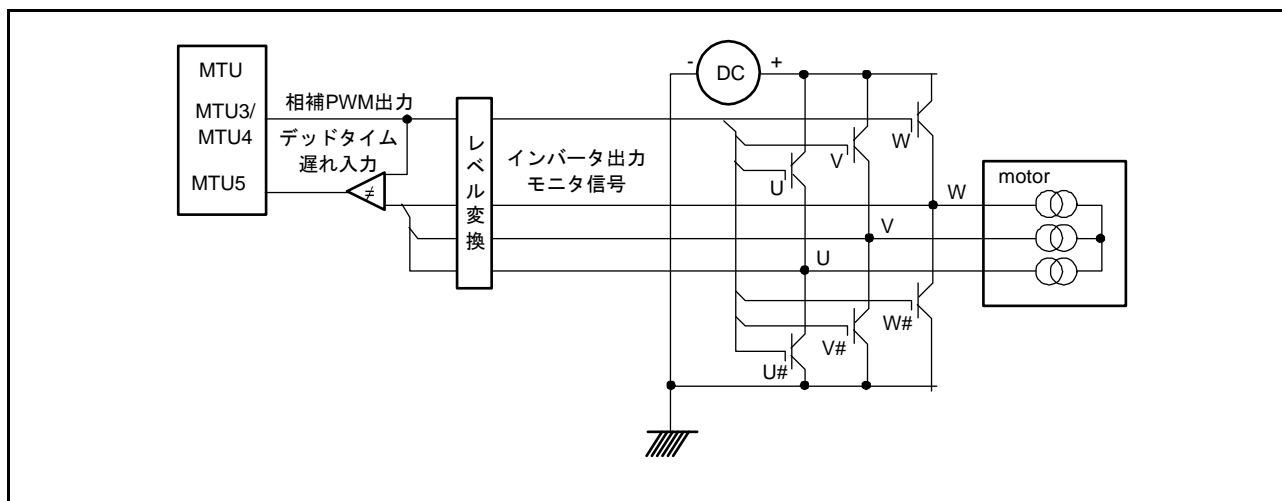


図 20.94 モータ制御回路例

(1) デッドタイム補償機能の設定手順例

MTU5 の3本のカウンタを使用したデッドタイム補償機能の設定手順例を図 20.95 に示します。

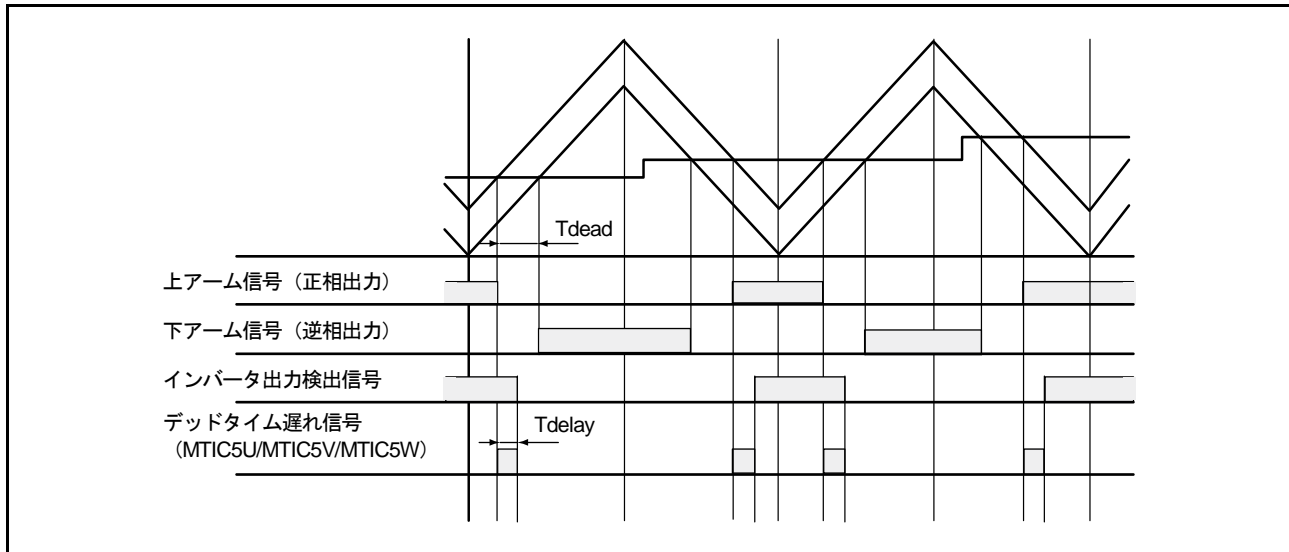


図 20.95 相補 PWM 動作時のデッドタイム遅れ

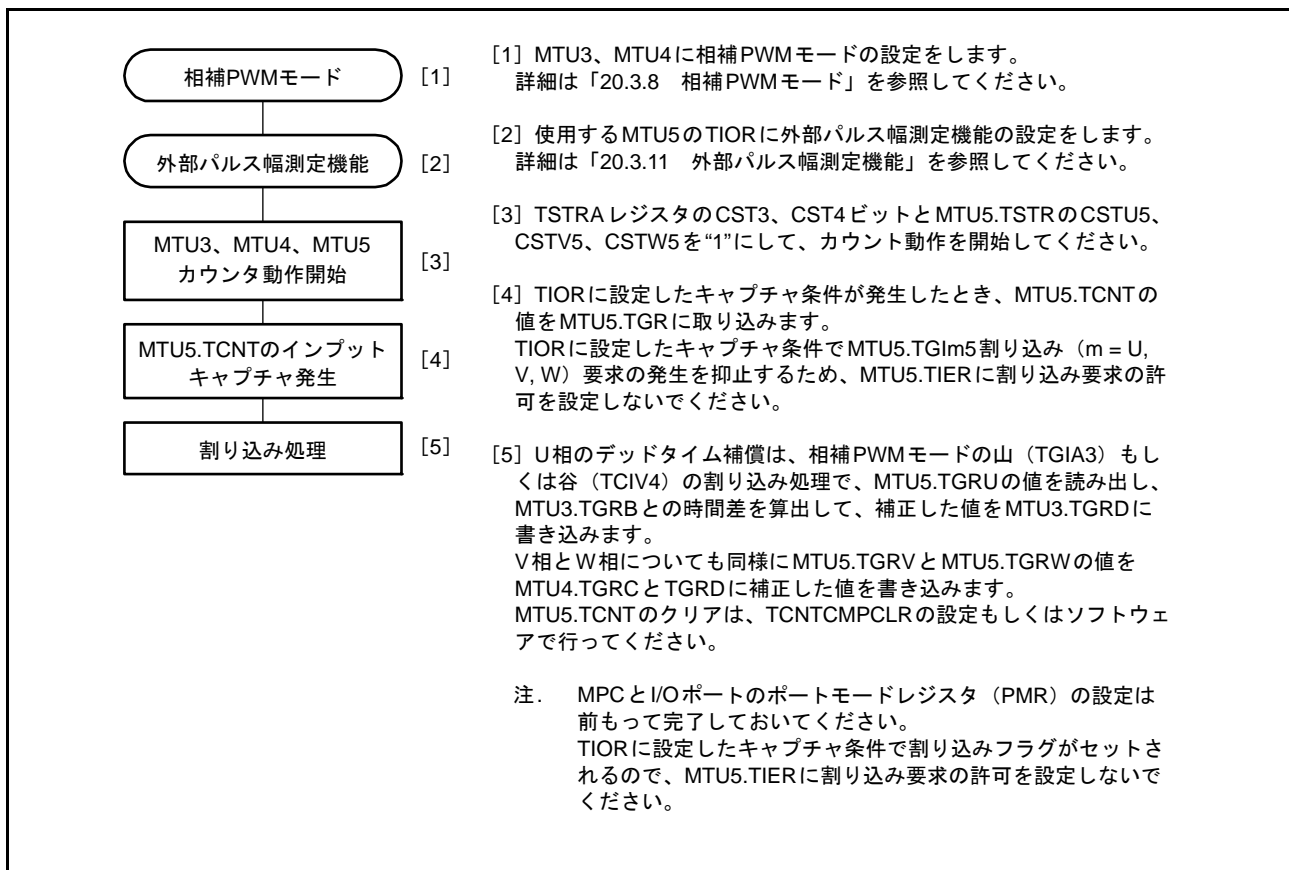


図 20.96 デッドタイム補償機能の設定手順例

20.3.13 相補 PWM モード時の「山/谷」での TCNTU, TCNTV, TCNTW キャプチャ動作

MTU5 の外部パルス幅測定機能は、相補 PWM モードで動作時に相補 PWM の「山、谷、山/谷」で TCNTU, TCNTV, TCNTW の値を TGRU, TGRV, TGRW に転送します。転送タイミングは TIORU, TIORV, TIORW に設定します。また TCNTCMPCLR レジスタの CMPCLR5U, CMPCLR5V, CMPCLR5W ビットを“1”に設定すると TGRU, TGRV, TGRW への転送タイミングで TCNTU, TCNTV, TCNTW を“0”にクリアします。

図 20.97 は TCNTU をフリーランでクリアせずに使用し、相補 PWM モードの「山、谷」で TGRU にキャプチャを行った動作例です。

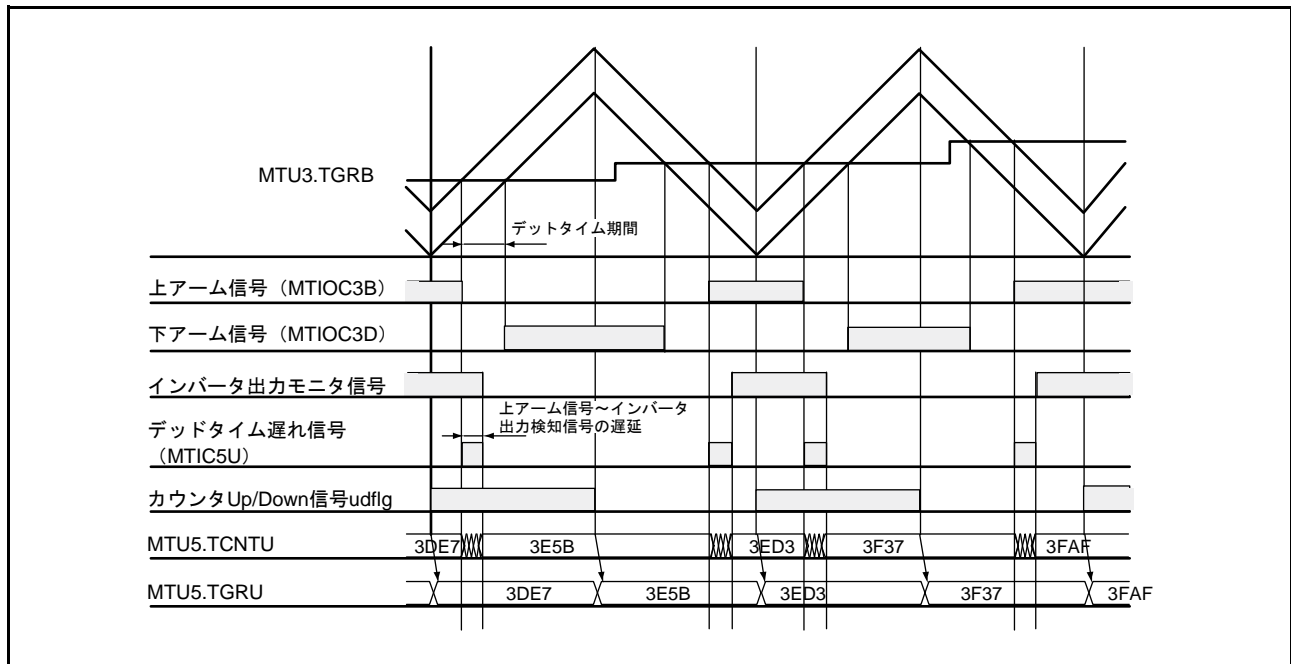


図 20.97 相補 PWM の「山/谷」での TCNTU キャプチャ動作

20.3.14 ノイズフィルタ機能

インプットキャプチャ入力端子、および外部クロック入力端子にはノイズフィルタ機能があります。

NFCRn レジスタ (n=0~5, C) にノイズフィルタ機能の有効/無効、およびサンプリングクロックの設定をしてください。ノイズフィルタ機能の有効/無効は端子ごとに設定でき、サンプリングクロックの設定はチャンネルごとに設定できます。図 20.98 にノイズフィルタのタイミングを示します。

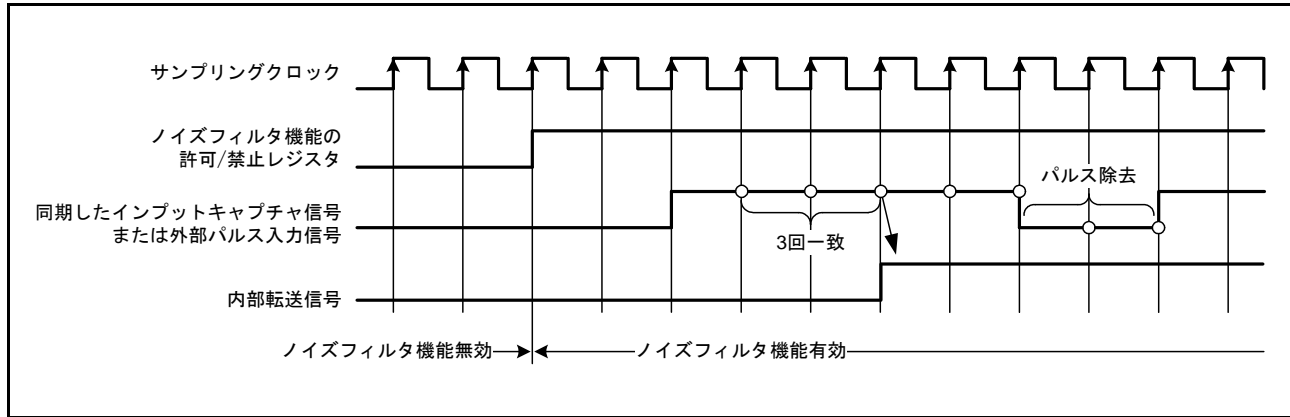


図 20.98 ノイズフィルタのタイミング

20.3.15 A/D 変換開始要求フレーム同期信号

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。

TADSTRGR0 レジスタでモニタしたい A/D 変換要求信号を選択すると ADSM0 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。

図 20.99 に A/D 変換開始要求フレーム同期信号出力例を示します。

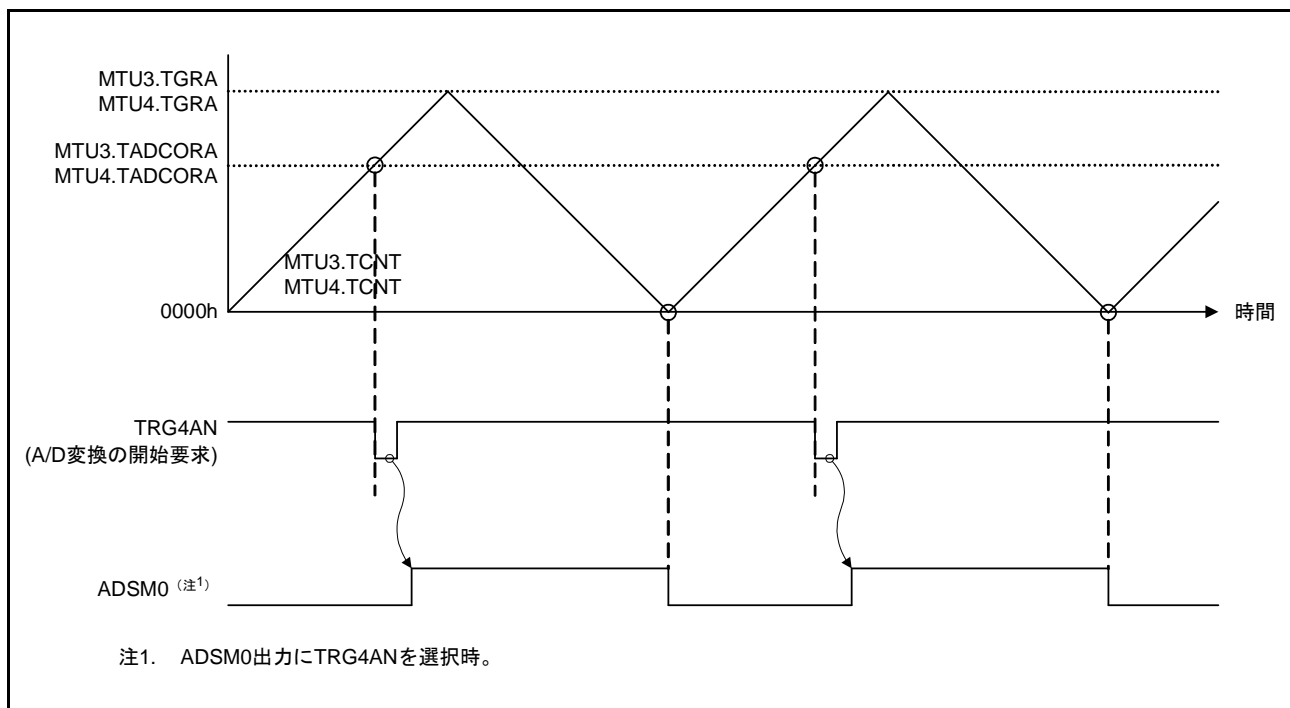


図 20.99 A/D 変換開始要求フレーム同期信号出力例

20.4 割り込み要因

20.4.1 割り込み要因と優先順位

割り込み要因には、TGR のインプットキャプチャ/コンペアマッチ、TCNT のオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用の許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TIER レジスタの対応する許可/禁止ビットが“1”ならば、割り込みを要求します。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「14. 割り込みコントローラ (ICUb)」を参照してください。表 20.63 に MTU の割り込み要因の一覧を示します。

表 20.63 MTU 割り込み要因

チャンネル	名称	割り込み要因	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	↑ 高
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー (注1)	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能	低
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

注1. 相補PWMモード時のみ

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチが発生したとき、TIER.TGIEビットが“1”であれば、割り込みを要求します。MTUには、MTU0に6本、MTU3、MTU4に各4本、MTU1、MTU2に各2本、MTU5に3本、計21本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルのTCNTのオーバフローが発生したとき、TIER.TCIEVビットが“1”であれば、割り込みを要求します。MTUには、MTU5を除く各チャンネルに1本、計5本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルのTCNTのアンダフローが発生したとき、TIER.TCIEUビットが“1”であれば、割り込みを要求します。MTUには、MTU1、MTU2に各1本、計2本のアンダフロー割り込みがあります。

20.4.2 DTCの起動

(1) DTCの起動

各チャンネルのTGRのインพุットキャプチャ/コンペアマッチ割り込み、MTU4のオーバフロー割り込みによって、DTCを起動することができます。詳細は「17. データトランスファコントローラ (DTCa)」を参照してください。

MTUでは、MTU0、MTU3が各4本、MTU1、MTU2が各2本、MTU4が5本、MTU5が3本、計20本のインพุットキャプチャ/コンペアマッチ割り込み、オーバフロー割り込みをDTCの起動要因とすることができます。

20.4.3 A/D コンバータの起動

MTUでは、次の3種類の方法でA/Dコンバータを起動することができます。
各割り込み要因とA/D変換開始要求の対応を、表20.64に示します。

(1) TGRAのインプットキャプチャ/コンペアマッチと、相補PWMモード時のMTU4.TCNTの谷でのA/D起動

各チャンネルのTGRAのインプットキャプチャ/コンペアマッチによって、A/Dコンバータを起動することができます。また、MTU4.TIERのTTGE2ビットを“1”にした状態で、相補PWM動作をさせた場合は、MTU4.TCNTが谷(MTU4.TCNT=0000h)になったときもA/Dコンバータを起動することができます。

次に示す条件で、A/Dコンバータに対してA/D変換開始要求TRGAnN (n=0~4)を発生します。

- 各チャンネルのTGRAのインプットキャプチャ/コンペアマッチが発生したとき、TIER.TTGEビットが“1”になっていた場合
- MTU4.TIERのTTGE2ビットが“1”の状態で、相補PWM動作をさせ、MTU4.TCNTが谷(MTU4.TCNT=0000h)になった場合

これらのときA/Dコンバータ側でMTUの変換開始トリガTRGAnNが選択されていれば、A/D変換が開始されます。

(2) MTU0.TCNTとMTU0.TGREのコンペアマッチによるA/D起動

MTU0.TCNTとMTU0.TGREのコンペアマッチによって、A/D変換開始要求TRG0Nを発生し、A/Dコンバータを起動することができます。

MTU0.TCNTとMTU0.TGREのコンペアマッチが発生したとき、MTU0.TIER2のTTGE2ビットが“1”になっていれば、A/Dコンバータに対してA/D変換開始要求TRG0Nを発生します。このとき、A/Dコンバータ側でMTUの変換開始トリガTRG0Nが選択されていれば、A/D変換が開始されます。

(3) A/D変換開始要求ディレイド機能によるA/D起動

A/D変換開始要求コントロールレジスタ(MTU4.TADCRCR)のUT4AE、DT4AE、UT4BE、DT4BEビットを“1”にした場合、MTU4.TADCORA、MTU4.TADCORBとMTU4.TCNTの一致によって、TRG4AN、TRG4BNを発生し、A/Dコンバータを起動することができます。また、TRG4ANの発生またはTRG4BNの発生にてTRG4ABNを出力し、A/Dコンバータを起動することができます。詳細は「20.3.9 A/D変換開始要求ディレイド機能」を参照してください。

TRG4ANが発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ANが選択されているとき、TRG4BNが発生しA/Dコンバータ側でMTUの変換開始トリガTRG4BNが選択されているとき、TRG4ABNが発生しA/Dコンバータ側でMTUの変換開始トリガTRG4ABNが選択されているとき、おのおのA/D変換が開始されます。

表 20.64 各割り込み要因と A/D 変換開始要求の対応

対象	割り込み要因	A/D 変換開始要求
MTU0.TGRA と MTU0.TCNT	インプットキャプチャ/コンペアマッチ	TRGA0N
MTU1.TGRA と MTU1.TCNT		TRGA1N
MTU2.TGRA と MTU2.TCNT		TRGA2N
MTU3.TGRA と MTU3.TCNT		TRGA3N
MTU4.TGRA と MTU4.TCNT (注1)		TRGA4N
MTU4.TCNT	相補PWMモード時のMTU4.TCNTの谷	
MTU0.TGRE と MTU0.TCNT	コンペアマッチ	TRG0N
MTU4.TADCORA と MTU4.TCNT		TRG4AN
MTU4.TADCORB と MTU4.TCNT		TRG4BN
MTU4.TADCORA と MTU4.TCNT、 MTU4.TADCORB と MTU4.TCNT	コンペアマッチ (割り込み間引き機能2)	TRG4ABN

注1. 相補PWMモード時はPWM波形を生成するため、MTU4.TGRAはMTU4.TCNTだけではなく、MTU3.TCNTやTCNTSAともコンペアマッチの検出を行っています。そのため、MTU3.TCNTやTCNTSAとコンペアマッチが起こった際もTRGA4Nを発生します。

MTU3、MTU4を相補PWMモードで動作させて、A/D変換開始要求を発生させる場合はMTU4.TCNTとMTU4.TADCORA/BとのコンペアマッチによるA/D変換開始要求を使用してください。

20.5 動作タイミング

20.5.1 入出力タイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 20.100、図 20.101 に示します。また、外部クロック動作（ノーマルモード）の場合の TCNT のカウントタイミングを図 20.102 に、外部クロック動作（位相計数モード）の場合の TCNT のカウントタイミングを図 20.103 に示します。

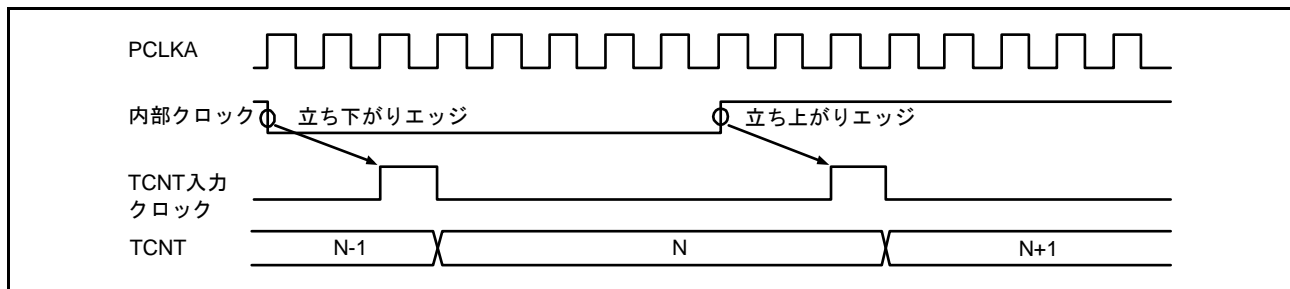


図 20.100 内部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

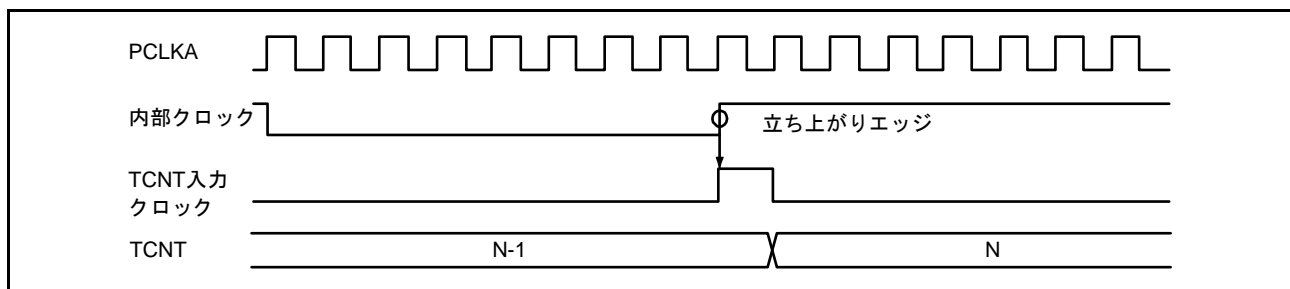


図 20.101 内部クロック動作時のカウントタイミング (MTU5)

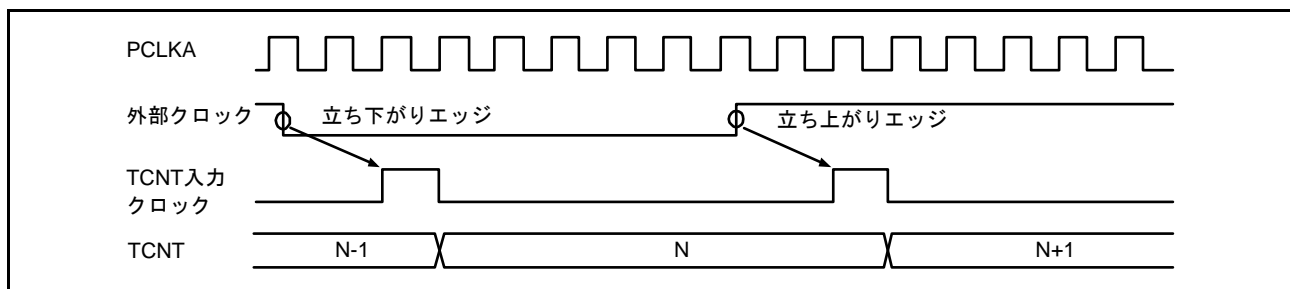


図 20.102 外部クロック動作時のカウントタイミング (MTU0 ~ MTU4)

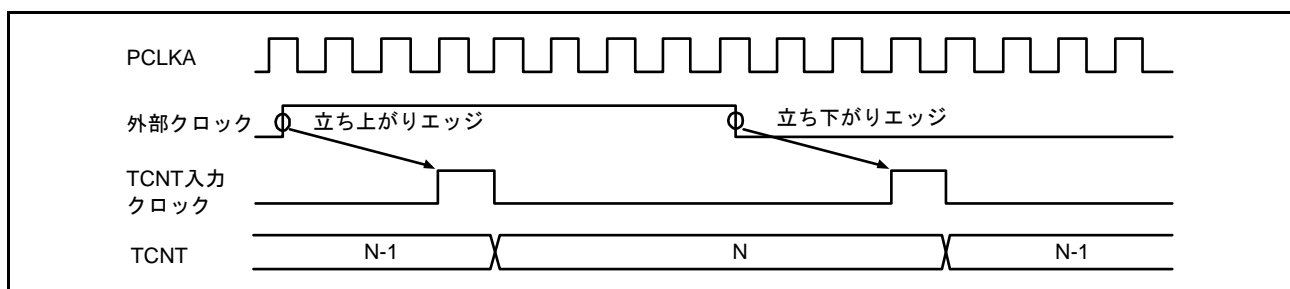


図 20.103 外部クロック動作時のカウントタイミング (位相計数モード)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNTとTGRが一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）で発生します。コンペアマッチ信号が発生したとき、TIOCRレジスタで設定した出力値がMTIOCNm端子（ $n=0\sim 4$ 、 $m=A\sim D$ ）に出力されます。TCNTとTGRが一致した後、TCNT入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）を図20.104に、アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）を図20.105に示します。

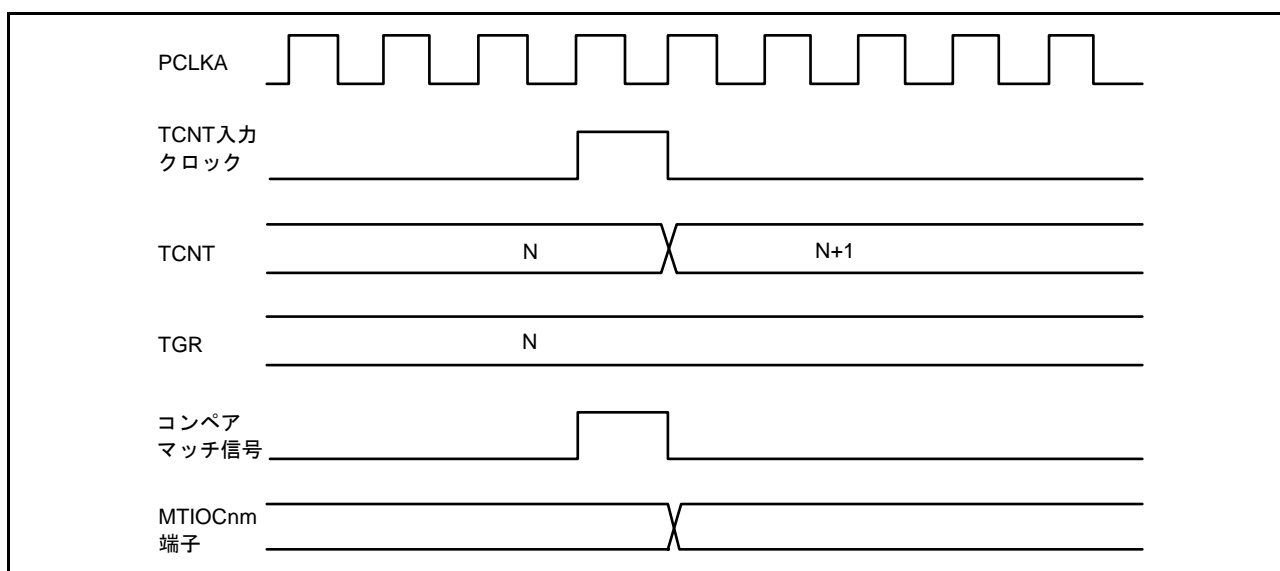


図 20.104 アウトプットコンペア出力タイミング（ノーマルモード、PWMモード）
($n=0\sim 4$ 、 $m=A\sim D$)

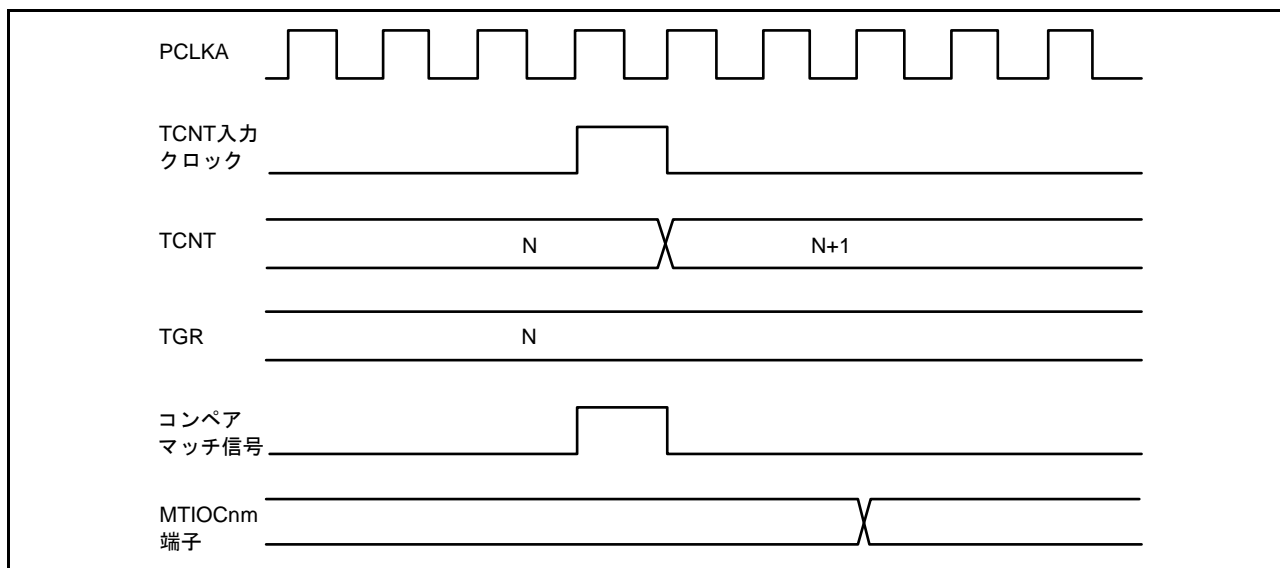


図 20.105 アウトプットコンペア出力タイミング（相補PWMモード、リセット同期PWMモード）
($n=0\sim 4$ 、 $m=A\sim D$)

(3) インพุットキャプチャ信号タイミング

インพุットキャプチャのタイミングを図 20.106 に示します。

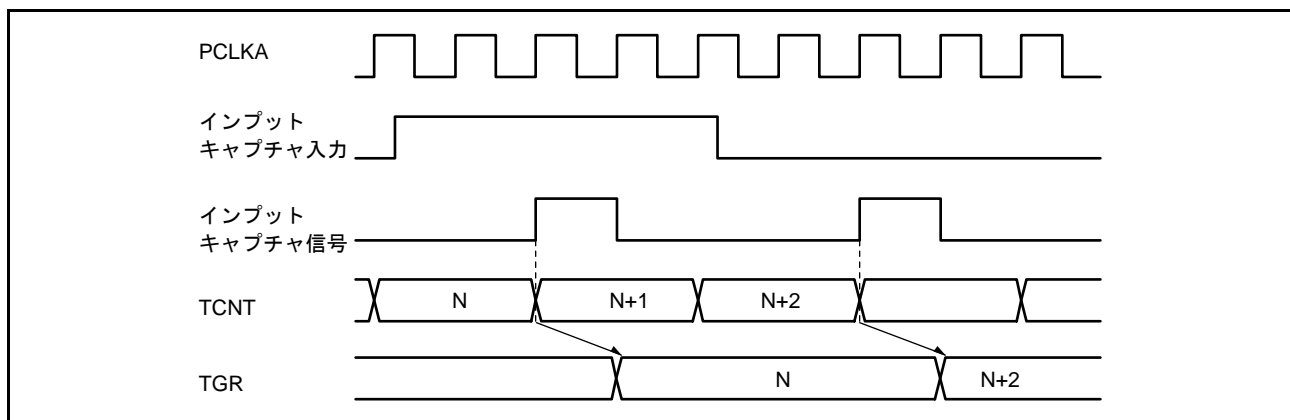


図 20.106 インพุットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 20.107、図 20.108 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 20.109 に示します。

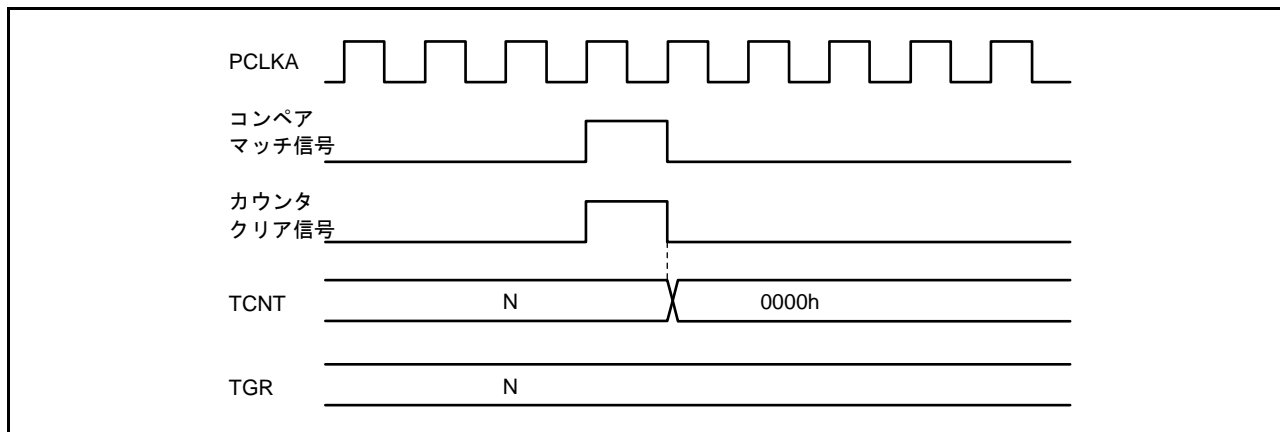


図 20.107 カウンタクリアタイミング (コンペアマッチ) (MTU0 ~ MTU4)

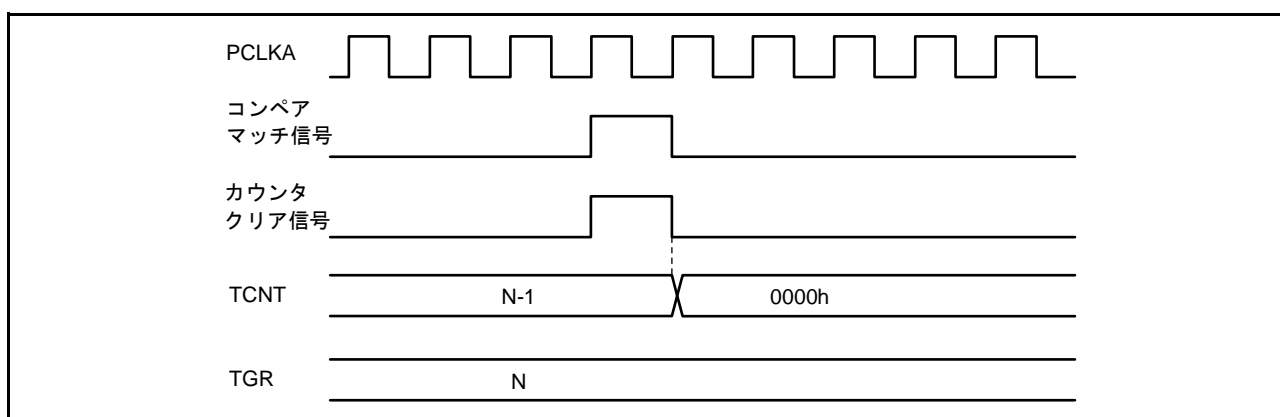


図 20.108 カウンタクリアタイミング (コンペアマッチ) (MTU5)

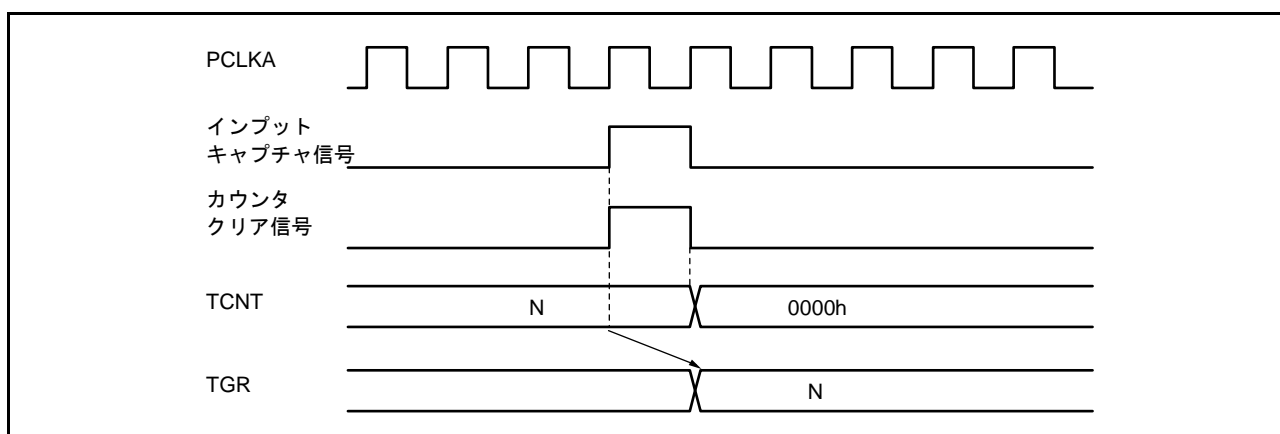


図 20.109 カウンタクリアタイミング (インプットキャプチャ) (MTU0 ~ MTU5)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 20.110 ~ 図 20.112 に示します。

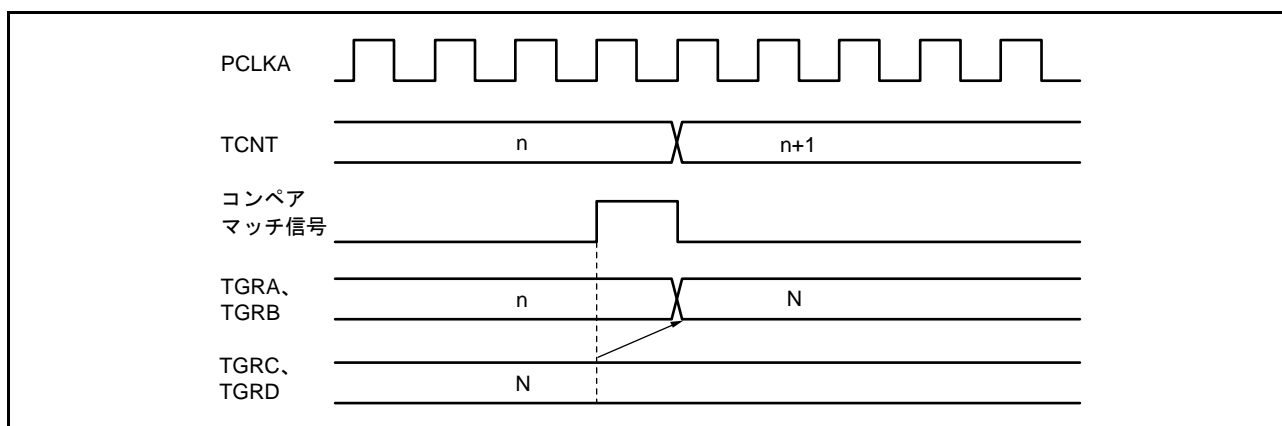


図 20.110 バッファ動作タイミング (コンペアマッチ)

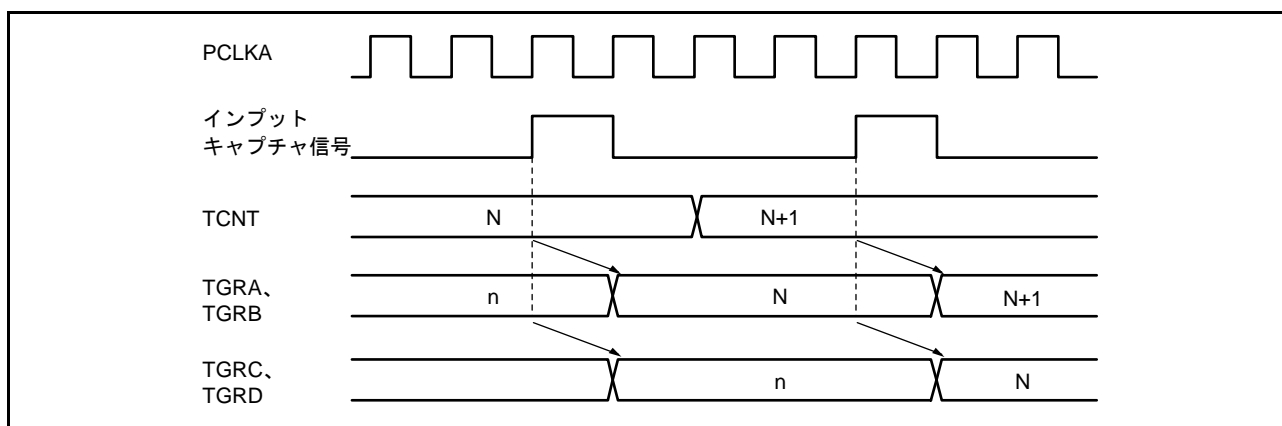


図 20.111 バッファ動作タイミング (インプットキャプチャ)

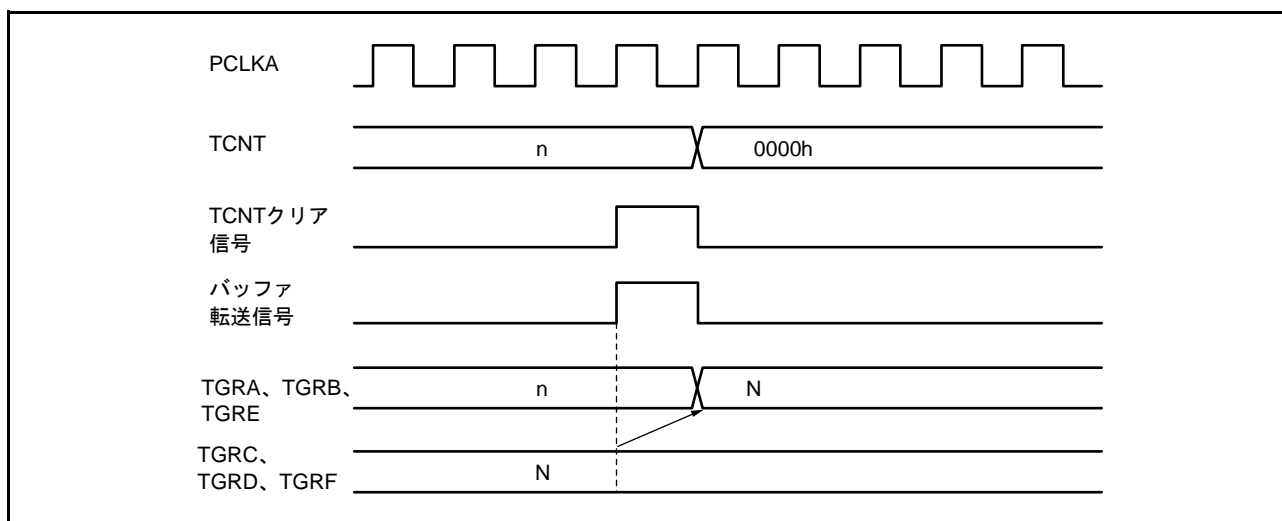


図 20.112 バッファ動作タイミング (TCNT クリア時)

(6) バッファ転送タイミング (相補 PWM モード時)

相補 PWM モード時のバッファ転送のタイミングを図 20.113 ~ 図 20.115 に示します。

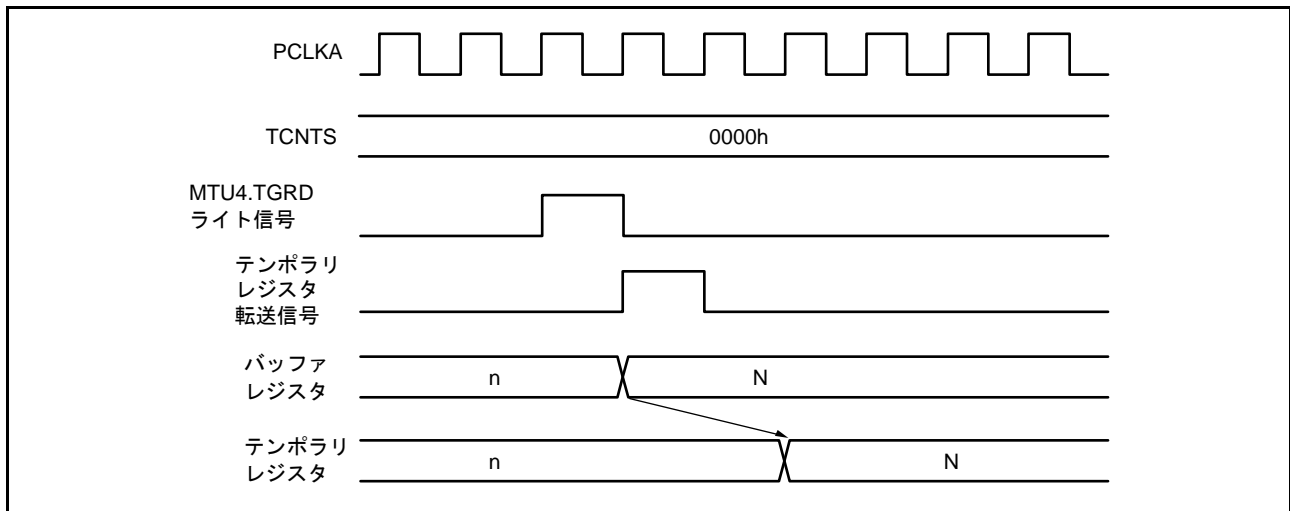


図 20.113 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 停止中)

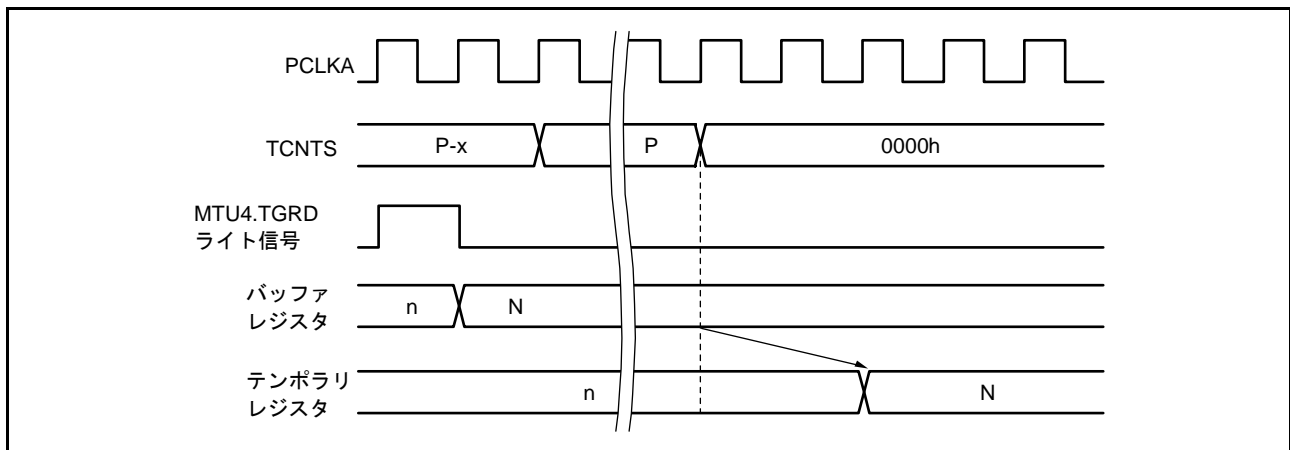


図 20.114 バッファレジスタからテンポラリレジスタへの転送タイミング (TCNTSA 動作中)

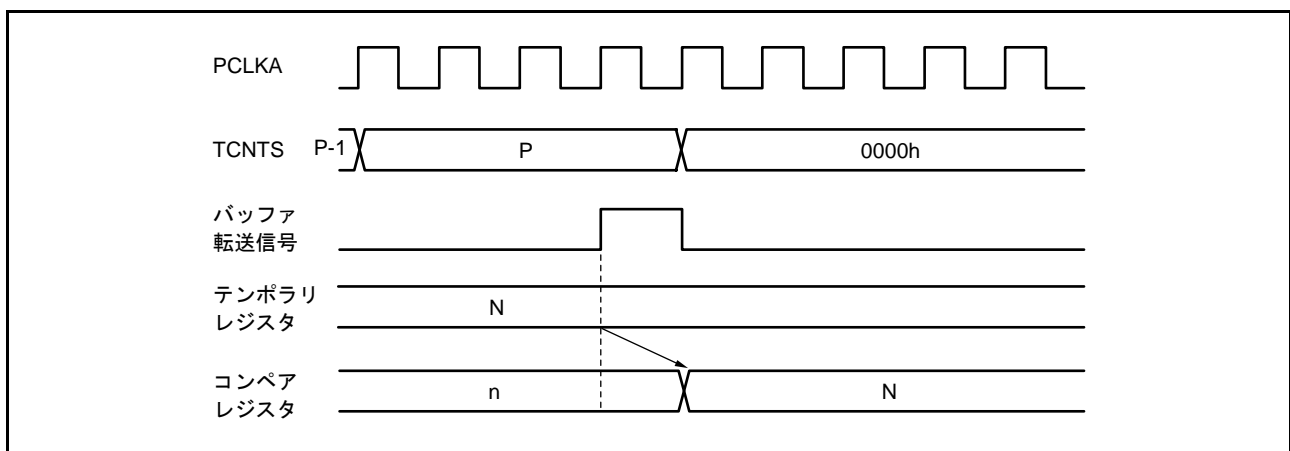


図 20.115 テンポラリレジスタからコンペアレジスタへの転送タイミング

20.5.2 割り込み信号タイミング

(1) コンペアマッチ時の TGI 割り込みタイミング

コンペアマッチが発生したときの TGI 割り込み要求信号のタイミングを図 20.116、図 20.117 に示します。

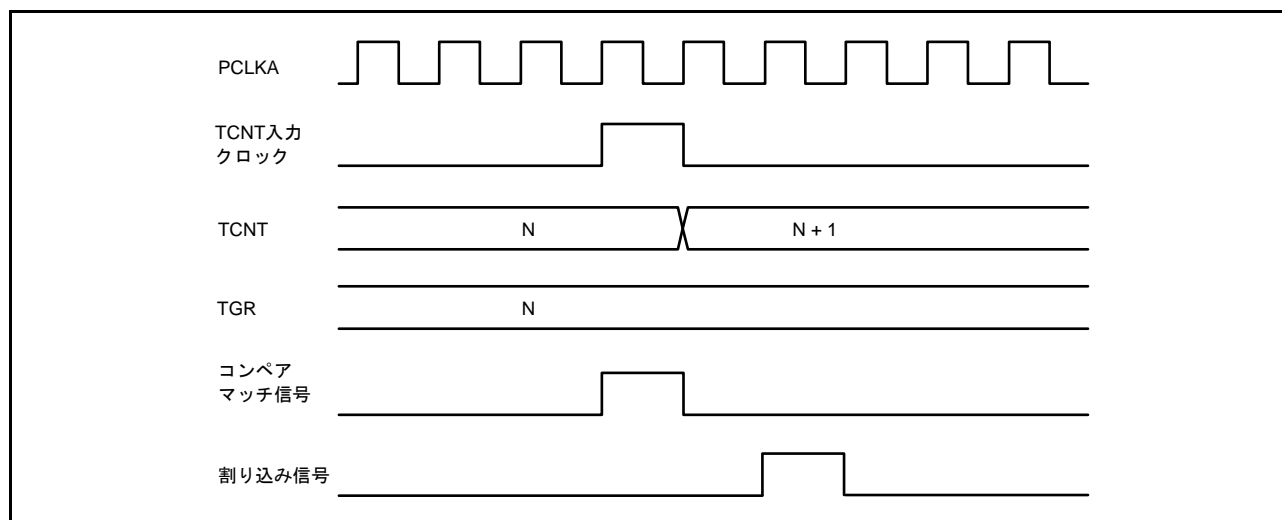


図 20.116 TGI 割り込みタイミング (コンペアマッチ) (MTU0 ~ MTU4)

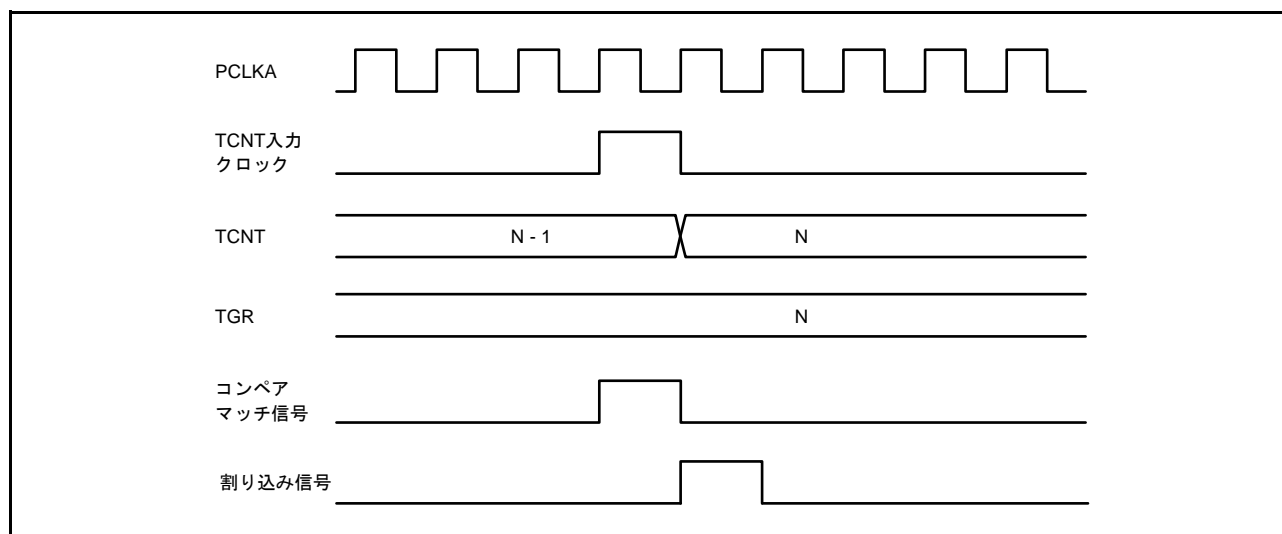


図 20.117 TGI 割り込みタイミング (コンペアマッチ) (MTU5)

(2) インพุットキャプチャ時の TGI 割り込みタイミング

インพุットキャプチャが発生したときの TGI 割り込み要求信号のタイミングを図 20.118、図 20.119 に示します。

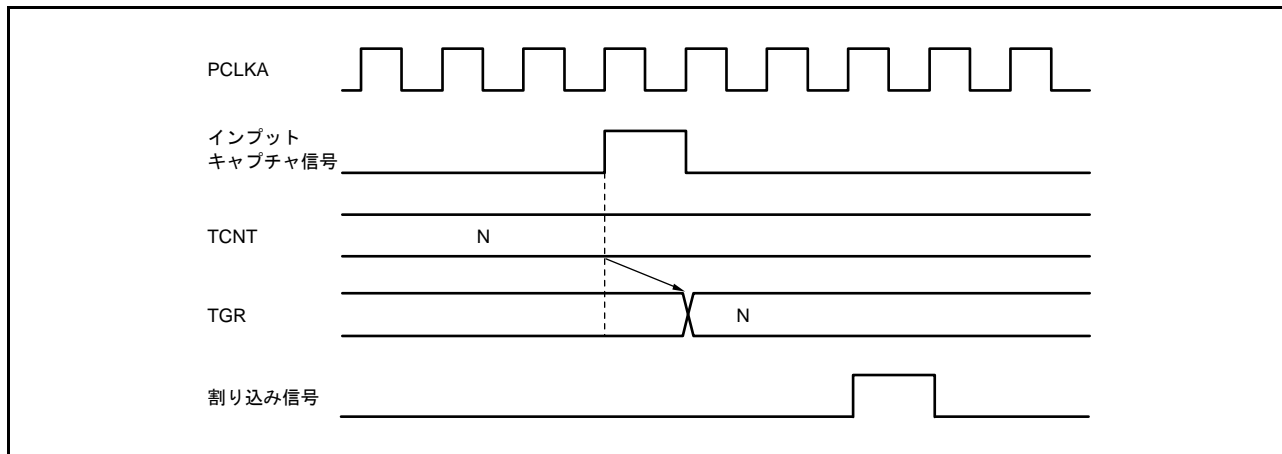


図 20.118 TGI 割り込みタイミング (インพุットキャプチャ) (MTU0 ~ MTU4)

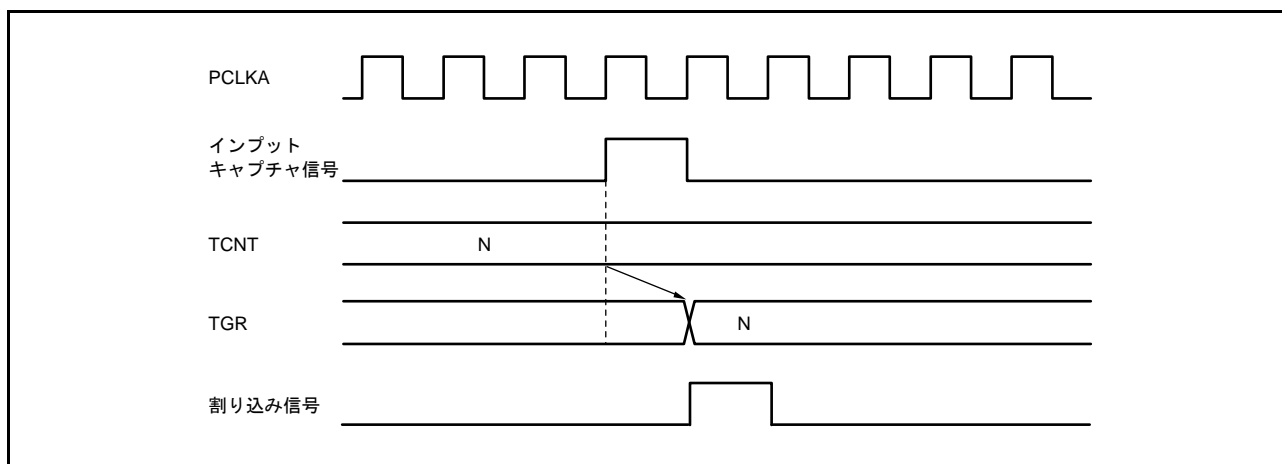


図 20.119 TGI 割り込みタイミング (インพุットキャプチャ) (MTU5)

(3) TCIV/TCIU 割り込みタイミング

オーバーフローが発生したときの TCIV 割り込み要求信号のタイミングを図 20.120 に示します。
 アンダフローが発生したときの TCIU 割り込み要求信号のタイミングを図 20.121 に示します。

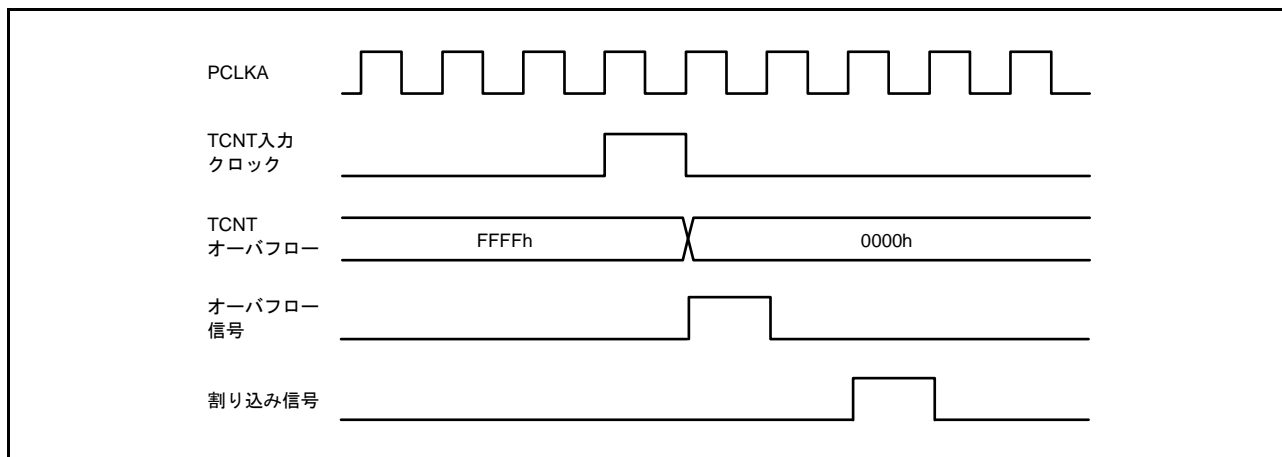


図 20.120 TCIV 割り込みタイミング

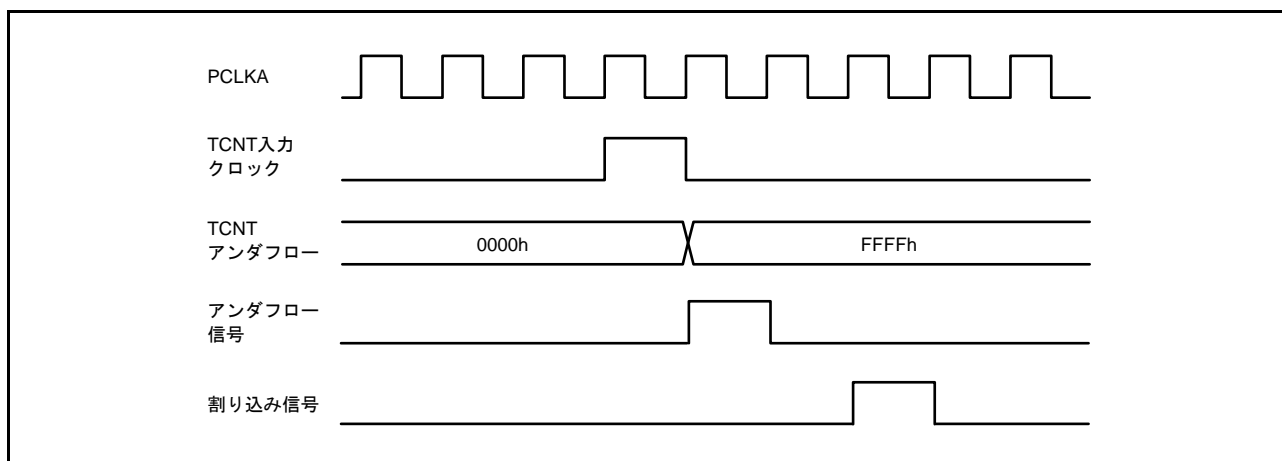


図 20.121 TCIU 割り込みタイミング

20.6 使用上の注意事項

20.6.1 モジュールストップ機能の設定

MTUは、モジュールストップコントロールレジスタにより、MTUの動作禁止/許可を設定することが可能です。初期値では、MTUの動作は停止しています。モジュールクロックストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

20.6.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は3PCLKAクロック以上、両エッジの場合は5PCLKA以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2本の入力クロックの位相差およびオーバーラップはそれぞれ3PCLKA以上、パルス幅は5PCLKA以上が必要です。位相計数モードの入力クロックの条件を図20.122に示します。

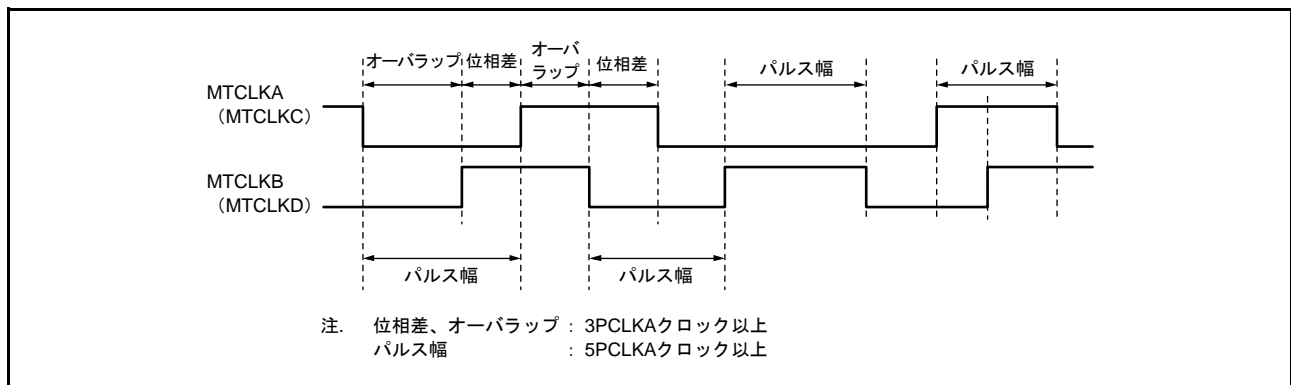


図 20.122 位相計数モード時の位相差、オーバーラップ、およびパルス幅

20.6.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRレジスタの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようにになります。

- MTU0 ~ MTU4 の場合

$$f = \frac{\text{CNTCLK}}{N + 1}$$

- MTU5 の場合

$$f = \frac{\text{CNTCLK}}{N}$$

f : カウンタ周波数

CNTCLK : TCR の TPSC[2:0]、TCR2 の TPSC2[2:0] で設定したカウントクロックの周波数

N : TGR の設定値

20.6.4 TCNT への書き込みとクリアの競合

TCNT の書き込みサイクル中にカウンタクリア信号が発生すると、TCNT への書き込みは行われず、TCNT のクリアが優先されます。

このタイミングを図 20.123 に示します。

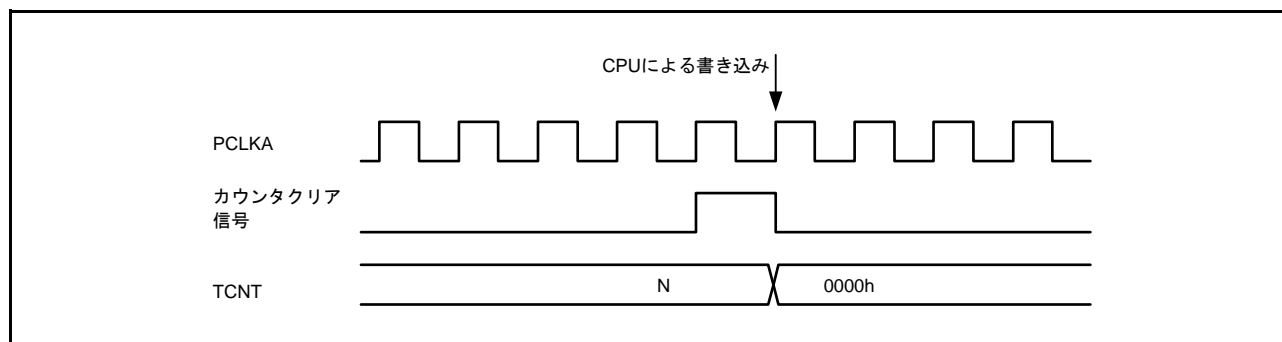


図 20.123 TCNT への書き込みとカウンタクリアの競合

20.6.5 TCNT への書き込みとカウントアップの競合

TCNT の書き込みサイクル中にカウントアップが発生しても、カウントアップされず、TCNT への書き込みが優先されます。

このタイミングを図 20.124 に示します。

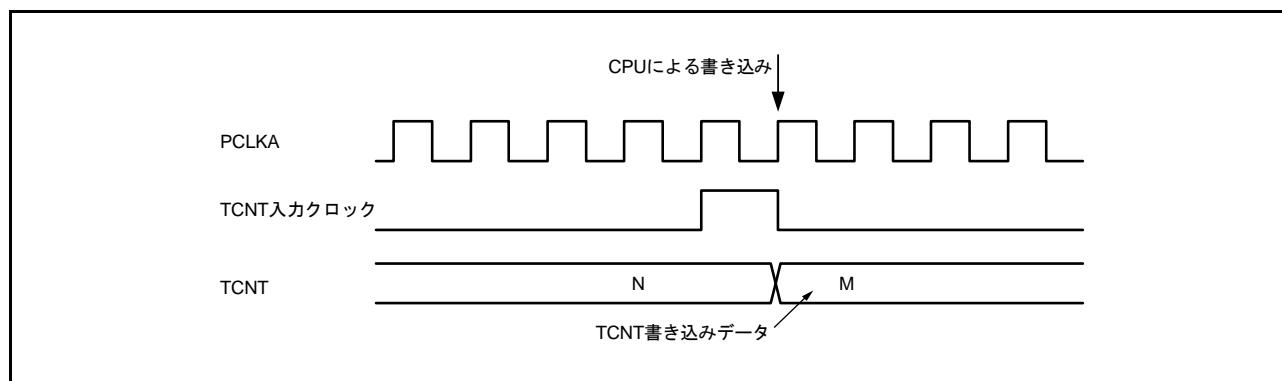


図 20.124 TCNT への書き込みとカウントアップの競合

20.6.6 TGR レジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生した場合、TGR レジスタへの書き込みが実行され、コンペアマッチ信号も発生します。

このタイミングを図 20.125 に示します。

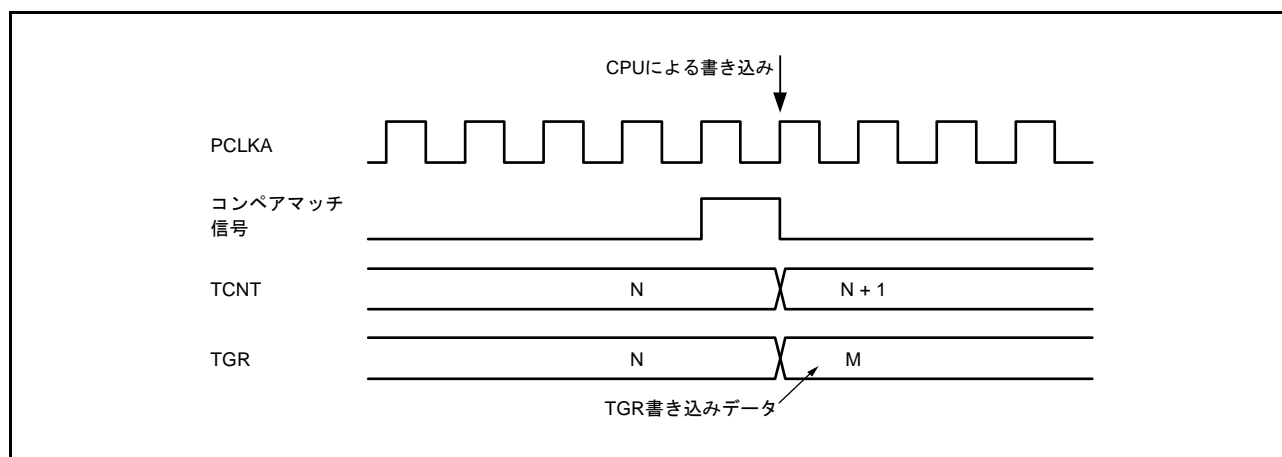


図 20.125 TGR レジスタのライトとコンペアマッチの競合

20.6.7 バッファレジスタへの書き込みとコンペアマッチの競合

TGR レジスタの書き込みサイクル中にコンペアマッチが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 20.126 に示します。

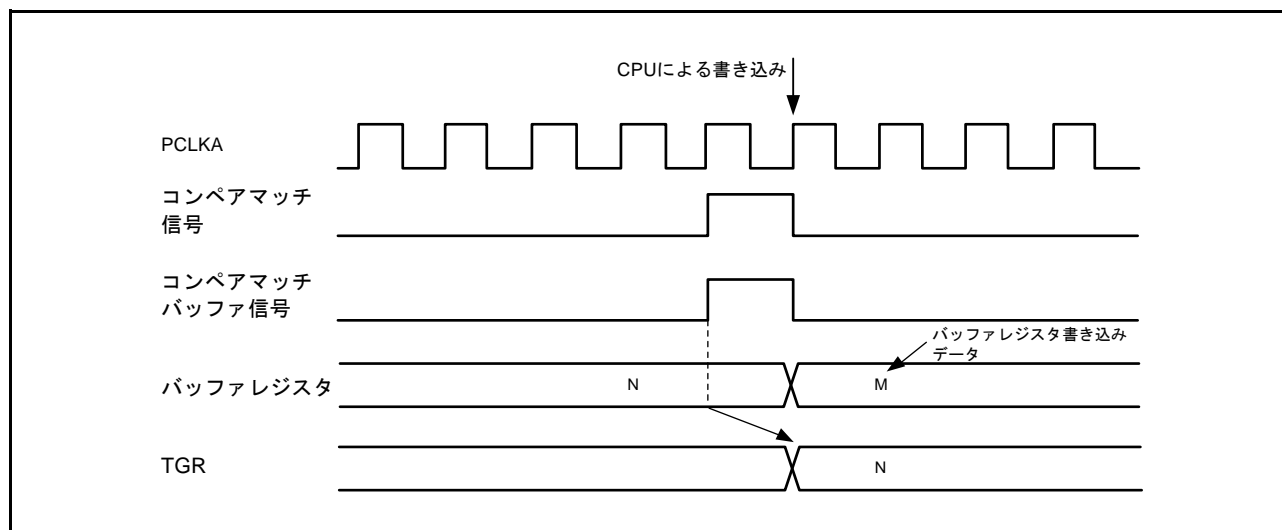


図 20.126 バッファレジスタへの書き込みとコンペアマッチの競合

20.6.8 バッファレジスタへの書き込みと TCNT クリアの競合

タイマバッファ転送モードレジスタ (TBTM) でバッファ転送タイミングを TCNT クリア時に設定した場合、TGR の書き込みサイクル中に TCNT クリアが発生すると、バッファ動作によって TGR レジスタに転送されるデータは書き込み前のデータです。

このタイミングを図 20.127 に示します。

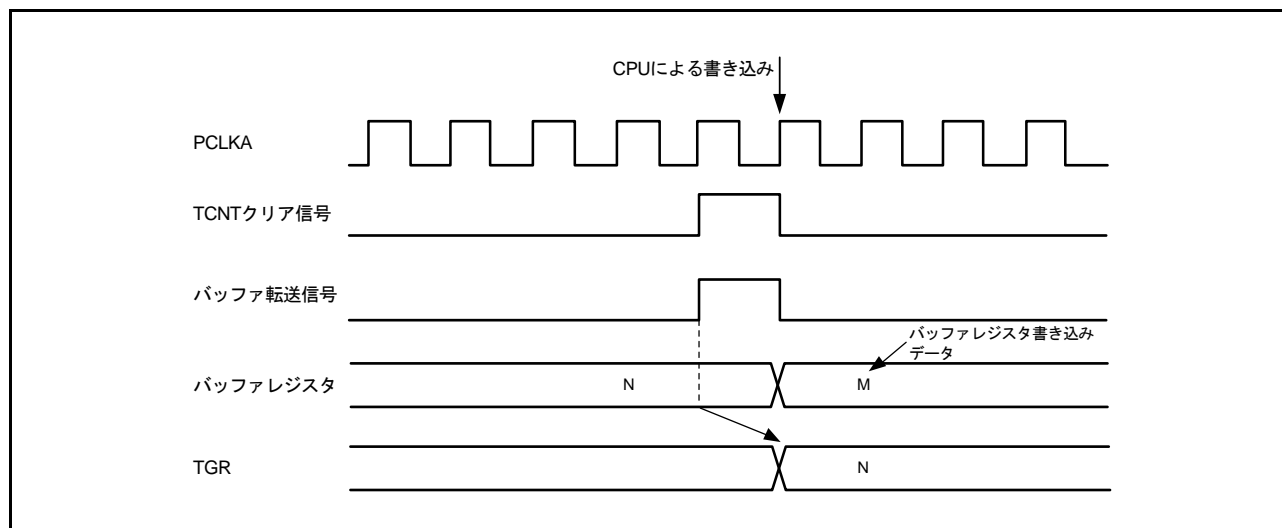


図 20.127 バッファレジスタへの書き込みと TCNT クリアの競合

20.6.9 TGR レジスタの読み出しとインプットキャプチャの競合

TGR レジスタの読み出しサイクル中にインプットキャプチャ信号が発生すると、読み出されるデータは、インプットキャプチャ転送前のデータとなります。

このタイミングを図 20.128 に示します。

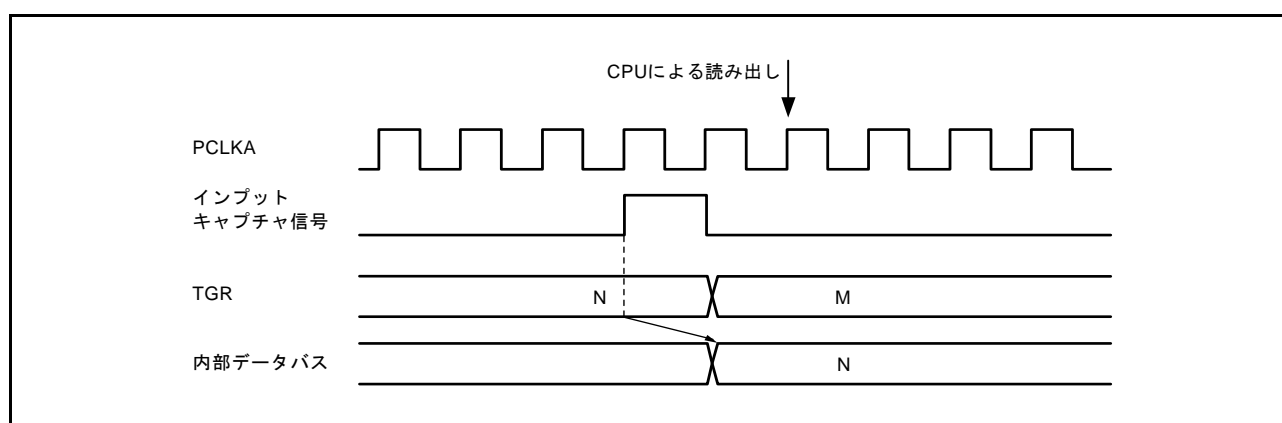


図 20.128 TGR レジスタの読み出しとインプットキャプチャの競合 (MTU0 ~ MTU5)

20.6.10 TGR レジスタへの書き込みと入力キャプチャの競合

TGR レジスタの書き込みサイクル中に入力キャプチャ信号が発生すると、MTU0 ~ MTU4 では TGR レジスタへの書き込みは行われず、入力キャプチャが優先され、MTU5 では TGR レジスタへの書き込みが実行され、入力キャプチャ信号も発生します。

このタイミングを図 20.129、図 20.130 に示します。

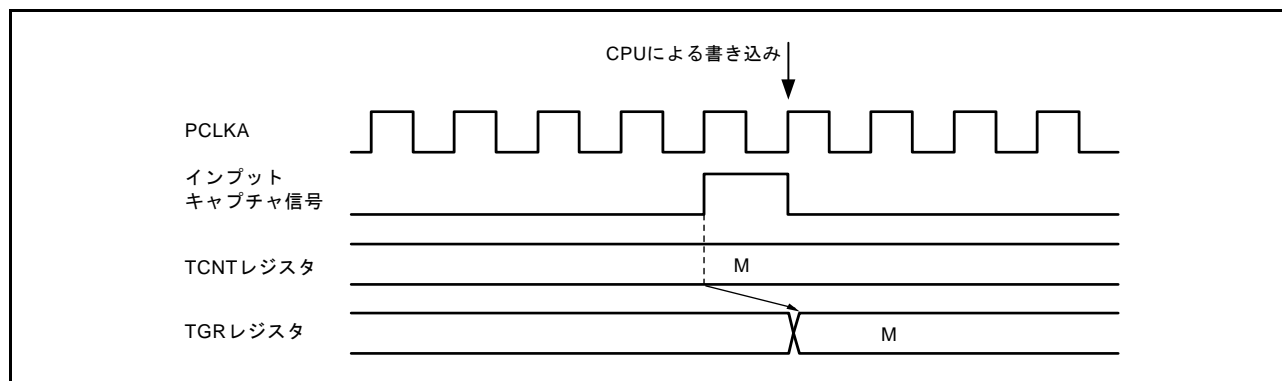


図 20.129 TGR レジスタへの書き込みと入力キャプチャの競合 (MTU0 ~ MTU4)

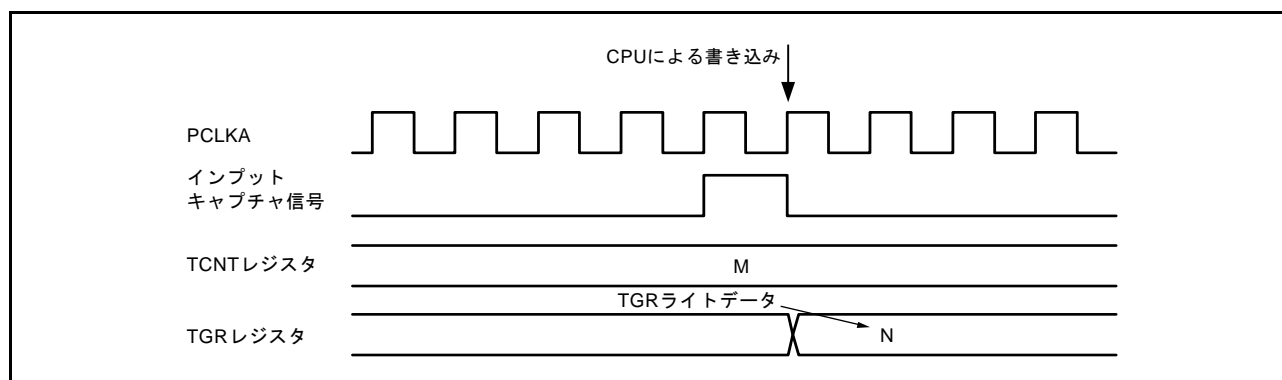


図 20.130 TGR レジスタへの書き込みと入力キャプチャの競合 (MTU5)

20.6.11 バッファレジスタへの書き込みと入力キャプチャの競合

バッファレジスタの書き込みサイクル中に入力キャプチャ信号が発生すると、バッファレジスタへの書き込みは行われず、バッファ動作が優先されます。

このタイミングを図 20.131 に示します。

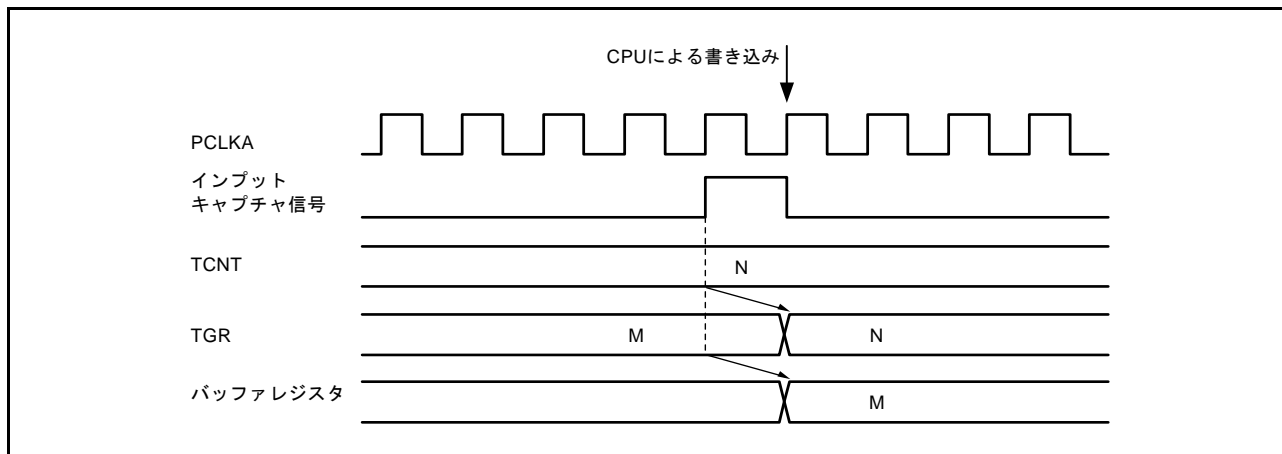


図 20.131 バッファレジスタへの書き込みと入力キャプチャ競合

20.6.12 カスケード接続における MTU2.TCNT への書き込みとオーバフロー/アンダフローの競合

タイマカウンタ (MTU1.TCNT と MTU2.TCNT) をカスケード接続し、MTU1.TCNT がカウントする瞬間 (MTU2.TCNT がオーバフロー/アンダフローする瞬間) と MTU2.TCNT の書き込みサイクル中が競合すると、MTU2.TCNT への書き込みが行われ、MTU1.TCNT のカウント信号が禁止されます。このとき、MTU1.TGRA がコンペアマッチレジスタとして動作し MTU1.TCNT の値と一致していた場合、コンペアマッチ信号が発生します。

また、MTU0 のインプットキャプチャ要因に MTU1.TCNT カウントクロックを選択した場合には、MTU0.TGRA ~ TGRD はインプットキャプチャ動作します。さらに MTU1.TGRB のインプットキャプチャ要因に MTU0.TGRC のコンペアマッチ/インプットキャプチャを選択した場合には、MTU1.TGRB はインプットキャプチャ動作します。

このタイミングを図 20.132 に示します。

また、カスケード接続動作で TCNT のクリア設定を行う場合には、MTU1 と MTU2 の同期設定を行ってください。

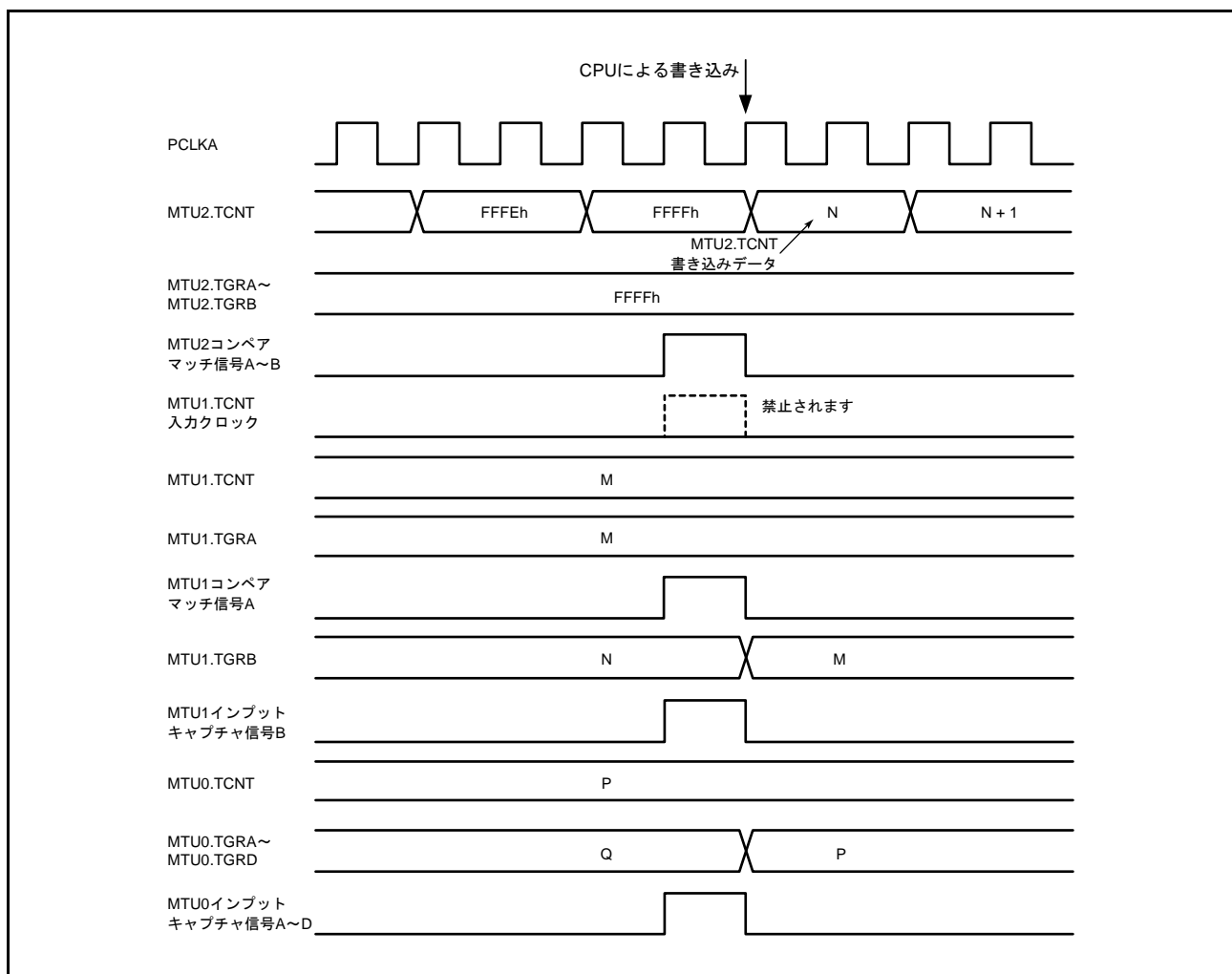


図 20.132 カスケード接続における MTU2.TCNT の書き込みとオーバフロー/アンダフローの競合

20.6.13 相補 PWM モードでのカウント動作停止時のカウンタ値

MTU3.TCNT、MTU4.TCNT が相補 PWM モードで動作しているときにカウント動作を停止すると、MTU3.TCNT はタイマデッドタイムレジスタ (TDDRA) の値、MTU4.TCNT は“0000h”になります。

相補 PWM を再スタートすると自動的に初期状態からカウントを開始します。

この説明図を図 20.133 に示します。

また、他の動作モードでカウントを開始する場合は MTU3.TCNT、MTU4.TCNT にカウント初期値の設定を行ってください。

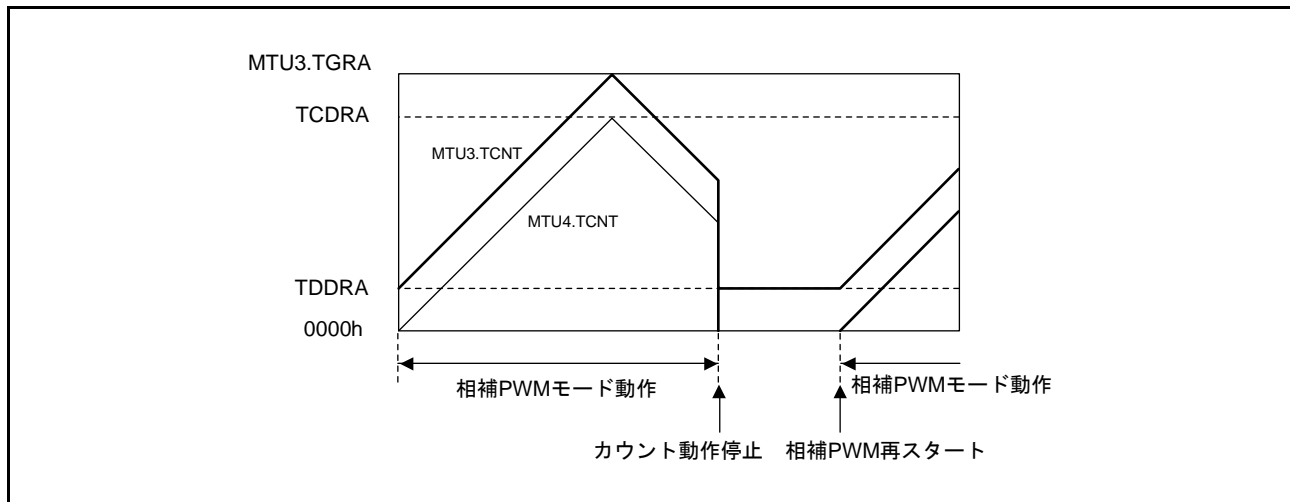


図 20.133 相補 PWM モード停止時のカウンタ値

20.6.14 相補 PWM モードでのバッファ動作の設定

相補 PWM モードでは、PWM 周期設定レジスタ (MTU3.TGRA)、タイマ周期データレジスタ (TCDRA)、デューティ設定レジスタ (MTU3.TGRB, MTU3.TGRA, MTU4.TGRB) の書き換えは、バッファ動作で行ってください。

また、MTU4.TMDR1.BFA ビット、MTU4.TMDR1.BFB ビットを“0”にしてください。MTU4.TMDR1.BFA ビットを“1”にすると、MTIOC4C 端子の波形出力ができなくなります。同様に、MTU4.TMDR1.BFB ビットを“1”にすると、MTIOC4D 端子の波形出力ができなくなります。

相補 PWM モード時の MTU3 および MTU4 のバッファ動作は、MTU3.TMDR1.BFA ビット、MTU3.TMDR1.BFB ビットの設定に従い動作します。MTU3.TMDR1.BFA ビットを“1”にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能し、さらに TCBRA は TCDRA のバッファレジスタとして機能します。

20.6.15 リセット同期 PWM モードのバッファ動作とコンペアマッチ

リセット同期 PWM モードでバッファ動作を設定する場合には、MTU4.TMDR1.BFA ビット、MTU4.TMDR1.BFB ビットを“0”にしてください。MTU4.TMDR1.BFA ビットを“1”にすると、MTIOC4C 端子の波形出力ができなくなります。

同様に、MTU4.TMDR1.BFB ビットを“1”にすると、MTIOC4D 端子の波形出力ができなくなります。

リセット同期 PWM モード時の MTU3 および MTU4 のバッファ動作は MTU3.TMDR1.BFA ビット、MTU3.TMDR1.BFB ビットの設定に従い動作します。たとえば、MTU3.TMDR1.BFA ビットを“1”にした場合、MTU3.TGRC は MTU3.TGRA のバッファレジスタとして機能します。同時に MTU4.TGRC は MTU4.TGRA のバッファレジスタとして機能します。

MTU3.TGRC、MTU3.TGRD がバッファレジスタとして動作している場合、TGImn 割り込み (m = C, D、n = 3, 4) は発生しません。

MTU3.TMDR1.BFA ビット、MTU3.TMDR1.BFB ビットを“1”にし、MTU4.TMDR1.BFA ビット、MTU4.TMDR1.BFB ビットを“0”にした場合の MTU3.TGR、MTU4.TGR、MTIOC3、MTIOC4 の動作例を図 20.134 に示します。

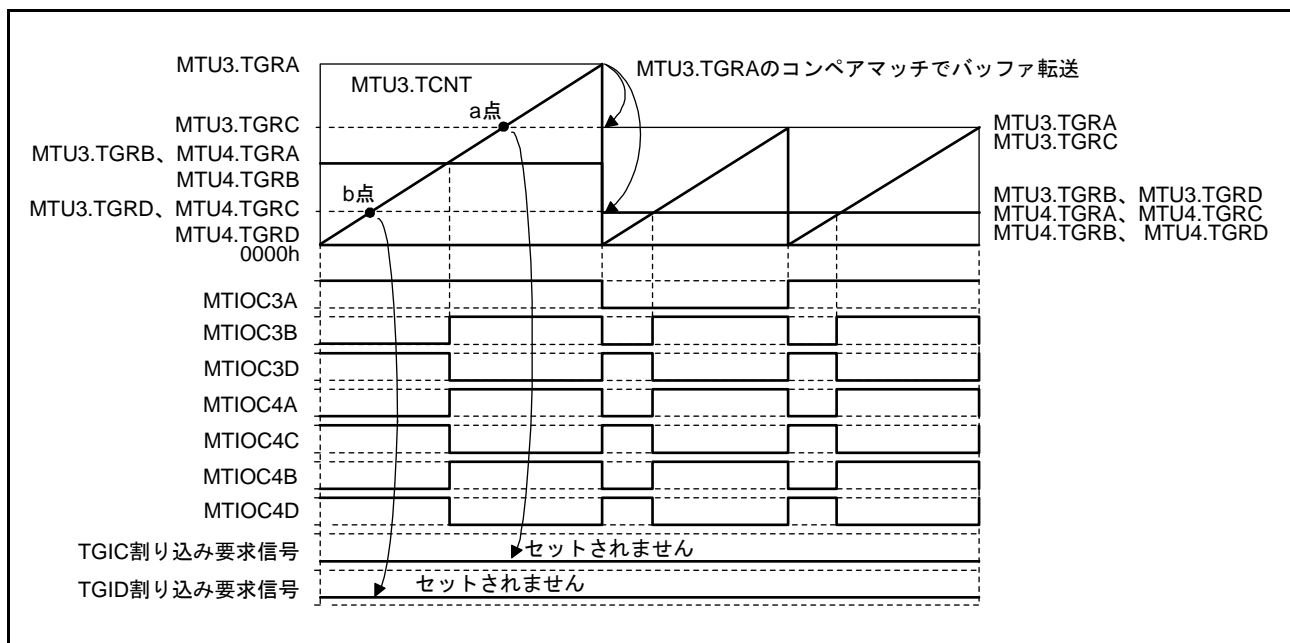


図 20.134 リセット同期 PWM モードのバッファ動作とコンペアマッチ

20.6.16 リセット同期 PWM モードのオーバーフロー

リセット同期 PWM モードを設定し、TSTRA の CST3 ビットを“1”にすると、MTU3.TCNT と MTU4.TCNT のカウント動作が開始します。このとき、MTU4.TCNT のカウントクロックソースとカウントエッジは MTU3.TCR の設定に従います。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合、MTU3.TCNT、MTU4.TCNT がアップカウントし“FFFFh”になると、MTU3.TGRA とのコンペアマッチが発生し、MTU3.TCNT、MTU4.TCNT とともにカウントクリアされます。このとき、TCIV_n 割り込み (n = 3, 4) は発生しません。

リセット同期 PWM モードで周期レジスタ MTU3.TGRA の設定値を“FFFFh”とし、カウンタクリア要因に MTU3.TGRA のコンペアマッチを指定した場合の動作例を図 20.135 に示します。

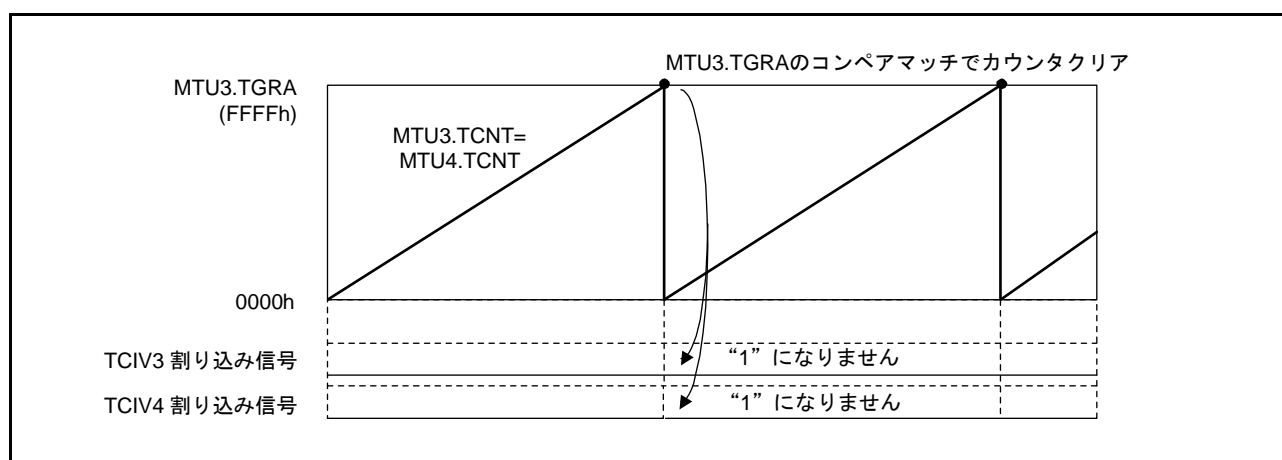


図 20.135 リセット同期 PWM モードのオーバーフロー

20.6.17 オーバフロー/アンダフローとカウンタクリアの競合

オーバフロー/アンダフローとカウンタクリアが同時に発生すると、TCIV_n 割り込み ($n=0\sim 4$)、TCIU_n 割り込み ($n=1, 2$) は発生せず、TCNT のクリアが優先されます。

TGR レジスタのコンペアマッチをクリア要因とし、TGR レジスタを“FFFFh”にした場合の動作タイミングを図 20.136 に示します。

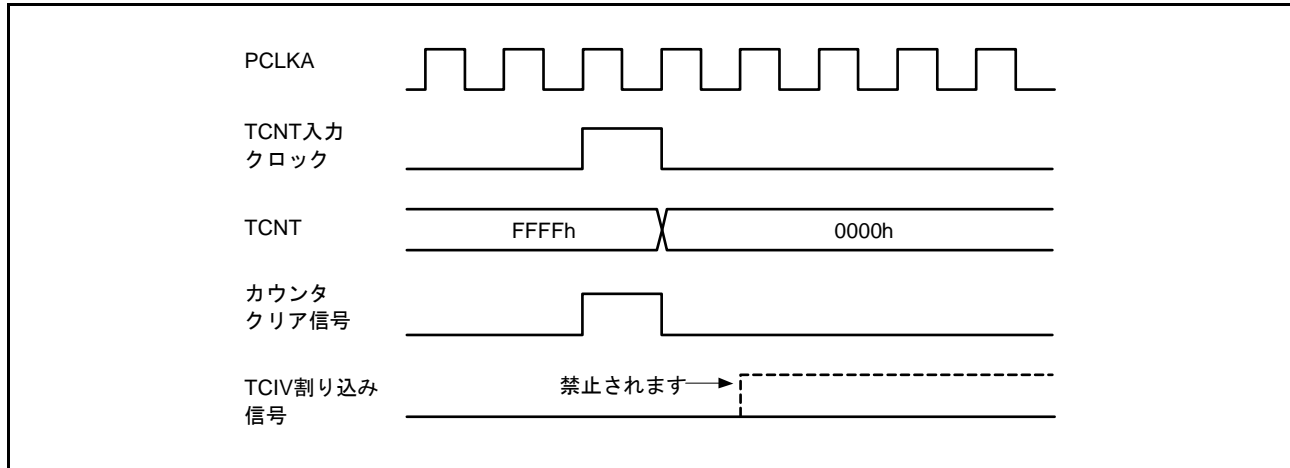


図 20.136 オーバフローとカウンタクリアの競合

20.6.18 TCNT への書き込みとオーバフロー/アンダフローの競合

TCNT の書き込みサイクルで、アップカウント/ダウンカウントが発生し、オーバフロー/アンダフローが発生しても、TCNT への書き込みが優先されます。TCIV_n 割り込み ($n=0\sim 4$)、TCIU_n 割り込み ($n=1, 2$) は発生しません。

TCNT への書き込みとオーバフロー競合時の動作タイミングを図 20.137 に示します。

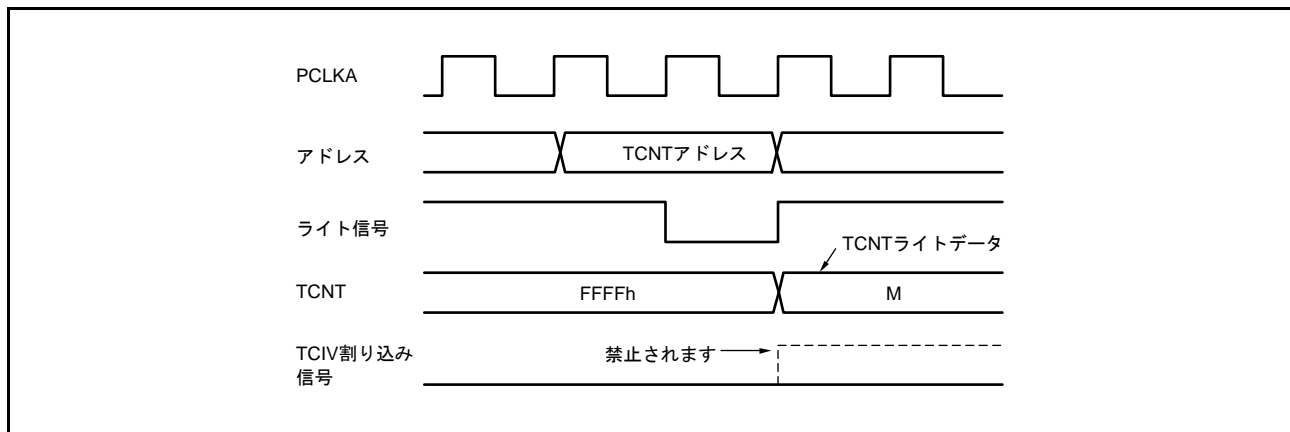


図 20.137 TCNT への書き込みとオーバフローの競合

20.6.19 ノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移する場合の注意事項

MTU3、MTU4のノーマルモードまたはPWMモード1からリセット同期PWMモードへ遷移させる場合、出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4C, MTIOC4B, MTIOC4D) を High の状態にしたままカウンタを止め、リセット同期PWMモードに遷移して動作させると、端子の初期出力が正しく出力されませんので注意してください。

ノーマルモードからリセット同期PWMモードに遷移する場合には、MTU3.TIORH、MTU3.TIORL、MTU4.TIORH、MTU4.TIORL レジスタに“11h”を書いて出力端子を Low に初期化した後、レジスタの初期値“00h”を書いてからモード遷移を行ってください。

PWMモード1からリセット同期PWMモードに遷移する場合には、いったんノーマルモードに遷移してから出力端子を Low へ初期化した後、レジスタの初期値“00h”を書いてからリセット同期PWMモードに遷移してください。

20.6.20 相補PWMモード、リセット同期PWMモードの出力レベル

MTU3、MTU4が相補PWMモードまたはリセット同期PWMモードの場合、PWM波形の出力レベルはTOCR1A.OLSPビット、TOCR1A.OLSNビットで設定します。相補PWMモードまたはリセット同期PWMモードの場合、TIORレジスタは“00h”としてください。

相補PWMモードでTDER.TDERビットを“0” (デッドタイムを生成しない) に設定した場合の逆相の出力レベルは、TOCR1.OLSNビットの設定によらず、TOCR1.OLSPビットの設定による正相出力の反転レベルとなります。

20.6.21 カスケード接続におけるMTU1.TCNT、MTU2.TCNT同時インプットキャプチャ

タイマカウンタ1、2 (MTU1.TCNTとMTU2.TCNT) をカスケード接続して、32ビットカウンタとして動作させている場合、MTIOC1AとMTIOC2A、またはMTIOC1BとMTIOC2Bに同時にインプットキャプチャ入力を行っても、MTU1.TCNT、MTU2.TCNTに入力される外部からのインプットキャプチャ信号を、内部クロックに同期させて内部に取り込む際に、MTIOC1A、MTIOC2A、またはMTIOC1BとMTIOC2Bの取り込みタイミングにずれが生じ、カスケードカウンタ値を正常にキャプチャできない可能性があります。

例として、MTU1.TCNT (上位16ビットのカウンタ) がMTU2.TCNT (下位16ビットのカウンタ) のオーバフローによるカウントアップ値をキャプチャすべきところを、カウントアップ前のカウント値をキャプチャします。その場合、正しくはMTU1.TCNT=FFF1h、MTU2.TCNT=0000hの値をMTU1.TGRAとMTU2.TGRA、もしくはMTU1.TGRBとMTU2.TGRBに転送すべきところを誤ってMTU1.TCNT=FFF0h、MTU2.TCNT=0000hの値を転送します。

1本のインプットキャプチャ入力でMTU1.TCNTとMTU2.TCNTを同時にキャプチャできる機能を使用すれば、MTU1.TCNTとMTU2.TCNTのキャプチャタイミングのずれなく、32ビットカウンタの取り込みを行うことができます。詳細は「20.2.11 タイムインプットキャプチャコントロールレジスタ (TICCR)」を参照してください。

20.6.22 割り込み間引き機能 2

割り込み間引き機能 2 を使用し、かつ MTU4.TADCORA 値と MTU4.TADCORB 値の間隔が短い場合、間引き回数を正しくカウントできず、期待したタイミングでの A/D 変換要求が発生しない場合があります。以下の設定条件で使用してください。

(1) 間引き機能 2、間引き回数が“0”の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「4」以上
- MTU4.TADCORA のコンペア間隔が 4PCLKA クロック以上 (MTU4.TADCORA レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)
- MTU4.TADCORB のコンペア間隔が 4PCLKA クロック以上 (MTU4.TADCORB レジスタの更新値を「前値+4 以上」、「前値-4 以下」に設定)

(2) 間引き機能 2、間引き回数が“1”以上の場合

- MTU4.TADCORA レジスタ値と MTU4.TADCORB レジスタ値との間隔が「2」以上
- MTU4.TADCORB のコンペア間隔が 2PCLKA 以上 (MTU4.TADCORB レジスタの更新値を「前値+2 以上」、「前値-2 以下」に設定)

20.6.23 相補 PWM モードの出力保護機能未使用時の注意事項

相補 PWM モードの出力保護機能は、初期状態が有効となっております。詳細は、「21. ポートアウトプットイネーブル 3 (POE3b)」を参照ください。

20.6.24 タイマカウンタ (MTU5.TCNT) とタイマジェネラルレジスタ (MTU5.TGR) の注意事項

MTU5.TCNT_j (j = U, V, W) のカウント動作を停止した状態で、MTU5.TGR_j に MTU5.TCNT_j 値 + 1 の値を設定しないでください。MTU5.TCNT_j のカウント動作を停止した状態で、MTU5.TGR_j に MTU5.TCNT_j 値 + 1 の値を設定した場合、カウンタ停止状態にもかかわらずコンペアマッチが発生します。

このとき、コンペアマッチ割り込み許可ビット (MTU5.TIER.TGIE5_j ビット) が“1” (許可) になっていると、コンペアマッチ割り込みが発生します。なお、タイマコンペアマッチクリアレジスタが“1” (許可) になっていると、MTU5.TCNT_j カウンタは、コンペアマッチ割り込みの禁止 / 許可にかかわらず、コンペアマッチが発生すると“0000h”に自動クリアされます。

20.6.25 相補 PWM モード同期クリアするときの異常動作防止の注意事項

相補 PWM モードで、同期カウンタクリア時出力波形制御が有効 (TWCRA.WRE ビット = 1) である状態で、条件 1、条件 2 のいずれかを満たすと、下記の現象が発生します。

- PWM 出力端子のデッドタイムが短くなる (もしくは消失する)
- PWM 逆相出力端子から、アクティブレベル出力期間以外でアクティブレベルが出力される

条件 1 初期出力の抑止期間⑩にて、PWM 出力がデッドタイム期間中に、同期クリアした場合 (図 20.138 参照)

条件 2 初期出力の抑止期間⑩、⑪にて、 $MTU3.TGRB \leq TDDRA$ 、 $MTU4.TGRA \leq TDDRA$ 、 $MTU4.TGRB \leq TDDRA$ のいずれかが成立する状態で、同期クリアする (図 20.139 参照)

本現象は下記の方法により、回避することができます。

コンペアレジスタ $MTU3.TGRB$ 、 $MTU4.TGRA$ 、 $MTU4.TGRB \leq TDDRA$ のすべてが、 $TDDRA$ レジスタの 2 倍以上になるように設定した状態で、同期クリアする

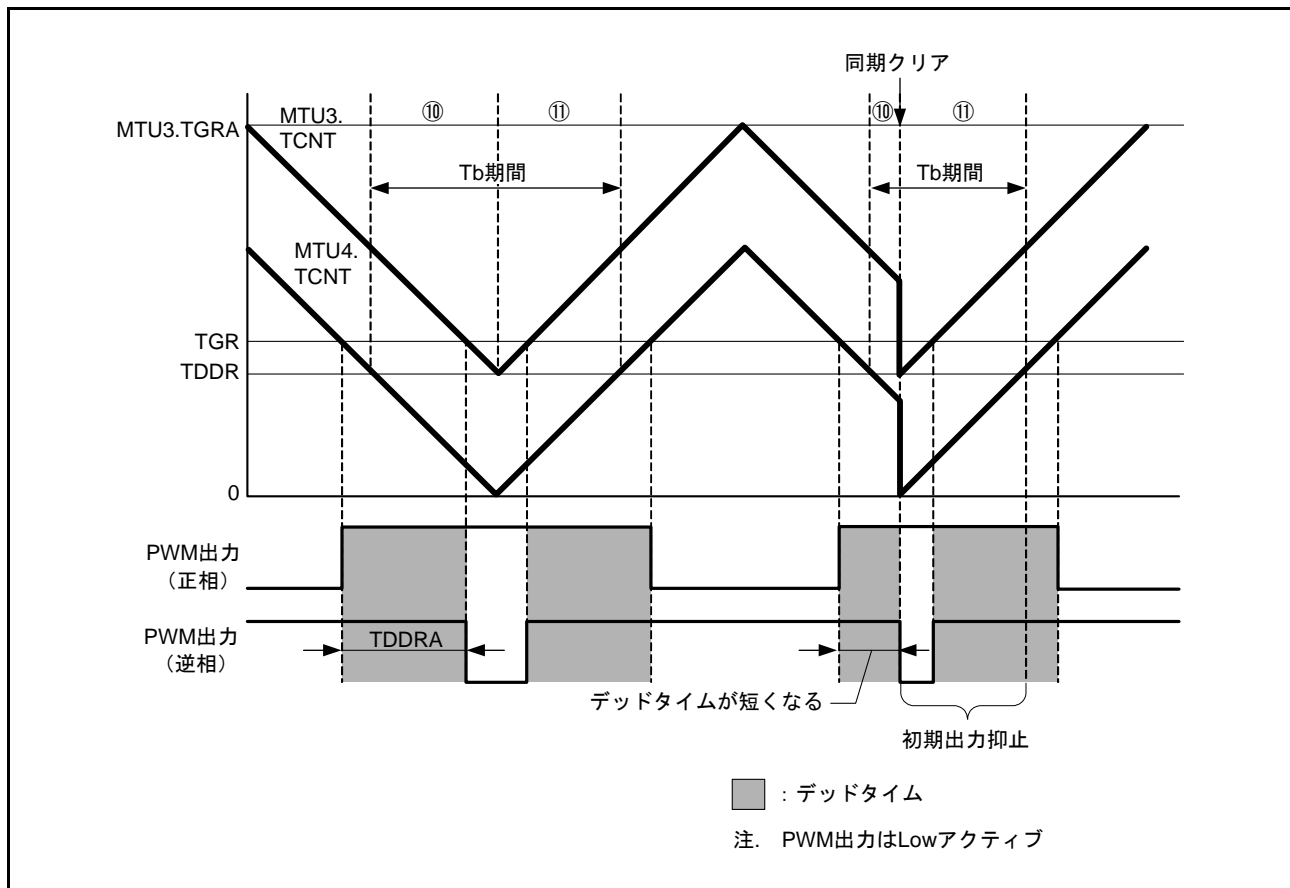


図 20.138 同期クリア例 (条件 1 の場合)

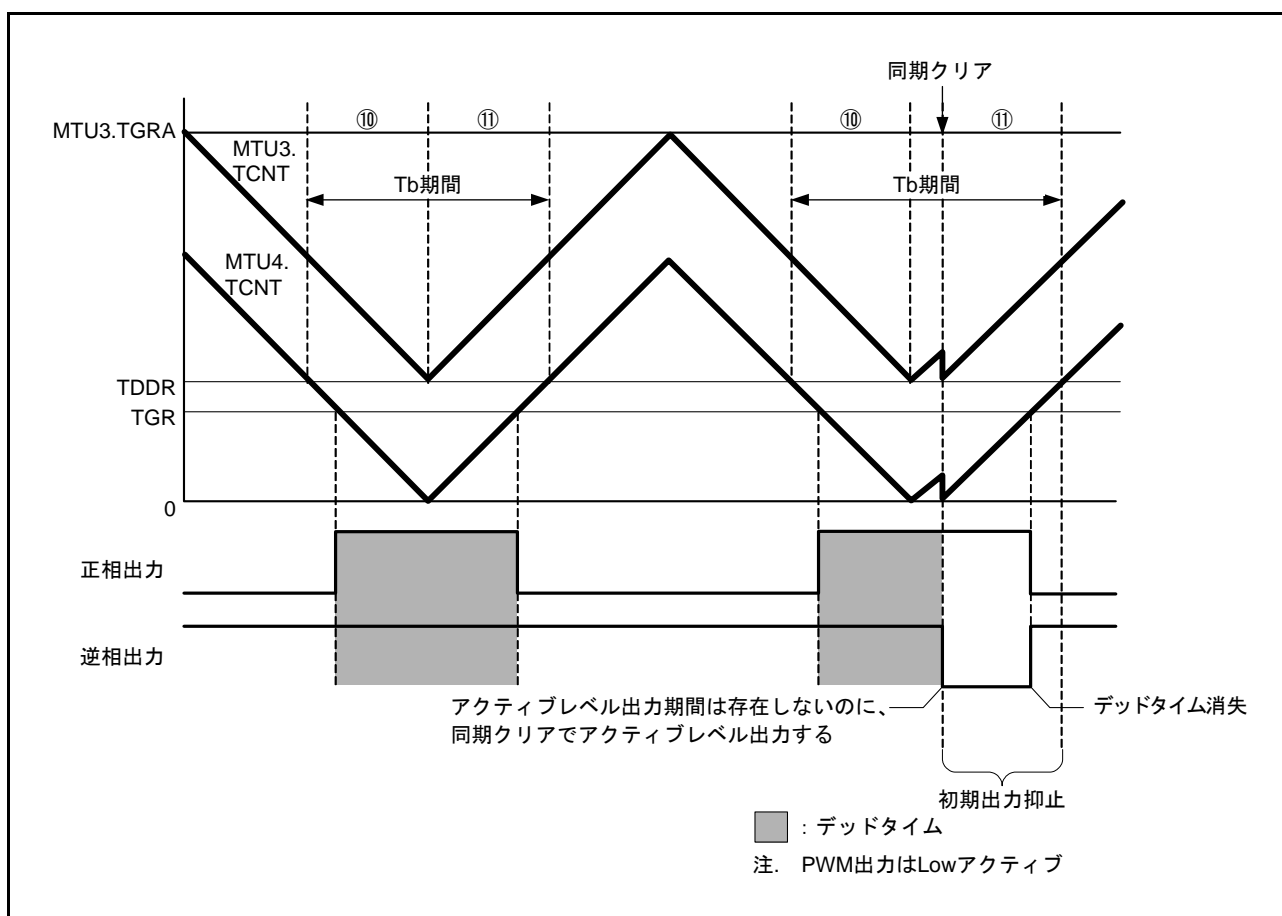


図 20.139 同期クリア例 (条件 2 の場合)

20.6.26 コンペアマッチによる割り込み信号の連続出力

TGR レジスタに“0000h”、カウントクロックを PCLKA/1 クロック、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“0000h”のままとなり、割り込み信号は1サイクルの信号ではなく、レベル状の連続出力信号となります。これにより、2回目以降のコンペアマッチによる割り込み信号を認識できなくなります。

コンペアマッチによる割り込み信号の連続出力タイミングを図 20.140 に示します。

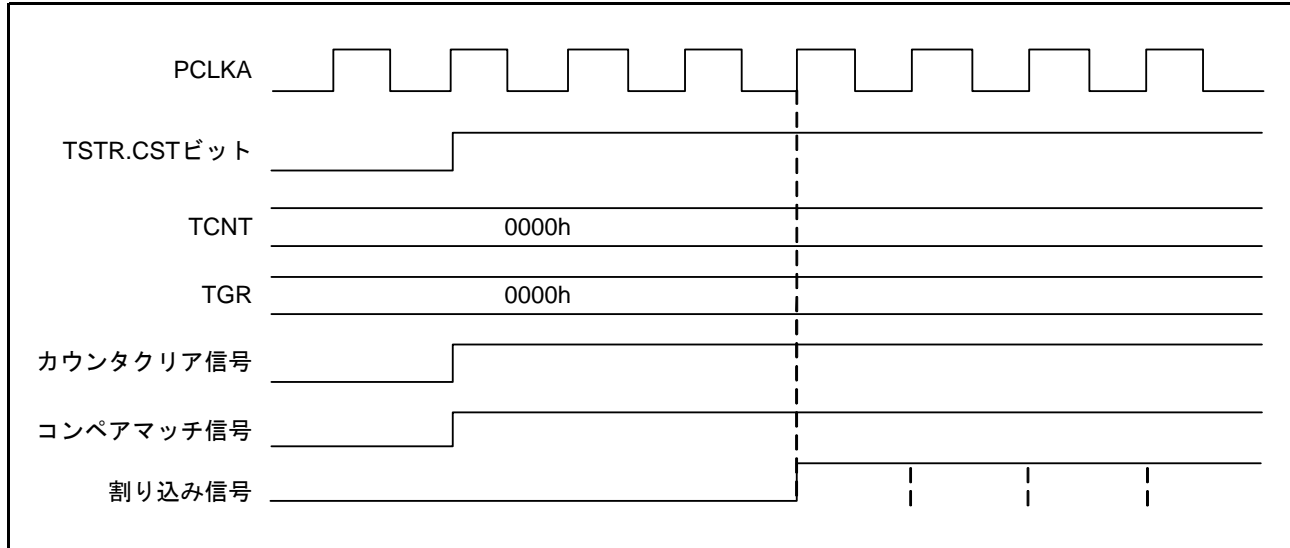


図 20.140 コンペアマッチによる割り込み信号の連続出力

20.6.27 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項

- MTU4.TADCOBRA、MTU4.TADCOBRB レジスタに“0”、かつ、MTU4.TADCR レジスタの UT4AE、UT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの谷でバッファ転送したとき、転送直後のアップカウント期間については A/D 変換の開始要求を行いません (図 20.141)。
- MTU4.TADCOBRA、MTU4.TADCOBRB レジスタに TCDR レジスタと同じ値、かつ、MTU4.TADCR レジスタの DT4AE、DT4BE ビットに“1”を設定して、MTU4.TCNT カウンタの山でバッファ転送したとき、転送直後のダウンカウント期間については A/D 変換の開始要求を行いません (図 20.142)。
- 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq \text{MTU}n.\text{TADCORA/B} \leq \text{TCDR} - 2$ を満たすように MTU4.TADCORA、MTU4.TADCORB レジスタを設定してください ($n = 4$)。

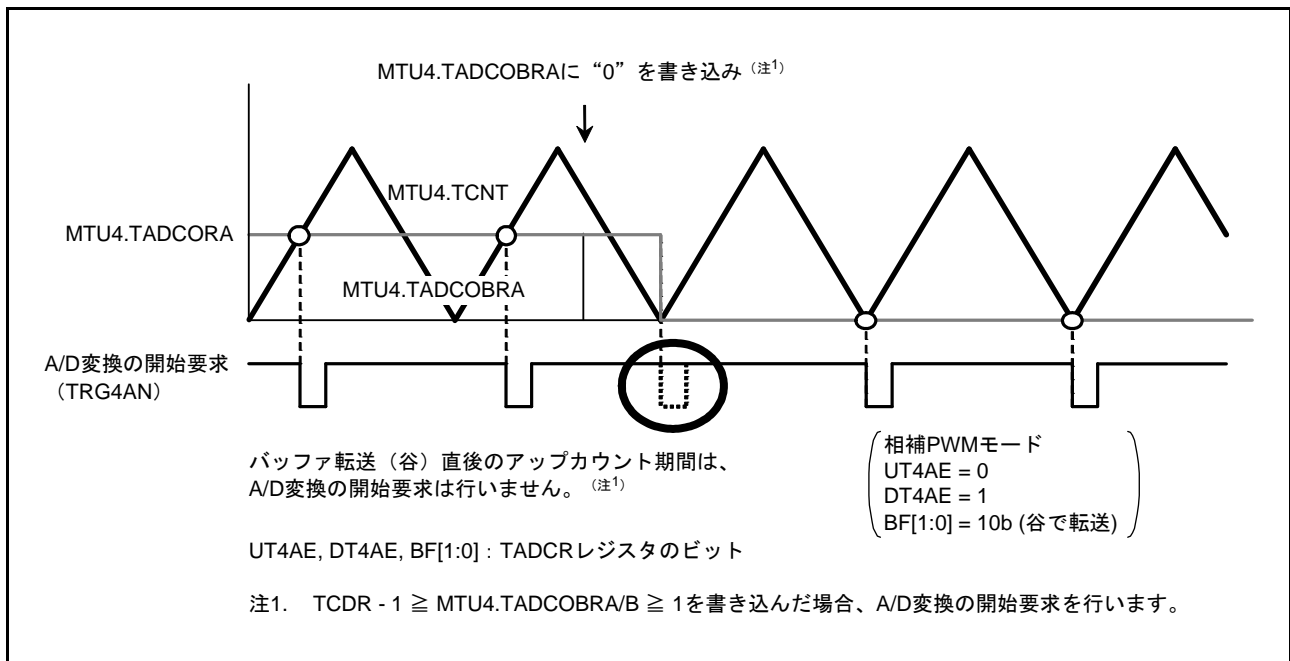


図 20.141 MTU4.TADCOBRA に“0”を書き込んだときの A/D 変換の開始要求 (MTU4)

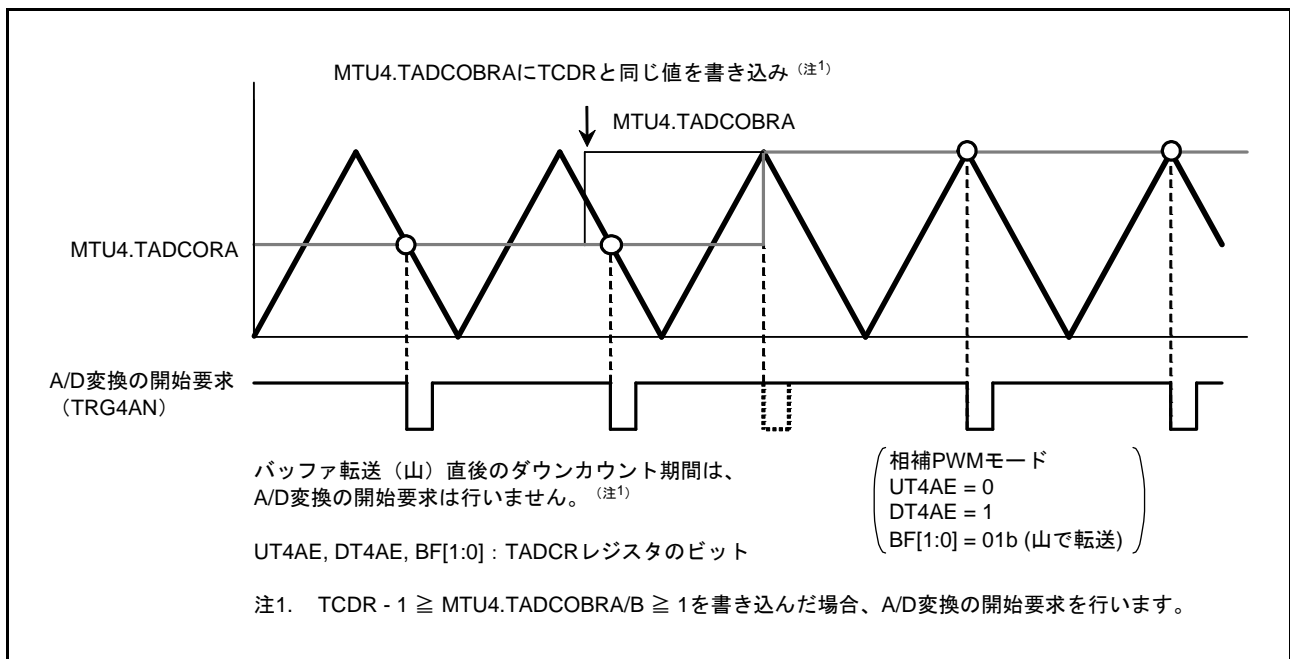


図 20.142 MTU4.TADCOBRA に TCDR と同じ値を書き込んだときの A/D 変換の開始要求 (MTU4)

20.7 MTU 出力端子の初期化方法

20.7.1 動作モード

MTU には以下の 6 つの動作モードがあり、いずれのモードでも波形出力することができます。

- ノーマルモード (MTU0 ~ MTU4)
- PWM モード 1 (MTU0 ~ MTU4)
- PWM モード 2 (MTU0 ~ MTU2)
- 位相計数モード 1 ~ 5 (MTU1, MTU2)
- 相補 PWM モード (MTU3, MTU4)
- リセット同期 PWM モード (MTU3, MTU4)

ここでは、各モードでの MTU 出力端子の初期化方法について示します。

20.7.2 動作中の異常などによる再設定時の動作

MTU の動作中に異常が発生した場合、システムで MTU の出力を遮断してください。遮断は I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力することにより行ってください。MTU 端子を出力禁止とするには TIOR レジスタで設定してください。相補 PWM 出力 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) は、TOERA レジスタで設定してください。また、PWM 出力端子に関してはポートアウトプットイネーブル 3 (POE3) を使用し、ハード的に出力を遮断することも可能です。以下、動作中の異常などによる再設定時の端子の初期化手順と、再設定後別の動作モードで再スタートする場合の手順について示します。

MTU には前述のように 6 つの動作モードがあります。モード移行の組み合わせは 36 通りとなりますがチャンネルとモードの組み合わせ上存在しない移行が存在します。この一覧表を表 20.65 に示します。

表 20.65 モード移行の組み合わせ

	Normal	PWM1	PWM2	PCM	CPWM	RPWM
Normal	(1)	(2)	(3)	(4)	(5)	(6)
PWM1	(7)	(8)	(9)	(10)	(11)	(12)
PWM2	(13)	(14)	(15)	(16)	none	none
PCM	(17)	(18)	(19)	(20)	none	none
CPWM	(21)	(22)	none	none	(23) (24)	(25)
RPWM	(26)	(27)	none	none	(28)	(29)

Normal : ノーマルモード

PWM1 : PWM モード 1

PWM2 : PWM モード 2

PCM : 位相計数モード 1 ~ 5

CPWM : 相補 PWM モード

RPWM : リセット同期 PWM モード

20.7.3 動作中の異常などによる端子の初期化手順、モード移行の概要

- タイマ I/O コントロールレジスタ (TIOR) の設定で端子の出力レベルを選択するモード (Normal, PWM1, PWM2, PCM) に移行する場合は TIOR の設定により端子を初期化してください。
- PWM モード 1 では MTIOCNB/MTIOCND ($n = 3, 4$) 端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- PWM モード 2 では周期レジスタの端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- ノーマルモードまたは PWM モード 2 では TGRC、TGRD がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- PWM モード 1 では TGRC、TGRD のいずれか一方がバッファレジスタとして動作している場合、端子に波形が出力されません。該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。
- タイマアウトプットコントロールレジスタ (TOCR1A, TOCR2A) の設定で端子の出力レベルを選択するモード (CPWM, RPWM) に移行する場合は、タイマアウトプットマスタイネーブルレジスタ (TOERA) で MTU3、MTU4 を 1 度出力禁止にしてください。このとき、該当端子を出力している他のモジュールが無ければハイインピーダンス状態になります。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で汎用出力ポートの設定をしてください。ノーマルモードに移行し TIOR レジスタで初期化、TIOR レジスタを初期値に戻した後、モード設定手順 (TOCR1A 設定、TOCR2A 設定、TMDR1 設定、TOERA 設定) に従い動作させてください。

注. 特に断りがない場合、本項記述中の n にはチャンネル番号が入ります。

以下、表 20.65 の組み合わせ No. に従い端子の初期化手順を示します。なお、アクティブレベルは Low とします。

(1) ノーマルモードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.143 に示します。

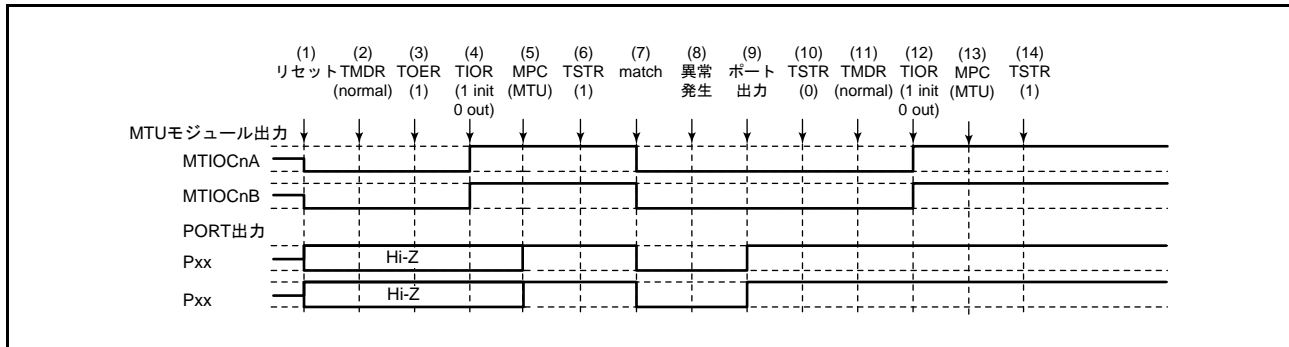


図 20.143 ノーマルモードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) リセットにより TMDR1 レジスタはノーマルモード設定になります。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードで再スタートする場合は必要ありません。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(2) ノーマルモードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.144 に示します。

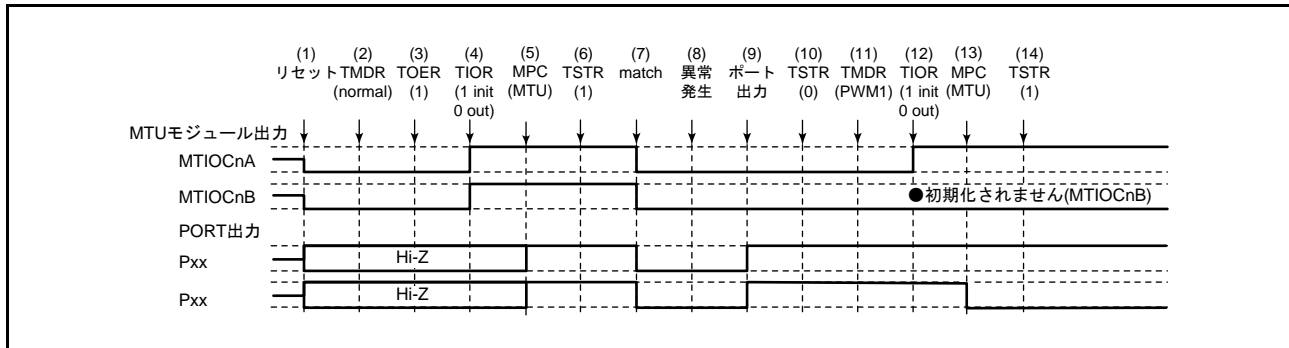


図 20.144 ノーマルモードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.143 と共通です。

(11) PWM モード 1 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(3) ノーマルモードで動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.145 に示します。

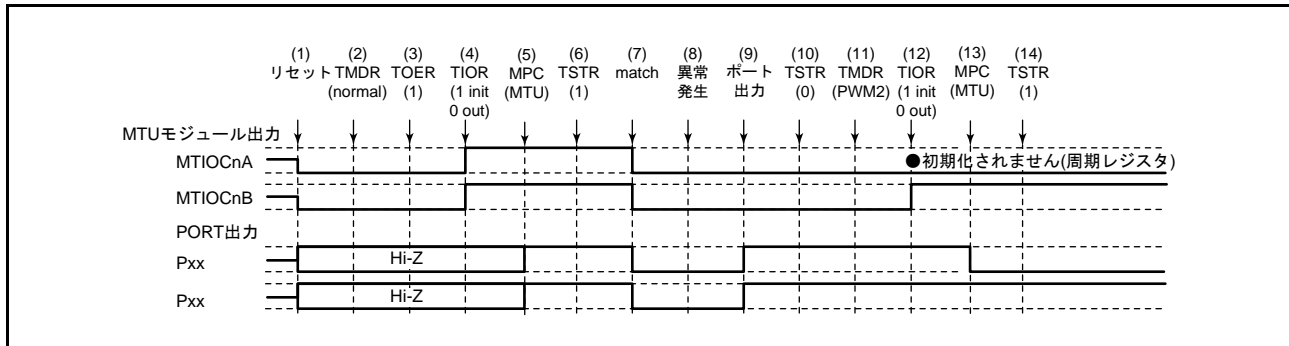


図 20.145 ノーマルモードで異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 20.143 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(4) ノーマルモードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.146 に示します。

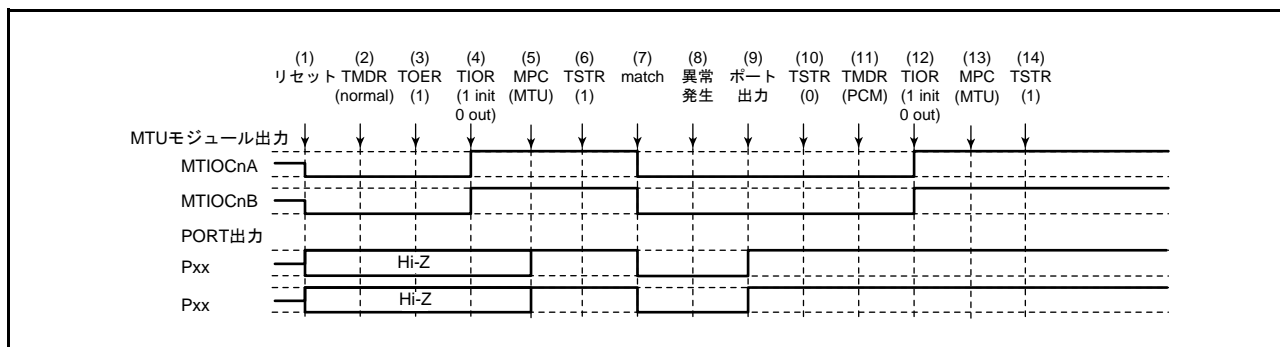


図 20.146 ノーマルモードで異常が発生し、位相計数モードで復帰する場合

- (1) ~ (10) は図 20.143 と共通です。
- (11) 位相計数モードを設定します。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(5) ノーマルモードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.147 に示します。

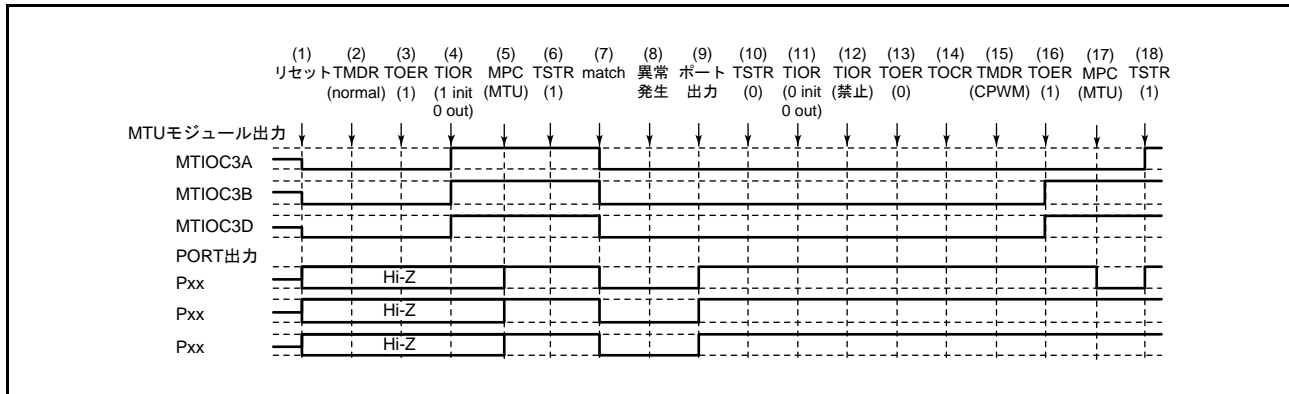


図 20.147 ノーマルモードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.143 と共通です。

- (11) TIOR レジスタでノーマルモードの波形生成部を初期化してください。
- (12) TIOR レジスタでノーマルモードの波形生成部の動作を禁止してください。
- (13) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (14) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) 相補 PWM を設定します。
- (16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTRA レジスタで再スタートします。

(6) ノーマルモードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

ノーマルモードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.148 に示します。

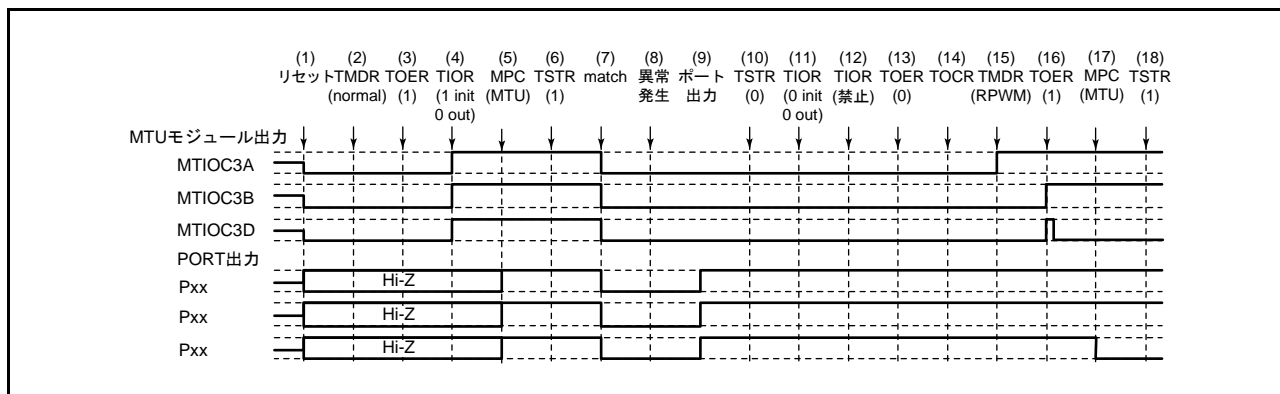


図 20.148 ノーマルモードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (13) は図 20.143 と共通です。
- (14) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (15) リセット同期 PWM を設定します。
- (16) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (17) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (18) TSTR レジスタで再スタートします。

(7) PWM モード 1 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.149 に示します。

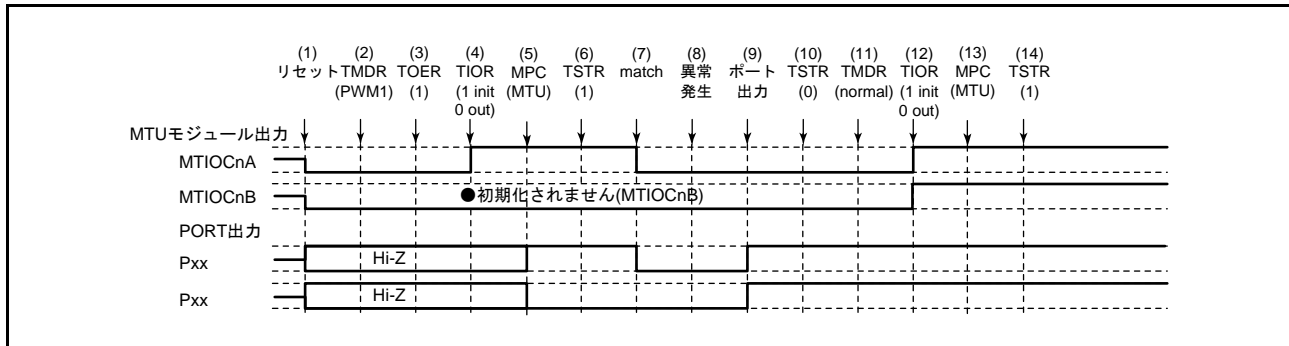


図 20.149 PWM モード 1 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 1 を設定してください。
- (3) MTU3、MTU4 では TIOR レジスタで端子を初期化する前に TOERA レジスタで出力を許可してください。
- (4) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 1 では MTIOCnB 側は初期化されません）。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により Low を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します。
- (11) ノーマルモードを設定してください。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(8) PWM モード 1 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.150 に示します。

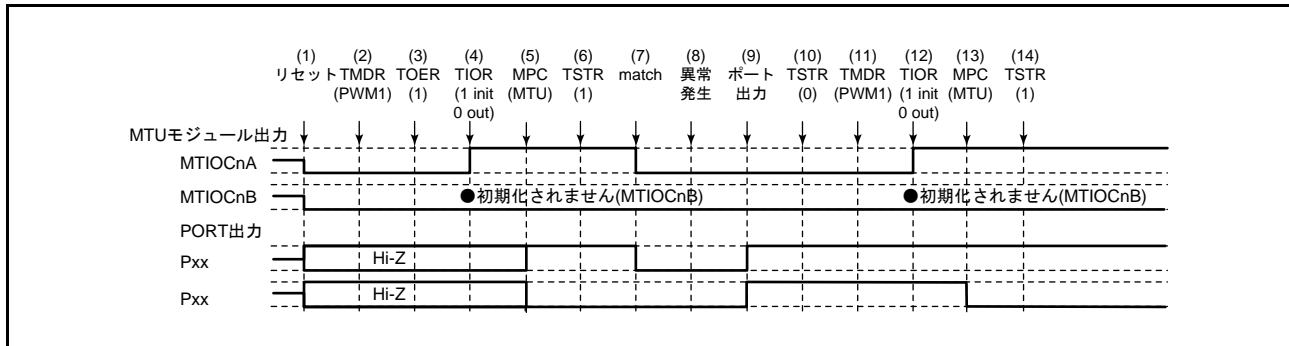


図 20.150 PWM モード 1 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.149 と共通です。

(11) PWM モード 1 で再スタートする場合には必要ありません。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(9) PWM モード 1 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.151 に示します。

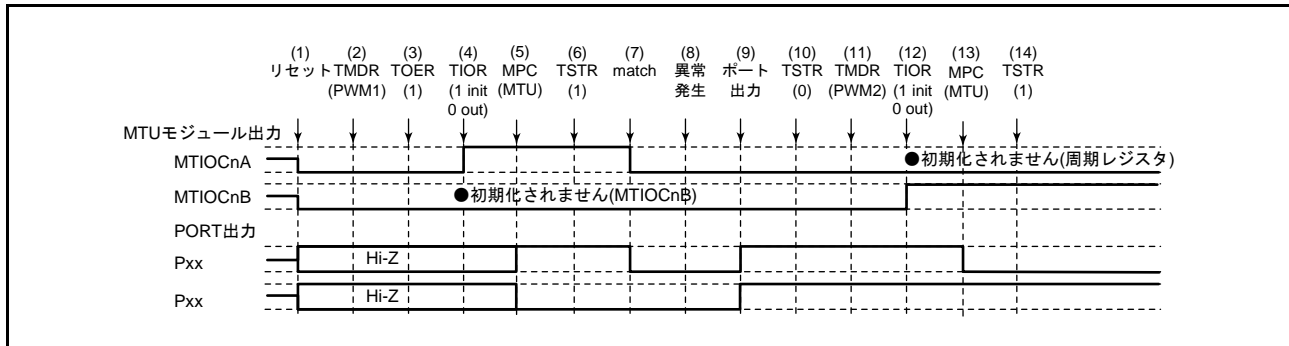


図 20.151 PWM モード 1 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (10) は図 20.149 と共通です。

(11) PWM モード 2 を設定します。

(12) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

注. PWM モード 2 は MTU0 ~ MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(10) PWM モード 1 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.152 に示します。

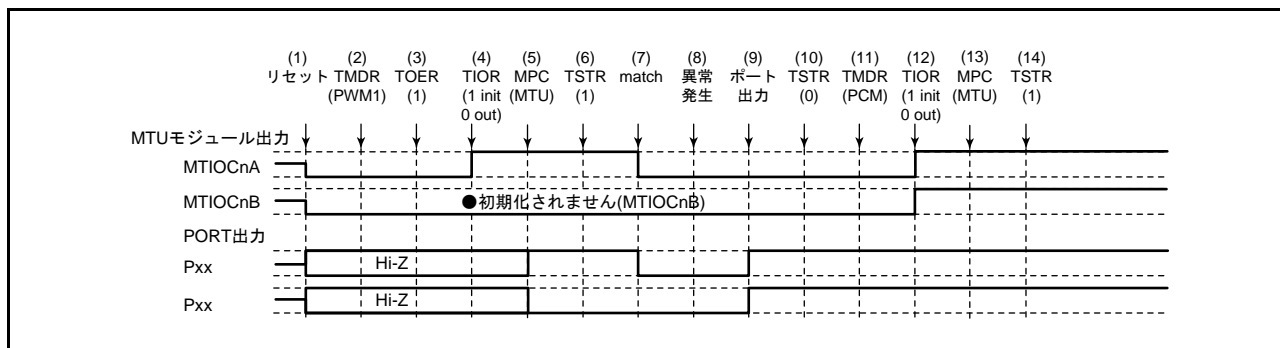


図 20.152 PWM モード 1 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (10) は図 20.149 と共通です。

(11) 位相計数モードを設定します。

(12) TIOR レジスタで端子を初期化してください。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

注. 位相計数モードは MTU1、MTU2 でのみ設定可能です。したがって TOERA レジスタの設定は不要です。

(11) PWM モード 1 で動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.153 に示します。

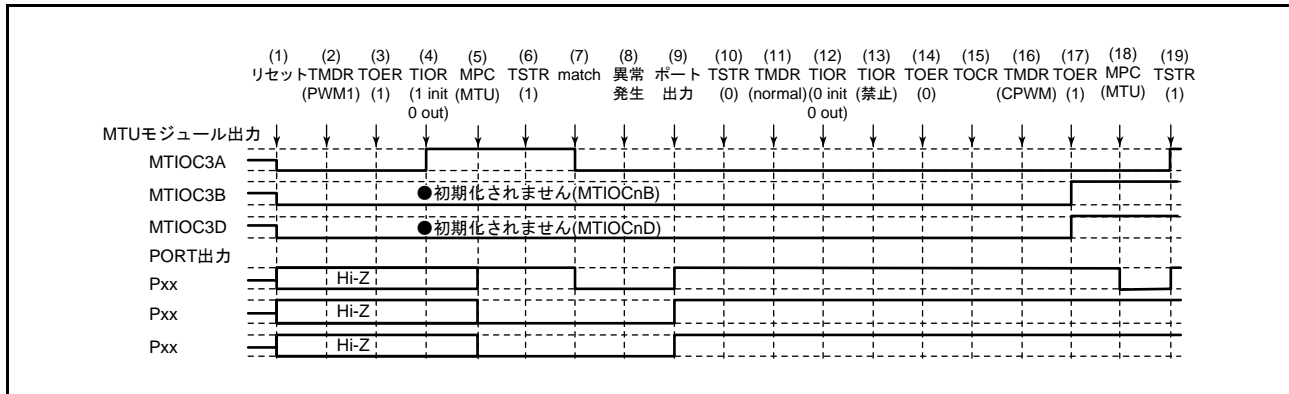


図 20.153 PWM モード 1 で異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.149 と共通です。

- (11) 波形生成部の初期化のためノーマルモードを設定してください。
- (12) TIOR レジスタで PWM モード 1 の波形生成部を初期化してください。
- (13) TIOR レジスタで PWM モード 1 の波形生成部の動作を禁止してください
- (14) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (15) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (16) 相補 PWM を設定します。
- (17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (19) TSTRA レジスタで再スタートします。

(12) PWM モード 1 で動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

PWM モード 1 で異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.154 に示します。

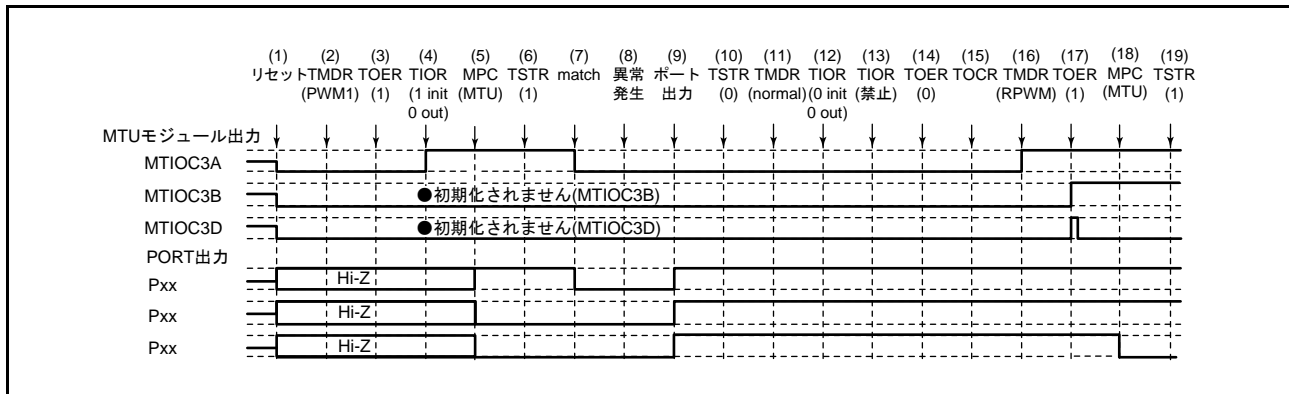


図 20.154 PWM モード 1 で異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (14) は図 20.153 と共通です。

(15) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。

(16) リセット同期 PWM を設定します。

(17) TOERA レジスタで MTU3、MTU4 の出力を許可してください。

(18) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(19) TSTRA レジスタで再スタートします。

(13) PWM モード 2 で動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.155 に示します。

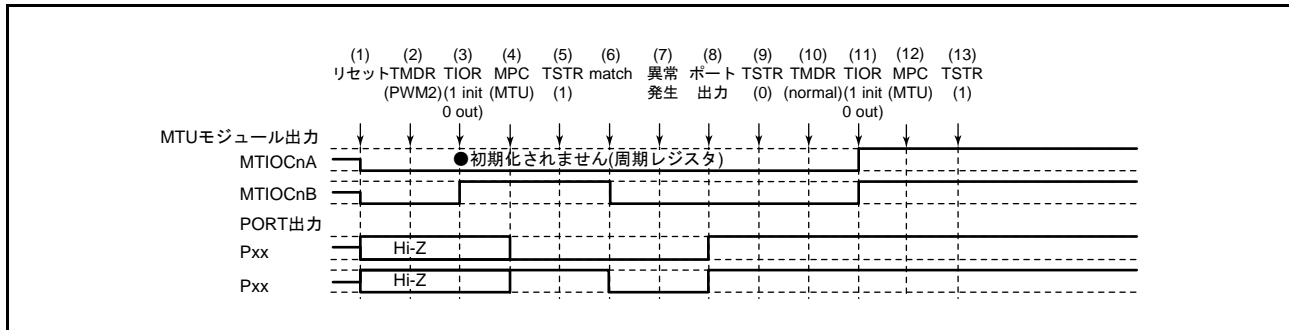


図 20.155 PWM モード 2 で異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) PWM モード 2 を設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です。PWM モード 2 では周期レジスタの端子は初期化されません。例は MTIOcNA が周期レジスタの場合です）。
- (4) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (5) TSTRA レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ（PDR）、ポート出力データレジスタ（PODR）、ポートモードレジスタ（PMR）で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTRA レジスタでカウント動作を停止します。
- (10) ノーマルモードを設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ（PMR）で MTU 出力としてください。
- (13) TSTRA レジスタで再スタートします。

(14) PWM モード 2 で動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.156 に示します。

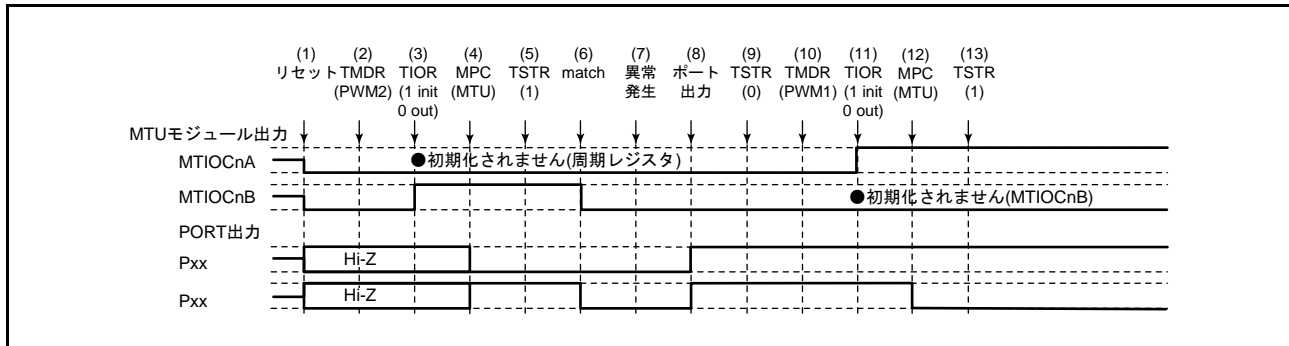


図 20.156 PWM モード 2 で異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (9) は図 20.155 と共通です。

(10) PWM モード 1 を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOcNB (MTIOcND) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(15) PWM モード 2 で動作中に異常が発生し、PWM モード 2 で再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後 PWM モード 2 で再スタートする場合の説明図を図 20.157 に示します。

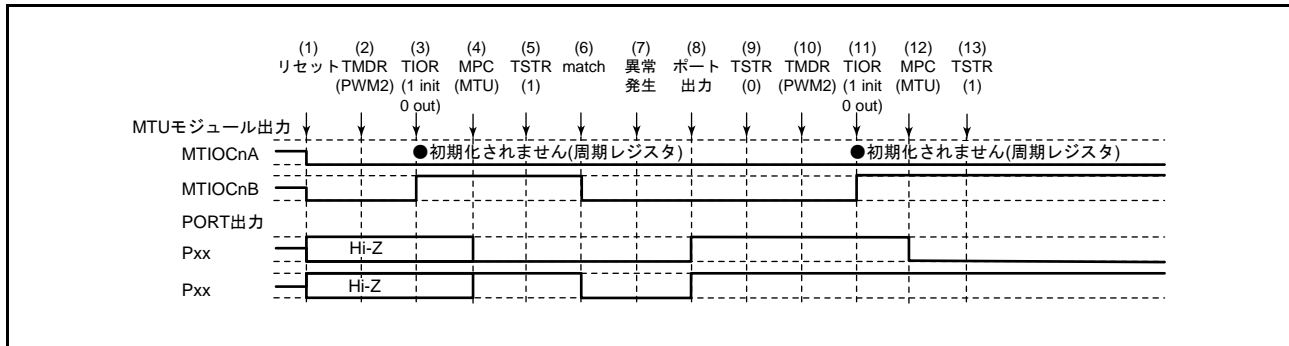


図 20.157 PWM モード 2 で異常が発生し、PWM モード 2 で復帰する場合

(1) ~ (9) は図 20.155 と共通です。

(10) PWM モード 2 で再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください (PWM モード 2 では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(16) PWM モード 2 で動作中に異常が発生し、位相計数モードで再スタートする場合の動作

PWM モード 2 で異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.158 に示します。

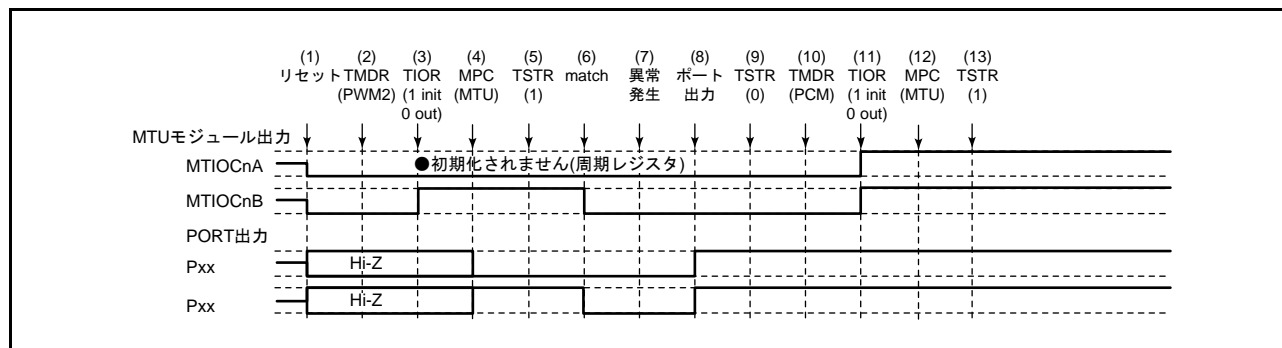


図 20.158 PWM モード 2 で異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 20.155 と共通です。

(10)位相計数モードを設定します。

(11)TIOR レジスタで端子を初期化してください。

(12)MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13)TSTRA レジスタで再スタートします。

(17) 位相計数モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.159 に示します。

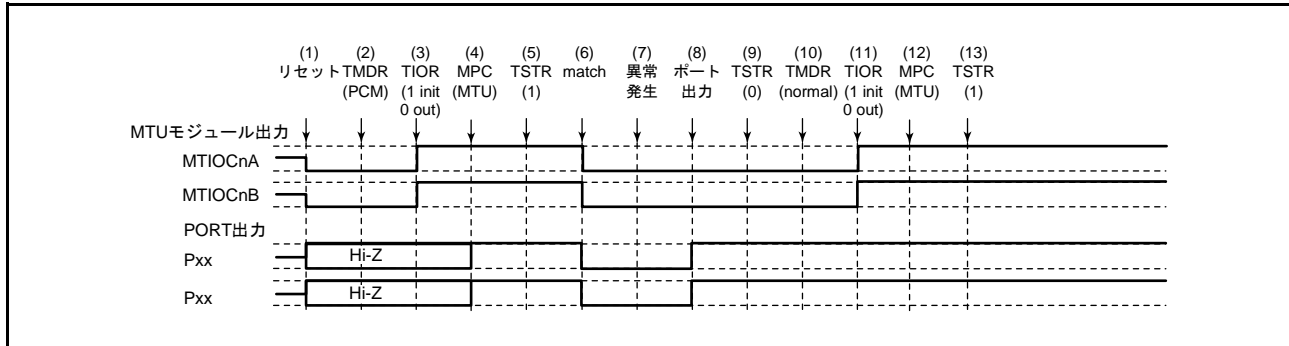


図 20.159 位相計数モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) 位相計数モードを設定してください。
- (3) TIOR レジスタで端子を初期化してください（例は初期出力が High、コンペアマッチで Low 出力です）。
- (4) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (5) TSTR レジスタでカウント動作を開始します。
- (6) コンペアマッチの発生により Low を出力します。
- (7) 異常が発生しました。
- (8) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (9) TSTR レジスタでカウント動作を停止します。
- (10) ノーマルモードで設定してください。
- (11) TIOR レジスタで端子を初期化してください。
- (12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (13) TSTR レジスタで再スタートします。

(18) 位相計数モードで動作中に異常が発生し、PWM モード1で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM モード1で再スタートする場合の説明図を図 20.160 に示します。

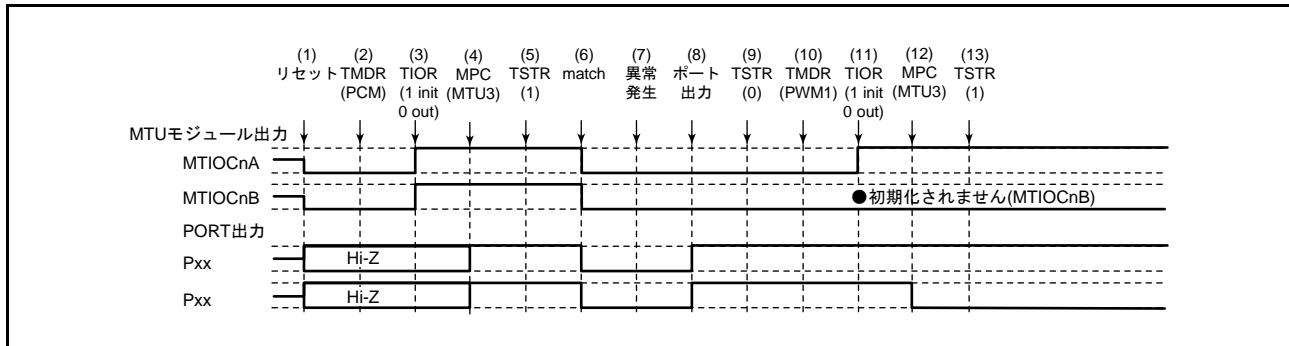


図 20.160 位相計数モードで異常が発生し、PWM モード1で復帰する場合

(1) ~ (9) は図 20.159 と共通です。

(10) PWM モード1を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード1では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(19) 位相計数モードで動作中に異常が発生し、PWM モード2で再スタートする場合の動作

位相計数モードで異常が発生し、再設定後 PWM2 モードで再スタートする場合の説明図を図 20.161 に示します。

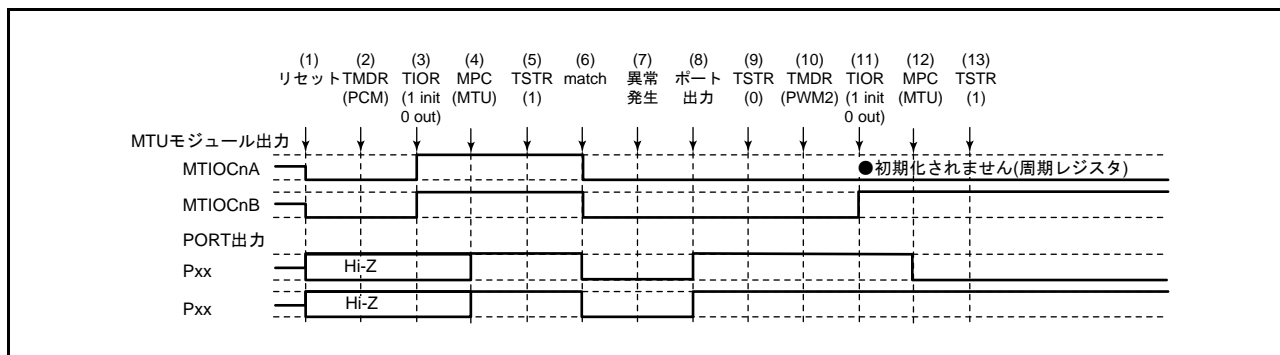


図 20.161 位相計数モードで異常が発生し、PWM モード2で復帰する場合

(1) ~ (9) は図 20.159 と共通です。

(10) PWM モード2を設定します。

(11) TIOR レジスタで端子を初期化してください (PWM モード2では周期レジスタの端子に波形が出力されません。出力すべきレベルがある場合は、I/Oポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(12) MPC と I/Oポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTR レジスタで再スタートします。

(20) 位相計数モードで動作中に異常が発生し、位相計数モードで再スタートする場合の動作

位相計数モードで異常が発生し、再設定後位相計数モードで再スタートする場合の説明図を図 20.162 に示します。

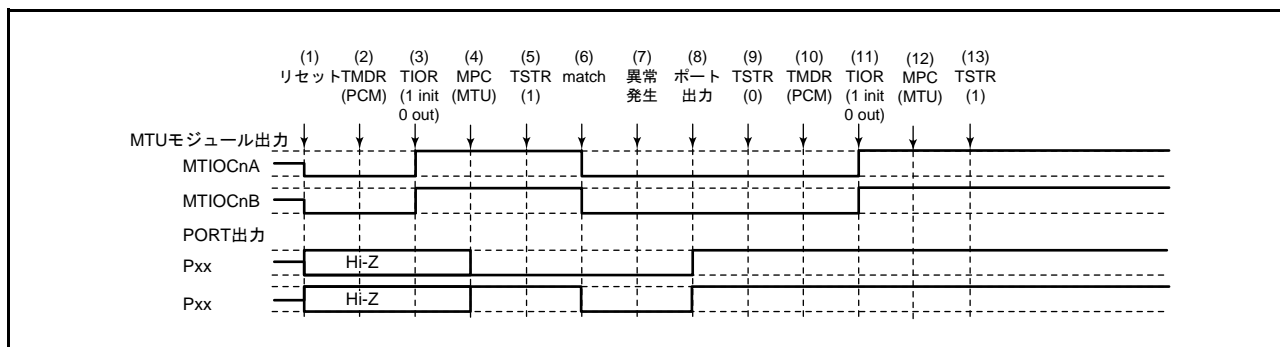


図 20.162 位相計数モードで異常が発生し、位相計数モードで復帰する場合

(1) ~ (9) は図 20.159 と共通です。

(10) 位相計数モードで再スタートする場合には必要ありません。

(11) TIOR レジスタで端子を初期化してください。

(12) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(13) TSTRA レジスタで再スタートします。

(21) 相補 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.163 に示します。

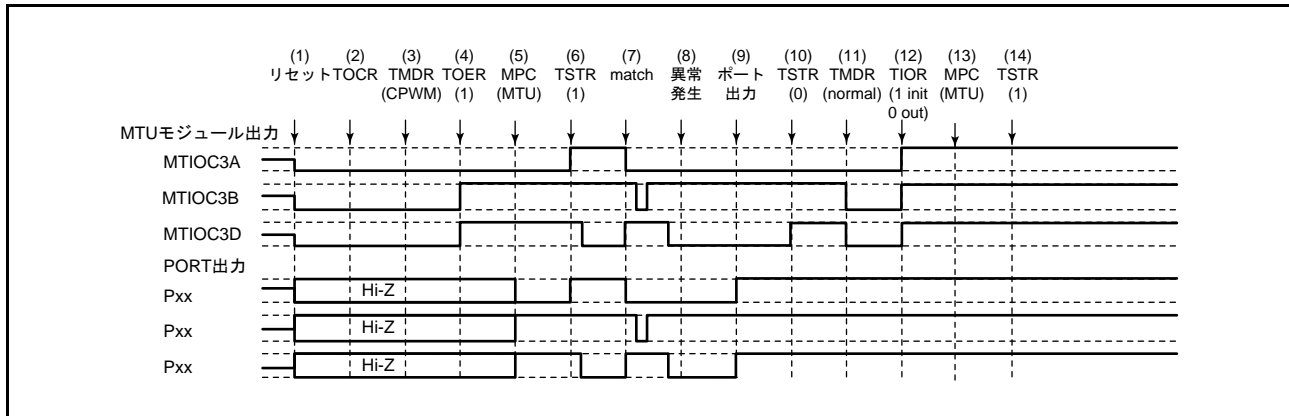


図 20.163 相補 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) 相補 PWM を設定します。
- (4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTR レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生により相補 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTR レジスタでカウント動作を停止します (MTU 出力は相補 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTR レジスタで再スタートします。

(22) 相補 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.164 に示します。

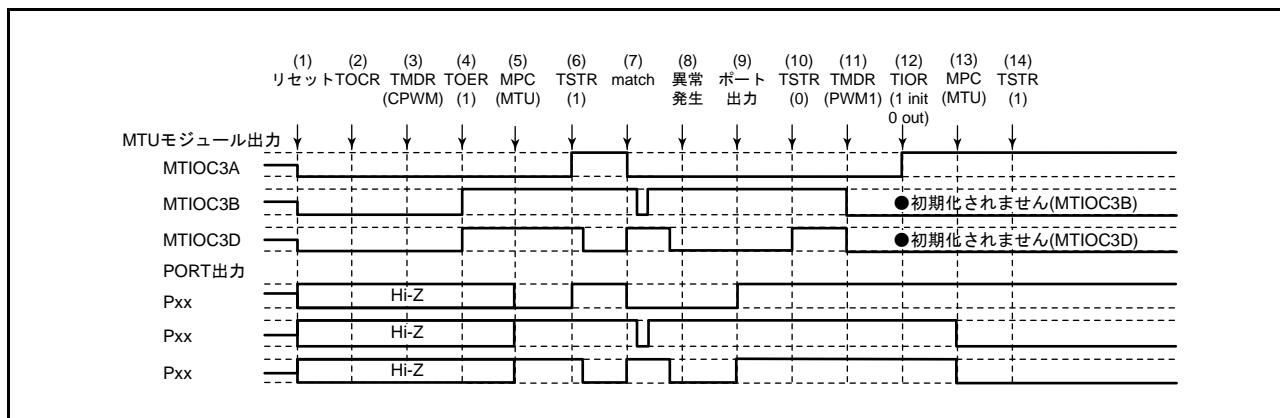


図 20.164 相補 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.163 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は Low となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTRA レジスタで再スタートします。

(23) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.165 に示します (周期、デューティ設定をカウンタを止めたときの値から再スタートする場合)。

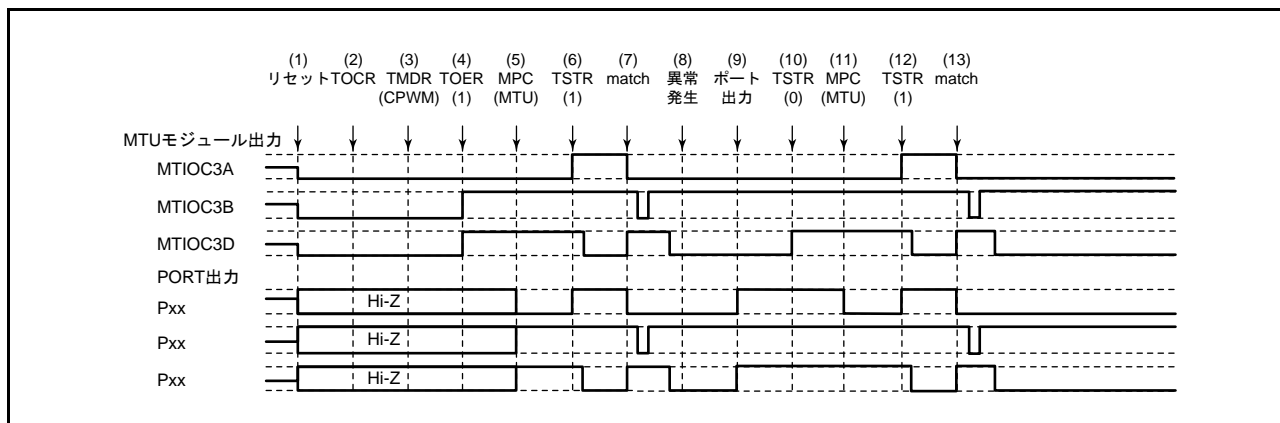


図 20.165 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (1)

(1) ~ (10) は図 20.163 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生により相補 PWM 波形を出力します。

(24) 相補 PWM モードで動作中に異常が発生し、相補 PWM モードで新たに再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.166 に示します (周期、デューティ比設定を全く新しい設定値で再スタートする場合)。

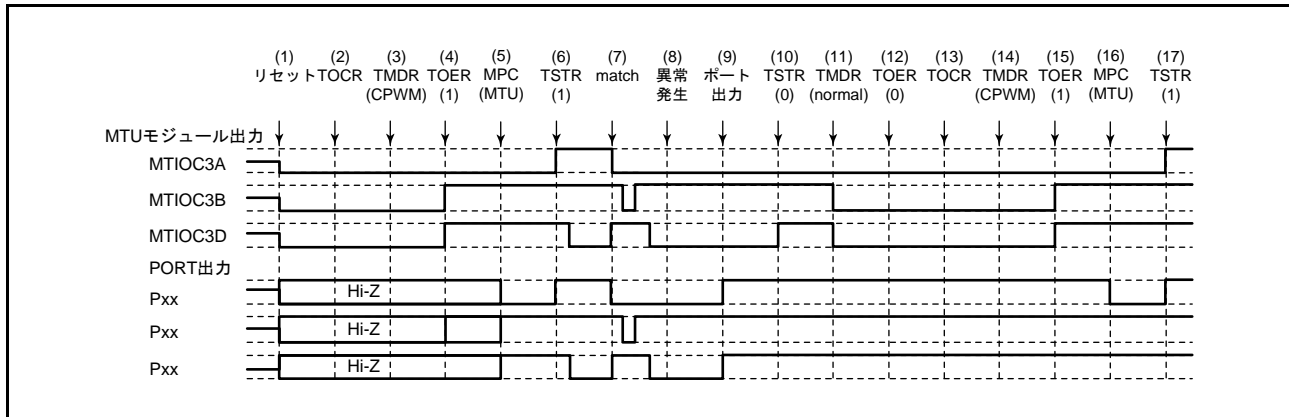


図 20.166 相補 PWM モードで異常が発生し、相補 PWM モードで復帰する場合 (2)

(1) ~ (10) は図 20.163 と共通です。

- (11) ノーマルモードを設定し新しい設定値を設定してください (MTU 出力は Low となります)。
- (12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (13) TOCR1A、TOCR2A レジスタで相補 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (14) 相補 PWM を設定します。
- (15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (17) TSTRA レジスタで再スタートします。

(25) 相補 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

相補 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.167 に示します。

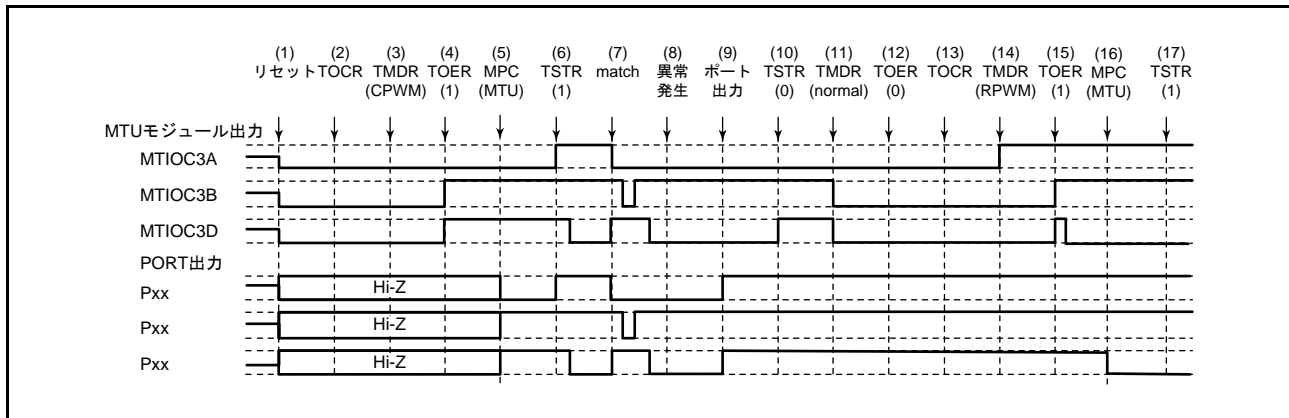


図 20.167 相補 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

- (1) ~ (10) は図 20.163 と共通です。
- (11) ノーマルモードを設定してください (MTU 出力は Low となります)。
- (12) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (13) TOCR1A、TOCR2A レジスタでリセット同期 PWM モードの出力レベルと周期出力の許可 / 禁止を選択してください。
- (14) リセット同期 PWM を設定します。
- (15) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (16) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (17) TSTRA レジスタで再スタートします。

(26) リセット同期 PWM モードで動作中に異常が発生し、ノーマルモードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後ノーマルモードで再スタートする場合の説明図を図 20.168 に示します。

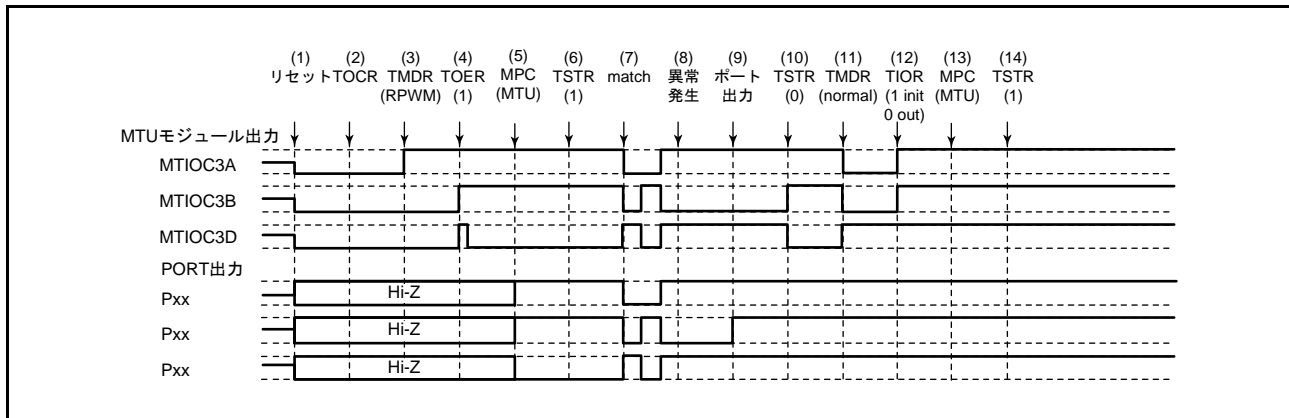


図 20.168 リセット同期 PWM モードで異常が発生し、ノーマルモードで復帰する場合

- (1) リセットにより MTU 出力は Low、ポートはハイインピーダンスになります。
- (2) TOCR1A、TOCR2A レジスタでリセット同期 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (3) リセット同期 PWM を設定します。
- (4) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (5) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (6) TSTRA レジスタでカウント動作を開始します。
- (7) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。
- (8) 異常が発生しました。
- (9) I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR)、ポートモードレジスタ (PMR) で端子を汎用出力ポートに切り替え、非アクティブレベルを出力してください。
- (10) TSTRA レジスタでカウント動作を停止します (MTU 出力はリセット同期 PWM 出力初期値となります)。
- (11) ノーマルモードを設定してください (MTU 出力は正相側が Low、逆相側が High となります)。
- (12) TIOR レジスタで端子を初期化してください。
- (13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (14) TSTRA レジスタで再スタートします。

(27) リセット同期 PWM モードで動作中に異常が発生し、PWM モード 1 で再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後 PWM モード 1 で再スタートする場合の説明図を図 20.169 に示します。

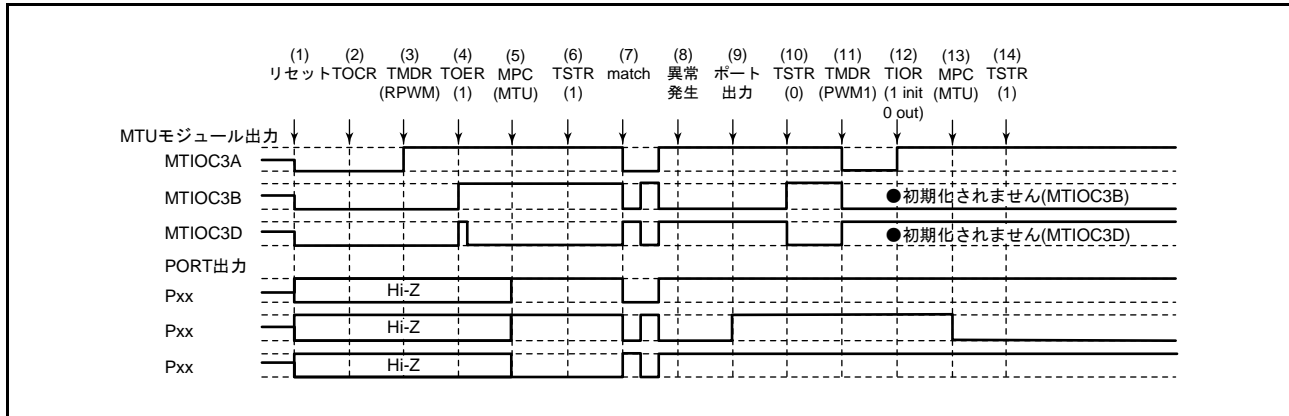


図 20.169 リセット同期 PWM モードで異常が発生し、PWM モード 1 で復帰する場合

(1) ~ (10) は図 20.168 と共通です。

(11) PWM モード 1 を設定してください (MTU 出力は正相側が Low、逆相側が High となります)。

(12) TIOR レジスタで端子を初期化してください (PWM モード 1 では MTIOCnB (MTIOCnD) 端子に波形が出力されません。出力すべきレベルがある場合は、I/O ポートのポート方向レジスタ (PDR)、ポート出力データレジスタ (PODR) で汎用出力ポートの設定をしてください)。

(13) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(14) TSTR レジスタで再スタートします。

(28) リセット同期 PWM モードで動作中に異常が発生し、相補 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後相補 PWM モードで再スタートする場合の説明図を図 20.170 に示します。

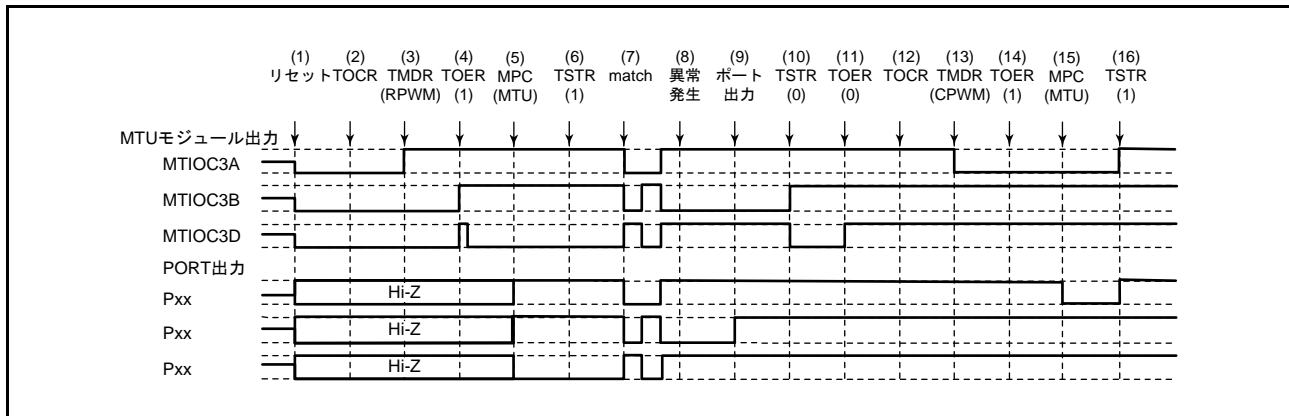


図 20.170 リセット同期 PWM モードで異常が発生し、相補 PWM モードで復帰する場合

(1) ~ (10) は図 20.168 と共通です。

- (11) TOERA レジスタで MTU3、MTU4 の出力を禁止してください。
- (12) TOCR1A、TOCR2A レジスタで相補 PWM の出力レベルと周期出力の許可 / 禁止を選択してください。
- (13) 相補 PWM を設定します (MTU の周期出力端子は Low になります)。
- (14) TOERA レジスタで MTU3、MTU4 の出力を許可してください。
- (15) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。
- (16) TSTRA レジスタで再スタートします。

(29) リセット同期 PWM モードで動作中に異常が発生し、リセット同期 PWM モードで再スタートする場合の動作

リセット同期 PWM モードで異常が発生し、再設定後リセット同期 PWM モードで再スタートする場合の説明図を図 20.171 に示します。

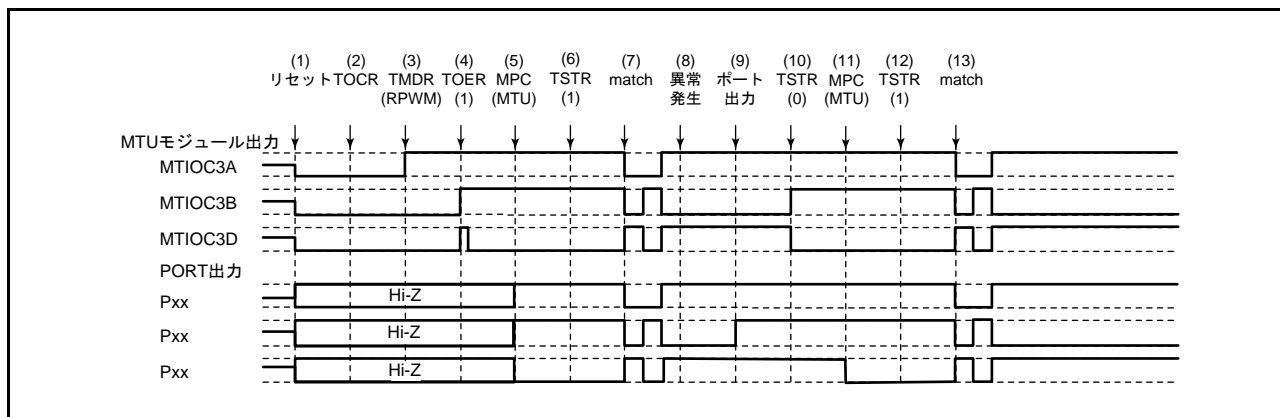


図 20.171 リセット同期 PWM モードで異常が発生し、リセット同期 PWM モードで復帰する場合

(1) ~ (10) は図 20.168 と共通です。

(11) MPC と I/O ポートのポートモードレジスタ (PMR) で MTU 出力としてください。

(12) TSTRA レジスタで再スタートします。

(13) コンペアマッチの発生によりリセット同期 PWM 波形を出力します。

21. ポートアウトプットイネーブル3 (POE3b)

ポートアウトプットイネーブル3 (POE3b) は、MTU の出力端子を各種条件でハイインピーダンス状態にすることができます。

本章に記載している PCLK とは PCLKB を指します。

21.1 概要

表 21.1 に POE の仕様を、図 21.1 に POE のブロック図を示します。

表21.1 POEの仕様

項目	内容								
ハイインピーダンス対象端子	<ul style="list-style-type: none"> MTUの出力端子 MTU0端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) MTU3端子 (MTIOC3B, MTIOC3D) MTU4端子 (MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) 								
ハイインピーダンス発生条件	<ul style="list-style-type: none"> 入力端子の変化 POE0#, POE8#, POE10#端子が入力されたとき 出力端子の短絡 以下の組み合わせの出力信号レベル (アクティブレベル) が1サイクル以上一致 (短絡) したとき <table border="1" style="margin-left: 40px;"> <thead> <tr> <th></th> <th>MTU 相補 PWM 出力端子</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>MTIOC3B と MTIOC3D</td> </tr> <tr> <td>2</td> <td>MTIOC4A と MTIOC4C</td> </tr> <tr> <td>3</td> <td>MTIOC4B と MTIOC4D</td> </tr> </tbody> </table> <ul style="list-style-type: none"> レジスタ設定をしたとき クロック発生回路の発振停止を検出したとき コンパレータ (CMPC) のコンパレータ検出をしたとき 		MTU 相補 PWM 出力端子	1	MTIOC3B と MTIOC3D	2	MTIOC4A と MTIOC4C	3	MTIOC4B と MTIOC4D
	MTU 相補 PWM 出力端子								
1	MTIOC3B と MTIOC3D								
2	MTIOC4A と MTIOC4C								
3	MTIOC4B と MTIOC4D								
機能	<ul style="list-style-type: none"> POE0#, POE8#, POE10#の各入力端子に立ち下がリエッジ、PCLK/8×16回、PCLK/16×16回、PCLK/128×16回のLowサンプリングの設定が可能です。 POE0#, POE8#, POE10#端子の立ち下がリエッジ、またはLowサンプリングによって、MTU相補PWM出力端子およびMTU0端子をハイインピーダンス状態にできます。 クロック発生回路の発振停止を検出した場合、MTU相補PWM出力端子およびMTU0端子をハイインピーダンス状態にできます。 MTU相補PWM出力端子の出力レベルを比較し、同時にアクティブレベル出力が1サイクル以上続いた場合、MTU相補PWM出力端子をハイインピーダンス状態にできます。 コンパレータ (CMPC) のコンパレータ検出によって、MTU相補PWM出力端子およびMTU0端子をハイインピーダンス状態にできます。 POEのレジスタの設定により、MTU相補PWM出力端子およびMTU0端子をハイインピーダンス状態にできます。 入力レベルのサンプリングまたは出力レベルの比較結果により、それぞれ割り込みの発生が可能です。 								

POE は図 21.1 のブロック図に示すように、入力レベル検出回路、出力レベル比較回路、およびハイインピーダンス要求 / 割り込み要求生成回路から構成されます。

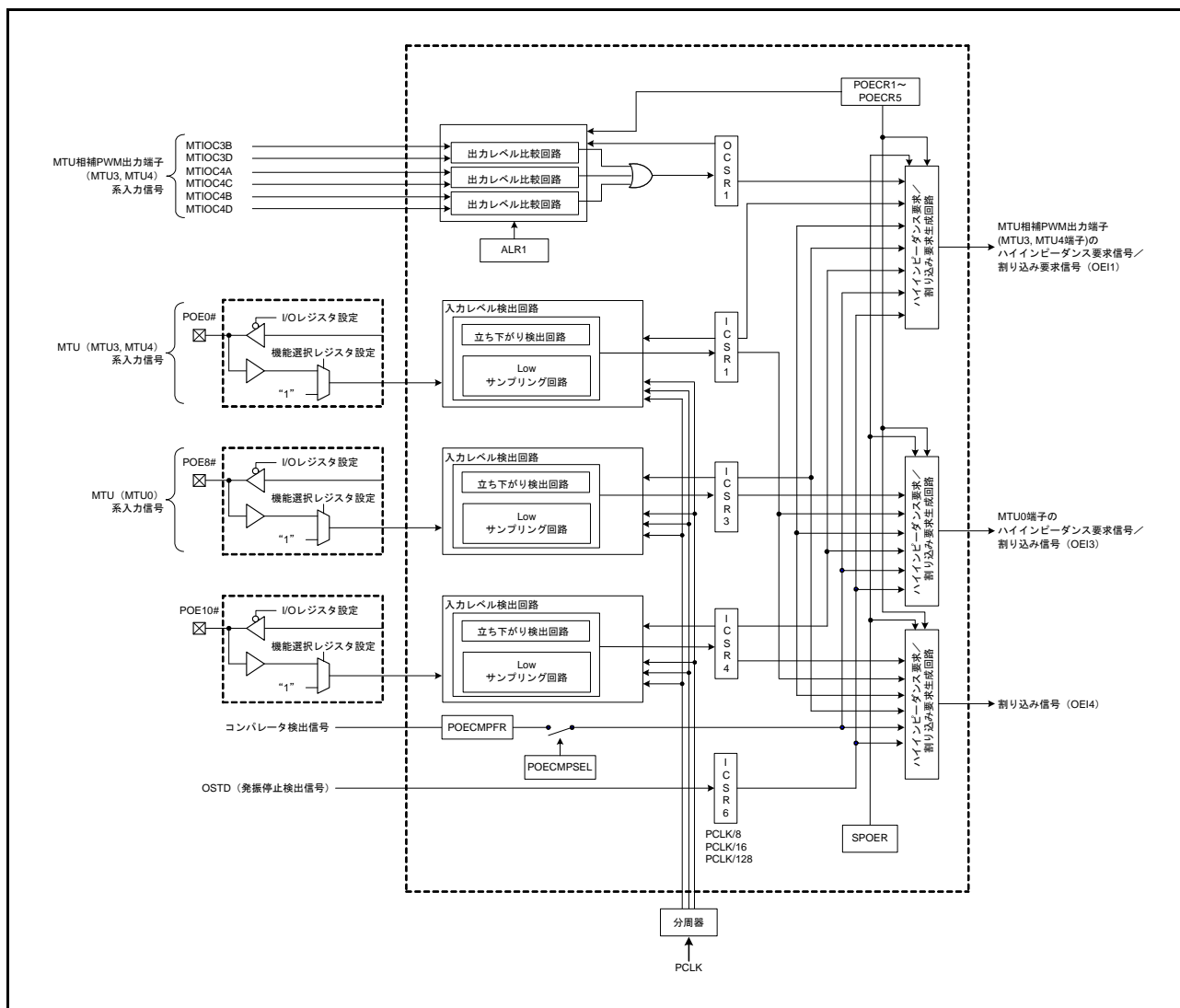


図 21.1 POE のブロック図

表 21.2 に POE で使用する入出力端子を示します。

表 21.2 POEの入出力端子

端子名	入出力	機能
POE0#	入力	MTU相補PWM出力端子 (MTU3, MTU4端子) をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU0端子もハイインピーダンス状態にできます
POE8#	入力	MTU0の端子をハイインピーダンス状態にする要求信号。レジスタの設定によってMTU相補PWM出力端子 (MTU3, MTU4端子) もハイインピーダンス状態にできます
POE10#	入力	レジスタの設定によってMTU相補PWM出力端子 (MTU3, MTU4端子)、MTU0端子をハイインピーダンス状態にできます

表 21.3 に示す端子の組み合わせで出力レベルの比較を行います。

表 21.3 端子の組み合わせ

端子の組み合わせ	入出力	機能
MTIOC3BとMTIOC3D	出力	周辺モジュールクロック (PCLK) 1サイクル以上同時にアクティブレベル出力 (MTUn.TOCR1A.TOCSビットが“0”のときに、MTUn.TOCR1A.OLSPビットが“0”の場合はLow出力、“1”の場合はHigh出力。または、MTUn.TOCR1A.TOCSビットが“1”のときに、MTUn.TOCR2A.OLS3N, OLS3P, OLS2N, OLS2P, OLS1N, OLS1Pビットが“0”の場合はLow出力、“1”の場合はHigh出力) が続いた場合、MTU相補PWM出力端子 (MTU3, MTU4端子) をハイインピーダンス状態にします。どの組み合わせに対して出力比較を行いハイインピーダンス制御を行うかは、POEのレジスタで設定できます
MTIOC4AとMTIOC4C	出力	
MTIOC4BとMTIOC4D	出力	

21.2 レジスタの説明

POE のレジスタは、リセットで初期化されます。

21.2.1 入力レベルコントロール/ステータスレジスタ 1 (ICSR1)

アドレス 0008 C4C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	POE0F	—	—	—	PIE1	—	—	—	—	—	—	—	POE0M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE0M[1:0]	POE0モード選択ビット	b1 b0 0 0 : POE0#端子入力の立ち下がリエッジで要求を受け付け 0 1 : POE0#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 0 : POE0#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 1 1 : POE0#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE1	ポート割り込み許可1ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b11-b9	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE0F	POE0フラグ	0 : POE0#端子にハイインピーダンス要求なし 1 : POE0#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR1 レジスタは、POE0# 端子の入力モードの選択、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

POE0M[1:0] ビット (POE0 モード選択ビット)

POE0# 端子の入力モードを選択します。

PIE1 ビット (ポート割り込み許可1ビット)

POE0F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE0F フラグ (POE0 フラグ)

POE0# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

["1"になる条件]

- POE0# 端子に POE0M[1:0] ビットで設定した入力が発生したとき

["0"になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE0M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE0# 端子に High を入力する必要があります。

詳細は、「21.3.7 ハイインピーダンス状態からの解除」を参照してください。

21.2.2 入力レベルコントロール/ステータスレジスタ 3 (ICSR3)

アドレス 0008 C4C8h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE8F	—	—	POE8E	PIE3	—	—	—	—	—	—	POE8M[1:0]	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE8M[1:0]	POE8モード選択ビット	b1 b0 00 : POE8#端子入力の立ち下がりエッジで要求を受け付け 01 : POE8#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10 : POE8#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11 : POE8#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE3	ポート割り込み許可3ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE8E	POE8ハイインピーダンス許可ビット	0 : 端子をハイインピーダンスにしない 1 : 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE8F	POE8フラグ	0 : POE8#端子にハイインピーダンス要求なし 1 : POE8#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR3 レジスタは、POE8# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE8M[1:0] ビット (POE8 モード選択ビット)

POE8# 端子の入力モードを選択します。

PIE3 ビット (ポート割り込み許可3ビット)

POE8F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE8E ビット (POE8 ハイインピーダンス許可ビット)

POE8F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE8F フラグ (POE8 フラグ)

POE8# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE8# 端子に POE8M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE8M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE8# 端子に High を入力する必要があります。

詳細は、「21.3.7 ハイインピーダンス状態からの解除」を参照してください。

21.2.3 入力レベルコントロール/ステータスレジスタ 4 (ICSR4)

アドレス 0008 C4D6h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	POE10 F	—	—	POE10 E	PIE4	—	—	—	—	—	—	—	POE10M[1:0]
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	POE10M[1:0]	POE10モード選択ビット	b1 b0 00 : POE10#端子入力の立ち下がりエッジで要求を受け付け 01 : POE10#端子入力のLowをPCLK/8クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 10 : POE10#端子入力のLowをPCLK/16クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け 11 : POE10#端子入力のLowをPCLK/128クロックごとに16回サンプリングし、すべてLowだった場合、要求を受け付け	R/W (注1)
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	PIE4	ポート割り込み許可4ビット	0 : 割り込み要求を禁止 1 : 割り込み要求を許可	R/W
b9	POE10E	POE10ハイインピーダンス許可ビット	0 : 端子をハイインピーダンスにしない 1 : 端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	POE10F	POE10フラグ	0 : POE10#端子にハイインピーダンス要求なし 1 : POE10#端子にハイインピーダンス要求あり	R/(W) (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR4 レジスタは、POE10# 端子の入力モードの選択、割り込みの許可/禁止の制御、およびステータスを示すレジスタです。

POE10M[1:0] ビット (POE10 モード選択ビット)

POE10# 端子の入力モードを選択します。

PIE4 ビット (ポート割り込み許可4ビット)

POE10F フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

POE10E ビット (POE10 ハイインピーダンス許可ビット)

POE10F フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

POE10F フラグ (POE10 フラグ)

POE10# 端子にハイインピーダンス要求が入力されたことを示すフラグです。

[“1”になる条件]

- POE10# 端子に POE10M[1:0] ビットで設定した入力が発生したとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

POE10M[1:0] ビットで Low サンプリングを設定している場合、“0”を書くには、POE10# 端子に High を入力する必要があります。

詳細は、「21.3.7 ハイインピーダンス状態からの解除」を参照してください。

21.2.4 入力レベルコントロール/ステータスレジスタ 6 (ICSR6)

アドレス 0008 C4DCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	OSTST F	—	—	OSTST E	—	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b8-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OSTSTE	OSTSTハイインピーダンス許可ビット	0：MTU相補PWM出力端子、MTU0端子をハイインピーダンスにしない 1：MTU相補PWM出力端子、MTU0端子をハイインピーダンスにする	R/W (注1)
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	OSTSTF	OSTSTハイインピーダンスフラグ	0：発振停止ハイインピーダンス要求なし 1：発振停止ハイインピーダンス要求あり	R/W (注2)
b15-b13	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

ICSR6 レジスタは、発振停止時の制御、およびステータスを示すレジスタです。

OSTSTE ビット (OSTSTハイインピーダンス許可ビット)

発振停止検出時に MTU 相補 PWM 出力端子、MTU0 端子をハイインピーダンスにするかしないかを設定します。

OSTSTF フラグ (OSTSTハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。

メインクロックの発振が停止すると“1”になります。OSTSTF フラグを“0”にするときは、OSTSTF フラグが“1”になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが“0”のときに“0”を書いてください。OSTDSR.OSTDF フラグが“1”のときに OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

[“1”になる条件]

- 発振停止状態を検出したとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき

21.2.5 出力レベルコントロール/ステータスレジスタ 1 (OCSR1)

アドレス 0008 C4C2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	OSF1	—	—	—	—	—	OCE1	OIE1	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	OIE1	出力短絡割り込み許可1ビット	0: 割り込み要求を禁止 1: 割り込み要求を許可	R/W
b9	OCE1	出力短絡ハイインピーダンス許可1ビット	0: 端子をハイインピーダンスにしない 1: 端子をハイインピーダンスにする	R/W (注1)
b14-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	OSF1	出力短絡フラグ1	0: 同時にアクティブレベルになっていない 1: 同時にアクティブレベルになった	R/(W) (注2)

注1. リセット後、1回のみ書き込み可能です。

注2. フラグを“0”にするため、“1”を読んだ後、“0”を書き込むことのみ可能です。

OCSR1 レジスタは、出力レベルの比較許可 / 禁止、割り込みの許可 / 禁止の制御、およびステータスを示すレジスタです。

OIE1 ビット (出力短絡割り込み許可 1 ビット)

OSF1 フラグが“1”になったときに、割り込みを要求するかどうかを指定します。

OCE1 ビット (出力短絡ハイインピーダンス許可 1 ビット)

OSF1 フラグが“1”になったときに、端子をハイインピーダンスにするかどうかを指定します。

OSF1 フラグ (出力短絡フラグ 1)

MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) の比較する 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったことを示すフラグです。

[“1”になる条件]

- 3 組の 2 相出力のうち、1 組でも同時にアクティブレベルになったとき

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき
“0”を書くには、MTU 相補 PWM 出力端子から非アクティブを出力する必要があります。
詳細は、「21.3.7 ハイインピーダンス状態からの解除」を参照してください。

21.2.6 アクティブレベルレジスタ 1 (ALR1)

アドレス 0008 C4DAh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	OLSEN	—	OLSG2 B	OLSG2 A	OLSG1 B	OLSG1 A	OLSG0 B	OLSG0 A
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OLSG0A	MTIOC3B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b1	OLSG0B	MTIOC3D アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b2	OLSG1A	MTIOC4A アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b3	OLSG1B	MTIOC4C アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b4	OLSG2A	MTIOC4B アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b5	OLSG2B	MTIOC4D アクティブレベル設定ビット	0 : Low アクティブ 1 : High アクティブ	R/W (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OLSEN	アクティブレベル設定有効ビット	0 : 無効 1 : 有効	R/W (注1)
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

ALR1 レジスタは、MTU 出力を OCSR1 レジスタで出力短絡を検出する場合のアクティブレベルを設定するレジスタです。

OLSG0A ビット (MTIOC3B アクティブレベル設定ビット)

MTIOC3B 出力のアクティブレベルを設定します。OLSG0A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG0B ビット (MTIOC3D アクティブレベル設定ビット)

MTIOC3D 出力のアクティブレベルを設定します。OLSG0B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1A ビット (MTIOC4A アクティブレベル設定ビット)

MTIOC4A 出力のアクティブレベルを設定します。OLSG1A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG1B ビット (MTIOC4C アクティブレベル設定ビット)

MTIOC4C 出力のアクティブレベルを設定します。OLSG1B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2A ビット (MTIOC4B アクティブレベル設定ビット)

MTIOC4B 出力のアクティブレベルを設定します。OLSG2A ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSG2B ビット (MTIOC4D アクティブレベル設定ビット)

MTIOC4D 出力のアクティブレベルを設定します。OLSG2B ビットが“0”の場合は Low をアクティブレベル、“1”の場合は High をアクティブレベルとして、出力短絡検出を行います。

OLSEN ビット (アクティブレベル設定有効ビット)

OLSGnm ビット (n=0 ~ 2, m=A, B) によるアクティブレベル設定の有効/無効を設定します。OLSEN ビットが“0”の場合は OLSGnm ビットの設定は無効となり、MTU 出力のアクティブレベルは MTU.TOCR1m および MTU.TOCR2m レジスタの設定となります。OLSEN ビットが“1”の場合は、MTU 出力のアクティブレベルは OLSGnm ビットの設定となります。

21.2.7 ソフトウェアポートアウトプットイネーブルレジスタ (SPOER)

アドレス 0008 C4CAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTUC H0HIZ	—	MTUC H34HIZ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTUCH34HIZ	MTU3, MTU4出力ハイインピーダンス許可ビット	0 : ハイインピーダンス状態にしない 1 : ハイインピーダンス状態にする	R/W
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	MTUCH0HIZ	MTU0出力ハイインピーダンス許可ビット	0 : ハイインピーダンス状態にしない 1 : ハイインピーダンス状態にする	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPOER レジスタは、端子のハイインピーダンスを制御するレジスタです。

MTUCH34HIZ ビット (MTU3, MTU4 出力ハイインピーダンス許可ビット)

MTU 相補 PWM 出力端子 (MTIOC3B, MTIOC3D, MTIOC4A, MTIOC4B, MTIOC4C, MTIOC4D) をハイインピーダンス状態にする制御を行います。

[“1”になる条件]

- “1”を書いたとき

[“0”になる条件]

- リセット
- “1”の状態を読んだ後、“0”を書いたとき

MTUCH0HIZ ビット (MTU0 出力ハイインピーダンス許可ビット)

MTU0 端子をハイインピーダンス状態にする制御を行います。

[“1” になる条件]

- “1” を書いたとき

[“0” になる条件]

- リセット
- “1” の状態を読んだ後、“0” を書いたとき

21.2.8 ポートアウトプットイネーブルコントロールレジスタ 1 (POECR1)

アドレス 0008 C4CBh

	b7	b6	b5	b4	b3	b2	b1	b0
	MTU0C1ZE	MTU0B2ZE	MTU0B1ZE	MTU0A1ZE	MTU0DZE	MTU0CZE	MTU0BZE	MTU0AZE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MTU0AZE	MTIOC0A PB3端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b1	MTU0BZE	MTIOC0B PB2端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b2	MTU0CZE	MTIOC0C PB1端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b3	MTU0DZE	MTIOC0D PB0端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b4	MTU0A1ZE	MTIOC0A P31端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b5	MTU0B1ZE	MTIOC0B P30端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b6	MTU0B2ZE	MTIOC0B P93端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)
b7	MTU0C1ZE	MTIOC0C P94端子ハイインピーダンス許可ビット	0: ハイインピーダンスにしない 1: ハイインピーダンスにする	R/W (注1)

注1. リセット後、1回のみ書き込み可能です。

POECR1 レジスタは、MTU0 端子のハイインピーダンスを制御するレジスタです。

MTU0AZE ビット (MTIOC0A PB3 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAG フラグ (n=0~2) のうち、どれか1つでも“1”になったときに、PB3 の MTIOC0A 出力をハイインピーダンス状態にするかどうかを設定します。

MTU0BZE ビット (MTIOC0B PB2 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAG フラグ (n=0~2) のうち、どれか1つでも“1”になったときに、PB2 の MTIOC0B 出力をハイインピーダンス状態にするかどうかを設定します。

MTU0CZE ビット (MTIOC0C PB1 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 のとき)、POECR5 レジスタで追加選択した ICSRn.POEmF フラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAG フラグ (n=0~2) のうち、どれか1つでも“1”になったときに、PB1 の MTIOC0C 出力をハイインピーダンス状態にするかどうかを設定します。

MTU0DZE ビット (MTIOC0D PB0 端子ハイインピーダンス許可ビット)

ICSR3.POE8F フラグ、SPOER.MTUCH0HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット=1 の

とき)、POECSR5レジスタで追加選択したICSRn.POEEmFフラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAGフラグ (n=0~2)のうち、どれか1つでも“1”になったときに、PB0のMTIOC0D出力をハイインピーダンス状態にするかどうかを設定します。

MTU0A1ZE ビット (MTIOC0A P31 端子ハイインピーダンス許可ビット)

ICSR3.POE8Fフラグ、SPOER.MTUCH0HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECSR5レジスタで追加選択したICSRn.POEEmFフラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAGフラグ (n=0~2)のうち、どれか1つでも“1”になったときに、P31のMTIOC0A出力をハイインピーダンス状態にするかどうかを設定します。

MTU0B1ZE ビット (MTIOC0B P30 端子ハイインピーダンス許可ビット)

ICSR3.POE8Fフラグ、SPOER.MTUCH0HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECSR5レジスタで追加選択したICSRn.POEEmFフラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAGフラグ (n=0~2)のうち、どれか1つでも“1”になったときに、P30のMTIOC0B出力をハイインピーダンス状態にするかどうかを設定します。

MTU0B2ZE ビット (MTIOC0B P93 端子ハイインピーダンス許可ビット)

ICSR3.POE8Fフラグ、SPOER.MTUCH0HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECSR5レジスタで追加選択したICSRn.POEEmFフラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAGフラグ (n=0~2)のうち、どれか1つでも“1”になったときに、P93のMTIOC0B出力をハイインピーダンス状態にするかどうかを設定します。

MTU0C1ZE ビット (MTIOC0C P94 端子ハイインピーダンス許可ビット)

ICSR3.POE8Fフラグ、SPOER.MTUCH0HIZビット、ICSR6.OSTSTFフラグ (ICSR6.OSTSTEビット=1のとき)、POECSR5レジスタで追加選択したICSRn.POEEmFフラグ (n=1, 4, m=0, 10)、POECMPFR.CnFLAGフラグ (n=0~2)のうち、どれか1つでも“1”になったときに、P94のMTIOC0C出力をハイインピーダンス状態にするかどうかを設定します。

21.2.9 ポートアウトプットイネーブルコントロールレジスタ 2 (POE2R)

アドレス 0008 C4CCh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	MTU3B DZE	MTU4A CZE	MTU4B DZE	—	—	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	0	1	1	1

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b8	MTU4BDZE	MTIOC4B/4Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b9	MTU4ACZE	MTIOC4A/4Cハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b10	MTU3BDZE	MTIOC3B/3Dハイインピーダンス許可ビット	0 : ハイインピーダンスにしない 1 : ハイインピーダンスにする	R/W (注1)
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POE2R レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) のハイインピーダンスを制御するレジスタです。

MTU4BDZE ビット (MTIOC4B/4D ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE2R レジスタで追加選択した ICSRn.POEmF フラグ (n=3, 4, m=8, 10)、POECMPFR.CnFLAG フラグ (n=0 ~ 2) のうち、どれか1つでも“1”になったときに、MTU4 の MTIOC4B 出力と MTIOC4D 出力をハイインピーダンス状態にするかどうかを設定します。

MTU4ACZE ビット (MTIOC4A/4C ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE2R レジスタで追加選択した ICSRn.POEmF フラグ (n=3, 4, m=8, 10)、POECMPFR.CnFLAG フラグ (n=0 ~ 2) のうち、どれか1つでも“1”になったときに、MTU4 の MTIOC4A 出力と MTIOC4C 出力をハイインピーダンス状態にするかどうかを設定します。

MTU3BDZE ビット (MTIOC3B/3D ハイインピーダンス許可ビット)

OCSR1.OSF1 フラグ、ICSR1.POE0F フラグ、SPOER.MTUCH34HIZ ビット、ICSR6.OSTSTF フラグ (ICSR6.OSTSTE ビット = 1 のとき)、POE2R レジスタで追加選択した ICSRn.POEmF フラグ (n=3, 4, m=8, 10)、POECMPFR.CnFLAG フラグ (n=0 ~ 2) のうち、どれか1つでも“1”になったときに、MTU3 の MTIOC3B 出力と MTIOC3D 出力をハイインピーダンス状態にするかどうかを設定します。

21.2.10 ポートアウトプットイネーブルコントロールレジスタ 4 (POECR4)

アドレス 0008 C4D0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IC4ADD MT34ZE	IC3ADD MT34ZE	—	—	CMADD MT34ZE
リセット後の値	0	0	0	0	0	1	0	0	0	0	0	0	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT34ZE	MTU3, MTU4ハイインピーダンス CFLAG追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	IC3ADDMT34ZE	MTU3, MTU4ハイインピーダンス POE8F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b4	IC4ADDMT34ZE	MTU3, MTU4ハイインピーダンス POE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b9-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR4 レジスタは、MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) のハイインピーダンス制御条件を拡張するレジスタです。

CMADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n=0~2) を、MTU3, MTU4 端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4C/MTIOC4B/MTIOC4D) のハイインピーダンス制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n=0~2) により端子がハイインピーダンスとなった場合、OEIn 割り込み (n=1, 3, 4) は発生しません。

IC3ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス POE8F 追加ビット)

ICSR3.POE8F フラグを MTU3, MTU4 端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4C/MTIOC4B/MTIOC4D) のハイインピーダンス制御条件に追加します。

IC4ADDMT34ZE ビット (MTU3, MTU4 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを MTU3, MTU4 端子 (MTIOC3B/MTIOC3D/MTIOC4A/MTIOC4C/MTIOC4B/MTIOC4D) のハイインピーダンス制御条件に追加します。

21.2.11 ポートアウトプットイネーブルコントロールレジスタ 5 (POECR5)

アドレス 0008 C4D2h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	IC4ADD MT0ZE	—	—	IC1ADD MT0ZE	CMADD MT0ZE
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CMADDMT0ZE	MTU0ハイインピーダンスCFLAG追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b1	IC1ADDMT0ZE	MTU0ハイインピーダンスPOE0F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W (注1)
b4	IC4ADDMT0ZE	MTU0ハイインピーダンスPOE10F追加ビット	0: ハイインピーダンス制御条件に追加しない 1: ハイインピーダンス制御条件に追加する	R/W (注1)
b15-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECR5 レジスタは、MTU0 端子のハイインピーダンス制御条件を拡張するレジスタです。

CMADDMT0ZE ビット (MTU0 ハイインピーダンス CFLAG 追加ビット)

POECMPFR.CnFLAG フラグ (n=0 ~ 2) を、MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。ただし、POECMPFR.CnFLAG フラグ (n=0 ~ 2) により端子がハイインピーダンスとなった場合、OEIn 割り込み (n=1, 3, 4) は発生しません。

IC1ADDMT0ZE ビット (MTU0 ハイインピーダンス POE0F 追加ビット)

ICSR1.POE0F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

IC4ADDMT0ZE ビット (MTU0 ハイインピーダンス POE10F 追加ビット)

ICSR4.POE10F フラグを MTU0 端子 (MTIOC0A, MTIOC0B, MTIOC0C, MTIOC0D) のハイインピーダンス制御条件に追加します。

21.2.12 ポートアウトプットイネーブルコンパレータ検出フラグレジスタ (POECMPFR)

アドレス 0008 C4E6h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	C2FLAG	C1FLAG	C0FLAG
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	C0FLAG	コンパレータチャンネル0検出フラグ	0: コンパレータ出力の未検出 1: コンパレータ出力の検出	R/(W) (注1)
b1	C1FLAG	コンパレータチャンネル1検出フラグ	0: コンパレータ出力の未検出 1: コンパレータ出力の検出	R/(W) (注1)
b2	C2FLAG	コンパレータチャンネル2検出フラグ	0: コンパレータ出力の未検出 1: コンパレータ出力の検出	R/(W) (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグを“0”にするため、“1”を読んだ後に“0”を書き込むことのみ可能です。

CnFLAG フラグ (コンパレータチャンネル n 検出フラグ) (n=0 ~ 2)

各コンパレータ出力の検出 / 未検出状態を示すフラグです。

[“1”になる条件]

- コンパレータ出力の Low から High への変化を検知したとき
 - コンパレータが正転出力の場合: 基準電圧よりも低い入力電圧から高い入力電圧への変化
 - コンパレータが反転出力の場合: 基準電圧よりも高い入力電圧から低い入力電圧への変化

[“0”になる条件]

- “1”の状態を読んだ後、“0”を書いたとき

21.2.13 ポートアウトプットイネーブルコンパレータ要求選択レジスタ (POECMPSEL)

アドレス 0008 C4E8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	POERE Q2	POERE Q1	POERE Q0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	POEREQ0	コンパレータチャンネル0POE要求許可ビット	0: コンパレータ検出時のPOE要求発生を禁止 1: コンパレータ検出時のPOE要求発生を許可	R/W (注1)
b1	POEREQ1	コンパレータチャンネル1POE要求許可ビット	0: コンパレータ検出時のPOE要求発生を禁止 1: コンパレータ検出時のPOE要求発生を許可	R/W (注1)
b2	POEREQ2	コンパレータチャンネル2POE要求許可ビット	0: コンパレータ検出時のPOE要求発生を禁止 1: コンパレータ検出時のPOE要求発生を許可	R/W (注1)
b15-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. リセット後、1回のみ書き込み可能です。

POECMPSEL レジスタはコンパレータ検出フラグを POE 要因として使用するために設定するレジスタです。

POEREQn ビット (コンパレータチャンネル nPOE 要求許可ビット) (n=0 ~ 2)

各コンパレータ出力の検出による POE 要求の発生を禁止 / 許可します。いずれかのコンパレータ出力を検出したとき、POE 要求が発生します。

21.3 動作説明

以下にハイインピーダンス制御の対象になる端子と条件を示します。

(1) MTU3 端子 (MTIOC3B, MTIOC3D)

POECR2.MTU3BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0Fフラグが“1”になったとき
- MTIOC3B 端子と MTIOC3D 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
- コンパレータ検出
POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(2) MTU4 端子 (MTIOC4A, MTIOC4C)

POECR2.MTU4ACZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作
ICSR1.POE0Fフラグが“1”になったとき
- MTIOC4A 端子と MTIOC4C 端子の出力レベル比較動作
OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH34HIZ ビットを“1”にしたとき
- POECR4 レジスタで追加された条件
POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
- コンパレータ検出
POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(3) MTU4 端子 (MTIOC4B, MTIOC4D)

POECR2.MTU4BDZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE0# 端子の入力レベル検出動作

ICSR1.POE0F フラグが“1”になったとき

- MTIOC4B 端子と MTIOC4D 端子の出力レベル比較動作

OCSR1.OCE1 ビットが“1”の状態、OCSR1.OSF1 フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH34HIZ ビットを“1”にしたとき

- POECR4 レジスタで追加された条件

POECR4.IC3ADDMT34ZE ビットと ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

POECR4.IC4ADDMT34ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

- コンパレータ検出

POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき

POECR4.CMADDMT34ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(4) MTU0 端子 PB3 (MTIOC0A)

POECR1.MTU0AZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZ ビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき

POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき

- コンパレータ検出

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG

フラグが“1”になったとき

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ1ビットが“1”の状態、POECMPFR.C1FLAG

フラグが“1”になったとき

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ2ビットが“1”の状態、POECMPFR.C2FLAG

フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

(5) MTU0 端子 P31 (MTIOC0A)

POECR1.MTU0A1ZEビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8Eビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZEビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

- コンパレータ検出

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ0ビットが“1”の状態、POECMPFR.C0FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ1ビットが“1”の状態、POECMPFR.C1FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ2ビットが“1”の状態、POECMPFR.C2FLAGフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

(6) MTU0 端子 PB2 (MTIOC0B)

POECR1.MTU0BZEビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8Eビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZEビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZEビットとICSR4.POE10Eビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

- コンパレータ検出

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ0ビットが“1”の状態、POECMPFR.C0FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZEビットとPOECMPSEL.POEREQ1ビットが“1”の状態、POECMPFR.C1FLAG

フラグが“1”になったとき

POECR5.CMADDMT0ZEビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG

フラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

(7) MTU0 端子 P30 (MTIOC0B)

POECR1.MTU0B1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZ ビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

- コンパレータ検出

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAGフラグが“1”になったとき

- 発振停止検出

ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

(8) MTU0 端子 P93 (MTIOC0B)

POECR1.MTU0B2ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作

ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき

- SPOER レジスタ設定

SPOER.MTUCH0HIZ ビットを“1”にしたとき

- POECR5 レジスタで追加された条件

POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき

POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき

- コンパレータ検出

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAGフラグが“1”になったとき

POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG

フラグが“1”になったとき

- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(9) MTU0 端子 PB1 (MTIOC0C)

POECR1.MTU0CZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
- コンパレータ検出
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTF フラグが“1”になったとき

(10) MTU0 端子 P94 (MTIOC0C)

POECR1.MTU0C1ZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8F フラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZ ビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0F フラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10F フラグが“1”になったとき
- コンパレータ検出
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG フラグが“1”になったとき
- 発振停止検出

ICSR6.OSTSTEビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

(11) MTU0 端子 PBO (MTIOC0D)

POECR1.MTU0DZE ビットが“1”の状態、以下のいずれかの条件が成立したとき、端子をハイインピーダンスにします。

- POE8# 端子の入力レベル検出動作
ICSR3.POE8E ビットが“1”の状態、ICSR3.POE8Fフラグが“1”になったとき
- SPOER レジスタ設定
SPOER.MTUCH0HIZビットを“1”にしたとき
- POECR5 レジスタで追加された条件
POECR5.IC1ADDMT0ZE ビットが“1”の状態、ICSR1.POE0Fフラグが“1”になったとき
POECR5.IC4ADDMT0ZE ビットと ICSR4.POE10E ビットが“1”の状態、ICSR4.POE10Fフラグが“1”になったとき
- コンパレータ検出
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ0 ビットが“1”の状態、POECMPFR.C0FLAG
フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ1 ビットが“1”の状態、POECMPFR.C1FLAG
フラグが“1”になったとき
POECR5.CMADDMT0ZE ビットと POECMPSEL.POEREQ2 ビットが“1”の状態、POECMPFR.C2FLAG
フラグが“1”になったとき
- 発振停止検出
ICSR6.OSTSTE ビットが“1”の状態、ICSR6.OSTSTFフラグが“1”になったとき

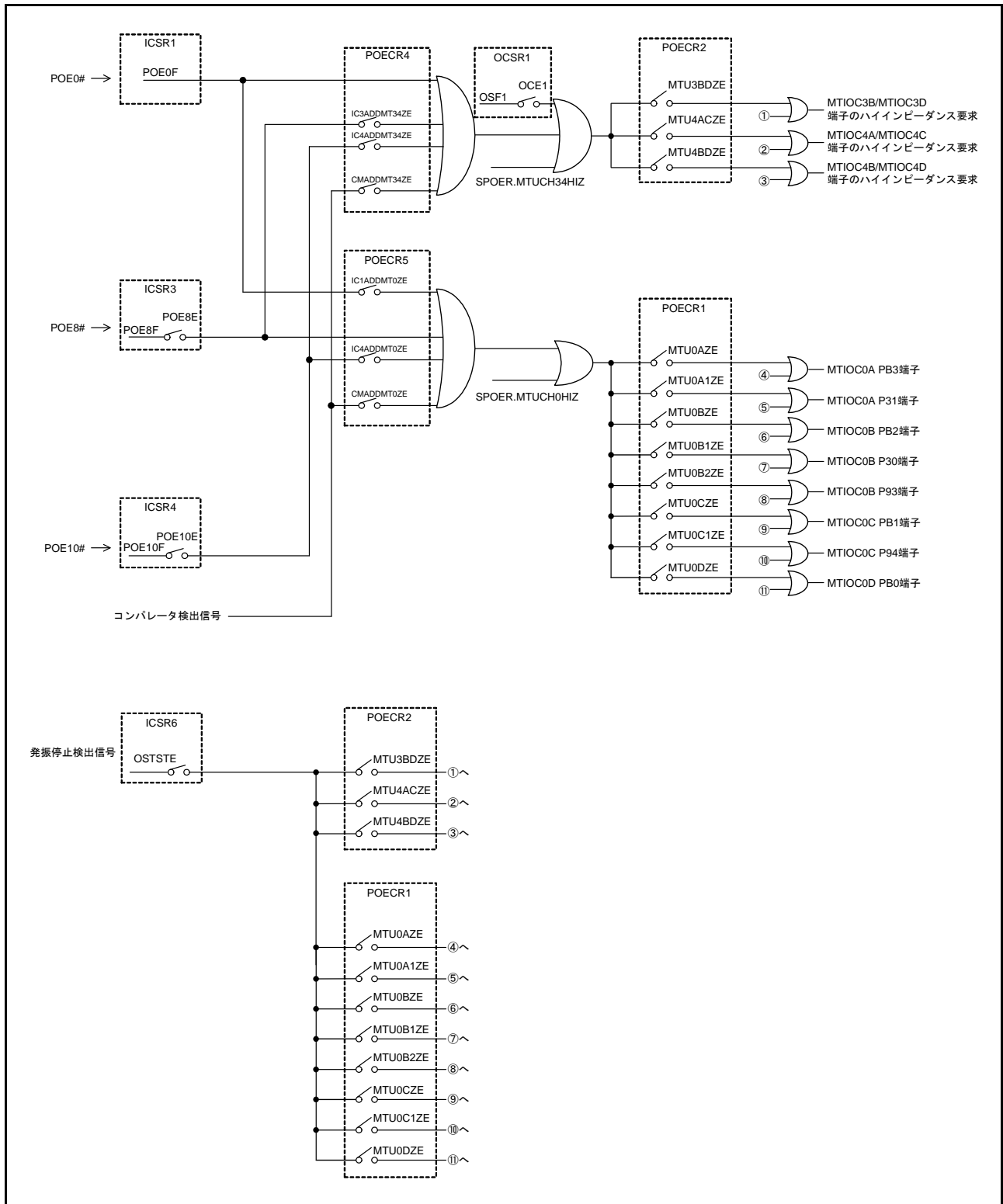


図 21.2 ハイインピーダンス制御の対象と条件

21.3.1 入力レベル検出動作

ICSR1 ~ ICSR4 レジスタで設定した入力条件が POE0#, POE8#, POE10# 端子に発生した場合、MTU 相補 PWM 出力端子 (MTU3, MTU4 端子) および MTU0 端子をハイインピーダンス状態にします。ただし、MTU 相補 PWM 出力端子および MTU0 端子をマルチプレクスしている端子が、MTU 機能を選択していない場合でもハイインピーダンスになります。

(1) 立ち下がリエッジ検出

POE0#, POE8#, POE10# 端子に High から Low の変化が入力されたとき、MTU 相補 PWM 出力端子および MTU0 端子がマルチプレクスされている端子をハイインピーダンス状態にします。

立ち下がリエッジは、PCLK でサンプリングを行った後、検出します。POE0#, POE8#, POE10# 端子に 1PCLK クロック以上の Low を入力してください。

POE0#, POE8#, POE10# 端子入力から端子のハイインピーダンスまでのタイミング例を図 21.3 に示します。

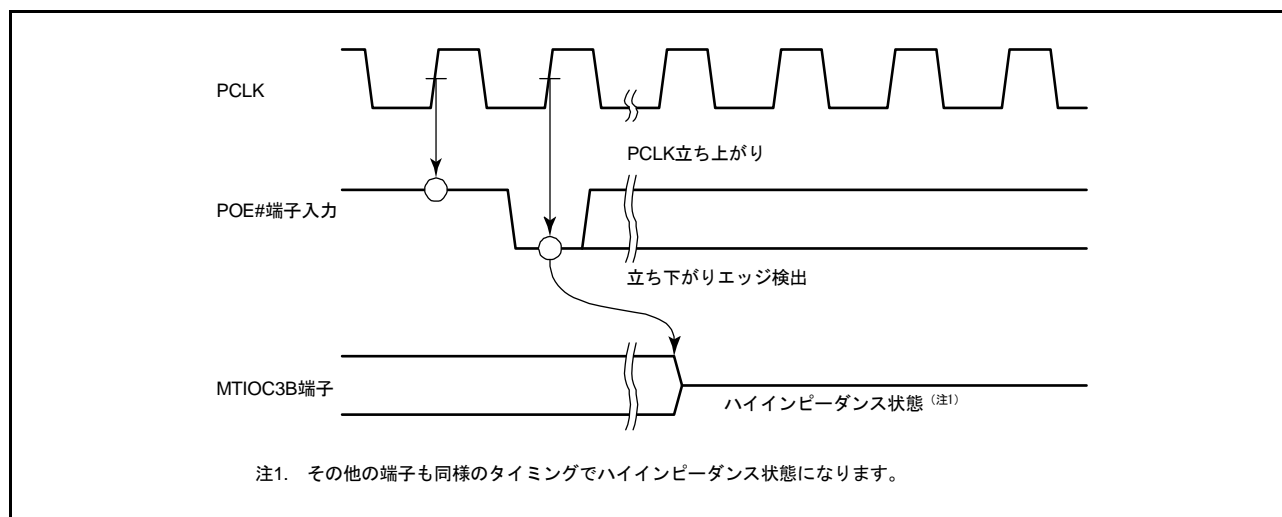


図 21.3 立ち下がリエッジ検出動作

(2) Low 検出

図 21.4 に Low 検出動作を示します。ICSR1 ~ ICSR4 レジスタで設定したサンプリングクロックで、16 回連続して Low を検出すると Low 検出とみなし、MTU 相補 PWM 出力端子、MTU0 端子をハイインピーダンス状態にします。このとき、一度でも High を検出した場合は Low 検出とみなしません。

また、サンプリングクロックから MTU 相補 PWM 出力端子および MTU0 端子がハイインピーダンス状態になるタイミングは、立ち下がりエッジ検出、Low 検出ともに同じです。

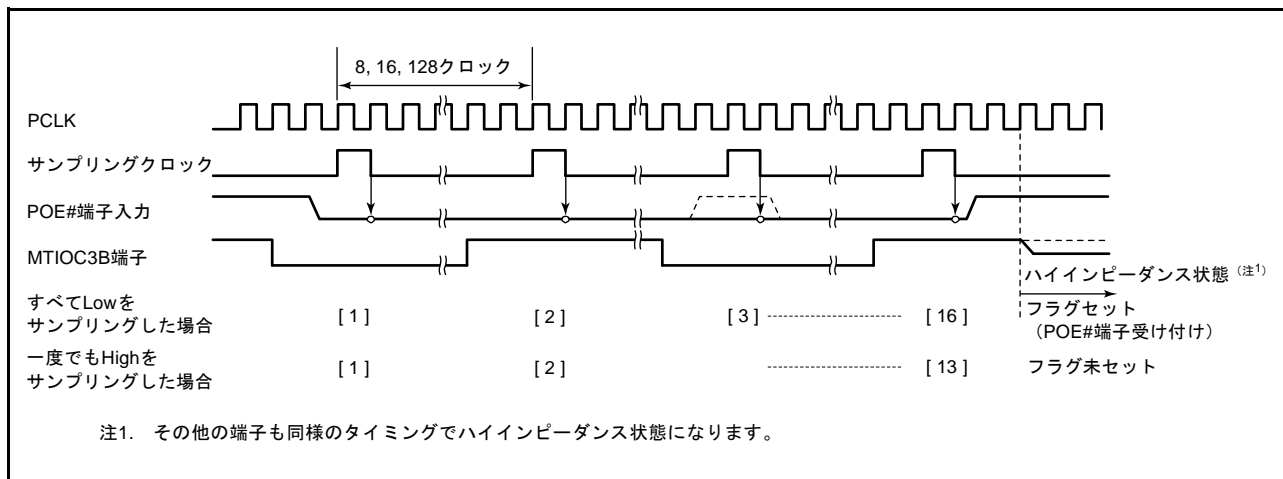


図 21.4 Low 検出動作

21.3.2 出力レベル比較動作

MTIOC3B と MTIOC3D の組み合わせを例に、出力レベル比較動作を図 21.5 に示します。他の端子の組み合わせについても同様です。

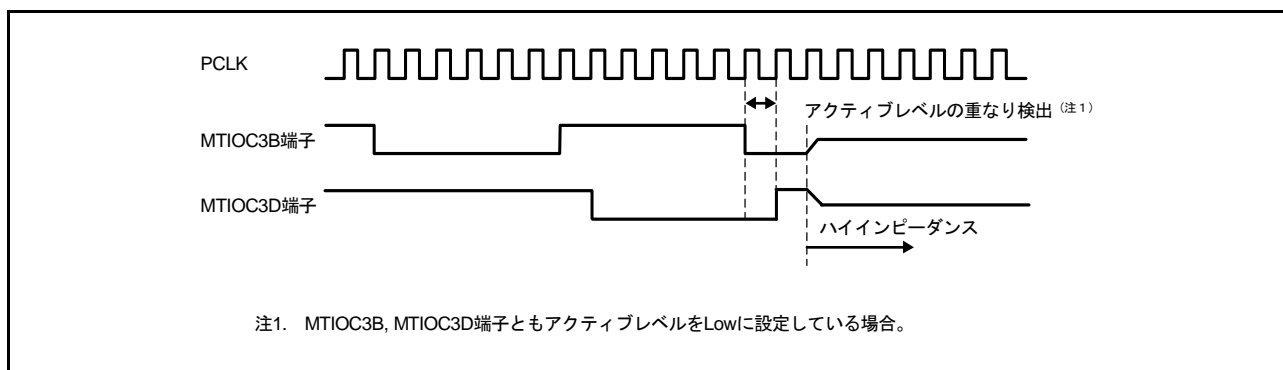


図 21.5 出力レベル検出動作

21.3.3 レジスタによるハイインピーダンス制御

SPOERレジスタにより、直接、MTU端子 (MTU0, MTU3, MTU4) のハイインピーダンス制御をします。

たとえば、SPOER.MTUCH34HIZビットを“1”にすることで、POECR2レジスタで設定したMTU3, MTU4の端子をハイインピーダンス状態にします。

他の端子についても、SPOERレジスタ内のビット設定により同様にハイインピーダンス制御が行えます。

21.3.4 発振停止検出検知によるハイインピーダンス制御

ICSR6.OSTSTEビットが“1”のとき、クロック発生回路の発振停止検出機能により発振停止が検出されると、POECR2レジスタで設定したMTU相補PWM出力端子、POECR1レジスタで設定したMTU0端子をハイインピーダンス状態にします。

21.3.5 コンパレータ検出によるハイインピーダンス制御

コンパレータの検出により、MTU相補PWM出力端子、MTU0端子をハイインピーダンス状態にすることができます。

たとえば、POECR4.CMADDMT34ZEビットを“1”にしてMTU3, MTU4の端子のハイインピーダンス制御条件にPOECMPFR.CnFLAGフラグ (n=0~2) を追加することで、コンパレータ検出時にPOECR2レジスタで設定したMTU3, MTU4の端子をハイインピーダンス状態にします。

他の端子についても、POECR1~POECR5レジスタの設定により同様にハイインピーダンス制御が行えます。

21.3.6 ハイインピーダンス制御条件の追加機能

POECR4, POECR5レジスタの設定により、MTU相補PWM出力端子、MTU0端子のハイインピーダンス制御条件を追加することができます。

たとえば、MTU3, MTU4の端子のハイインピーダンス制御条件に、下記を追加することができます。

- POECR4.IC3ADDMT34ZEビットを“1”にして、POE8#端子による入力レベル検出を追加
- POECR4.IC4ADDMT34ZEビットを“1”にして、POE10#端子による入力レベル検出を追加

他の端子についても、POECR4, POECR5レジスタの設定により同様にハイインピーダンス制御条件の追加が行えます。

21.3.7 ハイインピーダンス状態からの解除

入力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、ICSR1.POE0Fフラグ、ICSR3.POE8Fフラグ、ICSR4.POE10Fフラグをクリアすることによって解除されます。ただし、ICSR1.POE0M[1:0]ビット、ICSR3.POE8M[1:0]ビット、ICSR4.POE10M[1:0]ビットでLowサンプリングに設定している場合には、POE0#, POE8#, POE10#端子からHighを入力してHighを検出した後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。

出力レベル検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、OCSR1.OSF1フラグを“0”にすることによって解除されます。ただし、端子から非アクティブレベルを出力するようにした後でないと、フラグに対して“0”を書いても無効となりフラグは“0”になりません。非アクティブレベル出力は、MTU内のレジスタ、およびALR1レジスタを設定することで行うことができます。

コンパレータ検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻すか、

POECMPFR.CnFLAG フラグ (n=0 ~ 2) を“0”にすることによって解除されます。POECMPFR.CnFLAG フラグを“0”にする場合は、コンパレータ検出を行ったアナログ入力信号が適正值に戻ったことを A/D 変換実施等で確認した後に実施してください。アナログ入力信号が適正值に戻ったことを確認しないで当該フラグをクリアしたときで、かつコンパレータが正転出力の場合にアナログ入力信号が基準電圧よりも高い、またはコンパレータが反転出力の場合にアナログ入力信号が基準電圧よりも低いままだった場合、前述のコンパレータ検出フラグ POECMPFR.CnFLAG フラグは再び“1”にはなりませんのでご注意ください。

発振停止検出でハイインピーダンス状態になった端子は、リセットで初期状態に戻るか、SYSTEM.OSTDSR.OSTDF フラグを“0”にして ICSR6.OSTSTF フラグを“0”にすることによって解除されま

す。

21.4 POE 設定手順

POE の設定手順を図 21.6 に示します。例として MTU3 端子 (MTIOC3B/MTIOC3D) の出力レベル比較によるハイインピーダンス制御を示します。図 21.6 では MTIOC3B 端子に P71, MTIOC3D 端子に P74 を使用します。

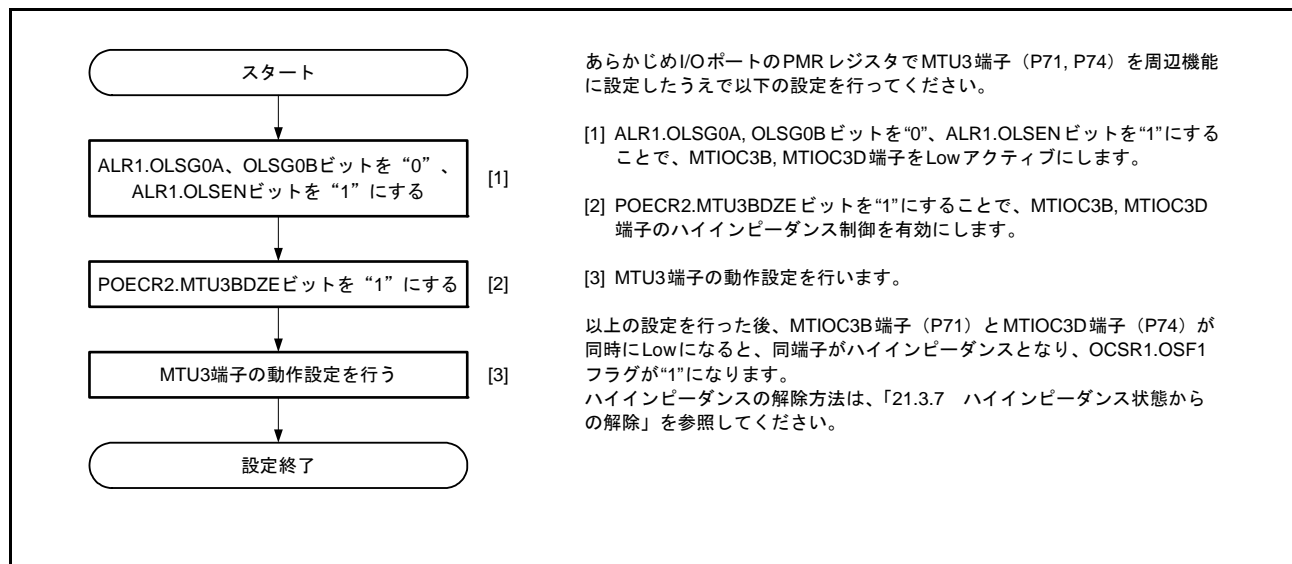


図 21.6 POE の設定手順

21.5 割り込み

POE は入力レベル検出動作または出力レベル比較動作において、条件が一致したときに割り込み要求を出して割り込みを発生することができます。表 21.4 に割り込みの種類と割り込み要求を出す条件を示します。

表 21.4 割り込み要求の種類と条件

名称	割り込み要因	割り込みフラグ	条件
OEI1	アウトプットイネーブル割り込み1	POE0F, OSF1	ICSR1.PIE1ビットが“1”の状態(ICSR1.POE0Fフラグが“1”になったとき、もしくはOCSR1.OIE1ビットが“1”の状態(OCSR1.OSF1フラグが“1”になったとき)
OEI3	アウトプットイネーブル割り込み3	POE8F	ICSR3.PIE3ビットが“1”の状態(ICSR3.POE8Fフラグが“1”になったとき)
OEI4	アウトプットイネーブル割り込み4	POE10F	ICSR4.PIE4ビットが“1”の状態(ICSR4.POE10Fフラグが“1”になったとき)

21.6 使用上の注意事項

21.6.1 低消費電力モードへの遷移

POEを使用する場合は、ソフトウェアスタンバイモードに移行しないでください。ソフトウェアスタンバイモードでは、POEの動作が停止するため、端子のハイインピーダンス制御はできません。

21.6.2 MTU 端子非選択時のハイインピーダンス制御

POECR1, POECR2 レジスタで MTU 端子のハイインピーダンス制御を有効にしハイインピーダンス条件を満たすと、MTU 機能がマルチプレクスされている端子は MTU 機能を選択していない場合でも、ハイインピーダンスとなります。

意図せず端子がハイインピーダンスになるのを避けるため、MPC の PmnPFS レジスタで選択した MTU 端子と、POE の端子選択レジスタで選択した MTU 端子が一致するように設定を行ってください。

21.6.3 POE を使用しない場合について

POE による端子のハイインピーダンス制御は、リセット後、有効となっています。POE を使用しない場合は、POECR1, POECR2 レジスタの対象ビットに“0”を書いてください。

22. 8ビットタイマ (TMR)

本MCUは、8ビットのカウンタをベースにした2チャンネルの8ビットタイマ (TMR) を2ユニット (ユニット0、ユニット1)、合計4チャンネル内蔵しています。外部イベントのカウントが可能のほか、2本のレジスタとのコンペアマッチ信号により、カウンタのクリア、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

ユニット0、ユニット1は同一機能です。また、SCIのボーレートクロックを生成することができます。本章に記載しているPCLKとはPCLKBを指します。

22.1 概要

表22.1にTMRの仕様を、表22.2にTMRの機能一覧を示します。

図22.1にユニット0、図22.2にユニット1のブロック図を示します。

表22.1 TMRの仕様

項目	仕様
カウントクロック	<ul style="list-style-type: none"> 内部クロック : PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192 外部クロック : 外部カウントクロック
チャンネル数	(8ビット×2チャンネル) × 2ユニット
コンペアマッチ	<ul style="list-style-type: none"> 8ビットモード (コンペアマッチA、コンペアマッチB) 16ビットモード (コンペアマッチA、コンペアマッチB)
カウンタクリア	コンペアマッチA、コンペアマッチB、外部カウンタリセット信号から選択
タイマ出力	任意のデューティ比のパルス出力、PWM出力
2チャンネルのカスケード接続	<ul style="list-style-type: none"> 16ビットカウントモード TMR0を上位、TMR1を下位 (TMR2を上位、TMR3を下位) とする16ビットタイマ コンペアマッチカウントモード TMR1はTMR0のコンペアマッチをカウント (TMR3はTMR2のコンペアマッチをカウント)
割り込み要因	コンペアマッチA、コンペアマッチB、オーバフロー
DTCの起動	コンペアマッチA割り込み、コンペアマッチB割り込みにより起動可能
A/Dコンバータの変換開始トリガ	TMR0、TMR2のコンペアマッチA
SCIのボーレートクロック生成	SCIのボーレートクロックを生成 (注1)
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

注1. 詳細は「25. シリアルコミュニケーションインタフェース (SCIg)」を参照してください。

表22.2 TMRの機能一覧

項目		ユニット0			ユニット1		
		8ビット		16ビット	8ビット		16ビット
カウンタモード		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
チャンネル		TMR0	TMR1	TMR0 + TMR1	TMR2	TMR3	TMR2 + TMR3
カウントクロック		PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi0	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi1	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi2	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi3	PCLK/1 PCLK/2 PCLK/8 PCLK/32 PCLK/64 PCLK/1024 PCLK/8192 TMCi3
カウンタクリア		TMR0.TCORA TMR0.TCORB TMRi0	TMR1.TCORA TMR1.TCORB TMRi1	TMR0.TCORA + TMR1.TCORA TMR0.TCORB + TMR1.TCORB TMRi0	TMR2.TCORA TMR2.TCORB TMRi2	TMR3.TCORA TMR3.TCORB TMRi3	TMR2.TCORA + TMR3.TCORA TMR2.TCORB + TMR3.TCORB TMRi2
コンペア マッチ	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
タイマ出力	Low出力	○	○	○	○	○	○
	High出力	○	○	○	○	○	○
	トグル出力	○	○	○	○	○	○
DTCの起動	コンペアマッチA	○	○	○	○	○	○
	コンペアマッチB	○	○	○	○	○	○
	TCNTのオーバーフロー	—	—	—	—	—	—
割り込み	コンペアマッチA	CMIA0	CMIA1	CMIA0	CMIA2	CMIA3	CMIA2
	コンペアマッチB	CMIB0	CMIB1	CMIB0	CMIB2	CMIB3	CMIB2
	TCNTのオーバーフロー	OVI0	OVI1	OVI0	OVI2	OVI3	OVI2
カスケード接続		TMR1の オーバーフロー	TMR0の コンペアマッチA	—	TMR3の オーバーフロー	TMR2の コンペアマッチA	—
A/Dコンバータの変換開始トリガ (注1)		○	—	○	○	—	○
SCIのポーレートクロックの生成 (注2)		○		—	○		—
モジュールストップの設定 (注3)		(ユニット0) MSTPCRA.MSTPA5 ビット、(ユニット1) MSTPCRA.MSTPA4 ビット					

○：可能

—：不可能

注1. 詳細は「29. 12ビットA/Dコンバータ (S12ADE)」を参照してください。

注2. 詳細は「25. シリアルコミュニケーションインタフェース (SCIg)」を参照してください。

注3. 詳細は「11. 消費電力低減機能」を参照してください。

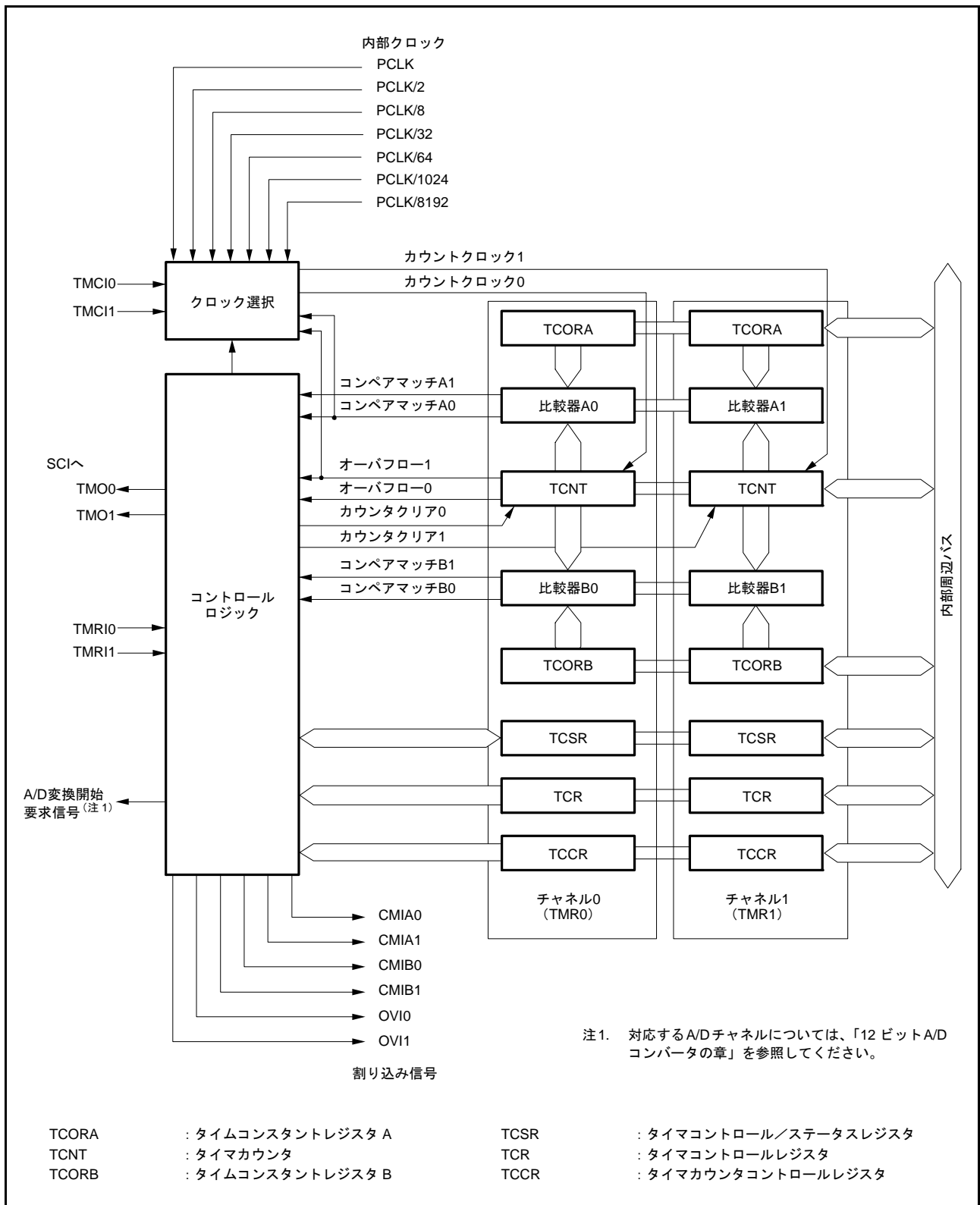


図 22.1 TMR (ユニット 0) のブロック図

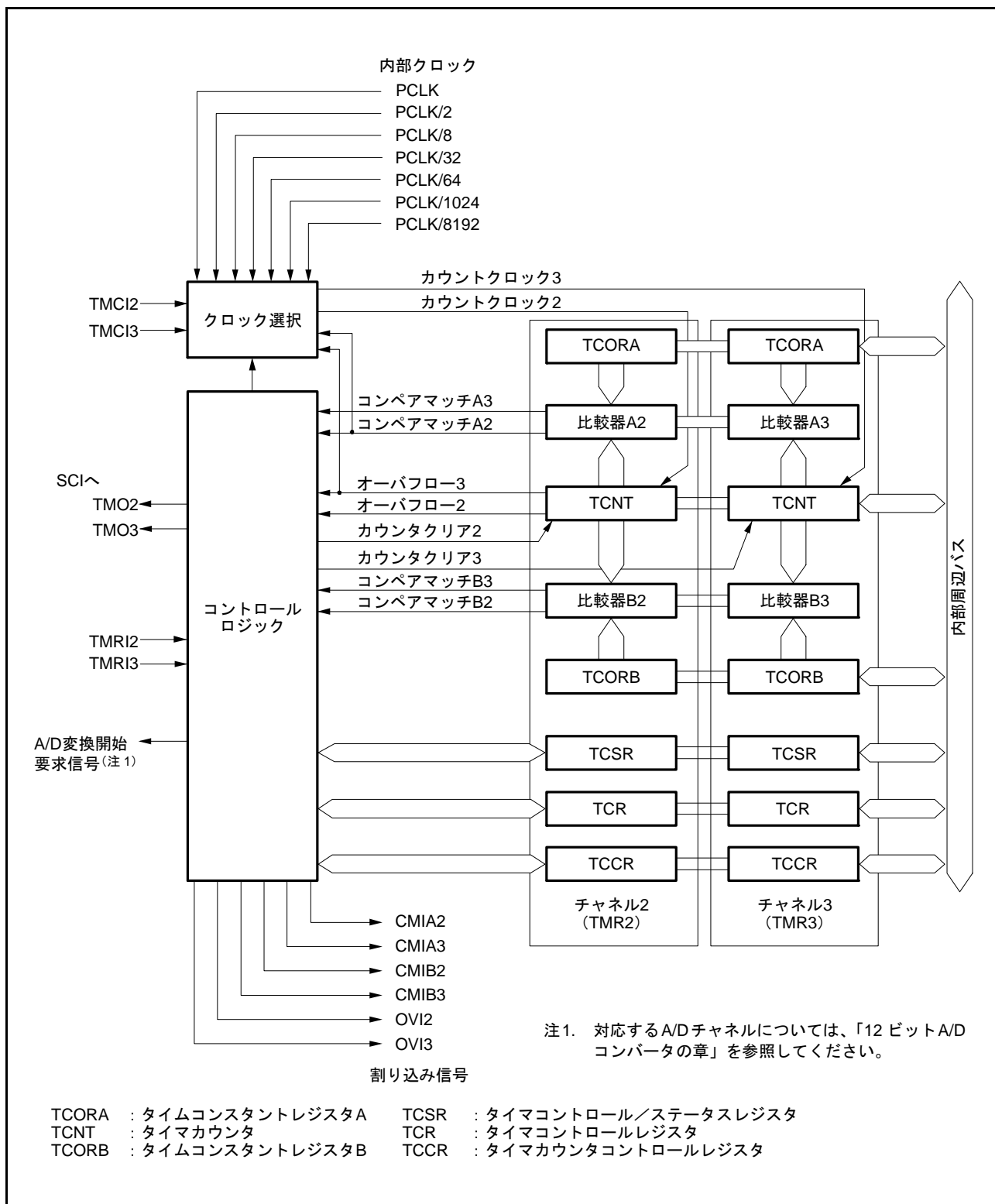


図 22.2 TMR (ユニット 1) のブロック図

表 22.3 に TMR で使用する入出力端子を示します。

表 22.3 TMRの入出力端子

ユニット	チャンネル	端子名	入出力	機能
ユニット0	TMR0	TMO0	出力	コンペアマッチ出力
		TMCi0	入力	外部カウントクロック入力
		TMRi0	入力	外部カウンタリセット入力
	TMR1	TMO1	出力	コンペアマッチ出力
		TMCi1	入力	外部カウントクロック入力
		TMRi1	入力	外部カウンタリセット入力
ユニット1	TMR2	TMO2	出力	コンペアマッチ出力
		TMCi2	入力	外部カウントクロック入力
		TMRi2	入力	外部カウンタリセット入力
	TMR3	TMO3	出力	コンペアマッチ出力
		TMCi3	入力	外部カウントクロック入力
		TMRi3	入力	外部カウンタリセット入力

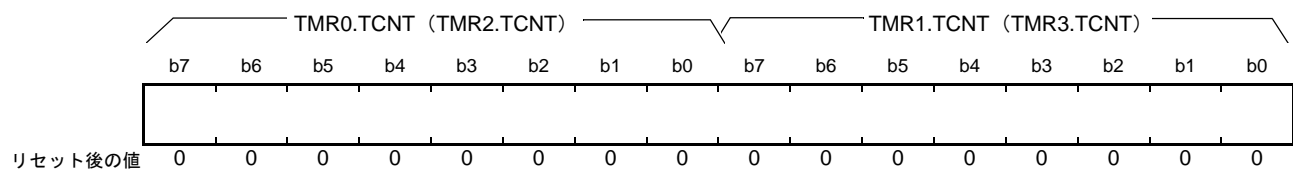
22.2 レジスタの説明

表 22.4 16ビットアクセスのレジスタ配置

アドレス	上位8ビット	下位8ビット
0008 8208h	TMR0.TCNT	TMR1.TCNT
0008 8204h	TMR0.TCORA	TMR1.TCORA
0008 8206h	TMR0.TCORB	TMR1.TCORB
0008 820Ah	TMR0.TCCR	TMR1.TCCR
0008 8218h	TMR2.TCNT	TMR3.TCNT
0008 8214h	TMR2.TCORA	TMR3.TCORA
0008 8216h	TMR2.TCORB	TMR3.TCORB
0008 821Ah	TMR2.TCCR	TMR3.TCCR

22.2.1 タイマカウンタ (TCNT)

アドレス TMR0.TCNT 0008 8208h, TMR1.TCNT 0008 8209h, TMR2.TCNT 0008 8218h, TMR3.TCNT 0008 8219h



TCNT カウンタは、8ビットのリード/ライト可能なアップカウンタです。

TMR0.TCNT カウンタと TMR1.TCNT カウンタ (TMR2.TCNT カウンタと TMR3.TCNT カウンタ) を 16ビットカウンタとしてワードアクセスすることも可能です。

カウントクロックは、TCCR.CSS[1:0], CKS[2:0] ビットで選択します。

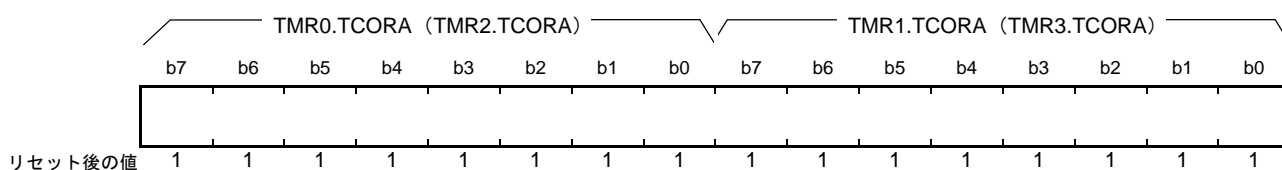
TCNT カウンタは、外部カウンタリセット信号、またはコンペアマッチ A、コンペアマッチ B によりクリアすることができます。どのコンペアマッチでクリアするかは、TCR.CCLR[1:0] ビットにより選択します。

TCNT カウンタのオーバーフロー (“FFh” → “00h”) が発生すると、TCR.OVIE ビットで割り込み要求が許可されていれば、オーバーフロー割り込み (Low パルス) を出力します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と「表 22.6 TMR の割り込み要因」を参照してください。

22.2.2 タイムコンスタントレジスタ A (TCORA)

アドレス TMR0.TCORA 0008 8204h, TMR1.TCORA 0008 8205h, TMR2.TCORA 0008 8214h, TMR3.TCORA 0008 8215h



TCORA レジスタは、8 ビットのリード/ライト可能なレジスタです。

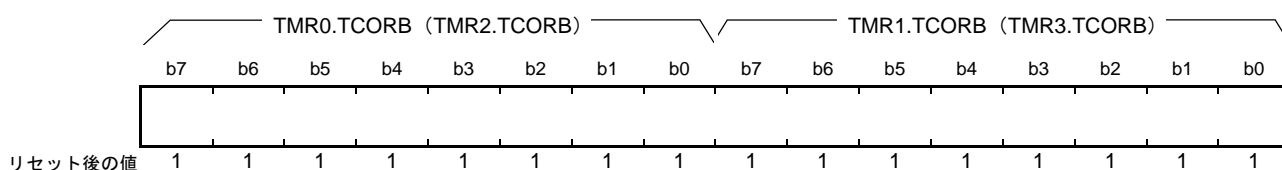
TMR0.TCORA レジスタと TMR1.TCORA レジスタ (TMR2.TCORA レジスタと TMR3.TCORA レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORA レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ A が発生し、TCR.CMIEA ビットで割り込み要求が許可されていれば、コンペアマッチ A 割り込み (Low パルス) を出力します。

ただし、TCORA レジスタへの書き込み時には比較しません。また、このコンペアマッチ A と TCSR.OSA[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

22.2.3 タイムコンスタントレジスタ B (TCORB)

アドレス TMR0.TCORB 0008 8206h, TMR1.TCORB 0008 8207h, TMR2.TCORB 0008 8216h, TMR3.TCORB 0008 8217h



TCORB レジスタは、8 ビットのリード/ライト可能なレジスタです。

TMR0.TCORB レジスタと TMR1.TCORB レジスタ (TMR2.TCORB レジスタと TMR3.TCORB レジスタ) を 16 ビットレジスタとしてワードアクセスすることも可能です。

TCORB レジスタの値は TCNT カウンタと比較され、一致するとコンペアマッチ B が発生し TCR.CMIEB ビットで割り込み要求が許可されていれば、コンペアマッチ B 割り込み (Low パルス) を出力します。

ただし、TCORB レジスタへの書き込み時には比較しません。また、このコンペアマッチ B と TCSR.OSB[1:0] ビットの設定により、TMO_n 端子からのタイマ出力を制御することができます。

22.2.4 タイマコントロールレジスタ (TCR)

アドレス TMR0.TCR 0008 8200h, TMR1.TCR 0008 8201h, TMR2.TCR 0008 8210h, TMR3.TCR 0008 8211h

	b7	b6	b5	b4	b3	b2	b1	b0
	CMIEB	CMIEA	OVIE	CCLR[1:0]	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4-b3	CCLR[1:0]	カウンタクリアビット(注1)	b4 b3 0 0: クリアを禁止 0 1: コンペアマッチAによりクリア 1 0: コンペアマッチBによりクリア 1 1: 外部カウンタリセット信号によりクリア (TCOR.TMRISビットでエッジまたはレベルを選択)	R/W
b5	OVIE	タイマオーバーフロー割り込み許可ビット	0: オーバフローによる割り込み要求 (OVIn) を禁止 1: オーバフローによる割り込み要求 (OVIn) を許可	R/W
b6	CMIEA	コンペアマッチ割り込み許可Aビット	0: コンペアマッチAによる割り込み要求 (CMIA _n) を禁止 1: コンペアマッチAによる割り込み要求 (CMIA _n) を許可	R/W
b7	CMIEB	コンペアマッチ割り込み許可Bビット	0: コンペアマッチBによる割り込み要求 (CMIB _n) を禁止 1: コンペアマッチBによる割り込み要求 (CMIB _n) を許可	R/W

注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

CCLR[1:0] ビット (カウンタクリアビット)

TCNT カウンタのクリア条件を指定します。

OVIE ビット (タイマオーバーフロー割り込み許可ビット)

TCNT カウンタのオーバーフローによる割り込み要求 (OVIn) の許可または禁止を選択します。

CMIEA ビット (コンペアマッチ割り込み許可 A ビット)

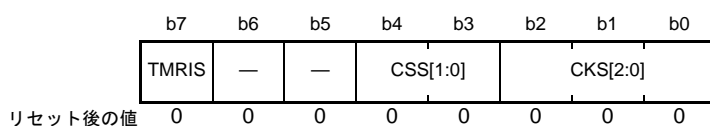
TCORA レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ A による割り込み要求 (CMIA_n) の許可または禁止を選択します。

CMIEB ビット (コンペアマッチ割り込み許可 B ビット)

TCORB レジスタと TCNT カウンタの値が一致したときに出力されるコンペアマッチ B による割り込み要求 (CMIB_n) の許可または禁止を選択します。

22.2.5 タイマカウンタコントロールレジスタ (TCCR)

アドレス TMR0.TCCR 0008 820Ah, TMR1.TCCR 0008 820Bh, TMR2.TCCR 0008 821Ah, TMR3.TCCR 0008 821Bh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CKS[2:0]	クロック選択ビット (注1)	表 22.5 を参照してください	R/W
b4-b3	CSS[1:0]	クロックソース選択ビット	表 22.5 を参照してください	R/W
b6-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	TMRIS	タイマリセット検出条件選択ビット	0 : 外部カウンタリセット信号の立ち上がりでクリア 1 : 外部カウンタリセット信号のHighでクリア	R/W

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

CKS[2:0] ビット (クロック選択ビット)

CSS[1:0] ビット (クロックソース選択ビット)

CKS[2:0] ビットおよび CSS[1:0] ビットは、カウントクロックを選択します。詳細は、表 22.5 を参照してください。

TMRIS ビット (タイマリセット検出条件選択ビット)

TCR.CCLR[1:0] ビットが“11b” (外部カウンタリセット信号によりクリア) のとき有効となり、カウンタのリセット検出条件 (レベルまたはエッジ) を選択します。

表22.5 TCNTカウンタに入力するクロックとカウント条件

チャンネル	TCCRレジスタ					機能		
	CSS[1:0]		CKS[2:0]					
	b4	b3	b2	b1	b0			
TMR0 (TMR2)	0	0	—	0	0	クロック入力を禁止		
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)		
					1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	内部クロック : PCLKでカウント		
					1	内部クロック : PCLK/2でカウント		
					1	0	内部クロック : PCLK/8でカウント	
					1	内部クロック : PCLK/32でカウント		
				1	0	0	内部クロック : PCLK/64でカウント	
						1	内部クロック : PCLK/1024でカウント	
						1	0	内部クロック : PCLK/8192でカウント
						1	クロック入力を禁止	
	1	0	—	—	—	設定しないでください		
	1	1	—	—	—	TMR1.TCNT (TMR3.TCNT) のオーバフロー信号でカウント (注2)		
TMR1 (TMR3)	0	0	—	0	0	クロック入力を禁止		
					1	外部カウントクロックの立ち上がりエッジでカウント (注1)		
					1	0	外部カウントクロックの立ち下がりエッジでカウント (注1)	
					1	外部カウントクロックの立ち上がり/立ち下がり両エッジでカウント (注1)		
	0	1	0	0	0	内部クロック : PCLKでカウント		
					1	内部クロック : PCLK/2でカウント		
					1	0	内部クロック : PCLK/8でカウント	
					1	内部クロック : PCLK/32でカウント		
			1	0	0	内部クロック : PCLK/64でカウント		
					1	内部クロック : PCLK/1024でカウント		
					1	0	内部クロック : PCLK/8192でカウント	
					1	クロック入力を禁止		
	1	0	—	—	—	設定しないでください		
	1	1	—	—	—	TMR0.TCNT (TMR2.TCNT) のコンペアマッチAでカウント (注2)		

注1. 外部カウントクロックを使用する場合は、該当する端子の設定が必要です。詳細については「18. I/Oポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

注2. TMR0 (TMR2) のクロック入力をTMR1.TCNT (TMR3.TCNT) カウンタのオーバフロー信号とし、TMR1 (TMR3) のクロック入力をTMR0.TCNT (TMR2.TCNT) カウンタのコンペアマッチ信号とすると、TCNTカウントクロックが発生しません。この設定は行わないでください。

22.2.6 タイマコントロール/ステータスレジスタ (TCSR)

- TMR0.TCSR、TMR2.TCSR レジスタ

アドレス TMR0.TCSR 0008 8202h, TMR2.TCSR 0008 8212h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	ADTE	OSB[1:0]	OSB[1:0]	OSA[1:0]	OSA[1:0]
リセット後の値	x	x	x	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0 : 変化しない 0 1 : Low出力 1 0 : High出力 1 1 : 反転出力 (トグル出力)	R/W
b4	ADTE	A/Dトリガ許可ビット (注2)	0 : コンペアマッチAによるA/D変換開始要求を禁止 1 : コンペアマッチAによるA/D変換開始要求を許可	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMR0n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

注2. 対応するA/Dチャンネルについては、「29. 12ビットA/Dコンバータ (S12ADE)」を参照してください。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMR0n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMR0n 端子の出力方法を選択します。

- TMR1.TCSR、TMR3.TCSR レジスタ

アドレス TMR1.TCSR 0008 8203h, TMR3.TCSR 0008 8213h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	OSB[1:0]	0	0	OSA[1:0]
リセット後の値	x	x	x	1	0	0	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	OSA[1:0]	アウトプット選択ビットA (注1)	b1 b0 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b3-b2	OSB[1:0]	アウトプット選択ビットB (注1)	b3 b2 0 0: 変化しない 0 1: Low出力 1 0: High出力 1 1: 反転出力 (トグル出力)	R/W
b4	—	予約ビット	読むと“1”が読めず。書く場合、“1”としてください	R/W
b7-b5	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W

注1. OSA[1:0]、OSB[1:0]ビットがすべて“0”の場合には、TMO_n端子に対応したアウトプットイネーブルをネゲートし、I/Oポートに対しハイインピーダンス出力を要求します。OSA[1:0]、OSB[1:0]ビットのいずれかを“1”とすると、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子はLowです。

OSA[1:0] ビット (アウトプット選択ビット A)

TCORA レジスタと TCNT カウンタのコンペアマッチ A による TMO_n 端子の出力方法を選択します。

OSB[1:0] ビット (アウトプット選択ビット B)

TCORB レジスタと TCNT カウンタのコンペアマッチ B による TMO_n 端子の出力方法を選択します。

22.3 動作説明

22.3.1 パルス出力

任意のデューティパルスを出力させる例を図 22.3 に示します。

1. TCORA レジスタのコンペアマッチにより TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“01b” (コンペアマッチ A によりクリア) に設定します。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により周期が TCORA レジスタ、パルス幅が TCORB レジスタの波形をソフトウェアの介入なしに出力できます。

TCSR.OSA[1:0] ビットまたは TCSR.OSB[1:0] ビットを設定してから、リセット後の最初のコンペアマッチが起こるまでのタイマ出力端子は Low です。

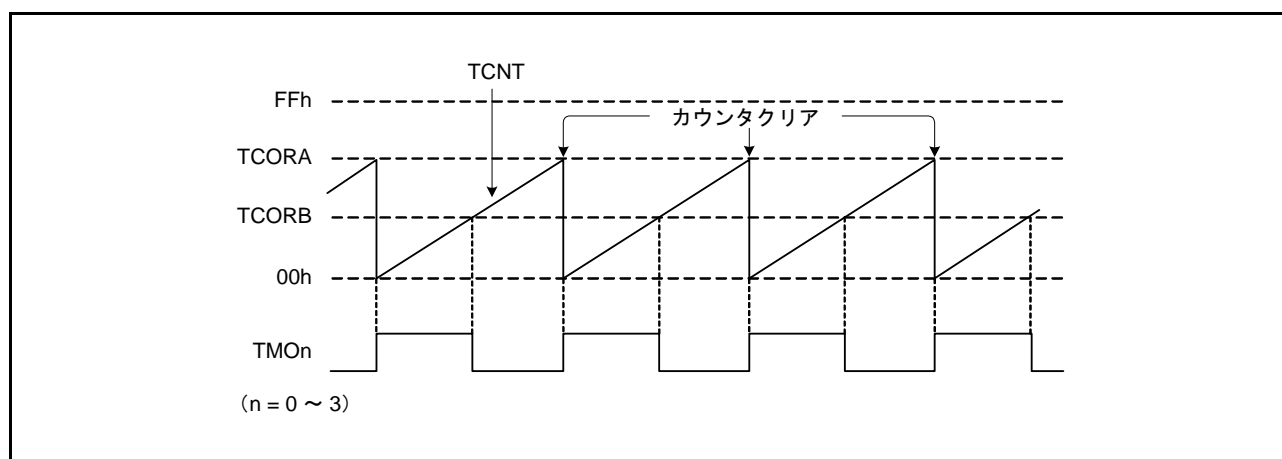


図 22.3 パルス出力例

22.3.2 外部カウンタリセット入力

TMRIn 入力に対する任意の遅延時間のパルスを出力させる例を図 22.4 に示します。

1. TMRIn 入力の High で TCNT カウンタがクリアされるように、TCR.CCLR[1:0] ビットを“11b” (外部カウンタリセット信号によりクリア) にし、TCCR.TMRIS ビットを“1” (外部カウンタリセット信号の High でクリア) にします。
2. TCORA レジスタのコンペアマッチにより High 出力、TCORB レジスタのコンペアマッチにより Low 出力になるように、TCSR.OSA[1:0] ビットを“10b” (High 出力)、TCSR.OSB[1:0] ビットを“01b” (Low 出力) にします。

以上の設定により TMRIn 入力からの遅延が TCORA レジスタ、パルス幅が (TCORB - TCORA) の波形を出力できます。

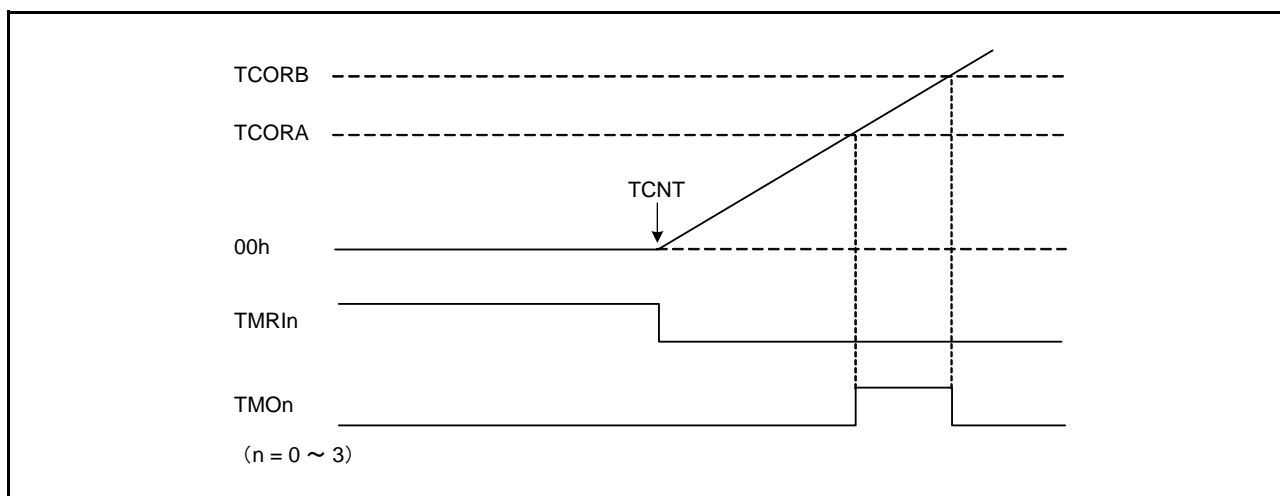


図 22.4 外部カウンタリセット信号入力例

22.4 動作タイミング

22.4.1 TCNT カウンタのカウンタタイミング

内部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 22.5 に示します。また、外部クロック動作の場合の TCNT カウンタのカウンタタイミングを図 22.6 に示します。

なお外部クロックのパルス幅は、片エッジの場合は 1.5 PCLK 以上、両エッジの場合は 2.5 PCLK 以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

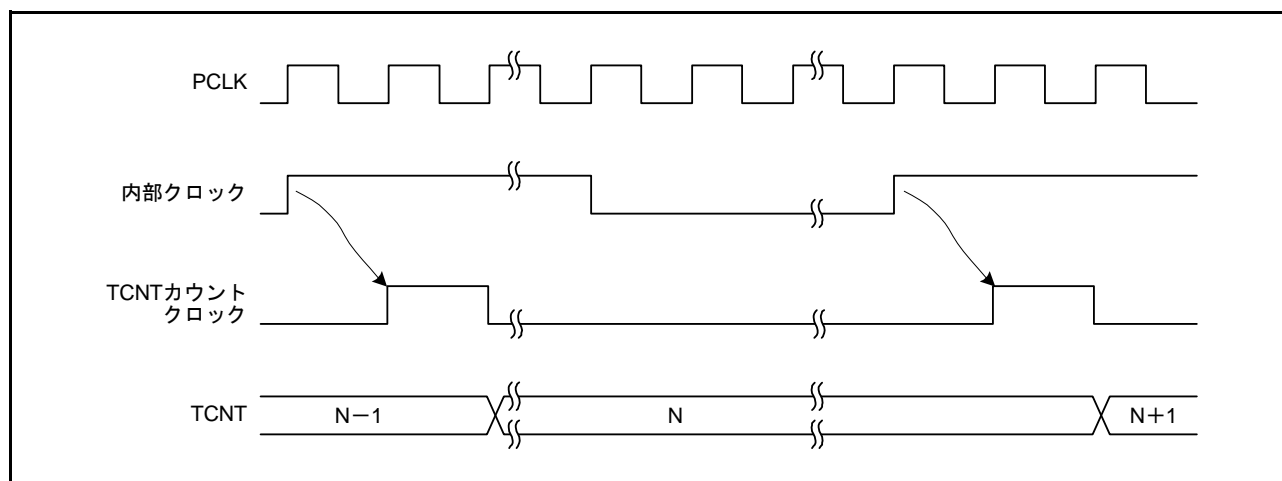


図 22.5 内部クロック動作時のカウンタタイミング

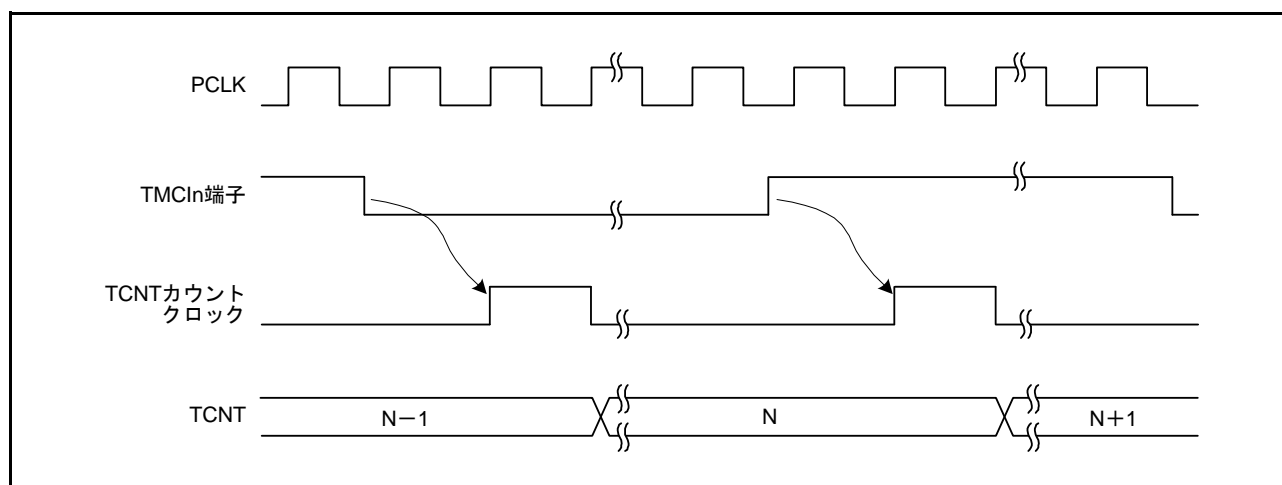


図 22.6 外部クロック動作時のカウンタタイミング (両エッジの場合)

22.4.2 コンペアマッチ時の割り込みタイミング

TCORA または TCORB レジスタが TCNT カウンタの値と一致したときコンペアマッチが発生し、割り込み要求が許可されていればコンペアマッチ割り込み信号が出力されます。コンペアマッチは、一致した最後のステート (TCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、TCNT カウンタと TCORA、TCORB レジスタの値が一致した後、TCNT カウントクロックが発生するまでコンペアマッチは発生しません。割り込み信号の出力タイミングを図 22.7 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 22.6 を参照してください。

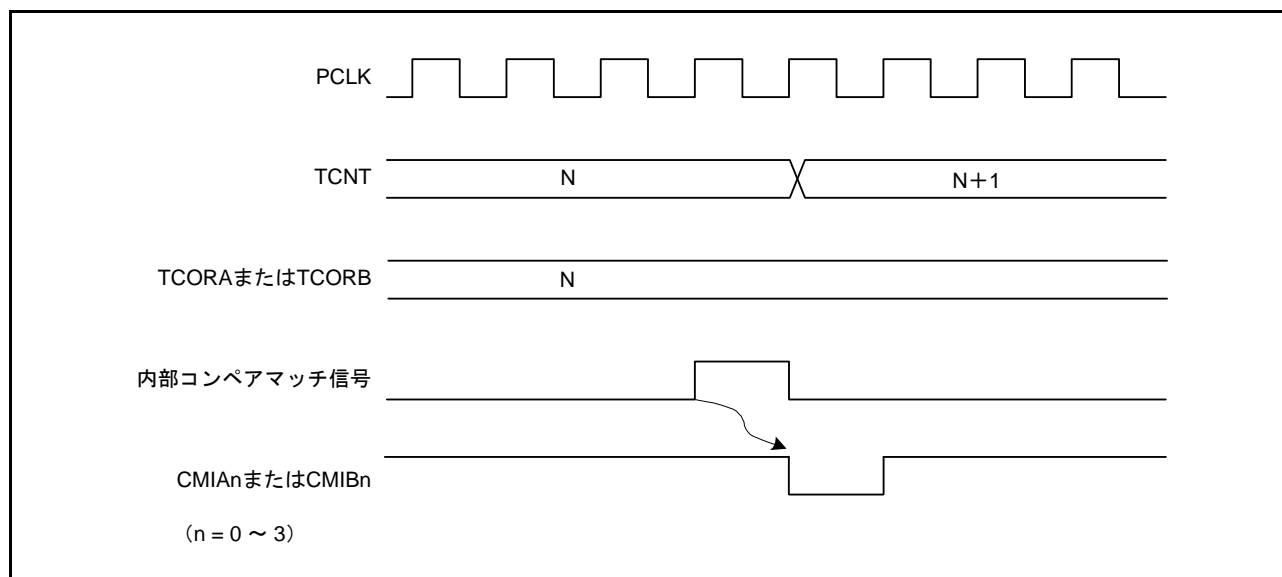


図 22.7 コンペアマッチ時の割り込みタイミング

22.4.3 コンペアマッチ時の出力信号タイミング

コンペアマッチ信号が発生したとき、TCSR.OSA[1:0], OSB[1:0] ビットで設定される出力値がタイマ出力端子 (TMO_n) に出力されます。

コンペアマッチ A 信号によるトグル出力の場合の出力信号タイミングを図 22.8 に示します。

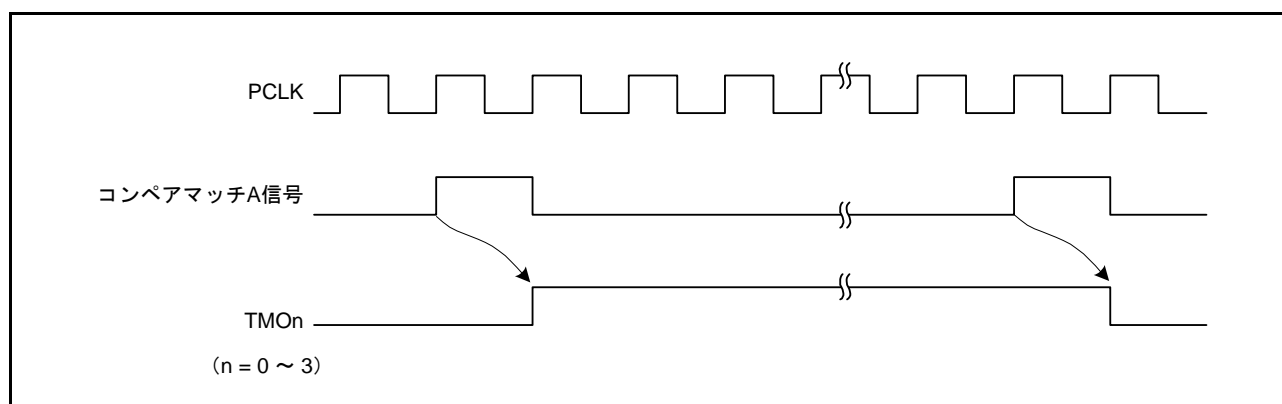


図 22.8 コンペアマッチ A 信号による出力信号タイミング

22.4.4 コンペアマッチによるカウンタクリアタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。

コンペアマッチによるカウンタクリアタイミングを図 22.9 に示します。

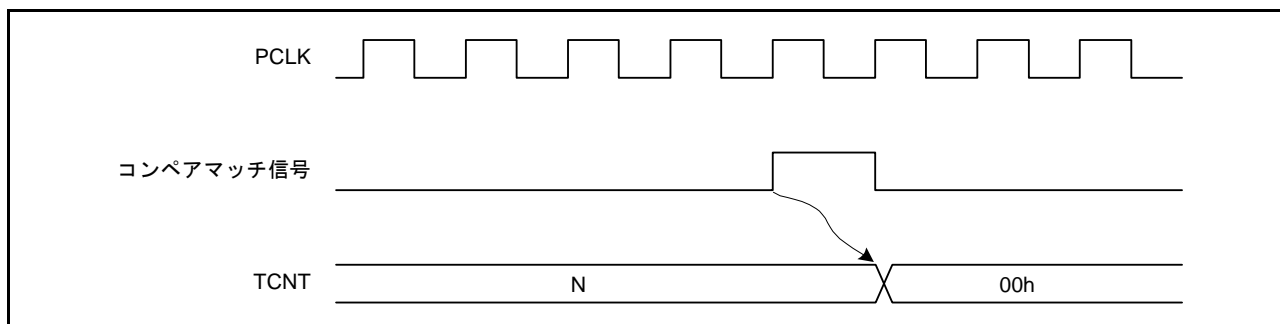


図 22.9 コンペアマッチによるカウンタクリアタイミング

22.4.5 TCNT カウンタの外部リセットタイミング

TCNT カウンタは、TCR.CCLR[1:0] ビットの選択により外部カウンタリセット信号の立ち上がりエッジ、または High でクリアされます。リセットを入力してから TCNT カウンタのクリアまでは 2PCLK 以上必要となります。

外部カウンタリセット信号によるクリアタイミングを図 22.10、図 22.11 に示します。

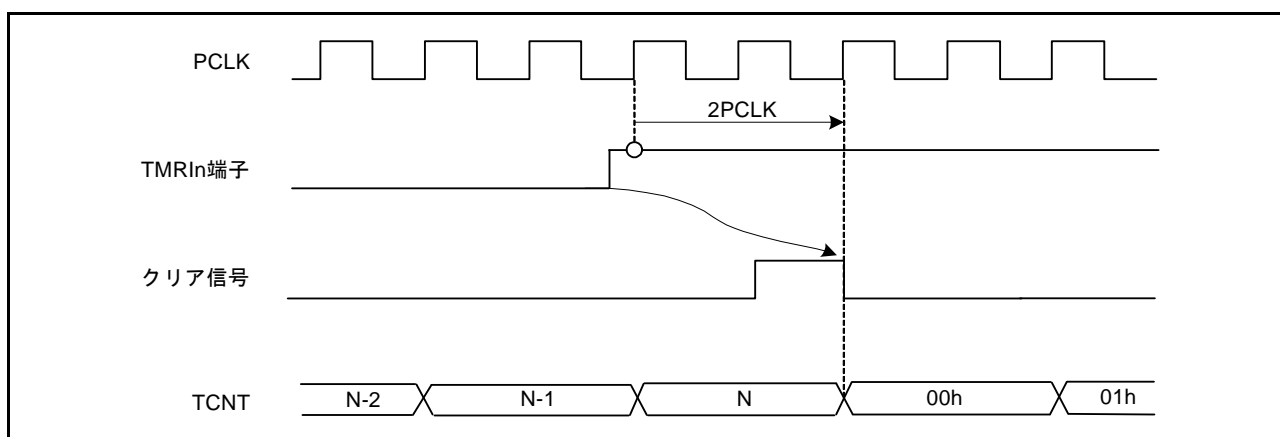


図 22.10 外部カウンタリセット信号によるクリアタイミング (立ち上がりエッジ)

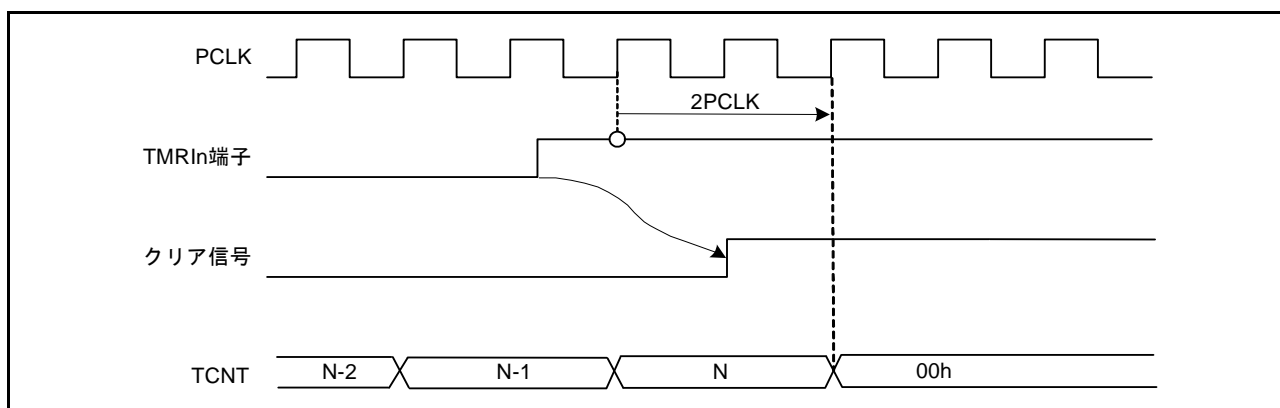


図 22.11 外部カウンタリセット信号によるクリアタイミング (High)

22.4.6 オーバフローによる割り込みタイミング

TCNT カウンタのオーバフロー (“FFh” → “00h”) が発生すると、割り込み要求が許可されていれば、オーバフロー割り込み信号が出力されます。

割り込み信号の出力タイミングを図 22.12 に示します。

なお、対応する割り込みベクタ番号は、「14. 割り込みコントローラ (ICUb)」と表 22.6 を参照してください。

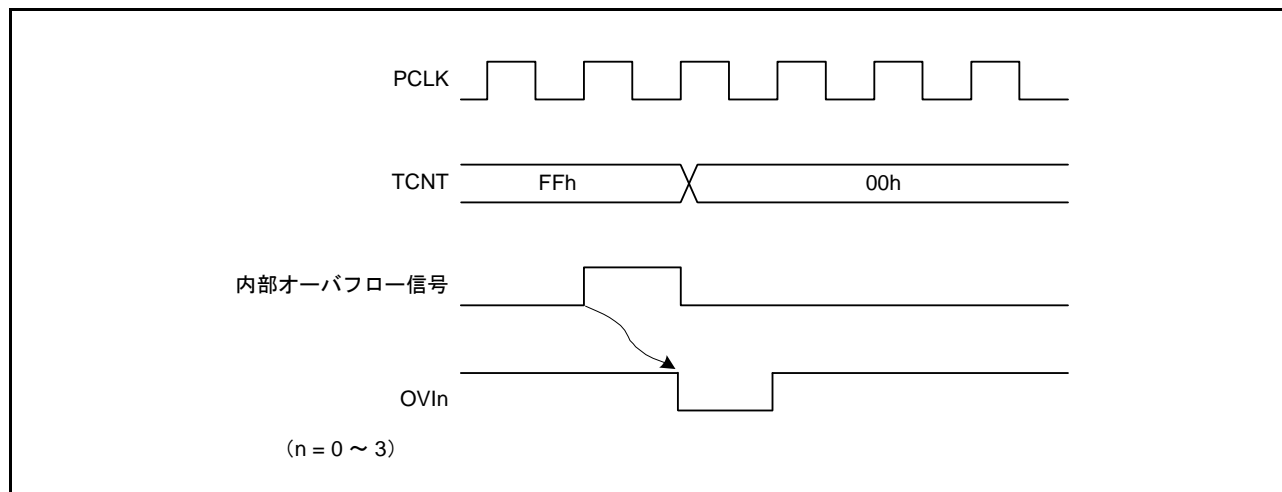


図 22.12 オーバフローによる割り込みタイミング

22.5 カスケード接続時の動作

TMR0.TCCR、TMR1.TCCR レジスタのいずれか一方の CSS[1:0] ビットを“11b”にすると、2チャンネルの TMR はカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、または TMR0 のコンペアマッチを TMR1 でカウントするコンペアマッチカウントモードにすることができます。

【補足】 「22.5 カスケード接続時の動作」は、ユニット0について説明しています。ユニット1のカスケード接続時の動作は、ユニット0と同様です。

22.5.1 16ビットカウントモード

TMR0.TCCR.CSS[1:0] ビットが“11b”のとき、TMR0 を上位8ビット、TMR1 を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) カウンタクリア指定

- TMR0.TCR.CCLR[1:0] ビットの設定が16ビットカウンタに対して有効になります。
TMR0.TCR.CCLR[1:0] ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生すると16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。また、TMR10 端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TMR0.TCNT、TMR1.TCNT カウンタの両方) がクリアされます。
- TMR1.TCR.CCLR[1:0] ビットの設定は無効になります。

(2) 端子出力

- TMR0.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO0 端子の出力制御は、16ビットのコンペアマッチ条件に従います。
- TMR1.TCSR.OSA[1:0]、OSB[1:0] ビットによる TMO1 端子の出力制御は、下位8ビットのコンペアマッチ条件に従います。

22.5.2 コンペアマッチカウントモード

TMR1.TCCR.CSS[1:0] ビットが“11b”のとき、TMR1.TCNT カウンタは TMR0 のコンペアマッチ A の発生回数をカウントします。TMR0、TMR1 の制御はそれぞれ個別に行われ、割り込みの発生、TMO_n (n=0、1) 端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

22.6 割り込み要因

22.6.1 割り込み要因と DTC 起動

TMR_n の割り込み要因は、CMIA_n、CMIB_n、OVI_n の 3 種類があります。表 22.6 に各割り込み要因と優先順位を示します。

なお、CMIA_n、CMIB_n 割り込みにより DTC を起動することができます。

表 22.6 TMR の割り込み要因

名称	割り込み要因	DTC の起動	優先順位
CMIA0	TMR0.TCORA のコンペアマッチ	可能	高 ↑ ↓ 低
CMIB0	TMR0.TCORB のコンペアマッチ	可能	
OVI0	TMR0.TCNT のオーバーフロー	不可能	
CMIA1	TMR1.TCORA のコンペアマッチ	可能	
CMIB1	TMR1.TCORB のコンペアマッチ	可能	
OVI1	TMR1.TCNT のオーバーフロー	不可能	
CMIA2	TMR2.TCORA のコンペアマッチ	可能	
CMIB2	TMR2.TCORB のコンペアマッチ	可能	
OVI2	TMR2.TCNT のオーバーフロー	不可能	
CMIA3	TMR3.TCORA のコンペアマッチ	可能	
CMIB3	TMR3.TCORB のコンペアマッチ	可能	
OVI3	TMR3.TCNT のオーバーフロー	不可能	

22.6.2 A/D コンバータの起動

TMR0、TMR2 のコンペアマッチ A で、A/D コンバータ (注 1) を起動することができます。

TMR_n.TCSR.ADTE ビットが“1” (コンペアマッチ A による A/D 変換開始要求を許可) の状態で、コンペアマッチ A の発生により、A/D コンバータに対して A/D 変換の開始を要求します。このとき A/D コンバータ側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

注 1. 対応する A/D コンバータのユニットに関しては「29. 12 ビット A/D コンバータ (S12ADE)」を参照してください。

表 22.7 A/D コンバータの起動

モジュールシンボル	ユニット	対象	A/D 起動要求	A/D 変換開始要求
S12AD	0	TMR0.TCORA と TMR0.TCNT	コンペアマッチ	TMTRG0AN_0
	1	TMR2.TCORA と TMR2.TCNT		TMTRG0AN_1

22.7 使用上の注意事項

22.7.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMR の動作禁止/許可を設定することが可能です。初期値では、TMR の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「11. 消費電力低減機能」を参照してください。

22.7.2 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT カウンタは TCORA、TCORB レジスタの値と一致した最後の PCLK (TCNT カウンタが一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は以下の式になります (f: カウンタ周波数、PCLK: 動作周波数、N: TCORA、TCORB レジスタの設定値)。

$$f = \text{PCLK}/(N+1)$$

22.7.3 TCNT カウンタへの書き込みとカウンタクリアの競合

図 22.13 のように CPU による TCNT カウンタへの書き込みと同時にカウンタクリアが発生すると、カウンタへの書き込みは行われずクリアが優先されます。

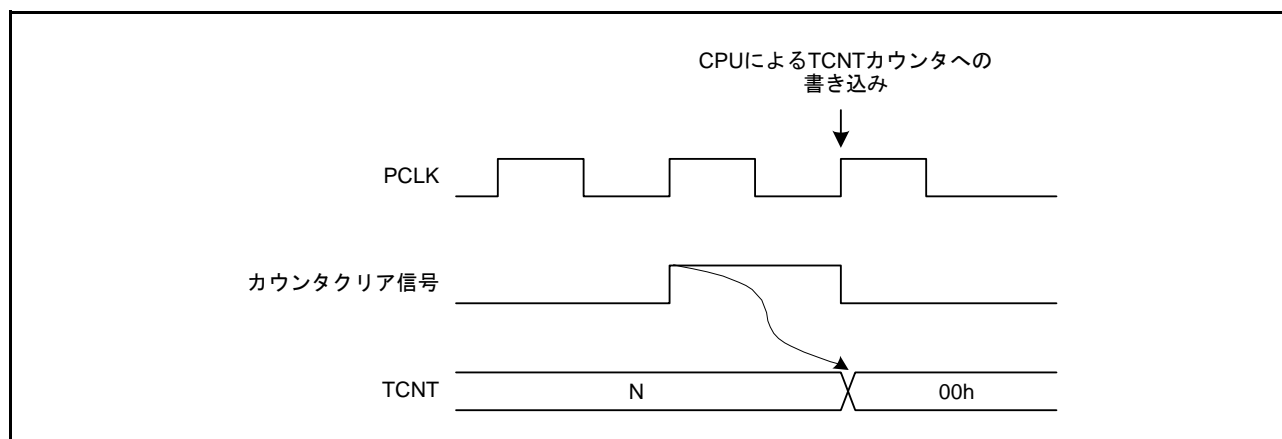


図 22.13 TCNT カウンタへの書き込みとカウンタクリアの競合

22.7.4 TCNT カウンタへの書き込みとカウントアップの競合

図 22.14 のように CPU による TCNT カウンタへの書き込みと同時にカウントアップが発生しても、カウントアップされず TCNT カウンタへの書き込みが優先されます。

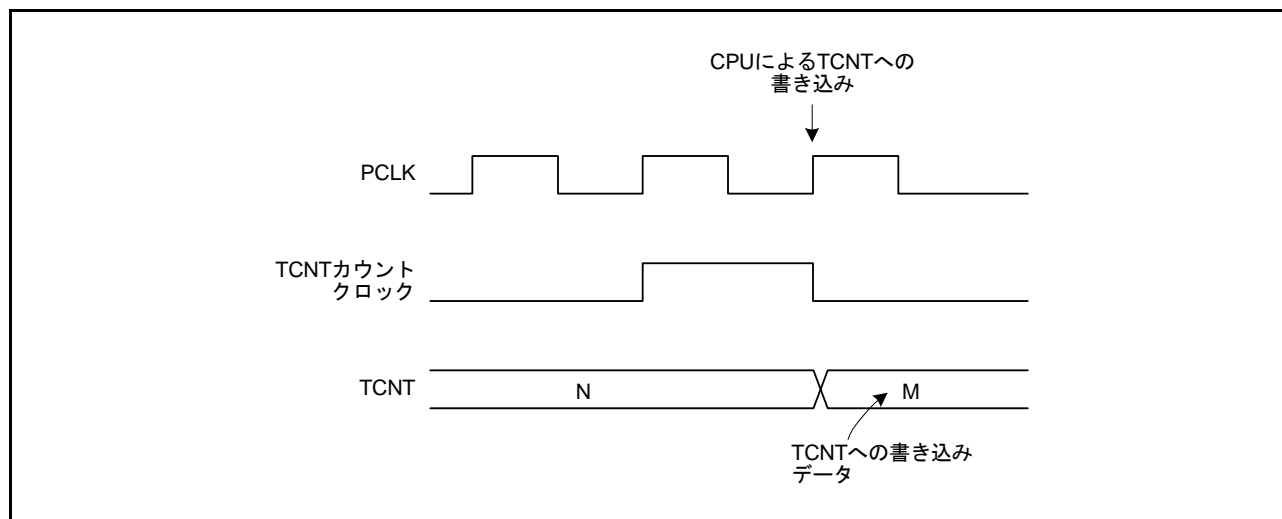


図 22.14 TCNT カウンタへの書き込みとカウントアップの競合

22.7.5 TCORA、TCORB レジスタへの書き込みとコンペアマッチの競合

図 22.15 のように CPU による TCORA、TCORB レジスタへの書き込みと同時にコンペアマッチが発生するタイミングとなっても、TCORA、TCORB レジスタへの書き込みが優先されコンペアマッチ信号は High になりません。

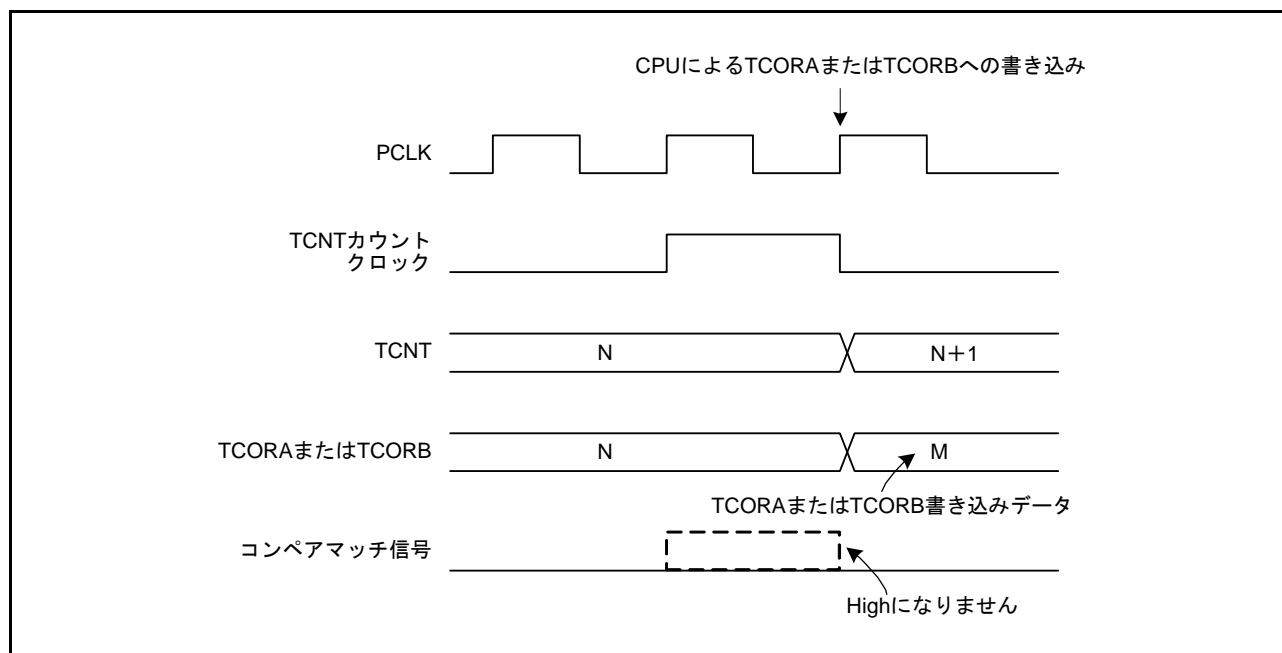


図 22.15 TCORA、TCORB レジスタのライトとコンペアマッチの競合

22.7.6 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力方法と、コンペアマッチ B に対して設定されている出力方法のうち、表 22.8 に示す出力設定の優先順位の高い方が出力されます。

表 22.8 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高 ↑ 低
High出力	
Low出力	
変化しない	

22.7.7 内部クロックの切り替えと TCNT カウンタの動作

内部クロックを切り替えるタイミングによっては、TCNT カウンタがカウントアップされてしまう場合があります。内部クロックの切り替えタイミング (TCCR.CKS[2:0] ビットの書き換え) と、TCNT カウンタ動作の関係を表 22.9 に示します。

内部クロックから TCNT カウントクロックを生成する場合、内部クロックの立ち上がりエッジを検出しています。そのため、たとえば表 22.9 の No.2 のように、Low → High になるようなクロックの切り替えを行うと、切り替えタイミングをエッジと見なして TCNT カウントクロックが発生し、TCNT カウンタがカウントアップされてしまいます。

また、内部クロックと外部クロックを切り替えるときも、TCNT カウンタがカウントアップされることがあります。

表 22.9 内部クロックの切り替えと TCNT カウンタの動作 (1 / 2)

No.	TCCR.CKS[2:0] ビット書き換えタイミング	TCNT カウンタの動作
1	Low → Low (注 ¹) の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT カウントクロック</p> <p>TCNT</p> <p>TCCR.CKS[2:0] ビット書き換え</p>

表22.9 内部クロックの切り替えとTCNTカウンタの動作 (2 / 2)

No.	TCCR.CKS[2:0]ビット書き換えタイミング	TCNTカウンタの動作
2	Low→High (注2) の切り替え	<p style="text-align: center;">TCCR.CKS[2:0]ビット書き換え</p>
3	High→Low (注4) の切り替え	<p style="text-align: center;">TCCR.CKS[2:0]ビット書き換え</p>
4	High→Highの切り替え	<p style="text-align: center;">TCCR.CKS[2:0]ビット書き換え</p>

- 注1. Low→停止、および停止→Lowの場合を含みます。
- 注2. 停止→Highの場合を含みます。
- 注3. 切り替えのタイミングをエッジとみなすために発生し、TCNTカウンタはカウントアップされてしまいます。
- 注4. High→停止の場合を含みます。

22.7.8 カスケード接続時のクロックソース設定

16ビットカウントモードとコンペアマッチカウントモードを同時に設定した場合、TMR0.TCNT、TMR1.TCNT カウンタ (TMR2.TCNT、TMR3.TCNT カウンタ) のカウントクロックが発生しなくなるため、カウンタが停止して動作しません。この設定はしないでください。

22.7.9 コンペアマッチ割り込みの連続出力

TCORA または TCORB レジスタを“00h”に、内部クロックを PCLK/1、コンペアマッチでカウンタクリアに設定した場合、TCNT カウンタは“00h”のままで更新されず、コンペアマッチ割り込みを連続してレベル状に出力します。

このとき、割り込みコントローラは2つ目以降の割り込みを検出できなくなります。

コンペアマッチ割り込みが連続出力する場合の動作タイミングを図 22.16 に示します。

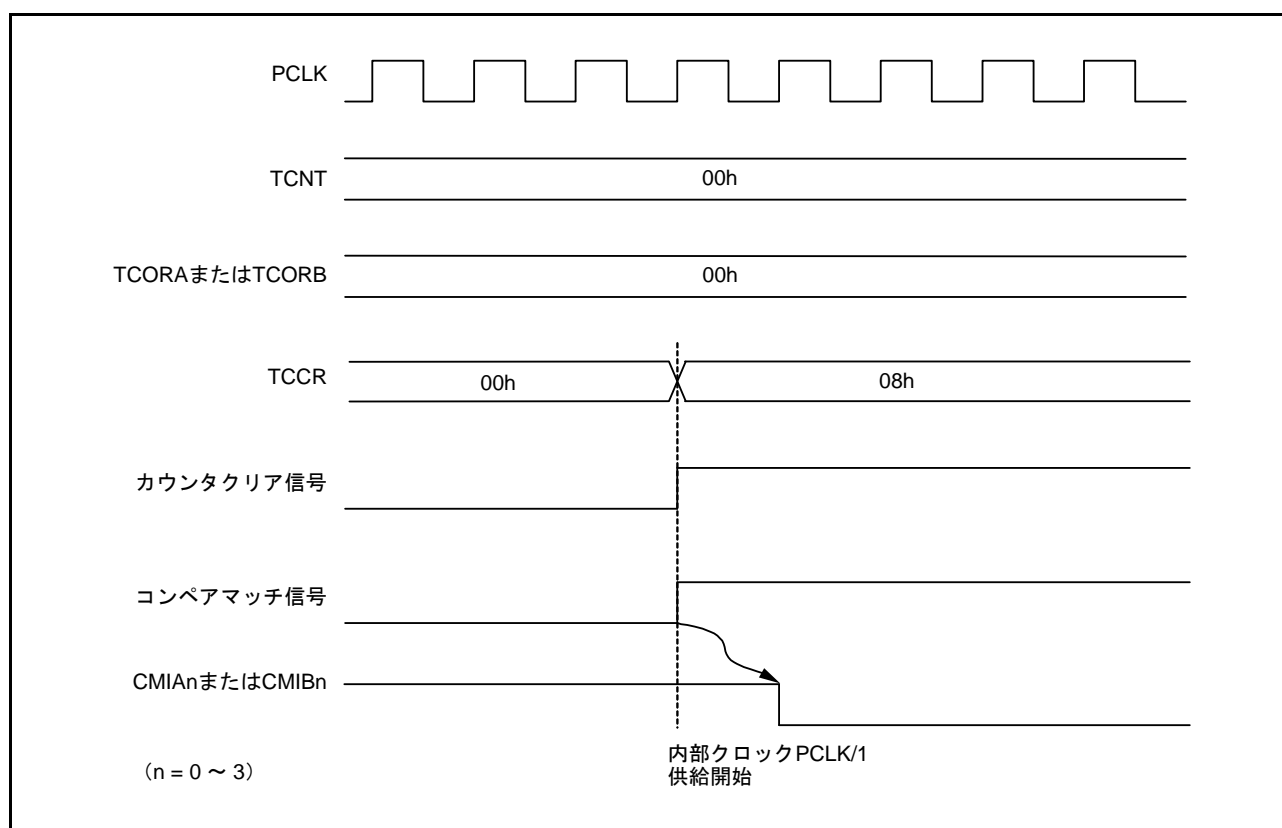


図 22.16 コンペアマッチ割り込みの連続出力

23. コンペアマッチタイマ (CMT)

本 MCU は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ (CMT) を 2 ユニット (ユニット 0、ユニット 1)、合計 4 チャンネル内蔵しています。CMT は、16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

本章に記載している PCLK とは PCLKB を指します。

23.1 概要

表 23.1 に CMT の仕様を示します。

図 23.1 に CMT (ユニット 0) のブロック図を示します。2 チャンネルの CMT で 1 ユニートを構成し、ユニット 0 とユニット 1 は同じ仕様です。ユニット 0 のコンペアマッチタイマスタートレジスタ 0 (CMSTR0)、コンペアマッチ割り込み (CMI0、CMI1) が、ユニット 1 ではコンペアマッチタイマスタートレジスタ 1 (CMSTR1)、コンペアマッチ割り込み (CMI2、CMI3) に対応します。

表 23.1 CMT の仕様

項目	機能
カウントクロック	<ul style="list-style-type: none"> 4 種類の分周クロック PCLK/8、PCLK/32、PCLK/128、PCLK/512の中からチャンネルごとに選択可能
割り込み	コンペアマッチ割り込みをチャンネルごとに要求することが可能
消費電力低減機能	ユニットごとにモジュールストップ状態への設定が可能

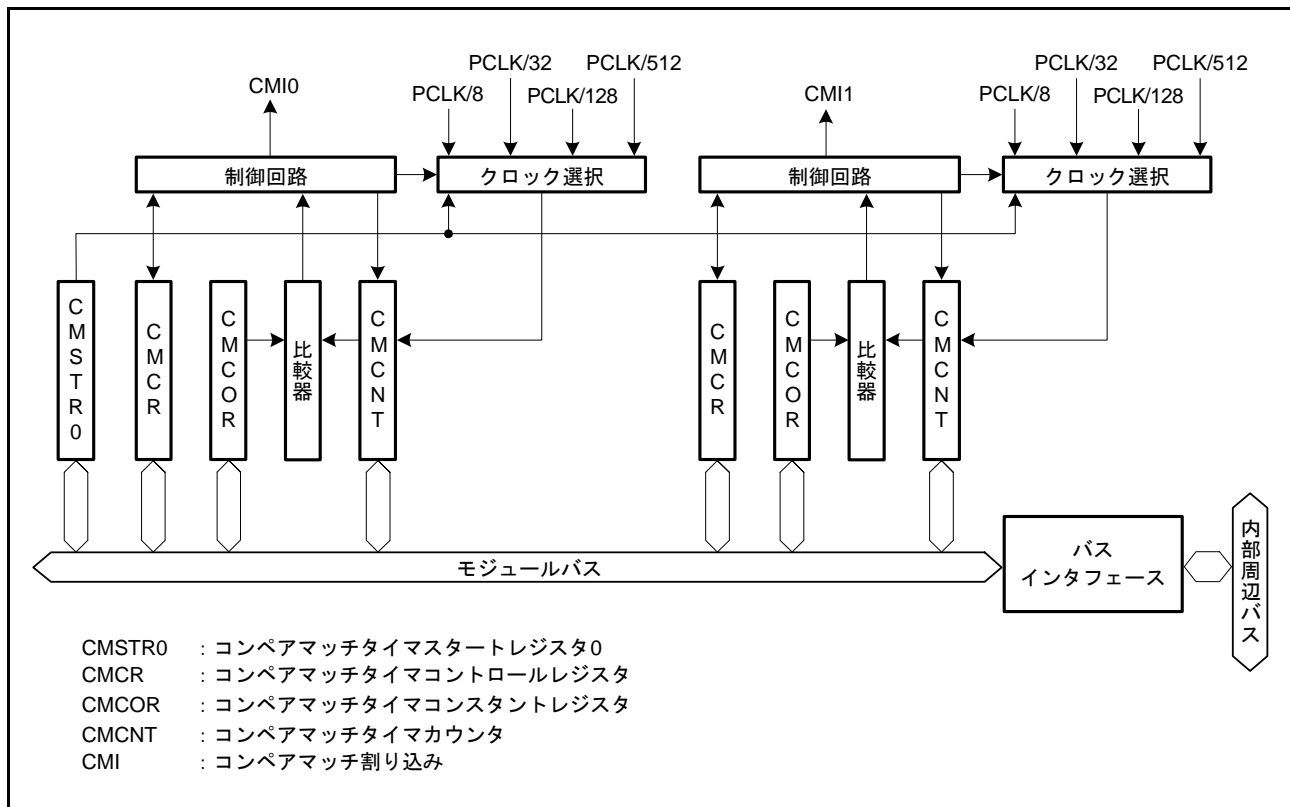


図 23.1 CMT (ユニット 0) のブロック図

23.2 レジスタの説明

23.2.1 コンペアマッチタイマスタートレジスタ 0 (CMSTR0)

アドレス 0008 8000h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR0	カウントスタート0ビット	0 : CMT0.CMCNTカウンタのカウンタ動作停止 1 : CMT0.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR1	カウントスタート1ビット	0 : CMT1.CMCNTカウンタのカウンタ動作停止 1 : CMT1.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.2 コンペアマッチタイマスタートレジスタ 1 (CMSTR1)

アドレス 0008 8010h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR3	STR2
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	STR2	カウントスタート2ビット	0 : CMT2.CMCNTカウンタのカウンタ動作停止 1 : CMT2.CMCNTカウンタのカウンタ動作開始	R/W
b1	STR3	カウントスタート3ビット	0 : CMT3.CMCNTカウンタのカウンタ動作停止 1 : CMT3.CMCNTカウンタのカウンタ動作開始	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

23.2.3 コンペアマッチタイマコントロールレジスタ (CMCR)

アドレス CMT0.CMCR 0008 8002h, CMT1.CMCR 0008 8008h, CMT2.CMCR 0008 8012h, CMT3.CMCR 0008 8018h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	CMIE	—	—	—	—	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

x : 不定

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロック選択ビット	b1 b0 0 0 : PCLK/8 0 1 : PCLK/32 1 0 : PCLK/128 1 1 : PCLK/512	R/W
b5-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CMIE	コンペアマッチ割り込み許可ビット	0 : コンペアマッチ割り込み (CMIn) を禁止 1 : コンペアマッチ割り込み (CMIn) を許可	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、“1”としてください	R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

CKS[1:0] ビット (クロック選択ビット)

周辺モジュールクロック (PCLK) を分周して得られる 4 種類の分周クロックからカウントソースを選択します。

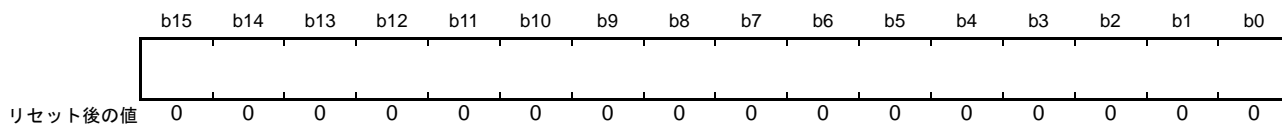
CMSTRm.STRn ビット (m=0, 1, n=0~3) を“1”に設定すると、CKS[1:0] ビットで選択されたクロックにより対応する CMCNT カウンタがカウントアップを開始します。

CMIE ビット (コンペアマッチ割り込み許可ビット)

CMCNT と CMCOR の値が一致したとき、コンペアマッチ割り込み (CMIn) (n=0~3) の発生を許可するか禁止するかを選択します。

23.2.4 コンペアマッチタイマカウンタ (CMCNT)

アドレス CMT0.CMCNT 0008 8004h, CMT1.CMCNT 0008 800Ah, CMT2.CMCNT 0008 8014h, CMT3.CMCNT 0008 801Ah



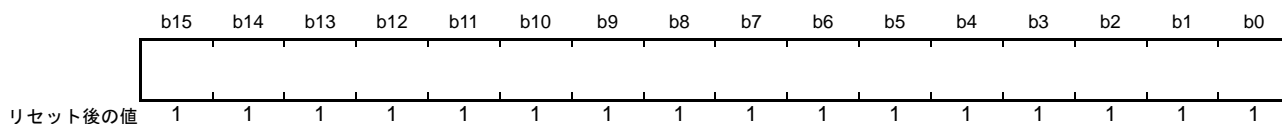
CMCNT カウンタは、読み出し / 書き込み可能なアップカウンタです。

CMCR.CKS[1:0] ビットで分周クロックを選択して、CMSTRm.STRn ビット (m = 0, 1, n = 0 ~ 3) を“1”にすると、そのクロックによって CMCNT カウンタはカウントアップを開始します。

CMCNT カウンタの値が CMCOR レジスタの値と一致すると、CMCNT カウンタは“0000h”になります。このとき、コンペアマッチ割り込み (CMIn) (n = 0 ~ 3) が発生します。

23.2.5 コンペアマッチタイマコンスタントレジスタ (CMCOR)

アドレス CMT0.CMCOR 0008 8006h, CMT1.CMCOR 0008 800Ch, CMT2.CMCOR 0008 8016h, CMT3.CMCOR 0008 801Ch



CMCOR レジスタは、CMCNT カウンタとのコンペアマッチする値を設定する読み出し / 書き込み可能なレジスタです。

23.3 動作説明

23.3.1 周期カウント動作

CMCR.CKS[1:0] ビットで分周クロックを選択し、CMSTRm.STRn ビット ($m=0, 1$, $n=0\sim 3$) を“1”にすると、選択したクロックによってCMCNTカウンタはカウントアップを開始します。

CMCNTカウンタの値がCMCORレジスタの値と一致すると、コンペアマッチ割り込み (CMI_n) ($n=0\sim 3$) が発生します。CMCNTカウンタは“0000h”からカウントアップを再開します。CMCNTカウンタの動作を図23.2に示します。

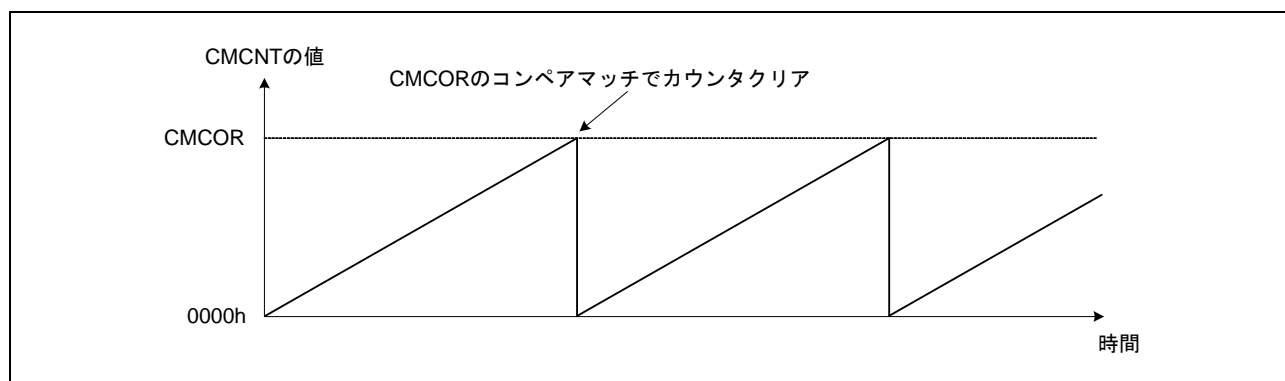


図 23.2 CMCNT カウンタの動作

23.3.2 CMCNT カウンタのカウントタイミング

CMCR.CKS[1:0] ビットで、周辺モジュールクロック (PCLK) を分周した4種類の分周クロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) からCMCNTカウンタに入力するカウントクロックを選択できます。このときのCMCNTカウンタのカウントタイミングを図23.3に示します。

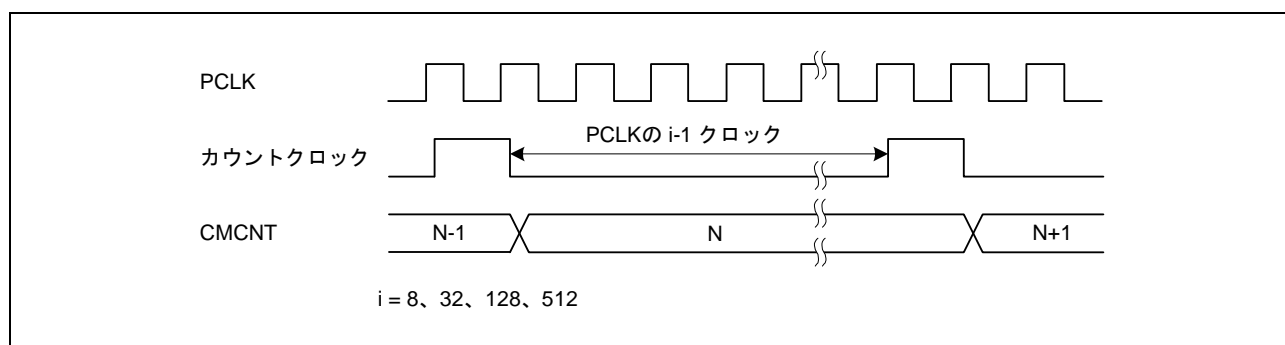


図 23.3 CMCNT カウンタのカウントタイミング

23.4 割り込み

23.4.1 割り込み要因

CMTは、チャンネルごとにコンペアマッチ割り込み (CMI_n) ($n = 0 \sim 3$) があり、それぞれ個々にベクタアドレスが割り当てられています。コンペアマッチ割り込みが発生すると、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを発生させる場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「14. 割り込みコントローラ (ICUb)」を参照してください。

表 23.2 CMTの割り込み要因

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能
CMI2	CMT2のコンペアマッチ	可能
CMI3	CMT3のコンペアマッチ	可能

23.4.2 コンペアマッチ割り込みの発生タイミング

CMCNT カウンタの値と CMCOR レジスタの値が一致したときに、コンペアマッチ割り込み (CMI_n) ($n = 0 \sim 3$) が発生します。

コンペアマッチ信号は、一致した最後のステート (CMCNT カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、CMCNT カウンタの値と CMCOR レジスタの値とが一致した後、CMCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。

コンペアマッチ割り込みのタイミングを図 23.4 に示します。

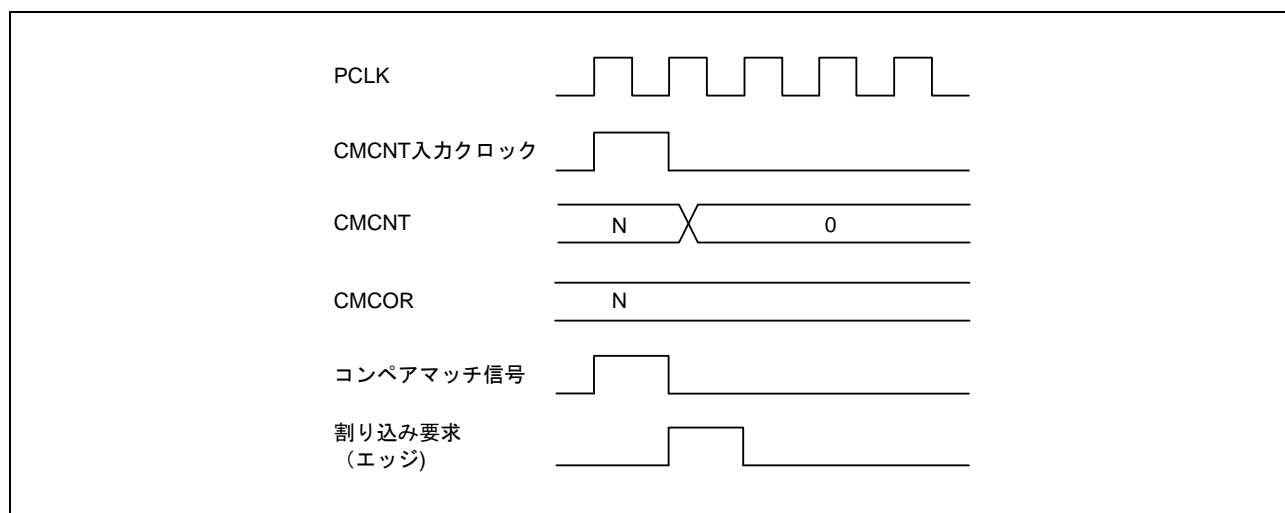


図 23.4 コンペアマッチ割り込みタイミング

23.5 使用上の注意事項

23.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、CMTの動作を禁止/許可することが可能です。リセット後、CMTはモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

23.5.2 CMCNTカウンタへの書き込みとコンペアマッチの競合

CMCNTカウンタへの書き込み中にコンペアマッチ信号が発生すると、CMCNTカウンタへの書き込みは行われずCMCNTカウンタのクリアが優先されます。このタイミングを図23.5に示します。

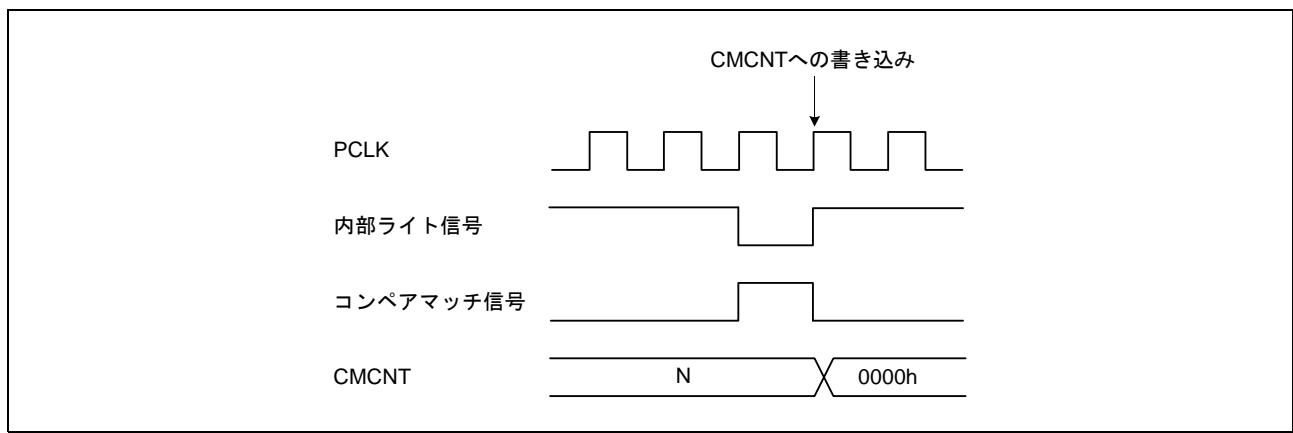


図 23.5 CMCNTカウンタへの書き込みとコンペアマッチの競合

23.5.3 CMCNTカウンタへの書き込みとカウントアップの競合

CMCNTカウンタへの書き込みと、カウントアップが競合した場合、CMCNTカウンタへの書き込みが優先されます。このタイミングを図23.6に示します。

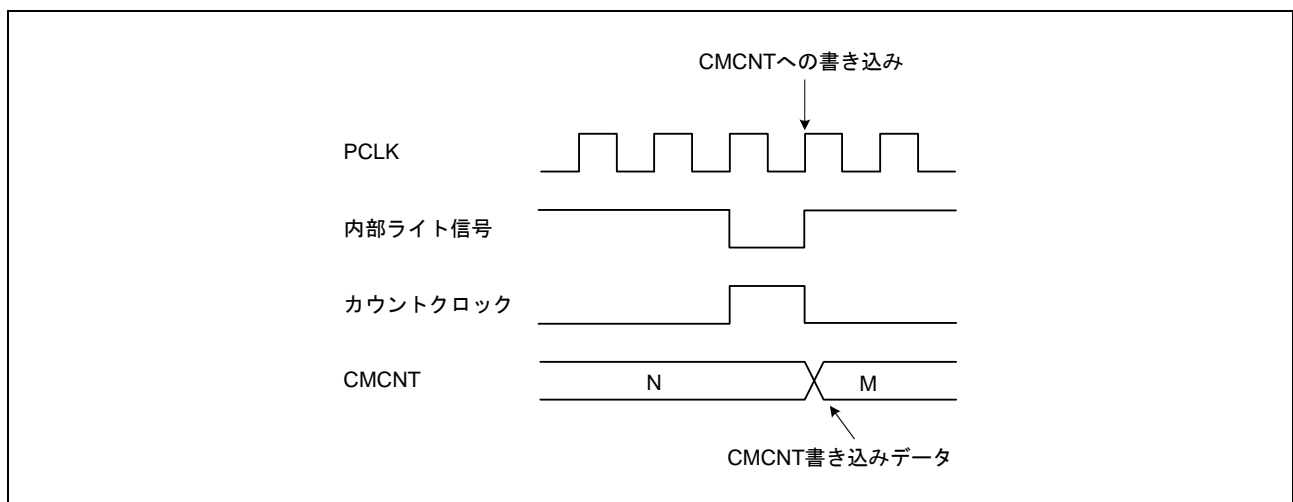


図 23.6 CMCNTカウンタへの書き込みとカウントアップの競合

24. 独立ウォッチドッグタイマ (IWDTa)

本章に記載している PCLK とは PCLKB を指します。

24.1 概要

独立ウォッチドッグタイマ (IWDT) は、プログラムの暴走を検知するために使用できます。IWDT のカウンタがアンダフローする前にリフレッシュするようプログラムを作成しておき、アンダフローが発生したら暴走したと判断できます。

WDT とは以下の点で機能が異なります。

- カウントソースは IWDT 専用低速クロック (IWDTCLK) を分周したもの (PCLK の影響を受けない)
- スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

表 24.1 に IWDT の仕様を、図 24.1 に IWDT のブロック図を示します。

表 24.1 IWDT の仕様

項目	内容
カウントソース (注1)	IWDT 専用クロック (IWDTCLK)
クロック分周比	1分周/16分周/32分周/64分周/128分周/256分周
カウント動作	14ビットのダウンカウンタによるダウンカウント
カウント開始条件	<ul style="list-style-type: none"> • リセット後、自動的にカウント開始 (オートスタートモード) • リフレッシュ (IWDTRR レジスタに 00h を書き込み後、FFh を書き込む) により、カウント開始 (レジスタスタートモード)
カウント停止条件	<ul style="list-style-type: none"> • リセット (ダウンカウンタ、レジスタは初期値に戻る) • アンダフロー、リフレッシュエラー発生時 • カウント再開 (オートスタートモード: リセットもしくはノンマスクابل割り込み要求を出力後に自動でカウント再開、レジスタスタートモード: リフレッシュ後にカウント再開)
ウィンドウ機能	ウィンドウ開始/終了位置を設定可能 (リフレッシュ許可/禁止期間)
リセット出力要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
ノンマスクابل割り込み要因	<ul style="list-style-type: none"> • ダウンカウンタがアンダフローしたとき • リフレッシュ許可期間以外でリフレッシュを行った場合 (リフレッシュエラー)
カウンタ値の読み出し	IWDTSR レジスタを読み出すことで、ダウンカウンタのカウント値の読み出しが可能
出力信号 (内部信号)	<ul style="list-style-type: none"> • リセット出力 • 割り込み要求出力 • スリープモードカウント停止制御出力
オートスタートモード (オプション機能選択レジスタ 0 (OFS0) 制御)	<ul style="list-style-type: none"> • リセット後のクロック分周比の選択 (OFS0.IWDTCKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (OFS0.IWDTTOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (OFS0.IWDTRPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (OFS0.IWDTRPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (OFS0.IWDTIRSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (OFS0.IWDTSLCSTP ビット)
レジスタスタートモード (IWDT レジスタ制御)	<ul style="list-style-type: none"> • リフレッシュ動作後のクロック分周比の選択 (IWDTCSR.CKS[3:0] ビット) • 独立ウォッチドッグタイマのタイムアウト期間の選択 (IWDTCSR.TOPS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ開始位置の選択 (IWDTCSR.RPSS[1:0] ビット) • 独立ウォッチドッグタイマのウィンドウ終了位置の選択 (IWDTCSR.RPES[1:0] ビット) • リセット出力、または割り込み要求出力の選択 (IWDTCSR.RSTIRQS ビット) • スリープモード、ソフトウェアスタンバイモード、またはディープスリープモード遷移時のダウンカウント停止の選択 (IWDTCSR.SLCSTP ビット)

注1. 周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

IWDT 使用時は、周辺モジュールクロック (PCLK) が停止した場合に備え、IWDT 専用クロック (IWDTCLK) が必要です。バスインタフェース部とレジスタ部は PCLK で動作し、14 ビットのカウンタと制御回路は IWDTCLK で動作します。

図 24.1 に IWDT のブロック図を示します。

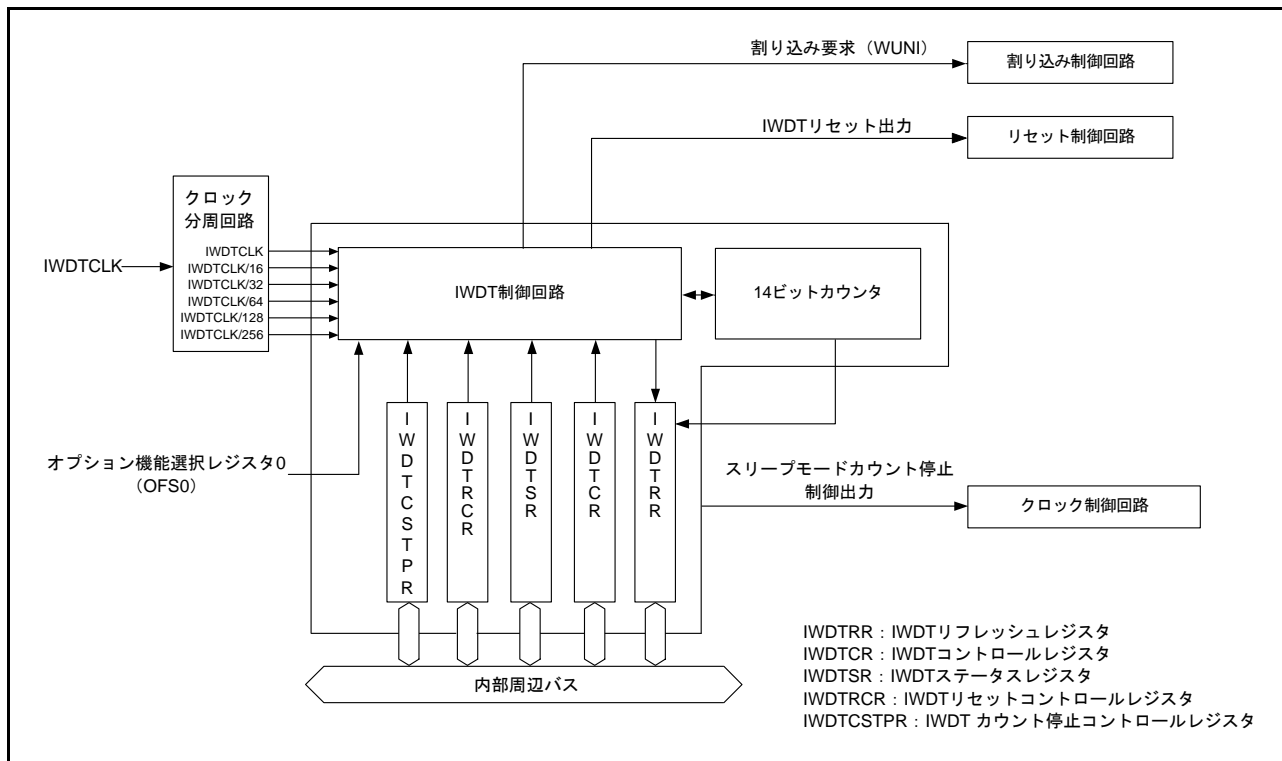
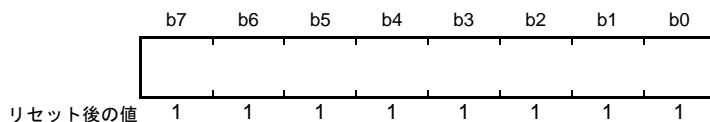


図 24.1 IWDT のブロック図

24.2 レジスタの説明

24.2.1 IWDT リフレッシュレジスタ (IWDTRR)

アドレス IWDT.IWDTRR 0008 8030h



ビット	機能	R/W
b7-b0	“00h”書き込み後、“FFh”の書き込みでリフレッシュ	R/W

IWDTRR レジスタは、IWDT のカウンタをリフレッシュするレジスタです。

リフレッシュ許可期間中に、IWDTRR レジスタに“00h”を書き込み後、“FFh”を書き込む（リフレッシュ動作）ことにより IWDT のカウンタをリフレッシュします。

カウンタはリフレッシュされると、オートスタートモードの場合、オプション機能選択レジスタ 0 (OFS0) の IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定した値からダウンカウントを行います。レジスタスタートモードの場合、IWDT コントロールレジスタのタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で設定した値からダウンカウントを行います。また、レジスタスタートモードの場合、リセット解除後の最初のリフレッシュ動作により、IWDTCR.TOPS[1:0] ビットで設定した値からダウンカウントを開始します。

読み出される値は、“00h”を書き込んだ場合は“00h”が、“00h”以外の値を書き込んだ場合は“FFh”となります。

リフレッシュ動作の詳細については、「24.3.3 リフレッシュ動作」を参照してください。

24.2.2 IWDT コントロールレジスタ (IWDTCR)

アドレス IWDT.IWDTCR 0008 8032h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
—	—	RPSS[1:0]	—	—	RPES[1:0]	CKS[3:0]			—	—	TOPS[1:0]					
リセット後の値	0	0	1	1	0	0	1	1	1	1	1	1	0	0	1	1

ビット	シンボル	ビット名	機能	R/W
b1-b0	TOPS[1:0]	タイムアウト期間選択ビット	b1 b0 0 0 : 128サイクル (007Fh) 0 1 : 512サイクル (01FFh) 1 0 : 1024サイクル (03FFh) 1 1 : 2048サイクル (07FFh)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	CKS[3:0]	クロック分周比選択ビット	b7 b4 0 0 0 0 : 分周なし 0 0 1 0 : 16分周 0 0 1 1 : 32分周 0 1 0 0 : 64分周 1 1 1 1 : 128分周 0 1 0 1 : 256分周 上記以外は設定しないでください	R/W
b9-b8	RPES[1:0]	ウィンドウ終了位置選択ビット	b9 b8 0 0 : 75% 0 1 : 50% 1 0 : 25% 1 1 : 0% (ウィンドウの終了位置設定なし)	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b13-b12	RPSS[1:0]	ウィンドウ開始位置選択ビット	b13 b12 0 0 : 25% 0 1 : 50% 1 0 : 75% 1 1 : 100% (ウィンドウの開始位置設定なし)	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

IWDTCR レジスタへの書き込みには制限があります。詳細については、「24.3.2 IWDTCR レジスタ、IWDTCR レジスタ、IWDTCRSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCR レジスタの各ビットと同様の設定が可能です。詳細については、「24.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

TOPS[1:0] ビット (タイムアウト期間選択ビット)

カウンタがアンダフローするまでのタイムアウト期間を CKS[3:0] ビットで設定した分周クロックを1サイクルとして、128 サイクル / 512 サイクル / 1024 サイクル / 2048 サイクルから選択します。

リフレッシュ後、アンダフローするまでの時間 (IWDTCLK 数) は、CKS[3:0] ビットと TOPS[1:0] ビットの組み合わせにより決定します。

表 24.2 に CKS[3:0] ビット、TOPS[1:0] ビットの設定と、タイムアウト期間および IWDTCLK 数の関係を示します。

表 24.2 タイムアウト期間設定表

CKS[3:0]ビット				TOPS[1:0]ビット		クロック分周比	タイムアウト期間 (サイクル数)	IWDTCLK 数
b7	b6	b5	b4	b1	b0			
0	0	0	0	0	0	分周なし	128	128
				0	1		512	512
				1	0		1024	1024
				1	1		2048	2048
0	0	1	0	0	0	16分周	128	2048
				0	1		512	8192
				1	0		1024	16384
				1	1		2048	32768
0	0	1	1	0	0	32分周	128	4096
				0	1		512	16384
				1	0		1024	32768
				1	1		2048	65536
0	1	0	0	0	0	64分周	128	8192
				0	1		512	32768
				1	0		1024	65536
				1	1		2048	131072
1	1	1	1	0	0	128分周	128	16384
				0	1		512	65536
				1	0		1024	131072
				1	1		2048	262144
0	1	0	1	0	0	256分周	128	32768
				0	1		512	131072
				1	0		1024	262144
				1	1		2048	524288

CKS[3:0] ビット (クロック分周比選択ビット)

IWDT は、IWDTCLK を分周する分周比設定を 1 分周 / 16 分周 / 32 分周 / 64 分周 / 128 分周 / 256 分周から選択します。TOPS[1:0] ビットと組み合わせて、IWDT のカウント期間を IWDTCLK の 128 ~ 524288 クロックの間で設定できます。

RPES[1:0] ビット (ウィンドウ終了位置選択ビット)

カウンタのウィンドウ終了位置を、カウント期間の 75%、50%、25%、0% から選択します。選択するウィンドウ終了位置は、ウィンドウ開始位置より小さい値を選択します (ウィンドウ開始位置 > ウィンドウ終了位置)。ウィンドウ終了位置をウィンドウ開始位置よりも大きい値に設定した場合、ウィンドウ開始位置の設定のみが有効となります。

RPSS[1:0] ビット、RPES[1:0] ビットで設定したウィンドウ開始 / 終了位置のカウント値は、TOPS[1:0] ビットの設定により変わります。

表 24.3 に TOPS[1:0] ビットの値に対応したウィンドウ開始 / 終了位置のカウント値を示します。

表24.3 タイムアウト期間とウィンドウ許可/終了カウンタ値対応表

TOPS[1:0]ビット		タイムアウト期間		リフレッシュ許可/終了カウンタ値			
b1	b0	サイクル数	カウンタ値	100%	75%	50%	25%
0	0	128	007Fh	007Fh	005Fh	003Fh	001Fh
0	1	512	01FFh	01FFh	017Fh	00FFh	007Fh
1	0	1024	03FFh	03FFh	02FFh	01FFh	00FFh
1	1	2048	07FFh	07FFh	05FFh	03FFh	01FFh

RPSS[1:0] ビット (ウィンドウ開始位置選択ビット)

カウンタのウィンドウ開始位置を、カウント期間 (カウント開始を 100%、アンダフロー発生時を 0%) の 100%、75%、50%、25% から選択します。ウィンドウ開始位置からウィンドウ終了位置までの期間がリフレッシュ許可期間となり、それ以外はリフレッシュ禁止期間となります。

図 24.2 に RPSS[1:0] ビット、RPES[1:0] ビットの設定値と、リフレッシュ許可 / 禁止期間の関係を示します。

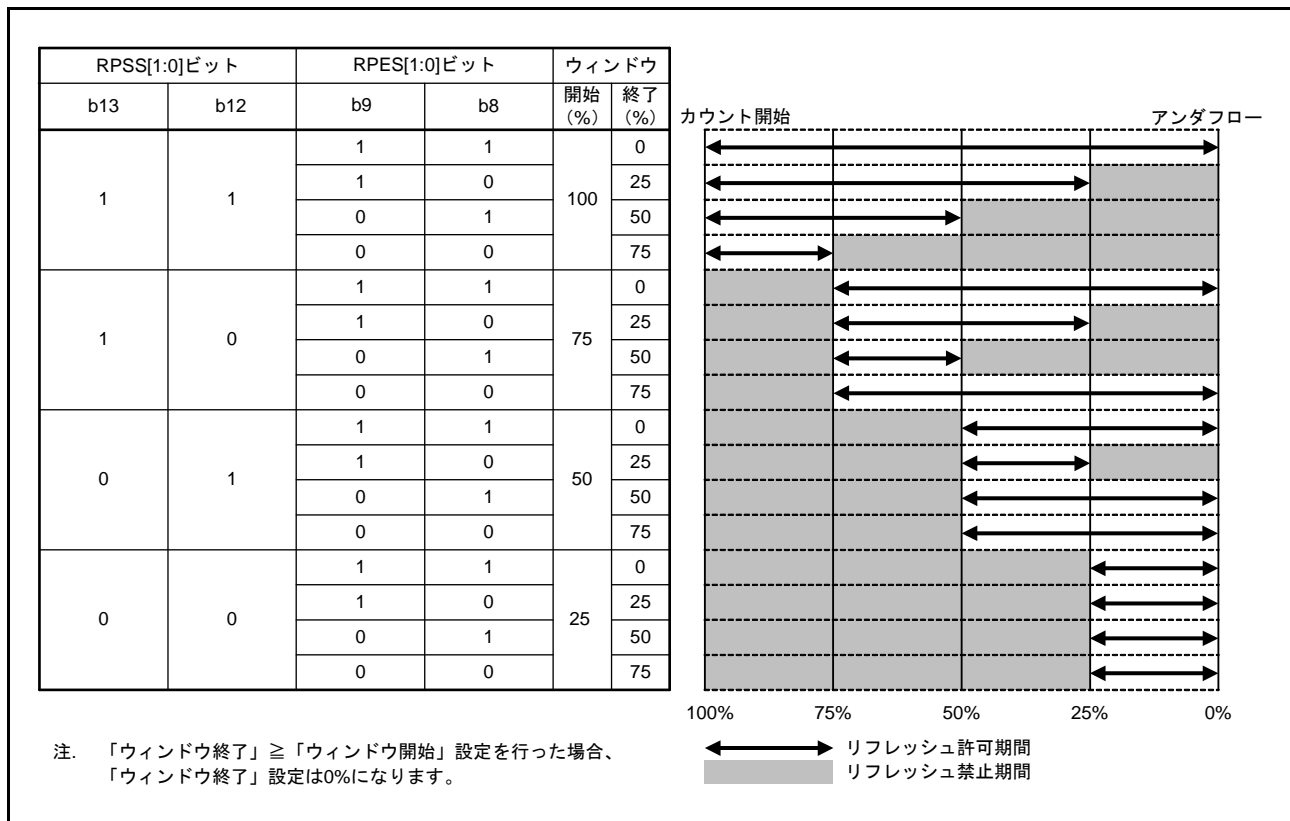
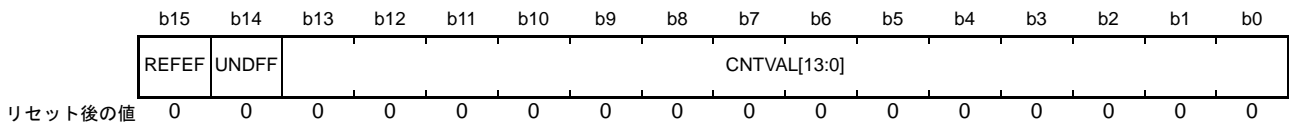


図 24.2 RPSS[1:0] ビット、RPES[1:0] ビットとリフレッシュ許可期間

24.2.3 IWDT ステータスレジスタ (IWDTSR)

アドレス IWDT.IWDTSR 0008 8034h



ビット	シンボル	ビット名	機能	R/W
b13-b0	CNTVAL[13:0]	カウンタ値ビット	カウンタのカウンタ値	R
b14	UNDFE	アンダフローフラグ	0: アンダフローなし 1: アンダフロー発生	R/(W) (注1)
b15	REFEF	リフレッシュエラーフラグ	0: リフレッシュエラーなし 1: リフレッシュエラー発生	R/(W) (注1)

注1. フラグを“0”にするための“0”書き込みのみ可能です。

IWDTSR レジスタは、IWDT へのリセット要因により初期化されます。それ以外のリセット要因では初期化されません。

CNTVAL[13:0] ビット (カウンタ値ビット)

カウンタのカウンタ値を確認することができます。ただし、読み出されるカウンタ値は、カウンタの実際の値に対し1カウントずれることがあります。

UNDFE フラグ (アンダフローフラグ)

カウンタのアンダフロー発生状態を確認することができます。

読み出した値が“1”のとき、カウンタはアンダフローが発生した状態です。読み出した値が“0”のとき、アンダフローは発生していません。

値を“0”にするには、UNDFE フラグに“0”を書き込んでください。“1”の書き込みは無効です。

REFEF フラグ (リフレッシュエラーフラグ)

リフレッシュエラー (リフレッシュ禁止期間中のリフレッシュ動作) の発生状態を確認することができます。

読み出した値が“1”のとき、リフレッシュエラーが発生した状態です。読み出した値が“0”のとき、リフレッシュエラーは発生していません。

値を“0”にするには、REFEF フラグに“0”を書き込んでください。“1”の書き込みは無効です。

24.2.4 IWDT リセットコントロールレジスタ (IWDTRCR)

アドレス IWDT.IWDTRCR 0008 8036h

	b7	b6	b5	b4	b3	b2	b1	b0
	RSTIR QS	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7	RSTIRQS	リセット割り込み要求選択ビット	0: ノンマスクブル割り込み要求出力を許可 1: リセット出力を許可	R/W

IWDTRCR レジスタへの書き込みには制限があります。詳細については、「24.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTRCR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTRCR レジスタの各ビットと同様の設定が可能です。詳細については、「24.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

24.2.5 IWDT カウント停止コントロールレジスタ (IWDTCSSTPR)

アドレス IWDT.IWDTCSSTPR 0008 8038h

	b7	b6	b5	b4	b3	b2	b1	b0
	SLCST P	—	—	—	—	—	—	—
リセット後の値	1	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと"0"が読めます。書き込みは無効になります	R
b7	SLCSTP	スリープモードカウント停止制御ビット	0: カウント停止無効 1: スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止有効	R/W

低消費電力状態時、IWDT のカウンタを停止させるかどうかを設定するレジスタです。なお、IWDTCSSTPR レジスタへの書き込みには制限があります。詳細については、「24.3.2 IWDTCSR レジスタ、IWDTCSR レジスタ、IWDTCSSTPR レジスタ書き込み制御」を参照してください。

オートスタートモードの場合は、IWDTCSSTPR レジスタの設定は無効となり、オプション機能選択レジスタ 0 (OFS0) の設定が有効となります。オプション機能選択レジスタ 0 (OFS0) の設定は、IWDTCSSTPR レジスタの各ビットと同様の設定が可能です。詳細については、「24.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

SLCSTP ビット (スリープモードカウント停止制御ビット)

スリープモード、ソフトウェアスタンバイモード、およびディープスリープモード遷移時のカウント停止を選択します。

24.2.6 オプション機能選択レジスタ 0 (OFS0)

オプション機能選択レジスタ 0 (OFS0) については、「24.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応」を参照してください。

24.3 動作説明

24.3.1 カウント開始条件別の各動作

IWDT のスタートモードの選択は、オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) で行います。

OFS0.IWDTSTRT ビットが“1” (レジスタスタートモード) の場合、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、IWDT カウント停止コントロールレジスタ (IWDTCSTPR) の設定が有効となり、IWDT リフレッシュレジスタ (IWDTRR) へのリフレッシュ動作でカウントが開始されます。OFS0.IWDTSTRT ビットが“0” (オートスタートモード) の場合、オプション機能選択レジスタ 0 (OFS0) が有効となり、リセット後、自動的にカウントが開始されます。

24.3.1.1 レジスタスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が“1” の場合、レジスタスタートモードとなり、IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSTPR) が有効となります。

リセット解除後、IWDTCR レジスタにクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、IWDTRCR レジスタにリセット出力/割り込み要求出力、また IWDTCSTPR レジスタに低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定を行います。その後、リフレッシュ動作でカウンタにタイムアウト期間選択ビット (IWDTCR.TOPS[1:0]) で選択した値がセットされダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 24.3 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “1” (レジスタスタートモード)
- IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) : “1” (リセット出力許可)
- IWDT ウィンドウ開始位置選択ビット (IWDTCR.RPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (IWDTCR.RPES[1:0]) : “10b” (25%)

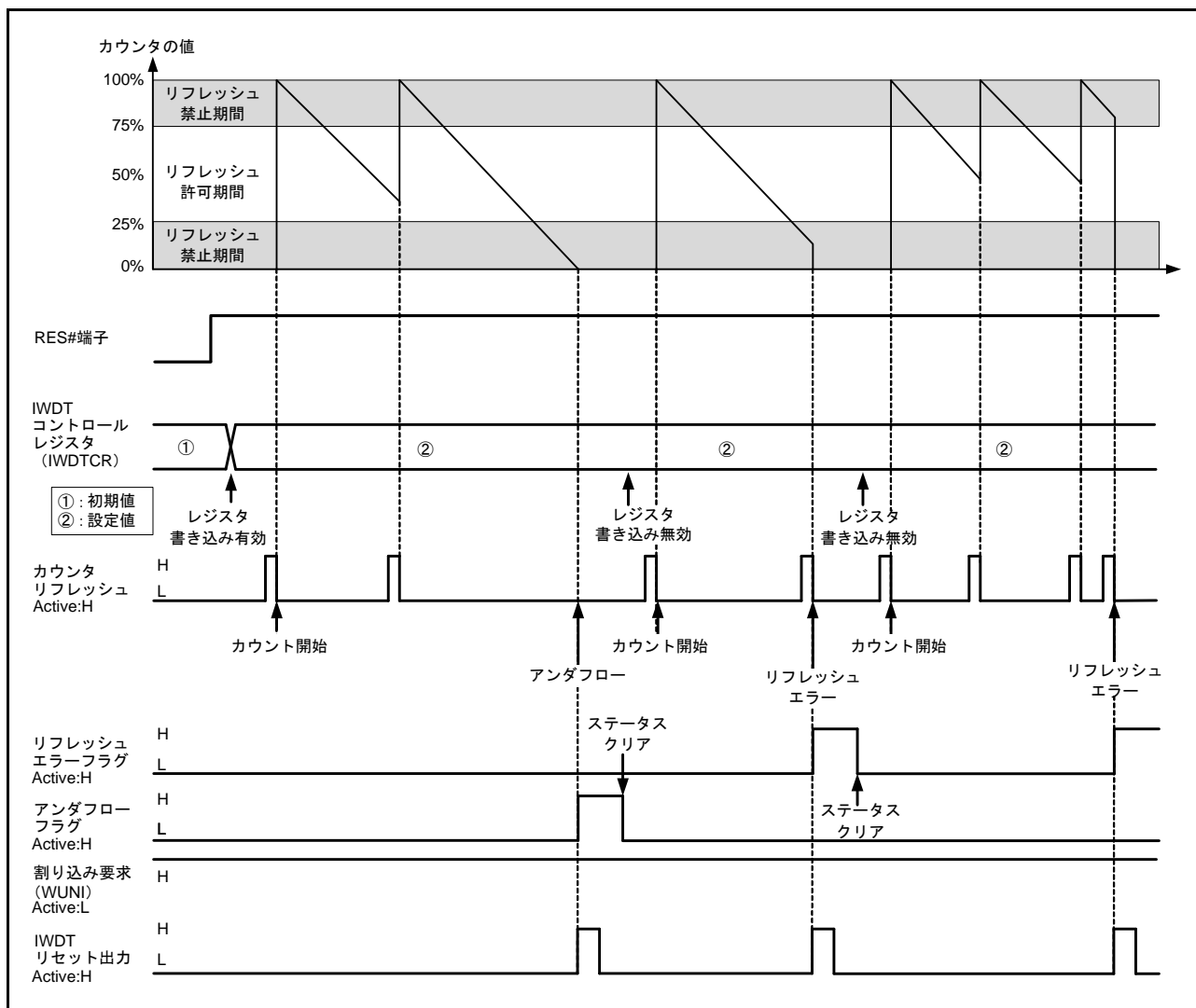


図 24.3 レジスタスタートモード動作例

24.3.1.2 オートスタートモード

オプション機能選択レジスタ 0 (OFS0) の IWDT スタートモード選択ビット (OFS0.IWDTSTRT) が “0” の場合、オートスタートモードとなり、IWDT コントロールレジスタ 0 (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSSTPR) が無効となります。

また、リセット期間中にオプション機能選択レジスタ 0 (OFS0) の値を使ってクロック分周比、ウィンドウ開始/終了位置、タイムアウト期間、リセット出力/割り込み要求出力、また低消費電力状態への遷移時での IWDT のカウンタのカウント停止制御の設定が行われます。その後、リセット解除でカウンタに IWDT タイムアウト期間選択ビット (OFS0.IWDTTOPS[1:0]) で設定されたタイムアウト期間の値がセットされ自動でダウンカウントを開始します。

以後、プログラムが正常に動作していてリフレッシュ許可期間内でリフレッシュされている場合は、リフレッシュごとにカウンタ値が再設定されダウンカウントを続けます。この間、IWDT はリセットを出力しません。しかし、プログラムの暴走などによりカウンタのリフレッシュが行われず、カウンタのアンダフローが発生した場合、またはリフレッシュ許可期間以外でのリフレッシュ動作によりリフレッシュエラーが発生した場合は、IWDT はリセットを出力するか、もしくはノンマスカブル割り込み要求 (WUNI) を出力します。リセットまたはノンマスカブル割り込み要求 (WUNI) が発生後、1 サイクルカウント後にカウンタはタイムアウト期間をリロードし、カウント動作を再開します。IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

図 24.4 に以下の条件での動作例を示します。

- IWDT スタートモード選択ビット (OFS0.IWDTSTRT) : “0” (オートスタートモード)
- IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) : “0” (ノンマスカブル割り込み要求出力許可)
- IWDT ウィンドウ開始位置選択ビット (OFS0.IWDRPSS[1:0]) : “10b” (75%)
- IWDT ウィンドウ終了位置選択ビット (OFS0.IWDRPES[1:0]) : “10b” (25%)

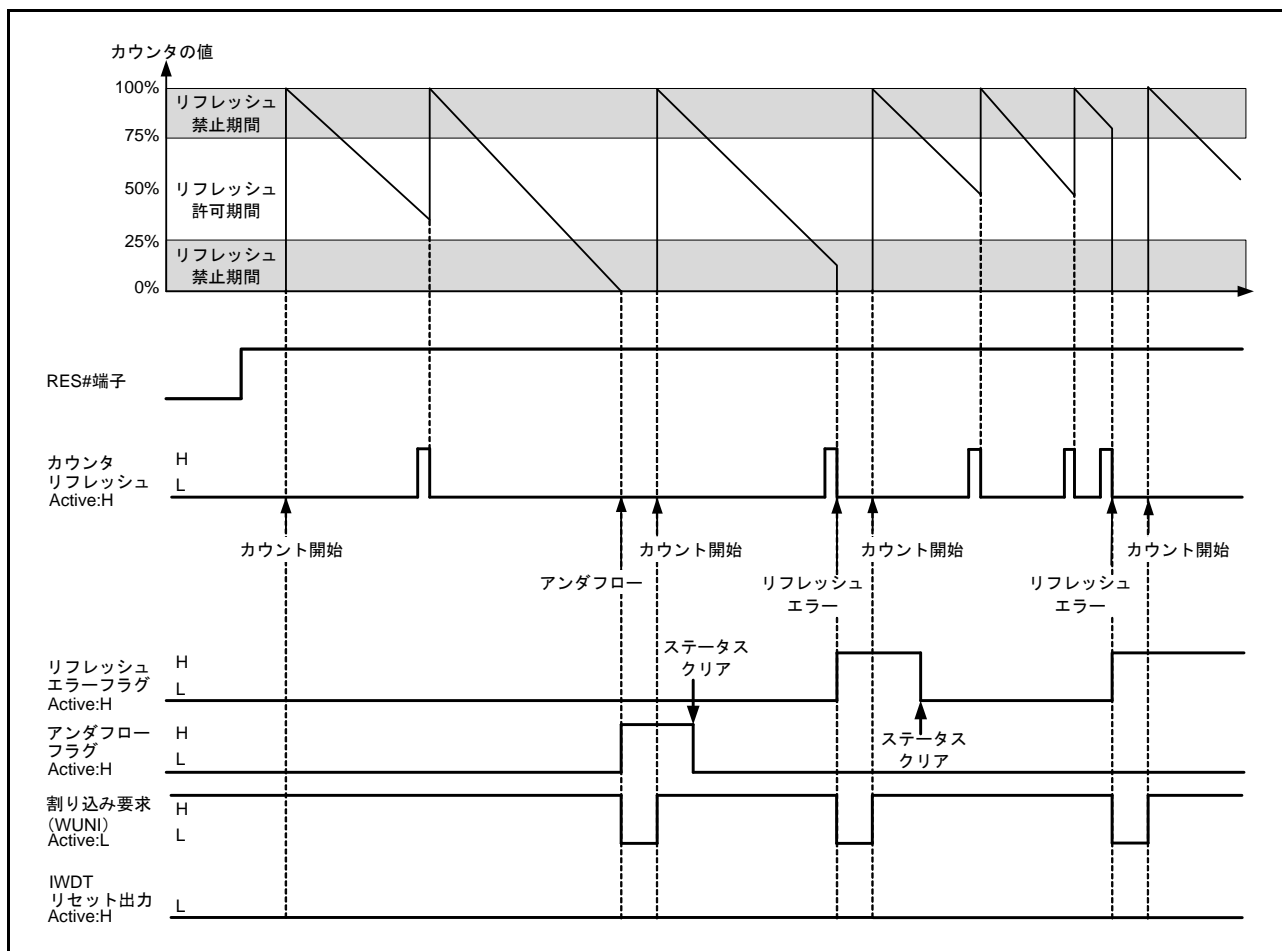


図 24.4 オートスタートモード動作例

24.3.2 IWDTCR レジスタ、IWDTRCR レジスタ、IWDTCSPTPR レジスタ書き込み制御

IWDT コントロールレジスタ (IWDTCR)、IWDT リセットコントロールレジスタ (IWDTRCR)、および IWDT カウント停止コントロールレジスタ (IWDTCSPTPR) への書き込みは、リセット解除後から最初のリフレッシュ動作までの間に 1 回のみ可能です。

リフレッシュ動作 (カウントスタート) 後、もしくは IWDTCR、IWDTRCR、または IWDTCSPTPR レジスタへ書き込みを行うと、IWDT 内部のプロテクト信号が“1”となり、以後 IWDTCR、IWDTRCR、および IWDTCSPTPR レジスタへの書き込みをプロテクトします。

IWDT へのリセット要因により、プロテクトは解除されます。それ以外のリセット要因では解除されません。

図 24.5 に IWDTCR レジスタ書き込み制御波形を示します。

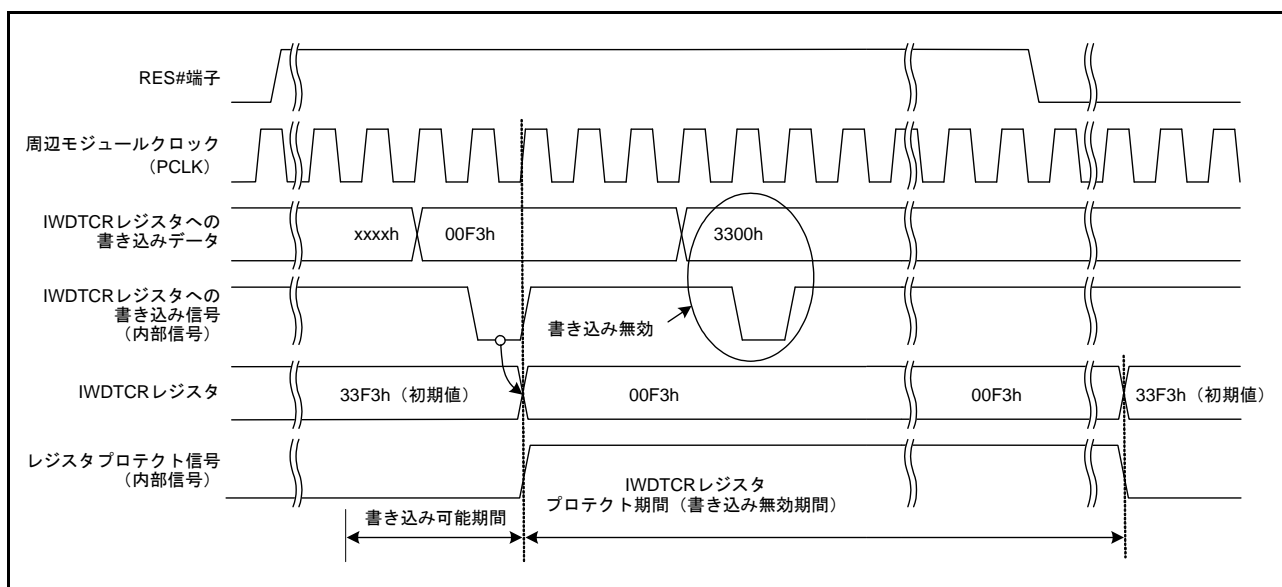


図 24.5 IWDTCR レジスタ書き込み制御波形

24.3.3 リフレッシュ動作

カウンタのリフレッシュ、およびカウンタ動作開始（リフレッシュによるカウント開始）を行うには、IWDTRR リフレッシュレジスタ (IWDTRR) へ“00h”書き込みに続けて“FFh”書き込みを行います。“00h”書き込み後に“FFh”以外を書き込んだ場合、リフレッシュは行いません。再度、IWDTRR レジスタへ“00h”→“FFh”の順で書き込むことにより、リフレッシュを正常に行うことができます。

なお、“00h” (1回目) → “00h” (2回目) の書き込みを行った場合でも、その後“FFh”を書き込むことにより、“00h” → “FFh” 順の書き込み動作が成立するため、“00h” (n-1回目) → “00h” (n回目) → “FFh” のような書き込み動作も有効となり、リフレッシュを行います。“00h”以前の書き込みが“00h”以外でも同様に、“00h” → “FFh” 順の書き込み動作が成立すると、リフレッシュを行います。また、IWDTRR レジスタへの“00h”書き込みと“FFh”書き込みの間に、IWDTRR レジスタ以外へのアクセス、またはIWDTRR レジスタの読み出しを行った場合でもリフレッシュを行います。

【リフレッシュ有効書き込み例】

- “00h” → “FFh”
- “00h” (n-1回目) → “00h” (n回目) → “FFh”
- “00h” → 別レジスタアクセスまたはIWDTRR レジスタの読み出し → “FFh”

【リフレッシュ無効書き込み例】

- “23h” (“00h”以外) → “FFh”
- “00h” → “54h” (“FFh”以外)
- “00h” → “AAh” (“00h”および“FFh”以外) → “FFh”

リフレッシュ動作として、IWDTRR レジスタへの“00h”の書き込みがリフレッシュ許可期間外であっても、IWDTRR レジスタへの“FFh”の書き込みがリフレッシュ許可期間内であれば、書き込み動作が成立となりリフレッシュを行います。

なお、カウンタがリフレッシュされるタイミングは、IWDTRR レジスタに“FFh”を書き込み後、カウントサイクル数で最大4サイクル必要となります (1サイクル間のIWDTRR専用クロック (IWDTRRCLK) 数は、クロック分周比選択ビット (IWDTRR.CKS[3:0]) の設定値により異なります)。そのため、リフレッシュ許可期間終了位置から4カウント前、もしくはカウンタがアンダフローする4カウント前までに、IWDTRR レジスタへの“FFh”書き込みを完了してください。カウンタの値はカウンタ値ビット (IWDTRR.CNTVAL[13:0]) で確認できます。

【リフレッシュ動作タイミング例】

- ウィンドウ開始位置が“03FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“03FFh”より前 (たとえば“0402h”) であっても、IWDTRR.CNTVAL[13:0] ビットの値が“03FFh”になってから、IWDTRR レジスタへ“FFh”を書き込めばリフレッシュを行います。
- ウィンドウ終了位置が“03FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh”を書き込み直後にIWDTRR.CNTVAL[13:0] ビットの値を読み出して“0403h” (“03FFh”の4カウント前) 以上であればリフレッシュを行います。
- “0000h”までがリフレッシュ許可期間である場合、アンダフロー直前にリフレッシュが可能となりますが、この場合IWDTRR レジスタへ“00h” → “FFh”を書き込み直後にIWDTRR.CNTVAL[13:0] ビットの値を読み出して“0003h” (アンダフローの4カウント前) 以上であればアンダフローは発生せず、リフレッシュを行います。

図 24.6 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT リフレッシュ動作波形を示します。

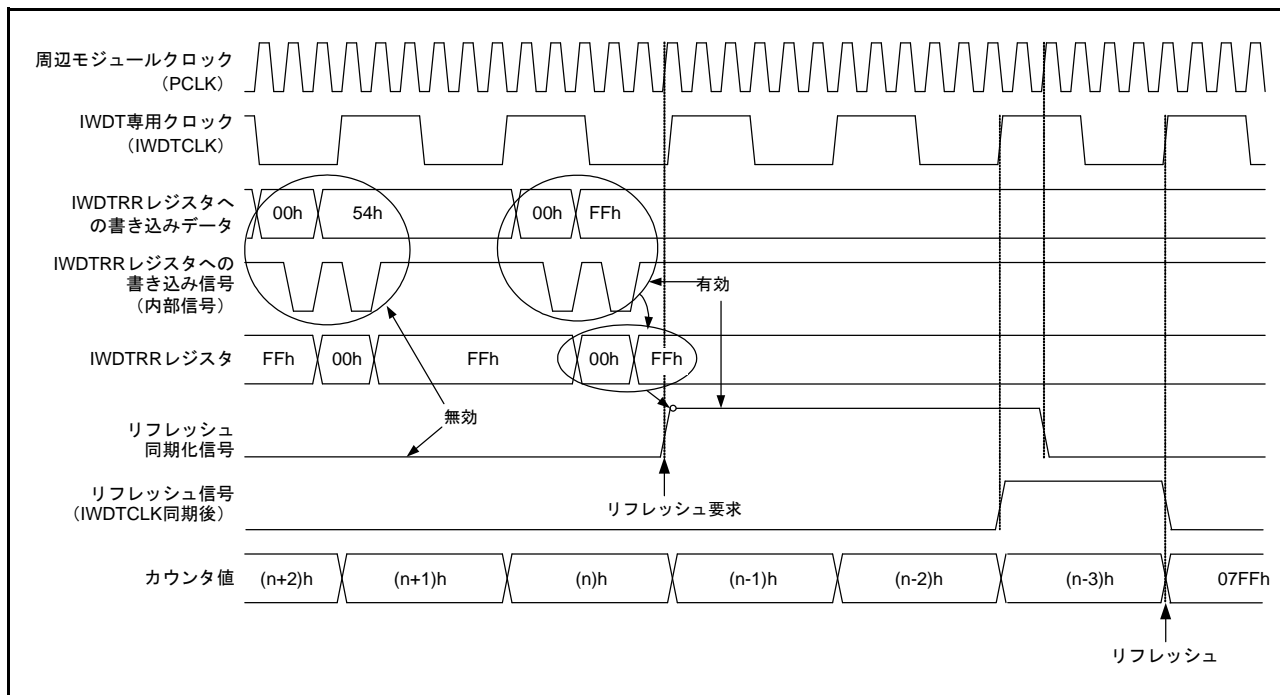


図 24.6 IWDT リフレッシュ動作波形 (IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

24.3.4 ステータスフラグ

リフレッシュエラーフラグ (IWDTSR.REFEF)、アンダフローフラグ (IWDTSR.UNDF) は、IWDT がリセットを出力した場合のリセット要因、または IWDT の割り込み要求が発生した場合の割り込み要因を保持します。

リセット解除後、もしくは割り込み要求発生時に IWDTSR.REFEF フラグ、または IWDTSR.UNDF フラグを読むことで、リセット要因、または割り込み要因の発生状態を確認することができます。

各フラグの値を“0”にするには“0”を書き込んでください。“1”の書き込みは無効です。

各フラグは、“0”にしなくても動作に影響を与えません。“0”にしない場合は、次に IWDT がリセットを出力したときに古いリセット要因はクリアされ、新しいリセット要因が書き込まれます。または、次に IWDT の割り込み要求が発生したときに古い割り込み要因はクリアされ、新しい割り込み要因が書き込まれます。

なお、各フラグに“0”を書いた後、その値が反映されるまでには、最大で IWDTCLK 3 クロックと PCLK 2 クロック必要です。

24.3.5 リセット出力

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“1”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“1”にした場合、カウンタのアンダフロー、またはリフレッシュエラーにより、リセットを出力します。

レジスタスタートモードでは、リセット出力後、カウンタは初期状態 (ALL“0”) で保持されます。リセットを解除し再起動後、リフレッシュ動作を行うことによりカウンタ値が再設定されダウンカウントを開始します。

オートスタートモードでは、リセット出力後、自動でダウンカウントを開始します。

24.3.6 割り込み要因

レジスタスタートモード時、リセット割り込み選択ビット (IWDTRCR.RSTIRQS) を“0”にした場合、またはオートスタートモード時、オプション機能選択レジスタ 0 (OFS0) の IWDT リセット割り込み要求選択ビット (OFS0.IWDRSTIRQS) を“0”にした場合、カウンタのアンダフローまたはリフレッシュエラーが発生したとき、割り込み (WUNI) が発生します。本割り込みはノンマスクابل割り込みに対応していません。詳細は、「14. 割り込みコントローラ (ICUb)」を参照してください。

表24.4 IWDTの割り込み要因

名称	割り込み要因	DTCの起動
WUNI	カウンタのアンダフロー リフレッシュエラー	不可能

24.3.7 カウンタ値の読み出し

IWDT のカウンタは IWDT 専用クロック (IWDTCLK) で動作しているため、カウンタ値を直接読み出すことはできません。そのため、IWDT はカウンタ値を周辺モジュールクロック (PCLK) で同期化し、IWDT ステータスレジスタのカウンタ (IWDTSR.CNTVAL[13:0] ビット) へ格納します。IWDTSR.CNTVAL[13:0] ビットへ格納された値を読み出すことで、間接的にカウンタ値を確認することができます。

なお、読み出しには PCLK で数クロック (最大 4 クロック) 必要となるため、読み出されるカウンタ値は、カウンタの実際の値に対し 1 カウントずれることがあります。

図 24.7 に PCLK > IWDTCLK、クロック分周比が IWDTCLK の場合の IWDT カウンタ値の読み出し処理を示します。

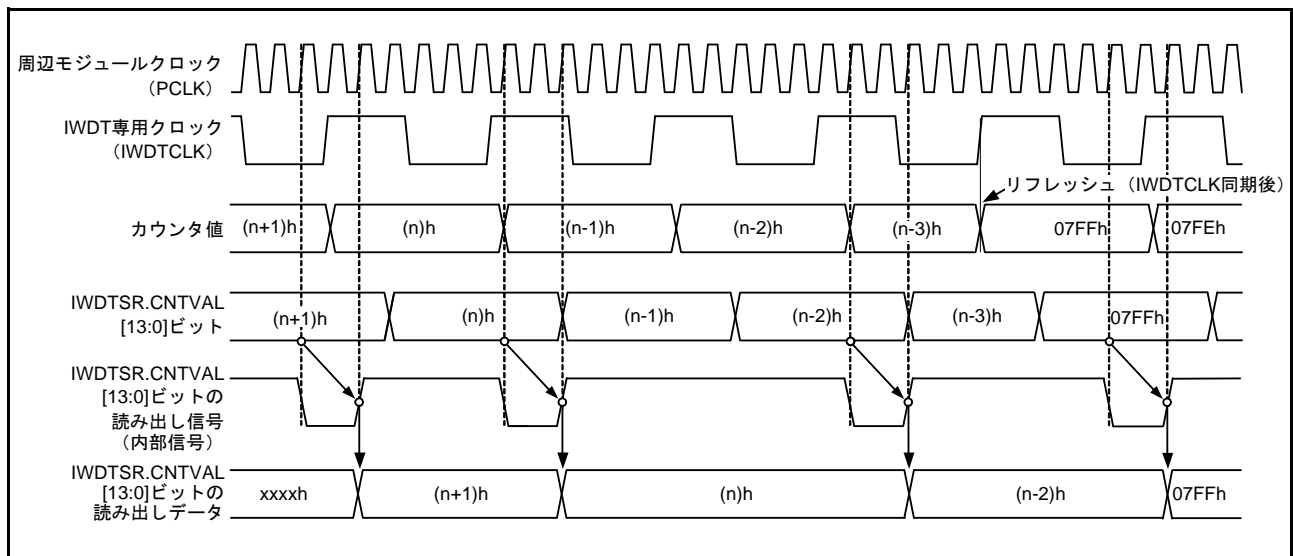


図 24.7 IWDT カウンタ値の読み出し処理
(IWDTCR.CKS[3:0] = 0000b、IWDTCR.TOPS[1:0] = 11b)

24.3.8 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

表 24.5 にオートスタートモードで使用するオプション機能選択レジスタ 0 (OFS0) とレジスタスタートモードで使用するレジスタとの対応を示します。

OFS0 レジスタの設定は、IWDT 動作中は変更しないでください。

オプション機能選択レジスタ 0 (OFS0) については、「7.2.1 オプション機能選択レジスタ 0 (OFS0)」を参照してください。

表24.5 オプション機能選択レジスタ 0 (OFS0) と IWDT レジスタの対応

制御	機能	OFS0 レジスタ (オートスタートモード時有効) OFS0.IWDTSTRT = 0	IWDT レジスタ (レジスタスタートモード時有効) OFS0.IWDTSTRT = 1
カウンタ	タイムアウト期間選択	OFS0.IWDTTOPS[1:0]	IWDTCR.TOPS[1:0]
	クロック分周比選択	OFS0.IWDTCKS[3:0]	IWDTCR.CKS[3:0]
	ウィンドウ開始位置選択	OFS0.IWDRPSS[1:0]	IWDTCR.RPSS[1:0]
	ウィンドウ終了位置選択	OFS0.IWDRPES[1:0]	IWDTCR.RPES[1:0]
リセット出力/ 割り込み要求出力	リセット出力/割り込み要求出力選択	OFS0.IWDRSTIRQS	IWDTCR.RSTIRQS
カウント停止	スリープモードカウント停止制御	OFS0.IWDTSLCSTP	IWDTCSR.SLCSTP

24.4 使用上の注意事項

24.4.1 リフレッシュ動作について

リフレッシュタイミングの設定においては、PCLK と IWDTCLK の精度を考慮し、誤差の範囲で周期が変化してもリフレッシュできる値を設定してください。

24.4.2 クロック分周比の設定

周辺モジュールクロック周波数 (PCLK) $\geq 4 \times$ (カウントソースの分周後周波数) となるようにしてください。

25. シリアルコミュニケーションインタフェース (SCIg)

本 MCU は、独立した 2 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communications Interface) を備えています。SCI は、SCIg モジュール (SCI1, SCI5) から構成されています。

SCIg (SCI1, SCI5) は、調歩同期式とクロック同期式のシリアル通信が可能です。調歩同期式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communications Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。この他、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。さらに、簡易 I²C バスインタフェースのシングルマスタ動作、および簡易 SPI インタフェースに対応しています。

本章に記載している PCLK とは PCLKB を指します。

25.1 概要

表 25.1 に SCIg の仕様を、表 25.2 に SCI チャンネル別機能一覧を示します。

図 25.1 に SCI1 のブロック図を、図 25.2 に SCI5 のブロック図を示します。

表 25.1 SCIg の仕様 (1/2)

項目	内容	
シリアル通信方式	<ul style="list-style-type: none"> 調歩同期式 クロック同期式 スマートカードインタフェース 簡易 I²C バス 簡易 SPI バス 	
転送速度	ポーレートジェネレータ内蔵により任意のビットレートを設定可能	
全二重通信	送信部：ダブルバッファ構成による連続送信が可能 受信部：ダブルバッファ構成による連続受信が可能	
入出力端子	表 25.3～表 25.5 参照	
データ転送	LSB ファースト/MSB ファースト選択可能 (注1)	
割り込み要因	送信終了、送信データエンプティ、受信データフル、受信エラー、開始条件/再開始条件/停止条件生成終了 (簡易 I ² C モード用)	
消費電力低減機能	チャンネルごとにモジュールストップ状態への遷移が可能	
調歩同期式モード	データ長	7ビット/8ビット/9ビット
	送信ストップビット	1ビット/2ビット
	パリティ機能	偶数パリティ/奇数パリティ/パリティなし
	受信エラー検出機能	パリティエラー、オーバランエラー、フレーミングエラー
	ハードウェアフロー制御	CTSn# 端子、RTSn# 端子を用いた送受信制御が可能
	スタートビットの検出	Low または立ち下がリエッジを選択可能
	ブ레이크検出	フレーミングエラー発生時、RXDn 端子のレベルを直接リードすることでブ레이크を検出可能
	クロックソース	内部クロック/外部クロックの選択が可能 TMR からの転送レートクロック入力が可能 (SCI5)
	倍速モード	ポーレートジェネレータ倍速モードを選択可能
	マルチプロセッサ通信機能	複数のプロセッサ間のシリアル通信機能
	ノイズ除去	RXDn 端子入力経路にデジタルノイズフィルタを内蔵
クロック同期式モード	データ長	8ビット
	受信エラーの検出	オーバランエラー
	ハードウェアフロー制御	CTSn# 端子、RTSn# 端子を用いた送受信制御が可能

表 25.1 SCIgの仕様 (2/2)

項目		内容
スマートカード インタフェースモード	エラー処理	受信時パリティエラーを検出するとエラーシグナルを自動送 送信時エラーシグナルを受信するとデータを自動再送信
	データタイプ	ダイレクトコンベンション/インバースコンベンションをサポート
簡易I ² Cモード	通信フォーマット	I ² Cバスフォーマット
	動作モード	マスタ (シングルマスタ動作のみ)
	転送速度	ファストモード対応 (転送速度は「25.2.11 ビットレートレジスタ (BRR)」 を参照して設定してください)
	ノイズ除去	SSCLn、SSDAn入力経路にデジタルノイズフィルタを内蔵 ノイズ除去幅調整可能
簡易SPIモード	データ長	8ビット
	エラーの検出	オーバランエラー
	SS入力端子機能	SSn#端子がHighのとき、出力端子をハイインピーダンスにすることが可能
	クロック設定	クロック位相、クロック極性の設定を4種類から選択可能
ビットレートモジュレーション機能		内蔵ボーレートジェネレータの出力補正により誤差を低減可能

注1. 簡易I²Cモードでは、MSBファーストでのみ使用可能です。

表 25.2 SCIチャンネル別機能一覧

項目	SCI1	SCI5
調歩同期式モード	○	○
クロック同期式モード	○	○
スマートカードインタフェースモード	○	○
簡易I ² Cモード	○	○
簡易SPIモード	○	○
TMRクロック入力	—	○

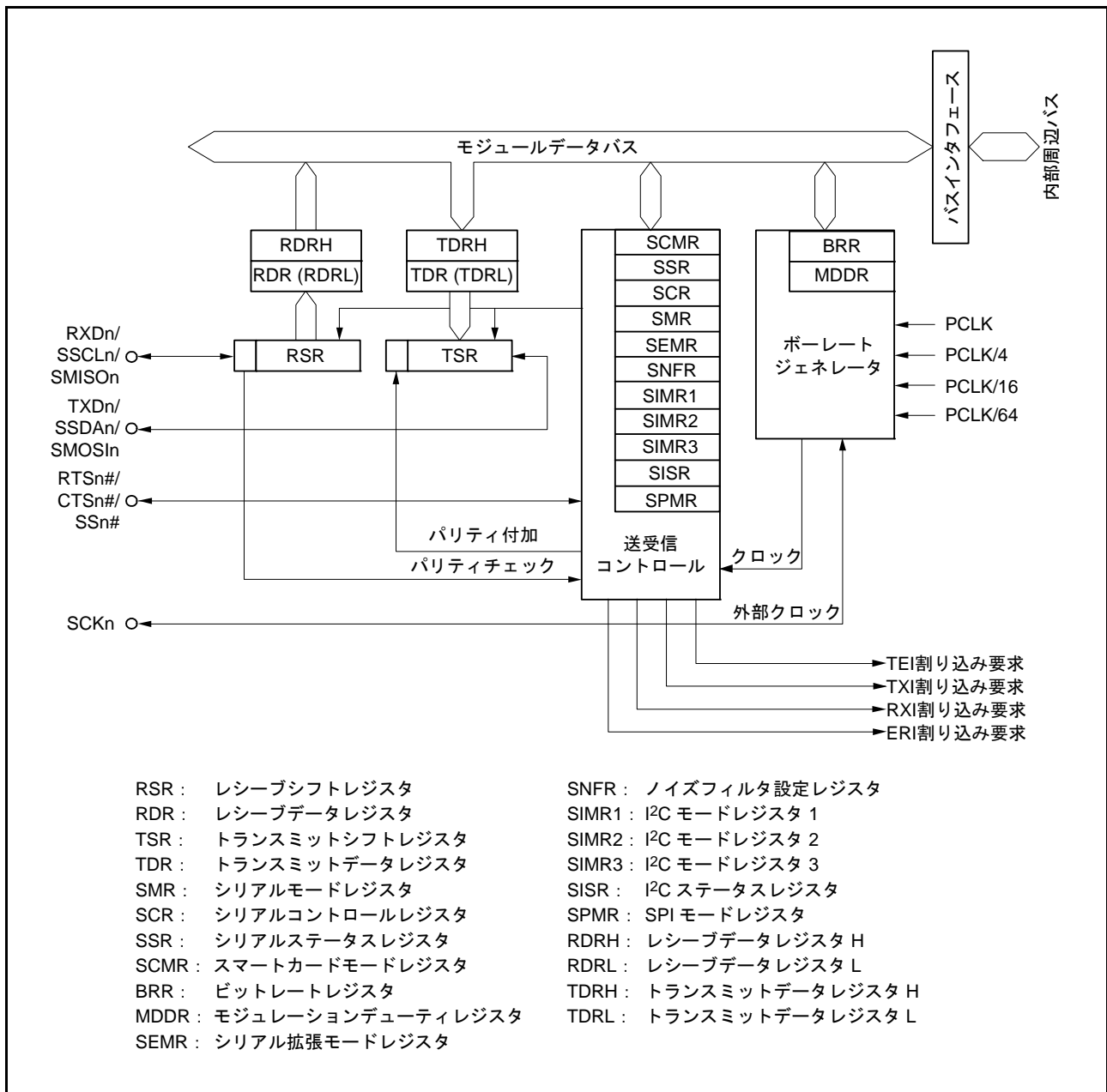


図 25.1 SClg (SCI1) のブロック図

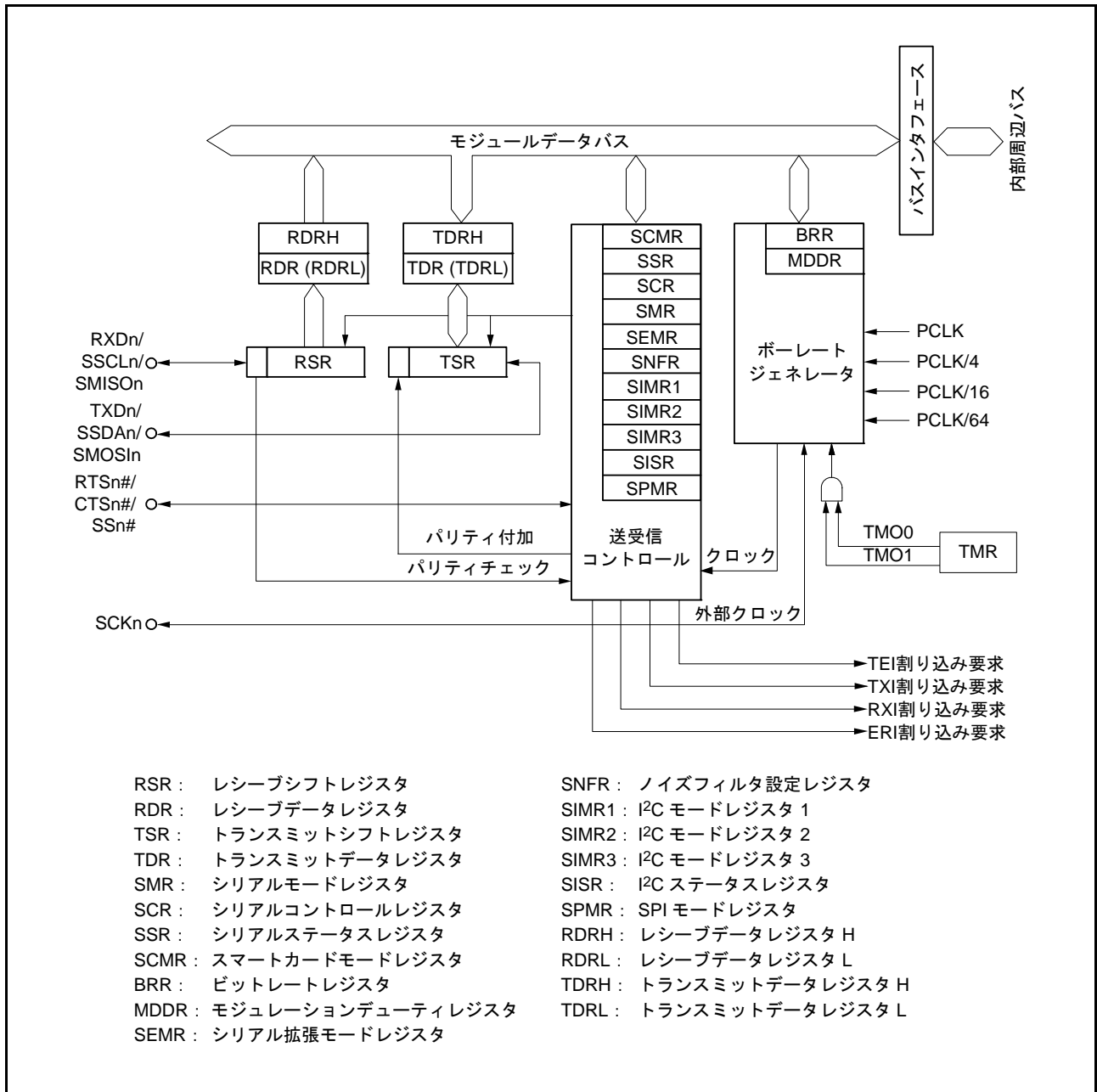


図 25.2 SClg (SCI5) のブロック図

表 25.3 ~ 表 25.5 に SCI の入出力端子をモード別に示します。

表 25.3 SCIの入出力端子 (調歩同期式/クロック同期式モード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	RXD1	入力	SCI1の受信データ入力端子
	TXD1	出力	SCI1の送信データ出力端子
	CTS1#/RTS1#	入出力	SCI1送受信開始制御用入出力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	RXD5	入力	SCI5の受信データ入力端子
	TXD5	出力	SCI5の送信データ出力端子
	CTS5#/RTS5#	入出力	SCI5送受信開始制御用入出力端子

表 25.4 SCIの入出力端子 (簡易I²Cモード)

チャンネル	端子名	入出力	機能
SCI1	SSCL1	入出力	SCI1のI ² Cクロック入出力端子
	SSDA1	入出力	SCI1のI ² Cデータ入出力端子
SCI5	SSCL5	入出力	SCI5のI ² Cクロック入出力端子
	SSDA5	入出力	SCI5のI ² Cデータ入出力端子

表 25.5 SCIの入出力端子 (簡易SPIモード)

チャンネル	端子名	入出力	機能
SCI1	SCK1	入出力	SCI1のクロック入出力端子
	SMISO1	入出力	SCI1のスレーブ送出データ入出力端子
	SMOSI1	入出力	SCI1のマスタ送出データ入出力端子
	SS1#	入力	SCI1チップセレクト入力端子
SCI5	SCK5	入出力	SCI5のクロック入出力端子
	SMISO5	入出力	SCI5のスレーブ送出データ入出力端子
	SMOSI5	入出力	SCI5のマスタ送出データ入出力端子
	SS5#	入力	SCI5チップセレクト入力端子

25.2 レジスタの説明

25.2.1 レシーブシフトレジスタ (RSR)

RSR レジスタは、RXDn 端子から入力されたシリアルデータをパラレルデータに変換するための受信シフトレジスタです。

1 フレーム分のデータを受信すると、データは自動的に RDR レジスタへ転送されます。

CPU から直接アクセスすることはできません。

25.2.2 レシーブデータレジスタ (RDR)

アドレス SCI1.RDR 0008 A025h, SCI5.RDR 0008 A0A5h



RDR レジスタは、受信データを格納するための 8 ビットのレジスタです。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

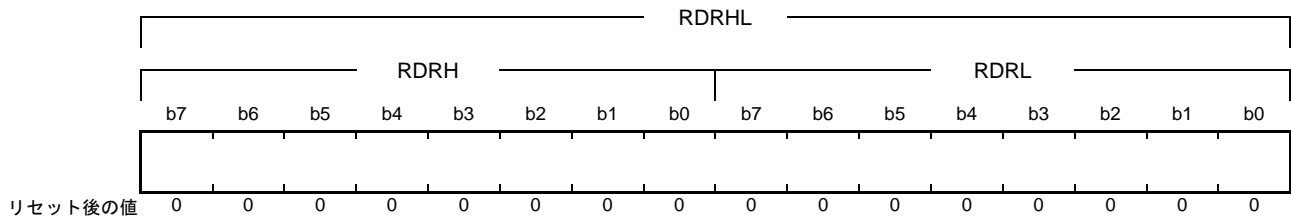
RSR レジスタと RDR レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

RDR レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。受信データを RDR からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDR レジスタへは CPU から書き込みできません。

25.2.3 レシーブデータレジスタ H、L、HL (RDRH、RDRL、RDRHL)

- レシーブデータレジスタ H (RDRH)
アドレス SCI1.RDRH 0008 A030h, SCI5.RDRH 0008 A0B0h
- レシーブデータレジスタ L (RDRL)
アドレス SCI1.RDRL 0008 A031h, SCI5.RDRL 0008 A0B1h
- レシーブデータレジスタ HL (RDRHL)
アドレス SCI1.RDRHL 0008 A030h, SCI5.RDRHL 0008 A0B0h



RDRH レジスタと RDRL レジスタは、それぞれ受信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

RDRL レジスタは RDR レジスタのシャドウとなっており、RDRL レジスタへのアクセスは RDR レジスタへのアクセスになります。

1 フレーム分のデータを受信すると、RSR レジスタから受信データがこれらのレジスタへ転送され、RSR レジスタは次のデータを受信可能となります。

RSR レジスタと RDRH レジスタおよび RDRL レジスタはダブルバッファ構造になっているため、連続受信動作が可能です。

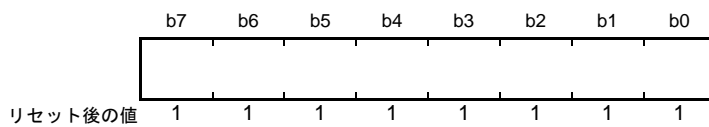
RDRH レジスタおよび RDRL レジスタのリードは、受信データフル割り込み (RXI) 要求が発生したときに、RDRH レジスタ、RDRL レジスタの順に 1 回だけ行ってください。受信データを RDRL からリードしないまま次の 1 フレーム分のデータを受け取るとオーバランエラーになりますので注意してください。

RDRH レジスタおよび RDRL レジスタへは CPU から書き込みできません。RDRH レジスタの b1 から b7 は“0”に固定されており、読むと“0”が読めます。

RDRHL レジスタとして 16 ビットでもアクセスできます。

25.2.4 トランスミットデータレジスタ (TDR)

アドレス SCI1.TDR 0008 A023h, SCI5.TDR 0008 A0A3h



TDR レジスタは、送信データを格納するための 8 ビットのレジスタです。

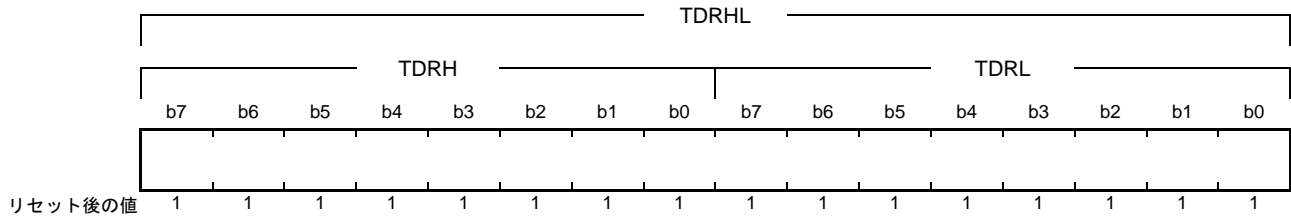
TSR レジスタに空きを検出すると、TDR レジスタに書き込まれた送信データは、TSR レジスタに転送されて送信を開始します。

TDR レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDR レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDR レジスタは CPU からリード/ライト可能です。TDR レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

25.2.5 トランスミットデータレジスタ H、L、HL (TDRH、TDRL、TDRHL)

- トランスミットデータレジスタ H (TDRH)
アドレス SCI1.TDRH 0008 A02Eh, SCI5.TDRH 0008 A0AEh
- トランスミットデータレジスタ L (TDRL)
アドレス SCI1.TDRL 0008 A02Fh, SCI5.TDRL 0008 A0AFh
- トランスミットデータレジスタ HL (TDRHL)
アドレス SCI1.TDRHL 0008 A02Eh, SCI5.TDRHL 0008 A0AEh



TDRH レジスタと TDRL レジスタは、それぞれ送信データを格納するための 8 ビットのレジスタです。調歩同期式モード 9 ビットデータ長選択時に使用します。

TDRL レジスタは TDR レジスタのシャドウとなっており、TDRL レジスタへのアクセスは TDR レジスタへのアクセスになります。

TSR レジスタに空きを検出すると、TDRH レジスタおよび TDRL レジスタに書き込まれた送信データは TSR レジスタに転送されて送信を開始します。

TDRH レジスタおよび TDRL レジスタと TSR レジスタはダブルバッファ構造になっているため、連続送信動作が可能です。1 フレーム分のデータを送信したとき、TDRL レジスタに次の送信データが書き込まれていれば TSR レジスタへ転送して送信を続けます。

TDRH レジスタおよび TDRL レジスタは CPU からリード/ライト可能です。TDRH レジスタの b1 から b7 は“1”に固定されており、読むと“1”が読めます。書く場合、“1”としてください。

TDRH レジスタおよび TDRL レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに、TDRH レジスタ、TDRL レジスタの順に 1 回だけ行ってください。

TDRHL レジスタとして 16 ビットでもアクセスできます。

25.2.6 トランスミットシフトレジスタ (TSR)

TSR レジスタは、シリアルデータを送信するためのシフトレジスタです。

TDR レジスタに書き込まれた送信データは、自動的に TSR レジスタに転送され、TXDn 端子に送出することでシリアルデータの送信を行います。

CPU からは直接アクセスすることはできません。

25.2.7 シリアルモードレジスタ (SMR)

SMR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SMR 0008 A020h, SCI5.SMR 0008 A0A0h

	b7	b6	b5	b4	b3	b2	b1	b0
	CM	CHR	PE	PM	STOP	MP	CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0 : PCLKクロック (n = 0) (注1) 0 1 : PCLK/4クロック (n = 1) (注1) 1 0 : PCLK/16クロック (n = 2) (注1) 1 1 : PCLK/64クロック (n = 3) (注1)	R/W (注4)
b2	MP	マルチプロセッサモードビット	(調歩同期式モードのみ有効) 0 : マルチプロセッサ通信機能を禁止 1 : マルチプロセッサ通信機能を許可	R/W (注4)
b3	STOP	ストップビットレングスビット	(調歩同期式モードのみ有効) 0 : 1ストップビット 1 : 2ストップビット	R/W (注4)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0 : 偶数パリティで送受信 1 : 奇数パリティで送受信	R/W (注4)
b5	PE	パリティイネーブルビット	(調歩同期式モードのみ有効) • 送信時 0 : パリティビットなし 1 : パリティビットを付加 • 受信時 0 : パリティなしで受信 1 : パリティチェックを行う	R/W (注4)
b6	CHR	キャラクタレングスビット	(調歩同期式モードのみ有効 (注2)) SCMR.CHR1ビットと組み合わせて選択します。 CHR1 CHR 0 0 : データ長9ビットで送受信 0 1 : データ長9ビットで送受信 1 0 : データ長8ビットで送受信 (初期値) 1 1 : データ長7ビットで送受信 (注3)	R/W (注4)
b7	CM	コミュニケーションモードビット	0 : 調歩同期式モードで動作 1 : クロック同期式モード、または簡易SPIモードで動作	R/W (注4)

注1. nは設定値の10進表示で、「25.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

注4. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「25.2.11 ビットレートレジスタ (BRR)」を参照してください。

MP ビット (マルチプロセッサモードビット)

マルチプロセッサ通信機能の許可/禁止を選択します。マルチプロセッサモードでは、PE、PM ビットの設定は無効です。

STOP ビット (ストップビットレングスビット)

送信データのストップビット長を選択します。

受信時はこのビットの設定にかかわらずストップビットの1ビット目のみチェックし、2ビット目が“0”の場合は次の送信フレームのスタートビットと見なします。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

マルチプロセッサモードでは、PM ビットの設定は無効です。

PE ビット (パリティイネーブルビット)

PE ビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。

マルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、チェックは行いません。

CHR ビット (キャラクタレングスビット)

送受信データのデータ長を SCMR.CHR1 ビットと組み合わせて選択します。

調歩同期式モード以外では、データ長は8ビット固定です。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SMR 0008 A020h, SMC15.SMR 0008 A0A0h

b7	b6	b5	b4	b3	b2	b1	b0
GM	BLK	PE	PM	BCP[1:0]		CKS[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKS[1:0]	クロックセレクトビット	b1 b0 0 0: PCLKクロック (n=0) (注1) 0 1: PCLK/4クロック (n=1) (注1) 1 0: PCLK/16クロック (n=2) (注1) 1 1: PCLK/64クロック (n=3) (注1)	R/W (注2)
b3-b2	BCP[1:0]	基本クロックパルスビット	SCMR.BCP2ビットと組み合わせて選択します。 表25.6にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注2)
b4	PM	パリティモードビット	(PEビット=1のときのみ有効) 0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W (注2)
b5	PE	パリティイネーブルビット	PEビットが“1”のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースモードでは、PEビットは“1”にして使用してください	R/W (注2)
b6	BLK	ブロック転送モードビット	0: 通常モードで動作します 1: ブロック転送モードで動作します	R/W (注2)
b7	GM	GSMモードビット	0: 通常モードで動作します 1: GSMモードで動作します	R/W (注2)

注1. nは設定値の10進表示で、「25.2.11 ビットレートレジスタ (BRR)」中のnの値を表します。

注2. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

CKS[1:0] ビット (クロックセレクトビット)

内蔵ボーレートジェネレータのクロックソースを選択します。

CKS[1:0] ビットの設定値とボーレートの関係については、「25.2.11 ビットレートレジスタ (BRR)」を参照してください。

BCP[1:0] ビット (基本クロックパルスビット)

スマートカードインタフェースモードにおいて、1ビット転送期間中の基本クロック数を選択します。

SCMR.BCP2ビットと組み合わせて選択します。

詳細は、「25.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。

表25.6 SCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせ

SCMR.BCP2ビット	SMR.BCP[1:0]ビット		1ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「25.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

PM ビット (パリティモードビット)

送受信時のパリティ (偶数パリティ / 奇数パリティ) を選択します。

スマートカードインタフェースモードにおけるこのビットの使用方法については、「25.6.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。

PE ビット (パリティイネーブルビット)

PE ビットは“1”にしてください。

送信時はパリティビットを付加し、受信時はパリティチェックを行います。

BLK ビット (ブロック転送モードビット)

BLK ビットを“1”にすると、ブロック転送モードで動作します。

ブロック転送モードについては、「25.6.3 ブロック転送モード」を参照してください。

GM ビット (GSM モードビット)

GM ビットを“1”にすると、GSM モードで動作します。

GSM モードでは、SSR.TEND フラグのセットタイミングが先頭から 11.0 etu (etu : Elementary Time Unit、1 ビットの転送期間) に前倒しされ、クロック出力制御機能が追加されます。詳細は、「25.6.6 シリアルデータの送信 (ブロック転送モードを除く)」、「25.6.8 クロック出力制御」を参照してください。

25.2.8 シリアルコントロールレジスタ (SCR)

注. SCRレジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SCR 0008 A022h, SCI5.SCR 0008 A0A2h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI1の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロック SCKn端子からビットレートの16倍の周波数のクロックを入力してください。SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください (クロック同期式の場合) b1 b0 0 x : 内部クロック SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> • SCI5の場合 (調歩同期式の場合) b1 b0 0 0 : 内蔵ポーレートジェネレータ I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます 0 1 : 内蔵ポーレートジェネレータ SCKn端子からビットレートと同じ周波数のクロックを出力します 1 x : 外部クロックまたはTMRクロック ・外部クロック使用時は、SCKn端子からビットレートの16倍の周波数のクロックを入力してください。 SEMR.ABCSビットが“1”のときは8倍の周波数のクロックを入力してください ・TMRクロックを使用可能 TMRクロック使用時は、I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できます。 (クロック同期式の場合) b1 b0 0 x : 内部クロック : SCKn端子はクロック出力端子となります 1 x : 外部クロック SCKn端子はクロック入力端子となります	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	0 : TEI割り込み要求を禁止 1 : TEI割り込み要求を許可	R/W

ビット	シンボル	ビット名	機能	R/W
b3	MPIE	マルチプロセッサインタラプトイネーブルビット	(調歩同期式モードで、SMR.MPビット=1のとき有効) 0: 通常の受信動作 1: マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR. ORER, FERの各ステータスフラグのセット (“1”) を禁止します。マルチプロセッサビットが“1”のデータを受信すると、MPIEビットは自動的に“0”になり、通常の受信動作に戻ります	R/W
b4	RE	レシーブイネーブルビット	0: シリアル受信動作を禁止 1: シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0: シリアル送信動作を禁止 1: シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブルビット	0: RXIおよびERI割り込み要求を禁止 1: RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプトイネーブルビット	0: TXI割り込み要求を禁止 1: TXI割り込み要求を許可	R/W

x: Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. SMR.CMビットが“1”のときは、TEビット=0、REビット=0の場合のみ“1”を書き込み可能です。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ可能になります。SMR.CMビットが“0”かつSIMR1のIICMビットが“0”のときは、任意のタイミングで書き込みが可能です。

CKE[1:0] ビット (クロックイネーブルビット)

クロックソースおよび SCK_n 端子の機能を選択します。

内蔵 TMR クロックは SEMR.ACS0 ビットと組み合わせて設定します。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

TEI 割り込み要求を許可、または禁止します。

TEI 割り込み要求の禁止は、TEIE ビットを“0”にすることで行うことができます。

簡易 I²C モードでは、開始/再開/停止条件生成完了割り込み (STI 割り込み) が TEI 割り込みに割り当てられます。その場合も TEIE ビットにより STI 割り込み要求を許可、または禁止することができます。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

MPIE ビットを“1”にすると、マルチプロセッサビットが“0”の受信データは読み飛ばし、SSR. ORER、FER フラグの各ステータスフラグは“1”になりません。マルチプロセッサビットが“1”のデータを受信すると、MPIE ビットは自動的にクリアされ、通常の受信動作に戻ります。詳細は「25.4 マルチプロセッサ通信機能」を参照してください。

マルチプロセッサビットが“0”の受信データを受信しているときは、RSR レジスタから RDR レジスタへの受信データの転送、および受信エラーの検出と、ORER、FER の各フラグのセット (“1”) は行いません。

マルチプロセッサビットが“1”の受信データを受信すると、SSR.MPB ビットを“1”にし、MPIE ビットを自動的に“0”にし、RXI、ERI 割り込み要求 (SCR の RIE ビットが“1”の場合) と、ORER、FER フラグのセット (“1”) が許可されます。

マルチプロセッサ通信機能を使用しない場合は、MPIE ビットには“0”を書き込んでください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR. ORER、FER、PER、RDRF の各フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SCR 0008 A022h, SMC15.SCR 0008 A0A2h

b7	b6	b5	b4	b3	b2	b1	b0
TIE	RIE	TE	RE	MPIE	TEIE	CKE[1:0]	

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CKE[1:0]	クロックイネーブルビット	<ul style="list-style-type: none"> SMR.GMビット=0の場合 b1 b0 0 0 : 出力ディスエーブル (I/Oポートの設定によって、SCKn端子は入出力ポートとして使用できません) 0 1 : クロック出力 1 x : (設定しないでください) SMR.GMビット=1の場合 b1 b0 0 0 : Low出力固定 x 1 : クロック出力 1 0 : High出力固定 	R/W (注1)
b2	TEIE	トランスミットエンド インタラプトイネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b3	MPIE	マルチプロセッサインタラプト イネーブルビット	スマートカードインタフェースモードでは、“0”としてください	R/W
b4	RE	レシーブイネーブルビット	0 : シリアル受信動作を禁止 1 : シリアル受信動作を許可	R/W (注2)
b5	TE	トランスミットイネーブルビット	0 : シリアル送信動作を禁止 1 : シリアル送信動作を許可	R/W (注2)
b6	RIE	レシーブインタラプトイネーブル ビット	0 : RXIおよびERI割り込み要求を禁止 1 : RXIおよびERI割り込み要求を許可	R/W
b7	TIE	トランスミットインタラプト イネーブルビット	0 : TXI割り込み要求を禁止 1 : TXI割り込み要求を許可	R/W

x : Don't care

注1. TEビット=0、REビット=0の場合のみ書き込み可能です。

注2. TEビット=0、REビット=0の場合のみ“1”を書き込みしてください。

一度、TE、REビットのいずれかを“1”にした後は、TEビット=0、REビット=0の書き込みのみ行ってください。

各割り込み要求については、「25.11 割り込み要因」を参照してください。

CKE[1:0] ビット (クロックイネーブルビット)

SCKn 端子からのクロック出力を制御します。

GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は、「25.6.8 クロック出力制御」を参照してください。

TEIE ビット (トランスミットエンドインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

MPIE ビット (マルチプロセッサインタラプトイネーブルビット)

スマートカードインタフェースモードでは“0”としてください。

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、スタートビットを検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR レジスタの ORER、FER、PER フラグは影響を受けず、状態を保持します。

TE ビット (トランスミットイネーブルビット)

シリアル送信動作を許可、または禁止します。

TE ビットを“1”にすると、TDR レジスタに送信データを書き込むことでシリアル送信を開始します。なお、TE ビットを“1”にする前に SMR レジスタの設定を行い、送信フォーマットを決定してください。

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグをすべてクリアするか、RIE ビットを“0”にすることで行うことができます。

25.2.9 シリアルステータスレジスタ (SSR)

SSR レジスタは、スマートカードインタフェースモードと非スマートカードインタフェースモードに応じて一部のビットの機能が異なります。

(1) 非スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 0)

アドレス SCI1.SSR 0008 A024h, SCI5.SSR 0008 A0A4h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
リセット後の値	1	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビットトランスファビット	送信フレームに付加するマルチプロセッサビットの設定 0: データ送信サイクル 1: ID送信サイクル	R/W
b1	MPB	マルチプロセッサビット	受信フレーム中のマルチプロセッサビットの値 0: データ送信サイクル 1: ID送信サイクル	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	FER	フレーミングエラーフラグ	0: フレーミングエラーの発生なし 1: フレーミングエラーの発生あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための“0”書き込みのみ可能です。フラグをクリアする場合は、フラグが“1”であることを確認してから“0”を書いてください。

注2. 書く場合“1”としてください。

MPB ビット (マルチプロセッサビット)

受信フレーム中のマルチプロセッサビットの値が格納されます。SCR.RE ビットが“0”のときは変化しません。

TEND フラグ (トランスミットエンドフラグ)

送信が終了したことを表示します。

["1"になる条件]

- SCR.TE ビットが“0” (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 送信キャラクタの最後尾ビットの送信時、TDR レジスタが更新されていないとき

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
PER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

FER フラグ (フレーミングエラーフラグ)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。

["1"になる条件]

- ストップビットが "0" のとき
2 ストップモードのときは、1 ビット目のストップビットが "1" であるかどうかのみを判定し、2 ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。さらに、FER フラグが "1" になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
FER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、FER フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

["1"になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタはオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが "1" になった状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。

["0"になる条件]

- "1" の状態を読み出した後、"0" を書き込んだとき
ORER フラグを "0" にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを "0" にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

["1"になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

["0"になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

["1"になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

["0"になる条件]

- TDR レジスタへ送信データを書いたとき

(2) スマートカードインタフェースモードのとき (SCMR.SMIF ビット = 1)

アドレス SMC11.SSR 0008 A024h, SMC15.SSR 0008 A0A4h

b7	b6	b5	b4	b3	b2	b1	b0
TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT

リセット後の値 1 0 0 0 0 1 0 0

ビット	シンボル	ビット名	機能	R/W
b0	MPBT	マルチプロセッサビット トランスファビット	スマートカードインタフェースモードでは"0"としてください	R/W
b1	MPB	マルチプロセッサビット	スマートカードインタフェースモードでは使用しません。"0" としてください	R
b2	TEND	トランスミットエンドフラグ	0: キャラクタを送信中 1: キャラクタを送信終了	R
b3	PER	パリティエラーフラグ	0: パリティエラーの発生なし 1: パリティエラーの発生あり	R/(W) (注1)
b4	ERS	エラーシグナルステータスフラグ	0: エラーシグナルLow応答なし 1: エラーシグナルLow応答あり	R/(W) (注1)
b5	ORER	オーバランエラーフラグ	0: オーバランエラーの発生なし 1: オーバランエラーの発生あり	R/(W) (注1)
b6	RDRF	受信データフルフラグ	0: RDR レジスタに有効なデータなし 1: RDR レジスタに受信データあり	R/(W) (注2)
b7	TDRE	送信データエンプティフラグ	0: TDR レジスタに未送信のデータあり 1: TDR レジスタにデータなし	R/(W) (注2)

注1. フラグをクリアするための"0"書き込みのみ可能です。フラグをクリアする場合は、フラグが"1"であることを確認してから"0"を書いてください。

注2. 書く場合"1"としてください。

TEND フラグ (トランスミットエンドフラグ)

受信側からのエラーシグナルの応答がなく、次の送信データを TDR レジスタに転送可能になったとき“1”になります。

["1"になる条件]

- SCR.TE ビット = 0 (シリアル送信動作を禁止) のとき
SCR.TE ビットを“0”から“1”にするときは、TEND フラグは影響を受けず“1”の状態を保持します。
- 1 バイトのデータを送信して一定期間後、ERS フラグ = 0 かつ TDR レジスタが更新されていないとき
セットされるタイミングは、レジスタの設定により以下のように異なります。
SMR.GM ビット = 0、SMR.BLK ビット = 0 のとき、送信開始から 12.5 etu 後
SMR.GM ビット = 0、SMR.BLK ビット = 1 のとき、送信開始から 11.5 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 0 のとき、送信開始から 11.0 etu 後
SMR.GM ビット = 1、SMR.BLK ビット = 1 のとき、送信開始から 11.0 etu 後

["0"になる条件]

- SCR.TE ビットが“1”の状態 TDR レジスタへ送信データを書き込んだとき
TEND フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。

PER フラグ (パリティエラーフラグ)

調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。

["1"になる条件]

- 受信中にパリティエラーを検出したとき
パリティエラーが発生したときの受信データは RDR レジスタに転送されますが、RXI 割り込み要求は発生しません。なお、PER フラグが“1”になった状態では、以降の受信データは RDR レジスタに転送されません。

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
PER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0” (シリアル受信動作を禁止) にしても、PER フラグは影響を受けず以前の状態を保持します。

ERS フラグ (エラーシグナルステータスフラグ)

["1"になる条件]

- エラーシグナル Low をサンプリングしたとき

["0"になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ERS フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ERS フラグは影響を受けず以前の状態を保持します。

ORER フラグ (オーバランエラーフラグ)

受信時にオーバランエラーが発生して異常終了したことを表示します。

[“1”になる条件]

- RDR レジスタの受信データをリードしないで次のデータを受信したとき
RDR レジスタではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグが“1”になった状態では、以降のシリアル受信を続けることはできません。

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき
ORER フラグを“0”にして割り込みハンドラを終了する場合は、「14.4.1.2 レベル検出の割り込みステータスフラグ」の手順を参照してください。
SCR.RE ビットを“0”にしても、ORER フラグは影響を受けず以前の状態を保持します。

RDRF フラグ (受信データフルフラグ)

RDR レジスタ内の受信データの有無を表示します。

[“1”になる条件]

- 受信が正常終了し、RSR レジスタから RDR レジスタへ受信データが転送されたとき

[“0”になる条件]

- RDR レジスタからデータを読み出したとき

TDRE フラグ (送信データエンプティフラグ)

TDR レジスタ内の送信データの有無を表示します。

[“1”になる条件]

- TDR レジスタから TSR レジスタにデータが転送されたとき

[“0”になる条件]

- TDR レジスタへ送信データを書いたとき

25.2.10 スマートカードモードレジスタ (SCMR)

アドレス SMCI1.SCMR 0008 A026h, SMCI5.SCMR 0008 A0A6h

b7	b6	b5	b4	b3	b2	b1	b0
BCP2	—	—	CHR1	SDIR	SINV	—	SMIF

リセット後の値 1 1 1 1 0 0 1 0

ビット	シンボル	ビット名	機能	R/W
b0	SMIF	スマートカードインタフェースモードセレクトビット	0: 非スマートカードインタフェースモード (調歩同期式モード、クロック同期式モード、簡易SPIモード、簡易I ² Cモード) 1: スマートカードインタフェースモード	R/W (注1)
b1	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b2	SINV	送受信データインパートビット	0: TDRレジスタの内容をそのまま送信、受信データをそのままRDRレジスタに格納 1: TDRレジスタの内容を反転して送信、受信データを反転してRDRレジスタに格納	R/W (注1)
b3	SDIR	送受信データ転送方向ビット	以下のモードで使用可能です。 <ul style="list-style-type: none"> スマートカードインタフェースモード 調歩同期式モード (マルチプロセッサモード) クロック同期式モード 簡易SPIモード 簡易I ² Cモードで動作させる場合は、“1”にします 0: LSBファーストで送受信 1: MSBファーストで送受信	R/W (注1)
b4	CHR1	キャラクタレングスビット1	(調歩同期式モードのみ有効 (注2)) SMR.CHRビットと組み合わせて選択します CHR1 CHR 0 0: データ長9ビットで送受信 0 1: データ長9ビットで送受信 1 0: データ長8ビットで送受信 (初期値) 1 1: データ長7ビットで送受信 (注3)	R/W (注1)
b6-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b7	BCP2	基本クロックパルスビット2	SMR.BCP[1:0]ビットと組み合わせて選択します 表25.7にSCMR.BCP2ビットとSMR.BCP[1:0]ビットの組み合わせを示します。	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. 調歩同期式モード以外では、設定は無効でデータ長は8ビット固定です。

注3. LSBファースト固定となり、送信ではTDRレジスタのMSB (b7) は送信されません。

SMIF ビット (スマートカードインタフェースモードセレクトビット)

スマートカードインタフェースモードで動作させるときは、“1”を設定します。

非スマートカードインタフェースモードである調歩同期式 (マルチプロセッサモード含む)、クロック同期式モード、簡易SPIモード、および簡易I²Cモードで動作させるときは、“0”を設定します。

SINV ビット (送受信データインパートビット)

送受信データのロジックレベルを反転します。SINVビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は、SMR.PMビットを反転してください。

CHR1 ビット (キャラクタレングスビット 1)

送受信データのデータ長を選択します。
 SMR.CHR ビットと組み合わせて選択します。
 調歩同期式モード以外では、データ長は 8 ビット固定です。

BCP2 ビット (基本クロックパルスビット 2)

スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を、SMR.BCP[1:0] ビットと組み合わせて選択します。

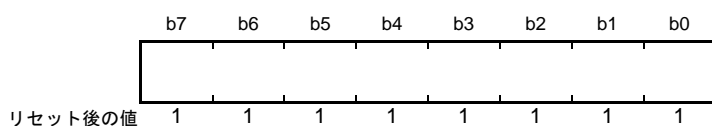
表 25.7 SCMR.BCP2 ビットと SMR.BCP[1:0] ビットの組み合わせ

SCMR.BCP2 ビット	SMR.BCP[1:0] ビット		1 ビット転送期間中の基本クロック数
0	0	0	93クロック (S = 93) (注1)
0	0	1	128クロック (S = 128) (注1)
0	1	0	186クロック (S = 186) (注1)
0	1	1	512クロック (S = 512) (注1)
1	0	0	32クロック (S = 32) (注1) (初期値)
1	0	1	64クロック (S = 64) (注1)
1	1	0	372クロック (S = 372) (注1)
1	1	1	256クロック (S = 256) (注1)

注1. Sは「25.2.11 ビットレートレジスタ (BRR)」中のSの値を表します。

25.2.11 ビットレートレジスタ (BRR)

アドレス SCI1.BRR 0008 A021h, SCI5.BRR 0008 A0A1h



BRR レジスタはビットレートを調整するための 8 ビットのレジスタです。

SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、マルチプロセッサ通信、クロック同期式モード、スマートカードインタフェースモード、簡易 SPI モードおよび簡易 I²C モードにおける BRR レジスタの設定値 N とビットレート B の関係を表 25.8 に示します。

BRR レジスタの初期値は“FFh”です。

BRR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR.TE ビット = 0、SCR.RE ビット = 0 の場合のみ可能です。

表 25.8 BRR レジスタの設定値 N とビットレート B の関係

モード	SEMR レジスタの設定		BRR レジスタの設定値	誤差 [%]
	BDGM ビット	ABCS ビット		
調歩同期式、 マルチプロセッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	0		
	1	1	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易 SPI			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカードインタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$
簡易 I ² C (注1)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	

B : ビットレート [bps]

N : BRR レジスタの設定値 ($0 \leq N \leq 255$)

PCLK : 周辺モジュールクロック周波数 [MHz]

n と S : 表 25.9 のとおり SMR、SCMR レジスタの設定値によって決まります。

注 1. 簡易 I²C モードでの SCL 出力の High/Low 幅が I²C-bus 規格を満たすようビットレートを調整してください。

表 25.9 SCL High/Low幅算出式

モード	SCL	算出式 (秒(s))
I ² C	High幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 7 \times \frac{1}{PCLK \times 10^6}$
	Low幅 (min値)	$(N + 1) \times 4 \times 2^{2n-1} \times 8 \times \frac{1}{PCLK \times 10^6}$

表 25.10 クロックソースの設定

SMR.CKS[1:0]ビットの設定	クロックソース	n
0 0	PCLKクロック	0
0 1	PCLK/4クロック	1
1 0	PCLK/16クロック	2
1 1	PCLK/64クロック	3

表 25.11 スマートカードインタフェースモード時の基本クロックの設定

SCMR.BCP2ビットの設定	SMR.BCP[1:0]ビットの設定	1ビット期間中の 基本クロックパルス数	S
0	0 0	93クロック	93
0	0 1	128クロック	128
0	1 0	186クロック	186
0	1 1	512クロック	512
1	0 0	32クロック	32
1	0 1	64クロック	64
1	1 0	372クロック	372
1	1 1	256クロック	256

通常の調歩同期式モードにおける BRR レジスタの値 N の設定例を表 25.12 に、各動作周波数における設定可能な最大ビットレートを表 25.13 に示します。また、クロック同期式モードおよび簡易 SPI モードにおける BRR レジスタの値 N の設定例を表 25.16 に、スマートカードインタフェースモードにおける BRR レジスタの値 N の設定例を表 25.16 に、簡易 I²C モードにおける BRR レジスタの値 N の設定例を表 25.20 に示します。スマートカードインタフェースモードでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「25.6.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 25.14、表 25.17 に外部クロック入力時の最大ビットレートを示します。

調歩同期式モードでシリアル拡張モードレジスタ (SEMR) の調歩同期基本クロックセレクトビット (ABCS) またはボーレートジェネレータ倍速モードセレクトビット (BGDM ビット) のいずれか一方のビットを“1”にしたときのビットレートは表 25.12 の 2 倍に、両ビットとも“1”にしたときのビットレートは 4 倍になります。

表25.12 ビットレートに対するBRRの設定例 (調歩同期式モード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			9.8304			10			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03	2	217	0.08
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16	2	159	0.00
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16	2	79	0.00
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16	1	159	0.00
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16	1	79	0.00
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16	0	159	0.00
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16	0	79	0.00
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16	0	39	0.00
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34	0	19	0.00
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00	0	11	2.40
38400	—	—	—	0	7	0.00	0	7	1.73	0	9	-2.34	0	9	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	14			16			17.2032			18			19.6608		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	70	0.03	3	75	0.48	3	79	-0.12	3	86	0.31
150	2	181	0.16	2	207	0.16	2	223	0.00	2	233	0.16	2	255	0.00
300	2	90	0.16	2	103	0.16	2	111	0.00	2	116	0.16	2	127	0.00
600	1	181	0.16	1	207	0.16	1	223	0.00	1	233	0.16	1	255	0.00
1200	1	90	0.16	1	103	0.16	1	111	0.00	1	116	0.16	1	127	0.00
2400	0	181	0.16	0	207	0.16	0	223	0.00	0	233	0.16	0	255	0.00
4800	0	90	0.16	0	103	0.16	0	111	0.00	0	116	0.16	0	127	0.00
9600	0	45	-0.93	0	51	0.16	0	55	0.00	0	58	-0.69	0	63	0.00
19200	0	22	-0.93	0	25	0.16	0	27	0.00	0	28	1.02	0	31	0.00
31250	0	13	0.00	0	15	0.00	0	16	1.20	0	17	0.00	0	19	-1.70
38400	—	—	—	0	12	0.16	0	13	0.00	0	14	-2.34	0	15	0.00

ビット レート (bps)	動作周波数PCLK (MHz)														
	20			25			30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	88	-0.25	3	110	-0.02	3	132	0.13	3	145	0.33	3	177	-0.25
150	3	64	0.16	3	80	0.47	3	97	-0.35	3	106	0.39	3	129	0.16
300	2	129	0.16	2	162	-0.15	2	194	0.16	2	214	-0.07	3	64	0.16
600	2	64	0.16	2	80	0.47	2	97	-0.35	2	106	0.39	2	129	0.16
1200	1	129	0.16	1	162	-0.15	1	194	0.16	1	214	-0.07	2	64	0.16
2400	1	64	0.16	1	80	0.47	1	97	-0.35	1	106	0.39	1	129	0.16
4800	0	129	0.16	0	162	-0.15	0	194	0.16	0	214	-0.07	1	64	0.16
9600	0	64	0.16	0	80	0.47	0	97	-0.35	0	106	0.39	0	129	0.16
19200	0	32	-1.36	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	64	0.16
31250	0	19	0.00	0	24	0.00	0	29	0.00	0	32	0.00	0	39	0.00
38400	0	15	1.73	0	19	1.73	0	23	1.73	0	26	-0.54	0	32	-1.36

注. SEMR.ABCSビット=0、SEMR.BGDMビット=0のときの例です。
 ABCSビットまたはBGDMビットのいずれか一方のビットを“1”にしたときは、ビットレートが2倍になります。
 ABCSビット=1、BGDMビット=1にしたときは、ビットレートが4倍になります。

表 25.13 各動作周波数における最大ビットレート (調歩同期式モード)

PCLK (MHz)	SEMRレジスタの設定値				最大ビット レート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最大ビット レート (bps)
	BGDM ビット	ABCS ビット	n	N			BGDM ビット	ABCS ビット	n	N	
8	0	0	0	0	250000	18	0	0	0	0	562500
		1	0	0	500000			1	0	0	1125000
	1	0	0	0	1000000		1	0	0	0	2250000
		1	0	0							
9.8304	0	0	0	0	307200	19.6608	0	0	0	0	614400
		1	0	0	614400			1	0	0	1228800
	1	0	0	0	1228800		1	0	0	0	2457600
		1	0	0							
10	0	0	0	0	312500	20	0	0	0	0	625000
		1	0	0	625000			1	0	0	1250000
	1	0	0	0	1250000		1	0	0	0	2500000
		1	0	0							
12	0	0	0	0	375000	25	0	0	0	0	781250
		1	0	0	750000			1	0	0	1562500
	1	0	0	0	1500000		1	0	0	0	3125000
		1	0	0							
12.288	0	0	0	0	384000	30	0	0	0	0	937500
		1	0	0	768000			1	0	0	1875000
	1	0	0	0	1536000		1	0	0	0	3750000
		1	0	0							
14	0	0	0	0	437500	33	0	0	0	0	1031250
		1	0	0	875000			1	0	0	2062500
	1	0	0	0	1750000		1	0	0	0	4125000
		1	0	0							
16	0	0	0	0	500000	40	0	0	0	0	1250000
		1	0	0	1000000			1	0	0	2500000
	1	0	0	0	2000000		1	0	0	0	5000000
		1	0	0							
17.2032	0	0	0	0	537600						
		1	0	0	1075200						
	1	0	0	0	2150400		1	0	0	0	
		1	0	0							

表25.14 外部クロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	2.0000	125000	250000
9.8304	2.4576	153600	307200
10	2.5000	156250	312500
12	3.0000	187500	375000
12.288	3.0720	192000	384000
14	3.5000	218750	437500
16	4.0000	250000	500000
17.2032	4.3008	268800	537600
18	4.5000	281250	562500
19.6608	4.9152	307200	614400
20	5.0000	312500	625000
25	6.2500	390625	781250
30	7.5000	468750	937500
33	8.2500	515625	1031250
40	10.0000	625000	1250000

表25.15 TMRクロック入力時の最大ビットレート (調歩同期式モード)

PCLK (MHz)	TMRクロック (MHz)	最大ビットレート (bps)	
		SEMR.ABCSビット=0	SEMR.ABCSビット=1
8	4	250000	500000
9.8304	4.9152	307200	614400
10	5	312500	625000
12	6	375000	750000
12.288	6.144	384000	768000
14	7	437500	875000
16	8	500000	1000000
17.2032	8.6016	537600	1075200
18	9	562500	1125000
19.6608	9.8304	614400	1228800
20	10	625000	1250000
25	12.5	781250	1562500
30	15	937500	1875000
33	16.5	1031250	2062500
40	20	1250000	2500000

表25.16 ビットレートに対するBRRの設定例 (クロック同期式モード、簡易SPIモード)

ビットレート (bps)	動作周波数PCLK (MHz)															
	8		10		16		20		25		30		33		40	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	155
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	249
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	124
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	249
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	99
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	1	49
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	99
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	39
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	0	19
1M	0	1	—	—	0	3	0	4	—	—	—	—	—	—	0	9
2.5M			0	0 (注1)			0	1	—	—	0	2	—	—	0	3
5M							0	0 (注1)							0	1
7.5M																

空欄：設定できません。

—：設定可能ですが誤差がでます。

注1. 連続送信／連続受信はできません。1フレームの送信／受信終了後、次のフレームの送信／受信を開始するまで1ビット期間の間隔が空きます（同期クロックの出力が1ビット期間停止します）。そのため、1フレーム（8ビット）のデータ転送に9ビット分の時間がかかり、平均した転送レートは $\frac{8}{9}$ 倍になります。

表25.17 外部クロック入力時の最大ビットレート (クロック同期式モード、簡易SPIモード)

PCLK (MHz)	外部入力クロック (MHz)	最大ビットレート (Mbps)
8	1.3333	1.3333
10	1.6667	1.6667
12	2.0000	2.0000
14	2.3333	2.3333
16	2.6667	2.6667
18	3.0000	3.0000
20	3.3333	3.3333
25	4.1667	4.1667
30	5.0000	5.0000
33	5.5000	5.5000
40	6.6667	6.6667

表25.18 ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき)

ビットレート (bps)	PCLK (MHz)	n	N	誤差 (%)
9600	7.1424	0	0	0.00
	10.00	0	1	30
	10.7136	0	1	25
	13.00	0	1	8.99
	14.2848	0	1	0.00
	16.00	0	1	12.01
	18.00	0	2	15.99
	20.00	0	2	6.66
	25.00	0	3	12.49
	30.00	0	3	5.01
	33.00	0	4	7.59
	40.00	0	5	-6.66

表25.19 各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=32のとき)

PCLK (MHz)	最大ビットレート (bps)	n	N
10.00	156250	0	0
10.7136	167400	0	0
13.00	203125	0	0
16.00	250000	0	0
18.00	281250	0	0
20.00	312500	0	0
25.00	390625	0	0
30.00	468750	0	0
33.00	515625	0	0
40.00	625000	0	0

表25.20 ビットレートに対するBRRの設定例 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)														
	8			10			16			20			25		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	0	24	0.0	0	31	-2.3	1	12	-3.8	1	15	-2.3	1	19	-2.3
25k	0	9	0.0	0	12	-3.8	1	4	0.0	1	6	-10.7	1	7	-2.3
50k	0	4	0.0	0	6	-10.7	1	2	-16.7	1	3	-21.9	1	3	-2.3
100k	0	2	-16.7	0	3	-21.9	0	4	0.0	0	6	-10.7	1	1	-2.3
250k	0	0	0.0	0	1	-37.5	0	1	0.0	0	2	-16.7	0	3	-21.9
350k										0	1	-10.7	0	2	-25.6

ビット レート (bps)	動作周波数PCLK (MHz)								
	30			33			40		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
10k	1	23	-2.3	1	25	-0.8	0	124	0.00
25k	1	9	-6.3	1	10	-6.3	0	40	0.00
50k	1	4	-6.3	1	5	-14.1	0	24	0.00
100k	1	2	-21.9	1	2	-14.1	0	12	-3.85
250k	0	3	-6.3	0	4	-17.5	0	4	0.00
350k	0	2	-10.7	0	2	-1.8	0	3	-10.71

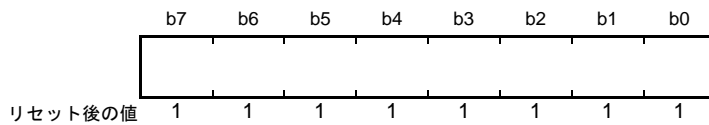
表25.21 各ビットレート設定でのSCL High/Low幅最小値 (簡易I²Cモード)

ビット レート (bps)	動作周波数PCLK (MHz)											
	8			10			16			20		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	0	24	43.75/50.00	0	31	44.80/51.20	1	12	45.5/52.00	1	15	44.80/51.20
25k	0	9	17.50/20.00	0	12	18.2/20.80	1	4	17.50/20.00	1	6	19.60/22.40
50k	0	4	8.75/10.00	0	6	9.80/11.20	1	2	10.50/12.00	1	3	11.20/12.80
100k	0	2	5.25/6.00	0	3	5.60/6.40	0	4	4.37/5.00	0	6	4.90/5.60
250k	0	0	1.75/2.00	0	1	2.80/3.20	0	1	1.75/2.00	0	2	2.10/2.40
350k										0	1	1.40/1.60

ビット レート (bps)	動作周波数PCLK (MHz)											
	25			30			33			40		
	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)	n	N	SCL High/Low幅 min値 (μs)
10k	1	19	44.80/51.20	1	23	44.80/51.20	1	25	44.12/50.42	1	32	46.20/52.80
25k	1	7	17.92/20.48	1	9	18.66/21.33	1	10	18.66/21.33	1	12	18.20/20.80
50k	1	3	8.96/10.24	1	4	9.33/10.66	1	5	10.18/11.63	1	6	9.80/11.20
100k	1	1	4.48/5.12	1	2	5.60/6.40	1	2	5.09/5.81	0	13	4.90/5.60
250k	0	3	2.24/2.56	0	3	1.86/2.13	0	4	2.12/2.42	0	4	1.75/2.00
350k	0	2	1.68/1.92	0	2	1.40/1.60	0	2	1.27/1.45	0	3	1.40/1.60

25.2.12 モジュレーションデューティレジスタ (MDDR)

アドレス SCI1.MDDR 0008 A032h, SCI5.MDDR 0008 A0B2h



MDDR レジスタは BRR レジスタにより調整されたビットレートを補正するためのレジスタです。SEMR.BRME ビットが“1”にセットされているとき、内蔵ボーレートジェネレータにより生成されるビットレートを平均的に $M/256$ に補正します。MDDR レジスタの設定値 M とビットレート B の関係を表 25.22 に示します。

MDDR レジスタの初期値は FFh です。b7 は“1”に固定されています。

MDDR レジスタは、CPU から読み出しは可能ですが、書き込みは SCR.TE ビット=0、SCR.RE ビット=0 の場合のみ可能です。

表 25.22 ビットレートモジュレーション機能使用時の MDDR レジスタ設定値 M とビットレート B の関係

モード	SEMRレジスタの設定		BRRレジスタの設定値	誤差
	BGDM ビット	ABCS ビット		
調歩同期式、 マルチプロ セッサ通信	0	0	$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 64 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	0	1	$N = \frac{PCLK \times 10^6}{32 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 32 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	0	$N = \frac{PCLK \times 10^6}{16 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 16 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
	1	1	$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times 8 \times 2^{2n-1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
クロック同期式、 簡易SPI (注1)			$N = \frac{PCLK \times 10^6}{8 \times 2^{2n-1} \times (256/M) \times B} - 1$	
スマートカード インタフェース			$N = \frac{PCLK \times 10^6}{S \times 2^{2n+1} \times (256/M) \times B} - 1$	誤差 (%) = $\left\{ \frac{PCLK \times 10^6}{B \times S \times 2^{2n+1} \times (256/M) \times (N+1)} - 1 \right\} \times 100$
簡易I ² C (注2)			$N = \frac{PCLK \times 10^6}{64 \times 2^{2n-1} \times (256/M) \times B} - 1$	

B : ビットレート (bps)

M : MDDR レジスタの設定値 ($128 \leq M \leq 255$)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

PCLK : 動作周波数 (MHz)

n と S : 「25.2.11 ビットレートレジスタ (BRR)」表 25.10、表 25.11 のとおり SMR、SCMR レジスタの設定値によって決まります。

注1. クロック同期式モードおよび簡易SPIモードの最高速設定 (SMR.CKS[1:0] ビット=00b、かつSCR.CKE[1] ビット=0、かつBRR=0) では、本機能を使用しないでください。

注2. 簡易I²CモードでのSCL出力のHigh/Low幅がI²C規格を満たすようビットレートを調整してください。

25.2.13 シリアル拡張モードレジスタ (SEMR)

アドレス SCI1.SEMR 0008 A027h, SCI5.SEMR 0008 A0A7h

b7	b6	b5	b4	b3	b2	b1	b0
RXDESEL	BGDM	NFEN	ABCS	—	BRME	—	ACS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期式モードのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積 (SCI5のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	BRME	ビットレートモジュレーションイネーブルビット	0: ビットレートモジュレーション機能無効 1: ビットレートモジュレーション機能有効	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	ABCS	調歩同期基本クロックセレクトビット	(調歩同期式モードのみ有効) 0: 基本クロック16サイクルの期間が1ビット期間の転送レートになります 1: 基本クロック8サイクルの期間が1ビット期間の転送レートになります	R/W (注1)
b5	NFEN	デジタルノイズフィルタ機能イネーブルビット	(調歩同期式モード) 0: RXDn入力信号のノイズ除去機能無効 1: RXDn入力信号のノイズ除去機能有効 (簡易I ² Cモード) 0: SSCLn, SSDAn入力信号のノイズ除去機能無効 1: SSCLn, SSDAn入力信号のノイズ除去機能有効 上記以外のモードでは、NFENビットを“0”にしてください。	R/W (注1)
b6	BGDM	ポーレートジェネレータ倍速モードセレクトビット	(調歩同期式モードで内蔵ポーレートジェネレータ使用時のみ有効) 0: ポーレートジェネレータから通常の周波数のクロックを出力 1: ポーレートジェネレータから2倍の周波数のクロックを出力	R/W (注1)
b7	RXDESEL	調歩同期スタートビットエッジ検出セレクトビット	(調歩同期式モードのみ有効) 0: RXDn端子入力のLowレベルでスタートビットを検出 1: RXDn端子入力の立ち下がりがエッジでスタートビットを検出	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SEMRレジスタは、調歩同期式モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

ACS0 ビット (調歩同期クロックソースセレクトビット)

調歩同期式モードにおける、クロックソースを選択します。

ACS0 ビットは、調歩同期式モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b、11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。

調歩同期式モード以外では、ACS0 ビットを“0”にしてください。

SCI5 では、TMR ユニット 0 の TMO_n (n = 0, 1) 出力をシリアル転送ベースクロックにすることができま

す。詳細は表 25.23 を参照してください。

表 25.23 SCIのチャンネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1

TMR ユニット 0 の TMO0、TMO1 出力を選択したときの設定例を図 25.3 に示します。

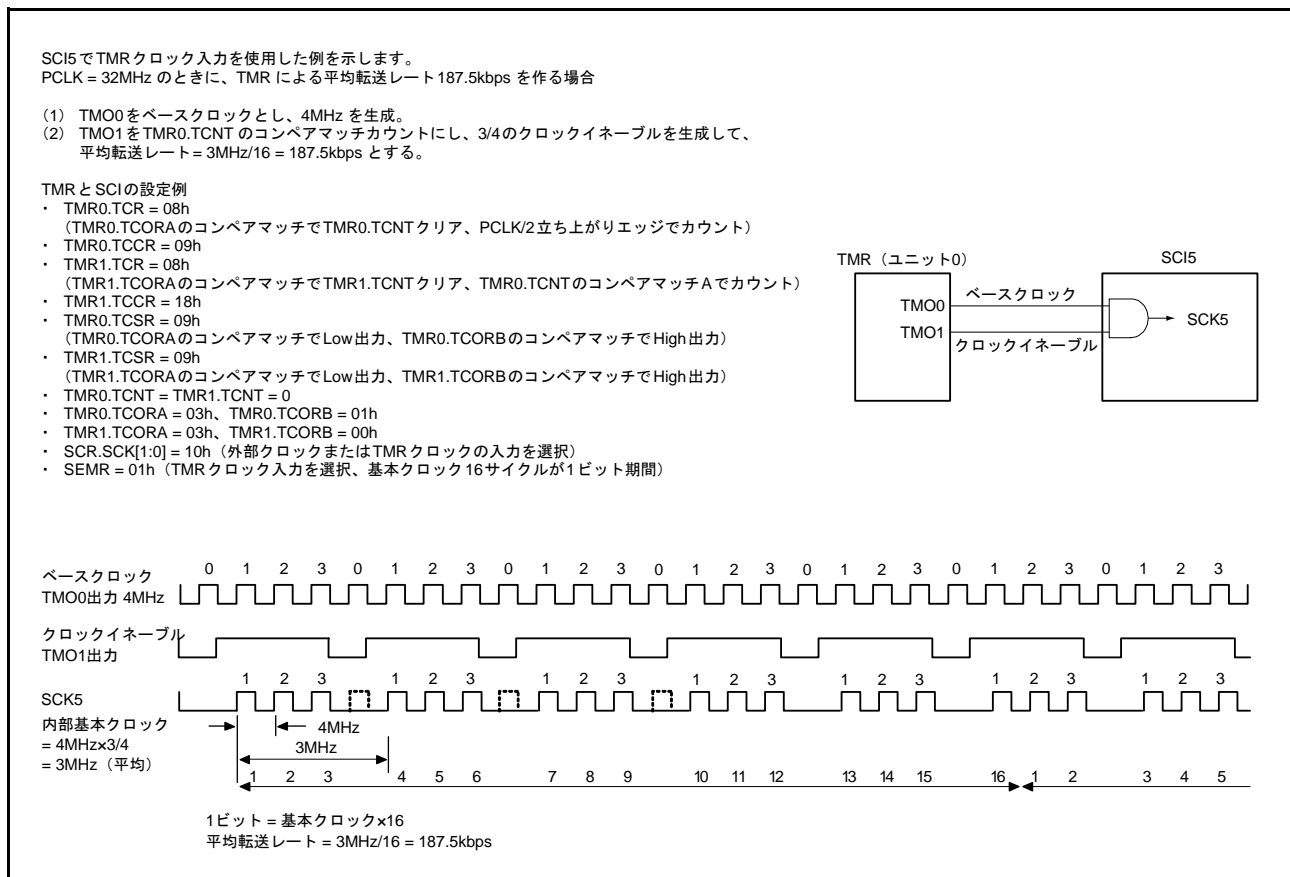


図 25.3 TMR クロック入力時の平均転送レート設定例

BRME ビット (ビットレートモジュレーションイネーブルビット)

ビットレートモジュレーション機能の有効、無効を選択します。有効にすると、内蔵ポーレートジェネレータにより生成されるビットレートを平均的に補正します。

NFEN ビット (デジタルノイズフィルタ機能イネーブルビット)

デジタルノイズフィルタ機能の有効、無効を選択します。

有効にすると、調歩同期式モードの場合は、RXD_n 入力信号のノイズを除去し、簡易 I²C モードの場合は

SSDAn、SSCLn の入力信号のノイズを除去します。

上記以外のモードでは NFEN ビットを “0” にし、デジタルノイズフィルタ機能を無効にしてください。
デジタルノイズフィルタ機能を無効にすると、入力信号がそのまま内部信号として伝えられます。

BGDM ビット (ポーレートジェネレータ倍速モードセレクトビット)

ポーレートジェネレータの出力クロックの周期を選択します。

調歩同期式モード (SMR.CM ビット=0) で、クロックソースに内蔵ポーレートジェネレータを選択 (SCR.CKE[1] ビット=0) したときに有効です。内蔵ポーレートジェネレータから通常の周波数のクロックを出力するか、2 倍の周波数のクロックを出力するかを選択できます。ポーレートジェネレータから出力されるクロックは基本クロックの生成に使用されます。BGDM ビット=1 を設定すると基本クロックの周期が 1/2 倍になり、ビットレートが 2 倍になります。

調歩同期式モード以外では “0” を設定してください。

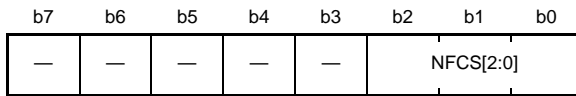
RXDESEL ビット (調歩同期スタートビットエッジ検出セレクトビット)

調歩同期式モード受信動作におけるスタートビットの検出方法を選択します。本ビットの設定によりブ레이크時の動作が異なります。ブ레이크中に受信動作を停止させたい場合、およびブ레이크終了後に RXDn 端子入力を 1 フレーム期間以上 High レベルに保持せず受信を開始する場合は “1” を設定してください。

調歩同期式モード以外では “0” を設定してください。

25.2.14 ノイズフィルタ設定レジスタ (SNFR)

アドレス SCI1.SNFR 0008 A028h, SCI5.SNFR 0008 A0A8h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b2-b0	NFCS[2:0]	ノイズフィルタクロックセレクトビット	調歩同期式モード時、基本クロック基準で b2 b0 0 0 0 : 1分周のクロックをノイズフィルタに使用 簡易 I ² C モード時、SMR.CKS[1:0] ビットで選択した内蔵 ポーレートジェネレータのクロックソース基準で b2 b0 0 0 1 : 1分周のクロックをノイズフィルタに使用 0 1 0 : 2分周のクロックをノイズフィルタに使用 0 1 1 : 4分周のクロックをノイズフィルタに使用 1 0 0 : 8分周のクロックをノイズフィルタに使用 上記以外は設定しないでください	R/W (注1)
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

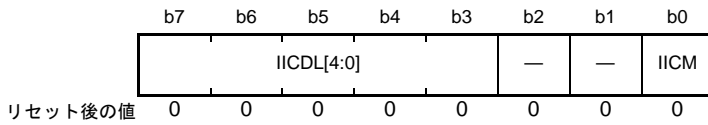
NFCS[2:0] ビット (ノイズフィルタクロックセレクトビット)

デジタルノイズフィルタのサンプリングクロックを選択します。

調歩同期式モード時にノイズフィルタを使用する場合、“000b”を設定してください。簡易 I²C モード時は“001b”～“100b”の中で設定してください。

25.2.15 I²C モードレジスタ 1 (SIMR1)

アドレス SCI1.SIMR1 0008 A029h, SCI5.SIMR1 0008 A0A9h



ビット	シンボル	ビット名	機能	R/W
b0	IICM	簡易I ² Cモードセレクトビット	SMIF IICM 0 0: 調歩同期式モード、マルチプロセッサモード、 クロック同期式モード (調歩同期式、クロック同期式モードまたは簡易 SPIモード) 0 1: 簡易I ² Cモード 1 0: スマートカードインタフェースモード 1 1: 設定しないでください	R/W (注1)
b2-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b3	IICDL[4:0]	SSDA出力遅延セレクトビット	(内蔵ポーレートジェネレータのクロックソース基準) b7 b3 0 0 0 0 0: 出力遅延なし 0 0 0 0 1: 0~1サイクル 0 0 0 1 0: 1~2サイクル 0 0 0 1 1: 2~3サイクル 0 0 1 0 0: 3~4サイクル 0 0 1 0 1: 4~5サイクル : 1 1 1 1 0: 29~30サイクル 1 1 1 1 1: 30~31サイクル	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

SIMR1 レジスタは、簡易 I²C モード、および SSDA 出力遅延段数を選択するためのレジスタです。

IICM ビット (簡易 I²C モードセレクトビット)

SCMR.SMIF ビットとの組み合わせで、動作モードを選択します。

IICDL[4:0] ビット (SSDA 出力遅延セレクトビット)

SSCLn 端子出力の立ち下がりに対する SSDAn 端子出力の遅延を選択します。内蔵ポーレートジェネレータのクロックソースを1サイクルとし、遅延なし~31サイクルまでの選択が可能です。内蔵ポーレートジェネレータのクロックソースとは、PCLK を SMR.CKS[1:0] ビットの設定により分周されたクロックを指します。簡易 I²C モード以外では“00000b”を設定してください。簡易 I²C モード時は、“00001b” ~ “11111b” のいずれかを設定してください。

25.2.16 I²C モードレジスタ 2 (SIMR2)

アドレス SCI1.SIMR2 0008 A02Ah, SCI5.SIMR2 0008 A0AAh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	IICACK T	—	—	—	IICCSC	IICINT M
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICINTM	I ² C 割り込みモードセレクトビット	0 : ACK/NACK 割り込みを使用 1 : 受信割り込み、送信割り込みを使用	R/W (注1)
b1	IICCSC	クロック同期化ビット	0 : クロック同期を行わない 1 : クロック同期を行う	R/W (注1)
b4-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	IICACKT	ACK送信データビット	0 : ACK送信 1 : NACK送信またはACK/NACK受信	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. SCR.TE ビット=0、SCR.RE ビット=0（シリアル送信動作を禁止、かつシリアル受信動作を禁止）の場合のみ書き込み可能です。

SIMR2 レジスタは、簡易 I²C モードの送受信制御を選択するためのレジスタです。

IICINTM ビット (I²C 割り込みモードセレクトビット)

簡易 I²C モード時の割り込み要求の要因を選択します。

IICCSC ビット (クロック同期化ビット)

他のデバイスがウェイトを挿入するなどの目的で、SSCLn 端子を Low にしたとき、内部で生成する SSCLn クロックを同期化する場合は、IICCSC ビットに“1”を設定します。

IICCSC ビットに“0”を設定すると、SSCLn クロックの同期化は行いません。SSCLn 端子入力に関わらず、BRR レジスタで設定したビットレートにしたがって SSCLn クロックを生成します。

デバッグ時を除いて IICCSC ビットには“1”を設定してください。

IICACKT ビット (ACK 送信データビット)

送信データの ACK ビットを格納します。ACK/NACK ビット受信時は“1”を設定してください。

25.2.17 I²C モードレジスタ 3 (SIMR3)

アドレス SCI1.SIMR3 0008 A02Bh, SCI5.SIMR3 0008 A0ABh

	b7	b6	b5	b4	b3	b2	b1	b0
	IICSCLS[1:0]		IICSDAS[1:0]		IICSTIF	IICSTP REQ	IICRST AREQ	IICSTA REQ
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	IICSTAREQ	開始条件生成ビット	0 : 開始条件を生成しない 1 : 開始条件を生成 (注1、注3、注4、注5)	R/W
b1	IICRSTAREQ	再開開始条件生成ビット	0 : 再開開始条件を生成しない 1 : 再開開始条件を生成 (注2、注3、注4、注5)	R/W
b2	IICSTPREQ	停止条件生成ビット	0 : 停止条件を生成しない 1 : 停止条件を生成 (注2、注3、注4、注5)	R/W
b3	IICSTIF	開始/再開開始/停止条件生成完了フラグ	0 : 各条件生成要求がない状態、または生成中の状態 1 : 各条件生成が完了した状態	R/W
b5-b4	IICSDAS[1:0]	SSDA出力セレクトビット	b5 b4 0 0 : シリアルデータ出力 0 1 : 開始条件、再開開始条件、停止条件の生成 1 0 : SSDAn端子はLowを出力 1 1 : SSDAn端子はハイインピーダンス状態	R/W
b7-b6	IICSCLS[1:0]	SSCL出力セレクトビット	b7 b6 0 0 : シリアルクロック出力 0 1 : 開始条件、再開開始条件、停止条件の生成 1 0 : SSCLn端子はLowを出力 1 1 : SSCLn端子はハイインピーダンス状態	R/W

注1. バスの状態を確認し、バスフリー状態のときに開始条件生成を行ってください。

注2. バスの状態を確認し、バスビジー状態のときに再開開始条件生成または停止条件生成を行ってください。

注3. IICSTAREQビット、IICRSTAREQビット、IICSTPREQビットの2つ以上を“1”にしないでください。

注4. IICSTIFフラグを“0”にしてから、各条件生成を行ってください。

注5. “1”の状態を“0”を書き込まないでください。“1”の状態を“0”を書きこむと、コンディション生成が中断します。

SIMR3 レジスタは、簡易 I²C モードの開始条件、停止条件生成、および、SSDAn 端子、SSCLn 端子の出力値固定を制御するためのレジスタです。

IICSTAREQ ビット (開始条件生成ビット)

開始条件の生成を行うときは、IICSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 開始条件の生成が完了したとき

IICRSTAREQ ビット (再開条件生成ビット)

再開条件の生成を行うときは、IICRSTAREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 再開条件の生成が完了したとき

IICSTPREQ ビット (停止条件生成ビット)

停止条件の生成を行うときは、IICSTPREQ ビットを“1”にするとともに、IICSDAS[1:0] ビット、IICSCLS[1:0] ビットをそれぞれ“01b”にしてください。

["1"になる条件]

- “1”を書き込んだとき

["0"になる条件]

- 停止条件の生成が完了したとき

IICSTIF フラグ (開始 / 再開 / 停止条件生成完了フラグ)

各条件生成実行後、生成完了した状態を示します。IICRSTAREQ ビット、IICRSTAREQ ビット、IICSTPREQ ビットにより各条件の生成を行うときは、IICSTIF フラグを“0”にしてから生成を実行してください。

SCR.TEIE ビットで割り込み要求が許可された状態で、IICSTIF フラグが“1”の場合に開始 / 再開 / 停止条件生成完了割り込み (STI) 要求が出力されます。

["1"になる条件]

- 開始 / 再開 / 停止の各条件の生成が完了したとき (ただし“0”になる条件と競合した場合は“0”になる条件が優先されます。)

["0"になる条件]

- “0”を書き込んだとき (IICSTIF フラグが“0”になったことを確認してください。)
- SIMR1.IICM ビットが“0”のとき (簡易 I²C モード以外の場合)
- SCR.TE ビットが“0”のとき

IICSDAS[1:0] ビット (SSDA 出力セレクトビット)

SSDAn 端子からの出力を制御します。

通常動作時は、IICSDAS[1:0] ビットと IICSCLS[1:0] ビットは同じ値にしてください。

IICSCLS[1:0] ビット (SSCL 出力セレクトビット)

SSCLn 端子からの出力を制御します。

通常動作時は、IICSCLS[1:0] ビットと IICSDAS[1:0] ビットは同じ値にしてください。

25.2.18 I²C ステータスレジスタ (SISR)

アドレス SCI1.SISR 0008 A02Ch, SCI5.SISR 0008 A0ACh

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	IICACK R
リセット後の値	0	0	x	x	0	x	0	0

x: 不定

ビット	シンボル	ビット名	機能	R/W
b0	IICACKR	ACK受信データフラグ	0: ACK受信 1: NACK受信	R/W (注1)
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	—	予約ビット	読み出し値は不定です	R
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5-b4	—	予約ビット	読み出し値は不定です	R
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. フラグをクリアするための“0”書き込みのみ可能です。

SISR レジスタは、簡易 I²C モード関連のステータスをモニタします。**IICACKR フラグ (ACK 受信データフラグ)**

受信された ACK/NACK ビットを読み出すことができます。

IICACKR フラグは、ACK/NACK を受信するビットの SSCL_n クロックの立ち上がりのタイミングで更新されます。

25.2.19 SPIモードレジスタ (SPMR)

アドレス SCI1.SPMR 0008 A02Dh, SCI5.SPMR 0008 A0ADh

	b7	b6	b5	b4	b3	b2	b1	b0
	CKPH	CKPOL	—	MFF	—	MSS	CTSE	SSE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SSE	SSn#端子機能イネーブルビット	0 : SSn#端子機能禁止 1 : SSn#端子機能許可	R/W (注1)
b1	CTSE	CTSイネーブルビット	0 : CTS機能禁止 (RTS出力機能有効) 1 : CTS機能許可	R/W (注1)
b2	MSS	マスタスレーブセレクトビット	0 : TXDn端子 : 送信, RXDn端子 : 受信 (マスタモード) 1 : TXDn端子 : 受信, RXDn端子 : 送信 (スレーブモード)	R/W (注1)
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MFF	モードフォルトフラグ	0 : モードフォルトエラーなし 1 : モードフォルトエラーあり	R/W (注2)
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	CKPOL	クロック極性セレクトビット	0 : クロック極性反転なし 1 : クロック極性反転あり	R/W (注1)
b7	CKPH	クロック位相セレクトビット	0 : クロック遅れなし 1 : クロック遅れあり	R/W (注1)

注1. SCR.TEビット=0、SCR.REビット=0 (シリアル送信動作を禁止、かつシリアル受信動作を禁止) の場合のみ書き込み可能です。

注2. フラグをクリアするための“0”書き込みのみ可能です。

SPMRレジスタは、調歩同期式モードおよびクロック同期式モードの拡張設定を選択するためのレジスタです。

SSEビット (SSn#端子機能イネーブルビット)

SSn#端子を用いて送受信制御を行う場合 (簡易SPIモード) は“1”を設定します。それ以外の通信モードでは“0”を設定してください。なお、簡易SPIモードでも、マスタモード (SCR.CKE[1:0]ビット=00bかつMSSビット=0) かつシングルマスタで使用するとき、マスタ側のSSn#端子を用いた送受信制御は不要であり、SSEビットは“0”を設定します。SSEビット、CTSEビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

CTSEビット (CTSイネーブルビット)

SSn#端子をCTS制御信号入力として用いて送受信制御を行う場合は“1”を設定します。“0”を設定している状態ではRTSn#信号を出力します。スマートカードインタフェースモード、簡易SPIモード、簡易I²Cモード時は“0”を設定してください。CTSEビット、SSEビットの両方を有効にしないでください (設定した場合、両ビット共に“0”にしたときと同じ動作となります)。

MSSビット (マスタスレーブセレクトビット)

簡易SPIモード時にマスタモード、スレーブモードを選択します。MSSビットを“1”にすると、TXDn端子、RXDn端子の機能が逆になり、TXDn端子から受信データを入力し、RXDn端子から送信データを出力します。

簡易SPIモード以外のモード時は“0”にしてください。

MFF フラグ (モードフォルトフラグ)

モードフォルトエラーが発生したことを表示します。

マルチマスタ時は MFF フラグの読み出しにより、モードフォルトエラーを判定してください。

[“1”になる条件]

- 簡易 SPI モードのマスタモード設定時 (SSE ビット = 1 かつ MSS ビット = 0) に、SSn# 端子入力が Low になったとき

[“0”になる条件]

- “1”の状態を読み出した後、“0”を書き込んだとき

CKPOL ビット (クロック極性セレクトビット)

SCKn 端子からのクロック出力の極性を選択します。詳細は、図 25.55 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

CKPH ビット (クロック位相セレクトビット)

SCKn 端子からのクロック出力の位相設定を選択します。詳細は、図 25.55 を参照してください。

簡易 SPI モードおよびクロック同期式モード以外では“0”としてください。

25.3 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なデータフォーマットを図 25.4 に示します。

1 フレームは、スタートビット (Low) から始まり送受信データ、パリティビット、ストップビット (High) の順で構成されます。

調歩同期式シリアル通信では、通信回線は通常マーク状態 (High) に保たれています。

SCI は通信回線を監視し、スペース (Low) を検出するとスタートビットとみなしてシリアル通信を開始します。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

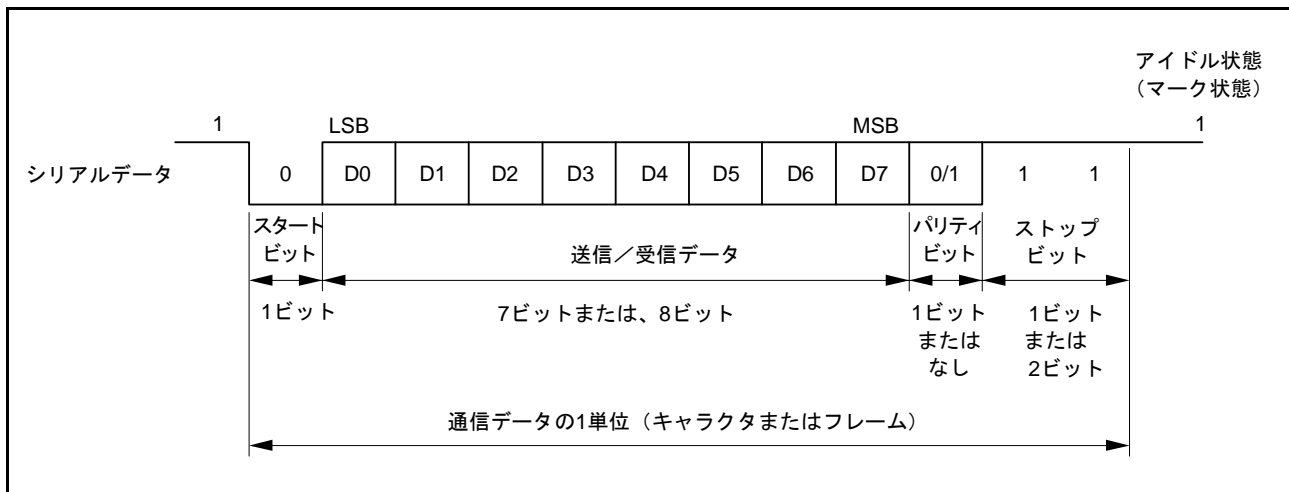


図 25.4 調歩同期式シリアル通信のデータフォーマット
(8 ビットデータ / パリティあり / 2 ストップビットの例)

25.3.1 シリアル送信 / 受信フォーマット

調歩同期式モードで設定できるシリアル送信 / 受信フォーマットを表 25.24 に示します。

フォーマットは 18 種類あり、SMR レジスタおよび SCMR レジスタの選定により選択できます。マルチプロセッサ機能の詳細については「25.4 マルチプロセッサ通信機能」を参照してください。

表 25.24 シリアル送信/受信フォーマット (調歩同期式モード)

SCMR の設定	SMRの設定				シリアル送信/受信フォーマットとフレーム長																	
	CHR1	CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	13				
0	0	0	0	0	0	S	9ビットデータ									STOP						
0	0	0	0	1	1	S	9ビットデータ									STOP	STOP					
0	0	1	0	0	0	S	9ビットデータ									P	STOP					
0	0	1	0	1	1	S	9ビットデータ									P	STOP	STOP				
1	0	0	0	0	0	S	8ビットデータ								STOP							
1	0	0	0	1	1	S	8ビットデータ								STOP	STOP						
1	0	1	0	0	0	S	8ビットデータ								P	STOP						
1	0	1	0	1	1	S	8ビットデータ								P	STOP	STOP					
1	1	0	0	0	0	S	7ビットデータ							STOP								
1	1	0	0	1	1	S	7ビットデータ							STOP	STOP							
1	1	1	0	0	0	S	7ビットデータ							P	STOP							
1	1	1	0	1	1	S	7ビットデータ							P	STOP	STOP						
0	0	—	1	0	0	S	9ビットデータ									MPB	STOP					
0	0	—	1	1	1	S	9ビットデータ									MPB	STOP	STOP				
1	0	—	1	0	0	S	8ビットデータ								MPB	STOP						
1	0	—	1	1	1	S	8ビットデータ								MPB	STOP	STOP					
1	1	—	1	0	0	S	7ビットデータ							MPB	STOP							
1	1	—	1	1	1	S	7ビットデータ							MPB	STOP	STOP						

S : スタートビット
 STOP : ストップビット
 P : パリティビット
 MPB : マルチプロセッサビット

25.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCIはビットレートの16倍（注1）の周波数の基本クロックで動作します。

受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図25.5に示すように受信データを基本クロックの8サイクル目（注1）の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式(1)のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 [\%] \quad \dots \text{式(1)}$$

M: 受信マージン

N: クロックに対するビットレートの比

- SEMR.ABCSビットが“0”のとき N = 16
- SEMR.ABCSビットが“1”のとき N = 8

D: クロックのデューティ (D = 0.5 ~ 1.0)

L: フレーム長 (L = 9 ~ 13)

F: クロック周波数の偏差の絶対値

式(1)で、F = 0、D = 0.5 とすると、

$$M = \{ 0.5 - 1/(2 \times 16) \} \times 100 [\%] = 46.875 [\%]$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には20 ~ 30%の余裕を持たせてください。

注1. SEMR.ABCSビットが“0”のときの例です。ABCSビットが“1”のときは、ビットレートの8倍の周波数が基本クロックとなり、受信データは基本クロックの4番目の立ち上がりエッジでサンプリングします。

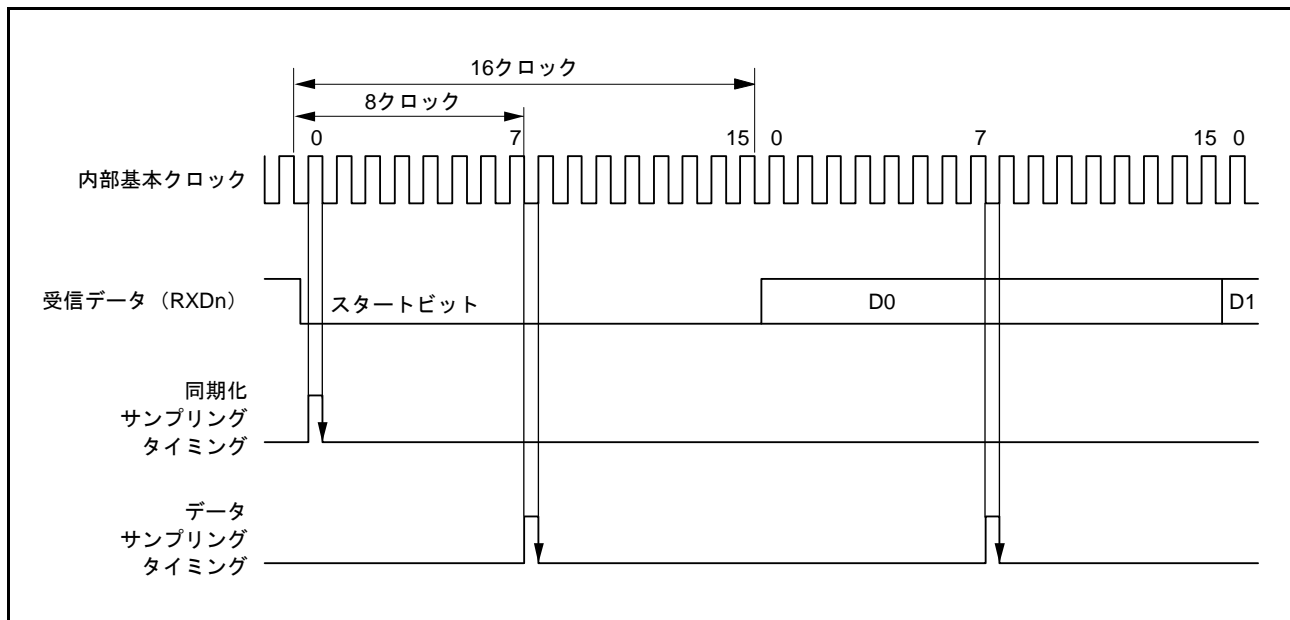


図 25.5 調歩同期式モードの受信データサンプリングタイミング

25.3.3 クロック

SCIの送受信クロックは、SMR.CMビットとSCR.CKE[1:0]ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCKn端子から入力される外部クロックのいずれかを選択できます。

外部クロックを使用する場合は、SCKn端子にビットレートの16倍（SEMR.ABCSビット=0のとき）、8倍（SEMR.ABCSビット=1のとき）の周波数のクロックを入力してください。また、外部クロックを選択した場合は、SCIn.SEMR.ACS0ビット（n=5）の設定により、TMR0からの基本クロックを選択することが可能です。

内部クロックで動作させるときはSCKn端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図25.6に示すように送信データの中央でクロックが立ち上がります。

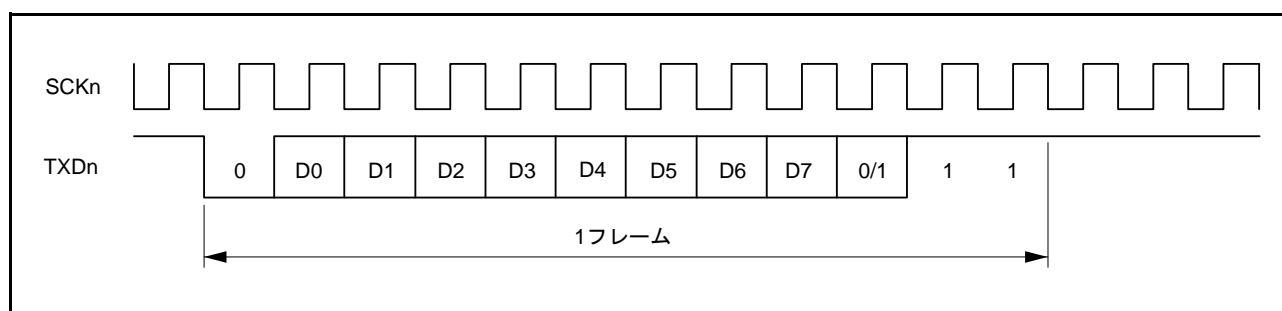


図 25.6 出カクロックと送信データの位相関係
(調歩同期式モード：SMR.CHR = 0、PE = 1、MP = 0、STOP = 1)

25.3.4 倍速モード

SEMR.BGDMビットを“1”にすることによって内蔵ポーレートジェネレータの出力クロック周波数が2倍となり、ビットレートが2倍の高速通信が可能となります。また、この状態からSEMR.ABCSビットを“1”にすると基本クロックのサイクル数が16から8になるため、ビットレートは初期状態から4倍に高速化されます。

なお、「25.3.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン」の式(1)が示すとおり、SEMR.ABCSビットを“1”にするとサイクル数が8になり、サンプリング間隔が粗くなるため受信マージンが減少します。したがって、ビットレート2倍の高速通信は、SEMR.BGDMビットを“0”、SEMR.ABCSビットを“1”にするよりも、SEMR.BGDMビットを“1”、SEMR.ABCSビットを“0”にする設定を推奨します。

25.3.5 CTS、RTS 機能

CTS 機能は、CTS#n# 端子入力を使用して送信制御を行う機能です。

SPMR.CTSE ビットを“1”にすると CTS 機能が有効になります。CTS 機能が有効のとき、CTS#n# 端子入力が Low のときのみ送信動作を開始します。

送信動作中に CTS#n# 端子を High にした場合、送信中のフレームは影響を受けず送信を継続します。

RTS 機能は、RTS#n# 端子出力を使用して受信要求を行う機能で、受信可能状態になると Low を出力します。RTS#n# 端子から Low、High を出力する条件は以下の通りです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットが“1”
- 受信動作中でない
- 未読の受信データがない
- SSR レジスタの ORER、FER、PER フラグがすべて“0”

[High になる条件]

Low になる条件を満たさない場合

なお、CTS/RTS はどちらか一方しか選択できません。

25.3.6 SCIの初期化（調歩同期式モード）

データの送受信前にSCRレジスタに初期値“00h”を書き込み、図25.7のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCRレジスタを初期値にしてから変更してください。

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

なお、SCR.REビットを“0”にしても、SSRレジスタのORER、FER、PER、RDRFフラグおよびRDR、RDRH、RDRLレジスタは初期化されませんので注意してください。

SCR.TIEビットが“1”の場合にSCR.TEビットを“1”から“0”、または“0”から“1”にすると、送信データエンプティ割り込み（TXI）要求が発生しますので注意してください。

また、SCRレジスタのTIEビット、TEビット、TEIEビットを同時に“1”にすると、TXI割り込み要求が発生する前に送信終了割り込み（TEI）要求が発生しますので注意してください。

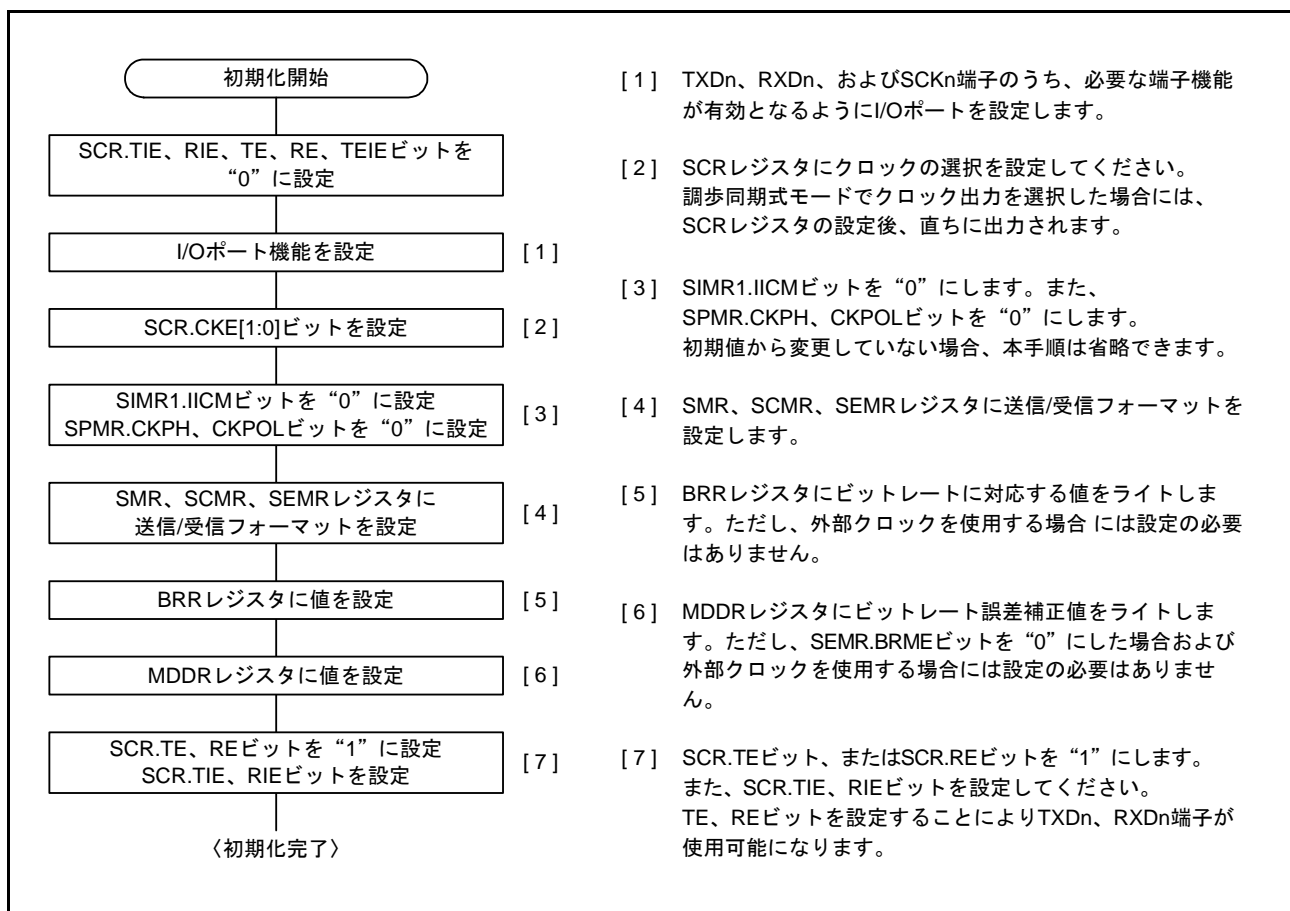


図 25.7 SCIの初期化フローチャートの例（調歩同期式モード）

25.3.7 シリアルデータの送信（調歩同期式モード）

図 25.8 ～図 25.10 に調歩同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込み処理ルーチンで TDR レジスタ（注1）にデータが書き込まれると、TDR レジスタ（注1）から TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、TDR レジスタ（注1）から TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタ（注1、注2）に次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタ（注1、注2）に書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. TXDn 端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット（フォーマットによってはない場合もあります）、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングで TDR レジスタ（注3）の更新（書き込み）をチェックします。
5. TDR レジスタ（注3）が更新されていると、SPMR.CTSE ビットが“0”（CTS 機能禁止）、または CTSn# 端子入力が Low で、次の送信データを TDR レジスタ（注1）から TSR レジスタに転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDR レジスタ（注3）が更新されていなければ、SSR.TEND フラグを“1”にし、ストップビット送出後、“1”を出力してマーク状態になります。このとき、SCR.TEIE ビットが“1”であると、SSR.TEND フラグが“1”になり TEI 割り込み要求が発生します。

注 1. データ長 9 ビット選択時は、TDRH および TDRL レジスタになります。

注 2. データ長 9 ビット選択時は、TDRH、TDRL レジスタの順にデータを書き込んでください。

注 3. データ長 9 ビット選択時は、TDRL レジスタ更新のみチェックします。TDRH レジスタ更新はチェックしません。

図 25.11 にシリアル送信のフローチャートの例を示します。

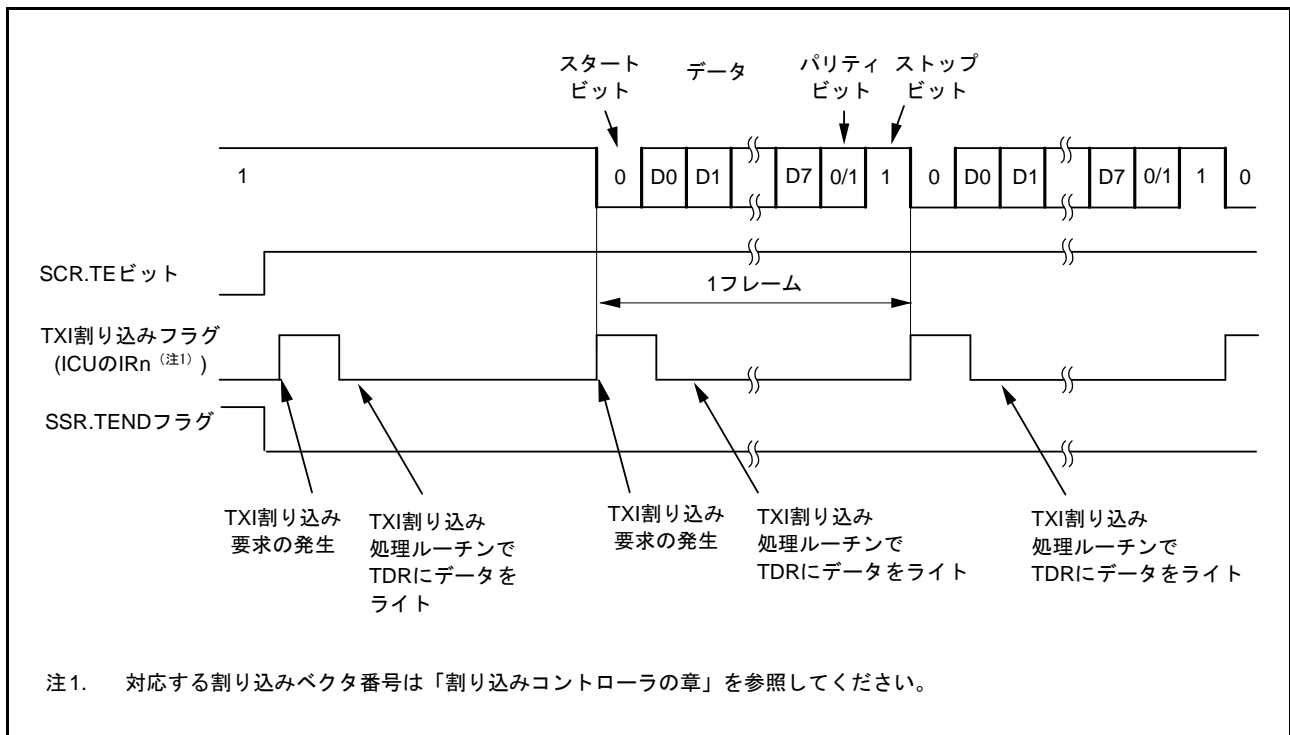


図 25.8 調歩同期式モードのシリアル送信の動作例 (1)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信開始時)

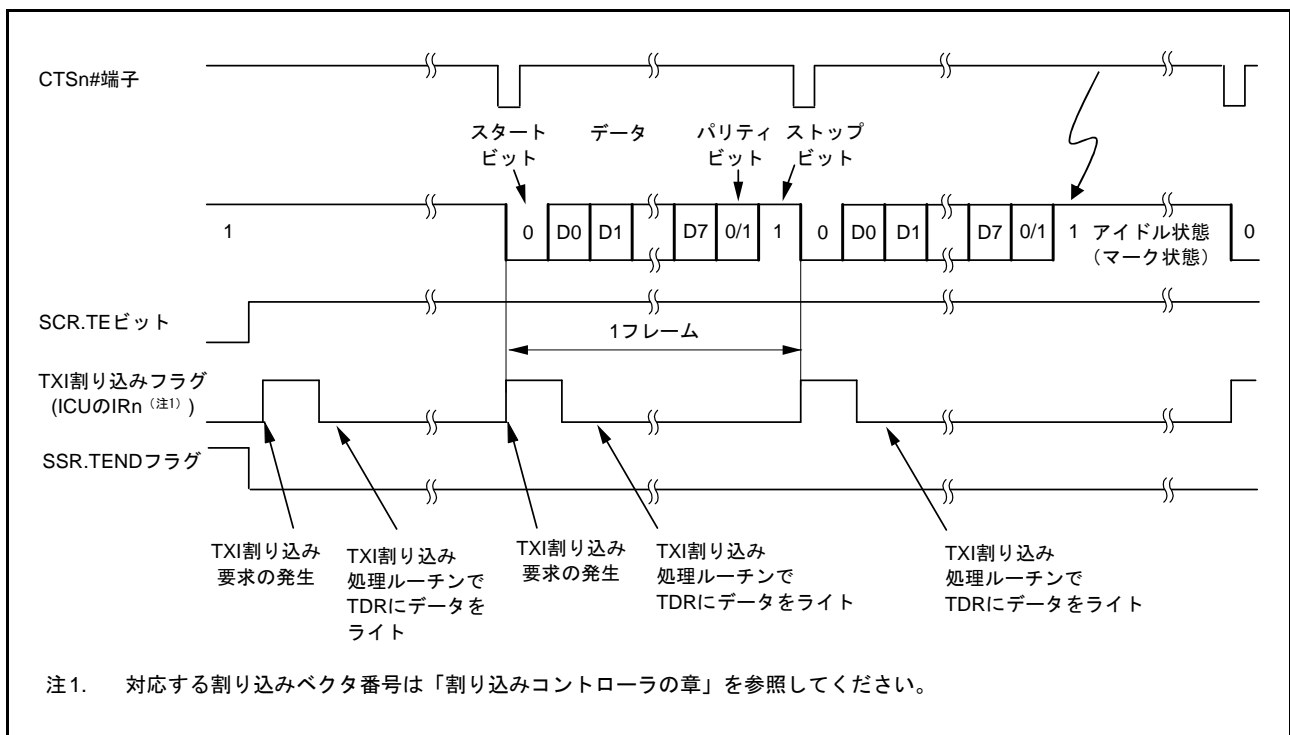


図 25.9 調歩同期式モードのシリアル送信の動作例 (2)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用する / 送信開始時)

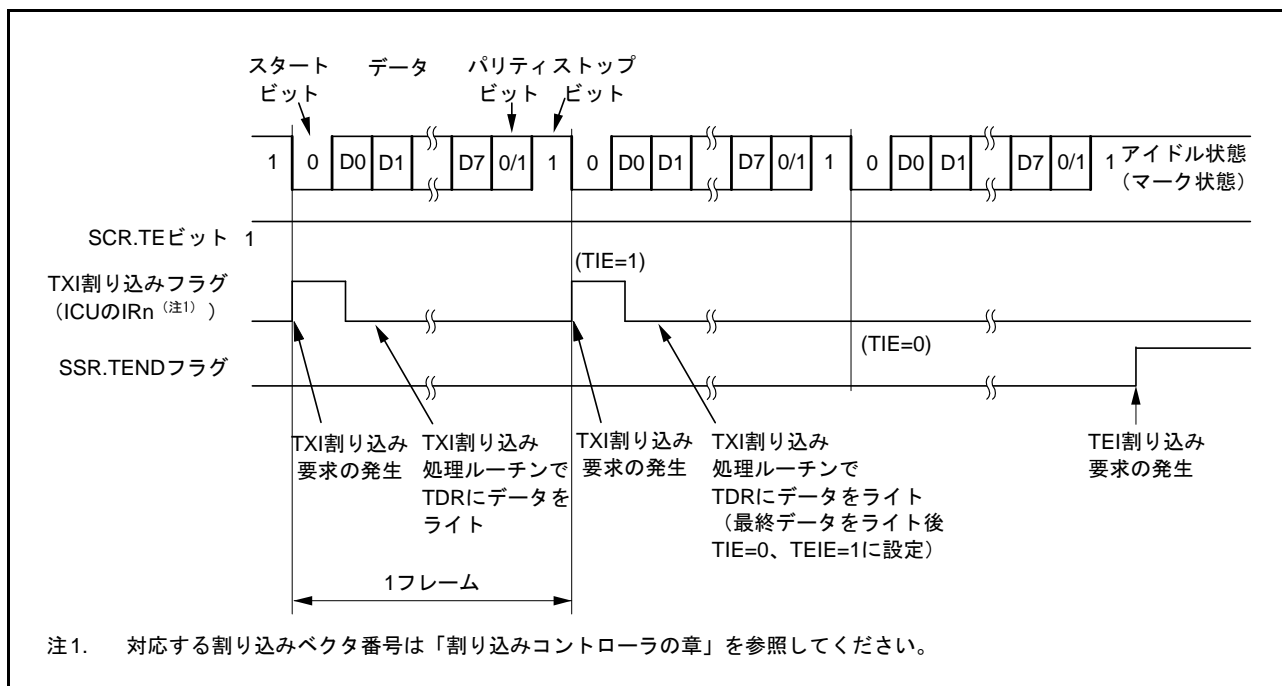


図 25.10 調歩同期式モードのシリアル送信の動作例 (3)
(8ビットデータ / パリティあり / 1ストップビット / CTS 機能使用しない / 送信中～送信終了時)

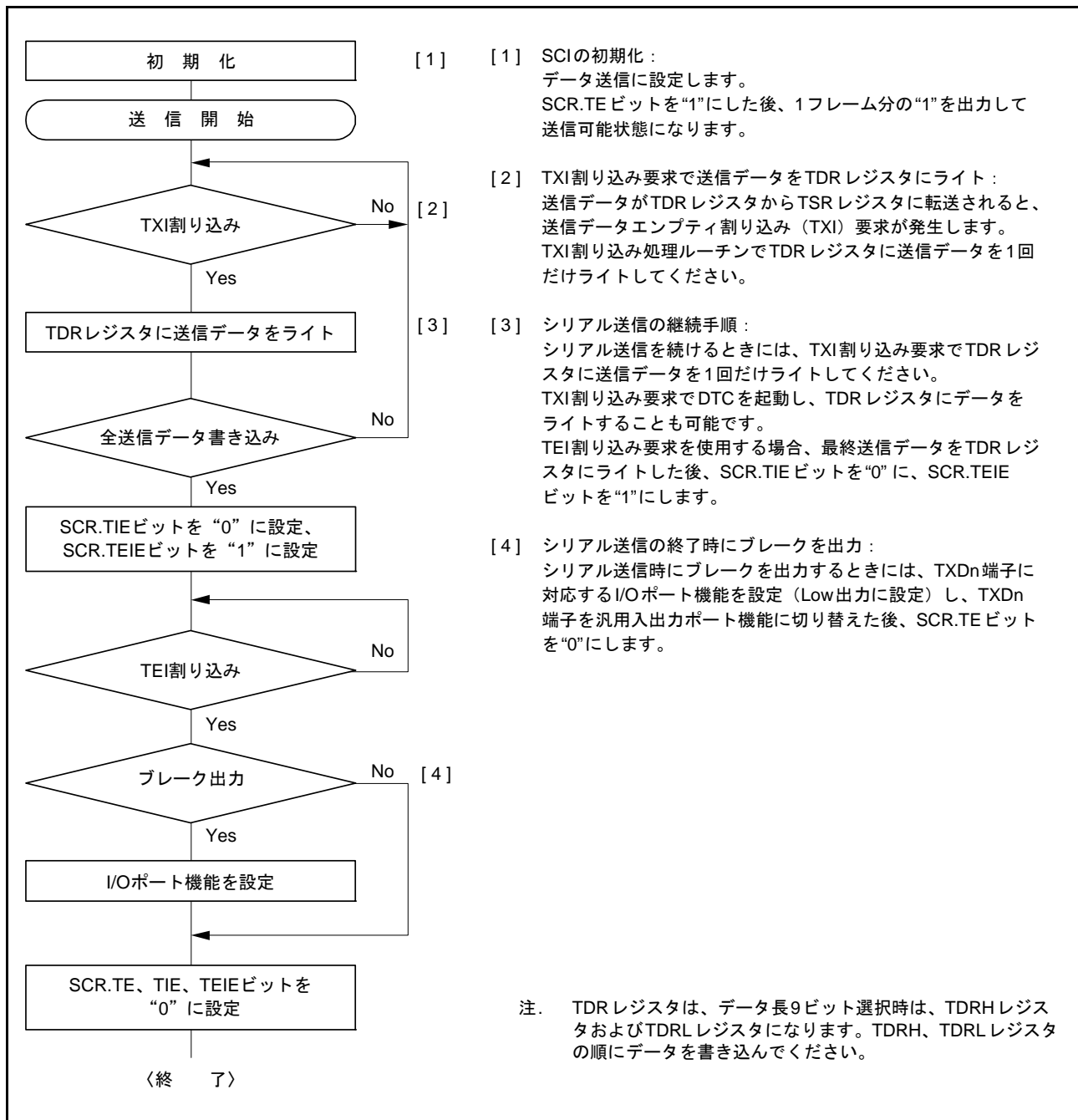


図 25.11 調歩同期式モードのシリアル送信のフローチャート例

25.3.8 シリアルデータの受信（調歩同期式モード）

図 25.12、図 25.13 に調歩同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 端子出力を Low にします（RTS 機能使用時）。
2. 通信回線を監視しスタートビットを検出すると、内部を同期化して受信データを RSR レジスタに取り込み、パリティビットとストップビットをチェックします。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき、SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタ（注1）に転送しません。
4. パリティエラーを検出した場合は SSR.PER フラグをセットし、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
5. フレーミングエラー（ストップビットが“0”のとき）を検出した場合は SSR.FER フラグをセットし、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、ERI 割り込み要求が発生します。
6. 正常に受信したときは、受信データを RDR レジスタ（注1）に転送します。このとき、RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタ（注1）に転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタ（注2）に転送された受信データが読み出されると、RTSn# 端子出力を Low にします。

注 1. データ長 9 ビット選択時は、RDRH および RDRL レジスタになります。

注 2. データ長 9 ビット選択時は、RDRL レジスタの読み出しのみチェックします。RDRH レジスタの読み出しはチェックしません。

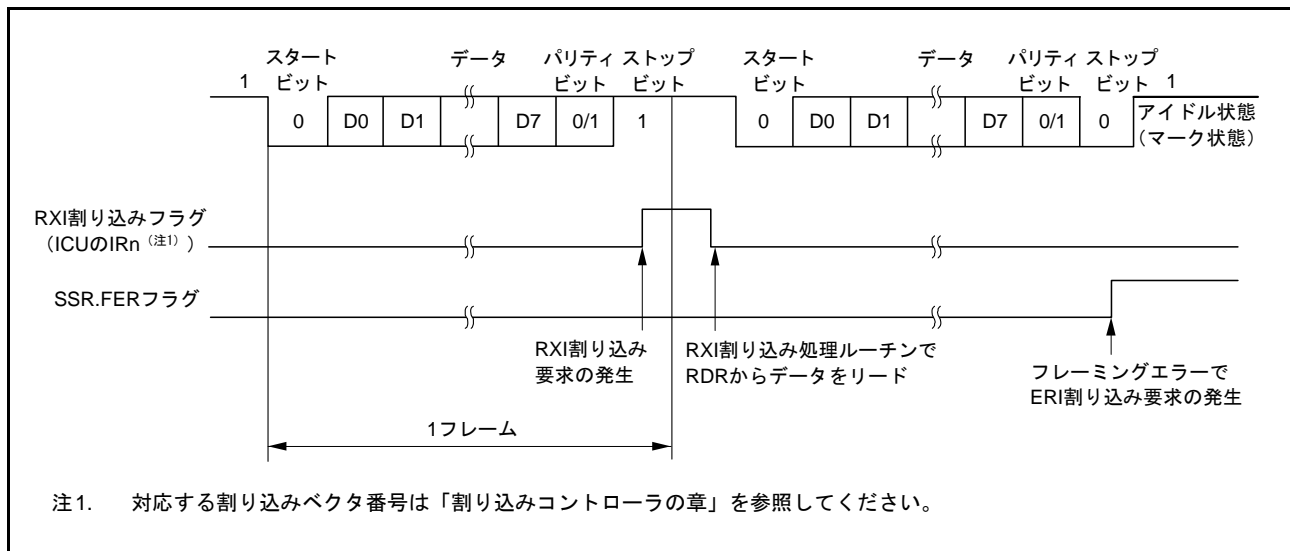


図 25.12 調歩同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）
（8 ビットデータ / パリティあり / 1 ストップビットの例）

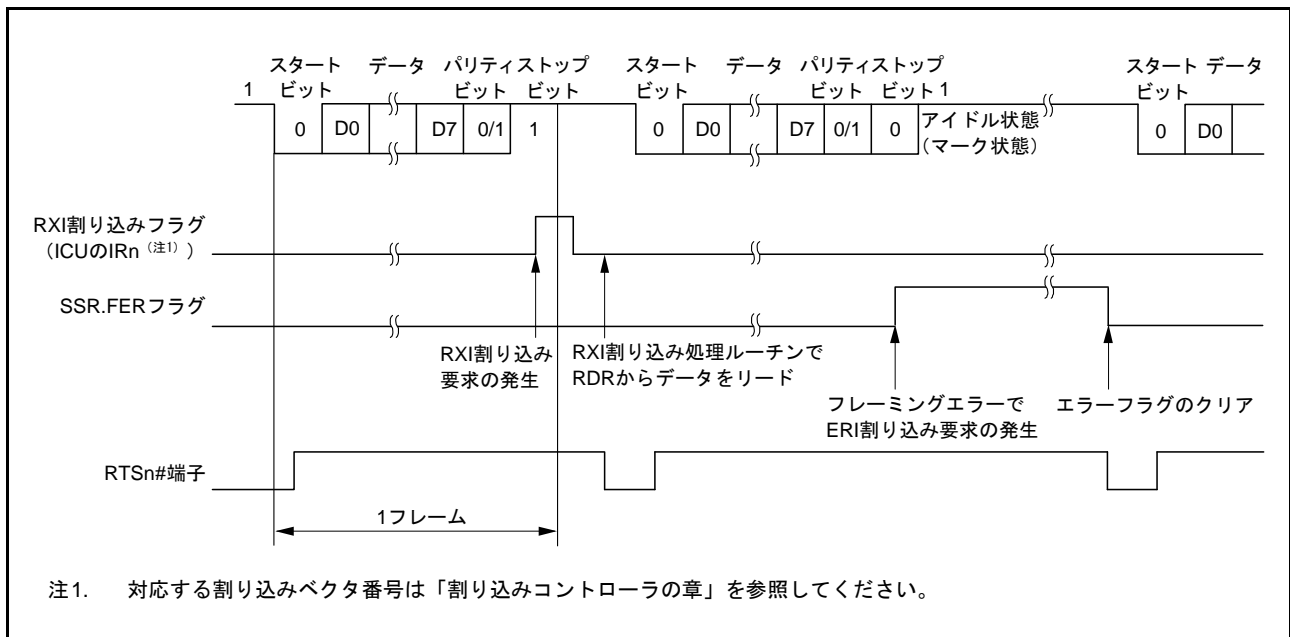


図 25.13 調歩同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)
(8ビットデータ / パリティあり / 1ストップビットの例)

受信エラーを検出した場合の SSR レジスタの各ステータスフラグの状態と受信データの処理を表 25.25 に示します。

受信エラーを検出すると、ERI 割り込み要求が発生し、RXI 割り込み要求は発生しません。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に ORER、FER、および PER フラグを“0”にしてください。また、オーバランエラー処理では RDR (または RDRL) レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR (または RDRL) レジスタに読み出し前の受信データが残る場合があるため、RDR (または RDRL) レジスタをリードしてください。

図 25.14、図 25.15 にシリアル受信のフローチャートの例を示します。

表 25.25 SSR レジスタのステータスフラグの状態と受信データの処理

SSR レジスタのステータスフラグ			受信データ	受信エラーの状態
ORER	FER	PER		
1	0	0	消失	オーバランエラー
0	1	0	RDR (注1) へ転送	フレーミングエラー
0	0	1	RDR (注1) へ転送	パリティエラー
1	1	0	消失	オーバランエラー+フレーミングエラー
1	0	1	消失	オーバランエラー+パリティエラー
0	1	1	RDR (注1) へ転送	フレーミングエラー+パリティエラー
1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

注1. データ長9ビット選択時はRDRH、RDRLレジスタになります。

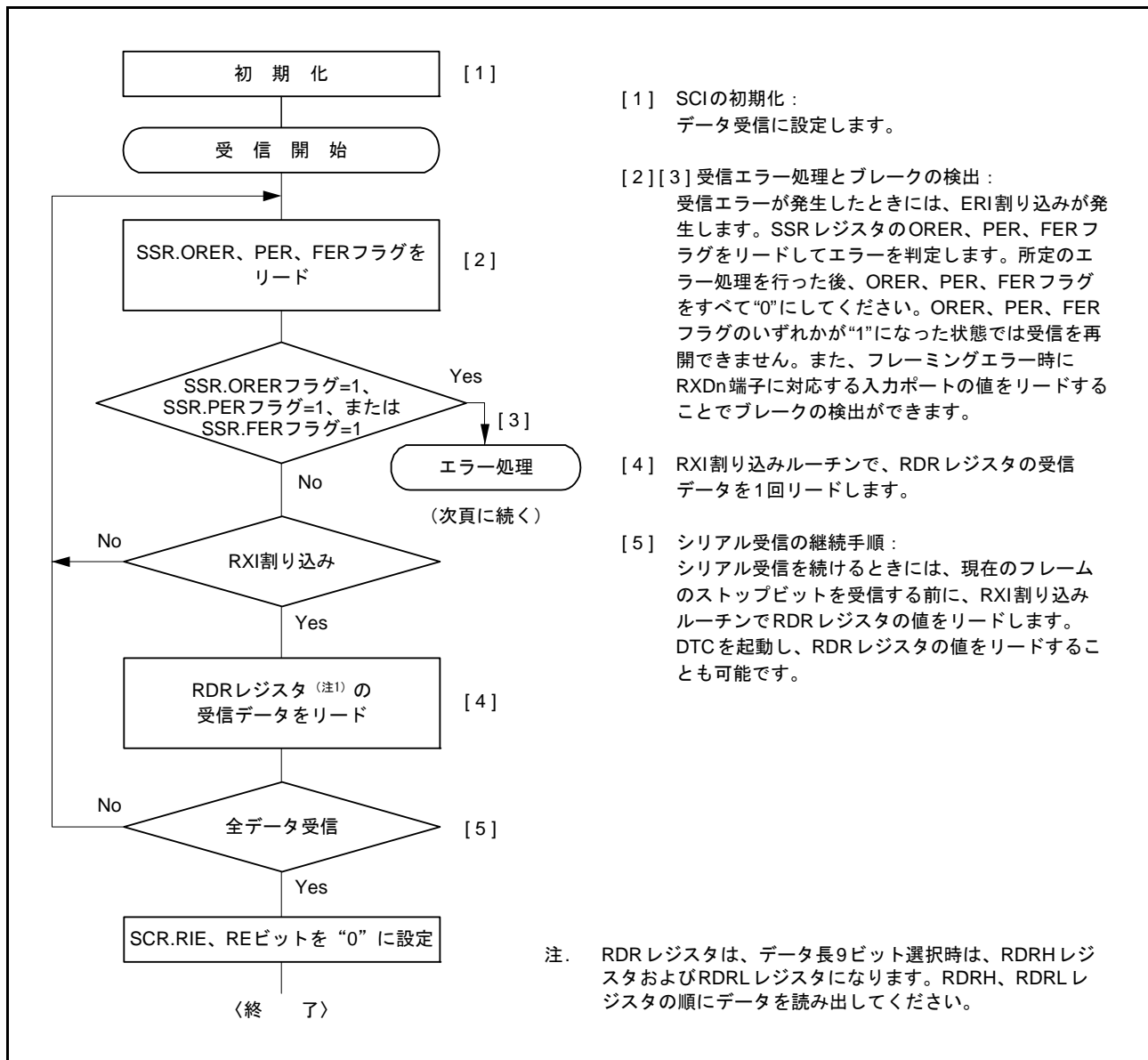


図 25.14 調歩同期式モードのシリアル受信のフローチャート例 (1)

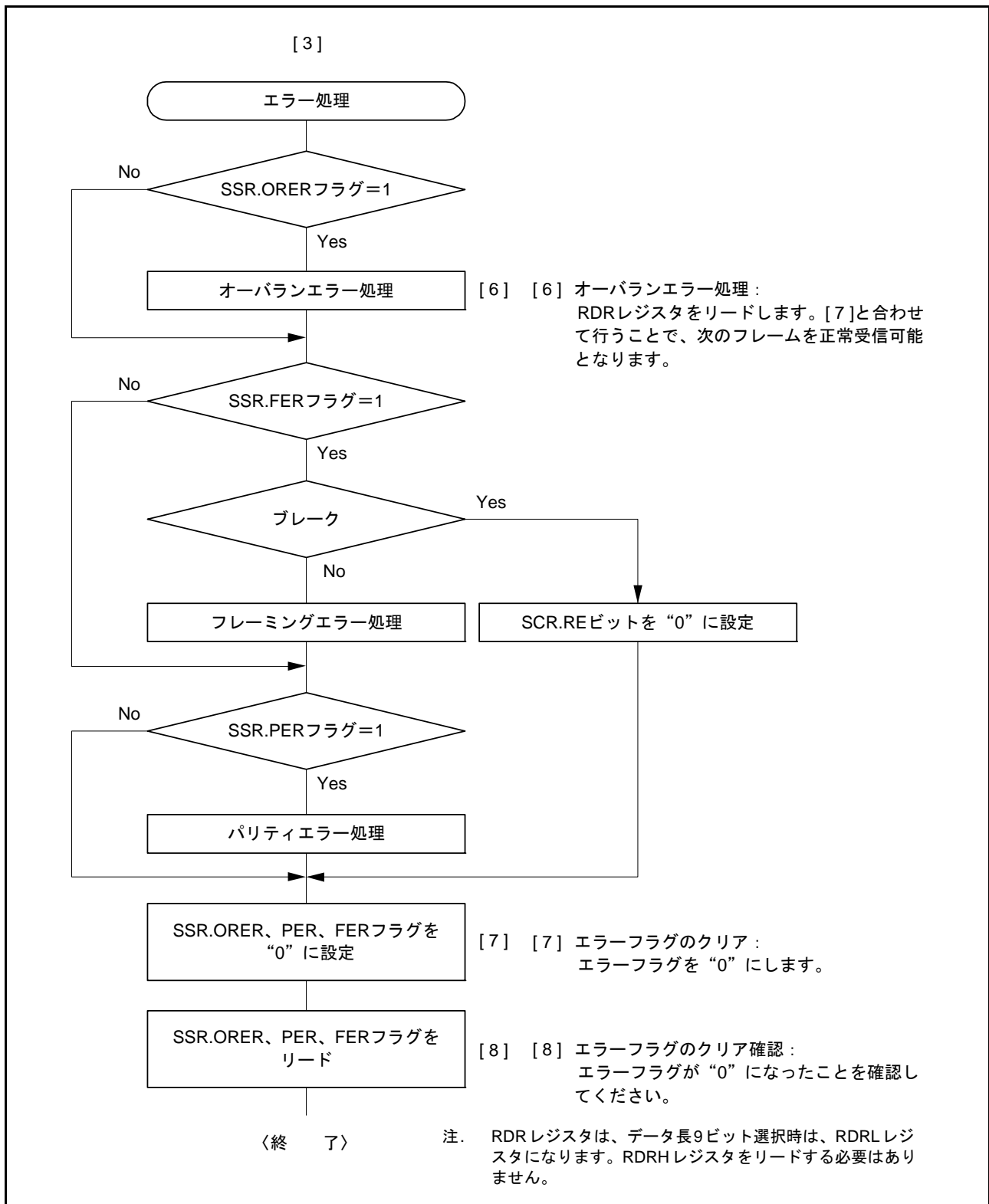


図 25.15 調歩同期式モードのシリアル受信のフローチャート例 (2)

25.4 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが“1”のとき ID 送信サイクル、“0”のときデータ送信サイクルとなります。図 25.16 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが“1”の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は、再びマルチプロセッサビットが“1”の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまで RSR レジスタから RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出と SSR レジスタの RDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともに SCR.MPIE ビットが“0”になって通常の実受信動作に戻ります。このとき SCR.RIE ビットが“1”であると RXI 割り込みが発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

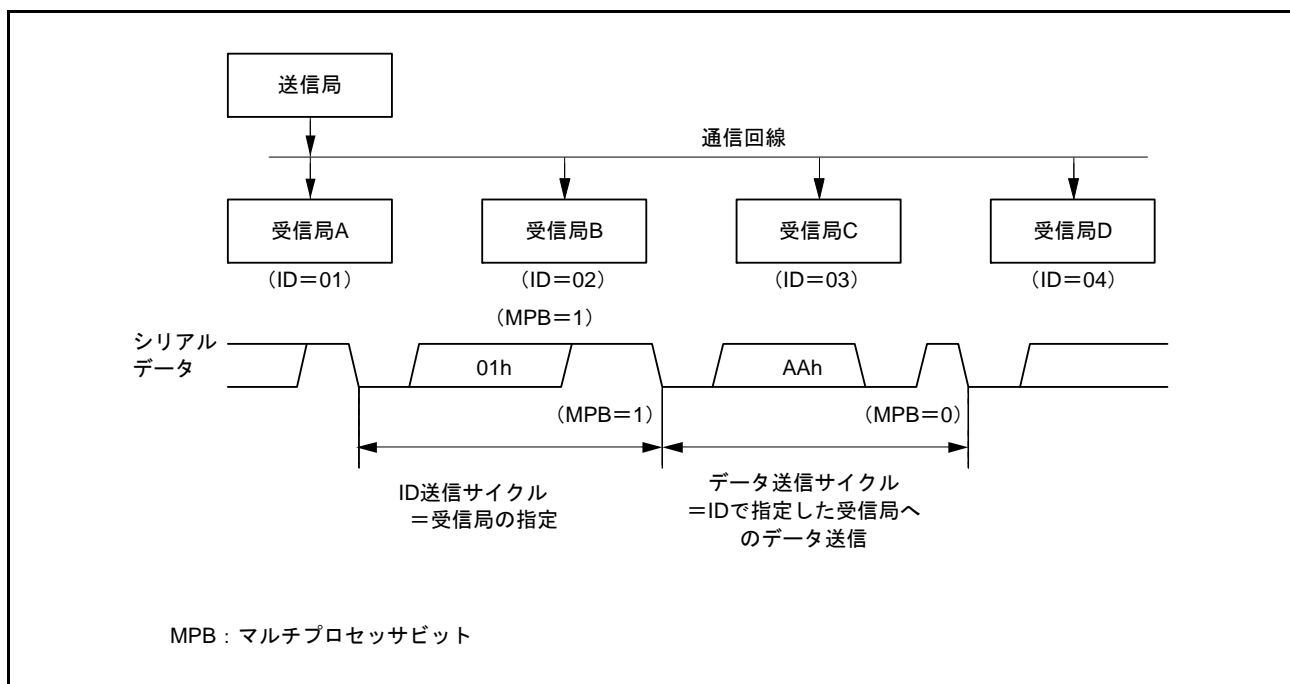


図 25.16 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ“AAh”の送信の例）

25.4.1 マルチプロセッサシリアルデータ送信

図 25.17 にマルチプロセッサシリアル送信のフローチャートの例を示します。ID 送信サイクルでは SSR.MPBT ビットを“1”にして送信してください。データ送信サイクルでは SSR.MPBT ビットを“0”にして送信してください。その他の動作は調歩同期式モードの動作と同じです。

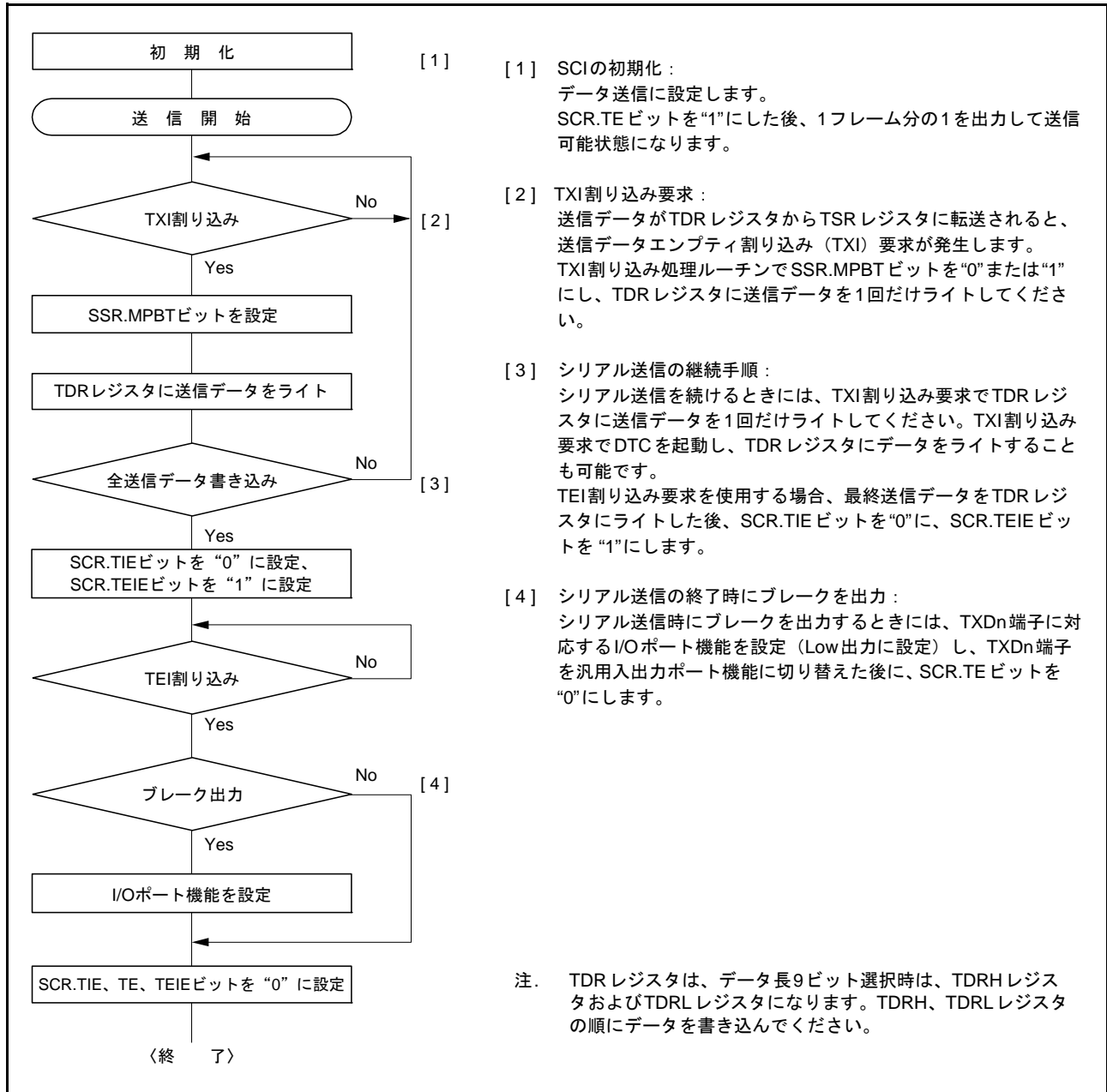


図 25.17 マルチプロセッサシリアル送信のフローチャートの例

25.4.2 マルチプロセッサシリアルデータ受信

図 25.19、図 25.20 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR.MPIE ビットを“1”にするとマルチプロセッサビットが“1”の通信データを受信するまで通信データを読み飛ばします。マルチプロセッサビットが“1”の通信データを受信すると受信データを RDR レジスタ（データ長 9 ビット選択時は RDRH、RDRL レジスタ）に転送します。このとき RXI 割り込み要求が発生します。その他の動作は調歩同期式モードの動作と同じです。

図 25.18 に受信時の動作例を示します。

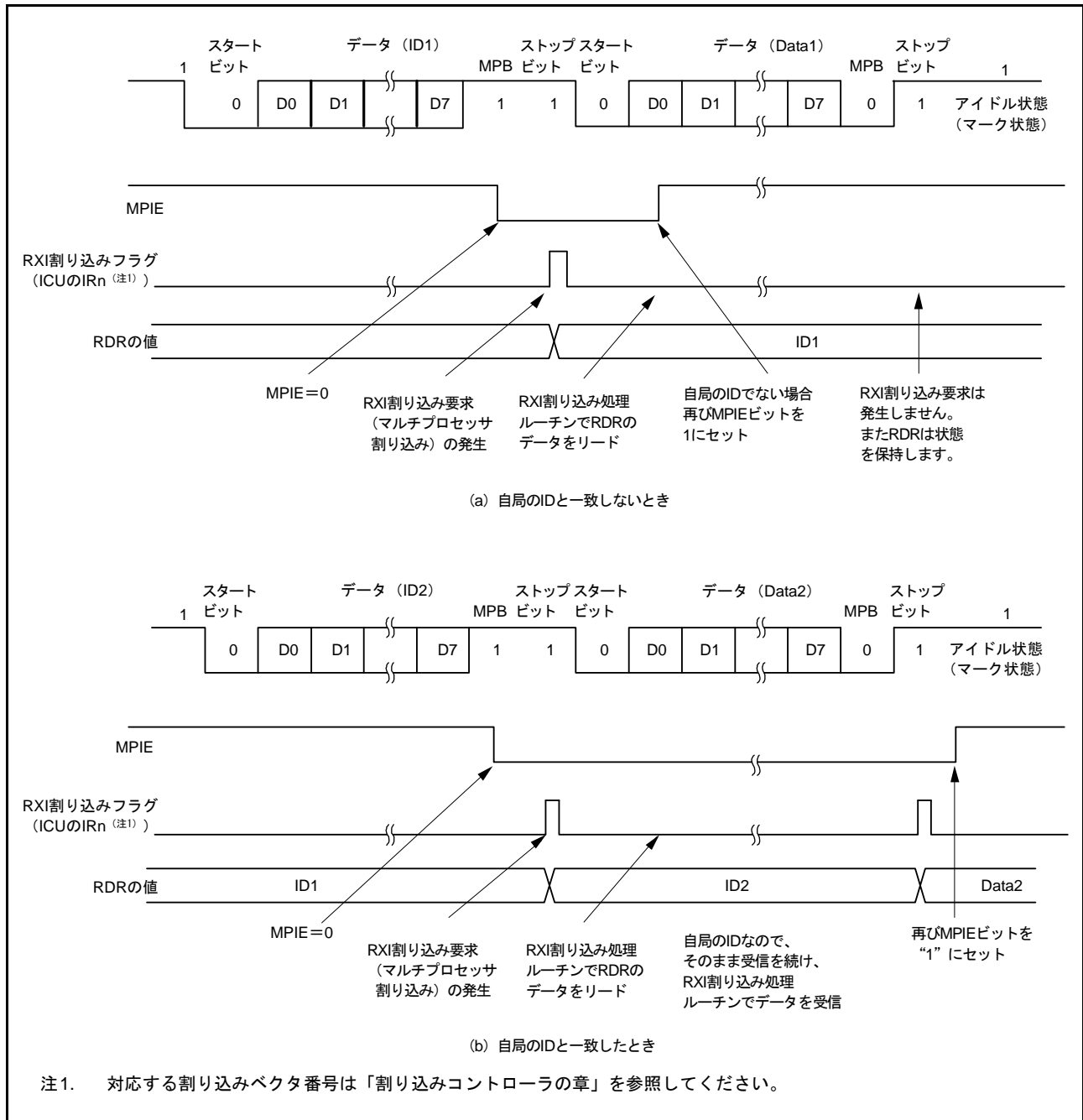


図 25.18 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

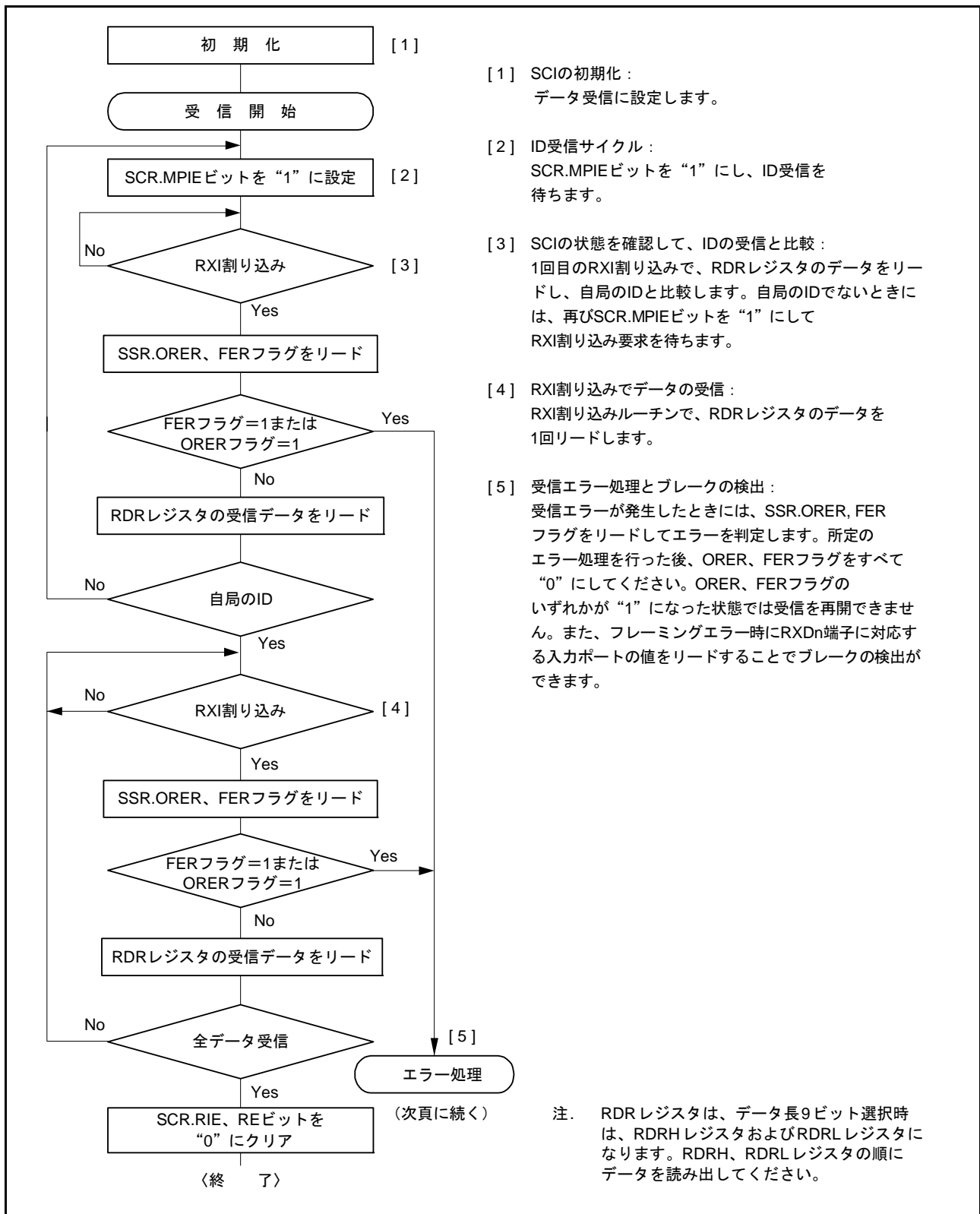


図 25.19 マルチプロセッサシリアル受信のフローチャートの例 (1)

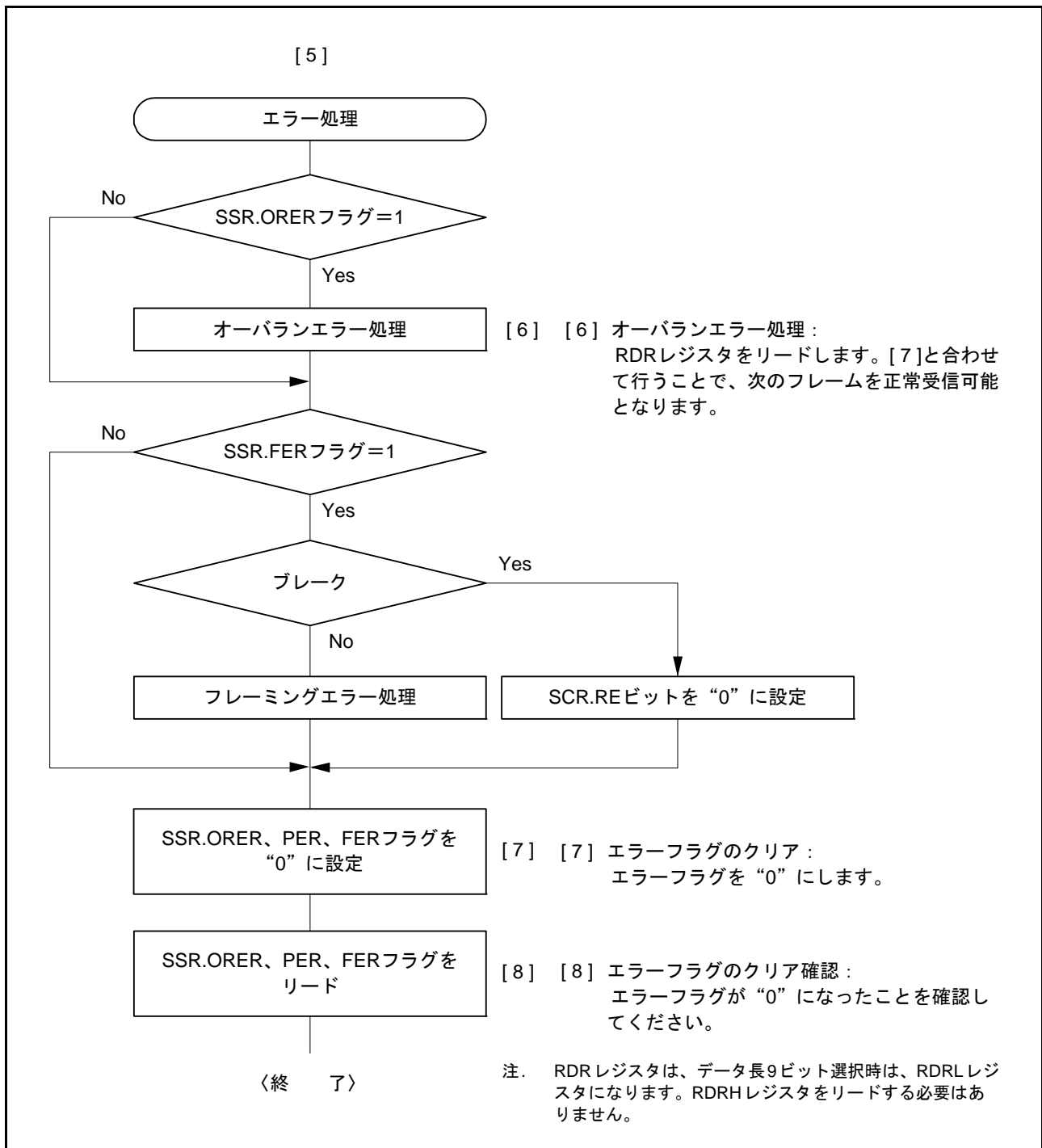


図 25.20 マルチプロセッサシリアル受信のフローチャートの例 (2)

25.5 クロック同期式モードの動作

クロック同期式シリアル通信のデータフォーマットを図 25.21 に示します。

クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの1キャラクタは8ビットデータで構成されます。クロック同期式モードでは、パリティビットの付加はできません。

SCIは、データ送信時は同期クロックの立ち下がりから次の立ち上がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8ビット出力後の通信回線は最終ビット出力状態を保ちます。

SCI内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。また、送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。

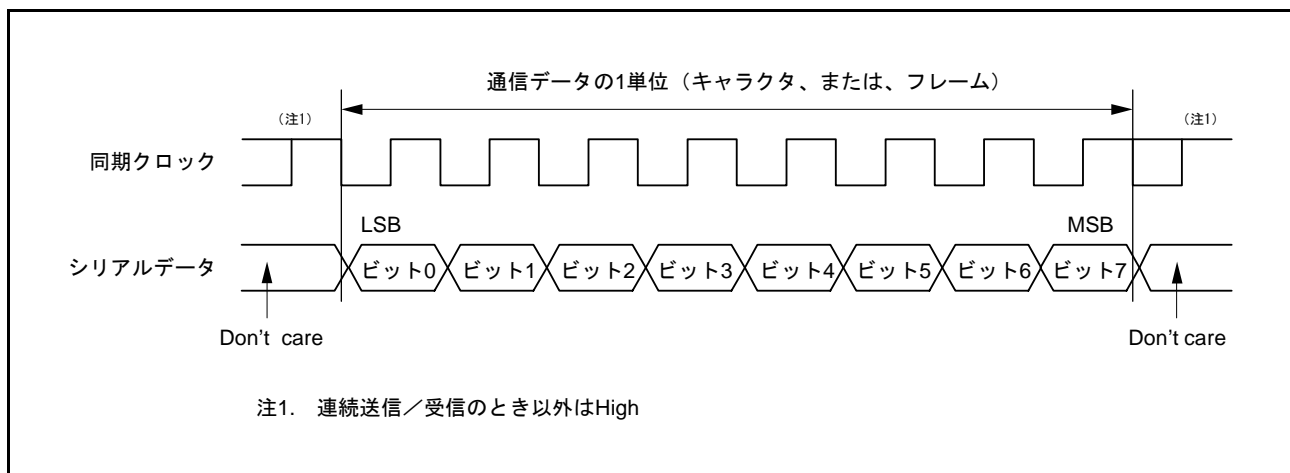


図 25.21 クロック同期式シリアル通信のデータフォーマット (LSB ファーストの場合)

25.5.1 クロック

SCR.CKE[1:0] ビットの設定により、内蔵ボーレートジェネレータが生成する内部クロック、または SCKn 端子から入力される外部同期クロックを選択できます。

内部クロックで動作させるとき、SCKn 端子から同期クロックが出力されます。同期クロックは1キャラクタの送受信で8パルス出力され、送信および受信を行わないときは High に固定されます。ただし、受信動作のみのときは、CTS 機能が無効な場合は SCR.RE ビットを“1”にするとともに同期クロックの出力を開始し、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

受信動作のみでかつ CTS 機能が有効な場合は、SCR.RE ビットが“0”のときに CTSn# 端子入力が High であれば、SCR.RE ビットを“1”にしてもクロック出力を開始しません。SCR.RE ビットを“1”にしかつ CTSn# 端子入力が Low になると同期クロックの出力を開始します。その後、フレームの受信が完了した時点で CTSn# 端子入力が High であれば同期クロック出力を High レベルで停止します。CTSn# 端子入力が Low を継続のときは、オーバランエラーが発生するか、SCR.RE ビットを“0”にすると、同期クロックは High レベルで停止します。

25.5.2 CTS、RTS 機能

CTS 機能は、内部クロック時に CTSn# 端子入力を使用して送受信開始制御を行う機能です。SPMR.CTSE ビット“1”にすると、CTS 機能が有効になります。

CTS 機能が有効のとき、CTSn# 端子入力が Low のときのみ送受信動作を開始します。

RTS 機能は、外部同期クロック時に RTSn# 端子出力を使用して送受信開始要求を行う機能で、シリアル通信が可能な状態になると Low を出力します。Low、High を出力する条件は以下のとおりです。

[Low になる条件]

以下の条件をすべて満たす場合

- SCR.RE ビットまたは SCR.TE ビットが“1”
- 送受信動作中でない
- 読み出し前の受信データがない (SCR.RE ビットが“1”のとき)
- 送信データを書き込み済 (SCR.TE ビットが“1”のとき)
- SSR.ORER フラグが“0”

[High になる条件]

Low になる条件を満たさない場合

25.5.3 SCIの初期化（クロック同期式モード）

データの送受信前に SCR レジスタに初期値 “00h” を書き込み、図 25.22 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更の場合も、SCR レジスタを初期値にしてから変更してください。

SCR.RE ビットを “0” にしても、SSR レジスタの ORER、FER、PER フラグおよび RDR レジスタは初期化されませんので注意してください。

SCR.TE ビットを “1” から “0”、または “0” から “1” にすると、SCR.TIE ビットが “1” の場合、TXI 割り込みが発生しますので注意してください。

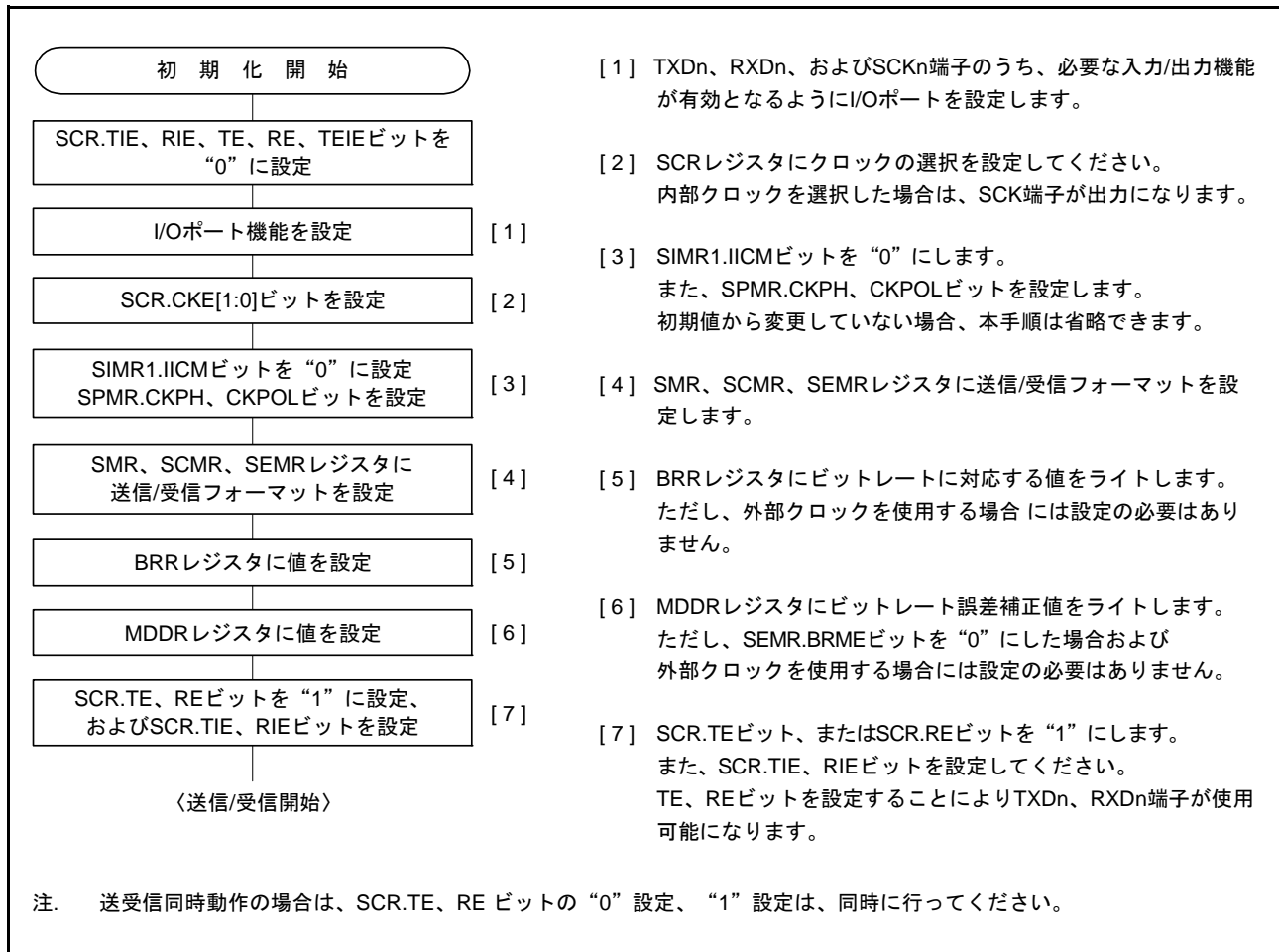


図 25.22 SCIの初期化フローチャートの例（クロック同期式モード）

25.5.4 シリアルデータの送信（クロック同期式モード）

図 25.23、図 25.24、図 25.25 にクロック同期式モードのシリアル送信時の動作例を示します。
シリアルデータの送信時、SCI は以下のように動作します。

1. SCI は TXI 割り込みルーチンにより TDR レジスタにデータが書き込まれると、TDR レジスタから TSR レジスタにデータを転送します。なお、送信開始時の TXI 割り込み要求は、SCR.TIE ビットを“1”にした後に SCR.TE ビットを“1”にするか、1 命令で同時に“1”にすることで発生します。
2. TDR レジスタから TSR レジスタにデータを転送し、送信を開始します。このとき、SCR.TIE ビットが“1”であると、TXI 割り込み要求が発生します。この TXI 割り込み処理ルーチンで、前に転送したデータの送信が終了するまでに TDR レジスタに次の送信データを書き込むことで連続送信が可能です。TEI 割り込み要求を使用する場合、TXI 割り込み要求処理ルーチン内で最終送信データを TDR レジスタにデータを書いた後、SCR.TIE ビットを“0”（TXI 割り込み要求を禁止）に、SCR.TEIE ビットを“1”（TEI 割り込み要求を許可）にします。
3. クロック出力モードにしたときには出力クロックに同期して、外部クロックにしたときには入力クロックに同期して、TXDn 端子から 8 ビットのデータを出力します。出力クロックは、SPMR.CTSE ビットが“1”（CTS 機能許可）のとき、CTS 信号入力 Low になるまで待ってから開始します。
4. 最終ビットを送り出すタイミングで TDR レジスタの更新（書き込み）をチェックします。
5. TDR レジスタが更新されていれば、TDR レジスタから TSR レジスタにデータを転送し、次のフレームの送信を開始します。
6. TDR レジスタが更新されていなければ、SSR.TEND フラグを“1”にし、最終ビット出力状態を保持します。このとき SCR.TEIE ビットが“1”であると、TEI 割り込み要求が発生します。SCKn 端子は High に固定されます。

図 25.26 にシリアル送信のフローチャートの例を示します。

受信エラーフラグ（SSR.ORER, FER, PER）が“1”になった状態では送信を開始しません。送信開始の前に、受信エラーフラグを“0”にしてください。また、受信エラーフラグは SCR.RE ビットを“0”にしただけではクリアされませんので注意してください。

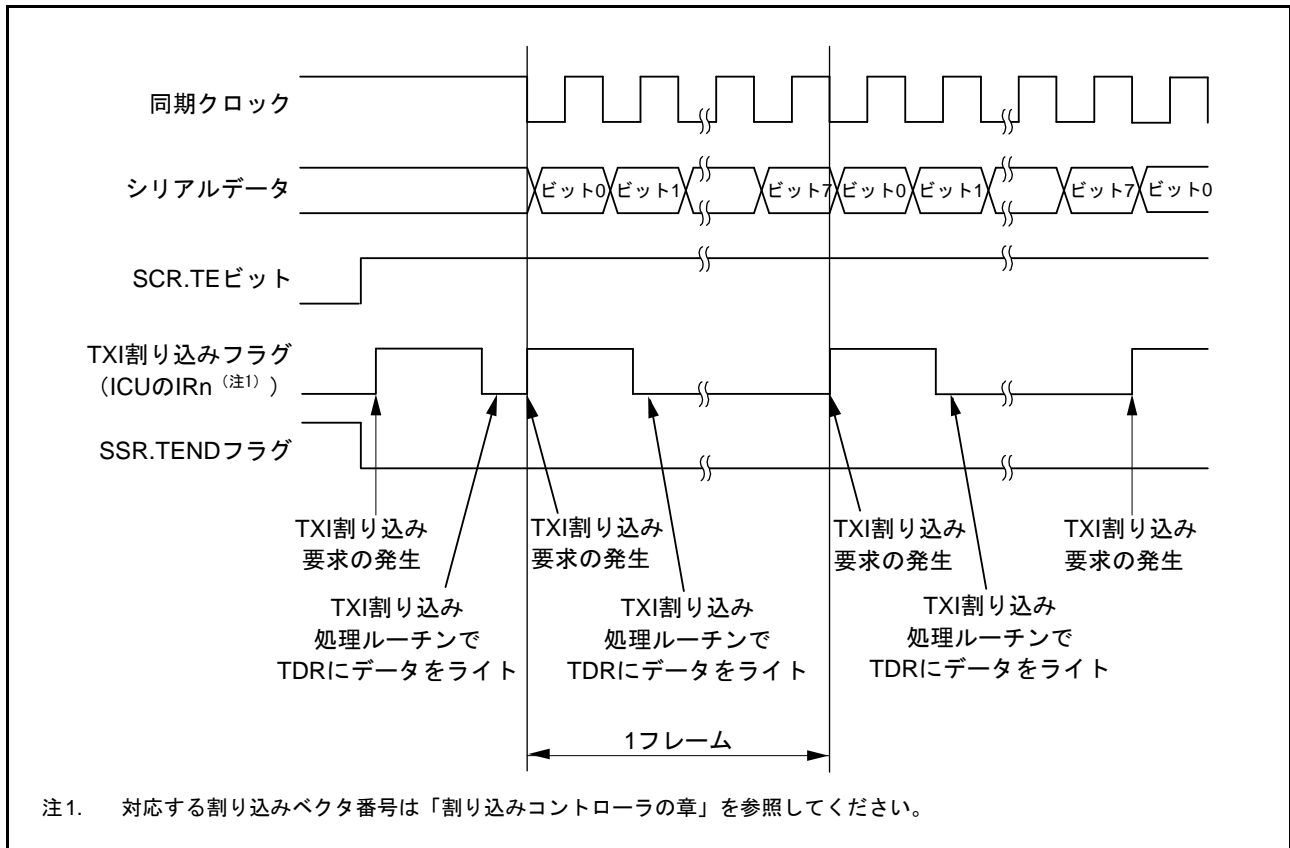


図 25.23 クロック同期式モードのシリアル送信の動作例 (1) (送信開始・CTS 機能使用しない)

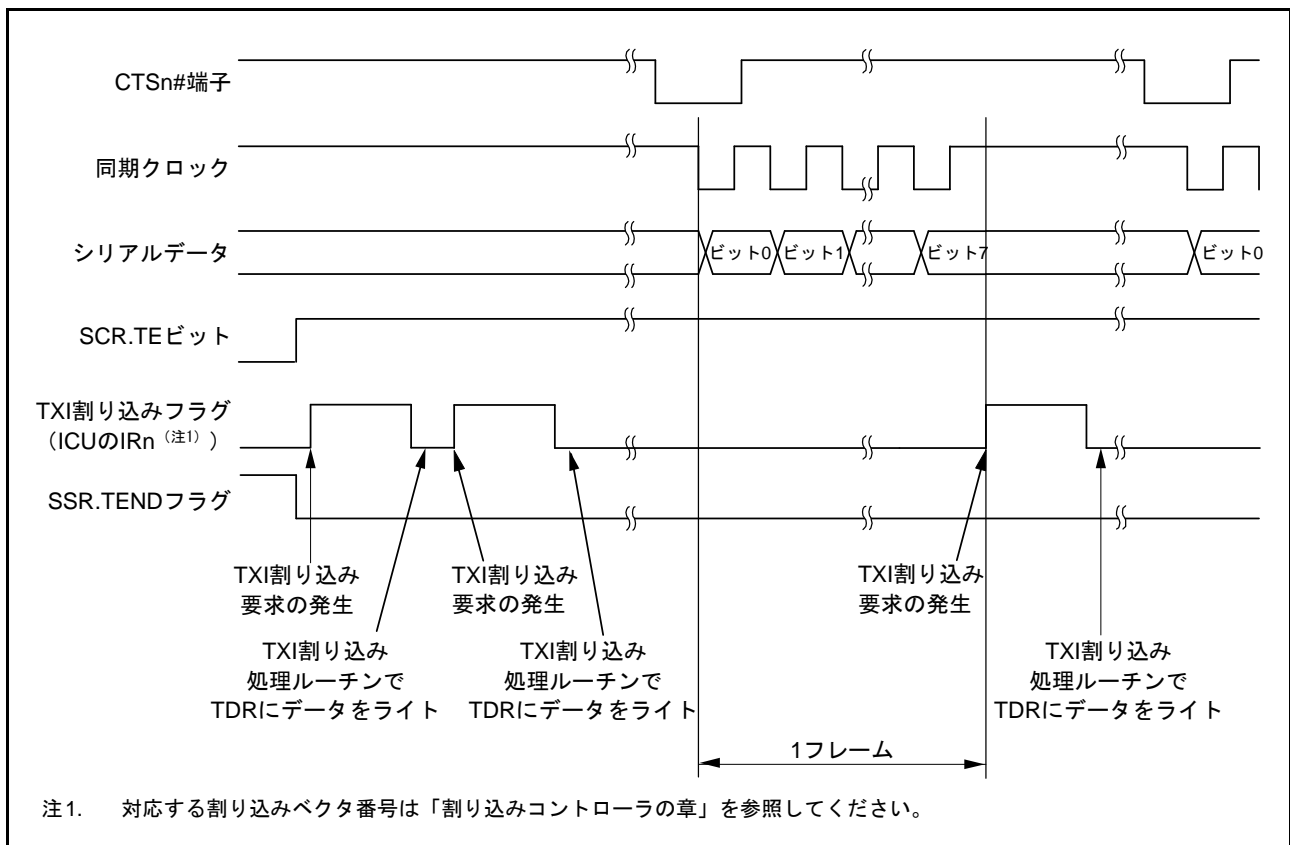


図 25.24 クロック同期式モードのシリアル送信の動作例 (2) (送信開始・CTS 機能使用する)

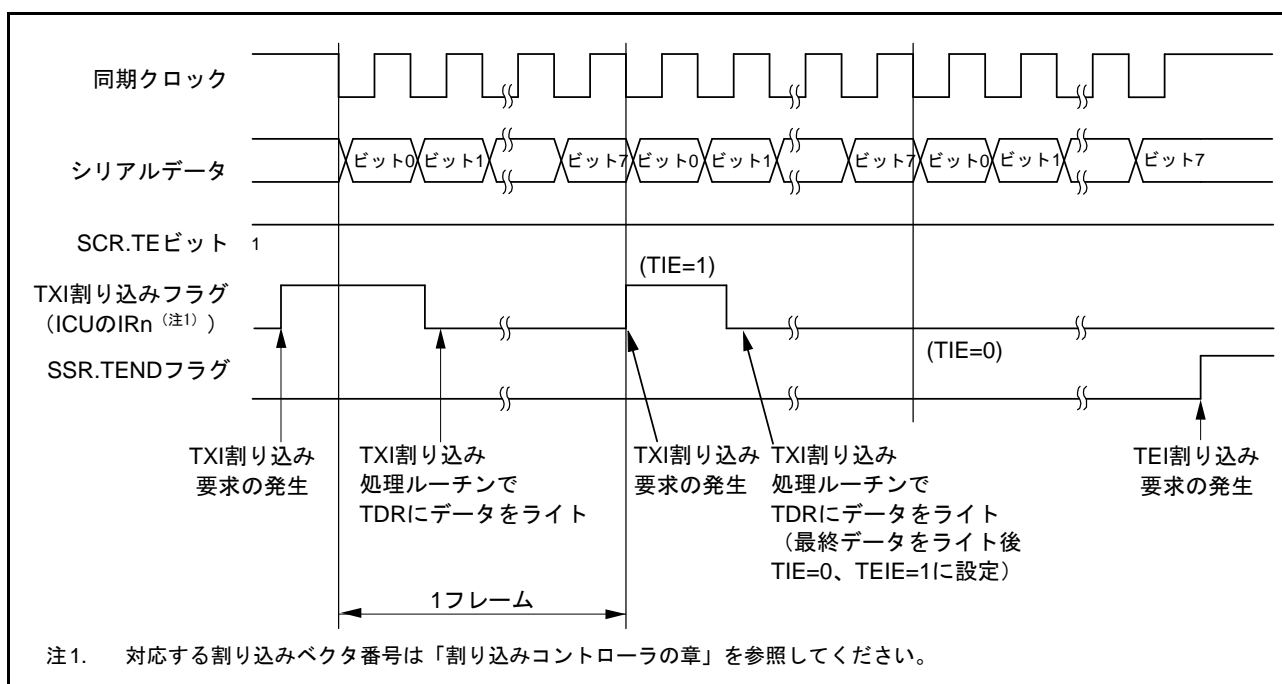


図 25.25 クロック同期式モードのシリアル送信の動作例 (3) (送信中～送信終了時)

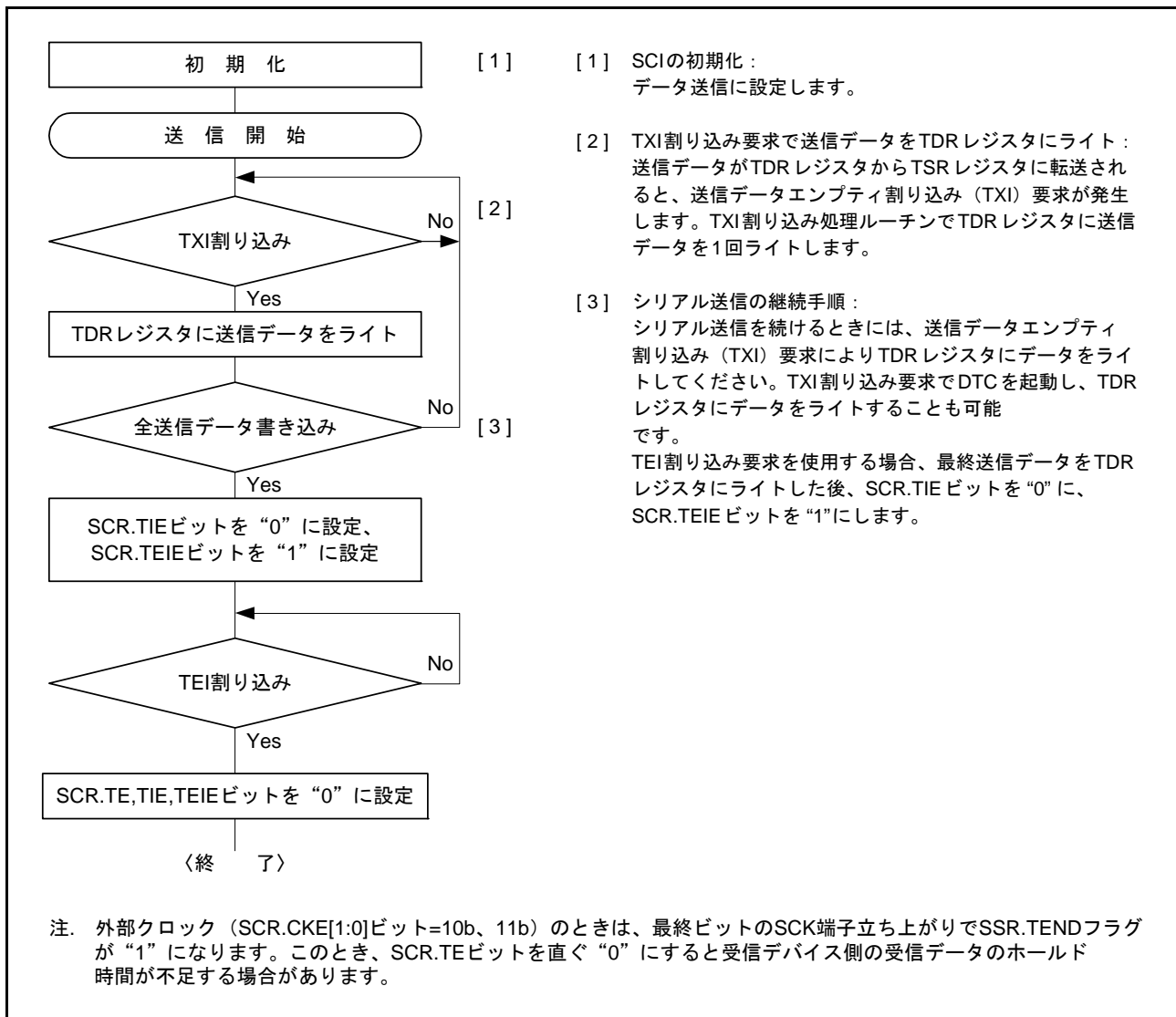


図 25.26 クロック同期式モードのシリアル送信のフローチャート例

25.5.5 シリアルデータの受信（クロック同期式モード）

図 25.27、図 25.28 にクロック同期式モードのシリアル受信時の動作例を示します。
シリアルデータの受信時、SCI は以下のように動作します。

1. SCR.RE ビットが“1”になると、RTSn# 信号出力を Low にします（RTS 機能使用時）。
2. SCI は同期クロックの入力、または出力に同期して内部を初期化して受信を開始し、受信データを RSR レジスタに取り込みます。
3. オーバランエラーが発生したときは、SSR.ORER フラグをセットします。このとき SCR.RIE ビットが“1”であると、ERI 割り込み要求が発生します。受信データは RDR レジスタに転送しません。
4. 正常に受信したときは、受信データを RDR レジスタに転送します。このとき RIE ビットが“1”であると、RXI 割り込み要求が発生します。この RXI 割り込み処理ルーチンで RDR レジスタに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。RDR レジスタに転送された受信データが読み出されると、RTSn# 信号出力を Low にします（RTS 機能使用時）。

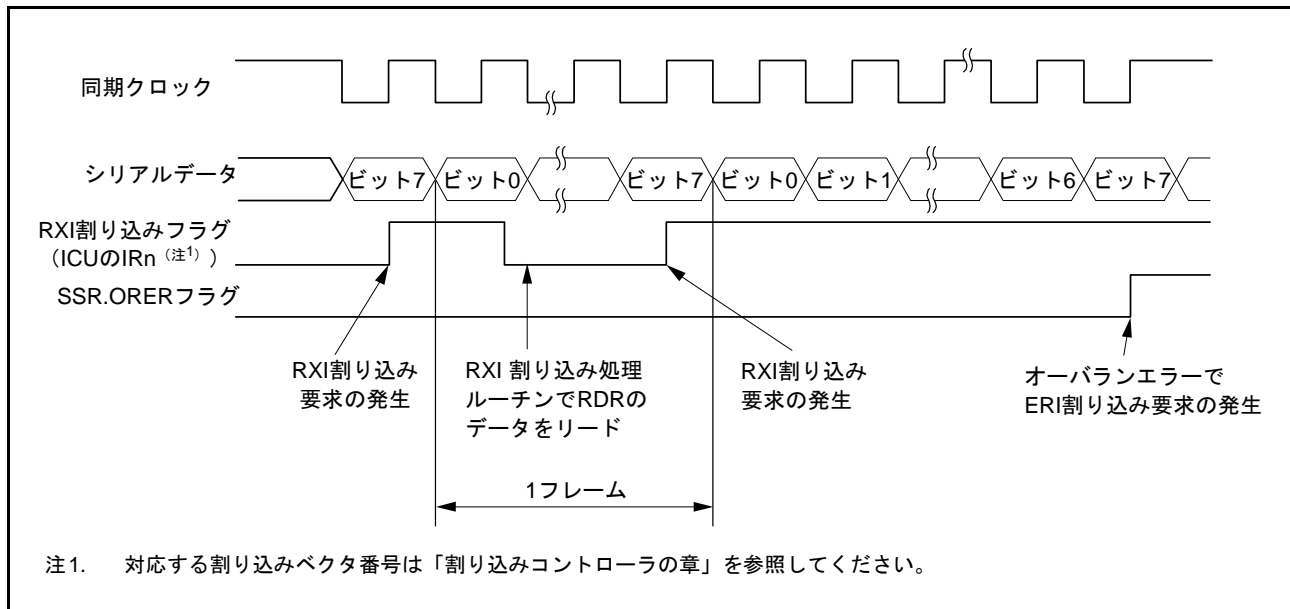


図 25.27 クロック同期式モードのシリアル受信時の動作例（1）（RTS 機能未使用時）

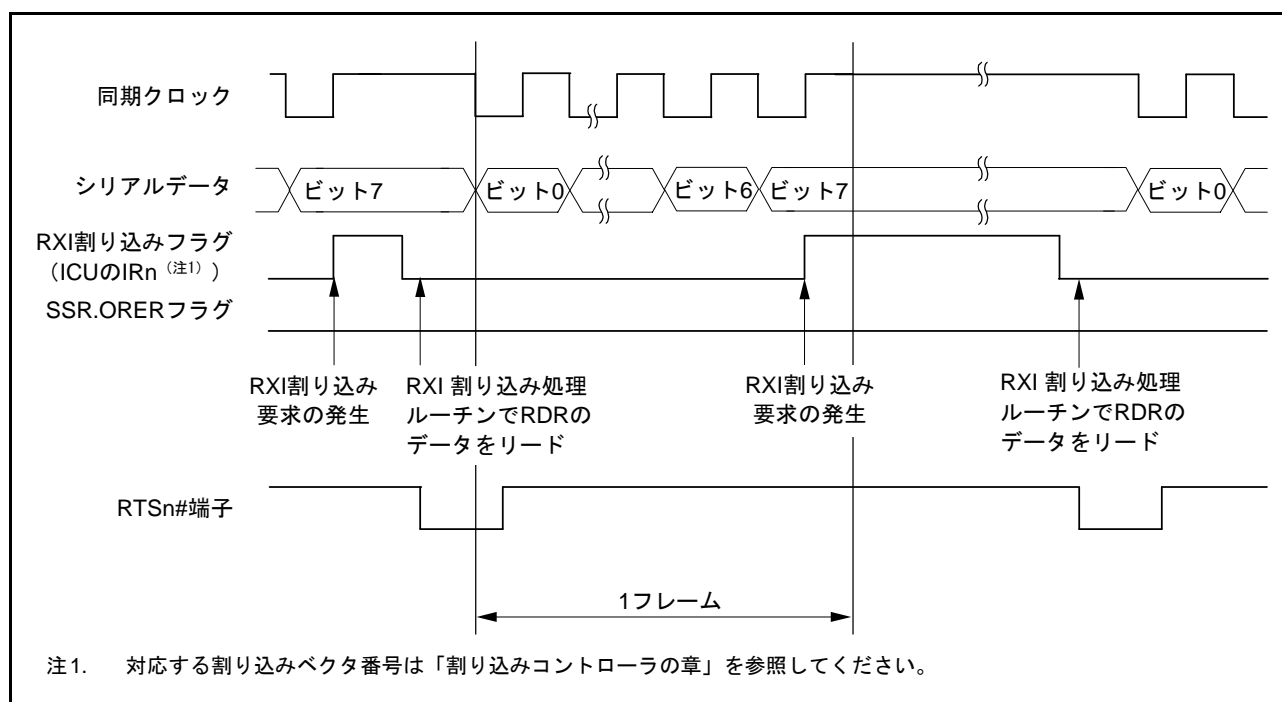


図 25.28 クロック同期式モードのシリアル受信時の動作例 (2) (RTS 機能使用時)

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に SSR レジスタの ORER、FER、PER フラグを“0”にしてください。また、オーバランエラー処理では RDR レジスタをリードしてください。また、受信動作中に SCR.RE ビットを“0”にし受信動作を強制終了した場合、RDR レジスタに読み出し前の受信データが残る場合があるため、RDR レジスタをリードしてください。

図 25.29 にシリアル受信のフローチャートの例を示します。

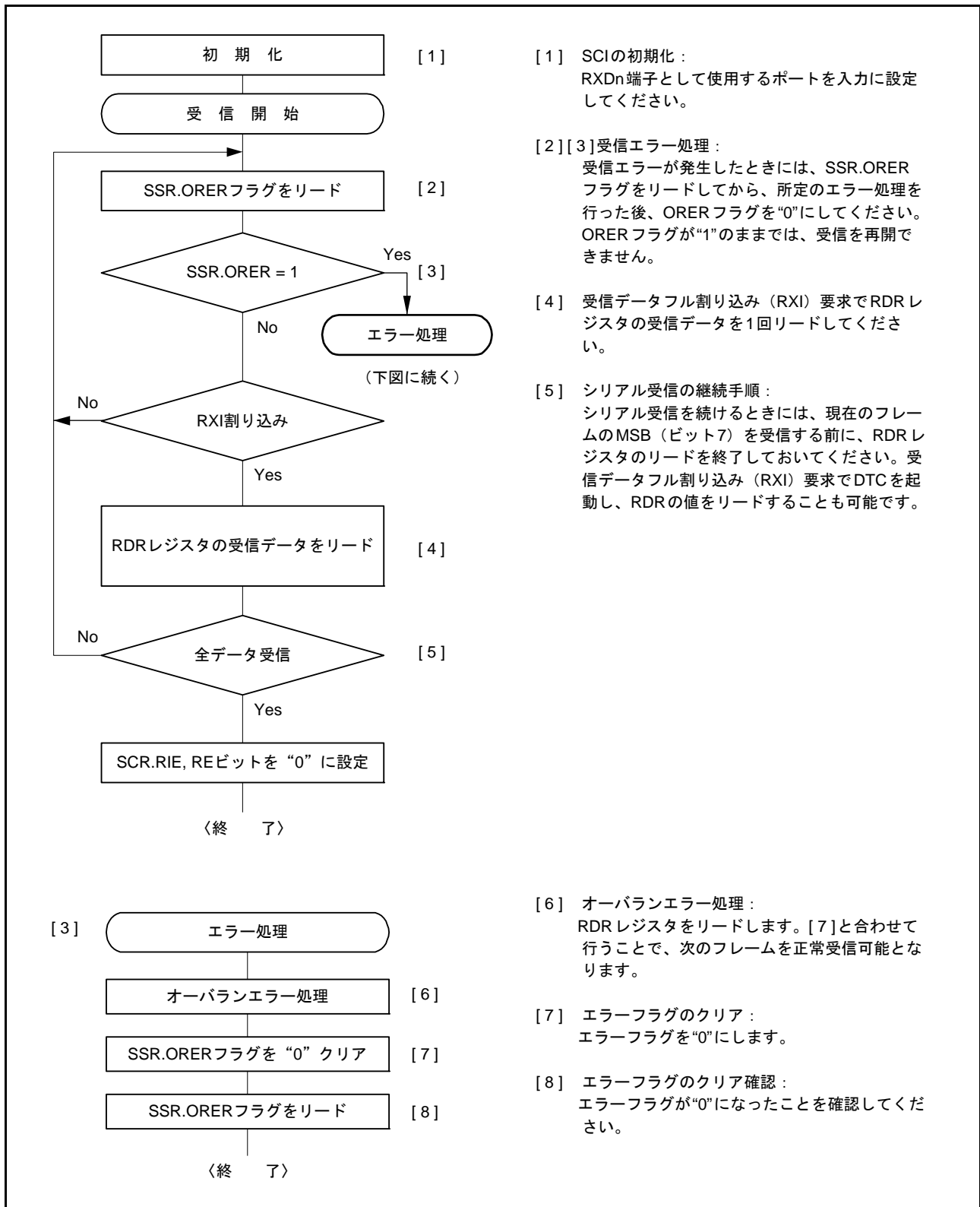


図 25.29 クロック同期式モードのシリアル受信のフローチャート例

25.5.6 シリアルデータの送受信同時動作（クロック同期式モード）

図 25.30 にクロック同期式モードのシリアル送受信同時動作のフローチャートの例を示します。

シリアル送受信同時動作は、SCIの初期化後、以下の手順に従って行ってください。

送信から同時送受信へ切り替えるときには、SCIが送信終了状態であることをSSR.TENDフラグが“1”になっていることで確認してください。その後、SCRレジスタを初期化してからSCRレジスタのTIE、RIE、TE、REビットを1命令で同時に“1”にしてください。

受信から同時送受信へ切り替えるときには、SCIが受信完了状態であることを確認した後、SCRレジスタのRIE、REビットを“0”にしてから、エラーフラグ（SSR.ORER, FER, PER）が“0”であることを確認した後、SCRレジスタのTIE、RIE、TE、REビットを1命令で同時に“1”にしてください。

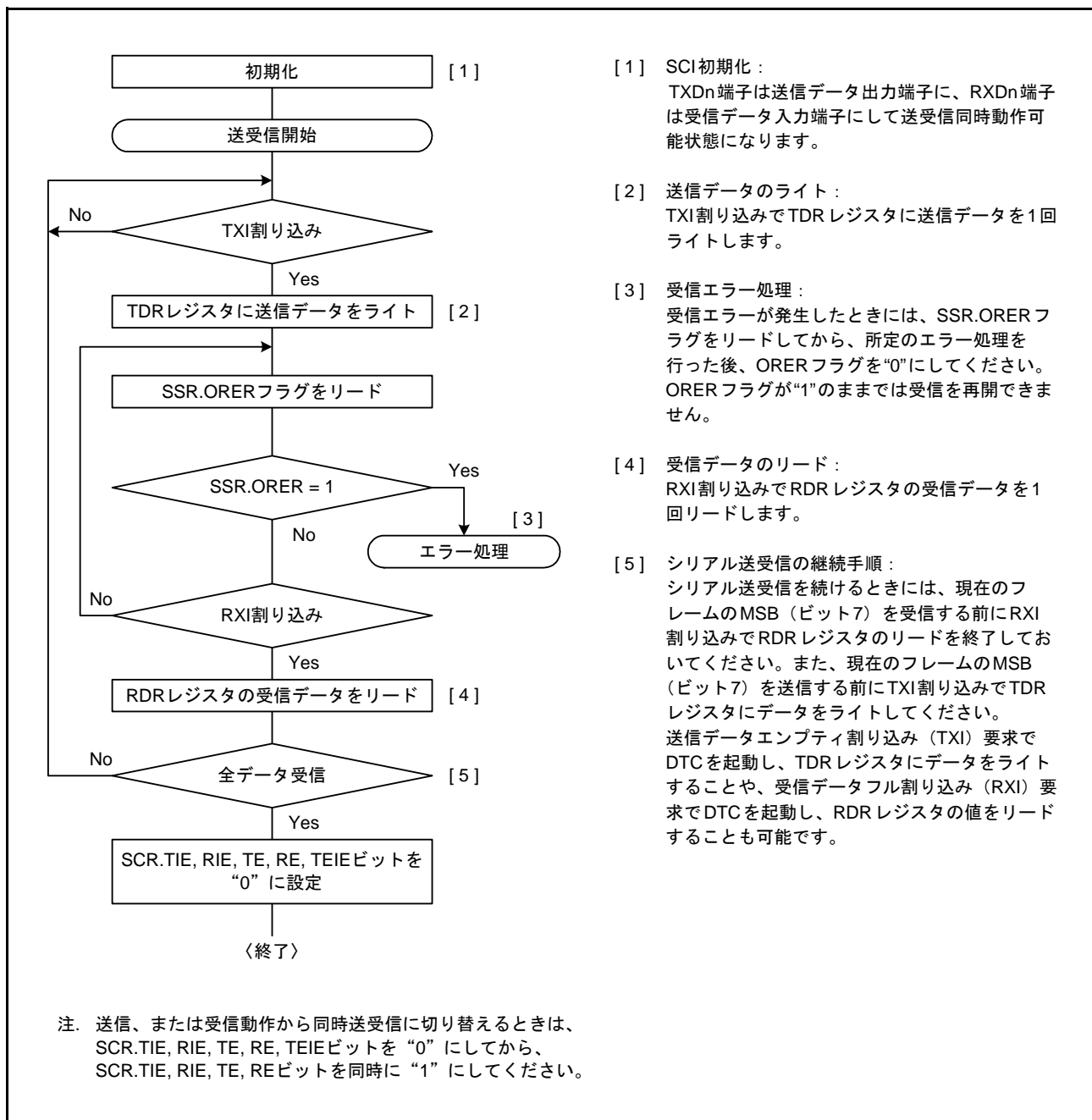


図 25.30 クロック同期式モードのシリアル送受信同時動作のフローチャート例

25.6 スマートカードインタフェースモードの動作

SCIの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースに対応しています。

スマートカードインタフェースモードへの切り替えはレジスタにより行います。

25.6.1 接続例

図 25.31 にスマートカード (IC カード) との接続例を示します。

IC カードとは1本のデータ伝送線で送受信が行われるので、TXDn 端子と RXDn 端子とを結線し、データ伝送線を抵抗で電源 VCC 側にプルアップしてください。

IC カードを接続しない状態で SCR.TE ビット = 1、SCR.RE ビット = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。

SCI で生成するクロックを IC カードに供給する場合は、SCKn 端子出力を IC カードの CLK 端子に入力してください。

リセット信号の出力には本 MCU の出力ポートを使用できます。

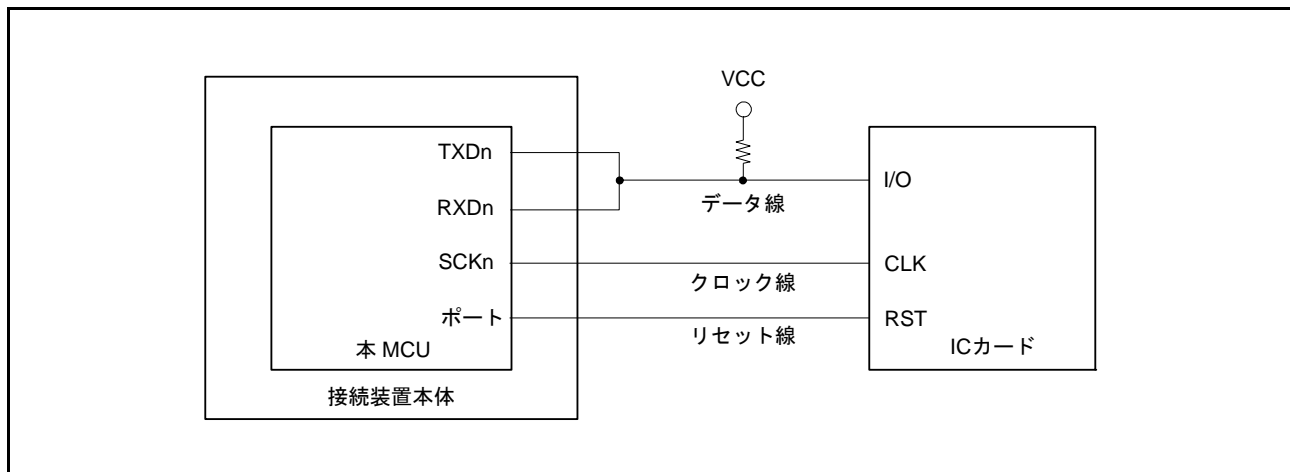


図 25.31 スマートカード (IC カード) との接続例

25.6.2 データフォーマット (ブロック転送モード時を除く)

図 25.32 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1 フレームは 8 ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで 2 etu (Elementary Time Unit : 1 ビットの転送期間) 以上のガードタイムをおきます。
- 受信時にパリティエラーを検出した場合、スタートビットから 10.5 etu 経過後、エラーシグナル (Low) を 1 etu 期間出力します。
- 送信時にエラーシグナルをサンプリングすると、2 etu 以上経過後、自動的に同じデータを再送信します。

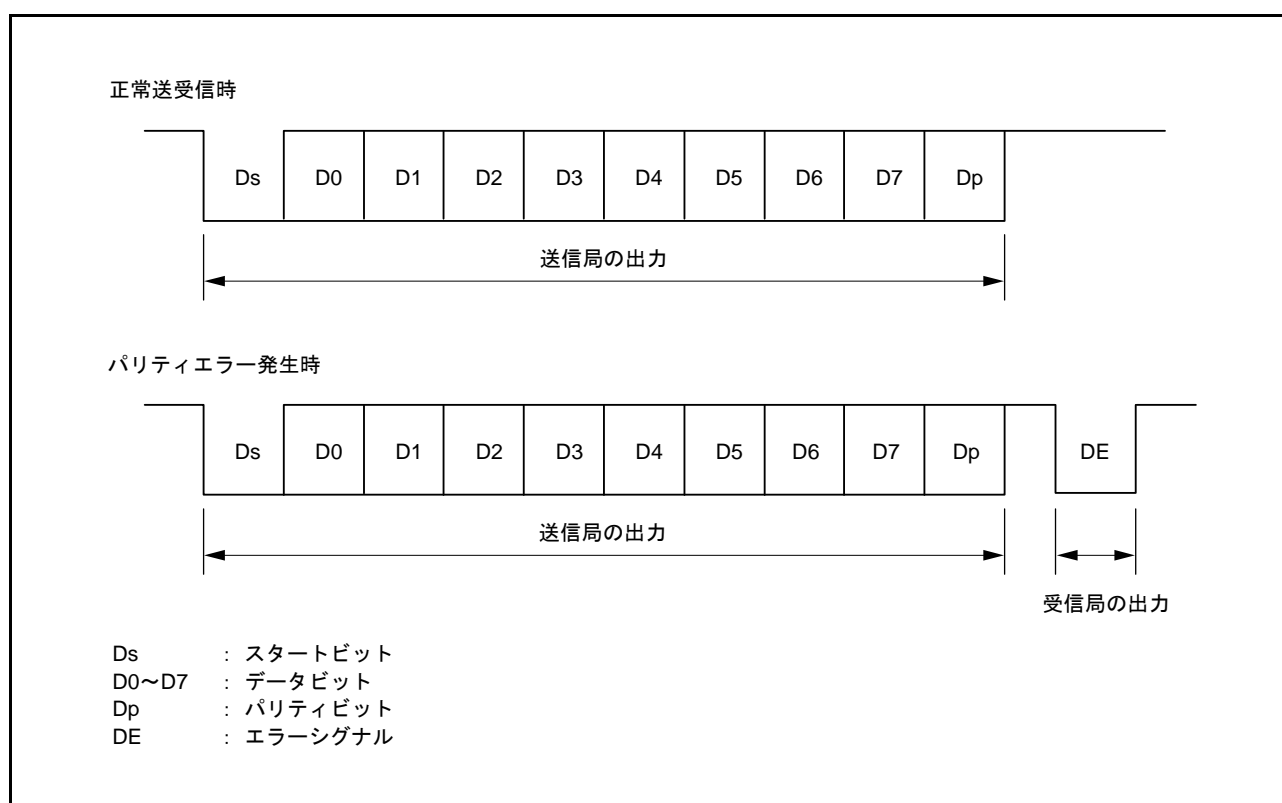


図 25.32 スマートカードインタフェースモードのデータフォーマット

ダイレクトコンベンションタイプと、インバースコンベンションタイプの2種類のICカードとの送受信は、以下のように行ってください。

(1) ダイレクトコンベンションタイプ

ダイレクトコンベンションタイプは、**図 25.33** に示す開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。**図 25.33** の開始キャラクタでは、データは“3Bh”となります。

ダイレクトコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“0”にしてください。また、スマートカードの規定により偶数パリティとなるよう SMR.PM ビットには“0”を設定してください。

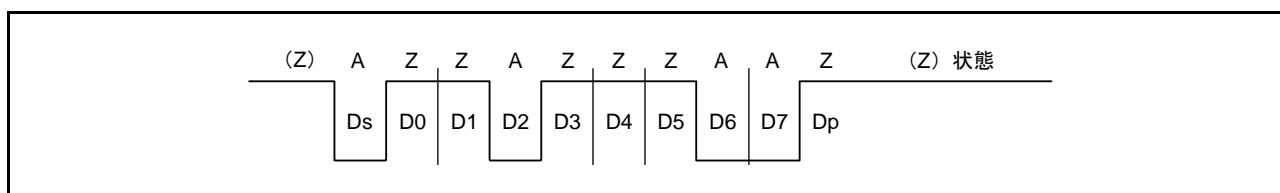


図 25.33 ダイレクトコンベンション
(SCMR.SDIR ビット = 0、SCMR.SINV ビット = 0、SMR.PM ビット = 0)

(2) インバースコンベンションタイプ

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。**図 25.34** の開始キャラクタでは、データは“3Fh”となります。

インバースコンベンションタイプでは、SCMR レジスタの SDIR、SINV ビットをともに“1”にしてください。パリティビットはスマートカードの規定により偶数パリティで論理 0 となり、状態 Z が対応します。

本 MCU では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR.PM ビットに“1”を設定してパリティビットを反転させてください。

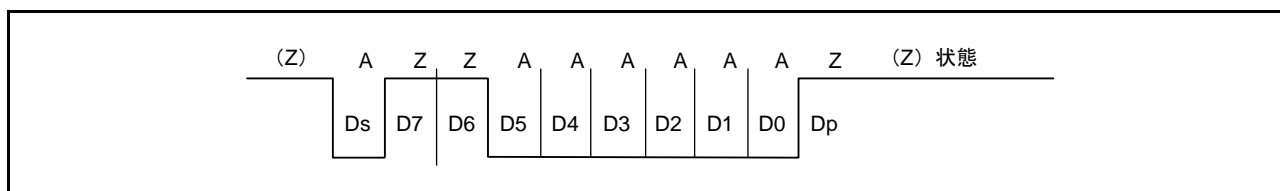


図 25.34 インバースコンベンション
(SCMR.SDIR ビット = 1、SCMR.SINV ビット = 1、SMR.PM ビット = 1)

25.6.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースモードと比較して以下の点が異なります。

- 受信時にパリティチェックを行います。エラーを検出してもエラーシグナルは出力しません。
SSR.PER フラグはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から、次のフレーム開始までのガードタイムは最小 1 etu 以上です。
- 再送信を行わないため、SSR.TEND フラグは送信開始から 11.5 etu 後にセットされます。
- SSR.ERS フラグは通常のスマートカードインタフェースモードと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため“0”となります。

25.6.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースモードで使用できる送受信クロックは、内蔵ボーレートジェネレータの生成した内部クロックのみです。

スマートカードインタフェースモードでは、SCIはSCMR.BCP2ビット、SMR.BCP[1:0]ビットの設定により、ビットレートの32倍、64倍、372倍、256倍、93倍、128倍、186倍、512倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。

受信時は、スタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、**図 25.35**に示すように、受信データを基本クロックのそれぞれ16、32、186、128、46、64、93、256サイクルの立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \text{ [%]}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N = 32, 64, 372, 256)
- D : クロックデューティ (D = 0 ~ 1.0)
- L : フレーム長 (L = 10)
- F : クロック周波数の偏差の絶対値

上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。

$$M = \{ 0.5 - 1/(2 \times 372) \} \times 100 \text{ [%]} = 49.866 \text{ [%]}$$

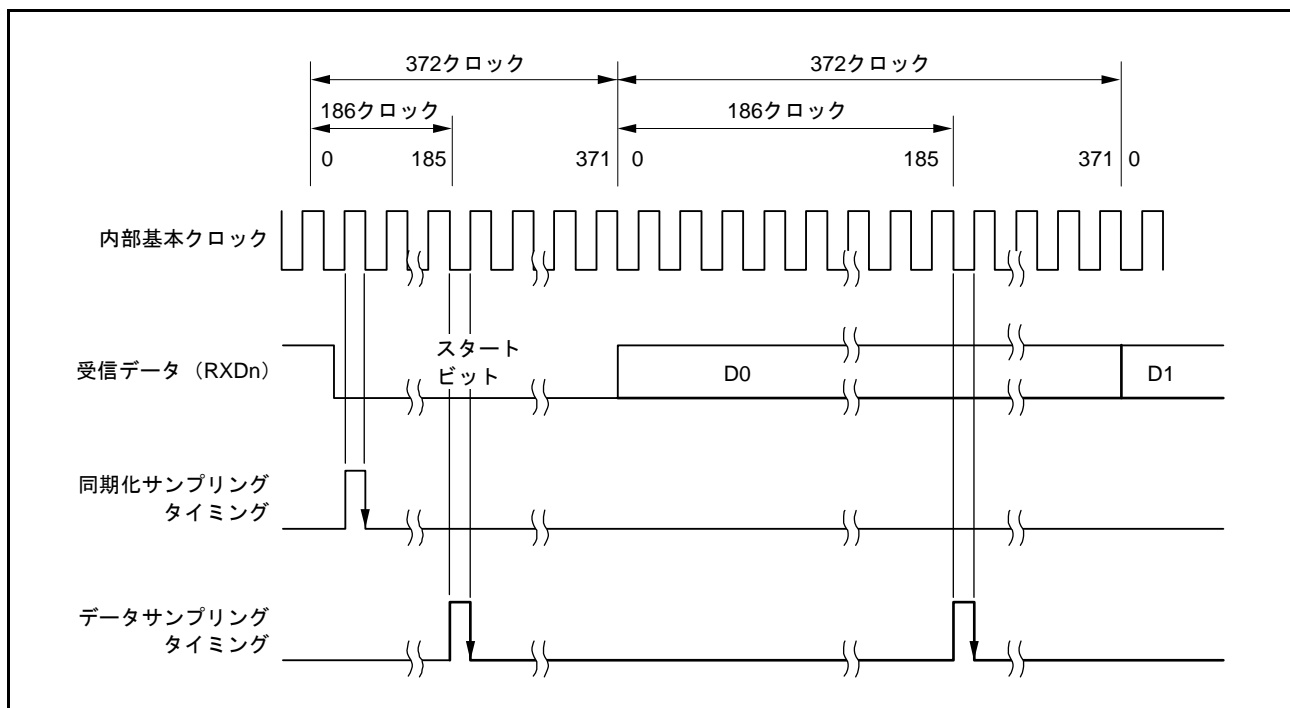


図 25.35 スマートカードインタフェースモード時の受信データサンプリングタイミング (372倍のクロック使用時)

25.6.5 SCIの初期化（スマートカードインタフェースモード）

図 25.36 のフローチャートの例に従って初期化してください。

送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化してから変更してください。なお、RE ビットを“0”にしても RDR レジスタは初期化されません。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、TE ビット = 1、RE ビット = 0 に設定してください。受信動作の完了は、RXI 割り込み要求、SSR.ORER フラグ、あるいは SSR.PER フラグで確認できます。

送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE ビット = 0、RE ビット = 1 に設定してください。送信動作の完了は SSR.TEND フラグで確認できます。

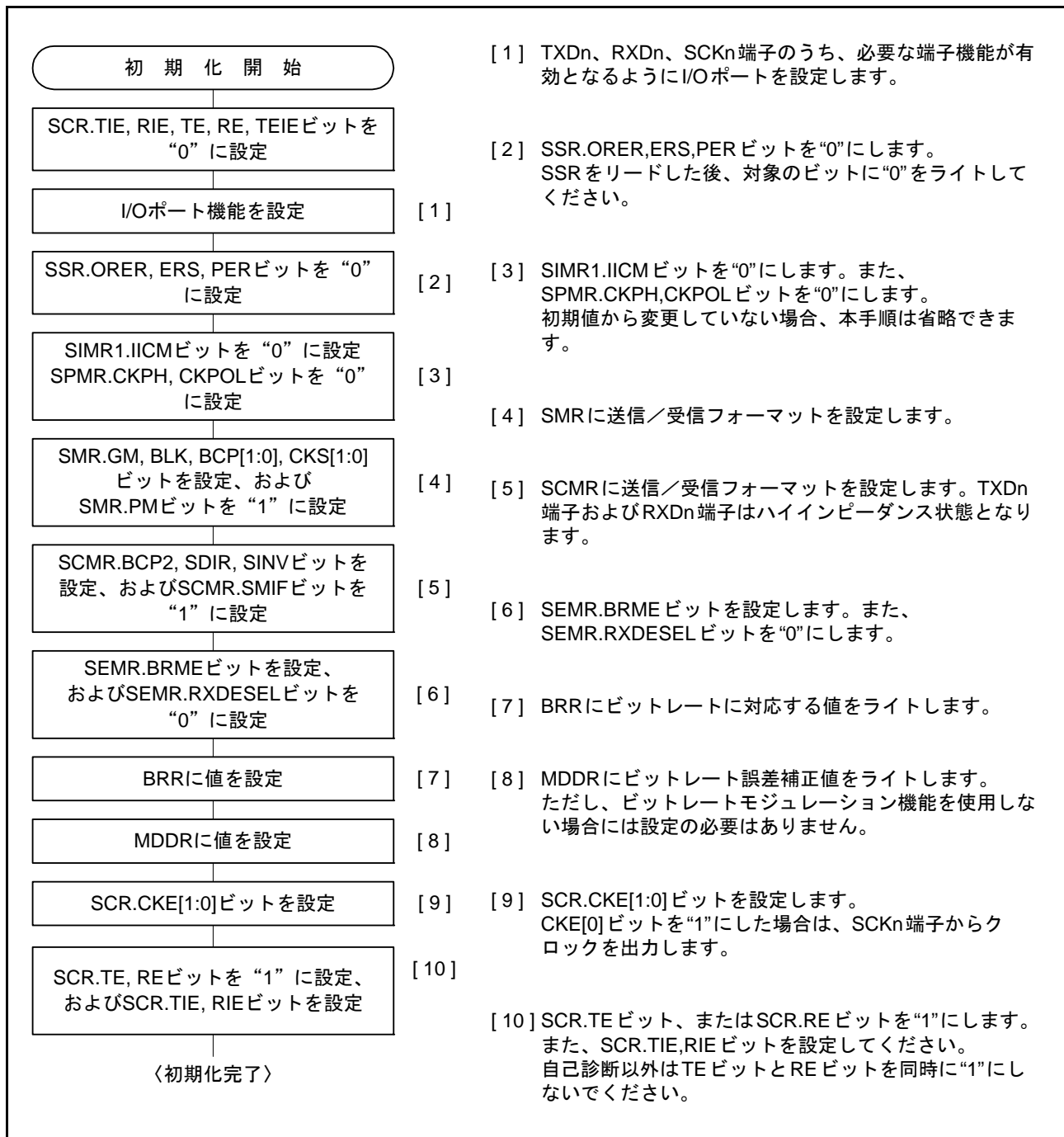


図 25.36 SCIの初期化フローチャートの例 (スマートカードインタフェースモード)

25.6.6 シリアルデータの送信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル送信は、エラーシグナルのサンプリングと再送信処理があるため、非スマートカードインタフェースモードとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 25.37 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングすると **SSR.ERS** フラグが“1”になります。このとき **SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングまでに **ERS** フラグをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、**SSR.TEND** フラグはセットされません。**TDR** レジスタから **TSR** レジスタに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、**ERS** フラグはセットされません。
- 4 再転送を含む 1 フレームの送信が完了したと判断して、**SSR.TEND** フラグがセットされます。このとき、**SCR.TIE** ビットが“1”であれば、**TXI** 割り込み要求が発生します。送信データを **TDR** レジスタに書き込むことにより次のデータが送信されます。

シリアル送信のフローチャートの例を図 25.39 に示します。これらの一連の処理は、**TXI** 割り込み要因によって **DTC** を起動することで自動的に行うことができます。

送信動作では、**SCR.TIE** ビットを“1”にしておくと、**SSR.TEND** フラグが“1”になったときに **TXI** 割り込み要求が発生します。あらかじめ **DTC** の起動要因に **TXI** 割り込み要求を設定しておけば、**TXI** 割り込み要求により **DTC** が起動されて送信データの転送を行います。**TEND** フラグは、**DTC** によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は **SCI** が自動的に同じデータを再送信します。この間、**TEND** フラグは“0”のまま保持され、**DTC** は起動されません。したがって、エラー発生時の再送信を含め、**SCI** と **DTC** が指定されたバイト数を自動的に送信します。ただし、エラー発生時、**ERS** フラグは自動的にクリアされませんので、**RIE** ビットを“1”にしておき、エラー発生時に **ERI** 割り込み要求を発生させ、**ERS** フラグをクリアしてください。

なお、**DTC** を使って送受信を行う場合は、先に **DTC** を設定し、許可状態にしてから **SCI** の設定を行ってください。

DTC の設定方法は「17. データトランスファコントローラ (DTCa)」を参照してください。

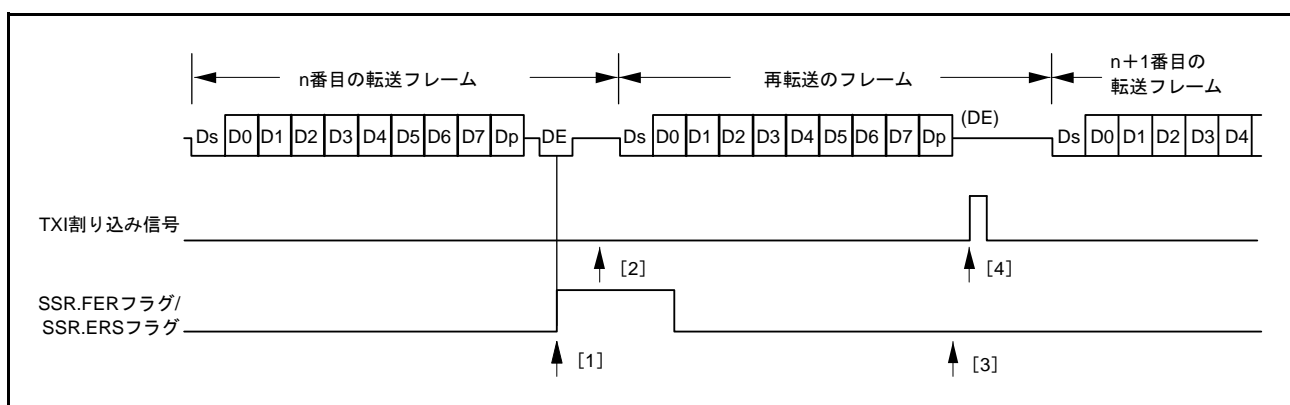


図 25.37 SCI 送信モードの場合の再転送動作（送信時の再転送動作）

なお、SMR.GM ビットの設定により、SSR.TEND フラグのセットタイミングが異なります。図 25.38 に TEND フラグ発生タイミングを示します。

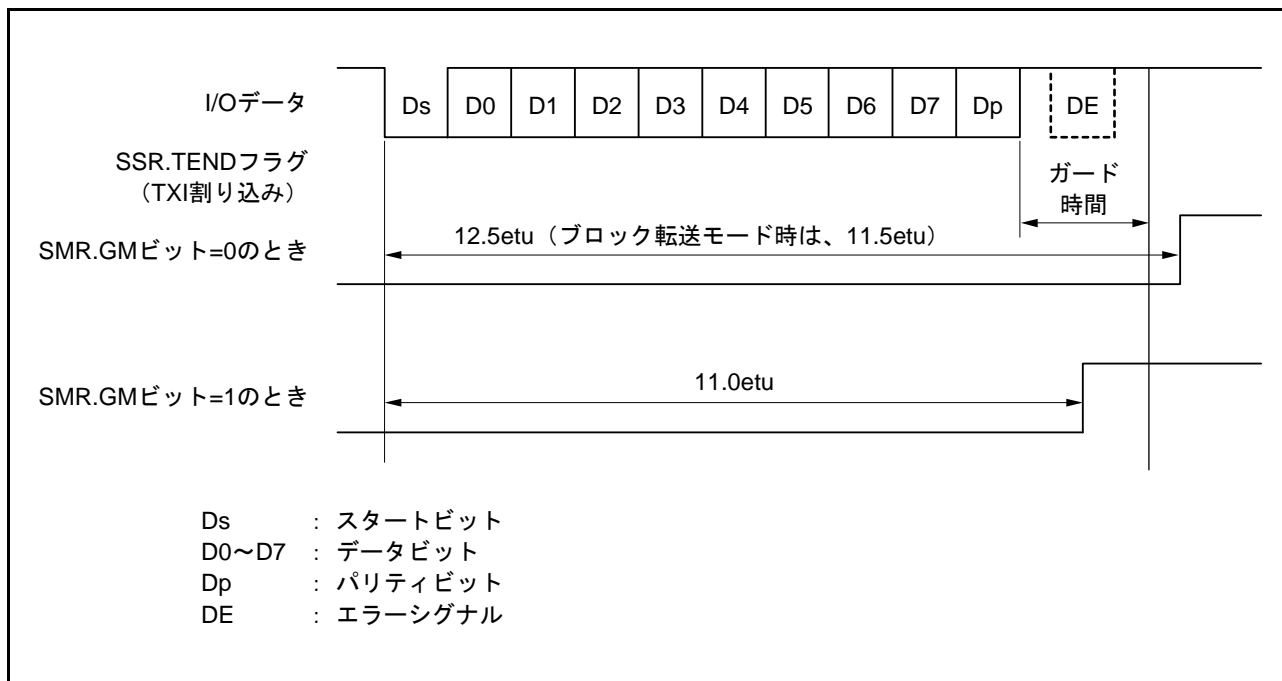


図 25.38 送信時の SSR.TEND フラグの発生タイミング

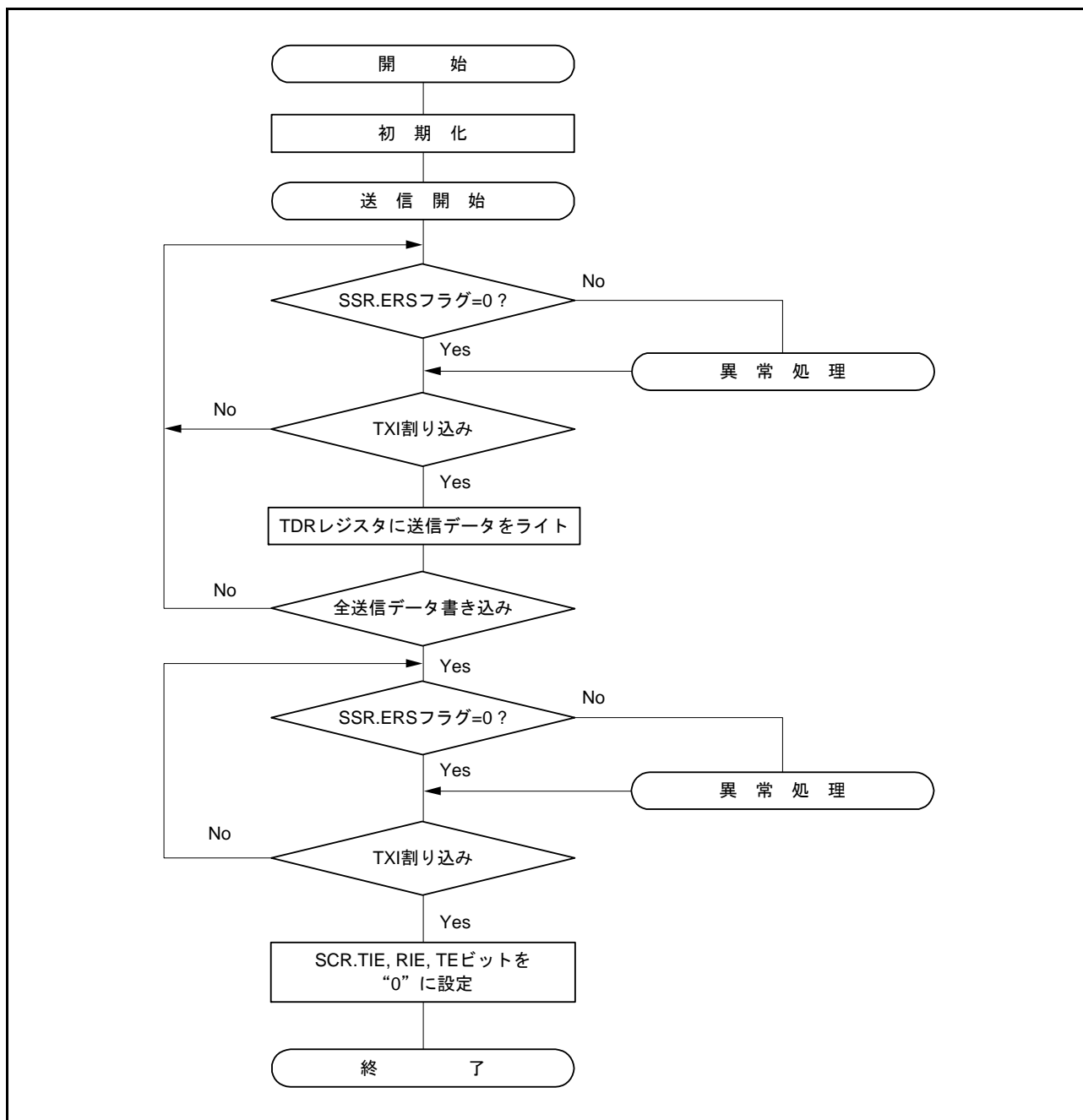


図 25.39 スマートカードインタフェース送信のフローチャート例

25.6.7 シリアル受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるシリアル受信は、非スマートカードインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 25.40 に示します。

1. 受信データにパリティエラーを検出すると **SSR.PER** フラグが“1”になります。このとき、**SCR.RIE** ビットが“1”であると、**ERI** 割り込み要求が発生します。次のパリティビットのサンプリングタイミングまでに **PER** フラグをクリアしてください。
2. パリティエラーを検出したフレームでは **RXI** 割り込みは発生しません。
3. パリティエラーが検出されない場合は、**SSR.PER** フラグはセットされません。
4. 正常に受信を完了したと判断して、**RIE** ビットが“1”であれば、**RXI** 割り込み要求を生成します。

シリアル受信のフローチャートの例を図 25.41 に示します。これらの一連の処理は、**RXI** 割り込み要求によって **DTC** を起動することで自動的に行うことができます。

受信動作では、**RIE** ビットを“1”にしておくと、**RXI** 割り込み要求が発生します。あらかじめ **DTC** の起動要因に **RXI** 割り込み要求を設定しておけば、**RXI** 割り込み要求により **DTC** が起動されて受信データの転送を行います。

また、受信時にエラーが発生し **SSR** レジスタの **ORER**、**PER** フラグのいずれかが“1”になると、受信エラー割り込み（**ERI**）要求が発生しますのでエラーフラグをクリアしてください。エラーが発生した場合は **DTC** は起動されず、受信データはスキップされるため **DTC** に設定したバイト数だけ受信データを転送します。

なお、受信時にパリティエラーが発生し **PER** フラグが“1”になった場合でも、受信したデータは **RDR** レジスタに転送されるのでこのデータをリードすることは可能です。また、受信動作中に **SCR.RE** ビットを“0”にし受信動作を強制終了した場合、**RDR** レジスタに読み出し前の受信データが残る場合があるため、**RDR** レジスタをリードしてください。

注． ブロック転送モードの場合は、「25.3 調歩同期式モードの動作」を参照してください。

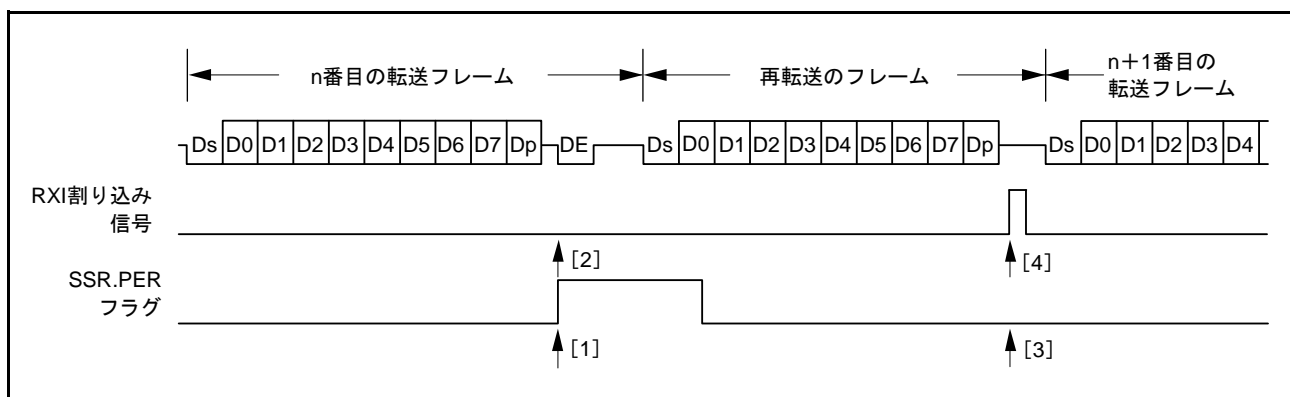


図 25.40 SCI 受信モードの場合の再転送動作（受信時の再転送動作）

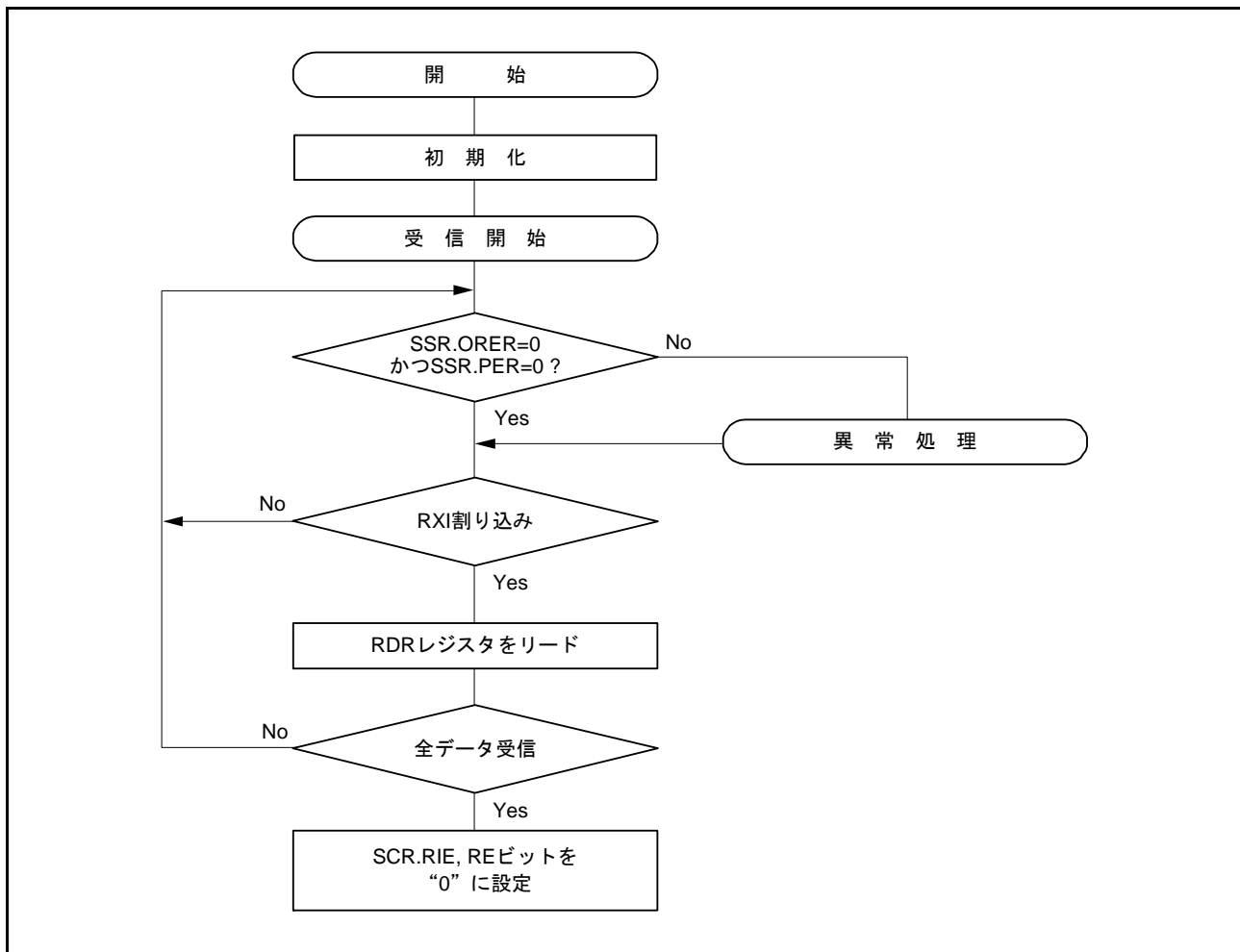


図 25.41 スマートカードインタフェース受信のフローチャート例

25.6.8 クロック出力制御

SMR.GM ビットが“1”であるとき、SCR.CKE[1:0] ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 25.42 にクロック出力の固定タイミングを示します。GM ビット=1、CKE[1] ビット=0 とし、CKE[0] ビットを制御した場合の例です。

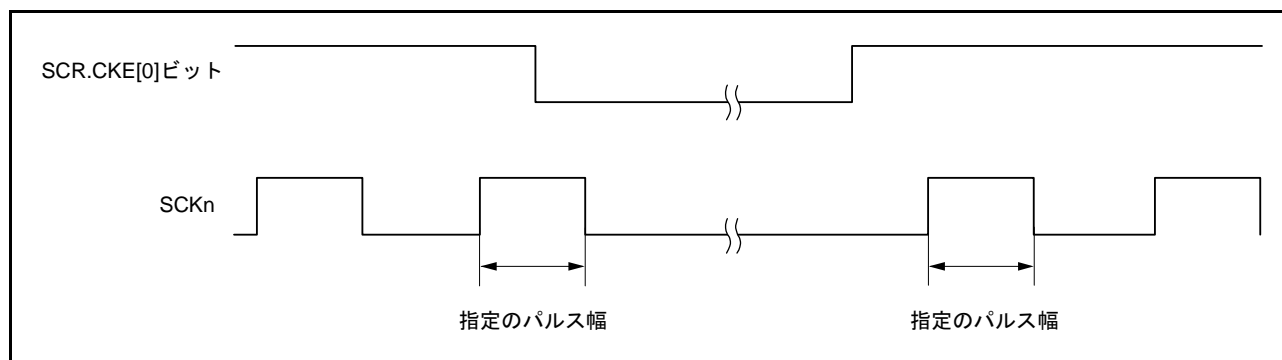


図 25.42 クロック出力固定タイミング

電源投入時は、クロックのデューティを確保するため、以下の手順で処理してください。

(1) 電源投入時

電源投入時からクロックデューティを確保するため、以下の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCR.CKE[1] ビットおよび I/O ポート機能を設定し、SCKn 端子を指定の出力に固定してください。
3. SMR レジスタと SCMR レジスタを設定し、スマートカードインタフェースモードの動作に切り替えてください。
4. SCR.CKE[0] ビットを“1”にして、クロック出力を開始させてください。

25.7 簡易 I²C モードの動作

簡易 I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジから構成されます。開始条件および再開条件に続くフレームはスレーブアドレスフレームで、マスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブデバイスは新たにスレーブデバイスが指定されるか、停止条件まで有効です。各フレーム中の 8 ビットのデータは、**MSB** から順に送信されます。

図 25.43 に I²C バスフォーマットを、図 25.44 に I²C バスタイミングを示します。

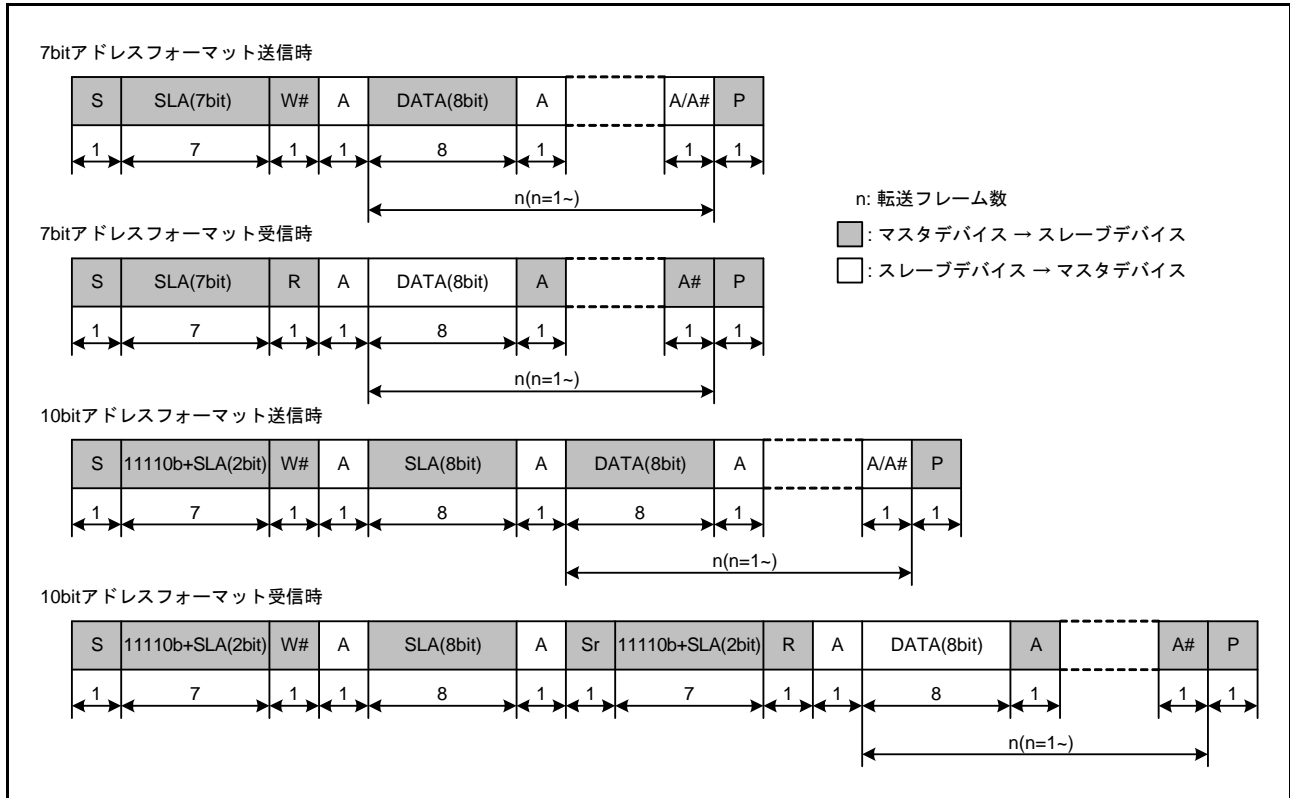


図 25.43 I²C バスフォーマット

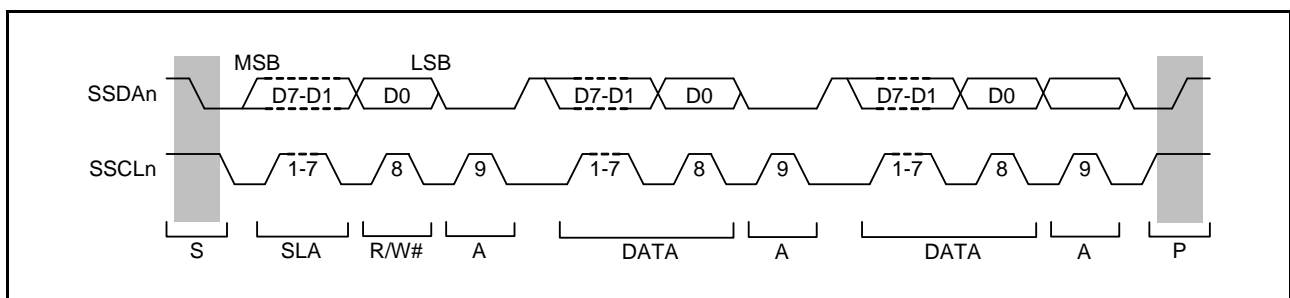


図 25.44 I²C バスタイミング (SLA = 7 ビットの場合)

S	: スタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがHighからLowに変化します。
SLA	: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
R/W#	: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
A/A#	: アクノリッジを示します。(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。Lowを返すことをACK、Highを返すことをNACKと言います。
Sr	: リスタートコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではセットアップ時間経過後にSSDAnラインがHighからLowに遷移します。
DATA	: 送受信データを示します。
P	: ストップコンディションを示します。マスタデバイスが、SSCLnラインがHighの状態ではSSDAnラインがLowからHighに変化します。

25.7.1 開始条件、再開条件、停止条件の生成

SIMR3.IICSTAREQ ビットに“1”を書き込むことにより、開始条件生成を行います。開始条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは開放状態を保持
- BRR レジスタで設定したビットレートの半分の時間、開始条件のホールド時間を確保
- SSCLn ラインの立ち下げ (High から Low に遷移)、SIMR3.IICSTAREQ ビットは“0”にし、開始条件生成割り込み要求を出力

SIMR3.IICRSTAREQ ビットに“1”を書き込むことにより、再開条件生成を行います。再開条件の生成では、以下の動作が行われます。

- SSDAn ラインを開放、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、再開条件のセットアップ時間を確保
- SSDAn ラインを立ち下げ (High から Low に遷移)
- BRR レジスタで設定したビットレートの半分の時間、再開条件のホールド時間を確保
- SSCLn ラインを立ち下げ (High から Low に遷移)、SIMR3.IICRSTAREQ ビットは“0”にし、再開条件生成割り込み要求を出力

SIMR3.IICSTPREQ ビットに“1”を書き込むことにより、停止条件の生成を行います。停止条件の生成では、以下の動作が行われます。

- SSDAn ラインを立ち下げ (High から Low に遷移)、SSCLn ラインは Low を保持
- BRR レジスタで設定したビットレートの半分の時間、SSCLn ラインの Low 期間を確保
- SSCLn ラインを開放 (Low から High に遷移)
- SSCLn ラインの High を検出後、BRR レジスタで設定したビットレートの半分の時間、停止条件のセットアップ時間を確保
- SSDAn ラインを開放 (Low から High に遷移)、SIMR3.IICSTPREQ ビットは“0”にし、停止条件生成割り込み要求を出力

図 25.45 に開始条件、再開始条件、停止条件生成の動作タイミングを示します。

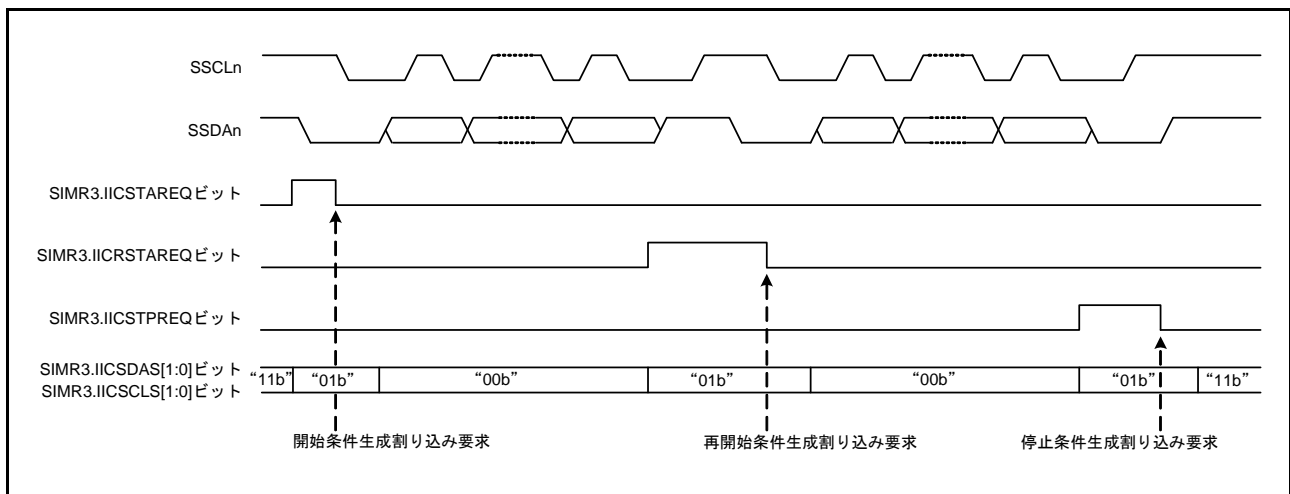


図 25.45 開始条件、再開条件、停止条件生成の動作タイミング

25.7.2 クロック同期化

通信先のスレーブデバイスがウェイトを挿入する目的で SSCLn ラインを Low にすることがあります。SIMR2.IICCSC ビットに“1”を設定すると、内部 SSCLn クロックが SSCLn 端子入力のレベルと異なる場合に、同期を取るための制御を行います。

SIMR2.IICCSC ビットが“1”の場合、内部 SSCLn クロックが Low から High に遷移したとき、SSCLn 端子入力が Low の間は High 期間のカウントを停止し、SSCLn 端子入力が High に遷移すると High 期間のカウントを開始します。このとき、SSCLn 端子が High に遷移して High 期間のカウントを開始するまで、SSCLn 端子入力遅延、SSCLn 端子入力のノイズフィルタ遅延（ノイズフィルタのサンプリングクロックで2～3サイクル）、内部処理遅延（PCLK で1～2サイクル）の合計分かかります。この間他のデバイスが SSCLn ラインを Low にしていなくても、内部 SSCLn クロックの High 期間は延長されます。

SIMR2.IICCSC ビットが“1”の場合、データ送信および受信は、SSCLn 端子入力と内部 SSCLn クロックの論理積に同期して行われます。SIMR2.IICCSC ビットが“0”の場合、データ受信および送信は、内部 SSCLn クロックに同期して行われます。

開始条件、再開条件および停止条件生成要求発行後、内部 SSCLn クロックが Low から High に遷移するまでの間にスレーブデバイスからウェイトを挿入された場合、その期間分、生成完了は延長されます。

内部 SSCLn クロックが High に遷移後にスレーブデバイスがウェイトを挿入した場合は、そのウェイト期間も停止はせず、生成完了割り込み要求を発行しますが、条件生成自体は保証されません。

図 25.46 にクロック同期化の動作例を示します。

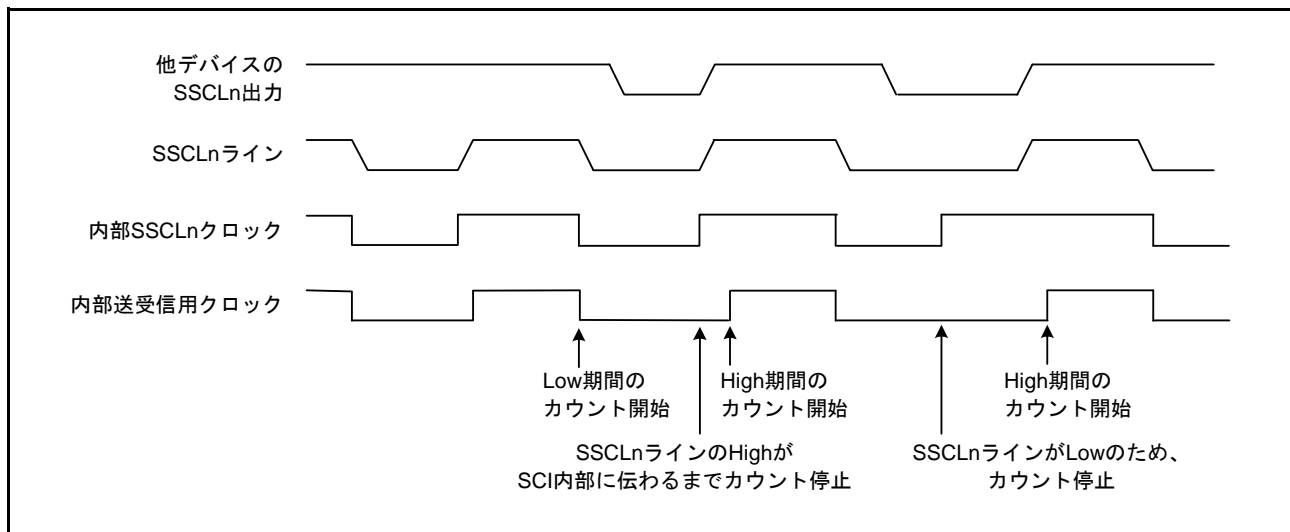


図 25.46 クロック同期化の動作例

25.7.3 SSDA 出力遅延

SIMR1.IICDL[4:0] ビットにより、SSCLn 端子出力の立ち下がりに対して、SSDAn 端子出力を遅延させることが可能です。遅延時間は内蔵ポーレートジェネレータのクロックソース基準（PCLK ベースに SMR.CKS[1:0] で選択された分周クロック）で 0～31 サイクルの間で選択可能です。SSDAn 端子出力を遅延させる対象は、開始条件 / 再開始条件 / 停止条件信号と 8 ビットの送信データおよびアクノリッジです。

SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間より小さい場合、SSCLn 端子出力の立ち下がり中に SSDAn 端子出力が変化開始し、スレーブデバイスが誤動作する可能性があります。SSDA 出力遅延が SSCLn 端子出力の立ち下がり時間の最大値（I²C の標準モード、ファストモードでは 300ns）より大きくなるように設定してください。

図 25.47 に SSDA 出力遅延のタイミングを示します。

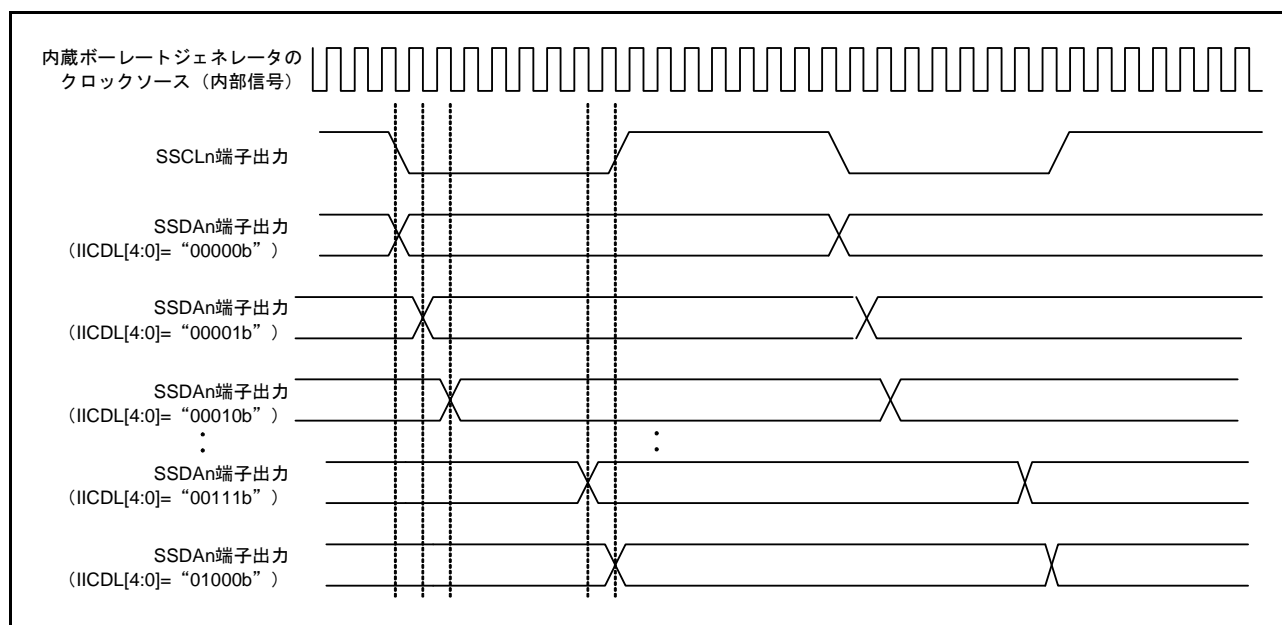


図 25.47 SSDA 出力遅延のタイミング

25.7.4 SCIの初期化（簡易I²Cモード）

データの送受信前に、SCRレジスタに初期値“00h”を書き込み、図25.48のフローチャートの例に従って、初期化してください。

動作モードの変更、通信フォーマットの変更などの場合も、SCRレジスタを初期値にしてから変更してください。また、簡易I²Cモード時の通信ポートのオープンドレイン設定は、ポート側でしてください。

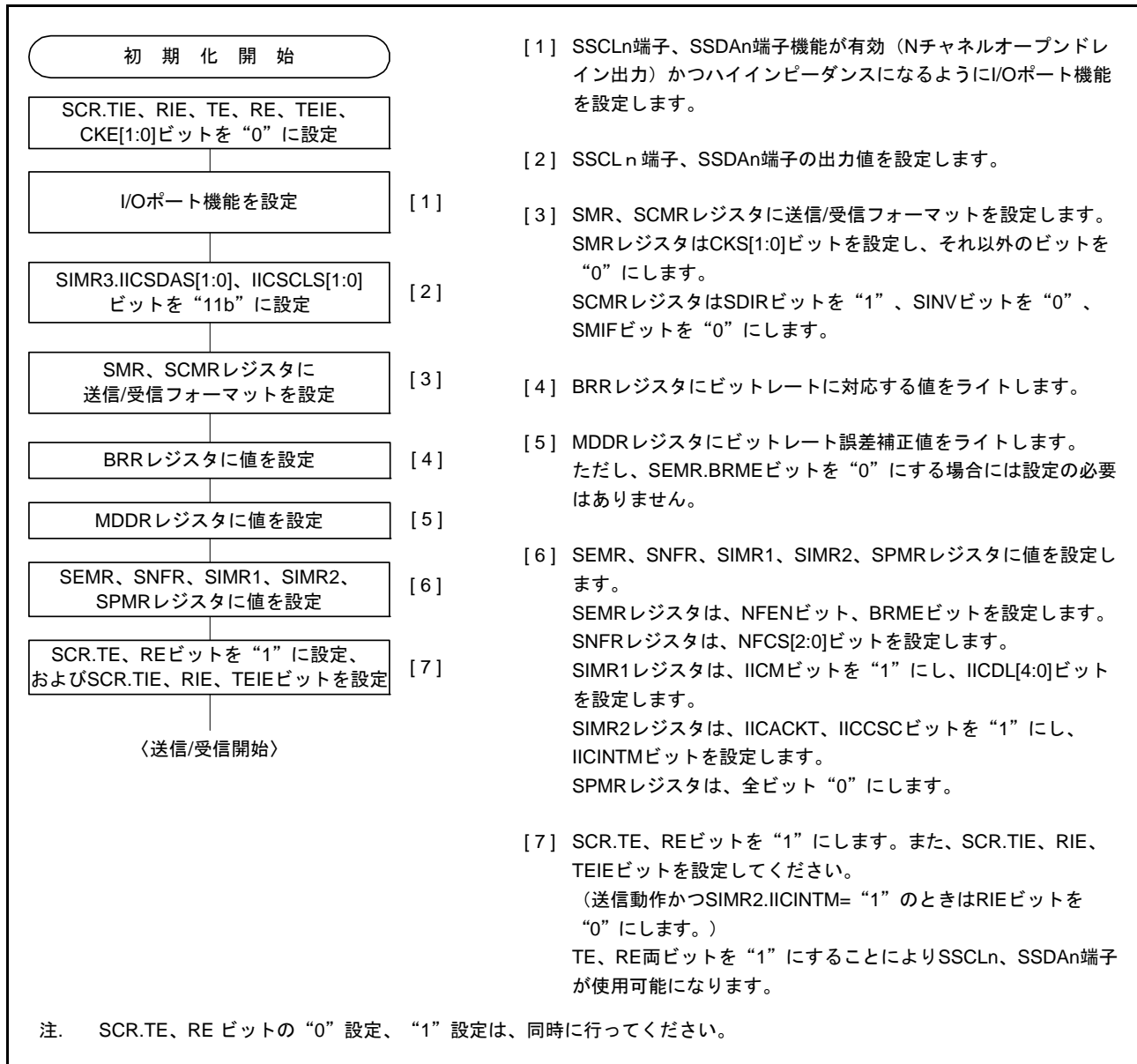


図25.48 SCIの初期化フローチャート例（簡易I²Cモード）

25.7.5 マスタ送信動作 (簡易 I²C モード)

図 25.49、図 25.50 に簡易 I²C モードのマスタ送信の動作例を、図 25.51 にデータ送信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用)、SCR.RIE ビットを“0” (受信割り込み要求を禁止) を想定しています。STI 割り込みについては、表 25.29 を参照してください。

10 ビットスレーブアドレス時は、図 25.51 の [3] ~ [4] の手順を 2 回繰り返します。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生とのタイミングとは異なり、1 フレームの通信を完了した時点で発生します。

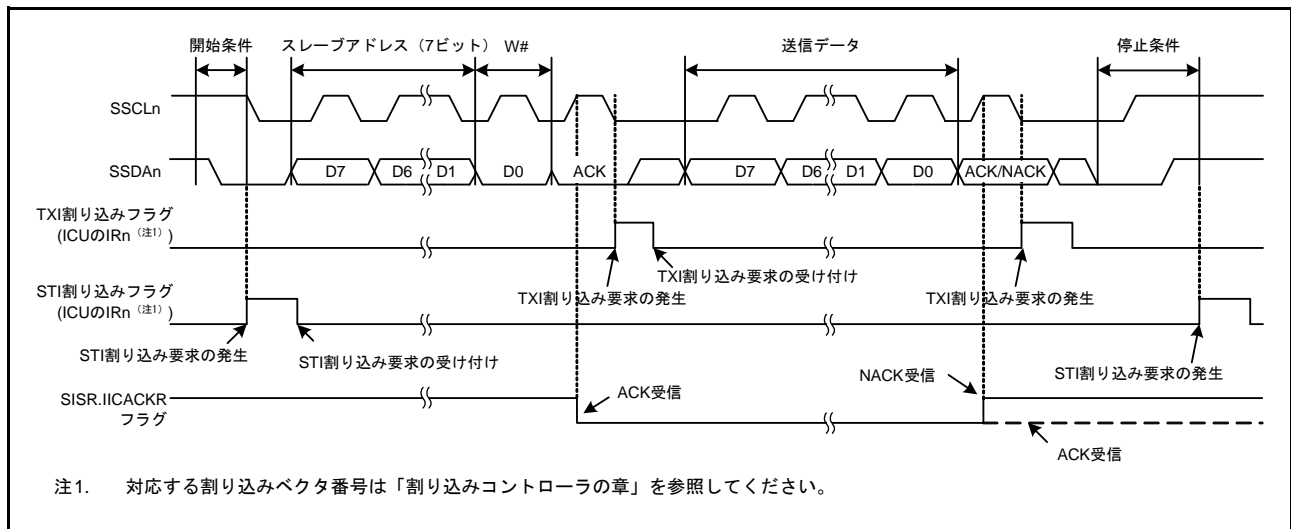


図 25.49 簡易 I²C バスモードのマスタ送信の動作例 1
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

マスタ送信で、SIMR2.IICINTM ビットを“0” (ACK 割り込み、NACK 割り込みを使用) にした場合、ACK 割り込みをトリガに DTC を起動し、データを必要バイト数送信します。NACK を受信した場合は NACK 割り込みをトリガに送信中止、再送などのエラー処理を行います。

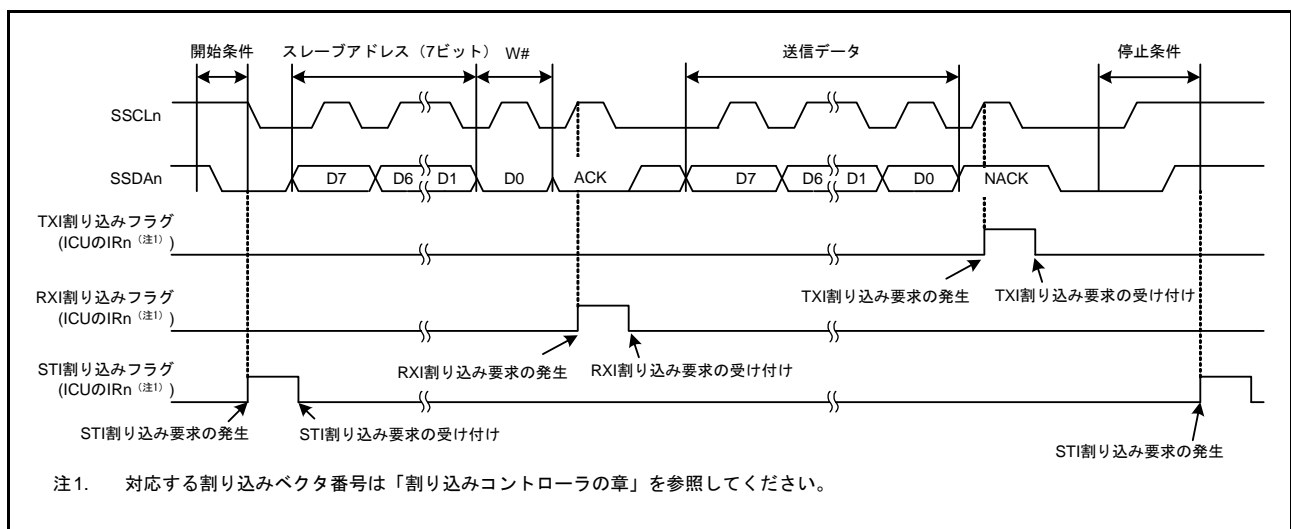


図 25.50 簡易 I²C バスモードのマスタ送信の動作例 2
(7 ビットスレーブアドレス、ACK 割り込み、NACK 割り込み使用時)

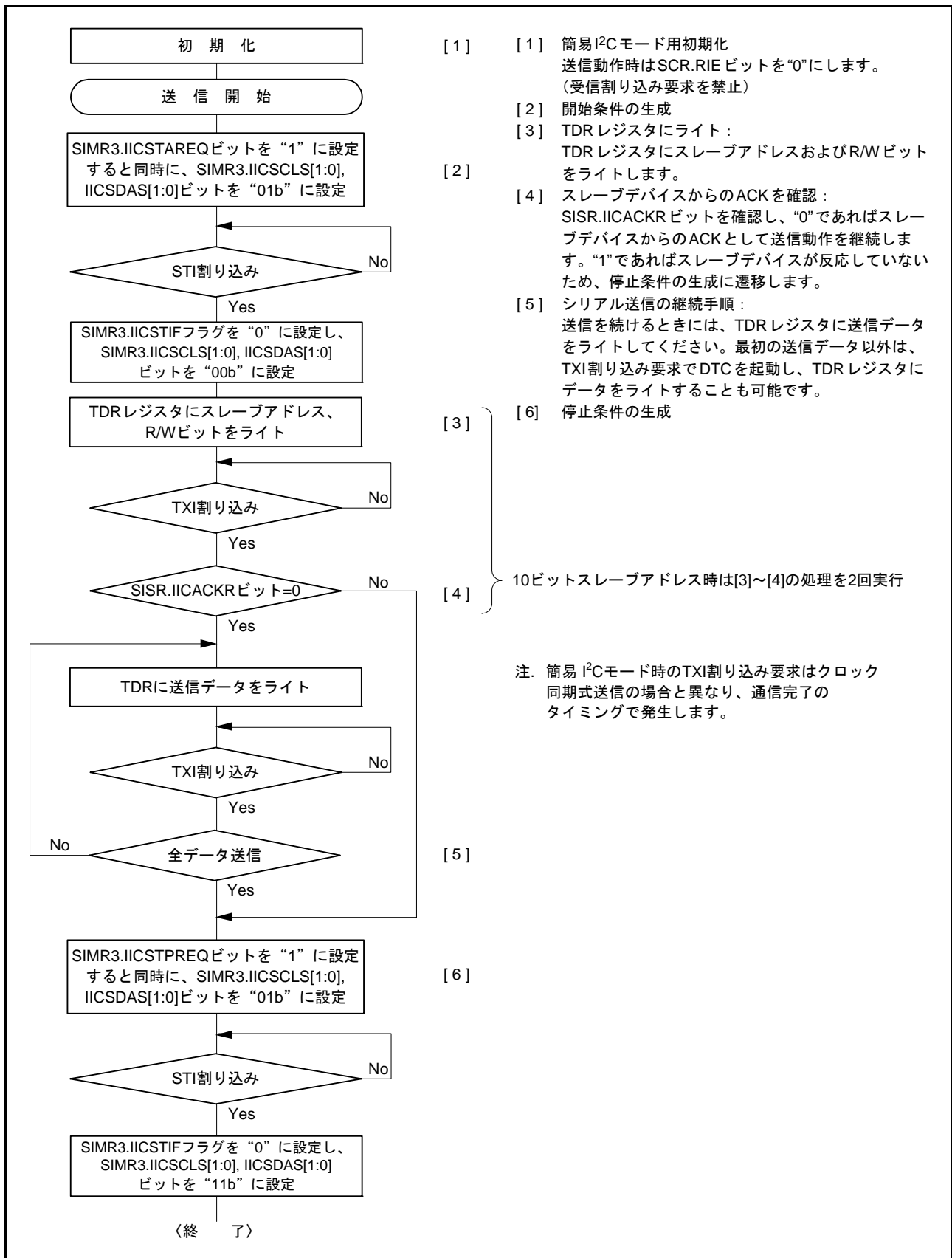


図 25.51 簡易 I²C モードのマスター送信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

25.7.6 マスタ受信動作 (簡易 I²C モード)

図 25.52 に簡易 I²C モードのマスタ受信の動作例を、図 25.53 にマスタ受信のフローチャートの例を示します。ともに SIMR2.IICINTM ビットを“1” (受信割り込み、送信割り込みを使用) を想定しています。

簡易 I²C モードでの送信データエンプティ割り込み (TXI) は、クロック同期式送信時の TXI 割り込み要求発生タイミングとは異なり、1 フレームの通信を完了した時点で発生します。

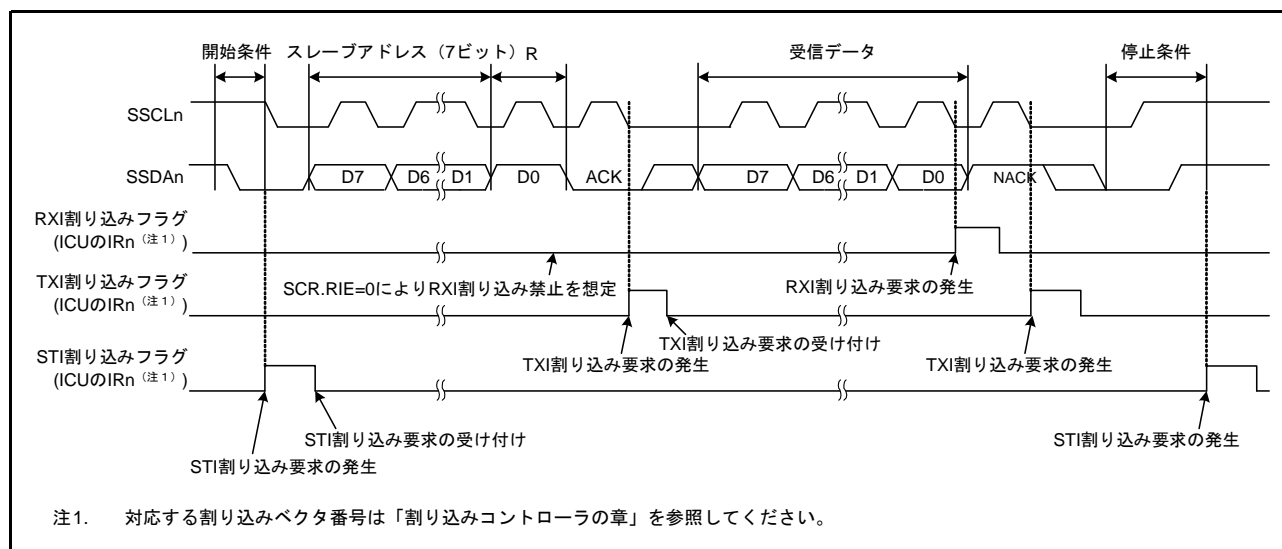


図 25.52 簡易 I²C バスモードのマスタ受信の動作例
(7 ビットスレーブアドレス、送信割り込み、受信割り込み使用時)

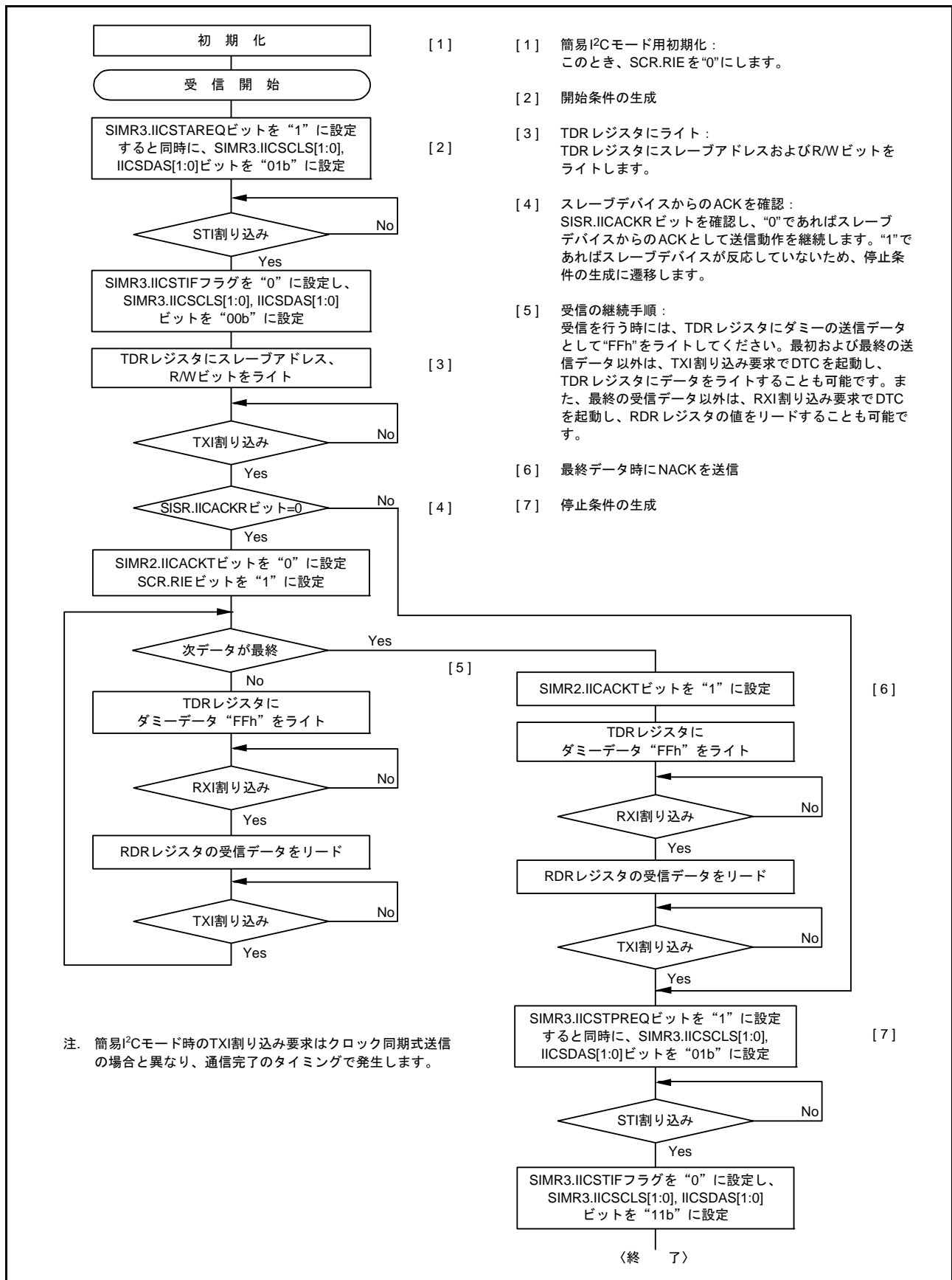


図 25.53 簡易 I²C モードのマスタ受信動作のフローチャート例 (送信割り込み、受信割り込み使用時)

25.8 簡易 SPI モードの動作

SCI の拡張機能として、1 つまたは複数のマスタから複数のスレーブに通信が可能な簡易 SPI モードをサポートしています。

クロック同期式モードの設定 (SCMR.SMIF ビット=0、SIMR1.IICM ビット=0、SMR.CM ビット=1)、かつ、SPMR.SSE ビットを“1”にすることにより、簡易 SPI モードになります。なお、簡易 SPI モード用途でも、マスタモードかつ、シングルマスタで使用するときは、マスタ側の SS 端子機能は不要であり、SPMR.SSE ビットを“0”にします。

図 25.54 に簡易 SPI モードの接続例を示します。マスタからの SS 信号出力については、汎用ポートで制御してください。

簡易 SPI モードではクロック同期式モード同様、クロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成され、パリティビットの付加はできません。SCMR.SINV ビットを“1”にすることで、送受信データを反転できます。

SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信ができます。また、送信部/受信部はともにダブルバッファ構造になっており、送信中に次の送信データの書き込み、受信中に前の受信データを読み込むことで連続送受信ができます。

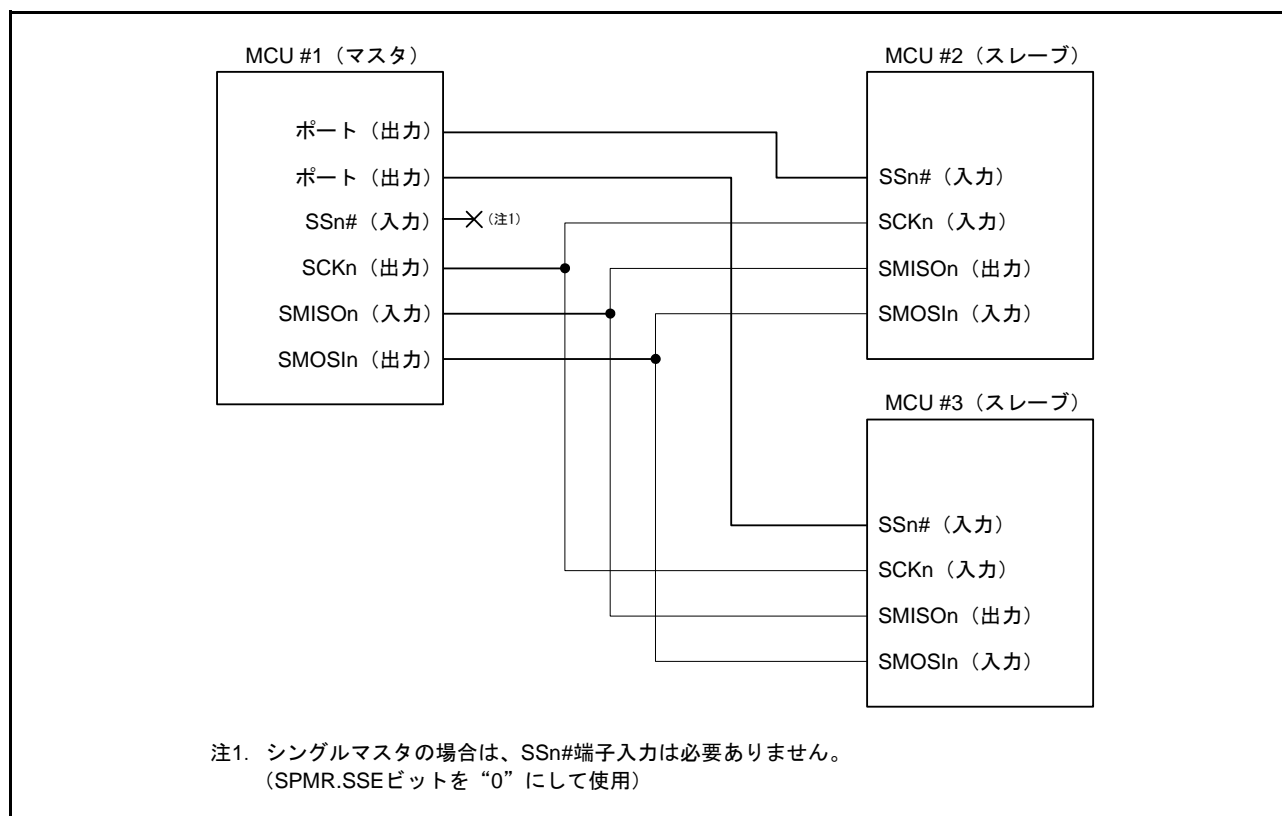


図 25.54 簡易 SPI モードの接続例 (シングルマスタ時 (SPMR.SSE ビット = 0))

25.8.1 マスタモード、スレーブモードと各端子の状態

簡易 SPI モードでは、マスタモード (SCR.CKE[1:0] ビット = “00b” または “01b”、かつ SPMR.MSS ビット = 0) とスレーブモード (SCR.CKE[1:0] ビット = “10b” または “11b”、かつ SPMR.MSS ビット = 1) で各端子の入出力方向が変わります。

表 25.26 にモードおよび SSn# 端子入力と各端子の状態の関係を示します。

表 25.26 モードおよび SSn# 端子入力と各端子の状態の関係

モード	SSn# 端子入力	SMOSIn 端子状態	SMISOIn 端子状態	SCKn 端子状態
マスタモード (注1)	High (通信可能)	送信データ出力 (注2)	受信データ入力	クロック出力 (注3)
	Low (通信不可)	ハイインピーダンス	受信データ入力 (無効)	ハイインピーダンス
スレーブモード	High (通信不可)	受信データ入力 (無効)	ハイインピーダンス	クロック入力 (無効)
	Low (通信可能)	受信データ入力	送信データ出力	クロック入力

注1. シングルマスタ時 (SPMR.SSE ビット = 0) は、SSn# 端子の入力レベルに関わらず通信可能 (SSn# 端子入力が High のときと等価) となります。SSn# 端子は未使用であり、別の用途として使用できます。

注2. 送信禁止時 (SCR.TE ビット = 0) はハイインピーダンスです。

注3. マルチマスタ (SPMR.SSE ビット = 1) かつ送受信禁止時 (SCR.TE, RE ビット = 00b) はハイインピーダンスです。

25.8.2 マスタモード時の SS 機能

SCR.CKE[1:0] = 00b かつ SPMR.MSS = 0 を設定することで、マスタモードになります。

シングルマスタ時 (SPMR.SSE ビット = 0) は SSn# 端子は未使用であり、SSn# 端子入力のレベルに関わらず送受信動作が可能です。

マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が High のとき、他にマスタが存在しないか、他のマスタが送受信を受信動作を行っていないことを示すためマスタとして SCKn 端子からクロックを出力し、送受信動作を行います。マルチマスタ時 (SPMR.SSE ビット = 1)、かつ、SSn# 端子入力が Low のとき、他のマスタが存在し、送受信を行っていることを示します。そのとき SCI は SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスにし、送受信動作は開始しません。また、モードフォルトエラーとして SPMR.MFF フラグが “1” になります。マルチマスタ時は SPMR.MFF フラグを読むことでエラー処理を行ってください。なお、送受信動作中にモードフォルトが発生しても、送受信動作は停止せず、送受信動作完了後に SMOSIn 端子出力、SCKn 端子出力をハイインピーダンスになります。

マスタからの SS 信号出力については、汎用ポートで制御してください。

25.8.3 スレーブモード時の SS 機能

SCR.CKE[1:0] = 10b かつ SPMR.MSS = 1 を設定することで、スレーブモードになります。

SSn# 端子入力が High のとき、SMISOIn 端子出力はハイインピーダンスになり、SCKn 端子からのクロック入力は無視されます。SSn# 端子入力が Low のとき、SCKn 端子からのクロック入力が有効になり、送受信動作が可能になります。

送受信動作中に SSn# 端子入力が Low から High に変化した場合、SMISOIn 端子出力をハイインピーダンスにします。なお、内部の送受信動作は継続し、SCKn 端子からのクロック入力に従って 1 キャラクタ分の送受信動作完了後動作を停止します。その際、割り込み (TXI、RXI、TEI のいずれか) が発生します。

25.8.4 クロックと送受信データの関係

SPMR.CKPOL,CKPH ビットにより、送受信に用いるクロックを4種類から選択可能です。クロックと送受信データの関係を図 25.55 に示します。マスタモード、スレーブモードともクロックと送受信データの関係は同じです。(SSn# 端子入力が High のときと等価) です。SSn# 端子は別用途で使用可能です。詳細は「25.8.2 マスタモード時の SS 機能」を参照してください。

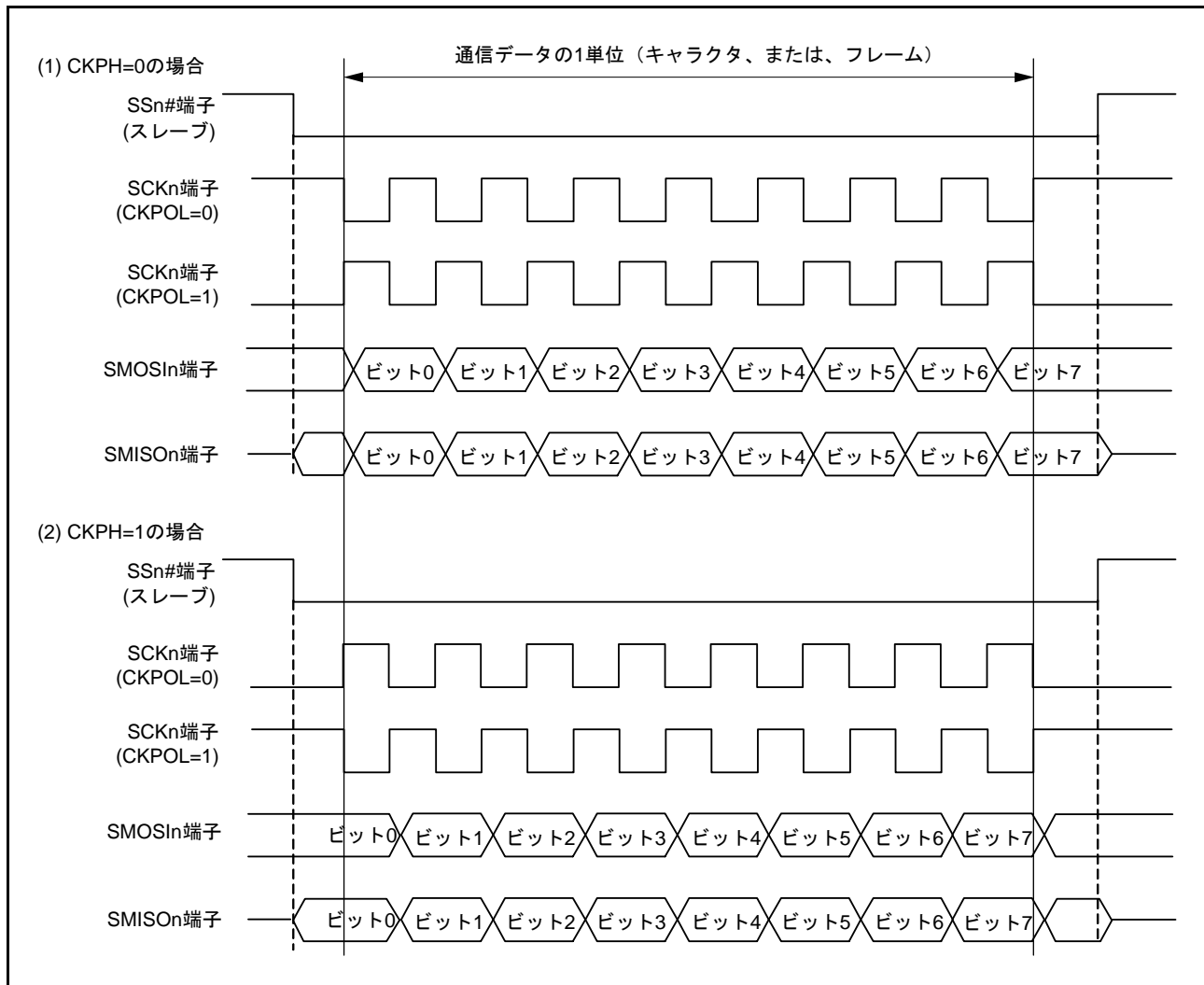


図 25.55 簡易 SPI モードのクロックと送受信データの関係

25.8.5 SCI の初期化 (簡易 SPI モード)

クロック同期式モードの初期化手順 (図 25.22 の SCI の初期化フローチャート例) と同様です。SPMR レジスタの CKPOL、CKPH ビットにより選択されるクロックの種類は、マスタデバイスとスレーブデバイスで合わせます。

初期化、動作モードの変更、通信フォーマットの変更などの場合、SCR レジスタを初期値にしてから変更してください。

RE ビットを“0”にしても、SSR レジスタの ORER、FER、PER フラグ、および RDR レジスタは初期化されませんので注意してください。

TE ビットを“1”から“0”または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込みが発生しますので注意してください。

25.8.6 シリアルデータの送受信（簡易 SPI モード）

マスタモード時は、送受信開始前に送受信先のスレーブデバイスの SSn# 端子を Low にし、送受信が終了すると送受信先のスレーブデバイスの SSn# 端子を High にします。それ以外の手順はクロック同期式モードと同様です。

25.9 ビットレートモジュレーション機能

ビットレートモジュレーション機能とは、ボーレートジェネレータに入力されたクロックを、指定された個数間引くことによって、ビットレートを補正する機能です。

SEMR.BRME ビットが“1”のとき、ボーレートジェネレータは、入力されたクロック 256 個のうち MDDR レジスタに設定された個数だけを、平均的な間隔となるよう有効にし、カウントを行います。

調歩同期モードで SMR.CKS[1:0] ビットが“00b”で、BRR レジスタが“00h”、MDDR レジスタが“160”のときの例を、図 25.56 に示します。この例では基本クロックの周期が平均的に 256/160 に補正され、ビットレートは 160/256 に補正されています。内部クロックの間引きには偏りがあり、基本クロックのパルス幅は、間引かれた内部クロック分の伸縮が生じます。

注． クロック同期式モードおよび簡易 SPI モードの最高速設定（SMR.CKS[1:0] ビット = 00b、かつ SCR.CKE[1] ビット = 0、かつ BRR = 0）では、本機能を使用しないでください。

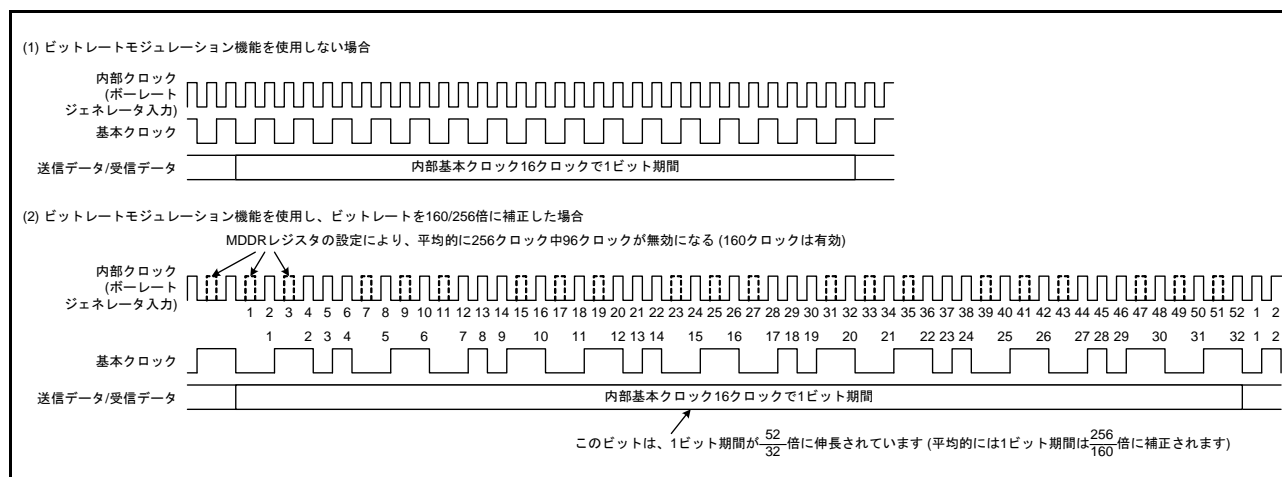


図 25.56 ビットレートモジュレーション機能使用時の基本クロックの例

25.10 ノイズ除去機能

ノイズ除去機能に用いるノイズフィルタの構成を図 25.57 に示します。ノイズフィルタは2段のフリップフロップ回路と一致検出回路で構成されます。設定したサンプリング周期に応じて3回サンプリングした端子のレベルが一致した場合、内部に一致したレベルを伝達し、再度3回のサンプリングした端子レベルが一致するまで内部へは同じレベルを伝達し続けます。

調歩同期式モード時は、RXDnの入力信号にノイズ除去機能を使用できます。サンプリング周期は、基本クロックの周期 (SEMR.ABCS = 0 のとき1ビット期間の1/16、SEMR.ABCS = 1 のとき1ビット期間の1/8) となります。

簡易I²Cモード時はSSDAn、SSCLnの入力信号に、ノイズ除去機能を使用できます。サンプリングクロックは、内蔵ポーレートジェネレータのクロックソースの1/2/4/8分周クロックからSNFR.NFCS[2:0]ビットの設定により選択します。

ノイズフィルタを有効にした状態で基本クロックが停止した場合、基本クロック入力再開時は停止時のノイズフィルタの状態の続きから動作を開始します。基本クロックが入力されている期間にSCR.TEビット=0、SCR.REビット=0にした場合、ノイズフィルタのフリップフロップはすべて“1”に初期化され、受信再開時の入力データが“1”の場合は一致検出として内部信号に伝えられます。“0”の場合は3回サンプリングした端子のレベルが一致するまではノイズフィルタの出力は初期値を保持します。

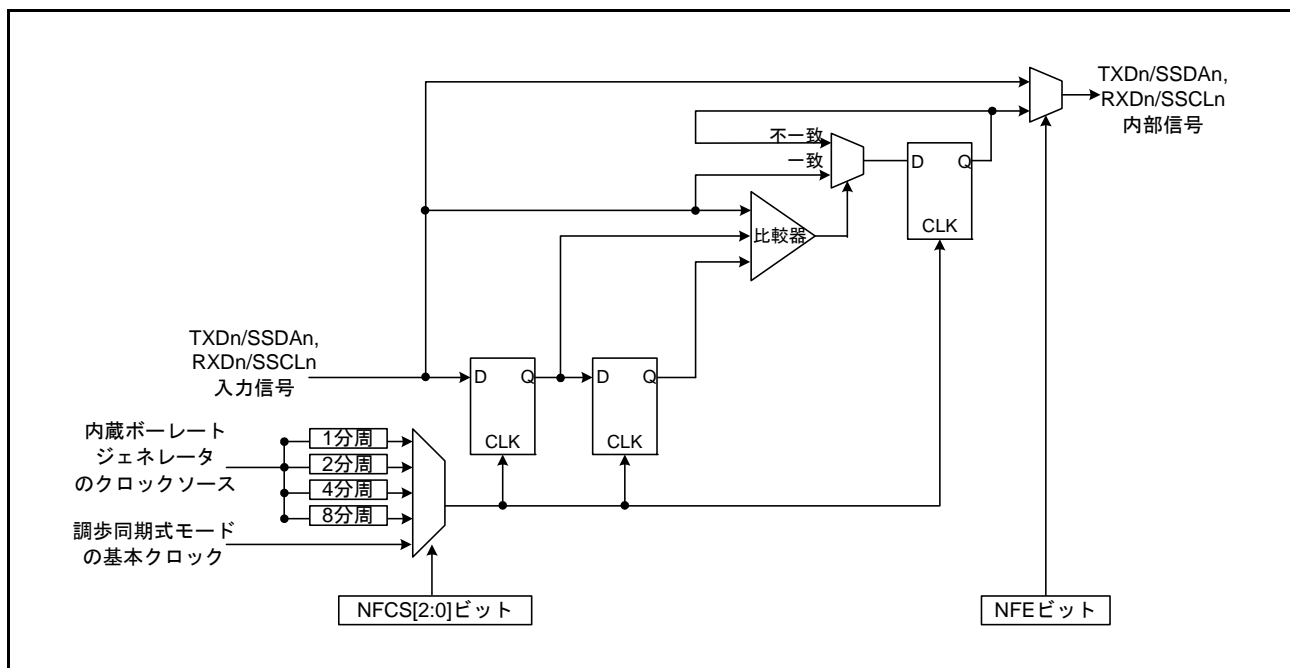


図 25.57 デジタルノイズフィルタ回路のブロック図

25.11 割り込み要因

25.11.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みに関しては、割り込みコントローラの割り込みステータスフラグが“1”のときに割り込み発生条件が成立しても、SCI は割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。

割り込みコントローラの割り込みステータスフラグが“0”になると、SCI は割り込みコントローラに対して保持していた割り込み要求を出力します。その後、保持していた割り込み要求をクリアします。なお、内部で保持している割り込み要求は、対応する割り込みイネーブルビット（SCR.TIE ビットまたは SCR.RIE ビット）を“0”にすることでクリアできます。

25.11.2 調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み

表 25.27 に調歩同期式モード、クロック同期式モードおよび簡易 SPI モードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR レジスタのイネーブルビットにより独立に許可することができます。

SCR.TIE ビットが“1”のとき、送信データが TDR レジスタ、または TDRL レジスタ（注1）から TSR レジスタに転送されると TXI 割り込み要求が発生します。また、TXI 割り込み要求は、SCR.TIE ビットを“1”にした後で SCR.TE ビットを“1”にするか、SCR.TIE ビットと SCR.TE ビットを 1 命令で同時に“1”にすることも発生します。TXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

TXI 割り込み要求は、SCR.TIE ビットが“0”の状態でも SCR.TE ビットを“1”にした場合、および SCR.TE ビットが“1”の状態でも SCR.TIE ビットを“1”にした場合には発生しません。（注2）

SCR.TEIE ビットが“1”のとき、送信データの最終ビットを送信するタイミングまでに TDR レジスタ、または TDRL レジスタ（注1）に次のデータをライトしていないと SSR.TEND フラグが“1”になり、TEI 割り込み要求が発生します。また、SCR.TE ビットを“1”にしてから TDR レジスタ、または TDRL レジスタ（注1）に送信データをライトするまでの間は、SSR.TEND フラグは“1”を保持しており、SCR.TEIE ビットを“1”にすると TEI 割り込み要求が発生します。

TDR レジスタ、または TDRL レジスタ（注1）にデータを書き込むと、SSR.TEND フラグがクリアされて TEI 割り込み要求は取り消されますが、取り消されるまで時間がかかります。

SCR.RIE ビットが“1”のとき、受信データが RDR レジスタ、または RDRL レジスタ（注1）に格納されると RXI 割り込み要求が発生します。RXI 割り込み要求により、DTC を起動してデータ転送を行うことができます。

SCR.RIE ビットが“1”のとき、SSR レジスタの ORER、FER、PER フラグのいずれかが“1”になると ERI 割り込み要求が発生します。このとき RXI 割り込み要求は発生しません。SSR レジスタの ORER、FER、PER フラグをすべてクリアすることにより ERI 割り込み要求を取り下げることができます。

注 1. 調歩同期式モードかつデータ長 9 ビットを選択した場合

注 2. 最終データの送信時など、TXI 割り込みを一時的に禁止し、送信終了割り込みによる処理を行ってから新たにデータ送信を開始したいときには、SCR.TIE ビットではなく TXI 割り込みに対応する割り込みコントローラの割り込み要求許可ビットで割り込みの禁止 / 許可を制御してください。新データ送信のための TXI 割り込み要求の発生が抑止されてしまうことを防ぐことができます。

表 25.27 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー	ORER, FER, PER	不可能	高 ↑ 低
RXI	受信データフル	RDRF	可能	
TXI	送信データエンプティ	TDRE	可能	
TEI	送信終了	TEND	不可能	

25.11.3 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 25.28 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

表 25.28 SCI割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER, PER, ERS	不可能	高 ↑ 低
RXI	受信データフル	—	可能	
TXI	送信データエンプティ	TEND	可能	

スマートカードインタフェースモードの場合も通常の SCI の場合と同様に、DTC を使って送受信を行うことができます。送信動作では、SSR.TEND フラグが“1”になると、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。TEND フラグは、DTC によるデータ転送時に自動的に“0”になります。

エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間、TEND フラグは“0”のまま保持され、DTC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、SSR.ERS フラグは自動的にクリアされませんので、SCR.RIE ビットを“1”にしておき、エラー発生時に ERI 割り込み要求を発生させ ERS フラグをクリアしてください。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。DTC の設定方法は「17. データトランスファコントローラ (DTCa)」を参照してください。

また、受信動作では、受信データが RDR レジスタにセットされると RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。エラーが発生した場合は、エラーフラグがセットされます。そのため DTC は起動されず、代わりに CPU に対し ERI 割り込み要求を生成しますのでエラーフラグをクリアしてください。

25.11.4 簡易 I²C モードにおける割り込み

簡易 I²C モードでは、表 25.29 の割り込み要因があります。STI 割り込みは、送信終了割り込み (TEI) 要求に割り当てられます。受信エラー割り込み (ERI) 要求は使用できません。

簡易 I²C モードも、DTC を使って送受信を行うことができます。

SIMR2.IICINTM ビットが“1”のとき、8 ビット目の SSCLn 端子立ち下がり、RXI 割り込み要求が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データの転送を行います。また、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち下がり、TXI 割り込み要求が発生します。あらかじめ DTC の起動要因に TXI 割り込み要求を設定しておけば、TXI 割り込み要求により DTC が起動されて送信データの転送を行います。

SIMR2.IICINTM ビットが“0”のとき、9 ビット目 (アクノリッジビット) の SSCLn 端子立ち上がり、SSDAn 端子入力 Low だと RXI 割り込み要求 (ACK 検出)、SSDAn 端子入力 High だと TXI 割り込み要求 (NACK 検出) が発生します。あらかじめ DTC の起動要因に RXI 割り込み要求を設定しておけば、RXI 割り込み要求で DTC が起動されて受信データまたは送信データの転送が可能です。

なお、DTC を使って送受信を行う場合は、先に DTC を設定し、許可状態にしてから SCI の設定を行ってください。

SIMR3.IICSTAREQ、IICRSTAREQ、IICSTPREQ の各ビットを用いて開始条件、再開条件、停止条件を生成した場合、生成が完了すると STI 割り込み要求が発生します。

表 25.29 SCI 割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
RXI	受信、ACK 検出	—	可能	高 ↑ 低
TXI	送信、NACK 検出	—	可能 (注 1)	
STI	開始条件、再開条件、 停止条件生成終了	IICSTIF	不可能	

注 1. SIMR2.IICINTM ビット = 1 (受信割り込み、送信割り込みを選択) の場合のみ DTC の起動が可能です。

25.12 使用上の注意事項

25.12.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、SCI の動作を禁止 / 許可することができます。リセット後の値では、SCI の動作は停止します。モジュールストップ状態を解除することによりレジスタをアクセスできます。詳細は、「11. 消費電力低減機能」を参照してください。

25.12.2 ブレークの検出と処理について

フレーミングエラー検出時に、RXDn 端子の値を直接リードすることでブレークを検出できます。ブレークでは RXDn 端子からの入力がすべて Low になりますので、SSR.FER フラグが“1”（フレーミングエラーの発生あり）になり、また SSR.PER フラグも“1”（パリティエラーの発生あり）になる可能性があります。SEMR.RXDESEL ビットが“0”のとき、SCI は、ブレークを受信した後も受信動作を続けます。したがって、FER フラグを“0”（フレーミングエラーの発生なし）にしても、再び FER フラグが“1”になりますので注意してください。SEMR.RXDESEL ビットが“1”のとき、SCI は、SSR.FER フラグを“1”にし、次のフレームのスタートビット検出待ちの状態を受信動作を停止します。このとき SSR.FER フラグを“0”にすれば、ブレーク中は SSR.FER フラグの“0”を保持します。RXDn 端子が High になりブレークが終了した後、最初の RXDn 端子の立ち下がりですtartビットの始まりを検出し、受信動作を開始します。

25.12.3 マーク状態とブレークの送付

SCR.TE ビットが“0”（シリアル送信動作を禁止）のとき、I/O ポート機能を設定することにより、TXDn 端子を入出力方向とレベルを選択できる I/O ポートとして使用できます。これを利用して TXDn 端子をマーク状態にしたりデータ送信時にブレークを送付することができます。SCR.TE ビットを“1”（シリアル送信動作を許可）にするまで、通信回線をマーク状態（“1”の状態）にするためには、I/O ポート機能により TXDn 端子を High 出力に設定し、端子モードを汎用入出力ポートに設定します。一方、データ送信時にブレークを送付したいときは、I/O ポート機能設定により TXDn 端子を Low 出力に設定し、端子モードを汎用入出力ポートに設定します。SCR.TE ビットを“0”にすると現在の送信状態とは無関係に送信部は初期化されます。

25.12.4 受信エラーフラグと送信動作について（クロック同期式モードおよび簡易 SPI モード）

受信エラーフラグ (SSR.ORER) が“1”になった状態では、TDR レジスタにデータをライトしても送信を開始できません。送信開始時には、受信エラーフラグを“0”にしておいてください。また、SCR.RE ビットを“0”（シリアル受信動作を禁止）にしても受信エラーフラグは“0”になりませんので注意してください。

25.12.5 TDR レジスタへのライトについて

TDR、TDRH、TDRL レジスタへのデータのライトを行うことができます。しかし、TDR、TDRH、TDRL レジスタに送信データが残っている状態で新しいデータを TDR、TDRH、TDRL レジスタにライトすると、TDR、TDRH、TDRL レジスタに格納されていたデータは TSR レジスタに転送されていないため失われてしまいます。したがって、TDR、TDRH、TDRL レジスタへの送信データのライトは、TXI 割り込み要求によって行ってください。

25.12.6 クロック同期送信時の制約事項 (クロック同期式モードおよび簡易 SPI モード)

同期クロックに外部クロックソースを使用する場合、以下の制約があります。

(1) 送信開始時

CPU または DTC による TDR レジスタの更新後、PCLK で 5 クロック以上経過した後に送信クロックを入力してください (図 25.58 参照)。

(2) 連続送信時

- ビット7の送信クロックの立ち下がり以前に、TDR または TDRL レジスタに次の送信データを書き込んでください (図 25.58 参照)。
- ビット7送信開始以降に TDR を更新する場合は、同期クロックが Low の期間に TDR を更新し、かつビット7の送信クロックの High 幅を、4PCLK クロック以上にしてください (図 25.58 参照)。

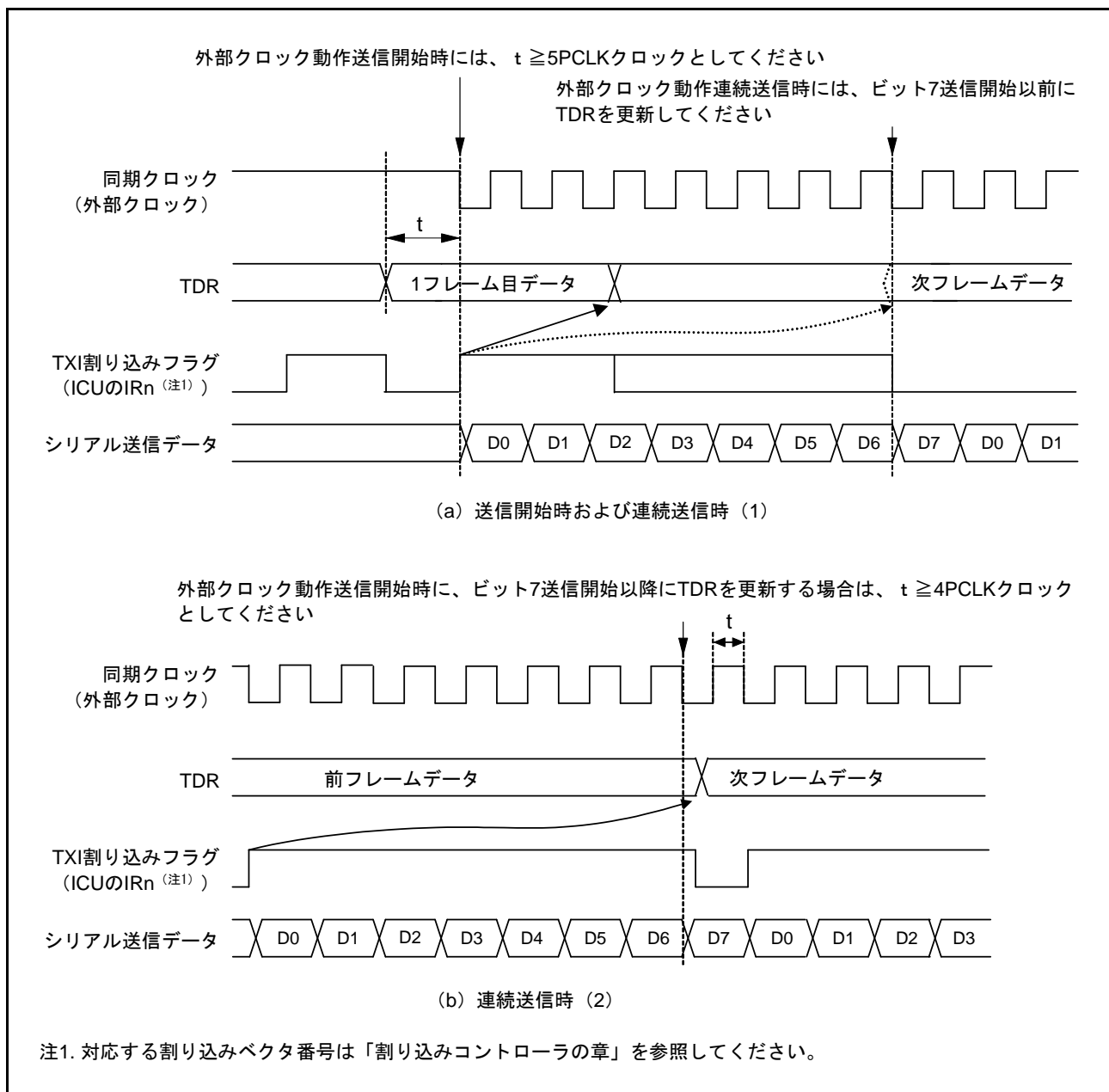


図 25.58 クロック同期式モード送信での外部クロック使用の制約事項

25.12.7 DTC 使用上の制約事項

DTCにより、RDR、RDRH、RDRLレジスタのリードを行うときは起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

25.12.8 通信の開始に関する注意事項

通信開始時点で割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) が“1”のときは、動作許可 (SCR.TE ビットを“1”に設定、またはSCR.RE ビットを“1”に設定) 前に以下の手順で割り込み要求をクリアしてください。割り込みステータスフラグの詳細については、「14. 割り込みコントローラ (ICUb)」を参照してください。

- 通信が停止していること (SCR.TE ビットまたはSCR.RE ビットが“0”となっていること) を確認
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたはSCR.RIE ビット) を“0”に設定
- 対応する割り込みイネーブルビット (SCR.TIE ビットまたはSCR.RIE ビット) を読み出し、“0”を確認
- 割り込みコントローラの割り込みステータスフラグ (IRn.IR ビット) に“0”を設定

25.12.9 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への遷移、またはソフトウェアスタンバイモードへの遷移は、TXDn 端子を汎用入出力ポート機能に切り替えた後、動作を停止 (SCR.TIE ビット=0、TE ビット=0、TEIE ビット=0) してから行ってください。TE ビットを“0”にすることによって、TSR レジスタおよびSSR.TEND フラグは初期化されます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後は低消費電力へ遷移前のレベルを出力します。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態を解除した後、送信モードを変えないで送信する場合は、TE ビット=1 に設定し、SSR レジスタリード→TDR レジスタライトで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

図 25.59 に送信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。図 25.60、図 25.61 にソフトウェアスタンバイモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への遷移、または、ソフトウェアスタンバイモード遷移は、動作を停止 (TE ビット=0) してから行ってください。解除後 DTC による送信をする場合は、TE ビット=1 に設定すると TXI 割り込みフラグが立ち、DTC による送信が始まります。

(2) 受信

モジュールストップ状態への遷移または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (SCR.RE ビット=0) してから行ってください。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE ビット=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

図 25.62 に受信時のソフトウェアスタンバイモード遷移フローチャートの例を示します。

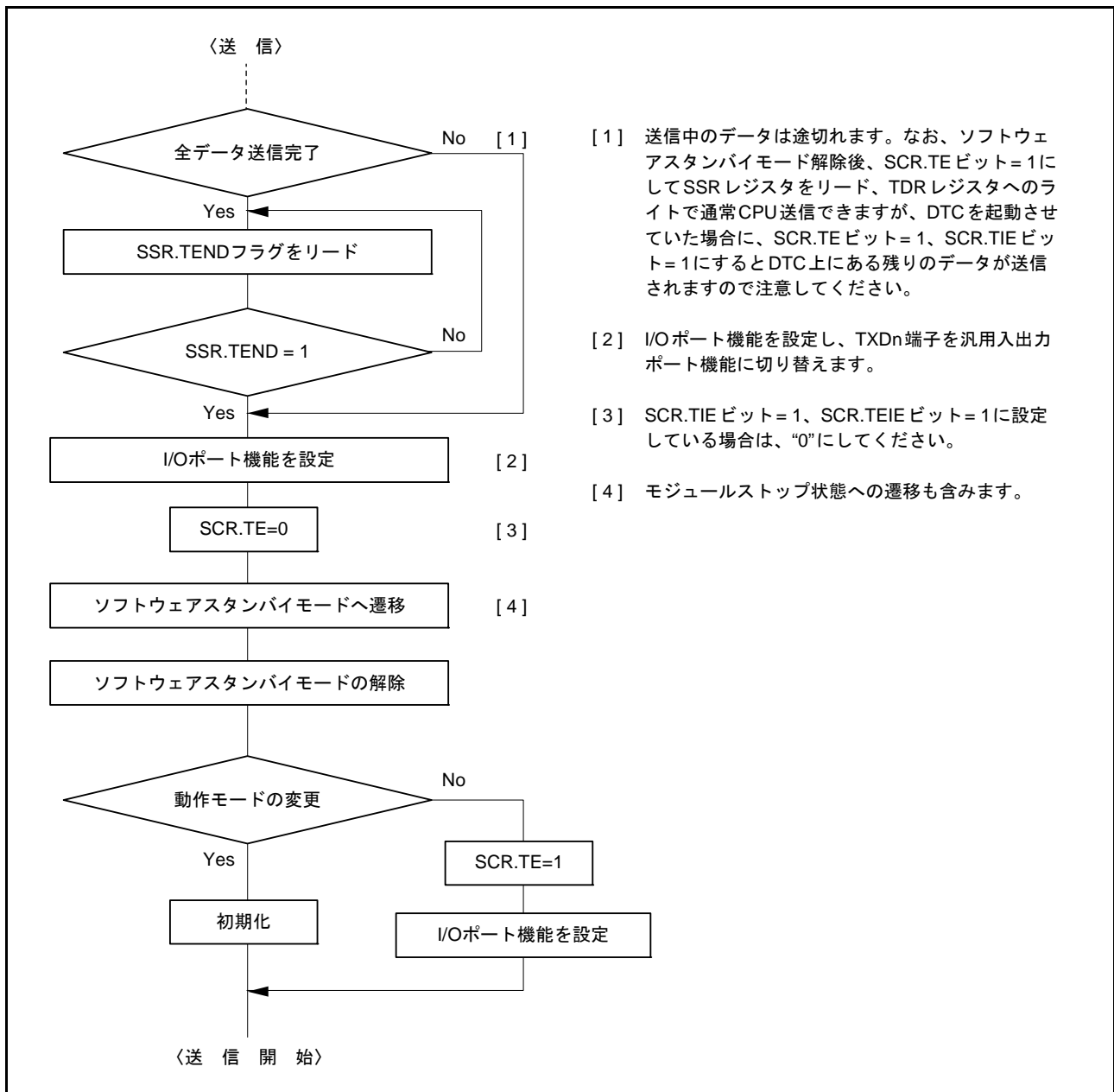


図 25.59 送信時のソフトウェアスタンバイモード遷移フローチャートの例

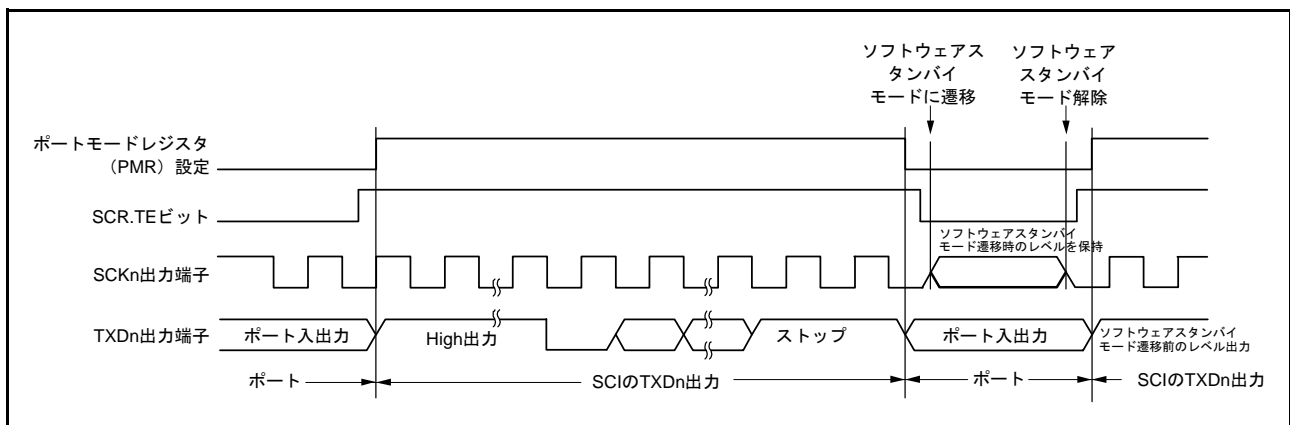


図 25.60 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、調歩同期送信)

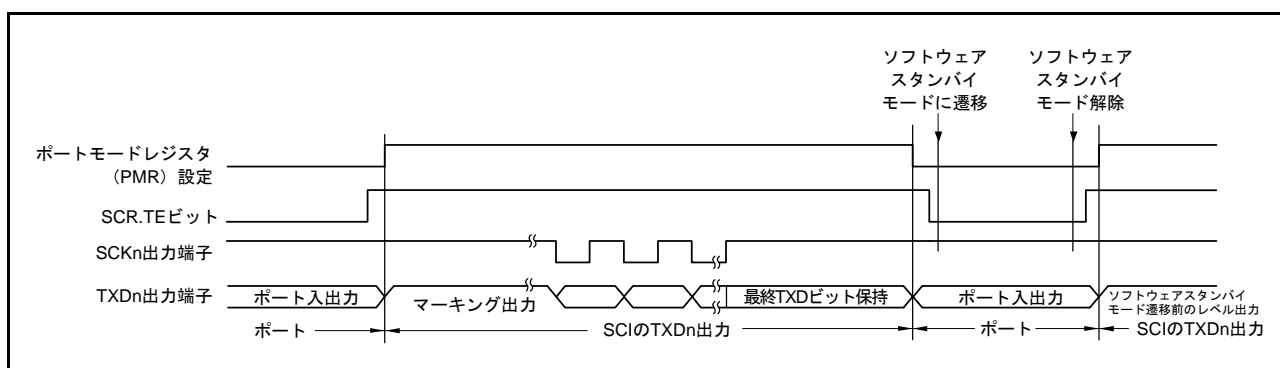


図 25.61 ソフトウェアスタンバイモード遷移時のポートの端子状態 (内部クロック、クロック同期送信)

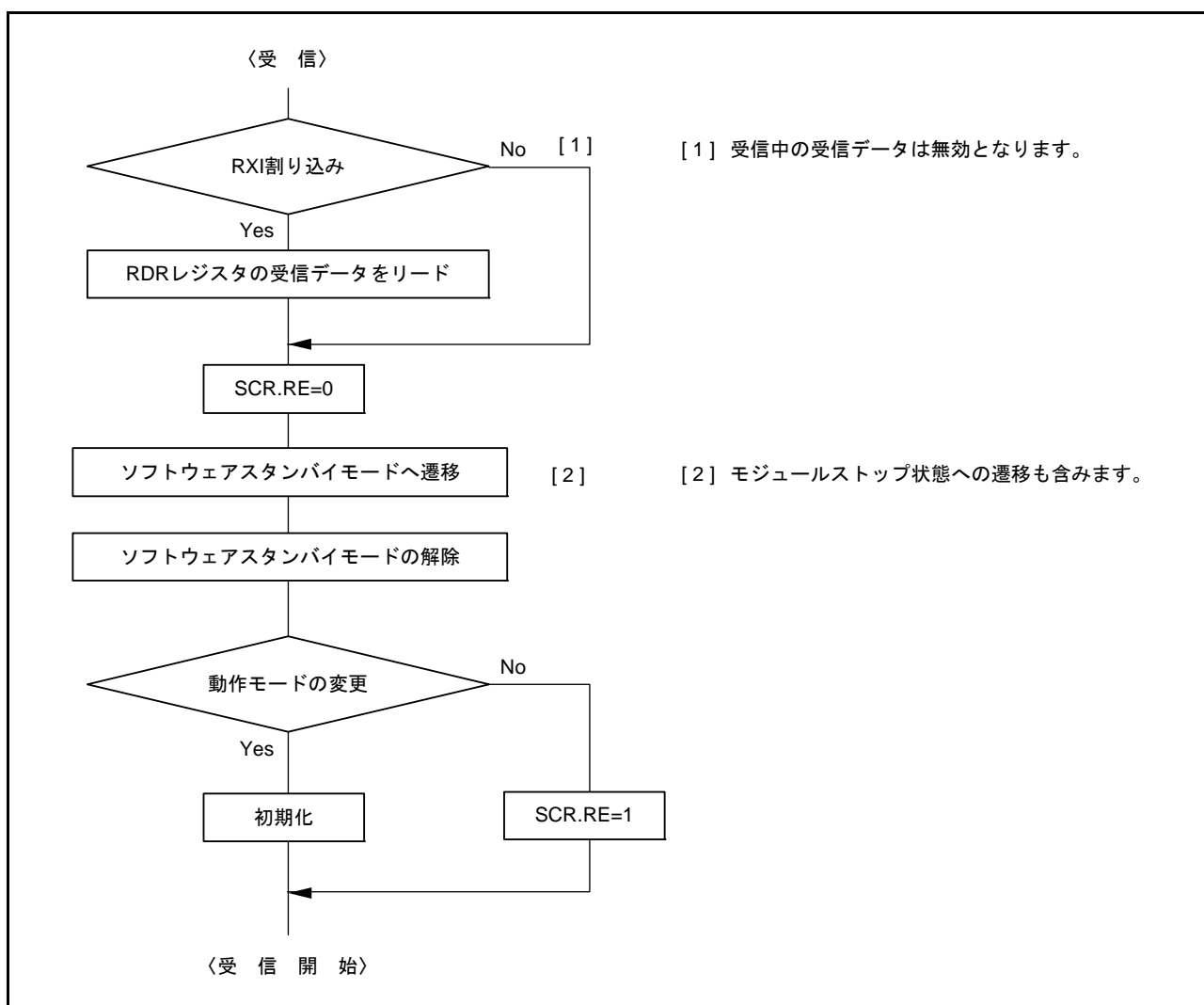


図 25.62 受信時のソフトウェアスタンバイモード遷移フローチャートの例

25.12.10 クロック同期式モードおよび簡易 SPI モードにおける外部クロック入力

クロック同期式モードおよび簡易 SPI モード時、外部クロック SCKn への入力信号は、High 幅および Low 幅を 2 PCLK 以上、周期を 6 PCLK 以上としてください。

25.12.11 簡易 SPI モードの制約事項

(1) マスタモード

- SPMR.SSE ビットが“1”のとき、SPMR.CKPH、CKPOL ビットにより設定した送受信クロックの初期値に合わせてクロック線を抵抗でプルアップ（プルダウン）してください。
SCR.TE ビットを“0”にしたときにクロック線がハイインピーダンスになるのを防ぐ、また SCR.TE ビットを“0”から“1”にしたときにクロック線に意図しないエッジが発生するのを防ぐためです。シングルマスタモードで SPMR.SSE ビットが“0”のときは、SCR.TE ビットを“0”にしてもクロック線はハイインピーダンスになりませんのでプルアップ（プルダウン）は不要です。
- クロック遅れあり設定 (SPMR.CKPH ビット=1) の場合、図 25.63 に示すように SCKn 端子の最終クロックエッジ手前のクロックエッジで受信データフル割り込み (RXI) が発生します。このとき、SCR レジスタの TE、RE ビットを SCKn 端子の最終クロックエッジより前に“0”に設定すると SCKn 端子出力がハイインピーダンスとなり、最終送受信クロックのクロックパルス幅が短くなります。また、RXI 割り込み後、SCKn 端子の最終クロックエッジより前に接続先スレーブに対する SSn# 端子入力信号を High にするとスレーブが誤動作する可能性があります。
- マルチマスタ時、送受信キャラクタの途中でモードフォルトエラーが発生すると、SSn# 端子入力が Low の間 SCKn 端子出力がハイインピーダンスとなり、接続先スレーブへの送受信クロック供給が停止します。送受信動作再開時のビットずれを回避するために、接続先スレーブの再設定を行ってください。

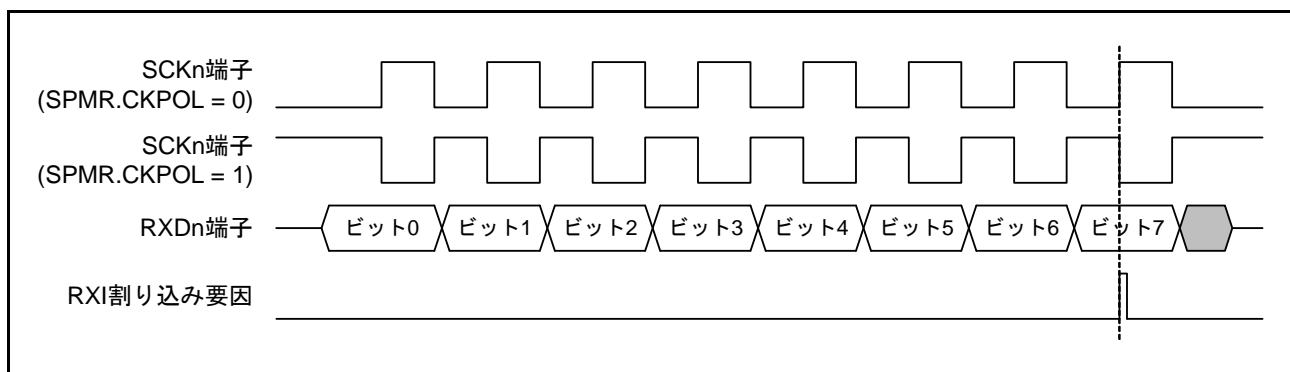


図 25.63 簡易 SPI モード（クロック遅れあり）RXI 割り込み発生タイミング

(2) スレーブモード

- TDR レジスタへの送信データの書き込みから外部クロック入力開始まで 5PCLK 以上の時間を確保し、また SSn# 端子への Low 入力から外部クロック入力開始までについても 5PCLK 以上の時間を確保してください。
- マスタからの外部クロックの供給は転送データ長と同じにしてください。
- SSn# 端子入力は、データ転送開始前と完了後に制御してください。
- SSn# 端子入力が送受信キャラクタの途中で Low から High に変化した場合は、SCR レジスタの TE、RE ビットを“0”にし、再設定後、1 バイト目から転送をやり直してください。

25.12.12 トランスミットイネーブルビット (TE ビット) に関する注意事項

端子の機能を「TXDn」に設定した状態で、SCR.TE ビットを“0” (シリアル送信動作を禁止) にすると、端子の出力がハイインピーダンスになります。

以下のいずれかの方法により、TXDn ラインがハイインピーダンスにならないようにしてください。

- (1) TXDn ラインにプルアップ抵抗を接続する。
- (2) SCR.TE ビットを“0”にする前に、端子の機能を「汎用入出力ポート、出力」に変更する。
また、SCR.TE ビットを“1”にしてから、端子の機能を「TXDn」に変更する。

26. I²Cバスインタフェース (RIICa)

本MCUは、1チャンネルのI²Cバスインタフェース (RIIC) を内蔵しています。

RIICは、NXP社が提唱するI²Cバス (Inter-IC-bus) インタフェース方式に準拠しており、そのサブセット機能を内蔵しています。

本章に記載しているPCLKとはPCLKBを指します。

26.1 概要

表26.1にRIICの仕様を、図26.1にRIICのブロック図を、図26.2に入出力端子の外部回路接続例 (I²Cバス構成例) を示します。表26.2にRIICで使用する入出力端子を示します。

表26.1 RIICの仕様 (1/2)

項目	内容
通信フォーマット	<ul style="list-style-type: none"> I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブ選択可能 設定した転送速度に応じた各種セットアップ時間、ホールド時間、バスフリー時間を自動確保
転送速度	ファストモード対応 (~400 kbps)
SCLクロック	マスタ時、SCLクロックのデューティ比を4%~96%の範囲で設定可能
コンディション発行・コンディション検出	スタートコンディション/リスタートコンディション/ストップコンディションの自動生成、スタートコンディション(リスタートコンディション含む)/ストップコンディション検出可能
スレーブアドレス	<ul style="list-style-type: none"> 異なるスレーブアドレスを3種類まで設定可能 7ビット/10ビットアドレスフォーマット対応 (混在可能) ジェネラルコールアドレス検出、デバイスIDアドレス検出、SMBusのホストアドレス検出可能
アクリッジ応答	<ul style="list-style-type: none"> 送信時、アクリッジビットの自動ロード ノットアクリッジ受信時に次送信データ転送の自動中断が可能 受信時、アクリッジビットの自動送出 8クロック目と9クロック目の間にウェイトありを選択すると、受信データ内容に応じたアクリッジビット応答のソフトウェア制御が可能
ウェイト機能	<ul style="list-style-type: none"> 受信時、SCLクロックのLowホールドによるウェイトが可能 8クロック目と9クロック目の間をウェイト 9クロック目と1クロック目の間をウェイト
SDA出力遅延機能	アクリッジ送信を含むデータ送信の出カタイミングを遅延させることが可能
アービトレーション	<ul style="list-style-type: none"> マルチマスタ対応 他のマスタとのSCLクロック衝突時、SCLクロックの同期動作可能 スタートコンディション発行競合時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 マスタ時、送信データ不一致でアービトレーションロスト検出可能 バスビジー中のスタートコンディション発行でアービトレーションロスト検出可能 (スタートコンディションの二重発行防止) ノットアクリッジ送信時、SDAライン上の信号の状態が不一致ならアービトレーションロスト検出可能 スレーブ送信時、データ不一致でアービトレーションロスト検出可能
タイムアウト検出機能	内蔵タイムアウト検出機能によりSCLクロックの長時間停止を検出可能
ノイズ除去	SCL、SDA入口にデジタルノイズフィルタを内蔵、ノイズ除去幅をソフトウェアで調整可能
割り込み要因	4種類 <ul style="list-style-type: none"> 通信エラー/通信イベント発生 アービトレーション検出 NACK検出 タイムアウト検出 スタートコンディション検出 (リスタートコンディション含む) ストップコンディション検出 受信データフル (スレーブアドレス一致時含む) 送信データエンプティ (スレーブアドレス一致時含む) 送信終了
消費電力低減機能	モジュールストップ状態への遷移が可能

表 26.1 RIICの仕様 (2/2)

項目	内容
RIICの動作モード	<ul style="list-style-type: none"> 4種類 マスタ送信モード、マスタ受信モード、スレーブ送信モード、スレーブ受信モード

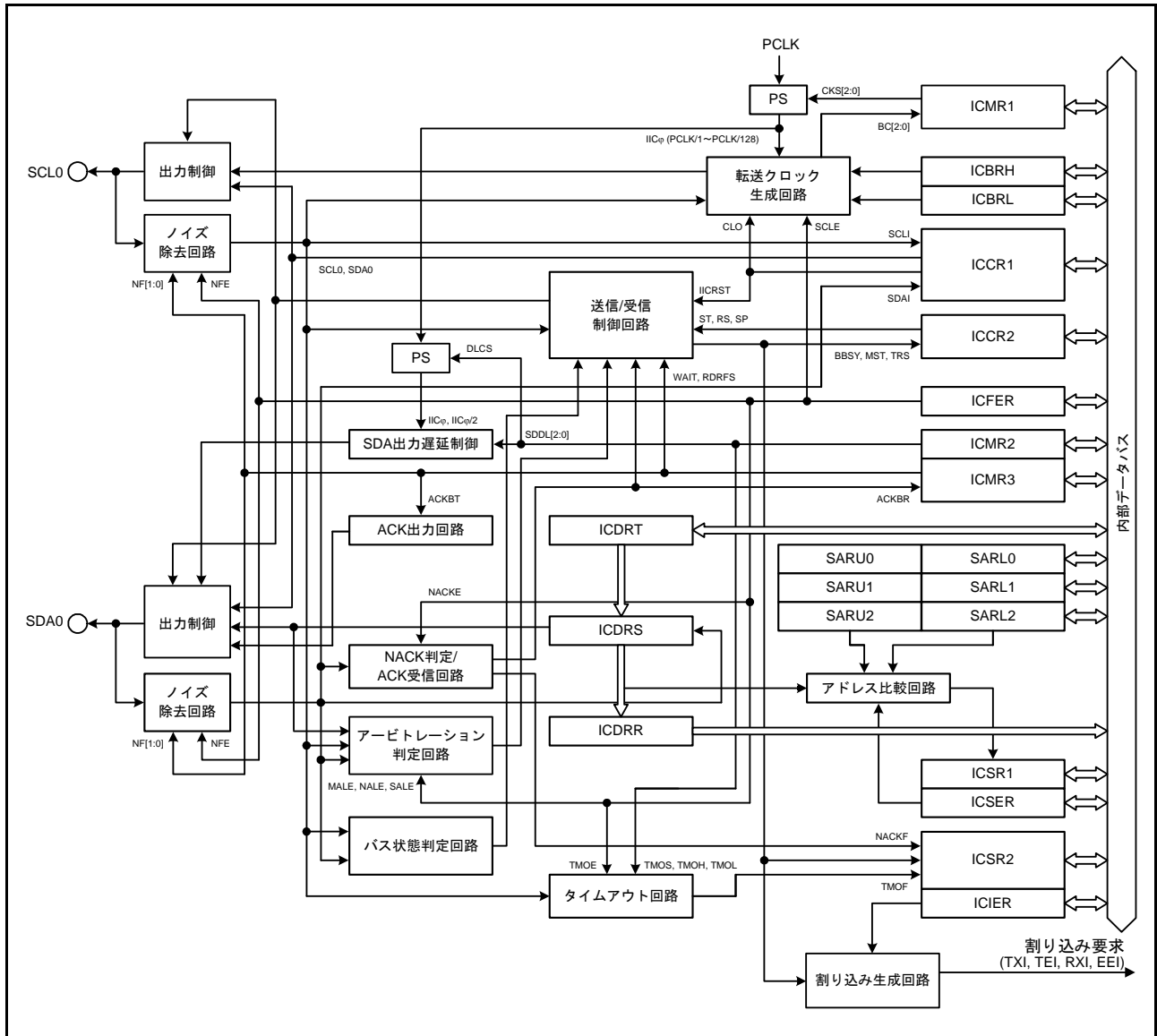


図 26.1 RIICのブロック図

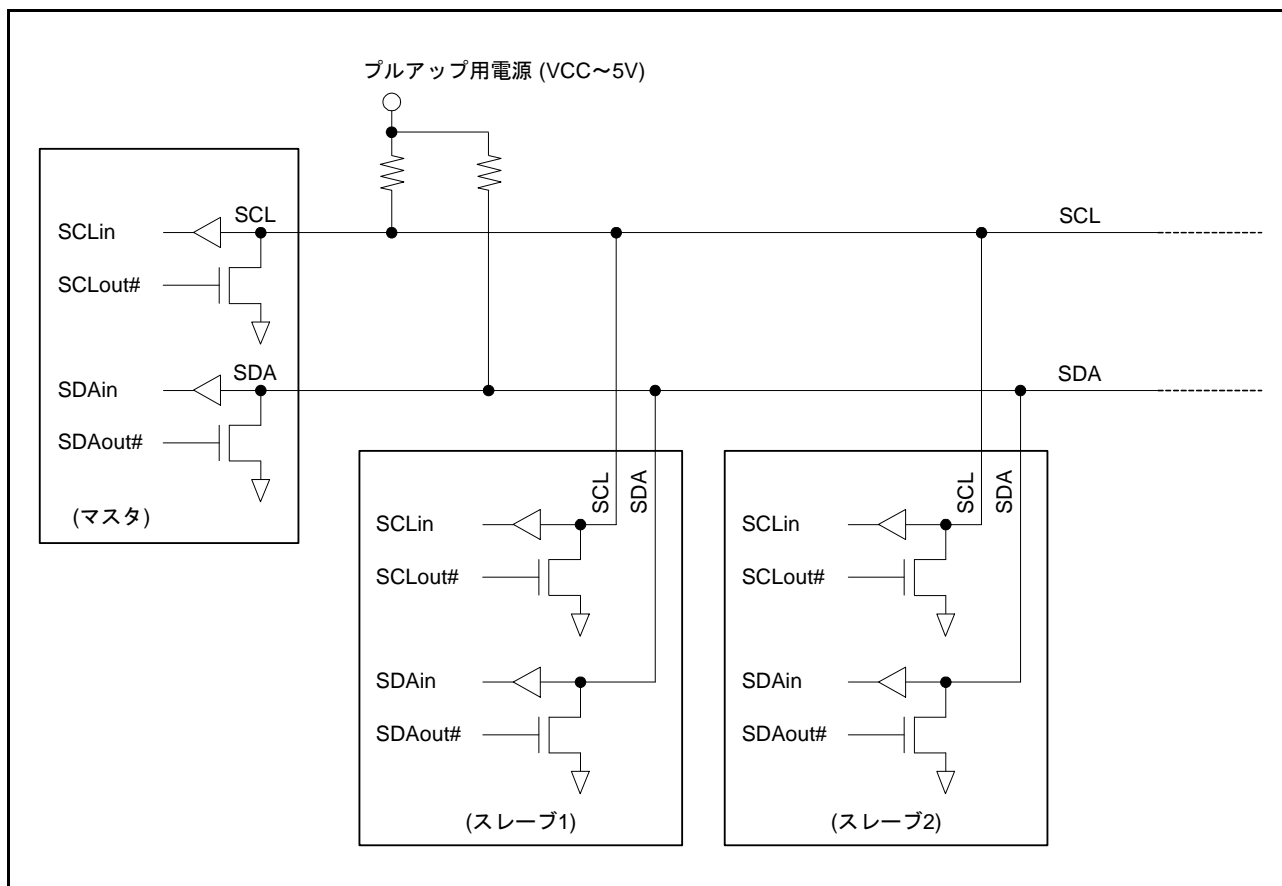


図 26.2 入出力端子の外部回路接続例 (I²C バス構成例)

RIIC の各信号の入力レベルは、I²C バス選択時 (ICMR3.SMBS ビット = 0) は CMOS レベルであり、SMBus 選択時 (ICMR3.SMBS ビット = 1) は TTL レベルです。

表 26.2 RIICの入出力端子

チャンネル	端子名	入出力	機能
RIIC0	SCL0	入出力	RIIC0シリアルクロック入出力端子
	SDA0	入出力	RIIC0シリアルデータ入出力端子

26.2 レジスタの説明

26.2.1 I²Cバスコントロールレジスタ 1 (ICCR1)

アドレス RIIC0.ICCR1 0008 8300h

	b7	b6	b5	b4	b3	b2	b1	b0
	ICE	IICRST	CLO	SOWP	SCLO	SDAO	SCLI	SDAI
リセット後の値	0	0	0	1	1	1	1	1

ビット	シンボル	ビット名	機能	R/W
b0	SDAI	SDAラインモニタビット	0 : SDA0ラインはLow 1 : SDA0ラインはHigh	R
b1	SCLI	SCLラインモニタビット	0 : SCL0ラインはLow 1 : SCL0ラインはHigh	R
b2	SDAO	SDA出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SDA0端子をLowにしている 1 : SDA0端子を解放している ライト時 0 : SDA0端子をLowにする 1 : SDA0端子を解放する 	R/W
b3	SCLO	SCL出力制御/モニタビット	<ul style="list-style-type: none"> リード時 0 : SCL0端子をLowにしている 1 : SCL0端子を解放している ライト時 0 : SCL0端子をLowにする 1 : SCL0端子を解放する (外部プルアップ抵抗によりHigh出力) 	R/W
b4	SOWP	SCLO/SDAOライトプロテクトビット	0 : SCLO、SDAOビットの書き換え許可 1 : SCLO、SDAOビットを保護 (読むと“1”が読めます)	R/W
b5	CLO	SCLクロック追加出力ビット	0 : SCLクロックを追加で出力しない(通常状態) 1 : SCLクロックを追加で出力する (1クロック出力後、自動的に“0”になる)	R/W
b6	IICRST	I ² Cバスインタフェース内部リセットビット	0 : RIICリセット、内部リセット解除 1 : RIICリセット、内部リセット状態 (ビットカウンタのクリア、SCL0/SDA0出力ラッチを解除)	R/W
b7	ICE	I ² Cバスインタフェース許可ビット	0 : 禁止(SCL0、SDA0端子非駆動状態) 1 : 許可(SCL0、SDA0端子駆動状態) (IICRSTビットとの組み合わせで、RIICリセット、内部リセットを選択)	R/W

SDAO ビット (SDA 出力制御 / モニタビット)、SCLO ビット (SCL 出力制御 / モニタビット)

RIICが出力するSDA0信号、SCL0信号を直接操作するためのビットです。

これらのビットに値を書く場合は、同時にSOWPビットにも“0”を書いてください。

これらのビットを操作した結果は入力バッファを介してRIICに入力されます。スレーブモードに設定していると、ビットの操作内容によってはスタートコンディションを検出してバスを解放することがあります。

スタートコンディション、ストップコンディション、リスタートコンディション期間中、および送受信中にこれらのビットを書き換えしないでください。これらの期間に書き換えた場合の動作は保証できません。

これらのビットを読んだ場合は、そのときRIICが出力している信号の状態が読めます。

CLO ビット (SCL クロック追加出力ビット)

SCLクロックを1クロック単位で追加出力をする機能で、デバッグ時または異常処理時に使用します。

通常は“0”にしてください。正常な通信動作中に使用すると通信エラーの原因になります。
本機能の詳細については、「26.11.2 SCL クロック追加出力機能」を参照してください。

IICRST ビット (I²C バスインタフェース内部リセットビット)

RIIC の内部状態をリセットします。

IICRST ビットを“1”にすると、RIIC リセットまたは内部リセットを行うことができます。

RIIC リセット、内部リセットは ICE ビットとの組み合わせによって決定します。表 26.3 に RIIC のリセットの種類を示します。

RIIC リセットでは全レジスタおよび内部状態を、内部リセットではビットカウンタ (ICMR1.BC[2:0] ビット)、I²C バスシフトレジスタ (ICDRS)、I²C バスステータスレジスタ (ICSR1, ICSR2) および内部状態をリセットします。各レジスタのリセット状況については、「26.14 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

動作中 (ICE ビット = 1 の状態)、通信不具合などによりバス状態や RIIC がハングアップしたときに IICRST ビットを“1”にすると、ポートの設定、RIIC の各コントロールレジスタや設定レジスタを初期化せずに RIIC の内部状態をリセットすることができます。

また RIIC が Low を出力したままハングアップした場合、内部状態をリセットすることで SCL0 端子 / SDA0 端子をハイインピーダンスにしてバスを解放することができます。

- 注. スレーブモード時でマスタデバイスと通信中にバスハングアップなどにより IICRST ビットで内部リセットを行うと、マスタデバイスの状態と異なる状態 (主に双方のビットカウンタ情報に差異が生じる) になる可能性があるため、スレーブモード時には基本的に内部リセットは行わず、復帰処理はマスタデバイスから行うようにしてください。もし、RIIC がスレーブモード時に SCL0 ラインを Low 出力状態のままハングアップして内部リセットが必要な場合には、内部リセット後にマスタデバイスからリスタートコンディション発行、またはストップコンディション発行後スタートコンディション発行から通信をやり直すようにしてください。スレーブデバイスのみ単独でリセットを行い、マスタデバイスからスタートコンディションまたはリスタートコンディション発行がないまま通信が再開された場合、双方の動作状態に差異が生じたまま動作することになるため同期ズレの原因になります。

表 26.3 RIIC のリセットの種類

IICRST	ICE	状態	内容
1	0	RIIC リセット	RIIC 全レジスタおよび内部状態をリセット
	1	内部リセット	ICMR1.BC[2:0] ビット、ICSR1、ICSR2、ICDRS レジスタおよび内部状態をリセット

ICE ビット (I²C バスインタフェース許可ビット)

SCL0、SDA0 端子の駆動状態、非駆動状態を選択します。また、ICE ビットは IICRST ビットとの組み合わせにより、2 種類のリセットを行うことができます。リセットの種類については「表 26.3 RIIC のリセットの種類」を参照してください。

RIIC を使用するときは、ICE ビットを“1”に設定してください。ICE ビットが“1”のとき、SCL0、SDA0 端子駆動状態になります。

RIIC を使用しないときは、ICE ビットを“0”に設定してください。ICE ビットが“0”のとき、SCL0、SDA0 端子非駆動状態になります。また、マルチファンクションピンコントローラ (MPC) の設定で SCL0、SDA0 端子を RIIC に割り当てないでください。RIIC に割り当てられている場合、スレーブアドレス比較動作を行いますので注意してください。

26.2.2 I²Cバスコントロールレジスタ 2 (ICCR2)

アドレス RIIC0.ICCR2 0008 8301h

	b7	b6	b5	b4	b3	b2	b1	b0
	BBSY	MST	TRS	—	SP	RS	ST	—
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	ST	スタートコンディション発行要求ビット	0: スタートコンディションの発行を要求しない 1: スタートコンディションの発行を要求する	R/W
b2	RS	リスタートコンディション発行要求ビット	0: リスタートコンディションの発行を要求しない 1: リスタートコンディションの発行を要求する	R/W
b3	SP	ストップコンディション発行要求ビット	0: ストップコンディションの発行を要求しない 1: ストップコンディションの発行を要求する	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	TRS	送信/受信モードビット	0: 受信モード 1: 送信モード	R/W (注1)
b6	MST	マスタ/スレーブモードビット	0: スレーブモード 1: マスタモード	R/W (注1)
b7	BBSY	バスビジー検出フラグ	0: I ² Cバスが解放状態(バスフリー状態) 1: I ² Cバスが占有状態(バスビジー状態)	R

注1. ICMR1.MTWPビットが“1”のとき、MST、TRSビットへの書き込みができます。

STビット(スタートコンディション発行要求ビット)

マスタモードへの移行およびスタートコンディションの発行を要求します。

STビットが“1”になるとスタートコンディションの発行を要求し、BBSYフラグが“0”(バスフリー)のときスタートコンディションの発行を行います。

スタートコンディション発行の詳細については、「26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- “1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- スタートコンディションの発行が完了したとき(スタートコンディションを検出したとき)
- ICSR2.ALフラグが“1”になったとき(アービトレーションロスト)
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

注. STビットは、BBSYフラグが“0”(バスフリー)のとき、“1”(スタートコンディション発行要求)にしてください。

BBSYフラグが“1”(バスビジー)のとき、STビットを“1”(スタートコンディション発行要求)にすると、スタートコンディション発行エラーとしてアービトレーションロストが発生しますので注意してください。

RSビット(リスタートコンディション発行要求ビット)

マスタモードでリスタートコンディションの発行を要求します。

RSビットが“1”になるとリスタートコンディションの発行を要求し、BBSYフラグが“1”(バスビジー)でかつMSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディション発行の詳細動作については、「26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- リスタートコンディションの発行が完了したとき (スタートコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. ストップコンディション発行中に RS ビットを“1”にしないでください。

注. スレーブモードでは RS ビットに“1”(リスタートコンディション発行要求)を書いた場合、リスタートコンディションは発行されずに RS ビットは“1”のままになります。この状態からマスタモードに移行させた場合、リスタートコンディションが発行される可能性がありますので注意してください。

SP ビット (ストップコンディション発行要求ビット)

マスタモードでストップコンディションの発行を要求します。

SP ビットが“1”になるとストップコンディションの発行を要求し、BBSY フラグが“1”(バスビジー)でかつ MST ビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディション発行の詳細動作については、「26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能」を参照してください。

["1"になる条件]

- ICCR2.BBSY フラグが“1”でかつ ICCR2.MST ビットが“1”の状態、“1”を書いたとき

["0"になる条件]

- “0”を書いたとき
- ストップコンディションの発行が完了したとき (ストップコンディションを検出したとき)
- ICSR2.AL フラグが“1”になったとき (アービトレーションロスト)
- スタートコンディションおよびリスタートコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

注. BBSY フラグが“0”(バスフリー)のとき書き込みはできません。

注. リスタートコンディション発行中に SP ビットを“1”にしないでください。

TRS ビット (送信/受信モードビット)

送信/受信モードを示すビットです。

TRS ビットが“0”のとき受信モード、TRS ビットが“1”のとき送信モードを表し、MST ビットとの組み合わせで RIIC の動作モードを表します。

TRS ビットは、スタートコンディションの発行/検出および R/W# ビットの値で“1”または“0”になり、RIIC の動作モードは自動的に送信モードまたは受信モードに移行します。ICMR1.MTWP ビットが“1”のとき書き込みはできますが、通常では書き込みの必要はありません。

["1"になる条件]

- スタートコンディション発行要求により正常にスタートコンディションが発行されたとき (ST ビットが“1”の状態、スタートコンディションを検出したとき)
- リスタートコンディション発行要求により正常にリスタートコンディションが発行されたとき (RS ビットが“1”の状態、リスタートコンディションを検出したとき)

- マスタモード時、スレーブアドレスに付加した R/W# ビットが “0” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “1” を受信したとき
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

["0" になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- マスタモード時、スレーブアドレスに付加した R/W# ビットが “1” のとき
- スレーブモード時、受信したスレーブアドレスが ICSER レジスタで有効にしたアドレスと一致し、かつ R/W# ビットに “0” を受信したとき (ジェネラルコールアドレス含む)
- スレーブモード時、リスタートコンディションを検出したとき (ICCR2.BBSY フラグ = 1、ICCR2.MST ビット = 0 の状態でスタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

MST ビット (マスタ/スレーブモードビット)

マスタモード/スレーブモードを示すビットです。

MST ビットが “0” のときスレーブモード、MST ビットが “1” のときマスタモードを表し、TRS ビットとの組み合わせで RIIC の動作モードを表します。

MST ビットは、スタートコンディションの発行、ストップコンディションの発行/検出などで “1” または “0” になり、RIIC の動作モードは自動的にマスタモードまたはスレーブモードに移行します。ICMR1.MTWP ビットが “1” のとき書き込みはできますが、通常では書き込みの必要はありません。

["1" になる条件]

- スタートコンディション発行要求によるスタートコンディションが正常に発行されたとき (ST ビットが “1” の状態で、スタートコンディションを検出したとき)
- ICMR1.MTWP ビットが “1” の状態で “1” を書いたとき

["0" になる条件]

- ストップコンディションを検出したとき
- ICSR2.AL フラグが “1” になったとき (アービトレーションロスト)
- ICMR1.MTWP ビットが “1” の状態で “0” を書いたとき
- ICCR1.IICRST ビットに “1” を書き、RIIC リセットまたは内部リセットしたとき

BBSY フラグ (バスビジー検出フラグ)

I²C バスの占有 (バスビジー) / 解放状態 (バスフリー) を示します。

SCL0 ラインが High の状態で SDA0 ラインが High から Low に変化すると、スタートコンディションが発行されると認識して “1” になります。

SCL0 ラインが High の状態で SDA0 ラインが Low から High に変化すると、ストップコンディションが発行されると認識し、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコンディション検出がないとき “0” になります。

["1" になる条件]

- スタートコンディションを検出したとき

["0" になる条件]

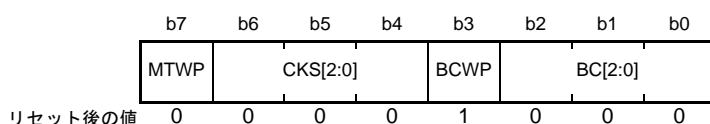
- ストップコンディションを検出後、バスフリーの時間 (ICBRL レジスタに設定した時間) スタートコン

ディション検出がないとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

26.2.3 I²C バスモードレジスタ 1 (ICMR1)

アドレス RIIC0.ICMR1 0008 8302h



ビット	シンボル	ビット名	機能	R/W
b2-b0	BC[2:0]	ビットカウンタ	b2 b0 0 0 0 : 9ビット 0 0 1 : 2ビット 0 1 0 : 3ビット 0 1 1 : 4ビット 1 0 0 : 5ビット 1 0 1 : 6ビット 1 1 0 : 7ビット 1 1 1 : 8ビット	R/W (注1)
b3	BCWP	BCライトプロテクトビット	0 : BC[2:0]の値を設定許可 (読むと“1”が読めます)	R/W (注1)
b6-b4	CKS[2:0]	内部基準クロック選択ビット	RIICの内部基準クロックソース (IIC _φ) を選択します b6 b4 0 0 0 : PCLK/1クロック 0 0 1 : PCLK/2クロック 0 1 0 : PCLK/4クロック 0 1 1 : PCLK/8クロック 1 0 0 : PCLK/16クロック 1 0 1 : PCLK/32クロック 1 1 0 : PCLK/64クロック 1 1 1 : PCLK/128クロック	R/W
b7	MTWP	MST/TRSライトプロテクトビット	0 : ICCR2.MST, TRSビットへの書き込み禁止 1 : ICCR2.MST, TRSビットへの書き込み許可	R/W

注1. BC[2:0]ビットを書き換える場合は、BCWPビットを“0”にするのと同時に書き換えてください。

BC[2:0] ビット (ビットカウンタ)

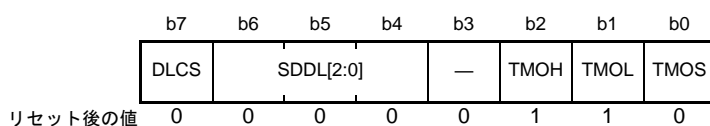
SCL0 ラインの立ち上がりでダウンカウントを行うカウンタで、読み出すと残りの転送ビット数を知ることができます。読み出しおよび書き込みはできませんが、通常ではアクセスする必要はありません。

なお、書く場合には転送するデータのビット数+1を指定し(データにアクリッジ1ビットが付加されて転送される)、転送バイト間にかつ SCL0 ラインが Low の状態で行ってください。

BC[2:0] ビットはアクリッジを含むデータ転送終了時、またはスタートコンディション検出(リスタートコンディション含む)で自動的に“000b”に戻ります。

26.2.4 I²Cバスモードレジスタ 2 (ICMR2)

アドレス RIIC0.ICMR2 0008 8303h



ビット	シンボル	ビット名	機能	R/W
b0	TMOS	タイムアウト検出時間選択ビット	0 : ロングモードを選択 1 : ショートモードを選択	R/W
b1	TMOL	タイムアウトLカウント制御ビット	0 : SCL0ラインがLow期間中のカウントアップを禁止 1 : SCL0ラインがLow期間中のカウントアップを許可	R/W
b2	TMOH	タイムアウトHカウント制御ビット	0 : SCL0ラインがHigh期間中のカウントアップを禁止 1 : SCL0ラインがHigh期間中のカウントアップを許可	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6-b4	SDDL[2:0]	SDA出力遅延カウンタ	<ul style="list-style-type: none"> ICMR2.DLCSビット=0 (IIC_φ)のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IIC_φの1サイクル 0 1 0 : IIC_φの2サイクル 0 1 1 : IIC_φの3サイクル 1 0 0 : IIC_φの4サイクル 1 0 1 : IIC_φの5サイクル 1 1 0 : IIC_φの6サイクル 1 1 1 : IIC_φの7サイクル ICMR2.DLCSビット=1 (IIC_φ/2)のとき b6 b4 0 0 0 : 出力遅延なし 0 0 1 : IIC_φの1~2サイクル 0 1 0 : IIC_φの3~4サイクル 0 1 1 : IIC_φの5~6サイクル 1 0 0 : IIC_φの7~8サイクル 1 0 1 : IIC_φの9~10サイクル 1 1 0 : IIC_φの11~12サイクル 1 1 1 : IIC_φの13~14サイクル 	R/W
b7	DLCS	SDA出力遅延クロックソース 選択ビット	0 : SDA出力遅延カウンタのクロックソースに 内部基準クロック (IIC _φ)を選択 1 : SDA出力遅延カウンタのクロックソースに 内部基準クロックの2分周 (IIC _φ /2)を選択 (注1)	R/W

注1. SCL端子がLowのときのみDLCSビット=1 (IIC_φ/2)の設定が有効になります。SCL端子がHighのときDLCSビット=1の設定は無効となり内部基準クロック (IIC_φ)となります。

TMOS ビット (タイムアウト検出時間選択ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) にタイムアウト検出時間を選択するビットで、“0”にするとロングモード、“1”にするとショートモードになります。ロングモードではタイムアウト検出用内部カウンタが16ビットカウンタとして、またショートモードでは14ビットカウンタとして動作し、SCL0ラインがTMOH、TMOLビットで選択された状態になったとき、内部基準クロック (IIC_φ)をカウントソースとしてアップカウントを行います。

タイムアウト検出機能の詳細については、「26.11.1 タイムアウト検出機能」を参照してください。

TMOL ビット (タイムアウトLカウント制御ビット)

タイムアウト検出機能が有効時 (ICFER.TMOE ビット=1) にSCL0ラインがLow期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

TMOH ビット (タイムアウトHカウント制御ビット)

タイムアウト検出機能有効時 (ICFER.TMOE ビット=1) に SCL0 ラインが High 期間中にタイムアウト検出機能の内部カウンタのカウントアップを許可するか禁止するかを選択するビットです。

SDDL[2:0] ビット (SDA 出力遅延カウンタ)

SDDL[2:0] ビットの設定値により、SDA 出力を遅延させることができます。SDA 出力遅延カウンタは、DLCS ビットで選択したクロックソースによりカウントします。また、この機能の設定はアクノリッジビット送出を含むすべての SDA 出力に適用されます。

SDA 出力遅延の設定は、I²C バス仕様 (データ有効時間/アクノリッジ有効時間 (注1) 内) または SMBus 仕様 (データホールド時間: 300 ns 以上、かつ SCL クロックの Low 幅-データセットアップ時間: 250 ns の範囲内) に収まるようにしてください。仕様外を設定した場合、通信デバイスとの通信破綻を引き起こすか、バスの状態によっては見かけ上スタートコンディションまたはストップコンディションになる可能性がありますので注意してください。

本機能の詳細については、「26.5 SDA 出力遅延機能」を参照してください。

注 1. データ有効時間/アクノリッジ有効時間

3,450 ns (~ 100 kbps : スタンダードモード (Sm))

900 ns (~ 400 kbps : ファストモード (Fm))

26.2.5 I²Cバスモードレジスタ 3 (ICMR3)

アドレス RIIC0.ICMR3 0008 8304h

b7	b6	b5	b4	b3	b2	b1	b0
SMBS	WAIT	RDRFS	ACKWP	ACKBT	ACKBR	NF[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	NF[1:0]	ノイズフィルタ段数選択ビット	b1 b0 0 0 : 1 IIC ϕ 以下のノイズを除去(フィルタは1段) 0 1 : 2 IIC ϕ 以下のノイズを除去(フィルタは2段) 1 0 : 3 IIC ϕ 以下のノイズを除去(フィルタは3段) 1 1 : 4 IIC ϕ 以下のノイズを除去(フィルタは4段)	R/W
b2	ACKBR	受信アクノリッジビット	0 : アクノリッジビットに“0”を受信(ACK受信) 1 : アクノリッジビットに“1”を受信(NACK受信)	R
b3	ACKBT	送信アクノリッジビット	0 : アクノリッジビットに“0”を送出(ACK送信) 1 : アクノリッジビットに“1”を送出(NACK送信)	R/W (注1)
b4	ACKWP	ACKBTライトプロテクトビット	0 : ACKBTビットへの書き込み禁止 1 : ACKBTビットへの書き込み許可	R/W (注1)
b5	RDRFS	RDRFフラグセット タイミング選択ビット	0 : SCLクロックの9クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドしない) 1 : SCLクロックの8クロック目の立ち上がり時に“1”になる (8クロック目の立ち下がりにてSCL0ラインをLowにホールドする) LowホールドはACKBTビットへの書き込みで解除	R/W (注2)
b6	WAIT	WAITビット	0 : WAITなし (9クロック目と1クロック目の間をLowにホールドしない) 1 : WAITあり (9クロック目と1クロック目の間をLowにホールドする) LowホールドはICDRRレジスタの読み出しで解除	R/W (注2)
b7	SMBS	SMBus/I ² Cバス選択 ビット	0 : I ² Cバス選択 1 : SMBus選択	R/W

注1. ACKBTビットに書く場合には、ACKWPビットが“1”の状態で行ってください。ACKBTビットへの書き込みと同時に“1”にしても、ACKBTビットに書き込みはできません。

注2. WAITビットおよびRDRFSビットは、受信モードのみ有効、送信モード時は無効です。

NF[1:0] ビット (ノイズフィルタ段数選択ビット)

デジタルノイズフィルタの段数を選択します。

デジタルノイズフィルタ機能の詳細については、「26.6 デジタルノイズフィルタ回路」を参照してください。

注. ノイズフィルタで除去するノイズ幅の設定は、SCL0ラインのHigh/Low幅よりも狭くしてください。
(SCLクロックの幅 : High幅またはLow幅のいずれか短い方) – (1.5 内部基準クロック同期 (IIC ϕ) + アナログノイズフィルタ : 120 ns (参考値)) と同じか、それ以上に設定した場合は、RIICのノイズフィルタ機能によりSCLクロックをノイズとみなし、正常に動作することができなくなる可能性がありますので注意してください。

ACKBR ビット (受信アクノリッジビット)

送信モード時に受信デバイスから受け取ったアクノリッジビットの内容を格納します。

["1"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“1”を受信したとき

["0"になる条件]

- ICCR2.TRS ビットが“1”の状態アクノリッジビットに“0”を受信したとき

- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKBT ビット (送信アクノリッジビット)

受信モード時にアクノリッジのタイミングで送出するビットを設定します。

[“1”になる条件]

- ACKWP ビットが“1”の状態では“1”を書いたとき

[“0”になる条件]

- ACKWP ビットが“1”の状態では“0”を書いたとき
- ストップコンディションの発行を検出したとき (ICCR2.SP ビットが“1”の状態では ストップコンディションを検出したとき)
- ICCR1.ICE ビットが“0”の状態では ICCR1.IICRST ビットに“1”を書いたとき (RIIC リセット)

ACKWP ビット (ACKBT ライトプロテクトビット)

ACKBT ビットへの書き込みを制御します。

RDRFS ビット (RDRF フラグセット タイミング選択ビット)

受信モードにおいて RDRF フラグのセットタイミングおよび SCL クロックの 8 クロック目の立ち下がりで SCL0 ラインの Low ホールドを行うかどうかを選択します。

RDRFS ビットが“0”のとき、8 クロック目の立ち下がりで SCL0 ラインの Low ホールドは行わず、9 クロック目の立ち上がりで RDRF フラグを“1”にします。

RDRFS ビットが“1”のとき、RDRF フラグは 8 クロック目の立ち上がりで“1”にし、8 クロック目の立ち下がりで SCL0 ラインを Low にホールドします。この SCL0 ラインの Low ホールドは ACKBT ビットへの書き込みにより解除されます。

この設定のとき、データ受信後アクノリッジビット送出前に SCL0 ラインを自動的に Low にホールドするため、受信データの内容に応じて ACK (ACKBT ビットが“0”) または NACK (ACKBT ビットが“1”) を送出する処理が可能です。

WAIT ビット (WAIT ビット)

WAIT ビットは、受信モードにおいて 1 バイト受信ごとに I²C バス受信データレジスタ (ICDRR) の読み出しが完了するまで、SCL クロックの 9 クロック目と 1 クロック目の間を Low にホールドするかどうかを制御します。

WAIT ビットが“0”のとき、SCL クロックの 9 クロック目と 1 クロック目の間の Low ホールドは行わず、受信動作をそのまま続けます。RDRFS ビットと WAIT ビットがともに“0”のとき、ダブルバッファによる連続受信動作が可能です。

WAIT ビットが“1”のとき、1 バイト受信ごとに 9 クロック目の立ち下がりで以降、ICDRR レジスタの値が読み出されるまでの間 SCL0 ラインを Low にホールドします。これにより 1 バイトごとの受信動作が可能です。

注. WAIT ビットを“0”にする場合は、ICDRR レジスタを先に読んでから“0”にしてください。

SMBS ビット (SMBus/I²C バス選択ビット)

SMBS ビットを“1”にすると、SMBus が選択され IC SER.HOAE ビットが有効になります。

26.2.6 I²Cバスファンクション許可レジスタ (ICFER)

アドレス RIIC0.ICFER 0008 8305h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	SCLE	NFE	NACKE	SALE	NALE	MALE	TMOE
リセット後の値	0	1	1	1	0	0	1	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOE	タイムアウト検出機能有効ビット	0: タイムアウト検出機能無効 1: タイムアウト検出機能有効	R/W
b1	MALE	マスターアービトレーションロスト検出許可ビット	0: マスターアービトレーションロスト検出禁止 (アービトレーションロスト検出機能を無効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行わない) 1: マスターアービトレーションロスト検出許可 (アービトレーションロスト検出機能を有効にし、アービトレーションロスト発生によるICCR2.MST, TRSビットの自動クリアを行う)	R/W
b2	NALE	NACK送信アービトレーションロスト検出許可ビット	0: NACK送信アービトレーションロスト検出禁止 1: NACK送信アービトレーションロスト検出許可	R/W
b3	SALE	スレーブアービトレーションロスト検出許可ビット	0: スレーブアービトレーションロスト検出禁止 1: スレーブアービトレーションロスト検出許可	R/W
b4	NACKE	NACK受信転送中断許可ビット	0: NACK受信時、転送を中断しない(転送中断禁止) 1: NACK受信時、転送を中断する(転送中断許可)	R/W
b5	NFE	デジタルノイズフィルタ回路有効ビット	0: デジタルノイズフィルタ回路を使用しない 1: デジタルノイズフィルタ回路を使用する	R/W
b6	SCLE	SCL同期回路有効ビット	0: SCL同期回路無効 1: SCL同期回路有効	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

TMOE ビット (タイムアウト検出機能有効ビット)

タイムアウト検出機能の有効/無効を選択します。

タイムアウト検出機能の詳細については、「26.11.1 タイムアウト検出機能」を参照してください。

MALE ビット (マスターアービトレーションロスト検出許可ビット)

マスターモード時にアービトレーションロスト検出機能の有効/無効を決定します。通常は“1”にしてください。

NALE ビット (NACK送信アービトレーションロスト検出許可ビット)

受信モード時、NACK 送中に ACK が検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、2つ以上のマスタが同時に同一のスレーブデバイスを選択しそれぞれ受信バイト数が異なる場合など) にアービトレーションロストを発生させるかどうかを選択します。

SALE ビット (スレーブアービトレーションロスト検出許可ビット)

スレーブ送信モード時、送出中の値と異なる値がバス上で検出された場合 (同じアドレスのスレーブがバス上に存在した場合や、ノイズの影響などにより送信データと不一致が生じた場合など) にアービトレーションロストを発生させるかどうかを選択します。

NACKE ビット (NACK 受信転送中断許可ビット)

送信モード時、スレーブデバイスから NACK を受信した場合に転送動作を継続するか中断するかを選択します。通常は“1”にしてください。

NACKE ビットが“1”のとき、NACK を受信した場合、次の転送動作を中断します。

NACKE ビットが“0”のとき、受信アクノリッジの内容に関わらず次の転送動作を継続します。

NACK 受信転送中断機能の詳細については、「26.8.2 NACK 受信転送中断機能」を参照してください。

SCLE ビット (SCL 同期回路有効ビット)

SCL 入力クロックに対して、SCL クロックの同期化を行うかどうかを選択します。通常は“1”にしてください。

SCLE ビットを“0” (SCL 同期回路無効) にすると、クロック同期を行いません。この設定の場合、RIIC は SCL0 ラインの状態に関わらず ICBRH および ICBRL レジスタで設定された転送速度の SCL クロックを出力します。そのため、I²C バスラインのバス負荷が仕様に定められた値よりも大幅に大きい場合や、マルチマスタにおいて SCL クロック出力が重なった場合など、仕様外の短いクロックになる可能性がありますので注意してください。また SCL 同期回路無効の場合、スタートコンディション・リスタートコンディション・ストップコンディションの発行および SCL クロック追加出力の連続出力にも影響します。

SCLE ビットは、設定した転送速度が出力されているかどうかを確認する場合などを除き“0”にしないでください。

26.2.7 I²Cバスステータス許可レジスタ (ICSER)

アドレス RIIC0.ICSER 0008 8306h

b7	b6	b5	b4	b3	b2	b1	b0
HOAE	—	DIDE	—	GCAE	SAR2E	SAR1E	SAR0E

リセット後の値 0 0 0 0 1 0 0 1

ビット	シンボル	ビット名	機能	R/W
b0	SAR0E	スレーブアドレスレジスタ0許可ビット	0 : SARL0、SARU0の設定値は無効 1 : SARL0、SARU0の設定値は有効	R/W
b1	SAR1E	スレーブアドレスレジスタ1許可ビット	0 : SARL1、SARU1の設定値は無効 1 : SARL1、SARU1の設定値は有効	R/W
b2	SAR2E	スレーブアドレスレジスタ2許可ビット	0 : SARL2、SARU2の設定値は無効 1 : SARL2、SARU2の設定値は有効	R/W
b3	GCAE	ジェネラルコールアドレス許可ビット	0 : ジェネラルコールアドレス検出は無効 1 : ジェネラルコールアドレス検出は有効	R/W
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DIDE	デバイスIDアドレス検出許可ビット	0 : デバイスIDアドレス検出は無効 1 : デバイスIDアドレス検出は有効	R/W
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOAE	ホストアドレス許可ビット	0 : ホストアドレス検出は無効 1 : ホストアドレス検出は有効	R/W

SARyE ビット (スレーブアドレスレジスタ y 許可ビット) (y = 0 ~ 2)

SARLy、SARUy レジスタで設定したスレーブアドレスを有効にするかどうかを選択します。

SARyE ビットを“1”にすると、SARLy、SARUy レジスタの設定値が有効になり、受信したスレーブアドレスと比較が行われます。

SARyE ビットを“0”にすると、SARLy、SARUy レジスタの設定値が無効になり、受信したスレーブアドレスと一致しても無視されます。

GCAE ビット (ジェネラルコールアドレス許可ビット)

ジェネラルコールアドレス (0000 000b + 0 (write) : All “0”) を受信した場合、無視するかどうかを選択します。

GCAE ビットが“1”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y = 0 ~ 2) で設定したスレーブアドレスとは無関係にジェネラルコールアドレスと認識し、受信動作を行います。

GCAE ビットが“0”の場合、受信したスレーブアドレスがジェネラルコールアドレスと一致しても無視されます。

DIDE ビット (デバイス ID アドレス検出許可ビット)

スタートコンディションまたはリスタートコンディション検出後の第一バイトにデバイス ID アドレス (1111 100b) を受信した場合、デバイス ID アドレスと認識して動作させるかどうかを選択します。

DIDE ビットが“1”の場合、受信した第一バイトがデバイス ID アドレスと一致した場合、RIIC はデバイス ID アドレスを受信したと認識し、続く R/W# ビットが“0” (write) のとき第二バイト目以降をスレーブアドレスとみなして受信動作を継続します。

DIDE ビットが“0”の場合、受信した第一バイトがデバイス ID アドレスと一致しても無視され、第一バイトを通常のスレーブアドレスとみなして動作します。

デバイス ID アドレス検出の詳細については、「26.7.3 デバイス ID アドレス検出機能」を参照してください。

HOAE ビット (ホストアドレス許可ビット)

ICMR3.SMBS ビットが“1”の場合、ホストアドレス (0001 000b) を受信したとき、無視するかどうかを選択します。

ICMR3.SMBS ビットが“1”でかつHOAEビットが“1”の場合、受信したスレーブアドレスがホストアドレスと一致すると、RIIC は SARLy、SARUy レジスタ (y=0 ~ 2) で設定したスレーブアドレスとは無関係にホストアドレスと認識し、受信動作を行います。

ICMR3.SMBS ビットが“0”またはHOAEビットが“0”の場合、受信したスレーブアドレスがホストアドレスと一致しても無視されます。

26.2.8 I²Cバス割り込み許可レジスタ (ICIER)

アドレス RIIC0.ICIER 0008 8307h

	b7	b6	b5	b4	b3	b2	b1	b0
	TIE	TEIE	RIE	NAKIE	SPIE	STIE	ALIE	TMOIE
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOIE	タイムアウト割り込み要求許可ビット	0: タイムアウト割り込み (TMOI) 要求の禁止 1: タイムアウト割り込み (TMOI) 要求の許可	R/W
b1	ALIE	アービトレーションロスト割り込み要求許可ビット	0: アービトレーションロスト割り込み (ALI) 要求の禁止 1: アービトレーションロスト割り込み (ALI) 要求の許可	R/W
b2	STIE	スタートコンディション検出割り込み要求許可ビット	0: スタートコンディション検出割り込み (STI) 要求の禁止 1: スタートコンディション検出割り込み (STI) 要求の許可	R/W
b3	SPIE	ストップコンディション検出割り込み要求許可ビット	0: ストップコンディション検出割り込み (SPI) 要求の禁止 1: ストップコンディション検出割り込み (SPI) 要求の許可	R/W
b4	NAKIE	NACK受信割り込み要求許可ビット	0: NACK受信割り込み (NAKI) 要求の禁止 1: NACK受信割り込み (NAKI) 要求の許可	R/W
b5	RIE	受信データフル割り込み要求許可ビット	0: 受信データフル割り込み (RXI) 要求の禁止 1: 受信データフル割り込み (RXI) 要求の許可	R/W
b6	TEIE	送信終了割り込み要求許可ビット	0: 送信終了割り込み (TEI) 要求の禁止 1: 送信終了割り込み (TEI) 要求の許可	R/W
b7	TIE	送信データエンプティ割り込み要求許可ビット	0: 送信データエンプティ割り込み (TXI) 要求の禁止 1: 送信データエンプティ割り込み (TXI) 要求の許可	R/W

TMOIE ビット (タイムアウト割り込み要求許可ビット)

ICSR2.TMOF フラグが“1”になったとき、タイムアウト割り込み (TMOI) 要求の許可/禁止を選択します。TMOI 割り込みは、TMOF フラグを“0”にするか、または TMOIE ビットを“0”にすることで解除できます。

ALIE ビット (アービトレーションロスト割り込み要求許可ビット)

ICSR2.AL フラグが“1”になったとき、アービトレーションロスト割り込み (ALI) 要求の許可/禁止を選択します。ALI 割り込みは、AL フラグを“0”にするか、または ALIE ビットを“0”にすることで解除できます。

STIE ビット (スタートコンディション検出割り込み要求許可ビット)

ICSR2.START フラグが“1”になったとき、スタートコンディション検出割り込み (STI) 要求の許可/禁止を選択します。STI 割り込みは、START フラグを“0”にするか、または STIE ビットを“0”にすることで解除できます。

SPIE ビット (ストップコンディション検出割り込み要求許可ビット)

ICSR2.STOP フラグが“1”になったとき、ストップコンディション検出割り込み (SPI) 要求の許可/禁止を選択します。SPI 割り込みは、STOP フラグを“0”にするか、または SPIE ビットを“0”にすることで解除できます。

NAKIE ビット (NACK 受信割り込み要求許可ビット)

ICSR2.NACKF フラグが“1”になったとき、NACK 受信割り込み (NAKI) 要求の許可 / 禁止を選択します。NAKI 割り込みは、NACKF フラグを“0”にするか、または NAKIE ビットを“0”にすることで解除できます。

RIE ビット (受信データフル割り込み要求許可ビット)

ICSR2.RDRF フラグが“1”になったとき、受信データフル割り込み (RXI) 要求の許可 / 禁止を選択します。

TEIE ビット (送信終了割り込み要求許可ビット)

ICSR2.TEND フラグが“1”になったとき、送信終了割り込み (TEI) 要求の許可 / 禁止を選択します。TEI 割り込みは、TEND フラグを“0”にするか、または TEIE ビットを“0”にすることで解除できます。

TIE ビット (送信データエンプティ割り込み要求許可ビット)

ICSR2.TDRE フラグが“1”になったとき、送信データエンプティ割り込み (TXI) 要求の許可 / 禁止を選択します。

26.2.9 I²C バスステータスレジスタ 1 (ICSR1)

アドレス RIIC0.ICSR1 0008 8308h

b7	b6	b5	b4	b3	b2	b1	b0
HOA	—	DID	—	GCA	AAS2	AAS1	AAS0

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	AAS0	スレーブアドレス0検出フラグ	0: スレーブアドレス0未検出 1: スレーブアドレス0検出	R/(W) (注1)
b1	AAS1	スレーブアドレス1検出フラグ	0: スレーブアドレス1未検出 1: スレーブアドレス1検出	R/(W) (注1)
b2	AAS2	スレーブアドレス2検出フラグ	0: スレーブアドレス2未検出 1: スレーブアドレス2検出	R/(W) (注1)
b3	GCA	ジェネラルコールアドレス検出フラグ	0: ジェネラルコールアドレス未検出 1: ジェネラルコールアドレス検出	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	DID	デバイスIDアドレス検出フラグ	0: デバイスIDアドレス未検出 1: デバイスIDアドレス検出 • スタートコンディション直後の第一バイトがデバイスIDアドレス (1111 100b) + 0 (write) と一致した場合	R/(W) (注1)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	HOA	ホストアドレス検出フラグ	0: ホストアドレス未検出 1: ホストアドレス検出 • 受信したスレーブアドレスがホストアドレス (0001 000b) と一致した場合	R/(W) (注1)

注1. “0”のみ書けます。

AASy フラグ (スレーブアドレス y 検出フラグ) (y=0 ~ 2)

[“1”になる条件]

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと一致したとき、第二バイトの SCL クロックの9クロック目の立ち上がり

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

[7ビットアドレスフォーマット選択時: SARUy.FS ビット = 0]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが SARLy.SVA[6:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

[10ビットアドレスフォーマット選択時: SARUy.FS ビット = 1]

- ICSR.SARyE ビットが“1” (スレーブアドレス y 検出有効) の状態で、受信したスレーブアドレスが 1111 0b + SARUy.SVA[1:0] ビットと不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり

- ICSEY.SARyEビットが“1” (スレーブアドレスy検出有効)の状態、受信したスレーブアドレスが1111 0b + SARUy.SVA[1:0] ビットと一致し、それに続くアドレスが SARLy レジスタと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり

GCA フラグ (ジェネラルコールアドレス検出フラグ)

["1" になる条件]

- ICSEY.GCAEビットが“1” (ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSEY.GCAEビットが“1” (ジェネラルコールアドレス検出有効)の状態、受信したスレーブアドレスがジェネラルコールアドレス (0000 000b + 0 (write)) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

DID フラグ (デバイス ID アドレス検出フラグ)

["1" になる条件]

- ICSEY.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSEY.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICSEY.DIDEビットが“1” (デバイス ID アドレス検出有効)の状態、スタートコンディション検出またはリスタートコンディション検出後の第一バイトがデバイス ID アドレス (1111 100b) + 0 (write) と一致し、続く第二バイトがスレーブアドレス 0 ~ 2 のすべてと不一致のとき、第二バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

HOA フラグ (ホストアドレス検出フラグ)

["1" になる条件]

- ICSEY.HOAEビットが“1” (ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と一致したとき、第一バイトの SCL クロックの9クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ストップコンディションを検出したとき
- ICSEY.HOAEビットが“1” (ホストアドレス検出有効)の状態、受信したスレーブアドレスがホストアドレス (0001 000b) と不一致のとき、第一バイトの SCL クロックの9クロック目の立ち上がり
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

26.2.10 I²Cバスステータスレジスタ 2 (ICSR2)

アドレス RIIC0.ICSR2 0008 8309h

	b7	b6	b5	b4	b3	b2	b1	b0
	TDRE	TEND	RDRF	NACKF	STOP	START	AL	TMOF
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	TMOF	タイムアウト検出フラグ	0: タイムアウト未検出 1: タイムアウト検出	R/(W) (注1)
b1	AL	アービトレーションロストフラグ	0: アービトレーションロストの発生なし 1: アービトレーションロストの発生あり	R/(W) (注1)
b2	START	スタートコンディション検出フラグ	0: スタートコンディション未検出 1: スタートコンディション検出	R/(W) (注1)
b3	STOP	ストップコンディション検出フラグ	0: ストップコンディション未検出 1: ストップコンディション検出	R/(W) (注1)
b4	NACKF	NACK検出フラグ	0: NACK未検出 1: NACK検出	R/(W) (注1)
b5	RDRF	受信データフルフラグ	0: ICDRRレジスタに受信データなし 1: ICDRRレジスタに受信データあり	R/(W) (注1)
b6	TEND	送信終了フラグ	0: データ送信中 1: データ送信終了	R/(W) (注1)
b7	TDRE	送信データエンプティフラグ	0: ICDRTレジスタに送信データあり 1: ICDRTレジスタに送信データなし	R

注1. “0”のみ書けます。

TMOF フラグ (タイムアウト検出フラグ)

SCL0ラインの状態が一定期間変化しない場合、タイムアウトを認識して“1”になります。

[“1”になる条件]

- ICFER.TMOEビットが“1”(タイムアウト検出機能有効)で、かつマスターモードまたはスレーブモードで受信スレーブアドレスが一致した状態で ICMR2.TMOH, TMOL, TMOS ビットで選択された条件の期間 SCL0ラインの状態に変化がないとき

[“0”になる条件]

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRSTビットに“1”を書き、RIICリセットまたは内部リセットしたとき

AL フラグ (アービトレーションロストフラグ)

スタートコンディション発行時やアドレスおよびデータ送信時において、バス競合などによりバス占有権を喪失(アービトレーションロスト)したことを示します。RIICは送信中にSDA0ラインのレベルを監視し、出力データとSDA0ラインのレベルが一致しない場合ALフラグを“1”にしてバスが他のデバイスによって占有されたことを示します。

このほか、RIICでは設定によりマスターモード時にNACK送信中のアービトレーションロストの検出やスレーブモード時にデータ送信中のアービトレーションロストの検出も可能です。

[“1”になる条件]

【マスターアービトレーションロスト検出有効時: ICFER.MALEビット=1】

- マスター送信モード時のデータ送信(スレーブアドレス送信含む)において、ACK期間を除くSCLクロックの立ち上がりで出力したSDA信号とSDA0ライン上の信号の状態が不一致のとき(内部SDA出力が

High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)

- ICCR2.ST ビットが“1”(スタートコンディション発行要求)の状態ですタートコンディションを検出したとき、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき
- ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき

【NACK アービトレーションロスト検出有効時 : ICFER.NALE ビット = 1】

- 受信モード時の NACK 送信において、ACK 期間の SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき

【スレーブアービトレーションロスト検出有効時 : ICFER.SALE ビット = 1】

- スレーブ送信モード時のデータ送信において、ACK 期間を除く SCL クロックの立ち上がりで出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

表 26.4 アービトレーションロスト発生要因と各アービトレーションロスト許可機能との関係

ICFER			ICSR2	エラー内容	アービトレーションロスト発生要因
MALE	NALE	SALE	AL		
1	x	x	1	スタートコンディション発行エラー	ICCR2.ST ビットが“1”の状態ですタートコンディション検出時に出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき ICCR2.BBSY フラグが“1”の状態ですタートコンディション発行要求)に設定したとき
			1	送信データ不一致	マスタ送信モードで送信データ(スレーブアドレス送信含む)とバス状態が不一致のとき
x	1	x	1	NACK 送信不一致	マスタ受信モードまたはスレーブ受信モードで NACK 送信時に ACK を検出したとき
x	x	1	1	送信データ不一致	スレーブ送信モードで送信データとバス状態が不一致のとき

x : Don't care

START フラグ (スタートコンディション検出フラグ)

【“1”になる条件】

- スタートコンディション(リスタートコンディション含む)を検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

STOP フラグ (ストップコンディション検出フラグ)

【“1”になる条件】

- ストップコンディションを検出したとき

【“0”になる条件】

- “1”を読んだ後、“0”を書いたとき
- ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

NACK フラグ (NACK 検出フラグ)

【“1”になる条件】

- ICFER.NACKC ビットが“1” (転送中断許可) の状態で、送信モード時に受信デバイスからアクノリッジがなかった (NACK を受信した) とき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. NACKF フラグが“1”になると RIIC は通信動作を中断します。NACKF フラグが“1”の状態では送信モード時に ICDRT レジスタへの書き込みや、受信モード時に ICDRR レジスタの読み出しを行っても、送信 / 受信動作は行われません。通信動作を再開する場合は NACKF フラグを“0”にしてください。

RDRF フラグ (受信データフルフラグ)

["1" になる条件]

- ICDRS レジスタから ICDRR レジスタに受信データが転送されたとき、ICMR3.RDRFS ビットの設定により SCL クロックの 8 または 9 クロック目の立ち上がりで“1”になります。
- スタートコンディション (リスタートコンディション含む) 検出後、受信したスレーブアドレスが一致し ICCR2.TRS ビットが“0”のとき

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRR レジスタを読んだとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TEND フラグ (送信終了フラグ)

["1" になる条件]

- TDRE フラグが“1”の状態では、SCL クロックの 9 クロック目の立ち上がり

["0" になる条件]

- “1” を読んだ後、“0” を書いたとき
- ICDRT レジスタへデータを書いたとき
- ストップコンディションを検出したとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

TDRE フラグ (送信データエンプティフラグ)

["1" になる条件]

- ICDRT レジスタから ICDRS レジスタにデータ転送が行われ、ICDRT レジスタが空になったとき
- ICCR2.TRS ビットが“1”になったとき
- 受信したスレーブアドレスが一致し、TRS ビットが“1”のとき

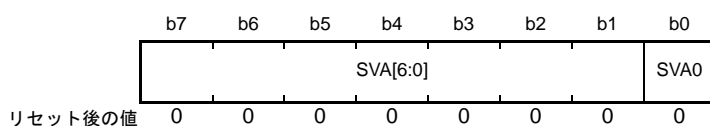
["0" になる条件]

- ICDRT レジスタへデータを書いたとき
- ICCR2.TRS ビットが“0”になったとき
- ICCR1.IICRST ビットに“1” を書き、RIIC リセットまたは内部リセットしたとき

注. ICFER.NACKC ビットが“1”の状態では NACKF フラグが“1”になると RIIC は通信動作を中断します。このとき、TDRE フラグが“0”の状態 (次の送信データがすでに書き込まれている状態) の場合、9 クロック目の立ち上がりで ICDRS レジスタへのデータ転送が行われ ICDRT レジスタが空になりますが、TDRE フラグは“1”になりません。

26.2.11 スレーブアドレスレジスタ Ly (SARLy) (y=0 ~ 2)

アドレス RIIC0.SARL0 0008 830Ah, RIIC0.SARL1 0008 830Ch, RIIC0.SARL2 0008 830Eh



ビット	シンボル	ビット名	機能	R/W
b0	SVA0	10ビットアドレス最下位ビット	スレーブアドレスを設定してください。	R/W
b7-b1	SVA[6:0]	7ビットアドレス/ 10ビットアドレス下位ビット	スレーブアドレスを設定してください。	R/W

SVA0 ビット (10 ビットアドレス最下位ビット)

10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、10 ビットアドレス最下位ビットとして機能し、SVA[6:0] ビットと合わせて 10 ビットアドレス下位 8 ビットを設定します。

ICSER.SARyE ビットが“1” (SARLy、SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

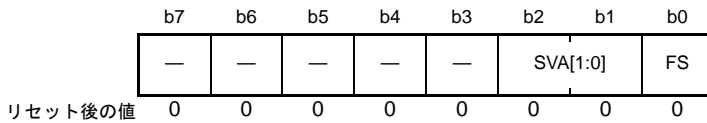
SVA[6:0] ビット (7 ビットアドレス / 10 ビットアドレス下位ビット)

7 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 0)、7 ビットアドレスとして機能し、10 ビットアドレスフォーマット選択時 (SARUy.FS ビット = 1)、SVA0 ビットと合わせて 10 ビットアドレス下位 8 ビットとして機能します。

ICSER.SARyE ビットが“0” のとき設定値は無視されます。

26.2.12 スレーブアドレスレジスタ Uy (SARUy) (y=0 ~ 2)

アドレス RIIC0.SARU0 0008 830Bh, RIIC0.SARU1 0008 830Dh, RIIC0.SARU2 0008 830Fh



ビット	シンボル	ビット名	機能	R/W
b0	FS	7ビット/10ビットアドレスフォーマット選択ビット	0 : 7ビットアドレスフォーマット選択 1 : 10ビットアドレスフォーマット選択	R/W
b2-b1	SVA[1:0]	10ビットアドレス上位ビット	スレーブアドレスを設定してください	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FS ビット (7 ビット / 10 ビットアドレスフォーマット選択ビット)

スレーブアドレス y (SARLy, SARUy レジスタ) を 7 ビットアドレスにするか、10 ビットアドレスにするかを選択します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) であつ SARUy.FS ビットが“0” のとき、スレーブアドレス y は 7 ビットアドレスフォーマットが選択され、SARLy.SVA[6:0] ビットの設定値が有効になり SVA[1:0] ビットおよび SARLy.SVA0 ビットの設定値は無視されます。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき、スレーブアドレス y は 10 ビットアドレスフォーマットが選択され、SVA[1:0] ビット、SARLy レジスタの設定値が有効になります。

ICSER.SARyE ビットが“0” (SARLy, SARUy レジスタ無効) のとき SARUy.FS ビットの設定値は無効です。

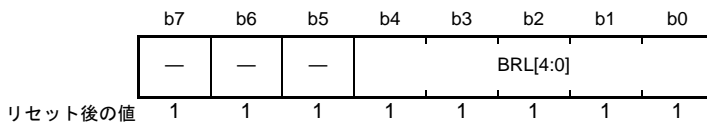
SVA[1:0] ビット (10 ビットアドレス上位ビット)

10 ビットアドレスフォーマット選択時 (FS ビット = 1)、10 ビットアドレスの上位 2 ビットアドレスとして機能します。

ICSER.SARyE ビットが“1” (SARLy, SARUy レジスタ有効) であつ SARUy.FS ビットが“1” のとき設定値が有効になり、SARUy.FS ビットまたは SARyE ビットが“0” のとき設定値は無視されます。

26.2.13 I²Cバスビットレート Low レジスタ (ICBRL)

アドレス RIIC0.ICBRL 0008 8310h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRL[4:0]	ビットレートLow幅設定ビット	SCLクロックのLow幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W

ICBRL レジスタは SCL クロックの Low 幅を設定するための 5 ビットのレジスタです。

また ICBRL レジスタは、SCL 自動 Low ホールド発生時（「26.8 SCL の自動 Low ホールド機能」参照）のデータセットアップ時間確保レジスタとしても機能します。そのため RIIC を常にスレーブモードで使用する場合には、データセットアップ時間（注1）以上の値を設定してください。

ICBRL レジスタは ICMR1.CKS[2:0] ビットで選択した内部基準クロックソース (IICφ) で Low 幅をカウントします。

デジタルノイズフィルタ回路の使用を許可 (ICFER.NFE ビット = 1) した場合、ICBRL レジスタは、ノイズフィルタの段数 + 1 以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0] ビットを参照してください。

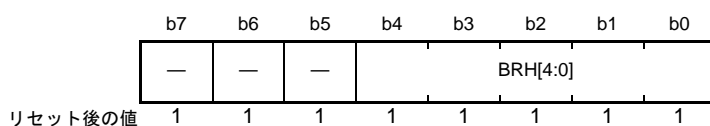
注 1. データセットアップ時間 (t_{SU:DAT})

250 ns (~ 100 kbps : スタンダードモード (Sm))

100 ns (~ 400 kbps : ファストモード (Fm))

26.2.14 I²Cバスビットレート High レジスタ (ICBRH)

アドレス RIIC0.ICBRH 0008 8311h



ビット	シンボル	ビット名	機能	R/W
b4-b0	BRH[4:0]	ビットレートHigh幅設定ビット	SCLクロックのHigh幅の値を設定	R/W
b7-b5	—	予約ビット	読むと“1”が読めます。書く場合、“1”として下さい。	R/W

ICBRHレジスタはSCLクロックのHigh幅を設定するための5ビットのレジスタで、マスタモード時に有効です。RIICを常にスレーブモードで使用する場合には、High幅を設定する必要はありません。

ICBRHレジスタはICMR1.CKS[2:0]ビットで選択された内部基準クロックソース(IIC ϕ)でHigh幅をカウントします。

デジタルノイズフィルタ回路の使用を許可(ICFER.NFEビット=1)した場合、ICBRHレジスタは、ノイズフィルタの段数+1以上の値を設定してください。ノイズフィルタの段数については、ICMR3.NF[1:0]ビットを参照してください。

I²C転送速度およびSCLクロックのデューティ比は以下の式で算定します。

$$\text{転送速度} = 1 / \{ ((\text{ICBRH} + 1) + (\text{ICBRL} + 1)) / \text{IIC}\phi \text{ (注1)} + \text{SCL0ライン立ち上がり時間 (tr)} \\ + \text{SCL0ライン立ち下がり時間 (tf)} \}$$

$$\text{デューティ比} = \{ \text{SCL0ライン立ち上がり時間 (tr)} \text{ (注2)} + (\text{ICBRH} + 1) / \text{IIC}\phi \} / \{ \text{SCL0ライン立ち下がり時間 (tf)} \text{ (注2)} \\ + (\text{ICBRL} + 1) / \text{IIC}\phi \}$$

注1. IIC ϕ = PCLK × 分周比

注2. SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)は、バスライン総容量(Cb)とプルアップ抵抗(Rp)に依存します。詳細についてはNXP社のI²Cバス仕様書を参照してください。

ICBRH、ICBRLレジスタの値の設定例を表26.5に示します。

表 26.5 転送速度に対するICBRH、ICBRLレジスタの設定例

転送速度 (kbps)	動作周波数PCLK (MHz)								
	8			10			12.5		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	100b	22 (F6h)	25 (F9h)	101b	13 (EDh)	15 (EFh)	101b	16 (F0h)	20 (F4h)
50	010b	16 (F0h)	19 (F3h)	010b	21 (F5h)	24 (F8h)	011b	12 (ECh)	15 (EFh)
100	001b	15 (EFh)	18 (F2h)	001b	19 (F3h)	23 (F7h)	001b	24 (F8h)	29 (FDh)
400	000b	4 (E4h)	10 (EAh)	000b	5 (E5h)	12 (ECh)	000b	7 (E7h)	16 (F0h)

転送速度 (kbps)	動作周波数PCLK (MHz)								
	16			20			25		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	101b	22 (F6h)	25 (F9h)	110b	13 (EDh)	15 (EFh)	110b	16 (F0h)	20 (F4h)
50	011b	16 (F0h)	19 (F3h)	011b	21 (F5h)	24 (F8h)	100b	12 (ECh)	15 (EFh)
100	010b	15 (EFh)	18 (F2h)	010b	19 (F3h)	23 (F7h)	010b	24 (F8h)	29 (FDh)
400	000b	9 (E9h)	20 (F4h)	000b	11 (EBh)	25 (F9h)	001b	7 (E7h)	16 (F0h)

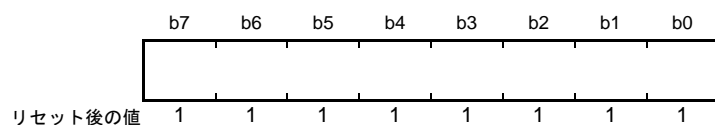
転送速度 (kbps)	動作周波数PCLK (MHz)								
	30			32			33		
	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL	CKS[2:0]	ICBRH	ICBRL
10	110b	20 (F4h)	24 (F8h)	110b	22 (F6h)	25 (F9h)	110b	22 (F6h)	26 (FAh)
50	100b	15 (EFh)	18 (F2h)	100b	16 (F0h)	19 (F3h)	100b	17 (F1h)	20 (F4h)
100	010b	2 (E2h)	3 (E3h)	011b	15 (EFh)	18 (F2h)	011b	16 (F0h)	19 (F3h)
400	001b	8 (E8h)	19 (F3h)	001b	9 (E9h)	20 (F4h)	001b	9 (E9h)	21 (F5h)

転送速度 (kbps)	動作周波数PCLK (MHz)		
	40		
	CKS[2:0]	ICBRH	ICBRL
10	111b	13 (7Dh)	15 (7Fh)
50	100b	21 (F5h)	24 (F8h)
100	011b	19 (F3h)	23 (F7h)
400	001b	11 (7Bh)	25 (F9h)

注. SCL0ラインの立ち上がり時間(tr)を100 kbps以下(Sm)は1000 ns、400 kbps以下(Fm)は300 ns、SCL0ラインの立ち下がり時間(tf)を400 kbps以下(Sm/Fm)は300 nsとして計算した場合の設定例です。
SCL0ライン立ち上がり時間(tr)、SCL0ライン立ち下がり時間(tf)の値についてはNXP社のI²Cバス仕様書を参照してください。

26.2.15 I²Cバス送信データレジスタ (ICDRT)

アドレス RIIC0.ICDRT 0008 8312h



I²Cバスシフトレジスタ(ICDRS)の空きを検出すると、ICDRTレジスタに書き込まれた送信データがICDRSレジスタへ転送され、送信モード時にデータ送信を開始します。

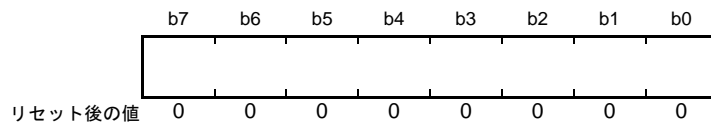
ICDRTレジスタとICDRSレジスタはダブルバッファ構造になっているため、ICDRSレジスタのデータ送信

中に、次に送信するデータを ICDRT レジスタに書いておくと連続送信動作が可能です。

ICDRT レジスタは常に読み出し / 書き込み可能です。ICDRT レジスタへの送信データの書き込みは、送信データエンプティ割り込み (TXI) 要求が発生したときに 1 回だけ行ってください。

26.2.16 I²C バス受信データレジスタ (ICDRR)

アドレス RIIC0.ICDRR 0008 8313h



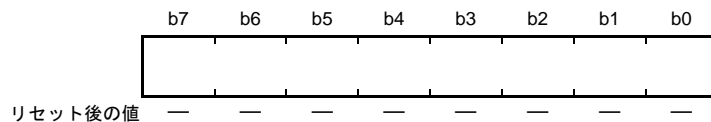
1 バイトのデータの受信が終了すると、受信したデータは I²C バスシフトレジスタ (ICDRS) から ICDRR レジスタへ転送され、次のデータを受信可能にします。

ICDRS レジスタと ICDRR レジスタはダブルバッファ構造になっているため、ICDRS レジスタのデータ受信中に、すでに受信したデータを ICDRR レジスタから読んでおくと連続受信動作が可能です。

ICDRR レジスタに書き込みはできません。ICDRR レジスタの読み出しは、受信データフル割り込み (RXI) 要求が発生したときに 1 回だけ行ってください。

受信データを ICDRR レジスタから読み出さないまま (ICSR2.RDRF フラグが “1” の状態のまま) 次の受信データを受け取ると、RIIC は RDRF フラグが次に “1” になるタイミングの 1 つ手前の SCL0 クロックの立ち下がり で SCL0 ラインを Low にホールドします。

26.2.17 I²C バスシフトレジスタ (ICDRS)



ICDRS レジスタは、データを送信 / 受信するためのシフトレジスタです。

送信時は ICDRT レジスタから送信データが ICDRS レジスタに転送され、SDA0 端子からデータが送信されます。受信時は 1 バイトのデータの受信が終了すると、データが ICDRS レジスタから ICDRR レジスタへ転送されます。

ICDRS レジスタは直接アクセスすることはできません。

26.3 動作説明

26.3.1 通信データフォーマット

I²C バスフォーマットは、8 ビットのデータと 1 ビットのアクノリッジで構成されています。スタートコンディションおよびリスタートコンディションに続く第一バイトは、アドレスバイトでマスタデバイスが通信先であるスレーブデバイスを指定するのに使用します。指定されたスレーブは新たにスレーブが指定されるか、ストップコンディションが発行されるまで有効です。

図 26.3 に I²C バスフォーマットを、図 26.4 に I²C バスタイミングを示します。

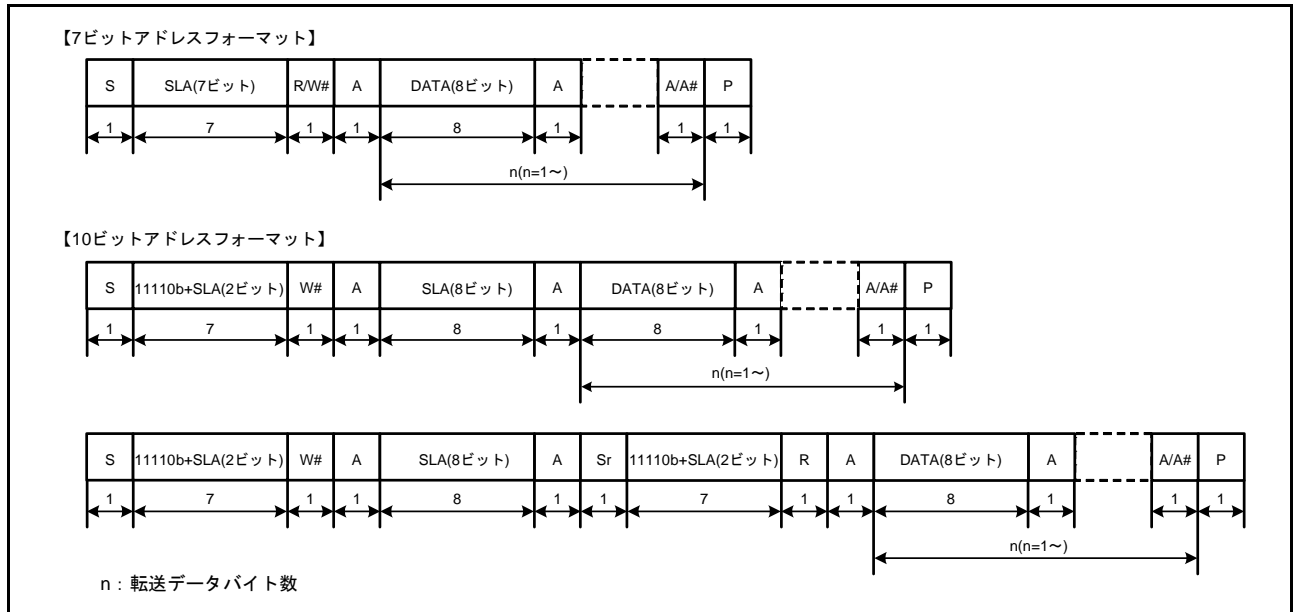


図 26.3 I²C バスフォーマット

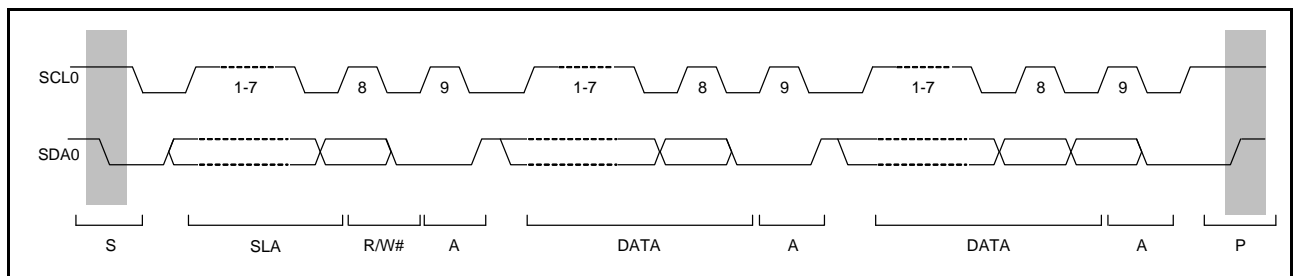


図 26.4 I²C バスタイミング (SLA=7 ビットの場合)

- S: スタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがHighからLowに変化します。
- SLA: スレーブアドレスを示します。マスタデバイスがスレーブデバイスを選択します。
- R/W#: 送信/受信の方向を示します。“1”のときスレーブデバイスからマスタデバイスへ、“0”のときマスタデバイスからスレーブデバイスへデータを送信します。
- A: アクノリッジを示します。受信デバイスがSDA0ラインをLowにします(マスタ送信モード時: スレーブデバイスがアクノリッジを返します。マスタ受信モード時: マスタデバイスがアクノリッジを返します)。
- A#: ノットアクノリッジを示します。受信デバイスがSDA0ラインをHighにします。
- Sr: リスタートコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではセットアップ時間経過後にSDA0ラインがHighからLowに変化します。
- DATA: 送受信データを示します。
- P: ストップコンディションを示します。マスタデバイスが、SCL0ラインがHighの状態ではSDA0ラインがLowからHighに変化します。

26.3.2 初期設定

データの送信/受信を開始する場合、**図 26.5** に示す手順に従って RIIC を初期化してください。

ICCR1.ICE ビットを“0” (SCL0、SDA0 端子非駆動状態) にしたまま ICCR1.IICRST ビットを“1” (RIIC リセット) にした後、ICCR1.ICE ビットを“1” (内部リセット) にします。これにより ICSR1 レジスタの各フラグや内部状態の初期化を行います。その後、SARLy、SARUy、ICSER、ICMR1、ICBRH、ICBRL レジスタ (y=0 ~ 2) を設定し、その他のレジスタは必要に応じて設定してください (RIIC の初期設定については**図 26.5** 参照)。必要なレジスタの設定が終了したら、ICCR1.IICRST ビットを“0” (RIIC リセット解除) にしてください。すでに RIIC の初期化が完了している場合、この手順は不要です。

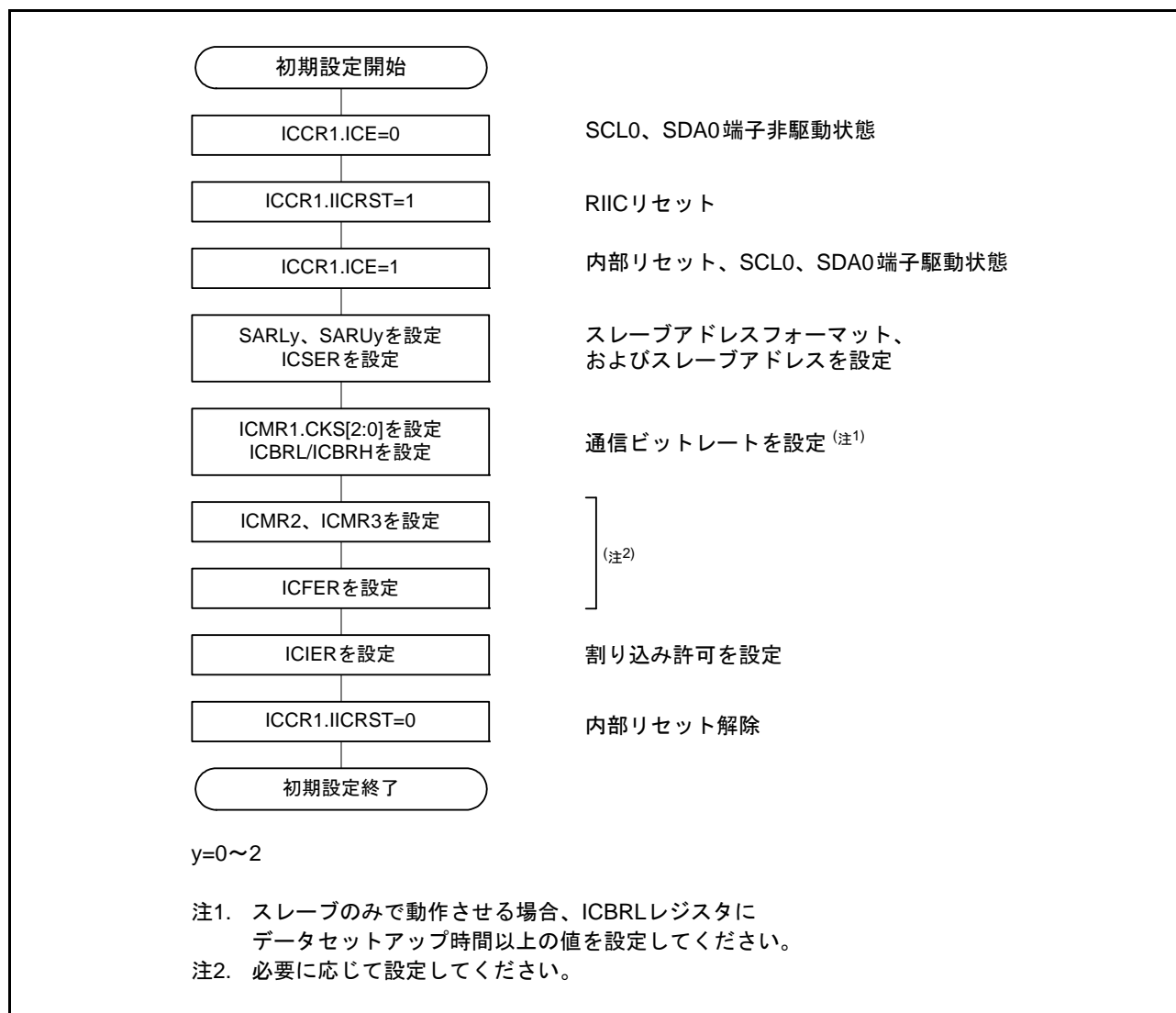


図 26.5 RIIC の初期化フローチャート例

26.3.3 マスタ送信動作

マスタ送信では、マスタデバイスである RIIC が SCL クロックと送信データを出力して、スレーブデバイスがアクノリッジを返します。図 26.6 にマスタ送信の使用例を、図 26.7 ~ 図 26.9 にマスタ送信の動作タイミングを示します。

以下にマスタ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます(スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE は、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット)を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b + スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。
- (4) ICSR2.TDRE フラグが“1”であることを確認した後、送信データを ICDRT レジスタに書いてください。なお、送信データの準備ができるまで、またはストップコンディションを発行するまでの間 RIIC は自動的に SCL0 ラインを Low にホールドします。
- (5) 送信する全バイトを ICDRT レジスタに書いた後、ICSR2.TEND フラグが“1”になるまで待つから ICCR2.SP ビットに“1”を書いてください(ストップコンディション発行要求)。RIIC はストップコンディション発行要求を受け付けると、ストップコンディションを発行します。
- (6) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットが自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.TDRE, TEND フラグも自動的に“0”になり、ICSR2.STOP フラグが“1”になります。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

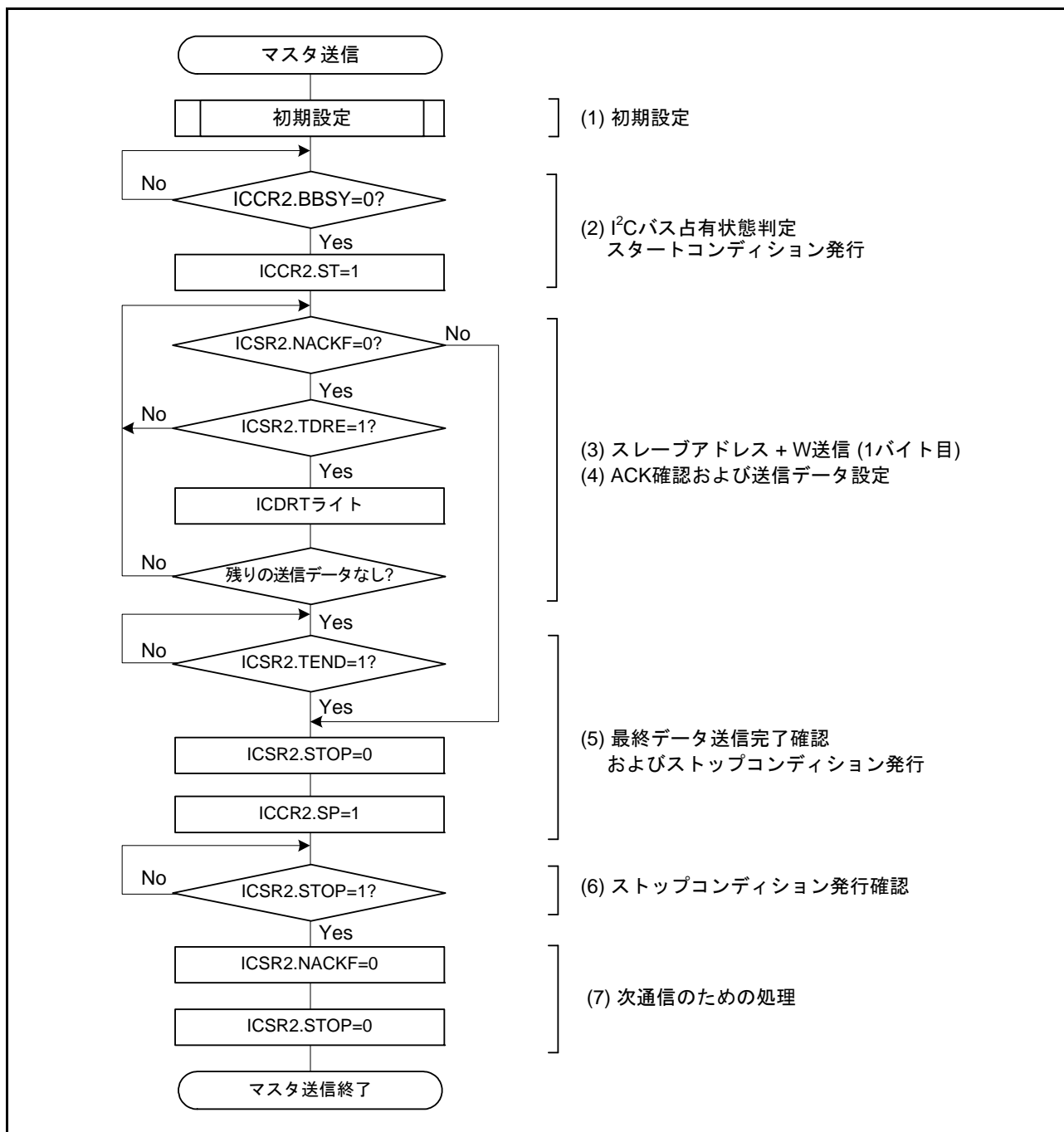


図 26.6 マスタ送信のフローチャート例

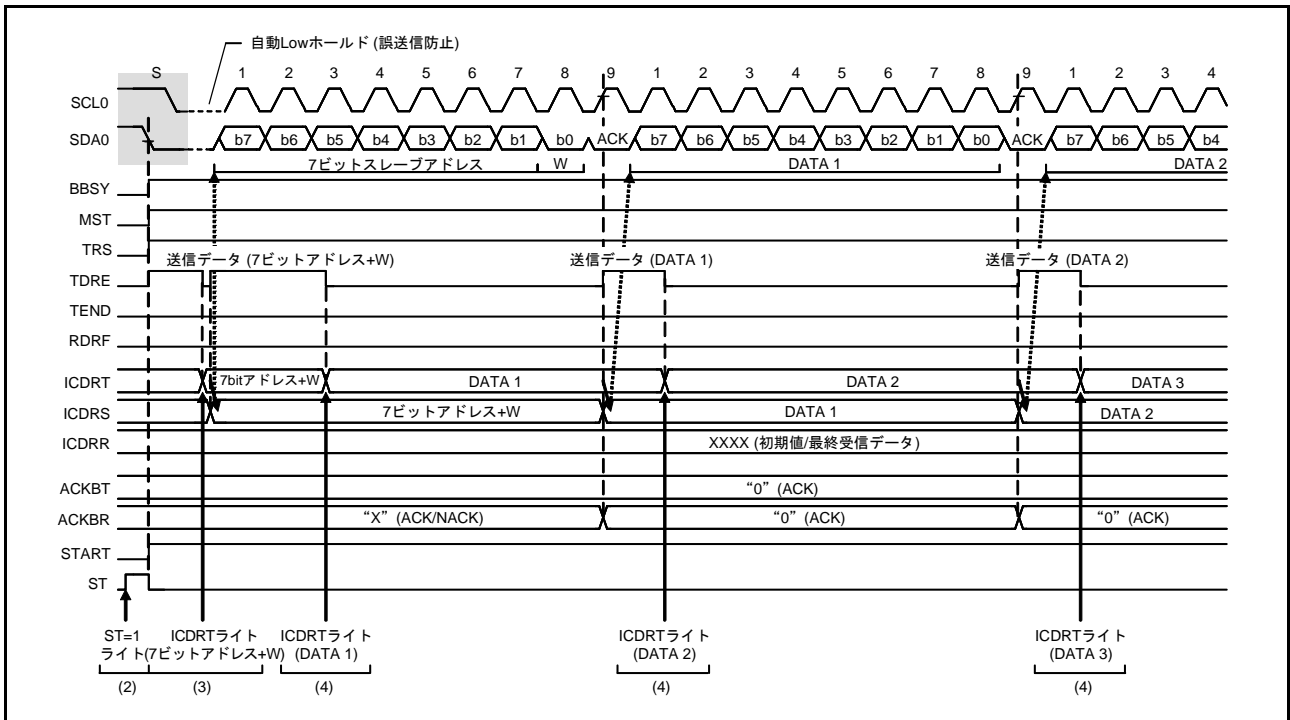


図 26.7 マスタ送信の動作タイミング (1) (7ビットアドレスフォーマットのとき)

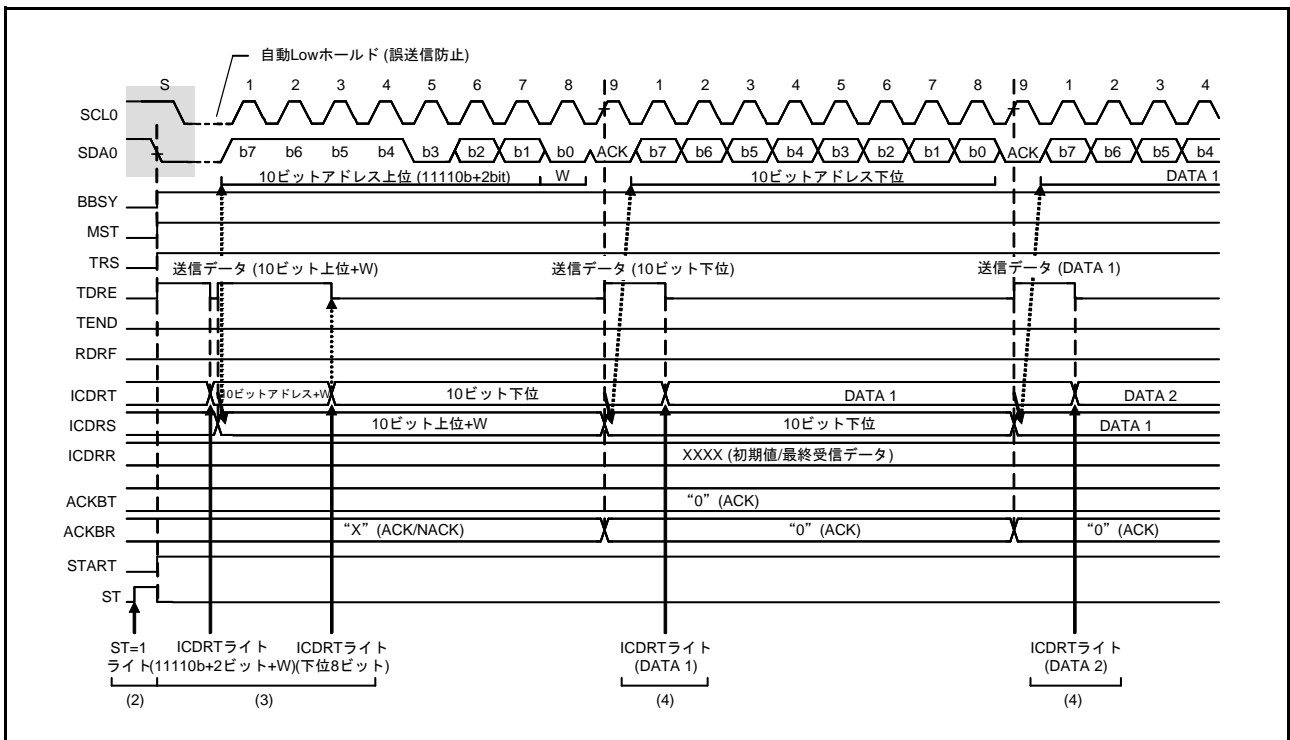


図 26.8 マスタ送信の動作タイミング (2) (10ビットアドレスフォーマットのとき)

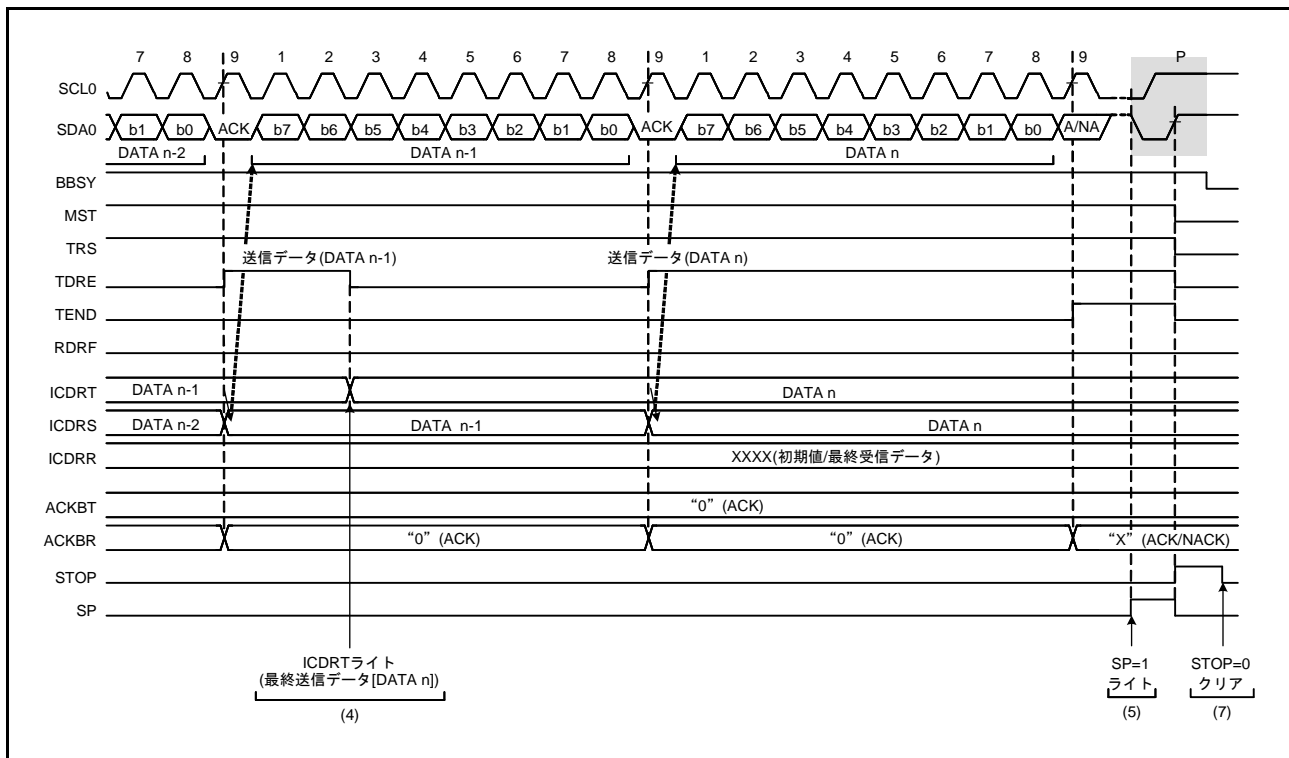


図 26.9 マスタ送信の動作タイミング (3)

26.3.4 マスタ受信動作

マスタ受信では、マスタデバイスである RIIC が SCL クロックを出力し、スレーブデバイスからデータを受信して、アクノリッジを返します。最初にスレーブデバイスにスレーブアドレスを送信するため、まずマスタ送信モードでスレーブアドレスを送信し、その後マスタ受信モードでデータを受信します。

図 26.10、図 26.11 にマスタ受信の使用例 (7 ビットアドレスフォーマットの場合) を、図 26.12 ~ 図 26.14 にマスタ受信の動作タイミングを示します。

以下にマスタ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
- (2) ICCR2.BBSY フラグを読んでバスが解放状態であることを確認した後、ICCR2.ST ビットに“1”を書きます (スタートコンディション発行要求)。RIIC はスタートコンディション発行要求を受け付けると、スタートコンディションを発行します。RIIC はスタートコンディションを検出すると BBSY フラグ、ICSR2.START フラグを自動的に“1”にし、ST ビットを自動的に“0”にします。このとき ST ビットが“1”の状態でも出力した SDA 信号と SDA0 ラインの状態がずれることなくスタートコンディションを検出した場合、RIIC は ST ビットによるスタートコンディション発行が正しく行われたと認識し、ICCR2.MST, TRS ビットを自動的に“1”にしてマスタ送信モードになります。また ICSR2.TDRE フラグは、TRS ビットが“1”になることにより自動的に“1”になります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信

モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。

このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。

なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b + スレーブアドレスの上位 2 ビット + R を送信することで、マスタ受信モードに移行します。

- (4) ICSR2.RDRF フラグが“1”であることを確認した後、ダミーで ICDRR レジスタを読むと、RIIC は SCL クロックを出力して受信動作を開始します。
- (5) 1 バイトのデータ受信が終了し、ICMR3.RDRFS ビットで設定した SCL クロックの 8 クロック目、あるいは 9 クロック目の立ち上がりで、ICSR2.RDRF フラグが“1”になります。このとき ICDRR レジスタを読むと、受信したデータを読むことができ、同時に RDRF フラグは自動的に“0”になります。また SCL クロックの 9 クロック目のアクノリッジビットには、ICMR3.ACKBT ビットに設定された値が返信されます。また、次の受信バイトが最終バイト - 1 の場合、ICDRR レジスタ (最終バイト - 2 バイト目) を読む前に ICMR3.WAIT ビットを“1” (WAIT あり) にしてください。これにより、続く (6) の ICMR3.ACKBT ビットを“1” (NACK) にする処理が他割り込みなどにより遅れた場合でも最終バイトで NACK 出力を可能にするるとともに、最終バイトの受信時に 9 クロック目の立ち下がり で SCL0 ラインを Low に固定して、ストップコンディション発行可能状態にすることができます。
- (6) ICMR3.RDRFS ビットが“0”でスレーブデバイスに次のデータ受信で通信終了であることを通知する必要がある場合には、ICMR3.ACKBT ビットを“1” (NACK) にしてください。
- (7) ICDRR レジスタ (最終バイト - 1 バイト目) 読み出し後、ICSR2.RDRF フラグが“1”であることを確認してから、ICCR2.SP ビットに“1”を書いて (ストップコンディション発行要求)、ICDRR レジスタ (最終バイト) を読んでください。RIIC は ICDRR レジスタの読み出しにより、WAIT 状態が解除され、9 クロック目の Low 出力終了または SCL0 ラインの Low ホールド解除後にストップコンディションを発行します。
- (8) RIIC はストップコンディションを検出すると、ICCR2.MST, TRS ビットは自動的に“00b”になり、スレーブ受信モードに移行します。また、ストップコンディション検出により ICSR2.STOP フラグが“1”になります。
- (9) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

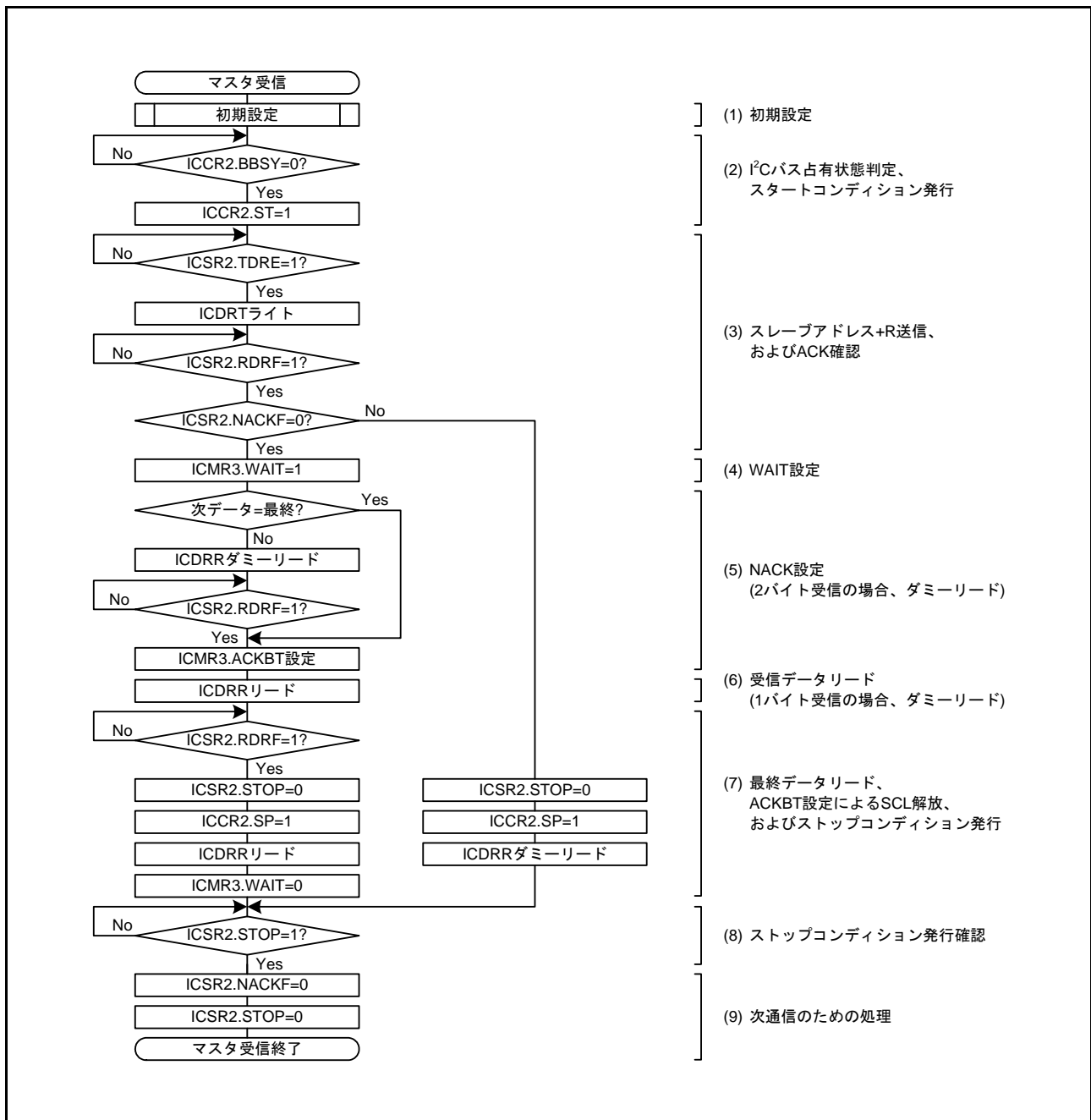


図 26.10 マスタ受信のフローチャート例 (7ビットアドレスフォーマットの場合、2バイト以下の場合)

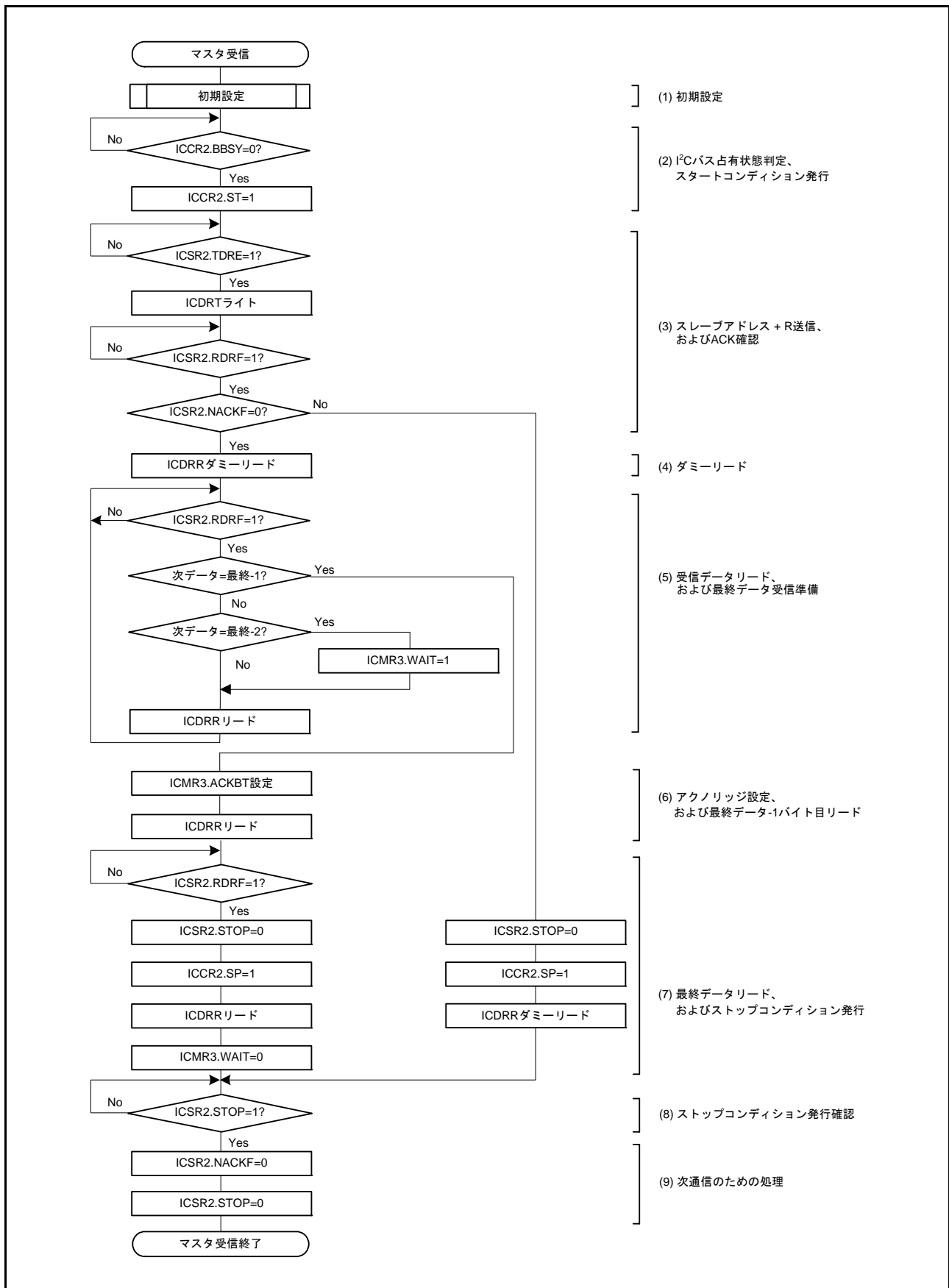


図 26.11 マスタ受信のフローチャート例 (7ビットアドレスフォーマット、3バイト以上の場合)

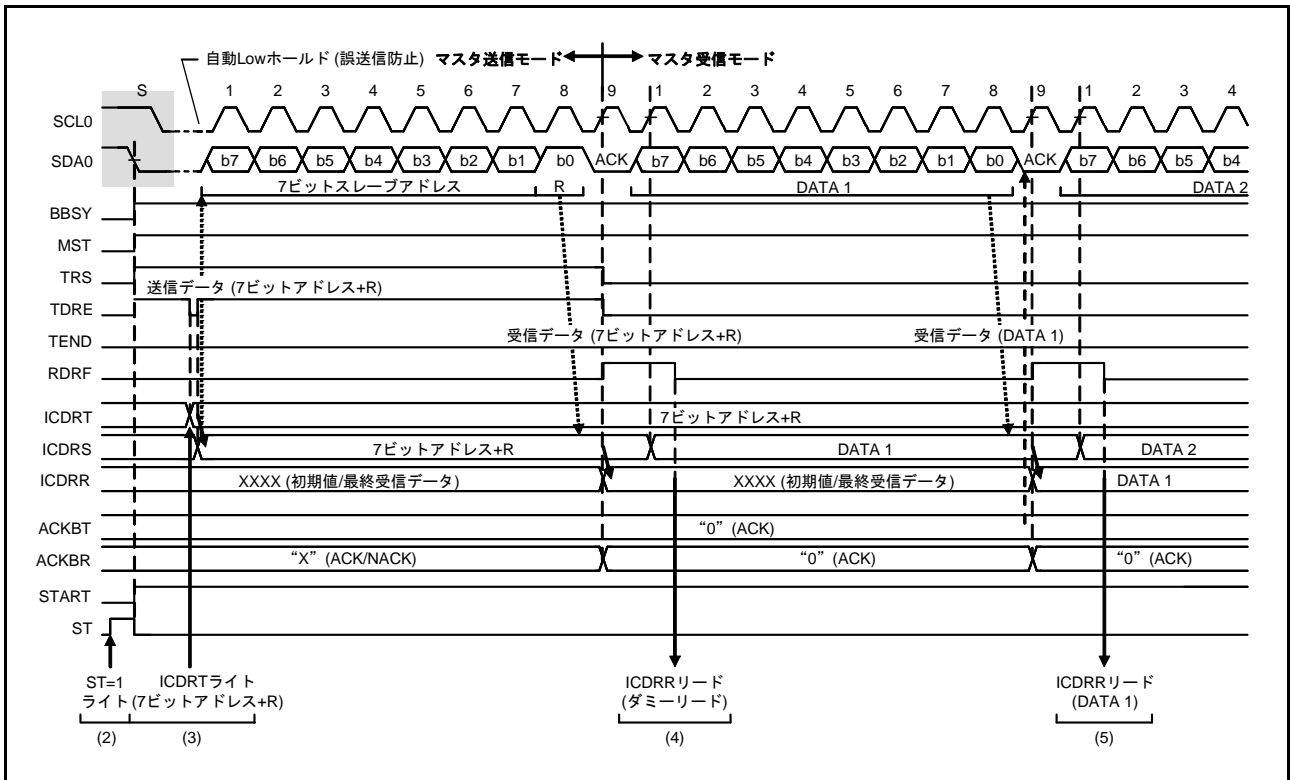


図 26.12 マスタ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット=0 のとき)

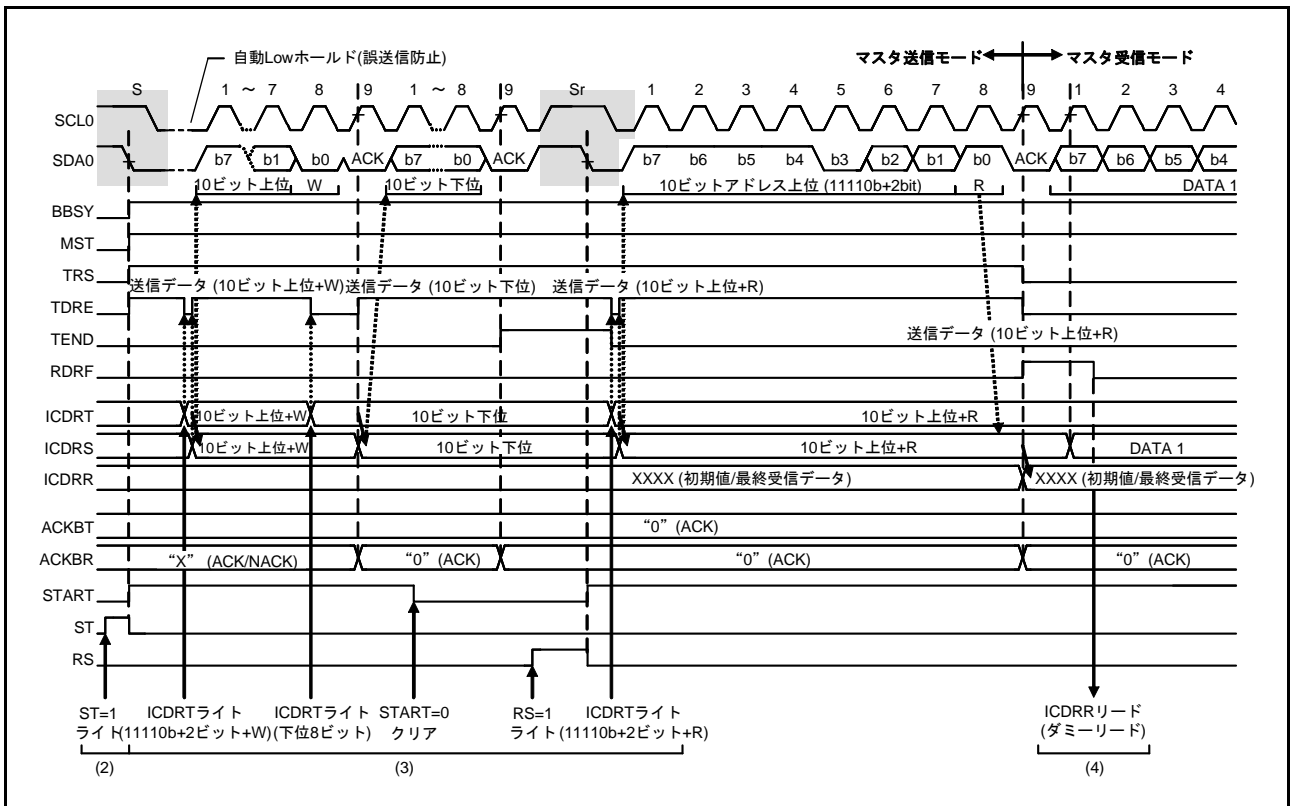


図 26.13 マスタ受信の動作タイミング (2) (10ビットアドレスフォーマット、RDRFS ビット=0 のとき)

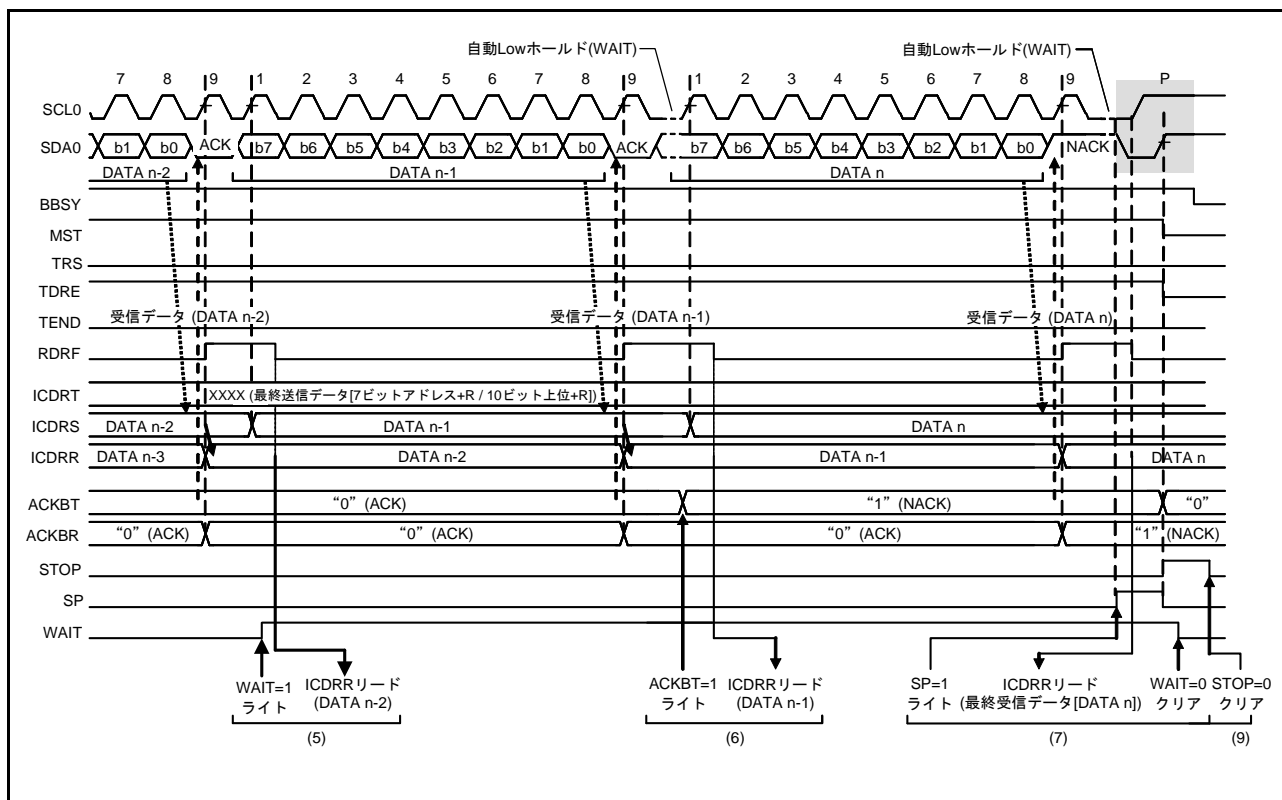


図 26.14 マスタ受信の動作タイミング (3) (RDRFS ビット = 0 のとき)

26.3.5 スレーブ送信動作

スレーブ送信では、マスタデバイスが SCL クロックを出力し、スレーブデバイスである RIIC がデータを送信し、マスタデバイスがアクノリッジを返します。

図 26.15 にスレーブ送信の使用例を示します。図 26.16、図 26.17 にスレーブ送信の動作タイミングを示します。

以下にスレーブ送信の送信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“1”のとき、ICCR2.TRS ビットおよび ICSR2.TDRE フラグを“1”にし、自動的にスレーブ送信モードに切り替わります。
- (3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データを書いてください。このとき、ICFER.NACKF ビットが“1”の状態でもスタデバイスからアクノリッジがなかった (NACK を受信した) 場合、RIIC は次の通信動作を中断します。
- (4) ICSR2.NACKF フラグが“1”になるか、または最終送信データを ICDRT レジスタに書いた後、ICSR2.TDRE フラグが“1”の状態、ICSR2.TEND フラグが“1”になるまで待ってください。ICSR2.NACKF フラグが“1”または TEND フラグが“1”の場合、RIIC は 9 クロック目の立ち下がり以降 SCL0 ラインを Low にホールドします。
- (5) ICSR2.NACKF フラグが“1”または ICSR2.TEND フラグが“1”の場合、終了処理のため ICDRR レジスタをダミーで読んでください。これにより SCL0 ラインを開放します。
- (6) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2)、ICSR2.TDRE, TEND フラグ、ICCR2.TRS ビットを自動的に“0”にし、スレーブ受信モードに移行します。
- (7) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.NACKF, STOP フラグを“0”にしてください。

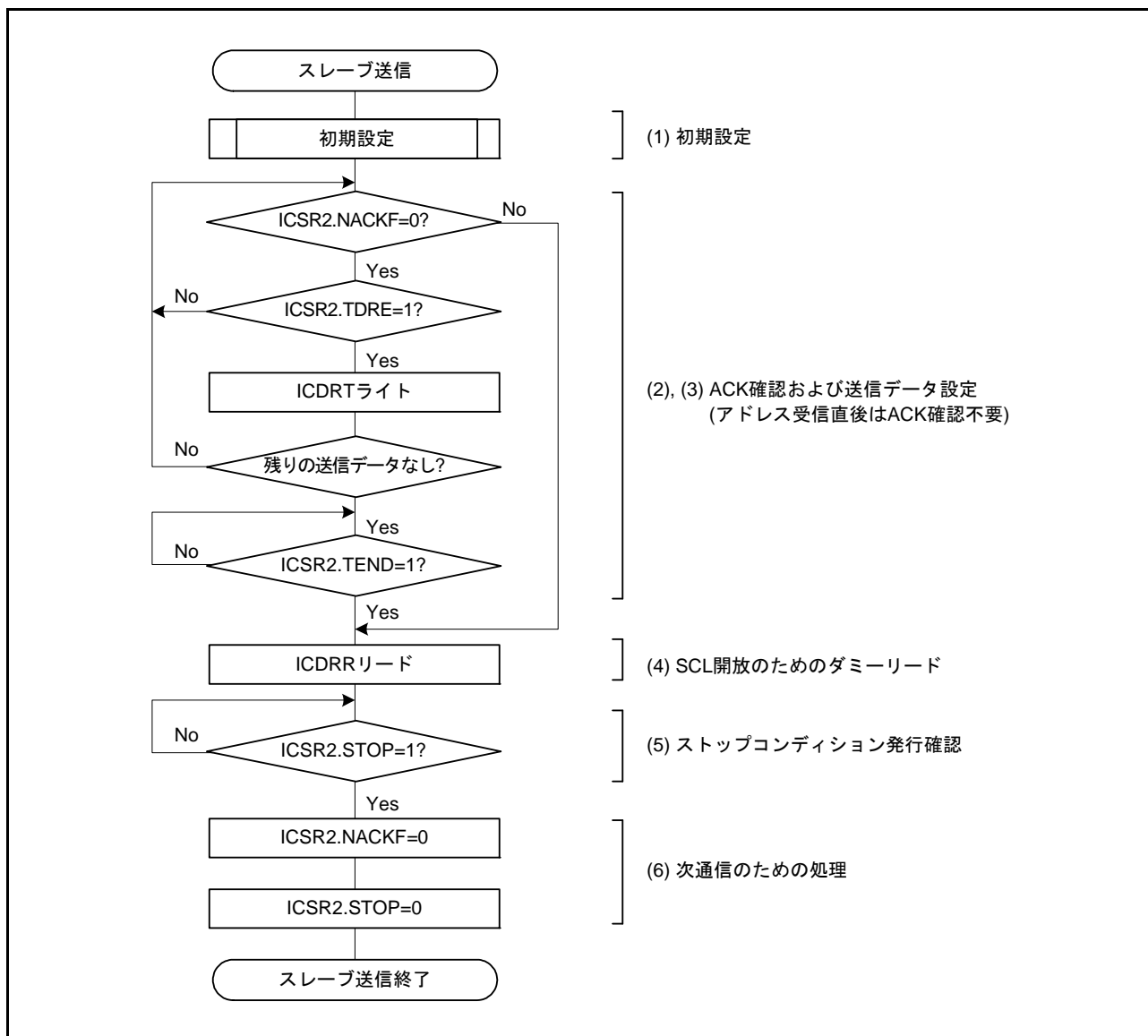


図 26.15 スレーブ送信のフローチャート例

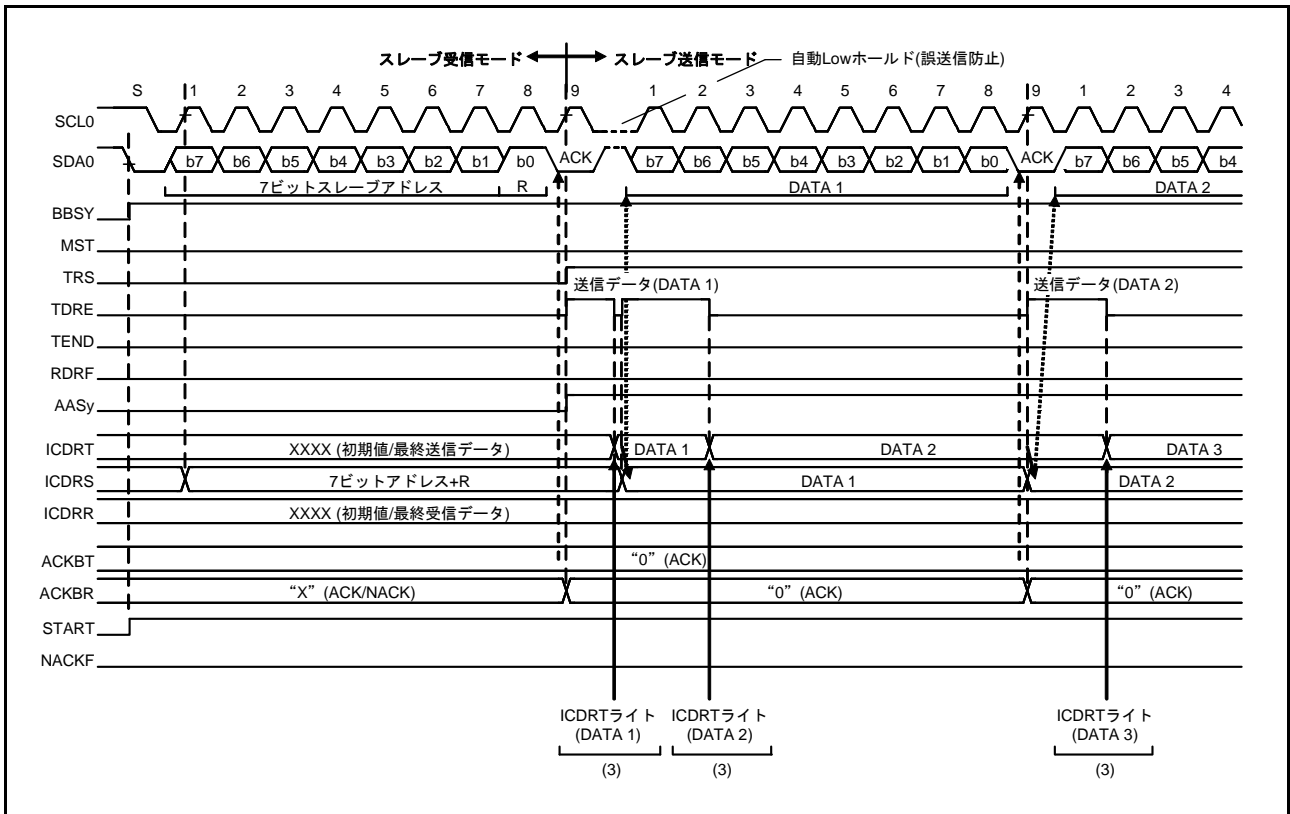


図 26.16 スレーブ送信の動作タイミング (1) (7ビットアドレスフォーマットの時)

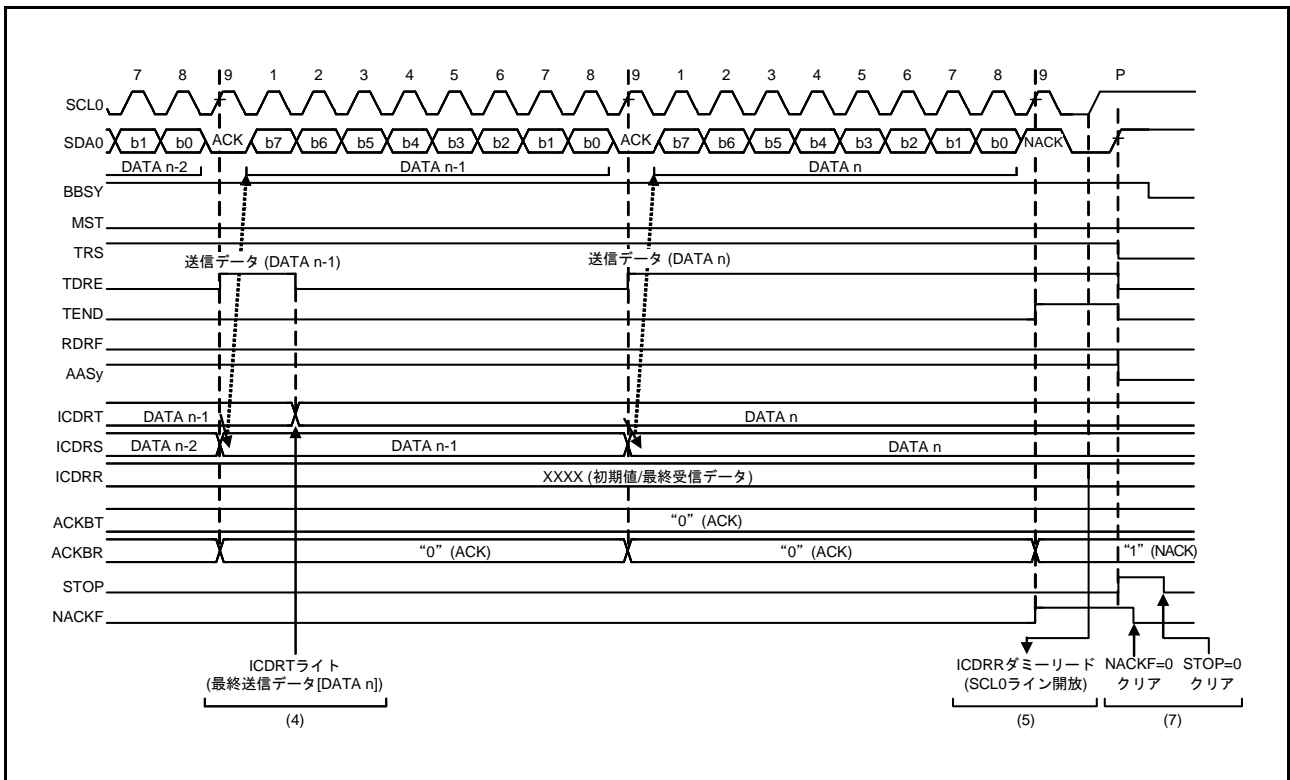


図 26.17 スレーブ送信の動作タイミング (2)

26.3.6 スレーブ受信動作

スレーブ受信では、マスタデバイスが SCL クロックと送信データを出力し、スレーブデバイスである RIIC がアクノリッジを返します。

図 26.18 にスレーブ受信の使用例を図 26.19、図 26.20 にスレーブ受信の動作タイミングを示します。以下にスレーブ受信の受信手順と動作を示します。

- (1) 初期設定を行います。詳細は「26.3.2 初期設定」を参照してください。
初期設定完了後、RIIC はスレーブアドレスが一致するまで待機状態となります。
- (2) RIIC はスレーブアドレスが一致した場合、RIIC は SCL クロックの 9 クロック目の立ち上がりで該当する ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) のいずれかを“1”にし、SCL クロックの 9 クロック目のアクノリッジビットに ICMR3.ACKBT ビットに設定した値を返信します。このとき受信した R/W# ビットが“0”なら、スレーブ受信モードの状態を継続し、ICSR2.RDRF フラグを“1”にします。
- (3) ICSR2.STOP フラグが“0”で、かつ ICSR2.RDRF フラグが“1”であることを確認したら、最初の 1 回目は ICDRR レジスタをダミーで読んでください (なお、ダミーで読んだ受信データは 7 ビットアドレスフォーマット時にスレーブアドレス + R/W# ビット、10 ビットアドレスフォーマット時は下位 8 ビットアドレスになります)。
- (4) ICDRR レジスタを読むと RIIC は ICSR2.RDRF フラグを自動的に“0”にします。なお、ICDRR レジスタの読み出しが遅れて、RDRF フラグが“1”になった状態で次のデータを受信すると、RIIC は RDRF フラグが“1”になるタイミングの 1 つ手前の SCL クロック立ち下がり SCL0 ラインを Low にホールドします。この Low ホールドは ICDRR レジスタを読むことで解除され RIIC は SCL0 ラインを開放します。ICSR2.STOP フラグが“1”で、かつ ICSR2.RDRF フラグが“1”の場合、または全データ受信が完了するタイミングで ICDRR レジスタを読んでください。
- (5) RIIC はストップコンディションを検出すると、ICSR1.HOA, GCA, AASy ビット (y=0 ~ 2) を自動的に“0”にします。
- (6) ICSR2.STOP フラグが“1”であることを確認した後、次通信のために ICSR2.STOP フラグを“0”にしてください。

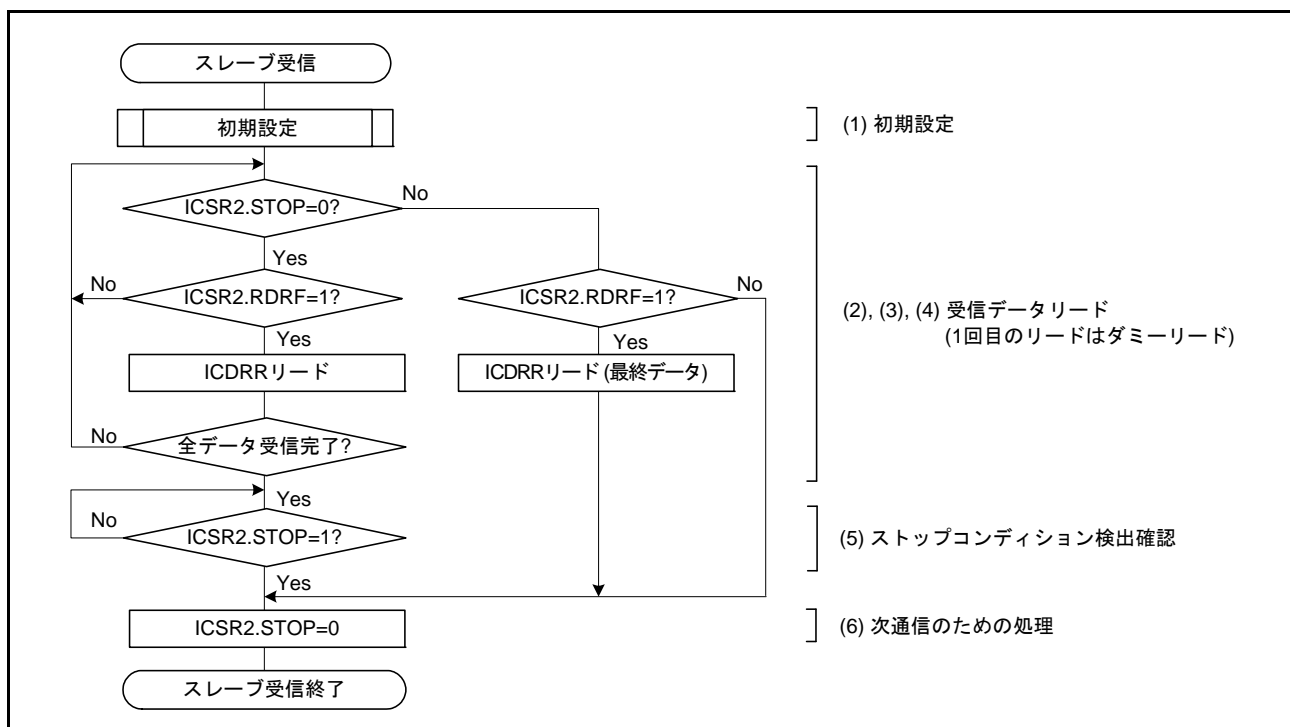


図 26.18 スレーブ受信のフローチャート例

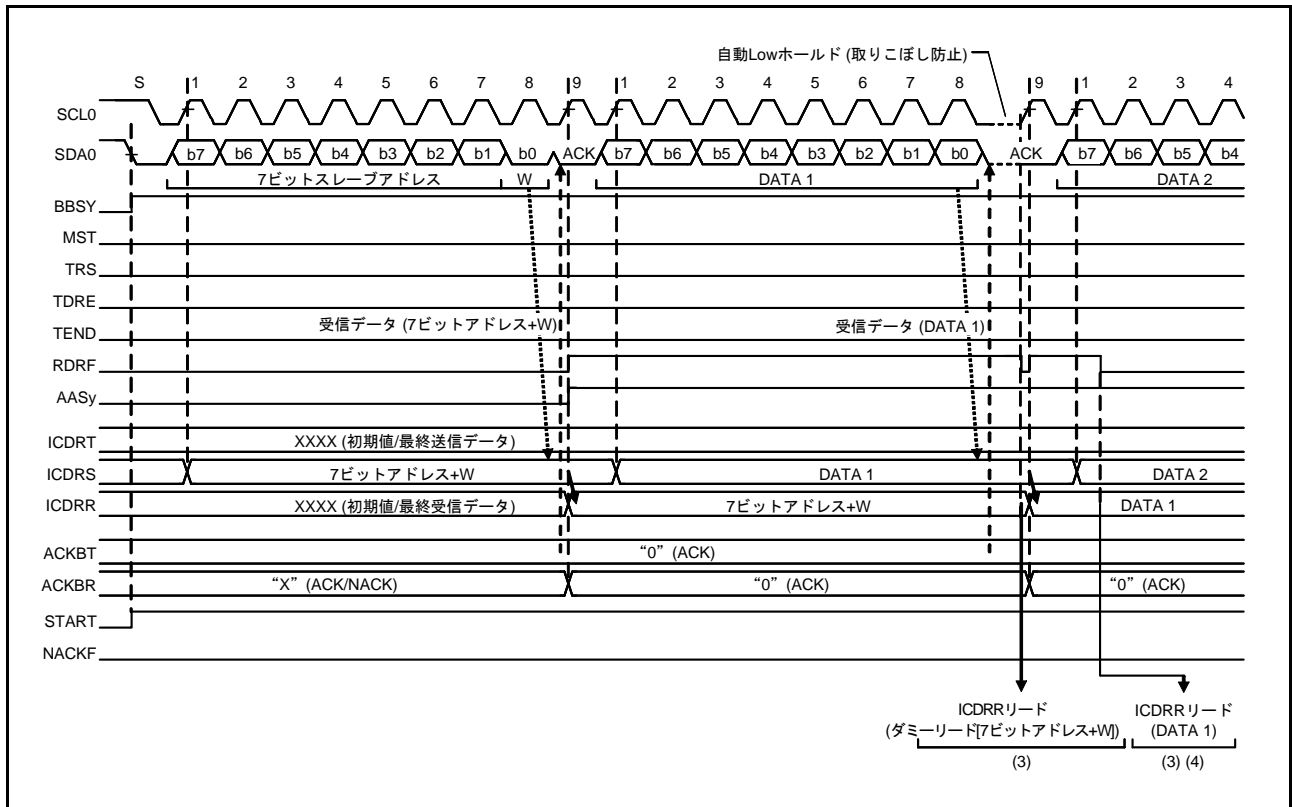


図 26.19 スレーブ受信の動作タイミング (1) (7ビットアドレスフォーマット、RDRFS ビット = 0 のとき)

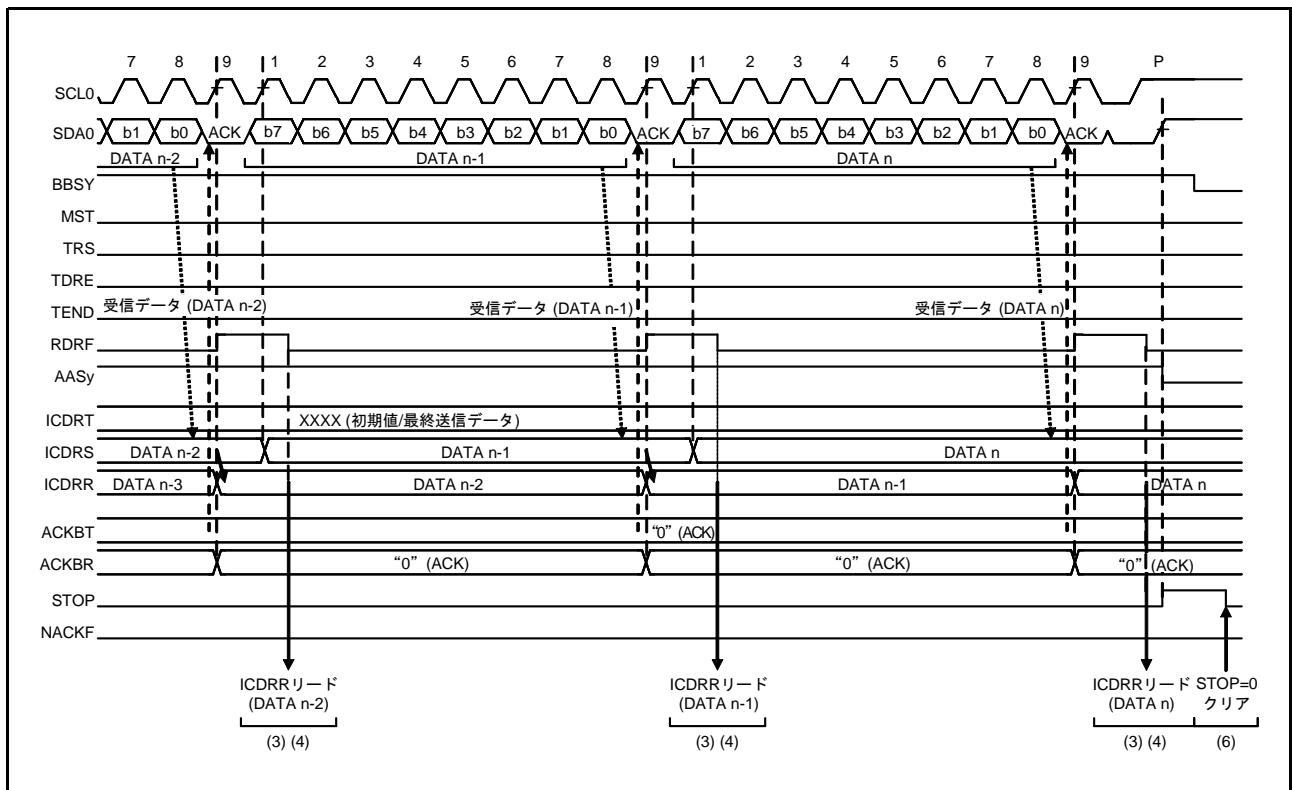


図 26.20 スレーブ受信の動作タイミング (2) (RDRFS ビット = 0 のとき)

26.4 SCL 同期回路

RIIC の SCL クロック生成は SCL0 ラインの立ち上がりを検出すると、ICBRH レジスタで設定された High 幅のカウンタを開始し、High 幅のカウンタが終了すると SCL0 ラインを Low にドライブして立ち下げます。また SCL0 ラインの立ち下がりを検出すると、ICBRL レジスタで設定された Low 幅のカウンタを開始し、Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。これにより SCL クロックを生成します。

I²C バスをマルチマスタで使用する場合、SCL クロックは他のマスタデバイスとの競合により SCL クロック同士が衝突する場合があります。SCL クロックが衝突した場合、マスタデバイスは SCL クロックの同期化を行う必要があります。この SCL クロックの同期はビットごとに行う必要があります。RIIC はマスタモード時に SCL0 ラインを監視してビットごとに同期を取りながら SCL クロックを生成する機能 (SCL 同期回路) を備えています。

RIIC が SCL0 ラインの立ち上がりを検出し ICBRH レジスタで設定された High 幅のカウンタ中に他のマスタデバイスの SCL クロック出力により SCL0 ラインが立ち下げられた場合、RIIC は SCL0 ラインの立ち下がりを検出すると High 幅のカウンタアップ動作を中断し、SCL0 ラインの Low ドライブを行うのと同時に ICBRL レジスタで設定された Low 幅のカウンタアップを開始します。Low 幅のカウンタが終了すると SCL0 ラインの Low ドライブを終了して SCL0 ラインを開放します。このとき他のマスタデバイスの SCL クロックの Low 幅が RIIC で設定された Low 幅よりも長い場合、SCL クロックの Low 幅は延長されます。他のマスタデバイスの Low 幅出力が終了すると、SCL0 ラインが開放され SCL クロックが立ち上がります。そのため SCL クロック出力衝突時の SCL クロックの High 幅は短いクロックに同期し、Low 幅は長いクロックに同期化されます。なお、この SCL 同期は ICFER.SCLE ビットが“1”のとき有効です。

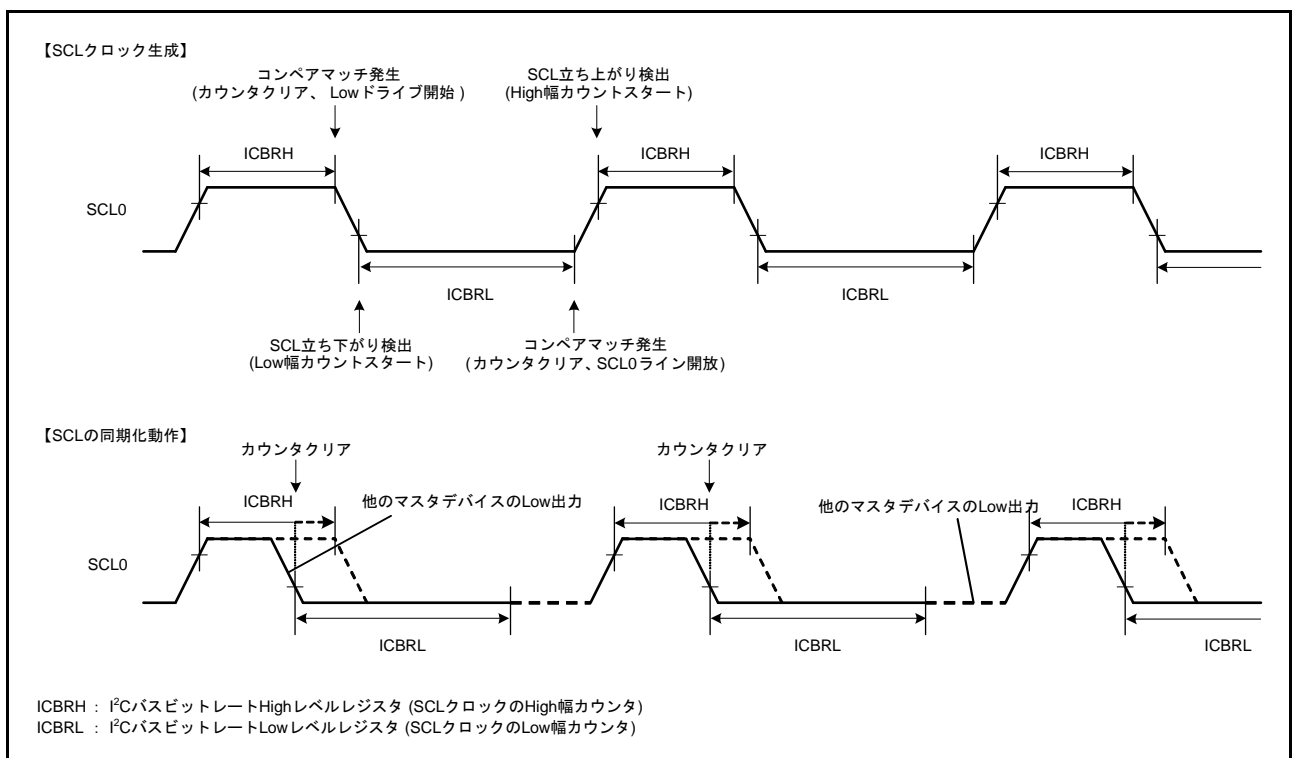


図 26.21 RIIC の SCL クロック生成および SCL 同期化動作

26.5 SDA出力遅延機能

RIICはSDA出力遅延機能を備えています。SDA出力遅延機能は、すべてのSDA出力タイミング(発行動作(開始/再開/停止)、データ出力、ACK/NACK出力)を遅延させることができます。

SDA出力遅延機能は、SCLクロックの立ち上がり検出からSDA出力を遅延させ、確実にSCLクロックのLow期間中にSDA出力を行うことで、通信デバイスの誤認動作を防ぐ目的で使用する機能で、SMBusのデータホールド時間: 300 ns (min)の仕様を満たす目的でも使用することができます。

このSDA出力遅延機能はICMR2.SDDL[2:0]ビットが“000b”以外のとき有効で、SDDL[2:0]ビットが“000b”のとき無効です。

SDA出力遅延機能が有効(SDDL[2:0]ビットが“000b”以外)のとき、SDA出力遅延カウンタはICMR2.DLCSビットで選択された内部基準クロック(IICφ)またはその2分周クロック(IICφ/2)をカウントソースとしてSDDL[2:0]ビットで設定されたサイクル数分のカウント動作を行い、遅延サイクル分のカウントが終了した時点でRIICはSDA出力(発行動作(開始/再開/停止)、データ出力、ACK/NACK出力)を行います。

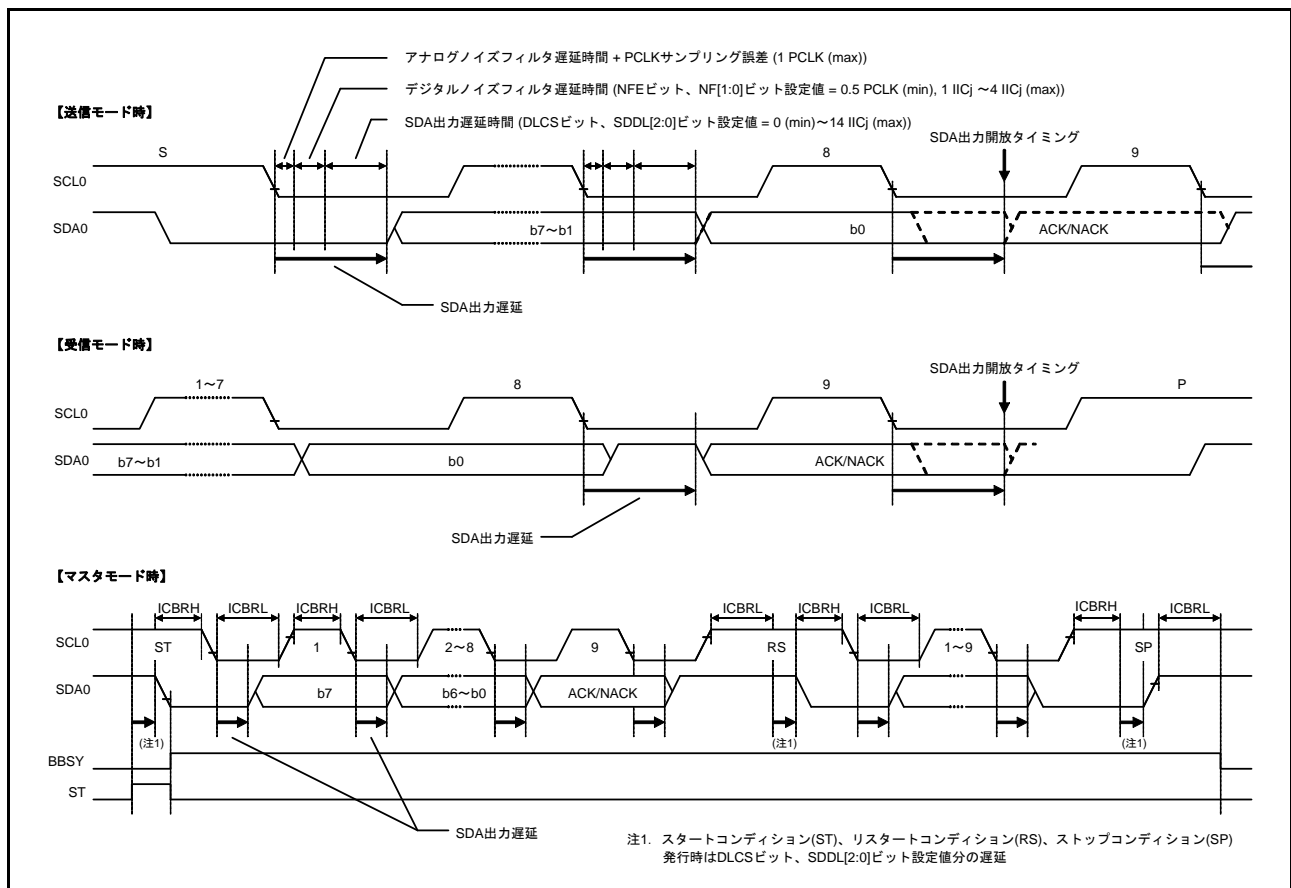


図 26.22 SDA出力遅延タイミング

26.6 デジタルノイズフィルタ回路

SCL0 端子および SDA0 端子の状態は、アナログノイズフィルタ回路およびデジタルノイズフィルタ回路を経由して内部に取り込まれます。図 26.23 にデジタルノイズフィルタ回路のブロック図を示します。

RIIC に内蔵されているデジタルノイズフィルタ回路は、4 段の直列に接続されたフリップフロップ回路と一致検出回路で構成されています。

デジタルノイズフィルタの有効段数は ICMR3.NF[1:0] ビットで選択し、ノイズ除去能力は選択した有効段数に応じて 1IIC ϕ ~ 4IIC ϕ サイクル分となります。

SCL0 端子入力信号 (または SDA0 端子入力信号) は IIC ϕ の立ち下がり でサンプリングされ、ICMR3.NF[1:0] ビットで設定された有効段数のフリップフロップ回路出力がすべて一致したとき、そのレベルが内部信号として伝えられ、一致しない場合は前の値を保持します。

なお、PCLK = 4 MHz 時の 400 kbps 通信のような内部動作クロック (PCLK) と通信速度の比が小さい場合、デジタルノイズフィルタの特性上ノイズ発生時に必要な信号まで除去してしまう場合があります。そのような場合は、デジタルノイズフィルタ回路の使用を禁止 (ICFER.NFE ビット = 0) し、アナログノイズフィルタ回路のみを使用することが可能です。

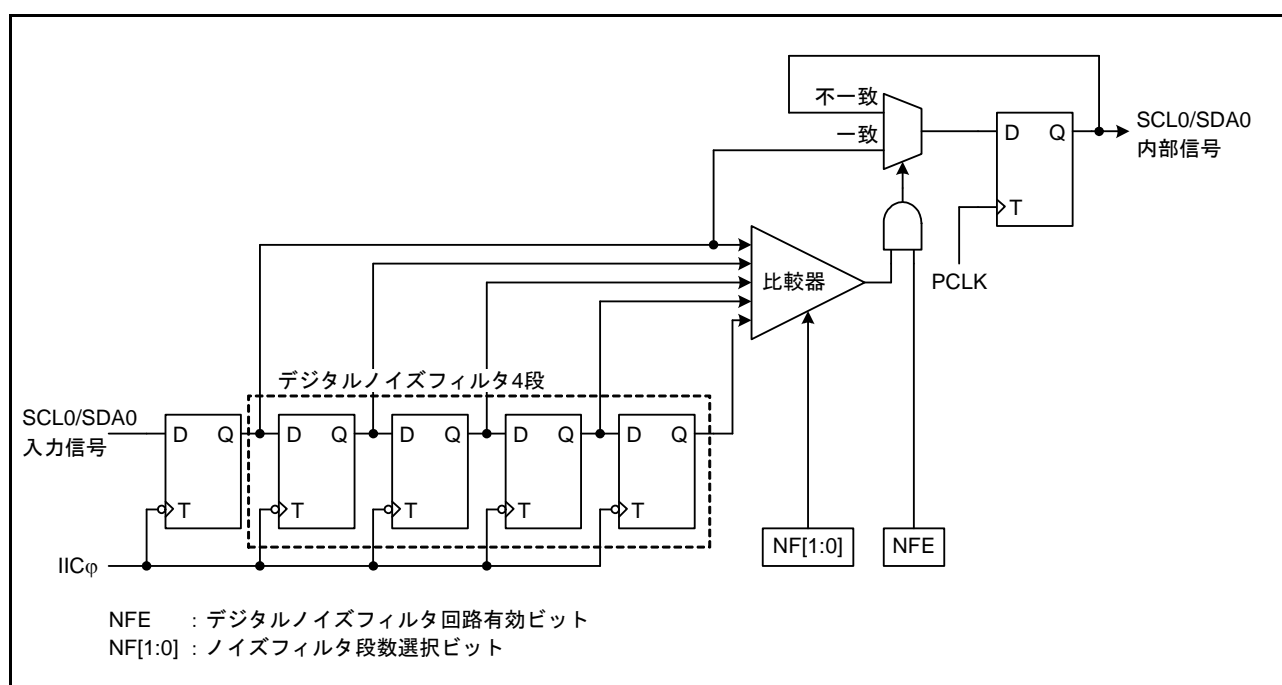


図 26.23 デジタルノイズフィルタ回路のブロック図

26.7 アドレス一致検出機能

RIICはジェネラルコールアドレス、ホストアドレスの他に3種類のスレーブアドレスを設定可能です。またスレーブアドレスには7ビットアドレスまたは10ビットアドレスの設定が可能です。

26.7.1 スレーブアドレス一致検出機能

RIICは3種類のスレーブアドレスを設定可能で、それぞれに応じたスレーブアドレス検出機能を備えています。ICSER.SARyEビット(y=0~2)が“1”のとき、SARUy/SARLyレジスタ(y=0~2)に設定されたスレーブアドレスを検出することができます。

RIICは設定されたスレーブアドレス一致を検出すると、SCLクロックの9クロック目の立ち上がりで該当するICSR1.AASyフラグ(y=0~2)を“1”にし、続くR/W#ビットによりICSR2.RDRFフラグまたはICSR2.TDREフラグを“1”にします。これにより受信データフル割り込み(RXI)または送信データエンpty割り込み(TXI)を発生させることができ、AASyフラグを確認することでどのスレーブアドレスが指定されたかを識別することができます。

図26.24~図26.26にAASyフラグが“1”になるタイミングを示します。

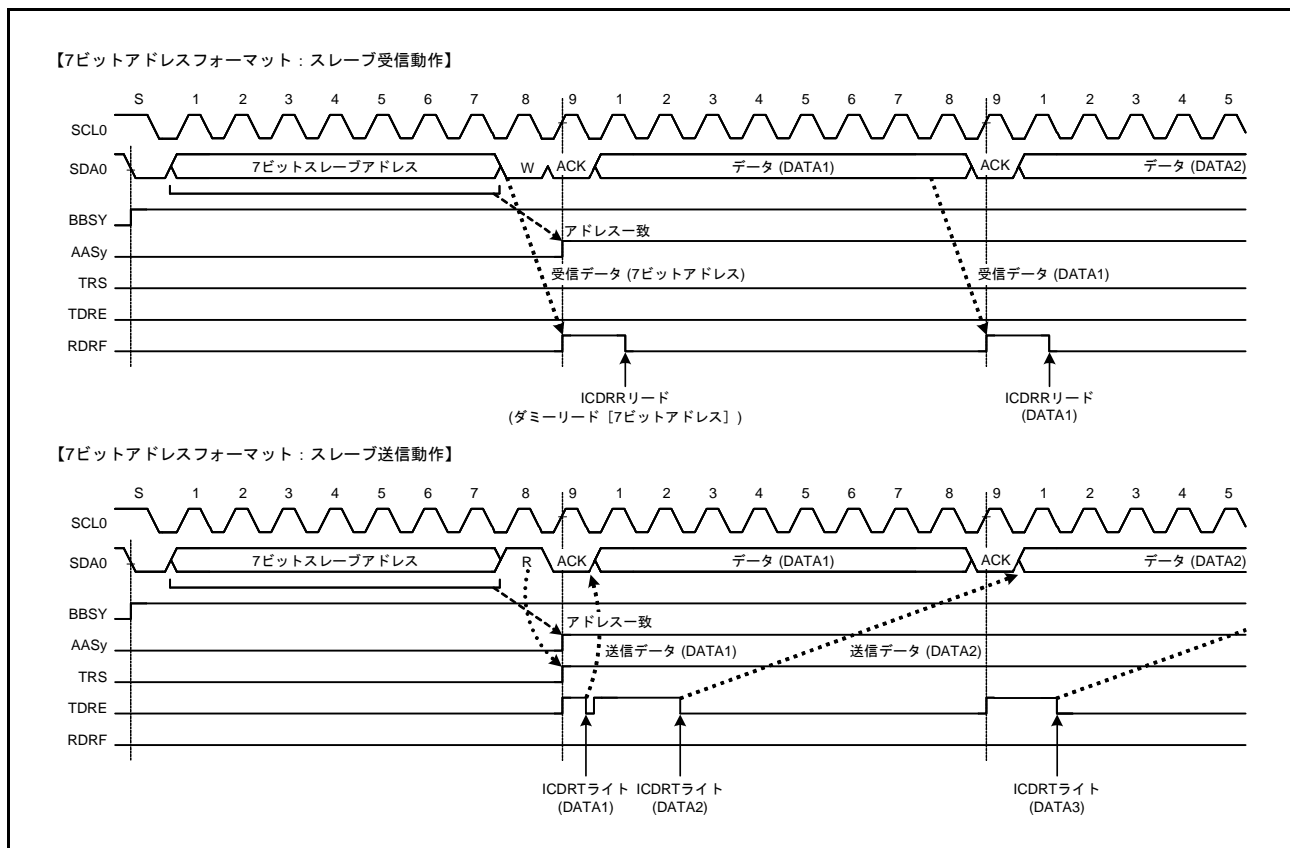


図 26.24 7ビットアドレスフォーマット選択時にAASyフラグが“1”になるタイミング

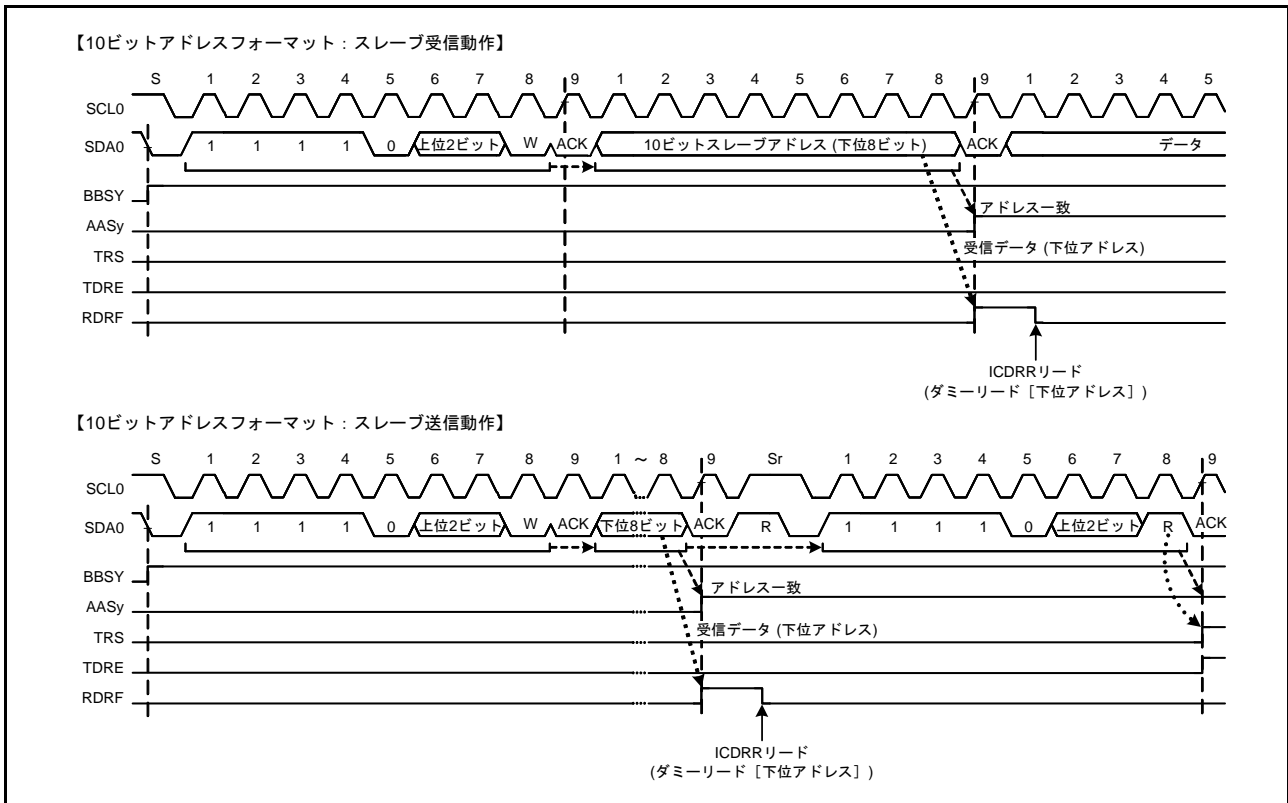


図 26.25 10ビットアドレスフォーマット選択時に AASy フラグが“1”になるタイミング

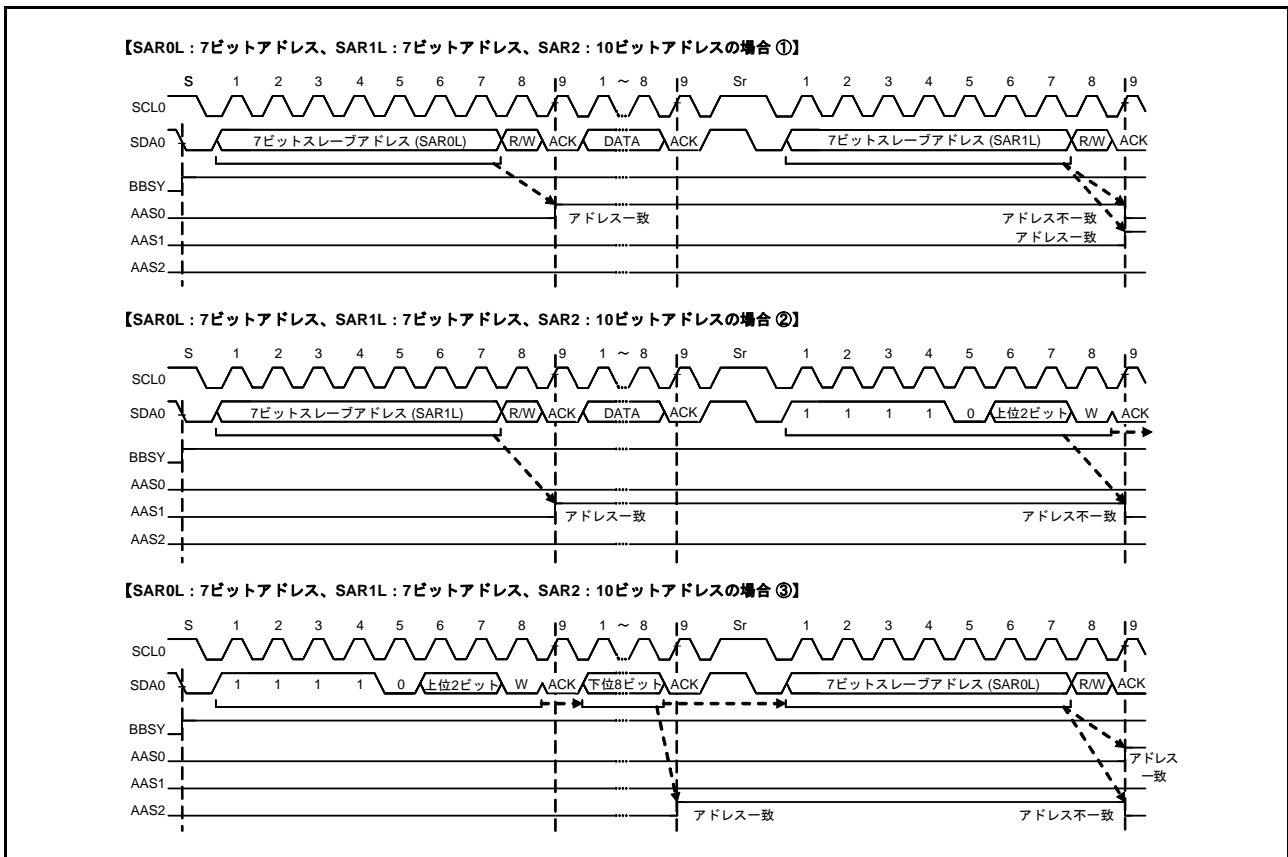


図 26.26 7ビット/10ビットアドレスフォーマット混在時に AASy フラグが“1”または“0”になるタイミング

26.7.2 ジェネラルコールアドレス検出機能

RIICはジェネラルコールアドレス (0000 000b + 0 (write)) の検出機能を備えています。ICSER.GCAE ビットが“1”のとき、ジェネラルコールアドレスを検出することができます。

スタートコンディションまたはリスタートコンディション後のアドレスが 0000 000b + 1 (read) (スタートバイト) だった場合、RIICはこのアドレスを All “0” のスレーブアドレスと認識し、ジェネラルコールアドレスとみなしません。

RIICはジェネラルコールアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.GCA フラグを“1”にし、同時に ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、GCA フラグを確認することでジェネラルコールアドレスが送信されたことを認識することができます。

なお、ジェネラルコールアドレス検出後の動作は通常のスレーブ受信動作と同じです。

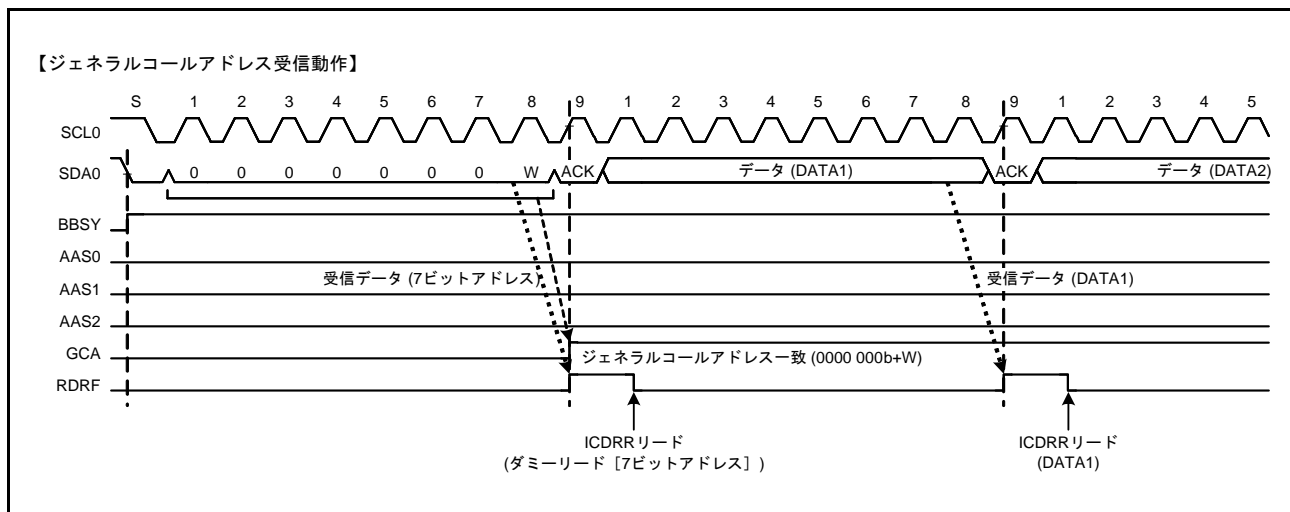


図 26.27 ジェネラルコールアドレス受信時に GCA フラグが“1”になるタイミング

26.7.3 デバイス ID アドレス検出機能

RIICはI²Cバス(Rev.03)に準拠したデバイスIDアドレスの検出機能を備えています。ICSER.DIDEビットを“1”にした状態で、スタートコンディションまたはリスタートコンディション後の1バイト目に1111 100bを受信すると、RIICはこのアドレスをデバイスIDアドレスと認識し、続くR/W#ビットが“0”のときSCLクロックの8クロック目の立ち上がりでICSR1.DIDフラグを“1”にした後、2バイト目以降と自スレーブアドレスとの比較動作を行います。この2バイト目以降のアドレスがスレーブアドレスレジスタの値と一致した場合、該当するICSR1.AASyフラグ(y=0~2)が“1”になります。

その後スタートコンディションまたはリスタートコンディション後の1バイト目が再びデバイスIDアドレス(1111 100b)と一致し、続くR/W#ビットが“1”のときRIICは続く2バイト目以降はアドレス比較動作を行わず、ICSR2.TDREフラグを“1”にします。

デバイスIDアドレス検出機能は、自スレーブアドレスと不一致あるいは自スレーブアドレス一致後のリスタートコンディション後のアドレスがデバイスIDアドレスと不一致の場合、DIDフラグを“0”にし、スタートコンディションまたはリスタートコンディション後の1バイト目がデバイスIDアドレス(1111 100b)と一致し、かつR/W#ビットが“0”のときDIDフラグを“1”にセットし、続く2バイト目以降をスレーブアドレスと比較します。R/W#ビットが“1”の場合、DIDフラグは前値の状態を継続し、2バイト目以降のスレーブアドレス比較を行いません。そのため、TDREフラグが“1”であることを確認後DIDフラグをチェックすることで、デバイスIDを受信したことを確認することができます。

なお、一連のデバイスID受信後にホストに送信するデバイスIDフィールドとして必要な情報(3バイト分: メーカー[12ビット]+部品識別[9ビット]+リビジョン[3ビット])は、通常の送信データと同様あらかじめ準備してください。また、デバイスIDフィールドに必要な情報の詳細についてはNXP社にお問い合わせください。

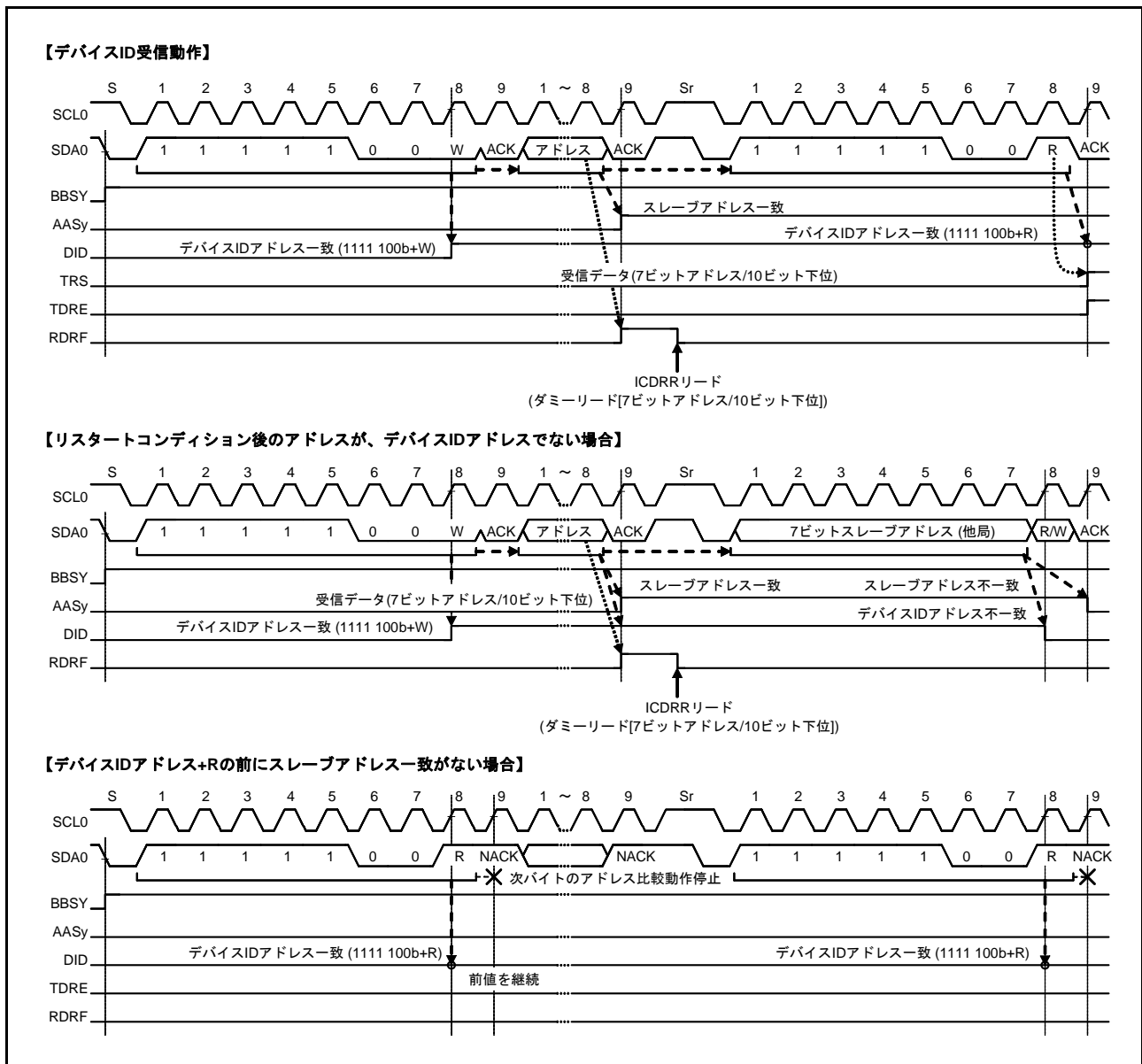


図 26.28 デバイス ID アドレス受信時の AASy、DID フラグセット/クリアタイミング

26.7.4 ホストアドレス検出機能

RIICには SMBus 動作時にホストアドレス検出機能を備えています。ICMR3.SMBS ビットが“1”のとき ICSEH.HOAE ビットを“1”にすると、スレーブ受信モード (ICCR2.MST, TRS ビット = 00b) にホストアドレス (0001 000b) を検出することが可能です。

RIICはホストアドレスを検出すると、SCLクロックの9クロック目の立ち上がりで ICSR1.HOA フラグを“1”にし、Wr ビット (R/W# ビットに“0”を受信) のとき ICSR2.RDRF フラグを“1”にします。これにより受信データフル割り込み (RXI) を発生させることができ、HOA フラグを確認することでスマートバッテリーなどからホストアドレスが送信されたことを認識することができます。

なお、ホストアドレス (0001 000b) に続くビットが Rd ビット (R/W# ビットに“1”を受信) の場合においてもホストアドレスを検出することが可能です。また、ホストアドレス検出後の動作は通常のスレーブ動作と変わりありません。

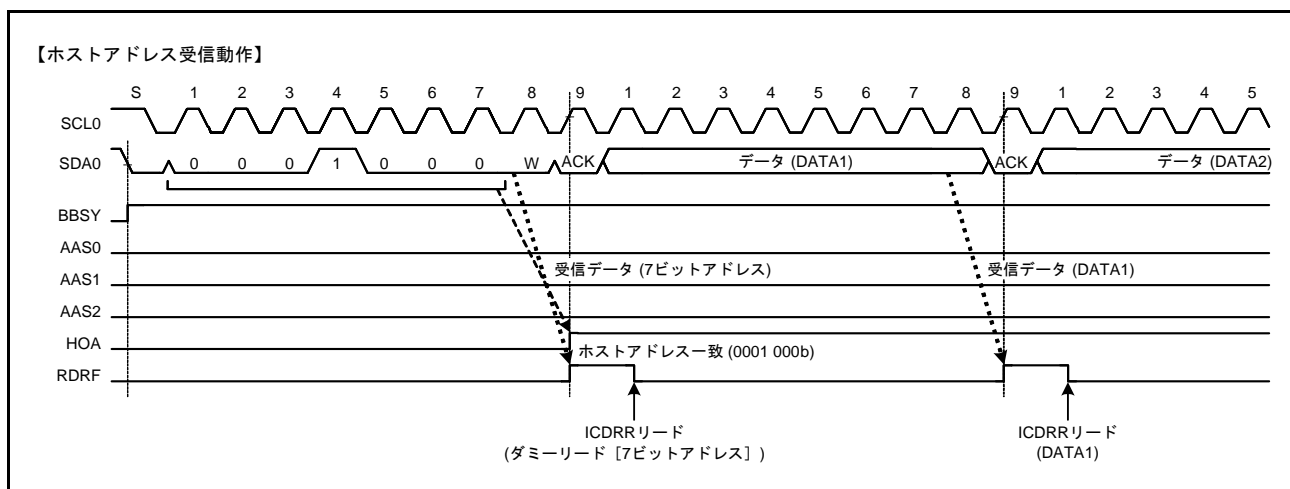


図 26.29 ホストアドレス受信時に HOA フラグが“1”になるタイミング

26.8 SCLの自動Lowホールド機能

26.8.1 送信データ誤送信防止機能

RIICは送信モード時 (ICCR2.TRS ビット=1)、シフトレジスタ (ICDRS レジスタ) が空の状態かつ送信データ (ICDRT レジスタ) が書かれていない場合、以下に示す区間、自動的に SCL0 ラインの Low ホールドを行います。この Low ホールドは送信データの書き込みが行われるまでの期間 Low 区間を延長し、意図しない送信データの誤送信を防止します。

《マスタ送信モード》

- スタートコンディション/リスタートコンディション発行後の Low 区間
- 9クロック目と1クロック目の Low 区間

《スレーブ送信モード》

- 9クロック目と1クロック目の Low 区間

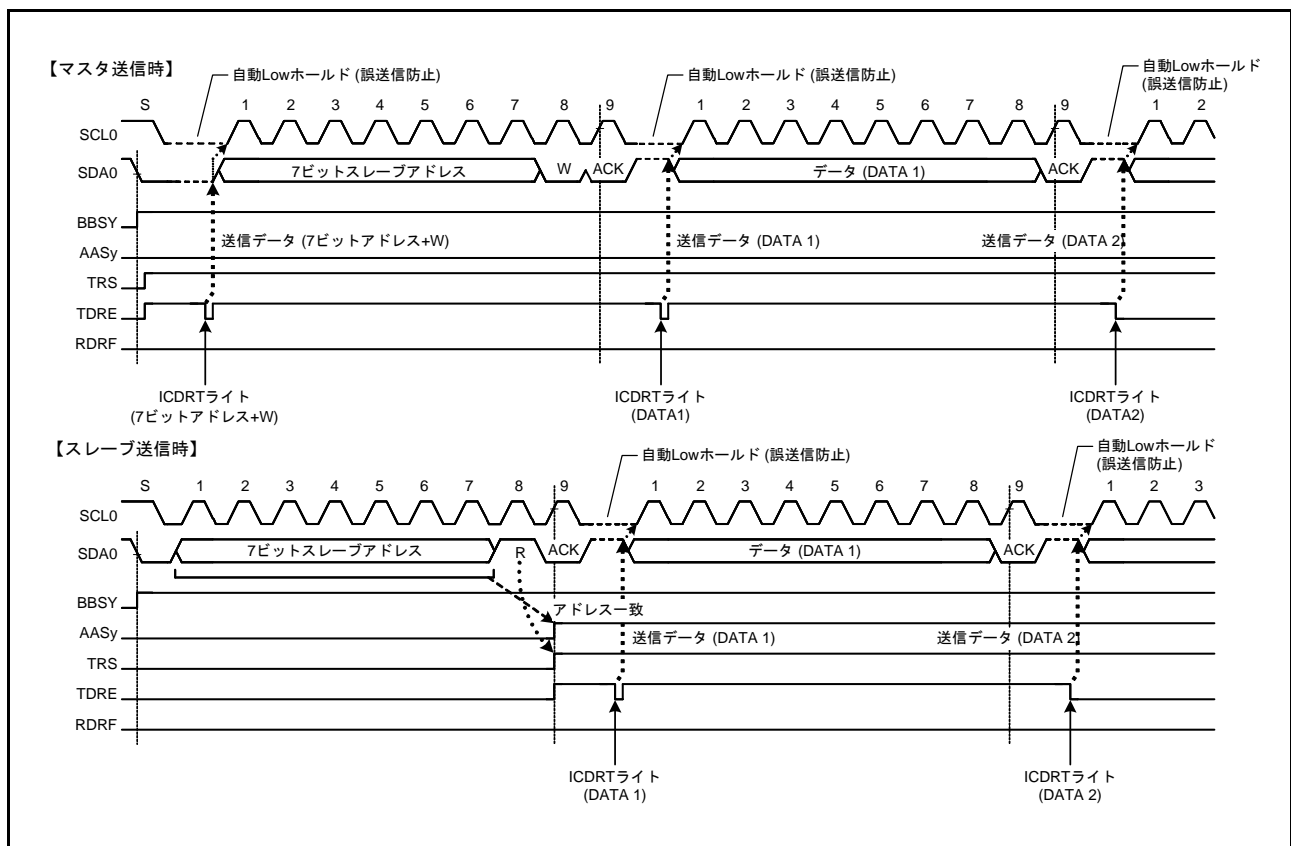


図 26.30 送信モードの自動 Low ホールド動作

26.8.2 NACK 受信転送中断機能

RIICは送信モード時 (ICCR2.TRS ビット = 1) に NACK を受信した場合、転送動作を中断する機能を備えています。この機能は ICFER.NACKF ビットが “1” (転送中断許可) のとき有効で、NACK 受信時にすでに次の送信データが書き込まれていた場合 (ICSR2.TDRE フラグ = 0 の状態)、SCL クロックの 9 クロック目の立ち下がり時の次のデータ送信動作を自動的に中断します。これにより次送信データの MSB が “0” のときの SDA0 ライン Low 出力固定を防止することができます。

なお NACK 受信転送中断機能で転送動作が中断された場合 (ICSR2.NACKF フラグ = 1)、以後の送信動作および受信動作は行いません。動作を再開するには NACKF フラグを “0” にしてください。またマスタ送信モードの場合には NACKF フラグを “0” にした後、リスタートコンディション発行またはストップコンディション発行後にスタートコンディション発行を行って、動作をやり直してください。

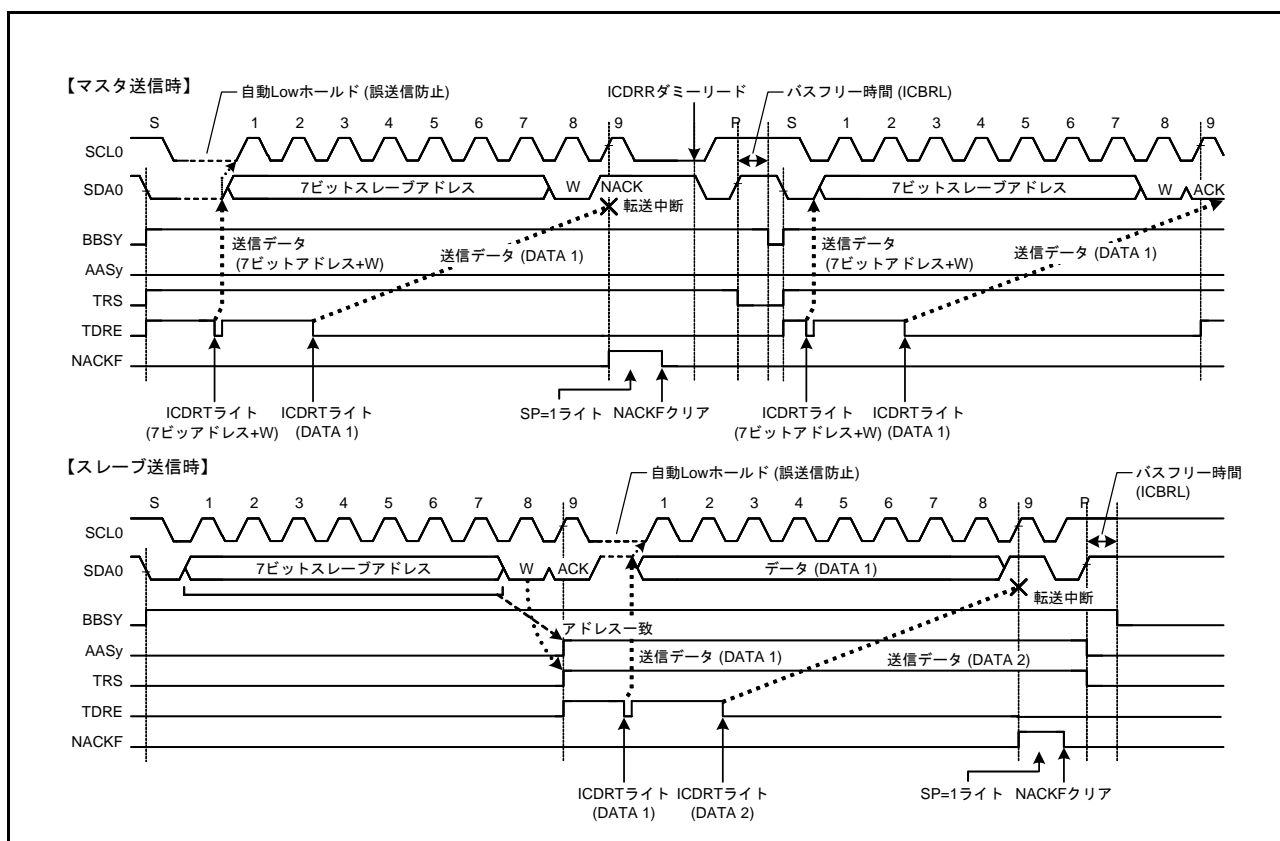


図 26.31 NACK 受信時の転送中断動作 (NACKF ビット = 1 のとき)

26.8.3 受信データ取りこぼし防止機能

RIICは受信モード時 (ICCR2.TRS ビット = 0)、受信データフル (ICSR2.RDRF フラグ = 1) の状態で受信データ (ICDRR レジスタ) の読み出しが 1 転送バイト以上遅れるなどの応答処理遅延が発生した場合、次のデータ受信の 1 つ手前で自動的に SCL0 ラインの Low ホールドを行い、受信データの取りこぼしを未然に防止します。

この自動 Low ホールドによる取りこぼし防止機能は、最終受信データの読み出し処理が遅れて、その間にストップコンディション後に自スレーブアドレスを指定された場合にも有効で、ストップコンディション後自スレーブアドレスと不一致の場合にはこの Low ホールドは行わないため、他の通信を阻害しません。

また、RIIC では ICMR3.WAIT, RDRFS ビットの組み合わせにより Low ホールドを行う区間を選択することができます。

(1) WAIT ビットによる 1 バイト受信動作 / 自動 Low ホールド機能

ICMR3.WAIT ビットを“1”にすると、RIICはWAIT ビット機能による1バイト受信動作になります。ICMR3.RDRFS ビットが“0”のとき、RIICはSCLクロックの8クロック目の立ち下がりから9クロック目の立ち下がり期間のアクノリッジビットには自動的にICMR3.ACKBT ビットの内容が送出され、9クロック目立ち下がりを検出するとWAIT ビット機能により自動的にSCL0ラインをLowにホールドします。このLowホールドはICDRRレジスタの読み出しによって解除されます。そのため1バイトごとの受信動作が可能となります。

なおWAIT ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信バイトから有効になります。

(2) RDRFS ビットによる 1 バイト受信動作 (ACK/NACK 送出制御) / 自動 Low ホールド機能

ICMR3.RDRFS ビットを“1”にすると、RIICはRDRFS ビット機能による1バイト受信動作になります。RDRFS ビットを“1”にすると、受信データフルフラグ(ICSR2.RDRF フラグ)が“1”になるタイミングがSCLクロックの8クロック目の立ち上がりに変更され、8クロック目の立ち下がりを検出すると自動的にSCL0ラインをLowにホールドします。このLowホールドはICMR3.ACKBT ビットへの書き込みによって解除され、ICDRRレジスタの読み出しでは解除されません。そのため1バイトごとに受信したデータの内容に応じたACK/NACK送出の受信動作が可能となります。

なおRDRFS ビット機能は、マスタ受信モード時またはスレーブ受信モード時でかつ自スレーブアドレス(ジェネラルコールアドレス、ホストアドレス含む)と一致した以降の受信バイトから有効になります。

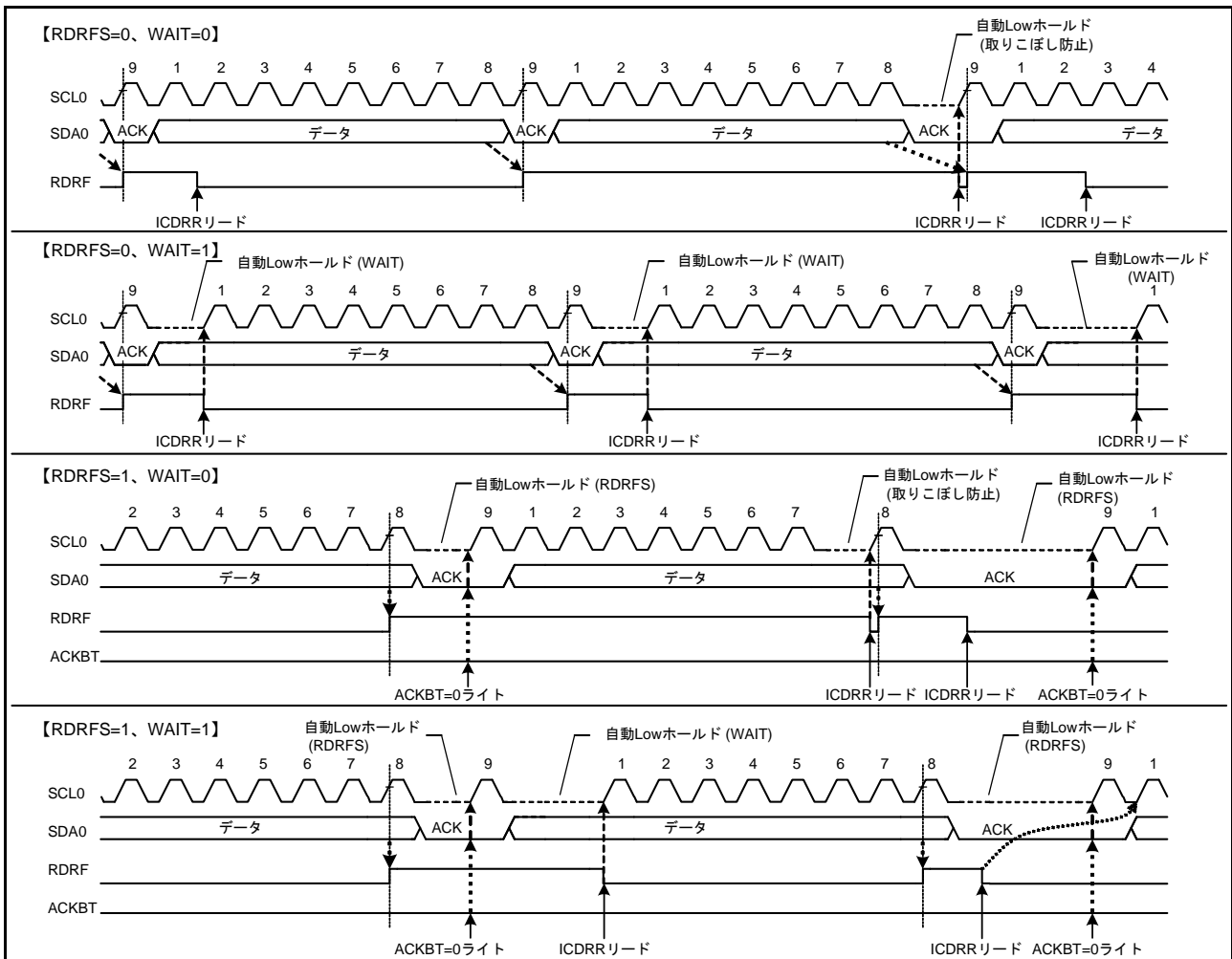


図 26.32 受信モードの自動 Low ホールド動作 (RDRFS、WAIT ビット)

26.9 アービトレーションロスト検出機能

RIICにはI²Cバス仕様で定められている通常のアービトレーションロスト検出機能の他に、スタートコンディションの二重発行防止、NACK送信時のアービトレーションロスト検出やスレーブ送信時におけるアービトレーションロスト検出機能も備えています。

26.9.1 マスタアービトレーションロスト検出機能 (MALE ビット)

RIICはスタートコンディション発行の際SDA0ラインをLowにしますが、これよりも早く他のマスタデバイスがスタートコンディションを発行してSDA0ラインをLowにした場合、アービトレーションロストを発生させ、他のマスタデバイスの通信を優先します。同様にICCR2.BBSYフラグが“1”(バスビジー中)のときにICCR2.STビットを“1”にするとアービトレーションロストが発生し、他のマスタデバイスの通信を優先します。スタートコンディションは生成しません。

またスタートコンディション発行が正常に行われた場合、アドレス送信を含む送信データ(SDA信号)とSDA0ラインに不一致が生じた場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDAラインにLowを検出したとき)、アービトレーションロストを発生させます。

マスタアービトレーションロストが発生した場合、RIICはスレーブ受信モードに移行します。このときジェネラルコールアドレスを含むスレーブアドレス一致があった場合にはスレーブ動作を継続します。

なおマスタアービトレーションロスト検出は、ICFER.MALEビットが“1”(マスタアービトレーションロスト検出許可)の状態以下に示す条件が成立したとき、アービトレーションロストを検出します。

[マスタアービトレーションロスト条件]

- ICCR2.BBSYフラグが“0”の状態(ICCR2.STビットを“1”)にしてスタートコンディションを発行したときにSDA信号とSDA0ライン上の信号の状態が不一致のとき(スタートコンディション発行エラー)
- ICCR2.BBSYフラグが“1”でICCR2.STビットを“1”)にしたとき(スタートコンディション二重発行エラー)
- マスタ送信モード時(ICCR2.MST, TRSビット=11b)、アクノリッジを除く送信データ(SDA信号)とSDA0ライン上の信号の状態が不一致のとき

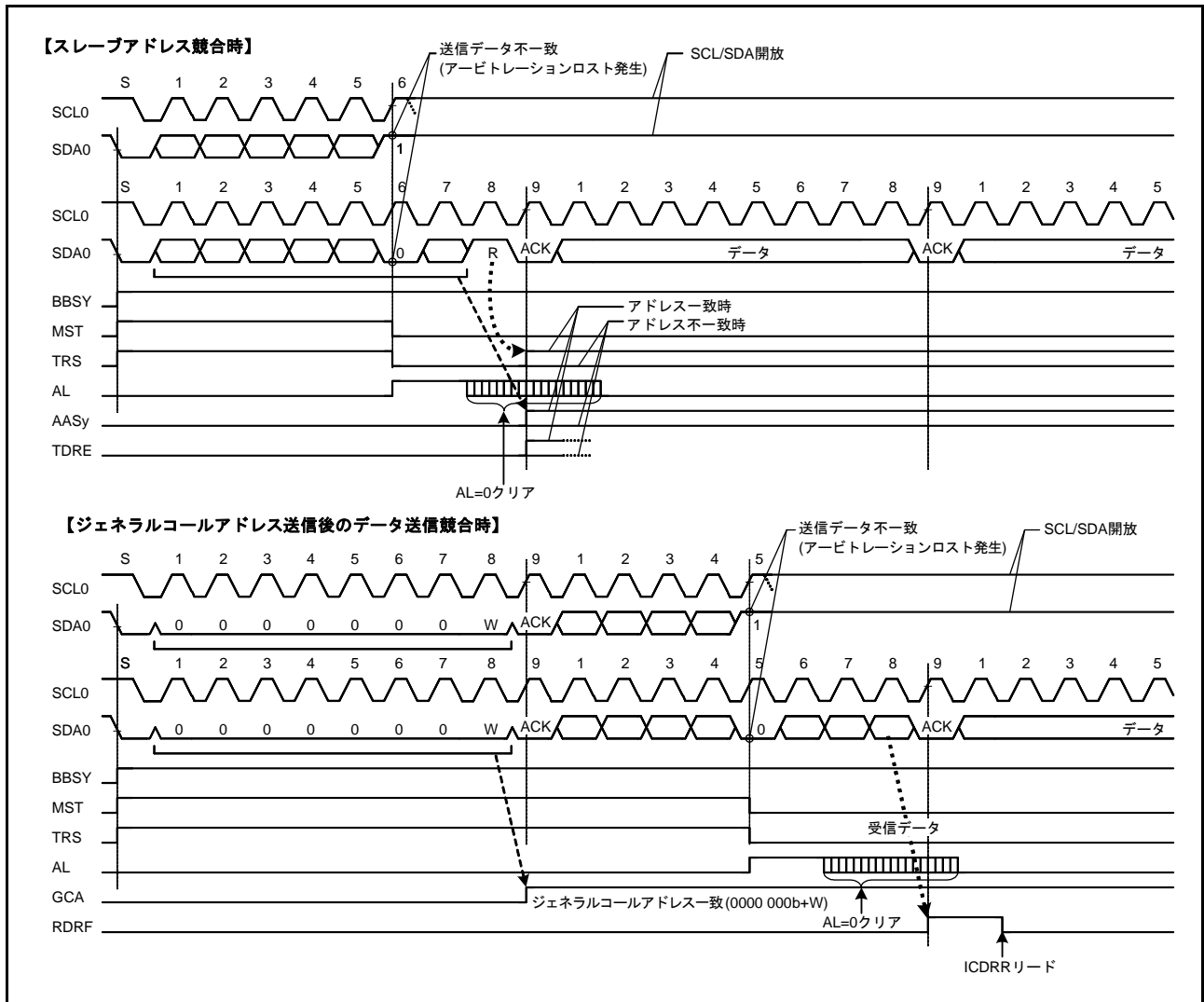


図 26.33 マスタアービトレーションロスト検出動作例 (MALE ビット = 1 のとき)

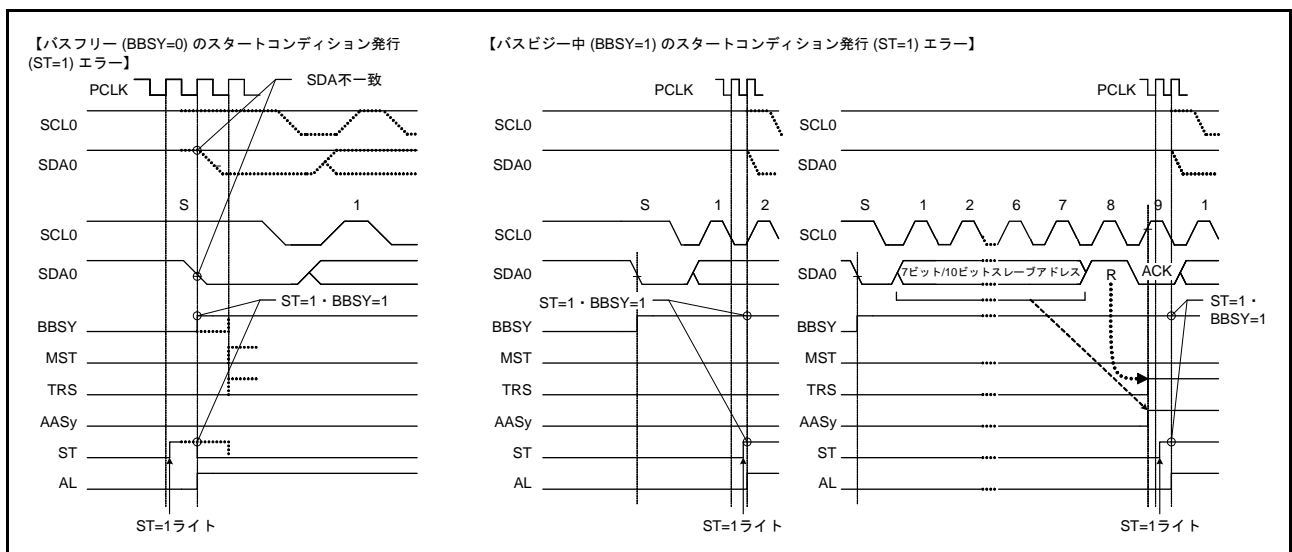


図 26.34 スタートコンディション発行時のアービトレーションロスト (MALE ビット = 1 のとき)

26.9.2 NACK 送信アービトレーションロス検出機能 (NALE ビット)

RIICは受信モード時でNACK送信時に出力したSDA信号とSDA0ライン上の信号の状態が不一致の場合(SDA出力がHigh出力(SDA0端子はハイインピーダンス)で、SDA0ラインにLowを検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロス機能は、主にマルチマスタのシステムにおいて2つ以上のマスタが同時に同一スレーブデバイスからデータを受信する際にNACK送信とACK送信が衝突することで発生します。これは2つ以上のマスタデバイスが1つのスレーブデバイスを介して共通の情報のやり取りする際に起こり得ます。図26.35にNACK送信アービトレーションロス検出動作例を示します。

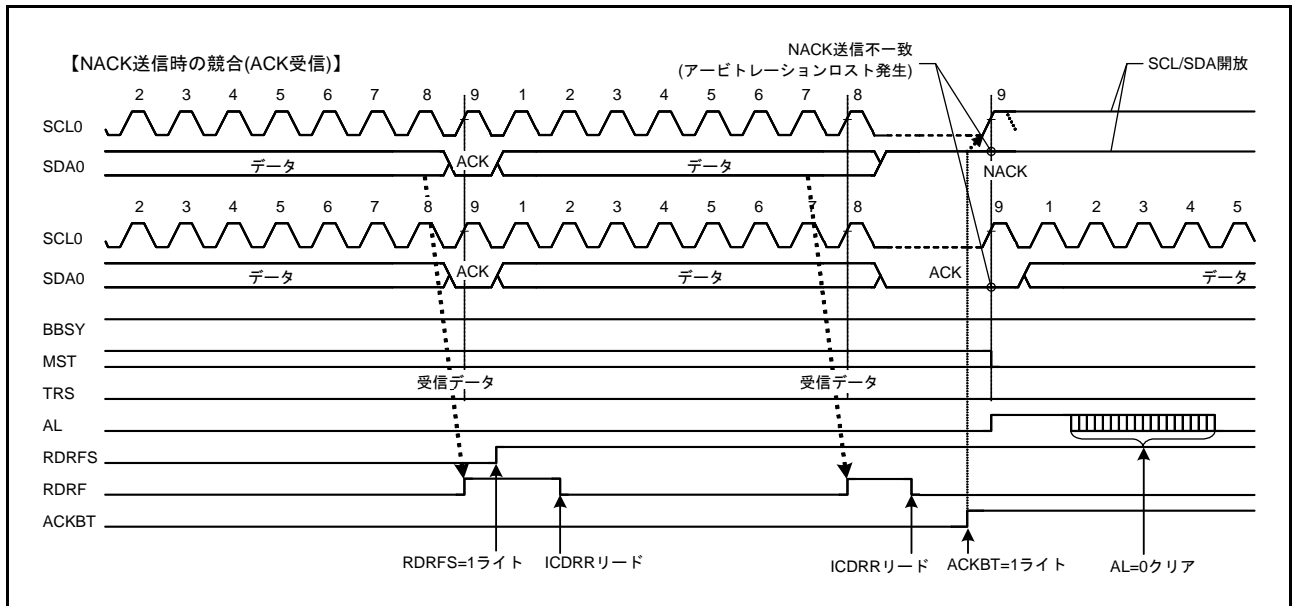


図 26.35 NACK 送信アービトレーションロス検出動作例 (NALE ビット = 1 のとき)

2つのマスタデバイス(マスタA、マスタB)と1つのスレーブデバイスがバス上に接続されている場合に例に挙げて説明します。マスタAはスレーブデバイスから2バイト受信、マスタBはスレーブデバイスから4バイト分のデータ受信を行うものとします。

このときマスタAとマスタBが同時にスレーブデバイスをアクセスした場合、スレーブアドレスは同じであるため、マスタA、マスタBともスレーブデバイスアクセス時にアービトレーションロスが発生しません。そのためマスタA、マスタBともどちらもバス権を取得したものと認識して動作します。ここでマスタAは、スレーブデバイスから最終バイトである2バイト分の受信が完了した時点でNACKを送信します。一方マスタBは、スレーブデバイスから必要な4バイト受信に満たないためACK送信を行います。このときマスタAのNACK送信とマスタBのACK送信の衝突が発生します。一般的にこのような状況が発生した場合、マスタAはマスタBが出したACK送信を検出できないままストップコンディション発行動作を行うため、マスタBのSCLクロック出力と競合し通信を障害します。

RIICはこのようなNACK送信時にACKを受信した場合、他のマスタデバイスと競合負けが発生したことを検知しアービトレーションロストを発生させることができます。

NACK送信アービトレーションロスが発生した場合、RIICはスレーブ一致状態を解除してスレーブ受信モードに移行します。これによりストップコンディション発行を未然に防ぎ、バスの通信障害を防止することが可能です。

またSMBusのARPコマンド処理において、アサインアドレスのUDID(ユニークデバイスアイデンティファイ)不一致時のNACK送信以降、およびアサインアドレス確定後のGetUDID(汎用)のNACK送信以降の余剰処理(“FFh”送信処理)を省くことができます。

なお NACK 送信アービトレーションロスト検出は、ICFER.NALE ビットが“1” (NACK 送信アービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[NACK 送信アービトレーションロスト条件]

- NACK 送信時(ICMR3.ACKBT ビット=1)、出力した SDA 信号と SDA0 ライン上の信号の状態が不一致のとき (ACK を受信したとき)

26.9.3 スレーブアービトレーションロスト検出機能 (SALE ビット)

RIIC は、スレーブ送信時に送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態に不一致が生じた場合 (出力した SDA 出力が High 出力 (SDA0 端子はハイインピーダンス) で、SDA0 ラインに Low を検出したとき)、アービトレーションロストを発生させる機能を備えています。このアービトレーションロスト機能は、主に SMBus の UDID (ユニークデバイスアイデンティファイ) 送信時に使用します。

スレーブアービトレーションロストが発生した場合、RIIC はスレーブ一致状態を解除してスレーブ受信モードに移行します。

この機能により SMBus の UDID 送信時のデータ衝突検出およびデータ衝突以降の余剰処理 (“FFh” 送信処理) を省くことができます。

なおスレーブアービトレーションロスト検出は、ICFER.SALE ビットが“1” (スレーブアービトレーションロスト検出許可) の状態で以下に示す条件が成立したとき、アービトレーションロストを検出します。

[スレーブアービトレーションロスト条件]

- スレーブ送信モード時(ICCR2.MST, TRS ビット=01b)、アクノリッジを除く送信データ (出力した SDA 信号) と SDA0 ライン上の信号の状態が不一致のとき

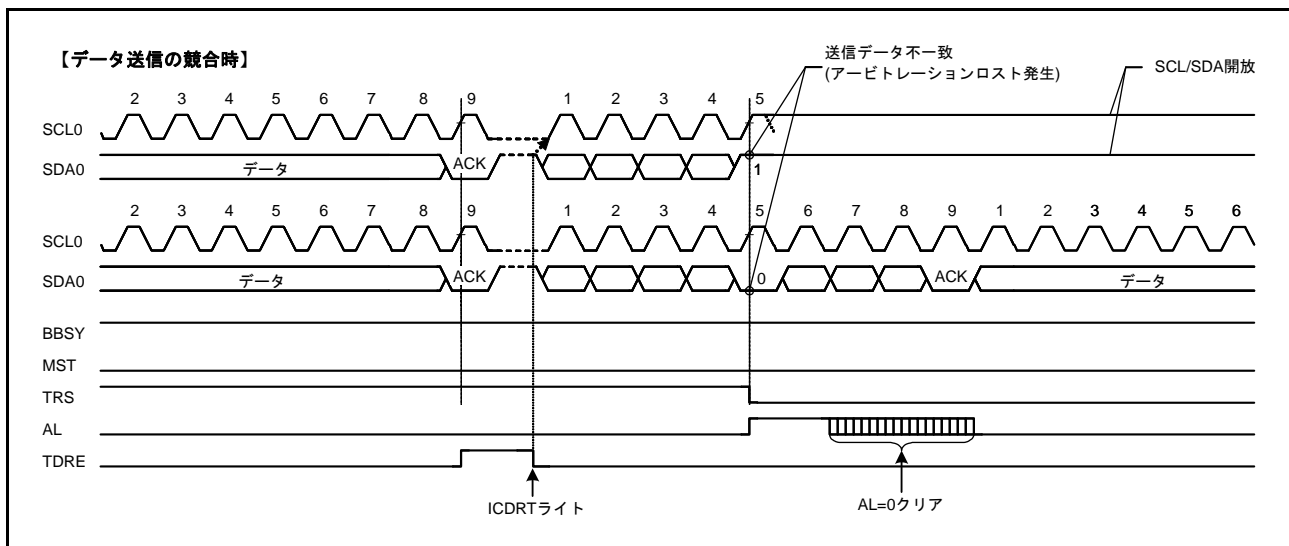


図 26.36 スレーブアービトレーションロスト検出動作例 (SALE ビット = 1 のとき)

26.10 スタートコンディション、リスタートコンディション、ストップコンディション発行機能

26.10.1 スタートコンディション発行動作

RIICは、ICCR2.STビットによりスタートコンディションの発行を行います。

STビットを“1”にすると、スタートコンディション発行の要求が行われICCR2.BBSYフラグが“0”(バスフリー)の状態のときスタートコンディションの発行を行います。スタートコンディションが正常に発行された場合、RIICは自動的にマスタ送信モードに移行します。

スタートコンディションの発行は、以下のシーケンスに従って行われます。

[スタートコンディション発行動作]

- (1) SDA0ラインを立ち下げ (High から Low に遷移)
- (2) ICBRHレジスタで設定した時間スタートコンディションのホールド時間を確保
- (3) SCL0ラインを立ち下げ (High から Low に遷移)
- (4) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

26.10.2 リスタートコンディション発行動作

RIICはICCR2.RSビットによりリスタートコンディションの発行を行います。

RSビットを“1”にするとリスタートコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、リスタートコンディションの発行を行います。

リスタートコンディションの発行は、以下のシーケンスに従って行われます。

[リスタートコンディション発行動作]

- (1) SDA0ラインを開放
- (2) ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- (3) SCL0ラインを開放 (Low から High に遷移)
- (4) SCL0ラインのHigh検出後、ICBRLレジスタで設定した時間リスタートコンディションのセットアップ時間を確保
- (5) SDA0ラインを立ち下げ (High から Low に遷移)
- (6) ICBRHレジスタで設定した時間リスタートコンディションのホールド時間を確保
- (7) SCL0ラインを立ち下げ (High から Low に遷移)
- (8) SCL0ラインのLowを検出後、ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保

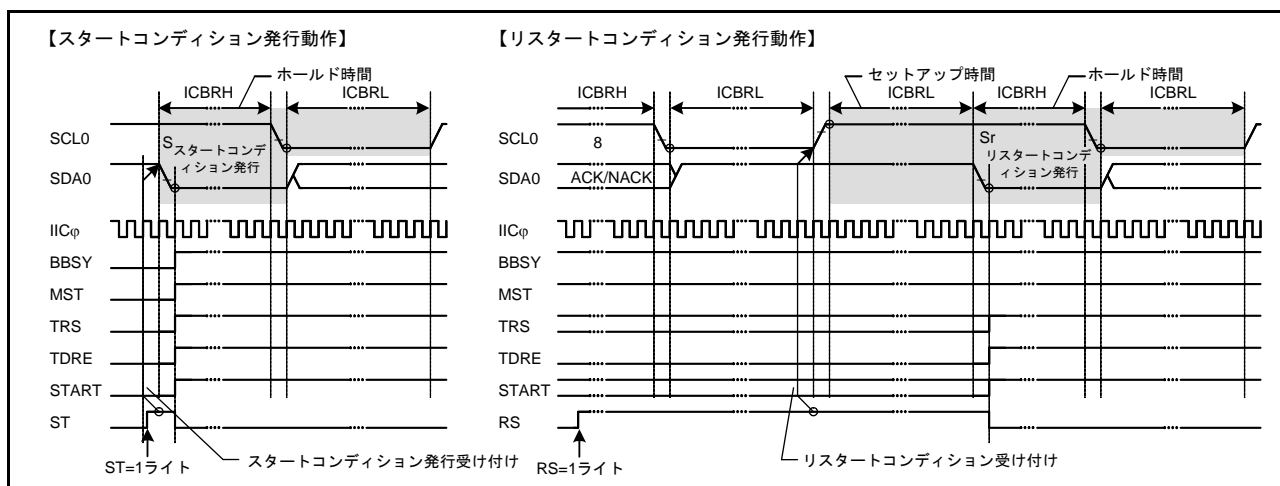


図 26.37 スタートコンディション/リスタートコンディション発行動作タイミング (ST、RS ビット)

26.10.3 ストップコンディション発行動作

RIICはICCR2.SPビットによりストップコンディションの発行を行います。

SPビットを“1”にするとストップコンディション発行の要求が行われ、RIICはICCR2.BBSYフラグが“1”(バスビジー)の状態であつICCR2.MSTビットが“1”(マスタモード)のとき、ストップコンディションの発行を行います。

ストップコンディションの発行は、以下のシーケンスに従って行われます。

[ストップコンディション発行動作]

- SDA0ラインを立ち下げ(HighからLowに遷移)
- ICBRLレジスタで設定した時間SCL0ラインのLow幅を確保
- SCL0ラインを開放(LowからHighに遷移)
- SCL0ラインのHigh検出後、ICBRHレジスタで設定した時間ストップコンディションのセットアップ時間を確保
- SDA0ラインを開放(LowからHighに遷移)
- ICBRLレジスタで設定した時間バスフリー時間を確保
- BBSYフラグクリア(バス権解放)

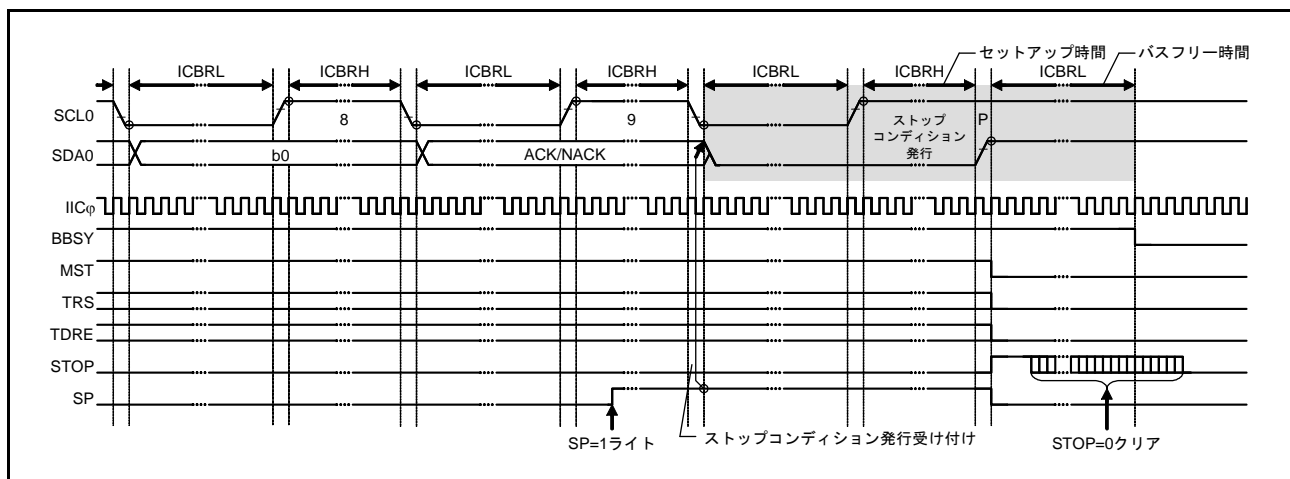


図 26.38 ストップコンディション発行動作タイミング (SPビット)

26.11 バスハングアップ

I²Cバスでは主にノイズ等の影響により、マスタデバイスとスレーブデバイス間で同期ズレが発生すると、SCL0ラインやSDA0ラインが固定されたままバスハングアップを起こす場合があります。

RIICは、このバスハングアップ状態に対しSCL0ラインを監視することで、バスハングアップ状態を検出できるタイムアウト検出機能や、同期ズレによるバスハングアップ状態を解除するためのSCLクロック追加出力機能およびRIICリセット機能、内部リセット機能を備えています。

また、ICCR1.SCL0、SDAO、SCLI、SDAIビットを確認することで、RIIC自身がSCL0ライン/SDA0ラインにLow出力しているか、あるいは通信デバイス側がLow出力しているかどうかを確認することが可能です。

26.11.1 タイムアウト検出機能

RIICにはSCL0ラインに一定時間以上変化が見られない状態を検出するタイムアウト検出機能を備えています。RIICは、SCL0ラインがLowまたはHighに固定されたまま一定時間以上経過したことを検知し、バスの異常状態を検出することができます。

タイムアウト検出機能はSCL0ラインの状態を監視し、LowまたはHighの時間を内部カウンタでカウントします。タイムアウト検出機能はSCL0ラインに変化(立ち上がり/立ち下がり)があった場合、内部カウンタをリセットし、変化がない場合カウント動作を続けます。SCL0ラインに変化がないまま内部カウンタがオーバーフローすると、RIICはタイムアウトを検出しバスハングアップを知らせることができます。

このタイムアウト検出機能はICFER.TMOEビットが“1”のとき有効で、以下の期間にSCL0ラインのLow固定またはHigh固定のバスハングアップを検出します。

- マスタモード (ICCR2.MST ビット = 1) で、バスビジー (ICCR2.BBSY フラグ = 1)
- スレーブモード (ICCR2.MST ビット = 0) で、自スレーブアドレス一致 (ICSR1 レジスタ ≠ 00h) かつバスビジー (ICCR2.BBSY フラグ = 1)
- スタートコンディション発行要求中 (ICCR2.ST ビット = 1) で、バスフリー (ICCR2.BBSY フラグ = 0)

タイムアウト検出機能の内部カウンタは、ICMR1.CKS[2:0]ビットで設定された内部基準クロック (IICφ) をカウントソースとして動作し、ロングモード選択時 (ICMR2.TMOS ビット = 0) 16ビットカウンタ、ショートモード選択時 (TMOS ビット = 1) 14ビットカウンタとなります。

また内部カウンタのカウント動作は、SCL0ラインがLowのときカウントさせるか、Highのときカウントさせるか、あるいはその両方をカウントさせるかをICMR2.TMOH、TMOLビットの設定により選択することが可能です。なおTMOH、TMOLビットの両方を“0”にした場合は、内部カウント動作を行いません。

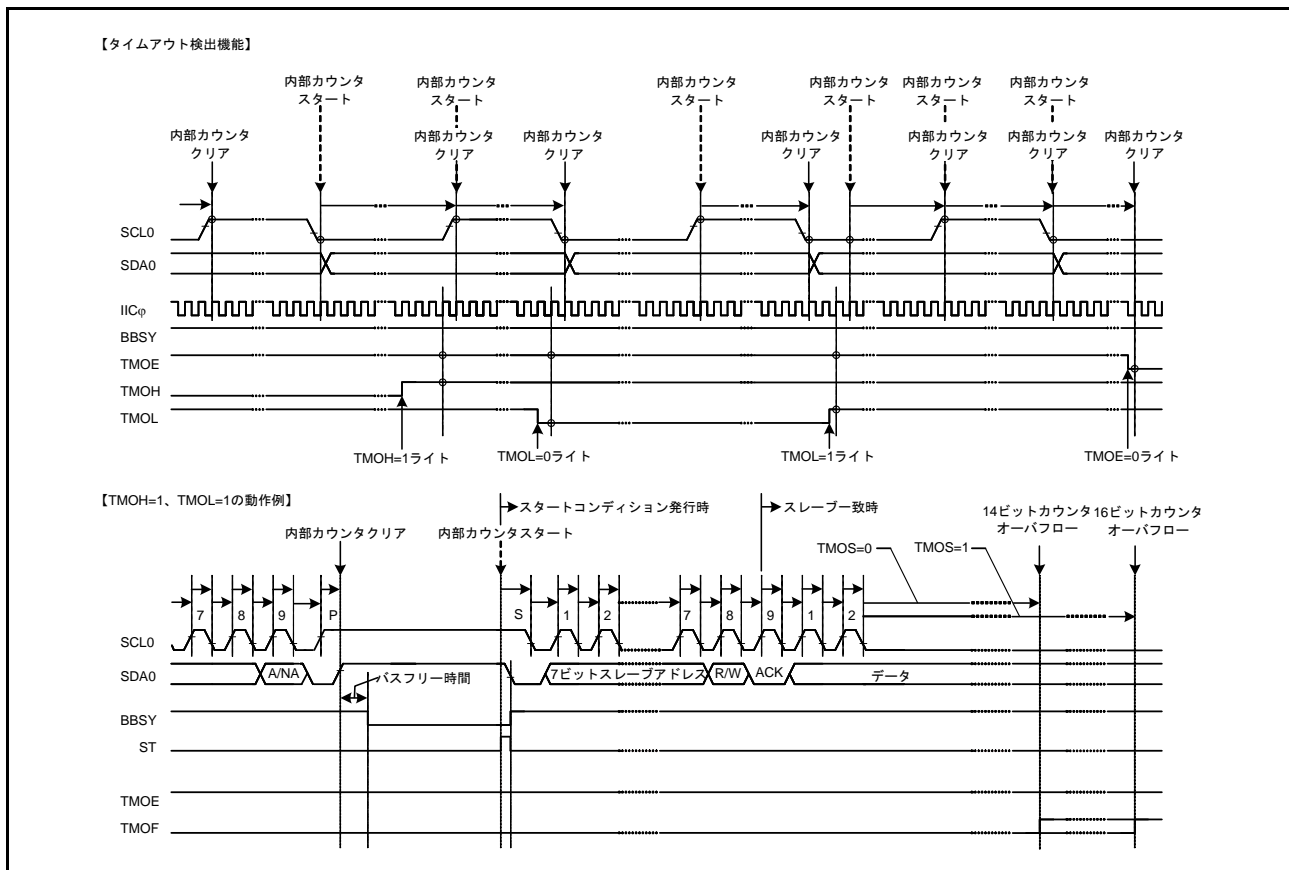


図 26.39 タイムアウト検出機能

26.11.2 SCL クロック追加出力機能

RIIC にはマスタモード時、スレーブデバイスとの同期ズレによるスレーブデバイスの SDA0 ライン Low 固定状態を開放するための SCL クロック追加出力機能を備えています。

SCL クロック追加出力機能は、SCL クロックを 1 クロック単位で追加出力をする機能で、主にマスタモード時にスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できない場合に、スレーブデバイスの SDA0 ライン固定状態を開放させることに使用します。通常は使用しないでください。正常な通信動作中に使用すると通信異常の原因になります。

SCL クロック追加出力は、ICCR1.CLO ビットを“1”にすると、ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタで設定された転送速度の SCL クロックが 1 クロック分追加クロックとして出力されます。1 クロック分の追加クロック出力が終了すると CLO ビットは自動的に“0”になります。そのためソフトウェアで CLO ビットが“0”であることを確認後“1”を書くことにより、追加クロックを連続的に出力することができます。

RIIC がマスタモード時にノイズ等の影響によりスレーブデバイスとの同期ズレが原因でスレーブデバイスが SDA0 ラインを Low 固定状態のままストップコンディションを発行できないバスハングアップのとき、SCL クロック追加出力機能を使用して追加クロックを 1 クロックずつ出力することでスレーブデバイスの SDA0 ラインの Low 固定状態を開放させ、バス状態を復帰させることができます。このスレーブデバイスの SDA0 ライン開放は ICCR1.SDAI ビットをチェックすることで確認することができます。スレーブデバイスの SDA0 ライン開放を確認した後、通信を終了させるため再度ストップコンディション発行を行ってください。

なお、この機能を使用する場合は ICFER.MALE ビットを“0” (マスタアービトレーションロスト検出禁

止)にして使用してください。MALE ビットが“1”(マスタアービトレーションロスト検出許可)の場合、ICCR1.SDAO ビットの値と SDA0 ラインが不一致のときアービトレーションロストが発生しますので注意してください。

[ICCR1.CLO ビットの実出力条件]

- バスフリー状態(ICCR2.BBSY フラグ=0)またはマスタモード(ICCR2.MST ビット=1、BBSY フラグ=1の状態)のとき
- 通信デバイスが SCL0 ラインを Low ホールドにしていない状態のとき

図 26.40 に SCL クロック追加出力機能 (CLO ビット) を示します。

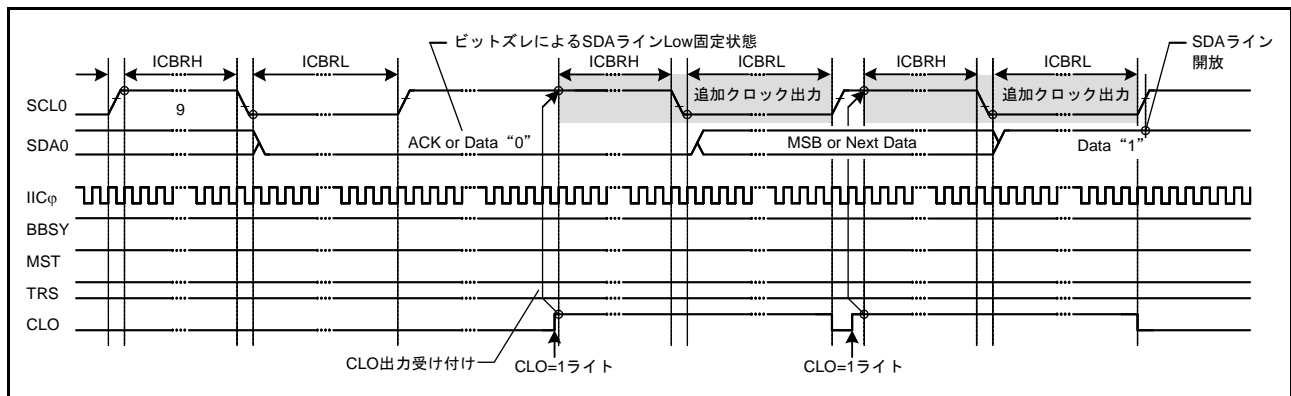


図 26.40 SCL クロック追加出力機能 (CLO ビット)

26.11.3 RIIC リセット、内部リセット

RIIC は RIIC モジュールをリセットするための機能を備えています。リセットには 2 種類のリセットがあり、1 つは ICCR2.BBSY フラグを含めた全レジスタの初期化を行う RIIC リセット、もう 1 つは各種設定値を保持したままスレーブアドレス一致状態の解除や内部カウンタの初期化などを行う内部リセットです。

リセット後は ICCR1.IICRST ビットを“0”にしてください。

いずれのリセットも SCL0 端子 / SDA0 端子の出力状態を解除しハイインピーダンスに戻すため、バスハンダグアップ状態の解除にも利用できます。

なおスレーブ動作時のリセットは、マスタデバイスとの同期ズレを引き起こす原因になりますので使用は極力避けてください。また RIIC リセット (ICCR1.ICE, IICRST ビット = 01b) のリセット中はスタートコンディションなどのバス状態を監視できませんので注意してください。

RIIC リセット、内部リセットの詳細については、「26.14 リセットと各コンディション発行時のレジスタおよび機能の状態」を参照してください。

26.12 SMBus 動作

RIIC は SMBus (Ver.2.0) に準拠した通信動作が可能です。SMBus 通信を行うには、ICMR3.SMBS ビットを“1”にしてください。転送速度は SMBus 仕様の 10 kbps ~ 100 kbps の範囲に収まるよう ICMR1.CKS[2:0] ビット、ICBRH、ICBRL レジスタを設定し、データホールド時間：300 ns (min) の仕様を守るよう ICMR2.DLCS ビットおよび ICMR2.SDDL[2:0] ビットの値を決定してください。RIIC をスレーブデバイスのみの動作で使用する場合には、転送速度の設定は不要ですが、ICBRL はデータセットアップ時間 (250 ns) 以上の値を設定してください。

なお SMBus デバイスデフォルトアドレス (1100 001b) はスレーブアドレスレジスタ L0 ~ L2 (SARL0、SARL1、SARL2) のいずれか 1 本を使用し、該当する SARUy.FS ビット (y=0 ~ 2) (7 ビット / 10 ビットアドレスフォーマット選択ビット) を“0” (7 ビットアドレスフォーマット) を選択してください。

また、UDID (ユニークデバイスアイデンティファイ) 送信時には、ICFER.SALE ビットを“1”にしてスレーブアービトラクションロスト検出機能を有効にしてください。

26.12.1 SMBus タイムアウト測定

(1) スレーブデバイスのタイムアウト測定

SMBus 通信では、スレーブデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:SEXT}}$) を計測する必要があります。

- スタートコンディションからストップコンディション

スレーブデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI) を利用してスタートコンディション検出からストップコンディション検出までの時間を MTU または TMR タイマを使用してその区間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (スレーブデバイス) $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low 検出のタイムアウト T_{TIMEOUT} : 25 ms (min) を超えた場合、スレーブデバイスはバス解放動作を行う必要があります。スレーブデバイスのバス解放動作を行うには ICCR1.IICRST ビットに“1”を書き、RIIC の内部リセットを行ってください。内部リセットを行うと RIIC は SCL0 端子 / SDA0 端子のバス駆動を中止し、端子をハイインピーダンスにすることができます。これによりバス解放を行うことができます。

(2) マスタデバイスのタイムアウト測定

SMBus 通信のマスタデバイスは以下に示す区間 (タイムアウト間隔： $T_{\text{LOW:MEXT}}$) を計測する必要があります。

- スタートコンディションからアクノリッジビット
- アクノリッジビットから次のアクノリッジビット
- アクノリッジビットからストップコンディション

マスタデバイスでタイムアウト測定を行う場合、RIIC のスタートコンディション検出割り込み (STI)、ストップコンディション検出割り込み (SPI)、および送信終了割り込み (TEI) または受信データフル割り込み (RXI) を利用して、それぞれの区間を MTU または TMR タイマを使用して各区間の時間を計測することで行います。このタイムアウト測定時間は SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{\text{LOW:MEXT}}$: 10 ms (max) 以内である必要があります、スタートコンディションからストップコンディションまでのすべての $T_{\text{LOW:MEXT}}$ を加算した結果が $T_{\text{LOW:SEXT}}$: 25 ms (max) 以内である必要があります。

ACK 受信タイミング (SCL の 9 クロック目の立ち上がり) は、マスタ送信モード時 (マスタトランスミッタ) は ICSR2.TEND フラグ、マスタ受信モード時 (マスタレシーバ) は ICSR2.RDRF フラグで見ることがあります。そのためマスタ送信時は 1 バイト送信動作を行い、マスタ受信時は最終バイト受信の 1 つ手前までは ICMR3.RDRFS ビットを “0” で使用してください。RDRFS ビットが “0” のとき、RDRF フラグは SCL の 9 クロック目の立ち上がりで “1” になります。

MTU または TMR で計測した時間が、SMBus 仕様のクロック Low の累積時間 (マスタデバイス) $T_{LOW:MEXT} : 10 \text{ ms (max)}$ または各計測時間の加算した結果が、SMBus 仕様のクロック Low 検出のタイムアウト $T_{TIMEOUT} : 25 \text{ ms (min)}$ を超えた場合、マスタデバイスはトランザクションの中止動作を行う必要があります。マスタ送信時には即座に送信動作 (ICDRT レジスタへの書き込み動作) を中止してください。マスタデバイスのトランザクション中止動作はストップコンディションを発行することで行われます。

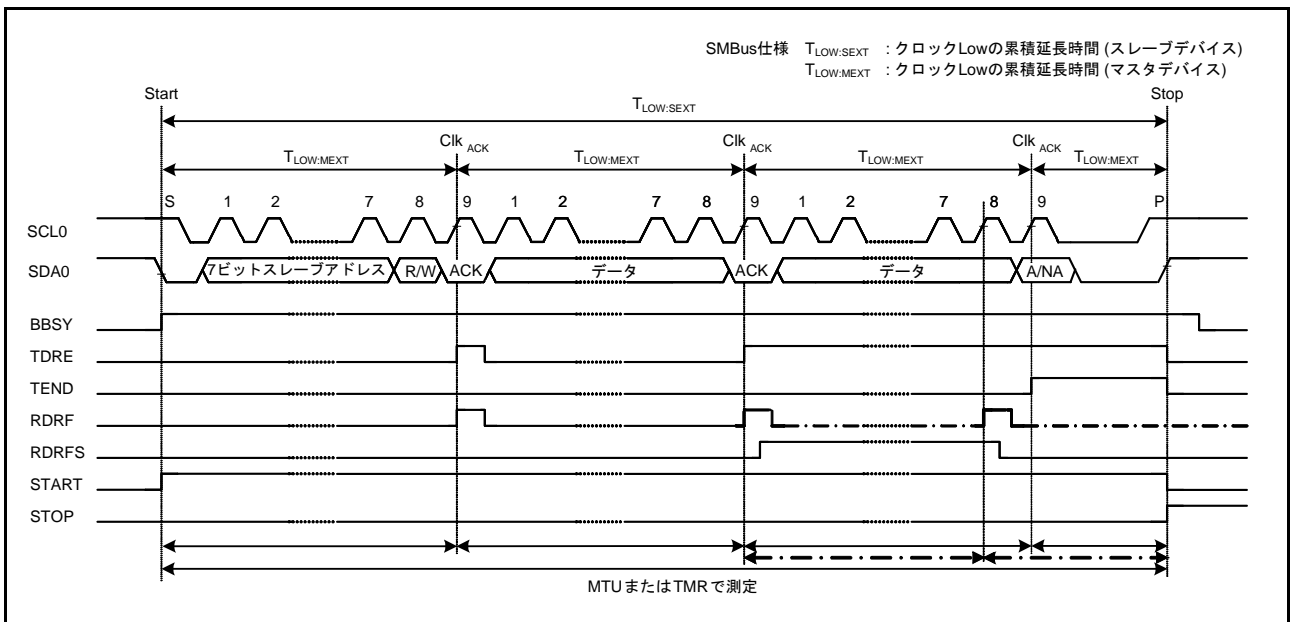


図 26.41 SMBus タイムアウト測定

26.12.2 パケットエラーコード (PEC)

本 MCU は CRC 演算器を内蔵しています。RIIC の通信動作に CRC 演算器を利用することで SMBus のパケットエラーコード (PEC) の送信または受信データチェックを行うことができます。CRC 演算器の多項式については「28. CRC 演算器 (CRC)」を参照してください。

マスタ送信の PEC データ生成は、全送信データを CRC 演算器の CRC データ入力レジスタ (CRCDIR) に書くことで生成することができます。

マスタ受信の PEC データチェックは、全受信データを CRC 演算器の CRCDIR レジスタに書き、そこで得られた CRC データ出力レジスタ (CRCDOR) の値と受信した PEC データを比較することで行います。

なお PEC コードチェックにおいて最終バイト受信時に一致 / 不一致に応じて ACK/NACK 送出を行う場合には、最終バイト受信の SCL の 8 クロック目の立ち上がりまでに ICMR3.RDRFS ビットを “1” にし、8 クロック目の立ち下がり SCL0 ラインを Low にホールドしてください。

26.12.3 SMBus ホスト通知プロトコル (Notify ARP master コマンド)

SMBus ではスレーブデバイスが SMBus ホスト (または ARP マスタ) に対し、一時的にマスタデバイスとなり自スレーブアドレスを通知 (または要求) することができます。

本 MCU を SMBus ホスト (または ARP マスタ) として動作させる場合、スレーブデバイスからのホストアドレス (0001 000b) 送信をスレーブアドレスとして検出する必要があり、RIIC ではこのホストアドレスの検出機能を備えています。ホストアドレスをスレーブアドレスとして検出する場合は、ICMR3.SMBS ビットを“1”、ICSER.HOAE ビットを“1”にしてください。なおホストアドレス検出後の動作は、通常のスレーブ動作と同じです。

26.13 割り込み要因

RIICの割り込み要因には、通信エラー/通信イベント発生(アービトレーションロスト検出、NACK検出、タイムアウト検出、スタートコンディション検出、ストップコンディション検出)、受信データフル、送信データエンプティ、送信終了の4種類があります。

表 26.6 に割り込み一覧を示します。受信データフルおよび送信データエンプティ割り込み要求により、DTCを起動してデータ転送を行うことができます。

表 26.6 割り込み要因

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位	割り込み条件
EEI	通信エラー/通信イベント発生	AL	不可能	高 ↑	AL=1かつALIE=1
		NACKF			NACKF=1かつNAKIE=1
		TMOF			TMOF=1かつTMOIE=1
		START			START=1かつSTIE=1
		STOP			STOP=1かつSPIE=1
RXI (注2)	受信データフル	RDRF	可能	↑	RDRF=1かつRIE=1
TXI(注1)	送信データエンプティ	TDRE	可能		TDRE=1かつTIE=1
TEI(注3)	送信終了	TEND	不可能		低

注. CPUから周辺モジュールへの書き込みと命令と、実際にモジュールに書き込まれるタイミングには、遅延時間があります。割り込みフラグをクリアまたは割り込み要求をマスクした場合は再度フラグを読み、クリアまたはマスクビット書き込みの完了を確認した後に割り込み処理から復帰させてください。モジュールへの書き込み完了を確認せずに割り込み処理から復帰させた場合、再度同一の割り込みが発生する可能性があります。

注1. TXI割り込みはエッジ割り込みのためクリアする必要はありません。またTXI割り込みの条件となるICSR2.TDREフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

注2. RXI割り込みはエッジ割り込みのためクリアする必要はありません。またRXI割り込みの条件となるICSR2.RDRFフラグは、ICDRRレジスタの読み出しで自動的に“0”になります。

注3. TEI割り込みを使用する場合、TEI割り込み処理の中でICSR2.TENDフラグをクリアしてください。なおICSR2.TENDフラグは、ICDRTレジスタへの送信データの書き込み、あるいはストップコンディションの検出(ICSR2.STOPフラグ=1)で自動的に“0”になります。

割り込み処理の中でそれぞれのフラグをクリアまたは割り込み要求をマスクしてください。

26.13.1 TXI 割り込みおよび RXI 割り込みバッファ動作

TXI 割り込みおよび RXI 割り込みは、TXI 割り込みおよび RXI 割り込みに対応した IR フラグが“1”のときに割り込み発生の条件が整った場合、ICU に対して割り込み要求を出力せず内部で保持します(内部で保持できる容量は、1 要因ごとに 1 要求までです)。

IR フラグが“0”になると、ICU に対して保持していた割り込み要求を出力します。通常の使用状態では、内部で保持している割り込み要求は自動的にクリアされます。

また、内部で保持している割り込み要求は、ICIER レジスタの対応する割り込み許可ビットを“0”にすることでクリアが可能です。

26.14 リセットと各コンディション発行時のレジスタおよび機能の状態

RIICはMCUリセット、RIICリセットおよび内部リセットによってリセットできます。表26.7にリセットと各コンディション発行時のレジスタおよび機能の状態を示します。

表26.7 リセットと各コンディション発行時のレジスタおよび機能

		MCU リセット	RIICリセット (ICEビット=0、 IICRSTビット=1)	内部リセット (ICEビット=1、 IICRSTビット=1)	スタートコンディション/ リスタートコンディション 検出	ストップコンディション 検出	
ICCR1	ICE, IICRST	リセット	保持	保持	保持	保持	
	SCLO, SDAO		リセット	リセット			
	それ以外			保持			
ICCR2	BBSY	リセット	リセット	保持	保持	保持	
	ST			リセット			リセット
	それ以外						
ICMR1	BC[2:0]	リセット	リセット	リセット	リセット	保持	
	それ以外			保持			保持
ICMR2		リセット	リセット	保持	保持	保持	
ICMR3		リセット	リセット	保持	保持	保持	
ICFER		リセット	リセット	保持	保持	保持	
ICSER		リセット	リセット	保持	保持	保持	
ICIER		リセット	リセット	保持	保持	保持	
ICSR1		リセット	リセット	リセット	保持	リセット	
ICSR2	TDRE, TEND	リセット	リセット	リセット	保持	リセット	
	START				保持		
	STOP				保持		保持
	それ以外				保持		保持
SARL0, SARL1, SARL2, SARU0, SARU1, SARU2		リセット	リセット	保持	保持	保持	
ICBRH, ICBRL		リセット	リセット	保持	保持	保持	
ICDRT		リセット	リセット	保持	保持	保持	
ICDRR		リセット	リセット	保持	保持	保持	
ICDRS		リセット	リセット	リセット	保持	保持	
タイムアウト検出機能		リセット	リセット	動作	動作	動作	
バスフリー時間計測		リセット	リセット	動作	動作	動作	

26.15 使用上の注意事項

26.15.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、モジュールストップ状態への遷移/解除を行うことができます。初期値では RIIC はモジュールストップ状態です。モジュールストップ状態を解除することにより、RIIC のレジスタへのアクセスが可能になります。

モジュールストップコントロールレジスタ B の詳細は、「11. 消費電力低減機能」を参照してください。

26.15.2 通信の開始に関する注意事項

通信開始 (ICCR1.ICE ビット = 1) 時点で RIIC の割り込みに対応した IR フラグが“1”のときは、動作許可前に下記の手順で割り込み要求をクリアしてください。IR フラグが“1”で通信を開始 (ICCR1.ICE ビット = 1) すると、通信開始後の割り込み要求が内部で保持されるため、IR フラグが予期しない挙動となる可能性があります。

- (1) ICCR1.ICE ビットが“0”であることを確認
- (2) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を“0”にする
- (3) 対応する周辺側の割り込み許可ビット (ICIER.TIE など) を読み出し、“0”を確認
- (4) IR フラグを“0”にする

27. シリアルペリフェラルインタフェース (RSPIa)

本章に記載している PCLK とは PCLKB を指します。

27.1 概要

本 MCU は、1 チャンルのシリアルペリフェラルインタフェース (RSPI) を内蔵しています。

RSPI は、全二重同期式のシリアル通信ができます。複数のプロセッサや周辺デバイスとの高速なシリアル通信機能を内蔵しています。

表 27.1 に RSPI の仕様を、図 27.1 に RSPI のブロック図を示します。

なお、本章では、RSPI コマンドレジスタ m (SPCMDm) で使用している m は、0～7 と規定しています。

表 27.1 RSPI の仕様 (1/2)

項目	内容
チャンネル数	1チャンネル
RSPI 転送機能	<ul style="list-style-type: none"> • MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI 動作 (4線式) / クロック同期式動作 (3線式) でシリアル通信が可能 • 送信のみの動作が可能 • 通信モード：全二重または送信のみを選択可能 • RSPCK の極性を変更可能 • RSPCK の位相を変更可能
データフォーマット	<ul style="list-style-type: none"> • MSB ファースト / LSB ファーストの切り替え可能 • 転送ビット長を 8、9、10、11、12、13、14、15、16、20、24、32 ビットから選択可能 • 送信/受信バッファは 128 ビット • 一度の送受信で最大 4 フレームを転送 (1 フレームは最大 32 ビット)
ビットレート	<ul style="list-style-type: none"> • マスタモード時、内蔵ボーレートジェネレータで PCLK を分周して RSPCK を生成 (分周比は 2～4096 分周) • スレーブ時は、PCLK の最小 8 分周のクロックを、RSPCK として入力可能 (RSPCK の最大周波数は PCLK の 8 分周) High 幅：PCLK の 4 サイクル、Low 幅：PCLK の 4 サイクル
バッファ構成	<ul style="list-style-type: none"> • 送信および受信バッファはそれぞれダブルバッファ構成 • 送信および受信バッファは 128 ビット
エラー検出	<ul style="list-style-type: none"> • モードフォルトエラー検出 • オーバランエラー検出 (注1) • パリティエラー検出
SSL 制御機能	<ul style="list-style-type: none"> • 1チャンネルあたり 4 本の SSL 端子 (SSLA0～SSLA3) • シングルマスタ設定時には、SSLA0～SSLA3 端子を出力 • マルチマスタ設定時：SSLA0 端子は入力、SSLA1～SSLA3 端子は出力または未使用 • スレーブ設定時：SSLA0 端子は入力、SSLA1～SSLA3 端子は未使用 • SSL 出力のアサートから RSPCK 動作までの遅延 (RSPCK 遅延) を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK • RSPCK 停止から SSL 出力のネゲートまでの遅延 (SSL ネゲート遅延) を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK • 次アクセスの SSL 出力アサートのウェイト (次アクセス遅延) を設定可能 設定範囲：1～8 RSPCK 設定単位：1 RSPCK • SSL 極性変更機能
マスタ転送時の制御方式	<ul style="list-style-type: none"> • 最大 8 コマンドで構成された転送を連続してループ実行可能 • 各コマンドに以下の項目を設定可能 SSL 信号値、ビットレート、RSPCK 極性/位相、転送データ長、LSB/MSB ファースト、パースト、RSPCK 遅延、SSL ネゲート遅延、次アクセス遅延 • 送信バッファへのライトで転送を起動可能 • SSL ネゲート時の MOSI 信号値を設定可能 • RSPCK 自動停止機能
割り込み要因	<ul style="list-style-type: none"> • 割り込み要因 受信バッファフル割り込み 送信バッファエンプティ割り込み RSPI エラー割り込み (モードフォルト、オーバラン、パリティエラー) RSPI アイドル割り込み (RSPI アイドル)

表 27.1 RSPIの仕様 (2/2)

項目	内容
その他の機能	<ul style="list-style-type: none"> CMOS/オープンドレイン出力切り替え機能 RSPI初期化機能 ループバックモード機能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. マスタ受信かつ、RSPCK自動停止機能有効時、オーバランエラー検出タイミングで転送クロックが停止するため、オーバランエラーが発生しません。

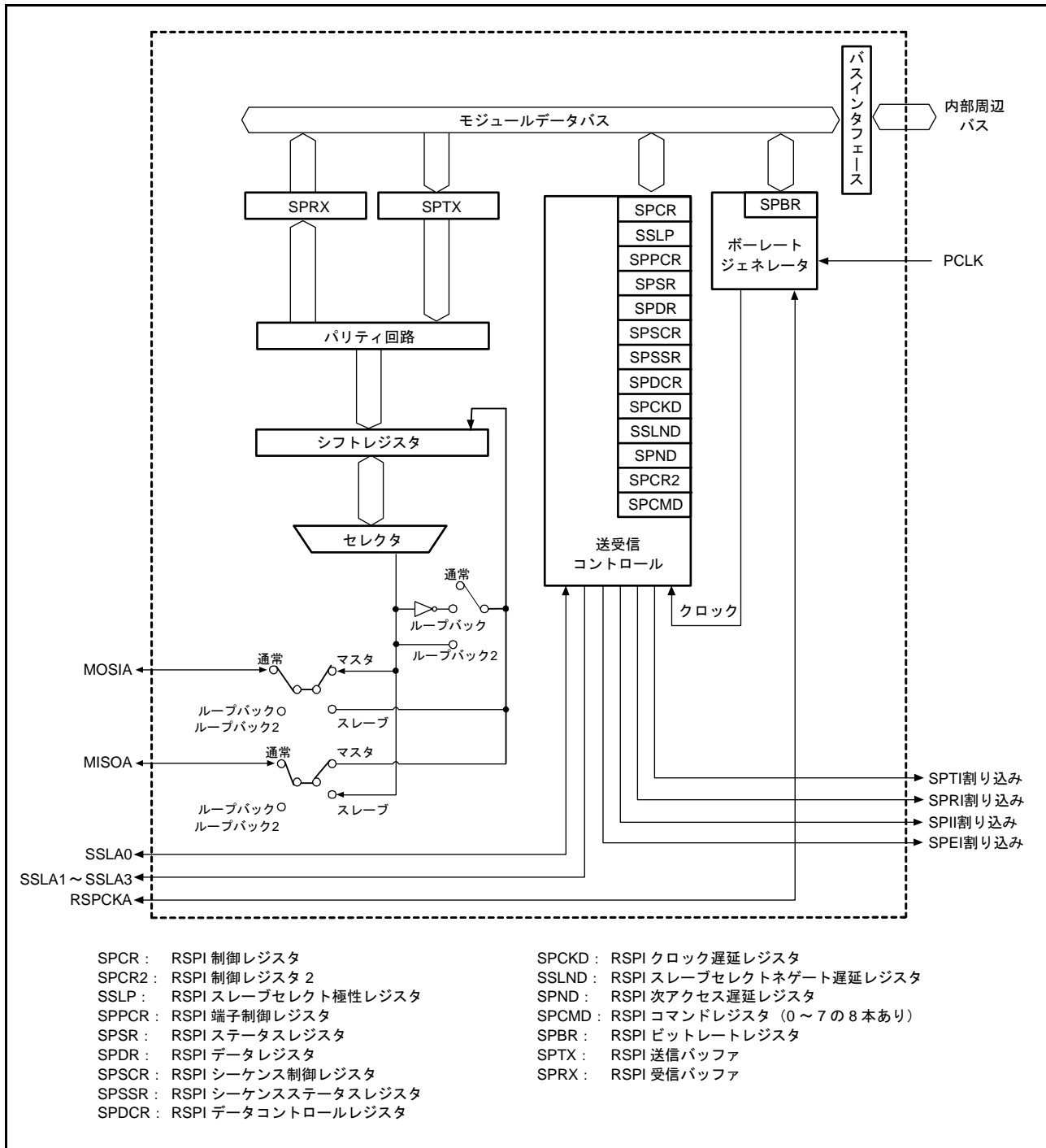


図 27.1 RSPI のブロック図

表 27.2 に RSPI で使用する入出力端子を示します。

SSLA0 端子の入出力方向は、シングルマスタ設定の場合は出力、マルチマスタ設定とスレーブ設定の場合は入力に、RSPI が自動的に切り替えます。RSPCKA、MOSIA、MISOA 端子の入出力方向は、マスタ/スレーブ設定と SSLA0 端子の入力レベルに応じて、RSPI が自動的に切り替えます。

詳細は、「27.3.2 RSPI 端子の制御」を参照してください。

表 27.2 RSPIの入出力端子

チャンネル	端子名	入出力	機能
RSPI0	RSPCKA	入出力	クロック入出力
	MOSIA	入出力	マスタ送出データ入出力
	MISOA	入出力	スレーブ送出データ入出力
	SSLA0	入出力	スレーブセレクト入出力
	SSLA1	出力	スレーブセレクト出力
	SSLA2	出力	スレーブセレクト出力
	SSLA3	出力	スレーブセレクト出力

27.2 レジスタの説明

27.2.1 RSPI 制御レジスタ (SPCR)

アドレス RSPI0.SPCR 0008 8380h

	b7	b6	b5	b4	b3	b2	b1	b0
	SPRIE	SPE	SPTIE	SPEIE	MSTR	MODFEN	TXMD	SPMS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPMS	RSPIモード選択ビット	0: SPI動作 (4線式) 1: クロック同期式動作 (3線式)	R/W
b1	TXMD	通信動作モード選択ビット	0: 全二重同期式シリアル通信 1: 送信動作のみのシリアル通信	R/W
b2	MODFEN	モードフォルトエラー検出許可ビット	0: モードフォルトエラー検出を禁止 1: モードフォルトエラー検出を許可	R/W
b3	MSTR	RSPIマスタ/スレーブモード選択ビット	0: スレーブモード 1: マスタモード	R/W
b4	SPEIE	RSPIエラー割り込み許可ビット	0: RSPIエラー割り込み要求の発生を禁止 1: RSPIエラー割り込み要求の発生を許可	R/W
b5	SPTIE	送信バッファエンプティ割り込み許可ビット	0: 送信バッファエンプティ割り込み要求の発生を禁止 1: 送信バッファエンプティ割り込み要求の発生を許可	R/W
b6	SPE	RSPI機能許可ビット	0: RSPI機能は無効 1: RSPI機能は有効	R/W
b7	SPRIE	RSPI受信バッファフル割り込み許可ビット	0: RSPI受信バッファフル割り込み要求の発生を禁止 1: RSPI受信バッファフル割り込み要求の発生を許可	R/W

SPCR.SPE ビットが“1”の状態において、SPCR.MSTR ビット、SPCR.MODFEN ビット、SPCR.TXMD ビットの設定値を変更した場合は、以降の動作はしないでください。

SPMS ビット (RSPI モード選択ビット)

SPI 動作 (4 線式) / クロック同期式動作 (3 線式) を選択するためのビットです。

クロック同期式動作を行う場合は SSLA0 ~ SSLA3 端子を使用せず、RSPCKA 端子、MOSIA 端子、MISOA 端子の 3 端子を用いて通信を行います。また、マスタモード時 (SPCR.MSTR = 1) でクロック同期式動作を行う場合は、SPCMDm.CPHA ビットを“0”、“1”どちらにも設定できます。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合は CPHA ビットを“1”に設定してください。スレーブモード時 (SPCR.MSTR = 0) でクロック同期式動作を行う場合に、CPHA ビットを“0”に設定した場合の動作はしないでください。

TXMD ビット (通信動作モード選択ビット)

全二重同期式のシリアル通信、送信のみの動作を選択するためのビットです。

TXMD ビットを“1”にして、通信を行う場合は、送信動作のみを行い、受信動作を行いません (「27.3.6 通信動作モード」参照)。

また、TXMD ビットを“1”に設定した場合、受信バッファフルの割り込み要求を使用することはできません。

MODFEN ビット (モードフォルトエラー検出許可ビット)

モードフォルトエラーの検出を許可/禁止するためのビットです (「27.3.8 エラー検出」を参照)。また、RSPI は MODFEN ビットと MSTR ビットとの組み合わせに従って、SSLA0 ~ SSLA3 端子の入出力方向を決定します (「27.3.2 RSPI 端子の制御」を参照)。

MSTR ビット (RSPI マスタ/スレーブモード選択ビット)

RSPI のマスタ/スレーブモードを選択するためのビットです。また、RSPI は MSTR ビットの設定に従って、RSPCKA、MOSIA、MISOA、SSLA0 ~ SSLA3 端子の方向を決定します。

SPEIE ビット (RSPI エラー割り込み許可ビット)

RSPI がモードフォルトエラーを検出して SPSR.MODF フラグを“1”にした場合、RSPI がオーバランエラーを検出して SPSR.OVRF フラグを“1”にした場合、またはパリティエラーを検出して SPSR.PERF フラグを“1”にした場合の RSPI エラー割り込み要求の発生を許可/禁止します。詳細については、「27.3.8 エラー検出」を参照してください。

SPTIE ビット (送信バッファエンプティ割り込み許可ビット)

RSPI が送信バッファエンプティを検出し、送信バッファエンプティ割り込み要求の発生を許可/禁止します。

送信開始時の送信バッファエンプティ割り込み要求は、SPTIE ビットと同時または後に、SPE ビットを“1”にすることで発生します。

RSPI 機能は無効 (SPE ビットが“0”) に遷移しても、SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生することに注意してください。

SPE ビット (RSPI 機能許可ビット)

RSPI 機能の有効/無効を選択します。

SPSR.MODF フラグが“1”の場合には、SPE ビットを“1”にすることはできません。詳細は「27.3.8 エラー検出」を参照してください。

SPE ビットを“0”にすると、RSPI 機能が無効化され、モジュール機能の一部が初期化されます。詳細は「27.3.9 RSPI の初期化」を参照してください。また、SPE ビットを“0”の状態から“1”または“1”の状態から“0”になることで送信バッファエンプティ割り込み要求が発生します。

SPRIE ビット (RSPI 受信バッファフル割り込み許可ビット)

RSPI がシリアル転送完了後の受信バッファフルを検出し、RSPI 受信バッファフル割り込み要求の発生を許可/禁止します。

27.2.2 RSPIスレーブセレクト極性レジスタ (SSLP)

アドレス RSPI0.SSLP 0008 8381h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	SSL3P	SSL2P	SSL1P	SSL0P

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	SSL0P	SSL0信号極性設定ビット	0 : SSL0信号はアクティブLow 1 : SSL0信号はアクティブHigh	R/W
b1	SSL1P	SSL1信号極性設定ビット	0 : SSL1信号はアクティブLow 1 : SSL1信号はアクティブHigh	R/W
b2	SSL2P	SSL2信号極性設定ビット	0 : SSL2信号はアクティブLow 1 : SSL2信号はアクティブHigh	R/W
b3	SSL3P	SSL3信号極性設定ビット	0 : SSL3信号はアクティブLow 1 : SSL3信号はアクティブHigh	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SSLP レジスタを書き換えた場合には、以降の動作はしないでください。

27.2.3 RSPI 端子制御レジスタ (SPPCR)

アドレス RSPI0.SPPCR 0008 8382h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	MOIFE	MOIFV	—	—	SPLP2	SPLP
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPLP	RSPIループバックビット	0: 通常モード 1: ループバックモード (データを反転して送信)	R/W
b1	SPLP2	RSPIループバック2ビット	0: 通常モード 1: ループバックモード (データを反転せずに送信)	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	MOIFV	MOSIアイドル固定値ビット	0: MOSIアイドル時のMOSIA端子の出力値はLow 1: MOSIアイドル時のMOSIA端子の出力値はHigh	R/W
b5	MOIFE	MOSIアイドル値固定許可ビット	0: MOSI出力値は前回転送の最終データ 1: MOSI出力値はMOIFVビットの設定値	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPPCR レジスタを書き換えた場合には、以降の動作はしないでください。

SPLP ビット (RSPI ループバックビット)

RSPI の端子モードを選択します。

SPLP ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路 (反転) を接続します。(ループバックモード)

SPLP2 ビット (RSPI ループバック 2 ビット)

RSPI の端子モードを選択します。

SPLP2 ビットを“1”にすると、RSPI は SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。(ループバックモード)

MOIFV ビット (MOSI アイドル固定値ビット)

マスタモードで MOIFE ビットが“1”の場合、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) の MOSIA 端子の出力値を選択します。

MOIFE ビット (MOSI アイドル値固定許可ビット)

マスタモードの RSPI が、SSL ネゲート期間 (バースト転送における SSL 保持期間を含む) に MOSIA 出力値を固定するために使用するビットです。MOIFE が“0”の場合には、RSPI は SSL ネゲート期間中に前回のシリアル転送の最終データを MOSIA に出力します。MOIFE が“1”の場合には、RSPI は MOIFV ビットに設定された固定値を MOSIA に出力します。

27.2.4 RSPI ステータスレジスタ (SPSR)

アドレス RSPI0.SPSR 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF

リセット後の値 0 0 1 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0: オーバランエラーなし 1: オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0: RSPIがアイドル状態 1: RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0: モードフォルトエラーなし 1: モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0: パリティエラーなし 1: パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0: 送信バッファに有効なデータあり 1: 送信バッファに有効なデータなし	R/W (注2)
b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	SPRF	受信バッファフルフラグ	0: 受信バッファに有効なデータなし 1: 受信バッファに有効なデータあり	R/W (注2)

注1. フラグをクリアするため、“1”を読んだ後に“0”を書くことのみ可能です。

注2. 書く場合、“1”としてください。

OVRF フラグ (オーバランエラーフラグ)

オーバランエラーの発生状況を示します。マスタモード (SPCR.MSTR ビットが“1”) かつ RSPCK クロック自動停止機能有効 (SPCR2.SCKASE ビットが“1”) のときは、オーバランエラーが発生しないため、“1”になりません。詳細は「27.3.8.1 オーバランエラー」を参照ください。

[“1”になる条件]

- SPCR.TXMD ビットが“0”、受信バッファフル状態で次のシリアル受信が終了したとき

[“0”になる条件]

- OVRF フラグが“1”になったときの SPSR レジスタを読んだ後、OVRF フラグに“0”を書いたとき

IDLNF フラグ (RSPI アイドルフラグ)

RSPI の転送状況を示します。

["1" になる条件]

【マスタモード】

- 下記["0" になる条件]のマスタモード時の(条件1)と(条件2)の両方が満たされないとき

【スレーブモード】

- SPCR.SPE ビットが"1" (RSPI 機能が有効) のとき

["0" になる条件]

【マスタモード】

- 下記1. が満たされたとき (条件1)、または下記2. ~ 4. がすべて満たされたとき (条件2)

1. SPCR.SPE ビットが"0" (RSPI 初期化) のとき
2. 送信用バッファ (SPTX) が空 (次転送データがセットされていない) のとき
3. SPSSR.SPCP[2:0] ビットが"000b" (シーケンス制御の先頭) であるとき
4. RSPI 内部シーケンサがアイドル状態へ遷移したとき (次アクセス遅延までが動作完了された状態)

【スレーブモード】

- SPCR.SPE ビットが"0" (RSPI 初期化) のとき

MODF フラグ (モードフォルトエラーフラグ)

モードフォルトエラーの発生を示します。

["1" になる条件]

【マルチマスタモードのとき】

- SPCR.MSTR ビットが"1" (マスタモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、SSLAi 端子の入力レベルがアクティブレベルになり、RSPI がモードフォルトエラーを検出したとき

【スレーブモードのとき】

- SPCR.MSTR ビットが"0" (スレーブモード)、SPCR.MODFEN ビットが"1" (モードフォルトエラー検出を許可) の状態で、データ転送に必要な RSPCK サイクルが終了する前に SSLAi 端子がネゲートされ、RSPI がモードフォルトエラーを検出したとき

なお、SSLAi 信号のアクティブレベルは、SSLP.SSLiP ビット (SSL 信号極性設定ビット) によって決定されます。

["0" になる条件]

- MODF フラグが"1" の状態の SPSR レジスタを読んだ後、MODF フラグに"0" を書いたとき

PERF フラグ (パリティエラーフラグ)

パリティエラーの発生を示すフラグです。

["1" になる条件]

- SPCR.TXMD ビットが"0"、SPCR2.SPPE ビットが"1" の状態でシリアル転送が終了し、パリティエラーが検出されたとき

["0" になる条件]

- PERF フラグが"1" の状態の SPSR レジスタを読んだ後、PERF フラグに"0" を書いたとき

SPTEF フラグ (送信バッファEMPTYフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

- SPCR.SPE ビットが“0” (RSPI 初期化) のとき
- 送信バッファからシフトレジスタに送信データが転送されたとき

[“0”になる条件]

- SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき

なお、SPDR レジスタは SPTEF フラグが“1”のときのみデータを設定できます。SPTEF フラグが“0”のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[“1”になる条件]

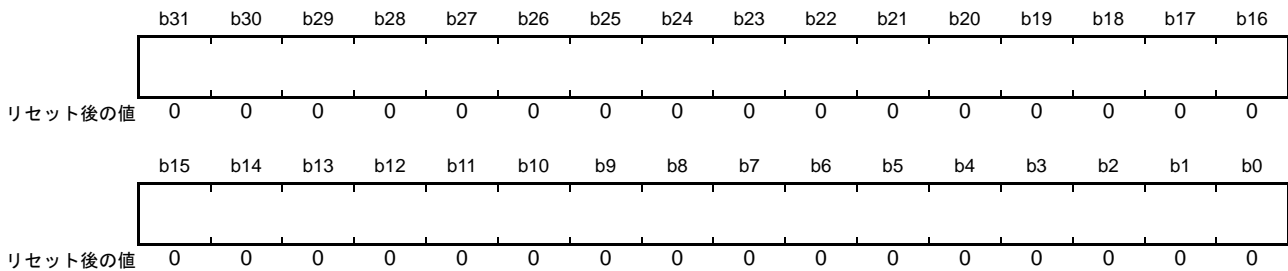
- SPCR.TXMD ビットが“0” (全二重)、SPRF フラグが“0”のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき
ただし、OVRF フラグが“1”のときは、“1”に変化しません。

[“0”になる条件]

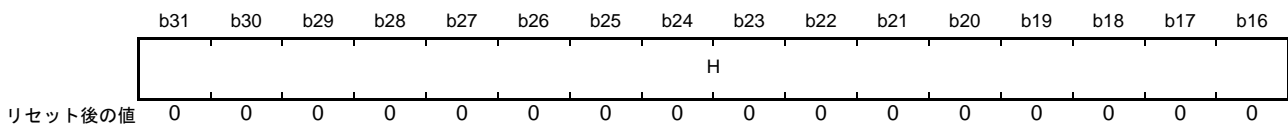
- SPDR レジスタから受信データをすべて読み出したとき

27.2.5 RSPI データレジスタ (SPDR)

アドレス RSPI0.SPDR 0008 8384h



アドレス RSPI0.SPDR.H 0008 8384h



SPDR レジスタは、RSPI 送受信のデータを格納するバッファです。

ロングワードアクセス (SPLW ビットが“1”) のときは、SPDR をアクセスしてください。

ワードアクセス (SPLW ビットが“0”) のときは、SPDR の上位側 16 ビット (H) をアクセスしてください。

送信バッファと受信バッファは独立したバッファです。SPDR レジスタの構造図を図 27.2 に示します。

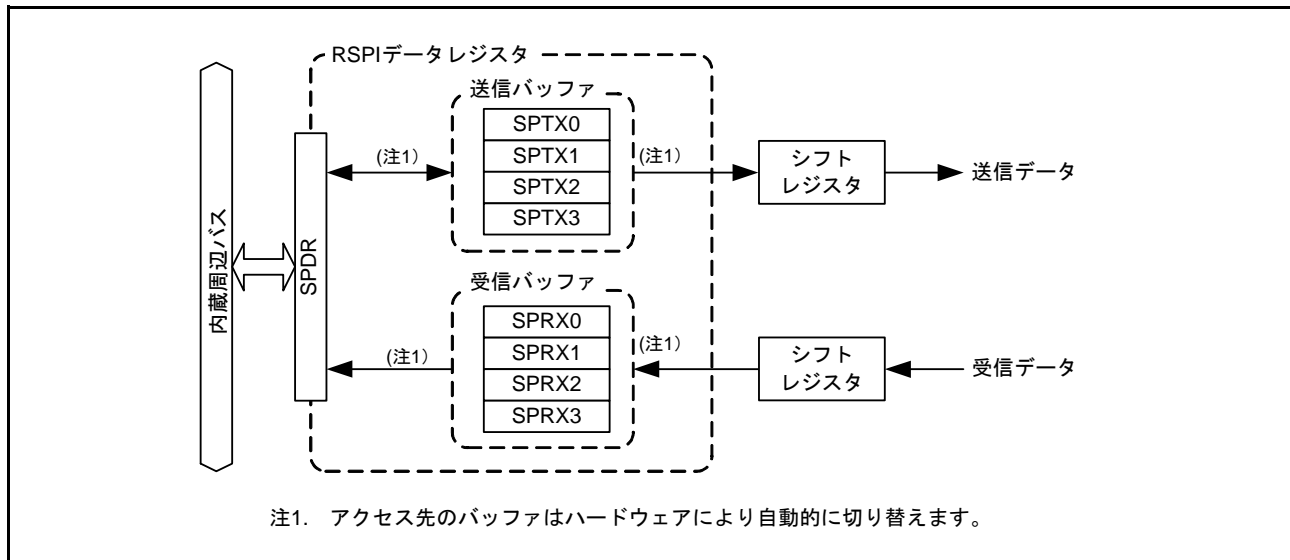


図 27.2 SPDR レジスタの構造図

送信バッファと受信バッファは、それぞれ 4 バッファあります。使用するバッファ数は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定できます。SPDR レジスタには、これらの合計 8 バッファが 1 アドレスにマッピングされています。

送信バッファ SPTXn (n=0 ~ 3) は、SPDR レジスタへの書き込みによって送信バッファへ値を書きことができ、書いたデータを送信します。

受信バッファは、データの受信が完了すると受信データを格納します。オーバーラン発生時は、受信バッファの値を更新しません。

また、データ長が 32 ビット以外の場合、SPRXn (n=0 ~ 3) の非参照ビットには、SPTXn (n=0 ~ 3) の非参照ビットが格納されます。

たとえば、データ長が 9 ビットのデータを受信した場合は SPRXn[8:0] には受信データが格納され、SPRXn[31:9] に SPTXn[31:9] が格納されます。

(1) バスインタフェース

SPDR レジスタは、32 ビットの送信バッファと受信バッファがそれぞれ 4 バッファ分、合計 32 バイトあります。これらの 32 バイトを SPDR レジスタの 4 バイト空間にマッピングしています。また、SPDR レジスタへのアクセスは、RSPI データコントロールレジスタの RSPI ロングワードアクセス / ワードアクセス設定ビット (SPDCR.SPLOW) で設定したアクセスサイズで行ってください。

送信データは、LSB 詰めで書いてください。受信データは LSB 詰めで格納されます。

SPDR レジスタへの書き込みと、読み出しの動作を以下に示します。

(a) 書き込み

SPDR レジスタに書き込むことによって、送信バッファ (SPTXn) に値を書くことができます。SPDR レジスタの読み出し時と異なり、SPDCR.SPRDTD ビットの値に影響されません。

送信バッファには、送信バッファライトポインタがあり、SPDR レジスタへの書き込みによって自動的に次のバッファを指し示すようになります。

図 27.3 に送信バッファのバスインタフェース (ライト時) の構成図を示します。

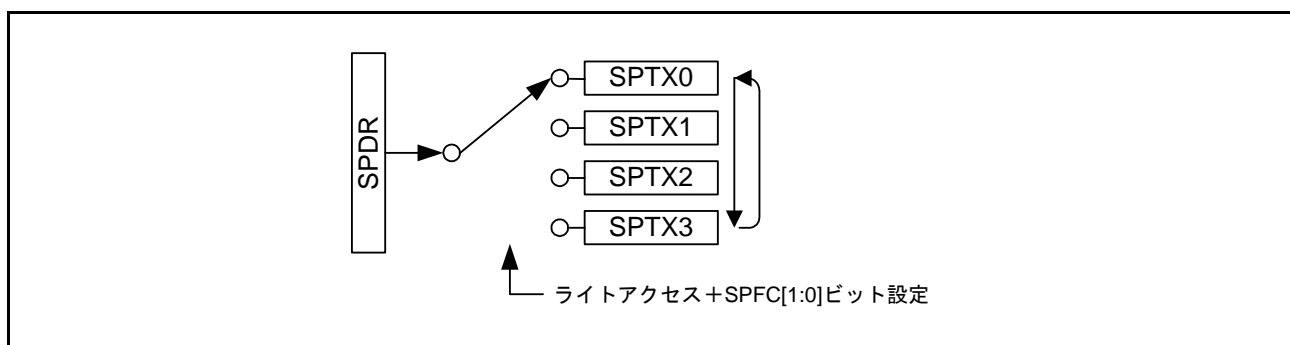


図 27.3 SPDR レジスタの構成図 (ライト時)

送信バッファライトポインタの切り替え順序は、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) の設定によって異なります。

- SPFC[1:0] ビットの設定と SPTX0 ~ SPTX3 の切り替え順序
 - SPFC[1:0] ビットが “00b” のとき : SPTX0 → SPTX0 → SPTX0 → . . .
 - SPFC[1:0] ビットが “01b” のとき : SPTX0 → SPTX1 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “10b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX0 → SPTX1 → . . .
 - SPFC[1:0] ビットが “11b” のとき : SPTX0 → SPTX1 → SPTX2 → SPTX3 → SPTX0 → SPTX1 → . . .

RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の書き込み先は SPTX0 になります。

送信バッファ (SPTXn) への書き込みは、送信バッファエンpty割り込み発生後 (SPSR.SPTEF フラグが “1” になった後)、RSPI データコントロールレジスタ (SPDCR) のフレーム数設定ビット (SPFC[1:0]) で設定したフレーム数分の送信データを書き込んでください。同書き込み完了から次の送信バッファエンpty割り込み発生までの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファ (SPTXn) に書き込みを行っても同バッファの値は更新されません。

(b) 読み出し

SPDR レジスタを読み出すことによって、受信バッファ (SPRXn)、または送信バッファ (SPTXn) の値を読み出すことができます。RSPI データコントロールレジスタの RSPI 受信 / 送信データ選択ビット

(SPDCR.SPRDTD) によって、受信バッファを読み出すか、送信バッファを読み出すかを選択できます。

SPDR レジスタの読み出し順は、独立した受信バッファリードポインタと送信バッファリードポインタによって制御されます。

図 27.4 に受信バッファと送信バッファのバスインタフェース (リード時) の構成図を示します。

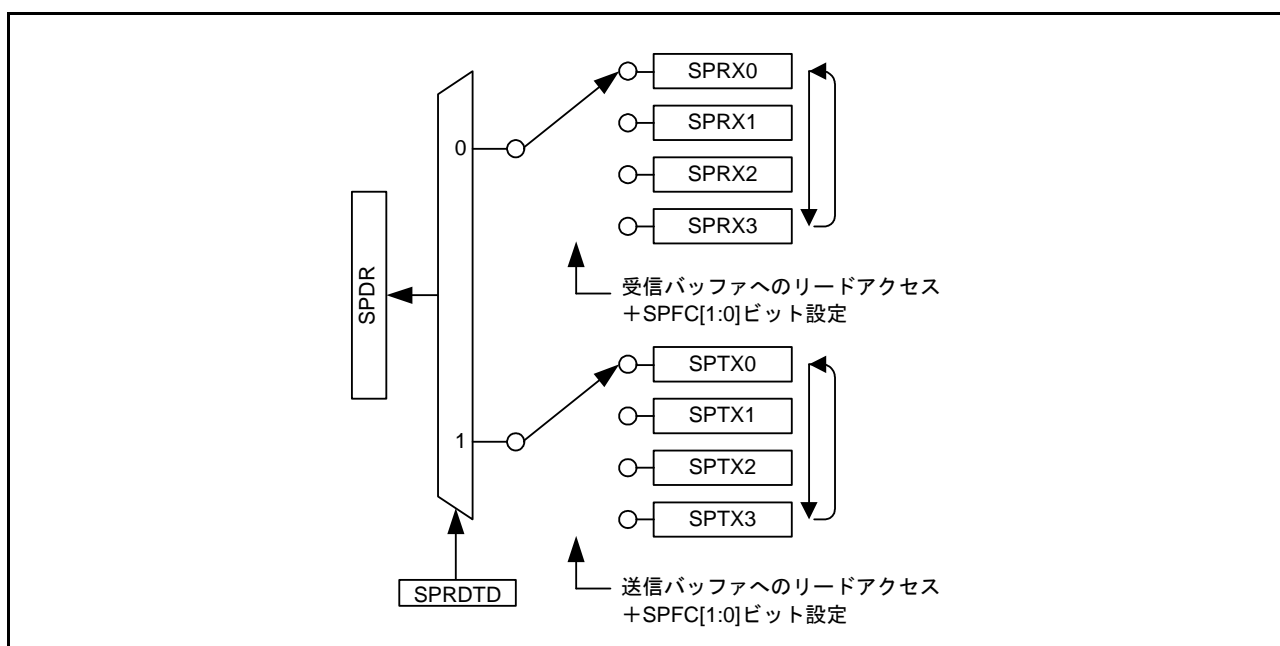


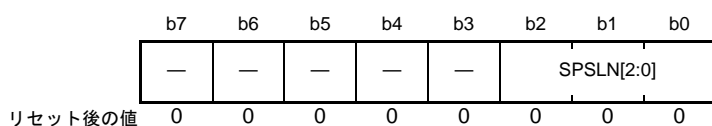
図 27.4 SPDR レジスタの構成図 (リード時)

受信バッファをリードすると、受信バッファリードポインタが次のバッファに自動的に切り替わります。受信バッファリードポインタの切り替え順序は、送信バッファライトポインタと同様の順序で切り替わります。ただし、RSPI 制御レジスタの RSPI 機能許可ビット (SPCR.SPE) が “0” の状態で “1” を書くと、次の読み出し先は SPRX0 になります。

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが “0” の期間) は、送信バッファの読み出し値は、すべて “0” となります。

27.2.6 RSPI シーケンス制御レジスタ (SPSCR)

アドレス RSPI0.SPSCR 0008 8388h



ビット	シンボル	ビット名	機能	R/W																																				
b2-b0	SPSLN[2:0]	RSPIシーケンス長設定ビット	<table style="font-size: small; border: none;"> <tr> <td style="padding-right: 10px;">b2</td> <td style="padding-right: 10px;">b0</td> <td style="padding-right: 10px;">シーケンス長</td> <td>参照するSPCMD0~7レジスタ (番号)</td> </tr> <tr> <td>0 0 0 :</td> <td>1</td> <td></td> <td>0→0→...</td> </tr> <tr> <td>0 0 1 :</td> <td>2</td> <td></td> <td>0→1→0→...</td> </tr> <tr> <td>0 1 0 :</td> <td>3</td> <td></td> <td>0→1→2→0→...</td> </tr> <tr> <td>0 1 1 :</td> <td>4</td> <td></td> <td>0→1→2→3→0→...</td> </tr> <tr> <td>1 0 0 :</td> <td>5</td> <td></td> <td>0→1→2→3→4→0→...</td> </tr> <tr> <td>1 0 1 :</td> <td>6</td> <td></td> <td>0→1→2→3→4→5→0→...</td> </tr> <tr> <td>1 1 0 :</td> <td>7</td> <td></td> <td>0→1→2→3→4→5→6→0→...</td> </tr> <tr> <td>1 1 1 :</td> <td>8</td> <td></td> <td>0→1→2→3→4→5→6→7→0→...</td> </tr> </table> <p>設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタの参照順を変更します。SPSLN[2:0]ビットの設定値とシーケンス長、RSPIが参照するSPCMD0~7レジスタの関係は上記のとおりです。なお、スレーブモードのRSPIでは、SPCMD0レジスタが参照されません。</p>	b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)	0 0 0 :	1		0→0→...	0 0 1 :	2		0→1→0→...	0 1 0 :	3		0→1→2→0→...	0 1 1 :	4		0→1→2→3→0→...	1 0 0 :	5		0→1→2→3→4→0→...	1 0 1 :	6		0→1→2→3→4→5→0→...	1 1 0 :	7		0→1→2→3→4→5→6→0→...	1 1 1 :	8		0→1→2→3→4→5→6→7→0→...	R/W
b2	b0	シーケンス長	参照するSPCMD0~7レジスタ (番号)																																					
0 0 0 :	1		0→0→...																																					
0 0 1 :	2		0→1→0→...																																					
0 1 0 :	3		0→1→2→0→...																																					
0 1 1 :	4		0→1→2→3→0→...																																					
1 0 0 :	5		0→1→2→3→4→0→...																																					
1 0 1 :	6		0→1→2→3→4→5→0→...																																					
1 1 0 :	7		0→1→2→3→4→5→6→0→...																																					
1 1 1 :	8		0→1→2→3→4→5→6→7→0→...																																					
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W																																				

SPSCR レジスタは、RSPI がマスタ動作する場合のシーケンス長を設定するためのレジスタです。SPCR.MSTR、SPE ビットがともに“1”の状態において、SPSCR.SPSSLN[2:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”の状態書き換えてください。

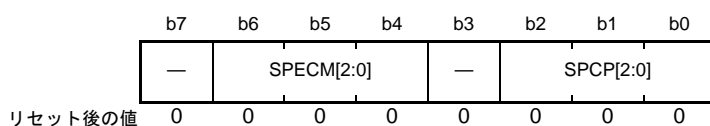
SPSLN[2:0] ビット (RSPI シーケンス長設定ビット)

マスタモードのRSPIがシーケンス動作する場合のシーケンス長を設定します。マスタモードのRSPIはSPSLN[2:0] ビットで設定されたシーケンス長に応じて、参照するSPCMD0~7レジスタと参照順を変更します。

スレーブモードでは、SPCMD0レジスタが参照されます。

27.2.7 RSPI シーケンスステータスレジスタ (SPSSR)

アドレス RSPI0.SPSSR 0008 8389h



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPCP[2:0]	RSPIコマンドポインタビット	b2 b0 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b3	—	予約ビット	読むと“0”が読めます	R
b6-b4	SPECM[2:0]	RSPIエラーコマンドビット	b6 b4 0 0 0 : SPCMD0 0 0 1 : SPCMD1 0 1 0 : SPCMD2 0 1 1 : SPCMD3 1 0 0 : SPCMD4 1 0 1 : SPCMD5 1 1 0 : SPCMD6 1 1 1 : SPCMD7	R
b7	—	予約ビット	読むと“0”が読めます	R

SPSSR レジスタは、RSPI がマスタ動作する場合のシーケンス制御の状態を示します。
 SPSSR レジスタへの書き込みは無効です。

SPCP[2:0] ビット (RSPI コマンドポインタビット)

RSPI のシーケンス制御で、現在ポインタで指されている SPCMD_m レジスタを示します。
 なお、RSPI のシーケンス制御については、「27.3.10.1 マスタモード動作」を参照してください。

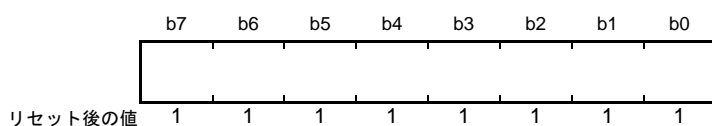
SPECM[2:0] ビット (RSPI エラーコマンドビット)

RSPI のシーケンス制御で、エラー検出時に SPCP[2:0] ビットで指定されていた SPCMD_m レジスタを示します。RSPI は、エラー検出時にのみ SPECM[2:0] ビットを更新します。SPSR.OVRF、MODF フラグがともに“0”で、エラーが発生していない場合には、SPECM[2:0] ビットの値には意味がありません。

なお、RSPI のエラー検出機能については、「27.3.8 エラー検出」を参照してください。また、RSPI のシーケンス制御については、「27.3.10.1 マスタモード動作」を参照してください。

27.2.8 RSPI ビットレートレジスタ (SPBR)

アドレス RSPI0.SPBR 0008 838Ah



SPBR レジスタは、マスタモード時のビットレート設定に使用します。SPCR.MSTR, SPE ビットがともに“1”の状態において、SPBR レジスタを書き換えた場合には、以降の動作はしないでください。

RSPI をスレーブモードで使用する場合には、SPBR レジスタ、SPCMDm.BRDV[1:0] ビット（ビットレート分周設定ビット）の設定に関係なく、入力クロックのビットレートに依存します。（電気的特性を満足するビットレートを使用してください）

ビットレートは SPBR レジスタの設定値と SPCMDm.BRDV[1:0] ビットの設定値の組み合わせで決定されます。ビットレートの計算式は下記のとおりです。計算式中で n は SPBR レジスタの設定値（0, 1, 2, …, 255）、N は BRDV[1:0] ビットの設定値（0, 1, 2, 3）です。

$$\text{ビットレート} = \frac{f(\text{PCLK})}{2 \times (n + 1) \times 2^N}$$

SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレートの関係の例を表 27.3 に示します。相手デバイスの AC スペックを考慮の上、電気的特性を満足するビットレートを使用してください。

表 27.3 SPBR レジスタ、BRDV[1:0] ビットの設定値とビットレート

SPBR レジスタの 設定値 (n)	BRDV[1:0] ビット の設定値 (N)	分周比	ビットレート	ビットレート	ビットレート
			PCLK = 32 MHz	PCLK = 36 MHz	PCLK = 40 MHz
0	0	2	16.0 Mbps	18.0 Mbps	20.0 Mbps
1	0	4	8.00 Mbps	9.00 Mbps	10.0 Mbps
2	0	6	5.33 Mbps	6.00 Mbps	6.67 Mbps
3	0	8	4.00 Mbps	4.50 Mbps	5.00 Mbps
4	0	10	3.20 Mbps	3.60 Mbps	4.00 Mbps
5	0	12	2.67 Mbps	3.00 Mbps	3.33 Mbps
5	1	24	1.33 Mbps	1.50 Mbps	1.67 Mbps
5	2	48	667 kbps	750 kbps	833 kbps
5	3	96	333 kbps	375 kbps	417 kbps
255	3	4096	7.81 kbps	8.80 kbps	9.78 kbps

27.2.9 RSPI データコントロールレジスタ (SPDCR)

アドレス RSPI0.SPDCR 0008 838Bh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	SPLW	SPRDT D	—	—	SPFC[1:0]	
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	SPFC[1:0]	フレーム数設定ビット	b1 b0 0 0 : 1フレーム 0 1 : 2フレーム 1 0 : 3フレーム 1 1 : 4フレーム	R/W
b3-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	SPRDTD	RSPI受信/送信データ選択ビット	0 : SPDRは受信バッファを読み出す 1 : SPDRは送信バッファを読み出す (ただし、送信バッファが空のとき)	R/W
b5	SPLW	RSPIロングワードアクセス/ ワードアクセス設定ビット	0 : SPDRレジスタへはワードアクセス 1 : SPDRレジスタへはロングワードアクセス	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCMDm.SPB[3:0] ビット、SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの組み合わせから1回の送受信起動で最大4フレームを送受信できます。

SPCR.SPE ビットが“1”の状態において、SPDCR.SPFC[1:0] ビットを書き換える場合、SPSR.IDLNF フラグが“0”のときに書き換えてください。

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1回の転送起動) フレーム数を設定します。SPSCR.SPSTLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により1回の送受信起動で最大4フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンプティ割り込みが発生または送信開始するためのフレーム数も変更します。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンプティ割り込みが発生します。

また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり RSPI 受信バッファフル割り込みが発生します。

表 27.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

表27.4 SPSLN[2:0]ビットとSPFC[1:0]ビットの設定可能な組み合わせ

設定	SPSLN[2:0]	SPFC[1:0]	1シーケンスで 転送するフレーム数	送信バッファ、受信バッファが 「有効データあり」になるフレーム数
1-1	000b	00b	1	1
1-2	000b	01b	2	2
1-3	000b	10b	3	3
1-4	000b	11b	4	4
2-1	001b	01b	2	2
2-2	001b	11b	4	4
3	010b	10b	3	3
4	011b	11b	4	4
5	100b	00b	5	1
6	101b	00b	6	1
7	110b	00b	7	1
8	111b	00b	8	1

SPRDTD ビット (RSPI 受信 / 送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「27.2.5 RSPI データレジスタ (SPDR)」を参照してください。

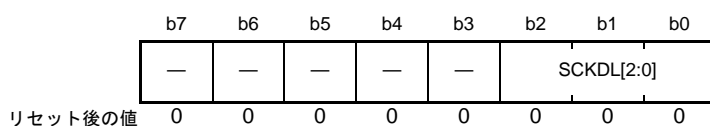
SPLW ビット (RSPI ロングワードアクセス / ワードアクセス設定ビット)

SPDR レジスタへのアクセス幅を設定します。SPLW ビットが“0”のときはワードアクセス、SPLW ビットが“1”のときはロングワードアクセスで SPDR レジスタにアクセスしてください。

また、SPLW ビットが“0”のとき、SPCMDm.SPB[3:0] ビット (RSPI データ長設定ビット) の設定は、8 ~ 16 ビットに設定してください。20、24、32 ビットに設定した場合の動作はしないでください。

27.2.10 RSPI クロック遅延レジスタ (SPCKD)

アドレス RSPI0.SPCKD 0008 838Ch



ビット	シンボル	ビット名	説明	R/W
b2-b0	SCKDL[2:0]	RSPCK遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCKD レジスタは、SPCMDm.SCKDEN ビットが“1”の状態における、SSLAi 信号アサート開始から RSPCK 発振までの期間 (RSPCK 遅延) を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPCKD レジスタを書き換えた場合には、以降の動作はしないでください。

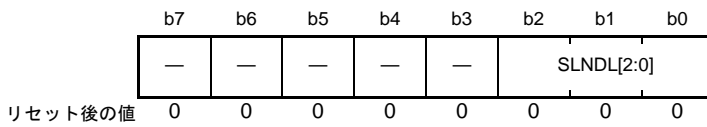
SCKDL[2:0] ビット (RSPCK 遅延設定ビット)

SPCMDm.SCKDEN ビットが“1”の場合の RSPCK 遅延値を設定します。

RSPI をスレーブモードで使用する場合には、SCKDL[2:0] ビットを“000b”にしてください。

27.2.11 RSPI スレーブセレクトネゲート遅延レジスタ (SSLND)

アドレス RSPI0.SSLND 0008 838Dh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SLNDL[2:0]	SSLネゲート遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK 0 0 1 : 2 RSPCK 0 1 0 : 3 RSPCK 0 1 1 : 4 RSPCK 1 0 0 : 5 RSPCK 1 0 1 : 6 RSPCK 1 1 0 : 7 RSPCK 1 1 1 : 8 RSPCK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SSLNDレジスタは、マスタモードのRSPIがシリアル転送の最終RSPCKエッジを送出してからSSLAi信号をネゲートするまでの期間（SSLネゲート遅延）を設定するためのレジスタです。SPCR.MSTRビットと、SPCR.SPEビットが“1”の状態において、SSLNDレジスタを書き換えた場合には、以降の動作はしないでください。

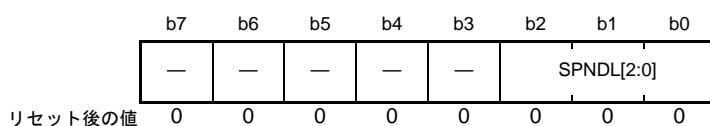
SLNDL[2:0] ビット (SSLネゲート遅延設定ビット)

マスタモードのRSPIのSSLネゲート遅延値を設定します。

RSPIをスレーブモードで使用する場合には、SLNDL[2:0]ビットを“000b”にしてください。

27.2.12 RSPI 次アクセス遅延レジスタ (SPND)

アドレス RSPI0.SPND 0008 838Eh



ビット	シンボル	ビット名	機能	R/W
b2-b0	SPNDL[2:0]	RSPI次アクセス遅延設定ビット	b2 b0 0 0 0 : 1 RSPCK + 2 PCLK 0 0 1 : 2 RSPCK + 2 PCLK 0 1 0 : 3 RSPCK + 2 PCLK 0 1 1 : 4 RSPCK + 2 PCLK 1 0 0 : 5 RSPCK + 2 PCLK 1 0 1 : 6 RSPCK + 2 PCLK 1 1 0 : 7 RSPCK + 2 PCLK 1 1 1 : 8 RSPCK + 2 PCLK	R/W
b7-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPND レジスタは、SPCMDm.SPNDEN ビットが“1”の状態、シリアル転送終了後の SSLAi 信号の非アクティブ期間（次アクセス遅延）を設定するためのレジスタです。SPCR.MSTR ビットと、SPCR.SPE ビットが“1”の状態において、SPND レジスタを書き換えた場合には、以降の動作はしないでください。

SPNDL[2:0] ビット (RSPI 次アクセス遅延設定ビット)

SPCMDm.SPNDEN ビットが“1”の場合の次アクセス遅延を設定します。

RSPI をスレーブモードで使用する場合には、SPNDL[2:0] ビットを“000b”にしてください。

27.2.13 RSPI 制御レジスタ 2 (SPCR2)

アドレス RSPI0.SPCR2 0008 838Fh

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	SCKASE	PTE	SPIIE	SPOE	SPPE
リセット後の値	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	SPPE	パリティ許可ビット	0: 送信データパリティビットを付加しない 受信データのパリティチェックを行わない 1: 送信データにパリティビットを付加し、受信データの パリティチェックを行う (SPCR.TXMD=0のとき) 送信データにパリティビットを付加するが、受信データ のパリティチェックは行わない (SPCR.TXMD=1の とき)	R/W
b1	SPOE	パリティモードビット	0: 偶数パリティで送受信 1: 奇数パリティで送受信	R/W
b2	SPIIE	RSPIアイドル割り込み許可ビット	0: アイドル割り込み要求の発生を禁止 1: アイドル割り込み要求の発生を許可	R/W
b3	PTE	パリティ自己診断ビット	0: パリティ回路自己診断機能は無効 1: パリティ回路自己診断機能が有効	R/W
b4	SCKASE	RSPCK自動停止機能許可ビット	0: RSPCK自動停止機能が無効 1: RSPCK自動停止機能が有効	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

SPCR.SPE ビットが“1”の状態において、SPCR2 レジスタの SPPE、SPOE、SCKASE ビットの設定値を変更した場合には、以降の動作はしないでください。

SPPE ビット (パリティ許可ビット)

パリティ機能の有効、無効を選択するビットです。

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”のとき、送信データにパリティビットを付加し、受信データのパリティチェックを行います。

SPCR.TXMD ビットが“1”、SPCR2.SPPE ビットが“1”の場合、送信データにパリティビットを付加しますが、受信データのパリティチェックを行いません。

SPOE ビット (パリティモードビット)

偶数パリティ / 奇数パリティを設定するビットです。

偶数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が偶数個になるようにパリティビットを決定します。同様に、奇数パリティでは、パリティビットと送受信キャラクタを合わせて、1の数の合計が奇数個になるようにパリティビットを決定します。

SPOE ビットは、SPPE ビットが“1”のときのみ有効です。

SPIIE ビット (RSPI アイドル割り込み許可ビット)

RSPI がアイドル状態であることを検出し、SPSR.IDLNF フラグが“0”になった場合に、RSPI アイドル割り込み要求の発生を許可 / 禁止します。

PTE ビット (パリティ自己診断ビット)

パリティ機能が正常であることを確認するために、パリティ回路の自己診断を有効にするビットです。

SCKASE ビット (RSPCK 自動停止機能許可ビット)

RSPCK 自動停止機能の有効、無効を選択するビットです。本機能を有効にした場合、マスタモードのデータ受信時、オーバランエラーが発生する直前のタイミングで RSPCK クロックが停止します。詳細は「27.3.8.1 オーバランエラー」を参照ください。

27.2.14 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7)

アドレス RSPI0.SPCMD0 0008 8390h, RSPI0.SPCMD1 0008 8392h, RSPI0.SPCMD2 0008 8394h,
RSPI0.SPCMD3 0008 8396h, RSPI0.SPCMD4 0008 8398h, RSPI0.SPCMD5 0008 839Ah,
RSPI0.SPCMD6 0008 839Ch, RSPI0.SPCMD7 0008 839Eh

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0	
SCKDEN	SLNDEN	SPNDEN	LSBF	SPB[3:0]			SSLKP	SSLA[2:0]		BRDV[1:0]		CPOL	CPHA			
リセット後の値	0	0	0	0	0	1	1	1	0	0	0	0	1	1	0	1

ビット	シンボル	ビット名	機能	R/W
b0	CPHA	RSPCK位相設定ビット	0: 奇数エッジでデータサンプル、偶数エッジでデータ変化 1: 奇数エッジでデータ変化、偶数エッジでデータサンプル	R/W
b1	CPOL	RSPCK極性設定ビット	0: アイドル時のRSPCKがLow 1: アイドル時のRSPCKがHigh	R/W
b3-b2	BRDV[1:0]	ビットレート分周設定ビット	b3 b2 0 0: ベースのビットレートを選択 0 1: ベースのビットレートの2分周を選択 1 0: ベースのビットレートの4分周を選択 1 1: ベースのビットレートの8分周を選択	R/W
b6-b4	SSLA[2:0]	SSL信号アサート設定ビット	b6 b4 0 0 0: SSL0 0 0 1: SSL1 0 1 0: SSL2 0 1 1: SSL3 1 x x: 設定しないでください	R/W
b7	SSLKP	SSL信号レベル保持ビット	0: 転送終了時に全SSL信号をネゲート 1: 転送終了後から次アクセス開始までSSL信号レベルを保持	R/W
b11-b8	SPB[3:0]	RSPIデータ長設定ビット	b11 b8 0100~0111 : 8ビット 1 0 0 0 : 9ビット 1 0 0 1 : 10ビット 1 0 1 0 : 11ビット 1 0 1 1 : 12ビット 1 1 0 0 : 13ビット 1 1 0 1 : 14ビット 1 1 1 0 : 15ビット 1 1 1 1 : 16ビット 0 0 0 0 : 20ビット 0 0 0 1 : 24ビット 0010, 0011 : 32ビット	R/W
b12	LSBF	RSPI LSB ファーストビット	0: MSB ファースト 1: LSB ファースト	R/W
b13	SPNDEN	RSPI次アクセス遅延許可ビット	0: 次アクセス遅延は1 RSPCK + 2 PCLK 1: 次アクセス遅延はRSPI次アクセス遅延レジスタ (SPND) の設定値	R/W
b14	SLNDEN	SSLネゲート遅延設定許可ビット	0: SSLネゲート遅延は1 RSPCK 1: SSLネゲート遅延はRSPIスレーブセレクトネゲート遅延レジスタ (SSLND) の設定値	R/W
b15	SCKDEN	RSPCK遅延設定許可ビット	0: RSPCK遅延は1 RSPCK 1: RSPCK遅延はRSPIクロック遅延レジスタ (SPCKD) の設定値	R/W

x : Don't care

SPCMDm レジスタは、マスタモードの RSPI の転送フォーマットを設定します。1 チャンネルの RSPI には、RSPI コマンドレジスタが 8 本あります (SPCMD0 ~ SPCMD7 レジスタ)。また、SPCMD0 レジスタの一部のビットは、スレーブモードの RSPI の転送フォーマットを設定するためにも使用されます。マスタモードの RSPI は SPSCR.SPSSLN[2:0] ビットの設定に従ってシーケンシャルに SPCMDm レジスタを参照し、参照した SPCMDm レジスタに設定されたシリアル転送を実行します。

SPCMDm レジスタの設定は、送信バッファが空の (次転送のデータがセットされていない) 状態でその SPCMDm レジスタを参照して送信するデータを設定する前に実施してください。

マスタモードの RSPI が参照している SPCMDm レジスタは、SPSSR.SPCP[2:0] ビットにより確認できます。また、SPCR.MSTR ビットが“0”、SPCR.SPE ビットが“1”の状態において、SPCMDm レジスタを書き換えた場合、以降の動作はしないでください。

CPHA ビット (RSPCK 位相設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 位相を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 位相を設定する必要があります。

CPOL ビット (RSPCK 極性設定ビット)

マスタモード/スレーブモードの RSPI の RSPCK 極性を設定します。RSPI モジュール間のデータ通信を行う場合、モジュール間で同一の RSPCK 極性を設定する必要があります。

BRDV[1:0] ビット (ビットレート分周設定ビット)

ビットレートを決定するために使用するレジスタです。BRDV[1:0] ビットと SPBR レジスタの設定値の組み合わせでビットレートを決定します (「27.2.8 RSPI ビットレートレジスタ (SPBR)」を参照)。SPBR レジスタの設定値は、ベースとなるビットレートを決定します。BRDV[1:0] ビットの設定値は、ベースのビットレートに対して分周なし/2分周/4分周/8分周したビットレートを選択するために使用します。SPCMDm レジスタにはそれぞれ異なる BRDV[1:0] ビットの設定を行えます。このため、コマンドごとに異なるビットレートでシリアル転送を実行できます。

SSLA[2:0] ビット (SSL 信号アサート設定ビット)

マスタモードの RSPI がシリアル転送する場合の SSLAi 信号のアサートを制御するためのビットです。SSLA[2:0] ビットの設定値が、SSLAi 信号のアサートを制御します。SSLAi 信号アサート時の信号極性は、SSLP レジスタの設定値に依存します。マルチマスタモードで SSLA[2:0] ビットを“000b”にした場合には、全 SSL 信号がネゲート状態でシリアル転送が実行されます (SSLA0 端子は入力になるため)。

なお、RSPI をスレーブモードで使用する場合には、SSLA[2:0] ビットを“000b”にしてください。

SSLKP ビット (SSL 信号レベル保持ビット)

マスタモードの RSPI がシリアル転送する場合に、現コマンドに対応する SSL ネゲートタイミングから次コマンドに対応する SSL アサートタイミングの間、現コマンドの SSLAi 信号レベルを保持するか、ネゲートするかを設定するビットです。

SSLKP ビットを“1”とすることによってバースト転送が可能となります。詳細は「27.3.10.1 マスタモード動作の (4) バースト転送」を参照してください。

RSPI をスレーブモードで使用する場合には、SSLKP ビットを“0”にしてください。

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードのRSPIの転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b” (8ビット) ~ “1111b” (16ビット) の範囲で値を設定してください。

LSBF ビット (RSPI LSB ファーストビット)

マスタモード/スレーブモードのRSPIのデータフォーマットを、MSB ファーストにするか LSB ファーストにするかを選択します。

SPNDEN ビット (RSPI 次アクセス遅延許可ビット)

マスタモードのRSPIがシリアル転送を終了して SSLAi 信号を非アクティブにしてから、次アクセスの SSLAi 信号アサートが可能にするまでの期間 (次アクセス遅延) を設定します。SPNDEN ビットが“0”のとき、RSPIは次アクセス遅延を $1 \text{ RSPCK} + 2 \text{ PCLK}$ にします。SPNDEN ビットが“1”のとき、RSPIは SPND レジスタの設定に従った次アクセス遅延を挿入します。

RSPI をスレーブモードで使用する場合には、SPNDEN ビットを“0”にしてください。

SLNDEN ビット (SSL ネゲート遅延設定許可ビット)

マスタモードのRSPIが、RSPCK を発振停止してから SSLAi 信号を非アクティブにするまでの期間 (SSL ネゲート遅延) を設定します。SLNDEN ビットが“0”のとき、RSPIは SSL ネゲート遅延を 1 RSPCK にします。SLNDEN ビットが“1”のとき、RSPIは SSLND レジスタの設定に従った RSPCK 遅延で SSL をネゲートします。

RSPI をスレーブモードで使用する場合には、SLNDEN ビットを“0”にしてください。

SCKDEN ビット (RSPCK 遅延設定許可ビット)

マスタモードのRSPIが、SSLAi 信号をアクティブにしてから RSPCK を発振するまでの期間 (RSPCK 遅延) を設定します。SCKDEN ビットが“0”のとき、RSPIは RSPCK 遅延を 1 RSPCK にします。SCKDEN ビットが“1”のとき、RSPIは SPCKD レジスタの設定に従った RSPCK 遅延で RSPCK の発振を開始します。

RSPI をスレーブモードで使用する場合には、SCKDEN ビットを“0”にしてください。

27.3 動作説明

本章では、シリアル転送期間という用語を、有効データのドライブ開始から最終有効データの取り込みまでの期間を意味する用語として使用しています。

27.3.1 RSPI 動作の概要

RSPI は、スレーブモード (SPI 動作)、シングルマスタモード (SPI 動作)、マルチマスタモード (SPI 動作)、スレーブモード (クロック同期式動作)、マスタモード (クロック同期式動作) での同期式のシリアル転送ができます。RSPI のモードは、SPCR.MSTR, MODFEN, SPMS ビットによって設定できます。表 27.5 に RSPI のモードと SPCR レジスタの設定の関係および各モードの概要を示します。

表 27.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要

モード	スレーブ (SPI動作)	シングルマスタ (SPI動作)	マルチマスタ (SPI動作)	スレーブ (クロック同期式動作)	マスタ (クロック同期式動作)
MSTRビットの設定	0	1	1	0	1
MODFENビットの設定	0 or 1	0	1	0	0
SPMSビットの設定	0	0	0	1	1
RSPCKA信号	入力	出力	出力/Hi-Z	入力	出力
MOSIA信号	入力	出力	出力/Hi-Z	入力	出力
MISOA信号	出力/Hi-Z	入力	入力	出力	入力
SSLA0信号	入力	出力	入力	Hi-Z (注1)	Hi-Z (注1)
SSLA1~SSLA3信号	Hi-Z (注1)	出力	出力/Hi-Z	Hi-Z (注1)	Hi-Z (注1)
SSL極性変更機能	あり	あり	あり	—	—
転送レート	~PCLK/8	~PCLK/2	~PCLK/2	~PCLK/8	~PCLK/2
クロックソース	RSPCK入力	内蔵ボーレート ジェネレータ	内蔵ボーレート ジェネレータ	RSPCK入力	内蔵ボーレート ジェネレータ
クロック極性	2種				
クロック位相	2種	2種	2種	1種 (CPHA = 1)	2種
先頭転送ビット	MSB/LSB				
転送データ長	8~16、20、24、32ビット				
バースト転送	可能 (CPHA = 1)	可能 (CPHA = 0,1)	可能 (CPHA = 0,1)	—	—
RSPCK遅延制御	なし	あり	あり	なし	あり
SSLネゲート遅延制御	なし	あり	あり	なし	あり
次アクセス遅延制御	なし	あり	あり	なし	あり
転送起動方法	SSL入力 アクティブ または RSPCK発振	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み	RSPCK発振	送信バッファエンブ ティ割り込み要求、 またはSPTEF = 1で 送信バッファ書き込み
シーケンス制御	なし	あり	あり	なし	あり
送信バッファエンブティ 検出	あり				
受信バッファフル検出	あり (注2)				
オーバランエラー検出	あり (注2)	あり (注2、注4)	あり (注2、注4)	あり (注2)	あり (注2)
パリティエラー検出	あり (注2、注3)				
モードフォルトエラー 検出	あり (MODFEN = 1)	なし	あり	なし	なし

注1. 本モードでは使用しません。

注2. SPCR.TXMDビットが“1”のときは、受信バッファフル検出、オーバランエラー検出、パリティエラー検出を行いません。

注3. SPCR2.SPPEビットが“0”のときは、パリティエラー検出を行いません。

注4. SPCR2.SCKASEビットが“1”のときは、オーバランエラー検出を行いません。

27.3.2 RSPI 端子の制御

RSPI は、SPCR.MSTR, MODFEN, SPMS ビットと I/O ポートの ODRn.Bi ビットの設定により、端子の状態を切り替えます。I/O ポートの ODRn.Bi ビットの設定値を“0”にすると CMOS 出力に、“1”にするとオープンドレイン出力となります。端子状態と各ビットの設定値の関係を表 27.6 に示します。I/O ポートの設定も同じとなるよう設定してください。

表 27.6 RSPI 端子の状態と制御ビット設定値の関係

モード	端子	端子状態 (注2)	
		I/OポートのODRn.Biビット=0	I/OポートのODRn.Biビット=1
シングルマスタ (SPI動作) (MSTR = 1, MODFEN = 0, SPMS = 0)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3	CMOS出力	オープンドレイン出力
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
マルチマスタ (SPI動作) (MSTR = 1, MODFEN = 1, SPMS = 0)	RSPCKA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	SSLA0	入力	入力
	SSLA1~SSLA3 (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
	MOSIA (注3)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
スレーブ (SPI動作) (MSTR = 0, SPMS = 0)	RSPCKA	入力	入力
	SSLA0	入力	入力
	SSLA1~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	入力	入力
	MISOA (注4)	CMOS出力/Hi-Z	オープンドレイン出力/Hi-Z
マスタ (クロック同期式動作) (MSTR = 1, MODFEN = 0, SPMS = 1)	RSPCKA	CMOS出力	オープンドレイン出力
	SSLA0~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	CMOS出力	オープンドレイン出力
	MISOA	入力	入力
スレーブ (クロック同期式動作) (MSTR = 0, SPMS = 1)	RSPCKA	入力	入力
	SSLA0~SSLA3 (注5)	Hi-Z (注1)	Hi-Z (注1)
	MOSIA	入力	入力
	MISOA	CMOS出力	オープンドレイン出力

注1. 本モードでは使用しません。

注2. RSPI機能が選択されていないマルチファンクションピンには、RSPIの設定値は反映されません。

注3. SSLA0がアクティブレベルの場合、端子状態がHi-Zになります。

注4. SSLA0が非アクティブレベルまたはSPCR.SPEビットが“0”の場合、端子状態がHi-Zになります。

注5. I/Oポートとして使用できます。

シングルマスタモード (SPI動作)、マルチマスタモード (SPI動作) のRSPIは、SPPCR.MOIFE, MOIFV ビットの設定に従って、SSLネゲート期間 (バースト転送におけるSSL保持期間を含む) のMOSI信号値を表 27.7 のように決定します。

表 27.7 SSLネゲート期間のMOSI信号値の決定方法

MOIFEビット	MOIFVビット	SSLネゲート期間のMOSIA信号値
0	0, 1	前回転送の最終データ
1	0	Low
1	1	High

27.3.3 RSPI システム構成例

27.3.3.1 シングルマスタ / シングルスレーブ (本 MCU = マスタ)

図 27.5 に、本 MCU をマスタとして使用した場合のシングルマスタ / シングルスレーブの RSPI システムの構成例を示します。シングルマスタ / シングルスレーブの構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は使用しません。SPI スレーブの SSL 入力は Low に固定して、SPI スレーブを選択できる状態にします。(注 1)

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

注 1. SPCMDm.CPHA ビットが“0”の場合に相当する転送フォーマットでは、SSL 信号をアクティブレベルに固定することができないスレーブデバイスも存在します。SSL 信号を固定にできない場合には、本 MCU の SSLAi 出力をスレーブデバイスの SSL 入力に接続してください。

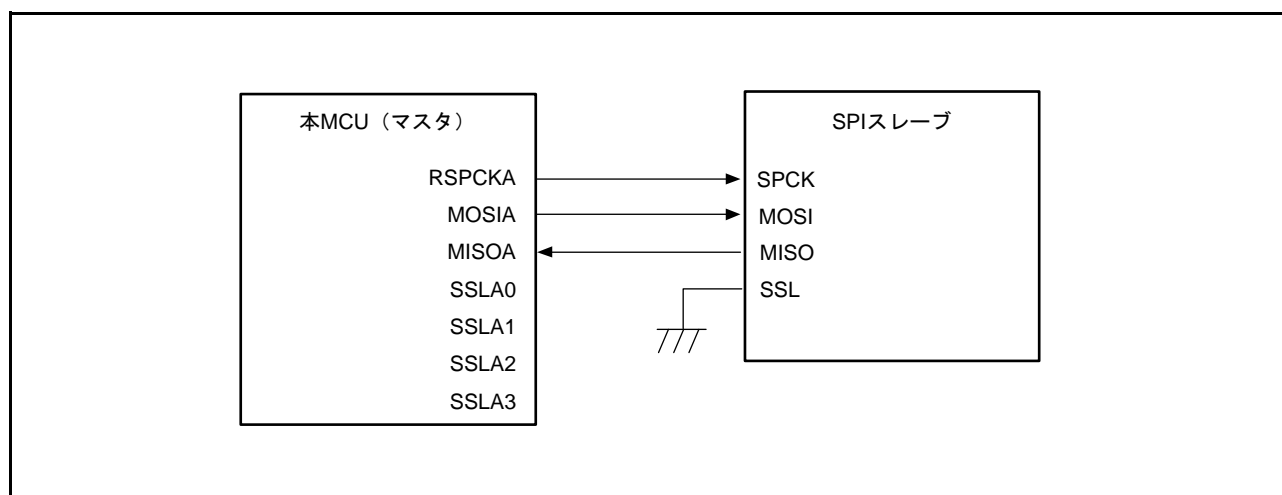


図 27.5 シングルマスタ / シングルスレーブの構成例 (本 MCU = マスタ)

27.3.3.2 シングルマスタ / シングルスレーブ (本 MCU = スレーブ)

図 27.6 に、本 MCU をスレーブとして使用した場合のシングルマスタ / シングルスレーブの RSPI システム構成例を示します。本 MCU をスレーブとして使用する場合には、SSLA0 端子を SSL 入力として使用します。SPI マスタは、SPCK と MOSI をドライブします。本 MCU (スレーブ) は、MISOA をドライブします。(注1)

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合には、本 MCU (スレーブ) の SSLA0 入力を Low に固定して本 MCU (スレーブ) を選択できる状態とし、シリアル転送を実行することも可能です(図 27.7)。

注 1. SSLA0 が非アクティブレベルの場合、端子状態が Hi-Z になります。

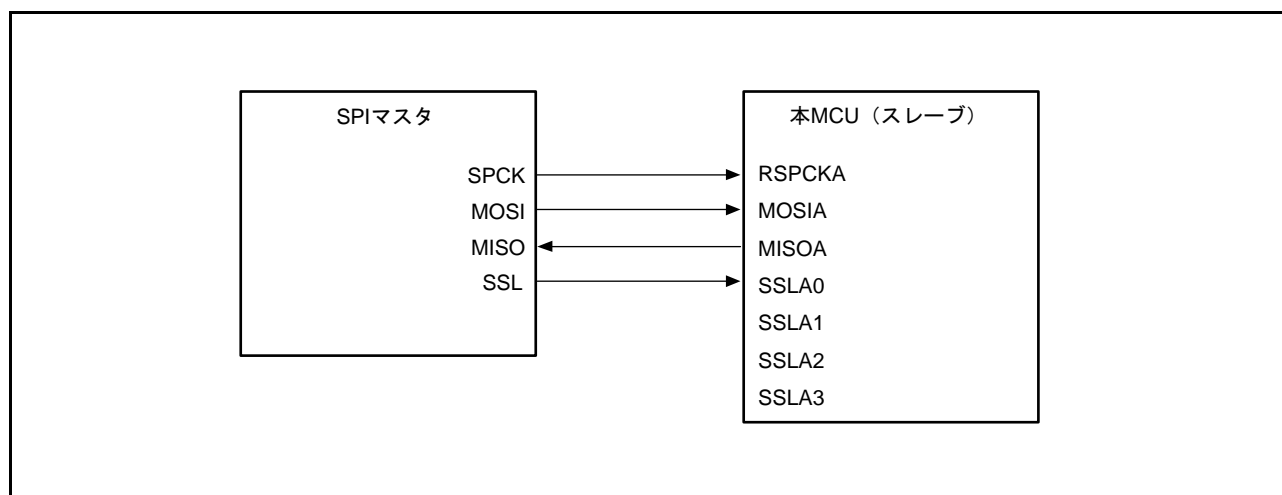


図 27.6 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 0)

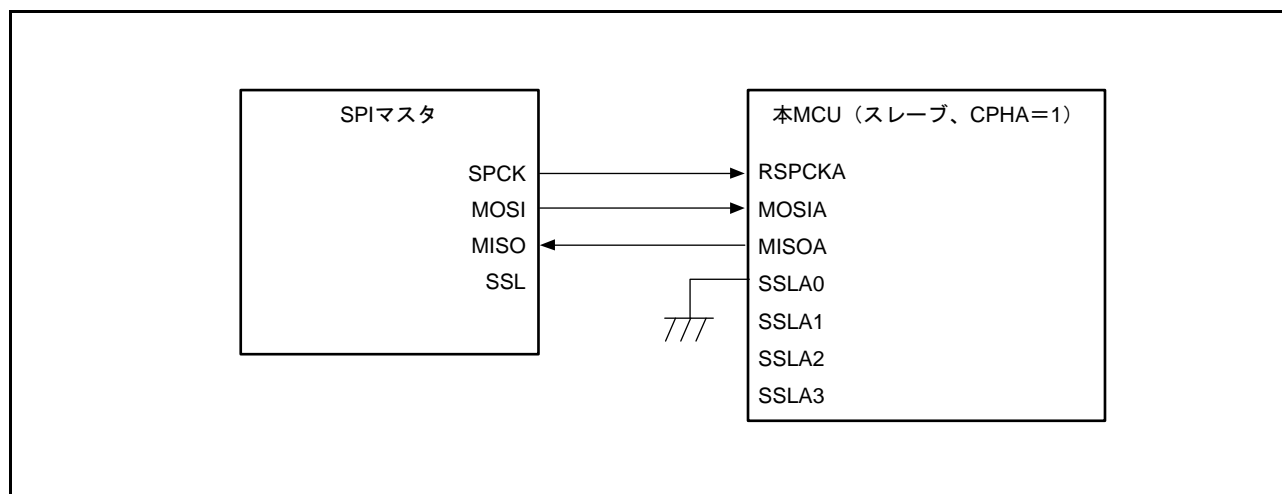


図 27.7 シングルマスタ / シングルスレーブの構成例 (本 MCU = スレーブ、CPHA = 1)

27.3.3.3 シングルマスタ / マルチスレーブ (本 MCU = マスタ)

図 27.8 に、本 MCU をマスタとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 27.8 の例では、本 MCU (マスタ) と 4 つのスレーブ (SPI スレーブ 0 ~ SPI スレーブ 3) から RSPI システムを構成しています。

本 MCU (マスタ) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 0 ~ SPI スレーブ 3 の RSPCK 入力と MOSI 入りに接続します。SPI スレーブ 0 ~ SPI スレーブ 3 の MISO 出力は、すべて本 MCU (マスタ) の MISOA 入りに接続します。本 MCU (マスタ) の SSLA0 ~ SSLA3 出力は、それぞれ SPI スレーブ 0 ~ SPI スレーブ 3 の SSL 入りに接続します。

本 MCU (マスタ) は、RSPCKA、MOSIA、SSLA0 ~ SSLA3 をドライブします。SPI スレーブ 0 ~ SPI スレーブ 3 のうち、SSL 入りに Low を入力されているスレーブが、MISO をドライブします。

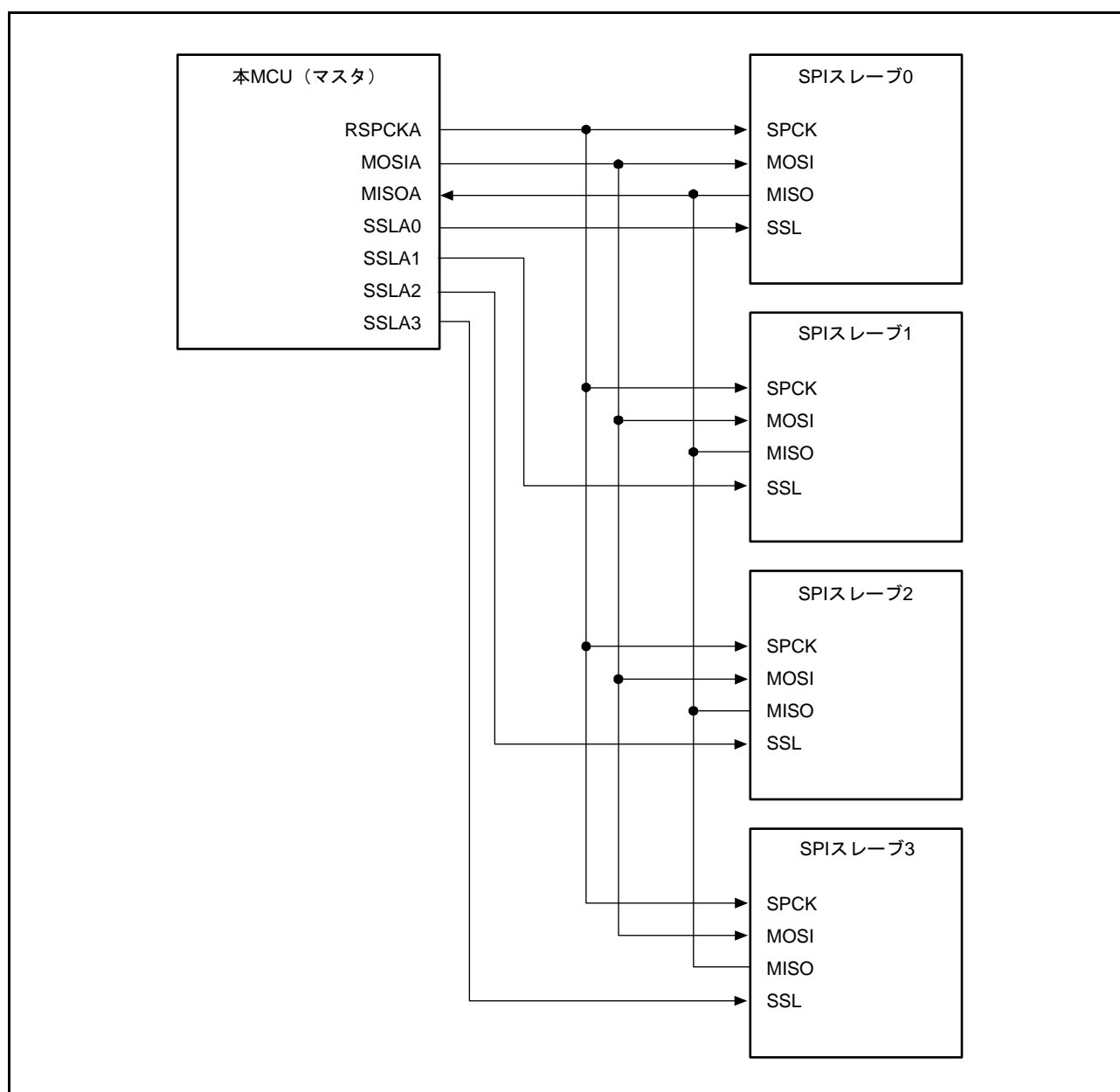


図 27.8 シングルマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

27.3.3.4 シングルマスタ / マルチスレーブ (本 MCU = スレーブ)

図 27.9 に、本 MCU をスレーブとして使用した場合のシングルマスタ / マルチスレーブの RSPI システム構成例を示します。図 27.9 の例では、SPI マスタと 2 つの本 MCU (スレーブ X、スレーブ Y) から RSPI システムを構成しています。

SPI マスタの SPCK 出力と MOSI 出力は、本 MCU (スレーブ X、スレーブ Y) の RSPCKA 入力と MOSIA 入力に接続します。本 MCU (スレーブ X、スレーブ Y) の MISOA 出力は、SPI マスタの MISO 入力に接続します。SPI マスタの SSLX 出力、SSLY 出力は、本 MCU (スレーブ X、スレーブ Y) の SSLA0 入力に接続します。

SPI マスタは、SPCK、MOSI、SSLX、SSLY をドライブします。本 MCU (スレーブ X、スレーブ Y) のうち、SSLA0 入力に Low を入力されているスレーブが、MISOA をドライブします。

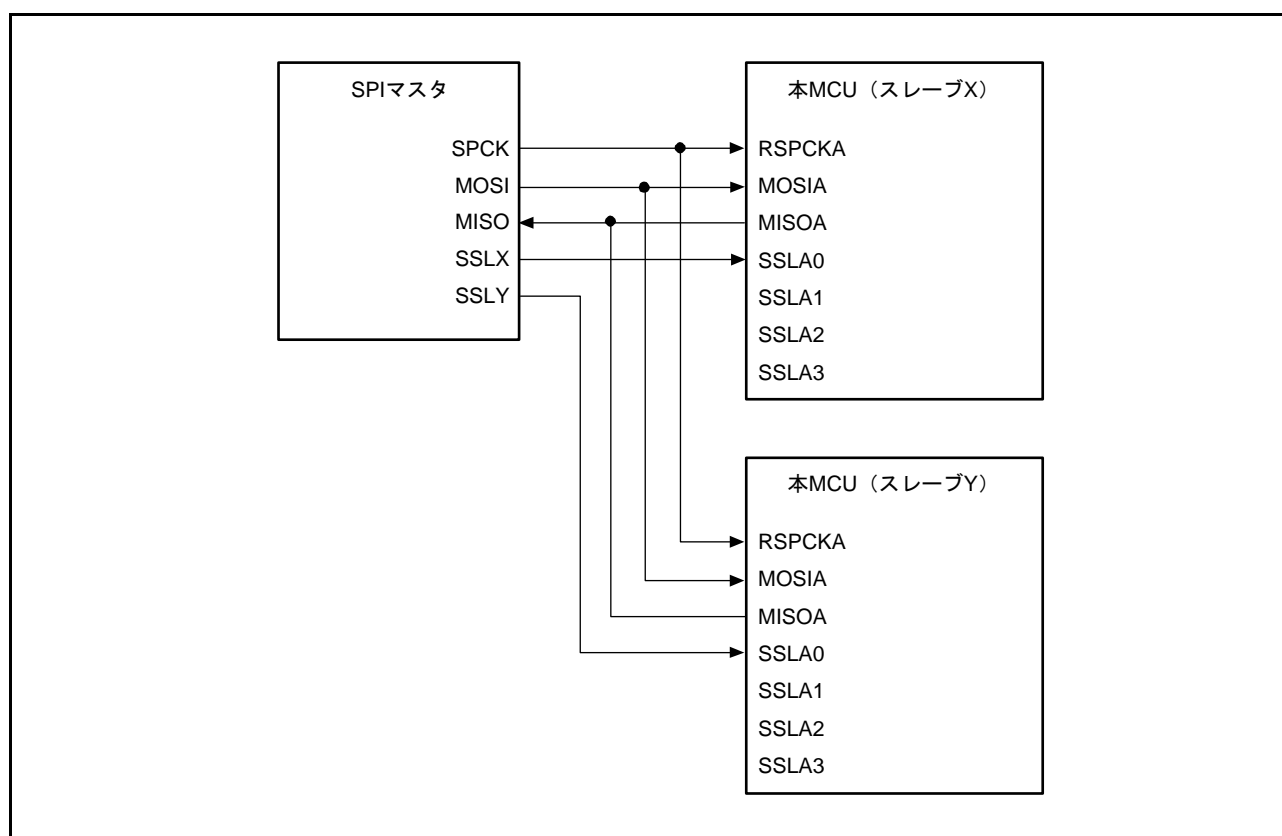


図 27.9 シングルマスタ / マルチスレーブの構成例 (本 MCU = スレーブ)

27.3.3.5 マルチマスタ / マルチスレーブ (本 MCU = マスタ)

図 27.10 に、本 MCU をマスタとして使用した場合のマルチマスタ / マルチスレーブの RSPI システム構成例を示します。図 27.10 の例では、2つの本 MCU (マスタ X、マスタ Y) と2つの SPI スレーブ (SPI スレーブ 1、SPI スレーブ 2) から RSPI システムを構成しています。

本 MCU (マスタ X、マスタ Y) の RSPCKA 出力と MOSIA 出力は、SPI スレーブ 1、SPI スレーブ 2 の RSPCK 入力と MOSI 入力に接続します。SPI スレーブ 1、SPI スレーブ 2 の MISO 出力は、本 MCU (マスタ X、マスタ Y) の MISOA 入力に接続します。本 MCU (マスタ X) の任意の汎用ポート Y 出力は、本 MCU (マスタ Y) の SSLA0 入力に接続します。本 MCU (マスタ Y) の任意の汎用ポート X 出力は、本 MCU (マスタ X) の SSLA0 入力に接続します。本 MCU (マスタ X、マスタ Y) の SSLA1 出力と SSLA2 出力は、SPI スレーブ 1、SPI スレーブ 2 の SSL 入力に接続します。この構成例では、SSLA0 入力、スレーブ接続用の SSLA1 出力、SSLA2 出力のみでシステムを構成できるので、本 MCU の SSLA3 出力を使用していません。

本 MCU は、SSLA0 入力レベルが High の場合には、RSPCKA、MOSIA、SSLA1、SSLA2 をドライブします。SSLA0 入力レベルが Low の場合には、モードフォルトエラーを検出し、RSPCKA、MOSIA、SSLA1、SSLA2 を Hi-Z にして、他方のマスタに RSPI バス権を解放します。SPI スレーブ 1、SPI スレーブ 2 のうち、SSL 入力が Low を入力されているスレーブが、MISO をドライブします。

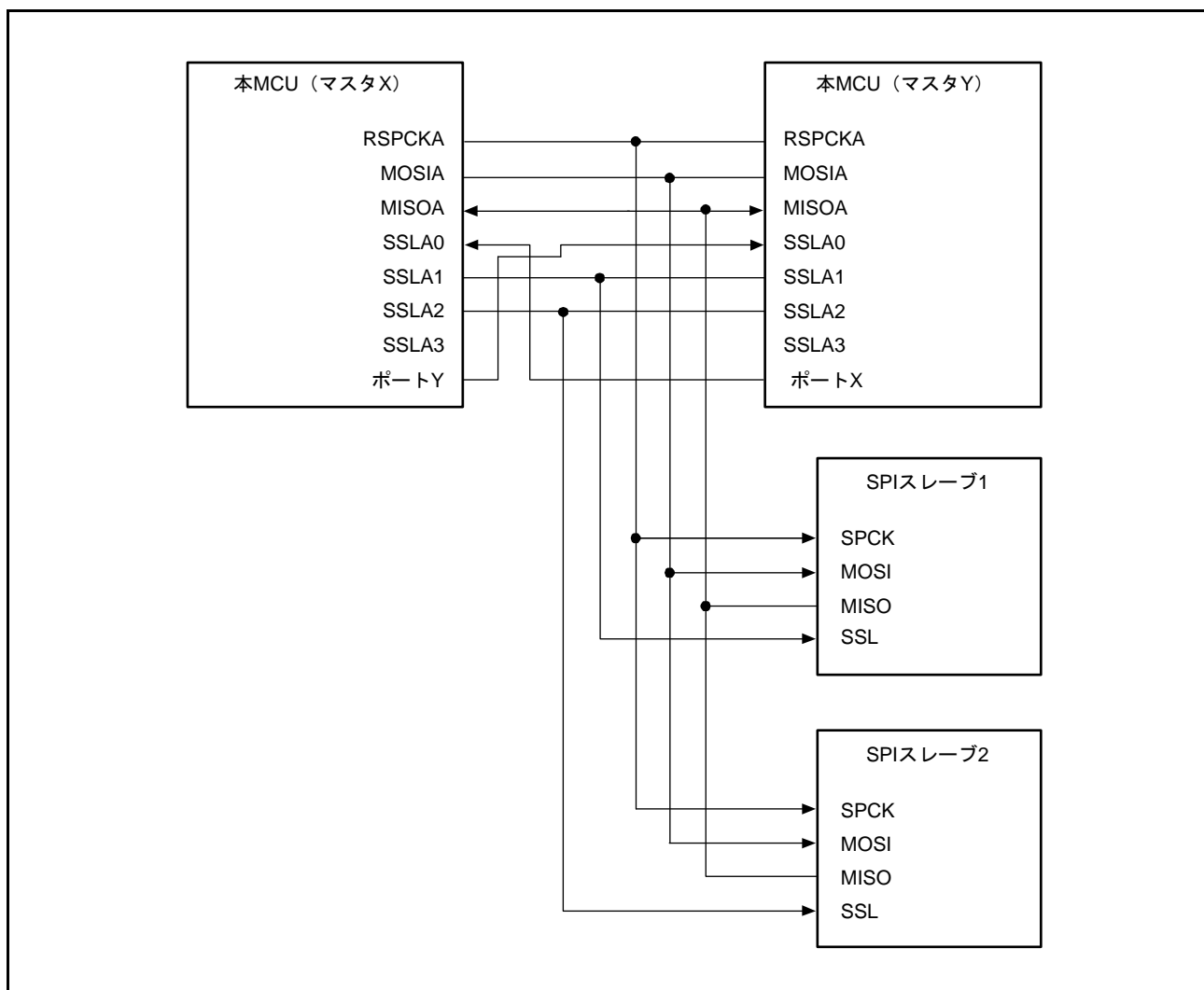


図 27.10 マルチマスタ / マルチスレーブの構成例 (本 MCU = マスタ)

27.3.3.6 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = マスタ)

図 27.11 に、本 MCU をマスタとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システムの構成例を示します。マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成では、本 MCU (マスタ) の SSLA0 ~ SSLA3 は使用しません。

本 MCU (マスタ) は、RSPCKA と MOSIA をドライブします。SPI スレーブは、MISO をドライブします。

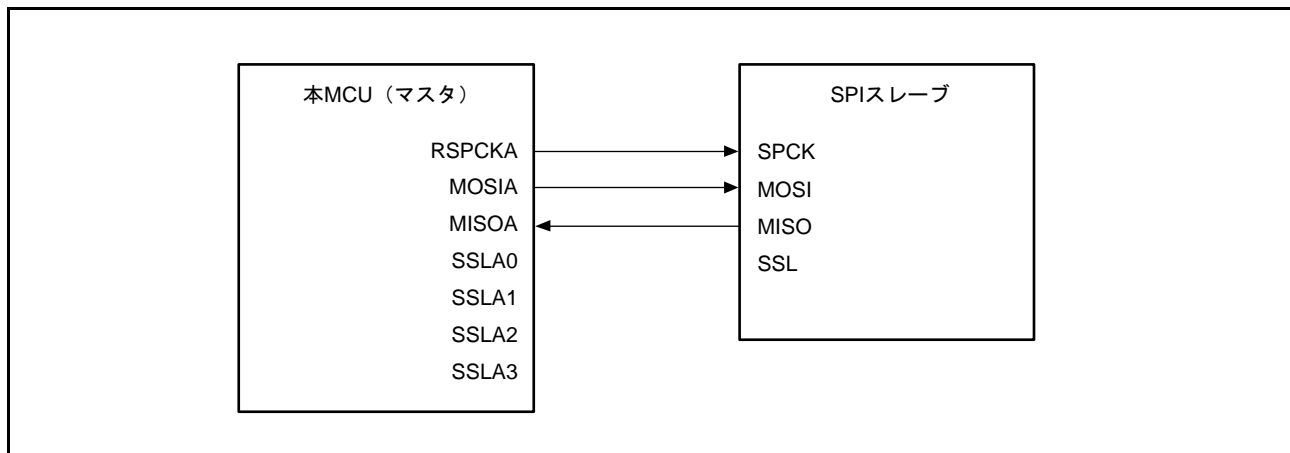


図 27.11 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例 (本 MCU = マスタ)

27.3.3.7 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) (本 MCU = スレーブ)

図 27.12 に、本 MCU をスレーブとして使用した場合のマスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の RSPI システム構成例を示します。本 MCU をスレーブ (クロック同期式動作) として使用する場合には、本 MCU (スレーブ) は、MISOA をドライブし、SPI マスタは、SPCK と MOSI をドライブします。また、本 MCU (スレーブ) の SSLA0 ~ SSLA3 は使用しません。

SPCMDm.CPHA ビットを“1”にしたシングルスレーブ構成の場合のみ、本 MCU (スレーブ) はシリアル転送を実行することが可能です。

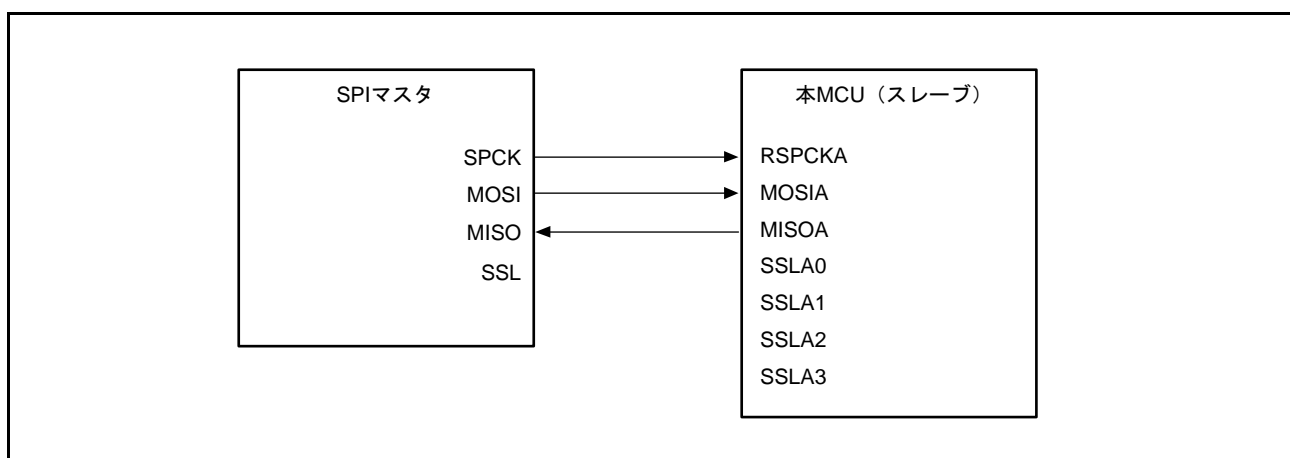


図 27.12 マスタ (クロック同期式動作) / スレーブ (クロック同期式動作) の構成例
(本 MCU = スレーブ、CPHA = 1)

27.3.4 データフォーマット

RSPI のデータフォーマットは、RSPI コマンドレジスタ m (SPCMD m)、RSPI 制御レジスタ 2 のパリティ許可ビット (SPCR2.SPPE) の設定値に依存します。MSB/LSB ファーストに関わらず、RSPI は RSPI データレジスタ (SPDR) の LSB から設定データ長分の範囲を転送データとして扱います。

送受信時の 1 フレームのデータフォーマットを下記に示します。

(a) パリティ機能無効時

パリティ機能無効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。

(b) パリティ機能有効時

パリティ機能有効時は、RSPI コマンドレジスタ m の RSPI データ長設定ビット (SPCMD m .SPB[3:0]) で設定したビット長のデータの送受信を行います。ただし、最終ビットは、パリティビットとなります。

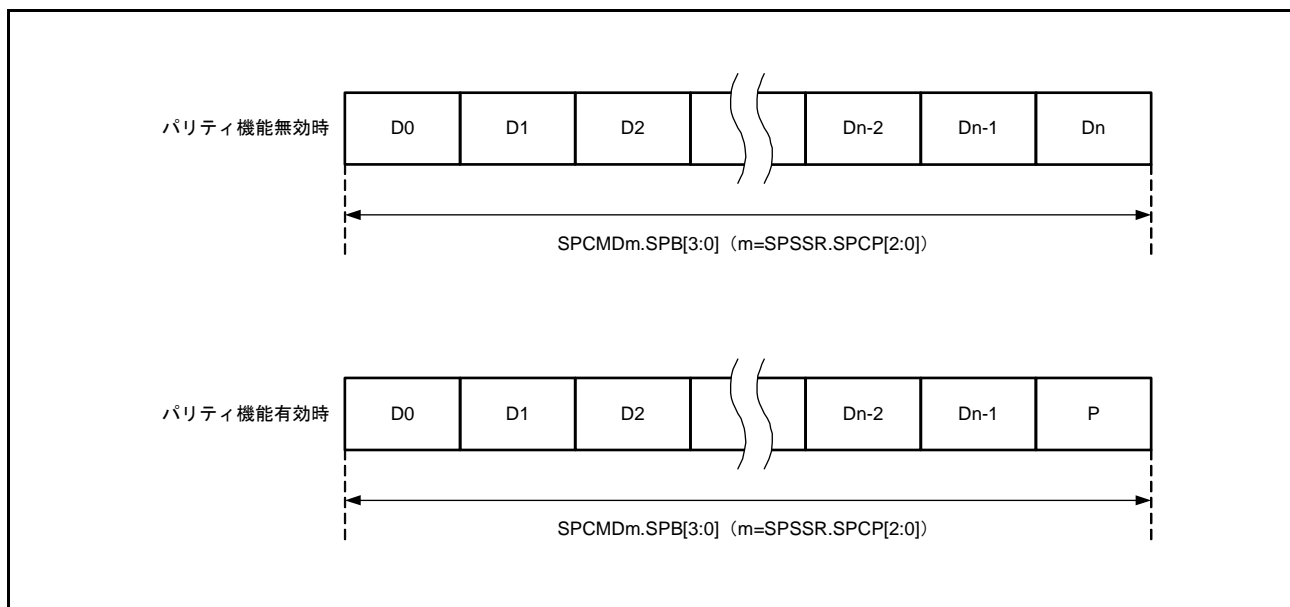


図 27.13 データフォーマット概要 (パリティ機能無効時 / 有効時)

27.3.4.1 パリティ機能無効時 (SPCR2.SPPE = 0)

パリティ機能無効時は、送信バッファのデータを加工せず、シフトレジスタにコピーします。以下に RSPI データレジスタ (SPDR) とシフトレジスタの関係を MSB/LSB ファーストとビット長の組み合わせで説明します。

(1) MSB ファースト転送 (32 ビットデータ)

図 27.14 に、パリティ機能無効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の SPDR レジスタとシフトレジスタの動作内容を示します。

送信時は、送信バッファの T31 ~ T00 をシフトレジスタにコピーします。送信データは、T31 → T30 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

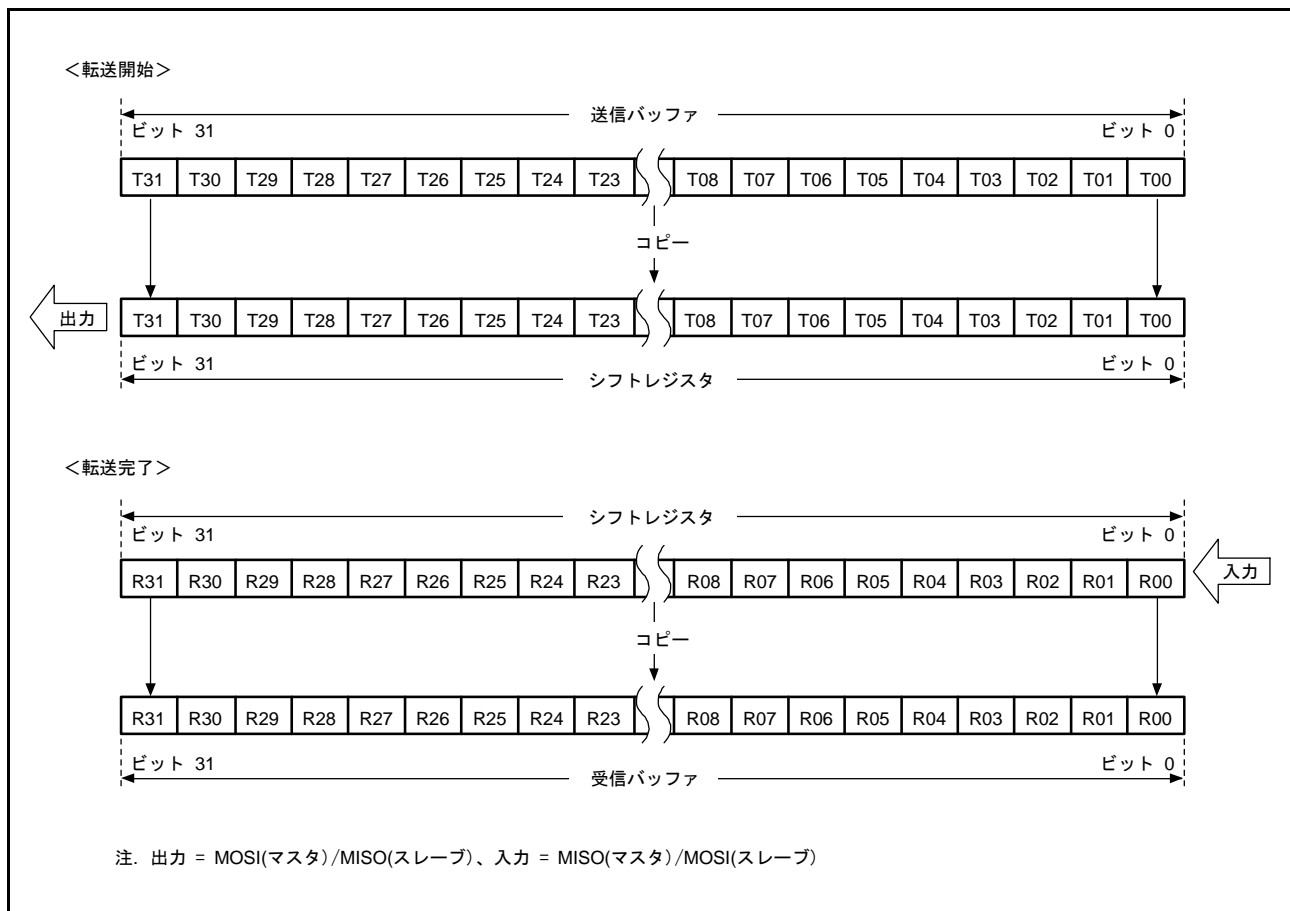


図 27.14 MSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(2) MSB ファースト転送 (24 ビットデータ)

図 27.15 に、RSPI がパリティ機能無効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をシフトレジスタにコピーします。送信データは、T23 → T22 → … → T00 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ R00 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

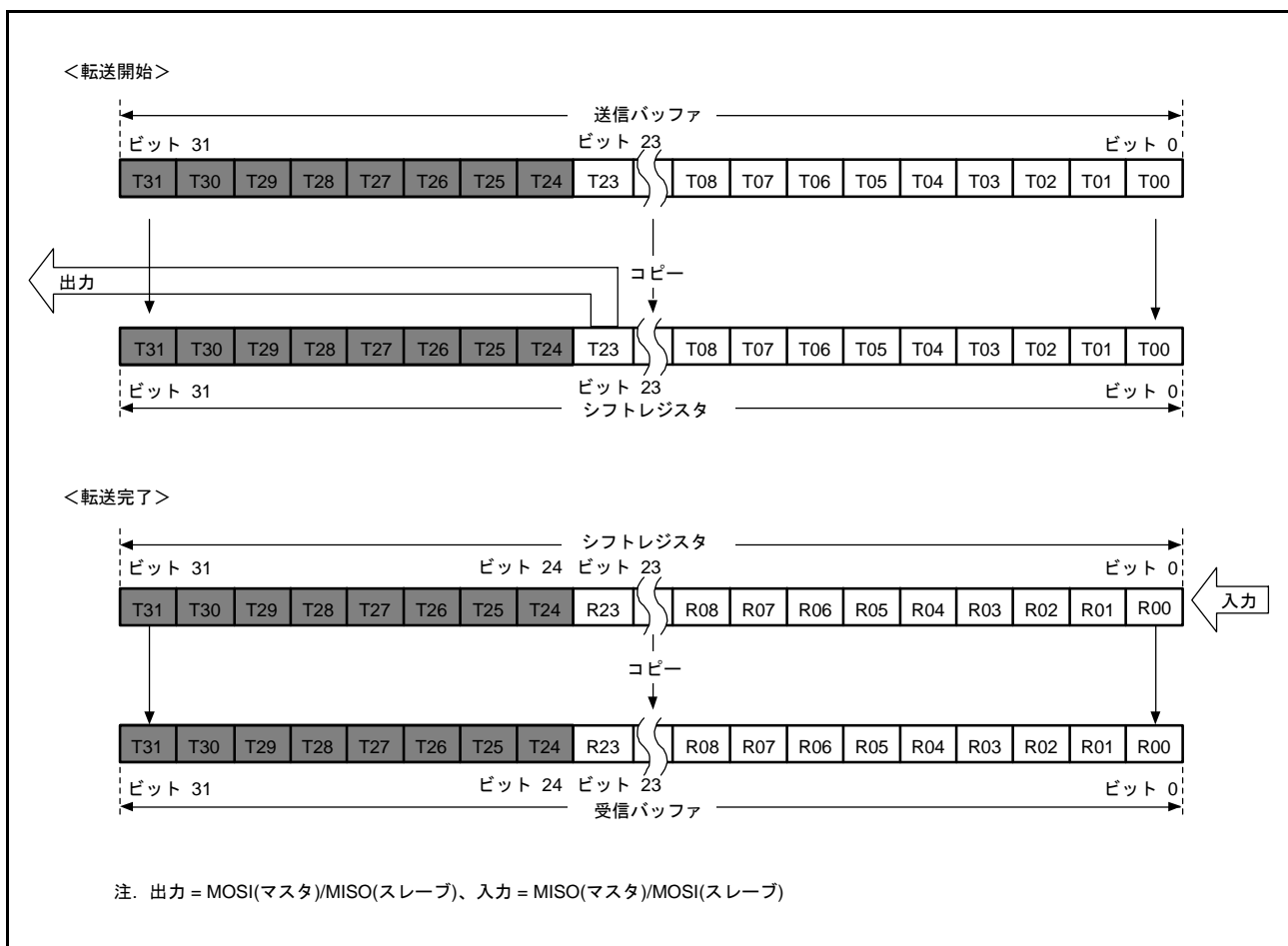


図 27.15 MSB ファースト転送 (24 ビットデータ / パリティ機能無効)

(3) LSB ファースト転送 (32 ビットデータ)

図 27.16 に、RSPI がパリティ機能無効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファのデータ (T31 ~ T00) をビット単位で入れ替え、シフトレジスタに T00 ~ T31 の順番に並び替えコピーします。送信データは、T00 → T01 → … → T31 の順番にシフトレジスタの値をシフトし送信します。

受信時は、最初のデータをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R31 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

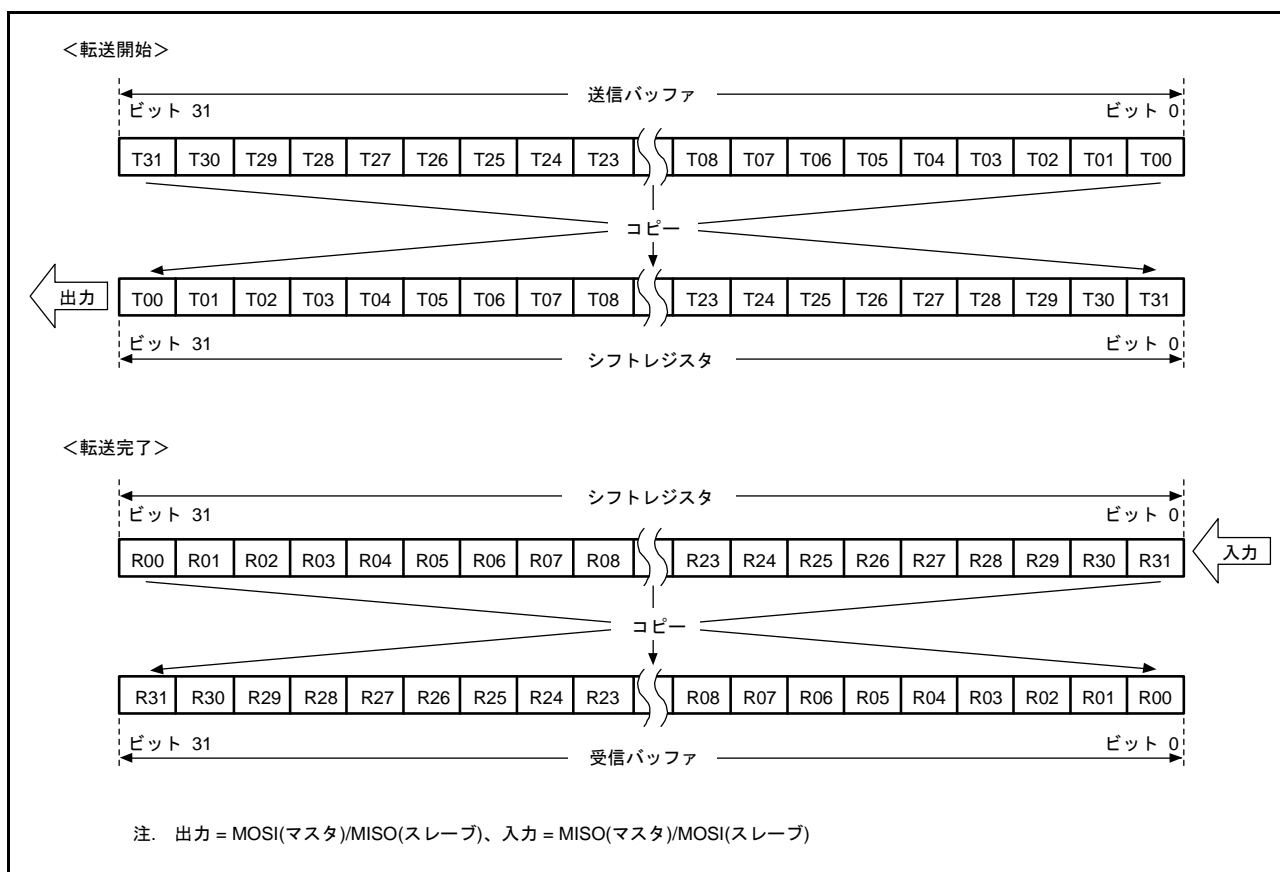


図 27.16 LSB ファースト転送 (32 ビットデータ / パリティ機能無効)

(4) LSB ファースト転送 (24 ビットデータ)

図 27.17 に、RSPI がパリティ機能無効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、送信バッファの下位 24 ビット (T23 ~ T00) をビット単位で T00 ~ T23 と入れ替えシフトレジスタにコピーします。送信データは、T00 → T01 → … → T23 の順番にシフトレジスタの値をシフトし送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ R23 までデータがたまると、シフトレジスタの値を受信バッファにコピーします。

このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に “0” を書き込んでおくことにより、受信バッファの上位 8 ビットに “0” を入れることができます。

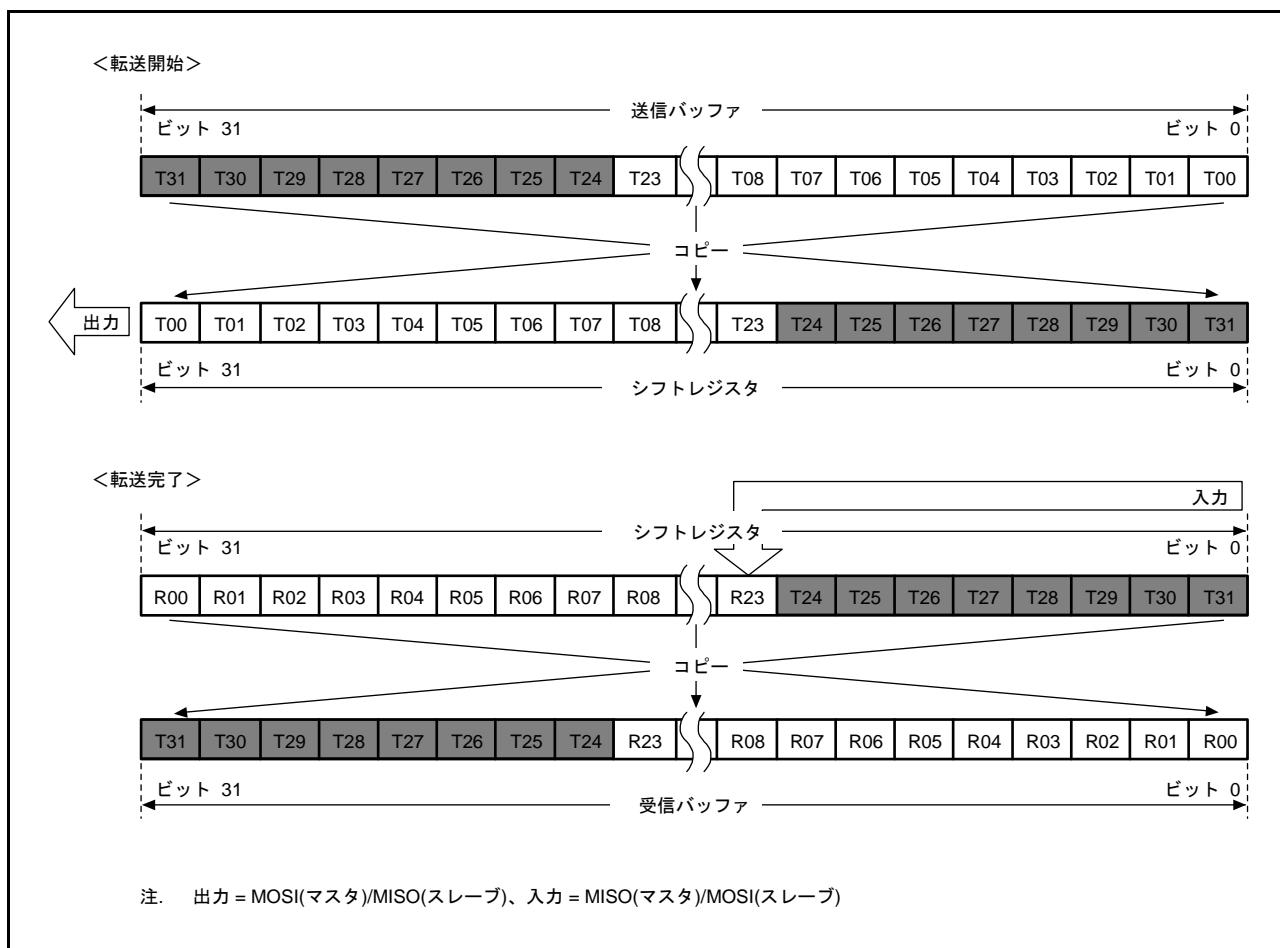


図 27.17 LSB ファースト (24 ビットデータ / パリティ機能無効)

27.3.4.2 パリティ機能有効時 (SPCR2.SPPE = 1)

パリティ機能有効時は、送受信データの最下位ビットをパリティビットに変換します。パリティビットの値は、ハードウェアで計算を行い変換します。

(1) MSB ファースト転送 (32 ビットデータ)

図 27.18 に、パリティ機能有効時、RSPI がデータ長 32 ビットの MSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T31 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T31 → T30 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R31 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R31 ~ P のデータをチェックし、パリティエラーの判定を行います。

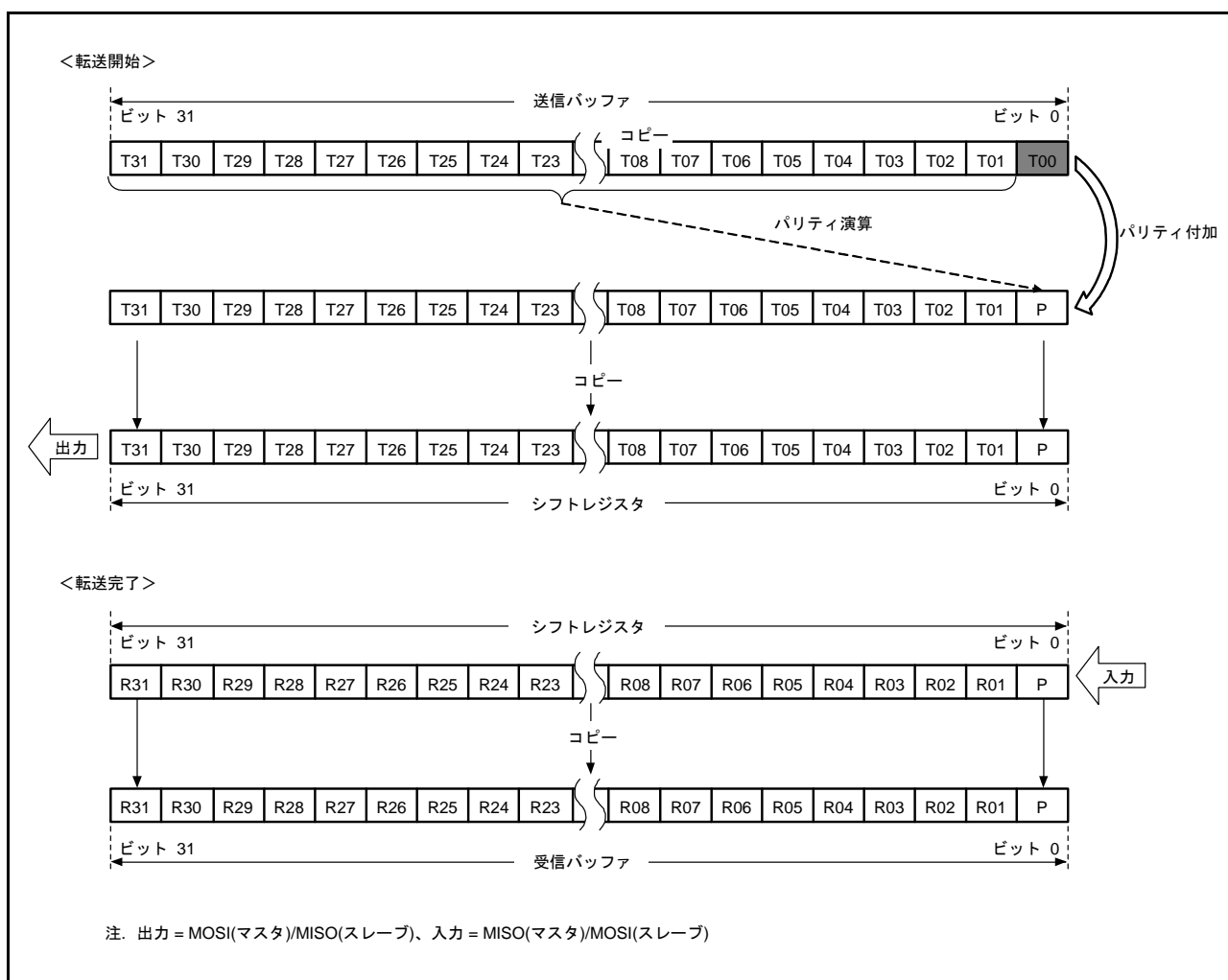


図 27.18 MSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(2) MSB ファースト転送 (24 ビットデータ)

図 27.19 に、RSPI がパリティ機能有効時、32 ビット以外のデータを MSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T23 ~ T01 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T00 と置き換え、シフトレジスタにコピーします。送信データは、T23 → T22 → … → T01 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R23 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R23 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

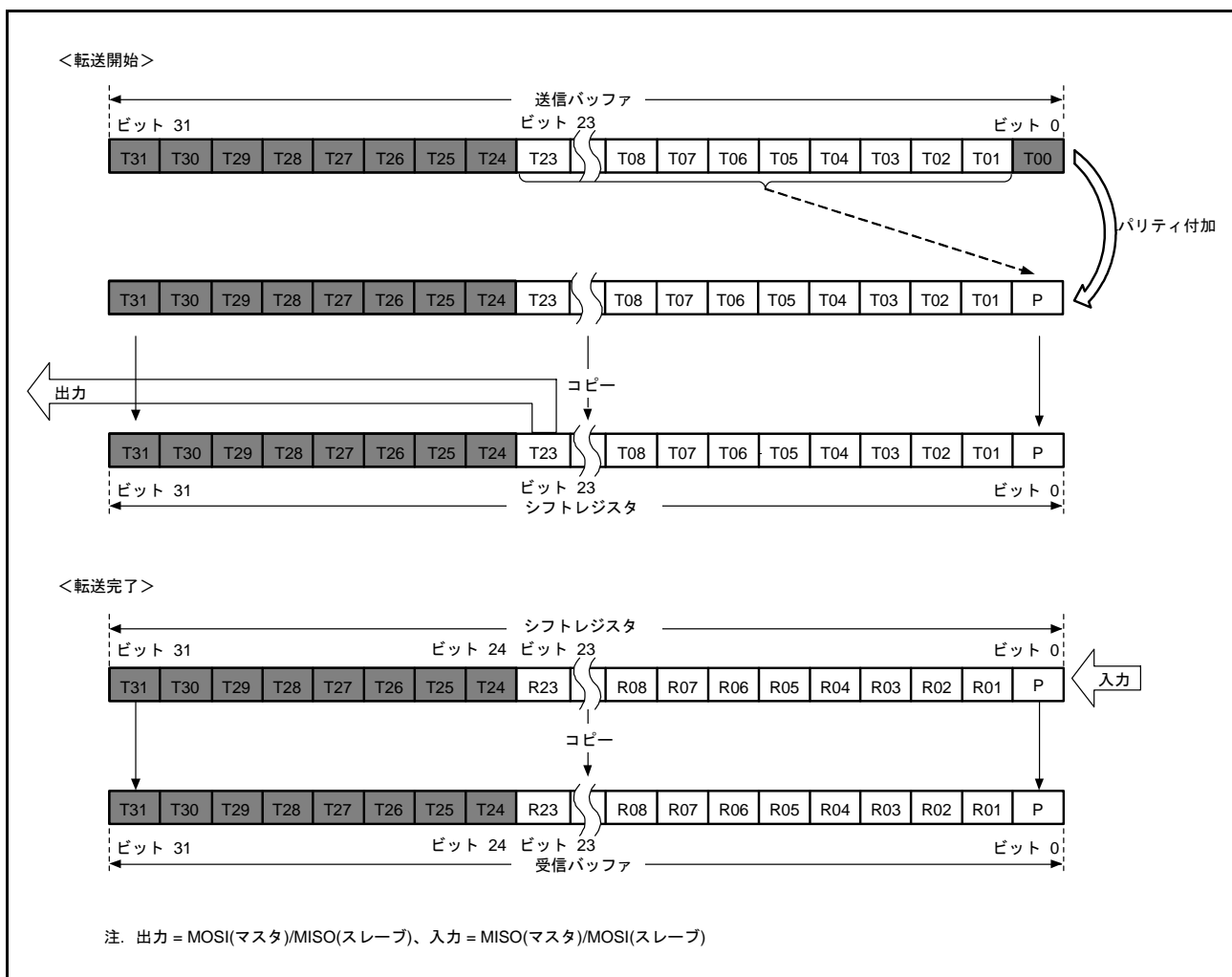


図 27.19 MSB ファースト転送 (24 ビットデータ / パリティ機能有効)

(3) LSB ファースト転送 (32 ビットデータ)

図 27.20 に、RSPI がパリティ機能有効時、データ長 32 ビットの LSB ファースト転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T30 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T31 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T30 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 0 に格納し、1 データごと受信データをシフトします。必要分の RSPCK が入力され R00 ~ P まで受信データがたまと、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。

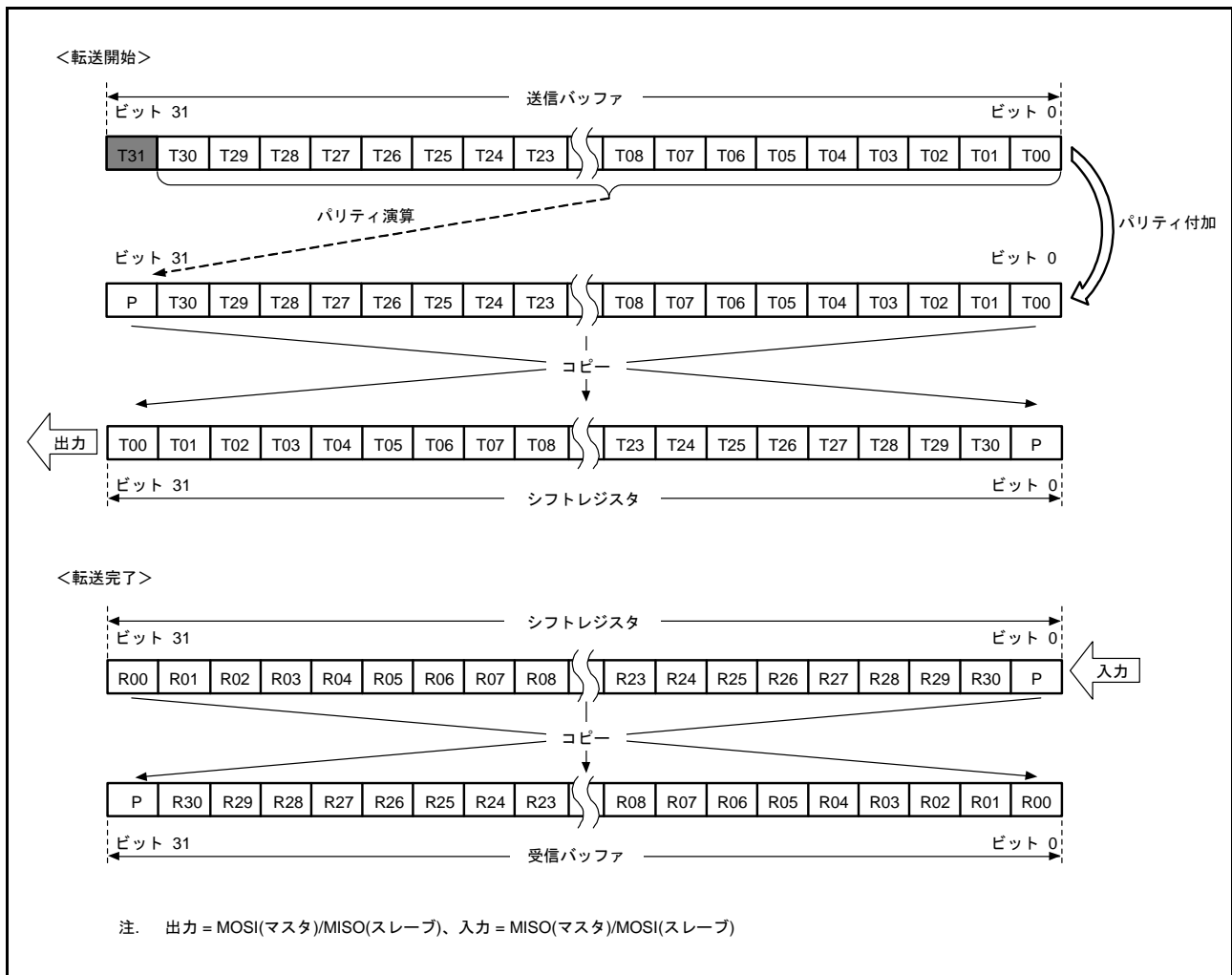


図 27.20 LSB ファースト転送 (32 ビットデータ / パリティ機能有効)

(4) LSB ファースト転送 (24 ビットデータ)

図 27.21 に、RSPI がパリティ機能有効時、32 ビット以外のデータを LSB ファースト転送する例として、24 ビットのデータ転送を実施する場合の RSPI データレジスタ (SPDR) とシフトレジスタの動作内容を示します。

送信時は、最初に T22 ~ T00 までのデータ値より、パリティビット (P) の値を演算し、最終ビットである T23 と置き換え、シフトレジスタにコピーします。送信データは、T00 → T01 → … → T22 → P の順番に送信します。

受信時は、受信データをシフトレジスタのビット 8 に格納し、1 データごとに受信データをシフトします。必要分の RSPCK が入力され、R00 ~ P まで受信データがたまると、シフトレジスタの値を受信バッファにコピーします。シフトレジスタにデータをコピーすると、R00 ~ P のデータをチェックし、パリティエラーの判定を行います。このとき、受信バッファの上位 8 ビットには送信バッファの上位 8 ビットの値が格納されます。送信時に T31 ~ T24 に“0”を書き込んでおくことにより、受信バッファの上位 8 ビットに“0”を入れることができます。

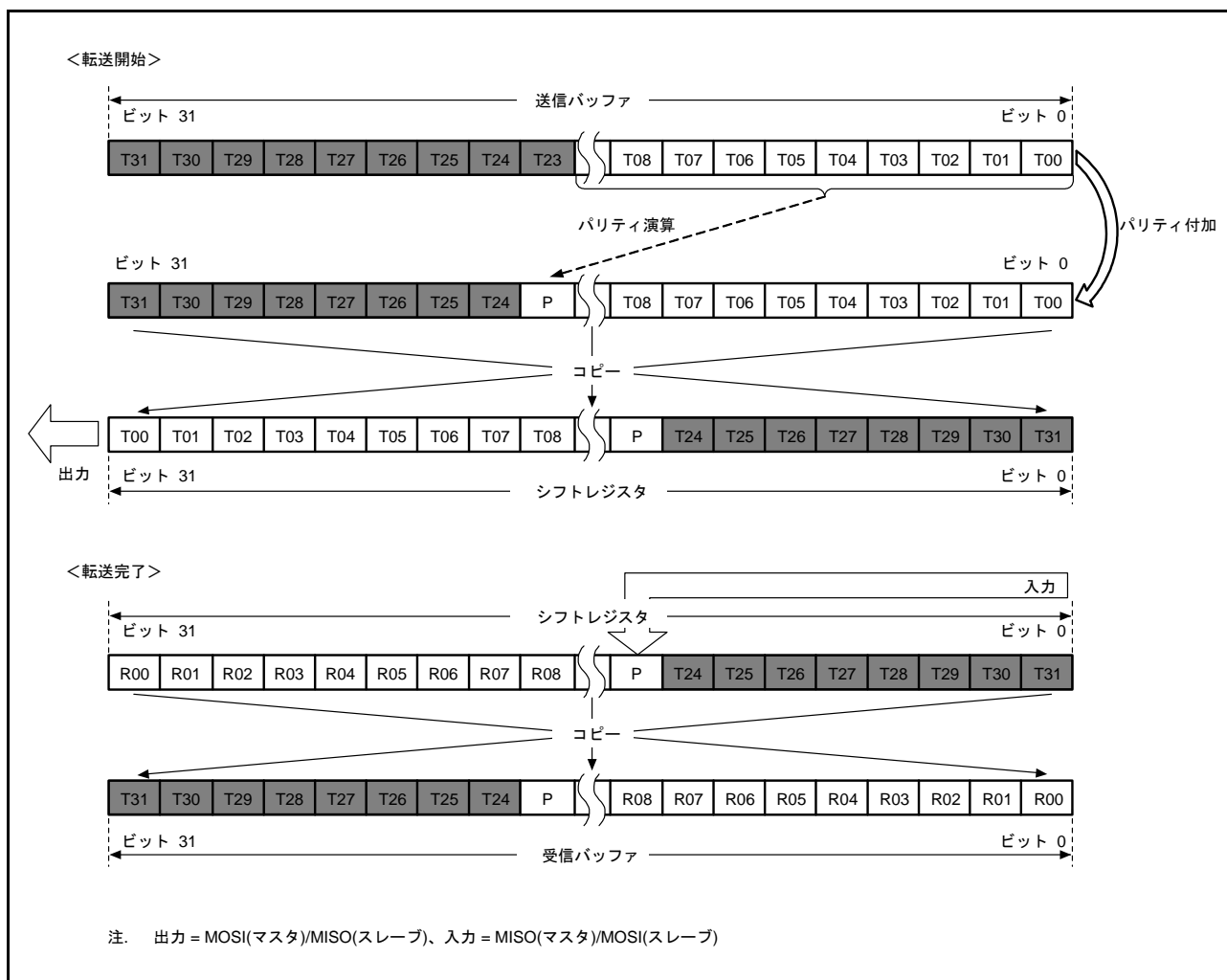


図 27.21 LSB ファースト (24 ビットデータ / パリティ機能有効)

27.3.5 転送フォーマット

27.3.5.1 CPHA ビット = 0 の場合

図 27.22 に SPCMDm.CPHA ビットが“0”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、RSPI がスレーブモード (SPCR.MSTR=0) で CPHA ビットが“0”の場合のクロック同期式動作 (SPCR.SPMS ビットが“1”の場合) はしないでください。図 27.22 において、RSPCKA (CPOL=0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL=1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI の設定に依存します。詳細は「27.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“0”の場合には、SSLAi 信号のアサートタイミングで、MOSIA 信号と MISOA 信号への有効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングが最初の転送データ取り込みタイミングになり、このタイミング以降 1 RSPCK 周期ごとにデータがサンプリングされます。MOSIA 信号と MISOA 信号の変化タイミングは、転送データ取り込みタイミングの 1/2 RSPCK 周期後になります。CPOL ビットの設定値は、RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1 は、SSLAi 信号のアサートから RSPCKA 発振までの期間 (RSPCK 遅延) です。t2 は、RSPCKA 発振停止から SSLAi 信号のネゲートまでの期間 (SSL ネゲート遅延) です。t3 は、シリアル転送終了後に次転送のための SSLAi 信号アサートを抑制するための期間 (次アクセス遅延) です。t1、t2、t3 は、RSPI システム上のマスタデバイスによって制御されます。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「27.3.10.1 マスタモード動作」を参照してください

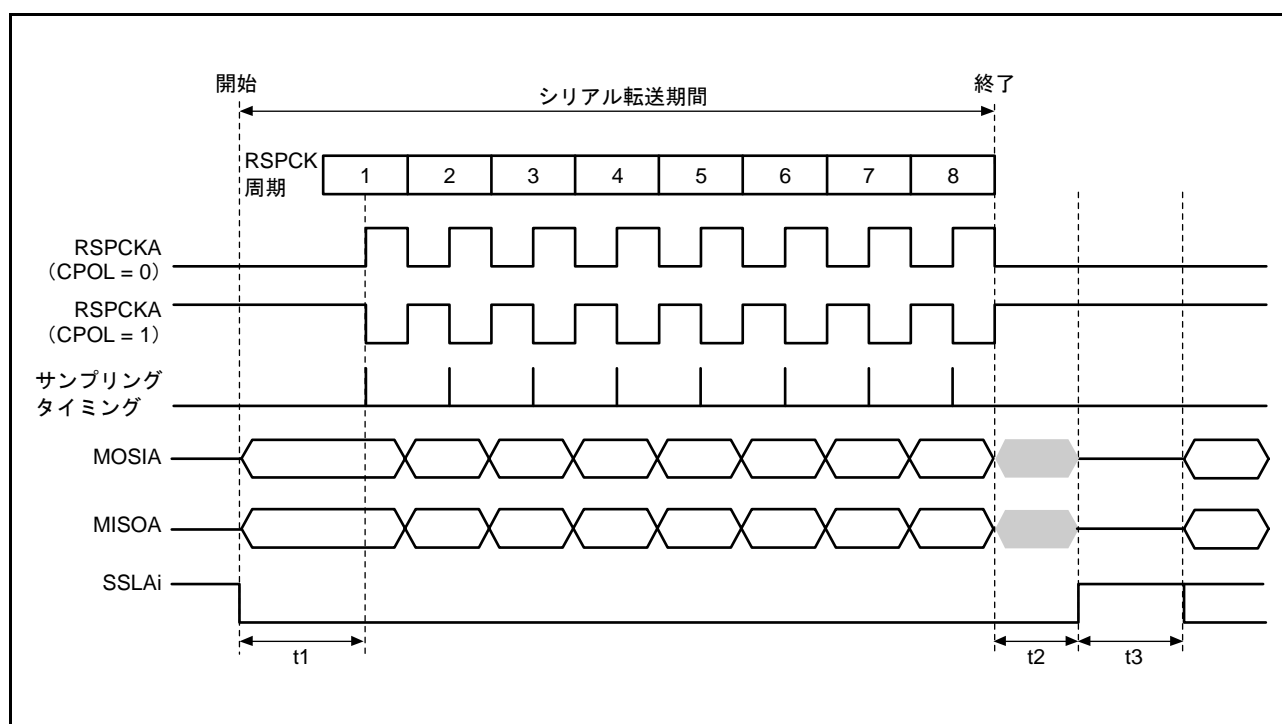


図 27.22 RSPI 転送フォーマット (CPHA ビット = 0)

27.3.5.2 CPHA ビット = 1 の場合

図 27.23 に SPCMDm.CPHA ビットが“1”の場合に、8 ビットのデータをシリアル転送した場合の転送フォーマット例を示します。ただし、SPCR.SPMS ビットが“1”の場合は SSLAi 信号を用いず、RSPCKA 信号、MOSIA 信号、MISOA 信号のみで通信を行います。図 27.23 において、RSPCKA (CPOL = 0) は SPCMDm.CPOL ビットが“0”の場合、RSPCKA (CPOL = 1) は SPCMDm.CPOL ビットが“1”の場合の RSPCKA 信号波形です。サンプリングタイミングは、RSPI がシフトレジスタにシリアル転送データを取り込むタイミングを示しています。各信号の入出力方向は、RSPI のモード (マスタ/スレーブ) に依存します。詳細は「27.3.2 RSPI 端子の制御」を参照してください。

SPCMDm.CPHA ビットが“1”の場合には、SSLAi 信号のアサートタイミングで、MISOA 信号に無効データのドライブが開始されます。SSLAi 信号のアサート後に発生する最初の RSPCKA 信号変化タイミングで、MOSIA 信号と MISOA 信号への有効データへの出力が開始され、このタイミング以降 1 RSPCK 周期ごとにデータが更新されます。転送データの取り込みは、このタイミングの 1/2 RSPCK 周期後になります。SPCMDm.CPOL ビットの設定値は RSPCKA 信号の動作タイミングには影響を与えず、信号極性のみに影響を与えます。

t1、t2、t3 の内容は、CPHA ビット = 0 の場合と同様です。本 MCU の RSPI がマスタモードである場合の t1、t2、t3 については、「27.3.10.1 マスタモード動作」を参照してください。

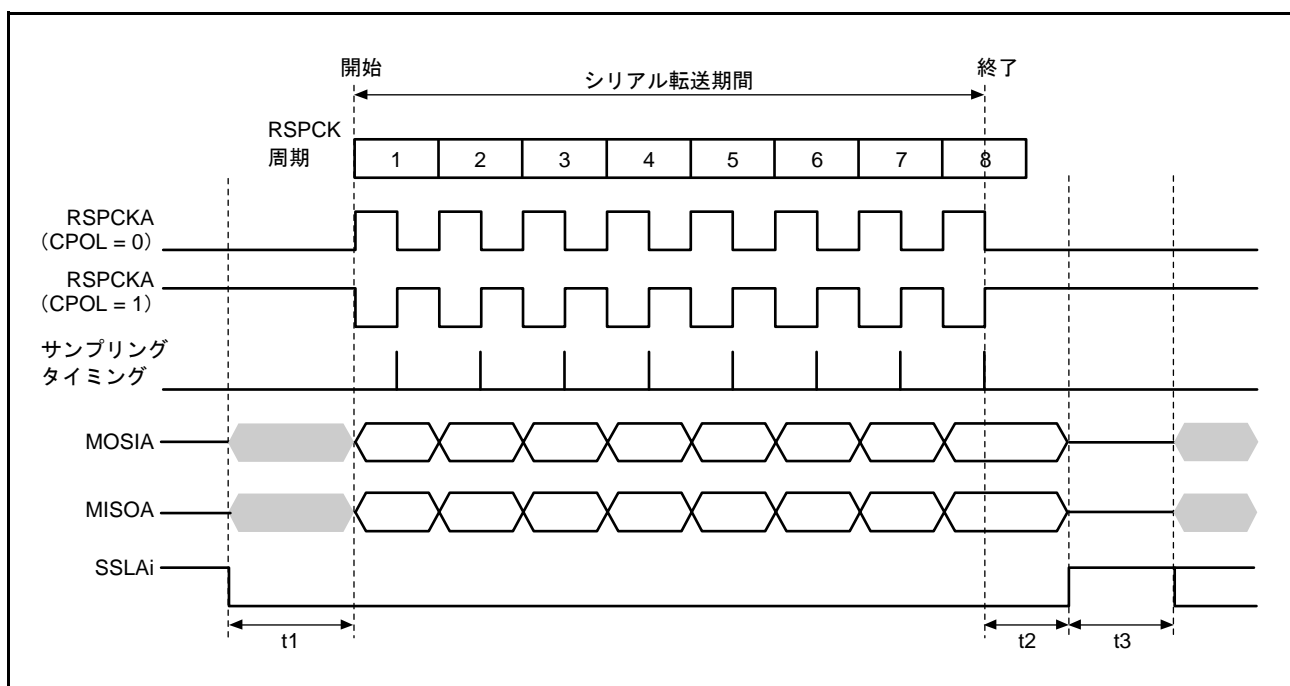


図 27.23 RSPI 転送フォーマット (CPHA ビット = 1)

27.3.6 通信動作モード

SPCR.TXMD ビットの設定により、全二重同期式シリアル通信または送信のみの動作を選択します。図 27.24、図 27.25 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクルを示しています。

27.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0)

図 27.24 に、SPCR.TXMD ビットを“0”にした場合の動作例を示します。図 27.24 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

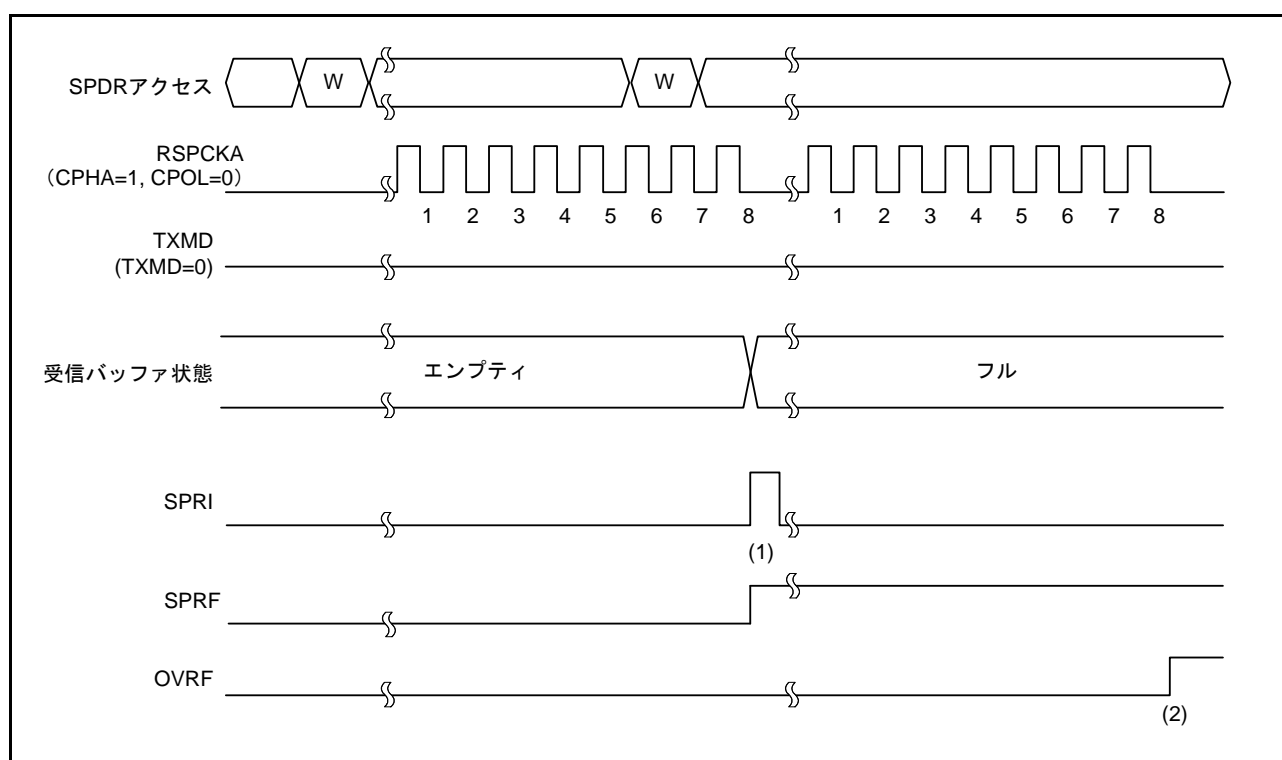


図 27.24 SPCR.TXMD = 0 の動作例

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生 (SPSR.SPRF フラグを“1”) してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

全二重同期式シリアル通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、SPSR.SPRF, OVRF フラグは受信バッファの状態に応じて、それぞれ (1)、(2) のタイミングで“1”になります。

27.3.6.2 送信のみ動作 (SPCR.TXMD = 1)

図 27.25 に、SPCR.TXMD ビットを“1”に設定した場合の動作例を示します。図 27.25 の例では、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPIが8ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

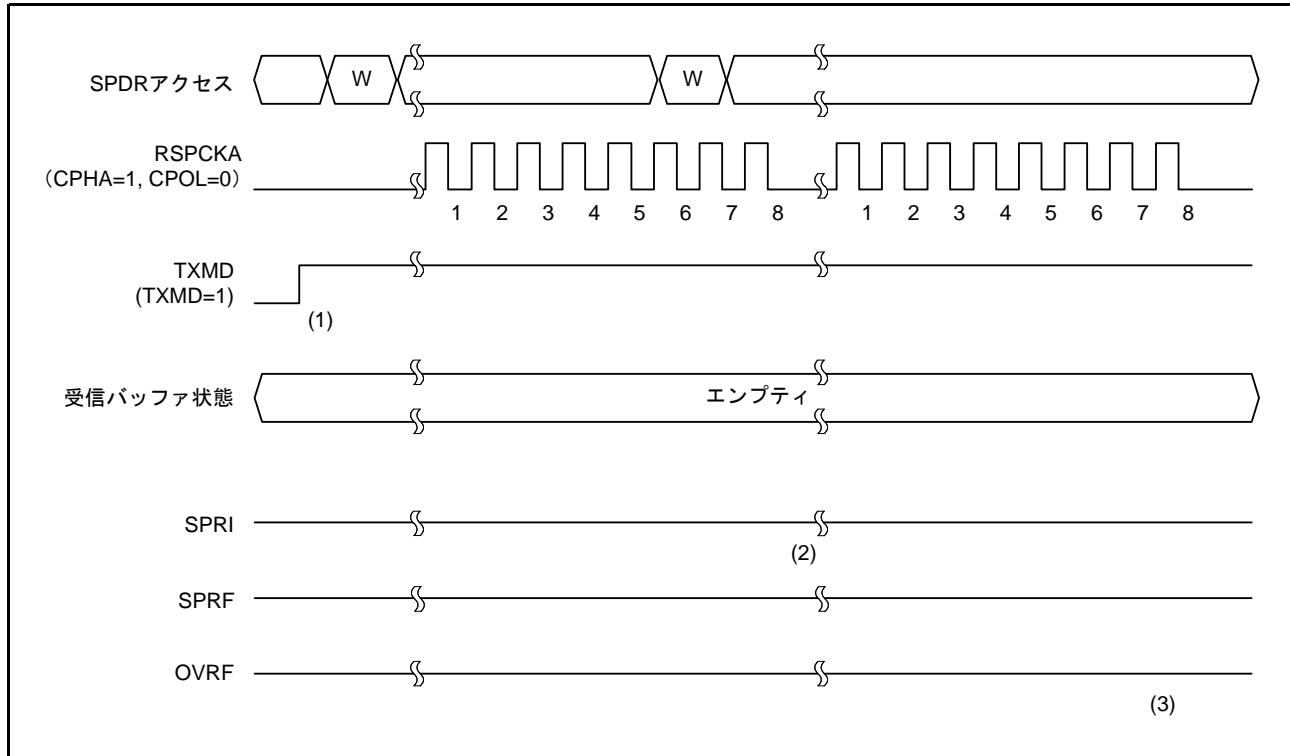


図 27.25 SPCR.TXMD = 1 の動作例

以下に、図中の (1)、(2)、(3) に示したタイミングでのフラグの動作内容を説明します。

- (1) 送信のみ動作 (SPCR.TXMD = 1) への遷移は、受信バッファにデータが残っていないこと、SPSR.SPRF, OVRF フラグが“0”であることを確認してから、行ってください。
- (2) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、送信のみ動作 (SPCR.TXMD = 1) のときは、SPRF フラグは“0”を維持し、シフトレジスタのデータを受信バッファへコピーしません。
- (3) SPDR レジスタの受信バッファに以前の受信データは存在しないため、シリアル転送が終了しても、SPSR.OVRF フラグは“0”を保持し、シフトレジスタのデータを受信バッファへコピーしません。

送信のみ動作時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF, OVRF フラグは (1)、(2)、(3) いずれのタイミングでも“0”を保持します。

27.3.7 送信バッファエンプティ/受信バッファフル割り込み

図 27.26 に送信バッファエンプティ割り込み (SPTI) と受信バッファフル割り込み (SPRI) の動作例を示します。図 27.26 に記載した“SPDR アクセス”は、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 27.26 の例では、SPCR.TXMD ビットが“0”、SPDCR.SPFC[1:0] ビットが“00b”、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

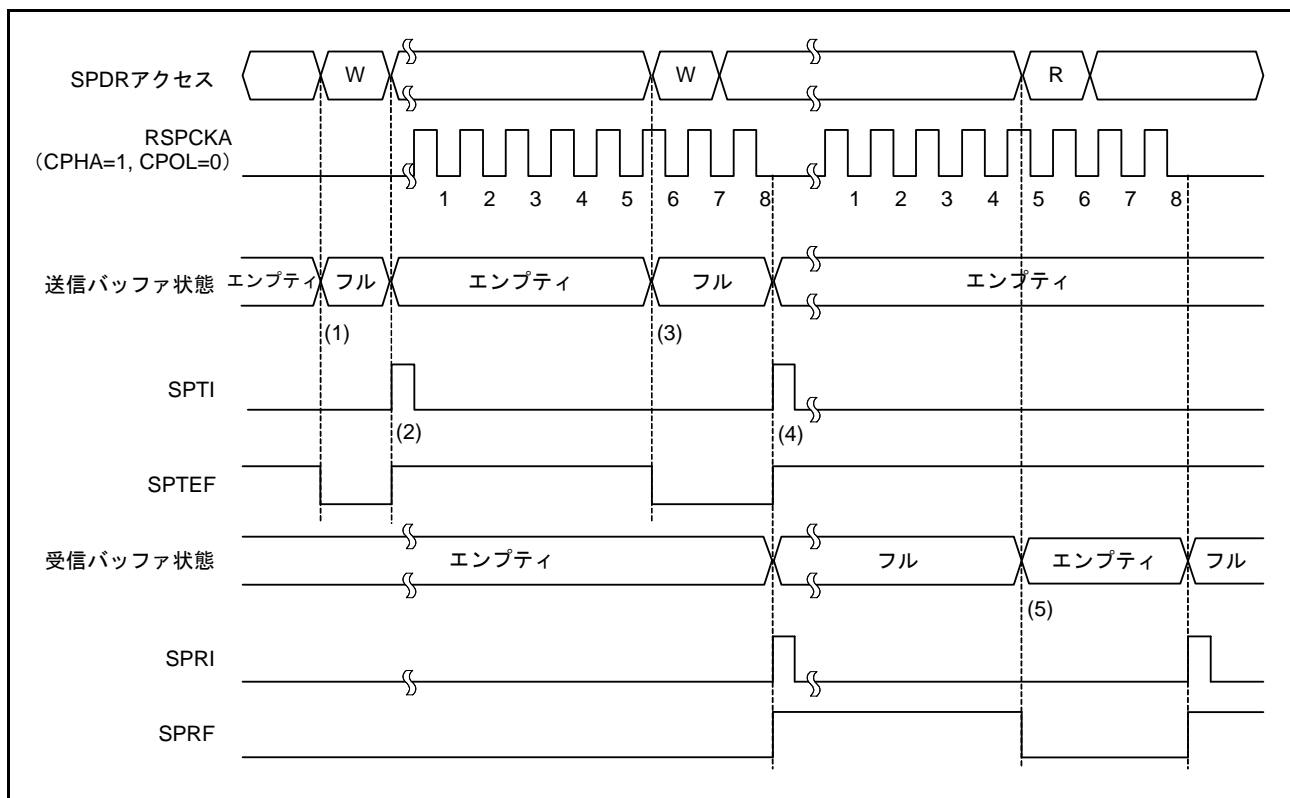


図 27.26 SPTI、SPRI 割り込みの動作例

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の（次転送のデータがセットされていない）状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンプティ割り込み要求 (SPTI) を発生し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。（「27.3.10 SPI 動作」、「27.3.11 クロック同期式動作」参照）
- (3) 送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
- (4) SPDR レジスタの受信バッファが空の状態では、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生させ、SPSR.SPRF フラグを“1”にします。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が SPSR.SPTEF フラグを“1”にして送

送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

- (5) 受信バッファフル割り込みルーチンまたは SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります。

送信バッファに未送信のデータがある状態 (SPTEF フラグが“0”) で、SPDR レジスタに送信データを書き込んだ場合には、RSPI は送信バッファのデータを更新しません。SPDR レジスタに送信データを書き込む場合には、送信バッファエンプティ割り込みルーチンまたは SPTEF フラグによる送信バッファエンプティ判定処理で行ってください。また、送信バッファエンプティ割り込みを利用する場合には、SPCR の SPTIE ビットを“1”にしてください。

SPCR.SPE ビットを“0” (RSPI 機能は無効) にするときは、SPCR.SPTIE ビットも同時に“0”にしてください。SPCR.SPE ビットが“0”のときに SPCR.SPTIE ビットが“1”であると、送信バッファエンプティ割り込み要求が発生します。

受信バッファフル (SPRF フラグが“1”) の状態で、シリアル転送が終了した場合には、RSPI はシフトレジスタから受信バッファへのデータのコピーを行わず、オーバランエラーを検出します (「27.3.8 エラー検出」参照)。受信データのオーバランを防ぐために、受信バッファフル割り込み要求で、次のシリアル転送終了よりも前に受信データを読み出してください。また RSPI 受信バッファフル割り込みを利用する場合には、SPCR.SPRIE ビットを“1”にしてください。

送信 / 受信バッファの状態は、送信 / 受信割り込み、または対応する ICU の IRn.IR フラグ (n = 割り込みベクタ番号) によって確認することができます。割り込みベクタ番号については、「14. 割り込みコントローラ (ICUb)」を参照してください。また、SPTEF フラグ / SPRF フラグによって確認することもできます。

27.3.8 エラー検出

通常のRSPIのシリアル転送では、SPDRレジスタの送信バッファに書き込んだデータが送信され、受信されたデータをSPDRレジスタの受信バッファから読み出すことができます。SPDRレジスタへアクセスした場合の送受信バッファの状態やシリアル転送の開始/終了時のRSPIの状態によっては、通常以外の転送が実行される場合があります。

一部の通常以外の転送動作が発生した場合には、RSPIはオーバランエラー、パリティエラーまたはモードフォルトエラーとして検出します。表27.8に、通常以外の転送動作とRSPIのエラー検出機能の関係を示します。

表27.8 通常以外の転送の発生条件とRSPIのエラー検出機能

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ですPDRレジスタを書き込み	<ul style="list-style-type: none"> 送信バッファ内容を保持 書き込みデータ欠落 	なし
2	受信バッファエンプティの状態ですPDRレジスタを読み出し	前回受信したデータをバスに出力	なし
3	スレーブモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
4	受信バッファフルの状態です、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> シリアル転送を中断 送受信データ欠落 RSPCKA、MOSIA、SSLA1～3出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出
8	スレーブモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> シリアル転送中断 送受信データ欠落 MISOA出力信号のドライブ停止 RSPI機能は無効 	モードフォルトエラー検出

表27.8の1に示した動作に対しては、RSPIはエラーを検出しません。SPDRレジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、またはSPSR.SPTEFフラグが“1”のときにSPDRレジスタへの書き込みを実施してください。

2に示した動作に対しても、RSPIはエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI受信バッファフル割り込み要求発生時、またはSPSR.SPRFフラグが“1”のときにSPDRレジスタの読み出しを実行するようにしてください。

3に示した動作に対しても、RSPIはエラーを検出しません。RSPIでは、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、3に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データはSPDRレジスタの受信バッファに保持されているので、正しく読み出されます（シリアル転送が終了する前にSPDRレジスタを読み出さないと、オーバランエラーが発生します）。

4に示したオーバランエラーについては「27.3.8.1 オーバランエラー」で、5に示したパリティエラーについては「27.3.8.2 パリティエラー」で説明します。また、6～8に示したモードフォルトエラーについては「27.3.8.3 モードフォルトエラー」で説明します。

なお、送受信の割り込みについては、「27.3.7 送信バッファエンプティ/受信バッファフル割り込み」を参照してください。

27.3.8.1 オーバランエラー

SPDR レジスタの受信バッファフル状態でシリアル転送が終了すると、RSPI はオーバランエラーを検出して SPSR.OVRF フラグを“1”にします。OVRF フラグが“1”の状態では、RSPI はシフトレジスタのデータを受信バッファにコピーしないので、受信バッファにはエラー発生前のデータが保持されます。OVRF フラグを“0”にするためには、OVRF フラグが“1”にセットされた状態の SPSR レジスタを読み出した後に、OVRF フラグに“0”を書く必要があります。

図 27.27 に、SPRF フラグと OVRF フラグの動作を示します。図 27.27 に記載した SPSR アクセスと SPDR アクセスは、それぞれ SPSR、SPDR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 27.27 の例では、SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

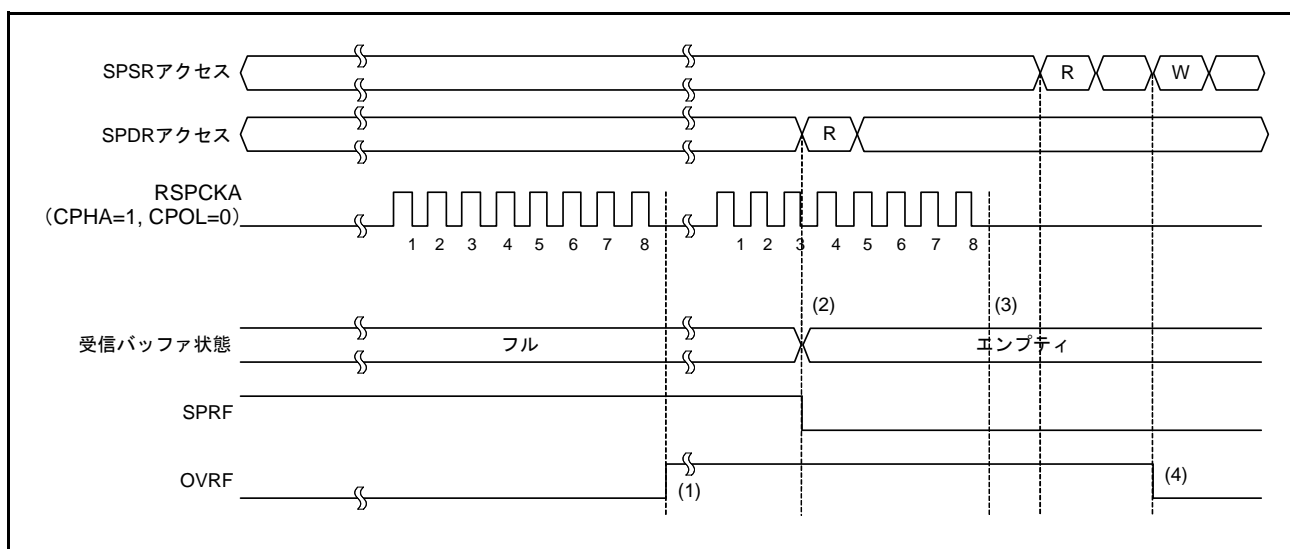


図 27.27 SPRF フラグと OVRF フラグの動作例

以下に、図中の (1) ~ (4) に示したタイミングでのフラグの動作内容を説明します。

- (1) 受信バッファフル (SPRF フラグが“1”) の状態でシリアル転送が終了すると、RSPI がオーバランエラーを検出し、OVRF フラグを“1”にします。RSPI はシフトレジスタのデータを受信バッファにコピーしません。また、SPPE ビットが“1”であっても、パリティエラーの検出は行いません。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) SPDR レジスタを読み出すと、RSPI は受信バッファのデータが読み出せます。このとき SPRF フラグは“0”になります。受信バッファが空になっても、OVRF フラグは“0”になりません。
- (3) OVRF フラグが“1”の状態 (オーバランエラー) でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません (SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (4) OVRF フラグが“1”の状態でも SPSR レジスタを読んだ後、OVRF フラグに“0”を書くと、RSPI は OVRF フラグを“0”にします。

オーバランの発生は、SPSR レジスタの読み出しあるいは RSPI エラー割り込みと SPSR レジスタの読み出

しによって確認できます。シリアル転送を実行する場合には、SPDR レジスタの読み出し直後に SPSR レジスタを読み出すなどの方法で、オーバーランエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

オーバーランエラーが発生して OVRF フラグが“1”になると、OVRF フラグが“0”になるまで正常な受信動作ができなくなります。

マスタモードで RSPCK 自動停止機能を有効にした場合は、オーバーランエラーが発生しません。図 27.28、図 27.29 にマスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形を示します。

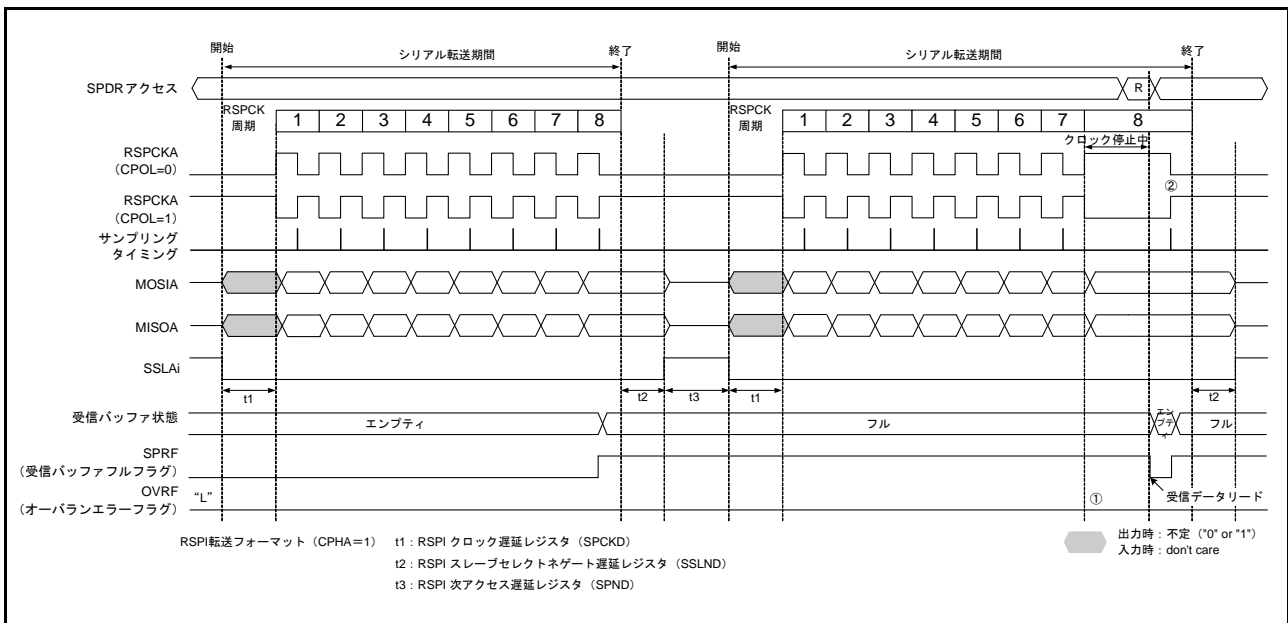


図 27.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)

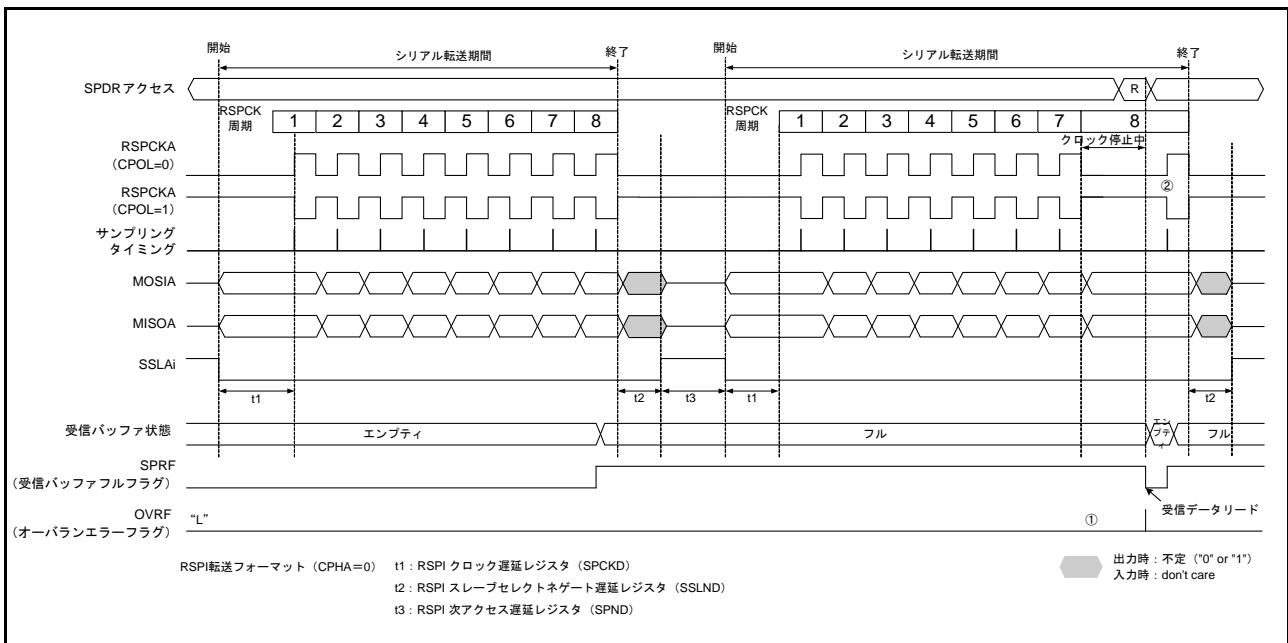


図 27.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0)

以下に、図中の (1)、(2) に示したタイミングでのフラグ動作を説明します。

- (1) 受信バッファフルの場合は、RSPCK クロックが停止するためオーバランエラーは発生しません。
- (2) クロック停止中に SPDR を読み出すと、受信バッファのデータが読み出せます。受信バッファの読み出し後 (SPRF フラグが“0”になった後)、RSPCK クロックが再開します。

27.3.8.2 パリティエラー

SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行い、転送が終了すると、パリティエラーの判定を行います。RSPIは、受信データにパリティエラーを検出すると、SPSR.PERF フラグを“1”にします。SPSR.OVRF フラグが“1”の状態では、RSPIはシフトレジスタのデータを受信バッファにコピーしないので、受信データに対するパリティエラーの検出は行いません。PERF フラグを“0”にするためには、PERF フラグが“1”の状態のSPSRレジスタを読んだ後、PERF フラグに“0”を書く必要があります。

図 27.30 に、OVRF フラグと PERF フラグの動作を示します。図 27.30 に記載した“SPSR アクセス”は、SPSR レジスタへのアクセス状況を示しています。“W”は書き込みサイクル、“R”は読み出しサイクルを示しています。図 27.30 の例では、SPCR.TXMD ビットが“0”、SPCR2.SPPE ビットが“1”の状態ですべて二重同期式シリアル通信を行います。SPCMDm.CPHA ビットが“1”、SPCMDm.CPOL ビットが“0”の設定で、RSPI が 8 ビットのシリアル転送を実行しています。RSPCKA 波形の下に記載した数字は RSPCK サイクル数 (= 転送ビット数) を示しています。

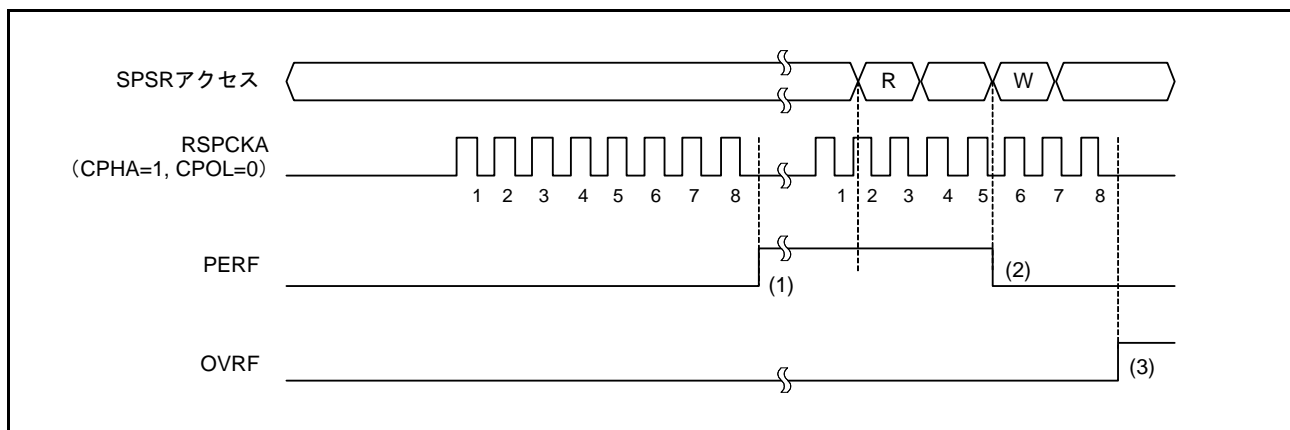


図 27.30 PERF フラグの動作例

以下に、図中の (1) ~ (3) に示したタイミングでのフラグの動作内容を説明します。

- (1) RSPI がオーバランエラーを検出せず、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーします。このとき、RSPI が受信データを判定し、パリティエラーを検出すると PERF フラグを“1”にします。マスタモードの場合には、SPSSR.SPECM[2:0] ビットに、SPCMDm レジスタに対するポインタの値をコピーします。
- (2) PERF フラグが“1”の状態ですべてレジスタを読んだ後、PERF フラグに“0”を書くと、PERF フラグが“0”になります。
- (3) RSPI がオーバランエラーを検出し、シリアル転送が終了すると、シフトレジスタのデータを受信バッファにコピーしません。このとき、RSPI はパリティエラーを検出しません。

パリティエラーの発生は、SPSR レジスタの読み出し、あるいは RSPI エラー割り込みと SPSR レジスタの読み出しによって確認できます。シリアル転送を実行する場合には、SPSR フラグを読み出すなどの方法で、パリティエラー発生を早期に検出できるように対処してください。RSPI をマスタモードで使用する場合、SPSSR.SPECM[2:0] ビットを読み出すことで、エラー発生時の SPCMDm レジスタに対するポインタ値を確認できます。

27.3.8.3 モードフォルトエラー

SPCR.MSTR ビットが“1”、SPCR.SPMS ビットが“0”、SPCR.MODFEN ビットが“1”の場合には、RSPIはマルチマスタモードで動作します。マルチマスタモードのRSPIのSSLA0入力信号に対してアクティブレベルが入力されると、シリアル転送状態にかかわらず、RSPIはモードフォルトエラーを検出してSPSR.MODFフラグを“1”にします。モードフォルトエラーを検出すると、RSPIはSPSSR.SPECM[2:0]ビットに、SPCMDmレジスタに対するポインタの値をコピーします。なお、SSLA0信号のアクティブレベルは、SSLP.SSLOPビットによって決定されます。

MSTR ビットが“0”の場合には、RSPIはスレーブモードで動作します。スレーブモードのRSPIのMODFEN ビットが“1”、SPMS ビットが“0”の場合、シリアル転送期間（有効データのドライブ開始から最終有効データの取り込みまで）にSSLA0入力信号がネゲートされると、RSPIはモードフォルトエラーを検出します。

RSPIはモードフォルトエラーを検出すると、出力信号のドライブ停止およびSPCR.SPEビットのクリアを実施します（「27.3.9 RSPIの初期化」を参照）。マルチマスタ構成の場合には、モードフォルトエラーを利用して出力信号のドライブとRSPI機能を停止させ、マスタ権の解放を実現できます。

モードフォルトエラーの発生は、SPSRレジスタの読み出し、あるいはRSPIエラー割り込みとSPSRレジスタの読み出しによって確認できます。RSPIエラー割り込みを利用せずにモードフォルトエラーを検出するためには、SPSRレジスタをポーリングする必要があります。RSPIをマスタモードで使用する場合、SPSSR.SPECM[2:0]ビットを読み出すことで、エラー発生時のSPCMDmレジスタに対するポインタ値を確認できます。

MODFフラグが“1”の状態では、RSPIはSPEビットへの“1”の書き込みを無視します。モードフォルトエラー検出後にRSPI機能を有効にするためには、MODFフラグを“0”にしてください。

27.3.9 RSPIの初期化

SPCR.SPE ビットに“0”を書いた場合、またはモードフォルトエラー検出によりRSPIがSPEビットを“0”にした場合には、RSPIはRSPI機能を無効化し、モジュール機能の一部を初期化します。また、システムリセットが発生した場合には、RSPIはモジュール機能をすべて初期化します。以下に、SPCR.SPEビットを“0”にすることによる初期化とシステムリセットによる初期化について説明します。

27.3.9.1 SPEビットのクリアによる初期化

SPCR.SPE ビットを“0”にしたとき、RSPIは以下に示す初期化を実施します。

- 実行中のシリアル転送を中断
- スレーブモードの場合、出力信号のドライブ停止 (Hi-Z)
- RSPI 内部ステータスの初期化
- RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

SPE ビットを“0”にする初期化では、RSPIの制御ビットは初期化されません。このため、再度SPEビットを“1”にすれば初期化前と同じ転送モードでRSPIを起動できます。

SPSR.SPRF, OVRF, MODF, PERF フラグの値は初期化されません。また、SPSSRレジスタの値も初期化されません。このため、RSPIの初期化後も受信バッファのデータの読み出し、RSPI転送時のエラー発生状況の確認ができます。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI初期化後にSPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPUでRSPIを初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPEビットへの“0”書き込みと同時にSPTIEビットにも“0”を書いてください。

27.3.9.2 システムリセット

システムリセットによる初期化では、「27.3.9.1 SPEビットのクリアによる初期化」に記載の事項に加え、RSPI制御用の全ビットの初期化、ステータスビットの初期化、データレジスタの初期化が実施され、RSPIが完全に初期化されます。

27.3.10 SPI 動作

27.3.10.1 マスタモード動作

シングルマスタモード動作とマルチマスタモード動作の違いは、モードフォルトエラー検出（「27.3.8 エラー検出」を参照）のみです。シングルマスタモードのRSPIではモードフォルトエラーを検出しません。マルチマスタモードのRSPIではモードフォルトエラーを検出します。本節では、シングル/マルチマスタモードで共通する動作について説明します。

(1) シリアル転送の開始

RSPI送信バッファが空（SPTEFフラグが“1”、次転送のデータがセットされていない）の状態、SPDRレジスタへデータを書き込むと、RSPIはSPDRレジスタの送信バッファ（SPTX）のデータを更新します。SPDRレジスタへSPDCR.SPFC[1:0]ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については「27.3.5 転送フォーマット」を参照してください。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。

(2) シリアル転送の終了

SPCMDm.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ（SPRX）が空（SPRFフラグが“0”）の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0]ビットの設定値に依存します。SSLAi出力端子の極性は、SSLPレジスタの設定値に依存します。RSPIの転送フォーマットの詳細については「27.3.5 転送フォーマット」を参照してください。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 端子の出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCK 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタにはRSPI次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットを読むことによって確認できます。SPCR.SPE ビットを“1”にしてRSPI機能を許可すると、RSPIはコマンドに対するポインタをSPCMD0 レジスタにセットし、シリアル転送の開始時にSPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタをSPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

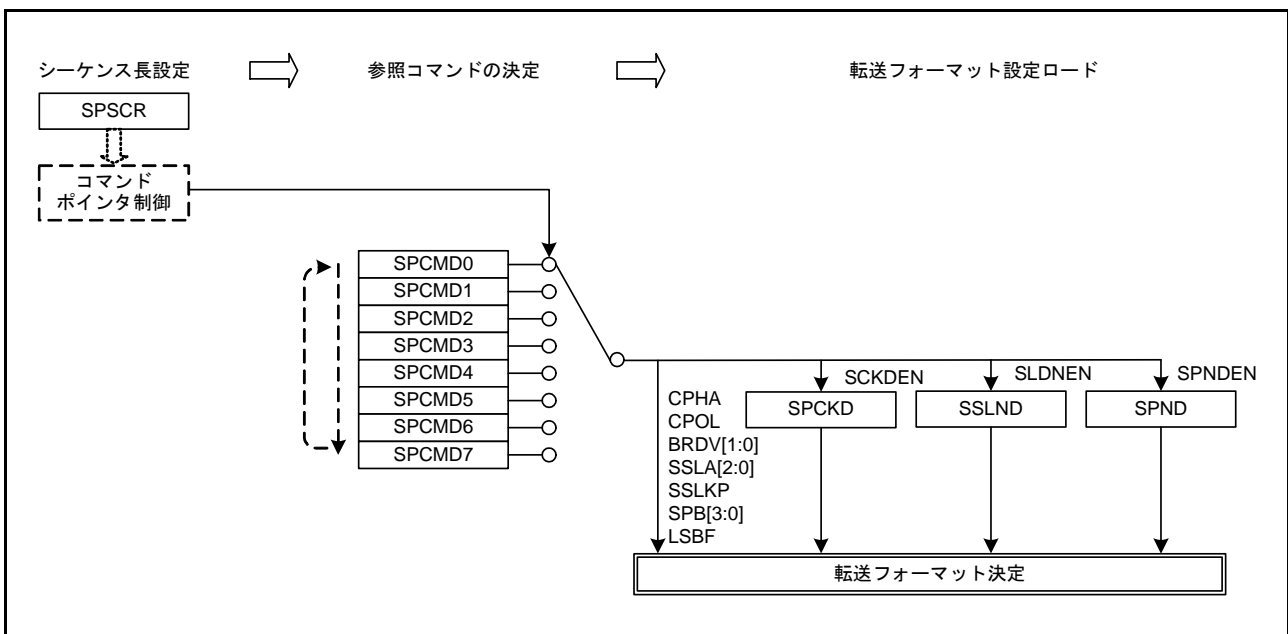


図 27.31 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

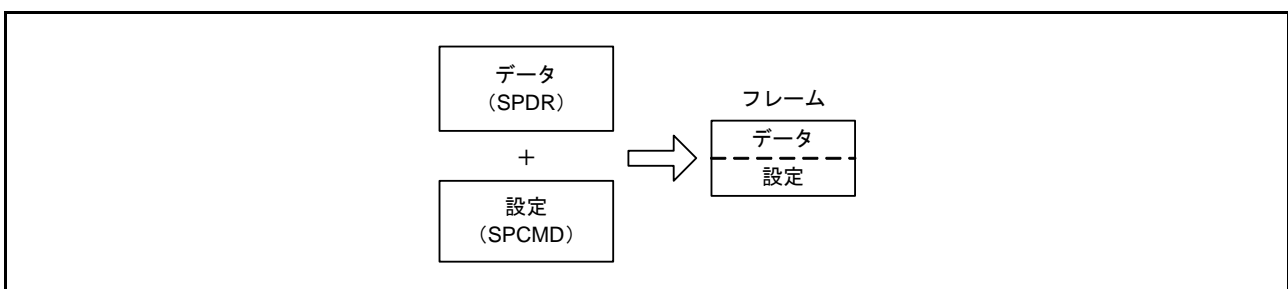


図 27.32 フレームの概念図

表 27.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 27.33 に示します。

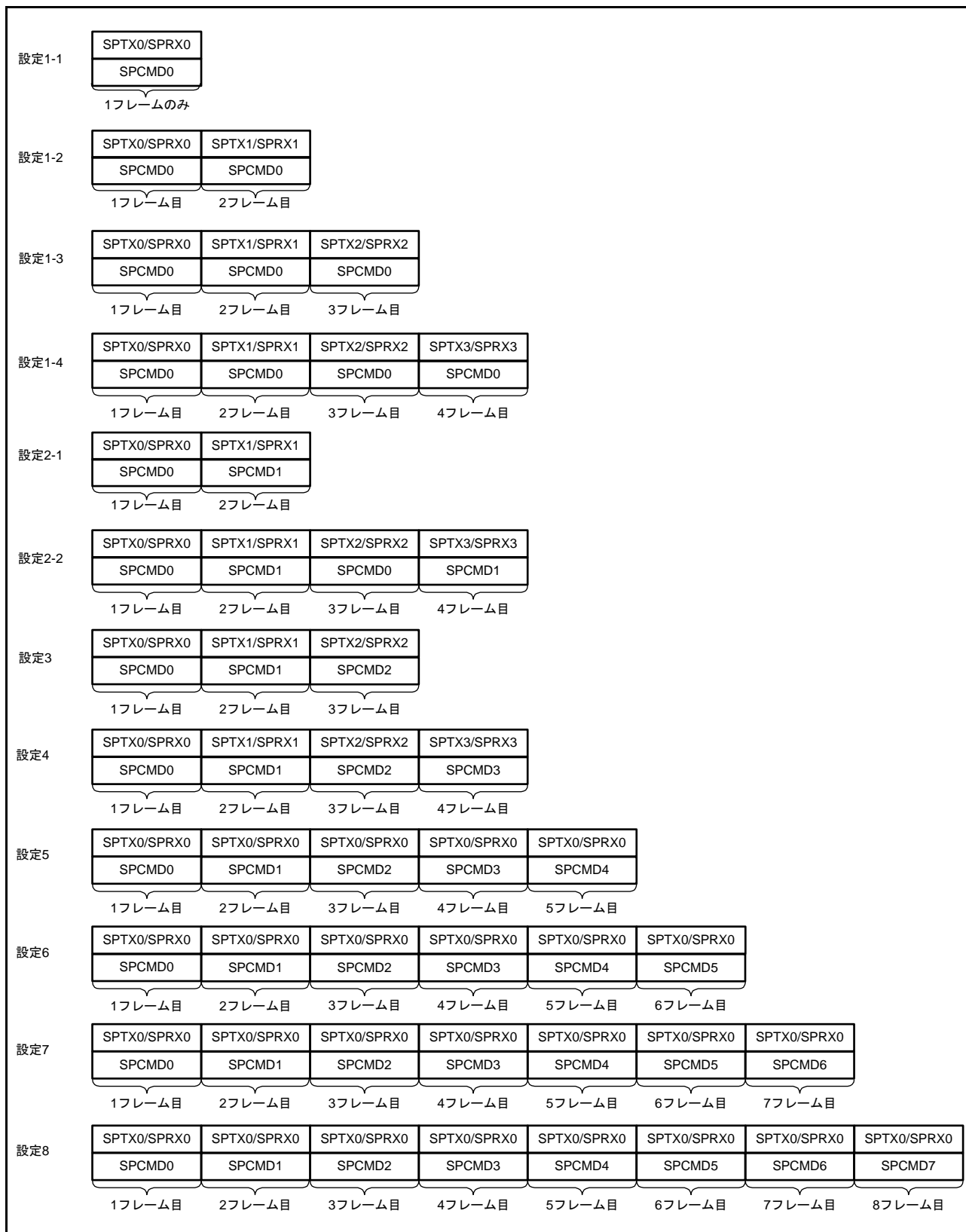


図 27.33 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) バースト転送

RSPIが現在のシリアル転送で参照しているSPCMDm.SSLKPビットが“1”の場合には、RSPIはシリアル転送中のSSLAi信号レベルを次のシリアル転送のSSLAi信号アサート開始まで保持します。次のシリアル転送でのSSLAi信号レベルが、現在のシリアル転送でのSSLAi信号レベルと同じであれば、RSPIはSSLAi信号アサート状態を保持したまま連続的にシリアル転送を実行することができます（バースト転送）。

図27.34に、SPCMD0、SPCMD1レジスタの設定を使用してバースト転送を実現した場合のSSLAi信号動作例を示します。図27.34に記載した(1)～(7)のRSPI動作内容について、以下に説明します。なお、SSLAi出力信号の極性は、SSLPレジスタの設定値に依存します。

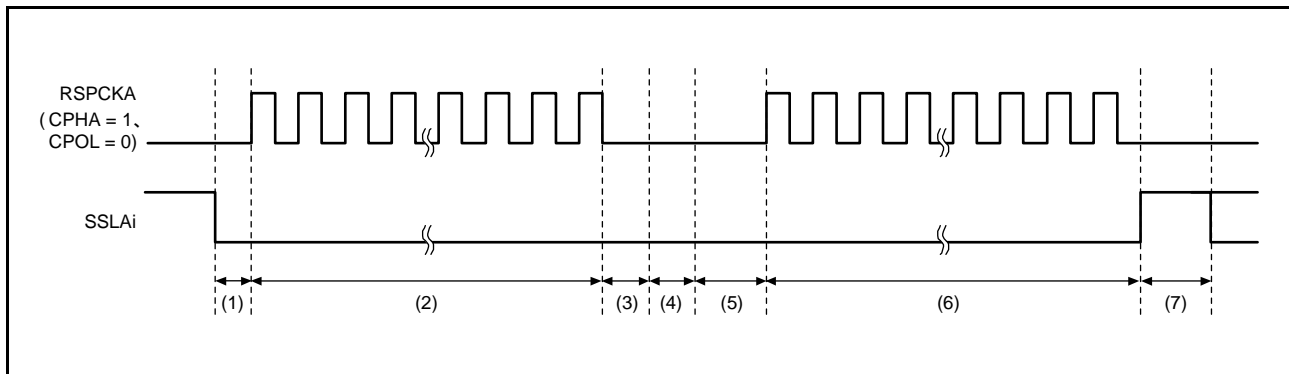


図 27.34 SSLKP ビットを利用したバースト転送動作の例

- (1) SPCMD0 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (2) SPCMD0 レジスタに従ったシリアル転送を実行します。
- (3) SSL ネゲート遅延を挿入します。
- (4) SPCMD0.SSLKP ビットが“1”であるため、SPCMD0 レジスタでの SSLAi 信号値を保持します。この期間は、最短の場合には SPCMD0 レジスタの次アクセス遅延と同じだけ継続されます。最短期間を経過後にシフトレジスタが空の場合には、次転送のための送信データがシフトレジスタに格納されるまで、この期間を継続します。
- (5) SPCMD1 レジスタに従った SSLAi 信号のアサートと RSPCK 遅延の挿入を実施します。
- (6) SPCMD1 レジスタに従ったシリアル転送を実行します。
- (7) SPCMD1.SSLKP ビットが“0”であるため、SSLAi 信号をネゲートします。また、SPCMD1 レジスタに従った次アクセス遅延が挿入されます。

SSLKP ビットを“1”にした SPCMDm レジスタでの SSLAi 信号出力設定と、次転送で使用する SPCMDm レジスタでの SSLAi 信号出力設定が異なる場合、RSPI は次転送のコマンドに対応した SSLAi 信号のアサート時（図 27.34 の (5)）に SSLAi 信号状態を切り替えます。このような SSLAi 信号の切り替えが発生した場合、MISOA をドライブするスレーブが競合して信号レベルの衝突が発生する可能性があるので注意してください。

マスタモードの RSPI は、SSLKP ビットを使用しない場合の SSLAi 信号動作をモジュール内部で参照しています。SPCMDm.CPHA ビットが“0”の場合でも、RSPI は内部で検出した次転送の SSLAi 信号のアサートを使用してシリアル転送を正確に開始できます。このため、マスタモードのバースト転送は、CPHA ビットの設定値にかかわらず実行できます。

(5) RSPCK 遅延 (t1)

マスタモードのRSPIのRSPCK遅延値は、SPCMDm.SCKDENビットの設定とSPCKDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SCKDENビットとSPCKDレジスタを使用して、表27.9のようにシリアル転送時のRSPCK遅延値を決定します。なお、RSPCK遅延の定義については、「27.3.5 転送フォーマット」を参照してください。

表27.9 SCKDENビット、SPCKDレジスタとRSPCK遅延値の関係

SPCMDm.SCKDENビット	SPCKD.SCKDL[2:0]ビット	RSPCK遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(6) SSLネゲート遅延 (t2)

マスタモードのRSPIのSSLネゲート遅延値は、SPCMDm.SLNNDENビットの設定とSSLNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SLNNDENビットとSSLNDレジスタを使用して、表27.10のようにシリアル転送時のSSLネゲート遅延値を決定します。なお、SSLネゲート遅延の定義については、「27.3.5 転送フォーマット」を参照してください。

表27.10 SLNNDENビット、SSLNDレジスタとSSLネゲート遅延値の関係

SPCMDm.SLNNDENビット	SSLND.SLNNDL[2:0]ビット	SSLネゲート遅延値
0	000b ~ 111b	1 RSPCK
1	000b	1 RSPCK
	001b	2 RSPCK
	010b	3 RSPCK
	011b	4 RSPCK
	100b	5 RSPCK
	101b	6 RSPCK
	110b	7 RSPCK
	111b	8 RSPCK

(7) 次アクセス遅延 (t3)

マスタモードのRSPIの次アクセス遅延は、SPCMDm.SPNDENビットの設定とSPNDレジスタの設定に依存します。RSPIは、シリアル転送で参照するSPCMDmレジスタをポインタ制御によって決定し、選択したSPCMDm.SPNDENビットとSPNDレジスタを使用して、表27.11のようにシリアル転送時のRSPCK遅延を決定します。なお、次アクセス遅延の定義については、「27.3.5 転送フォーマット」を参照してください。

表27.11 SPNDENビット、SPNDレジスタと次アクセス遅延値の関係

SPCMDm.SPNDENビット	SPND.SPNDL[2:0]ビット	次アクセス遅延値
0	000b ~ 111b	1 RSPCK + 2 PCLK
1	000b	1 RSPCK + 2 PCLK
	001b	2 RSPCK + 2 PCLK
	010b	3 RSPCK + 2 PCLK
	011b	4 RSPCK + 2 PCLK
	100b	5 RSPCK + 2 PCLK
	101b	6 RSPCK + 2 PCLK
	110b	7 RSPCK + 2 PCLK
	111b	8 RSPCK + 2 PCLK

(8) 初期化フロー

図 27.35 に、SPI 動作時、RSPI をマスターモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

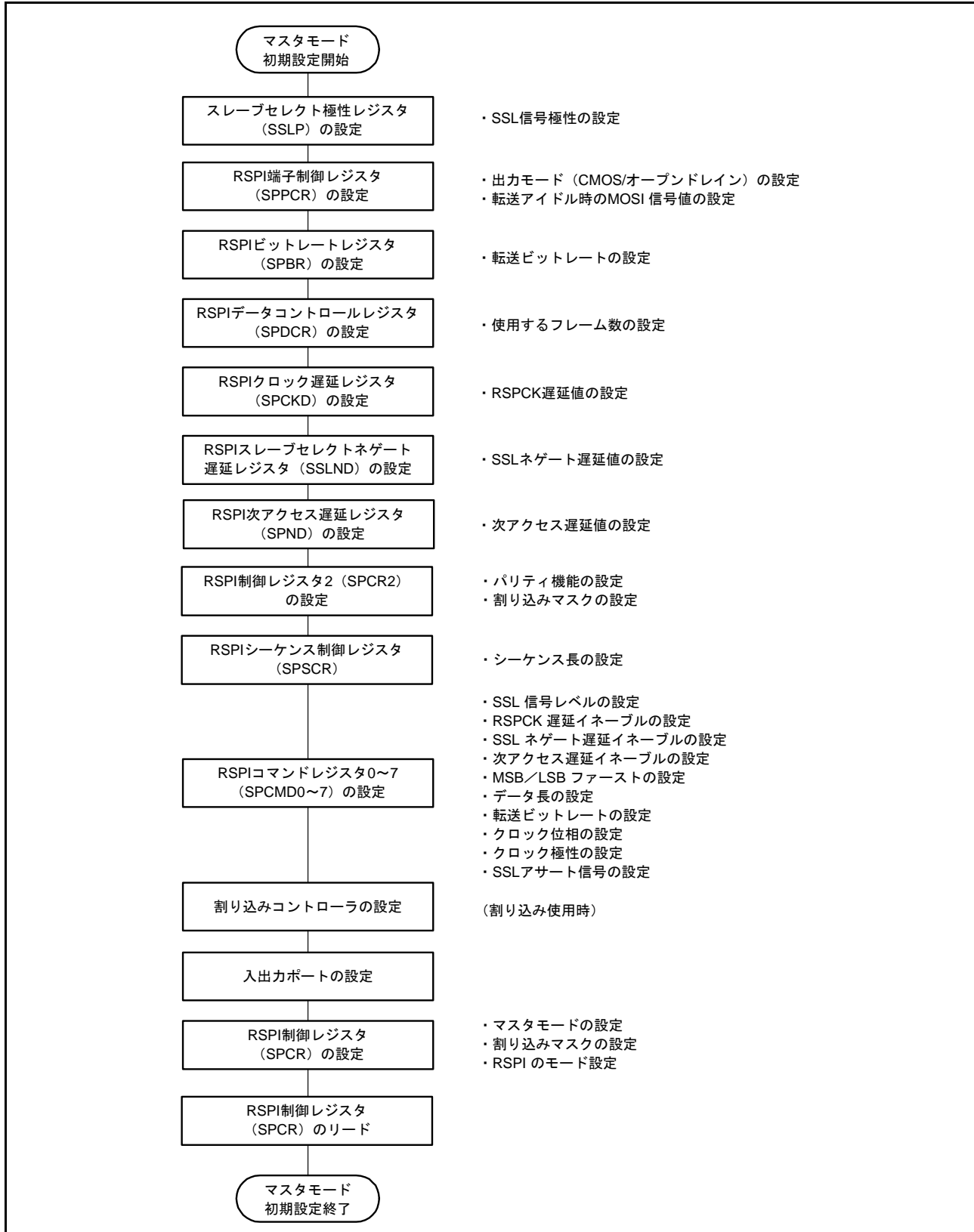


図 27.35 マスターモード時の初期化フロー例 (SPI 動作)

(9) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 27.36 ~ 図 27.38 に示します。

(a) 送信処理フロー

送信を行う場合、最終データの書き込み完了後 SPII 割り込みを許可することによって、全データ送信完了を CPU に通知することが可能です。

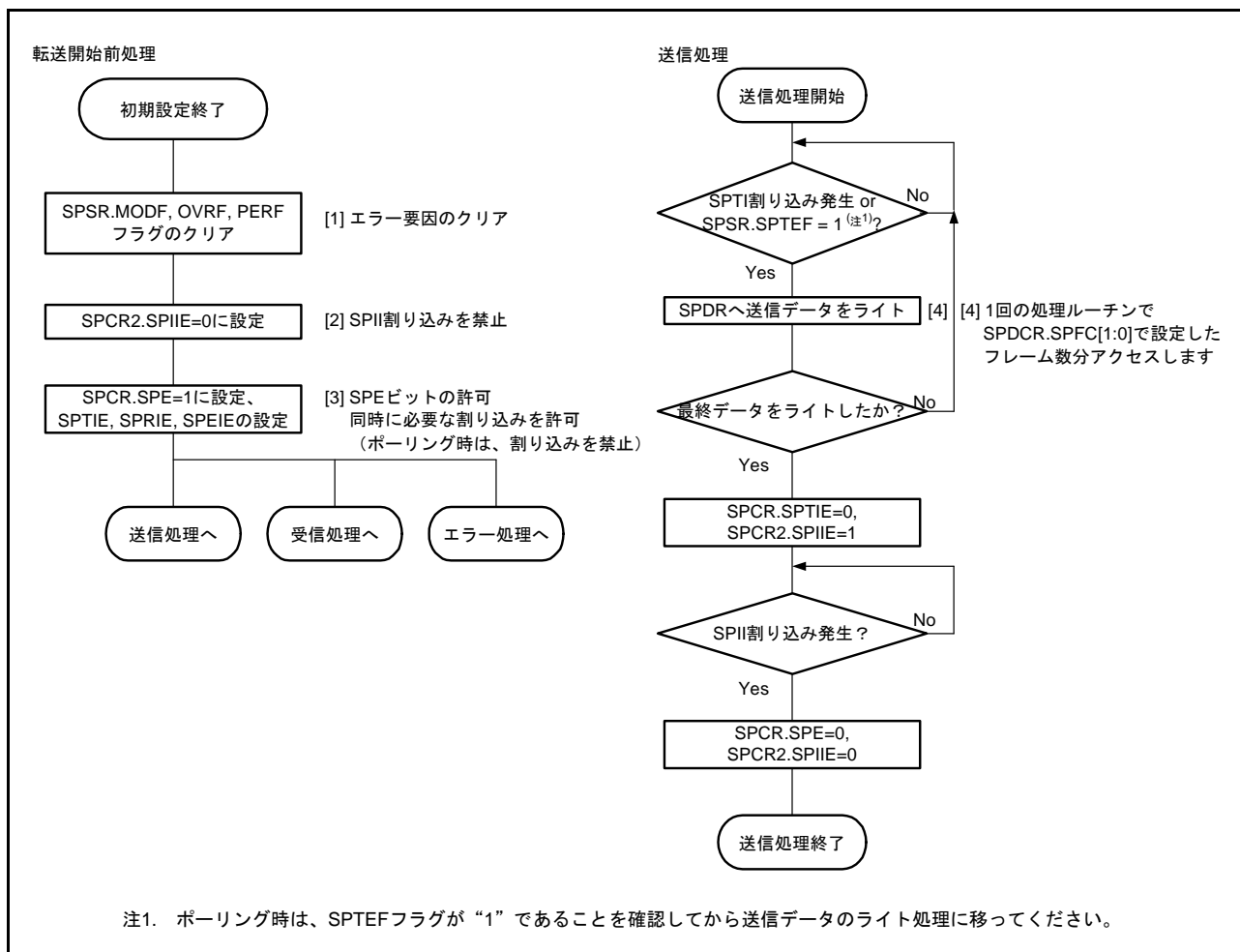


図 27.36 マスタモード時のフローチャート (送信)

(b) 受信処理フロー

RSPIは受信のみの動作を持たないため、送信を必要とします。

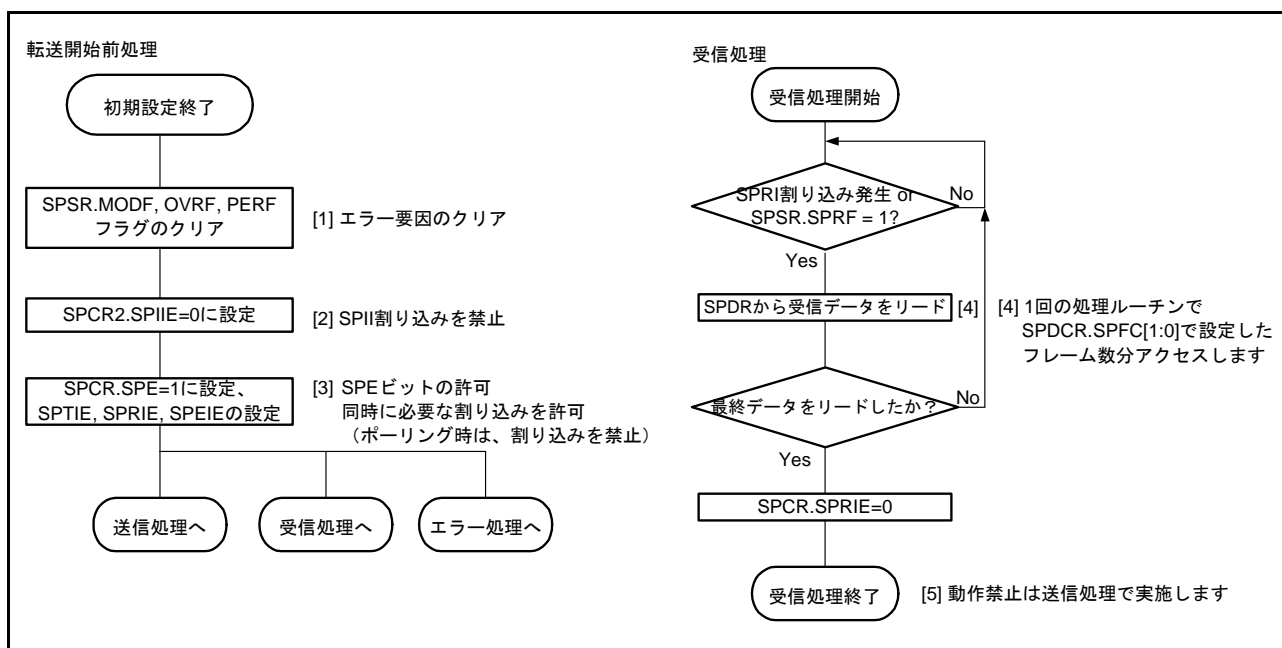


図 27.37 マスタモード時のフローチャート (受信)

(c) エラー処理フロー

RSPIは3種類のエラーを持ちます。モードフォルトエラー発生時は、SPCR.SPEビットが自動的にクリアされ、送信/受信動作を停止させます。しかし、その他のエラー要因ではSPCR.SPEビットはクリアされず送信/受信動作は継続されるため、最初に起きたエラー要因ではない他の要因でエラーが発生した場合は、SPSSR.SPECM[2:0]ビットが更新されてしまうため、SPCR.SPEビットをクリアし動作を停止することを推奨します。

割り込み使用時にエラーが発生したときは、ICU.IRn.IRフラグにSPTI割り込みまたはSPRI割り込み要求が保持されている可能性がありますので、エラー処理にてICU.IRn.IRフラグをクリアしてください。また、SPRI割り込み要求が保持されている場合、受信バッファを読み出してRSPIの内部シーケンサを初期化してください。

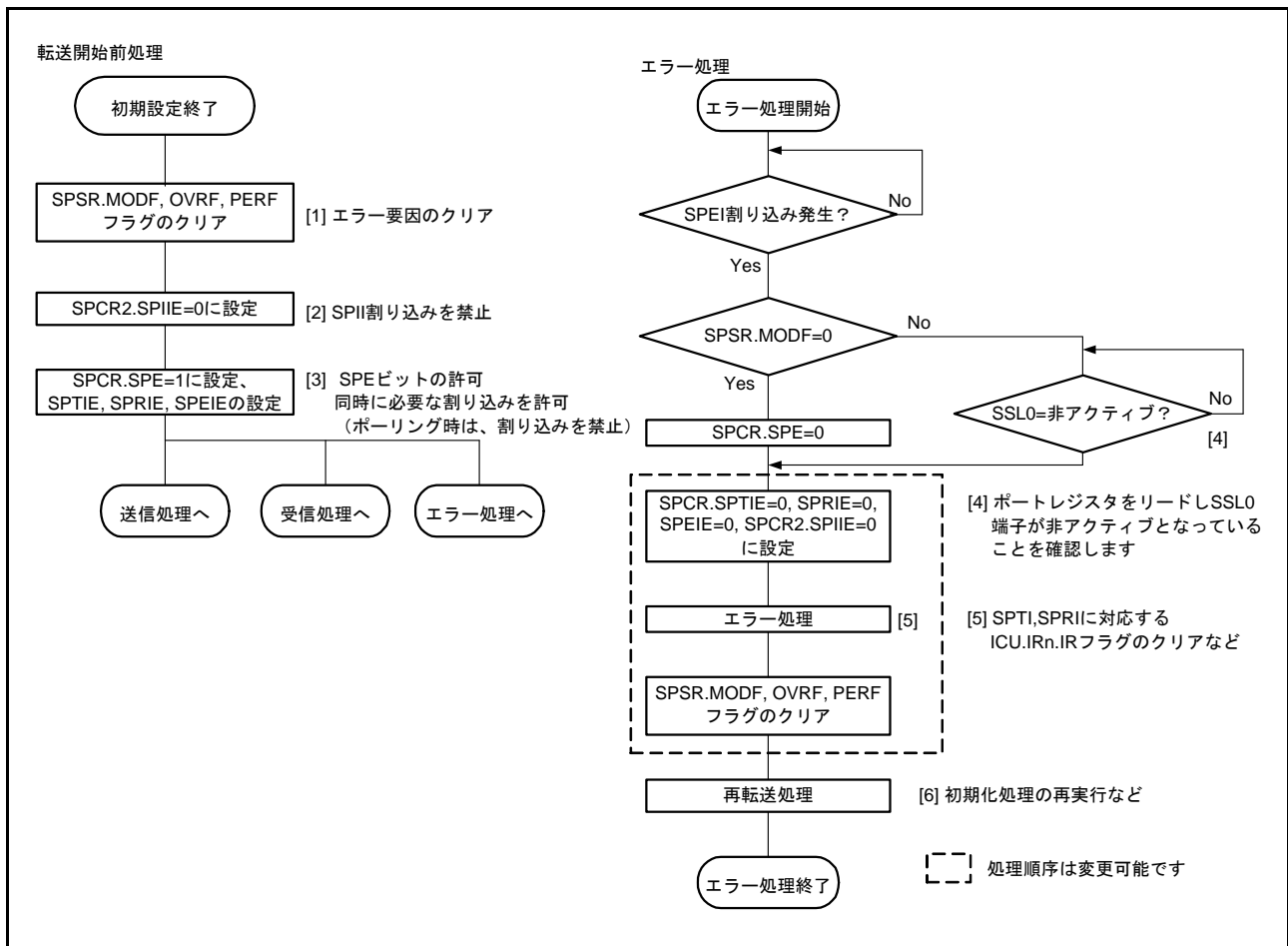


図 27.38 マスタモード時のフローチャート (エラー)

27.3.10.2 スレーブモード動作

(1) シリアル転送の開始

SPCMD0.CPHA ビットが“0”の場合、RSPIはSSLA0入力信号のアサートを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“0”の場合には、SSLA0入力信号のアサートがシリアル転送開始のトリガになります。

CPHAビットが“1”の場合には、RSPIはSSLA0入力信号のアサート状態で最初のRSPCKAエッジを検出すると、MISOA出力信号への有効データのドライブを開始する必要があります。このため、CPHAビットが“1”の場合には、SSLA0信号アサート状態における最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

CPHAビットの設定に依存せず、RSPIがMISOA出力信号のドライブを開始するタイミングは、SSLA0信号アサートタイミングです。CPHAビットの設定によって、RSPIが出力するデータの有効/無効が異なります。

なお、RSPIの転送フォーマットの詳細については、「27.3.5 転送フォーマット」を参照してください。SSLA0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。

(2) シリアル転送の終了

SPCMD0.CPHAビットにかかわらず、RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合（SPRFフラグが“0”の場合）には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間にRSPIがSSLA0入力信号のネゲートを検出するとモードフォルトエラーが発生します（「27.3.8 エラー検出」を参照）。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。SSLA0入力信号の極性は、SSLP.SSLOPビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「27.3.5 転送フォーマット」を参照してください。

(3) シングルスレーブ時の注意点

SPCMD0.CPHAビットが“0”の場合には、RSPIはSSLA0入力信号のアサートエッジを検出するとシリアル転送を開始します。図27.7の例に示したような構成でRSPIをシングルスレーブで使用する場合には、SSLA0入力信号がアクティブ状態に固定されるため、CPHAビットを“0”に設定したRSPIではシリアル転送を正しく開始できません。SSLA0入力信号をアクティブ状態に固定する構成で、スレーブモードRSPIの送受信を正しく実行するためには、CPHAビットを“1”にしてください。CPHAビットを“0”にする必要がある場合には、SSLA0入力信号を固定しないでください。

(4) バースト転送

SPCMD0.CPHA ビットが“1”の場合には、SSLA0 入力信号のアサート状態を保持したままで連続的なシリアル転送（バースト転送）を実行できます。CPHA ビットが“1”の場合には、SSLA0 入力信号アクティブ状態における最初の RSPCKA エッジから最終ビット受信のためのサンプリングタイミングまでが、シリアル転送期間に相当します。SSLA0 入力信号がアクティブレベルのままであっても、アクセスの開始を検出可能であるので、バースト転送に対応できます。

CPHA ビットが“0”の場合には、バースト転送の2回目以降のシリアル転送を正しく実行できません。

(5) 初期化フロー

図 27.39 に、SPI 動作時、RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については各ブロックの説明を参照してください。

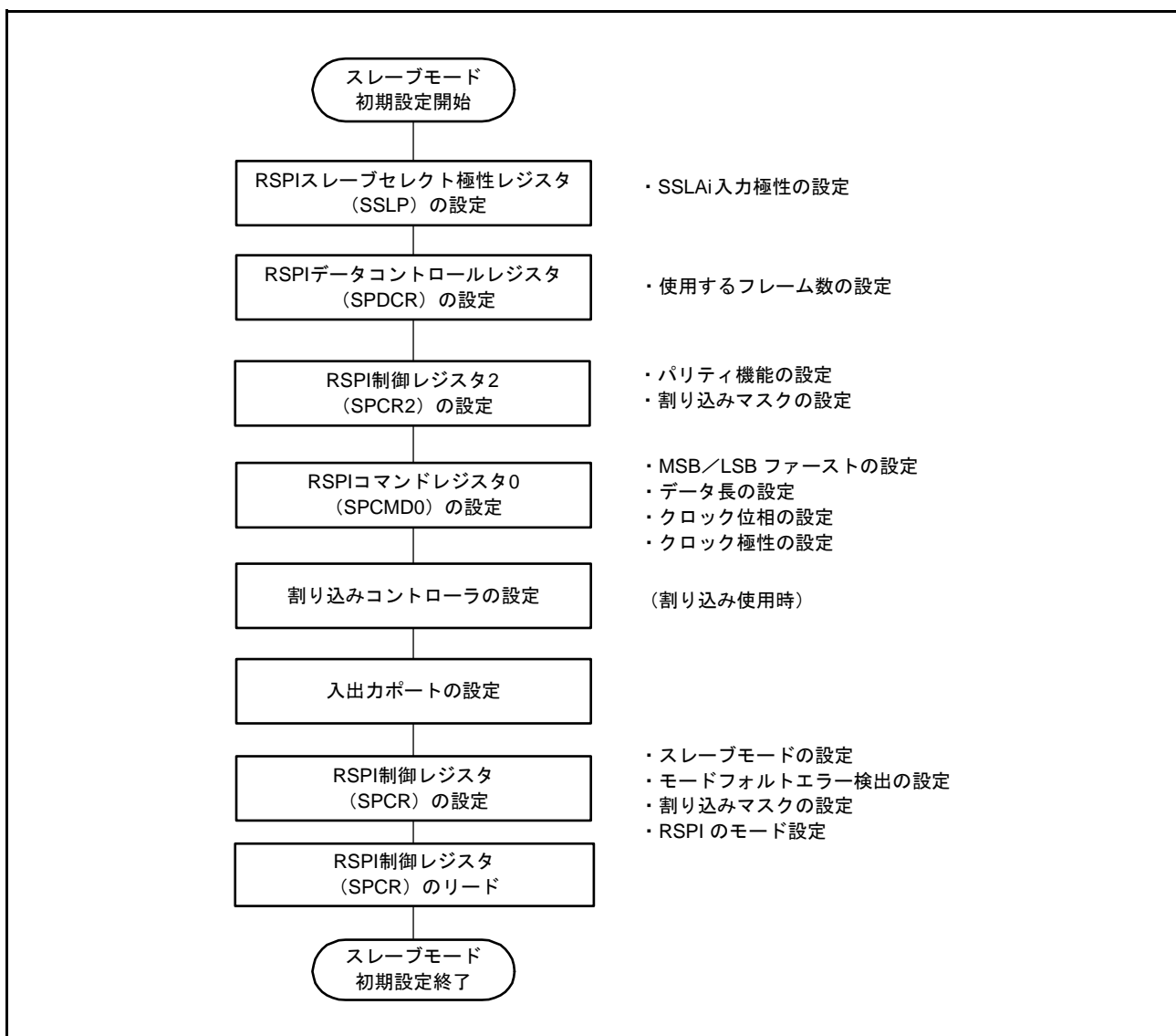


図 27.39 スレーブモード時の初期化フロー例 (SPI 動作)

(6) ソフトウェア処理フロー

ソフトウェア処理フローの例を図 27.40 ~ 図 27.42 に示します。

(a) 送信処理フロー

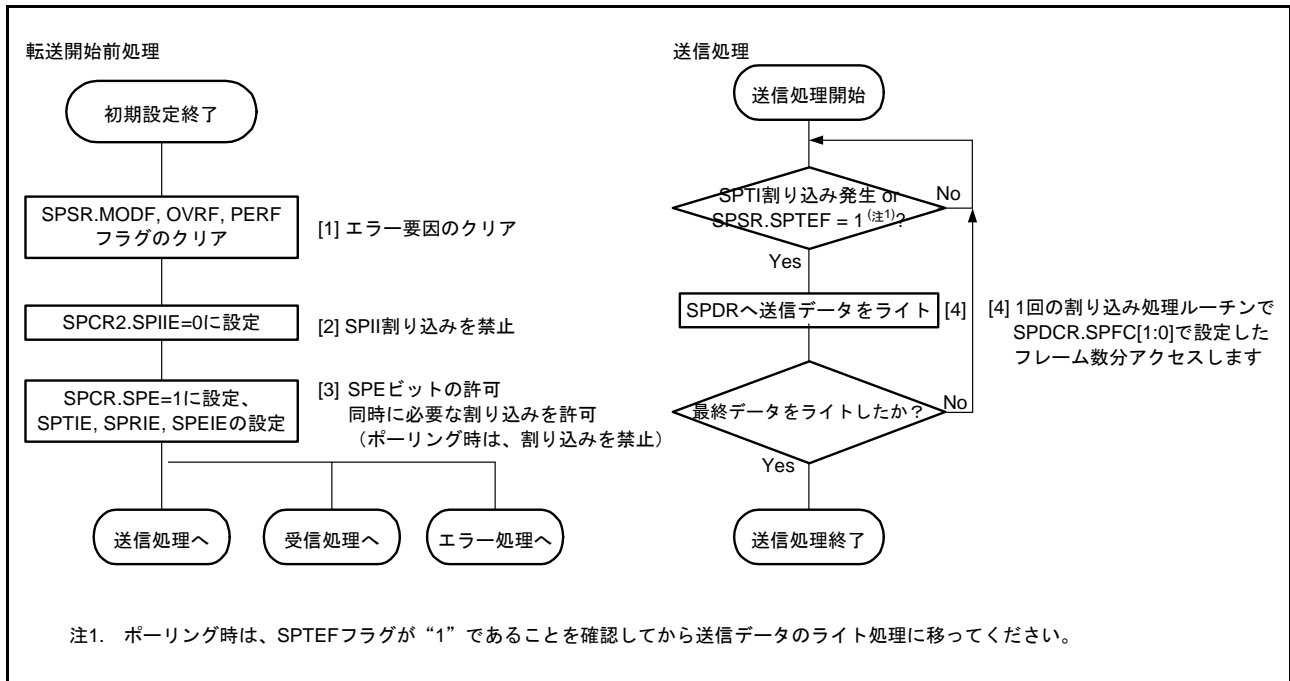


図 27.40 スレープモード時のフローチャート (送信)

(b) 受信処理フロー

RSPIa は受信のみの動作を持たないため、送信を必要とします。

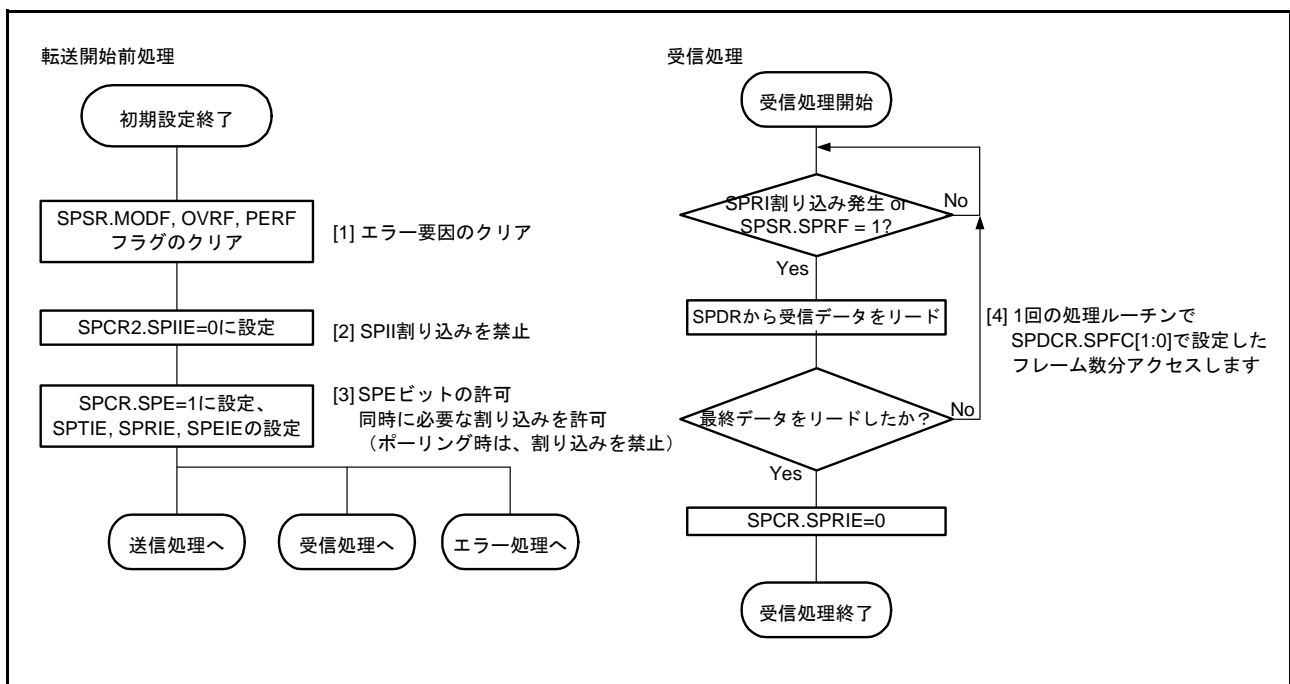


図 27.41 スレープモード時のフローチャート (受信)

(c) エラー処理フロー

スレーブ動作では、モードフォルトエラーが発生しても SSLA0 端子の状態にかかわらず、SPSR.MODF フラグをクリアすることができます。

割り込み使用時にエラーが発生したときは、ICU.IRn.IR フラグに SPTI 割り込みまたは SPRI 割り込み要求が保持されている可能性があるためエラー処理にて ICU.IRn.IR フラグをクリアしてください。また、SPRI 割り込み要求が保持されている場合、受信バッファを読み出して RSPI の内部シーケンサを初期化してください。

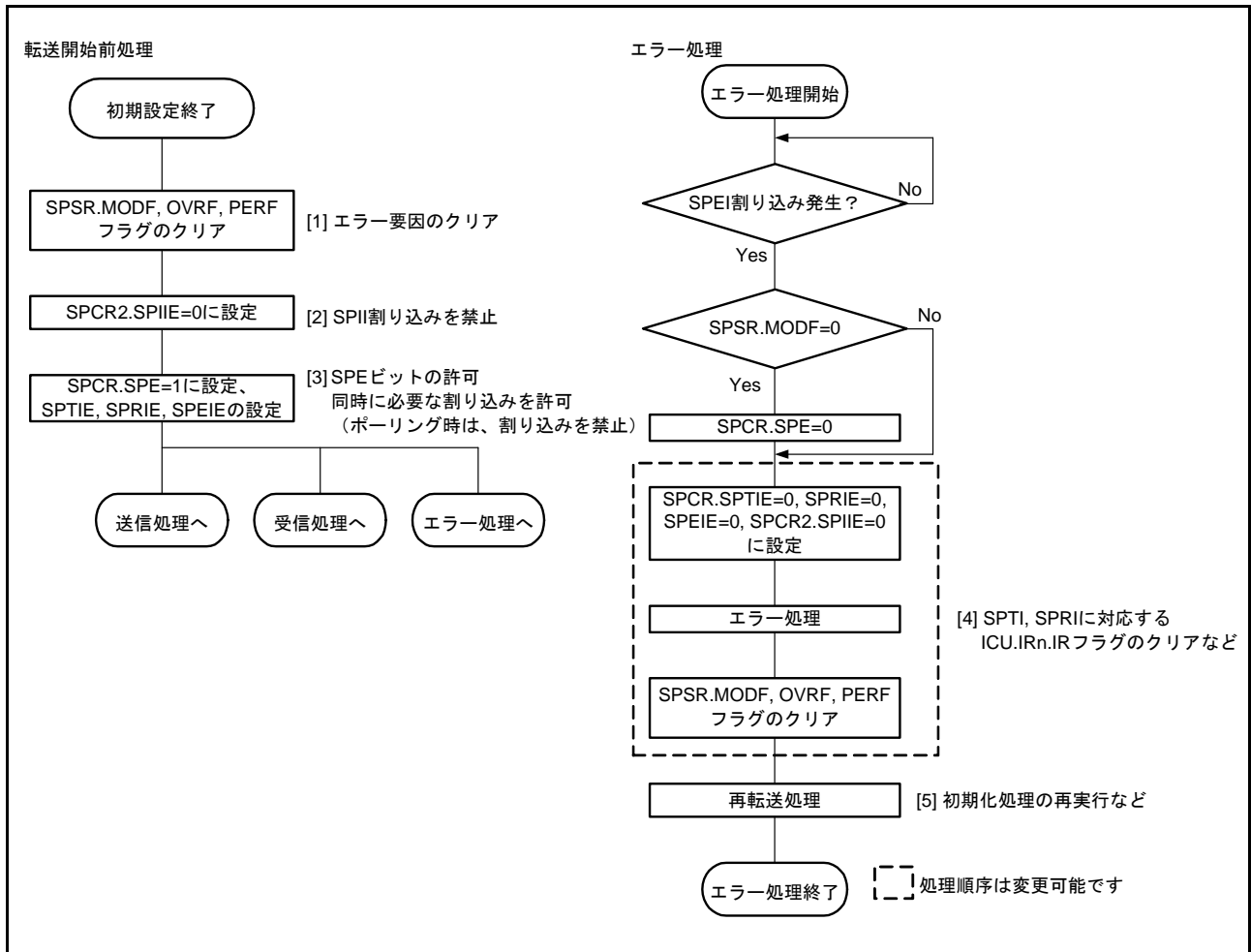


図 27.42 スレーブモード時のフローチャート (エラー処理)

27.3.11 クロック同期式動作

RSPIは、SPCR.SPMS ビットが“1”であるとき、クロック同期式動作となります。クロック同期式動作は、SSLAi 端子を使用せず、RSPCKA、MOSIA、MISOA の3本の端子を用いて通信を行い、SSLAi 端子はI/Oポートとして使用することができます。

クロック同期式動作は、SSLAi 端子を使用せず通信を行います。モジュール内部の動作はSPI動作と同様の動作を行います。マスタ動作、スレーブ動作において、SPI動作時と同様のフローで通信を行うことができますが、SSLAi 端子を使用しませんので、モードフォルトエラーの検出を行いません。

また、クロック同期式動作では、スレーブモード時 (SPCR.MSTR = 0) に SPCMDm.CPHA ビットを“0”にした場合の動作はしないでください。

27.3.11.1 マスタモード動作

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPIはSPDRレジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへSPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPIは送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPIは、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

なお、RSPIの転送フォーマットの詳細については、「27.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに対応するRSPCKAエッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタからSPDRレジスタの受信バッファにデータをコピーします。

なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。マスタモードのRSPIのデータ長は、SPCMDm.SPB[3:0] ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「27.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時は、SSLA0 出力信号を用いずに通信を行います。

(3) シーケンス制御

マスタモード時の転送フォーマットは、SPSCR レジスタ、SPCMDm レジスタ、SPBR レジスタ、SPCKD レジスタ、SSLND レジスタ、SPND レジスタによって決定されます。クロック同期式動作時は、SSLAi 信号の出力を行いませんが、これらの設定は有効です。

SPSCR レジスタは、マスタモードのRSPIで実行するシリアル転送のシーケンス構成を決定するためのレジスタです。SPCMDm レジスタには、SSLAi 出力信号値、MSB/LSB ファースト、データ長、ビットレート設定の一部、RSPCKA 極性/位相、SPCKD レジスタの参照要否、SSLND レジスタの参照要否、SPND レジスタの参照要否が設定されています。SPBR レジスタにはビットレート設定の一部、SPCKD レジスタにはRSPIクロック遅延値、SSLND レジスタにはSSLネゲート遅延、SPND レジスタには次アクセス遅延値が設定されています。

RSPIは、SPSCR レジスタに設定されたシーケンス長に従って、SPCMDm レジスタの一部/全部からなるシーケンスを構成します。RSPIには、シーケンスを構成しているSPCMDm レジスタに対するポインタが存在します。このポインタの値は、SPSSR.SPCP[2:0] ビットの読み出しによって確認できます。SPCR.SPE ビットが“1”でRSPI動作が許可された状態にすると、RSPIはコマンドに対するポインタをSPCMD0 レジ

スタにセットし、シリアル転送の開始時に SPCMD0 レジスタの設定内容を転送フォーマットに反映します。RSPIは、各データ転送の次アクセス遅延期間が終了するたびにポインタをインクリメントします。シーケンスを構成している最終コマンドに対応するシリアル転送が終了すると、RSPIはポインタを SPCMD0 レジスタにセットするので、シーケンスは繰り返し実行されます。

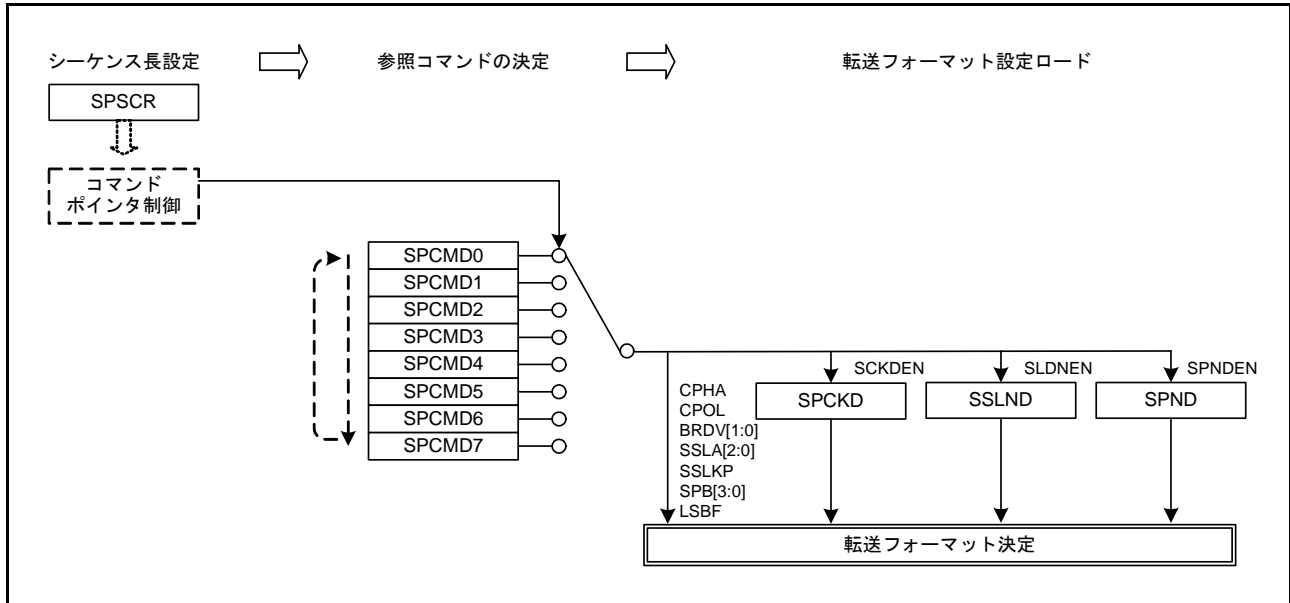


図 27.43 マスタモードでのシリアル転送方式の決定方法

本章では、データ (SPDR) と設定 (SPCMDm) の2つを合わせてフレームとします。

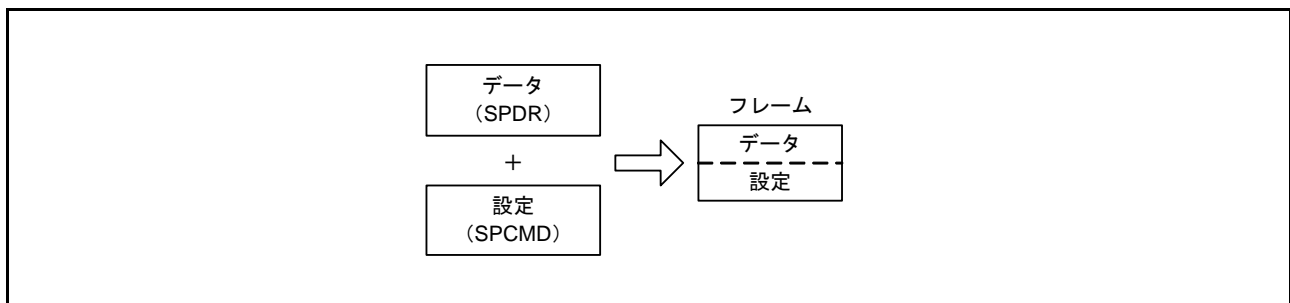


図 27.44 フレーム概念図

表 27.4 の設定でシーケンス動作を行ったときのコマンドと送信バッファ / 受信バッファの関係を図 27.45 に示します。

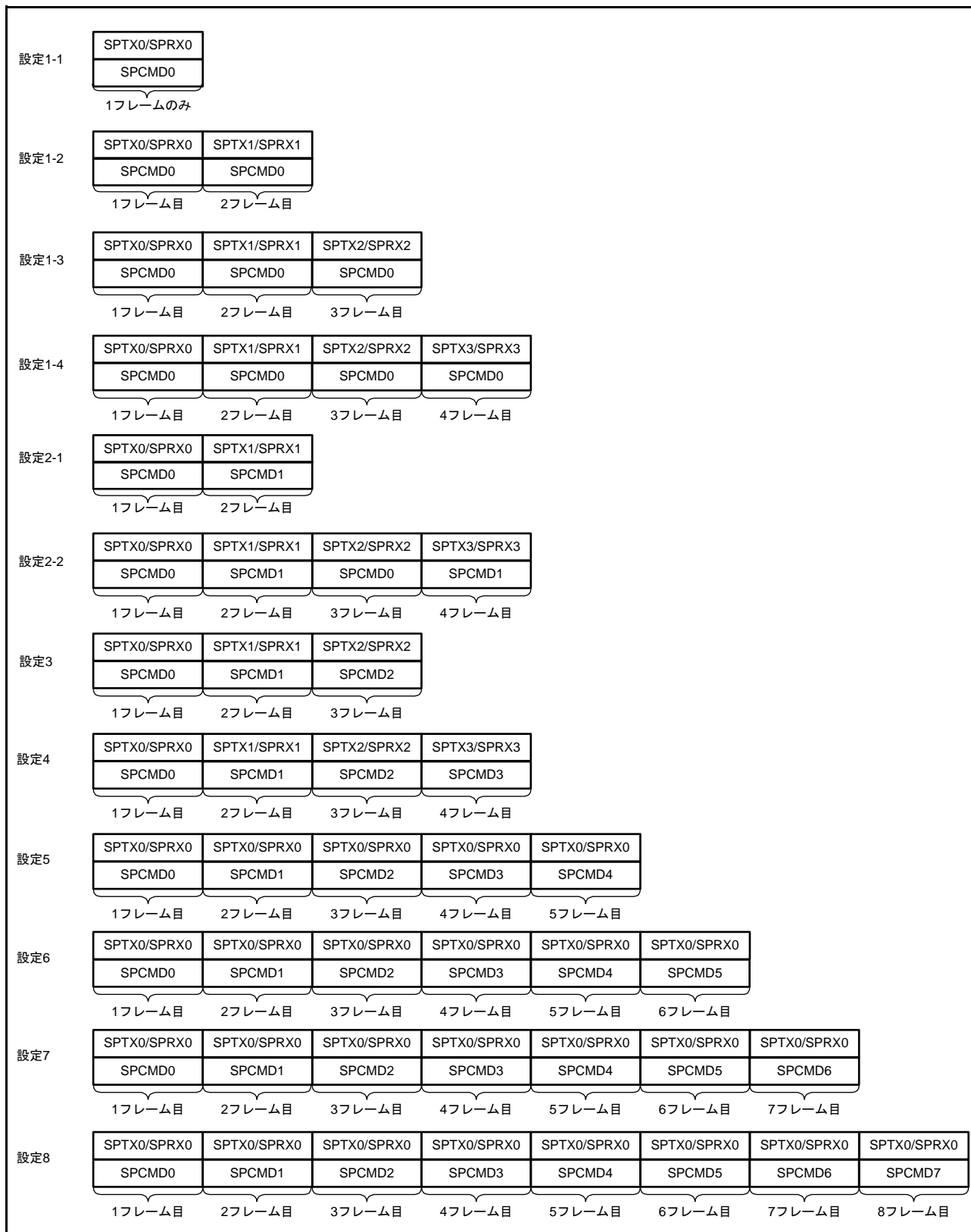


図 27.45 シーケンス動作時の RSPI コマンドレジスタと送受信バッファの対応

(4) 初期化フロー

図 27.46 に、クロック同期式動作時の RSPI をマスタモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

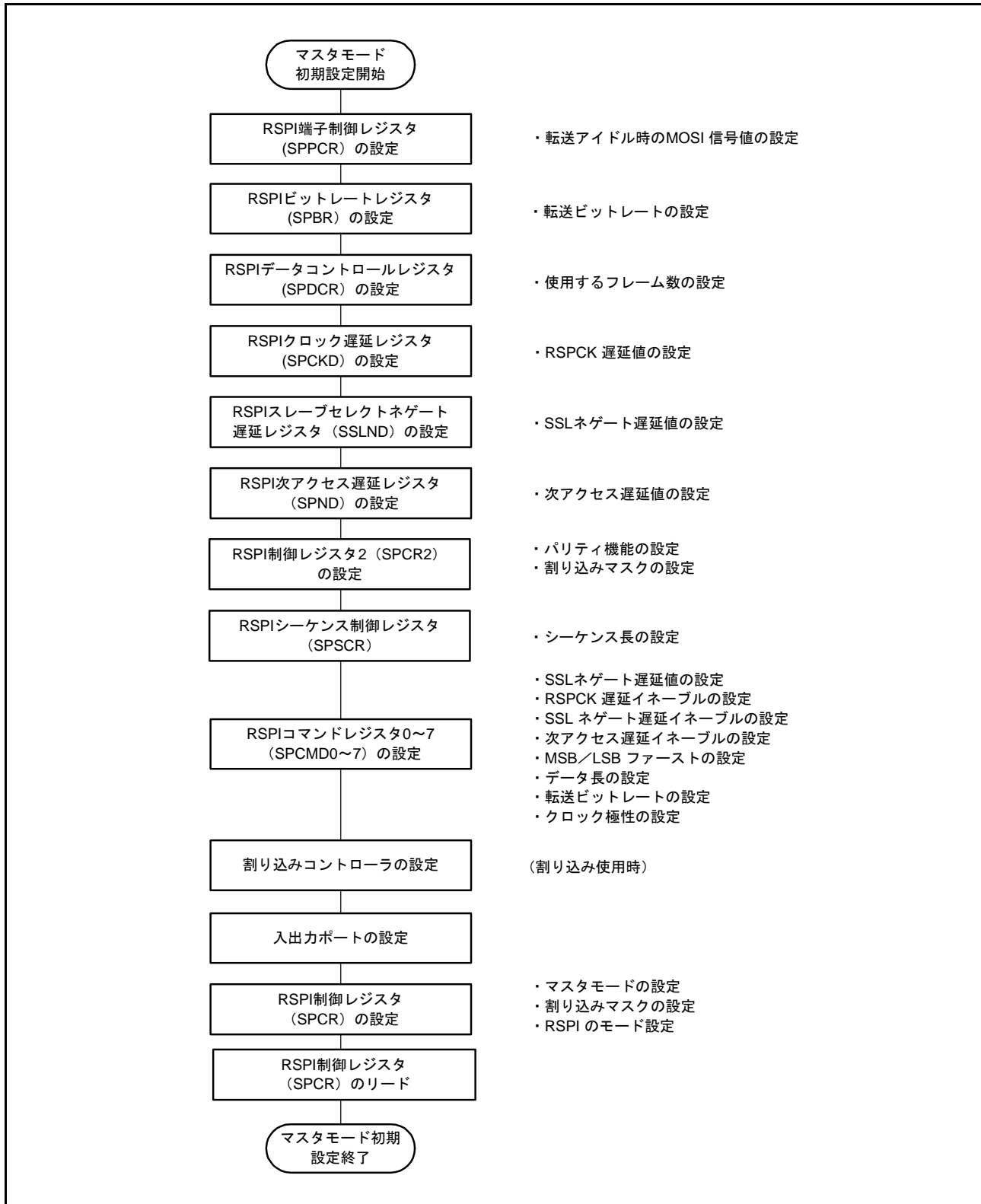


図 27.46 マスタモード時の初期化フロー例 (クロック同期式動作)

(5) ソフトウェア処理フロー

クロック同期式動作時のマスタモード動作のソフトウェア処理は、SPI動作時のマスタモード動作のソフトウェア処理フローと同様になります。詳細は、「27.3.10.1 (9) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

27.3.11.2 スレーブモード動作

(1) シリアル転送の開始

RSPIは、SPCR.SPMSビットが“1”であるとき、最初のRSPCKAエッジがシリアル転送開始のトリガになります。

RSPIは、シフトレジスタが空の状態ではシリアル転送の開始を検出した場合、シフトレジスタの状態をフルに変更し、シリアル転送中に送信バッファからシフトレジスタにデータがコピーできないようにします。シリアル転送の開始よりも前にシフトレジスタがフルであった場合、RSPIはシフトレジスタの状態をフルのまま変更しません。

SPMSビットが“1”であるときは、RSPIはMISOA出力信号をドライブします。

なお、RSPIの転送フォーマットの詳細については、「27.3.5 転送フォーマット」を参照してください。ただし、クロック同期式動作時はSSLA0入力信号を使用しません。

(2) シリアル転送の終了

RSPIは最終サンプリングタイミングに相当するRSPCKAエッジを検出するとシリアル転送を終了します。受信バッファが空 (SPSR.SPRFフラグが“0”) の場合には、シリアル転送の終了後に、RSPIはシフトレジスタからSPDRレジスタの受信バッファに受信データをコピーします。また、受信バッファの状態にかかわらず、RSPIはシリアル転送の終了後にシフトレジスタの状態を空に変更します。なお、最終サンプリングタイミングは転送データのビット長に依存して変化します。スレーブモードのRSPIのデータ長はSPCMD0.SPB[3:0]ビットの設定値に依存します。RSPIの転送フォーマットの詳細については、「27.3.5 転送フォーマット」を参照してください。

(3) 初期化フロー

図 27.47 に、クロック同期式動作時の RSPI をスレーブモードで使用する場合の初期化フローの例を示します。なお、割り込みコントローラ、入出力ポートの設定方法については、各ブロックの説明を参照してください。

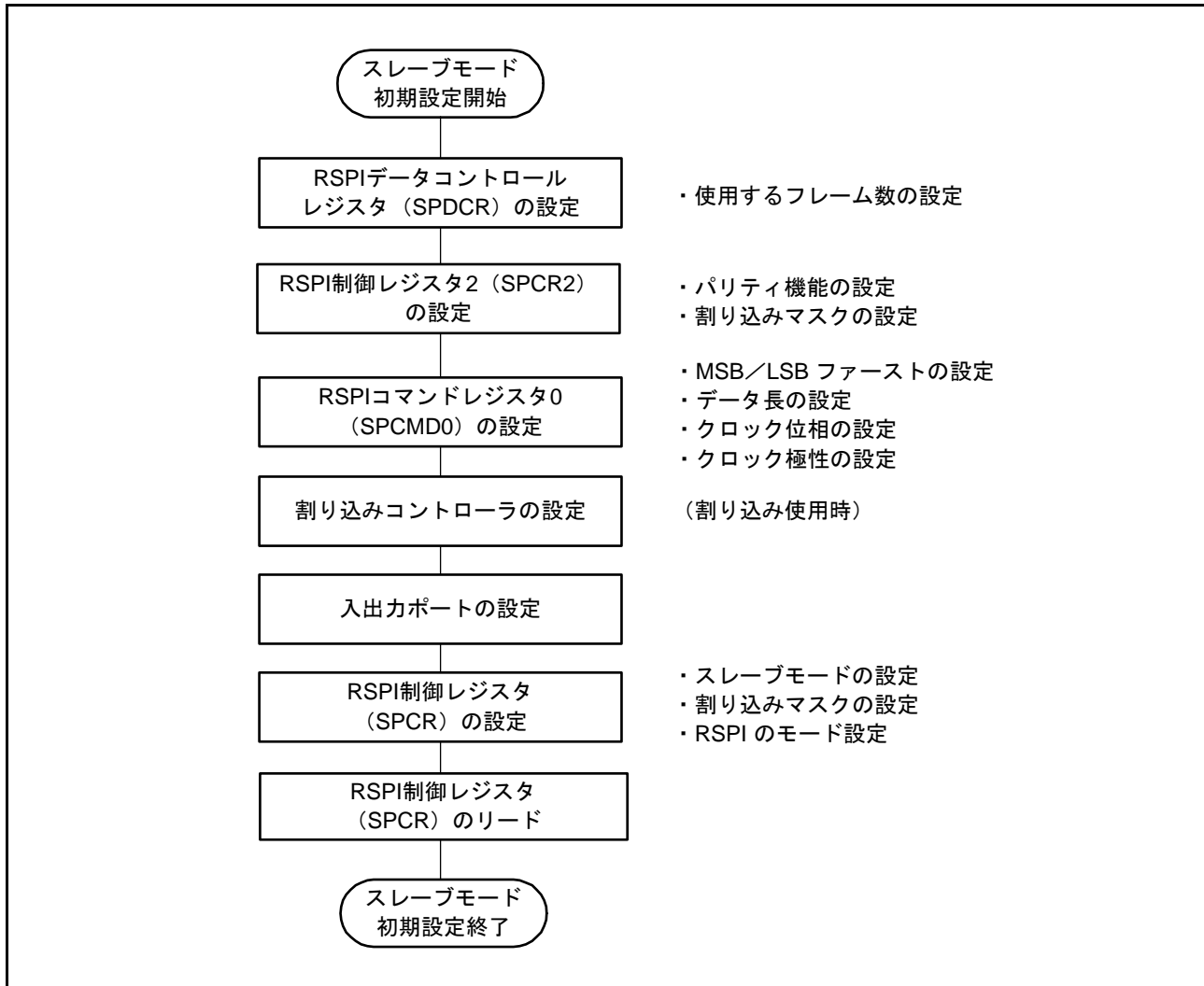


図 27.47 スレーブモード時の初期化フロー例 (クロック同期式動作)

(4) ソフトウェア処理フロー

クロック同期式動作時のスレーブモード動作のソフトウェア処理は、SPI 動作時のスレーブモード動作のソフトウェア処理フローと同様になります。詳細は、「27.3.10.2 (6) ソフトウェア処理フロー」を参照してください。ただし、モードフォルトエラーの発生はありません。

27.3.12 ループバックモード

SPPCR.SPLP2 ビットまたは SPLP ビットに“1”を書くと、RSPIは SPCR.MSTR ビットが“1”ならば、MISOA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MOSIA 端子とシフトレジスタ間の経路を遮断し、シフトレジスタの入力経路と出力経路を接続します。また、SPCR.MSTR ビットが“1”ならば、MOSIA 端子とシフトレジスタ間を、SPCR.MSTR ビットが“0”ならば、MISOA 端子とシフトレジスタ間の経路を遮断しません。これをループバックモードと呼びます。ループバックモードでシリアル転送を実行すると、RSPI の送信データまたは送信データの反転が RSPI の受信データになります。

表 27.12 に SPLP2 ビット、SPLP ビットの設定と受信データの関係を示します。また、図 27.48 に、マスターモードの RSPI をループバックモード (SPPCR.SPLP2 = 0、SPPCR.SPLP = 1) に設定した場合のシフトレジスタ入出力経路の構成を示します。

表 27.12 SPLP2 ビット、SPLP ビットの設定と受信データ

SPPCR.SPLP2 ビット	SPPCR.SPLP ビット	受信データ
0	0	MOSIA 端子または MISOA 端子からの入力データ
0	1	送信データの反転
1	0	送信データ
1	1	送信データ

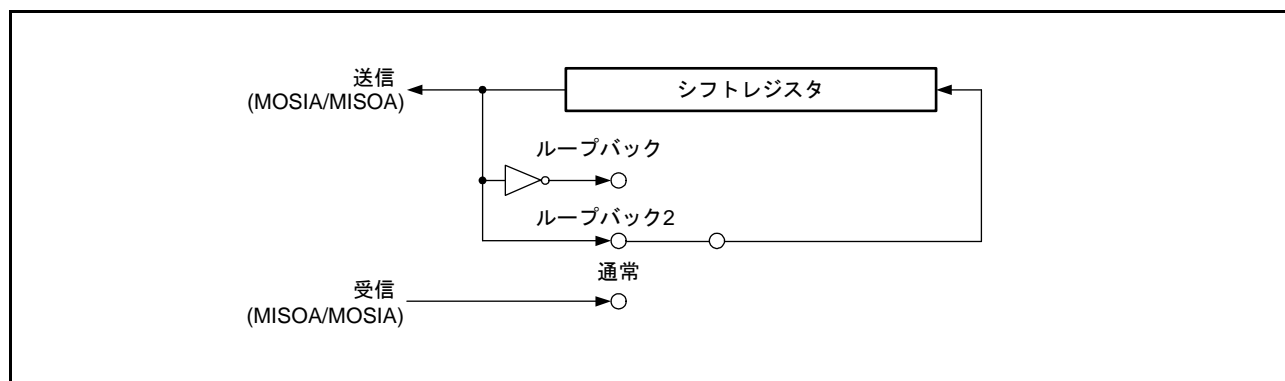


図 27.48 ループバックモード時のシフトレジスタ入出力構成 (マスターモード)

27.3.13 パリティビット機能の自己判断

パリティ回路は、送信データに対するパリティ付加部と受信データに対するエラー検出部で構成されます。パリティ回路のパリティ付加部とエラー検出部の故障を検出するために、図 27.49 に示すのフローに従い、パリティ回路の自己診断を行います。

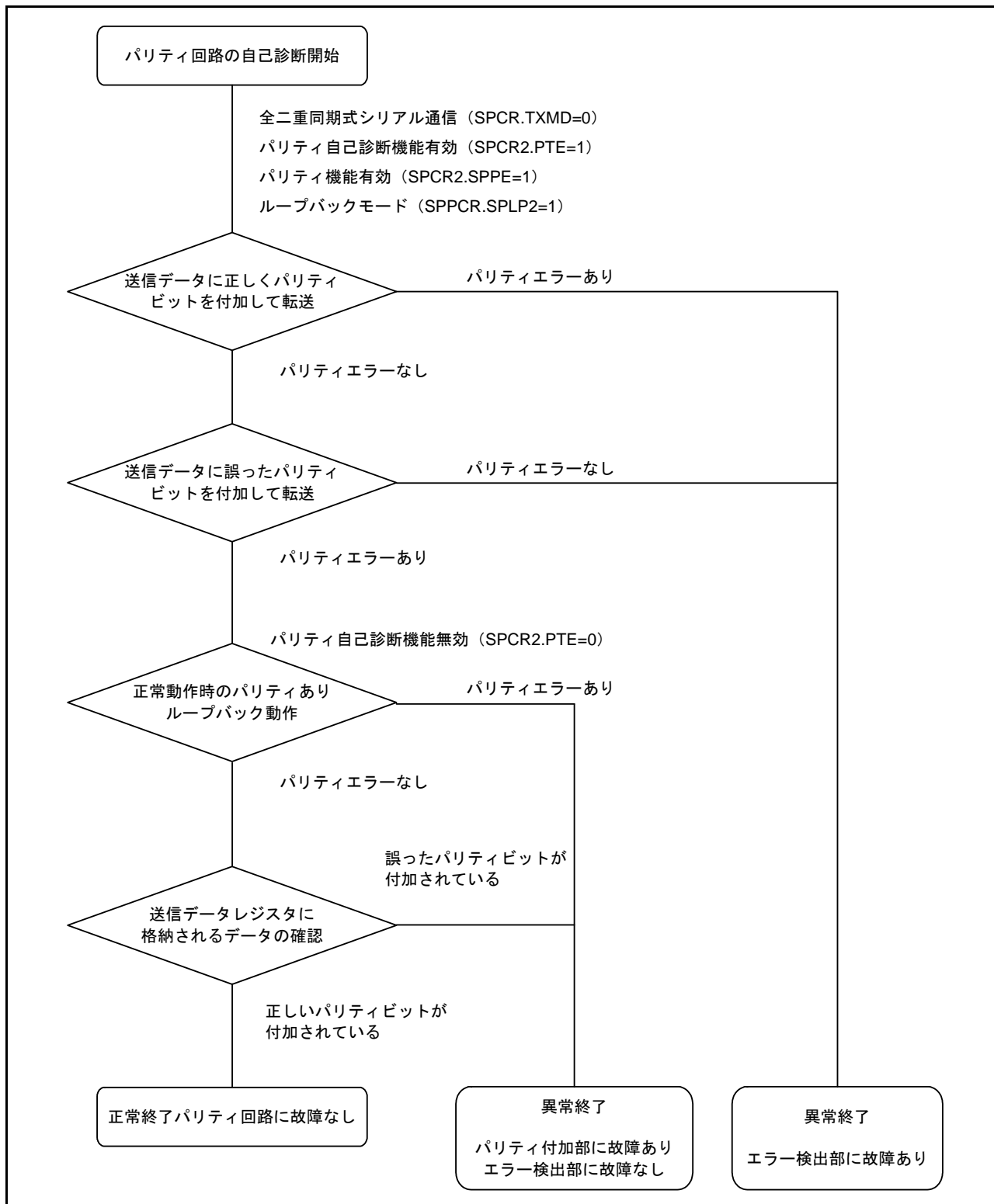


図 27.49 パリティ回路の自己判断フロー

27.3.14 割り込み要因

RSPIの割り込み要因には、受信バッファフル、送信バッファエンプティ、モードフォルト、オーバラン、パリティエラー、RSPIアイドルがあります。また、受信バッファフル、送信バッファエンプティの割り込み要求でDTCを起動し、データ転送を行うことができます。

モードフォルト、オーバラン、パリティエラーの割り込み要求がSPEIのベクタアドレスに割り付けられているため、フラグによる要因の判断が必要です。表 27.13 に RSPI の割り込み要因を示します。表 27.13 の割り込み条件が成立すると、割り込みが発生します。受信バッファフルと送信バッファエンプティの要因は、データ転送で割り込み要因をクリアしてください。

DTCを使って送受信を行う場合は、先にDTCを設定し、許可状態にしてからRSPIの設定を行ってください。DTCの設定方法は「17. データトランスファコントローラ (DTCa)」を参照してください。

送信バッファエンプティ割り込み、および受信バッファフル割り込みは、ICU.IRn.IR フラグが“1”のときに割り込み発生条件となっても、ICUに対して割り込み要求を出力せず内部で保持します（内部で保持できる容量は、1 要因ごとに 1 要求までです）。ICU.IRn.IR フラグが“0”になると、ICUに対して保持していた割り込み要求を出力します。保持している割り込み要求を出力すると、保持している割り込み要求は自動的にクリアされます。また、内部で保持している割り込み要求は、対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にすることでクリアが可能です。

表 27.13 RSPIの割り込み要因

割り込み要因	略称	割り込み条件	DTC起動
受信バッファフル	SPRI	SPCR.SPRIE ビットが“1”の状態を受信バッファフル (SPRF フラグが“1”) になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIE ビットが“1”の状態を送信バッファエンプティ (SPTEF フラグが“1”) になったとき	可能
RSPIエラー (モードフォルト、オーバラン、パリティエラー)	SPEI	SPCR.SPEIE ビットが“1”の状態でSPSR.MODF、OVRF、または PERF フラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIE ビットが“1”の状態でIDLNF フラグが“0”になったとき	不可能

27.4 使用上の注意事項

27.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、RSPI の動作禁止/許可を設定できます。リセット後の値では、RSPI の動作は停止します。モジュールストップ状態を解除することにより、レジスタをアクセスできます。詳細は「11. 消費電力低減機能」を参照してください。

27.4.2 消費電力低減機能の注意事項

モジュールストップ機能の使用、およびスリープモードを除く低消費電力モードに遷移する場合は、あらかじめ SPCR.SPE ビットを“0”に設定し通信を終了させてください。

27.4.3 通信の開始に関する注意事項

ICU.IRn.IR フラグが“1”で通信を開始すると、通信開始後の割り込み要求が内部で保持されるため、ICU.IRn.IR フラグが予期しない挙動となる可能性があります。

通信開始時点で ICU.IRn.IR フラグが“1”のときは、動作許可 (SPCR.SPE ビットを“1”にする) 前に下記の手順で割り込み要求をクリアしてください。

- (1) 通信が停止していること (SPCR.SPE ビットが“0”となっていること) を確認
- (2) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を“0”にする
- (3) 対応する割り込み許可ビット (SPCR.SPTIE ビットまたは SPCR.SPRIE ビット) を読み出し、“0”を確認
- (4) ICU.IRn.IR フラグを“0”にする

27.4.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF, SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE, SPTIE ビットを“0”にしてください。

28. CRC演算器 (CRC)

CRC (Cyclic Redundancy Check) 演算器は、CRCコード生成を行います。

28.1 概要

表 28.1 に CRC 演算器の仕様を示します。図 28.1 に CRC 演算器のブロック図を示します。

表 28.1 CRC演算器の仕様

項目	内容
CRC演算対象データ (注1)	8nビットのデータに対してCRCコードを生成 (n=自然数)
CRC演算処理方式	8ビット並列実行
CRC生成多項式	3つの多項式から選択可能 <ul style="list-style-type: none"> 8ビットCRC $X^8 + X^2 + X + 1$ 16ビットCRC $X^{16} + X^{15} + X^2 + 1$ $X^{16} + X^{12} + X^5 + 1$
CRC演算切り替え	LSBファーストまたはMSBファーストでの通信用に、CRC演算結果のビットオーダを切り替えることが可能
消費電力低減機能	モジュールストップ状態への設定が可能

注1. 演算対象データをCRC演算の単位に分割する機能はありません。8ビット単位で書いてください。

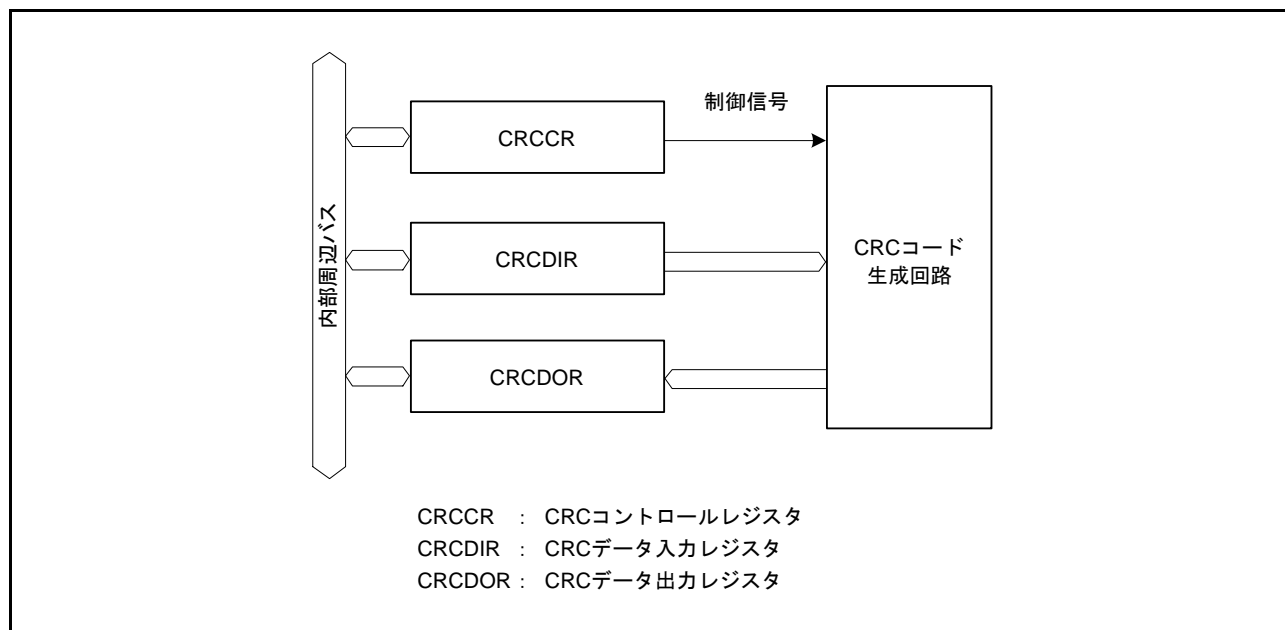


図 28.1 CRC演算器のブロック図

28.2 レジスタの説明

28.2.1 CRCコントロールレジスタ (CRCCR)

アドレス 0008 8280h

	b7	b6	b5	b4	b3	b2	b1	b0
	DORCLR	—	—	—	—	LMS	GPS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	GPS[1:0]	CRC生成多項式切り替えビット	b1 b0 0 0 : 演算しません 0 1 : 8ビットCRC ($X^8 + X^2 + X + 1$) 1 0 : 16ビットCRC ($X^{16} + X^{15} + X^2 + 1$) 1 1 : 16ビットCRC ($X^{16} + X^{12} + X^5 + 1$)	R/W
b2	LMS	CRC演算切り替えビット	0 : LSBファースト通信用にCRCを生成 1 : MSBファースト通信用にCRCを生成	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DORCLR	CRCDORレジスタクリアビット	1 : CRCDORレジスタをクリア 読むと“0”が読めます	R/W (注1)

注1. “1”のみ書けます。

LMSビット (CRC演算切り替えビット)

生成した16ビットのCRCコードのビットオーダを選択します。LSBファーストで通信を行う場合はCRCコードの下位バイト (b7～b0) から先に、MSBファーストで通信を行う場合はCRCコードの上位バイト (b15～b8) から先に送信してください。CRCコードの送信および受信については、「28.3 CRC演算器の動作説明」を参照してください。

DORCLRビット (CRCDORレジスタクリアビット)

DORCLRビットを“1”にすると、CRCDORレジスタが“0000h”になります。

読むと“0”が読めます。“1”のみ書けます。

28.2.2 CRCデータ入力レジスタ (CRCDIR)

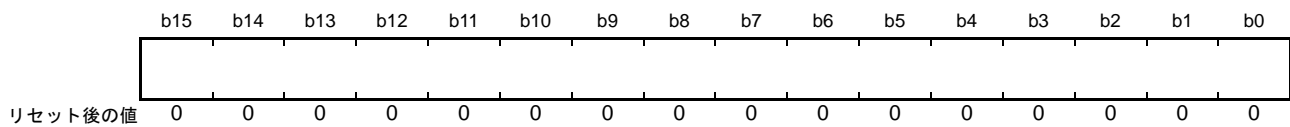
アドレス 0008 8281h

	b7	b6	b5	b4	b3	b2	b1	b0
リセット後の値	0	0	0	0	0	0	0	0

CRCDIRレジスタは、読み出し／書き込み可能なレジスタです。CRC演算対象となるデータを書いてください。

28.2.3 CRC データ出力レジスタ (CRCDOR)

アドレス 0008 8282h



CRCDOR レジスタは、読み出し／書き込み可能なレジスタです。

初期値は "0000h" ですので、初期値以外を用いて演算する場合は、CRCDOR を書き換えてください。

データを CRCDIR レジスタに書くと、演算結果が CRCDOR レジスタに格納されます。また、通信データに続いて CRC コードを CRC 演算し、結果が "0000h" の場合、誤りがないと判断できます。

8 ビット CRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、下位バイト (b7 ~ b0) に有効な CRC コードが得られます。上位バイト (b15 ~ b8) は、更新されません。

28.3 CRC演算器の動作説明

CRC演算器は、LSBファースト/MSBファースト通信用CRCコードを生成します。

16ビットのCRC生成多項式 ($X^{16} + X^{12} + X^5 + 1$) を使用して、入力データ (“F0h”) のCRCコードを生成する例を以下に示します。この例ではCRC演算の前に、CRCデータ出力レジスタ (CRCDOR) の値をクリアします。

8ビットCRC ($X^8 + X^2 + X + 1$ の多項式) を使用した場合は、CRCDORレジスタの下位バイトに有効なCRCコードが得られます。

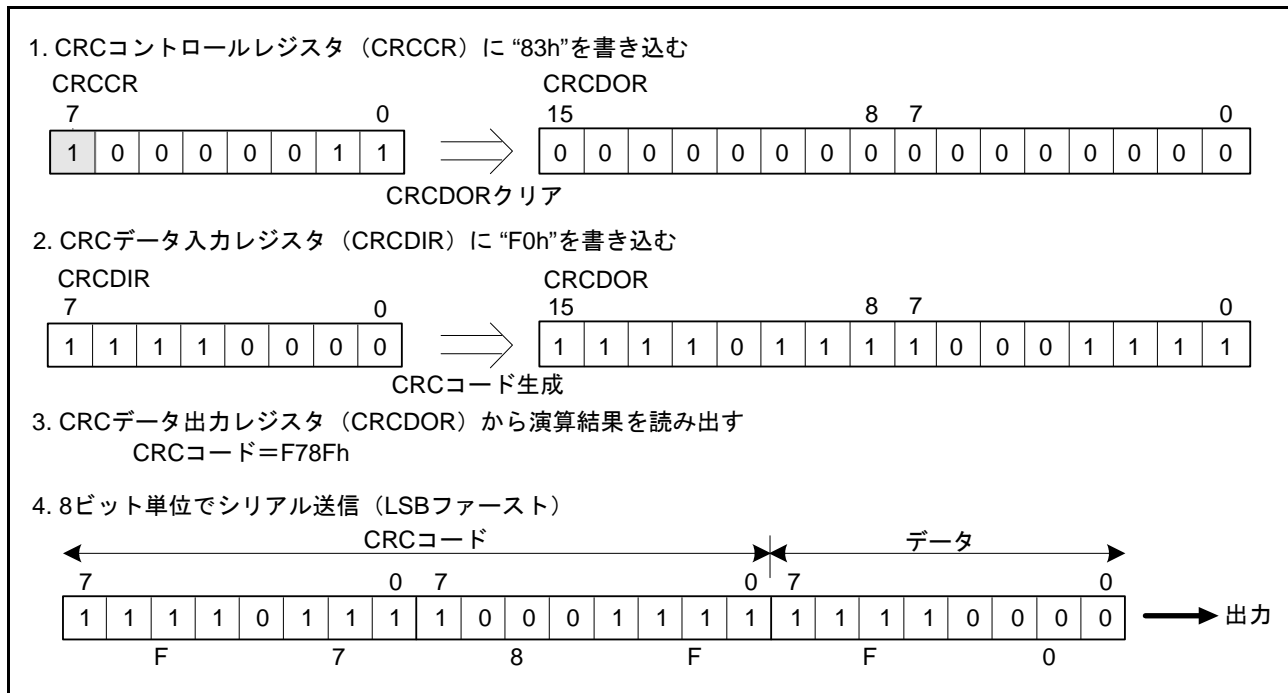


図 28.2 LSBファーストでのデータ送信

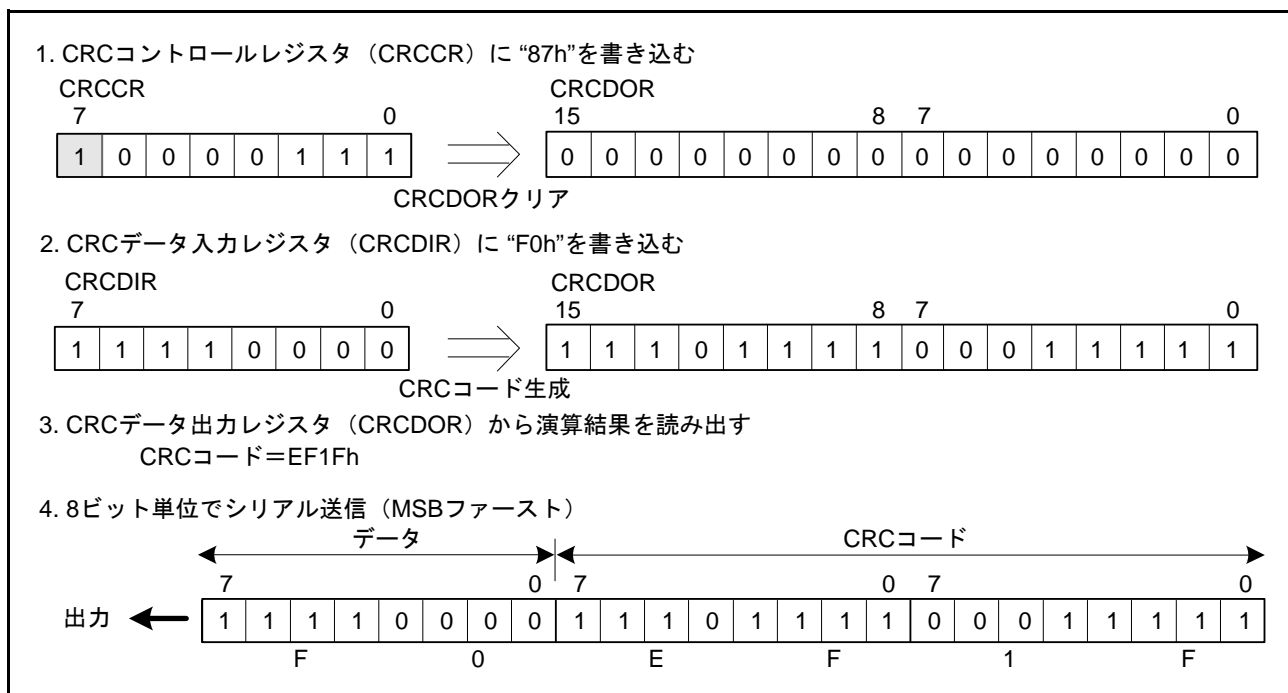


図 28.3 MSBファーストでのデータ送信

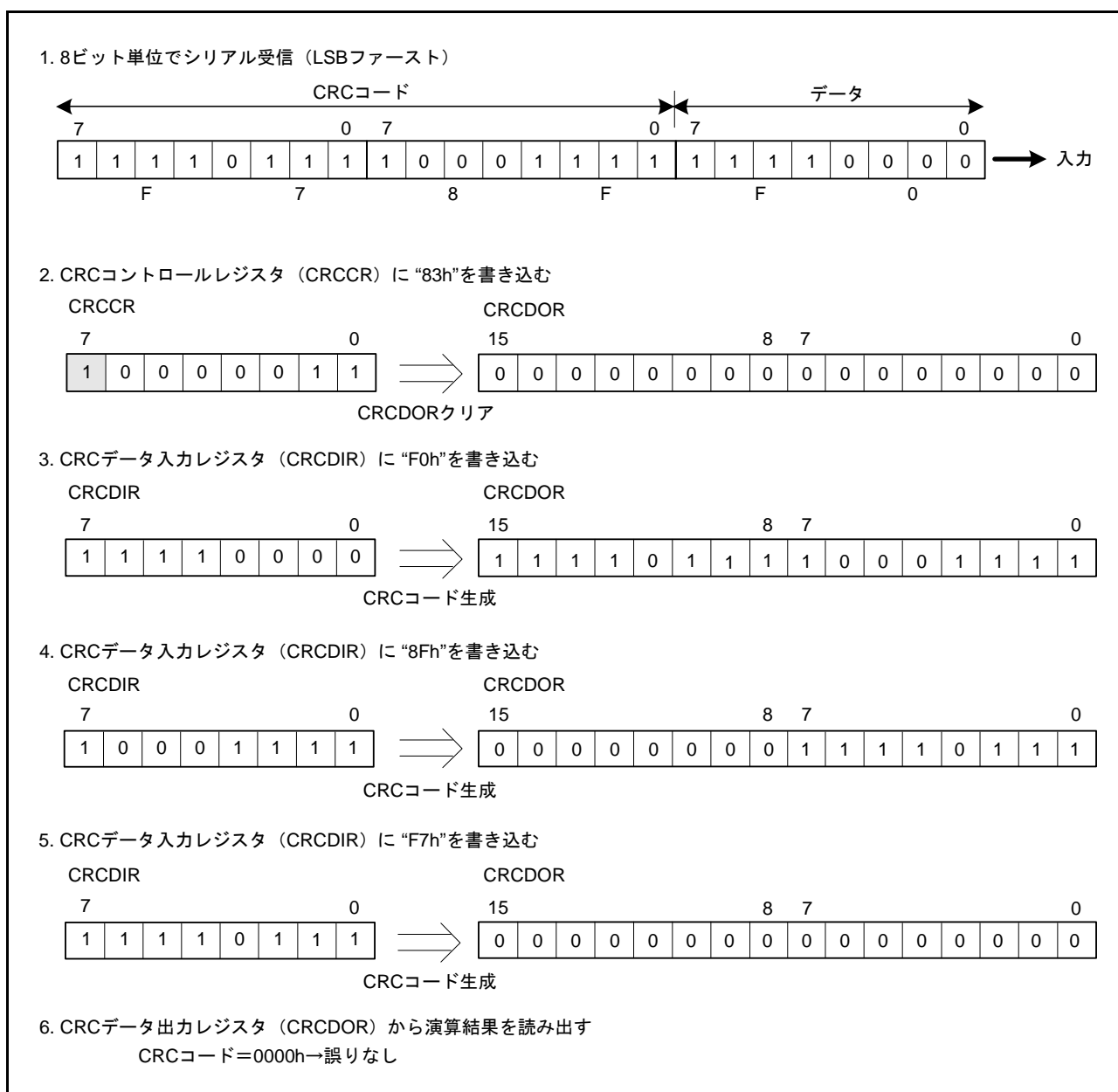


図 28.4 LSBファーストでのデータ受信

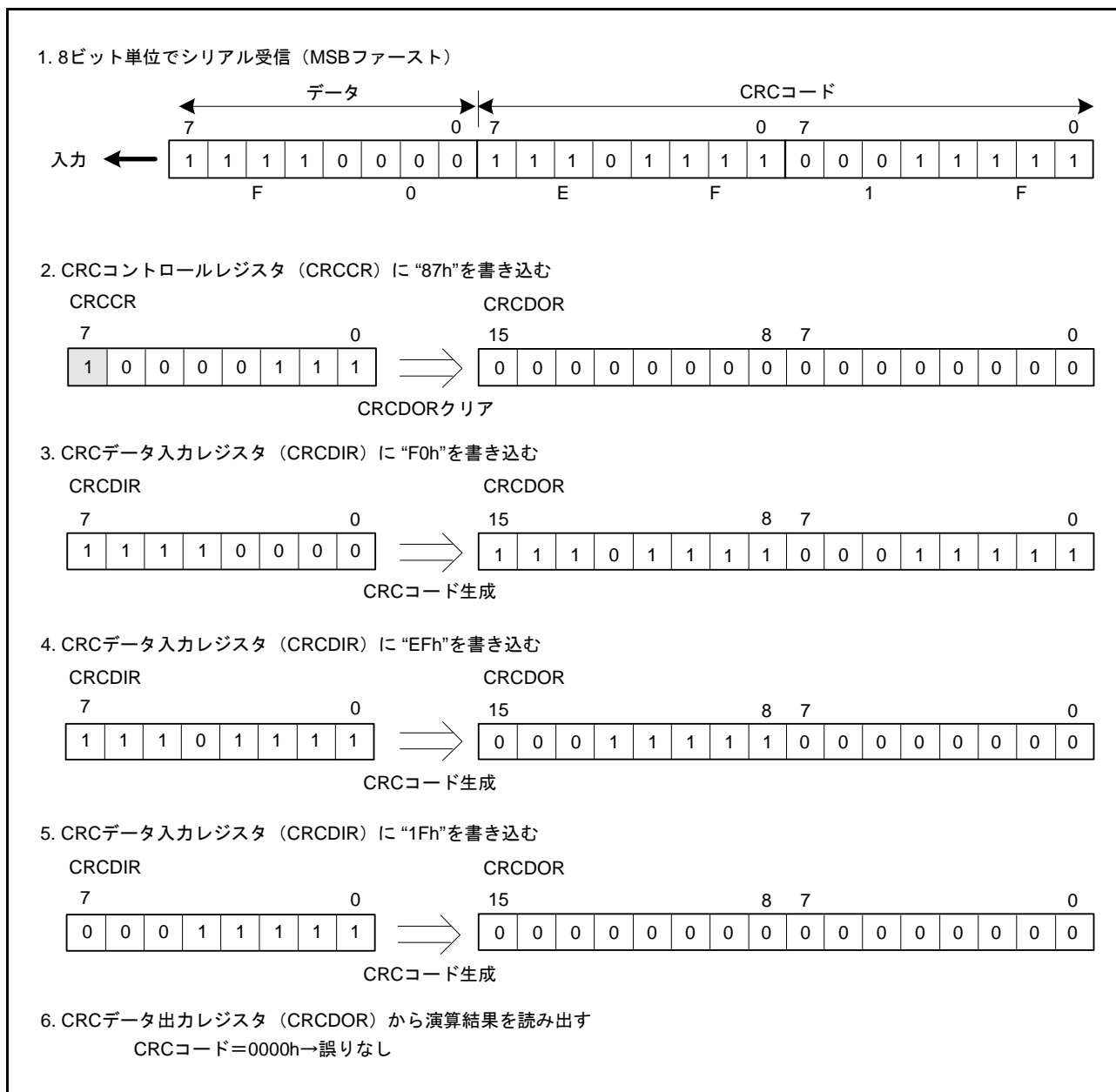


図 28.5 MSBファーストでのデータ受信

28.4 使用上の注意事項

28.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、CRC 演算器の動作を禁止/許可することが可能です。リセット後、CRC はモジュールストップ状態です。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。

詳細は「11. 消費電力低減機能」を参照してください。

28.4.2 転送時の注意事項

LSB ファーストで送信する場合と、MSB ファーストで送信する場合とは、CRC コードを送る順序が異なりますので注意してください。

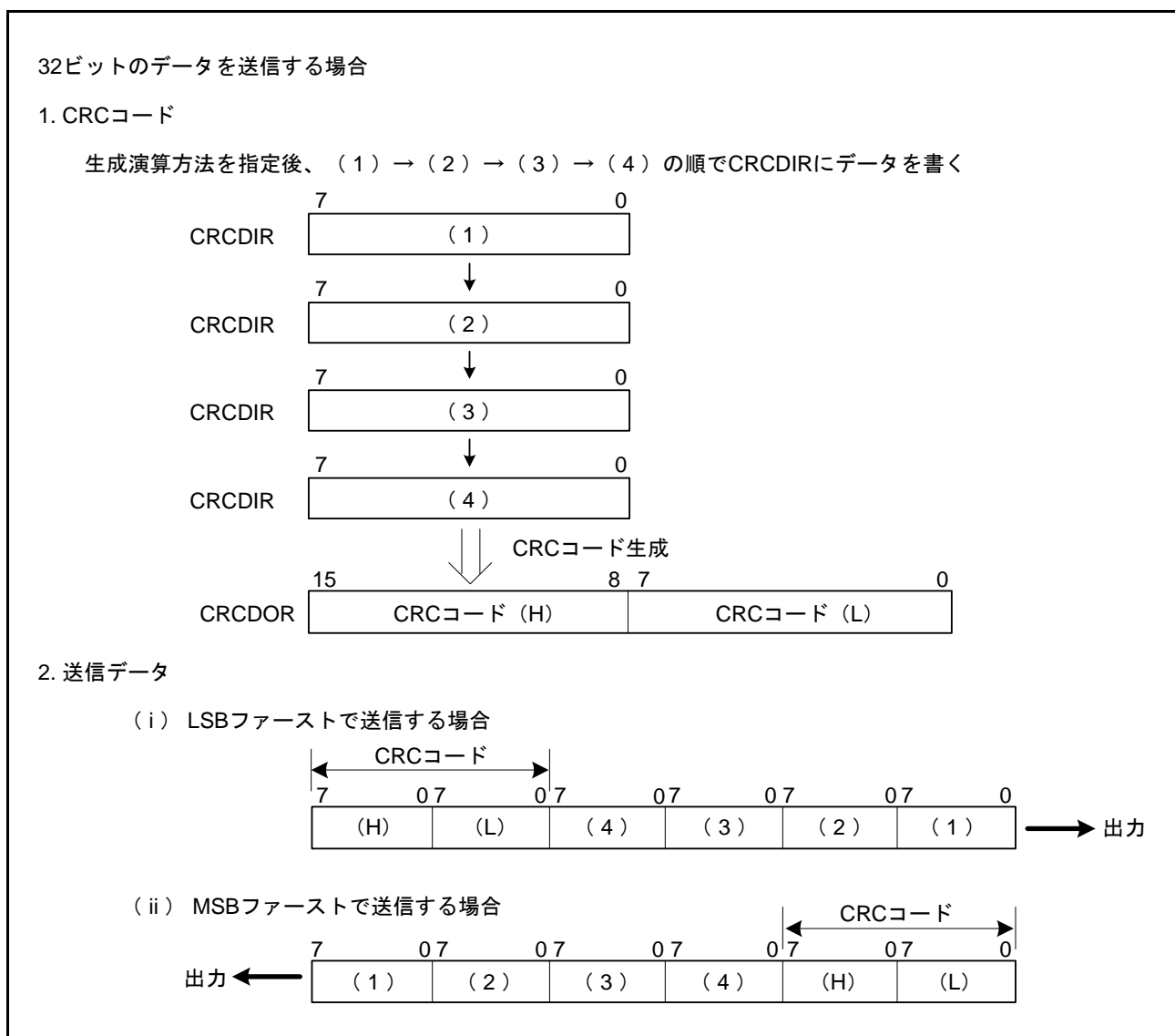


図 28.6 LSB ファーストと MSB ファーストの送信データ

29. 12ビットA/Dコンバータ (S12ADE)

本章に記載しているPCLKとはPCLKBを指します。

29.1 概要

本MCUは、逐次比較方式の12ビットのA/Dコンバータを1ユニット内蔵しています。最大10チャンネルのアナログ入力と内部基準電圧を選択できます。

12ビットA/Dコンバータは、選択した最大10チャンネルのアナログ入力、内部基準電圧を逐次比較方式で12ビットのデジタル値に変換します。動作モードは、任意に選択した最大10チャンネルのアナログ入力を若いチャンネル番号順に1回のみ変換するシングルスキャンモードと、任意に選択した最大10チャンネルのアナログ入力を順次若いチャンネル番号順に連続して変換する連続スキャンモードと、最大10チャンネルのアナログ入力を任意に選択して2つのグループ(グループAとグループB)に分け、グループ単位で選択したチャンネルのアナログ入力を若いチャンネル番号順に変換するグループスキャンモードがあります。

グループスキャンモードでは、グループAとグループBのスキャン開始条件(同期トリガ)を個別に選択することで、グループAとグループBは異なるタイミングでA/D変換を開始することができます。グループAの優先制御動作を設定すると、前述の動作に加えてグループBのA/D変換動作中にグループAのスキャン開始を受け付けて、グループBのA/D変換動作を中断して、グループAのA/D変換動作を優先的に開始します。

ダブルトリガモードは、任意に選択した1チャンネルのアナログ入力をシングルスキャンモードかグループスキャンモード(グループA)で変換し、1回目の同期トリガで変換したデータと2回目の同期トリガで変換したデータを別々のレジスタに格納(A/D変換データの2重化)します。

自己診断は、スキャンごとの最初に1回実施され、12ビットA/Dコンバータ内部で生成する3つの電圧値のうち1つをA/D変換します。

高電位側基準電圧には外部端子入力(VREFH0)かアナログ基準電圧(AVCC0)から選択することができます。低電位側基準電圧には外部端子入力(VREFL0)かアナログ基準電圧(AVSS0)を選択することができます。

表29.1に12ビットA/Dコンバータの仕様を、表29.2に12ビットA/Dコンバータの機能概要を示します。図29.1に12ビットA/Dコンバータのブロック図を示します。

表29.1 12ビットA/Dコンバータの仕様

項目	内容
ユニット数	1ユニット
入力チャンネル	10チャンネル
拡張アナログ機能	内部基準電圧
A/D変換方式	逐次比較方式
分解能	12ビット
変換時間	1チャンネル当たり1 μ s (A/D変換クロック ADCLK = 40MHz動作時)
A/D変換クロック	周辺モジュールクロックPCLK(注1)とA/D変換クロックADCLK(注1)を以下の周波数比で設定可能 PCLK : ADCLK周波数比 = 1 : 1, 1 : 2, 2 : 1, 4 : 1, 8 : 1 ADCLKの設定はクロック発生回路で行います
データレジスタ	<ul style="list-style-type: none"> アナログ入力用10本、ダブルトリガモードでのA/D変換データ2重化用1本、ダブルトリガモード拡張動作時のA/D変換データ2重化用2本 内部基準電圧用1本 自己診断用1本 A/D変換結果を12ビットA/Dデータレジスタに保持 A/D変換結果の12ビット精度出力に対応 加算モード時はA/D変換結果の加算値を変換精度ビット数+2ビット/4ビット(注2)でA/Dデータレジスタに保持 ダブルトリガモード(シングルスキャンとグループスキャンモードで選択可能) 選択した1つのチャンネルのアナログ入力のA/D変換データを1回目は対象チャンネルのデータレジスタに保持、2回目のA/D変換データは2重化レジスタに保持 ダブルトリガモード拡張動作(特定トリガ種別で有効) 選択した1つのチャンネルのアナログ入力のA/D変換データをトリガ種別毎に準備した2重化レジスタに保持
動作モード	<ul style="list-style-type: none"> シングルスキャンモード: 任意に選択した最大10チャンネルのアナログ入力を1回のみA/D変換 内部基準電圧を1回のみA/D変換 連続スキャンモード: 任意に選択した最大10チャンネルのアナログ入力を繰り返しA/D変換 グループスキャンモード: 任意に選択した最大10チャンネルのアナログ入力をグループAとグループBに分け、グループ単位で選択したアナログ入力を1回のみA/D変換 グループAとグループBは、各々の変換開始条件(同期トリガ)を選択することで異なるタイミングで変換開始可能 グループスキャンモード(グループA優先制御選択時) グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断し、グループAのA/D変換動作を実施 グループAのA/D変換動作終了後、グループBのA/D変換動作を再実行(再スキャン)の設定が可能
A/D変換開始条件	<ul style="list-style-type: none"> ソフトウェアトリガ 同期トリガ マルチファンクションタイムパルスユニット(MTU)、8ビットタイマ(TMR)からのトリガ 非同期トリガ 外部トリガADTRG0#端子によるA/D変換動作の開始が可能
機能	<ul style="list-style-type: none"> チャンネル専用サンプル&ホールド機能(3ch) サンプリングステート数可変機能 12ビットA/Dコンバータの自己診断機能 A/D変換値加算モードと平均モードが選択可能 アナログ入力断線検出機能(ディスチャージ機能/プリチャージ機能) ダブルトリガモード(A/D変換データ2重化機能) A/Dデータレジスタオートクリア機能
割り込み要因	<ul style="list-style-type: none"> ダブルトリガモードとグループスキャンモードを除き、1回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 ダブルトリガモードの設定では、2回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生 グループスキャンモードの設定では、グループAのスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 グループスキャンモードでダブルトリガモード選択時は、グループAの2回のスキャン終了でスキャン終了割り込み要求(S12ADI)を発生。グループBのスキャン終了でグループB専用のスキャン終了割り込み要求(GBADI)を発生 S12ADI、GBADI割り込みでデータトランスファコントローラ(DTC)を起動可能
消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ状態への設定が可能(注3、注4)

- 注1. 周辺モジュールクロックPCLKはSCKCR.PCKB[3:0]ビットで設定した周波数、A/D変換クロックADCLKはSCKCR.PCKD[3:0]ビットで設定した周波数になります。
- 注2. 加算時の拡張ビット数は、加算回数により異なります。
2ビット拡張：1～4回変換(0～3回加算)
4ビット拡張：16回変換(15回加算)
- 注3. 詳細は、「11. 消費電力低減機能」を参照してください。
- 注4. モジュールストップ状態を解除後は、1μs以上待ってからA/D変換を開始してください。

表29.2 12ビットA/Dコンバータの機能概要

項目		端子名、略称等		
アナログ入力チャネル		AN000～AN007、 AN016、AN017、 内部基準電圧		
A/D変換開始 条件	ソフトウェア	ソフトウェアトリガ	可能	
	非同期トリガ	ADTRG0#	可能	
	同期トリガ	MTU0.TGRAのコンペアマッチ/インプットキャプチャ		TRGA0N
		MTU1.TGRAのコンペアマッチ/インプットキャプチャ		TRGA1N
		MTU2.TGRAのコンペアマッチ/インプットキャプチャ		TRGA2N
		MTU3.TGRAのコンペアマッチ/インプットキャプチャ		TRGA3N
		MTU4.TGRAのコンペアマッチ/インプットキャプチャまたは 相補PWMモード時MTU4.TCNTのアンダフロー(谷)		TRGA4N
		MTU0.TGREのコンペアマッチ		TRG0N
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチ		TRG4AN
		MTU4.TADCORBとMTU4.TCNTのコンペアマッチ		TRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチまたは MTU4.TADCORBとMTU4.TCNTのコンペアマッチ		TRG4ANまたはTRG4BN
		MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)		TRG4ABN
	TMR0.TCORAとTMR0.TCNT		TMTRG0AN_0	
	TMR2.TCORAとTMR2.TCNT		TMTRG0AN_1	
チャネル専用独立サンプル&ホールド 機能	対象チャネル	AN000～AN002		
割り込み		S12ADI、GBADI割り込み		
モジュールストップ機能の設定(注1)		MSTPCRA.MSTPA17ビット		

- 注1. 詳細は、「11. 消費電力低減機能」を参照してください。

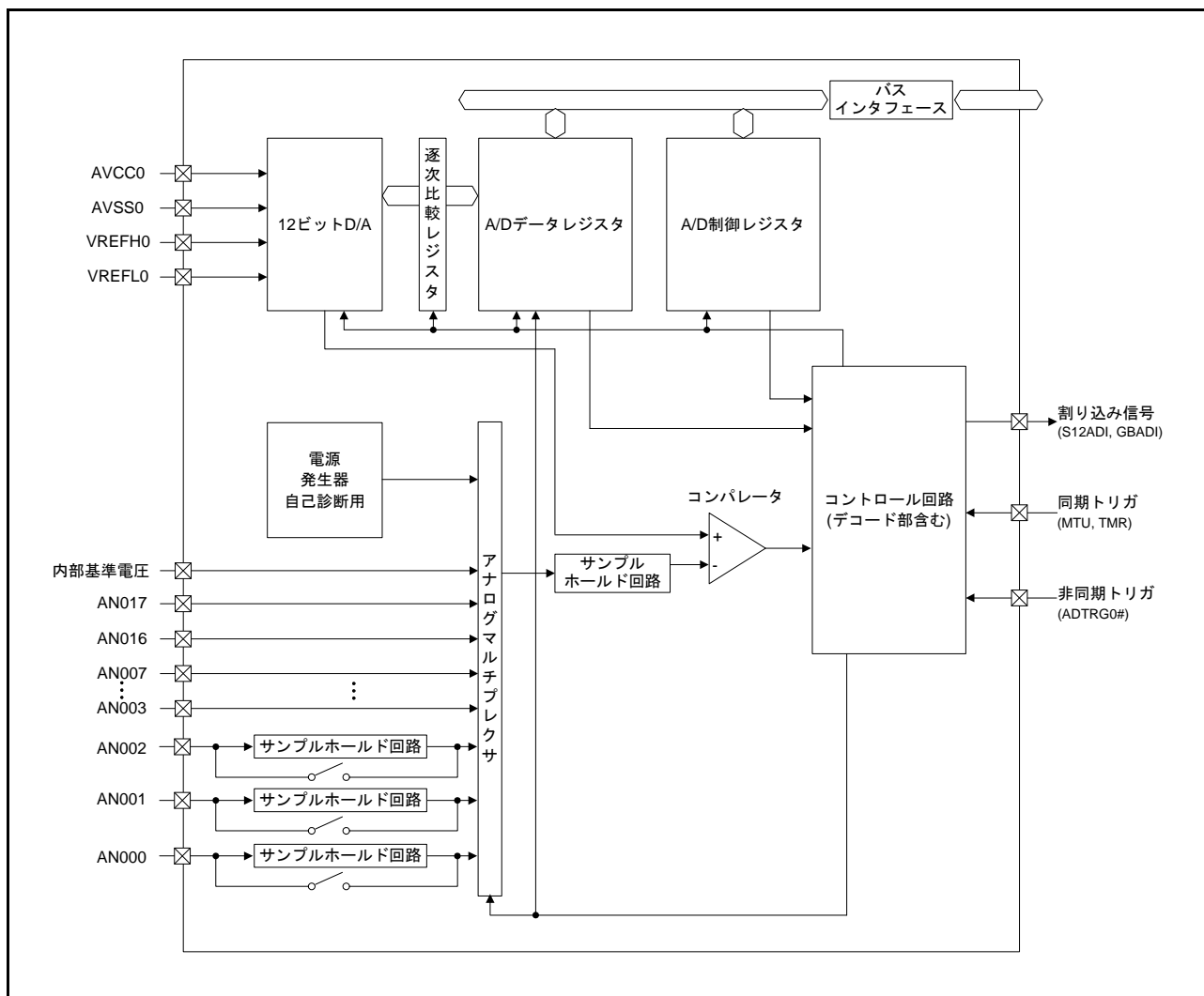


図 29.1 12ビットA/Dコンバータのブロック図

表 29.3 に 12ビットA/Dコンバータで使用する入力端子を示します。

表29.3 12ビットA/Dコンバータの入力端子

端子名	入出力	機能
AVCC0	入力	アナログ部の電源端子
AVSS0	入力	アナログ部のグランド端子
VREFH0	入力	基準電源端子
VREFL0	入力	基準電源グランド端子
AN000～AN007、AN016、AN017	入力	アナログ入力端子0～7、アナログ入力端子16、17
ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
ADST0	出力	ADSTビットの状態出力端子

29.2 レジスタの説明

29.2.1 A/D データレジスタ y (ADDRy)

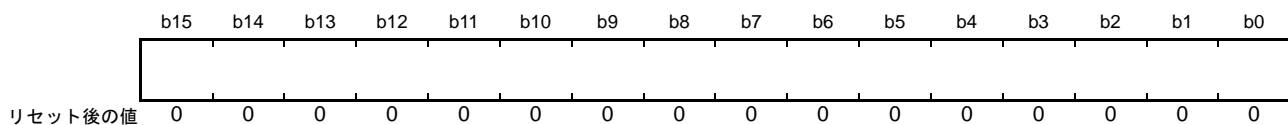
A/D データ 2 重化レジスタ (ADDBLDR)

A/D データ 2 重化レジスタ A (ADDBLDRA)

A/D データ 2 重化レジスタ B (ADDBLDRB)

A/D 内部基準電圧データレジスタ (ADOCDR)

アドレス S12AD.ADDR0 0008 9020h, S12AD.ADDR1 0008 9022h, S12AD.ADDR2 0008 9024h,
S12AD.ADDR3 0008 9026h, S12AD.ADDR4 0008 9028h, S12AD.ADDR5 0008 902Ah,
S12AD.ADDR6 0008 902Ch, S12AD.ADDR7 0008 902Eh, S12AD.ADDR16 0008 9040h,
S12AD.ADDR17 0008 9042h, S12AD.ADDBLDR 0008 9018h, S12AD.ADDBLDRA 0008 9084h,
S12AD.ADDBLDRB 0008 9086h, S12AD.ADOCDR 0008 901Ch



ADDRy レジスタ (y = 0 ~ 7, 16, 17) は、A/D 変換結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDR レジスタは、ダブルトリガモード選択時の 2 回目のトリガによって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADDBLDRA レジスタと ADDBLDRB レジスタは、ダブルトリガモード選択時の拡張動作であるトリガ種別によって A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。ADOCDR レジスタは、内部基準電圧を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

各レジスタは、下記の条件でフォーマットが異なります。

- A/D データレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)
- 加算回数選択ビット (ADADC.ADC[2:0]) の設定値 (1 回、2 回、3 回、15 回加算)
- 平均モードイネーブルビット (ADADC.AVEE) の設定値 (加算、または平均)

以下、条件ごとのフォーマットを示します。

(1) A/D 変換値加算 / 平均モードを非選択とした場合

- 右詰めのフォーマットに設定した場合
b11-b0 に A/D 変換値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に A/D 変換値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

(2) A/D 変換値平均モードを選択した場合

- 右詰めのフォーマットに設定した場合
b11-b0 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b15-b12 は “0” が読み出されます。
- 左詰めのフォーマットに設定した場合
b15-b4 に同一チャンネルの A/D 変換値を平均した値を格納します。読み出し時、b3-b0 は “0” が読み出されます。

A/D 変換値加算モードを 2 回、4 回に設定の場合のみ、A/D 変換値平均モードを設定できます。

(3) A/D 変換値加算モードを選択した場合

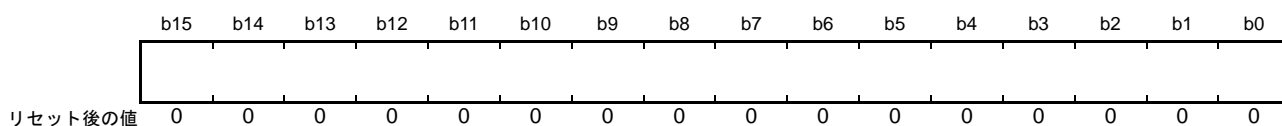
- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回 ~ 4 回選択時) に設定した場合
b13-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b15-b14 は “0” が読み出されます。

- 右詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合 b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 1 回～4 回選択時) に設定した場合 b15-b2 に同一チャンネルの A/D 変換値を加算した値を格納します。読み出し時、b1-b0 は“0”が読み出されます。
- 左詰めのフォーマット (A/D 変換値加算モード、変換回数 16 回選択時) に設定した場合 b15-b0 に同一チャンネルの A/D 変換値を加算した値を格納します。

A/D 変換値加算モードを選択したとき、同一チャンネルの A/D 変換値を加算した値を示します。A/D 変換回数を 1 回～4 回、16 回に設定できます。A/D 変換値加算モードを選択すると、変換回数を 1 回～4 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 2 ビット分拡張したデータとして、変換回数を 16 回に設定した場合は、A/D 変換結果の加算値を変換精度のビット数に 4 ビット分拡張したデータとして、A/D データレジスタに保持します。A/D 変換値加算モードを選択した場合でも、A/D データレジスタフォーマット選択ビットの設定に従い、A/D データレジスタに値が格納されます。

29.2.2 A/D 自己診断データレジスタ (ADRD)

アドレス S12AD.ADRD 0008 901Eh



ADRD レジスタは、12ビットA/Dコンバータの自己診断でA/D変換した結果を格納する16ビットの読み出し専用レジスタです。A/D変換値に加えて、自己診断のステータスが付加されます。ADRDレジスタは下記の条件でフォーマットが異なります。

- A/Dデータレジスタフォーマット選択ビット (ADCER.ADRFMT) の設定値 (右詰め、または左詰め)

AD自己診断機能にはA/D変換加算モードとA/D変換平均モードを適用することはできません。自己診断の詳細については「29.2.11 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

以下、条件ごとのフォーマットを示します。

- 右詰めフォーマットに設定した場合
b11-b0にA/D変換値を格納します。b15-b14に自己診断ステータスを格納します。読み出し時、b13-b12は“0”が読み出されます。
- 左詰めフォーマットに設定した場合
b15-b4にA/D変換値を格納します。b1-b0に自己診断ステータスを格納します。読み出し時、b3-b2は“0”が読み出されます。

表29.4 自己診断ステータス内容

右詰めフォーマット時のb15-b14 左詰めフォーマット時のb1-b0	自己診断ステータス
00b	パワーオンから一度も自己診断を実施していないことを示します
01b	0Vの電圧値の自己診断を実施したことを示します
10b	基準電源×1/2の電圧値の自己診断を実施したことを示します
11b	基準電源の電圧値の自己診断を実施したことを示します

注. 自己診断の詳細については、「29.2.11 A/Dコントロール拡張レジスタ (ADCER)」を参照してください。

29.2.3 A/D コントロールレジスタ (ADCSR)

アドレス S12AD.ADCSR 0008 9000h

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
ADST	ADCS[1:0]	ADIE	—	—	TRGE	EXTRG	DBLE	GBADIE	—	DBLANS[4:0]					
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	DBLANS[4:0]	ダブルトリガ対象チャンネル選択ビット	ダブルトリガ対象のアナログ入力を1チャンネル選択します。ダブルトリガモード選択時のみ有効です	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	GBADIE	グループBスキャン終了割り込み許可ビット	0: グループBのスキャン終了後にGBADI割り込み発生を禁止 1: グループBのスキャン終了後にGBADI割り込み発生を許可	R/W
b7	DBLE	ダブルトリガモード選択ビット	0: ダブルトリガモード非選択 1: ダブルトリガモード選択	R/W
b8	EXTRG	トリガ選択ビット (注1)	0: 同期トリガによるA/D変換の開始を選択 1: 非同期トリガによるA/D変換の開始を選択	R/W
b9	TRGE	トリガ開始許可ビット	0: 同期、非同期トリガによるA/D変換の開始を禁止 1: 同期、非同期トリガによるA/D変換の開始を許可	R/W
b11-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b12	ADIE	スキャン終了割り込み許可ビット	0: スキャン終了後のS12ADI割り込み発生を禁止 1: スキャン終了後のS12ADI割り込み発生を許可	R/W
b14-b13	ADCS[1:0]	スキャンモード選択ビット	b14 b13 0 0: シングルスキャンモード 0 1: グループスキャンモード 1 0: 連続スキャンモード 1 1: 設定禁止	R/W
b15	ADST	A/D変換スタートビット	0: A/D変換停止 1: A/D変換開始	R/W

注1. 外部端子(非同期トリガ)でA/D変換を起動する方法
外部端子(ADTRG0#)にHighを入力した状態で、ADCSR.TRGEビットを“1”、ADCSR.EXTRGビットを“1”にします。その後、ADTRG0#の信号をLowに変化させると、ADTRG0#の立ち下がりがエッジを検出し、スキャン変換を開始します。このときのLow入力のパルス幅は、1.5PCLKクロック以上必要です。

ADCSR レジスタは、ダブルトリガモードの設定、A/D変換起動トリガの設定、スキャン終了割り込み許可/禁止、スキャンモードの選択、A/D変換の開始/停止を行うレジスタです。

DBLANS[4:0] ビット (ダブルトリガ対象チャンネル選択ビット)

ダブルトリガモードでA/D変換データを2重化する1チャンネルを選択します。

DBLANS[4:0] ビットで選択したチャンネルのアナログ入力を、1回目のA/D変換開始トリガで変換した結果がA/Dデータレジスタyに格納され、2回目のA/D変換開始トリガで変換した結果がA/Dデータ2重化レジスタに格納されます。表29.5にダブルトリガ対象チャンネルの選択表を示します。

ダブルトリガモードを選択した場合は、ADANSA0、ADANSA1レジスタで選択したチャンネルの選択は無効になり、DBLANS[4:0] ビットで選択した1チャンネルがA/D変換を行うチャンネルとなります。

ダブルトリガモードを使用する場合は、自己診断機能、および内部基準電圧のA/D変換は選択しないでください(グループスキャンのグループBのA/D変換には複数チャンネルのアナログ入力が選択可能です)。また、DBLANS[4:0] ビットは、ADSTビットが“0”のときに設定してください(ADSTビットへの“1”書き込みと同時設定もしないでください)。

なお、ダブルトリガモードを設定した状態でのA/D変換値加算/平均モードは、DBLANS[4:0] ビットで選択したチャンネルをADANSA0、ADANSA1レジスタで選択することで実行可能です。

表 29.5 DBLANS[4:0] ビット設定値とダブルトリガ対象チャンネルの関係

DBLANS[4:0]	2重化チャンネル	DBLANS[4:0]	2重化チャンネル
00000b	AN000	10000b	AN016
00001b	AN001	10001b	AN017
00010b	AN002		
00011b	AN003		
00100b	AN004		
00101b	AN005		
00110b	AN006		
00111b	AN007		

GBADIE ビット (グループ B スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B のスキャン終了割り込み (GBADI) の発生を許可 / 禁止します。

DBLE ビット (ダブルトリガモード選択ビット)

ダブルトリガモードは、1 回目の同期トリガで変換された結果と 2 回目で変換された結果を別々の結果レジスタに格納する機能です。

ダブルトリガモードを選択した場合、ADANSA0、ADANSA1 レジスタで指定したチャンネルは無効となり、DBLANS[4:0] ビットで選択したチャンネルが有効となります。ADSTRGR.TRSA[5:0] ビットで選択された同期トリガのみで動作します。非同期トリガ、およびソフトウェアトリガは発生させないでください。1 回目の同期トリガで変換した結果は、A/D データレジスタ y に格納され、2 回目の同期トリガで変換した結果は、A/D データ 2 重化レジスタに格納されます。このとき、ADIE ビットが“1”に設定していると、1 回目の変換終了時は割り込みを発生せず、2 回目の変換終了時に割り込みを発生します。

なお、ダブルトリガモードは、連続スキャンモードで使用しないでください。

DBLE ビットの設定は、あらかじめ ADST ビットを“0”にしてから行ってください。

EXTRG ビット (トリガ選択ビット)

A/D 変換を起動するトリガを同期トリガにするか、非同期トリガにするかを選択します。

TRGE ビット (トリガ開始許可ビット)

同期トリガ、非同期トリガによる A/D 変換の起動を許可 / 禁止します。

グループスキャンモードでは、このビットを“1”にしてください。

ADIE ビット (スキャン終了割り込み許可ビット)

グループスキャンモードでのグループ B を除く、A/D スキャン変換終了割り込み (S12ADI) の発生を許可 / 禁止します。

ダブルトリガモードを非選択に設定した場合は、1 回のスキャンが終了したときに、ADIE ビットが“1”に設定されていれば、S12ADI 割り込みが発生します。

ダブルトリガモードを選択した場合は、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガからのトリガで開始したスキャンに限り、2 回目のスキャンが終了したときに ADIE ビットが“1”に設定されていれば S12ADI 割り込みが発生します。

ADCS[1:0] ビット (スキャンモード選択ビット)

スキャン変換モードを選択します。

シングルスキャンモードは、ADANSA0、ADANSA1 レジスタで選択した最大 10 チャンネルのアナログ入力

を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了するとスキャン変換を停止します。

連続スキャンモードは、ADCSR.ADST ビットが“1”の間、ADANSA0、ADANSA1 レジスタで選択した最大 10 チャンネルのアナログ入力を若いチャンネル番号順に A/D 変換を実施し、選択されたすべてのチャンネルの変換が終了すると最初のチャンネルに戻り A/D 変換を継続します。連続スキャン中に ADCSR.ADST ビットを“0”にすると、スキャン中に A/D 変換を停止します。

グループスキャンモードは ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 10 チャンネルのアナログ入力 (グループ A) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。また、同様に ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを A/D 変換開始条件として、ADANSA0、ADANSA1 レジスタで選択した最大 10 チャンネルのアナログ入力 (グループ B) を若いチャンネル番号順に A/D 変換を実施し、選択したすべてのチャンネルの A/D 変換が終了すると停止します。

グループスキャンモードを選択する場合は、グループ A とグループ B で異なるチャンネルと異なるトリガを選択してください。

内部基準電圧を選択する場合は、シングルスキャンモードを選択し、ADANSA0、ADANSA1 レジスタでのチャンネル選択を全て非選択としてから A/D 変換を行います。選択した内部基準電圧の A/D 変換が終了すると停止します。

ADCS[1:0] ビットは、ADST ビットが“0”のときに設定してください (ADST ビットへの“1”書き込みと同時設定もしないでください)。

ADST ビット (A/D 変換スタートビット)

A/D 変換の開始 / 停止を制御します。

ADST ビットを“1”に設定する前に、A/D 変換クロック、変換モード、変換対象アナログ入力の設定を行ってください。

["1"になる条件]

- ソフトウェアで“1”を書き込んだとき
- ADCSR.EXTRG ビットに“0”、ADCSR.TRGE ビットに“1”を設定し、ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- グループスキャンモードで ADCSR.TRGE ビットに“1”を設定し ADSTRGR.TRSA[5:0] ビットで選択した同期トリガを検出したとき
- ADCSR.TRGE ビットと ADCSR.EXTRG ビットを“1”、ADSTRGR.TRSA[5:0] ビットを“000000b”に設定し、非同期トリガを検出したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、グループ B のトリガを検出し、グループ B の A/D 変換を開始したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の A/D 変換を再開したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B の A/D 変換を開始したとき

["0"になる条件]

- ソフトウェアで“0”を書き込んだとき
- シングルスキャンモードで、選択したすべてのチャンネルまたは内部基準電圧の A/D 変換が終了したとき
- グループスキャンモードでグループ A のスキャンが終了したとき
- グループスキャンモードでグループ B のスキャンが終了したとき
- グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1) に、

グループ B の A/D 変換実行中に、グループ A のトリガを検出し、グループ B のスキャンが中断されたとき

- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRSCN ビットを“1”に設定し、グループ B の再起動トリガによるスキャンが終了したとき
- グループA優先制御動作モード有効時(ADCSR.ADCS[1:0]ビット=01bかつADGSPCR.PGSビット=1)に、ADGSPCR.GBRP ビットを“1”に設定し、グループ B のトリガによるスキャンが終了したとき

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、ADST ビットを“1”にしないでください。

注． グループ A 優先制御動作モード有効時 (ADCSR.ADCS[1:0] ビット = 01b かつ ADGSPCR.PGS ビット = 1)、かつ ADGSPCR.GBRP ビット = 1 のとき、ADST ビットを“0”にしないでください。A/D 変換を強制停止させる場合、ADST ビットのクリア手順に従ってください。

29.2.4 A/D チャネル選択レジスタ A0 (ADANSA0)

アドレス S12AD.ADANSA0 0008 9004h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSA0 07	ANSA0 06	ANSA0 05	ANSA0 04	ANSA0 03	ANSA0 02	ANSA0 01	ANSA0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA000	A/D変換チャンネル選択ビット	0 : AN000 ~ AN007を変換対象から外す 1 : AN000 ~ AN007を変換対象とする	R/W
b1	ANSA001			R/W
b2	ANSA002			R/W
b3	ANSA003			R/W
b4	ANSA004			R/W
b5	ANSA005			R/W
b6	ANSA006			R/W
b7	ANSA007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA0 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA0n ビット (n = 00 ~ 07) (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA000 ビットが AN000 に、ANSA007 ビットが AN007 に対応します。

内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください(本レジスタ設定値を“0000h”としてください)。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA0n ビットの設定は無効になります。

ANSA0n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

29.2.5 A/D チャンネル選択レジスタ A1 (ADANSA1)

アドレス S12AD.ADANSA1 0008 9006h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSA1 01	ANSA1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSA100	A/D変換チャンネル選択ビット	0 : AN016、AN017を変換対象から外す	R/W
b1	ANSA101		1 : AN016、AN017を変換対象とする	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSA1 レジスタは、A/D 変換を行うチャンネルのアナログ入力 AN016、AN017 を選択するレジスタです。グループスキャンモードでは、グループ A のチャンネルを選択します。

ANSA1n ビット (n = 00, 01) (A/D 変換チャンネル選択ビット)

A/D 変換を行うチャンネルのアナログ入力 AN016、AN017 の選択を行います。選択するチャンネルおよびチャンネル数は任意に設定可能です。ANSA100 ビットが AN016 に、ANSA101 ビットが AN017 に対応します。

内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください(本レジスタ設定値を 0000h としてください)。

ダブルトリガモードを選択した場合は、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルがグループ A の選択チャンネルとなり、ANSA1n ビットの設定は無効になります。

ANSA1n ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

29.2.6 A/D チャネル選択レジスタ B0 (ADANSB0)

アドレス S12AD.ADANSB0 0008 9014h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ANSB0 07	ANSB0 06	ANSB0 05	ANSB0 04	ANSB0 03	ANSB0 02	ANSB0 01	ANSB0 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB000	A/D変換チャンネル選択ビット	0 : AN000 ~ AN007を変換対象から外す 1 : AN000 ~ AN007を変換対象とする	R/W
b1	ANSB001			R/W
b2	ANSB002			R/W
b3	ANSB003			R/W
b4	ANSB004			R/W
b5	ANSB005			R/W
b6	ANSB006			R/W
b7	ANSB007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB0 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 を選択するレジスタです。ADANSB0 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB0n ビット (n = 00 ~ 07) (A/D 変換チャンネル選択ビット)

グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN000 ~ AN007 の選択を行います。ADANSB0 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB000 ビットが AN000 に、ANSB007 ビットが AN007 に対応します。

内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタ設定値を 0000h としてください)。

ANSB0n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

29.2.7 A/D チャンネル選択レジスタ B1 (ADANSB1)

アドレス S12AD.ADANSB1 0008 9016h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	—	—	—	—	—	—	ANSB1 01	ANSB1 00
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ANSB100	A/D変換チャンネル選択ビット	0 : AN016、AN017を変換対象から外す	R/W
b1	ANSB101		1 : AN016、AN017を変換対象とする	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADANSB1 レジスタは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネルのアナログ入力 AN016、AN017 を選択するレジスタです。ADANSB1 レジスタはグループスキャンモード以外のスキャンモードでは使用しません。

ANSB1n ビット (n = 00, 01) (A/D 変換チャンネル選択ビット)

ANSB1n ビットは、グループスキャンモード選択時にグループ B で A/D 変換を行うチャンネル AN016、AN017 の選択を行います。ADANSB1 レジスタは他のスキャンモードでは使用しません。選択するチャンネルおよびチャンネル数は、グループ A で指定したチャンネル (ADANSA0、ADANSA1 レジスタ、またはダブルトリガモードによる ADCSR.DBLANS[4:0] ビットで選択したグループ A に該当するチャンネル) 以外から設定します。

ANSB100 ビットが AN016 に、ANSB101 ビットが AN017 に対応します。

内部基準電圧を A/D 変換する場合は、アナログ入力チャンネルを選択しないでください (本レジスタ設定値を 0000h としてください)。

ANSB1n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

29.2.8 A/D変換値加算 / 平均機能チャンネル選択レジスタ 0 (ADADS0)

アドレス S12AD.ADADS0 0008 9008h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	—	ADS007	ADS006	ADS005	ADS004	ADS003	ADS002	ADS001	ADS000
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ADS000	A/D変換値加算/平均チャンネル選択ビット	0 : AN000～AN007のA/D変換値加算/平均モード非選択 1 : AN000～AN007のA/D変換値加算/平均モード選択	R/W
b1	ADS001			R/W
b2	ADS002			R/W
b3	ADS003			R/W
b4	ADS004			R/W
b5	ADS005			R/W
b6	ADS006			R/W
b7	ADS007			R/W
b15-b8	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS0レジスタは、A/D変換を連続2～4、16回実施して加算（積算）、または平均するA/D変換チャンネル00～07を選択します。

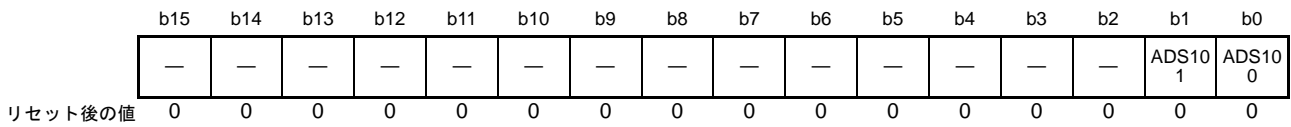
ADS0nビット (n = 00～07) (A/D変換値加算 / 平均チャンネル選択ビット)

ADANSA0.ANSA0nビット (n = 00～07)、または ADCSR.DBLANS[4:0]ビットと ADANSB0.ANSB0nビット (n = 00～07) で選択したA/D変換チャンネルと同一番号のADS0nビットを“1”にすると、ADADC.ADC[2:0]ビットで設定した回数(2～4、16回)分、選択したチャンネルのアナログ入力を連続してA/D変換し、ADADC.AVEEビットが“0”の場合、加算（積算）した値を、ADADC.AVEEビットが“1”の場合、加算（積算）値から平均した値をA/Dデータレジスタに格納します。加算/平均モードが非選択のA/D変換チャンネルは、通常の1回変換を実施し、A/Dデータレジスタに値を格納します。

ADS0nビットは、ADCSR.ADSTビットが“0”のときに設定してください。

29.2.9 A/D 変換値加算 / 平均機能チャンネル選択レジスタ 1 (ADADS1)

アドレス S12AD.ADADS1 0008 900Ah



ビット	シンボル	ビット名	機能	R/W
b0	ADS100	A/D変換値加算/平均チャンネル選択ビット	0 : AN016、AN017のA/D変換値加算/平均モード非選択	R/W
b1	ADS101		1 : AN016、AN017のA/D変換値加算/平均モード選択	R/W
b15-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADADS1 レジスタは、A/D 変換を連続 2 ~ 4、16 回実施して加算 (積算)、または平均する A/D 変換チャンネル 16、17 を選択します。

ADS1n ビット (n = 00, 01) (A/D 変換値加算 / 平均チャンネル選択ビット)

ADANSA1.ANSA1n ビット (n = 00, 01)、または ADCSR.DBLANS[4:0] ビットと ADANSB1.ANSB1n ビット (n = 00, 01) で選択した A/D 変換チャンネルと同一番号の ADS1n ビットを “1” にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、選択したチャンネルのアナログ入力を連続して A/D 変換し、ADADC.AVEE ビットが “0” の場合、加算 (積算) した値を、ADADC.AVEE ビットが “1” の場合、加算 (積算) 値から平均した値を A/D データレジスタに格納します。加算 / 平均モードが非選択の A/D 変換チャンネルは、通常の 1 回変換を実施し、A/D データレジスタに値を格納します。

ADS1n ビットは、ADCSR.ADST ビットが “0” のときに設定してください。

図 29.2 に ADS002 ビットと ADS006 ビットを “1” にしたときのスキャン動作シーケンスを示します。

連続スキャンモード (ADCSR.ADCS[1:0] = 10b) で、加算モードを選択 (ADADC.AVEE = 0)、加算回数は 3 回に設定 (ADADC.ADC[2:0] = 011b)、AN000 ~ AN007 が選択 (ADANSA0.ANSA0n = FFh) されているものとします。AN000 から変換を開始します。AN002 の変換は 4 回連続変換 (3 回加算) し、加算 (積算) 値を A/D データレジスタ 2 に返します。その後、AN003 の変換を開始し、AN006 の変換で 4 回連続変換し、加算 (積算) 値を A/D データレジスタ 6 に返します。AN007 の変換後、再度 AN000 から同じシーケンスで動作します。

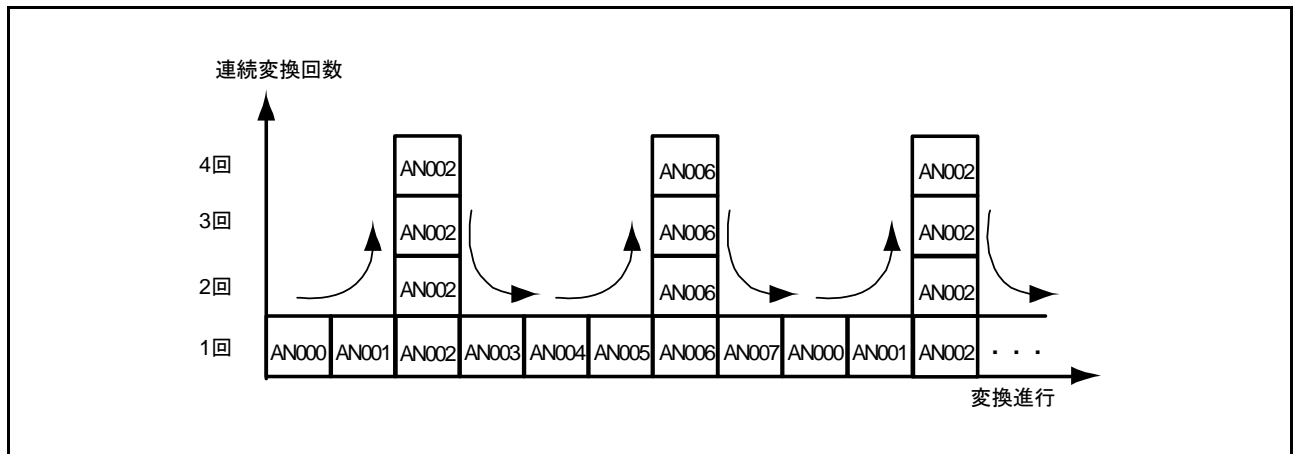


図 29.2 ADADC.ADC[2:0] = 011b、ADS002 = 1、ADS006 = 1 選択時のスキャン変換シーケンス

29.2.10 A/D 変換値加算 / 平均回数選択レジスタ (ADADC)

アドレス S12AD.ADADC 0008 900Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	AVEE	—	—	—	—	ADC[2:0]		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b2-b0	ADC[2:0]	加算回数選択ビット	b2 b0 0 0 0 : 1回変換(加算なし。通常変換と同じ) 0 0 1 : 2回変換(1回加算を行う) 0 1 0 : 3回変換(2回加算を行う)(注1) 0 1 1 : 4回変換(3回加算を行う) 1 0 1 : 16回変換(15回加算を行う)(注1) 上記以外は設定しないでください	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	AVEE	平均モードイネーブルビット	0 : 加算モードを選択 1 : 平均モードを選択	R/W

注1. AVEEビットは、2回変換、4回変換の時にのみ有効です。平均モードを選択した場合(ADADC.AVEEビット=1)、3回変換(ADADC.ADC[2:0]=010b)および16回変換(ADADC.ADC[2:0]=101b)に設定しないでください。

ADADCレジスタは、A/D変換値加算/平均モードが選択されたチャンネル、内部基準電圧のA/D変換に対して加算回数の設定と、加算モード/平均モードの選択を行います。

ADC[2:0]ビット(加算回数選択ビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが選択されたチャンネル、内部基準電圧のA/D変換に対して共通の加算回数を設定します。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADADC.ADC[2:0]=000b)、3回変換(ADADC.ADC[2:0]=010b)および16回変換(ADADC.ADC[2:0]=101b)に設定しないでください。

ADC[2:0]ビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

AVEEビット(平均モードイネーブルビット)

ダブルトリガモードでの選択チャンネル(ADCSR.DBLANS[4:0]ビットでの選択チャンネル)を含むA/D変換および加算/平均モードが選択されたチャンネル、内部基準電圧のA/D変換に対して加算モード、または平均モードの選択を行います。

ADADC.AVEEビットを“1”にして平均モードを選択する場合、1回変換(ADADC.ADC[2:0]=000b)、3回変換(ADADC.ADC[2:0]=010b)および16回変換(ADADC.ADC[2:0]=101b)に設定しないでください。1回、3回および16回変換の平均値を求めることはできません。

AVEEビットの設定は、ADCSR.ADSTビットが“0”のときに設定してください。

29.2.11 A/D コントロール拡張レジスタ (ADCER)

アドレス S12AD.ADCER 0008 900Eh

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	ADRFMT	—	—	—	DIAGM	DIAGLD	DIAGVAL[1:0]	—	—	ACE	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b5	ACE	A/Dデータレジスタ自動クリアイネーブルビット	0：自動クリアを禁止 1：自動クリアを許可	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9-b8	DIAGVAL[1:0]	自己診断変換電圧選択ビット	b9 b8 0 0：自己診断電圧固定モード時は設定禁止 0 1：0Vの電圧を使って自己診断を行う 1 0：基準電源×1/2の電圧を使って自己診断を行う 1 1：基準電源の電圧を使って自己診断を行う	R/W
b10	DIAGLD	自己診断モード選択ビット	0：自己診断電圧ローテーションモード 1：自己診断電圧固定モード	R/W
b11	DIAGM	自己診断イネーブルビット	0：12ビットA/Dコンバータの自己診断を実施しない 1：12ビットA/Dコンバータの自己診断を実施する	R/W
b14-b12	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	ADRFMT	A/Dデータレジスタフォーマット選択ビット	0：A/Dデータレジスタのフォーマットを右詰めにする 1：A/Dデータレジスタのフォーマットを左詰めにする	R/W

ADCER レジスタは、自己診断モード、A/D データレジスタ y (ADDRy) のフォーマット、A/D データレジスタの自動クリア機能の設定を行うレジスタです。

ACE ビット (A/D データレジスタ自動クリアイネーブルビット)

CPU、DTCによってADDRy、ADDRD、ADDBLDR、ADDBLDRA、ADDBLDRB、ADOCDR レジスタを読み出した後、当該レジスタの自動クリア (All“0”) を行うか行わないかを選択します。A/D データレジスタの自動クリアにより各 A/D データレジスタの未更新故障を検出することができます。

DIAGVAL[1:0] ビット (自己診断変換電圧選択ビット)

自己診断電圧固定モードでの電圧値を選択します。詳細は ADCER.DIAGLD ビットの説明を参照してください。

ADCER.DIAGVAL[1:0] ビットが“00b”の状態では ADCER.DIAGLD ビットを“1”に設定して、自己診断を実施しないでください。

DIAGLD ビット (自己診断モード選択ビット)

自己診断で変換する3つの電圧値をローテーションするか、電圧値を固定するかを選択します。ADCER.DIAGLD ビットを“0”にすると0V → 基準電源×1/2 → 基準電源の順番にローテーションして変換していきます。リセット後、自己診断ローテーションモードを選択した場合は0Vから自己診断を行います。自己診断電圧固定モードを選択した場合は ADCER.DIAGVAL[1:0] ビットで選択した電圧に固定して変換します。自己診断電圧ローテーションモードでは、スキャン変換が終了しても0Vに戻りませんので、再びスキャン変換を実施すると、前回の続きからローテーションします。自己診断電圧固定モードから、自己診断電圧ローテーションモードに切り替えた場合は、固定した電圧値からローテーションを開始します。

DIAGLD ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

DIAGM ビット (自己診断イネーブルビット)

自己診断を実施するかしないかを選択します。

自己診断は、12ビットA/Dコンバータの故障を検出するための機能です。内部で生成する0V、基準電源×1/2、基準電源の3つの電圧値のいずれかを変換します。変換が終了すると自己診断データレジスタ (ADRD) に変換した電圧の情報と変換値を格納します。その後、ソフトウェアでADRDレジスタを読み出し、変換値が正常の範囲にある(正常)かない(異常)かを判断します。自己診断は、スキャンごとの最初に1回実施され、3つの電圧値のうち1つをA/D変換します。グループスキャンモードで自己診断を選択した場合は、グループAとグループBのそれぞれで自己診断を実行します。

DIAGMビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

ADRFMT ビット (A/D データレジスタフォーマット選択ビット)

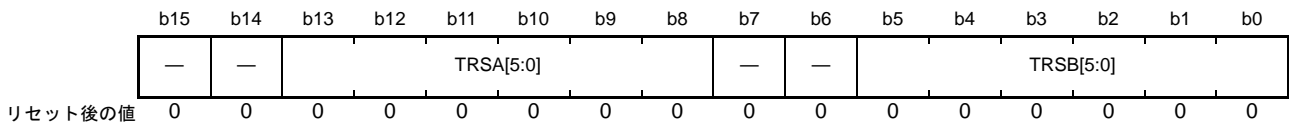
ADDRy、ADRD、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRBレジスタに格納するデータの右詰め/左詰めを選択します。

ADRFMTビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

各データレジスタのフォーマットの詳細は、「29.2.1 A/D データレジスタ y (ADDRy) A/D データ 2重化レジスタ (ADDBLDR) A/D データ 2重化レジスタ A (ADDBLDRA) A/D データ 2重化レジスタ B (ADDBLDRB) A/D 内部基準電圧データレジスタ (ADOCDR)」、「29.2.2 A/D 自己診断データレジスタ (ADRD)」を参照してください。

29.2.12 A/D変換開始トリガ選択レジスタ (ADSTRGR)

アドレス S12AD.ADSTRGR 0008 9010h



ビット	シンボル	ビット名	機能	R/W
b5-b0	TRSB[5:0]	グループB専用A/D変換開始トリガ選択ビット	グループスキャンモードでグループBのA/D変換開始トリガを選択します	R/W
b7-b6	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b13-b8	TRSA[5:0]	A/D変換開始トリガ選択ビット	シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガを選択します。グループスキャンモードではグループAのA/D変換開始トリガを選択します	R/W
b15-b14	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSTRGR レジスタは、A/D変換開始トリガの選択を行うレジスタです。

TRSB[5:0] ビット (グループB専用A/D変換開始トリガ選択ビット)

グループBで選択したアナログ入力のスキャンを開始するトリガを選択します。TRSB[5:0]ビットはグループスキャンモードでのみ設定が必要なビットで、他のスキャンモードでは使用しません。グループBのスキャン変換開始トリガには、ソフトウェアトリガと非同期トリガの設定は禁止です。よって、グループスキャンモードでは、TRSB[5:0]ビットを“000000b”以外に設定し、ADCSR.TRGEビットを“1”に設定してください。

グループスキャンモードのグループA優先制御時に、ADGSPCR.GBRPビットを“1”にすることで、グループBをシングルスキャンモードで連続動作させることができます。ADGSPCR.GBRPビットを“1”に設定する場合は、TRSB[5:0]ビットを“3Fh”に設定してください。なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガに40MHz動作モジュール(MTU)からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「29.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

表 29.6 に TRSB[5:0] ビットでの A/D 起動要因選択一覧を示します。

TRSA[5:0] ビット (A/D変換開始トリガ選択ビット)

シングルスキャンモード、連続スキャンモードでのA/D変換開始トリガの選択を行います。グループスキャンモードではグループAで選択したアナログ入力のスキャンを開始するトリガを選択します。グループスキャンモードまたはダブルトリガモードでスキャンを実行する場合は、ソフトウェアトリガと非同期トリガは使用できません。

- 同期トリガのA/D変換起動要因を使用する場合は、ADCSR.TRGEビットを“1”に設定し、かつADCSR.EXTRGビットを“0”に設定してください。
- 非同期トリガを使用する場合は、ADCSR.TRGEビットを“1”に設定し、かつADCSR.EXTRGビットを“1”に設定してください。
- ソフトウェアトリガ(ADCSR.ADST)は、ADCSR.TRGEビット、ADCSR.EXTRGビット、TRSA[5:0]ビットの設定値にかかわらず有効です。

なお、A/D変換で使用するトリガの発行間隔は、実際のスキャン変換時間 (t_{SCAN}) 以上となるように設定してください。発行間隔が t_{SCAN} 以内の場合は、トリガによるA/D変換が無効となる場合があります。

A/D変換開始トリガに40MHz動作モジュール(MTU)からのトリガを選択した場合、同期化処理の分だけ遅延が発生します。詳細は「29.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。表29.7にTRSA[5:0]ビットでのA/D起動要因選択一覧を示します。

表29.6 TRSB[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSB[5]	TRSB[4]	TRSB[3]	TRSB[2]	TRSB[1]	TRSB[0]
トリガ要因非選択状態			1	1	1	1	1	1
TMR	TMTRG0AN_0	TMR0.TCORA0とTMR0.TCNT0のコンペアマッチ (unit0.ch0)	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORA0とTMR2.TCNT0のコンペアマッチ (unit1.ch0)	0	1	1	1	1	0
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ または 相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ または MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0

表29.7 TRSA[5:0]ビットでのA/D起動要因選択一覧

モジュール	要因	備考	TRSA[5]	TRSA[4]	TRSA[3]	TRSA[2]	TRSA[1]	TRSA[0]
トリガ要因非選択状態			1	1	1	1	1	1
外部端子	ADTRG0#	トリガ入力端子	0	0	0	0	0	0
TMR	TMTRG0AN_0	TMR0.TCORA0とTMR0.TCNT0のコンペアマッチ (unit0.ch0)	0	1	1	1	0	1
	TMTRG0AN_1	TMR2.TCORA0とTMR2.TCNT0のコンペアマッチ (unit1.ch0)	0	1	1	1	1	0
MTU	TRGA0N	MTU0.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	0	1
	TRGA1N	MTU1.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	0
	TRGA2N	MTU2.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	0	1	1
	TRGA3N	MTU3.TGRAのコンペアマッチ/インプットキャプチャ	0	0	0	1	0	0
	TRGA4N	MTU4.TGRAのコンペアマッチ/インプットキャプチャ または 相補PWMモード時MTU4.TCNTのアンダフロー(谷)	0	0	0	1	0	1
	TRG0N	MTU0.TGREのコンペアマッチ	0	0	1	0	0	0
	TRG4AN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ	0	0	1	0	0	1
	TRG4BN	MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	0
	TRG4AN または TRG4BN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチ または MTU4.TADCORBとMTU4.TCNTのコンペアマッチ	0	0	1	0	1	1
	TRG4ABN	MTU4.TADCORAとMTU4.TCNTのコンペアマッチと、 MTU4.TADCORBとMTU4.TCNTのコンペアマッチ (割り込み間引き機能2を使用時)	0	0	1	1	0	0

29.2.13 A/D変換拡張入力コントロールレジスタ (ADEXICR)

アドレス S12AD.ADEXICR 0008 9012h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	OCSA	—	—	—	—	—	—	—	OCSAD	—
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	OCSAD	内部基準電圧A/D変換値加算/平均モード選択ビット	0：内部基準電圧A/D変換値加算/平均モード非選択 1：内部基準電圧A/D変換値加算/平均モード選択	R/W
b8-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b9	OCSA	内部基準電圧A/D変換選択ビット	0：内部基準電圧をA/D変換しない 1：内部基準電圧をA/D変換する	R/W
b15-b10	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADEXICR レジスタは、内部基準電圧の A/D 変換の設定をします。

OCSAD ビット (内部基準電圧 A/D 変換値加算 / 平均モード選択ビット)

内部基準電圧の A/D 変換を選択し、OCSAD ビットを“1”にすると、ADADC.ADC[2:0] ビットで設定した回数 (2 ~ 4、16 回) 分、内部基準電圧を連続して A/D 変換し、ADADC.AVEE ビットが“0”の場合は加算 (積算) した値を、ADADC.AVEE ビットが“1”の場合は平均した値を A/D 内部基準電圧データレジスタ (ADOCDR) に格納します。

OCSAD ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

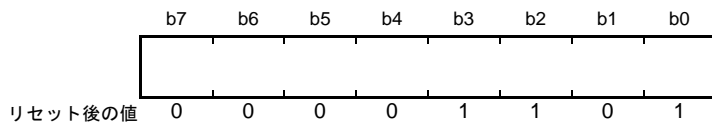
OCSA ビット (内部基準電圧 A/D 変換選択ビット)

シングルスキャンモードでの内部基準電圧の A/D 変換を選択します。内部基準電圧の A/D 変換を行う場合は、ADANSA0、ADANSA1 レジスタ、ADANSB0、ADANSB1 レジスタの全ビットと ADCSR.DBLE ビットの全てに“0”を設定し、シングルスキャンモードで実行してください。OCSA ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。内部基準電圧の A/D 変換は、サンプリング前にディスチャージを行う必要がありますので、ADDISCR.ADNDIS[4:0] ビットに“0Fh”を自動的に設定します。また、サンプリング時間は 5 μ s 以上に設定してください。

内部基準電圧の A/D 変換は、ディスチャージ完了後、サンプリングが開始するので、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

29.2.14 A/D サンプリングステートレジスタ n (ADSSTRn) (n = 0 ~ 7, L, O)

アドレス S12AD.ADSSTR0 0008 90E0h, S12AD.ADSSTR1 0008 90E1h, S12AD.ADSSTR2 0008 90E2h,
S12AD.ADSSTR3 0008 90E3h, S12AD.ADSSTR4 0008 90E4h, S12AD.ADSSTR5 0008 90E5h,
S12AD.ADSSTR6 0008 90E6h, S12AD.ADSSTR7 0008 90E7h,
S12AD.ADSSTR0 0008 90DFh, S12AD.ADSSTR0 0008 90DDh,



ADSSTRn レジスタは、アナログ入力のサンプリング時間の設定を行います。

1 ステート = 1ADCLK(A/D 変換クロック) 幅で ADCLK クロックが 40MHz であれば 1 ステート = 25ns になります。初期値は 13 ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。ADSSTRn レジスタは、ADCSR.ADST ビットが“0”のときに設定してください。サンプリング時間の設定下限値は、PCLK と ADCLK の周波数比により異なります。

PCLK : ADCLK 周波数比 = 1 : 1, 2 : 1, 4 : 1, 8 : 1 の場合、5 ステート以上の値を設定してください。

表 29.8 に A/D サンプリングステートレジスタと対象チャネルの関係を示します。

詳細は、「29.3.5 アナログ入力のサンプリング時間とスキャン変換時間」を参照してください。

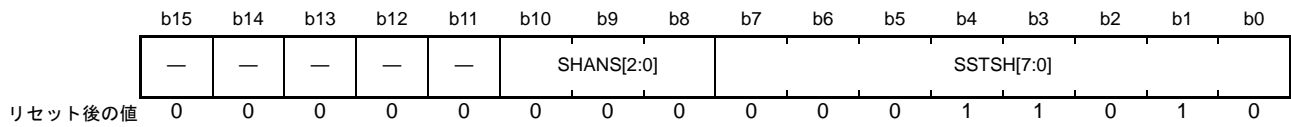
表 29.8 A/D サンプリングステートレジスタと対象チャネルの関係

レジスタ名	対象チャネル
ADSSTR0 レジスタ	AN000
ADSSTR1 レジスタ	AN001
ADSSTR2 レジスタ	AN002
ADSSTR3 レジスタ	AN003
ADSSTR4 レジスタ	AN004
ADSSTR5 レジスタ	AN005
ADSSTR6 レジスタ	AN006
ADSSTR7 レジスタ	AN007
ADSSTR0 レジスタ	AN016, AN017
ADSSTR0 レジスタ	内部基準電圧 (注1)

注1. 内部基準電圧をA/D変換する場合、サンプリング時間を5 μ s以上に設定する必要があります。

29.2.15 サンプル & ホールド回路コントロールレジスタ (ADSHCR)

アドレス S12AD.ADSHCR 0008 9066h



ビット	シンボル	ビット名	機能	R/W
b7-b0	SSTSH[7:0]	サンプリング時間サンプル&ホールド回路設定ビット	4～255ステートの間でサンプリング時間を設定します	R/W
b10-b8	SHANS[2:0]	チャンネル専用サンプル&ホールド回路バイパス選択ビット	AN000～AN002のチャンネル専用サンプル&ホールド回路を使用するか、使用せずバイパスするかを選択します。 0：チャンネル専用サンプル&ホールド回路をバイパス 1：チャンネル専用サンプル&ホールド回路を使用	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADSHCR レジスタは、チャンネル専用サンプル & ホールド回路を設定するレジスタです。

SSTSH[7:0] ビット (サンプリング時間サンプル & ホールド回路設定ビット)

チャンネル専用サンプル&ホールド回路のサンプリング時間設定をします。1ステート=1ADCLK クロック (A/D変換クロック) 幅で ADCLK クロックが 40MHz であれば 1ステート=25ns になります。初期値は 26ステートです。アナログ入力信号源のインピーダンスが高くサンプリング時間が不足する場合や、ADCLK クロックが低速な場合に、サンプリング時間を調整することができます。SSTSH[7:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。サンプリング時間の設定値は、4ステート以上 255ステート以下の値を設定してください。また、サンプリング時間が 0.4μs 以上となるように設定してください。例えば、ADCLK が 40MHz であれば、サンプリングステート設定値の下限は 16ステートとなります。

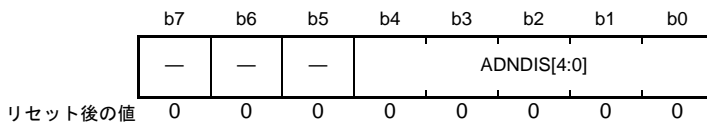
SHANS[2:0] ビット (チャンネル専用サンプル & ホールド回路バイパス選択ビット)

アナログ入力 AN000～AN002 のチャンネル専用サンプル&ホールド回路を使用するか、使用しないでバイパスするかを選択します。SHANS[0] ビットが AN000、SHANS[1] ビットが AN001、SHANS[2] ビットが AN002 のチャンネル専用サンプル&ホールド回路の選択ビットになります。SHANS[2:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。

グループスキャンモードのグループ A 優先制御時に、グループ B に AN000～AN002 のいずれかを選択した場合は、チャンネル専用サンプル & ホールド回路をバイパスする設定をしてください。

29.2.16 A/D 断線検出コントロールレジスタ (ADDISCR)

アドレス S12AD.ADDISCR 0008 907Ah



ビット	シンボル	ビット名	機能	R/W
b4-b0	ADNDIS[4:0]	A/D断線検出アシスト設定ビット	b4 ADNDIS[4] : ディスチャージ/プリチャージの選択 0 : ディスチャージ 1 : プリチャージ b3-b0 ADNDIS[3:0] : ディスチャージ/プリチャージ期間	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADDISCR レジスタは、断線検出アシスト機能を設定するレジスタです。

ADNDIS[4:0] ビット (A/D 断線検出アシスト設定ビット)

A/D 断線検出アシスト機能のプリチャージ/ディスチャージの設定、期間を設定します。ADNDIS[4] ビット = 1 でプリチャージ、ADNDIS[4] ビット = 0 でディスチャージが選択されます。ADNDIS[3:0] ビットで、プリチャージ/ディスチャージ期間を設定します。ADNDIS[3:0] ビット = 0000b の場合は、断線検出アシスト機能は無効です。ADNDIS[3:0] ビット = 0001b は設定禁止です。ADNDIS[3:0] ビット = 0000b、0001b 以外では、設定した値がプリチャージ/ディスチャージ期間のステート数となります。ADNDIS[4:0] ビットの設定は、ADCSR.ADST ビットが“0”のときに行ってください。ADNDIS[3:0] を 0000b 以外に設定し、断線検出アシスト機能を有効にした場合は、チャンネル専用サンプル & ホールド回路の断線検出アシスト機能も有効になります。チャンネル専用サンプル & ホールド回路の断線検出アシスト機能は、サンプル & ホールド回路の待機時間を設けて使用してください。

内部基準電圧を A/D 変換するために、ADEXICR.OCSA ビットを“1”にすると、ADNDIS[4:0] ビットを自動的に“0Fh”に固定し、A/D 変換に先立ちディスチャージする設定 (オートディスチャージ) となります。内部基準電圧を A/D 変換するたびに、オートディスチャージ期間 (15ADCLK) がサンプリング前に挿入されます。

29.2.17 A/D グループスキャン優先コントロールレジスタ (ADGSPCR)

アドレス S12AD.ADGSPCR 0008 9080h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	GBRP	—	—	—	—	—	—	—	—	—	—	—	—	—	GBRSCN	PGS
リセット後の値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PGS	グループA優先制御設定ビット (注1)	0: グループAの優先制御動作を行わない 1: グループAの優先制御動作を行う	R/W
b1	GBRSCN	グループB再起動設定ビット (注2)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループAの優先制御でグループBのA/D変換動作中断後の再起動をしない 1: グループAの優先制御でグループBのA/D変換動作中断後の再起動をする	R/W
b14-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15	GBRP	グループB用シングルスキャン連続起動設定ビット (注3)	(PGS = 1のときのみ有効。PGS = 0のときは予約ビット) 0: グループBはシングルスキャン連続動作しない 1: グループBのシングルスキャン連続動作開始	R/W

注1. PGSビットを“1”にするときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。それ以外の設定をした場合、動作は保証されません。

注2. GBRSCNビットを“1”にする場合は、周辺モジュールクロックPCLKとA/D変換クロックADCLKの周波数比を1:1にしてください。

注3. GBRPビットを“1”にした場合は、GBRSCNビットの設定によらず、グループBのシングルスキャン連続動作を実行します。

ADGSPCRレジスタは、グループスキャンモードでグループAを優先的にA/D変換する優先制御を設定するレジスタです。

PGSビット(グループA優先制御設定ビット)

グループAの優先動作を制御します。グループA優先制御動作を行うときに“1”を設定してください。

PGSビットを“1”に設定するときは、ADCSR.ADCS[1:0]ビットを“01b”(グループスキャンモード)に設定してください。

PGSビットを“0”にする場合は、「29.7.2 A/D変換停止時の注意事項」に従い、ソフトウェアでのクリアを行ってください。PGSビットを“1”にする場合は、「29.3.4.3 グループA優先制御動作」の手順に従い設定を行ってください。

GBRSCNビット(グループB再起動設定ビット)

グループA優先制御時の、グループBの再スキャン動作を設定します。

GBRSCNビットを“1”にすると、グループAのトリガ入力によるスキャン動作中断後、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を実行します。また、グループAのA/D変換動作中にグループBのトリガ入力があった場合、グループAのA/D変換動作の終了を待って、グループBの再スキャン動作を行います。

GBRSCNビットを“0”にした場合は、A/D変換実行中に入力されたトリガは無視されます。また、GBRSCNビットの設定は、ADCSR.ADSTビットが“0”のときに行ってください。

GBRSCNビットの設定は、PGSビットが“1”のときにも有効となります。

GBRPビット(グループB用シングルスキャン連続起動設定ビット)

グループBをシングルスキャンで連続動作させる場合に設定します。

GBRPビットを“1”にすると、グループBのシングルスキャンが起動します。スキャン終了後、自動的に

グループ B のシングルスキャンを再開します。グループ A 優先制御動作でグループ B の A/D 変換動作が中断した後は、グループ A の A/D 変換動作終了後、自動的にグループ B のシングルスキャンを再開します。

GBRP ビットを“1”にする場合は、事前にグループ B のトリガ入力を無効にしてください。GBRP ビットを“1”にした場合、GBRSCN ビットの設定は無効です。

GBRP ビットは、ADCSR.ADST ビットが“0”のときに設定してください。

GBRP ビットの設定は、PGS ビットが“1”のときに有効となります。

29.2.18 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)

アドレス S12AD.ADHVREFCNT 0008 908Ah

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	LVSEL	—	—	—	HVSEL

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	HVSEL	高電位側基準電圧選択ビット	0 : 高電位側基準電圧にAVCC0を選択 1 : 高電位側基準電圧のVREFH0を選択	R/W
b3-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	LVSEL	低電位側基準電圧選択ビット	0 : 低電位側基準電圧にAVSS0を選択 1 : 低電位側基準電圧にVREFL0を選択	R/W
b7-b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ADHVREFCNT レジスタは、高電位 / 低電位基準電圧の設定を行います。A/D 変換前に設定してください。

HVSEL ビット (高電位側基準電圧選択ビット)

高電位側基準電圧の設定を行います。AVCC0、VREFH0 から選択できます。

LVSEL ビット (低電位側基準電圧選択ビット)

低電位側基準電圧の設定を行います。AVSS0、VREFL0 から選択できます。

29.3 動作説明

29.3.1 スキャンの動作説明

スキャンとは、選択したチャンネルのアナログ入力を順次 A/D 変換する動作です。

スキャン変換の動作モードには、シングルスキャンモードと連続スキャンモードとグループスキャンモードの3種類の動作モードがあります。シングルスキャンモードは、指定した1チャンネル以上のスキャンを1回実施して終了するモードです。連続スキャンモードは指定した1チャンネル以上のスキャンをソフトウェアで ADCSR.ADST ビットを“0” (“1”の状態から“0”)にクリアするまで無制限に繰り返し実施するモードです。グループスキャンモードは、グループ A とグループ B のスキャンをそれぞれ選択した同期トリガで開始し、グループ A とグループ B で選択したチャンネルのスキャンをそれぞれ1回ずつ実施して終了するモードです。

シングルスキャンモード、連続スキャンモードはスキャン変換が開始すると、ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。グループスキャンモードは、グループ A が ADANSA0、ADANSA1 レジスタで選択した ANn の n が小さい番号順から、グループ B が ADANSB0、ADANSB1 レジスタで選択した ANn の n が小さい番号順から A/D 変換を行います。

自己診断を選択した場合は、スキャンごとの最初に1回実施され、12ビット A/D コンバータ内部で生成する3つの電圧値のうち1つを A/D 変換します。

ダブルトリガモードは、シングルスキャンモード、またはグループスキャンモードで使用します。ダブルトリガモードを許可すると、ADSTRGR.TRSA[5:0] ビットで選択した、同期トリガでのスキャン起動でのみ、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換データを2重化します。

ダブルトリガ拡張モードは、ダブルトリガモードで A/D 変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで“0Bh” (TRG4AN または TRG4BN) を選択した状態を示します。ダブルトリガ拡張モードでは、通常のダブルトリガモードの動作に加え、トリガの種類に応じて、A/D 変換データを A/D データ2重化レジスタ A (ADDBLDRA)、A/D データ2重化レジスタ B (ADDBLDRB) に格納します。ダブルトリガ拡張モード時に、TRG4AN または TRG4BN の2種類のトリガ要因が同時に発生した場合は、トリガ要因による振り分けは実施せず、A/D 変換データは、データ2重化レジスタ B (ADDBLDRB) に格納されます。なお、一方のトリガで AD 変換を実施中に、他方のトリガが入力された場合、他方のトリガは無視されます。

ADSHCR.SHANS[2:0] で AN000 ~ AN002 のいずれかをチャンネル専用サンプル & ホールド回路使用に設定すると、スキャンごとに最初の A/D 変換開始前に対象となるアナログ入力のサンプル & ホールドを行います。

ADST0 出力は、ADCSR.ADST ビットの状態を出力します。

29.3.2 シングルスキャンモード

29.3.2.1 基本動作 (チャンネル専用サンプル&ホールドなし)

シングルスキャンモードの基本動作は、指定されたチャンネルのアナログ入力を以下のように1サイクルのみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したANnのnが小さい番号順にA/D変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていると、S12ADI割り込み要求を発生します。
- (4) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

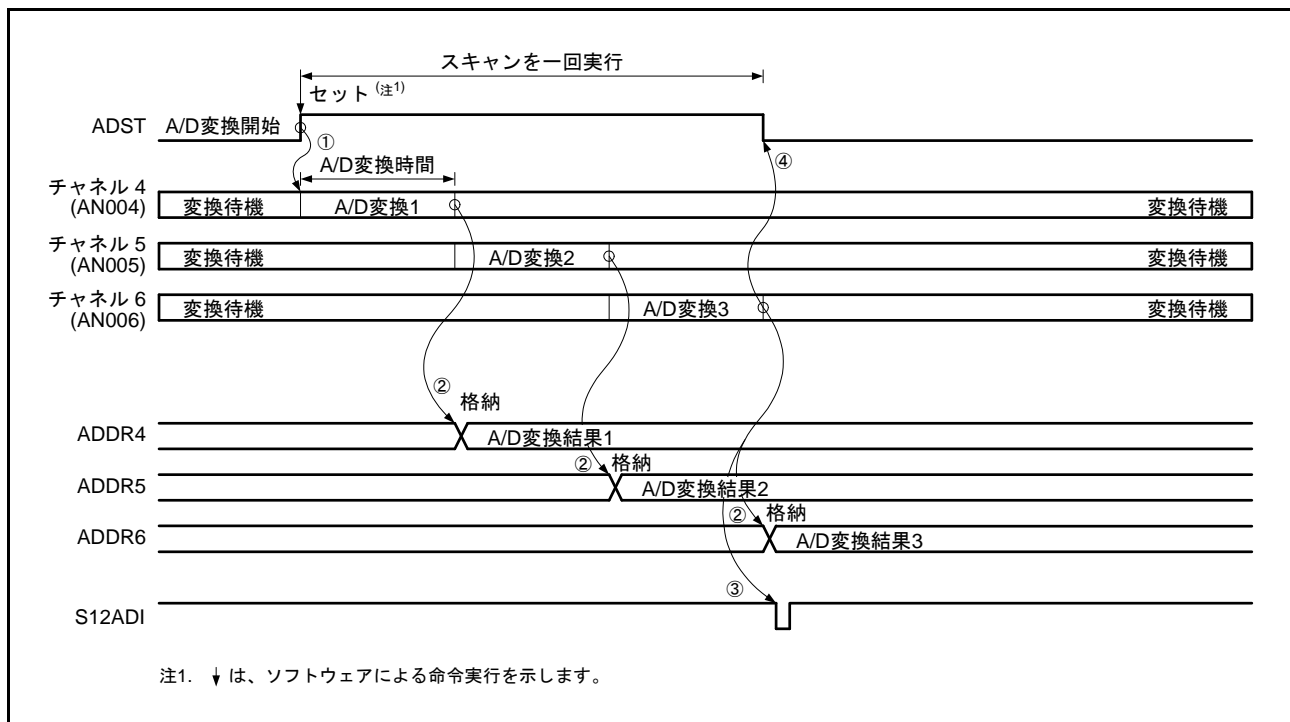


図 29.3 シングルスキャンモードの動作例 (基本動作 : AN004、AN005、AN006 選択)

29.3.2.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に選択したすべてのチャンネルのアナログ入力を1回のみA/D変換します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

チャンネル選択でのスキャン時は、内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)に“0”(非選択)を設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSAレジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていると、S12ADI割り込み要求が発生します。
- (5) ADCSR.ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

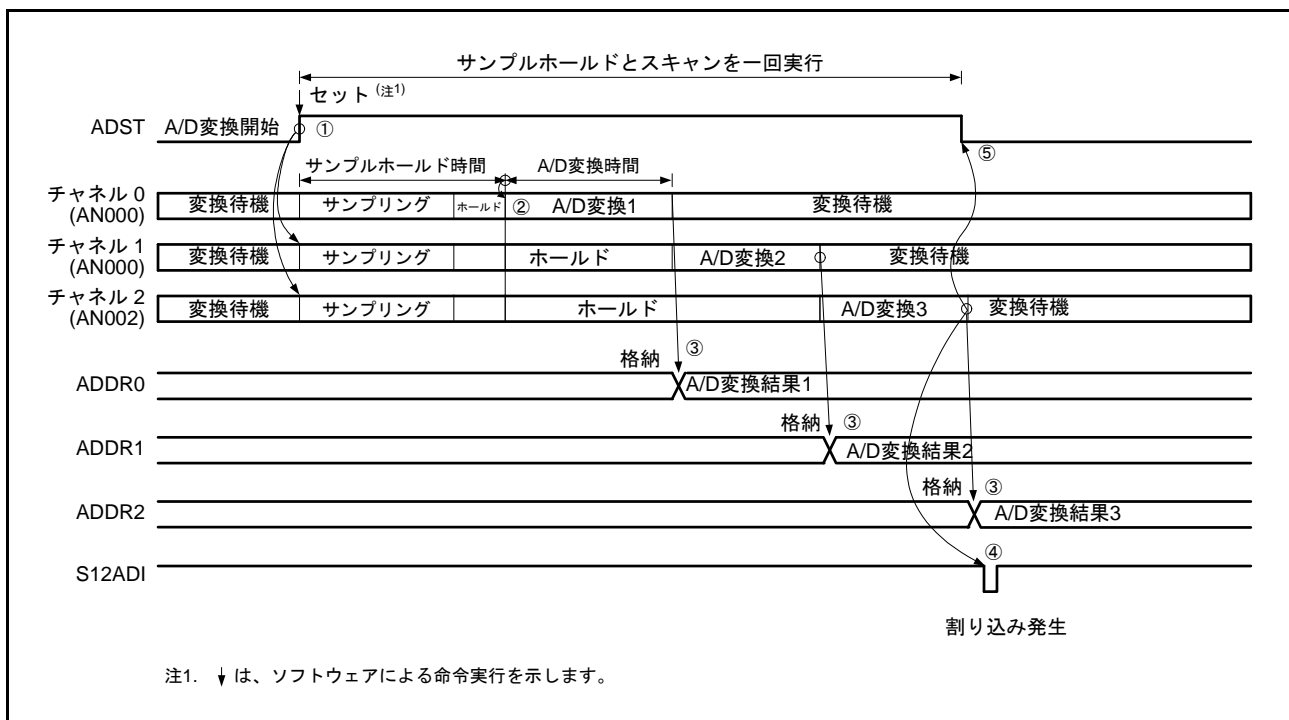


図 29.4 シングルスキャンモードの動作例 (チャンネル専用サンプル & ホールド回路あり)

29.3.2.3 チャンネル選択と自己診断

チャンネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力を1回のみA/D変換します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていれば、S12ADI割り込み要求を発生します。
- (5) ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、選択されたすべてのチャンネルのA/D変換が終了すると自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

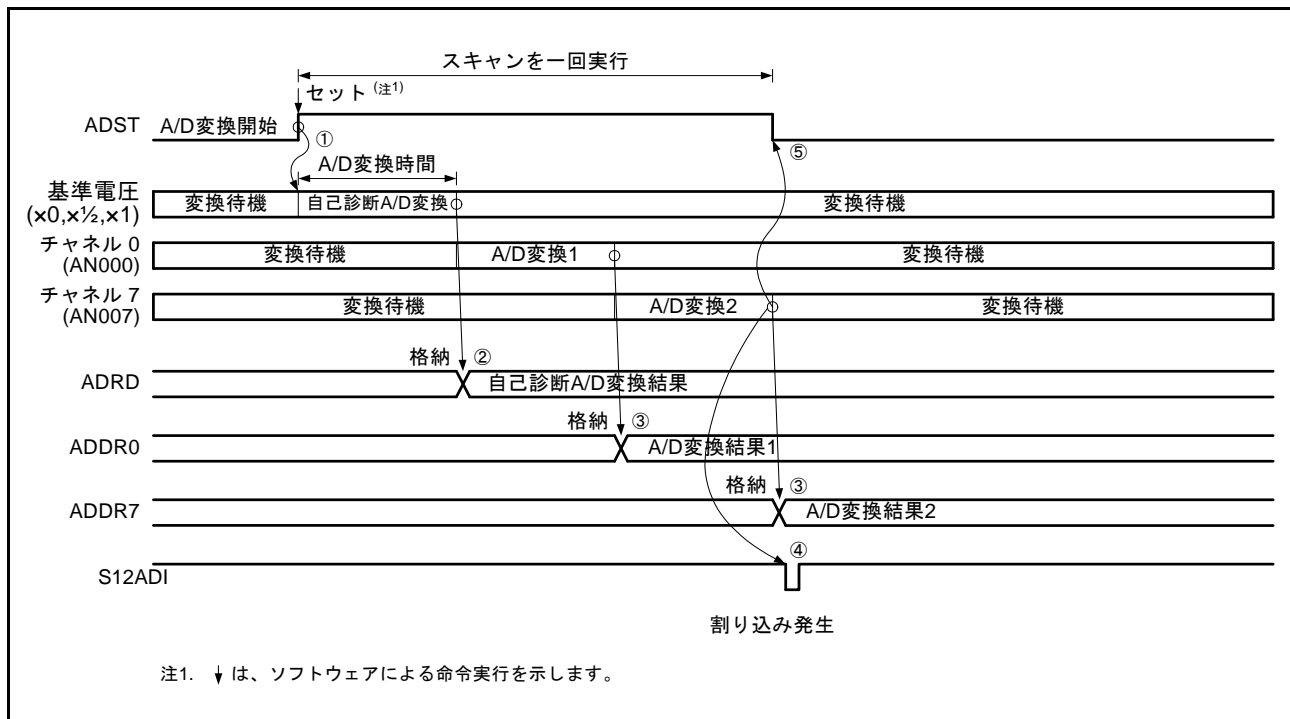


図 29.5 シングルスキャンモードの動作例 (基本動作 : AN000、AN007 選択 + 自己診断)

29.3.2.4 内部基準電圧選択時の A/D 変換動作

内部基準電圧の A/D 変換は、シングルスキャンモードで実行し、動作は以下のようになります。

チャンネル選択は全て非選択 (ADANSA0、ADANSA1 レジスタビットは全て“0”かつ ADCSR.DBLE ビットを“0”) に設定します。

- (1) サンプル時間は $5\mu\text{s}$ 以上になるように設定してください。
- (2) 内部基準電圧の A/D 変換に切り替えた後、ADST ビットを“1”にセットして変換を開始してください。
- (3) A/D 変換が終了すると、A/D 変換結果は対応する A/D 内部基準電圧データレジスタ (ADOCDR) に格納され、ADCSR.ADIE ビットが“1”(スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求が発生します。
- (4) ADST ビットは A/D 変換中は“1”を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

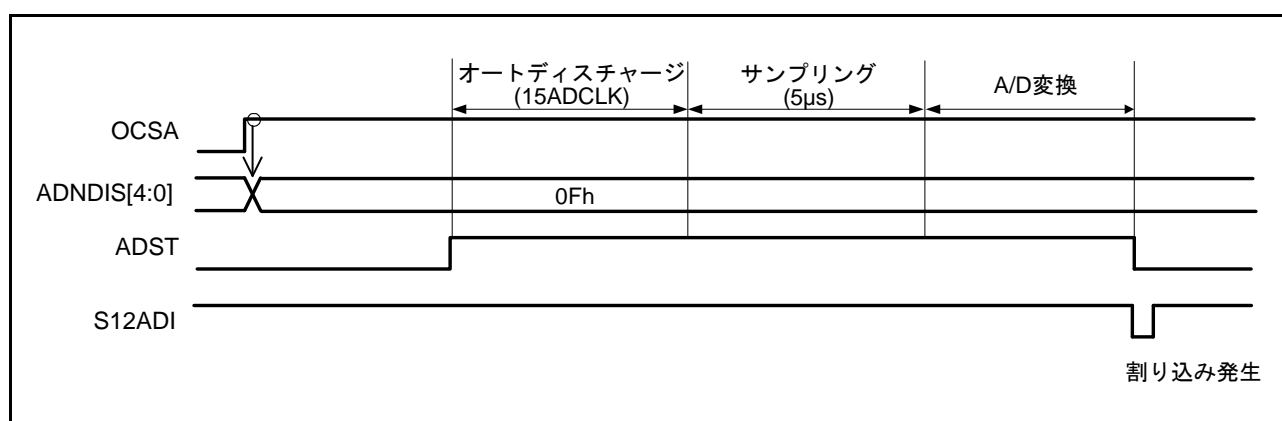


図 29.6 シングルスキャンモードの動作例 (内部基準電圧選択)

29.3.2.5 ダブルトリガモード選択時の動作

シングルスキャンモードでダブルトリガモードを選択した場合は、以下のように同期トリガで開始するシングルスキャンモードを2回行います。

自己診断は非選択とし、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) を“0”に設定してください。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。またダブルトリガモードを選択する場合は、ADSTRGR.TRSA[5:0] ビットで同期トリガを選択し、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) 同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) にセットされると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDR_y) へ格納されます。
- (3) ADST は自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI 割り込み許可) の設定に関わらず、S12ADI 割り込みは発生しません。
- (4) 2 回目のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した 1 チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果はダブルトリガモード専用の A/D データ 2 重化レジスタ (ADDBLDR) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていれば、S12ADI 割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12 ビット A/D コンバータは待機状態になります。

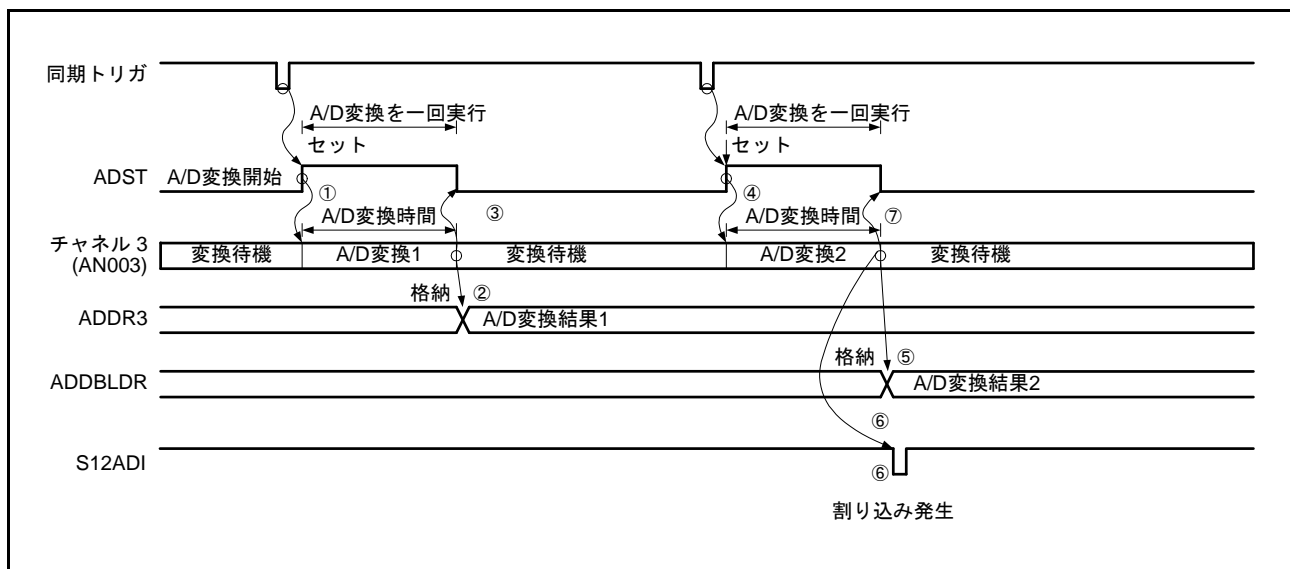


図 29.7 シングルスキャンモードの動作例 (ダブルトリガモード選択、AN003 を 2 重化)

29.3.2.6 ダブルトリガ拡張モードの動作

シングルスキャンモードでダブルトリガモードを選択し、A/D変換開始トリガ選択レジスタ (ADSTRGR) の TRSA[5:0] ビットで“0Bh” (TRG4AN または TRG4BN) を選択した場合は、以下のようにシングルスキャンモードを2回行います。

自己診断は非選択とし、内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は“0”に設定してください。

A/D 変換データ2重化は、2重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE を“1”にすると有効となります。ADCSR.DBLE を“1”にした場合は ADANSA0、ADANSA1 レジスタのチャンネル選択は無効になります。また、ダブルトリガ拡張モードを選択する場合は、ADCSR.EXTRG ビットを“0”に、ADCSR.TRGE ビットを“1”に設定してください。また、ソフトウェアトリガは使用しないでください。

- (1) TRG4AN 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換を開始します。
- (2) A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) と A/D データ2重化レジスタ A (ADDBLDRA) へ格納されます。
- (3) ADCSR.ADST は自動的にクリアされ、12ビット A/D コンバータは待機状態になります。このとき、ADCSR.ADIE ビット (スキャン終了による S12ADI 割り込み許可) の設定に関わらず、S12ADI 割り込みは発生しません。
- (4) TRG4BN 入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADCSR.DBLANS[4:0] ビットで選択した1チャンネルの A/D 変換を開始します。
- (5) A/D 変換が終了すると、A/D 変換結果は A/D データ2重化レジスタ (ADDBLDR) と A/D データ2重化レジスタ B (ADDBLDRB) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求が発生します。
- (7) ADCSR.ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、12ビット A/D コンバータは待機状態になります。

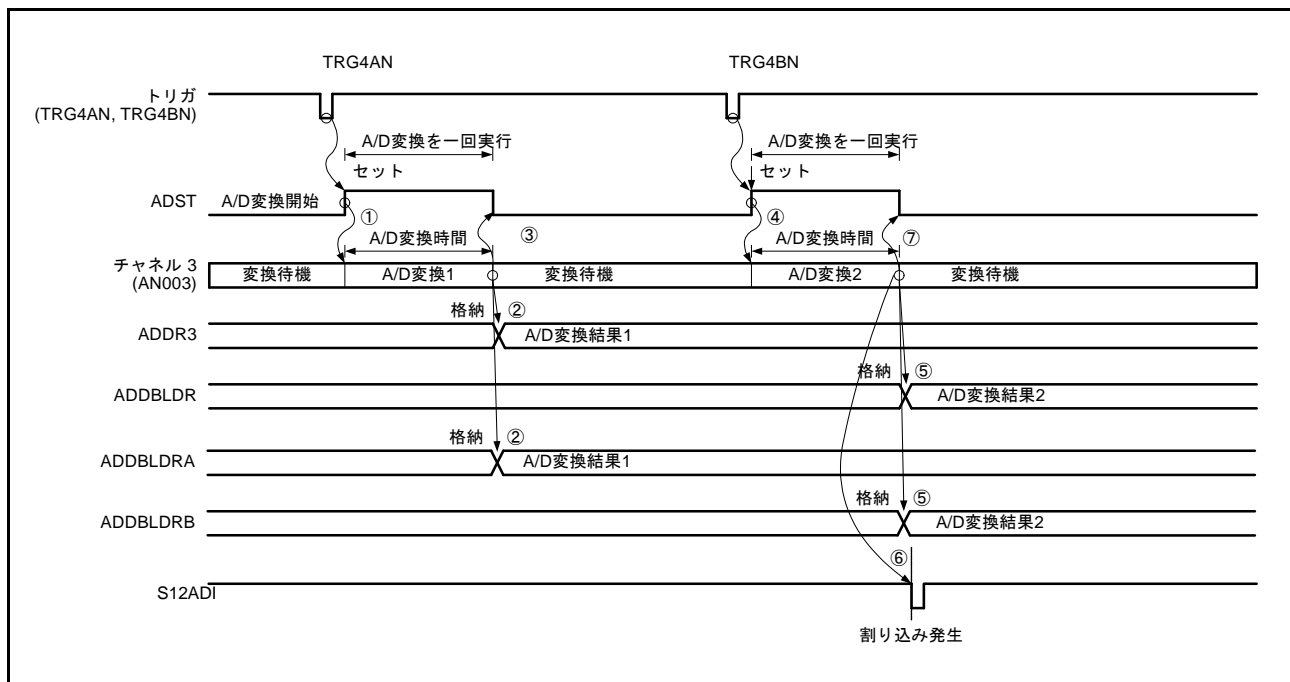


図 29.8 シングルスキャンモードの動作例
(AN003 を 2 重化選択、TRG4AN または TRG4BN でのダブルトリガ拡張モード動作)

29.3.3 連続スキャンモード

29.3.3.1 基本動作 (チャンネル専用サンプル&ホールドなし)

連続スキャンモードの基本動作は、選択されたチャンネルのアナログ入力を以下のように繰り返しA/D変換します。

連続スキャンモード時は、内部基準電圧A/D変換選択ビット (ADEXICR.OCSA) は“0” (非選択) に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によって ADCSR.ADST ビットが“1” (A/D変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号順に A/D 変換を開始します。
- (2) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ (ADDR_y) に格納されます。
- (3) 選択されたすべてのチャンネルのA/D変換終了後、ADCSR.ADIE ビットが“1” (スキャン終了によるS12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
また12ビットA/Dコンバータは、継続してADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号順にA/D変換を開始します。
- (4) ADCSR.ADST ビットは自動的にクリアされず、“1” (A/D変換開始) の間は(2)～(3)を繰り返します。ADCSR.ADST ビットを“0” (A/D変換停止) に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (5) その後、ADCSR.ADST ビットを“1” (A/D変換開始) にセットすると再びADANSA0、ADANSA1 レジスタで選択した AN_n の n が小さい番号順にA/D変換を開始します。

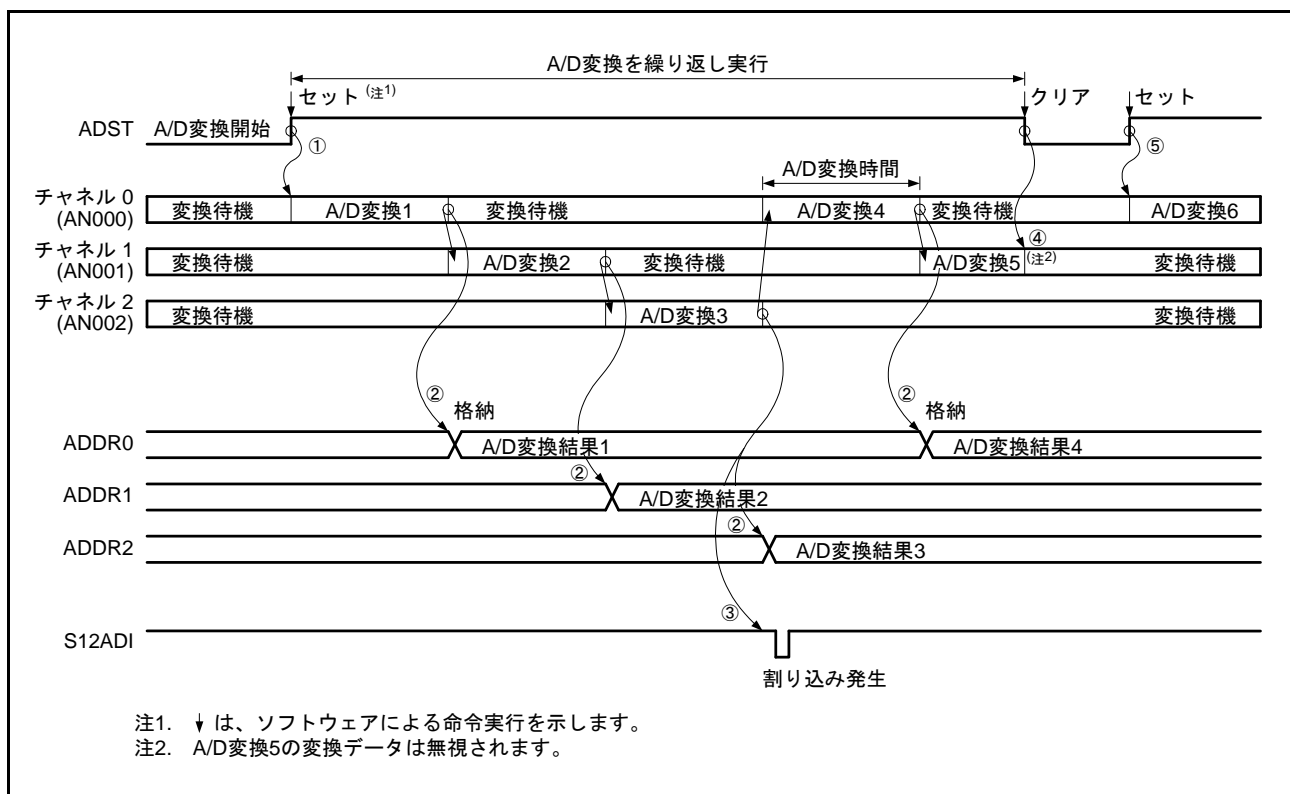


図 29.9 連続スキャンモードの動作例 (基本動作 : AN000、AN001、AN002 選択)

29.3.3.2 基本動作 (チャンネル専用サンプル&ホールドあり)

チャンネル専用サンプル&ホールド回路を使用すると、以下のようにサンプル&ホールド実施後に、選択したすべてのチャンネルのアナログ入力をA/D変換する動作を繰り返します。チャンネル専用サンプル&ホールド回路を使用するチャンネルは、ADSHCR.SHANS[2:0]ビットで選択します。

連続スキャンモード時は、内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)に“0”(非選択)を設定します。

- (1) ソフトウェア、同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、チャンネル専用サンプル&ホールド回路を使用するチャンネルはすべてアナログ入力のサンプリングを開始します。
- (2) サンプリング&ホールド実施後に、ADANSA0、ADANSA1レジスタで選択したチャンネルAN_nのnが小さい番号順にA/D変換を開始します。
- (3) チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDR_y)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていると、S12ADI割り込み要求が発生します。また、チャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。
- (5) ADCSR.ADSTビットは自動的にクリアされず、“1”にセットされている間は(2)～(4)を繰り返します。ADCSR.ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADCSR.ADSTビットが“1”(A/D変換開始)になると、再びチャンネル専用サンプル&ホールド回路を使用するすべてのチャンネルのアナログ入力のサンプリングが開始されます。

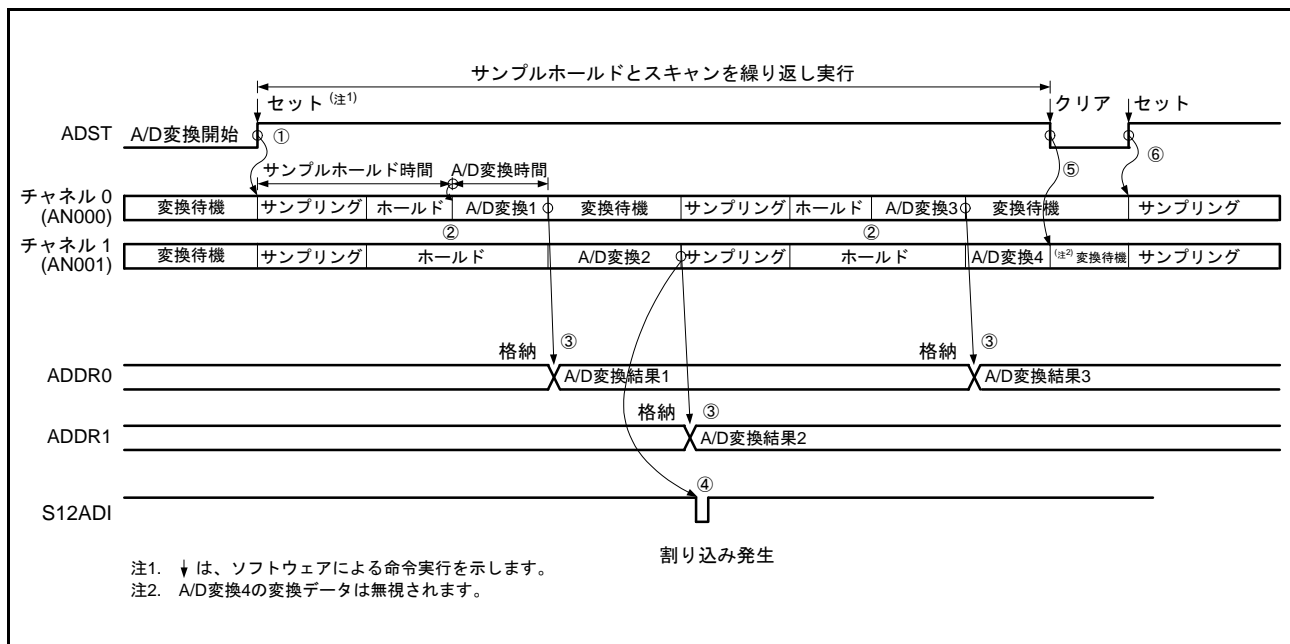


図 29.10 連続スキャンモードの動作例 (チャンネル専用サンプル&ホールド回路あり)

29.3.3.3 チャネル選択と自己診断

チャネル選択と共に自己診断を選択すると、以下のように12ビットA/Dコンバータに供給される基準電圧のA/D変換を行い、その後選択したチャンネルのアナログ入力をA/D変換する動作を繰り返します。連続スキャンモード時は内部基準電圧A/D変換選択ビット(ADEXICR.OCSA)は“0”(非選択)に設定します。

- (1) ソフトウェア、同期トリガまたは非同期トリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、最初に自己診断でのA/D変換を開始します。
- (2) 自己診断でのA/D変換が終了すると、A/D変換結果はA/D自己診断データレジスタ(ADRD)に格納され、次にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (3) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)へ格納されます。
- (4) 選択したすべてのチャンネルのA/D変換終了後、ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていれば、S12ADI割り込み要求を発生します。また、12ビットA/Dコンバータは継続して自己診断でのA/D変換を開始し、終了後にADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- (5) ADSTビットは自動的にクリアされず、“1”に設定されている間は(2)～(4)を繰り返します。ADSTビットを“0”(A/D変換停止)に設定するとA/D変換を中止し、12ビットA/Dコンバータは待機状態になります。
- (6) その後、ADSTビットが“1”(A/D変換開始)に設定されると、再び自己診断でのA/D変換から開始します。

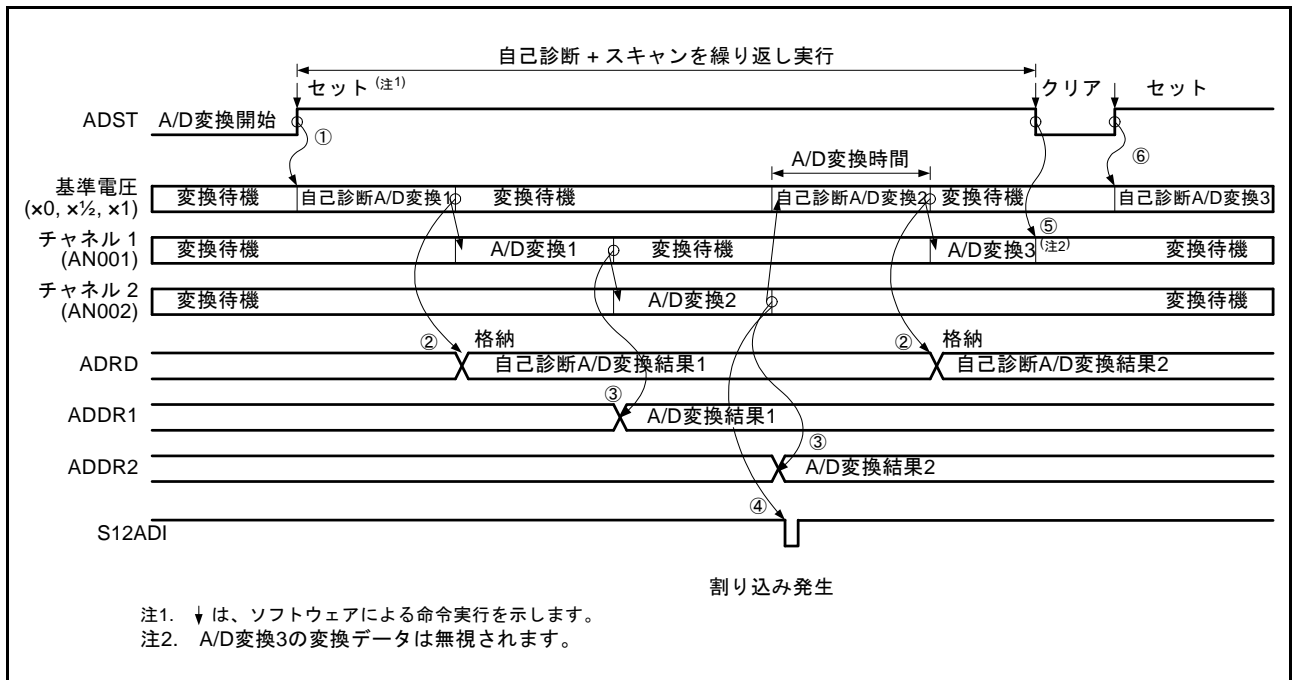


図 29.11 連続スキャンモードの動作例 (基本動作 : AN001、AN002 選択 + 自己診断)

29.3.4 グループスキャンモード

29.3.4.1 基本動作

グループスキャンモードの基本動作は、同期トリガをスキャン開始条件とし、グループ A とグループ B のそれぞれで選択したすべてのチャンネルのアナログ入力を以下のように 1 回のみ A/D 変換します。グループ A とグループ B のそれぞれのスキャン動作は、シングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSA[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガは使用しないでください。

A/D 変換対象とするチャンネルは、ADANSA0、ADANSA1 レジスタでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。

グループスキャンモード時は内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は“0” (非選択) に設定します。

グループスキャンモードで自己診断を選択した場合は、グループ A とグループ B それぞれで自己診断を実施します。

以下に MTU からの同期トリガによるグループスキャンモードの動作例を示します。グループ A は MTU からの TRG4AN トリガで変換開始し、グループ B は MTU からの TRG4BN トリガで変換開始する設定です。

- (1) MTU からの TRG4AN トリガでグループ A のスキャンを開始します。
- (2) グループ A のスキャン終了時に ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込みを発生します。
- (3) MTU からの TRG4BN トリガでグループ B のスキャンを開始します。
- (4) グループ B のスキャン終了時に ADCSR.GBADIE ビットが“1” (スキャン終了による GBADI 割り込み許可) に設定されていると、GBADI 割り込みを発生します。

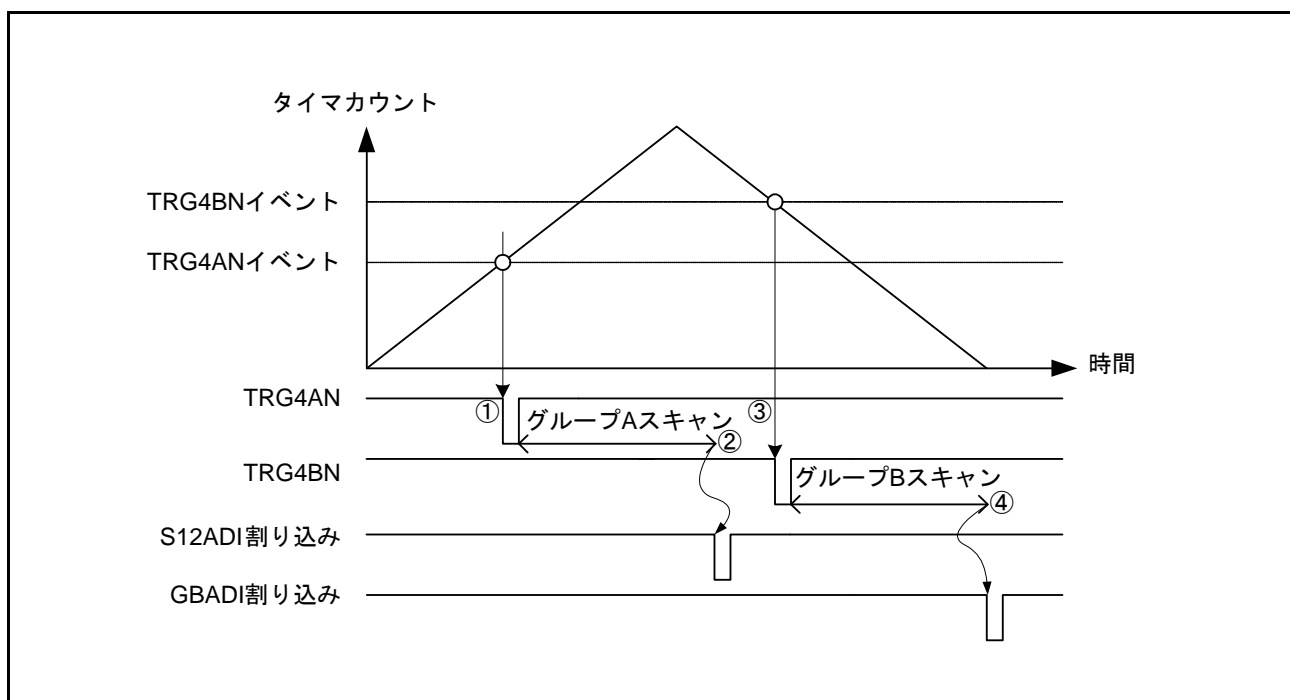


図 29.12 グループスキャンモードの動作例 (MTU からの同期トリガ発生による基本動作)

29.3.4.2 ダブルトリガモード選択時の動作

グループスキャンモードでダブルトリガモードを選択した場合は、グループ A は同期トリガで開始するシングルスキャンモードの実行 2 回分を一連の動作として制御します。グループ B は同期トリガで開始するシングルスキャンモードと同じ動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0] ビットでグループ A の同期トリガを選択し、ADSTRGR.TRSA[5:0] ビットでグループ B の同期トリガを選択します。グループ A とグループ B の A/D 変換が同時に起こらないように、グループ A とグループ B のトリガは別々のトリガにしてください。また、ソフトウェアトリガ、および非同期トリガは使用しないでください。A/D 変換開始トリガとして同期トリガの TRG4AN または TRG4BN を選択 (ADSTRGR.TRSA[5:0] ビットに “0Bh” を設定) した場合、ダブルトリガ拡張モードで動作します。

A/D 変換対象とするチャンネルは、ADCSR.DBLANS[4:0] ビットでグループ A のチャンネルを選択し、ADANSB0、ADANSB1 レジスタでグループ B のチャンネルを選択します。グループ A とグループ B で同一のチャンネルを選択することはできません。グループスキャンモード時は内部基準電圧 A/D 変換選択ビット (ADEXICR.OCSA) は “0” (非選択) に設定します。

グループスキャンモードでダブルトリガモード選択時は自己診断は選択できません。

A/D 変換データ 2 重化は、2 重化するチャンネルの番号を ADCSR.DBLANS[4:0] ビットに設定し、ADCSR.DBLE ビットを “1” にすると有効となります。

以下に MTU からの同期トリガによるグループスキャンモードかつダブルトリガモード設定時の動作例を示します。グループ A は MTU からの TRG4ABN トリガで変換開始し、グループ B は MTU からの TRG0AN トリガで変換開始する設定です。

- (1) MTU からの TRG0AN トリガでグループ B のスキャンを開始します。
- (2) グループ B のスキャン終了時に ADCSR.GBADIE ビットが “1” (スキャン終了による GBADI 割り込み許可) に設定されていると、GBADI 割り込みを発生します。
- (3) MTU からの 1 回目の TRG4ABN トリガでグループ A の 1 回目のスキャンを開始します。
- (4) グループ A の 1 回目のスキャン終了時は、A/D 変換結果を対応する A/D データレジスタ (ADDRy) に格納し、ADCSR.ADIE ビットの設定に関わらず S12ADI 割り込み要求は発生しません。
- (5) MTU からの 2 回目の TRG4ABN トリガでグループ A の 2 回目のスキャンを開始します。
- (6) グループ A の 2 回目のスキャン終了時は、変換データを ADDBLDR に格納し、ADCSR.ADIE ビットが “1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。

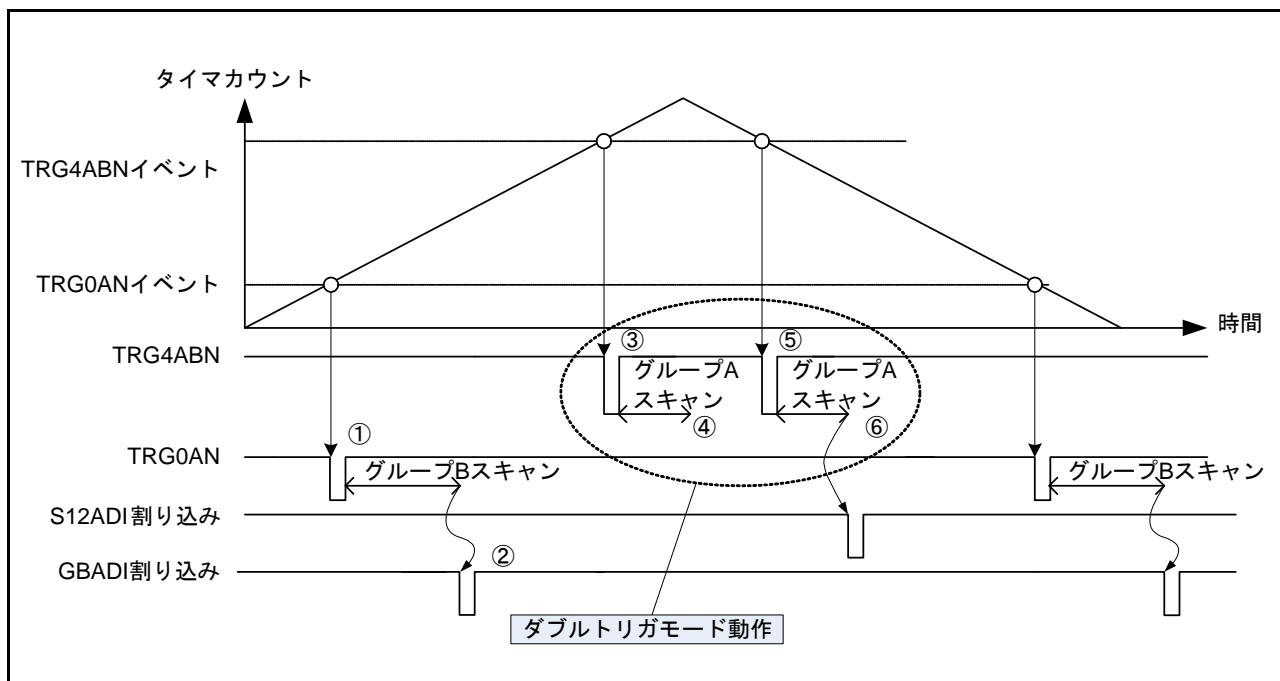


図 29.13 グループスキャンモードでダブルトリガモード選択時の動作例
(MTUからの同期トリガ発生による基本動作)

29.3.4.3 グループ A 優先制御動作

グループスキャンモードでA/Dグループスキャン優先コントロールレジスタ (ADGSPCR) のPGSビットを“1”にすると、グループA優先制御動作を行います。ADGSPCRレジスタのPGSビットを“1”に設定する際は、図29.14に記載された手順に従い、設定を実行してください。フロー以外の設定をした場合、A/D変換の動作および格納されたデータは保証されません。

グループスキャンモードの基本動作では、グループA、もしくはグループBのA/D変換動作中に他方のトリガ入力があっても無視されます。グループA優先制御動作では、グループBのA/D変換動作中にグループAのトリガ入力があった場合、グループBのA/D変換動作を中断して、グループAのA/D変換動作を行います。ADGSPCR.GBRSCNビットが“0”のときは、グループAのA/D変換動作終了後に待機状態となります。ADGSPCR.GBRSCNビットが“1”のときは、グループAのA/D変換動作終了後、自動的にグループBのA/D変換動作をスキャン先頭から再開します。ADGSPCR.GBRSCNビットの設定とA/D変換動作中のトリガ入力時の動作を表29.9に示します。

グループAとグループBのスキャン動作は、シングルスキャンモードと同じ動作になります。またグループBのスキャン動作は、ADGSPCR.GBRPビットに“1”を設定すると、シングルスキャンを連続して実行する動作になります。

グループスキャンモードのトリガ設定は、ADSTRGR.TRSA[5:0]ビットでグループAの同期トリガを選択し、ADSTRGR.TRSB[5:0]ビットでグループAのトリガとは異なるグループBの同期トリガを選択してください。ADGSPCR.GBRPビットに“1”を設定する場合は、ADSTRGR.TRSB[5:0]ビットは“3Fh”を設定してください。またA/D変換対象とするチャンネルは、ADANSA0、ADANSA1レジスタでグループAのチャンネルを選択し、ADANSB0、ADANSB1レジスタでグループAとは異なるグループBのチャンネルを選択してください。

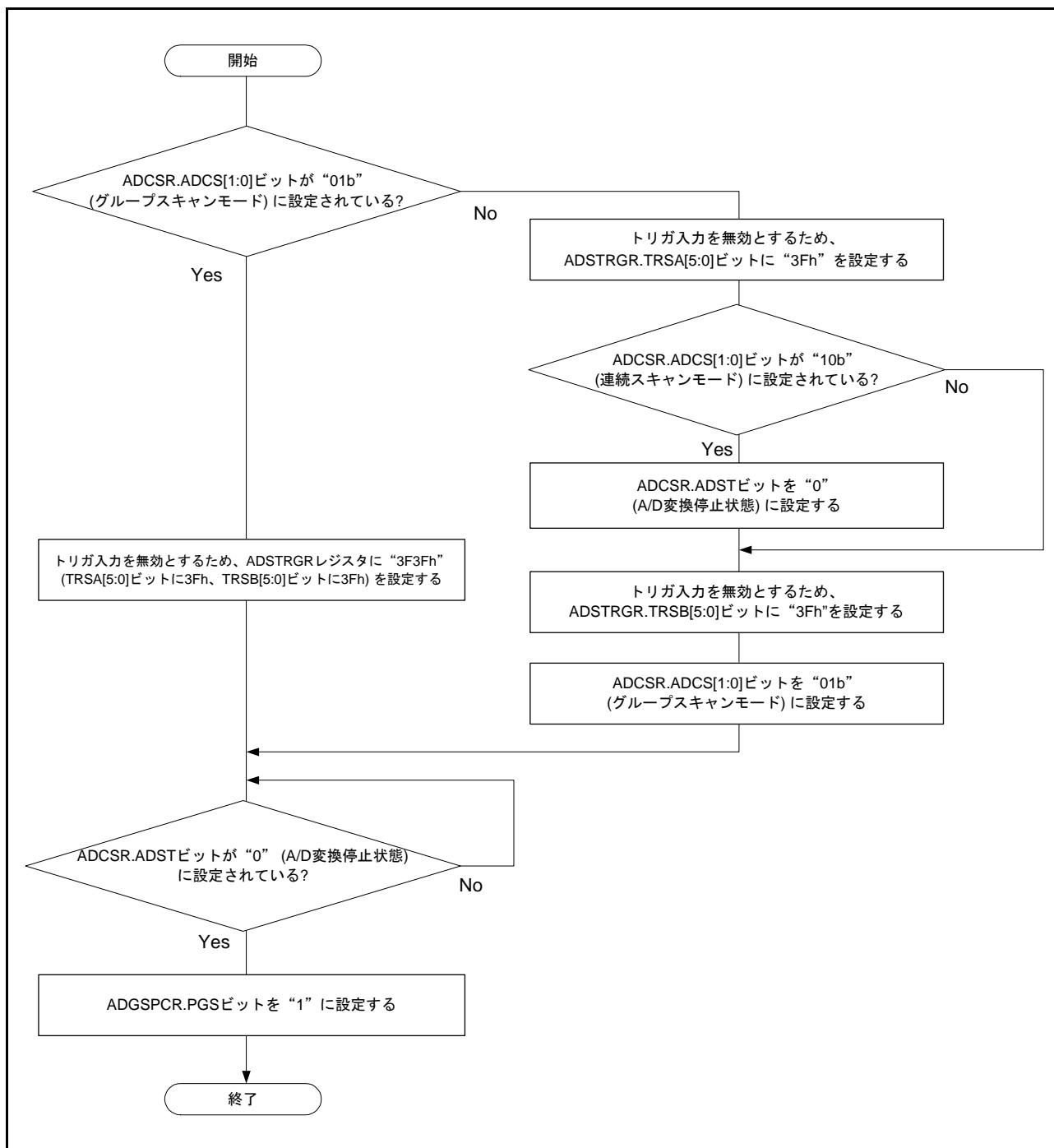


図 29.14 ADGSPCR.PGS ビット設定時のフロー

表29.9 ADGSPCR.GBRSCNビットの設定によるA/D変換動作制御

A/D変換動作	トリガ入力	ADGSPCR.GBRSCN = 0	ADGSPCR.GBRSCN = 1
グループA のA/D変換動作中	グループAトリガ入力	トリガ入力無効	トリガ入力無効
	グループBトリガ入力	トリガ入力無効	グループAのA/D変換動作終了後、グループBのA/D変換動作を行います。
グループB のA/D変換動作中	グループAトリガ入力	グループBのA/D変換中断し、 グループAのA/D変換動作開始	<ul style="list-style-type: none"> グループBのA/D変換中断し、グループAのA/D変換動作開始 グループAのA/D変換終了後、グループBのA/D変換動作開始
	グループBトリガ入力	トリガ入力無効	トリガ入力無効

以下にグループAにチャンネル0を、グループBにチャンネル1～3を選択したグループスキャンモードグループA優先制御動作の動作例 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時) を示します。

- グループBのトリガ入力によってADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- A/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- グループBのA/D変換動作中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリアし、動作中のA/D変換を中断します。その後、ADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSA0、ADANSA1レジスタで選択したチャンネルANnのnが小さい番号順にA/D変換を開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていると、S12ADI割り込み要求を発生します。
- ADSTビットは自動的にクリアされた後、再度、自動的にADCSR.ADSTビットが“1”(A/D変換開始)になると、ADANSB0、ADANSB1レジスタで選択したチャンネルANnのnが小さい番号順に、グループBのA/D変換を再度開始します。
- 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
- ADCSR.GBADIEビットが“1”(グループBのスキャン終了によるGBADI割り込み許可)に設定されていると、GBADI割り込み要求を発生します。
- ADSTビットはA/D変換中は“1”(A/D変換開始)を保持し、A/D変換が終了すると自動的にクリアされ、A/Dコンバータは待機状態になります。

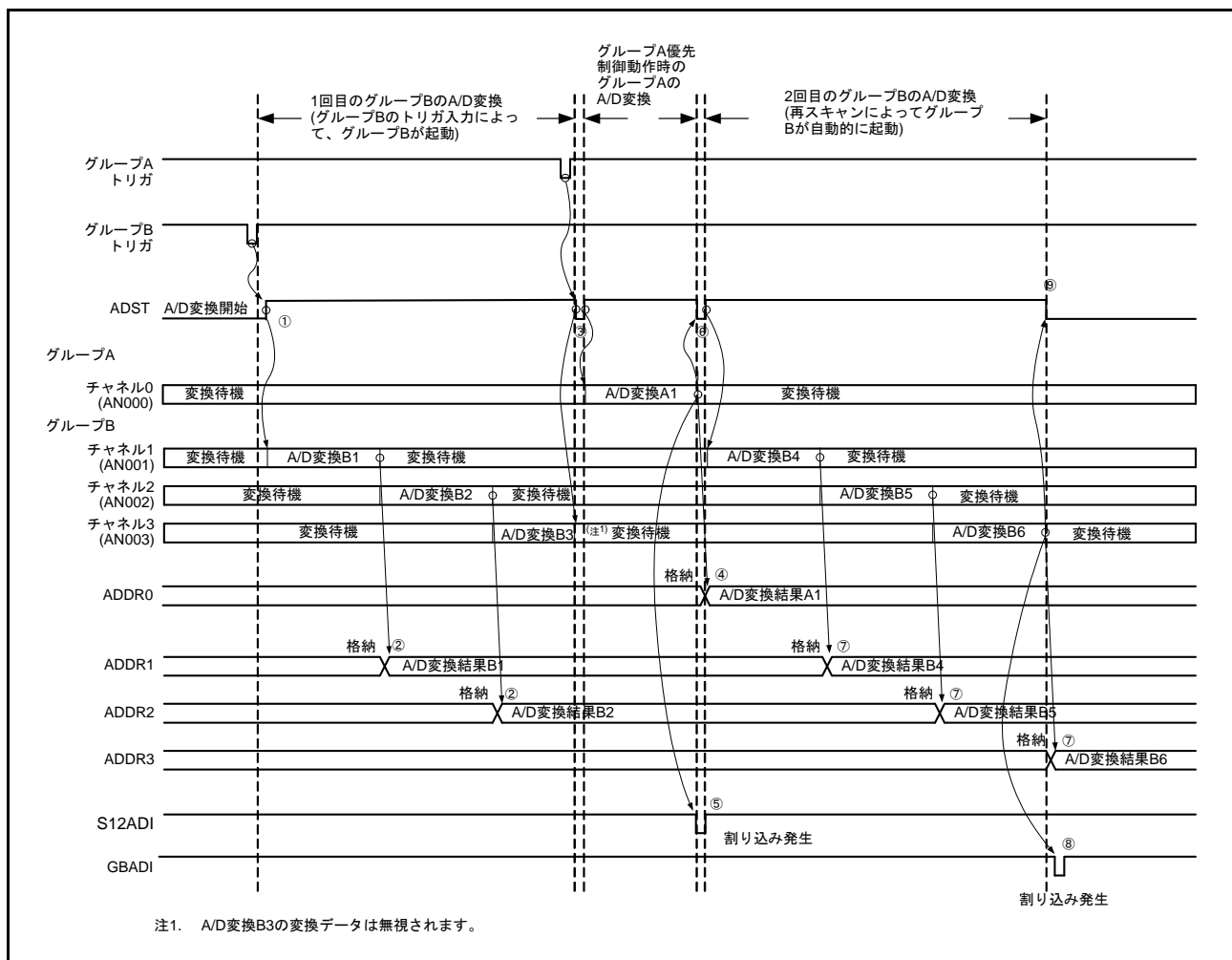


図 29.15 グループ A 優先制御の動作例 (1) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

次に、グループ B 再スキャン動作時に、再度グループ A のトリガが入力された場合の例として、グループ A 優先制御動作の動作時 (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時) に、グループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択した場合の例を示します。

- (1) グループ B のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定されると、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリア (A/D 変換停止) し、動作中のグループ B の A/D 変換を中断します。
- (4) その後、ADCSR.ADST ビットを自動的に“1”にし、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に、グループ A の A/D 変換を開始します。
- (5) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (6) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (7) ADGSPCR.GBRSCN ビットが“1” (再スキャン動作有効) に設定されていると、グループ A の A/D 変換後、グループ B の再スキャン動作により、自動的に ADCSR.ADST ビットが“1”に設定されます。その

- 後、ADANSB0、ADANSB1レジスタで選択した、グループBのチャンネルANnのnが小さい番号順に、A/D変換を再度開始します。
- (8) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
 - (9) 再スキャン起動によるグループBのA/D変換動作中に、グループAのトリガ入力があると、ADCSR.ADSTビットを“0”にクリア(A/D変換停止)し、動作中のグループBのA/D変換を中断します。
 - (10) その後、ADCSR.ADSTビットを自動的に“1”にし、ADANSA0、ADANSA1レジスタで選択した、グループAのチャンネルANnのnが小さい番号順に、グループAのA/D変換を開始します。
 - (11) 1チャンネルのA/D変換が終了すると、A/D変換結果は対応するA/Dデータレジスタ(ADDRy)に格納されます。
 - (12) ADCSR.ADIEビットが“1”(スキャン終了によるS12ADI割り込み許可)に設定されていると、S12ADI割り込み要求を発生します。
 - (13) ADGSPCR.GBRSCNビットが“1”(再スキャン動作有効)に設定されていると、グループAのA/D変換後、グループBの再スキャン動作により、自動的にADCSR.ADSTビットが“1”に設定されます。その後、ADANSB0、ADANSB1レジスタで選択した、グループBのチャンネルANnのnが小さい番号順に、A/D変換を再度開始します。
 - (14) 再スキャン起動によるグループBのA/D変換中に、グループAのトリガ入力があると、(9)～(13)を繰り返し実行します。グループAのトリガ入力がない場合は、グループBのA/D変換が終了するとADCSR.ADSTビットが自動的にクリアされ、12ビットA/Dコンバータは待機状態になります。

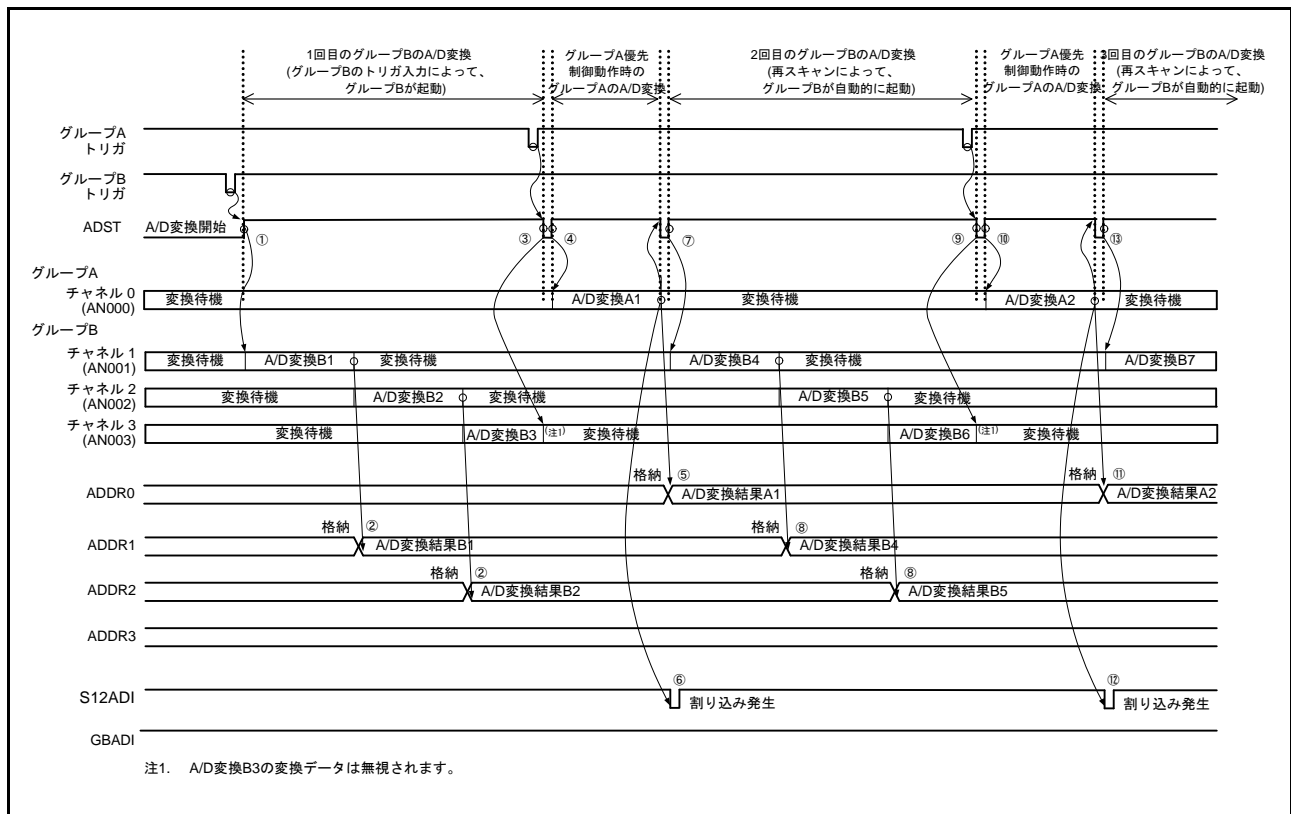


図 29.16 グループA優先制御の動作例(2) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時の動作)

次に、グループAのA/D変換動作中に、グループBのトリガが入力された場合の、再スキャン動作の例として、グループA優先制御動作の動作時(ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0時)に、グループAにチャンネル1～3を、グループBにチャンネル0を選択した場合の例を示します。

- (1) グループ A のトリガ入力によって、ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択した、グループ A のチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ A の A/D 変換動作中に、グループ B のトリガ入力があると、グループ A の A/D 変換終了後に、グループ B の A/D 変換を実行できる状態となります。(ただし、グループ A のトリガが連続で入力された場合、グループ B の再スキャン動作は、グループ A に打ち消され、実施されません)
- (4) グループ A のスキャン終了後、ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (5) グループ A のスキャン終了後、グループ B の再スキャン起動により、自動的に ADCSR.ADST ビットが“1” に設定されます。
その後、ADANSB0、ADANSB1 レジスタで選択した、グループ B のチャンネル ANn の n が小さい番号順に、A/D 変換を再度開始します。
- (6) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (7) 再スキャン起動による、グループ B のスキャン終了後、ADCSR.GBADIE ビットが“1” (スキャン終了による GBADI 割り込み許可) に設定されていると、GBADI 割り込み要求を発生します。
- (8) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると、自動的にクリアされ、A/D 変換器は待機状態になります。

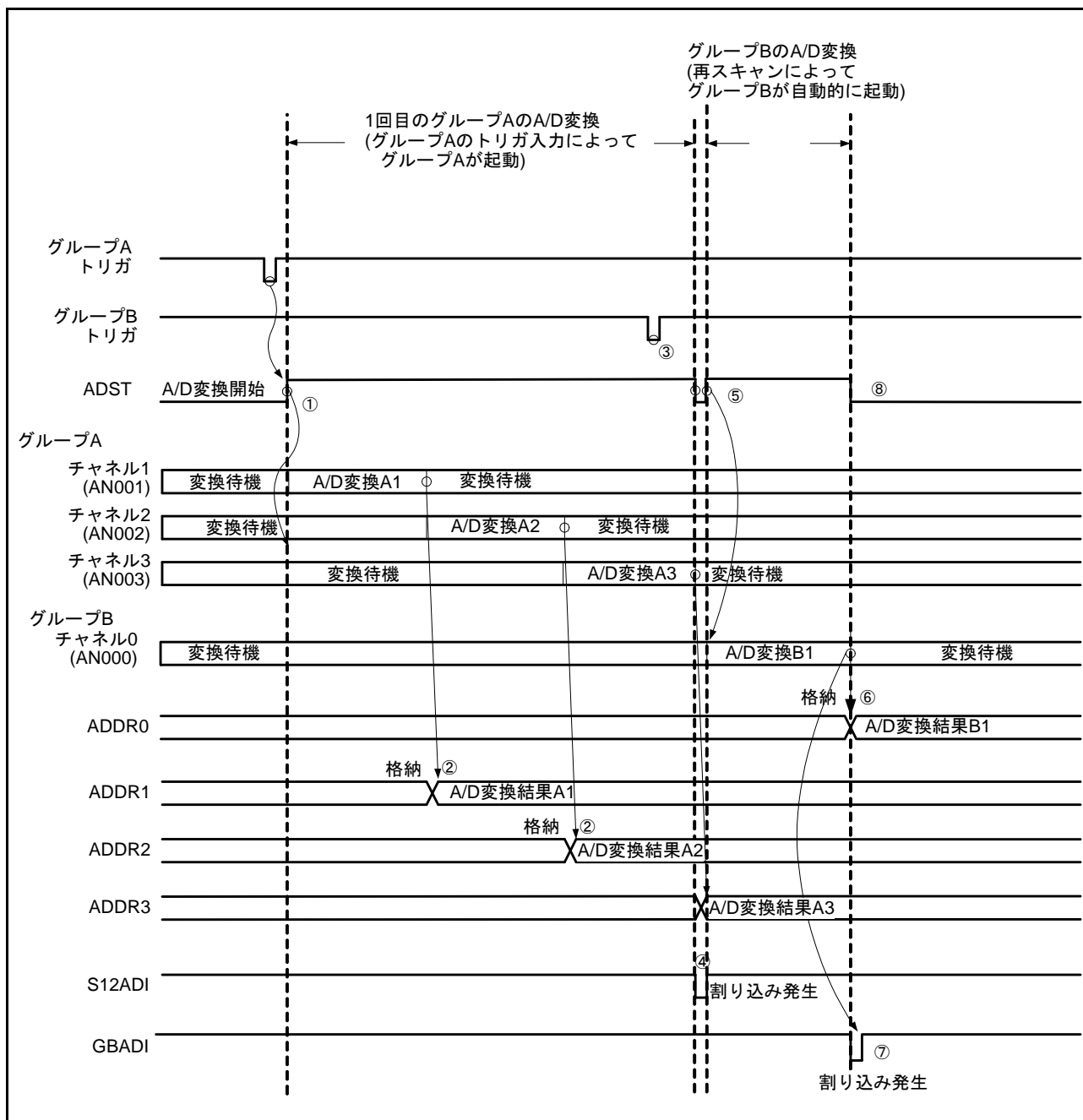


図 29.17 グループ A 優先制御の動作例 (3) (ADGSPCR.GBRSCN = 1、ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときのグループ A 優先制御の動作例 (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0) を示します。

- (1) グループ B のトリガ入力によって ADCSR.ADST ビットが“1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (6) ADST ビットは A/D 変換中は“1” (A/D 変換開始) を保持し、A/D 変換が終了すると自動的にクリアされ、A/D 変換器は待機状態になります。

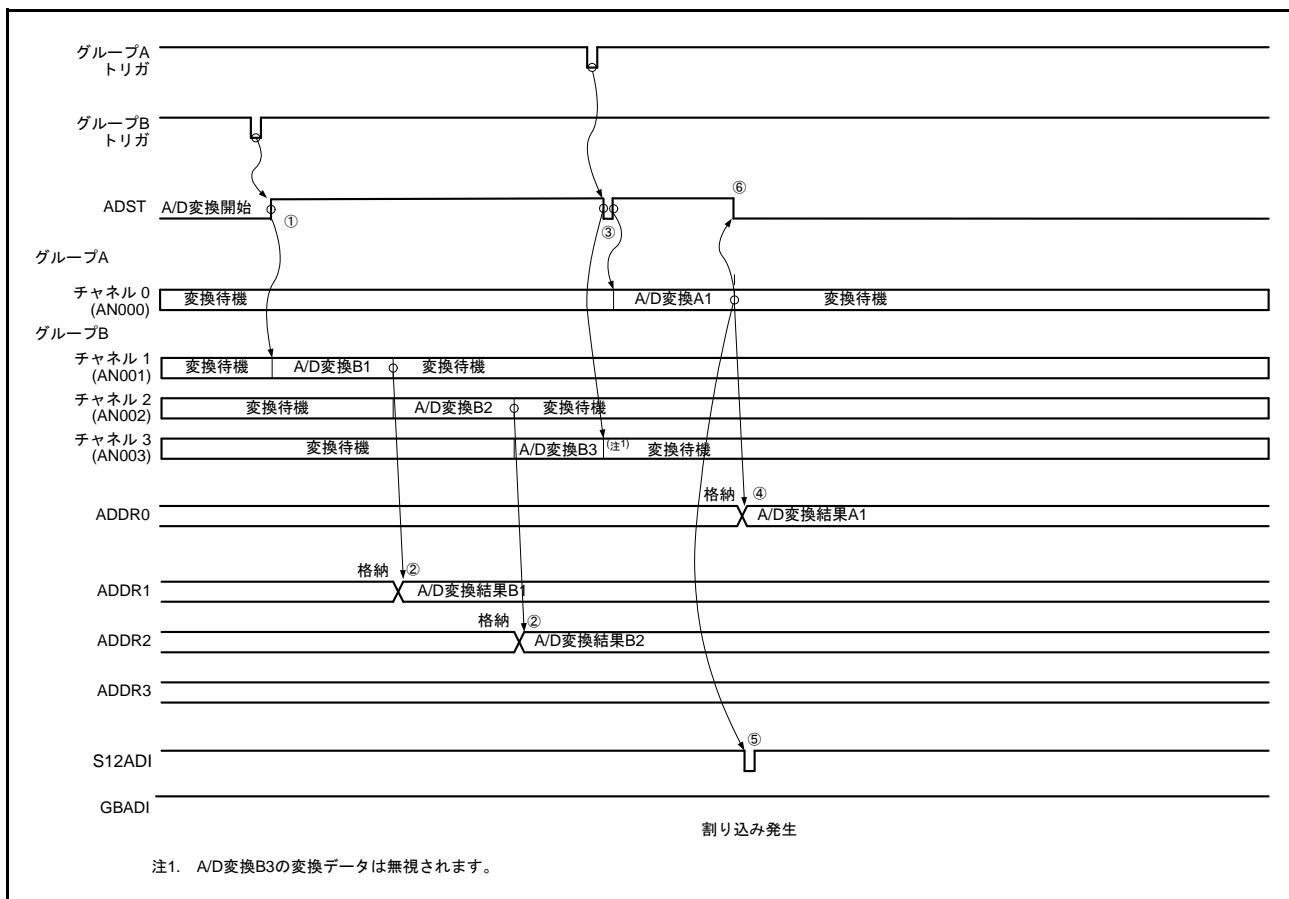


図 29.18 グループ A 優先制御の動作例 (4) (ADGSPCR.GBRSCN = 0, ADGSPCR.GBRP = 0 時の動作)

以下にグループ A にチャンネル 0 を、グループ B にチャンネル 1～3 を選択したときの、グループ A 優先制御の動作例 (ADGSPCR.GBRP = 1) を示します。

- (1) ADGSPCR.GBRP = 1 を設定すると、ADCSR.ADST ビットが“1” (A/D 変換開始) に設定され、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (2) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (3) グループ B の A/D 変換動作中に、グループ A のトリガ入力があると、ADCSR.ADST ビットを“0”にクリアし、動作中の A/D 変換を中断します。その後、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSA0、ADANSA1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を開始します。
- (4) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (5) ADCSR.ADIE ビットが“1” (スキャン終了による S12ADI 割り込み許可) に設定されていると、S12ADI 割り込み要求を発生します。
- (6) ADST ビットを自動的にクリアした後、再度、ADCSR.ADST ビットが自動的に“1” (A/D 変換開始) になると、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。
- (7) 1 チャンネルの A/D 変換が終了すると、A/D 変換結果は対応する A/D データレジスタ (ADDRy) に格納されます。
- (8) ADCSR.GBADIE ビットが“1” に設定されていると、GBADI 割り込み要求を発生します。
- (9) ADST ビットを自動的にクリアした後、再度、自動的に ADCSR.ADST ビットを“1” (A/D 変換開始) に設定して、ADANSB0、ADANSB1 レジスタで選択したチャンネル ANn の n が小さい番号順に A/D 変換を再度開始します。ADGSPCR.GBRP ビットが“1” に設定されている間は、(6)～(9) の動作を繰り返します。ADGSPCR.GBRP ビットが“1” に設定されている間は、ADCSR.ADST ビットを“0”にクリアしないでください。ADGSPCR.GBRP = 1 のとき、A/D 変換を強制停止させるには、「29.7.2 A/D 変換停止時の注意事項」に示す ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローの手順に従ってください。

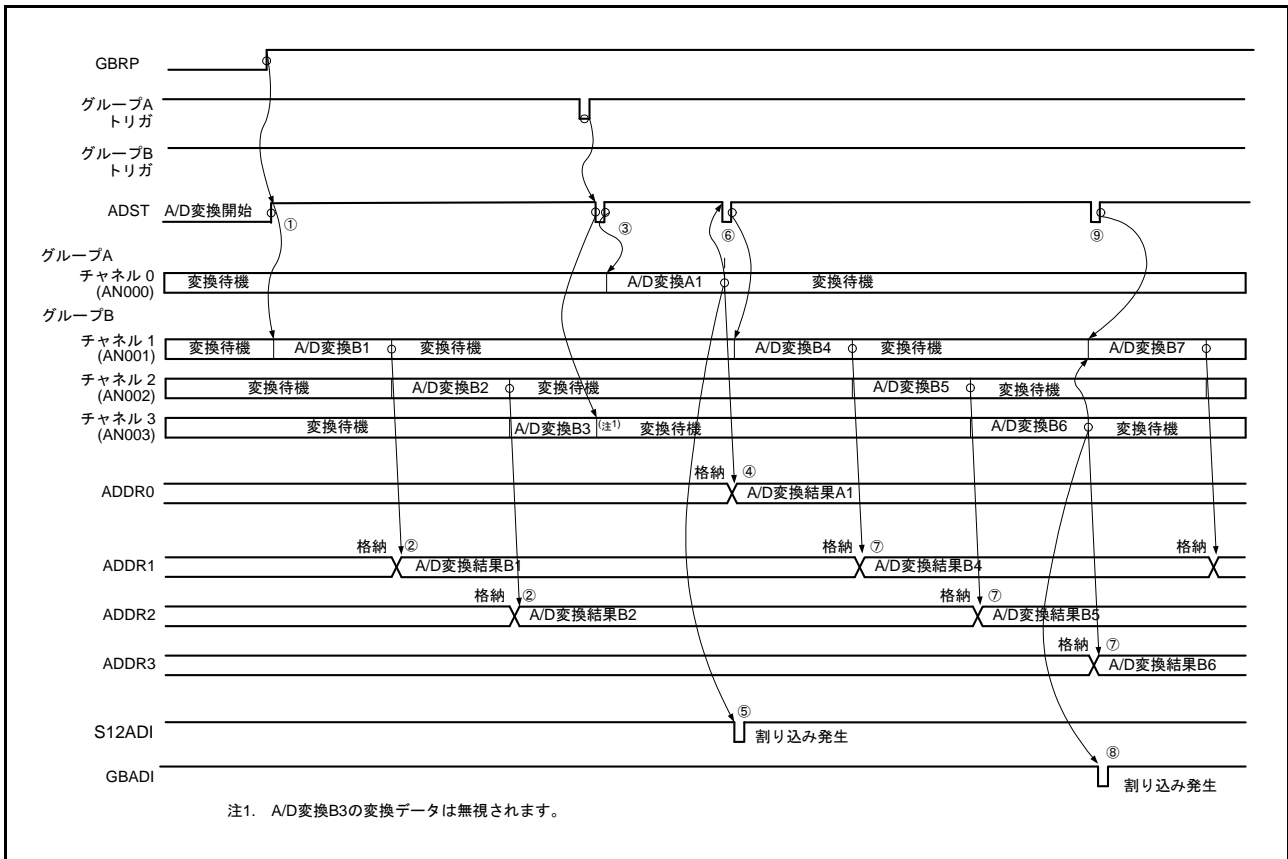


図 29.19 グループ A 優先制御の動作例 (5) (ADGSPCR.GBRP = 1 時の動作)

29.3.5 アナログ入力のサンプリング時間とスキャン変換時間

スキャン変換は、ソフトウェア、同期トリガまたは非同期トリガ入力による起動が選択できます。スキャン変換開始遅延時間 (t_D) の後に、チャンネル専用サンプル&ホールド回路のサンプリング、断線検出アシスト処理、自己診断変換処理を行い、この後に A/D 変換処理が開始されます。

図 29.20 にシングルスキャンモード、ソフトウェア起動と同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。また、図 29.21 にシングルスキャンモード、非同期トリガ起動によるスキャン変換を行う場合のタイミングを示します。スキャン変換時間 (t_{SCAN}) はスキャン変換開始遅延時間 (t_D)、チャンネル専用サンプル&ホールド回路処理時間 (t_{SPLSH}) (注 1)、断線検出アシスト処理時間 (t_{DIS}) (注 2)、自己診断変換時間 (t_{DIAG}) (注 3)、A/D 変換処理時間 (t_{CONV})、チャンネル専用サンプル&ホールド回路終了処理時間 (t_{SHED}) (注 4)、スキャン変換終了遅延時間 (t_{ED}) を含めた時間となります。

A/D 変換処理時間 (t_{CONV}) は、サンプリング時間 (t_{SPL})、逐次変換時間 (t_{SAM}) を合わせた時間となります。サンプリング時間 (t_{SPL}) は、A/D コンバータ内のサンプルホールド回路に電荷を充電するための時間です。アナログ入力の信号源インピーダンスが高くサンプリング時間が不足する場合や、A/D 変換クロック (ADCLK) が低速の場合には ADSSTRn レジスタでサンプリング時間を調整することができます。

逐次変換時間 (t_{SAM}) は、32 ステート (ADCLK) となります。スキャン変換時間を表 29.10 に示します。

選択チャンネル数が n のシングルスキャンのスキャン変換時間 (t_{SCAN}) は、次のように表されます。

$$t_{SCAN} = t_D + t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + (t_{CONV} \times n) \text{ (注 5)} + t_{ED}$$

連続スキヤンの1サイクル目は、シングルスキヤンの t_{SCAN} から t_{ED} を省き t_{SHED} を加えた時間です。
 連続スキヤンの2サイクル目以降は、 $t_{SPLSH} + (t_{DIS} \times n) + t_{DIAG} + t_{DSD} + (t_{CONV} \times n) + t_{SHED}$ となります。

- 注1. チャネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SPLSH} = 0$ となります。
- 注2. 断線検出アシストを設定しない場合は、 $t_{DIS} = 0$ となります。内部基準電圧をA/D変換する場合に限り、オートディスチャージ期間15ステート(ADCLK)挿入されます。
- 注3. 自己診断を設定しない場合は、 $t_{DIAG} = 0$ 、 $t_{DSD} = 0$ となります。
- 注4. チャネル専用サンプル&ホールド回路を使用しない場合は、 $t_{SHED} = 0$ となります。 t_{SHED} は連続スキヤンモード実行時の所要時間です。シングルスキヤンとグループスキヤンでは、スキヤン終了時間(t_{ED})に含まれます。
- 注5. 選択チャンネルのサンプリング時間(t_{SPL})が、同一の場合は $t_{CONV} \times n$ となりますが、チャンネルごとに異なる場合は、各チャンネルのサンプリング時間(t_{SPL})と逐次変換時間(t_{SAM})の総和となります。

表29.10 スキヤンでの各所要時間(ADCLKとPCLKのサイクル数で示します)

項目		記号	種別/条件				単位
			同期トリガ (MTU)	同期トリガ (TMR)	非同期トリガ	ソフトウェアトリガ	
スキヤン開始処理時間 (注1、注2)	グループA優先制御動作によるグループAのA/D変換	グループB中断あり (グループAのA/D変換要因によってグループBを停止させた後、グループAを起動)	$1PCLKA + 4PCLKB + 6ADCLK$	$3PCLKB + 6ADCLK$	—	—	サイクル
		グループB中断なし (グループAのA/D変換要因によって起動)	$1PCLKA + 3PCLKB + 4ADCLK$	$2PCLKB + 4ADCLK$	—	—	
	自己診断有効時のA/D変換	自己診断変換開始時	$1PCLKA + 3PCLKB + 6ADCLK$	$2PCLKB + 6ADCLK$	$4PCLKB + 6ADCLK$	$6ADCLK$	
	上記以外		$1PCLKA + 3PCLKB + 4ADCLK$	$2PCLKB + 4ADCLK$	$2PCLKB + 4ADCLK$	$4ADCLK$	
チャネル専用サンプルホールド処理時間 (注1)	サンプリング時間	t_{SPLSH}	t_{SH}	ADSHCR.SSTSH[7:0]の設定値(初期値1Ah) × ADCLK			サイクル
	サンプリング-A/D変換ウェイト時間		t_W	13ADCLK			
断線検出アシスト処理時間		t_{DIS}	ADDISCR.ADNDIS[3:0]設定値(初期値00h) × ADCLK (注3)				
自己診断変換処理時間 (注1)	サンプリング時間	t_{DIAG}	t_{SPL}	ADSSTR0設定値(初期値0Dh) × ADCLK			
	逐次変換時間			t_{DED}	32ADCLK		
	自己診断変換終了後。通常のA/D変換開始時	2ADCLK					
	連続スキヤン時の最終チャンネル変換終了後、自己診断変換開始時	2ADCLK					
A/D変換処理時間 (注1)	サンプリング時間	t_{CONV}	t_{SPL}	ADSSTRn (n = 0~7, L, O)設定値(初期値0Dh) × ADCLK			
	逐次変換時間			t_{SAM}	32ADCLK		
チャネル専用サンプルホールド終了処理時間		t_{SHED}	3ADCLK				
スキヤン終了時間 (注1)		t_{ED}	1PCLKB + 3ADCLK				

- 注1. t_D 、 t_{SPLSH} 、 t_{DIAG} 、 t_{CONV} 、 t_{ED} の各タイミングについては図29.20、図29.21を参照してください。
- 注2. ソフトウェア書き込み、またはトリガ入力からA/D変換開始までの最大時間です。
- 注3. 内部基準電圧をA/D変換時は、“0Fh”(15ADCLK)に固定されます。

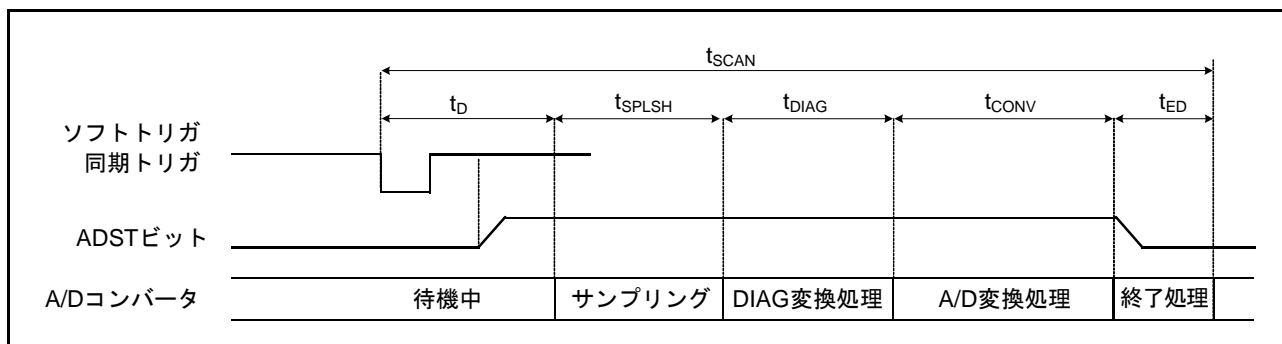


図 29.20 スキャン変換のタイミング (ソフトウェア起動、同期トリガ起動の場合)

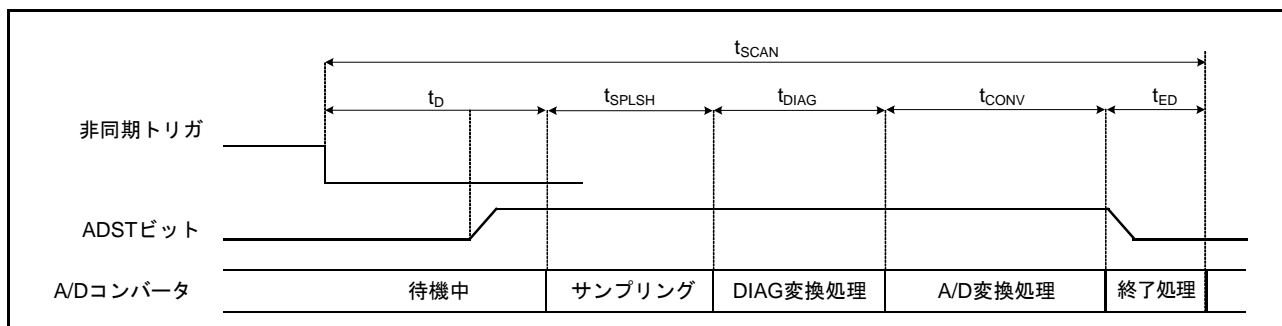


図 29.21 スキャン変換のタイミング (非同期トリガ起動の場合)

29.3.6 A/D データレジスタの自動クリア機能の使用例

ADCER.ACE ビットを“1”にすることにより、CPU、DTC によって A/D データレジスタ (ADDRy, ADRD, ADOCDR, ADDBLDR, ADDBLDRA, ADDBLDRB) を読み出す際、自動的に ADDRy、ADRD、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタを“0000h”にクリアできます。

この機能を使うことにより、ADDRy、ADRD、ADOCDR、ADDBLDR、ADDBLDRA、ADDBLDRB レジスタの未更新故障を検出することができます。以下に ADDRy レジスタの自動クリア機能が無効/有効時の例を示します。

ADCER.ACE ビットが“0”(自動クリア禁止)の場合、A/D 変換結果 (0222h) が何らかの原因で ADDRy レジスタに書き込みされなかったとき、古いデータ (0111h) が ADDRy レジスタの値となります。さらに A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタに読み出した場合、古いデータ (0111h) が汎用レジスタに保存できます。ただし、未更新のチェックを行う場合、古いデータを RAM、汎用レジスタに逐一保持しながらチェックを行う必要があります。

ADCER.ACE ビットが“1”(自動クリア許可)の場合には、ADDRy = 0111h を CPU、DTC により読み出す際、ADDRy レジスタは自動的に“0000h”にクリアされます。その後、A/D 変換結果 (0222h) が ADDRy レジスタに何らかの原因で転送できなかったとき、クリアされたデータ (0000h) が ADDRy レジスタ値として残ります。ここで A/D 変換終了割り込みを利用して、この ADDRy レジスタの値を汎用レジスタなどに読み出した場合、“0000h”が汎用レジスタなどに保持されます。読み出されたデータ値が“0000h”であることをチェックするだけで、ADDRy レジスタの未更新故障があったことを判断できます。

29.3.7 A/D 変換値加算 / 平均機能

A/D 変換値加算機能は、同じチャンネルを 2～4、16 回連続で A/D 変換し、その変換値の合計をデータレジスタに保持します。A/D 変換値平均機能は、同じチャンネルを 2 回、または 4 回連続で A/D 変換し、その変換値の平均をデータレジスタに保持します。この結果の平均値を使用することで、ノイズ成分によっては A/D 変換精度が良くなります。ただし、A/D 変換精度が良くなることを保証する機能ではありません。

A/D 変換値加算 / 平均機能は、チャンネル選択アナログ入力 A/D 変換、内部基準電圧 A/D 変換選択時に使用できます。

29.3.8 断線検出アシスト機能

A/D 変換開始前に、サンプリング容量の電荷を所定の状態 (A/D 高電位 / 低電位基準電圧コントロールレジスタで選択した基準電圧) に固定する機能を内蔵しています。この機能により、アナログ入力に接続した配線の断線検出が可能になります。

図 29.22 に断線検出アシスト機能を使用した場合の A/D 変換動作図を示します。また、図 29.23 にプリチャージを選択した場合の断線検出例を、図 29.24 にディスチャージを選択した場合の断線検出例を示します。

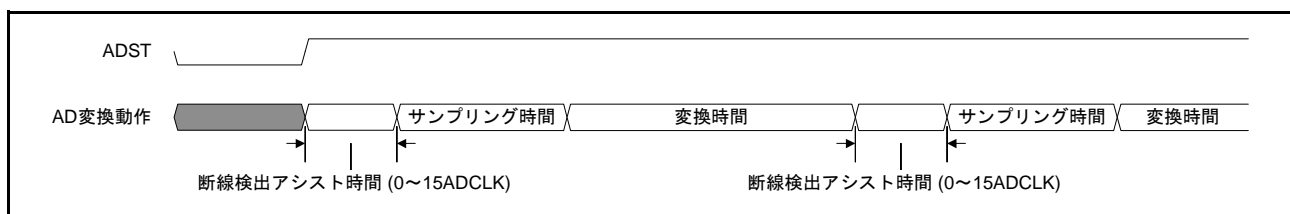


図 29.22 断線検出アシスト機能を使用した場合の A/D 変換動作図

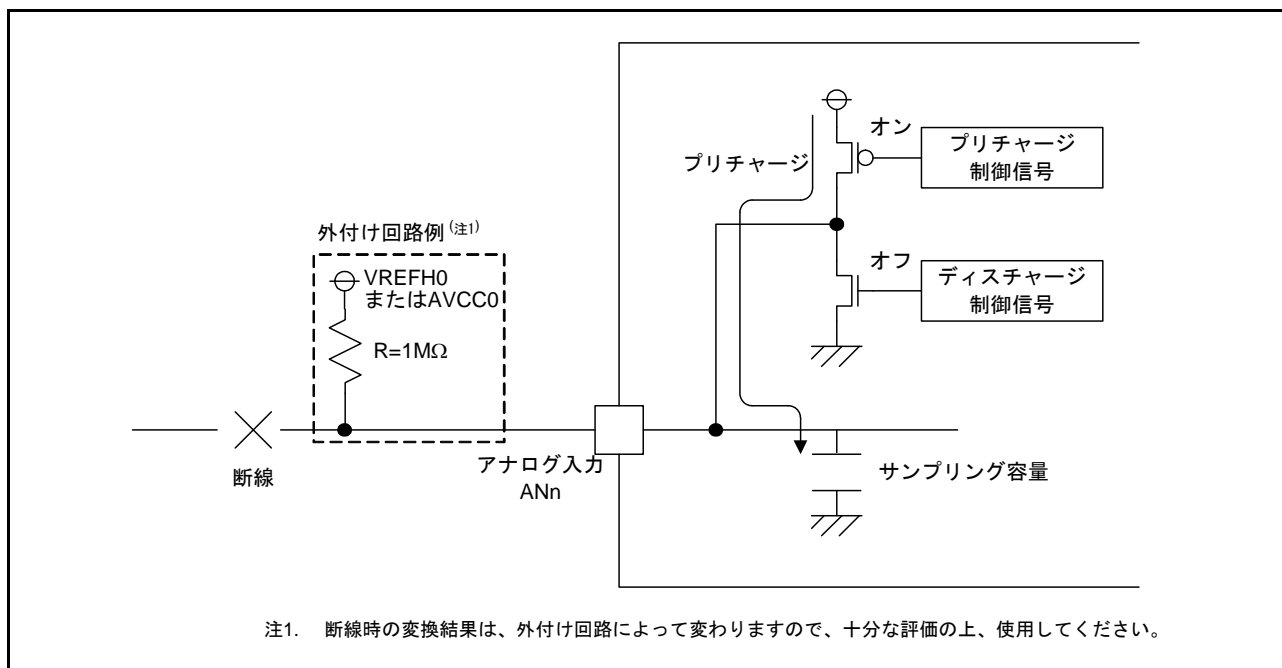


図 29.23 プリチャージを選択した場合の断線検出例

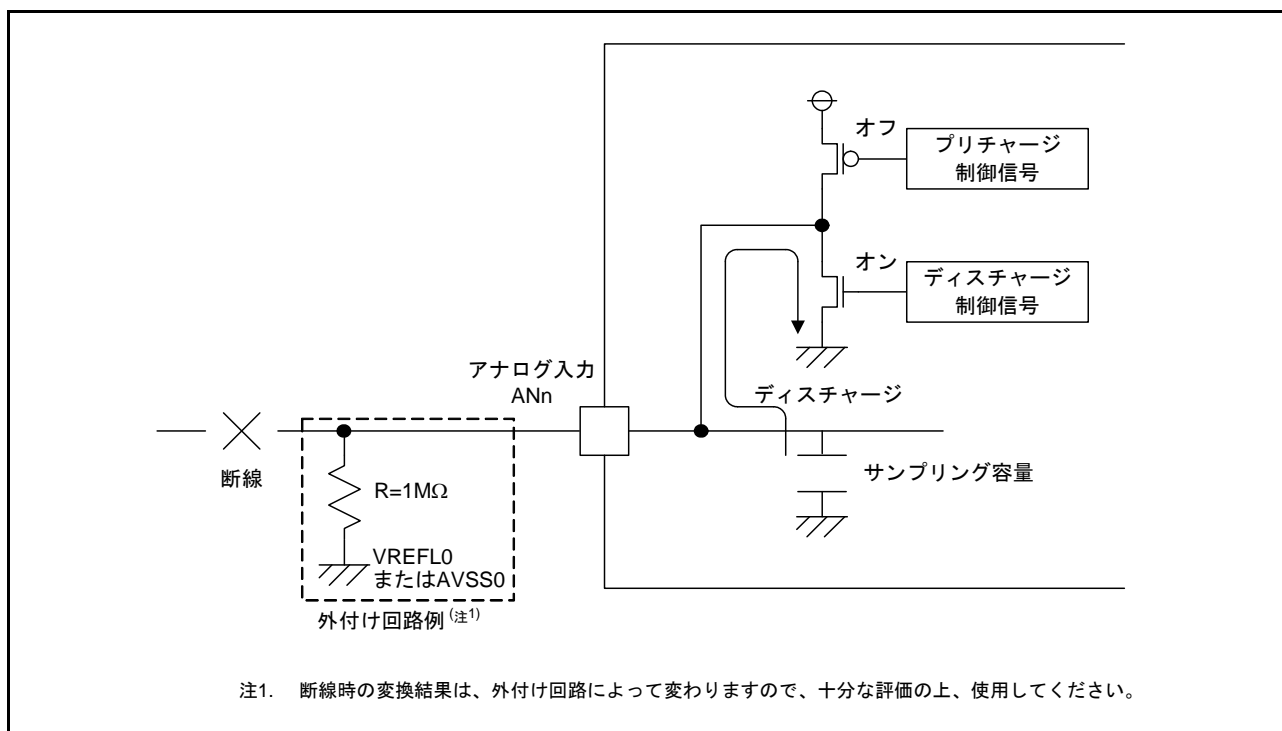


図 29.24 ディスチャージを選択した場合の断線検出例

29.3.9 非同期トリガによる A/D 変換の開始

非同期トリガの入力により AD 変換を開始することができます。非同期トリガを使用して A/D 変換を開始する場合、A/D 変換開始トリガ選択ビット (ADSTRGR.TRSA[5:0]) を “000000b” に設定し、非同期トリガ (ADTRG0# 端子) に High を入力した後、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “1” にします。図 29.25 に非同期トリガ入力タイミングを示します。

ADST ビットが “1” になってから、変換を開始するまでの時間は、「29.7.3 A/D 変換強制停止と開始時の動作タイミング」を参照してください。グループスキャンモードで使用するグループ B は、非同期トリガを選択できません。

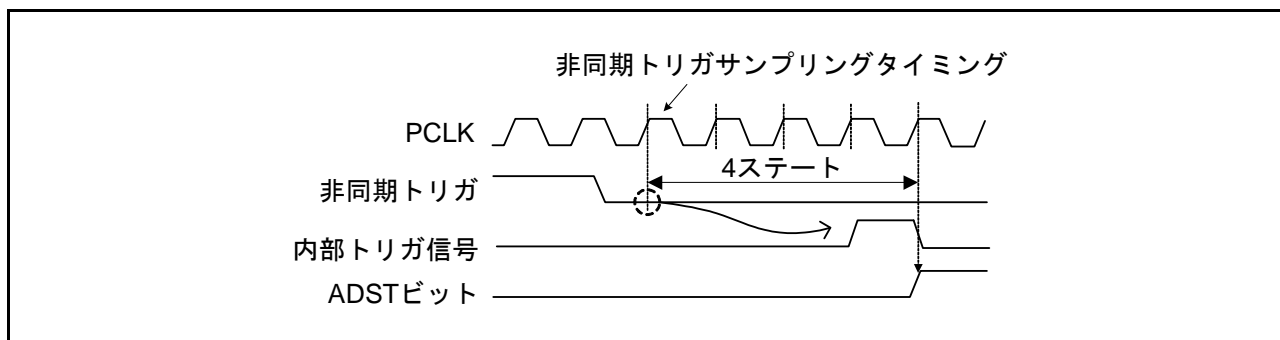


図 29.25 非同期トリガ入力タイミング

29.3.10 周辺モジュールからの同期トリガによる A/D 変換の開始

同期トリガによって、A/D 変換を開始することができます。同期トリガで A/D 変換を開始するときには、ADCSR.TRGE ビットを “1”、ADCSR.EXTRG ビットを “0” とし、ADSTRGR.TRSA[5:0]、ADSTRGR.TRSB[5:0] ビットで該当の A/D 変換開始要因を選択します。

29.4 割り込み要因と DTC 転送要求

29.4.1 割り込み要求

CPU へのスキャン終了割り込み要求である S12ADI、GBADI 割り込みを発生することができます。

ADCSR.ADIE ビットを “1” にすると S12ADI を許可、“0” にすると S12ADI を禁止できます。

ADCSR.GBADIE ビットを “1” にすると GBADI を許可、“0” にすると GBADI を禁止できます。

また、S12ADI、GBADI 発生時に DTC を起動できます。S12ADI、GBADI 割り込みで変換されたデータの読み出しを DTC で行うと、連続変換がソフトウェアの負担なく実現できます。DTC の設定は「17. データトランスファコントローラ (DTCa)」を参照してください。

29.5 基準電圧の選択方法

A/D コンバータは 64 ピンパッケージ製品では高電位側基準電圧を VREFH0 と AVCC0、低電位側基準電圧を VREFL0 と AVSS0 からそれぞれ選択することができます。A/D 変換前に設定してください。52 ピンおよび 48 ピンパッケージ製品では高電位側基準電圧に AVCC0、低電位側基準電圧に AVSS0 のみ使用できます。設定の詳細は、「29.2.18 A/D 高電位 / 低電位基準電圧コントロールレジスタ (ADHVREFCNT)」を参照してください。

29.6 許容信号源インピーダンスについて

本MCUのアナログ入力は、高速変換 $1.0\mu\text{s}$ を実現するために、信号源インピーダンスが $1.0\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。シングルスキャンモードで1端子のみ変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $2.5\text{k}\Omega$ だけになりますので、信号源インピーダンスは不問となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号には追従できないことがあります。高速のアナログ信号を変換する場合や、スキャンモードで複数端子の変換を行う場合には、低インピーダンスのバッファを入れてください。

図 29.26 にアナログ入力端子と外部センサの等価回路を示します。

A/D変換を正しく行うためには、図 29.26 に示す内部コンデンサ C への充電が所定の時間内に終了することが必要です。この所定の時間をサンプリング時間と言います。

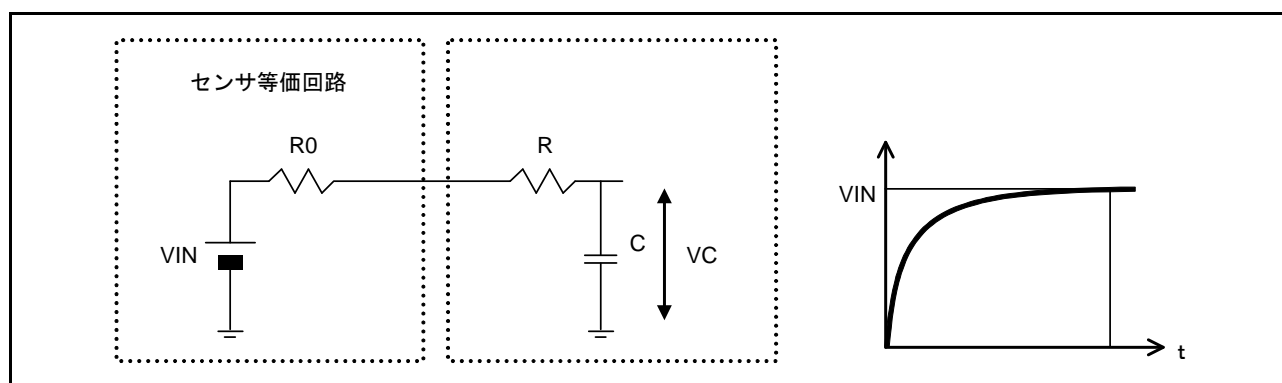



図 29.26 アナログ入力端子と外部センサの等価回路

29.7 使用上の注意事項

29.7.1 データレジスタの読出し注意事項

A/D データレジスタ、A/D データ 2 重化レジスタ、A/D データ 2 重化レジスタ A、A/D データ 2 重化レジスタ B、A/D 内部基準電圧データレジスタ、および A/D 自己診断データレジスタの読み出しは、ワード単位で行ってください。バイト単位で上位バイト/下位バイトの 2 回に分けて読み出すことにより、1 回目に読み出した A/D 変換値と 2 回目に読み出した A/D 変換値が変化するのを避けるため、バイト単位の読み出しは行わないでください。

29.7.2 A/D 変換停止時の注意事項

A/D 変換開始条件に非同期トリガ、または同期トリガを選択している場合、A/D 変換を停止させるためには、 29.27 のフローチャートの手順に従ってください。

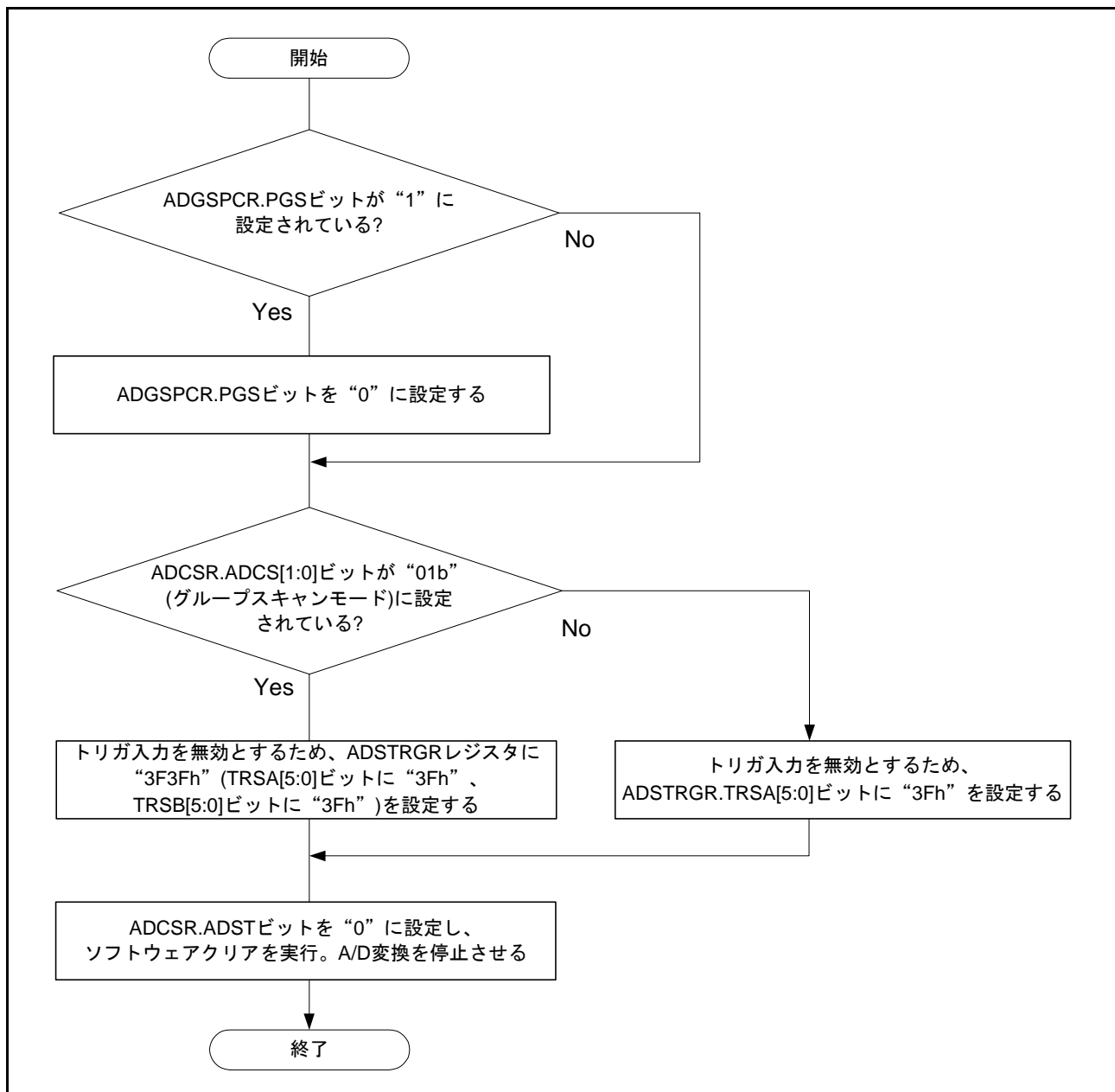


図 29.27 ADCSR.ADST ビットによるソフトウェアクリア実行の設定フロー

29.7.3 A/D変換強制停止と開始時の動作タイミング

12ビットA/Dコンバータのアナログ部が停止した状態で ADCSR.ADST ビットを“1”に設定し12ビットA/Dコンバータのアナログ部が動作を開始するのに ADCLK で最大6クロックの時間を必要とします。ADCSR.ADST ビットを“0”に設定してA/D変換を強制停止させると、12ビットA/Dコンバータのアナログ部が動作を停止するのに、ADCLK で最大3クロックの時間を必要とします。

29.7.4 スキャン終了割り込み処理の注意事項

トリガ起動による同一アナログ入力のスキャンを2回行う場合等で、1回目のスキャン終了割り込み発生から、2回目のスキャンによる最初のアナログ入力のA/D変換が終了するまでに、CPUがA/D変換データを読み出し終えていなければ、1回目のA/D変換データが2回目のA/D変換データで上書きされます。

29.7.5 モジュールストップ機能の設定

モジュールストップコントロールレジスタA (MSTPCRA)により、12ビットA/Dコンバータの動作禁止/許可を設定することが可能です。初期値では、12ビットA/Dコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。モジュールストップ状態を解除した後は、1 μ s待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

29.7.6 低消費電力状態への遷移時の注意

モジュールストップモードやソフトウェアスタンバイモードへ移行する場合は、A/D変換を停止させてください。A/D変換を停止させる際、ADCSR.ADST ビットを“0”に設定後、12ビットA/Dコンバータのアナログ部が停止するまでの時間を確保する必要があります。この時間を確実に確保するために以下の手順で設定してください。

図 29.27 に示す、ADCSR.ADST ビットによるソフトウェアクリア実行の設定フローに従い、ADCSR.ADST ビットを“0”に設定してください。その後、ADCLK の2クロック期間待った後、モジュールストップモードやソフトウェアスタンバイモードへ移行させてください。

29.7.7 ソフトウェアスタンバイモード解除時の注意

ソフトウェアスタンバイモードを解除した後は、水晶発振安定時間またはPLL回路の安定時間経過後、さらに1 μ s以上待ってからA/D変換を開始してください。詳細は「11. 消費電力低減機能」を参照してください。

29.7.8 断線検出アシスト機能使用時の絶対精度誤差

断線検出アシスト機能を使用する場合、アナログ入力端子にプルアップ/プルダウン抵抗 (Rp) と信号源抵抗 (Rs) の抵抗分圧分の誤差電圧が入力され、A/Dコンバータの絶対精度誤差が生じます。絶対精度の誤差は下式で表されます。

断線検出アシスト機能は、十分な評価の上、使用してください。

$$\text{最大絶対精度誤差 (LSB)} = 4095 \times R_s/R_p$$

29.7.9 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えてMCUを使用した場合は、MCUの信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

アナログ入力端子 AN_n に印加する電圧は $AVSS0 \leq VAN \leq AVCC0$ の範囲としてください。また、VREFH0 端子、VREFL0 端子に印加するリファレンス電圧の設定範囲は、 $VREFH0 \leq AVCC0$ 、 $VREFL0 = AVSS0$ にしてください。アナログ入力端子 AN_n に印加する電圧が、VREFH0 を超える場合は、正しく変換できません(図 29.28 参照)。

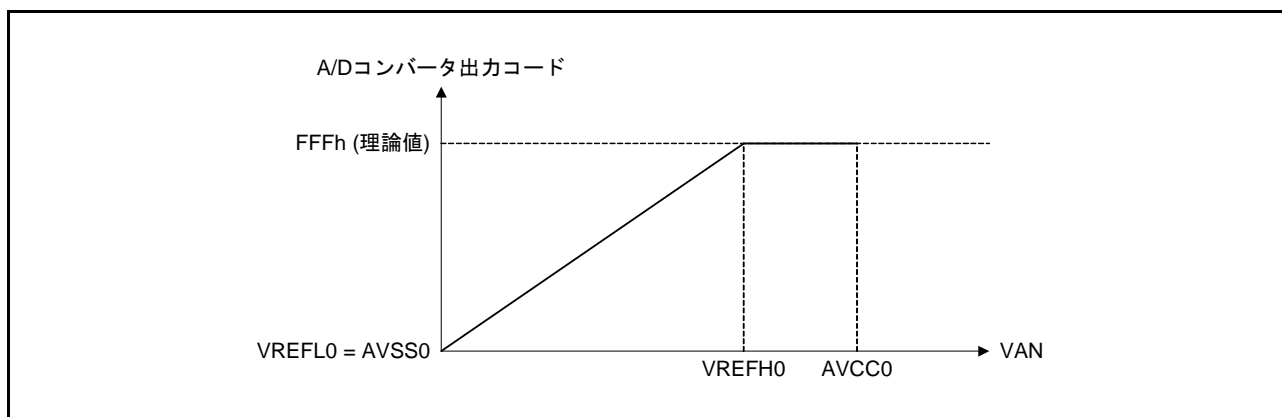


図 29.28 アナログ入力端子に印加する電圧と出力コードの関係

- 各電源端子 (AVCC0 - AVSS0, VREFH0 - VREFL0, VCC - VSS) の関係

AVSS0 と VSS との関係は $AVSS0 = VSS$ としてください。アナログ入力端子 AN_n (n = 016, 017) の A/D 変換を行う場合は、 $AVCC0 = VCC$ としてください。また、図 29.29 に示すように各々の電源間に最短で閉ループが形成できるように 0.1μF のコンデンサを接続し、供給元で $VREFL0 = AVSS0 = VSS$ になるように接続してください。12ビット A/D コンバータを使用しない場合は、 $VREFH0 = AVCC0 = VCC$ 、 $VREFL0 = AVSS0 = VSS$ としてください。

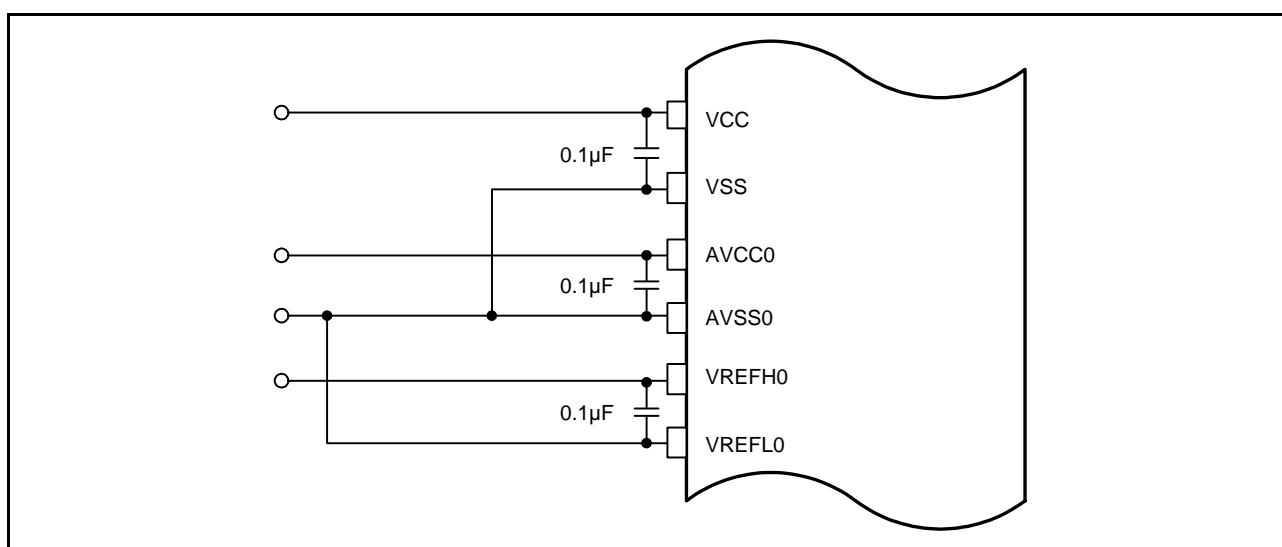


図 29.29 各電源端子の接続例

29.7.10 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号線を交差させたり、近接させたりしないでください。アナログ信号にノイズが乗って、A/D変換値の精度に悪影響を及ぼします。アナログ入力端子 (AN000 ~ AN007, AN016, AN017)、基準電源端子 (VREFH0)、基準グランド端子 (VREFL0)、アナログ電源 (AVCC0) は、アナロググランド (AVSS0) で、デジタル回路と分離してください。さらにアナロググランド (AVSS0) は、ボード上の安定したデジタルグランド (VSS) に一点接続してください。

29.7.11 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子 (AN000 ~ AN007, AN016, AN017) の破壊を防ぐために、図 29.30 に示すように AVCC0 と AVSS0 間、VREFH0 と VREFL0 間に容量を、またアナログ入力端子 (AN000 ~ AN007, AN016, AN017) を基準に保護回路を接続してください。

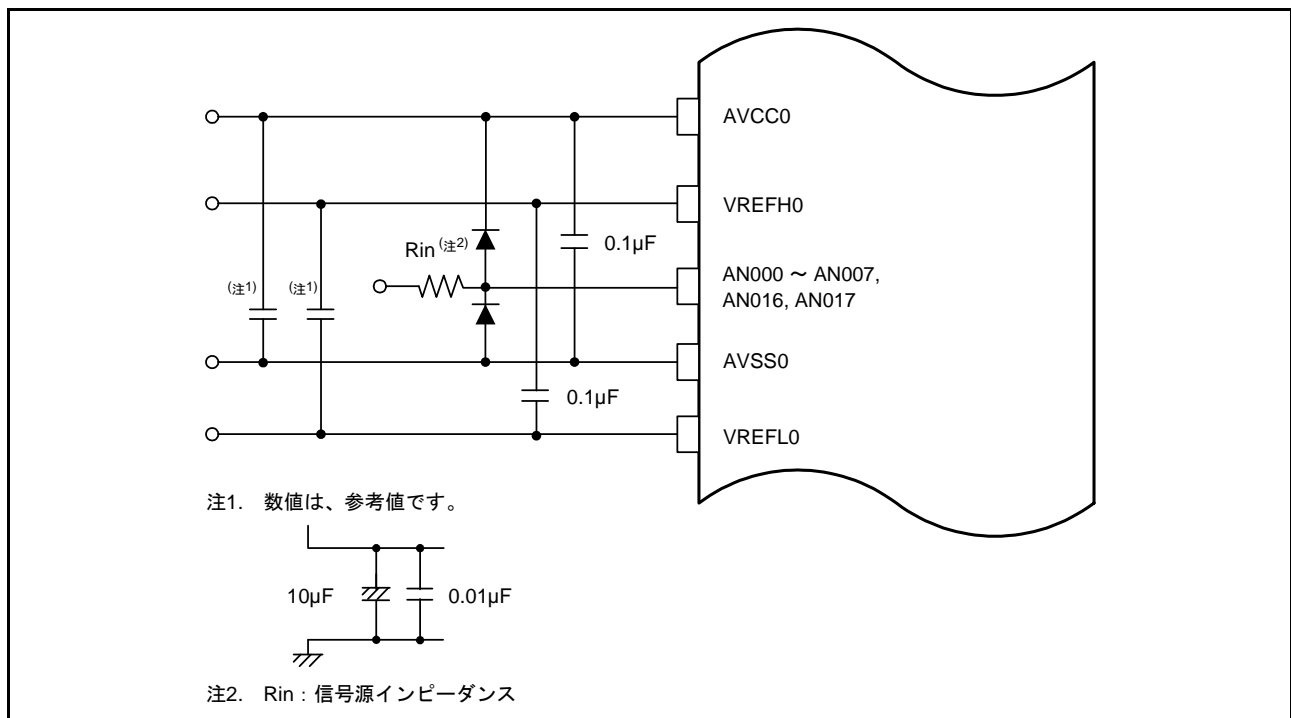


図 29.30 アナログ入力保護回路の例

30. コンパレータC用リファレンス電圧生成専用D/Aコンバータ (DA)

本章に記載しているPCLKとはPCLKBを指します。

30.1 概要

本MCUは、コンパレータC用リファレンス電圧生成専用の8ビットD/Aコンバータを1チャンネル内蔵しています。

表30.1に8ビットD/Aコンバータの仕様を示します。図30.1に8ビットD/Aコンバータのブロック図を示します。

表30.1 8ビットD/Aコンバータの仕様

項目	内容
分解能	8ビット
出力チャンネル	1チャンネル
消費電力低減機能	モジュールストップ状態への設定が可能

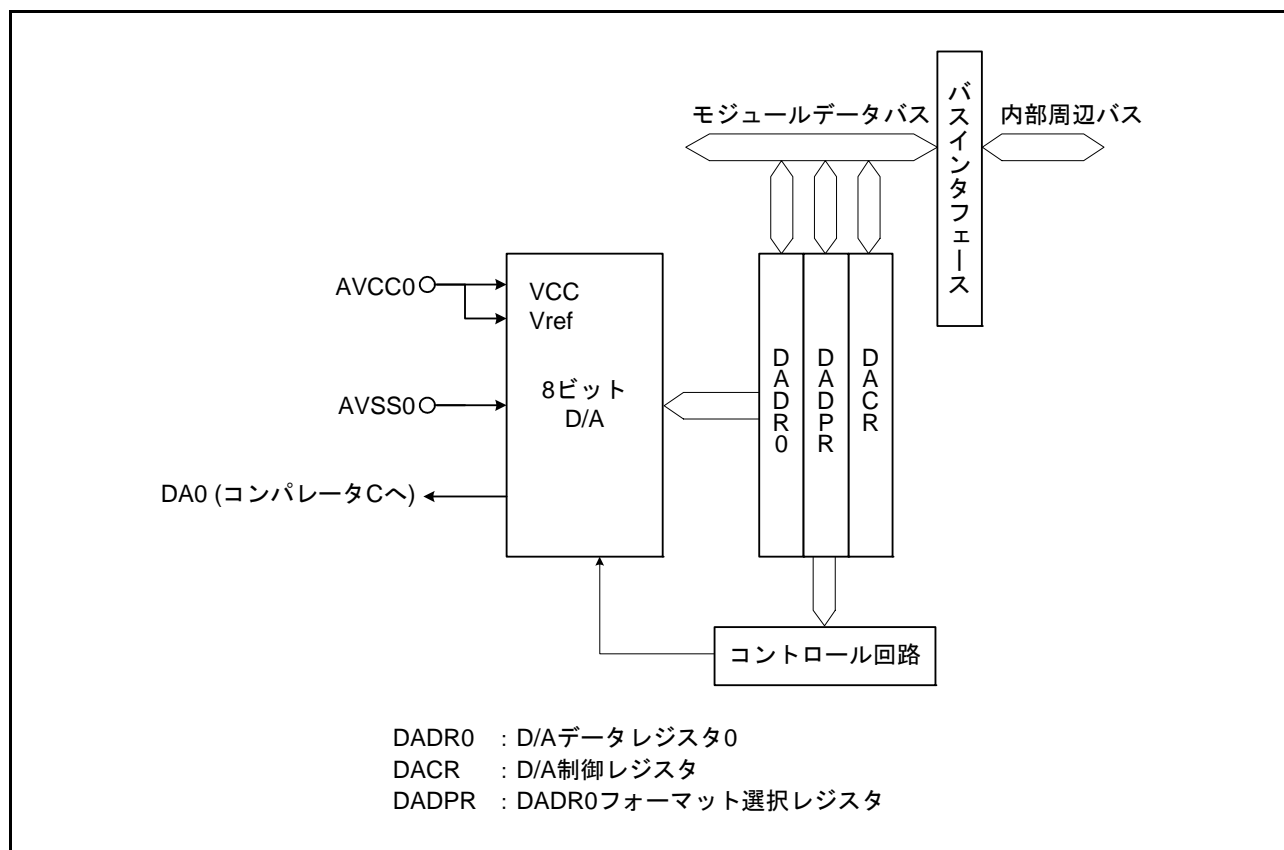


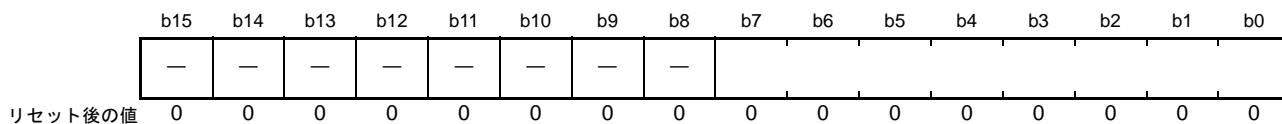
図30.1 8ビットD/Aコンバータのブロック図

30.2 レジスタの説明

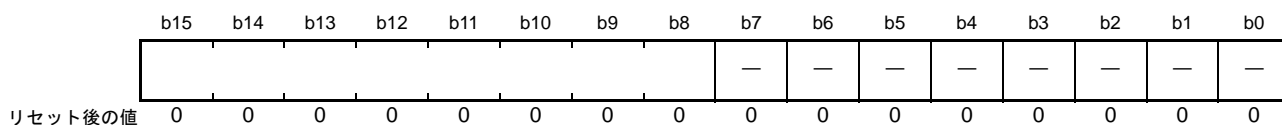
30.2.1 D/A データレジスタ 0 (DADR0)

アドレス DA.DADR0 0008 80C0h

- ・ DADPR.DPSELビット=0 (データは右詰め)



- ・ DADPR.DPSELビット=1 (データは左詰め)



DADR0 レジスタは、D/A 変換を行うデータを格納するための 16 ビットの読み出し/書き込み可能なレジスタです。アナログ出力を許可すると、DADR0 レジスタの値が変換されコンパレータCのリファレンス電圧が供給されます。

DADPR.DPSEL ビットの設定によって 8 ビットのデータの配置を変更できます。“—”のビットは、読むと“0”が読めます。書く場合、“0”としてください。

30.2.2 D/A 制御レジスタ (DACR)

アドレス DA.DACR 0008 80C4h

b7	b6	b5	b4	b3	b2	b1	b0
—	DAOE0	—	—	—	—	—	—

リセット後の値 0 0 0 1 1 1 1 1

ビット	シンボル	ビット名	機能	R/W
b4-b0	—	予約ビット	読むと“1”が読めます。書く場合、“1”としてください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R
b6	DAOE0	D/A出力許可0ビット	0 : D/A変換を禁止 1 : D/A変換を許可	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

DAOE0 ビット (D/A 出力許可 0 ビット)

D/A 変換を制御します。

30.2.3 DADR0 フォーマット選択レジスタ (DADPR)

アドレス DA.DADPR 0008 80C5h

b7	b6	b5	b4	b3	b2	b1	b0
DPSEL	—	—	—	—	—	—	—

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b6-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	DPSEL	DADR0フォーマット選択ビット	0 : D/Aデータレジスタは右詰め 1 : D/Aデータレジスタは左詰め	R/W

30.3 動作説明

DACR.DAOE0 ビットを“1”にすると、D/A 変換が許可され変換結果が出力されます。

D/A 変換を行う場合の動作例を以下に示します。このときの動作タイミングを図 30.2 に示します。

1. DADPR.DPSEL ビットと DADR0 レジスタに D/A 変換を行うためのデータを設定します。
2. DACR.DAOE0 ビットを“1”にすると、D/A 変換を開始します。t_{DCONV} 時間経過後、変換結果を出力します。DADR0 レジスタを書き換えるか、DAOE0 ビットを“0”にするまで、この変換結果が出力され続けます。出力値（参考）は以下の式で計算します。

$$\frac{\text{DADR0 レジスタ}}{256} \times \text{AVCC0}$$

3. DADR0 レジスタを書き換えると変換を開始します。t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0 ビットを“0”に設定すると D/A 変換を禁止します。

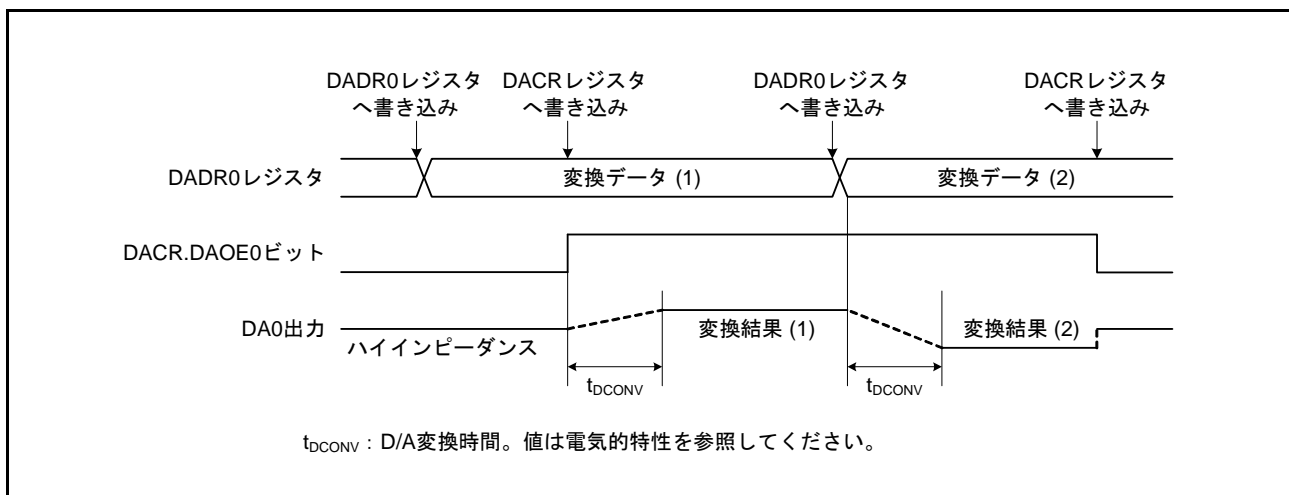


図 30.2 8 ビット D/A コンバータの動作例

30.4 使用上の注意事項

30.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、8ビットD/Aコンバータの動作禁止/許可を設定することが可能です。初期値では、8ビットD/Aコンバータの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

30.4.2 モジュールストップ時のD/Aの動作

D/A変換を許可した状態でモジュールストップ状態になるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、DACR.DAOE0ビットを“0”にしてD/A出力を禁止してください。

30.4.3 ソフトウェアスタンバイモード時のD/Aの動作

D/A変換を許可した状態でソフトウェアスタンバイモードになるとD/A出力は保持され、アナログ電源電流はD/A変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DACR.DAOE0ビットを“0”にしてD/A出力を禁止してください。

30.4.4 D/Aコンバータの設定について

コンパレータC用リファレンス電圧生成専用D/Aコンバータの設定は、コンパレータCの動作を許可する前に実施し、D/Aコンバータの出力が安定するまで(D/A変換時間： t_{DCONV})待ってからコンパレータの動作を許可してください。D/Aコンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてからD/Aコンバータの設定を変更し、D/Aコンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

31. コンパレータ C (CMPC)

31.1 概要

コンパレータ C はリファレンス入力電圧とアナログ入力電圧を比較します。リファレンス入力電圧とアナログ入力電圧の比較結果はソフトウェアで読むことも、外部端子に出力することもできます。また、比較結果の変化を検出して割り込み要求を発生させることもできます。

コンパレータ C のリファレンス入力電圧は、CVREFC0、CVREFC1 端子への入力、または内蔵 D/A コンバータ出力のいずれかから選択できます。

アナログ入力は 4 系統あり、いずれか 1 つを選択します。

表 31.1 にコンパレータ C の仕様を、図 31.1 にコンパレータ C のブロック図を、表 31.2 にコンパレータ C の入出力端子を示します。

本章に記載している PCLK とは PCLKB を指します。

表31.1 コンパレータ C の仕様

項目	内容
チャンネル数	3チャンネル (コンパレータ C0~コンパレータ C2)
アナログ入力電圧	<ul style="list-style-type: none"> • CMPCnm 端子 (n = チャンネル番号、m = 0~2) への入力電圧 • 内部基準電圧
リファレンス入力電圧	CVREFC0、CVREFC1 端子への入力電圧または内蔵 D/A コンバータの出力電圧
比較結果	比較結果を外部出力可能
デジタルフィルタ機能	<ul style="list-style-type: none"> • 3種類のサンプリング周期の選択可能 • フィルタ未使用も可能 • ノイズフィルタを通した信号から割り込み要求出力、POE 要因出力の生成、およびレジスタを介して比較結果を読み出し可能
割り込み要求	<ul style="list-style-type: none"> • 比較結果の有効エッジを検出して割り込み要求を発生 • 比較結果の立ち上がりエッジ/立ち下がりエッジ/両エッジを選択可能
消費電力低減機能	モジュールストップ状態への遷移が可能

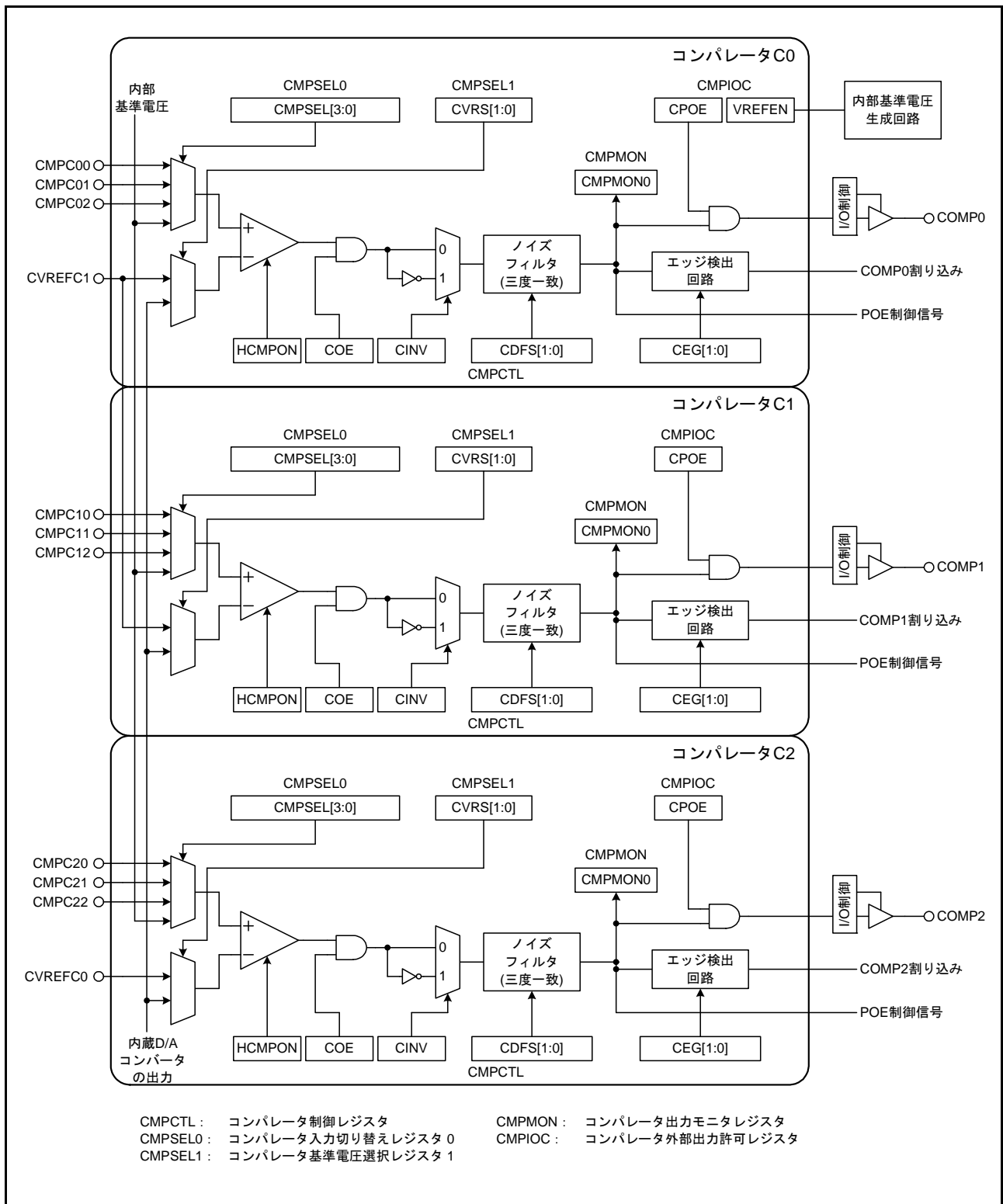


図 31.1 コンパレータ C のブロック図

表31.2 コンパレータCの入出力端子

端子名	入出力	機能
CMPC00, CMPC01, CMPC02	入力	CMPC0用アナログ入力端子
CMPC10, CMPC11, CMPC12	入力	CMPC1用アナログ入力端子
CMPC20, CMPC21, CMPC22	入力	CMPC2用アナログ入力端子
CVREFC0	入力	リファレンス入力電圧端子0
CVREFC1	入力	リファレンス入力電圧端子1
COMP0	出力	CMPC0比較結果出力端子
COMP1	出力	CMPC1比較結果出力端子
COMP2	出力	CMPC2比較結果出力端子

31.2 レジスタの説明

31.2.1 コンパレータ制御レジスタ (CMPCTL)

アドレス CMPC0.CMPCTL 000A 0C80h, CMPC1.CMPCTL 000A 0CA0h, CMPC2.CMPCTL 000A 0CC0h

	b7	b6	b5	b4	b3	b2	b1	b0
	HCMP ON	CDFS[1:0]	CEG[1:0]	—	COE	CINV		
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	CINV	コンパレータ出力極性切り替えビット(注1、注4)	0 : コンパレータ出力非反転 1 : コンパレータ出力反転	R/W
b1	COE	コンパレータ出力許可ビット	0 : コンパレータ出力禁止 ("0"出力に固定) 1 : コンパレータ出力許可	R/W
b2	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b4-b3	CEG[1:0]	コンパレータエッジ選択ビット	b4 b3 0 0 : 割り込み要求を生成しない 0 1 : 立ち上がりエッジ 1 0 : 立ち下がりエッジ 1 1 : 立ち上がり、立ち下がりの両エッジ	R/W
b6-b5	CDFS[1:0]	ノイズフィルタサンプリング選択ビット(注1、注2、注4)	b6 b5 0 0 : ノイズフィルタ未使用 0 1 : PCLK/8でサンプリング 1 0 : PCLK/16でサンプリング 1 1 : PCLK/32でサンプリング	R/W
b7	HCMPON	コンパレータ動作許可ビット(注3)	0 : 動作停止 (コンパレータの出力は"0") 1 : 動作許可 (コンパレータの端子入力許可)	R/W

注1. CINV, CDFS[1:0]ビットの書き換えは、コンパレータの出力を禁止 (COEビット=0) したあとで行ってください。

注2. CDFS[1:0]ビットを"00b" (ノイズフィルタ未使用) から"00b"以外 (ノイズフィルタを使用) に変更した場合は、フィルタ出力が更新されるまでのサンプリング4回を経過した後に、コンパレータ割り込み要求を使用してください。

注3. コンパレータ動作を許可 (HCMPONビット=1) に設定後、動作安定待ち時間が必要です。

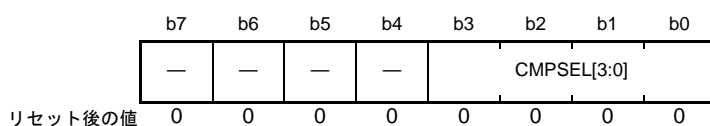
注4. CINVビット、CDFS[1:0]ビットを変更するとコンパレータ割り込み要求およびPOE要因が発生することがあります。これらのビットは、POEのレジスタ設定でコンパレータ出力をハイインピーダンス制御に使用しない設定にしてから変更してください。また、変更後に対応する割り込み要求レジスタの割り込みステータスフラグ (IR) およびPOEのコンパレータチャンネルn検出フラグ (n=0~2) を"0"にしてください。

CEG[1:0] ビット (コンパレータエッジ選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよびCDFS[1:0] ビットにより、コンパレータ出力信号を反転/非反転処理、ノイズフィルタ未使用/使用処理した信号に対して設定されます。

31.2.2 コンパレータ入力切り替えレジスタ (CMPSEL0)

アドレス CMPC0.CMPSEL0 000A 0C84h, CMPC1.CMPSEL0 000A 0CA4h, CMPC2.CMPSEL0 000A 0CC4h



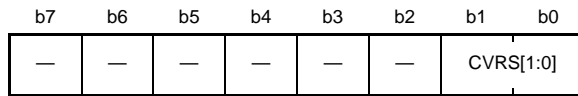
ビット	シンボル	ビット名	機能	R/W
b3-b0	CMPSEL[3:0]	コンパレータ入力切り替えビット (注1)	<ul style="list-style-type: none"> • コンパレータC0の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC00を選択 0 0 1 0 : CMPC01を選択 0 1 0 0 : CMPC02を選択 1 0 0 0 : 内部基準電圧を選択 上記以外は設定しないでください • コンパレータC1の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC10を選択 0 0 1 0 : CMPC11を選択 0 1 0 0 : CMPC12を選択 1 0 0 0 : 内部基準電圧を選択 上記以外は設定しないでください • コンパレータC2の場合 b3 b0 0 0 0 0 : 入力なし 0 0 0 1 : CMPC20を選択 0 0 1 0 : CMPC21を選択 0 1 0 0 : CMPC22を選択 1 0 0 0 : 内部基準電圧を選択 上記以外は設定しないでください 	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. CMPSEL[3:0]ビットの書き換えは、以下の手順で行ってください。CMPSEL[3:0]ビットが“0000b”でないときに、“0000b”以外の書き込みは無効です。2ビット以上“1”となる値を書いた場合も無効です。いずれの場合も前の値を保持します。

- (1) CMPCTL.COEビットを“0”にする
- (2) CMPSEL[3:0]ビットを“0000b”にする
- (3) CMPSEL[3:0]ビットを新しい設定値（いずれか1ビットのみ“1”）にする
- (4) 入力切り替えの安定時間を待つ
- (5) CMPCTL.COEビットを“1”にする
- (6) 対応する割り込み要求レジスタの割り込みステータスフラグ (IR) を“0”にする

31.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1)

アドレス CMPC0.CMPSEL1 000A 0C88h, CMPC1.CMPSEL1 000A 0CA8h, CMPC2.CMPSEL1 000A 0CC8h



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b1-b0	CVRS[1:0]	リファレンス入力電圧選択ビット (注1、注2)	<ul style="list-style-type: none"> コンパレータC0、コンパレータC1の場合 b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧にCVREFC1入力を選択 1 0 : リファレンス入力電圧に内蔵D/Aコンバータの出力を選択 上記以外は設定しないでください コンパレータC2の場合 b1 b0 0 0 : 入力なし 0 1 : リファレンス入力電圧にCVREFC0入力を選択 1 0 : リファレンス入力電圧に内蔵D/Aコンバータの出力を選択 上記以外は設定しないでください 	R/W
b7-b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

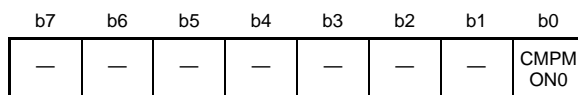
注1. 内蔵D/Aコンバータの出力を使用する場合、コンパレータの動作を許可 (CMPCTL.HCMPONビット=1) する前に、D/Aコンバータを設定してください。D/Aコンバータの設定については「30. コンパレータC用リファレンス電圧生成専用D/Aコンバータ (DA)」を参照してください。

注2. CVRS[1:0]ビットの書き換えは、以下の手順で行ってください。設定値を変えるときは、CVRS[1:0]ビットを“00b”にしてから設定値を変更してください。“01b”から“10b”、“10b”から“01b”に直接書き換えようとしても無視されます。

- (1) CMPCTL.COEビットを“0”にする
- (2) CVRS[1:0]ビットを“00b”にする
- (3) CVRS[1:0]ビットを新しい設定値 (いずれか1ビットのみ“1”) にする
- (4) 入力切り替えの安定時間を待つ
- (5) CMPCTL.COEビットを“1”にする
- (6) 対応する割り込み要求レジスタの割り込みステータスフラグ (IR) を“0”にする

31.2.4 コンパレータ出力モニタレジスタ (CMPMON)

アドレス CMPC0.CMPMON 000A 0C8Ch, CMPC1.CMPMON 000A 0CACH, CMPC2.CMPMON 000A 0CCCh



リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CMPMON0	コンパレータ出力モニタフラグ (注1)	0 : コンパレータ出力は“0” 1 : コンパレータ出力は“1”	R
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

注1. ノイズフィルタ未使用 (CMPCTL.CDFS[1:0]ビット=00b) の設定でコンパレータを動作 (CMPCTL.HCMPON, COEビット=1) させる場合は、CMPMON0ビットを2回リードし、一致したときのみその値を使用してください。

31.2.5 コンパレータ外部出力許可レジスタ (CMPIOC)

• CMPC0

アドレス CMPC0.CMPIOC 000A 0C90h

b7	b6	b5	b4	b3	b2	b1	b0
VREF EN	—	—	—	—	—	—	CPOE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	0 : コンパレータ外部端子出力禁止 (Low出力に固定) 1 : コンパレータ外部端子出力許可	R/W
b6-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	VREFEN	内部基準電圧ON/OFF制御ビット (注1)	0 : 内部基準電圧OFF 1 : 内部基準電圧ON	R/W

注1. 内部基準電圧を入力として使用する場合は“1”を設定してください。
VREFENビットが“1”に設定された場合、すべてのチャンネルで内部基準電圧入力が有効になります。

• CMPC1, CMPC2

アドレス CMPC1.CMPIOC 000A 0CB0h, CMPC2.CMPIOC 000A 0CD0h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	CPOE

リセット後の値 0 0 0 0 0 0 0 0

ビット	シンボル	ビット名	機能	R/W
b0	CPOE	外部端子出力許可ビット	0 : コンパレータ外部端子出力禁止 (Low出力に固定) 1 : コンパレータ外部端子出力許可	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

31.3 動作説明

31.3.1 コンパレータ動作例

図 31.2 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn (n=0~2) 出力が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn 出力が Low になります (CMPCTL.CINV ビットが“0”の場合)。また、コンパレータ出力が変化すると割り込み要求を出力します。

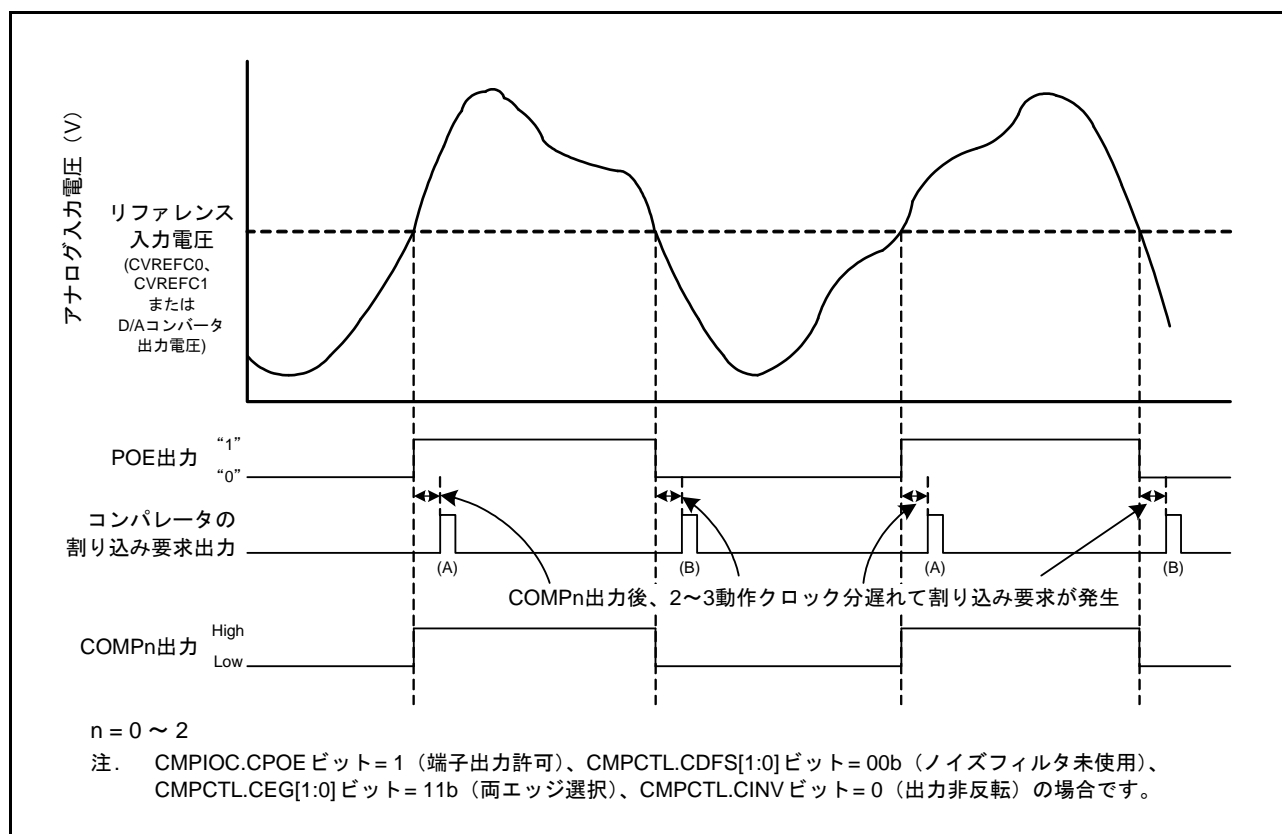


図 31.2 コンパレータの動作例

31.3.2 ノイズフィルタ

コンパレータCは、ノイズフィルタを内蔵しています。サンプリングクロックはCMPCTL.CDFS[1:0]ビットで選択できます。サンプリングクロックごとにコンパレータの出力信号をサンプリングし、レベルが3回一致した次のサンプリングクロックで、ノイズフィルタ出力がその値になります。

図31.3にノイズフィルタとエッジ検出回路の構成を、図31.4にコンパレータノイズフィルタと割り込み動作例を示します。

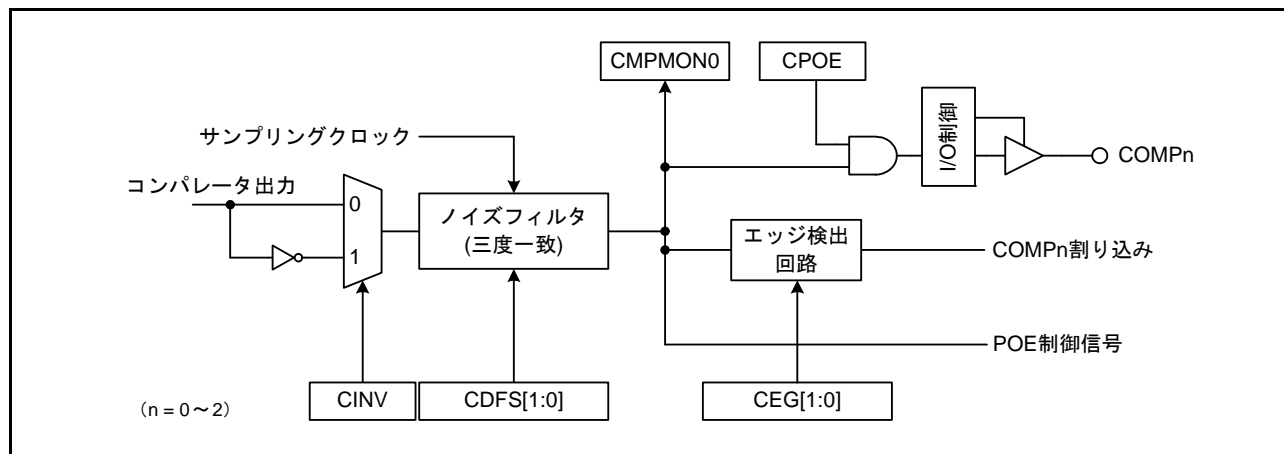


図 31.3 ノイズフィルタとエッジ検出回路の構成

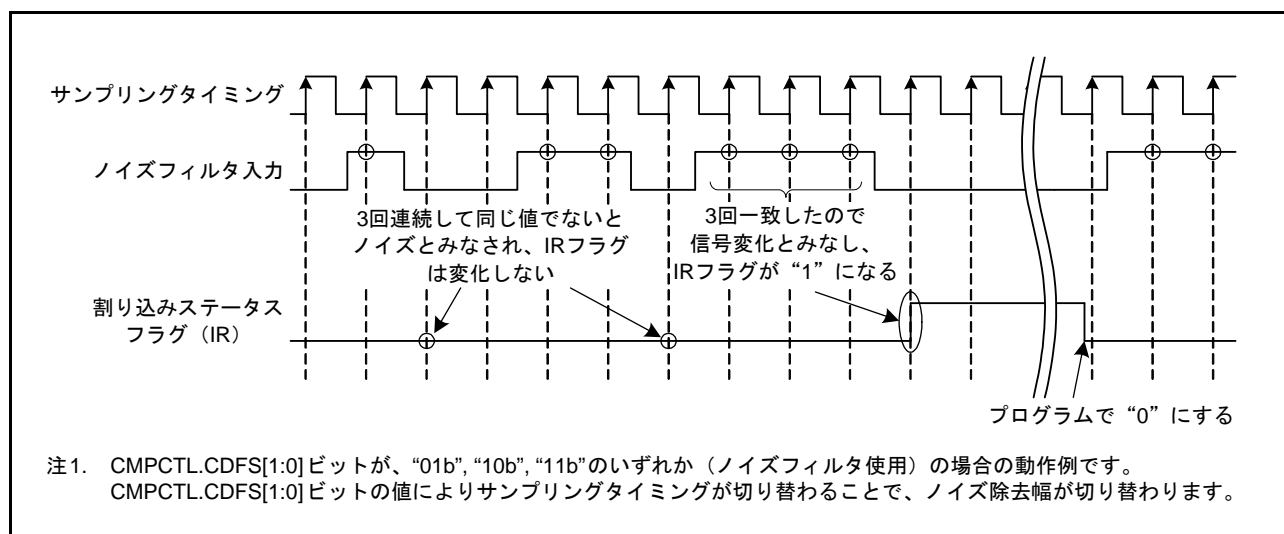


図 31.4 コンパレータノイズフィルタと割り込み動作例

31.3.3 コンパレータ割り込み

コンパレータ C は比較結果の変化を検出して割り込み要求を発生させます。

コンパレータ割り込みを使用するときは、CMPCTL.CEG[1:0] ビットの少なくとも 1 つを“1” (“00b” (割り込み要求を生成しない) 以外の設定) にしてください。

コンパレータ割り込みを使用する場合は、以下の手順で設定してください。ただし、(1), (2), (3) は順不同です。

- (1) リファレンス入力電圧に内蔵 D/A コンバータの出力を使用する場合は、D/A コンバータを設定し、D/A 変換を許可する。
- (2) CMPSEL0、CMPSEL1 レジスタでコンパレータの入力を設定する。
- (3) CMPCTL.CINV, CDFS[1:0] ビットを設定し、反転 / 非反転処理およびノイズフィルタのサンプリングタイミングを選択する。
- (4) コンパレータ出力のエッジ検出を有効 (CMPCTL.CEG[1:0] ビットを“00b” 以外) にする。
- (5) コンパレータの入力を許可 (CMPCTL.HCMPON ビットを“1”) し、コンパレータの動作安定時間を待つ。
- (6) コンパレータの出力を許可 (CMPCTL.COE ビットを“1”) する。

31.3.4 コンパレータの端子出力

コンパレータの比較結果を COMPn 端子 (n = 0 ~ 2) に出力することができます。CMPCTL.CINV ビットや CMPIOC.CPOE ビットにより、出力極性 (非反転出力 / 反転出力) や出力許可 / 禁止を設定できます。

コンパレータの比較結果を COMPn 端子に出力する場合は、以下の手順で設定してください (リセット後、ポートは入力設定になっています)。

- (1) 「31.3.3 コンパレータ割り込み」に示す手順の (1) ~ (3) および (5), (6) を行う。
- (2) コンパレータの比較結果の外部端子への出力を許可 (CMPIOC.CPOE ビットを“1”) する。
- (3) 各コンパレータの出力端子に対応するポートモードレジスタ、端子機能制御レジスタの設定をする。

31.3.5 コンパレータの設定手順

図 31.5 にコンパレータ動作設定フローチャートを示します。

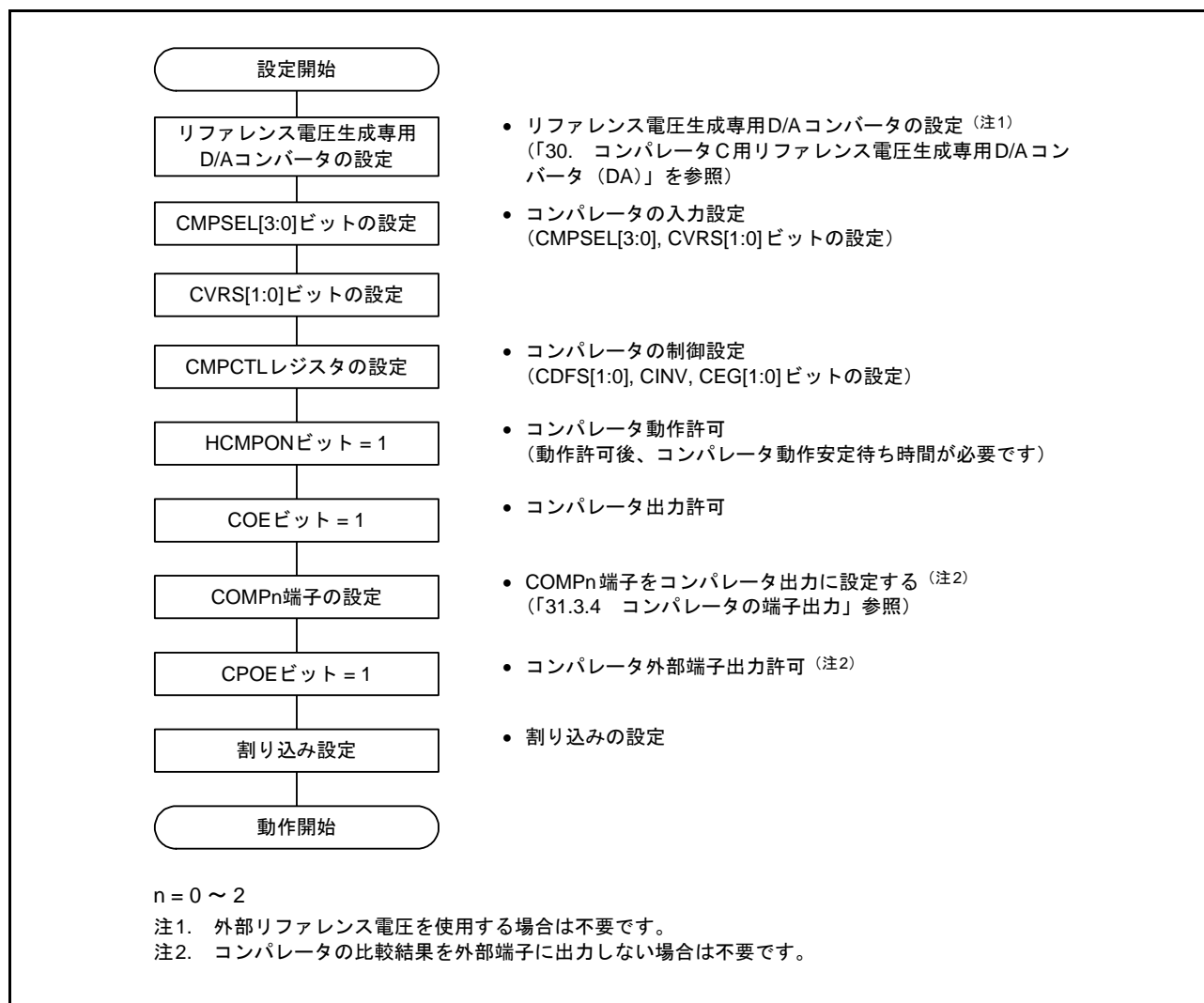


図 31.5 コンパレータ動作設定フローチャート

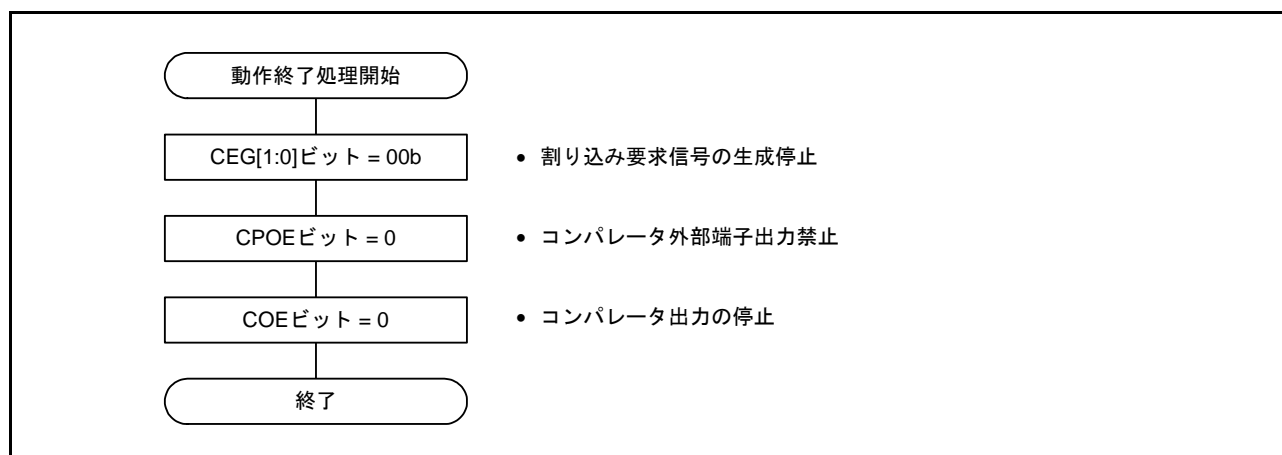


図 31.6 コンパレータ動作終了フローチャート

31.4 使用上の注意事項

31.4.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、コンパレータ C の動作禁止 / 許可を設定することが可能です。リセット解除後は、コンパレータ C の動作は停止しています。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

31.4.2 モジュールストップ時のコンパレータ C の動作

コンパレータ C を動作させたままモジュールストップ状態に遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。モジュールストップ時にアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

31.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

31.4.4 リファレンス電圧生成専用 D/A コンバータの設定について

リファレンス電圧生成専用 D/A コンバータの設定は、コンパレータの動作を許可する前に行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。リファレンス電圧生成専用 D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

32. データ演算回路 (DOC)

32.1 概要

データ演算回路 (DOC) は、16 ビットのデータを比較、加算または減算をする機能です。

表 32.1 にデータ演算回路 (DOC) の仕様を示します。データ演算回路のブロック図を図 32.1 に示します。

16 ビットのデータを比較し、選択した条件に該当する場合に割り込みを発生させることができます。

表32.1 データ演算回路 (DOC) の仕様

項目	内容
データ演算機能	16ビットデータの比較、加算、または減算
消費電力低減機能	モジュールストップ状態への設定が可能
割り込み	<ul style="list-style-type: none"> データ比較の結果が一致または不一致のとき データ加算の結果が“FFFFh”より大きくなったとき データ減算の結果が“0000h”より小さくなったとき

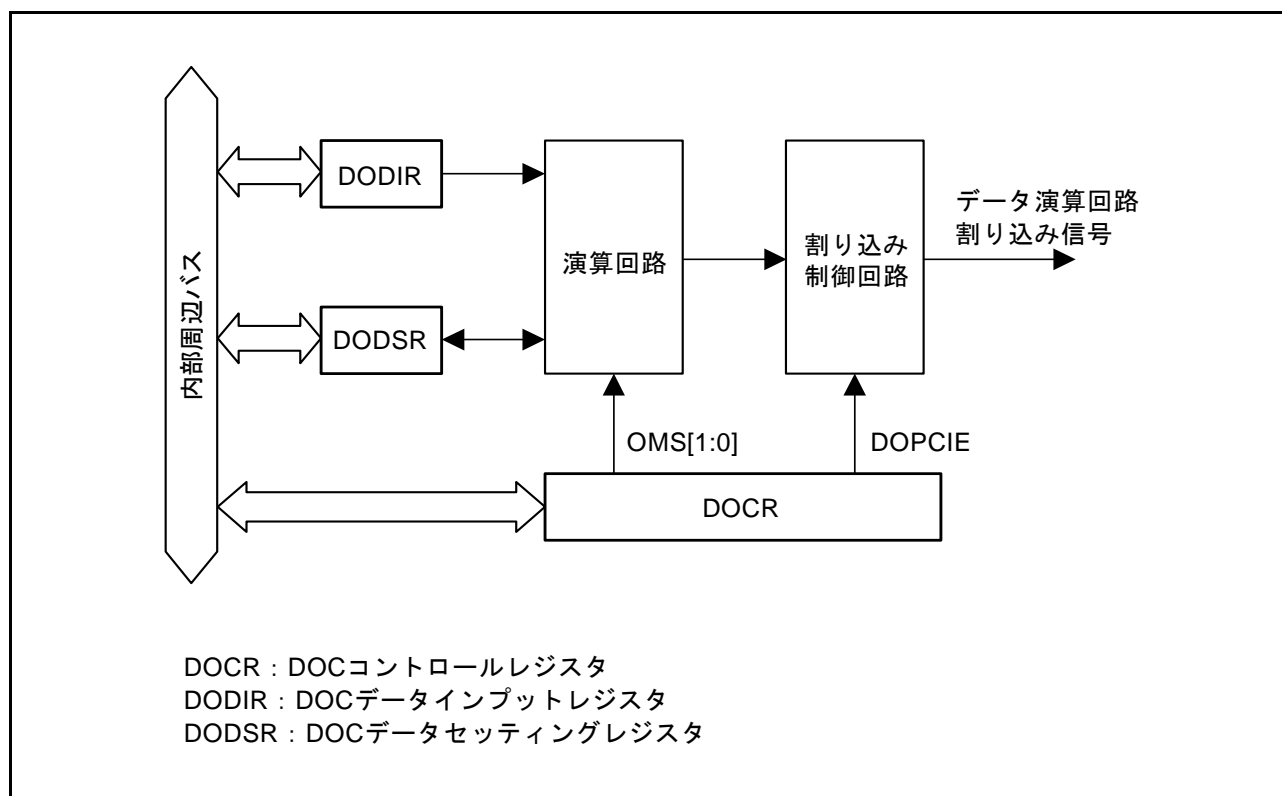


図 32.1 データ演算回路のブロック図

32.2 レジスタの説明

32.2.1 DOC コントロールレジスタ (DOCR)

アドレス 0008 B080h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	DOPCF CL	DOPCF	DOPCI E	—	DCSEL	OMS[1:0]	
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	OMS[1:0]	動作モード選択ビット	b1 b0 0 0: データ比較モード 0 1: データ加算モード 1 0: データ減算モード 1 1: 設定しないでください	R/W
b2	DCSEL (注1)	検出条件選択ビット	データ比較の結果 0: 不一致を検出する 1: 一致を検出する	R/W
b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b4	DOPCIE	データ演算回路割り込み許可ビット	0: データ演算回路割り込み無効 1: データ演算回路割り込み有効	R/W
b5	DOPCF	データ演算回路フラグ	演算結果を示します	R
b6	DOPCFCL	DOPCFクリアビット	0: DOPCFフラグ状態を保持 1: DOPCFフラグをクリア	R/W
b7	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	RW

注1. データ比較モード選択時のみ有効

OMS[1:0] ビット (動作モード選択ビット)

本ビットの設定によりデータ演算回路の動作モードを選択します。

DCSEL ビット (検出条件選択ビット)

データ比較モード選択時のみ有効です。

本ビットの設定によりデータ比較モード時の結果の検出条件を選択します。

DOPCIE ビット (データ演算回路割り込み許可ビット)

本ビットが“1”の場合、データ演算回路割り込みを許可します。

DOPCF フラグ (データ演算回路フラグ)

["1"になる条件]

- DCSEL ビットで選択した条件になったとき
- データ加算の結果が“FFFFh”より大きくなったとき
- データ減算の結果が“0000h”より小さくなったとき

["0"になる条件]

- DOPCFCL ビットに“1”を書き込んだとき

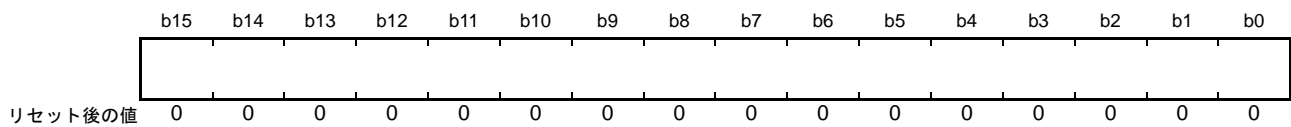
DOPCFCL ビット (DOPCF クリアビット)

本ビットを“1”にすると DOPCF フラグをクリアします。

読むと“0”が読めます。

32.2.2 DOC データインプットレジスタ (DODIR)

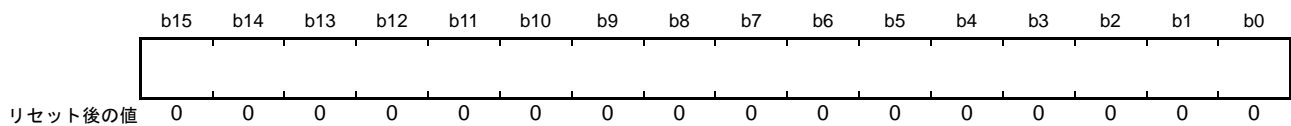
アドレス 0008 B082h



DODIR は、演算対象の 16 ビットのデータを格納する 16 ビットの読み出し／書き込み可能なレジスタです。

32.2.3 DOC データセッティングレジスタ (DODSR)

アドレス 0008 B084h



DODSR は、16 ビットの読み出し／書き込み可能なレジスタです。データ比較モードでは、基準となる 16 ビットのデータを格納します。また、データ加算モードおよびデータ減算モードでは、演算結果を格納します。

32.3 動作説明

32.3.1 データ比較モード

図 32.2 にデータ比較モードの動作例を示します。

データ演算回路は、データ比較モード時、以下のように動作します。

以下は DCSEL=0 (データ比較の結果、不一致を検出) 設定時の動作例です。

- (1) DOCR.OMS[1:0] ビットに “00b” を書き込むと、データ比較モードになります。
- (2) DODSR レジスタに基準となる 16 ビットのデータを設定します。
- (3) DODIR レジスタに比較する 16 ビットのデータを書き込みます。
- (4) すべての比較するデータの書き込みが完了するまで、DODIR レジスタに比較する 16 ビットのデータを
書き込みます。
- (5) DODIR レジスタに書き込まれたデータが DODSR レジスタに設定されているデータと一致しなかった
(注1) とき DOCR.DOPCF フラグが “1” になります。また、DOCR.DOPCIE ビットが “1” の場合は、デー
タ演算回路割り込みが発生します。

注 1. DOCR.DCSEL=0 の場合

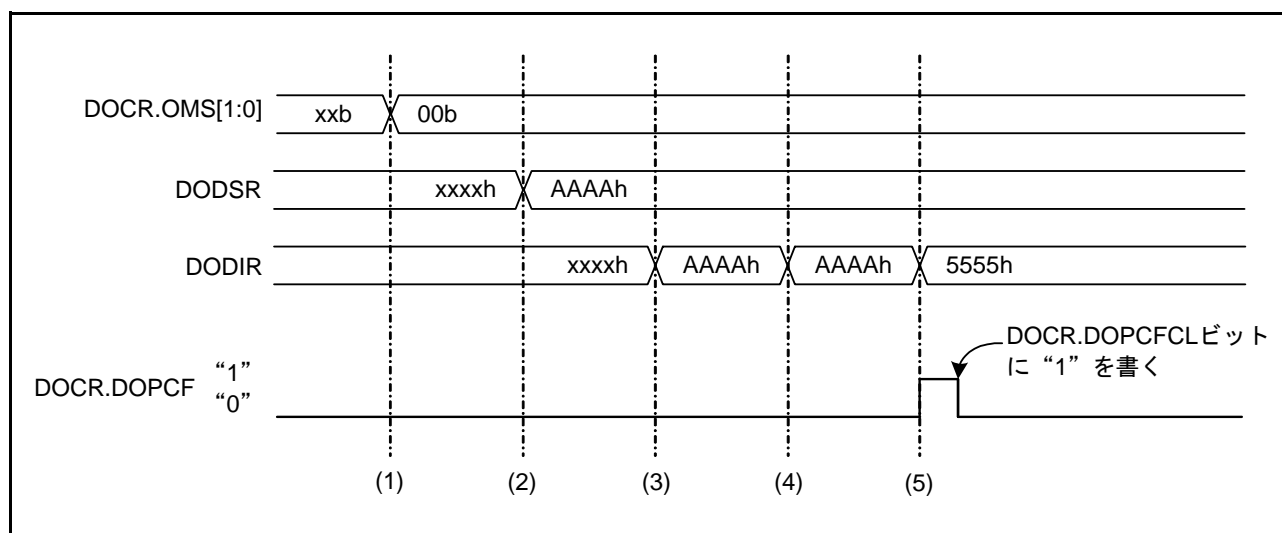


図 32.2 データ比較モードの動作例

32.3.2 データ加算モード

図 32.3 にデータ加算モードの動作例を示します。

データ演算回路は、データ加算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“01b”を書き込むと、データ加算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに加算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての加算するデータの書き込みが完了するまで、DODIR レジスタに加算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“FFFFh”よりも大きくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

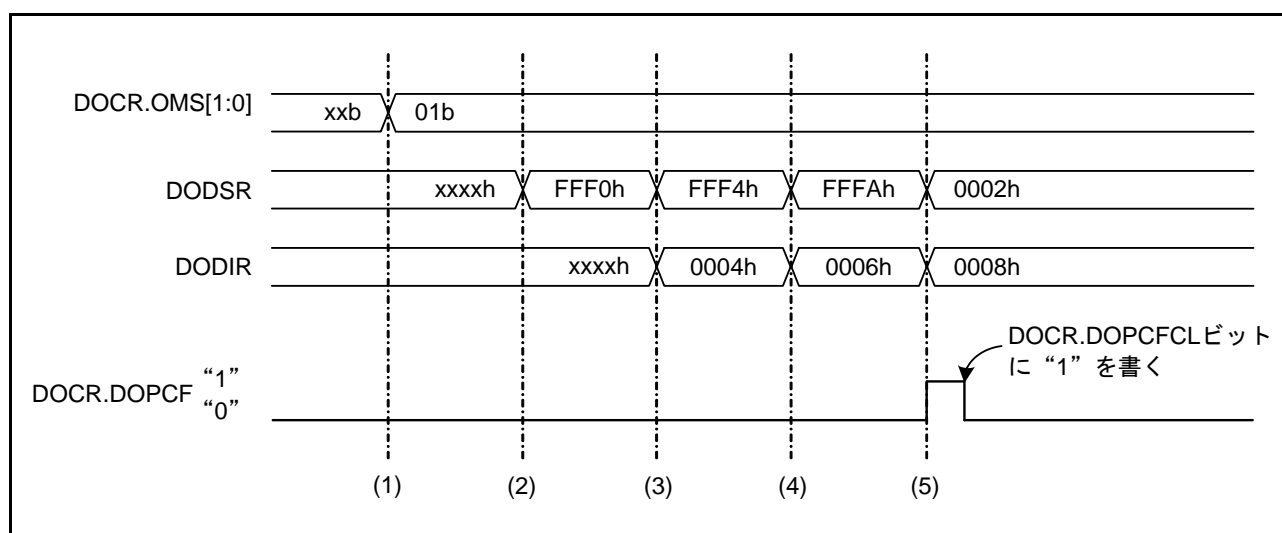


図 32.3 データ加算モードの動作例

32.3.3 データ減算モード

図 32.4 にデータ減算モードの動作例を示します。

データ演算回路は、データ減算モード時、以下のように動作します。

- (1) DOCR.OMS[1:0] ビットに“10b”を書き込むと、データ減算モードになります。
- (2) DODSR レジスタに初期値として 16 ビットのデータを設定します。
- (3) DODIR レジスタに減算する 16 ビットのデータを書き込みます。演算結果は DODSR レジスタに格納されます。
- (4) すべての減算するデータの書き込みが完了するまで、DODIR レジスタに減算する 16 ビットのデータを書き込みます。
- (5) 演算結果が“0000h”よりも小さくなったとき DOCR.DOPCF フラグが“1”になります。また、DOCR.DOPCIE ビットが“1”の場合は、データ演算回路割り込みが発生します。

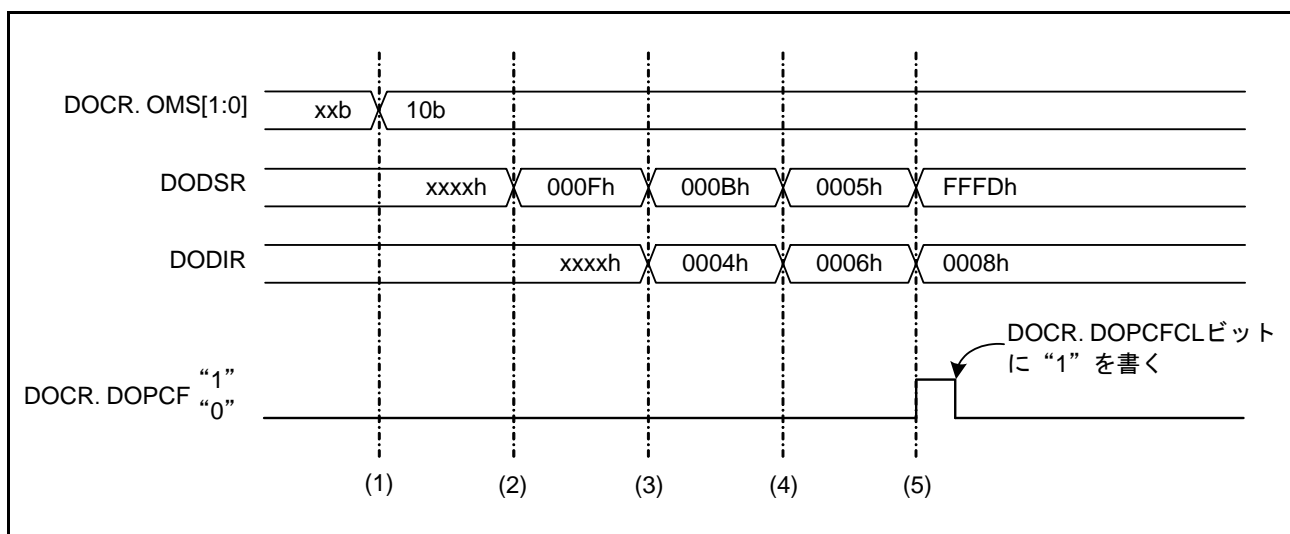


図 32.4 データ減算モードの動作例

32.4 割り込み要求

データ演算回路が生成する割り込み要求には、データ演算回路割り込みがあります。割り込み要因が発生するとデータ演算回路フラグが“1”になります。表 32.2 に割り込み要求の内容を示します。

表 32.2 データ演算回路割り込み要求

割り込み要求	データ演算回路フラグ	割り込み発生タイミング
データ演算回路割り込み	DOPCF	<ul style="list-style-type: none"> • データ比較の結果が一致または不一致のとき • データ加算の結果が“FFFFh”より大きくなったとき • データ減算の結果が“0000h”より小さくなったとき

32.5 使用上の注意事項

32.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタ B (MSTPCRB) により、データ演算回路の動作を禁止/許可することが可能です。初期値では、データ演算回路の動作は停止します。モジュールストップ状態を解除することにより、レジスタへのアクセスが可能になります。詳細は「11. 消費電力低減機能」を参照してください。

33. RAM

本 MCU は、高速スタティック RAM を内蔵しています。

33.1 概要

表 33.1 に RAM の仕様を示します。

表 33.1 RAMの仕様

項目	内容
RAM容量	12Kバイト (RAM0 : 12Kバイト)
RAMアドレス	RAM0 : 0000 0000h ~ 0000 27FFh、0000 4000h ~ 0000 4A7Fh
アクセス	<ul style="list-style-type: none">読み出し、書き込みともに1サイクルで動作RAM有効/無効選択可能^(注1)
消費電力低減機能	RAM0をモジュールストップ状態への設定が可能

注1. SYSCR1.RAMEビットにより選択可能です。SYSCR1レジスタについては、「3.2.2 システムコントロールレジスタ1 (SYSCR1)」を参照してください。

33.2 動作説明

33.2.1 消費電力低減機能

モジュールストップコントロールレジスタ C (MSTPCRC) の設定により、RAM へのクロック供給を停止させることで、消費電力を低減ができます。

MSTPCRC.MSTPC0 ビットを“1”にセットすると RAM0 に供給されるクロックが停止します。

クロック供給の停止により、RAM0 はモジュールストップ状態になります。リセット後の初期値では、RAM は動作状態です。

モジュールストップ状態になると、RAM へのアクセスができなくなります。RAM のアクセス中にモジュールストップ状態へ遷移しないでください。

MSTPCRC レジスタの詳細については、「11. 消費電力低減機能」を参照してください。

34. フラッシュメモリ

本 MCU は、64K/128K バイトのユーザ領域 (ROM) を内蔵しています。
本章に記載している PCLK とは PCLKB を指します。

34.1 概要

表 34.1 にフラッシュメモリの仕様を示します。

表 34.7 にブートモードで使用する入出力端子を示します。

表34.1 フラッシュメモリの仕様

項目	内容
メモリ空間	<ul style="list-style-type: none"> ユーザ領域：最大128Kバイト エクストラ領域：スタートアップ領域情報、アクセスウィンドウ情報、ユニークIDを格納
ソフトウェアコマンド	<ul style="list-style-type: none"> 以下のソフトウェアコマンドを実装 プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ エクストラ領域のプログラム用に以下のコマンドを実装 スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム
イレーズ後の値	<ul style="list-style-type: none"> ROM：FFh
割り込み	ソフトウェアコマンド処理の完了、または強制停止処理の完了により割り込み (FRDYI) が発生
オンボードプログラミング	ブートモード (SCI インタフェース) (注1) <ul style="list-style-type: none"> シリアルコミュニケーションインタフェースのチャンネル1 (SCI1) を調歩同期式モードで使用 ユーザ領域を書き換え可能 ブートモード (FINE インタフェース) <ul style="list-style-type: none"> FINE を使用 ユーザ領域を書き換え可能 セルフプログラミング (シングルチップモード) <ul style="list-style-type: none"> ユーザプログラム内のフラッシュ書き換えルーチンによるユーザ領域の書き換えが可能
オフボードプログラミング	本MCUに対応したフラッシュプログラマを使用して、ユーザ領域の書き換えが可能
IDコードプロテクト	<ul style="list-style-type: none"> ブートモード時、シリアルプログラマとの接続の許可または禁止を、IDコードにより制御可能 オンチップデバッグエミュレータ接続時、IDコードにより制御可能
スタートアッププログラム保護機能	ブロック0~7の書き換えを安全に行うための機能
エリアプロテクション	セルフプログラミング時、ユーザ領域内の指定された範囲のみ書き換えを許可し、それ以外への書き換えを禁止することが可能

注1. 詳細については『PG-FP5フラッシュメモリプログラマユーザーズ・マニュアル』、『Renesas Flash Programmerフラッシュ書き込みソフトウェア・ユーザーズ・マニュアル』をご参照ください。

34.2 ROMの領域とブロックの構成

本MCUのROMは最大で128Kバイトあります。ROMは2Kバイトのブロックと呼ばれる単位に分割されており、ブロックイレーズコマンドはこのブロック単位でメモリの消去を実行します。図34.1にROMの領域とブロックの構成を示します。

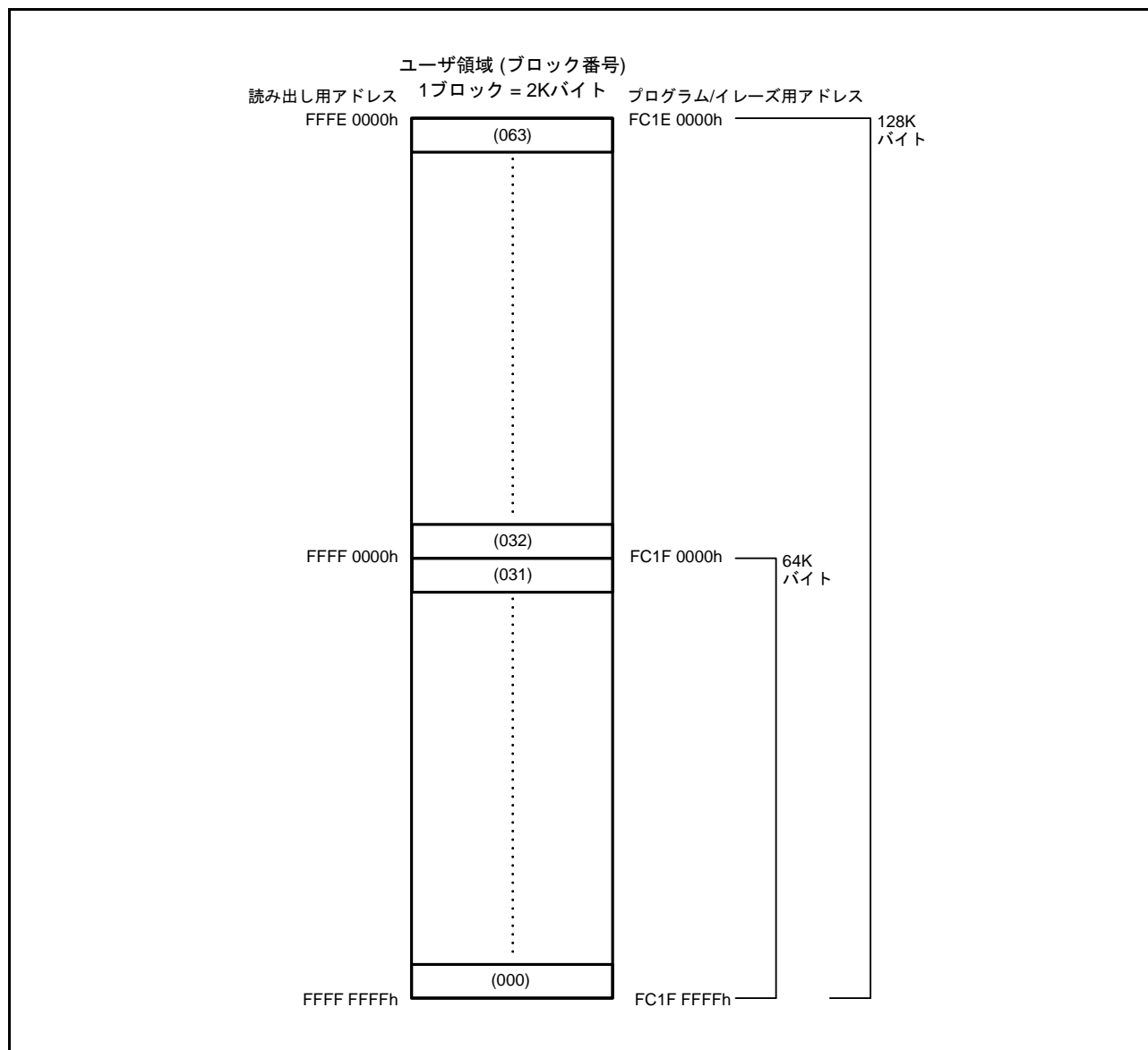


図 34.1 ROMの領域とブロックの構成

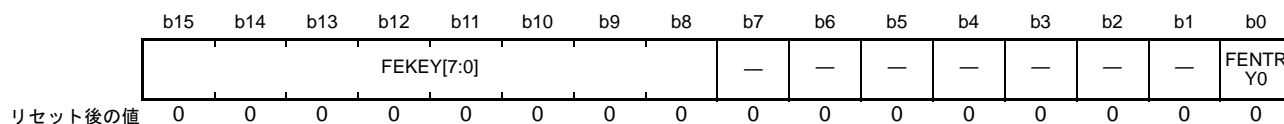
表 34.2 ROM容量と読み出し用アドレス対応表

ROM容量	読み出し用アドレス
128Kバイト	FFFE 0000h~FFFF FFFFh
64Kバイト	FFFF 0000h~FFFF FFFFh

34.3 レジスタの説明

34.3.1 フラッシュ P/E モードエントリレジスタ (FENTRYR)

アドレス 007F FFB2h



ビット	シンボル	ビット名	機能	R/W
b0	FENTRY0	ROM P/Eモードエントリビット0	0 : ROMはリードモード 1 : ROMはP/Eモードエントリ可能	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	FEKEY[7:0]	キーコード	FENTRYRレジスタの書き換えを制御します。 下位8ビットの値を書き換える場合、このビットを “AAh”にして16ビット単位で同時に書いてください。 読むと“00h”が読めます	R/W

ROMを書き換えるためには、FENTRY0ビットを“1”にしてP/Eモードに移行させる必要があります。

リードモードに戻るときは、FENTRYRレジスタを設定した後、値が書き換わっていることを確認してから、ROMのリードを行ってください。

P/Eモード、リードモードについては、「34.6.1 シーケンサのモード」を参照してください。

FENTRY0ビット (ROM P/Eモードエントリビット0)

ROMをP/Eモードに移行させるためのビットです。

["1"になる条件]

- FENTRYRレジスタが“0000h”のときに、FENTRYRレジスタに“AA01h”を書いた場合

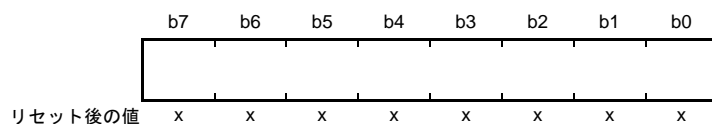
注． ROM P/Eモードへ遷移する場合、ROMに対する命令フェッチを実行させないため、命令フェッチ番地をROM以外の領域に移す必要があります。必要な命令コードを内蔵RAMへコピーして内蔵RAMへジャンプしてください。

["0"になる条件]

- FENTRYRレジスタに“AA00h”を書いた場合

34.3.2 プロテクト解除レジスタ (FPR)

アドレス 007F C180h



x : 不定

本レジスタは、CPUが暴走したときに備え、FPMCRレジスタが容易に書き換えられないように保護するための書き込み専用のレジスタです。以下に示す手順でレジスタをアクセスした場合のみ、FPMCRレジスタへの書き込みが有効になります。

プロテクト解除手順

- (1) FPR レジスタに“A5h”を書き込む
- (2) FPMCR レジスタに設定したい値を書き込む
- (3) FPMCR レジスタに設定したい値の反転値を書き込む
- (4) FPMCR レジスタに再び設定したい値を書き込む

上記プロテクト解除手順以外で書き込みを行った場合、FPSR.PERR フラグが“1”になります。

34.3.3 プロテクト解除ステータスレジスタ (FPSR)

アドレス 007F C184h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	PERR
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	PERR	プロテクトエラーフラグ	0: エラーなし 1: エラー発生	R
b7-b1	—	予約ビット	読むと“0”が読めます	R

PERR フラグ (プロテクトエラーフラグ)

FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合、レジスタへの書き込みは行われず、このフラグが“1”になります。

["1"になる条件]

- FPMCR レジスタに対して、プロテクト解除手順どおりのアクセスを行わなかった場合

["0"になる条件]

- 「34.3.2 プロテクト解除レジスタ (FPR)」に記載のプロテクト解除手順でレジスタをアクセスした場合

34.3.4 フラッシュ P/E モード制御レジスタ (FPMCR)

アドレス 007F C100h

	b7	b6	b5	b4	b3	b2	b1	b0
	FMS2	LVPE	—	FMS1	RPDIS	—	FMS0	—
リセット後の値	0	0	0	0	1	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b1	FMS0	フラッシュ動作モード選択ビット0	FMS2 FMS1 FMS0 0 0 0: ROMリードモード 0 1 1: ディスチャージモード1 1 0 1: ROM P/Eモード 1 1 1: ディスチャージモード2 上記以外は設定しないでください	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

ビット	シンボル	ビット名	機能	R/W
b3	RPDIS	ROM P/E 禁止ビット	0 : ROMはプログラム/イレーズ可能 1 : ROMはプログラム/イレーズ不可能	R/W
b4	FMS1	フラッシュ動作モード選択ビット1	FMS0ビットを参照してください	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	LVPE	低電圧P/Eモード有効ビット	0 : 低電圧P/Eモード無効 1 : 低電圧P/Eモード有効	R/W
b7	FMS2	フラッシュ動作モード選択ビット2	FMS0ビットを参照してください	R/W

フラッシュメモリの動作モードを設定するレジスタです。

本レジスタはプロテクトされています。プロテクト解除手順を用いて値を設定してください(詳細は「34.3.2 プロテクト解除レジスタ (FPR)」を参照)。

ディスチャージモード2、ROM P/E モードに遷移する場合、もしくはそのモード中はRAM上で命令を実行する必要があります。

FMS0, FMS1, FMS2 ビット (フラッシュ動作モード0～フラッシュ動作モード2ビット)

フラッシュの動作モードを設定します。

[リードモードからROM P/Eモードに遷移する場合]

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「35. 電気的特性」を参照) 待ちます。

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 1, FMS1 ビット = 0, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 2 (tMS、「35. 電気的特性」を参照) 待ちます。

[ROM P/Eモードからリードモードに遷移する場合]

FMS2 ビット = 1, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

ROM モード遷移待ち時間 1 (tDIS、「35. 電気的特性」を参照) 待ちます。

FMS2 ビット = 0, FMS1 ビット = 1, FMS0 ビット = 1, RPDIS ビット = 0 に設定します。

FMS2 ビット = 0, FMS1 ビット = 0, FMS0 ビット = 0, RPDIS ビット = 1 に設定します。

ROM モード遷移待ち時間 2 (tMS、「35. 電気的特性」を参照) 待ちます。

RPDIS ビット (ROM P/E 禁止ビット)

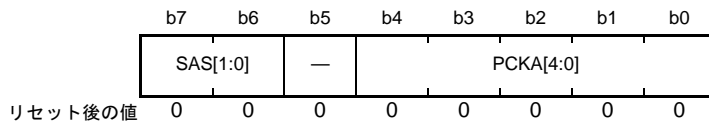
ROM のプログラム/イレーズ実行をソフトウェアによって禁止します。

LVPE ビット (低電圧 P/E モード選択ビット)

高速モード時にプログラム/イレーズを実施する場合は“0”に、中速モード時にプログラム/イレーズを実施する場合は“1”にしてください。

34.3.5 フラッシュ初期設定レジスタ (FISR)

アドレス 007F C1D8h



ビット	シンボル	ビット名	機能	R/W
b4-b0	PCKA[4:0]	周辺クロック通知ビット	FlashIFクロック (FCLK)の周波数を設定するためのビットです	R/W
b5	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7-b6	SAS[1:0]	スタートアップ領域選択ビット	b7 b6 0 x : エクストラ領域内のスタートアップ領域設定に従う 1 0 : 一時的にスタートアップ領域をデフォルト領域に切り替える 1 1 : 一時的にスタートアップ領域を代替領域に切り替える	R/W

x : Don't care

FISR レジスタは、ROM P/E モード時に書き込みができます。

PCKA[4:0] ビット (周辺クロック通知ビット)

ROM のプログラム / イレーズ時に、FlashIF クロック (FCLK) の周波数を設定するためのビットです。

プログラム / イレーズを行う前に PCKA[4:0] ビットに FCLK の周波数を設定してください。ROM のプログラム / イレーズ中は、FCLK の周波数を変更しないでください。

[FCLK が 4 MHz より高い場合]

小数部がある場合は切り上げて設定してください。

たとえば 31.5 MHz の場合は、32 MHz (PCKA[4:0] ビット = 11111b) に設定してください。

[FCLK が 4 MHz 以下の場合]

小数部のある周波数は使用しないでください。

1 MHz, 2 MHz, 3 MHz または 4 MHz の周波数で使用してください。

注. FCLK と異なる周波数を PCKA[4:0] ビットに設定した場合、ROM のデータが破壊される可能性があります。

表 34.3 FlashIFクロック周波数設定例

FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値	FlashIFのクロック周波数 [MHz]	PCKA[4:0] ビット設定値
32	11111b	31	11110b	30	11101b
29	11100b	28	11011b	27	11010b
26	11001b	25	11000b	24	10111b
23	10110b	22	10101b	21	10100b
20	10011b	19	10010b	18	10001b
17	10000b	16	01111b	15	01110b
14	01101b	13	01100b	12	01011b
11	01010b	10	01001b	9	01000b
8	00111b	7	00110b	6	00101b
5	00100b	4	00011b	3	00010b
2	00001b	1	00000b	—	—

SAS[1:0] ビット (スタートアップ領域選択ビット)

スタートアップ領域を選択します。スタートアップ領域を変更するには、以下の3種類の方法があります。

① エクストラ領域のスタートアップ領域設定に従いスタートアップ領域を選択する場合

SAS[1:0] ビットが“00b”または“01b”の場合、エクストラ領域のスタートアップ領域設定に従ってスタートアップ領域が選択されます。スタートアップ領域情報プログラムコマンドを使用して、スタートアップ領域を変更してください。

② 一時的にスタートアップ領域をデフォルト領域に切り替える場合

SAS[1:0] ビットを“10b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域をデフォルト領域に変更できます。

③ 一時的にスタートアップ領域を代替領域に切り替える場合

SAS[1:0] ビットを“11b”にすると、エクストラ領域のスタートアップ領域設定に関わらず、スタートアップ領域を代替領域に変更できます。

34.3.6 フラッシュリセットレジスタ (FRESETR)

アドレス 007F C124h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	FRESE T
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	FRESET	フラッシュリセットビット	0: フラッシュ制御回路のリセットを解除する 1: フラッシュ制御回路をリセットする	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FRESET ビット (フラッシュリセットビット)

このビットを“1”にすると、FASR, FSARH, FSARL, FEARH, FEARL, FWB0, FWB1, FWB2, FWB3, FCR, FEXCR レジスタがリセットされます。また、FEAMH, FEAML レジスタの値が不定になります。リセット中はこれらのレジスタにアクセスしないでください。リセットを解除するときは、このビットを“0”にしてください。

なお、ソフトウェアコマンド実行中やエクストラ領域書き換え中は、本レジスタへ書き込まないでください。

34.3.7 フラッシュ領域選択レジスタ (FASR)

アドレス 007F C104h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	EXS
リセット後の値	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	EXS	エクストラ領域選択ビット	0: ユーザ領域 1: エクストラ領域	R/W
b7-b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

FASR レジスタは、ROM P/E モード時に書き込みができます。

FASR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みできません。

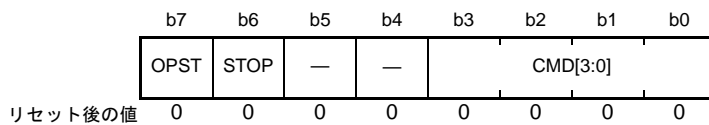
EXS ビット (エクストラ領域選択ビット)

エクストラ領域に対するソフトウェアコマンド(スタートアップ領域情報プログラム、アクセスウィンドウ情報プログラム)を発行する前に“1”にします。また、ユーザ領域に対するソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ)を発行する前に“0”にします。

ソフトウェアコマンド発行後は、次のソフトウェアコマンドの発行まで値を変更しないでください。

34.3.8 フラッシュ制御レジスタ (FCR)

アドレス 007F C114h



ビット	シンボル	ビット名	機能	R/W
b3-b0	CMD[3:0]	ソフトウェアコマンド設定ビット	b3 b0 0 0 0 1 : プログラム 0 0 1 1 : ブランクチェック 0 1 0 0 : ブロックイレーズ 0 1 1 0 : 全ブロックイレーズ 上記以外は設定しないでください(注1)	R/W
b5-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b6	STOP	強制処理停止ビット	“1”にすると、実行中の処理を強制的に停止させることができます	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.FRDRYフラグが“1”のとき、FCRレジスタを“00h”にする場合を除きます。

FCR レジスタは、ROM P/E モードでかつ ROM がプログラム/イレーズ可能時に書き込みができます。FCR レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。ただし、ソフトウェアコマンド実行中は FRESETR.FRESET ビットによる初期化はできません。

CMD[3:0] ビット (ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(プログラム、ブランクチェック、ブロックイレーズ、全ブロックイレーズ)を設定します。それぞれのコマンドの機能を以下に示します。

[プログラム]

- FSARH/FSARL レジスタに設定したアドレスに、FWB0/FWB1/FWB2/FWB3 レジスタに設定した値を書き込みます。

[ブランクチェック]

- FSARH/FSARL レジスタに設定したアドレスから、FEARH/FEARL レジスタに設定したアドレスまでのブランクチェックを行います。書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません。

[ブロックイレーズ]

- フラッシュメモリ内の指定した任意の連続した領域をブロック単位で消去します。消去したいブロックの先頭アドレスと最終アドレスを、それぞれ FSARH/FSARL レジスタと FEARH/FEARL レジスタに設定してください。それ以外の値を設定した場合、消去が正しく行えない場合があります。

[全ブロックイレーズ]

- ROMを一括で消去します。全ブロックイレーズは、ブロックイレーズに比べてより短時間でメモリを消去できます。ROMを一括消去する場合は、ROMの先頭アドレスを FSARH/FSARL レジスタに、ROMの最終アドレスを FEARH/FEARL レジスタに設定してください。表 34.4 に全ブロックイレーズ時のアドレス設定値を示します。

表34.4 全ブロックイレーズ時のアドレス設定値

対象	容量	FSARH/FSARL	FEARH/FEARL
ROM	128K バイト	FC1E0000h	FC1FFFFFFh
	64K バイト	FC1F0000h	FC1FFFFFFh

STOP ビット (強制処理停止ビット)

実行中の処理 (ブランクチェック、ブロックイレーズ、全ブロックイレーズ) を強制的に停止させるときに使用します。

このビットを“1”にした後は、FSTATR1.FRDY フラグが“1” (処理完了) になるのを待ってから OPST ビットを“0”にしてください。

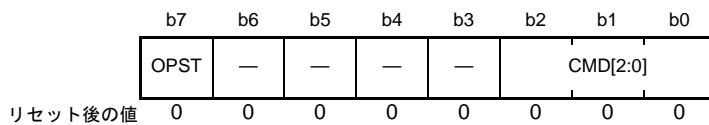
OPST ビット (処理開始ビット)

CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.FRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.FRDY フラグが“0”になったのを確認してから次の処理を実施してください。

34.3.9 フラッシュエクストラ領域制御レジスタ (FEXCR)

アドレス 007F C1DCh



ビット	シンボル	ビット名	機能	R/W
b2-b0	CMD[2:0]	ソフトウェアコマンド設定ビット	b2 b0 0 0 1 : スタートアップ領域情報プログラム 0 1 0 : アクセスウィンドウ情報プログラム 上記以外は設定しないでください(注1)	R/W
b6-b3	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b7	OPST	処理開始ビット	0 : 処理停止 1 : 処理開始	R/W

注1. FSTATR1.EXRDYビットが“1”のとき、FEXCRレジスタを“00h”にする場合を除きます。

FEXCRレジスタは、ROM P/EモードでかつROMがプログラム/イレーズ可能時に書き込みができます。

FEXCRレジスタは、リセットもしくはFRESETR.FRESETビットを“1”にすることによって初期化されます。FRESETR.FRESETビットが“1”の間中は書き込みできません。

ただし、ソフトウェアコマンド実行中はFRESETR.FRESETビットによる初期化はできません。

CMD[2:0]ビット(ソフトウェアコマンド設定ビット)

ソフトウェアコマンド(スタートアップ領域情報プログラム、またはアクセスウィンドウ情報プログラム)を設定します。

各コマンドの詳細を以下に示します。

[スタートアップ領域情報プログラム]

スタートアッププログラム保護機能で使用するスタートアップ領域切り替えに使用します。

- スタートアップ領域をデフォルト領域に設定する場合
FWB0, FWB1, FWB2, FWB3レジスタに“FFFFh”を設定してこのコマンドを実行します。
- スタートアップ領域を代替領域に設定する場合
FWB0レジスタに“FEFFh”を、FWB1レジスタに“FFFFh”を、FWB2, FWB3レジスタに“FFFFh”を設定してこのコマンドを実行します。

なお、FWB0, FWB1, FWB2, FWB3レジスタに上記以外の設定をした場合、スタートアップ領域情報プログラムを実行しないでください。

[アクセスウィンドウ情報プログラム]

エリアプロテクションで使用するアクセスウィンドウを設定するために使用します。

アクセスウィンドウはブロック単位で設定します。

FWB0レジスタにアクセスウィンドウの先頭アドレス(アクセスウィンドウ開始アドレス)を、FWB1レジスタにアクセスウィンドウの最終アドレスの次のアドレス(アクセスウィンドウ終了アドレス)を指定してこのコマンドを発行します。各レジスタにはプログラム/イレーズ用アドレスのb21-b10を設定してください。

なお、開始アドレスと終了アドレスに同じ値を指定した場合、全領域がアクセス可能になります。また、開始アドレスに終了アドレスより大きい値を指定しないでください。

OPST ビット (処理開始ビット)

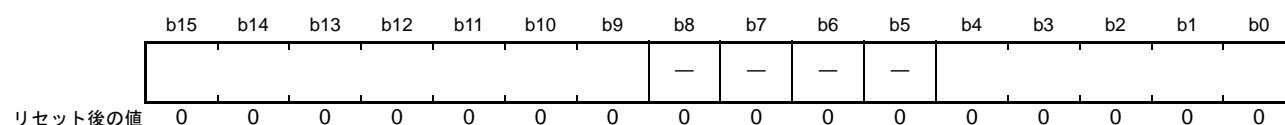
CMD[2:0] ビットに設定したコマンドを実行するために使用します。

処理が完了しても“0”には戻りません。FSTATR1.EXRDY フラグが“1” (処理完了) になったのを確認してから“0”に戻してください。また、その後 FSTATR1.EXRDY フラグが“0”になったのを確認してから次の処理を実施してください。

OPST ビットに“1”を書き込むことで、エクストラ領域への書き込みが開始されます。ソフトウェアコマンド実行中は、CMD[2:0] ビットへの書き込みは禁止です。

34.3.10 フラッシュ処理開始アドレスレジスタ H (FSARH)

アドレス 007F C110h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

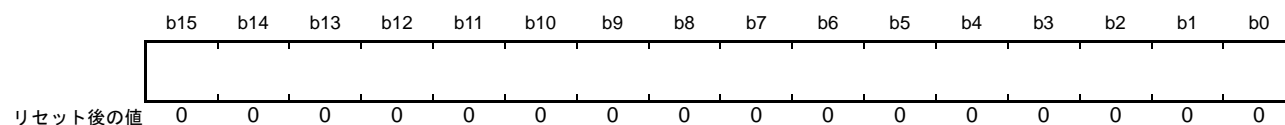
FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 34.1 を参照してください。

34.3.11 フラッシュ処理開始アドレスレジスタ L (FSARL)

アドレス 007F C108h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象アドレス、または、フラッシュメモリの処理対象範囲の先頭アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、ROM 領域を設定する場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モード時に書き込みができます。

このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。

FRESETR.FRESET ビットが“1”の間中は書き込みできません。

このレジスタはプログラムコマンド実行後、コードフラッシュ領域を指定した場合、+8h インクリメントされます。そのため、連続してプログラムコマンドを実行する場合、このレジスタへの書き込み対象アドレ

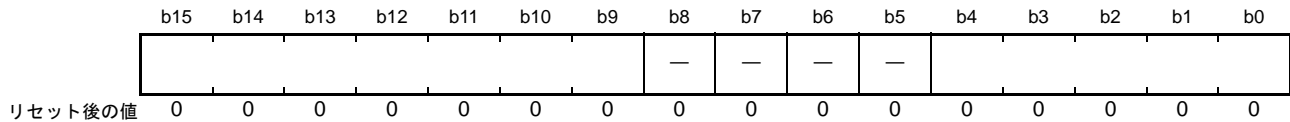
スの設定は不要になります。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 34.1 を参照してください。

34.3.12 フラッシュ処理終了アドレスレジスタ H (FEARH)

アドレス 007F C120h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b31-b25、b20-b16 を設定します。

このレジスタは、ROM P/E モード時に書き込みができます。

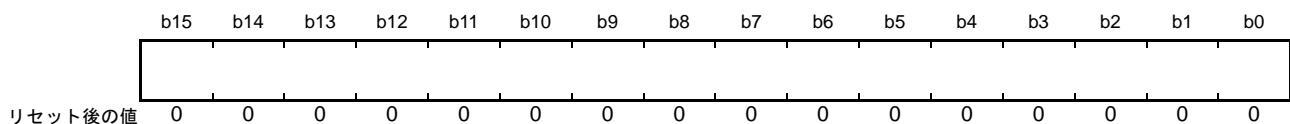
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 34.1 を参照してください。

34.3.13 フラッシュ処理終了アドレスレジスタ L (FEARL)

アドレス 007F C118h



ソフトウェアコマンド実行時のフラッシュメモリの処理対象範囲の最終アドレスを設定するためのレジスタです。

このレジスタにはフラッシュメモリのプログラム/イレーズ用アドレスの b15-b0 を設定します。

なお、ROM 領域を設定する場合、b2-b0 には“000b”を設定してください。

このレジスタは、ROM P/E モード時に書き込みができます。

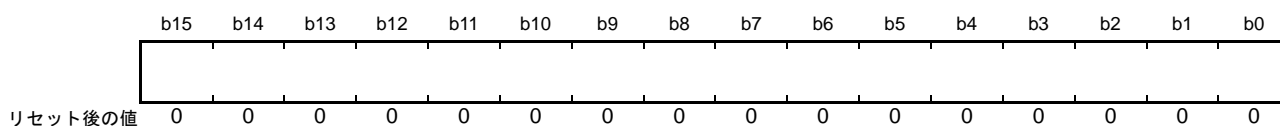
このレジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込みできません。

また、FEXCR レジスタによるソフトウェアコマンド実行中にこのレジスタを読み出した場合、不定値が読み出されます。

フラッシュメモリのアドレスは、図 34.1 を参照してください。

34.3.14 フラッシュライトバッファ n レジスタ (FWBn) (n = 0 ~ 3)

アドレス FWB0 007F C130h, FWB1 007F C138h, FWB2 007F C140h, FWB3 007F C144h



FWBn レジスタは、ROM、またはエクストラ領域にプログラムするデータを設定するレジスタです。ROM P/E モード時に書き込みができます。

FWBn レジスタは、リセットもしくは FRESETR.FRESET ビットを“1”にすることによって初期化されます。FRESETR.FRESET ビットが“1”の間中は書き込めません。

また、FCR レジスタによるソフトウェアコマンド実行中、または FEXCR レジスタによるソフトウェアコマンド実行中に FWBn レジスタを読み出した場合、その値は不定です。

エクストラ領域にプログラムする場合、プログラムする 4 バイトのデータは FWB0 レジスタと FWB1 レジスタに設定してください。

ROM にプログラムする場合、プログラムする 8 バイトのデータは FWB0 レジスタから FWB3 レジスタに設定してください。図 34.2 に FSARH/FSARL レジスタが示すアドレスと FWBn レジスタに設定されたデータの関係を示します。

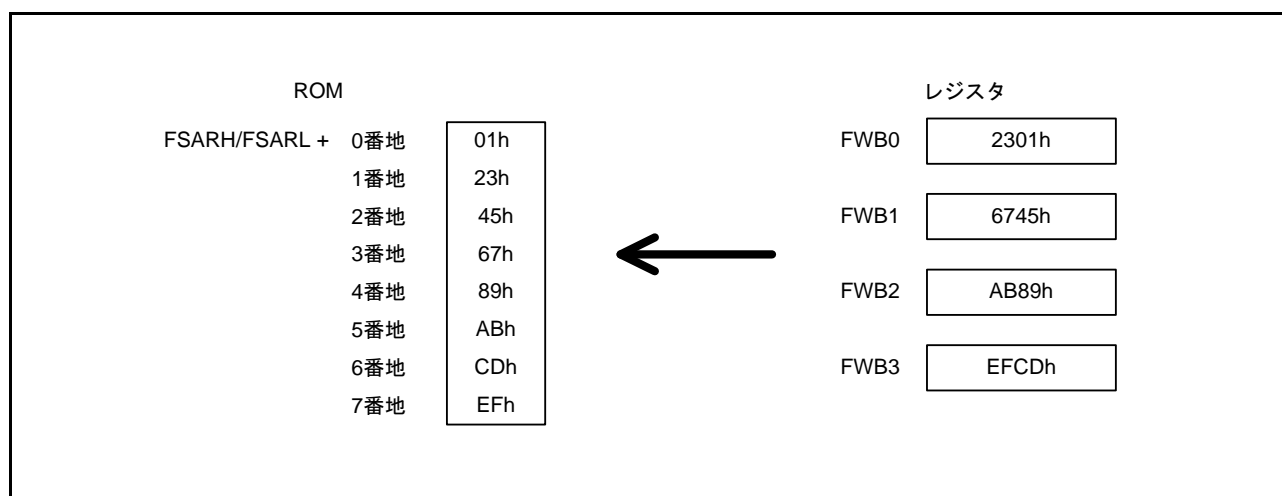


図 34.2 FWBn レジスタ設定値と ROM 上のデータ配置

34.3.15 フラッシュステータスレジスタ 0 (FSTATR0)

アドレス 007F C1F0h

	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	EILGLERR	ILGLERR	BCERR	—	PRGERR	ERERR
リセット後の値	x	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	ERERR	イレーズエラーフラグ	0: イレーズは正常終了 1: イレーズ中にエラー発生	R
b1	PRGERR	プログラムエラーフラグ	0: プログラムは正常終了 1: プログラム中にエラー発生	R
b2	—	予約ビット	読んだ場合、その値は不定	R
b3	BCERR	ブランクチェックエラーフラグ	0: ブランクチェックは正常終了 1: ブランクチェック中にエラー発生	R
b4	ILGLERR	イリーガルコマンドエラーフラグ	0: 不正なソフトウェアコマンドや、不正なアクセスを検出していない 1: 不正なソフトウェアコマンドや、不正なアクセスを検出	R
b5	EILGLERR	エクストラ領域イリーガルコマンドエラーフラグ	0: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出していない 1: エクストラ領域に対し、不正なコマンドや、不正なアクセスを検出	R
b7-b6	—	予約ビット	読んだ場合、その値は不定	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各エラーフラグは、次のソフトウェアコマンドを実行すると“0”になります。

ERERR フラグ (イレーズエラーフラグ)

ROM に対するイレーズ処理の結果を示すフラグです。

["1" になる条件]

- イレーズ中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
イレーズ中に FCR.STOP ビットを“1” (強制処理停止) にするとフラグの値は不定になります。

PRGERR フラグ (プログラムエラーフラグ)

ROM に対するプログラム処理の結果を示すフラグです。

["1" になる条件]

- プログラム中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

BCERR フラグ (ブランクチェックエラーフラグ)

ROM に対するブランクチェック処理の結果を示すフラグです。

["1" になる条件]

- ブランクチェック中にエラーが発生した

["0" になる条件]

- 次のソフトウェアコマンドを実行した
ブランクチェック中に FCR.STOP ビットを "1" (強制処理停止) にするとフラグの値は不定になります。

ILGLERR フラグ (イリーガルコマンドエラーフラグ)

ソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- アクセスウィンドウの範囲外の領域に対して、プログラム/イレーズを実行した
- FSARH/FSARL レジスタの設定値が FEARH/FEARL レジスタの設定値より大きいときに、ブランクチェック、ブロックイレーズのいずれかのコマンドを実行した
- FASR.EXS ビットが "1" のときに、プログラムコマンド、ブロックイレーズコマンドを実行した
- アクセスウィンドウを設定した状態で全ブロックイレーズを実行した
- FSARH/FSARL レジスタ、FEARH/FEARL レジスタの設定を正しく行わずに全ブロックイレーズコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

EILGLERR フラグ (エクストラ領域イリーガルコマンドエラーフラグ)

エクストラ領域に対するソフトウェアコマンドの実行結果を示すフラグです。

["1" になる条件]

- FASR.EXS ビットが "0" のときに、エクストラ領域に対するソフトウェアコマンドを実行した

["0" になる条件]

- 次のソフトウェアコマンドを実行した

34.3.16 フラッシュステータスレジスタ 1 (FSTATR1)

アドレス 007F C12Ch

	b7	b6	b5	b4	b3	b2	b1	b0
	EXRDY	FRDY	—	—	—	—	—	—
リセット後の値	0	0	0	0	0	1	0	0

ビット	シンボル	ビット名	機能	R/W
b1-b0	—	予約ビット	読むと“0”が読めます	R
b2	—	予約ビット	読むと“1”が読めます	R
b5-b3	—	予約ビット	読むと“0”が読めます	R
b6	FRDY	フラッシュレディフラグ	0: 下記以外 1: FCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R
b7	EXRDY	エクストラ領域レディフラグ	0: 下記以外 1: FEXCRレジスタに“00h”を書き込むこと(ソフトウェアコマンド終了処理)が可能	R

ソフトウェアコマンドの実行結果を確認するためのステータスレジスタです。各フラグは、次のソフトウェアコマンドを実行すると“0”になります。

FRDY フラグ(フラッシュレディフラグ)

ソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了するか、または強制停止処理が完了すると“1”になり、FCR.OPST ビットを“0”にすると、“0”になります。

また、FRDY フラグが“1”になると割り込み (FRDYI) が発生します。

EXRDY フラグ(エクストラ領域用レディフラグ)

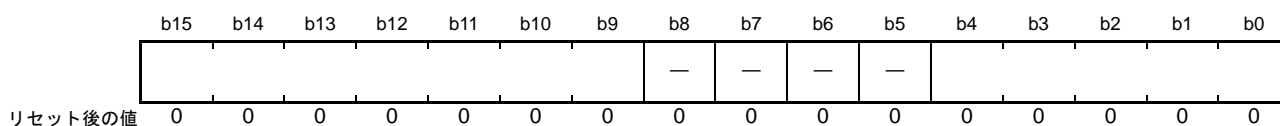
エクストラ領域に対するソフトウェアコマンドの実行状態を確認するためのフラグです。

実行したソフトウェアコマンドの処理が完了すると“1”になり、FEXCR.OPST ビットを“0”にすると、“0”になります。

また、EXRDY フラグが“1”になると割り込み (FRDYI) が発生します。

34.3.17 フラッシュエラーアドレスモニタレジスタ H (FEAMH)

アドレス 007F C1E8h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b31-b25、b20-b16 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b31-b25、b20-b16 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

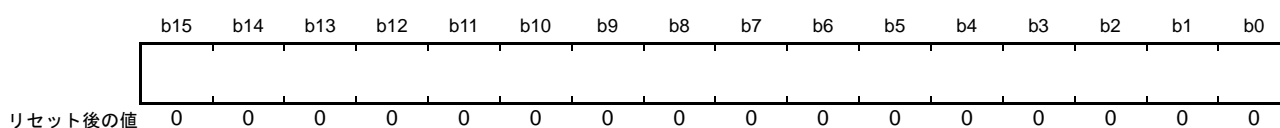
なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b31-b25、b20-b16 が格納されます。

フラッシュメモリのアドレスは、図 34.1 を参照してください。

34.3.18 フラッシュエラーアドレスモニタレジスタ L (FEAML)

アドレス 007F C1E0h



ソフトウェアコマンドの処理中にエラーが発生した場合、フラッシュメモリのエラー発生アドレスを確認するためのレジスタです。エラーが発生したアドレスの b15-b0 (プログラムコマンド、ブランクチェックコマンド)、または、エラーが発生した領域の先頭アドレスの b15-b0 (ブロックイレーズコマンド、全ブロックイレーズコマンド) が格納されます。

なお、FRESETR.FRESET ビットを“1”にすると不定になりますので、エラー処理を行う際はリセット前に値を読み出しておいてください。

ソフトウェアコマンドが正常に終了した場合は、コマンド実行時の最終アドレスの b15-b0 が格納されます。

なお、ROM に対するソフトウェアコマンドを実行した場合下位 2 ビットは“00b”になります。

フラッシュメモリのアドレスは、図 34.1 を参照してください。

34.3.19 フラッシュスタートアップ設定モニタレジスタ (FSCMR)

アドレス 007F C1C0h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—	—	—	—	SASMF	—	—	—	—	—	—	—	—
リセット後の値	0	1	1	1	0	1	1	ユーザ の設定 値 (注1)	0	0	0	0	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます	R
b8	SASMF	スタートアップ領域設定モニタフラグ	0: 代替領域から起動する設定になっています 1: デフォルト領域から起動する設定になっています	R
b10-b9	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b11	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b14-b12	—	予約ビット	読むと“1”が読めます。書き込みは無効になります	R
b15	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R

注1. ブランク品は“1”です。スタートアップ領域情報プログラムコマンドを実行した後は、FWB1レジスタのb8に設定した値と同じ値になります。

SASMF フラグ (スタートアップ領域制御モニタフラグ)

スタートアップ領域の設定内容を確認するためのフラグです。

“0”の場合、ユーザプログラムは代替領域から起動する設定になっています。

“1”の場合、ユーザプログラムはデフォルト領域から起動する設定になっています。

34.3.20 フラッシュアクセスウィンドウ開始アドレスモニタレジスタ (FAWSMR)

アドレス 007F C1C8h

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
	—	—	—	—												
リセット後の値	0	0	0	0												

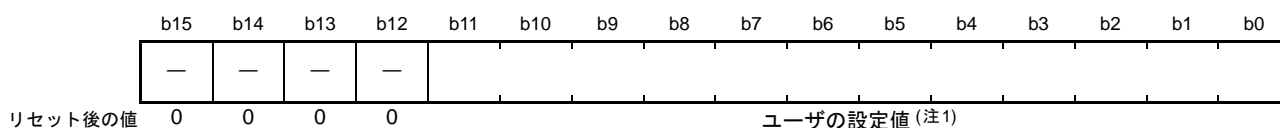
ユーザの設定値 (注1)

注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB0レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの開始アドレス設定値を確認するためのレジスタです。

34.3.21 フラッシュアクセスウィンドウ終了アドレスモニタレジスタ (FAWEMR)

アドレス 007F C1D0h

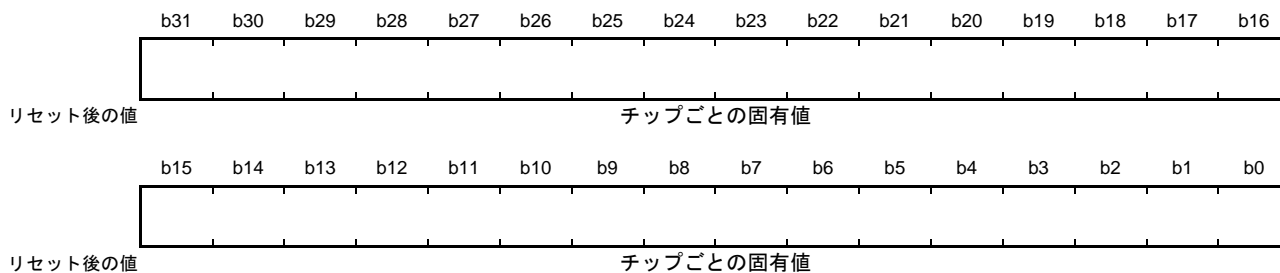


注1. ブランク品は“1”です。アクセスウィンドウ情報プログラムコマンドを実行した後は、FWB1レジスタのb11-b0に設定した値と同じ値になります。

エリアプロテクションに使用するアクセスウィンドウの終了アドレス設定値を確認するためのレジスタです。

34.3.22 ユニーク ID レジスタ n (UIDRn) (n = 0 ~ 3)

アドレス UIDR0 007F C350h, UIDR1 007F C354h, UIDR2 007F C358h, UIDR3 007F C35Ch



UIDRn レジスタは、MCU の個体を識別するために用意された 16 バイト長の ID コード (ユニーク ID) を格納しているレジスタです。

ユニーク ID はフラッシュメモリのエクストラ領域に格納されており、ユーザが書き換えることはできません。

34.4 スタートアッププログラム保護機能

セルフプログラミングでスタートアッププログラム(注1)の書き換えを行うとき、電源の瞬断などで書き換えが中断すると、スタートアッププログラムが正しく書き込まれず、ユーザプログラムを正しく起動できなくなる可能性があります。

この機能を使用することで、スタートアッププログラムを消去せずに書き換えることができようになり、上記のような問題が回避できます。なお、この機能はROM容量が32Kバイト以上の製品で有効です。

図34.3にスタートアッププログラム保護機能の概念を示します。ここでは説明のため、ブロック0~7をデフォルト領域、ブロック8~15を代替領域と呼びます。

注1. ユーザプログラムを起動するための処理を行うプログラム。固定ベクタテーブルも含まれる。

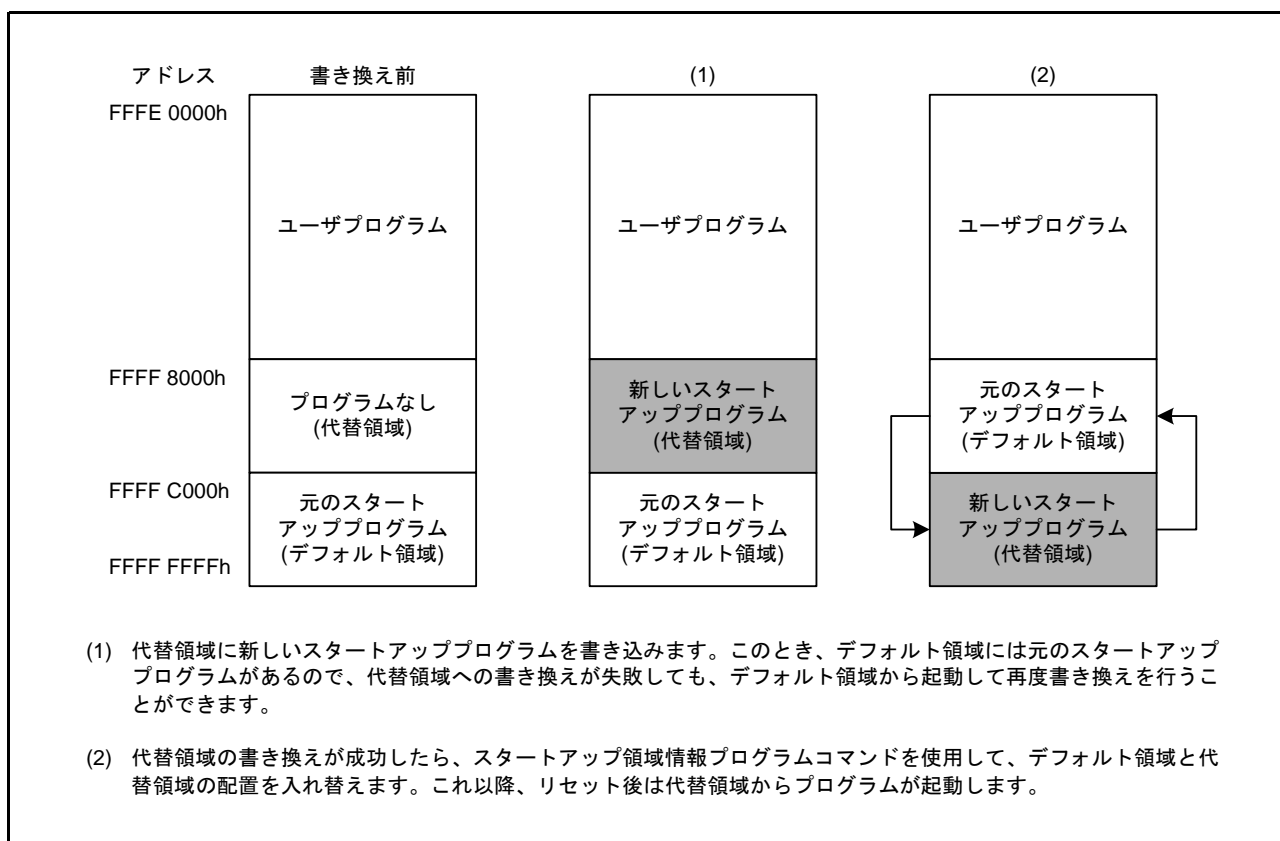


図 34.3 スタートアッププログラム保護機能の概念

34.5 エリアプロテクション

セルフプログラミング時に、ユーザ領域の指定された範囲(アクセスウィンドウ)のみ書き換えを許可し、それ以外は書き換えを禁止する機能です。

アクセスウィンドウの範囲設定は、開始アドレスと終了アドレスを指定して行います。アクセスウィンドウの範囲は、ブートモードおよびセルフプログラミングのいずれでも設定できますが、エリアプロテクションが有効になるのはシングルチップモードでセルフプログラミングを行うときだけです。

図 34.4 にエリアプロテクションの概念を示します。

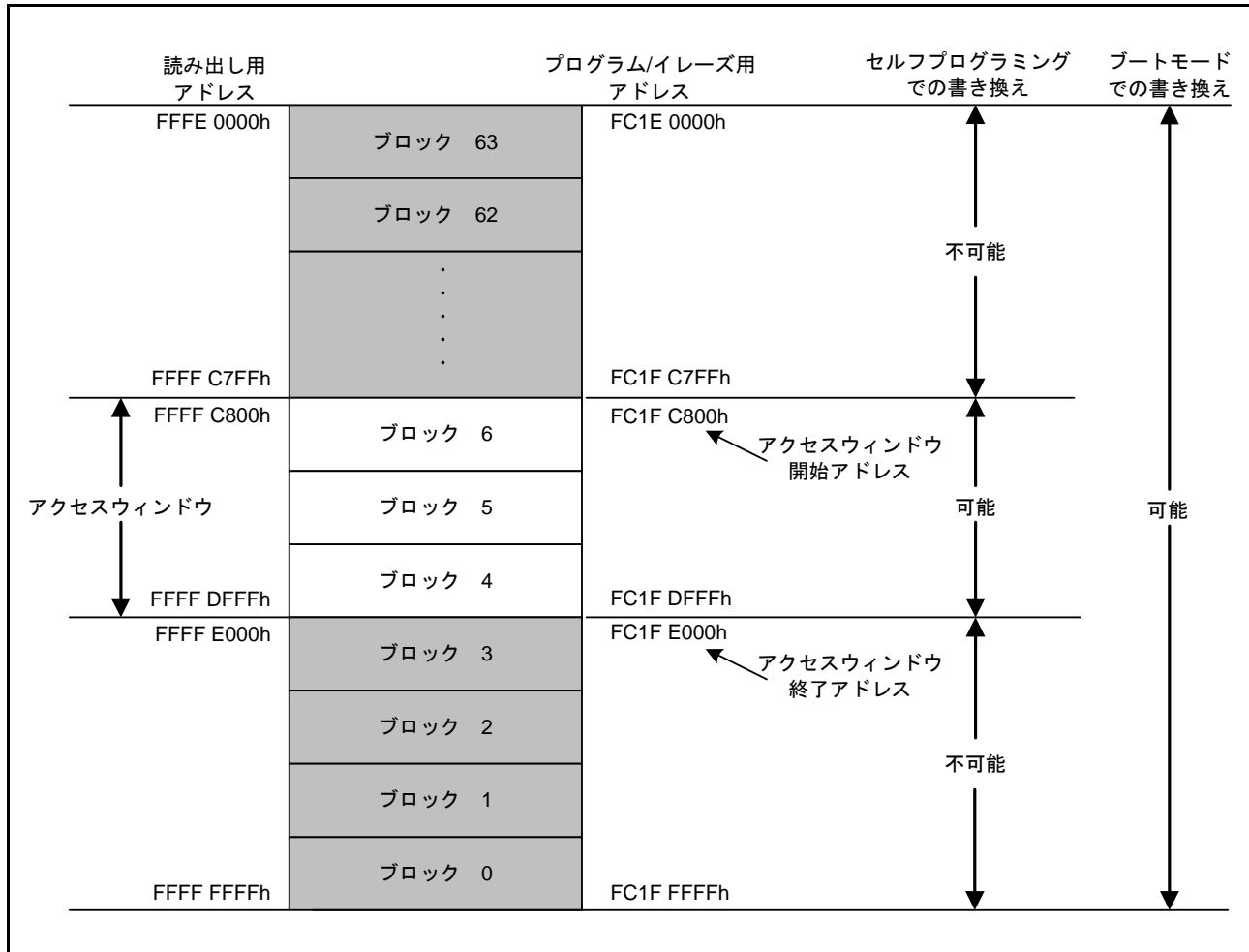


図 34.4 エリアプロテクションの概念 (ROM 容量が 128K バイトの製品で、ブロック 4 からブロック 6 をアクセスウィンドウに設定した場合)

34.6 プログラム/イレーズ

ROM へのプログラム/イレーズは、プログラム/イレーズ用の専用シーケンサのモードへ移行して、プログラム/イレーズ用のコマンドを発行することで行います。

ROM へのプログラム/イレーズに必要なモード移行とコマンドについて以下に説明します。これらはブートモード/シングルチップモードで共通です

34.6.1 シーケンサのモード

シーケンサには、2種類のモードがあります。モードの移行は、FENTRYR レジスタへの書き込み、および FPMCR レジスタの設定で行います。図 34.5 にフラッシュメモリのモード遷移図を示します。

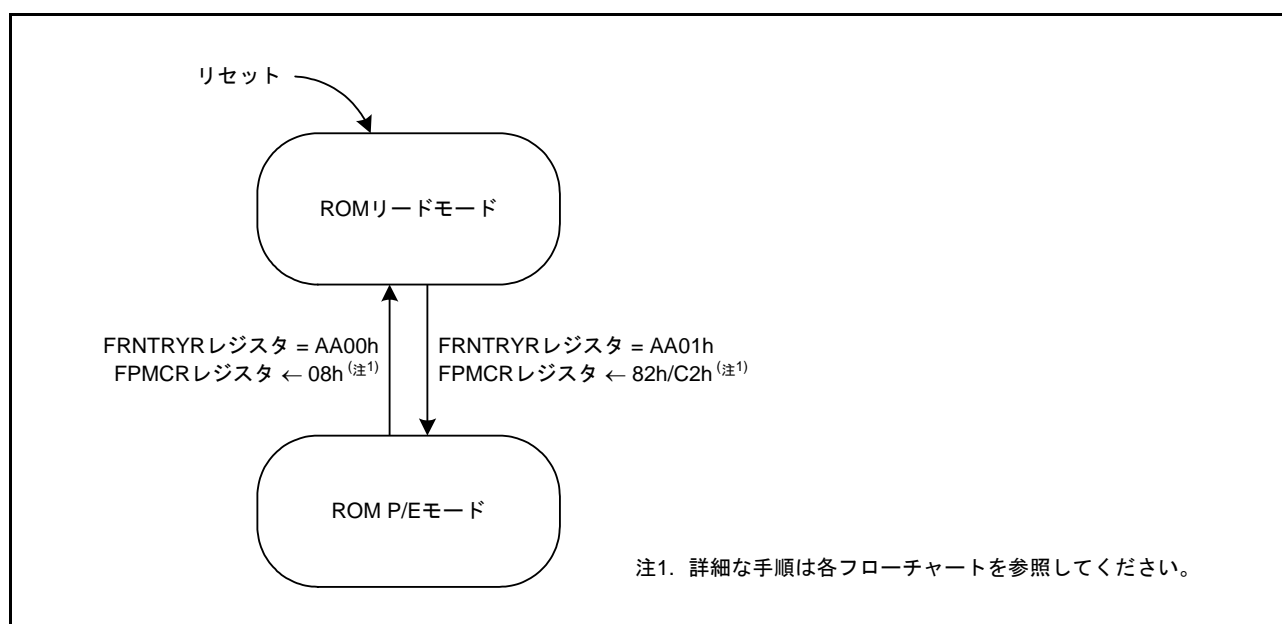


図 34.5 フラッシュメモリのモード遷移図

34.6.1.1 リードモード

リードモードは、ROM の高速読み出しを行うためのモードです。読み出し用アドレスに対してリードアクセスを実行した場合、1ICLK クロックの高速読み出しが可能です。

(1) ROM リードモード

ROM がリードモードになっているモードを、ROM リードモードと言います。P/E モードからは、FPMCR レジスタを“08h”、FENTRYR.FENTRY0 ビットを“0”にした場合にこのモードに遷移します。

34.6.1.2 P/E モード

P/E モードは、ROM のプログラム/イレーズを行うモードです。

(1) ROM P/E モード

ROM が P/E モードになっているモードを、ROM P/E モードと言います。FENTRYR.FENTRY0 ビットを“1”、FPMCR レジスタを“82h”または“C2h”にした場合にこのモードに遷移します。

34.6.2 モード遷移

34.6.2.1 リードモードから P/E モードへの遷移

ROM 関連のソフトウェアコマンドを実行するためには、ROM P/E モードに遷移させる必要があります。

図 34.6 に ROM リードモードから ROM P/E モードへの遷移フローを示します。

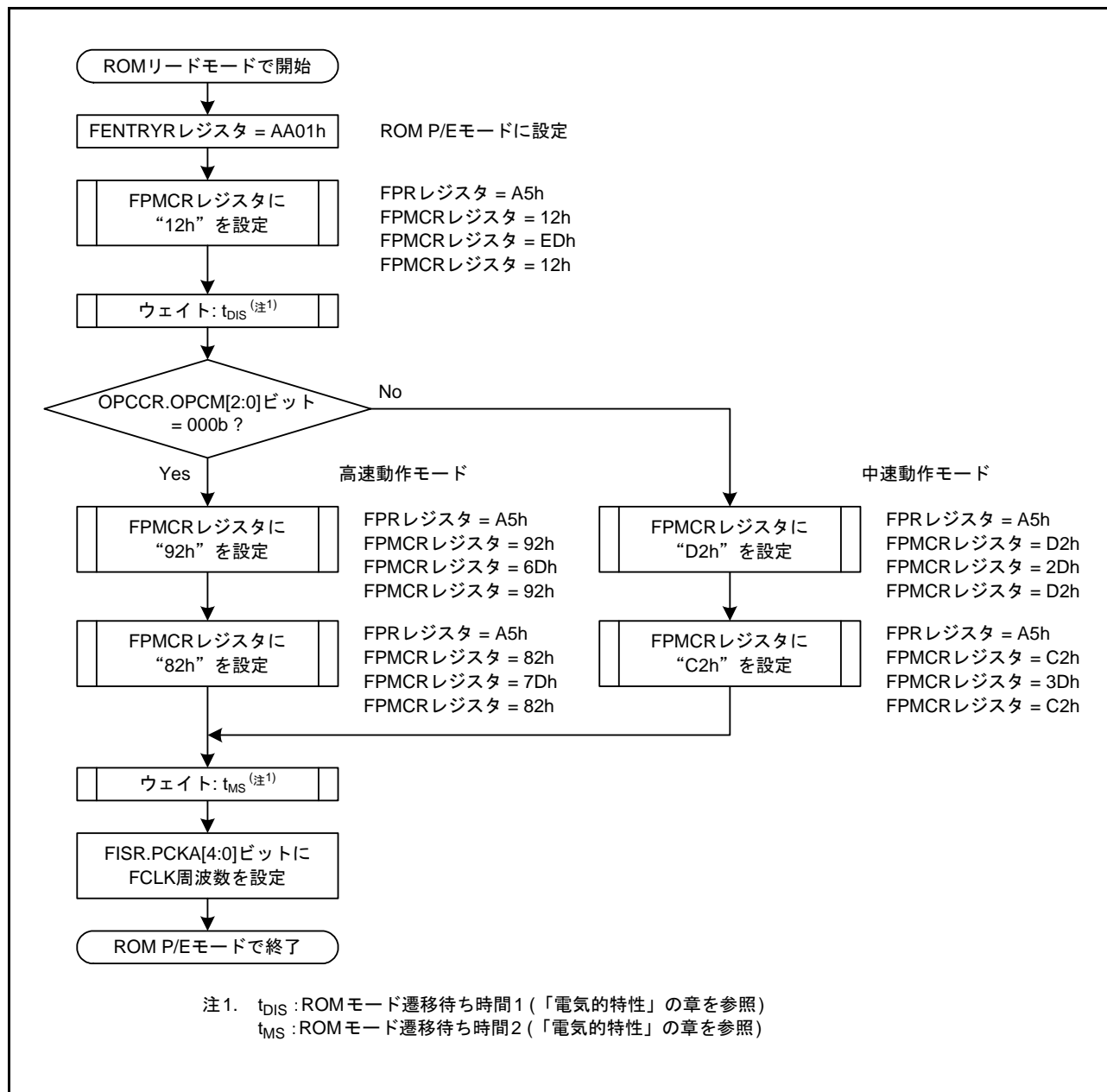


図 34.6 ROM リードモードから ROM P/E モードへの遷移フロー

34.6.2.2 P/E モードからリードモードへの遷移

ROM の高速読み出しを行うためには、ROM リードモードに遷移させる必要があります。

図 34.7 に ROM P/E モードから ROM リードモードへの遷移フローを示します。

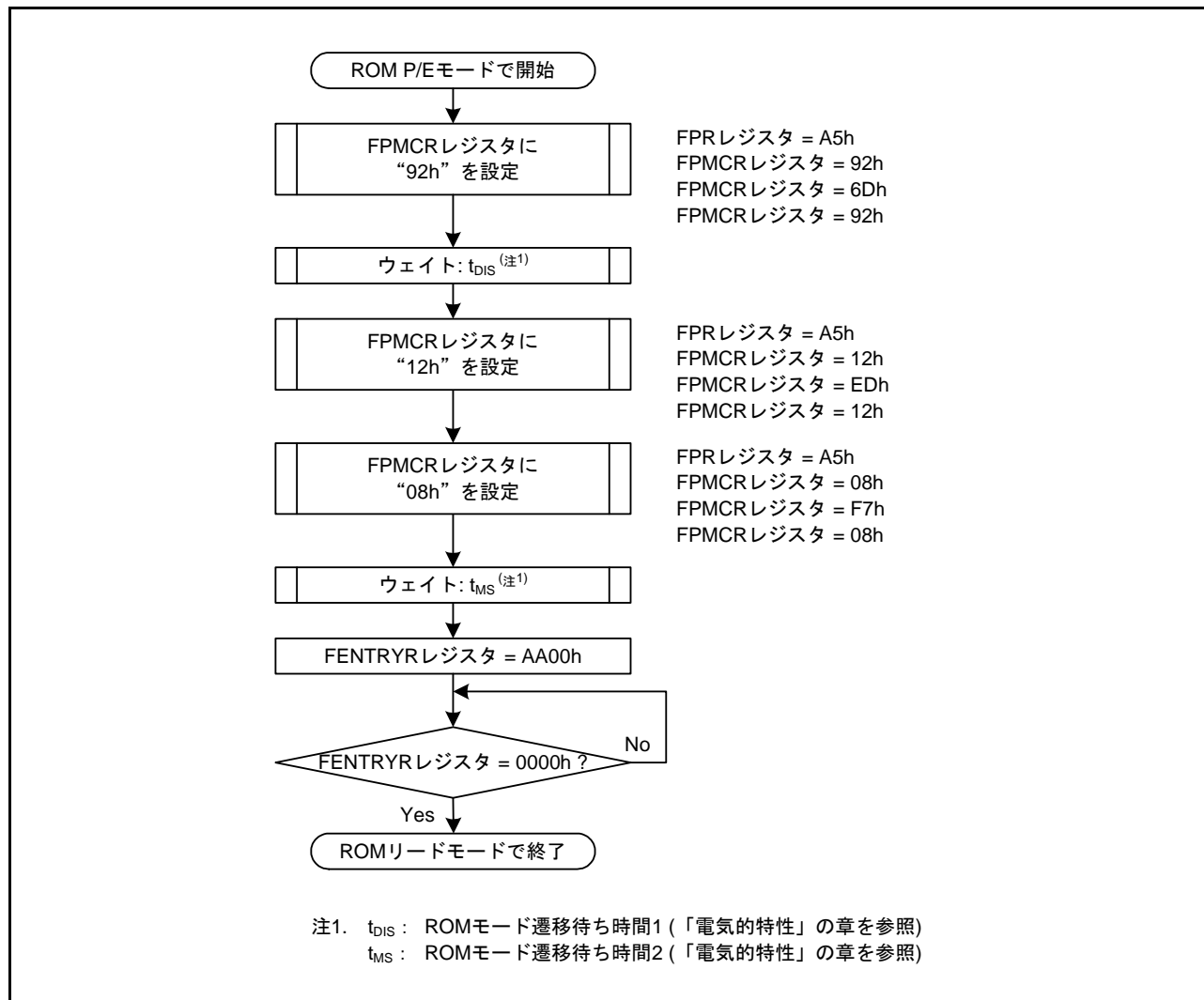


図 34.7 ROM P/E モードから ROM リードモードへの遷移フロー

34.6.3 ソフトウェアコマンド一覧

ソフトウェアコマンドには、プログラム/イレーズを行うためのコマンドや、スタートアッププログラム領域情報のプログラムを行うコマンド、アクセスウィンドウ情報プログラムを行うコマンドなどがあります。表 34.5 にフラッシュメモリで使用可能なソフトウェアコマンドの一覧を示します。

表34.5 ソフトウェアコマンド一覧

コマンド	機能
プログラム	ROMへの書き込み(8バイト)
ブロックイレーズ	ROMの消去
全ブロックイレーズ	ROMの一括消去
ブランクチェック	指定した領域内のブランクチェックを行います 書き込みが行われていないことを確認します。消去状態の保持を保証するものではありません
スタートアップ領域情報プログラム	スタートアッププログラム保護機能で使用するスタートアップ領域切り替え情報を書き換えます
アクセスウィンドウ情報プログラム	エリアプロテクションで使用するアクセスウィンドウを設定します

34.6.4 ソフトウェアコマンド使用方法

ここでは各ソフトウェアコマンドの使用方法について、フローチャートを用いて説明します。

34.6.4.1 プログラム

図 34.8 にプログラムコマンドの発行フローを示します。

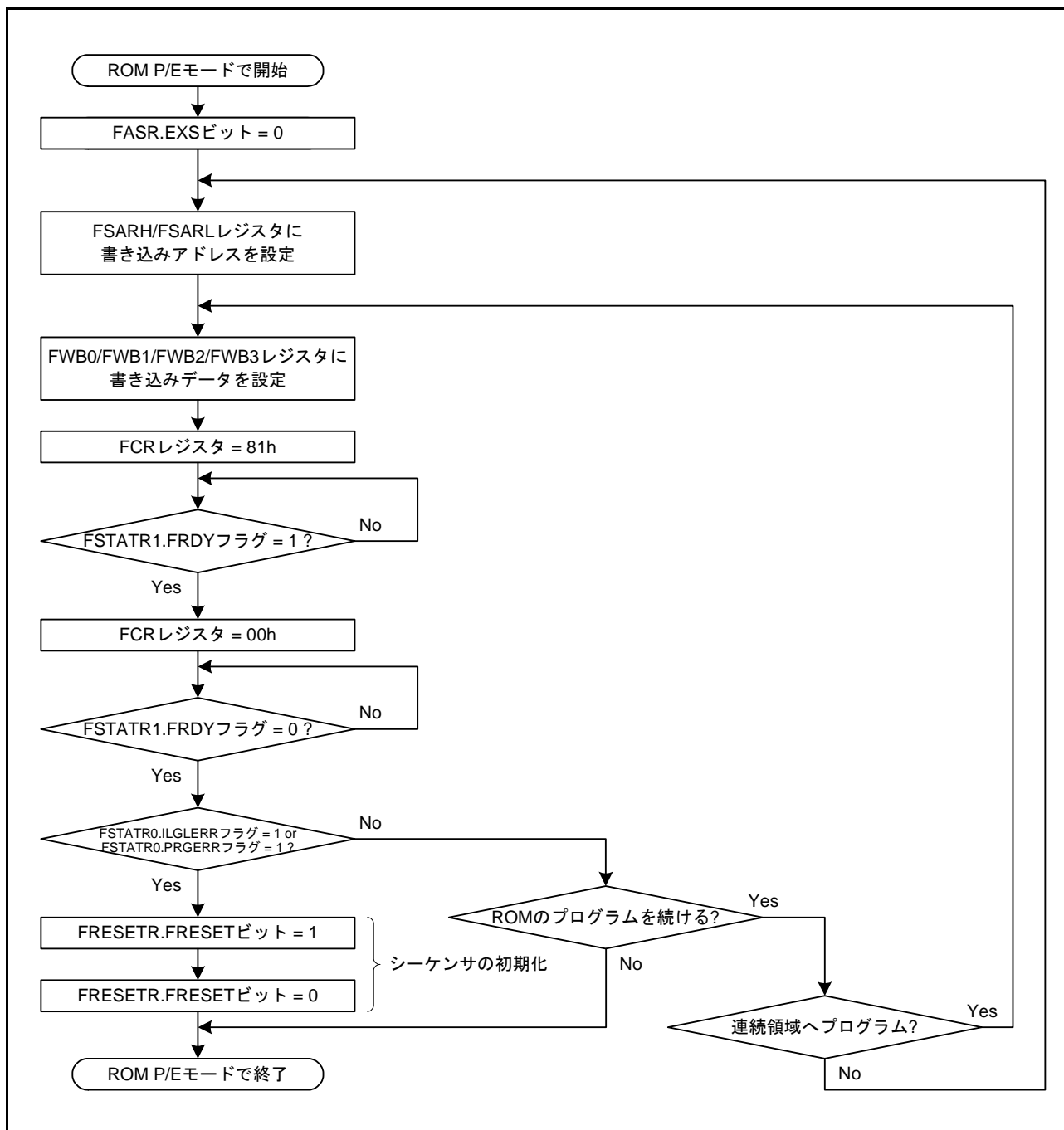


図 34.8 プログラムコマンドの発行フロー

34.6.4.2 ブロックイレーズ

図 34.9 にブロックイレーズコマンドの発行フローを示します。

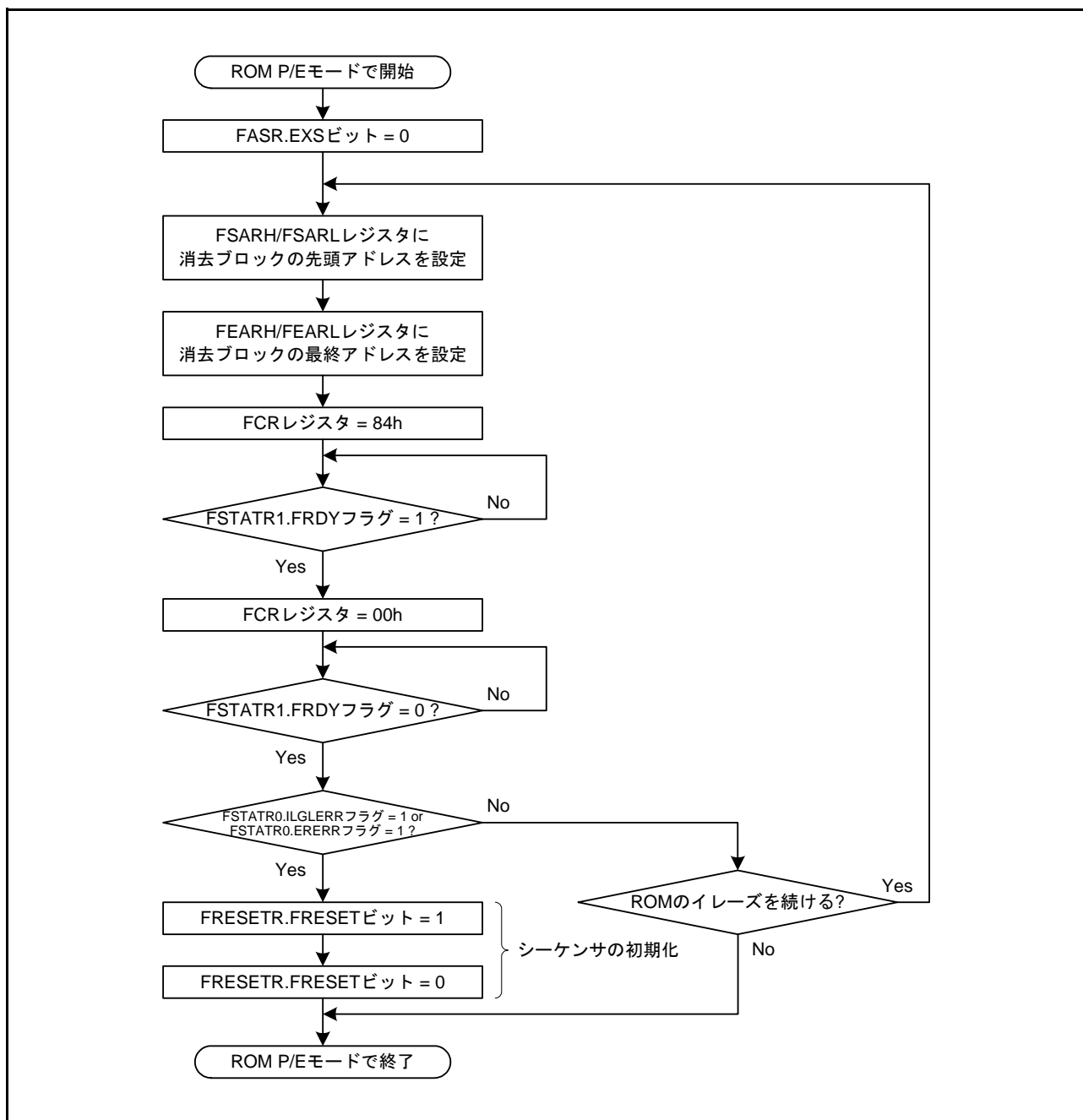


図 34.9 ブロックイレーズコマンドの発行フロー

34.6.4.3 全ブロックイレーズ

図 34.10 に全ブロックイレーズコマンドの発行フローを示します。

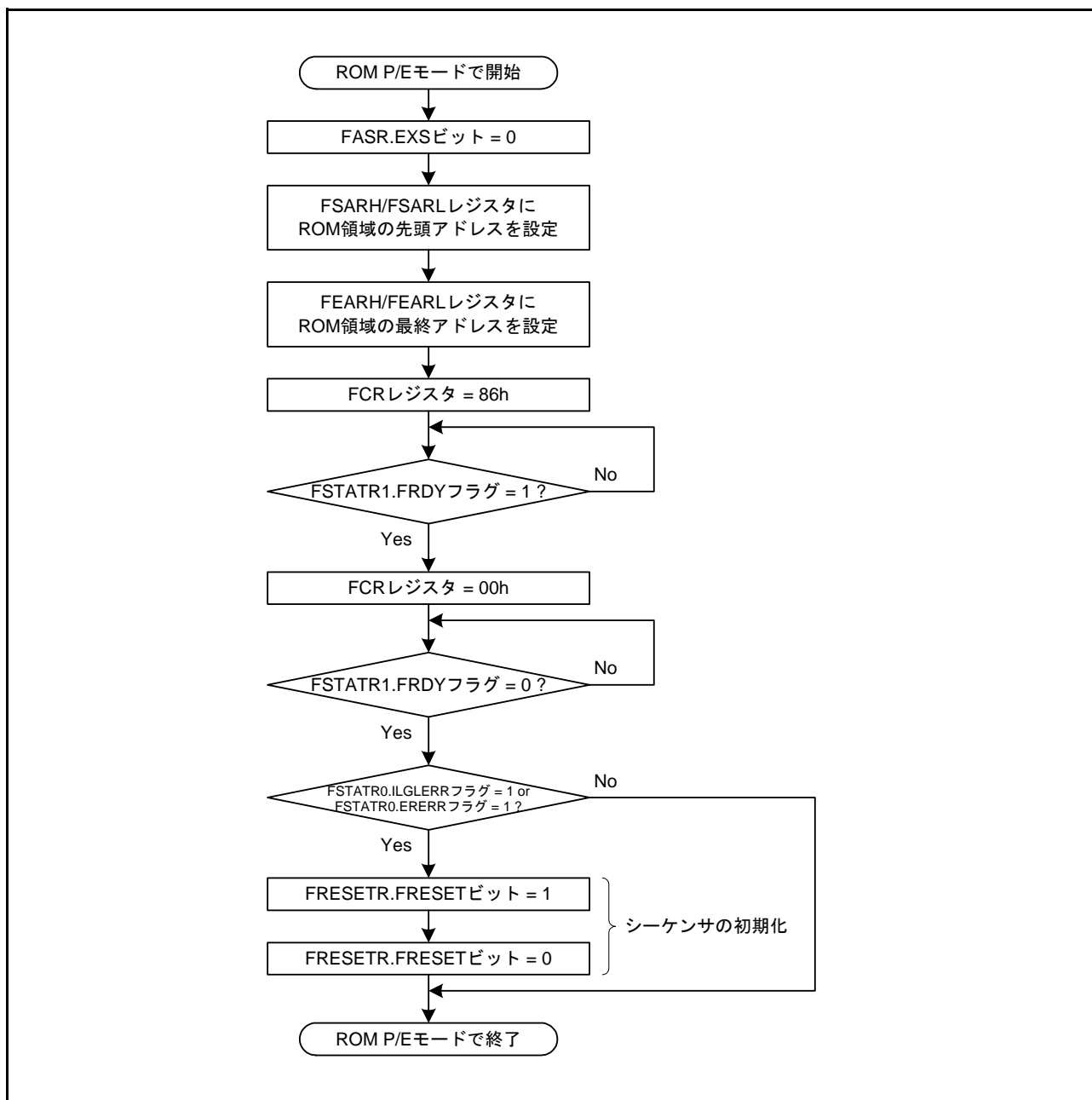


図 34.10 全ブロックイレーズコマンドの発行フロー

34.6.4.4 ブランクチェック

図 34.11 にブランクチェックコマンドの発行フローを示します。

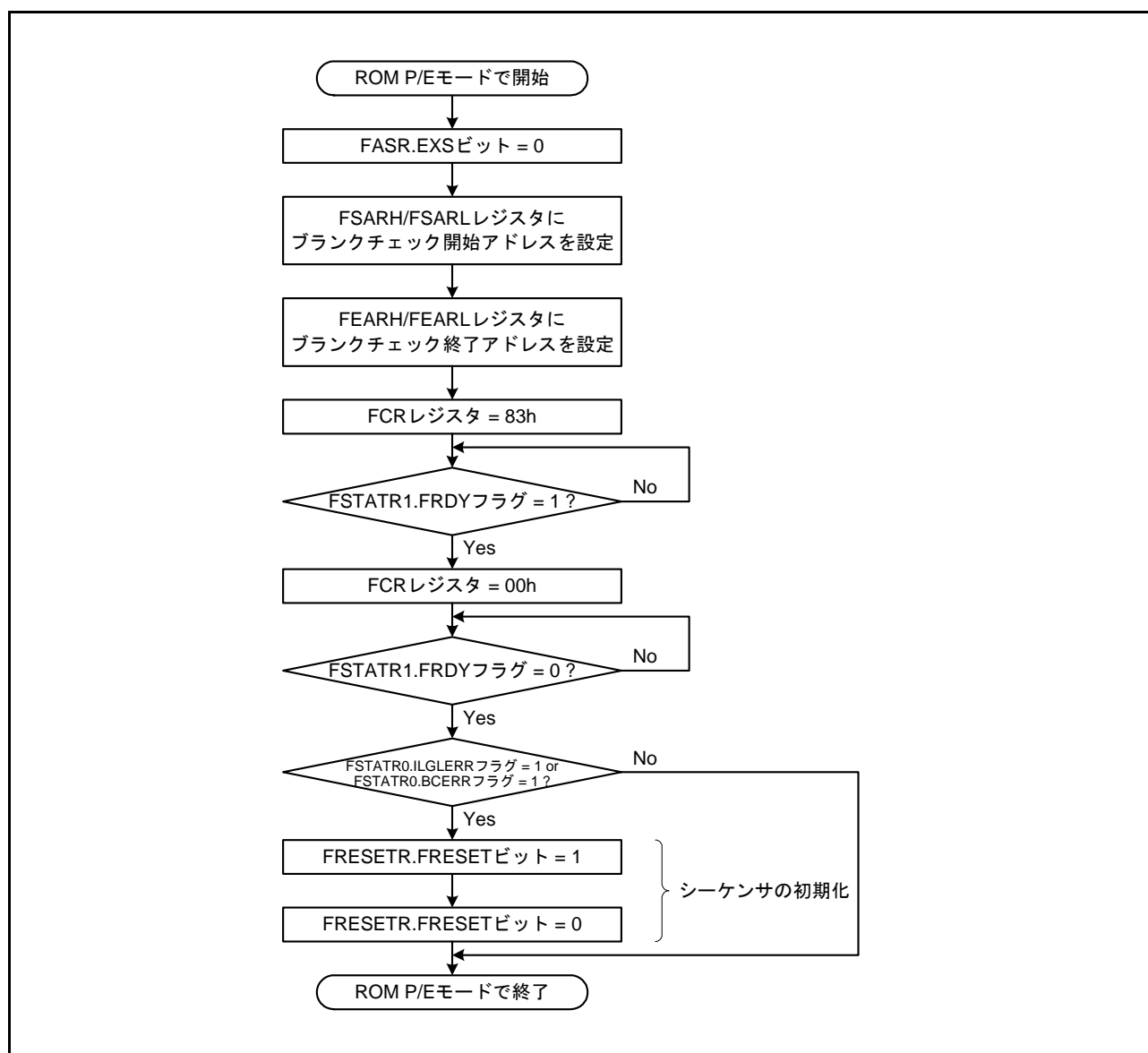


図 34.11 ブランクチェックコマンドの発行フロー

34.6.4.5 スタートアップ領域情報プログラム/アクセスウィンドウ情報プログラム

図 34.12 にスタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フローを示します。

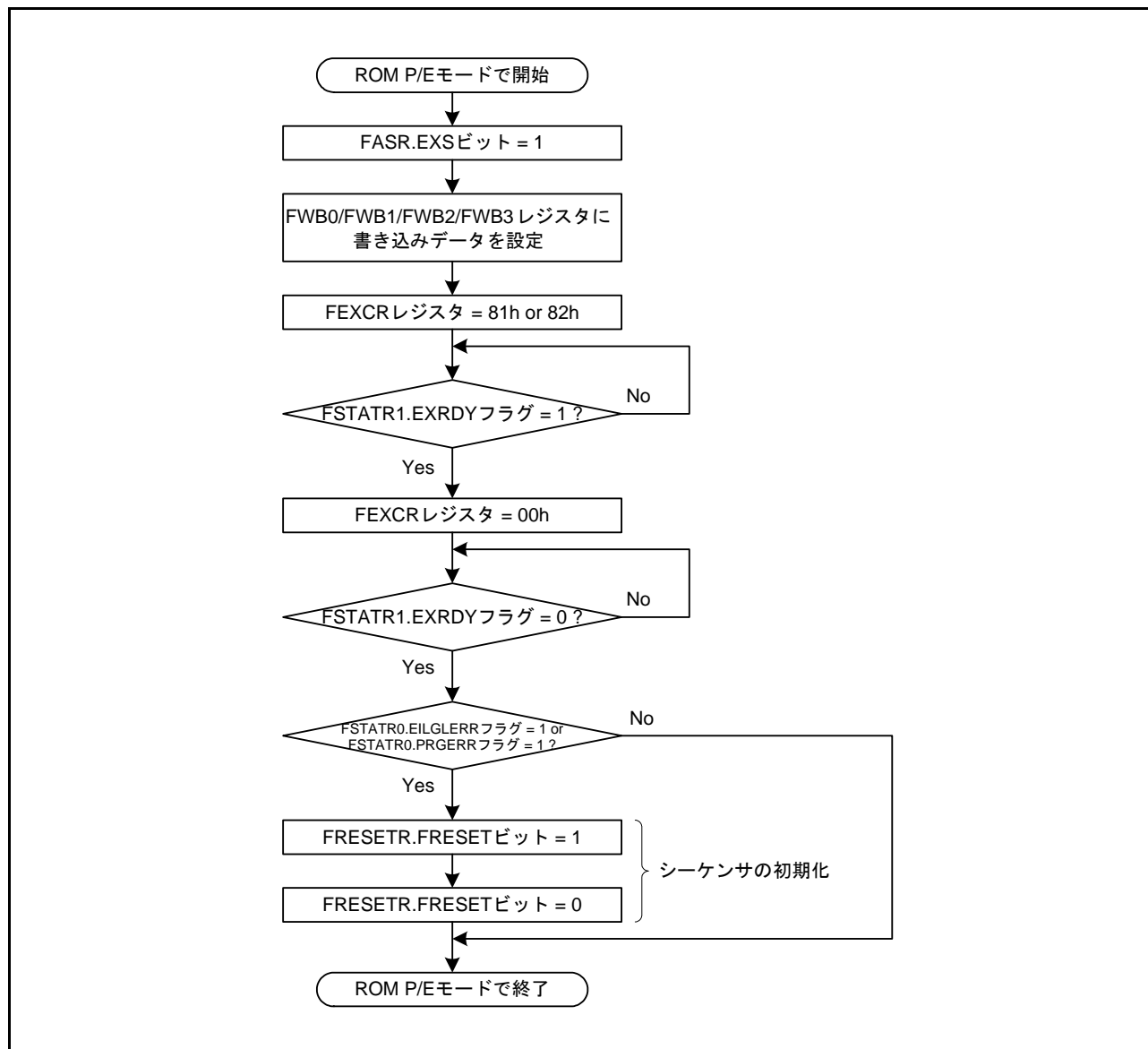


図 34.12 スタートアップ領域情報プログラムコマンド/アクセスウィンドウ情報プログラムコマンドの発行フロー

34.6.4.6 ソフトウェアコマンドの強制停止

ブランクチェックコマンド、ブロックイレーズコマンドを強制的に停止させるには、**図 34.13**に従って実施してください。

強制停止を実行すると、FEAMH/FEAML レジスタに中断した時点のアドレスが格納されます。ブランクチェックの場合は、FEAMH/FEAML レジスタの値を FSARH/FSARL レジスタにコピーすることで、中断した処理を続きから再開させることができます。

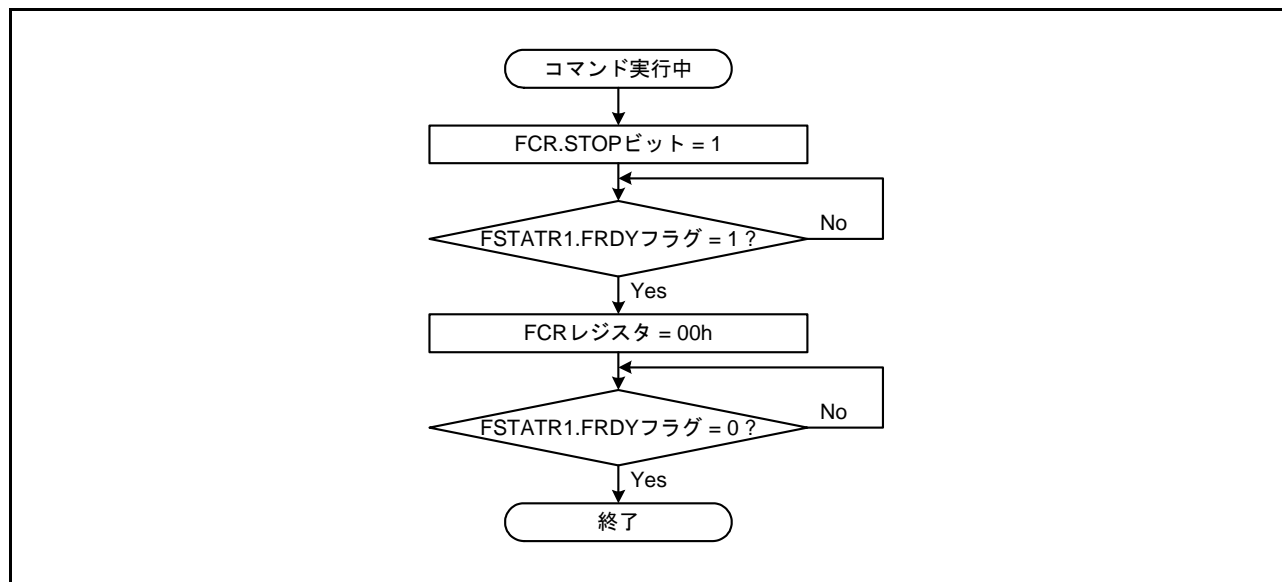


図 34.13 ソフトウェアコマンド強制停止の実行フロー

34.6.5 割り込み

ソフトウェアコマンド処理が完了するか、または強制停止処理が完了すると割り込み (FRDYI) が発生します。FCR.OPST ビットを“0”にすると FSTATR1.FR DY フラグが“0”に、また、FEXCR.OPST ビットを“0”にすると FSTATR1.EXRDY フラグが“0”になり、次の割り込み (FRDYI) を受け付けられるようになります。

本割り込みに対応する ICU の IERm.IEN ビットを“1”にする前に、IRn.IR フラグをクリアしてください。

34.7 ブートモード

ブートモードは、SCI インタフェース、または FINE インタフェースを使用します。表 34.6 にブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュールを、表 34.7 にブートモードで使用する入出力端子を示します。

表 34.6 ブートモードでプログラム/イレーズ可能な領域と使用する周辺モジュール

項目	ブートモード	
	SCI インタフェース	FINE インタフェース
プログラム/イレーズ可能な領域	ユーザ領域	ユーザ領域
使用する周辺モジュール	SCI1 (調歩同期式シリアル通信)	FINE

表 34.7 ブートモードで使用する入出力端子

端子名	入出力	使用するモード	用途
MD	入力	ブートモード	動作モードを選択(「3. 動作モード」参照)
MD/FINED	入出力	ブートモード (FINE インタフェース)	動作モードを選択、FINE データ入出力
PD5/RXD1	入力	ブートモード (SCI インタフェース)	データ受信用(注1)
PD3/TXD1	出力		データ送信用(注1)

注1. 抵抗を介してVCCに接続(プルアップ)してください。

34.7.1 ブートモード (SCI インタフェース)

ブートモード (SCI インタフェース) は、フラッシュメモリのプログラム / イレージに SCI の調歩同期式モードを用いるモードです。ユーザ領域を書き換えることができます。

MD 端子を Low にしてリセットを解除すると、MCU はブートモード (SCI インタフェース) で起動します。

シリアルプログラマについてはメーカーにお問い合わせください。

34.7.1.1 ブートモード (SCI インタフェース) の動作条件

ブートモード (SCI インタフェース) は、シリアルプログラマとの通信に、SCI1 を調歩同期式モードで使用します。図 34.14 にブートモード (SCI インタフェース) 時の端子接続例を、表 34.8 にブートモード (SCI インタフェース) 時に使用する端子の処理内容を示します。

なお、図 34.14 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

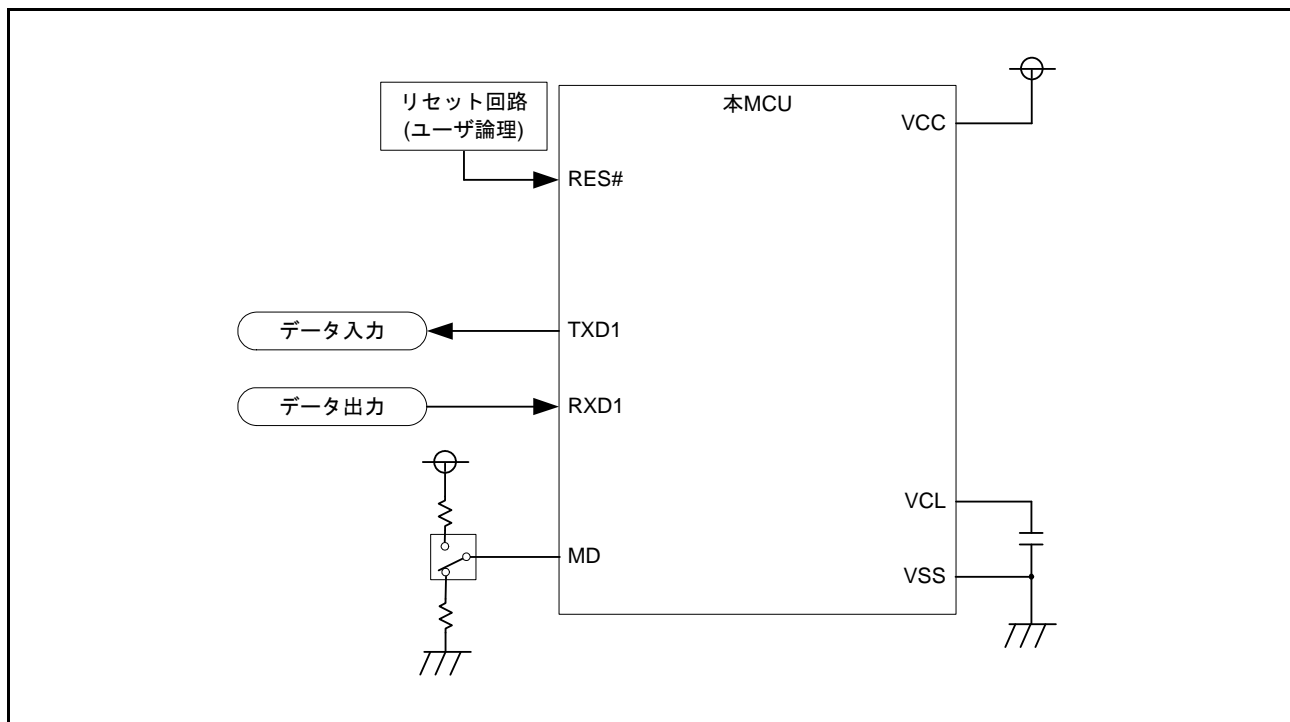


図 34.14 ブートモード (SCI インタフェース) 時の端子接続例

表 34.8 ブートモード (SCI インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源入力	入力	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール	入力	Low を入力してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください
PD5/RXD1	データ入力 RXD	入力	シリアルデータの入力端子です
PD3/TXD1	データ出力 TXD	出力	シリアルデータの出力端子です

シリアルプログラマとの通信フォーマットは、図 34.15 に示すとおり、8 ビットデータ、1 ストップビット

ト、パリティなし、LSB ファーストです。

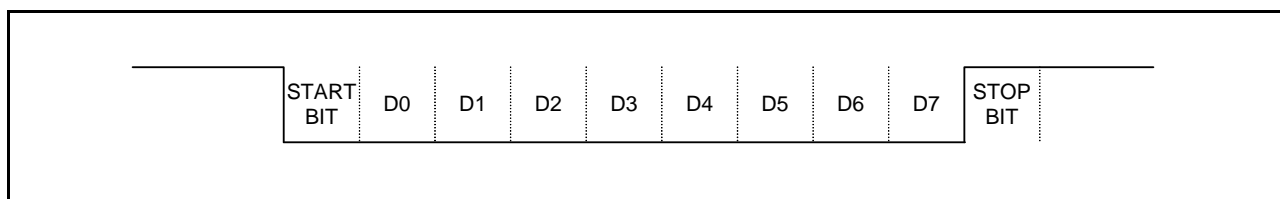


図 34.15 通信フォーマット

シリアルプログラマとの初期通信は、9,600 bps または 19,200 bps で行います。通信ビットレートは、接続後に変更できます。ブートモード (SCI インタフェース) で通信が可能な最大通信ビットレートを表 34.9 に示します。

表 34.9 通信可能な条件

動作電圧	最大通信ビットレート
2.7 V以上3.0 V未満	500 kbps
3.0 V以上5.5 V以下	2 Mbps

34.7.1.2 ブートモード (SCI インタフェース) の起動方法

ブートモード (SCI インタフェース) で起動するには、MD 端子を Low にして、リセットを解除 (RES# 端子を Low から High に) する必要があります。ブートモード (SCI インタフェース) で起動した後、400 ms 経過すると本 MCU との通信が可能になります。

図 34.16 に示すとおり、リセット解除後 400 ms の間は各端子の信号を変化させないでください。リセットに関しては、「35.3.2 リセットタイミング」に示す規格を守ってください。

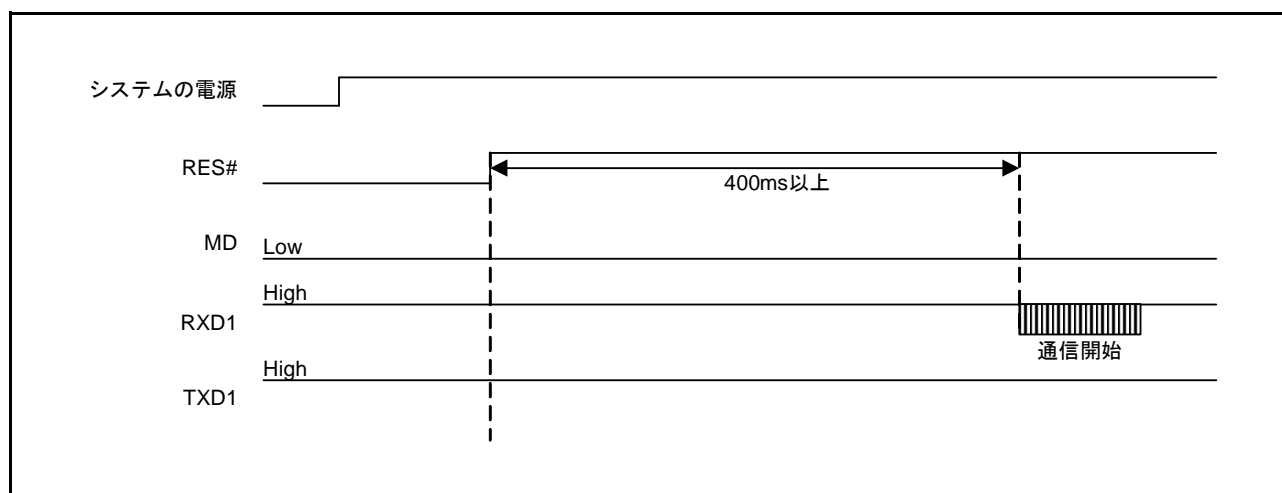


図 34.16 ブートモード (SCI インタフェース) で通信が可能になるまでの待ち時間

34.7.2 ブートモード (FINE インタフェース)

ブートモード (FINE インタフェース) は、フラッシュメモリのプログラム / イレーズに FINE を使用するモードです。ユーザ領域を書き換えることができます。

シリアルプログラマについてはメーカーにお問い合わせください。

34.7.2.1 ブートモード (FINE インタフェース) の動作条件

ブートモード (FINE インタフェース) は、シリアルプログラマとの通信に、FINE を使用します。図 34.17 にブートモード (FINE インタフェース) 時の端子接続例を、表 34.10 にブートモード (FINE インタフェース) 時に使用する端子の処理内容を示します。

なお、図 34.17 に記載した端子接続例は、一例です。すべてのシステムにおいて動作を保証するものではありません。

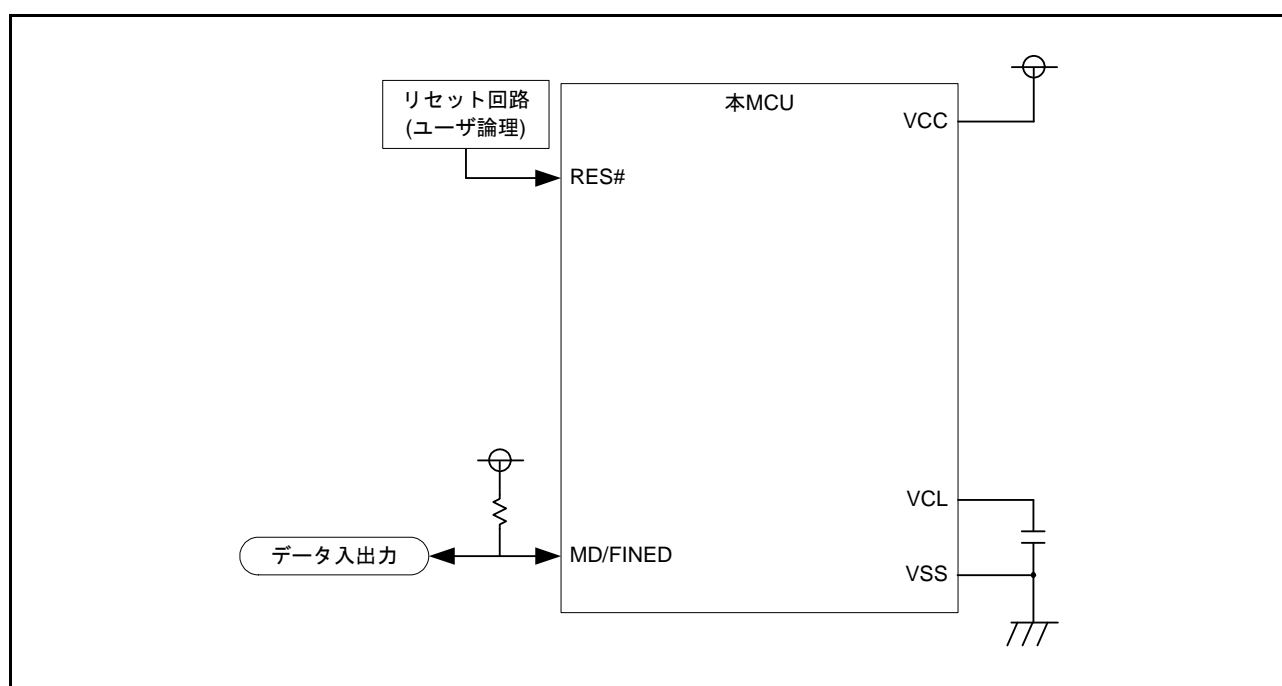


図 34.17 ブートモード (FINE インタフェース) 時の端子接続例

表 34.10 ブートモード (FINE インタフェース) 時に使用する端子の処理内容

端子名	名称	入出力	処理内容
VCC, VSS	電源入力	入力	VCC 端子には 2.7 V 以上の電圧を、VSS 端子には 0 V を入力してください
VCL	平滑コンデンサ接続端子	—	内部電源安定用の平滑コンデンサを介して VSS に接続してください
MD	動作モードコントロール / データ入出力	入出力	抵抗を介して VCC に接続 (プルアップ) してください
RES#	リセット入力	入力	リセット端子です。リセット回路と接続してください

34.8 フラッシュメモリプロテクト機能

フラッシュメモリプロテクト機能は、第三者によるフラッシュメモリの読み出し、書き込みから保護する機能です。

シリアルプログラマ接続時にはブートモード ID コードプロテクト、オンチップデバ깅エミュレータ接続時にはオンチップデバ깅エミュレータ ID コードプロテクトがあります。

34.8.1 ID コードプロテクト

ID コードプロテクトには、シリアルプログラマを接続したときのブートモード ID コードプロテクト、オンチップデバ깅エミュレータを接続したときのオンチップデバ깅エミュレータ ID コードプロテクトの2つがあります。どちらも使用する ID コードは同じものですが、動作が異なります。

ID コードは、制御コード+ID コード1～ID コード15で構成されています。32ビット長4ワードのデータで、32ビット単位で設定してください。図 34.18 に ID コードの構成を示します。

	31	24	23	16	15	8	7	0
FFFF FFA0h	制御コード		IDコード1	IDコード2	IDコード3			
FFFF FFA4h	IDコード4		IDコード5	IDコード6	IDコード7			
FFFF FFA8h	IDコード8		IDコード9	IDコード10	IDコード11			
FFFF FFACH	IDコード12		IDコード13	IDコード14	IDコード15			

図 34.18 ID コードの構成

ID コードを設定するときのプログラムの記述例を以下に示します。

制御コード、ID コード1～ID コード15を順に“45h, 01h, 02h, 03h, 04h, 05h, 06h, 07h, 08h, 09h, 0Ah, 0Bh, 0Ch, 0Dh, 0Eh, 0Fh”に設定する場合

C 言語：

```
#pragma address ID_CODE = 0xFFFFF0
const unsigned long ID_CODE [4] = {0x45010203, 0x04050607, 0x08090A0B, 0x0C0D0E0F};
```

アセンブリ言語：

```
.SECTION ID_CODE, CODE
.ORG 0xFFFFF0
.LWORD 45010203h
.LWORD 04050607h
.LWORD 08090A0Bh
.LWORD 0C0D0E0Fh
```

34.8.1.1 ブートモード ID コードプロテクト

ブートモード ID コードプロテクトは、第三者がシリアルプログラマを接続したときのユーザ領域の読み出し、書き換えを禁止する機能です。

制御コードが“45h”または“52h”(ブートモード ID コードプロテクト有効)の場合は、シリアルプログラマから送られてくる 16 バイトのコードと、ユーザ領域上にある ID コードを比較し、その結果に従って、ユーザ領域の読み出し、書き換えを許可します。

制御コードが“45h”、“52h”以外(ブートモード ID コードプロテクト無効)の場合、ユーザ領域のすべてのブロックを消去し、ユーザ領域の読み出し、書き込みを許可します。

制御コードは、プロテクトの有効もしくは無効を設定します。表 34.11 にブートモード ID コードプロテクトの仕様を、図 34.19 にブートモード ID コードプロテクトの認証フローを示します。

ID コード 1 ~ ID コード 15 は、任意の値が設定できます。

ただし、無条件にシリアルプログラマの接続を禁止する場合は、ID コード 1 ~ ID コード 15 に順に“50h, 72h, 6Fh, 74h, 65h, 63h, 74h, FFh, FFh, FFh, FFh, FFh, FFh, FFh, FFh”と設定してください。

表 34.11 ブートモード ID コードプロテクトの仕様

制御コード	ID コード		プロテクト	ID コードの判定結果	動作
	ID コード 1 ~ ID コード 15				
45h	任意	有効	一致	ブートモード ID コード認証ステートを完了し、プログラム/イレースホストコマンド待ちステートに遷移する	
			不一致	ブートモード ID コード認証ステートを継続する	
			不一致 (3回連続)	ユーザ領域のすべてのブロックを消去し、ブートモード ID コード認証ステートを継続する	
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + FFh, ..., FFh (8 バイトすべて FFh)	有効	—	シリアルプログラマが送信したコードの値に関係なく、フラッシュメモリの読み出し、書き換えを許可しない	
	上記以外		一致	ブートモード ID コード認証ステートを完了し、プログラム/イレースホストコマンド待ちステートに遷移する	
			不一致	ブートモード ID コード認証ステートを継続する	
上記以外	任意	無効	—	ユーザ領域のすべてのブロックを消去する	

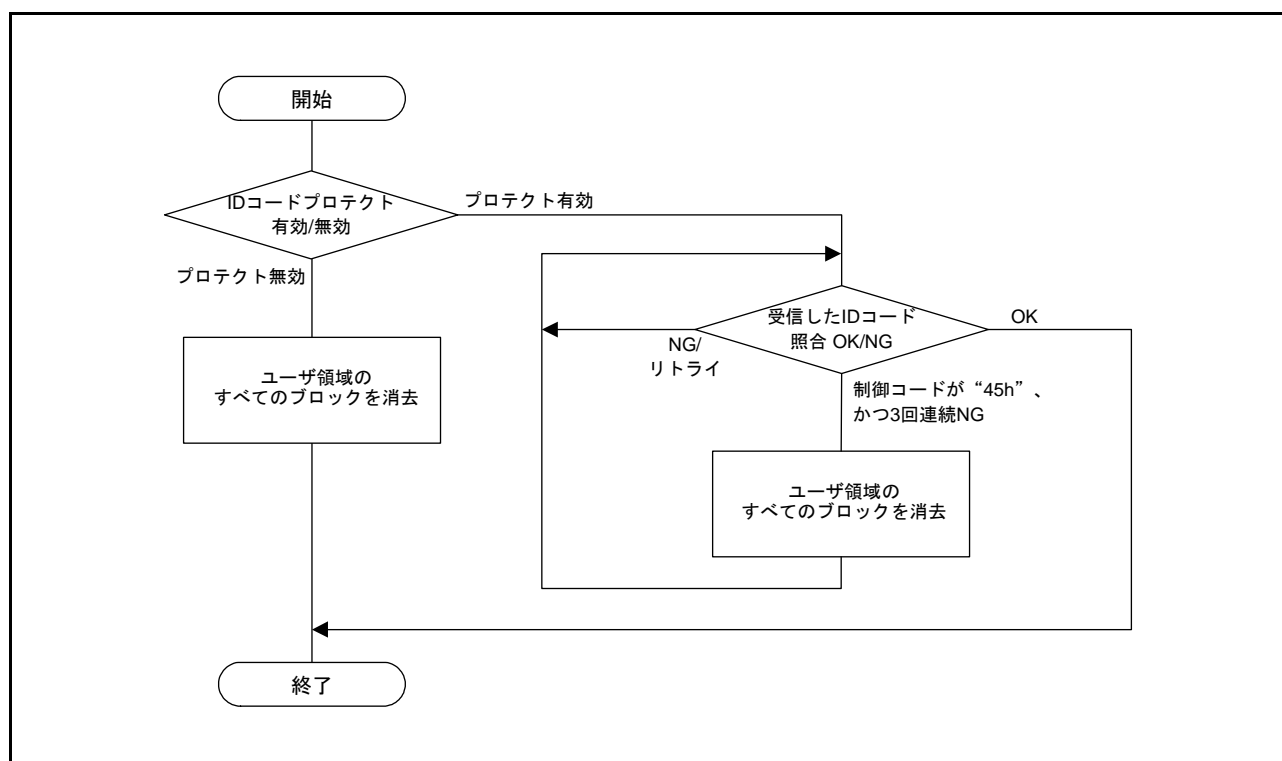


図 34.19 ブートモード ID コードプロテクトの認証フロー

34.8.1.2 オンチップデバ깅エミュレータ ID コードプロテクト

オンチップデバ깅エミュレータ ID コードプロテクトは、オンチップデバ깅エミュレータとの接続を許可/禁止する機能です。

オンチップデバ깅エミュレータ ID コードプロテクトが無効の場合もしくは、プロテクトが有効でオンチップデバ깅エミュレータから送られてくる 16 バイトのコードとユーザ領域にある ID コードが一致した場合、オンチップデバ깅エミュレータとの接続を許可します。

オンチップデバ깅エミュレータ ID コードプロテクトの仕様を、表 34.12 に示します。

表 34.12 オンチップデバ깅エミュレータ ID コードプロテクトの仕様

IDコード		プロテクト	IDコードの判定結果	動作
制御コード	IDコード1～IDコード15			
FFh	FFh, ..., FFh (15バイトすべてFFh)	無効	—	オンチップデバ깅エミュレータとの接続を許可する
52h	50h, 72h, 6Fh, 74h, 65h, 63h, 74h, + 任意の8バイト	有効	—	オンチップデバ깅エミュレータが送信したコードの値に関係なく、オンチップデバ깅エミュレータとの接続を許可しない
上記以外	上記以外	有効	一致	オンチップデバ깅エミュレータとの接続を許可する
			不一致	IDコード待ちを継続する

34.9 通信プロトコル

ここでは、ブートモードで使用するプロトコルについて説明します。シリアルプログラマを開発する場合には、この通信プロトコルに従って制御してください。

34.9.1 ブートモード (SCI インタフェース) の状態遷移

図 34.20 にブートモード (SCI インタフェース) の状態遷移図を示します。

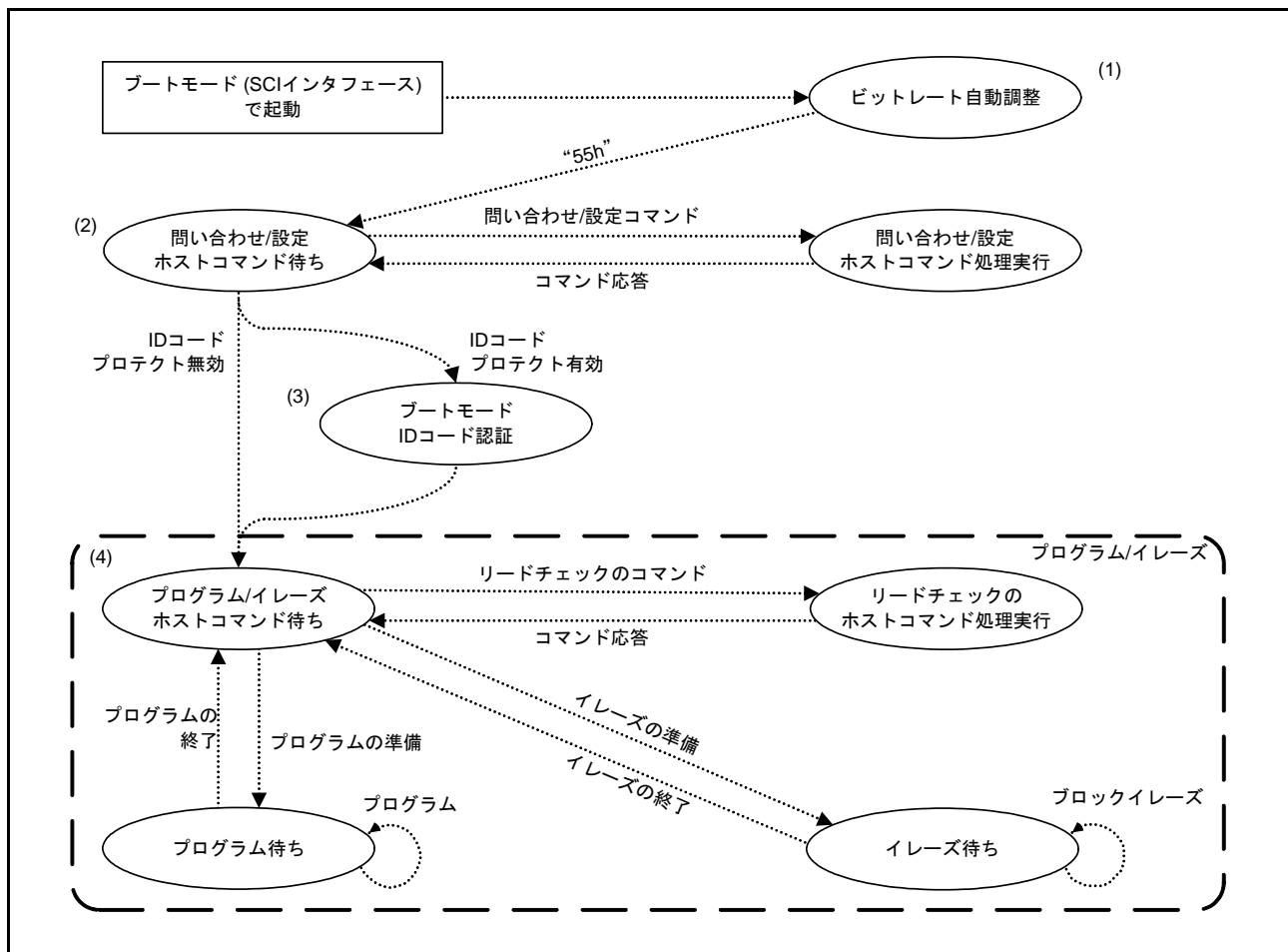


図 34.20 ブートモード (SCI インタフェース) の状態遷移図

(1) ビットレート自動調整ステート

ビットレート自動調整ステートでは、本 MCU とホスト間の通信ビットレートを 9,600 bps または 19,200 bps に自動調整します。本 MCU はビットレート自動調整が終了するとホストへ“00h”を送信します。ホストは“00h”を受け取った後、“55h”を送信してください。本 MCU は、“55h”を受信するとホストへ“E6h”を送信し、問い合わせ/設定ホストコマンド待ちステートへ遷移します。なお、ホストは、本 MCU のリセットを解除した後、400 ms 以上経過するまではデータを送信しないでください。

(2) 問い合わせ/設定ホストコマンド待ちステート

問い合わせ/設定ホストコマンド待ちステートでは、ブロック構成、ブロックサイズ、ユーザ領域の配置アドレスなど本 MCU の情報問い合わせや、データのエンディアン、ビットレートの選択ができます。本 MCU はホストからプログラム/イレーズホストコマンド待ちステート遷移コマンドを受信すると、ブートモード ID コードプロテクトの有効、無効を判定します。ブートモード ID コードプロテクト

が無効の場合、プログラム/イレーズホストコマンド待ちステートへ遷移します。ブートモード ID コードプロテクトが有効の場合、ブートモード ID コード認証ステートに遷移します。

問い合わせ/設定コマンドに関する詳細は、「34.9.5 問い合わせコマンド」、「34.9.6 設定コマンド」を参照してください。

(3) ブートモード ID コード認証ステート

ブートモード ID コード認証ステートでは、ID コード認証コマンドを受け付けます。ブートモード ID コードが不一致の場合は、ブートモード ID コード認証ステートから他のステートへ遷移することはありません。

ブートモード ID コードプロテクトに関する詳細は、「34.8.1.1 ブートモード ID コードプロテクト」を参照してください。ID コード認証コマンドに関する詳細は、「34.9.7 ID コード認証コマンド」を参照してください。

(4) プログラム/イレーズステート

プログラム/イレーズステートでは、ホストからのコマンドに従って、プログラムやイレーズやリードチェックのコマンド処理を実行します。

プログラム/イレーズコマンドに関する詳細は、「34.9.8 プログラム/イレーズコマンド」を、リードチェックコマンドに関する詳細は、「34.9.9 リードチェックコマンド」参照してください。

34.9.2 コマンドとレスポンスの構成

通信プロトコルは、ホストから本 MCU へ送信する“コマンド”と本 MCU からホストへ送信する“レスポンス”で構成されています。

コマンドには1バイトコマンドと複数バイトコマンドがあります。

レスポンスには1バイトレスポンスと複数バイトレスポンス、エラーレスポンスがあります。

複数バイトコマンド、複数バイトレスポンスには、送受信データのバイト数を通知する“サイズ”と、通信異常を検出するための“SUM”があります。

“サイズ”はコマンドコード(先頭1バイト)、サイズ、SUM を除いた送受信データのバイト数を指します。

“SUM”は、コマンドもしくはレスポンスの各バイトを合計した値が、“00h”になるように計算されたバイトデータを指します。

プログラムコマンドで指定するプログラムアドレス、ブロックイレーズコマンドで指定するブロック先頭アドレス、アクセスウィンドウ情報プログラムコマンドで指定する AW 先頭アドレス、AW 最終アドレス、アクセスウィンドウリードコマンドで受信する AW 先頭アドレス、AW 最終アドレスはフラッシュメモリの読み出し用アドレスを使用します。

34.9.3 未定義コマンドに対するレスポンス

本 MCU は未定義のコマンドを受信した場合、コマンドエラーを意味するレスポンスを返します。コマンドエラーのレスポンスの内容は以下の通りです。エラーレスポンスの返信データには、受信したコマンドのコマンドコードが格納されています。

エラーレスポンス	80h	コマンド コード
----------	-----	-------------

34.9.4 ブートモードステータス問い合わせ

ブートプログラムの、現在のステータスと直前のコマンドを発行したときにどのようなエラーがあったか、確認するコマンドです。

本 MCU が応答するステータス、エラーの一覧を、表 34.13、表 34.14 に示します。

ブートモードステータス問い合わせコマンドは、問い合わせ / 設定ホストコマンド待ちステータスとプログラム / イレーズホストコマンド待ちステータスで使用することができます。

コマンド	4Fh				
レスポンス	5Fh	サイズ	ステータス	エラー	SUM

サイズ (1 バイト) : ステータス、エラーのデータの総バイト数 (固定値で "02h")
 ステータス (1 バイト) : 本 MCU の現在のステータス (表 34.13 を参照)
 エラー (1 バイト) : 直前に発行したコマンドに対するエラー状況 (表 34.14 を参照)
 SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

表 34.13 ステータスの内容

コード	ステータス (注1)	詳細
11h	問い合わせ/設定ホストコマンド待ちステータス	デバイス選択待ち
12h/13h		動作周波数選択待ち
1Fh		プログラム/イレーズホストコマンド待ちステータス遷移コマンド待ち
31h	ブートモードIDコード認証ステータス	ユーザ領域のイレーズ中
3Fh	プログラム/イレーズホストコマンド待ちステータス	プログラム/イレーズコマンド待ち
4Fh		プログラムデータ受信待ち
5Fh		ブロックイレーズ指定待ち

注1. 状態遷移については、図 34.20 に記載しています。図の内容も併せて確認してください。

表 34.14 エラーの内容

コード	内容
00h	エラーなし
11h	SUMエラー
21h	デバイスコードエラー
24h	ビットレート選択エラー
29h	ブロック先頭アドレスエラー
2Ah	アドレスエラー
2Bh	データ長エラー
51h	イレーズエラー
52h	データあり(未消去エラー)
53h	プログラムエラー
61h	IDコード不一致
63h	IDコード不一致かつイレーズエラー
80h	コマンドエラー
FFh	ビットレート自動調整エラー

34.9.5 問い合わせコマンド

問い合わせコマンドは、設定コマンドやプログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な基本情報を取得するコマンドです。表 34.15 に問い合わせコマンド一覧を示します。一覧にあるコマンドは、問い合わせ/設定ホストコマンド待ち状態でのみ使用可能です。

表 34.15 問い合わせコマンド一覧

コマンド	応答内容
サポートデバイス問い合わせ	デバイスコードとシリーズ名
データ領域有無問い合わせ	データ領域の有無
ユーザ領域情報問い合わせ	ユーザ領域の個数、領域先頭/領域最終アドレス
ブロック情報問い合わせ	ユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数

34.9.5.1 サポートデバイス問い合わせ

開発したソフトウェアのエンディアンを識別するためのデバイス情報を取得するコマンドです。

このコマンドを受信すると、本 MCU は開発したソフトウェアがリトルエンディアンで動作する場合のデバイス情報とビッグエンディアンで動作する場合のデバイスの情報を順に送信します。

コマンド

20h

レスポンス

30h	サイズ	デバイス数
文字数	デバイスコード(リトルエンディアン)	シリーズ名(リトルエンディアン)
文字数	デバイスコード(ビッグエンディアン)	シリーズ名(ビッグエンディアン)
SUM		

サイズ (1 バイト) : デバイス数、文字数、デバイスコード、シリーズ名のデータの総バイト数

デバイス数 (1 バイト) : MCU がサポートするエンディアンの種別数 (固定値で "02h")

文字数 (1 バイト) : デバイスコードとシリーズ名の文字数

デバイスコード (4 バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード

シリーズ名 (n バイト) : MCU のシリーズ名とリトルエンディアン/ビッグエンディアンの別 (ASCII コード)

SUM (1 バイト) : レスポンスデータを合計して "00h" になる値

34.9.5.2 データ領域有無問い合わせ

このコマンドを受信すると、本MCUは「データ領域なし、エリアプロテクションあり、データ領域プログラムコマンドなし」という結果を送信します。

コマンド	2Ah			
レスポンス	3Ah	サイズ	領域有無	SUM
サイズ (1バイト)	: 領域有無の文字数 (固定値で "01h")			
領域有無 (1バイト)	: データ領域の有無 (固定値で "1Dh") (データ領域なし、エリアプロテクションあり、データ領域プログラムコマンドなし)			
SUM (1バイト)	: レスポンスデータを合計して "00h" になる値 (固定値で "A8h")			

34.9.5.3 ユーザ領域情報問い合わせ

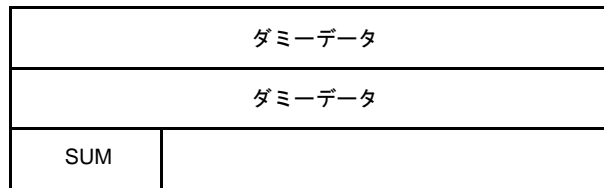
このコマンドを受信すると、本MCUはユーザ領域の領域数とアドレスの情報を送信します。

コマンド	25h		
レスポンス	35h	サイズ	領域数
	領域先頭アドレス		
	領域最終アドレス		
	SUM		
サイズ (1バイト)	: 領域数、領域先頭アドレス、領域最終アドレスのデータの総バイト数 (固定値で "09h")		
領域数 (1バイト)	: ユーザ領域の領域数 (固定値で "01h")		
領域先頭アドレス (4バイト)	: ユーザ領域の先頭アドレス		
領域最終アドレス (4バイト)	: ユーザ領域の最終アドレス		
SUM (1バイト)	: レスポンスデータを合計して "00h" になる値		

34.9.5.4 ブロック情報問い合わせ

このコマンドを受信すると、本MCUはユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を送信します。

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	ダミーデータ		



サイズ (2 バイト)	: “DDh” からユーザ領域ブロック数までのデータの総バイト数 (固定値で “00 19h”)
ユーザ領域先頭アドレス (4 バイト)	: ユーザ領域の先頭アドレス
1 ブロックブロックサイズ (ユーザ領域) (4 バイト)	: 1 ブロックのメモリサイズ (固定値で “00 00 08 00h”)
ユーザ領域ブロック数 (4 バイト)	: ユーザ領域を構成するブロックの数
ダミーデータ (12 バイト)	: ダミーデータ
SUM (1 バイト)	: レスポンスデータを合計して “00h” になる値

34.9.6 設定コマンド

設定コマンドは、本MCUのプログラムやイレーズを実行するために必要な基本設定を行うためのコマンドです。

表 34.16 に設定コマンド一覧を示します。一覧にあるコマンドは、問い合わせ / 設定ホストコマンド待ちステートでのみ使用可能です。

表 34.16 設定コマンド一覧

コマンド	機能
デバイス選択	デバイスコードの選択
動作周波数選択	通信のビットレートを変更
プログラム/イレーズホストコマンド待ちステート遷移	プログラム/イレーズホストコマンド待ちステート、またはブートモードIDコード認証ステートに遷移

34.9.6.1 デバイス選択

開発したソフトウェアのエンディアンを指定するコマンドです。コマンドに指定するデバイスコードは、サポートデバイス問い合わせコマンドで取得したデバイスコードの中から選択してください。

本MCUは受け取ったデバイスコードがサポートしているデバイスに一致した場合、レスポンス“46h”を送信します。サポートしていないデバイスであった場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

コマンド	10h	サイズ	デバイスコード	SUM
------	-----	-----	---------	-----

サイズ (1 バイト) : デバイスコードの文字数 (固定値で“04h”)

デバイスコード (4 バイト) : 開発したソフトウェアのエンディアンを認識するための認識コード
(サポートデバイス問い合わせコマンドの応答と同一のデバイスコード)

SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス

46h

エラーレスポンス

90h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“21h” : デバイスコードエラー

34.9.6.2 動作周波数選択

MCUの動作周波数、フラッシュメモリプログラマとの通信ビットレートを指定するコマンドです。コマンドに指定するビットレートは、動作電圧に応じた32 MHzか8 MHzを分周して得られるビットレートとの誤差が4%未満となるビットレートを設定してください。

本MCUは指定された設定内容がサポート可能である場合、レスポンス“06h”を送信します。ビットレート誤差が4%以上の場合や、受信したコマンドのSUM値が一致しなかった場合には、エラーレスポンスを送信します。

ホストはレスポンスを受信した後、旧ビットレートで1ビット期間以上待ってから新ビットレートで通信確認データを送信してください。

本MCUは通信確認データを正しく受信できた場合、レスポンス“06h”を送信します。正しく受信できなかった場合には、エラーレスポンスを送信します。

コマンド	3Fh	サイズ	ビットレート		ダミーデータ
	クロック数	通倍率1	通倍率2		
	SUM				

サイズ (1 バイト) : ビットレート、ダミーデータ、クロック数、通倍率のデータの総バイト数 (固定値で“07h”)

ビットレート (2 バイト) : 新ビットレート

ビットレート値を 1/100 した値を設定 (例: 19200 bps の場合、“00C0h” を設定)

ダミーデータ (2 バイト) : 固定値で“0000h”を設定

クロック数 (1 バイト) : 通倍率を設定するクロックの種類 (固定値: “02h”)

通倍率 1 (1 バイト) : システムクロック (ICLK) の通倍率 (固定値で “01h”)

通倍率 2 (1 バイト) : 周辺モジュールクロック (PCLK) の通倍率 (固定値で “01h”)

SUM (1 バイト) : コマンドデータ (ダミーデータを含む) を合計して “00h” になる値

レスポンス

06h

エラーレスポンス

BFh

エラー

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“24h” : ビットレート選択エラー

通信確認

06h

レスポンス

06h

エラーレスポンス

FFh

- ビットレート選択エラー

動作周波数選択コマンドで指定したビットレートを、本MCUが誤差4%未満で生成できない場合にビットレート選択エラーが発生します。

動作周波数選択コマンドで指定した新ビットレートをB、動作電圧に応じた32 [MHz] か8 [MHz] をPφにした場合のビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 [\%]} = \left(\frac{P\phi \times 10^6}{B \times 32 \times N} - 1 \right) \times 100$$

$$N = \text{INT} \left(\frac{P\phi \times 10^6}{B \times 32} \right)$$

Pφ : 動作電圧が3.0 V 以上の場合、32 [MHz]
3.0 V 未満の場合、8 [MHz]

B : 新ビットレート [bps]

N : Pφと新ビットレートの32倍との比 (ただし、 $1 \leq N \leq 256$)

34.9.6.3 プログラム/イレーズホストコマンド待ちステート遷移

問い合わせ/設定ホストコマンド待ちステートからプログラム/イレーズホストコマンド待ちステートに遷移させるために使用するコマンドです。このコマンドを受信すると、本MCUはブートモードIDコードプロテクトの有効、無効を判定します。

ブートモードIDコードプロテクトが無効の場合、ユーザ領域のすべてのブロックをイレーズします。すべてのブロックのイレーズが完了するとレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。正しくすべてのブロックをイレーズできなかった場合には、エラーレスポンスを送信します。

ブートモードIDコードプロテクトが有効の場合、レスポンス“16h”を送信し、ブートモードIDコード認証ステートに遷移します。

コマンド

40h

レスポンス

ACK

ACK (1 バイト) : ACK コード

“06h” : IDコードプロテクト無効

“16h” : IDコードプロテクト有効

エラーレスポンス

C0h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“51h” : イレーズエラー

34.9.7 IDコード認証コマンド

IDコード認証コマンドは、ブートモードIDコードプロテクトが有効の場合に、IDコード認証を行うためのコマンドです。表 34.17 に ID コード認証コマンド一覧を示します。一覧にあるコマンドは、ブートモードIDコード認証ステートでのみ使用可能です。

表 34.17 IDコード認証コマンド一覧

コマンド	機能
IDコードチェック	ホストから送信する16バイトのコードとIDコードとを比較する

34.9.7.1 IDコードチェック

ブートモードIDコードプロテクトを解除するために使用するコマンドです。コマンド中で指定する比較用IDコードは、ユーザ領域にプログラム済みの制御コード、IDコード1～IDコード15と同じ値にしてください。

ホストから送信した比較用IDコードと、ユーザ領域にプログラムされたIDコードが一致した場合、本MCUはレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートに遷移します。一致しなかった場合や受信したコマンドのSUM値が一致しなかった場合、エラーレスポンスを送信します。

制御コードに“45h”がプログラムされているときに3回連続で不一致となった場合、ユーザ領域のすべてのブロックをイレーズします。イレーズ中にエラーが発生すると、本MCUはエラーレスポンスを送信します。また、すべてのブロックのイレーズが正常に完了してもエラーレスポンスを送信し、ブートモードIDコード認証ステートを継続します。プログラム/イレーズホストコマンド待ちステートに遷移するには、本MCUをリセットしてください。

コマンド	60h	サイズ
	比較用IDコード(制御コード+IDコード1～IDコード15)	
	SUM	

サイズ(1バイト) : IDコードのバイト数(固定値で“10h”)
 IDコード(16バイト) : 制御コード(1バイト)+IDコード1～IDコード15(15バイト)
 SUM(1バイト) : コマンドデータを合計して“00h”になる値

レスポンス	ACK
-------	-----

ACK(1バイト) : ACKコード
 “06h” : プログラム/イレーズホストコマンド待ちステートへ遷移します。

エラーレスポンス	E0h	エラー
----------	-----	-----

エラー(1バイト) : エラーコード
 “11h” : SUMエラー
 “61h” : IDコード不一致
 “63h” : IDコード不一致かつイレーズエラー

34.9.8 プログラム/イレーズコマンド

プログラム/イレーズコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域に対してプログラムやイレーズを行うコマンドです。表 34.18 にプログラム/イレーズホストコマンド待ち、プログラム待ち、イレーズ待ちの各状態で使用可能なプログラム/イレーズコマンドの一覧を、表 34.19 に各状態で受け付けるコマンドを示します。

各状態で表 34.19 に記載されていないコマンドを受信するとコマンドエラーのレスポンスを送信します。

表34.18 プログラム/イレーズコマンド一覧

コマンド	機能
ユーザ領域プログラム準備	ユーザ領域にデータをプログラムするためのプログラム待ち状態へ遷移
プログラム	ユーザ領域の指定領域に指定したデータをプログラム。 またはプログラム/イレーズホストコマンド待ち状態へ遷移(プログラムの終了)
イレーズ準備	イレーズ待ち状態へ遷移
ブロックイレーズ	指定ブロックのイレーズ、またはプログラム/イレーズホストコマンド待ち状態へ遷移 (イレーズの終了)

表34.19 ステート毎の受け付け可能なコマンド

ステート	受け付けるコマンド
プログラム/イレーズホストコマンド待ち状態	ユーザ領域プログラム準備コマンド、イレーズ準備コマンド
プログラム待ち状態	プログラムコマンド
イレーズ待ち状態	ブロックイレーズコマンド

34.9.8.1 ユーザ領域プログラム準備

プログラムコマンドの受け付け準備をさせるためのコマンドです。このコマンドを受信すると、本MCUはプログラムの準備の指示がホストから行われたと判断し、プログラムコマンドのみ受け付ける、プログラム待ち状態へ遷移し、レスポンス“06h”を送信します。

コマンド

43h

レスポンス

06h

34.9.8.2 プログラム

ユーザ領域に指定のデータをプログラムするためのコマンドです。コマンド中で指定するプログラムアドレスは、下位 8 ビットを“0”にしてください。プログラムデータ長が 256 バイトに満たないデータを書き込むことはできません。不足部分は“FFh”で埋めてください。

本 MCU は指定されたアドレスからのプログラムが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドの SUM 値が一致しなかった場合や、プログラム中にエラーが発生すると、本 MCU はエラーレスポンスを送信します。

プログラムを終了してプログラム/イレーズホストコマンド待ちステートへ遷移する場合、ホストから“50h FFh FFh FFh FFh B4h”を送信してください。本 MCU はレスポンス“06h”を送信し、プログラム/イレーズホストコマンド待ちステートへ遷移します。

コマンド	50h	プログラムアドレス
	プログラムデータ	
	SUM	

プログラムアドレス (4 バイト) : プログラム先のアドレス

下位 8 ビットを“0”に設定

プログラムを終了する場合は“FFFF FFFFh”を設定

プログラムデータ (n バイト) : プログラムデータ (n = 256 または 0 (終了時))

n バイトに満たない領域には“FFh”を設定

プログラムを終了する場合はプログラムデータなし

SUM (1 バイト)

: コマンドデータを合計して“00h”になる値

レスポンス

06h

エラーレスポンス

D0h	エラー
-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (アドレスが指定の領域内がない)

“53h” : プログラムエラー (データまたはプログラムデータが書き込めない)

34.9.8.3 イレーズ準備

ブロックイレーズコマンドの受け付け準備をさせるためのコマンドです。このコマンドを受信すると、本MCUはイレーズの準備の指示がホストから行われたと判断し、ブロックイレーズコマンドのみ受け付ける、イレーズ待ちステートへ遷移し、レスポンス“06h”を送信します。

コマンド	48h
レスポンス	06h

34.9.8.4 ブロックイレーズ

ユーザ領域の指定のブロックをイレーズするためのコマンドです。コマンド中で指定するブロック先頭アドレスは、ブロック情報問い合わせコマンドのレスポンスを元にアドレスを計算して指定してください。

本MCUはブロック先頭アドレスで指定されたブロックのイレーズが正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、イレーズ中にエラーが発生すると、本MCUはエラーレスポンスを送信します。

イレーズを終了してプログラム/イレーズホストコマンド待ちステートへ遷移する場合、ホストから“59h 04h FFh FFh FFh FFh A7h”を送信してください。本MCUはプログラム/イレーズホストコマンド待ちステートへ遷移し、レスポンス“06h”を送信します。

コマンド	59h	サイズ
	ブロック先頭アドレス	
	SUM	

サイズ (1 バイト) : ブロック先頭アドレスのデータの総バイト数 (固定値で“04h”)
 ブロック先頭アドレス (4 バイト) : イレーズするブロックの先頭アドレス
 イレーズを終了する場合には“FFFF FFFFh”を設定
 SUM (1 バイト) : コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	D9h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “29h” : ブロック先頭アドレスエラー
 “51h” : イレーズエラー (指定ブロックがイレーズできない)

34.9.9 リードチェックコマンド

リードチェックコマンドは、問い合わせコマンドのレスポンスをもとに、本MCUのユーザ領域に対してデータリードやブランクチェックを行うコマンドです。表 34.20 にプログラム/イレーズホストコマンド待ち状態で使用可能なリードチェックコマンドの一覧を示します。

表 34.20 リードチェックコマンド一覧

コマンド	機能
メモリリード	ユーザ領域のデータ読み出し
ユーザ領域チェックサム	ユーザ領域全体のチェックサムを取得
ユーザ領域ブランクチェック	ユーザ領域の書き込みデータの有無をチェック
アクセスウィンドウ情報プログラム	アクセスウィンドウの設定
アクセスウィンドウリード	アクセスウィンドウの設定読み出し

34.9.9.1 メモリリード

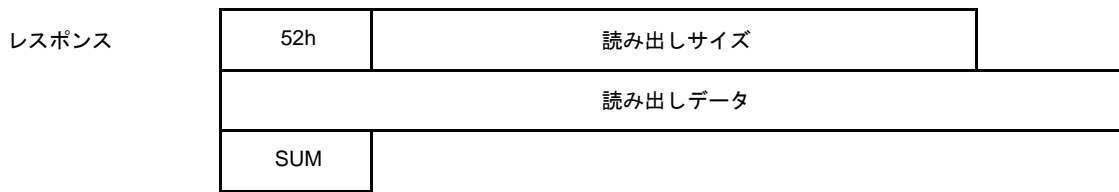
ユーザ領域にプログラムされているデータを読み出すコマンドです。コマンド中で指定する読み出し先頭アドレスは、ユーザ領域情報問い合わせコマンドのレスポンス中の領域先頭アドレスから領域最終アドレスまでの範囲内の値を設定してください。

コマンド中で指定する読み出しサイズは、読み出し先頭アドレスに読み出しサイズを加算したアドレスが、ユーザ領域情報問い合わせコマンドのレスポンス中の領域先頭アドレスから領域最終アドレスまでの範囲に入るように設定してください。

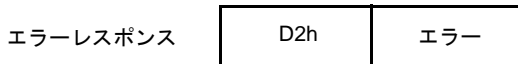
本MCUはデータを正常にリードできた場合、指定された範囲のデータを送信します。受信したコマンドのSUM値が一致しなかった場合や、リードを正常に実行できなかった場合、エラーレスポンスを送信します。

コマンド	52h	サイズ	領域
	読み出し先頭アドレス		
	読み出しサイズ		
	SUM		

- サイズ (1 バイト) : 領域、読み出し先頭アドレス、読み出しサイズのデータの総バイト数
 領域 (1 バイト) : 読み出し対象の領域
 "01h" : ユーザ領域
 読み出し先頭アドレス (4 バイト) : 読み出し対象範囲の先頭アドレス
 読み出しサイズ (4 バイト) : 読み出すデータのサイズ (バイト単位)
 SUM (1 バイト) : コマンドデータを合計して "00h" になる値



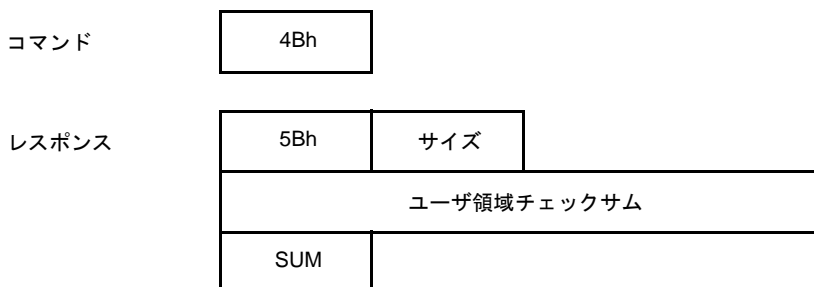
読み出しサイズ (4 バイト) : 読み出したデータのサイズ (バイト単位)
 読み出しデータ (n バイト) : 指定範囲から読み出したデータ (n = 読み出しサイズ)
 SUM (1 バイト) : レスポンスデータを合計して “00h” になる値



エラー (1 バイト) : エラーコード
 “11h” : SUM エラー
 “2Ah” : アドレスエラー
 ・ 領域で “01h” 以外を指定
 ・ 読み出し先頭アドレスが指定した領域の領域外である
 “2Bh” : サイズエラー
 ・ コマンドの読み出しサイズに “0000 0000h” が指定されている
 ・ コマンドの読み出しサイズが指定の領域のサイズを超えている
 ・ コマンドの読み出し先頭アドレスと読み出しサイズを加算したアドレスが指定された領域の範囲外である

34.9.9.2 ユーザ領域チェックサム

ユーザ領域全体のチェックサムを取得するコマンドです。このコマンドを受信すると、本 MCU はユーザ領域の先頭アドレスから最終アドレスまでのデータをバイト単位で加算し、加算結果 (チェックサム) をレスポンスとして送信します。



サイズ (1 バイト) : ユーザ領域チェックサムのバイト数 (固定値で “04h”)
 ユーザ領域チェックサム (4 バイト) : ユーザ領域のデータを 1 バイト単位で加算した結果
 SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

34.9.9.3 ユーザ領域ブランクチェック

ユーザ領域にデータがプログラムされているかどうかを確認するコマンドです。このコマンドを受信すると、本 MCU はユーザ領域全体のブランクチェックを行い、データがプログラムされていない場合、レスポンス “06h” を送信します。1 バイトでもデータがプログラムされている場合には、エラーレスポンスを送信します。



レスポンス	06h	
エラーレスポンス	CDh	エラー
エラー (1 バイト) : エラーコード		
"52h" : データあり		

34.9.9.4 アクセスウィンドウ情報プログラム

エリアプロテクションで使用するアクセスウィンドウを設定するコマンドです。コマンド中で指定するアクセスウィンドウ先頭アドレスには、スタートブロックの先頭アドレスを指定してください。また、アクセスウィンドウ最終アドレスには、エンドブロックの最終アドレスを指定してください。

本MCUは指定されたアクセスウィンドウの設定が正常に終了すると、レスポンス“06h”を送信します。受信したコマンドのSUM値が一致しなかった場合や、アクセスウィンドウの設定中にエラーが発生すると、エラーレスポンスを送信します。

アクセスウィンドウの詳細については、「34.5 エリアプロテクション」を参照してください。

コマンド	74h	05h	AW区分	
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	SUM			

AW 区分 (1 バイト)	: アクセスウィンドウの設定 / 解除 アクセスウィンドウを設定する場合には“00h”を設定 アクセスウィンドウを解除する場合には“FFh”を設定
AW 先頭アドレス LH (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8) スタートブロック先頭アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には“FFh, FFh”を設定
AW 先頭アドレス HL (1 バイト)	: アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16) スタートブロック先頭アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には“FFh, FFh”を設定
AW 最終アドレス LH (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A15 ~ A8) エンドブロック最終アドレスの A15 ~ A8 を設定 アクセスウィンドウを解除する場合には“FFh, FFh”を設定
AW 最終アドレス HL (1 バイト)	: アクセスウィンドウ範囲の最終アドレス (A23 ~ A16) エンドブロック最終アドレスの A23 ~ A16 を設定 アクセスウィンドウを解除する場合には“FFh, FFh”を設定
SUM (1 バイト)	: コマンドデータを合計して“00h”になる値

レスポンス	06h
-------	-----

エラーレスポンス	F4h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

“2Ah” : アドレスエラー (指定されたアドレスが領域内がない)

“53h” : プログラムエラー (アクセスウィンドウの設定ができない)

34.9.9.5 アクセスウィンドウリード

設定されているアクセスウィンドウの範囲を確認するためのコマンドです。

本MCUはアクセスウィンドウの範囲を正常に取得できた場合、読み出したアクセスウィンドウ先頭アドレスとアクセスウィンドウ最終アドレスを送信します。受信したコマンドのSUM値が一致しなかった場合、エラーレスポンスを送信します。

コマンド	73h	01h	FFh	8Dh
------	-----	-----	-----	-----

レスポンス	73h	05h		
	AW先頭 アドレスLH	AW先頭 アドレスHL	AW最終 アドレスLH	AW最終 アドレスHL
	FFh			
	SUM			

AW 先頭アドレス LH (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A15 ~ A8)

AW 先頭アドレス HL (1 バイト) : アクセスウィンドウ範囲の先頭アドレス (A23 ~ A16)

AW 最終アドレス LH (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A15 ~ A8)

AW 最終アドレス HL (1 バイト) : アクセスウィンドウ範囲の最終アドレス (A23 ~ A16)

SUM (1 バイト) : レスポンスデータを合計して “00h” になる値

エラーレスポンス	F3h	エラー
----------	-----	-----

エラー (1 バイト) : エラーコード

“11h” : SUM エラー

34.10 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明

ブートモード (SCI インタフェース) を用いたシリアルプログラマで、ユーザ領域のプログラム / イレーズを行う手順を説明します。

1. ビットレート自動調整
2. MCU の情報を取得 (注 1)
3. デバイスの指定、ビットレートの変更
4. プログラム / イレーズホストコマンド待ち状態への遷移
5. ブートモード ID コードプロテクトの解除
6. ユーザ領域のイレーズ (注 2、注 3)
7. ユーザ領域のプログラム (注 2、注 3)
8. ユーザ領域のデータを確認 (注 2)
9. ユーザ領域にアクセスウィンドウを設定
10. MCU のリセット

注 1. 2. の処理は、取得する情報が既にある場合、省略可能です。

注 2. 6. ~ 9. の処理は、必要に応じて行ってください。また実行順を入れ替えても構いません。

注 3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、10. の処理を行ってください。

上記 2. ~ 9. の処理で使用するコマンドの詳細は、それぞれ「34.9.5 問い合わせコマンド」、「34.9.6 設定コマンド」、「34.9.7 ID コード認証コマンド」、「34.9.8 プログラム / イレーズコマンド」、「34.9.9 リードチェックコマンド」を参照してください。

34.10.1 ビットレート自動調整の制御手順

MCUはシリアルプログラマから9,600 bpsまたは19,200 bpsで送信されるデータ“00h”のLow期間を測定してビットレートの自動調整を行います。

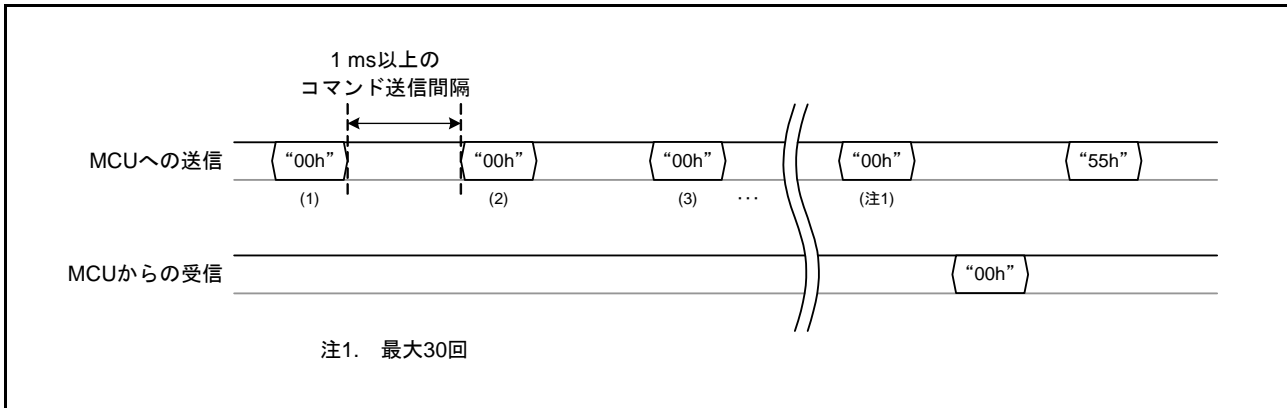


図 34.21 ビットレート自動調整時のデータフォーマット

ブートモードで起動して400 ms以上経過した後にシリアルプログラマから“00h”を送信してください。MCUはビットレート調整が終了すると“00h”をシリアルプログラマへ送信します。シリアルプログラマが“00h”を受信した場合には、シリアルプログラマから“55h”を送信してください。“00h”を受信できなかった場合は、1 ms以上置いて再度“00h”を送信してください。30回“00h”を送信しても“00h”を受信できなかった場合は、MCUをブートモードで再起動し、再度ビットレート自動調整をやり直してください。

MCUは“55h”を受信すると“E6h”を送信して問い合わせ/設定コマンド待ち状態になります。“55h”を受信できなかった場合には“FFh”を送信します。シリアルプログラマは“FFh”を受信したら、MCUをブートモードで再起動し、再度ビットレート自動調整からやり直してください。

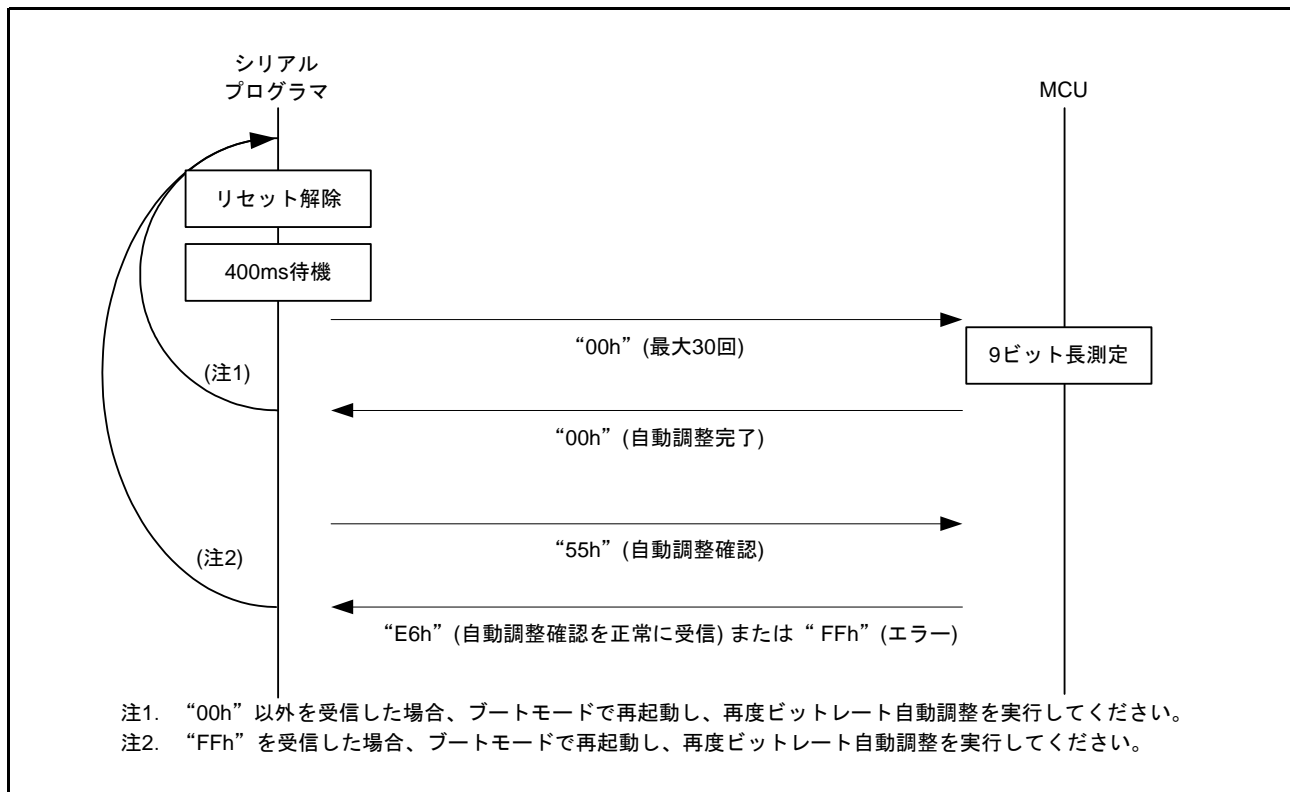


図 34.22 ビットレート自動調整の手順

34.10.2 MCU の情報取得手順

問い合わせコマンドを送信し、設定コマンドとプログラム/イレーズコマンド、リードチェックコマンドを送信するために必要な情報を取得します。

- (1) MCU がどのエンディアンをサポートしているのかを確認するため、サポートデバイス問い合わせコマンド“20h”を送信します。MCU はサポートしているすべてのデバイスコードとシリーズ名を応答します。
- (2) ユーザ領域の先頭アドレスと最終アドレスを確認するため、ユーザ領域情報問い合わせコマンド“25h”を送信します。MCU はユーザ領域の先頭アドレスと最終アドレスを応答します。
- (3) ブロックの構成を確認するため、ブロック情報問い合わせコマンド“26h”を送信します。MCU はユーザ領域の先頭アドレス、1ブロックのブロックサイズ、ブロック数を応答します。

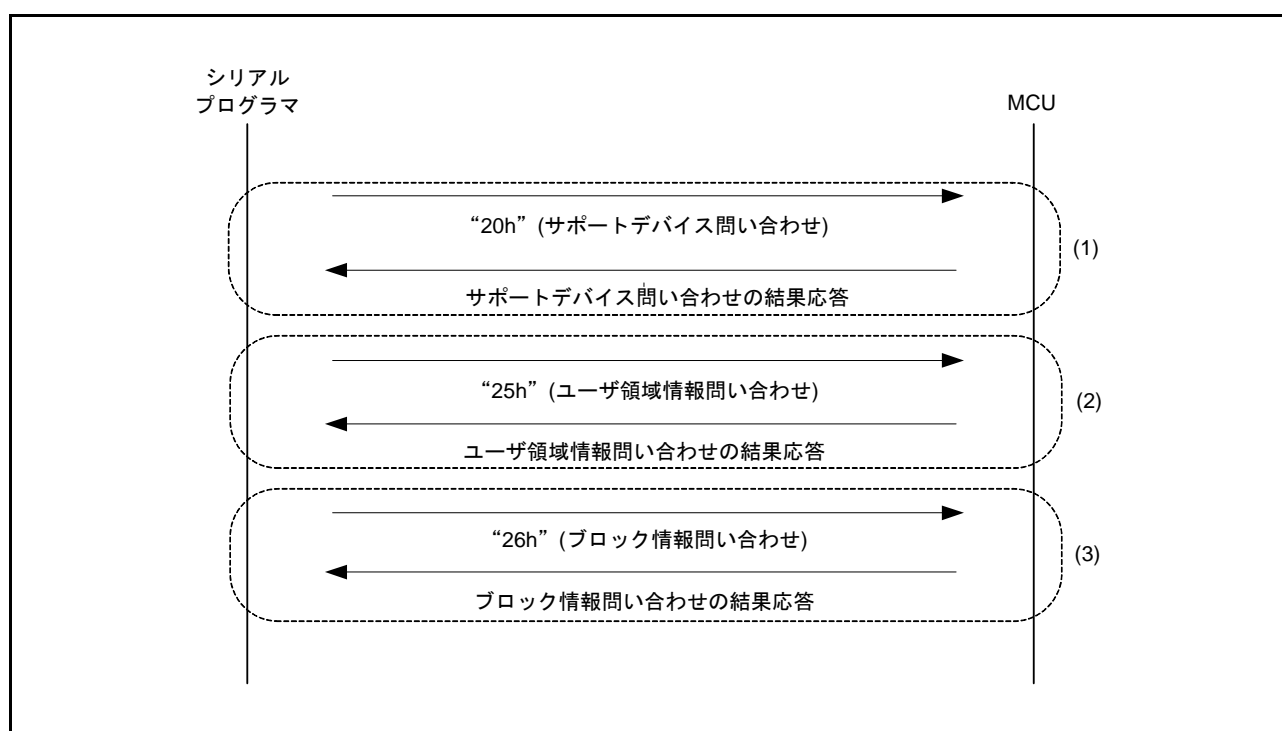


図 34.23 MCU の情報取得手順

34.10.3 デバイス指定、ビットレート変更の制御手順

シリアルプログラマと接続するデバイスの指定と通信ビットレートの変更を行います。

- (1) デバイス選択コマンド“10h”を送信します。開発したソフトウェアのエンディアンに合わせて、デバイスコードを指定してください。
- (2) 通信ビットレートを 9,600 bps または 19,200 bps から変更するため、動作周波数選択コマンド“3Fh”を送信します。

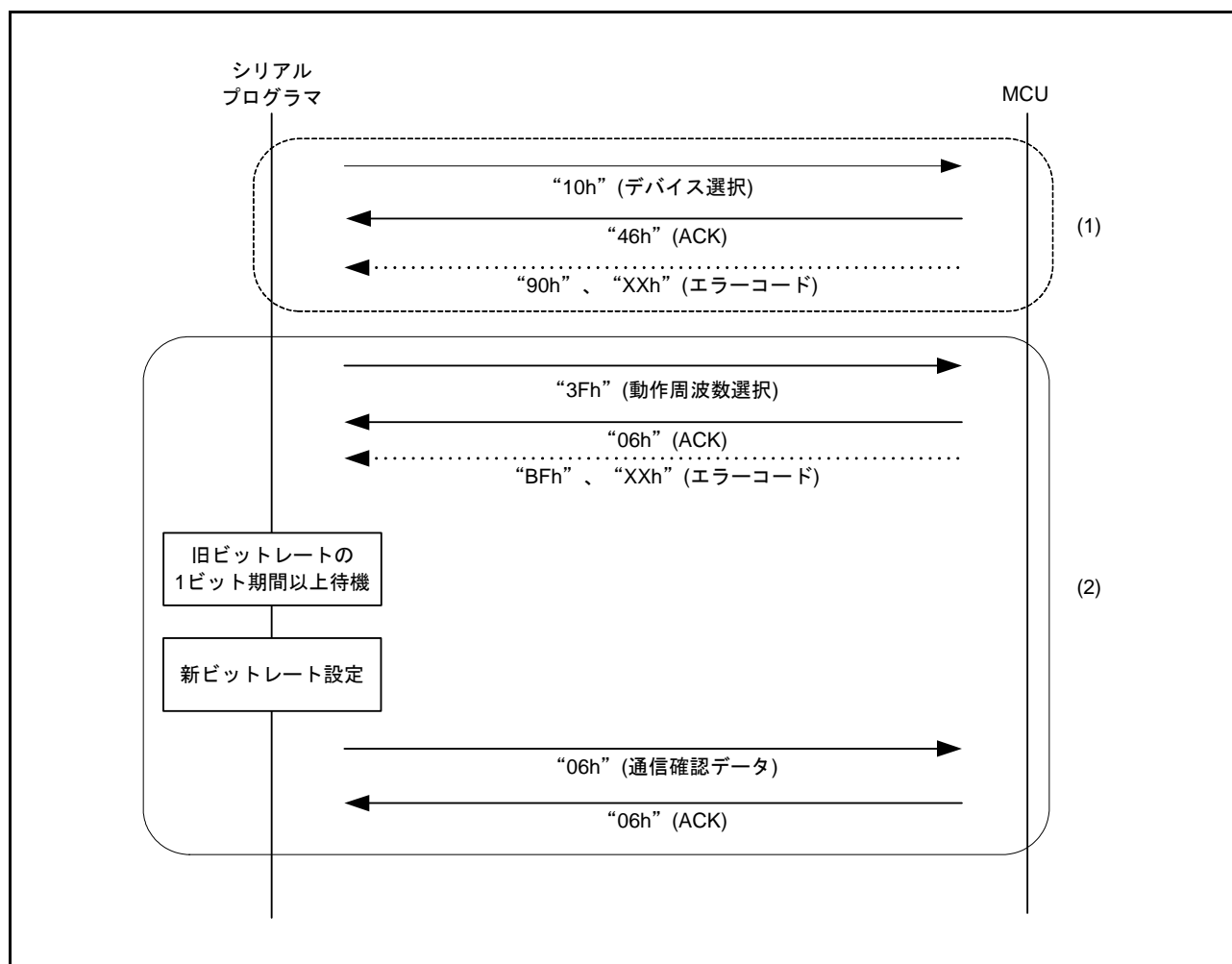


図 34.24 デバイス指定、ビットレート変更の手順

34.10.4 プログラム/イレーズホストコマンド待ち状態への遷移手順

プログラム/イレーズを行うため、プログラム/イレーズホストコマンド待ち状態遷移コマンドを送信します。MCUはブートモードIDコードプロテクトの有効/無効に応じてレスポンスを送信します。

- (1) ブートモードIDコードプロテクトが無効の場合、MCUはレスポンス“06h”を応答し、プログラム/イレーズホストコマンド待ち状態に遷移します。シリアルプログラマは「34.10.6 ユーザ領域のイレーズ手順」から実行してください。
- (2) ブートモードIDコードプロテクトが有効の場合、MCUはレスポンス“16h”を応答し、IDコード認証状態に遷移します。シリアルプログラマは「34.10.5 ブートモードIDコードプロテクトの解除手順」から実行してください。

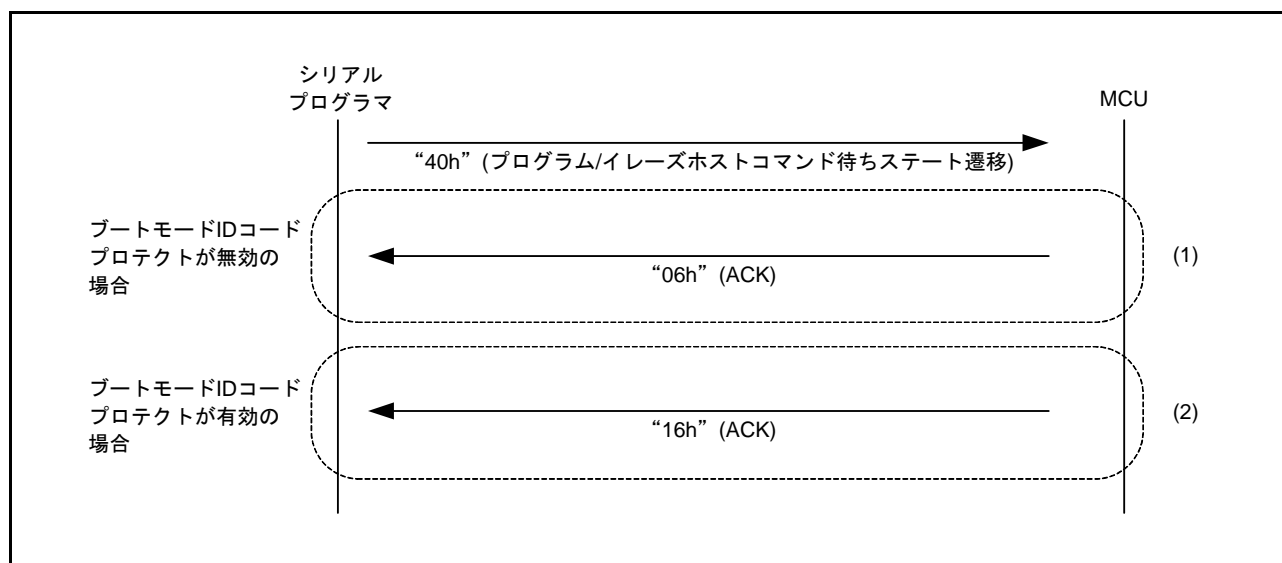


図 34.25 プログラム/イレーズホストコマンド待ち状態への遷移手順

34.10.5 ブートモード ID コードプロテクトの解除手順

ブートモード ID コードプロテクトを解除するため、ID コードチェックコマンドを送信します。

- (1) ID コードが一致した場合、MCU はプログラム / イレーズホストコマンド待ちステートに遷移します。このとき、ユーザ領域のデータは消去されません。シリアルプログラマは「34.10.6 ユーザ領域のイレーズ手順」から実行してください。
- (2) ID コードが不一致の場合、MCU はブートモード ID コード認証ステートから遷移しません。シリアルプログラマは MCU をリセット後「34.10.1 ビットレート自動調整の制御手順」から再実行してください。

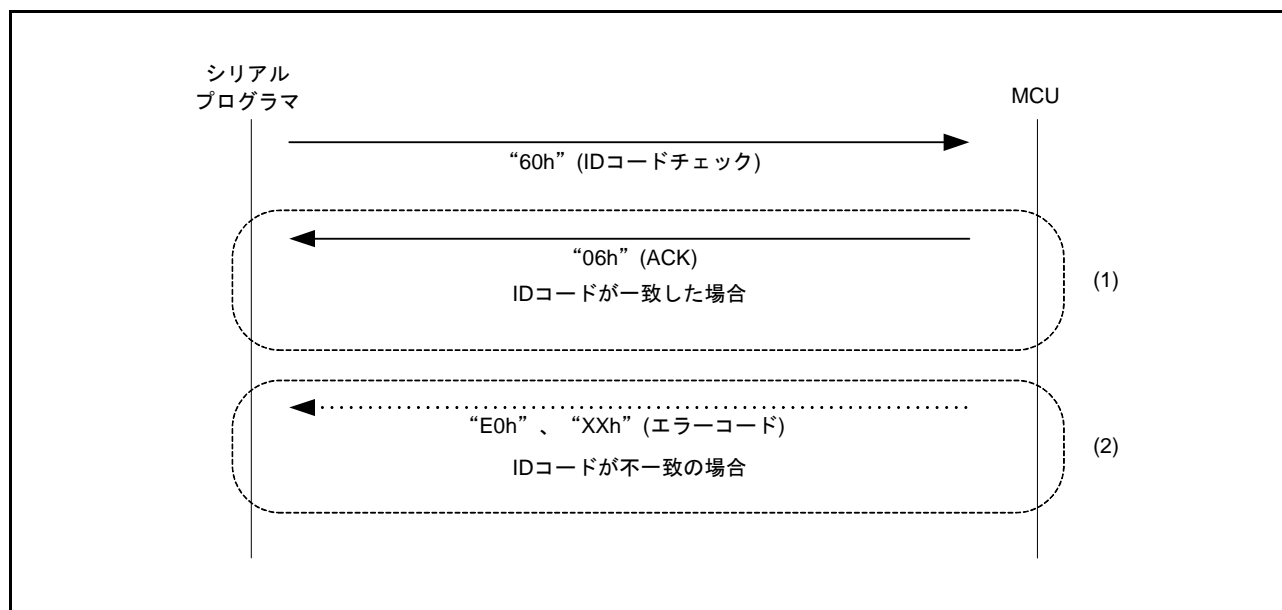


図 34.26 ブートモード ID コードプロテクトの解除手順

34.10.6 ユーザ領域のイレーズ手順

ユーザプログラムやデータを書き込むために、ユーザ領域を消去します。

- (1) イレーズ準備コマンド“48h”を送信します。
- (2) ブロックイレーズコマンド“59h”を送信します。
- (3) プログラム/イレーズホストコマンド待ち状態へ遷移するため、イレーズを終了するブロックイレーズコマンド“59h 04h FFh FFh FFh FFh A7h”を送信します。

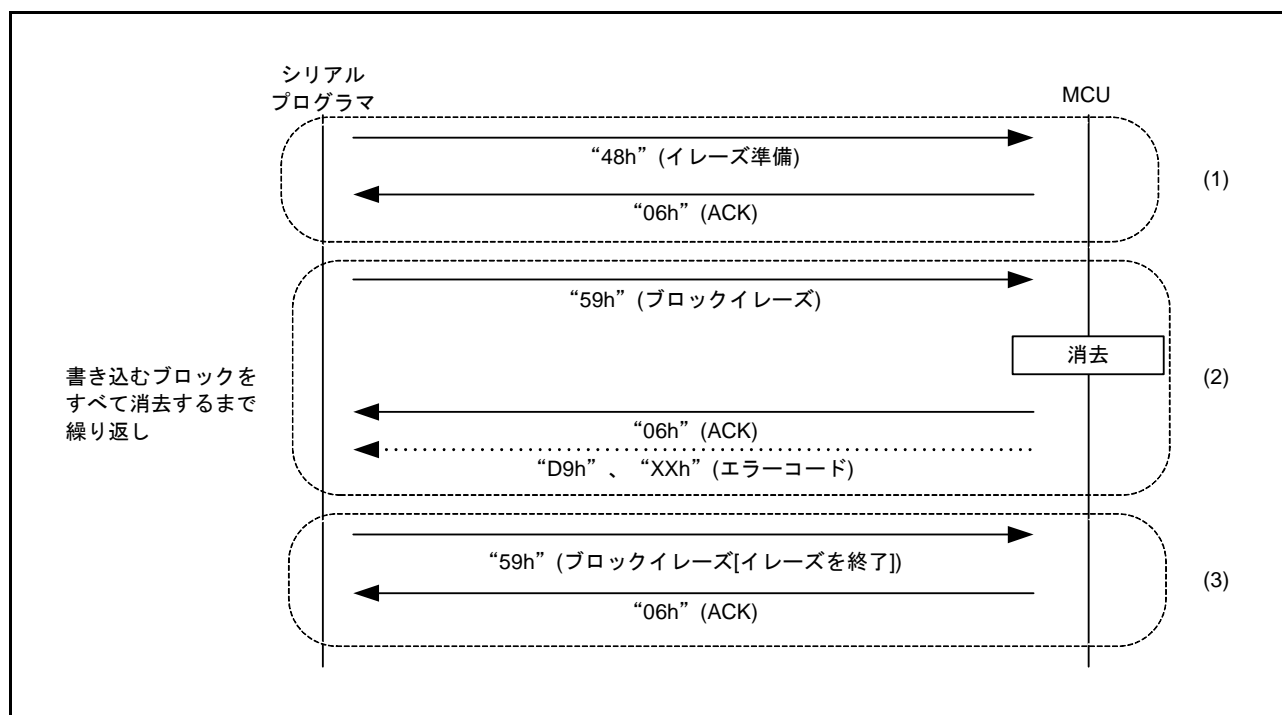


図 34.27 ユーザ領域のイレーズ手順

34.10.7 ユーザ領域のプログラム手順

ユーザ領域にユーザプログラムやデータを書き込みます。

- (1) ユーザ領域プログラム準備コマンド“43h”を送信します。
- (2) プログラムコマンド“50h”を送信します。
- (3) プログラム/イレーズホストコマンド待ち状態へ遷移するため、プログラムを終了するプログラムコマンド“50h FFh FFh FFh B4h”を送信します。

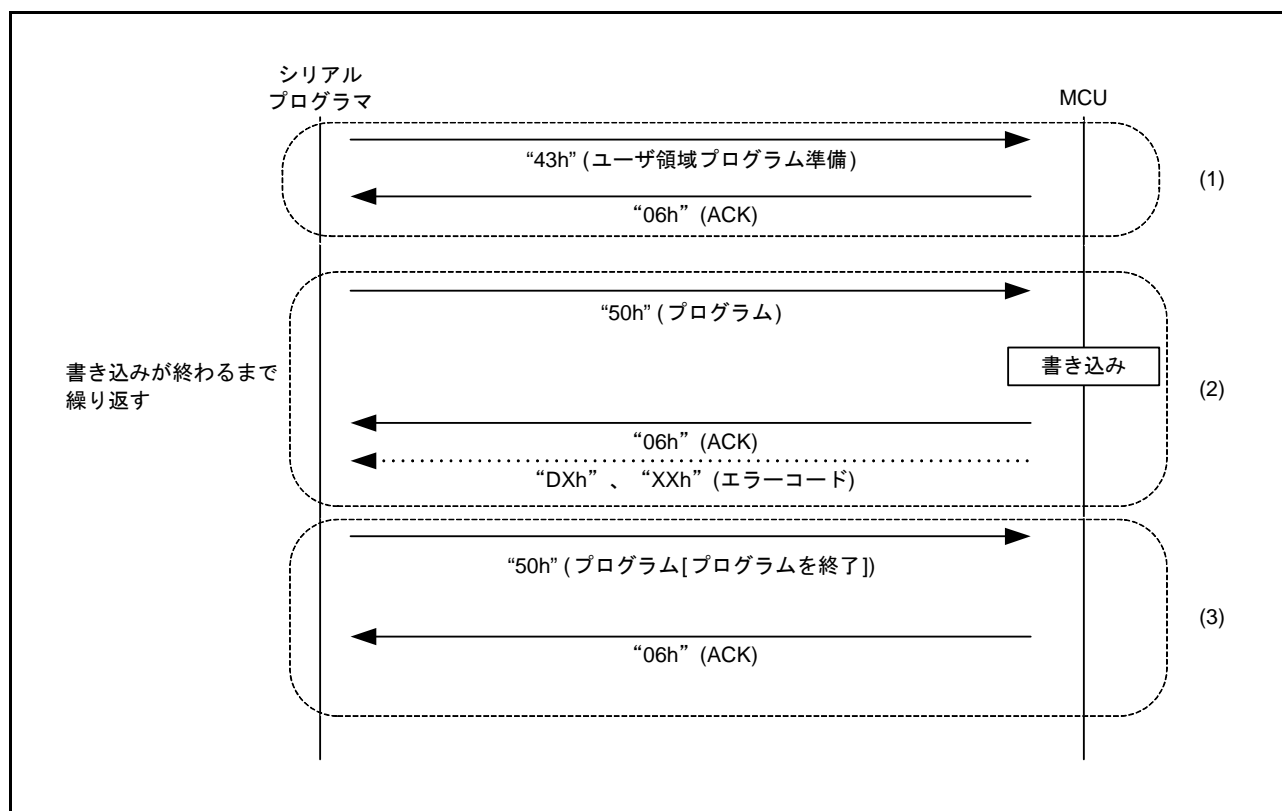


図 34.28 ユーザ領域のプログラム手順

34.10.8 ユーザ領域のデータ確認手順

ユーザ領域に書き込まれたデータを確認するため、ユーザ領域のリードチェック、チェックサム、ブランクチェックを行います。

- (1) リードチェックは、ユーザ領域にあるデータを読み出して書き込んだ値と比較することで、書き込み動作が正常に行われたかを確認します。ユーザ領域にあるデータを読み出すために、メモリリードコマンド“52h”を送信します。
- (2) ユーザ領域のチェックサム値でプログラムデータを確認するため、ユーザ領域チェックサムコマンド“4Bh”を送信します。
- (3) ユーザ領域にデータがあるかないかを確認するため、ユーザ領域ブランクチェックコマンド“4Dh”を送信します。

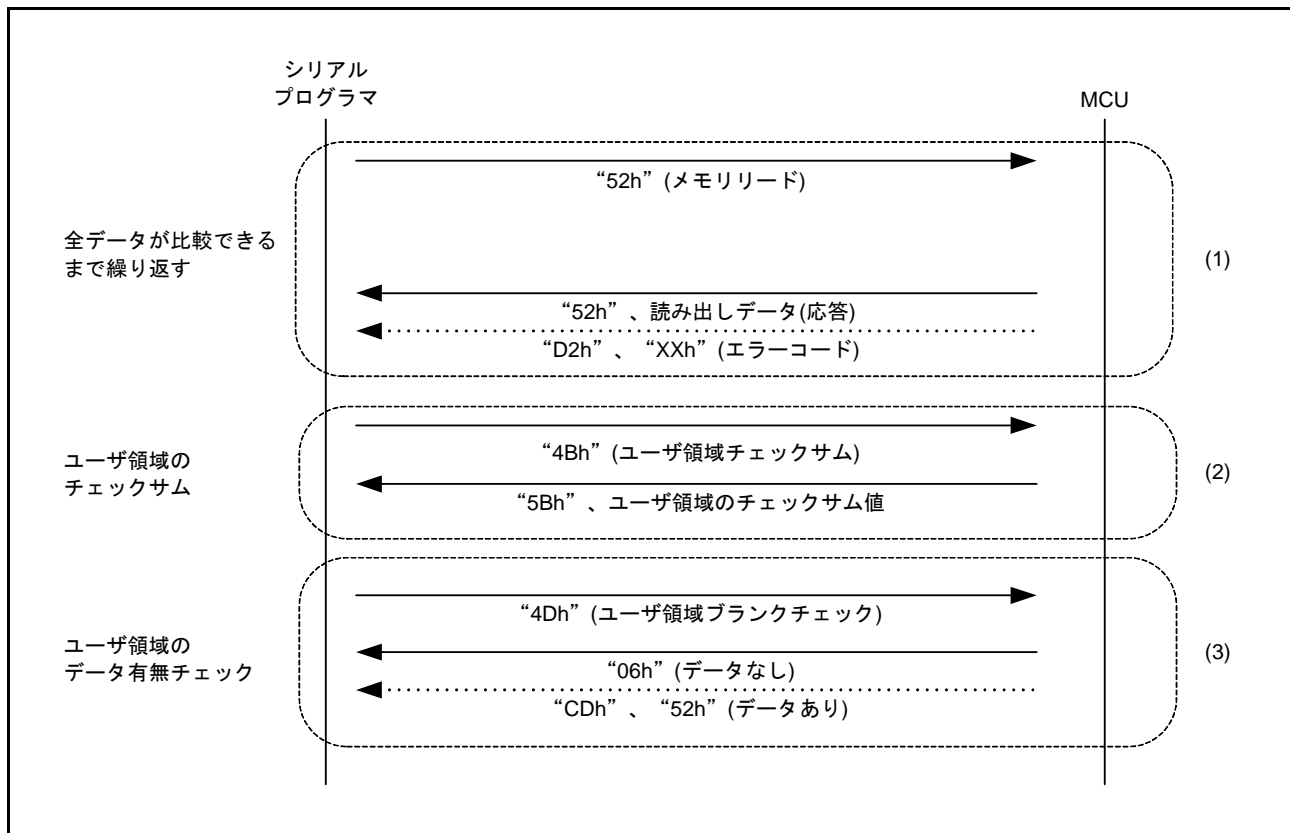


図 34.29 ユーザ領域のデータ確認手順

34.10.9 ユーザ領域のアクセスウィンドウ設定手順

セルフプログラミングで、ユーザ領域の意図しない書き換えを防ぐため、アクセスウィンドウの設定を行います。

- (1) アクセスウィンドウの設定を行うため、アクセスウィンドウ情報プログラムコマンド“74h”を送信します。
- (2) アクセスウィンドウの設定を確認するため、アクセスウィンドウリードコマンド“73h”を送信します。

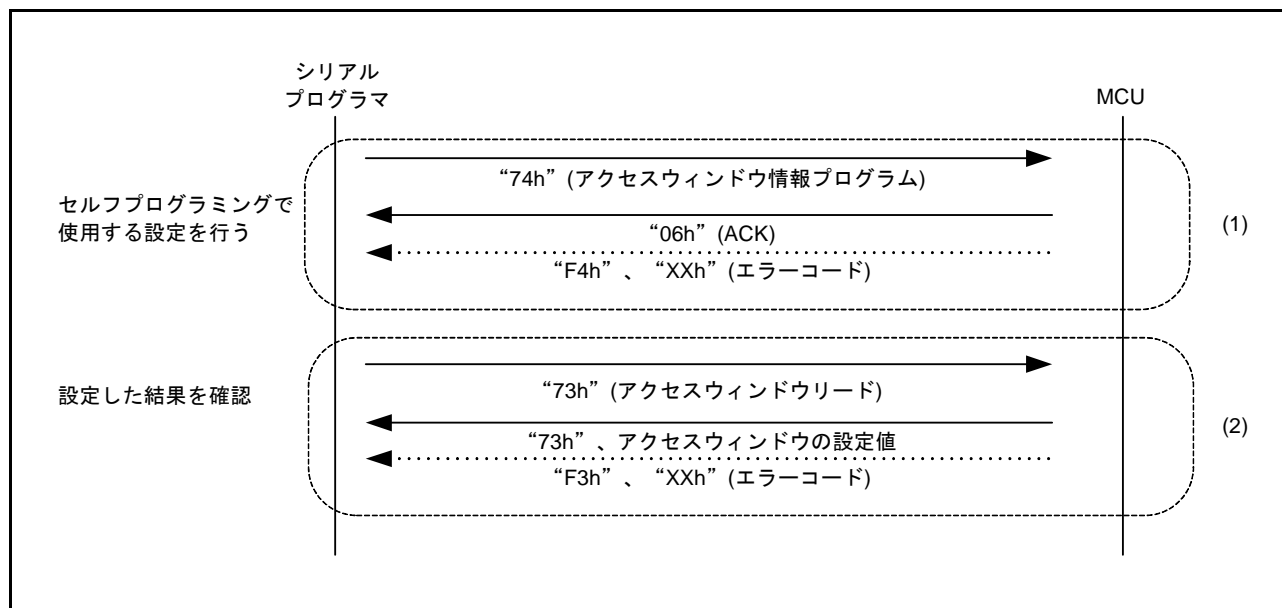


図 34.30 ユーザ領域のアクセスウィンドウ設定手順

34.11 セルフプログラミングでの書き換え

34.11.1 概要

本MCUは、ユーザプログラム自身によるフラッシュメモリの書き換えをサポートします。ユーザプログラム内にフラッシュ書き換えルーチンを用意することにより、ROMを書き換えることができます。

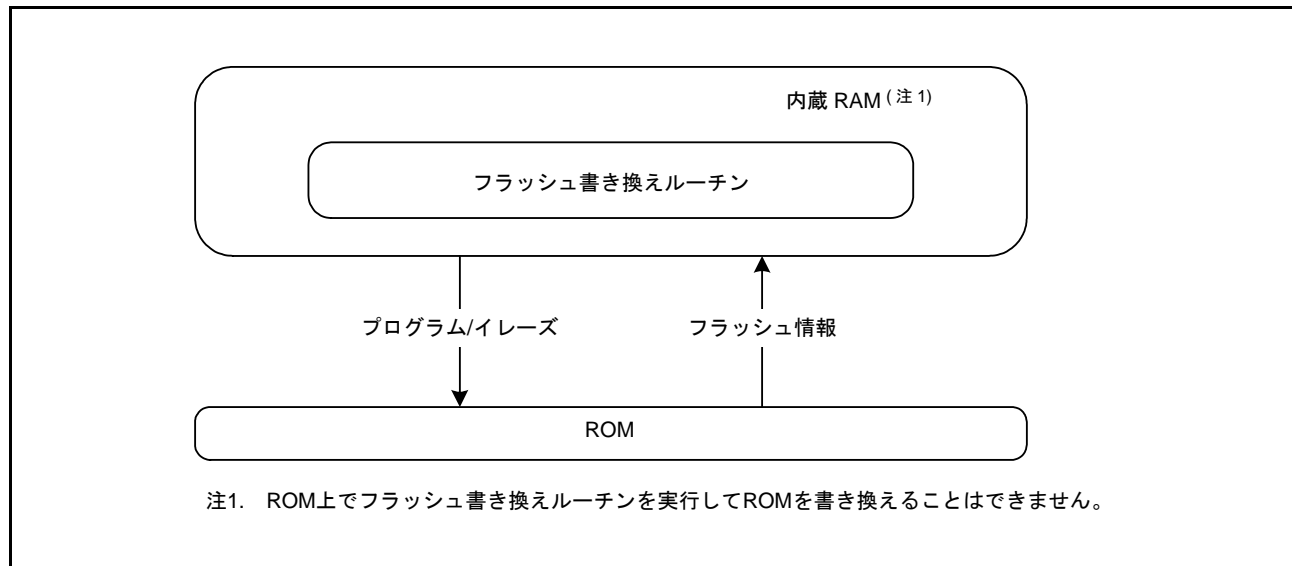


図 34.31 セルフプログラミングの概念

34.12 使用上の注意事項

- (1) イレーズ処理強制停止後の該当ブロックへのアクセス
イレーズ処理を強制停止した場合、処理が中断されたブロックの格納データは不定です。不定データの読み出しが原因で発生する誤動作を回避するために、当該ブロックでの命令実行や、データ読み出しが発生しないように注意してください。
- (2) イレーズ処理強制停止後の処理
イレーズ処理を強制停止した場合は、もう一度同一ブロックに対して、ブロックイレーズコマンドを発行してください。
- (3) 追加書き込み禁止
同一アドレスに2回以上の書き込みを行うことはできません。書き込み済みの領域を書き換えたい場合には、当該ブロックを消去してください。
- (4) プログラム/イレーズ中のリセット
プログラム/イレーズ中に RES# 端子リセットが発生させた場合には、電気的特性に定める動作電圧範囲内で、tRESW (「35. 電気的特性」を参照) 以上のリセット入力期間の後にリセットを解除してください。
プログラム/イレーズ中の IWDT リセット、ソフトウェアリセットについては、上記の時間保持に関係なく使用できます。
- (5) プログラム/イレーズ中のノンマスカブル割り込み禁止
プログラム/イレーズ中にノンマスカブル割り込み (NMI 端子割り込み、発振停止検出割り込み、IWDT アンダフロー/リフレッシュエラー、電圧監視 1 割り込み、電圧監視 2 割り込み) が発生すると、ROM からのベクタフェッチが発生し、不定データが読み出されます。
このため、ROM へのプログラム/イレーズ中にノンマスカブル割り込みが発生しないようにしてください。(本禁止事項は ROM のみに適用されます)。
- (6) プログラム/イレーズ中の割り込みベクタの配置
プログラム/イレーズ中に割り込みが発生すると ROM からのベクタのフェッチが発生する場合があります。ROM からのベクタのフェッチを回避するには、CPU の INTB レジスタにより割り込みベクタのフェッチ先を ROM 以外に設定する方法があります。
- (7) プログラム/イレーズ中の異常終了
プログラム/イレーズ中、動作電圧範囲を超える電圧変動、リセット、および事項 (9) の禁止事項により、プログラム/イレーズが正常に終了しなかった場合、再度該当領域のイレーズを行ってください。
- (8) プログラム/イレーズ中の禁止事項
プログラム/イレーズ中は、フラッシュメモリへのダメージを防ぐため、以下の動作は行わないでください。
 - ・本 MCU の電源を動作電圧範囲外にする。
 - ・OPCCR.OPCM[2:0] ビットの値を更新する。
 - ・SCKCR3 レジスタのクロックソース選択ビットを変更する。
 - ・FlashIF クロック (FCLK) の分周比を変更する。
 - ・ディープスリープモード、ソフトウェアスタンバイモードに移行する。

(9) プログラム/イレーズ時の FCLK について

セルフプログラミングでプログラム/イレーズを行う場合、FlashIF クロック (FCLK) の周波数を設定し、FISR.PCKA[4:0] ビットに FCLK 周波数を MHz 単位の整数値で設定してください。ただし、FCLK が 4 ~ 32 MHz の場合は、たとえば 12.5 MHz など整数値でない周波数を使用する場合に、小数点以下を切り上げて設定してください (12.5 MHz の場合は 13 MHz)。FCLK が 4 MHz 以下の場合は、1 MHz, 2 MHz, 3 MHz または 4 MHz 以外の周波数は使用できません。

34.13 使用上の注意事項 (ブートモード)

- (1) ブートモードで通信異常が発生した場合に関する注意事項
正常な通信ができなくなった場合、本 MCU をリセットして、再度ブートモードで起動してください。
- (2) ブートモード (SCI インタフェース) での電源電圧に関する注意事項
通信ビットレートが 500 kbps を超える際は、3.0 V 以上で動作させてください。
- (3) ブートモードでのオプション設定メモリに関する注意事項
ブートモードではオプション機能選択レジスタ 0 (OFS0)、オプション機能選択レジスタ 1 (OFS1)、エンディアン選択レジスタ (MDE) の設定は無効になります。
- (4) スタートアップ領域の切り替えに関する注意事項
スタートアップ領域の切り替えは、セルフプログラミングで実施してください。

35. 電気的特性

35.1 絶対最大定格

表 35.1 絶対最大定格
条件：VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	ポート4	V_{in}	-0.3 ~ AVCC0+0.3	V
	5Vトレラント対応ポート (注1) とポート4以外		-0.3 ~ VCC+0.3	V
	5Vトレラント対応ポート (注1)		-0.3 ~ +6.5	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007 使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN017 使用時		-0.3 ~ VCC+0.3	
動作温度 (注2)		T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0端子間、VREFH0端子とVREFL0端子間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートB1、B2は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表 35.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1、注2)		2.7	—	5.5	V
	VSS		—	0	—	
アナログ電源電圧	AVCC0 (注1、注2)		VCC	—	5.5	V
	VREFH0 (注1、注2)		—	AVCC0	—	
	AVSS0、VREFL0		—	0	—	

注1. AVCC0/VREFH0とVCCは使用範囲内で独立に設定可能です。

注2. VCC端子とAVCC0/VREFH0端子の電源投入順序は、同時もしくはVCC端子、AVCC0/VREFH0端子の順になるように投入してください。

35.2 DC 特性

表 35.3 DC 特性 (1)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポートB1、B2 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポート00~02、ポート10、11 ポート22~24 ポート30~33、36、37 ポート70~76 ポート91~94 ポートA2~A5 ポートB0、B3~B7 ポートD3~D7 ポートE2 ポートRES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート40~47	$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$			
	RIIC入力端子 (SMBusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	ポート40~47		-0.3	—	$AVCC0 \times 0.2$		
	ポート40~47、RIIC入力端子以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	ポート40~47		$AVCC0 \times 0.1$	—	—		
	ポート40~47、RIIC入力端子以外		$VCC \times 0.1$	—	—		
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子 (SMBus)	2.1	—	$VCC + 0.3$			
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBus)		-0.3	—	0.8		

表 35.4 DC 特性 (2)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポートE2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V、VCC$
スリーステートリーク 電流 (オフ状態)	ポート4	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V、AVCC0$
	5Vトレラント対応ポートと ポート4以外		—	—	0.2		$V_{in} = 0V、VCC$
	5Vトレラント対応ポート		—	—	1.0		$V_{in} = 0V、5.8V$
入力容量	全入力端子	C_{in}	—	4	15	pF	$V_{in} = 0mV、$ $f = 1MHz、$ $T_a = 25^\circ C$
入力プルアップ抵抗	全ポート (ポートE2以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表 35.5 DC特性 (3)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目				記号	typ (注5)	max	単位	測定条件	
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 40MHz	I _{CC}	4.6	—	mA	
				ICLK = 32MHz		3.9	—		
				ICLK = 16MHz		2.8	—		
				ICLK = 8MHz		2.2	—		
			全周辺動作 通常動作	ICLK = 40MHz (注3)		15.0	—		
				ICLK = 32MHz (注4)		12.4	—		
				ICLK = 16MHz (注4)		7.2	—		
				ICLK = 8MHz (注4)		4.6	—		
		全周辺動作 最大動作	ICLK = 40MHz (注3)	—		33.0			
			ICLK = 32MHz (注4)	—		24.5			
	スリープモード	周辺動作なし (注2)	ICLK = 40MHz	2.7	—				
			ICLK = 32MHz	2.3	—				
			ICLK = 16MHz	1.9	—				
			ICLK = 8MHz	1.6	—				
		全周辺動作 通常動作	ICLK = 40MHz (注3)	6.8	—				
			ICLK = 32MHz (注4)	5.7	—				
			ICLK = 16MHz (注4)	3.6	—				
			ICLK = 8MHz (注4)	2.5	—				
	ディープ スリープモード	周辺動作なし (注2)	ICLK = 40MHz	1.7	—				
			ICLK = 32MHz	1.5	—				
			ICLK = 16MHz	1.3	—				
			ICLK = 8MHz	1.3	—				
全周辺動作 通常動作		ICLK = 40MHz (注3)	5.3	—					
		ICLK = 32MHz (注4)	4.4	—					
		ICLK = 16MHz (注4)	2.8	—					
		ICLK = 8MHz (注4)	2.0	—					
中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.6	—	mA		
			ICLK = 8MHz			1.9		—	
			ICLK = 1MHz			1.3		—	
		全周辺動作 通常動作 (注7)	ICLK = 12MHz			5.5		—	
			ICLK = 8MHz			4.2		—	
			ICLK = 1MHz			1.6		—	
	全周辺動作 最大動作 (注7)	ICLK = 12MHz	—			11.0			
	スリープモード	周辺動作なし (注6)	ICLK = 12MHz			2.0		—	
			ICLK = 8MHz			1.4		—	
			ICLK = 1MHz			1.2		—	

項目				記号	typ (注5)	max	単位	測定条件
消費電流 (注1)	中速動作モード	スリープモード	全周辺動作 通常動作 (注7)	I _{CC}	ICLK = 12MHz	2.8	—	mA
					ICLK = 8MHz	2.3	—	
					ICLK = 1MHz	1.3	—	
	ディープ スリープモード	周辺動作なし (注6)	ICLK = 12MHz		1.5	—		
			ICLK = 8MHz		1.2	—		
			ICLK = 1MHz		1.1	—		
	全周辺動作 通常動作 (注7)	全周辺動作 通常動作 (注7)	ICLK = 12MHz		2.8	—		
			ICLK = 8MHz		2.3	—		
			ICLK = 1MHz		1.1	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKは64分周設定です。

注3. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLKは2分周設定です。PCLKはICLKと同じ周波数です。

注4. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。

注5. VCC=5Vの値です。

注6. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKは64分周設定です。

注7. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。

表 35.6 DC特性 (4)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	T _a = 25°C	I _{CC}	0.45	0.91	μA	
		T _a = 55°C		0.66	2.23		
		T _a = 85°C		1.50	9.14		
		T _a = 105°C		3.42	23.94		

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTCとLVDは動作停止です。

注3. VCC = 5Vの場合です。

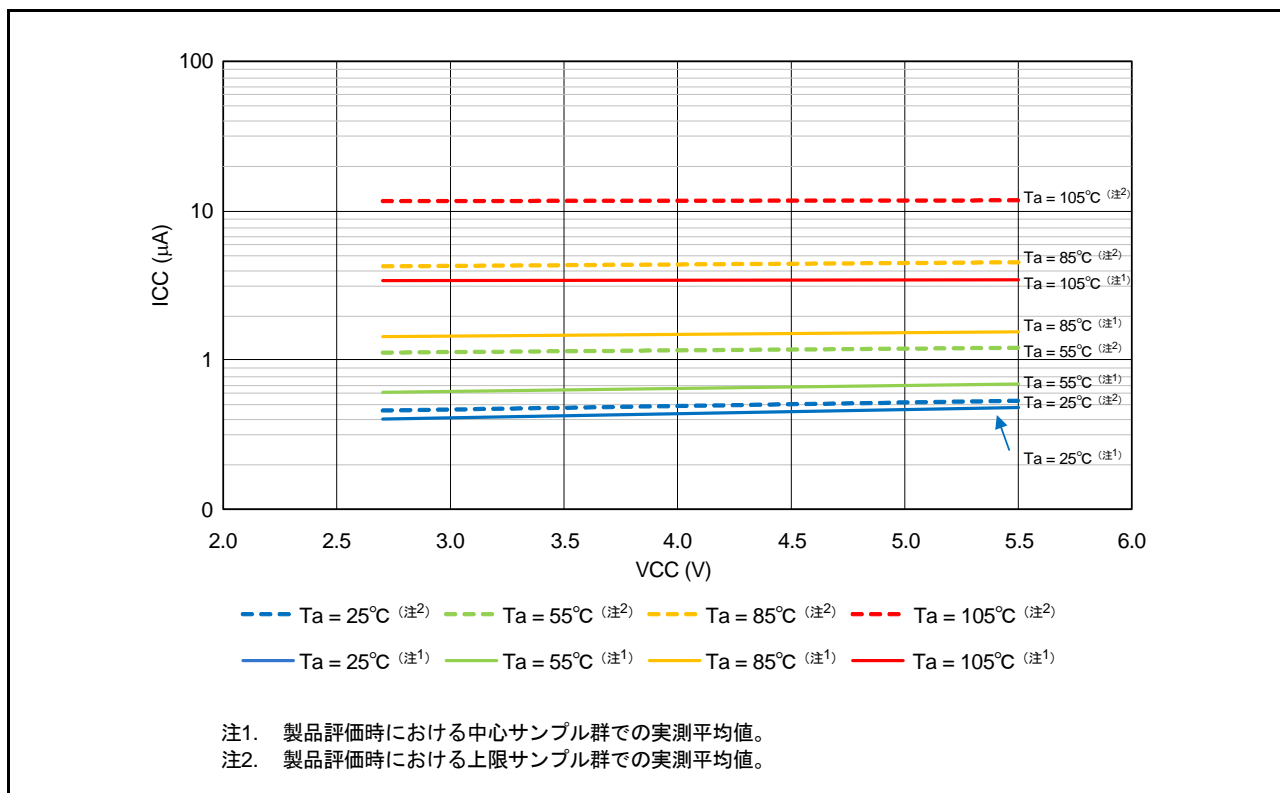


図 35.1 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

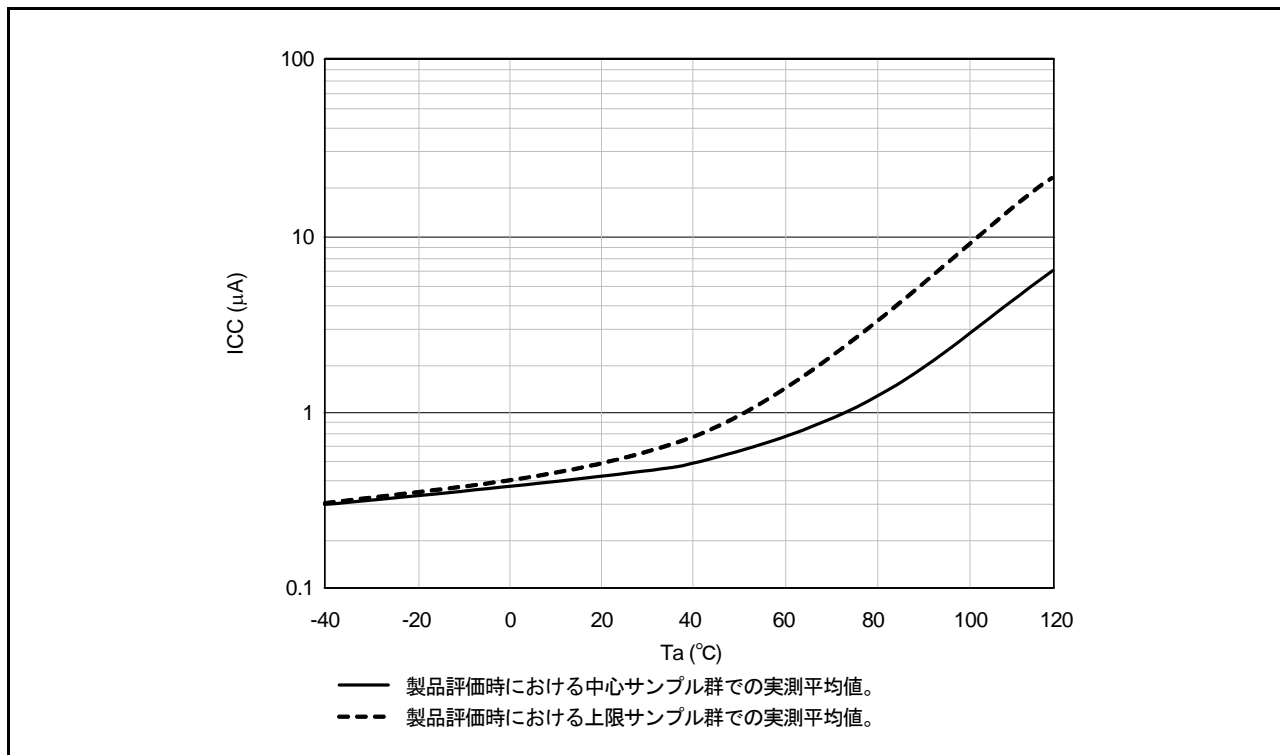


図 35.2 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表 35.7 DC特性 (5)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	—	300	mW	Dバージョン製品
許容総消費電力 (注1)	Pd	—	—	125	mW	Gバージョン製品

注. Gバージョン製品のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

注1. チップ全体 (出力電流を含む) の総電力です。

表 35.8 DC特性 (6)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ (注2)	max	単位	測定条件
アナログ電源電流	A/D変換中 (サンプルホールド回路使用時)	I_{AVCC}	—	3.1	5.2	mA	
	A/D変換中 (サンプルホールド回路未使用時)		—	0.9	1.8		
	D/A変換中 (注1)		—	0.4	0.9		
	A/D、D/A変換待機時 (全ユニット)		—	—	0.4	μ A	
リファレンス電源電流	A/D変換中	I_{REFH0}	—	80	130	μ A	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
コンパレータC動作電流 (注3)	コンパレータ有効 (1チャンネル当り)	I_{CMP}	—	40	60	μ A	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. VCC=AVCC0=5Vのとき。

注3. コンパレータCモジュールのみの消費電流です。

表 35.9 DC特性 (7)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	20	ms/V	
	起動時電圧監視0リセット有効時 (注1、注2)		0.02	—	—		

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表 35.10 DC特性 (8)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

電源リップルは、VCCの上限 (5.5V) と下限 (2.7V) は超えない範囲で許容電源リップル周波数 f_r (VCC) を満たしてください。VCC変動がVCC \pm 10%を超える場合は、許容電源変動立ち上がり/立ち下がり勾配dt/dVCCを満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	f_r (VCC)	—	—	10	kHz	図 35.3 V_r (VCC) \leq VCC \times 0.2 の場合
		—	—	1	MHz	図 35.3 V_r (VCC) \leq VCC \times 0.08 の場合
		—	—	10	MHz	図 35.3 V_r (VCC) \leq VCC \times 0.06 の場合
許容電源変動立ち上がり/ 立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC変動がVCC \pm 10%を超える場合

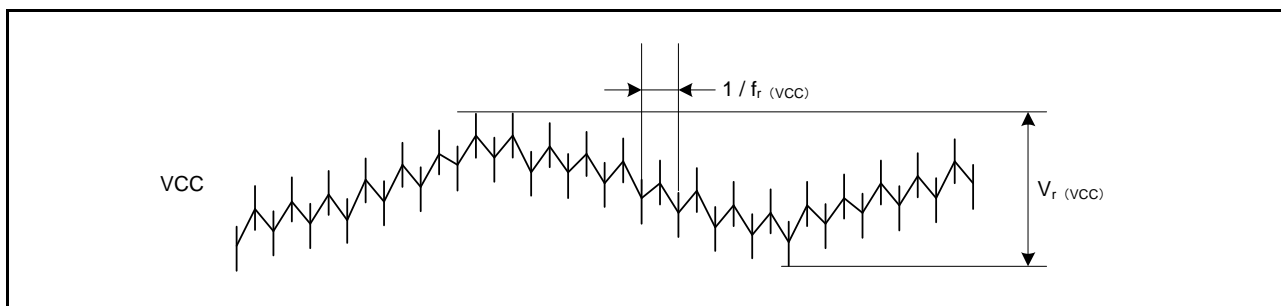


図 35.3 電源リップル波形

表 35.11 DC特性 (9)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量	C _{VCL}	3.3	4.7	6.1	μF	

注. 推奨は4.7μFです。接続するコンデンサのばらつきは、上記の範囲内にしてください。

表 35.12 出力許容電流値

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目		記号	max	単位	
出力Lowレベル許容電流	大電流端子 (ポート71~76、ポートB5、ポートD3)	I _{OL}	10.0	mA	
	RIIC入力端子		6.0		
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	大電流端子の合計	ΣI _{OL}	50		
	全出力端子の総和		110		
出力Highレベル許容電流	大電流端子 (ポート71~76、ポートB5、ポートD3)	I _{OH}	-5.0		
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
	出力Highレベル許容電流		大電流端子の合計		ΣI _{OH}
全出力端子の総和	-35				

注. 許容総消費電流は超えないようにしてください。

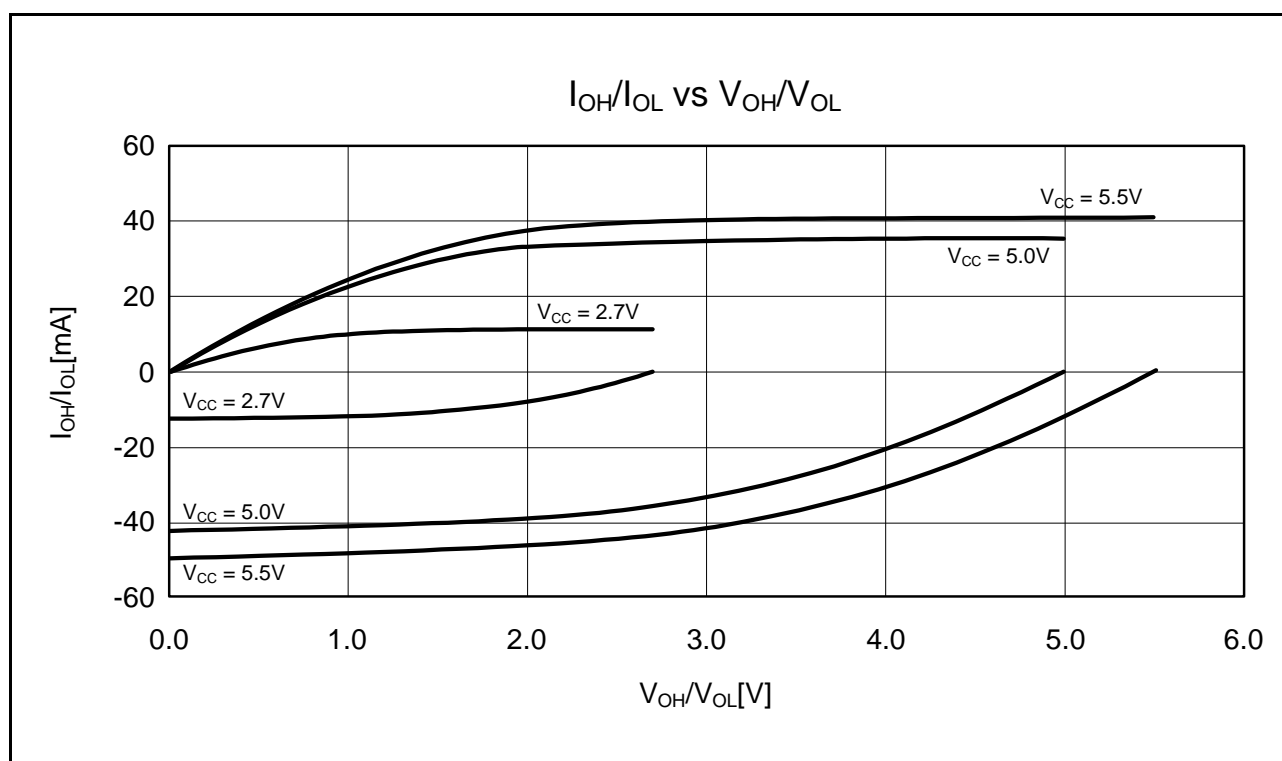
表 35.13 出力電圧値

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	max	単位	測定条件	
出力Lowレベル	大電流端子 (ポート71~76、ポートB5、ポートD3)	V _{OL}	—	0.8	V	I _{OL} = 10.0mA	
	RIIC端子		スタンダードモード	—		0.4	I _{OL} = 3.0mA
			ファストモード	—		0.6	I _{OL} = 6.0mA
	上記以外の出力端子		通常出力時	—		0.8	I _{OL} = 1.0mA
			高駆動出力時	—		0.8	I _{OL} = 2.0mA
出力Highレベル	大電流端子 (ポート71~76、ポートB5、ポートD3)	V _{OH}	VCC - 0.8	—	V	I _{OH} = -5.0mA	
	ポート40~47		AVCC0 - 0.8	—		I _{OH} = -2.0mA	
	上記以外の出力端子		通常出力時	VCC - 0.8		—	I _{OH} = -2.0mA
			高駆動出力時	VCC - 0.8		—	I _{OH} = -4.0mA

35.2.1 標準 I/O 端子出力特性 (1)

図 35.4 ~ 図 35.7 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

図 35.4 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 Ta = 25°C (参考データ)

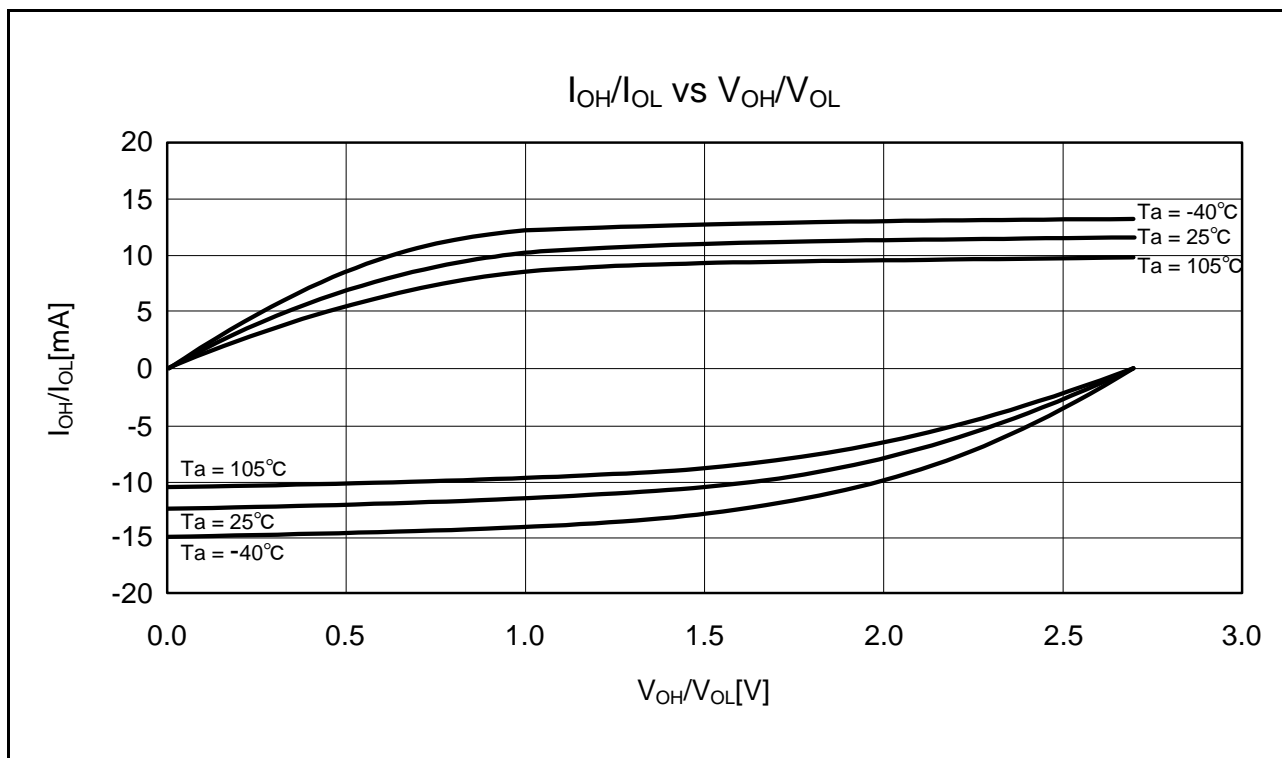


図 35.5 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

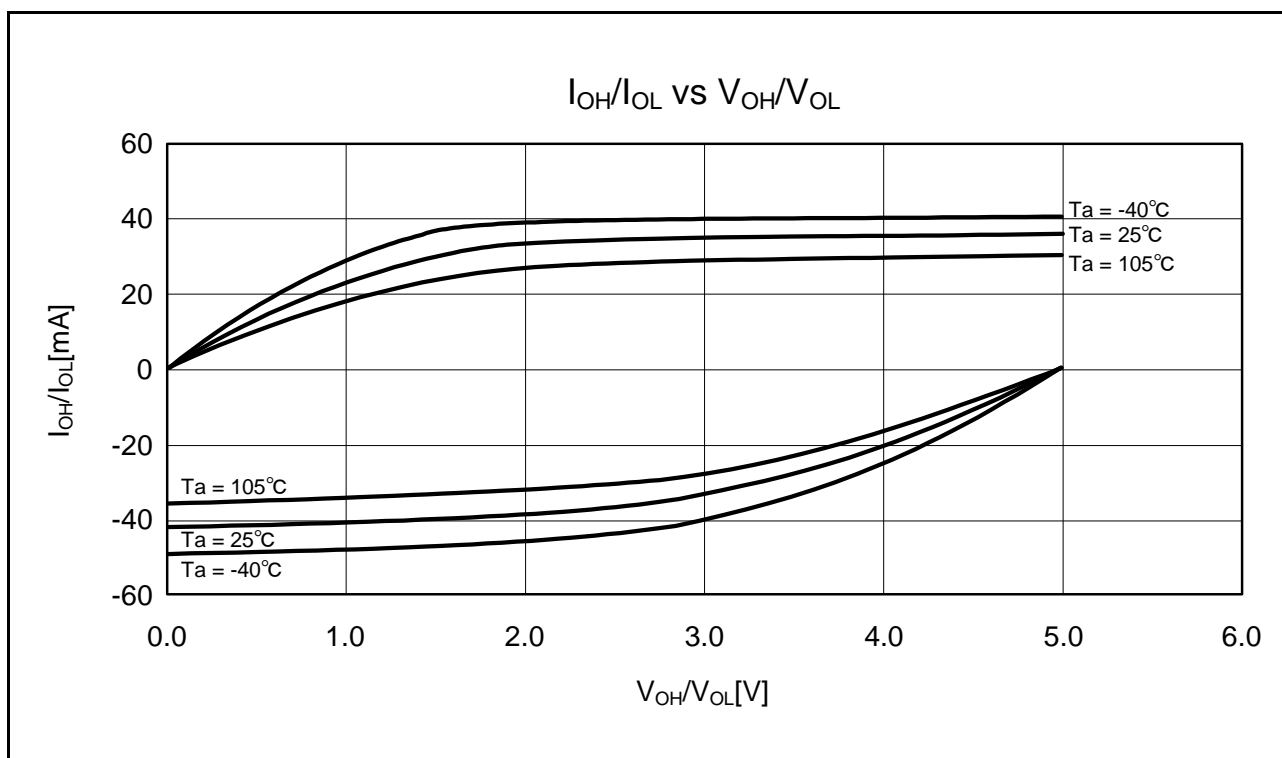


図 35.6 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

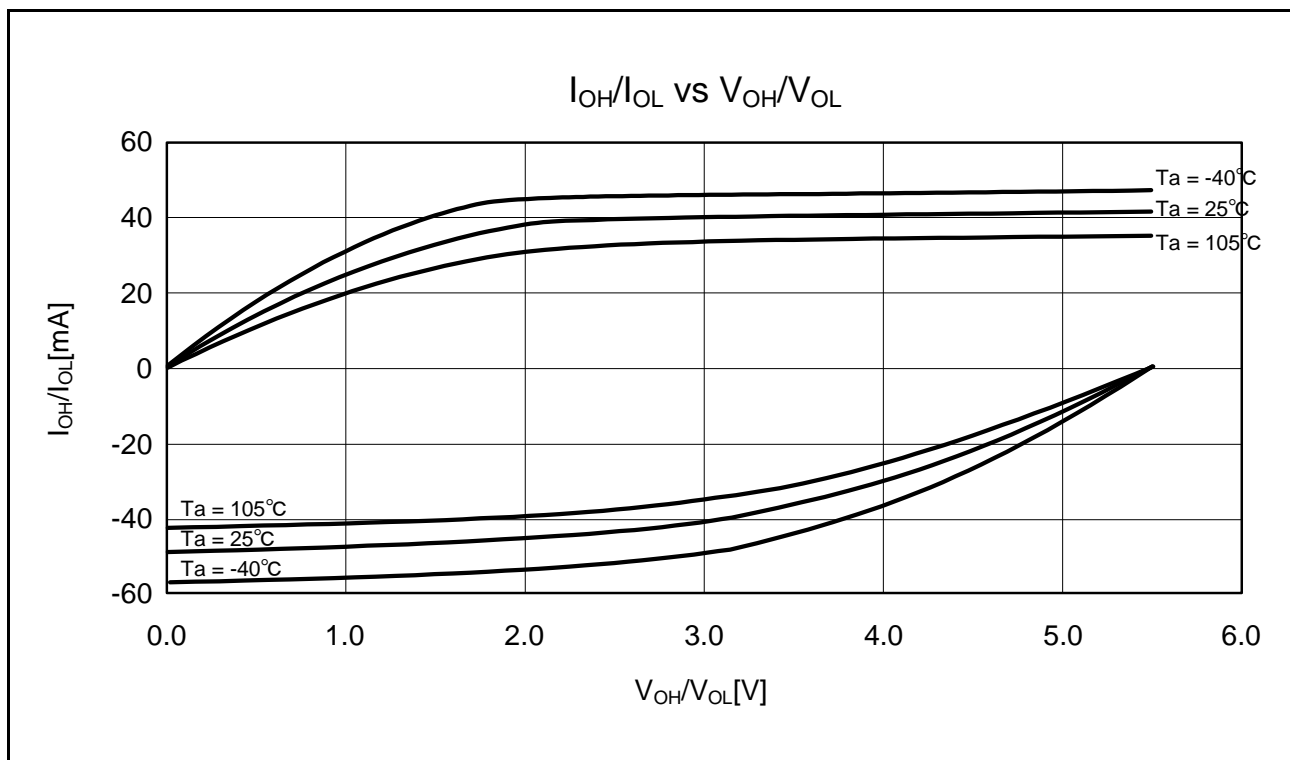


図 35.7 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 5.5V (参考データ)

35.2.2 標準 I/O 端子出力特性 (2)

図 35.8 ~ 図 35.11 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

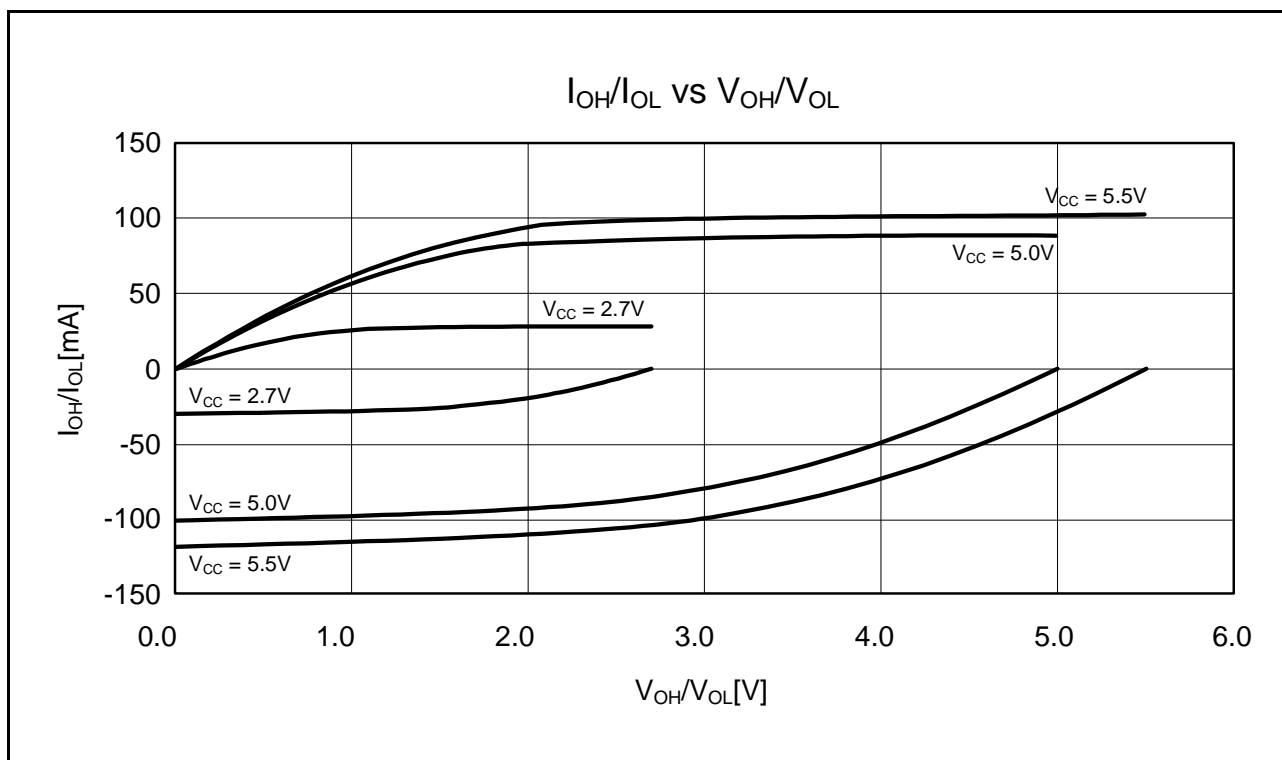


図 35.8 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

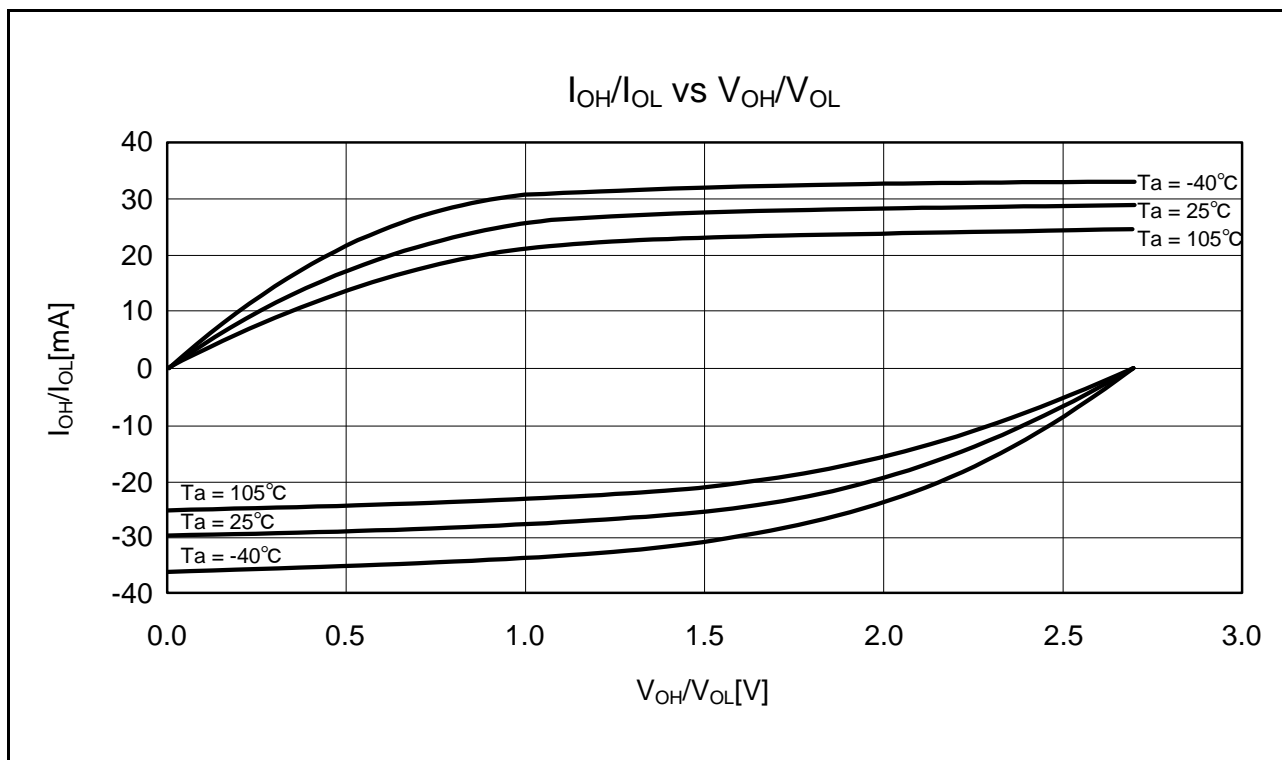


図 35.9 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

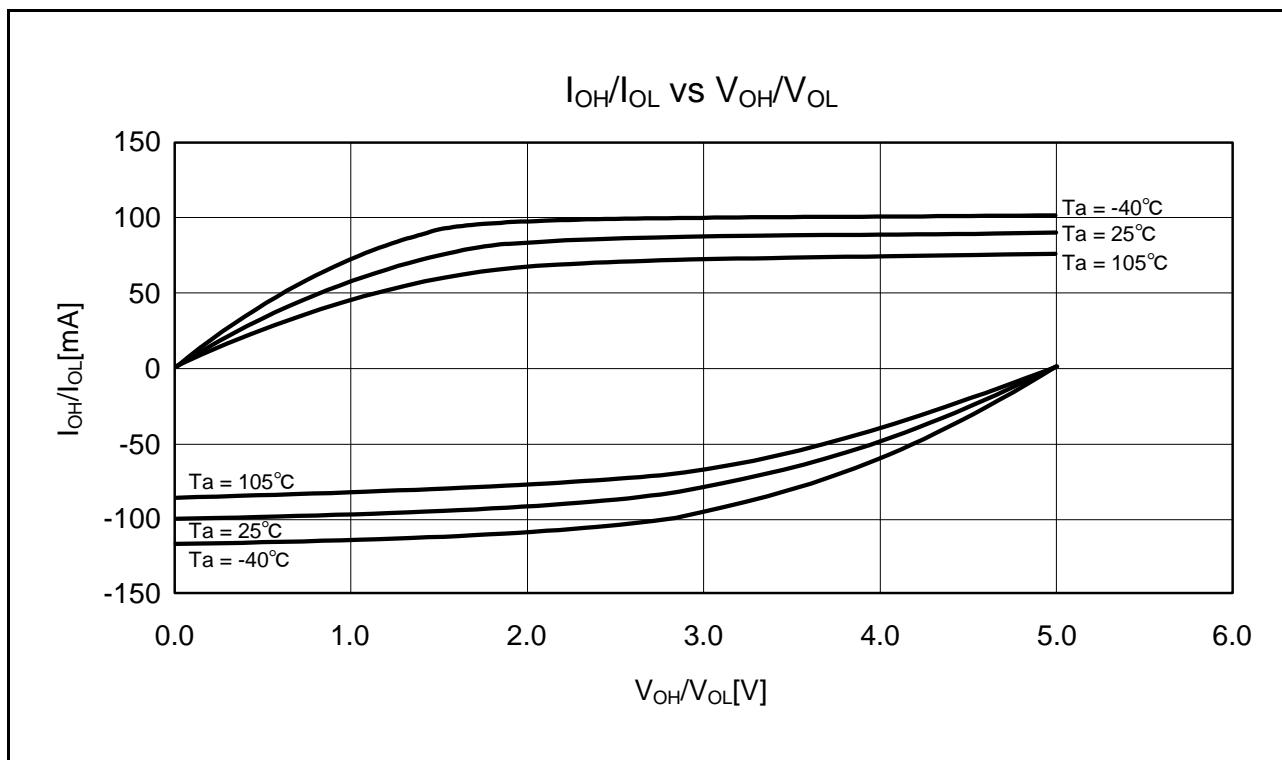


図 35.10 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0\text{V}$ (参考データ)

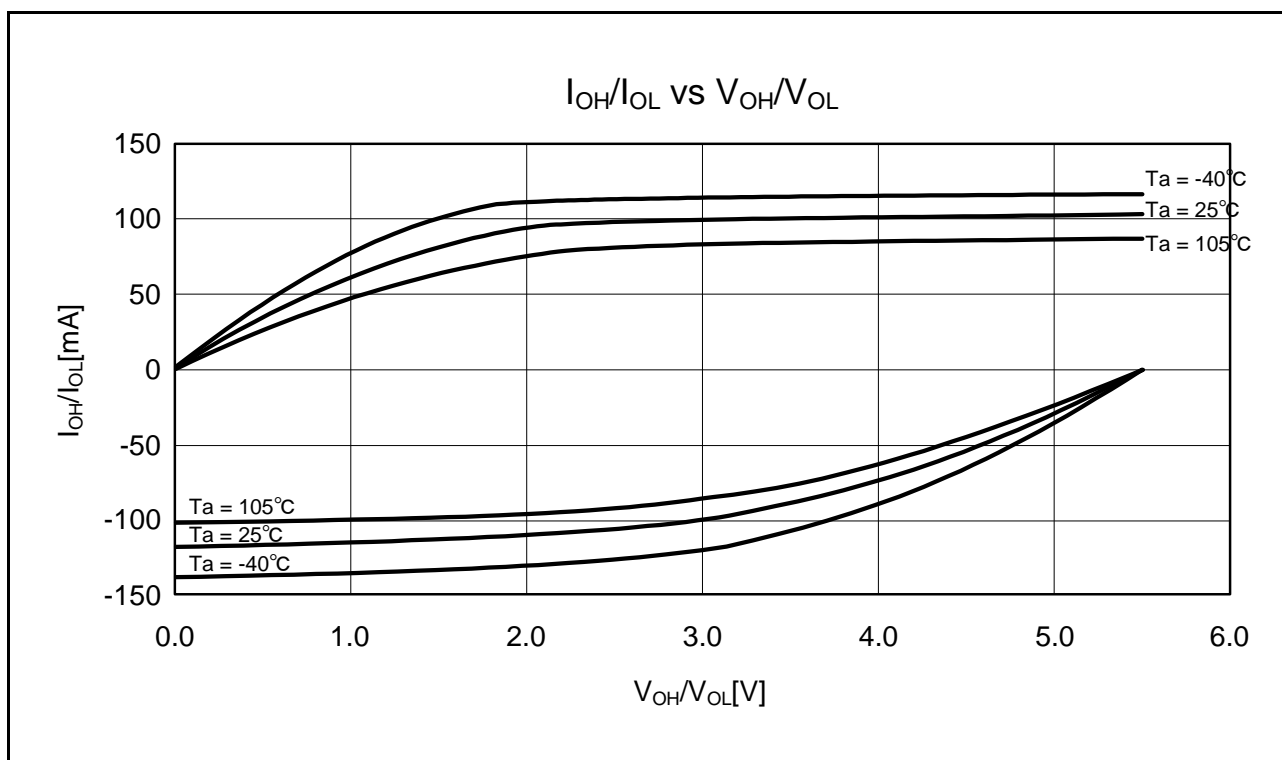


図 35.11 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

35.2.3 標準 I/O 端子出力特性 (3)

図 35.12 ~ 図 35.15 に大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の出力特性を示します。

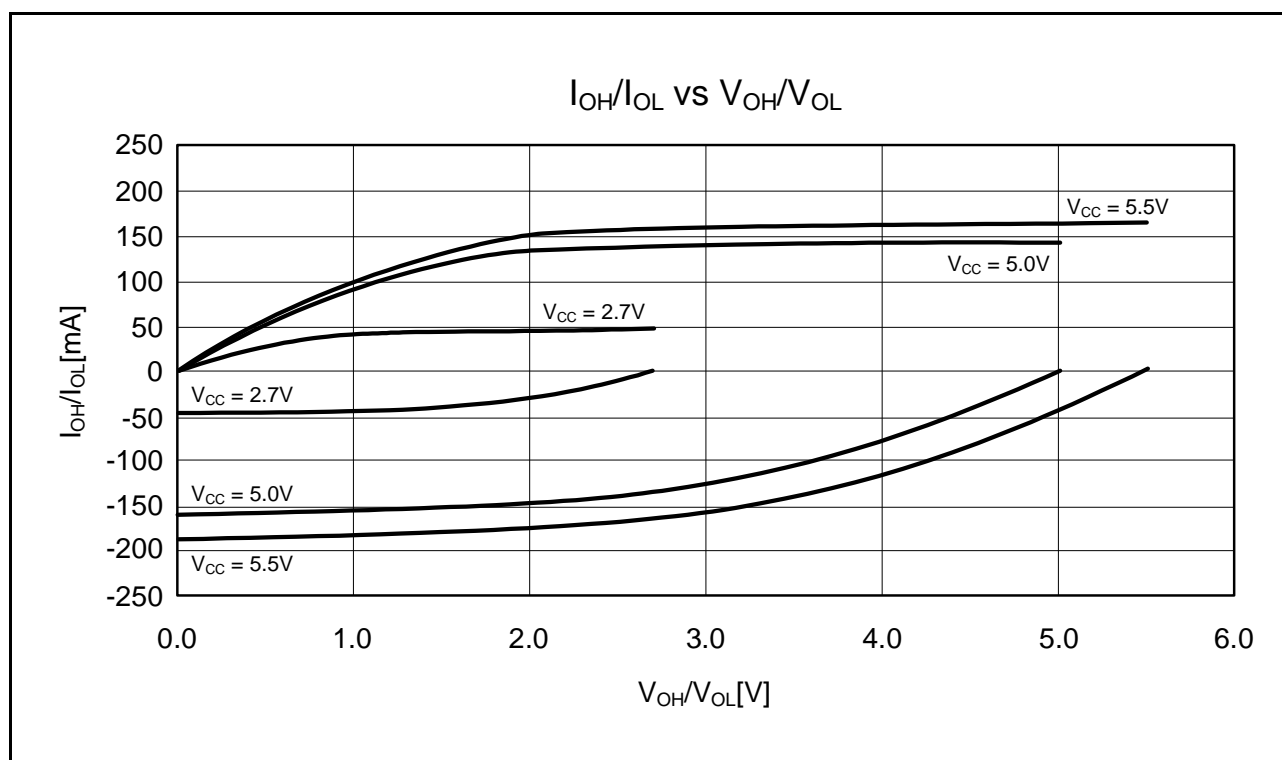


図 35.12 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 Ta = 25 °C（参考データ）

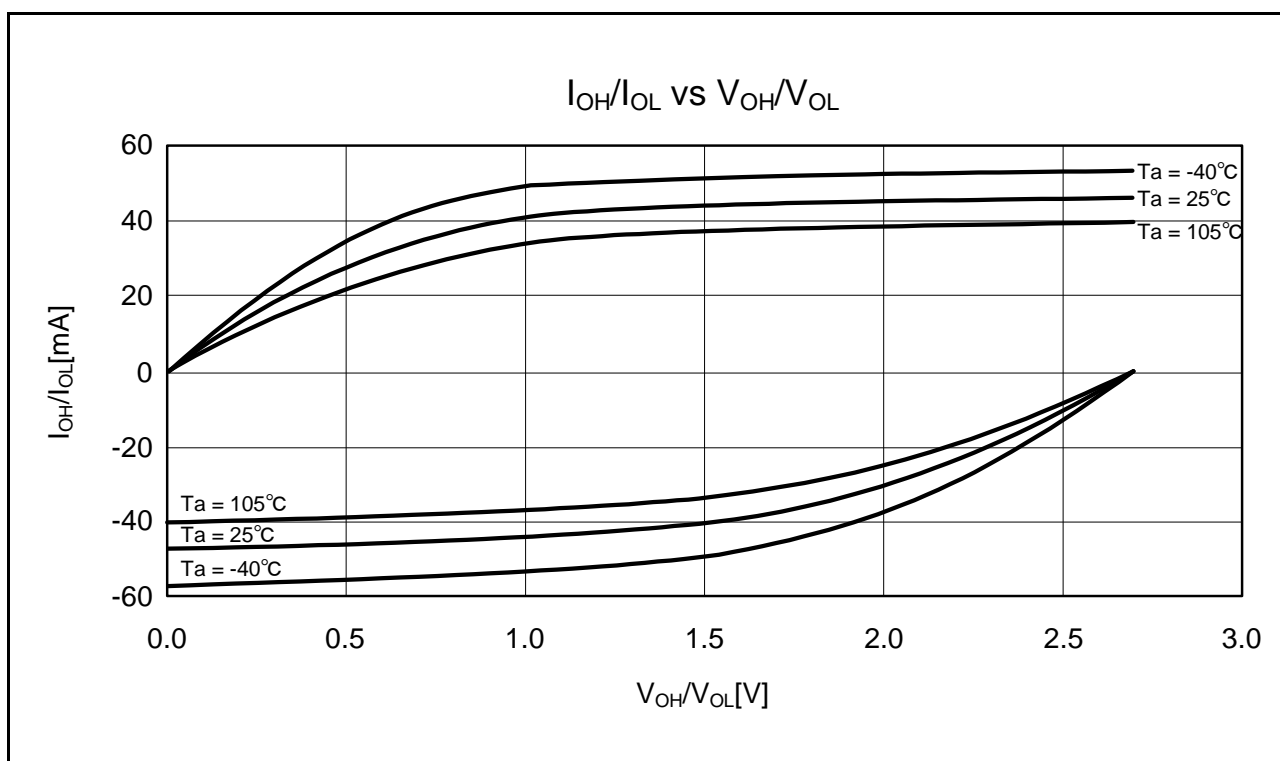


図 35.13 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

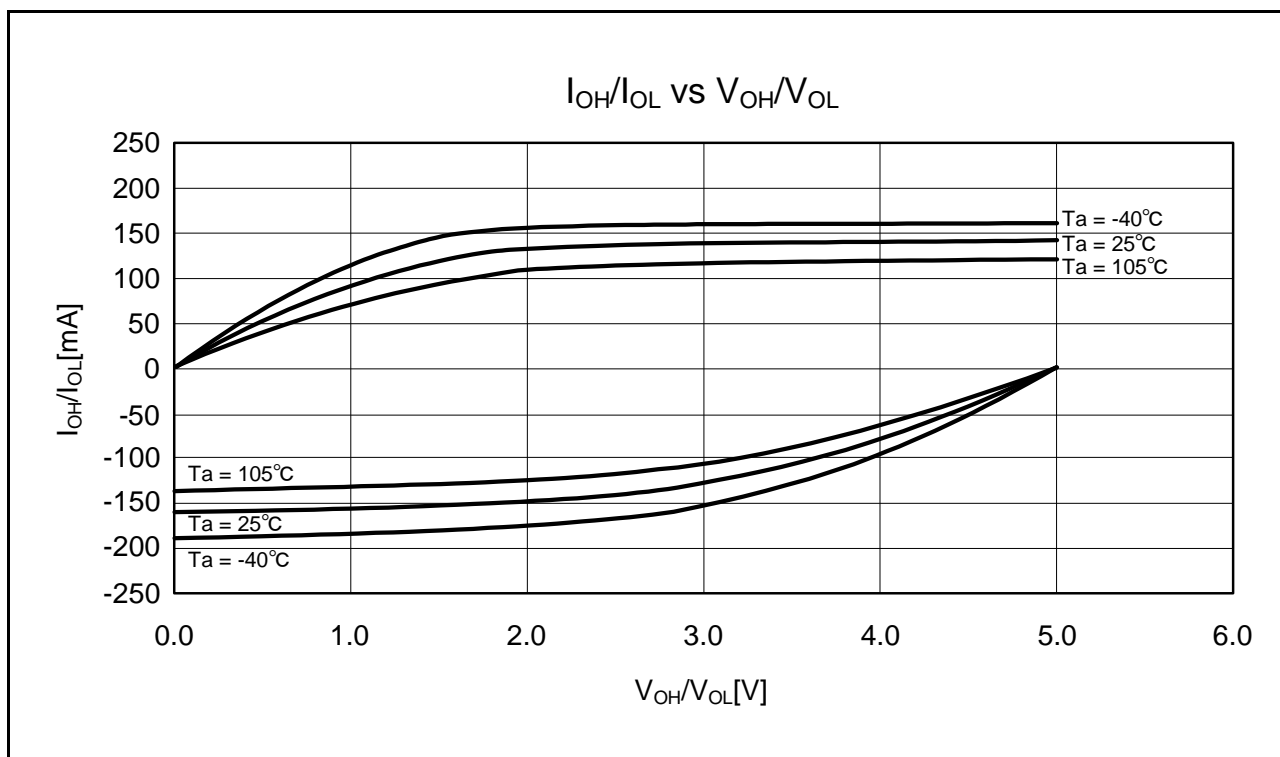


図 35.14 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

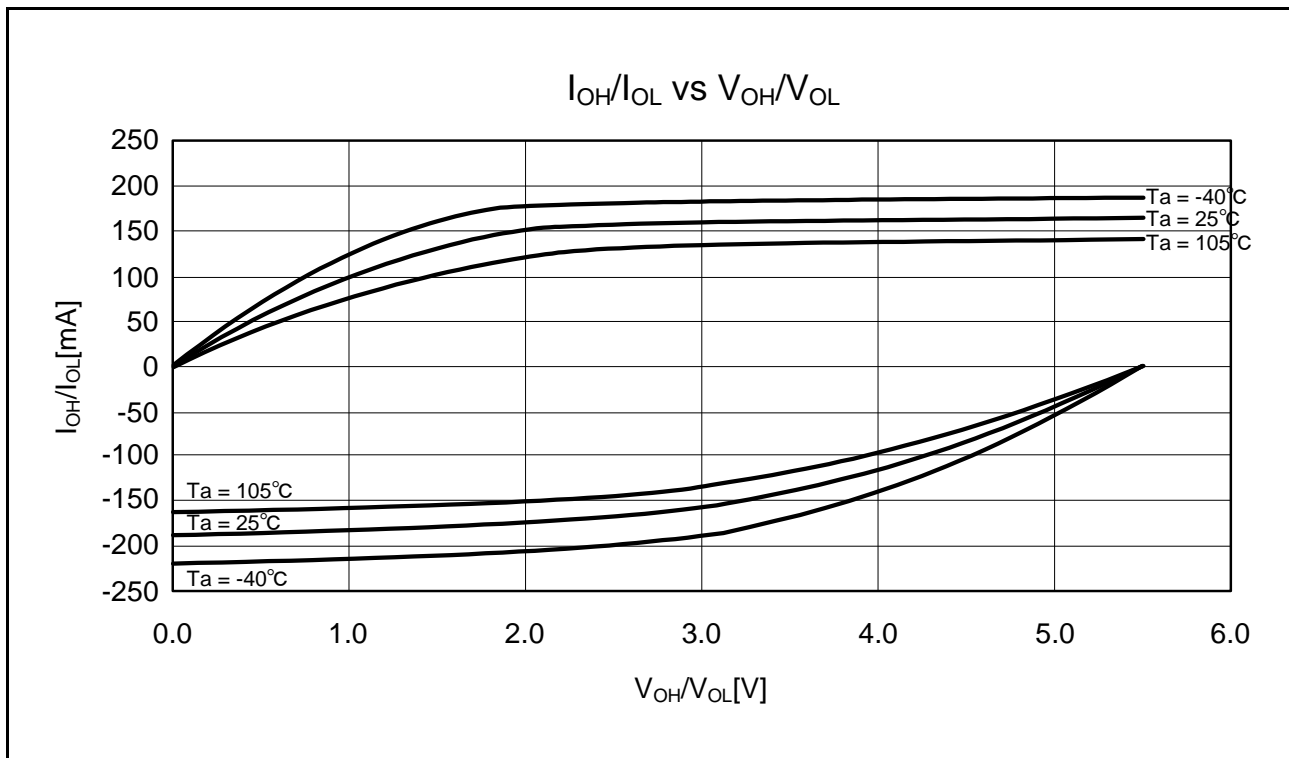


図 35.15 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ （参考データ）

35.2.4 RIIC 端子出力特性

図 35.16 ~ 図 35.19 に RIIC 端子の出力特性を示します。

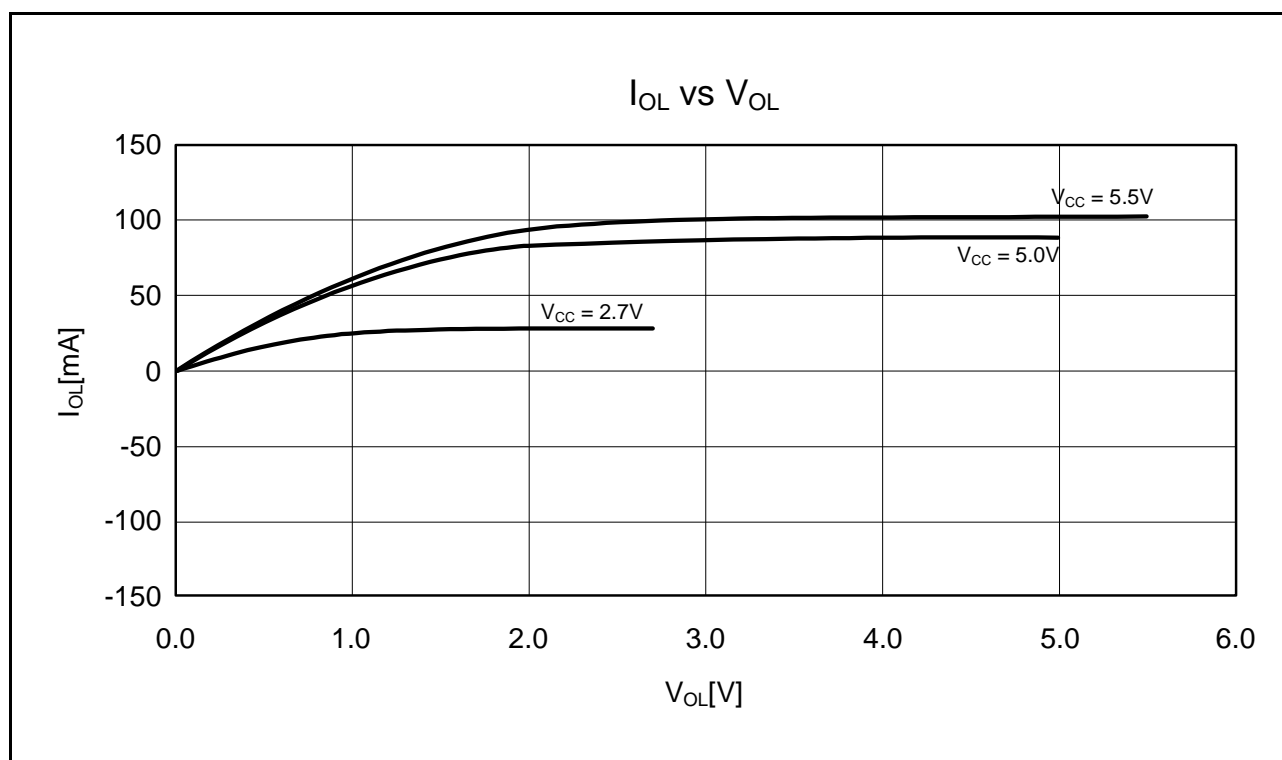


図 35.16 RIIC 出力端子の V_{OL} 、 I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

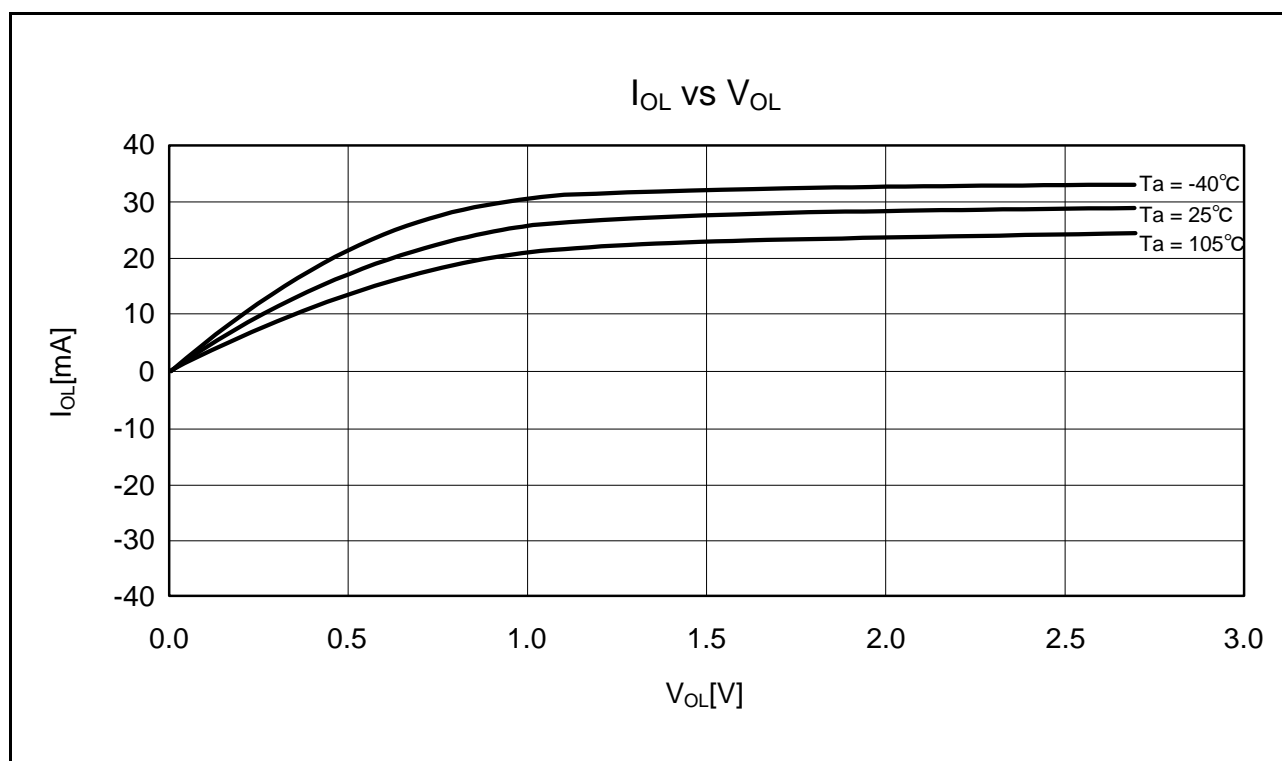


図 35.17 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 2.7\text{V}$ (参考データ)

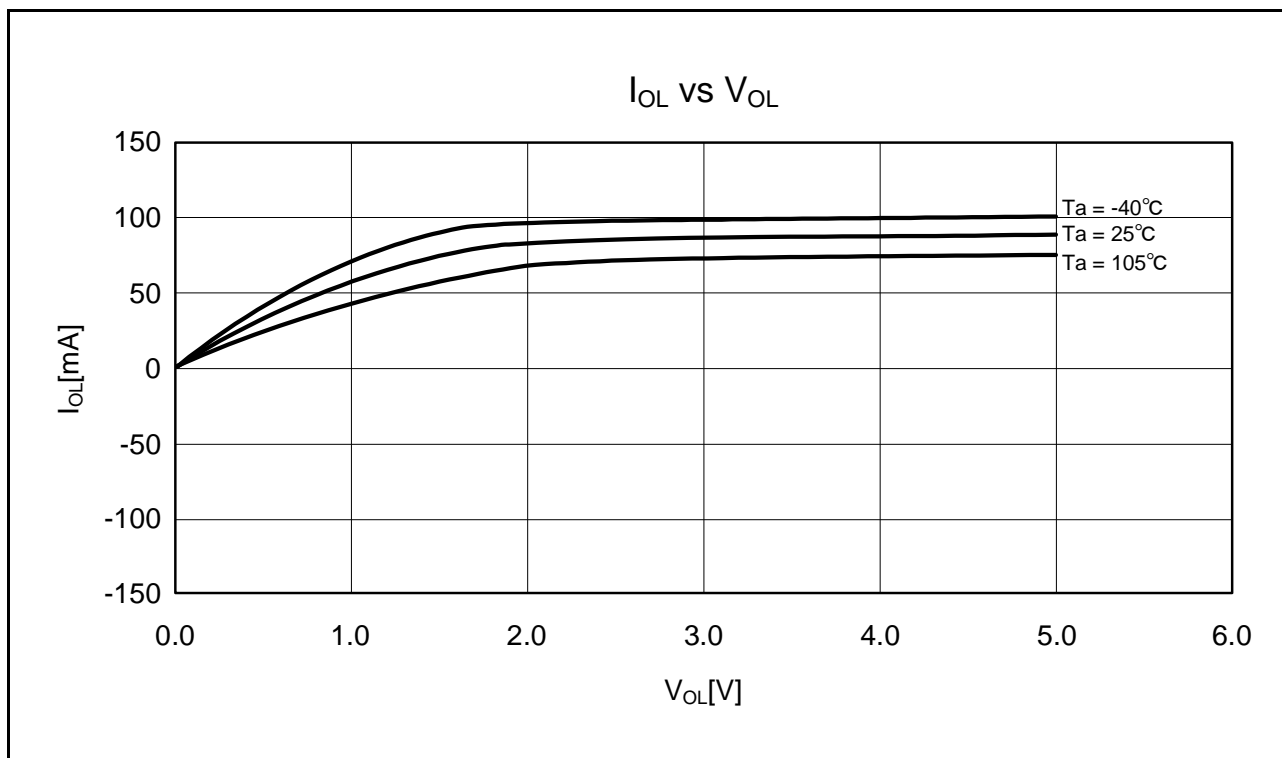


図 35.18 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.0\text{V}$ (参考データ)

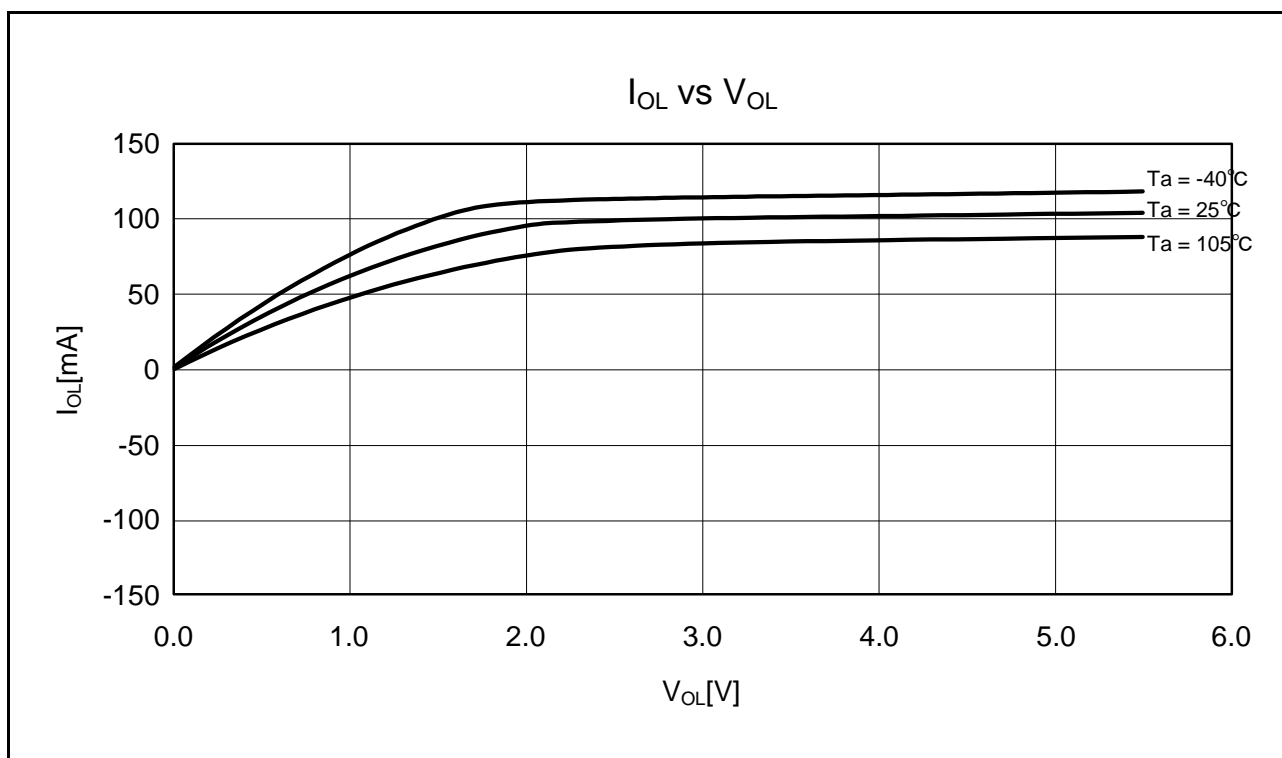


図 35.19 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

35.3 AC 特性

35.3.1 クロックタイミング

表 35.14 動作周波数（高速動作モード）

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min.	typ.	max.	単位
最大動作周波数	システムクロック (ICLK)	f _{max}	—	—	40	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	32	
	周辺モジュールクロック (PCLKA)		—	—	40	
	周辺モジュールクロック (PCLKB)		—	—	40	
	周辺モジュールクロック (PCLKD)		—	—	40	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は ±3.5% である必要があります。

表 35.15 動作周波数（中速動作モード）

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min.	typ.	max.	単位
最大動作周波数	システムクロック (ICLK)	f _{max}	—	—	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	12	
	周辺モジュールクロック (PCLKA)		—	—	12	
	周辺モジュールクロック (PCLKB)		—	—	12	
	周辺モジュールクロック (PCLKD)		—	—	12	

注1. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注2. FCLK の周波数精度は ±3.5% である必要があります。

表 35.16 クロックタイミング

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図 35.20
EXTAL外部クロック入力パルス幅Highレベル	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t_{EXWT}	0.5	—	—	μs	図 35.21
メインクロック発振器発振周波数 (注2)	f_{MAIN}	1	—	20	MHz	
メインクロック発振安定時間 (水晶振動子) (注2)	$t_{MAINOSC}$	—	3	—	ms	図 35.21
メインクロック発振安定時間 (セラミック共振子) (注2)	$t_{MAINOSC}$	—	50	—	μs	
LOCOクロック発振周波数	f_{LOCO}	3.44	4.0	4.56	MHz	図 35.22
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs	
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	図 35.23
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μs	
HOCOクロック発振周波数	f_{HOCO}	31.52	32	32.48	MHz	Ta = -40 ~ +85°C
		31.68	32	32.32		Ta = -20 ~ +85°C
		31.36	32	32.64		Ta = -40 ~ +105°C
HOCOクロック発振安定時間	t_{HOCO}	—	—	30	μs	図 35.25
PLL回路発振周波数	f_{PLL}	24	—	40	MHz	図 35.26
PLLクロック発振安定時間	t_{PLL}	—	—	50	μs	
PLL自励発振周波数	f_{PLLFR}	—	8	—	MHz	

注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値をMOSCWTCRレジスタに設定してください。MOSCCR.MOSTPビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVFフラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

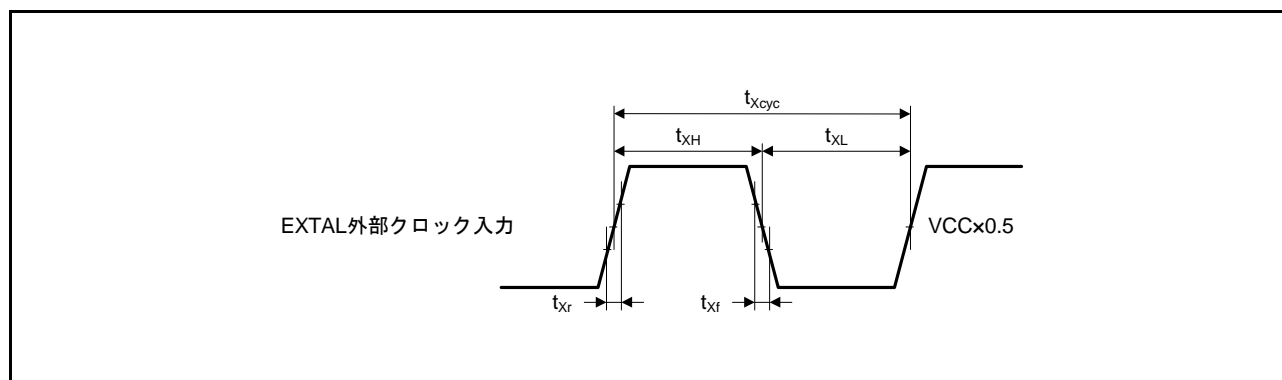


図 35.20 EXTAL 外部クロック入力タイミング

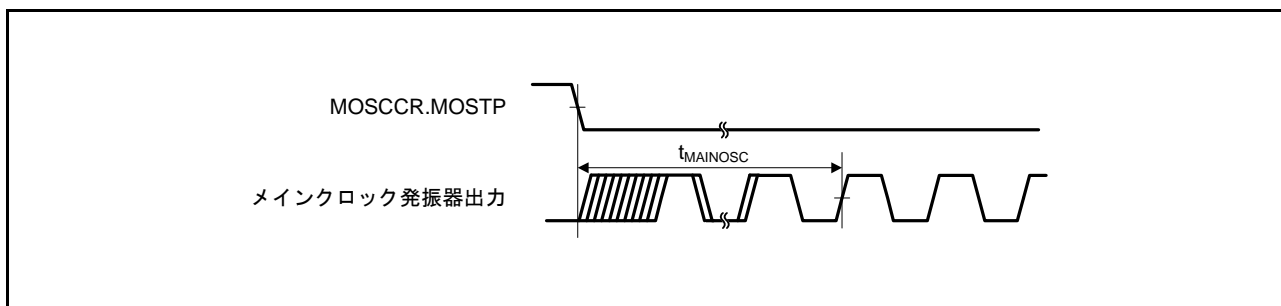


図 35.21 メインクロック発振開始タイミング

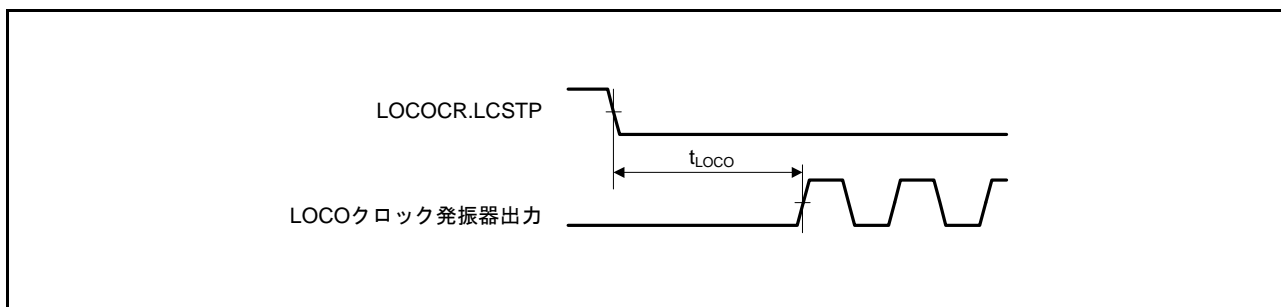


図 35.22 LOCO クロック発振開始タイミング

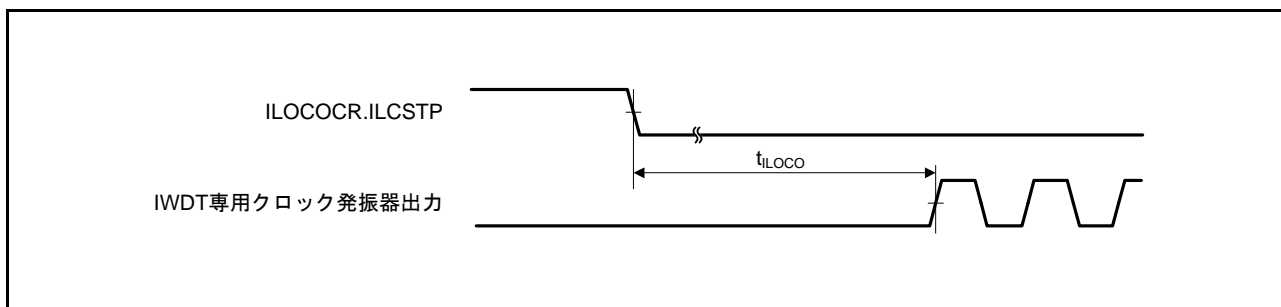


図 35.23 IWDT 専用クロック発振開始タイミング

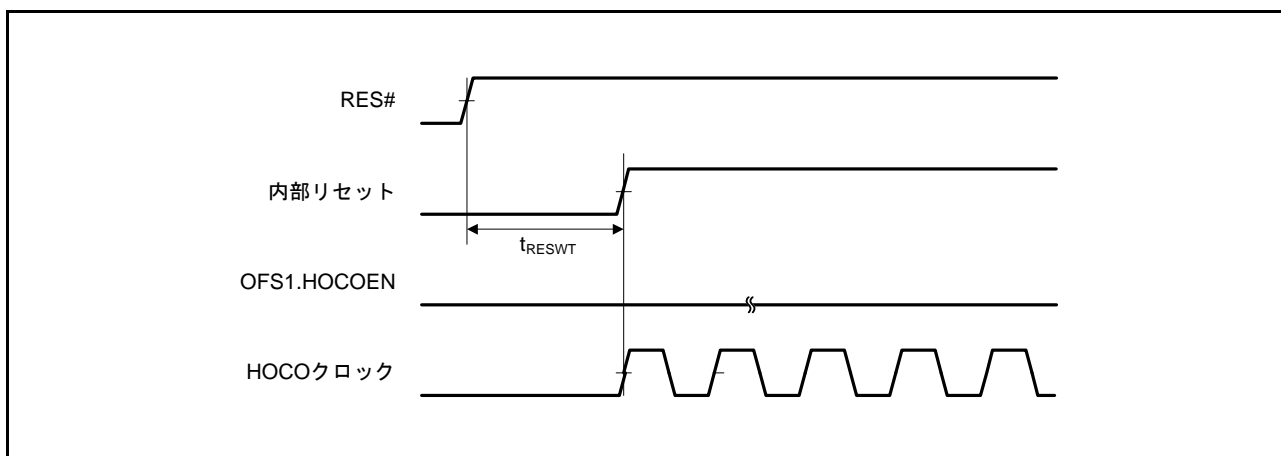


図 35.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

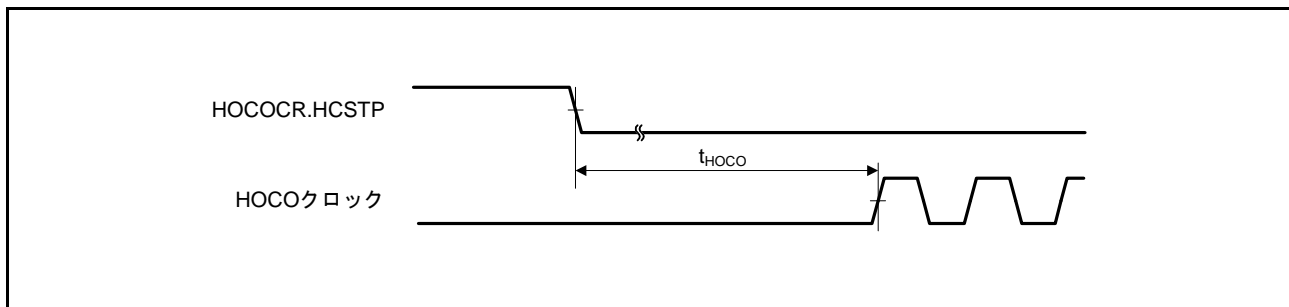


図 35.25 HOCO クロック発振開始タイミング (HOCO CR.HCSTP ビット設定による発振開始)

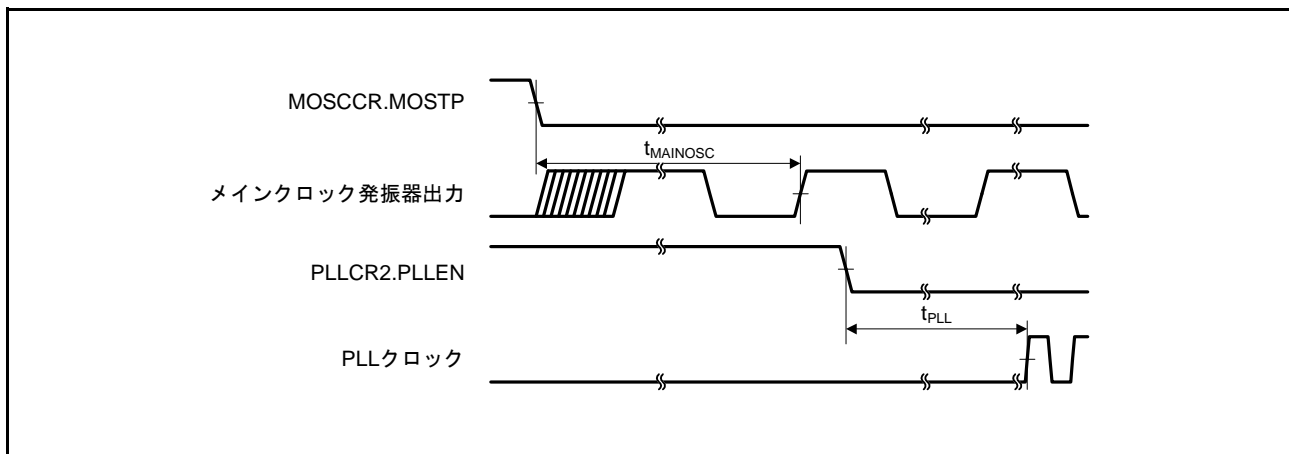


図 35.26 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

35.3.2 リセットタイミング

表 35.17 リセットタイミング

条件 : VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 35.27
	上記以外	t_{RESW}	30	—	—	μs	図 35.28
RES#解除後待機時間 (電源投入時)	t_{RESWT}	—	27.5	—	ms	図 35.27	
RES#解除後待機時間 (電源立ち上がった状態)	t_{RESWT}	—	114	—	μs	図 35.28	
独立ウォッチドッグタイマリセット期間	t_{RESWIW}	—	1	—	IWDT clock cycle	図 35.29	
ソフトウェアリセット期間	t_{RESWSW}	—	1	—	ICLK cycle		
独立ウォッチドッグタイマリセット解除後待機時間 (注1)	t_{RESW2}	—	300	—	μs		
ソフトウェアリセット解除後待機時間	t_{RESW2}	—	168	—	μs		

注1. IWDTCR.CKS[3:0] = 0000bを設定した場合です。

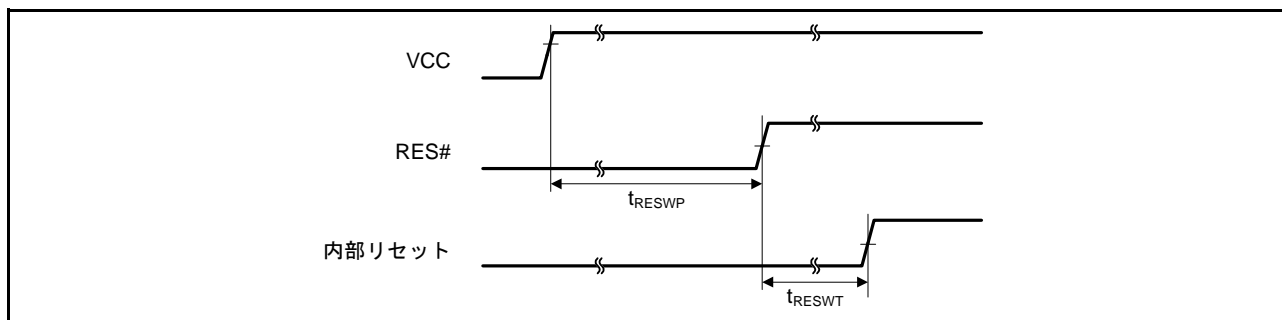


図 35.27 電源投入時リセット入力タイミング

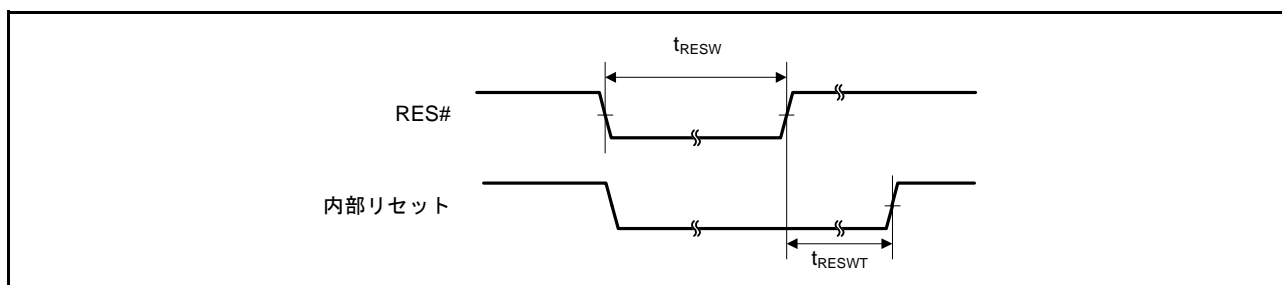


図 35.28 リセット入力タイミング (1)

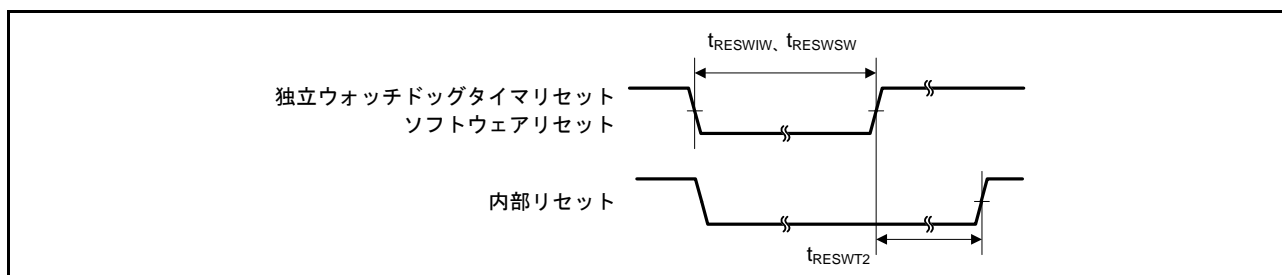


図 35.29 リセット入力タイミング (2)

35.3.3 低消費電力状態からの復帰タイミング

表35.18 低消費電力状態からの復帰タイミング (1)

条件: VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速モード	メインクロック発振器に水晶振動子を接続	t _{SBYMC}	—	2	3	ms	図 35.30	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t _{SBYEX}	—	35	50		μs
			メインクロック発振器、PLL回路動作 (注4)	t _{SBYPE}	—	70	95		μs
		LOCOクロック動作		t _{SBYLO}	—	40	55		μs

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。

注4. PLLの周波数が40MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表35.19 低消費電力状態からの復帰タイミング (2)

条件: VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速モード	メインクロック発振器に水晶振動子を接続	t _{SBYMC}	—	2	3	ms	図 35.30	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t _{SBYEX}	—	3	4		μs
			メインクロック発振器、PLL回路動作 (注4)	t _{SBYPE}	—	65	85		μs
		LOCOクロック動作		t _{SBYLO}	—	5	7		μs

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注4. PLLの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

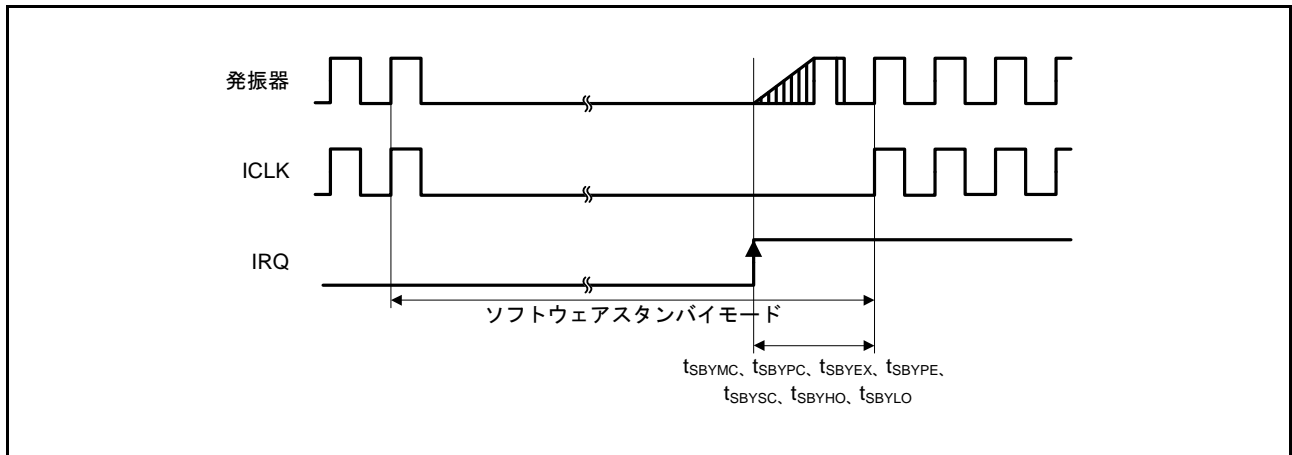


図 35.30 ソフトウェアスタンバイモード復帰タイミング

表 35.20 低消費電力状態からの復帰タイミング (3)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
ディープスリープモード解除後復帰時間 (注1)	高速モード (注2)	$t_{DSL P}$	—	2	3.5	μs	図 35.31
	中速モード (注3)	$t_{DSL P}$	—	3	4	μs	

- 注1. ディープスリープモードでは発振器は発振を継続します。
- 注2. システムクロック周波数が32MHzの場合です。
- 注3. システムクロック周波数が12MHzの場合です。

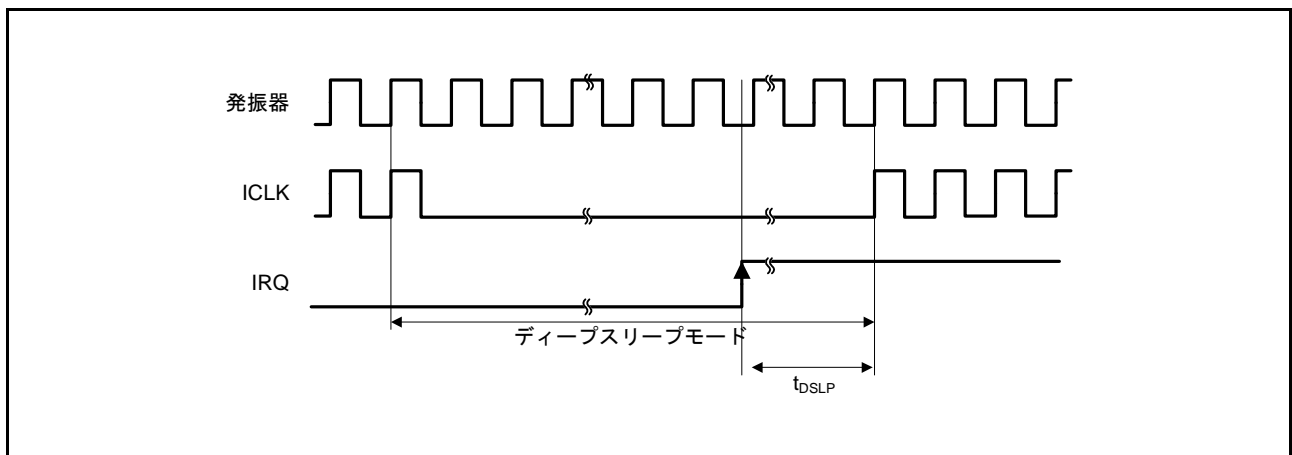


図 35.31 ディープスリープモード解除タイミング

表 35.21 動作モード遷移時間

条件 : VCC = 2.7V ~ AVCC0、AVCC0 = VREFH0 = 2.7V ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs

- 注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

35.3.4 制御信号タイミング

表 35.22 制御信号タイミング

条件 : $VCC = 2.7V \sim 5.5V$ 、 $AVCC0 = VREFH0 = VCC \sim 5.5V$ 、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $Ta = -40 \sim +105^{\circ}C$

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

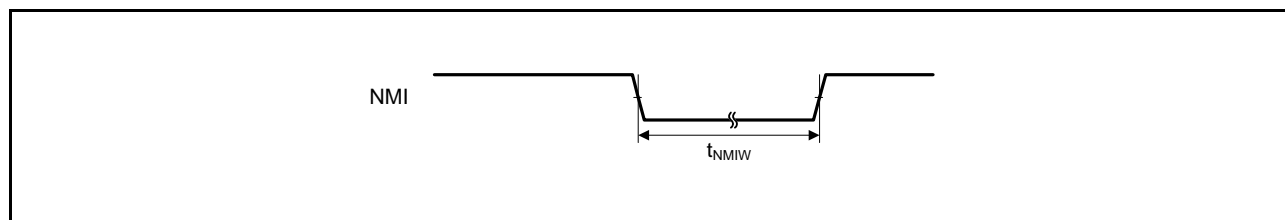
注1. t_{Pcyc} はPCLKBの周期を指します。注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック ($i = 0 \sim 5$)の周期を指します。

図 35.32 NMI 割り込み入カタイミング

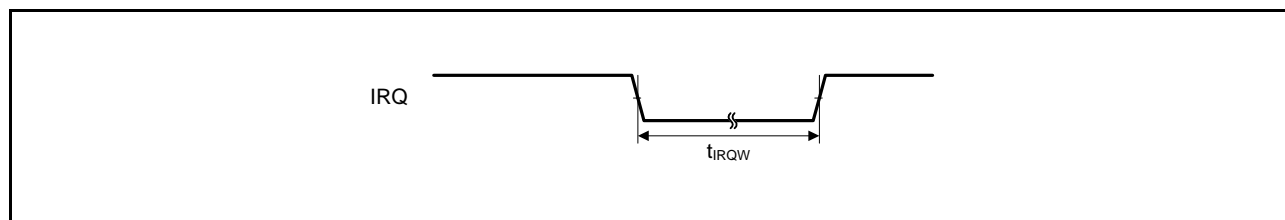


図 35.33 IRQ 割り込み入カタイミング

35.3.5 内蔵周辺モジュールタイミング

表 35.23 内蔵周辺モジュールタイミング (1)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅		t_{PRW}	1.5	—	t_{Pcyc}	図 35.34	
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	3	—	t_{PAcyc}	図 35.35	
		両エッジ指定		5	—			
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	3	—	t_{PAcyc}	図 35.36	
	両エッジ指定	5		—				
	位相計数モード	5		—				
POE3	POE#入力パルス幅		t_{POEW}	1.5	—	t_{Pcyc}	図 35.37	
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} 、 t_{TMCWL}	1.5	—	t_{Pcyc}	図 35.38	
		両エッジ指定		2.5	—			
SCI	入カクロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図 35.39	
		クロック同期		6	—			
	入カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入カクロック立ち上がり時間		t_{SCKr}	—	20	ns		
	入カクロック立ち下がり時間		t_{SCKf}	—	20	ns		
	出カクロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図 35.40	
		クロック同期		4	—			
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出カクロック立ち上がり時間		t_{SCKr}	—	20	ns		
	出カクロック立ち下がり時間		t_{SCKf}	—	20	ns		
	送信データ遅延時間 (マスタ)	クロック同期		t_{TXD}	—	40	ns	
	送信データ遅延時間 (スレーブ)	クロック 同期	VCC 4.0V 以上		—	40	ns	
		VCC 2.7V 以上	—	65	ns			
受信データセットアップ 時間 (マスタ)	クロック 同期	VCC 4.0V 以上	t_{RXS}	40	—	ns		
		VCC 2.7V 以上		65	—	ns		
受信データセットアップ 時間 (スレーブ)	クロック同期			40	—	ns		
受信データホールド時間	クロック同期		t_{RXH}	40	—	ns		
A/Dコンバータ	トリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図 35.41	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns		
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$				

注1. t_{Pcyc} : PCLKの周期、 t_{PAcyc} : PCLKAの周期注2. t_{cac} : CACカウントクロックソースの周期

表 35.24 内蔵周辺モジュールタイミング (2)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C、C = 30pF

項目			記号	min	max	単位	測定条件
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc} (注1)	図 35.42
		スレーブ		8	4096		
RSPCKクロック Highレベルパルス幅	マスタ	VCC 4.0V以上	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 5$	—	ns	
		VCC 2.7V以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 8$	—		
	スレーブ	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
RSPCKクロック Lowレベルパルス幅	マスタ	VCC 4.0V以上	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 5$	—	ns	
		VCC 2.7V以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 8$	—		
	スレーブ	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	VCC 4.0V以上	t_{SPCKr} , t_{SPCKf}	—	6	ns	
		VCC 2.7V以上		—	10		
	入力			—	0.1	$\mu s/V$	
データ入力セット アップ時間	マスタ	VCC 4.0V以上	t_{SU}	10	—	ns	図 35.43 ~ 図 35.46
		VCC 2.7V以上		26	—		
	スレーブ	$25 - t_{Pcyc}$		—			
データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—	ns	
		RSPCKをPCLKB の2分周に設定		0	—		
	スレーブ		t_H	$20 + 2 \times t_{Pcyc}$	—		
SSLセットアップ 時間	マスタ		t_{LEAD}	$-30 + N$ (注2) \times t_{SPcyc}	—	ns	
	スレーブ			2	—	t_{Pcyc}	
SSLホールド時間	マスタ		t_{LAG}	$-30 + N$ (注3) \times t_{SPcyc}	—	ns	
	スレーブ			2	—	t_{Pcyc}	
データ出力遅延時間	マスタ	VCC 4.0V以上	t_{OD}	—	10	ns	
		VCC 2.7V以上		—	14		
	スレーブ			—	$3 \times t_{Pcyc} + 65$		
データ出力ホールド 時間	マスタ		t_{OH}	0	—	ns	
	スレーブ			0	—		
連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times$ t_{Pcyc}	ns	
		スレーブ			$4 \times t_{Pcyc}$		
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力		t_{Dr} , t_{Df}	—	10	ns	
	入力			—	1	μs	
SSL立ち上がり/ 立ち下がり時間	出力		t_{SSLr} , t_{SSLf}	—	10	ns	
	入力			—	1	μs	
スレーブアクセス時間			t_{SA}	—	6	t_{Pcyc}	図 35.45、 図 35.46
スレーブ出力開放時間			t_{REL}	—	5	t_{Pcyc}	

注1. t_{Pcyc} : PCLKの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表 35.25 内蔵周辺モジュールタイミング (3)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C、C = 30pF

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPcyc}	4	65536	t_{Pcyc}	図 35.42	
	SCKクロックサイクル入力 (スレーブ)		6	65536	t_{Pcyc}		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	VCC 4.0V 以上	t_{SU}	40	—	ns	図 35.43、 図 35.44
		VCC 2.7V 以上		65	—		
	データ入力セットアップ時間 (スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SS入力セットアップ時間	t_{LEAD}	3	—	t_{SPcyc}		
	SS入力ホールド時間	t_{LAG}	3	—	t_{SPcyc}		
	データ出力遅延時間 (マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間 (スレーブ)		VCC 4.0V 以上	—		40	
			VCC 2.7V 以上	—		65	
	データ出力ホールド時間	マスタ	t_{OH}	-10	—	ns	
スレーブ		-10		—			
データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	20	ns			
SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{Pcyc}	図 35.45、 図 35.46		
スレーブ出力開放時間	t_{REL}	—	6	t_{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

表 35.26 内蔵周辺モジュールタイミング (4)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IIcCyc} + 1300$	—	ns	図 35.47
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IIcCyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IIcCyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCL サイクル時間	t_{SCL}	$6 (12) \times t_{IIcCyc} + 600$	—	ns	図 35.47
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IIcCyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IIcCyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IIcCyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IIcCyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IIcCyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IIcCyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注1. t_{IIcCyc} : RIICの内部基準クロック (IIcφ) の周期

注2. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

表 35.27 内蔵周辺モジュールタイミング (5)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t _{Sr}	—	1000	ns	図 35.47
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易I ² C (ファストモード)	SCL、SDA立ち上がり時間	t _{Sr}	—	300	ns	図 35.47
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注1. t_{pcyc} : PCLKの周期注2. C_bはバスラインの容量総計です。

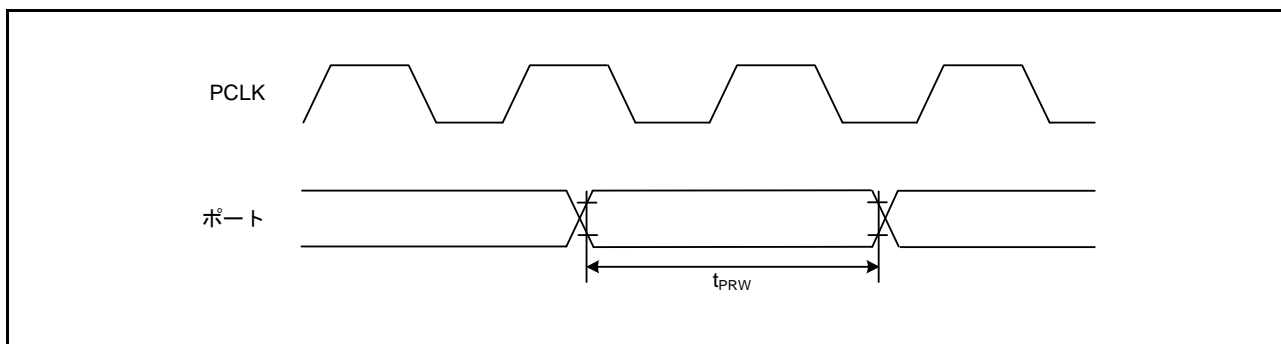


図 35.34 I/O ポート入力タイミング

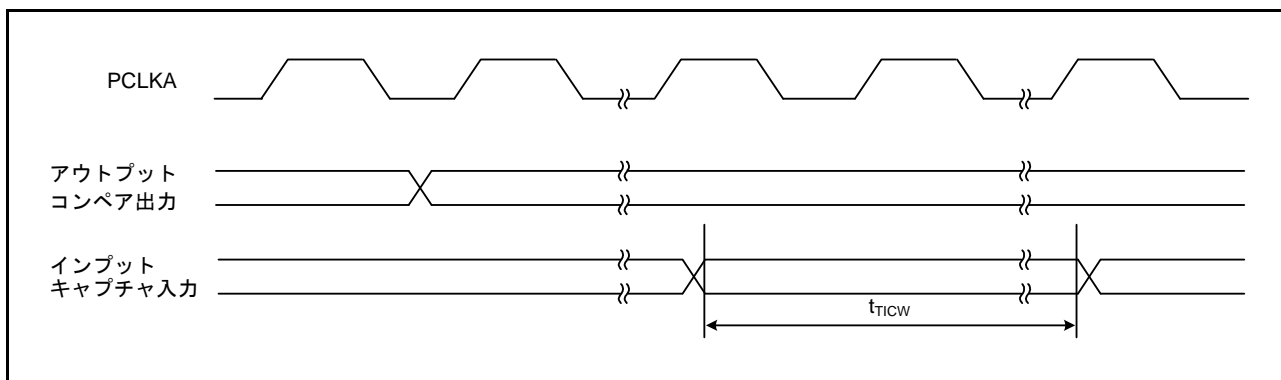


図 35.35 MTU3 入出力タイミング

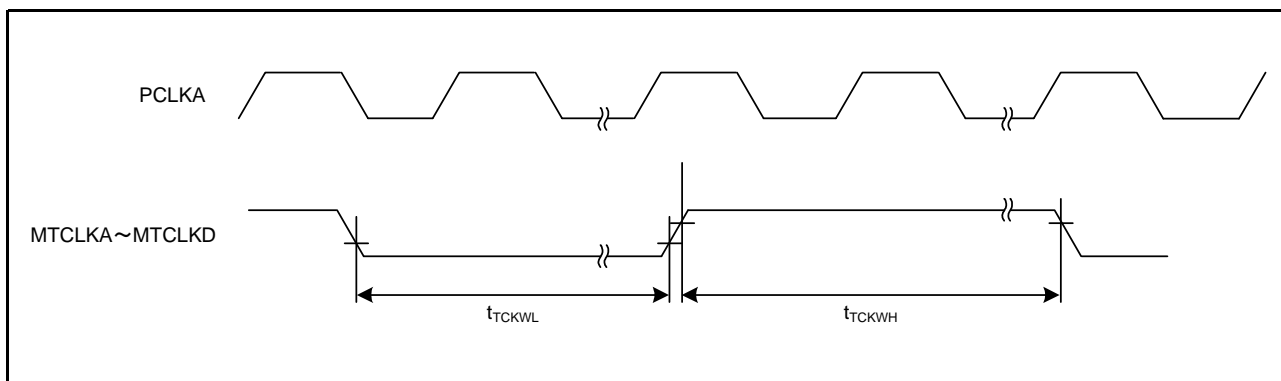


図 35.36 MTU3 クロック入力タイミング

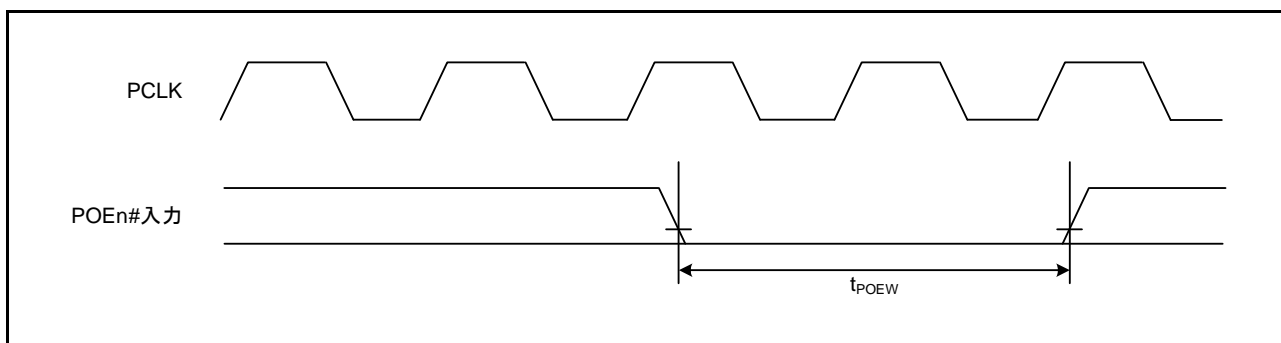


図 35.37 POE# 入力タイミング

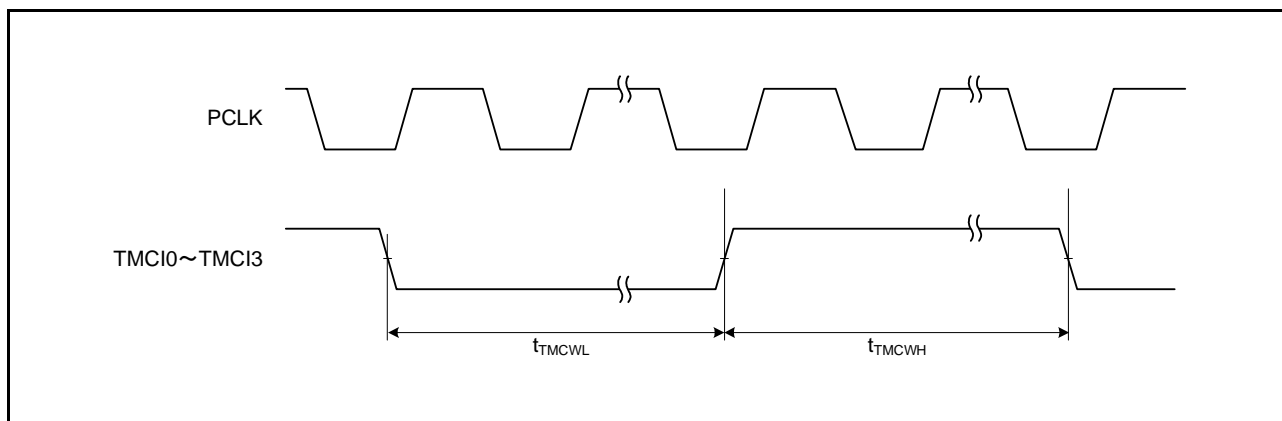


図 35.38 TMR クロック入力タイミング

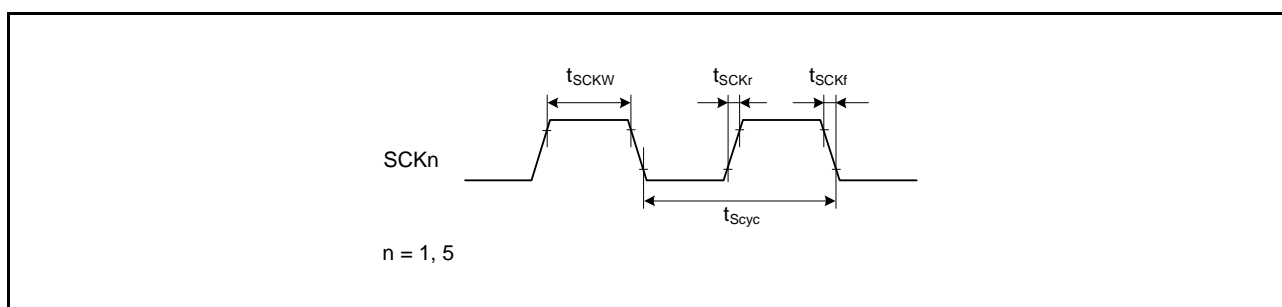


図 35.39 SCK クロック入力タイミング

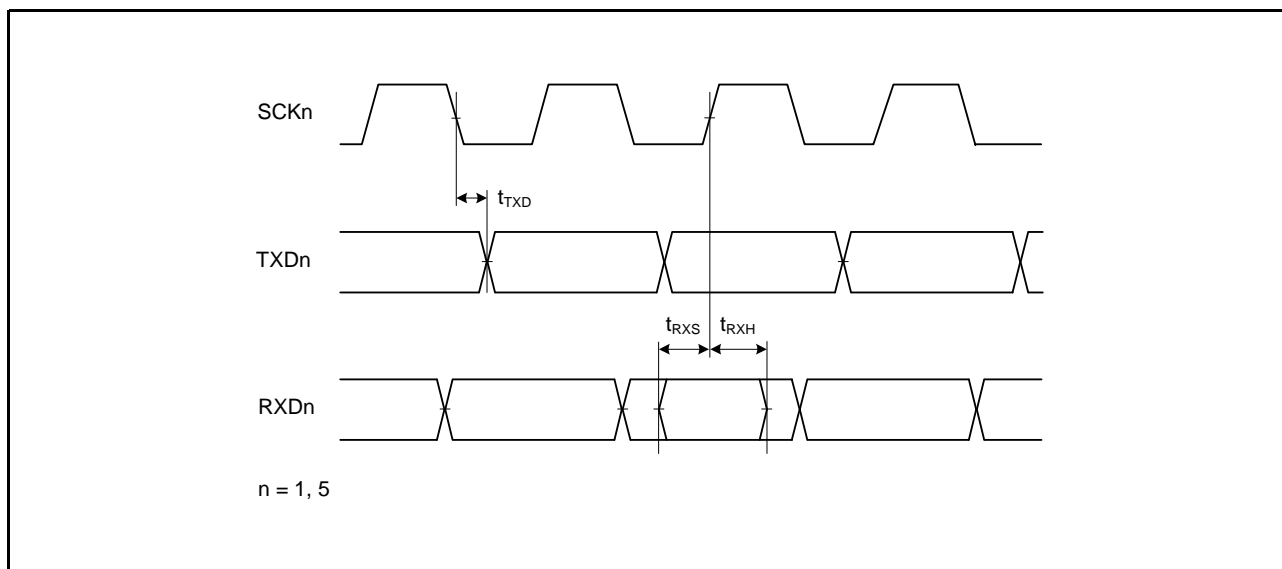


図 35.40 SCI 入出力タイミング/クロック同期式モード

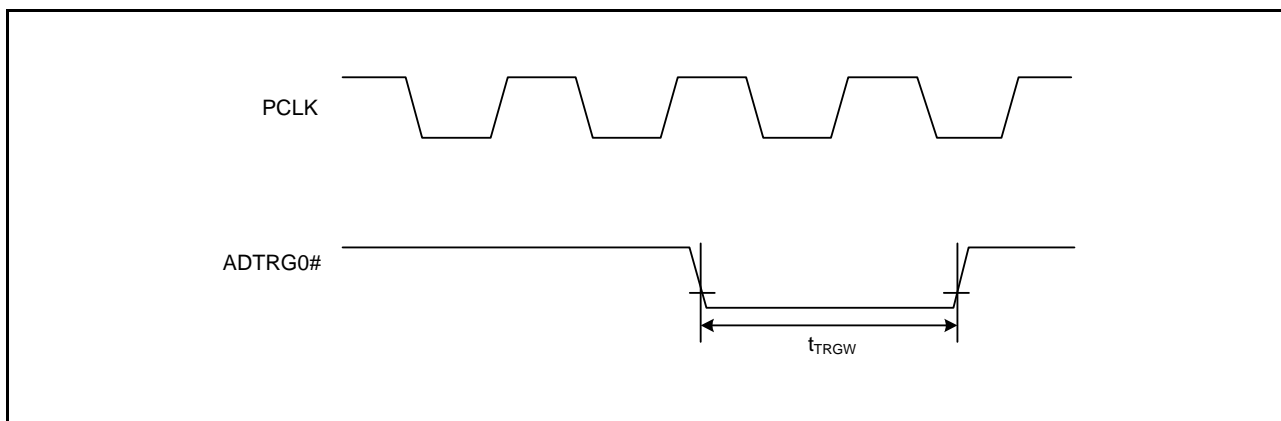


図 35.41 A/D コンバータ外部トリガ入力タイミング

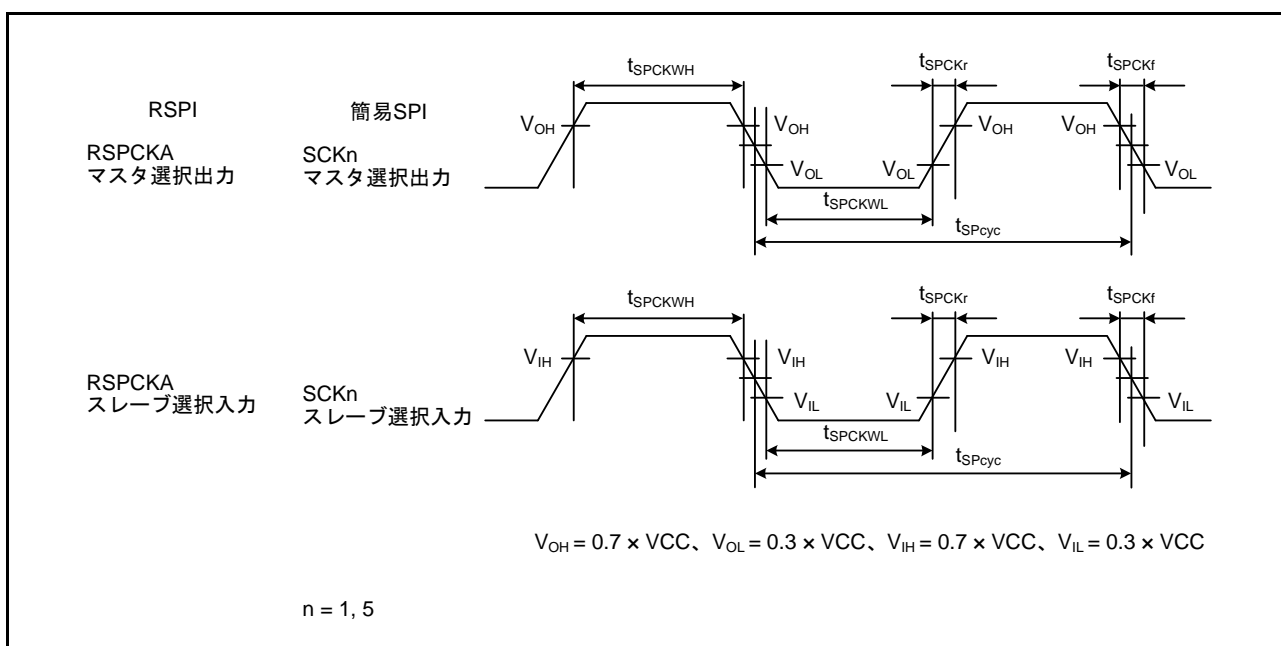


図 35.42 RSPI クロックタイミング / 簡易 SPI クロックタイミング

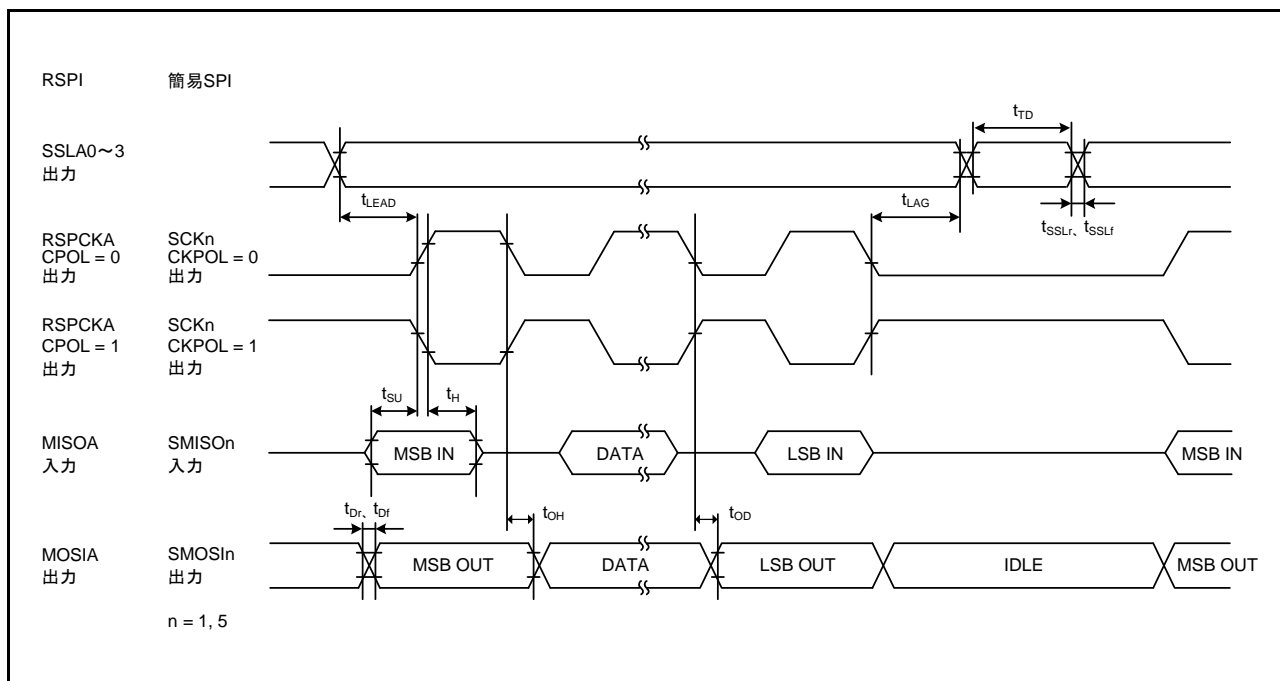


図 35.43 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

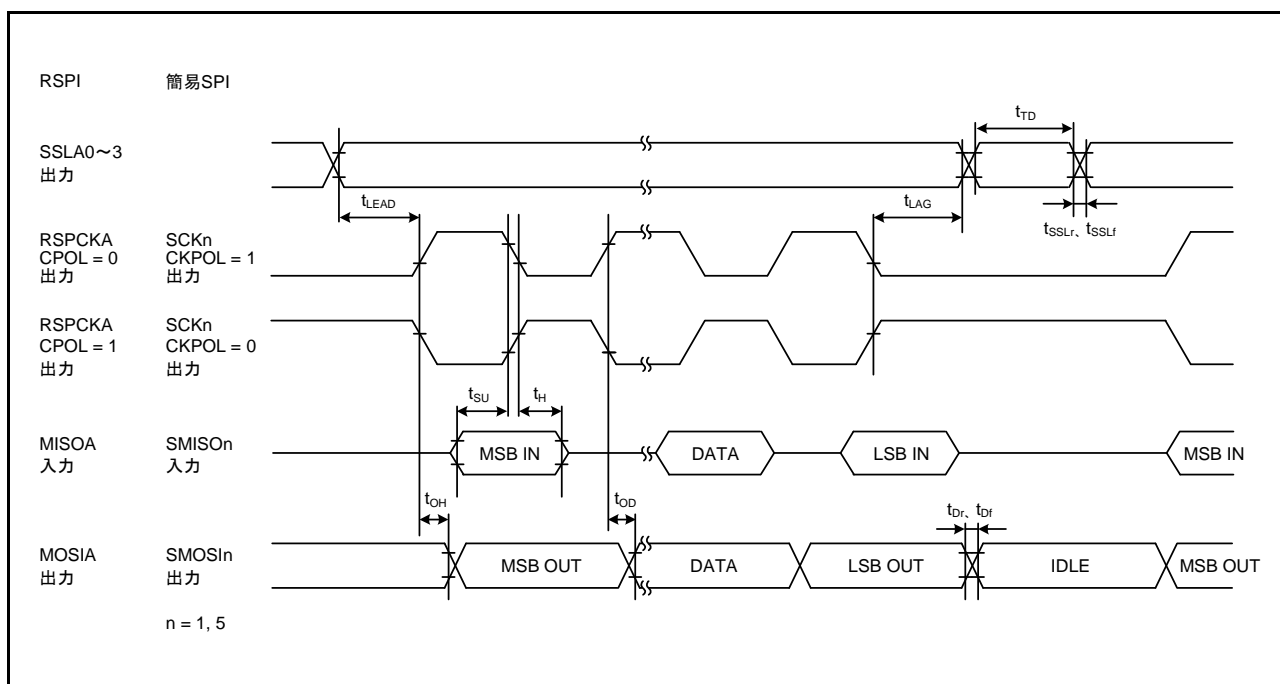


図 35.44 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI タイミング (マスタ、CKPH = 0)

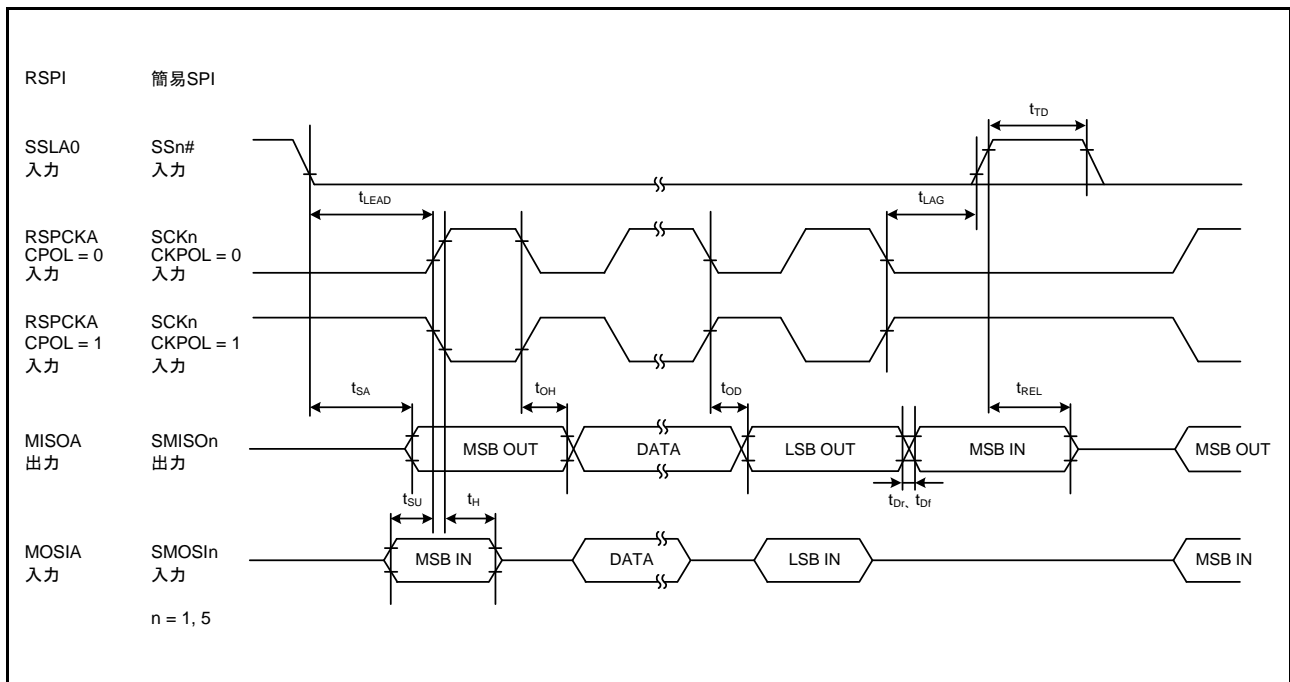


図 35.45 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

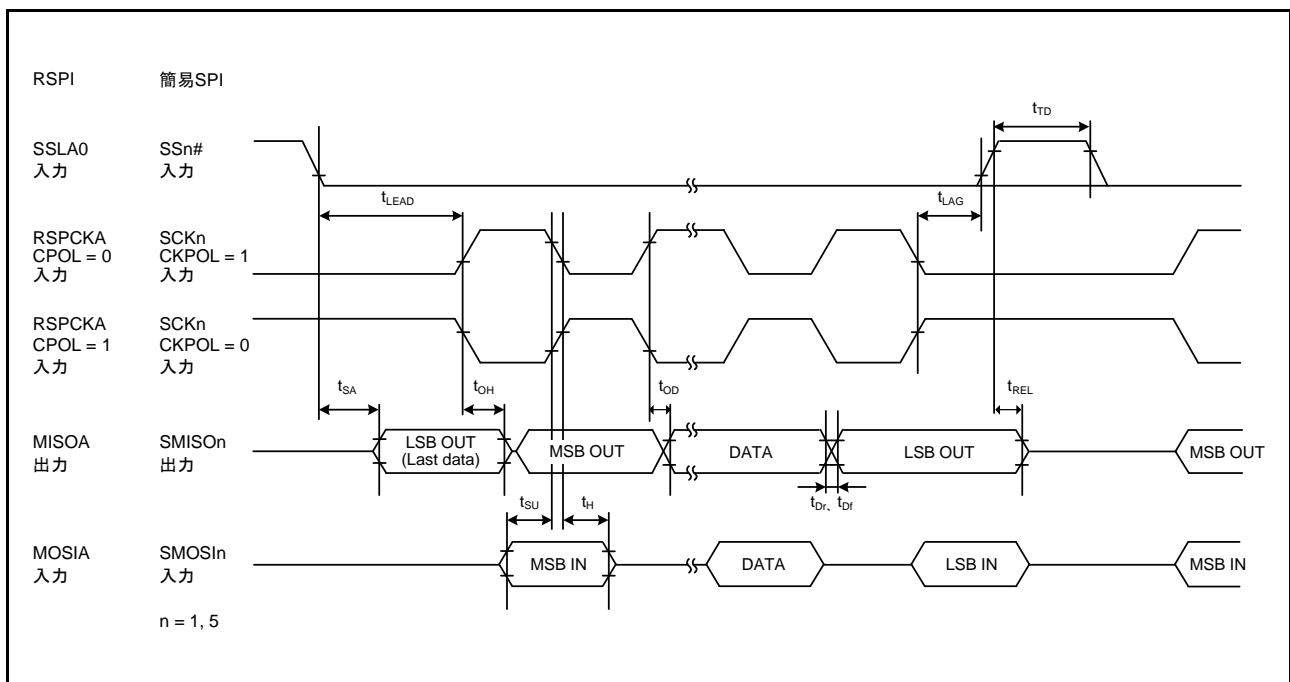


図 35.46 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

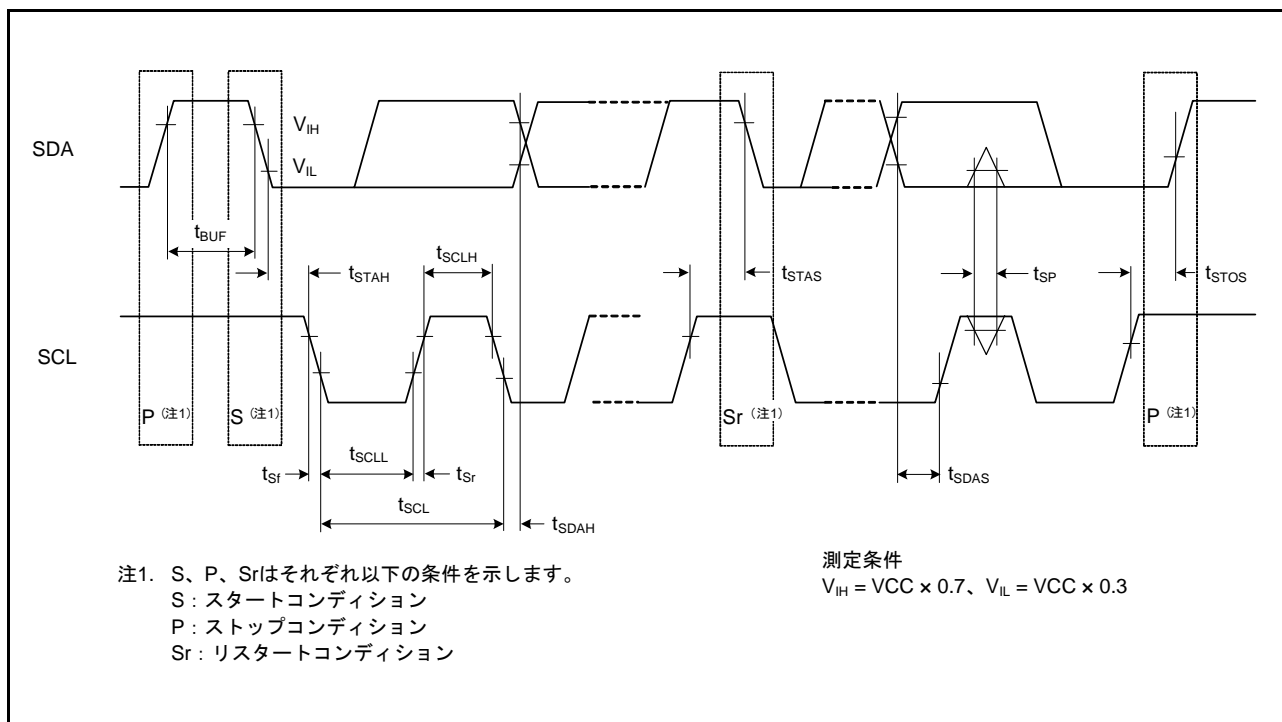


図 35.47 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

35.4 A/D 変換特性

表 35.28 A/D変換特性 (1)

条件 : VCC = 4.5V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		min	typ	max	単位	測定条件
周波数		1	—	40	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.00	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 08h
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.25	—	—	μs	通常精度チャネル ADSSTRn.SST[7:0] ビット = 12h
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 使用時	1.65	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 08h ADSHCR.SSTSH[7:0] ビット = 0Dh AN000 ~ AN002 = 0.25V ~ VREFH0 - 0.25V
アナログ入力容量		—	—	12	pF	
オフセット誤差		—	—	±6.5	LSB	
フルスケール誤差		—	—	±6.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	—	±8.0	LSB	
DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	
INL 積分非直線性誤差		—	±2.0	±4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 35.29 A/D変換特性 (2)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	min	typ	max	単位	測定条件	
周波数	1	—	40	MHz		
分解能	—	—	12	ビット		
変換時間 (注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.15	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 0Eh
		1.30	—	—	μs	通常精度チャネル ADSSTRn.SST[7:0] ビット = 14h
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 使用時	1.90	—	—	μs	高精度チャネル ADSSTRn.SST[7:0] ビット = 0Eh ADSHCR.SSTSH[7:0] ビット = 11h AN000 ~ AN002 = 0.25V ~ VREFH0 - 0.25V
アナログ入力容量	—	—	12	pF		
オフセット誤差	—	—	±6.5	LSB		
フルスケール誤差	—	—	±6.5	LSB		
量子化誤差	—	±0.5	—	LSB		
絶対精度	—	—	±8.0	LSB		
DNL 微分非直線性誤差	—	±0.5	±1.5	LSB		
INL 積分非直線性誤差	—	±2.0	±4.0	LSB		

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表 35.30 A/Dコンバータチャネル分類表

分類	対象チャネル	条件	備考
高精度チャネル	AN000 ~ AN007	AVCC0 = 2.7 ~ 5.5V	A/Dコンバータ使用時、AN000 ~ AN007 端子をデジタル出力として使用することはできません
通常精度チャネル	AN016、AN017	VCC = AVCC0 = 2.7 ~ 5.5V	
内部基準電圧入力チャネル	内部基準電圧	AVCC0 = 2.7 ~ 5.5V	

表 35.31 A/D内部基準電圧特性

条件: VCC = 2.7V ~ AVCC0、AVCC0 = VREFH0 = 2.7V ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャネル (注1)	1.36	1.43	1.50	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

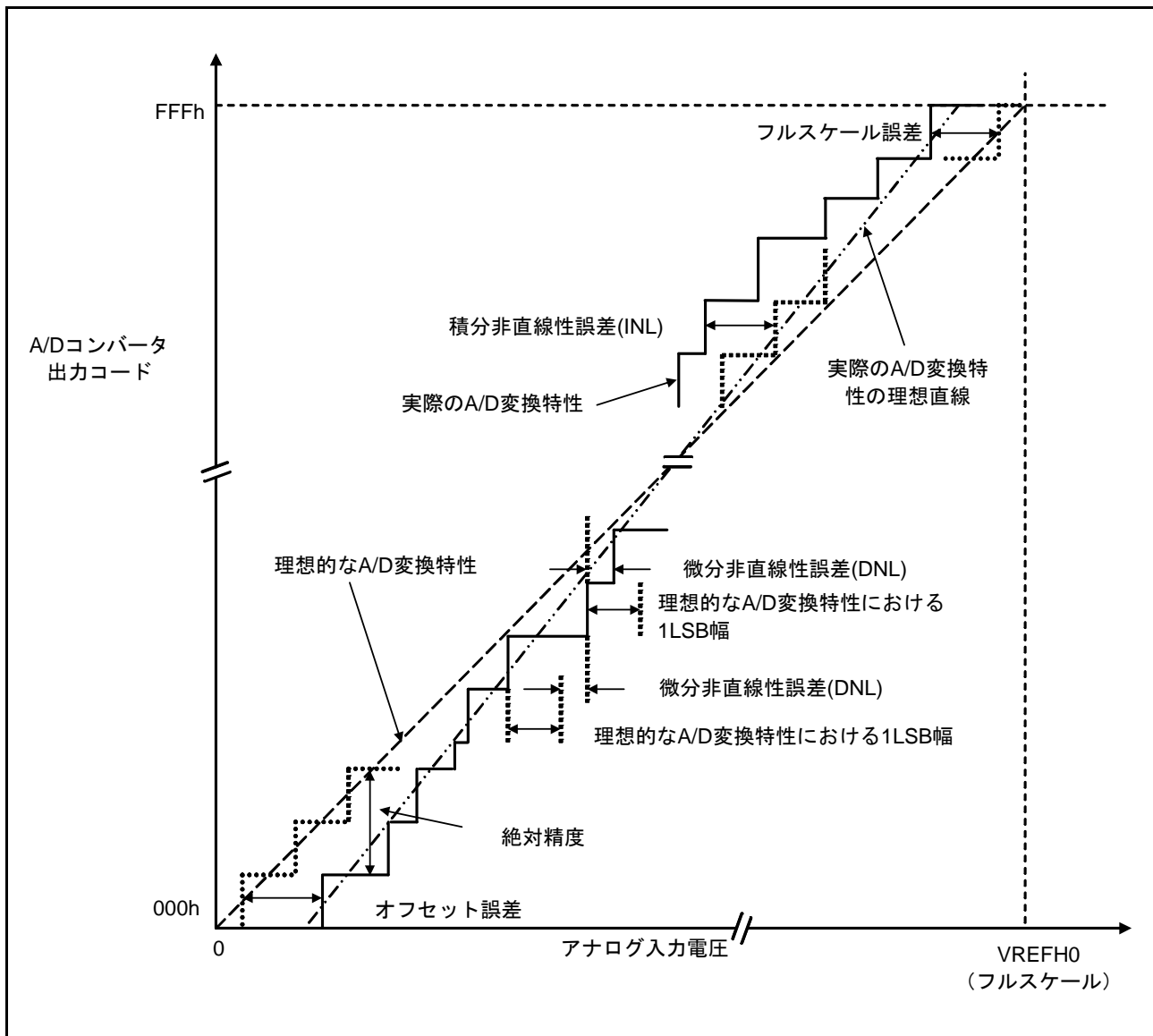


図 35.48 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際の出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

35.5 コンパレータ特性

表 35.32 コンパレータ特性

条件 : $V_{CC} = 2.7V \sim 5.5V$ 、 $AVCC0 = V_{REFH0} = V_{CC} \sim 5.5V$ 、 $V_{SS} = AVSS0 = V_{REFL0} = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{cioff}	—	—	40	mV	
リファレンス入力電圧範囲	V_{cref}	0	—	$AVCC0$	V	
応答時間	t_{cr}	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	t_{cf}	—	—	200	ns	
入力切替時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定待ち時間	t_{cmp}	—	—	1	μs	

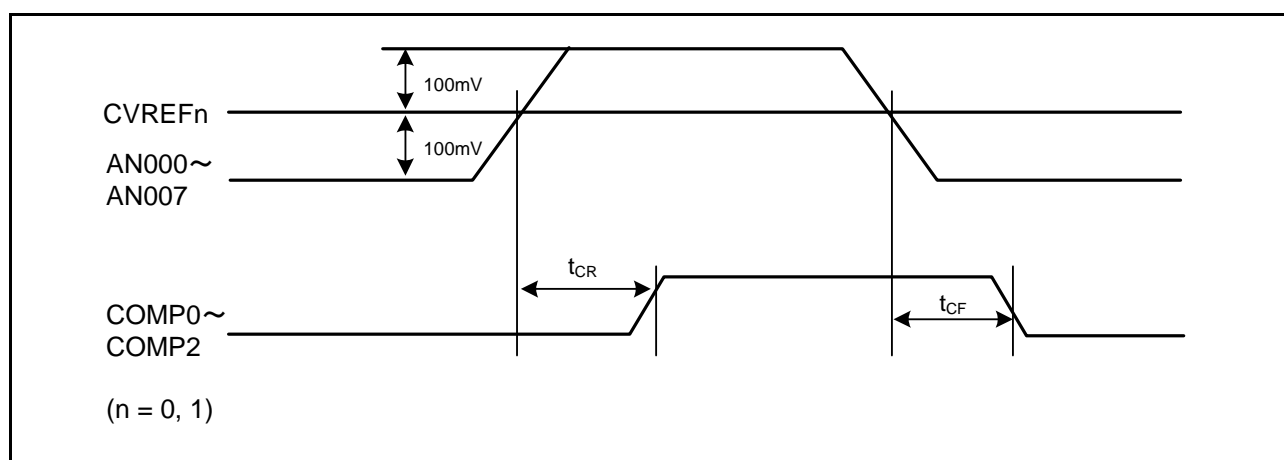


図 35.49 コンパレータ応答時間

35.6 D/A 変換特性

表 35.33 D/A変換特性

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t _{DCONV}	—	—	3.0	μs	
絶対精度	—	—	±1.0	±3.0	LSB	

35.7 パワーオンリセット回路、電圧検出回路特性

表 35.34 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 35.50、図 35.51
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97	V	
		V _{det0_2}	2.37	2.51	2.67		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図 35.53 VCC 立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
		V _{det1_8}	2.57	2.68	2.87		
	電圧検出回路 (LVD2) (注1)	V _{det2_0} (注2)	4.08	4.29	4.48		図 35.54 VCC 立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
		V _{det2_3}	3.62	3.84	4.02		

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号V_{det0_n}のnは、LVDS0[1:0]ビットの値です。

注2. 記号V_{det1_n}のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号V_{det2_n}のnは、LVDLVLR.LVD2LVL[3:0]ビットの値です。

表 35.35 パワーオンリセット回路、電圧検出回路特性 (2)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	t_{POR}	—	28.4	—	ms	図 35.51
電圧監視0リセット解除後待機時間	t_{LVD0}	—	568	—	μ s	図 35.52
電圧監視1リセット解除後待機時間	t_{LVD1}	—	100	—	μ s	図 35.53
電圧監視2リセット解除後待機時間	t_{LVD2}	—	100	—	μ s	図 35.54
応答遅延時間	t_{det}	—	—	350	μ s	図 35.50
最小VCC低下時間 (注1)	t_{VOFF}	350	—	—	μ s	図 35.50、VCC = 1.0V 以上
パワーオンリセット有効時間	$t_W (POR)$	1	—	—	ms	図 35.51、VCC = 1.0V 未満
LVD動作安定時間 (LVD有効切り替え時)	$T_d (E-A)$	—	—	300	μ s	図 35.53、図 35.54
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V_{LVH}	—	70	—	mV	Vdet1_0 ~ 4 選択時
		—	60	—		Vdet1_5 ~ 8, LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

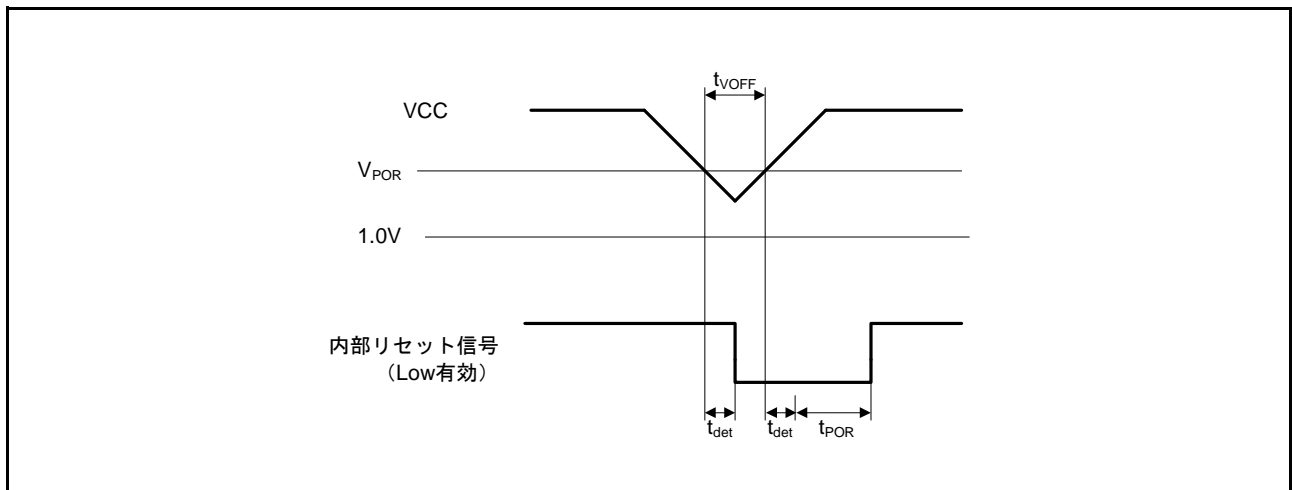
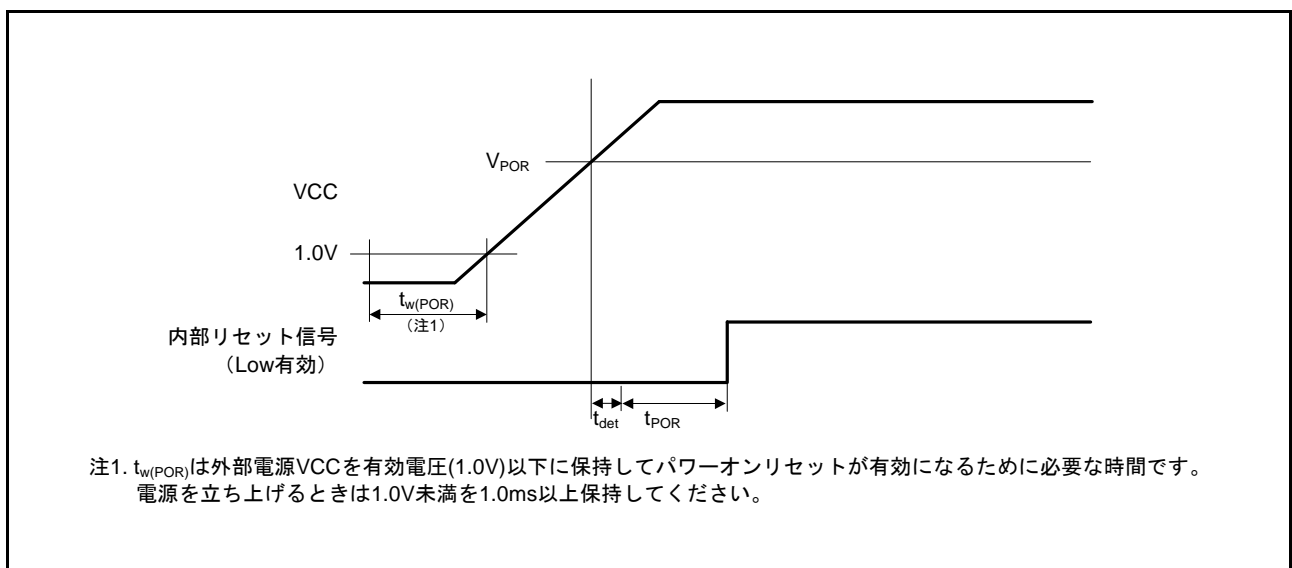


図 35.50 電圧検出しリセットタイミング



注1. $t_W(POR)$ は外部電源VCCを有効電圧(1.0V)以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を立ち上げるときは1.0V未満を1.0ms以上保持してください。

図 35.51 パワーオンリセットタイミング

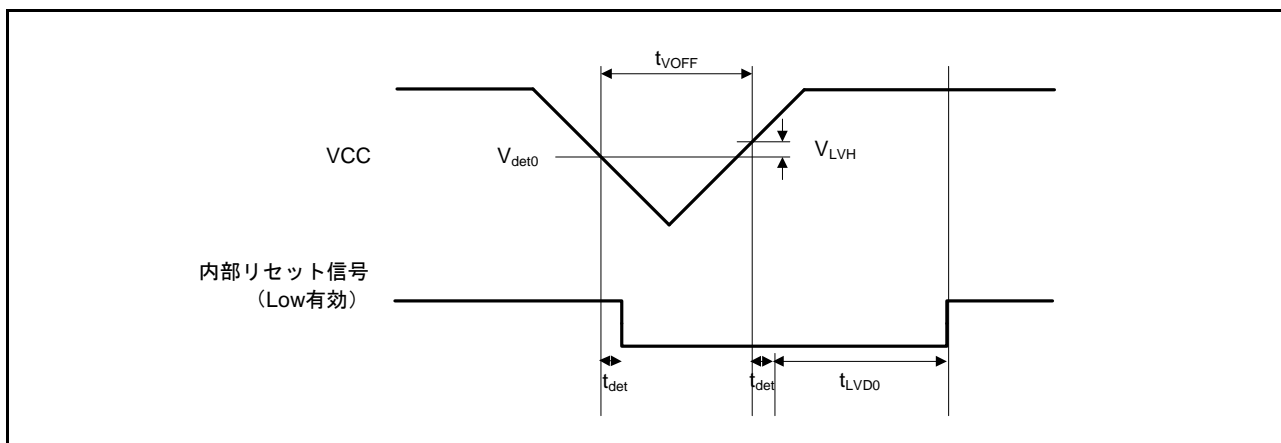


図 35.52 電圧検出回路タイミング (V_{det0})

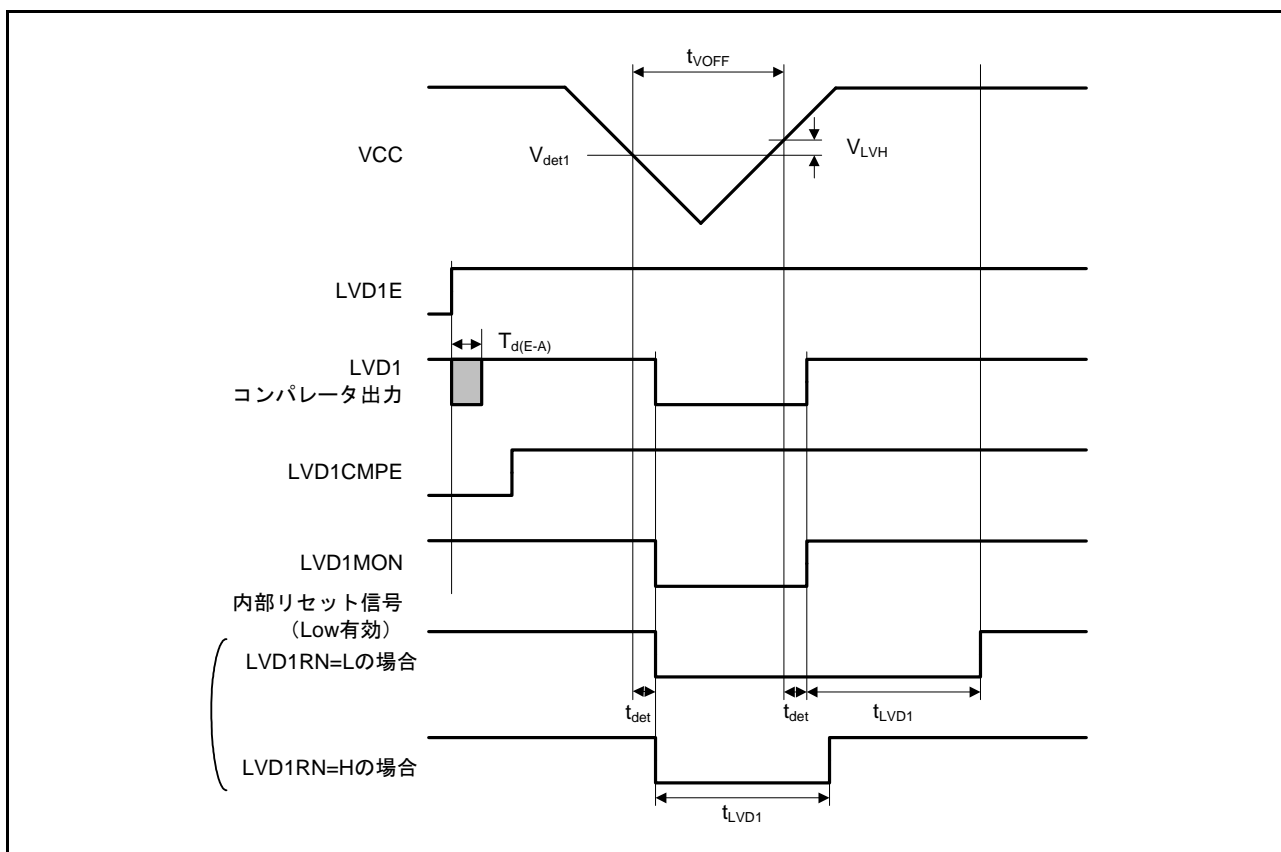
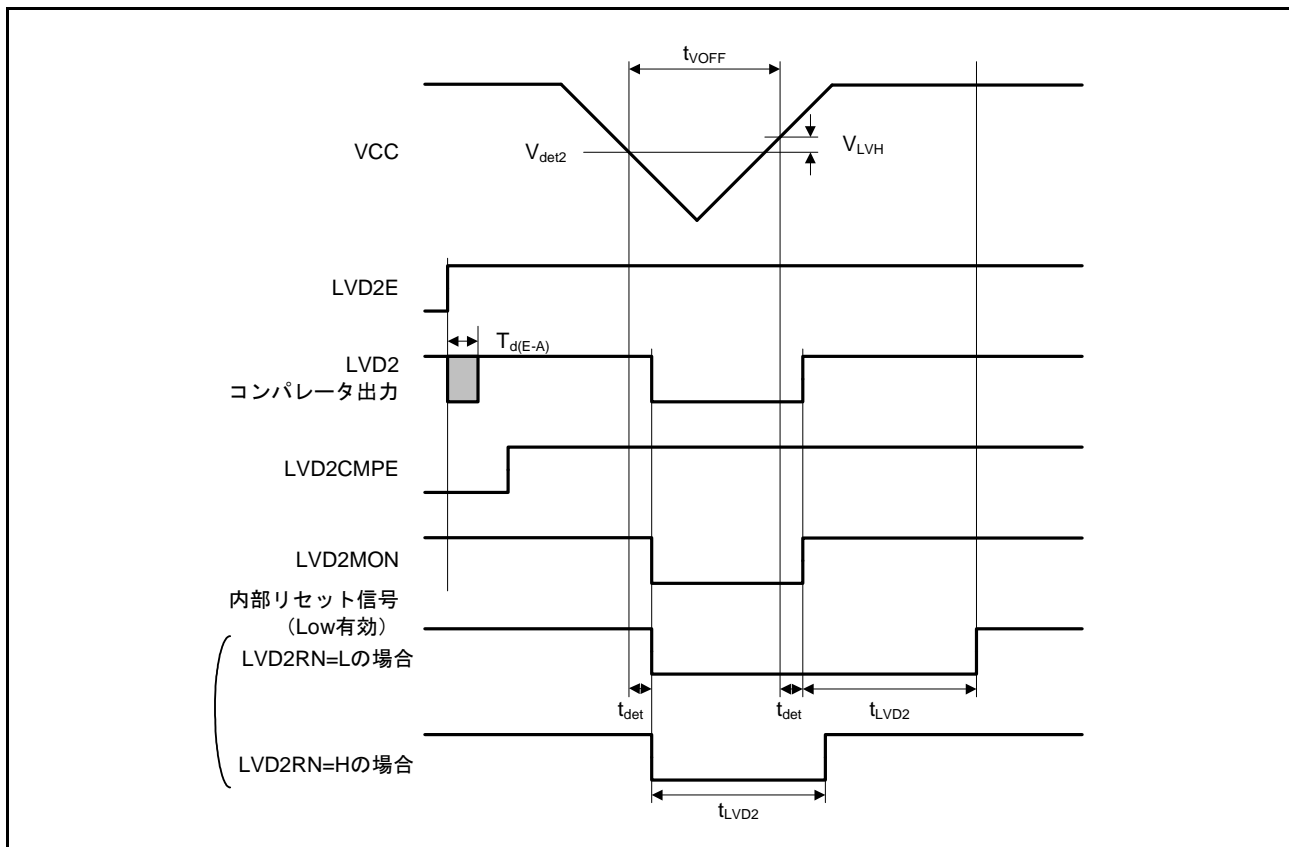


図 35.53 電圧検出回路タイミング (V_{det1})

図 35.54 電圧検出回路タイミング (V_{det2})

35.8 発振停止検出タイミング

表 35.36 発振停止検出回路特性

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 35.55

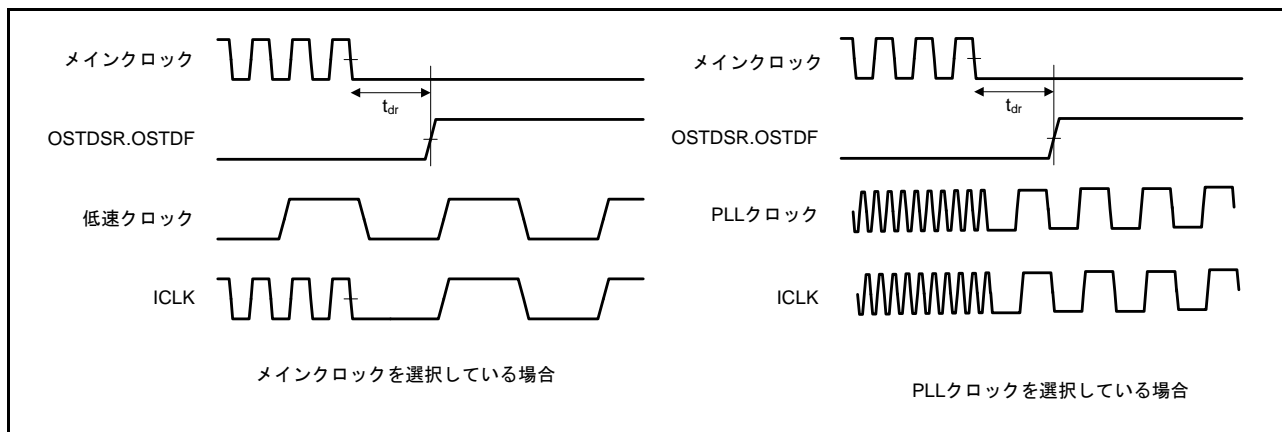


図 35.55 発振停止検出タイミング

35.9 ROM（コード格納用フラッシュメモリ）特性

表35.37 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20（注2、注3）	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表35.38 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T_a = -40 ~ +105°C

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{p8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	128Kバイト （ブロックイ レーズコマ ンド使用時）		—	239.7	5111.4	—	25.9	734.3	ms
	128Kバイト （全ブロック イレーズコマ ンド使用時）	t _{E128K}	—	234.5	4906.8	—	20.6	524.6	ms
ブランクチェック	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間		t _{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	12.3	566.5	—	6.2	433.5	ms
アクセスウィンドウ設定時間		t _{AWS}	—	12.3	566.5	—	6.2	433.5	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E 時、FCLK の下限周波数は 1MHz です。FCLK を 4MHz 未満で使用する場合は、設定可能な周波数は 1MHz、2MHz、3MHz です。例えば 1.5MHz のように整数値でない周波数は設定できません。

注. FCLK の周波数精度は ±3.5% である必要があります。

表35.39 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

プログラム/イレーズ時の動作温度範囲：Ta = -40 ~ +85 °C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	128Kバイト (ブロックイ レーズコマ ンド使用時)		—	239.8	5114.7	—	55.5	1336.4	ms
	128Kバイト (全ブロック イレーズコマ ンド使用時)	t _{E128K}	—	234.6	4908.5	—	50.3	1130.1	ms
ブランクチェック	8バイト	t _{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t _{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t _{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリ P/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

35.10 使用上の注意事項

35.10.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 35.56～図 35.58 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「29. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

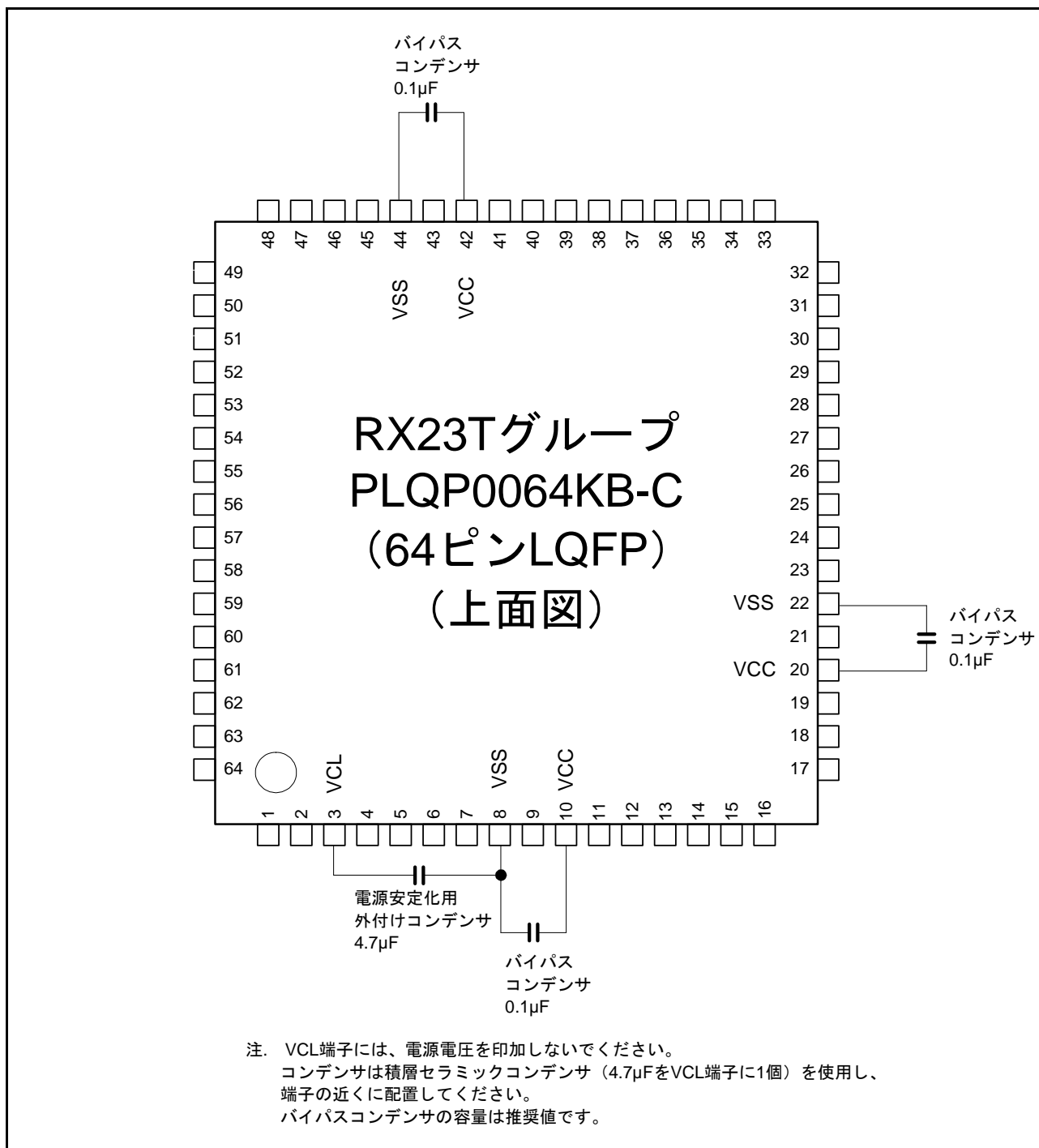


図 35.56 コンデンサ接続方法（64ピン）

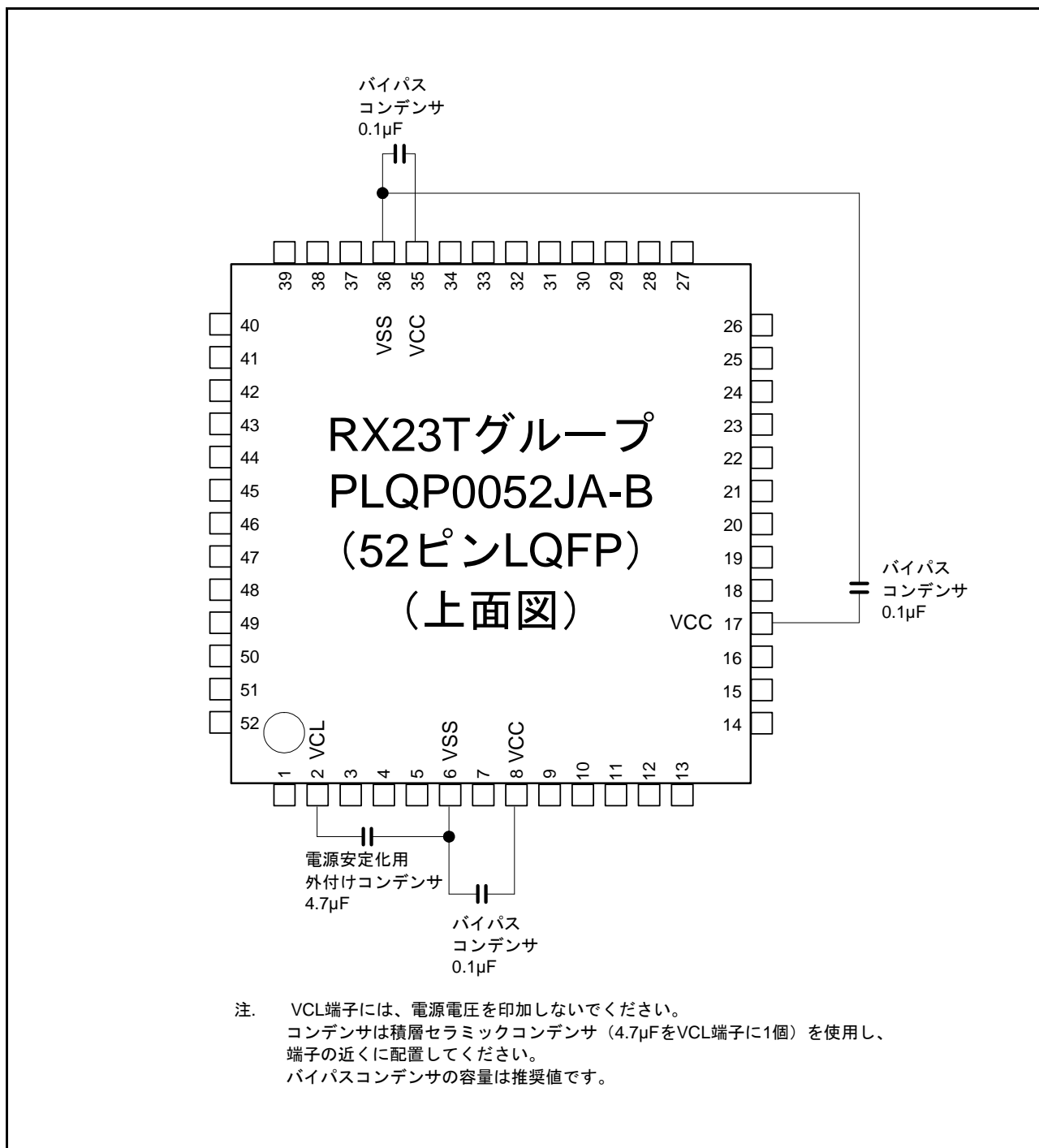


図 35.57 コンデンサ接続方法（52ピン）

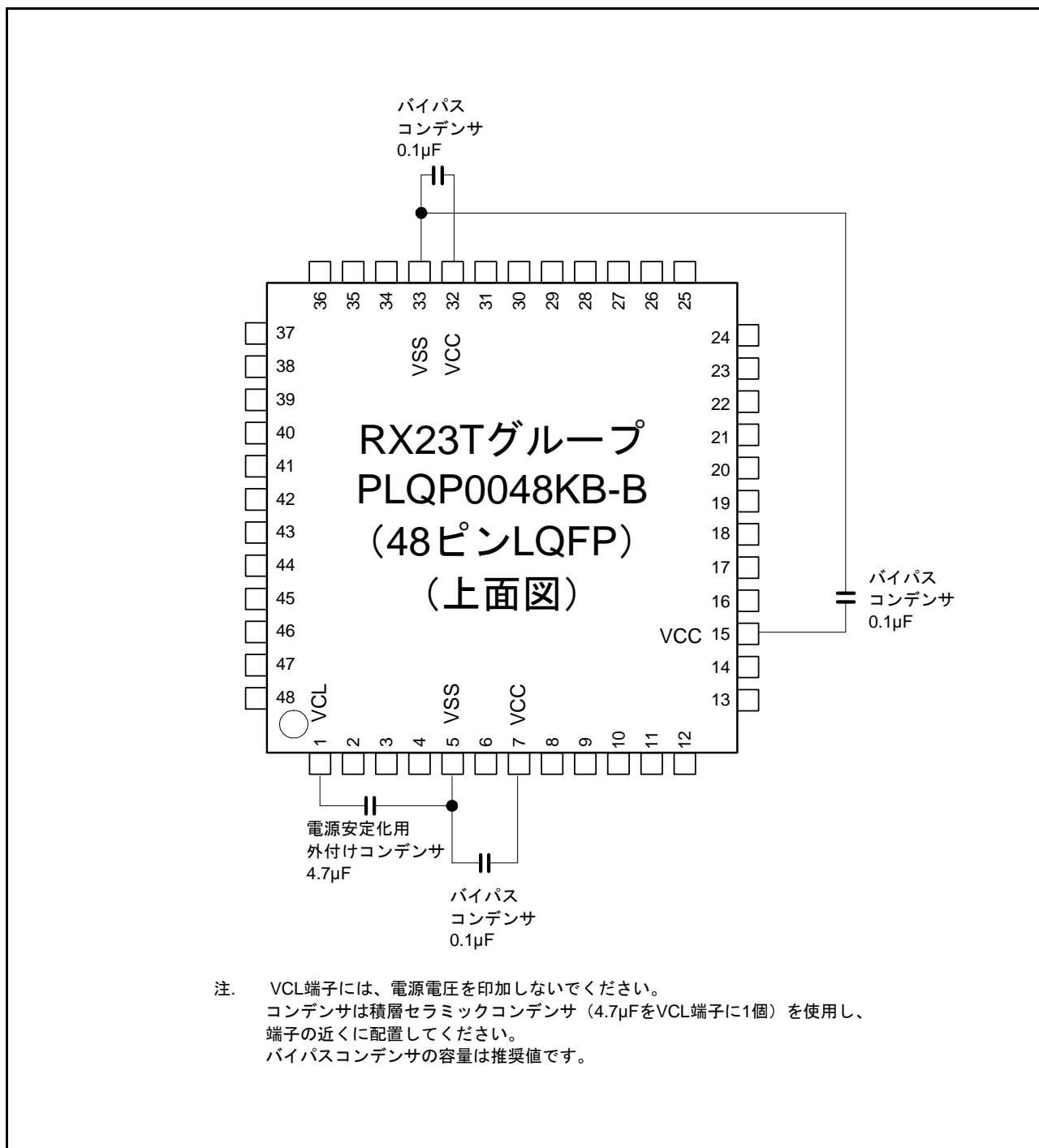


図 35.58 コンデンサ接続方法（48ピン）

付録1. 各処理状態におけるポートの状態

表 1.1 各処理状態におけるポートの状態

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード
P00、P01 (IRQ2、IRQ4)	全モード	Hi-Z	Keep-O (注1)
P02 (IRQ5)	全モード	Hi-Z	Keep-O (注1)
P10、P11 (IRQ0、IRQ1)	全モード	Hi-Z	Keep-O (注1)
P22、P23、P24 (IRQ2、IRQ4、IRQ3)	全モード	Hi-Z	Keep-O (注1)
P30～P33、P36、P37	全モード	Hi-Z	Keep-O
P40～P47	全モード	Hi-Z	Keep-O
P70 (IRQ5)	全モード	Hi-Z	Keep-O (注1)
P71～P76	全モード	Hi-Z	Keep-O
P91、P92	全モード	Hi-Z	Keep-O
P93、P94 (IRQ0,IRQ1)	全モード	Hi-Z	Keep-O (注1)
PA2 (IRQ4)	全モード	Hi-Z	Keep-O (注1)
PA3～PA5	全モード	Hi-Z	Keep-O
PB0、PB2、PB3、PB5、PB7	全モード	Hi-Z	Keep-O
PB1、PB4、PB6 (IRQ2、IRQ3、IRQ5)	全モード	Hi-Z	Keep-O (注1)
PD3、PD7	全モード	Hi-Z	Keep-O
PD4、PD5、PD6 (IRQ2、IRQ3、IRQ5)	全モード	Hi-Z	Keep-O (注1)
PE2 (NMI)	全モード	Hi-Z	Keep-O (注1)

Keep-O : 出力端子として使用時は直前値を保持、入力端子として使用時はハイインピーダンス

Hi-Z : ハイインピーダンス

注1. 外部端子割り込みとして使用時は、ソフトウェアスタンバイモード解除要因として設定されている場合、入力できます。

付録2. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

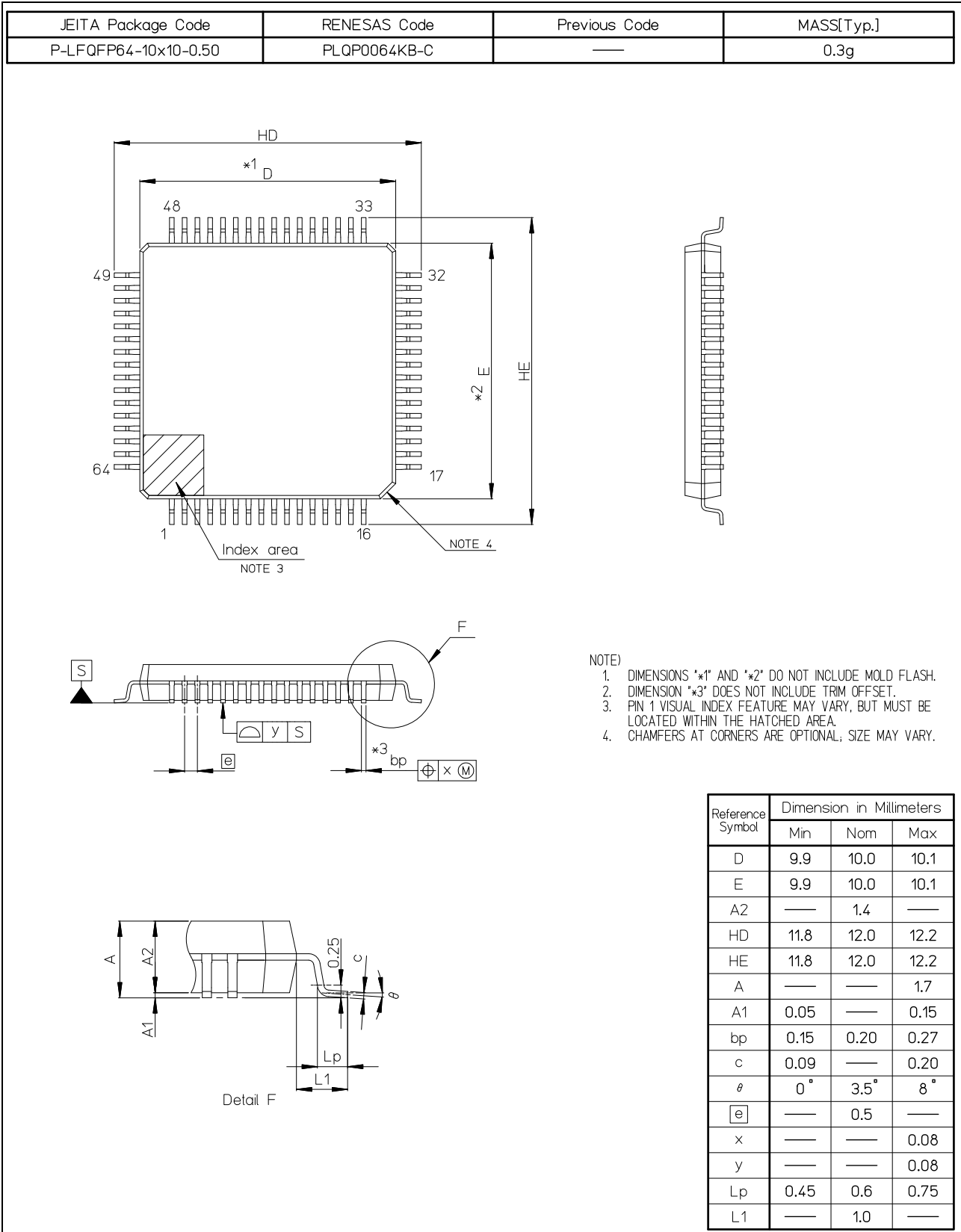


図 A. 64 ピン LFQFP (PLQP0064KB-C)

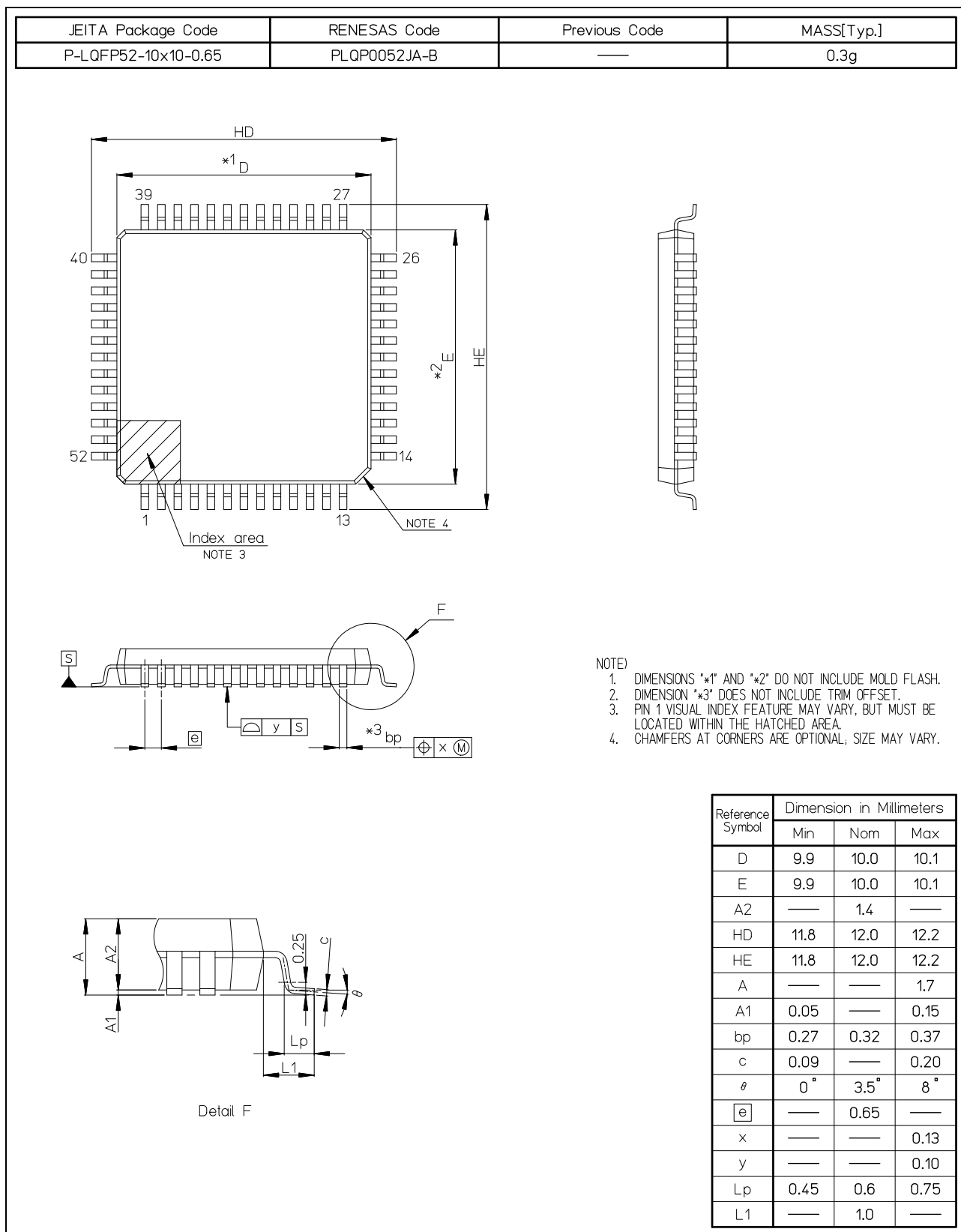


図 B. 52ピン LQFP (PLQP0052JA-B)

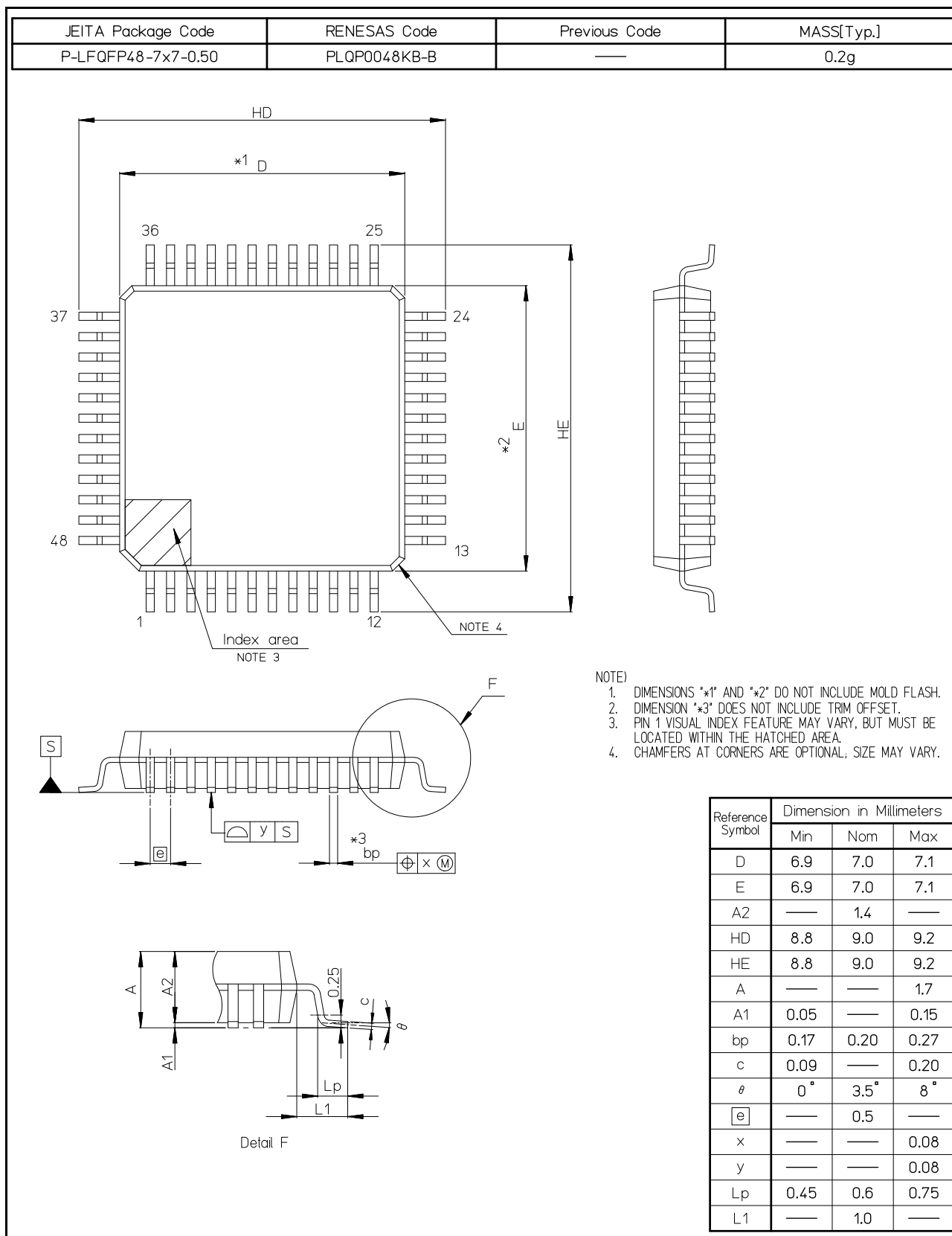


図 C. 48ピンLFQFP (PLQP0048KB-B)

改訂記録	RX23T グループ ユーザーズマニュアル ハードウェア編
------	-------------------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.03.31	—	初版発行	
1.10	2016.01.13	特長		
		34	特長 変更	
		1. 概要		
		35, 36	表1.1 仕様概要(1/3)、表1.1 仕様概要(2/3) 変更	
		39	表1.3 製品一覧表 Dバージョン (T _a =−40~85℃) 変更	
		39	表1.4 製品一覧表 Gバージョン (T _a =−40~105℃) 変更	
		40	図1.1 型名とメモリサイズ・パッケージ 変更	
		44	表1.5 端子機能一覧(3/3) 変更	
		45	図1.3 64ピンLQFPピン配置図 変更	
		46	図1.4 52ピンLQFPピン配置図 変更	
		47	図1.5 48ピンLQFPピン配置図 変更	
		48	表1.6 機能別端子一覧(64ピンLQFP)(1/2) 変更	
		50	表1.7 機能別端子一覧(52ピンLQFP)(1/2) 変更	
		52	表1.8 機能別端子一覧(48ピンLQFP)(1/2) 変更	
		4. アドレス空間		
		87	図4.1 各動作モードのメモリマップ 変更	
		5. I/O レジスタ		
		90	表5.1 I/Oレジスタアドレス一覧(1/16) アドレス: 0008 0036h 高速オンチップオシレータコントロールレジスタ (HOCOOCR)、アドレス: 0008 00A5h 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) 追加	
		100	表5.1 I/Oレジスタアドレス一覧(11/16) アドレス: 0008 C087h オープンドレイン制御レジスタ1 (ODR1) 追加	
		7. オプション設定メモリ		
		122, 123	7.2.2 オプション機能選択レジスタ1 (OFS1) HOCOENビット (HOCO発振有効ビット) ビット説明追加	
		9. クロック発生回路		
		141	表9.1 クロック発生回路の仕様 変更	
		142	図9.1 クロック発生回路のブロック図 変更	
		145	9.2.2 システムクロックコントロールレジスタ3 (SCKCR3) CKSEL[2:0]ビット (クロックソース選択ビット) の説明変更	
		151	9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOOCR) 追加	
		152	9.2.9 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR) 追加	
		153, 154	9.2.10 発振安定フラグレジスタ (OSCOVFSR) HCOVFフラグ (HOCOクロック発振安定フラグ) 追加	
		157	9.2.13 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) MST[4:0]ビット (メインクロック発振器ウェイト時間設定ビット) ビット説明変更	
		164	9.4.2 発振停止検出割り込み 変更	
		165	9.6 内部クロック 変更	
		165	9.6.4 CACクロック 変更	
		168	9.7.4 発振子接続端子に関する注意事項 追加	
		10. クロック周波数精度測定回路 (CAC)		
		169	表10.1 CACの仕様 変更	
		170	図10.1 CACのブロック図 変更	
		172	10.2.2 CACコントロールレジスタ1 (CACR1) 変更	
		173	10.2.3 CACコントロールレジスタ2 (CACR2) 変更	
		11. 消費電力低減機能		
		181	表11.2 各モードにおける遷移および解除方法と動作状態 変更、 高速オンチップオシレータ 追加	

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2016.01.13	187	11.2.4 モジュールストップコントロールレジスタC (MSTPCRC) 変更	
		194	11.6.2.1 ディープスリープモードへの遷移 注1追加	
		12. レジスタライトプロテクション機能		
		200	表 12.1 PRCRレジスタと保護されるレジスタの対応 変更	
		201	12.1.1 プロテクトレジスタ (PRCR) 変更	
		14. 割り込みコントローラ (ICUb)		
		241	14.4.8 外部端子割り込み 変更	
		242	14.5 ノンマスカブル割り込みの動作説明 変更	
		15. バス		
		246	表 15.2 バス種類別アドレス対応表 変更	
		17. データトランスファコントローラ (DTCa)		
		全体	【用語統一】 1つの起動要因→1回の転送要求、 起動要求→転送要求	
		286	17.2.8 DTCベクタベースレジスタ (DTCVBR) 変更	
		287	17.2.10 DTCモジュール起動レジスタ (DTCST) DTCSTビット (DTCモジュール起動ビット) 変更	
		307	17.8 消費電力低減機能 変更	
		18. I/Oポート		
		309	18.1 概要、表 18.1 I/Oポートの仕様 変更	
		310	表 18.2 I/Oポートの機能 変更	
		311	図 18.1 入出力ポートの構成 (1)、図 18.2 入出力ポートの構成 (2) 変更	
		312	図 18.3 入出力ポートの構成 (3) 追加	
		313	18.3.1 ポート方向レジスタ (PDR) 変更	
		318	18.3.6 オープンドレイン制御レジスタ1 (ODR1) 変更	
		323	表 18.6 未使用端子の処理内容 変更	
		20. マルチファンクションタイマバルスユニット3 (MTU3c)		
		338	表 20.1 MTUの仕様 変更	
		341	図 20.1 MTUのブロック図 (MTU0 ~ MTU5) 変更	
		342	表 20.3 MTUの入出力端子 変更	
		344	表 20.4 CCLR[2:0] (MTU0, MTU3, MTU4)、 表 20.5 CCLR[2:0] (MTU1, MTU2) 20.2.2 タイマコントロールレジスタ2 (TCR2) から移動	
		420	20.3.4 カスケード接続動作 変更	
		430~432	20.3.6 位相計数モード、20.3.6.1 16ビット位相計数モード 変更	
		442	20.3.6.2 カスケード接続32ビット位相計数モード 追加	
		466	(n) 相補PWMモードでの同期カウンタクリア時出力波形制御 変更	
		480	(4) 相補PWMモードの出力保護機能 変更	
		488	20.3.10 MTU0~MTU4の同期動作 追加	
		493	20.3.15 A/D変換開始要求フレーム同期信号 変更	
		494	表 20.63 MTU割り込み要因 優先順位の列追加	
		495	(1) インพุットキャプチャ/コンペアマッチ割り込み、(2) オーバフロー割り込み 変更	
		515	図 20.134 リセット同期PWMモードのバッファ動作とコンペアマッチ 変更	
		520	20.6.25 相補PWMモード同期クリアするときの異常動作防止の注意事項 変更	
		522	20.6.27 相補PWMモードにおけるA/D変換ディレイド機能の注意事項 変更	
		536	(11) PWMモード1で動作中に異常が発生し、相補PWMモードで再スタートする場合の動作 変更	
		21. ポートアウトプットイネーブル3 (POE3b)		
		561	21.2.4 入力レベルコントロール/ステータスレジスタ6 (ICSR6) OSTSTFフラグ (OSTSTハイインピーダンスフラグ) フラグ説明変更	

Rev.	発行日	改訂内容		改訂区分	
		ページ	ポイント		
1.10	2016.01.13	22. 8ビットタイマ (TMR)			
		全体	【用語統一】 分周クロック→内部クロック、 外部リセット→外部カウンタリセット、 外部クロック→外部カウントクロック、 カウンタクロック→カウントクロック、 カウンタ外部リセット→外部カウンタリセット、 TCNT入力クロック→TCNTカウントクロック		
		594	22.2.4 タイマコントロールレジスタ (TCR) 注記変更		
		595	22.2.5 タイマカウンタコントロールレジスタ (TCCR) 注記変更		
		596	表22.5 TCNTカウンタに入力するクロックとカウント条件 注記変更		
		23. コンペアマッチタイマ (CMT)			
		617	表23.2 CMTの割り込み要因 CMI2、CMI3追加		
		24. 独立ウォッチドッグタイマ (IWDtA)			
		619	24.1 概要 変更		
		628	24.3.1.1 レジスタスタートモード 変更		
		633	24.3.3 リフレッシュ動作 【リフレッシュ動作タイミング例】 変更		
		636	図24.7 IWDtA カウンタ値の読み出し処理 (IWDtCR.CKS[3:0]=0000b、IWDtCR.TOPS[1:0]=11b) 変更		
		25. シリアルコミュニケーションインタフェース (SCIg)			
		652, 653	(1) 非スマートカードインタフェースモードのとき (SCMR.SMIFビット=0) REビット (レシーブイネーブルビット)、RIEビット (レシーブインタラプトイネーブルビット) ビット説明変更		
		654, 655	(2) スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) 変更、RIEビット (レシーブインタラプトイネーブルビット) ビット説明変更		
		656, 658	(1) 非スマートカードインタフェースモードのとき (SCMR.SMIFビット=0) b6, b7変更、RDRFフラグ (受信データフルフラグ)、TDREフラグ (送信データエンプティフラグ) フラグ説明追加	TN-RX*-A138A/J	
		658, 660	(2) スマートカードインタフェースモードのとき (SCMR.SMIFビット=1) b6, b7変更、RDRFフラグ (受信データフルフラグ)、TDREフラグ (送信データエンプティフラグ) フラグ説明追加	TN-RX*-A138A/J	
		661	25.2.10 スマートカードモードレジスタ (SCMR) 変更		
		666	表25.13 各動作周波数における最大ビットレート (調歩同期式モード) 変更		
		672, 673	25.2.13 シリアル拡張モードレジスタ (SEMR) 変更、ACS0ビット (調歩同期クロックソースセレクトビット) ビット説明変更		
		688	25.3.6 SCIの初期化 (調歩同期式モード) 変更		
		697	25.4 マルチプロセッサ通信機能 変更		
		741	表25.27 SCI割り込み要因 変更		
		26. I ² Cバスインタフェース (RiICa)			
		全体	各シンボル+「端子」、「ビット」、または「フラグ」 【用語統一】 通信エラー/イベント発生→通信エラー/通信イベント発生、 転送フレーム→転送バイト、 1フレーム→第一バイト、 2フレーム→第二バイト、 アドレスフレーム→アドレスバイト、 規格→仕様、 [Sm], [Fm], [W], [R]→(Sm), (Fm), (write), (read)、 チップ→MCU		
		770	26.2.9 I ² Cバスステータスレジスタ1 (ICSR1) HOAフラグ (ホストアドレス検出フラグ) フラグ説明変更		
		782	26.3.3 マスタ送信動作の(3) 変更		
		785, 786	26.3.4 マスタ受信動作の(3) 変更		
		27. シリアルペリフェラルインタフェース (RSPIa)			
		全体	【用語統一】 RSPCK→RSPCKA、MOSI→MOSIA、SSL0→SSLA0		
		830, 832	27.2.4 RSPIステータスレジスタ (SPSR) b5, b7変更 SPTEFフラグ (送信バッファエンプティフラグ)、SPRFフラグ (受信バッファフルフラグ) フラグ説明追加		

Rev.	発行日	改訂内容		改訂区分		
		ページ	ポイント			
1.10	2016.01.13	833~835	27.2.5 RSPIデータレジスタ (SPDR) 変更			
		839, 840	27.2.9 RSPIデータコントロールレジスタ (SPDCR) SPFC[1:0]ビット (フレーム数設定ビット)、 SPRDTDビット (RSPI受信/送信データ選択ビット) ビット説明変更			
		848	27.2.14 RSPIコマンドレジスタ0~7 (SPCMD0~SPCMD7) SPB[3:0]ビット (RSPIデータ長設定ビット) ビット説明変更			
		849	表27.5 RSPIのモードとSPCRレジスタの設定の関係および各モードの概要 変更			
		868	27.3.6.1 全二重同期式シリアル通信 (SPCR.TXMD = 0) 変更 図27.24 SPCR.TXMD = 0の動作例 変更			
		869	27.3.6.2 送信のみ動作 (SPCR.TXMD = 1) 変更 図27.25 SPCR.TXMD = 1の動作例 変更			
		870, 871	27.3.7 送信バッファEMPTY/受信バッファフル割り込み 変更 図27.26 SPTI、SPRI割り込みの動作例 変更			
		872	27.3.8 エラー検出 変更			
		873~875	27.3.8.1 オーバランエラー 変更、 図27.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 1)、図27.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA = 0) 変更			
		878	27.3.9.1 SPEビットのクリアによる初期化 変更			
		879	(1) シリアル転送の開始、(2) シリアル転送の終了 変更			
		886	図27.36 マスタモード時のフローチャート (送信) 変更			
		887	図27.37 マスタモード時のフローチャート (受信) 変更			
		888	図27.38 マスタモード時のフローチャート (エラー) 変更			
		889	(2) シリアル転送の終了 変更			
		891	図27.40 スLEEPモード時のフローチャート (送信)、図27.41 スLEEPモード時のフローチャート (受信) 変更			
		892	(c) エラー処理フロー、図27.42 スLEEPモード時のフローチャート (エラー処理) 変更			
		893	(1) シリアル転送の開始、(2) シリアル転送の終了 変更			
		897	(2) シリアル転送の終了 変更			
		901	表27.13 RSPIの割り込み要因 変更			
		902	27.4.4 SPRF/SPTEFフラグに関する注意事項 追加			
		29. 12ビットA/Dコンバータ (S12ADE)				
		921	29.2.4 A/Dチャンネル選択レジスタA0 (ADANSA0) 変更			
		922	29.2.5 A/Dチャンネル選択レジスタA1 (ADANSA1) 変更			
		923	29.2.6 A/Dチャンネル選択レジスタB0 (ADANSB0) 変更			
		924	29.2.7 A/Dチャンネル選択レジスタB1 (ADANSB1) 変更			
		925	29.2.8 A/D変換値加算/平均機能チャンネル選択レジスタ0 (ADADS0) 変更			
		926	29.2.9 A/D変換値加算/平均機能チャンネル選択レジスタ1 (ADADS1) 変更			
		928, 929	29.2.11 A/Dコントロール拡張レジスタ (ADCER) DIAGLDビット (自己診断モード選択ビット)、DIAGMビット (自己診断インネブルビット) 変更			
		968	29.7.9 アナログ電源端子他の設定範囲 ・アナログ入力電圧の設定範囲 変更、 図29.28 アナログ入力端子に印加する電圧と出力コードの関係 追加			
		30. コンパレータC用リファレンス電圧生成専用D/Aコンバータ				
		974	30.4.4 D/Aコンバータの設定について 追加			
		31. コンパレータC (CMPC)				
		全体	【用語統一】 コンパレータ検出結果→比較結果、正転→非反転			
		978	31.2.1 コンパレータ制御レジスタ (CMPCTL) CEG[1:0]ビット (コンパレータエッジ選択ビット) ビット説明変更			
		980	31.2.3 コンパレータ基準電圧選択レジスタ (CMPSEL1) 変更			
		982	31.3.1 コンパレータ動作例 変更			
		985	図31.6 コンパレータ動作終了フローチャート 変更			
		986	31.4.3 ソフトウェアスタンバイモード時のコンパレータCの動作 変更、 31.4.4 リファレンス電圧生成専用D/Aコンバータの設定について 追加			
		33. RAM				
		993	表33.1 RAMの仕様 変更			

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2016.01.13	34. フラッシュメモリ		
		1037, 1038	34.9.5.4 ブロック情報問い合わせ 変更	
		1050	34.10 ブートモード(SCIインタフェース)でのシリアルプログラマ動作説明 変更	
		35. 電気的特性		
		1064	表 35.3 DC特性 (1) 変更	
		1080	表 35.14 動作周波数 (高速動作モード)、表 35.15 動作周波数 (中速動作モード) 変更	
		1081	表 35.16 クロックタイミング、図 35.20 EXTAL外部クロック入力タイミング 変更	
		1082, 1083	図 35.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0”設定時のリセット解除後)、図 35.25 HOCO クロック発振開始タイミング (HOCOEN.HCSTP ビット設定による発振開始) 追加	
		1103	表 35.32 コンパレータ特性 変更	
		1104	表 35.33 D/A変換特性 記号追加	
		1106	表 35.35 パワーオンリセット回路、電圧検出回路特性 (2) 変更	
		1107	図 35.52 電圧検出回路タイミング (Vdet0) 変更	
		1113	図 35.56 コンデンサ接続方法 (64ピン) 変更	
		1114	図 35.57 コンデンサ接続方法 (52ピン) 変更	
		1115	図 35.58 コンデンサ接続方法 (48ピン) 変更	
		付録1. 各処理状態におけるポートの状態		
		1116	表 1.1 各処理状態におけるポートの状態 変更	
		付録2. 外形寸法図		
		1117	図 A. 64ピンLFQFP (PLQP0064KB-C) 変更	
		1118	図 B. 52ピンLQFP (PLQP0052JA-B) 変更	
1119	図 C. 48ピンLFQFP (PLQP0048KB-B) 変更			

RX23Tグループ ユーザーズマニュアル
ハードウェア編

発行年月日 2015年3月31日 Rev.1.00
2016年1月13日 Rev.1.10

発行 ルネサス エレクトロニクス株式会社
〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)



ルネサスエレクトロニクス株式会社

営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24 (豊洲フォレシア)

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

RX23Tグループ