

40MHz、32ビットRX MCU、FPU内蔵、65.6 DMIPS、
12ビットADC（3 S/H回路、ダブルデータレジスタ、コンパレータ）
40MHz PWM（三相相補2ch）

特長

■ 32ビットRX CPU コア内蔵

- 最大動作周波数 40MHz
65.6 DMIPS の性能（40MHz 動作時）
- DSP 強化：32ビット積和、16ビット積差命令に対応
- FPU 搭載：32ビット単精度浮動小数点（IEEE754に準拠）
- 除算器（最速2クロックで実行）
- 高速割り込み
- 5段パイプラインのCISC ハーバードアーキテクチャ
- 可変長命令形式：コードを大幅に短縮
- オンチップデバッグ回路内蔵
- メモリプロテクションユニット（MPU）対応

■消費電力低減機能

- 2.7V～5.5V 動作の単一電源
- 3種類の低消費電力モード

■内蔵メインフラッシュメモリ（ウェイトなし）

- 128K/64K バイトの容量
- オンボードおよびオフボードによるユーザ書き込み

■内蔵SRAM（ウェイトなし）

- 12K バイト SRAM

■ DMA

- DTC：4種類の転送モード

■リセットおよび電源電圧制御

- パワーオンリセット（POR）など7種類のリセットに対応
- 低電圧検出機能（LVD）の設定可能

■クロック機能

- メインクロック発振子周波数：1～20MHz
- 外部クロック入力周波数：～20MHz
- PLL 回路入力 4MHz～12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵
- クロック周波数精度測定回路（CAC）内蔵

■独立ウォッチドッグタイマ内蔵

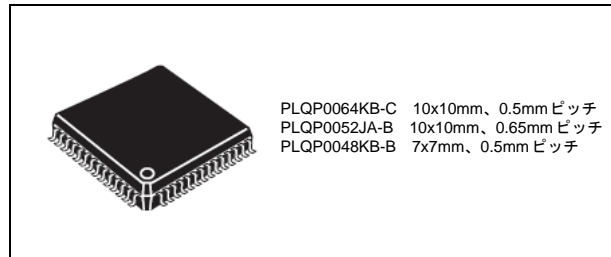
- 15kHz IWDT 専用オンチップオシレータクロック動作

■IEC60730 対応機能内蔵

- A/D コンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、DOC による RAM テストアシスト機能など

■ MPC

- 周辺機能の入出力端子を複数箇所から選択可能



■最大4本の通信機能を内蔵

- 多彩な機能に対応した SCI（2ch）
調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード / 簡易 SPI / 簡易 I²C / 拡張シリアルモードから選択
- I²C バスインタフェース 最大 400k bps 転送（1ch）
- 高速通信可能な RSPI を搭載（1ch）

■最大12本の16ビット拡張タイマ機能

- 16ビット MTU3：40MHz 動作、インプットキャプチャ、アウトプットコンペア、三相相補 PWM 波形 2ch 出力、CPU に負担をかけない相補 PWM、位相計数モード（6ch）
- 8ビット TMR（4ch）
- 16ビット CMT（4ch）

■12ビットA/Dコンバータ 10ch 内蔵

- サンプル&ホールド回路内蔵 12ビット×最大3ch
- チャンネルごとにサンプリング時間を設定可能
- 自己診断機能 / アナログ入力断線検出アシスト機能内蔵（IEC60730 対応）
- ADC：3 サンプル / ホールド回路、ダブルデータレジスタ、コンパレータ（3ch）

■重要なレジスタの書き換え保護が可能なレジスタライトプロテクト機能

■最大50本のGPIO内蔵

- 5Vトレラント、オープンドレイン、入力プルアップ

■動作周囲温度

- 40℃～+85℃
- 40℃～+105℃

■用途

- 一般産業、民生機器

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 3)

分類	モジュール／機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：40MHz 32ビットRX CPU (RX v2) 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×10本 アキュムレータ：72ビット×2本 基本命令：75種類 可変長命令形式 浮動小数点演算命令：11種類 DSP機能命令：23種類 アドレッシングモード：11種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン／ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット (MPU)
	FPU	<ul style="list-style-type: none"> 単精度浮動小数点 (32ビット) IEEE754に準拠したデータタイプ、および例外
メモリ	ROM	<ul style="list-style-type: none"> 容量：64K/128Kバイト 32MHz以下：ウェイトなし 32MHz～40MHz：ウェイトあり 書き換え方法：シリアルライタープログラミング (調歩同期式シリアル通信)、セルフプログラミング
	RAM	<ul style="list-style-type: none"> 容量：12Kバイト 40MHz、ウェイトなし
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDTC専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 40MHz MTU3cはPCLKA同期：Max 40MHz MTU3c以外の周辺モジュールはPCLKB同期：Max 40MHz S12ADEのADCLKはPCLKD同期：Max 40MHz フラッシュ周辺回路はFCLK同期：Max 32MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、独立ウォッチドッグタイマリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAb)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を2レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2は検出電圧を4レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 3種類の低消費電力モード スリープモード、ディープスリープモード、ソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード

表 1.1 仕様概要 (2 / 3)

分類	モジュール/機能	説明
割り込み	割り込み コントローラ (ICUb)	<ul style="list-style-type: none"> 割り込みベクタ数 : 83 外部割り込み : 要因数 7 (NMI、IRQ0 ~ IRQ5 端子) ノンマスクابل割り込み : 要因数 5 (NMI 端子、発振停止検出割り込み、電圧監視 1 割り込み、電圧監視 2 割り込み、IWDWT 割り込み) 16 レベルの割り込み優先順位を設定可能
DMA	データトランスファ コントローラ (DTCa)	<ul style="list-style-type: none"> 転送モード : ノーマル転送モード、リピート転送モード、ブロック転送モード 起動要因 : 割り込み要因により起動 チェーン転送機能あり
I/Oポート	汎用入出力ポート	64ピン/52ピン/48ピン <ul style="list-style-type: none"> 入出力 : 50/40/37 入力 : 1/1/1 プルアップ抵抗 : 50/40/37 オープンドレイン出力 : 42/32/29 5Vトレラント : 2/2/2
マルチファンクションピン コントローラ (MPC)		入出力機能を複数の端子から選択可能
タイマ	マルチファンク ションタイマパルス ユニット 3 (MTU3c)	<ul style="list-style-type: none"> 6チャンネル (16ビットx6チャンネル) 最大16本のパルス入出力と3本のパルス入力が可能 14種類のカウンタクロック (PCLK/1、PCLK/2、PCLK/4、PCLK/8、PCLK/16、PCLK/32、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD、MTIOC1A) を選択可能 (チャンネル1, 3, 4は11種類、チャンネル2は12種類、チャンネル5は10種類) 26本のアウトプットコンペアレジスタ兼インプットキャプチャレジスタ カウンタクリア動作 (コンペアマッチ/インプットキャプチャによる同時クリア可能) 複数のタイマカウンタ (TCNT) への同時書き込み カウンタの同期動作による各レジスタの同期入出力 バッファ動作 カスケード接続動作 28種類の割り込み要因 レジスタデータの自動転送 パルス出力モード トグル/PWM/相補PWM/リセット同期PWM 相補PWM出力モード 3相のインバータ制御用ノンオーバーラップ波形を出力 デッドタイム自動設定 PWMのデューティ比を0~100%任意に設定可能 A/D変換要求ディレイド機能 山/谷割り込み間引き機能 ダブルバッファ機能 リセット同期PWMモード 任意のデューティ比の正相・逆相PWM波形を3相出力 位相計数モード : 16ビットモード (チャンネル1, 2) /32ビットモード (チャンネル1, 2) デッドタイム補償用カウンタ機能 A/Dコンバータの変換開始トリガを生成可能 A/Dコンバータ開始間引き機能 インプットキャプチャ、外部カウンタクロック端子にデジタルフィルタあり
	ポートアウト プットイネーブル 3 (POE3b)	MTU 波形出力端子のハイインピーダンス制御
	コンペアマッチ タイマ (CMT)	<ul style="list-style-type: none"> (16ビットx2チャンネル) x2ユニット 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	独立ウォッチドッグ タイマ (IWDTa)	<ul style="list-style-type: none"> 14ビットx1チャンネル カウンタクロック : IWDWT専用低速オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> (8ビットx2チャンネル) x2ユニット 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 任意のデューティのパルス出力やPWM出力が可能 2チャンネルをカスケード接続し16ビットタイマとして使用可能 A/Dコンバータの変換開始トリガを生成可能 SCI5のポーレートクロック生成可能

表 1.1 仕様概要 (3 / 3)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIg)	<ul style="list-style-type: none"> 2チャンネル (チャンネル1、5 : SCIg) SCIg シリアル通信方式 : 調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5) 簡易I ² Cサポート 簡易SPIサポート 9ビット転送モードをサポート ビットレートモジュレーション機能をサポート
	I ² Cバスインタフェース (RIICa)	<ul style="list-style-type: none"> 1チャンネル 通信フォーマット : I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPIa)	<ul style="list-style-type: none"> 1チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 <ul style="list-style-type: none"> マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
12ビットA/Dコンバータ (S12ADE)		<ul style="list-style-type: none"> 12ビット (1ユニット×10チャンネル) 分解能 : 12ビット 最小変換時間 : 1チャンネル当たり1.0μs (ADCLK = 40MHz動作時) 動作モード スキャンモード (シングルスキャンモード、連続スキャンモード、グループスキャンモード) グループA優先制御動作 (グループスキャンモードのみ) <ul style="list-style-type: none"> サンプリング可変機能 チャンネル毎にサンプリング時間が設定可能 自己診断機能 ダブルトリガモード (A/D変換データ2重化機能) アナログ入力断線検出機能 A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU、TMR) のトリガ、外部トリガ
コンパレータC (CMPC)		<ul style="list-style-type: none"> 3チャンネル リファレンス電圧とアナログ入力電圧の比較機能 リファレンス電圧 : 2種類から選択可能 アナログ入力電圧 : 4種類入力
コンパレータC用リファレンス電圧生成専用D/Aコンバータ (DA)		<ul style="list-style-type: none"> 1チャンネル 分解能 : 8ビット 出力電圧 : 0V~AVCC0 コンパレータC用リファレンス電圧生成専用回路
CRC演算器 (CRC)		<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能
データ演算回路 (DOC)		16ビットのデータを比較、加算、減算する機能
電源電圧/動作周波数		VCC = 2.7~5.5V : 40MHz
消費電流		15mA@40MHz (typ)
動作周囲温度		Dバージョン : -40~+85°C、Gバージョン : -40~+105°C
パッケージ		64ピン LQFP 0.5mm ピッチ 52ピン LQFP 0.65mm ピッチ 48ピン LQFP 0.5mm ピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX23T		
		48ピン	52ピン	64ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ5		
DTC	データトランスファコントローラ	あり		
タイマ	マルチファンクションタイマ パルスユニット3 (注1)	6チャンネル		
	ポートアウトプットイネーブル3	POE0#、POE8#、POE10#		
	8ビットタイマ	2チャンネル×2ユニット		
	コンペマッチタイマ	2チャンネル×2ユニット		
	独立ウォッチドッグタイマ	あり		
通信機能	シリアルコミュニケーション インタフェース (SCIg) [簡易IIC, 簡易SPI]	2チャンネル (SCI1、5)		
	I ² Cバスインタフェース	1チャンネル		
	シリアルペリフェラルインタフェース	1チャンネル		
12ビットA/Dコンバータ (内 高精度チャンネル)		10チャンネル (8チャンネル)		
CRC演算器		あり		
パッケージ		48ピンLFQFP	52ピンLQFP	64ピンLFQFP

注1. マルチファンクションタイマパルスユニット3は、パッケージごとに端子数が異なります。詳細は、各ピンの機能別端子一覧を参照してください。

1.2 製品一覧

表 1.3、表 1.4 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表 Dバージョン ($T_a = -40 \sim 85^\circ\text{C}$)

グループ	型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5ADFL	PLQP0048KB-B	128Kバイト	12Kバイト	40MHz	-40 ~ +85°C
	R5F523T5ADFD	PLQP0052JA-B				
	R5F523T5ADFM	PLQP0064KB-C				
	R5F523T3ADFL	PLQP0048KB-B	64Kバイト			
	R5F523T3ADFD	PLQP0052JA-B				
	R5F523T3ADFM	PLQP0064KB-C				

表 1.4 製品一覧表 Gバージョン ($T_a = -40 \sim 105^\circ\text{C}$)

グループ	型名	パッケージ	ROM容量	RAM容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5AGFL	PLQP0048KB-B	128Kバイト	12Kバイト	40MHz	-40 ~ +105°C
	R5F523T5AGFD	PLQP0052JA-B				
	R5F523T5AGFM	PLQP0064KB-C				
	R5F523T3AGFL	PLQP0048KB-B	64Kバイト			
	R5F523T3AGFD	PLQP0052JA-B				
	R5F523T3AGFM	PLQP0064KB-C				

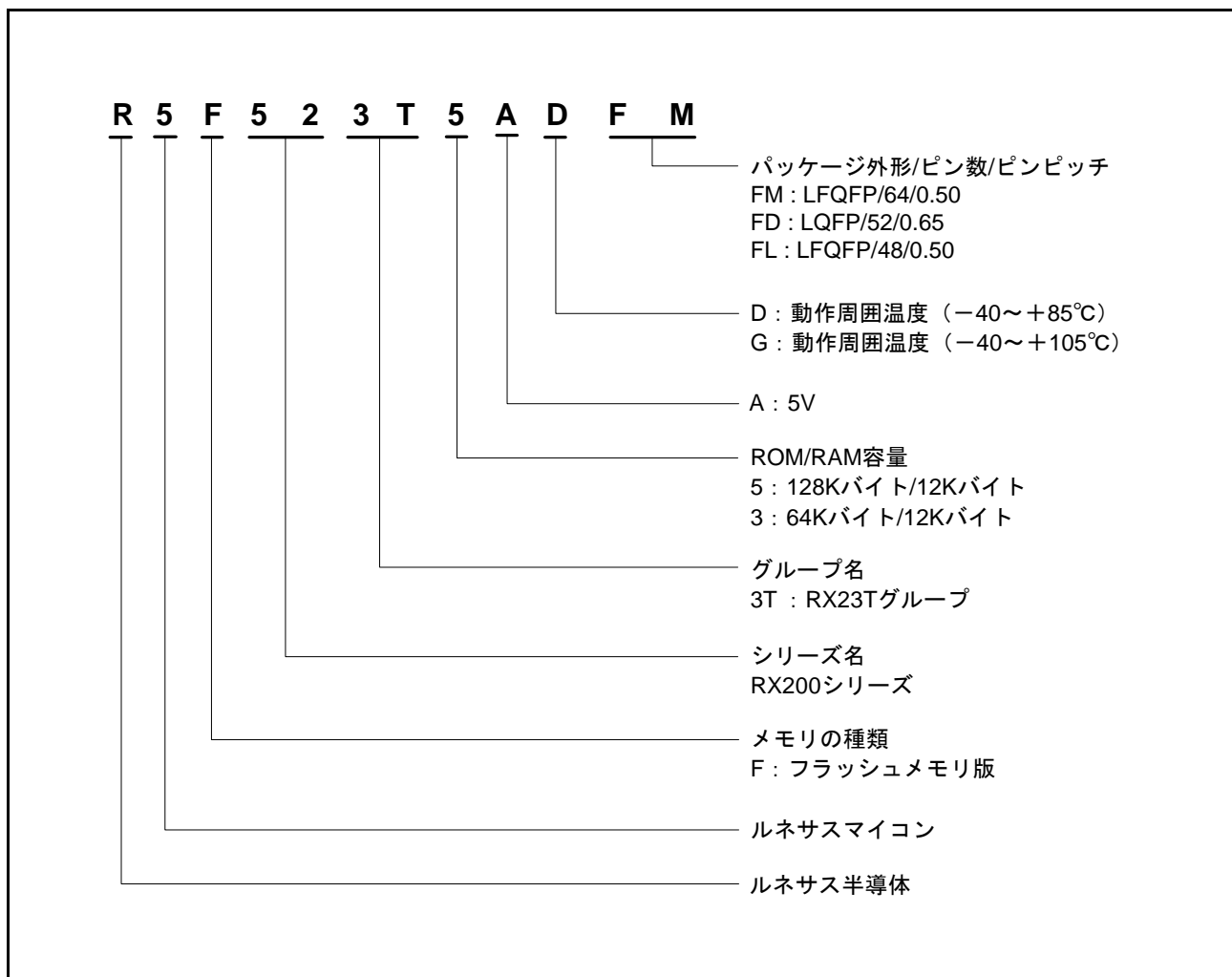


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 にブロック図を示します。

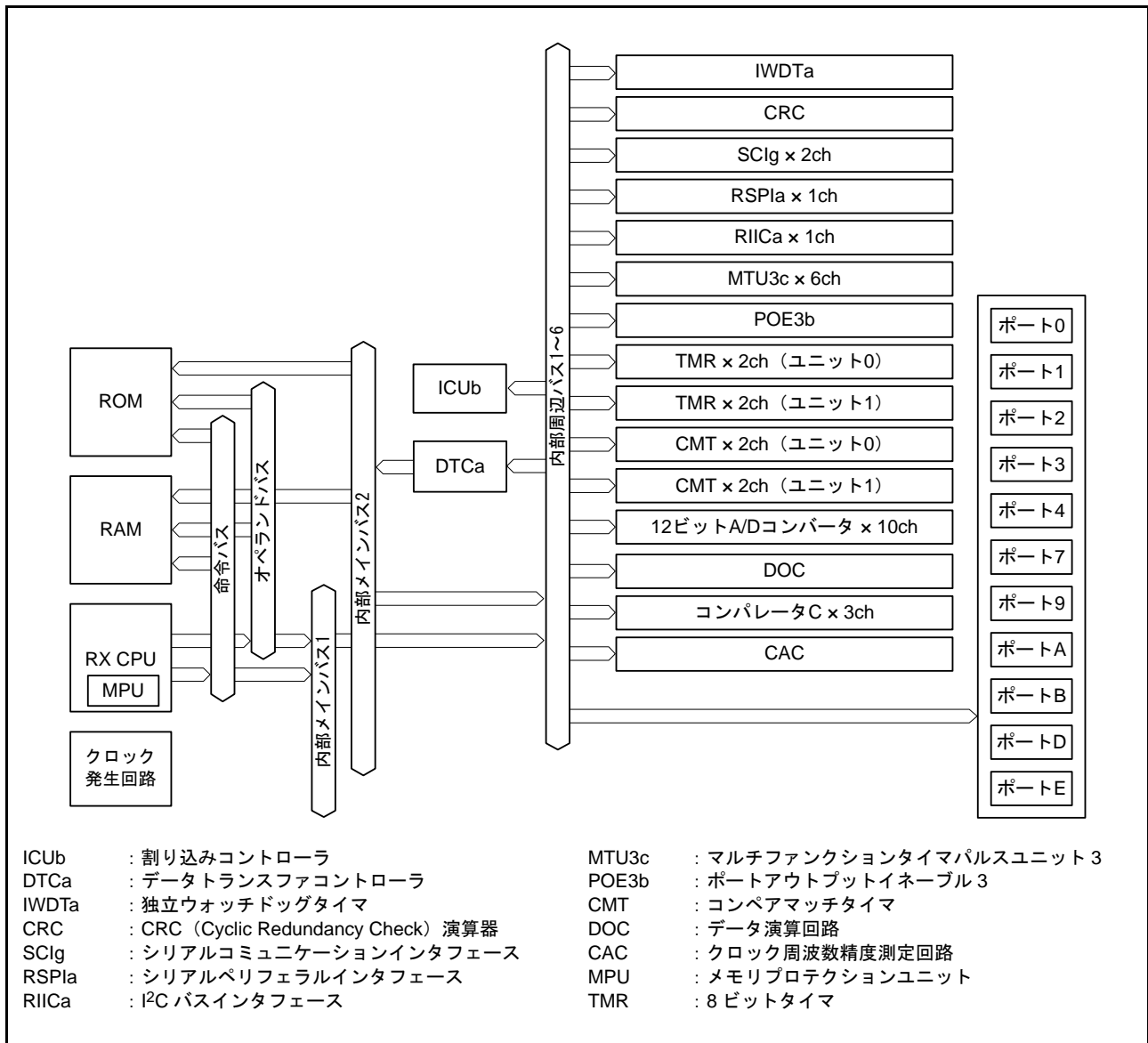


図 1.2 ブロック図

1.4 端子機能

表 1.5 に端子機能一覧を示します。

表 1.5 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (4.7 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶発振子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中には変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスカブル割り込み要求端子
	IRQ0~IRQ5	入力	割り込み要求端子
マルチファンクション タイマパルスユニット3	MTIOC0A、MTIOC0B、 MTIOC0C、MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B、 MTIOC3C、MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B、 MTIOC4C、MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
	ADSM0	出力	A/Dトリガ出力端子
ポートアウトプット イネーブル3	POE0#、POE8#、 POE10#	入力	MTU用の端子をハイインピーダンスにする要求信号の入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMC10~TMC13	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子

表 1.5 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
シリアル コミュニケーション インタフェース (SCIg)	• 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5	入出力	クロック入出力端子
	RXD1、RXD5	入力	受信データ入力端子
	TXD1、TXD5	出力	送信データ出力端子
	CTS1#、CTS5#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#	出力	送受信開始制御用出力端子
	• 簡易I ² Cモード		
	SSCL1、SSCL5	入出力	I ² Cクロック入出力端子
	SSDA1、SSDA5	入出力	I ² Cデータ入出力端子
	• 簡易SPIモード		
	SCK1、SCK5	入出力	クロック入出力端子
	SMISO1、SMISO5	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5	入出力	マスタ送出データ入出力端子
SS1#、SS5#	入力	チップセレクト入力端子	
I ² Cバスインタフェース	SCL0	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラル インタフェース	RSPCKA	入出力	RSPIのクロック入出力端子
	MOSIA	入出力	RSPIのマスタ送出データ端子
	MISOA	入出力	RSPIのスレーブ送出データ端子
	SSLA0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3	出力	RSPIのスレーブセレクト出力端子
12ビットA/Dコンバータ	AN000～AN007、 AN016、AN017	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
	ADST0	出力	A/D変換中を示すステータス出力端子
コンパレータC	CMPC00、CMPC01、 CMPC02	入力	CMPC0用アナログ入力端子
	CMPC10、CMPC11、 CMPC12	入力	CMPC1用アナログ入力端子
	CMPC20、CMPC21、 CMPC22	入力	CMPC2用アナログ入力端子
	COMP0～COMP2	出力	コンパレータ検出結果出力端子
	CVREFC0、CVREFC1	入力	コンパレータC用のリファレンス電圧端子
アナログ電源	AVCC0	入力	12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータのアナログ電源端子。12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータのアナロググランド端子。12ビットA/DコンバータとコンパレータCとコンパレータC用リファレンス電圧生成専用8ビットD/Aコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	12ビットA/Dコンバータの基準電源端子
	VREFL0	入力	12ビットA/Dコンバータの基準グランド端子

表 1.5 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
I/Oポート	P00～P02	入出力	3ビットの入出力端子
	P10、P11	入出力	2ビットの入出力端子
	P22～P24	入出力	3ビットの入出力端子
	P30～P33、P36、P37	入出力	6ビットの入出力端子
	P40～P47	入出力	8ビットの入出力端子
	P70～P76	入出力	7ビットの入出力端子
	P91～P94	入出力	4ビットの入出力端子
	PA2～PA5	入出力	4ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PD3～PD7	入出力	5ビットの入出力端子
	PE2	入力	1ビットの入力端子

1.5 ピン配置図

図 1.3 ~ 図 1.5 にピン配置図を示します。また、表 1.6 ~ 表 1.8 に機能別端子一覧を示します。

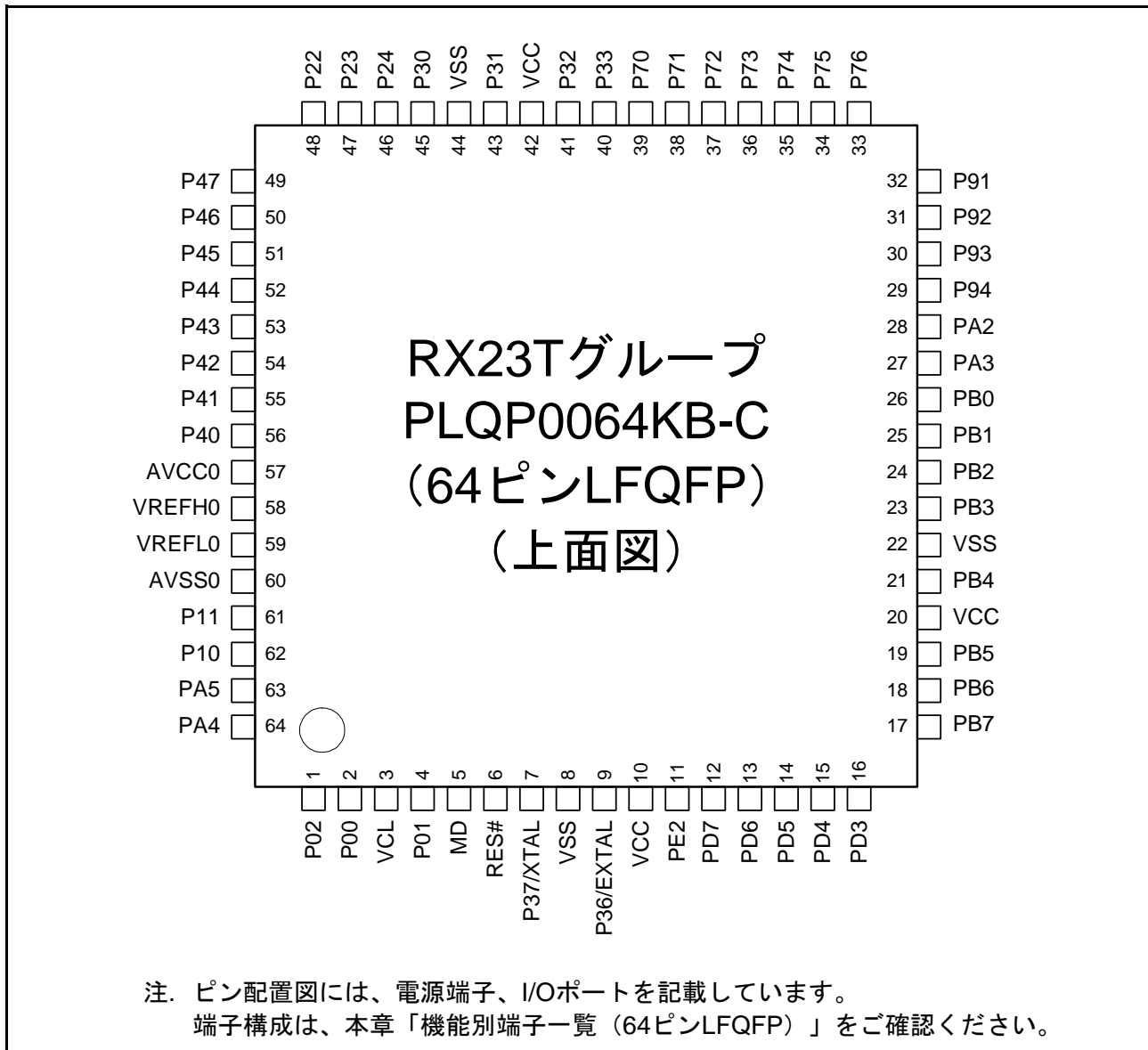


図 1.3 64ピンLQFPピン配置図

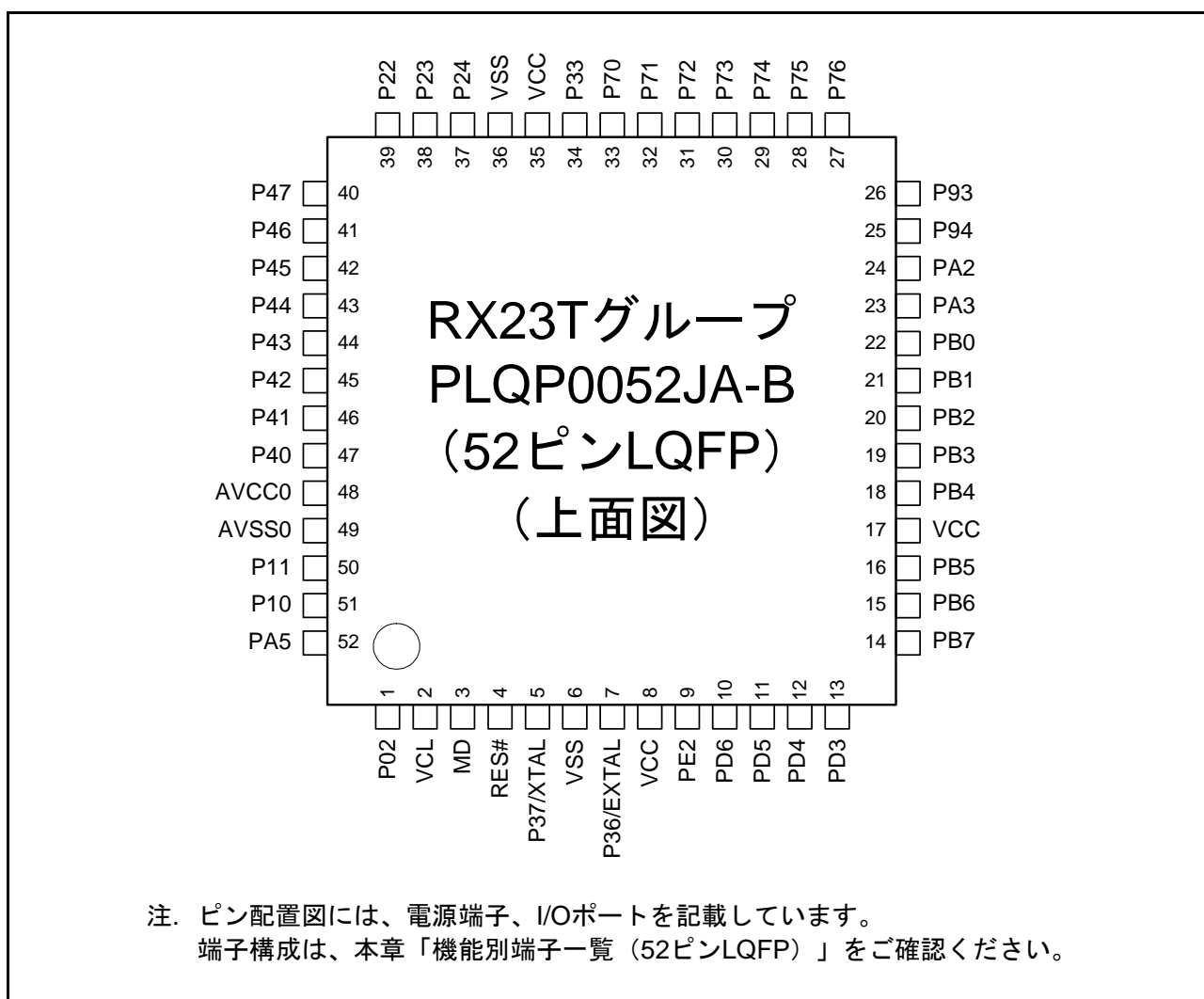


図 1.4 52 ピン LQFP ピン配置図

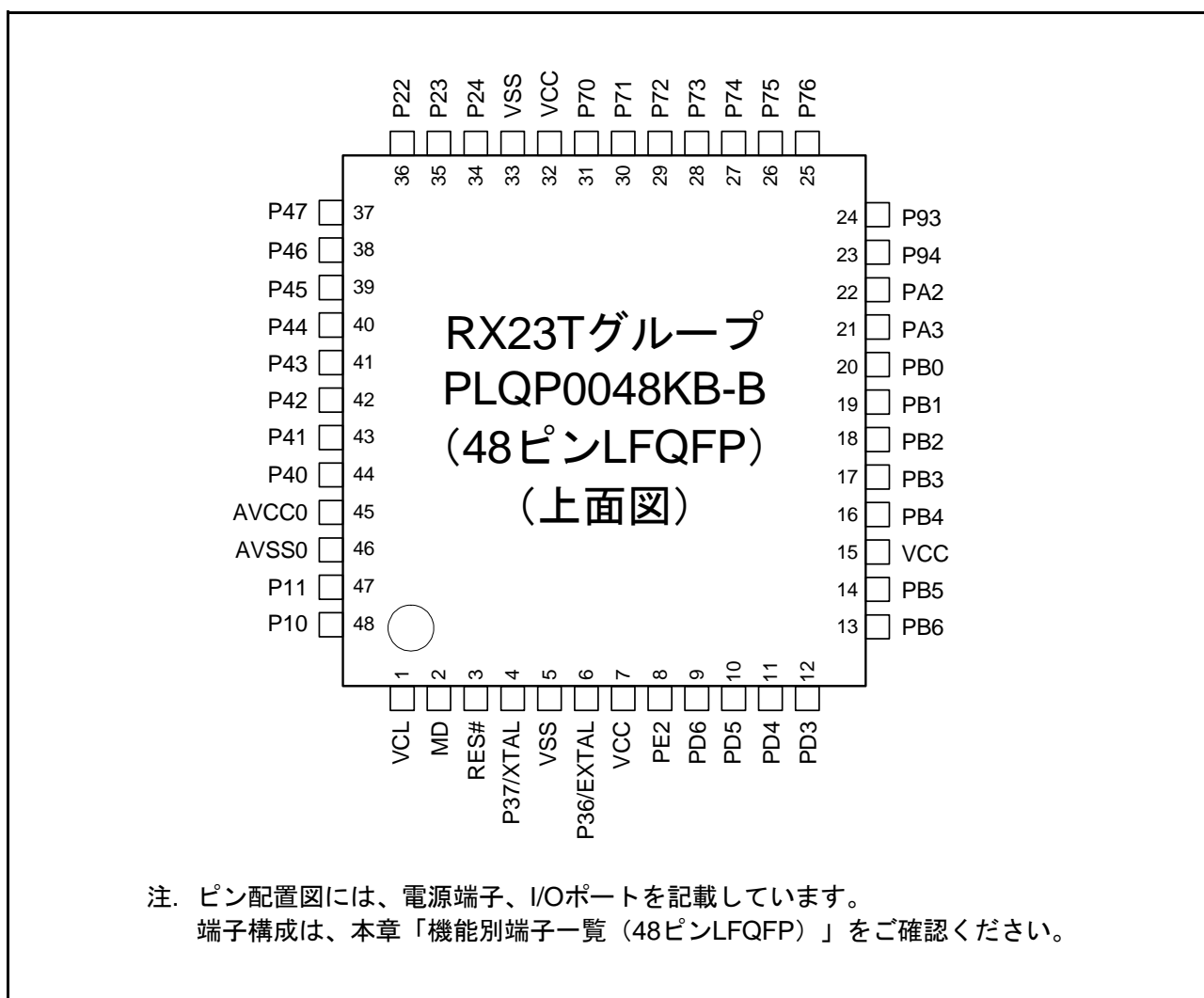


図 1.5 48ピンLQFPピン配置図

表 1.6 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
1		P02		CTS1#/RTS1#/SS1#	ADST0/IRQ5
2		P00			IRQ2
3	VCL				
4		P01	CACREF		IRQ4
5	MD				FINED
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		PE2	POE10#		NMI
12		PD7	TMR1	SSLA1	
13		PD6	TMO1	SSLA0/CTS1#/RTS1#/SS1#	ADST0/IRQ5
14		PD5	TMR10	RXD1/SMISO1/SSCL1	IRQ3
15		PD4	TMC10	SCK1	IRQ2
16		PD3	TMO0	TXD1/SMOSI1/SSDA1	
17		PB7		SCK5	
18		PB6		RXD5/SMISO5/SSCL5	IRQ5
19		PB5		TXD5/SMOSI5/SSDA5	
20	VCC				
21		PB4	POE8#		IRQ3
22	VSS				
23		PB3	MTIOC0A/CACREF	SCK5/RSPCKA	
24		PB2	MTIOC0B/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
25		PB1	MTIOC0C	RXD5/SMISO5/SSCL5/SCL0	IRQ2
26		PB0	MTIOC0D	MOSIA	
27		PA3	MTIOC2A	SSLA0	
28		PA2	MTIOC2B	CTS5#/RTS5#/SS5#/SSLA1	IRQ4
29		P94	MTIOC0C/TMO1	MISOA	IRQ1
30		P93	MTIOC0B/TMR1	SCK5/RSPCKA	IRQ0
31		P92	TMC1	SSLA2	
32		P91		SSLA3	
33		P76	MTIOC4D		
34		P75	MTIOC4C		
35		P74	MTIOC3D		
36		P73	MTIOC4B		
37		P72	MTIOC4A		
38		P71	MTIOC3B		
39		P70	POE0#		IRQ5
40		P33	MTIOC3A/MTCLKA	SSLA3	
41		P32	MTIOC3C/MTCLKB	SSLA2	
42	VCC				
43		P31	MTIOC0A/MTCLKC	SSLA1	
44	VSS				
45		P30	MTIOC0B/MTCLKD	SSLA0	
46		P24	MTIC5U/TMC12	RSPCKA	COMP0/IRQ3
47		P23	MTIC5V/CACREF/TMO2	MOSIA	COMP1/IRQ4
48		P22	MTIC5W/TMR12	MISOA	COMP2/IRQ2

表 1.6 機能別端子一覧 (64ピンLFQFP) (2 / 2)

ピン 番号	電源、クロック、 システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
49		P47			AN007/CMPC12/ CMPC22
50		P46			AN006/CMPC02
51		P45			AN005/CMPC21
52		P44			AN004/CMPC11
53		P43			AN003/CMPC01
54		P42			AN002/CMPC20
55		P41			AN001/CMPC10
56		P40			AN000/CMPC00
57	AVCC0				
58	VREFH0				
59	VREFL0				
60	AVSS0				
61		P11	MTIOC3A/MTCLKC/TMO3		IRQ1/AN016/ CVREFC0
62		P10	MTCLKD/TMR13		IRQ0/AN017/ CVREFC1
63		PA5	MTIOC1A/TMCI3	MISOA	
64		PA4	MTIOC1B	RSPCKA	ADTRG0#

表 1.7 機能別端子一覧 (52ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SCIg、RSPI、RIIC)	その他
1		P02		CTS1#/RTS1#/SS1#	ADST0/IRQ5
2	VCL				
3	MD				FINED
4	RES#				
5	XTAL	P37			
6	VSS				
7	EXTAL	P36			
8	VCC				
9		PE2	POE10#		NMI
10		PD6	TMO1	SSLA0/CTS1#/RTS1#/SS1#	ADST0/IRQ5
11		PD5	TMRI0	RXD1/SMISO1/SSCL1	IRQ3
12		PD4	TMCIO	SCK1	IRQ2
13		PD3	TMO0	TXD1/SMOSI1/SSDA1	
14		PB7		SCK5	
15		PB6		RXD5/SMISO5/SSCL5	IRQ5
16		PB5		TXD5/SMOSI5/SSDA5	
17	VCC				
18		PB4	POE8#		IRQ3
19		PB3	MTIOC0A/CACREF	SCK5/RSPCKA	
20		PB2	MTIOC0B/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
21		PB1	MTIOC0C	RXD5/SMISO5/SSCL5/SCL0	IRQ2
22		PB0	MTIOC0D	MOSIA	
23		PA3	MTIOC2A	SSLA0	
24		PA2	MTIOC2B	CTS5#/RTS5#/SS5#/SSLA1	IRQ4
25		P94	MTIOC0C/TMO1	MISOA	IRQ1
26		P93	MTIOC0B/TMRI1	SCK5/RSPCKA	IRQ0
27		P76	MTIOC4D		
28		P75	MTIOC4C		
29		P74	MTIOC3D		
30		P73	MTIOC4B		
31		P72	MTIOC4A		
32		P71	MTIOC3B		
33		P70	POE0#		IRQ5
34		P33	MTIOC3A/MTCLKA	SSLA3	
35	VCC				
36	VSS				
37		P24	MTIC5U/TMCi2	RSPCKA	COMP0/IRQ3
38		P23	MTIC5V/CACREF/TMO2	MOSIA	COMP1/IRQ4
39		P22	MTIC5W/TMRI2	MISOA	COMP2/IRQ2
40		P47			AN007/CMPC12/ CMPC22
41		P46			AN006/CMPC02
42		P45			AN005/CMPC21
43		P44			AN004/CMPC11
44		P43			AN003/CMPC01
45		P42			AN002/CMPC20
46		P41			AN001/CMPC10
47		P40			AN000/CMPC00
48	AVCC0				

表 1.7 機能別端子一覧 (52ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
49	AVSS0				
50		P11	MTIOC3A/MTCLKC/TMO3		IRQ1/AN016/ CVREFC0
51		P10	MTCLKD/TMRI3		IRQ0/AN017/ CVREFC1
52		PA5	MTIOC1A/TMCI3	MISOA	

表 1.8 機能別端子一覧 (48ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
1	VCL				
2	MD				FINED
3	RES#				
4	XTAL	P37			
5	VSS				
6	EXTAL	P36			
7	VCC				
8		PE2	POE10#		NMI
9		PD6	TMO1	SSLA0/CTS1#/RTS1#/SS1#	ADST0/IRQ5
10		PD5	TMRI0	RXD1/SMISO1/SSCL1	IRQ3
11		PD4	TMCIO	SCK1	IRQ2
12		PD3	TMO0	TXD1/SMOSI1/SSDA1	
13		PB6		RXD5/SMISO5/SSCL5	IRQ5
14		PB5		TXD5/SMOSI5/SSDA5	
15	VCC				
16		PB4	POE8#		IRQ3
17		PB3	MTIOC0A/CACREF	SCK5/RSPCKA	
18		PB2	MTIOC0B/ADSM0	TXD5/SMOSI5/SSDA5/SDA0	
19		PB1	MTIOC0C	RXD5/SMISO5/SSCL5/SCL0	IRQ2
20		PB0	MTIOC0D	MOSIA	
21		PA3	MTIOC2A	SSLA0	
22		PA2	MTIOC2B	CTS5#/RTS5#/SS5#/SSLA1	IRQ4
23		P94	MTIOC0C/TMO1	MISOA	IRQ1
24		P93	MTIOC0B/TMRI1	SCK5/RSPCKA	IRQ0
25		P76	MTIOC4D		
26		P75	MTIOC4C		
27		P74	MTIOC3D		
28		P73	MTIOC4B		
29		P72	MTIOC4A		
30		P71	MTIOC3B		
31		P70	POE0#		IRQ5
32	VCC				
33	VSS				
34		P24	MTIC5U/TMC12	RSPCKA	COMP0/IRQ3
35		P23	MTIC5V/CACREF/TMO2	MOSIA	COMP1/IRQ4
36		P22	MTIC5W/TMRI2	MISOA	COMP2/IRQ2
37		P47			AN007/CMPC12/ CMPC22
38		P46			AN006/CMPC02
39		P45			AN005/CMPC21
40		P44			AN004/CMPC11
41		P43			AN003/CMPC01
42		P42			AN002/CMPC20
43		P41			AN001/CMPC10
44		P40			AN000/CMPC00
45	AVCC0				
46	AVSS0				
47		P11	MTIOC3A/MTCLKC/TMO3		IRQ1/AN016/ CVREFC0

表 1.8 機能別端子一覧 (48ピンLFQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE、CAC)	通信 (SClg、RSPI、RIIC)	その他
48		P10	MTCLKD/TMR13		IRQ0/AN017/ CVREFC1

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

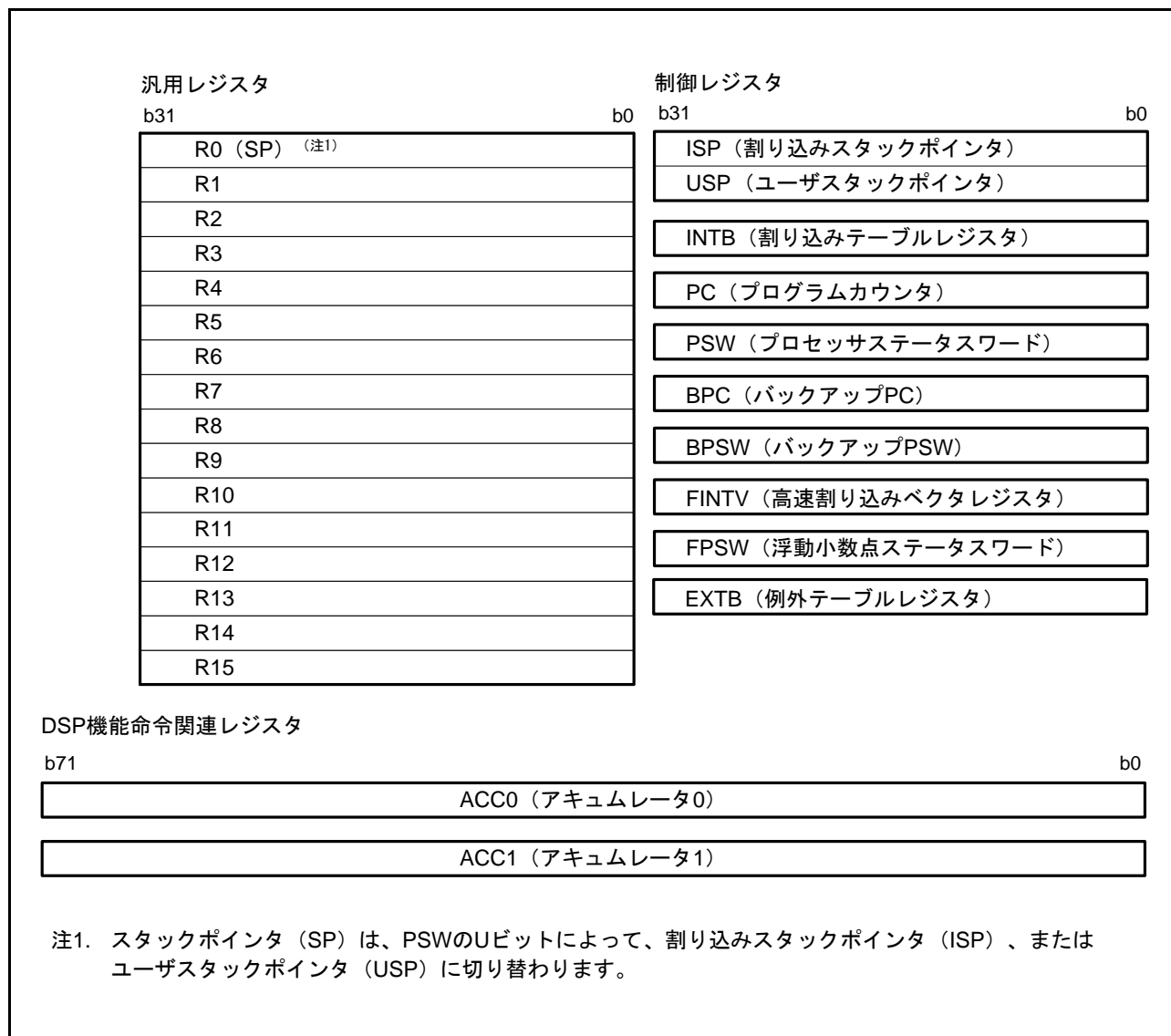


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、32ビット幅で16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SPは、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。ISP、USPに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 例外テーブルレジスタ (EXTB)

例外テーブルレジスタ (EXTB) には、例外ベクタテーブルの先頭番地を設定してください。

EXTBに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(3) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、割り込みベクタテーブルの先頭番地を設定してください。

INTBに4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(4) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(5) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPUの状態を示します。

(6) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(7) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSWのビットの割り当ては、PSWに対応しています。

(8) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

(9) 浮動小数点ステータスワード (FPSW)

浮動小数点ステータスワード (FPSW) は、浮動小数点演算結果を示します。

例外処理許可ビット E_j で例外処理を許可 ($E_j = 1$) した場合は、例外処理ルーチンで該当する C_j フラグをチェックし、例外発生の原因を判断することができます。例外処理を禁止 ($E_j = 0$) した場合は、一連の処理の最後に F_j フラグをチェックし、例外発生の有無を確認することができます。 F_j フラグは蓄積フラグです。 ($j = X, U, Z, O, V$)

2.3 アキュムレータ

アキュムレータ (ACC0、ACC1) は、72 ビットのレジスタです。DSP 機能命令で使用されます。アキュムレータは、読み出し時や書き込み時は 96 ビットのレジスタとして扱われます。このとき、アキュムレータの $b_{95} \sim b_{72}$ の扱いは、読み出し時に b_{71} の値を符号拡張し、書き込み時には無視します。また、ACC0 は乗算命令 (EMUL、EMULU、FMUL、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC0 の値が変更されます。

ACC0、ACC1 への書き込みには、「MVTACGU 命令」、「MVTACHI 命令」と「MVTACLO 命令」を使用します。「MVTACGU 命令」は ($b_{95} \sim b_{64}$) に、「MVTACHI 命令」は上位側 32 ビット ($b_{63} \sim b_{32}$) に、「MVTACLO 命令」は下位側 32 ビット ($b_{31} \sim b_0$) にデータを転送します。

読み出しには、「MVFACGU 命令」、「MVFACHI 命令」、「MVFACMI 命令」と「MVFACLO 命令」を使用します。

「MVFACGU 命令」でガードビット ($b_{95} \sim b_{64}$)、「MVFACHI 命令」で上位側 32 ビット ($b_{63} \sim b_{32}$)、「MVFACMI 命令」で中央の 32 ビット ($b_{47} \sim b_{16}$)、「MVFACLO 命令」で下位側 32 ビット ($b_{31} \sim b_0$) のデータをそれぞれ読み出します。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。アクセスできる領域は動作モードや各制御ビットの状態によって違います。

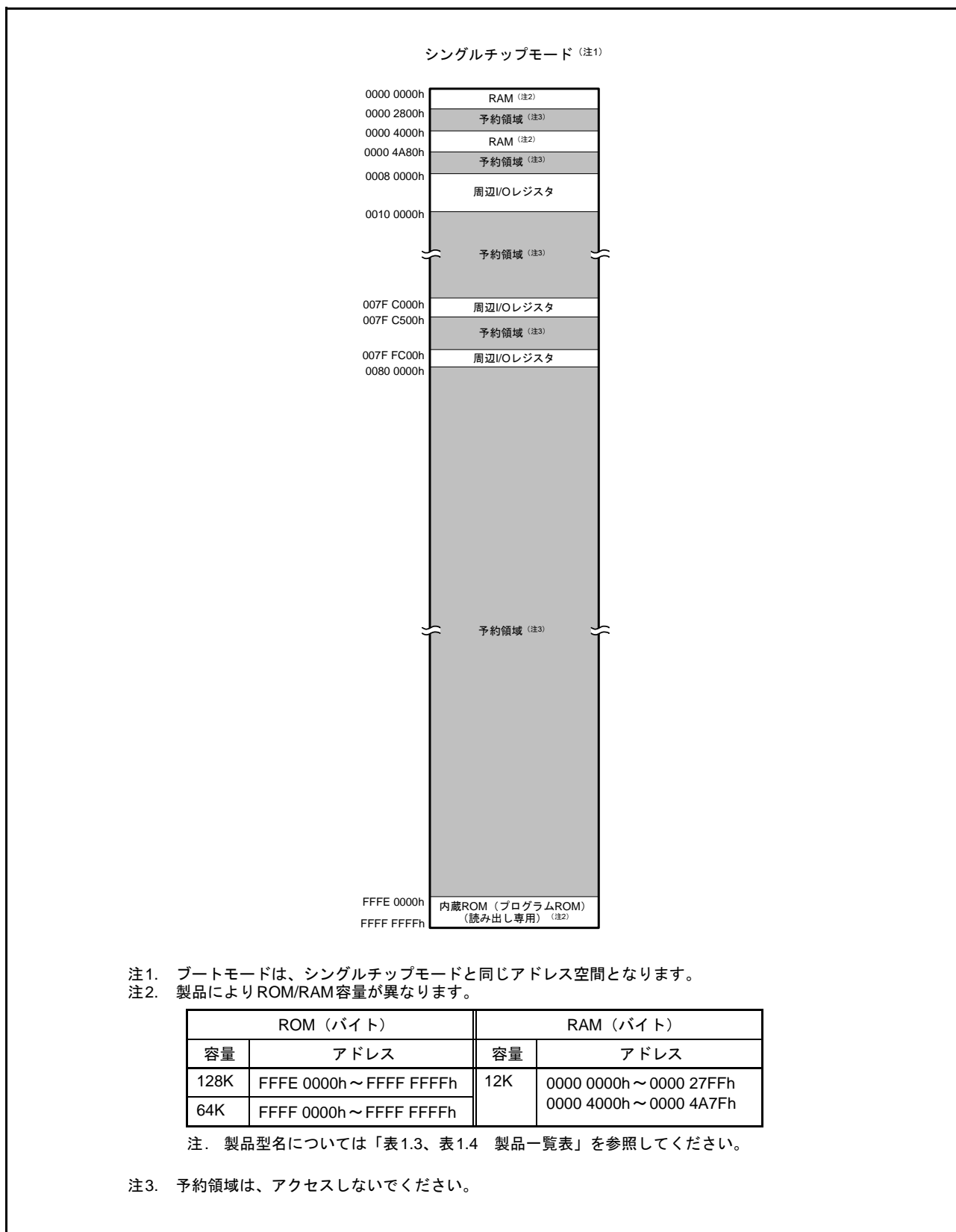


図 3.1 各動作モードのメモリマップ

4. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 4.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\begin{aligned} \text{I/Oレジスタアクセスサイクル数} = & \text{内部メインバス1のバスサイクル数} + \\ & \text{分周クロック同期化サイクル数} + \\ & \text{内部周辺バス1～6のバスサイクル数} \end{aligned}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ (または FCLK) の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、 PCLK (または FCLK) で最大1サイクルとなるため、表 4.1 では 1PCLK (または FCLK) の幅を持たせて記載しています。

注1. CPUからのレジスタアクセスが、異なるバスマスタ(DTC)のバスアクセスと競合せずに実行された場合のサイクル数です。

(4) RMPA命令、ストリング操作命令に関する制約事項

RMPA命令、ストリング操作命令の操作対象データをI/Oレジスタに配置することは禁止しており、その場合の動作は保証していません。

(5) スリープモード時およびモード遷移時の注意事項

スリープモード中、またはモード遷移中は、システム制御関連のレジスタ(「表 4.1 I/Oレジスタアドレス一覧」のモジュールシンボル欄にSYSTEMと記載のレジスタ)への書き込みは禁止です。

4.1 I/Oレジスタアドレス一覧（アドレス順）

表4.1 I/Oレジスタアドレス一覧（1 / 16）

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK
0008 0031h	SYSTEM	メモリウェイトサイクル設定レジスタ	MEMWAIT	8	8	3ICLK
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK
0008 003Ch	SYSTEM	発振安定フラグレジスタ	OSCOVFSR	8	8	3ICLK
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCT	8	8	3ICLK
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCT	8	8	3ICLK
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK
0008 00E0h	SYSTEM	電圧監視1回路制御レジスタ1	LVD1CR1	8	8	3ICLK
0008 00E1h	SYSTEM	電圧監視1回路ステータスレジスタ	LVD1SR	8	8	3ICLK
0008 00E2h	SYSTEM	電圧監視2回路制御レジスタ1	LVD2CR1	8	8	3ICLK
0008 00E3h	SYSTEM	電圧監視2回路ステータスレジスタ	LVD2SR	8	8	3ICLK
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK

表 4.1 I/Oレジスタアドレス一覧 (2 / 1 6)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK
0008 6504h	MPU	バックグラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK
0008 7066h	ICU	割り込み要求レジスタ 102	IR102	8	8	2ICLK
0008 7067h	ICU	割り込み要求レジスタ 103	IR103	8	8	2ICLK
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK
0008 706Eh	ICU	割り込み要求レジスタ 110	IR110	8	8	2ICLK
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (3 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK
0008 70A8h	ICU	割り込み要求レジスタ 168	IR168	8	8	2ICLK
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2ICLK
0008 711Bh	ICU	DTC起動許可レジスタ 027	DT CER027	8	8	2ICLK
0008 711Ch	ICU	DTC起動許可レジスタ 028	DT CER028	8	8	2ICLK
0008 711Dh	ICU	DTC起動許可レジスタ 029	DT CER029	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (4 / 1 6)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCER030	8	8	2ICLK
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCER031	8	8	2ICLK
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCER045	8	8	2ICLK
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCER046	8	8	2ICLK
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCER064	8	8	2ICLK
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCER065	8	8	2ICLK
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCER066	8	8	2ICLK
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCER067	8	8	2ICLK
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCER068	8	8	2ICLK
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCER069	8	8	2ICLK
0008 7166h	ICU	DTC起動許可レジスタ 102	DTCER102	8	8	2ICLK
0008 7167h	ICU	DTC起動許可レジスタ 103	DTCER103	8	8	2ICLK
0008 716Ch	ICU	DTC起動許可レジスタ 108	DTCER108	8	8	2ICLK
0008 716Dh	ICU	DTC起動許可レジスタ 109	DTCER109	8	8	2ICLK
0008 716Eh	ICU	DTC起動許可レジスタ 110	DTCER110	8	8	2ICLK
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCER114	8	8	2ICLK
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCER115	8	8	2ICLK
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCER116	8	8	2ICLK
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCER117	8	8	2ICLK
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCER121	8	8	2ICLK
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCER122	8	8	2ICLK
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2ICLK
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2ICLK
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2ICLK
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2ICLK
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2ICLK
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2ICLK
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2ICLK
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2ICLK
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2ICLK
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2ICLK
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2ICLK
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2ICLK
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2ICLK
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2ICLK
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2ICLK
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2ICLK
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2ICLK
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2ICLK
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2ICLK
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2ICLK
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2ICLK
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2ICLK
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2ICLK
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2ICLK
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2ICLK
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2ICLK
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2ICLK
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (5 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2ICLK
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK
0008 7366h	ICU	割り込み要因プライオリティレジスタ 102	IPR102	8	8	2ICLK
0008 7367h	ICU	割り込み要因プライオリティレジスタ 103	IPR103	8	8	2ICLK
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 108	IPR108	8	8	2ICLK
0008 736Dh	ICU	割り込み要因プライオリティレジスタ 109	IPR109	8	8	2ICLK
0008 736Eh	ICU	割り込み要因プライオリティレジスタ 110	IPR110	8	8	2ICLK
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2ICLK
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2ICLK
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2ICLK
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2ICLK
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2ICLK
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2ICLK

表 4.1 I/Oレジスタアドレス一覧 (6 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2ICLK
0008 73A8h	ICU	割り込み要因プライオリティレジスタ 168	IPR168	8	8	2ICLK
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2ICLK
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2ICLK
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2ICLK
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2ICLK
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2ICLK
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2ICLK
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2ICLK
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2ICLK
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2ICLK
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2ICLK
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2ICLK
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2ICLK
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2ICLK
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2ICLK
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2ICLK
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2ICLK
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ 0	IRQFLTE0	8	8	2ICLK
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ 0	IRQFLTC0	16	16	2ICLK
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK
0008 8000h	CMT	コンペアマッチタイマスタートレジスタ 0	CMSTR0	16	16	2 ~ 3PCLKB
0008 8002h	CMT0	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB
0008 8004h	CMT0	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB
0008 8006h	CMT0	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB
0008 8008h	CMT1	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB
0008 800Ah	CMT1	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB
0008 800Ch	CMT1	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB
0008 8010h	CMT	コンペアマッチタイマスタートレジスタ 1	CMSTR1	16	16	2 ~ 3PCLKB
0008 8012h	CMT2	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB
0008 8014h	CMT2	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB
0008 8016h	CMT2	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB
0008 8018h	CMT3	コンペアマッチタイマコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB
0008 801Ah	CMT3	コンペアマッチタイマカウンタ	CMCNT	16	16	2 ~ 3PCLKB
0008 801Ch	CMT3	コンペアマッチタイマコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB
0008 80C0h	DA	D/A データレジスタ 0	DADRO	16	16	2 ~ 3PCLKB
0008 80C4h	DA	D/A制御レジスタ	DACR	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (7 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 80C5h	DA	DADR0 フォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB
0008 8305h	RIIC0	I ² Cバスファンクション許可レジスタ	ICFER	8	8	2 ~ 3PCLKB
0008 8306h	RIIC0	I ² Cバスステータス許可レジスタ	ICSER	8	8	2 ~ 3PCLKB
0008 8307h	RIIC0	I ² Cバス割り込み許可レジスタ	ICIER	8	8	2 ~ 3PCLKB
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB
0008 8310h	RIIC0	I ² CバスビットレートLowレジスタ	ICBRL	8	8	2 ~ 3PCLKB
0008 8311h	RIIC0	I ² CバスビットレートHighレジスタ	ICBRH	8	8	2 ~ 3PCLKB
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (8 / 1 6)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16, 32	2 ~ 3PCLKB
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB
0008 9000h	S12AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB
0008 9004h	S12AD	A/Dチャンネル選択レジスタA0	ADANSA0	16	16	2 ~ 3PCLKB
0008 9006h	S12AD	A/Dチャンネル選択レジスタA1	ADANSA1	16	16	2 ~ 3PCLKB
0008 9008h	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ0	ADADS0	16	16	2 ~ 3PCLKB
0008 900Ah	S12AD	A/D変換値加算/平均機能チャンネル選択レジスタ1	ADADS1	16	16	2 ~ 3PCLKB
0008 900Ch	S12AD	A/D変換値加算/平均回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB
0008 900Eh	S12AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB
0008 9010h	S12AD	A/D変換開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB
0008 9012h	S12AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB
0008 9014h	S12AD	A/Dチャンネル選択レジスタB0	ADANSB0	16	16	2 ~ 3PCLKB
0008 9016h	S12AD	A/Dチャンネル選択レジスタB1	ADANSB1	16	16	2 ~ 3PCLKB
0008 9018h	S12AD	A/Dデータ2重化レジスタ	ADBLDR	16	16	2 ~ 3PCLKB
0008 901Ch	S12AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB
0008 901Eh	S12AD	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB
0008 9020h	S12AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB
0008 9022h	S12AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB
0008 9024h	S12AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB
0008 9026h	S12AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB
0008 9028h	S12AD	A/Dデータレジスタ4	ADDR4	16	16	2 ~ 3PCLKB
0008 902Ah	S12AD	A/Dデータレジスタ5	ADDR5	16	16	2 ~ 3PCLKB
0008 902Ch	S12AD	A/Dデータレジスタ6	ADDR6	16	16	2 ~ 3PCLKB
0008 902Eh	S12AD	A/Dデータレジスタ7	ADDR7	16	16	2 ~ 3PCLKB
0008 9040h	S12AD	A/Dデータレジスタ16	ADDR16	16	16	2 ~ 3PCLKB
0008 9042h	S12AD	A/Dデータレジスタ17	ADDR17	16	16	2 ~ 3PCLKB
0008 9066h	S12AD	A/Dサンプル&ホールド回路コントロールレジスタ	ADSHCR	16	16	2 ~ 3PCLKB
0008 907Ah	S12AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB
0008 9080h	S12AD	A/Dグループスキャン優先コントロールレジスタ	ADGSPCR	16	16	2 ~ 3PCLKB
0008 9084h	S12AD	A/Dデータ2重化レジスタA	ADBLDRA	16	16	2 ~ 3PCLKB
0008 9086h	S12AD	A/Dデータ2重化レジスタB	ADBLDRB	16	16	2 ~ 3PCLKB
0008 908Ah	S12AD	A/D高電位/低電位基準電圧コントロールレジスタ	ADHVREFCNT	8	8	2 ~ 3PCLKB
0008 90DDh	S12AD	A/DサンプリングステートレジスタL	ADSSTRL	8	8	2 ~ 3PCLKB
0008 90DFh	S12AD	A/DサンプリングステートレジスタO	ADSSSTRO	8	8	2 ~ 3PCLKB
0008 90E0h	S12AD	A/Dサンプリングステートレジスタ0	ADSSSTRO	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧(9 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 90E1h	S12AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2~3PCLKB
0008 90E2h	S12AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2~3PCLKB
0008 90E3h	S12AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2~3PCLKB
0008 90E4h	S12AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2~3PCLKB
0008 90E5h	S12AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2~3PCLKB
0008 90E6h	S12AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2~3PCLKB
0008 90E7h	S12AD	A/Dサンプリングステートレジスタ7	ADSSTR7	8	8	2~3PCLKB
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2~3PCLKB
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2~3PCLKB
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB
0008 A023h	SCI1	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2~3PCLKB
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2~3PCLKB
0008 A02Eh	SCI1	トランスミッターデータレジスタHL	TDRHL	16	16	4~5PCLKB
0008 A02Eh	SCI1	トランスミッターデータレジスタH	TDRH	8	8	2~3PCLKB
0008 A02Fh	SCI1	トランスミッターデータレジスタL	TDRL	8	8	2~3PCLKB
0008 A030h	SCI1	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB
0008 A030h	SCI1	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB
0008 A031h	SCI1	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB
0008 A032h	SCI1	モジュレーションデュティレジスタ	MDDR	8	8	2~3PCLKB
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2~3PCLKB
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2~3PCLKB
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2~3PCLKB
0008 A0A3h	SCI5	トランスミッターデータレジスタ	TDR	8	8	2~3PCLKB
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2~3PCLKB
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2~3PCLKB
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2~3PCLKB
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2~3PCLKB
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2~3PCLKB
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2~3PCLKB
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2~3PCLKB
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2~3PCLKB
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2~3PCLKB
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2~3PCLKB
0008 A0AEh	SCI5	トランスミッターデータレジスタHL	TDRHL	16	16	4~5PCLKB
0008 A0AEh	SCI5	トランスミッターデータレジスタH	TDRH	8	8	2~3PCLKB
0008 A0AFh	SCI5	トランスミッターデータレジスタL	TDRL	8	8	2~3PCLKB
0008 A0B0h	SCI5	レシーブデータレジスタHL	RDRHL	16	16	4~5PCLKB
0008 A0B0h	SCI5	レシーブデータレジスタH	RDRH	8	8	2~3PCLKB
0008 A0B1h	SCI5	レシーブデータレジスタL	RDRL	8	8	2~3PCLKB
0008 A0B2h	SCI5	モジュレーションデュティレジスタ	MDDR	8	8	2~3PCLKB
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2~3PCLKB
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧(10/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2~3PCLKB
0008 B003h	CAC	CAC割り込み要求許可レジスタ	CAICR	8	8	2~3PCLKB
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2~3PCLKB
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2~3PCLKB
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2~3PCLKB
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2~3PCLKB
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2~3PCLKB
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2~3PCLKB
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2~3PCLKB
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C007h	PORT7	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C009h	PORT9	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C00Dh	PORTD	ポート方向レジスタ	PDR	8	8	2~3PCLKB
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C027h	PORT7	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C029h	PORT9	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C02Dh	PORTD	ポート出カデータレジスタ	PODR	8	8	2~3PCLKB
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C042h	PORT2	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C043h	PORT3	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C044h	PORT4	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C047h	PORT7	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C049h	PORT9	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C04Ah	PORTA	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C04Bh	PORTB	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C04Dh	PORTD	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C04Eh	PORTE	ポート入カデータレジスタ	PIDR	8	8	2~3PCLKB
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C067h	PORT7	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C069h	PORT9	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Dh	PORTD	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2~3PCLKB
0008 C080h	PORT0	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2~3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (1 1 / 1 6)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 C082h	PORT1	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C084h	PORT2	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C085h	PORT2	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C086h	PORT3	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C087h	PORT3	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C08Eh	PORT7	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C08Fh	PORT7	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C092h	PORT9	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C093h	PORT9	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C094h	PORTA	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C095h	PORTA	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C096h	PORTB	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C097h	PORTB	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C09Ah	PORTD	オーブンドレイン制御レジスタ0	ODR0	8	8, 16	2 ~ 3PCLKB
0008 C09Bh	PORTD	オーブンドレイン制御レジスタ1	ODR1	8	8, 16	2 ~ 3PCLKB
0008 C0C0h	PORT0	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C7h	PORT7	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0C9h	PORT9	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0CDh	PORTD	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB
0008 C0E0h	PORT0	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E7h	PORT7	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0E9h	PORT9	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C0EDh	PORTD	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB
0008 C140h	MPC	P00端子機能制御レジスタ	P00PFS	8	8	2 ~ 3PCLKB
0008 C141h	MPC	P01端子機能制御レジスタ	P01PFS	8	8	2 ~ 3PCLKB
0008 C142h	MPC	P02端子機能制御レジスタ	P02PFS	8	8	2 ~ 3PCLKB
0008 C148h	MPC	P10端子機能制御レジスタ	P10PFS	8	8	2 ~ 3PCLKB
0008 C149h	MPC	P11端子機能制御レジスタ	P11PFS	8	8	2 ~ 3PCLKB
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ~ 3PCLKB
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ~ 3PCLKB
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2 ~ 3PCLKB
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2 ~ 3PCLKB
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB

表 4.1 I/Oレジスタアドレス一覧 (1 2 / 1 6)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK ≥ PCLKの場合
0008 C164h	MPC	P44端子機能制御レジスタ	P44PFS	8	8	2 ~ 3PCLKB
0008 C165h	MPC	P45端子機能制御レジスタ	P45PFS	8	8	2 ~ 3PCLKB
0008 C166h	MPC	P46端子機能制御レジスタ	P46PFS	8	8	2 ~ 3PCLKB
0008 C167h	MPC	P47端子機能制御レジスタ	P47PFS	8	8	2 ~ 3PCLKB
0008 C178h	MPC	P70端子機能制御レジスタ	P70PFS	8	8	2 ~ 3PCLKB
0008 C179h	MPC	P71端子機能制御レジスタ	P71PFS	8	8	2 ~ 3PCLKB
0008 C17Ah	MPC	P72端子機能制御レジスタ	P72PFS	8	8	2 ~ 3PCLKB
0008 C17Bh	MPC	P73端子機能制御レジスタ	P73PFS	8	8	2 ~ 3PCLKB
0008 C17Ch	MPC	P74端子機能制御レジスタ	P74PFS	8	8	2 ~ 3PCLKB
0008 C17Dh	MPC	P75端子機能制御レジスタ	P75PFS	8	8	2 ~ 3PCLKB
0008 C17Eh	MPC	P76端子機能制御レジスタ	P76PFS	8	8	2 ~ 3PCLKB
0008 C189h	MPC	P91端子機能制御レジスタ	P91PFS	8	8	2 ~ 3PCLKB
0008 C18Ah	MPC	P92端子機能制御レジスタ	P92PFS	8	8	2 ~ 3PCLKB
0008 C18Bh	MPC	P93端子機能制御レジスタ	P93PFS	8	8	2 ~ 3PCLKB
0008 C18Ch	MPC	P94端子機能制御レジスタ	P94PFS	8	8	2 ~ 3PCLKB
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB
0008 C1ABh	MPC	PD3端子機能制御レジスタ	PD3PFS	8	8	2 ~ 3PCLKB
0008 C1ACh	MPC	PD4端子機能制御レジスタ	PD4PFS	8	8	2 ~ 3PCLKB
0008 C1ADh	MPC	PD5端子機能制御レジスタ	PD5PFS	8	8	2 ~ 3PCLKB
0008 C1AEh	MPC	PD6端子機能制御レジスタ	PD6PFS	8	8	2 ~ 3PCLKB
0008 C1AFh	MPC	PD7端子機能制御レジスタ	PD7PFS	8	8	2 ~ 3PCLKB
0008 C1B2h	MPC	PE2端子機能制御レジスタ	PE2PFS	8	8	2 ~ 3PCLKB
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ~ 5PCLKB
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4 ~ 5PCLKB
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB
0008 C297h	SYSTEM	電圧監視回路制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVLR	8	8	4 ~ 5PCLKB
0008 C29Ah	SYSTEM	電圧監視1回路制御レジスタ0	LVD1CR0	8	8	4 ~ 5PCLKB
0008 C29Bh	SYSTEM	電圧監視2回路制御レジスタ0	LVD2CR0	8	8	4 ~ 5PCLKB
0008 C4C0h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8, 16	2 ~ 3PCLKB
0008 C4C2h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8, 16	2 ~ 3PCLKB
0008 C4C8h	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8, 16	2 ~ 3PCLKB
0008 C4CAh	POE	ソフトウェアポートアウトブッティネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB
0008 C4CBh	POE	ポートアウトブッティネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB
0008 C4CCh	POE	ポートアウトブッティネーブルコントロールレジスタ2	POECR2	16	16	2 ~ 3PCLKB
0008 C4D0h	POE	ポートアウトブッティネーブルコントロールレジスタ4	POECR4	16	16	2 ~ 3PCLKB
0008 C4D2h	POE	ポートアウトブッティネーブルコントロールレジスタ5	POECR5	16	16	2 ~ 3PCLKB
0008 C4D6h	POE	入力レベルコントロール/ステータスレジスタ4	ICSR4	16	8, 16	2 ~ 3PCLKB
0008 C4DAh	POE	アクティブレベルレジスタ1	ALR1	16	8, 16	2 ~ 3PCLKB
0008 C4DCh	POE	入力レベルコントロール/ステータスレジスタ6	ICSR6	16	16	2 ~ 3PCLKB

表4.1 I/Oレジスタアドレス一覧(13/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
0008 C4E6h	POE	ポートアウトブットイネーブルコンパレータ検出フラグ レジスタ	POECMPFR	16	16	2 ~ 3PCLKB
0008 C4E8h	POE	ポートアウトブットイネーブルコンパレータ要求選択 レジスタ	POECMPSEL	16	16	2 ~ 3PCLKB
000A 0C80h	CMPC0	コンパレータ制御レジスタ0	CMPCTL	8	8	1 ~ 2PCLKB
000A 0C84h	CMPC0	コンパレータ入力切り替えレジスタ0	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0C88h	CMPC0	コンパレータ基準電圧選択レジスタ0	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0C8Ch	CMPC0	コンパレータ出力モニタレジスタ0	CMPMON	8	8	1 ~ 2PCLKB
000A 0C90h	CMPC0	コンパレータ外部出力許可レジスタ0	CMPIOC	8	8	1 ~ 2PCLKB
000A 0CA0h	CMPC1	コンパレータ制御レジスタ1	CMPCTL	8	8	1 ~ 2PCLKB
000A 0CA4h	CMPC1	コンパレータ入力切り替えレジスタ1	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0CA8h	CMPC1	コンパレータ基準電圧選択レジスタ1	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0CACh	CMPC1	コンパレータ出力モニタレジスタ1	CMPMON	8	8	1 ~ 2PCLKB
000A 0CB0h	CMPC1	コンパレータ外部出力許可レジスタ1	CMPIOC	8	8	1 ~ 2PCLKB
000A 0CC0h	CMPC2	コンパレータ制御レジスタ2	CMPCTL	8	8	1 ~ 2PCLKB
000A 0CC4h	CMPC2	コンパレータ入力切り替えレジスタ2	CMPSEL0	8	8	1 ~ 2PCLKB
000A 0CC8h	CMPC2	コンパレータ基準電圧選択レジスタ2	CMPSEL1	8	8	1 ~ 2PCLKB
000A 0CCCh	CMPC2	コンパレータ出力モニタレジスタ2	CMPMON	8	8	1 ~ 2PCLKB
000A 0CD0h	CMPC2	コンパレータ外部出力許可レジスタ2	CMPIOC	8	8	1 ~ 2PCLKB
000C 1200h	MTU3	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA
000C 1201h	MTU4	タイマコントロールレジスタ	TCR	8	8	4 ~ 5PCLKA
000C 1202h	MTU3	タイマモードレジスタ1	TMDR1	8	8, 16	4 ~ 5PCLKA
000C 1203h	MTU4	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1204h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8, 16, 32	4 ~ 5PCLKA
000C 1205h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1206h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA
000C 1207h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1208h	MTU3	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16	4 ~ 5PCLKA
000C 1209h	MTU4	タイマインタラプトイネーブルレジスタ	TIER	8	8	4 ~ 5PCLKA
000C 120Ah	MTU	タイマアウトブットマスタイネーブルレジスタA	TOERA	8	8	4 ~ 5PCLKA
000C 120Dh	MTU	タイマゲートコントロールレジスタ	TGCRA	8	8	4 ~ 5PCLKA
000C 120Eh	MTU	タイマアウトブットコントロールレジスタ1A	TOCR1A	8	8, 16	4 ~ 5PCLKA
000C 120Fh	MTU	タイマアウトブットコントロールレジスタ2A	TOCR2A	8	8	4 ~ 5PCLKA
000C 1210h	MTU3	タイマカウンタ	TCNT	16	16, 32	4 ~ 5PCLKA
000C 1212h	MTU4	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1214h	MTU	タイマ周期データレジスタA	TCDRA	16	16, 32	4 ~ 5PCLKA
000C 1216h	MTU	タイマデッドタイムデータレジスタA	TDDRA	16	16	4 ~ 5PCLKA
000C 1218h	MTU3	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 121Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 121Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 121Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 1220h	MTU	タイマサブカウンタA	TCNTSA	16	16, 32	4 ~ 5PCLKA
000C 1222h	MTU	タイマ周期バッファレジスタA	TCBRA	16	16	4 ~ 5PCLKA
000C 1224h	MTU3	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 1226h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 1228h	MTU4	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 122Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 122Ch	MTU3	タイマステータスレジスタ	TSR	8	8, 16	4 ~ 5PCLKA
000C 122Dh	MTU4	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA
000C 1230h	MTU	タイマ割り込み間引き設定レジスタ1A	TITCR1A	8	8, 16	4 ~ 5PCLKA
000C 1231h	MTU	タイマ割り込み間引き回数カウンタ1A	TITCNT1A	8	8	4 ~ 5PCLKA
000C 1232h	MTU	タイマバッファ転送設定レジスタA	TBTERA	8	8	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧(14/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 1234h	MTU	タイマデッドタイムイネーブルレジスタA	TDERA	8	8	4 ~ 5PCLKA
000C 1236h	MTU	タイマアウトプットレベルバッファレジスタA	TOLBRA	8	8	4 ~ 5PCLKA
000C 1238h	MTU3	タイマバッファ動作転送モードレジスタ	TBTM	8	8, 16	4 ~ 5PCLKA
000C 1239h	MTU4	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA
000C 123Ah	MTU	タイマ割り込み間引きモードレジスタA	TITMRA	8	8	4 ~ 5PCLKA
000C 123Bh	MTU	タイマ割り込み間引き設定レジスタ2A	TITCR2A	8	8	4 ~ 5PCLKA
000C 123Ch	MTU	タイマ割り込み間引き回数カウンタ2A	TITCNT2A	8	8	4 ~ 5PCLKA
000C 1240h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	4 ~ 5PCLKA
000C 1244h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16, 32	4 ~ 5PCLKA
000C 1246h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	4 ~ 5PCLKA
000C 1248h	MTU4	タイマA/D変換開始要求周期設定バッファレジスタA	TADCOBRA	16	16, 32	4 ~ 5PCLKA
000C 124Ah	MTU4	タイマA/D変換開始要求周期設定バッファレジスタB	TADCOBRB	16	16	4 ~ 5PCLKA
000C 124Ch	MTU3	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 124Dh	MTU4	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1260h	MTU	タイマ波形コントロールレジスタA	TWCRA	8	8	4 ~ 5PCLKA
000C 1270h	MTU	タイマモードレジスタ2A	TMDR2A	8	8	4 ~ 5PCLKA
000C 1272h	MTU3	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA
000C 1274h	MTU4	タイマジェネラルレジスタE	TGRE	16	16	4 ~ 5PCLKA
000C 1276h	MTU4	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA
000C 1280h	MTU	タイマスタートレジスタA	TSTRA	8	8, 16	4 ~ 5PCLKA
000C 1281h	MTU	タイマシンクロレジスタA	TSYRA	8	8	4 ~ 5PCLKA
000C 1282h	MTU	タイマカウンタシンクロスタートレジスタ	TCSYSTR	8	8	4 ~ 5PCLKA
000C 1284h	MTU	タイマリードライトイネーブルレジスタA	TRWERA	8	8	4 ~ 5PCLKA
000C 1290h	MTU0	ノイズフィルタコントロールレジスタ0	NFCR0	8	8	4 ~ 5PCLKA
000C 1291h	MTU1	ノイズフィルタコントロールレジスタ1	NFCR1	8	8	4 ~ 5PCLKA
000C 1292h	MTU2	ノイズフィルタコントロールレジスタ2	NFCR2	8	8	4 ~ 5PCLKA
000C 1293h	MTU3	ノイズフィルタコントロールレジスタ3	NFCR3	8	8	4 ~ 5PCLKA
000C 1294h	MTU4	ノイズフィルタコントロールレジスタ4	NFCR4	8	8	4 ~ 5PCLKA
000C 1299h	MTU0	ノイズフィルタコントロールレジスタC	NFCRC	8	8	4 ~ 5PCLKA
000C 1300h	MTU0	タイマコントロールレジスタ	TCR	8	8, 16, 32	4 ~ 5PCLKA
000C 1301h	MTU0	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1302h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8, 16	4 ~ 5PCLKA
000C 1303h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	4 ~ 5PCLKA
000C 1304h	MTU0	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA
000C 1306h	MTU0	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1308h	MTU0	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA
000C 130Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	4 ~ 5PCLKA
000C 130Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16, 32	4 ~ 5PCLKA
000C 130Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	4 ~ 5PCLKA
000C 1320h	MTU0	タイマジェネラルレジスタE	TGRE	16	16, 32	4 ~ 5PCLKA
000C 1322h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	4 ~ 5PCLKA
000C 1324h	MTU0	タイマインタラプトイネーブルレジスタ2	TIER2	8	8, 16	4 ~ 5PCLKA
000C 1326h	MTU0	タイマバッファ動作転送モードレジスタ	TBTM	8	8	4 ~ 5PCLKA
000C 1328h	MTU0	タイマコントロールレジスタ2	TCR2	8	8	4 ~ 5PCLKA
000C 1380h	MTU1	タイマコントロールレジスタ	TCR	8	8, 16	4 ~ 5PCLKA
000C 1381h	MTU1	タイマモードレジスタ1	TMDR1	8	8	4 ~ 5PCLKA
000C 1382h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	4 ~ 5PCLKA
000C 1384h	MTU1	タイマインタラプトイネーブルレジスタ	TIER	8	8, 16, 32	4 ~ 5PCLKA
000C 1385h	MTU1	タイマステータスレジスタ	TSR	8	8	4 ~ 5PCLKA
000C 1386h	MTU1	タイマカウンタ	TCNT	16	16	4 ~ 5PCLKA
000C 1388h	MTU1	タイマジェネラルレジスタA	TGRA	16	16, 32	4 ~ 5PCLKA

表4.1 I/Oレジスタアドレス一覧(15/16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
000C 138Ah	MTU1	タイムジェネラルレジスタB	TGRB	16	16	4~5PCLKA
000C 1390h	MTU1	タイムインプットキャプチャコントロールレジスタ	TICCR	8	8	4~5PCLKA
000C 1391h	MTU1	タイムモードレジスタ3	TMDR3	8	8	4~5PCLKA
000C 1394h	MTU1	タイムコントロールレジスタ2	TCR2	8	8	4~5PCLKA
000C 13A0h	MTU1	タイムロングワードカウンタ	TCNTLW	32	32	4~5PCLKA
000C 13A4h	MTU1	タイムロングワードジェネラルレジスタ	TGRALW	32	32	4~5PCLKA
000C 13A8h	MTU1	タイムロングワードジェネラルレジスタ	TGRBLW	32	32	4~5PCLKA
000C 1400h	MTU2	タイムコントロールレジスタ	TCR	8	8, 16	4~5PCLKA
000C 1401h	MTU2	タイムモードレジスタ1	TMDR1	8	8	4~5PCLKA
000C 1402h	MTU2	タイムI/Oコントロールレジスタ	TIOR	8	8	4~5PCLKA
000C 1404h	MTU2	タイムインタラプティブレイブルレジスタ	TIER	8	8, 16, 32	4~5PCLKA
000C 1405h	MTU2	タイムステータスレジスタ	TSR	8	8	4~5PCLKA
000C 1406h	MTU2	タイムカウンタ	TCNT	16	16	4~5PCLKA
000C 1408h	MTU2	タイムジェネラルレジスタA	TGRA	16	16, 32	4~5PCLKA
000C 140Ah	MTU2	タイムジェネラルレジスタB	TGRB	16	16	4~5PCLKA
000C 140Ch	MTU2	タイムコントロールレジスタ2	TCR2	8	8	4~5PCLKA
000C 1480h	MTU5	タイムカウンタU	TCNTU	16	16, 32	4~5PCLKA
000C 1482h	MTU5	タイムジェネラルレジスタU	TGRU	16	16	4~5PCLKA
000C 1484h	MTU5	タイムコントロールレジスタU	TCRU	8	8	4~5PCLKA
000C 1485h	MTU5	タイムコントロールレジスタ2U	TCR2U	8	8	4~5PCLKA
000C 1486h	MTU5	タイムI/OコントロールレジスタU	TIORU	8	8	4~5PCLKA
000C 1490h	MTU5	タイムカウンタV	TCNTV	16	16, 32	4~5PCLKA
000C 1492h	MTU5	タイムジェネラルレジスタV	TGRV	16	16	4~5PCLKA
000C 1494h	MTU5	タイムコントロールレジスタV	TCRV	8	8	4~5PCLKA
000C 1495h	MTU5	タイムコントロールレジスタ2V	TCR2V	8	8	4~5PCLKA
000C 1496h	MTU5	タイムI/OコントロールレジスタV	TIORV	8	8	4~5PCLKA
000C 14A0h	MTU5	タイムカウンタW	TCNTW	16	16, 32	4~5PCLKA
000C 14A2h	MTU5	タイムジェネラルレジスタW	TGRW	16	16	4~5PCLKA
000C 14A4h	MTU5	タイムコントロールレジスタW	TCRW	8	8	4~5PCLKA
000C 14A5h	MTU5	タイムコントロールレジスタ2W	TCR2W	8	8	4~5PCLKA
000C 14A6h	MTU5	タイムI/OコントロールレジスタW	TIORW	8	8	4~5PCLKA
000C 14B2h	MTU5	タイムインタラプティブレイブルレジスタ	TIER	8	8	4~5PCLKA
000C 14B4h	MTU5	タイムスタートレジスタ	TSTR	8	8	4~5PCLKA
000C 14B6h	MTU5	タイムコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	4~5PCLKA
000C 1D30h	MTU	A/D変換開始要求選択レジスタ0	TADSTRGR0	8	8	4~5PCLKA
007F C100h	FLASH	フラッシュP/Eモード制御レジスタ	FPMCR	8	8	2~3FCLK
007F C104h	FLASH	フラッシュ領域選択レジスタ	FASR	8	8	2~3FCLK
007F C108h	FLASH	フラッシュ処理開始アドレスレジスタL	FSARL	16	16	2~3FCLK
007F C110h	FLASH	フラッシュ処理開始アドレスレジスタH	FSARH	16	16	2~3FCLK
007F C114h	FLASH	フラッシュ制御レジスタ	FCR	8	8	2~3FCLK
007F C118h	FLASH	フラッシュ処理終了アドレスレジスタL	FEARL	16	16	2~3FCLK
007F C120h	FLASH	フラッシュ処理終了アドレスレジスタH	FEARH	16	16	2~3FCLK
007F C124h	FLASH	フラッシュリセットレジスタ	FRESETR	8	8	2~3FCLK
007F C12Ch	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2~3FCLK
007F C130h	FLASH	フラッシュライトバッファレジスタ0	FWB0	16	16	2~3FCLK
007F C138h	FLASH	フラッシュライトバッファレジスタ1	FWB1	16	16	2~3FCLK
007F C140h	FLASH	フラッシュライトバッファレジスタ2	FWB2	16	16	2~3FCLK
007F C144h	FLASH	フラッシュライトバッファレジスタ3	FWB3	16	16	2~3FCLK
007F C180h	FLASH	プロテクト解除レジスタ	FPR	8	8	2~3FCLK
007F C184h	FLASH	プロテクト解除ステータスレジスタ	FPSR	8	8	2~3FCLK
007F C1C0h	FLASH	フラッシュスタートアップ設定モニタレジスタ	FSCMR	16	16	2~3FCLK

表 4.1 I/Oレジスタアドレス一覧 (16 / 16)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数
						ICLK \geq PCLKの場合
007F C1C8h	FLASH	フラッシュアクセスウィンドウ開始アドレスモニタレジスタ	FAWSMR	16	16	2 ~ 3FCLK
007F C1D0h	FLASH	フラッシュアクセスウィンドウ終了アドレスモニタレジスタ	FAWEMR	16	16	2 ~ 3FCLK
007F C1D8h	FLASH	フラッシュ初期設定レジスタ	FISR	8	8	2 ~ 3FCLK
007F C1DCh	FLASH	フラッシュエクストラ領域制御レジスタ	FEXCR	8	8	2 ~ 3FCLK
007F C1E0h	FLASH	フラッシュエラーアドレスモニタレジスタL	FEAML	16	16	2 ~ 3FCLK
007F C1E8h	FLASH	フラッシュエラーアドレスモニタレジスタH	FEAMH	16	16	2 ~ 3FCLK
007F C1F0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK
007F C350h	FLASHCO NST	ユニークIDレジスタ0	UIDR0	32	32	2 ~ 3FCLK
007F C354h	FLASHCO NST	ユニークIDレジスタ1	UIDR1	32	32	2 ~ 3FCLK
007F C358h	FLASHCO NST	ユニークIDレジスタ2	UIDR2	32	32	2 ~ 3FCLK
007F C35Ch	FLASHCO NST	ユニークIDレジスタ3	UIDR3	32	32	2 ~ 3FCLK
007F FFB2h	FLASH	フラッシュ P/E モードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK

注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。
「ユーザーズマニュアルハードウェア編」の表22.4に16ビットアクセスのレジスタ配置を示します。

5. 電気的特性

5.1 絶対最大定格

表5.1 絶対最大定格
条件：VSS = AVSS0 = VREFL0 = 0V

項目		記号	定格値	単位
電源電圧		VCC	-0.3 ~ +6.5	V
入力電圧	ポート4	V_{in}	-0.3 ~ AVCC0+0.3	V
	5Vトレラント対応ポート (注1) とポート4以外		-0.3 ~ VCC+0.3	V
	5Vトレラント対応ポート (注1)		-0.3 ~ +6.5	V
リファレンス電源電圧		VREFH0	-0.3 ~ AVCC0+0.3	V
アナログ電源電圧		AVCC0	-0.3 ~ +6.5	V
アナログ入力電圧	AN000 ~ AN007 使用時	V_{AN}	-0.3 ~ AVCC0+0.3	V
	AN016 ~ AN017 使用時		-0.3 ~ VCC+0.3	
動作温度 (注2)		T_{opr}	-40 ~ +85 -40 ~ +105	°C
保存温度		T_{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてMCUを使用した場合、MCUの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0端子間、VREFH0端子とVREFL0端子間には周波数特性の良いコンデンサを挿入してください。コンデンサは0.1 μ F程度の容量のものを、できる限り電源端子の近くに配置し、最短距離かつできる限り太いパターンを使用して接続してください。

VCL端子は、4.7 μ Fのコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

当該デバイスの電源がOFF状態の時に、5Vトレラントポート以外のポートに入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップからの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。なお、5Vトレラントポートには-0.3 ~ +6.5Vの電圧を入力してもMCU破壊などの問題は発生しません。

注1. ポートB1、B2は、5Vトレラント対応です。

注2. 製品により動作温度の上限が85°Cの製品と105°Cの製品とあります。詳細は、「1.2 製品一覧」を参照してください。

表5.2 推奨動作電圧条件

項目	記号	条件	min	typ	max	単位
電源電圧	VCC (注1、注2)		2.7	—	5.5	V
	VSS		—	0	—	
アナログ電源電圧	AVCC0 (注1、注2)		VCC	—	5.5	V
	VREFH0 (注1、注2)		—	AVCC0	—	
	AVSS0、VREFL0		—	0	—	

注1. AVCC0/VREFH0とVCCは使用範囲内で独立に設定可能です。

注2. VCC端子とAVCC0/VREFH0端子の電源投入順序は、同時もしくはVCC端子、AVCC0/VREFH0端子の順になるように投入してください。

5.2 DC 特性

表5.3 DC特性 (1)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポートB1、B2 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポート00~02、ポート10、11 ポート22~24 ポート30~33、36、37 ポート70~76 ポート91~94 ポートA2~A5 ポートB0、B3~B7 ポートD3~D7 ポートE2 ポートRES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	ポート40~47	V_{IL}	$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	RIIC入力端子 (SMBusを除く)		-0.3	—	$VCC \times 0.3$		
	ポート40~47		-0.3	—	$AVCC0 \times 0.2$		
	ポート40~47、RIIC入力端子以外	ΔV_T	-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBusを除く)		$VCC \times 0.05$	—	—		
	ポート40~47		$AVCC0 \times 0.1$	—	—		
	ポート40~47、RIIC入力端子以外	$VCC \times 0.1$	—	—			
入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V	
	EXTAL (外部クロック入力)		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子 (SMBus)		2.1	—	$VCC + 0.3$		
	MD	V_{IL}	-0.3	—	$VCC \times 0.1$		
	EXTAL (外部クロック入力)		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBus)		-0.3	—	0.8		

表5.4 DC特性 (2)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#、MD、ポートE2	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0V$ 、VCC
スリーステートリーク 電流 (オフ状態)	ポート4	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0V$ 、AVCC0
	5Vトレラント対応ポートと ポート4以外		—	—	0.2		$V_{in} = 0V$ 、VCC
	5Vトレラント対応ポート		—	—	1.0		$V_{in} = 0V$ 、5.8V
入力容量	全入力端子	C_{in}	—	4	15	pF	$V_{in} = 0mV$ 、 $f = 1MHz$ 、 $T_a = 25^\circ C$
入力プルアップ抵抗	全ポート (ポートE2以外)	R_U	10	20	50	k Ω	$V_{in} = 0V$

表 5.5 DC特性 (3)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目				記号	typ (注5)	max	単位	測定条件		
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注2)	ICLK = 40MHz	I _{CC}	4.6	—	mA		
				ICLK = 32MHz		3.9	—			
				ICLK = 16MHz		2.8	—			
				ICLK = 8MHz		2.2	—			
			全周辺動作 通常動作	ICLK = 40MHz (注3)		15.0	—			
				ICLK = 32MHz (注4)		12.4	—			
				ICLK = 16MHz (注4)		7.2	—			
				ICLK = 8MHz (注4)		4.6	—			
		全周辺動作 最大動作	ICLK = 40MHz (注3)	—		33.0				
			ICLK = 32MHz (注4)	—		24.5				
	スリープモード	周辺動作なし (注2)	ICLK = 40MHz	2.7	—					
			ICLK = 32MHz	2.3	—					
			ICLK = 16MHz	1.9	—					
			ICLK = 8MHz	1.6	—					
		全周辺動作 通常動作	ICLK = 40MHz (注3)	6.8	—					
			ICLK = 32MHz (注4)	5.7	—					
			ICLK = 16MHz (注4)	3.6	—					
			ICLK = 8MHz (注4)	2.5	—					
		ディープ スリープモード	周辺動作なし (注2)	ICLK = 40MHz	1.7	—				
				ICLK = 32MHz	1.5	—				
				ICLK = 16MHz	1.3	—				
				ICLK = 8MHz	1.3	—				
全周辺動作 通常動作	ICLK = 40MHz (注3)		5.3	—						
	ICLK = 32MHz (注4)		4.4	—						
	ICLK = 16MHz (注4)		2.8	—						
	ICLK = 8MHz (注4)		2.0	—						
中速動作モード	通常動作モード	周辺動作なし (注6)	ICLK = 12MHz	I _{CC}	2.6	—	mA			
			ICLK = 8MHz						1.9	—
			ICLK = 1MHz						1.3	—
		全周辺動作 通常動作 (注7)	ICLK = 12MHz						5.5	—
			ICLK = 8MHz						4.2	—
			ICLK = 1MHz						1.6	—
		全周辺動作 最大動作 (注7)	ICLK = 12MHz						—	11.0
	スリープモード	周辺動作なし (注6)	ICLK = 12MHz						2.0	—
			ICLK = 8MHz						1.4	—
			ICLK = 1MHz						1.2	—

項目				記号	typ (注5)	max	単位	測定条件
消費電流 (注1)	中速動作モード	スリープモード	全周辺動作 通常動作 (注7)	I _{CC}	ICLK = 12MHz	2.8	—	mA
					ICLK = 8MHz	2.3	—	
					ICLK = 1MHz	1.3	—	
	ディープ スリープモード	周辺動作なし (注6)	ICLK = 12MHz		1.5	—		
			ICLK = 8MHz		1.2	—		
			ICLK = 1MHz		1.1	—		
		全周辺動作 通常動作 (注7)	ICLK = 12MHz		2.8	—		
			ICLK = 8MHz		2.3	—		
			ICLK = 1MHz		1.1	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKは64分周設定です。

注3. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLKは2分周設定です。PCLKはICLKと同じ周波数です。

注4. 周辺機能はクロック供給状態。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。

注5. VCC=5Vの値です。

注6. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKは64分周設定です。

注7. 周辺機能はクロック停止状態。クロックソースはPLLです。FCLK、PCLKはICLKと同じ周波数です。

表5.6 DC特性 (4)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	T _a = 25°C	I _{CC}	0.45	0.91	μA	
		T _a = 55°C		0.66	2.23		
		T _a = 85°C		1.50	9.14		
		T _a = 105°C		3.42	23.94		

注1. 消費電流値はすべての出力端子を無負荷状態にして、さらに内蔵プルアップMOSをオフ状態にした場合の値です。

注2. IWDTとLVDは動作停止です。

注3. VCC = 5Vの場合です。

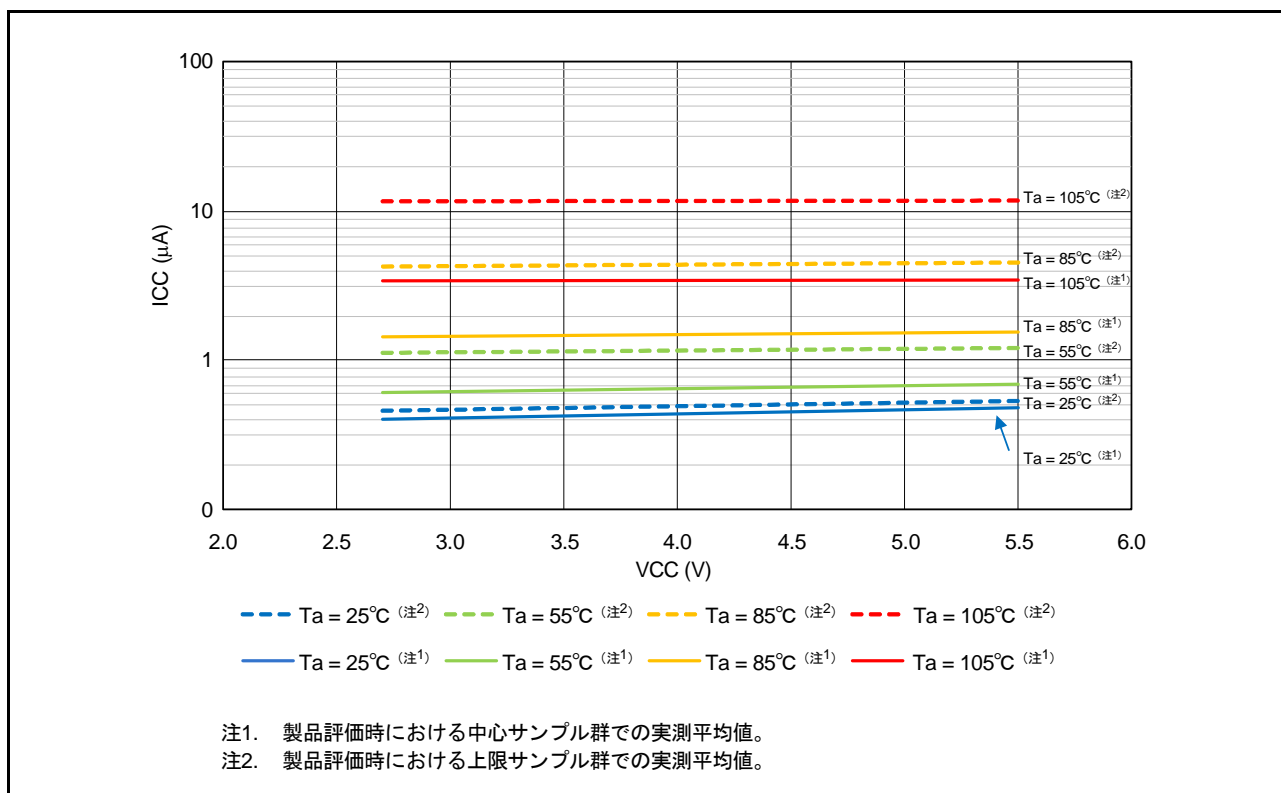


図 5.1 ソフトウェアスタンバイモード時の電圧依存性 (参考データ)

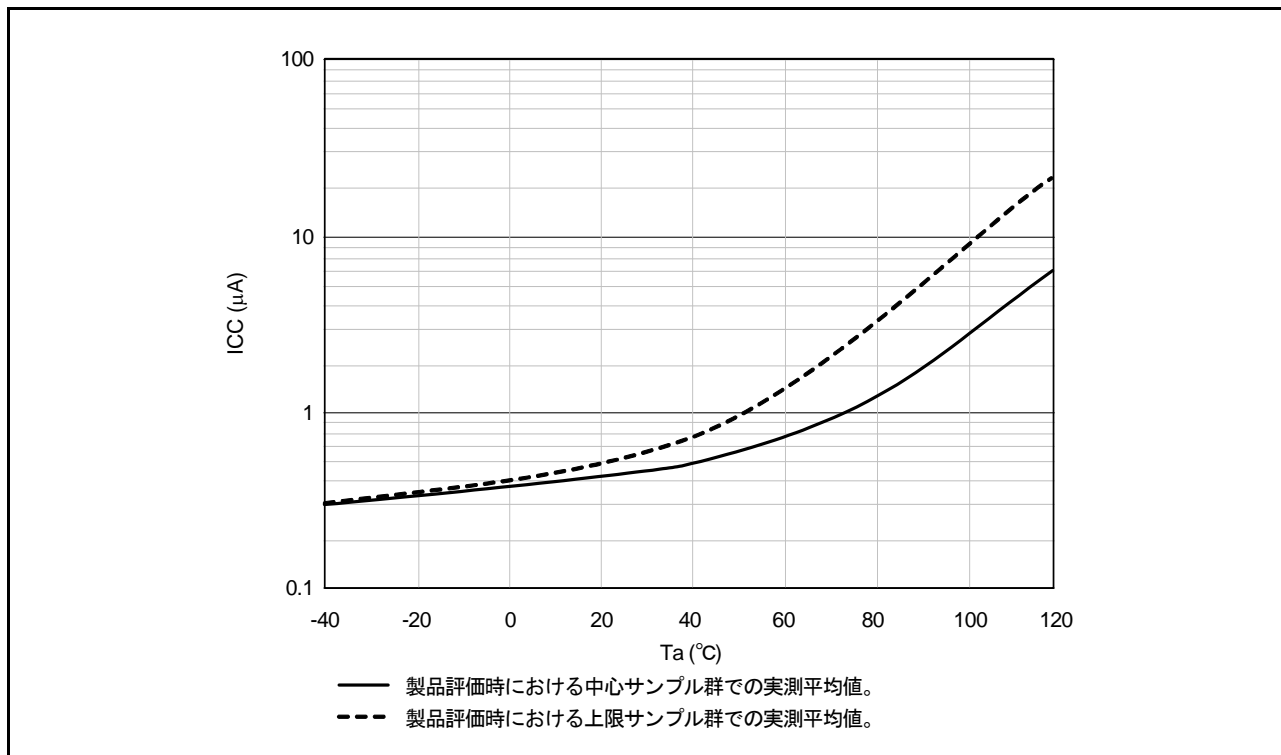


図 5.2 ソフトウェアスタンバイモード時の温度依存性 (参考データ)

表5.7 DC特性 (5)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	—	300	mW	Dバージョン製品
許容総消費電力 (注1)	Pd	—	—	125	mW	Gバージョン製品

注. Gバージョン製品のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格から軽減することです。

注1. チップ全体（出力電流を含む）の総電力です。

表5.8 DC特性 (6)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ (注2)	max	単位	測定条件
アナログ電源電流	A/D変換中 (サンプルホールド回路使用時)	I_{AVCC}	—	3.1	5.2	mA	
	A/D変換中 (サンプルホールド回路未使用時)		—	0.9	1.8		
	D/A変換中 (注1)		—	0.4	0.9		
	A/D、D/A変換待機時 (全ユニット)		—	—	0.4	μ A	
リファレンス電源電流	A/D変換中	I_{REFH0}	—	80	130	μ A	
	A/D変換待機時 (全ユニット)		—	—	60	nA	
コンパレータC動作電流 (注3)	コンパレータ有効 (1チャンネル当り)	I_{CMP}	—	40	60	μ A	

注1. D/Aコンバータは、電源電流にリファレンス電流も含む値です。

注2. VCC=AVCC0=5Vのとき。

注3. コンパレータCモジュールのみの消費電流です。

表5.9 DC特性 (7)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
電源投入時 VCC立ち上がり勾配	通常起動時	SrVCC	0.02	—	20	ms/V	
	起動時電圧監視0リセット有効時 (注1、注2)		0.02	—	—		

注1. OFS1.LVDAS = 0を設定した場合です。

注2. ブートモード時はOFS1にて設定したレジスタ設定は読み込まれませんので、通常起動時の立ち上げ勾配にて電源電圧を立ち上げてください。

表5.10 DC特性 (8)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

電源リップルは、VCCの上限 (5.5V) と下限 (2.7V) は超えない範囲で許容電源リップル周波数 f_r (VCC) を満たしてください。VCC変動がVCC \pm 10%を超える場合は、許容電源変動立ち上がり/立ち下がり勾配dt/dVCCを満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	f_r (VCC)	—	—	10	kHz	図 5.3 V_r (VCC) \leq VCC \times 0.2 の場合
		—	—	1	MHz	図 5.3 V_r (VCC) \leq VCC \times 0.08 の場合
		—	—	10	MHz	図 5.3 V_r (VCC) \leq VCC \times 0.06 の場合
許容電源変動立ち上がり/ 立ち下がり勾配	dt/dVCC	1.0	—	—	ms/V	VCC 変動が VCC \pm 10% を超える場合

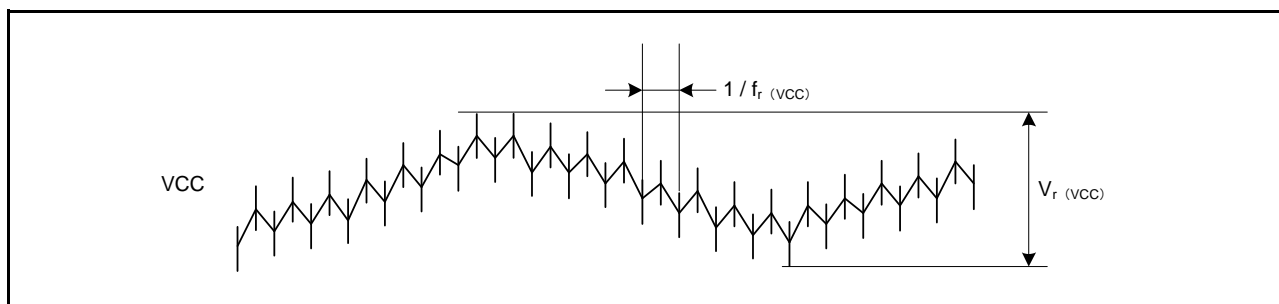


図 5.3 電源リップル波形

表 5.11 DC特性 (9)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目	記号	min	typ	max	単位	測定条件
VCL端子外付け容量	C _{VCL}	3.3	4.7	6.1	μF	

注. 推奨は4.7μFです。接続するコンデンサのばらつきは、上記の範囲内にしてください。

表 5.12 出力許容電流値

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目		記号	max	単位	
出力Lowレベル許容電流	大電流端子 (ポート71~76、ポートB5、ポートD3)	I _{OL}	10.0	mA	
	RIIC入力端子		6.0		
	それ以外のポート		通常出力時		4.0
			高駆動出力時		8.0
出力Lowレベル許容電流	大電流端子の合計	ΣI _{OL}	50		
	全出力端子の総和		110		
出力Highレベル許容電流	大電流端子 (ポート71~76、ポートB5、ポートD3)	I _{OH}	-5.0		
	それ以外のポート		通常出力時		-4.0
			高駆動出力時		-8.0
	出力Highレベル許容電流		大電流端子の合計		ΣI _{OH}
全出力端子の総和		-35			

注. 許容総消費電流は超えないようにしてください。

表5.13 出力電圧値

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min	max	単位	測定条件	
出力Lowレベル	大電流端子 (ポート71~76、ポートB5、ポートD3)	V _{OL}	—	0.8	V	I _{OL} = 10.0mA	
	RIIC端子		スタンダードモード	—		0.4	I _{OL} = 3.0mA
			ファストモード	—		0.6	I _{OL} = 6.0mA
	上記以外の出力端子		通常出力時	—		0.8	I _{OL} = 1.0mA
			高駆動出力時	—		0.8	I _{OL} = 2.0mA
出力Highレベル	大電流端子 (ポート71~76、ポートB5、ポートD3)	V _{OH}	VCC - 0.8	—	V	I _{OH} = -5.0mA	
	ポート40~47		AVCC0 - 0.8	—		I _{OH} = -2.0mA	
	上記以外の出力端子		通常出力時	VCC - 0.8		—	I _{OH} = -2.0mA
			高駆動出力時	VCC - 0.8		—	I _{OH} = -4.0mA

5.2.1 標準 I/O 端子出力特性 (1)

図 5.4 ~ 図 5.7 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

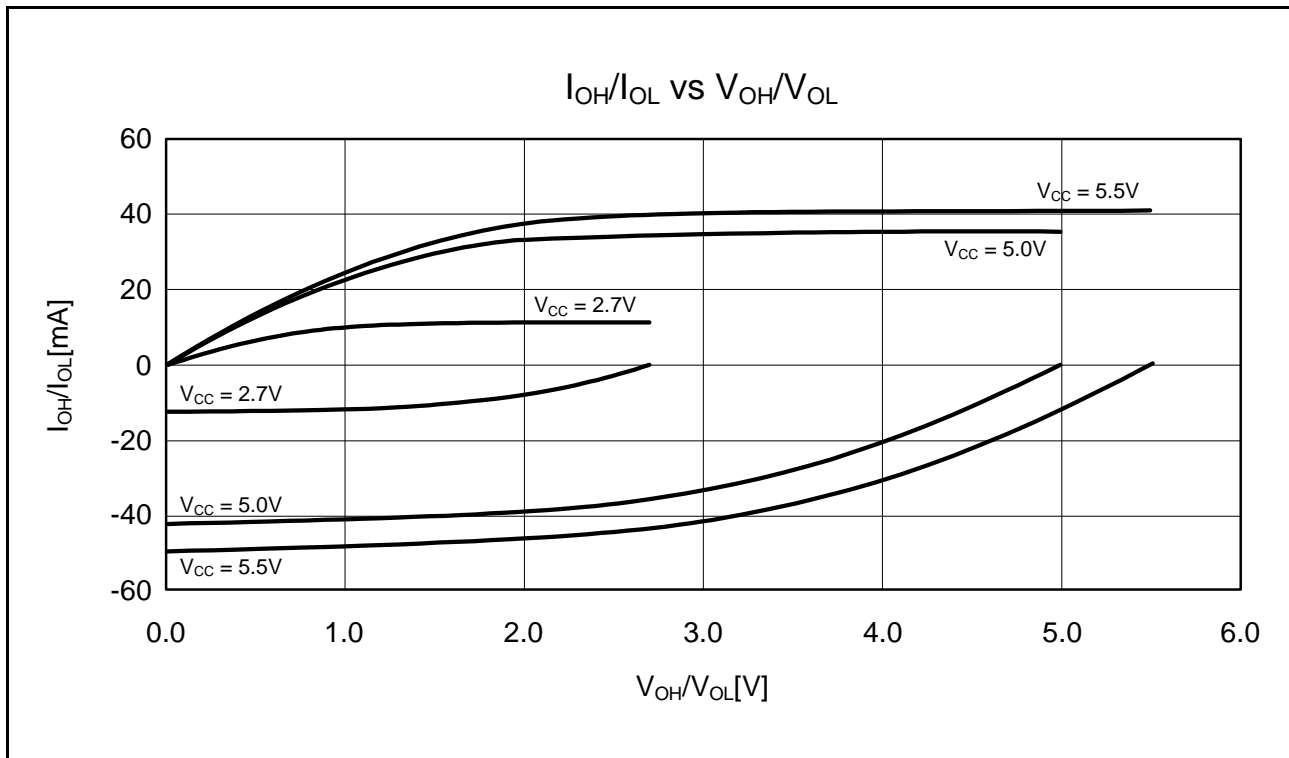


図 5.4 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 Ta = 25 °C (参考データ)

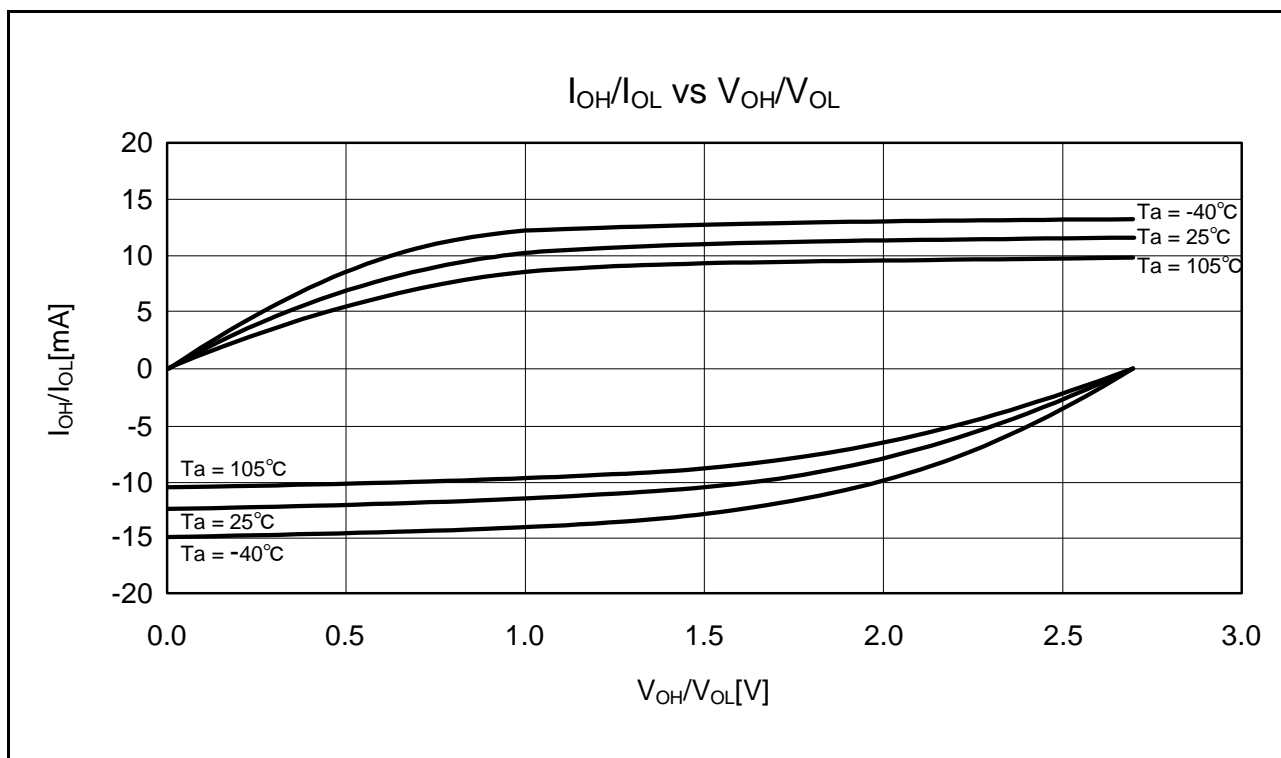


図 5.5 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

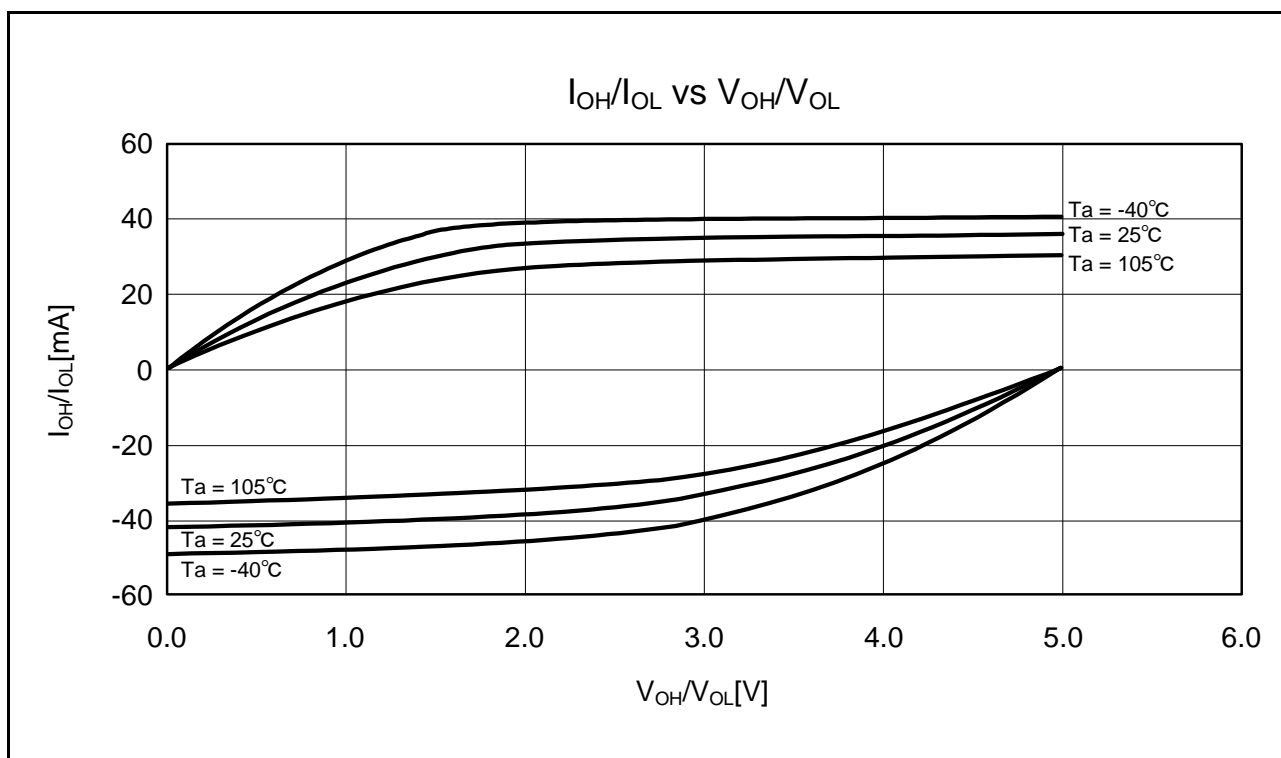


図 5.6 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

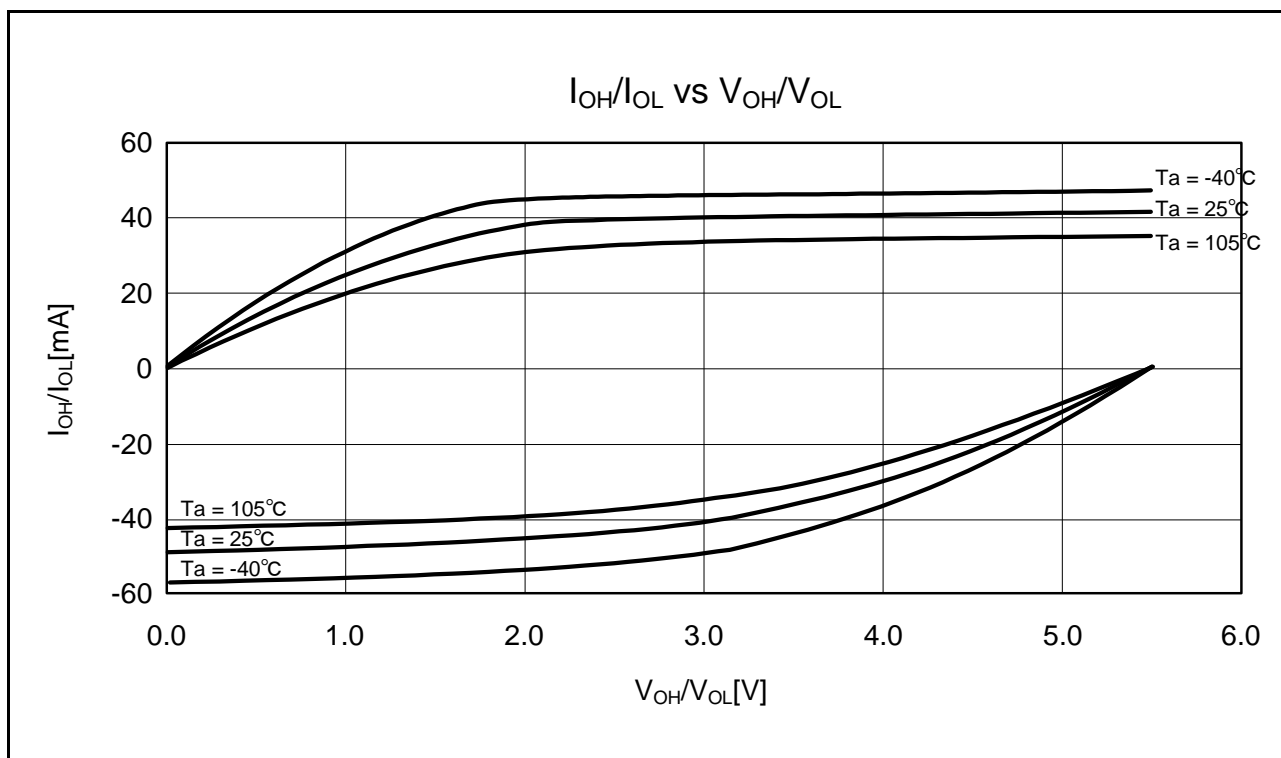


図 5.7 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

5.2.2 標準 I/O 端子出力特性 (2)

図 5.8 ~ 図 5.11 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

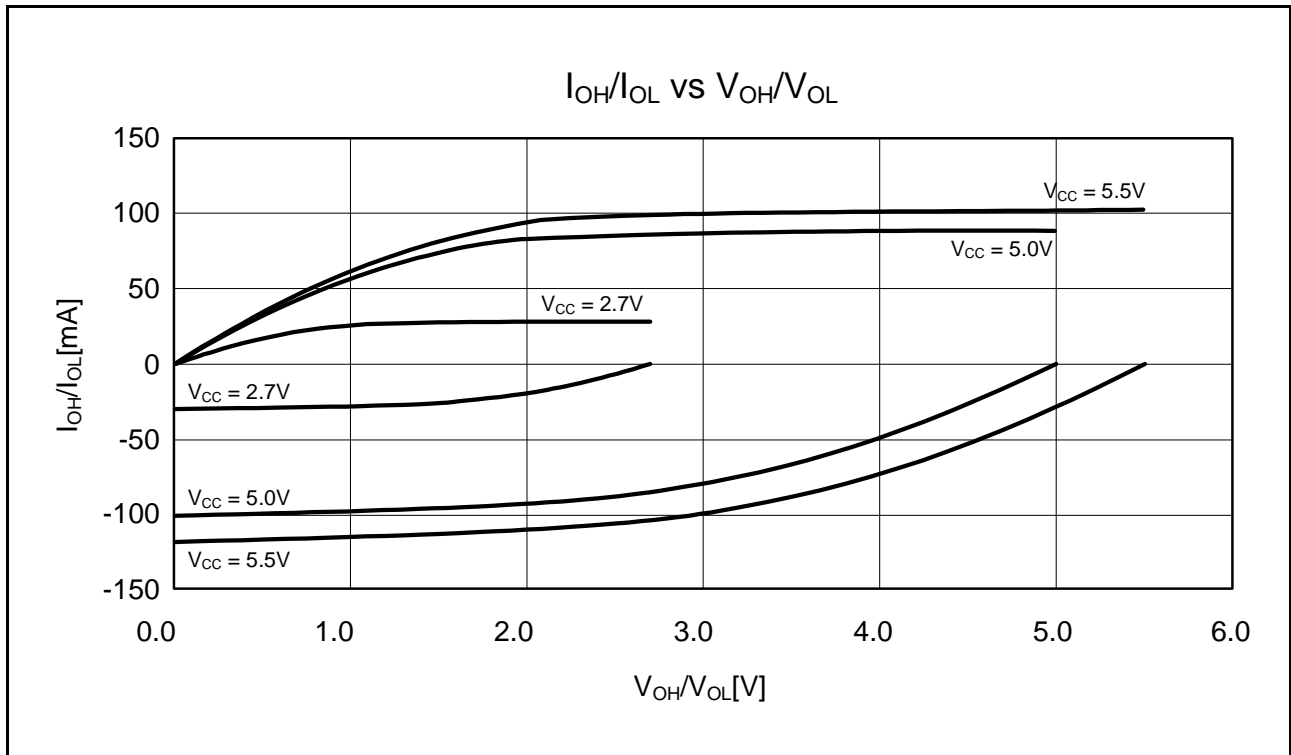


図 5.8 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 電圧特性 Ta = 25 °C (参考データ)

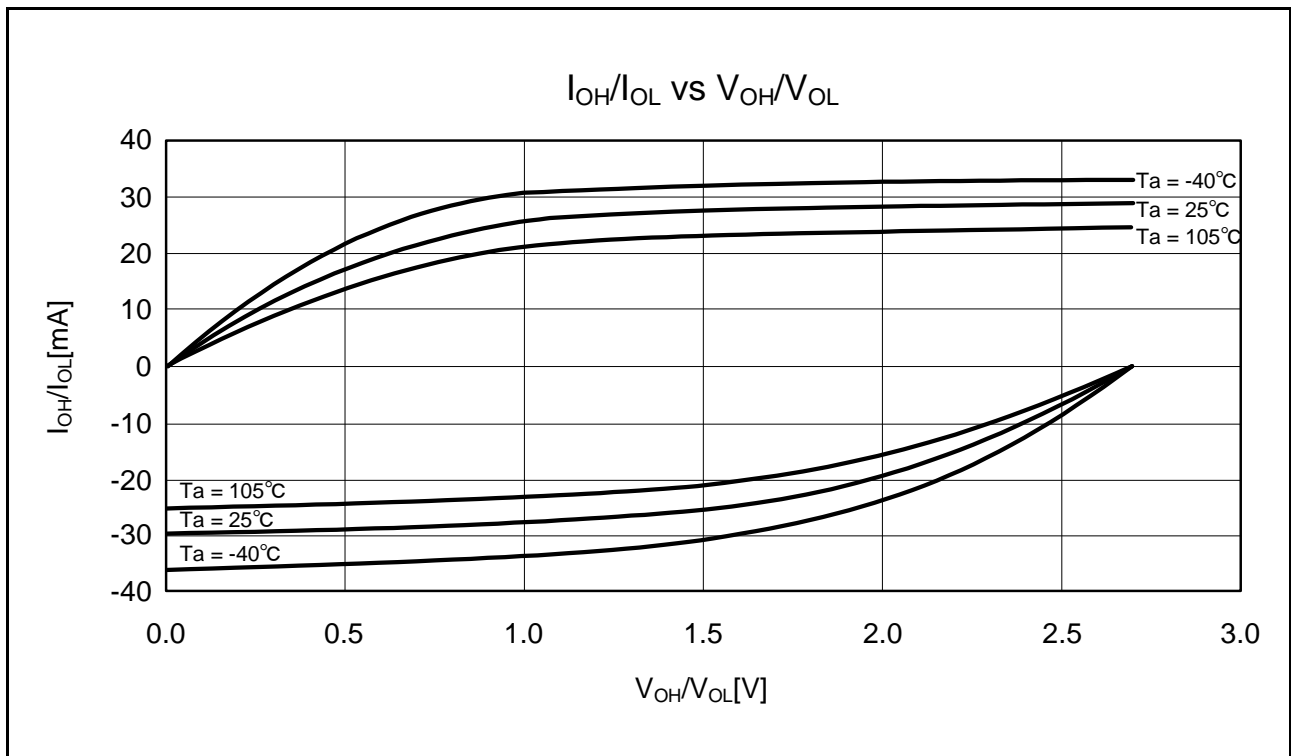


図 5.9 通常出力を選択したときの V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 V_{CC} = 2.7V (参考データ)

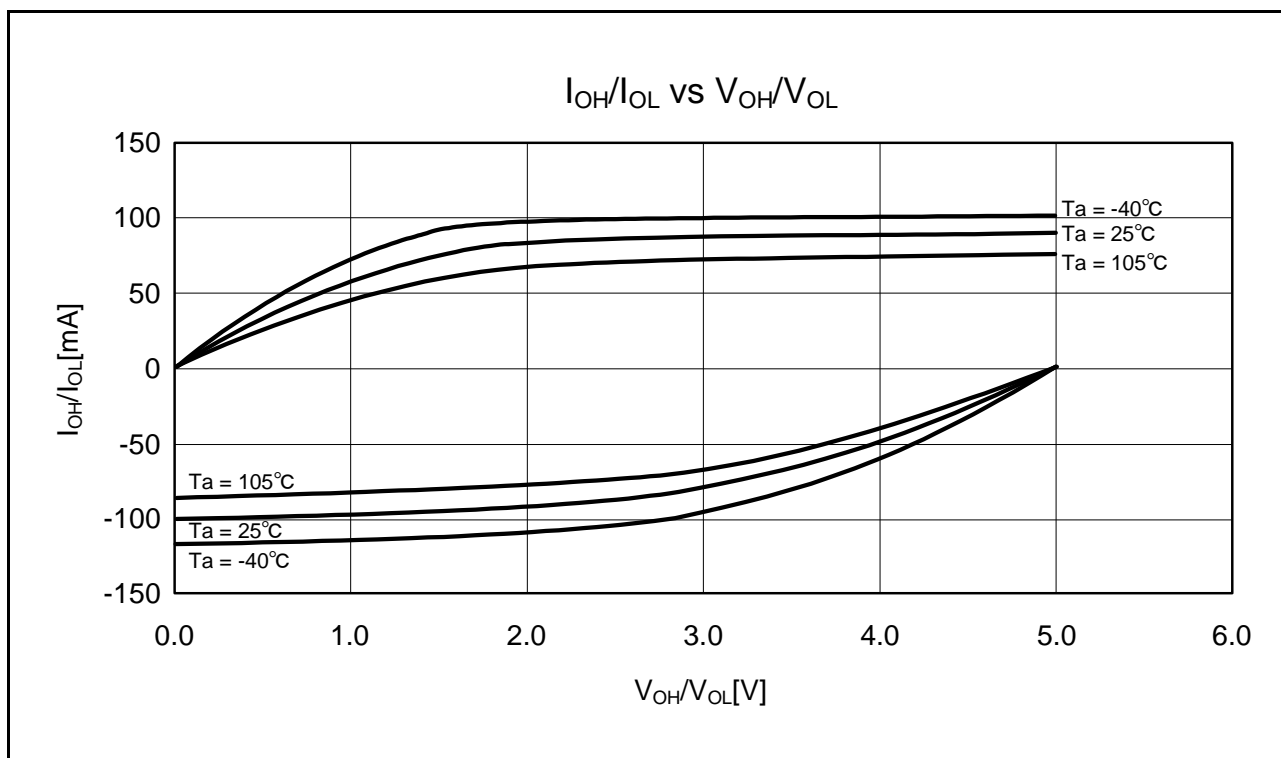


図 5.10 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0\text{V}$ (参考データ)

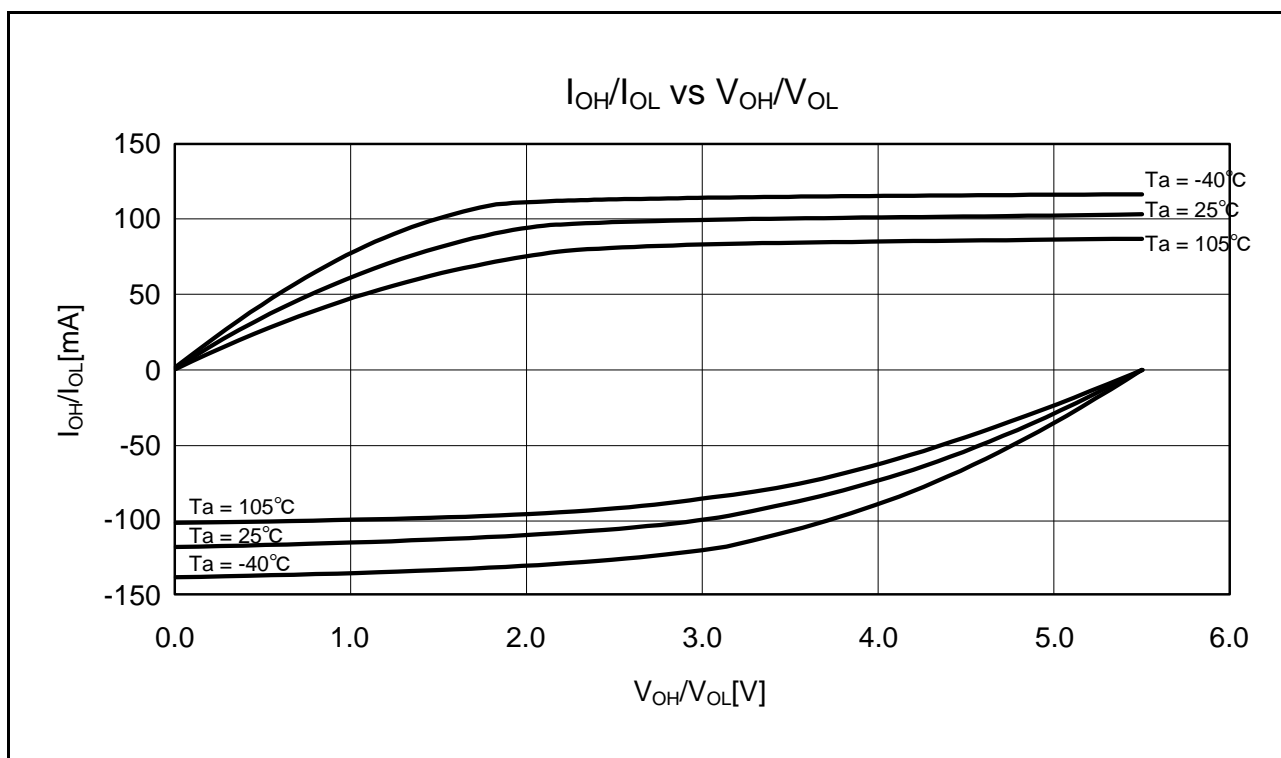


図 5.11 通常出力を選択したときの V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.5\text{V}$ (参考データ)

5.2.3 標準 I/O 端子出力特性 (3)

図 5.12 ~ 図 5.15 に大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の出力特性を示します。

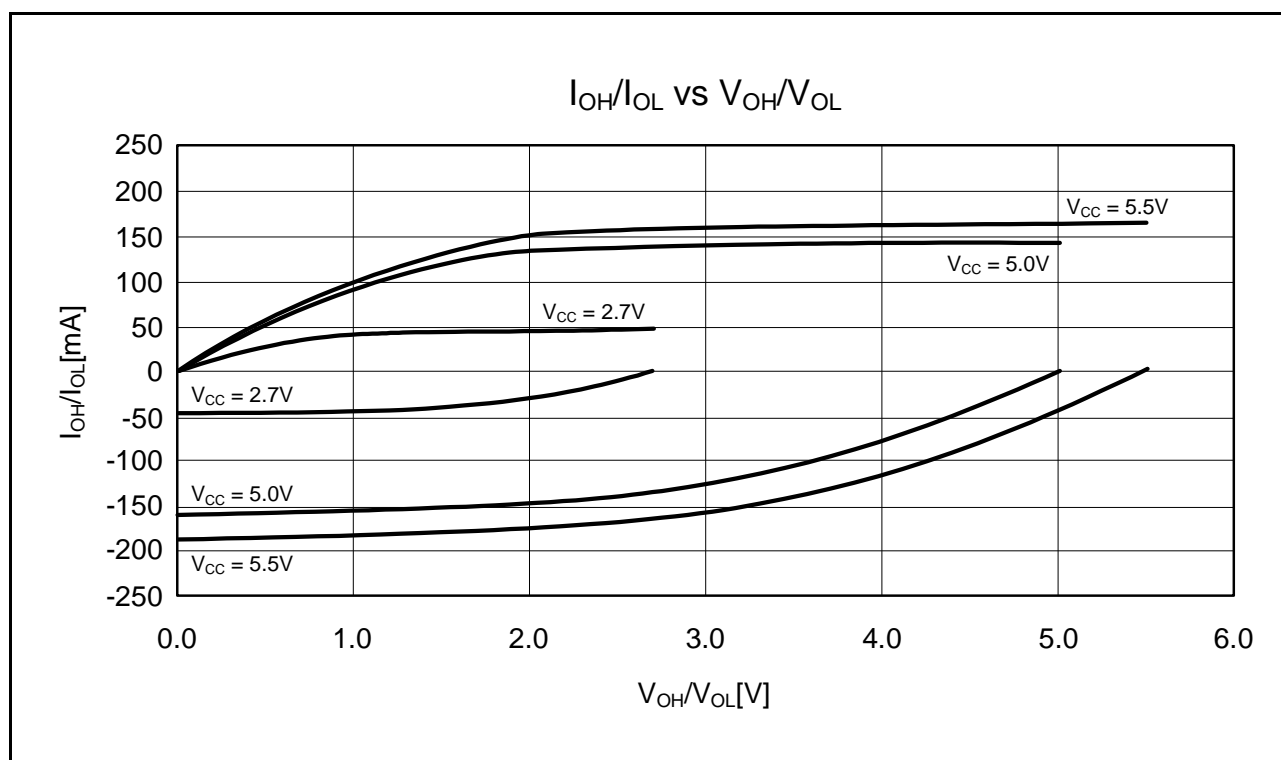


図 5.12 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

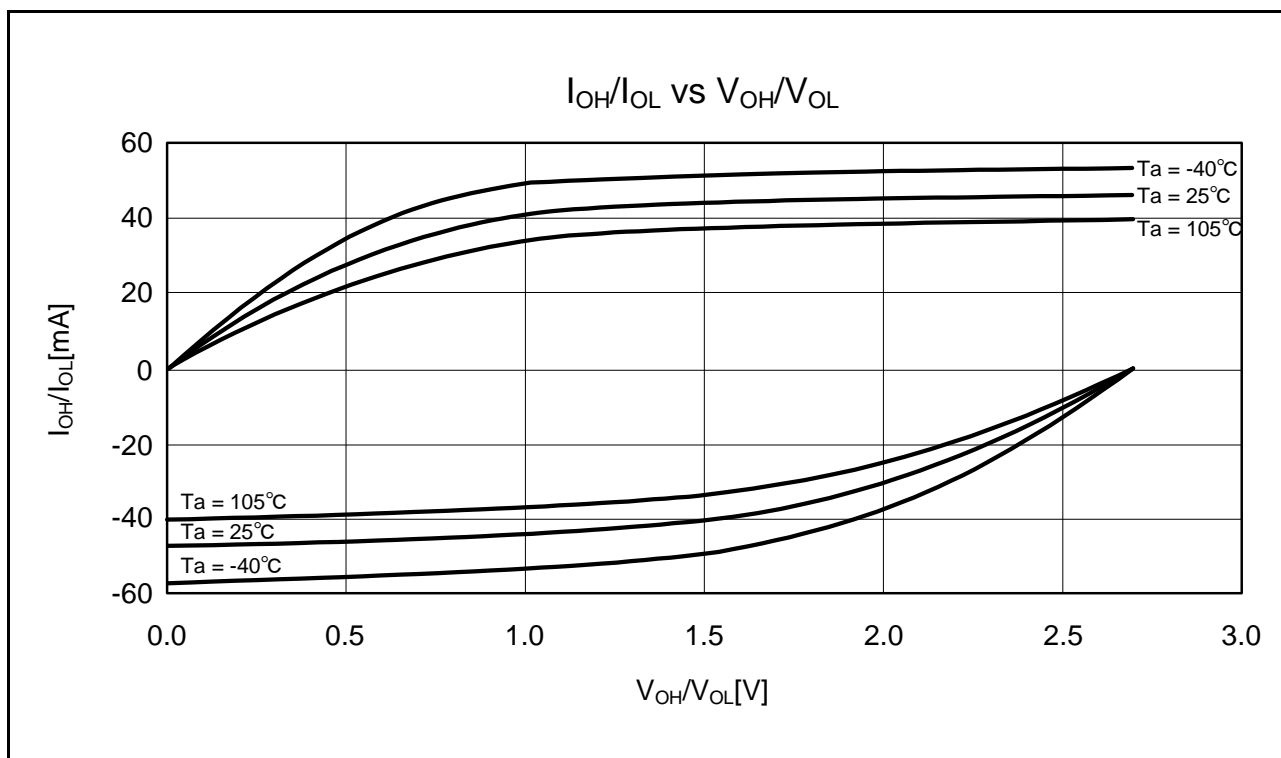


図 5.13 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 2.7V$ (参考データ)

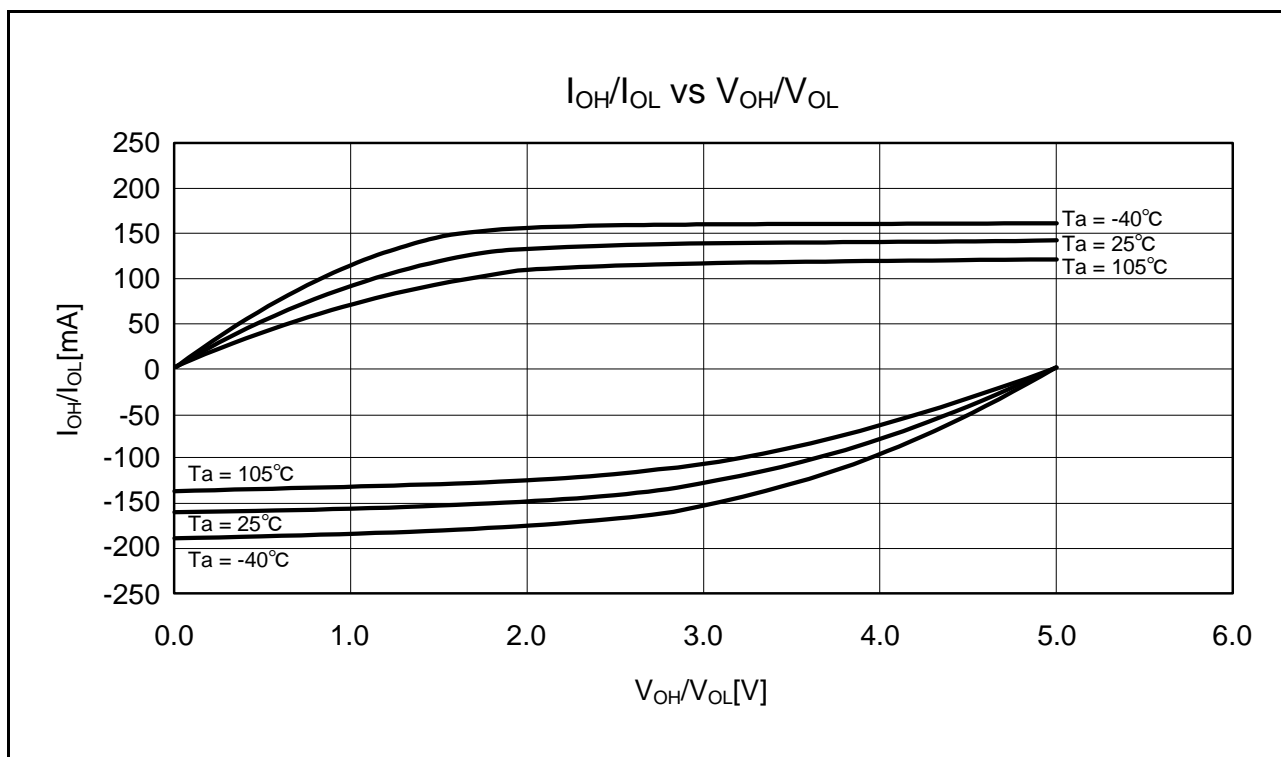


図 5.14 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL} 、 I_{OH}/I_{OL} 温度特性 $V_{CC} = 5.0V$ (参考データ)

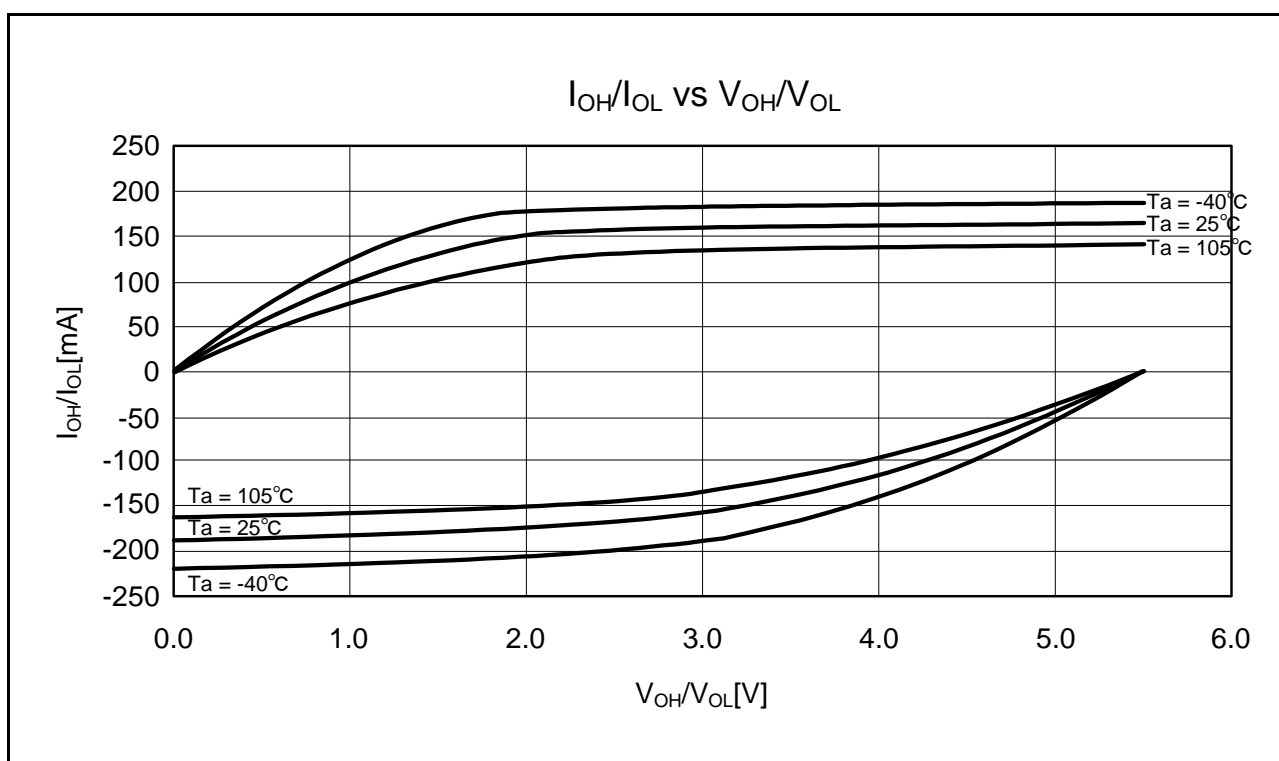


図 5.15 大電流端子（ポート 71 ~ 76、ポート B5、ポート D3）の V_{OH}/V_{OL}、I_{OH}/I_{OL} 温度特性 VCC = 5.5V（参考データ）

5.2.4 RIIC 端子出力特性

図 5.16 ~ 図 5.19 に RIIC 端子の出力特性を示します。

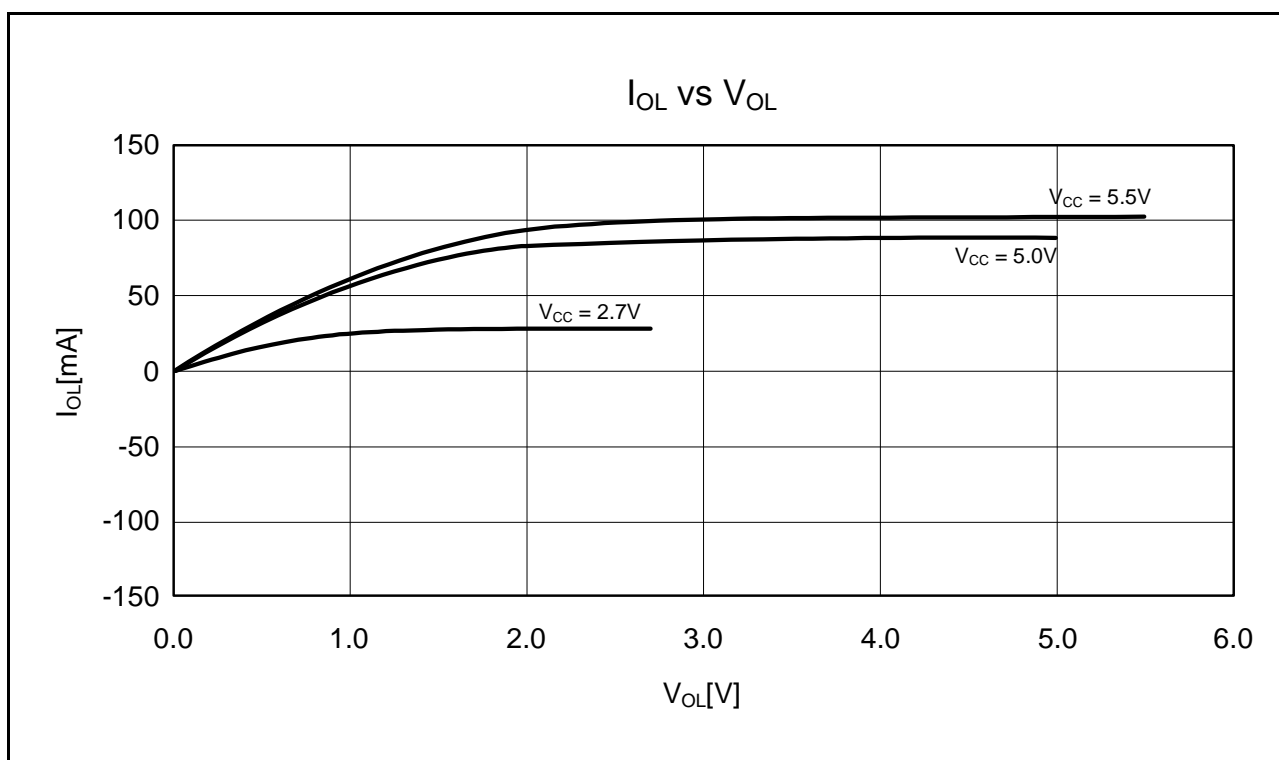


図 5.16 RIIC 出力端子の V_{OL}、I_{OL} 電圧特性 Ta = 25 °C (参考データ)

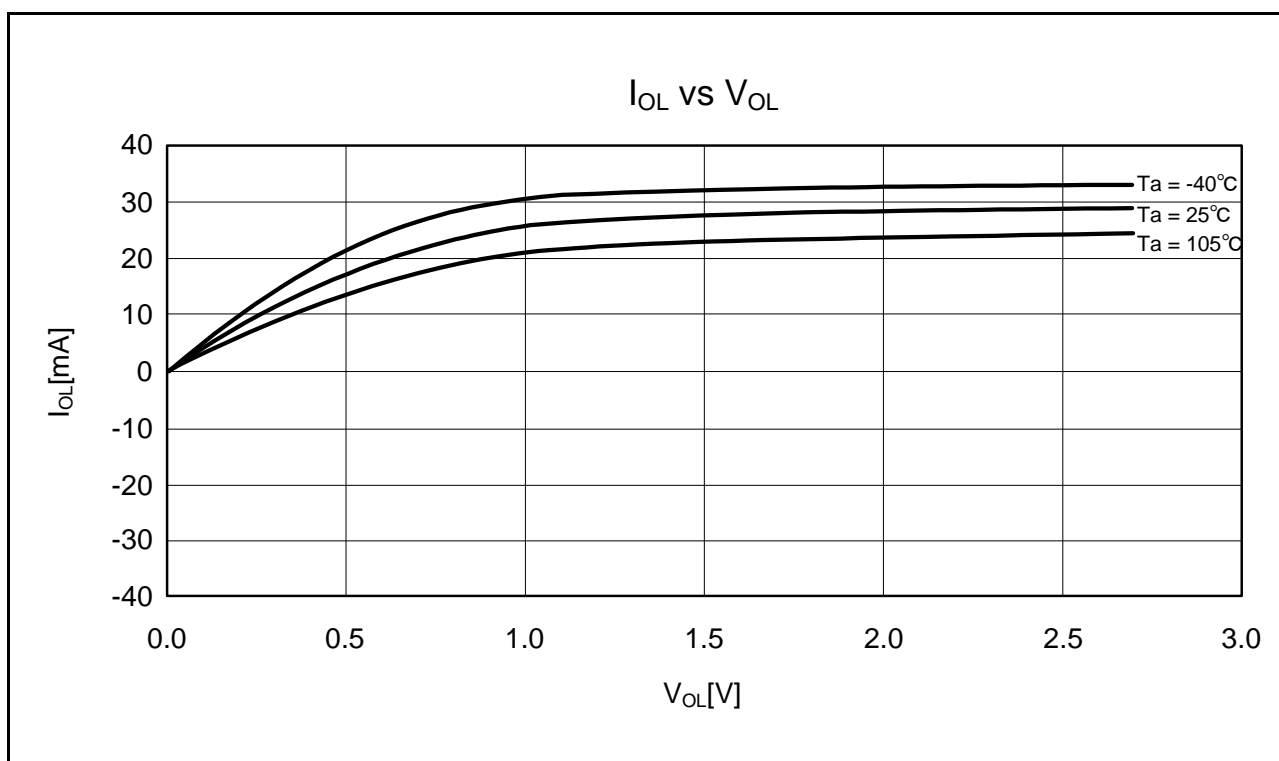


図 5.17 RIIC 出力端子の V_{OL}、I_{OL} 温度特性 V_{CC} = 2.7V (参考データ)

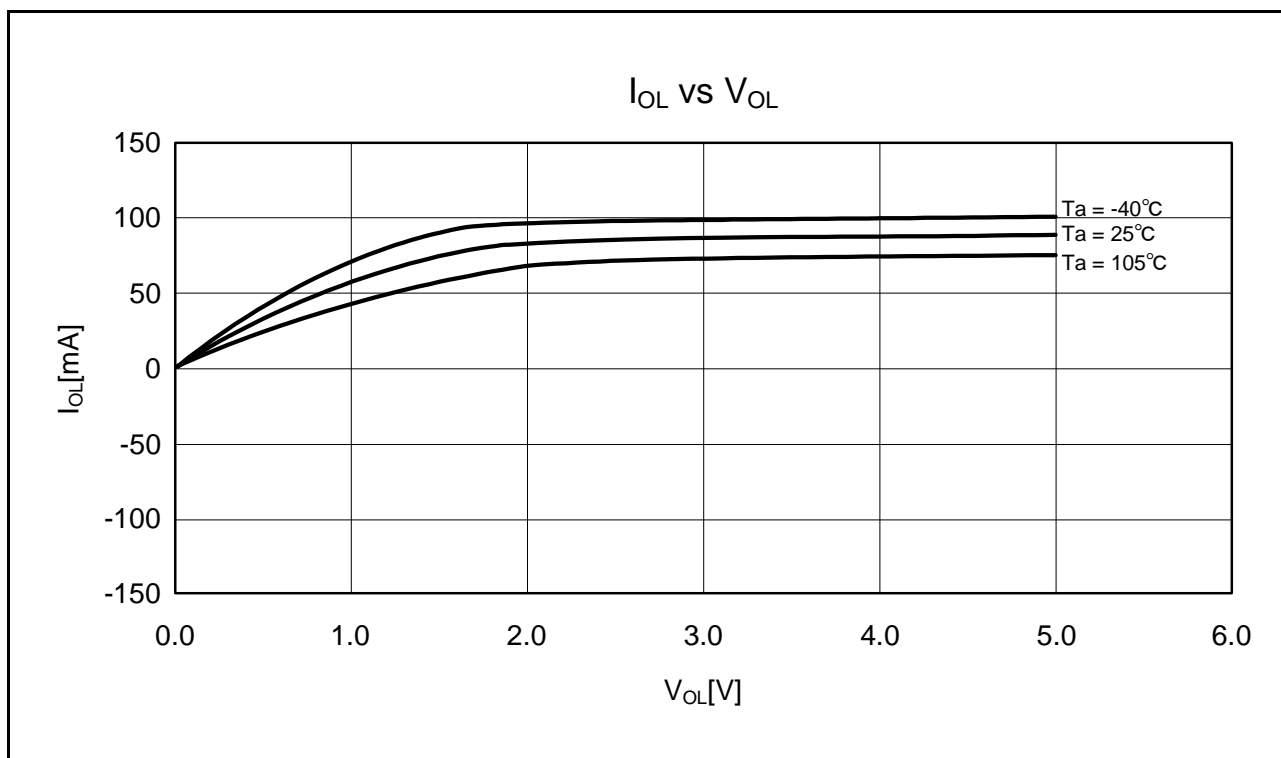


図 5.18 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 VCC = 5.0V (参考データ)

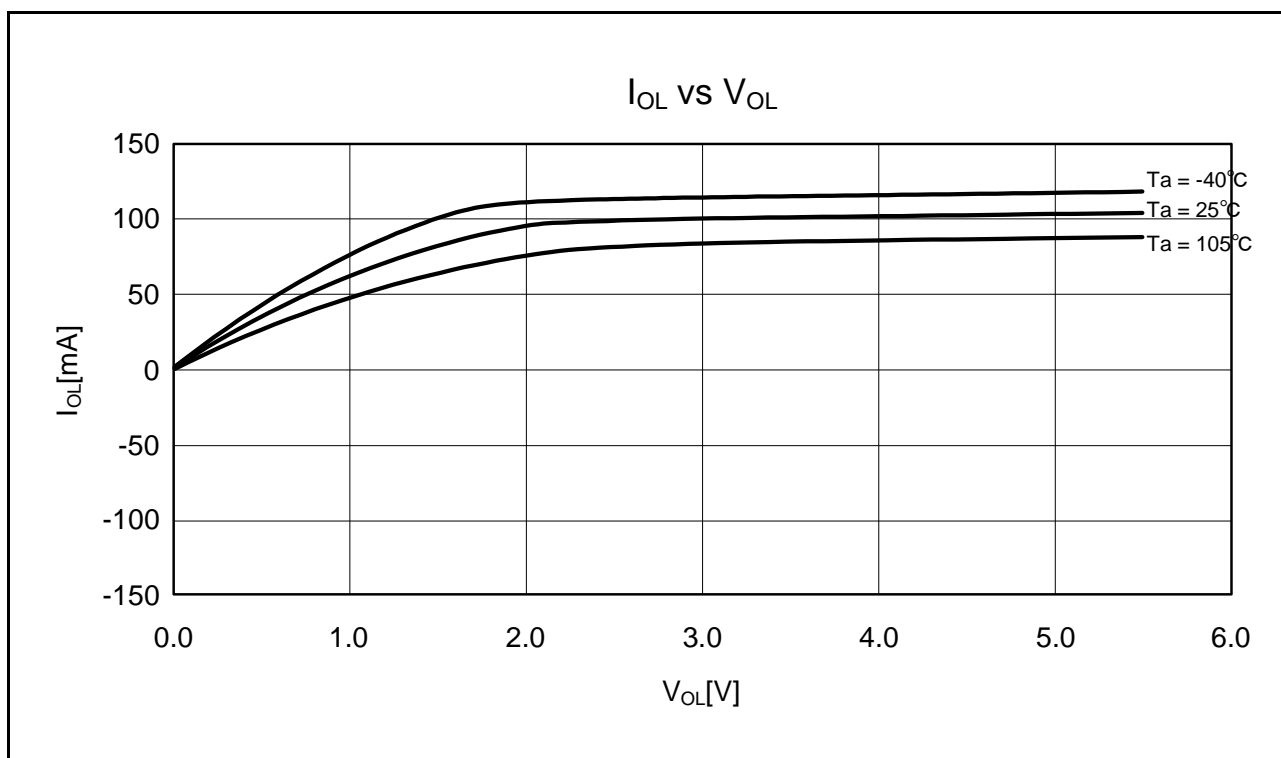


図 5.19 RIIC 出力端子の V_{OL} 、 I_{OL} 温度特性 VCC = 5.5V (参考データ)

5.3 AC 特性

5.3.1 クロックタイミング

表5.14 動作周波数（高速動作モード）

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min.	typ.	max.	単位
最大動作周波数	システムクロック (ICLK)	f _{max}	—	—	40	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	32	
	周辺モジュールクロック (PCLKA)		—	—	40	
	周辺モジュールクロック (PCLKB)		—	—	40	
	周辺モジュールクロック (PCLKD)		—	—	40	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表5.15 動作周波数（中速動作モード）

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		記号	min.	typ.	max.	単位
最大動作周波数	システムクロック (ICLK)	f _{max}	—	—	12	MHz
	FlashIFクロック (FCLK) (注1、注2)		—	—	12	
	周辺モジュールクロック (PCLKA)		—	—	12	
	周辺モジュールクロック (PCLKB)		—	—	12	
	周辺モジュールクロック (PCLKD)		—	—	12	

注1. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注2. FCLKの周波数精度は±3.5%である必要があります。

表5.16 クロックタイミング

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
EXTAL外部クロック入力サイクル時間	t_{Xcyc}	50	—	—	ns	図5.20
EXTAL外部クロック入力パルス幅Highレベル	t_{XH}	20	—	—	ns	
EXTAL外部クロック入力パルス幅Lowレベル	t_{XL}	20	—	—	ns	
EXTAL外部クロック立ち上がり時間	t_{Xr}	—	—	5	ns	
EXTAL外部クロック立ち下がり時間	t_{Xf}	—	—	5	ns	
EXTAL外部クロック入力待機時間 (注1)	t_{EXWT}	0.5	—	—	μs	図5.21
メインクロック発振器発振周波数 (注2)	f_{MAIN}	1	—	20	MHz	
メインクロック発振安定時間 (水晶振動子) (注2)	$t_{MAINOSC}$	—	3	—	ms	
メインクロック発振安定時間 (セラミック共振子) (注2)	$t_{MAINOSC}$	—	50	—	μs	
LOCOクロック発振周波数	f_{LOCO}	3.44	4.0	4.56	MHz	
LOCOクロック発振安定時間	t_{LOCO}	—	—	0.5	μs	図5.22
IWDT専用クロック発振周波数	f_{ILOCO}	12.75	15	17.25	kHz	
IWDT専用クロック発振安定時間	t_{ILOCO}	—	—	50	μs	図5.23
HOCOクロック発振周波数	f_{HOCO}	31.52	32	32.48	MHz	Ta = -40 ~ +85°C
		31.68	32	32.32		Ta = -20 ~ +85°C
		31.36	32	32.64		Ta = -40 ~ +105°C
HOCOクロック発振安定時間	t_{HOCO}	—	—	30	μs	図5.25
PLL回路発振周波数	f_{PLL}	24	—	40	MHz	
PLLクロック発振安定時間	t_{PLL}	—	—	50	μs	図5.26
PLL自励発振周波数	f_{PLLFR}	—	8	—	MHz	

注1. 外部クロックが安定している場合に、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) にしてから、使用できるまでの時間です。

注2. 8MHzの発振子を使用した場合の参考値です。

メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。MOSCCR.MOSTP ビットでメインクロック発振器を動作設定に変更後、OSCOVFSR.MOOVF フラグが“1”になっていることを確認してから、メインクロックの使用を開始してください。

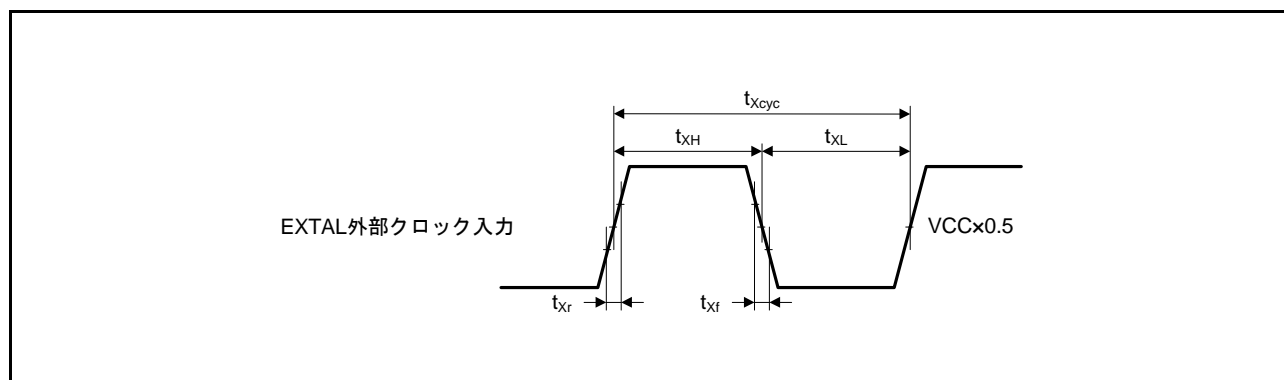


図5.20 EXTAL 外部クロック入力タイミング

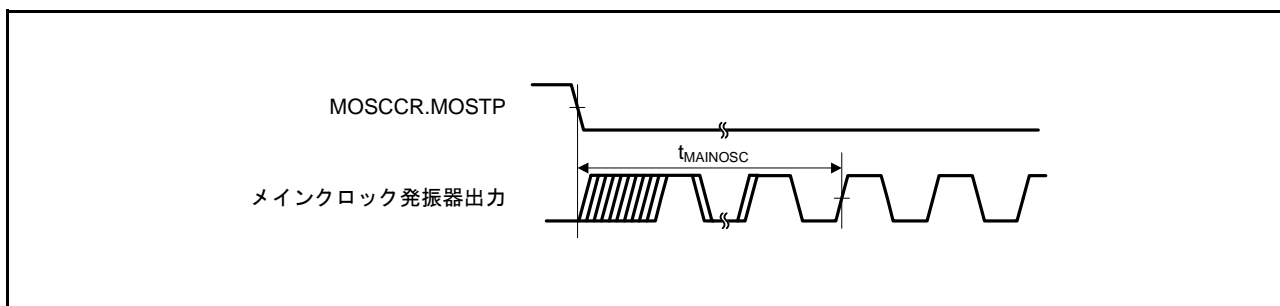


図 5.21 メインクロック発振開始タイミング

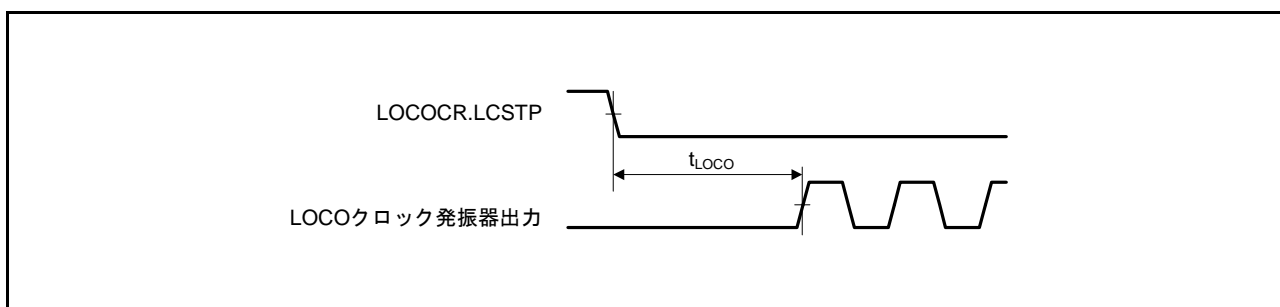


図 5.22 LOCO クロック発振開始タイミング

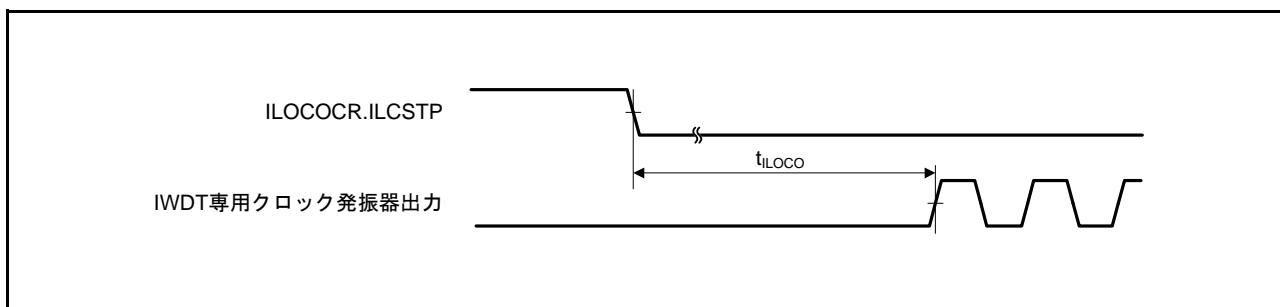


図 5.23 IWDT 専用クロック発振開始タイミング

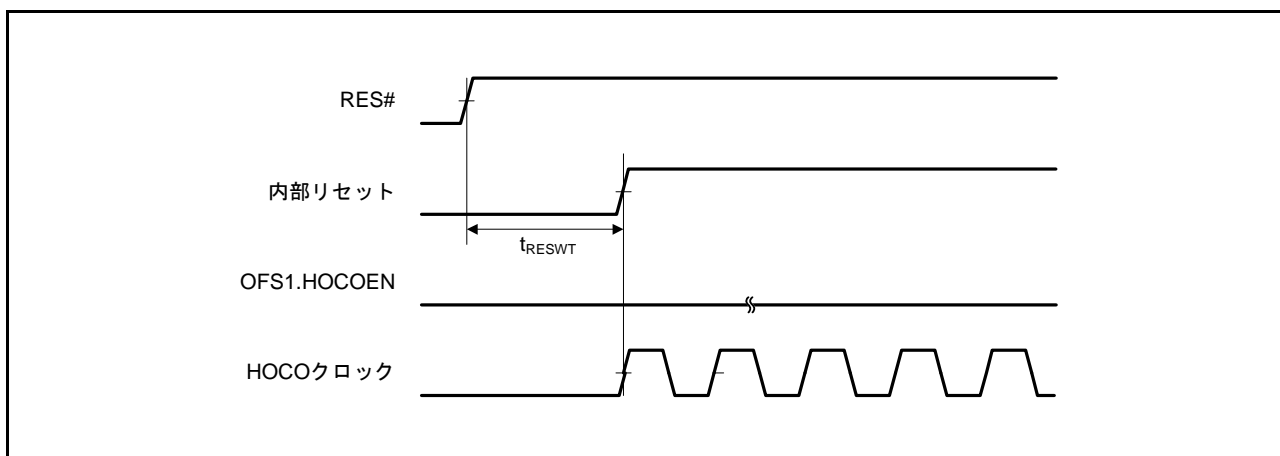


図 5.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

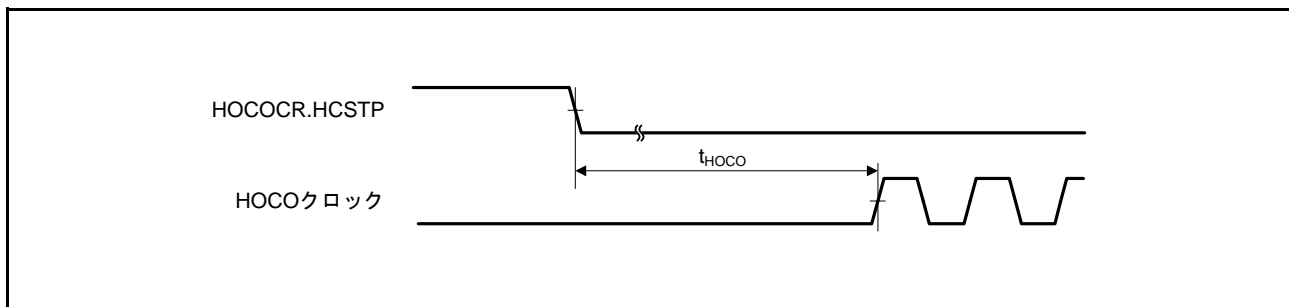


図 5.25 HOCO クロック発振開始タイミング (HOCOCR.HCSTP ビット設定による発振開始)

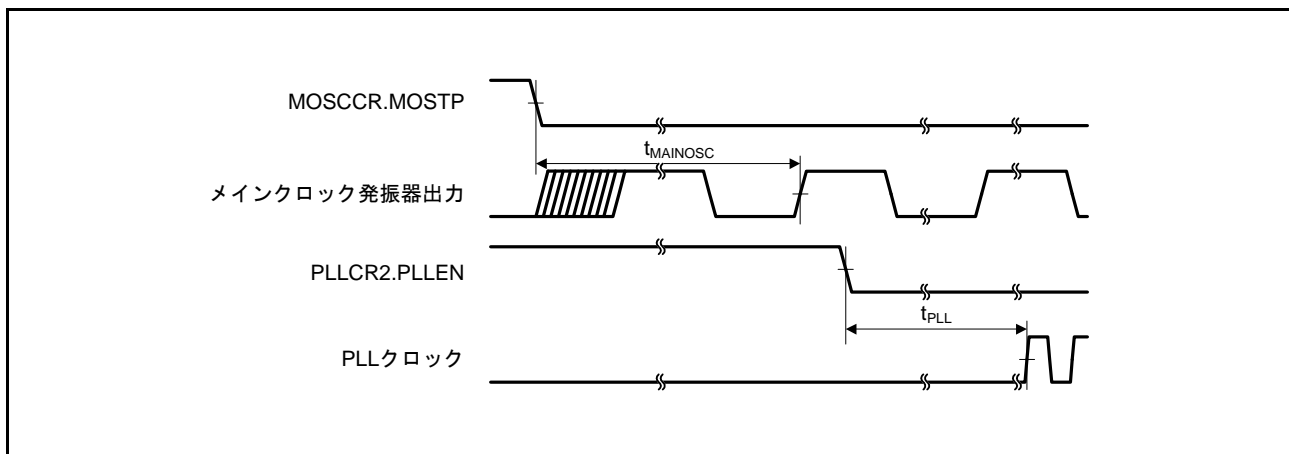


図 5.26 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

5.3.2 リセットタイミング

表5.17 リセットタイミング

条件：VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目		記号	min	typ	max	単位	測定条件
RES#パルス幅	電源投入時	t_{RESWP}	3	—	—	ms	図 5.27
	上記以外	t_{RESW}	30	—	—	μ s	図 5.28
RES#解除後待機時間（電源投入時）		t_{RESWT}	—	27.5	—	ms	図 5.27
RES#解除後待機時間 （電源立ち上がった状態）		t_{RESWT}	—	114	—	μ s	図 5.28
独立ウォッチドッグタイマリセット期間		t_{RESWIW}	—	1	—	IWDT clock cycle	図 5.29
ソフトウェアリセット期間		t_{RESWSW}	—	1	—	ICLK cycle	
独立ウォッチドッグタイマリセット解除後待機時間（注1）		t_{RESW2}	—	300	—	μ s	
ソフトウェアリセット解除後待機時間		t_{RESW2}	—	168	—	μ s	

注1. IWDT.CR.CKS[3:0] = 0000bを設定した場合です。

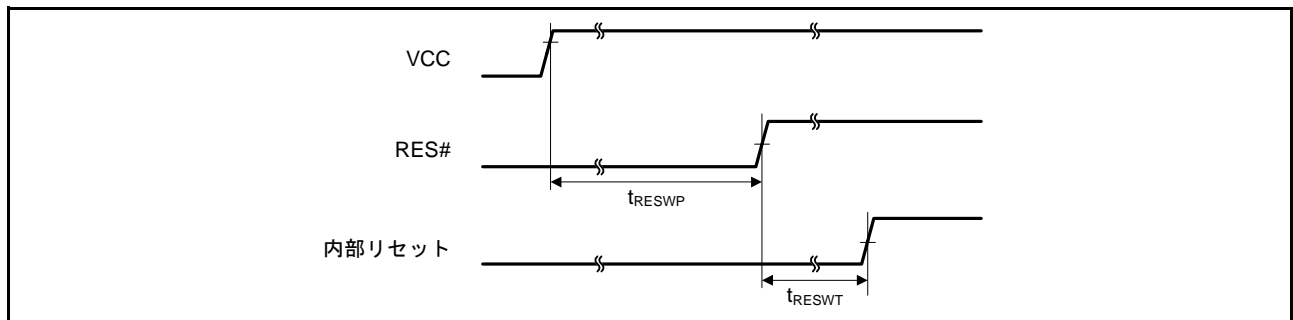


図 5.27 電源投入時リセット入力タイミング

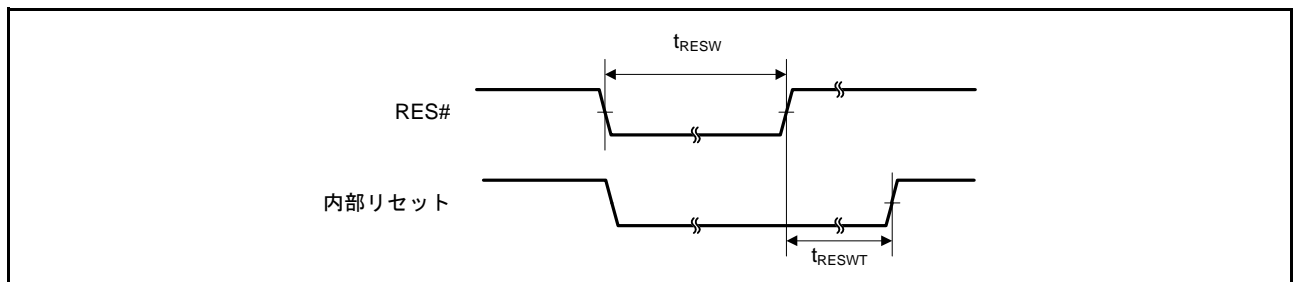


図 5.28 リセット入力タイミング (1)

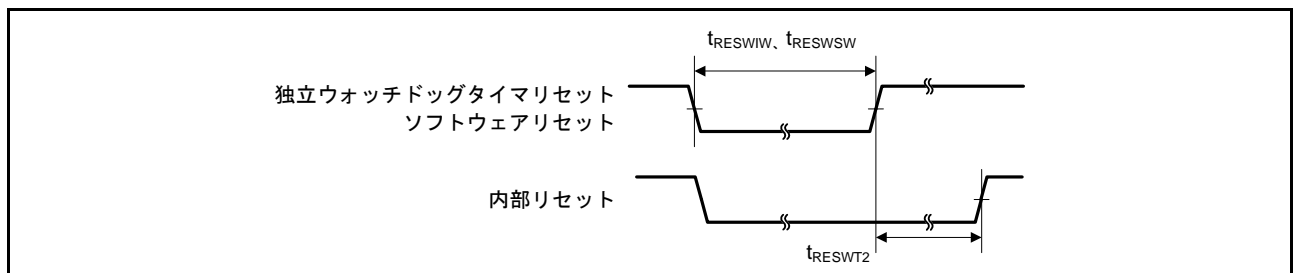


図 5.29 リセット入力タイミング (2)

5.3.3 低消費電力状態からの復帰タイミング

表5.18 低消費電力状態からの復帰タイミング (1)

条件: VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	高速モード	メインクロック発振器に水晶振動子を接続	t _{SBYMC}	—	2	3	ms	図 5.30	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t _{SBYEX}	—	35	50		μs
			メインクロック発振器、PLL回路動作 (注4)	t _{SBYPE}	—	70	95		μs
		LOCOクロック動作	t _{SBYLO}	—	40	55	μs		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が20MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が20MHzの場合です。

注4. PLLの周波数が40MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

表5.19 低消費電力状態からの復帰タイミング (2)

条件: VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (注1)	中速モード	メインクロック発振器に水晶振動子を接続	t _{SBYMC}	—	2	3	ms	図 5.30	
		メインクロック発振器に外部クロックを入力	メインクロック発振器動作 (注3)	t _{SBYEX}	—	3	4		μs
			メインクロック発振器、PLL回路動作 (注4)	t _{SBYPE}	—	65	85		μs
		LOCOクロック動作	t _{SBYLO}	—	5	7	μs		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なります。上記の表は、そのクロックのみ動作している場合です。

注2. 水晶振動子の周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“04h”を設定した場合です。

注3. 外部クロックの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

注4. PLLの周波数が12MHzの場合です。

メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR) に“00h”を設定した場合です。

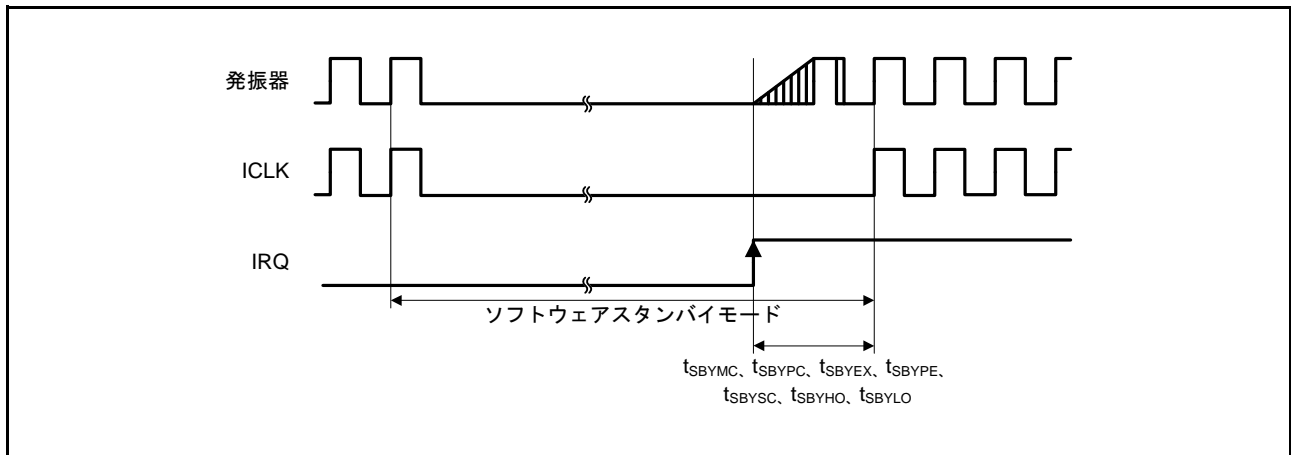


図 5.30 ソフトウェアスタンバイモード復帰タイミング

表5.20 低消費電力状態からの復帰タイミング (3)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
ディープスリープモード 解除後復帰時間 (注1)	高速モード (注2)	$t_{DSL P}$	—	2	3.5	μs	図 5.31
	中速モード (注3)	$t_{DSL P}$	—	3	4	μs	

- 注1. ディープスリープモードでは発振器は発振を継続します。
- 注2. システムクロック周波数が32MHzの場合です。
- 注3. システムクロック周波数が12MHzの場合です。

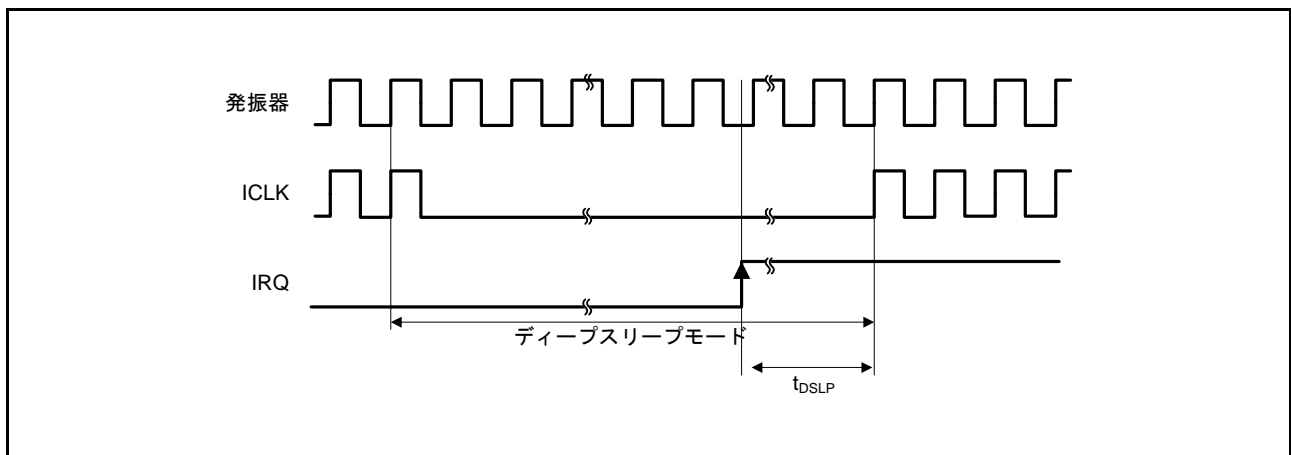


図 5.31 ディープスリープモード解除タイミング

表5.21 動作モード遷移時間

条件 : VCC = 2.7V ~ AVCC0、AVCC0 = VREFH0 = 2.7V ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

遷移前モード	遷移後モード	ICLK周波数	遷移時間			単位
			min	typ	max	
高速動作モード	中速動作モード	8MHz	—	10	—	μs
中速動作モード	高速動作モード	8MHz	—	37.5	—	μs

- 注. PCLKB、PCLKD、FCLKを分周していない設定時の値です。

5.3.4 制御信号タイミング

表5.22 制御信号タイミング

条件：VCC = 2.7V~5.5V、AVCC0 = VREFH0 = VCC~5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40~+105°C

項目	記号	min	typ	max	単位	測定条件	
NMIパルス幅	t_{NMIW}	200	—	—	ns	NMI デジタルフィルタ無効設定時 (NMIFLTE.NFLTEN = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		NMI デジタルフィルタ有効設定時 (NMIFLTE.NFLTEN = 1)	$t_{NMICK} \times 3 \leq 200ns$
		$t_{NMICK} \times 3.5$ (注2)	—	—			$t_{NMICK} \times 3 > 200ns$
IRQパルス幅	t_{IRQW}	200	—	—	ns	IRQ デジタルフィルタ無効設定時 (IRQFLTE0.FLTENi = 0)	$t_{Pcyc} \times 2 \leq 200ns$
		$t_{Pcyc} \times 2$ (注1)	—	—			$t_{Pcyc} \times 2 > 200ns$
		200	—	—		IRQ デジタルフィルタ有効設定時 (IRQFLTE0.FLTENi = 1)	$t_{IRQCK} \times 3 \leq 200ns$
		$t_{IRQCK} \times 3.5$ (注3)	—	—			$t_{IRQCK} \times 3 > 200ns$

注. ソフトウェアスタンバイモード時は最小200nsです。

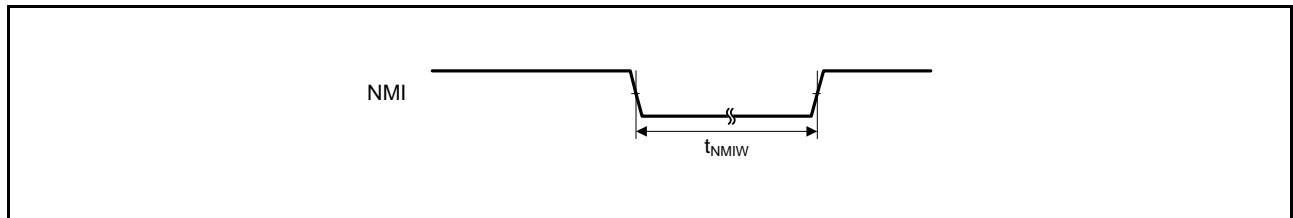
注1. t_{Pcyc} はPCLKBの周期を指します。注2. t_{NMICK} はNMIデジタルフィルタサンプリングクロックの周期です。注3. t_{IRQCK} はIRQiデジタルフィルタサンプリングクロック (i = 0~5) の周期を指します。

図 5.32 NMI 割り込み入カタイミング

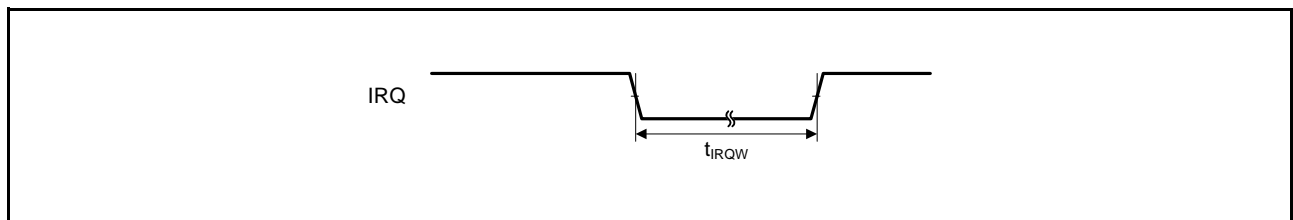


図 5.33 IRQ 割り込み入カタイミング

5.3.5 内蔵周辺モジュールタイミング

表5.23 内蔵周辺モジュールタイミング (1)

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目			記号	min	max	単位 (注1)	測定条件
I/Oポート	入力データパルス幅		t_{PRW}	1.5	—	t_{Pcyc}	図5.34
MTU3	インプットキャプチャ入力 パルス幅	単エッジ指定	t_{TICW}	3	—	t_{PAcyc}	図5.35
		両エッジ指定		5	—		
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	3	—	t_{PAcyc}	図5.36
		両エッジ指定		5	—		
		位相計数モード		5	—		
POE3	POE#入力パルス幅		t_{POEW}	1.5	—	t_{Pcyc}	図5.37
TMR	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} 、 t_{TMCWL}	1.5	—	t_{Pcyc}	図5.38
		両エッジ指定		2.5	—		
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	図5.39
		クロック同期		6	—		
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns	
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns	
	出カクロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}	図5.40
		クロック同期		4	—		
	出カクロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}	
	出カクロック立ち上がり時間		t_{SCKr}	—	20	ns	
	出カクロック立ち下がり時間		t_{SCKf}	—	20	ns	
送信データ遅延時間 (マスタ)	クロック同期		t_{TXD}	—	40	ns	
送信データ遅延時間 (スレーブ)	クロック 同期	VCC 4.0V 以上		—	40	ns	
		VCC 2.7V 以上	—	65	ns		
受信データセットアップ 時間 (マスタ)	クロック 同期	VCC 4.0V 以上	t_{RXS}	40	—	ns	
		VCC 2.7V 以上		65	—	ns	
受信データセットアップ 時間 (スレーブ)	クロック同期			40	—	ns	
受信データホールド時間	クロック同期		t_{RXH}	40	—	ns	
A/Dコンバータ	トリガ入力パルス幅		t_{TRGW}	1.5	—	t_{Pcyc}	図5.41
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$			

注1. t_{Pcyc} : PCLKの周期、 t_{PAcyc} : PCLKAの周期注2. t_{cac} : CACカウントクロックソースの周期

表5.24 内蔵周辺モジュールタイミング (2)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C、C = 30pF

項目			記号	min	max	単位	測定条件	
RSPI	RSPCKクロック サイクル	マスタ	t_{SPcyc}	2	4096	t_{Pcyc} (注1)	図5.42	
		スレーブ		8	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	VCC 4.0V以上	t_{SPCKWH}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 5$	—	ns	図5.43 ~ 図5.46
			VCC 2.7V以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 8$	—		
		スレーブ	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック Lowレベルパルス幅	マスタ	VCC 4.0V以上	t_{SPCKWL}	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 5$	—	ns	
			VCC 2.7V以上		$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 8$	—		
		スレーブ	$(t_{SPcyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—			
	RSPCKクロック 立ち上がり/ 立ち下がり時間	出力	VCC 4.0V以上	t_{SPCKr} , t_{SPCKf}	—	6	ns	
			VCC 2.7V以上		—	10		
		入力	—		0.1	$\mu s/V$		
	データ入力セット アップ時間	マスタ	VCC 4.0V以上	t_{SU}	10	—	ns	
			VCC 2.7V以上		26	—		
		スレーブ	$25 - t_{Pcyc}$		—			
	データ入力ホールド 時間	マスタ	RSPCKをPCLKB の2分周以外に設定	t_H	t_{Pcyc}	—	ns	
			RSPCKをPCLKB の2分周に設定		0	—		
		スレーブ	t_H	$20 + 2 \times t_{Pcyc}$	—			
	SSLセットアップ 時間	マスタ		t_{LEAD}	$-30 + N$ (注2) \times t_{SPcyc}	—	ns	
		スレーブ			2	—		t_{Pcyc}
	SSLホールド時間	マスタ		t_{LAG}	$-30 + N$ (注3) \times t_{SPcyc}	—	ns	
スレーブ		2			—	t_{Pcyc}		
データ出力遅延時間	マスタ	VCC 4.0V以上	t_{OD}	—	10	ns		
		VCC 2.7V以上		—	14			
	スレーブ	—		$3 \times t_{Pcyc} + 65$				
データ出力ホールド 時間	マスタ		t_{OH}	0	—	ns		
	スレーブ			0	—			
連続送信遅延時間	マスタ		t_{TD}	$t_{SPcyc} + 2 \times t_{Pcyc}$	$8 \times t_{SPcyc} + 2 \times$ t_{Pcyc}	ns		
	スレーブ			$4 \times t_{Pcyc}$	—			
MOSI、MISO 立ち上がり/ 立ち下がり時間	出力		t_{Dr} , t_{Df}	—	10	ns		
	入力			—	1		μs	
SSL立ち上がり/ 立ち下がり時間	出力		t_{SSLr} , t_{SSLf}	—	10	ns		
	入力			—	1		μs	
スレーブアクセス時間			t_{SA}	—	6	t_{Pcyc}	図5.45、 図5.46	
スレーブ出力開放時間			t_{REL}	—	5	t_{Pcyc}		

注1. t_{Pcyc} : PCLKの周期

注2. N: RSPIクロック遅延レジスタ (SPCKD) にて設定可能な1~8の整数

注3. N: RSPIスレーブセレクトネゲート遅延レジスタ (SSLND) にて設定可能な1~8の整数

表5.25 内蔵周辺モジュールタイミング (3)

条件: VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C、C = 30pF

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPCyc}	4	65536	t_{Pcyc}	図5.42	
	SCKクロックサイクル入力 (スレーブ)		6	65536	t_{Pcyc}		
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPcyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPcyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	VCC 4.0V 以上	t_{SU}	40	—	ns	図5.43、 図5.44
		VCC 2.7V 以上		65	—		
	データ入力セットアップ時間 (スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SS入力セットアップ時間	t_{LEAD}	3	—	t_{SPcyc}		
	SS入力ホールド時間	t_{LAG}	3	—	t_{SPcyc}		
	データ出力遅延時間 (マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間 (スレーブ)		VCC 4.0V 以上	—		40	
			VCC 2.7V 以上	—		65	
	データ出力ホールド時間	マスタ	t_{OH}	-10	—	ns	
スレーブ		-10		—			
データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	20	ns			
SS入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	6	t_{Pcyc}	図5.45、 図5.46		
スレーブ出力開放時間	t_{REL}	—	6	t_{Pcyc}			

注1. t_{Pcyc} : PCLKの周期

表5.26 内蔵周辺モジュールタイミング (4)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCLサイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 1300$	—	ns	図5.47
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件セットアップ時間	t_{STOS}	1000	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファストモード)	SCLサイクル時間	t_{SCL}	$6 (12) \times t_{IICcyc} + 600$	—	ns	図5.47
	SCL Highパルス幅	t_{SCLH}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL Lowパルス幅	t_{SCLL}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA立ち上がり時間	t_{Sr}	—	300	ns	
	SCL、SDA立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t_{SP}	0	$1 (4) \times t_{IICcyc}$	ns	
	SDAバスフリー時間	t_{BUF}	$3 (6) \times t_{IICcyc} + 300$	—	ns	
	開始条件ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件セットアップ時間	t_{STAS}	300	—	ns	
	停止条件セットアップ時間	t_{STOS}	300	—	ns	
	データセットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注1. t_{IICcyc} : RIICの内部基準クロック (IICφ) の周期

注2. () 内の数値は、ICFER.NFE = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0] = 11bの場合を示します。

表5.27 内蔵周辺モジュールタイミング (5)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

項目		記号	min	max	単位	測定条件
簡易I ² C (スタンダード モード)	SDA立ち上がり時間	t _{Sr}	—	1000	ns	図5.47
	SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	250	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	
簡易I ² C (ファストモード)	SCL、SDA立ち上がり時間	t _{Sr}	—	300	ns	図5.47
	SCL、SDA立ち下がり時間	t _{Sf}	—	300	ns	
	SCL、SDAスパイクパルス除去時間	t _{SP}	0	4 × t _{pcyc} (注1)	ns	
	データセットアップ時間	t _{SDAS}	100	—	ns	
	データホールド時間	t _{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C _b	—	400	pF	

注1. t_{pcyc} : PCLKの周期注2. C_bはバスラインの容量総計です。

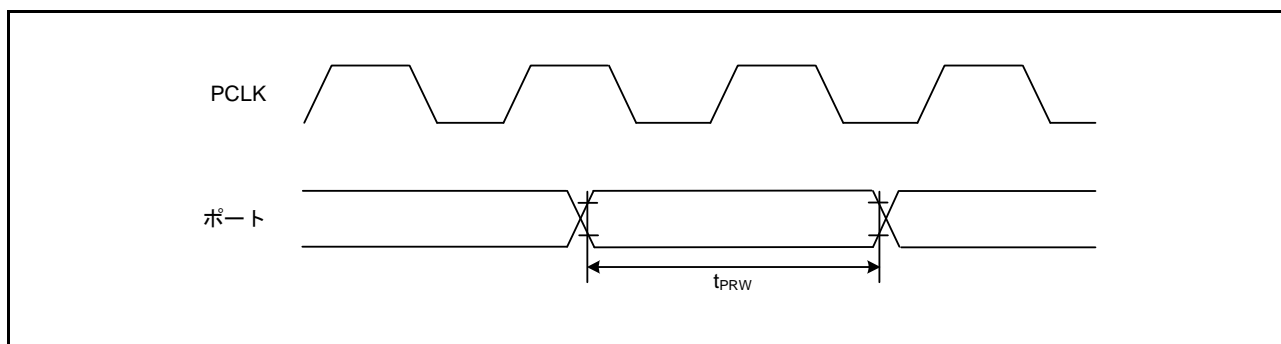


図 5.34 I/O ポート入力タイミング

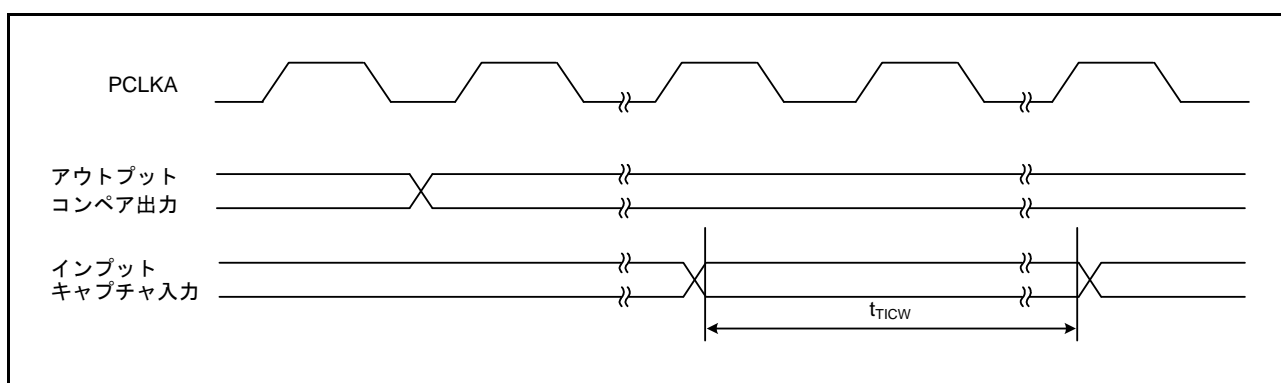


図 5.35 MTU3 入出力タイミング

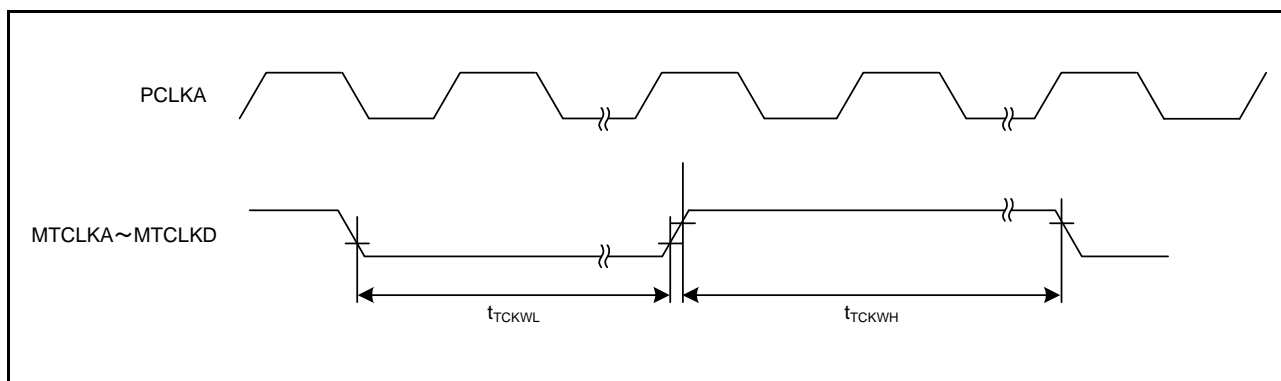


図 5.36 MTU3 クロック入力タイミング

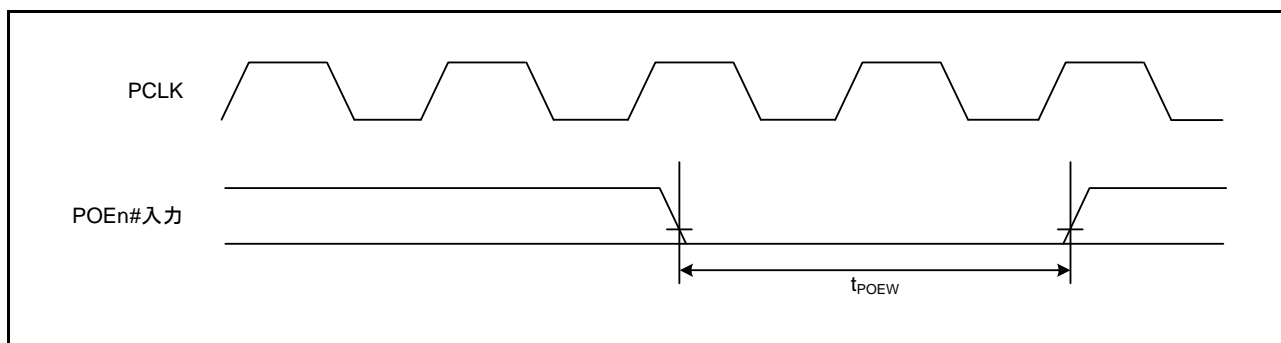


図 5.37 POE# 入力タイミング

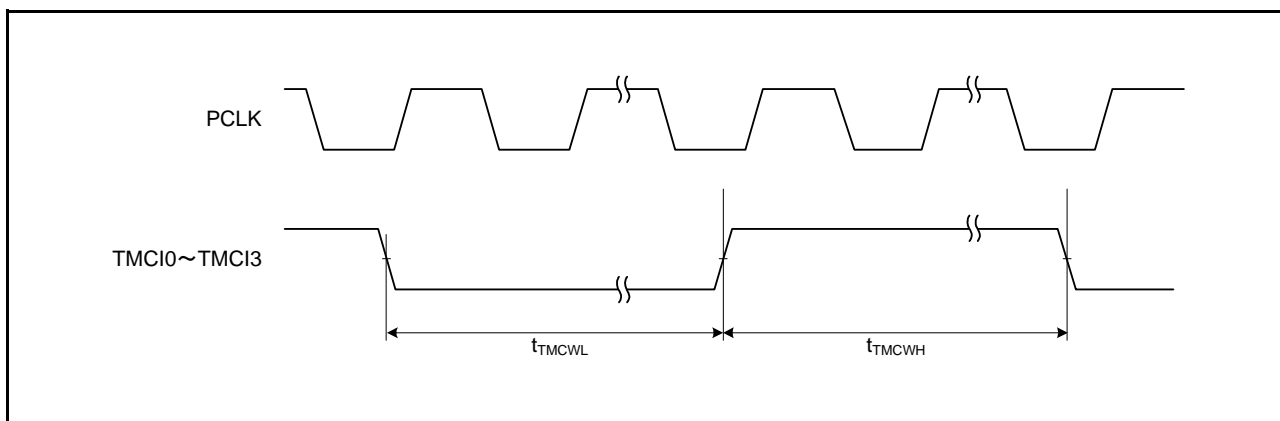


図 5.38 TMR クロック入カタイミング

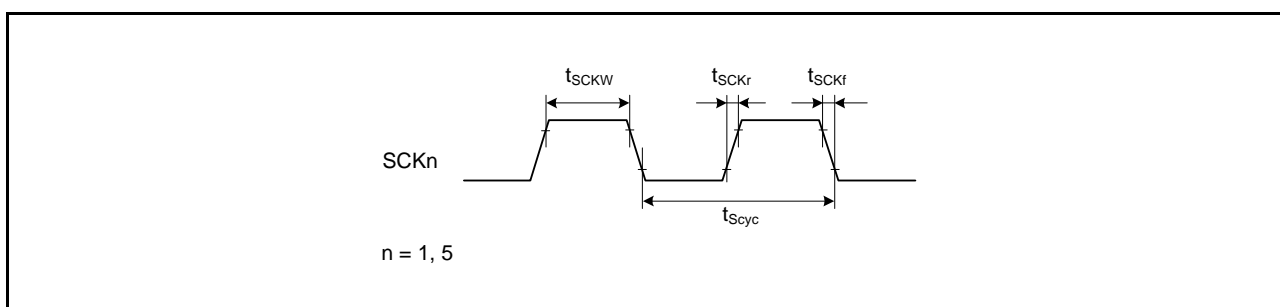


図 5.39 SCK クロック入カタイミング

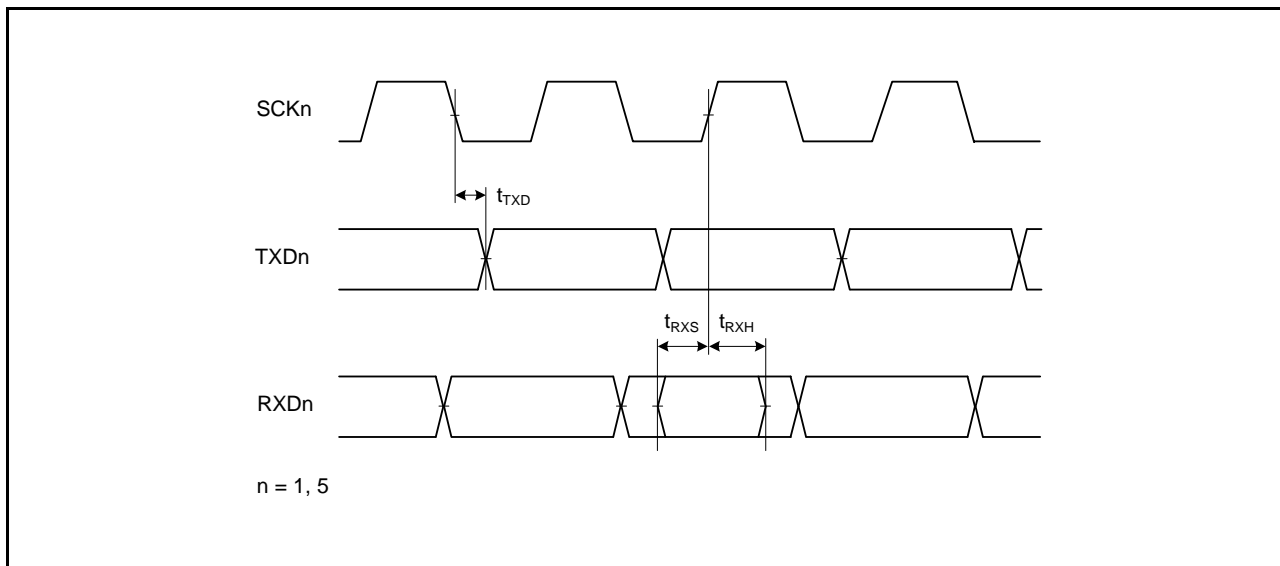


図 5.40 SCI 入出カタイミング / クロック同期式モード

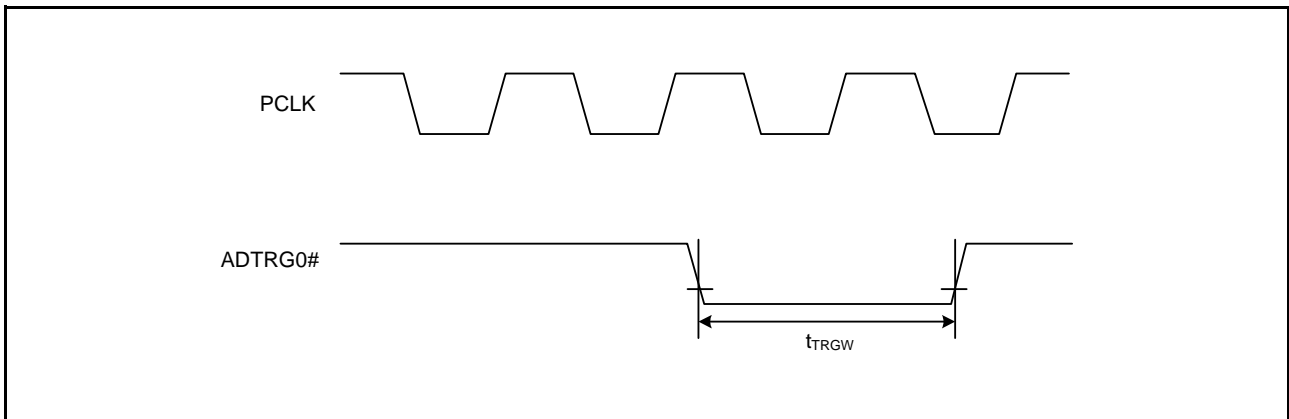


図 5.41 A/D コンバータ外部トリガ入力タイミング

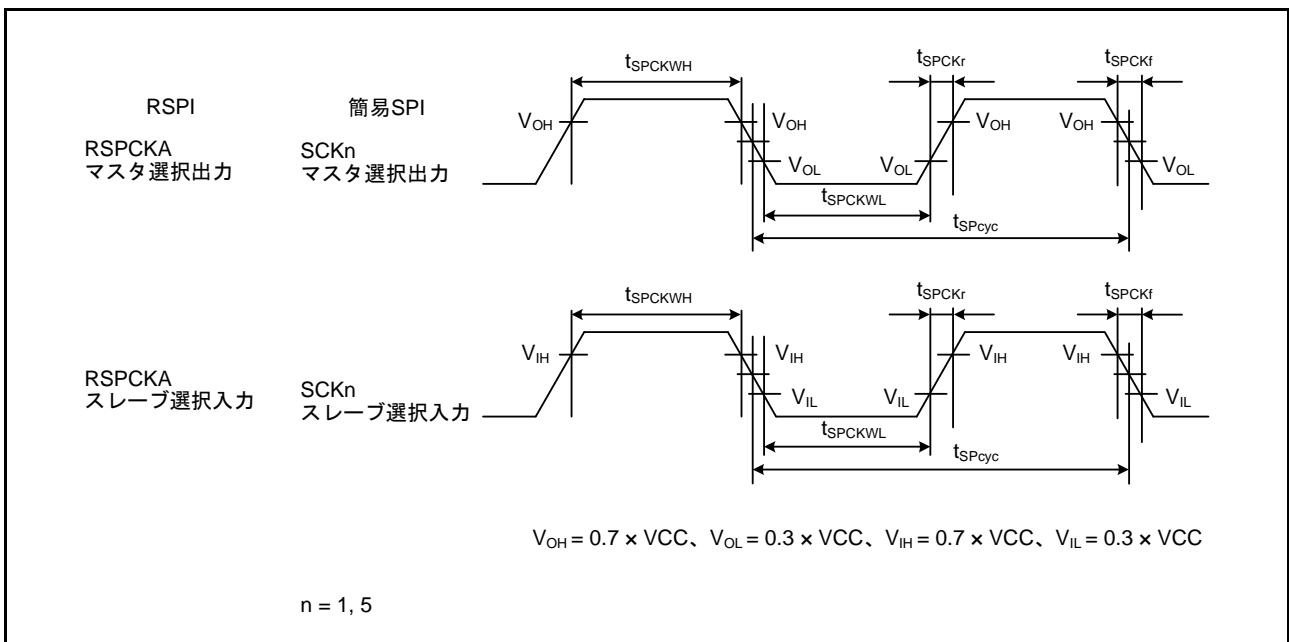


図 5.42 RSPI クロックタイミング / 簡易 SPI クロックタイミング

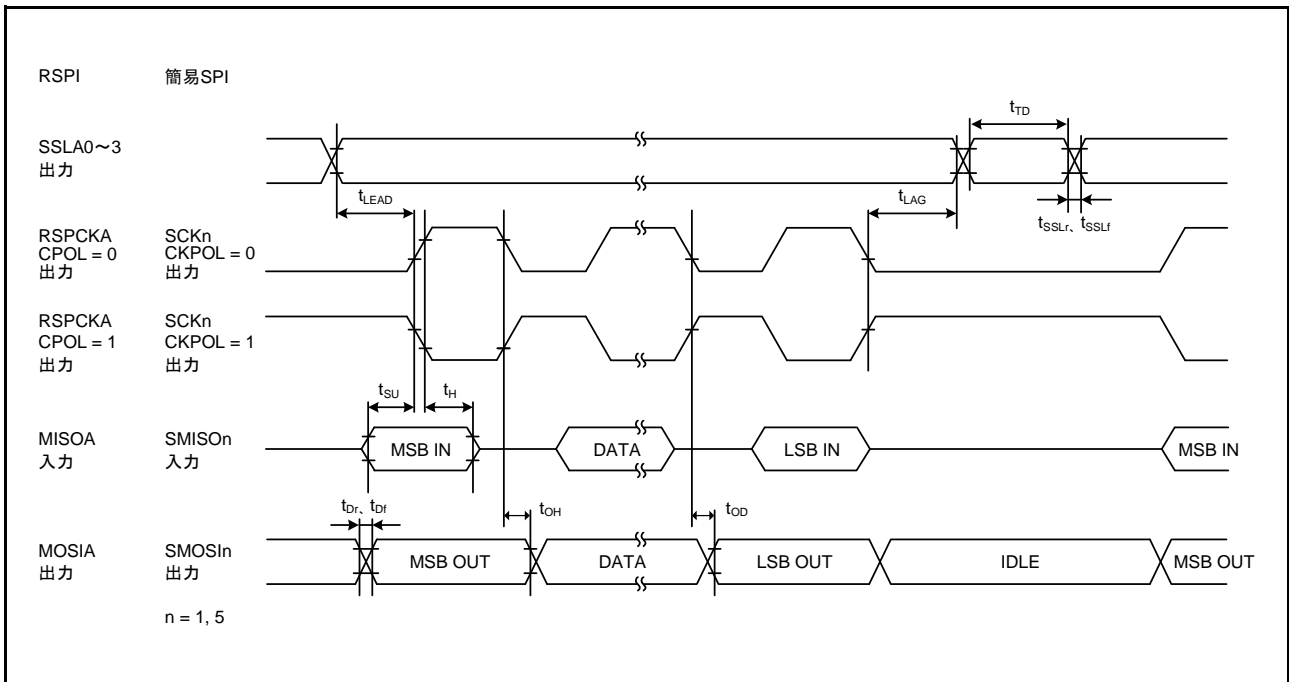


図 5.43 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

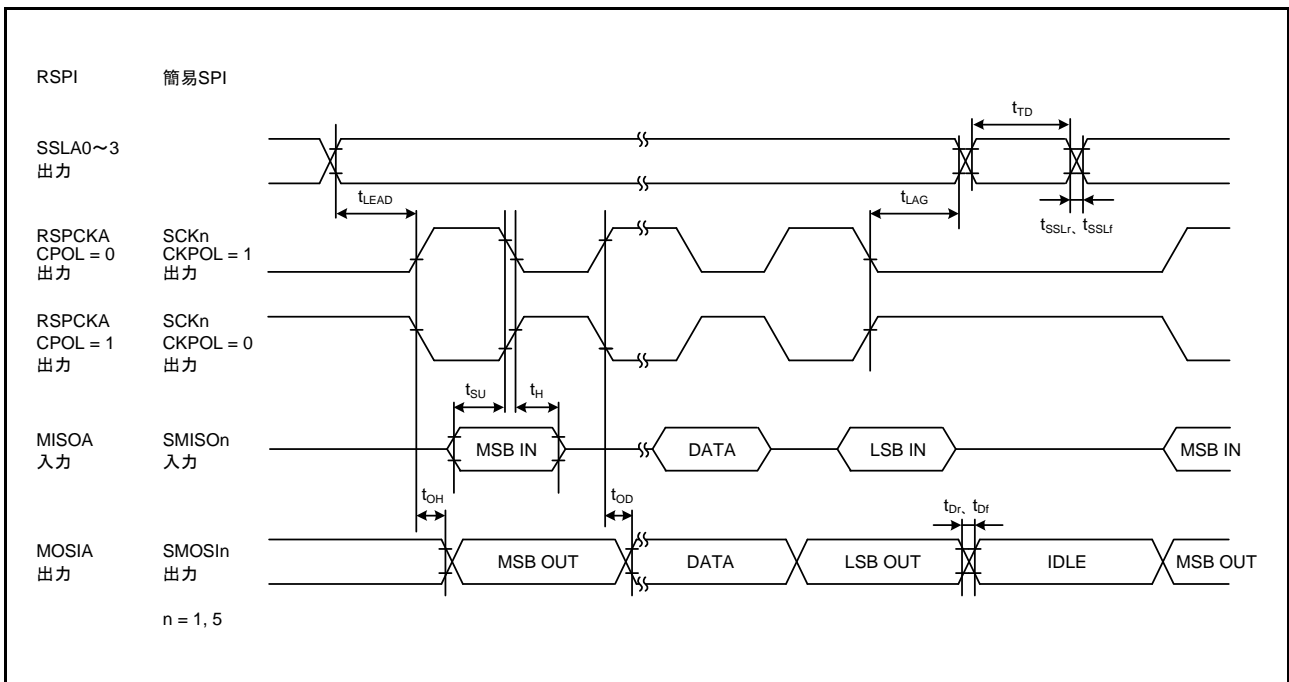


図 5.44 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI タイミング (マスタ、CKPH = 0)

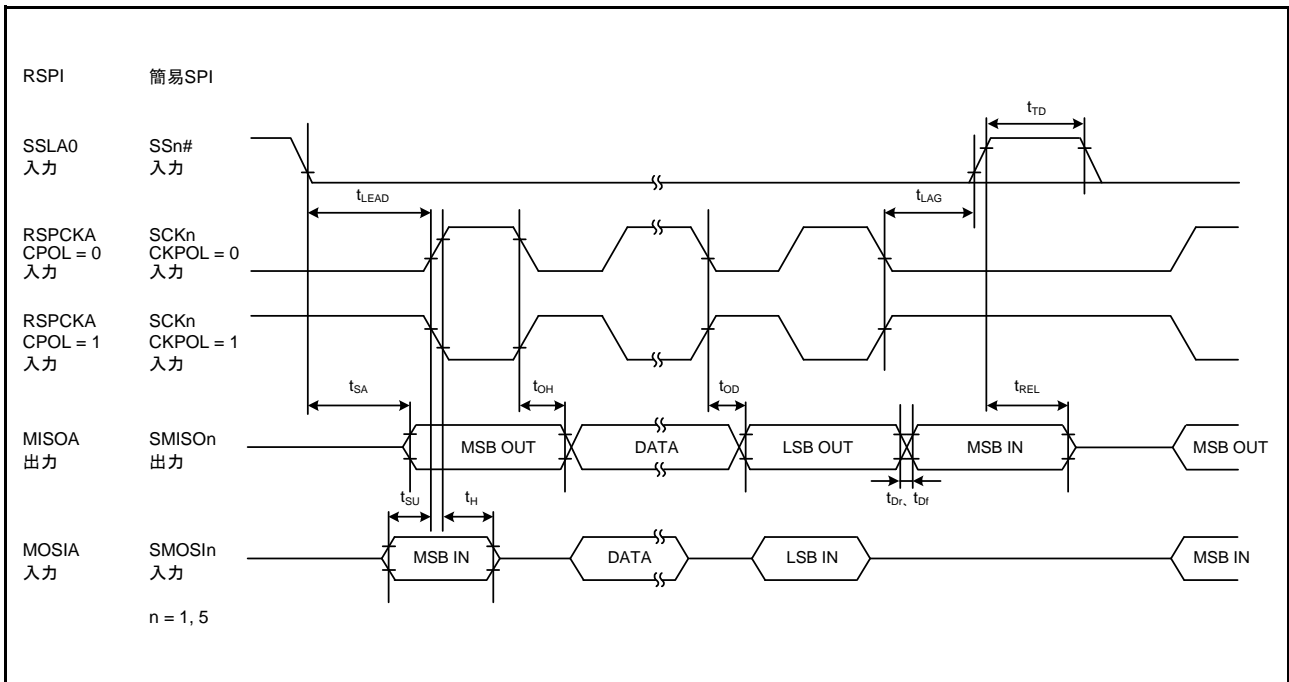


図 5.45 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

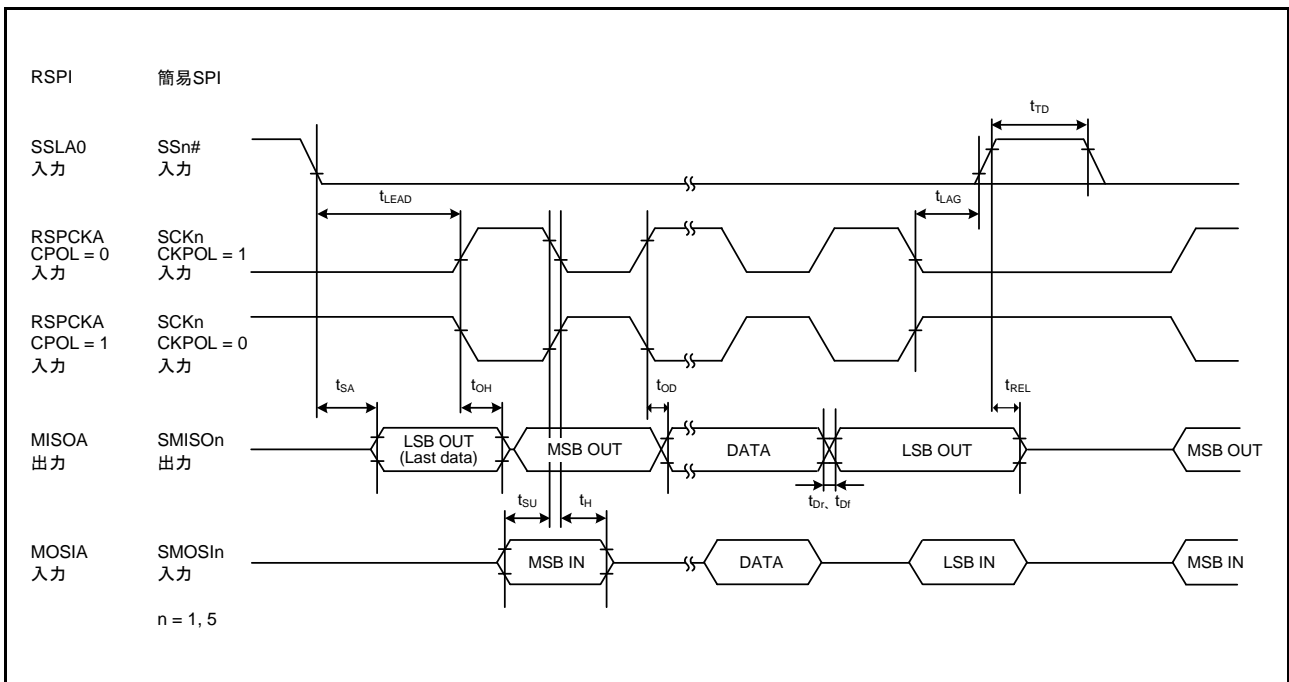


図 5.46 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

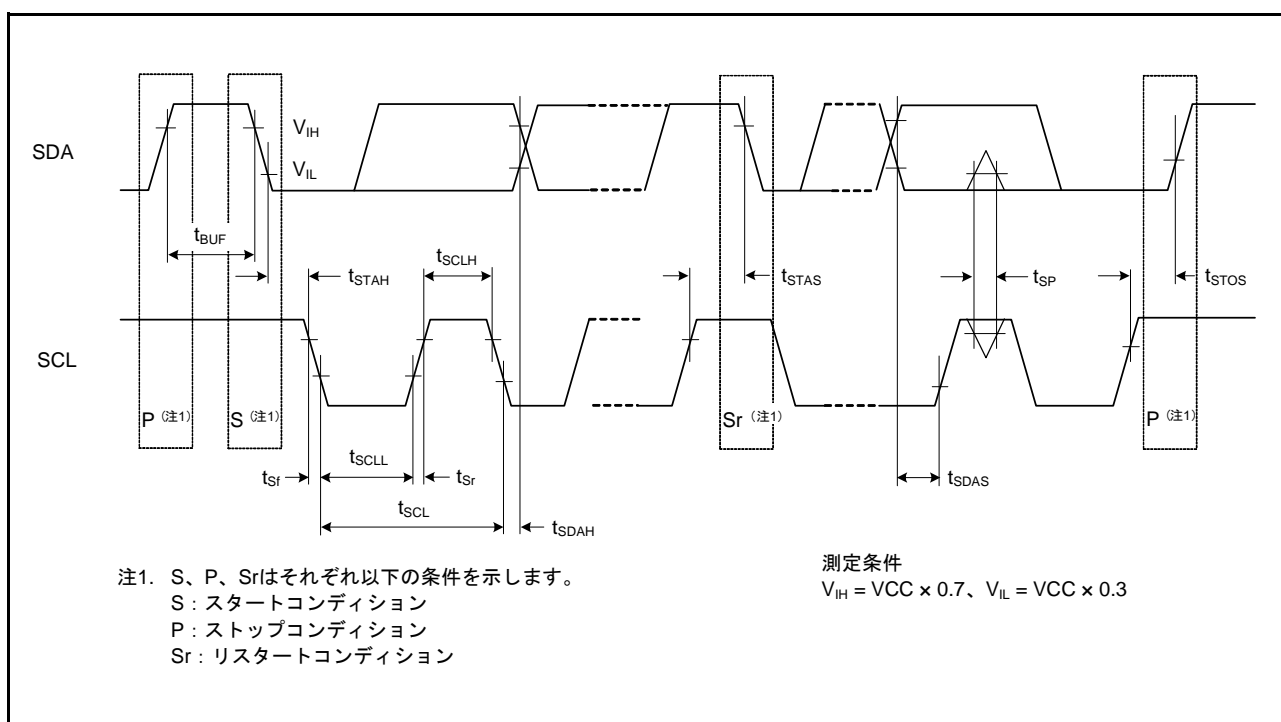


図 5.47 RIIC バスインタフェース入出力タイミング / 簡易 I²C バスインタフェース入出力タイミング

5.4 A/D 変換特性

表5.28 A/D変換特性 (1)

条件 : VCC = 4.5V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		min	typ	max	単位	測定条件
周波数		1	—	40	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.00	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0] ビット = 08h
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.25	—	—	μs	通常精度チャンネル ADSSTRn.SST[7:0] ビット = 12h
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 使用時	1.65	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0] ビット = 08h ADSHCR.SSTSH[7:0] ビット = 0Dh AN000 ~ AN002 = 0.25V ~ VREFH0 - 0.25V
アナログ入力容量		—	—	12	pF	
オフセット誤差		—	—	±6.5	LSB	
フルスケール誤差		—	—	±6.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	—	±8.0	LSB	
DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	
INL 積分非直線性誤差		—	±2.0	±4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.29 A/D変換特性 (2)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目		min	typ	max	単位	測定条件
周波数		1	—	40	MHz	
分解能		—	—	12	ビット	
変換時間 (注1) (PCLKD = 40MHz時)	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.15	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0] ビット = 0Eh
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 未使用時	1.30	—	—	μs	通常精度チャンネル ADSSTRn.SST[7:0] ビット = 14h
	許容信号源 インピーダンス max = 1.0kΩ サンプルホールド回路 使用時	1.90	—	—	μs	高精度チャンネル ADSSTRn.SST[7:0] ビット = 0Eh ADSHCR.SSTSH[7:0] ビット = 11h AN000 ~ AN002 = 0.25V ~ VREFH0 - 0.25V
アナログ入力容量		—	—	12	pF	
オフセット誤差		—	—	±6.5	LSB	
フルスケール誤差		—	—	±6.5	LSB	
量子化誤差		—	±0.5	—	LSB	
絶対精度		—	—	±8.0	LSB	
DNL 微分非直線性誤差		—	±0.5	±1.5	LSB	
INL 積分非直線性誤差		—	±2.0	±4.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

表5.30 A/Dコンバータチャンネル分類表

分類	対象チャンネル	条件	備考
高精度チャンネル	AN000 ~ AN007	AVCC0 = 2.7 ~ 5.5V	A/Dコンバータ使用時、AN000 ~ AN007 端子をデジタル出力として使用することはできません
通常精度チャンネル	AN016、AN017	VCC = AVCC0 = 2.7 ~ 5.5V	
内部基準電圧入力チャンネル	内部基準電圧	AVCC0 = 2.7 ~ 5.5V	

表5.31 A/D内部基準電圧特性

条件 : VCC = 2.7V ~ AVCC0、AVCC0 = VREFH0 = 2.7V ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
内部基準電圧入力チャンネル (注1)	1.36	1.43	1.50	V	

注1. A/D内部基準電圧は、内部基準電圧をA/Dコンバータへの入力する場合を示します。

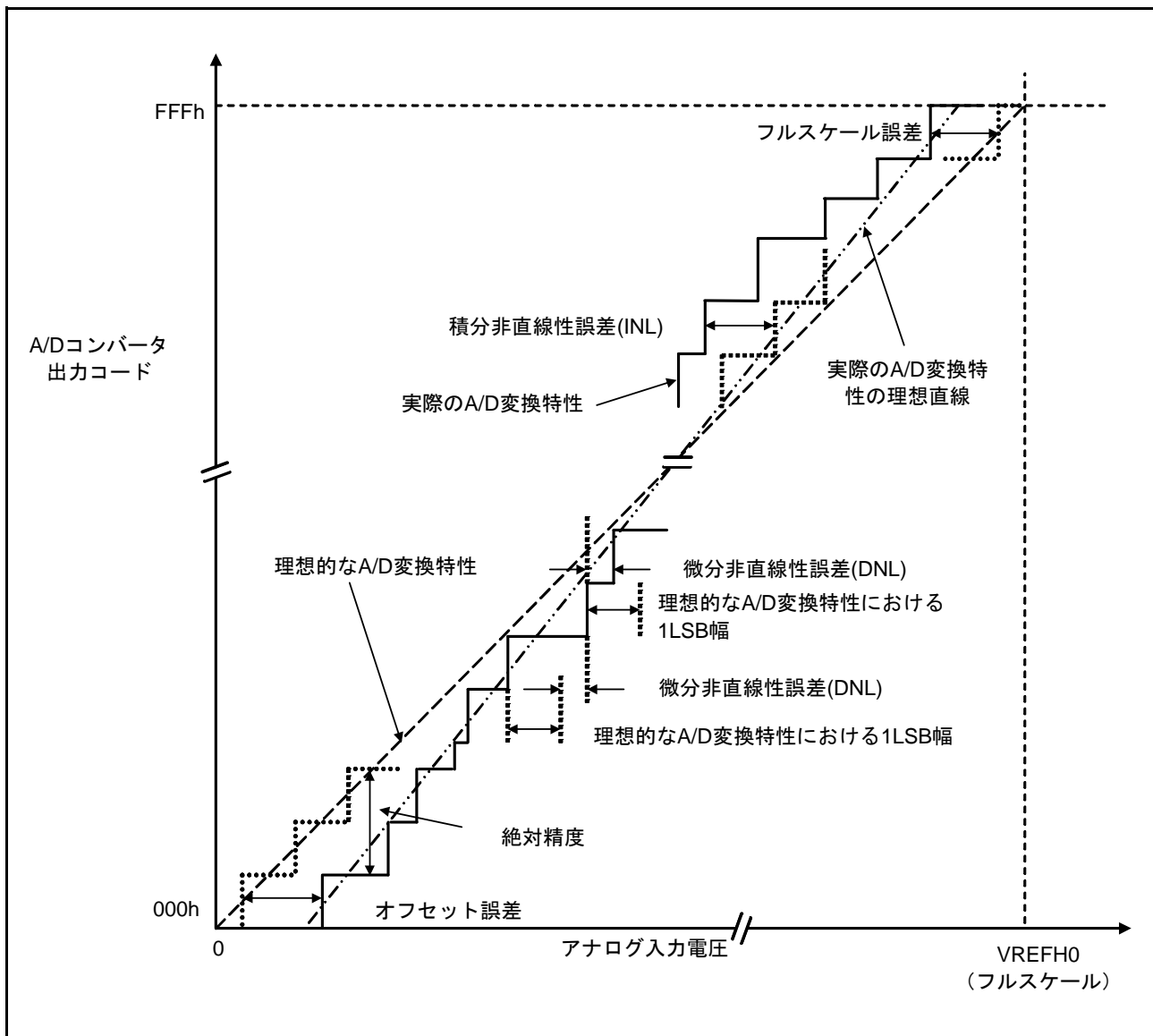


図 5.48 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 12 ビット、基準電圧（VREFH0 = 3.072V）の場合、1LSB 幅は 0.75mV で、アナログ入力電圧には 0mV、0.75mV、1.5mV... を使用します。

絶対精度 $\pm 5\text{LSB}$ とは、アナログ入力電圧が 6mV の場合、理論的な A/D 変換特性では出力コード“008h”を期待できますが、実際の A/D 変換結果は“003h”～“00Dh”になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.5 コンパレータ特性

表5.32 コンパレータ特性

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
入力オフセット電圧	V_{cioff}	—	—	40	mV	
リファレンス入力電圧範囲	V_{cref}	0	—	AVCC0	V	
応答時間	t_{cr}	—	—	200	ns	VOD = 100mV CMPCTL.CDFS = 0
	t_{cf}	—	—	200	ns	
入力切替時の安定待ち時間	t_{cwait}	300	—	—	ns	
動作安定待ち時間	t_{cmp}	—	—	1	μs	

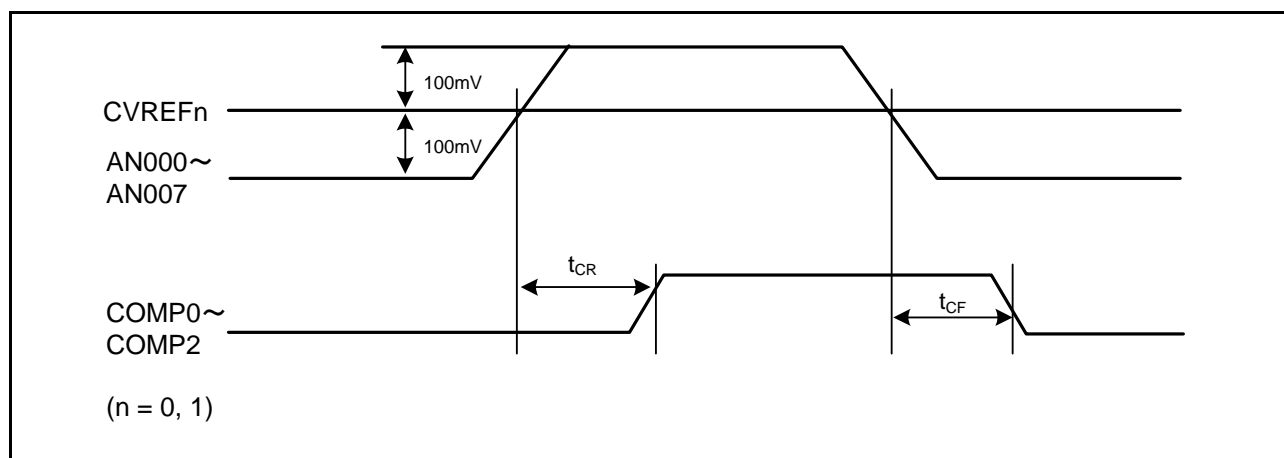


図 5.49 コンパレータ応答時間

5.6 D/A 変換特性

表 5.33 D/A 変換特性

条件 : $VCC = 2.7V \sim 5.5V$ 、 $AVCC0 = VREFH0 = VCC \sim 5.5V$ 、 $VSS = AVSS0 = VREFL0 = 0V$ 、 $Ta = -40 \sim +105^{\circ}C$

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	t_{DCONV}	—	—	3.0	μs	
絶対精度	—	—	± 1.0	± 3.0	LSB	

5.7 パワーオンリセット回路、電圧検出回路特性

表5.34 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	V _{POR}	1.35	1.50	1.65	V	図 5.50、図 5.51
	電圧検出回路 (LVD0) (注1)	V _{det0_0}	3.67	3.84	3.97	V	
		V _{det0_2}	2.37	2.51	2.67		
	電圧検出回路 (LVD1) (注2)	V _{det1_0}	4.12	4.29	4.42	V	図 5.53 VCC 立ち下がり時
		V _{det1_1}	3.98	4.14	4.28		
		V _{det1_2}	3.86	4.02	4.16		
		V _{det1_3}	3.68	3.84	3.98		
		V _{det1_4}	2.99	3.10	3.29		
		V _{det1_5}	2.89	3.00	3.19		
		V _{det1_6}	2.79	2.90	3.09		
		V _{det1_7}	2.68	2.79	2.98		
		V _{det1_8}	2.57	2.68	2.87		
	電圧検出回路 (LVD2) (注1)	V _{det2_0} (注2)	4.08	4.29	4.48		図 5.54 VCC 立ち下がり時
		V _{det2_1}	3.95	4.14	4.35		
		V _{det2_2}	3.82	4.02	4.22		
V _{det2_3}		3.62	3.84	4.02			

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD2) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 記号V_{det0_n}のnは、LVDS0[1:0]ビットの値です。

注2. 記号V_{det1_n}のnは、LVDLVLR.LVD1LVL[3:0]ビットの値です。

注3. 記号V_{det2_n}のnは、LVDLVLR.LVD2LVL[3:0]ビットの値です。

表 5.35 パワーオンリセット回路、電圧検出回路特性 (2)

条件: $V_{CC} = 2.7V \sim 5.5V$ 、 $AVCC0 = V_{REFH0} = V_{CC} \sim 5.5V$ 、 $V_{SS} = AV_{SS0} = V_{REFL0} = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	t_{POR}	—	28.4	—	ms	図 5.51
電圧監視0リセット解除後待機時間	t_{LVD0}	—	568	—	μs	図 5.52
電圧監視1リセット解除後待機時間	t_{LVD1}	—	100	—	μs	図 5.53
電圧監視2リセット解除後待機時間	t_{LVD2}	—	100	—	μs	図 5.54
応答遅延時間	t_{det}	—	—	350	μs	図 5.50
最小VCC低下時間 (注1)	$t_{V_{OFF}}$	350	—	—	μs	図 5.50、 $V_{CC} = 1.0V$ 以上
パワーオンリセット有効時間	$t_W (POR)$	1	—	—	ms	図 5.51、 $V_{CC} = 1.0V$ 未満
LVD動作安定時間 (LVD有効切り替え時)	$T_d (E-A)$	—	—	300	μs	図 5.53、図 5.54
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V_{LVH}	—	70	—	mV	Vdet1_0 ~ 4 選択時
		—	60	—		Vdet1_5 ~ 8, LVD2 選択時

注. 電源にノイズが重畳されていない状態での特性です。電圧検出回路 (LVD1) の電圧検出レベルとオーバーラップする設定を行った場合、LVD1、LVD2のどちらで電圧検出動作するかは特定できません。

注1. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベル V_{POR} 、 V_{det1} 、 V_{det2} のmin値を下回っている時間です。

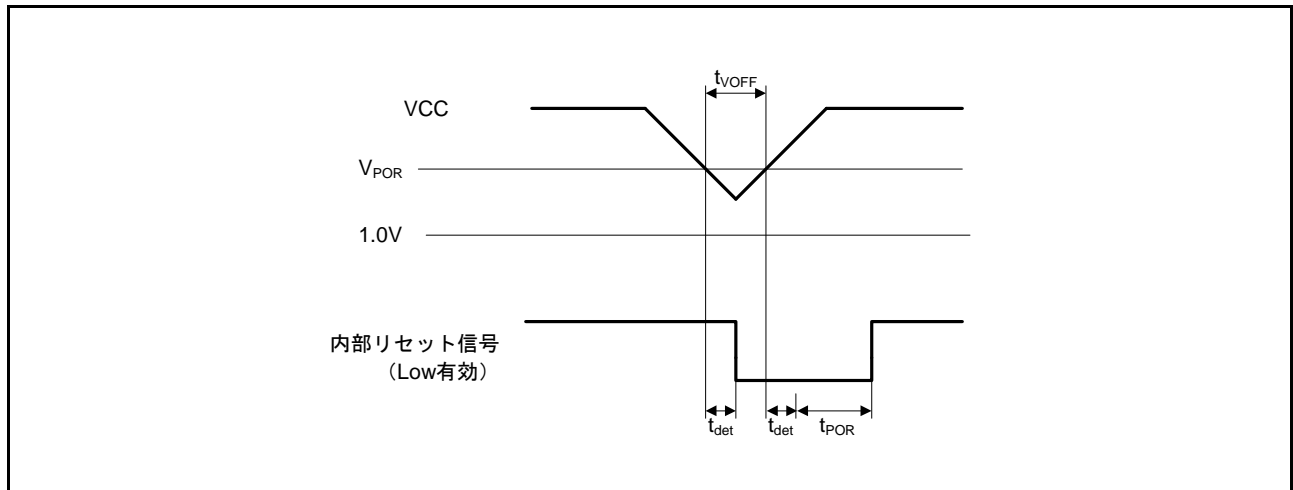


図 5.50 電圧検出リセットタイミング

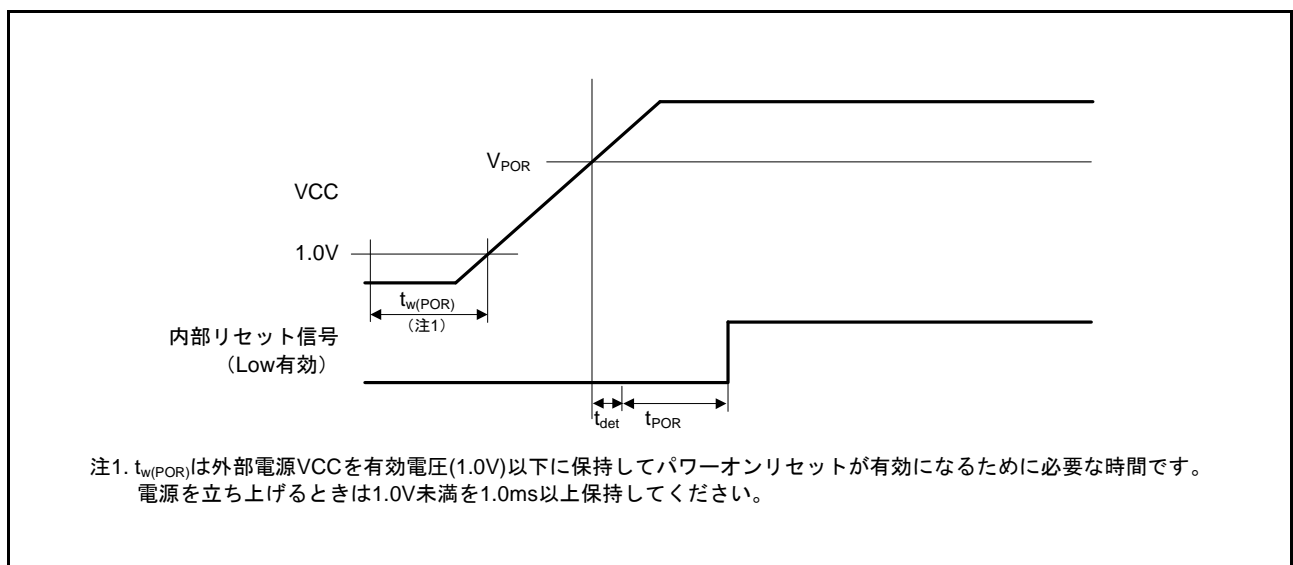


図 5.51 パワーオンリセットタイミング

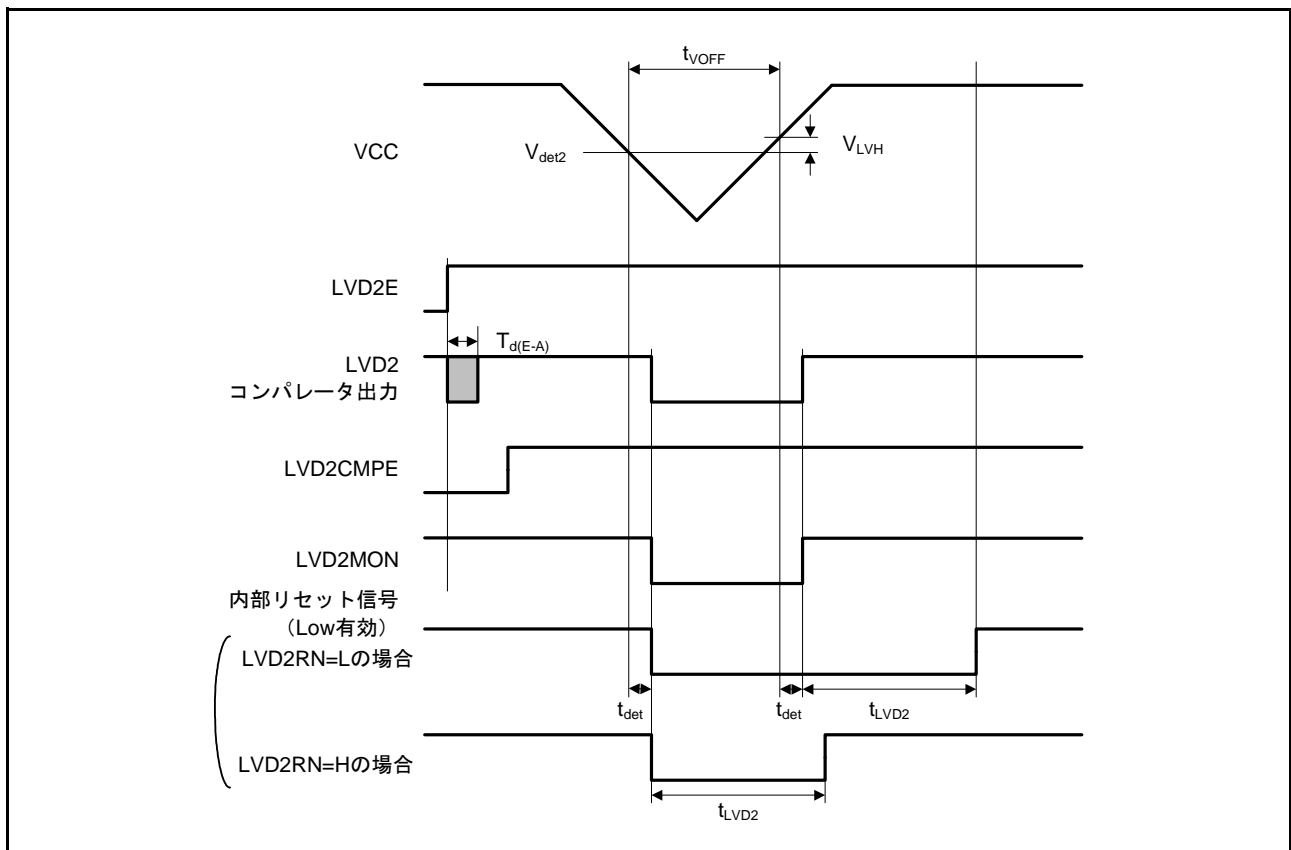


図 5.54 電圧検出回路タイミング (V_{det2})

5.8 発振停止検出タイミング

表 5.36 発振停止検出回路特性

条件 : VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.55

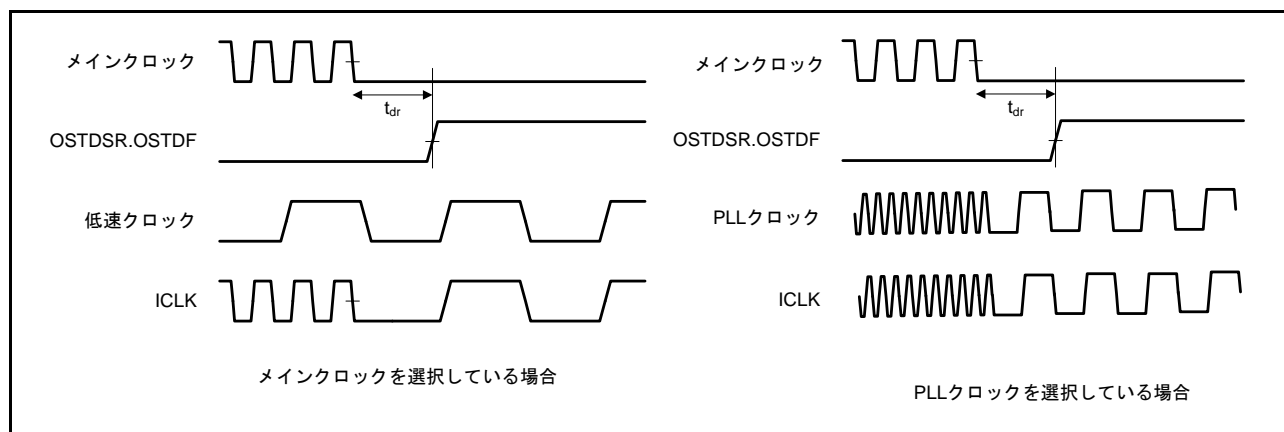


図 5.55 発振停止検出タイミング

5.9 ROM（コード格納用フラッシュメモリ）特性

表5.37 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	条件
再プログラム/イレーズサイクル（注1）	N _{PEC}	1000	—	—	回	
データ保持時間	N _{PEC} 1000回後	t _{DRP}	20（注2、注3）	—	年	T _a = +85°C

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000回）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、1Kバイトのブロックについて、それぞれ異なる番地に4バイト書き込みを256回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. フラッシュメモリライタを使用時、および当社提供のセルフプログラミングライブラリ使用時の特性です。

注3. 信頼性試験から得られた結果です。

表5.38 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、T_a = -40 ~ +105°C

プログラム/イレーズ時の動作温度範囲：T_a = -40 ~ +85°C

項目	記号	FCLK = 1MHz			FCLK = 32MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	112.0	967.0	—	52.3	490.5	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.7	278.1	—	5.5	214.6	ms
	128Kバイト （ブロックイ レーズコマ ンド使用時）		—	239.7	5111.4	—	25.9	734.3	ms
	128Kバイト （全ブロック イレーズコマ ンド使用時）	t _{E128K}	—	234.5	4906.8	—	20.6	524.6	ms
ブランクチェック	8バイト	t _{BC8}	—	—	55.0	—	—	16.1	μs
	2Kバイト	t _{BC2K}	—	—	1840.0	—	—	135.7	μs
イレーズ処理強制停止時間		t _{SED}	—	—	18.0	—	—	10.7	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	12.3	566.5	—	6.2	433.5	ms
アクセスウィンドウ設定時間		t _{AWS}	—	12.3	566.5	—	6.2	433.5	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	5.0	—	—	5.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

表5.39 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード

条件：VCC = 2.7V ~ 5.5V、AVCC0 = VREFH0 = VCC ~ 5.5V、VSS = AVSS0 = VREFL0 = 0V、Ta = -40 ~ +105 °C

プログラム/イレーズ時の動作温度範囲：Ta = -40 ~ +85 °C

項目	記号	FCLK = 1MHz			FCLK = 8MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間	8バイト	t _{P8}	—	152.0	1367.0	—	97.9	936.0	μs
イレーズ時間	2Kバイト	t _{E2K}	—	8.8	279.7	—	5.9	220.8	ms
	128Kバイト (ブロックイ レーズコマ ンド使用時)		—	239.8	5114.7	—	55.5	1336.4	ms
	128Kバイト (全ブロック イレーズコマ ンド使用時)	t _{E128K}	—	234.6	4908.5	—	50.3	1130.1	ms
ブランクチェック	8バイト	t _{BC8}	—	—	85.0	—	—	50.9	μs
	2Kバイト	t _{BC2K}	—	—	1870.0	—	—	401.5	μs
イレーズ処理強制停止時間		t _{SED}	—	—	28.0	—	—	21.3	μs
スタートアップ領域入れ替え設定時間		t _{SAS}	—	13.0	573.3	—	7.7	450.1	ms
アクセスウィンドウ設定時間		t _{AWS}	—	13.0	573.3	—	7.7	450.1	ms
ROMモード遷移待ち時間1		t _{DIS}	2.0	—	—	2.0	—	—	μs
ROMモード遷移待ち時間2		t _{MS}	3.0	—	—	3.0	—	—	μs

注. ソフトウェアの命令実行からFlashの各動作が起動するまでの時間は含みません。

注. フラッシュメモリP/E時、FCLKの下限周波数は1MHzです。FCLKを4MHz未満で使用する場合は、設定可能な周波数は1MHz、2MHz、3MHzです。例えば1.5MHzのように整数値でない周波数は設定できません。

注. FCLKの周波数精度は±3.5%である必要があります。

5.10 使用上の注意事項

5.10.1 VCL コンデンサ、バイパスコンデンサ接続方法

本 MCU では、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源（VCL 端子）と VSS 端子間には、内部電圧安定用のコンデンサ 4.7 μ F を接続する必要があります。外付けコンデンサ接続方法を図 5.56 ～図 5.58 に示します。外付けコンデンサは端子の近くに配置してください。VCL 端子には、電源電圧を印加しないでください。

また、電源端子のペアごとに積層セラミックコンデンサをバイパスコンデンサとして入れてください。バイパスコンデンサはできるかぎり MCU の電源端子の近くに実装してください。コンデンサの容量値は 0.1 μ F（推奨値）を使用してください。水晶発振関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「9. クロック発生回路」も参照してください。アナログ関連のコンデンサについては「ユーザーズマニュアルハードウェア編」の「29. 12 ビット A/D コンバータ (S12ADE)」も参照してください。

基板設計の注意事項についてはアプリケーションノート「ハードウェアデザインガイド」(R01AN1411JJ)でも説明していますので、最新版をルネサス エレクトロニクスホームページから入手して参照ください。

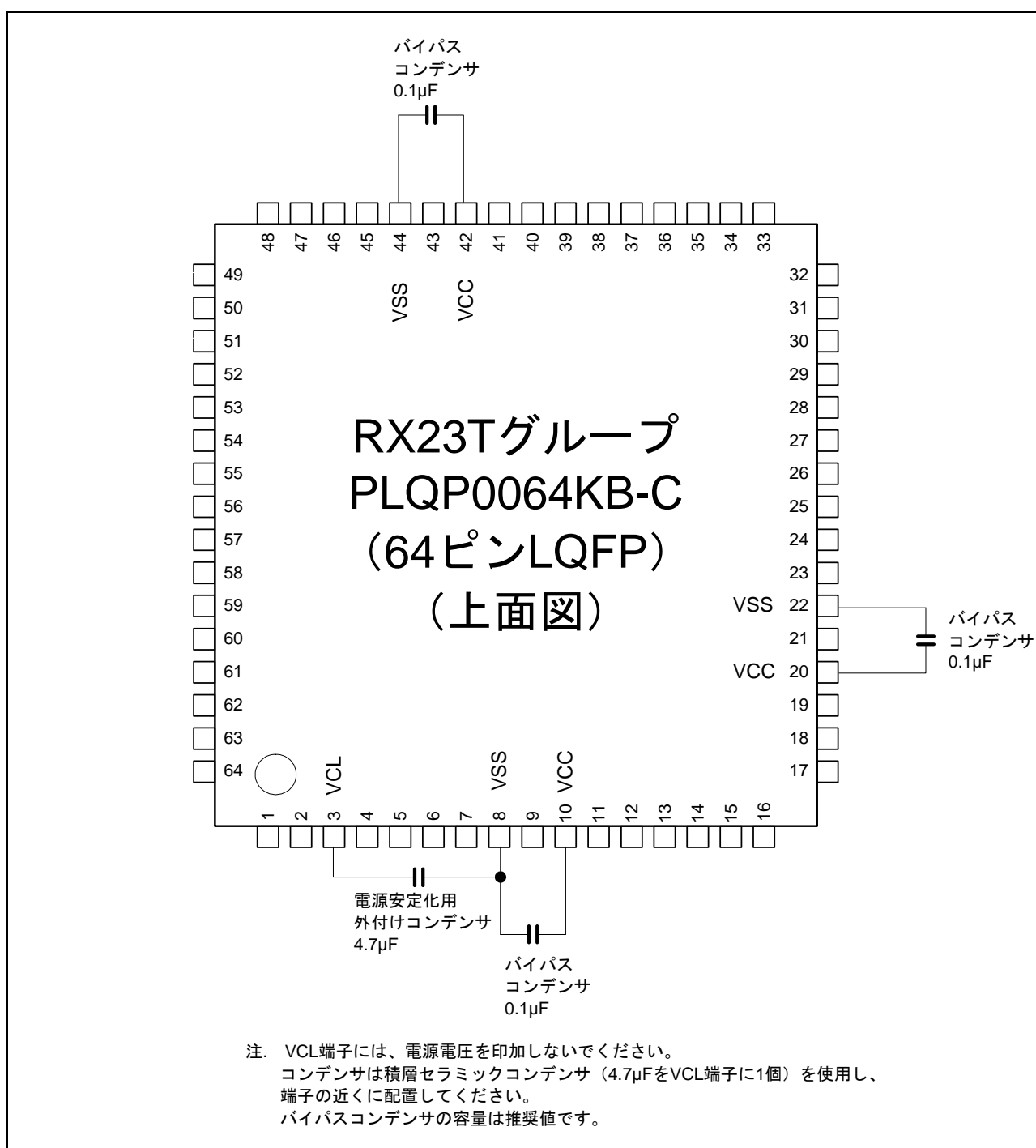


図 5.56 コンデンサ接続方法（64ピン）

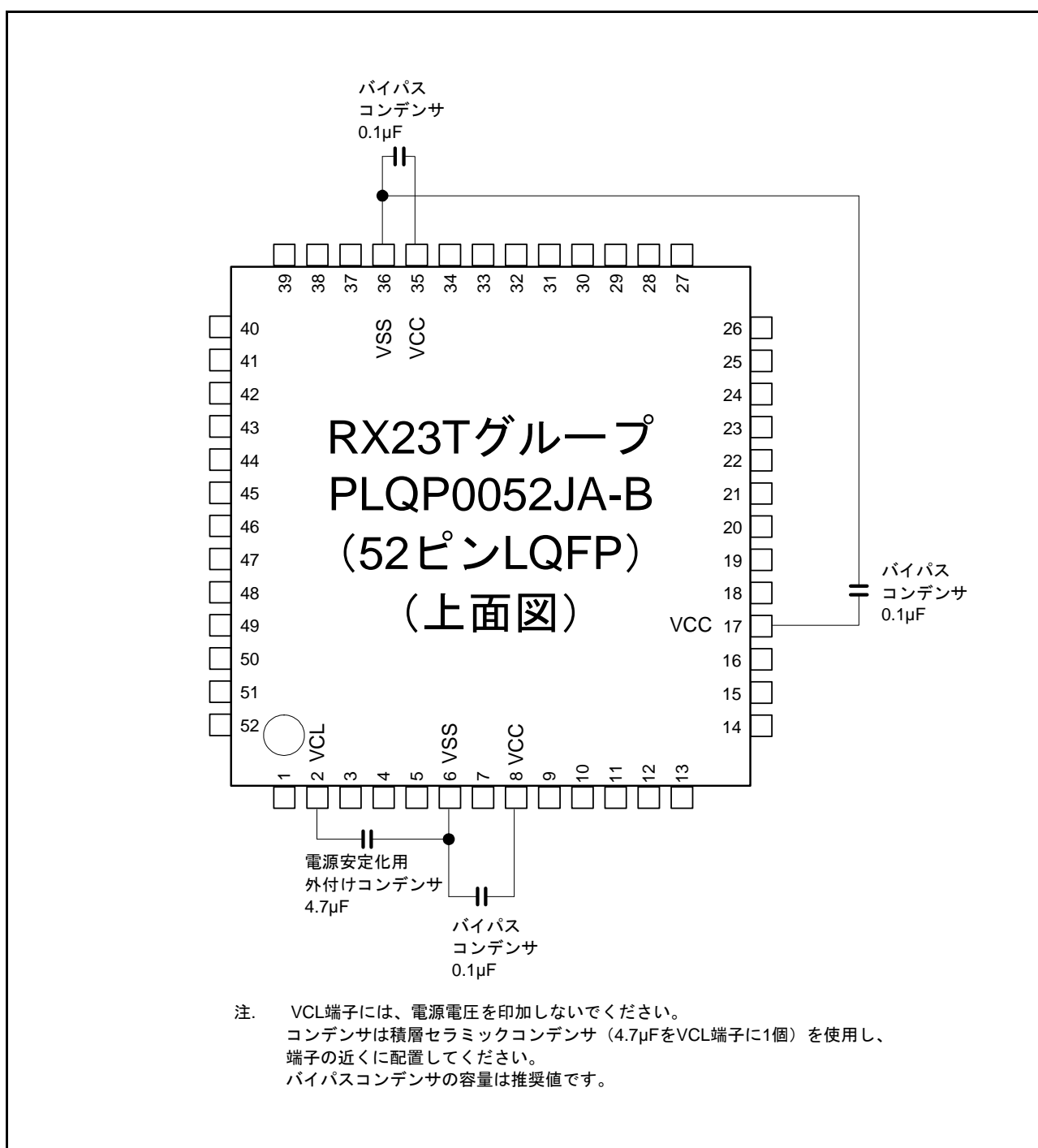


図 5.57 コンデンサ接続方法（52ピン）

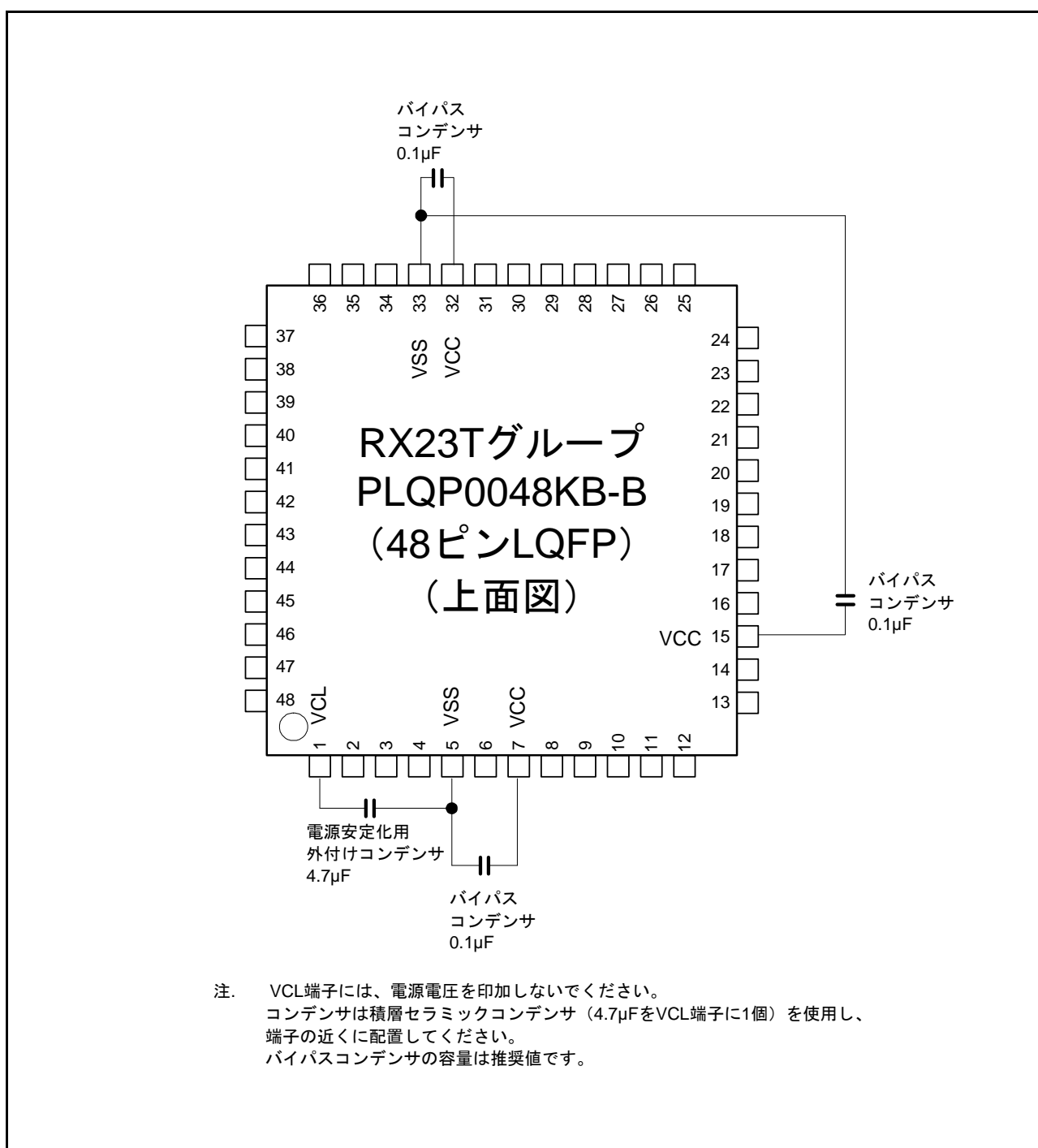


図 5.58 コンデンサ接続方法（48ピン）

付録 1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

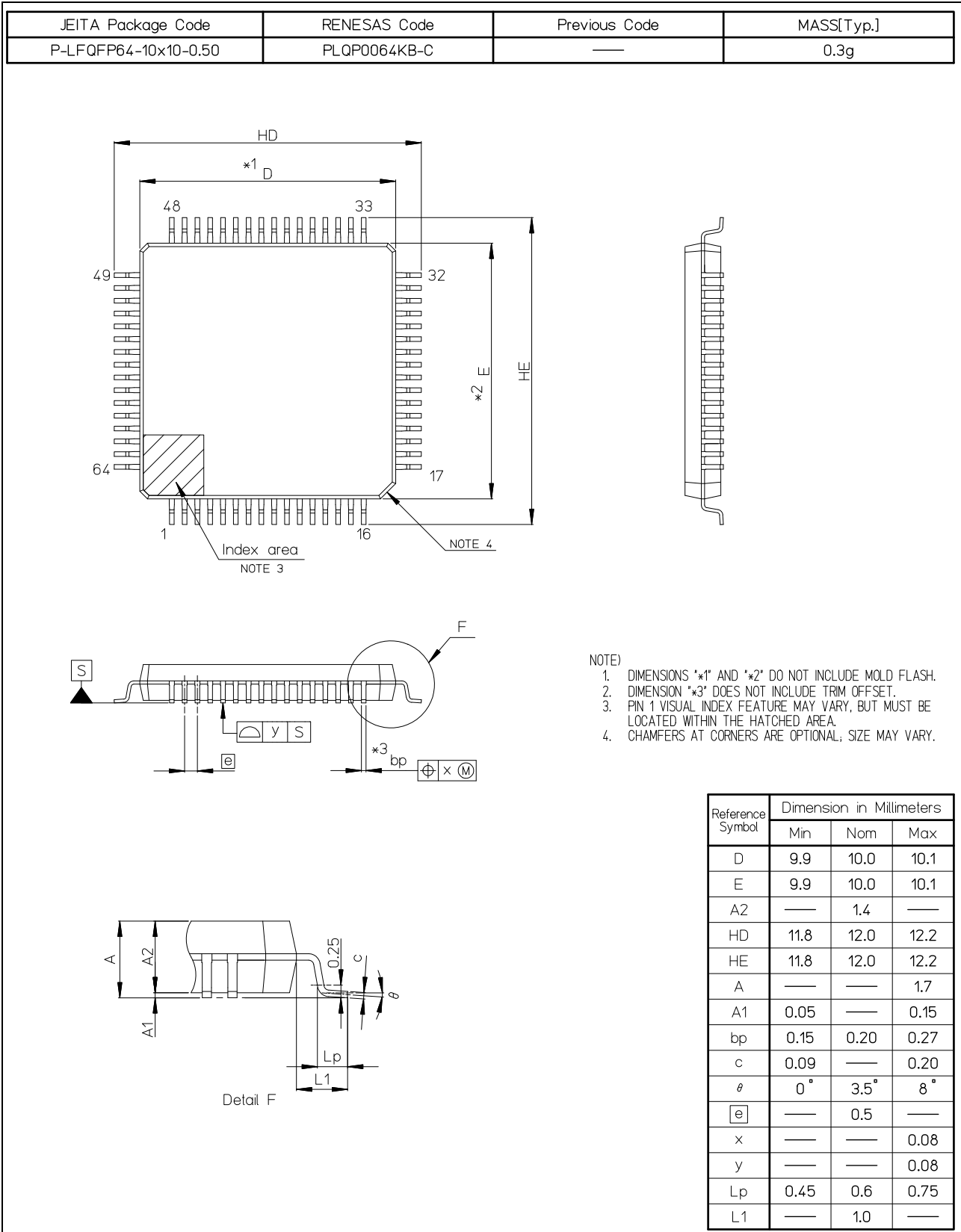


図 A. 64 ピン LFQFP (PLQP0064KB-C)

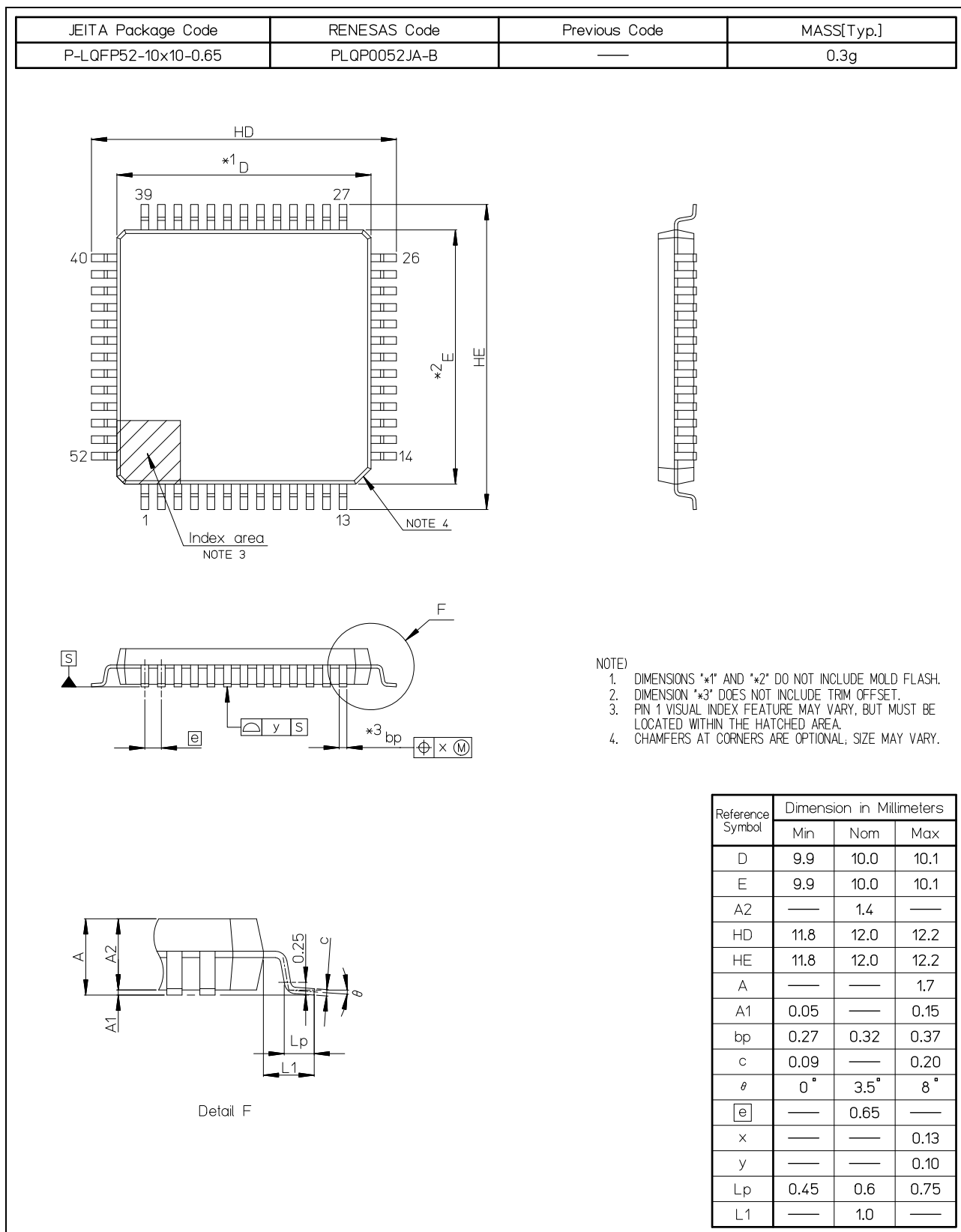


図 B. 52ピン LQFP (PLQP0052JA-B)

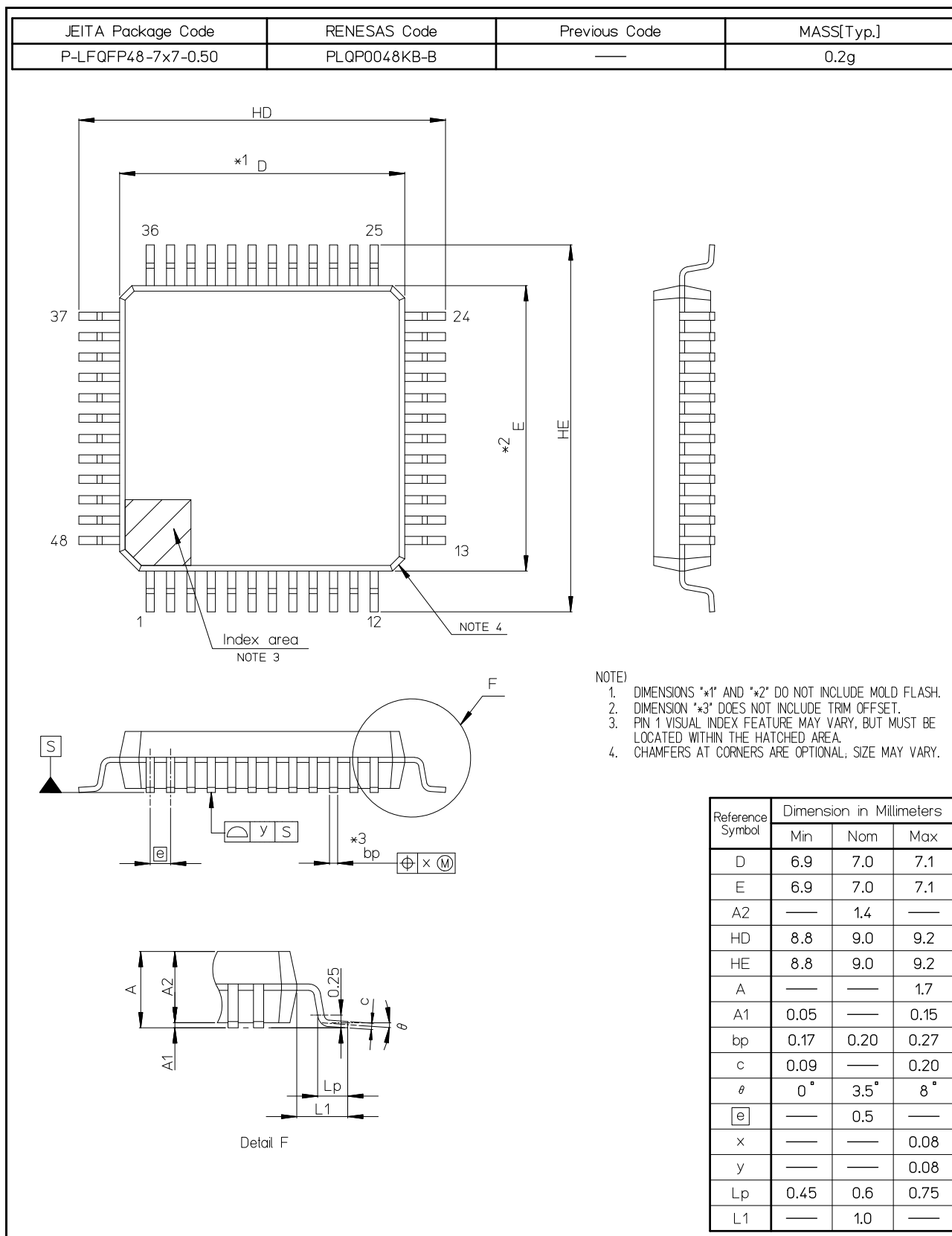


図 C. 48ピンLFQFP (PLQP0048KB-B)

改訂記録	RX23T グループ データシート
------	-------------------

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.00	2015.03.31	—	初版発行	
1.10	2016.01.13	特長		
		1	特長 変更	
		1. 概要		
		2, 3	表1.1 仕様概要(1/3)、表1.1 仕様概要(2/3) 変更	
		6	表1.3 製品一覧表 Dバージョン (T _a =-40~85°C) 変更	
		6	表1.4 製品一覧表 Gバージョン (T _a =-40~105°C) 変更	
		7	図1.1 型名とメモリサイズ・パッケージ 変更	
		11	表1.5 端子機能一覧(3/3) 変更	
		12	図1.3 64ピンLFQFPピン配置図 変更	
		13	図1.4 52ピンLQFPピン配置図 変更	
		14	図1.5 48ピンLFQFPピン配置図 変更	
		15	表1.6 機能別端子一覧(64ピンLFQFP)(1/2) 変更	
		17	表1.7 機能別端子一覧(52ピンLQFP)(1/2) 変更	
		19	表1.8 機能別端子一覧(48ピンLFQFP)(1/2) 変更	
		3. アドレス空間		
		25	図3.1 各動作モードのメモリマップ 変更	
		4. I/O レジスタ		
		28	表4.1 I/Oレジスタアドレス一覧(1/16) アドレス: 0008 0036h 高速オンチップオシレータコントロールレジスタ (HOCO CR)、アドレス: 0008 00A5h 高速オンチップオシレータウェイトコントロールレジスタ (HOCO WTCR) 追加	
		38	表4.1 I/Oレジスタアドレス一覧(11/16) アドレス: 0008 C087h オープンドレイン制御レジスタ1 (ODR1) 追加	
		5. 電気的特性		
		45	表5.3 DC特性(1) 変更	
		61	表5.14 動作周波数(高速動作モード)、表5.15 動作周波数(中速動作モード) 変更	
		62	表5.16 クロックタイミング、図5.20 EXTAL外部クロック入力タイミング 変更	
		63, 64	図5.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0”設定時のリセット解除後)、図5.25 HOCO クロック発振開始タイミング (HOCO CR.HCSTP ビット設定による発振開始) 追加	
		84	表5.32 コンパレータ特性 変更	
		85	表5.33 D/A変換特性 記号追加	
		87	表5.35 パワーオンリセット回路、電圧検出回路特性(2) 変更	
		88	図5.52 電圧検出回路タイミング (Vdet0) 変更	
		94	図5.56 コンデンサ接続方法(64ピン) 変更	
		95	図5.57 コンデンサ接続方法(52ピン) 変更	
		96	図5.58 コンデンサ接続方法(48ピン) 変更	
		付録1. 外形寸法図		
		97	図A. 64ピンLFQFP (PLQP0064KB-C) 変更	
		98	図B. 52ピンLQFP (PLQP0052JA-B) 変更	
		99	図C. 48ピンLFQFP (PLQP0048KB-B) 変更	

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 $V_{IL}(\text{MAX.})$ から $V_{IH}(\text{MIN.})$ までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



営業お問合せ窓口

<http://www.renesas.com>

営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>