

RX21Aグループ

ルネサスマイクロコンピュータ

R01DS0129JJ0110

Rev.1.10

2014.08.28

50MHz、32ビットRX MCU、78 DMIPS、24ビット $\Delta\Sigma$ /Dコンバータ
 最大512Kバイトフラッシュメモリ、IrDA、10ビットA/D、10ビットD/A、DEU、
 ELC、MPC、RTC、最大9本の通信機能

特長

■ 32ビットRX CPUコア内蔵

- 最大動作周波数 50MHz
- 78DMIPSの性能 (50MHz動作時)
- 32×32 → 64ビット演算結果 (1命令) のアキュムレータ
- 乗除算器 32×32ビット (乗算命令は1CPUクロック)
- 高速割り込み
- 5段パイプラインのCISCハーバードアーキテクチャ
- 可変長命令形式: コードを大幅に短縮
- メモリプロテクションユニット
- オンチップデバッグ回路内蔵

■ 消費電力低減機能

- 1.8V ~ 3.6V動作の単一電源 ($\Delta\Sigma$ /Dコンバータ動作電圧は2.7V~3.6V)
- RTCを使用したディープソフトウェアスタンバイモード
- 4種類の低消費電力モード

■ 24ビット $\Delta\Sigma$ /Dコンバータ

- SNDR=85dB
- $\Delta\Sigma$ 変調器7ユニット搭載。7チャンネルの同時動作、独立動作可能
- 最大64倍 (差動入力) のPGA増幅率

■ 内蔵コードフラッシュメモリ (ウェイトなし)

- 50MHz動作、20ns読み出しサイクル
- CPUフルスピード読み出し時、ウェイトなし
- 256K ~ 512Kバイトの容量
- SCIからのユーザ書き込み
- 1.8Vで書き換え可能
- 命令、オペランド用

■ 内蔵データフラッシュメモリ

- 8Kバイト (書き換え回数: 100,000回)
- CPUに負荷をかけない書き込み/消去

■ 内蔵SRAM (ウェイトなし)

- 32K ~ 64Kバイトの容量

■ DMA

- DMAC: 4チャンネル内蔵
- DTC: 4種類の転送モード

■ リセットおよび電源電圧制御

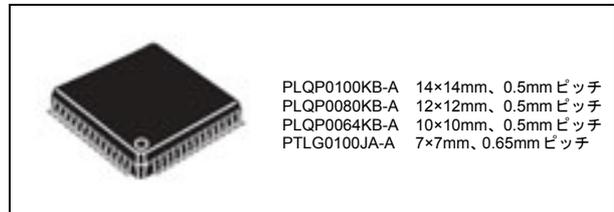
- パワーオンリセット (POR) など9種類のリセットに対応
- 低電圧検出機能 (LVD) の設定可能

■ クロック機能

- 外部クロック入力周波数: ~ 20MHz
- サブクロック用発振器周波数: 32.768kHz
- PLL回路入力 4MHz ~ 12.5MHz
- 低速オンチップオシレータ、高速オンチップオシレータ、IWD T専用オンチップオシレータ内蔵
- 32.768kHz RTC専用クロックの生成
- クロック周波数精度測定回路 (CAC) 内蔵

■ リアルタイムクロック内蔵

- 補正機能 (30秒、うるう年、誤差)
- 年月表示と32ビット秒表示 (バイナリカウンタ) を選択可能
- 外部端子のイベント入力 で時間をキャプチャ
- RTCでディープソフトウェアスタンバイモードから復帰可能



■ 独立ウォッチドッグタイマ内蔵

- 125kHz IWD T専用オンチップオシレータクロック動作

■ IEC60730対応機能内蔵

- A/Dコンバータ自己診断機能 / 断線検出アシスト機能、クロック周波数精度測定回路、独立ウォッチドッグタイマ、RAMテストアシスト機能など

■ 最大9本の通信機能を内蔵

- 多彩な機能に対応したSCI (最大5チャンネル) 調歩同期式モード / クロック同期式モード / スマートカードインタフェースモード
- IrDAインタフェース (1チャンネル、SCI5と連携)
- I²Cバスインタフェース 最大400kbps転送 SMBusに対応 (2チャンネル)
- RSPI (2チャンネル)

■ 最大14本の拡張タイマ機能

- 16ビットMTU (6チャンネル): インพุットキャプチャ、アウトプットコンペア、相補PWM出力、位相計数モード
- 8ビットTMR (4チャンネル)
- 16ビットCMT (4チャンネル)

■ 10ビットA/Dコンバータ内蔵

- 変換時間 2 μ s
- 自己診断機能/アナログ入力断線検出アシスト機能内蔵

■ 10ビットD/Aコンバータ内蔵

■ アナログコンパレータ内蔵

■ 汎用入出力ポート内蔵

- 5Vトレラント、オープンドレイン、入力プルアップ、駆動能力切り替え機能

■ MPC

- 周辺機能の入出力端子を複数個所から選択可能

■ ELC

- 割り込みを介さず、イベント信号でモジュール動作が可能
- CPUスリープ状態において、モジュール動作が可能

■ DEU

- AES暗号化・復号化機能
- 鍵長 128/192/256ビット
- ECB/CBCモード

■ 温度センサ内蔵

■ 動作周囲温度

- 40℃ ~ +85℃
- 40℃ ~ +105℃

1. 概要

1.1 仕様概要

表 1.1 に仕様概要を、表 1.2 にパッケージ別機能比較一覧を示します。

表 1.1 の仕様概要には最大仕様を掲載しており、周辺モジュールのチャンネル数はパッケージのピン数によって異なります。詳細は、「表 1.2 パッケージ別機能比較一覧」を参照してください。

表 1.1 仕様概要 (1 / 4)

分類	モジュール/機能	説明
CPU	中央演算処理装置	<ul style="list-style-type: none"> 最大動作周波数：50MHz 32ビットRX CPU 最小命令実行時間：1命令1クロック アドレス空間：4Gバイト・リニアアドレス レジスタ <ul style="list-style-type: none"> 汎用レジスタ：32ビット×16本 制御レジスタ：32ビット×8本 アキュムレータ：64ビット×1本 基本命令：73種類 DSP機能命令：9種類 アドレッシングモード：10種類 データ配置 <ul style="list-style-type: none"> 命令：リトルエンディアン データ：リトルエンディアン/ビッグエンディアンを選択可能 32ビット乗算器：32ビット×32ビット→64ビット 除算器：32ビット÷32ビット→32ビット パレルシフタ：32ビット メモリプロテクションユニット (MPU)
メモリ	ROM	<ul style="list-style-type: none"> 容量：256K/384K/512Kバイト 50MHz、ノーウェイトアクセス オンボードプログラミング：3種類
	RAM	<ul style="list-style-type: none"> 容量：32K/64Kバイト 50MHz、ノーウェイトアクセス
	E2データフラッシュ	<ul style="list-style-type: none"> 容量：8Kバイト プログラム/イレーズ回数：100,000回
MCU動作モード		シングルチップモード
クロック	クロック発生回路	<ul style="list-style-type: none"> メインクロック発振器、サブクロック発振器、低速および高速オンチップオシレータ、PLL周波数シンセサイザ、IWDI専用オンチップオシレータ 発振停止検出：あり クロック周波数精度測定回路 (CAC)：あり システムクロック (ICLK)、周辺モジュールクロック (PCLK)、FlashIFクロック (FCLK) を個別に設定可能 CPU、バスマスタなどのシステム系はICLK同期：Max 50MHz 周辺モジュールはPCLK同期：Max 25MHz フラッシュ周辺回路はFCLK同期：Max 25MHz
リセット		RES#端子リセット、パワーオンリセット、電圧監視リセット、ウォッチドッグタイマリセット、独立ウォッチドッグタイマリセット、ディープソフトウェアスタンバイリセット、ソフトウェアリセット
電圧検出	電圧検出回路 (LVDAa)	<ul style="list-style-type: none"> VCCが電圧検出レベル以下になると、内部リセットまたは内部割り込みを発生 電圧検出0は検出電圧を2レベルから選択可能 電圧検出1は検出電圧を9レベルから選択可能 電圧検出2の検出電圧は9レベルから選択可能
低消費電力	消費電力低減機能	<ul style="list-style-type: none"> モジュールストップ機能 4種類の低消費電力モード スリープモード、全モジュールクロックストップモード、ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード
	動作電力低減機能	<ul style="list-style-type: none"> 動作電力制御モード 高速動作モード、中速動作モード1A、中速動作モード1B、中速動作モード2A、中速動作モード2B、低速動作モード1、低速動作モード2

表 1.1 仕様概要 (2 / 4)

分類	モジュール/機能	説明
割り込み	割り込みコントローラ (ICUb)	<ul style="list-style-type: none"> • 割り込みベクタ数：122 • 外部割り込み：要因数 9 (NMI、IRQ0～IRQ7 端子) • ノンマスカブル割り込み：要因数 6 (NMI 端子、発振停止検出割り込み、電圧監視1割り込み、電圧監視2割り込み、WDT 割り込み、IWDWT 割り込み) • 16レベルの割り込み優先順位を設定可能
DMA	DMAコントローラ (DMACA)	<ul style="list-style-type: none"> • 4チャンネル • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：ソフトウェアトリガ、外部割り込み、周辺機能割り込み
	データ転送コントローラ (DTCa)	<ul style="list-style-type: none"> • 転送モード：ノーマル転送モード、リピート転送モード、ブロック転送モード • 起動要因：割り込み要因により起動 • チェーン転送機能あり
I/Oポート	汎用入出力ポート	100ピン/80ピン/64ピン <ul style="list-style-type: none"> • 入力：1/1/1 • 入出力：66/51/38 • プルアップ抵抗：66/51/38 • オープンドレイン出力：47/37/28 • 5Vトレラント：6/6/2
イベントリンクコントローラ (ELC)		<ul style="list-style-type: none"> • 69種類のイベント信号を直接モジュールへリンク可能 • タイマ系のモジュールはイベント入力時の動作の選択が可能 • ポートB、ポートEのイベントリンク動作が可能
マルチピンファンクションコントローラ (MPC)		<ul style="list-style-type: none"> • 入出力機能を複数の端子から選択可能
タイマ	マルチファンクションタイマパルスユニット2 (MTU2a)	<ul style="list-style-type: none"> • (16ビット×6チャンネル) ×1ユニット • 16ビットタイマ6チャンネルをベースに最大16本のパルス入出力、および3本のパルス入力が可能 • チャンネルごとにカウントクロック (PCLK/1、PCLK/4、PCLK/16、PCLK/64、PCLK/256、PCLK/1024、MTCLKA、MTCLKB、MTCLKC、MTCLKD) を8種類または7種類選択可能 (チャンネル5は4種類) • インพุットキャプチャ機能 • 21本のアウトプットコンペアレジスタ兼インพุットキャプチャレジスタ • パルス出力モード • 相補PWM出力モード • リセット同期PWMモード • 位相計数モード • A/Dコンバータの変換開始トリガを生成可能
	ポートアウトプットイネーブル2 (POE2a)	MTU波形出力端子のハイインピーダンス制御
	8ビットタイマ (TMR)	<ul style="list-style-type: none"> • (8ビット×2チャンネル) ×2ユニット • 7種類の内部クロック (PCLK/1、PCLK/2、PCLK/8、PCLK/32、PCLK/64、PCLK/1024、PCLK/8192) と外部クロックを選択可能 • 任意のデューティのパルス出力やPWM出力が可能 • 2チャンネルをカスケード接続し16ビットタイマとして使用可能 • SCI5、SCI6のポーレートクロック生成可能
	コンペアマッチタイマ (CMT)	<ul style="list-style-type: none"> • (16ビット×2チャンネル) ×2ユニット • 4種類のクロック (PCLK/8、PCLK/32、PCLK/128、PCLK/512) を選択可能
	ウォッチドッグタイマ (WDTA)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • 6種類のカウントクロック (PCLK/4、PCLK/64、PCLK/128、PCLK/512、PCLK/2048、PCLK/8192) を選択可能
	独立ウォッチドッグタイマ (IWDTa)	<ul style="list-style-type: none"> • 14ビット×1チャンネル • カウントクロック：IWDWT専用オンチップオシレータ 1分周、16分周、32分周、64分周、128分周、256分周
	リアルタイムクロック (RTCc)	<ul style="list-style-type: none"> • クロックソース：サブクロックにて動作 • 時計カウント/秒単位の32ビットバイナリカウントを選択可能 • 時計/カレンダー機能 • 割り込み：アラーム割り込み、周期割り込み、桁上げ割り込み • 3値タイムキャプチャ機能

表 1.1 仕様概要 (3 / 4)

分類	モジュール/機能	説明
通信機能	シリアルコミュニケーションインタフェース (SCIc)	<ul style="list-style-type: none"> 5チャンネル (チャンネル1、5、6、8、9) (内、IrDA x 1ch) シリアル通信方式: 調歩同期式/クロック同期式/スマートカードインタフェース 内蔵ボーレートジェネレータで任意のビットレートを選択可能 LSBファースト/MSBファーストを選択可能 TMRからの平均転送レートクロック入力が可能 (SCI5、SCI6) 簡易IIC機能 簡易SPI機能
	IrDAバスインタフェース (IRDA)	<ul style="list-style-type: none"> 1チャンネル (SCI5を使用) IrDA規格バージョン1.0に準拠した波形のエンコード/デコードをサポート
	I ² Cバスインタフェース (RIIC)	<ul style="list-style-type: none"> 2チャンネル 通信フォーマット: I²Cバスフォーマット/SMBusフォーマット マスタ/スレーブを選択可能 ファストモード対応
	シリアルペリフェラルインタフェース (RSPI)	<ul style="list-style-type: none"> 2チャンネル 転送機能 MOSI (Master Out Slave In)、MISO (Master In Slave Out)、SSL (Slave Select)、RSPCK (RSPI Clock) 信号を使用して、SPI動作 (4線式) /クロック同期式動作 (3線式) でシリアル通信が可能 マスタ/スレーブモードを選択可能 データフォーマット LSBファースト/MSBファーストを選択可能 転送ビット長 (8~16、20、24、32ビット) を選択可能 送信/受信バッファは128ビット 一度の送受信で最大4フレームを転送 (1フレームは最大32ビット) 送信/受信バッファ構成はダブルバッファ
24ビットΔΣA/Dコンバータ (DSAD)	<ul style="list-style-type: none"> 電流用差動入力4チャンネル、電圧用シングルエンド入力3チャンネルの合計7チャンネル内蔵 電流用差動入力側1倍~64倍のPGA内蔵、電圧用シングルエンド入力側1倍~4倍のPGA内蔵 最小変換時間: 81.92μs (A/D変換クロック: 25MHz時) 	
10ビットA/Dコンバータ (AD)	<ul style="list-style-type: none"> 10ビット (7チャンネル×1ユニット) 分解能: 10ビット 最小変換時間: 1チャンネル当たり 2.0μs変換 (A/D変換クロック: 25MHz時) 動作モード スキャンモード (シングルスキャンモード/連続スキャンモード) サンプル&ホールド機能付き A/Dコンバータの自己診断機能 アナログ入力断線検出アシスト機能 A/D変換開始条件 ソフトウェアトリガ、タイマ (MTU) のトリガ、外部トリガ、温度センサ、ELC 	
温度センサ (TEMPSa)	<ul style="list-style-type: none"> 温度により変化する電圧を出力 PGAゲイン切り替え: 電圧範囲に合わせて3段階に切り替え可能 	
D/Aコンバータ (DA)	<ul style="list-style-type: none"> 2チャンネル 分解能: 10ビット 出力電圧: 0V~VREFH 	
CRC演算器 (CRC)	<ul style="list-style-type: none"> 8ビット単位の任意のデータ長に対してCRCコードを生成 3つの多項式から選択可能 $X^8 + X^2 + X + 1$、$X^{16} + X^{15} + X^2 + 1$、$X^{16} + X^{12} + X^5 + 1$ LSBファースト/MSBファースト通信用CRCコード生成の選択が可能 	
データ暗号化ユニット (DEU) (注1)	<ul style="list-style-type: none"> AES暗号化・復号化機能 鍵長128/192/256ビット ECB/CBCモード 	
コンパレータA (CMPA)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 	
コンパレータB (CMPB)	<ul style="list-style-type: none"> 2チャンネル リファレンス電圧とアナログ入力電圧の比較機能 	
データ演算回路 (DOC)	16ビットのデータを比較、加算、減算する機能	
電源電圧/動作周波数	VCC=1.8~3.6V: 25MHz、VCC=2.7~3.6V: 50MHz	
消費電流	8.6mA@50MHz (typ)	

表 1.1 仕様概要 (4 / 4)

分類	モジュール/機能	説明
動作周囲温度		Dバージョン：-40～+85℃、Gバージョン：-40～+105℃ (注2、注3)
パッケージ		100ピンLQFP (PLQP0100KB-A) 14×14mm、0.5mmピッチ 80ピンLQFP (PLQP0080KB-A) 12×12mm、0.5mmピッチ 64ピンLQFP (PLQP0064KB-A) 10×10mm、0.5mmピッチ 100ピンTFLGA (PTLG0100JA-A) 7×7mm、0.65mmピッチ
オンチップデバッキングシステム		E1エミュレータ (FINEインタフェース)

- 注1. 詳細については営業窓口までお問い合わせください。
 注2. Ta = +85～+105℃で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。
 注3. 温度センサ、ユニークIDおよびΔΣA/Dの仕様が異なります。詳細は、ユーザーズマニュアルハードウェア編の下記の章を参照してください。
 「34.2.11 ΔΣA/D入力インピーダンス校正データレジスタ (DSADIIC)」
 「34.2.12 ΔΣA/Dゲイン校正データレジスタ (TSCDRn) (n = 0～6、n = 1, 2, 4, 8, 16, 32)」
 「37.2.2 温度センサ校正データレジスタ (TSCDRn) (n = 0、1、3)」
 「37.3 温度センサの使用法」
 「42.2.15 ユニークIDレジスタ n (UIDRn) (n = 0～3)」

表 1.2 パッケージ別機能比較一覧

モジュール/機能		RX21Aグループ		
		100ピン	80ピン	64ピン
割り込み	外部割り込み	NMI、IRQ0～IRQ7		NMI、IRQ0～IRQ2、IRQ4～IRQ7
DMA	DMAコントローラ	4チャンネル (DMAC0～DMAC3)		
	データトランスファコントローラ	あり		
タイマ	マルチファンクションタイマパルスユニット2	6チャンネル (MTU0～MTU5)		
	ポートアウトプットイネーブル2	POE0#～POE3#、POE8#		
	8ビットタイマ	2チャンネル×2ユニット		
	コンペアマッチタイマ	2チャンネル×2ユニット		
	リアルタイムクロック	あり		
	ウォッチドッグタイマ	あり		
	独立ウォッチドッグタイマ	あり		
通信機能	シリアルコミュニケーションインタフェース	5チャンネル (SCI1、5、6、8、9) (内、IrDA × 1ch)		
	I ² Cバスインタフェース	2チャンネル		1チャンネル
	シリアルペリフェラルインタフェース	2チャンネル		
24ビットΔΣA/Dコンバータ		7チャンネル	4チャンネル	3チャンネル
10ビットA/Dコンバータ		7チャンネル (AN0～AN6)		4チャンネル (AN0、AN1、AN4、AN5)
温度センサ		あり		
D/Aコンバータ		2チャンネル		なし
CRC演算器		あり		
データ暗号化ユニット		あり		
イベントリンクコントローラ		あり		
コンパレータA		2チャンネル		1チャンネル
コンパレータB		2チャンネル		
パッケージ		100ピンLQFP 100ピンTFLGA	80ピンLQFP	64ピンLQFP

1.2 製品一覧

表 1.3 に製品一覧表を、図 1.1 に型名とメモリサイズ・パッケージを示します。

表 1.3 製品一覧表

グループ	製品型名	パッケージ	ROM容量	RAM容量	データフラッシュ	動作周波数 (max)	動作周囲温度
RX21A	R5F521A8BDFP	PLQP0100KB-A	512Kバイト	64Kバイト	8Kバイト	50MHz	-40~+85°C
	R5F521A8BDFN	PLQP0080KB-A					
	R5F521A8BDFM	PLQP0064KB-A					
	R5F521A8BDLJ	PTLG0100JA-A					
	R5F521A7BDFP	PLQP0100KB-A	384Kバイト				
	R5F521A7BDFN	PLQP0080KB-A					
	R5F521A7BDFM	PLQP0064KB-A					
	R5F521A7BDLJ	PTLG0100JA-A					
	R5F521A6BDFP	PLQP0100KB-A	256Kバイト	32Kバイト			
	R5F521A6BDFN	PLQP0080KB-A					
	R5F521A6BDFM	PLQP0064KB-A					
	R5F521A6BDLJ	PTLG0100JA-A					
	R5F521A8BGFP	PLQP0100KB-A	512Kバイト	64Kバイト	8Kバイト	50MHz	-40~+105°C (注1、注2)
	R5F521A8BGFN	PLQP0080KB-A					
	R5F521A8BGFM	PLQP0064KB-A					
	R5F521A7BGFP	PLQP0100KB-A					
R5F521A7BGFN	PLQP0080KB-A						
R5F521A7BGFM	PLQP0064KB-A						
R5F521A6BGFP	PLQP0100KB-A	256Kバイト	32Kバイト				
R5F521A6BGFN	PLQP0080KB-A						
R5F521A6BGFM	PLQP0064KB-A						

注. 発注型名は、本マニュアル発行時に量産もしくは開発中のものです。最新の発注型名は弊社ホームページでご確認ください。

注1. $T_a = +85 \sim +105^\circ\text{C}$ で使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注2. 温度センサ、ユニークID および $\Delta\Sigma/\text{A/D}$ の仕様が異なります。詳細は、ユーザーズマニュアルハードウェア編の下記の章を参照してください。

「34.2.11 $\Delta\Sigma/\text{A/D}$ 入カインピーダンス校正データレジスタ (DSADIIC)」

「34.2.12 $\Delta\Sigma/\text{A/D}$ ゲイン校正データレジスタ (DSADGmXn) ($m = 0 \sim 6, n = 1, 2, 4, 8, 16, 32$)」

「37.2.2 温度センサ校正データレジスタ (TSCDRn) ($n = 0, 1, 3$)」

「37.3 温度センサの使用法」

「42.2.15 ユニークIDレジスタ n (UIDRn) ($n = 0 \sim 3$)」

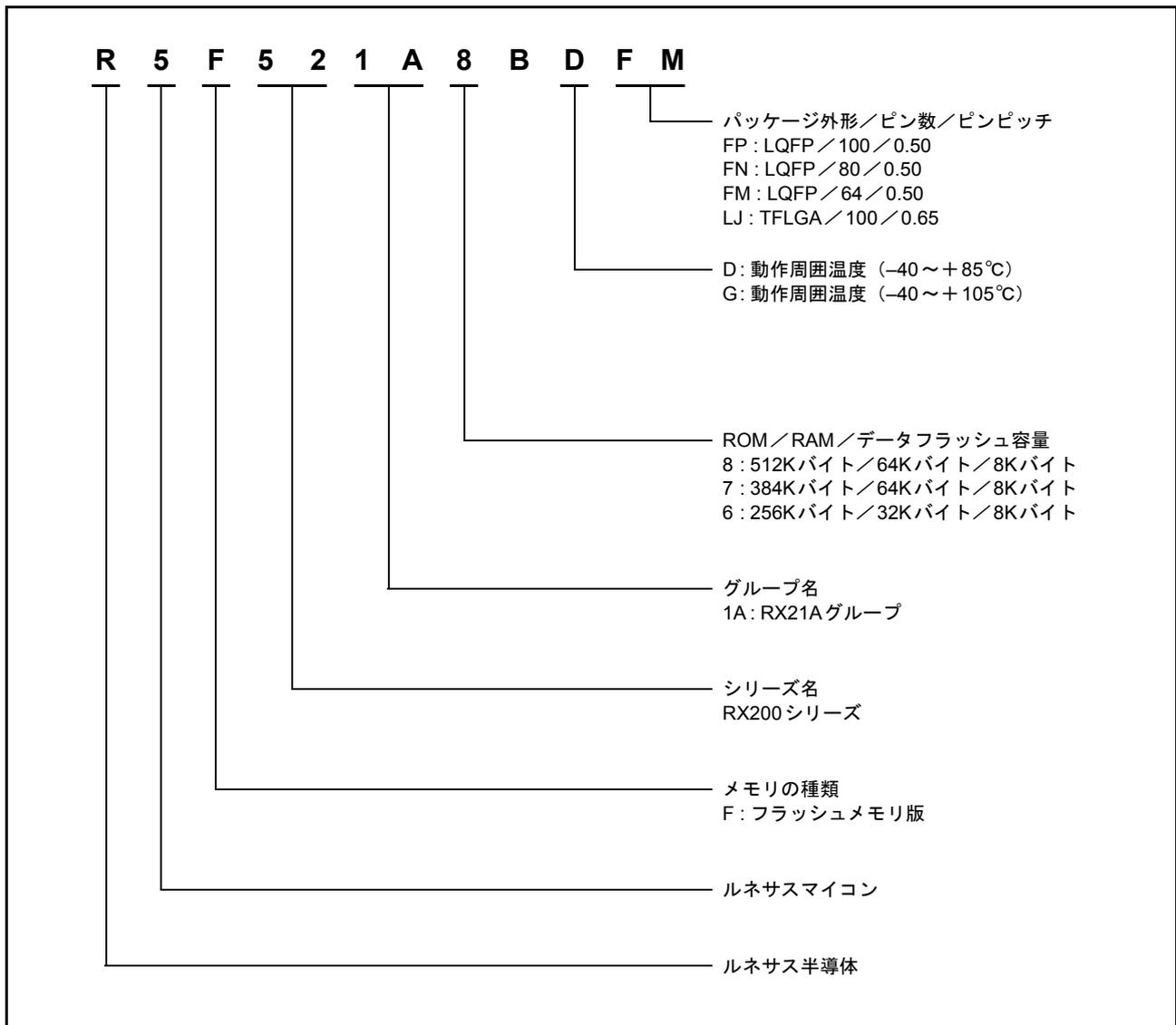


図 1.1 型名とメモリサイズ・パッケージ

1.3 ブロック図

図 1.2 に 100 ピン版のブロック図を示します。

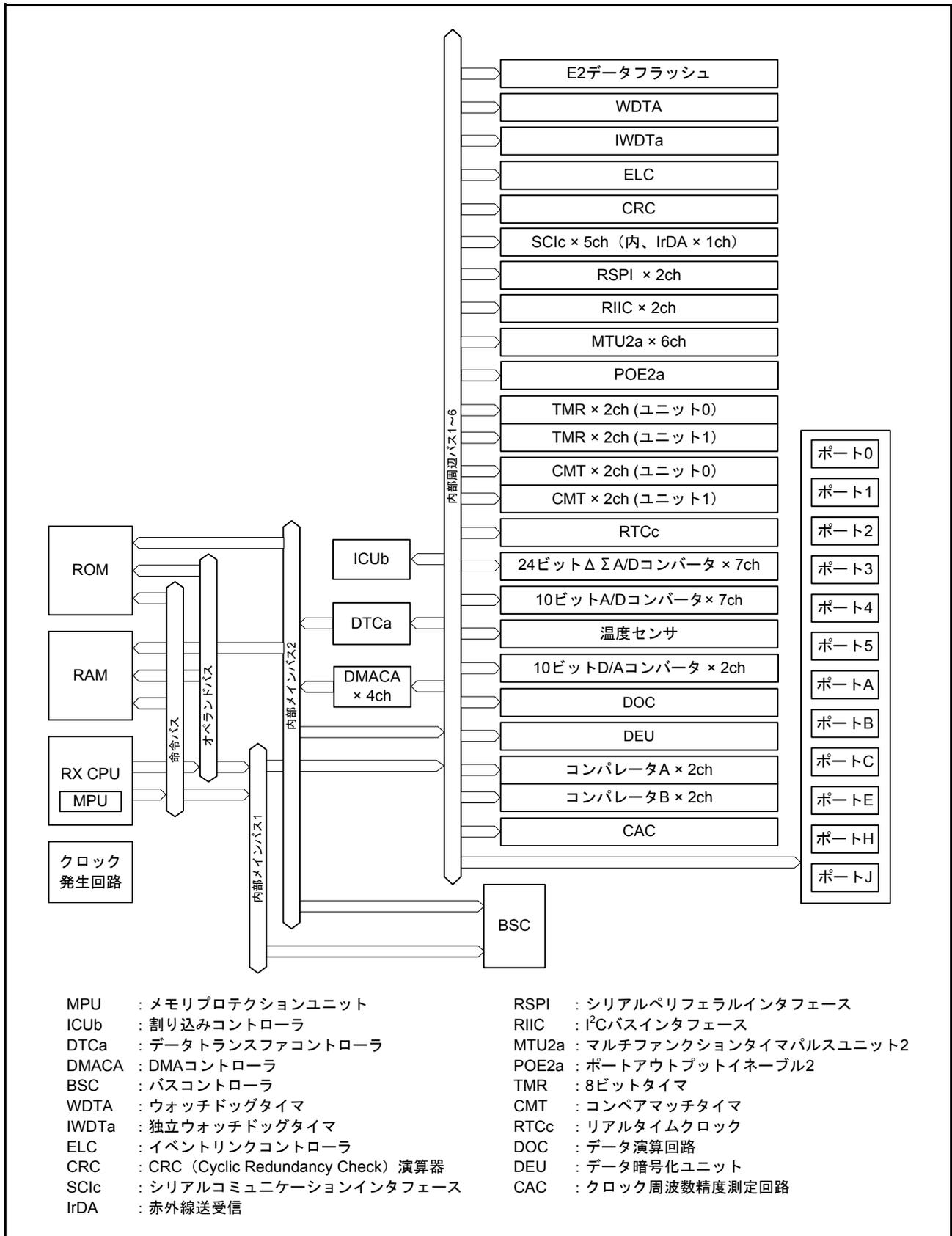


図 1.2 100 ピン版のブロック図

1.4 端子機能

表 1.4 に端子機能一覧を示します。

表 1.4 端子機能一覧 (1 / 3)

分類	端子名	入出力	機能
電源	VCC	入力	電源端子。システムの電源に接続してください
	VCL	—	内部電源安定用の平滑コンデンサ (0.1 μ F) を介してVSSに接続してください。コンデンサは端子近くに配置してください
	VSS	入力	グランド端子。システムの電源 (0V) に接続してください
クロック	XTAL	出力	水晶振動子接続端子。また、EXTAL 端子は外部クロックを入力することもできます
	EXTAL	入力	
	XCIN	入力	サブクロック発振器の入出力端子。XCOUTとXCINの間には、水晶振動子を接続してください
	XCOUT	出力	
動作モードコントロール	MD	入力	動作モードを設定。この端子は、動作中は変化させないでください
システム制御	RES#	入力	リセット端子。この端子がLowになると、リセット状態となります
CAC	CACREF	入力	クロック周波数精度測定回路の入力端子
オンチップエミュレータ	FINED	入出力	FINE インタフェース端子
割り込み	NMI	入力	ノンマスク割り込み要求端子
	IRQ0~IRQ7	入力	割り込み要求端子
マルチファンクションタイマパルスユニット2	MTIOC0A、MTIOC0B MTIOC0C、MTIOC0D	入出力	TGRA0~TGRD0のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC1A、MTIOC1B	入出力	TGRA1、TGRB1のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC2A、MTIOC2B	入出力	TGRA2、TGRB2のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC3A、MTIOC3B MTIOC3C、MTIOC3D	入出力	TGRA3~TGRD3のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIOC4A、MTIOC4B MTIOC4C、MTIOC4D	入出力	TGRA4~TGRD4のインプットキャプチャ入力/アウトプットコンペア出力/PWM出力端子
	MTIC5U、MTIC5V、 MTIC5W	入力	TGRU5、TGRV5、TGRW5のインプットキャプチャ入力/外部パルス入力端子
	MTCLKA、MTCLKB、 MTCLKC、MTCLKD	入力	外部クロックの入力端子
ポートアウトプットイネーブル2	POE0#~POE3#、POE8#	入力	MTU2用の端子をハイインピーダンス状態にする要求信号の入力端子
8ビットタイマ	TMO0~TMO3	出力	コンペアマッチ出力端子
	TMCI0~TMCI3	入力	カウンタに入力する外部クロックの入力端子
	TMRI0~TMRI3	入力	カウンタリセット入力端子
リアルタイムクロック	RTCOUT	出力	1Hz/64Hzのクロックの出力端子
	RTCIC0~RTCIC2	入力	時間キャプチャイベント入力端子

表 1.4 端子機能一覧 (2 / 3)

分類	端子名	入出力	機能
シリアルコミュニケーションインタフェース	● 調歩同期式モード/クロック同期式モード		
	SCK1、SCK5、SCK6、SCK8、SCK9	入出力	クロック入出力端子
	RXD1、RXD5、RXD6、RXD8、RXD9	入力	受信データ入力端子
	TXD1、TXD5、TXD6、TXD8、TXD9	出力	送信データ出力端子
	CTS1#、CTS5#、CTS6#、CTS8#、CTS9#	入力	送受信開始制御用入力端子
	RTS1#、RTS5#、RTS6#、RTS8#、RTS9#	出力	送受信開始制御用出力端子
	● 簡易I ² Cモード		
	SSCL1、SSCL5、SSCL6、SSCL8、SSCL9	入出力	I ² Cクロック入出力端子
	SSDA1、SSDA5、SSDA6、SSDA8、SSDA9	入出力	I ² Cデータ入出力端子
	● 簡易SPIモード		
	SCK1、SCK5、SCK6、SCK8、SCK9	入出力	クロック入出力端子
	SMISO1、SMISO5、SMISO6、SMISO8、SMISO9	入出力	スレーブ送出データ入出力端子
	SMOSI1、SMOSI5、SMOSI6、SMOSI8、SMOSI9	入出力	マスタ送出データ入出力端子
	SS1#、SS5#、SS6#、SS8#、SS9#	入力	チップセレクト入力端子
	● IrDAインタフェース		
	IRTXD5	出力	IrDAフォーマットでのデータ出力端子
IRRXD5	入力	IrDAフォーマットでのデータ入力端子	
I ² Cバスインタフェース	SCL0、SCL1	入出力	I ² Cバスインタフェースのクロック入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
	SDA0、SDA1	入出力	I ² Cバスインタフェースのデータ入出力端子。Nチャンネルオープンドレインでバスを直接駆動できます
シリアルペリフェラルインタフェース	RSPCKA、RSPCKB	入出力	RSPIのクロック入出力端子
	MOSIA、MOSIB	入出力	RSPIのマスタ送出データ端子
	MISOA、MISOB	入出力	RSPIのスレーブ送出データ端子
	SSLA0、SSLB0	入出力	RSPIのスレーブセレクト入出力端子
	SSLA1～SSLA3、SSLB1～SSLB3	出力	RSPIのスレーブセレクト出力端子
24ビット ΔΣA/Dコンバータ	ANDS0N～ANDS3N ANDS0P～ANDS3P	入力	ΔΣA/Dコンバータのアナログ差動入力端子
	ANDS4～ANDS6	入力	ΔΣA/Dコンバータのアナログシングルエンド入力端子
	ANDSSG	入力	ΔΣA/Dコンバータのアナログシングルエンド入力（ANDS4～ANDS6）の共通シグナルグランド端子
10ビットA/Dコンバータ	AN0～AN6	入力	A/Dコンバータのアナログ入力端子
	ADTRG0#	入力	A/D変換開始のための外部トリガ入力端子
D/Aコンバータ	DA0、DA1	出力	D/Aコンバータのアナログ出力端子
コンパレータA	CMPA1	入力	コンパレータA1用のアナログ端子
	CMPA2	入力	コンパレータA2用のアナログ端子
	CVREFA	入力	コンパレータ用のリファレンス電圧端子

表 1.4 端子機能一覧 (3 / 3)

分類	端子名	入出力	機能
コンパレータB	CMPB0	入力	コンパレータB1用のアナログ端子
	CVREFB0	入力	コンパレータB1用のリファレンス電圧端子
	CMPB1	入力	コンパレータB2用のアナログ端子
	CVREFB1	入力	コンパレータB2用のリファレンス電圧端子
アナログ電源	AVCC0	入力	10ビットA/Dコンバータのアナログ電源端子。10ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	AVSS0	入力	10ビットA/Dコンバータのアナロググランド端子。10ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH0	入力	10ビットA/Dコンバータの基準電源端子。10ビットA/Dコンバータを使用しない場合は、VCCに接続してください
	VREFL0	入力	10ビットA/Dコンバータの基準グランド端子。10ビットA/Dコンバータを使用しない場合は、VSSに接続してください
	VREFH	入力	D/Aコンバータのアナログ電源端子。D/Aコンバータを使用しない場合は、VCCに接続してください
	VREFL	入力	D/Aコンバータのアナロググランド端子。D/Aコンバータを使用しない場合は、VSSに接続してください
	AVCCA	入力	24ビット $\Delta\Sigma$ A/Dコンバータのアナログ電源端子。24ビット $\Delta\Sigma$ A/Dコンバータを使用しない場合は、VCCに接続してください
	AVSSA	入力	24ビット $\Delta\Sigma$ A/Dコンバータのアナロググランド端子。24ビット $\Delta\Sigma$ A/Dコンバータを使用しない場合は、VSSに接続してください
	VREFDSH	—	24ビット $\Delta\Sigma$ A/Dコンバータの基準電源端子。1 μ Fのコンデンサを介してVREFDSL端子に接続してください。24ビット $\Delta\Sigma$ A/Dコンバータを使用しない場合は、端子を開放してください
	VREFDSL	入力	24ビット $\Delta\Sigma$ A/Dコンバータの基準グランド端子。24ビット $\Delta\Sigma$ A/Dコンバータを使用しない場合は、VSSに接続してください
	VCOMDS	—	24ビット $\Delta\Sigma$ A/Dコンバータの同相電圧端子。0.1 μ Fのコンデンサを介してAVSSA端子に接続してください。24ビット $\Delta\Sigma$ A/Dコンバータを使用しない場合は、端子を開放してください
	BGR_BO	入力	24ビット $\Delta\Sigma$ A/Dコンバータの内部基準電圧入力端子。24ビット $\Delta\Sigma$ A/Dコンバータを使用しない場合は、端子を開放してください。
I/Oポート	P03、P05、P07	入出力	3ビットの入出力端子
	P12～P17	入出力	6ビットの入出力端子
	P20～P27	入出力	8ビットの入出力端子
	P30～P37	入出力	8ビットの入出力端子 (P35は入力端子)
	P40～P43	入出力	4ビットの入出力端子
	P50～P55	入出力	6ビットの入出力端子
	PA0～PA7	入出力	8ビットの入出力端子
	PB0～PB7	入出力	8ビットの入出力端子
	PC0～PC7	入出力	8ビットの入出力端子
	PE6、PE7	入出力	2ビットの入出力端子
	PH0～PH3	入出力	4ビットの入出力端子
	PJ1、PJ3	入出力	2ビットの入出力端子

1.5 ピン配置図

図 1.3 ~ 図 1.5 にピン配置図を示します。また、表 1.5 ~ 表 1.7 に機能別端子一覧を示します。

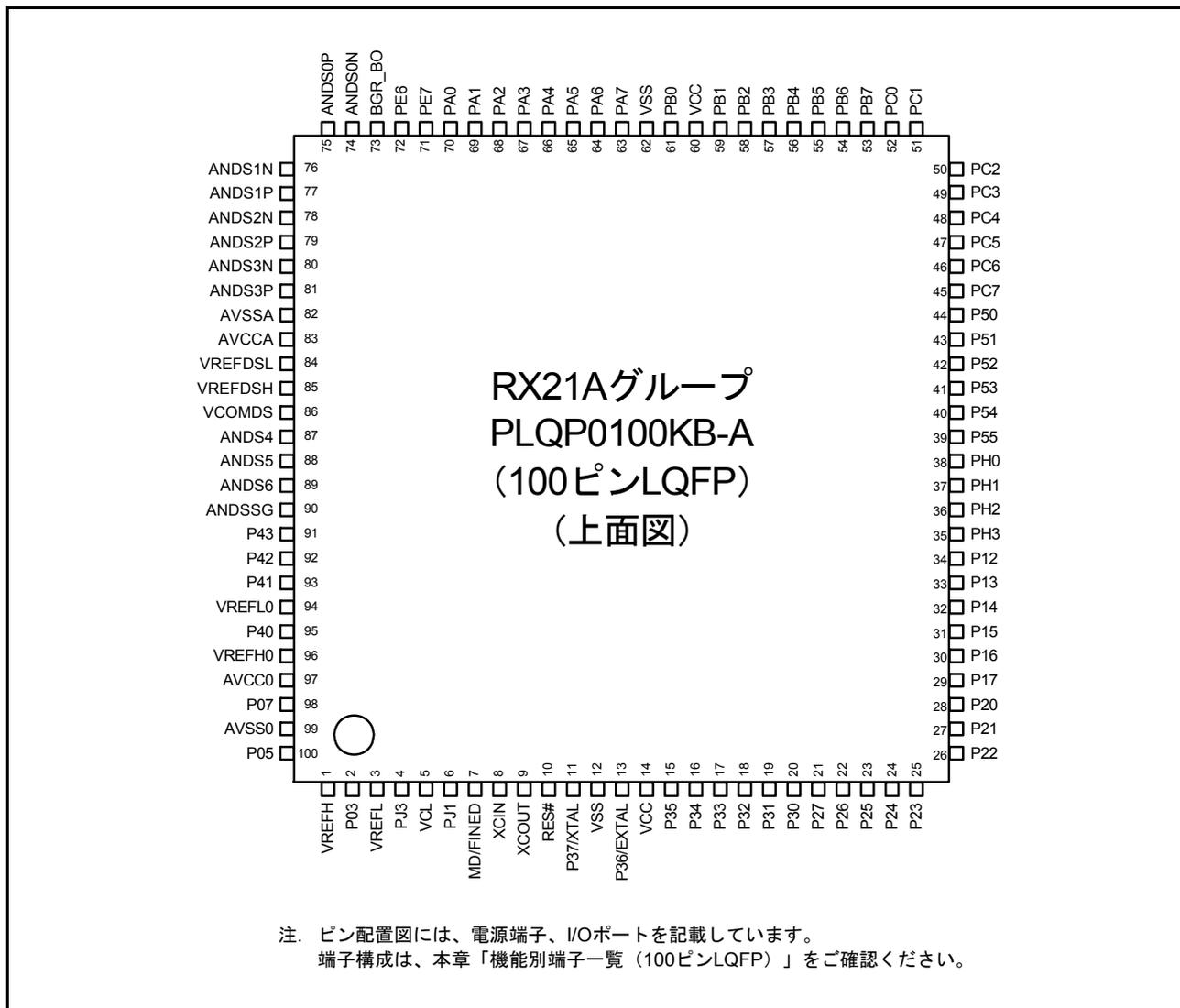


図 1.3 100 ピン LQFP ピン配置図

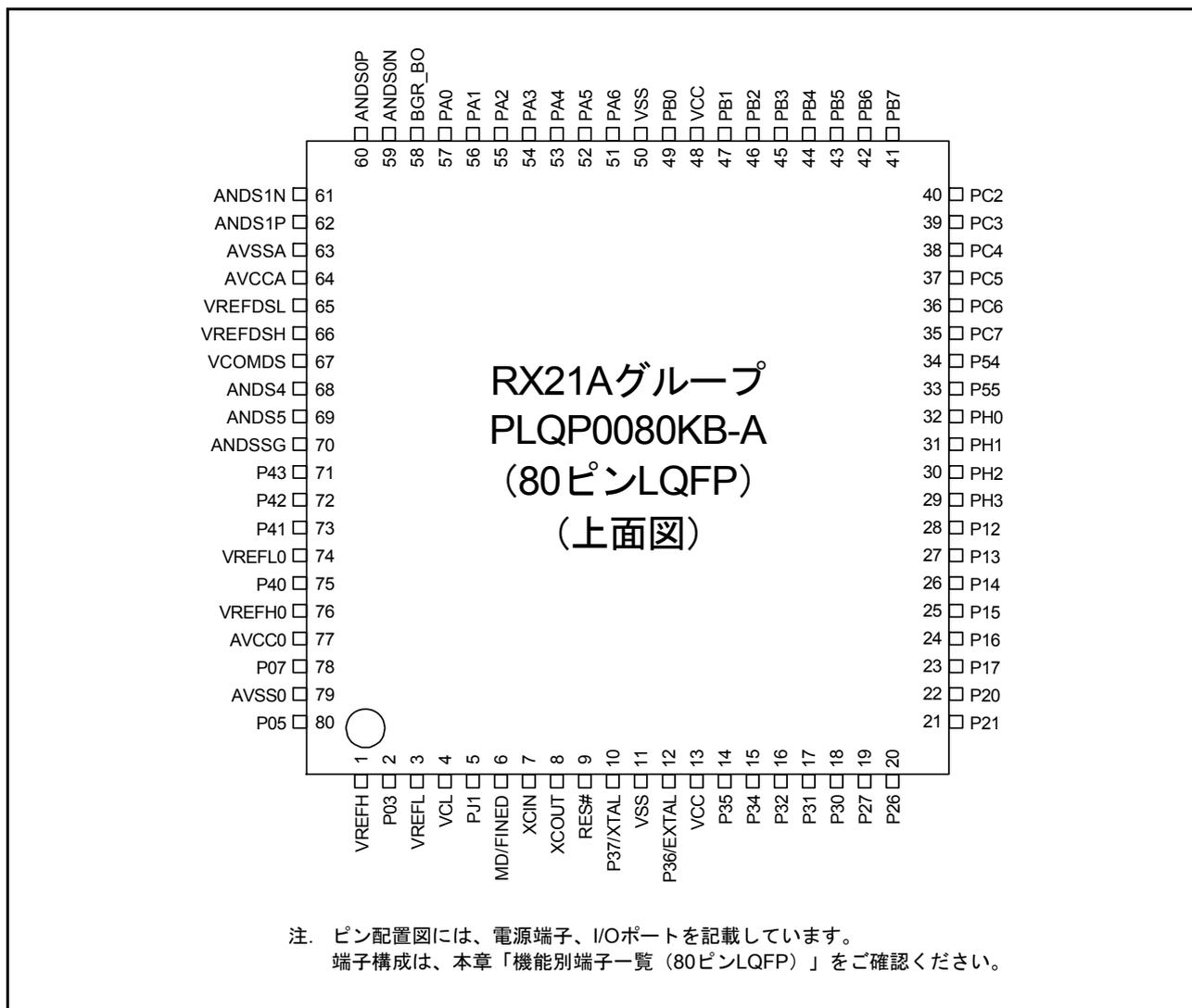


図 1.4 80 ピン LQFP ピン配置図

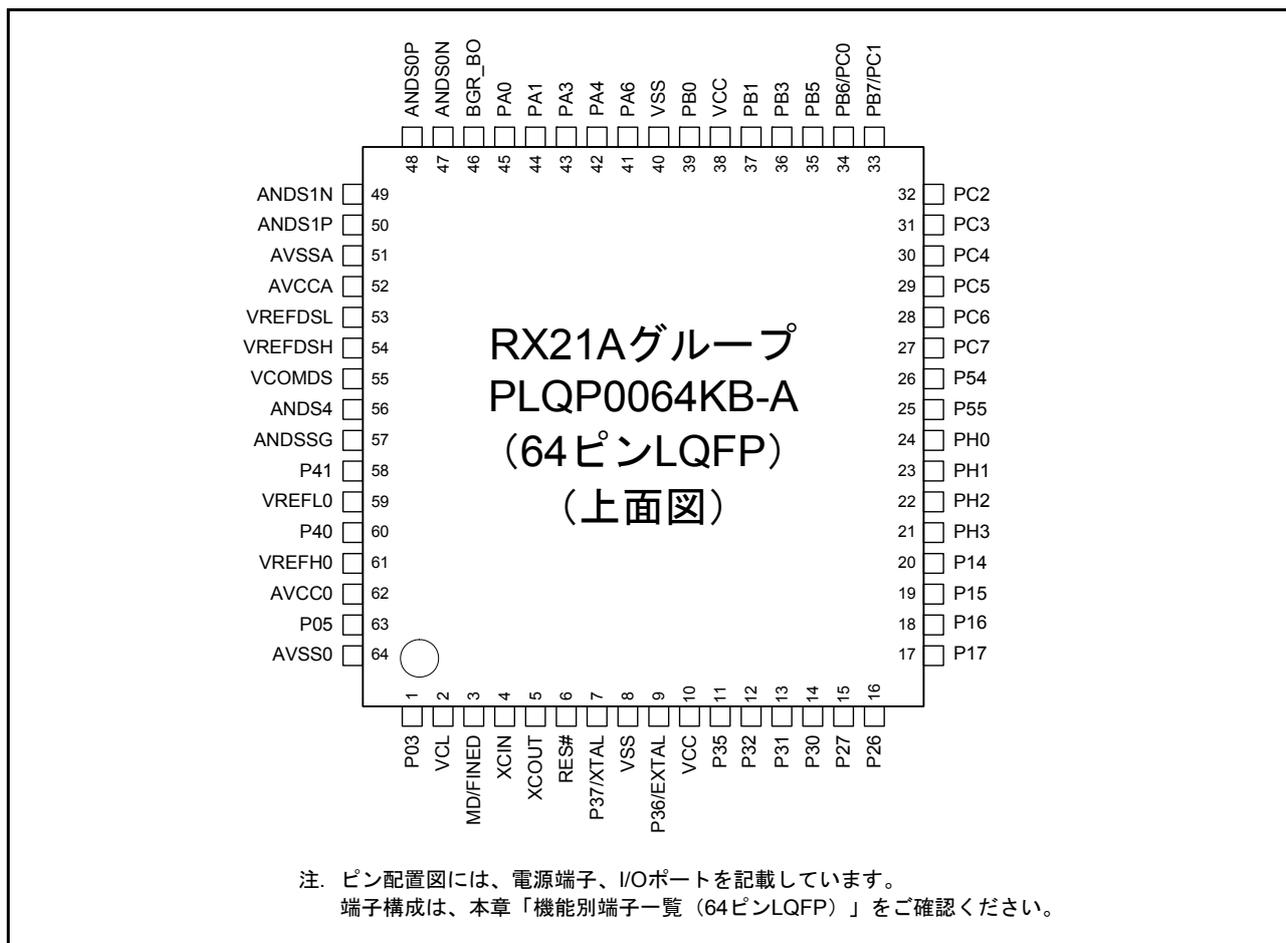


図 1.5 64ピンLQFPピン配置図

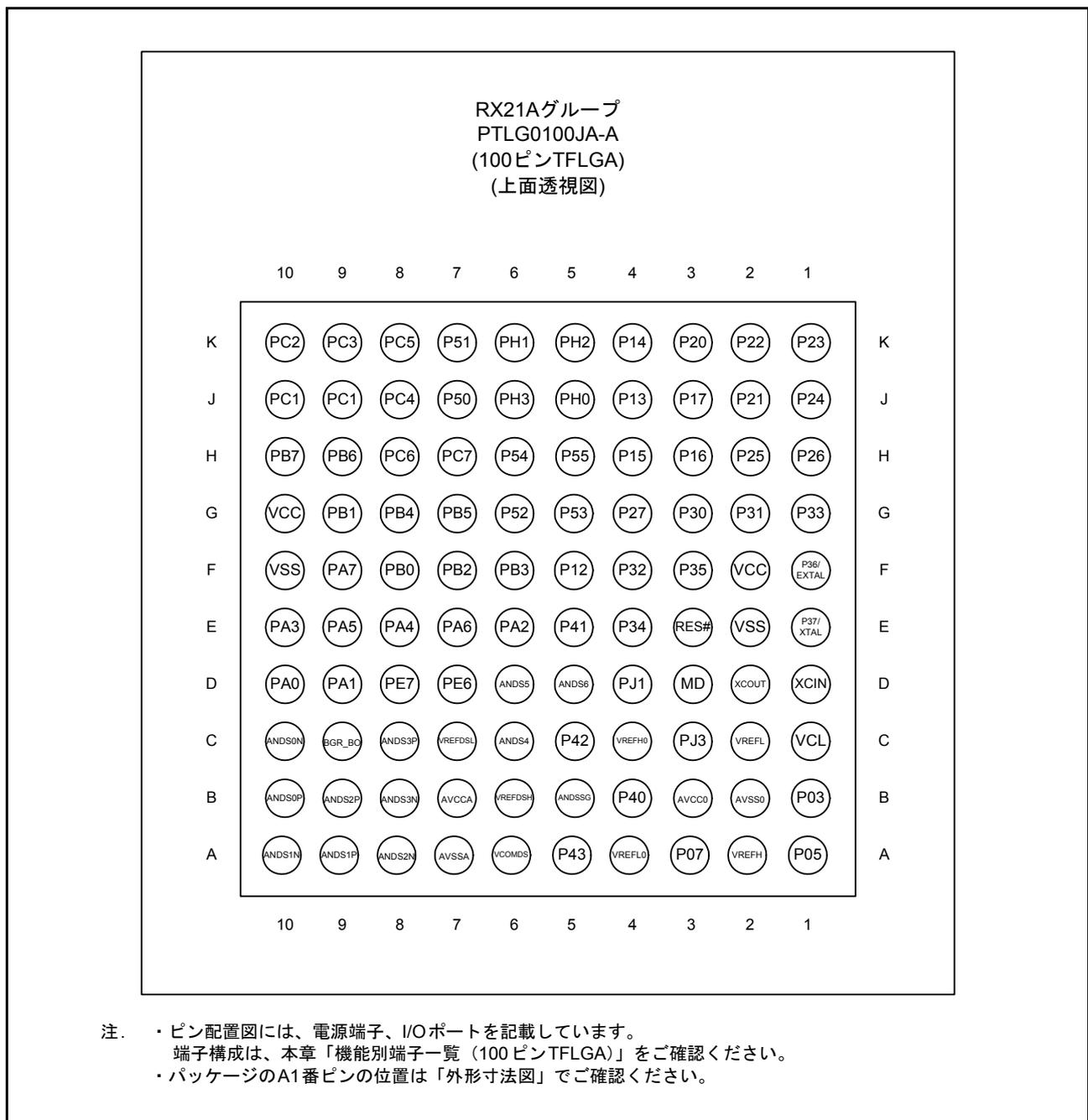


図 1.6 100ピン TFLGA ピン配置図 (上面透視図)

表 1.5 機能別端子一覧 (100ピンLQFP) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、RSPI、RIIC)	その他
1	VREFH				
2		P03			AN4/DA0
3	VREFL				
4		PJ3	MTIOC3C	CTS6#/RTS6#/SS6#	
5	VCL				
6		PJ1	MTIOC3A		
7	MD				FINED
8	XCIN				
9	XCOUT				
10	RES#				
11	XTAL	P37			
12	VSS				
13	EXTAL	P36			
14	VCC				
15		P35			NMI
16		P34	MTIOC0A/TMC13/POE2#	SCK6	IRQ4
17		P33	MTIOC0D/TMRI3/POE3#	RXD6/SMISO6/SSCL6	IRQ3-DS
18		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
19		P31	MTIOC4D/TMC12	CTS1#/RTS1#/SS1#/SSLB0	IRQ1-DS/RTCIC1
20		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS/RTCIC0
21		P27	MTIOC2B/TMC13	SCK1/RSPCKB	
22		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ MOSIB	
23		P25	MTIOC4C/MTCLKB		ADTRG0#
24		P24	MTIOC4A/MTCLKA/TMRI1		
25		P23	MTIOC3D/MTCLKD		
26		P22	MTIOC3B/MTCLKC/TMO0		
27		P21	MTIOC1B/TMC10	SCL1	
28		P20	MTIOC1A/TMRI0	SDA1	
29		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA0-DS	IRQ7
30		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0-DS	IRQ6/RTCOUT/ ADTRG0#
31		P15	MTIOC0B/MTCLKB/TMC12	RXD1/SMISO1/SSCL1	IRQ5
32		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
33		P13	MTIOC0B/TMO3	SDA0	IRQ3
34		P12	TMC11	SCL0	IRQ2
35		PH3	TMC10		
36		PH2	TMRI0		IRQ1
37		PH1	TMO0		IRQ0
38		PH0			CACREF
39		P55	MTIOC4D/TMO3		
40		P54	MTIOC4B/TMC11		
41		P53			

表 1.5 機能別端子一覧 (100ピンLQFP) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、RSPI、RIIC)	その他
42		P52		SSLB3	
43		P51		SSLB2	
44		P50		SSLB1	
45		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
46		PC6	MTIOC3C/MTCLKA/TMC12	RXD8/SMISO8/SSCL8/ MOSIA	
47		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
48		PC4	MTIOC3D/MTCLKC/TMC11/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
49		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/ IRTXD5	
50		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/ IRRXD5/SSLA3	
51		PC1	MTIOC3A	SCK5/SSLA2	
52		PC0	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	
53		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
54		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
55		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#	SCK9	
56		PB4		CTS9#/RTS9#/SS9#	
57		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
58		PB2		CTS6#/RTS6#/SS6#	
59		PB1	MTIOC0C/MTIOC4C/TMC10	TXD6/SMOSI6/SSDA6	IRQ4-DS
60	VCC				
61		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	CMPB0
62	VSS				
63		PA7		MISOA	
64		PA6	MTIC5V/MTCLKB/TMC13/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	CVREFB0
65		PA5		RSPCKA	
66		PA4	MTIC5U/MTCLKA/ TMRI0	TXD5/SMOSI5/SSDA5/ IRTXD5/SSLA0	IRQ5-DS/CVREFB1
67		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/ IRRXD5	IRQ6-DS/CMPB1
68		PA2		RXD5/SMISO5/SSCL5/ IRRXD5/SSLA3	CMPA2
69		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
70		PA0	MTIOC4A	SSLA1	CACREF/CMPA1
71		PE7		MISOB	IRQ7-DS
72		PE6		MOSIB	IRQ6
73	BGR_BO				
74					ANDS0N
75					ANDS0P
76					ANDS1N
77					ANDS1P
78					ANDS2N

表 1.5 機能別端子一覧 (100ピンLQFP) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、RSPI、RIIC)	その他
79					ANDS2P
80					ANDS3N
81					ANDS3P
82	AVSSA				
83	AVCCA				
84	VREFDSL				
85	VREFDSH				
86	VCOMDS				
87					ANDS4
88					ANDS5
89					ANDS6
90	ANDSSG				
91		P43			AN3
92		P42			AN2
93		P41			AN1
94	VREFL0				
95		P40			AN0
96	VREFH0				
97	AVCC0				
98		P07			AN6/ADTRG0#
99	AVSS0				
100		P05			AN5/DA1

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.6 機能別端子一覧 (80ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU2、TMR、POE2)	通信 (SCLc、RSPI、RIIC)	その他
1	VREFH				
2		P03			AN4/DA0
3	VREFL				
4	VCL				
5		PJ1	MTIOC3A		
6	MD				FINED
7	XCIN				
8	XCOUT				
9	RES#				
10	XTAL	P37			
11	VSS				
12	EXTAL	P36			
13	VCC				
14		P35			NMI
15		P34	MTIOC0A/TMCI3/POE2#	SCK6	IRQ4
16		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
17		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#/SSLB0	IRQ1-DS/RTCIC1
18		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1/MISOB	IRQ0-DS/RTCIC0
19		P27	MTIOC2B/TMCI3	SCK1/RSPCKB	
20		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/MOSIB	
21		P21	MTIOC1B/TMCI0	SCL1	
22		P20	MTIOC1A/TMRI0	SDA1	
23		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA0-DS	IRQ7
24		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/MOSIA/ SCL0-DS	IRQ6/RTCOUT/ ADTRG0#
25		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
26		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
27		P13	MTIOC0B/TMO3	SDA0	IRQ3
28		P12	TMCI1	SCL0	IRQ2
29		PH3	TMCI0		
30		PH2	TMRI0		IRQ1
31		PH1	TMO0		IRQ0
32		PH0			CACREF
33		P55	MTIOC4D/TMO3		
34		P54	MTIOC4B/TMCI1		
35		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/MISOA	CACREF
36		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/MOSIA	
37		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
38		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
39		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/IRTXD5	
40		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/IRRXD5/ SSLA3	
41		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	

表 1.6 機能別端子一覧 (80ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU2、TMR、POE2)	通信 (SCIc、RSPI、RIIC)	その他
42		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
43		PB5	MTIOC2A/MTIOC1B/TMR11/ POE1#	SCK9	
44		PB4		CTS9#/RTS9#/SS9#	
45		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
46		PB2		CTS6#/RTS6#/SS6#	
47		PB1	MTIOC0C/MTIOC4C/TMCIO	TXD6/SMOSI6/SSDA6	IRQ4-DS
48	VCC				
49		PB0	MTIC5W	RXD6/SMISO6/SSCL6/RSPCKA	CMPB0
50	VSS				
51		PA6	MTIC5V/MTCLKB/TMCIO3/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	CVREFB0
52		PA5		RSPCKA	
53		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/IRTXD5/ SSLA0	IRQ5-DS/CVREFB1
54		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/IRRXD5	IRQ6-DS/CMPB1
55		PA2		RXD5/SMISO5/SSCL5/IRRXD5/ SSLA3	CMPA2
56		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
57		PA0	MTIOC4A	SSLA1	CACREF/CMPA1
58	BGR_BO				
59					ANDS0N
60					ANDS0P
61					ANDS1N
62					ANDS1P
63	AVSSA				
64	AVCCA				
65	VREFDSL				
66	VREFDSH				
67	VCOMDS				
68					ANDS4
69					ANDS5
70	ANDSSG				
71		P43			AN3
72		P42			AN2
73		P41			AN1
74	VREFL0				
75		P40			AN0
76	VREFH0				
77	AVCC0				
78		P07			AN6/ADTRG0#
79	AVSS0				
80		P05			AN5/DA1

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.7 機能別端子一覧 (64ピンLQFP) (1 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU2、TMR、POE2)	通信 (SCIc、RSPI、RIIC)	その他
1		P03			AN4
2	VCL				
3	MD				FINED
4	XCIN				
5	XCOUT				
6	RES#				
7	XTAL	P37			
8	VSS				
9	EXTAL	P36			
10	VCC				
11		P35			NMI
12		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
13		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#/SSLB0	IRQ1-DS/RTCIC1
14		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS/RTCIC0
15		P27	MTIOC2B/TMCI3	SCK1/RSPCKB	
16		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ MOSIB	
17		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA0-DS	IRQ7
18		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0-DS	IRQ6/RTCOUT/ ADTRG0#
19		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
20		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
21		PH3	TMCI0		
22		PH2	TMRI0		IRQ1
23		PH1	TMO0		IRQ0
24		PH0			CACREF
25		P55	MTIOC4D/TMO3		
26		P54	MTIOC4B/TMCI1		
27		PC7	MTIOC3A/TMO2/ MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
28		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/ MOSIA	
29		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
30		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
31		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/ IRTXD5	
32		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/ IRRXD5/SSLA3	
33		PB7/PC1	MTIOC3B	TXD9/SMOSI9/SSDA9	
34		PB6/PC0	MTIOC3D	RXD9/SMISO9/SSCL9	
35		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#	SCK9	
36		PB3	MTIOC0A/MTIOC4A/ TMO0/POE3#	SCK6	

表 1.7 機能別端子一覧 (64ピンLQFP) (2 / 2)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU2、TMR、POE2)	通信 (SCIc、RSPI、RIIC)	その他
37		PB1	MTIOC0C/MTIOC4C/ TMC10	TXD6/SMOSI6/SSDA6	IRQ4-DS
38	VCC				
39		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	CMPB0
40	VSS				
41		PA6	MTIC5V/MTCLKB/TMC13/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	CVREFB0
42		PA4	MTIC5U/MTCLKA/TMR10	TXD5/SMOSI5/SSDA5/ IRTXD5/SSLA0	IRQ5-DS/CVREFB1
43		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/ IRRXD5	IRQ6-DS/CMPB1
44		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
45		PA0	MTIOC4A	SSLA1	CACREF/CMPA1
46	BGR_BO				
47					ANDS0N
48					ANDS0P
49					ANDS1N
50					ANDS1P
51	AVSSA				
52	AVCCA				
53	VREFDSL				
54	VREFDSH				
55	VCOMDS				
56					ANDS4
57	ANDSSG				
58		P41			AN1
59	VREFL0				
60		P40			AN0
61	VREFH0				
62	AVCC0				
63		P05			AN5
64	AVSS0				

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

表 1.8 機能別端子一覧 (100ピンTFLGA) (1 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、RSPI、RIIC)	その他
A1		P05			AN5/DA1
A2	VREFH				
A3		P07			AN6/ADTRG0#
A4	VREFL0				
A5		P43			AN3
A6	VCOMDS				
A7	AVSSA				
A8					ANDS2N
A9					ANDS1P
A10					ANDS1N
B1		P03			AN4/DA0
B2	AVSS0				
B3	AVCC0				
B4		P40			AN0
B5	ANDSSG				
B6	VREFDSH				
B7	AVCCA				
B8					ANDS3N
B9					ANDS2P
B10					ANDS0P
C1	VCL				
C2	VREFL				
C3		PJ3	MTIOC3C	CTS6#/RTS6#/SS6#	
C4	VREFH0				
C5		P42			AN2
C6					ANDS4
C7	VREFDSL				
C8					ANDS3P
C9	BGR_BO				
C10					ANDS0N
D1	XCIN				
D2	XCOU				
D3	MD				FINED
D4		PJ1	MTIOC3A		
D5					ANDS6
D6					ANDS5
D7		PE6		MOSIB	IRQ6
D8		PE7		MISOB	IRQ7-DS
D9		PA1	MTIOC0B/MTCLKC	SCK5/SSLA2	CVREFA
D10		PA0	MTIOC4A	SSLA1	CACREF/CMPA1
E1	XTAL	P37			
E2	VSS				
E3	RES#				
E4		P34	MTIOC0A/TMC13/POE2#	SCK6	IRQ4
E5		P41			AN1

表 1.8 機能別端子一覧 (100ピンTFLGA) (2 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、RSPI、RIIC)	その他
E6		PA2		RXD5/SMISO5/SSCL5/ IRRXD5/SSLA3	CMPA2
E7		PA6	MTIC5V/MTCLKB/TMCI3/ POE2#	CTS5#/RTS5#/SS5#/MOSIA	CVREFB0
E8		PA4	MTIC5U/MTCLKA/TMRI0	TXD5/SMOSI5/SSDA5/ IRTXD5/SSLA0	IRQ5-DS/CVREFB1
E9		PA5		RSPCKA	
E10		PA3	MTIOC0D/MTCLKD	RXD5/SMISO5/SSCL5/ IRRXD5	IRQ6-DS/CMPB1
F1	EXTAL	P36			
F2	VCC				
F3		P35			NMI
F4		P32	MTIOC0C/TMO3	TXD6/SMOSI6/SSDA6	IRQ2-DS/RTCOUT/ RTCIC2
F5		P12	TMCI1	SCL0	IRQ2
F6		PB3	MTIOC0A/MTIOC4A/TMO0/ POE3#	SCK6	
F7		PB2		CTS6#/RTS6#/SS6#	
F8		PB0	MTIC5W	RXD6/SMISO6/SSCL6/ RSPCKA	CMPB0
F9		PA7		MISOA	
F10	VSS				
G1		P33	MTIOC0D/TMRI3/POE3#	RXD6/SMISO6/SSCL6	IRQ3-DS
G2		P31	MTIOC4D/TMCI2	CTS1#/RTS1#/SS1#/SSLB0	IRQ1-DS/RTCIC1
G3		P30	MTIOC4B/TMRI3/POE8#	RXD1/SMISO1/SSCL1/ MISOB	IRQ0-DS/RTCIC0
G4		P27	MTIOC2B/TMCI3	SCK1/RSPCKB	
G5		P53			
G6		P52		SSLB3	
G7		PB5	MTIOC2A/MTIOC1B/TMRI1/ POE1#	SCK9	
G8		PB4		CTS9#/RTS9#/SS9#	
G9		PB1	MTIOC0C/MTIOC4C/TMCI0	TXD6/SMOSI6/SSDA6	IRQ4-DS
G10	VCC				
H1		P26	MTIOC2A/TMO1	TXD1/SMOSI1/SSDA1/ MOSIB	
H2		P25	MTIOC4C/MTCLKB		ADTRG0#
H3		P16	MTIOC3C/MTIOC3D/TMO2	TXD1/SMOSI1/SSDA1/ MOSIA/SCL0-DS	IRQ6/RTCOUT/ ADTRG0#
H4		P15	MTIOC0B/MTCLKB/TMCI2	RXD1/SMISO1/SSCL1	IRQ5
H5		P55	MTIOC4D/TMO3		
H6		P54	MTIOC4B/TMCI1		
H7		PC7	MTIOC3A/TMO2/MTCLKB	TXD8/SMOSI8/SSDA8/ MISOA	CACREF
H8		PC6	MTIOC3C/MTCLKA/TMCI2	RXD8/SMISO8/SSCL8/ MOSIA	
H9		PB6	MTIOC3D	RXD9/SMISO9/SSCL9	
H10		PB7	MTIOC3B	TXD9/SMOSI9/SSDA9	
J1		P24	MTIOC4A/MTCLKA/TMRI1		

表 1.8 機能別端子一覧 (100ピンTFLGA) (3 / 3)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ (MTU、TMR、POE)	通信 (SCIc、RSPI、RIIC)	その他
J2		P21	MTIOC1B/TMCI0	SCL1	
J3		P17	MTIOC3A/MTIOC3B/TMO1/ POE8#	SCK1/MISOA/SDA0-DS	IRQ7
J4		P13	MTIOC0B/TMO3	SDA0	IRQ3
J5		PH0			CACREF
J6		PH3	TMCI0		
J7		P50		SSLB1	
J8		PC4	MTIOC3D/MTCLKC/TMCI1/ POE0#	SCK5/CTS8#/RTS8#/SS8#/ SSLA0	
J9		PC0	MTIOC3C	CTS5#/RTS5#/SS5#/SSLA1	
J10		PC1	MTIOC3A	SCK5/SSLA2	
K1		P23	MTIOC3D/MTCLKD		
K2		P22	MTIOC3B/MTCLKC/TMO0		
K3		P20	MTIOC1A/TMRI0	SDA1	
K4		P14	MTIOC3A/MTCLKA/TMRI2	CTS1#/RTS1#/SS1#	IRQ4
K5		PH2	TMRI0		IRQ1
K6		PH1	TMO0		IRQ0
K7		P51		SSLB2	
K8		PC5	MTIOC3B/MTCLKD/TMRI2	SCK8/RSPCKA	
K9		PC3	MTIOC4D	TXD5/SMOSI5/SSDA5/ IRTXD5	
K10		PC2	MTIOC4B	RXD5/SMISO5/SSCL5/ SSLA3/IRRXD5	

注. 端子名に-DSが付加されている端子は、ディープソフトウェアスタンバイモードの解除端子として使用できます。

2. CPU

図 2.1 に CPU のレジスタ構成を示します。

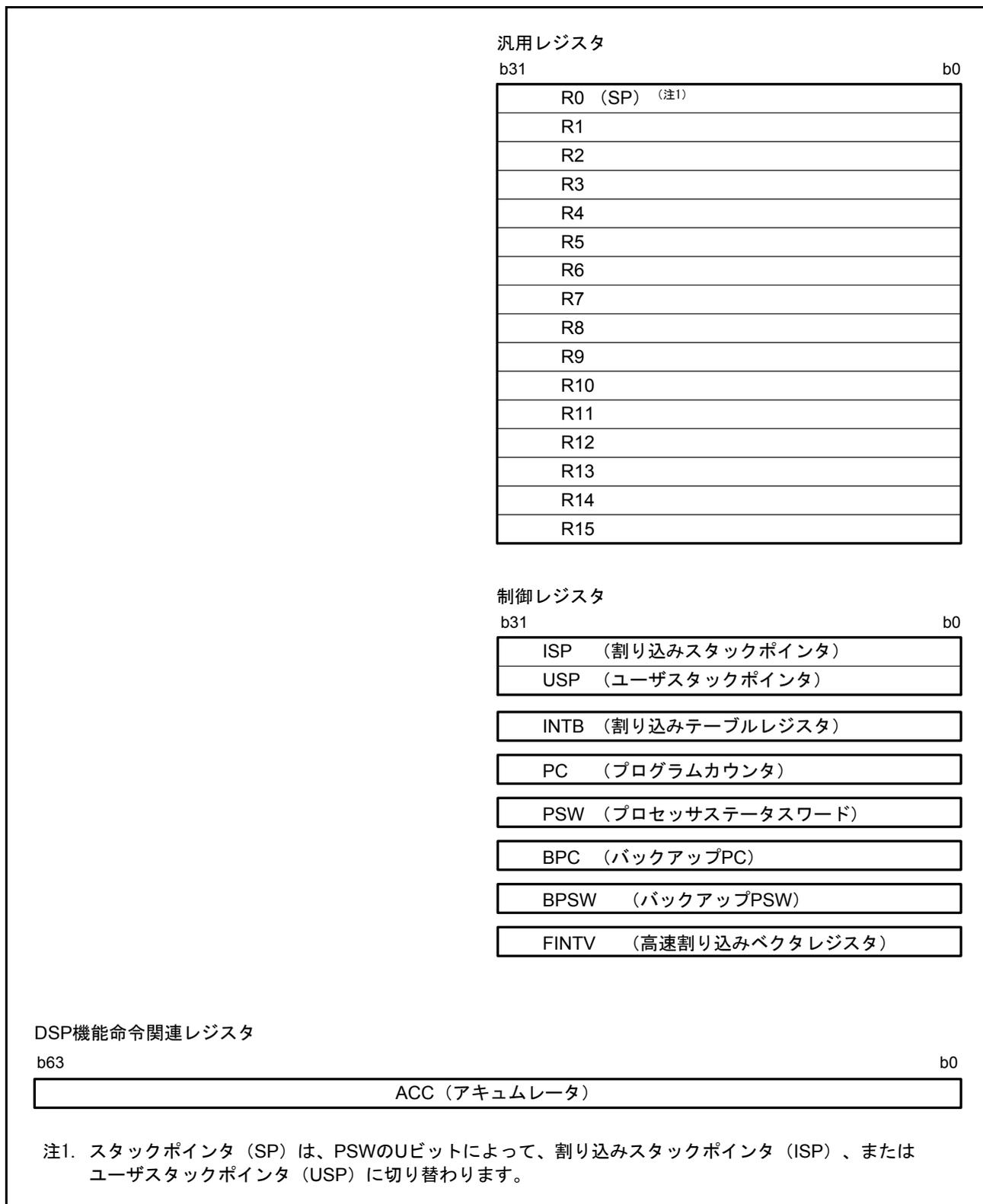


図 2.1 CPU レジスタセット

2.1 汎用レジスタ (R0 ~ R15)

汎用レジスタは、16本 (R0 ~ R15) あります。汎用レジスタ R0 ~ R15 は、データレジスタやアドレスレジスタとして使用します。

汎用レジスタ R0 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられています。SP は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって、割り込みスタックポインタ (ISP)、またはユーザスタックポインタ (USP) に切り替わります。

2.2 制御レジスタ

(1) 割り込みスタックポインタ (ISP) / ユーザスタックポインタ (USP)

スタックポインタ (SP) には、割り込みスタックポインタ (ISP) と、ユーザスタックポインタ (USP) の2種類があります。使用するスタックポインタ (ISP/USP) は、プロセッサステータスワード (PSW) のスタックポインタ指定ビット (U) によって切り替えられます。

ISP、USP に4の倍数を設定すると、スタック操作を伴う命令や、割り込みシーケンスのサイクル数が短くなります。

(2) 割り込みテーブルレジスタ (INTB)

割り込みテーブルレジスタ (INTB) には、可変ベクタテーブルの先頭番地を設定してください。

(3) プログラムカウンタ (PC)

プログラムカウンタ (PC) は、実行中の命令の番地を示します。

(4) プロセッサステータスワード (PSW)

プロセッサステータスワード (PSW) は、命令実行の結果や、CPU の状態を示します。

(5) バックアップ PC (BPC)

バックアップ PC (BPC) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込みが発生すると、プログラムカウンタ (PC) の内容が BPC に退避されます。

(6) バックアップ PSW (BPSW)

バックアップ PSW (BPSW) は、割り込み応答を高速化するために設けられたレジスタです。

高速割り込みが発生すると、プロセッサステータスワード (PSW) の内容が BPSW に退避されます。BPSW のビットの割り当ては、PSW に対応しています。

(7) 高速割り込みベクタレジスタ (FINTV)

高速割り込みベクタレジスタ (FINTV) は、割り込み応答を高速化するために設けられたレジスタです。高速割り込み発生時の分岐先番地を設定してください。

2.3 DSP 機能命令関連レジスタ

(1) アキュムレータ (ACC)

アキュムレータ (ACC) は、64ビットのレジスタです。DSP 機能命令で使用されます。また、ACC は乗算命令 (EMUL、EMULU、MUL)、積和演算命令 (RMPA) でも使用され、これらの命令実行の際は ACC の値が変更されます。

ACC への書き込みには、MVTACHI 命令と MVTACLO 命令を使用します。MVTACHI 命令は上位側 32ビット (b63 ~ b32) に、MVTACLO 命令は下位側 32ビット (b31 ~ b0) にデータを書きます。

読み出しには MVFACHI 命令、MVFACMI 命令を使用します。MVFACHI 命令で上位側 32ビット (b63 ~ b32)、MVFACMI 命令で中央の 32ビット (b47 ~ b16) のデータをそれぞれ読みます。

3. アドレス空間

3.1 アドレス空間

アドレス空間は、0000 0000h 番地から FFFF FFFFh 番地までの 4G バイトあります。プログラム領域およびデータ領域合計最大 4G バイトをリニアにアクセス可能です。

図 3.1 に各動作モードのメモリマップを示します。

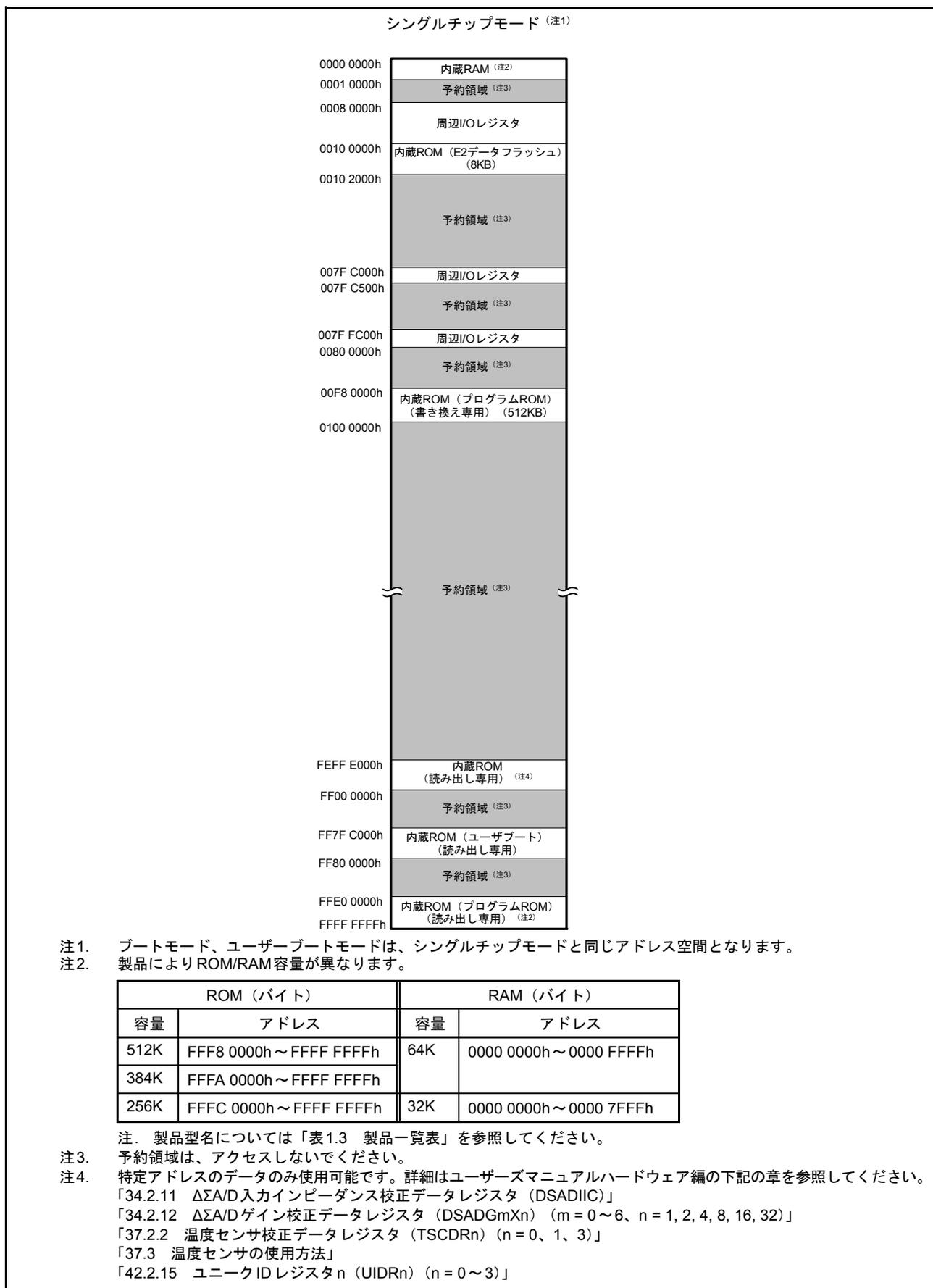


図 3.1 各動作モードのメモリマップ

4. I/Oレジスタ

I/Oレジスタ一覧では、内蔵レジスタのアドレス、およびビット構成に関する情報をまとめています。表記方法は以下のとおりです。また、レジスタ書き込み時の注意事項についても以下に示します。

(1) I/Oレジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載しています。
- モジュールシンボルによる分類をしています。
- アクセスサイクル数については、指定の基準クロックのサイクル数を示しています。
- 内部I/Oレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、予約領域です。予約領域のアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

(2) I/Oレジスタ書き込み時の注意事項

CPUがI/Oレジスタに書き込む際、CPUは書き込み完了を待たずに後続の命令を実行します。そのため、I/Oレジスタ書き込みによる設定変更が、動作に反映されるより前に、後続の命令が実行されることがあります。

以下の例のように、I/Oレジスタの設定変更が反映された状態で後続の命令を実行させなければならないときには、注意が必要です。

[注意が必要な動作の例]

- 割り込み要求許可ビット（ICU.IERn.IENjビット）のクリアを行い、割り込み要求を禁止とした状態で後続の命令を実行させたい場合
- 低消費電力状態へ遷移するための前処理に続いてWAIT命令を実行する場合

このような場合には、I/Oレジスタの書き込みを行った後、以下の手順で書き込みの完了を待ってから、後続の命令を実行するようにしてください。

- (a) I/Oレジスタの書き込み
- (b) 書き込んだI/Oレジスタの値を汎用レジスタに読み出し
- (c) 読み出し値を使って演算を実行
- (d) 後続の命令を実行

[命令例]

- I/Oレジスタがバイトサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.B #SFR_DATA, [R1]
CMP [R1].UB, R1
;; 次処理
```

- I/Oレジスタがワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.W #SFR_DATA, [R1]
CMP [R1].W, R1
;; 次処理
```

- I/Oレジスタがロングワードサイズの場合

```
MOV.L #SFR_ADDR, R1
MOV.L #SFR_DATA, [R1]
CMP [R1].L, R1
;; 次処理
```

なお、複数のレジスタに書き込みを行った後、それら書き込みの完了を待ってから後続の命令を実行させたい場合は、最後に書き込みを行ったI/Oレジスタを対象に読み出しと演算を実行してください。書き込みを行ったすべてのレジスタを対象にして実行する必要はありません。

(3) I/Oレジスタアクセスサイクル数

I/Oレジスタアクセスサイクル数は、「表 4.1 I/Oレジスタアドレス一覧」を参照してください。

I/Oレジスタへアクセスした場合のアクセスサイクル数は、以下の計算式によって表されます。(注1)

$$\text{I/Oレジスタアクセスサイクル数} = \text{内部メインバス1のバスサイクル数} + \\ \text{分周クロック同期化サイクル数} + \\ \text{内部周辺バス1～6のバスサイクル数}$$

内部周辺バス1～6のバスサイクル数は、アクセス先のレジスタによって異なります。

内部周辺バス2～6に接続されている周辺機能のレジスタ（バスエラー関連のレジスタは除く）へアクセスする場合には、分周クロック同期化サイクル数が追加されます。

分周クロック同期化サイクル数は、ICLKとPCLK（またはFCLK）の周波数比やバスアクセスのタイミングによって異なります。

周辺機能部では $\text{ICLK} \geq \text{PCLK}$ （または FCLK ）の周波数関係の場合、内部メインバス1のバスサイクル数と分周クロック同期化サイクル数を合わせると、PCLK（またはFCLK）で最大1サイクルとなるため、表 4.1 では 1PCLK （または FCLK ）の幅を持たせて記載しています。

また、 $\text{ICLK} < \text{PCLK}$ （または FCLK ）の周波数関係の場合、次のバスアクセスが周辺機能が終了した次のICLKサイクルから開始されるため、ICLK単位の記載となっています。

- 注1. CPUからのレジスタアクセスが、異なるバスマスタ（DMAC、DTC）のバスアクセスと競合せずに実行された場合のサイクル数です。

4.1 I/Oレジスタアドレス一覧（アドレス順）

表4.1 I/Oレジスタアドレス一覧（1 / 2 3）

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 0000h	SYSTEM	モードモニタレジスタ	MDMONR	16	16	3ICLK	
0008 0002h	SYSTEM	モードステータスレジスタ	MDSR	16	16	3ICLK	
0008 0008h	SYSTEM	システムコントロールレジスタ1	SYSCR1	16	16	3ICLK	
0008 000Ch	SYSTEM	スタンバイコントロールレジスタ	SBYCR	16	16	3ICLK	
0008 0010h	SYSTEM	モジュールストップコントロールレジスタA	MSTPCRA	32	32	3ICLK	
0008 0014h	SYSTEM	モジュールストップコントロールレジスタB	MSTPCRB	32	32	3ICLK	
0008 0018h	SYSTEM	モジュールストップコントロールレジスタC	MSTPCRC	32	32	3ICLK	
0008 001Ch	SYSTEM	モジュールストップコントロールレジスタD	MSTPCRD	32	32	3ICLK	
0008 0020h	SYSTEM	システムクロックコントロールレジスタ	SCKCR	32	32	3ICLK	
0008 0026h	SYSTEM	システムクロックコントロールレジスタ3	SCKCR3	16	16	3ICLK	
0008 0028h	SYSTEM	PLLコントロールレジスタ	PLLCR	16	16	3ICLK	
0008 002Ah	SYSTEM	PLLコントロールレジスタ2	PLLCR2	8	8	3ICLK	
0008 0032h	SYSTEM	メインクロック発振器コントロールレジスタ	MOSCCR	8	8	3ICLK	
0008 0033h	SYSTEM	サブクロック発振器コントロールレジスタ	SOSCCR	8	8	3ICLK	
0008 0034h	SYSTEM	低速オンチップオシレータコントロールレジスタ	LOCOCR	8	8	3ICLK	
0008 0035h	SYSTEM	IWDT専用オンチップオシレータコントロールレジスタ	ILOCOCR	8	8	3ICLK	
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	
0008 0037h	SYSTEM	高速オンチップオシレータコントロールレジスタ2	HOCOCR2	8	8	3ICLK	
0008 0040h	SYSTEM	発振停止検出コントロールレジスタ	OSTDCR	8	8	3ICLK	
0008 0041h	SYSTEM	発振停止検出ステータスレジスタ	OSTDSR	8	8	3ICLK	
0008 00A0h	SYSTEM	動作電力コントロールレジスタ	OPCCR	8	8	3ICLK	
0008 00A1h	SYSTEM	スリープモード復帰クロックソース切り替えレジスタ	RSTCKCR	8	8	3ICLK	
0008 00A2h	SYSTEM	メインクロック発振器ウェイトコントロールレジスタ	MOSCWTCR	8	8	3ICLK	
0008 00A3h	SYSTEM	サブクロック発振器ウェイトコントロールレジスタ	SOSCWTCR	8	8	3ICLK	
0008 00A6h	SYSTEM	PLLウェイトコントロールレジスタ	PLLWTCR	8	8	3ICLK	
0008 00A9h	SYSTEM	HOCOウェイトコントロールレジスタ2	HOCOWTCR2	8	8	3ICLK	
0008 00C0h	SYSTEM	リセットステータスレジスタ2	RSTSR2	8	8	3ICLK	
0008 00C2h	SYSTEM	ソフトウェアリセットレジスタ	SWRR	16	16	3ICLK	
0008 00E0h	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ1	LVD1CR1	8	8	3ICLK	
0008 00E1h	SYSTEM	電圧監視1回路/コンパレータA1ステータスレジスタ	LVD1SR	8	8	3ICLK	
0008 00E2h	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ1	LVD2CR1	8	8	3ICLK	
0008 00E3h	SYSTEM	電圧監視2回路/コンパレータA2ステータスレジスタ	LVD2SR	8	8	3ICLK	
0008 03FEh	SYSTEM	プロテクトレジスタ	PRCR	16	16	3ICLK	
0008 1300h	BSC	バスエラーステータスクリアレジスタ	BERCLR	8	8	2ICLK	
0008 1304h	BSC	バスエラー監視許可レジスタ	BEREN	8	8	2ICLK	
0008 1308h	BSC	バスエラーステータスレジスタ1	BERSR1	8	8	2ICLK	
0008 130Ah	BSC	バスエラーステータスレジスタ2	BERSR2	16	16	2ICLK	
0008 1310h	BSC	バスプライオリティ制御レジスタ	BUSPRI	16	16	2ICLK	
0008 2000h	DMAC0	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2004h	DMAC0	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2008h	DMAC0	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 200Ch	DMAC0	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2010h	DMAC0	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2013h	DMAC0	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2014h	DMAC0	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 2018h	DMAC0	DMAオフセットレジスタ	DMOFR	32	32	2ICLK	
0008 201Ch	DMAC0	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 201Dh	DMAC0	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 201Eh	DMAC0	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 201Fh	DMAC0	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2040h	DMAC1	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	

表4.1 I/Oレジスタアドレス一覧(2/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 2044h	DMAC1	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2048h	DMAC1	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 204Ch	DMAC1	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2050h	DMAC1	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2053h	DMAC1	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2054h	DMAC1	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 205Ch	DMAC1	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 205Dh	DMAC1	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 205Eh	DMAC1	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 205Fh	DMAC1	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2080h	DMAC2	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 2084h	DMAC2	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 2088h	DMAC2	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 208Ch	DMAC2	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 2090h	DMAC2	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 2093h	DMAC2	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 2094h	DMAC2	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 209Ch	DMAC2	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 209Dh	DMAC2	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 209Eh	DMAC2	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 209Fh	DMAC2	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 20C0h	DMAC3	DMA転送元アドレスレジスタ	DMSAR	32	32	2ICLK	
0008 20C4h	DMAC3	DMA転送先アドレスレジスタ	DMDAR	32	32	2ICLK	
0008 20C8h	DMAC3	DMA転送カウントレジスタ	DMCRA	32	32	2ICLK	
0008 20CCh	DMAC3	DMAブロック転送カウントレジスタ	DMCRB	16	16	2ICLK	
0008 20D0h	DMAC3	DMA転送モードレジスタ	DMTMD	16	16	2ICLK	
0008 20D3h	DMAC3	DMA割り込み設定レジスタ	DMINT	8	8	2ICLK	
0008 20D4h	DMAC3	DMAアドレスモードレジスタ	DMAMD	16	16	2ICLK	
0008 20DCh	DMAC3	DMA転送許可レジスタ	DMCNT	8	8	2ICLK	
0008 20DDh	DMAC3	DMAソフトウェア起動レジスタ	DMREQ	8	8	2ICLK	
0008 20DEh	DMAC3	DMAステータスレジスタ	DMSTS	8	8	2ICLK	
0008 20DFh	DMAC3	DMA起動要因フラグ制御レジスタ	DMCSL	8	8	2ICLK	
0008 2200h	DMAC	DMAモジュール起動レジスタ	DMAST	8	8	2ICLK	
0008 2400h	DTC	DTCコントロールレジスタ	DTCCR	8	8	2ICLK	
0008 2404h	DTC	DTCベクタベースレジスタ	DTCVBR	32	32	2ICLK	
0008 2408h	DTC	DTCアドレスモードレジスタ	DTCADMOD	8	8	2ICLK	
0008 240Ch	DTC	DTCモジュール起動レジスタ	DTCST	8	8	2ICLK	
0008 240Eh	DTC	DTCステータスレジスタ	DTCSTS	16	16	2ICLK	
0008 6400h	MPU	領域0開始ページ番号レジスタ	RSPAGE0	32	32	1ICLK	
0008 6404h	MPU	領域0終了ページ番号レジスタ	REPAGE0	32	32	1ICLK	
0008 6408h	MPU	領域1開始ページ番号レジスタ	RSPAGE1	32	32	1ICLK	
0008 640Ch	MPU	領域1終了ページ番号レジスタ	REPAGE1	32	32	1ICLK	
0008 6410h	MPU	領域2開始ページ番号レジスタ	RSPAGE2	32	32	1ICLK	
0008 6414h	MPU	領域2終了ページ番号レジスタ	REPAGE2	32	32	1ICLK	
0008 6418h	MPU	領域3開始ページ番号レジスタ	RSPAGE3	32	32	1ICLK	
0008 641Ch	MPU	領域3終了ページ番号レジスタ	REPAGE3	32	32	1ICLK	
0008 6420h	MPU	領域4開始ページ番号レジスタ	RSPAGE4	32	32	1ICLK	
0008 6424h	MPU	領域4終了ページ番号レジスタ	REPAGE4	32	32	1ICLK	
0008 6428h	MPU	領域5開始ページ番号レジスタ	RSPAGE5	32	32	1ICLK	
0008 642Ch	MPU	領域5終了ページ番号レジスタ	REPAGE5	32	32	1ICLK	
0008 6430h	MPU	領域6開始ページ番号レジスタ	RSPAGE6	32	32	1ICLK	
0008 6434h	MPU	領域6終了ページ番号レジスタ	REPAGE6	32	32	1ICLK	
0008 6438h	MPU	領域7開始ページ番号レジスタ	RSPAGE7	32	32	1ICLK	
0008 643Ch	MPU	領域7終了ページ番号レジスタ	REPAGE7	32	32	1ICLK	

表4.1 I/Oレジスタアドレス一覧(3 / 23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 6500h	MPU	メモリプロテクション機能有効化レジスタ	MPEN	32	32	1ICLK	
0008 6504h	MPU	バググラウンドアクセス制御レジスタ	MPBAC	32	32	1ICLK	
0008 6508h	MPU	メモリプロテクションエラーステータスクリアレジスタ	MPECLR	32	32	1ICLK	
0008 650Ch	MPU	メモリプロテクションエラーステータスレジスタ	MPESTS	32	32	1ICLK	
0008 6514h	MPU	データメモリプロテクションエラーアドレスレジスタ	MPDEA	32	32	1ICLK	
0008 6520h	MPU	領域サーチアドレスレジスタ	MPSA	32	32	1ICLK	
0008 6524h	MPU	領域サーチオペレーションレジスタ	MPOPS	16	16	1ICLK	
0008 6526h	MPU	領域インバリデイトオペレーションレジスタ	MPOPI	16	16	1ICLK	
0008 6528h	MPU	命令ヒット領域レジスタ	MHITI	32	32	1ICLK	
0008 652Ch	MPU	データヒット領域レジスタ	MHITD	32	32	1ICLK	
0008 7010h	ICU	割り込み要求レジスタ 016	IR016	8	8	2ICLK	
0008 7015h	ICU	割り込み要求レジスタ 021	IR021	8	8	2ICLK	
0008 7017h	ICU	割り込み要求レジスタ 023	IR023	8	8	2ICLK	
0008 701Bh	ICU	割り込み要求レジスタ 027	IR027	8	8	2ICLK	
0008 701Ch	ICU	割り込み要求レジスタ 028	IR028	8	8	2ICLK	
0008 701Dh	ICU	割り込み要求レジスタ 029	IR029	8	8	2ICLK	
0008 701Eh	ICU	割り込み要求レジスタ 030	IR030	8	8	2ICLK	
0008 701Fh	ICU	割り込み要求レジスタ 031	IR031	8	8	2ICLK	
0008 7020h	ICU	割り込み要求レジスタ 032	IR032	8	8	2ICLK	
0008 7021h	ICU	割り込み要求レジスタ 033	IR033	8	8	2ICLK	
0008 7022h	ICU	割り込み要求レジスタ 034	IR034	8	8	2ICLK	
0008 702Ch	ICU	割り込み要求レジスタ 044	IR044	8	8	2ICLK	
0008 702Dh	ICU	割り込み要求レジスタ 045	IR045	8	8	2ICLK	
0008 702Eh	ICU	割り込み要求レジスタ 046	IR046	8	8	2ICLK	
0008 702Fh	ICU	割り込み要求レジスタ 047	IR047	8	8	2ICLK	
0008 7030h	ICU	割り込み要求レジスタ 048	IR048	8	8	2ICLK	
0008 7031h	ICU	割り込み要求レジスタ 049	IR049	8	8	2ICLK	
0008 7032h	ICU	割り込み要求レジスタ 050	IR050	8	8	2ICLK	
0008 7033h	ICU	割り込み要求レジスタ 051	IR051	8	8	2ICLK	
0008 7039h	ICU	割り込み要求レジスタ 057	IR057	8	8	2ICLK	
0008 703Ah	ICU	割り込み要求レジスタ 058	IR058	8	8	2ICLK	
0008 703Bh	ICU	割り込み要求レジスタ 059	IR059	8	8	2ICLK	
0008 703Fh	ICU	割り込み要求レジスタ 063	IR063	8	8	2ICLK	
0008 7040h	ICU	割り込み要求レジスタ 064	IR064	8	8	2ICLK	
0008 7041h	ICU	割り込み要求レジスタ 065	IR065	8	8	2ICLK	
0008 7042h	ICU	割り込み要求レジスタ 066	IR066	8	8	2ICLK	
0008 7043h	ICU	割り込み要求レジスタ 067	IR067	8	8	2ICLK	
0008 7044h	ICU	割り込み要求レジスタ 068	IR068	8	8	2ICLK	
0008 7045h	ICU	割り込み要求レジスタ 069	IR069	8	8	2ICLK	
0008 7046h	ICU	割り込み要求レジスタ 070	IR070	8	8	2ICLK	
0008 7047h	ICU	割り込み要求レジスタ 071	IR071	8	8	2ICLK	
0008 7058h	ICU	割り込み要求レジスタ 088	IR088	8	8	2ICLK	
0008 7059h	ICU	割り込み要求レジスタ 089	IR089	8	8	2ICLK	
0008 705Ch	ICU	割り込み要求レジスタ 092	IR092	8	8	2ICLK	
0008 705Dh	ICU	割り込み要求レジスタ 093	IR093	8	8	2ICLK	
0008 7062h	ICU	割り込み要求レジスタ 098	IR098	8	8	2ICLK	
0008 706Ah	ICU	割り込み要求レジスタ 106	IR106	8	8	2ICLK	
0008 706Bh	ICU	割り込み要求レジスタ 107	IR107	8	8	2ICLK	
0008 706Ch	ICU	割り込み要求レジスタ 108	IR108	8	8	2ICLK	
0008 706Dh	ICU	割り込み要求レジスタ 109	IR109	8	8	2ICLK	
0008 7072h	ICU	割り込み要求レジスタ 114	IR114	8	8	2ICLK	
0008 7073h	ICU	割り込み要求レジスタ 115	IR115	8	8	2ICLK	
0008 7074h	ICU	割り込み要求レジスタ 116	IR116	8	8	2ICLK	
0008 7075h	ICU	割り込み要求レジスタ 117	IR117	8	8	2ICLK	

表4.1 I/Oレジスタアドレス一覧(4 / 23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK < PCLKの場合
0008 7076h	ICU	割り込み要求レジスタ 118	IR118	8	8	2ICLK	
0008 7077h	ICU	割り込み要求レジスタ 119	IR119	8	8	2ICLK	
0008 7078h	ICU	割り込み要求レジスタ 120	IR120	8	8	2ICLK	
0008 7079h	ICU	割り込み要求レジスタ 121	IR121	8	8	2ICLK	
0008 707Ah	ICU	割り込み要求レジスタ 122	IR122	8	8	2ICLK	
0008 707Bh	ICU	割り込み要求レジスタ 123	IR123	8	8	2ICLK	
0008 707Ch	ICU	割り込み要求レジスタ 124	IR124	8	8	2ICLK	
0008 707Dh	ICU	割り込み要求レジスタ 125	IR125	8	8	2ICLK	
0008 707Eh	ICU	割り込み要求レジスタ 126	IR126	8	8	2ICLK	
0008 707Fh	ICU	割り込み要求レジスタ 127	IR127	8	8	2ICLK	
0008 7080h	ICU	割り込み要求レジスタ 128	IR128	8	8	2ICLK	
0008 7081h	ICU	割り込み要求レジスタ 129	IR129	8	8	2ICLK	
0008 7082h	ICU	割り込み要求レジスタ 130	IR130	8	8	2ICLK	
0008 7083h	ICU	割り込み要求レジスタ 131	IR131	8	8	2ICLK	
0008 7084h	ICU	割り込み要求レジスタ 132	IR132	8	8	2ICLK	
0008 7085h	ICU	割り込み要求レジスタ 133	IR133	8	8	2ICLK	
0008 7086h	ICU	割り込み要求レジスタ 134	IR134	8	8	2ICLK	
0008 7087h	ICU	割り込み要求レジスタ 135	IR135	8	8	2ICLK	
0008 7088h	ICU	割り込み要求レジスタ 136	IR136	8	8	2ICLK	
0008 7089h	ICU	割り込み要求レジスタ 137	IR137	8	8	2ICLK	
0008 708Ah	ICU	割り込み要求レジスタ 138	IR138	8	8	2ICLK	
0008 708Bh	ICU	割り込み要求レジスタ 139	IR139	8	8	2ICLK	
0008 708Ch	ICU	割り込み要求レジスタ 140	IR140	8	8	2ICLK	
0008 708Dh	ICU	割り込み要求レジスタ 141	IR141	8	8	2ICLK	
0008 70AAh	ICU	割り込み要求レジスタ 170	IR170	8	8	2ICLK	
0008 70ABh	ICU	割り込み要求レジスタ 171	IR171	8	8	2ICLK	
0008 70AEh	ICU	割り込み要求レジスタ 174	IR174	8	8	2ICLK	
0008 70AFh	ICU	割り込み要求レジスタ 175	IR175	8	8	2ICLK	
0008 70B0h	ICU	割り込み要求レジスタ 176	IR176	8	8	2ICLK	
0008 70B1h	ICU	割り込み要求レジスタ 177	IR177	8	8	2ICLK	
0008 70B2h	ICU	割り込み要求レジスタ 178	IR178	8	8	2ICLK	
0008 70B3h	ICU	割り込み要求レジスタ 179	IR179	8	8	2ICLK	
0008 70B4h	ICU	割り込み要求レジスタ 180	IR180	8	8	2ICLK	
0008 70B5h	ICU	割り込み要求レジスタ 181	IR181	8	8	2ICLK	
0008 70B6h	ICU	割り込み要求レジスタ 182	IR182	8	8	2ICLK	
0008 70B7h	ICU	割り込み要求レジスタ 183	IR183	8	8	2ICLK	
0008 70B8h	ICU	割り込み要求レジスタ 184	IR184	8	8	2ICLK	
0008 70B9h	ICU	割り込み要求レジスタ 185	IR185	8	8	2ICLK	
0008 70C6h	ICU	割り込み要求レジスタ 198	IR198	8	8	2ICLK	
0008 70C7h	ICU	割り込み要求レジスタ 199	IR199	8	8	2ICLK	
0008 70C8h	ICU	割り込み要求レジスタ 200	IR200	8	8	2ICLK	
0008 70C9h	ICU	割り込み要求レジスタ 201	IR201	8	8	2ICLK	
0008 70CEh	ICU	割り込み要求レジスタ 206	IR206	8	8	2ICLK	
0008 70CFh	ICU	割り込み要求レジスタ 207	IR207	8	8	2ICLK	
0008 70D0h	ICU	割り込み要求レジスタ 208	IR208	8	8	2ICLK	
0008 70D1h	ICU	割り込み要求レジスタ 209	IR209	8	8	2ICLK	
0008 70D2h	ICU	割り込み要求レジスタ 210	IR210	8	8	2ICLK	
0008 70D3h	ICU	割り込み要求レジスタ 211	IR211	8	8	2ICLK	
0008 70D4h	ICU	割り込み要求レジスタ 212	IR212	8	8	2ICLK	
0008 70D5h	ICU	割り込み要求レジスタ 213	IR213	8	8	2ICLK	
0008 70DAh	ICU	割り込み要求レジスタ 218	IR218	8	8	2ICLK	
0008 70DBh	ICU	割り込み要求レジスタ 219	IR219	8	8	2ICLK	
0008 70DCh	ICU	割り込み要求レジスタ 220	IR220	8	8	2ICLK	
0008 70DDh	ICU	割り込み要求レジスタ 221	IR221	8	8	2ICLK	

表4.1 I/Oレジスタアドレス一覧(5 / 23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK < PCLKの場合
0008 70DEh	ICU	割り込み要求レジスタ 222	IR222	8	8	2	ICLK
0008 70DFh	ICU	割り込み要求レジスタ 223	IR223	8	8	2	ICLK
0008 70E0h	ICU	割り込み要求レジスタ 224	IR224	8	8	2	ICLK
0008 70E1h	ICU	割り込み要求レジスタ 225	IR225	8	8	2	ICLK
0008 70E2h	ICU	割り込み要求レジスタ 226	IR226	8	8	2	ICLK
0008 70E3h	ICU	割り込み要求レジスタ 227	IR227	8	8	2	ICLK
0008 70E4h	ICU	割り込み要求レジスタ 228	IR228	8	8	2	ICLK
0008 70E5h	ICU	割り込み要求レジスタ 229	IR229	8	8	2	ICLK
0008 70E6h	ICU	割り込み要求レジスタ 230	IR230	8	8	2	ICLK
0008 70E7h	ICU	割り込み要求レジスタ 231	IR231	8	8	2	ICLK
0008 70E8h	ICU	割り込み要求レジスタ 232	IR232	8	8	2	ICLK
0008 70E9h	ICU	割り込み要求レジスタ 233	IR233	8	8	2	ICLK
0008 70EAh	ICU	割り込み要求レジスタ 234	IR234	8	8	2	ICLK
0008 70EBh	ICU	割り込み要求レジスタ 235	IR235	8	8	2	ICLK
0008 70ECh	ICU	割り込み要求レジスタ 236	IR236	8	8	2	ICLK
0008 70EDh	ICU	割り込み要求レジスタ 237	IR237	8	8	2	ICLK
0008 70F6h	ICU	割り込み要求レジスタ 246	IR246	8	8	2	ICLK
0008 70F7h	ICU	割り込み要求レジスタ 247	IR247	8	8	2	ICLK
0008 70F8h	ICU	割り込み要求レジスタ 248	IR248	8	8	2	ICLK
0008 70F9h	ICU	割り込み要求レジスタ 249	IR249	8	8	2	ICLK
0008 70FAh	ICU	割り込み要求レジスタ 250	IR250	8	8	2	ICLK
0008 70FBh	ICU	割り込み要求レジスタ 251	IR251	8	8	2	ICLK
0008 70FCh	ICU	割り込み要求レジスタ 252	IR252	8	8	2	ICLK
0008 70FDh	ICU	割り込み要求レジスタ 253	IR253	8	8	2	ICLK
0008 711Bh	ICU	DTC起動許可レジスタ 027	DTCE027	8	8	2	ICLK
0008 711Ch	ICU	DTC起動許可レジスタ 028	DTCE028	8	8	2	ICLK
0008 711Dh	ICU	DTC起動許可レジスタ 029	DTCE029	8	8	2	ICLK
0008 711Eh	ICU	DTC起動許可レジスタ 030	DTCE030	8	8	2	ICLK
0008 711Fh	ICU	DTC起動許可レジスタ 031	DTCE031	8	8	2	ICLK
0008 712Dh	ICU	DTC起動許可レジスタ 045	DTCE045	8	8	2	ICLK
0008 712Eh	ICU	DTC起動許可レジスタ 046	DTCE046	8	8	2	ICLK
0008 7131h	ICU	DTC起動許可レジスタ 049	DTCE049	8	8	2	ICLK
0008 7132h	ICU	DTC起動許可レジスタ 050	DTCE050	8	8	2	ICLK
0008 713Ah	ICU	DTC起動許可レジスタ 058	DTCE058	8	8	2	ICLK
0008 713Bh	ICU	DTC起動許可レジスタ 059	DTCE059	8	8	2	ICLK
0008 7140h	ICU	DTC起動許可レジスタ 064	DTCE064	8	8	2	ICLK
0008 7141h	ICU	DTC起動許可レジスタ 065	DTCE065	8	8	2	ICLK
0008 7142h	ICU	DTC起動許可レジスタ 066	DTCE066	8	8	2	ICLK
0008 7143h	ICU	DTC起動許可レジスタ 067	DTCE067	8	8	2	ICLK
0008 7144h	ICU	DTC起動許可レジスタ 068	DTCE068	8	8	2	ICLK
0008 7145h	ICU	DTC起動許可レジスタ 069	DTCE069	8	8	2	ICLK
0008 7146h	ICU	DTC起動許可レジスタ 070	DTCE070	8	8	2	ICLK
0008 7147h	ICU	DTC起動許可レジスタ 071	DTCE071	8	8	2	ICLK
0008 7162h	ICU	DTC起動許可レジスタ 098	DTCE098	8	8	2	ICLK
0008 716Ah	ICU	DTC起動許可レジスタ 106	DTCE106	8	8	2	ICLK
0008 716Bh	ICU	DTC起動許可レジスタ 107	DTCE107	8	8	2	ICLK
0008 716Ch	ICU	DTC起動許可レジスタ 108	DTCE108	8	8	2	ICLK
0008 716Dh	ICU	DTC起動許可レジスタ 109	DTCE109	8	8	2	ICLK
0008 7172h	ICU	DTC起動許可レジスタ 114	DTCE114	8	8	2	ICLK
0008 7173h	ICU	DTC起動許可レジスタ 115	DTCE115	8	8	2	ICLK
0008 7174h	ICU	DTC起動許可レジスタ 116	DTCE116	8	8	2	ICLK
0008 7175h	ICU	DTC起動許可レジスタ 117	DTCE117	8	8	2	ICLK
0008 7179h	ICU	DTC起動許可レジスタ 121	DTCE121	8	8	2	ICLK
0008 717Ah	ICU	DTC起動許可レジスタ 122	DTCE122	8	8	2	ICLK

表4.1 I/Oレジスタアドレス一覧(6 / 23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 717Dh	ICU	DTC起動許可レジスタ 125	DTCER125	8	8	2	ICLK
0008 717Eh	ICU	DTC起動許可レジスタ 126	DTCER126	8	8	2	ICLK
0008 7181h	ICU	DTC起動許可レジスタ 129	DTCER129	8	8	2	ICLK
0008 7182h	ICU	DTC起動許可レジスタ 130	DTCER130	8	8	2	ICLK
0008 7183h	ICU	DTC起動許可レジスタ 131	DTCER131	8	8	2	ICLK
0008 7184h	ICU	DTC起動許可レジスタ 132	DTCER132	8	8	2	ICLK
0008 7186h	ICU	DTC起動許可レジスタ 134	DTCER134	8	8	2	ICLK
0008 7187h	ICU	DTC起動許可レジスタ 135	DTCER135	8	8	2	ICLK
0008 7188h	ICU	DTC起動許可レジスタ 136	DTCER136	8	8	2	ICLK
0008 7189h	ICU	DTC起動許可レジスタ 137	DTCER137	8	8	2	ICLK
0008 718Ah	ICU	DTC起動許可レジスタ 138	DTCER138	8	8	2	ICLK
0008 718Bh	ICU	DTC起動許可レジスタ 139	DTCER139	8	8	2	ICLK
0008 718Ch	ICU	DTC起動許可レジスタ 140	DTCER140	8	8	2	ICLK
0008 718Dh	ICU	DTC起動許可レジスタ 141	DTCER141	8	8	2	ICLK
0008 71AEh	ICU	DTC起動許可レジスタ 174	DTCER174	8	8	2	ICLK
0008 71AFh	ICU	DTC起動許可レジスタ 175	DTCER175	8	8	2	ICLK
0008 71B1h	ICU	DTC起動許可レジスタ 177	DTCER177	8	8	2	ICLK
0008 71B2h	ICU	DTC起動許可レジスタ 178	DTCER178	8	8	2	ICLK
0008 71B4h	ICU	DTC起動許可レジスタ 180	DTCER180	8	8	2	ICLK
0008 71B5h	ICU	DTC起動許可レジスタ 181	DTCER181	8	8	2	ICLK
0008 71B7h	ICU	DTC起動許可レジスタ 183	DTCER183	8	8	2	ICLK
0008 71B8h	ICU	DTC起動許可レジスタ 184	DTCER184	8	8	2	ICLK
0008 71C6h	ICU	DTC起動許可レジスタ 198	DTCER198	8	8	2	ICLK
0008 71C7h	ICU	DTC起動許可レジスタ 199	DTCER199	8	8	2	ICLK
0008 71C8h	ICU	DTC起動許可レジスタ 200	DTCER200	8	8	2	ICLK
0008 71C9h	ICU	DTC起動許可レジスタ 201	DTCER201	8	8	2	ICLK
0008 71CFh	ICU	DTC起動許可レジスタ 207	DTCER207	8	8	2	ICLK
0008 71D0h	ICU	DTC起動許可レジスタ 208	DTCER208	8	8	2	ICLK
0008 71D1h	ICU	DTC起動許可レジスタ 209	DTCER209	8	8	2	ICLK
0008 71D2h	ICU	DTC起動許可レジスタ 210	DTCER210	8	8	2	ICLK
0008 71D3h	ICU	DTC起動許可レジスタ 211	DTCER211	8	8	2	ICLK
0008 71D4h	ICU	DTC起動許可レジスタ 212	DTCER212	8	8	2	ICLK
0008 71D5h	ICU	DTC起動許可レジスタ 213	DTCER213	8	8	2	ICLK
0008 71DBh	ICU	DTC起動許可レジスタ 219	DTCER219	8	8	2	ICLK
0008 71DCh	ICU	DTC起動許可レジスタ 220	DTCER220	8	8	2	ICLK
0008 71DFh	ICU	DTC起動許可レジスタ 223	DTCER223	8	8	2	ICLK
0008 71E0h	ICU	DTC起動許可レジスタ 224	DTCER224	8	8	2	ICLK
0008 71E3h	ICU	DTC起動許可レジスタ 227	DTCER227	8	8	2	ICLK
0008 71E4h	ICU	DTC起動許可レジスタ 228	DTCER228	8	8	2	ICLK
0008 71E7h	ICU	DTC起動許可レジスタ 231	DTCER231	8	8	2	ICLK
0008 71E8h	ICU	DTC起動許可レジスタ 232	DTCER232	8	8	2	ICLK
0008 71EBh	ICU	DTC起動許可レジスタ 235	DTCER235	8	8	2	ICLK
0008 71ECh	ICU	DTC起動許可レジスタ 236	DTCER236	8	8	2	ICLK
0008 71F7h	ICU	DTC起動許可レジスタ 247	DTCER247	8	8	2	ICLK
0008 71F8h	ICU	DTC起動許可レジスタ 248	DTCER248	8	8	2	ICLK
0008 71FBh	ICU	DTC起動許可レジスタ 251	DTCER251	8	8	2	ICLK
0008 71FCh	ICU	DTC起動許可レジスタ 252	DTCER252	8	8	2	ICLK
0008 7202h	ICU	割り込み要求許可レジスタ 02	IER02	8	8	2	ICLK
0008 7203h	ICU	割り込み要求許可レジスタ 03	IER03	8	8	2	ICLK
0008 7204h	ICU	割り込み要求許可レジスタ 04	IER04	8	8	2	ICLK
0008 7205h	ICU	割り込み要求許可レジスタ 05	IER05	8	8	2	ICLK
0008 7206h	ICU	割り込み要求許可レジスタ 06	IER06	8	8	2	ICLK
0008 7207h	ICU	割り込み要求許可レジスタ 07	IER07	8	8	2	ICLK
0008 7208h	ICU	割り込み要求許可レジスタ 08	IER08	8	8	2	ICLK

表4.1 I/Oレジスタアドレス一覧(7/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 720Bh	ICU	割り込み要求許可レジスタ 0B	IER0B	8	8	2ICLK	
0008 720Ch	ICU	割り込み要求許可レジスタ 0C	IER0C	8	8	2ICLK	
0008 720Dh	ICU	割り込み要求許可レジスタ 0D	IER0D	8	8	2ICLK	
0008 720Eh	ICU	割り込み要求許可レジスタ 0E	IER0E	8	8	2ICLK	
0008 720Fh	ICU	割り込み要求許可レジスタ 0F	IER0F	8	8	2ICLK	
0008 7210h	ICU	割り込み要求許可レジスタ 10	IER10	8	8	2ICLK	
0008 7211h	ICU	割り込み要求許可レジスタ 11	IER11	8	8	2ICLK	
0008 7215h	ICU	割り込み要求許可レジスタ 15	IER15	8	8	2ICLK	
0008 7216h	ICU	割り込み要求許可レジスタ 16	IER16	8	8	2ICLK	
0008 7217h	ICU	割り込み要求許可レジスタ 17	IER17	8	8	2ICLK	
0008 7218h	ICU	割り込み要求許可レジスタ 18	IER18	8	8	2ICLK	
0008 7219h	ICU	割り込み要求許可レジスタ 19	IER19	8	8	2ICLK	
0008 721Ah	ICU	割り込み要求許可レジスタ 1A	IER1A	8	8	2ICLK	
0008 721Bh	ICU	割り込み要求許可レジスタ 1B	IER1B	8	8	2ICLK	
0008 721Ch	ICU	割り込み要求許可レジスタ 1C	IER1C	8	8	2ICLK	
0008 721Dh	ICU	割り込み要求許可レジスタ 1D	IER1D	8	8	2ICLK	
0008 721Eh	ICU	割り込み要求許可レジスタ 1E	IER1E	8	8	2ICLK	
0008 721Fh	ICU	割り込み要求許可レジスタ 1F	IER1F	8	8	2ICLK	
0008 72E0h	ICU	ソフトウェア割り込み起動レジスタ	SWINTR	8	8	2ICLK	
0008 72F0h	ICU	高速割り込み設定レジスタ	FIR	16	16	2ICLK	
0008 7300h	ICU	割り込み要因プライオリティレジスタ 000	IPR000	8	8	2ICLK	
0008 7301h	ICU	割り込み要因プライオリティレジスタ 001	IPR001	8	8	2ICLK	
0008 7302h	ICU	割り込み要因プライオリティレジスタ 002	IPR002	8	8	2ICLK	
0008 7303h	ICU	割り込み要因プライオリティレジスタ 003	IPR003	8	8	2ICLK	
0008 7304h	ICU	割り込み要因プライオリティレジスタ 004	IPR004	8	8	2ICLK	
0008 7305h	ICU	割り込み要因プライオリティレジスタ 005	IPR005	8	8	2ICLK	
0008 7306h	ICU	割り込み要因プライオリティレジスタ 006	IPR006	8	8	2ICLK	
0008 7307h	ICU	割り込み要因プライオリティレジスタ 007	IPR007	8	8	2ICLK	
0008 7320h	ICU	割り込み要因プライオリティレジスタ 032	IPR032	8	8	2ICLK	
0008 7321h	ICU	割り込み要因プライオリティレジスタ 033	IPR033	8	8	2ICLK	
0008 7322h	ICU	割り込み要因プライオリティレジスタ 034	IPR034	8	8	2ICLK	
0008 732Ch	ICU	割り込み要因プライオリティレジスタ 044	IPR044	8	8	2ICLK	
0008 7330h	ICU	割り込み要因プライオリティレジスタ 048	IPR048	8	8	2ICLK	
0008 7339h	ICU	割り込み要因プライオリティレジスタ 057	IPR057	8	8	2ICLK	
0008 733Ah	ICU	割り込み要因プライオリティレジスタ 058	IPR058	8	8	2ICLK	
0008 733Bh	ICU	割り込み要因プライオリティレジスタ 059	IPR059	8	8	2ICLK	
0008 733Fh	ICU	割り込み要因プライオリティレジスタ 063	IPR063	8	8	2ICLK	
0008 7340h	ICU	割り込み要因プライオリティレジスタ 064	IPR064	8	8	2ICLK	
0008 7341h	ICU	割り込み要因プライオリティレジスタ 065	IPR065	8	8	2ICLK	
0008 7342h	ICU	割り込み要因プライオリティレジスタ 066	IPR066	8	8	2ICLK	
0008 7343h	ICU	割り込み要因プライオリティレジスタ 067	IPR067	8	8	2ICLK	
0008 7344h	ICU	割り込み要因プライオリティレジスタ 068	IPR068	8	8	2ICLK	
0008 7345h	ICU	割り込み要因プライオリティレジスタ 069	IPR069	8	8	2ICLK	
0008 7346h	ICU	割り込み要因プライオリティレジスタ 070	IPR070	8	8	2ICLK	
0008 7347h	ICU	割り込み要因プライオリティレジスタ 071	IPR071	8	8	2ICLK	
0008 7358h	ICU	割り込み要因プライオリティレジスタ 088	IPR088	8	8	2ICLK	
0008 7359h	ICU	割り込み要因プライオリティレジスタ 089	IPR089	8	8	2ICLK	
0008 735Ch	ICU	割り込み要因プライオリティレジスタ 092	IPR092	8	8	2ICLK	
0008 735Dh	ICU	割り込み要因プライオリティレジスタ 093	IPR093	8	8	2ICLK	
0008 7362h	ICU	割り込み要因プライオリティレジスタ 098	IPR098	8	8	2ICLK	
0008 736Ah	ICU	割り込み要因プライオリティレジスタ 106	IPR106	8	8	2ICLK	
0008 736Bh	ICU	割り込み要因プライオリティレジスタ 107	IPR107	8	8	2ICLK	
0008 736Ch	ICU	割り込み要因プライオリティレジスタ 108	IPR108	8	8	2ICLK	
0008 736Dh	ICU	割り込み要因プライオリティレジスタ 109	IPR109	8	8	2ICLK	

表4.1 I/Oレジスタアドレス一覧(8/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 7372h	ICU	割り込み要因プライオリティレジスタ 114	IPR114	8	8	2	ICLK
0008 7376h	ICU	割り込み要因プライオリティレジスタ 118	IPR118	8	8	2	ICLK
0008 7379h	ICU	割り込み要因プライオリティレジスタ 121	IPR121	8	8	2	ICLK
0008 737Bh	ICU	割り込み要因プライオリティレジスタ 123	IPR123	8	8	2	ICLK
0008 737Dh	ICU	割り込み要因プライオリティレジスタ 125	IPR125	8	8	2	ICLK
0008 737Fh	ICU	割り込み要因プライオリティレジスタ 127	IPR127	8	8	2	ICLK
0008 7381h	ICU	割り込み要因プライオリティレジスタ 129	IPR129	8	8	2	ICLK
0008 7385h	ICU	割り込み要因プライオリティレジスタ 133	IPR133	8	8	2	ICLK
0008 7386h	ICU	割り込み要因プライオリティレジスタ 134	IPR134	8	8	2	ICLK
0008 738Ah	ICU	割り込み要因プライオリティレジスタ 138	IPR138	8	8	2	ICLK
0008 738Bh	ICU	割り込み要因プライオリティレジスタ 139	IPR139	8	8	2	ICLK
0008 73AAh	ICU	割り込み要因プライオリティレジスタ 170	IPR170	8	8	2	ICLK
0008 73ABh	ICU	割り込み要因プライオリティレジスタ 171	IPR171	8	8	2	ICLK
0008 73AEh	ICU	割り込み要因プライオリティレジスタ 174	IPR174	8	8	2	ICLK
0008 73B1h	ICU	割り込み要因プライオリティレジスタ 177	IPR177	8	8	2	ICLK
0008 73B4h	ICU	割り込み要因プライオリティレジスタ 180	IPR180	8	8	2	ICLK
0008 73B7h	ICU	割り込み要因プライオリティレジスタ 183	IPR183	8	8	2	ICLK
0008 73C6h	ICU	割り込み要因プライオリティレジスタ 198	IPR198	8	8	2	ICLK
0008 73C7h	ICU	割り込み要因プライオリティレジスタ 199	IPR199	8	8	2	ICLK
0008 73C8h	ICU	割り込み要因プライオリティレジスタ 200	IPR200	8	8	2	ICLK
0008 73C9h	ICU	割り込み要因プライオリティレジスタ 201	IPR201	8	8	2	ICLK
0008 73CEh	ICU	割り込み要因プライオリティレジスタ 206	IPR206	8	8	2	ICLK
0008 73CFh	ICU	割り込み要因プライオリティレジスタ 207	IPR207	8	8	2	ICLK
0008 73D0h	ICU	割り込み要因プライオリティレジスタ 208	IPR208	8	8	2	ICLK
0008 73D1h	ICU	割り込み要因プライオリティレジスタ 209	IPR209	8	8	2	ICLK
0008 73D2h	ICU	割り込み要因プライオリティレジスタ 210	IPR210	8	8	2	ICLK
0008 73D3h	ICU	割り込み要因プライオリティレジスタ 211	IPR211	8	8	2	ICLK
0008 73D4h	ICU	割り込み要因プライオリティレジスタ 212	IPR212	8	8	2	ICLK
0008 73D5h	ICU	割り込み要因プライオリティレジスタ 213	IPR213	8	8	2	ICLK
0008 73DAh	ICU	割り込み要因プライオリティレジスタ 218	IPR218	8	8	2	ICLK
0008 73DEh	ICU	割り込み要因プライオリティレジスタ 222	IPR222	8	8	2	ICLK
0008 73E2h	ICU	割り込み要因プライオリティレジスタ 226	IPR226	8	8	2	ICLK
0008 73E6h	ICU	割り込み要因プライオリティレジスタ 230	IPR230	8	8	2	ICLK
0008 73EAh	ICU	割り込み要因プライオリティレジスタ 234	IPR234	8	8	2	ICLK
0008 73F6h	ICU	割り込み要因プライオリティレジスタ 246	IPR246	8	8	2	ICLK
0008 73F7h	ICU	割り込み要因プライオリティレジスタ 247	IPR247	8	8	2	ICLK
0008 73F8h	ICU	割り込み要因プライオリティレジスタ 248	IPR248	8	8	2	ICLK
0008 73F9h	ICU	割り込み要因プライオリティレジスタ 249	IPR249	8	8	2	ICLK
0008 73FAh	ICU	割り込み要因プライオリティレジスタ 250	IPR250	8	8	2	ICLK
0008 73FBh	ICU	割り込み要因プライオリティレジスタ 251	IPR251	8	8	2	ICLK
0008 73FCh	ICU	割り込み要因プライオリティレジスタ 252	IPR252	8	8	2	ICLK
0008 73FDh	ICU	割り込み要因プライオリティレジスタ 253	IPR253	8	8	2	ICLK
0008 7400h	ICU	DMAC起動要求選択レジスタ 0	DMRSR0	8	8	2	ICLK
0008 7404h	ICU	DMAC起動要求選択レジスタ 1	DMRSR1	8	8	2	ICLK
0008 7408h	ICU	DMAC起動要求選択レジスタ 2	DMRSR2	8	8	2	ICLK
0008 740Ch	ICU	DMAC起動要求選択レジスタ 3	DMRSR3	8	8	2	ICLK
0008 7500h	ICU	IRQコントロールレジスタ 0	IRQCR0	8	8	2	ICLK
0008 7501h	ICU	IRQコントロールレジスタ 1	IRQCR1	8	8	2	ICLK
0008 7502h	ICU	IRQコントロールレジスタ 2	IRQCR2	8	8	2	ICLK
0008 7503h	ICU	IRQコントロールレジスタ 3	IRQCR3	8	8	2	ICLK
0008 7504h	ICU	IRQコントロールレジスタ 4	IRQCR4	8	8	2	ICLK
0008 7505h	ICU	IRQコントロールレジスタ 5	IRQCR5	8	8	2	ICLK
0008 7506h	ICU	IRQコントロールレジスタ 6	IRQCR6	8	8	2	ICLK
0008 7507h	ICU	IRQコントロールレジスタ 7	IRQCR7	8	8	2	ICLK

表4.1 I/Oレジスタアドレス一覧(9/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 7510h	ICU	IRQ端子デジタルフィルタ許可レジスタ0	IRQFLTE0	8	8	2ICLK	
0008 7514h	ICU	IRQ端子デジタルフィルタ設定レジスタ0	IRQFLTC0	16	16	2ICLK	
0008 7580h	ICU	ノンマスクابل割り込みステータスレジスタ	NMISR	8	8	2ICLK	
0008 7581h	ICU	ノンマスクابل割り込み許可レジスタ	NMIER	8	8	2ICLK	
0008 7582h	ICU	ノンマスクابل割り込みステータスクリアレジスタ	NMICLR	8	8	2ICLK	
0008 7583h	ICU	NMI端子割り込みコントロールレジスタ	NMICR	8	8	2ICLK	
0008 7590h	ICU	NMI端子デジタルフィルタ許可レジスタ	NMIFLTE	8	8	2ICLK	
0008 7594h	ICU	NMI端子デジタルフィルタ設定レジスタ	NMIFLTC	8	8	2ICLK	
0008 8000h	CMT	コンペアマッチタイムスタートレジスタ0	CMSTR0	16	16	2 ~ 3PCLKB	2ICLK
0008 8002h	CMT0	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8004h	CMT0	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8006h	CMT0	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8008h	CMT1	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 800Ah	CMT1	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 800Ch	CMT1	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8010h	CMT	コンペアマッチタイムスタートレジスタ1	CMSTR1	16	16	2 ~ 3PCLKB	2ICLK
0008 8012h	CMT2	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8014h	CMT2	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8016h	CMT2	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8018h	CMT3	コンペアマッチタイムコントロールレジスタ	CMCR	16	16	2 ~ 3PCLKB	2ICLK
0008 801Ah	CMT3	コンペアマッチタイムカウンタ	CMCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 801Ch	CMT3	コンペアマッチタイムコンスタントレジスタ	CMCOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8020h	WDT	WDTリフレッシュレジスタ	WDTRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8022h	WDT	WDTコントロールレジスタ	WDTCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8024h	WDT	WDTステータスレジスタ	WDTSR	16	16	2 ~ 3PCLKB	2ICLK
0008 8026h	WDT	WDTリセットコントロールレジスタ	WDTRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8030h	IWDT	IWDTリフレッシュレジスタ	IWDTRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8032h	IWDT	IWDTコントロールレジスタ	IWDTCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8034h	IWDT	IWDTステータスレジスタ	IWDTSR	16	16	2 ~ 3PCLKB	2ICLK
0008 8036h	IWDT	IWDTリセットコントロールレジスタ	IWDTRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8038h	IWDT	IWDTカウント停止コントロールレジスタ	IWDTCSTPR	8	8	2 ~ 3PCLKB	2ICLK
0008 80C0h	DA	D/Aデータレジスタ0	DADR0	16	16	2 ~ 3PCLKB	2ICLK
0008 80C2h	DA	D/Aデータレジスタ1	DADR1	16	16	2 ~ 3PCLKB	2ICLK
0008 80C4h	DA	D/Aコントロールレジスタ	DACR	8	8	2 ~ 3PCLKB	2ICLK
0008 80C5h	DA	DADRmフォーマット選択レジスタ	DADPR	8	8	2 ~ 3PCLKB	2ICLK
0008 8200h	TMR0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8201h	TMR1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8202h	TMR0	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8203h	TMR1	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8204h	TMR0	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK
0008 8205h	TMR1	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8206h	TMR0	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK
0008 8207h	TMR1	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8208h	TMR0	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 8209h	TMR1	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 820Ah	TMR0	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 820Bh	TMR1	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 820Ch	TMR0	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK
0008 8210h	TMR2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8211h	TMR3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8212h	TMR2	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8213h	TMR3	タイマコントロール/ステータスレジスタ	TCSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8214h	TMR2	タイムコンスタントレジスタA	TCORA	8	8	2 ~ 3PCLKB	2ICLK
0008 8215h	TMR3	タイムコンスタントレジスタA	TCORA	8	8 (注1)	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(10/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 8216h	TMR2	タイムコンスタントレジスタB	TCORB	8	8	2 ~ 3PCLKB	2ICLK
0008 8217h	TMR3	タイムコンスタントレジスタB	TCORB	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 8218h	TMR2	タイマカウンタ	TCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 8219h	TMR3	タイマカウンタ	TCNT	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 821Ah	TMR2	タイマカウンタコントロールレジスタ	TCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 821Bh	TMR3	タイマカウンタコントロールレジスタ	TCCR	8	8 (注1)	2 ~ 3PCLKB	2ICLK
0008 821Ch	TMR2	タイムカウンタスタートレジスタ	TCSTR	8	8	2 ~ 3PCLKB	2ICLK
0008 8280h	CRC	CRCコントロールレジスタ	CRCCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8281h	CRC	CRCデータ入力レジスタ	CRCDIR	8	8	2 ~ 3PCLKB	2ICLK
0008 8282h	CRC	CRCデータ出力レジスタ	CRCDOR	16	16	2 ~ 3PCLKB	2ICLK
0008 8300h	RIIC0	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8301h	RIIC0	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8302h	RIIC0	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8303h	RIIC0	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8304h	RIIC0	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 8305h	RIIC0	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK
0008 8306h	RIIC0	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK
0008 8307h	RIIC0	I ² Cバスインタラプティネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8308h	RIIC0	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8309h	RIIC0	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 830Ah	RIIC0	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK
0008 830Ah	RIIC0	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK
0008 830Bh	RIIC0	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK
0008 830Bh	RIIC0	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK
0008 830Ch	RIIC0	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK
0008 830Dh	RIIC0	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK
0008 830Eh	RIIC0	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK
0008 830Fh	RIIC0	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK
0008 8310h	RIIC0	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK
0008 8311h	RIIC0	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK
0008 8312h	RIIC0	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK
0008 8313h	RIIC0	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK
0008 8320h	RIIC1	I ² Cバスコントロールレジスタ1	ICCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8321h	RIIC1	I ² Cバスコントロールレジスタ2	ICCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8322h	RIIC1	I ² Cバスモードレジスタ1	ICMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8323h	RIIC1	I ² Cバスモードレジスタ2	ICMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8324h	RIIC1	I ² Cバスモードレジスタ3	ICMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 8325h	RIIC1	I ² Cバスファンクションイネーブルレジスタ	ICFER	8	8	2 ~ 3PCLKB	2ICLK
0008 8326h	RIIC1	I ² Cバスステータスイネーブルレジスタ	ICSER	8	8	2 ~ 3PCLKB	2ICLK
0008 8327h	RIIC1	I ² Cバスインタラプティネーブルレジスタ	ICIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8328h	RIIC1	I ² Cバスステータスレジスタ1	ICSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 8329h	RIIC1	I ² Cバスステータスレジスタ2	ICSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 832Ah	RIIC1	スレーブアドレスレジスタL0	SARL0	8	8	2 ~ 3PCLKB	2ICLK
0008 832Ah	RIIC1	タイムアウト内部カウンタL	TMOCNTL	8	8	2 ~ 3PCLKB	2ICLK
0008 832Bh	RIIC1	スレーブアドレスレジスタU0	SARU0	8	8	2 ~ 3PCLKB	2ICLK
0008 832Bh	RIIC1	タイムアウト内部カウンタU	TMOCNTU	8	8 (注2)	2 ~ 3PCLKB	2ICLK
0008 832Ch	RIIC1	スレーブアドレスレジスタL1	SARL1	8	8	2 ~ 3PCLKB	2ICLK
0008 832Dh	RIIC1	スレーブアドレスレジスタU1	SARU1	8	8	2 ~ 3PCLKB	2ICLK
0008 832Eh	RIIC1	スレーブアドレスレジスタL2	SARL2	8	8	2 ~ 3PCLKB	2ICLK
0008 832Fh	RIIC1	スレーブアドレスレジスタU2	SARU2	8	8	2 ~ 3PCLKB	2ICLK
0008 8330h	RIIC1	I ² Cバスビットレートローレベルレジスタ	ICBRL	8	8	2 ~ 3PCLKB	2ICLK
0008 8331h	RIIC1	I ² Cバスビットレートハイレベルレジスタ	ICBRH	8	8	2 ~ 3PCLKB	2ICLK
0008 8332h	RIIC1	I ² Cバス送信データレジスタ	ICDRT	8	8	2 ~ 3PCLKB	2ICLK
0008 8333h	RIIC1	I ² Cバス受信データレジスタ	ICDRR	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(11/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 8380h	RSPI0	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8381h	RSPI0	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK
0008 8382h	RSPI0	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8383h	RSPI0	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8384h	RSPI0	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK
0008 8388h	RSPI0	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8389h	RSPI0	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK
0008 838Ah	RSPI0	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK
0008 838Bh	RSPI0	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK
0008 838Ch	RSPI0	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK
0008 838Dh	RSPI0	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK
0008 838Eh	RSPI0	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK
0008 838Fh	RSPI0	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8390h	RSPI0	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK
0008 8392h	RSPI0	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK
0008 8394h	RSPI0	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK
0008 8396h	RSPI0	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK
0008 8398h	RSPI0	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK
0008 839Ah	RSPI0	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK
0008 839Ch	RSPI0	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK
0008 839Eh	RSPI0	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK
0008 83A0h	RSPI1	RSPI制御レジスタ	SPCR	8	8	2 ~ 3PCLKB	2ICLK
0008 83A1h	RSPI1	RSPIスレーブセレクト極性レジスタ	SSLP	8	8	2 ~ 3PCLKB	2ICLK
0008 83A2h	RSPI1	RSPI端子制御レジスタ	SPPCR	8	8	2 ~ 3PCLKB	2ICLK
0008 83A3h	RSPI1	RSPIステータスレジスタ	SPSR	8	8	2 ~ 3PCLKB	2ICLK
0008 83A4h	RSPI1	RSPIデータレジスタ	SPDR	32	16、32	2 ~ 3PCLKB	2ICLK
0008 83A8h	RSPI1	RSPIシーケンス制御レジスタ	SPSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 83A9h	RSPI1	RSPIシーケンスステータスレジスタ	SPSSR	8	8	2 ~ 3PCLKB	2ICLK
0008 83AAh	RSPI1	RSPIビットレートレジスタ	SPBR	8	8	2 ~ 3PCLKB	2ICLK
0008 83ABh	RSPI1	RSPIデータコントロールレジスタ	SPDCR	8	8	2 ~ 3PCLKB	2ICLK
0008 83ACh	RSPI1	RSPIクロック遅延レジスタ	SPCKD	8	8	2 ~ 3PCLKB	2ICLK
0008 83ADh	RSPI1	RSPIスレーブセレクトネゲート遅延レジスタ	SSLND	8	8	2 ~ 3PCLKB	2ICLK
0008 83AEh	RSPI1	RSPI次アクセス遅延レジスタ	SPND	8	8	2 ~ 3PCLKB	2ICLK
0008 83AFh	RSPI1	RSPI制御レジスタ2	SPCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 83B0h	RSPI1	RSPIコマンドレジスタ0	SPCMD0	16	16	2 ~ 3PCLKB	2ICLK
0008 83B2h	RSPI1	RSPIコマンドレジスタ1	SPCMD1	16	16	2 ~ 3PCLKB	2ICLK
0008 83B4h	RSPI1	RSPIコマンドレジスタ2	SPCMD2	16	16	2 ~ 3PCLKB	2ICLK
0008 83B6h	RSPI1	RSPIコマンドレジスタ3	SPCMD3	16	16	2 ~ 3PCLKB	2ICLK
0008 83B8h	RSPI1	RSPIコマンドレジスタ4	SPCMD4	16	16	2 ~ 3PCLKB	2ICLK
0008 83BAh	RSPI1	RSPIコマンドレジスタ5	SPCMD5	16	16	2 ~ 3PCLKB	2ICLK
0008 83BCh	RSPI1	RSPIコマンドレジスタ6	SPCMD6	16	16	2 ~ 3PCLKB	2ICLK
0008 83BEh	RSPI1	RSPIコマンドレジスタ7	SPCMD7	16	16	2 ~ 3PCLKB	2ICLK
0008 8410h	IRDA	IrDA制御レジスタ	IRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8600h	MTU3	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8601h	MTU4	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8602h	MTU3	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8603h	MTU4	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8604h	MTU3	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8605h	MTU3	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8606h	MTU4	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8607h	MTU4	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8608h	MTU3	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8609h	MTU4	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 860Ah	MTU	タイマアウトプットマスタ許可レジスタ	TOER	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(12/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 860Dh	MTU	タイマゲートコントロールレジスタ	TGCR	8	8	2 ~ 3PCLKB	2ICLK
0008 860Eh	MTU	タイマアウトプットコントロールレジスタ1	TOCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 860Fh	MTU	タイマアウトプットコントロールレジスタ2	TOCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 8610h	MTU3	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8612h	MTU4	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8614h	MTU	タイマ周期データレジスタ	TCDR	16	16	2 ~ 3PCLKB	2ICLK
0008 8616h	MTU	タイマデッドタイムデータレジスタ	TDDR	16	16	2 ~ 3PCLKB	2ICLK
0008 8618h	MTU3	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 861Ah	MTU3	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 861Ch	MTU4	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 861Eh	MTU4	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8620h	MTU	タイマサブカウンタ	TCNTS	16	16	2 ~ 3PCLKB	2ICLK
0008 8622h	MTU	タイマ周期パッファレジスタ	TCBR	16	16	2 ~ 3PCLKB	2ICLK
0008 8624h	MTU3	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 8626h	MTU3	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 8628h	MTU4	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 862Ah	MTU4	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 862Ch	MTU3	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 862Dh	MTU4	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8630h	MTU	タイマ割り込み間引き設定レジスタ	TITCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8631h	MTU	タイマ割り込み間引き回数カウンタ	TITCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 8632h	MTU	タイマパッファ転送設定レジスタ	TBTERR	8	8	2 ~ 3PCLKB	2ICLK
0008 8634h	MTU	タイマデッドタイム許可レジスタ	TDERR	8	8	2 ~ 3PCLKB	2ICLK
0008 8636h	MTU	タイマアウトプットレベルパッファレジスタ	TOLBR	8	8	2 ~ 3PCLKB	2ICLK
0008 8638h	MTU3	タイマパッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK
0008 8639h	MTU4	タイマパッファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK
0008 8640h	MTU4	タイマA/D変換開始要求コントロールレジスタ	TADCR	16	16	2 ~ 3PCLKB	2ICLK
0008 8644h	MTU4	タイマA/D変換開始要求周期設定レジスタA	TADCORA	16	16	2 ~ 3PCLKB	2ICLK
0008 8646h	MTU4	タイマA/D変換開始要求周期設定レジスタB	TADCORB	16	16	2 ~ 3PCLKB	2ICLK
0008 8648h	MTU4	タイマA/D変換開始要求周期設定パッファレジスタA	TADCOBRA	16	16	2 ~ 3PCLKB	2ICLK
0008 864Ah	MTU4	タイマA/D変換開始要求周期設定パッファレジスタB	TADCOBRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8660h	MTU	タイマ波形コントロールレジスタ	TWCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8680h	MTU	タイマスタートレジスタ	TSTR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8681h	MTU	タイマシンクロレジスタ	TSYR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8684h	MTU	タイマリードライト許可レジスタ	TRWER	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8690h	MTU0	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8691h	MTU1	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8692h	MTU2	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8693h	MTU3	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8694h	MTU4	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8695h	MTU5	ノイズフィルタコントロールレジスタ	NFCR	8	8、16	2 ~ 3PCLKB	2ICLK
0008 8700h	MTU0	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8701h	MTU0	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8702h	MTU0	タイマI/OコントロールレジスタH	TIORH	8	8	2 ~ 3PCLKB	2ICLK
0008 8703h	MTU0	タイマI/OコントロールレジスタL	TIORL	8	8	2 ~ 3PCLKB	2ICLK
0008 8704h	MTU0	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8705h	MTU0	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8706h	MTU0	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8708h	MTU0	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 870Ah	MTU0	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 870Ch	MTU0	タイマジェネラルレジスタC	TGRC	16	16	2 ~ 3PCLKB	2ICLK
0008 870Eh	MTU0	タイマジェネラルレジスタD	TGRD	16	16	2 ~ 3PCLKB	2ICLK
0008 8720h	MTU0	タイマジェネラルレジスタE	TGRE	16	16	2 ~ 3PCLKB	2ICLK
0008 8722h	MTU0	タイマジェネラルレジスタF	TGRF	16	16	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(13/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 8724h	MTU0	タイマ割り込み許可レジスタ2	TIER2	8	8	2 ~ 3PCLKB	2ICLK
0008 8726h	MTU0	タイマパルファ動作転送モードレジスタ	TBTM	8	8	2 ~ 3PCLKB	2ICLK
0008 8780h	MTU1	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8781h	MTU1	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8782h	MTU1	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK
0008 8784h	MTU1	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8785h	MTU1	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8786h	MTU1	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8788h	MTU1	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 878Ah	MTU1	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8790h	MTU1	タイマインプットキャプチャコントロールレジスタ	TICCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8800h	MTU2	タイマコントロールレジスタ	TCR	8	8	2 ~ 3PCLKB	2ICLK
0008 8801h	MTU2	タイマモードレジスタ	TMDR	8	8	2 ~ 3PCLKB	2ICLK
0008 8802h	MTU2	タイマI/Oコントロールレジスタ	TIOR	8	8	2 ~ 3PCLKB	2ICLK
0008 8804h	MTU2	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 8805h	MTU2	タイマステータスレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 8806h	MTU2	タイマカウンタ	TCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 8808h	MTU2	タイマジェネラルレジスタA	TGRA	16	16	2 ~ 3PCLKB	2ICLK
0008 880Ah	MTU2	タイマジェネラルレジスタB	TGRB	16	16	2 ~ 3PCLKB	2ICLK
0008 8880h	MTU5	タイマカウンタU	TCNTU	16	16	2 ~ 3PCLKB	2ICLK
0008 8882h	MTU5	タイマジェネラルレジスタU	TGRU	16	16	2 ~ 3PCLKB	2ICLK
0008 8884h	MTU5	タイマコントロールレジスタU	TCRU	8	8	2 ~ 3PCLKB	2ICLK
0008 8886h	MTU5	タイマI/OコントロールレジスタU	TIORU	8	8	2 ~ 3PCLKB	2ICLK
0008 8890h	MTU5	タイマカウンタV	TCNTV	16	16	2 ~ 3PCLKB	2ICLK
0008 8892h	MTU5	タイマジェネラルレジスタV	TGRV	16	16	2 ~ 3PCLKB	2ICLK
0008 8894h	MTU5	タイマコントロールレジスタV	TCRV	8	8	2 ~ 3PCLKB	2ICLK
0008 8896h	MTU5	タイマI/OコントロールレジスタV	TIORV	8	8	2 ~ 3PCLKB	2ICLK
0008 88A0h	MTU5	タイマカウンタW	TCNTW	16	16	2 ~ 3PCLKB	2ICLK
0008 88A2h	MTU5	タイマジェネラルレジスタW	TGRW	16	16	2 ~ 3PCLKB	2ICLK
0008 88A4h	MTU5	タイマコントロールレジスタW	TCRW	8	8	2 ~ 3PCLKB	2ICLK
0008 88A6h	MTU5	タイマI/OコントロールレジスタW	TIORW	8	8	2 ~ 3PCLKB	2ICLK
0008 88B2h	MTU5	タイマ割り込み許可レジスタ	TIER	8	8	2 ~ 3PCLKB	2ICLK
0008 88B4h	MTU5	タイマスタートレジスタ	TSR	8	8	2 ~ 3PCLKB	2ICLK
0008 88B6h	MTU5	タイマコンペアマッチクリアレジスタ	TCNTCMPCLR	8	8	2 ~ 3PCLKB	2ICLK
0008 8900h	POE	入力レベルコントロール/ステータスレジスタ1	ICSR1	16	8、16	2 ~ 3PCLKB	2ICLK
0008 8902h	POE	出力レベルコントロール/ステータスレジスタ1	OCSR1	16	8、16	2 ~ 3PCLKB	2ICLK
0008 8908h	POE	入力レベルコントロール/ステータスレジスタ2	ICSR2	16	8、16	2 ~ 3PCLKB	2ICLK
0008 890Ah	POE	ソフトウェアポートアウトプットイネーブルレジスタ	SPOER	8	8	2 ~ 3PCLKB	2ICLK
0008 890Bh	POE	ポートアウトプットイネーブルコントロールレジスタ1	POECR1	8	8	2 ~ 3PCLKB	2ICLK
0008 890Ch	POE	ポートアウトプットイネーブルコントロールレジスタ2	POECR2	8	8	2 ~ 3PCLKB	2ICLK
0008 890Eh	POE	入力レベルコントロール/ステータスレジスタ3	ICSR3	16	8、16	2 ~ 3PCLKB	2ICLK
0008 9800h	AD	A/Dコントロールレジスタ	ADCSR	16	16	2 ~ 3PCLKB	2ICLK
0008 9804h	AD	A/Dチャンネル選択レジスタA	ADANSA	16	16	2 ~ 3PCLKB	2ICLK
0008 9808h	AD	A/D変換値加算モード選択レジスタ	ADADS	16	16	2 ~ 3PCLKB	2ICLK
0008 980Ch	AD	A/D変換値加算回数選択レジスタ	ADADC	8	8	2 ~ 3PCLKB	2ICLK
0008 980Eh	AD	A/Dコントロール拡張レジスタ	ADCER	16	16	2 ~ 3PCLKB	2ICLK
0008 9810h	AD	A/D開始トリガ選択レジスタ	ADSTRGR	16	16	2 ~ 3PCLKB	2ICLK
0008 9812h	AD	A/D変換拡張入力コントロールレジスタ	ADEXICR	16	16	2 ~ 3PCLKB	2ICLK
0008 981Ah	AD	A/D温度センサデータレジスタ	ADTSR	16	16	2 ~ 3PCLKB	2ICLK
0008 981Ch	AD	A/D内部基準電圧データレジスタ	ADOCDR	16	16	2 ~ 3PCLKB	2ICLK
0008 981Eh	AD	A/D自己診断データレジスタ	ADRD	16	16	2 ~ 3PCLKB	2ICLK
0008 9820h	AD	A/Dデータレジスタ0	ADDR0	16	16	2 ~ 3PCLKB	2ICLK
0008 9822h	AD	A/Dデータレジスタ1	ADDR1	16	16	2 ~ 3PCLKB	2ICLK
0008 9824h	AD	A/Dデータレジスタ2	ADDR2	16	16	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(14/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 9826h	AD	A/Dデータレジスタ3	ADDR3	16	16	2 ~ 3PCLKB	2ICLK
0008 9828h	AD	A/Dデータレジスタ4	ADDR4	16	16	2 ~ 3PCLKB	2ICLK
0008 982Ah	AD	A/Dデータレジスタ5	ADDR5	16	16	2 ~ 3PCLKB	2ICLK
0008 982Ch	AD	A/Dデータレジスタ6	ADDR6	16	16	2 ~ 3PCLKB	2ICLK
0008 9860h	AD	A/Dサンプリングステートレジスタ0	ADSSTR0	8	8	2 ~ 3PCLKB	2ICLK
0008 9870h	AD	A/DサンプリングステートレジスタT	ADSSTRT	8	8	2 ~ 3PCLKB	2ICLK
0008 9871h	AD	A/DサンプリングステートレジスタO	ADSSTRO	8	8	2 ~ 3PCLKB	2ICLK
0008 9873h	AD	A/Dサンプリングステートレジスタ1	ADSSTR1	8	8	2 ~ 3PCLKB	2ICLK
0008 9874h	AD	A/Dサンプリングステートレジスタ2	ADSSTR2	8	8	2 ~ 3PCLKB	2ICLK
0008 9875h	AD	A/Dサンプリングステートレジスタ3	ADSSTR3	8	8	2 ~ 3PCLKB	2ICLK
0008 9876h	AD	A/Dサンプリングステートレジスタ4	ADSSTR4	8	8	2 ~ 3PCLKB	2ICLK
0008 9877h	AD	A/Dサンプリングステートレジスタ5	ADSSTR5	8	8	2 ~ 3PCLKB	2ICLK
0008 9878h	AD	A/Dサンプリングステートレジスタ6	ADSSTR6	8	8	2 ~ 3PCLKB	2ICLK
0008 987Ah	AD	A/D断線検出コントロールレジスタ	ADDISCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A020h	SCI1	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A021h	SCI1	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A022h	SCI1	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A023h	SCI1	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A024h	SCI1	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A025h	SCI1	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A026h	SCI1	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A027h	SCI1	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A028h	SCI1	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A029h	SCI1	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Ah	SCI1	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Bh	SCI1	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Ch	SCI1	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A02Dh	SCI1	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A0h	SCI5	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A1h	SCI5	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A2h	SCI5	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A3h	SCI5	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A4h	SCI5	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A5h	SCI5	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A6h	SCI5	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A7h	SCI5	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A8h	SCI5	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0A9h	SCI5	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A0AAh	SCI5	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ABh	SCI5	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ACh	SCI5	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0ADh	SCI5	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C0h	SCI6	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C1h	SCI6	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C2h	SCI6	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C3h	SCI6	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C4h	SCI6	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C5h	SCI6	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C6h	SCI6	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C7h	SCI6	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C8h	SCI6	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0C9h	SCI6	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A0CAh	SCI6	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A0CBh	SCI6	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(15/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 A0CCh	SCI6	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A0CDh	SCI6	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A100h	SCI8	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A101h	SCI8	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A102h	SCI8	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A103h	SCI8	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A104h	SCI8	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A105h	SCI8	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A106h	SCI8	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A107h	SCI8	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A108h	SCI8	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A109h	SCI8	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Ah	SCI8	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Bh	SCI8	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Ch	SCI8	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A10Dh	SCI8	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A120h	SCI9	シリアルモードレジスタ	SMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A121h	SCI9	ビットレートレジスタ	BRR	8	8	2 ~ 3PCLKB	2ICLK
0008 A122h	SCI9	シリアルコントロールレジスタ	SCR	8	8	2 ~ 3PCLKB	2ICLK
0008 A123h	SCI9	トランスミットデータレジスタ	TDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A124h	SCI9	シリアルステータスレジスタ	SSR	8	8	2 ~ 3PCLKB	2ICLK
0008 A125h	SCI9	レシーブデータレジスタ	RDR	8	8	2 ~ 3PCLKB	2ICLK
0008 A126h	SCI9	スマートカードモードレジスタ	SCMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A127h	SCI9	シリアル拡張モードレジスタ	SEMR	8	8	2 ~ 3PCLKB	2ICLK
0008 A128h	SCI9	ノイズフィルタ設定レジスタ	SNFR	8	8	2 ~ 3PCLKB	2ICLK
0008 A129h	SCI9	I ² Cモードレジスタ1	SIMR1	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Ah	SCI9	I ² Cモードレジスタ2	SIMR2	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Bh	SCI9	I ² Cモードレジスタ3	SIMR3	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Ch	SCI9	I ² Cステータスレジスタ	SISR	8	8	2 ~ 3PCLKB	2ICLK
0008 A12Dh	SCI9	SPIモードレジスタ	SPMR	8	8	2 ~ 3PCLKB	2ICLK
0008 B000h	CAC	CACコントロールレジスタ0	CACR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B001h	CAC	CACコントロールレジスタ1	CACR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B002h	CAC	CACコントロールレジスタ2	CACR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B003h	CAC	CAC割り込みコントロールレジスタ	CAICR	8	8	2 ~ 3PCLKB	2ICLK
0008 B004h	CAC	CACステータスレジスタ	CASTR	8	8	2 ~ 3PCLKB	2ICLK
0008 B006h	CAC	CAC上限値設定レジスタ	CAULVR	16	16	2 ~ 3PCLKB	2ICLK
0008 B008h	CAC	CAC下限値設定レジスタ	CALLVR	16	16	2 ~ 3PCLKB	2ICLK
0008 B00Ah	CAC	CACカウンタバッファレジスタ	CACNTBR	16	16	2 ~ 3PCLKB	2ICLK
0008 B080h	DOC	DOCコントロールレジスタ	DOCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B082h	DOC	DOCデータインプットレジスタ	DODIR	16	16	2 ~ 3PCLKB	2ICLK
0008 B084h	DOC	DOCデータセッティングレジスタ	DODSR	16	16	2 ~ 3PCLKB	2ICLK
0008 B100h	ELC	イベントリンクコントロールレジスタ	ELCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B101h	ELC	イベントリンク設定レジスタ0	ELSR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B102h	ELC	イベントリンク設定レジスタ1	ELSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B103h	ELC	イベントリンク設定レジスタ2	ELSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B104h	ELC	イベントリンク設定レジスタ3	ELSR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B105h	ELC	イベントリンク設定レジスタ4	ELSR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B106h	ELC	イベントリンク設定レジスタ5	ELSR5	8	8	2 ~ 3PCLKB	2ICLK
0008 B108h	ELC	イベントリンク設定レジスタ7	ELSR7	8	8	2 ~ 3PCLKB	2ICLK
0008 B10Bh	ELC	イベントリンク設定レジスタ10	ELSR10	8	8	2 ~ 3PCLKB	2ICLK
0008 B10Dh	ELC	イベントリンク設定レジスタ12	ELSR12	8	8	2 ~ 3PCLKB	2ICLK
0008 B10Fh	ELC	イベントリンク設定レジスタ14	ELSR14	8	8	2 ~ 3PCLKB	2ICLK
0008 B111h	ELC	イベントリンク設定レジスタ16	ELSR16	8	8	2 ~ 3PCLKB	2ICLK
0008 B113h	ELC	イベントリンク設定レジスタ18	ELSR18	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(16/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 B114h	ELC	イベントリンク設定レジスタ19	ELSR19	8	8	2 ~ 3PCLKB	2ICLK
0008 B115h	ELC	イベントリンク設定レジスタ20	ELSR20	8	8	2 ~ 3PCLKB	2ICLK
0008 B116h	ELC	イベントリンク設定レジスタ21	ELSR21	8	8	2 ~ 3PCLKB	2ICLK
0008 B117h	ELC	イベントリンク設定レジスタ22	ELSR22	8	8	2 ~ 3PCLKB	2ICLK
0008 B118h	ELC	イベントリンク設定レジスタ23	ELSR23	8	8	2 ~ 3PCLKB	2ICLK
0008 B119h	ELC	イベントリンク設定レジスタ24	ELSR24	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Ah	ELC	イベントリンク設定レジスタ25	ELSR25	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Bh	ELC	イベントリンク設定レジスタ26	ELSR26	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Ch	ELC	イベントリンク設定レジスタ27	ELSR27	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Dh	ELC	イベントリンク設定レジスタ28	ELSR28	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Eh	ELC	イベントリンク設定レジスタ29	ELSR29	8	8	2 ~ 3PCLKB	2ICLK
0008 B11Fh	ELC	イベントリンクオプション設定レジスタA	ELOPA	8	8	2 ~ 3PCLKB	2ICLK
0008 B120h	ELC	イベントリンクオプション設定レジスタB	ELOPB	8	8	2 ~ 3PCLKB	2ICLK
0008 B121h	ELC	イベントリンクオプション設定レジスタC	ELOPC	8	8	2 ~ 3PCLKB	2ICLK
0008 B122h	ELC	イベントリンクオプション設定レジスタD	ELOPD	8	8	2 ~ 3PCLKB	2ICLK
0008 B123h	ELC	ポートグループ指定レジスタ1	PGR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B124h	ELC	ポートグループ指定レジスタ2	PGR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B125h	ELC	ポートグループコントロールレジスタ1	PGC1	8	8	2 ~ 3PCLKB	2ICLK
0008 B126h	ELC	ポートグループコントロールレジスタ2	PGC2	8	8	2 ~ 3PCLKB	2ICLK
0008 B127h	ELC	ポートバッファレジスタ1	PDBF1	8	8	2 ~ 3PCLKB	2ICLK
0008 B128h	ELC	ポートバッファレジスタ2	PDBF2	8	8	2 ~ 3PCLKB	2ICLK
0008 B129h	ELC	イベント接続ポート指定レジスタ0	PEL0	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Ah	ELC	イベント接続ポート指定レジスタ1	PEL1	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Bh	ELC	イベント接続ポート指定レジスタ2	PEL2	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Ch	ELC	イベント接続ポート指定レジスタ3	PEL3	8	8	2 ~ 3PCLKB	2ICLK
0008 B12Dh	ELC	イベントリンクソフトウェアイベント発生レジスタ	ELSEGR	8	8	2 ~ 3PCLKB	2ICLK
0008 B130h	ELC	イベントリンク設定レジスタ30	ELSR30	8	8	2 ~ 3PCLKB	2ICLK
0008 B131h	ELC	イベントリンク設定レジスタ31	ELSR31	8	8	2 ~ 3PCLKB	2ICLK
0008 B132h	ELC	イベントリンク設定レジスタ32	ELSR32	8	8	2 ~ 3PCLKB	2ICLK
0008 B133h	ELC	イベントリンク設定レジスタ33	ELSR33	8	8	2 ~ 3PCLKB	2ICLK
0008 B134h	ELC	イベントリンク設定レジスタ34	ELSR34	8	8	2 ~ 3PCLKB	2ICLK
0008 B135h	ELC	イベントリンク設定レジスタ35	ELSR35	8	8	2 ~ 3PCLKB	2ICLK
0008 B136h	ELC	イベントリンク設定レジスタ36	ELSR36	8	8	2 ~ 3PCLKB	2ICLK
0008 B401h	DSAD	ΔΣA/Dリセットレジスタ	DSADRSTR	8	8	2 ~ 3PCLKB	2ICLK
0008 B402h	DSAD	ΔΣA/Dリファレンス制御レジスタ	DSADRCR	8	8	2 ~ 3PCLKB	2ICLK
0008 B403h	DSAD	ΔΣA/D制御拡張選択レジスタ	DSADCER	8	8	2 ~ 3PCLKB	2ICLK
0008 B410h	DSAD	ΔΣA/Dコントロールレジスタ0	DSADCR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B411h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ0	DSADCSR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B412h	DSAD	ΔΣA/Dゲイン選択レジスタ0	DSADGSR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B413h	DSAD	ΔΣA/D上書きフラグレジスタ0	DSADFR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B414h	DSAD	ΔΣA/Dデータレジスタ0	DSADDR0	32	32	2 ~ 3PCLKB	2ICLK
0008 B418h	DSAD	ΔΣA/D入力選択レジスタ0	DSADISR0	8	8	2 ~ 3PCLKB	2ICLK
0008 B420h	DSAD	ΔΣA/Dコントロールレジスタ1	DSADCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B421h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ1	DSADCSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B422h	DSAD	ΔΣA/Dゲイン選択レジスタ1	DSADGSR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B423h	DSAD	ΔΣA/D上書きフラグレジスタ1	DSADFR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B424h	DSAD	ΔΣA/Dデータレジスタ1	DSADDR1	32	32	2 ~ 3PCLKB	2ICLK
0008 B428h	DSAD	ΔΣA/D入力選択レジスタ1	DSADISR1	8	8	2 ~ 3PCLKB	2ICLK
0008 B430h	DSAD	ΔΣA/Dコントロールレジスタ2	DSADCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B431h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ2	DSADCSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B432h	DSAD	ΔΣA/Dゲイン選択レジスタ2	DSADGSR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B433h	DSAD	ΔΣA/D上書きフラグレジスタ2	DSADFR2	8	8	2 ~ 3PCLKB	2ICLK
0008 B434h	DSAD	ΔΣA/Dデータレジスタ2	DSADDR2	32	32	2 ~ 3PCLKB	2ICLK
0008 B438h	DSAD	ΔΣA/D入力選択レジスタ2	DSADISR2	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(17/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 B440h	DSAD	ΔΣA/Dコントロールレジスタ3	DSADCR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B441h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ3	DSADCSR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B442h	DSAD	ΔΣA/Dゲイン選択レジスタ3	DSADGSR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B443h	DSAD	ΔΣA/D上書きフラグレジスタ3	DSADFR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B444h	DSAD	ΔΣA/Dデータレジスタ3	DSADDR3	32	32	2 ~ 3PCLKB	2ICLK
0008 B448h	DSAD	ΔΣA/D入力選択レジスタ3	DSADISR3	8	8	2 ~ 3PCLKB	2ICLK
0008 B450h	DSAD	ΔΣA/Dコントロールレジスタ4	DSADCR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B451h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ4	DSADCSR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B452h	DSAD	ΔΣA/Dゲイン選択レジスタ4	DSADGSR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B453h	DSAD	ΔΣA/D上書きフラグレジスタ4	DSADFR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B454h	DSAD	ΔΣA/Dデータレジスタ4	DSADDR4	32	32	2 ~ 3PCLKB	2ICLK
0008 B458h	DSAD	ΔΣA/D入力選択レジスタ4	DSADISR4	8	8	2 ~ 3PCLKB	2ICLK
0008 B460h	DSAD	ΔΣA/Dコントロールレジスタ5	DSADCR5	8	8	2 ~ 3PCLKB	2ICLK
0008 B461h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ5	DSADCSR5	8	8	2 ~ 3PCLKB	2ICLK
0008 B462h	DSAD	ΔΣA/Dゲイン選択レジスタ5	DSADGSR5	8	8	2 ~ 3PCLKB	2ICLK
0008 B463h	DSAD	ΔΣA/D上書きフラグレジスタ5	DSADFR5	8	8	2 ~ 3PCLKB	2ICLK
0008 B464h	DSAD	ΔΣA/Dデータレジスタ5	DSADDR5	32	32	2 ~ 3PCLKB	2ICLK
0008 B468h	DSAD	ΔΣA/D入力選択レジスタ5	DSADISR5	8	8	2 ~ 3PCLKB	2ICLK
0008 B470h	DSAD	ΔΣA/Dコントロールレジスタ6	DSADCR6	8	8	2 ~ 3PCLKB	2ICLK
0008 B471h	DSAD	ΔΣA/Dコントロール/ステータスレジスタ6	DSADCSR6	8	8	2 ~ 3PCLKB	2ICLK
0008 B472h	DSAD	ΔΣA/Dゲイン選択レジスタ6	DSADGSR6	8	8	2 ~ 3PCLKB	2ICLK
0008 B473h	DSAD	ΔΣA/D上書きフラグレジスタ6	DSADFR6	8	8	2 ~ 3PCLKB	2ICLK
0008 B474h	DSAD	ΔΣA/Dデータレジスタ6	DSADDR6	32	32	2 ~ 3PCLKB	2ICLK
0008 B478h	DSAD	ΔΣA/D入力選択レジスタ6	DSADISR6	8	8	2 ~ 3PCLKB	2ICLK
0008 C000h	PORT0	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C001h	PORT1	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C002h	PORT2	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C003h	PORT3	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C004h	PORT4	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C005h	PORT5	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Ah	PORTA	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Bh	PORTB	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Ch	PORTC	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C00Eh	PORTE	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C011h	PORTH	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C012h	PORTJ	ポート方向レジスタ	PDR	8	8	2 ~ 3PCLKB	2ICLK
0008 C020h	PORT0	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C021h	PORT1	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C022h	PORT2	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C023h	PORT3	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C024h	PORT4	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C025h	PORT5	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Ah	PORTA	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Bh	PORTB	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Ch	PORTC	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C02Eh	PORTE	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C031h	PORTH	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C032h	PORTJ	ポート出カデータレジスタ	PODR	8	8	2 ~ 3PCLKB	2ICLK
0008 C040h	PORT0	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C041h	PORT1	ポート入カデータレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK

表4.1 I/Oレジスタアドレス一覧(18/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C042h	PORT2	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C043h	PORT3	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C044h	PORT4	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C045h	PORT5	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C04Ah	PORTA	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C04Bh	PORTB	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C04Ch	PORTC	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C04Eh	PORTE	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C051h	PORTH	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C052h	PORTJ	ポート入力データレジスタ	PIDR	8	8	リード時 3 ~ 4PCLKB、 ライト時 2 ~ 3PCLKB	リード時 3ICLK、ライ ト時 2ICLK
0008 C060h	PORT0	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C061h	PORT1	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C062h	PORT2	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C063h	PORT3	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C064h	PORT4	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C065h	PORT5	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C06Ah	PORTA	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C06Bh	PORTB	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C06Ch	PORTC	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C06Eh	PORTE	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C071h	PORTH	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C072h	PORTJ	ポートモードレジスタ	PMR	8	8	2 ~ 3PCLKB	2ICLK
0008 C082h	PORT1	オーブドレイン制御レジスタ0	ODR0	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C083h	PORT1	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C084h	PORT2	オーブドレイン制御レジスタ0	ODR0	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C085h	PORT2	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C086h	PORT3	オーブドレイン制御レジスタ0	ODR0	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C087h	PORT3	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C094h	PORTA	オーブドレイン制御レジスタ0	ODR0	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C095h	PORTA	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C096h	PORTB	オーブドレイン制御レジスタ0	ODR0	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C097h	PORTB	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C098h	PORTC	オーブドレイン制御レジスタ0	ODR0	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C099h	PORTC	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C09Dh	PORTE	オーブドレイン制御レジスタ1	ODR1	8	8、16	2 ~ 3PCLKB	2ICLK
0008 C0C0h	PORT0	プルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(19/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C0C1h	PORT1	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C2h	PORT2	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C3h	PORT3	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C4h	PORT4	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0C5h	PORT5	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CAh	PORTA	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CBh	PORTB	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CCh	PORTC	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0CEh	PORTE	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0D1h	PORTH	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0D2h	PORTJ	ブルアップ制御レジスタ	PCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E1h	PORT1	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E2h	PORT2	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E3h	PORT3	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0E5h	PORT5	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EAh	PORTA	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EBh	PORTB	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0ECh	PORTC	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0EEh	PORTE	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0F1h	PORTH	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C0F2h	PORTJ	駆動能力制御レジスタ	DSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C11Fh	MPC	書き込みプロテクトレジスタ	PWPR	8	8	2 ~ 3PCLKB	2ICLK
0008 C121h	PORT	ポート切り替えレジスタA	PSRA	8	8	2 ~ 3PCLKB	2ICLK
0008 C143h	MPC	P03端子機能制御レジスタ	P03PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C145h	MPC	P05端子機能制御レジスタ	P05PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C147h	MPC	P07端子機能制御レジスタ	P07PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C14Ah	MPC	P12端子機能制御レジスタ	P12PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C14Bh	MPC	P13端子機能制御レジスタ	P13PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C14Ch	MPC	P14端子機能制御レジスタ	P14PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C14Dh	MPC	P15端子機能制御レジスタ	P15PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C14Eh	MPC	P16端子機能制御レジスタ	P16PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C14Fh	MPC	P17端子機能制御レジスタ	P17PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C150h	MPC	P20端子機能制御レジスタ	P20PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C151h	MPC	P21端子機能制御レジスタ	P21PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C152h	MPC	P22端子機能制御レジスタ	P22PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C153h	MPC	P23端子機能制御レジスタ	P23PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C154h	MPC	P24端子機能制御レジスタ	P24PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C155h	MPC	P25端子機能制御レジスタ	P25PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C156h	MPC	P26端子機能制御レジスタ	P26PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C157h	MPC	P27端子機能制御レジスタ	P27PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C158h	MPC	P30端子機能制御レジスタ	P30PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C159h	MPC	P31端子機能制御レジスタ	P31PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C15Ah	MPC	P32端子機能制御レジスタ	P32PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C15Bh	MPC	P33端子機能制御レジスタ	P33PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C15Ch	MPC	P34端子機能制御レジスタ	P34PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C160h	MPC	P40端子機能制御レジスタ	P40PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C161h	MPC	P41端子機能制御レジスタ	P41PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C162h	MPC	P42端子機能制御レジスタ	P42PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C163h	MPC	P43端子機能制御レジスタ	P43PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C168h	MPC	P50端子機能制御レジスタ	P50PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C169h	MPC	P51端子機能制御レジスタ	P51PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C16Ah	MPC	P52端子機能制御レジスタ	P52PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C16Ch	MPC	P54端子機能制御レジスタ	P54PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C16Dh	MPC	P55端子機能制御レジスタ	P55PFS	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(20/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C190h	MPC	PA0端子機能制御レジスタ	PA0PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C191h	MPC	PA1端子機能制御レジスタ	PA1PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C192h	MPC	PA2端子機能制御レジスタ	PA2PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C193h	MPC	PA3端子機能制御レジスタ	PA3PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C194h	MPC	PA4端子機能制御レジスタ	PA4PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C195h	MPC	PA5端子機能制御レジスタ	PA5PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C196h	MPC	PA6端子機能制御レジスタ	PA6PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C197h	MPC	PA7端子機能制御レジスタ	PA7PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C198h	MPC	PB0端子機能制御レジスタ	PB0PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C199h	MPC	PB1端子機能制御レジスタ	PB1PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C19Ah	MPC	PB2端子機能制御レジスタ	PB2PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C19Bh	MPC	PB3端子機能制御レジスタ	PB3PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C19Ch	MPC	PB4端子機能制御レジスタ	PB4PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C19Dh	MPC	PB5端子機能制御レジスタ	PB5PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C19Eh	MPC	PB6端子機能制御レジスタ	PB6PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C19Fh	MPC	PB7端子機能制御レジスタ	PB7PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A0h	MPC	PC0端子機能制御レジスタ	PC0PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A1h	MPC	PC1端子機能制御レジスタ	PC1PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A2h	MPC	PC2端子機能制御レジスタ	PC2PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A3h	MPC	PC3端子機能制御レジスタ	PC3PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A4h	MPC	PC4端子機能制御レジスタ	PC4PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A5h	MPC	PC5端子機能制御レジスタ	PC5PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A6h	MPC	PC6端子機能制御レジスタ	PC6PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1A7h	MPC	PC7端子機能制御レジスタ	PC7PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1B6h	MPC	PE6端子機能制御レジスタ	PE6PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1B7h	MPC	PE7端子機能制御レジスタ	PE7PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1C8h	MPC	PH0端子機能制御レジスタ	PH0PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1C9h	MPC	PH1端子機能制御レジスタ	PH1PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1CAh	MPC	PH2端子機能制御レジスタ	PH2PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1CBh	MPC	PH3端子機能制御レジスタ	PH3PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1D1h	MPC	PJ1端子機能制御レジスタ	PJ1PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C1D3h	MPC	PJ3端子機能制御レジスタ	PJ3PFS	8	8	2 ~ 3PCLKB	2ICLK
0008 C280h	SYSTEM	ディープスタンバイコントロールレジスタ	DPSBYCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C282h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ0	DPSIER0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C284h	SYSTEM	ディープスタンバイインタラプトイネーブルレジスタ2	DPSIER2	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C286h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ0	DPSIFR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C288h	SYSTEM	ディープスタンバイインタラプトフラグレジスタ2	DPSIFR2	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C28Ah	SYSTEM	ディープスタンバイインタラプトエッジレジスタ0	DPSIEGR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C28Ch	SYSTEM	ディープスタンバイインタラプトエッジレジスタ2	DPSIEGR2	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C28Fh	SYSTEM	フラッシュHOCOソフトウェアスタンバイコントロールレジスタ	FHSSBYCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C290h	SYSTEM	リセットステータスレジスタ0	RSTSR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C291h	SYSTEM	リセットステータスレジスタ1	RSTSR1	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C293h	SYSTEM	メインクロック発振器強制発振コントロールレジスタ	MOFCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C294h	SYSTEM	高速オンチップオシレータ電源コントロールレジスタ	HOCOPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C295h	SYSTEM	PLL電源コントロールレジスタ	PLLPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C296h	FLASH	フラッシュライトイレーズプロテクトレジスタ	FWEPOR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C297h	SYSTEM	電圧監視回路/コンパレータA制御レジスタ	LVCMPCR	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C298h	SYSTEM	電圧検出レベル選択レジスタ	LVDLVL	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C29Ah	SYSTEM	電圧監視1回路/コンパレータA1制御レジスタ0	LVD1CR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C29Bh	SYSTEM	電圧監視2回路/コンパレータA2制御レジスタ0	LVD2CR0	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C2A0h~ 0008 C2BFh	SYSTEM	ディープスタンバイバックアップレジスタ0~31	DPSBKR0~31	8	8	4 ~ 5PCLKB	2 ~ 3ICLK
0008 C400h	RTC	64Hzカウンタ	R64CNT	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(21/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビット 数	アクセス サイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C402h	RTC	秒カウンタ/バイナリカウンタ0	RSECCNT/ BCNT0	8	8	2 ~ 3PCLKB	2ICLK
0008 C404h	RTC	分カウンタ/バイナリカウンタ1	RMINCNT/ BCNT1	8	8	2 ~ 3PCLKB	2ICLK
0008 C406h	RTC	時カウンタ/バイナリカウンタ2	RHRCNT/ BCNT2	8	8	2 ~ 3PCLKB	2ICLK
0008 C408h	RTC	曜日カウンタ/バイナリカウンタ3	RWKCNT/ BCNT3	8	8	2 ~ 3PCLKB	2ICLK
0008 C40Ah	RTC	日カウンタ	RDAYCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 C40Ch	RTC	月カウンタ	RMONCNT	8	8	2 ~ 3PCLKB	2ICLK
0008 C40Eh	RTC	年カウンタ	RYRCNT	16	16	2 ~ 3PCLKB	2ICLK
0008 C410h	RTC	秒アラームレジスタ/バイナリカウンタ0アラーム レジスタ	RSECCAR/ BCNT0AR	8	8	2 ~ 3PCLKB	2ICLK
0008 C412h	RTC	分アラームレジスタ/バイナリカウンタ1アラーム レジスタ	RMINAR/ BCNT1AR	8	8	2 ~ 3PCLKB	2ICLK
0008 C414h	RTC	時アラームレジスタ/バイナリカウンタ2アラームレジスタ	RHRAR/ BCNT2AR	8	8	2 ~ 3PCLKB	2ICLK
0008 C416h	RTC	曜日アラームレジスタ/バイナリカウンタ3アラーム レジスタ	RWKAR/ BCNT3AR	8	8	2 ~ 3PCLKB	2ICLK
0008 C418h	RTC	日アラームレジスタ/バイナリカウンタ0アラーム イネーブルレジスタ	RDAYAR/ BCNT0AER	8	8	2 ~ 3PCLKB	2ICLK
0008 C41Ah	RTC	月アラームレジスタ/バイナリカウンタ1アラーム イネーブルレジスタ	RMONAR/ BCNT1AER	8	8	2 ~ 3PCLKB	2ICLK
0008 C41Ch	RTC	年アラームレジスタ/バイナリカウンタ2アラーム イネーブルレジスタ	RYRAR/ BCNT2AER	16	16	2 ~ 3PCLKB	2ICLK
0008 C41Eh	RTC	年アラームイネーブルレジスタ/バイナリカウンタ3 アラームイネーブルレジスタ	RYRAREN/ BCNT3AER	8	8	2 ~ 3PCLKB	2ICLK
0008 C422h	RTC	RTCコントロールレジスタ1	RRCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 C424h	RTC	RTCコントロールレジスタ2	RRCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 C426h	RTC	RTCコントロールレジスタ3	RRCR3	8	8	2 ~ 3PCLKB	2ICLK
0008 C42Eh	RTC	時間誤差補正レジスタ	RADJ	8	8	2 ~ 3PCLKB	2ICLK
0008 C440h	RTC	時間キャプチャ制御レジスタ0	RTCCR0	8	8	2 ~ 3PCLKB	2ICLK
0008 C442h	RTC	時間キャプチャ制御レジスタ1	RTCCR1	8	8	2 ~ 3PCLKB	2ICLK
0008 C444h	RTC	時間キャプチャ制御レジスタ2	RTCCR2	8	8	2 ~ 3PCLKB	2ICLK
0008 C452h	RTC	秒キャプチャレジスタ0/BCNT0キャプチャレジスタ0	RSECCP0/ BCNT0CP0	8	8	2 ~ 3PCLKB	2ICLK
0008 C454h	RTC	分キャプチャレジスタ0/BCNT1キャプチャレジスタ0	RMINCP0/ BCNT1CP0	8	8	2 ~ 3PCLKB	2ICLK
0008 C456h	RTC	時キャプチャレジスタ0/BCNT2キャプチャレジスタ0	RHRCP0/ BCNT2CP0	8	8	2 ~ 3PCLKB	2ICLK
0008 C45Ah	RTC	日キャプチャレジスタ0/BCNT3キャプチャレジスタ0	RDAYCP0/ BCNT3CP0	8	8	2 ~ 3PCLKB	2ICLK
0008 C45Ch	RTC	月キャプチャレジスタ0	RMONCP0	8	8	2 ~ 3PCLKB	2ICLK
0008 C462h	RTC	秒キャプチャレジスタ1/BCNT0キャプチャレジスタ1	RSECCP1/ BCNT0CP1	8	8	2 ~ 3PCLKB	2ICLK
0008 C464h	RTC	分キャプチャレジスタ1/BCNT1キャプチャレジスタ1	RMINCP1/ BCNT1CP1	8	8	2 ~ 3PCLKB	2ICLK
0008 C466h	RTC	時キャプチャレジスタ1/BCNT2キャプチャレジスタ1	RHRCP1/ BCNT2CP1	8	8	2 ~ 3PCLKB	2ICLK
0008 C46Ah	RTC	日キャプチャレジスタ1/BCNT3キャプチャレジスタ1	RDAYCP1/ BCNT3CP1	8	8	2 ~ 3PCLKB	2ICLK
0008 C46Ch	RTC	月キャプチャレジスタ1	RMONCP1	8	8	2 ~ 3PCLKB	2ICLK
0008 C472h	RTC	秒キャプチャレジスタ2/BCNT0キャプチャレジスタ2	RSECCP2/ BCNT0CP2	8	8	2 ~ 3PCLKB	2ICLK
0008 C474h	RTC	分キャプチャレジスタ2/BCNT1キャプチャレジスタ2	RMINCP2/ BCNT1CP2	8	8	2 ~ 3PCLKB	2ICLK
0008 C476h	RTC	時キャプチャレジスタ2/BCNT2キャプチャレジスタ2	RHRCP2/ BCNT2CP2	8	8	2 ~ 3PCLKB	2ICLK
0008 C47Ah	RTC	日キャプチャレジスタ2/BCNT3キャプチャレジスタ2	RDAYCP2/ BCNT3CP2	8	8	2 ~ 3PCLKB	2ICLK
0008 C47Ch	RTC	月キャプチャレジスタ2	RMONCP2	8	8	2 ~ 3PCLKB	2ICLK
0008 C500h	TEMPS	温度センサコントロールレジスタ	TSCR	8	8	2 ~ 3PCLKB	2ICLK
0008 C580h	CMPB	コンパレータB制御レジスタ1	CPBCNT1	8	8	2 ~ 3PCLKB	2ICLK
0008 C582h	CMPB	コンパレータBフラグレジスタ	CPBFLG	8	8	2 ~ 3PCLKB	2ICLK

表4.1 I/Oレジスタアドレス一覧(22/23)

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	
						ICLK ≥ PCLKの場合	ICLK < PCLKの場合
0008 C583h	CMPB	コンパレータB割り込み制御レジスタ	CPBINT	8	8	2 ~ 3PCLKB	2ICLK
0008 C584h	CMPB	コンパレータBフィルタ選択レジスタ	CPBF	8	8	2 ~ 3PCLKB	2ICLK
007F C402h	FLASH	フラッシュモードレジスタ	FMODR	8	8	2 ~ 3FCLK	2ICLK
007F C410h	FLASH	フラッシュアクセスステータスレジスタ	FASTAT	8	8	2 ~ 3FCLK	2ICLK
007F C411h	FLASH	フラッシュアクセスエラー割り込み許可レジスタ	FAEINT	8	8	2 ~ 3FCLK	2ICLK
007F C412h	FLASH	フラッシュレディー割り込み許可レジスタ	FRDYIE	8	8	2 ~ 3FCLK	2ICLK
007F C440h	FLASH	E2データフラッシュ読み出し許可レジスタ0	DFLRE0	16	16	2 ~ 3FCLK	2ICLK
007F C450h	FLASH	E2データフラッシュプログラム/イレーズ許可レジスタ0	DFLWE0	16	16	2 ~ 3FCLK	2ICLK
007F FFB0h	FLASH	フラッシュステータスレジスタ0	FSTATR0	8	8	2 ~ 3FCLK	2ICLK
007F FFB1h	FLASH	フラッシュステータスレジスタ1	FSTATR1	8	8	2 ~ 3FCLK	2ICLK
007F FFB2h	FLASH	フラッシュP/Eモードエントリレジスタ	FENTRYR	16	16	2 ~ 3FCLK	2ICLK
007F FFB4h	FLASH	フラッシュプロテクトレジスタ	FPROTR	16	16	2 ~ 3FCLK	2ICLK
007F FFB6h	FLASH	フラッシュリセットレジスタ	FRESETR	16	16	2 ~ 3FCLK	2ICLK
007F FFBAh	FLASH	FCUコマンドレジスタ	FCMDR	16	16	2 ~ 3FCLK	2ICLK
007F FFC8h	FLASH	FCU処理切り替えレジスタ	FCPSR	16	16	2 ~ 3FCLK	2ICLK
007F FFCAh	FLASH	E2データフラッシュブランクチェック制御レジスタ	DFLBCCNT	16	16	2 ~ 3FCLK	2ICLK
007F FFCCCh	FLASH	フラッシュP/Eステータスレジスタ	FPESTAT	16	16	2 ~ 3FCLK	2ICLK
007F FFCEh	FLASH	E2データフラッシュブランクチェックステータスレジスタ	DFLBCSTAT	16	16	2 ~ 3FCLK	2ICLK
007F FFE8h	FLASH	周辺クロック通知レジスタ	PCKAR	16	16	2 ~ 3FCLK	2ICLK
FEFF FAC0h	FLASH	ユニークIDレジスタ0(注3)	UIDR0	32	32	1ICLK	
FEFF FAC4h	FLASH	ユニークIDレジスタ1(注3)	UIDR1	32	32	1ICLK	
FEFF FAC8h	FLASH	ユニークIDレジスタ2(注3)	UIDR2	32	32	1ICLK	
FEFF FACCh	FLASH	ユニークIDレジスタ3(注3)	UIDR3	32	32	1ICLK	
FEFF FAD0h	TEMPS	温度センサ校正データレジスタ0(注3)	TSCDR0	32	32	1ICLK	
FEFF FAD4h	TEMPS	温度センサ校正データレジスタ1(注3)	TSCDR1	32	32	1ICLK	
FEFF FADCh	TEMPS	温度センサ校正データレジスタ3(注3)	TSCDR3	32	32	1ICLK	
FEFF FB30h	DSAD	ΔΣ/Dゲイン校正データレジスタ0 X1(注3)	DSADG0X1	32	32	1ICLK	
FEFF FB34h	DSAD	ΔΣ/Dゲイン校正データレジスタ1 X1(注3)	DSADG1X1	32	32	1ICLK	
FEFF FB38h	DSAD	ΔΣ/Dゲイン校正データレジスタ2 X1(注3)	DSADG2X1	32	32	1ICLK	
FEFF FB3Ch	DSAD	ΔΣ/Dゲイン校正データレジスタ3 X1(注3)	DSADG3X1	32	32	1ICLK	
FEFF FB40h	DSAD	ΔΣ/Dゲイン校正データレジスタ4 X1(注3)	DSADG4X1	32	32	1ICLK	
FEFF FB44h	DSAD	ΔΣ/Dゲイン校正データレジスタ5 X1(注3)	DSADG5X1	32	32	1ICLK	
FEFF FB48h	DSAD	ΔΣ/Dゲイン校正データレジスタ6 X1(注3)	DSADG6X1	32	32	1ICLK	
FEFF FB50h	DSAD	ΔΣ/Dゲイン校正データレジスタ0 X2(注3)	DSADG0X2	32	32	1ICLK	
FEFF FB54h	DSAD	ΔΣ/Dゲイン校正データレジスタ1 X2(注3)	DSADG1X2	32	32	1ICLK	
FEFF FB58h	DSAD	ΔΣ/Dゲイン校正データレジスタ2 X2(注3)	DSADG2X2	32	32	1ICLK	
FEFF FB5Ch	DSAD	ΔΣ/Dゲイン校正データレジスタ3 X2(注3)	DSADG3X2	32	32	1ICLK	
FEFF FB60h	DSAD	ΔΣ/Dゲイン校正データレジスタ4 X2(注3)	DSADG4X2	32	32	1ICLK	
FEFF FB64h	DSAD	ΔΣ/Dゲイン校正データレジスタ5 X2(注3)	DSADG5X2	32	32	1ICLK	
FEFF FB68h	DSAD	ΔΣ/Dゲイン校正データレジスタ6 X2(注3)	DSADG6X2	32	32	1ICLK	
FEFF FB70h	DSAD	ΔΣ/Dゲイン校正データレジスタ0 X4(注3)	DSADG0X4	32	32	1ICLK	
FEFF FB74h	DSAD	ΔΣ/Dゲイン校正データレジスタ1 X4(注3)	DSADG1X4	32	32	1ICLK	
FEFF FB78h	DSAD	ΔΣ/Dゲイン校正データレジスタ2 X4(注3)	DSADG2X4	32	32	1ICLK	
FEFF FB7Ch	DSAD	ΔΣ/Dゲイン校正データレジスタ3 X4(注3)	DSADG3X4	32	32	1ICLK	
FEFF FB80h	DSAD	ΔΣ/Dゲイン校正データレジスタ4 X4(注3)	DSADG4X4	32	32	1ICLK	
FEFF FB84h	DSAD	ΔΣ/Dゲイン校正データレジスタ5 X4(注3)	DSADG5X4	32	32	1ICLK	
FEFF FB88h	DSAD	ΔΣ/Dゲイン校正データレジスタ6 X4(注3)	DSADG6X4	32	32	1ICLK	
FEFF FB90h	DSAD	ΔΣ/Dゲイン校正データレジスタ0 X8(注3)	DSADG0X8	32	32	1ICLK	
FEFF FB94h	DSAD	ΔΣ/Dゲイン校正データレジスタ1 X8(注3)	DSADG1X8	32	32	1ICLK	
FEFF FB98h	DSAD	ΔΣ/Dゲイン校正データレジスタ2 X8(注3)	DSADG2X8	32	32	1ICLK	
FEFF FB9Ch	DSAD	ΔΣ/Dゲイン校正データレジスタ3 X8(注3)	DSADG3X8	32	32	1ICLK	
FEFF FBA0h	DSAD	ΔΣ/Dゲイン校正データレジスタ0 X16(注3)	DSADG0X16	32	32	1ICLK	
FEFF FBA4h	DSAD	ΔΣ/Dゲイン校正データレジスタ1 X16(注3)	DSADG1X16	32	32	1ICLK	
FEFF FBA8h	DSAD	ΔΣ/Dゲイン校正データレジスタ2 X16(注3)	DSADG2X16	32	32	1ICLK	

表4.1 I/Oレジスタアドレス一覧(23/23)

アドレス	モジュール シンボル	レジスタ名	レジスタ シンボル	ビ ット 数	アクセ ス サイズ	アクセスサイクル数	
						ICLK \geq PCLKの場合	ICLK<PCLKの場合
FEFF FBACH	DSAD	$\Delta\Sigma$ /D ゲイン校正データレジスタ 3 X16 (注3)	DSADG3X16	32	32	1ICLK	
FEFF FBB0h	DSAD	$\Delta\Sigma$ /D ゲイン校正データレジスタ 0 X32 (注3)	DSADG0X32	32	32	1ICLK	
FEFF FBB4h	DSAD	$\Delta\Sigma$ /D ゲイン校正データレジスタ 1 X32 (注3)	DSADG1X32	32	32	1ICLK	
FEFF FBB8h	DSAD	$\Delta\Sigma$ /D ゲイン校正データレジスタ 2 X32 (注3)	DSADG2X32	32	32	1ICLK	
FEFF FBBCh	DSAD	$\Delta\Sigma$ /D ゲイン校正データレジスタ 3 X32 (注3)	DSADG3X32	32	32	1ICLK	
FEFF FBD0h	DSAD	$\Delta\Sigma$ /D 入力インピーダンス校正データレジスタ (注3)	DSADIIC	32	32	1ICLK	

- 注1. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMR0またはTMR2のレジスタのアドレスへアクセスしてください。表24.4に16ビットアクセスのレジスタ配置を示します。
- 注2. 奇数アドレスへの16ビットアクセスはできません。レジスタを16ビットアクセスする場合は、TMCNTLレジスタのアドレスへアクセスしてください。表31.3に16ビットアクセスのレジスタ配置を示します。
- 注3. Gバージョンのみに存在します。

5. 電気的特性

5.1 絶対最大定格

表 5.1 絶対最大定格

条件：VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V

項目	記号	定格値	単位
電源電圧	VCC	-0.3 ~ +6.5	V
入力電圧 (5Vトレラント対応ポート (注1) 以外)	V _{in}	-0.3 ~ VCC+0.3 (注3)	V
入力電圧 (5Vトレラント対応ポート (注1))	V _{in}	-0.3 ~ +6.5	V
リファレンス電源電圧	VREFH、VREFH0	-0.3 ~ VCC+0.3 (注3)	V
アナログ電源電圧	AVCC0、AVCCA、 BGR_BO (注2)	-0.3 ~ +6.5	V
A/Dコンバータアナログ入力電圧	V _{AN}	-0.3 ~ VCC+0.3 (注3)	V
ΔΣA/Dコンバータアナログ入力電圧	V _{ANDS}	-0.6 ~ VCC+0.3 (注3)	V
動作温度	T _{opr}	-40 ~ +105	°C
保存温度	T _{stg}	-55 ~ +125	°C

【使用上の注意】絶対最大定格を超えてLSIを使用した場合、LSIの永久破壊となることがあります。

ノイズによる誤動作を防止するため、各VCC端子とVSS端子間、AVCC0端子とAVSS0間、AVCCA端子とAVSSA間、VREFH0端子とVREFL0間には周波特性の良いコンデンサを挿入してください。コンデンサは0.1μF程度の容量のものを、できる限り電源端子の近傍に配置し、最短距離かつできる限り太いパターンを使用して接続してください。VCL端子は、0.1μF (±20%精度)のコンデンサを介してVSSに接続してください。コンデンサは端子の近くに配置してください。

注1. ポート12、13、16、17、20、21は、5Vトレラント対応です。

注2. AVCC0、AVCCAは、VCCと同電位にしてください。また、A/D、D/AおよびΔΣA/Dコンバータ未使用時にAVCC0、VREFH、AVCCA、VREFH0、AVSS0、VREFL、AVSSA、VREFL0端子を開放しないでください。AVCC0、VREFH、AVCCA、VREFH0端子はVCCに、AVSS0、VREFL、AVSSA、VREFL0端子はVSSにそれぞれ接続してください。

注3. 最大値は6.5Vです。

5.2 DC 特性

表5.2 DC特性 (1)

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ 入力電圧	RIIC入力端子 (SMBusを除く、 5Vトレラント)	V_{IH}	$VCC \times 0.7$	—	5.8	V	
	ポート12, 13, 16, 17, 20, 21 (5Vトレラント)		$VCC \times 0.8$	—	5.8		
	ポート0、ポート14, 15, 22, 23, 24, 25, 26, 27、ポート3、ポ ート4、ポート5、ポートA、ポ ートB、ポートC、ポートE、 ポートH、ポートJ、RES#		$VCC \times 0.8$	—	$VCC + 0.3$		
	RIIC入力端子 (SMBusを除く)	V_{IL}	-0.3	—	$VCC \times 0.3$		
	RIIC入力端子以外		-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBusを除く)	ΔV_T	$VCC \times 0.05$	—	—		
	RIIC入力端子以外		$VCC \times 0.1$	—	—		
	入力レベル電圧 (シュミットトリ ガ入力端子を除 く)	MD端子	V_{IH}	$VCC \times 0.9$	—		
EXTAL		$VCC \times 0.8$		—	$VCC + 0.3$		
RIIC入力端子 (SMBus)		2.1		—	$VCC + 0.3$		
MD端子		V_{IL}	-0.3	—	$VCC \times 0.1$		
EXTAL			-0.3	—	$VCC \times 0.2$		
RIIC入力端子 (SMBus)			-0.3	—	0.8		

表5.3 DC特性 (2)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 2.7V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件	
シュミットトリガ 入力電圧	ポート12, 13, 16, 17, 20, 21 (5Vトレラ ント)	V_{IH}	$VCC \times 0.8$	—	5.8	V		
	ポート0、ポート14, 15, 22, 23, 24, 25, 26, 27、ポート3、ポート4、ポート5、ポート A、ポートB、ポートC、ポートE、ポート H、ポートJ、RES#		$VCC \times 0.8$	—	$VCC + 0.3$			
	全端子	V_{IL}	-0.3	—	$VCC \times 0.2$			
	ポート0~ポート5、 ポートA~ポートJ	ΔV_T	$VCC \geq 2.2\text{V}$	$VCC \times 0.05$	—			—
			$VCC < 2.2\text{V}$	$VCC \times 0.03$	—			—
RES#			$VCC \times 0.1$	—	—			
入力レベル 電圧 (シュミット トリガ入力端子を 除く)	MD端子	V_{IH}	$VCC \times 0.9$	—	$VCC + 0.3$	V		
	EXTAL		$VCC \times 0.8$	—	$VCC + 0.3$			
	MD端子	V_{IL}	-0.3	—	$VCC \times 0.1$			
	EXTAL		-0.3	—	$VCC \times 0.2$			

表5.4 DC特性 (3)

条件：VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	RES#, MD端子、P35/NMI	$ I_{in} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
スリーステートリーク電流 (オフ状態)	ポート4	$ I_{TSI} $	—	—	1.0	μA	$V_{in} = 0\text{V}$ 、VCC
	5Vトレラント対応ポートとポート4以外		—	—	0.2		
	5Vトレラント対応ポート		—	—	1.0		
入力容量	全入力端子 (ポート0、ポート12、13、16、17、20、21、ポート4、ポートA0、A1、A2、A3、A4、A6、B0以外)	C_{in}	—	—	15	pF	$V_{in} = 0\text{V}$ 、 $f = 1\text{MHz}$ 、 $T_a = 25^\circ\text{C}$
	ポート0、ポート12、13、16、17、20、21、ポート4、ポートA0、A1、A2、A3、A4、A6、B0		—	—	30		

表5.5 DC特性 (4)

条件：VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	VCC				単位	測定条件
			1.8 ~ 2.7V		2.7 ~ 3.6V			
			min	max	min	max		
入力プルアップMOS電流	全ポート (ポート35を除く)	I_p	5	150	10	200	μA	$V_{in} = 0\text{V}$

表5.6 DC特性 (5)

条件：VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目				記号	typ	max	単位	測定条件
消費電流 (注1)	高速動作モード	通常動作モード	周辺動作なし (注3)	I_{CC}	8.6	—	mA	
			全周辺動作通常動作 (注4)		13	—		
			全周辺動作最大動作 (注5)		—	59		
		スリープモード	周辺動作なし	4.9	—			
			全周辺動作通常動作	9.0	—			
		全モジュールクロックストップモード	3.9	—				
		BGO動作時の増加分 (注2)			23	—		

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プルアップMOSをオフ状態にした場合の値です。
 注2. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOです。FCLK、PCLKは64分周です。
 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOです。FCLK、PCLKは64分周です。
 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。PCLKAはICLKと同じ、FCLK、PCLKB、PCLKC、PCLKDはICLKの2分周です。

表5.7 DC特性 (6)

条件 : VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目					記号	typ	max	単位	測定条件	
消費電流 (注1)	中速動作モード 1A、1B	通常動作モード	周辺動作なし (注3)	ICLK = 25MHz	I_{CC}	5.9	—	mA		
			全周辺動作 通常動作 (注4)	ICLK = 25MHz		8.0	—			
				全周辺動作 最大動作 (注5)		ICLK = 25MHz	—			38
		スリープモード	周辺動作なし	ICLK = 25MHz		4.1	—			
			全周辺動作 通常動作	ICLK = 25MHz		6.2	—			
		全モジュールクロックストップ モード		ICLK = 25MHz		3.6	—			
		BGO動作時の 増加分 (注2)	中速動作モード1A			23	—			
			中速動作モード1B			20	—			
		中速動作モード 2A、2B	通常動作モード	周辺動作なし (注3)		ICLK = 25MHz	5.4			—
						ICLK = 12.5MHz	3.9			—
	全周辺動作 通常動作 (注4)			ICLK = 25MHz	7.4	—				
				ICLK = 12.5MHz	5.0	—				
	全周辺動作 最大動作 (注5)			ICLK = 25MHz	—	37				
	スリープモード			周辺動作なし	ICLK = 25MHz	3.5	—			
			ICLK = 12.5MHz		3.0	—				
			全周辺動作 通常動作	ICLK = 25MHz	5.6	—				
				ICLK = 12.5MHz	4.1	—				
	全モジュールクロックストップ モード		ICLK = 25MHz	3.0	—					
			ICLK = 12.5MHz	2.7	—					
	BGO動作時の 増加分 (注2)		中速動作モード2A		23	—				
			中速動作モード2B		20	—				
	低速動作モード1		通常動作モード	周辺動作なし (注6)	ICLK = 8MHz	1.9	—			
		ICLK = 4MHz			1.2	—				
		全周辺動作 通常動作 (注7)		ICLK = 8MHz	2.5	—				
				ICLK = 4MHz	1.7	—				
		全周辺動作 最大動作 (注8)		ICLK = 8MHz	—	12				
		スリープモード		周辺動作なし	ICLK = 8MHz	1.3	—			
ICLK = 4MHz			0.9		—					
全周辺動作 通常動作			ICLK = 8MHz	1.9	—					
			ICLK = 4MHz	1.3	—					
全モジュールクロックストップ モード		ICLK = 8MHz	1.1	—						
		ICLK = 4MHz	0.9	—						

項目				記号	typ	max	単位	測定条件
消費電流 (注1)	低速動作モード2	通常動作モード	周辺動作なし (注9)	I _{CC}	0.027	—	mA	
			全周辺動作 通常動作 (注10)		0.030	—		
			全周辺動作 最大動作 (注11)		—	1.0		
		スリープモード	周辺動作なし		0.022	—		
			全周辺動作 通常動作		0.025	—		
		全モジュールクロックストップ モード	0.022		—			

- 注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵ブルアップMOSをオフ状態にした場合の値です。
- 注2. プログラム実行中に、ROM、またはE2データフラッシュにデータをプログラム/イレーズを実行した場合の増加分です。
- 注3. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはHOCOです。FCLK、PCLKは64分周です。
- 注4. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOです。FCLK、PCLKは64分周です。
- 注5. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはPLLです。FCLK、PCLKはICLKと同じです。
- 注6. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはメイン発振回路です。FCLK、PCLKは64分周です。
- 注7. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはメイン発振回路です。FCLK、PCLKは64分周です。
- 注8. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはHOCOです。FCLK、PCLKはICLKと同じです。
- 注9. 周辺機能はクロック停止状態。BGO動作は除きます。クロックソースはサブ発振回路です。FCLK、PCLKは64分周です。
- 注10. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはサブ発振回路です。FCLK、PCLKは64分周です。
- 注11. 周辺機能はクロック供給状態。BGO動作は除きます。クロックソースはメイン発振回路です。FCLK、PCLKはICLKと同じです。

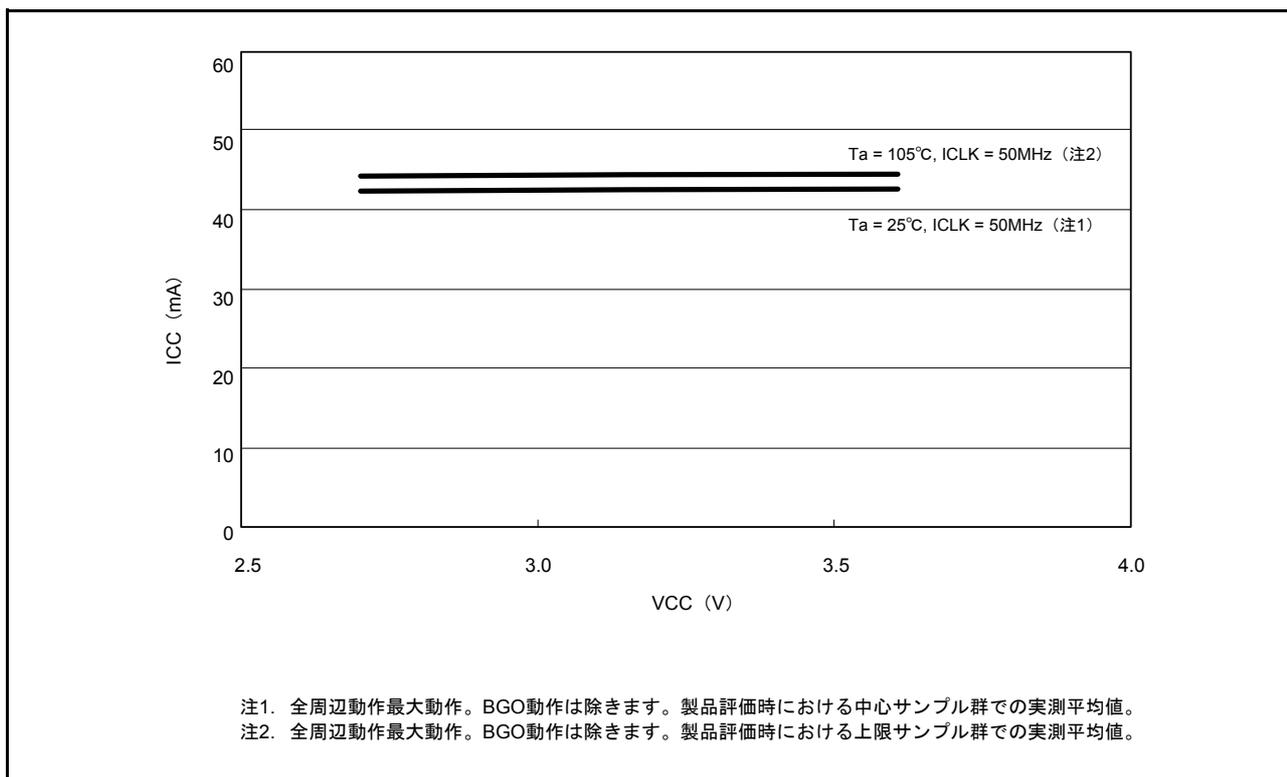


図 5.1 高速動作モードの電圧依存性 (参考データ)

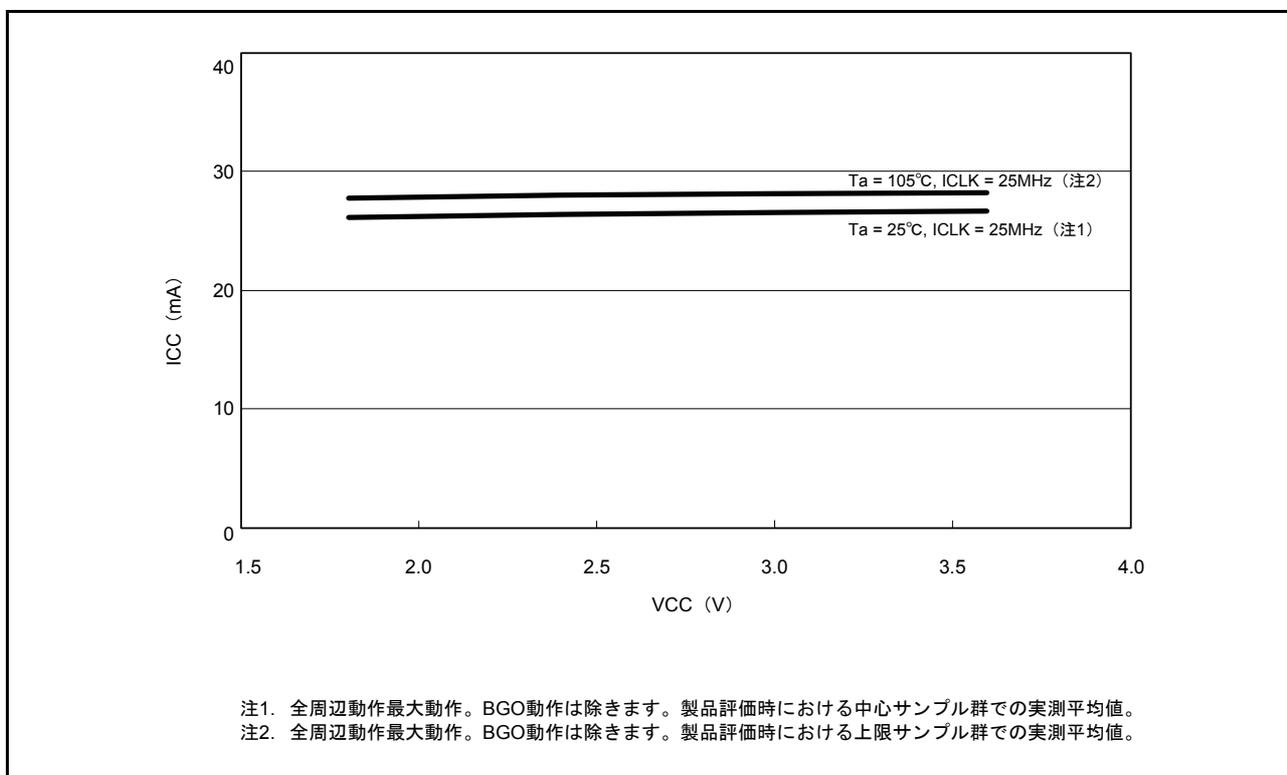


図 5.2 中速動作モード 1A、1B の電圧依存性 (参考データ)

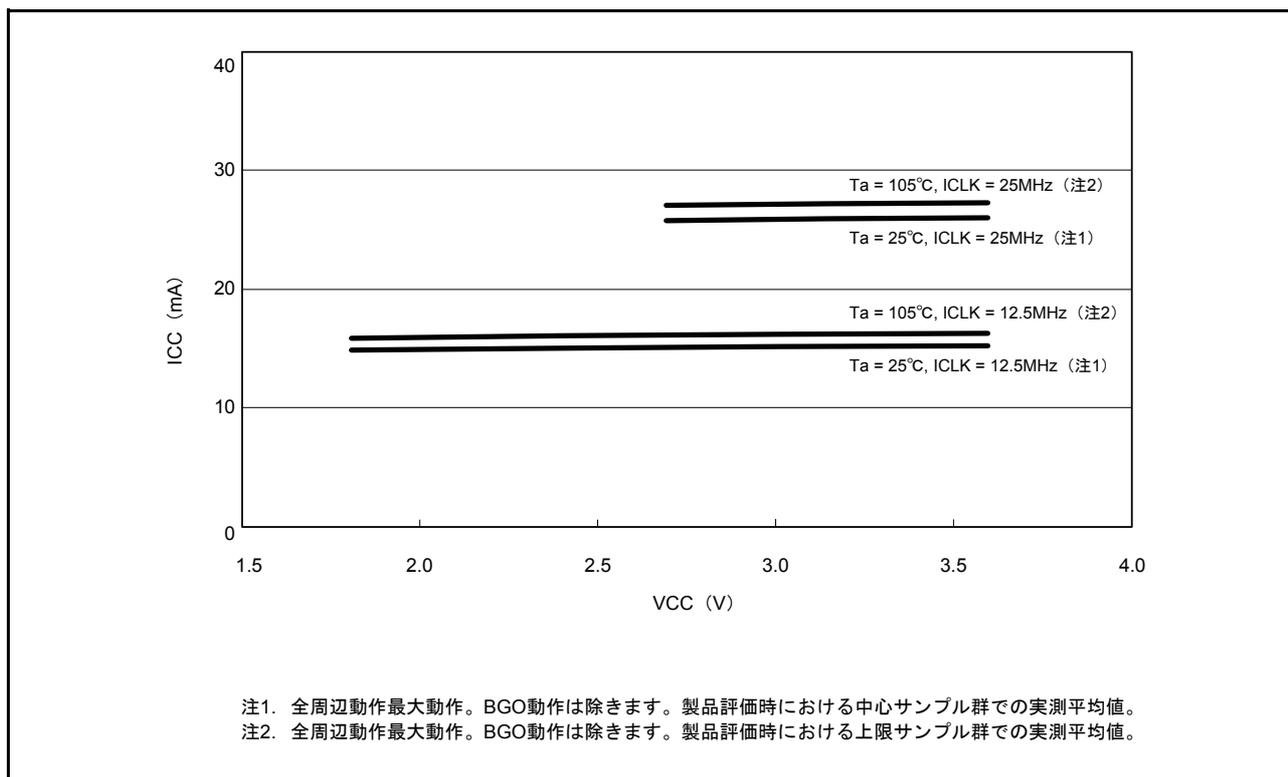


図 5.3 中速動作モード 2A、2B の電圧依存性 (参考データ)

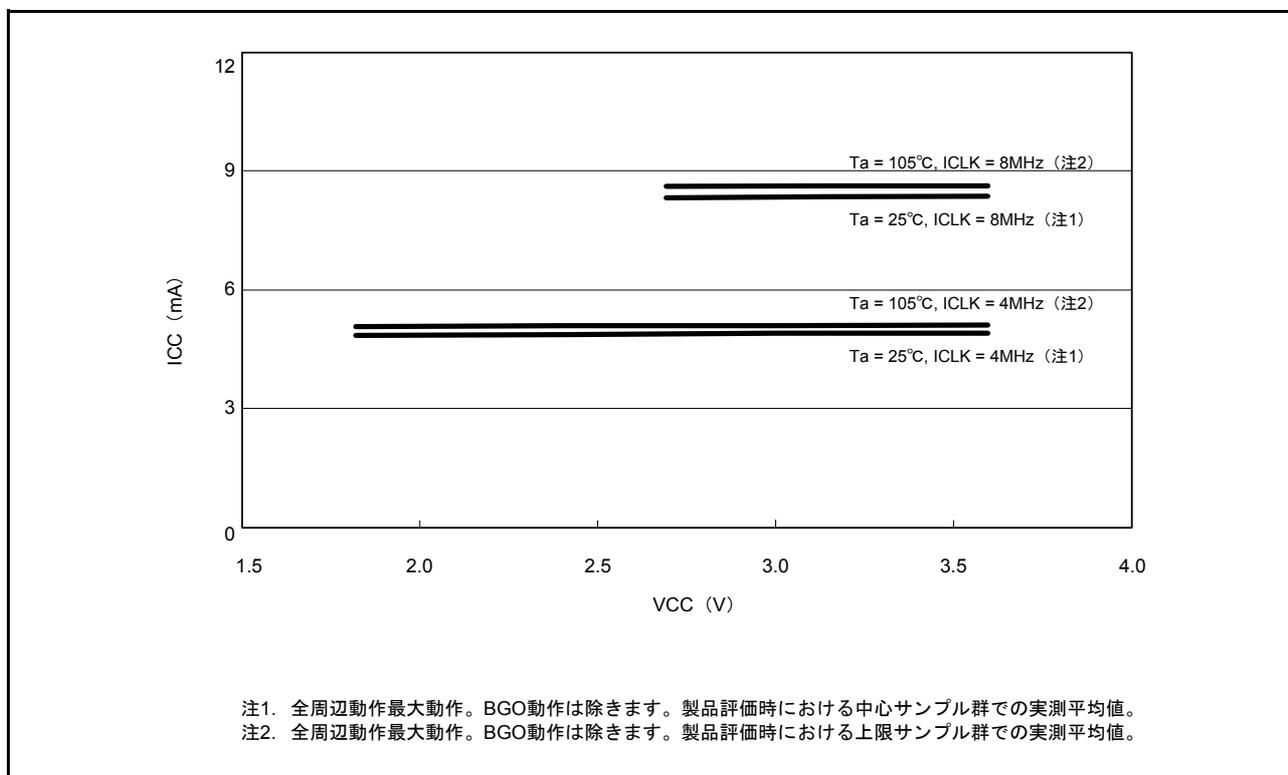


図 5.4 低速動作モード 1 の電圧依存性 (参考データ)

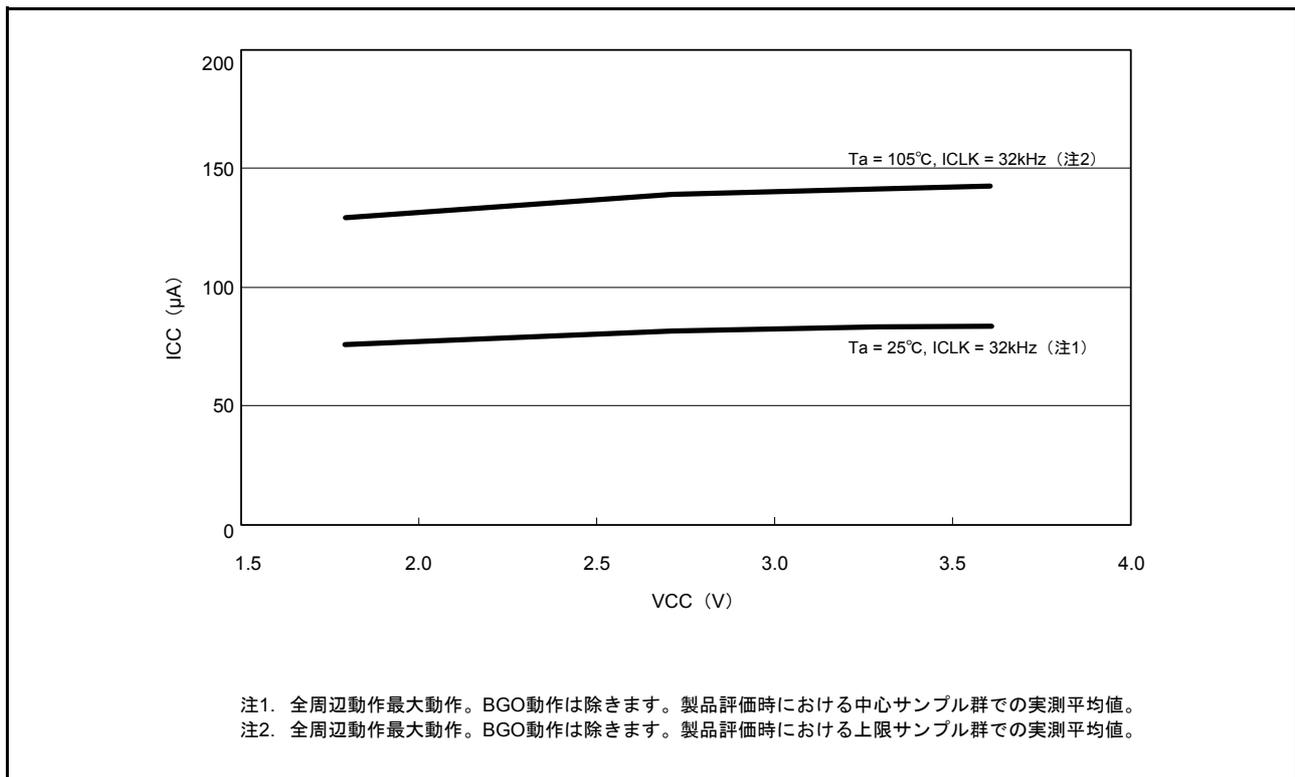


図 5.5 低速動作モード2の電圧依存性（参考データ）

表5.8 DC特性 (7)

条件 : VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目			記号	typ (注3)	max	単位	測定条件
消費電流 (注1)	ソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給、 HOCO電源供給、 PORの低消費電力機能無効 (SOFTCUT[2:0]ビット = 000b)	$T_a = 25^\circ\text{C}$	I _{CC}	10	20	μA
			$T_a = 55^\circ\text{C}$		12	41	
			$T_a = 85^\circ\text{C}$		18	113	
			$T_a = 105^\circ\text{C}$		29	233	
		フラッシュメモリ電源供給、 HOCO電源供給なし、 PORの低消費電力機能有効 (SOFTCUT[2:0]ビット = 110b)	$T_a = 25^\circ\text{C}$		1.7	7.9	
			$T_a = 55^\circ\text{C}$		2.7	25	
			$T_a = 85^\circ\text{C}$		7.0	86	
			$T_a = 105^\circ\text{C}$		16	189	
	ディープソフトウェア スタンバイモード (注2)	フラッシュメモリ電源供給なし、 HOCO電源供給なし、 PORの低消費電力機能有効	$T_a = 25^\circ\text{C}$	0.3	0.8		
			$T_a = 55^\circ\text{C}$	0.4	1.1		
			$T_a = 85^\circ\text{C}$	0.8	2.2		
			$T_a = 105^\circ\text{C}$	1.3	4.7		
	電圧検出回路動作、PORの低消費電力機能無効による増分				1.2	—	
	RTC動作の増加分 (低CLの場合)				0.6	—	
RTC動作の増加分 (標準CLの場合)				1.4	—		

注1. 消費電流値はすべての端子での出力充放電電流を含みません。さらに内蔵プリアップMOSをオフ状態にした場合の値です。

注2. IWDТとLVDは動作停止です。

注3. VCC = 3.3Vです。

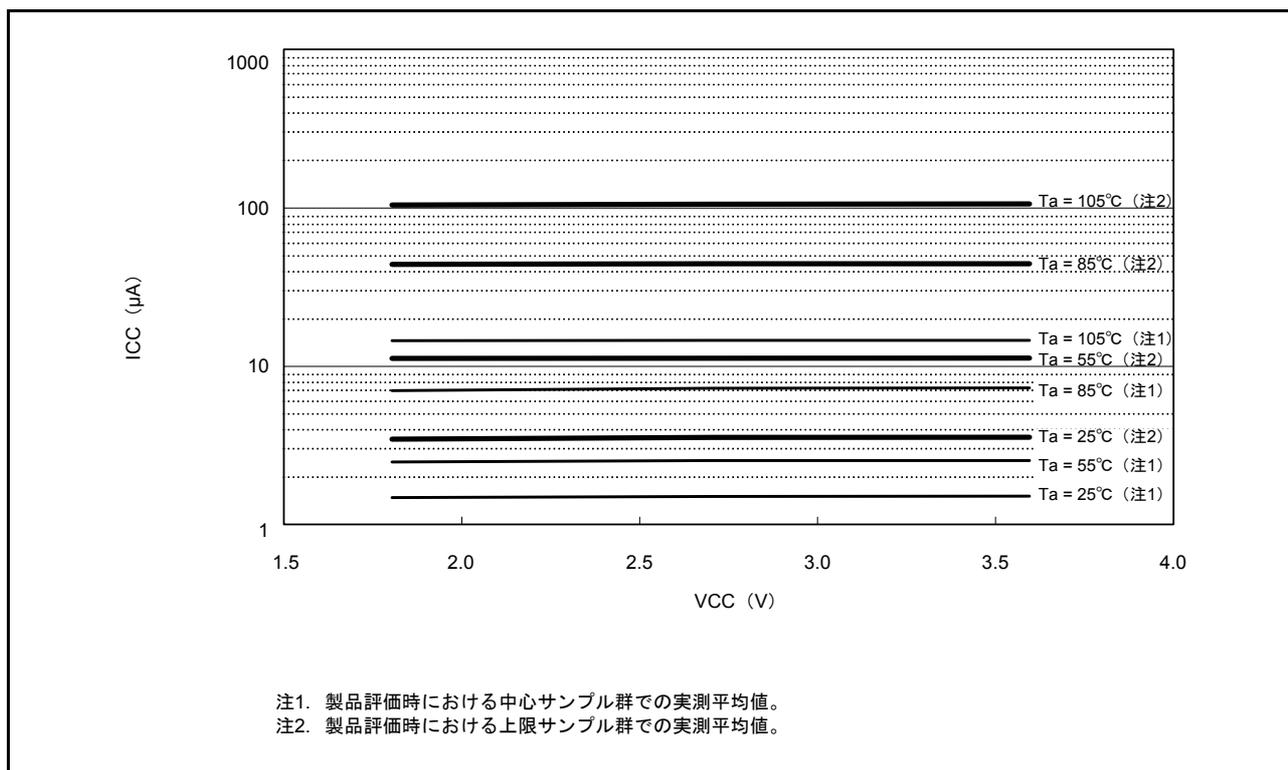


図 5.6 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の電圧依存性 (参考データ)

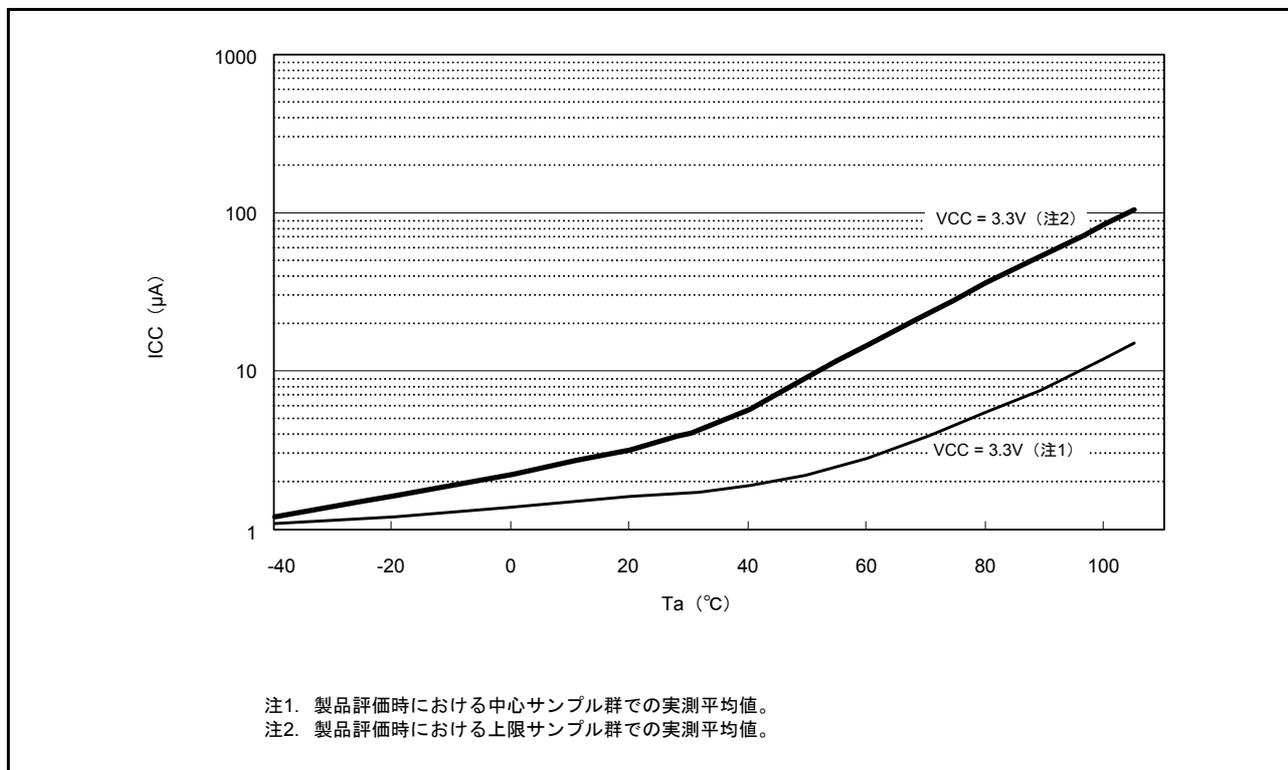


図 5.7 ソフトウェアスタンバイモード (SOFTCUT[2:0] ビット = 110b) 時の温度依存性 (参考データ)

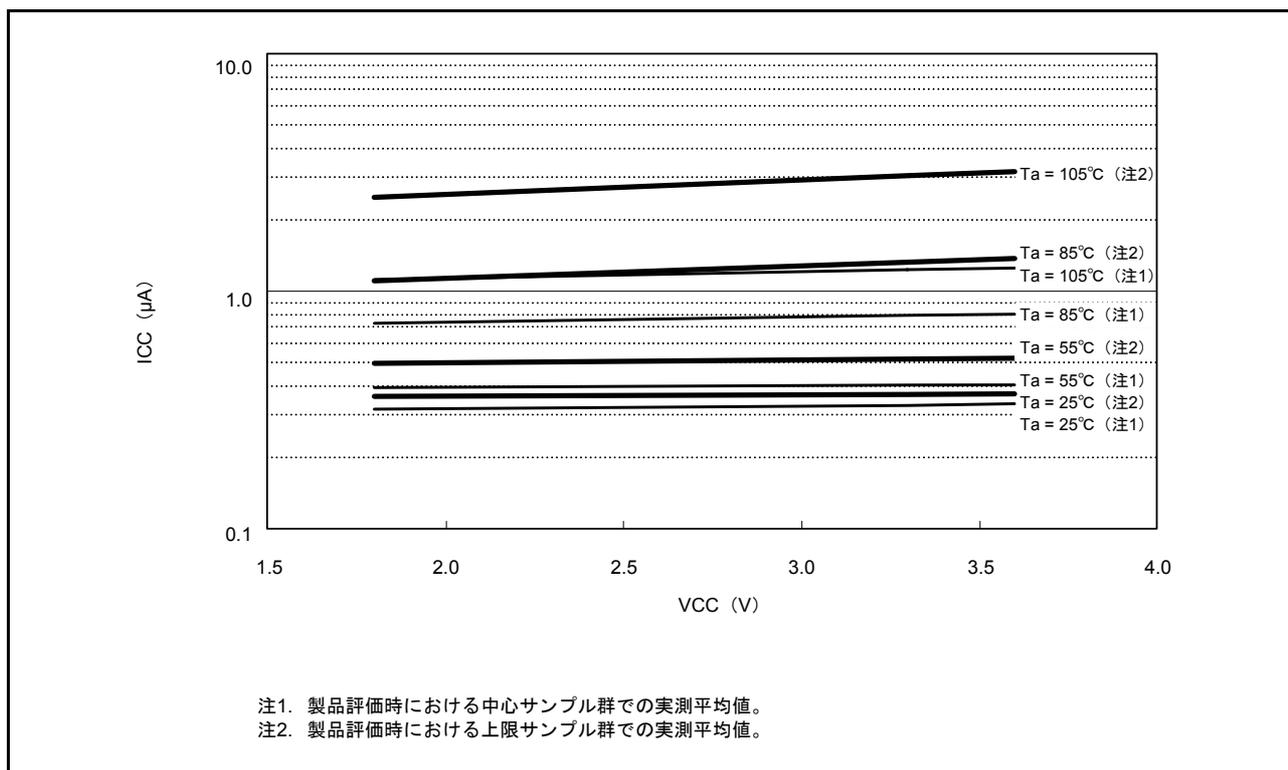


図 5.8 ディープソフトウェアスタンバイモード (DEEPCUT1 ビット = 1) 時の電圧依存性 (参考データ)

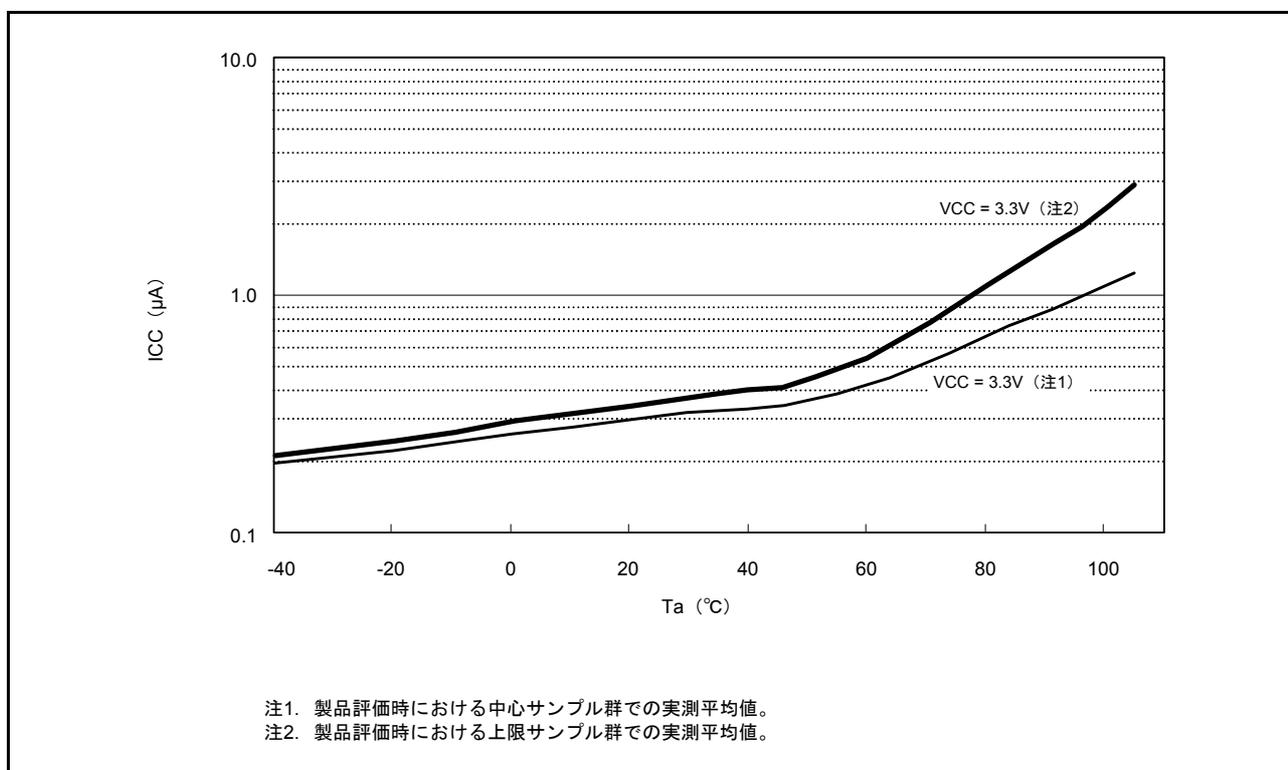


図 5.9 ディープソフトウェアスタンバイモード (DEEPCUT1 ビット = 1) 時の温度依存性 (参考データ)

表 5.9 DC特性 (8)

条件: VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V

項目	記号	typ	max	単位	測定条件
許容総消費電力 (注1)	Pd	—	350	mW	Ta = -40 ~ 85°C
		—	150		85°C < Ta ≤ 105°C

注. Ta = +85 ~ +105°Cで使用する場合のディレーティングについては、当社営業および販売店営業へお問い合わせください。なお、ディレーティングとは、信頼性を改善するために計画的に負荷を定格値から軽減することです。

注1. チップ全体（出力電流を含む）の総電力です。

表 5.10 DC特性 (9)

条件: VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VREFH = 1.8 ~ AVCC0、VREFH0 = 1.8 ~ AVCC0、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件
アナログ 電源電流	A/D変換中 変換時間 = 2μs	I _{AVCC0}	—	0.65	1.1	mA	
	温度センサ動作、A/D変換待機時		—	60	150		
	D/A変換中（1チャンネル当り）	I _{VREFH} (注1)	—	0.25	0.45	mA	
	A/D、D/A変換待機時（全ユニット）(注2)		—	0.2	2.0		
リファレンス 電源電流	A/D変換中 変換時間 = 2μs	I _{VREFH0}	—	0.05	0.1	mA	
	A/D変換待機時		—	0.2	0.4		μA

注. A/Dコンバータは、サンプル&ホールドなしの値です。

注1. D/Aコンバータの電源電流の値はリファレンス電源電流も含まれます。

注2. 数値はI_{AVCC0}とI_{VREFH}の合計値です。

表 5.11 DC特性 (10)

条件: VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
Ta = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
アナログ 電源電流	ΔΣA/D変換中（1チャンネル当り）	A _{CCA}	—	0.9	1.4	mA		
	ΔΣA/Dバイアス回路動作電流		—	90	130			μA
	ΔΣA/D変換停止時（全ユニット）		—	0.07	1.8			μA

表 5.12 DC特性 (11)

条件: VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
RAMスタンバイ電圧	V _{RAM}	1.8	—	—	V	

表 5.13 DC特性 (12)

条件: VCC = AVCC0 = AVCCA = 0 ~ 3.6V、VREFH = VREFH0 = 0 ~ AVCC0、
VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、Ta = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件
VCC立ち上がり勾配	SrVCC	0.02	—	20	ms/V	コールドスタート時

表 5.14 DC特性 (13)

条件：VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

電源リップルは、VCCの上限と下限は超えない範囲で許容電源リップル周波数 $f_r(VCC)$ を満たしてください。VCC変動がVCC $\pm 10\%$ を超える場合は、許容電源変動立ち上がり/立ち下がり勾配 $dt/dVCC$ を満たしてください。

項目	記号	min	typ	max	単位	測定条件
許容電源リップル周波数	$f_r(VCC)$	—	—	10	kHz	図 5.10 $VCC \times 0.1 < V_r(VCC) \leq VCC \times 0.2$
		—	—	1	MHz	図 5.10 $VCC \times 0.05 < V_r(VCC) \leq VCC \times 0.1$
		—	—	10	MHz	図 5.10 $V_r(VCC) \leq VCC \times 0.05$
許容電源変動立ち上がり/ 立ち下がり勾配	$dt/dVCC$	1.0	—	—	ms/V	VCC変動がVCC $\pm 10\%$ を超える場合

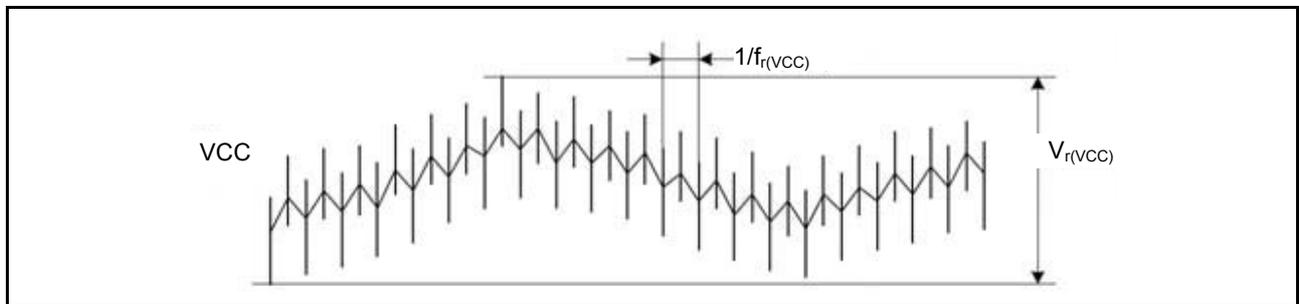


図 5.10 電源リップル波形

表 5.15 出力許容電流値 (1)

条件：VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 総電力 (mW) < 1000 - 10 × T_a のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時	I_{OL}	4.0	mA
	高駆動出力時		8.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	60	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時	I_{OH}	-4.0	
	高駆動出力時		-8.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-60	

表 5.16 出力許容電流値 (2)

条件：VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 総電力 (mW) $\geq 1000 - 10 \times T_a$ のとき

項目		記号	max	単位
出力Lowレベル許容電流 (1端子あたりの最大値)	通常出力時	I_{OL}	2.0	mA
	高駆動出力時		4.0	
出力Lowレベル許容電流 (総和)	全出力端子の総和	ΣI_{OL}	30	
出力Highレベル許容電流 (1端子あたりの最大値)	通常出力時	I_{OH}	-2.0	
	高駆動出力時		-4.0	
出力Highレベル許容電流 (総和)	全出力端子の総和	ΣI_{OH}	-30	

表 5.17 出力電圧値 (1)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 2.7V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	0.4	V	$I_{OL} = 0.5\text{mA}$
		高駆動出力時		—	0.4		$I_{OL} = 1.0\text{mA}$
出力High レベル	全出力端子	通常出力時	V_{OH}	$VCC - 0.4$	—	V	$I_{OH} = -0.5\text{mA}$
		高駆動出力時		$VCC - 0.4$	—		$I_{OH} = -1.0\text{mA}$

表 5.18 出力電圧値 (2)

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目			記号	min	max	単位	測定条件
出力Low レベル	全出力端子 (RIIC以外)	通常出力時	V_{OL}	—	1.0	V	$I_{OL} = 3.0\text{mA}$
		高駆動出力時		—	1.0		$I_{OL} = 5.0\text{mA}$
	RIIC端子			—	0.4		$I_{OL} = 3.0\text{mA}$
				—	0.6		$I_{OL} = 6.0\text{mA}$
出力High レベル	全出力端子	通常出力時	V_{OH}	$VCC - 1.0$	—	V	$I_{OH} = -3.0\text{mA}$
		高駆動出力時		$VCC - 1.0$	—		$I_{OH} = -5.0\text{mA}$

5.2.1 標準 I/O 端子出力特性 (1)

図 5.11 ~ 図 5.15 に駆動能力制御レジスタで通常出力を選択したときの特性を示します。

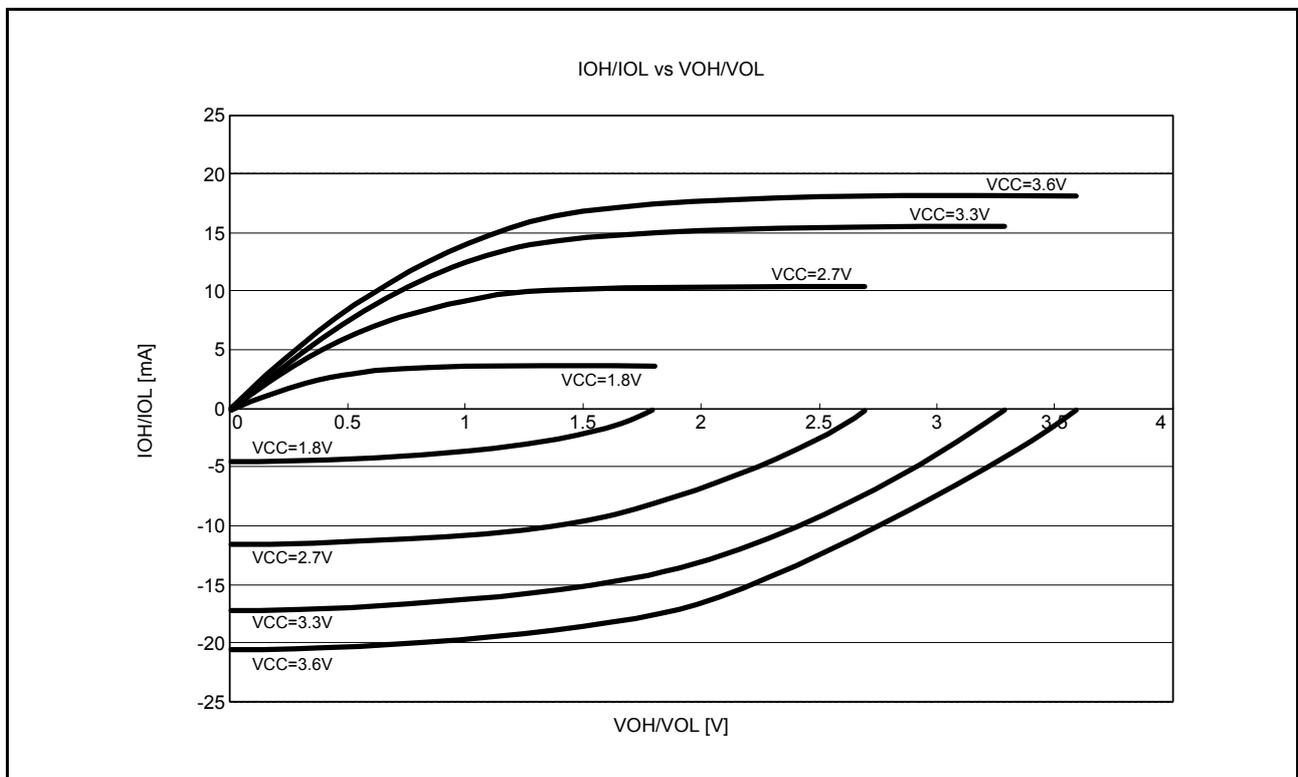


図 5.11 通常出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 $T_a = 25^\circ\text{C}$ (参考データ)

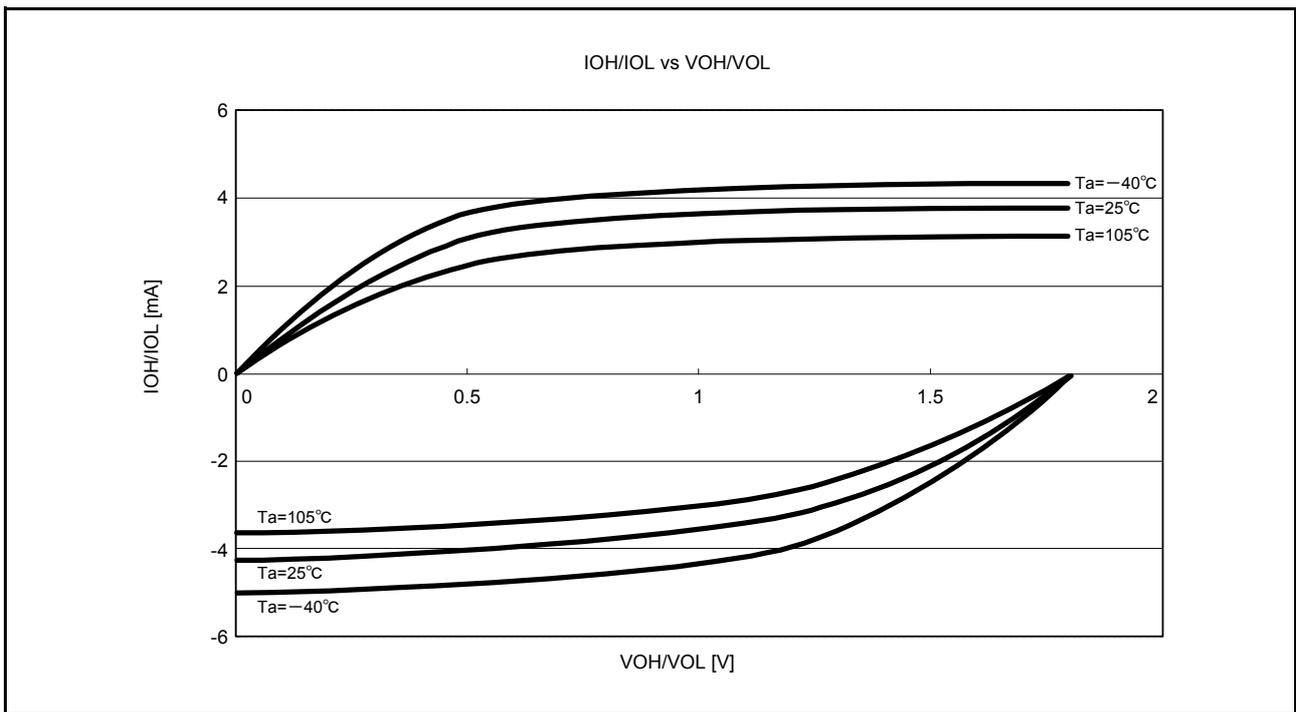


図 5.12 通常出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 1.8V (参考データ)

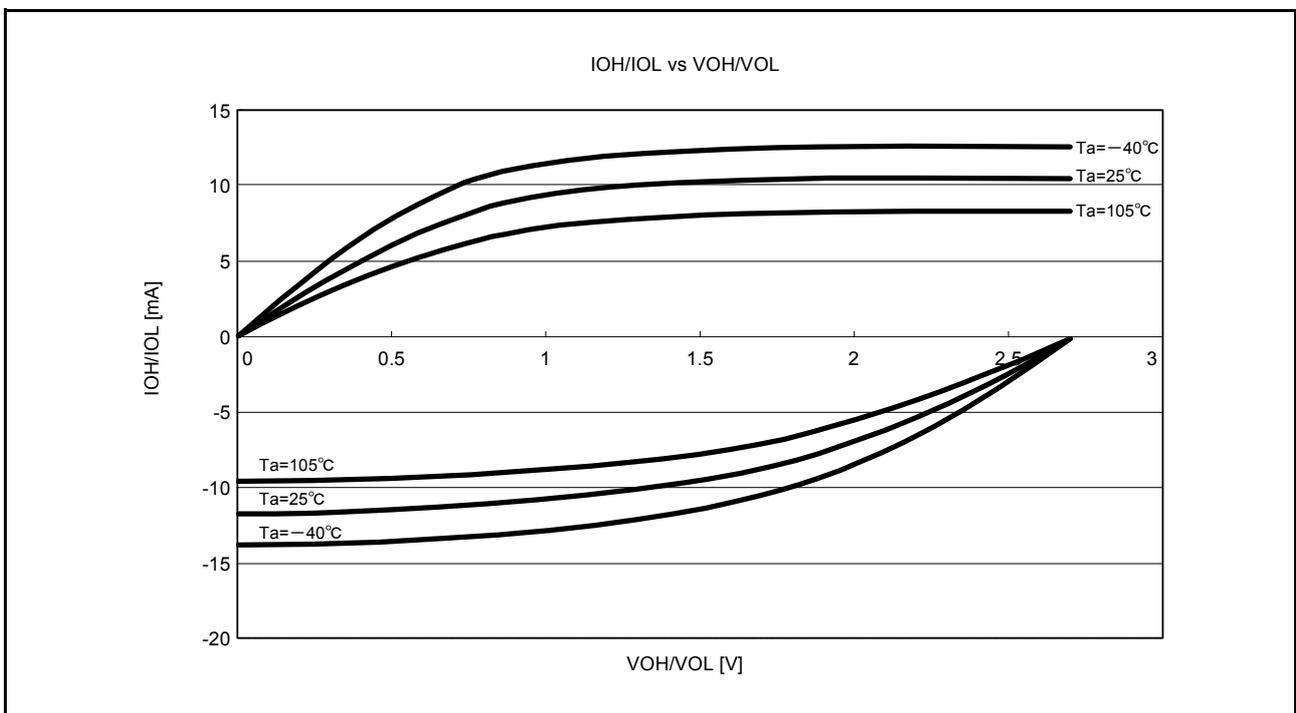


図 5.13 通常出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 2.7V (参考データ)

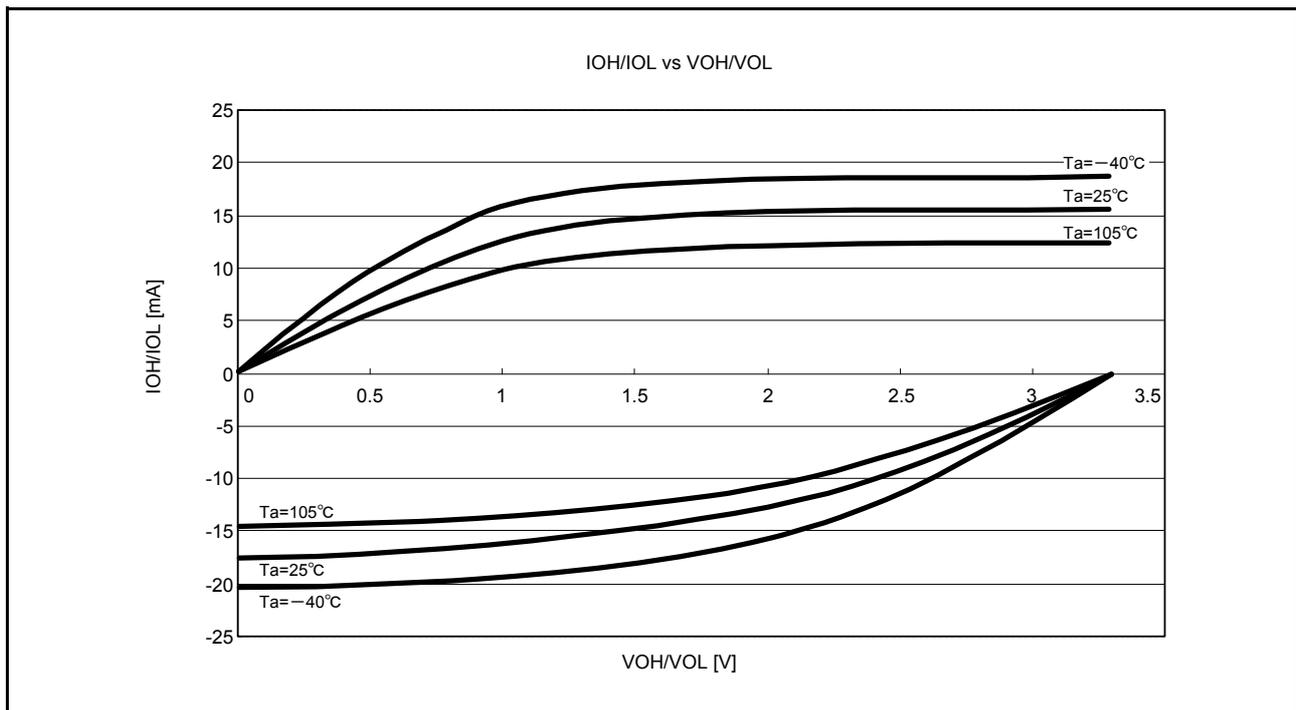


図 5.14 通常出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 3.3V (参考データ)

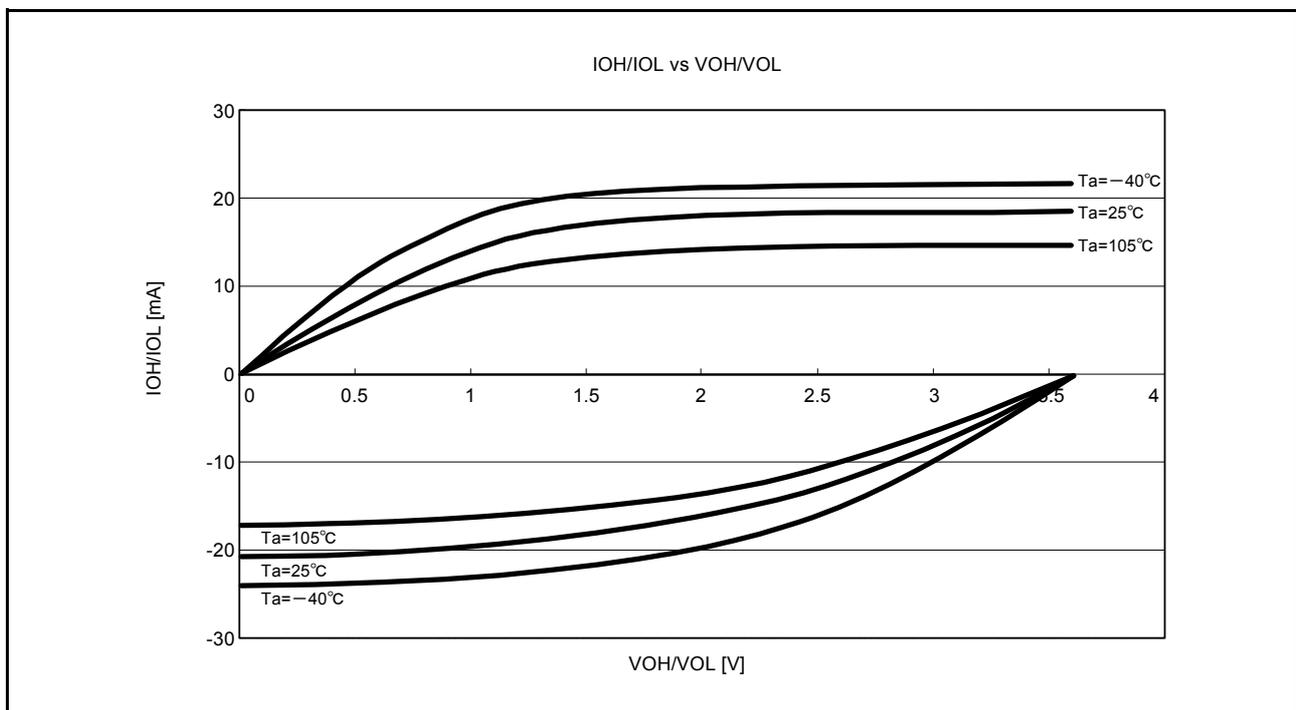


図 5.15 通常出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 3.6V (参考データ)

5.2.2 標準 I/O 端子出力特性 (2)

図 5.16 ~ 図 5.20 に駆動能力制御レジスタで高駆動出力を選択したときの特性を示します。

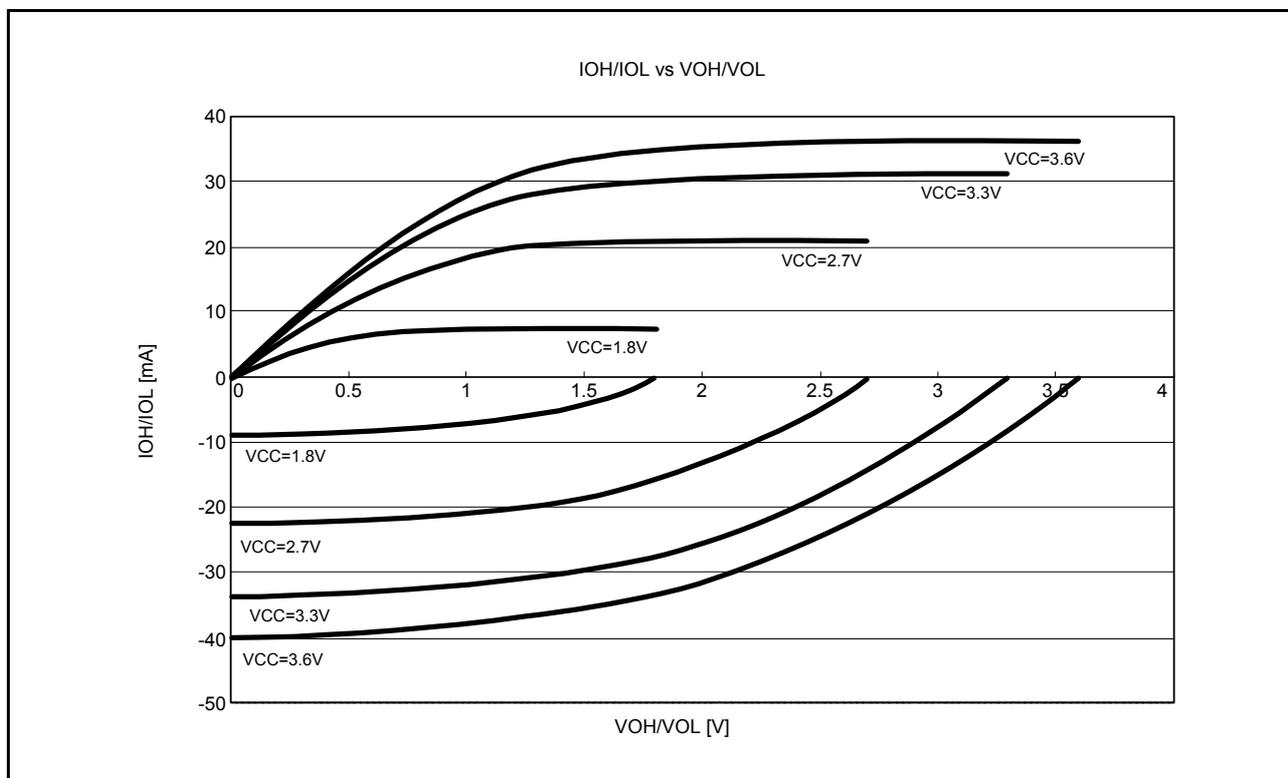


図 5.16 高駆動出力を選択したときの VOH/VOL、IOH/IOL 電圧特性 Ta = 25 °C (参考データ)

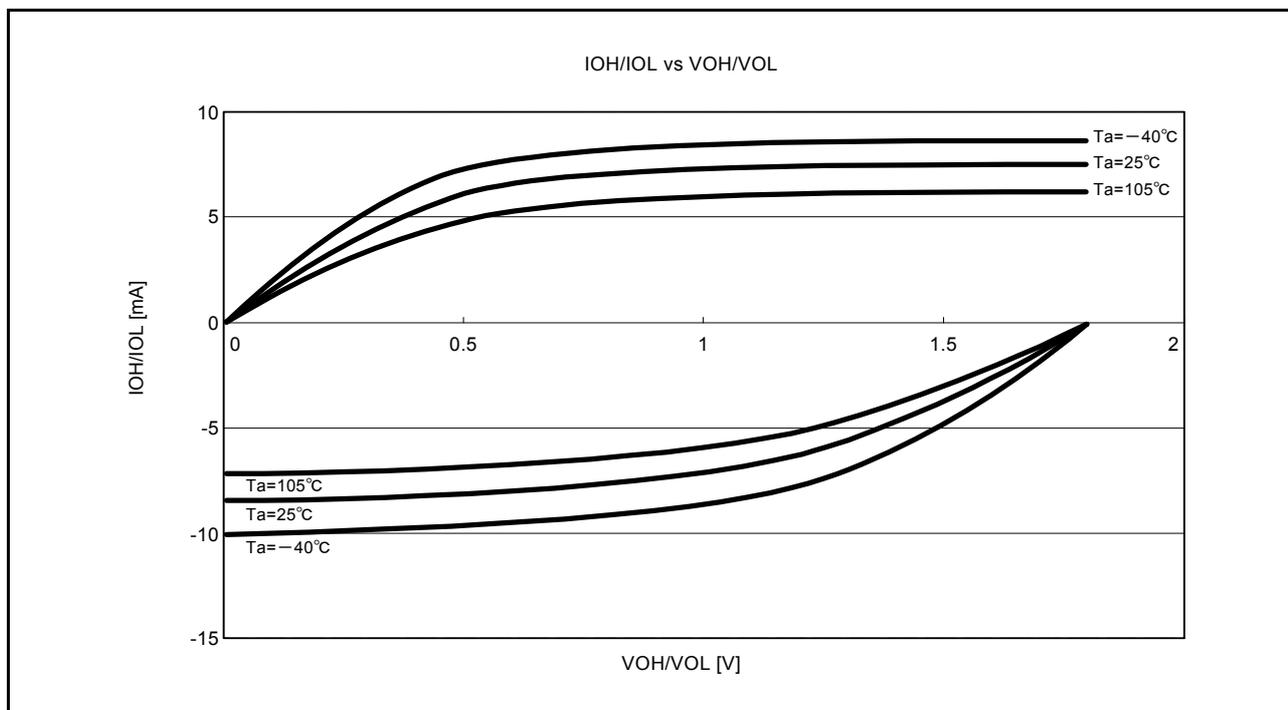


図 5.17 高駆動出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 1.8V (参考データ)

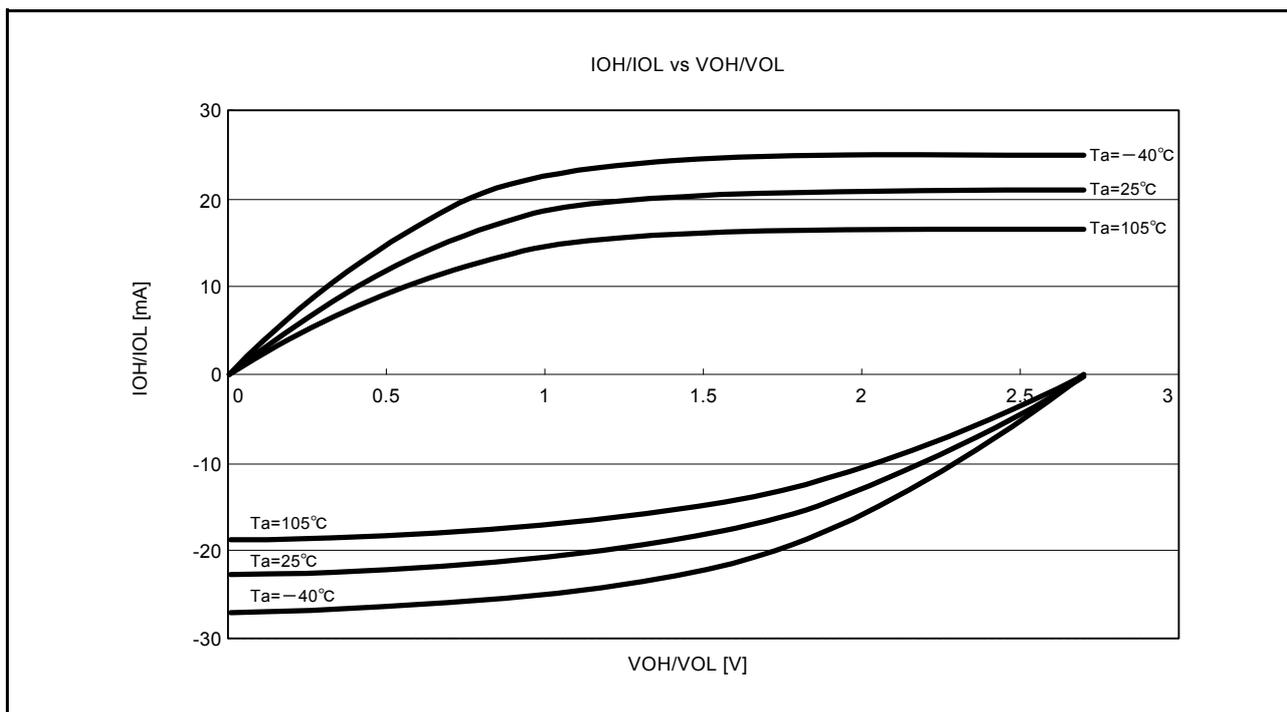


図 5.18 高駆動出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 2.7V (参考データ)

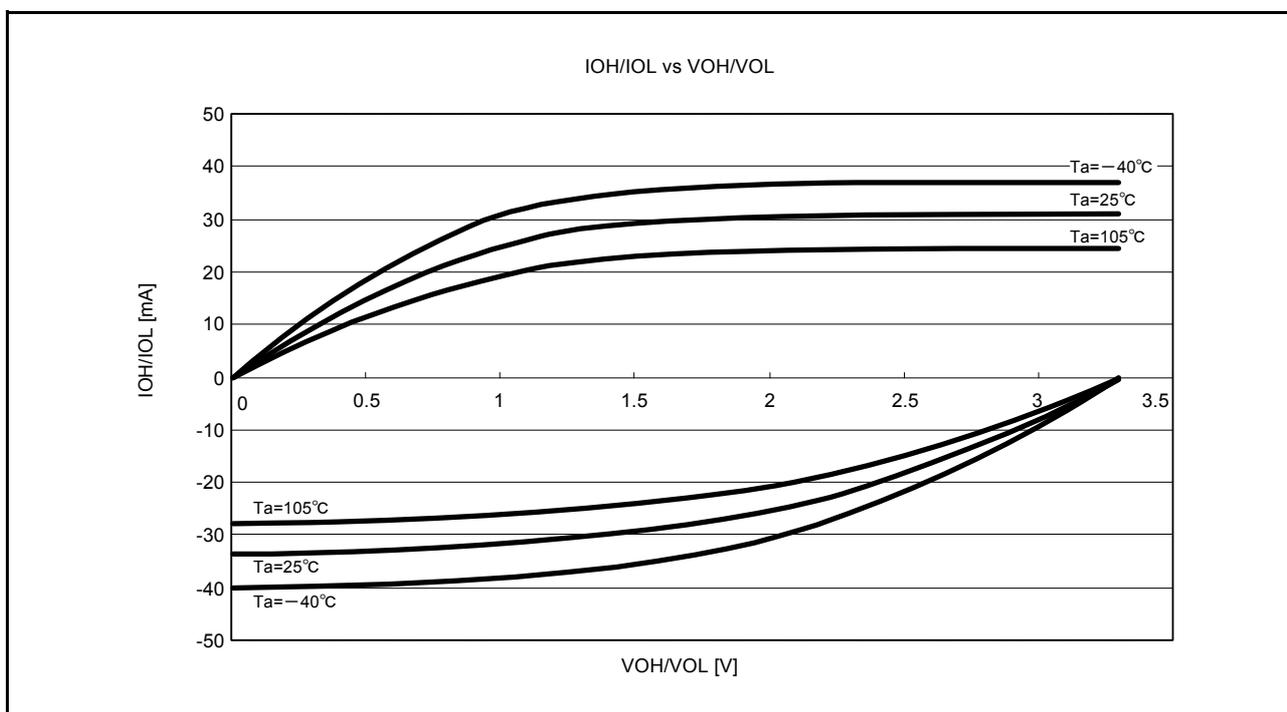


図 5.19 高駆動出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 3.3V (参考データ)

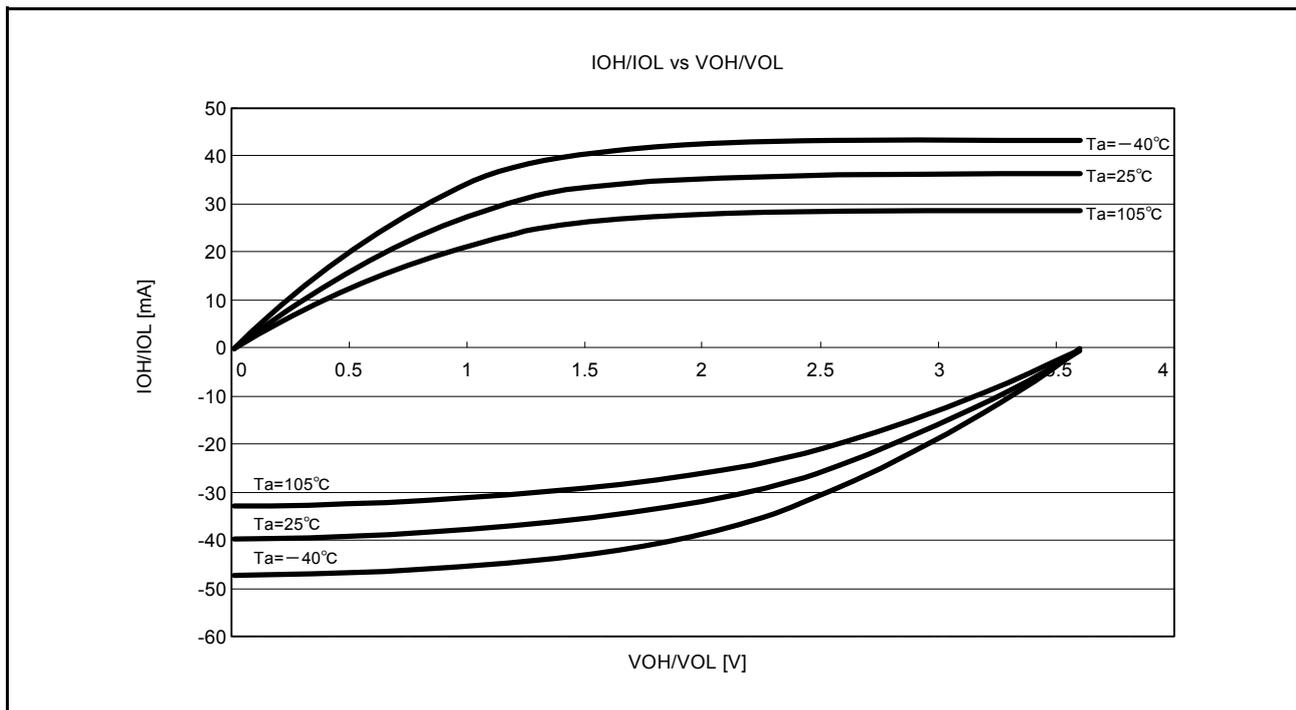


図 5.20 高駆動出力を選択したときの VOH/VOL IOH/IOL 温度特性 VCC = 3.6V (参考データ)

5.2.3 RIIC 端子出力特性

図 5.21 ~ 図 5.24 に RIIC 端子の出力特性を示します。

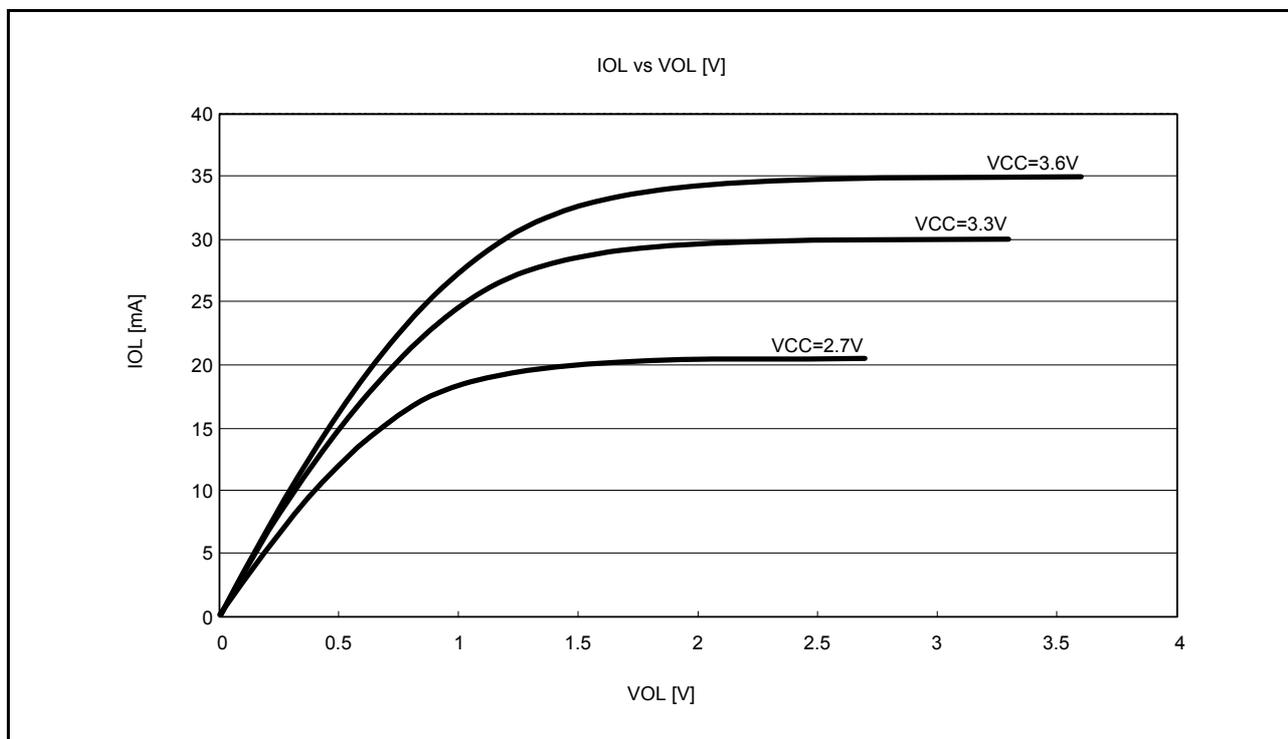


図 5.21 RIIC 出力端子の VOL、IOL 電圧特性 Ta = 25 °C (参考データ)

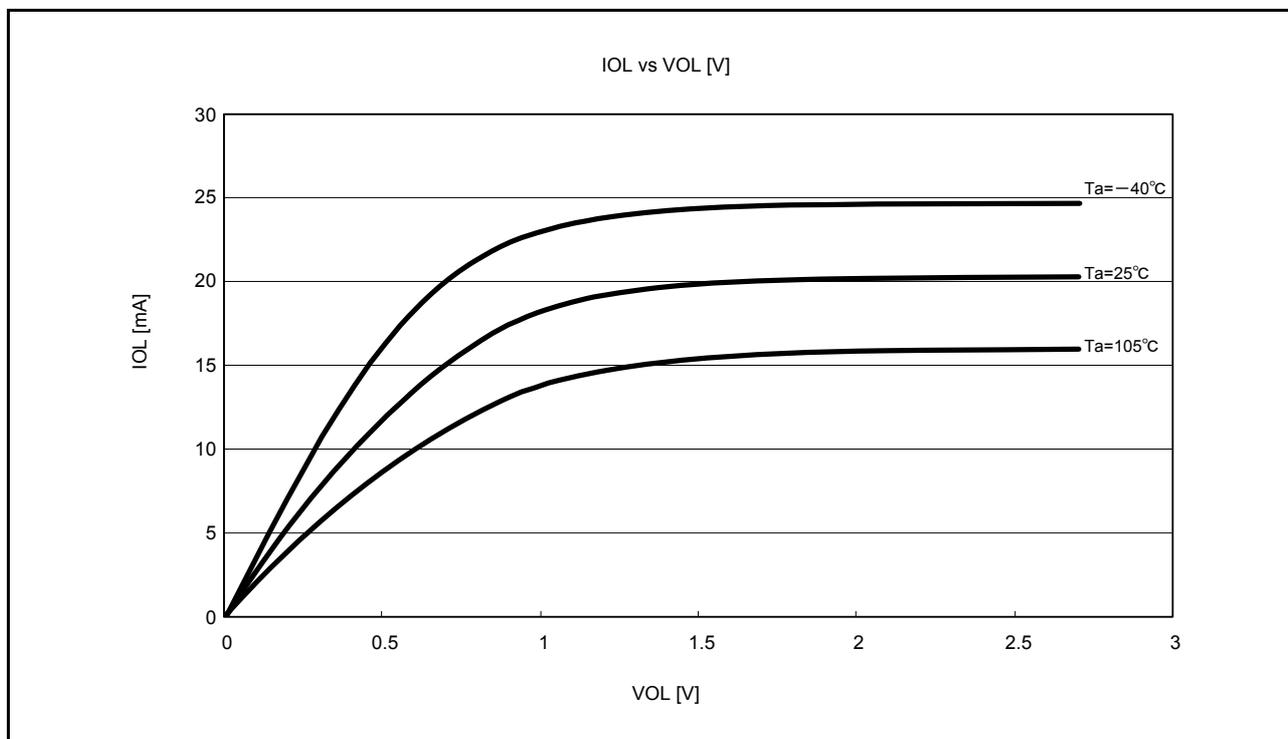


図 5.22 RIIC 出力端子の VOL、IOL 温度特性 VCC = 2.7V (参考データ)

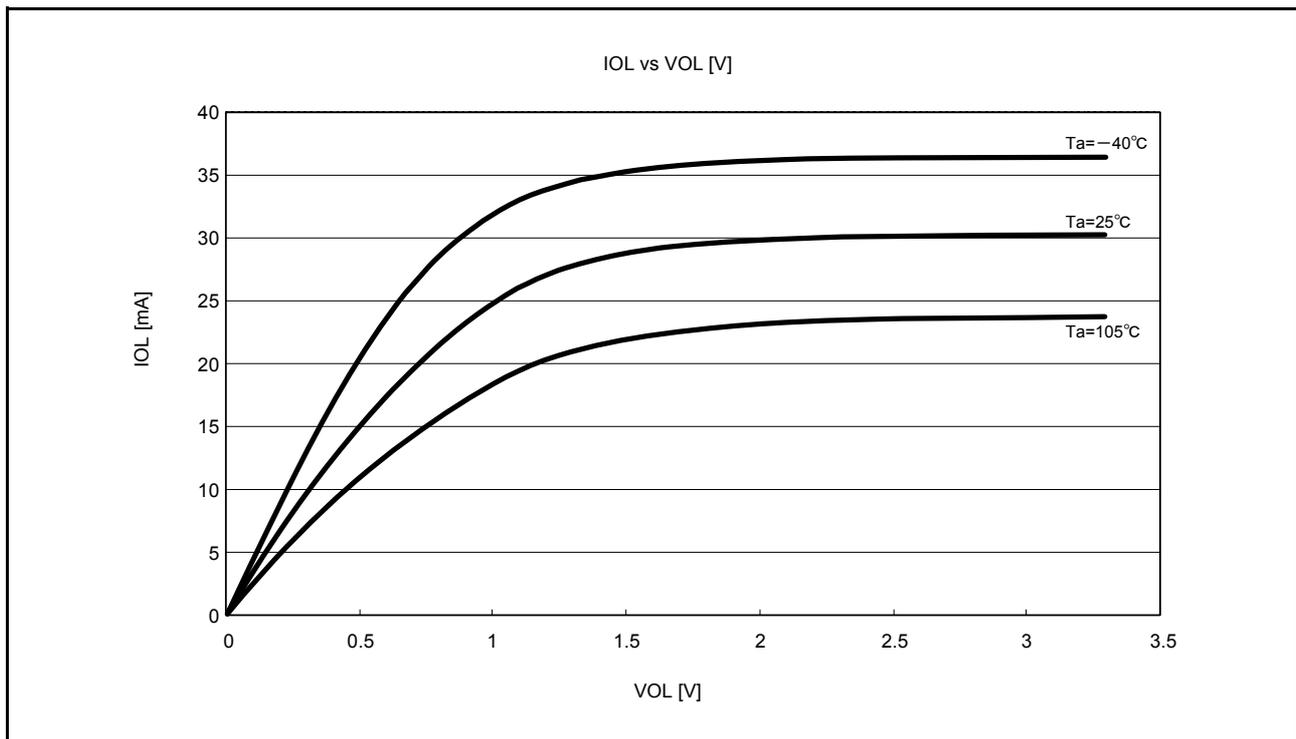


図 5.23 RIIC 出力端子の VOL、IOL 温度特性 VCC=3.3V (参考データ)

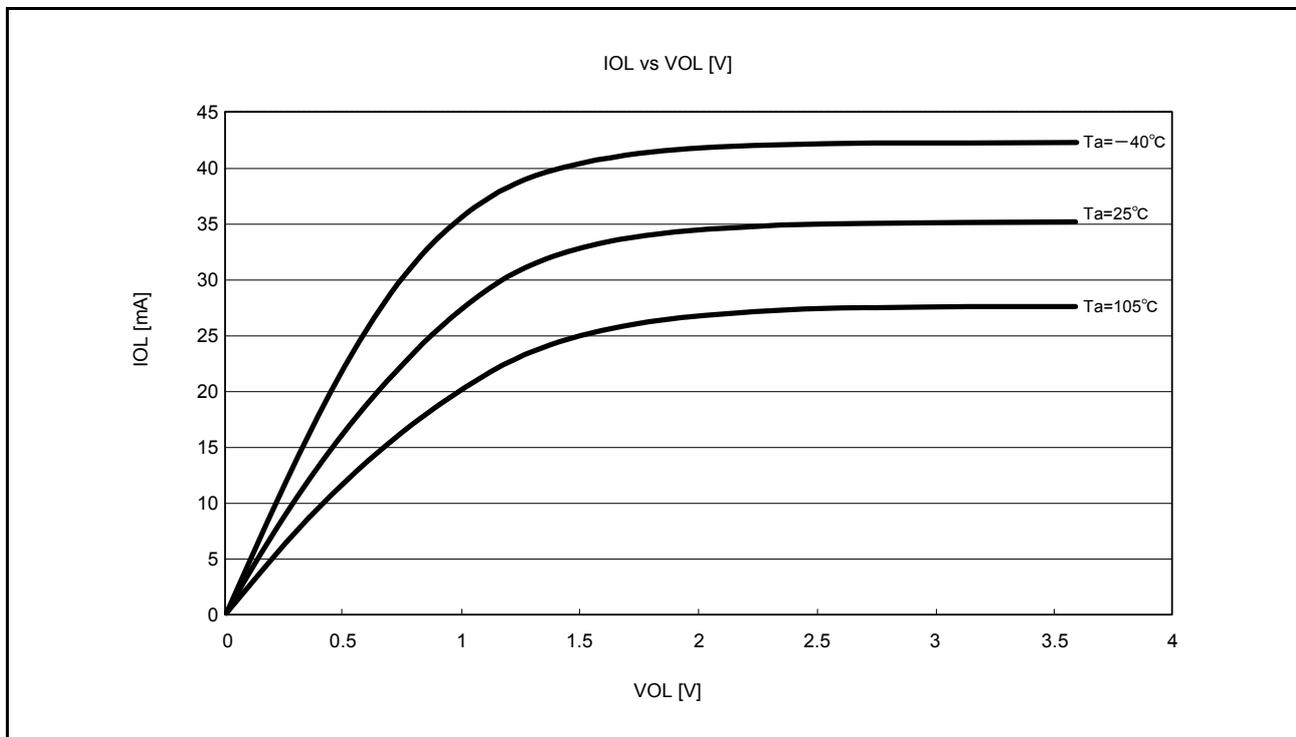


図 5.24 RIIC 出力端子の VOL、IOL 温度特性 VCC = 3.6V (参考データ)

5.3 AC 特性

表5.19 動作周波数 (高速動作モード)

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		2.7 ~ 3.6V			
最大動作周波数	システムクロック (ICLK)	f_{\max}	50		MHz
	FlashIFクロック (FCLK) (注1)		25		
	周辺モジュールクロック (PCLKA)		50		
	周辺モジュールクロック (PCLKB)		25		
	周辺モジュールクロック (PCLKC) (注2)		25		
	周辺モジュールクロック (PCLKD) (注3)		25		

- 注1. フラッシュメモリP/E時のFCLKの下限周波数は4MHzです。
 注2. $\Delta\Sigma$ /Dコンバータ使用時のPCLKCの周波数は25MHzとしてください。
 注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.20 動作周波数 (中速動作モード1A)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		1.8 ~ 2.7V	2.7 ~ 3.6V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	25	25	MHz
	FlashIFクロック (FCLK) (注1)		25	25	
	周辺モジュールクロック (PCLKA)		25	25	
	周辺モジュールクロック (PCLKB)		25	25	
	周辺モジュールクロック (PCLKC) (注2)		25	25	
	周辺モジュールクロック (PCLKD) (注3)		25	25	

- 注1. フラッシュメモリP/E時のVCCは2.7~3.6V、FCLKの下限周波数は4MHzです。
 注2. $\Delta\Sigma$ /Dコンバータ使用時のPCLKCの周波数は25MHzとしてください。
 注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.21 動作周波数 (中速動作モード1B)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		1.8 ~ 2.7V	2.7 ~ 3.6V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	25	25	MHz
	FlashIFクロック (FCLK) (注1)		25	25	
	周辺モジュールクロック (PCLKA)		25	25	
	周辺モジュールクロック (PCLKB)		25	25	
	周辺モジュールクロック (PCLKC) (注2)		25	25	
	周辺モジュールクロック (PCLKD) (注3)		25	25	

- 注1. フラッシュメモリP/E時のFCLKの下限周波数は4MHzです。
 注2. $\Delta\Sigma$ /Dコンバータ使用時のPCLKCの周波数は25MHzとしてください。
 注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.22 動作周波数 (中速動作モード2A)

条件: VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		1.8 ~ 2.7V	2.7 ~ 3.6V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	12.5	25	MHz
	FlashIFクロック (FCLK) (注1)		12.5	25	
	周辺モジュールクロック (PCLKA)		12.5	25	
	周辺モジュールクロック (PCLKB)		12.5	25	
	周辺モジュールクロック (PCLKC) (注2)		12.5	25	
	周辺モジュールクロック (PCLKD) (注3)		12.5	25	

注1. フラッシュメモリP/E時のVCCは2.7~3.6V、FCLKの下限周波数は4MHzです。

注2. $\Delta\Sigma$ /Dコンバータ使用時のPCLKCの周波数は25MHzとしてください。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.23 動作周波数 (中速動作モード2B)

条件: VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		1.8 ~ 2.7V	2.7 ~ 3.6V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	12.5	25	MHz
	FlashIFクロック (FCLK) (注1)		12.5	25	
	周辺モジュールクロック (PCLKA)		12.5	25	
	周辺モジュールクロック (PCLKB)		12.5	25	
	周辺モジュールクロック (PCLKC) (注2)		12.5	25	
	周辺モジュールクロック (PCLKD) (注3)		12.5	25	

注1. フラッシュメモリP/E時のFCLKの下限周波数は4MHzです。

注2. $\Delta\Sigma$ /Dコンバータ使用時のPCLKCの周波数は25MHzとしてください。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.24 動作周波数（低速動作モード1）

条件：VCC = AVCC0 = AVCCA = 1.8～3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		1.8～2.7V	2.7～3.6V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	4	8	MHz
	FlashIFクロック (FCLK) (注1)		4	8	
	周辺モジュールクロック (PCLKA)		4	8	
	周辺モジュールクロック (PCLKB)		4	8	
	周辺モジュールクロック (PCLKC) (注2)		4	8	
	周辺モジュールクロック (PCLKD) (注3)		4	8	

注1. フラッシュメモリのP/E不可です。

注2. $\Delta\Sigma$ /Dコンバータは使用できません。

注3. A/Dコンバータ使用時のPCLKDの下限周波数は1MHzです。

表5.25 動作周波数（低速動作モード2）

条件：VCC = AVCC0 = AVCCA = 1.8～3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	VCC		単位	
		1.8～2.7V	2.7～3.6V		
最大動作周波数	システムクロック (ICLK)	f_{\max}	32.768	32.768	kHz
	FlashIFクロック (FCLK) (注1)		32.768	32.768	
	周辺モジュールクロック (PCLKA)		32.768	32.768	
	周辺モジュールクロック (PCLKB)		32.768	32.768	
	周辺モジュールクロック (PCLKC) (注2)		32.768	32.768	
	周辺モジュールクロック (PCLKD) (注3)		32.768	32.768	

注1. フラッシュメモリのP/E不可です。

注2. $\Delta\Sigma$ /Dコンバータは使用できません。

注3. A/Dコンバータは使用できません。

5.4 クロックタイミング

表5.26 クロックタイミング

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
EXTAL外部クロック入力サイクル時間	t _{EXcyc}	50	—	—	ns	図 5.25	
EXTAL外部クロック入力パルス幅Highレベル	t _{EXH}	20	—	—	ns		
EXTAL外部クロック入力パルス幅Lowレベル	t _{EXL}	20	—	—	ns		
EXTAL外部クロック立ち上がり時間	t _{EXr}	—	—	5	ns		
EXTAL外部クロック立ち下がり時間	t _{EXf}	—	—	5	ns		
EXTAL外部クロック入力待機時間 (注1)	t _{EXWT}	1	—	—	ms	図 5.26	
メインクロック発振器発振周波数 (注2)	f _{MAIN}	1	—	20	MHz		
メインクロック発振安定時間 (水晶) (注2)	t _{MAINOSC}	—	3	—	ms		
メインクロック発振安定時間 (セラミック共振子) (注2)	t _{MAINOSC}	—	50	—	μs		
メインクロック発振安定待機時間 (水晶) (注2)	t _{MAINOSCWT}	—	6	—	ms	図 5.27	
メインクロック発振安定待機時間 (セラミック共振子) (注2)	t _{MAINOSCWT}	—	100	—	μs		
LOCO、IWDTCLKクロックサイクル時間	t _{cyc}	7.27	8	8.89	μs		
LOCO、IWDTCLKクロック発振周波数	f _{LOCO}	112.5	125	137.5	kHz	図 5.27	
LOCO、IWDTCLKクロック発振安定待機時間	t _{LOCOWT}	—	—	20	μs		
HOCOクロック発振周波数	f _{HOCO}	31.680	32	32.320	MHz	Ta = 0 ~ 50°C	
		36.495	36.864	37.233			
		39.600	40	40.400			
		49.500	50	50.500			
		31.520	32	32.480	MHz	Ta = -40 ~ 105°C	
		36.311	36.864	37.417			
		39.400	40	40.600			
		49.250	50	50.750			
HOCOクロック発振安定時間1	t _{HOCO1}	—	—	300	μs	図 5.28	
HOCOクロック発振安定時間2	t _{HOCO2}	—	—	175	μs	図 5.29	
HOCOクロック発振安定待機時間	t _{HOCOWT}	—	—	350	μs	図 5.29	
HOCOクロック電源安定時間	t _{HOCOP}	—	—	350	μs	図 5.30	
PLL入力周波数	f _{PLLIN}	4	—	12.5	MHz	図 5.31	
PLL回路発振周波数	f _{PLL}	50	—	100	MHz		
PLLクロック発振安定時間	メインクロック発振安定後にPLL動作開始	t _{PLL1}	—	—	500	μs	図 5.31
PLLクロック発振安定待機時間		t _{PLLWT1}	1.5	—	—	ms	
PLLクロック発振安定時間 (注4)	メインクロック発振安定前にPLL動作開始	t _{PLL2}	—	3.5 (注3)	—	ms	図 5.32
PLLクロック発振安定待機時間 (注4)		t _{PLLWT2}	—	7	—	ms	
PLLクロック電源安定時間	t _{PLLPW}	—	—	30	μs	図 5.33	
サブクロック発振器発振周波数	f _{SUB}	—	32.768	—	kHz	図 5.34	
サブクロック発振安定時間 (注5)	t _{SUBOSC}	2	—	—	s		
サブクロック発振安定待機時間 (注5)	t _{SUBOSCWT}	4	—	—	s		

- 注1. P36、P37を入力に設定し、メインクロック発振器停止ビット (MOSCCR.MOSTP) を“0” (動作) に設定してから、使用できるまでの時間です。
- 注2. メインクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の値を MOSCWTCR レジスタに設定してください。メインクロック発振安定待機時間は、メインクロック発振安定時間に十分なマージン (推奨2倍) を考慮してください。MOSCCR.MOSTP ビットでメインクロック発振器を動作設定に変更後、メインクロック発振安定待機時間 (t_{MAINOSCWT}) が経過した後、メインクロックの使用を開始してください。
- 注3. 8MHzの発振子を使用した場合の参考値です。
- 注4. メインクロック発振安定時間とPLL発振安定時間を足した値です。
- 注5. 8MHzの発振子を使用した場合の参考値です。
- 注5. サブクロック発振安定時間は、発振子メーカーが推奨する安定時間以上の待機時間になるようにSOSCWTCRレジスタに設定してください。サブクロック発振安定待機時間は、サブクロック発振安定時間に十分なマージン (推奨2倍) を考慮して値を設定してください。

SOSCCR.SOSTPビット、またはRCR3.RTCENビットでサブクロック発振器を動作設定に変更後、サブクロック発振安定待機時間 (tSUBOSCWT) が経過した後、サブクロックの使用を開始してください。

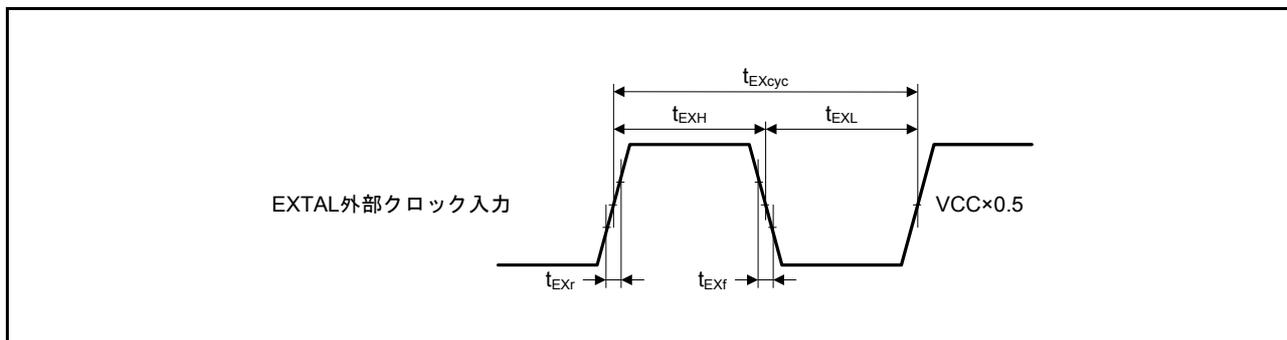


図 5.25 EXTAL 外部クロック入力タイミング

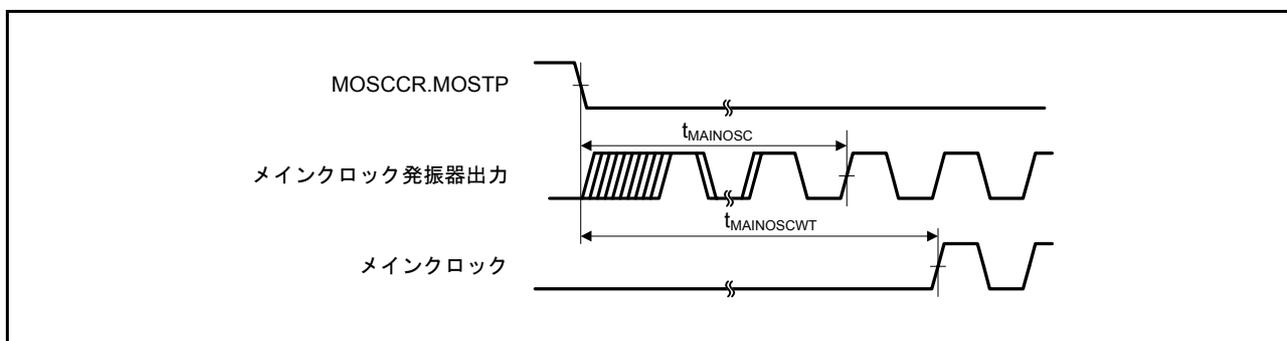


図 5.26 メインクロック発振開始タイミング

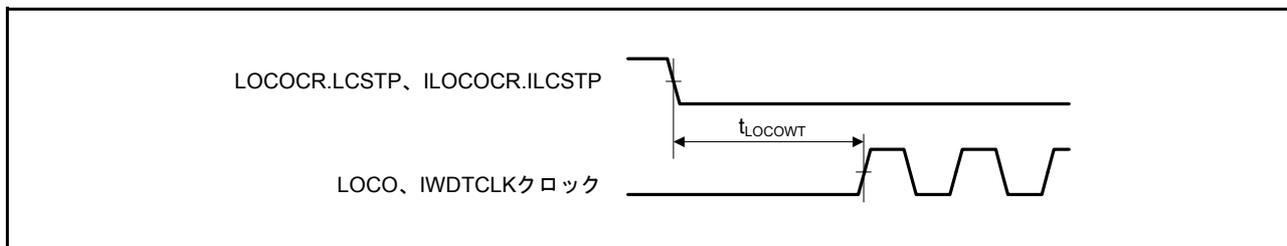


図 5.27 LOCO、IWDTCCLK クロック発振開始タイミング

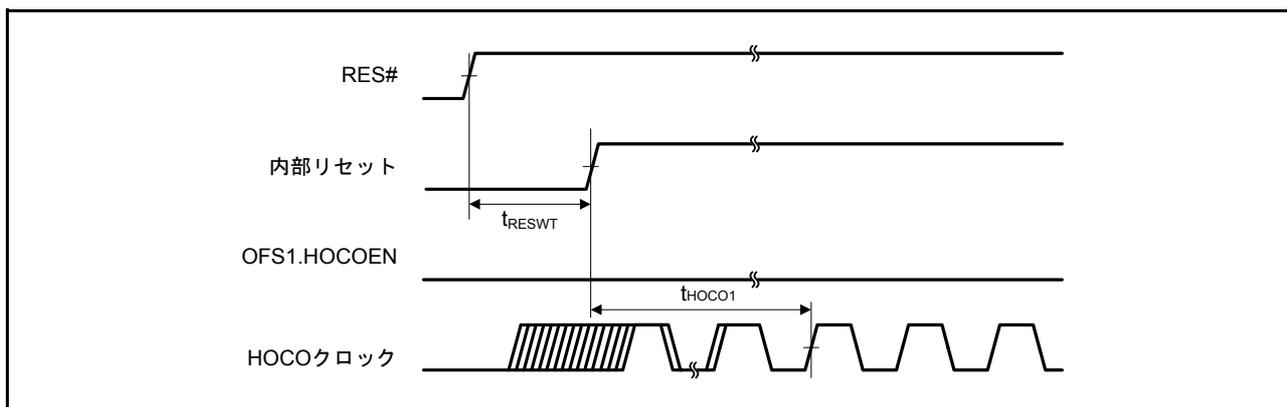


図 5.28 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット“0” 設定時のリセット解除後)

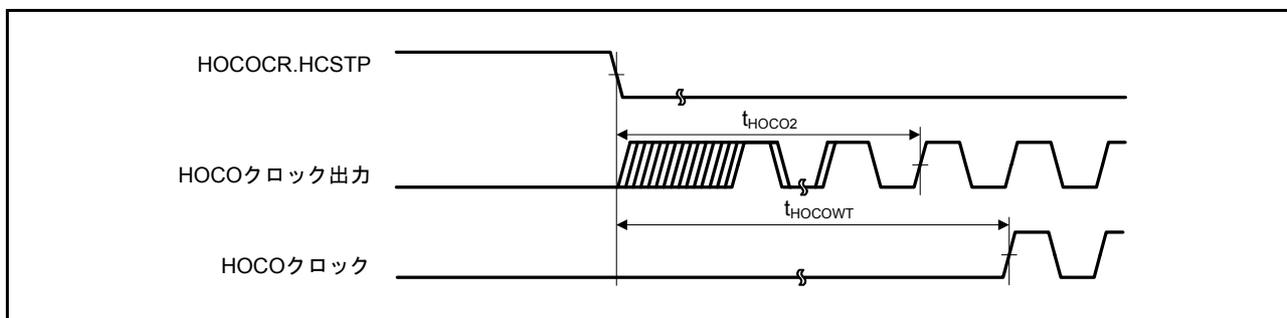


図 5.29 HOCO クロック発振開始タイミング (HOCOEN.HCSTP ビット設定による発振開始)

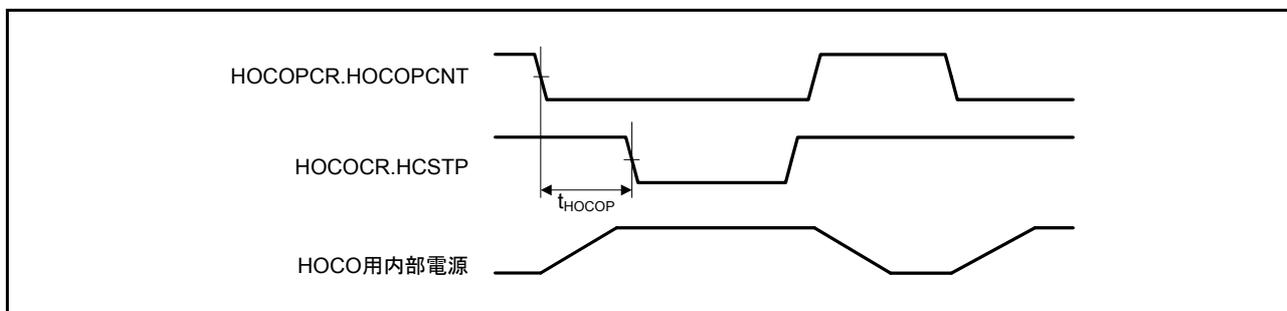


図 5.30 HOCO 電源制御タイミング

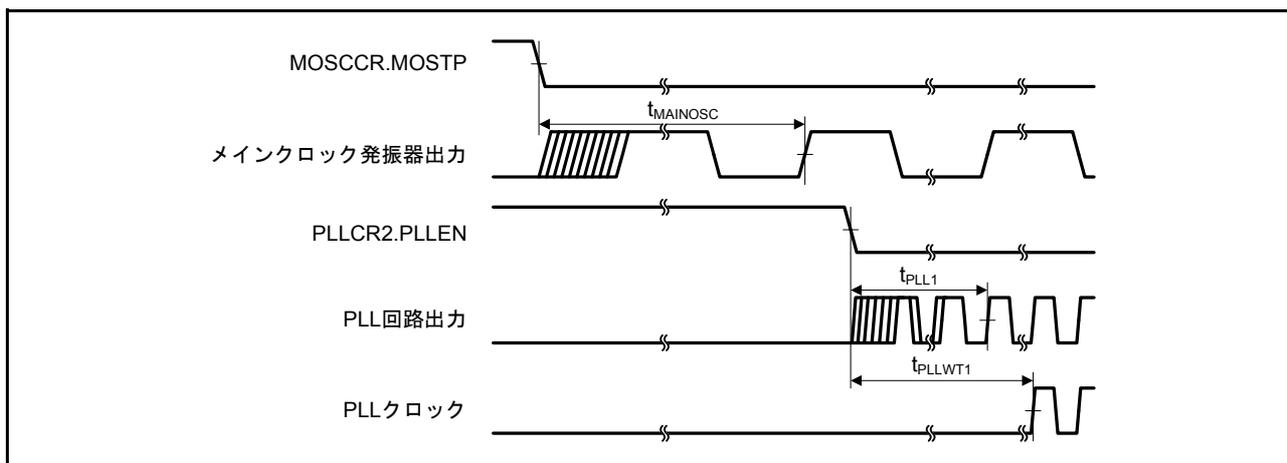


図 5.31 PLL クロック発振開始タイミング (メインクロック発振安定後に PLL を動作させたとき)

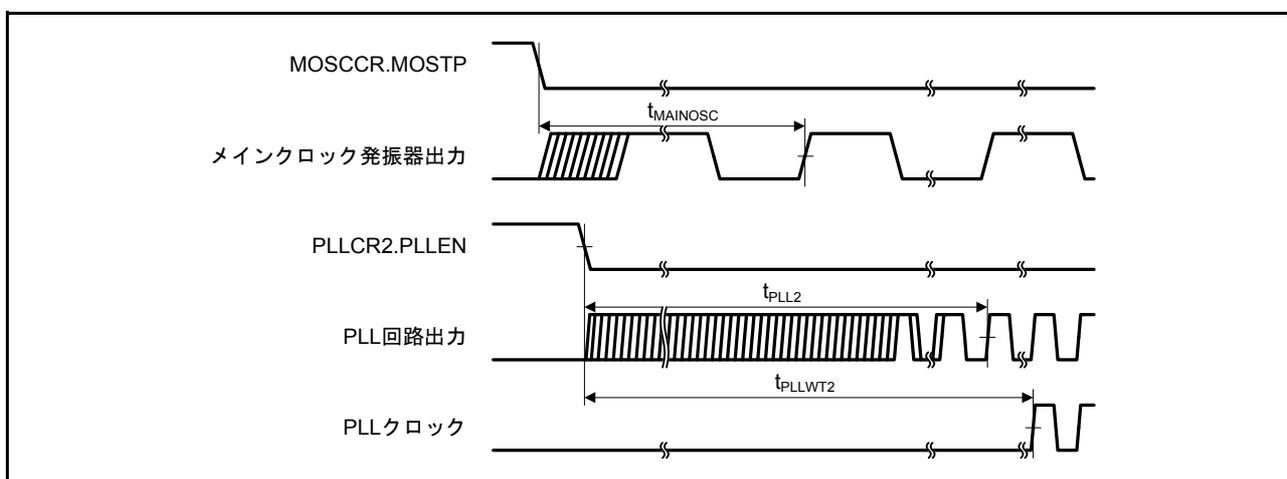


図 5.32 PLL クロック発振開始タイミング (メインクロック発振安定を待たずに PLL を動作させたとき)

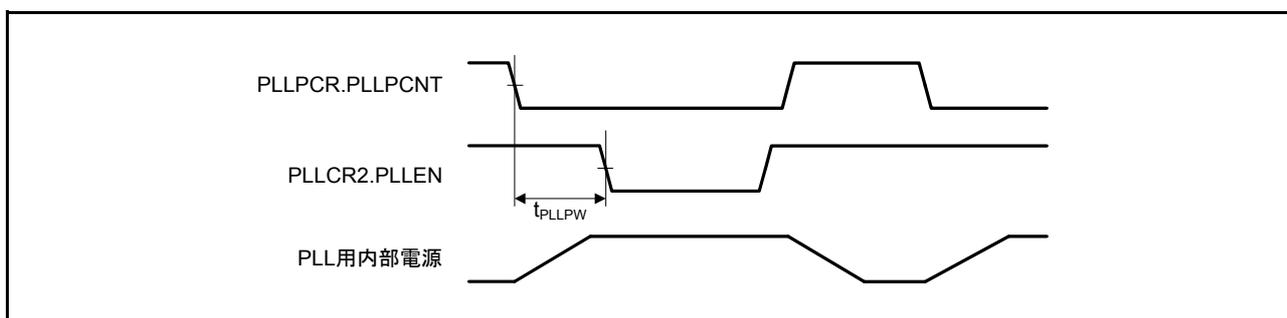


図 5.33 PLL 電源制御タイミング

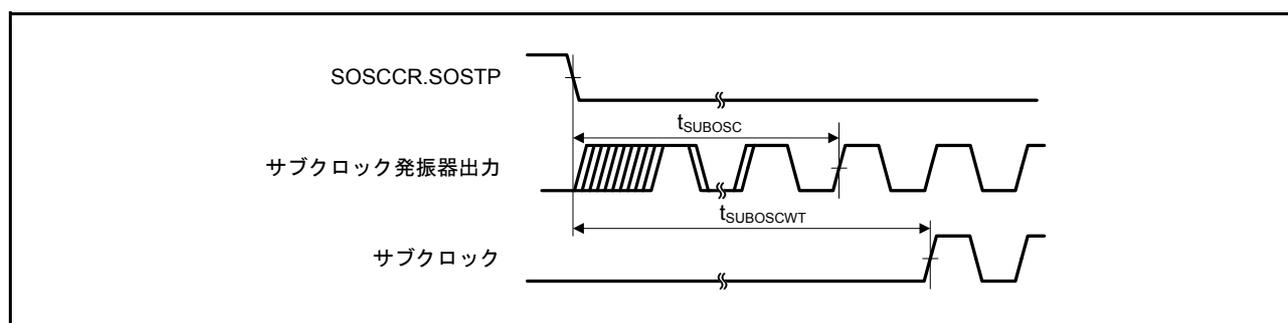


図 5.34 サブクロック発振開始タイミング

5.4.1 リセットタイミング

表5.27 リセットタイミング

条件 : VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^{\circ}\text{C}$

項目	記号	min	typ	max	単位	測定条件	
RES#パルス幅	電源投入時	t_{RESWP}	8	—	—	ms	図 5.35
	ディープソフトウェアスタンバイモード	t_{RESWD}	8	—	—	ms	図 5.36
	ソフトウェアスタンバイモード、 低速動作モード1、2	t_{RESWS}	1	—	—	ms	
	ROMプログラム/イレーズ中、E2データフラッシュのプログラム/イレーズ/ブランクチェック中	t_{RESWF}	200	—	—	μs	
	上記以外	t_{RESW}	200	—	—	μs	
RES#解除後待機時間	t_{RESWT}	—	—	912	μs	図 5.35	
内部リセット時間 (独立ウォッチドッグタイマリセット、ウォッチドッグタイマリセット、ソフトウェアリセット)	t_{RESW2}	—	—	1.4	ms		

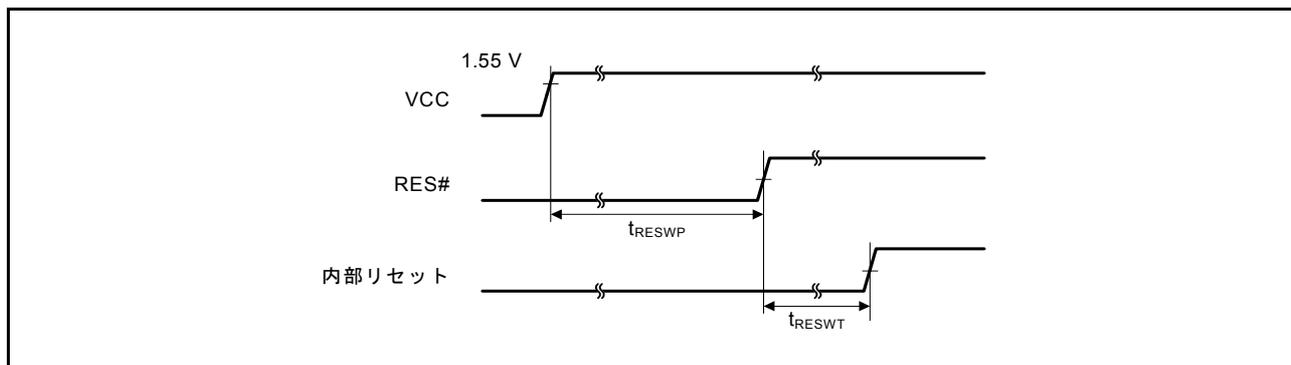


図 5.35 電源投入時リセット入カタイミング

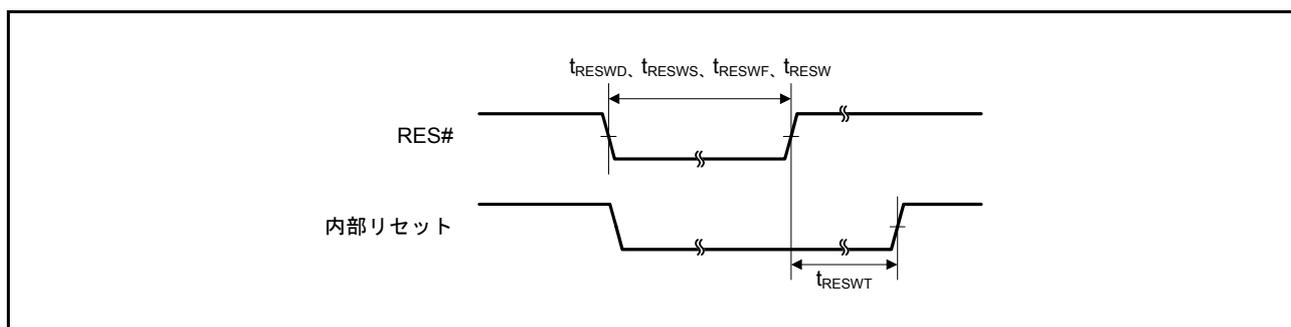


図 5.36 リセット入カタイミング

5.4.2 低消費電力状態からの復帰タイミング

表5.28 低消費電力状態からの復帰タイミング

条件：VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
T_a = -40~+105°C

項目		記号	min	typ	max	単位	測定条件	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ、HOCO電源供給) (SOFTCUT [2:0]ビット = 000b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.37
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	10	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	500	μs	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ソフトウェアスタンバイモード解除後復帰時間 (フラッシュメモリ電源供給、HOCO電源供給なし) (SOFTCUT [2:0]ビット = 110b) (注1)	メインクロック発振器に水晶振動子を接続 (注2)	メインクロック発振器動作	t _{SBYMC}	—	3	—	ms	図 5.37
		メインクロック発振器、PLL回路動作	t _{SBYPC}	—	3.5	—	ms	
	メインクロック発振器に外部クロックを入力	メインクロック発振器動作	t _{SBYEX}	40	—	—	μs	
		メインクロック発振器、PLL回路動作	t _{SBYPE}	0.5	—	—	ms	
	サブクロック発振器動作		t _{SBYSC}	2 (注3)	—	—	s	
	HOCOクロック動作		t _{SBYHO}	—	—	1.2	ms	
	LOCOクロック動作		t _{SBYLO}	—	—	90	μs	
ディープソフトウェアスタンバイモード解除後復帰時間		t _{DSBY}	—	—	8	ms	図 5.38	
ディープソフトウェアスタンバイモード解除後待機時間		t _{DSBYWT}	—	—	0.8	ms		

注1. WAIT命令実行時の各発振器の状態によって復帰時間が異なります。複数の発振器が動作している場合の復帰時間は、システムクロックのクロックソースに選択されていない発振器の動作状態によって異なり、それぞれの発振器に対応したウェイトコントロールレジスタで設定した時間に依存します。

注2. 水晶振動子の周波数が8MHzの場合です。

注3. RCR3.RTCEN = 1の場合はSOSCWTCRレジスタに設定した時間から2sを減算した時間になります。

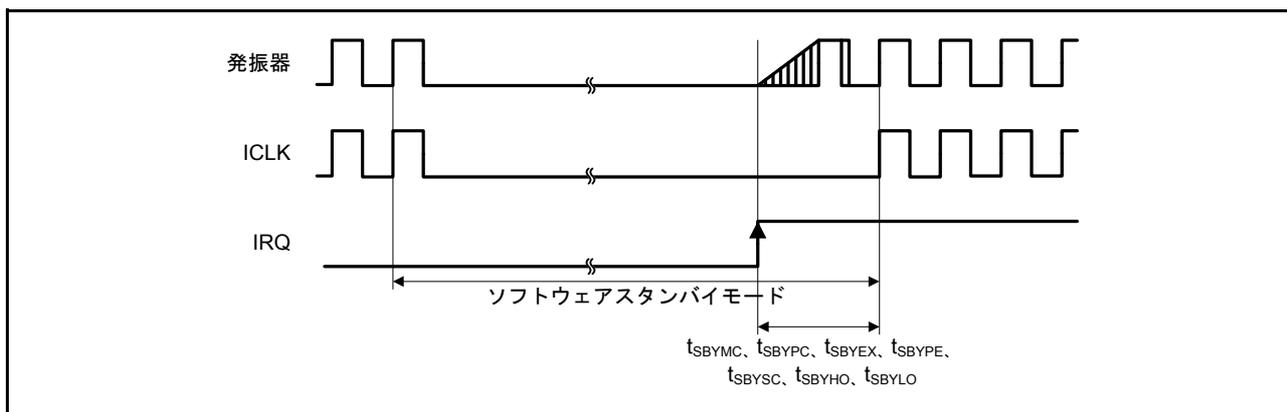


図 5.37 ソフトウェアスタンバイモード解除タイミング

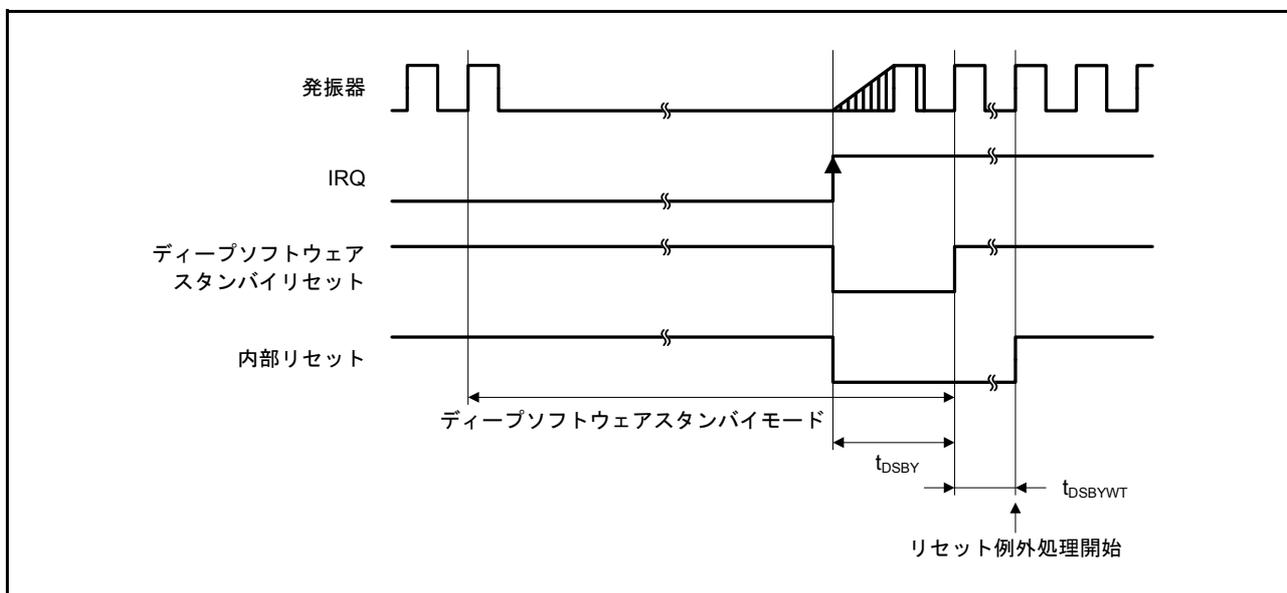


図 5.38 ディープソフトウェアスタンバイモード解除タイミング

5.4.3 制御信号タイミング

表 5.29 制御信号タイミング

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
NMIパルス幅	t_{NMIW}	200	—	—	ns	$t_c (\text{PCLKB}) \times 2 \leq 200\text{ns}$ 、図 5.39
		$t_c (\text{PCLKB}) \times 2$	—	—	ns	$t_c (\text{PCLKB}) \times 2 > 200\text{ns}$ 、図 5.39
IRQパルス幅	t_{IRQW}	200	—	—	ns	$t_c (\text{PCLKB}) \times 2 \leq 200\text{ns}$ 、図 5.40
		$t_c (\text{PCLKB}) \times 2$	—	—	ns	$t_c (\text{PCLKB}) \times 2 > 200\text{ns}$ 、図 5.40

注. ディープソフトウェアスタンバイおよびソフトウェアスタンバイ時は、最小200nsです。

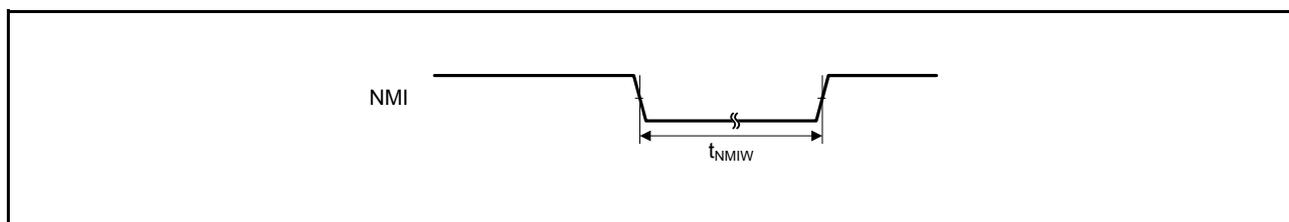


図 5.39 NMI 割り込み入カタイミング

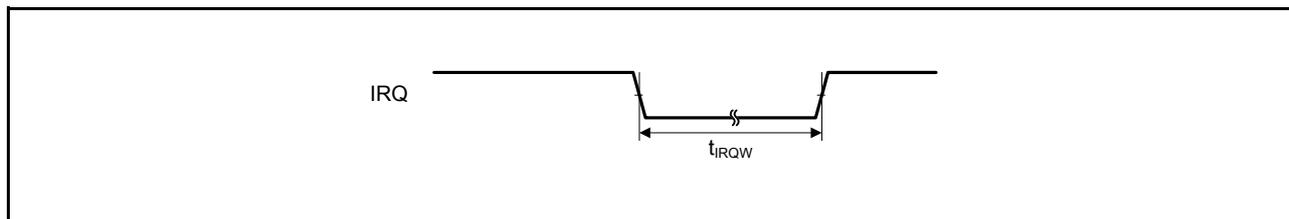


図 5.40 IRQ 割り込み入カタイミング

5.4.4 内蔵周辺モジュールタイミング

表 5.30 内蔵周辺モジュールタイミング (1)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	max	単位 (注1)	測定条件	
I/Oポート	入力データパルス幅	t_{PRW}	1.5	—	t_{Pcyc}	図 5.41	
MTU	インプットキャプチャ入力パルス幅	単エッジ指定	1.5	—	t_{Pcyc}	図 5.42	
		両エッジ指定	2.5	—			
	タイマクロックパルス幅	単エッジ指定	t_{TCKWH} 、 t_{TCKWL}	1.5	—	t_{Pcyc}	図 5.43
		両エッジ指定		2.5	—		
位相係数モード		2.5		—			
POE	POE#入力パルス幅	t_{POEW}	1.5	—	t_{Pcyc}	図 5.44	
8ビットタイマ	タイマクロックパルス幅	単エッジ指定	t_{TMCWH} 、 t_{TMCWL}	1.5	—	t_{Pcyc}	図 5.45
		両エッジ指定		2.5	—		
A/Dコンバータ	トリガ入力パルス幅	t_{TRGW}	1.5	—	t_{Pcyc}	図 5.48	
CAC	CACREF入力パルス幅	$t_{Pcyc} \leq t_{cac}$ (注2)	t_{CACREF}	$4.5 t_{cac} + 3 t_{Pcyc}$	—	ns	
		$t_{Pcyc} > t_{cac}$ (注2)		$5 t_{cac} + 6.5 t_{Pcyc}$			

注1. t_{Pcyc} : PCLKの周期

注2. t_{cac} : CACカウントクロックソースの周期

表5.31 内蔵周辺モジュールタイミング (2)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、

 $T_a = -40 \sim +105^\circ\text{C}$ 1.8V \leq VCC < 2.7V時は駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件		
SCI	入力クロックサイクル	調歩同期	t_{Scyc}	4	—	t_{Pcyc}	C = 30pF 図 5.46	
		クロック同期		6	—			
	入力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	入力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	入力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
	出力クロックサイクル	調歩同期	t_{Scyc}	16	—	t_{Pcyc}		C = 30pF 図 5.47
		クロック同期		4	—			
	出力クロックパルス幅		t_{SCKW}	0.4	0.6	t_{Scyc}		
	出力クロック立ち上がり時間		t_{SCKr}	—	20	ns		
	出力クロック立ち下がり時間		t_{SCKf}	—	20	ns		
送信データ遅延時間	クロック同期、マスタ	t_{TXD}	—	40	ns			
	クロック同期、スレーブ 2.7V \leq VCC \leq 3.6V		—	65				
	クロック同期、スレーブ 1.8V \leq VCC < 2.7V		—	85				
受信データセットアップ時間	クロック同期、マスタ 2.7V \leq VCC \leq 3.6V	t_{RXS}	65	—	ns			
	クロック同期、マスタ 1.8V \leq VCC < 2.7V		75	—				
	クロック同期、スレーブ		40	—				
受信データホールド時間		t_{RXH}	40	—	ns			

注1. t_{Pcyc} : PCLKの周期

表5.32 内蔵周辺モジュールタイミング (3)

条件 : VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、

T_a = -40~+105°C

駆動能力制御レジスタで高駆動出力を選択時

項目			記号	min	max	単位 (注1)	測定条件	
RSPI	RSPCKクロックサイクル	マスタ 2.7V ≤ VCC ≤ 3.6V	t _{SPCyc}	2	4096	t _{Pcyc}	C = 30pF 図5.49	
		マスタ 1.8V ≤ VCC < 2.7V		4	4096			
		スレーブ		8	4096			
	RSPCKクロック Highレベルパルス幅	マスタ	t _{SPCKWH}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—	ns	C = 30pF 図5.50~図5.53
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—		
	RSPCKクロック Lowレベルパルス幅	マスタ	t _{SPCKWL}	$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2 - 3$		—	ns	
		スレーブ		$(t_{SPCyc} - t_{SPCKr} - t_{SPCKf}) / 2$		—		
	RSPCKクロック 立ち上がり/立ち下がり時間	出力	t _{SPCKr} , t _{SPCKf}	—	10	ns		
		入力		—	1	μs		
	データ入力セットアップ時間	マスタ 2.7V ≤ VCC ≤ 3.6V	t _{SU}	4	—	ns		
		マスタ 1.8V ≤ VCC < 2.7V		16	—			
		スレーブ		20 - t _{Pcyc}	—			
	データ入力ホールド時間	マスタ	t _H	t _{Pcyc}	—	ns		
		スレーブ		20 + 2 × t _{Pcyc}	—			
	SSLセットアップ時間	マスタ	t _{LEAD}	1	8	t _{SPCyc}		
		スレーブ		4	—	t _{Pcyc}		
	SSLホールド時間	マスタ	t _{LAG}	1	8	t _{SPCyc}		
		スレーブ		4	—	t _{Pcyc}		
	データ出力遅延時間	マスタ	t _{OD}	—	10	ns		
		スレーブ 2.7V ≤ VCC ≤ 3.6V		—	3 × t _{Pcyc} + 55			
スレーブ 1.8V ≤ VCC < 2.7V		—		3 × t _{Pcyc} + 72				
データ出力ホールド時間	マスタ	t _{OH}	0	—	ns			
	スレーブ		0	—				
連続送信遅延時間	マスタ	t _{TD}	t _{SPCyc} + 2 × t _{Pcyc}	8 × t _{SPCyc} + 2 × t _{Pcyc}	ns			
	スレーブ		4 × t _{Pcyc}	—				
MOSI、MISO 立ち上がり/立ち下がり時間	出力	t _{Dr} , t _{Df}	—	10	ns			
	入力		—	1		μs		
SSL立ち上がり/立ち下がり時間	出力	t _{SSLr} , t _{SSLf}	—	20	ns			
	入力		—	1		μs		
スレーブアクセス時間		t _{SA}	—	5	t _{Pcyc}	C = 30pF 図5.52、図5.53		
スレーブ出力開放時間	2.7V ≤ VCC ≤ 3.6V	t _{REL}	—	4	t _{Pcyc}			
	1.8V ≤ VCC < 2.7V		—	5				

注1. t_{Pcyc} : PCLKの周期

表5.33 内蔵周辺モジュールタイミング (4)

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$
 1.8V \leq VCC < 2.7V時は駆動能力制御レジスタで高駆動出力を選択時

項目		記号	min	max	単位 (注1)	測定条件	
簡易 SPI	SCKクロックサイクル出力 (マスタ)	t_{SPCyc}	4	65536	t_{Pcyc}	C = 30pF 図5.49	
	SCKクロックサイクル入力 (スレーブ)		6	65536			
	SCKクロック High レベルパルス幅	t_{SPCKWH}	0.4	0.6	t_{SPCyc}		
	SCKクロック Low レベルパルス幅	t_{SPCKWL}	0.4	0.6	t_{SPCyc}		
	SCKクロック立ち上がり/立ち下がり時間	t_{SPCKr} , t_{SPCKf}	—	20	ns		
	データ入力セットアップ時間 (マスタ)	2.7V \leq VCC \leq 3.6V	t_{SU}	65	—	ns	C = 30pF 図5.50 ~ 図 5.53
		1.8V \leq VCC < 2.7V		75	—		
	データ入力セットアップ時間 (スレーブ)	40		—			
	データ入力ホールド時間	t_H	40	—	ns		
	SS 入力セットアップ時間	t_{LEAD}	6	—	t_{Pcyc}		
	SS 入力ホールド時間	t_{LAG}	6	—	t_{Pcyc}		
	データ出力遅延時間 (マスタ)	t_{OD}	—	40	ns		
	データ出力遅延時間 (スレーブ)		2.7V \leq VCC \leq 3.6V	—		65	
			1.8V \leq VCC < 2.7V	—		85	
	データ出力ホールド時間	t_{OH}	-10	—	ns		
	データ立ち上がり/立ち下がり時間	t_{Dr} , t_{Df}	—	20	ns		
SS 入力立ち上がり/立ち下がり時間	t_{SSLr} , t_{SSLf}	—	20	ns			
スレーブアクセス時間	t_{SA}	—	5	t_{Pcyc}	C = 30pF 図5.52、図 5.53		
スレーブ出力開放時間	2.7V \leq VCC \leq 3.6V	t_{REL}	—	5		t_{Pcyc}	
	1.8V \leq VCC < 2.7V		—	6			

注1. t_{Pcyc} : PCLKの周期

表5.34 内蔵周辺モジュールタイミング (5)

条件 : VCC = AVCC0 = AVCCA = 2.7~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min (注1、注2)	max	単位	測定条件
RIIC (スタンダード モード、SMBus)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 1300$	—	ns	図5.54
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	1000	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1000	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
RIIC (ファスト モード)	SCL入力サイクル時間	t_{SCL}	$6(12) \times t_{IICcyc} + 600$	—	ns	図5.54
	SCL入力Highパルス幅	t_{SCLH}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL入力Lowパルス幅	t_{SCLL}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	SCL、SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SCL、SDA入カスパイクパルス除去時間	t_{SP}	0	$1(4) \times t_{IICcyc}$	ns	
	SDA入力バスフリー時間	t_{BUF}	$3(6) \times t_{IICcyc} + 300$	—	ns	
	開始条件入力ホールド時間	t_{STAH}	$t_{IICcyc} + 300$	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	300	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	300	—	ns	
	データ入力セットアップ時間	t_{SDAS}	$t_{IICcyc} + 50$	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{IICcyc} : RIICの内部基準クロック (IICφ) の周期

注1. () 内の数値は、ICFER.NFEビット = 1でデジタルフィルタを有効にした状態でICMR3.NF[1:0]ビット = 11bの場合を示します。

注2. C_b はバスラインの容量総計です。

表5.35 内蔵周辺モジュールタイミング (6)

条件 : VCC = AVCC0 = AVCCA = 2.7~3.6V、VSS = AVSS0 = AVCCA = VREFL=VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min (注1)	max	単位	測定条件
簡易IIC (スタンダードモード)	SDA入力立ち上がり時間	t_{Sr}	—	1000	ns	図5.54
	SDA入力立ち下がり時間	t_{Sf}	—	300	ns	
	SDA入力カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pcyc}$ (注2)	ns	
	データ入力セットアップ時間	t_{SDAS}	250	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	
簡易IIC (ファストモード)	SDA入力立ち上がり時間	t_{Sr}	$20 + 0.1C_b$	300	ns	図5.54
	SDA入力立ち下がり時間	t_{Sf}	$20 + 0.1C_b$	300	ns	
	SDA入力カスパイクパルス除去時間	t_{SP}	0	$4 \times t_{pcyc}$ (注2)	ns	
	データ入力セットアップ時間	t_{SDAS}	100	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDAの容量性負荷	C_b	—	400	pF	

注. t_{pcyc} : PCLKの周期

注1. C_b はバスラインの容量総計です。

注2. SNFR.NFEビット=1でデジタルフィルタを有効にした状態でSMR.CKS[1:0]ビット=00b、SNFR.NFCS[2:0]ビット=010bの場合を示します。

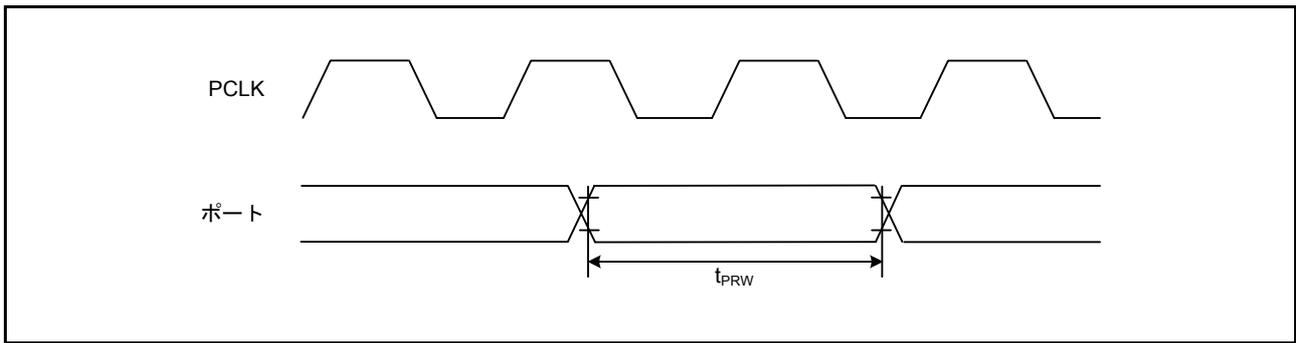


図 5.41 I/Oポート入力タイミング

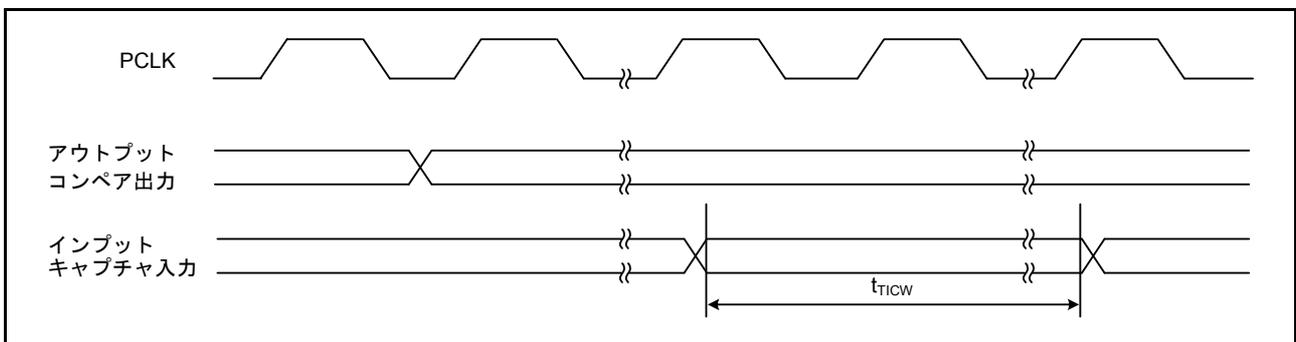


図 5.42 MTU入出力タイミング

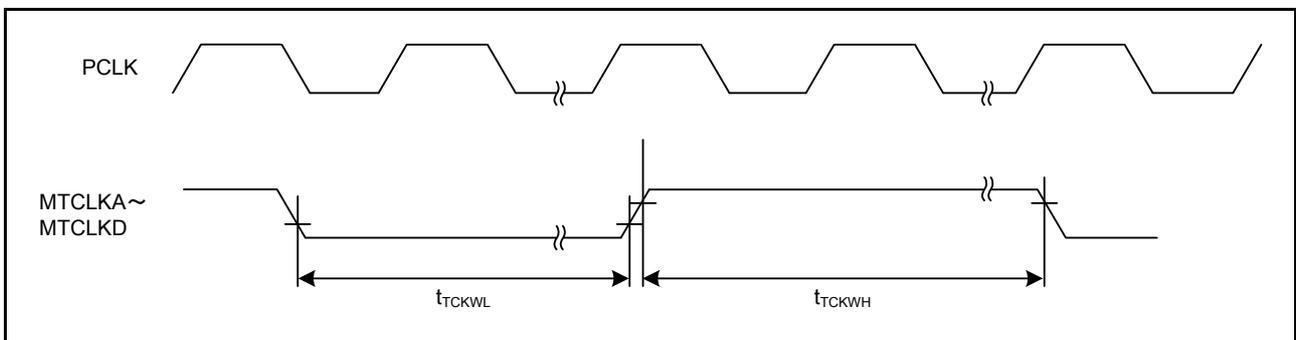


図 5.43 MTUクロック入力タイミング

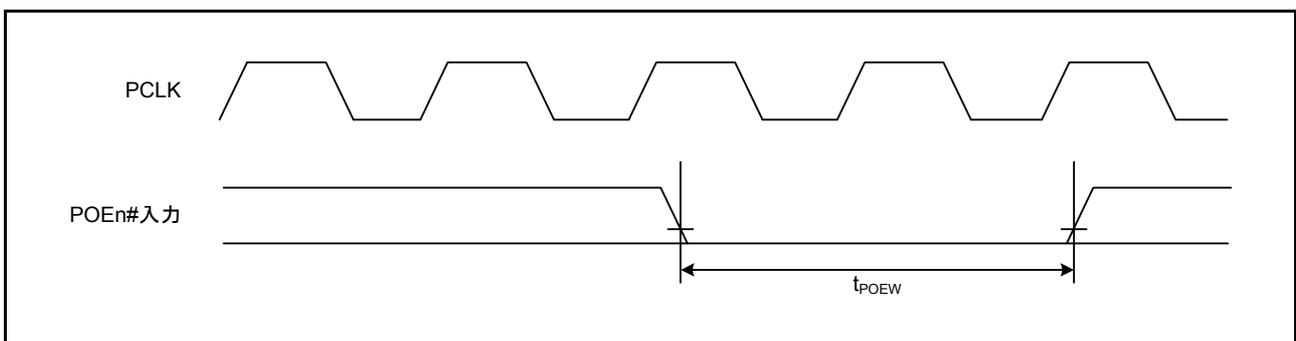


図 5.44 POE#入力タイミング

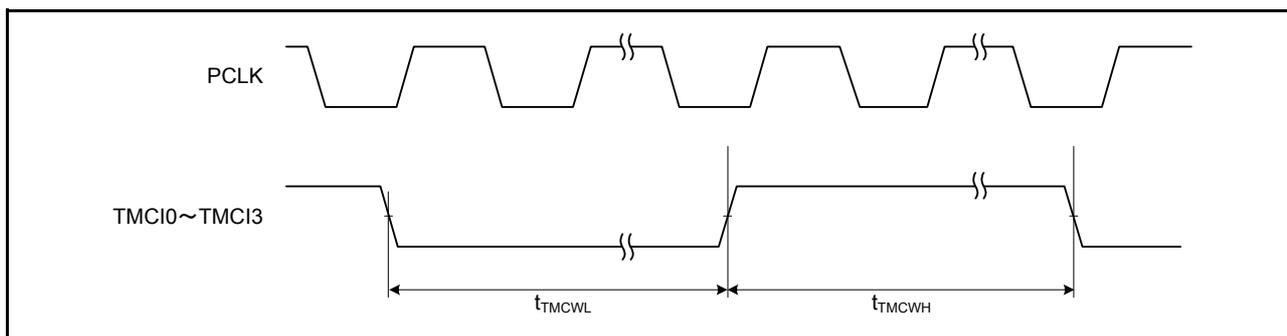


図 5.45 8ビットタイマクロック入力タイミング

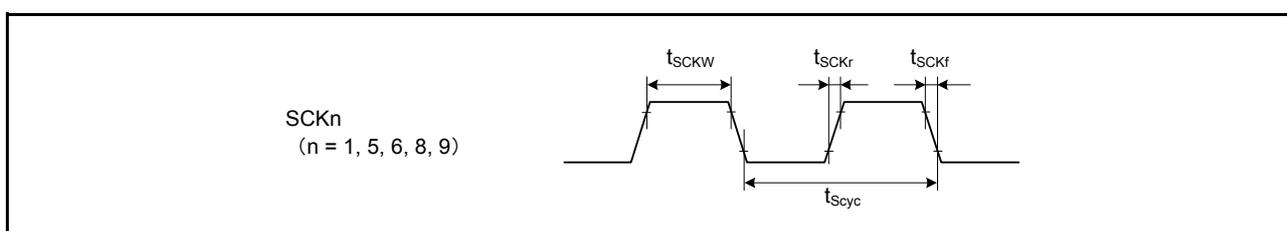


図 5.46 SCK クロック入力タイミング

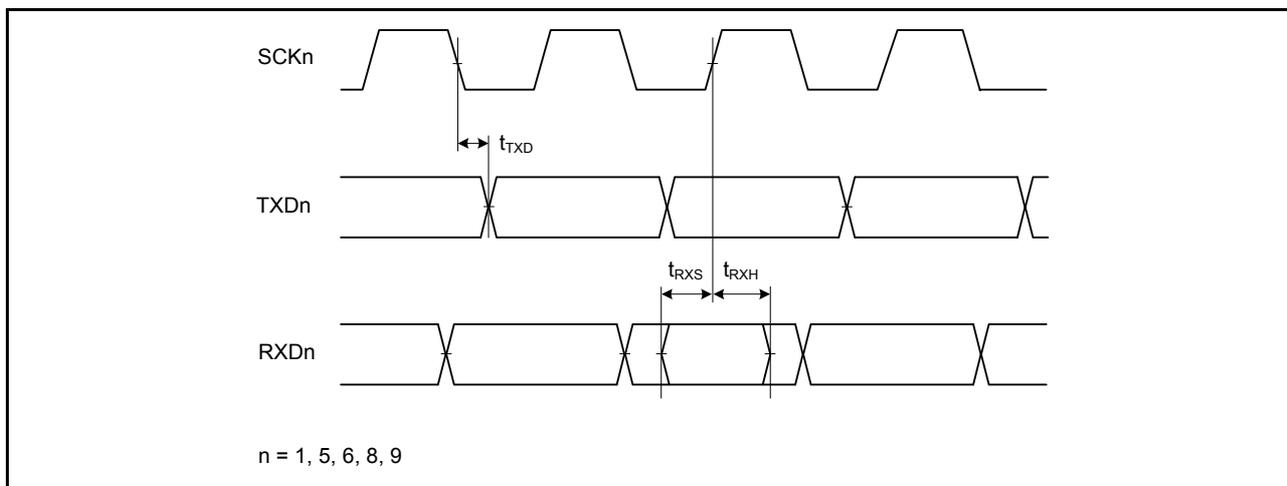


図 5.47 SCI 入出力タイミング / クロック同期式モード

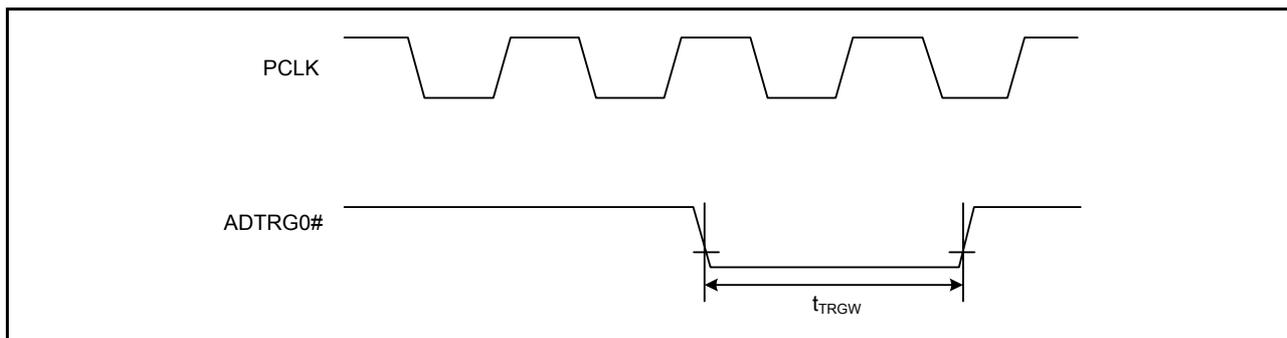


図 5.48 A/D コンバータ外部トリガ入力タイミング

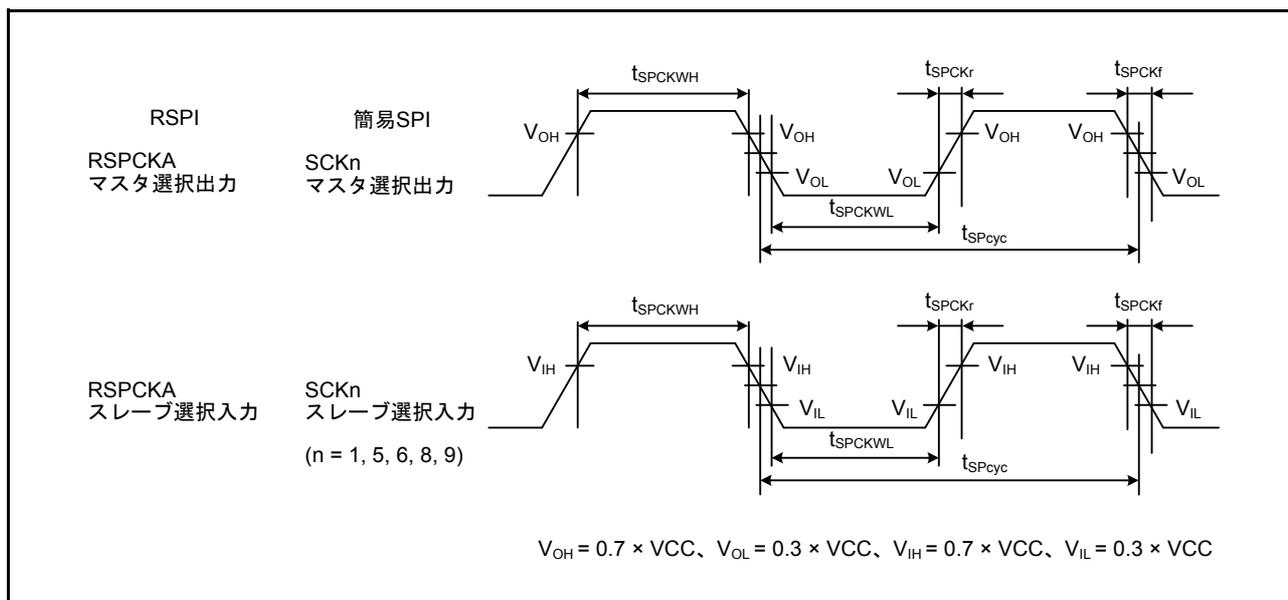


図 5.49 RSPI クロックタイミング / 簡易 SPI クロックタイミング

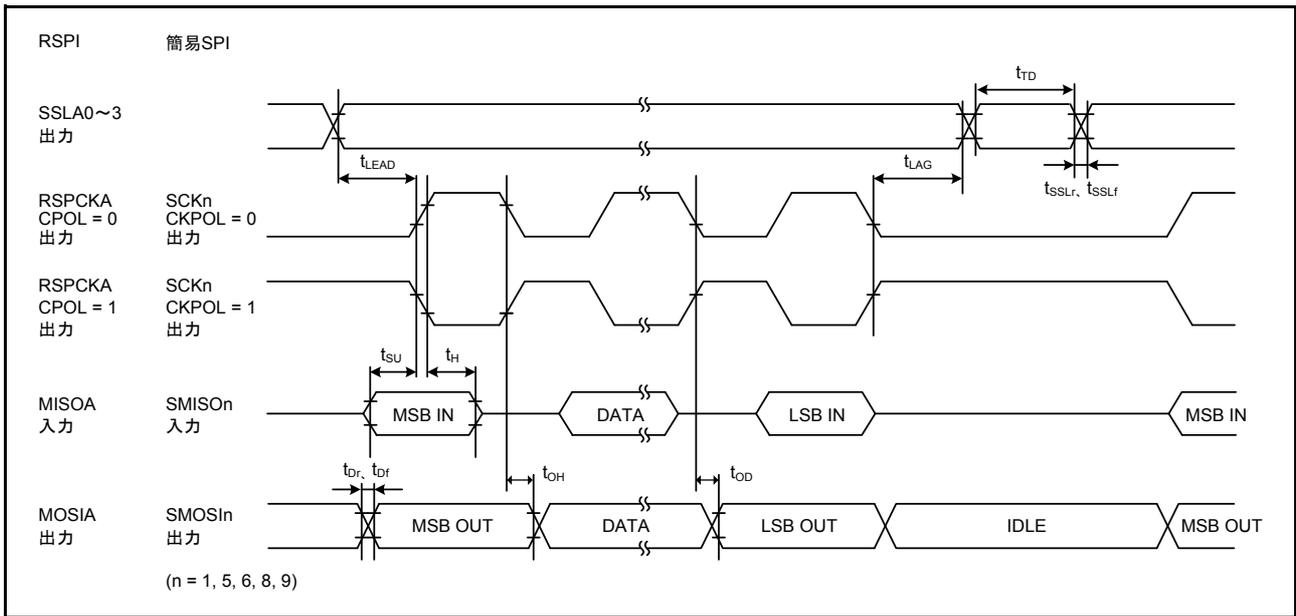


図 5.50 RSPI タイミング (マスタ、CPHA = 0) / 簡易 SPI タイミング (マスタ、CKPH = 1)

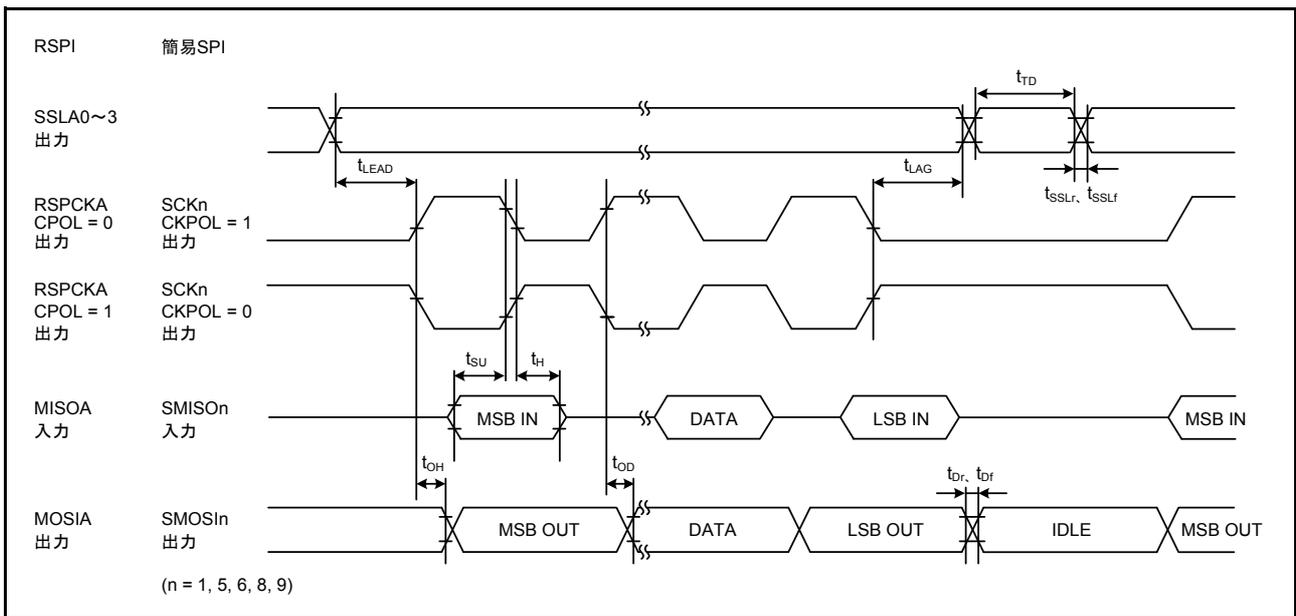


図 5.51 RSPI タイミング (マスタ、CPHA = 1) / 簡易 SPI タイミング (マスタ、CKPH = 0)

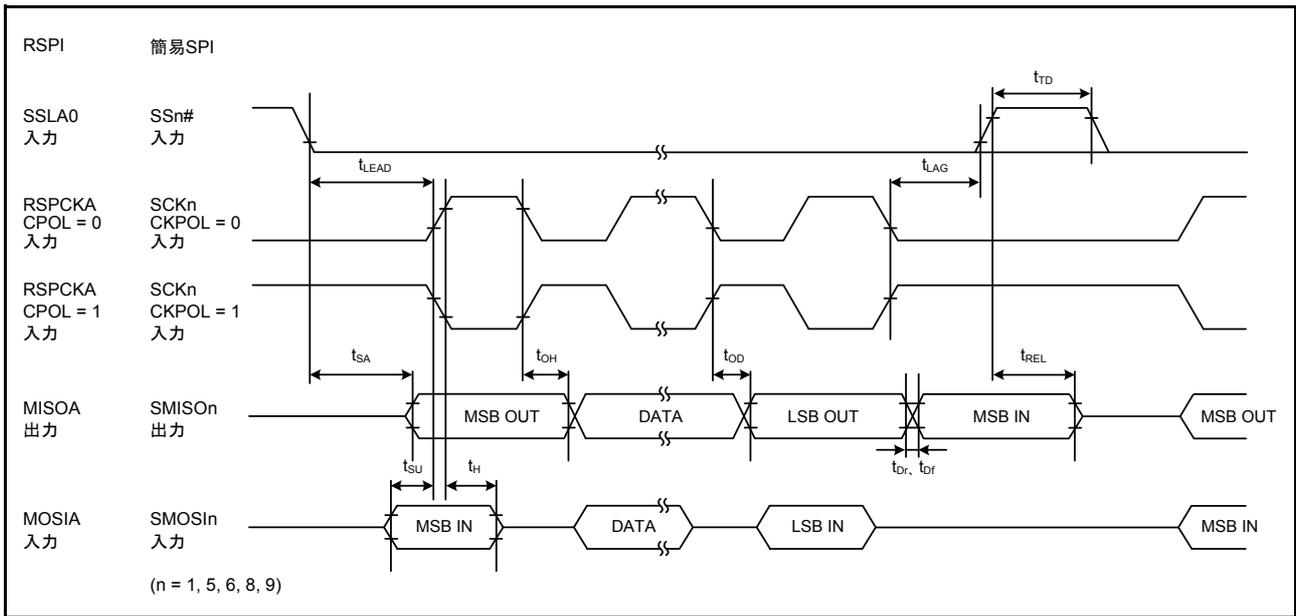


図 5.52 RSPI タイミング (スレーブ、CPHA = 0) / 簡易 SPI タイミング (スレーブ、CKPH = 1)

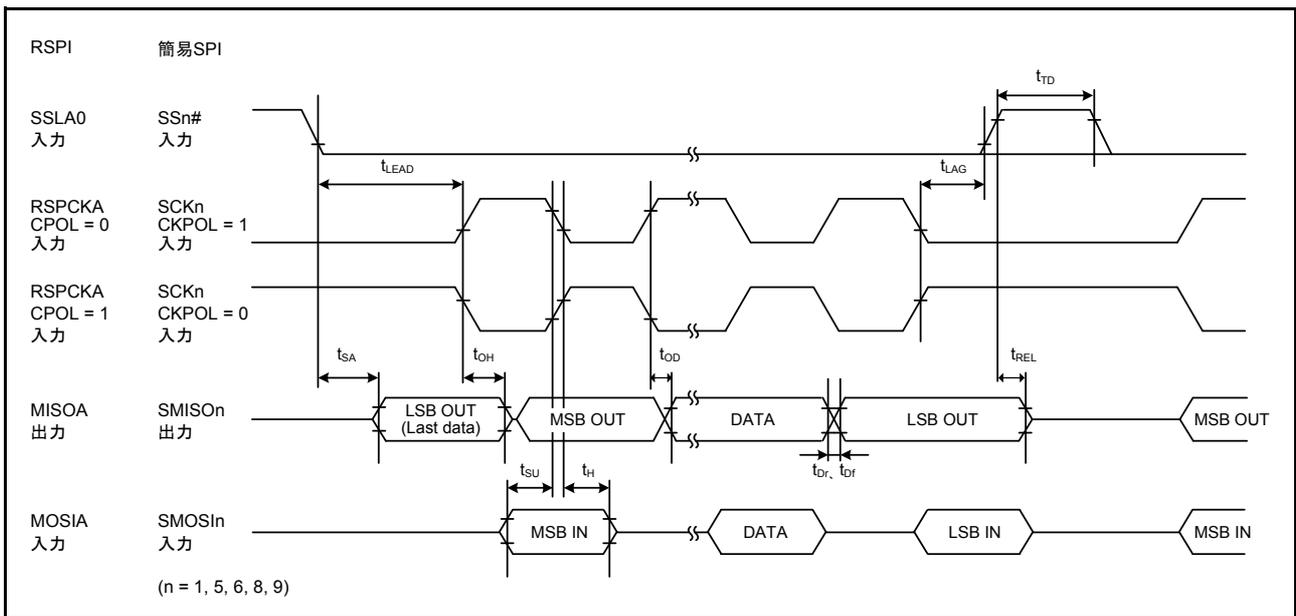


図 5.53 RSPI タイミング (スレーブ、CPHA = 1) / 簡易 SPI タイミング (スレーブ、CKPH = 0)

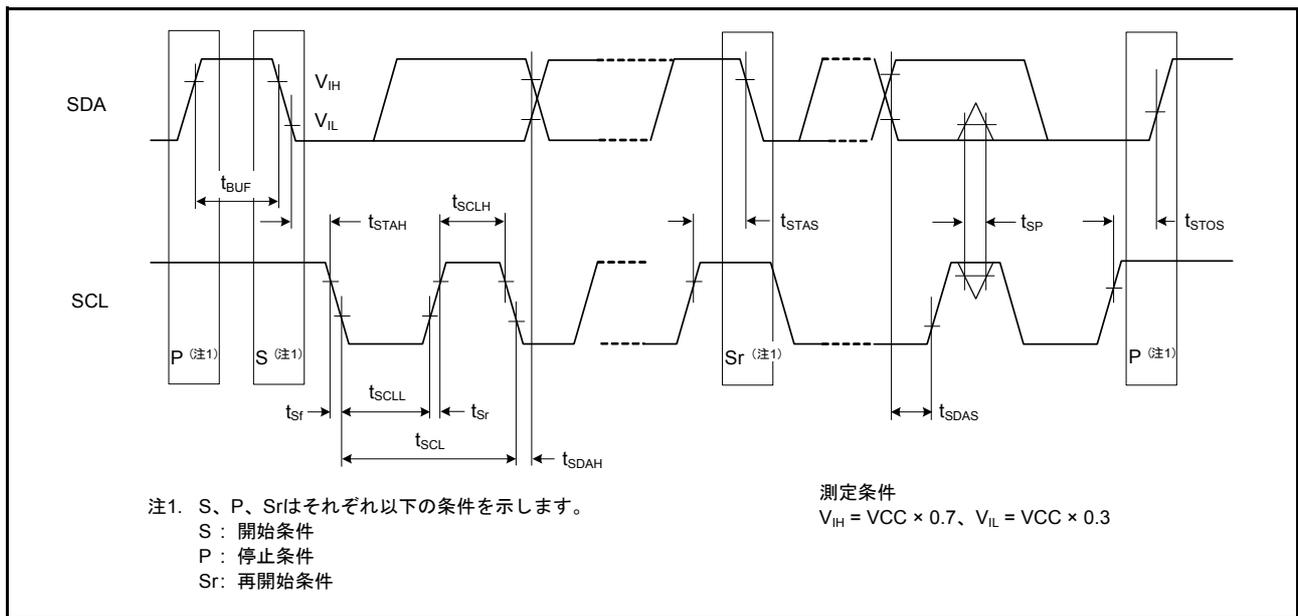


図 5.54 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング

5.5 $\Delta\Sigma$ A/D 変換特性表 5.36 $\Delta\Sigma$ A/D 変換特性

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
fPCLKC = 25MHz、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
分解能	24	24	24	ビット	
リファレンス電圧 (VREFDSH)	590	600	610	mV	EXREF = 0
BGR_BO 端子印加電圧	—	1220	—	mV	EXREF = 1
BGR_BO 端子電圧リファレンス電圧 変換係数	—	0.492	—	—	EXREF = 1
BGR_BO 端子インピーダンス	135	—	—	kΩ	EXREF = 1
リファレンス電圧温度係数	—	—	30	ppm/°C	
ゲイン (× 1)	—	1.00	—	—	
ゲイン (× 2)	—	2.00	—	—	
ゲイン (× 4)	—	4.00	—	—	
ゲイン (× 8)	—	8.00	—	—	
ゲイン (× 16)	—	16.00	—	—	
ゲイン (× 32)	—	32.00	—	—	
ゲイン (× 64)	—	64.00	—	—	
差動入力電圧 (ANDSiP – ANDSiN) (i = 0 ~ 3)	-500.0	—	500.0	mV	GAIN = 000b、図 5.55
	-250.0	—	250.0	mV	GAIN = 001b
	-125.0	—	125.0	mV	GAIN = 010b
	-62.5	—	62.5	mV	GAIN = 011b
	-31.2	—	31.2	mV	GAIN = 100b
	-14.4	—	14.4	mV	GAIN = 101b
	-5.0	—	5.0	mV	GAIN = 110b
差動入力 同相電圧	—	700.0	—	mV	
シングルエンド入力電圧	-500.0	—	500.0	mV	GAIN = 00b、図 5.56
	-250.0	—	250.0	mV	GAIN = 01b
	-125.0	—	125.0	mV	GAIN = 10b
$\Delta\Sigma$ 変調器単体変換 差動入力電圧	-500.0	—	500.0	mV	GAIN = 000b、001b、010b、011b、 100b (DSADGSR0 ~ 3) GAIN = 00b、01b、10b (DSADGSR4 ~ 6)
	-250.0	—	250.0	mV	GAIN = 101b (DSADGSR0 ~ 3)
	-125.0	—	125.0	mV	GAIN = 110b (DSADGSR0 ~ 3)
$\Delta\Sigma$ 変調器単体変換 同相入力電圧	—	700.0	—	mV	
PGA 入力ピンバイアス電圧	—	700.0	—	mV	
PGA 出力同相電圧	—	700.0	—	mV	
リファレンス電圧起動時間	—	1	5	ms	
PGA、 $\Delta\Sigma$ 変調器起動時間	—	—	0.1	ms	
入力ブルアップ抵抗	120	200	—	kΩ	
差動入力 入力インピーダンス (× 1、× 2、× 4、× 8)	40	66	—	kΩ	
差動入力 入力インピーダンス (× 16、× 32、× 64)	30	50	—	kΩ	
シングルエンド入力 入力インピーダンス (× 1)	48	80	—	kΩ	

項目	min	typ	max	単位	測定条件	
シングルエンド入力 入力インピーダンス (×2)	51	86	—	kΩ		
シングルエンド入力 入力インピーダンス (×4)	54	91	—	kΩ		
オーバサンプリング周波数	3.125	3.125	3.125	MHz		
オーバサンプリング周期	0.32	0.32	0.32	μs		
変換時間	81.92	—	245.76	μs		
サンプリング周波数	4.07	—	12.21	kHz		
SNDR (ゲイン : ×1 入力振幅 : 500.0mV)	—	80	—	dB	帯域 = ~1.7kHz	サンプリング周波数 = 12.21kHz クロックソース : 発振子
	—	85	—	dB		
SNDR (ゲイン : ×2 入力振幅 : 250.0mV)	—	80	—	dB	帯域 = ~1.7kHz	
	—	85	—	dB		
SNDR (ゲイン : ×4 入力振幅 : 125.0mV)	—	78	—	dB	帯域 = ~1.7kHz	
	—	83	—	dB		
SNDR (ゲイン : ×8 入力振幅 : 62.5mV)	—	75	—	dB	帯域 = ~1.7kHz	
	—	80	—	dB		
SNDR (ゲイン : ×16 入力振幅 : 31.2mV)	—	71	—	dB	帯域 = ~1.7kHz	
	—	76	—	dB		
SNDR (ゲイン : ×32 入力振幅 : 14.4mV)	—	64	—	dB	帯域 = ~1.7kHz	
	—	69	—	dB		
SNDR (ゲイン : ×64 入力振幅 : 5mV)	—	54	—	dB	帯域 = ~1.7kHz	
	—	59	—	dB		

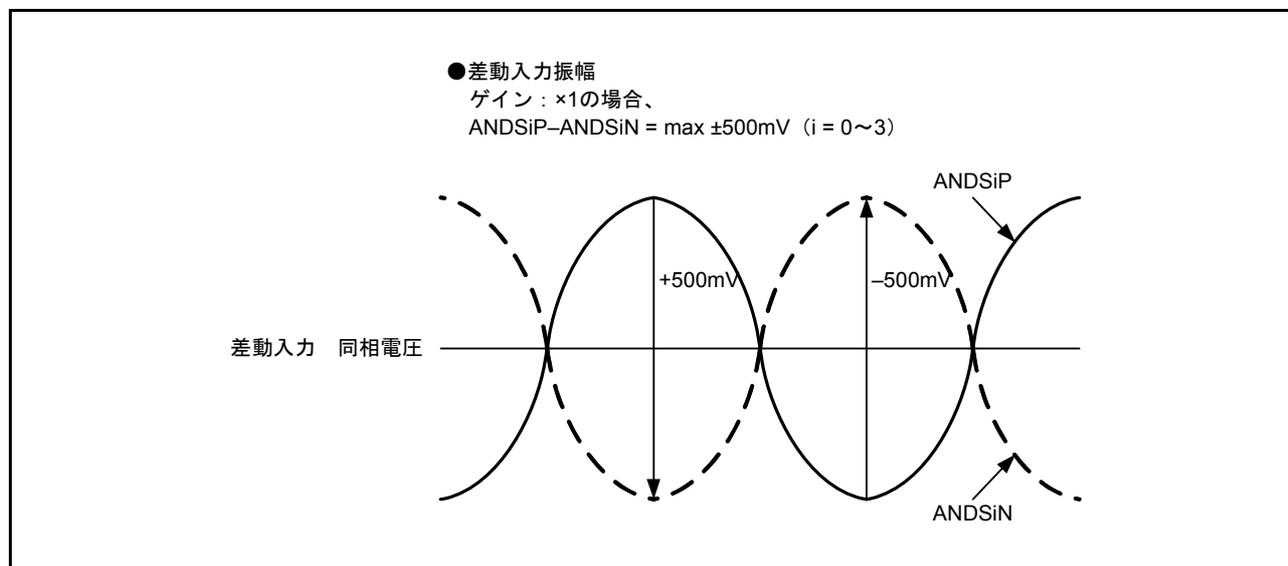


図 5.55 差動入力振幅

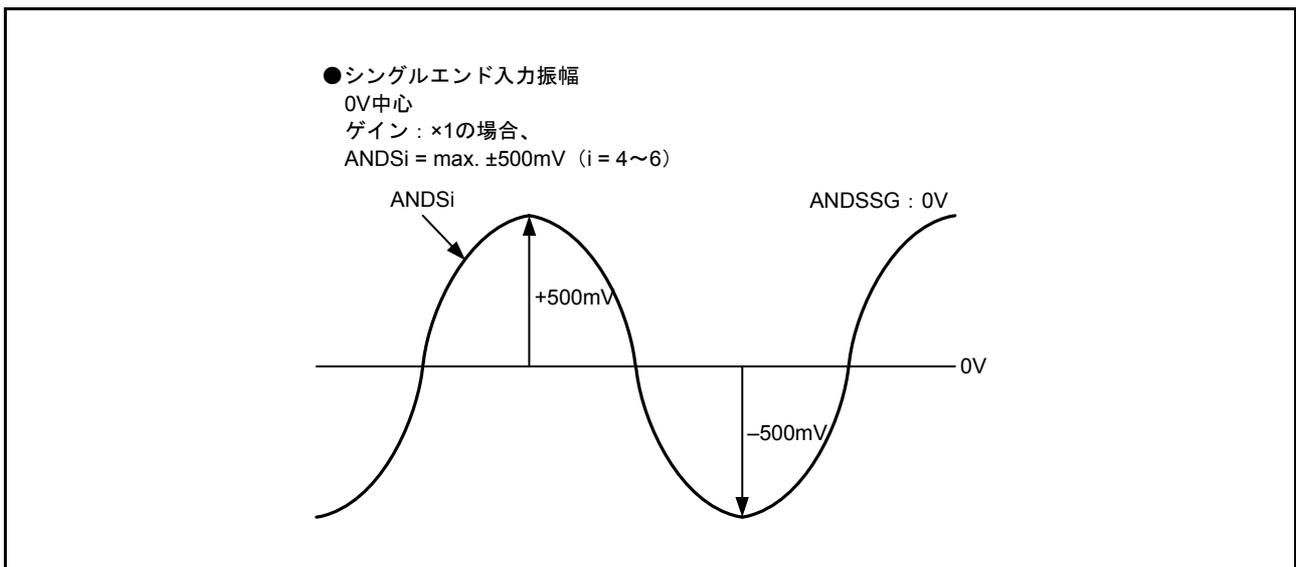


図 5.56 シングルエンド入力振幅

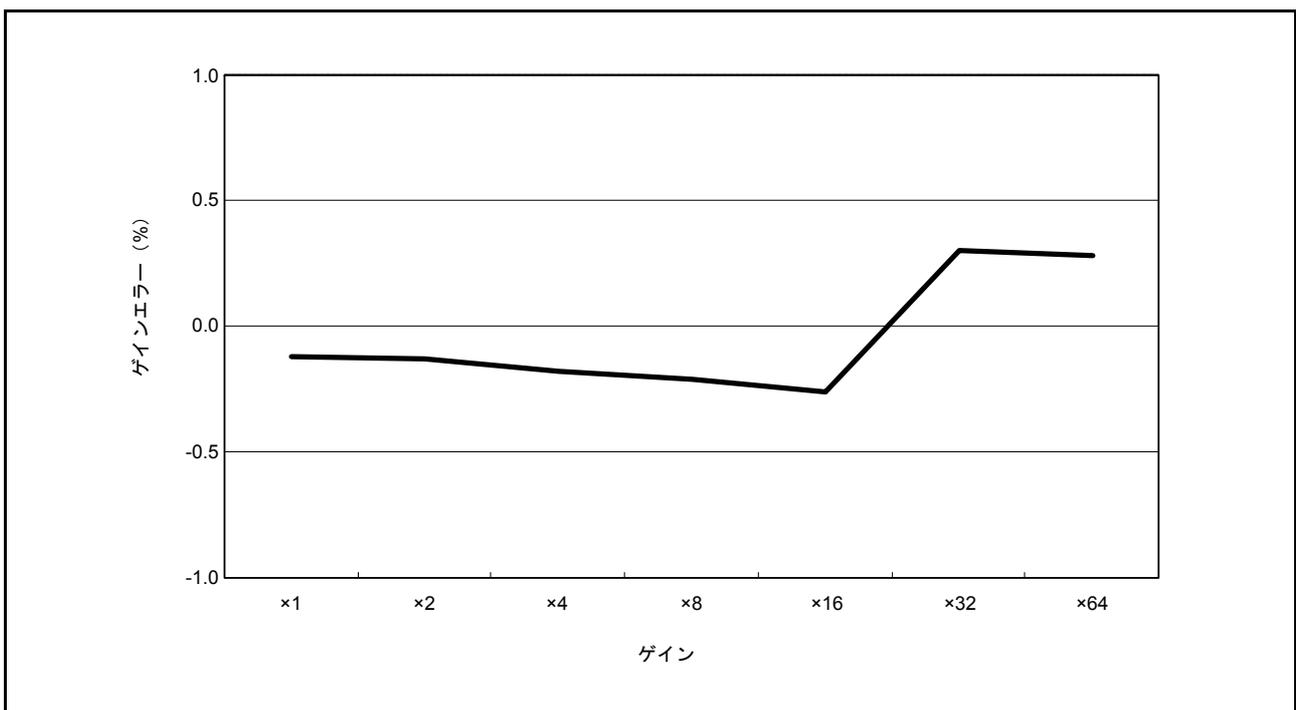


図 5.57 ゲインエラー (参考データ)

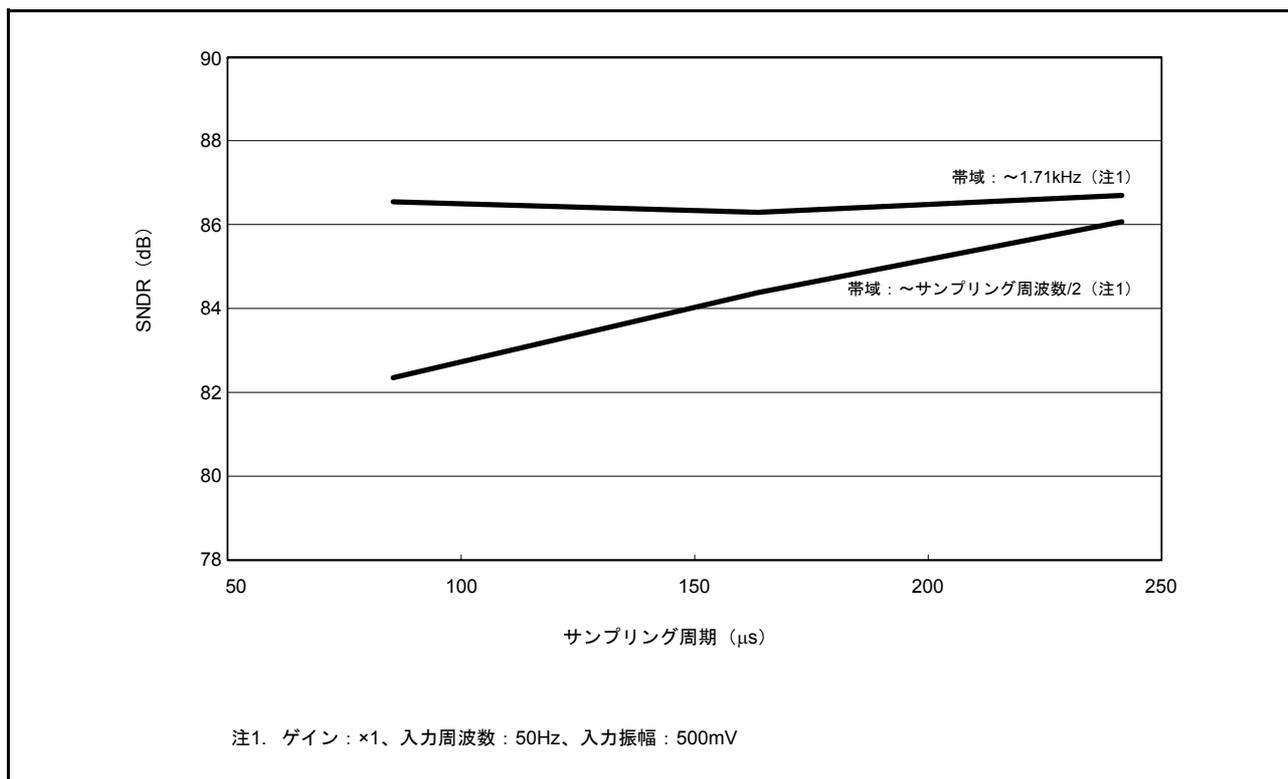


図 5.58 SNDR のサンプリング周期依存性 (参考データ)

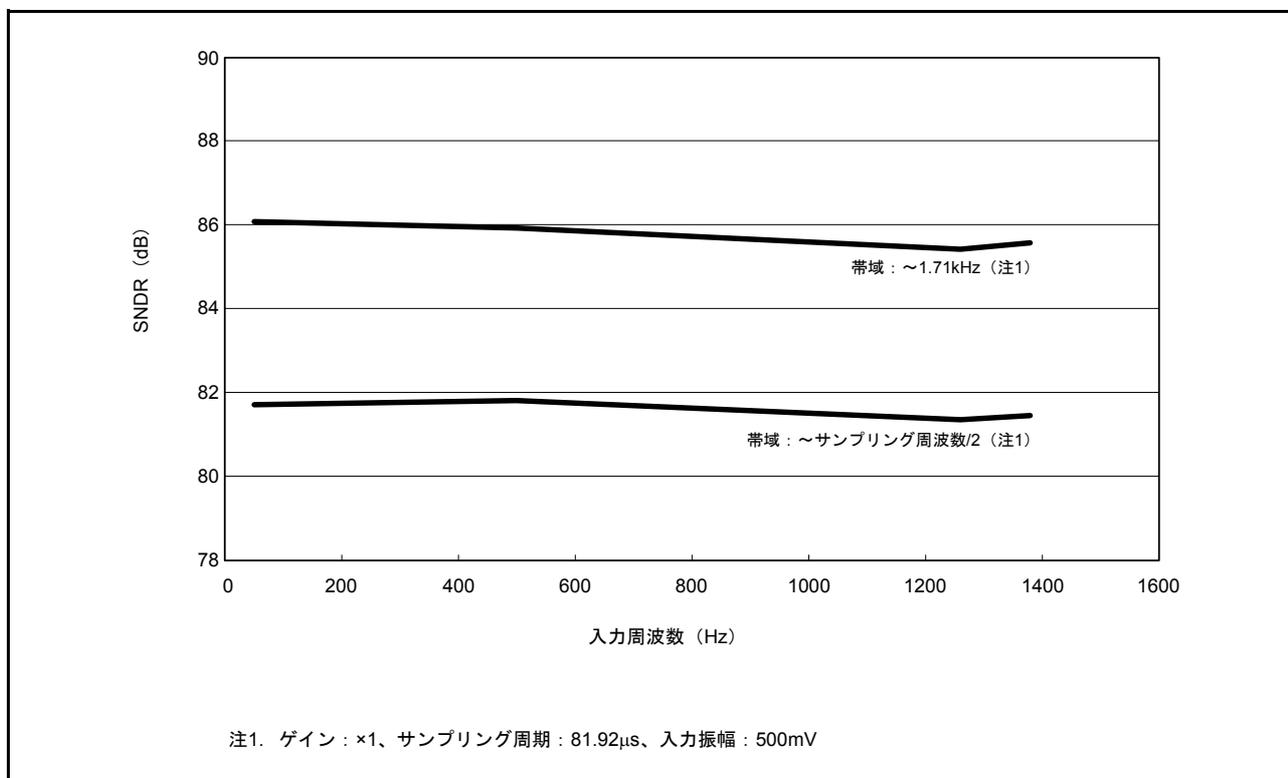


図 5.59 SNDR の入力周波数依存性 (参考データ)

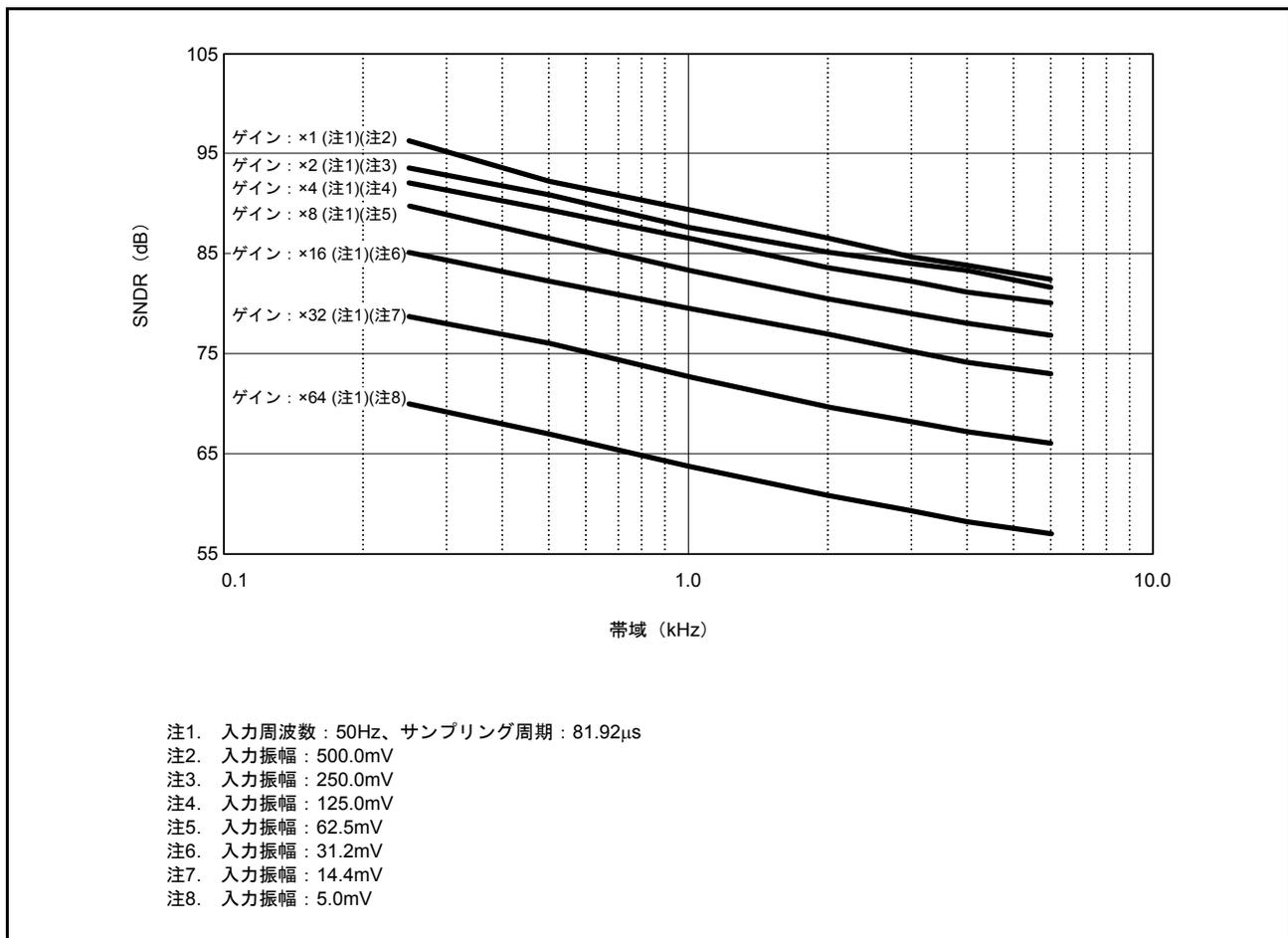


図 5.60 SNDR の帯域依存性 (参考データ)

5.6 A/D 変換特性

表 5.37 A/D変換特性 (1)

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VREFH0 = 2.7V ~ AVCC0 (注3)、
VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)	1		25	MHz	
分解能	—	—	10	ビット	
変換時間 (注1) (fPCLKD = 25MHz時)	2.0 (1.0) (注2)	—	—	μs	サンプリング25ステート
アナログ入力容量	—	—	5	pF	
オフセット誤差	—	±1.0	±2.0	LSB	
フルスケール誤差	—	±1.0	±2.0	LSB	
量子化誤差	—	±0.5	—	LSB	
絶対精度 (注4)	—	±1.0	±3.0	LSB	
DNL 微分非直線性誤差 (注4)	—	±0.5	±1.0	LSB	
INL 積分非直線性誤差	—	±1.0	±2.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL 微分非直線性誤差、INL 積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

注3. 温度センサを使用する場合は、AVCC = VREFH0の条件で使用してください。

注4. 64ピンLQFP製品では、チャンネルAN4の絶対精度が±1.5LSB程度、DNL 微分非直線性誤差が±0.5LSB程度悪化する可能性があります。

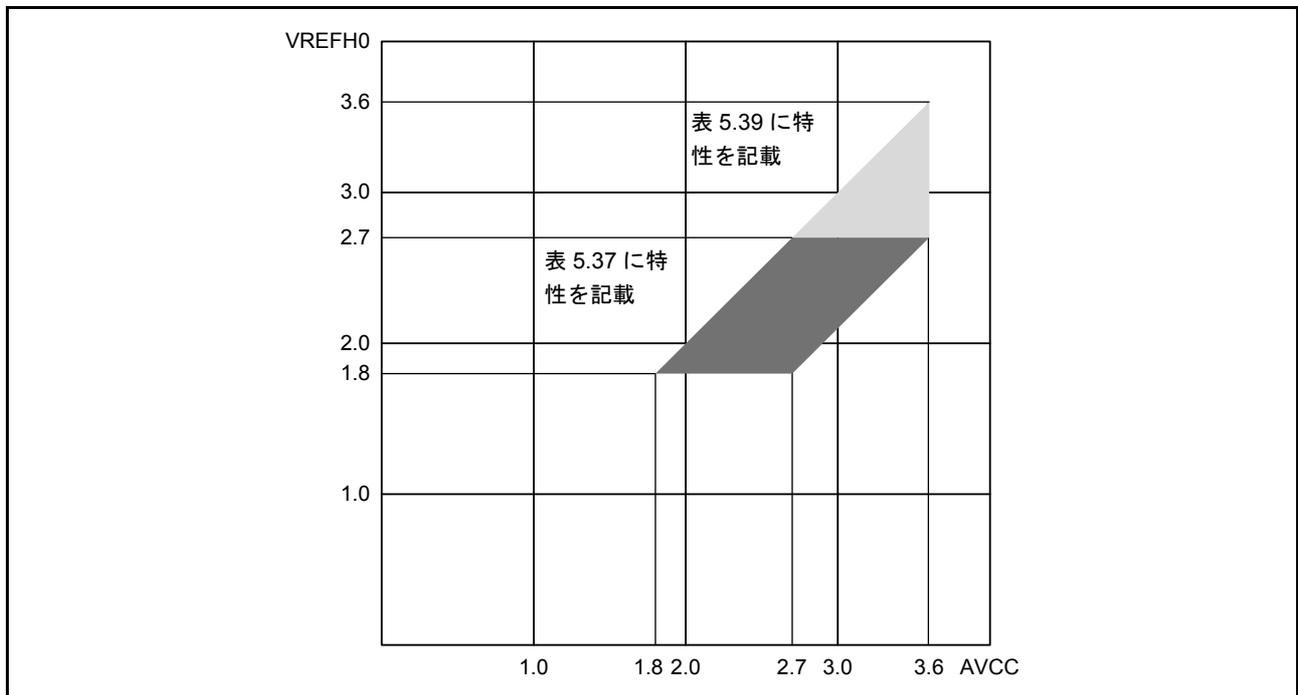


図 5.61 AVCC - VREFH0 電圧範囲

表 5.38 A/D内部基準電圧特性

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
T_a = -40 ~ +105°C

項目	min	typ	max	単位	測定条件
A/D内部基準電圧	1.35	1.50	1.65	V	

表 5.39 A/D変換特性 (2)

条件 : $VCC = AVCC0 = AVCCA = 1.8 \sim 3.6V$ 、 $1.8V \leq VREFH0 \leq 2.7V$ 、 $AVCC0 - 0.9V \leq VREFH0 \leq AVCC0$ (注3)、
 $VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V$ 、 $T_a = -40 \sim +105^\circ C$

項目		min	typ	max	単位	測定条件
A/D変換クロック周波数 (fPCLKD)		1		12.5	MHz	
分解能		—	—	10	ビット	
変換時間 (注1) (fPCLKD = 12.5MHz 時)	許容信号源インピーダンス max = 1.5k Ω	4.0 (2.0) (注2)	—	—	μs	サンプリング25ステート
アナログ入力容量		—	—	5	pF	
オフセット誤差		—	± 1.5	± 3.0	LSB	
フルスケール誤差		—	± 1.5	± 3.0	LSB	
量子化誤差		—	± 0.5	—	LSB	
絶対精度 (注4)		—	± 2.0	± 4.0	LSB	
DNL微分非直線性誤差 (注4)		—	± 0.5	± 1.0	LSB	
INL積分非直線性誤差		—	± 1.5	± 3.0	LSB	

注. A/Dコンバータ入力以外の端子機能を使用していない場合の特性です。絶対精度は、量子化誤差を含みます。オフセット誤差、フルスケール誤差、DNL微分非直線性誤差、INL積分非直線性誤差は、量子化誤差を含みません。

注1. 変換時間はサンプリング時間と比較時間の合計です。各項目には、測定条件にサンプリングステート数を示します。

注2. () はサンプリング時間を示します。

注3. 温度センサを使用する場合は、 $AVCC = VREFH0$ の条件で使用してください。

注4. 64ピンLQFP製品では、チャンネルAN4の絶対精度が ± 1.5 LSB程度、DNL微分非直線性誤差が ± 0.5 LSB程度悪化する可能性があります。

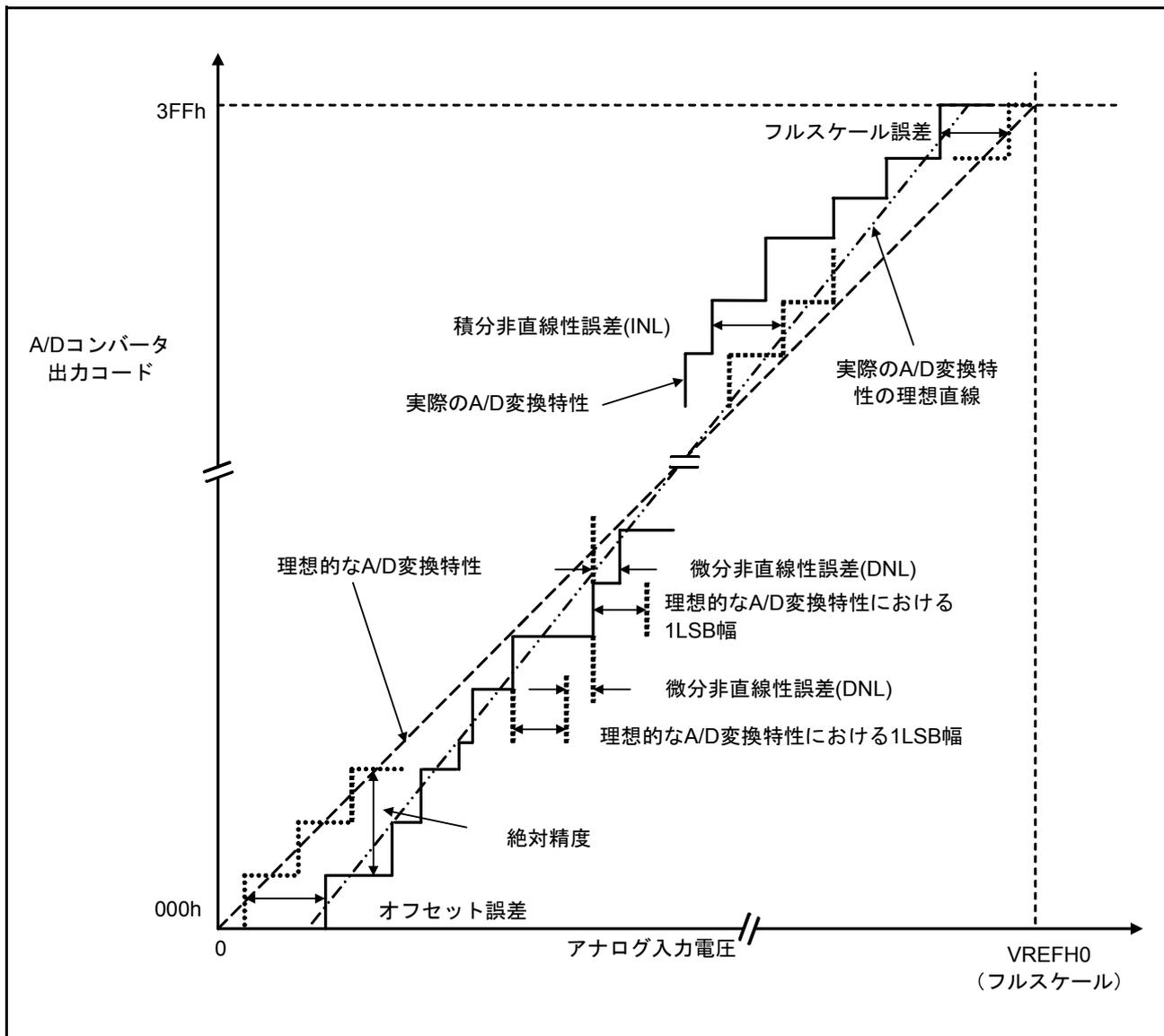


図 5.62 A/D コンバータ特性用語説明図

絶対精度

絶対精度とは、理論的な A/D 変換特性における出力コードと、実際の A/D 変換結果の差です。絶対精度の測定時は、理論的な A/D 変換特性において同じ出力コードを期待できるアナログ入力電圧の幅（1LSB 幅）の中点の電圧を、アナログ入力電圧として使用します。例えば分解能 10 ビット、基準電圧 $V_{REFH0} = 2.56V$ の場合、1LSB 幅は 2.5mV で、アナログ入力電圧には 0mV、2.5mV、5.0mV... を使用します。

絶対精度 $\pm 4LSB$ とは、アナログ入力電圧が 20mV の場合、理論的な A/D 変換特性では出力コード “008h” を期待できますが、実際の A/D 変換結果は “004h” ~ “00Ch” になることを意味します。

積分非直線性誤差 (INL)

積分非直線性誤差とは、測定されたオフセット誤差とフルスケール誤差をゼロにした場合の理想的な直線と実際出力コードとの最大偏差です。

微分非直線性誤差 (DNL)

微分非直線性誤差とは、理想的な A/D 変換特性における 1LSB 幅と実際に出力された出力コード幅の差です。

オフセット誤差

オフセット誤差とは、理想的な最初の出力コードの変化点と実際の最初の出力コードとの差です。

フルスケール誤差

フルスケール誤差とは、理想的な最後の出力コードの変化点と実際の最後の出力コードとの差です。

5.7 D/A 変換特性

表5.40 D/A変換特性 (1)

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VREFH = 2.7V ~ AVCC0、
VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	3.0	μs	負荷容量 20pF
絶対精度	—	± 3.0	± 5.0	LSB	負荷抵抗 4M Ω
	—	—	± 4.0	LSB	負荷抵抗 8M Ω
RO出力抵抗	—	4.1	—	k Ω	

表5.41 D/A変換特性 (2)

条件 : VCC = AVCC0 = AVCCA = 2.7 ~ 3.6V、VREFH = 1.8V ~ AVCC0、
VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、 $T_a = -40 \sim +105^\circ\text{C}$

項目	min	typ	max	単位	測定条件
分解能	—	—	10	ビット	
変換時間	—	—	10.0	μs	負荷容量 20pF
絶対精度	—	± 5.0	± 6.0	LSB	負荷抵抗 4M Ω
	—	—	± 5.0	LSB	負荷抵抗 8M Ω
RO出力抵抗	—	4.1	—	k Ω	

5.8 温度センサ特性

表5.42 温度センサ特性

条件 : VCC = AVCC0 = AVCCA = VREFH0 = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^{\circ}\text{C}$

項目	記号	min	typ	max	単位	測定条件
相対精度	—	—	±1.0	—	°C	
温度傾斜	1.8 ≤ AVCC0 < 2.7	—	7.27	—	mV/°C	PGAGAIN = 00b
	2.7 ≤ AVCC0 < 3.6	—	10.46	—		PGAGAIN = 01b
	AVCC0 = 3.6	—	13.98	—		PGAGAIN = 10b
出力電位 (@25°C)	—	—	1.375	—	V	VCC = 3.6V
温度センサ起動時間	t _{START}	—	—	80	μs	図5.63
サンプリング時間	—	30	72	300	μs	
PGA再起動時間	t _{RST_PGA}	—	—	40	μs	

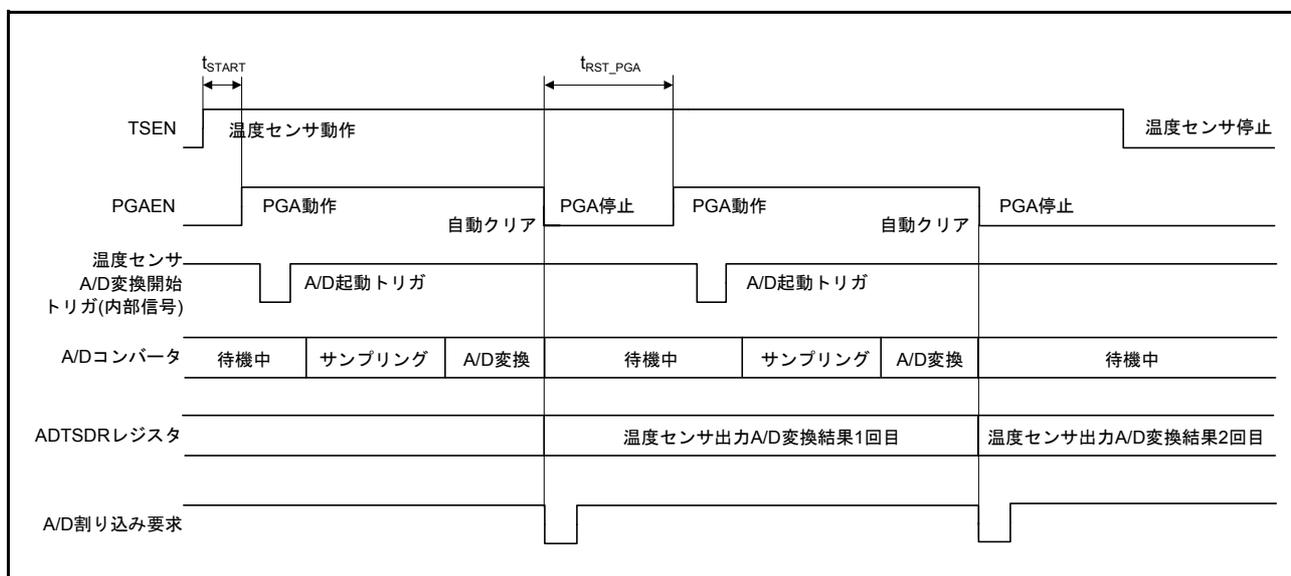


図 5.63 温度センサの A/D 変換タイミング例 (2 変換の場合)

5.9 コンパレータ特性

表5.43 コンパレータ特性

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目		記号	min	typ	max	単位	測定条件		
コンパレータA	外部基準電圧入力範囲	LVREF	1.4	—	VCC	V			
	外部比較電圧 (CMPA1、CMPA2) 入力範囲	VI	-0.3	—	VCC + 0.3	V			
	オフセット	—	—	±50	±150	mV			
	コンパレータ出力遅延時間 (注1)		—	—	3	—		µs	立ち下がり時 VI = LVREF - 110mV
				—	2	—		µs	立ち下がり時 VI < LVREF - 1V
				—	3	—		µs	立ち上がり時 VI = LVREF + 160mV
—				1.5	—	µs	立ち上がり時 VI > LVREF + 1V		
コンパレータ動作電流	ICMPA	—	0.5	—	µA	VCC = 3.3V			
コンパレータB	CVREFB0、CVREFB1入力基準電圧	VREF	0	—	VCC - 1.4	V			
	CMPB0、CMPB1入力電圧	VI	-0.3	—	VCC + 0.3	V			
	オフセット	—	—	±10	±100	mV			
	コンパレータ出力遅延時間	t _d	—	—	1	µs		VI = VREF + 100mV	
	コンパレータ動作電流	ICMPB	—	75	150	µA		VCC = 3.3V、2チャンネル合計	

注1. デジタルフィルタ無効時。

5.10 パワーオンリセット回路、電圧検出回路特性

表5.44 パワーオンリセット回路、電圧検出回路特性 (1)

条件 : VCC = AVCC0 = AVCCA = VREFH0 = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
T_a = -40 ~ +105°C

項目		記号	min	typ	max	単位	測定条件	
電圧検出レベル	パワーオンリセット (POR)	低消費電力機能無効 (注1)	V _{POR}	1.30	1.40	1.55	V	図 5.64、図 5.65
		低消費電力機能有効 (注2)		1.00	1.20	1.45		
電圧検出回路 (LVD0) (注3)		V _{det0_1}	2.70	2.80	2.90	V	図 5.66	
		V _{det0_2}	1.80	1.90	2.00			
電圧検出回路 (LVD1) (注4)		V _{det1_7}	2.95	3.10	3.25	V	図 5.67 VCC 立ち下がり時	
		V _{det1_8}	2.85	2.95	3.05			
		V _{det1_9}	2.70	2.80	2.90			
		V _{det1_A}	2.55	2.65	2.75			
		V _{det1_B}	2.40	2.50	2.60			
		V _{det1_C}	2.25	2.35	2.45			
		V _{det1_D}	2.10	2.20	2.30			
		V _{det1_E}	1.95	2.05	2.15			
		V _{det1_F}	1.80	1.90	2.00			

注. 電源にノイズが重畳されていない状態での特性です。

注1. ソフトウェアスタンバイモード、ディープソフトウェアスタンバイモード以外の場合、またはFHSSBYCR.SOFTCUT[2]ビットが“0”でソフトウェアスタンバイモードに移行した場合か、DPSBYCR.DEEPCUT1ビットが“0”でディープソフトウェアスタンバイモードに移行した場合です。

注2. FHSSBYCR.SOFTCUT[2]ビットが“1”でソフトウェアスタンバイモードに移行、またはDPSBYCR.DEEPCUT1ビットが“1”でディープソフトウェアスタンバイモードに移行した場合です。

注3. 記号V_{det0_#}の#は、LDSEL[1:0]ビットの値です。

注4. 記号V_{det1_#}の#は、LVDLVLRLVD1LVL[3:0]ビットの値です。

表5.45 パワーオンリセット回路、電圧検出回路特性 (2)

条件: VCC = AVCC0 = AVCCA, VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V, T_a = -40 ~ +105°C

項目	記号	min	typ	max	単位	測定条件	
電圧検出レベル	電圧検出回路 (LVD2) (注1)	V _{det2_7}	2.95	3.10	3.25	V	図 5.68 VCC 立ち下がり時
		V _{det2_8}	2.85	2.95	3.05		
		V _{det2_9}	2.70	2.80	2.90		
		V _{det2_A}	2.55	2.65	2.75		
		V _{det2_B}	2.40	2.50	2.60		
		V _{det2_C}	2.25	2.35	2.45		
		V _{det2_D}	2.10	2.20	2.30		
		V _{det2_E}	1.95	2.05	2.15		
		V _{det2_F}	1.80	1.90	2.00		
	V _{CMPA2}	1.18	1.33	1.48		EXVCCINP2 = 1	
内部リセット時間	パワーオンリセット時間	t _{POR}	—	9	—	ms	図5.65
	電圧監視0リセット時間	t _{LVD0}	—	9	—		図5.66
	電圧監視1リセット時間	t _{LVD1}	—	1.4	—		図5.67
	電圧監視2リセット時間	t _{LVD2}	—	1.4	—		図5.68
最小VCC低下時間 (注2)	t _{VOFF}	200	—	—	μs	図5.65	
応答遅延時間	t _{det}	—	—	200	μs	図5.65	
LVD動作安定時間 (LVD有効切り替え時)	Td (E-A)	—	—	15	μs	図5.67、図5.68	
パワーオンリセット有効時間	t _W (POR)	1	—	—	ms	図5.65 VCC = 0.9V 以下	
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	V _{LVH}	—	100	—	mV	VdetX_7 選択時	
		—	50	—		VdetX_8 ~ F 選択時	

注. 電源にノイズが重畳されていない状態での特性です。

注1. 記号Vdet2_#の#は、LVDLVLR.LVD2LVL[3:0]ビットの値です。

注2. 最小VCC低下時間は、VCCがPOR/LVDの電圧検出レベルV_{POR}、V_{det0}、V_{det1}、V_{det2}のmin値を下回っている時間です。

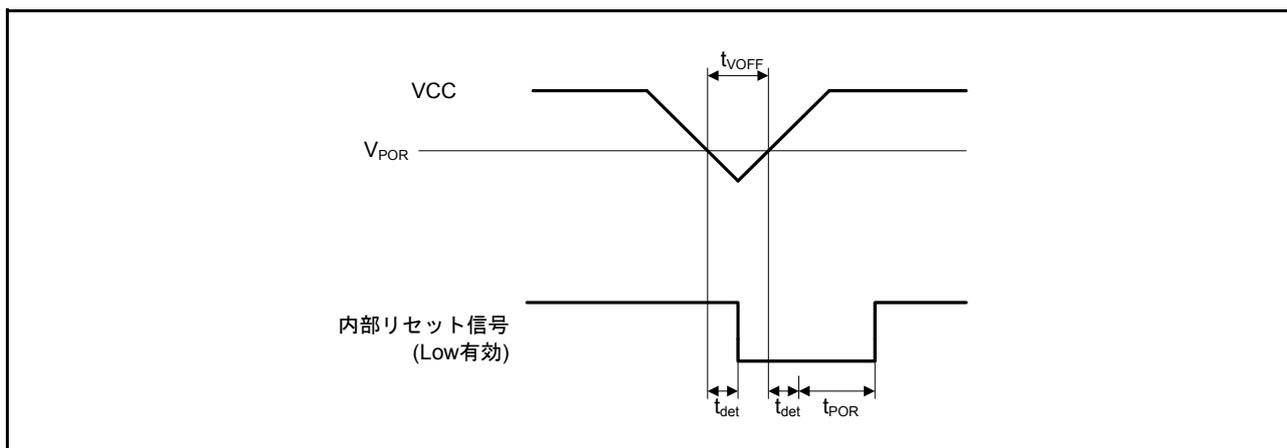
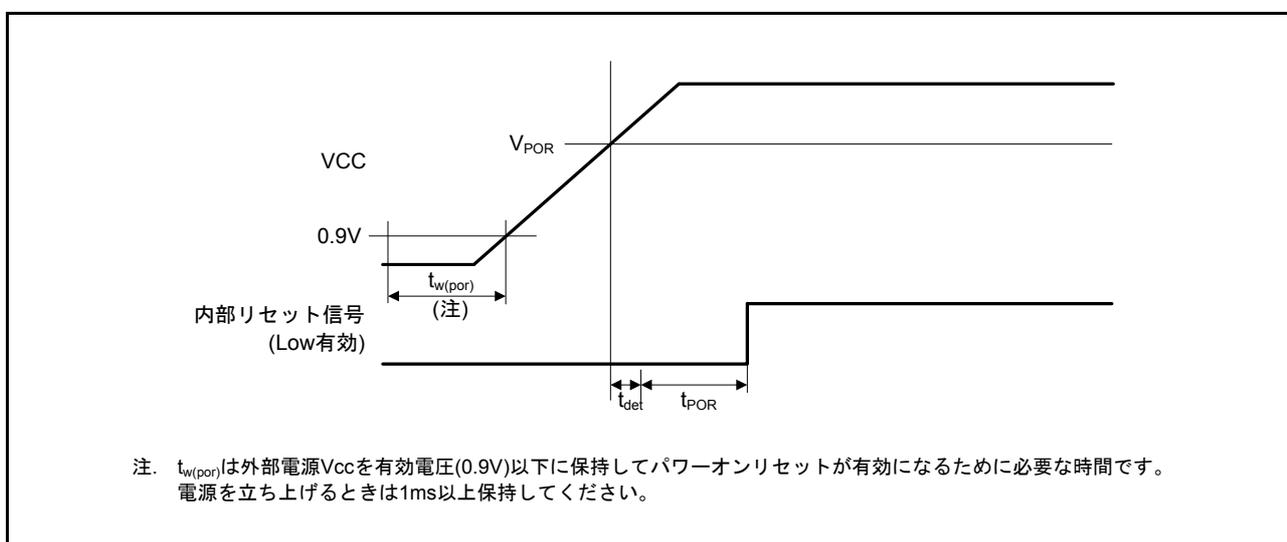


図 5.64 電圧検出リセットタイミング



注. t_{w(por)}は外部電源Vccを有効電圧(0.9V)以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を立ち上げるときは1ms以上保持してください。

図 5.65 パワーオンリセットタイミング

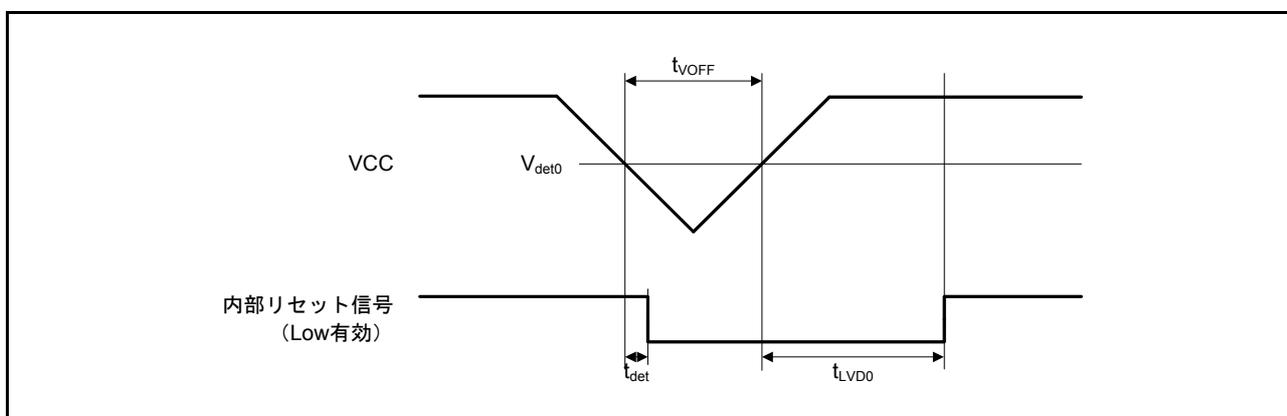


図 5.66 電圧検出回路タイミング (V_{det0})

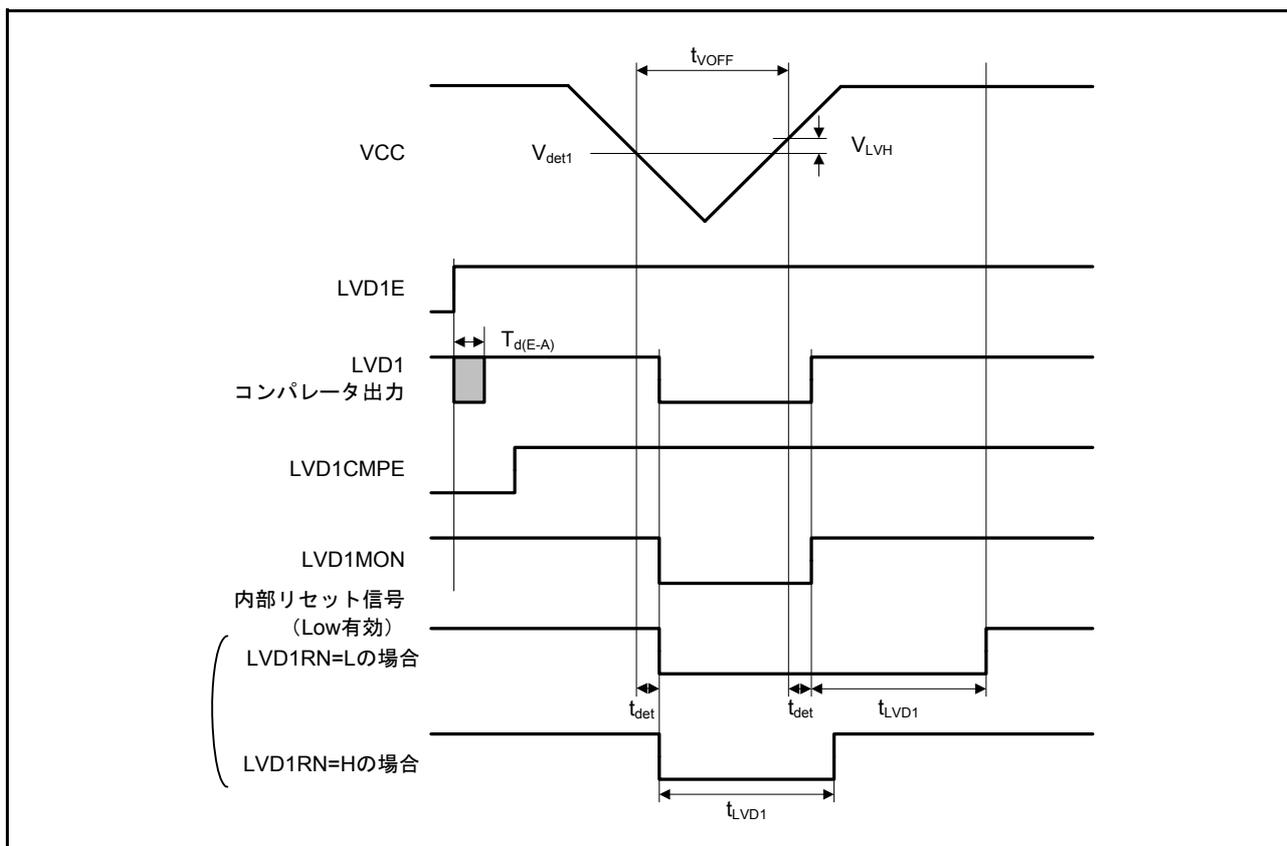


図 5.67 電圧検出回路タイミング (V_{det1})

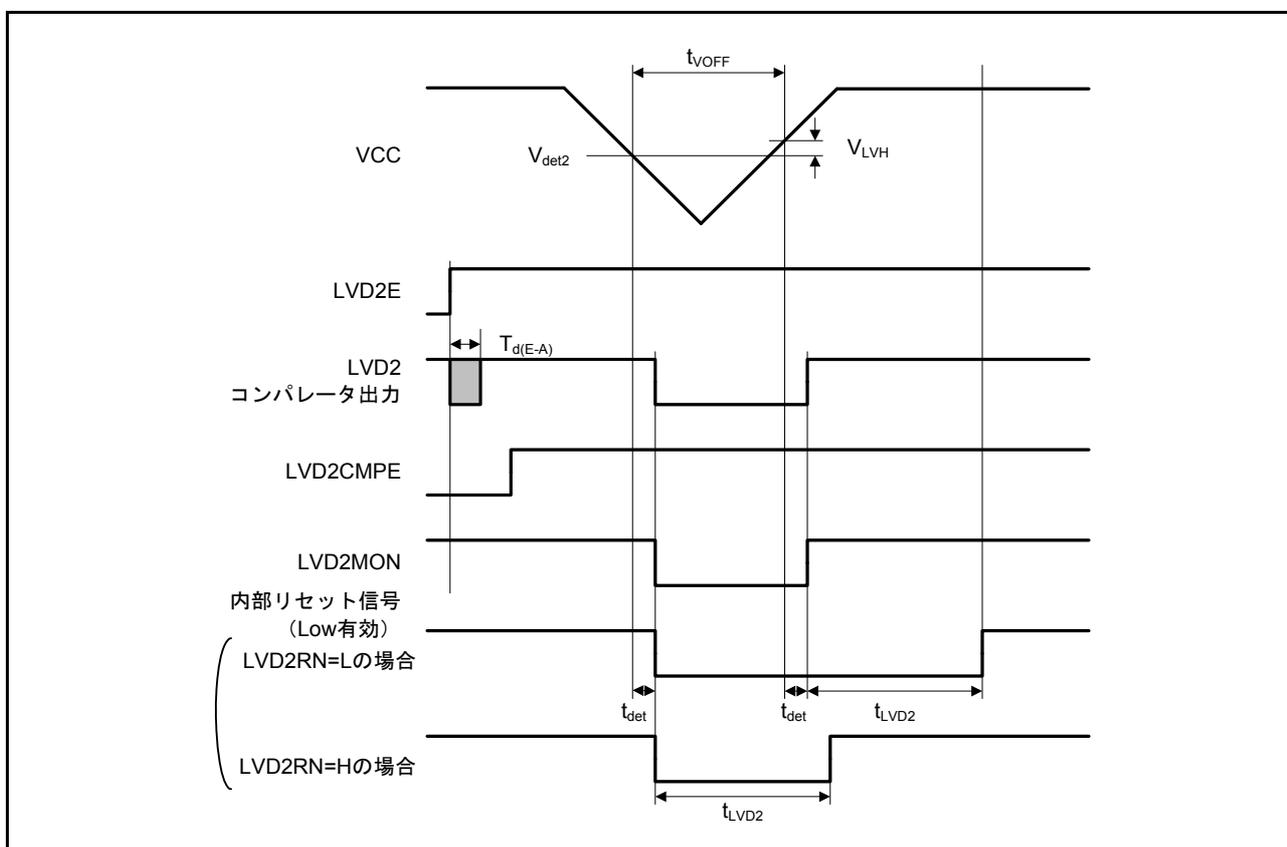


図 5.68 電圧検出回路タイミング (V_{det2})

5.11 発振停止検出タイミング

表 5.46 発振停止検出回路特性

条件 : VCC = AVCC0 = AVCCA = 1.8 ~ 3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V、
 $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	min	typ	max	単位	測定条件
検出時間	t_{dr}	—	—	1	ms	図 5.69

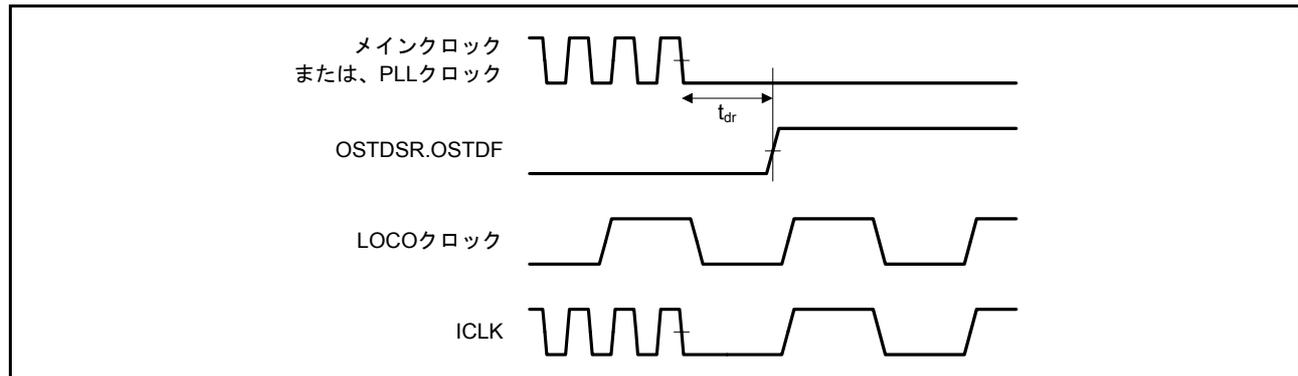


図 5.69 発振停止検出タイミング

5.12 ROM（コード格納用フラッシュメモリ）特性

表5.47 ROM（コード格納用フラッシュメモリ）特性（1）

項目	記号	min	typ	max	単位	測定条件	
再プログラム/イレーズサイクル（注1）	N _{PEC}	10000	—	—	回		
データ保持時間	N _{PEC} 1000回後	t _{DRP}	30（注2）	—	—	年	Ta = +85°C
	N _{PEC} 10000回後		1（注2）	—	—		

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルがn回（n = 1000）の場合、ブロックごとにそれぞれn回ずつ消去することができます。例えば、2Kバイトのブロックについて、それぞれ異なる番地に128バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

表5.48 ROM（コード格納用フラッシュメモリ）特性（2）高速動作モード・中速動作モード1A・中速動作モード2A
 条件：VCC = AVCC0 = AVCCA = 2.7～3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40～+105°C

項目	記号	FCLK = 4MHz			FCLK = 25MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回するとき	2バイト	t _{P2}	—	0.19	4.3	—	0.12	2.1	ms
	8バイト	t _{P8}	—	0.19	4.4	—	0.12	2.1	
	128バイト	t _{P128}	—	0.67	10.7	—	0.42	5.0	
プログラム時間 N _{PEC} > 100回するとき	2バイト	t _{P2}	—	0.23	5.3	—	0.15	2.6	ms
	8バイト	t _{P8}	—	0.23	5.4	—	0.15	2.6	
	128バイト	t _{P128}	—	0.80	13.2	—	0.50	6.3	
イレーズ時間 N _{PEC} ≤ 100回するとき	2Kバイト	t _{E2K}	—	13.0	92.8	—	10.6	31.6	ms
イレーズ時間 N _{PEC} > 100回するとき	2Kバイト	t _{E2K}	—	15.9	176.9	—	13.0	64.7	ms
プログラム中のサスペンド遅延時間 （プログラム/イレーズ優先モード）	t _{SPD}	—	—	0.9	—	—	0.804	ms	
プログラム中の1回目のサスペンド 遅延時間（サスペンド優先モード時）	t _{SPSD1}	—	—	220	—	—	124	μs	
プログラム中の2回目のサスペンド 遅延時間（サスペンド優先モード時）	t _{SPSD2}	—	—	0.9	—	—	0.804	ms	
イレーズ中のサスペンド遅延時間 （プログラム/イレーズ優先モード時）	t _{SED}	—	—	0.9	—	—	0.804	ms	
イレーズ中の1回目のサスペンド遅延 時間（サスペンド優先モード時）	t _{SESD1}	—	—	220	—	—	124	μs	
イレーズ中の2回目のサスペンド遅延 時間（サスペンド優先モード時）	t _{SESD2}	—	—	0.9	—	—	0.804	ms	
FCU リセット時間	t _{FCUR}	20μs 以上かつ FCLK × 6 以上	—	—	20μs 以上かつ FCLK × 6 以上	—	—	μs	

表5.49 ROM（コード格納用フラッシュメモリ）特性（3）中速動作モード1B・中速動作モード2B
 条件：VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V
 プログラム/イレーズ時の動作温度範囲：T_a = -40~+105°C

項目	記号	FCLK = 4MHz			FCLK = 25MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回のとき	2バイト	t _{P2}	—	0.25	5.0	—	0.21	2.9	ms
	8バイト	t _{P8}	—	0.25	5.3	—	0.21	3.1	
	128バイト	t _{P128}	—	0.92	14.0	—	0.66	8.5	
プログラム時間 N _{PEC} > 100回のとき	2バイト	t _{P2}	—	0.31	6.2	—	0.26	3.6	ms
	8バイト	t _{P8}	—	0.31	6.6	—	0.26	3.8	
	128バイト	t _{P128}	—	1.09	17.5	—	0.78	10.3	
イレーズ時間 N _{PEC} ≤ 100回のとき	2Kバイト	t _{E2K}	—	21.0	113.6	—	18.6	48.7	ms
イレーズ時間 N _{PEC} > 100回のとき	2Kバイト	t _{E2K}	—	25.6	220.6	—	22.7	94.5 (1K回 ≥ N _{PEC} > 100回) 102.9 (10K回 ≥ N _{PEC} > 1K 回)	ms
プログラム中のサスペンド遅延時間 (プログラム/イレーズ優先モード)	t _{SPD}	—	—	1.7	—	—	1.604	ms	
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD1}	—	—	220	—	—	124	μs	
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)	t _{SPSD2}	—	—	1.7	—	—	1.604	ms	
イレーズ中のサスペンド遅延時間 (プログラム/イレーズ優先モード時)	t _{SED}	—	—	1.7	—	—	1.604	ms	
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{SESD1}	—	—	220	—	—	124	μs	
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)	t _{SESD2}	—	—	1.7	—	—	1.604	ms	
FCU リセット時間	t _{FCUR}	20μs 以上かつ FCLK × 6 以上	—	—	20μs 以上かつ FCLK × 6 以上	—	—	μs	

注1. 中速動作モード2Bの電圧範囲 = 1.8V~2.7V未満では、FCLK動作周波数は12.5MHz maxです。

5.13 E2 データフラッシュ（データ格納用フラッシュメモリ）特性

表5.50 E2データフラッシュ特性（1）

項目	記号	min	typ	max	単位	測定条件
再プログラム/イレーズサイクル（注1）	N_{DPEC}	100000	—	—	回	
データ保持時間	N_{DPEC} 100000回後	t_{DRP}	30（注2）	—	年	$T_a = +85^\circ\text{C}$

注1. 再プログラム/イレーズサイクルの定義：再プログラム/イレーズサイクルは、ブロックごとの消去回数です。再プログラム/イレーズサイクルが n 回（ $n = 100000$ ）の場合、ブロックごとにそれぞれ n 回ずつ消去することができます。例えば、128バイトのブロックについて、それぞれ異なる番地に8バイト書き込みを16回に分けて行った後に、そのブロックを消去した場合も、再プログラム/イレーズサイクル回数は1回と数えます。ただし、消去1回に対して、同一アドレスに複数回の書き込みを行うことはできません。（上書き禁止）

注2. 信頼性試験から得られた結果です。

表5.51 E2データフラッシュ特性（2）高速動作モード・中速動作モード1A・中速動作モード2A

条件：VCC = AVCC0 = AVCCA = 2.7～3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V

プログラム/イレーズ時の動作温度範囲： $T_a = -40 \sim +105^\circ\text{C}$

項目	記号	FCLK = 4MHz			FCLK = 25MHz			単位	
		min	typ	max	min	typ	max		
プログラム時間 $N_{PEC} \leq 100$ 回のとき	2バイト	t_{DP2}	—	0.19	4.4	—	0.13	2.1	ms
	8バイト	t_{DP8}	—	0.24	5.1	—	0.14	2.3	
プログラム時間 $N_{PEC} > 100$ 回のとき	2バイト	t_{DP2}	—	0.25	6.4	—	0.17	3.1	ms
	8バイト	t_{DP8}	—	0.32	7.5	—	0.18	3.4	
イレーズ時間 $N_{PEC} \leq 100$ 回のとき	128バイト	t_{DE128}	—	3.3	27.1	—	2.5	8.8	ms
イレーズ時間 $N_{PEC} > 100$ 回のとき	128バイト	t_{DE128}	—	4.0	45.1	—	3.1	13.3	ms
ブランクチェック時間	2バイト	t_{DBC2}	—	—	98	—	—	38	μs
	2Kバイト	t_{DBC2K}	—	—	16	—	—	3.0	ms
プログラム中のサスペンド遅延時間 （プログラム/イレーズ優先モード）	t_{DSPD}	—	—	0.9	—	—	0.804	ms	
プログラム中の1回目のサスペンド 遅延時間（サスペンド優先モード時）	t_{DSPSD1}	—	—	220	—	—	124	μs	
プログラム中の2回目のサスペンド 遅延時間（サスペンド優先モード時）	t_{DSPSD2}	—	—	0.9	—	—	0.804	ms	
イレーズ中のサスペンド遅延時間 （プログラム/イレーズ優先モード時）	t_{DSED}	—	—	0.9	—	—	0.804	ms	
イレーズ中の1回目のサスペンド遅延 時間（サスペンド優先モード時）	t_{DSESD1}	—	—	220	—	—	124	μs	
イレーズ中の2回目のサスペンド遅延 時間（サスペンド優先モード時）	t_{DSESD2}	—	—	0.9	—	—	0.804	ms	

表5.52 E2データフラッシュ特性 (3) 中速動作モード1B・中速動作モード2B

条件: VCC = AVCC0 = AVCCA = 1.8~3.6V、VSS = AVSS0 = AVSSA = VREFL = VREFL0 = VREFDSL = 0V

プログラム/イレーズ時の動作温度範囲: T_a = -40~+105°C

項目	記号	FCLK = 4MHz			FCLK = 25MHz (注1)			単位	
		min	typ	max	min	typ	max		
プログラム時間 N _{PEC} ≤ 100回するとき	2バイト	t _{DP2}	—	0.28	5.1	—	0.20	2.9	ms
	8バイト	t _{DP8}	—	0.32	5.9	—	0.23	3.3	
プログラム時間 N _{PEC} > 100回するとき	2バイト	t _{DP2}	—	0.36	7.6	—	0.26	4.3	ms
	8バイト	t _{DP8}	—	0.40	8.8	—	0.28	4.7	
イレーズ時間 N _{PEC} ≤ 100回するとき	128バイト	t _{DE128}	—	4.8	32.3	—	4.1	12.8	ms
イレーズ時間 N _{PEC} > 100回するとき	128バイト	t _{DE128}	—	5.8	51.4	—	5.0	18.4	ms
ブランクチェック時間	2バイト	t _{DBC2}	—	—	110	—	—	43	μs
	2Kバイト	t _{DBC2K}	—	—	16.3	—	—	3.1	ms
プログラム中のサスペンド遅延時間 (プログラム/イレーズ優先モード)		t _{DSPD}	—	—	1.7	—	—	1.604	ms
プログラム中の1回目のサスペンド 遅延時間 (サスペンド優先モード時)		t _{DSPSD1}	—	—	220	—	—	124	μs
プログラム中の2回目のサスペンド 遅延時間 (サスペンド優先モード時)		t _{DSPSD2}	—	—	1.7	—	—	1.604	ms
イレーズ中のサスペンド遅延時間 (プログラム/イレーズ優先モード時)		t _{DSED}	—	—	1.7	—	—	1.604	ms
イレーズ中の1回目のサスペンド遅延 時間 (サスペンド優先モード時)		t _{DSESD1}	—	—	220	—	—	124	μs
イレーズ中の2回目のサスペンド遅延 時間 (サスペンド優先モード時)		t _{DSESD2}	—	—	1.7	—	—	1.604	ms

注1. 中速動作モード2Bの電圧範囲 = 1.8V~2.7V未満では、FCLK動作周波数は12.5MHz maxです。

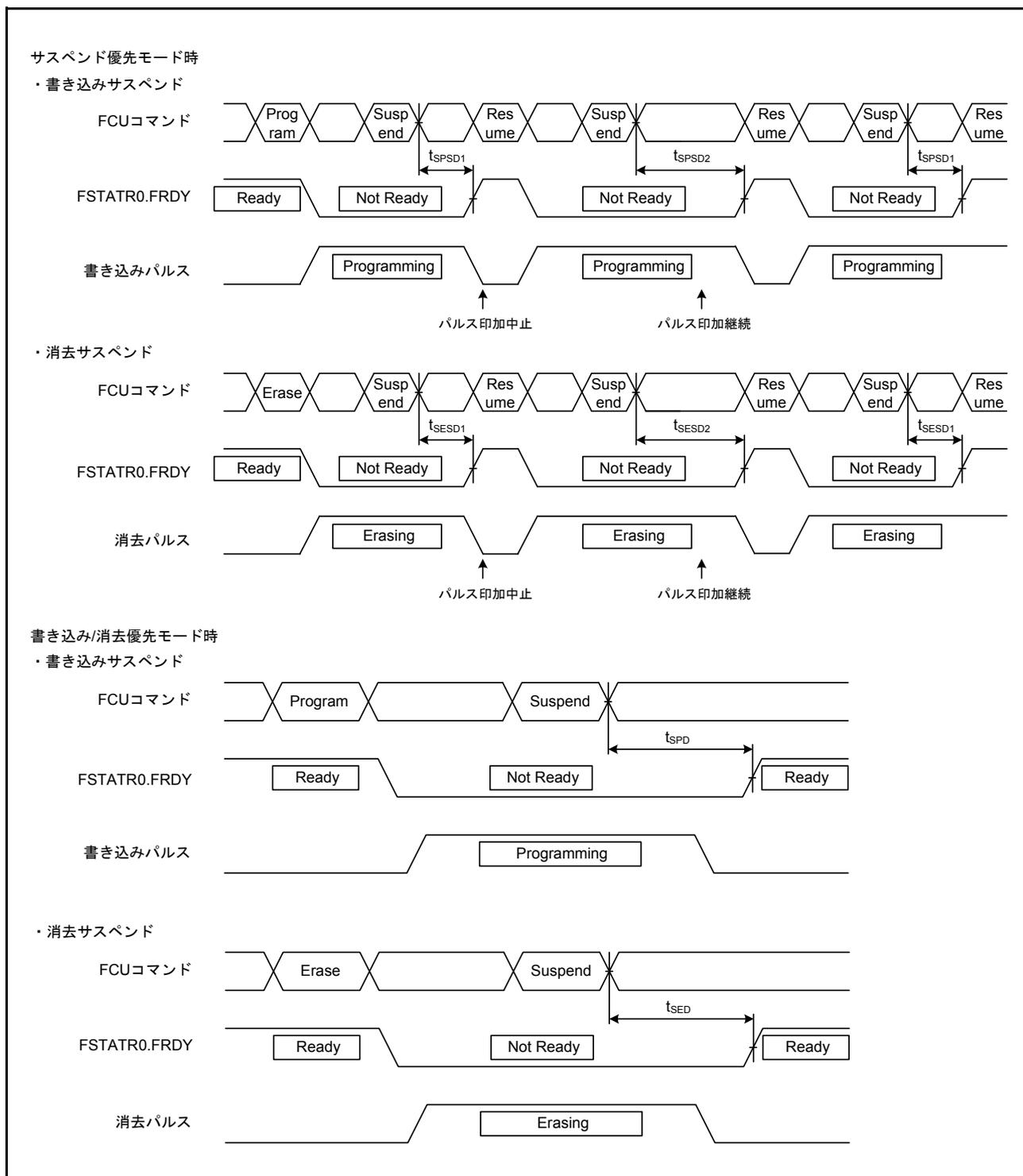


図 5.70 フラッシュメモリプログラム/イレーズサスペンドタイミング

付録1. 外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス エレクトロニクスホームページの「パッケージ」に掲載されています。

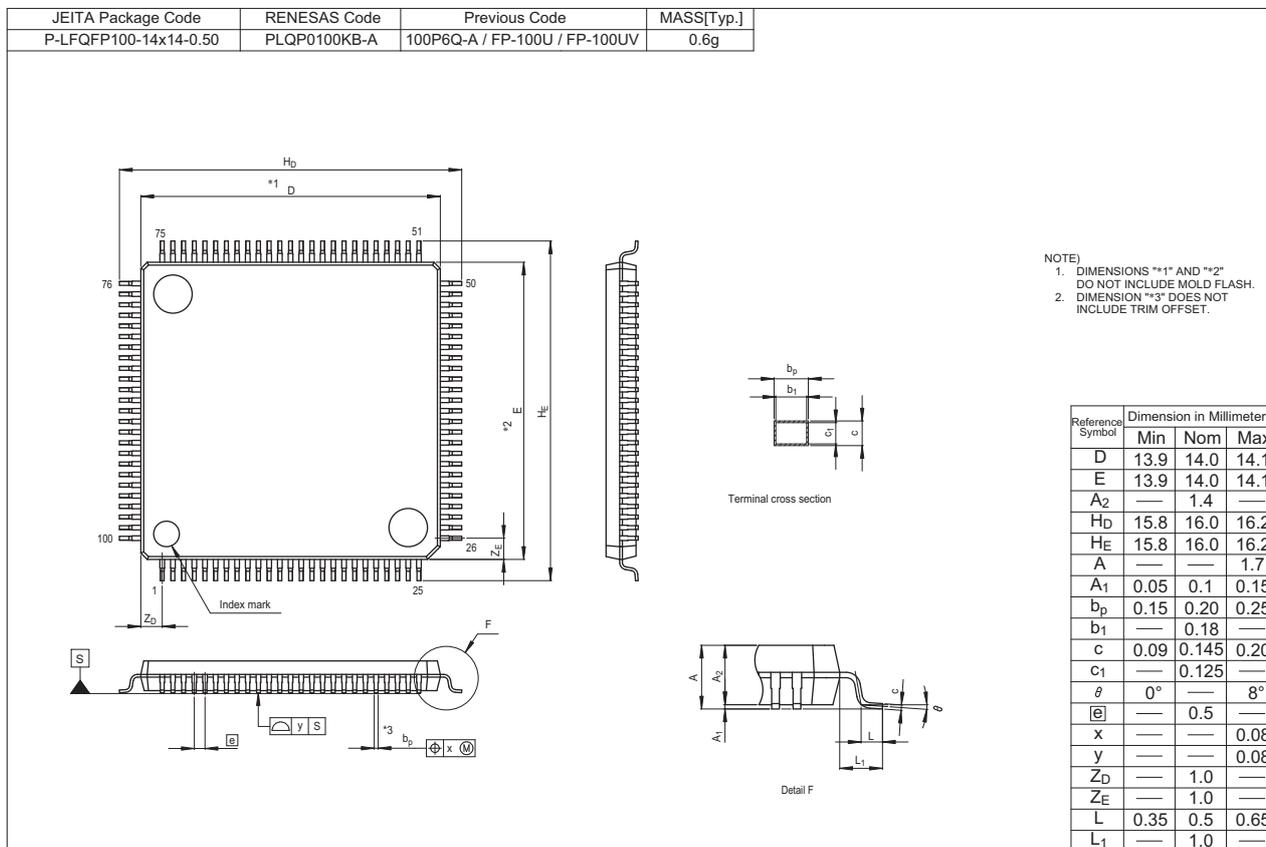


図 A. 100ピン LQFP (PLQP0100KB-A)

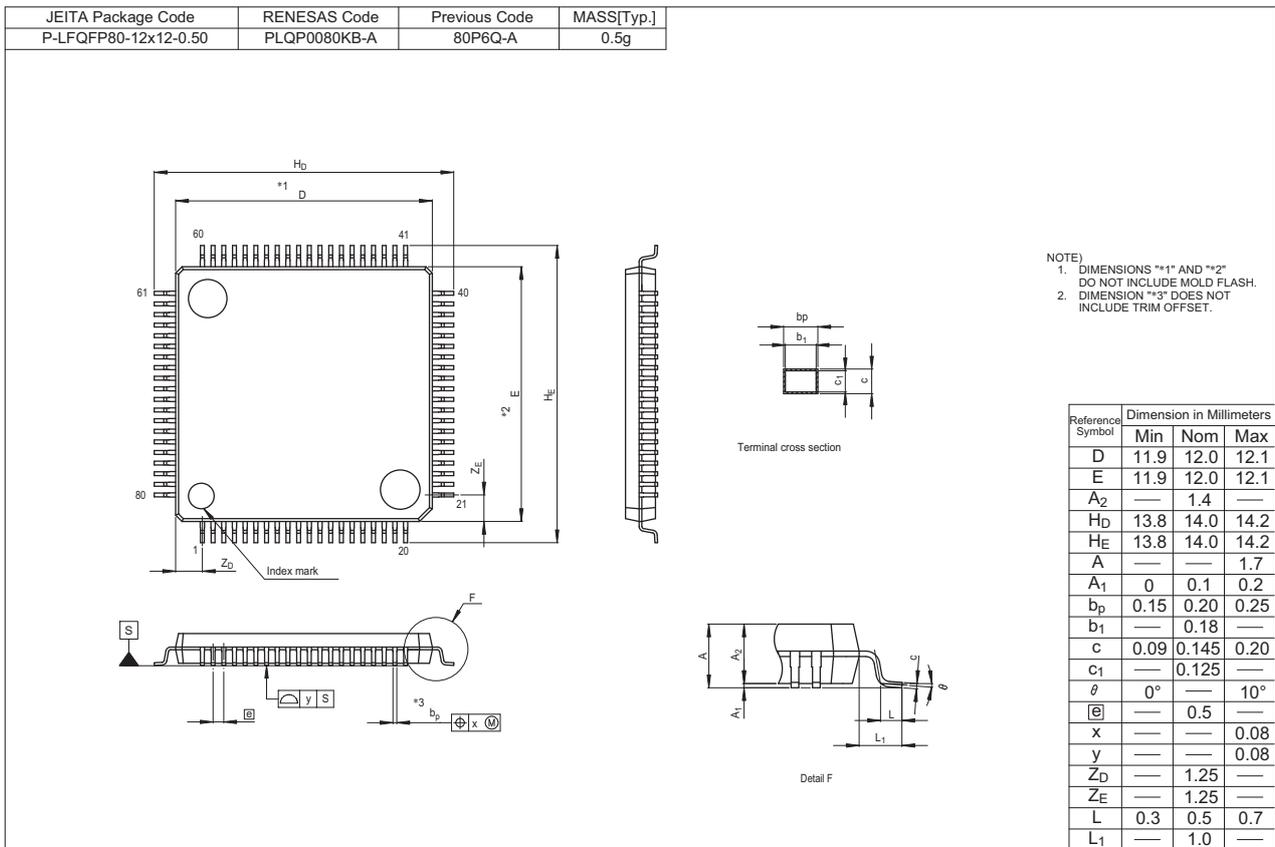


図 B. 80ピンLQFP (PLQP0080KB-A)

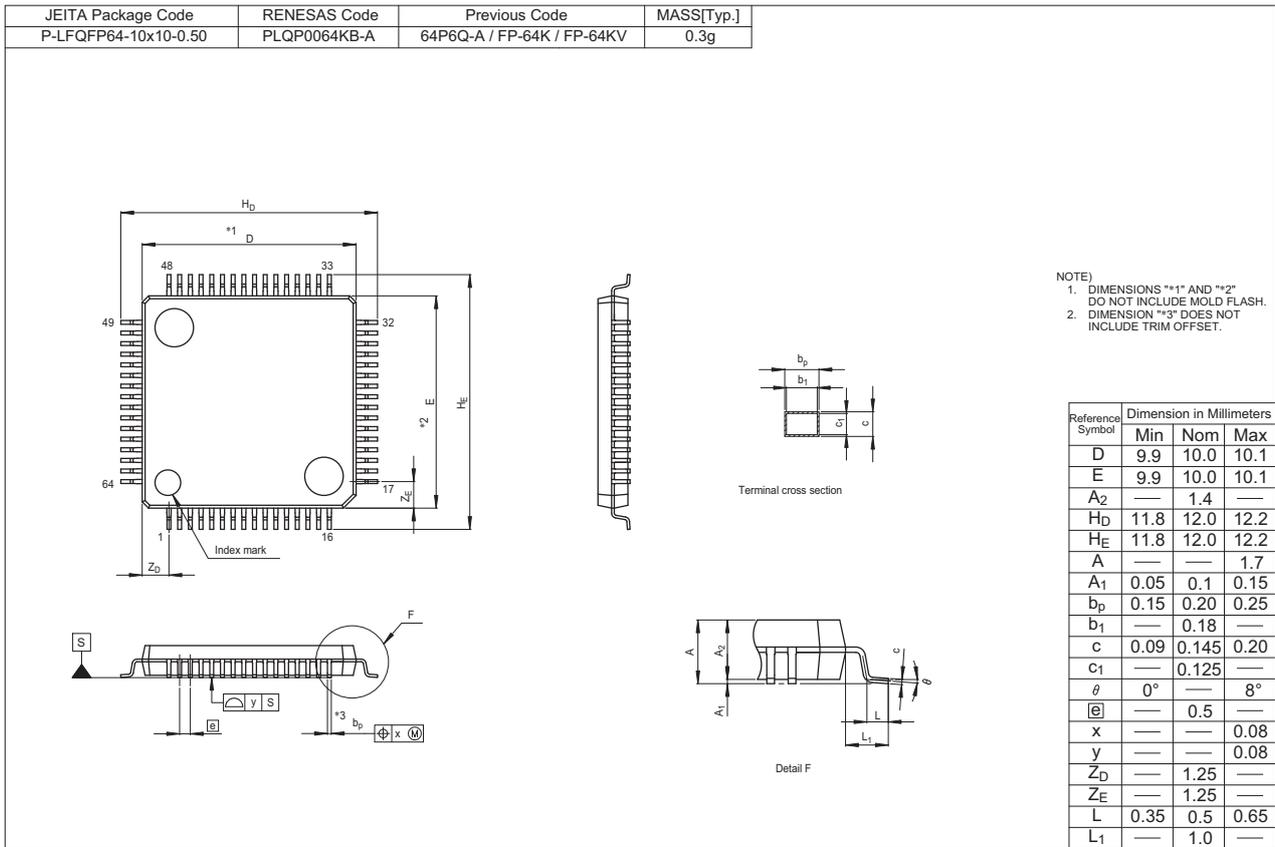


図 C. 64ピンLQFP (PLQP0064KB-A)

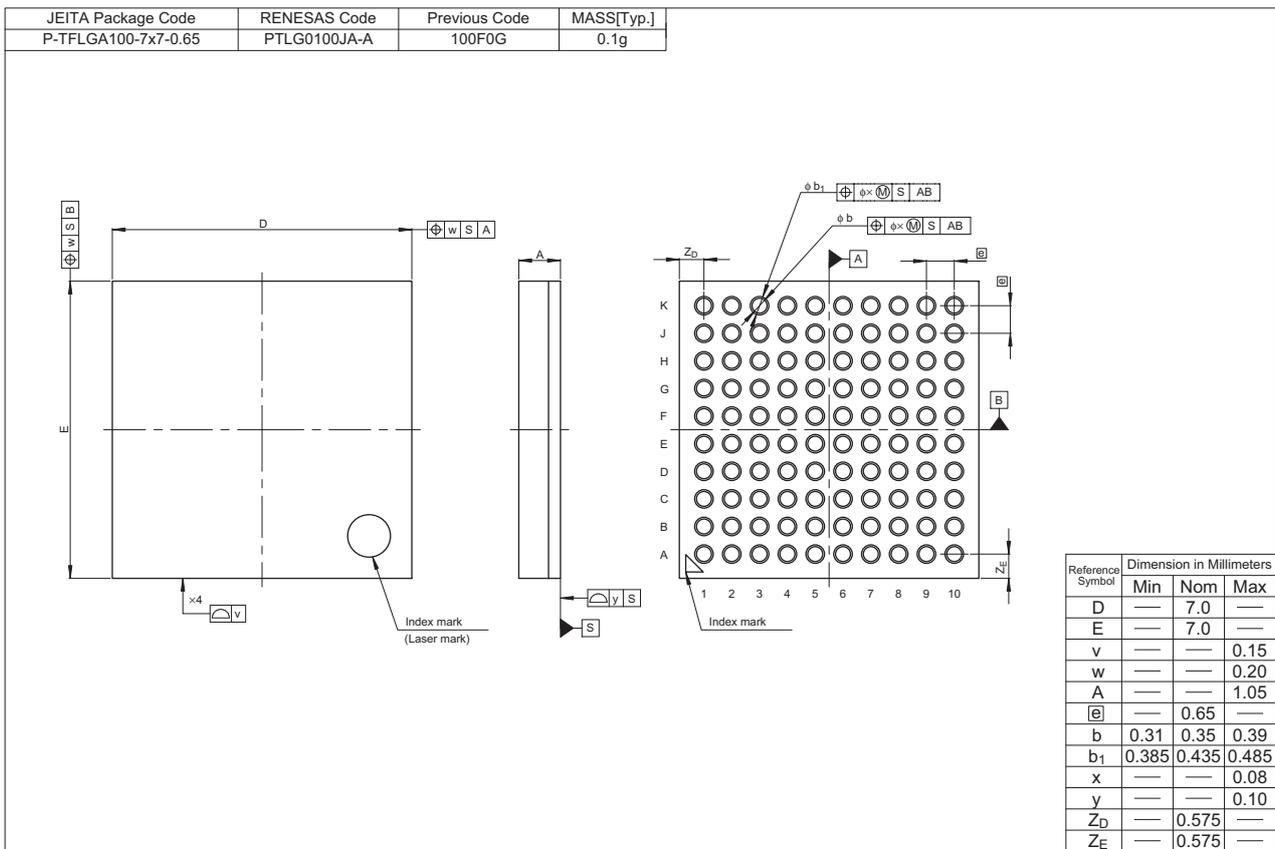


図 D. 100ピン TFLGA (PTLG0100JA-A)

改訂記録	RX21A グループ データシート
------	-------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2012.09.14	—	初版発行

改訂区分の説明

- テクニカルアップデート発行番号のある項目：発行済みの該当テクニカルアップデートを反映した変更
- テクニカルアップデート発行番号のない項目：テクニカルアップデートを発行しない軽微な変更

Rev.	発行日	改訂内容		改訂区分
		ページ	ポイント	
1.10	2014.08.28	特長		
		1	LGAパッケージの追加	TN-RX*-A072A/J
		1. 概要		
		4	表 1.1 仕様概要 IrDAバスインタフェース (IRDA) 追加	TN-RX*-A073A/J
		5	表 1.1 仕様概要 パッケージ 変更	TN-RX*-A072A/J
		5	表 1.1 仕様概要 注2 追加	TN-RX*-A073A/J
		5	表 1.1 仕様概要 注3 追加	
		5	表 1.2 パッケージ別機能比較一覧 変更	TN-RX*-A072A/J
		6	表 1.3 製品一覧表 変更	TN-RX*-A072A/J
		6	表 1.3 製品一覧表 注1 追加	TN-RX*-A072A/J
		6	表 1.3 製品一覧表 注、注2 追加	
		7	図 1.1 型名とメモリサイズ・パッケージ 変更	TN-RX*-A072A/J
		9	表 1.4 端子機能一覧 リアルタイムクロック 変更	
		15	図 1.6 100ピンTFLGAピン配置図 (上面透視図) 追加	TN-RX*-A072A/J
		23~25	表 1.8 機能別端子一覧 (100ピンTFLGA) 追加	TN-RX*-A072A/J
		3. アドレス空間		
		29	図 3.1 各動作モードのメモリマップ 変更	
		4. I/Oレジスタ		
		53, 54	表 4.1 I/Oレジスタアドレス一覧 FEFF FAC0h~FEFF FBD3h 追加	
		5. 電気的特性		
		56	表 5.3 DC特性 (2) 変更	TN-RX*-A074A/J
		57	表 5.4 DC特性 (3)、表 5.6 DC特性 (5) 変更	TN-RX*-A074A/J
		58	表 5.7 DC特性 (6) 変更	TN-RX*-A074A/J
		66	表 5.9 DC特性 (8) 追加	TN-RX*-A074A/J
		66	表 5.10 DC特性 (9) 変更	
		66	表 5.11 DC特性 (10) 追加	
		67	表 5.14 DC特性 (13) 変更	TN-RX*-A074A/J
		67	表 5.15 出力許容電流値 (1) 変更、表 5.16 出力許容電流値 (2) 追加	TN-RX*-A074A/J
		68	表 5.18 出力電圧値 (2) 変更	TN-RX*-A074A/J
		79	表 5.26 クロックタイミング 変更	TN-RX*-A097A/J
		79	表 5.26 クロックタイミング 注5 変更	TN-RX*-A105A/J
		80	図 5.27 LOCO、IWDTCCLK クロック発振開始タイミング 変更	TN-RX*-A097A/E
		84	図 5.35 電源投入時リセット入力タイミング 変更	TN-RX*-A074A/J
		91	表 5.33 内蔵周辺モジュールタイミング (4) 変更	TN-RX*-A074A/J
		93	表 5.35 内蔵周辺モジュールタイミング (6) 注 変更	TN-RX*-A074A/J
		100	表 5.36 ΔΣA/D変換特性 変更	TN-RX*-A105A/J
		101	図 5.55 差動入力振幅 変更	
		105	表 5.37 A/D変換特性 (1) 変更	TN-RX*-A074A/J
		105	図 5.61 AVCC - VREFH0 電圧範囲 追加	TN-RX*-A074A/J
		106	表 5.39 A/D変換特性 (2) 変更	TN-RX*-A074A/J
		112	表 5.44 パワーオンリセット回路、電圧検出回路特性 (1) 注1, 2 変更	
		119	表 5.51 E2データフラッシュ特性 (2) 高速動作モード・中速動作モード1A・中速動作モード2A 変更	TN-RX*-A074A/J
		120	表 5.52 E2データフラッシュ特性 (3) 中速動作モード1B・中速動作モード2B 変更	TN-RX*-A074A/J
		付録 1. 外形寸法図		
		125	図 D. 100ピンTFLGA (PTLG0100JA-A) 追加	TN-RX*-A072A/J

すべての商標および登録商標は、それぞれの所有者に帰属します。

製品ご使用上の注意事項

ここでは、マイコン製品全体に適用する「使用上の注意事項」について説明します。個別の使用上の注意事項については、本ドキュメントおよびテクニカルアップデートを参照してください。

1. 未使用端子の処理

【注意】未使用端子は、本文の「未使用端子の処理」に従って処理してください。

CMOS 製品の入力端子のインピーダンスは、一般に、ハイインピーダンスとなっています。未使用端子を開放状態で動作させると、誘導現象により、LSI 周辺のノイズが印加され、LSI 内部で貫通電流が流れたり、入力信号と認識されて誤動作を起こす恐れがあります。未使用端子は、本文「未使用端子の処理」で説明する指示に従い処理してください。

2. 電源投入時の処置

【注意】電源投入時は、製品の状態は不定です。

電源投入時には、LSI の内部回路の状態は不確定であり、レジスタの設定や各端子の状態は不定です。

外部リセット端子でリセットする製品の場合、電源投入からリセットが有効になるまでの期間、端子の状態は保証できません。

同様に、内蔵パワーオンリセット機能を使用してリセットする製品の場合、電源投入からリセットのかかる一定電圧に達するまでの期間、端子の状態は保証できません。

3. リザーブアドレス（予約領域）のアクセス禁止

【注意】リザーブアドレス（予約領域）のアクセスを禁止します。

アドレス領域には、将来の機能拡張用に割り付けられているリザーブアドレス（予約領域）がありません。これらのアドレスをアクセスしたときの動作については、保証できませんので、アクセスしないようにしてください。

4. クロックについて

【注意】リセット時は、クロックが安定した後、リセットを解除してください。

プログラム実行中のクロック切り替え時は、切り替え先クロックが安定した後に切り替えてください。

リセット時、外部発振子（または外部発振回路）を用いたクロックで動作を開始するシステムでは、クロックが十分安定した後、リセットを解除してください。また、プログラムの途中で外部発振子（または外部発振回路）を用いたクロックに切り替える場合は、切り替え先のクロックが十分安定してから切り替えてください。

5. 製品間の相違について

【注意】型名の異なる製品に変更する場合は、製品型名ごとにシステム評価試験を実施してください。

同じグループのマイコンでも型名が違っていると、内部 ROM、レイアウトパターンの相違などにより、電気的特性の範囲で、特性値、動作マージン、ノイズ耐量、ノイズ輻射量などが異なる場合があります。型名が異なる製品に変更する場合は、個々の製品ごとにシステム評価試験を実施してください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じても、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問い合わせください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍用用途に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続きを行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/contact/>