

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

1. 概要

1.1 特長

R8C/2Aグループ、R8C/2Bグループは、R8C/Tinyシリーズ CPU コアを搭載したシングルチップマイクロコンピュータです。R8C/Tinyシリーズ CPU コアは、高機能命令を持ちながら高い命令効率を持ち、1Mバイトのアドレス空間と、命令を高速に実行する能力を備え、更に、乗算器があるため高速な演算処理が可能です。

また、消費電力が小さい上、動作モードによるパワーコントロールが可能であり、ノイズ対策機構により不要輻射ノイズは小さく、ノイズ耐量は大きく設計されています。

多機能タイマ、シリアルインタフェースなど、多彩な周辺機能を内蔵しており、システムの部品点数を少なくできます。

さらに、R8C/2Bグループはデータフラッシュ (1KB × 2ブロック) を内蔵します。

R8C/2AグループとR8C/2Bグループの違いはデータフラッシュの有無だけです。周辺機能は同一です。

1.1.1 用途

家電、事務機器、オーディオ、民生機器、他

1.1.2 仕様概要

表1.1～表1.2にR8C/2Aグループの仕様概要、表1.3～表1.4にR8C/2Bグループの仕様概要を示します。

表1.1 R8C/2Aグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C/Tinyシリーズコア <ul style="list-style-type: none"> 基本命令数：89命令 最短命令実行時間：50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM	「表1.5 R8C/2Aグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：2 CMOS入出力:55、プルアップ抵抗選択可能 大電流駆動ポート：8
クロック	クロック発生回路	<ul style="list-style-type: none"> 3回路：XINクロック発振回路(帰還抵抗内蔵) オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) XCINクロック発振回路(32kHz) 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
		リアルタイムクロック(タイマRE)あり
割り込み		<ul style="list-style-type: none"> 外部：5要因、内部：23要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケアラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケアラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本) 鋸波変調)、相補PWMモード(三相波形出力(6本) 三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
	タイマRF	16ビット×1(キャプチャ/コンペアレジスタ1本、コンペアレジスタ1本付) インプットキャプチャモード、アウトプットコンペアモード

表1.2 R8C/2Aグループの仕様概要(2)

分類	機能	説明
シリアルインタフェース	UART0、UART1、UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用 × 3
チップセレクト付クロック同期形シリアルI/O(SSU)		1(I ² Cバスと兼用)
I ² Cバス(注1)		1(SSUと兼用)
LINモジュール		ハードウェアLIN : 1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
フラッシュメモリ		<ul style="list-style-type: none"> ・プログラム、イレーズ電圧 : VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数 : 100回 ・プログラムセキュリティ : ROMコードプロテクト、IDコードチェック ・デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=3.0~5.5V) f(XIN)=10MHz(VCC=2.7~5.5V) f(XIN)=5MHz(VCC=2.2~5.5V)
消費電流		12mA (VCC=5V、f(XIN)=20MHz) 5.5mA (VCC=3V、f(XIN)=10MHz) 2.1 μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 0.65 μA (VCC=3V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注2) -20 ~ 105 (Yバージョン)(注3)
パッケージ		64ピンLQFP ・パッケージコード : PLQP0064KB-A(旧コード : 64P6Q-A) ・パッケージコード : PLQP0064GA-A(旧コード : 64P6U-A) 64ピンFLGA ・パッケージコード : PTLG0064JA-A(旧コード : 64F0G)

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2. Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注3. Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

表1.3 R8C/2Bグループの仕様概要(1)

分類	機能	説明
CPU	中央演算処理装置	R8C/Tinyシリーズコア <ul style="list-style-type: none"> 基本命令数：89命令 最短命令実行時間：50ns (f(XIN)=20MHz、VCC=3.0~5.5V) 100ns (f(XIN)=10MHz、VCC=2.7~5.5V) 200ns (f(XIN)=5MHz、VCC=2.2~5.5V) 乗算器：16ビット×16ビット 32ビット 積和演算命令：16ビット×16ビット+32ビット 32ビット 動作モード：シングルチップモード(アドレス空間：1Mバイト)
メモリ	ROM、RAM、データフラッシュ	「表1.6 R8C/2Bグループの製品一覧表」を参照してください
電圧検出	電圧検出回路	<ul style="list-style-type: none"> パワーオンリセット 電圧検出3点
I/Oポート	プログラマブル入出力ポート	<ul style="list-style-type: none"> 入力専用：2 CMOS入出力:55、プルアップ抵抗選択可能 大電流駆動ポート：8
クロック	クロック発生回路	<ul style="list-style-type: none"> 3回路：XINクロック発振回路(帰還抵抗内蔵) オンチップオシレータ(高速、低速) (高速オンチップオシレータは周波数調整機能付) XCINクロック発振回路(32kHz) 発振停止検出：XINクロック発振停止検出機能 周波数分周回路：1、2、4、8、16分周選択 低消費電力機構：標準動作モード(高速クロック、低速クロック、高速オンチップオシレータ、低速オンチップオシレータ)、ウェイトモード、ストップモード
		リアルタイムクロック(タイマRE)あり
割り込み		<ul style="list-style-type: none"> 外部：5要因、内部：23要因、ソフトウェア：4要因 割り込み優先レベル：7レベル
ウォッチドッグタイマ		15ビット×1(プリスケラ付)、リセットスタート機能選択可能
タイマ	タイマRA	8ビット×1(8ビットプリスケラ付) タイマモード(周期タイマ)、パルス出力モード(周期ごとのレベル反転出力)、イベントカウンタモード、パルス幅測定モード、パルス周期測定モード
	タイマRB	8ビット×1(8ビットプリスケラ付) タイマモード(周期タイマ)、プログラマブル波形発生モード(PWM出力)、プログラマブルワンショット発生モード、プログラマブルウェイトワンショット発生モード
	タイマRC	16ビット×1(キャプチャ/コンペアレジスタ4本付) タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力3本)、PWM2モード(PWM出力1本)
	タイマRD	16ビット(キャプチャ/コンペアレジスタ4本付)×2 タイマモード(インプットキャプチャ機能、アウトプットコンペア機能)、PWMモード(出力6本)、リセット同期PWMモード(三相波形出力(6本) 鋸波変調、相補PWMモード(三相波形出力(6本) 三角波変調)、PWM3モード(同一周期のPWM出力2本)
	タイマRE	8ビット×1 リアルタイムクロックモード(秒、分、時、曜日カウント)、アウトプットコンペアモード
	タイマRF	16ビット×1(キャプチャ/コンペアレジスタ1本、コンペアレジスタ1本付) インプットキャプチャモード、アウトプットコンペアモード

表1.4 R8C/2Bグループの仕様概要(2)

分類	機能	説明
シリアルインタフェース	UART0、UART1、UART2	クロック同期形シリアルI/O / 非同期形シリアルI/O兼用 × 3
チップセレクト付クロック同期形シリアルI/O(SSU)		1(I ² Cバスと兼用)
I ² Cバス(注1)		1(SSUと兼用)
LINモジュール		ハードウェアLIN : 1(タイマRA、UART0を使用)
A/Dコンバータ		分解能10ビット×12チャンネル、サンプル&ホールドあり
D/Aコンバータ		分解能8ビット×2回路
フラッシュメモリ		<ul style="list-style-type: none"> ・プログラム、イレーズ電圧 : VCC=2.7 ~ 5.5V ・プログラム、イレーズ回数 : 10,000回(データフラッシュ) 1,000回(プログラムROM) ・プログラムセキュリティ : ROMコードプロテクト、IDコードチェック ・デバッグ機能 : オンチップデバッグ、オンボードフラッシュ書き換え機能
動作周波数/電源電圧		f(XIN)=20MHz(VCC=3.0~5.5V) f(XIN)=10MHz(VCC=2.7~5.5V) f(XIN)=5MHz(VCC=2.2~5.5V)
消費電流		12mA (VCC=5V、f(XIN)=20MHz) 5.5mA (VCC=3V、f(XIN)=10MHz) 2.1 μA (VCC=3V、ウェイトモード(f(XCIN)=32kHz)) 0.65 μA (VCC=3V、ストップモード)
動作周囲温度		-20 ~ 85 (Nバージョン) -40 ~ 85 (Dバージョン)(注2) -20 ~ 105 (Yバージョン)(注3)
パッケージ		64ピンLQFP ・パッケージコード : PLQP0064KB-A(旧コード : 64P6Q-A) ・パッケージコード : PLQP0064GA-A(旧コード : 64P6U-A) 64ピンFLGA ・パッケージコード : PTLG0064JA-A(旧コード : 64F0G)

注1. I²C busは、オランダPHILIPS社の登録商標です。

注2.Dバージョン機能をご使用になる場合は、その旨ご指定ください。

注3.Yバージョンについては、ルネサステクノロジ営業窓口へお問い合わせください。

1.2 製品一覧

表 1.5 に R8C/2A グループの製品一覧表、図 1.1 に R8C/2A グループの型名とメモリサイズ・パッケージ、表 1.6 に R8C/2B グループの製品一覧表、図 1.2 に R8C/2B グループの型名とメモリサイズ・パッケージを示します。

表 1.5 R8C/2A グループの製品一覧表

2007年11月現在

型名	ROM容量	RAM容量	パッケージ	備考	
R5F212A7SNFP	48Kバイト	2.5Kバイト	PLQP0064KB-A	Nバージョン	
R5F212A7SNFA	48Kバイト	2.5Kバイト	PLQP0064GA-A		
R5F212A7SNLG	48Kバイト	2.5Kバイト	PTLG0064JA-A		
R5F212A8SNFP	64Kバイト	3Kバイト	PLQP0064KB-A		
R5F212A8SNFA	64Kバイト	3Kバイト	PLQP0064GA-A		
R5F212A8SNLG	64Kバイト	3Kバイト	PLTG0064JA-A		
R5F212AASNFP	96Kバイト	7Kバイト	PLQP0064KB-A		
R5F212AASNFA	96Kバイト	7Kバイト	PLQP0064GA-A		
R5F212AASNLG	96Kバイト	7Kバイト	PLTG0064JA-A		
R5F212ACSNFP	128Kバイト	7.5Kバイト	PLQP0064KB-A		
R5F212ACSNFA	128Kバイト	7.5Kバイト	PLQP0064GA-A		
R5F212ACSNLG	128Kバイト	7.5Kバイト	PLTG0064JA-A		
R5F212A7SDFP	48Kバイト	2.5Kバイト	PLQP0064KB-A	Dバージョン	
R5F212A7SDFA	48Kバイト	2.5Kバイト	PLQP0064GA-A		
R5F212A8SDFP	64Kバイト	3Kバイト	PLQP0064KB-A		
R5F212A8SDFA	64Kバイト	3Kバイト	PLQP0064GA-A		
R5F212AASDFP	96Kバイト	7Kバイト	PLQP0064KB-A		
R5F212AASDFA	96Kバイト	7Kバイト	PLQP0064GA-A		
R5F212ACSDFP	128Kバイト	7.5Kバイト	PLQP0064KB-A		
R5F212ACSDFA	128Kバイト	7.5Kバイト	PLQP0064GA-A		
R5F212A7SNXXXFP	48Kバイト	2.5Kバイト	PLQP0064KB-A	Nバージョン	書き込み 出荷品(注1)
R5F212A7SNXXXFA	48Kバイト	2.5Kバイト	PLQP0064GA-A		
R5F212A7SNXXXLG	48Kバイト	2.5Kバイト	PTLG0064JA-A		
R5F212A8SNXXXFP	64Kバイト	3Kバイト	PLQP0064KB-A		
R5F212A8SNXXXFA	64Kバイト	3Kバイト	PLQP0064GA-A		
R5F212A8SNXXXLG	64Kバイト	3Kバイト	PLTG0064JA-A		
R5F212AASNXXXFP	96Kバイト	7Kバイト	PLQP0064KB-A		
R5F212AASNXXXFA	96Kバイト	7Kバイト	PLQP0064GA-A		
R5F212AASNXXXLG	96Kバイト	7Kバイト	PLTG0064JA-A		
R5F212ACSNXXXFP	128Kバイト	7.5Kバイト	PLQP0064KB-A		
R5F212ACSNXXXFA	128Kバイト	7.5Kバイト	PLQP0064GA-A		
R5F212ACSNXXXLG	128Kバイト	7.5Kバイト	PLTG0064JA-A		
R5F212A7SDXXXFP	48Kバイト	2.5Kバイト	PLQP0064KB-A	Dバージョン	
R5F212A7SDXXXFA	48Kバイト	2.5Kバイト	PLQP0064GA-A		
R5F212A8SDXXXFP	64Kバイト	3Kバイト	PLQP0064KB-A		
R5F212A8SDXXXFA	64Kバイト	3Kバイト	PLQP0064GA-A		
R5F212AASDXXXFP	96Kバイト	7Kバイト	PLQP0064KB-A		
R5F212AASDXXXFA	96Kバイト	7Kバイト	PLQP0064GA-A		
R5F212ACSDXXXFP	128Kバイト	7.5Kバイト	PLQP0064KB-A		
R5F212ACSDXXXFA	128Kバイト	7.5Kバイト	PLQP0064GA-A		

注1.ユーザROMを書き込んで出荷します。

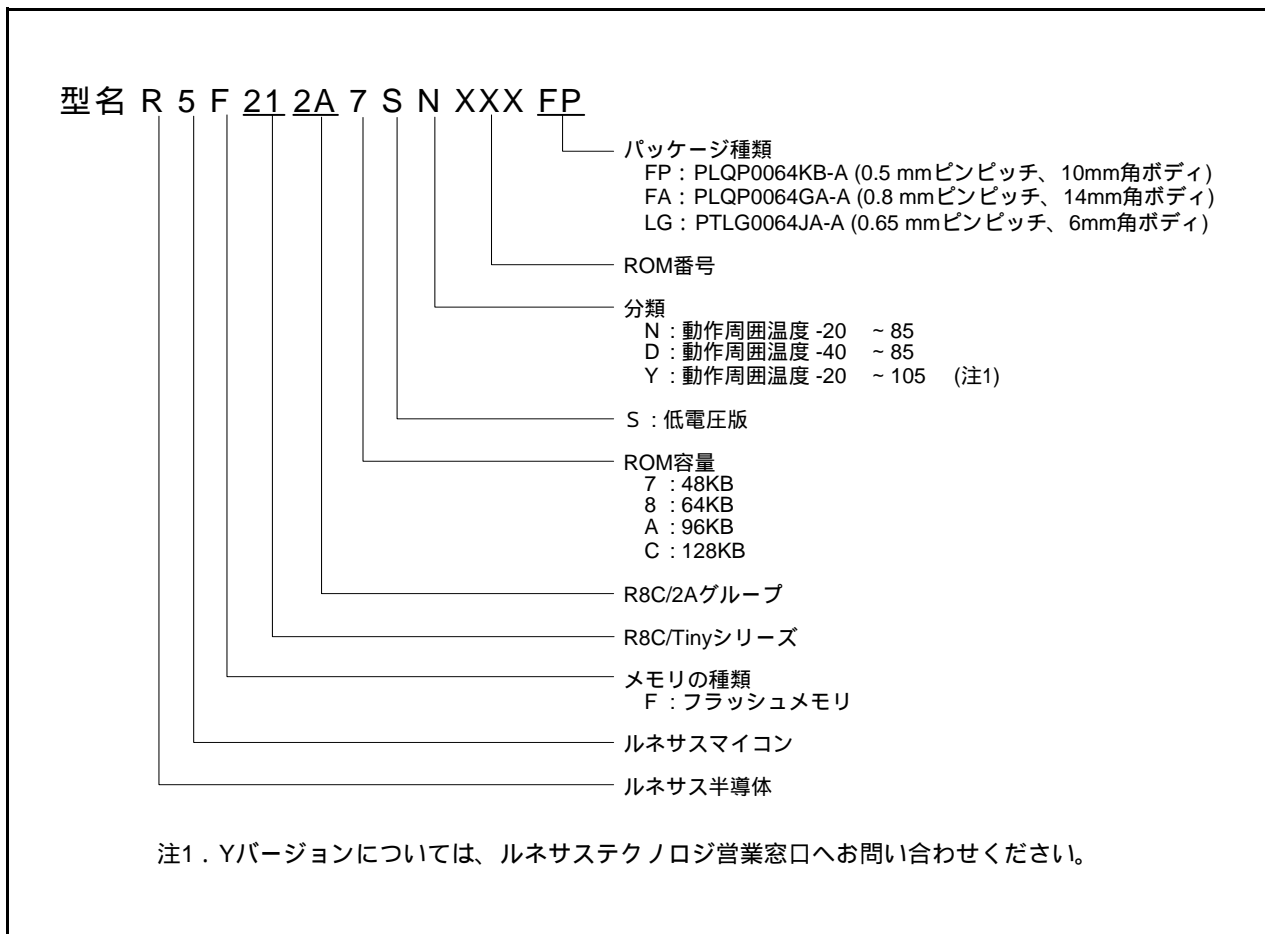


図 1.1 R8C/2Aグループの型名とメモリサイズ・パッケージ

表 1.6 R8C/2Bグループの製品一覧表

2007年11月現在

型名	ROM容量		RAM容量	パッケージ	備考		
	プログラムROM	データフラッシュ					
R5F212B7SNFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064KB-A	Nバージョン		
R5F212B7SNFA	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064GA-A			
R5F212B7SNLG	48Kバイト	1Kバイト×2	2.5Kバイト	PTLG0064JA-A			
R5F212B8SNFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064KB-A			
R5F212B8SNFA	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064GA-A			
R5F212B8SNLG	64Kバイト	1Kバイト×2	3Kバイト	PTLG0064JA-A			
R5F212BASNFP	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064KB-A			
R5F212BASNFA	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064GA-A			
R5F212BASNLG	96Kバイト	1Kバイト×2	7Kバイト	PTLG0064JA-A			
R5F212BCSNFP	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064KB-A			
R5F212BCSNFA	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064GA-A			
R5F212BCSNLG	128Kバイト	1Kバイト×2	7.5Kバイト	PTLG0064JA-A			
R5F212B7SDFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064KB-A		Dバージョン	
R5F212B7SDFA	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064GA-A			
R5F212B8SDFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064KB-A			
R5F212B8SDFA	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064GA-A			
R5F212BASDFP	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064KB-A			
R5F212BASDFA	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064GA-A			
R5F212BCSDFP	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064KB-A			
R5F212BCSDFA	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064GA-A			
R5F212B7SNXXXFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064KB-A	Nバージョン		書き込み出荷品 (注1)
R5F212B7SNXXXFA	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064GA-A			
R5F212B7SNXXXLG	48Kバイト	1Kバイト×2	2.5Kバイト	PTLG0064JA-A			
R5F212B8SNXXXFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064KB-A			
R5F212B8SNXXXFA	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064GA-A			
R5F212B8SNXXXLG	64Kバイト	1Kバイト×2	3Kバイト	PTLG0064JA-A			
R5F212BASNXXXFP	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064KB-A			
R5F212BASNXXXFA	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064GA-A			
R5F212BASNXXXLG	96Kバイト	1Kバイト×2	7Kバイト	PTLG0064JA-A			
R5F212BCSNXXXFP	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064KB-A			
R5F212BCSNXXXFA	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064GA-A			
R5F212BCSNXXXLG	128Kバイト	1Kバイト×2	7.5Kバイト	PTLG0064JA-A			
R5F212B7SDXXXFP	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064KB-A		Dバージョン	
R5F212B7SDXXXFA	48Kバイト	1Kバイト×2	2.5Kバイト	PLQP0064GA-A			
R5F212B8SDXXXFP	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064KB-A			
R5F212B8SDXXXFA	64Kバイト	1Kバイト×2	3Kバイト	PLQP0064GA-A			
R5F212BASDXXXFP	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064KB-A			
R5F212BASDXXXFA	96Kバイト	1Kバイト×2	7Kバイト	PLQP0064GA-A			
R5F212BCSDXXXFP	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064KB-A			
R5F212BCSDXXXFA	128Kバイト	1Kバイト×2	7.5Kバイト	PLQP0064GA-A			

注1.ユーザROMを書き込んで出荷します。

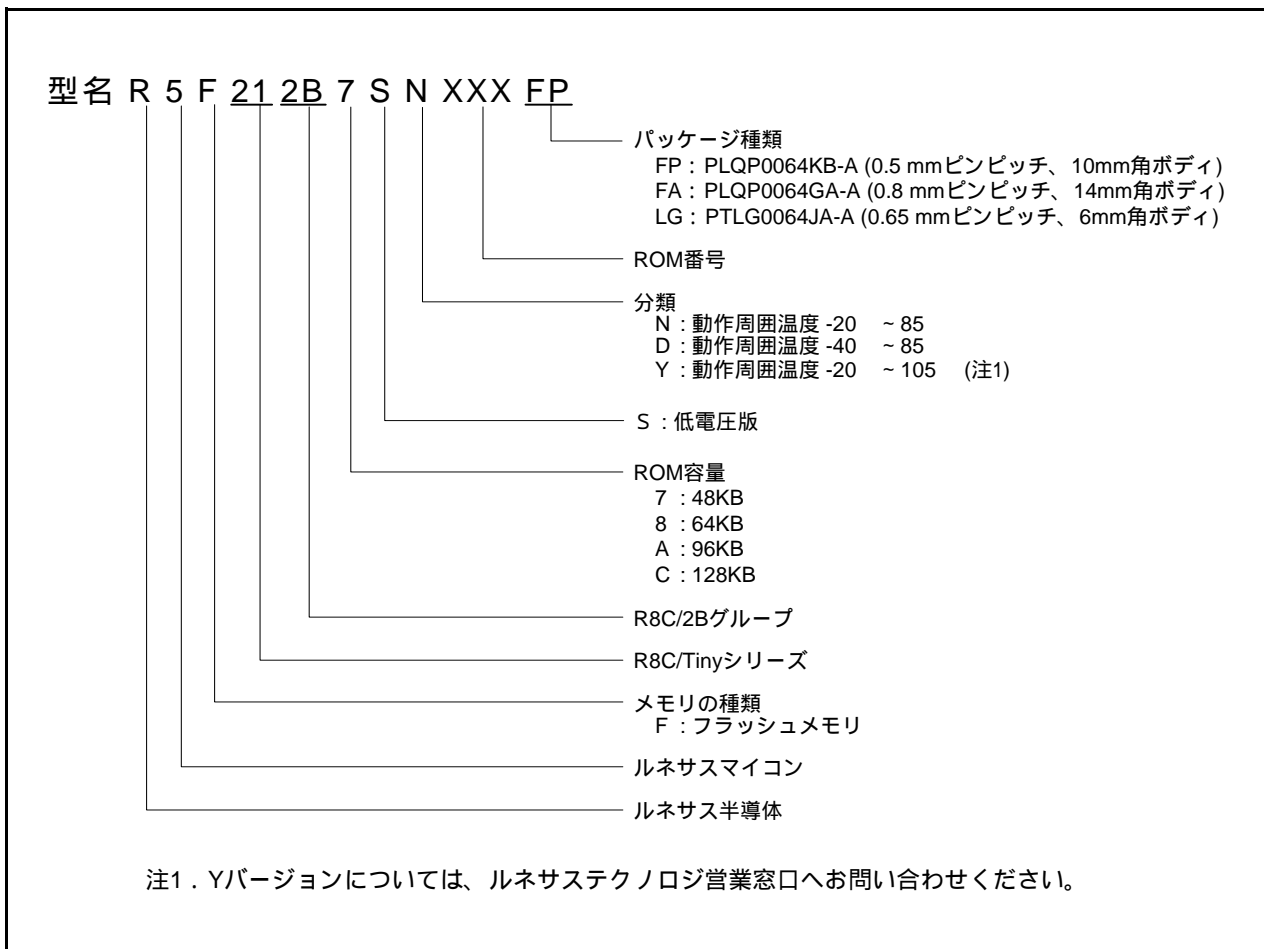
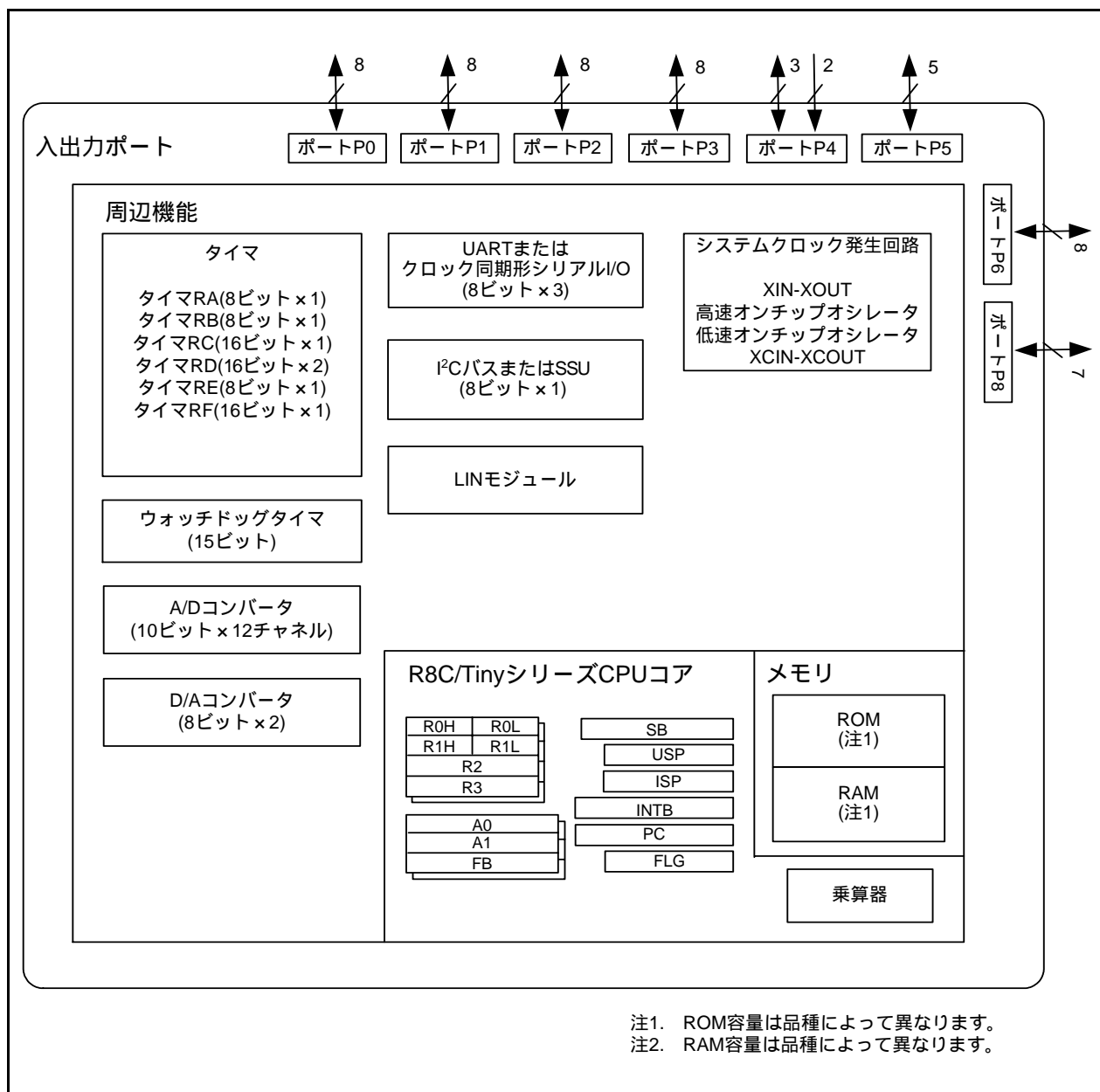


図1.2 R8C/2Bグループの型名とメモリサイズ・パッケージ

1.3 ブロック図

図1.3にブロック図を示します。



注1. ROM容量は品種によって異なります。
 注2. RAM容量は品種によって異なります。

図1.3 ブロック図

1.4 ピン配置図

図 1.4に64ピンLQFPパッケージ品のピン配置図(上面図)、図 1.5に64ピンFLGAパッケージ品のピン配置図(上面透視図)、表 1.7～表 1.8にピン番号別端子名一覧を示します。

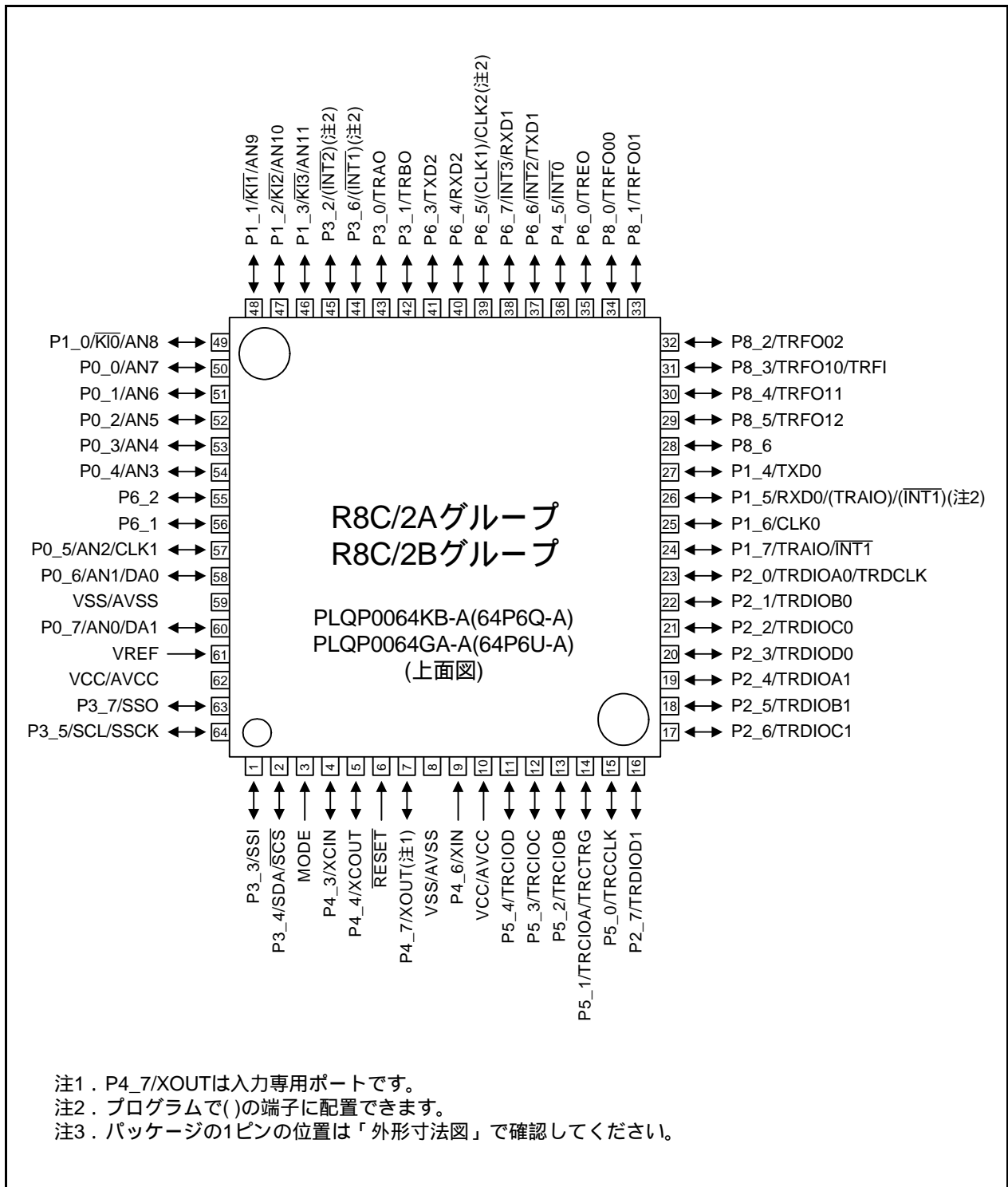


図 1.4 64ピンLQFPパッケージ品のピン配置図(上面図)

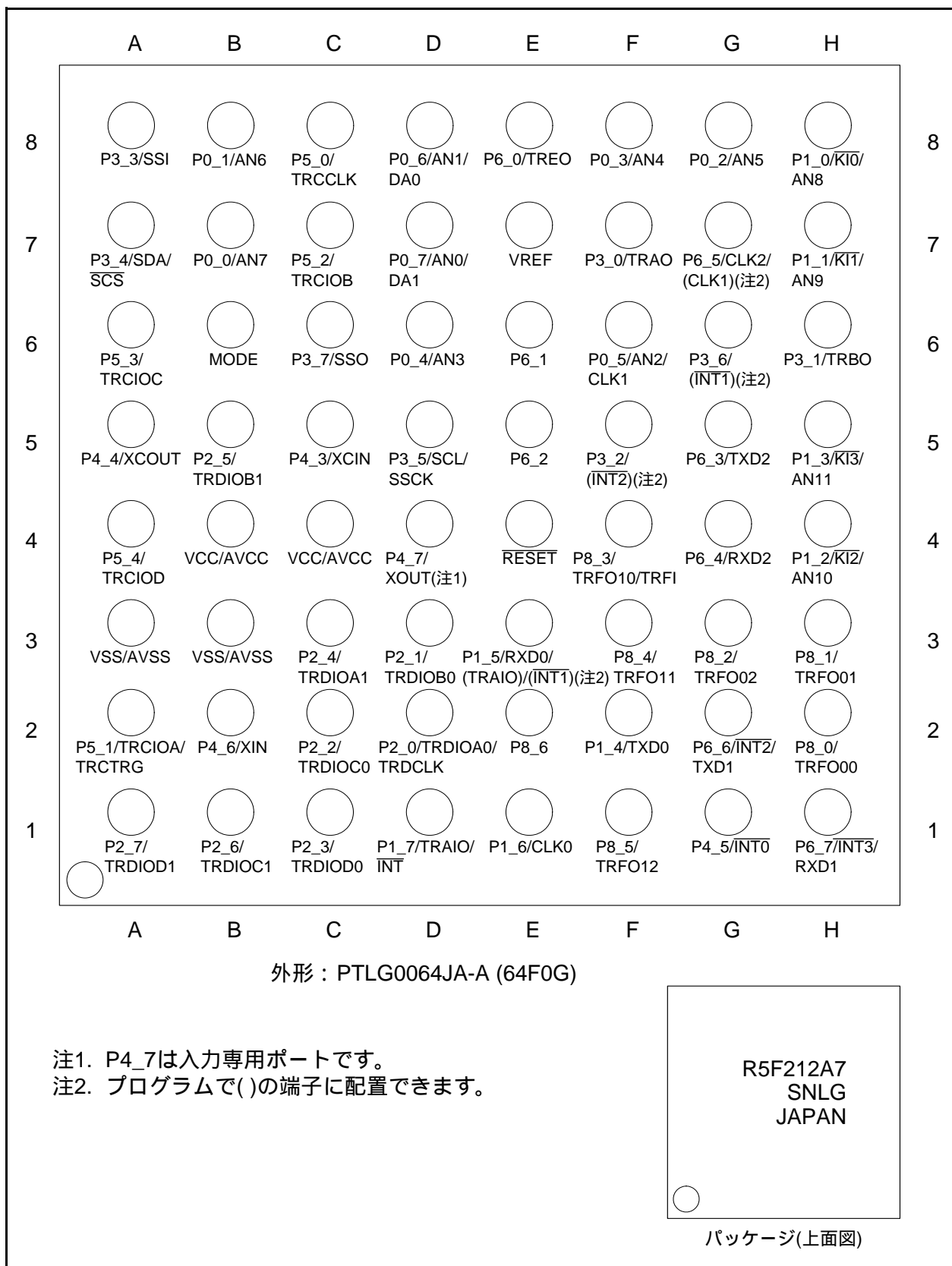


図 1.5 64ピンFLGAパッケージ品のピン配置図(上面透視図)

表 1.7 ピン番号別端子名一覧(1)

ピン番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアルインタフェース	SSU	I ² Cバス	ADコンバータ、D/Aコンバータ
1		P3_3				SSI		
2		P3_4				SCS	SDA	
3	MODE							
4	XCIN	P4_3						
5	XCOUT	P4_4						
6	RESET							
7	XOUT	P4_7						
8	VSS/AVSS							
9	XIN	P4_6						
10	VCC/AVCC							
11		P5_4		TRCIOD				
12		P5_3		TRCIOC				
13		P5_2		TRCIOB				
14		P5_1		TRCIOA/TRCTR				
15		P5_0		TRCCLK				
16		P2_7		TRDIOD1				
17		P2_6		TRDIOC1				
18		P2_5		TRDIOB1				
19		P2_4		TRDIOA1				
20		P2_3		TRDIOD0				
21		P2_2		TRDIOC0				
22		P2_1		TRDIOB0				
23		P2_0		TRDIOA0/TRDCLK				
24		P1_7	$\overline{\text{INT1}}$	TRAIO				
25		P1_6			CLK0			
26		P1_5	($\overline{\text{INT1}}$)(注1)	(TRAIO)(注1)	RXD0			
27		P1_4			TXD0			
28		P8_6						
29		P8_5		TRFO12				
30		P8_4		TRFO11				
31		P8_3		TRFO10/TRFI				
32		P8_2		TRFO02				
33		P8_1		TRFO01				
34		P8_0		TRFO00				
35		P6_0		TREO				
36		P4_5	$\overline{\text{INT0}}$	$\overline{\text{INT0}}$				
37		P6_6	$\overline{\text{INT2}}$		TXD1			
38		P6_7	$\overline{\text{INT3}}$		RXD1			
39		P6_5			(CLK1)/CLK2			
40		P6_4			RXD2			
41		P6_3			TXD2			
42		P3_1		TRBO				
43		P3_0		TRAO				

注1.プログラムで()の端子に配置できます。

表 1.8 ピン番号別端子名一覧(2)

ピン 番号	制御端子	ポート	周辺機能の入出力端子					
			割り込み	タイマ	シリアル インタ フェース	SSU	I ² Cバス	ADコンバータ、 D/Aコンバータ
44		P3_6	(INT1)(注1)					
45		P3_2	(INT2)(注1)					
46		P1_3	$\overline{KI3}$					AN11
47		P1_2	$\overline{KI2}$					AN10
48		P1_1	$\overline{KI1}$					AN9
49		P1_0	$\overline{KI0}$					AN8
50		P0_0						AN7
51		P0_1						AN6
52		P0_2						AN5
53		P0_3						AN4
54		P0_4						AN3
55		P6_2						
56		P6_1						
57		P0_5			CLK1			AN2
58		P0_6						AN1/DA0
59	VSS/AVSS							
60		P0_7						AN0/DA1
61	VREF							
62	VCC/AVCC							
63		P3_7				SSU		
64		P3_5				SSCK	SCL	

注1.プログラムで()の端子に配置できます。

1.5 端子機能の説明

表 1.9 ~ 表 1.10に端子機能の説明を示します。

表 1.9 端子機能の説明(1)

分類	端子名	入出力	機能
電源入力	VCC VSS	-	VCCには、2.2V ~ 5.5Vを入力してください。 VSSには、0Vを入力してください。
アナログ電源入力	AVCC、AVSS	-	A/Dコンバータの電源入力です。AVCCとAVSS間にはコンデンサを接続してください。
リセット入力	RESET	入力	この端子に“L”を入力すると、マイクロコンピュータはリセット状態になります。
MODE	MODE	入力	抵抗を介してVCCに接続してください。
XINクロック入力	XIN	入力	XINクロック発振回路の入出力です。XINとXOUTの間にはセラミック共振子、または水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XINからクロックを入力し、XOUTは開放にしてください。
XINクロック出力	XOUT	出力	
XCINクロック入力	XCIN	入力	XCINクロック発振回路の入出力です。XCINとXCOUTの間には、水晶発振子を接続してください(注1)。外部で生成したクロックを入力する場合は、XCINからクロックを入力し、XCOUTは開放にしてください。
XCINクロック出力	XCOUT	出力	
INT割り込み入力	INT0 ~ INT3	入力	INT割り込みの入力です。 INT0はタイマRDの入力です。INT1はタイマRAの入力です。
キー入力割り込み入力	KI0 ~ KI3	入力	キー入力割り込みの入力です。
タイマRA	TRAIO	入出力	タイマRAの入出力です。
	TRAO	出力	タイマRAの出力です。
タイマRB	TRBO	出力	タイマRBの出力です。
タイマRC	TRCCLK	入力	外部クロック入力端子です。
	TRCTRG	入力	外部トリガ入力端子です。
	TRCIOA、TRCIOB TRCIOC、TRCIOD	入出力	タイマRCの入出力です。
タイマRD	TRDIOA0、TRDIOA1、 TRDIOB0、TRDIOB1、 TRDIOC0、TRDIOC1、 TRDIOD0、TRDIOD1、 TRDCLK	入出力	タイマRDの入出力です。
	TRDCLK	入力	外部クロック入力です。
タイマRE	TREO	出力	分周クロック出力です。
タイマRF	TRFI	入力	タイマRFの入力です。
	TRFO00 ~ TRFO02、 TRFO10 ~ TRFO12	出力	タイマRFの出力です。
シリアルインタフェース	CLK0、CLK1、CLK2	入出力	転送クロック入出力です。
	RXD0、RXD1、RXD2	入力	シリアルデータ入力です。
	TXD0、TXD1、TXD2	出力	シリアルデータ出力です。
I ² Cバス	SCL	入出力	クロック入出力です。
	SDA	入出力	データ入出力です。
SSU	SSI	入出力	データ入出力です。
	SCS	入出力	チップセレクト入出力です。
	SSCK	入出力	クロック入出力です。
	SSO	入出力	データ入出力です。
基準電圧入力	VREF	入力	A/DコンバータおよびD/Aコンバータの基準電圧入力です。
A/Dコンバータ	AN0 ~ AN11	入力	A/Dコンバータのアナログ入力です。
D/Aコンバータ	DA0 ~ DA1	出力	D/Aコンバータの出力です。

注1.発振特性は発振子メーカーに問い合わせてください。

表 1.10 端子機能の説明(2)

分類	端子名	入出力	機能
入出力ポート	P0_0 ~ P0_7、 P1_0 ~ P1_7、 P2_0 ~ P2_7、 P3_0 ~ P3_7、 P4_3 ~ P4_5、 P5_0 ~ P5_4、 P6_0 ~ P6_7、 P8_0 ~ P8_6	入出力	CMOSの入出力ポートです。入出力を選択するための方向レジスタを持ち、1端子ごとに入力ポート、または出力ポートにできます。 入力ポートは、プログラムでプルアップ抵抗の有無を選択できます。 ポートP2_0 ~ P2_7は、LED駆動ポートとして使用できます。
入力ポート	P4_6、P4_7	入力	入力専用ポートです。

2. 中央演算処理装置 (CPU)

図 2.1にCPUのレジスタを示します。CPUには13個のレジスタがあります。これらのうち、R0、R1、R2、R3、A0、A1、FBはレジスタバンクを構成しています。レジスタバンクは2セットあります。

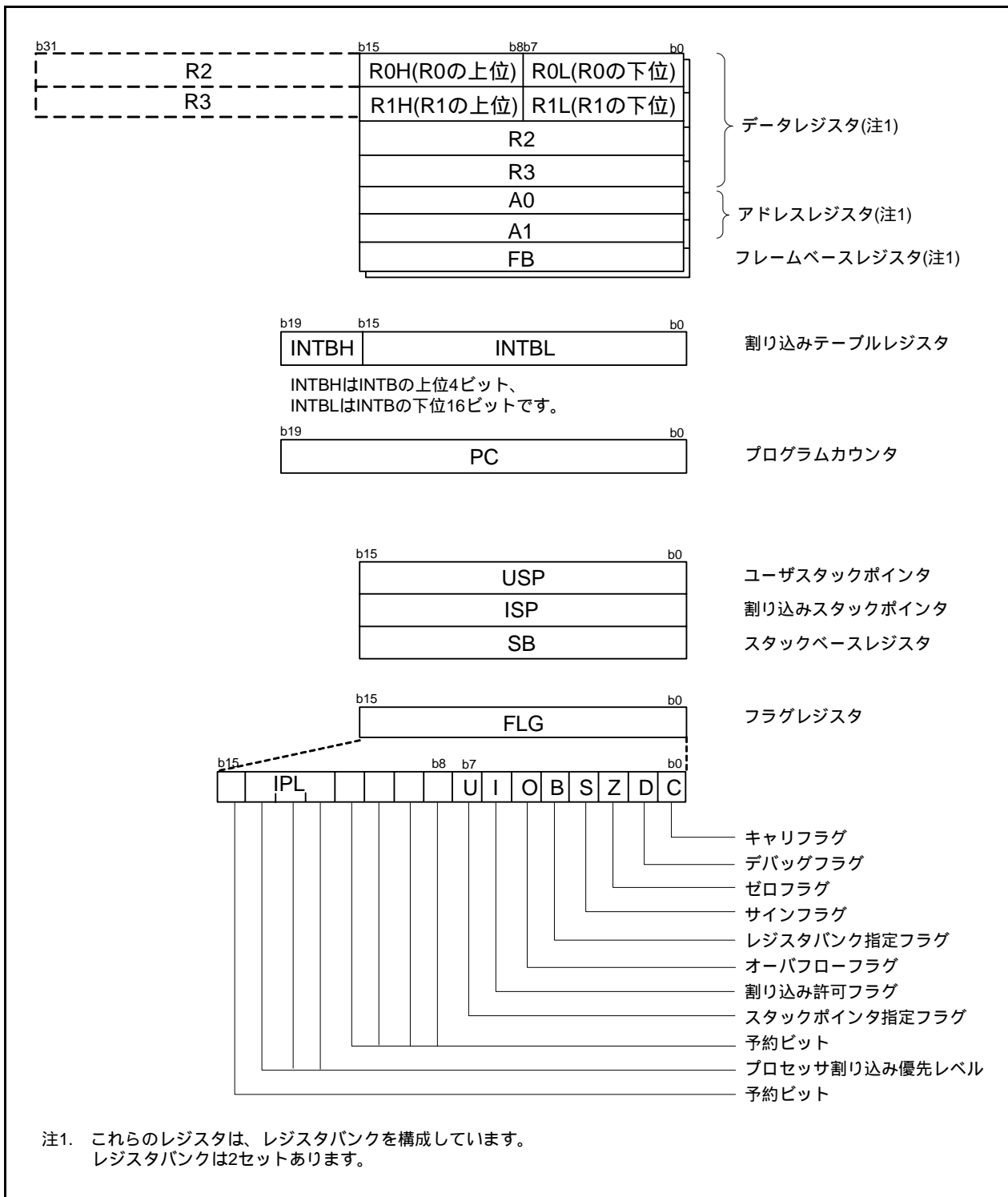


図 2.1 CPUのレジスタ

2.1 データレジスタ (R0、R1、R2、R3)

R0は16ビットで構成されており、主に転送や算術、論理演算に使用します。R1～R3はR0と同様です。R0は、上位 (R0H) と下位 (R0L) を別々に8ビットのデータレジスタとして使用できます。R1H、R1LはR0H、R0Lと同様です。R2とR0を組合せて32ビットのデータレジスタ (R2R0) として使用できます。R3R1はR2R0と同様です。

2.2 アドレスレジスタ (A0、A1)

A0は16ビットで構成されており、アドレスレジスタ間接アドレッシング、アドレスレジスタ相対アドレッシングに使用します。また、転送や算術、論理演算に使用します。A1はA0と同様です。A1とA0を組合せて32ビットのアドレスレジスタ (A1A0) として使用できます。

2.3 フレームベースレジスタ (FB)

FBは16ビットで構成されており、FB相対アドレッシングに使用します。

2.4 割り込みテーブルレジスタ (INTB)

INTBは20ビットで構成されており、可変割り込みベクタテーブルの先頭番地を示します。

2.5 プログラムカウンタ (PC)

PCは20ビットで構成されており、次に実行する命令の番地を示します。

2.6 ユーザスタックポインタ (USP)、割り込みスタックポインタ (ISP)

スタックポインタ (SP) は、USPとISPの2種類あり、共に16ビットで構成されています。USPとISPはFLGのUフラグで切り替えられます。

2.7 スタックベースレジスタ (SB)

SBは16ビットで構成されており、SB相対アドレッシングに使用します。

2.8 フラグレジスタ (FLG)

FLGは11ビットで構成されており、CPUの状態を示します。

2.8.1 キャリフラグ (Cフラグ)

算術論理ユニットで発生したキャリ、ポロー、シフトアウトしたビット等を保持します。

2.8.2 デバッグフラグ (Dフラグ)

Dフラグはデバッグ専用です。“0”にしてください。

2.8.3 ゼロフラグ (Zフラグ)

演算の結果が0のとき“1”になり、それ以外のとき“0”になります。

2.8.4 サインフラグ (Sフラグ)

演算の結果が負のとき“1”になり、それ以外のとき“0”になります。

2.8.5 レジスタバンク指定フラグ (Bフラグ)

Bフラグが“0”の場合、レジスタバンク0が指定され、“1”の場合、レジスタバンク1が指定されます。

2.8.6 オーバフローフラグ(Oフラグ)

演算の結果がオーバフローしたときに“1”になります。それ以外では“0”になります。

2.8.7 割り込み許可フラグ(Iフラグ)

マスクブル割り込みを許可するフラグです。Iフラグが“0”の場合、マスクブル割り込みは禁止され、“1”の場合、許可されます。割り込み要求を受け付けると、Iフラグは“0”になります。

2.8.8 スタックポインタ指定フラグ(Uフラグ)

Uフラグが“0”の場合、ISPが指定され、“1”の場合、USPが指定されます。

ハードウェア割り込み要求を受け付けたとき、またはソフトウェア割り込み番号0～31のINT命令を実行したとき、Uフラグは“0”になります。

2.8.9 プロセッサ割り込み優先レベル(IPL)

IPLは3ビットで構成されており、レベル0～7までの8段階のプロセッサ割り込み優先レベルを指定します。

要求があった割り込みの優先レベルが、IPLより大きい場合、その割り込み要求は許可されます。

2.8.10 予約ビット

書く場合、“0”を書いてください。読んだ場合、その値は不定です。

3. メモリ

3.1 R8C/2Aグループ

図3.1にR8C/2Aグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROMは0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

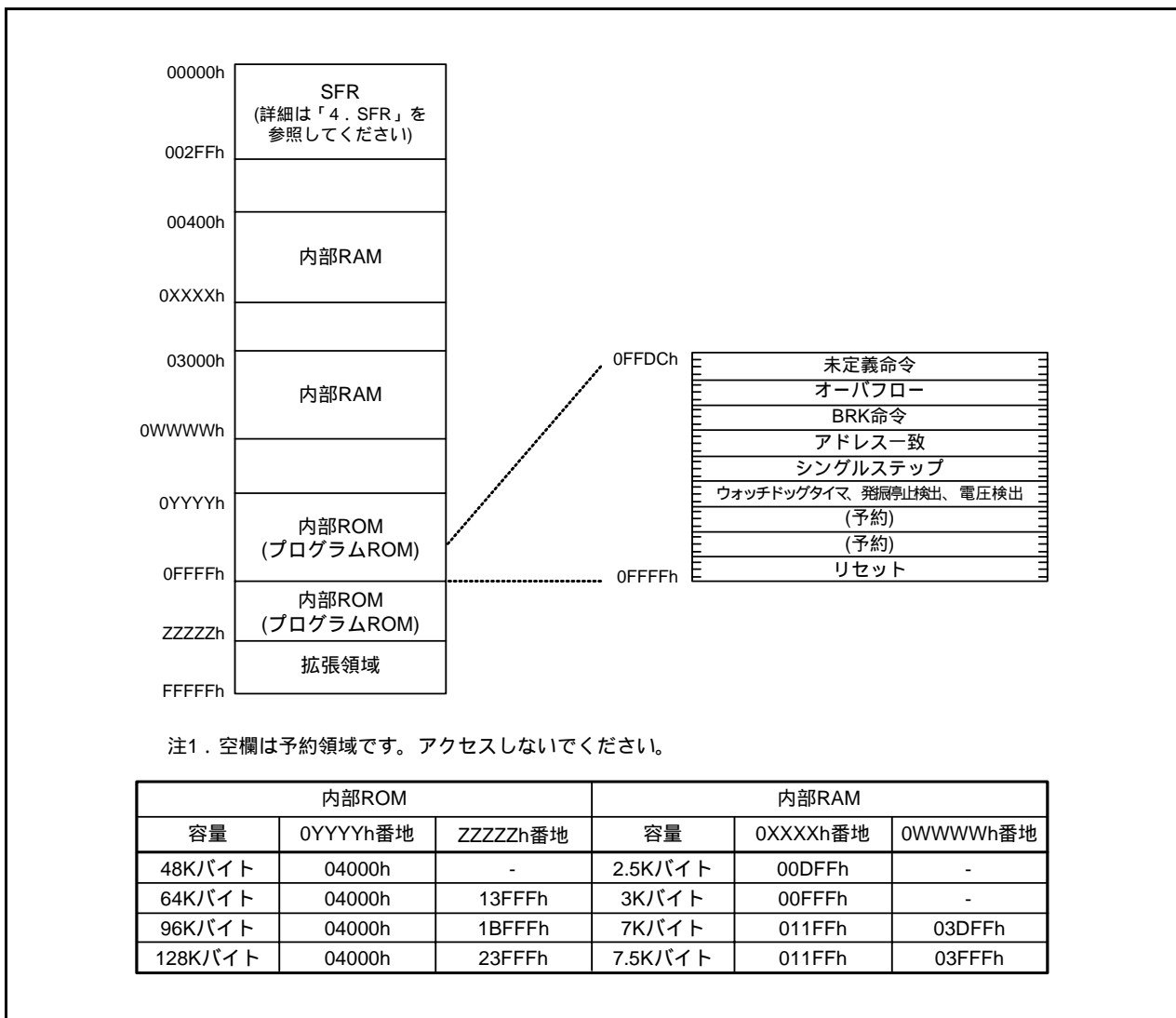


図3.1 R8C/2Aグループのメモリ配置図

3.2 R8C/2Bグループ

図3.2にR8C/2Bグループのメモリ配置図を示します。アドレス空間は00000h番地からFFFFFFh番地までの1Mバイトあります。内部ROM(プログラムROM)は0FFFFh番地から下位方向に配置されます。例えば48Kバイトの内部ROMは、04000h番地から0FFFFh番地に配置されます。

固定割り込みベクタテーブルは0FFDCh番地から0FFFFh番地に配置されます。ここに割り込みルーチンの先頭番地を格納します。

内部ROM(データフラッシュ)は02400h番地から02BFFh番地に配置されます。

内部RAMは00400h番地から上位方向に配置されます。例えば2.5Kバイトの内部RAMは、00400h番地から00DFFh番地に配置されます。内部RAMはデータ格納以外に、サブルーチン呼び出しや、割り込み時のスタックとしても使用します。

SFRは、00000h番地から002FFh番地に配置されます。ここには、周辺機能の制御レジスタが配置されています。SFRのうち何も配置されていない領域はすべて予約領域のため、ユーザは使用できません。

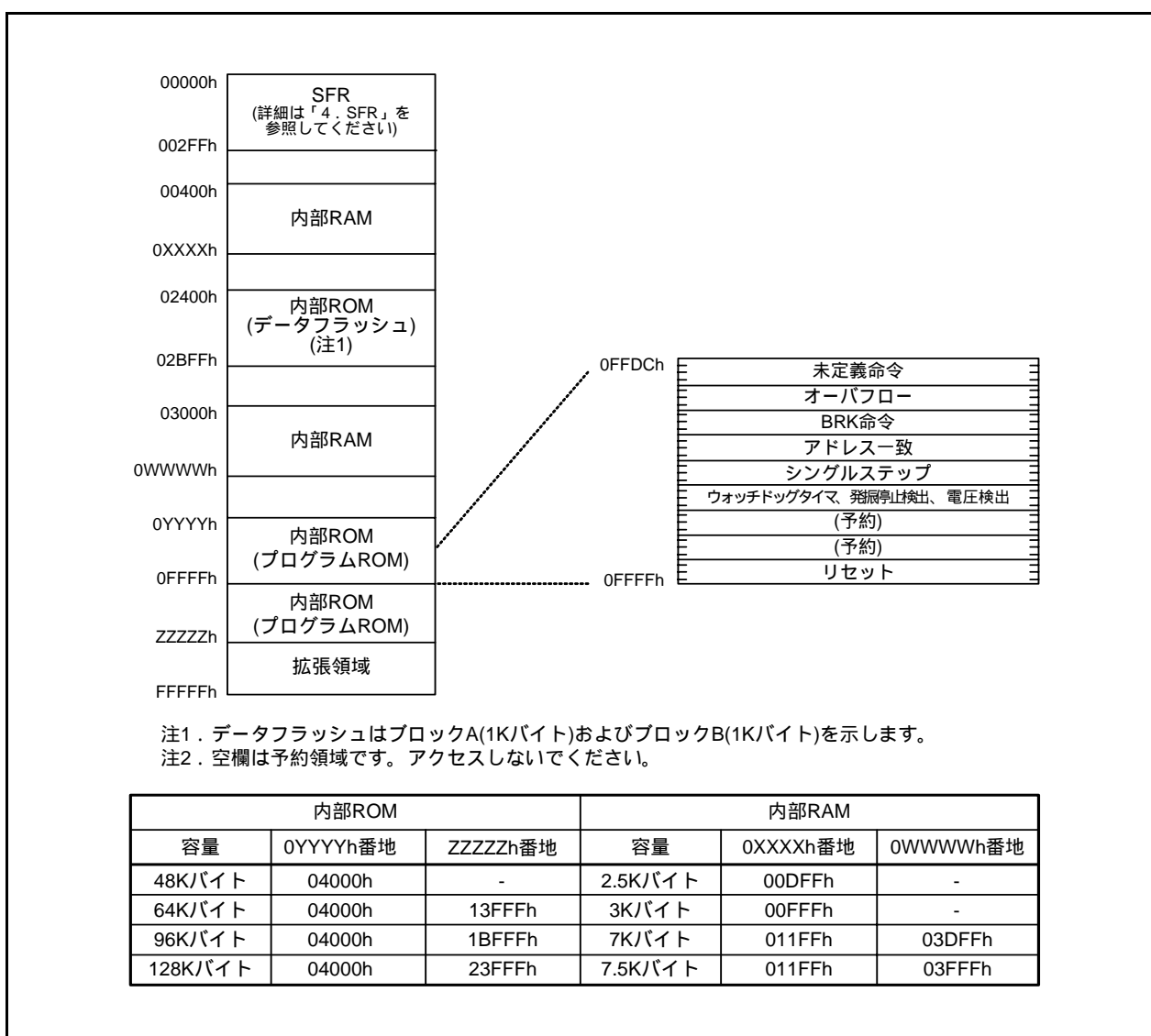


図3.2 R8C/2Bグループのメモリ配置図

4. SFR

SFR(Special Function Register)は、周辺機能の制御レジスタです。表4.1～表4.12にSFR一覧表を示します。

表4.1 SFR一覧(1)(注1)

番地	レジスタ	シンボル	リセット後の値
0000h			
0001h			
0002h			
0003h			
0004h	プロセッサモードレジスタ 0	PM0	00h
0005h	プロセッサモードレジスタ 1	PM1	00h
0006h	システムクロック制御レジスタ 0	CM0	01101000b
0007h	システムクロック制御レジスタ 1	CM1	00100000b
0008h	モジュール動作許可レジスタ	MSTCR	00h
0009h			
000Ah	プロテクトレジスタ	PRCR	00h
000Bh			
000Ch	発振停止検出レジスタ	OCD	00000100b
000Dh	ウォッチドッグタイマリセットレジスタ	WDTR	XXh
000Eh	ウォッチドッグタイマスタートレジスタ	WDTS	XXh
000Fh	ウォッチドッグタイマ制御レジスタ	WDC	00X11111b
0010h	アドレス一致割り込みレジスタ 0	RMAD0	00h
0011h			00h
0012h			00h
0013h	アドレス一致割り込み許可レジスタ	AIER	00h
0014h	アドレス一致割り込みレジスタ 1	RMAD1	00h
0015h			00h
0016h			00h
0017h			
0018h			
0019h			
001Ah			
001Bh			
001Ch	カウントソース保護モードレジスタ	CSPR	00h 10000000b (注6)
001Dh			
001Eh			
001Fh			
0020h			
0021h			
0022h			
0023h	高速オンチップオシレータ制御レジスタ 0	FRA0	00h
0024h	高速オンチップオシレータ制御レジスタ 1	FRA1	出荷時の値
0025h	高速オンチップオシレータ制御レジスタ 2	FRA2	00h
0026h			
0027h			
0028h	時計用プリスケアラリセットフラグ	CPSRF	00h
0029h			
002Ah			
002Bh	高速オンチップオシレータ制御レジスタ 6	FRA6	出荷時の値
002Ch	高速オンチップオシレータ制御レジスタ 7	FRA7	出荷時の値
0030h			
0031h	電圧検出レジスタ 1 (注2)	VCA1	00001000b
0032h	電圧検出レジスタ 2 (注2)	VCA2	00h (注3) 00100000b (注4)
0033h			
0034h			
0035h			
0036h	電圧監視 1 回路制御レジスタ (注5)	VW1C	00001000b
0037h	電圧監視 2 回路制御レジスタ (注5)	VW2C	00h
0038h	電圧監視 0 回路制御レジスタ (注2)	VW0C	0000X000b (注3) 0100X001b (注4)
0039h			
003Ah			
003Eh			
003Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットでは変化しません。

注3. OFSレジスタのLVD0ONビットが“1”でかつハードウェアリセットの場合。

注4. パワーオンリセット、電圧監視0リセット、またはOFSレジスタのLVD0ONビットが“0”でかつハードウェアリセットの場合。

注5. ソフトウェアリセット、ウォッチドッグタイマリセット、電圧監視1リセット、電圧監視2リセットではb2、b3は変化しません。

注6. OFSレジスタのCSPROINIビットが“0”の場合。

X: 不定です。

表4.2 SFR一覧(2)(注1)

番地	レジスタ	シンボル	リセット後の値
0040h			
0041h			
0042h			
0043h			
0044h			
0045h			
0046h			
0047h	タイマ RC 割り込み制御レジスタ	TRCIC	XXXXX000b
0048h	タイマ RD0 割り込み制御レジスタ	TRD0IC	XXXXX000b
0049h	タイマ RD1 割り込み制御レジスタ	TRD1IC	XXXXX000b
004Ah	タイマ RE 割り込み制御レジスタ	TREIC	XXXXX000b
004Bh	UART2 送信割り込み制御レジスタ	S2TIC	XXXXX000b
004Ch	UART2 受信割り込み制御レジスタ	S2RIC	XXXXX000b
004Dh	キー入力割り込み制御レジスタ	KUPIC	XXXXX000b
004Eh			
004Fh	SSU 割り込み制御レジスタ / IIC 割り込み制御レジスタ (注2)	SSUIC/IICIC	XXXXX000b
0050h	コンペア 1 割り込み制御レジスタ	CMP1IC	XXXXX000b
0051h	UART0 送信割り込み制御レジスタ	S0TIC	XXXXX000b
0052h	UART0 受信割り込み制御レジスタ	S0RIC	XXXXX000b
0053h	UART1 送信割り込み制御レジスタ	S1TIC	XXXXX000b
0054h	UART1 受信割り込み制御レジスタ	S1RIC	XXXXX000b
0055h	INT2 割り込み制御レジスタ	INT2IC	XX00X000b
0056h	タイマ RA 割り込み制御レジスタ	TRAIC	XXXXX000b
0057h			
0058h	タイマ RB 割り込み制御レジスタ	TRBIC	XXXXX000b
0059h	INT1 割り込み制御レジスタ	INT1IC	XX00X000b
005Ah	INT3 割り込み制御レジスタ	INT3IC	XX00X000b
005Bh	タイマ RF 割り込み制御レジスタ	TRFIC	XXXXX000b
005Ch	コンペア 0 割り込み制御レジスタ	CMP0IC	XXXXX000b
005Dh	INT0 割り込み制御レジスタ	INT0IC	XX00X000b
005Eh	A/D 変換割り込み制御レジスタ	ADIC	XXXXX000b
005Fh	キャプチャ割り込み制御レジスタ	CAPIC	XXXXX000b
0060h			
0061h			
0062h			
0063h			
0064h			
0065h			
0066h			
0067h			
0068h			
0069h			
006Ah			
006Bh			
006Ch			
006Dh			
006Eh			
006Fh			
0070h			
0071h			
0072h			
0073h			
0074h			
0075h			
0076h			
0077h			
0078h			
0079h			
007Ah			
007Bh			
007Ch			
007Dh			
007Eh			
007Fh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMR レジスタの IICSEL ビットで選択できます。

X: 不定です。

表4.3 SFR一覧(3)(注1)

番地	レジスタ	シンボル	リセット後の値
0080h			
0081h			
0082h			
0083h			
0084h			
0085h			
0086h			
0087h			
0088h			
0089h			
008Ah			
008Bh			
008Ch			
008Dh			
008Eh			
008Fh			
0090h			
0091h			
0092h			
0093h			
0094h			
0095h			
0096h			
0097h			
0098h			
0099h			
009Ah			
009Bh			
009Ch			
009Dh			
009Eh			
009Fh			
00A0h	UART0 送受信モードレジスタ	U0MR	00h
00A1h	UART0 ビットレートレジスタ	U0BRG	XXh
00A2h	UART0 送信バッファレジスタ	U0TB	XXh
00A3h			XXh
00A4h	UART0 送受信制御レジスタ0	U0C0	00001000b
00A5h	UART0 送受信制御レジスタ1	U0C1	00000010b
00A6h	UART0 受信バッファレジスタ	U0RB	XXh
00A7h			XXh
00A8h	UART1 送受信モードレジスタ	U1MR	00h
00A9h	UART1 ビットレートレジスタ	U1BRG	XXh
00AAh	UART1 送信バッファレジスタ	U1TB	XXh
00ABh			XXh
00ACh	UART1 送受信制御レジスタ0	U1C0	00001000b
00ADh	UART1 送受信制御レジスタ1	U1C1	00000010b
00AEh	UART1 受信バッファレジスタ	U1RB	XXh
00AFh			XXh
00B0h			
00B1h			
00B2h			
00B3h			
00B4h			
00B5h			
00B6h			
00B7h			
00B8h	SS制御レジスタH/IICバス制御レジスタ1 (注2)	SSCRH/ICCR1	00h
00B9h	SS制御レジスタL/IICバス制御レジスタ2 (注2)	SSCRL/ICCR2	01111010b
00BAh	SSモードレジスタ/IICバスモードレジスタ (注2)	SSMR/ICMR	00011000b
00BBh	SS許可レジスタ/IIC割り込み許可レジスタ (注2)	SSER/ICIER	00h
00BCh	SSステータスレジスタ/IICバスステータスレジスタ (注2)	SSSR/ICSR	00h / 0000X000b
00BDh	SSモードレジスタ2/スレープアドレスレジスタ (注2)	SSMR2/SAR	00h
00BEh	SS送信データレジスタ/IICバス送信データレジスタ (注2)	SSTD/ICDRT	FFh
00BFh	SS受信データレジスタ/IICバス受信データレジスタ (注2)	SSRDR/ICDRR	FFh

注1. 空欄は予約領域です。アクセスしないでください。

注2. PMRレジスタのIICSELビットで選択できます。

X: 不定です。

表4.4 SFR一覧(4)(注1)

番地	レジスタ	シンボル	リセット後の値
00C0h			
00C1h			
00C2h			
00C3h			
00C4h			
00C5h			
00C6h			
00C7h			
00C8h			
00C9h			
00CAh			
00CBh			
00CCh			
00CDh			
00CEh			
00CFh			
00D0h			
00D1h			
00D2h			
00D3h			
00D4h			
00D5h			
00D6h			
00D7h			
00D8h	D/A レジスタ 0	DA0	00h
00D9h			
00DAh	D/A レジスタ 1	DA1	00h
00DBh			
00DCh	D/A 制御レジスタ	DACON	00h
00DDh			
00DEh			
00DFh			
00E0h	ポート P0 レジスタ	P0	XXh
00E1h	ポート P1 レジスタ	P1	XXh
00E2h	ポート P0 方向レジスタ	PD0	00h
00E3h	ポート P1 方向レジスタ	PD1	00h
00E4h	ポート P2 レジスタ	P2	XXh
00E5h	ポート P3 レジスタ	P3	XXh
00E6h	ポート P2 方向レジスタ	PD2	00h
00E7h	ポート P3 方向レジスタ	PD3	00h
00E8h	ポート P4 レジスタ	P4	XXh
00E9h	ポート P5 レジスタ	P5	XXh
00EAh	ポート P4 方向レジスタ	PD4	00h
00EBh	ポート P5 方向レジスタ	PD5	00h
00ECh	ポート P6 レジスタ	P6	XXh
00EDh			
00EEh	ポート P6 方向レジスタ	PD6	00h
00EFh			
00F0h			
00F1h			
00F2h			
00F3h			
00F4h	ポート P2 駆動能力制御レジスタ	P2DRR	00h
00F5h	UART1 機能選択レジスタ	U1SR	000000XXb
00F6h			
00F7h			
00F8h	ポートモードレジスタ	PMR	00h
00F9h	外部入力許可レジスタ	INTEN	00h
00FAh	INT 入力フィルタ選択レジスタ	INTF	00h
00FBh	キー入力許可レジスタ	KIEN	00h
00FCh	ブルアップ制御レジスタ 0	PUR0	00h
00FDh	ブルアップ制御レジスタ 1	PUR1	XX000000b
00FEh			
00FFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.5 SFR一覧(5)(注1)

番地	レジスタ	シンボル	リセット後の値
0100h	タイマ RA 制御レジスタ	TRACR	00h
0101h	タイマ RA I/O 制御レジスタ	TRAIOC	00h
0102h	タイマ RA モードレジスタ	TRAMR	00h
0103h	タイマ RA プリスケールレジスタ	TRAPRE	FFh
0104h	タイマ RA レジスタ	TRA	FFh
0105h	LIN コントロールレジスタ 2	LINCR2	00h
0106h	LIN コントロールレジスタ	LINCR	00h
0107h	LIN ステータスレジスタ	LINST	00h
0108h	タイマ RB 制御レジスタ	TRBCR	00h
0109h	タイマ RB ワンショット制御レジスタ	TRBOCR	00h
010Ah	タイマ RB I/O 制御レジスタ	TRBIOC	00h
010Bh	タイマ RB モードレジスタ	TRBMR	00h
010Ch	タイマ RB プリスケールレジスタ	TRBPRE	FFh
010Dh	タイマ RB セカンダリレジスタ	TRBSC	FFh
010Eh	タイマ RB プライマリレジスタ	TRBPR	FFh
010Fh			
0110h			
0111h			
0112h			
0113h			
0114h			
0115h			
0116h			
0117h			
0118h	タイマ RE 秒データレジスタ / カウンタデータレジスタ	TRESEC	00h
0119h	タイマ RE 分データレジスタ / コンペアデータレジスタ	TREMIN	00h
011Ah	タイマ RE 時データレジスタ	TREHR	00h
011Bh	タイマ RE 曜日データレジスタ	TREWK	00h
011Ch	タイマ RE 制御レジスタ 1	TRECR1	00h
011Dh	タイマ RE 制御レジスタ 2	TRECR2	00h
011Eh	タイマ RE クロックソース選択レジスタ	TRECSR	00001000b
011Fh			
0120h	タイマ RC モードレジスタ	TRCMR	01001000b
0121h	タイマ RC 制御レジスタ 1	TRCCR1	00h
0122h	タイマ RC 割り込み許可レジスタ	TRCIER	01110000b
0123h	タイマ RC ステータスレジスタ	TRCSR	01110000b
0124h	タイマ RC I/O 制御レジスタ 0	TRCIOR0	10001000b
0125h	タイマ RC I/O 制御レジスタ 1	TRCIOR1	10001000b
0126h	タイマ RC カウンタ	TRC	00h
0127h			00h
0128h	タイマ RC ジェネラルレジスタ A	TRCGRA	FFh
0129h			FFh
012Ah	タイマ RC ジェネラルレジスタ B	TRCGRB	FFh
012Bh			FFh
012Ch	タイマ RC ジェネラルレジスタ C	TRCGRC	FFh
012Dh			FFh
012Eh	タイマ RC ジェネラルレジスタ D	TRCGRD	FFh
012Fh			FFh
0130h	タイマ RC 制御レジスタ 2	TRCCR2	00011111b
0131h	タイマ RC デジタルフィルタ機能選択レジスタ	TRCDF	00h
0132h	タイマ RC アウトプットマスタ許可レジスタ	TRCOER	01111111b
0133h			
0134h			
0135h			
0136h			
0137h	タイマ RD スタートレジスタ	TRDSTR	11111100b
0138h	タイマ RD モードレジスタ	TRDMR	00001110b
0139h	タイマ RD PWM モードレジスタ	TRDPMR	10001000b
013Ah	タイマ RD 機能制御レジスタ	TRDFCR	10000000b
013Bh	タイマ RD アウトプットマスタ許可レジスタ 1	TRDOER1	FFh
013Ch	タイマ RD アウトプットマスタ許可レジスタ 2	TRDOER2	01111111b
013Dh	タイマ RD アウトプット制御レジスタ	TRDOCR	00h
013Eh	タイマ RD デジタルフィルタ機能選択レジスタ 0	TRDDF0	00h
013Fh	タイマ RD デジタルフィルタ機能選択レジスタ 1	TRDDF1	00h

注1. 空欄は予約領域です。アクセスしないでください。

表4.6 SFR一覧(6)(注1)

番地	レジスタ	シンボル	リセット後の値
0140h	タイマ RD 制御レジスタ 0	TRDCR0	00h
0141h	タイマ RD I/O 制御レジスタ A0	TRDIORA0	10001000b
0142h	タイマ RD I/O 制御レジスタ C0	TRDIORC0	10001000b
0143h	タイマ RD ステータスレジスタ 0	TRDSR0	11000000b
0144h	タイマ RD 割り込み許可レジスタ 0	TRDIER0	11100000b
0145h	タイマ RD PWM モードアウトブットレベル制御レジスタ 0	TRDPOCR0	11111000b
0146h	タイマ RD カウンタ 0	TRD0	00h
0147h			00h
0148h	タイマ RD ジェネラルレジスタ A0	TRDGRA0	FFh
0149h			FFh
014Ah	タイマ RD ジェネラルレジスタ B0	TRDGRB0	FFh
014Bh			FFh
014Ch	タイマ RD ジェネラルレジスタ C0	TRDGRC0	FFh
014Dh			FFh
014Eh	タイマ RD ジェネラルレジスタ D0	TRDGRD0	FFh
014Fh			FFh
0150h	タイマ RD 制御レジスタ 1	TRDCR1	00h
0151h	タイマ RD I/O 制御レジスタ A1	TRDIORA1	10001000b
0152h	タイマ RD I/O 制御レジスタ C1	TRDIORC1	10001000b
0153h	タイマ RD ステータスレジスタ 1	TRDSR1	11000000b
0154h	タイマ RD 割り込み許可レジスタ 1	TRDIER1	11100000b
0155h	タイマ RD PWM モードアウトブットレベル制御レジスタ 1	TRDPOCR1	11111000b
0156h	タイマ RD カウンタ 1	TRD1	00h
0157h			00h
0158h	タイマ RD ジェネラルレジスタ A1	TRDGRA1	FFh
0159h			FFh
015Ah	タイマ RD ジェネラルレジスタ B1	TRDGRB1	FFh
015Bh			FFh
015Ch	タイマ RD ジェネラルレジスタ C1	TRDGRC1	FFh
015Dh			FFh
015Eh	タイマ RD ジェネラルレジスタ D1	TRDGRD1	FFh
015Fh			FFh
0160h	UART2 送受信モードレジスタ	U2MR	00h
0161h	UART2 ビットレートレジスタ	U2BRG	XXh
0162h	UART2 送信バッファレジスタ	U2TB	XXh
0163h			XXh
0164h	UART2 送受信制御レジスタ 0	U2C0	00001000b
0165h	UART2 送受信制御レジスタ 1	U2C1	00000010b
0166h	UART2 受信バッファレジスタ	U2RB	XXh
0167h			XXh
0168h			
0169h			
016Ah			
016Bh			
016Ch			
016Dh			
016Eh			
016Fh			
0170h			
0171h			
0172h			
0173h			
0174h			
0175h			
0176h			
0177h			
0178h			
0179h			
017Ah			
017Bh			
017Ch			
017Dh			
017Eh			
017Fh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.7 SFR一覧(7)(注1)

番地	レジスタ	シンボル	リセット後の値
0180h			
0181h			
0182h			
0183h			
0184h			
0185h			
0186h			
0187h			
0188h			
0189h			
018Ah			
018Bh			
018Ch			
018Dh			
018Eh			
018Fh			
0190h			
0191h			
0192h			
0193h			
0194h			
0195h			
0196h			
0197h			
0198h			
0199h			
019Ah			
019Bh			
019Ch			
019Dh			
019Eh			
019Fh			
01A0h			
01A1h			
01A2h			
01A3h			
01A4h			
01A5h			
01A6h			
01A7h			
01A8h			
01A9h			
01AAh			
01ABh			
01ACh			
01ADh			
01AEh			
01AFh			
01B0h			
01B1h			
01B2h			
01B3h	フラッシュメモリ制御レジスタ 4	FMR4	01000000b
01B4h			
01B5h	フラッシュメモリ制御レジスタ 1	FMR1	1000000Xb
01B6h			
01B7h	フラッシュメモリ制御レジスタ 0	FMR0	00000001b
01B8h			
01B9h			
01BAh			
01BBh			
01BCh			
01BDh			
01BEh			
01BFh			

注1. 空欄は予約領域です。アクセスしないでください。

X: 不定です。

表4.8 SFR一覧(8)(注1)

番地	レジスタ	シンボル	リセット後の値
01C0h			
01C1h			
01C2h			
01C3h			
01C4h			
01C5h			
01C6h			
01C7h			
01C8h			
01C9h			
01CAh			
01CBh			
01CCh			
01CDh			
01CEh			
01CFh			
01D0h			
01D1h			
01D2h			
01D3h			
01D4h			
01D5h			
01D6h			
01D7h			
01D8h			
01D9h			
01DAh			
01DBh			
01DCh			
01DDh			
01DEh			
01DFh			
01E0h			
01E1h			
01E2h			
01E3h			
01E4h			
01E5h			
01E6h			
01E7h			
01E8h			
01E9h			
01EAh			
01EBh			
01ECh			
01EDh			
01EEh			
01EFh			
01F0h			
01F1h			
01F2h			
01F3h			
01F4h			
01F5h			
01F6h			
01F7h			
01F8h			
01F9h			
01FAh			
01FBh			
01FCh			
01FDh			
01FEh			
01FFh			

注1. 空欄は予約領域です。アクセスしないでください。

表4.9 SFR一覧(9)(注1)

番地	レジスタ	シンボル	リセット後の値
0200h			
0201h			
0202h			
0203h			
0204h			
0205h			
0206h			
0207h			
0208h			
0209h			
020Ah			
020Bh			
020Ch			
020Dh			
020Eh			
020Fh			
0210h			
0211h			
0212h			
0213h			
0214h			
0215h			
0216h			
0217h			
0218h			
0219h			
021Ah			
021Bh			
021Ch			
021Dh			
021Eh			
021Fh			
0220h			
0221h			
0222h			
0223h			
0224h			
0225h			
0226h			
0227h			
0228h			
0229h			
022Ah			
022Bh			
022Ch			
022Dh			
022Eh			
022Fh			
0230h			
0231h			
0232h			
0233h			
0234h			
0235h			
0236h			
0237h			
0238h			
0239h			
023Ah			
023Bh			
023Ch			
023Dh			
023Eh			
023Fh			

注1. 空欄は予約領域です。アクセスしないでください。

表4.10 SFR一覧(10)(注1)

番地	レジスタ	シンボル	リセット後の値
0240h			
0241h			
0242h			
0243h			
0244h			
0245h			
0246h			
0247h			
0248h			
0249h			
024Ah			
024Bh			
024Ch			
024Dh			
024Eh			
024Fh			
0250h			
0251h			
0252h			
0253h			
0254h			
0255h			
0256h			
0257h			
0258h			
0259h			
025Ah			
025Bh			
025Ch			
025Dh			
025Eh			
025Fh			
0260h			
0261h			
0262h			
0263h			
0264h			
0265h			
0266h			
0267h			
0268h			
0269h			
026Ah			
026Bh			
026Ch			
026Dh			
026Eh			
026Fh			
0270h			
0271h			
0272h			
0273h			
0274h			
0275h			
0276h			
0277h			
0278h			
0279h			
027Ah			
027Bh			
027Ch			
027Dh			
027Eh			
027Fh			

注1. 空欄は予約領域です。アクセスしないでください。

表4.11 SFR一覧(11)(注1)

番地	レジスタ	シンボル	リセット後の値
0280h			
0281h			
0282h			
0283h			
0284h			
0285h			
0286h			
0287h			
0288h			
0289h			
028Ah			
028Bh			
028Ch			
028Dh			
028Eh			
028Fh			
0290h	タイマ RF レジスタ	TRF	00h
0291h			00h
0292h			
0293h			
0294h			
0295h			
0296h			
0297h			
0298h			
0299h			
029Ah	タイマ RF 制御レジスタ 0	TRFCR0	00h
029Bh	タイマ RF 制御レジスタ 1	TRFCR1	00h
029Ch	キャプチャ、コンペア 0 レジスタ	TRFM0	0000h(注 2)
029Dh			FFFFh(注 3)
029Eh	コンペア 1 レジスタ	TRFM1	FFh
029Fh			FFh
02A0h			
02A1h			
02A2h			
02A3h			
02A4h			
02A5h			
02A6h			
02A7h			
02A8h			
02A9h			
02AAh			
02ABh			
02ACh			
02ADh			
02AEh			
02AFh			
02B0h			
02B1h			
02B2h			
02B3h			
02B4h			
02B5h			
02B6h			
02B7h			
02B8h			
02B9h			
02BAh			
02BBh			
02BCh			
02BDh			
02BEh			
02BFh			

注1. 空欄は予約領域です。アクセスしないでください。

注2. インพุットキャプチャモードの場合。

注3. アウトプットコンペアモードの場合。

表4.12 SFR一覧(12)(注1)

番地	レジスタ	シンボル	リセット後の値
02C0h	A/D レジスタ 0	AD0	XXh
02C1h			XXh
02C2h			
02C3h			
02C4h			
02C5h			
02C6h			
02C7h			
02C8h			
02C9h			
02CAh			
02CBh			
02CCh			
02CDh			
02CEh			
02CFh			
02D0h			
02D1h			
02D2h			
02D3h			
02D4h	A/D 制御レジスタ 2	ADCON2	00001000b
02D5h			
02D6h	A/D 制御レジスタ 0	ADCON0	00000011b
02D7h	A/D 制御レジスタ 1	ADCON1	00h
02D8h			
02D9h			
02DAh			
02DBh			
02DCh			
02DDh			
02DEh			
02DFh			
02E0h			
02E1h			
02E2h			
02E3h			
02E4h	ポート P8 方向レジスタ	PD8	00h
02E5h			
02E6h	ポート P8 レジスタ	P8	XXh
02E7h			
02E8h			
02E9h			
02EAh			
02EBh			
02ECh			
02EDh			
02EEh			
02EFh			
02F0h			
02F1h			
02F2h			
02F3h			
02F4h			
02F5h			
02F6h			
02F7h			
02F8h			
02F9h			
02FAh			
02FBh			
02FCh	プルアップ制御レジスタ 2	PUR2	XXX00000b
02FDh			
02FEh			
02FFh	タイマ RF 出力制御レジスタ	TRFOUT	00h
FFFFh	オプション機能選択レジスタ	OFS	(注2)

注1. 空欄は予約領域です。アクセスしないでください。

注2. OFS レジスタはプログラムで変更できません。フラッシュライタで書いてください。

X: 不定です。

5. 電気的特性

電気的特性はNバージョン($T_{opr} = -20 \sim 85$)とDバージョン($T_{opr} = -40 \sim 85$)について示します。Yバージョン($T_{opr} = -20 \sim 105$)の電気的特性についてはルネサステクノロジ営業窓口へお問い合わせください。

表5.1 絶対最大定格

記号	項目	測定条件	定格値	単位
V _{CC} /AV _{CC}	電源電圧		- 0.3 ~ 6.5	V
V _I	入力電圧		- 0.3 ~ V _{CC} + 0.3	V
V _O	出力電圧		- 0.3 ~ V _{CC} + 0.3	V
P _d	消費電力	T _{opr} = 25	700	mW
T _{opr}	動作周囲温度		- 20 ~ 85(Nバージョン) / - 40 ~ 85(Dバージョン)	
T _{stg}	保存温度		- 65 ~ 150	

表5.2 推奨動作条件

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Vcc/AVcc	電源電圧		2.2		5.5	V	
Vss/AVss	電源電圧			0		V	
V _{IH}	“H” 入力電圧		0.8V _{cc}		V _{cc}	V	
V _{IL}	“L” 入力電圧		0		0.2V _{cc}	V	
I _{OH(sum)}	“H” 尖頭総出力電流	全端子のI _{OH(peak)} の 総和			- 240	mA	
I _{OH(sum)}	“H” 平均総出力電流	全端子のI _{OH(avg)} の 総和			- 120	mA	
I _{OH(peak)}	“H” 尖頭出力電流	P2_0 ~ P2_7以外			- 10	mA	
		P2_0 ~ P2_7			- 40	mA	
I _{OH(avg)}	“H” 平均出力電流	P2_0 ~ P2_7以外			- 5	mA	
		P2_0 ~ P2_7			- 20	mA	
I _{OL(sum)}	“L” 尖頭総出力電流	全端子のI _{OL(peak)} の 総和			240	mA	
I _{OL(sum)}	“L” 平均総出力電流	全端子のI _{OL(avg)} の 総和			120	mA	
I _{OL(peak)}	“L” 尖頭出力電流	P2_0 ~ P2_7以外			10	mA	
		P2_0 ~ P2_7			40	mA	
I _{OL(avg)}	“L” 平均出力電流	P2_0 ~ P2_7以外			5	mA	
		P2_0 ~ P2_7			20	mA	
f(XIN)	XINクロック入力発振周波数	3.0V V _{cc} 5.5V	0		20	MHz	
		2.7V V _{cc} < 3.0V	0		10	MHz	
		2.2V V _{cc} < 2.7V	0		5	MHz	
f(XCIN)	XCINクロック入力発振周波数	2.2V V _{cc} 5.5V	0		70	kHz	
	システムクロック	OCD 2= “0” XINクロック選択時	3.0V V _{cc} 5.5V	0		20	MHz
			2.7V V _{cc} < 3.0V	0		10	MHz
			2.2V V _{cc} < 2.7V	0		5	MHz
		OCD2 = “1” オンチップオシレータ クロック選択時	FRA01 = “0” 低速オンチップオシレータ選択時		125		kHz
			FRA01 = “1” 高速オンチップオシレータ選択時 3.0V V _{cc} 5.5V			20	MHz
			FRA01 = “1” 高速オンチップオシレータ選択時 2.7V V _{cc} 5.5V			10	MHz
			FRA01 = “1” 高速オンチップオシレータ選択時 2.2V V _{cc} 5.5V			5	MHz

注1. 指定のない場合は、V_{cc} = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)です。

注2. 平均出力電流は100 msの期間内での平均値です。

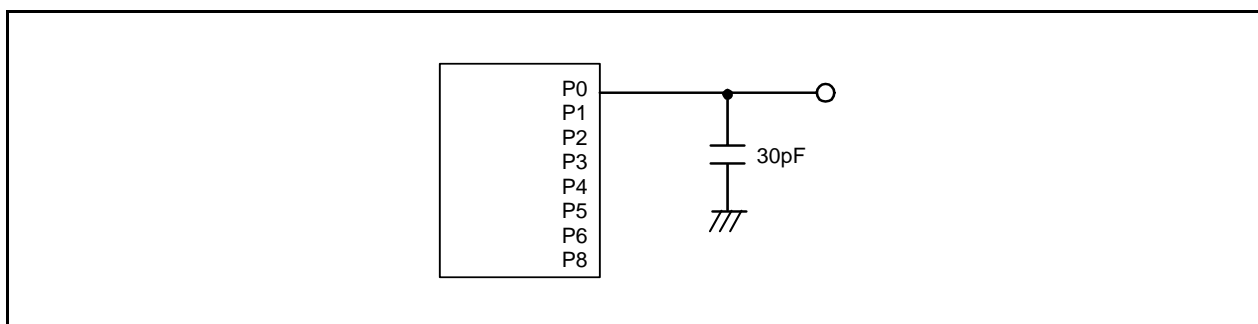


図5.1 ポートP0 ~ P6、P8のタイミング測定回路

表5.3 A/Dコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能		Vref = AVcc			10	Bit
	絶対精度	10ビットモード	AD = 10MHz、Vref = AVcc = 5.0V			± 3	LSB
		8ビットモード	AD = 10MHz、Vref = AVcc = 5.0V			± 2	LSB
		10ビットモード	AD = 10MHz、Vref = AVcc = 3.3V			± 5	LSB
		8ビットモード	AD = 10MHz、Vref = AVcc = 3.3V			± 2	LSB
		10ビットモード	AD = 5MHz、Vref = AVcc = 2.2V			± 5	LSB
		8ビットモード	AD = 5MHz、Vref = AVcc = 2.2V			± 2	LSB
Rladder	ラダー抵抗		Vref = AVcc	10		40	k
tconv	変換時間	10ビットモード	AD = 10MHz、Vref = AVcc = 5.0V	3.3			μs
		8ビットモード	AD = 10MHz、Vref = AVcc = 5.0V	2.8			μs
Vref	基準電圧			2.2		AVcc	V
VIA	アナログ入力電圧(注2)			0		AVcc	V
	A/D動作クロック 周波数	サンプル&ホールドなし	Vref = AVcc = 2.7 ~ 5.5V	0.25		10	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.7 ~ 5.5V	1		10	MHz
		サンプル&ホールドなし	Vref = AVcc = 2.2 ~ 5.5V	0.25		5	MHz
		サンプル&ホールドあり	Vref = AVcc = 2.2 ~ 5.5V	1		5	MHz

注1. 指定のない場合は、Vcc/AVcc = Vref = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. アナログ入力電圧が基準電圧を超えた場合、A/D変換結果は10ビットモードでは3FFh、8ビットモードではFFhになります。

表5.4 D/Aコンバータ特性

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
	分解能					8	Bit
	絶対精度					1.0	%
tsu	設定時間					3	μs
RO	出力抵抗			4	10	20	k
Ivref	基準電源入力電流		(注2)			1.5	mA

注1. 指定のない場合は、Vcc/AVcc = Vref = 2.7V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. D/Aコンバータ1本使用、使用していないD/AコンバータのDAi(i = 0 ~ 1)レジスタの値が“00h”の場合です。
A/Dコンバータのラダー抵抗は除きます。また、ADCON1レジスタのVCUTビットを“0”(VREF未接続)とした場合でも、D/AコンバータのIvrefは流れます。

表5.5 フラッシュメモリ(プログラムROM)の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)	R8C/2Aグループ	100(注3)			回
		R8C/2Bグループ	1,000(注3)			回
	バイトプログラム時間			50	400	μs
	ブロックイレーズ時間			0.4	9	s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		0		60	
	データ保持時間(注7)	周囲温度=55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = 0 ~ 60 です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、ブランク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注5. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注6. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注7. 電源電圧またはクロックが印加されていない時間を含みます。

表5.6 フラッシュメモリ(データフラッシュ ブロックA、ブロックB)の電気的特性(注4)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
	プログラム、イレーズ回数(注2)		10,000(注3)			回
	バイトプログラム時間 (プログラム/イレーズ回数 1,000回)			50	400	μs
	バイトプログラム時間 (プログラム/イレーズ回数 > 1,000回)			65		μs
	ブロックイレーズ時間 (プログラム/イレーズ回数 1,000回)			0.2	9	s
	ブロックイレーズ時間 (プログラム/イレーズ回数 > 1,000回)			0.3		s
t _d (SR-SUS)	サスペンドへの遷移時間				97+CPUクロック × 6サイクル	μs
	イレーズ開始または再開から次のサスペンド要求までの間隔		650			μs
	プログラム開始または再開から次のサスペンド要求までの間隔		0			ns
	サスペンドからプログラム/イレーズの再開までの時間				3+CPUクロック × 4サイクル	μs
	書き込み、消去電圧		2.7		5.5	V
	読み出し電圧		2.2		5.5	V
	書き込み、消去時の温度		- 20(注8)		85	
	データ保持時間(注9)	周囲温度=55	20			年

注1. 指定のない場合は、V_{cc} = 2.7V ~ 5.5V、T_{opr} = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン)です。

注2. プログラム/イレーズ回数の定義

プログラム/イレーズ回数はブロックごとのイレーズ回数です。

プログラム/イレーズ回数がn回(n=100、1,000、10,000)の場合、ブロックごとにそれぞれn回ずつイレーズすることができます。

例えば、1KバイトブロックのブロックAについて、それぞれ異なる番地に1バイト書き込みを1024回に分けて行った後に、そのブロックをイレーズした場合も、プログラム/イレーズ回数は1回と数えます。ただし、イレーズ1回に対して、同一番地に複数回の書き込みをしないでください(上書き禁止)。

注3. プログラム/イレーズ後のすべての電気的特性を保証する回数です。(保証は1~“最小”値の範囲です。)

注4. プログラム/イレーズ回数が1,000回を超えたときのブロックA、ブロックBの規格です。1,000回までのバイトプログラム時間はプログラムROMと同じです。

注5. 多数回の書き換えを実施するシステムの場合は、実効的な書き換え回数を減少させる工夫として、書き込み番地を順にずらしていくなどして、バンク領域ができるだけ残らないようにプログラム(書き込み)を実施した上で1回のイレーズを行ってください。例えば一組16バイトをプログラムする場合、最大128組の書き込みを実施した上で1回のイレーズをすることで、実効的な書き換え回数を少なくすることができます。加えてブロックA、ブロックBのイレーズ回数が均等になるようにすると、さらに実効的な書き換え回数を少なくすることができます。また、ブロックごとに何回イレーズを実施したかを情報として残し、制限回数を設けていただくことをお勧めします。

注6. ブロックイレーズでイレーズエラーが発生した場合は、イレーズエラーが発生しなくなるまでクリアステータスレジスタコマンド ブロックイレーズコマンドを少なくとも3回実行してください。

注7. 不良率につきましては、ルネサス テクノロジ、ルネサス販売または特約店にお問い合わせください。

注8. Dバージョンは - 40。

注9. 電源電圧またはクロックが印加されていない時間を含みます。

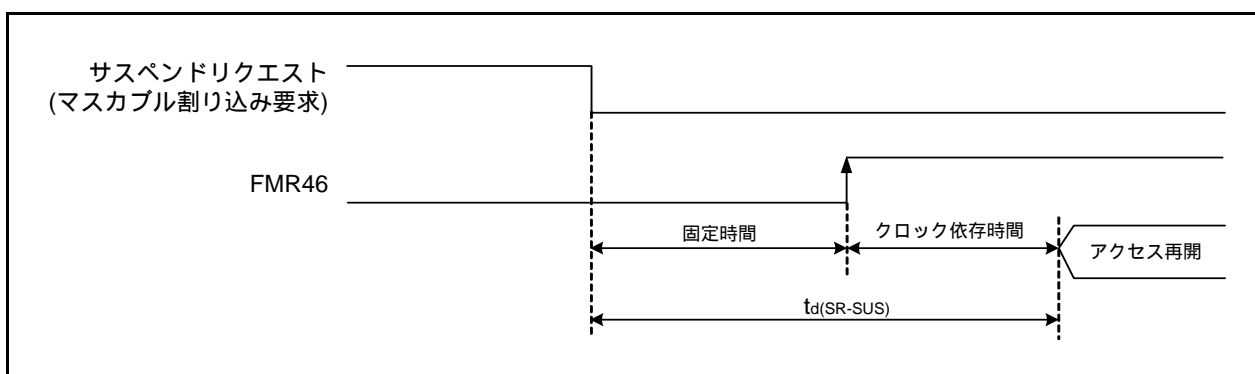


図5.2 サスペンドへの遷移時間

表5.7 電圧検出0回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet0	電圧検出レベル		2.2	2.3	2.4	V
	電圧検出回路の自己消費電流	VCA25 = 1、Vcc=5.0V		0.9		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注2)				300	μs
Vccmin	マイコンの動作電圧の最小値		2.2			V

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. VCA2レジスタのVCA25ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.8 電圧検出1回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet1	電圧検出レベル		2.7	2.85	3.00	V
	電圧監視1割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA26 = 1、Vcc=5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet1を通過した時点から、電圧監視1割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA26ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.9 電圧検出2回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
Vdet2	電圧検出レベル		3.3	3.6	3.9	V
	電圧監視2割り込み要求発生時間(注2)			40		μs
	電圧検出回路の自己消費電流	VCA27 = 1、Vcc=5.0V		0.6		μA
td(E-A)	電圧検出回路動作開始までの待ち時間(注3)				100	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = -20 ~ 85 (Nバージョン)/ -40 ~ 85 (Dバージョン)です。

注2. Vdet2を通過した時点から、電圧監視2割り込み要求が発生するまでの時間です。

注3. VCA2レジスタのVCA27ビットを“0”にした後、再度“1”にした場合の、電圧検出回路が動作するまでに必要な時間です。

表5.10 パワーオンリセット回路、電圧監視0リセットの電気的特性(注3)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
V _{por1}	パワーオンリセットが有効になる電圧 (注4)				0.1	V
V _{por2}	パワーオンリセットまたは電圧監視0リセットが有効になる電圧		0		V _{det0}	V
t _{trh}	外部電源V _{CC} の立ち上がり傾き(注2)		20			mV/msec

注1. 指定のない場合測定条件は、T_{opr} = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. V_{CC} 1.0Vで使用する場合、この条件(外部電源V_{CC}立ち上がり傾き)は不要です。

注3. パワーオンリセットを使用する場合には、OFSレジスタのLVD00Nビットを“0”、VW0CレジスタのVW0C0ビットを“1”、VW0C6ビットを“1”、VCA2レジスタのVCA25ビットを“1”にして電圧監視0リセットを有効にしてください。

注4. t_{w(por1)}は外部電源V_{CC}を有効電圧(V_{por1})以下に保持してパワーオンリセットが有効になるために必要な時間です。電源を最初に立ち上げる時は -20 ≤ T_{opr} ≤ 85 ではt_{w(por1)}を30s以上、-40 ≤ T_{opr} < -20 ではt_{w(por1)}を3000s以上保持してください。

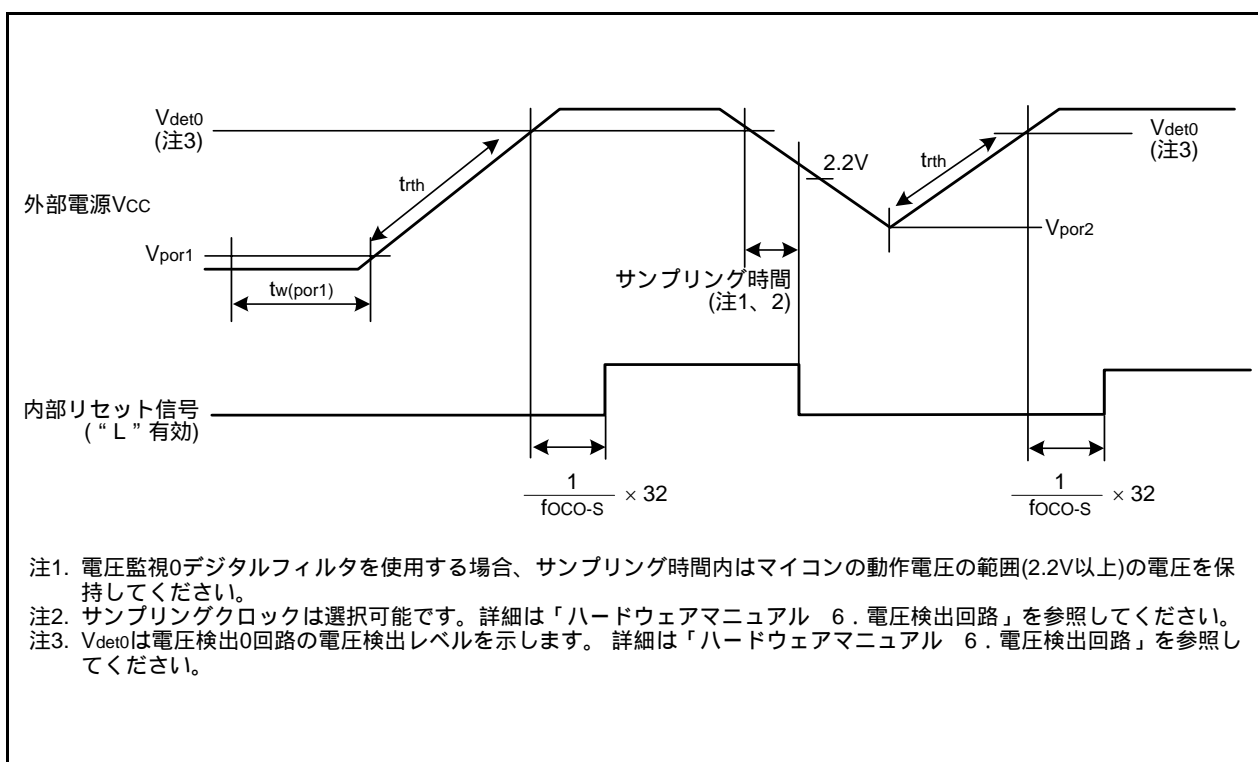


図5.3 パワーオンリセット回路の電気的特性

表5.11 高速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO40M	高速オンチップオシレータ発振周波数の温度・電圧依存性	Vcc=2.7V ~ 5.5V - 20 Topr 85 (注2)	39.2	40	40.8	MHz
		Vcc=2.7V ~ 5.5V - 40 Topr 85 (注2)	39.0	40	41.0	MHz
		Vcc=2.2V ~ 5.5V - 20 Topr 85 (注3)	35.2	40	44.8	MHz
		Vcc=2.2V ~ 5.5V - 40 Topr 85 (注3)	34.0	40	46.0	MHz
	FRA7レジスタの補正値をFRA1レジスタに書き込んだときの高速オンチップオシレータ発振周波数	Vcc=5.0V、Topr=25		36.864		MHz
		Vcc=2.7V ~ 5.5V 20 Topr 85	- 3%		3%	%
	リセット解除時のFRA1レジスタの値		08h		F7h	
	高速オンチップオシレータ発振周波数調整単位	FRA1レジスタ(リセット解除時の値)を-1ビットに調整		+ 0.3		MHz
	発振安定時間	Vcc=5.0V、Topr=25		10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		550		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

注2. FRA1レジスタがリセット解除時の値のときの規格値です。

注3. FRA6レジスタの補正値をFRA1レジスタに書き込んだときの規格値です。

表5.12 低速オンチップオシレータ発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
fOCO-S	低速オンチップオシレータ発振周波数		30	125	250	kHz
	発振安定時間	Vcc=5.0V、Topr=25		10	100	μs
	発振時の自己消費電流	Vcc=5.0V、Topr=25		15		μA

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン) / - 40 ~ 85 (Dバージョン) です。

表5.13 電源回路のタイミング特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
td(P-R)	電源投入時の内部電源安定時間 (注2)		1		2000	μs
td(R-S)	STOP解除時間 (注3)				150	μs

注1. 測定条件はVcc = 2.2V ~ 5.5V、Topr = 25 です。

注2. 電源投入時に、内部電源発生回路が安定するまでの待ち時間です。

注3. ストップモードを解除するための割り込みが受け付けられてから、システムクロックの供給が開始するまでの時間です。

表5.14 チップセレクト付クロック同期形シリアルI/Oのタイミング必要条件(注1)

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
tSUCYC	SSCKクロックサイクル時間			4			tcyc (注2)
tHI	SSCKクロック“H”パルス幅			0.4		0.6	tSUCYC
tLO	SSCKクロック“L”パルス幅			0.4		0.6	tSUCYC
tRISE	SSCKクロック立ち上がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tFALL	SSCKクロック立ち下がり時間	マスタ				1	tcyc (注2)
		スレーブ				1	μs
tSU	SSO、SSIデータ入力セットアップ時間			100			ns
tH	SSO、SSIデータ入力ホールド時間			1			tcyc (注2)
tLEAD	SCSセットアップ時間	スレーブ		1tcyc+50			ns
tLAG	SCSホールド時間	スレーブ		1tcyc+50			ns
tOD	SSO、SSIデータ出力遅延時間					1	tcyc (注2)
tSA	SSIスレーブアクセス時間		2.7V Vcc 5.5V			1.5tcyc+100	ns
			2.2V Vcc < 2.7V			1.5tcyc+200	ns
tOR	SSIスレーブアウト開放時間		2.7V Vcc 5.5V			1.5tcyc+100	ns
			2.2V Vcc < 2.7V			1.5tcyc+200	ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン)です。

注2. 1tcyc=1/f1 (s)

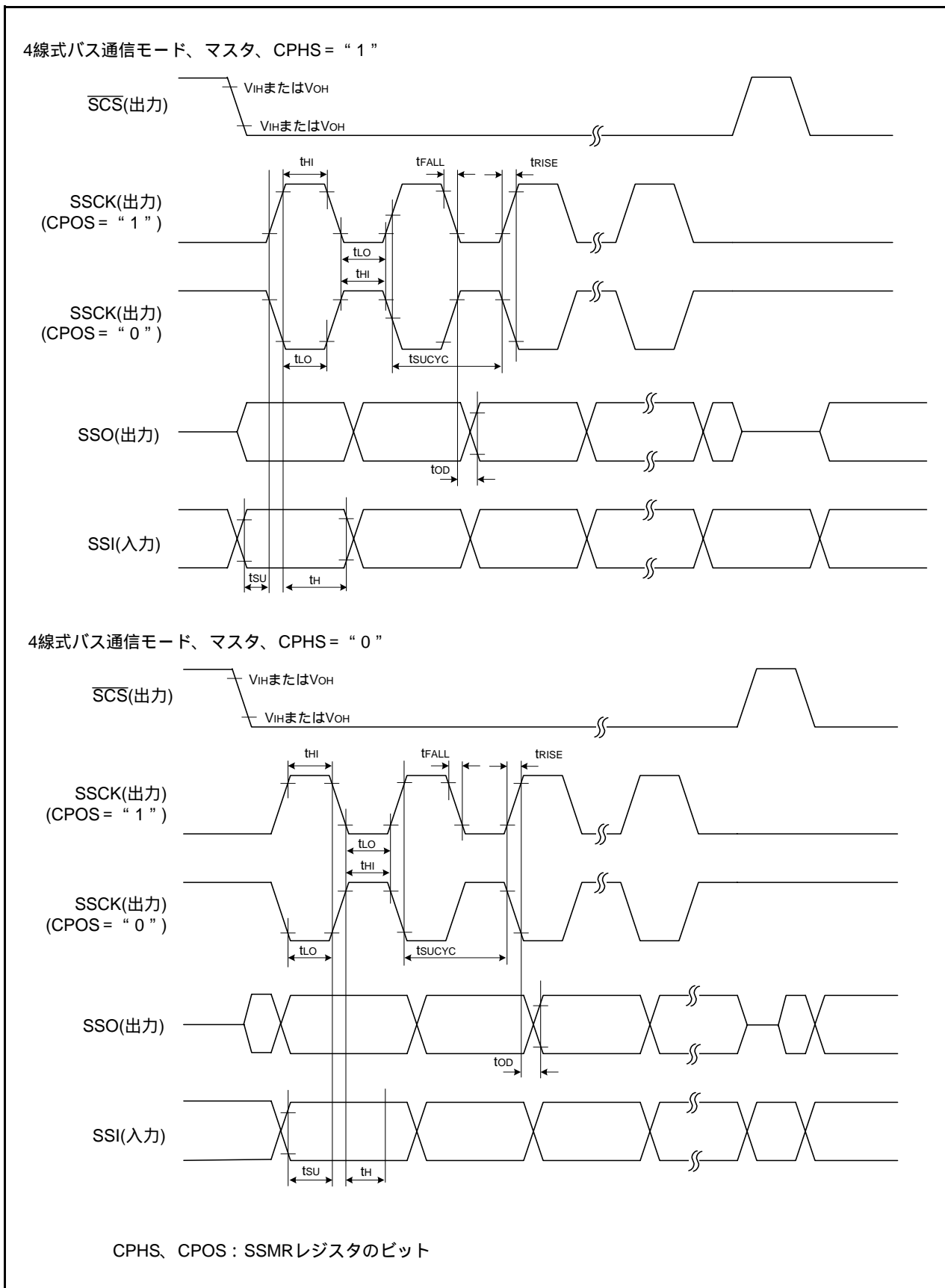


図5.4 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(マスタ)

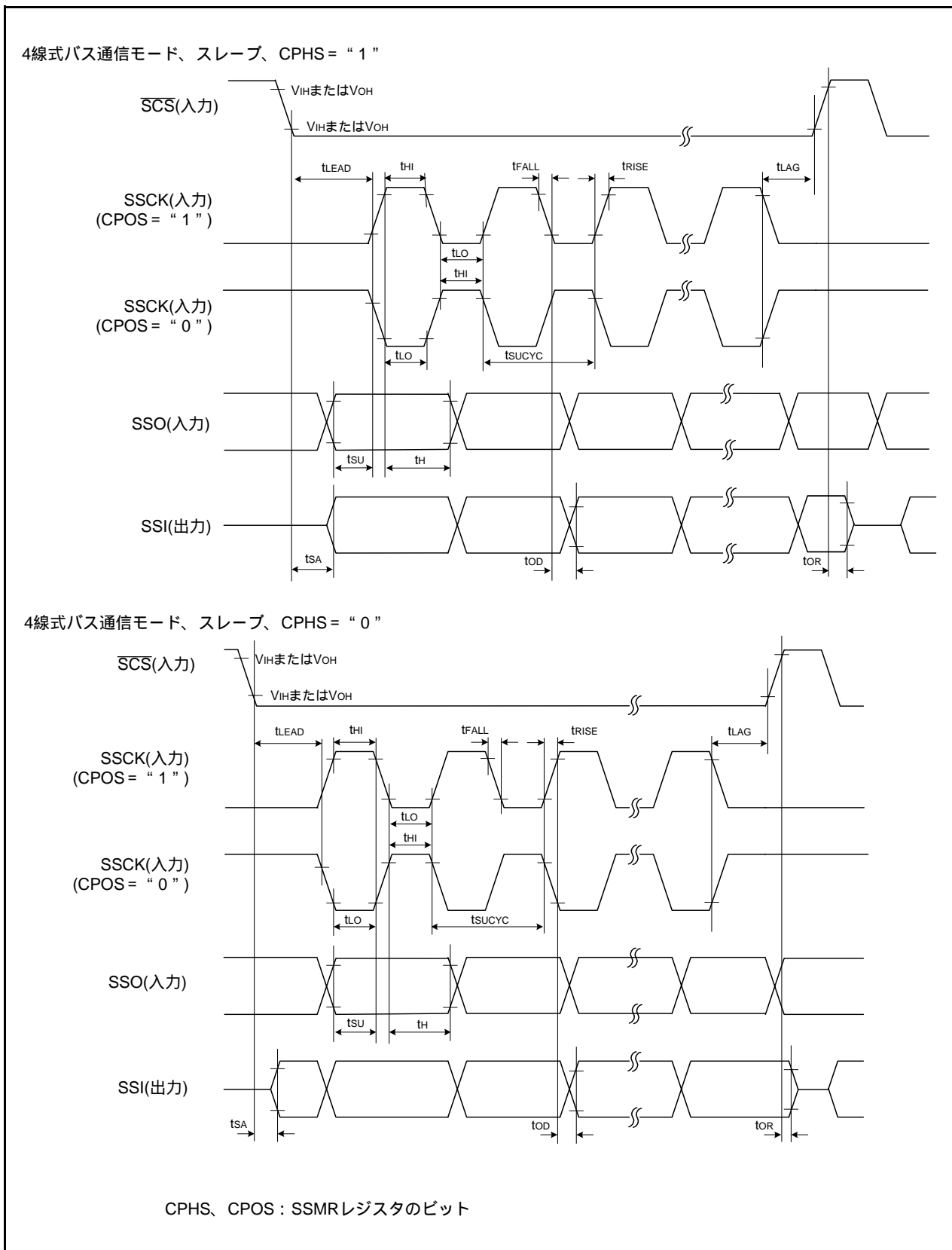


図5.5 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(スレーブ)

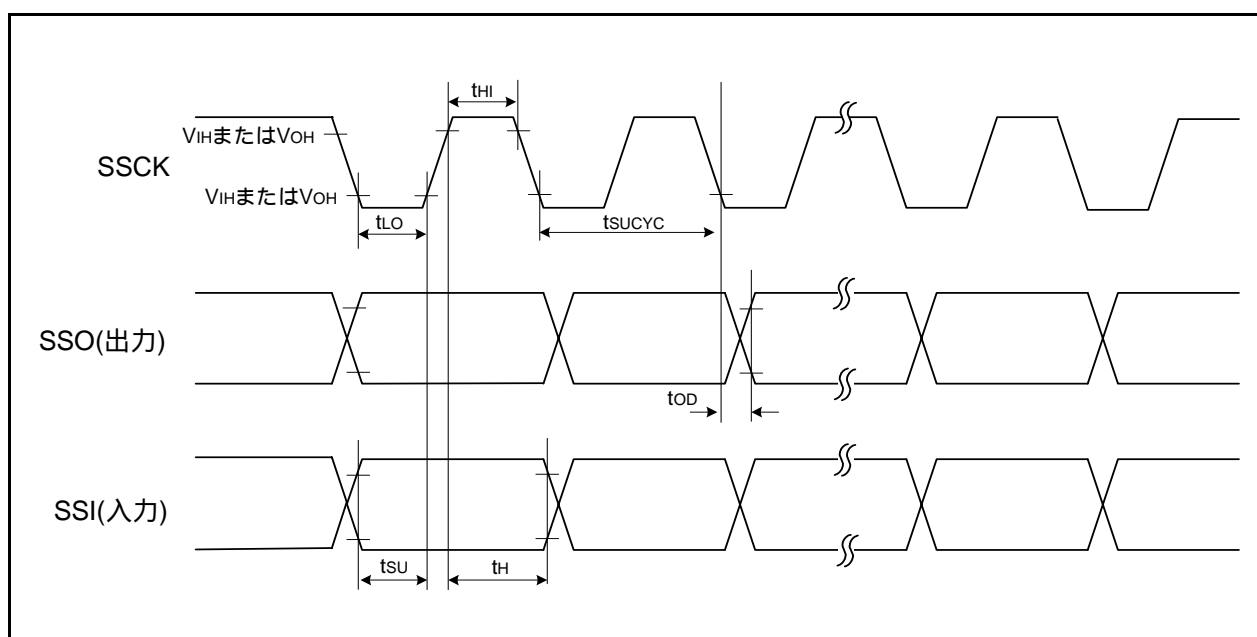


図5.6 チップセレクト付クロック同期形シリアルI/Oの入出力タイミング(クロック同期式通信モード)

表5.15 I²Cバスインタフェースのタイミング必要条件(注1)

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
tSCL	SCL入力サイクル時間		12tcyc+600(注2)			ns
tSCLH	SCL入力“H”パルス幅		3tcyc+300(注2)			ns
tSCLL	SCL入力“L”パルス幅		5tcyc+500(注2)			ns
tsf	SCL、SDA入力立ち下がり時間				300	ns
tSP	SCL、SDA入カスパイクパルス除去時間				1tcyc(注2)	ns
tBUF	SDA入力バスマフリーストック		5tcyc(注2)			ns
tSTAH	開始条件入力ホールド時間		3tcyc(注2)			ns
tSTAS	再送開始条件入力セットアップ時間		3tcyc(注2)			ns
tSTOP	停止条件入力セットアップ時間		3tcyc(注2)			ns
tSDAS	データ入力セットアップ時間		1tcyc+20(注2)			ns
tSDAH	データ入力ホールド時間		0			ns

注1. 指定のない場合は、Vcc = 2.2V ~ 5.5V、Vss = 0V、Topr = -20 ~ 85 (Nバージョン) / -40 ~ 85 (Dバージョン) です。

注2. 1tcyc = 1/f1 (s)

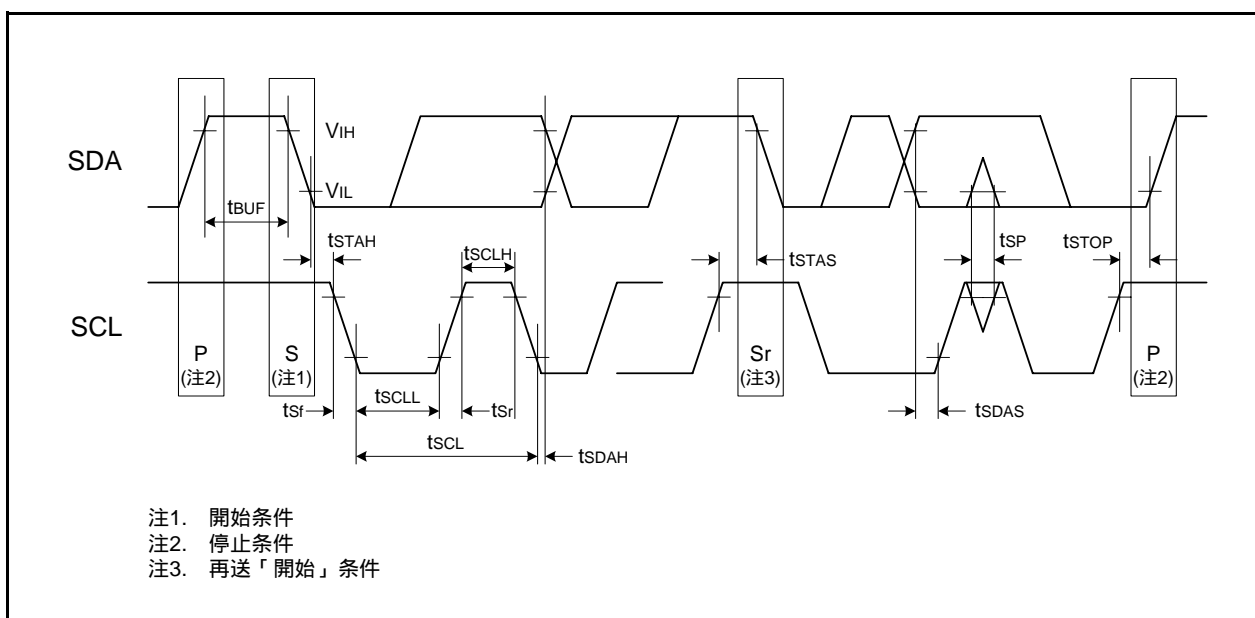
図5.7 I²Cバスインターフェースの入出力タイミング

表5.16 電気的特性(1) [Vcc = 5V]

記号	項目		測定条件	規格値			単位
				最小	標準	最大	
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT 以外	IoH = - 5mA	Vcc - 2.0		Vcc	V
			IoH = - 200 μA	Vcc - 0.5		Vcc	V
	P2_0 ~ P2_7	駆動能力HIGH	IoH = - 20mA	Vcc - 2.0		Vcc	V
		駆動能力LOW	IoH = - 5mA	Vcc - 2.0		Vcc	V
	XOUT	駆動能力HIGH	IoH = - 1mA	Vcc - 2.0		Vcc	V
		駆動能力LOW	IoH = - 500 μA	Vcc - 2.0		Vcc	V
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT 以外	IoL = 5mA			2.0	V
			IoL = 200 μA			0.45	V
	P2_0 ~ P2_7	駆動能力HIGH	IoL = 20mA			2.0	V
		駆動能力LOW	IoL = 5mA			2.0	V
	XOUT	駆動能力HIGH	IoL = 1mA			2.0	V
		駆動能力LOW	IoL = 500 μA			2.0	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、TRAIO、TRFI、 RXD0、RXD1、CLK0、 CLK1、CLK2、SSI、 SCL、SDA、SSO		0.1	0.5		V
		RESET		0.1	1.0		V
IiH	“H”入力電流		VI = 5V			5.0	μA
IiL	“L”入力電流		VI = 0V			- 5.0	μA
RPULLUP	プルアップ抵抗		VI = 0V	30	50	167	k
RiXIN	帰還抵抗	XIN			1.0		M
RiXCIN	帰還抵抗	XCIN			18		M
V _{RAM}	RAM保持電圧		ストップモード時	1.8			V

注1. 指定のない場合は、Vcc = 4.2V ~ 5.5V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 20MHzです。

表5.17 電気的特性(2) [Vcc = 5V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 3.3V ~ 5.5V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		12	20	mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		10	16	mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		7		mA
			XIN = 20MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		5.5		mA
			XIN = 16MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		4.5		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		3		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振 fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		6	12	mA
			XINクロック停止 高速オンチップオシレータ発振 fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.5		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		150	400	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = "1"		150	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP="1"		35		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		30	90	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		18	55	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		3.5		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		2.3		μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		0.7	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		1.7		μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=5V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=5V$]

表5.18 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	50		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	25		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	25		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

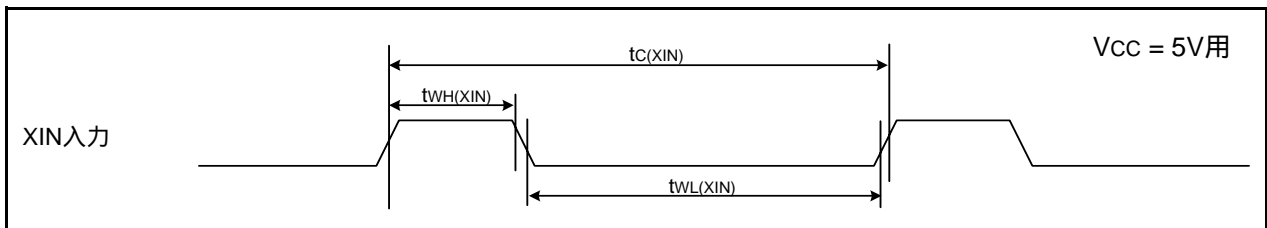


図5.8 $V_{CC}=5V$ 時のXIN入力、XCIN入力タイミング

表5.19 TRAI0入力、INT1入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAIO)$	TRAIO入力サイクル時間	100		ns
$t_{WH}(TRAIO)$	TRAIO入力“H”パルス幅	40		ns
$t_{WL}(TRAIO)$	TRAIO入力“L”パルス幅	40		ns

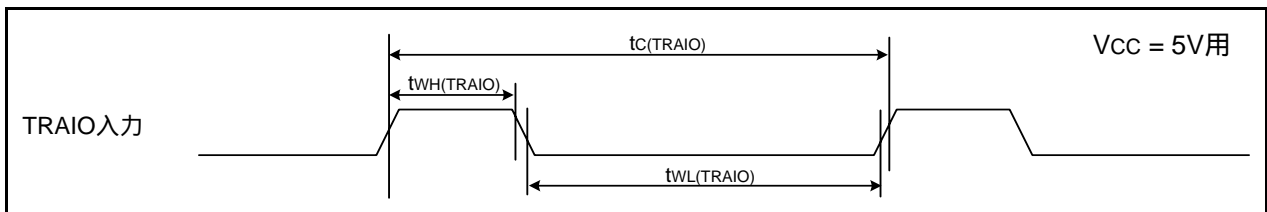


図5.9 $V_{CC}=5V$ 時のTRAIO入力、INT1入力タイミング

表5.20 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	400(注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	200(注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	200(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 \times 3)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 \times 1.5)以上になるように調整してください。

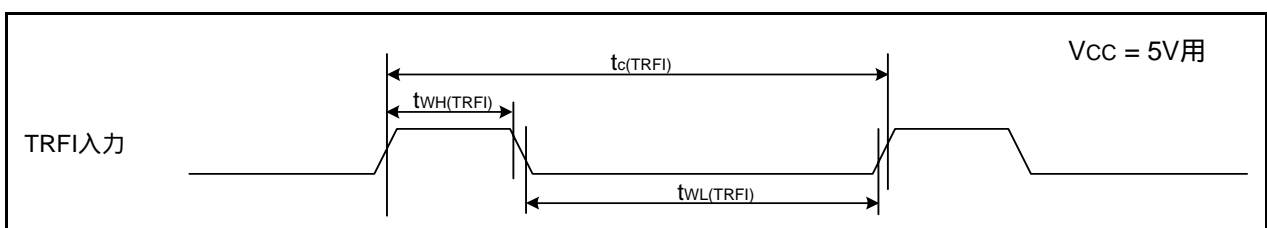


図5.10 $V_{CC}=5V$ 時のTRFI入力タイミング

表5.21 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	200		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	100		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	100		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		50	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	50		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

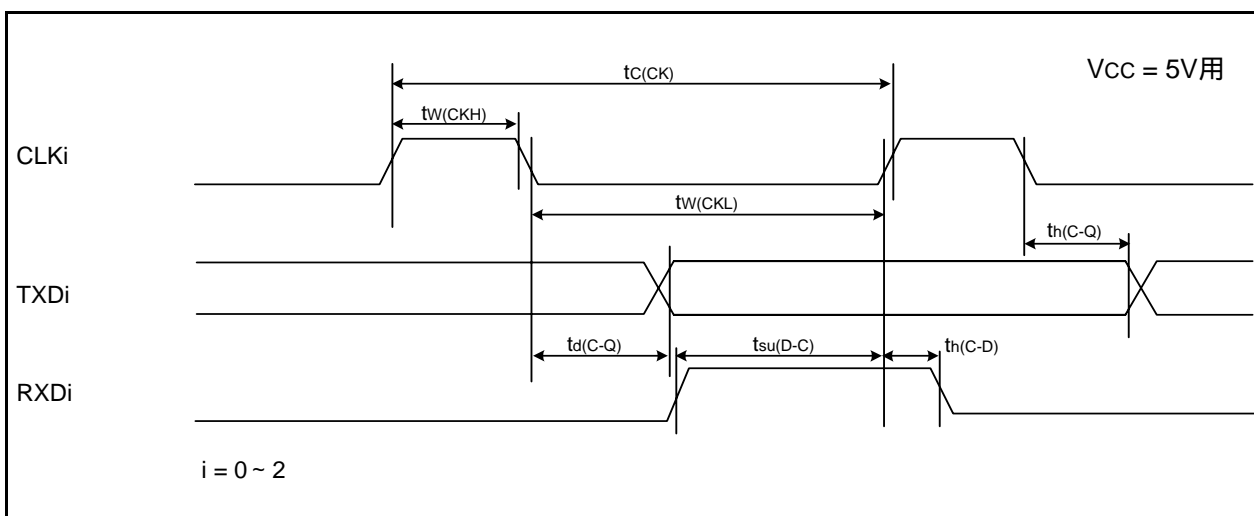


図5.11 Vcc=5V時のシリアルインタフェースのタイミング

表5.22 外部割り込みINTi入力 (i = 0、2、3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	250(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	250(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

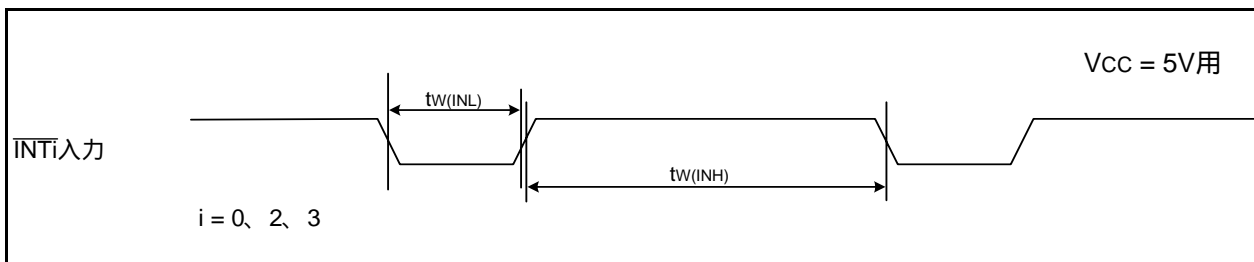


図5.12 Vcc=5V時の外部割り込みINTi入力タイミング

表5.23 電気的特性(3) [Vcc = 3V]

記号	項目		測定条件	規格値			単位	
				最小	標準	最大		
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT 以外	I _{OH} = - 1mA		Vcc - 0.5		Vcc	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 5mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	I _{OH} = - 1mA	Vcc - 0.5		Vcc	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	Vcc - 0.5		Vcc	V
			駆動能力LOW	I _{OH} = - 50 μA	Vcc - 0.5		Vcc	V
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT 以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 5mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
			駆動能力LOW	I _{OL} = 50 μA			0.5	V
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、TRAIO、TRFI、 RXD0、RXD1、CLK0、 CLK1、CLK2、SSI、 SCL、SDA、SSO			0.1	0.3		V
		RESET			0.1	0.4		V
I _{IH}	“H”入力電流		VI = 3V				4.0	μA
I _{IL}	“L”入力電流		VI = 0V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		VI = 0V		66	160	500	k
R _{I_{XIN}}	帰還抵抗	XIN				3.0		M
R _{I_{XCIN}}	帰還抵抗	XCIN				18		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、Vcc = 2.7V ~ 3.3V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 10MHzです。

表5.24 電气的特性(4) [Vcc = 3V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.7V ~ 3.3V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5		mA
			XIN = 10MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		2		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		5.5	11	mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 10MHz 低速オンチップオシレータ発振 = 125kHz 8分周		2.2		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		145	400	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = "1"		145	400	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP="1"		30		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		28	85	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		17	50	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		3.3		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振=32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		2.1		μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		0.65	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		1.65		μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=3V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=3V$]

表5.25 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_c(XIN)$	XIN入力サイクル時間	100		ns
$t_{WH}(XIN)$	XIN入力“H”パルス幅	40		ns
$t_{WL}(XIN)$	XIN入力“L”パルス幅	40		ns
$t_c(XCIN)$	XCIN入力サイクル時間	14		μs
$t_{WH}(XCIN)$	XCIN入力“H”パルス幅	7		μs
$t_{WL}(XCIN)$	XCIN入力“L”パルス幅	7		μs

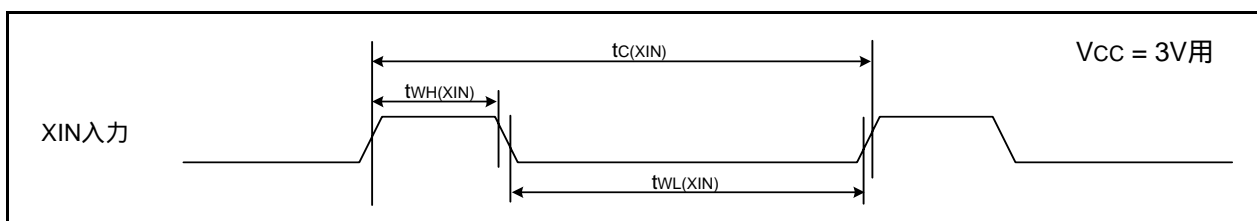


図5.13 $V_{CC}=3V$ 時のXIN入力、XCIN入力タイミング

表5.26 TRAI0入力、INT1入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRAI0)$	TRAI0入力サイクル時間	300		ns
$t_{WH}(TRAI0)$	TRAI0入力“H”パルス幅	120		ns
$t_{WL}(TRAI0)$	TRAI0入力“L”パルス幅	120		ns

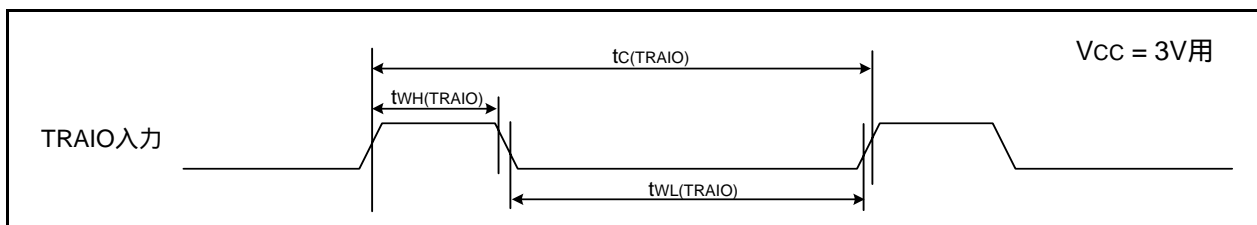


図5.14 $V_{CC}=3V$ 時のTRAI0入力、INT1入力タイミング

表5.27 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_c(TRFI)$	TRFI入力サイクル時間	1200(注1)		ns
$t_{WH}(TRFI)$	TRFI入力“H”パルス幅	600(注2)		ns
$t_{WL}(TRFI)$	TRFI入力“L”パルス幅	600(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウントソース周波数 $\times 3$)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウントソース周波数 $\times 1.5$)以上になるように調整してください。

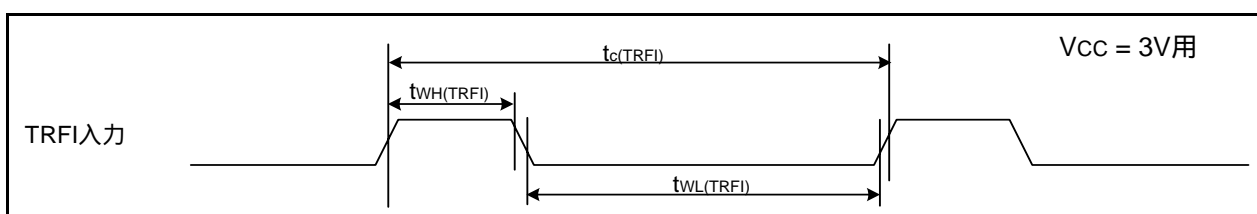


図5.15 $V_{CC}=3V$ 時のTRFI入力タイミング

表5.28 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	300		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	150		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	150		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		80	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	70		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

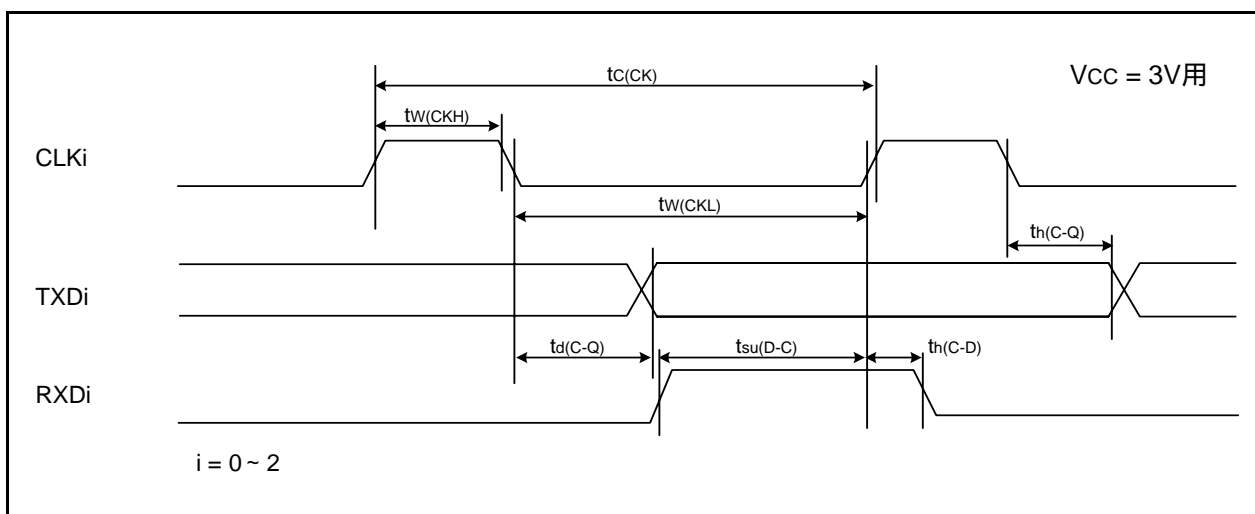


図5.16 Vcc=3V時のシリアルインタフェースのタイミング

表5.29 外部割り込みINTi入力 (i = 0、2、3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	380(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	380(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数 × 3)と最小値のいずれか値の大きい方となります。

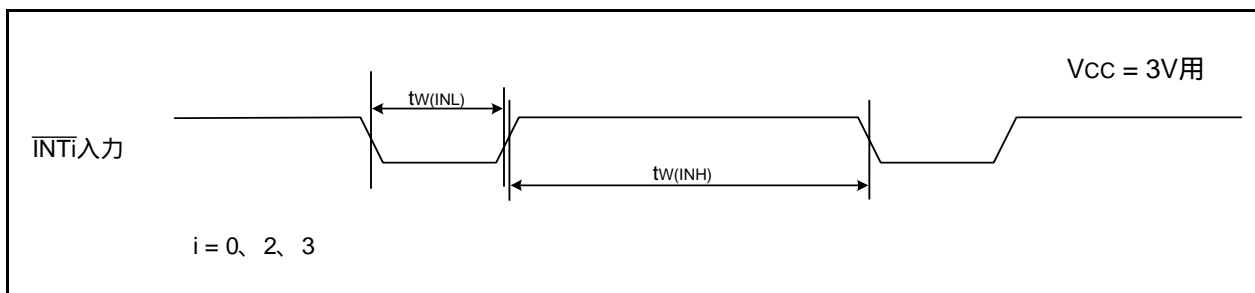


図5.17 Vcc=3V時の外部割り込みINTi入力タイミング

表5.30 電気的特性(5) [Vcc = 2.2V]

記号	項目		測定条件		規格値			単位
					最小	標準	最大	
VOH	“H”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OH} = - 1mA		VCC-0.5		Vcc	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OH} = - 2mA	VCC-0.5		Vcc	V
			駆動能力LOW	I _{OH} = - 1mA	VCC-0.5		Vcc	V
		XOUT	駆動能力HIGH	I _{OH} = - 0.1mA	VCC-0.5		Vcc	V
駆動能力LOW	I _{OH} = - 50 μA		VCC-0.5		Vcc	V		
VOL	“L”出力電圧	P2_0 ~ P2_7、XOUT以外	I _{OL} = 1mA				0.5	V
		P2_0 ~ P2_7	駆動能力HIGH	I _{OL} = 2mA			0.5	V
			駆動能力LOW	I _{OL} = 1mA			0.5	V
		XOUT	駆動能力HIGH	I _{OL} = 0.1mA			0.5	V
駆動能力LOW	I _{OL} = 50 μA				0.5	V		
VT+-VT-	ヒステリシス	INT0、INT1、INT2、 INT3、KI0、KI1、KI2、 KI3、TRAIO、TRFI、 RXD0、RXD1、CLK0、 CLK1、CLK2、SSI、 SCL、SDA、SSO			0.05	0.3		V
		RESET			0.05	0.15		V
I _{IH}	“H”入力電流		V _I = 2.2V				4.0	μA
I _{IL}	“L”入力電流		V _I = 0V				- 4.0	μA
R _{PULLUP}	プルアップ抵抗		V _I = 0V		100	200	600	k
R _{I_{XIN}}	帰還抵抗	XIN				5		M
R _{I_{XCIN}}	帰還抵抗	XCIN				35		M
V _{RAM}	RAM保持電圧		ストップモード時		1.8			V

注1. 指定のない場合は、Vcc = 2.2V、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン)、f(XIN) = 5MHzです。

表5.31 電気的特性(6) [Vcc = 2.2V]
 (指定のない場合は、Topr = - 20 ~ 85 (Nバージョン)/ - 40 ~ 85 (Dバージョン))

記号	項目	測定条件	規格値			単位	
			最小	標準	最大		
Icc	電源電流 (Vcc = 2.2V ~ 2.7V) シングルチップモードで、出力端子は開放、その他の端子はVss	高速クロックモード	XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 分周なし		2.5		mA
			XIN = 5MHz (方形波) 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周		1		mA
		高速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 分周なし		4		mA
			XINクロック停止 高速オンチップオシレータ発振fOCO = 5MHz 低速オンチップオシレータ発振 = 125kHz 8分周		1.7		mA
		低速オンチップオシレータモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz 8分周 FMR47 = "1"		110	300	μA
		低速クロックモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz FMR47 = "1"		125	350	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz RAM上のプログラム動作 フラッシュメモリ停止時 FMSTP="1"		27		μA
		ウェイトモード	XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック動作 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		20	60	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振 = 125kHz WAIT命令実行中 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		12	40	μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(HIGH駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		2.8		μA
			XINクロック停止 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 XCINクロック発振 = 32kHz(LOW駆動) WAIT命令実行中 VCA27 = VCA26 = VCA25 = "0" VCA20="1"		1.9		μA
		ストップモード	XINクロック停止、Topr = 25 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		0.6	3.0	μA
			XINクロック停止、Topr = 85 高速オンチップオシレータ発振停止 低速オンチップオシレータ発振停止 CM10 = " 1 " 周辺クロック停止 VCA27 = VCA26 = VCA25 = "0"		1.60		μA

タイミング必要条件 (指定のない場合は、 $V_{CC}=2.2V$ 、 $V_{SS}=0V$ 、 $T_{opr}=25$) [$V_{CC}=2.2V$]

表5.32 XIN入力、XCIN入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(XIN)}$	XIN入力サイクル時間	200		ns
$t_{WH(XIN)}$	XIN入力“H”パルス幅	90		ns
$t_{WL(XIN)}$	XIN入力“L”パルス幅	90		ns
$t_{c(XCIN)}$	XCIN入力サイクル時間	14		μs
$t_{WH(XCIN)}$	XCIN入力“H”パルス幅	7		μs
$t_{WL(XCIN)}$	XCIN入力“L”パルス幅	7		μs

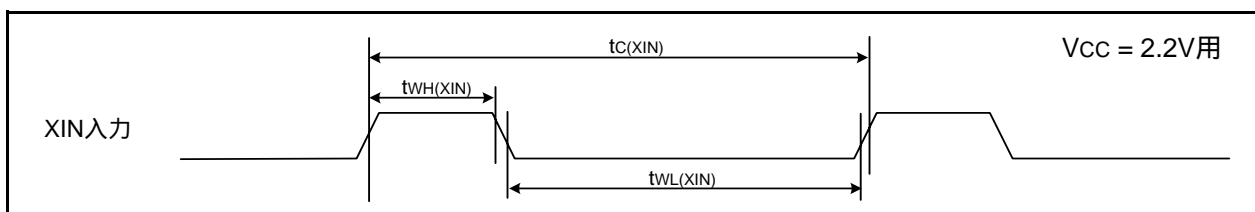


図5.18 $V_{CC}=2.2V$ 時のXIN入力、XCIN入力タイミング

表5.33 TRAIO入力、INT1入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRAIO)}$	TRAIO入力サイクル時間	500		ns
$t_{WH(TRAIO)}$	TRAIO入力“H”パルス幅	200		ns
$t_{WL(TRAIO)}$	TRAIO入力“L”パルス幅	200		ns

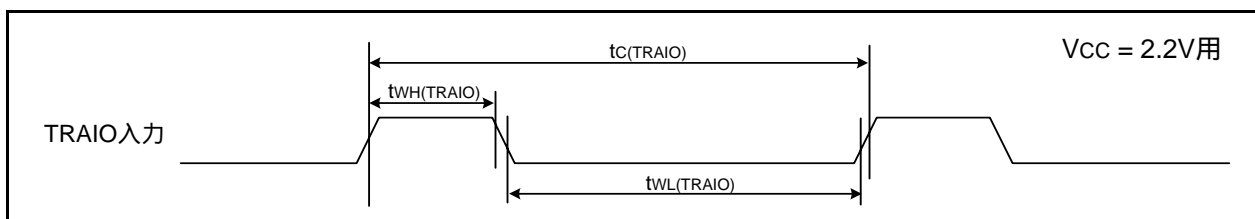


図5.19 $V_{CC}=2.2V$ 時のTRAIO入力、INT1入力タイミング

表5.34 TRFI入力

記号	項目	規格値		単位
		最小	最大	
$t_{c(TRFI)}$	TRFI入力サイクル時間	2000(注1)		ns
$t_{WH(TRFI)}$	TRFI入力“H”パルス幅	1000(注2)		ns
$t_{WL(TRFI)}$	TRFI入力“L”パルス幅	1000(注2)		ns

注1. タイマRFのインプットキャプチャモードを使用するときは、サイクル時間が(1/タイマRFのカウンタソース周波数 $\times 3$)以上になるように調整してください。

注2. タイマRFのインプットキャプチャモードを使用するときは、パルス幅が(1/タイマRFのカウンタソース周波数 $\times 1.5$)以上になるように調整してください。

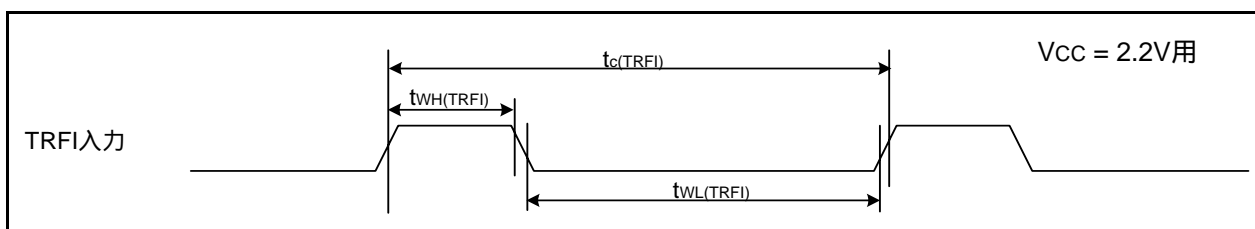


図5.20 $V_{CC}=2.2V$ 時のTRFI入力タイミング

表5.35 シリアルインタフェース

記号	項目	規格値		単位
		最小	最大	
$t_{c(CK)}$	CLKi入力サイクル時間	800		ns
$t_{w(CKH)}$	CLKi入力“H”パルス幅	400		ns
$t_{w(CKL)}$	CLKi入力“L”パルス幅	400		ns
$t_{d(C-Q)}$	TXDi出力遅延時間		200	ns
$t_{h(C-Q)}$	TXDiホールド時間	0		ns
$t_{su(D-C)}$	RXDi入力セットアップ時間	150		ns
$t_{h(C-D)}$	RXDi入力ホールド時間	90		ns

i = 0 ~ 2

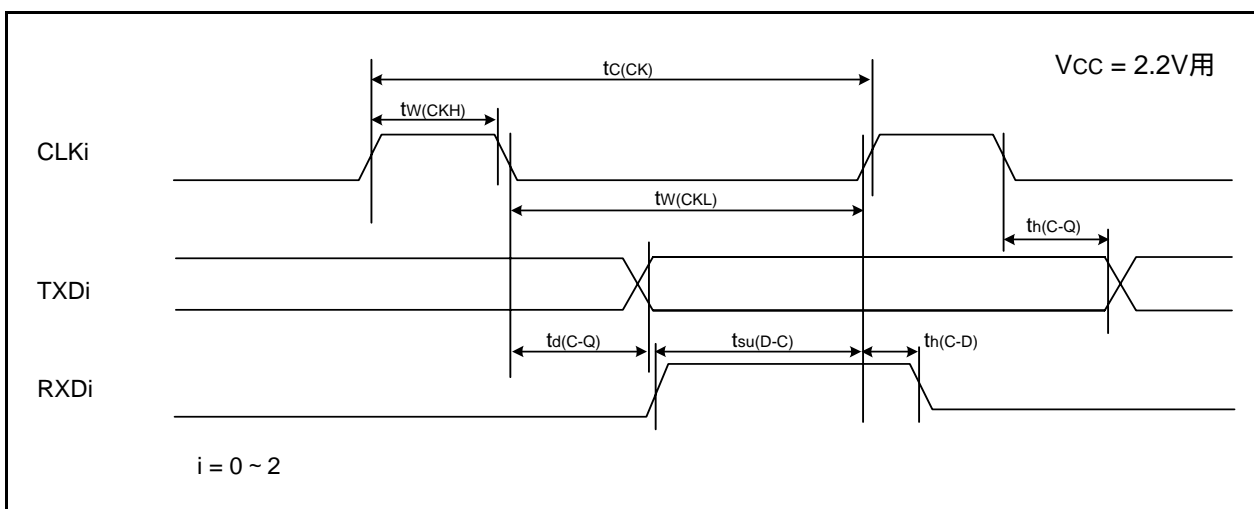


図5.21 Vcc=2.2V時のシリアルインタフェースのタイミング

表5.36 外部割り込みINTi入力 (i = 0、2、3)

記号	項目	規格値		単位
		最小	最大	
$t_{w(INH)}$	INTi入力“H”パルス幅	1000(注1)		ns
$t_{w(INL)}$	INTi入力“L”パルス幅	1000(注2)		ns

注1. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“H”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

注2. INTi入力フィルタ選択ビットでフィルタありを選択した場合、INTi入力“L”パルス幅の最小値は(1/デジタルフィルタサンプリング周波数×3)と最小値のいずれか値の大きい方となります。

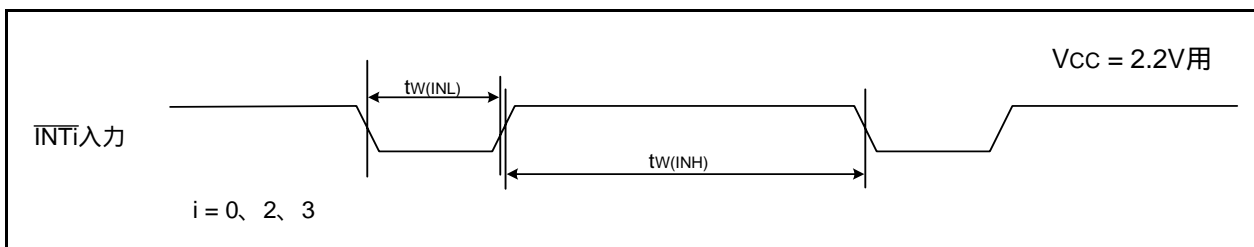
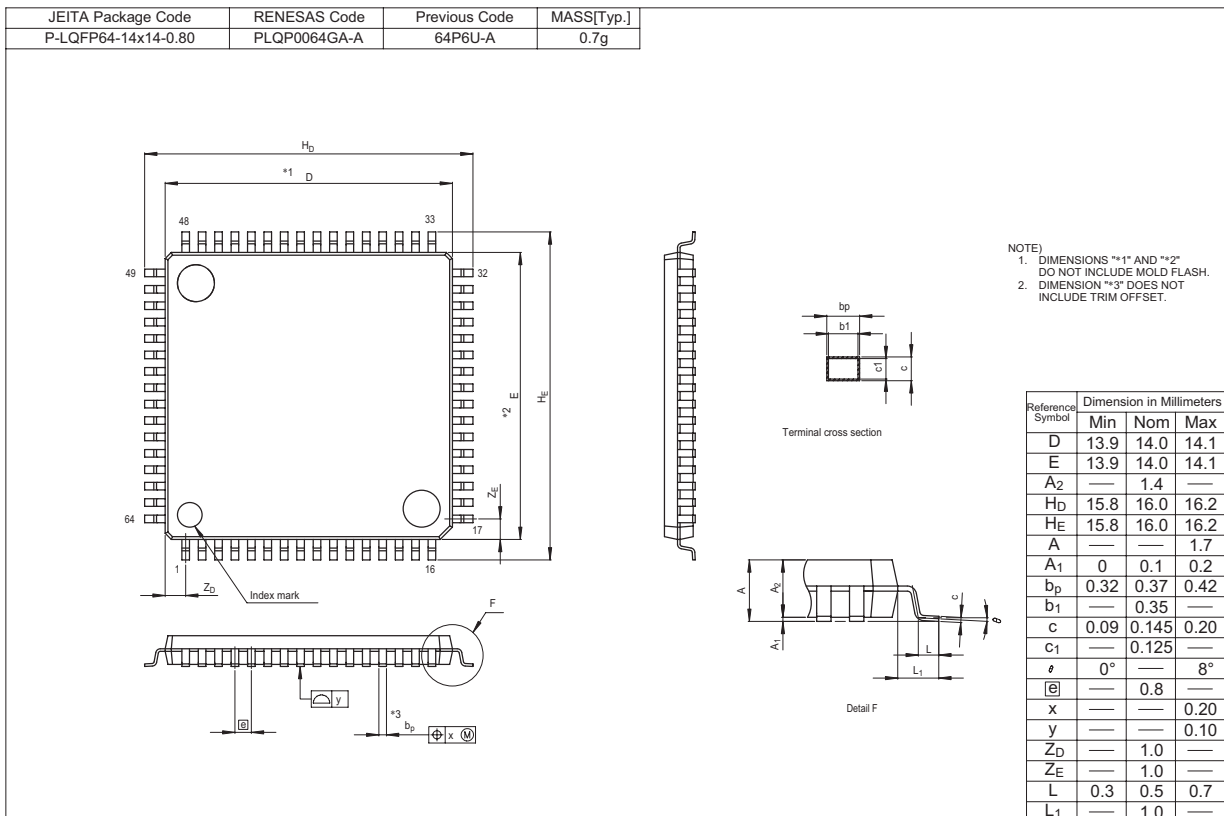
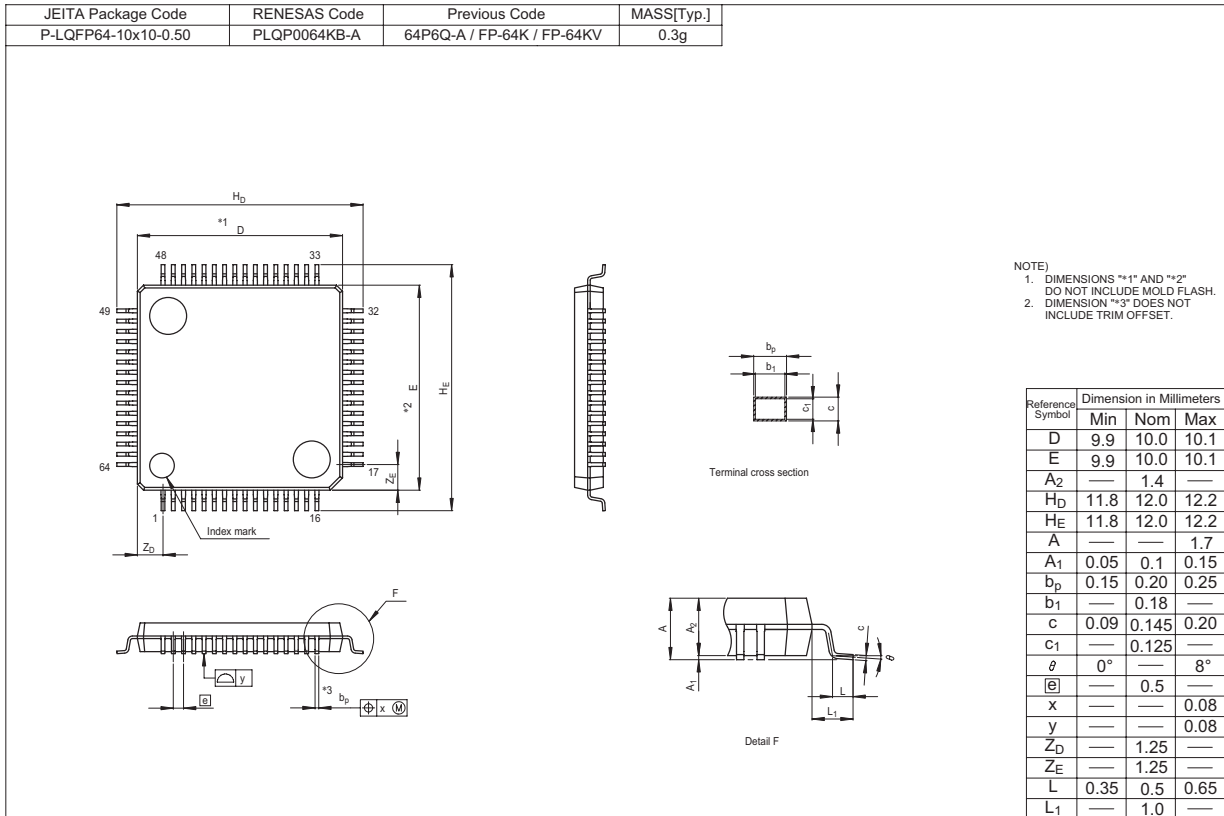
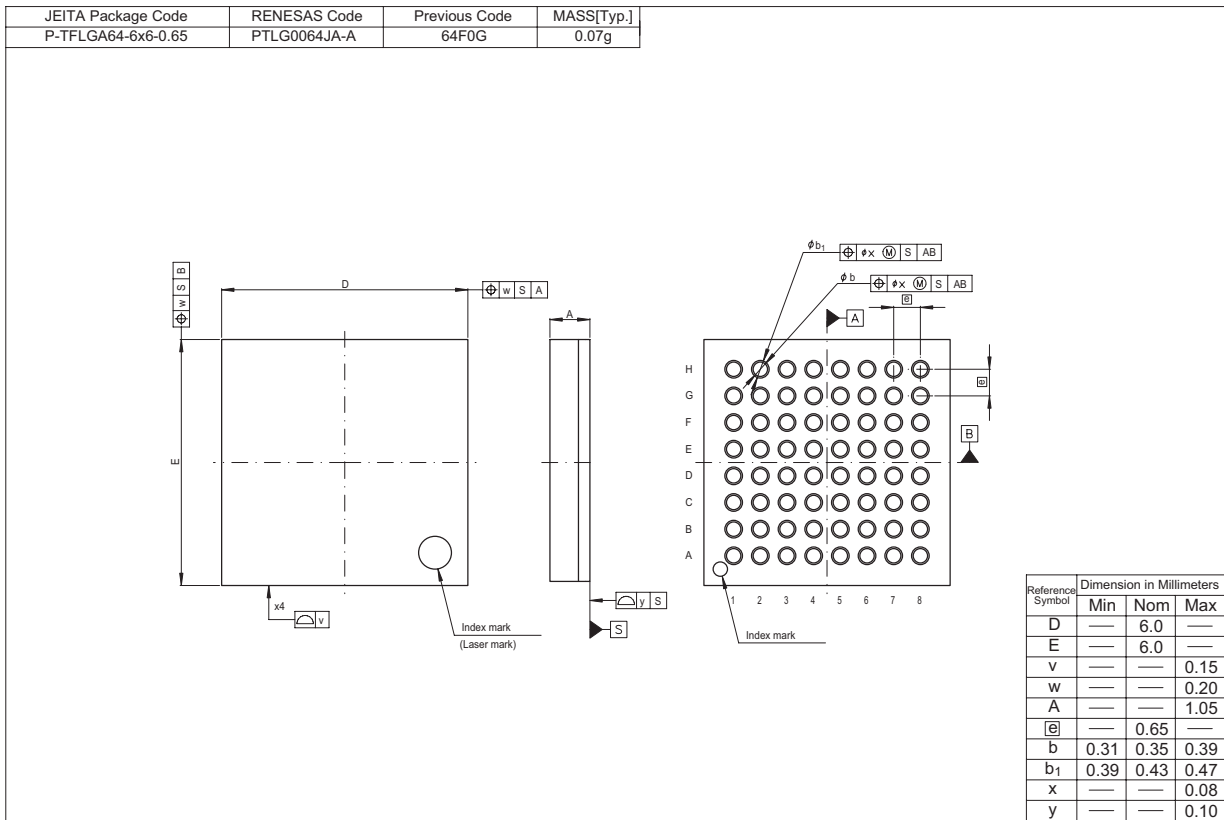


図5.22 Vcc=2.2V時の外部割り込みINTi入力タイミング

外形寸法図

外形寸法図の最新版や実装に関する情報は、ルネサス テクノロジホームページの「パッケージ」に掲載されています。





改訂記録

R8C/2Aグループ、R8C/2Bグループデータシート

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2006.03.16	-	初版発行
0.02	2006.04.03	7 8 29	表1.7 ピン番号別端子名一覧(1) 注1追加 表1.8 ピン番号別端子名一覧(2) 注1追加 表4.11 SFR一覧(11) 029Ah: TRFC0 TRFCR0 シンボル変更 029Bh: TRFC1 TRFCR1 シンボル変更
0.10	2006.06.26	全ページ 2、4 3、5 8 9 10、11 12、13 19 20 22 23 30 31	端子名変更 CMP0_0 TRFO00、CMP0_1 TRFO01、CMP0_2 TRFO02、 CMP1_0 TRFO10、CMP1_1 TRFO11、CMP1_2 TRFO12、 TRFIN TRFI 表1.1 R8C/2Aグループの仕様概要(1)、表1.3 R8C/2Bグループの仕様概要(1) I/Oポート：・入力専用：「3」「2」変更 割り込み：内部：「17要因」「23要因」変更 表1.2 R8C/2Aグループの仕様概要(2)、表1.4 R8C/2Bグループの仕様概要(2) ROM修正機能 削除 図1.3 ブロック図 変更 図1.4 ピン配置図(上面図) 変更 表1.7 ピン番号別端子名一覧(1)、表1.8 ピン番号別端子名一覧(2) 変更 表1.9 端子機能の説明(1)、表1.10 端子の機能説明(2) 変更 表4.1 SFR一覧(1) ・0008h：モジュールスタンバイ制御レジスタ、MSTCR、00h 追加 ・001Ch：「00h」「00h、10000000b」変更 ・注6追加 表4.2 SFR一覧(2) ・005Fh：キャプチャ割り込み制御レジスタ、CAPIC、XXXXX000b 追加 表4.4 SFR一覧(4) ・00DCh：D/A 制御レジスタ「00DDh」「00DCh」へ変更 ・00F5h：「XXXX00XXb」「00h」変更 表4.5 SFR一覧(5) ・0105h：LIN 特殊機能レジスタ、LINCR2、00h 追加 ・0137h：「TSDSTR」「TRDSTR」へ変更 表4.12 SFR一覧(12) ・02C2h、02C3h：A/D レジスタ1、AD1、XXh 削除 ・02C4h、02C5h：A/D レジスタ2、AD2、XXh 削除 ・02C6h、02C7h：A/D レジスタ3、AD3、XXh 削除 外形寸法図「外形寸法図の最新版や、、に掲載されています。」追加
0.20	2006.07.28	31～54	5.電気的特性 追加
0.30	2006.12.22	6、7 17、18	表1.5、表1.6 一部型名追加 図1.1、図1.2「A：96KB」追加 図3.1、図3.2 変更

改訂記録	R8C/2A グループ、R8C/2B グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.30	2006.12.22	19 37	表4.1 000Ah：リセット後の値「00XXX000b」 「00h」へ修正 0008h：「モジュール動作許可レジスタ」へレジスタ名修正 000Fh：リセット後の値「00011111b」 「00X11111b」へ変更 表5.11 変更
1.00	2007.01.31	全ページ 3、5 6、7 17、18 19 23 31 32 37 44 46 48 50 52 53 54	「開発中」表記を削除 表1.2、表1.4 消費電流「TBD」を変更 表1.5、表1.6 一部型名追加、一部型名の開発中表記を削除 図1.1、図1.2 「A：96KB」、「C：128KB」追加 図3.1、図3.2 変更 表4.1 0008h：「モジュール動作許可レジスタ」へレジスタ名変更 000Ah：リセット後の値「00XXX000b」 「00h」へ修正 000Fh：リセット後の値「00011111b」 「00X11111b」へ変更 002Bh：高速オンチップオシレータ制御レジスタ6 追加 表4.5 0105h：「LINコントロールレジスタ2」へレジスタ名変更 表5.2 変更 表5.3、表5.4 注1を変更 表5.11 変更 表5.17 「TBD」を変更 表5.21、図5.11 「i = 0 ~ 2」へ変更 表5.24 「TBD」を変更 表5.28 変更、図5.16 「i = 0 ~ 2」へ変更 表5.31 「TBD」を変更 表5.34 「TBD」を変更 表5.35、図5.21 「i = 0 ~ 2」へ変更
2.00	2007.10.17	全ページ 3、5 6 ~ 8 10 11 19、20 24 25	「PTLG0064JA-A (64F0G)パッケージ品」追加 表1.2、表1.4 「動作周囲温度：Yバージョン」、「パッケージ：64ピンFLGA」、「注1」追加 表1.5、表1.6 一部型名追加、開発中表記を削除 図1.1、図1.2 「LG：PTLG0064JA-A (0.65 mmピンピッチ、6mm角ボ ディ)」、「Y：動作周囲温度-20 ~ 105 °C」、「注1」追加 図1.4 「64ピンLQFPパッケージ品の」追加 図1.5 追加 図3.1、図3.2 一部型名を追加 表4.4 00F5h：リセット後の値「00h」 「000000XXb」へ変更 表4.5 0013Bh：「タイマRD アウトプットマスタ許可レジスタ1」へ レジスタ名変更

改訂記録	R8C/2A グループ、R8C/2B グループデータシート
------	-------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
2.00	2007.10.17	33 59	表5.1 Pd : 定格値「TBD」 「700」へ変更、「注1」追加 外形寸法図「PTLG0064JA-A (64F0G)パッケージ品」追加
2.10	2007.11.26	2、4 6～9 20、21 22 41	表1.1、表1.3 クロック : 「リアルタイムクロック(タイマRE)あり」追記 表1.5、表1.6 一部型名追加、注1追記 図1.1、図1.2 変更 図3.1、図3.2 変更 表4.1 002Ch : 高速オンチップオシレータ制御レジスタ7 追記 表5.11 変更

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

- 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
- 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍事用途の目的で使用しないでください。また、輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
- 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりましては、事前に弊社営業窓口で最新の情報をご確認頂きますとともに、弊社ホームページ(<http://www.renesas.com>)などを通じて公開される情報に常にご注意ください。
- 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
- 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断して下さい。弊社は、適用可否に対する責任を負いません。
- 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会下さい。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
- 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないで下さい。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 生命維持装置。
 - 人体に埋め込み使用するもの。
 - 治療行為（患部切り出し、薬剤投与等）を行なうもの。
 - その他、直接人命に影響を与えるもの。
- 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
- 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエンジニアリング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願い致します。
- 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願い致します。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
- 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断り致します。
- 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会下さい。



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路プレイス)	(052) 249-3330
関	西	支	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	取	支	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	〒812-0011	福岡市博多区博多駅前2-17-1 (博多プレステージ5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com