

SH7786 グループ

R01AN0519JJ0101

SH7786 初期設定例

Rev1.00

2011.3.31

要旨

この資料は、SH7786 の起動時に必要な設定項目の例を示します。

動作確認デバイス

SH7786

目次

1.	はじめに.....	2
1.1	仕様.....	2
1.2	使用機能.....	2
1.3	適用条件.....	2
2.	ローカルバスステートコントローラ(LBSC).....	4
2.1	レジスタ構成.....	4
2.2	CnBCRの説明.....	5
2.3	CnWCRの説明.....	7
3.	DDR3-SDRAMインタフェース(DBSC3).....	8
3.1	レジスタ構成.....	9
4.	応用例の説明.....	10
4.1	AP-SH4AD-0Aの概要.....	10
4.1.1	デバイス一覧.....	10
4.1.2	メモリマップ.....	10
4.2	参考プログラムの説明.....	11
4.3	参考プログラムにおける設定内容.....	13
4.4	参考プログラムフローチャート.....	14
5.	参考プログラム例.....	23
6.	参考ドキュメント.....	49
	ホームページとサポート窓口.....	49
	改訂記録.....	50

1. はじめに

1.1 仕様

パワーオンリセット解除後に、ローカルバスステートコントローラ(LBSC)、DDR3-SDRAM インタフェース(DBSC3)の初期設定を行います。

1.2 使用機能

- ローカルバスステートコントローラ(LBSC)
- DDR3-SDRAM インタフェース(DBSC3)

1.3 適用条件

評価ボード	AP-AH4AD-0A(アルファプロジェクト製)(注 1)	
	CPU	SH7786
	動作周波数	内部クロック: 533MHz SuperHyway クロック: 267MHz 周辺クロック: 44MHz DDR3 クロック: 533MHz 外部バスクロック: 89MHz
	クロック動作モード	クロックモード 3 (MD0=High, MD1=High, MD2=Low, MD3=Low)
	エンディアン	リトルエンディアン (MD8=High)
	アドレスモード	29 ビットアドレスモード (MD10=Low)
	エリア 0 バス幅	16bit (MD4=Low, MD5=High, MD6=Low)
	メモリ	NOR 型 Flash メモリ 16M バイト (エリア 0): Spansion 製 S29GL128P90TFIRI DDR3-SDRAM 256M バイト(エリア 2~5): Micron 製 MT41J64M16LA-187E (2 個)
ツールチェーン	Super-H RISC engine Standard Toolchain Ver9.3.2.0	
	コンパイルオプション	-cpu=sh4a -endian=little -include="\$ (PROJDIR)¥inc¥drv", "\$ (PROJDIR)¥inc" -object="\$ (CONFIGDIR)¥\$(FILELEAF).obj" -debug -gbr=auto -chgincpath -errorpath -global_volatile=0 -opt_range=all -infinite_loop=0 -del_vacant_loop=0 -struct_alloc=1 -nologo
	アセンブラオプション	-cpu=sh4a -endian=little -round=zero -denormalize=off -include="\$ (PROJDIR)¥inc" -include="\$ (PROJDIR)¥inc¥drv" -debug -object="\$ (CONFIGDIR)¥\$(FILELEAF).obj" -literal=pool,branch,jump,return -nolist -nologo -chgincpath -errorpath
リンカオプション	-noprelink -rom=D=R -nomessage -list= "\$ (CONFIGDIR)¥\$(PROJECTNAME).map" -nooptimize -start=INTHandler,VECTTBL,INTTBL,IntPRG/0800, PResetPRG/01000,P,C,C\$BSEC,C\$DSEC,D/02000, RSTHandler/0A0000000,B,R/0ADF00000, S/0ADFF0000 -nologo	

(注 1) AP-SH4AD-0A の使用方法等の詳細は「AP-SH4AD-0A Hardware Manual」を参照してください。

表 1 に本応用例でのセクション配置を示します。

表 1 セクション配置

セクション名	セクション用途	領域	配置アドレス(仮想アドレス)	
INTHandler	例外/割込みハンドラ	ROM	0x00000800	P0領域 (キャッシング可能, MMUアドレス変換不可)
VECTTBL	リセットベクタテーブル 割込みベクタテーブル	ROM		
INTTBL	割込みマスクテーブル	ROM		
IntPRG	割込み関数	ROM		
PRResetPRG	リセットプログラム	ROM	0x00001000	
P	プログラム領域	ROM	0x00002000	
C	定数領域	ROM		
C\$BSEC	未初期化データ領域用アドレス構造	ROM		
C\$DSEC	初期化データ領域用アドレス構造	ROM		
D	初期化データ	ROM		
RSTHandler	リセットハンドラ	ROM		0xA0000000
B	未初期化データ領域	RAM	0xADF00000	
R	初期化データ領域	RAM		
S	スタック領域	RAM		0xADFF0000

2. ローカルバスステートコントローラ(LBSC)

ローカルバスステートコントローラ (LBSC) は、外部メモリ空間の分割(チップ選択信号の設定)、各種メモリおよび接続デバイス仕様に応じた制御信号の出力などを行います。

2.1 レジスタ構成

表 2 にローカルバスステートコントローラ(LBSC)のレジスタ構成を示します。

表 2 LBSC レジスタ構成

名称	略称	R/W	P4アドレス	アクセス サイズ	同期 クロック
メモリアドレスマップ選択レジスタ	MMSELR	R/W	H'FC40 0020	32	SHck
バスコントロールレジスタ	BCR	R/W	H'FF80 1000	32	Bck
CS0バスコントロールレジスタ	CS0BCR	R/W	H'FF80 2000	32	Bck
CS1バスコントロールレジスタ	CS1BCR	R/W	H'FF80 2010	32	Bck
CS2バスコントロールレジスタ	CS2BCR	R/W	H'FF80 2020	32	Bck
CS3バスコントロールレジスタ	CS3BCR	R/W	H'FF80 2030	32	Bck
CS4バスコントロールレジスタ	CS4BCR	R/W	H'FF80 2040	32	Bck
CS5バスコントロールレジスタ	CS5BCR	R/W	H'FF80 2050	32	Bck
CS6バスコントロールレジスタ	CS6BCR	R/W	H'FF80 2060	32	Bck
CS0ウェイトコントロールレジスタ	CS0WCR	R/W	H'FF80 2008	32	Bck
CS1ウェイトコントロールレジスタ	CS1WCR	R/W	H'FF80 2018	32	Bck
CS2ウェイトコントロールレジスタ	CS2WCR	R/W	H'FF80 2028	32	Bck
CS3ウェイトコントロールレジスタ	CS3WCR	R/W	H'FF80 2038	32	Bck
CS4ウェイトコントロールレジスタ	CS4WCR	R/W	H'FF80 2048	32	Bck
CS5ウェイトコントロールレジスタ	CS5WCR	R/W	H'FF80 2058	32	Bck
CS6ウェイトコントロールレジスタ	CS6WCR	R/W	H'FF80 2068	32	Bck
CS5PCMCIAコントロールレジスタ	CS5PCR	R/W	H'FF80 2070	32	Bck
CS6PCMCIAコントロールレジスタ	CS6PCR	R/W	H'FF80 2080	32	Bck

2.2 CnBCRの説明

CnBCR はアイドルサイクル、バス幅、メモリの種類を設定します。

図 1 に同一空間アイドルサイクル、図 2 に別空間アイドルサイクルのタイミングチャートを示します。

表 3 にタイミングのシンボルの説明を示します。

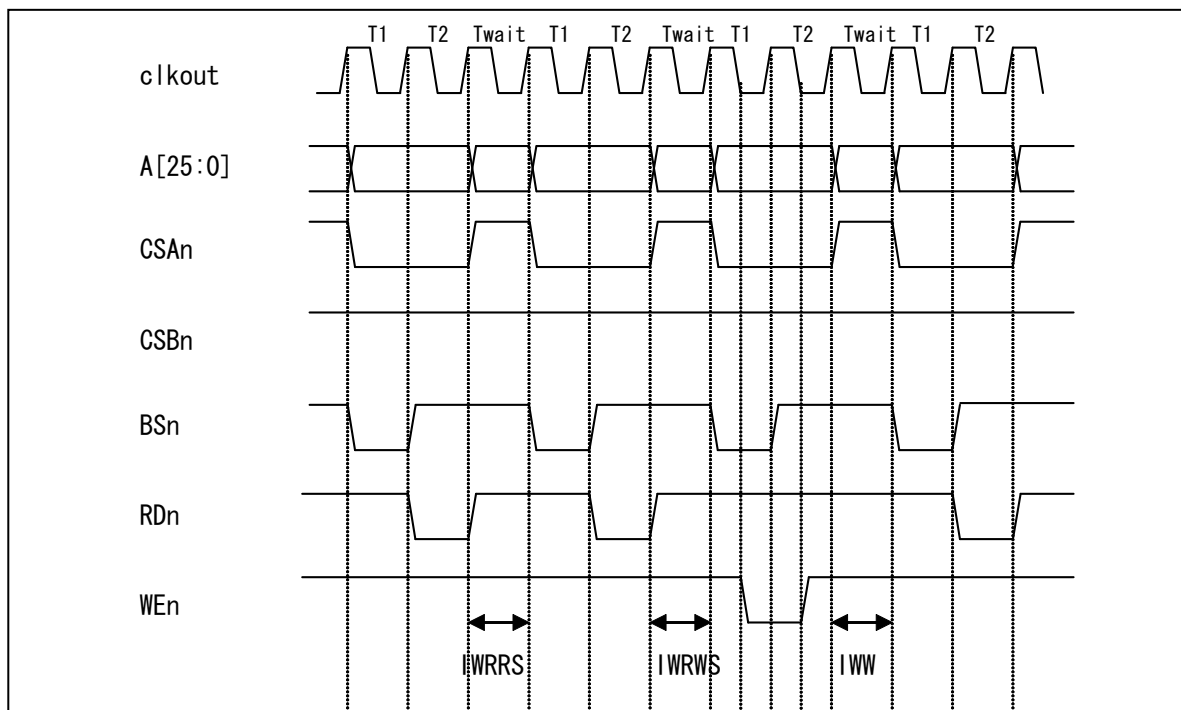


図 1 同一空間アイドルサイクル

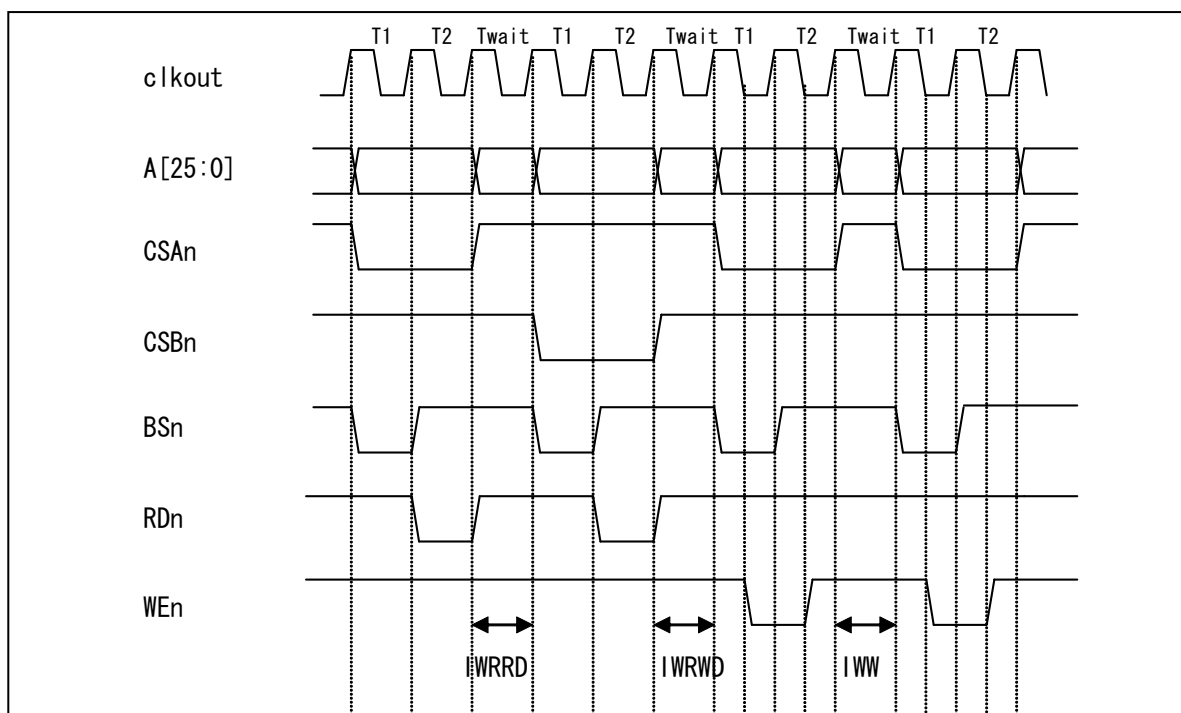


図 2 別空間アイドルサイクル

表 3 アイドルサイクルシンボル説明

シンボル名	内容
IWRRS	同一空間リード-リードサイクル間アイドル
IWRWS	同一空間リード-ライトサイクル間アイドル
IWRRD	別空間リード-リードサイクル間アイドル
IWRWD	別空間リード-ライトサイクル間アイドル
IWW	ライト-リードサイクル間アイドル ライト-ライトサイクル間アイドル

2.3 CnWCRの説明

CnWCR はアクセスサイクルのセットアップ/ホールド、ウェイトサイクルを設定します。

ライト時のデータの出力タイミングは ADS の設定により変わります。

図 3 にアクセスサイクルのタイミングチャートを示します。

表 4 にアクセスサイクルのシンボルの説明を示します。

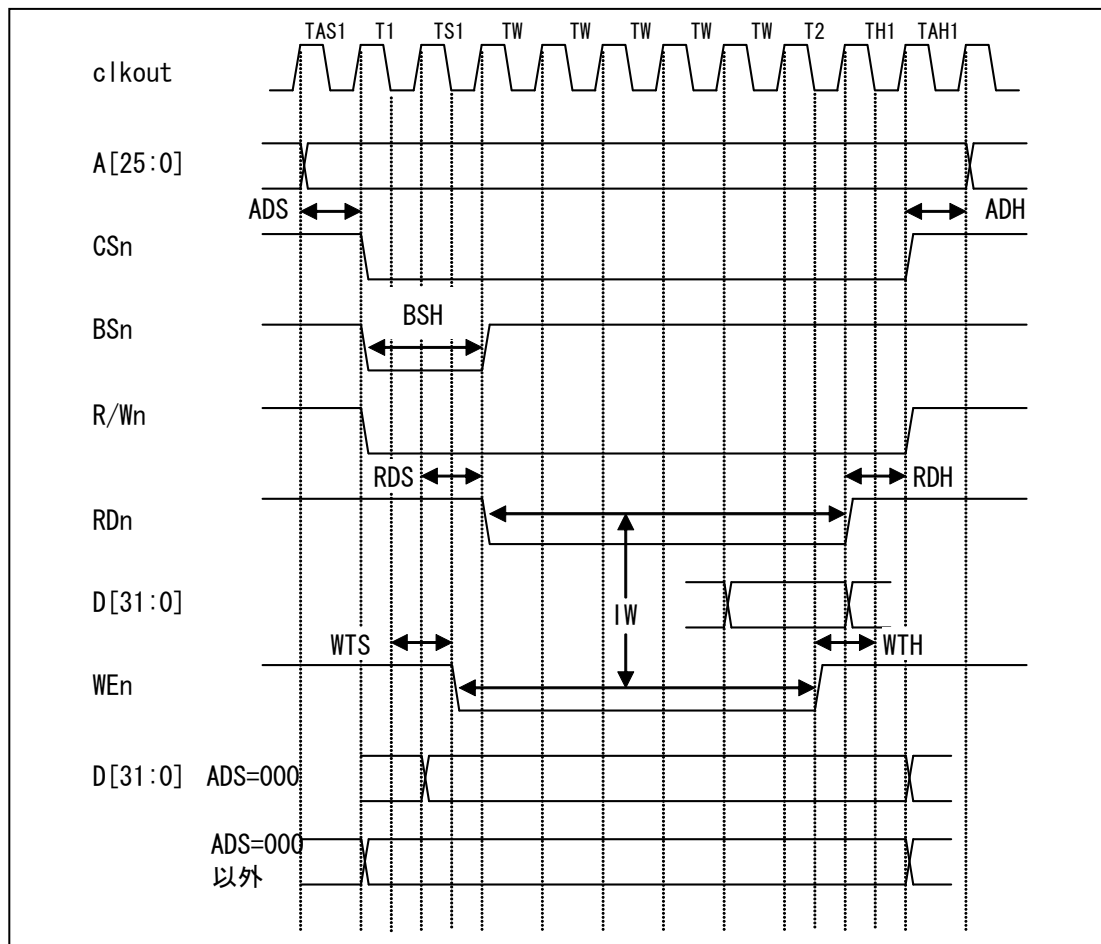


図 3 アクセスサイクルのタイミングチャート

表 4 アクセスサイクルのシンボル説明

シンボル名	説明
ADS	アドレスアサート-CSアサートの遅延期間
ADH	CSネゲート-アドレスネゲートの遅延期間
BSH	BSのサイクル数
RDS	CSアサート-リードアサートの遅延期間
RDH	リードネゲート-CSネゲートの遅延期間
WTS	CSアサート-ライトアサートの遅延期間
WTH	ライトネゲート-CSネゲートの遅延期間
IW	リード及びライト期間のウェイトサイクル

3. DDR3-SDRAMインタフェース(DBSC3)

DDR3-SDRAM インタフェース (DBSC3) は、CPU や各種モジュールからのアクセスを調停し、DDR3-SDRAM に対して制御信号を出力することにより、DDR3-SDRAM を接続することが可能です。

- 32 ビットの外部データバス幅をサポート。
- DDR3-1066(533MHz)をサポート。
- バースト長は 8、シーケンシャルモードをサポート。
- 接続可能なメモリ容量と構成を表 5 に示します。

表 5 接続可能なメモリ容量と構成

外部データバス幅	メモリ容量	構成	合計容量
32ビット	512Mビット(32Mx16ビット)	2個並列接続	128Mバイト
	512Mビット(64Mx8ビット)	4個並列接続	256Mバイト
	1Gビット(64Mx16ビット)	2個並列接続	256Mバイト
	1Gビット(128Mx8ビット)	4個並列接続	512Mバイト
	2Gビット(128Mx16ビット)	2個並列接続	512Mバイト
	2Gビット(256Mx8ビット)	4個並列接続	1Gバイト
	4Gビット(256Mx16ビット)	2個並列接続	1Gバイト
	4Gビット(512Mx8ビット)	4個並列接続	2Gバイト

3.1 レジスタ構成

表 6 に DBSC3 のレジスタ構成を示します。

表 6 DBSC3 レジスタ構成

名称	略称	R/W	P4アドレス	アクセス サイズ	同期 クロック
DBSC3ステータスレジスタ	DBSTATE	R	H'FFA0 000C	32	SHck
SDRAMアクセス許可レジスタ	DBACEN	R/W	H'FFA0 0010	32	SHck
自動リフレッシュ許可レジスタ	DBRFEN	R/W	H'FFA0 0014	32	SHck
手動コマンド発行レジスタ	DBCMD	R/W	H'FFA0 0018	32	SHck
操作完了待ちレジスタ	DBWAIT	R/W	H'FFA0 001C	32	SHck
SDRAM種類設定レジスタ	DBKIND	R/W	H'FFA0 0020	32	SHck
SDRAM構成設定レジスタ	DBCONF	R/W	H'FFA0 0024	32	SHck
SDRAMタイミングレジスタ0	DBTR0	R/W	H'FFA0 0040	32	SHck
SDRAMタイミングレジスタ1	DBTR1	R/W	H'FFA0 0044	32	SHck
SDRAMタイミングレジスタ2	DBTR2	R/W	H'FFA0 0048	32	SHck
SDRAMタイミングレジスタ3	DBTR3	R/W	H'FFA0 0050	32	SHck
SDRAMタイミングレジスタ4	DBTR4	R/W	H'FFA0 0054	32	SHck
SDRAMタイミングレジスタ5	DBTR5	R/W	H'FFA0 0058	32	SHck
SDRAMタイミングレジスタ6	DBTR6	R/W	H'FFA0 005C	32	SHck
SDRAMタイミングレジスタ7	DBTR7	R/W	H'FFA0 0060	32	SHck
SDRAMタイミングレジスタ8	DBTR8	R/W	H'FFA0 0064	32	SHck
SDRAMタイミングレジスタ9	DBTR9	R/W	H'FFA0 0068	32	SHck
SDRAMタイミングレジスタ10	DBTR10	R/W	H'FFA0 006C	32	SHck
SDRAMタイミングレジスタ11	DBTR11	R/W	H'FFA0 0070	32	SHck
SDRAMタイミングレジスタ12	DBTR12	R/W	H'FFA0 0074	32	SHck
SDRAMタイミングレジスタ13	DBTR13	R/W	H'FFA0 0078	32	SHck
SDRAMタイミングレジスタ14	DBTR14	R/W	H'FFA0 007C	32	SHck
SDRAMタイミングレジスタ15	DBTR15	R/W	H'FFA0 0080	32	SHck
SDRAMタイミングレジスタ16	DBTR16	R/W	H'FFA0 0084	32	SHck
SDRAMタイミングレジスタ17	DBTR17	R/W	H'FFA0 0088	32	SHck
リフレッシュ設定レジスタ0	DBRFCNF0	R/W	H'FFA0 00E0	32	SHck
リフレッシュ設定レジスタ1	DBRFCNF1	R/W	H'FFA0 00E4	32	SHck
リフレッシュ設定レジスタ2	DBRFCNF2	R/W	H'FFA0 00E8	32	SHck
PHY部制御レジスタ0	DBPDCNT0	R/W	H'FFA0 0200	32	SHck
PHY部制御レジスタ1	DBPDCNT1	R/W	H'FFA0 0204	32	SHck
PHY部制御レジスタ2	DBPDCNT2	R/W	H'FFA0 0208	32	SHck
PHY部制御レジスタ3	DBPDCNT3	R/W	H'FFA0 020C	32	SHck
PHY部ロックレジスタ	DBPDLCK	R/W	H'FFA0 0280	32	SHck
PHY部内部レジスタアドレスレジスタ	DBPDRGA	R/W	H'FFA0 0290	32	SHck
PHY部内部レジスタデータレジスタ	DBPDRG	R/W	H'FFA0 02A0	32	SHck
バス制御部0制御レジスタ0	DBBS0CNT0	R/W	H'FFA0 0300	32	SHck
バス制御部0制御レジスタ1	DBBS0CNT1	R/W	H'FFA0 0304	32	SHck

レジスタの詳細については SH7786 グループ ユーザーズマニュアル ハードウェア編(RJJ09B0533)の「12章 DDR3-SDRAM インタフェース(DBSC3)の 12.4 レジスタの説明」を参照下さい。

4. 応用例の説明

4.1 AP-SH4AD-0Aの概要

4.1.1 デバイス一覧

本アプリケーションノートの応用例で使用する AP-SH4AD-0A のデバイス一覧を表 7 に示します。

表 7 AP-SH4AD-0A 周辺デバイス

項目	内容
NOR FLASH ROM	SPANSION 製 S29GL128P90TFIR20 ・ 16 ビットバスアクセス
DDR3-SDRAM	Micron 製 MT41J64M16LA-187E ・ 32 ビットバスアクセス
イーサネットコントローラ	SMSC 製 LAN9221 ・ 16 ビットバスアクセス

4.1.2 メモリマップ

表 8 に AP-SH4AD-0A のメモリマップを示します。

表 8 AP-SH4AD-0A メモリマップ

エリア	アドレス	接続デバイス	バス幅
0	H'0000_0000	S29GL128P90TFIR20 (16MB)	16ビット
	H'00FF_FFFF		
	H'0100_0000	シャドウ	
	H'03FF_FFFF		
1	H'0400_0000	LAN9221 (512B)	16ビット
	H'0400_0FFF		
	H'0400_1000	シャドウ	
	H'07FF_FFFF		
2	H'0800_0000	MT41J64M16LA-187E (256MB)	32ビット
	H'0BFF_FFFF		
3	H'0C00_0000		
	H'0FFF_FFFF		
4	H'1000_0000		
	H'13FF_FFFF		
5	H'1400_0000		
	H'17FF_FFFF		
6	H'1800_0000	ユーザ開放	32ビット
	H'17FF_FFFF		

4.2 参考プログラムの説明

初期設定プログラムとして下記のソースプログラム内で設定を行っています。

例外/割り込みに使用するテーブルファイル等については必要に応じて設定の追加を行ってください。

- vhandler.src
- resetprg.c
- dbsct.c
- vecttbl.src
- vect.inc
- intprg.c
- lowlevelinit.src
- lowlevelinit.inc

(1) vhandler.src

例外 (リセット, 一般例外, 割り込み) が発生すると, 例外ハンドラ (vhandler.src) が実行されます。vhandler.src には各例外のハンドラ処理と LBSC, DBSC3 の初期化処理へジャンプする記述をしています。パワーオンリセットの場合は, リセットハンドラ (_Reset_handler) が起動されます。本アプリケーションノートで使用するリセットハンドラは, High-performance Embedded Workshop が自動生成するファイルとは異なり, LBSC, DBSC3 の初期化処理を追加しています。

(2) resetprg.c

resetprg.c は High-performance Embedded Workshop で自動生成される初期化関数ファイルを元に作成されており, vecttbl.src に登録する PowerON_Reset()関数を記述しています。

PowerON_Reset()関数はリセットハンドラより分岐する最初の関数であり, VBR (ベクタベースレジスタ) の設定, セクションコピーを行う _INITSCT()関数の呼び出し, キャッシュの有効化関数の呼び出しに続いてメイン関数を呼び出します。ステータスレジスタ (SR) は, 特権モード/ユーザモードの選択, 汎用レジスタバンク指定, 例外, 割り込みを管理します。システムの設計に基づいた設定をしてください。

(3) dbsct.c

dbsct.c には, プログラムを外部接続の SDRAM 上で実行させるために, ROM から RAM へのセクションのコピー情報を記載しています。_INITSCT()関数が本記載内容に従って, リセット直後にプログラムをコピーします。「SuperH RISC engine C/C++コンパイラパッケージ アプリケーションノート (RJJ05B0577)」を参考資料としてご参照ください。

(4) vecttbl.src

vecttbl.src は, 例外(リセット, 一般例外, 割り込み)が発生した時の例外ハンドラへの登録を記述しています。

(5) vect.inc

vect.inc は, vecttbl.src に登録する為の関数を記述しています。

(6) intprg.c

intprg.c は, 例外の割り込みが発生し, 例外ハンドラから登録した割り込み関数を記述しています。

(7)lowlevelinit.src

lowlevelinit.src は、LBSC、DBSC3 の初期設定を記述しています。lowlevelinit.src はリセットハンドラ (_Reset_handler)から呼び出されます。

(8)lowlevelinit.inc

lowlevelinit.inc は、lowlevelinit.src で使用する設定値を記述しています。

4.3 参考プログラムにおける設定内容

AP-SH4AD-0A に接続した、メモリ及び周辺デバイスにアクセスするために、LBSC, DBSC3 の設定を行います。

表 9 に参考プログラムでの設定を示します。

表 9 参考プログラムでの設定

モジュール	設定内容
LBSC	CS0 空間 : フラッシュメモリ(メモリタイプ SRAM) バス幅 16bit CS1 空間 : イーサネットコントローラ(メモリタイプ SRAM) バス幅 16bit CS2,3,4,5 空間 : DDR3-SDRAM メモリ CS6 空間 : ユーザー開放(メモリタイプ SRAM) バス幅 32bit(初期値としています)
DBSC3	型名 : MT41J64M16LA-187E 容量(構成) : 1G ビット(128Mx8 ビット) 使用個数 : 2 個 CAS レイテンシ : 7 リフレッシュサイクル : 64ms, 平均リフレッシュ時間 : 7.8125 μ s バースト長 : 8 ロウアドレス : A12~A0 カラムアドレス : A11~A0

4.4 参考プログラムフローチャート

図4にパワーオンリセットから main()関数にジャンプするまでの処理フローを示します。

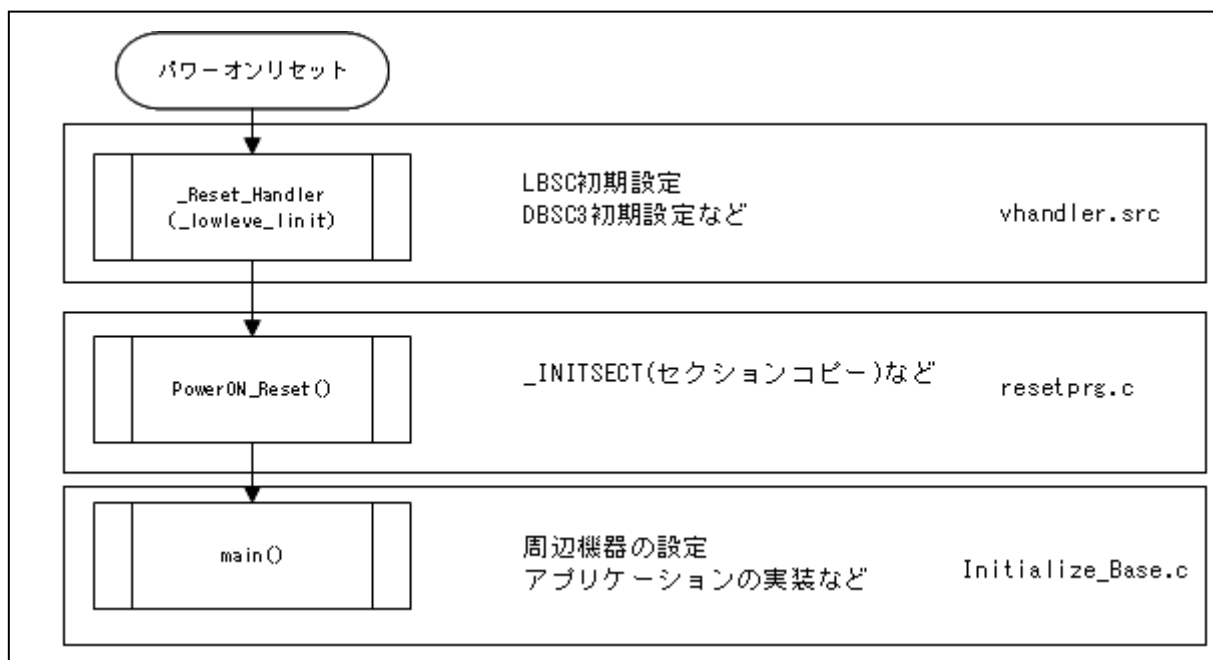


図4 パワーオンリセットから main()関数までのフロー

図 5～12 に `_lowlevel_init()`関数のフローを示します。

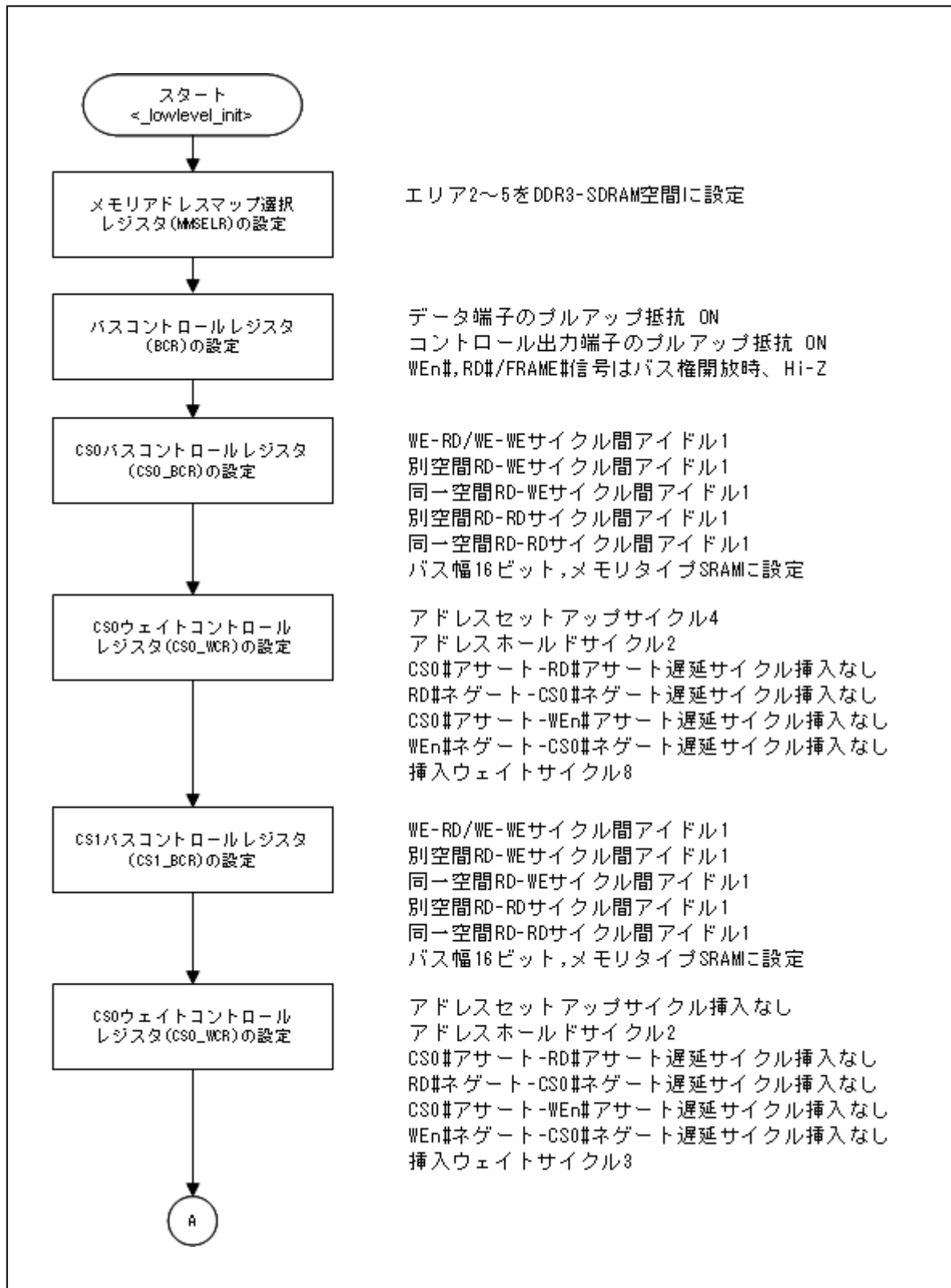


図 5 `_lowlevel_init()`関数フロー1

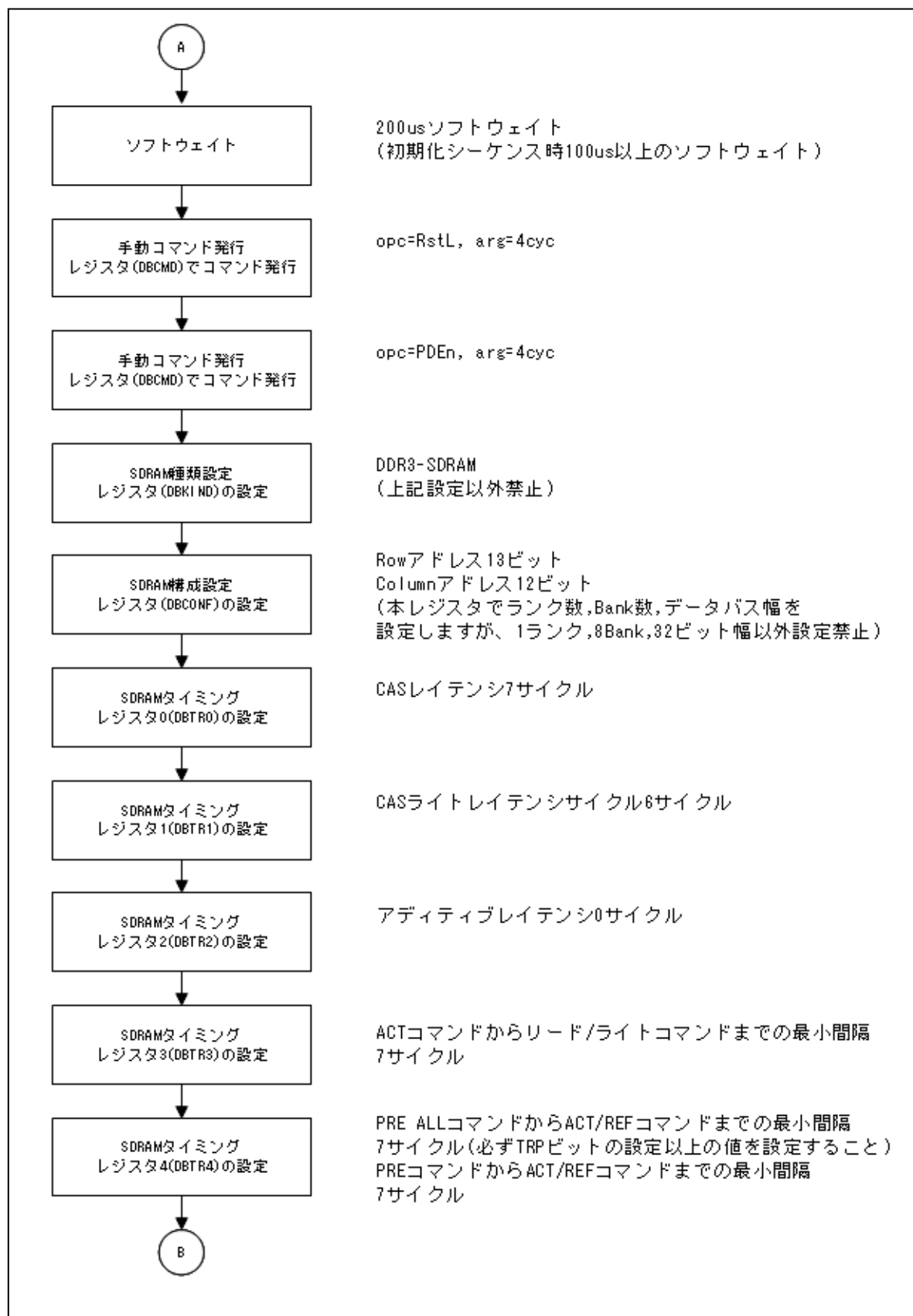


図 6 _lowlevel_init()関数フロー2

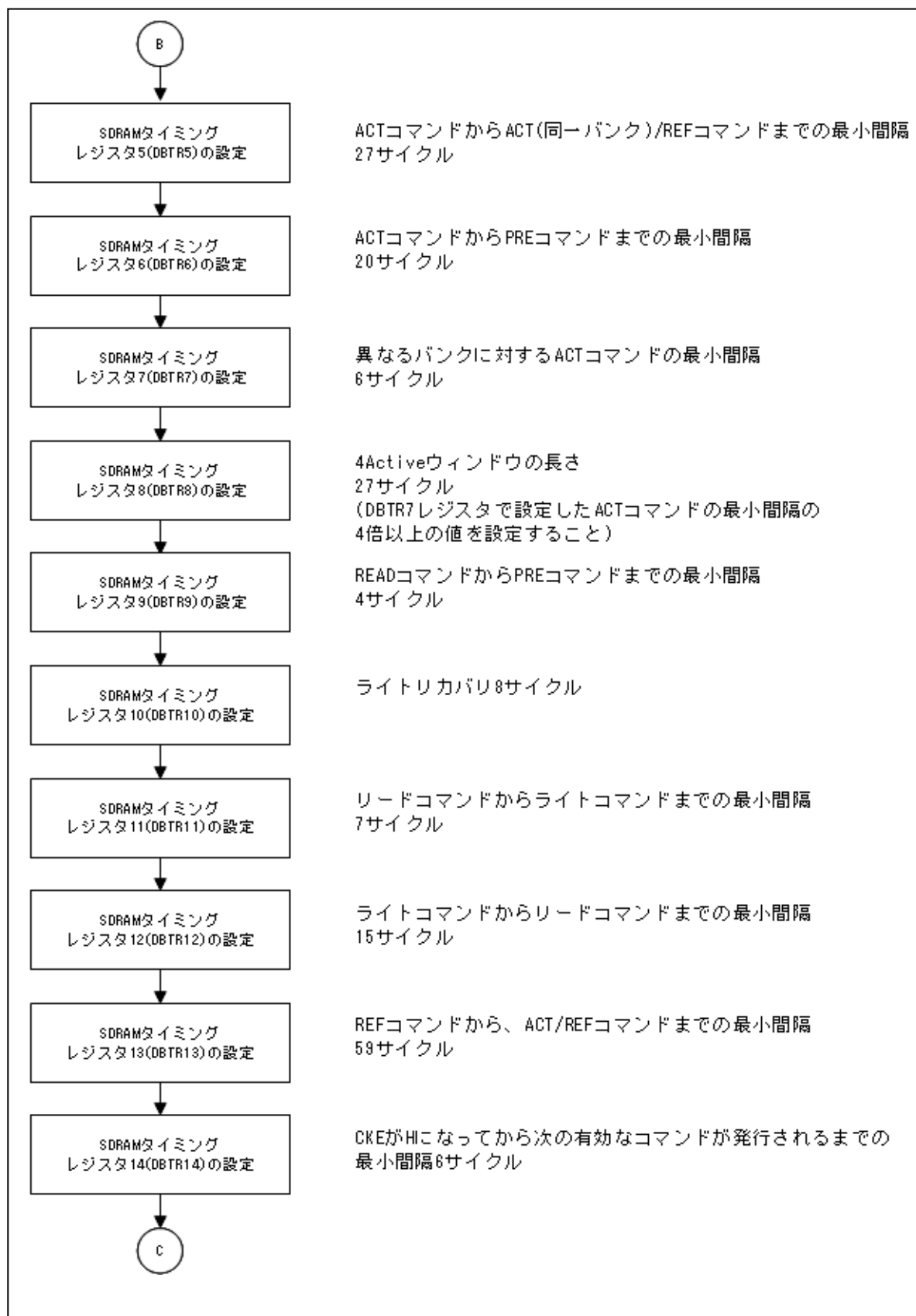


図 7 _lowlevel_init()関数フロー3

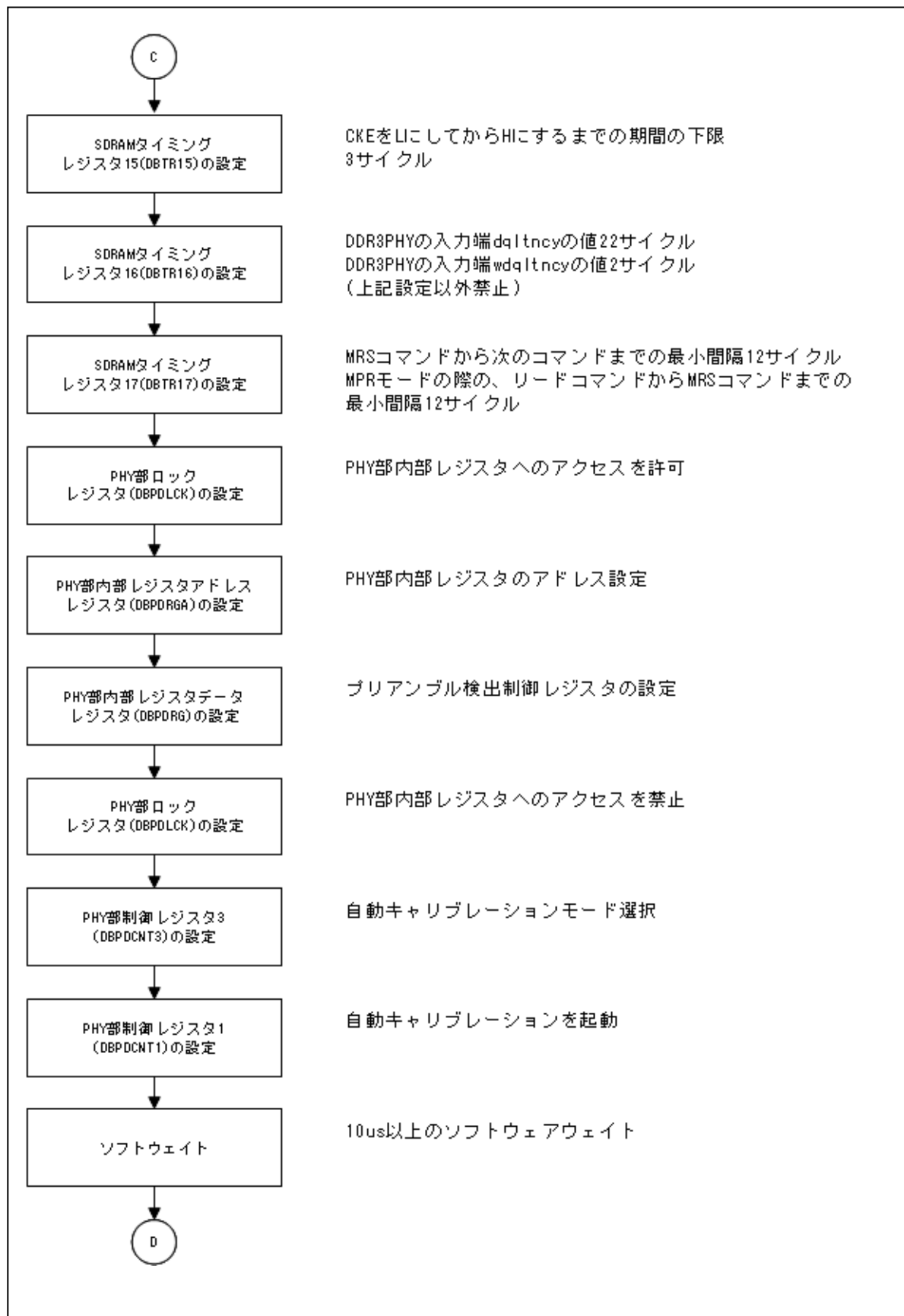


図 8 _lowlevel_init()関数フロー4

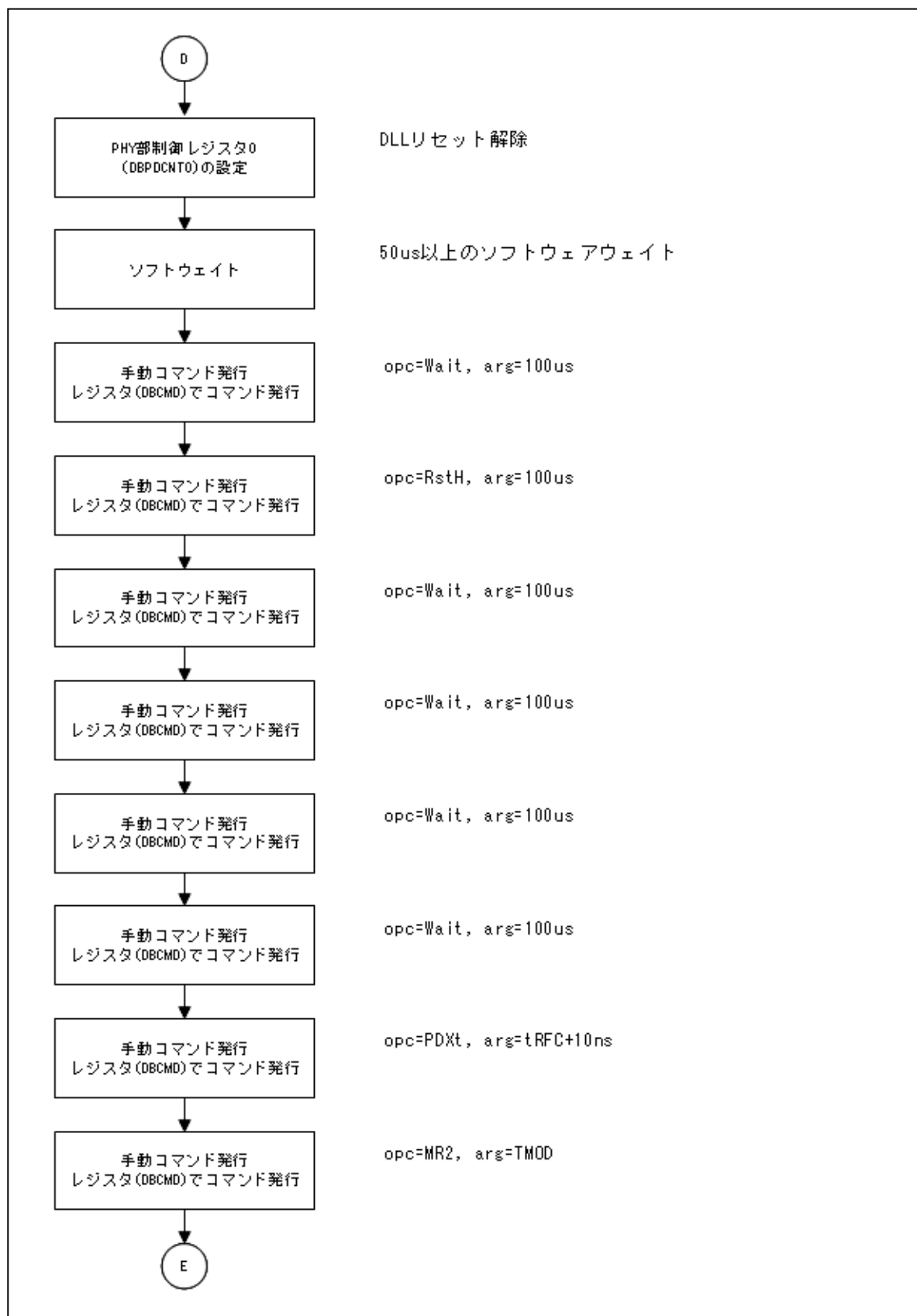


図 9 _lowlevel_init()関数フロー5

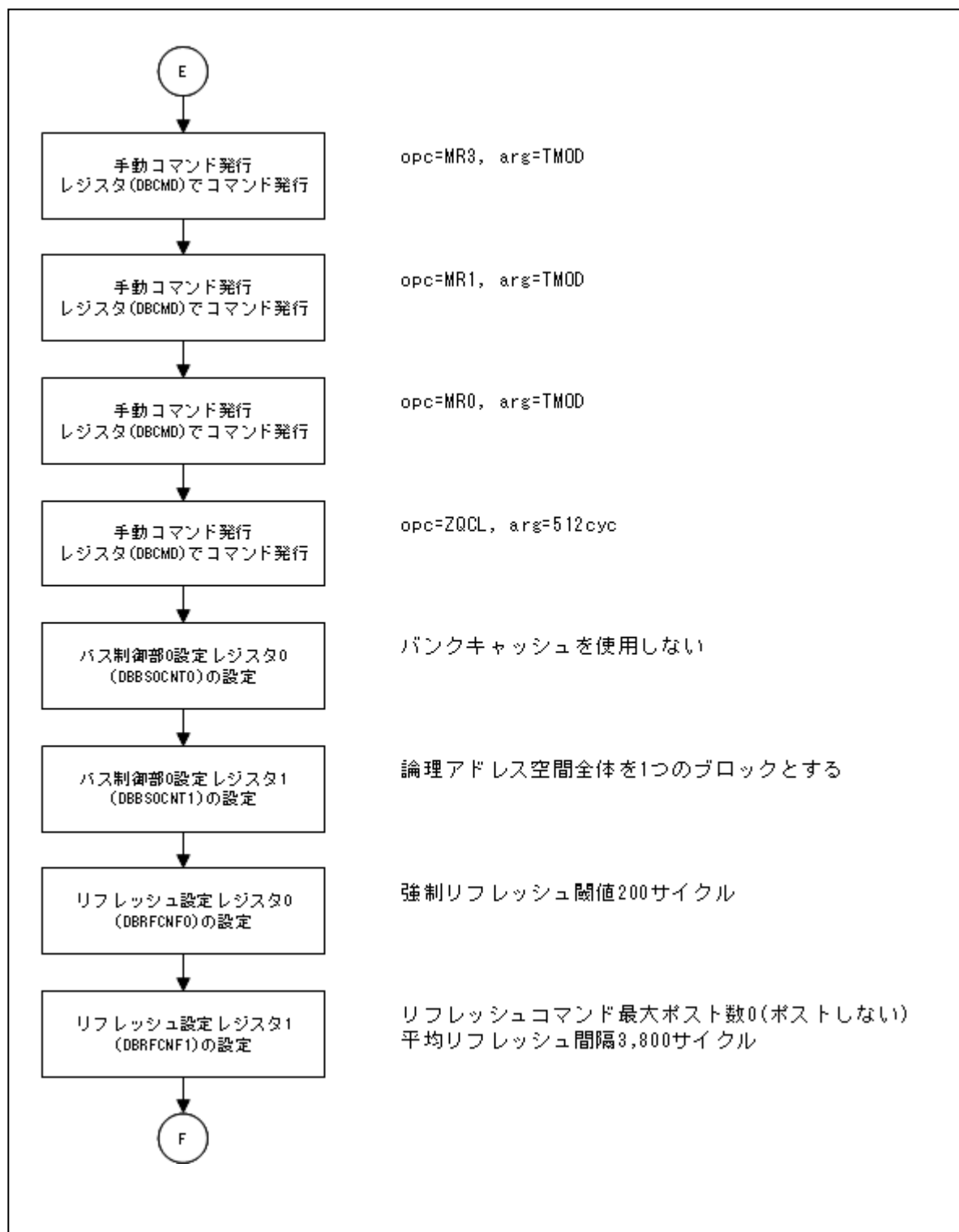


図 10 _lowlevel_init()関数フロー6

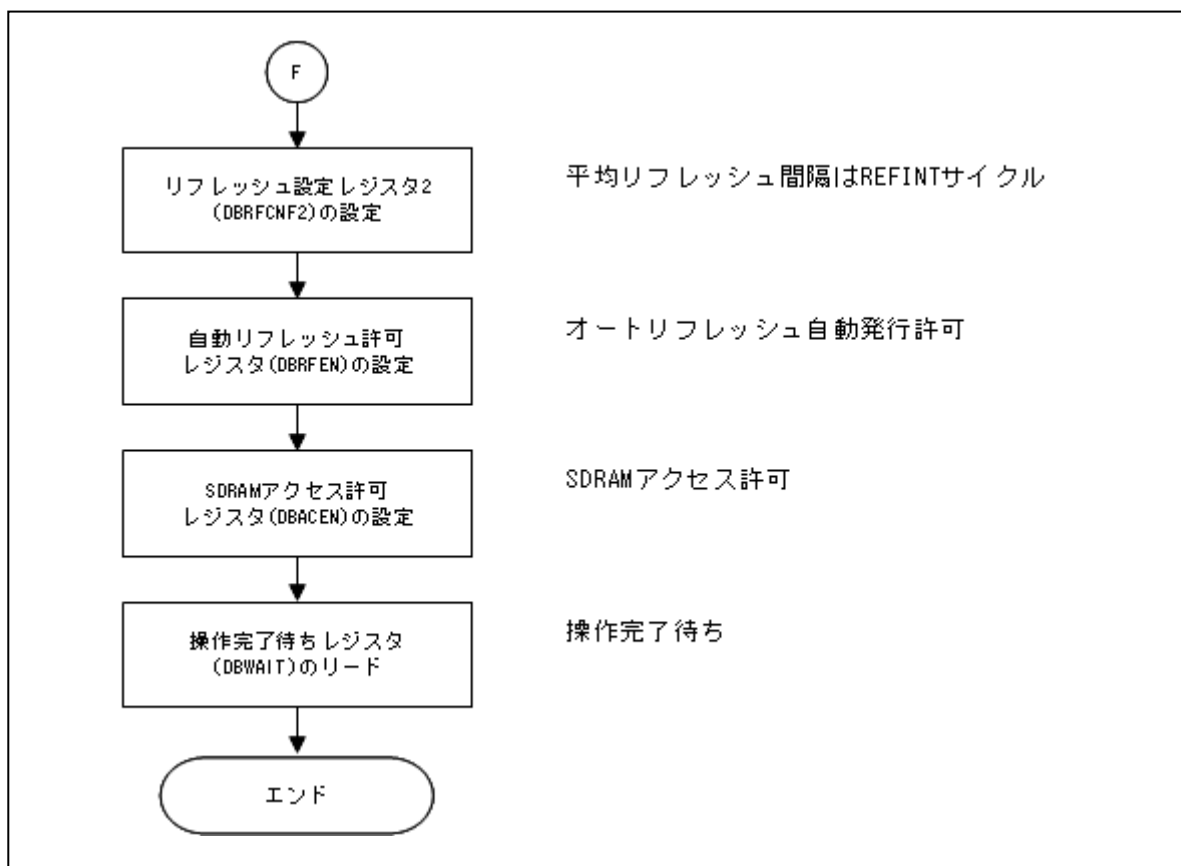


図 11 _lowlevel_init()関数フロー7

図 12 に PowerON_Reset()関数のフローを示します。

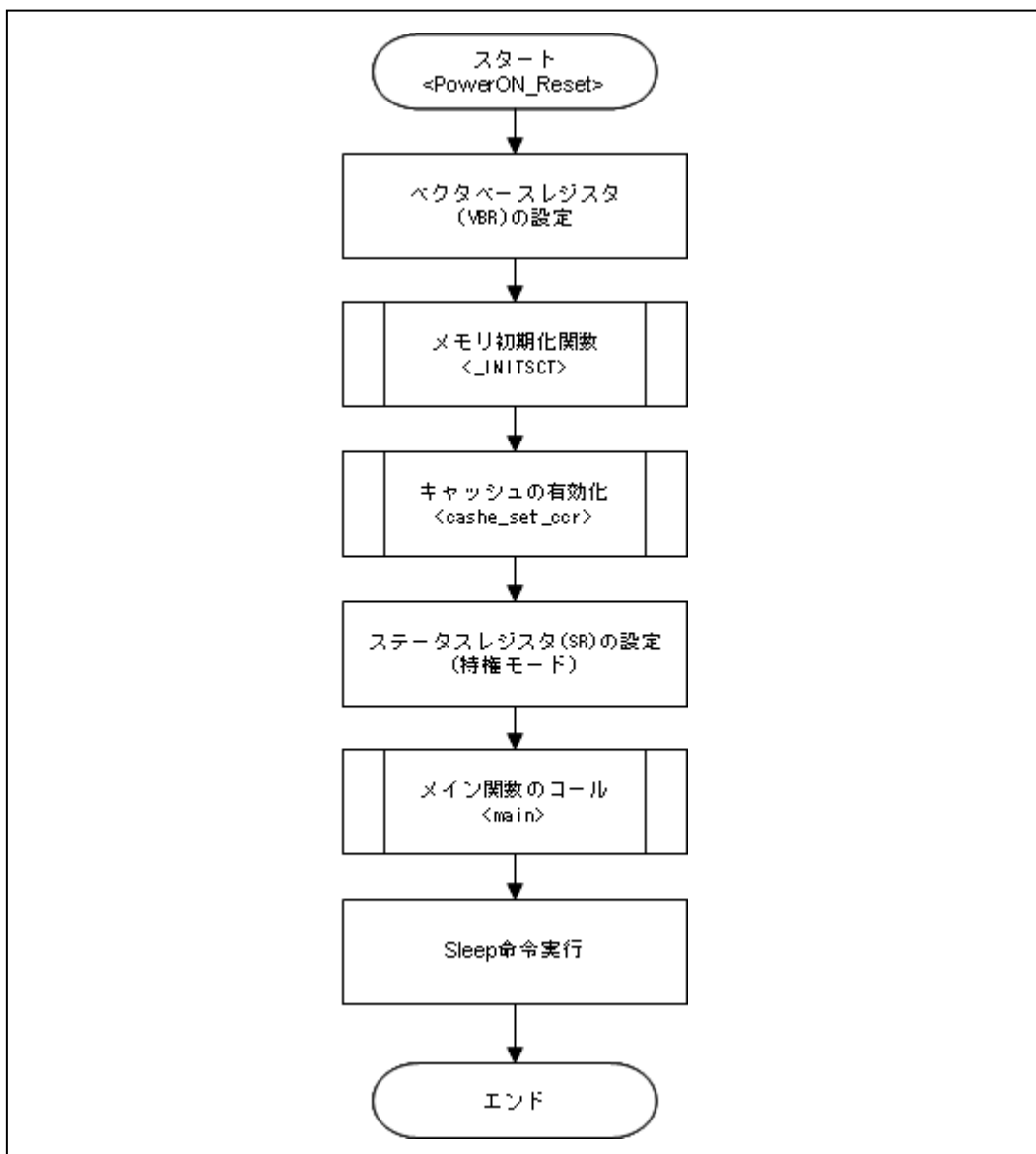


図 12 PowerON_Reset()関数フロー

5. 参考プログラム例

サンプルプログラムリスト”vhandler.src”

例外処理をしています。

```

001 ;/*****
002 ;* DISCLAIMER
003 ;
004 ;* This software is supplied by Renesas Electronics Corporation. and is only
005 ;* intended for use with Renesas products. No other uses are authorized.
006 ;
007 ;* This software is owned by Renesas Electronics Corporation. and is protected under
008 ;* all applicable laws, including copyright laws.
009 ;
010 ;* THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
011 ;* REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
012 ;* INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
013 ;* PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
014 ;* DISCLAIMED.
015 ;
016 ;* TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
017 ;* ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
018 ;* FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
019 ;* FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
020 ;* AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
021 ;
022 ;* Renesas reserves the right, without notice, to make changes to this
023 ;* software and to discontinue the availability of this software.
024 ;* By using this software, you agree to the additional terms and
025 ;* conditions found by accessing the following link:
026 ;* http://www.renesas.com/disclaimer
027 ;*****/
028 ;/* Copyright (C) 2011. Renesas Electronics Corporation., All Rights Reserved.*/
029 ;/""FILE COMMENT""***** Technical reference data *****/
030 ;* System Name   : SH7786 Sample Program
031 ;* File Name    : lowlevelinit.src
032 ;* Abstract     : SH7786 初期設定例 Sample Program
033 ;* Version      : Ver 1.00
034 ;* Device       : SH7786
035 ;* Tool-Chain   : High-performance Embedded Workshop (Version 4.07.00.007)
036 ;*              : C/C++ Compiler Package for SuperH Family (V.9.3.2.0)
037 ;* OS           : None
038 ;* H/W Platform : アルファプロジェクト製 SH-4A ボード 型番 AP-SH4AD-3A
039 ;* Description  : SH7786 初期設定例のサンプルプログラムです。
040 ;*              :
041 ;* Operation    :
042 ;* Limitation   :
043 ;*              :

```

```

044 ;*****
045 ;* History      : 10.Feb.2011 Ver. 1.00 First Release
046 ;*""FILE COMMENT END""*****/
047 ;-----
048 ;
049 ; FILE          :vhandler.src
050 ; DATE          :Wed, Nov 17, 2010
051 ; DESCRIPTION   :Reset/Interrupt Handler
052 ; CPU TYPE     :Other
053 ;
054 ; This file is generated by Renesas Project Generator (Ver.4.16).
055 ;
056 ;-----
057
058
059
060     .include     "env.inc"
061     .include     "vect.inc"
062
063 IMASKclr: .equ   H' FFFFFFF0F
064 RBBLclr:  .equ   H' CFFFFFFF
065 MDRBBLset: .equ  H' 70000000
066
067     .import      _RESET_Vectors
068     .import      _INT_Vectors
069     .import      _INT_MASK
070     .import      _lowlevel_init
071
072 ::::::::::::::::::::::::::::::::::::::::::::::::::::::::::::
073 ;*          macro definition          *;
074 ::::::::::::::::::::::::::::::::::::::::::::::::::::::::::::
075     .macro PUSH_EXP_BASE_REG
076     stc.l  ssr,@-r15          ; save ssr
077     stc.l  spc,@-r15          ; save spc
078     sts.l  pr,@-r15           ; save context registers
079     sts.l  fpscr,@-r15        ; save fpscr registers
080     stc.l  r7_bank,@-r15
081     stc.l  r6_bank,@-r15
082     stc.l  r5_bank,@-r15
083     stc.l  r4_bank,@-r15
084     stc.l  r3_bank,@-r15
085     stc.l  r2_bank,@-r15
086     stc.l  r1_bank,@-r15
087     stc.l  r0_bank,@-r15
088     .endm
089 ;
090     .macro POP_EXP_BASE_REG

```



```

091     ldc.l  @r15+, r0_bank      ; recover registers
092     ldc.l  @r15+, r1_bank
093     ldc.l  @r15+, r2_bank
094     ldc.l  @r15+, r3_bank
095     ldc.l  @r15+, r4_bank
096     ldc.l  @r15+, r5_bank
097     ldc.l  @r15+, r6_bank
098     ldc.l  @r15+, r7_bank
099     lds.l  @r15+, fpscr
100     lds.l  @r15+, pr
101     ldc.l  @r15+, spc
102     ldc.l  @r15+, ssr
103     .endm
104 ;
105 ::::::::::::::::::::::::::::::::::::::::::::::::::::::::::::
106 ;     reset
107 ;     ;
108     .section      RSTHandler, code
109 _ResetHandler:
110         mov.l  #_lowlevel_init, r0
111         jsr      @r0
112         nop
113
114         mov.l  #EXPEVT, r0
115         mov.l  @r0, r0
116         shlr2  r0
117         shlr   r0
118         mov.l  #_RESET_Vectors, r1
119         add    r1, r0
120         mov.l  @r0, r0
121         jmp    @r0
122         nop
123 ;
124 ::::::::::::::::::::::::::::::::::::::::::::::::::::::::::::
125 ;     exceptional interrupt
126 ::::::::::::::::::::::::::::::::::::::::::::::::::::::::::::
127     .section      INTHandler, code
128     .export      _INTHandlerPRG
129 _INTHandlerPRG:
130 _ExpHandler:
131     PUSH_EXP_BASE_REG
132 ;
133     mov.l  #EXPEVT, r0          ; set event address
134     mov.l  @r0, r1            ; set exception code
135     mov.l  #_INT_Vectors, r0  ; set vector table address
136     add    #-(h'40), r1      ; exception code - h'40

```

```

137          shlr2   r1
138          shlr    r1
139          mov.l   @(r0,r1),r3          ; set interrupt function addr
140 ;
141          mov.l   #_INT_MASK,r0       ; interrupt mask table addr
142          shlr2   r1
143          mov.b   @(r0,r1),r1         ; interrupt mask
144          extu.b  r1,r1
145 ;
146          stc     sr,r0                ; save sr
147          mov.l   #(RBBLclr&IMASKclr),r2 ; RB,BL,mask clear data
148          and     r2,r0                ; clear mask data
149          or      r1,r0                ; set interrupt mask
150          ldc     r0,ssr               ; set current status
151 ;
152          ldc.l   r3,spc
153          mov.l   #__int_term,r0      ; set interrupt terminate
154          lds     r0,pr
155 ;
156          rte
157          nop
158 ;
159          .pool
160 ;
161 ::::::::::::::::::::::::::::::::::::::::::::
162 ;          Interrupt terminate
163 ::::::::::::::::::::::::::::::::::::::::::::
164          .align 4
165 __int_term:
166          mov.l   #MDRBBLset,r0       ; set MD,BL,RB
167          ldc.l   r0,sr                ;
168          POP_EXP_BASE_REG
169          rte                          ; return
170          nop
171 ;
172          .pool
173 ;
174 ::::::::::::::::::::::::::::::::::::::::::::
175 ;          TLB miss interrupt
176 ::::::::::::::::::::::::::::::::::::::::::::
177          .org   H' 300
178 _TLBmissHandler:
179          PUSH_EXP_BASE_REG
180 ;
181          mov.l   #EXPEVT,r0          ; set event address
182          mov.l   @r0,r1              ; set exception code

```

```

183      mov.l  #_INT_Vectors, r0      ; set vector table address
184      add           #-(h'40), r1          ; exception code - h'40
185      shlr2  r1
186      shlr   r1
187      mov.l  @(r0, r1), r3          ; set interrupt function addr
188 ;
189      mov.l  #_INT_MASK, r0         ; interrupt mask table addr
190      shlr2  r1
191      mov.b  @(r0, r1), r1          ; interrupt mask
192      extu.b r1, r1
193 ;
194      stc      sr, r0                ; save sr
195      mov.l  #(RBBLclr&IMASKclr), r2 ; RB, BL, mask clear data
196      and      r2, r0                ; clear mask data
197      or       r1, r0                ; set interrupt mask
198      ldc      r0, ssr               ; set current status
199 ;
200      ldc.l  r3, spc
201      mov.l  #__int_term, r0         ; set interrupt terminate
202      lds      r0, pr
203 ;
204      rte
205      nop
206 ;
207      .pool
208 ;
209 ::::::::::::::::::::::::::::::::::::::
210 ;      IRQ
211 ::::::::::::::::::::::::::::::::::::::
212      .org   H'500
213 _IRQHandler:
214      PUSH_EXP_BASE_REG
215 ;
216      mov.l  #INTEVT, r0             ; set event address
217      mov.l  @r0, r1                 ; set exception code
218      mov.l  #_INT_Vectors, r0      ; set vector table address
219      add           #-(h'40), r1          ; exception code - h'40
220      shlr2  r1
221      shlr   r1
222      mov.l  @(r0, r1), r3          ; set interrupt function addr
223 ;
224      mov.l  #_INT_MASK, r0         ; interrupt mask table addr
225      shlr2  r1
226      mov.b  @(r0, r1), r1          ; interrupt mask
227      extu.b r1, r1
228 ;

```

```
229          stc          sr, r0                ; save sr
230          mov. l      #(RBBLclr&IMASKclr), r2      ; RB, BL, mask clear data
231          and         r2, r0                ; clear mask data
232          or          r1, r0                ; set interrupt mask
233          ldc         r0, ssr              ; set current status
234 ;
235          ldc. l      r3, spc
236          mov. l      #__int_term, r0          ; set interrupt terminate
237          lds         r0, pr
238 ;
239          rte
240          nop
241 ;
242          .pool
243          .end
```

サンプルプログラムリスト”resetprg.c”

PowerON リセット関数です。

```
001 ;/*****
002 ;* DISCLAIMER
003 ;
004 ;* This software is supplied by Renesas Electronics Corporation. and is only
005 ;* intended for use with Renesas products. No other uses are authorized.
006 ;
007 ;* This software is owned by Renesas Electronics Corporation. and is protected under
008 ;* all applicable laws, including copyright laws.
009 ;
010 ;* THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
011 ;* REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
012 ;* INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
013 ;* PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
014 ;* DISCLAIMED.
015 ;
016 ;* TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
017 ;* ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
018 ;* FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
019 ;* FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
020 ;* AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
021 ;
022 ;* Renesas reserves the right, without notice, to make changes to this
023 ;* software and to discontinue the availability of this software.
024 ;* By using this software, you agree to the additional terms and
025 ;* conditions found by accessing the following link:
026 ;* http://www.renesas.com/disclaimer
027 ;*****/
028 ;/* Copyright (C) 2011. Renesas Electronics Corporation., All Rights Reserved.*/
029 ;/*"FILE COMMENT"***** Technical reference data *****
030 ;* System Name   : SH7786 Sample Program
031 ;* File Name     : lowlevelinit.src
032 ;* Abstract      : SH7786 初期設定例 Sample Program
033 ;* Version       : Ver 1.00
034 ;* Device        : SH7786
035 ;* Tool-Chain    : High-performance Embedded Workshop (Version 4.07.00.007)
036 ;*               : C/C++ Compiler Package for SuperH Family (V.9.3.2.0)
037 ;* OS            : None
038 ;* H/W Platform  : アルファプロジェクト製 SH-4A ボード 型番 AP-SH4AD-3A
039 ;* Description   : SH7786 初期設定例のサンプルプログラムです。
040 ;*
041 ;* Operation     :
042 ;* Limitation    :
043 ;*
044 ;*****/
045 ;* History       : 10.Feb.2011 Ver. 1.00 First Release
```

```
046 ;*""FILE COMMENT END""*****//
047 /*****//
048 /* */
049 /* FILE :resetprg.c */
050 /* DATE :Wed, Nov 17, 2010 */
051 /* DESCRIPTION :Reset Program */
052 /* CPU TYPE :Other */
053 /* */
054 /* This file is generated by Renesas Project Generator (Ver. 4.16). */
055 /* */
056 /*****//
057
058
059
060 #include <machine.h>
061 #include <_h_c_lib.h>
062 //include <stddef.h> // Remove the comment when you use errno
063 //include <stdlib.h> // Remove the comment when you use rand()
064 #include "typedefine.h"
065 #include "stacksct.h"
066
067 #define SR_Init 0x40000000
068 #ifdef _FPD // when -fpu=double is specified
069 #define FPSCR_Init 0x000C0001
070 #else
071 #define FPSCR_Init 0x00040001
072 #endif
073 #define INT_OFFSET 0x100UL
074
075
076 #ifdef __cplusplus
077 extern "C" {
078 #endif
079 extern void INTHandlerPRG(void);
080 void PowerON_Reset(void);
081 void Manual_Reset(void);
082 void main(void);
083 #ifdef __cplusplus
084 }
085 #endif
086
087 //ifdef __cplusplus // Enable I/O in the application (both SIM I/O and hardware I/O)
088 //extern "C" {
089 //endif
090 //extern void _INIT_IOLIB(void);
091 //extern void _CLOSEALL(void);
092 //ifdef __cplusplus
```

```
093 //}
094 //endif
095
096 //extern void srand(_UINT);           // Remove the comment when you use rand()
097 //extern _SBYTE *_s1ptr;             // Remove the comment when you use strtok()
098
099 //ifdef __cplusplus                   // Use Hardware Setup
100 //extern "C" {
101 //endif
102 //extern void HardwareSetup(void);
103 //ifdef __cplusplus
104 //}
105 //endif
106
107 //ifdef __cplusplus                   // Remove the comment when you use global class object
108 //extern "C" {
109 //endif
110 //extern void _CALL_INIT(void);
111 //extern void _CALL_END(void);
112 //ifdef __cplusplus
113 //}
114 //endif
115
116 #pragma section ResetPRG
117
118 #pragma entry PowerON_Reset
119
120 void PowerON_Reset(void)
121 {
122     _UDWORD* ramcr_address;
123
124     set_vbr((void *)((_UINT)INTHandlerPRG - INT_OFFSET));
125
126     // set_fpscr(FPSCR_Init);
127
128     _INITSCT();
129
130     // _CALL_INIT();                   // Remove the comment when you use global class object
131
132     // _INIT_IOLIB();                 // Enable I/O in the application (both SIM I/O and hardware I/O)
133
134     // errno=0;                       // Remove the comment when you use errno
135     // srand((_UINT)1);               // Remove the comment when you use rand()
136     // _s1ptr=NULL;                  // Remove the comment when you use strtok()
137
138     // HardwareSetup();               // Use Hardware Setup
139
```

```

140 set_cr(SR_Init);
141
142 main();
143
144 //      _CLOSEALL();                // Close I/O in the application(both SIM I/O and hardware I/O)
145
146 //      _CALL_END();                // Remove the comment when you use global class object
147
148 sleep();
149 }
150
151 void Manual_Reset(void)
152 {
153 }046 * History      : 30.SEP.2010 Ver. 1.00 First Release
047 *""FILE COMMENT END""*****/
048 /*****/
049 /*                */
050 /* FILE          :resetprg.c                */
051 /* DATE          :Thu, May 13, 2010        */
052 /* DESCRIPTION   :Reset Program            */
053 /* CPU TYPE      :Other                    */
054 /*                */
055 /* This file is generated by Renesas Project Generator (Ver.4.16). */
056 /*                */
057 /*****/
058
059
060
061 #include <machine.h>
062 #include <_h_c_lib.h>
063 // #include      <stddef.h>                // Remove the comment when you use errno
064 // #include      <stdlib.h>                // Remove the comment when you use rand()
065 #include "typedefine.h"
066 #include "stackset.h"
067 #include "cache.h"
068
069
070 #define SR_Init    0x40000000
071 #define INT_OFFSET 0x100UL
072
073 #ifdef __cplusplus
074 extern "C" {
075 #endif
076 extern void INTHandlerPRG(void);
077 void PowerON_Reset(void);
078 void Manual_Reset(void);
079 void main(void);

```



```
080 #ifdef __cplusplus
081 }
082 #endif
083
084 #pragma section ResetPRG
085
086
087 #pragma entry PowerON_Reset
088
089 void PowerON_Reset(void)
090 {
091     set_vbr((void *)((_UINT) INTHandlerPRG - INT_OFFSET));
092
093
094     _INITSCT();
095
096     //         errno=0;                               // Remove the comment when you use errno
097     //         srand((_UINT)1);                         // Remove the comment when you use rand()
098     //         _s1ptr=NULL;                             // Remove the comment when you use strtok()
099     cache_set_ccr(D_CACHE_I_ON | D_CACHE_O_ON);
100
101     set_cr(SR_Init);
102
103     main();
104
105     //         _CLOSEALL();                             // Close I/O in the application (both SIM I/O and hardware I/O)
106
107     //         _CALL_END();                             // Remove the comment when you use global class object
108
109     sleep();
110 }
111
112 void Manual_Reset(void)
113 {
114 }
```

サンプルプログラムリスト” dbsect.c”

メモリの初期化を行っています。

```
01 ;/*****
02 ;* DISCLAIMER
03 ;
04 ;* This software is supplied by Renesas Electronics Corporation. and is only
05 ;* intended for use with Renesas products. No other uses are authorized.
06 ;
07 ;* This software is owned by Renesas Electronics Corporation. and is protected under
08 ;* all applicable laws, including copyright laws.
09 ;
10 ;* THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 ;* REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 ;* INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 ;* PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 ;* DISCLAIMED.
15 ;
16 ;* TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 ;* ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 ;* FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 ;* FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 ;* AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 ;
22 ;* Renesas reserves the right, without notice, to make changes to this
23 ;* software and to discontinue the availability of this software.
24 ;* By using this software, you agree to the additional terms and
25 ;* conditions found by accessing the following link:
26 ;* http://www.renesas.com/disclaimer
27 ;/*****/
28 ;/* Copyright (C) 2011. Renesas Electronics Corporation., All Rights Reserved.*/
29 ;/*"FILE COMMENT"***** Technical reference data *****
30 ;* System Name : SH7786 Sample Program
31 ;* File Name : lowlevelinit.src
32 ;* Abstract : SH7786 初期設定例 Sample Program
33 ;* Version : Ver 1.00
34 ;* Device : SH7786
35 ;* Tool-Chain : High-performance Embedded Workshop (Version 4.07.00.007)
36 ;* : C/C++ Compiler Package for SuperH Family (V.9.3.2.0)
37 ;* OS : None
```

```
38 ;* H/W Platform : アルファプロジェクト製 SH-4A ボード 型番 AP-SH4AD-3A
39 ;* Description  : SH7786 初期設定例のサンプルプログラムです。
40 ;*              :
41 ;* Operation    :
42 ;* Limitation   :
43 ;*              :
44 ;*****
45 ;* History      : 10.Feb.2011 Ver. 1.00 First Release
46 ;*"FILE COMMENT END"*****/
47 /*****/
48 /*                                                    */
49 /* FILE          :dbsct.c                               */
50 /* DATE          :Wed, Nov 17, 2010                     */
51 /* DESCRIPTION  :Setting of B,R Section                 */
52 /* CPU TYPE     :Other                                   */
53 /*                                                    */
54 /* This file is generated by Renesas Project Generator (Ver. 4.16). */
55 /*                                                    */
56 /*****/
57
58
59
60 #include "typedefine.h"
61
62 #pragma section $DSEC
63 static const struct {
64     _UBYTE *rom_s;      /* 初期化データセクションのROM 上の先頭アドレス */
65     _UBYTE *rom_e;      /* 初期化データセクションのROM 上の最終アドレス */
66     _UBYTE *ram_s;      /* 初期化データセクションのRAM 上の先頭アドレス */
67 } DTBL[] = {
68     { __sectop("D"), __secend("D"), __sectop("R") }
69 };
70 #pragma section $BSEC
71 static const struct {
72     _UBYTE *b_s;        /* 未初期化データセクションの先頭アドレス */
73     _UBYTE *b_e;        /* 未初期化データセクションの最終アドレス */
74 } BTBL[] = {
75     { __sectop("B"), __secend("B") }
76 };
```

サンプルプログラムリスト” vecttbl.src”

割込み処理実行時の割込み優先度を設定しています。

```
01 ;/*****
02 ;* DISCLAIMER
03 ;
04 ;* This software is supplied by Renesas Electronics Corporation. and is only
05 ;* intended for use with Renesas products. No other uses are authorized.
06 ;
07 ;* This software is owned by Renesas Electronics Corporation. and is protected under
08 ;* all applicable laws, including copyright laws.
09 ;
10 ;* THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
11 ;* REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
12 ;* INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
13 ;* PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
14 ;* DISCLAIMED.
15 ;
16 ;* TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
17 ;* ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
18 ;* FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
19 ;* FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
20 ;* AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
21 ;
22 ;* Renesas reserves the right, without notice, to make changes to this
23 ;* software and to discontinue the availability of this software.
24 ;* By using this software, you agree to the additional terms and
25 ;* conditions found by accessing the following link:
26 ;* http://www.renesas.com/disclaimer
27 ;*****/
28 ;/* Copyright (C) 2011. Renesas Electronics Corporation., All Rights Reserved.*/
29 ;/*"FILE COMMENT"***** Technical reference data *****
30 ;* System Name : SH7786 Sample Program
31 ;* File Name : lowlevelinit.src
32 ;* Abstract : SH7786 初期設定例 Sample Program
33 ;* Version : Ver 1.00
34 ;* Device : SH7786
35 ;* Tool-Chain : High-performance Embedded Workshop (Version 4.07.00.007)
36 ;* : C/C++ Compiler Package for SuperH Family (V.9.3.2.0)
37 ;* OS : None
38 ;* H/W Platform : アルファプロジェクト製 SH-4A ボード 型番 AP-SH4AD-3A
39 ;* Description : SH7786 初期設定例のサンプルプログラムです。
40 ;* :
41 ;* Operation :
42 ;* Limitation :
43 ;* :
44 ;*****/
45 ;* History : 10.Feb.2011 Ver. 1.00 First Release
```

```
46 ;*""FILE COMMENT END""*****//
47 ;-----|
48 ;|
49 ; FILE :vecttbl.src |
50 ; DATE :Wed, Nov 17, 2010 |
51 ; DESCRIPTION :Initialize of Vector Table |
52 ; CPU TYPE :Other |
53 ;|
54 ; This file is generated by Renesas Project Generator (Ver. 4.16). |
55 ;|
56 ;-----|
57 |
58 |
59 |
60 .include "vect.inc"
61 |
62 .section VECTTBL,data
63 .export _RESET_Vectors
64 |
65 _RESET_Vectors:
66 ;<<VECTOR DATA START (POWER ON RESET)>>
67 ;H' 000 Power On Reset (Hitachi-UDI RESET)
68 .data.l _PowerON_Reset
69 ;<<VECTOR DATA END (POWER ON RESET)>>
70 ;<<VECTOR DATA START (MANUAL RESET)>>
71 ;H' 020 Manual Reset
72 .data.l _Manual_Reset
73 ;<<VECTOR DATA END (MANUAL RESET)>>
74 ; Reserved
75 .datab.l 8,H' 00000000
76 ;<<VECTOR DATA START (TBL RESET)>>
77 ;H' 140 TBL Reset (DATA TBL Reset)
78 .data.l _TBL_Reset
79 ;<<VECTOR DATA END (TBL RESET)>>
80 |
81 .section INTTBL,data
82 .export _INT_Vectors
83 _INT_Vectors:
84 |
85 .export _INT_MASK
86 _INT_MASK:
87 |
88 .end
89 |
90 |
```

サンプルプログラムリスト” vect.inc”

割込みハンドラに登録する割込みのテーブルです

```
01 ;-----  
02 ; |  
03 ; FILE      :vect.inc |  
04 ; DATE      :Mon, Feb 07, 2011 |  
05 ; DESCRIPTION :Definition of Vector |  
06 ; CPU TYPE   :Other |  
07 ; |  
08 ; This file is generated by Renesas Project Generator (Ver. 4.16). |  
09 ; |  
10 ;-----  
11  
12  
13  
14  
15 ;<<VECTOR DATA START (POWER ON RESET)>>  
16      ;H' 000 Power On Reset (Hitachi-UDI RESET)  
17      .global  _PowerON_Reset  
18 ;<<VECTOR DATA END (POWER ON RESET)>>  
19 ;<<VECTOR DATA START (MANUAL RESET)>>  
20      ;H' 020 Manual Reset  
21      .global  _Manual_Reset  
22 ;<<VECTOR DATA END (MANUAL RESET)>>  
23 ;<<VECTOR DATA START (TBL RESET)>>  
24      ;H' 140 TBL Reset (DATA TBL Reset)  
25      .global  _TBL_Reset  
26 ;<<VECTOR DATA END (TBL RESET)>>  
27
```

サンプルプログラムリスト” intprg.c”

割り込み処理関数を割り込みハンドラに登録しています。

```
01 ;-----  
02 ;  
03 ; FILE      :intprg.src      |  
04 ; DATE      :Wed, Nov 17, 2010 |  
05 ; DESCRIPTION :Interrupt Program |  
06 ; CPU TYPE   :Other         |  
07 ;  
08 ; This file is generated by Renesas Project Generator (Ver. 4.16). |  
09 ;  
10 ;-----  
11  
12  
13  
14 .include    "vect.inc"  
15 .section    IntPRG, code  
16  
17 ;H' 140 TBL Reset (DATA TBL Reset)  
18 _TBL_Reset  
19     sleep  
20     nop  
21     .end  
22
```

サンプルプログラムリスト” lowlevelinit src”

LBSC 及び DBSC3 の初期設定を行っています。

```
001 ;/*****
002 ;* DISCLAIMER
003 ;
004 ;* This software is supplied by Renesas Electronics Corporation. and is only
005 ;* intended for use with Renesas products. No other uses are authorized.
006 ;
007 ;* This software is owned by Renesas Electronics Corporation. and is protected under
008 ;* all applicable laws, including copyright laws.
009 ;
010 ;* THIS SOFTWARE IS PROVIDED "AS IS" AND RENESAS MAKES NO WARRANTIES
011 ;* REGARDING THIS SOFTWARE, WHETHER EXPRESS, IMPLIED OR STATUTORY,
012 ;* INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, FITNESS FOR A
013 ;* PARTICULAR PURPOSE AND NON-INFRINGEMENT. ALL SUCH WARRANTIES ARE EXPRESSLY
014 ;* DISCLAIMED.
015 ;
016 ;* TO THE MAXIMUM EXTENT PERMITTED NOT PROHIBITED BY LAW, NEITHER RENESAS
017 ;* ELECTRONICS CORPORATION. NOR ANY OF ITS AFFILIATED COMPANIES SHALL BE LIABLE
018 ;* FOR ANY DIRECT, INDIRECT, SPECIAL, INCIDENTAL OR CONSEQUENTIAL DAMAGES
019 ;* FOR ANY REASON RELATED TO THE THIS SOFTWARE, EVEN IF RENESAS OR ITS
020 ;* AFFILIATES HAVE BEEN ADVISED OF THE POSSIBILITY OF SUCH DAMAGES.
021 ;
022 ;* Renesas reserves the right, without notice, to make changes to this
023 ;* software and to discontinue the availability of this software.
024 ;* By using this software, you agree to the additional terms and
025 ;* conditions found by accessing the following link:
026 ;* http://www.renesas.com/disclaimer
027 ;*****/
028 ;/* Copyright (C) 2011. Renesas Electronics Corporation., All Rights Reserved.*/
029 ;/""FILE COMMENT""***** Technical reference data *****
030 ;* System Name : SH7786 Sample Program
031 ;* File Name : lowlevelinit.src
032 ;* Abstract : Sample Program of SH7786 initialization
033 ;* Version : Ver 1.00
034 ;* Device : SH7786
035 ;* Tool-Chain : High-performance Embedded Workshop (Version 4.07.00.007)
036 ;* : C/C++ Compiler Package for SuperH Family (V.9.3.2.0)
037 ;* OS : None
```



```
038 ;* H/W Platform : SH-4A Board P/N:AP-SH4AD-3A (Manufacturer:ALPHA PROJECT)
039 ;* Description  : It is an example program of the example of SH7786 initialization.
040 ;*              :
041 ;* Operation    :
042 ;* Limitation   :
043 ;*              :
044 ;*****
045 ;* History      : 10.Feb.2011 Ver. 1.00 First Release
046 ;*""FILE COMMENT END""*****/
047
048 .macro write32 addr, data
049     mov.l ¥addr, r1
050     mov.l ¥data, r0
051     mov.l r0, @r1
052 .endm
053
054 .macro write16 addr, data
055     mov.l ¥addr, r1
056     mov.l ¥data, r0
057     mov.w r0, @r1
058 .endm
059
060 .macro write8 addr, data
061     mov.l ¥addr, r1
062     mov.l ¥data, r0
063     mov.b r0, @r1
064 .endm
065
066 .macro read32 addr
067     mov.l ¥addr, r1
068     mov.l @r1, r0
069 .endm
070
071 .macro wait_timer time
072     mov.l ¥time, r3
073 loop¥@:
074     nop
075     tst r3, r3
076     bf/s loop¥@
```

```
077 dt r3
078 .endm
079
080 .include "lowlevelinit.inc"
081
082 .export _lowlevel_init
083
084 _lowlevel_init:
085
086 ; /*----- LBSC -----*/
087 write32 #MMSELR_A, #MMSELR_D
088
089 write32 #BCR_A, #BCR_D
090
091 write32 #CS0_BCR_A, #CS0_BCR_D
092 write32 #CS0_WCR_A, #CS0_WCR_D
093
094 write32 #CS1_BCR_A, #CS1_BCR_D
095 write32 #CS1_WCR_A, #CS1_WCR_D
096
097 ; /*----- DBSC3 -----*/
098 wait_timer #WAIT_200US
099 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D1
100 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D2
101 write32 #DBSC3_DBKIND_A, #DBSC3_DBKIND_D
102 write32 #DBSC3_DBCONF_A, #DBSC3_DBCONF_D
103 write32 #DBSC3_DBTR0_A, #DBSC3_DBTR0_D
104 write32 #DBSC3_DBTR1_A, #DBSC3_DBTR1_D
105 write32 #DBSC3_DBTR2_A, #DBSC3_DBTR2_D
106 write32 #DBSC3_DBTR3_A, #DBSC3_DBTR3_D
107 write32 #DBSC3_DBTR4_A, #DBSC3_DBTR4_D
108 write32 #DBSC3_DBTR5_A, #DBSC3_DBTR5_D
109 write32 #DBSC3_DBTR6_A, #DBSC3_DBTR6_D
110 write32 #DBSC3_DBTR7_A, #DBSC3_DBTR7_D
111 write32 #DBSC3_DBTR8_A, #DBSC3_DBTR8_D
112 write32 #DBSC3_DBTR9_A, #DBSC3_DBTR9_D
113 write32 #DBSC3_DBTR10_A, #DBSC3_DBTR10_D
114 write32 #DBSC3_DBTR11_A, #DBSC3_DBTR11_D
115 write32 #DBSC3_DBTR12_A, #DBSC3_DBTR12_D
```

```
116 write32 #DBSC3_DBTR13_A, #DBSC3_DBTR13_D
117 write32 #DBSC3_DBTR14_A, #DBSC3_DBTR14_D
118 write32 #DBSC3_DBTR15_A, #DBSC3_DBTR15_D
119 write32 #DBSC3_DBTR16_A, #DBSC3_DBTR16_D
120 write32 #DBSC3_DBTR17_A, #DBSC3_DBTR17_D
121
122 ; /*-- Seq 7 --*/
123 write32 #DBSC3_DBPDLCK_A, #DBSC3_DBPDLCK0_D
124 write32 #DBSC3_DBPDRGA_A, #DBSC3_DBPDRGA0_D
125 write32 #DBSC3_DBPDRG_A, #DBSC3_DBPDRGO_D
126 write32 #DBSC3_DBPDLCK_A, #DBSC3_DBPDLCK1_D
127
128 ; /*-- Seq 8 --*/
129 write32 #DBSC3_DBPDCNT3_A, #DBSC3_DBPDCNT3_D
130 ; /*-- Seq 9 --*/
131 write32 #DBSC3_DBPDCNT1_A, #DBSC3_DBPDCNT1_D
132 ; /*-- Seq 10 --*/
133 wait_timer #WAIT_200US /* 10us */
134 ; /*-- Seq 11 --*/
135 write32 #DBSC3_DBPDCNT0_A, #DBSC3_DBPDCNT0_D
136 ; /*-- Seq 12 --*/
137 wait_timer #WAIT_200US /* 50us */
138
139 ; /* DDR_init_14 */
140 ; /*-- Seq 14 --*/
141 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D3
142 ; /*-- Seq 15 --*/
143 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D4
144 ; /*-- Seq 16 --*/
145 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D5
146 ; /*-- Seq 17 --*/
147 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D6
148 ; /*-- Seq 18 --*/
149 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D7
150 ; /*-- Seq 19 --*/
151 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D8
152 ; /*-- Seq 20 --*/
153 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D9
154 ; /*-- Seq 21 --*/
```

```
155 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D10
156 ; /*-- Seq 22 --*/
157 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D11
158 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D12
159 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D13
160 write32 #DBSC3_DBCMD_A, #DBSC3_DBCMD_D14
161
162 ; /*-- Seq 23 --*/
163 write32 #DBSC3_DBBSOCNT0_A, #DBSC3_DBBSOCNT0_D
164 write32 #DBSC3_DBBSOCNT1_A, #DBSC3_DBBSOCNT1_D
165
166 ; /*-- Seq 24 --*/
167 write32 #DBSC3_DBRFCNF0_A, #DBSC3_DBRFCNF0_D
168 write32 #DBSC3_DBRFCNF1_A, #DBSC3_DBRFCNF1_D
169 write32 #DBSC3_DBRFCNF2_A, #DBSC3_DBRFCNF2_D
170
171 ; /*-- Seq 25 --*/
172 write32 #DBSC3_DBRFEN_A, #DBSC3_DBRFEN_D
173 ; /*-- Seq 26 --*/
174 write32 #DBSC3_DBACEN_A, #DBSC3_DBACEN_D
175 read32 #DBSC3_DBWAIT_A
176
177 bra lpsc_end
178 nop
179
180 lpsc_end:
181
182 write32 #CCR_A, #CCR_D
183 rts
184 nop
185
186 .end
```

サンプルプログラムリスト” lowlevelinit.inc”

LBSC 及び DBSC3 の初期設定例です。

```
001 ;/*****
002 ;*
003 ;* Device      : SH-4A/SH7786
004 ;*
005 ;* File Name   : lowlevelinit.inc
006 ;*
007 ;* Abstract    : Definition of lowlevelinit.
008 ;*
009 ;* History     : 1.00 (2011-0x-x) [Hardware Manual Revision : 1.00]
010 ;*
011 ;* Copyright(c) 2010 Renesas Electronics Corporation.
012 ;*              And Renesas Solutions Corp., All Rights Reserved.
013 ;*
014 ;/*****/
015
016 ;/*----- DBSC3 -----*/
017 DBSC3_BASE                .equ    H'ffa00000
018 DBSC3_DBCMD_A:           .equ    DBSC3_BASE + H' 18
019 DBSC3_DBKIND_A:          .equ    DBSC3_BASE + H' 20
020 DBSC3_DBCONF_A:          .equ    DBSC3_BASE + H' 24
021 DBSC3_DBTRO_A:           .equ    DBSC3_BASE + H' 40
022 DBSC3_DBTR1_A:          .equ    DBSC3_BASE + H' 44
023 DBSC3_DBTR2_A:          .equ    DBSC3_BASE + H' 48
024 DBSC3_DBTR3_A:          .equ    DBSC3_BASE + H' 50
025 DBSC3_DBTR4_A:          .equ    DBSC3_BASE + H' 54
026 DBSC3_DBTR5_A:          .equ    DBSC3_BASE + H' 58
027 DBSC3_DBTR6_A:          .equ    DBSC3_BASE + H' 5C
028 DBSC3_DBTR7_A:          .equ    DBSC3_BASE + H' 60
029 DBSC3_DBTR8_A:          .equ    DBSC3_BASE + H' 64
030 DBSC3_DBTR9_A:          .equ    DBSC3_BASE + H' 68
031 DBSC3_DBTR10_A:         .equ    DBSC3_BASE + H' 6C
032 DBSC3_DBTR11_A:         .equ    DBSC3_BASE + H' 70
033 DBSC3_DBTR12_A:         .equ    DBSC3_BASE + H' 74
034 DBSC3_DBTR13_A:         .equ    DBSC3_BASE + H' 78
035 DBSC3_DBTR14_A:         .equ    DBSC3_BASE + H' 7C
036 DBSC3_DBTR15_A:         .equ    DBSC3_BASE + H' 80
037 DBSC3_DBTR16_A:         .equ    DBSC3_BASE + H' 84
038 DBSC3_DBTR17_A:         .equ    DBSC3_BASE + H' 88
039
040 DBSC3_DBPDLCK_A:         .equ    DBSC3_BASE + H' 280
041 DBSC3_DBPDRGA_A:        .equ    DBSC3_BASE + H' 290
042 DBSC3_DBPDRG_A:         .equ    DBSC3_BASE + H' 2A0
043
044 DBSC3_DBPDCNT0_A:        .equ    DBSC3_BASE + H' 200
045 DBSC3_DBPDCNT1_A:        .equ    DBSC3_BASE + H' 204
```

```

046 DBSC3_DBPCNT3_A: .equ   DBSC3_BASE + H' 20C
047
048 DBSC3_DBBSOCNT0_A: .equ  DBSC3_BASE + H' 300
049 DBSC3_DBBSOCNT1_A: .equ  DBSC3_BASE + H' 304
050
051 DBSC3_DBRFCNF0_A: .equ   DBSC3_BASE + H' E0
052 DBSC3_DBRFCNF1_A: .equ   DBSC3_BASE + H' E4
053 DBSC3_DBRFCNF2_A: .equ   DBSC3_BASE + H' E8
054
055 DBSC3_DBRFEN_A:      .equ   DBSC3_BASE + H' 14
056 DBSC3_DBACEN_A:     .equ   DBSC3_BASE + H' 10
057 DBSC3_DBWAIT_A:     .equ   DBSC3_BASE + H' 1C
058
059 DBSC3_DBCMD_D1:     .equ   H' 20000000
060 DBSC3_DBCMD_D2:     .equ   H' 1000d056
061 DBSC3_DBCMD_D3:     .equ   H' 0000D056
062 DBSC3_DBCMD_D4:     .equ   H' 2100D056
063 DBSC3_DBCMD_D5:     .equ   H' 0000D056
064 DBSC3_DBCMD_D6:     .equ   H' 0000D056
065 DBSC3_DBCMD_D7:     .equ   H' 0000D056
066 DBSC3_DBCMD_D8:     .equ   H' 0000D056
067 DBSC3_DBCMD_D9:     .equ   H' 11000041
068 DBSC3_DBCMD_D10:    .equ   H' 2A000008
069 DBSC3_DBCMD_D11:    .equ   H' 2B000000
070 DBSC3_DBCMD_D12:    .equ   H' 29000042
071 DBSC3_DBCMD_D13:    .equ   H' 28000930
072 DBSC3_DBCMD_D14:    .equ   H' 03000200
073
074 DBSC3_DBKIND_D:     .equ   H' 00000007
075 DBSC3_DBCONF_D:     .equ   H' 0d030a02
076
077 DBSC3_DBTR0_D:      .equ   H' 00000007
078 DBSC3_DBTR1_D:      .equ   H' 00000006
079 DBSC3_DBTR2_D:      .equ   H' 00000000
080 DBSC3_DBTR3_D:      .equ   H' 00000007
081 DBSC3_DBTR4_D:      .equ   H' 00070007
082 DBSC3_DBTR5_D:      .equ   H' 0000001B
083 DBSC3_DBTR6_D:      .equ   H' 00000014
084 DBSC3_DBTR7_D:      .equ   H' 00000006
085 DBSC3_DBTR8_D:      .equ   H' 0000001B
086 DBSC3_DBTR9_D:      .equ   H' 00000004
087 DBSC3_DBTR10_D:     .equ   H' 00000008
088 DBSC3_DBTR11_D:     .equ   H' 00000007
089 DBSC3_DBTR12_D:     .equ   H' 0000000F
090 DBSC3_DBTR13_D:     .equ   H' 0000003B
091 DBSC3_DBTR14_D:     .equ   H' 00000006
092 DBSC3_DBTR15_D:     .equ   H' 00000003

```

```

093 DBSC3_DBTR16_D: . equ H' 00160002
094 DBSC3_DBTR17_D: . equ H' 000C000C
095
096 DBSC3_DBPDLCK0_D: . equ H' 0000a55a
097 DBSC3_DBPDLCK1_D: . equ H' 00000000
098 DBSC3_DBPDRGA0_D: . equ H' 00000028
099 DBSC3_DBPDRG0_D: . equ H' 00017200
100
101 DBSC3_DBPDCNT0_D: . equ H' 00000001
102 DBSC3_DBPDCNT1_D: . equ H' 00000001
103 DBSC3_DBPDCNT3_D: . equ H' 00004000 ;/* manual will be fixed*/
104
105 DBSC3_DBBSOCNT0_D: . equ H' 00000000
106 DBSC3_DBBSOCNT1_D: . equ H' 00000000
107
108 DBSC3_DBRFCNF0_D: . equ H' 000000C8
109 DBSC3_DBRFCNF1_D: . equ H' 00000ED8
110 DBSC3_DBRFCNF2_D: . equ H' 00000000
111 DBSC3_DBRFEN_D: . equ H' 00000001
112 DBSC3_DBACEN_D: . equ H' 00000001
113
114 WAIT_200US: . equ 33333
115
116 ;/*----- LBSC -----*/
117 MMSELR_A: . equ H' fc400020
118 BCR_A: . equ H' FF801000
119 CS0_BCR_A: . equ H' FF802000
120 CS1_BCR_A: . equ H' FF802010
121 CS2_BCR_A: . equ H' FF802020
122 CS3_BCR_A: . equ H' FF802030
123 CS4_BCR_A: . equ H' FF802040
124 CS5_BCR_A: . equ H' FF802050
125 CS6_BCR_A: . equ H' FF802060
126 CS0_WCR_A: . equ H' FF802008
127 CS1_WCR_A: . equ H' FF802018
128 CS2_WCR_A: . equ H' FF802028
129 CS3_WCR_A: . equ H' FF802038
130 CS4_WCR_A: . equ H' FF802048
131 CS5_WCR_A: . equ H' FF802058
132 CS6_WCR_A: . equ H' FF802068
133 CS5_PCMCIA_A: . equ H' FF802070
134 CS6_PCMCIA_A: . equ H' FF802080
135
136 MMSELR_D: . equ H' a5a50003
137
138 BCR_D: . equ H' 00000000
139 CS0_BCR_D: . equ H' 11111670

```

```
140 CS0_WCR_D: .equ H' 42000008
141 CS1_BCR_D: .equ H' 11111670
142 CS1_WCR_D: .equ H' 02000003
143
144 ;/* Chache */
145 CCR_A: .equ H' ff00001c
146 CCR_D: .equ H' 0000090b
147
```


6. 参考ドキュメント

- ソフトウェアマニュアル
SH4-A ソフトウェアマニュアル(RJJ09B0090)
(最新版をルネサスエレクトロニクスホームページから入手してください)
- ハードウェアマニュアル
SH7786 グループハードウェアマニュアル(RJJ09B0533)
(最新版をルネサスエレクトロニクスホームページから入手してください)

ホームページとサポート窓口

- ルネサス エレクトロニクスホームページ
<http://japan.renesas.com/>
- お問い合わせ先
<http://japan.renesas.com/inquiry>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2011.3.31	—	初版発行

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所・電話番号は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス販売株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

(03)5201-5307

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：<http://japan.renesas.com/inquiry>