

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

SH7263/SH7203 グループ

BSC NOR 型フラッシュメモリ接続例 (16 ビットデータバス)

要旨

この資料はバスステートコントローラ (BSC) のインタフェースの機能を紹介し、クロック非同期タイプの NOR 型フラッシュメモリとの接続例を掲載しています。

動作確認デバイス

SH7263/SH7203

目次

1. 仕様	2
2. 応用例の説明	3
3. 参考ドキュメント	24

1. 仕様

- SH7263/SH7203 とスパシオン製 32M , 64M , 128M ビット NOR 型フラッシュメモリを 16 ビットデータバス幅で接続します。
- SH7263/SH7203 のバスステートコントローラ (BSC) を使用し、外部の NOR 型フラッシュメモリに対するリード/ライトを行います。

1.1 使用機能

- バスステートコントローラ (BSC)

1.2 適用条件

- マイコン: SH7263/ SH7203 (R5S72630/R5S72030)グループ
- フラッシュメモリ: スパシオン製 32M ビット品: S29GL032A** (2M words × 16 bits)
スパシオン製 64M ビット品: S29GL064A** (4M words × 16 bits)
スパシオン製 128M ビット品: S29GL128N** (8M words × 16 bits)
- 動作周波数: 内部クロック 200MHz
バスクロック 66.67MHz

1.3 関連アプリケーションノート

本資料は、SH7263/SH7203 グループハードウェアマニュアルの設定条件で動作確認しています。そちらもあわせて参照ください。

2. 応用例の説明

2.1 使用機能の動作概要

SH7263/SH7203 のバスステ - トコントローラ (BSC) を使用し、外部に接続された NOR 型フラッシュメモリの制御を行います。表 1 に本応用例で使用する NOR 型フラッシュメモリ仕様を示します。

表 1 SH7263/SH7203 で使用可能な NOR 型フラッシュメモリ仕様

項目	フラッシュメモリ仕様		
型名	S29GL032A** (スパンション製)	S29GL064A** (スパンション製)	S29GL128N** (スパンション製)
構成 (1 エリアあたりの最大: 64M バイト)	4M バイト (2M ワード × 16 ビット × 1 個)	8M バイト (4M ワード × 16 ビット × 1 個)	16M バイト (8M ワード × 16 ビット × 1 個)
データバス幅	16 ビット		
アクセス時間	ランダムアクセス時: 90ns (最大) / ページリード時: 25ns (最大)		
ブートブロック	トップブート, ボトムブートはモデル番号で識別		

図 1 にメモリマップを示します。接続するメモリの種類およびデータバス幅は、CS 空間ごとに指定します。本応用例では、CS0 空間に NOR 型フラッシュメモリを接続しています。

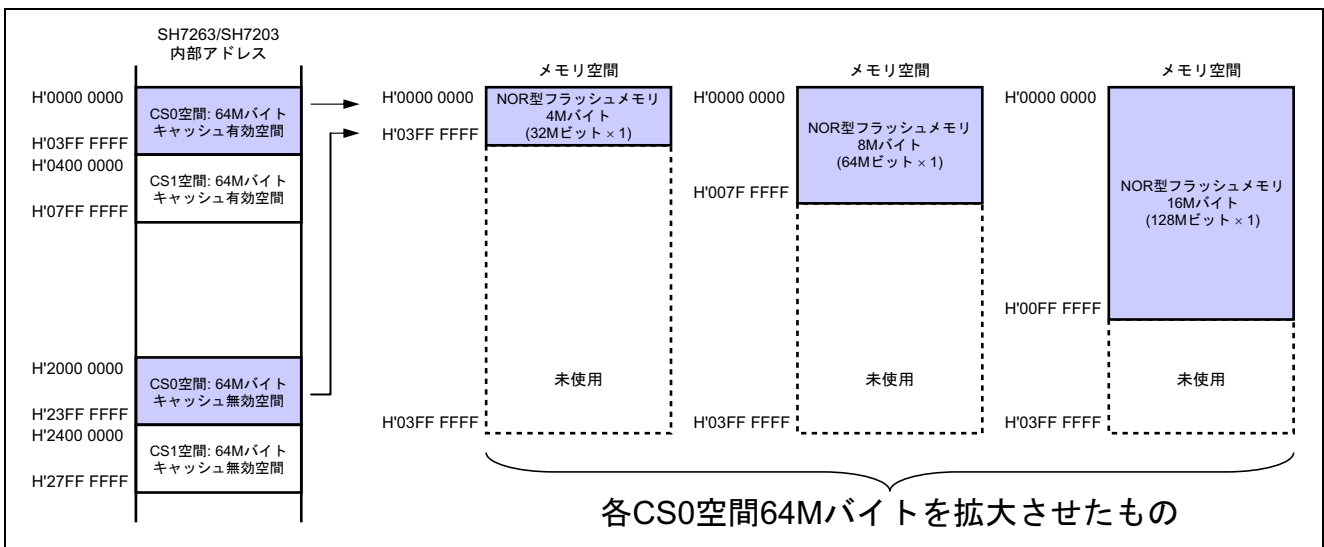


図 1 メモリマップ (32M/64M/128M ビット品の場合)

図 3, 図 4, 図 5 に NOR 型フラッシュメモリ接続回路例を示します。

SH7263/SH7203 と NOR 型フラッシュメモリは 16 ビットデータバス幅で接続しています。NOR 型フラッシュメモリのデータバス幅を 16 ビット固定とするため BYTE 端子は "H" に固定します。また, SH7263/SH7203 の CS0 空間のデータバス幅を 16 ビットとするため, MD 端子を "L" とします。

【補足】エンディアンについて

SH7263/SH7203 では, バイトデータの並び方を上位バイト (MSB) が 0 番地側になるビッグエンディアン, 下位バイト (LSB) が 0 番地側になるリトルエンディアンのいずれもサポートしています。全エリアでパワーオンリセット後の初期状態は, ビッグエンディアンとなります。エリア 0 空間は, リトルエンディアンへの変更はできませんが, エリア 1~7 空間では, 対象空間をアクセスしていない場合に, CSnBCR レジスタの設定でエンディアンの変更ができます。

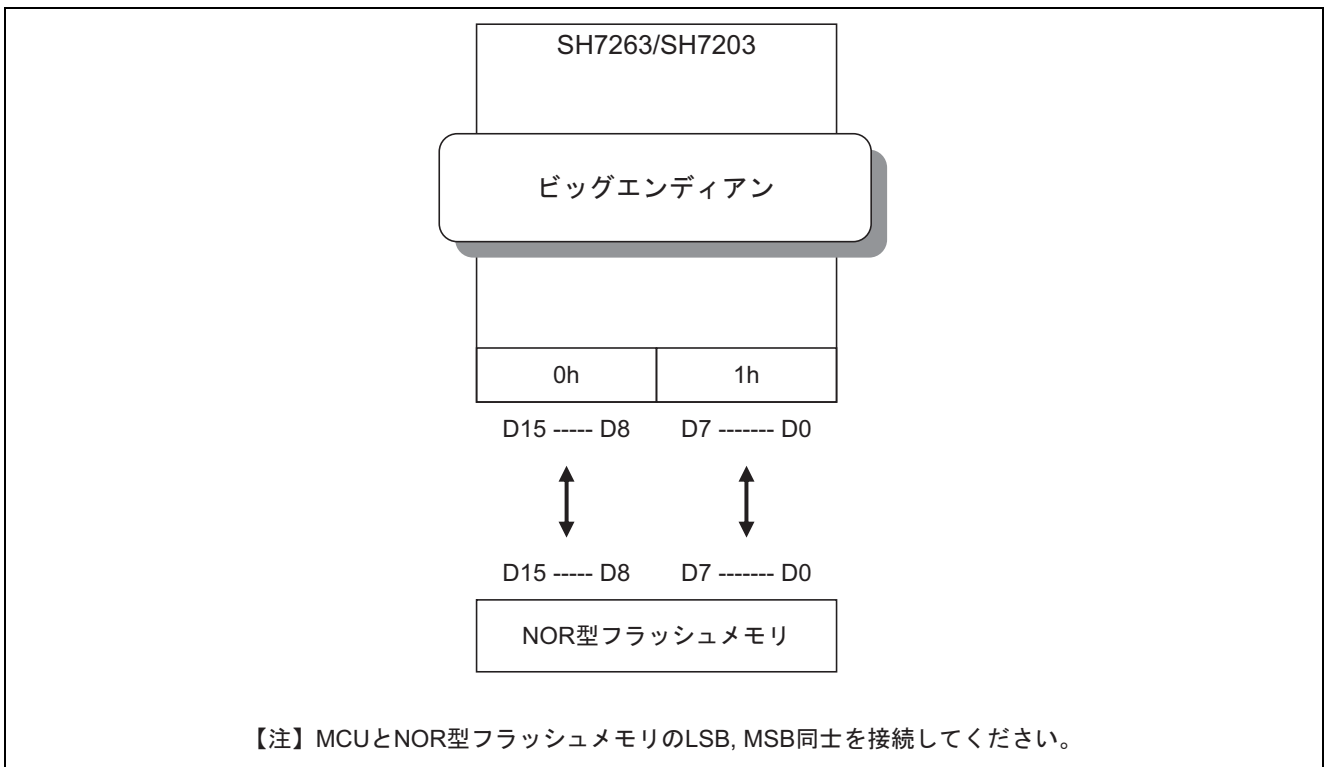


図 2 SH7263/SH7203 と NOR 型フラッシュメモリを接続例 (16 ビットバス)

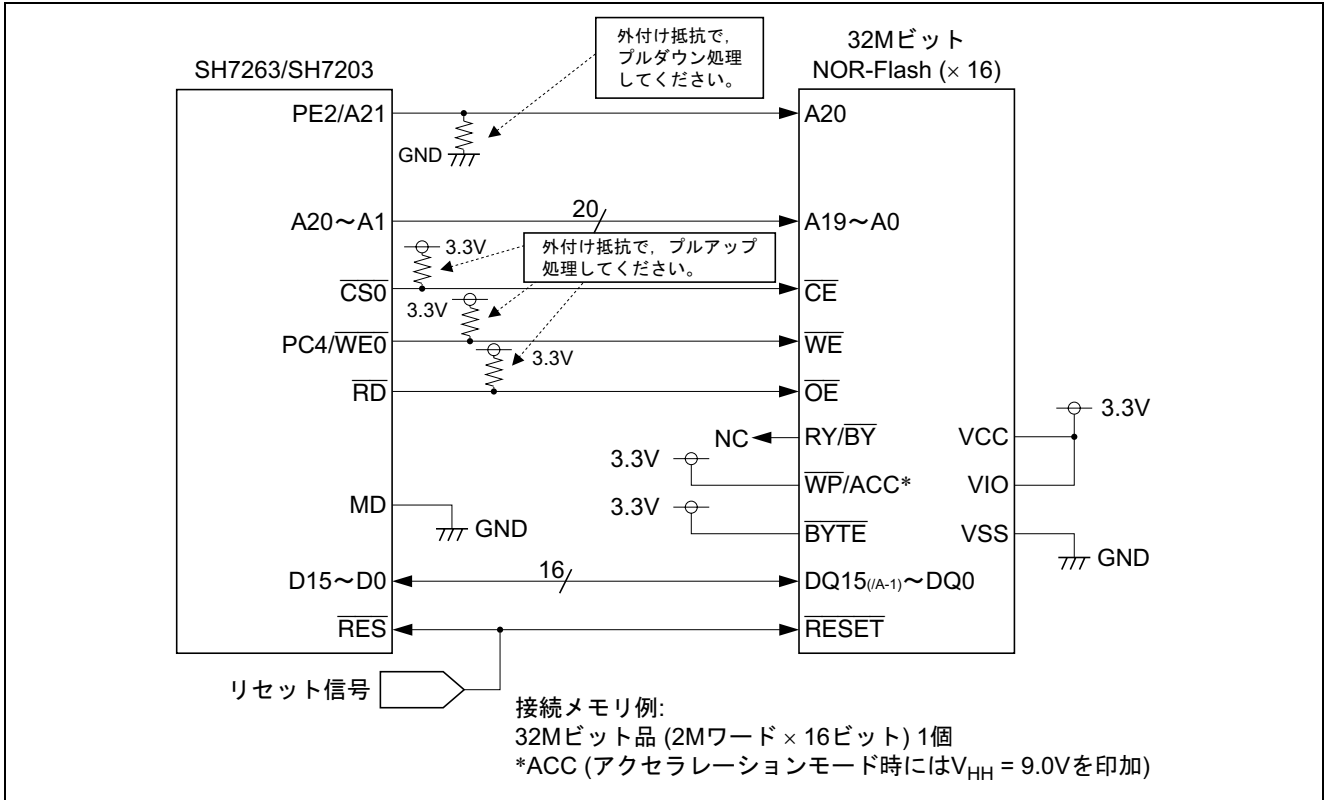


図3 フラッシュメモリ接続回路例 (1) (32Mビット品/4Mバイト, 16ビットバス)

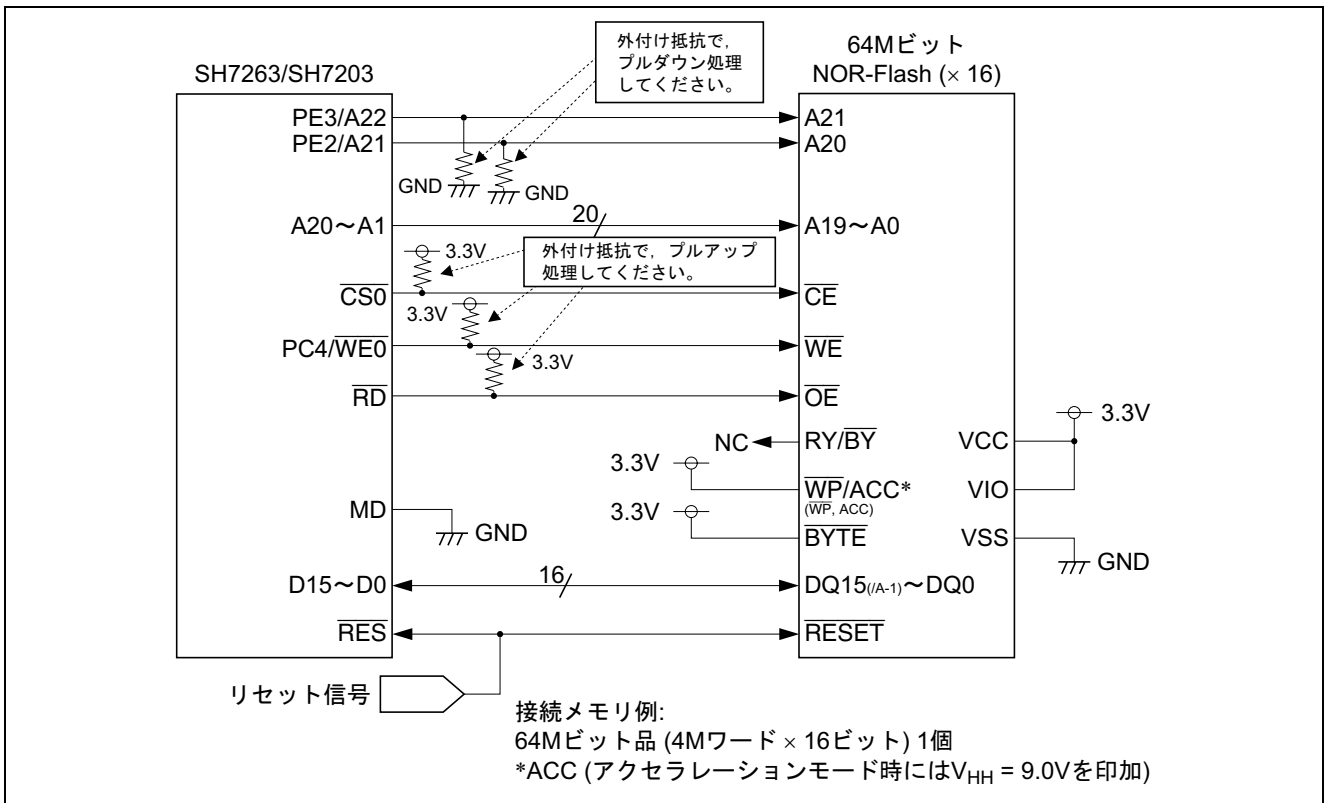


図4 フラッシュメモリ接続回路例 (2) (64Mビット品/8Mバイト, 16ビットバス)

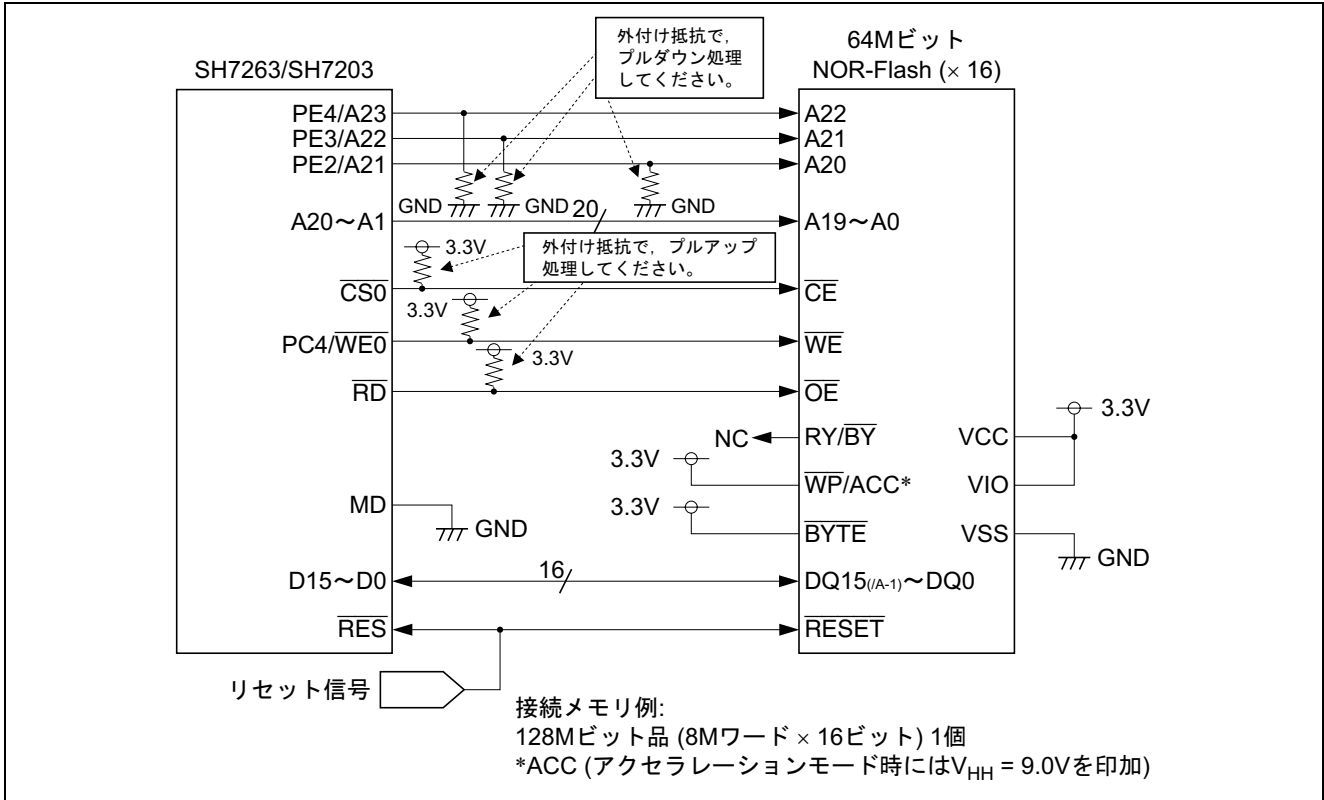


図5 フラッシュメモリ接続回路例 (3) (128Mビット品/16Mバイト, 16ビットバス)

表2にSH7263/SH7203の端子機能を示します。A21, A22, A23端子およびWE0端子は初期端子機能がI/Oポートになっていますので、ピンファンクションコントローラ (PFC) による端子機能の切り替えが必要です。またCS0空間に接続したNOR型フラッシュメモリからブートプログラムを実行する場合、ブート時にはマイコンのI/Oポートは初期状態では入力ポートとなるため、状態が決まらず不定となり、メモリに悪影響を与える可能性が考えられます。そこでCS0空間の所定のアドレスを正確に読み出せるように、A21, A22, A23端子を外付け抵抗でプルダウン処理を行い、Lレベルになるようにしてください。なお、制御信号 (CS0, WE0, RD) については、動作を安定にするために外付け抵抗でプルアップ処理をすることを推奨いたします。

表2 SH7263/SH7203 端子機能表

SH7263 端子	入出力	初期端子機能	回路例での機能
A23	出力	I/Oポート (PE4)	アドレスバス (128Mビット品接続時に使用)
A22	出力	I/Oポート (PE3)	アドレスバス (64M/128Mビット品接続時に使用)
A21	出力	I/Oポート (PE2)	アドレスバス (32M/64M/128Mビット品接続時に使用)
A20 ~ A1	出力	A20 ~ A1	アドレスバス
D15 ~ D0	入出力	D15 ~ D0	データバス
RD	出力	RD	リードパルス信号 (リードデータ出力許可信号)
WE0	出力	I/Oポート (PC4)	D15 ~ D0対応のバイト書き込み指示
CS0	出力	CS0	チップセレクト
MD	入力	MD	CS0空間のバス幅およびCS1 ~ CS7空間のバス幅初期値を選択します。またCS0空間のバス幅は、パワーオンリセット後は変更できません。
		MD	データバス幅
		1	32ビット
		2	16ビット (本応用例における設定値)

2.2 使用機能の設定手順

NOR 型フラッシュメモリには、ランダムアクセス読み出しと ページリードの 2 種類の読み出し方式があります。それぞれの読み出し方式を使用する場合には、バスステートコントローラの設定が異なります。ここでは両者の設定手順について示します。

なお、デバイスによってはページリードをサポートしていない場合もあります。またページリードにはクロック同期タイプとクロック非同期タイプがありますが、本アプリケーションノートではクロック非同期タイプについて説明します。

2.2.1 ランダムアクセス読み出し使用時の設定手順

ランダムアクセス読み出しは CS0 ~ CS7 空間で使用可能です。使用する空間のバスコントロールレジスタ (CSnBCR n=0~7) のビット名 TYPE[2:0]を「通常空間 ("B'000")」に設定します。

表 3 に CS0 空間使用時のバスステートコントローラの設定例を示します。各レジスタの詳細については、「SH7263/SH7203 グループ ハードウェアマニュアル」バスステートコントローラの章を参照ください。

図 6 にバスステートコントローラの設定手順例を示します。

表 3 バスステートコントローラの設定例 (1)

レジスタ名	アドレス	設定値	機能
CS0 空間 バスコントロール レジスタ (CS0BCR)	H'FFFC 0004	H'2000 0400	<ul style="list-style-type: none"> IWW[2:0] = "B'010" ライト-リード/ライト-ライト間アイドル : 2 アイドルサイクル挿入 本ビットはライト-ライト間に NOR 型フラッシュメモリの tWPH の規格を満たす設定が必要です。 TYPE[2:0] = "B'000" 本ビットは、空間に接続するメモリの種類を設定します。 : 通常空間 <p>【注】 本レジスタ内の BSZ[1:0]ビット (データバス幅指定ビット) への書き込みは無視されます。CS0 空間のデータバス幅指定は、MD 端子により、行ってください。 なお、上記以外のビットについては設定の必要はありませんので初期値のままにしてください。</p>
CS0 空間 ウェイトコントロール レジスタ (CS0WCR)	H'FFFC 0028	H'0000 0B41	<ul style="list-style-type: none"> SW [1:0] = "B'01" アドレス, $\overline{CS0}$ アサート \overline{RD}, \overline{WE} アサート遅延サイクル数: 1.5 サイクル WR [3:0] = "B'0110" アクセスウェイトサイクル数: 6 サイクル WM = "B'1" 外部ウェイト入力無視 HW [1:0] = "B'01" \overline{RD}, \overline{Wn} ネゲート アドレス, $\overline{CS0}$ ネゲート遅延サイクル: 1.5 サイクル

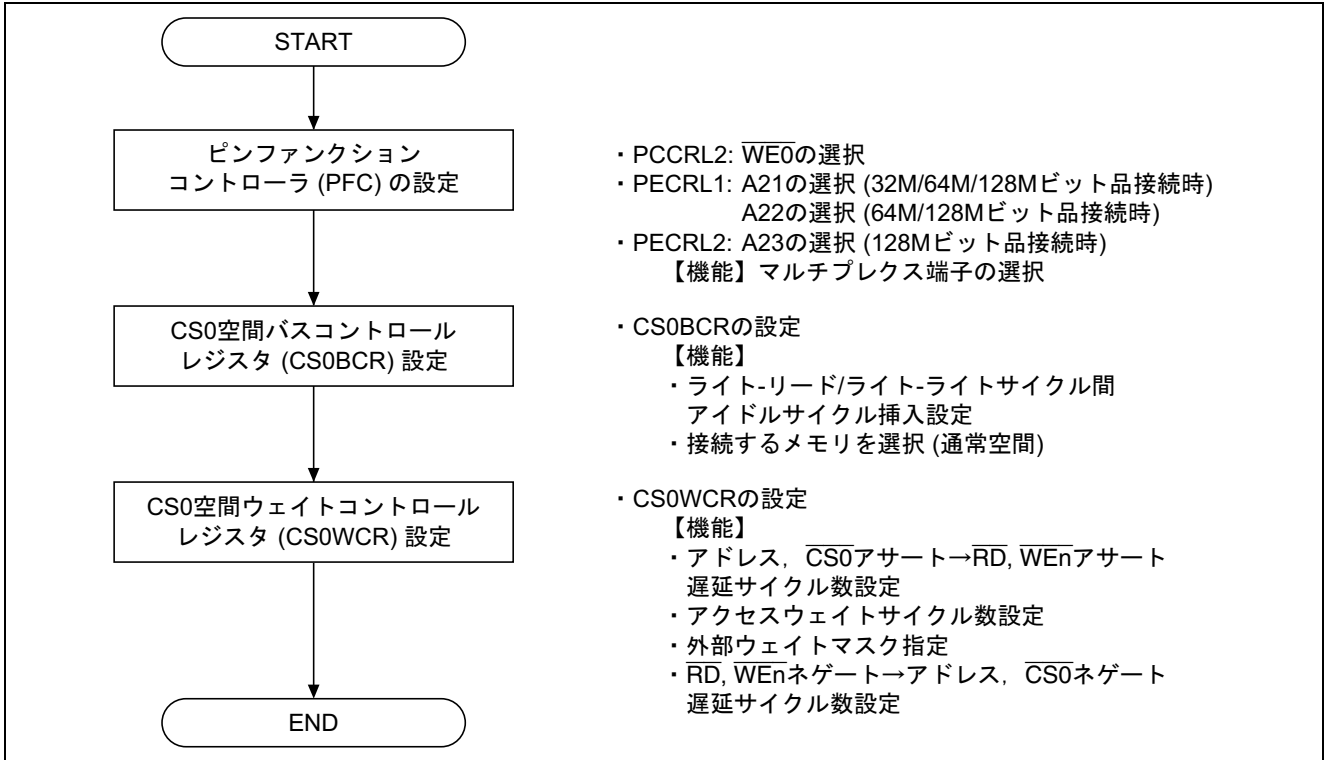


図 6 バスステートコントローラの設定手順例 (1) (CS0 空間)

2.2.2 ページリード使用時の設定手順

ページリード (クロック非同期) は CS0, CS4 空間で使用可能です。使用する空間のバスコントロールレジスタ (CS_nBCR n=0 または 4) のビット名 TYPE[2:0] を「バースト ROM (クロック非同期) ("B'001")」に設定します。なお, CS0 空間にバースト ROM を接続する場合は, CS0WCR レジスタを使用するバースト ROM で必要な設定に変更した後で TYPE[2:0] をバースト ROM の設定にしてください。

表 4 に CS0 空間使用時のバスステートコントローラの設定例を示します。各レジスタの詳細については, 「SH7263/SH7203 グループ ハードウェアマニュアル」バスステートコントローラの章を参照ください。

図 7 にバスステートコントローラの設定手順例を示します。

表 4 バスステートコントローラの設定例 (2)

レジスタ名	アドレス	設定値	機能
CS0 空間 バスコントロール レジスタ (CS0BCR)	H'FFFC 0004	H'2000 1400	<ul style="list-style-type: none"> IWW[2:0] = "B'010" ライト-リード/ライト-ライト間アイドル : 2 アイドルサイクル挿入 本ビットはライト-ライト間に NOR 型フラッシュメモリの tWPH の規格を満たす設定が必要です。 TYPE[2:0] = "B'001" 本ビットは, 空間に接続するメモリの種類を設定します。 : バースト ROM (クロック非同期) <p>【注】 本レジスタ内の BSZ[1:0] ビット (データバス幅指定ビット) への書き込みは無視されます。CS0 空間のデータバス幅指定は, MD 端子により, 行ってください。 なお, 上記以外のビットについては設定の必要はありませんので初期値のままにしてください。</p>
CS0 空間 ウェイトコントロール レジスタ (CS0WCR)	H'FFFC 0028	H'0013 03C0	<ul style="list-style-type: none"> BST[1:0] = "B'01" バースト数指定: 2 バースト × 4 回 BW[1:0] = "B'11" バーストウェイトサイクル数: 3 サイクル W[3:0] = "B'0111" アクセスウェイトサイクル数: 8 サイクル WM = "B'1" 外部ウェイト入力無視

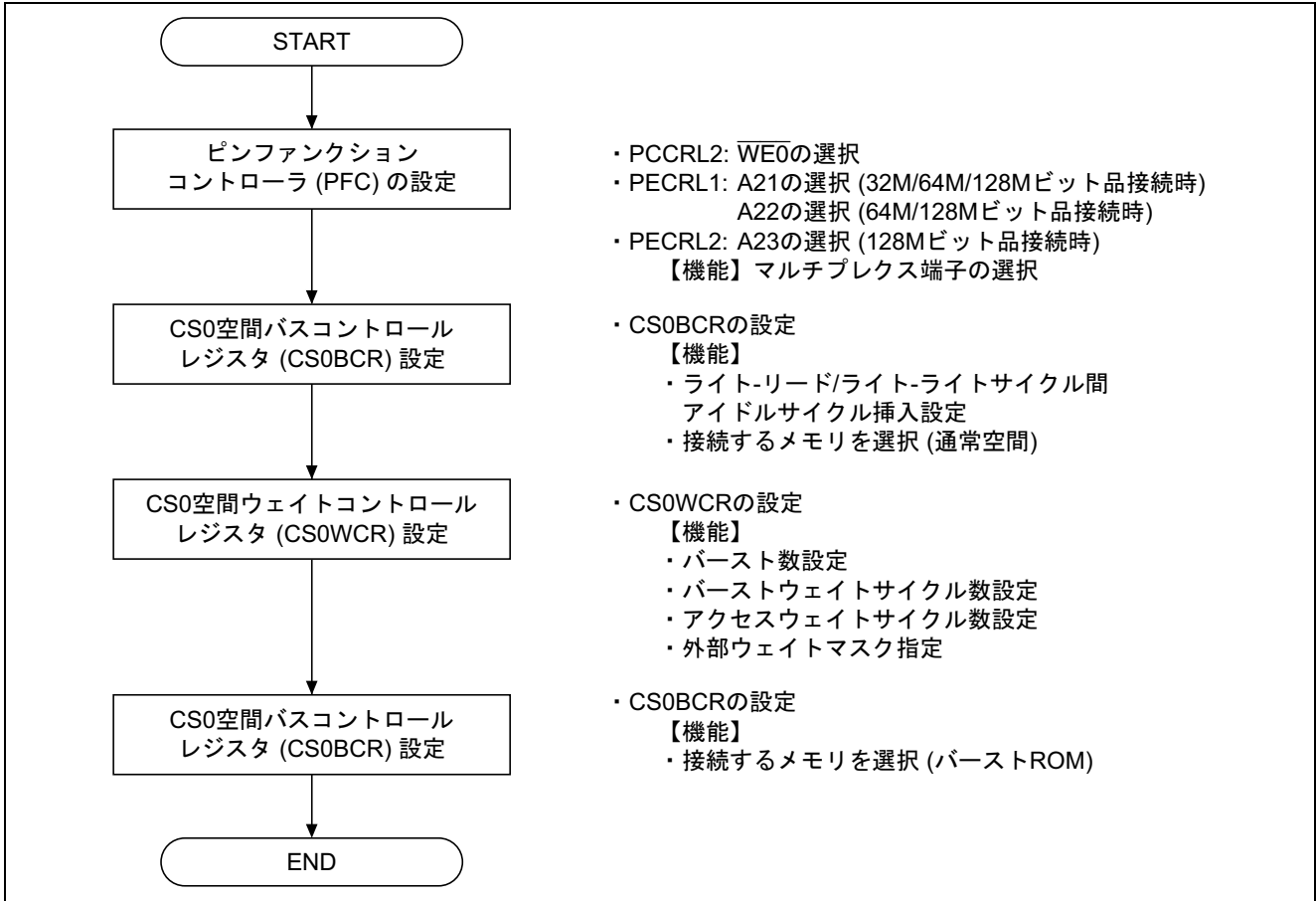


図7 バスステートコントローラの設定手順例 (2) (CS0 空間)

2.3 NOR 型フラッシュメモリのタイミング設定参考例

NOR 型フラッシュメモリを接続する場合には、使用するフラッシュメモリのアクセススピードに応じたウェイトサイクルを設定する必要があります。ここではウェイトサイクルの設定の要点について、ランダムアクセス読み出し使用時とページリード使用時の設定参考例を示します。

なお、参考例の SH7263/SH7203 の動作条件は、バスクロック 66.67MHz (tcyc = 15ns) です。

また SH7263/SH7203 および NOR 型フラッシュメモリの AC 特性に関しては、各デバイスのデータシートを参照ください。

2.3.1 ランダムアクセス読み出し使用時の設定参考例 (CS0 空間)

1. CS アサート期間拡張

A. アドレス, $\overline{CS0}$ アサートから \overline{RD} , $\overline{WE0}$ アサートまでの遅延サイクル (Th)

使用する NOR 型フラッシュメモリの tCS (チップイネーブルセットアップ時間) を満足していることを確認します。なお、本アプリケーションノートでは (Th) については CS0 空間ウェイトコントロールレジスタ (CS0WCR) のビット"SW"で設定した遅延サイクルより 0.5 サイクルを引いたサイクル数 (Th = SW - 0.5 サイクル)を使用します (以下の参考例では (Th = 1.0) を設定しています)。

$$tCS(\min) \leq \underbrace{tCS_min}_{P20} \dots\dots\dots (\text{図 } 10)$$

B. \overline{RD} , $\overline{WE0}$ ネゲートからアドレス, $\overline{CS0}$ ネゲートまでの遅延サイクル (Tf)

使用する NOR 型フラッシュメモリの tAH (アドレスホールド時間) を満足していることを確認します。なお、本アプリケーションノートでは (Tf) については CS0 空間ウェイトコントロールレジスタ (CS0WCR) のビット"HW"で設定した遅延サイクルより 0.5 サイクルを引いたサイクル数 (Tf = HW - 0.5 サイクル)を使用します (以下の参考例では (Tf = 1.0) を設定しています)。

$$tAH(\min) \leq \underbrace{(T1 - tWED1_max)}_{P14} + \underbrace{(tcyc \times Tw)}_{P3} + \underbrace{(T2)}_{P16} + \underbrace{(tcyc \times Tf)}_{P17} + \underbrace{(tAD1_min)}_{P18} \dots\dots\dots (\text{図 } 10)$$

2. アクセスウェイトサイクル

T1 サイクルと T2 サイクル間にウェイトサイクル (Tw) を設定します。

本設定において、SH7263/SH7203 と使用する NOR 型フラッシュメモリのバスタイミングを満たしていることを確認します (参考例では 1 ウェイトサイクル (Tw = 1) を設定しています)。

なお、下記計算式に使用している T1, T2 は T1 = T2 = tcyc とします。

● NOR 型フラッシュメモリの tRC (リードサイクル時間) (図 8)

$$tRC(\min) \leq \underbrace{(tcyc \times Th - tCSD1_max)}_{P5} + \underbrace{(T1)}_{P2} + \underbrace{(tcyc \times Tw)}_{P3} + \underbrace{(T2 - tRDS1_min)}_{P4}$$

【注】 本来、 $tRC \leq tcyc \times Th + T1 + tcyc \times Tw + T2 + tcyc \times Tf$ となりますが、ここでは最も厳しい条件を想定して $tRC = tCE$ を採用しております。

- NOR 型フラッシュメモリの tACC (アドレスアクセス時間) (図 8)

$$t_{ACC}(\max) \leq \underbrace{(t_{cyc} \times T_h - t_{AD1_max})}_{P1} + \underbrace{(T1)}_{P2} + \underbrace{(t_{cyc} \times T_w)}_{P3} + \underbrace{(T2 - t_{RDS1_min})}_{P4}$$
- NOR 型フラッシュメモリの tCE (\overline{CE} アクセス時間) (図 8)

$$t_{CE}(\max) \leq \underbrace{(t_{cyc} \times T_h - t_{CSD1_max})}_{P5} + \underbrace{(T1)}_{P2} + \underbrace{(t_{cyc} \times T_w)}_{P3} + \underbrace{(T2 - t_{RDS1_min})}_{P4}$$
- NOR 型フラッシュメモリの tOE (\overline{OE} アクセス時間) (図 8)

$$t_{OE}(\max) \leq \underbrace{(T1 - t_{RSD_max})}_{P6} + \underbrace{(t_{cyc} \times T_w)}_{P3} + \underbrace{(T2 - t_{RDS1_min})}_{P4}$$
- NOR 型フラッシュメモリの tOH (前サイクルデータ出力保持時間) (図 8)

$$t_{OH}(\min) \leq t_{RDH1}(\min)$$
- NOR 型フラッシュメモリの tWC (ライトサイクル時間) (図 9)

$$t_{WC}(\min) \leq \underbrace{(t_{cyc} \times T_h - t_{AD1_max})}_{P1} + \underbrace{(T1)}_{P2} + \underbrace{(t_{cyc} \times T_w)}_{P3} + \underbrace{(T2)}_{P16} + \underbrace{(t_{cyc} \times T_f)}_{P17} + \underbrace{(t_{AD1_min})}_{P18}$$
- NOR 型フラッシュメモリの tAS (アドレスセットアップ時間) (図 9)

$$t_{AS}(\min) \leq \underbrace{t_{AS_min}}_{P19}$$
- NOR 型フラッシュメモリの tWP (ライトパルス幅) (図 10)

$$t_{WP}(\min) \leq \underbrace{(T1 - t_{WED1_max})}_{P14} + \underbrace{(t_{cyc} \times T_w)}_{P3} + \underbrace{(t_{WED1_min})}_{P8}$$
- NOR 型フラッシュメモリの tDS (データセットアップ時間) (図 9)

$$t_{DS}(\min) \leq \underbrace{(t_{cyc} \times T_h - t_{WDD1_max})}_{P9} + \underbrace{(T1)}_{P2} + \underbrace{(t_{cyc} \times T_w)}_{P3} + \underbrace{(t_{WED1_min})}_{P8}$$
- NOR 型フラッシュメモリの tDH (データホールド時間) (図 9)

$$t_{DH}(\min) \leq \underbrace{t_{WDH4_min}}_{P12}$$

3. アクセスサイクル間ウェイト

連続するアクセス間にアクセスサイクル間ウェイトの挿入を設定します。

本設定において、対象の NOR 型フラッシュメモリの tWPH ("H"ライトパルス幅) を満たしていることを確認します (参考例ではライト—リード/ライト—ライトサイクル間のウェイトサイクルを 1 サイクル (Taw = 1) を設定しています)。

$$t_{WPH}(\min) \leq \underbrace{(T2 - t_{WED1_max})}_{P10} + \underbrace{(t_{cyc} \times T_f)}_{P11} + \underbrace{(t_{cyc} \times T_{aw})}_{P14} + \underbrace{(t_{cyc} \times T_h)}_{P15} + \underbrace{(t_{WED1_min})}_{P13} \dots \text{(図 11)}$$

図 8 に NOR 型フラッシュメモリ・リードタイミング (1) を示します。

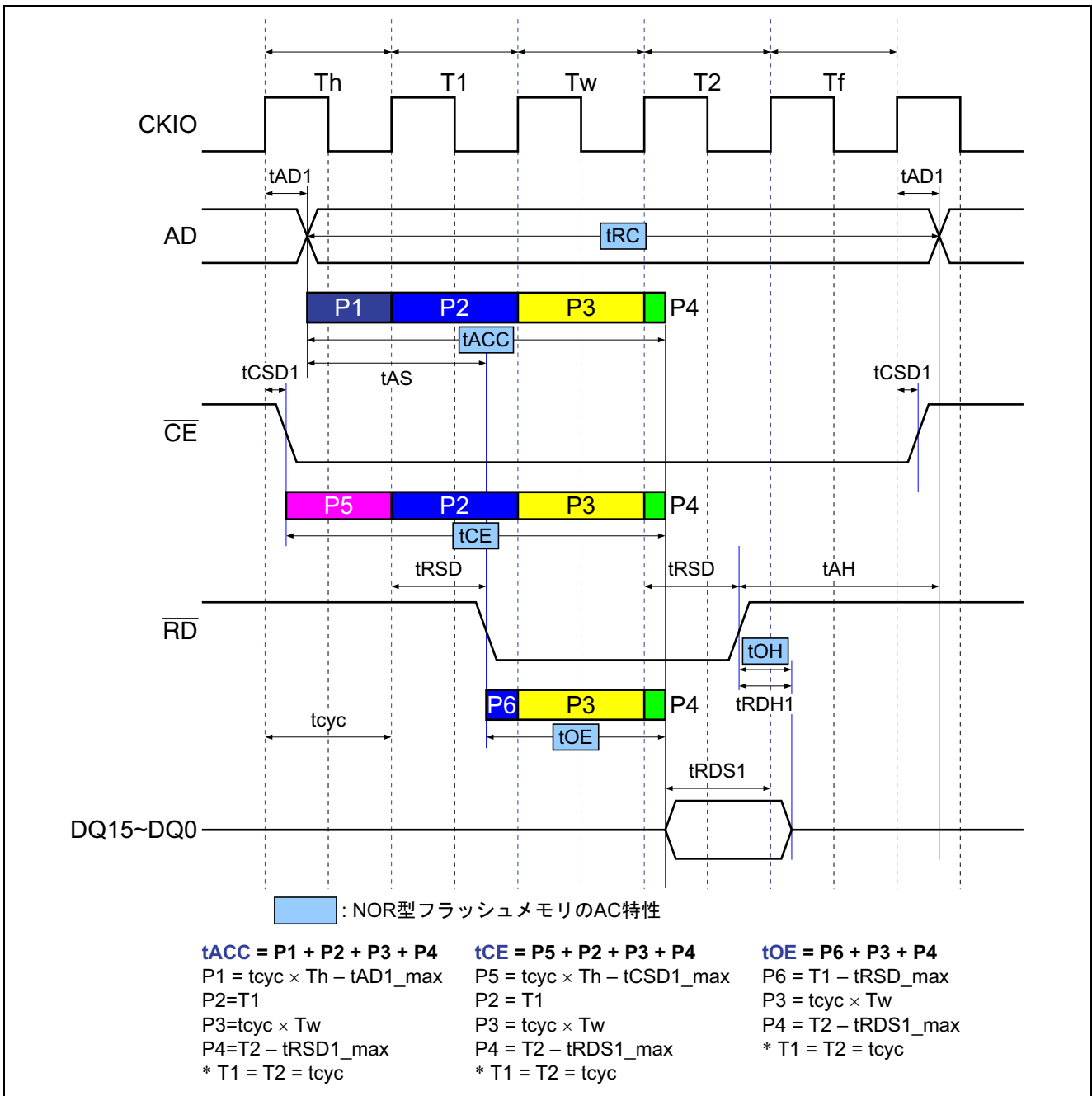


図 8 NOR 型フラッシュメモリ リードタイミング (1) (SW = 1, WR = 1, HW = 1)

図9に NOR 型フラッシュメモリ・ライトタイミング (1) を示します。

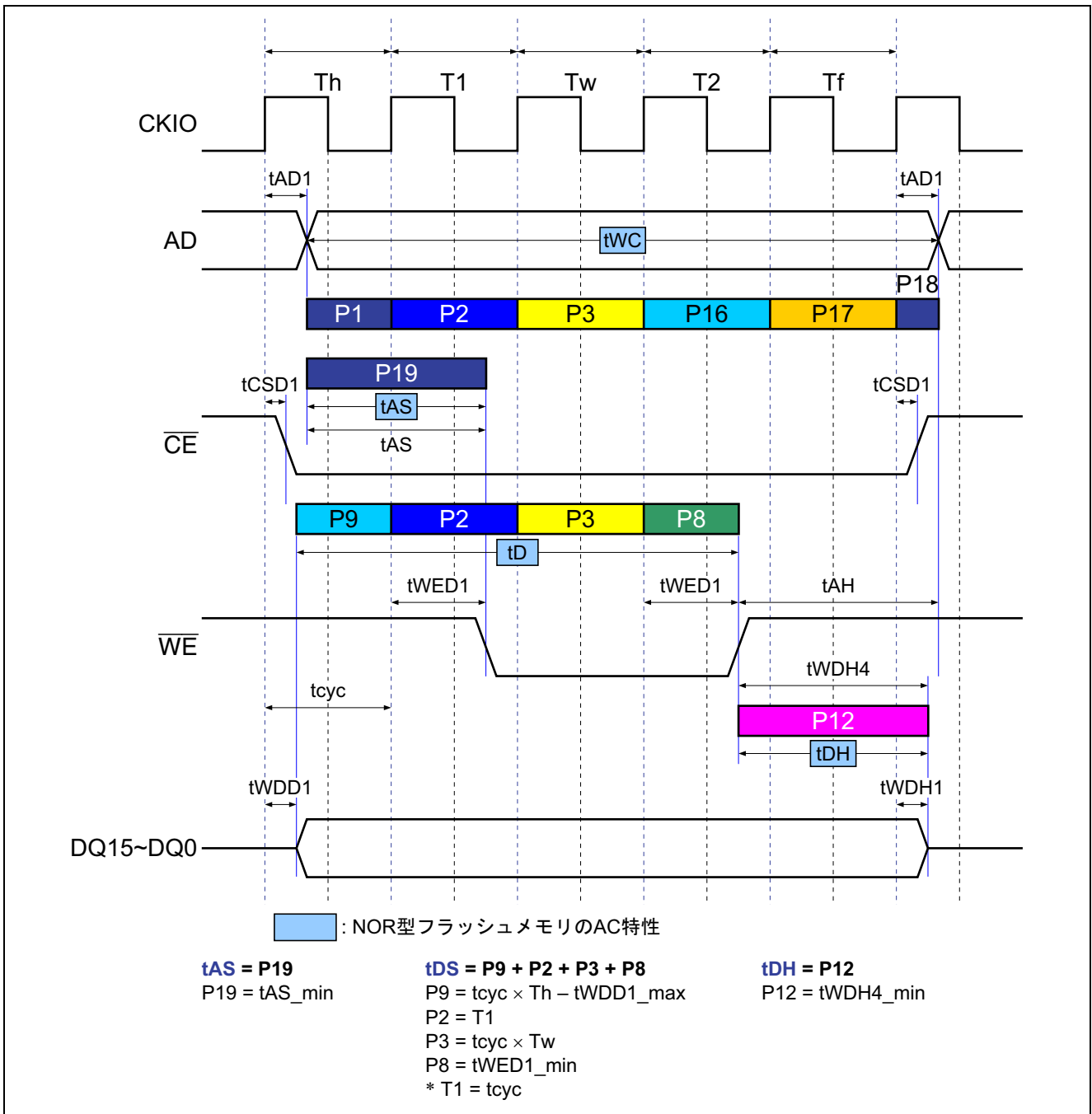


図9 NOR 型フラッシュメモリ ライトタイミング (1) (SW = 1, WR = 1, HW = 1)

図 10 に NOR 型フラッシュメモリ・ライトタイミング (2) を示します。

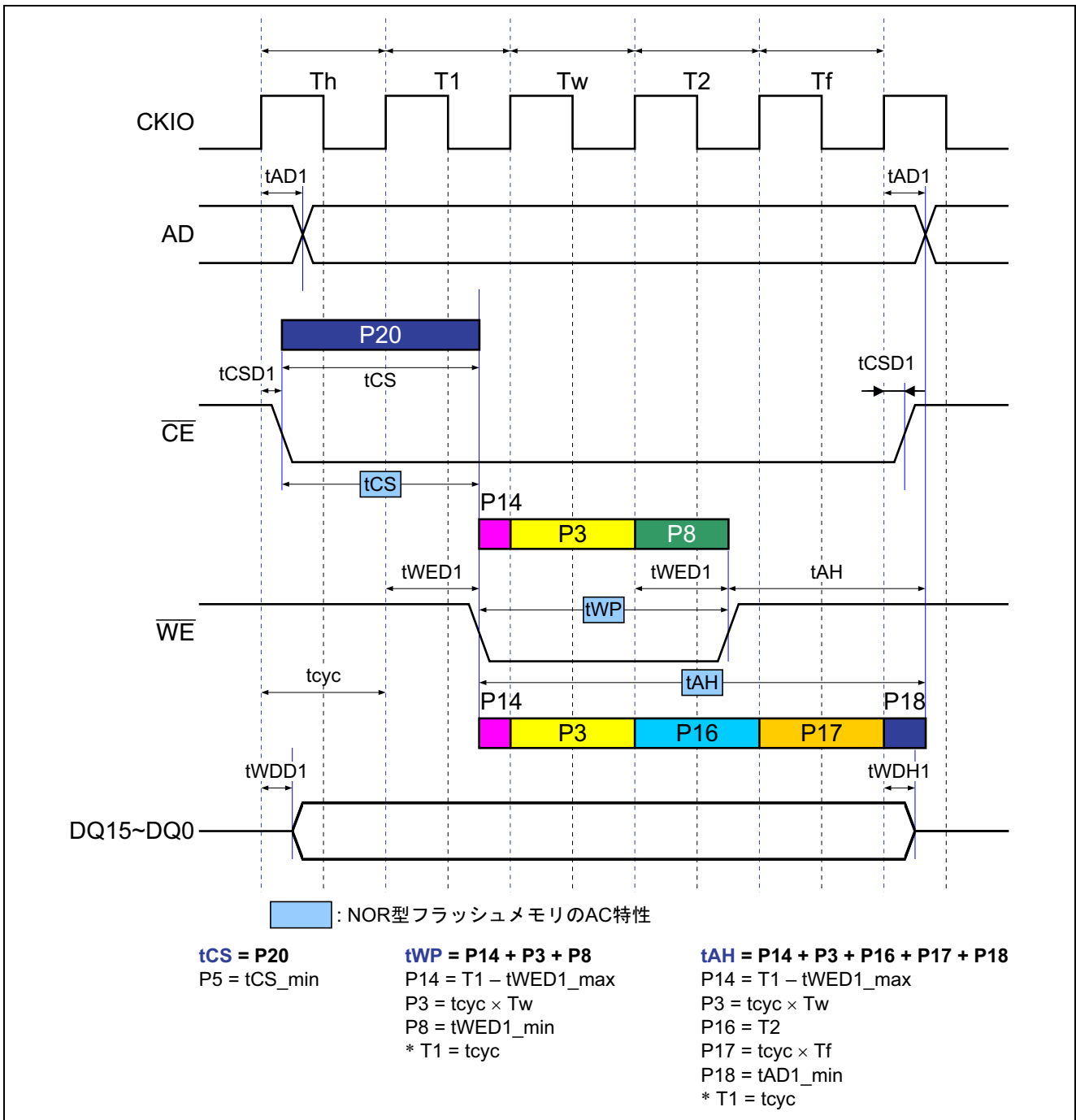


図 10 NOR 型フラッシュメモリ ライトタイミング (2) (SW = 1, WR = 1, HW = 1)

図 11 に NOR 型フラッシュメモリ・ライトタイミング (3) を示します。

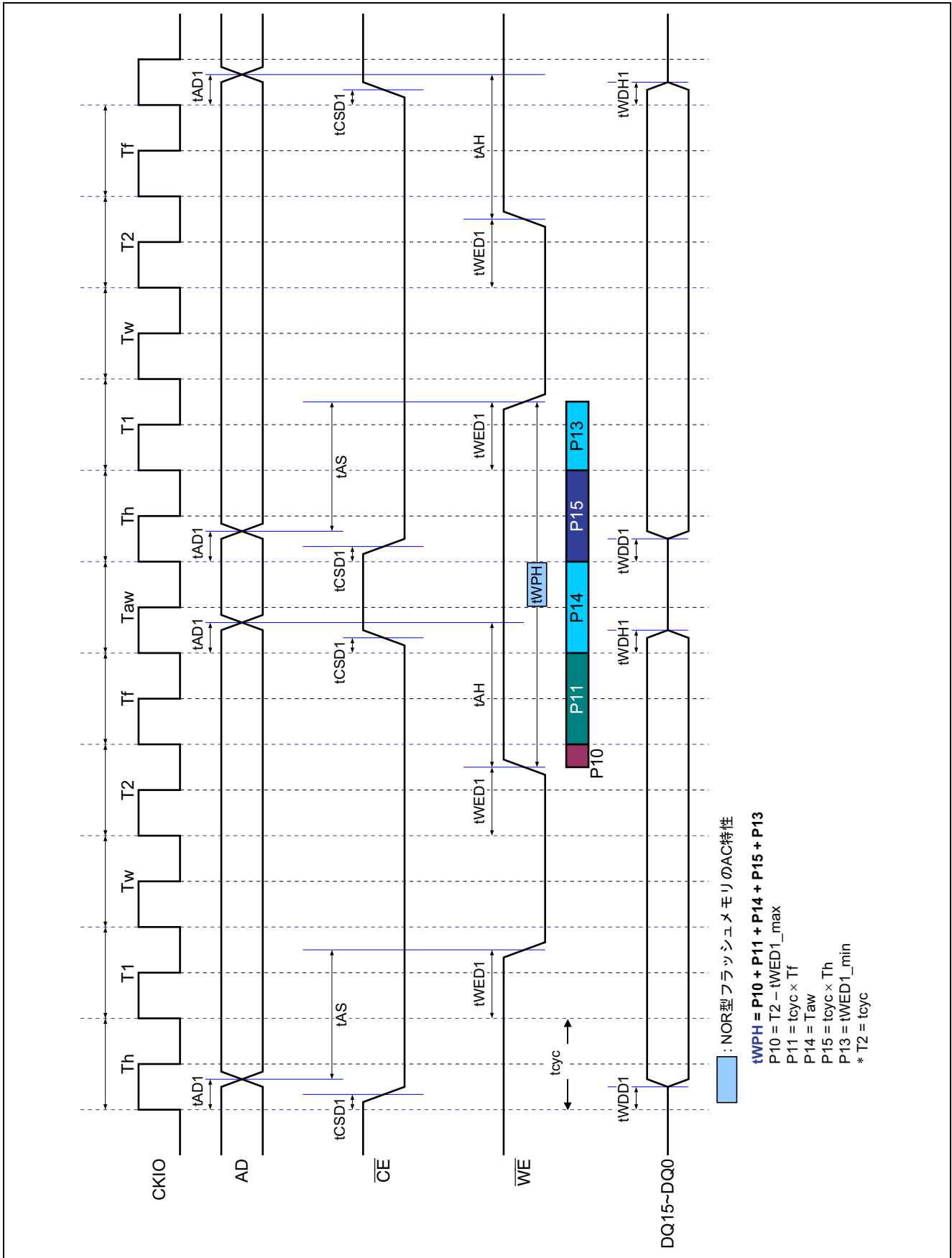


図 11 NOR 型フラッシュメモリ ライトタイミング (3) (SW = 1, WR = 1, HW = 1, Taw = 1)

2.3.2 ページリード使用時の設定参考例 (CS0 空間)

1. CS アサート期間拡張

CS0 空間でページリード使用時には CS アサート期間拡張は設定できません。従いまして アドレス、 $\overline{CS0}$ アサートから \overline{RD} , $\overline{WE0}$ アサートまでの遅延サイクル (Th) と \overline{RD} , $\overline{WE0}$ ネゲートからアドレス、 $\overline{CS0}$ ネゲートまでの遅延サイクル (Tf) は共に 0.5 サイクル (固定値) になります。

なお、本アプリケーションノートでは (Th) と (Tf) については、遅延サイクル (固定値) より 0.5 サイクルを引いたサイクル数 (Th = Tf = 0.5 - 0.5 = 0 サイクル) を使用します (以下の参考例では (Th = Tf = 0.0) を設定しています)。

ここで使用する NOR 型フラッシュメモリの tCS (チップイネーブルセットアップ時間), tAH (アドレスホールド時間) を満足していることを確認します。

$$tCS(\min) \leq \underbrace{tCS_min}_{PB13} \quad \text{..... (図 14)}$$

$$tAH(\min) \leq \underbrace{(T1 - tWED1_max)}_{PB14} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(T2)}_{PB18} + \underbrace{(tAD1_min)}_{PB19} \quad \text{..... (図 14)}$$

2. アクセスウェイトサイクル

1 回目のアクセスサイクルに挿入するウェイトサイクル (Tw) を設定します。

本設定において、SH7263/SH7203 と使用する NOR 型フラッシュメモリのバスタイミングを満たしていることを確認します (参考例では 1 ウェイトサイクル (Tw = 1) を設定しています)。

なお、下記計算式に使用している T1, T2B は T1 = T2B = tcyc とします。

- NOR 型フラッシュメモリの tRC (リードサイクル時間) (図 12)

$$tRC(\min) \leq \underbrace{(T1 - tCSD1_max)}_{PB4} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(T2B - tRDS3_min)}_{PB3}$$

【注】 本来、ページリードでは tRC の規定がありませんので、1 回目のアクセスサイクルについて tRC = tCE を採用しました。

- NOR 型フラッシュメモリの tACC (アクセスアクセス時間) (図 12)

$$tACC(\max) \leq \underbrace{(T1 - tAD1_max)}_{PB1} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(T2B - tRDS3_min)}_{PB3}$$

- NOR 型フラッシュメモリの tCE (\overline{CE} アクセス時間) (図 12)

$$tCE(\max) \leq \underbrace{(T1 - tCSD1_max)}_{PB4} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(T2B - tRDS3_min)}_{PB3}$$

- NOR 型フラッシュメモリの tOE (\overline{OE} アクセス時間) (図 12)

$$tOE(\max) \leq \underbrace{(T1 - tRSD_max)}_{PB5} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(T2B - tRDS3_min)}_{PB3}$$

- NOR 型フラッシュメモリの tPACC (ページアクセス時間/第 2 アクセスサイクル以降) (図 12)

$$tPACC(\max) \leq \underbrace{(T2B - tAD2_max)}_{PB6} + \underbrace{(tcyc \times Twb)}_{PB7} + \underbrace{(T2B - tRDS3_min)}_{PB8}$$

- NOR 型フラッシュメモリの tOH (前サイクルデータ出力保持時間) (図 12)

$$tOH(\min) \leq tRDH3(\min)$$

- NOR 型フラッシュメモリの tWC (ライトサイクル時間) (図 13)

$$tWC(\min) \leq \underbrace{(T1 - tAD1_max)}_{PB1} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(T2)}_{PB18} + \underbrace{(tAD1_min)}_{PB19}$$

- NOR 型フラッシュメモリの tAS (アドレスセットアップ時間) (図 13)

$$tAS(\min) \leq \underbrace{tAS_min}_{PB17}$$

- NOR 型フラッシュメモリの tWP (ライトパルス幅) (図 14)

$$tWP(\min) \leq \underbrace{(T1 - tWED1_max)}_{PB14} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(tWED1_min)}_{PB9}$$

- NOR 型フラッシュメモリの tDS (データセットアップ時間) (図 13)

$$tDS(\min) \leq \underbrace{(T1 - tWDD1_max)}_{PB10} + \underbrace{(tcyc \times Tw)}_{PB2} + \underbrace{(tWED1_min)}_{PB9}$$

- NOR 型フラッシュメモリの tDH (データホールド時間) (図 13)

$$tDH(\min) \leq \underbrace{tWDH4_min}_{PB12}$$

3. アクセスサイクル間ウェイト

連続するアクセス間にアクセスサイクル間ウェイトの挿入を設定します。

本設定において、対象の NOR 型フラッシュメモリの tWPH ("H"ライトパルス幅) を満たしていることを確認します (参考例ではライト—リード/ライト—ライトサイクル間のウェイトサイクルを 1 サイクル (Taw = 1) を設定しています)。

$$tWPH(\min) \leq \underbrace{(T2 - tWED1_max)}_{PB11} + \underbrace{(tcyc \times Taw)}_{PB15} + \underbrace{(tWED1_min)}_{PB16} \quad \text{..... (図 15)}$$

図 12 に NOR 型フラッシュメモリ・ページリードタイミング (1) を示します。

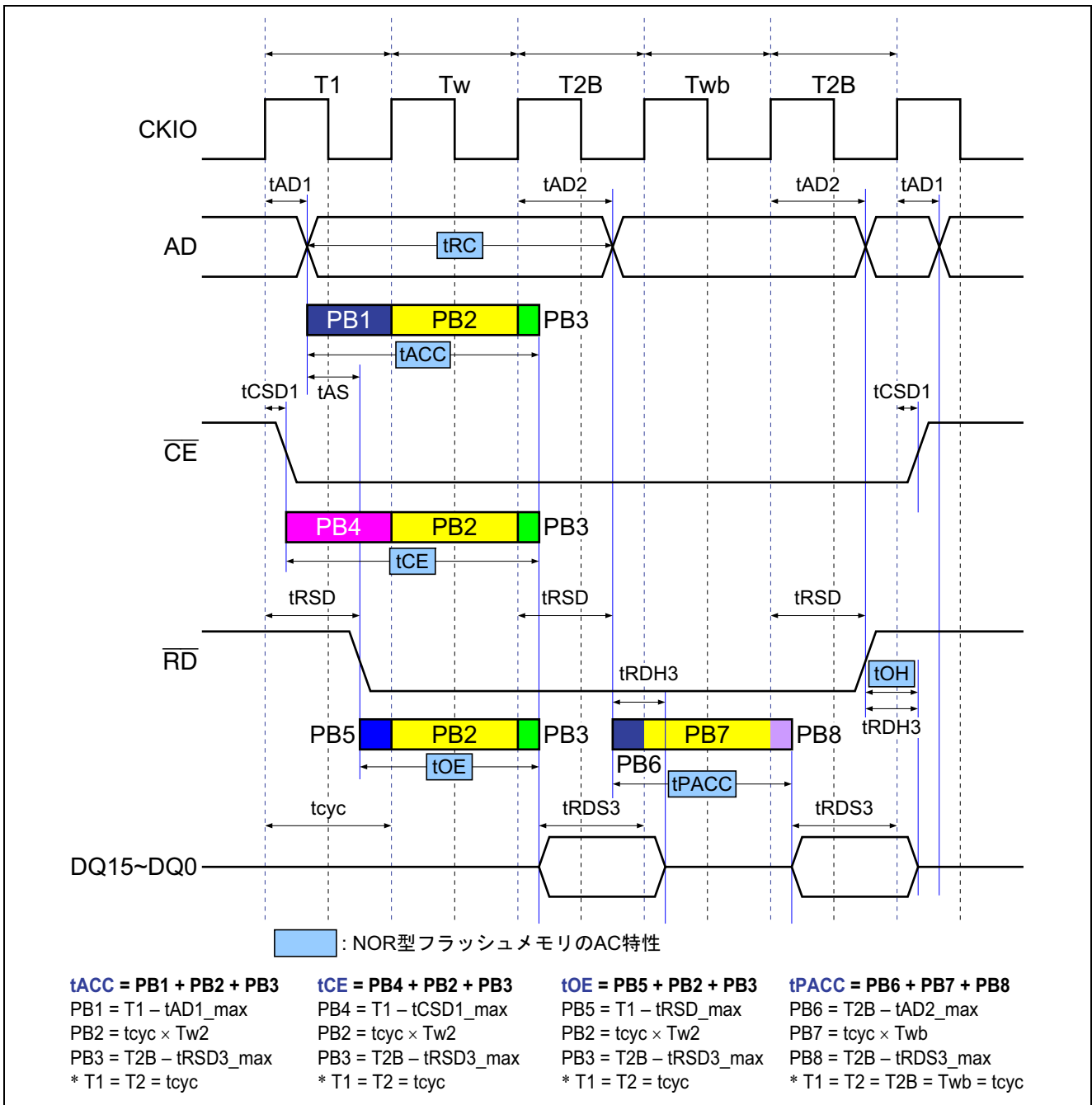


図 12 NOR 型フラッシュメモリ ページリードタイミング (1) (W = 1, BW = 1, BST = 2)

図 13 に NOR 型フラッシュメモリ・ライトタイミング (4) を示します。

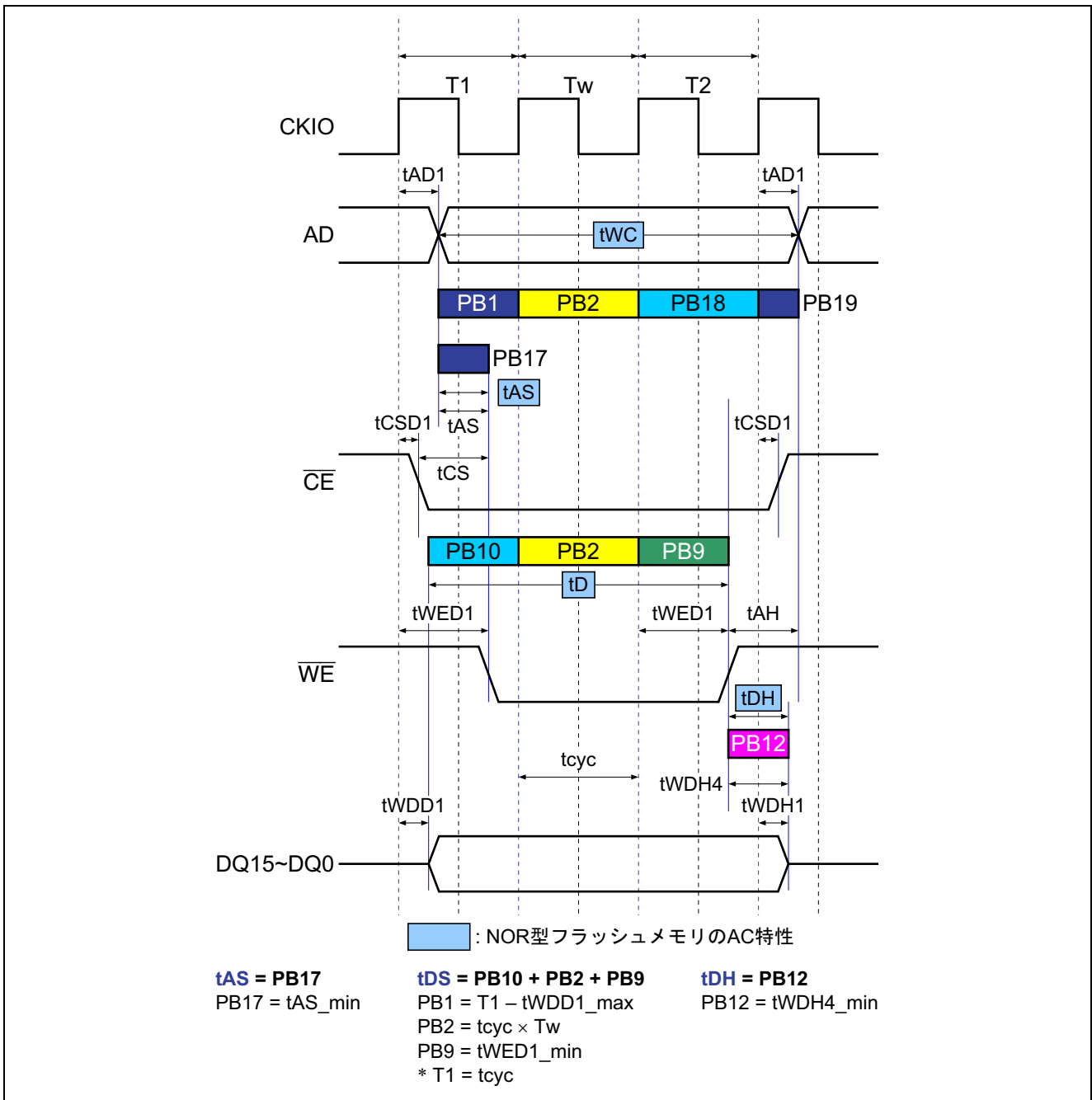


図 13 NOR 型フラッシュメモリ ライトタイミング (4) (W = 1)

図 14 に NOR 型フラッシュメモリ・ライトタイミング (5) を示します。

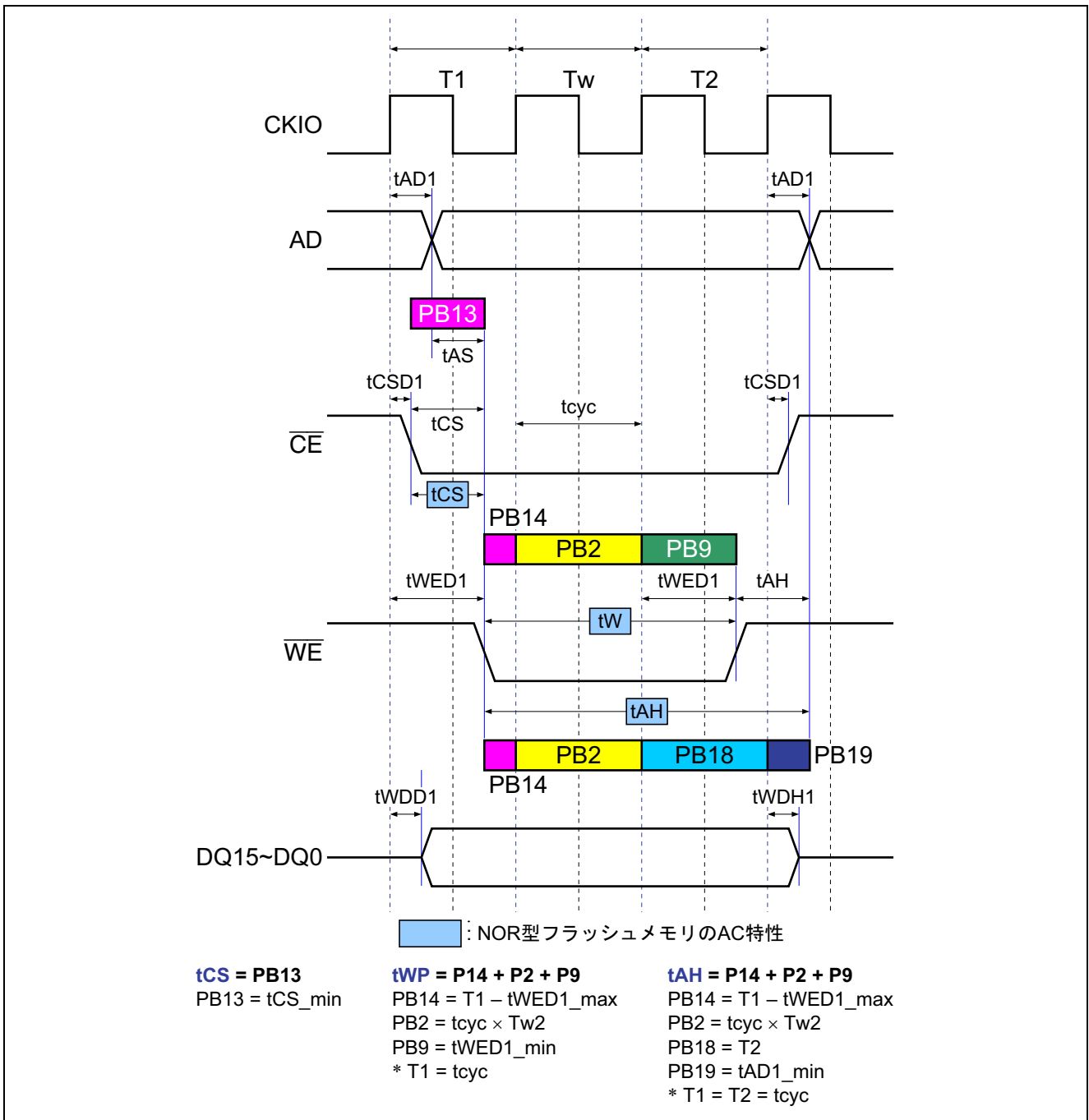


図 14 NOR 型フラッシュメモリ ライトタイミング (5) (W = 1)

図 15 に NOR 型フラッシュメモリ・ライトタイミング (6) を示します。

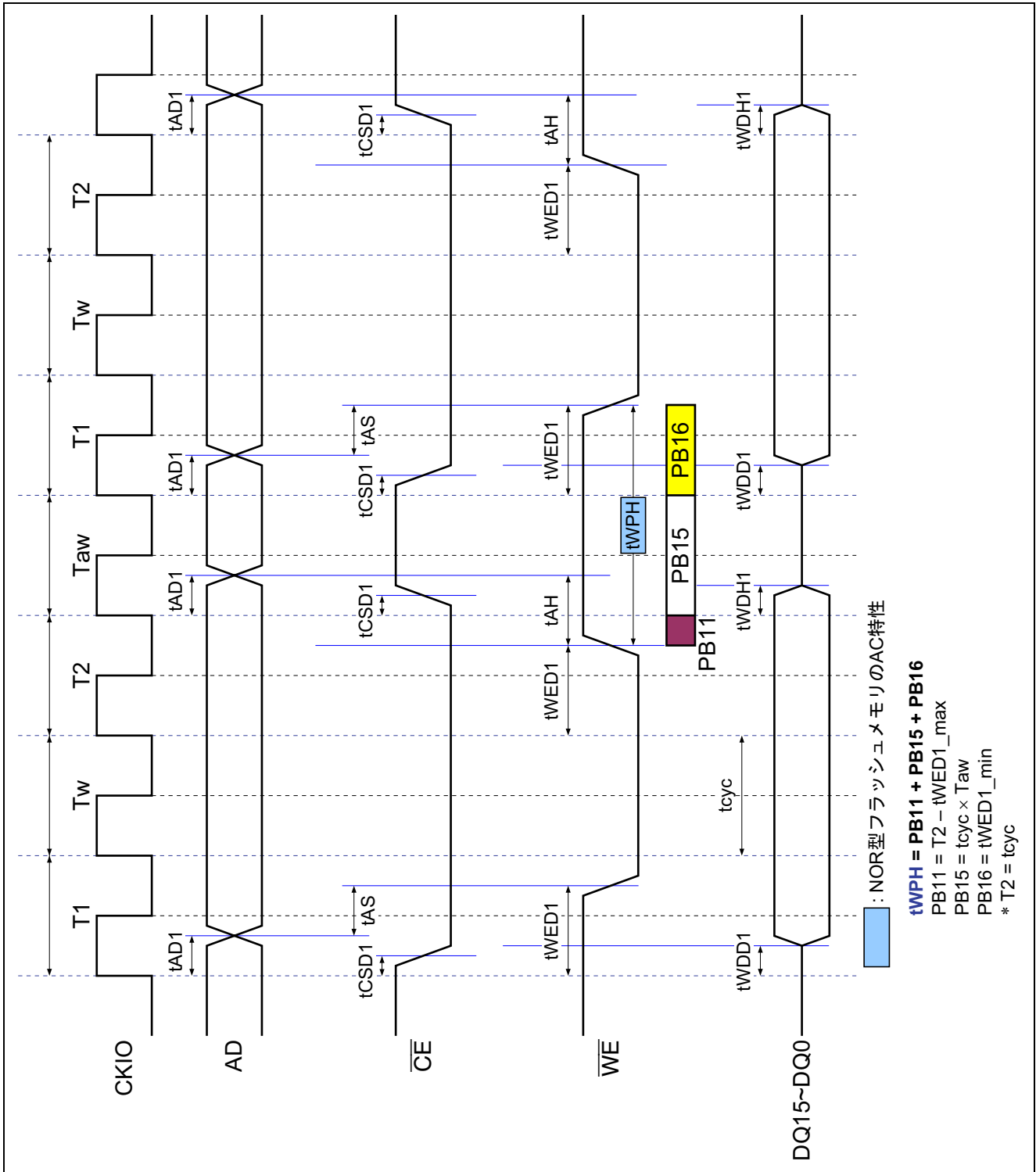


図 15 NOR 型フラッシュメモリ ライトタイミング (6) (W = 1, Taw = 1)

【参考】

図 16 に NOR 型フラッシュメモリ・ページリードタイミング (2) を示します。

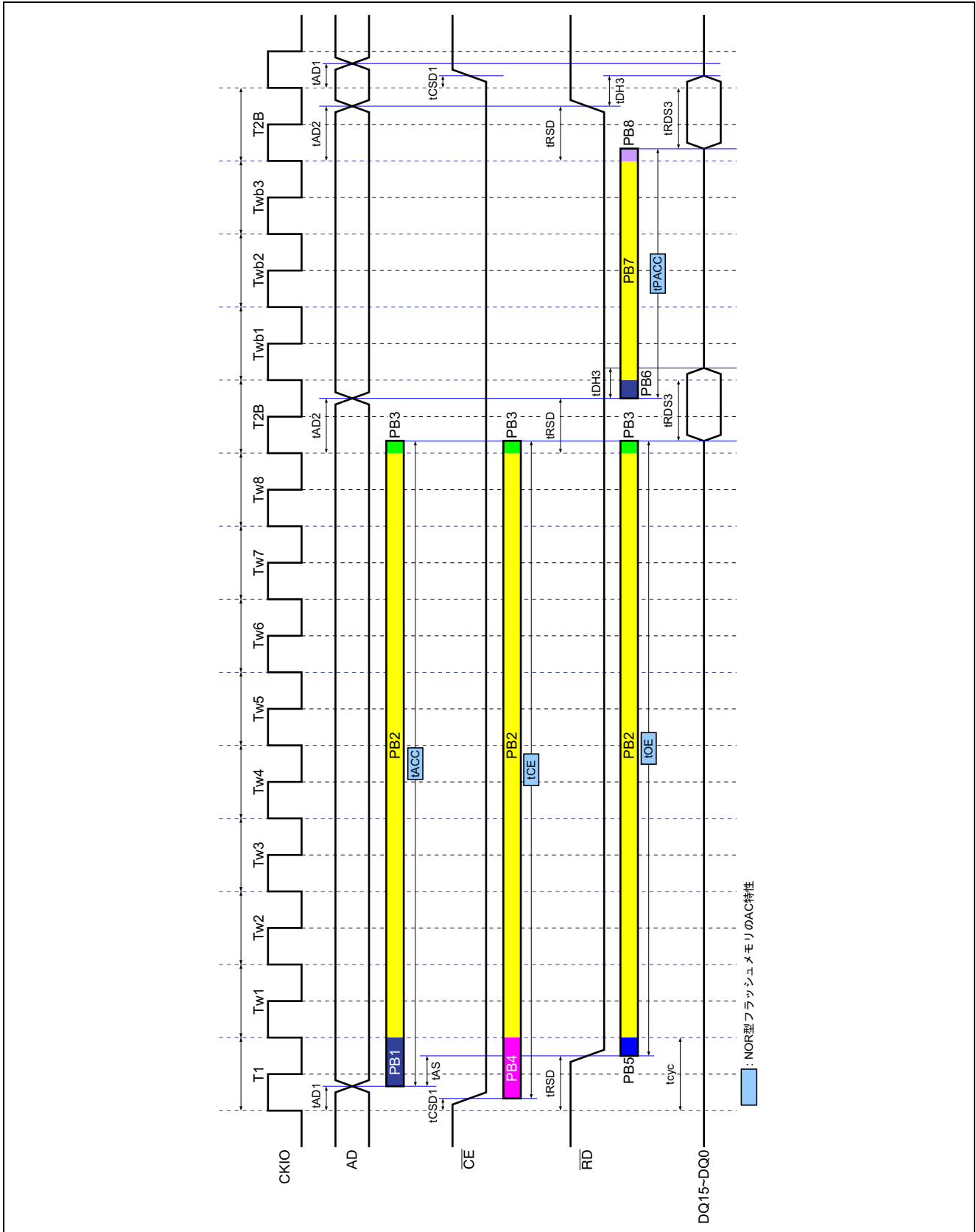


図 16 NOR 型フラッシュメモリ ページリードタイミング (2) (W = 8, BW = 3, BST = 2)

3. 参考ドキュメント

- ソフトウェアマニュアル
SH-2A, SH2A-FPU ソフトウェアマニュアル
(最新版をルネサス テクノロジホームページから入手してください)。
- ハードウェアマニュアル
SH7203 グループ ハードウェアマニュアル
SH7263 グループ ハードウェアマニュアル
(最新版をルネサス テクノロジホームページから入手してください)。

ホームページとサポート窓口

ルネサス テクノロジホームページ

<http://japan.renesas.com/>

お問い合わせ先

<http://japan.renesas.com/inquiry>

csc@renesas.com

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	2008.06.18	—	初版発行

すべての商標および登録商標は、それぞれの所有者に帰属します。

本資料ご利用に際しての留意事項

1. 本資料は、お客様に用途に応じた適切な弊社製品をご購入いただくための参考資料であり、本資料中に記載の技術情報について弊社または第三者の知的財産権その他の権利の実施、使用を許諾または保証するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例など全ての情報の使用に起因する損害、第三者の知的財産権その他の権利に対する侵害に関し、弊社は責任を負いません。
3. 本資料に記載の製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的、あるいはその他軍用途の目的で使用しないでください。また、輸出に際しては、「外国為替および外国貿易法」その他輸出関連法令を遵守し、それらの定めるところにより必要な手続を行ってください。
4. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例などの全ての情報は本資料発行時点のものであり、弊社は本資料に記載した製品または仕様等を予告なしに変更することがあります。弊社の半導体製品のご購入およびご使用に当たりますは、事前に弊社営業窓口で最新の情報をご確認いただきますとともに、弊社ホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
5. 本資料に記載した情報は、正確を期すため慎重に制作したのですが、万一本資料の記述の誤りに起因する損害がお客様に生じた場合においても、弊社はその責任を負いません。
6. 本資料に記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を流用する場合は、流用する情報を単独で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。弊社は、適用可否に対する責任を負いません。
7. 本資料に記載された製品は、各種安全装置や運輸・交通用、医療用、燃焼制御用、航空宇宙用、原子力、海底中継用の機器・システムなど、その故障や誤動作が直接人命を脅かしあるいは人体に危害を及ぼすおそれのあるような機器・システムや特に高度な品質・信頼性が要求される機器・システムでの使用を意図して設計、製造されたものではありません（弊社が自動車用と指定する製品を自動車に使用する場合を除きます）。これらの用途に利用されることをご検討の際には、必ず事前に弊社営業窓口へご照会ください。なお、上記用途に使用されたことにより発生した損害等について弊社はその責任を負いかねますのでご了承願います。
8. 第7項にかかわらず、本資料に記載された製品は、下記の用途には使用しないでください。これらの用途に使用されたことにより発生した損害等につきましては、弊社は一切の責任を負いません。
 - 1) 生命維持装置。
 - 2) 人体に埋め込み使用するもの。
 - 3) 治療行為（患部切り出し、薬剤投与等）を行うもの。
 - 4) その他、直接人命に影響を与えるもの。
9. 本資料に記載された製品のご使用につき、特に最大定格、動作電源電圧範囲、放熱特性、実装条件およびその他諸条件につきましては、弊社保証範囲内でご使用ください。弊社保証値を越えて製品をご使用された場合の故障および事故につきましては、弊社はその責任を負いません。
10. 弊社は製品の品質および信頼性の向上に努めておりますが、特に半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。弊社製品の故障または誤動作が生じた場合も人身事故、火災事故、社会的損害などを生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計などの安全設計（含むハードウェアおよびソフトウェア）およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特にマイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
11. 本資料に記載の製品は、これを搭載した製品から剥がれた場合、幼児が口に入れて誤飲する等の事故の危険性があります。お客様の製品への実装後に容易に本製品が剥がれることがなきよう、お客様の責任において十分な安全設計をお願いします。お客様の製品から剥がれた場合の事故につきましては、弊社はその責任を負いません。
12. 本資料の全部または一部を弊社の文書による事前の承諾なしに転載または複製することを固くお断りいたします。
13. 本資料に関する詳細についてのお問い合わせ、その他お気付きの点等がございましたら弊社営業窓口までご照会ください。

D039444