

【注意事項】

R20TS0432JJ0100

Rev.1.00

2019.06.01 号

CS+用 RL78 コード生成 (CS+ for CC),
CS+用 RL78 コード生成 (CS+ for CA,CX),
e² studio Code Generator プラグイン,
RL78 コード生成支援ツール Applilet3

概要

タイトルに記載している製品の使用上の注意事項を連絡します。

1. クロック発生回路の PLL クロック設定についての注意事項
2. クロック発生回路の RTC 動作クロック設定についての注意事項

1. クロック発生回路の PLL クロック設定についての注意事項

1.1 該当製品

- CS+用 RL78コード生成 V3.02.00 (CS+ for CC V2.05) 以降
- CS+用 RL78コード生成 V3.02.00 (CS+ for CA,CX V2.05) 以降
- Code GeneratorプラグインV1.0.1 (e² studio V2.2.0)以降
- Applilet3 for RL78 V1.01.00以降

1.2 該当デバイス

RL78 ファミリ : RL78/F13、RL78/F14、および RL78/F15 グループ

1.3 内容

該当製品の「クロック発生回路」で以下の設定を行った場合、PLL 出力の分周設定の生成コードに誤りがあります。PLL 出力の分周設定が 2 分周ではなく、4 分周が選択されるため、PLL クロック周波数(fPLL)が意図した値の半分となります。

(例 : PLL クロック(fPLL)設定の周波数で 24MHz を指定した場合は半分の 12MHz)

- クロック発生回路
 - ・メイン・システム・クロック(fMAIN)設定→高速システム・クロック(fMX)を指定
 - ・高速オンチップオシレータクロック設定→「動作」にチェックし、周波数 8MHz を指定
 - ・高速システム・クロック設定→周波数 4MHz を指定
 - ・PLL クロック(fPLL)設定→「動作」にチェックし、周波数 24MHz または 32MHz を指定
 - ・メイン PLL 選択クロック(fMP)設定→PLL クロック(fPLL)設定と同じ周波数を指定

➤ RL78/F15グループの「クロック発生回路」のPLLクロック設定例

メイン・システム・クロック(fMAIN)設定	
<input type="radio"/> 高速オンチップオシレータクロック(fIH)	<input checked="" type="radio"/> 高速システム・クロック(fMX)
高速オンチップオシレータクロック設定	周波数 8 (MHz)
<input checked="" type="checkbox"/> 動作	
高速システム・クロック設定	
<input checked="" type="checkbox"/> 動作	<input type="radio"/> 外部クロック入力(fEX)
<input checked="" type="radio"/> X1発振(fX)	周波数 4 (MHz)
周波数	発振安定時間 65536 (2 ¹⁸ /fX) (μs)
PLL クロック(fPLL)設定	
<input checked="" type="checkbox"/> 動作	周波数 24 (MHz)
ロックアップ待ちカウンタ	64 (2 ⁷ /fMAIN) (μs)
メイン/PLL 選択クロック(fMP)設定	
メイン/PLL 選択クロック	24 (fPLL) (MHz)

1.4 回避策

1.3 項のクロック発生回路の設定を行った場合は PLL クロック (fPLL) 周波数が設定の半分となるため、以下の手順で正しい PLL 出力の分周設定 (2 分周) を行うためのコードに訂正します。

コード生成後に r_cg_cg.c の R_CGC_Create(void) を開き、以下の赤枠内のコードを訂正してください。

なお、再度コード生成を実施すると、上記の訂正コードが上書きされますので、コード生成を行うたびに回避策の実施が必要となります。

➤ 変更前

```
void R_CGC_Create(void)
{
    volatile uint32_t w_count;
    uint8_t temp_stab_set;
    uint8_t temp_stab_wait;

    /* Set fPLL */
    PLLCTL = _40_OGC_LOCKUP_WAIT_8 | _00_OGC_PLL_BELOW_32MHZ | _10_OGC_PLL_DIVISION_4 | _00_OGC_PLL_MULTIPLY_X12;
}
```

➤ 変更後

```
void R_CGC_Create(void)
{
    volatile uint32_t w_count;
    uint8_t temp_stab_set;
    uint8_t temp_stab_wait;

    /* Set fPLL */
    PLLCTL = _40_OGC_LOCKUP_WAIT_8 | _00_OGC_PLL_BELOW_32MHZ | _00_OGC_PLL_DIVISION_2 | _00_OGC_PLL_MULTIPLY_X12;
}
```

1.5 恒久対策

次期バージョンで改修予定です。(2019年7月予定)

2. クロック発生回路の RTC 動作クロック設定についての注意事項

2.1 該当製品

- CS+用 RL78コード生成 V3.02.00 (CS+ for CC V2.05) 以降
- CS+用 RL78コード生成 V3.02.00 (CS+ for CA,CX V2.05) 以降
- Code GeneratorプラグインV1.0.1 (e² studio V2.2.0)以降
- Applilet3 for RL78 V1.00.00以降

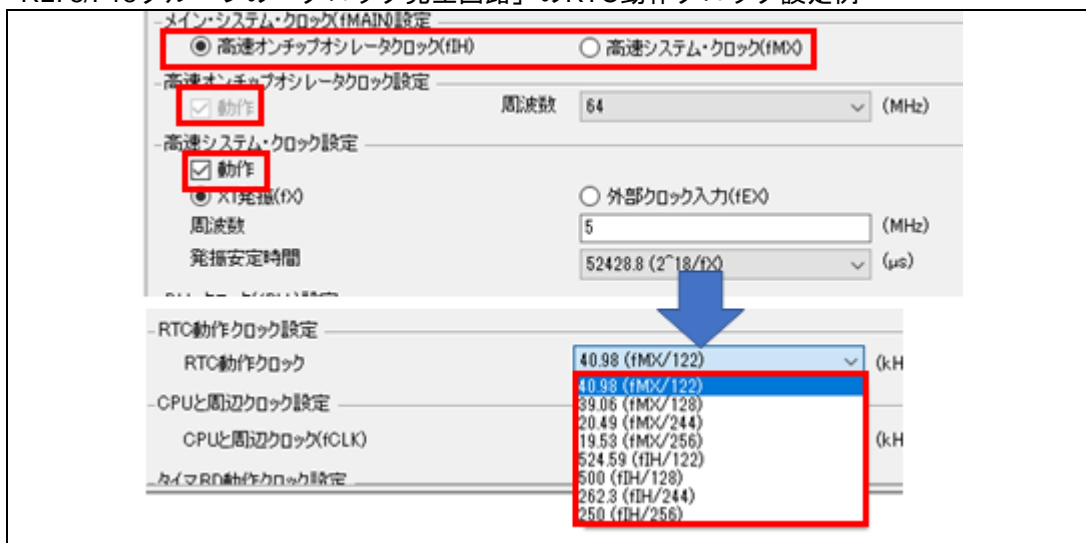
2.2 該当デバイス

RL78 ファミリ : RL78/F13、RL78/F14、RL78/F15、および RL78/D1A グループ

2.3 内容

該当製品の「クロック発生回路」の「RTC 動作クロック設定」で fMX または fIH の分周クロックを選択した場合、生成コードに誤りがあります。RTCCL レジスタの設定手順が該当デバイスのユーザーズマニュアルと異なるため、RTC の動作に影響を与える可能性があります。

- RL78/F15グループの「クロック発生回路」のRTC動作クロック設定例



注意 : 「RTC 動作クロック設定」の選択項目は「メイン・システム・クロック (fMAIN) 設定」と、「高速オンチップオシレータクロック設定」の「動作」のチェック状態および、「高速システム・クロック設定」の「動作」のチェック状態により異なります。

2.4 回避策

コード生成後に r_cg_cgc.c の R_CGC_Create(void)を開き、デバイスのユーザーズマニュアルのとおり RTC クロック選択レジスタ (RTCCL) の RTCCL_7^(注1) ビットを設定後、RTCCKS1、RTCCKS0、および RTCCL_6^(注2) ビットの設定を行ってください。

注1：RL78/D1A グループの場合は RTCCL7

注2：RL78/D1A グループの場合は RTCCL6

以下に設定例を記します。赤枠内および青枠内のコード^(注)を訂正してください。

なお、再度コード生成を実施すると、上記の訂正コードが上書きされますので、コード生成を行うたびに回避策の実施が必要となります。

注：赤枠内および青枠内のコードは「RTC 動作クロック設定」の選択項目により異なります。詳細は、該当デバイスのユーザーズマニュアルをご参照ください。

➤ 「RTC動作クロック設定」でfMX分周クロックを選択した場合

変更前

```
void R_OGC_Create(void)
{
    ...
    /* Set fIH */
    HIOSTOP = OU;
    /* Set RTC clock source */
    RTCCL = _00_OGC_RTC_FMX | _42_OGC_RTC_DIV122;
    /* Set timer RD clock source to fCLK, fMP */
    TRD_CKSEL = OU;
}
```

変更後

```
void R_OGC_Create(void)
{
    ...
    /* Set RTC clock source */
    RTCCL = _00_OGC_RTC_FMX;
    RTCCL |= _42_OGC_RTC_DIV122;
    /* Set timer RD clock source to fCLK, fMP */
    TRD_CKSEL = OU;
}
```

- 「RTC動作クロック設定」でfIH分周クロックを選択した場合

変更前

```
void R_OGC_Create(void)
{
    /* Set RTC clock source */
    RTCCL = _80_OGC_RTC_FIH | _42_OGC_RTC_DIV122;
    /* Set Timer RD clock source to fCLK, fMP */
    TRD_CKSEL = 0U;
}

```

変更後

```
void R_OGC_Create(void)
{
    /* Set RTC clock source */
    RTCCL = _80_OGC_RTC_FIH;
    RTCCL |= _42_OGC_RTC_DIV122;
    /* Set Timer RD clock source to fCLK, fMP */
    TRD_CKSEL = 0U;
}

```

2.5 恒久対策

次期バージョンで改修予定です。(2019年7月予定)

以上

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
1.00	Jun.01.19	-	新規発行

本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。

過去のニュース内容は発行当時の情報をもとにしており、現時点では変更された情報や無効な情報が含まれている場合があります。

ニュース本文中の URL を予告なしに変更または中止することがありますので、あらかじめご承知ください。

本社所在地

〒135-0061 東京都江東区豊洲 3-2-24 (豊洲フォレシア)

www.renesas.com

お問合せ窓口

弊社の製品や技術、ドキュメントの最新情報、最寄の営業お問合せ窓口に関する情報などは、弊社ウェブサイトをご覧ください。

www.renesas.com/contact/

商標について

ルネサスおよびルネサスロゴはルネサス エレクトロニクス株式会社の商標です。すべての商標および登録商標は、それぞれの所有者に帰属します。