

CS+用 RL78コード生成 (CS+ for CA,CX) V2.05.00ご使用上のお願い

CS+用 RL78コード生成 (CS+ for CA,CX) V2.05.00 の注意事項を連絡します。

1. CPUスタック・ポインタ・モニタ機能設定時の注意事項 (対象:RL78/F13グループ)
2. 3線シリアル使用時のSIRレジスタ書き込みの注意事項(対象: RL78/F12グループ)

1. 該当製品

CS+用 RL78コード生成 (CS+ for CA,CX) V2.05.00

2. 内容

2.1 CPUスタック・ポインタ・モニタ機能設定時の注意事項

対象マイコン: RL78/F13グループ

CPUスタック・ポインタ・モニタ機能 (注) のレジスタを以下の誤った順番で設定します。

- (1) SPMコントロール・レジスタ (SPMCTRL) : 正しくは(3)の後に設定
- (2) SPオーバーフロー・アドレス設定レジスタ (SPOFR)
- (3) SPアンダーフロー・アドレス設定レジスタ (SPUFR)

注: CPUスタック・ポインタ・モニタ機能はマイコンの安全機能のひとつです。

回避策:

r_systeminit.cにある R_Systeminit()関数を正しい設定順序に修正してください。

修正例: SPOFRレジスタ: 0xFFFFE、 SPUFRレジスタ: 0x0000の場合

修正前

```
SPMCTRL = 0x80U;  
SPOFR = 0xFFFFEU;  
SPUFR = 0x0000U;
```

修正後

```
SPOFR = 0xFFFFEU;  
SPUFR = 0x0000U;
```

SPMCTRL = 0x80U; :SPMCTRレジスタのSPM許可ビット (7ビット) に1を設定

2.2 3線シリアル使用時のSIRレジスタ書き込みの注意事項

対象マイコン: RL78/F12グループ

以下のシリアル・フラグ・クリア・トリガ・レジスタの書き込みコードに誤りがありビット2に1を設定します。ビット2の正しい設定値は0です。

SIR00, SIR02, SIR10, SIRS0レジスタ

回避策:

r_cs_serial.cにあるR_CSIdx_Create()関数を修正して、SIR00、SIR02、SIR1およびSIRS0レジスタのビット2の設定値を0にしてください。

修正例: SAU1のチャネル0をCSI20で使う場合

修正前

```
void R_CSI20_Create(void)
{
    .....
    SIR10 = _0004_SAU_SIRMN_FECTMN | _0002_SAU_SIRMN_PECTMN |
           _0001_SAU_SIRMN_OVCTMN; /* clear error flag */
    .....
```

修正後

以下のとおり「| _0001_SAU_SIRMN_OVCTMN」を削除してください。

```
SIR10 = _0004_SAU_SIRMN_FECTMN | _0002_SAU_SIRMN_PECTMN;
```

3. 恒久対策

次期バージョンで改修する予定です。

[免責事項]

過去のニュース内容は発行当時の情報をもとにしており、現時点では変更された情報や無効な情報が含まれている場合があります。ニュース本文中のURLを予告なしに変更または中止することがありますので、あらかじめご承知ください。