

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部 1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/contact/>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-V85-A017A/J	Rev.	第1版
題名	V850E/IG3 バス制御機能の制限事項		情報分類	技術情報	
適用製品	V850E/IG3 シリーズ	対象ロット等	関連資料	・ ユーザーズマニュアル V850E/IF3, V850E/IG3 32ビット・シングルチップ・マイクロコントローラ ハードウェア編 (第3版) U18279JJ3V0UD00	

V850E/IG3 に関して、バス制御機能の制限事項が判明しました。

1. 制限事項内容

バス制御機能においてアイドル・ステート時の AD0-AD15 端子の状態が不定となります。

ユーザーズマニュアルにつきましても以下が正しい記載となります。

項番	頁	訂正箇所	誤	正																																																																																																												
1	60	表 2-2 動作モードによる各端子の動作状態	<table border="1"> <caption>表2-2 動作モードによる各端子の動作状態</caption> <thead> <tr> <th>端子</th> <th>動作状態</th> <th>リセット</th> <th>HALTモード/ DMA転送中</th> <th>IDLEモード/ STOPモード</th> <th>アイドル・ステート</th> </tr> </thead> <tbody> <tr> <td>AD0-AD15^(*) (POL0-POL15)</td> <td>H_z^(*)</td> <td>動作</td> <td>H_z^(*)</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>AD16^(*) (P16-P17)</td> <td>H_z^(*)</td> <td>動作</td> <td>H_z^(*)</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>CS0^(*) CS1^(*) (P24, P22)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>保持</td> <td>保持</td> </tr> <tr> <td>WR0^(*) WR1^(*) (P46, P45)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>H</td> </tr> <tr> <td>RD^(*) (P47)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>H</td> </tr> <tr> <td>ASTB^(*) (P37)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>H</td> </tr> <tr> <td>WAIT^(*) (P44)</td> <td>H_z^(*)</td> <td>動作</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>CLKOUT^(*) (P07)</td> <td>H_z^(*)</td> <td>動作</td> <td>保持</td> <td>動作</td> <td>動作</td> </tr> </tbody> </table> <p>注1. [*] PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ 注2. バス制御端子はポート端子と異なるので、リセット時は入力モード (ポート・モード) に初期化します。</p>	端子	動作状態	リセット	HALTモード/ DMA転送中	IDLEモード/ STOPモード	アイドル・ステート	AD0-AD15 ^(*) (POL0-POL15)	H _z ^(*)	動作	H _z ^(*)	保持	保持	AD16 ^(*) (P16-P17)	H _z ^(*)	動作	H _z ^(*)	保持	保持	CS0 ^(*) CS1 ^(*) (P24, P22)	H _z ^(*)	動作	H	保持	保持	WR0 ^(*) WR1 ^(*) (P46, P45)	H _z ^(*)	動作	H	H	H	RD ^(*) (P47)	H _z ^(*)	動作	H	H	H	ASTB ^(*) (P37)	H _z ^(*)	動作	H	H	H	WAIT ^(*) (P44)	H _z ^(*)	動作	-	-	-	CLKOUT ^(*) (P07)	H _z ^(*)	動作	保持	動作	動作	<table border="1"> <caption>表2-2 動作モードによる各端子の動作状態</caption> <thead> <tr> <th>端子</th> <th>動作状態</th> <th>リセット</th> <th>HALTモード/ DMA転送中</th> <th>IDLEモード/ STOPモード</th> <th>アイドル・ステート</th> </tr> </thead> <tbody> <tr> <td>AD0-AD15^(*) (POL0-POL15)</td> <td>H_z^(*)</td> <td>動作</td> <td>H_z^(*)</td> <td>H_z^(*)</td> <td>不定</td> </tr> <tr> <td>AD16^(*) (P16-P17)</td> <td>H_z^(*)</td> <td>動作</td> <td>H_z^(*)</td> <td>H_z^(*)</td> <td>保持</td> </tr> <tr> <td>CS0^(*) CS1^(*) (P24, P22)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>保持</td> </tr> <tr> <td>WR0^(*) WR1^(*) (P46, P45)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>H</td> </tr> <tr> <td>RD^(*) (P47)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>H</td> </tr> <tr> <td>ASTB^(*) (P37)</td> <td>H_z^(*)</td> <td>動作</td> <td>H</td> <td>H</td> <td>H</td> </tr> <tr> <td>WAIT^(*) (P44)</td> <td>H_z^(*)</td> <td>動作</td> <td>-</td> <td>-</td> <td>-</td> </tr> <tr> <td>CLKOUT^(*) (P07)</td> <td>H_z^(*)</td> <td>動作</td> <td>保持</td> <td>動作</td> <td>動作</td> </tr> </tbody> </table> <p>注1. [*] PD70F3454GC-8EA-A, 70F3454F1-DA9-Aのみ 注2. バス制御端子はポート端子と異なるので、リセット時は入力モード (ポート・モード) に初期化します。</p>	端子	動作状態	リセット	HALTモード/ DMA転送中	IDLEモード/ STOPモード	アイドル・ステート	AD0-AD15 ^(*) (POL0-POL15)	H _z ^(*)	動作	H _z ^(*)	H _z ^(*)	不定	AD16 ^(*) (P16-P17)	H _z ^(*)	動作	H _z ^(*)	H _z ^(*)	保持	CS0 ^(*) CS1 ^(*) (P24, P22)	H _z ^(*)	動作	H	H	保持	WR0 ^(*) WR1 ^(*) (P46, P45)	H _z ^(*)	動作	H	H	H	RD ^(*) (P47)	H _z ^(*)	動作	H	H	H	ASTB ^(*) (P37)	H _z ^(*)	動作	H	H	H	WAIT ^(*) (P44)	H _z ^(*)	動作	-	-	-	CLKOUT ^(*) (P07)	H _z ^(*)	動作	保持	動作	動作
端子	動作状態	リセット	HALTモード/ DMA転送中	IDLEモード/ STOPモード	アイドル・ステート																																																																																																											
AD0-AD15 ^(*) (POL0-POL15)	H _z ^(*)	動作	H _z ^(*)	保持	保持																																																																																																											
AD16 ^(*) (P16-P17)	H _z ^(*)	動作	H _z ^(*)	保持	保持																																																																																																											
CS0 ^(*) CS1 ^(*) (P24, P22)	H _z ^(*)	動作	H	保持	保持																																																																																																											
WR0 ^(*) WR1 ^(*) (P46, P45)	H _z ^(*)	動作	H	H	H																																																																																																											
RD ^(*) (P47)	H _z ^(*)	動作	H	H	H																																																																																																											
ASTB ^(*) (P37)	H _z ^(*)	動作	H	H	H																																																																																																											
WAIT ^(*) (P44)	H _z ^(*)	動作	-	-	-																																																																																																											
CLKOUT ^(*) (P07)	H _z ^(*)	動作	保持	動作	動作																																																																																																											
端子	動作状態	リセット	HALTモード/ DMA転送中	IDLEモード/ STOPモード	アイドル・ステート																																																																																																											
AD0-AD15 ^(*) (POL0-POL15)	H _z ^(*)	動作	H _z ^(*)	H _z ^(*)	不定																																																																																																											
AD16 ^(*) (P16-P17)	H _z ^(*)	動作	H _z ^(*)	H _z ^(*)	保持																																																																																																											
CS0 ^(*) CS1 ^(*) (P24, P22)	H _z ^(*)	動作	H	H	保持																																																																																																											
WR0 ^(*) WR1 ^(*) (P46, P45)	H _z ^(*)	動作	H	H	H																																																																																																											
RD ^(*) (P47)	H _z ^(*)	動作	H	H	H																																																																																																											
ASTB ^(*) (P37)	H _z ^(*)	動作	H	H	H																																																																																																											
WAIT ^(*) (P44)	H _z ^(*)	動作	-	-	-																																																																																																											
CLKOUT ^(*) (P07)	H _z ^(*)	動作	保持	動作	動作																																																																																																											
2	971	(1) バス・サイクル・コントロール・レジスタ (BCC)	<p>注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート 挿入の対象外になります。</p> <p>2. BCCレジスタへの書き込みはリセット 後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。</p> <p>3. アイドル・ステート時にチップ・セレクト 信号 CS(n) はアクティブにはなりません (n = 0, 1)。</p>	<p>注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート 挿入の対象外になります。</p> <p>2. BCCレジスタへの書き込みはリセット 後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。ただし、初期設定が終了した外部メモリ領域のアクセスは可能です。</p> <p>3. アイドル・ステート時にチップ・セレクト 信号 CS(n) はアクティブにはなりません (n = 0, 1)。</p> <p>4. アイドル・ステート中、AD0-AD15 端子は不定出力となります。</p>																																																																																																												
3	975	(3) リード・サイクル (アイドル・ステート挿入時)	<p>注 アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	<p>注 アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>																																																																																																												
4	976	(4) リード・サイクル (データ・ウエイト・ステート (1ウエイト), アイドル・ステート挿入時)	<p>注 アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	<p>注 アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>																																																																																																												

項番	頁	訂正箇所	誤	正																		
5	980	(8) ライト・サイクル (アイドル・ステート挿入時)	<p>(8) ライト・サイクル(アイドル・ステート挿入時)</p> <p>注1. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>2. アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル	<p>(8) ライト・サイクル(アイドル・ステート挿入時)</p> <p>注1. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>2. アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				
6	981	(9) ライト・サイクル (データ・ウェイト・ステート (1 ウェイト), アイドル・ステート挿入時)	<p>(9) ライト・サイクル(データ・ウェイト・ステート (1ウェイト), アイドル・ステート挿入時)</p> <p>注1. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>2. アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル	<p>(9) ライト・サイクル(データ・ウェイト・ステート (1ウェイト), アイドル・ステート挿入時)</p> <p>注1. アクセス・データ・バス幅により次のようなレベルになります。</p> <table border="1"> <thead> <tr> <th>アクセス・データ・バス幅</th> <th>WR1</th> <th>WR0</th> </tr> </thead> <tbody> <tr> <td>16ビット</td> <td>ロウ・レベル</td> <td>ロウ・レベル</td> </tr> <tr> <td>8ビット</td> <td>ハイ・レベル</td> <td>ロウ・レベル</td> </tr> </tbody> </table> <p>2. アクセス対象のCS空間のみアクティブになります。</p> <p>備考1. O印はサンプリング・タイミングです。 2. 破線はハイ・インピーダンスを示します。</p>	アクセス・データ・バス幅	WR1	WR0	16ビット	ロウ・レベル	ロウ・レベル	8ビット	ハイ・レベル	ロウ・レベル
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				
アクセス・データ・バス幅	WR1	WR0																				
16ビット	ロウ・レベル	ロウ・レベル																				
8ビット	ハイ・レベル	ロウ・レベル																				

2. 回避策

バス制御機能でアイドル・ステート時には AD0-AD15 端子で信号衝突が発生しないようご使用願います。

また誠に申し訳ございませんが本制限事項は修正せず制限事項とさせていただきます。

詳細につきましては弊社販売員、または特約店を通じてご相談ください。

以上