

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RZ*-A048A/J	Rev.	第1版
題名	RZ/T1グループユーザーズマニュアル バスステートコントローラCKIOSETレジスタの記述訂正と 電気的特性の記述訂正		情報分類	技術情報	
適用製品	RZ/T1 グループ	対象ロット等	関連資料	RZ/T1 グループユーザーズマニュアル ハードウェア編 Rev1.30 R01UH0483JJ0130 Rev.1.30	
		全ロット			

バスステートコントローラの CKIO 制御レジスタ(CKIOSET)の記述に誤記がありましたので報告します。

本内容についてご配慮の上、ご使用くださいますようお願い致します。

また、電気的特性（バスタイミング）の記述に誤解を招く点があることも判明致しました。このため電気的特性（バスタイミング）の表現を訂正させていただきます（規定値自体に変更はありません）。

1. CKIOSET レジスタについて

1) 内容

ハードウェアマニュアルにおいて CKIOSET レジスタの設定で CKIO の駆動能力を 8mA/4mA に設定可能と記載していますが、実際には CKIO と出力信号とのタイミング微調整レジスタであり CKIO の駆動能力には影響しません。

また、前述のように当該レジスタはタイミング調整として遅延量を付加するレジスタであるため CKIOSET レジスタを初期値から変更した場合、アドレス等の出力を遅延させ電気的特性(バスタイミング)を満たせなくなるため、0h(初期値)で使用してください。

なお、CKIO の駆動能力は駆動能力制御レジスタ(DSCR)で設定可能です。

3) ユーザーズマニュアル訂正内容

[1] CKIOSET レジスタの記述を変更します。

ページ	章	内容																				
430	14.3.10	<p>【現在の記述】</p> <p>14.3.10 CKIO 制御レジスタ (CKIOSET)</p> <p>CKIOSET は、CKIO の駆動能力を設定するレジスタです。 CKIO = 50MHz 以上で使用する場合は、CKIO 駆動を 8mA (CKIOSET = 0x0) に設定します。 CKIO = 50MHz 未満で使用する場合は、CKIO の駆動能力を 4mA で使用することができます。 その場合、CKIOSET = 0xA に設定してください。</p> <p>CKIOSET の書き込み手順を以下に示します。以下のアクセスを連続で行ってください。 CKIOKEY レジスタに任意のデータを 1byte ライト CKIOKEY レジスタに任意のデータを 1byte ライト CKIOSET[3:0] に 0x0000000n (n = 0 or A) をライト</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>シンボル</th> <th>ビット名</th> <th>機能</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>b3-b0</td> <td>CKIOSET[3:0]</td> <td></td> <td>CKIO 制御 0x0 : CKIO 駆動を 8mA に設定時 0xA : CKIO 駆動を 4mA に設定時</td> <td>R/W</td> </tr> </tbody> </table> <p>【訂正後の記述】</p> <p>14.3.10 CKIO 制御レジスタ (CKIOSET)</p> <p>CKIOSET は、CKIO の駆動能力を設定するレジスタです。 CKIO = 50MHz 以上で使用する場合は、CKIO 駆動を 8mA (CKIOSET = 0x0) に設定します。 CKIO = 50MHz 未満で使用する場合は、CKIO の駆動能力を 4mA で使用することができます。 その場合、CKIOSET = 0xA に設定してください。 本レジスタは、初期値のまま使用してください。設定する場合は、CKIOSET[3:0]ビットに 0x0 を設定してください。</p> <p>CKIOSET の書き込み手順を以下に示します。以下のアクセスを連続で行ってください。 CKIOKEY レジスタに任意のデータを 1byte ライト CKIOKEY レジスタに任意のデータを 1byte ライト CKIOSET[3:0] に 0x00000000 -(n = 0 or A)をライト</p> <table border="1"> <thead> <tr> <th>ビット</th> <th>シンボル</th> <th>ビット名</th> <th>機能</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>b3-b0</td> <td>CKIOSET[3:0]</td> <td></td> <td>CKIO 制御 0x0 :- CKIO 駆動を 8mA に設定時 0xA :- CKIO 駆動を 4mA に設定時 0x0 (リセット後の値) で使用してください。</td> <td>R/W</td> </tr> </tbody> </table>	ビット	シンボル	ビット名	機能	R/W	b3-b0	CKIOSET[3:0]		CKIO 制御 0x0 : CKIO 駆動を 8mA に設定時 0xA : CKIO 駆動を 4mA に設定時	R/W	ビット	シンボル	ビット名	機能	R/W	b3-b0	CKIOSET[3:0]		CKIO 制御 0x0 :- CKIO 駆動を 8mA に設定時 0xA :- CKIO 駆動を 4mA に設定時 0x0 (リセット後の値) で使用してください。	R/W
ビット	シンボル	ビット名	機能	R/W																		
b3-b0	CKIOSET[3:0]		CKIO 制御 0x0 : CKIO 駆動を 8mA に設定時 0xA : CKIO 駆動を 4mA に設定時	R/W																		
ビット	シンボル	ビット名	機能	R/W																		
b3-b0	CKIOSET[3:0]		CKIO 制御 0x0 :- CKIO 駆動を 8mA に設定時 0xA :- CKIO 駆動を 4mA に設定時 0x0 (リセット後の値) で使用してください。	R/W																		

[2] 電気的特性（バスタイミング）の注意事項の説明を訂正致します。

ページ	章	内容
2533	47.4.3	<p>【現在の記述】</p> <p>表 47.17</p> <p>注 1. CKIO（外部バスクロック）の f_{max} は、システム構成に応じてウェイト数とあわせて検討してください。 また、CKIO=50MHz 以上で使用する場合は、CKIOSET=0h に設定し、CKIO の駆動能力を 8mA にしてください。 CKIO=50MHz 未満で使用する場合は、CKIO の駆動能力を 4mA で使用することができます。その場合、CKIOSET=Ah に設定してください。</p> <p>注 3. SDRAM を使う場合の値です。</p> <p>注 4. CKIO の駆動能力 8mA/CKIO の駆動能力 4mA に設定した時の値です。</p> <hr/> <p>【訂正後の記述】</p> <p>表 47.17</p> <p>注 1. CKIO（外部バスクロック）の f_{max} は、システム構成に応じてウェイト数とあわせて検討してください。 また、CKIO=50MHz 以上で、使用する場合は、駆動能力制御レジスタ（DSCR）の B0 ビットを 1 にセットし高駆動出力にしてください。CKIO=50MHz 未満で使用する場合は、CKIO 通常出力で使用することができません（DSCR.B0 ビット=0）</p> <p>注 3. CSn 空間バスコントロールレジスタ（CSnBCR）で SDRAM（TYPE[2:0]ビット=100b）に設定し、CKIO の駆動能力制御レジスタ（DSCR）で高駆動出力（B0 ビット=1）に設定した場合の値です。</p> <p>注 4. CKIO の駆動能力制御レジスタ（DSCR）でそれぞれ高駆動出力（B0 ビット=1）、通常出力（B0 ビット=0）に設定した時の値です。</p>

2. 電気的特性（バスタイミング）の表現に関する記述訂正

1) 内容

現在の電気的特性（バスタイミング）の記述では誤解を招く可能性があるため、以下のように表現を訂正させて頂きます（規定値自体の変更はありません）。

2) ユーザーズマニュアル訂正内容

ページ	章	内容																																																																																																																																																																																			
2532	47.4.3	<p>【現在の記述】</p> <p>表 47.17</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">CKIO=75MHz (注 1)</th> <th rowspan="2">単位</th> </tr> <tr> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td>アドレス遅延時間 1</td> <td>tAD1</td> <td>0/2 (注 3)</td> <td>10</td> <td>ns</td> </tr> <tr> <td>アドレス遅延時間 2</td> <td>tAD2</td> <td>1/2t_{eye}</td> <td>1/2t_{eye} + 10</td> <td>ns</td> </tr> <tr> <td>CS#遅延時間 1</td> <td>tCSD1</td> <td>0/2 (注 3)</td> <td>10</td> <td>ns</td> </tr> <tr> <td>リードライト遅延時間 1</td> <td>trWD1</td> <td>0/2 (注 3)</td> <td>10</td> <td>ns</td> </tr> <tr> <td>リードストロープ遅延時間</td> <td>trSD</td> <td>1/2t_{eye}</td> <td>1/2t_{eye} + 10</td> <td>ns</td> </tr> <tr> <td>リードデータセットアップ時間 1</td> <td>trDS1</td> <td>1/2t_{eye} + 4/7 (注 4)</td> <td>—</td> <td>ns</td> </tr> <tr> <td>リードデータセットアップ時間 2</td> <td>trDS2</td> <td>6.6/10 (注 4)</td> <td>—</td> <td>ns</td> </tr> <tr> <td>リードデータセットアップ時間 3</td> <td>trDS3</td> <td>1/2t_{eye} + 4/7 (注 4)</td> <td>—</td> <td>ns</td> </tr> <tr> <td>ライトイネーブル遅延時間 1</td> <td>twED1</td> <td>1/2t_{eye}</td> <td>1/2t_{eye} + 10</td> <td>ns</td> </tr> <tr> <td>WAIT#セットアップ時間</td> <td>twTS</td> <td>1/2t_{eye} + 4.5/8 (注 4)</td> <td>—</td> <td>ns</td> </tr> <tr> <td>WAIT#ホールド時間</td> <td>twTH</td> <td>1/2t_{eye} + 3.5</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AH#遅延時間</td> <td>tAHD</td> <td>1/2t_{eye}</td> <td>1/2t_{eye} + 10</td> <td>ns</td> </tr> <tr> <td>AH#に対するアドレスセットアップ時間</td> <td>tAVVH</td> <td>1/2t_{eye} - 2</td> <td>—</td> <td>ns</td> </tr> </tbody> </table> <p>注 1. CKIO（外部バスクロック）の f_{max} は、システム構成に応じてウェイト数とあわせて検討してください。 また、CKIO=50MHz 以上で使用する場合は、CKIOSET=0h に設定し、CKIO の駆動能力を 8mA にしてください。 CKIO=50MHz 未満で使用する場合は、CKIO の駆動能力を 4mA で使用することができます。その場合、CKIOSET=Ah に設定してください。</p> <p>注 3. SDRAM を使う場合の値です。</p> <p>注 4. CKIO の駆動能力 8mA/CKIO の駆動能力 4mA に設定した時の値です。</p> <p>【訂正後の記述】</p> <p>表 47.17</p> <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="2">CKIO=1/t_{CKey} (注 1)</th> <th rowspan="2">単位</th> </tr> <tr> <th>Min.</th> <th>Max.</th> </tr> </thead> <tbody> <tr> <td rowspan="2">アドレス遅延時間 1</td> <td rowspan="2">tAD1</td> <td>SDRAM (注 3)</td> <td>2</td> <td>10</td> <td>ns</td> </tr> <tr> <td>上記以外</td> <td>0</td> <td>10</td> <td>ns</td> </tr> <tr> <td>アドレス遅延時間 2</td> <td>tAD2</td> <td>1/2t_{CKey}</td> <td>1/2t_{CKey} + 10</td> <td>ns</td> </tr> <tr> <td rowspan="2">CS#遅延時間 1</td> <td rowspan="2">tCSD1</td> <td>SDRAM (注 3)</td> <td>2</td> <td>10</td> <td>ns</td> </tr> <tr> <td>上記以外</td> <td>0</td> <td>10</td> <td>ns</td> </tr> <tr> <td rowspan="2">リードライト遅延時間 1</td> <td rowspan="2">trWD1</td> <td>SDRAM (注 3)</td> <td>2</td> <td>10</td> <td>ns</td> </tr> <tr> <td>上記以外</td> <td>0</td> <td>10</td> <td>ns</td> </tr> <tr> <td>リードストロープ遅延時間</td> <td>trSD</td> <td>1/2t_{CKey}</td> <td>1/2t_{CKey} + 10</td> <td>ns</td> </tr> <tr> <td rowspan="2">リードデータセットアップ時間 1 (注 4)</td> <td rowspan="2">trDS1</td> <td>高駆動出力</td> <td>1/2t_{CKey} + 4</td> <td>—</td> <td>ns</td> </tr> <tr> <td>通常出力</td> <td>1/2t_{CKey} + 7</td> <td>—</td> <td>ns</td> </tr> <tr> <td rowspan="2">リードデータセットアップ時間 2 (注 4)</td> <td rowspan="2">trDS2</td> <td>高駆動出力</td> <td>6.6</td> <td>—</td> <td>ns</td> </tr> <tr> <td>通常出力</td> <td>10</td> <td>—</td> <td>ns</td> </tr> <tr> <td rowspan="2">リードデータセットアップ時間 3 (注 4)</td> <td rowspan="2">trDS3</td> <td>高駆動出力</td> <td>1/2t_{CKey} + 4</td> <td>—</td> <td>ns</td> </tr> <tr> <td>通常出力</td> <td>1/2t_{CKey} + 7</td> <td>—</td> <td>ns</td> </tr> <tr> <td>ライトイネーブル遅延時間 1</td> <td>twED1</td> <td>1/2t_{CKey}</td> <td>1/2t_{CKey} + 10</td> <td>ns</td> </tr> <tr> <td rowspan="2">WAIT#セットアップ時間 (注 4)</td> <td rowspan="2">twTS</td> <td>高駆動出力</td> <td>1/2t_{CKey} + 4.5</td> <td>—</td> <td>ns</td> </tr> <tr> <td>通常出力</td> <td>1/2t_{CKey} + 8</td> <td>—</td> <td>ns</td> </tr> <tr> <td>WAIT#ホールド時間</td> <td>twTH</td> <td>1/2t_{CKey} + 3.5</td> <td>—</td> <td>ns</td> </tr> <tr> <td>AH#遅延時間</td> <td>tAHD</td> <td>1/2t_{CKey}</td> <td>1/2t_{CKey} + 10</td> <td>ns</td> </tr> <tr> <td>AH#に対するアドレスセットアップ時間</td> <td>tAVVH</td> <td>1/2t_{CKey} - 2</td> <td>—</td> <td>ns</td> </tr> </tbody> </table> <p>注 1. CKIO（外部バスクロック）の f_{max} は、システム構成に応じてウェイト数とあわせて検討してください。 また、CKIO=50MHz 以上で、使用する場合は、駆動能力制御レジスタ（DSCR）の B0 ビットを 1 にセットし高駆動出力にしてください。CKIO=50MHz 未満で使用する場合は、CKIO 通常出力で使用することができます（DSCR.B0 ビット=0）</p> <p>注 3. CS_n 空間バスコントロールレジスタ（CS_nBCR）で SDRAM（TYPE[2:0]ビット=100b）に設定し、CKIO の駆動能力制御レジスタ（DSCR）で高駆動出力（B0 ビット=1）に設定した場合の値です。</p> <p>注 4. CKIO の駆動能力制御レジスタ（DSCR）でそれぞれ高駆動出力（B0 ビット=1）、通常出力（B0 ビット=0）に設定した時の値です。</p>	項目	記号	CKIO=75MHz (注 1)		単位	Min.	Max.	アドレス遅延時間 1	tAD1	0/2 (注 3)	10	ns	アドレス遅延時間 2	tAD2	1/2t _{eye}	1/2t _{eye} + 10	ns	CS#遅延時間 1	tCSD1	0/2 (注 3)	10	ns	リードライト遅延時間 1	trWD1	0/2 (注 3)	10	ns	リードストロープ遅延時間	trSD	1/2t _{eye}	1/2t _{eye} + 10	ns	リードデータセットアップ時間 1	trDS1	1/2t _{eye} + 4/7 (注 4)	—	ns	リードデータセットアップ時間 2	trDS2	6.6/10 (注 4)	—	ns	リードデータセットアップ時間 3	trDS3	1/2t _{eye} + 4/7 (注 4)	—	ns	ライトイネーブル遅延時間 1	twED1	1/2t _{eye}	1/2t _{eye} + 10	ns	WAIT#セットアップ時間	twTS	1/2t _{eye} + 4.5/8 (注 4)	—	ns	WAIT#ホールド時間	twTH	1/2t _{eye} + 3.5	—	ns	AH#遅延時間	tAHD	1/2t _{eye}	1/2t _{eye} + 10	ns	AH#に対するアドレスセットアップ時間	tAVVH	1/2t _{eye} - 2	—	ns	項目	記号	CKIO=1/t _{CKey} (注 1)		単位	Min.	Max.	アドレス遅延時間 1	tAD1	SDRAM (注 3)	2	10	ns	上記以外	0	10	ns	アドレス遅延時間 2	tAD2	1/2t _{CKey}	1/2t _{CKey} + 10	ns	CS#遅延時間 1	tCSD1	SDRAM (注 3)	2	10	ns	上記以外	0	10	ns	リードライト遅延時間 1	trWD1	SDRAM (注 3)	2	10	ns	上記以外	0	10	ns	リードストロープ遅延時間	trSD	1/2t _{CKey}	1/2t _{CKey} + 10	ns	リードデータセットアップ時間 1 (注 4)	trDS1	高駆動出力	1/2t _{CKey} + 4	—	ns	通常出力	1/2t _{CKey} + 7	—	ns	リードデータセットアップ時間 2 (注 4)	trDS2	高駆動出力	6.6	—	ns	通常出力	10	—	ns	リードデータセットアップ時間 3 (注 4)	trDS3	高駆動出力	1/2t _{CKey} + 4	—	ns	通常出力	1/2t _{CKey} + 7	—	ns	ライトイネーブル遅延時間 1	twED1	1/2t _{CKey}	1/2t _{CKey} + 10	ns	WAIT#セットアップ時間 (注 4)	twTS	高駆動出力	1/2t _{CKey} + 4.5	—	ns	通常出力	1/2t _{CKey} + 8	—	ns	WAIT#ホールド時間	twTH	1/2t _{CKey} + 3.5	—	ns	AH#遅延時間	tAHD	1/2t _{CKey}	1/2t _{CKey} + 10	ns	AH#に対するアドレスセットアップ時間	tAVVH	1/2t _{CKey} - 2	—	ns
項目	記号	CKIO=75MHz (注 1)			単位																																																																																																																																																																																
		Min.	Max.																																																																																																																																																																																		
アドレス遅延時間 1	tAD1	0/2 (注 3)	10	ns																																																																																																																																																																																	
アドレス遅延時間 2	tAD2	1/2t _{eye}	1/2t _{eye} + 10	ns																																																																																																																																																																																	
CS#遅延時間 1	tCSD1	0/2 (注 3)	10	ns																																																																																																																																																																																	
リードライト遅延時間 1	trWD1	0/2 (注 3)	10	ns																																																																																																																																																																																	
リードストロープ遅延時間	trSD	1/2t _{eye}	1/2t _{eye} + 10	ns																																																																																																																																																																																	
リードデータセットアップ時間 1	trDS1	1/2t _{eye} + 4/7 (注 4)	—	ns																																																																																																																																																																																	
リードデータセットアップ時間 2	trDS2	6.6/10 (注 4)	—	ns																																																																																																																																																																																	
リードデータセットアップ時間 3	trDS3	1/2t _{eye} + 4/7 (注 4)	—	ns																																																																																																																																																																																	
ライトイネーブル遅延時間 1	twED1	1/2t _{eye}	1/2t _{eye} + 10	ns																																																																																																																																																																																	
WAIT#セットアップ時間	twTS	1/2t _{eye} + 4.5/8 (注 4)	—	ns																																																																																																																																																																																	
WAIT#ホールド時間	twTH	1/2t _{eye} + 3.5	—	ns																																																																																																																																																																																	
AH#遅延時間	tAHD	1/2t _{eye}	1/2t _{eye} + 10	ns																																																																																																																																																																																	
AH#に対するアドレスセットアップ時間	tAVVH	1/2t _{eye} - 2	—	ns																																																																																																																																																																																	
項目	記号	CKIO=1/t _{CKey} (注 1)		単位																																																																																																																																																																																	
		Min.	Max.																																																																																																																																																																																		
アドレス遅延時間 1	tAD1	SDRAM (注 3)	2	10	ns																																																																																																																																																																																
		上記以外	0	10	ns																																																																																																																																																																																
アドレス遅延時間 2	tAD2	1/2t _{CKey}	1/2t _{CKey} + 10	ns																																																																																																																																																																																	
CS#遅延時間 1	tCSD1	SDRAM (注 3)	2	10	ns																																																																																																																																																																																
		上記以外	0	10	ns																																																																																																																																																																																
リードライト遅延時間 1	trWD1	SDRAM (注 3)	2	10	ns																																																																																																																																																																																
		上記以外	0	10	ns																																																																																																																																																																																
リードストロープ遅延時間	trSD	1/2t _{CKey}	1/2t _{CKey} + 10	ns																																																																																																																																																																																	
リードデータセットアップ時間 1 (注 4)	trDS1	高駆動出力	1/2t _{CKey} + 4	—	ns																																																																																																																																																																																
		通常出力	1/2t _{CKey} + 7	—	ns																																																																																																																																																																																
リードデータセットアップ時間 2 (注 4)	trDS2	高駆動出力	6.6	—	ns																																																																																																																																																																																
		通常出力	10	—	ns																																																																																																																																																																																
リードデータセットアップ時間 3 (注 4)	trDS3	高駆動出力	1/2t _{CKey} + 4	—	ns																																																																																																																																																																																
		通常出力	1/2t _{CKey} + 7	—	ns																																																																																																																																																																																
ライトイネーブル遅延時間 1	twED1	1/2t _{CKey}	1/2t _{CKey} + 10	ns																																																																																																																																																																																	
WAIT#セットアップ時間 (注 4)	twTS	高駆動出力	1/2t _{CKey} + 4.5	—	ns																																																																																																																																																																																
		通常出力	1/2t _{CKey} + 8	—	ns																																																																																																																																																																																
WAIT#ホールド時間	twTH	1/2t _{CKey} + 3.5	—	ns																																																																																																																																																																																	
AH#遅延時間	tAHD	1/2t _{CKey}	1/2t _{CKey} + 10	ns																																																																																																																																																																																	
AH#に対するアドレスセットアップ時間	tAVVH	1/2t _{CKey} - 2	—	ns																																																																																																																																																																																	

以上