

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RZ*-A050A/J	Rev.	第1版
題名	RZ/T1グループユーザーズマニュアル トレースクロック出力の誤記訂正		情報分類	技術情報	
適用製品	RZ/T1 グループ	対象ロット等	関連資料	RZ/T1 グループユーザーズマニュアル ハードウェア編 Rev1.4 R01UH0483JJ0140 Rev.1.40	
		全ロット			

ユーザーズマニュアルのトレースクロック出力に関する誤記があることが判明致しました。

本内容をご配慮の上、使用頂けますようお願い致します。

1. 訂正内容

以下の通り訂正いたします。

項番	頁	訂正内容										
1	230	【現在の記述】										
		7.1 概要										
		表 7.2 クロック発生回路の仕様 (内部クロック) (2/2)										
		<table border="1"> <thead> <tr> <th>項目</th> <th>クロックソース</th> <th>供給先</th> <th>周波数</th> </tr> </thead> <tbody> <tr> <td>トレース I/F クロック (TCLK)</td> <td>PLL0/PLL1 の分周クロックから選択</td> <td>CoreSight TPIU</td> <td>150MHz、 75MHz</td> </tr> </tbody> </table>	項目	クロックソース	供給先	周波数	トレース I/F クロック (TCLK)	PLL0/PLL1 の分周クロックから選択	CoreSight TPIU	150MHz、 75MHz		
項目	クロックソース	供給先	周波数									
トレース I/F クロック (TCLK)	PLL0/PLL1 の分周クロックから選択	CoreSight TPIU	150MHz、 75MHz									
2	235	【訂正後の記述】										
		7.1 概要										
		表 7.2 クロック発生回路の仕様 (内部クロック) (2/2)										
		<table border="1"> <thead> <tr> <th>項目</th> <th>クロックソース</th> <th>供給先</th> <th>周波数</th> </tr> </thead> <tbody> <tr> <td>トレース I/F クロック (TCLK)</td> <td>PLL0/PLL1 の分周クロックから選択</td> <td>CoreSight TPIU</td> <td>150MHz 75MHz</td> </tr> </tbody> </table>	項目	クロックソース	供給先	周波数	トレース I/F クロック (TCLK)	PLL0/PLL1 の分周クロックから選択	CoreSight TPIU	150MHz 75MHz		
項目	クロックソース	供給先	周波数									
トレース I/F クロック (TCLK)	PLL0/PLL1 の分周クロックから選択	CoreSight TPIU	150MHz 75MHz									
2	235	【現在の記述】										
		7.2.1 システムクロックコントロールレジスタ (SCKCR) の b20										
		<table border="1"> <thead> <tr> <th>ビット</th> <th>シンボル</th> <th>供給先</th> <th>機能</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>b20</td> <td>TCLK</td> <td>トレース I/F クロック (TCLK)</td> <td>0 : 150MHz 1 : 75MHz</td> <td>R/W</td> </tr> </tbody> </table>	ビット	シンボル	供給先	機能	R/W	b20	TCLK	トレース I/F クロック (TCLK)	0 : 150MHz 1 : 75MHz	R/W
		ビット	シンボル	供給先	機能	R/W						
b20	TCLK	トレース I/F クロック (TCLK)	0 : 150MHz 1 : 75MHz	R/W								
【訂正後の記述】												
7.2.1 システムクロックコントロールレジスタ (SCKCR) の b20												
<table border="1"> <thead> <tr> <th>ビット</th> <th>シンボル</th> <th>供給先</th> <th>機能</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>b20</td> <td>TCLK</td> <td>トレース I/F クロック (TCLK)</td> <td>0 : 設定禁止 1 : 75MHz</td> <td>R/W</td> </tr> </tbody> </table>	ビット	シンボル	供給先	機能	R/W	b20	TCLK	トレース I/F クロック (TCLK)	0 : 設定禁止 1 : 75MHz	R/W		
ビット	シンボル	供給先	機能	R/W								
b20	TCLK	トレース I/F クロック (TCLK)	0 : 設定禁止 1 : 75MHz	R/W								

<p>3</p>	<p>275</p>	<p>【現在の記述】</p> <p>10.1 概要</p> <p>表 10.1 CoreSight の仕様</p> <table border="1" data-bbox="316 212 1348 353"> <thead> <tr> <th>項目</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>トレース機能</td> <td> <ul style="list-style-type: none"> ・トレースポートインタフェース 8bit × 150Mbps (75MHz または 37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB ・SWV (Serial Wire Viewer) インタフェース </td> </tr> </tbody> </table> <p>【訂正後の記述】</p> <p>10.1 概要</p> <p>表 10.1 CoreSight の仕様</p> <table border="1" data-bbox="316 470 1348 611"> <thead> <tr> <th>項目</th> <th>内容</th> </tr> </thead> <tbody> <tr> <td>トレース機能</td> <td> <ul style="list-style-type: none"> ・トレースポートインタフェース 8bit × 75Mbps (75MHz または 37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB ・SWV (Serial Wire Viewer) インタフェース </td> </tr> </tbody> </table>	項目	内容	トレース機能	<ul style="list-style-type: none"> ・トレースポートインタフェース 8bit × 150Mbps (75MHz または 37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB ・SWV (Serial Wire Viewer) インタフェース 	項目	内容	トレース機能	<ul style="list-style-type: none"> ・トレースポートインタフェース 8bit × 75Mbps (75MHz または 37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB ・SWV (Serial Wire Viewer) インタフェース
項目	内容									
トレース機能	<ul style="list-style-type: none"> ・トレースポートインタフェース 8bit × 150Mbps (75MHz または 37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB ・SWV (Serial Wire Viewer) インタフェース 									
項目	内容									
トレース機能	<ul style="list-style-type: none"> ・トレースポートインタフェース 8bit × 75Mbps (75MHz または 37.5MHz、DDR) のトレースデータ端子出力 Embedded Trace Buffer (ETB) 4KB ・SWV (Serial Wire Viewer) インタフェース 									
<p>4</p>	<p>284</p>	<p>【現在の記述】</p> <p>10.3.3 トレースポートインタフェース</p> <p>TRACECLK 端子の出力周波数はトレース I/F クロック (TCLK) を 2 分周した 75MHz と 37.5MHz が設定可能です。詳細は「7. クロック発生回路」を参照してください。</p> <p>【訂正後の記述】</p> <p>10.3.3 トレースポートインタフェース</p> <p>TRACECLK 端子の出力周波数はトレース I/F クロック (TCLK) を 2 分周した 75MHz と 37.5MHz が設定可能です。詳細は「7. クロック発生回路」を参照してください。</p>								

以上