

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲三丁目2番24号

豊洲フォレシア

ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-RL*-A025C/J	Rev.	第3版
題名	RL78/G14 制限事項について		情報分類	技術情報	
適用製品	RL78/G14 R5F104xx	対象ロット等	関連資料	RL78/G14 ユーザーズマニュアル ハードウェア編 Rev.3.20 R01UH0186JJ0320 (Jan. 2015)	
		全ロット			

上記適用製品において、ポート 60,61,62,63 端子に制限事項がございます。

今回通知する制限事項一覧

項目	本通知で追加となる制限事項	対象製品	本通知での該当ページ
1.1	P6x(x=0~3)端子設定の制限事項	全ての製品	p.2

通知済みの制限事項一覧

項目	通知済みの制限事項	対象製品	本通知での該当ページ
2.1	除算命令(DIVHU、DIVWU)の制限事項	全ての製品	p.3~p.7
2.2	ウォッチドッグ・タイマの制限事項	ROM 容量 96Kbyte~256Kbyte の製品	p.8~p.11

発行文書履歴

RL78/G14 制限事項 発行文書履歴

文書番号	発行日	記事
TN-RL*-A025A/J	2014年4月9日	初版発行 通知済みの制限事項一覧の項目 2.1
TN-RL*-A025B/J	2014年10月14日	二版発行 通知済みの制限事項一覧の項目 2.2
TN-RL*-A025C/J	2015年12月15日	三版発行 今回通知する制限事項一覧の項目 1.1(本通知です。)

1. 本通知で追加となる制限事項

1.1. P6x(x=0~3)端子設定の制限事項

1.1.1. 制限事項について

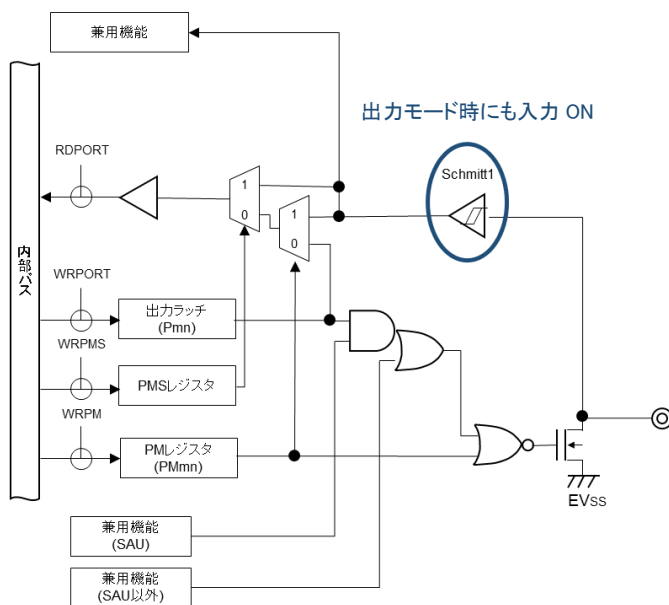
【対象の使用方法】

ポート 60,61,62,63 端子を使用する場合、本制限の対象となります。

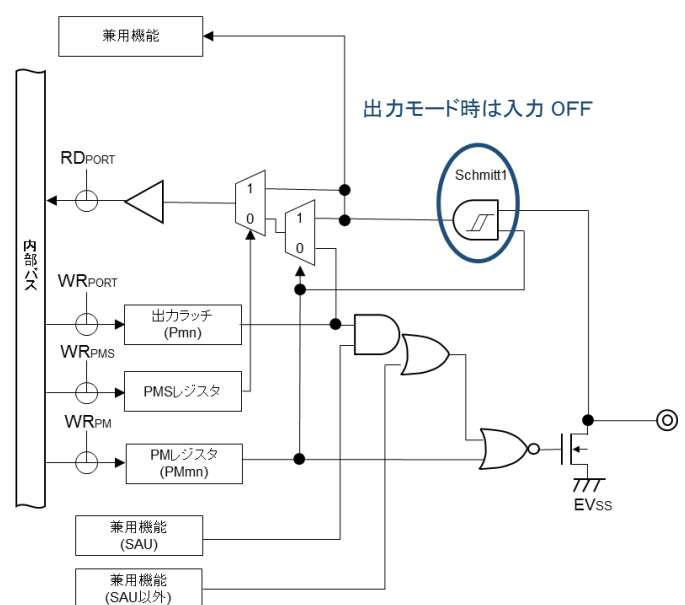
1.1.2. 制限事項の内容

ポート 60,61,62,63 端子回路設計は図 1 の構成ですが、ユーザーズマニュアルに記載されているブロック図が図 2 の構成となっていました。

実際の回路(図 1)は、出力モード時(ポート・モード・レジスタ(PM6)を"0"に設定)においても、入力バッファがオンとなっており、端子が中間電位となった場合に貫通電流が流れることがあります。



【図 1 実際の回路図】



【図 2 ユーザーズマニュアル記載図】

1.1.3. 対策

ポート 60,61,62,63 端子は PM6 レジスタの設定にかかわらず中間電位を入力しないでください。

1.1.4. 改善計画

ハードウェア改訂は実施せず、ポート 60,61,62,63 端子ご使用上の制限事項とさせていただきます。
ユーザーズマニュアルは、次回改訂時に、端子ブロック図の修正、及び、貫通電流に対する注意を追記します。

2. 通知済みの制限事項

2.1. 除算命令(DIVHU、DIVWU)の制限事項

2.1.1. 制限事項について

【対象の使用方法】

使用方法が下記の①～④の全てにあてはまる場合、本制限の対象となります。

- ①割り込み処理内で“対象命令 1”となる除算命令(DIVHU, DIVWU)を実行している。
- ②除算(DIVHU, DIVWU)を実行する割り込み処理で、多重割り込みを許可にしている。
- ③除算命令(DIVHU, DIVWU)を実行する割り込み処理中に、優先順位の異なる2つ以上の割り込みが発生する。
対象となる割り込みの優先順位に関しては、2. 制限事項の内容 の 表 2.1 をご確認ください。
- ④除算(DIVHU, DIVWU)の次の命令に“対象命令 2”を使用している。
“対象命令 2”に関しては、5. 対象命令 2 一覧 をご確認ください。
ただし、除算命令(DIVHU, DIVWU)を RAM で実行している場合は、全ての命令が“対象命令 2”になります。

2.1.2. 制限事項の内容

下記の①～③が全て実行されると、割り込みAから割り込みCへ分岐時、もしくは、割り込みCから割り込みAへ分岐時に不正な動作をする場合があります。

- ①多重割り込みを許可している割り込み A 処理内で対象命令 1(DIVHU, DIVWU)と対象命令 2 が連続している。
- ②割り込み A の実行中に割り込み B が発生し、割り込み B が保留状態となる。
- ③除算命令が実行完了される直前 2 クロックの期間(DIVHU 命令:8, 9 クロック, DIVWU 命令:16, 17 クロック)に割り込み C が発生する。

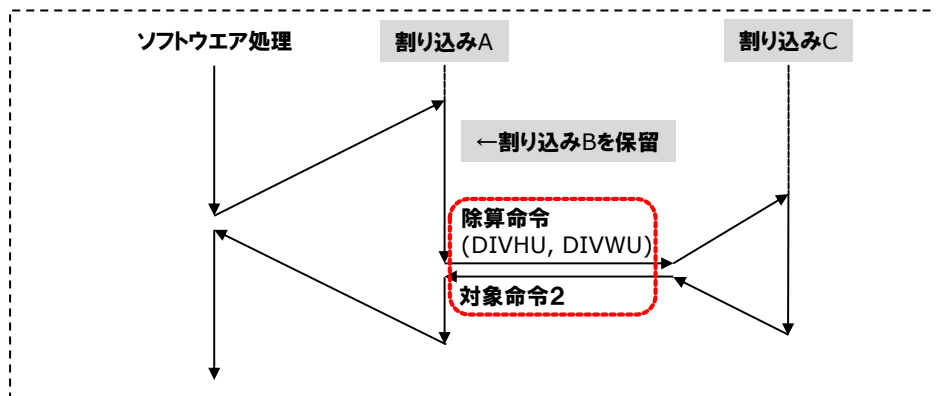


図 2.1. 制限事項の動作

- 注意 1 “対象命令 2”に関しては 5. 対象命令 2 一覧をご確認ください。
- 注意 2 割り込み発生/保留の関係は割り込み優先順位レベル(0~3)の組み合わせに依存します。
対象になる割り込み優先順位レベルの組み合わせは表 2.1 の通りです。

表 2.1. 制限事項が発生する割り込み優先順位の組み合わせ

割り込み A の割り込み優先順位	割り込み B の割り込み優先順位	割り込み C の割り込み優先順位	対象/対象外
レベル 0	レベル 1/ レベル 2/ レベル 3	レベル 0	対象
レベル 1	レベル 1/ レベル 2/ レベル 3	レベル 0	
レベル 2	レベル 2/ レベル 3	レベル 0/ レベル 1	
レベル 3	レベル 3	レベル 0/ レベル 1/ レベル 2	
上記以外			対象外

2.1.3. ソフトウェアによる対策

多重割り込みを許可する割り込み処理内で除算 / 剰余算命令を実行する場合は、下記の対策のいずれかを行ってください。

- (A) 除算 / 剰余算演算中の割り込みを禁止にしてください。

対策適用例:

```
__asm("push PSW");
DI();
C 言語での除算 / 剰余算演算
__asm("pop PSW");
```

- (B) 除算命令(DIVHU, DIVWU)の直後に NOP 命令を挿入してください。

除算命令(DIVHU, DIVWU)を RAM で実行している場合は、実行場所をコード・フラッシュへ変更し、下記の対策を行ってください。

対策適用例 :

```
DIVWU ; 除算命令
NOP ; NOP 命令を挿入
RET ; 対象命令 2
```

但し、C 言語などの高級言語を使用している場合、1コードに対してコンパイラが制限事項の対象となる 2 命令を生成する場合があります。この場合、NOP 命令を挿入する対策を実施することは非常に困難なため、対策 (A)を実施してください。

注意 ルネサス製コンパイラ CA78K0 の場合、DI(); の使用には #pragma di の記述が必要です。

2.1.4. 恒久対策

恒久対策として、ルネサス製コンパイラ CA78K0R に今回の問題の対策を行います。

対策内容：

ビルド時に DIVWU 命令、および DIVHU 命令が出力される場合、これらの命令の直後に必ず NOP 命令を挿入します。この対策により「3. ソフトウェアによる対策」を行う必要がなくなります。^注

対策後、CA78K0R のバージョンは V1.71 となります。

対策版コンパイラのリリース予定時期：11 月 18 日

注： 除算命令(DIVHU、DIVWU)を RAM で実行している場合は対策が必要です。

2.1.5. 対象命令2一覧

対象命令1(DIVHU、DIVWU)の次に“対象命令2”を使用している場合、制限事項の対象となります。
条件1～3のうち、1条件でも当てはまる場合は対象命令2となります。

条件 1. 命令の実行に2クロック以上必要な命令。

命令	オペランド	命令	オペランド	命令	オペランド
XCH	A, saddr	INC	saddr	CALL	全て
	A, sfr	INC	!addr16	CALLT	全て
	A, !addr16	INC	[HL+byte]	BRK	-
	A, [DE]	DEC	saddr	RET	-
	A, [DE+byte]	DEC	!addr16	RETI	-
	A, [HL]	DEC	[HL+byte]	RETB	-
	A, [HL+byte]	INCW	saddrp	BR	全て
	A, [HL+B]	INCW	!addr16	BC	全て
	A, [HL+C]	INCW	[HL+byte]	BNC	全て
ADD	saddr, #byte	DECW	saddrp	BZ	全て
ADD C	saddr, #byte	DECW	!addr16	BNZ	全て
SUB	saddr, #byte	DECW	[HL+byte]	BH	全て
SUB C	saddr, #byte	MOV1	saddr.bit, CY	BNH	全て
AND	saddr, #byte	MOV1	sfr.bit, CY	BT	全て
OR	saddr, #byte	MOV1	[HL].bit, CY	BF	全て
XOR	saddr, #byte	SET1	saddr.bit	BTCLR	全て
		SET1	sfr.bit	HALT	-
		SET1	!addr16.bit	STOP	-
		SET1	[HL].bit		
		CLR1	saddr.bit		
		CLR1	sfr.bit		
		CLR1	!addr16.bit		
		CLR1	[HL].bit		

条件 2. コード・フラッシュ・メモリの読出しを行う命令。

下記の命令を使用し、Mirror 領域、コード・フラッシュ・メモリ領域を読み出す場合は対象になります。

命令	オペランド	命令	オペランド	命令	オペランド	命令	オペランド
MOV	A, !addr16	MOVW	AX, !addr16	ADD ADDC SUB SUBC AND OR XOR	A, !addr16	ADDW	AX, !addr16
	A, [DE]		AX, [DE]		A, [HL]		AX, [HL+byte]
	A, [DE+byte]		AX, [DE+byte]		A, [HL+byte]		AX, ES:!addr16
	A, [HL]		AX, [HL]		A, [HL+B]		AX, [HL+byte]
	A, [HL+byte]		AX, [HL+byte]		A, [HL+C]		AX, ES:!addr16
	A, [HL+B]		AX, word[B]		A, ES:!addr16		AX, ES:[HL+byte]
	A, [HL+C]		AX, word[C]		A, ES:[HL]		AX, ES:[HL+byte]
	A, word[B]		AX, word[BC]		A, ES:[HL+byte]		AX, ES:[HL+byte]
	A, word[C]		BC, !addr16		A, ES:[HL+B]		AX, ES:[HL+byte]
	A, word[BC]		DE, !addr16		A, ES:[HL+C]		AX, !addr16
	B, !addr16		HL, !addr16	A, !addr16	AX, [HL+byte]		
	C, !addr16		AX, ES:!addr16	A, [HL]	AX, ES:!addr16		
	X, !addr16		AX, ES:[DE]	A, [HL+byte]	AX, ES:[HL+byte]		
	A, ES:!addr16		AX, ES:[DE]	A, [HL+B]	AX, ES:[HL+byte]		
	A, ES:[DE]		AX, ES:[HL]	A, [HL+C]	AX, ES:[HL+byte]		
	A, ES:[DE+byte]		AX, ES:[HL]	!addr16, #byte	CY, [HL].bit		
	A, ES:[HL]		AX, ES:[HL]	A, ES:!addr16	CY, ES:[HL].bit		
	A, ES:[HL+byte]		AX, ES:[HL+byte]	A, ES:[HL]	CY, [HL].bit		
	A, ES:[HL+B]		AX, ES:word[B]	A, ES:[HL+byte]	CY, ES:[HL].bit		
	A, ES:[HL+C]		AX, ES:word[C]	A, ES:[HL+B]	CY, [HL].bit		
A, ES:word[B]	AX, ES:word[C]	A, ES:[HL+C]	CY, ES:[HL].bit				
A, ES:word[C]	AX, ES:word[BC]	ES:!addr16, #byte	CY, ES:[HL].bit				
A, ES:word[BC]	BC, ES:!addr16	!addr16	BT				
B, ES:!addr16	DE, ES:!addr16	CMP0	ES:[HL].bit, \$saddr20				
C, ES:!addr16	HL, ES:!addr16	CMPS	ES:[HL].bit, \$saddr20				
X, ES:!addr16							

条件3. 割り込み要求の保留命令。

下記の命令は割り込み要求を保留するため対象となります。

命令	オペランド
MOV	PSW, #byte
MOV	PSW, A
MOV1	PSW.bit, CY
SET1	PSW.bit
CLR1	PSW.bit
RETB	-
RETI	-
POP	PSW
BTCLR	PSW.bit, \$addr20
EI	-
DI	-
SKC	-
SKNC	-
SKZ	-
SKNZ	-
SKH	-
SKNH	-

また、下記レジスタに対する書き込み命令も割り込み要求を保留するため対象となります。

下記のレジスタが配置されているアドレスを指定しての書き込みも対象です。

- ・ 割り込み要求フラグ・レジスタ
IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, IF3L
- ・ 割り込みマスク・フラグ・レジスタ
MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, MK3L
- ・ 優先順位指定フラグ・レジスタ
PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR03L
PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PR13L

上記のレジスタに対する書き込みが可能な命令は下記通りです。

命令	オペランド	命令	オペランド	命令	オペランド
MOV	sfr, #byte	XCH	A, sfr	INC	!addr16
MOV	!addr16, #byte	XCH	A, !addr16	INC	[HL+byte]
MOV	sfr, A	XCH	A, [DE]	DEC	!addr16
MOV	!addr16, A	XCH	A, [DE+byte]	DEC	[HL+byte]
MOV	[DE], A	XCH	A, [HL]	INCW	!addr16
MOV	[DE+byte], #byte	XCH	A, [HL+byte]	INCW	[HL+byte]
MOV	[DE+byte], A	XCH	A, [HL+B]	DECW	!addr16
MOV	[HL], A	XCH	A, [HL+C]	DECW	[HL+byte]
MOV	[HL+byte], #byte	ONEB	!addr16	MOV1	sfr.bit, CY
MOV	[HL+byte], A	CLRB	!addr16	MOV1	[HL].bit, CY
MOV	[HL+B], A	MOVS	[HL+byte], X	SET1	sfr.bit
MOV	[HL+C], A	MOVW	sfrp, #word	SET1	!addr16.bit
MOV	word[B], #byte	MOVW	sfrp, AX	SET1	[HL].bit
MOV	word[B], A	MOVW	!addr16, AX	CLR1	sfr.bit
MOV	word[C], #byte	MOVW	[DE], AX	CLR1	!addr16.bit
MOV	word[C], A	MOVW	[DE+byte], AX	CLR1	[HL].bit
MOV	word[BC], #byte	MOVW	[HL], AX	BTCLR	sfr.bit, \$addr20
MOV	word[BC], A	MOVW	[HL+byte], AX	BTCLR	[HL].bit, \$addr20
		MOVW	word[B], AX		
		MOVW	word[C], AX		
		MOVW	word[BC], AX		

2.2. ウォッチドッグ・タイマの制限事項

2.2.1 制限事項について

【対象の使用方法】

ウォッチドッグ・タイマのオーバフローの時間を $2^{13}/f_{IL}$ 、 $2^{14}/f_{IL}$ または $2^{16}/f_{IL}$ に設定し、かつウォッチドッグ・タイマのインターバル割り込みを使用している場合、制限事項の対象となります。

・対象となるオプション・バイト (00C0H) の設定

7	6	5	4	3	2	1	0
WINDINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用／不使用						
1	オーバフロー時間の 75% + 1/2 f_{IL} 到達時にインターバル割り込みを発生する						
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
1	カウンタ動作許可(リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間				
1	0	1	$2^{13}/f_{IL}$ (474.90 ms)				
1	1	0	$2^{14}/f_{IL}$ (949.80 ms)				
1	1	1	$2^{16}/f_{IL}$ (3799.19 ms)				

上記以外の設定は制限事項の対象外です。

【制限事項内容】

ウォッチドッグ・タイマのカウントクリアした後、ウォッチドッグ・タイマの 1 クロック後にウォッチドッグ・タイマのインターバル割り込み(INTWDTI)が不正に発生する場合があります。

2.2.2. ソフトウェア対策

ウォッチドッグ・タイマのカウンタクリア時に、下記の①～④の手順を実行してください。

- ① ウォッチドッグ・タイマのカウンタクリア前に WDTIMK*1=1 にセット
- ② ウォッチドッグ・タイマのカウンタをクリア
- ③ 80μs 以上ウエイト
- ④ WDTIIF*2=0 にクリアし、WDTIMK*1=0 にクリア

*1: 割り込みマスク・フラグ・レジスタ 0(MK0L)のビット 0

*2: 割り込み要求フラグ・レジスタ 0(IF0L)のビット 0

2.2.3. 改善計画

本件は制限事項とさせていただきます。ユーザーズマニュアル Rev.3.10 への改訂時に、第 13 章 ウォッチドッグ・タイマに前記対策を記載致します。

2.2.4. 制限事項一覧

項目	内容	製品	
		RL78/G14 ROM 容量 16Kbyte～64Kbyte の製品 R5F104xA, R5F104xC, R5F104xD, R5F104xE	RL78/G14 ROM 容量 96Kbyte～256Kbyte の製品 R5F104xF, R5F104xG, R5F104xH, R5F104xJ
1	ウォッチドッグ・タイマの制限事項	—	×

備考)各記号はそれぞれ下記の意味を示します。

—: 制限事項対象外

×: 制限事項対象

【ウォッチドッグ・タイマ制限事項対象製品 品名一覧】

RL78/G14 ROM容量96Kbyte~256Kbyteの製品(1/2)

(品名はブランク品の品名であり ROM 番号は省略しております。)

30ピン LSSOP 7.62mm(300)	R5F104AFASP, R5F104AGASP R5F104AFDSP, R5F104AGDSP R5F104AFGSP, R5F104AGGSP
32ピン HWQFN 5x5mm	R5F104BFANA, R5F104BGANA R5F104BFDNA, R5F104BGDNA R5F104BFGNA, R5F104BGGNA
32ピン LQFP 7x7mm	R5F104BFAFP, R5F104BGAFP R5F104BFDFF, R5F104BGDFP R5F104BFGFP, R5F104BGGFP
36ピン WFLGA 4x4mm	R5F104CFALA, R5F104CGALA R5F104CFGLA, R5F104CGGLA
40ピン HWQFN 6x6mm	R5F104EFANA, R5F104EGANA, R5F104EHANA R5F104EFDNA, R5F104EGDNA, R5F104EHDNA R5F104EFGNA, R5F104EGGNA, R5F104EHGNA
44ピン LQFP 10x10mm	R5F104FFAFP, R5F104FGAFP, R5F104FHAFP, R5F104FJAFP, R5F104FFDFP, R5F104FGDFP, R5F104FHDFP, R5F104FJDFP, R5F104FFGFP, R5F104FGGFP, R5F104FHGFP, R5F104FJGFP,
48ピン LFQFP 7x7mm	R5F104GFAFB, R5F104GGAFB, R5F104GHAFB, R5F104GJAFB R5F104GFDFB, R5F104GGDFB, R5F104GHDFB, R5F104GJDFB R5F104GFGFB, R5F104GGGFB, R5F104GHGFB, R5F104GJGFB
48ピン HWQFN 7x7mm	R5F104GFANA, R5F104GGANA, R5F104GHANA, R5F104GJANA R5F104GFDNA, R5F104GGDNA, R5F104GHDNA, R5F104GJDNA R5F104GFGNA, R5F104GGGNA, R5F104GHGNA, R5F104GJGNA
52ピン LQFP 10x10mm	R5F104JFAFA, R5F104JGAFA, R5F104JHAFA, R5F104JJFAFA R5F104JFDFA, R5F104JGDFA, R5F104JHDFA, R5F104JJDFFA R5F104JFGFA, R5F104JGGFA, R5F104JHGFA, R5F104JJGFA
64ピン LQFP 12x12mm	R5F104LFAFA, R5F104LGAFB, R5F104LHAFA, R5F104LJFAFA R5F104LFDFA, R5F104LGDFA, R5F104LHDFA, R5F104LJDFFA R5F104LFGFA, R5F104LGGFA, R5F104LHGFA, R5F104LJGFA
64ピン LFQFP 10x10mm	R5F104LFAFB, R5F104LGAFB, R5F104LHAFB, R5F104LJAFB R5F104LFDDB, R5F104LGDDB, R5F104LHDDB, R5F104LJDFB R5F104LFGFB, R5F104LGGFB, R5F104LHGFB, R5F104LJGFB
64ピン FLGA 5x5mm,	R5F104LFALA, R5F104LGALA, R5F104LHALA, R5F104LJALA R5F104LFGLA, R5F104LGGLA, R5F104LHGLA, R5F104LJGLA
64ピン LQFP 14x14mm	R5F104LFAFP, R5F104LGAFP, R5F104LHAFF, R5F104LJAFP R5F104LFDFF, R5F104LGDFF, R5F104LHDFF, R5F104LJDFP R5F104LFGFP, R5F104LGGFP, R5F104LHGFP, R5F104LJGFP

(次頁に続く)

RL78/G14 ROM容量96Kbyte～256Kbyteの製品(2/2)

(品名はブランク品の品名であり ROM 番号は省略しております。)

80ピン LFQFP 12x12 mm	R5F104MFAFB, R5F104MGAFB, R5F104MHAFB, R5F104MJAFB R5F104MFDDB, R5F104MGDFB, R5F104MHDDB, R5F104MJDFB R5F104MFGFB, R5F104MGGFB, R5F104MHGFB, R5F104MJGFB
80ピン LQFP 14x14 mm	R5F104MFafa, R5F104MGafa, R5F104MHafa, R5F104MJafa R5F104MFDfa, R5F104MGdfa, R5F104MHDfa, R5F104MJDfa R5F104MFGfa, R5F104MGGfa, R5F104MHGfa, R5F104MJGfa
100ピン LFQFP 14x14 mm	R5F104PFAFB, R5F104PGAFA, R5F104PHAFA, R5F104PJAFB R5F104PFDFB, R5F104PGDFB, R5F104PHDFB, R5F104PJDFB R5F104PFGFB, R5F104PGGFB, R5F104PHGFB, R5F104PJGFB
100ピン LQFP 14x20 mm	R5F104PFafa, R5F104PGAfa, R5F104PHAfa, R5F104PJafa R5F104PFdfa, R5F104PGdfa, R5F104PHdfa, R5F104PJdfa R5F104PFgfa, R5F104PGgfa, R5F104PHgfa, R5F104PJgfa