

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-RX*-A144A/J	Rev.	第1版
題名	RX23T グループ 電気的特性変更、機能追加、及び誤記修正によるマニュアル改訂	情報分類	技術情報		
適用製品	RX23T	対象ロット等	関連資料	RX23T グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0520JJ0100)	
		全ロット			

RX23T グループの電気的特性に誤記がありましたので訂正いたします。また以下に示す機能追加を行います。

- 1) 高速オンチップオンレタ機能追加、及びクロック端子に汎用ポート追加
- 2) RAM 容量を 10KB から 12KB に拡張

つきましては、RX23T グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 に上記機能追加に伴う追記、及び修正を行います。合わせて既記載内容の誤記訂正も行いますのでご連絡いたします。

<電気的特性の修正>

■ Page1061 「表 35.3 DC 特性 (1)」を修正します。

(修正前)

項目	記号	min	typ	max	単位	測定条件		
シュミット トリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	$V_{IH}$	$VCC \times 0.7$	—	5.8	V		
		ポートB1, B2 (5Vトレラント)	$VCC \times 0.8$	—	5.8			
		ポート00~02、ポート10~11 ポート22~24 ポート30~33 ポート70~76 ポート91~94 ポートA2~A5 ポートB0、B3~B7 ポートD3~D7 ポートE2 ポートRES#	$VCC \times 0.8$	—	$VCC + 0.3$			
	ポート40~47	$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$				
	RIIC入力端子 (SMBusを除く)	$V_{IL}$	-0.3	—	$VCC \times 0.3$			
	RIIC入力端子以外		-0.3	—	$VCC \times 0.2$			
	RIIC入力端子 (SMBusを除く)	$\Delta V_T$	$VCC \times 0.05$	—	—			
	RIIC入力端子以外		$VCC \times 0.1$	—	—			
	入力レベル電圧 (シュミット トリガ入力端子 を除く)	MD	$V_{IH}$	$VCC \times 0.9$	—		$VCC + 0.3$	V
			EXTAL (外部クロック入力)	$VCC \times 0.8$	—		$VCC + 0.3$	
RIIC入力端子 (SMBus)			2.1	—	$VCC + 0.3$			
MD		$V_{IL}$	-0.3	—	$VCC \times 0.1$			
		EXTAL (外部クロック入力)	-0.3	—	$VCC \times 0.2$			
		RIIC入力端子 (SMBus)	-0.3	—	0.8			

(修正後)

項目	記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	RIIC入力端子 (SMBusを除く、5Vトレラント)	$V_{IH}$	$VCC \times 0.7$	—	5.8	V
		ポートB1、B2 (5Vトレラント)	$VCC \times 0.8$	—	5.8	
		ポート00~02、ポート10、11 ポート22~24 ポート30~33、36、37 ポート70~76 ポート91~94 ポートA2~A5 ポートB0、B3~B7 ポートD3~D7 ポートE2 ポートRES#	$VCC \times 0.8$	—	$VCC + 0.3$	
	ポート40~47	$AVCC0 \times 0.8$	—	$AVCC0 + 0.3$		
	RIIC入力端子 (SMBusを除く)	$V_{IL}$	-0.3	—	$VCC \times 0.3$	
	ポート40~47	-0.3	—	$AVCC0 \times 0.2$		
	ポート40~47、RIIC入力端子以外	-0.3	—	$VCC \times 0.2$		
	RIIC入力端子 (SMBusを除く)	$\Delta V_T$	$VCC \times 0.05$	—	—	
	ポート40~47	$AVCC0 \times 0.1$	—	—		
	ポート40~47、RIIC入力端子以外	$VCC \times 0.1$	—	—		
入力レベル電圧 (シュミットトリガ入力端子を除く)	$V_{IH}$	MD	$VCC \times 0.9$	—	$VCC + 0.3$	V
		EXTAL (外部クロック入力)	$VCC \times 0.8$	—	$VCC + 0.3$	
		RIIC入力端子 (SMBus)	2.1	—	$VCC + 0.3$	
	$V_{IL}$	MD	-0.3	—	$VCC \times 0.1$	
		EXTAL (外部クロック入力)	-0.3	—	$VCC \times 0.2$	
		RIIC入力端子 (SMBus)	-0.3	—	0.8	

■ Page1077 「表 35.14 動作周波数 (高速動作モード)」を修正します。

(修正前)

項目	記号	min.	typ.	max.	単位	
最大動作周波数	システムクロック (ICLK)	$f_{max}$	1	—	40	MHz
	FlashFクロック (FCLK) (注1、注2)	1	—	32		
	周辺モジュールクロック (PCLKA)	1	—	40		
	周辺モジュールクロック (PCLKB)	1	—	40		
	周辺モジュールクロック (PCLKD)	1	—	40		

(修正後)

項目	記号	min.	typ.	max.	単位	
最大動作周波数	システムクロック (ICLK)	$f_{max}$	—	—	40	MHz
	FlashFクロック (FCLK) (注1、注2)	—	—	32		
	周辺モジュールクロック (PCLKA)	—	—	40		
	周辺モジュールクロック (PCLKB)	—	—	40		
	周辺モジュールクロック (PCLKD)	—	—	40		

■ Page1077 「表 35.15 動作周波数 (中速動作モード)」を修正します。

(修正前)

項目	記号	min.	typ.	max.	単位	
最大動作周波数	システムクロック (ICLK)	$f_{max}$	1	—	12	MHz
	FlashFクロック (FCLK) (注1、注2)	1	—	12		
	周辺モジュールクロック (PCLKA)	1	—	12		
	周辺モジュールクロック (PCLKB)	1	—	12		
	周辺モジュールクロック (PCLKD)	1	—	12		

(修正後)

項目	記号	min.	typ.	max.	単位	
最大動作周波数	システムクロック (ICLK)	$f_{max}$	—	—	12	MHz
	FlashFクロック (FCLK) (注1、注2)	—	—	12		
	周辺モジュールクロック (PCLKA)	—	—	12		
	周辺モジュールクロック (PCLKB)	—	—	12		
	周辺モジュールクロック (PCLKD)	—	—	12		

■ Page1078 「表 35.16 クロックタイミング」を修正します。  
(修正前)

項目	記号	min	typ	max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	$t_{CYC}$	50	—	—	ns	図 35.20
EXTAL 外部クロック入力パルス幅 High レベル	$t_{XH}$	20	—	—	ns	
EXTAL 外部クロック入力パルス幅 Low レベル	$t_{XL}$	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	$t_{Xr}$	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	$t_{Xf}$	—	—	5	ns	
EXTAL 外部クロック入力待機時間 (注 1)	$t_{EXWT}$	0.5	—	—	$\mu$ s	図 35.21
メインクロック発振器発振周波数 (注 2)	$f_{MAIN}$	1	—	20	MHz	
メインクロック発振器安定時間 (水晶振動子) (注 2)	$t_{MAINOSC}$	—	3	—	ms	
メインクロック発振器安定時間 (セラミック共振子) (注 2)	$t_{MAINOSC}$	—	50	—	$\mu$ s	
LOCO クロック発振周波数	$f_{LOCO}$	3.44	4.0	4.56	MHz	
LOCO クロック発振安定時間	$t_{LOCO}$	—	—	0.5	$\mu$ s	図 35.22
IWDT 専用クロック発振周波数	$f_{ILOCO}$	12.75	15	17.25	kHz	図 35.23
IWDT 専用クロック発振安定時間	$t_{ILOCO}$	—	—	50	$\mu$ s	
PLL 回路発振周波数	$f_{PLL}$	24	—	40	MHz	図 35.24
PLL クロック発振安定時間	$t_{PLL}$	—	—	50	$\mu$ s	
PLL 自励発振周波数	$f_{PLLFR}$	—	8	—	MHz	

(修正後)

項目	記号	min	typ	max	単位	測定条件
EXTAL 外部クロック入力サイクル時間	$t_{CYC}$	50	—	—	ns	図 35.20
EXTAL 外部クロック入力パルス幅 High レベル	$t_{XH}$	20	—	—	ns	
EXTAL 外部クロック入力パルス幅 Low レベル	$t_{XL}$	20	—	—	ns	
EXTAL 外部クロック立ち上がり時間	$t_{Xr}$	—	—	5	ns	
EXTAL 外部クロック立ち下がり時間	$t_{Xf}$	—	—	5	ns	
EXTAL 外部クロック入力待機時間 (注 1)	$t_{EXWT}$	0.5	—	—	$\mu$ s	図 35.21
メインクロック発振器発振周波数 (注 2)	$f_{MAIN}$	1	—	20	MHz	
メインクロック発振器安定時間 (水晶振動子) (注 2)	$t_{MAINOSC}$	—	3	—	ms	
メインクロック発振器安定時間 (セラミック共振子) (注 2)	$t_{MAINOSC}$	—	50	—	$\mu$ s	
LOCO クロック発振周波数	$f_{LOCO}$	3.44	4.0	4.56	MHz	
LOCO クロック発振安定時間	$t_{LOCO}$	—	—	0.5	$\mu$ s	図 35.22
IWDT 専用クロック発振周波数	$f_{ILOCO}$	12.75	15	17.25	kHz	図 35.23
IWDT 専用クロック発振安定時間	$t_{ILOCO}$	—	—	50	$\mu$ s	
HOCO クロック発振周波数	$f_{HOCO}$	31.52 31.68 31.36	32 32 32	32.48 32.32 32.64	MHz	Ta = -40 ~ +85 °C Ta = -20 ~ +85 °C Ta = -40 ~ +105 °C
HOCO クロック発振安定時間	$t_{HOCO}$	—	—	30	$\mu$ s	図 35.25
PLL 回路発振周波数	$f_{PLL}$	24	—	40	MHz	図 35.26
PLL クロック発振安定時間	$t_{PLL}$	—	—	50	$\mu$ s	
PLL 自励発振周波数	$f_{PLLFR}$	—	8	—	MHz	

■ Page1078 「図 35.20 XTAL 外部クロック入力タイミング」を修正します。  
(修正前)

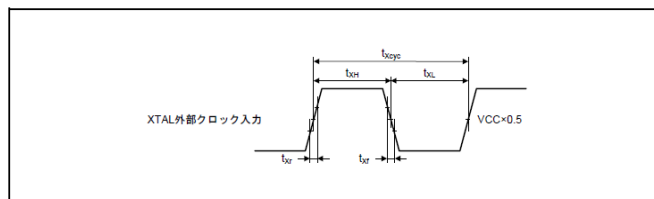


図 35.20 XTAL 外部クロック入力タイミング

(修正後)

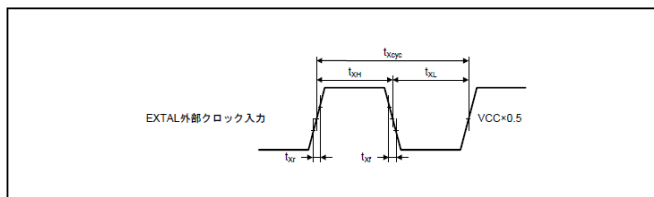


図 35.20 EXTAL 外部クロック入力タイミング

- Page1079 「図 35.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)」を追加します。

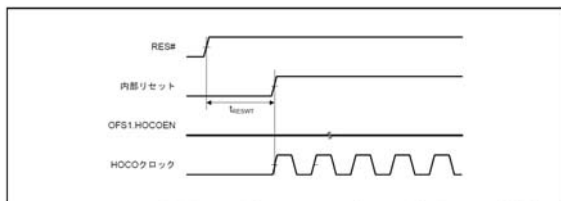


図 35.24 HOCO クロック発振開始タイミング (OFS1.HOCOEN ビット “0” 設定時のリセット解除後)

- Page1079 「図 35.25 HOCO クロック発振開始タイミング (HOCOEN.HCSTP ビット設定による発振開始)」を追加します。

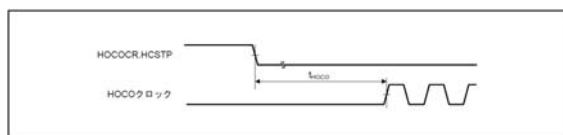


図 35.25 HOCO クロック発振開始タイミング (HOCOEN.HCSTP ビット設定による発振開始)

- Page1099 「表 35.32 コンパレータ特性」を修正します。  
(修正前)

項目	記号	min	typ	max	単位	測定条件
応答時間	$t_{cr}$	—	—	200	ns	VOD = 100mV
	$t_{cf}$	—	—	200	ns	PCLKB = 40MHz CMPCTL.CDFS = 0

(修正後)

項目	記号	min	typ	max	単位	測定条件
応答時間	$t_{cr}$	—	—	200	ns	VOD = 100mV
	$t_{cf}$	—	—	200	ns	CMPCTL.CDFS = 0

- Page1100 「表 35.33 D/A 変換特性」を修正します。  
(修正前)

項目	min	typ	max	単位	測定条件
分解能	—	—	8	ビット	
変換時間	—	—	3.0	μs	
絶対精度	—	±1.0	±3.0	LSB	

(修正後)

項目	記号	min	typ	max	単位	測定条件
分解能	—	—	—	8	ビット	
変換時間	$t_{conv}$	—	—	3.0	μs	
絶対精度	—	—	±1.0	±3.0	LSB	

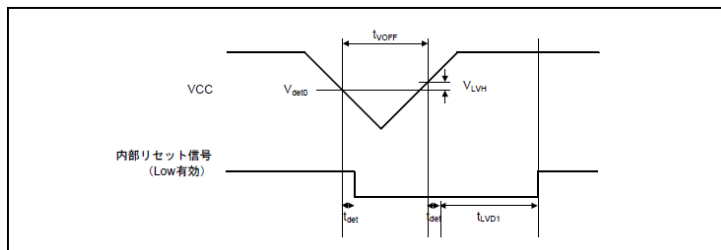
- Page1102 「表 35.35 パワーオンリセット回路、電圧検出回路特性 (2)」を修正します。  
(修正前)

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	$t_{POR}$	—	28.4	—	ms	図 35.49
電圧監視 1 リセット解除後待機時間	$t_{LVD1}$	—	568	—	μs	図 35.51
電圧監視 2 リセット解除後待機時間	$t_{LVD2}$	—	100	—	μs	図 35.52
応答遅延時間	$t_{det}$	—	—	350	μs	図 35.48
最小 VCC 低下時間 (注 1)	$t_{VOFF}$	350	—	—	μs	図 35.48、VCC = 1.0V 以上
パワーオンリセット有効時間	$t_W$ (POR)	1	—	—	ms	図 35.49、VCC = 1.0V 未満
LVD 動作安定時間 (LVD 有効切り替え時)	$T_d$ (E-A)	—	—	300	μs	図 35.51、図 35.52
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	$V_{LVH}$	—	70	—	mV	Vdet1_0 ~ 4 選択時
		—	60	—	mV	Vdet1_5 ~ 8、LVD2 選択時

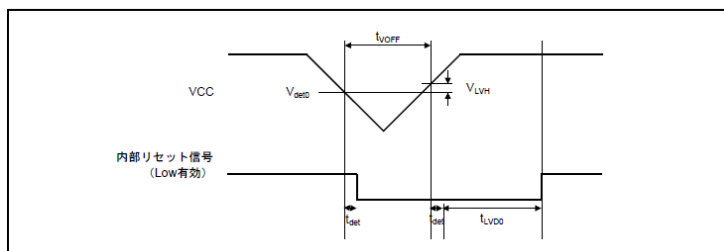
(修正後)

項目	記号	min	typ	max	単位	測定条件
パワーオンリセット解除後待機時間	$t_{POR}$	—	28.4	—	ms	図 35.49
電圧監視 0 リセット解除後待機時間	$t_{LVD0}$	—	568	—	μs	図 35.50
電圧監視 1 リセット解除後待機時間	$t_{LVD1}$	—	100	—	μs	図 35.51
電圧監視 2 リセット解除後待機時間	$t_{LVD2}$	—	100	—	μs	図 35.52
応答遅延時間	$t_{det}$	—	—	350	μs	図 35.48
最小 VCC 低下時間 (注 1)	$t_{VOFF}$	350	—	—	μs	図 35.48、VCC = 1.0V 以上
パワーオンリセット有効時間	$t_W$ (POR)	1	—	—	ms	図 35.49、VCC = 1.0V 未満
LVD 動作安定時間 (LVD 有効切り替え時)	$T_d$ (E-A)	—	—	300	μs	図 35.51、図 35.52
ヒステリシス幅 (電圧検出回路 (LVD1、LVD2))	$V_{LVH}$	—	70	—	mV	Vdet1_0 ~ 4 選択時
		—	60	—	mV	Vdet1_5 ~ 8、LVD2 選択時

■ Page1103 「図 35.50 電圧検出回路タイミング (V<sub>det0</sub>)」 を修正します。  
 (修正前)



(修正後)



<機能追加にともなう追記、及び修正>

■ Page34 特長 を以下のように修正します。

(修正前)

■最大 48 本の GPIO 内蔵

(修正後)

■最大 **50** 本の GPIO 内蔵

■ Page34 特長 内蔵 SRAM (ウェイトなし) の説明を以下のように修正します。

(修正前)

●10Kバイト SRAM

(修正後)

●**12K**バイト SRAM

■ Page34 特長 クロック機能 の説明を以下のように修正します。

(修正前)

●低速オンチップオシレータ、IWDT 専用オンチップオシレータ内蔵

(修正後)

●低速オンチップオシレータ、**高速オンチップオシレータ**、IWDT 専用オンチップオシレータ内蔵

■ Page35 「表 1.1 仕様概要 (1 / 3)」 を修正します。

(修正前)

分類	モジュール/機能	説明
メモリ	RAM	●容量 10Kバイト

分類	モジュール/機能	説明
クロック	クロック発生回路	●メインクロック発振器、低速オンチップオシレータ、PLL 周波数シンセサイザ、IWDT 専用オンチップオシレータ内蔵

(修正後)

分類	モジュール/機能	説明
メモリ	RAM	●容量 <b>12K</b> バイト

分類	モジュール/機能	説明
クロック	クロック発生回路	●メインクロック発振器、低速 <b>および</b> 高速オンチップオシレータ、PLL 周波数シンセサイザ、IWDT 専用オンチップオシレータ内蔵

■ Page36 「表 1.1 仕様概要 (2 / 3)」 を修正します。

(修正前)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	●入出力：48/38/35 ●プルアップ抵抗：48/38/35 ●オープンドレイン出力：40/30/27

(修正後)

分類	モジュール/機能	説明
I/Oポート	汎用入出力ポート	●入出力： <b>50/40/37</b> ●プルアップ抵抗： <b>50/40/37</b> ●オープンドレイン出力： <b>42/32/29</b>

■ Page39 「表 1.3 製品一覧表 D バージョン (Ta = -40~85°C)」 を修正します。

(修正前)

グループ	型名	パッケージ	ROM 容量	RAM 容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5ADFL	PLQP0048KB-A	128K バイト	10K バイト	40MHz	- 40 ~ + 85 °C
	R5F523T5ADFD	PLQP0052JA-A				
	R5F523T5ADFM	PLQP0064KB-A				
	R5F523T3ADFL	PLQP0048KB-A	64K バイト			
	R5F523T3ADFD	PLQP0052JA-A				
	R5F523T3ADFM	PLQP0064KB-A				

(修正後)

グループ	型名	パッケージ	ROM 容量	RAM 容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5ADFL	PLQP0048KB-B	128K バイト	12K バイト	40MHz	- 40 ~ + 85 °C
	R5F523T5ADFD	PLQP0052JA-B				
	R5F523T5ADFM	PLQP0064KB-C				
	R5F523T3ADFL	PLQP0048KB-B	64K バイト			
	R5F523T3ADFD	PLQP0052JA-B				
	R5F523T3ADFM	PLQP0064KB-C				

■ Page39 「表 1.4 製品一覧表 G バージョン (Ta = -40~105°C)」 を修正します。

(修正前)

グループ	型名	パッケージ	ROM 容量	RAM 容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5ADFL	PLQP0048KB-A	128K バイト	10K バイト	40MHz	- 40 ~ + 105 °C
	R5F523T5ADFD	PLQP0052JA-A				
	R5F523T5ADFM	PLQP0064KB-A				
	R5F523T3ADFL	PLQP0048KB-A	64K バイト			
	R5F523T3ADFD	PLQP0052JA-A				
	R5F523T3ADFM	PLQP0064KB-A				

(修正後)

グループ	型名	パッケージ	ROM 容量	RAM 容量	動作周波数 (max)	動作周囲温度
RX23T	R5F523T5ADFL	PLQP0048KB-B	128K バイト	12K バイト	40MHz	- 40 ~ + 105 °C
	R5F523T5ADFD	PLQP0052JA-B				
	R5F523T5ADFM	PLQP0064KB-C				
	R5F523T3ADFL	PLQP0048KB-B	64K バイト			
	R5F523T3ADFD	PLQP0052JA-B				
	R5F523T3ADFM	PLQP0064KB-C				

■ Page40 「図 1.1 型名とメモリサイズ・パッケージ」 を修正します。

(修正前)

ROM/RAM 容量

5 : 128Kバイト/10Kバイト

3 : 64Kバイト/10Kバイト

(修正後)

ROM/RAM 容量

5 : 128Kバイト/12Kバイト

3 : 64Kバイト/12Kバイト

■ Page44 「表 1.5 端子機能一覧 (3 / 3)」 を修正します。

(修正前)

分類	端子名	入出力	機能
I/Oポート	P30~P33	入出力	4ビットの入出力端子

(修正後)

分類	端子名	入出力	機能
I/Oポート	P30~P33、P36、P37	入出力	6ビットの入出力端子

■ Page45 「図 1.3 64ピン LFQFP ピン配置図」、Page46 「図 1.4 52ピン LFQFP ピン配置図」、Page47 「図 1.5 48ピン LFQFP ピン配置図」、を修正します。

(修正前)

XTAL  
EXTAL

(修正後)

P37/XTAL  
P36/EXTAL

■ Page48 「表 1.6 機能別端子一覧 (64ピン LFQFP) (1 / 2)」 を修正します。

(修正前)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ	通信	その他
7	XTAL	(空白)	(空白)	(空白)	(空白)
9	EXTAL	(空白)	(空白)	(空白)	(空白)

(修正後)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ	通信	その他
7	XTAL	P37	(空白)	(空白)	(空白)
9	EXTAL	P36	(空白)	(空白)	(空白)

■ Page50 「表 1.7 機能別端子一覧 (52ピン LFQFP) (1 / 2)」 を修正します。

(修正前)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ	通信	その他
5	XTAL	(空白)	(空白)	(空白)	(空白)
7	EXTAL	(空白)	(空白)	(空白)	(空白)

(修正後)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ	通信	その他
5	XTAL	P37	(空白)	(空白)	(空白)
7	EXTAL	P36	(空白)	(空白)	(空白)

■ Page52 「表 1.8 機能別端子一覧 (48ピン LFQFP) (1 / 2)」 を修正します。

(修正前)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ	通信	その他
4	XTAL	(空白)	(空白)	(空白)	(空白)
6	EXTAL	(空白)	(空白)	(空白)	(空白)

(修正後)

ピン番号	電源、クロック、システム制御	I/Oポート	タイマ	通信	その他
4	XTAL	P37	(空白)	(空白)	(空白)
6	EXTAL	P36	(空白)	(空白)	(空白)

■ Page87 「図 4.1 各動作モードのメモリマップ」 を修正します。

(修正前)

RAM (バイト)	
容量	アドレス
10K	0000 0000h~0000 27FFh

(修正後)

RAM (バイト)	
容量	アドレス
12K	0000 0000h~0000 27FFh 0000 4000h~0000 4A7Fh

■ Page90 「表 5.1 I/O レジスタアドレス一覧 (1 / 16)」 に以下のレジスタを追加します。

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数 ICLK ≥ PCLK の場合	参照章
0008 0036h	SYSTEM	高速オンチップオシレータコントロールレジスタ	HOCOCR	8	8	3ICLK	9章
0008 00A5h	SYSTEM	高速オンチップオシレータウェイトコントロールレジスタ	HOCOWTCR	8	8	3ICLK	9章



■ Page100 「表 5.1 I/O レジスタアドレス一覧 (11 / 16)」に以下のレジスタを追加します。

アドレス	モジュールシンボル	レジスタ名	レジスタシンボル	ビット数	アクセスサイズ	アクセスサイクル数	参照章
						ICLK ≠ PCLK の場合	
0008 C087h	PORT3	オープンドレイン制御レジスタ 1	ODR1	8	8, 16	2 ~ 3PCLKB	18 章

■ Page122 オプション機能選択レジスタ 1 (OFS1) を修正します。

b8 に HOCOEN を追加します。

(修正前)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	—	—	—	—	—	—	LVDAS	VDSEL[1:0]	—

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出 0 レベル選択ビット	b1 b0 0 0 : 3.84V を選択 1 0 : 2.51V を選択 電圧検出 0 回路を使用する場合は、上記以外は設定しないでください	R
b2	LVDAS	電圧検出 0 回路起動ビット	0 : リセット後、電圧監視 0 リセット有効 1 : リセット後、電圧監視 0 リセット無効	R
b31-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1” にしてください	R

(修正後)

アドレス FFFF FF88h

b31	b30	b29	b28	b27	b26	b25	b24	b23	b22	b21	b20	b19	b18	b17	b16
—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—

リセット後の値 ユーザの設定値 (注1)

b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	—	—	—	HOCOEN	—	—	—	—	—	LVDAS	VDSEL[1:0]	—

リセット後の値 ユーザの設定値 (注1)

ビット	シンボル	ビット名	機能	R/W
b1-b0	VDSEL[1:0]	電圧検出 0 レベル選択ビット	b1 b0 0 0 : 3.84V を選択 1 0 : 2.51V を選択 電圧検出 0 回路を使用する場合は、上記以外は設定しないでください	R
b2	LVDAS	電圧検出 0 回路起動ビット	0 : リセット後、電圧監視 0 リセット有効 1 : リセット後、電圧監視 0 リセット無効	R
b7-b3	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1” にしてください	R
b8	HOCOEN	HOCO 発振有効ビット	0 : リセット後、HOCO 発振が有効 1 : リセット後、HOCO 発振が無効	R
b31-b9	—	予約ビット	読んだ場合は、プログラムした値が読めます。プログラムする場合は、“1” にしてください	R

(説明追加)

**HOCOEN ビット (HOCO 発振有効ビット)**

リセット後、HOCO 発振を有効にするか無効にするかを選択します。

HOCOEN ビットを“0” にすることにより、CPU が動作する前に HOCO の発振を開始することができ、発振安定の待ち時間を減らすことができます。

なお、HOCOEN ビットを“0” にしても、システムクロックソースは HOCO に切り替わりません。CPU からクロックソース選択ビット (SCKCR3.CKSEL[2:0]) を書き換えることにより、切り替わります。

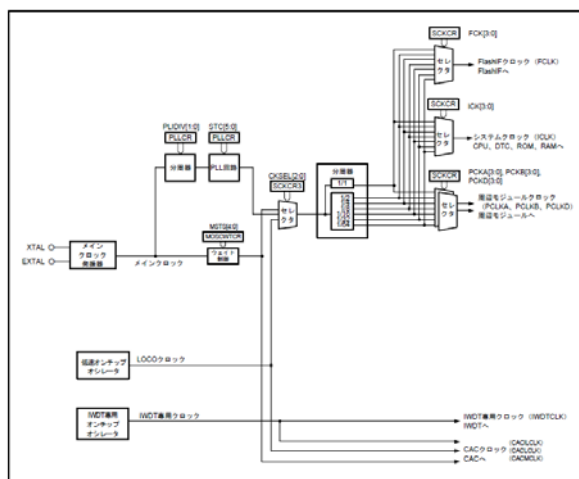
また、HOCOEN ビットに“0” を設定している場合、HOCO 発振安定時間 (t<sub>HOCO</sub>) はハードウェアで確保されているため、CPU リセット解除後から電気的特性に記載の HOCO 発振周波数 (f<sub>HOCO</sub>) の精度のクロックが供給されます。

■ Page141 「表 9.1 クロック生成回路の仕様」 に以下を追加します。

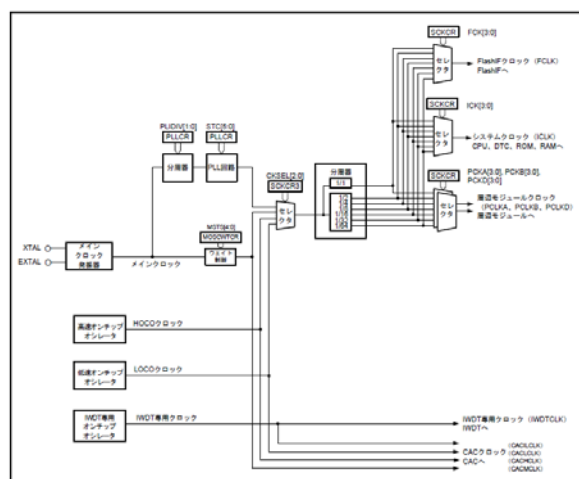
項目	仕様
高速オンチップオシレータ (HOCO)	発振周波数 : 32MHz

■ Page142 「図9.1 クロック生成回路のブロック図」 を修正します。

(修正前)



(修正後)



■ Page146 システムクロックコントロールレジスタ 3 (SCKCR3) を修正します。

(修正前)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0] (注1)	クロックソース選択ビット	b10 b8 0 0 0 : LOCO 選択 0 1 0 : メインクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(修正後)

ビット	シンボル	ビット名	機能	R/W
b7-b0	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b10-b8	CKSEL[2:0] (注1)	クロックソース選択ビット	b10 b8 0 0 0 : LOCO 選択 <b>0 0 1 : HOCO 選択</b> 0 1 0 : メインクロック発振器選択 1 0 0 : PLL 回路選択 上記以外は設定しないでください	R/W
b15-b11	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

■ Page151 IWDTCR 専用オンチップオシレータコントロールレジスタ (ILOCOCR) の説明の後に以下のレジスタ説明を追加します。

9.2.8 高速オンチップオシレータコントロールレジスタ (HOCOOCR)

9.2.9 高速オンチップオシレータウェイトコントロールレジスタ (HOCOWTCR)

上記の説明追加に伴い、以下の章の章番号を変更します。

(修正前)

- 9.2.8 発振安定フラグレジスタ (OSCOVFSR)
- 9.2.9 発振停止検出コントロールレジスタ (OSTDCR)
- 9.2.10 発振停止検出ステータスレジスタ (OSTDSR)
- 9.2.11 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)
- 9.2.12 メインクロック発振器強制発振コントロールレジスタ (MOFCR)
- 9.2.13 メモリウェイトサイクル設定レジスタ (MEMWAIT)

(修正後)

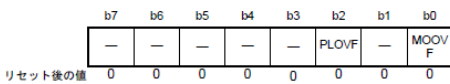
- 9.2.10 発振安定フラグレジスタ (OSCOVFSR)
- 9.2.11 発振停止検出コントロールレジスタ (OSTDCR)
- 9.2.12 発振停止検出ステータスレジスタ (OSTDSR)
- 9.2.13 メインクロック発振器ウェイトコントロールレジスタ (MOSCWTCR)
- 9.2.14 メインクロック発振器強制発振コントロールレジスタ (MOFCR)
- 9.2.15 メモリウェイトサイクル設定レジスタ (MEMWAIT)

■ Page152 発振安定フラグレジスタ (OSCOVFSR) を修正します。

b3に HCOVF を追加します。

(修正前)

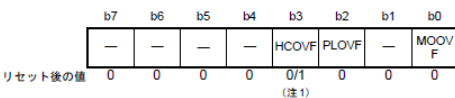
アドレス 0008 003Ch



ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注 1)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLL クロック発振安定フラグ	0: PLL 停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	—	予約ビット	読むと“0”が読めます。書き込みは無効になります	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(修正後)

アドレス 0008 003Ch



注 1. オプション機能選択レジスタ 1 の HOCO 発振有効ビット (OFS1.HOCOEN) が “0” のとき、HCOVF ビットのリセット後の値は “1” になります。OFS1.HOCOEN ビットが “1” のとき、HCOVF ビットのリセット後の値は “0” になります。

ビット	シンボル	ビット名	機能	R/W
b0	MOOVF	メインクロック発振安定フラグ	0: メインクロック停止 1: 発振安定、システムクロックとして使用可能 (注 1)	R
b1	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b2	PLOVF	PLL クロック発振安定フラグ	0: PLL 停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能	R
b3	HCOVF	HOCO クロック発振安定フラグ	0: HOCO 停止、または発振安定待ち中 1: 発振安定、システムクロックとして使用可能 (注 1)	R
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W

(説明追加)

HCOVF フラグ (HOCO クロック発振安定フラグ)

HOCO クロックの発振安定の状態を示します。

[ “1” になる条件]

- HOCO.CR.HCSTP ビットが“1” (HOCO 停止) のときに、HCSTP ビットを“0” (HOCO 動作) にした後、MCU 内部に HOCO クロックの供給が開始されたとき  
[“0” になる条件]
- HOCO.CR.HCSTP ビットを“1” にした後、HOCO の発振停止処理が完了したとき

■ Page162 発振停止検出割り込み の本文に以下を追記します。

発振停止を検出して PLL が自励発振周波数で動作している状態は、システムとして何らかの異常が発生している状態です。異常に対する応急処置のみ実施するようにしてください。

■ Page163 内部クロック の本文を修正します。

(修正前)

内部クロックは、クロック源としてメインクロック、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

(修正後)

内部クロックは、クロック源としてメインクロック、**HOCO クロック**、LOCO クロック、PLL クロック、IWDT 専用クロックがあり、これらのクロックから以下に示す内部クロックを生成します。

■ Page163 CAC クロック の本文を修正します。

(修正前)

CACCLK にはメインクロック発振器で生成される CACMCLK、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

(修正後)

CACCLK にはメインクロック発振器で生成される CACMCLK、**高速オンチップオシレータで生成される CACHCLK**、低速オンチップオシレータで生成される CACLCLK、IWDT 専用オンチップオシレータで生成される CACILCLK があります。

■ Page164 発振子接続端子に関する注意事項 の説明を追加します。

**9.7.4 発振子接続端子に関する注意事項**

メインクロックを使用しない場合、EXTAL 端子、XTAL 端子を汎用ポート P36、P37 として使用することができます。汎用ポートとして使用する場合は、メインクロック停止設定 (MOSCCR.MOSTP = 1) で使用してください。ただし、メインクロックを使用するシステムにおいては EXTAL 端子、XTAL 端子を汎用ポートとして使用しないでください。

メインクロックを使用する場合は、P36、P37 を出力に設定しないでください。

■ Page165 「表 10.1 CAC の仕様」を修正します。

(修正前)

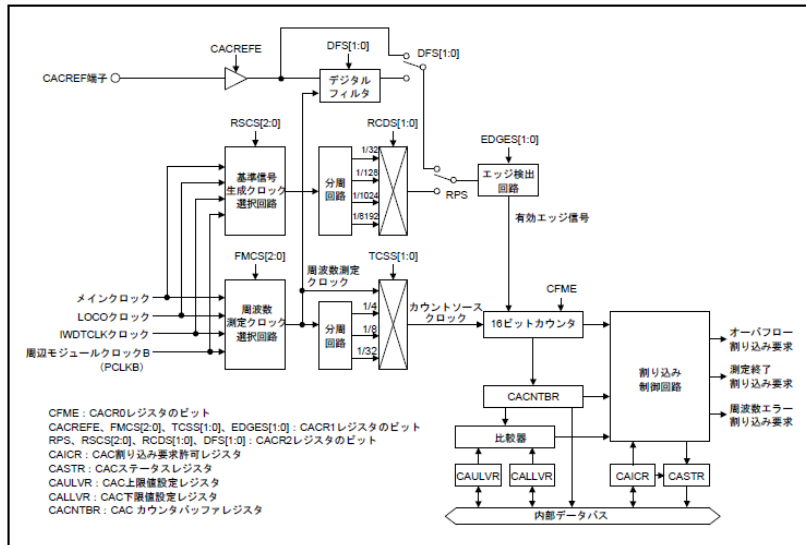
項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>● メインクロック</li> <li>● LOCO クロック</li> <li>● WDTCLK クロック</li> <li>● 周辺モジュールクロック B ( PCLKB )</li> </ul>
測定基準クロック	● 外部から CACREF 端子に入力したクロック <ul style="list-style-type: none"> <li>● メインクロック</li> <li>● LOCO クロック</li> <li>● WDTCLK クロック</li> <li>● 周辺モジュールクロック B ( PCLKB )</li> </ul>

(修正後)

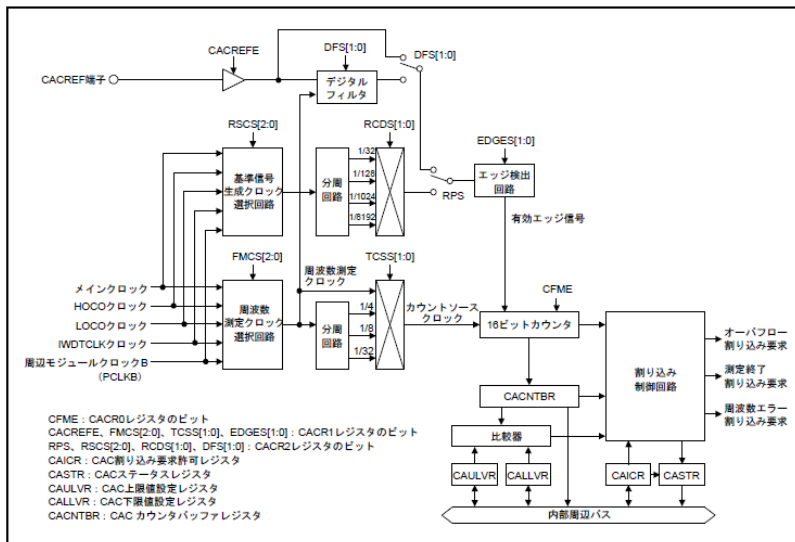
項目	内容
測定対象クロック	以下のクロックの周波数を測定可能 <ul style="list-style-type: none"> <li>● メインクロック</li> <li>● <b>HOCO クロック</b></li> <li>● LOCO クロック</li> <li>● WDTCLK クロック</li> <li>● 周辺モジュールクロック B ( PCLKB )</li> </ul>
測定基準クロック	● 外部から CACREF 端子に入力したクロック <ul style="list-style-type: none"> <li>● メインクロック</li> <li>● <b>HOCO クロック</b></li> <li>● LOCO クロック</li> <li>● WDTCLK クロック</li> <li>● 周辺モジュールクロック B ( PCLKB )</li> </ul>

■ Page166 「図 10.1 CAC のブロック図」を修正します。

(修正前)



(修正後)



■ Page168 CAC コントロールレジスタ 1 (CACR1) を修正します。

(修正前)

ビット	シンボル	ビット名	機能	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 1 : LOCO クロック 1 0 0 : IWDTCCLK クロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W

(修正後)

ビット	シンボル	ビット名	機能	R/W
b3-b1	FMCS[2:0]	測定対象クロック選択ビット	b3 b1 0 0 0 : メインクロック 0 1 0 : <b>HOCO クロック</b> 0 1 1 : LOCO クロック 1 0 0 : IWDTCCLK クロック 1 0 1 : 周辺モジュールクロック B (PCLKB) 上記以外は設定しないでください	R/W

■ Page177 「表 11.2 各モードにおける遷移および解除方法と動作状態」を修正します。

(修正前)

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み (注1)
解除後の状態 (注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT 専用オンチップオシレータ	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
PLL	動作可能	動作可能	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
RAM0 (0000 0000h ~ 0000 27FFh)	動作可能 (保持)	停止 (保持)	停止 (保持)
DTC	動作可能 (注5)	停止 (保持)	停止 (保持)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止 (保持) (注4)
I/O ボート	動作	動作	保持
コンパレータ C	動作可能	動作可能	動作可能 (注6)

(修正後)

遷移および解除方法と動作状態	スリープモード	ディープスリープモード	ソフトウェアスタンバイモード
遷移方法	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令
リセット以外の解除方法	割り込み	割り込み	割り込み (注1)
解除後の状態 (注2)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)	プログラム実行状態 (割り込み処理)
メインクロック発振器	動作可能	動作可能	停止
<b>高速オンチップオシレータ</b>	<b>動作可能</b>	<b>動作可能</b>	<b>停止</b>
低速オンチップオシレータ	動作可能	動作可能	停止
IWDT 専用オンチップオシレータ	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
PLL	動作可能	動作可能	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)
RAM0 (0000 0000h ~ 0000 27FFh, <b>0000 4000h ~ 0000 4A7Fh</b> )	動作可能 (保持)	停止 (保持)	停止 (保持)
DTC	動作可能 (注5)	停止 (保持)	停止 (保持)
フラッシュメモリ	動作	停止 (保持)	停止 (保持)
独立ウォッチドッグタイマ (IWDT)	動作可能 (注3)	動作可能 (注3)	動作可能 (注3)
電圧検出回路 (LVD)	動作可能	動作可能	動作可能
パワーオンリセット回路	動作	動作	動作
周辺モジュール	動作可能	動作可能	停止 (保持) (注4)
I/O ボート	動作	動作	保持
コンパレータ C	動作可能	動作可能	動作可能 (注6)

■ Page183 モジュールストップコントロールレジスタ C (MSTPCRC) を修正します。

(修正前)

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット (注1)	対象モジュール：RAM0 (0000 0000h ~ 0000 27FFh) 0：RAM0 動作 1：RAM0 停止	R/W

(修正後)

ビット	シンボル	ビット名	機能	R/W
b0	MSTPC0	RAM0 モジュールストップ設定ビット (注1)	対象モジュール：RAM0 (0000 0000h ~ 0000 27FFh, <b>0000 4000h ~ 0000 4A7Fh</b> ) 0：RAM0 動作 1：RAM0 停止	R/W

■ Page196 「表 12.1 PRCR レジスタと保護されるレジスタの対応」を修正します。

(修正前)

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ</li> <li>SCKCR、SCKCR3、PLLCR、PLLCR2、MOSCCR、LOCOCR、ILOOCR、OSTDCR、OSTDSR、MEMWAIT</li> </ul>
PRC1 ビット	<ul style="list-style-type: none"> <li>動作モード関連レジスタ</li> <li>SYSCR1</li> <li>消費電力低減機能関連レジスタ</li> <li>SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、OPCCR</li> <li>クロック発生回路関連レジスタ</li> <li>MOFCR、MOSCWTCR</li> <li>ソフトウェアリセットレジスタ</li> <li>SWRR</li> </ul>
PRC3 ビット	<ul style="list-style-type: none"> <li>LVD 関連レジスタ</li> <li>LVCMPCCR、LVDLVLRL、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR</li> </ul>

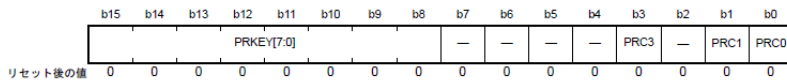
(修正後)

PRCR レジスタ	保護されるレジスタ
PRC0 ビット	<ul style="list-style-type: none"> <li>クロック発生回路関連レジスタ</li> <li>SCKCR、SCKCR3、PLLCR、PLLCR2、MOSCCR、LOCOCR、ILOOCR、<b>HOCOOCR</b>、OSTDCR、OSTDSR、MEMWAIT</li> </ul>
PRC1 ビット	<ul style="list-style-type: none"> <li>動作モード関連レジスタ</li> <li>SYSCR1</li> <li>消費電力低減機能関連レジスタ</li> <li>SBYCR、MSTPCRA、MSTPCRB、MSTPCRC、OPCCR</li> <li>クロック発生回路関連レジスタ</li> <li>MOFCR、MOSCWTCR</li> <li>ソフトウェアリセットレジスタ</li> <li>SWRR</li> </ul>
<b>PRC2 ビット</b>	<ul style="list-style-type: none"> <li><b>クロック発生回路関連レジスタ</b></li> <li><b>HOCOWTCR</b></li> </ul>
PRC3 ビット	<ul style="list-style-type: none"> <li>LVD 関連レジスタ</li> <li>LVCMPCCR、LVDLVLRL、LVD1CR0、LVD1CR1、LVD1SR、LVD2CR0、LVD2CR1、LVD2SR</li> </ul>

■ Page197 プロテクトレジスタ (PRCR) を修正します。

(修正前)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路、フラッシュメモリ関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセット関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b2	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b3	PRC3	プロテクトビット3	LVD 関連レジスタへの書き込み許可 0: 書き込み禁止 1: 書き込み許可	R/W
b7-b4	—	予約ビット	読むと“0”が読めます。書く場合、“0”としてください	R/W
b15-b8	PRKEY[7:0]	PRC キーコードビット	PRCR レジスタの書き換えの可否を制御します。 PRCR レジスタを書き換える場合、上位8ビットに“A5h”、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0、1、3)

保護するレジスタへの書き込み許可/禁止を選択します。

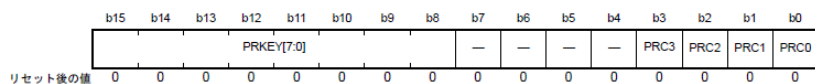
PRCi ビットが“1”のとき、保護されるレジスタへの書き込みができます。PRCi ビットが“0”のとき、レジスタへの書き込みができません。



(修正後)

12.1.1 プロテクトレジスタ (PRCR)

アドレス 0008 03FEh



ビット	シンボル	ビット名	機能	R/W
b0	PRC0	プロテクトビット0	クロック発生回路関連レジスタへの書き込み許可 0:書き込み禁止 1:書き込み許可	R/W
b1	PRC1	プロテクトビット1	動作モード、消費電力低減機能、クロック発生回路関連レジスタ、ソフトウェアリセットレジスタへの書き込み許可 0:書き込み禁止 1:書き込み許可	R/W
b2	PRC2	プロテクトビット2	クロック発生回路関連レジスタへの書き込み許可 0:書き込み禁止 1:書き込み許可	R/W
b3	PRC3	プロテクトビット3	LVD関連レジスタへの書き込み許可 0:書き込み禁止 1:書き込み許可	R/W
b7-b4	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b15-b8	PRKEY[7:0]	PRC キーコードビット	PRCRレジスタの書き換えの可否を制御します。 PRCRレジスタを書き換える場合、上位8ビットに"A5h"、下位8ビットに任意の値を、16ビット単位で書いてください	R/W (注1)

注1. 書き込みデータは保持されません。

PRCi ビット (プロテクトビット i) (i = 0 ~ 3)

保護するレジスタへの書き込み許可/禁止を選択します。

PRCi ビットが "1" のとき、保護されるレジスタへの書き込みができます。PRCi ビットが "0" のとき、レジスタへの書き込みができません。

■ Page242 「表 15.2 バス種類別アドレス対応表」を修正します。

(修正前)

アドレス	バス	内容
0000 0000h ~ 0000 27FFh	メモリバス 1	RAM
0000 2800h ~ 0007 FFFFh		予約領域
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
000A 0000h ~ 000B FFFFh	内部周辺バス 3	
000C 0000h ~ 000D FFFFh	内部周辺バス 4	
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	フラッシュ制御モジュール
8000 0000h ~ FEFF FFFFh	メモリバス 2	ROM
FF00 0000h ~ FFFF FFFFh		(読み出し専用)

(修正後)

アドレス	バス	内容
0000 0000h ~ 0000 27FFh	メモリバス 1	RAM
0000 2800h ~ 0000 3FFFh		予約領域
0000 4000h ~ 0000 4A7Fh		RAM
0000 4A80h ~ 0007 FFFFh		予約領域
0008 0000h ~ 0008 7FFFh	内部周辺バス 1	周辺 I/O レジスタ
0008 8000h ~ 0009 FFFFh	内部周辺バス 2	
000A 0000h ~ 000B FFFFh	内部周辺バス 3	
000C 0000h ~ 000D FFFFh	内部周辺バス 4	
0010 0000h ~ 00FF FFFFh	内部周辺バス 6	フラッシュ制御モジュール
8000 0000h ~ FEFF FFFFh	メモリバス 2	ROM
FF00 0000h ~ FFFF FFFFh		(読み出し専用)

■ Page305 「表 18.1 I/O ポートの仕様」を修正します。

(修正前)

ポート シンボル	パッケージ		パッケージ		パッケージ	
	64ピン	本数	52ピン	本数	48ピン	本数
PORT0	P00 ~ P02	3	P02	1	なし	なし
PORT1	P10, P11	2	P10, P11	2	P10, P11	2
PORT2	P22 ~ P24	3	P22 ~ P24	3	P22 ~ P24	3
PORT3	P30 ~ P33	4	P33	1	なし	なし
PORT4	P40 ~ P47	8	P40 ~ P47	8	P40 ~ P47	8
PORT7	P70 ~ P76	7	P70 ~ P76	7	P70 ~ P76	7
PORT9	P91 ~ P94	4	P93, P94	2	P93, P94	2
PORTA	PA2 ~ PA5	4	PA2, PA3, PA5	3	PA2, PA3	2
PORTB	PB0 ~ PB7	8	PB0 ~ PB7	8	PB0 ~ PB6	7
PORTD	PD3 ~ PD7	5	PD3 ~ PD6	4	PD3 ~ PD6	4
PORTE	PE2	1	PE2	1	PE2	1
ポートの合計数		49	ポートの合計数	39	ポートの合計数	36

(修正後)

ポート シンボル	パッケージ		パッケージ		パッケージ	
	64ピン	本数	52ピン	本数	48ピン	本数
PORT0	P00 ~ P02	3	P02	1	なし	なし
PORT1	P10, P11	2	P10, P11	2	P10, P11	2
PORT2	P22 ~ P24	3	P22 ~ P24	3	P22 ~ P24	3
PORT3	P30 ~ P33, P36, P37	6	P33, P36, P37	3	P36, P37	2
PORT4	P40 ~ P47	8	P40 ~ P47	8	P40 ~ P47	8
PORT7	P70 ~ P76	7	P70 ~ P76	7	P70 ~ P76	7
PORT9	P91 ~ P94	4	P93, P94	2	P93, P94	2
PORTA	PA2 ~ PA5	4	PA2, PA3, PA5	3	PA2, PA3	2
PORTB	PB0 ~ PB7	8	PB0 ~ PB7	8	PB0 ~ PB6	7
PORTD	PD3 ~ PD7	5	PD3 ~ PD6	4	PD3 ~ PD6	4
PORTE	PE2	1	PE2	1	PE2	1
ポートの合計数		51	ポートの合計数	42	ポートの合計数	38

■ Page306 「表 18.2 I/O ポートの機能」を修正します。

(修正前)

ポートシンボル	ポートレジスタ	入力プルアップ 機能	オープンドレイン 出力機能	駆動能力 切り替え機能	大電流端子	5Vトレラント
PORT3	P30 ~ P33	○	○	○	—	—

(修正後)

ポートシンボル	ポートレジスタ	入力プルアップ 機能	オープンドレイン 出力機能	駆動能力 切り替え機能	大電流端子	5Vトレラント
PORT3	P30 ~ P33, P36, P37	○	○	○	—	—

■ Page307 「図 18.3 入出力ポートの構成」を追加します。

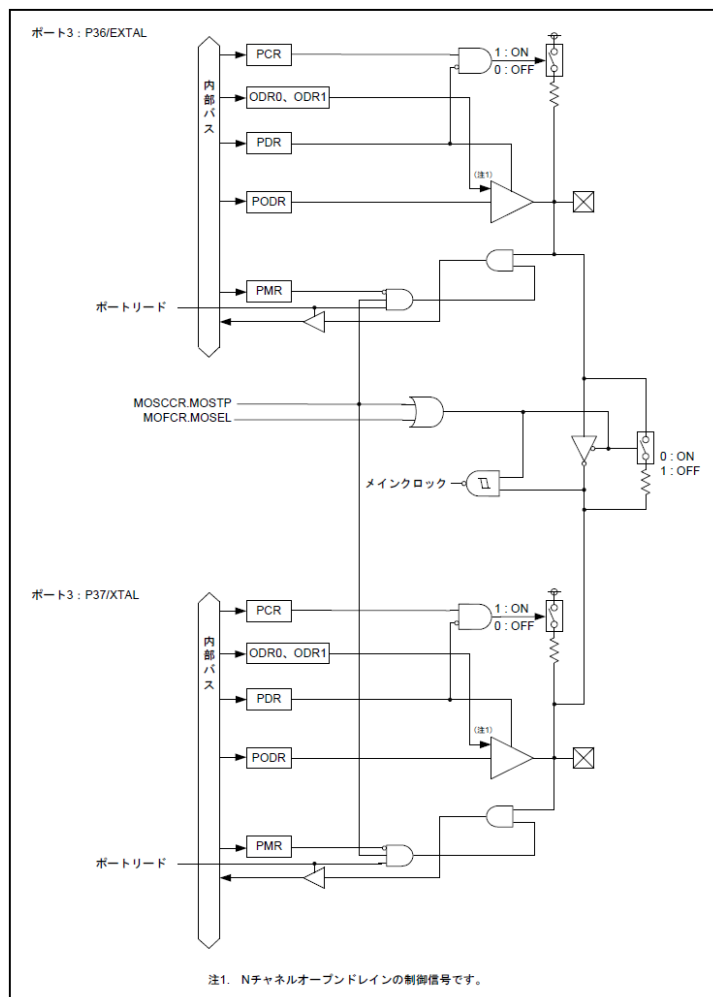


図 18.3 入出力ポートの構成

■ Page313 オープンドレイン制御レジスタ 1 (ODR1) を修正します。

アドレス PORT3.ODR1 0008 C087h を追加します。

(修正前)

アドレス PORT2.ODR1 0008 C085h, PORT7.ODR1 0008 C08Fh, PORT9.ODR1 0008 C093h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTD.ODR1 0008 C09Bh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

(修正後)

アドレス PORT2.ODR1 0008 C085h, PORT3.ODR1 0008 C087h, PORT7.ODR1 0008 C08Fh, PORT9.ODR1 0008 C093h, PORTA.ODR1 0008 C095h, PORTB.ODR1 0008 C097h, PORTD.ODR1 0008 C09Bh

b7	b6	b5	b4	b3	b2	b1	b0
B7	B6	B5	B4	B3	B2	B1	B0

リセット後の値

0	0	0	0	0	0	0	0
---	---	---	---	---	---	---	---

■ Page318 「表 18.6 未使用端子の処理内容」を修正します。

(修正前)

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介して VCC に接続 (プルアップ)
PE2/NMI	抵抗を介して VCC に接続 (プルアップ)
EXTAL	EXTAL (クロック端子として必ず使用)
XTAL	XTAL 端子を開放
ポート 0 ~ 4, 7, 9、 ポート A, B, D	<ul style="list-style-type: none"> <li>・ 入力に設定 (PORTn.PDR ビット = 0) し、1 端子ごとに抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごとに抵抗を介して VSS に接続 (プルダウン) (注 1)</li> <li>・ 出力に設定 (PORTn.PDR ビット = 1) し、端子を開放 (注 1、注 2)</li> </ul>

(修正後)

端子名	処理内容
MD	(モード端子として使用)
RES#	抵抗を介して VCC に接続 (プルアップ)
PE2/NMI	抵抗を介して VCC に接続 (プルアップ)
P36/EXTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1” (汎用ポートP36) に設定 ポートP36としても使用しない場合は、ポート0~4、7、9、A、B、Dの処理と同様
P37/XTAL	メインクロックを使用しない場合は、MOSCCR.MOSTPビットを“1” (汎用ポートP37) に設定 ポートP37としても使用しない場合は、ポート0~4、7、9、A、B、Dの処理と同様 EXTAL端子に外部クロックを入力する場合は、端子を開放
ポート 0 ~ 4, 7, 9、 ポート A, B, D	・ 入力に設定 (PORTn.PDR ビット = 0) し、1 端子ごとに抵抗を介して VCC に接続 (プルアップ)、または 1 端子ごとに抵抗を介して VSS に接続 (プルダウン) (注 1) ・ 出力に設定 (PORTn.PDR ビット = 1) し、端子を開放 (注 1、注 2)

■ Page1112 「表 1.1 各処理状態におけるポートの状態」を修正します。

(修正前)

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード
P30 ~ P33	全モード	Hi-Z	Keep-O

(修正後)

ポート名 端子名	レジスタ設定による動作モード	リセット	ソフトウェアスタンバイモード
P30 ~ P33、P36、P37	全モード	Hi-Z	Keep-O

<誤記訂正>

■ Page34 特長 を修正します。

(修正前)

■最大 5 本の通信機能を内蔵

(修正後)

■最大 4 本の通信機能を内蔵

(修正前)

■最大 16 本の 16 ビット拡張タイマ機能

(修正後)

■最大 12 本の 16 ビット拡張タイマ機能

(修正前)

PLQP0064KB-A 10x10mm、0.5mm ピッチ  
 PLQP0052JA-A 10x10mm、0.65mm ピッチ  
 PLQP0048KB-A 7x7mm、0.5mm ピッチ

(修正後)

PLQP0064KB-C 10x10mm、0.5mm ピッチ  
 PLQP0052JA-B 10x10mm、0.65mm ピッチ  
 PLQP0048KB-B 7x7mm、0.5mm ピッチ

■ Page141 発振停止検出割り込み 表 9.1 クロック発生回路の仕様 を修正します。

(修正前)

項目	仕様
用途	<ul style="list-style-type: none"> <li>・ CPU、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成</li> <li>・ 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成                      周辺モジュールクロック (PCLKD) は S12AD 用、周辺モジュールクロック (PCLKA、PCLKB) は、S12AD 以外の周辺モジュール用の動作クロックです。</li> <li>・ FlashIF に供給される FlashIF クロック (FCLK) の生成</li> <li>・ CAC に供給される CAC クロック (CACCLK) の生成</li> <li>・ IWDTC に供給される IWDTC 専用クロック (IWDTCCLK) の生成</li> </ul>

(修正後)

項目	仕様
用途	<ul style="list-style-type: none"> <li>・ CPU、DTC、ROM および RAM に供給されるシステムクロック (ICLK) の生成</li> <li>・ 周辺モジュールに供給される周辺モジュールクロック (PCLKA、PCLKB、PCLKD) の生成                      周辺モジュールクロック (PCLKA) は MTU3 用、周辺モジュールクロック (PCLKD) は S12AD 用、                      周辺モジュールクロック (PCLKB) は、MTU3、S12AD 以外の周辺モジュール用の動作クロック                      です。</li> <li>・ FlashIF に供給される FlashIF クロック (FCLK) の生成</li> <li>・ CAC に供給される CAC クロック (CACCLK) の生成</li> <li>・ IWDTC に供給される IWDTC 専用クロック (IWDTCCLK) の生成</li> </ul>

■ Page190 ディープスリープモードへの遷移 に注 1 を追記します。

(修正前)

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY  
 ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します。

(修正後)

MSTPCRC.DSLPE ビットを“1”に設定し、かつ MSTPCRA.MSTPA28 ビットを“1”に設定し SBYCR.SSBY  
 ビットを“0”にクリアした状態で WAIT 命令を実行すると、ディープスリープモードに遷移します (注 1)。

注1. DTC の動作状態によっては、ディープスリープモードに移行できない場合があります。MSTPCRA.MSTPA28 ビットを“1”にする前に、DTC の DTCST.DTCST ビットを“0”にして、DTC が起動していない状態で行ってください。

■ Page237 外部端子割り込み に注1を追記します。

(修正前)

2. IRQFLTE0.FLTEN<sub>i</sub> ビット (i=0 ~ 5) を“0” (デジタルフィルタ無効) にする。
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。

7. IRQFLTE0.FLTEN<sub>i</sub> ビットを“1” (デジタルフィルタ有効) にする。

(修正後)

2. IRQFLTE0.FLTEN<sub>i</sub> ビット (i=0 ~ 5) を“0” (デジタルフィルタ無効) にする。<sup>(注1)</sup>
3. IRQFLTC0.FCLKSELi[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。<sup>(注1)</sup>

7. IRQFLTE0.FLTEN<sub>i</sub> ビットを“1” (デジタルフィルタ有効) にする。<sup>(注1)</sup>

注1. デジタルフィルタを使用する場合、設定が必要です。

■ Page238 ノンマスカブル割り込みの動作説明 に注1を追記します。

(修正前)

2. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“0” (デジタルフィルタ無効) にする。
3. NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。

6. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“1” (デジタルフィルタ有効) にする。

(修正後)

2. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“0” (デジタルフィルタ無効) にする。<sup>(注1)</sup>
3. NMI 端子を使用する場合は、NMIFLTC.NFCLKSEL[1:0] ビットでデジタルフィルタのサンプリングクロックを設定する。<sup>(注1)</sup>

6. NMI 端子を使用する場合は、NMIFLTE.NFLTEN ビットを“1” (デジタルフィルタ有効) にする。<sup>(注1)</sup>

注1. デジタルフィルタを使用する場合、設定が必要です。

■ Page303 消費電力低減機能を修正します。

(修正前)

モジュールストップ状態、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットに“0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(修正後)

モジュールストップ状態、ディープスリープモード、ソフトウェアスタンバイモードへ移行する際は、DTCST.DTCST ビットに“0” (DTC モジュール停止) を書いた後、それぞれ以下の処理をしてください。

(2) ディープスリープモード

「11. 消費電力低減機能」の「11.6.2.1 ディープスリープモードへの遷移」の手順に従って設定してください。  
WAIT 命令実行時点で DTC が転送動作中の場合、DTC 転送終了後にディープスリープモードに移行します。  
ディープスリープモードから復帰後、MSTPCRA.MSTPA28 ビットに“0”を書くことにより、DTC のモジュールストップが解除されます。

■ Page305 概要 を修正します。

(修正前)

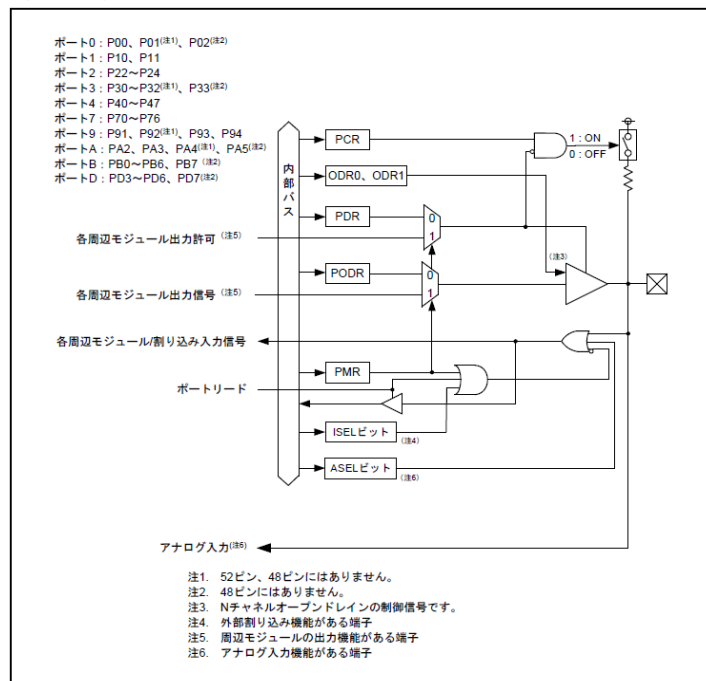
I/O ポートは、汎用入出力ポートと周辺機能の入出力、割り込み入力端子、またはバス制御端子として機能します。

(修正後)

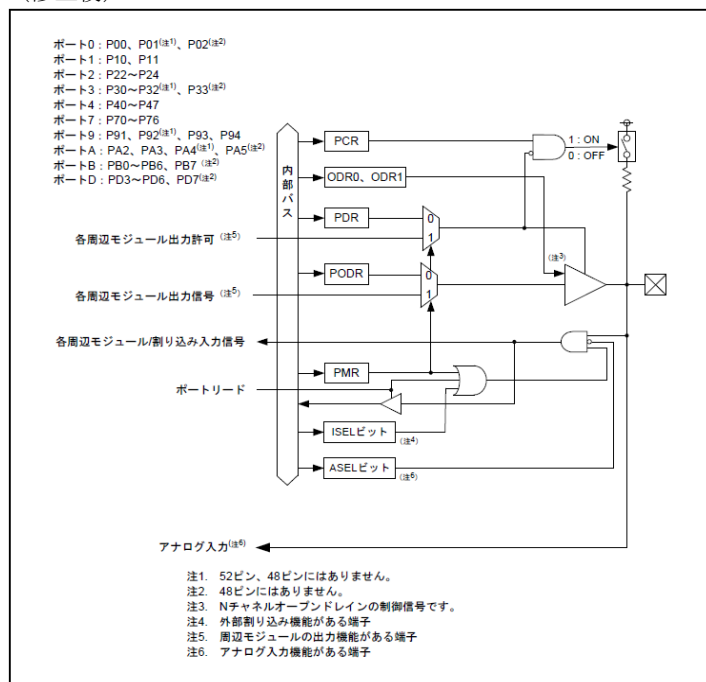
I/O ポートは、汎用入出力ポートと周辺機能の入出力、または割り込み入力端子として機能します。

■ Page307 「図 18.1 入出力ポートの構成 (1)」を修正します。

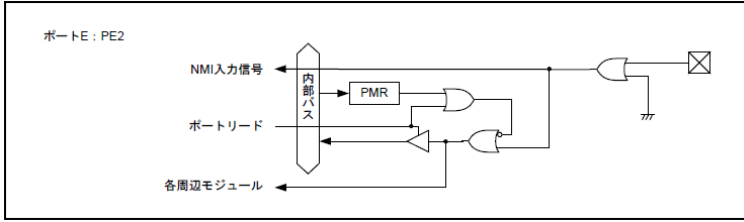
(修正前)



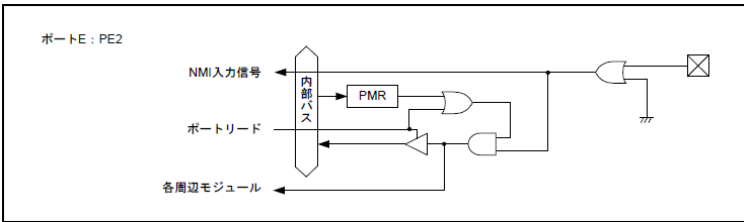
(修正後)



- Page307 「図 18.2 入出力ポートの構成 (2)」を修正します。  
(修正前)



(修正後)



- Page308 ポート方向レジスタ (PDR) の説明を修正します。  
(修正前)

存在しないポート m の端子に対応している PDR レジスタの各ビットには、“1” (出力) を書いてください。

(修正後)

存在しないポート m の端子に対応している PDR レジスタの各ビットは予約ビットです。「18.4 ポート方向レジスタ(PDR)の初期化」に従って、設定してください。

PE2 端子は入力専用のため、PORTE.PDR.B2 ビットは予約ビットです。予約ビットは、読むと“0”が読めます。書く場合、“0”としてください。

- Page333 「表 20.1 MTU の仕様」を修正します。  
(修正前)

カウントクロック チャンネルごとに 11 種類(MTU0 は 14 種類、MTU1、MTU2 は 12 種類、MTU5 は 10 種類)

(修正後)

カウントクロック チャンネルごとに 11 種類(MTU0 は 14 種類、MTU2 は 12 種類、MTU5 は 10 種類、MTU1 & MTU2 (LWA = 1 のとき) は 4 種類)

(修正前)

【MTU1、MTU2】

- ・独立に位相計数モードを設定可能
- ・カスケード接続動作が可能

(修正後)

【MTU1、MTU2】

- ・独立に位相計数モードを設定可能
- ・MTU1、MTU2 連動の 32 ビット位相計数モードを設定可能 (TMDR3.LWA = 1 設定時)
- ・カスケード接続動作が可能

- Page337 「表 20.3 MTU の入出力端子」から以下を削除します。

チャンネル	端子名	入出力	機能
MTU	ADSM1	出力	A/D 変換開始要求フレーム同期信号 1 出力端子

- Page340 タイマコントロールレジスタ 2 (TCR2) に記載の「表 20.4 CCLR[2:0] (MTU0、MTU3、MTU4)」、及び「表 20.5 CCLR[2:0] (MTU1、MTU2)」をタイマコントロールレジスタ (TCR) に転記します。

- Page419 カスケード接続動作 を修正します。  
(修正前)

カスケード接続動作は、2 チャンネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。この機能は、MTU1 のカウントクロックを TCR.TPSC[2:0] ビットで MTU2.TCNT のオーバフロー/アンダフローでカウントに設定することにより動作します。



アンダフローが発生するのは、下位 16 ビットの TCNT が位相計数モードのときのみです。  
表 20.48 にカスケード接続の組み合わせを示します。

(修正後)

カスケード接続動作は、2 チャネルの 16 ビットカウンタを接続して 32 ビットカウンタとして動作させる機能です。  
MTU1 と MTU2 を接続して 32 ビットカウンタとして使用する機能には、MTU1.TMDR3.LWA ビットを“0”のときに設定するカスケード接続と、MTU1.TMDR3.LWA ビットを“1”に設定するカスケード接続 32 ビット位相計数モードがあります。カスケード接続 32 ビット位相計数モードについては「20.3.6.2 カスケード接続 32 ビット位相計数モード」を参照してください。本章では、MTU1.TMDR3.LWA ビットを“0”のときに設定するカスケード接続機能について説明します。

この機能は、MTU1.TMDR3.LWA ビットを“0”に設定し、MTU1.TCR.TPSC[2:0] ビットで MTU1.TCNT を MTU2.TCNT のオーバフロー/アンダフローによりカウントするように設定することで動作します。なお、アンダフローが発生するのは、下位 16 ビットが割り当てられた MTU2 が位相計数モードのときのみです。  
表 20.48 にカスケード接続の組み合わせを示します。

■ Page429 20.3.6 位相計数モード を修正します。

(修正前)

位相計数モードでは 2 つの外部クロック入力の位相差を検出して、対応する TCNT をアップカウント/ダウンカウントします。

位相計数モードでの 2 つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらず。位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を 2 相エンコーダパルスの入力として使用できます。

位相計数モードで接続される外部クロック入力端子を表 20.51 に示します。

表 20.51 位相計数モードクロック入力端子

チャネル	外部クロック端子	
	A相	B相
MTU1	MTCLKA	MTCLKB
MTU2	MTCLKC	MTCLKD

(修正後)

位相計数モードには MTU1 と MTU2 がそれぞれ独立に動作する 16 ビット位相計数モードと MTU1, MTU2 をカスケード接続したカスケード接続 32 ビット位相計数モードがあります。

位相計数モードでは 2 つの外部クロック入力の位相差を検出して、対応する TCNT をアップカウント/ダウンカウントします。

各位相計数モードでの 2 つの外部クロック入力端子は、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらず。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モードの 2 つの外部クロック入力は、MTU1.TMDR3.PHCKSEL で選択を行うことができます。MTU2 の 16 ビット位相計数モードとカスケード接続 32 ビット位相計数モード以外の位相計数モードでは、A 相/B 相に MTCLKA/MTCLKB が選択されず。位相計数モードでは、外部クロック端子 MTCLKA、MTCLKB、MTCLKC、MTCLKD を 2 相エンコーダパルスの入力として使用できます。

それぞれの位相計数モードで接続される外部クロック入力端子を表 20.51 に示します。

表 20.51 位相計数モードクロック入力端子

位相計数モード	TMDR3.PHCKSEL ビット	外部クロック端子	
		A相	B相
MTU1 16 ビット位相計数モード	x (Don't care)	MTCLKA	MTCLKB
MTU2 16 ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD
カスケード接続 32 ビット位相計数モード	0	MTCLKA	MTCLKB
	1 (初期値)	MTCLKC	MTCLKD

■ Page429 20.3.6.1 位相計数モード を修正します。

(修正前)

20.3.6.1 位相計数モード

位相計数モードでは、2 本の外部クロック入力の位相差を検出して対応するチャネルの 16 ビットカウンタ TCNT をアップカウント/ダウンカウントします。

位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらずカウンタ入力クロックは外部クロックが選択され、TCNT はアップカウンタ/ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能が使用できます。

これら外部クロック端子は、2 相エンコーダパルスの入力として使用できます。

(修正後)

20.3.6.1 16 ビット位相計数モード

MTU1.TMDR3.LWA = 0 のとき、MTU1 と MTU2 には各々独立して 16 ビット位相計数モードが設定できます。

16 ビット位相計数モードでは、2本の外部クロック入力の位相差を検出して対応するチャンネルの16ビットカウンタ TCNT をアップカウント/ダウンカウントします。  
 16 ビット位相計数モードに設定すると、TCR.TPSC[2:0]、TCR2.TPSC2[2:0]、CKEG[1:0] の設定にかかわらずカウンタ入力クロックは外部クロックが選択され、TCNT はアップカウンタ/ダウンカウンタとして動作します。なお、TCR.CCLR[1:0]、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能が使用できます。  
 これら外部クロック端子は、2相エンコーダパルスの入力として使用できます。

■ Page430 (1) 位相計数モードの設定手順例 を修正します。

(修正前)

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 20.29 に示します。

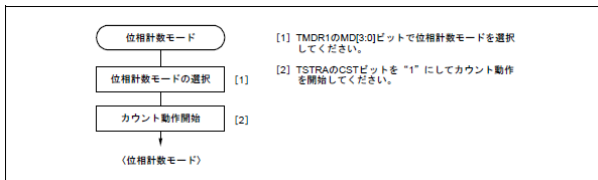


図 20.29 位相計数モードの設定手順例

(修正後)

(1) 16 ビット位相計数モードの設定手順例

位相計数モードの設定手順例を図 20.29 に示します。

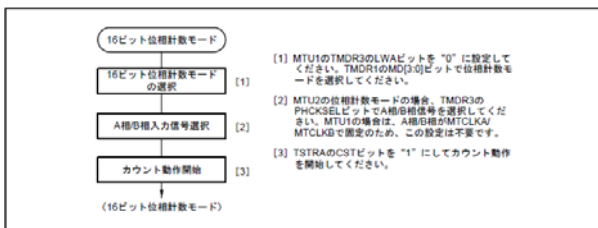


図 20.29 16 ビット位相計数モードの設定手順例

■ Page431 (2) 位相計数モードの動作例 を修正します。

(修正前)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップカウント/ダウンカウントします。なお、カウント条件により 5つのモードがあります。

(修正後)

(2) 16 ビット位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差で TCNT がアップカウント/ダウンカウントします。なお、カウント条件により 5つのモードがあり、各モードは PHCKSEL=1 の条件で、つまり MTU1 の位相クロックは MTCLKA, MTCLKB から入力、MTU2 の位相クロックは MTCLKC, MTCLKD から入力として説明します。

■ Page440 (3) 位相計数モード応用例 を修正します。

(修正前)

(3) 位相計数モード応用例

(修正後)

(3) 16 ビット位相計数モード応用例

■ Page440 カスケード接続 32 ビット位相計数モード を追加します。

20.3.6.2 カスケード接続 32 ビット位相計数モード

MTU1.TMDR3.LWA=1 で MTU1 に位相計数モードを設定した場合、MTU1 と MTU2 が連結され、カスケード接続 32 ビット位相計数モードとして機能します。カスケード接続 32 ビット位相計数モードの場合、TCR、TCR2、TIOR、TIER、TGR、TSR レジスタは MTU1 の制御になり、MTU2 の設定は無効になります。カスケード接続 32 ビット位相計数モードの設定手順は、図 20.41 を参照してください。

なお、カスケード接続 32 ビット位相計数モード以外で MTU1、MTU2 を接続するカスケード接続機能については、「20.3.4 カスケード接続動作」を参照してください。

(1) カスケード接続 32 ビット位相計数モードの設定例

カスケード接続 32 ビット位相計数モードの設定手順例を図 20.41 に示します。

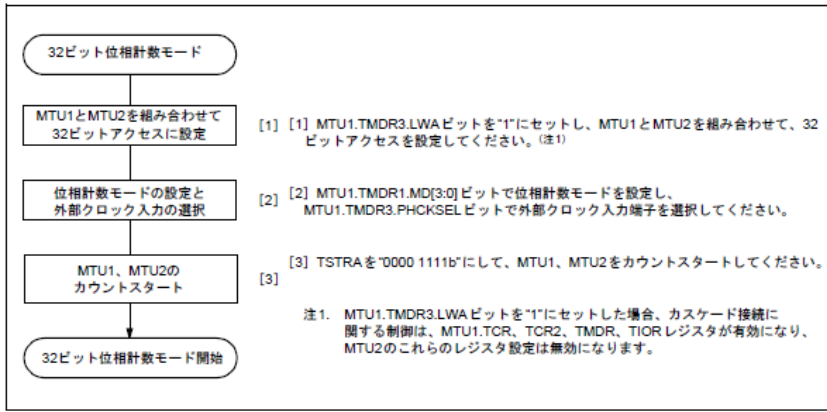


図 20.41 カスケード接続 32 ビット位相計数モード設定手順

■ Page481 (a) レジスタ、カウンタの誤書き込み防止機能を修正します。

(修正前)

MTU3.TCR、MTU4.TCR、MTU3.TMDR1、MTU4.TMDR1、MTU3.TIORH、MTU4.TIORH、  
MTU3.TIORL、MTU4.TIORL、MTU3.TIER、MTU4.TIER、MTU3.TCNT、MTU4.TCNT、  
MTU3.TGRA、MTU4.TGRA、MTU3.TGRB、MTU4.TGRB、  
TOERA、TOCR1A、TOCR2A、TGCRA、TCDRA、TDDRA 計 22 レジスタ

(修正後)

MTU3.TCR、MTU4.TCR、**MTU3.TCR2、MTU4.TCR2**、MTU3.TMDR1、MTU4.TMDR1、MTU3.TIORH、  
MTU4.TIORH、MTU3.TIORL、MTU4.TIORL、MTU3.TIER、MTU4.TIER、MTU3.TCNT、MTU4.TCNT、  
MTU3.TGRA、MTU4.TGRA、MTU3.TGRB、MTU4.TGRB、MTU.TOERA、MTU.TOOCR1A、MTU.TOOCR2A、  
MTU.TGCRA、MTU.TCDRA、MTU.TDDRA  
**計 24 レジスタ**

■ Page489 MTU0 ~ MTU4 の同期動作を追加します。

20.3.10 MTU0 ~ MTU4 の同期動作

(1) MTU0 ~ MTU4 カウンタ同期スタート

TCSYSSTR レジスタを設定することにより、MTU0 ~ MTU4 のカウンタを同期スタートすることができます。

(a) MTU0 ~ MTU4 カウンタ同期スタートの設定手順例

図 20.90 に MTU0 ~ MTU4 カウンタ同期スタートの設定手順例を示します。

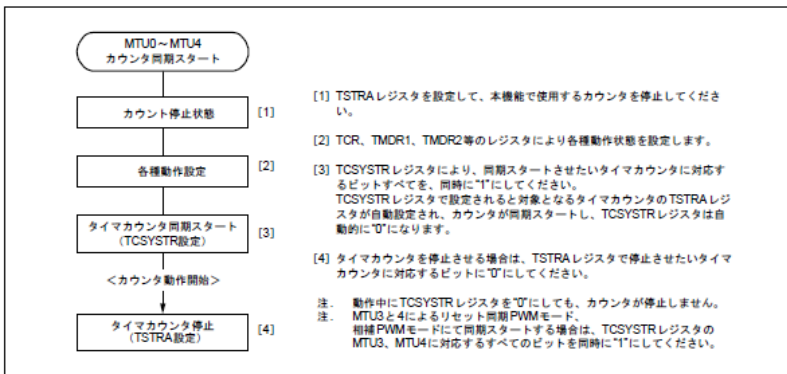


図 20.90 MTU0 ~ MTU4 カウンタ同期スタートの設定手順例

(b) カウンタ同期スタート動作の例

図 20.91 に MTU0 ~ MTU4 カウンタ同期スタートの動作例を示します。

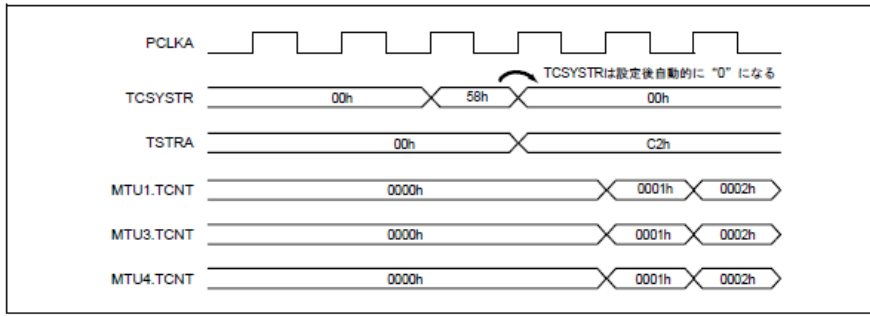


図 20.91 MTU0 ~ MTU4 カウンタ同期スタートの動作例

■ Page493 A/D 変換開始要求フレーム同期信号 を修正します。

(修正前)

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。  
**TADSTRGRn** レジスタでモニタしたい A/D 変換要求信号を選択し、**TADSTRGRn.TADSMENn** ビットで **ADSMn** 端子出力許可にすると **ADSMn** 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。(n = 0、1)  
 図 20.96 に A/D 変換開始要求フレーム同期信号出力例を示します。

(修正後)

本機能を使用すると A/D 変換開始要求信号の発生タイミングを外部端子でモニタすることができます。  
**TADSTRGR0** レジスタでモニタしたい A/D 変換要求信号を選択すると **ADSM0** 端子から A/D 変換開始要求信号発生タイミングで High、A/D 変換開始要求信号発生に使用したタイマ周期で Low 出力となるパルス信号を出力します。  
 図 20.99 に A/D 変換開始要求フレーム同期信号出力例を示します。

■ Page494 「表 20.63 MTU 割り込み要因」 を修正します。

(修正前)

チャンネル	名称	割り込み要因	DTCの起動
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV0	MTU0.TCNTのオーバフロー	不可能
	TGIE0	MTU0.TGREのコンペアマッチ	不可能
	TGIF0	MTU0.TGRFのコンペアマッチ	不可能
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCIV1	MTU1.TCNTのオーバフロー	不可能
	TCIU1	MTU1.TCNTのアンダフロー	不可能
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TCIV2	MTU2.TCNTのオーバフロー	不可能
	TCIU2	MTU2.TCNTのアンダフロー	不可能
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV3	MTU3.TCNTのオーバフロー	不可能
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー (注1)	可能
	TGIW4	MTU4.TGRWのインプットキャプチャ/コンペアマッチ	可能
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。  
 注1. 相補PWMモード時のみ

(修正後)

チャンネル	名称	割り込み要因	DTCの起動	優先順位
MTU0	TGIA0	MTU0.TGRAのインプットキャプチャ/コンペアマッチ	可能	↑ 高
	TGIB0	MTU0.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC0	MTU0.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID0	MTU0.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV0	MTU0.TCNTのオーバフロー	不可能	
	TGIE0	MTU0.TGREのコンペアマッチ	不可能	
MTU1	TGIA1	MTU1.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB1	MTU1.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV1	MTU1.TCNTのオーバフロー	不可能	
	TCIU1	MTU1.TCNTのアンダフロー	不可能	
MTU2	TGIA2	MTU2.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB2	MTU2.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TCIV2	MTU2.TCNTのオーバフロー	不可能	
	TCIU2	MTU2.TCNTのアンダフロー	不可能	
MTU3	TGIA3	MTU3.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB3	MTU3.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC3	MTU3.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID3	MTU3.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV3	MTU3.TCNTのオーバフロー	不可能	
MTU4	TGIA4	MTU4.TGRAのインプットキャプチャ/コンペアマッチ	可能	
	TGIB4	MTU4.TGRBのインプットキャプチャ/コンペアマッチ	可能	
	TGIC4	MTU4.TGRCのインプットキャプチャ/コンペアマッチ	可能	
	TGID4	MTU4.TGRDのインプットキャプチャ/コンペアマッチ	可能	
	TCIV4	MTU4.TCNTのオーバフロー/アンダフロー (注1)	可能	
MTU5	TGIU5	MTU5.TGRUのインプットキャプチャ/コンペアマッチ	可能	
	TGIV5	MTU5.TGRVのインプットキャプチャ/コンペアマッチ	可能	
	TGIW5	MTU5.TGRWのインプットキャプチャ/コンペアマッチ	可能	

注. リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。  
 注1. 相補PWMモード時のみ

■ Page495 (1) インプットキャプチャ/コンペアマッチ割り込み を修正します。

(修正前)

各チャンネルの TGR のインプットキャプチャ/コンペアマッチが発生したとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 21 本のインプットキャプチャ/コンペアマッチ割り込みがあります。MTU0 の MTU0.TGFE、MTU0.TGFF フラグは、インプットキャプチャでは“1”になりません。

(修正後)

各チャンネルの TGR のインプットキャプチャ/コンペアマッチが発生したとき、TIER.TGIE ビットが“1”であれば、割り込みを要求します。MTU には、MTU0 に 6 本、MTU3、MTU4 に各 4 本、MTU1、MTU2 に各 2 本、MTU5 に 3 本、計 21 本のインプットキャプチャ/コンペアマッチ割り込みがあります。

■ Page495 (2) オーバフロー割り込み を修正します。

(修正前)

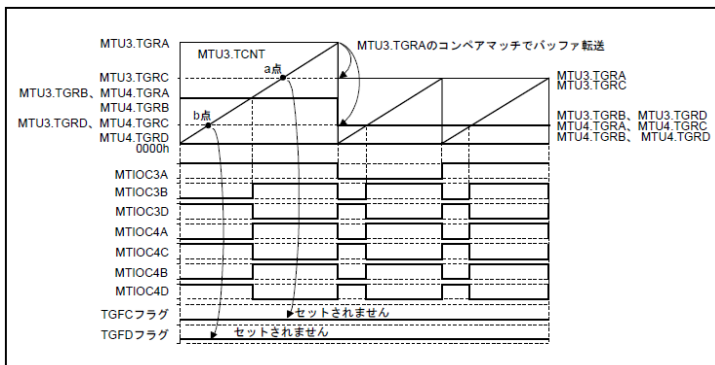
各チャンネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。MTU には、各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

(修正後)

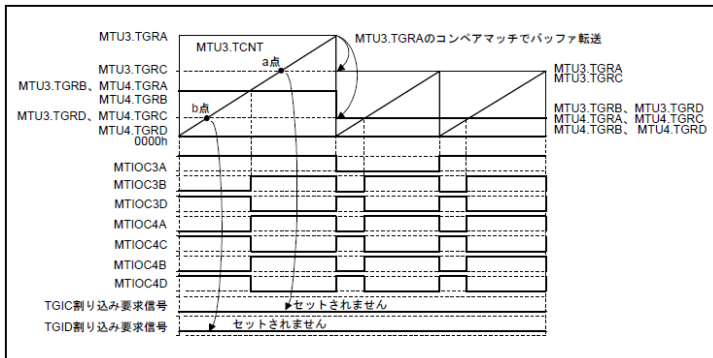
各チャンネルの TCNT のオーバフローが発生したとき、TIER.TCIEV ビットが“1”であれば、割り込みを要求します。MTU には、MTU5 を除く各チャンネルに 1 本、計 5 本のオーバフロー割り込みがあります。

■ Page516 「図 20.131 リセット同期 PWM モードのバッファ動作とコンペアマッチ」 を修正します。

(修正前)



(修正後)



■ Page523 相補 PWM モードにおける A/D 変換ディレイド機能の注意事項 を修正します。

(修正前)

- ・ 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq MTU_n.TADCORA/B \leq TCDR - 2$  を満たすように MTU4.TADCORA、MTU4.TADCORB レジスタを設定してください。(n=4、7)。

(修正後)

- ・ 割り込み間引き機能と連動して A/D 変換の開始要求を行う場合、 $2 \leq MTU_n.TADCORA/B \leq TCDR - 2$  を満たすように MTU4.TADCORA、MTU4.TADCORB レジスタを設定してください。(n=4)。

■ Page562 入力レベルコントロール/ステータスレジスタ 6 (ICSR6) を修正します。

(修正前)

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。

発振停止状態になると“1”になります。OSTSTF フラグを“0”にするときは、発振停止検出信号がネゲート状態のときに“0”を書いてください。発振停止検出信号がアサート中に OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

(修正後)

OSTSTF フラグ (OSTST ハイインピーダンスフラグ)

OSTSTF フラグは、発振停止ハイインピーダンス要求を示すステータスフラグです。

メインクロックの発振が停止すると“1”になります。OSTSTF フラグを“0”にするときは、OSTSTF フラグが“1”になった後 PCLK で 10 サイクル以上経過し、かつ OSTDSR.OSTDF フラグが“0”のときに“0”を書いてください。OSTDSR.OSTDF フラグが“1”のときに OSTSTF フラグに“0”を書いても“0”になりません。OSTSTF フラグをクリアした後は“0”になったことを確認してください。

■ Page595 タイマコントロールレジスタ (TCR) を修正します。

(修正前)

- 注1. カウンタ外部リセットを使用する場合は、該当する端子の PORTn.PDR.Bn ビットを“0”に、PORTn.PMR.Bn ビットを“1”にしてください。詳細については「18. I/O ポート」を参照してください。

(修正後)

- 注1. 外部カウンタリセット信号を使用する場合は、該当する端子の設定が必要です。詳細については「18. I/O ポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

■ Page596 タイマカウンタコントロールレジスタ (TCCR) を修正します。

(修正前)

- 注1. カウンタ外部リセットを使用する場合は、該当する端子の PORTn.PDR.Bn ビットを“0”に、PORTn.PMR.Bn ビットを“1”にしてください。詳細については「18. I/O ポート」を参照してください。

(修正後)

- 注1. 外部カウンタクロック信号を使用する場合は、該当する端子の設定が必要です。詳細については「18. I/O ポート」、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

■ Page597 「表 22.5 TCNT カウンタに入力するクロックとカウント条件」 を修正します。

(修正前)

- 注1. カウンタ外部リセットを使用する場合は、該当する端子の PORTn.PDR.Bn ビットを“0”に、PORTn.PMR.Bn ビットを“1”にしてください。詳細については「18. I/O ポート」を参照してください。

(修正後)

- 注1. 外部カウンタクロック信号を使用する場合は、該当する端子の設定が必要です。詳細については「18. I/O ポート」を参照してください。

ート)、および「19. マルチファンクションピンコントローラ (MPC)」を参照してください。

■ Page618 「表 23.2 CMT の割り込み要因」を修正します。  
(修正前)

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能

(修正後)

名称	割り込み要因	DTCの起動
CMI0	CMT0のコンペアマッチ	可能
CMI1	CMT1のコンペアマッチ	可能
CMI2	CMT2のコンペアマッチ	可能
CMI3	CMT3のコンペアマッチ	可能

■ Page620 概要 を修正します。  
(修正前)

スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSTPR.SLCSTP ビットで選択)

(修正後)

スリープモード、ソフトウェアスタンバイモード、またはディープスリープモードに遷移する場合に、カウンタを停止しない選択が可能 (IWDTCSTPR.SLCSTP ビットまたは、OFS0.IWDTSLCSTP ビットで選択)

■ Page629 レジスタスタートモード を修正します。  
(修正前)

IWDT リセット割り込み要求選択ビット (OFS0.IWDTRSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

(修正後)

IWDT リセット割り込み要求選択ビット (IWDTRCR.RSTIRQS) で、リセット出力、または割り込み要求出力のいずれかを選択します。

■ Page634 リフレッシュ動作 を修正します。  
(修正前)

【リフレッシュ動作タイミング例】

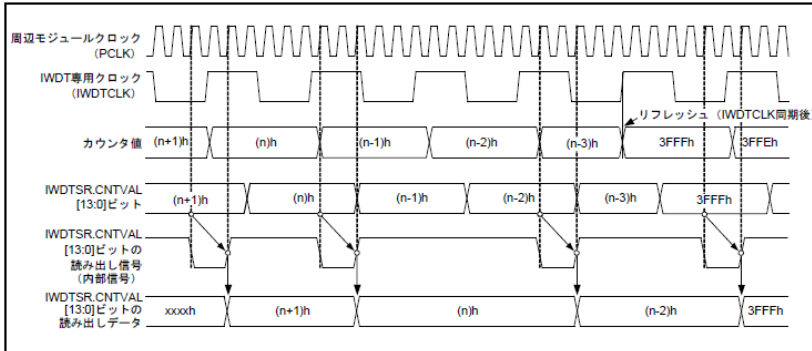
- ・ ウィンドウ開始位置が“03FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“1FFFh”より前 (たとえば“2002h”)であっても、IWDTSR.CNTVAL[13:0] ビットの値が“1FFFh” になってから、IWDTRR レジスタへ“FFh” を書き込めばリフレッシュを行います。
- ・ ウィンドウ終了位置が“1FFFh”とした場合、IWDTRR レジスタへ“00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0403h” (“03FFh” の4 カウント前) 以上であればリフレッシュを行います。

(修正後)

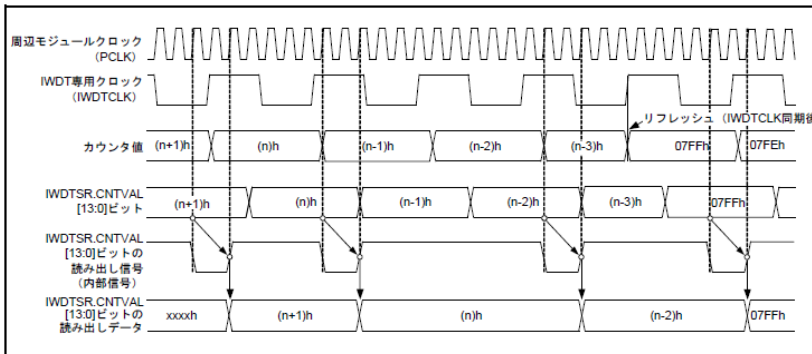
【リフレッシュ動作タイミング例】

- ・ ウィンドウ開始位置が“03FFh”とした場合、IWDTRR レジスタへの“00h”の書き込みが“03FFh”より前 (たとえば“0402h”)であっても、IWDTSR.CNTVAL[13:0] ビットの値が“03FFh” になってから、IWDTRR レジスタへ“FFh” を書き込めばリフレッシュを行います。
- ・ ウィンドウ終了位置が“03FFh”とした場合、IWDTRR レジスタへ“00h” → “FFh” を書き込み直後に IWDTSR.CNTVAL[13:0] ビットの値を読み出して“0403h” (“03FFh” の4 カウント前) 以上であればリフレッシュを行います。

■ Page637 「IWDT カウンタ値の読み出し処理」を修正します。  
(修正前)



(修正後)



■ Page653 シリアルコントロールレジスタ (SCR) を修正します。  
(修正前)

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER, FER, PER の各フラグは影響を受けず、状態を保持します。

(修正後)

RE ビット (レシーブイネーブルビット)

シリアル受信動作を許可、または禁止します。

RE ビットを“1”にすると、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを“1”にする前に SMR レジスタの設定を行い、受信フォーマットを決定してください。

RE ビットを“0”にして受信動作を停止しても、SSR.ORER、FER、PER、**RDRF** の各フラグは影響を受けず、状態を保持します。

■ Page654 シリアルコントロールレジスタ (SCR) を修正します。  
(修正前)

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、

RIE ビットを“0”にすることで行うことができます。

(修正後)

RIE ビット (レシーブインタラプトイネーブルビット)

RXI および ERI 割り込み要求を許可、または禁止します。

RXI 割り込み要求の禁止は、RIE ビットを“0”にすることで行うことができます。

ERI 割り込み要求の解除は、SSR レジスタの ORER、FER、PER フラグを**すべてクリアするか、RIE ビットを“0”にすることで行うことができます。**



■ Page656 シリアルコントロールレジスタ (SCR) を修正します。

(修正前)

RIE ビット (レシーブインタラプトイネーブルビット)  
 RXI および ERI 割り込み要求を許可、または禁止します。  
 RXI 割り込み要求の禁止は、RIE ビットを“0” にすることで行うことができます。  
 ERI 割り込み要求の解除は、SSR.ORER, FER, PER の各フラグから“1”を読み出した後、“0”にするか、RIE ビットを“0” にすることで行うことができます。

(修正後)

RIE ビット (レシーブインタラプトイネーブルビット)  
 RXI および ERI 割り込み要求を許可、または禁止します。  
 RXI 割り込み要求の禁止は、RIE ビットを“0” にすることで行うことができます。  
 ERI 割り込み要求の解除は、SSR レジスタの ORER, FER, PER フラグを**すべてクリアするか、RIE ビットを“0”** にすることで行うことができます。

■ Page666 「表 25.13 各動作周波数における最大ビットレート (調歩同期式モード)」を修正します。

(修正前)

PCLK (MHz)	最大ビットレート (bps)	n	N
8	250000	0	0
9.8304	307200	0	0
10	312500	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
19.6608	614400	0	0
20	625000	0	0
25	781250	0	0
30	937500	0	0
33	1031250	0	0
40	1250000	0	0

(修正後)

PCLK (MHz)	SEMRレジスタの設定値				最大ビットレート (bps)	PCLK (MHz)	SEMRレジスタの設定値				最大ビットレート (bps)	
	BGDMビット	ABCSビット	n	N			BGDMビット	ABCSビット	n	N		
8	0	0	0	0	250000	18	0	0	0	0	562500	
		1	0	0	500000			1	0	0	1125000	
	1	0	0	0	1000000		1	0	0	0	2250000	
		1	0	0	1000000			1	0	0	2250000	
9.8304	0	0	0	0	307200	19.6608	0	0	0	0	614400	
		1	0	0	614400			1	0	0	1228800	
	1	0	0	0	1228800		1	0	0	0	2457600	
		1	0	0	1228800			1	0	0	2457600	
10	0	0	0	0	312500	20	0	0	0	0	625000	
		1	0	0	625000			1	0	0	1250000	
	1	0	0	0	1250000		1	0	0	0	2500000	
		1	0	0	1250000			1	0	0	2500000	
12	0	0	0	0	375000	25	0	0	0	0	781250	
		1	0	0	750000			1	0	0	1562500	
	1	0	0	0	1500000		1	0	0	0	3125000	
		1	0	0	1500000			1	0	0	3125000	
12.288	0	0	0	0	384000	30	0	0	0	0	937500	
		1	0	0	768000			1	0	0	1875000	
	1	0	0	0	1536000		1	0	0	0	3750000	
		1	0	0	1536000			1	0	0	3750000	
14	0	0	0	0	437500	33	0	0	0	0	1031250	
		1	0	0	875000			1	0	0	2062500	
	1	0	0	0	1750000		1	0	0	0	4125000	
		1	0	0	1750000			1	0	0	4125000	
16	0	0	0	0	500000	40	0	0	0	0	1250000	
		1	0	0	1000000			1	0	0	2500000	
	1	0	0	0	2000000		1	0	0	0	5000000	
		1	0	0	2000000			1	0	0	5000000	
17.2032	0	0	0	0	537600			0	0	0	1075200	
		1	0	0	1075200			1	0	0	2150400	
	1	0	0	0	2150400				0	0	0	2150400
		1	0	0	2150400				1	0	0	2150400

■ Page671 シリアル拡張モードレジスタ (SEMR) を修正します。

(修正前)

ビット	シンボル	ビット名	機能	R/W						
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期モードのみ有効) 0: 外部クロック 1: TMRから出力される2クロックの論理積 (SCI5のみ有効) SCIチャンネルとコンペアマッチ出力の対応を示します	R/W (注1)						
			<table border="1"> <tr> <td>SCI</td> <td>TMR</td> <td>コンペアマッチ出力</td> </tr> <tr> <td>SCI5</td> <td>ユニット0</td> <td>TMO0, TMO1</td> </tr> </table>	SCI	TMR	コンペアマッチ出力	SCI5	ユニット0	TMO0, TMO1	
SCI	TMR	コンペアマッチ出力								
SCI5	ユニット0	TMO0, TMO1								

(修正後)

ビット	シンボル	ビット名	機能	R/W
b0	ACS0	調歩同期クロックソースセレクトビット	(調歩同期モードのみ有効) 0: 外部クロック 1: TMRから出力される2つのコンペアマッチ出力の論理積 (SCI5のみ有効) SCIのチャンネルごとに使用できるコンペアマッチ出力が異なります	R/W (注1)

(修正前)

SEMR レジスタは、調歩同期モード時の1ビット期間のクロックを選択するためのレジスタです。SCI5では、TMR ユニット0のTMO<sub>n</sub> (n = 0, 1) 出力をシリアル転送ベースクロックにすることができます。TMR0のTMO<sub>n</sub> (n = 0, 1) 出力を選択したときの設定例を図25.3に示します。

(修正後)

SEMR レジスタは、調歩同期モード時の1ビット期間のクロックを選択したり、スタートビットの検出方法を選択するためのレジスタです。

■ Page672 シリアル拡張モードレジスタ (SEMR) を修正します。

(修正前)

ACS0 ビット (調歩同期クロックソースセレクトビット)  
調歩同期モードにおける、クロックソースを選択します。  
ACS0 ビットは、調歩同期モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b, 11b) のときに有効です。外部クロック入力または、内蔵 TMR クロック入力を選択できます。調歩同期モード以外では、“0” としてください。  
SCI5 以外は予約ビットです。SCI5 以外では書き込みは“0” にしてください。

(修正後)

ACS0 ビット (調歩同期クロックソースセレクトビット)  
調歩同期モードにおける、クロックソースを選択します。  
ACS0 ビットは、調歩同期モード (SMR.CM ビット = 0) で、外部クロック入力 (SCR.CKE[1:0] ビット = 10b, 11b) のときに有効です。外部クロックまたは、内蔵 TMR のコンペアマッチ出力の論理積を選択できます。調歩同期モード以外では、ACS0 ビットを“0” にしてください。  
SCI5 では、TMR ユニット0のTMO<sub>n</sub> (n = 0, 1) 出力をシリアル転送ベースクロックにすることができます。詳細は表25.23を参照してください。  
SCI1のACS0 ビットは予約ビットです。SCI1では“0” にしてください。

表25.23 SCIのチャンネルと使用できるコンペアマッチ出力

SCI	TMR	コンペアマッチ出力
SCI5	ユニット0	TMO0, TMO1

TMR ユニット0のTMO0、TMO1出力を選択したときの設定例を図25.3に示します。

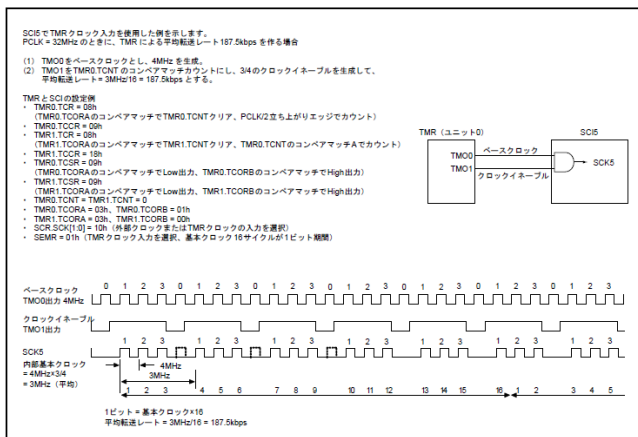


図25.3 TMRクロック入力時の平均転送レート設定例

■ Page687 SCI の初期化（調歩同期式モード）を修正します。

(修正前)

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。  
 なお、SCR.RE ビットを“0”にしても、SSR.ORER, FER, PER の各フラグおよびRDR、RDRH、RDRL レジスタは初期化されませんので注意してください。  
 SCR.TE ビットを“1”から“0”、または“0”から“1”にすると、SCR.TIE ビットが“1”の場合、TXI 割り込み要求が発生しますので注意してください。

(修正後)

調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。  
 なお、SCR.RE ビットを“0”にしても、SSR レジスタのORER、FER、PER、RDRF フラグおよびRDR、RDRH、RDRL レジスタは初期化されませんので注意してください。  
**SCR.TIE ビットが“1”の場合にSCR.TE ビットを“1”から“0”、または“0”から“1”にすると、送信データエンプティ割り込み（TXI）要求が発生しますので注意してください。**  
**また、SCR レジスタのTIE ビット、TE ビット、TEIE ビットを同時に“1”にすると、TXI 割り込み要求が発生する前に送信終了割り込み（TEI）要求が発生しますので注意してください。**

■ Page696 マルチプロセッサ通信機能を修正します。

(修正前)

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまでRSR レジスタからRDR レジスタ（データ長9ビット選択時はRDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出とSSR.ORER、FERの各ステータスフラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB ビットが“1”にされるとともにSCR.MPIE ビットが自動的にクリアされて通常の実動作に戻ります。このときSCR.RIE ビットがセットされているとRXI 割り込みが発生します。

(修正後)

SCI はこの機能をサポートするため、SCR.MPIE ビットが設けてあります。MPIE ビットを“1”にすると、マルチプロセッサビットが“1”のデータを受け取るまでRSR レジスタからRDR レジスタ（データ長9ビット選択時はRDRH、RDRL レジスタ）への受信データの転送、および受信エラーの検出とSSR レジスタのRDRF、ORER、FER フラグのセットを禁止します。マルチプロセッサビットが“1”の受信キャラクタを受け取ると、SSR.MPB フラグが“1”になるとともにSCR.MPIE ビットが“0”になって通常の実動作に戻ります。このときSCR.RIE ビットが“1”であるとRXI 割り込みが発生します。

■ Page740 「表 25.26 SCI 割り込み要因」を修正します。

(修正前)

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー	ORER, FER, PER	不可能	高
RXI	受信データフル	—	可能	↑
TXI	送信データエンプティ	—	可能	
TEI	送信終了	TEND	不可能	低

(修正後)

名称	割り込み要因	割り込みフラグ	DTCの起動	優先順位
ERI	受信エラー	ORER, FER, PER	不可能	高
RXI	受信データフル	RDRF	可能	↑
TXI	送信データエンプティ	TDRE	可能	
TEI	送信終了	TEND	不可能	低

■ Page769 I2C バスステータスレジスタ 1 (ICSR1) を修正します。

(修正前)

HOA フラグ（ホストアドレス検出フラグ）

["0" になる条件]

- ・“1”を読んだ後、“0”を書いたとき
- ・ストップコンディションを検出したとき
- ・ICMR3.SMBS ビットに“0”またはICSER.HOAE ビットに“0”を書いたとき
- ・ICSER.HOAE ビットが“1”（ホストアドレス検出有効）の状態、受信したスレーブアドレスがホストアドレス（0001 000b）と不一致のとき、そのフレームのSCL クロックの9 クロック目の立ち上がり
- ・ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

(修正後)

HOA フラグ（ホストアドレス検出フラグ）

["0" になる条件]

- ・“1”を読んだ後、“0”を書いたとき
- ・ストップコンディションを検出したとき
- ・ICSER.HOAE ビットが“1”（ホストアドレス検出有効）の状態、受信したスレーブアドレスがホストアドレス

(0001 000b) と不一致のとき、第一バイトの SCL クロックの 9 クロック目の立ち上がり  
 ・ICCR1.IICRST ビットに“1”を書き、RIIC リセットまたは内部リセットしたとき

■ Page781 マスタ送信動作 を修正します。

(修正前)

(3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=0 を受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット+ W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

(修正後)

(3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“0”の第一バイトを受信すると、引き続きマスタ送信モードの状態を継続します。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行われます。なお 10 ビットアドレスフォーマットで送信する場合は、まず 1 回目のアドレス送信処理で ICDRT レジスタに 1111 0b+ スレーブアドレスの上位 2 ビット + W を書き、2 回目のアドレス送信処理で ICDRT レジスタにスレーブアドレスの下位 8 ビットを書いてください。

■ Page784 マスタ受信動作 を修正します。

(修正前)

(3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ (スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビット=1 を受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット+ R を送信することで、マスタ受信モードに移行します。

(修正後)

(3) ICSR2.TDRE フラグが“1”であることを確認した後、ICDRT レジスタに送信データ(スレーブアドレスと R/W# ビット) を書いてください。ICDRT レジスタに送信データを書くと TDRE フラグは自動的に“0”になり、ICDRT レジスタから ICDRS レジスタにデータが転送されて、再び TDRE フラグが“1”になります。R/W# ビットを含むスレーブアドレスの送信が完了すると、送信された R/W# ビットにより自動的に ICCR2.TRS ビットが変更され送信モード/受信モードが選択されます。RIIC は R/W# ビットが“1”の第一バイトを受信すると、9 クロック目の立ち上がりで TRS ビットを“0”にしてマスタ受信モードに移行します。このとき TDRE フラグは“0”に、ICSR2.RDRF フラグは自動的に“1”になります。このとき ICSR2.NACKF フラグが“1”なら、スレーブデバイスが認識されていないか、あるいは通信不良が発生しているかですので、ストップコンディションを発行してください。ストップコンディションの発行は ICCR2.SP ビットに“1”を書くことで行えます。なお、10 ビットアドレスフォーマットでマスタ受信を行う場合は、まずマスタ送信で 10 ビットアドレスを送信した後、リスタートコンディションを発行します。その後、1111 0b+ スレーブアドレスの上位 2 ビット+ R を送信することで、マスタ受信モードに移行します。

■ Page829 RSPI ステータスレジスタ (SPSR) を修正します。  
(修正前)

アドレス RSPI0.SPSR 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
—	—	—	—	PERF	MODF	IDLNF	OVRF
リセット後の値	x	0	x	0	0	0	0

x：不定

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし 1：モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b5	—	予約ビット	読んだ場合、その値は不定。書く場合、"1"としてください	R/W
b6	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b7	—	予約ビット	読んだ場合、その値は不定。書く場合、"1"としてください	R/W

注1. フラグをクリアするため、「1」を読んだ後に"0"を書くことのみ可能です。

(修正後)

アドレス RSPI0.SPSR 0008 8383h

b7	b6	b5	b4	b3	b2	b1	b0
SPRF	—	SPTEF	—	PERF	MODF	IDLNF	OVRF
リセット後の値	0	0	1	0	0	0	0

ビット	シンボル	ビット名	機能	R/W
b0	OVRF	オーバランエラーフラグ	0：オーバランエラーなし 1：オーバランエラー発生	R/(W) (注1)
b1	IDLNF	RSPIアイドルフラグ	0：RSPIがアイドル状態 1：RSPIが転送状態	R
b2	MODF	モードフォルトエラーフラグ	0：モードフォルトエラーなし 1：モードフォルトエラー発生	R/(W) (注1)
b3	PERF	パリティエラーフラグ	0：パリティエラーなし 1：パリティエラー発生	R/(W) (注1)
b4	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b5	SPTEF	送信バッファエンプティフラグ	0：送信バッファに有効なデータあり 1：送信バッファに有効なデータなし	R/W (注2)
b6	—	予約ビット	読むと"0"が読めます。書く場合、"0"としてください	R/W
b7	SPRF	受信バッファフルフラグ	0：受信バッファに有効なデータなし 1：受信バッファに有効なデータあり	R/W (注2)

注1. フラグをクリアするため、「1」を読んだ後に"0"を書くことのみ可能です。

注2. 書く場合、「1」としてください。

■ Page830 RSPI ステータスレジスタ (SPSR) に SPTEF フラグ、SPRF フラグの説明を追記します。

SPTEF フラグ (送信バッファエンプティフラグ)

RSPI データレジスタの送信バッファ (SPTX) 内にある有効データの有無を示すフラグです。

[ “1” になる条件 ]

- ・ SPCR.SPE ビットが “0” (RSPI 初期化) のとき
- ・ 送信バッファからシフトレジスタに送信データが転送されたとき

[ “0” になる条件 ]

- ・ SPDR レジスタに SPDCR.SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込んだとき  
なお、SPDR レジスタは SPTEF フラグが “1” のときのみデータを設定できます。SPTEF フラグが “0” のときにデータを設定しても、送信バッファのデータは更新されません。

SPRF フラグ (受信バッファフルフラグ)

RSPI データレジスタの受信バッファ (SPRX) 内にある有効データの有無を示すフラグです。

[ “1” になる条件 ]

- ・ SPCR.TXMD ビットが “0” (全二重)、SPRF フラグが “0” のときに、SPDCR.SPFC[1:0] ビットで設定したフレーム数分の受信データがシフトレジスタから受信バッファ (SPRX) に転送されたとき  
ただし、OVRF フラグが “1” のときは、“1” に変化しません。

[ “0” になる条件 ]

- ・ SPDR レジスタから受信データをすべて読み出したとき

■ Page833 RSPI データレジスタ (SPDR) を修正します。

(修正前)

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間は、送信バッファの読み出し値は、すべて“0”となります。

(修正後)

送信バッファリードポインタは SPDR への書き込み時に更新され、送信バッファリード時には更新されません。送信バッファをリードすると、SPDR に最後に書き込んだ値が読み出せます。ただし、送信バッファエンプティ割り込み発生後、RSPI データコントロールレジスタのフレーム数設定ビット (SPDCR.SPFC[1:0]) で設定したフレーム数分のデータの書き込み完了から次の送信バッファエンプティ割り込みが発生するまでの期間 (SPSR.SPTEF フラグが“0”の期間) は、送信バッファの読み出し値は、すべて“0”となります。

■ Page837 RSPI データコントロールレジスタ (SPDCR) を修正します。

(修正前)

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1 回の転送起動) フレーム数を設定します。SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンプティ割り込みが発生または送信開始するためのフレーム数も変更します。表 27.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

(修正後)

SPFC[1:0] ビット (フレーム数設定ビット)

SPDR レジスタに格納できる (1 回の転送起動) フレーム数を設定します。SPSCR.SPSSLN[2:0] ビット、SPDCR.SPFC[1:0] ビットの設定により 1 回の送受信起動で最大 4 フレームを送受信できます。また、SPFC[1:0] ビットの設定により、RSPI 受信バッファフル割り込みが発生と送信バッファエンプティ割り込みが発生または送信開始するためのフレーム数も変更します。

SPDR レジスタに SPFC[1:0] ビットで設定したフレーム数分の送信データを書き込むと、SPSR.SPTEF フラグが“0”になり送信が開始されます。その後、設定したフレーム数分の送信データがシフトレジスタに転送されると、SPTEF フラグが“1”になり RSPI 送信バッファエンプティ割り込みが発生します。また、SPFC[1:0] ビットで設定したフレーム数分の受信を行うと、SPSR.SPRF フラグが“1”になり RSPI 受信バッファフル割り込みが発生します。

表 27.4 に、SPDR レジスタに格納できるフレームの構成と送受信設定の組み合わせ例を示します。組み合わせ例に示した以外の設定を行った場合、以後の動作はしないでください。

■ Page838 RSPI データコントロールレジスタ (SPDCR) を修正します。

(修正前)

SPRDTD ビット (RSPI 受信/送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前に行ってください。

詳細は、「27.2.5 RSPI データレジスタ (SPDR)」を参照してください。

(修正後)

SPRDTD ビット (RSPI 受信/送信データ選択ビット)

SPDR レジスタの読み出す値を受信バッファとするか、送信バッファとするか選択します。

送信バッファを読む場合 SPDR レジスタへ直前に書いた値が読めます。

送信バッファの読み出しは、送信バッファエンプティ割り込み発生後、SPFC[1:0] ビットで設定したフレーム数を書き終える前 (SPSR.SPTEF フラグが“1”の期間) に行ってください。

詳細は、「27.2.5 RSPI データレジスタ (SPDR)」を参照してください。

■ Page846 RSPI コマンドレジスタ 0 ~ 7 (SPCMD0 ~ SPCMD7) を修正します。

(修正前)

SPB[3:0] ビット (RSPI データ長設定ビット)

マスタモード/スレーブモードの RSPI の転送データ長を設定します。

(修正後)

SPB[3:0] ビット (RSPI データ長設定ビット)

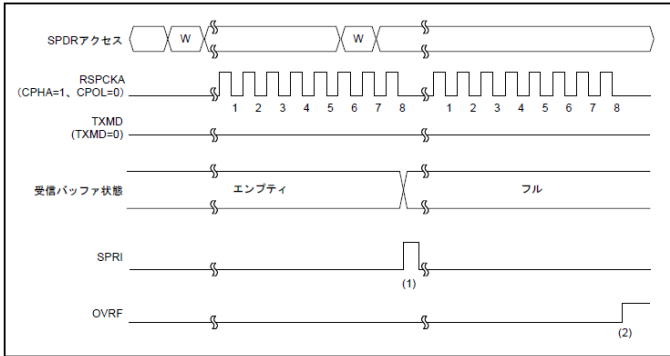
マスタモード/スレーブモードの RSPI の転送データ長を設定します。SPDCR.SPLW ビットが“0”のときは、“0100b” (8 ビット) ~ “1111b” (16 ビット) の範囲で値を設定してください。

■ Page847 「表 27.5 RSPI のモードと SPCR レジスタの設定の関係および各モードの概要」 を修正します。  
 (修正前)

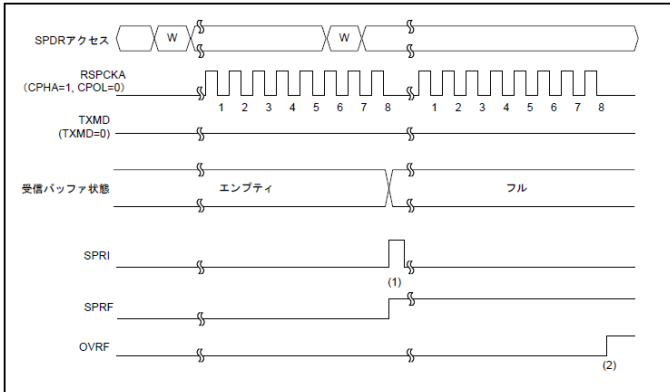
転送起動方法  
 送信バッファエンプティ割り込み要求で送信バッファ書き込み

(修正後)  
 転送起動方法  
 送信バッファエンプティ割り込み要求、または **SPTEF = 1** で送信バッファ書き込み

■ Page866 「図 27.24 SPCR.TXMD = 0 の動作例」 を修正します。  
 (修正前)



(修正後)



■ Page866 全二重同期式シリアル通信 (SPCR.TXMD=0) を修正します。  
 (修正前)

以下に、図中の (1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

(修正後)

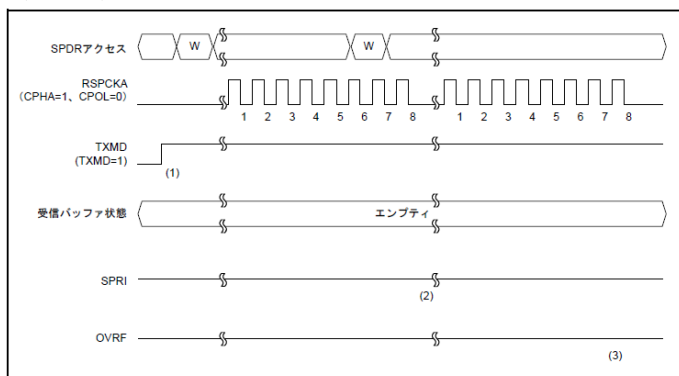
以下に、図中の(1)、(2) に示したタイミングでのフラグの動作内容を説明します。

- (1) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI は受信バッファフル割り込み要求 (SPRI) を発生 (**SPSR.SPRF フラグを“1”**)してシフトレジスタの受信データを受信バッファにコピーします。
- (2) SPDR レジスタの受信バッファに以前の受信データがある状態でシリアル転送が終了すると、RSPI は SPSR.OVRF フラグを“1”にしてシフトレジスタの受信データを破棄します。

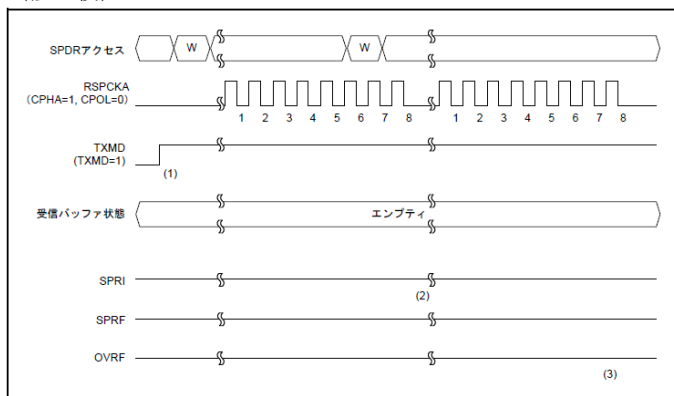
全二重同期式シリアル通信時 (SPCR.TXMD = 0) は、送信と同時に受信も行います。そのため、**SPSR.SPRF, OVRF** フラグは受信バッファの状態に応じて、それぞれ(1)、(2)のタイミングで“1”になります。

■ Page867 「図 27.25 SPCR.TXMD = 1 の動作例」を修正します。

(修正前)



(修正後)



■ Page867 送信のみ動作 (SPCR.TXMD=1) を修正します。

(修正前)

送信のみ動作時 (SPCR.TXMD=1) は、送信データを送信し、受信データを受信しません。そのため、SPSR.OVRF フラグは (1) (2) (3) それぞれのタイミングで “0” を保持します。

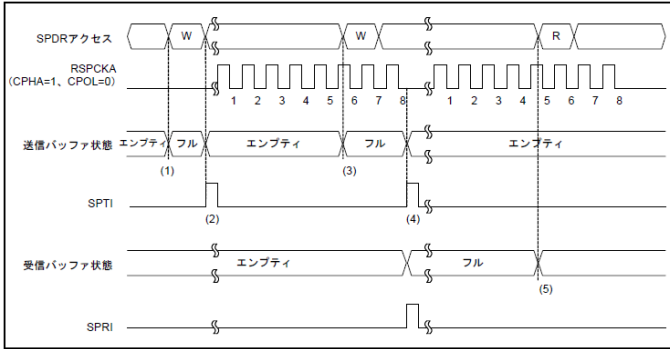
(修正後)

送信のみ動作時 (SPCR.TXMD = 1) は、データ送信を実施するだけで、受信は行いません。そのため、SPSR.SPRF, OVRF フラグは(1)、(2)、(3) いずれのタイミングでも “0” を保持します。

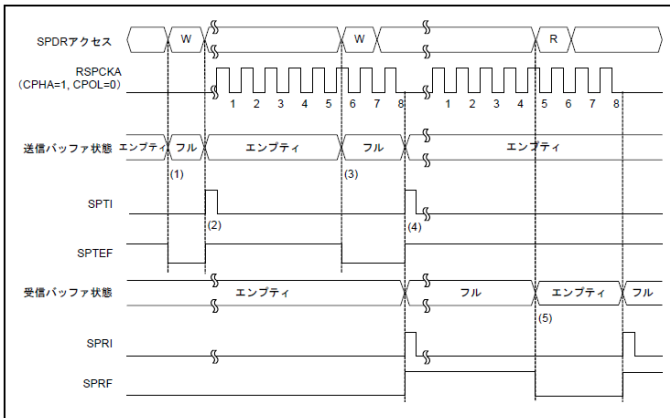


■ Page868 「図 27.26 SPTI、SPRI 割り込みの動作例」を修正します。

(修正前)



(修正後)



■ Page868 送信バッファエンpty/ 受信バッファフル割り込み を修正します。

(修正前)

以下に、図中の (1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

1. SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込みます。
2. シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンpty割り込み要求 (SPTI) を発生します。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「27.3.10 SPI 動作」、「27.3.11 クロック同期式動作」参照)
3. 送信バッファエンpty割り込みルーチンで、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送されます。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。
4. SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生します。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、RSPI が送信バッファのデータをシフトレジスタにコピーします。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
5. 受信バッファフル割り込みルーチンで、SPDR レジスタを読み出すと、受信データが読み出せます。

(修正後)

以下に、図中の(1) ~ (5) に示したタイミングでの割り込みの動作内容を説明します。

- (1) SPDR レジスタの送信バッファが空の (次転送のデータがセットされていない) 状態で、SPDR レジスタに送信データを書き込むと、RSPI は送信バッファにデータを書き込み、SPSR.SPTEF フラグを“0”にします。
- (2) シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーして送信バッファエンpty割り込み要求 (SPTI) を発生し、SPSR.SPTEF フラグを“1”にします。なお、シリアル転送の開始方法は、RSPI のモードに依存します。(「27.3.10 SPI 動作」、「27.3.11 クロック同期式動作」参照)
- (3) 送信バッファエンpty割り込みルーチンまたはSPTEF フラグによる送信バッファエンpty判定処理で、SPDR レジスタに送信データを書き込むと、送信バッファにデータが転送され、SPSR.SPTEF フラグが“0”になります。シフトレジスタにはシリアル転送中のデータが格納されているため、RSPI は送信バッファのデータをシフトレジスタにコピーしません。

- (4) SPDR レジスタの受信バッファが空の状態ではシリアル転送が終了すると、RSPI はシフトレジスタの受信データを受信バッファにコピーし、受信バッファフル割り込み要求 (SPRI) を発生させ、**SPSR.SPRF フラグを“1”にします**。また、シリアル転送が終了するとシフトレジスタが空になるため、シリアル転送が終了する前に送信バッファがフルであった場合には、**RSPI が SPSR.SPTEF フラグを“1”にして送信バッファのデータをシフトレジスタにコピーします**。なお、オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。
- (5) 受信バッファフル割り込みルーチンまたは **SPRF フラグによる受信バッファフル判定処理で、SPDR レジスタを読み出すと、受信データが読み出せます。受信データを読み出すと、SPRF フラグが“0”になります**。

■ Page870 「表 27.8 通常以外の転送の発生条件と RSPI のエラー検出機能」を修正します。  
(修正前)

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ではSPDRレジスタを書き込み	<ul style="list-style-type: none"> <li>• 送信バッファ内容を保持</li> <li>• 書き込みデータ欠落</li> </ul>	なし
2	スリープモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
3	受信バッファエンプティの状態ではSPDRレジスタを読み出し	前回受信データを出力	なし
4	受信バッファフルの状態では、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> <li>• RSPCKA, MOSIA, SSLA1~3出力信号のドライブ停止</li> <li>• RSPI機能は無効</li> </ul>	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> <li>• シリアル転送を中断</li> <li>• 送受信データ欠落</li> <li>• RSPCKA, MOSIA, SSLA1~3出力信号のドライブ停止</li> <li>• RSPI機能は無効</li> </ul>	モードフォルトエラー検出
8	スリープモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> <li>• シリアル転送中断</li> <li>• 送受信データ欠落</li> <li>• MISOA出力信号のドライブ停止</li> <li>• RSPI機能は無効</li> </ul>	モードフォルトエラー検出

(修正後)

	発生条件	RSPI動作	エラー検出
1	送信バッファフルの状態ではSPDRレジスタを書き込み	<ul style="list-style-type: none"> <li>• 送信バッファ内容を保持</li> <li>• 書き込みデータ欠落</li> </ul>	なし
2	受信バッファエンプティの状態ではSPDRレジスタを読み出し	前回受信したデータバスに出力	なし
3	スリープモードで送信データをシフトレジスタにセットしていない状態で、シリアル転送開始	前回シリアル転送時の受信データを送信	なし
4	受信バッファフルの状態では、シリアル転送が終了	受信バッファ内容を保持 受信データ欠落	オーバランエラー検出
5	全二重同期式シリアル通信時にパリティ機能が有効な状態で誤ったパリティビットを受信	パリティエラーフラグのアサート	パリティエラー検出
6	マルチマスタモードでシリアル転送アイドル時にSSLA0入力信号アサート	<ul style="list-style-type: none"> <li>• RSPCKA, MOSIA, SSLA1~3出力信号のドライブ停止</li> <li>• RSPI機能は無効</li> </ul>	モードフォルトエラー検出
7	マルチマスタモードでシリアル転送中にSSLA0入力信号アサート	<ul style="list-style-type: none"> <li>• シリアル転送を中断</li> <li>• 送受信データ欠落</li> <li>• RSPCKA, MOSIA, SSLA1~3出力信号のドライブ停止</li> <li>• RSPI機能は無効</li> </ul>	モードフォルトエラー検出
8	スリープモードでシリアル転送中にSSLA0入力信号がネゲート	<ul style="list-style-type: none"> <li>• シリアル転送中断</li> <li>• 送受信データ欠落</li> <li>• MISOA出力信号のドライブ停止</li> <li>• RSPI機能は無効</li> </ul>	モードフォルトエラー検出

■ Page870 エラー検出 を修正します。  
(修正前)

表 27.8 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求で SPDR レジスタへの書き込みを実施してください。

2 に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、2 に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます (シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します)。

3 に示した動作に対しても、RSPI はエラーを検出しません。不要なデータを読み出さないようにするためには、RSPI 受信バッファフル割り込みで SPDR レジスタの読み出しを実行するようにしてください。

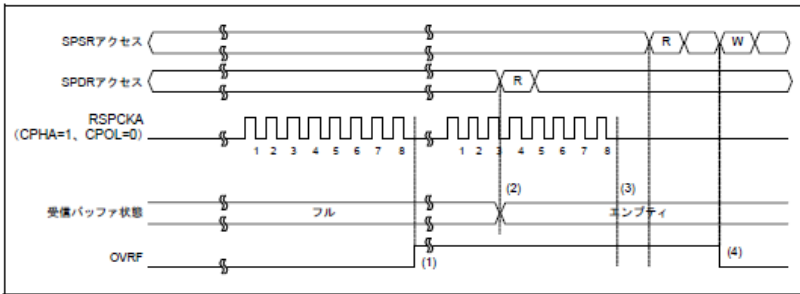
(修正後)

表 27.8 の 1 に示した動作に対しては、RSPI はエラーを検出しません。SPDR レジスタへの書き込み時にデータを欠落させないために、送信バッファエンプティ割り込み要求発生時、または **SPSR.SPTEF フラグが“1”のときに SPDR レジスタへの書き込みを実施してください**。

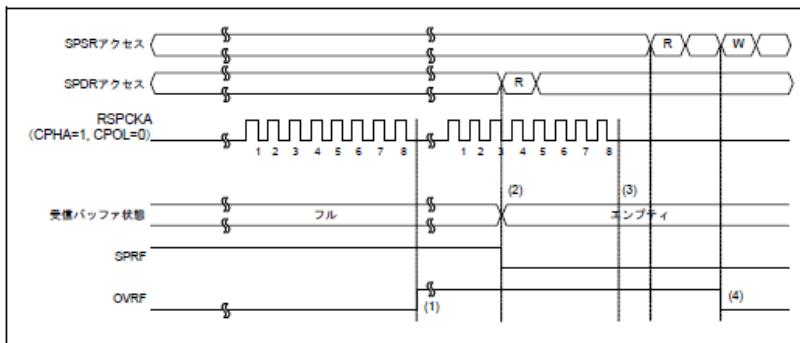
2 に示した動作に対しても、RSPI はエラーを検出しません。**不要なデータを読み出さないようにするためには、RSPI 受信バッファフル割り込み要求発生時、または SPSR.SPRF フラグが“1”のときに SPDR レジスタの読み出しを実行するようにしてください**。

3 に示した動作に対しても、RSPI はエラーを検出しません。RSPI では、シフトレジスタの更新前に起動されたシリアル転送において、前回シリアル転送時の受信データを送信し、3 に示した動作をエラーとして扱いません。なお、前回シリアル転送時の受信データは SPDR レジスタの受信バッファに保持されているので、正しく読み出されます(シリアル転送が終了する前に SPDR レジスタを読み出さないと、オーバランエラーが発生します)。

■ Page871 「図 27.27 OVRF フラグの動作例」を修正します。  
(修正前)



(修正後)



■ Page871 オーバランエラー を修正します。  
(修正前)

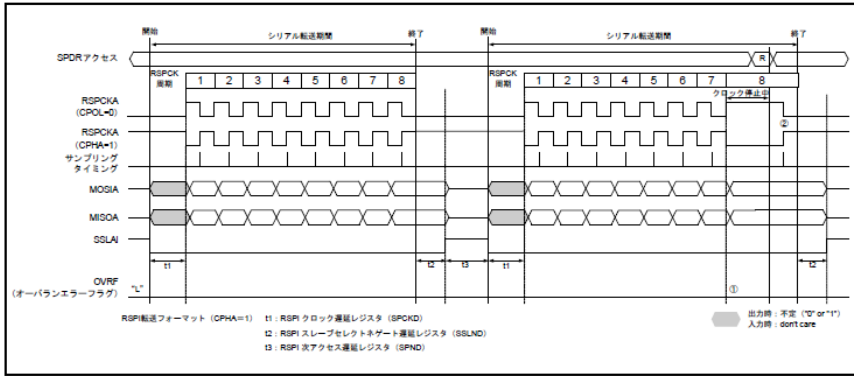
3. OVRF フラグが“1”の状態(オーバランエラー)でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

(修正後)

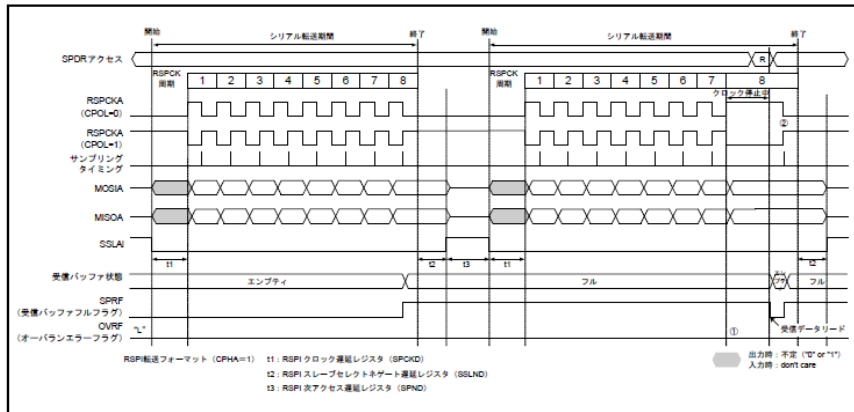
(3) OVRF フラグが“1”の状態(オーバランエラー)でシリアル転送が終了した場合には、RSPI はシフトレジスタのデータを受信バッファにコピーしません(SPRF フラグは“0”のままです)。受信バッファフル割り込みも発生しません。また、SPPE ビット“1”であってもパリティエラーの検出は行いません。マスタモードの RSPI の場合に、RSPI は SPECM[2:0] ビットを更新しません。オーバランエラー発生状態で、シフトレジスタから受信バッファへ受信データをコピーしなかった場合でも、シリアル転送が終了すると RSPI はシフトレジスタを空であると判定し、送信バッファからシフトレジスタへのデータ転送は可能な状態になります。

■ Page872 「図 27.28 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA=1)」 を修正します。

(修正前)

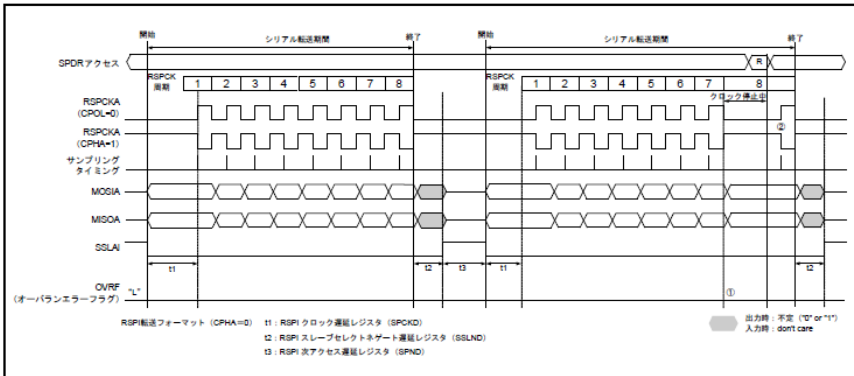


(修正後)

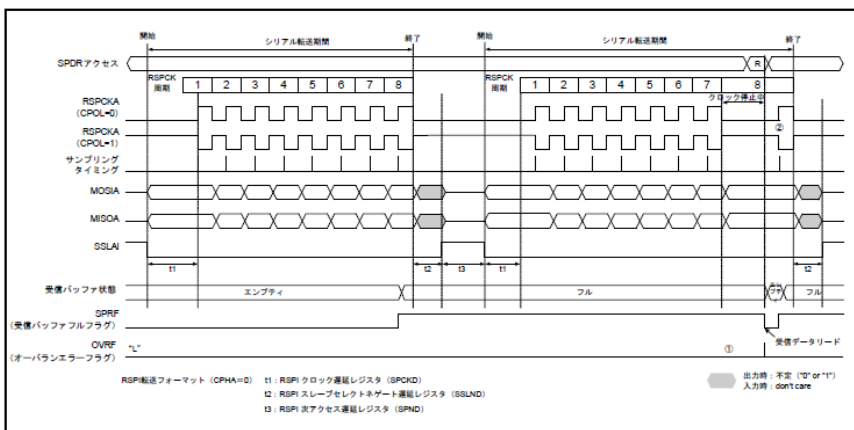


■ Page872 「図 27.29 マスタモードの受信バッファフル状態でシリアル転送が継続するときのクロック停止波形 (CPHA=0)」 を修正します。

(修正前)



(修正後)



■ Page875 SPE ビットのクリアによる初期化 を修正します。

(修正前)

- ・RSPI 送信バッファを空にする

(修正後)

- ・RSPI 送信バッファを空にする (SPTEF フラグを“1”にする)

(修正前)

SPSR.OVRF, MODF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができません。送信バッファは空の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。モードフォルトエラー検出後の送信バッファエンプティ割り込みを禁止するためには、エラー処理ルーチンで SPTIE ビットに“0”を書いてください。

(修正後)

SPSR.SPRF, OVRF, MODF, PERF フラグの値は初期化されません。また、SPSSR レジスタの値も初期化されません。このため、RSPI の初期化後も受信バッファのデータの読み出し、RSPI 転送時のエラー発生状況の確認ができません。

送信バッファは空 (SPTEF フラグが“1”) の状態に初期化されます。このため、RSPI 初期化後に SPCR.SPTIE ビットを“1”にしていると、送信バッファエンプティ割り込みが発生します。CPU で RSPI を初期化する場合に、送信バッファエンプティ割り込みを禁止するためには、SPE ビットへの“0”書き込みと同時に SPTIE ビットにも“0”を書いてください。

■ Page876 マスタモード動作 を修正します。

(修正前)

(1) シリアル転送の開始

RSPI 送信バッファが空き (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

(修正後)

(1) シリアル転送の開始

RSPI 送信バッファが空 (SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書き込むと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。SPDR レジスタへ SPDCR.SPFC[1:0] ビットで設定したフレーム分のデータの書き込み後、シフトレジスタが空の場合には、RSPI は送信バッファのデータをシフトレジスタにコピーしてシリアル転送を開始します。RSPI は、シフトレジスタに送信データをコピーするとシフトレジスタのステータスをフルに変更し、シリアル転送が終了するとシフトレジスタのステータスを空に変更します。シフトレジスタのステータスを参照することはできません。

(修正前)

(2) シリアル転送の終了

SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

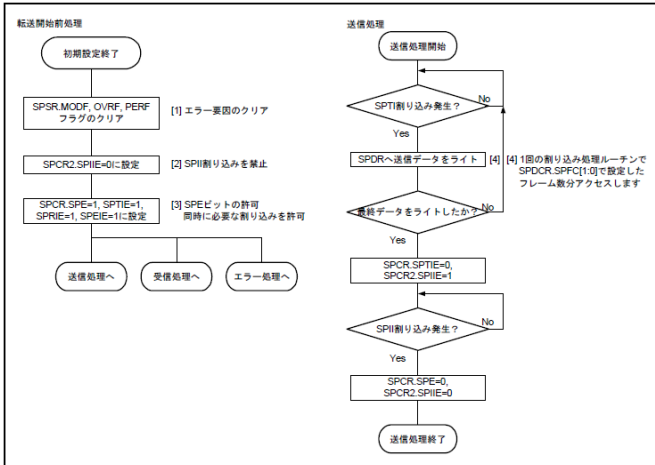
(修正後)

(2) シリアル転送の終了

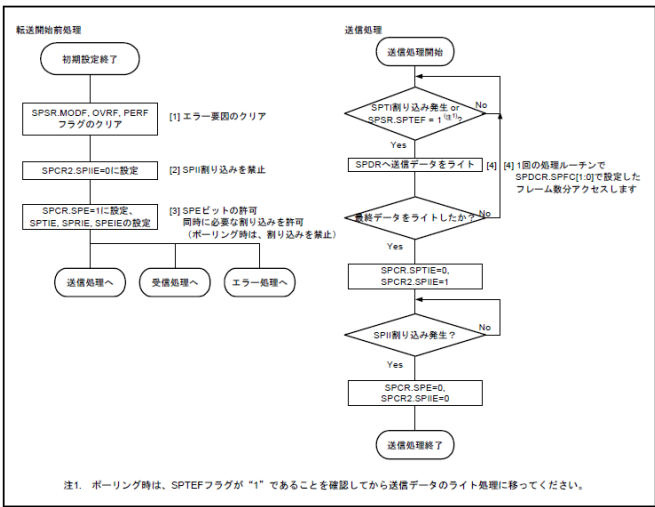
SPCMDm.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

■ Page883 「図 27.36 マスタモード時のフローチャート（送信）」を修正します。

(修正前)

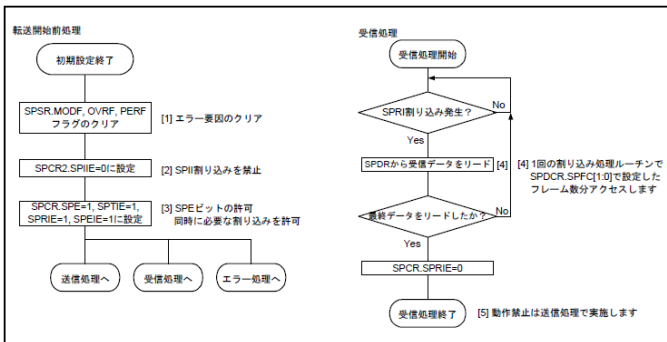


(修正後)

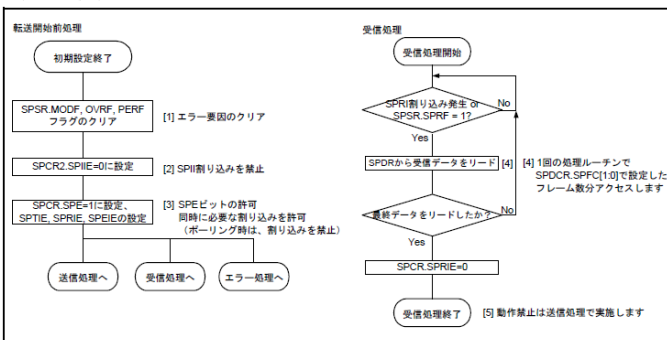


■ Page884 「図 27.37 マスタモード時のフローチャート（受信）」を修正します。

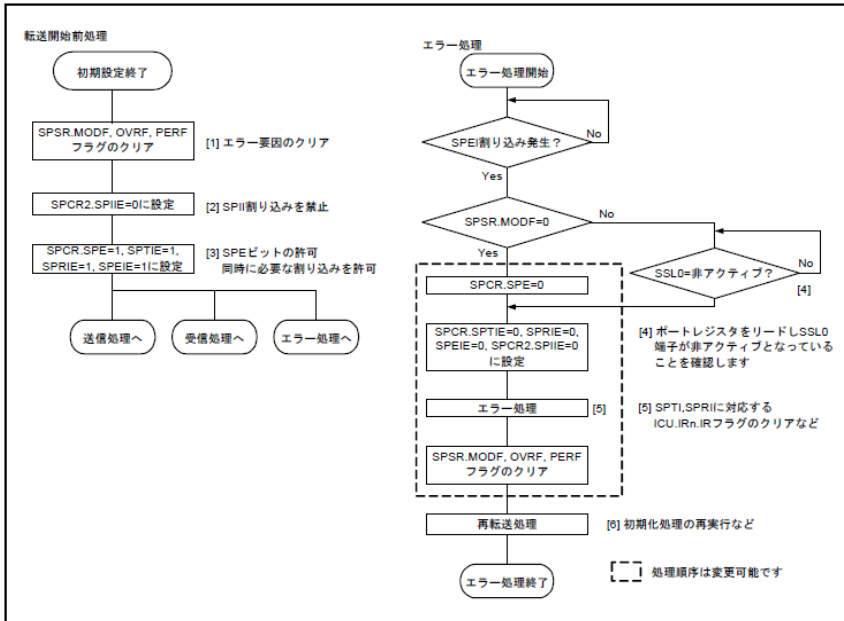
(修正前)



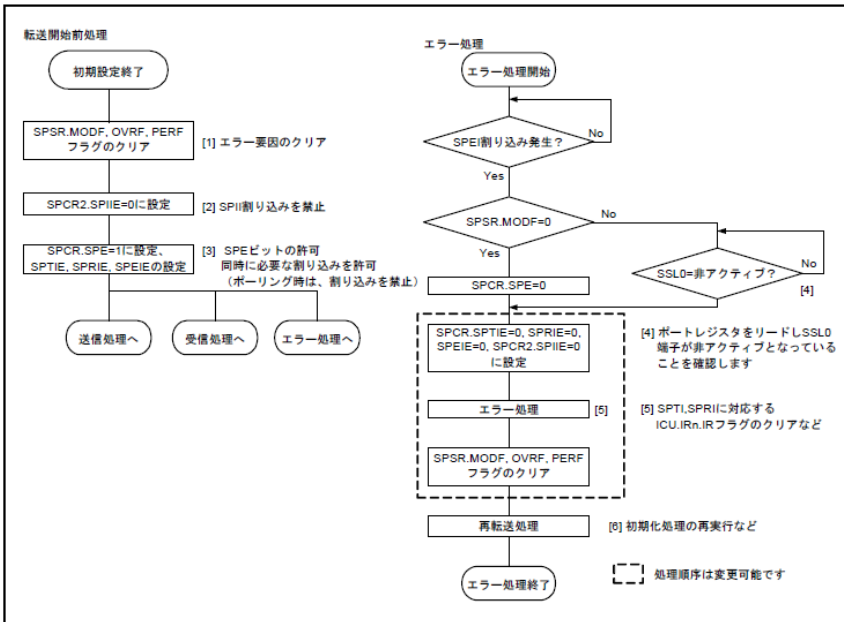
(修正後)



■ Page885 「図 27.38 マスタモード時のフローチャート (エラー)」を修正します。  
(修正前)



(修正後)



■ Page886 スレーブモード動作 を修正します。  
(修正前)

(2) シリアル転送の終了

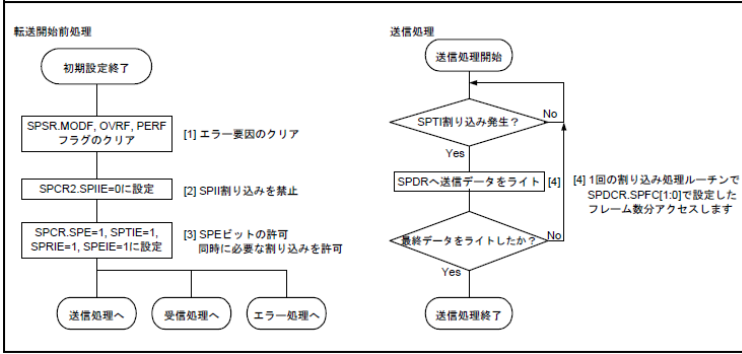
SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLA0 入力信号のネゲートを検出するとモードフォルトエラーが発生します (「27.3.8 エラー検出」を参照)。

(修正後)

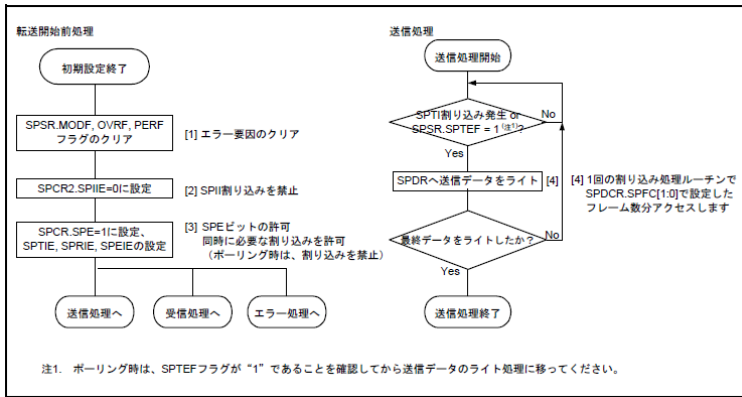
(2) シリアル転送の終了

SPCMD0.CPHA ビットにかかわらず、RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファに空きがある場合 (SPRF フラグが“0”の場合) には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。また、受信用バッファの状態に関わらず、RSPI はシリアル転送の終了後にシフトレジスタの状態を空に変更します。シリアル転送開始からシリアル転送終了の間に RSPI が SSLA0 入力信号のネゲートを検出するとモードフォルトエラーが発生します (「27.3.8 エラー検出」を参照)。

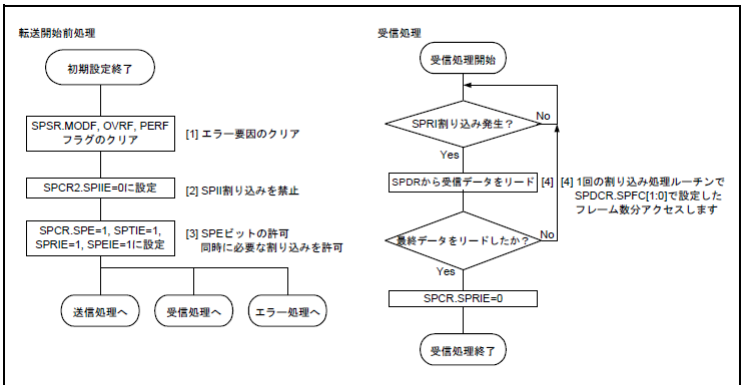
■ Page888 「図 27.40 スレーブモード時のフローチャート (送信)」を修正します。  
(修正前)



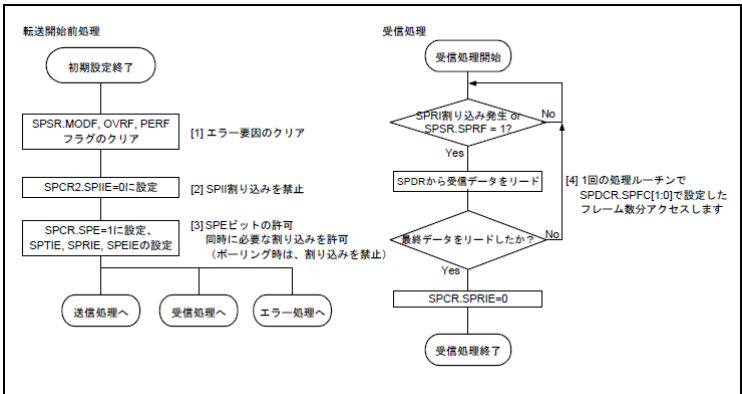
(修正後)



■ Page888 「図 27.41 スレーブモード時のフローチャート (受信)」を修正します。  
(修正前)

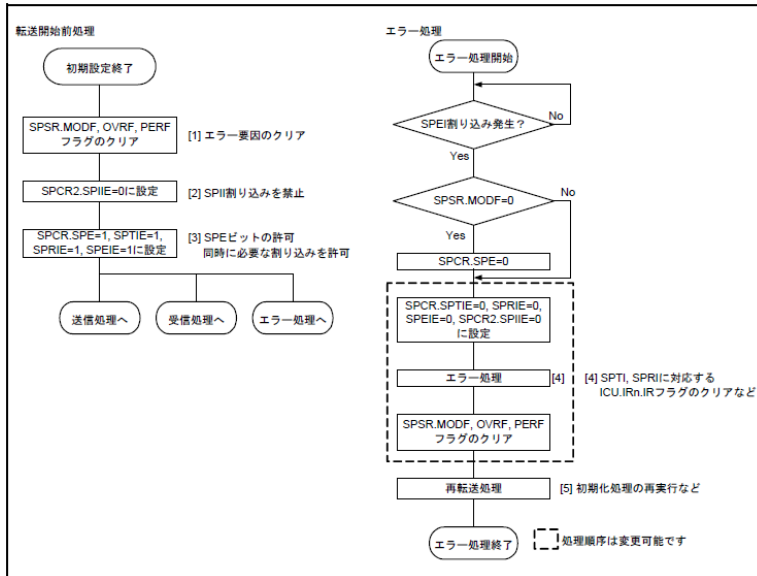


(修正後)

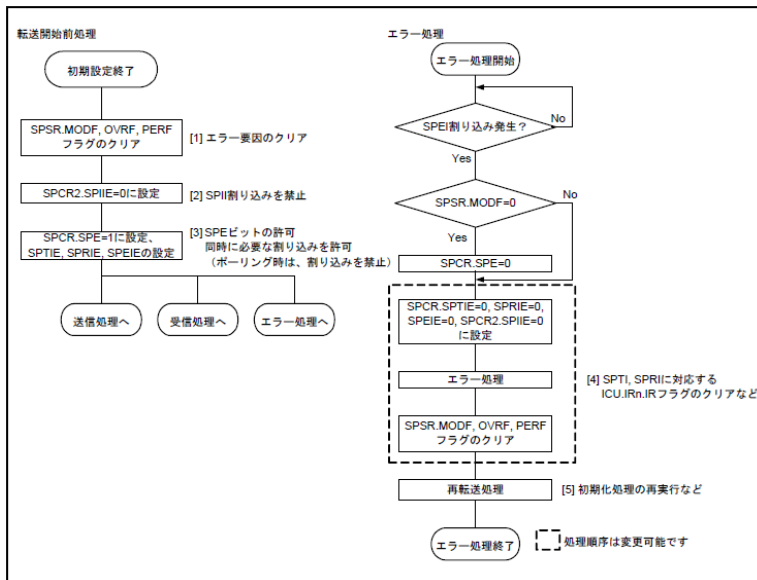




■ Page889 「図 27.42 スレーブモード時のフローチャート (エラー処理)」を修正します。  
(修正前)



(修正後)



■ Page890 マスタモード動作 を修正します。

(修正前)

(1) シリアル転送の開始

送信バッファが空 (次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。

(修正後)

(1) シリアル転送の開始

送信バッファが空 (SPSR.SPTEF フラグが“1”、次転送のデータがセットされていない) の状態で、SPDR レジスタへデータを書くと、RSPI は SPDR レジスタの送信バッファ (SPTX) のデータを更新します。

(修正前)

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

(修正後)

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに対応する RSPCKA エッジを送出するとシリアル転送を終了します。受信バッファ (SPRX) が空 (SPSR.SPRF フラグが“0”) の場合には、シリアル転送終了後にシフトレジスタから SPDR レジスタの受信バッファにデータをコピーします。

■ Page894 スレーブモード動作 を修正します。

(修正前)

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファが空の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。

(修正後)

(2) シリアル転送の終了

RSPI は最終サンプリングタイミングに相当する RSPCKA エッジを検出するとシリアル転送を終了します。受信バッファが空 (**SPSR.SPRF フラグが“0”**) の場合には、シリアル転送の終了後に、RSPI はシフトレジスタから SPDR レジスタの受信バッファに受信データをコピーします。

■ Page898 「表 27.13 RSPI の割り込み要因」を修正します。

(修正前)

割り込み要因	略称	割り込み条件	DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフルになったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティになったとき	可能
RSPIエラー (モードフォルト、オーバーラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、OVRF、またはPERFフラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIEビットが“1”の状態IDLNFフラグが“0”になったとき	不可能

(修正後)

割り込み要因	略称	割り込み条件	DTC起動
受信バッファフル	SPRI	SPCR.SPRIEビットが“1”の状態を受信バッファフル (SPRFフラグが“1”) になったとき	可能
送信バッファエンプティ	SPTI	SPCR.SPTIEビットが“1”の状態を送信バッファエンプティ (SPTEFフラグが“1”) になったとき	可能
RSPIエラー (モードフォルト、オーバーラン、パリティエラー)	SPEI	SPCR.SPEIEビットが“1”の状態でSPSR.MODF、OVRF、またはPERFフラグが“1”になったとき	不可能
RSPIアイドル	SPII	SPCR2.SPIIEビットが“1”の状態IDLNFフラグが“0”になったとき	不可能

■ Page899 SPRF/SPTEF フラグに関する注意事項 を追記します。

27.4.4 SPRF/SPTEF フラグに関する注意事項

SPSR.SPRF, SPTEF フラグをポーリングして使用する場合、SPCR.SPRIE, SPTIE ビットを“0” にしてください。

■ Page918 A/D チャネル選択レジスタ A0 (ADANSA0) を修正します。

(修正前)

ANSA0[7:0] ビット (A/D 変換チャネル選択ビット)

(修正後)

ANSA0n ビット(n = 00 ~ 07) (A/D 変換チャネル選択ビット)

■ Page919 A/D チャネル選択レジスタ A1 (ADANSA1) を修正します。

(修正前)

ANSA1[1:0] ビット (A/D 変換チャネル選択ビット)

(修正後)

ANSA1n ビット(n = 00, 01) (A/D 変換チャネル選択ビット)

■ Page920 A/D チャネル選択レジスタ B0 (ADANSB0) を修正します。

(修正前)

ANSB0[7:0] ビット (A/D 変換チャネル選択ビット)

(修正後)

ANSB0n ビット(n = 00 ~ 07) (A/D 変換チャネル選択ビット)

■ Page921 A/D チャネル選択レジスタ B1 (ADANSB1) を修正します。

(修正前)

ANSB1[1:0] ビット (A/D 変換チャネル選択ビット)

(修正後)

ANSB1n ビット(n = 00, 01) (A/D 変換チャネル選択ビット)

■ Page922 A/D 変換値加算/ 平均機能チャンネル選択レジスタ 0 (ADADS0) を修正します。

(修正前)

ADS0[7:0] ビット (A/D 変換値加算/ 平均チャンネル選択ビット)

(修正後)

ADS0n ビット(n = 00 ~ 07) (A/D 変換値加算/ 平均チャンネル選択ビット)

■ Page923 A/D 変換値加算/ 平均機能チャンネル選択レジスタ 1 (ADADS1) を修正します。

(修正前)

ADS1[1:0] ビット (A/D 変換値加算/ 平均チャンネル選択ビット)

(修正後)

ADS1n ビット(n = 00, 01) (A/D 変換値加算/ 平均チャンネル選択ビット)

■ Page925 A/D コントロール拡張レジスタ (ADCER) を修正します。

(修正前)

DIAGLD ビットの設定は、ADST が “0” のときに行ってください。

(修正後)

DIAGLD ビットの設定は、**ADCSR.ADST** ビットが “0” のときに行ってください。

(修正前)

DIAGM ビットの設定は、ADST ビットが “0” のときに行ってください。

(修正後)

DIAGM ビットの設定は、**ADCSR.ADST** ビットが “0” のときに行ってください。

(修正前)

ADRFMT ビットの設定は、ADST ビットが “0” のときに行ってください。

(修正後)

ADRFMT ビットの設定は、**ADCSR.ADST** ビットが “0” のときに行ってください。

■ Page965 アナログ電源端子他の設定範囲 を修正します。

(修正前)

・アナログ入力電圧の設定範囲

アナログ入力端子 ANn に印加する電圧は、 $VREFLO \leq VAN \leq VREFHO$  の範囲としてください。

VREFHO 端子によるリファレンス電圧の設定範囲は、 $VREFHO \leq AVCC0$  にしてください。

アナログ入力端子 ANn (n = 000 ~ 007) に印加する電圧は、 $AVSS0 \leq VAN \leq AVCC0$  にしてください。

アナログ入力端子 ANn (n = 016, 017) に印加する電圧は、 $VSS \leq VAN \leq VCC$ 、および  $AVSS0 \leq VAN \leq AVCC0$  にしてください。

(修正後)

□ アナログ入力電圧の設定範囲

アナログ入力端子 ANn に印加する電圧は  $AVSS0 \leq VAN \leq AVCC0$  の範囲としてください。また、**VREFHO** 端子、**VREFLO** 端子に印加するリファレンス電圧の設定範囲は、 $VREFHO \leq AVCC0$ 、 $VREFLO = AVSS0$  にしてください。アナログ入力端子 ANn に印加する電圧が、**VREFHO** を超える場合は、正しく変換できません( 図 29.28 参照)。

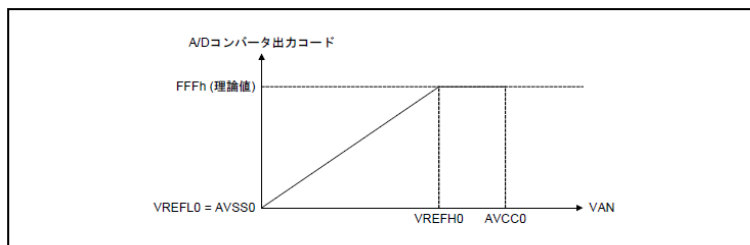


図 29.28 アナログ入力端子に印加する電圧と出力コードの関係

■ Page971 D/A コンバータの設定について を追加します。

30.4.4 D/A コンバータの設定について

コンパレータ C 用リファレンス電圧生成専用 D/A コンバータの設定は、コンパレータ C の動作を許可する前に実施し、D/A コンバータの出力が安定するまで(D/A 変換時間: tDCONV) 待ってからコンパレータの動作を許可してください。D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

## ■ Page975 コンパレータ制御レジスタ (CMPCTL) を修正します。

(修正前)

CEG[1:0] ビット (コンパレータエッジ選択ビット)

有効エッジの設定は、CINV ビットおよび CDFS[1:0] ビットにより、コンパレータ検出信号を正転/反転処理、ノイズフィルタ未使用/使用処理した信号に対して設定されます。

(修正後)

CEG[1:0] ビット (コンパレータエッジ選択ビット)

コンパレータ出力信号のどのエッジで割り込み要求を生成するかを選択するビットです。有効エッジの設定は、CINV ビットおよび CDFS[1:0] ビットにより、コンパレータ出力信号を反転/非反転処理、ノイズフィルタ未使用/使用処理した信号に対して設定されます。

## ■ Page977 コンパレータ基準電圧選択レジスタ (CMPSEL1) を修正します。

(修正前)

基準電圧

(修正後)

リファレンス入力電圧

(修正前)

注1. 内部基準電圧を使用する場合、コンパレータ動作を許可 (CMPCTL.HCMPON ビット = 1) する前に、内部基準電圧を生成する D/A コンバータを設定してください。内部基準電圧の設定については「30. コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA)」を参照してください。

(修正後)

注1. 内蔵 D/A コンバータの出力を使用する場合、コンパレータの動作を許可 (CMPCTL.HCMPON ビット = 1) する前に、D/A コンバータを設定してください。D/A コンバータの設定については「30. コンパレータ C 用リファレンス電圧生成専用 D/A コンバータ (DA)」を参照してください。

## ■ Page979 初期設定 を修正します。

(修正前)

## 31.3.1 初期設定

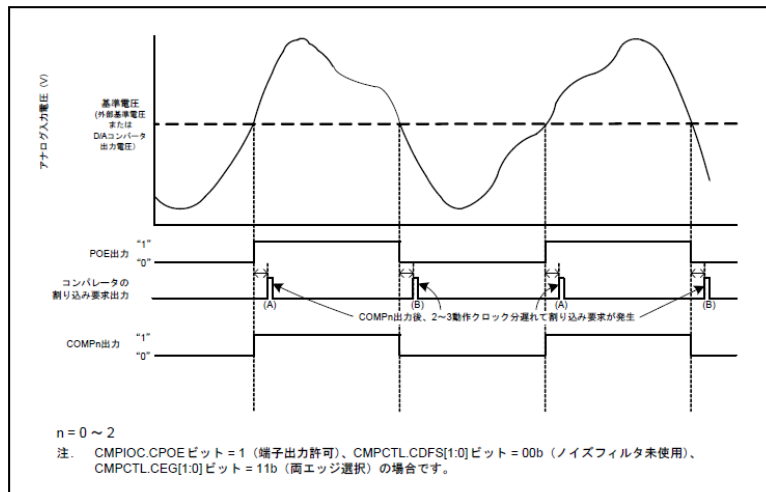
図 31.2 にコンパレータの動作例を示します。基準電圧よりアナログ入力電圧が高い場合に COMPn (n = 0 ~ 2) 出力が“1”になり、基準電圧よりアナログ入力電圧が低い場合に COMPn 出力が“0”になります。また、コンパレータ出力が変化すると割り込み要求を出力します。

(修正後)

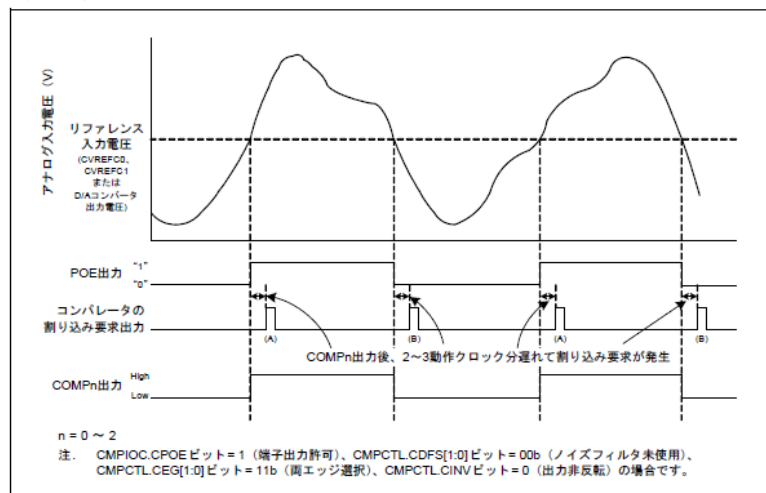
## 31.3.1 コンパレータ動作例

図 31.2 にコンパレータの動作例を示します。リファレンス入力電圧よりアナログ入力電圧が高い場合に COMPn (n = 0 ~ 2) 出力が High になり、リファレンス入力電圧よりアナログ入力電圧が低い場合に COMPn 出力が Low になります (CMPCTL.CINV ビットが“0”の場合)。また、コンパレータ出力が変化すると割り込み要求を出力します。

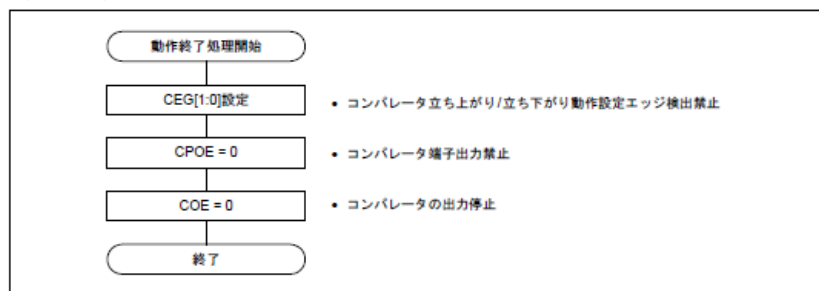
■ Page979 「図 31.2 コンパレータの動作例」を修正します。  
(修正前)



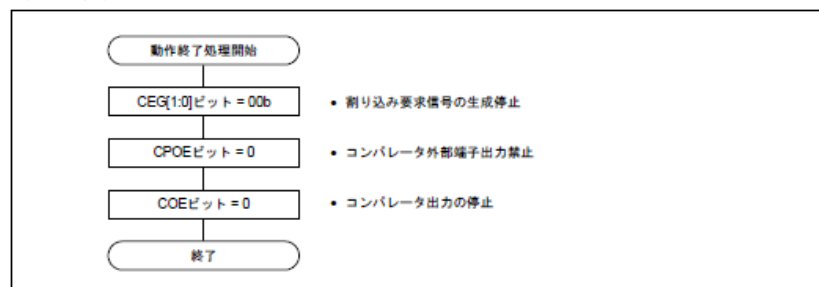
(修正後)



■ Page982 「図 31.6 コンパレータ動作終了フローチャート」を修正します。  
(修正前)



(修正後)



■ Page983 ソフトウェアスタンバイモード時のコンパレータ C の動作 を修正します。

(修正前)

31.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させた状態でソフトウェアスタンバイモードになるとコンパレータ C の動作は保持され、アナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止してください。

(修正後)

31.4.3 ソフトウェアスタンバイモード時のコンパレータ C の動作

コンパレータ C を動作させたままソフトウェアスタンバイモードに遷移すると、コンパレータ C のアナログ回路の動作が停止しないためアナログ電源電流はコンパレータ C 使用中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、CMPCTL.HCMPON ビットを“0”にしてコンパレータ C を停止させてください。

■ Page983 リファレンス電圧生成専用 D/A コンバータの設定について を追加します。

31.4.4 リファレンス電圧生成専用 D/A コンバータの設定について

リファレンス電圧生成専用 D/A コンバータの設定は、コンパレータの動作を許可する前に行い、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。リファレンス電圧生成専用 D/A コンバータの設定を変更する場合も、一旦コンパレータの動作を停止させてから D/A コンバータの設定を変更し、D/A コンバータの出力が安定するまで待ってからコンパレータの動作を許可してください。

■ Page990 「表 33.1 RAM の仕様」を修正します。

(修正前)

項目	内容
RAM 容量	10K バイト (RAM0 : 10K バイト)
RAM アドレス	RAM0 : 0000 0000h ~ 0000 27Fh
アクセス	<ul style="list-style-type: none"> <li>読み出し、書き込みともに 1 サイクルで動作</li> <li>RAM 有効 / 無効選択可能 (注 1)</li> </ul>
消費電力低減機能	RAM0 をモジュールストップ状態への設定が可能

(修正後)

項目	内容
RAM 容量	12K バイト (RAM0 : 12K バイト)
RAM アドレス	RAM0 : 0000 0000h ~ 0000 27Fh, 0000 4000h ~ 0000 4A7Fh
アクセス	<ul style="list-style-type: none"> <li>読み出し、書き込みともに 1 サイクルで動作</li> <li>RAM 有効 / 無効選択可能 (注 1)</li> </ul>
消費電力低減機能	RAM0 をモジュールストップ状態への設定が可能

■ Page1034 ブロック情報問い合わせ を修正します。

(修正前)

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	SUM		

(修正後)

コマンド	26h		
レスポンス	36h	サイズ	DDh
	ユーザ領域先頭アドレス		
	1ブロックブロックサイズ(ユーザ領域)		
	ユーザ領域ブロック数		
	ダミーデータ		
	ダミーデータ		
	ダミーデータ		
	SUM		

## ■ Page1047 ブートモード (SCI インタフェース) でのシリアルプログラマ動作説明 を修正します。

(修正前)

注1. 2. の処理は、取得する情報が既にある場合、省略可能です。

注2. 6. ~ 10. の処理は、必要に応じて行ってください。また実行順を入れ替えても構いません。

注3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、11. の処理を行ってください。

(修正後)

注1. 2. の処理は、取得する情報が既にある場合、省略可能です。

注2. 6. ~ 9. の処理は、必要に応じて行ってください。また実行順を入れ替えても構いません。

注3. タイムアウトが発生した場合や無効な応答データを受信した場合は、処理を中断し、10. の処理を行ってください。

(修正前)

上記 2. ~ 10. の処理で使用するコマンドの詳細は、それぞれ「34.9.5 問い合わせコマンド」、「34.9.6 設定コマンド」、「34.9.7 ID コード認証コマンド」、「34.9.8 プログラム/ イレーズコマンド」、「34.9.9 リードチェックコマンド」を参照してください。

(修正後)

上記 2. ~ 9. の処理で使用するコマンドの詳細は、それぞれ「34.9.5 問い合わせコマンド」、「34.9.6 設定コマンド」、「34.9.7 ID コード認証コマンド」、「34.9.8 プログラム/ イレーズコマンド」、「34.9.9 リードチェックコマンド」を参照してください。

## ■ Page1109 「図 35.56 コンデンサ接続方法 (64 ピン)」 の図中のパッケージコードを修正します。

(修正前)

PLQP0064KB-A

(修正後)

PLQP0064KB-C

## ■ Page1110 「図 35.57 コンデンサ接続方法 (52 ピン)」 の図中のパッケージコードを修正します。

(修正前)

PLQP0052JA-A

(修正後)

PLQP0052JA-B

## ■ Page1111 「図 35.58 コンデンサ接続方法 (48 ピン)」 の図中のパッケージコードを修正します。

(修正前)

PLQP0048KB-A

(修正後)

PLQP0048KB-B

## ■ Page1113 付録 2. 外形寸法図 を修正します。