

発行日：2019年1月16日

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	システムLSI	発行番号	TN-RIN-A028A/J	Rev.	第1版
題名	R-IN32M4シリーズ 各種ドキュメント改訂		情報分類	技術情報	
適用製品	R-IN32M4-CL2 (詳細は下記参照)	対象ロット等	関連資料	R-IN32M4-CL2 各ドキュメント (詳細は下記参照)	
		全ロット			

R-IN32M4-CL2 に関連する各ドキュメントの改訂について報告いたします。

お手数をおかけしますが、本内容についてご確認の上、ご使用くださいますようお願い致します。

なお、“※” マークがついている項目は、デバイスの仕様、制約等に関する重要な項目となります。

1 適用製品

製品分類	マーク型名	製品型名
R-IN32M4-CL2	R9J03G019GBG	R9J03G019GBG

2 関連資料

資料番号	資料名	文書番号	改訂前版数	改訂後版数
1	R-IN32M4-CL2 ユーザーズ・マニュアル	R18UZ0032JJ****	V1.02	V2.00
2	R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編	R18UZ0034JJ****	V2.00	V3.00
3	R-IN32M4-CL2 ユーザーズ・マニュアル ボード設計編	R18UZ0045JJ****	V1.00	V2.00
4	R-IN32M4-CL2 プログラミング・マニュアル ドライバ編	R18UZ0036JJ****	V2.01	V3.00
5	R-IN32 シリーズ ユーザーズ・マニュアル CC-Link リモートデバイス局編	R18UZ0055JJ****	V1.01	V1.02



3 改訂内容

(1/2)

資料番号	改訂番号	改訂箇所 (見出し番号)	該当ページ (改版前版番号)	内容
1	1-1	1.2 機能概要 2.1 端子一覧 2.1.14 トレース端子 2.5 各端子のバッファ・タイプと未使用端子処理 6 CC-Link IE Field (インテリジェントデバイス局) 機能	Page 3 Page 24 Page 27 Page 47 Page 60~62	機能追加
1	1-2	1.5 システム・レジスタ領域のベース・アドレス	—	補足
1	1-3	2.1.11 CC-Link 端子 (インテリジェントデバイス局)	Page 25	誤記訂正
1	1-4	3.メモリマップ	Page 50	誤記訂正
1	1-5	3.メモリマップ	Page 50 Page 53	注記追加
1	1-6	3.メモリマップ	Page 53	誤記訂正
1	1-7	7.2 ポートの構成	Page 64	表記変更
1	1-8	7.2 ポートの構成	Page 64	注記変更
1	1-9	8.8.4 外部マイコン・インタフェース端子 ※ (1) 同期モード	Page 129	誤記訂正
1	1-10	8.8.4 外部マイコン・インタフェース端子 ※ (4) 同期式 SRAM タイプ転送モード	Page 140	誤記訂正
1	1-11	8.8.4 外部マイコン・インタフェース端子 (4) 同期式 SRAM タイプ転送モード	Page 141~142	補足
1	1-12	8.8.5 シリアル・フラッシュ ROM インタフェース ※	Page 143	誤記訂正
2	2-1	2.3.4 リセット動作	Page 2-9	補足
2	2-2	5.1 ブート選択	Page 5-1	表記変更
2	2-3	8.3.4.1 MIIM レジスタ (GMAC_MIIM)	Page 8-9	表記変更
2	2-4	8.3.4.5 RX MODE レジスタ (GMAC_RXMODE)	Page 8-13	誤記訂正
2	2-5	8.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	Page 8-14	誤記訂正
2	2-6	8.3.4.6 TX MODE レジスタ (GMAC_TXMODE)	Page 8-14	誤記訂正
2	2-7	8.4.1.2 ハードウェア・ファンクション・コール発行処理フロー※	Page 8 - 31	補足
2	2-8	8.4.1.3 Buffer Allocator	Page 8 - 32	誤記訂正
2	2-9	8.4.1.3 Buffer Allocator	Page 8 - 35	誤記訂正
2	2-10	8.4.1.3 Buffer Allocator	Page 8 - 36	誤記訂正
2	2-11	8.4.1.4 MAC DMA コントローラ	Page 8 - 42	誤記訂正
2	2-12	8.4.1.4 MAC DMA コントローラ	Page 8 - 43	誤記訂正
2	2-13	8.4.1.4 MAC DMA コントローラ	Page 8 - 48	誤記訂正
2	2-14	8.4.1.4 MAC DMA コントローラ	Page 8 - 48	補足
2	2-15	8.4.1.5 バッファ RAM DMA コントローラ	Page 8 - 50	誤記訂正

(2/2)

資料番号	改訂番号	改訂箇所 (見出し番号)	該当ページ (改版前版番号)	内容
2	2-16	8.4.1.5 バッファ RAM DMA コントローラ	Page 8 - 50	誤記訂正
2	2-17	8.4.2 割り込み機能	Page 8 - 53	誤記訂正
2	2-18	8.4.2 割り込み機能	Page 8 - 54	補足
2	2-19	8.5 注意事項	—	注記追加
2	2-20	10.7 メモリ・アクセス・タイミング例	Page 10-19	誤記訂正
2	2-21	10.7 メモリ・アクセス・タイミング例	Page 10-18~22	表記変更
2	2-22	12.1 メモリマップ	Page 12-3	注記追加
2	2-23	12.1 メモリマップ	Page 12-3	誤記訂正
2	2-24	12.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)	Page 12-18 Page 12-19	誤記訂正
2	2-25	12.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)	Page 12-19	注記追加
2	2-26	12.2.5 制御レジスタ (4) HOSTIF ページ ROM 制御レジスタ (HIFPRC)	Page 12-21	誤記訂正
2	2-27	14.1.1 概要	Page 14-2	表記変更
2	2-28	14.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)	Page 14-80	注記追加
2	2-29	14.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTFR)	Page 14-86	注記追加
2	2-30	14.6 割り込み出力機能	Page 14-91	表記変更
2	2-31	20.4.2 マスタ/スレーブの接続	Page 20-38	表記変更
2	2-32	21.3 (6) IICBn ハイ・レベル幅設定レジスタ	Page 21-15	誤記訂正
2	2-33	21.6.1 シングル転送モード (3) シングル転送モード (スレーブ受信) の通信例	Page 21-43	誤記訂正
2	2-34	25.7 システム・プロテクト・コマンド・レジスタ (SYSPCMD)	Page 25-7	補足
2	2-35	25.11.1 ノイズ・フィルタ設定レジスタ (NFC0-4)	Page 25-18	誤記訂正
2	2-36	25.11.2 ノイズ・フィルタの動作	Page 25-23	誤記訂正
2	2-37	26 デバッグ機能	Page 26 - 1	表記変更
3	3-1	7 熱設計	Page 21	表記変更
3	3-2	7.3 注意事項	—	新規追加
3	3-3	15 CSIH 端子	—	新規追加
3	3-4	24 ノイズ対策	—	新規追加
4	4-1	3.2.1 メモリ配置	Page 12 Page 15	注記追加
4	4-2	3.2.1 メモリ配置	Page 12	誤記訂正
4	4-3	3.2.1 メモリ配置	Page 15	誤記訂正
4	4-4	6.4.1 IIC コントローラの初期化 ※	Page 33	誤記訂正
4	4-5	6.5.5 受信データ確認 (スレーブ用)	Page 44	誤記訂正
5	5-1	3 推奨部品	Page 4	補足
5	5-2	5 CC-Link(リモートデバイス局)対応端子	Page 6 Page 8	補足
5	5-3	6.1 占有局数設定	Page 9	補足
5	5-4	14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など	Page 69	補足

以上

No.1-1 1.2 機能概要[1/2]

CC-Link IE Field の機能へリモートデバイス局を追加、および CC-Link IE Field のインテリジェントデバイス局単体表記を削除

V1.02			V2.00																										
ページ	記載内容		ページ	改訂内容																									
3	【表 1.1 R-IN32M4-CL2 の機能概要(2/2)】 <table border="1"> <tr> <td>品名</td> <td>R-IN32M4-CL2</td> </tr> <tr> <td>項目</td> <td>CC-Link IE Field (インテリジェントデバイス局)</td> </tr> </table>		品名	R-IN32M4-CL2	項目	CC-Link IE Field (インテリジェントデバイス局)	3	【表 1.1 R-IN32M4-CL2 の機能概要(2/2)】 <table border="1"> <tr> <td>品名</td> <td>R-IN32M4-CL2</td> </tr> <tr> <td>項目</td> <td>CC-Link IE Field (インテリジェントデバイス局/リモートデバイス局)</td> </tr> </table>		品名	R-IN32M4-CL2	項目	CC-Link IE Field (インテリジェントデバイス局/リモートデバイス局)																
品名	R-IN32M4-CL2																												
項目	CC-Link IE Field (インテリジェントデバイス局)																												
品名	R-IN32M4-CL2																												
項目	CC-Link IE Field (インテリジェントデバイス局/リモートデバイス局)																												
24	【2.1 端子一覧】 2.1.10 CC-Link IE Field 端子 (インテリジェントデバイス局)		25	【2.1 端子一覧】 2.1.10 CC-Link IE Field 端子																									
27	【2.1.14 トレース端子】 注. CC-Link IE Field の端子と兼用しています。 兼用機能情報は「2.1.10 CC-Link IE Field 端子 (インテリジェントデバイス局)」を参照して下さい。 初期状態は入力信号であり、リセット(RSTOUTZ 端子)解除後、20cycle@BUSCLK で入力→出力に切り替わります。		28	【2.1.14 トレース端子】 注. CC-Link IE Field の端子と兼用しています。 兼用機能情報は「2.1.10 CC-Link IE Field 端子」を参照して下さい。 初期状態は入力信号であり、リセット(RSTOUTZ 端子)解除後、20cycle@BUSCLK で入力→出力に切り替わります。																									
47	【2.5 各端子のバッファ・タイプと未使用端子処理】 2.5.5 CC-Link IE Field 端子 (インテリジェントデバイス局)		48	【2.5 各端子のバッファ・タイプと未使用端子処理】 2.5.5 CC-Link IE Field 端子																									
60	【6 CC-Link IE Field (インテリジェントデバイス局) 機能】 6 CC-Link IE Field (インテリジェントデバイス局) 機能 【6 CC-Link IE Field (インテリジェントデバイス局) 機能】 6.1 CC-Link IE Field (インテリジェントデバイス局) 制御レジスタ 【表 6.2 バス制御機能のレジスタ概要】 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略号</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>CC-Link IE Field (インテリジェントデバイス局) バス・サイズ制御レジスタ</td> <td>CIEBSC</td> <td>400A 4004H</td> </tr> <tr> <td>CC-Link IE Field (インテリジェントデバイス局) バス・ブリッジ制御レジスタ</td> <td>CIESMC</td> <td>400A 4008H</td> </tr> <tr> <td>CC-Link IE Field (インテリジェントデバイス局) クロック・ゲート・レジスタ</td> <td>CIECLKGTD</td> <td>BASE + 0938H</td> </tr> </tbody> </table>		レジスタ名	略号	アドレス	CC-Link IE Field (インテリジェントデバイス局) バス・サイズ制御レジスタ	CIEBSC	400A 4004H	CC-Link IE Field (インテリジェントデバイス局) バス・ブリッジ制御レジスタ	CIESMC	400A 4008H	CC-Link IE Field (インテリジェントデバイス局) クロック・ゲート・レジスタ	CIECLKGTD	BASE + 0938H	61	【6 CC-Link IE Field 機能】 6 CC-Link IE Field 機能 【6 CC-Link IE Field 機能】 6.1 CC-Link IE Field 制御レジスタ 【表 6.2 バス制御機能のレジスタ概要】 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>略号</th> <th>アドレス</th> </tr> </thead> <tbody> <tr> <td>CC-Link IE Field バス・サイズ制御レジスタ</td> <td>CIEBSC</td> <td>400A 4004H</td> </tr> <tr> <td>CC-Link IE Field バス・ブリッジ制御レジスタ</td> <td>CIESMC</td> <td>400A 4008H</td> </tr> <tr> <td>CC-Link IE Field クロック・ゲート・レジスタ</td> <td>CIECLKGTD</td> <td>BASE + 0938H</td> </tr> </tbody> </table>		レジスタ名	略号	アドレス	CC-Link IE Field バス・サイズ制御レジスタ	CIEBSC	400A 4004H	CC-Link IE Field バス・ブリッジ制御レジスタ	CIESMC	400A 4008H	CC-Link IE Field クロック・ゲート・レジスタ	CIECLKGTD	BASE + 0938H
レジスタ名	略号	アドレス																											
CC-Link IE Field (インテリジェントデバイス局) バス・サイズ制御レジスタ	CIEBSC	400A 4004H																											
CC-Link IE Field (インテリジェントデバイス局) バス・ブリッジ制御レジスタ	CIESMC	400A 4008H																											
CC-Link IE Field (インテリジェントデバイス局) クロック・ゲート・レジスタ	CIECLKGTD	BASE + 0938H																											
レジスタ名	略号	アドレス																											
CC-Link IE Field バス・サイズ制御レジスタ	CIEBSC	400A 4004H																											
CC-Link IE Field バス・ブリッジ制御レジスタ	CIESMC	400A 4008H																											
CC-Link IE Field クロック・ゲート・レジスタ	CIECLKGTD	BASE + 0938H																											

No.1-1 1.2 機能概要[2/2]

CC-Link IE Field の機能へリモートデバイス局を追加、および CC-Link IE Field のインテリジェントデバイス局単体表記を削除

V1.02		V2.00	
ページ	記載内容	ページ	改訂内容
61	<p>【6 CC-Link IE Field(インテリジェントデバイス局)機能】 6.1.1 CC-Link IE Field(インテリジェントデバイス局)バス・サイズ制御レジスタ(CIEBSC) CIEBSC レジスタは、CC-Link IE Field(インテリジェントデバイス局)をアクセスするデータ・バス幅を設定します。CC-Link IE Field(インテリジェントデバイス局)を使用時には本レジスタに 0000 FFFFH を設定してください。</p> <p>【6 CC-Link IE Field(インテリジェントデバイス局)機能】 6.1.2 CC-Link IE Field(インテリジェントデバイス局)バス・ブリッジ制御レジスタ(CIESMC) CIESMC レジスタは、アクセス制御を行います。 CC-Link IE Field(インテリジェントデバイス局)の機能を使用時には必ず 0000 0050H を設定してください。</p>	62	<p>【6 CC-Link IE Field 機能】 6.1.1 CC-Link IE Field バス・サイズ制御レジスタ(CIEBSC) CIEBSC レジスタは、CC-Link IE Field をアクセスするデータ・バス幅を設定します。 CC-Link IE Field を使用時には本レジスタに 0000 FFFFH を設定してください。</p> <p>【6 CC-Link IE Field 機能】 6.1.2 CC-Link IE Field バス・ブリッジ制御レジスタ(CIESMC) CIESMC レジスタは、アクセス制御を行います。CC-Link IE Field の機能を使用時には必ず 0000 0050H を設定してください。</p>
62	<p>【6 CC-Link IE Field(インテリジェントデバイス局)機能】 6.1.3 CC-Link IE Field(インテリジェントデバイス局)クロック・ゲート・レジスタ(CIECLKGTD)</p>	63	<p>【6 CC-Link IE Field 機能】 6.1.3 CC-Link IE Field クロック・ゲート・レジスタ(CIECLKGTD)</p>

No.1-2 1.5 システム・レジスタ領域のベース・アドレス

ベース・アドレスに関する説明を追記

V1.02		V2.00	
ページ	記載内容	ページ	改訂内容
-	<p>【1.5 システム・レジスタ領域のベース・アドレス】 記載無し</p>	6	<p>【1.5 システム・レジスタ領域のベース・アドレス】 以降の章で記載されている各レジスタのアドレスの記載は、ベース・アドレスからの相対アドレスで記載しています。外部マイコン・インタフェースからアクセスする場合には D_0000H 番地、また CPU および DMA コントローラからのアクセスは、4001_0000H 番地がベース・アドレスになります。</p> <ul style="list-style-type: none"> ・CPU および DMA コントローラからのアクセスの場合 BASE = 4001_0000H ・外部マイコン・インタフェースからのアクセスの場合 BASE = D_0000H

No.1-3 2.1.11 CC-Link 端子 (インテリジェントデバイス局)

CC-Link(インテリジェントデバイス局)端子の機能説明変更

V1.02						V2.00							
ページ	記載内容					ページ	改訂内容						
25	【2.1.11 CC-Link 端子(インテリジェントデバイス局)】					26	【2.1.11 CC-Link 端子(インテリジェントデバイス局)】						
	機能名	端子名	入出力	機能説明	アクティブ		リセット中	機能名	端子名	入出力	機能説明	アクティブ	リセット中
	CCM_LINKERRZ	P20	出力	リンクエラーLED 制御出力	Low		Hi-Z (High)	CCM_LINKERRZ	P20	出力	リンクエラーLED 制御出力	Low	Hi-Z (High)
	CCM_ERRZ	P21	出力	エラーLED 制御出力				CCM_ERRZ	P21	出力	未使用		
	CCM_RUNZ	P26	出力	RUN LED 制御出力				CCM_RUNZ	P26	出力	RUN LED 制御出力		
	CCM_MDIN0- CCM_MDIN3	P62-P65	入力	伝送速度・モード設定スイッチ入力	—			CCM_MDIN0- CCM_MDIN3	P62-P65	入力	伝送速度設定入力	—	
	CCM_SNIN0- CCM_SNIN7	P70-P77	入力	局番設定スイッチ入力				CCM_SNIN0- CCM_SNIN7	P70-P77	入力	局番設定スイッチ入力		
	CCM_LNKRUNZ	P32	出力	リンク RUN LED 制御出力	Low			CCM_LNKRUNZ	P32	出力	リンク RUN LED 制御出力	Low	
	CCM_RDLEDZ	P33	出力	受信データ LED 制御出力				CCM_RDLEDZ	P33	出力	受信データ LED 制御出力		
	CCM_SDLEDZ	RP00	出力	送信データ LED 制御出力				CCM_SDLEDZ	RP00	出力	送信データ LED 制御出力		
	CCM_IRLZ	P43	出力	割り込み出力				CCM_IRLZ	P43	出力	通信回路からの割り込み信号出力		
	CCM_WDTENZ	P12	入力	ウォッチドック・タイマ・エラー入力				CCM_WDTENZ	P12	入力	ウォッチドック・タイマ・エラー入力		
	CCM_MSTZ	P66	出力	動作確認用 LED				CCM_MSTZ	P66	出力	未使用		
	CCM_SMSTZ	RP01	出力	待機マスタ LED 制御出力				CCM_SMSTZ	RP01	出力	未使用		
	CCM_RD	P54	入力	通信回路データ受信端子	—			CCM_RD	P54	入力	通信回路データ受信端子	—	
	CCM_SD	P56	出力	通信回路データ送信端子				CCM_SD	P56	出力	通信回路データ送信端子		
	CCM_SDGCZ	P57	出力	通信回路送信データ・ゲート制御端子	Low			CCM_SDGCZ	P57	出力	通信回路送信データ・ゲート制御端子	Low	
	CCM_STMON3	EXTP7	出力	ステータス出力	—			CCM_STMON3	EXTP7	出力	ステータス出力	—	
CCM_CLK80M	—	入力	CC-Link クロック入力 (80MHz)		—	CCM_CLK80M	—	入力	CC-Link クロック入力 (80MHz)		—		

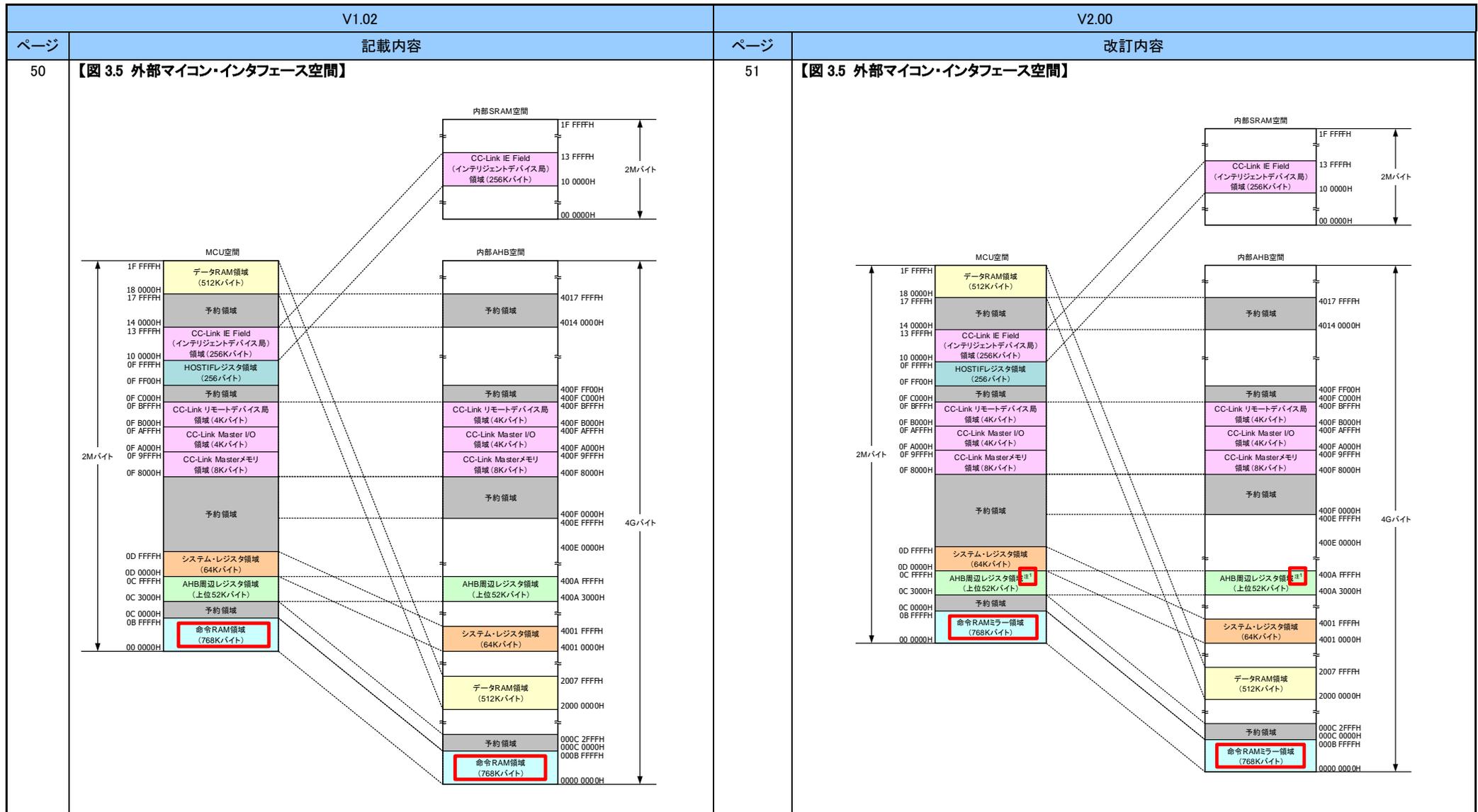
No.1-5 3.メモリ・マップ

命令 RAM ミラー領域に関する注意を追加

V1.02		V2.00																										
ページ	記載内容	ページ	改訂内容																									
50	<p>【図 3.1 メモリ・マップ(全体)】</p> <p>記載無し</p>	51	<p>【図 3.1 メモリ・マップ(全体)】</p> <p>注 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
53	<p>【図 3.5 外部マイコン・インタフェース空間】</p> <p>注.AHB 周辺レジスタ領域(上位 52K バイト)は、「GPIO」領域～「同期式バースト MEMC 制御レジスタ」領域を示します。詳細は「エラー! 参照元が見つかりません。エラー! 参照元が見つかりません。」を参照して下さい。</p>	54	<p>【図 3.5 外部マイコン・インタフェース空間】</p> <p>注 1.AHB 周辺レジスタ領域(上位 52K バイト)は、「GPIO」領域～「同期式バースト MEMC 制御レジスタ」領域を示します。詳細は「エラー! 参照元が見つかりません。エラー! 参照元が見つかりません。」を参照して下さい。</p> <p>2 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.1-6 3.メモリ・マップ

命令RAM領域を命令RAMミラー領域へ修正、およびAHB周辺レジスタ領域（上位52Kバイト）に対する誤記を修正



No.1-7 7.2 ポートの構成

ポート・ファンクション・コントロール・レジスタ/拡張レジスタの用途と動作の説明を変更

V1.02			V2.00		
ページ	記載内容		ページ	記載内容	
64	【7.2 ポートの構成】		65	【7.2 ポートの構成】	
	レジスタ名	用途と動作		レジスタ名	用途と動作
		リード ライト			リード ライト
	ポート・ファンクション・コントロール・レジスタ (PFCn、RPFCEm、EXTPFCEp)	2 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。		ポート・ファンクション・コントロール・レジスタ (PFCn、RPFCEm、EXTPFCEp)	兼用機能の選択状態を読み出します。 兼用機能を選択します。
	ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm、EXTPFCEp)	3 つ以上の兼用機能があるポートで、兼用機能のどれが選択されているかを読み出します。		ポート・ファンクション・コントロール拡張レジスタ (PFCEn、RPFCEm、EXTPFCEp)	

No.1-8 7.2 ポートの構成

ポート構成に関する注意の削除および変更

V1.02		V2.00	
ページ	記載内容	ページ	記載内容
64	【7.2 ポートの構成】	65	【7.2 ポートの構成】
	<p>注意 1 外部割り込み入力を含めて複数の機能と兼用されているポートは、PMCEn レジスタ、および RPFCEm レジスタでコントロール・モードを選択すると、その兼用機能が入力の場合は、兼用機能と同時に外部割り込み入力も兼用されます。</p> <p>2 兼用端子の割り当てがない設定を行った場合は動作保障外となります。例えば、P14 端子のように兼用機能 2 および 4 の割り当てが無い場合、PFC 及び PFCE レジスタを High に設定しても正常に動作しないため、ご注意ください。兼用端子割り当てに関しては「7.4 兼用機能選択一覧」を参照して下さい。</p>		<p>注意 兼用機能の割り当てが無い設定を行った場合の動作は保証されません。例えば、P00 端子のように兼用機能 2 の割り当てが無い場合、兼用機能 2 を選択しても正常に動作しないため、ご注意ください。兼用端子割り当てに関しては「7.4 兼用機能の選択一覧」を参照してください。</p>

No.1-9 8.8.4 外部マイコン・インタフェース端子 (1) 同期モード

HWAITZ 有効データ出力遅延時間(tDKHWTV)MAX 規格の変更

V1.02						V2.00						
ページ	記載内容					ページ	改訂内容					
129	【(1)同期モード】					132	【(1)同期モード】					
	番号	項目	略号	MIN	MAX		単位	番号	項目	略号	MIN	MAX
	13	HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑)	tDKHWTV	2.0	10.0	ns	13	HWAITZ 有効データ出力遅延時間 (対 HBUSCLK ↑)	tDKHWTV	2.0	11.0	ns

No.1-10 8.8.4 外部マイコン・インタフェース端子 (4) 同期式 SRAM タイプ転送モード

HWAITZ 有効データ出力遅延時間(tDKPHWT、tDKNHWT)MAX 規格の変更

V1.02						V2.00							
ページ	記載内容					ページ	改訂内容						
140	【(4) 同期式 SRAM タイプ転送モード】					143	【(4) 同期式 SRAM タイプ転送モード】						
	番号	項目	略号	MIN	MAX		単位	番号	項目	略号	MIN	MAX	単位
	28	HWAITZ 出力遅延時間 (対 HBUSCLK ↑)	tDKPHWT	2.0	10.0		ns	28	HWAITZ 出力遅延時間 (対 HBUSCLK ↑)	tDKPHWT	2.0	11.0	ns
	29	HWAITZ 出力遅延時間 (対 HBUSCLK ↓)	tDKNHWT	2.0	10.0	ns	29	HWAITZ 出力遅延時間 (対 HBUSCLK ↓)	tDKNHWT	2.0	11.0	ns	

No.1-11 8.8.4 外部マイコン・インタフェース端子 (4) 同期式 SRAM タイプ転送モード

ADMUXMODE=L のタイミング波形を追加し、ADMUXMODE=H のタイミング波形から ADMUXMODE=L 向けの規格を削除

V1.02		V2.00	
ページ	記載内容	ページ	改訂内容
—	記載なし	144	【図 8.17 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=L)】 タイミング波形を追加
—	記載なし	145	【図 8.18 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=L)】 タイミング波形を追加
141	【図 8.17 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=H)】	146	【図 8.19 外部マイコン・インタフェース・ライト・タイミング (MEMCSEL=H, ADMUXMODE=H)】 タイミング波形から、ADMUXMODE=L 向けの規格を削除 アドレス取得先がデータバス幅により異なる旨の備考を追加
142	【図 8.18 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=H)】	146	【図 8.20 外部マイコン・インタフェース・リード・タイミング (MEMCSEL=H, ADMUXMODE=H)】 タイミング波形から、ADMUXMODE=L 向けの規格を削除 アドレス取得先がデータバス幅により異なる旨の備考を追加

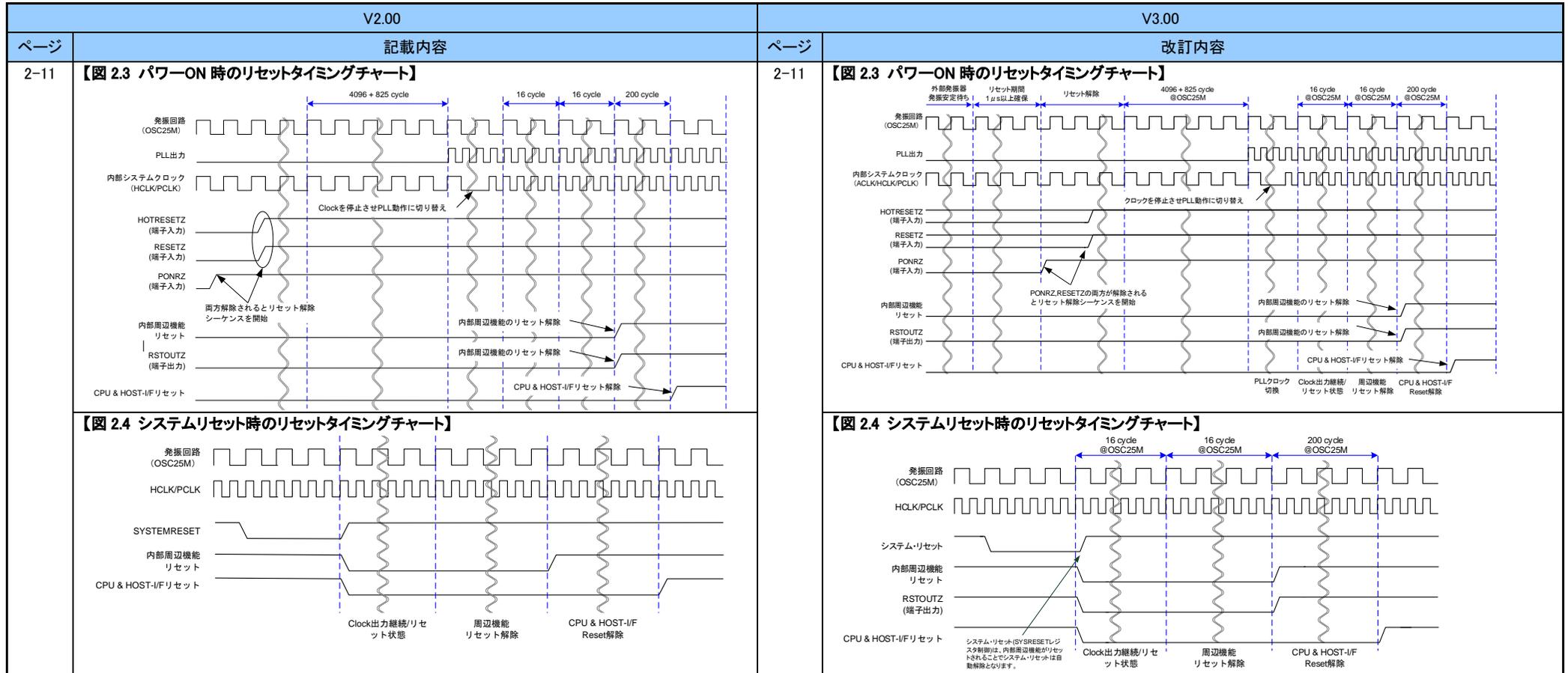
No.1-12 8.8.5 シリアル・フラッシュ ROM インタフェース

tDSMCCK、tDSMCKCS のスペックを変更

V1.02						V2.00						
ページ	記載内容					ページ	改訂内容					
143	【8.8.5 シリアル・フラッシュ ROM インタフェース】					148	【8.8.5 シリアル・フラッシュ ROM インタフェース】					
	項目	略号	条件	MIN	MAX	単位	項目	略号	条件	MIN	MAX	単位
	SMCSZ の立ち下りから SMSCK の立ち上がりまでの遅延時間	t _{DSMCCK}	C _L = 15pF Freq = 50MHz	7.5 ^注	—	ns	SMCSZ の立ち下りから SMSCK の立ち上がりまでの遅延時間	t _{DSMCCK}	C _L = 15pF Freq = 50MHz	6.0 ^注	—	ns
	SMSCK の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間	t _{DSMCKCS}	C _L = 15pF Freq = 50MHz	11.5 ^注	—	ns	SMSCK の立ち上がりに対する SMCSZ の立ち上がりまでの保持時間	t _{DSMCKCS}	C _L = 15pF Freq = 50MHz	9.0 ^注	—	ns

No.2-1 2.4 リセット動作

パワー-ON 時のリセットタイミングチャート、およびシステムリセット時のリセットタイミングチャートを変更



No.2-2 5.1 ブート選択

CSZ0 の表記を統一

V2.00				V3.00																																											
ページ	記載内容			ページ	改訂内容																																										
5-1	【表 5.1 ブート・モード選択】 <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>ブート領域の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>外部バス・インタフェースの STCSZ0 に接続されているメモリ</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>シリアル・フラッシュ ROM</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート (デバッグのみ使用可能)</td> <td>命令 RAM</td> </tr> </tbody> </table>			BOOT1	BOOT0	ブート・モード	ブート領域の選択	0	0	外部メモリ・ブート	外部バス・インタフェースの STCSZ0 に接続されているメモリ	0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	1	0	外部マイコン・ブート	命令 RAM	1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM	5-1	【表 5.1 ブート・モード選択】 <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>ブート領域の選択</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>外部バス・インタフェースの CSZ0 に接続されているメモリ</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>シリアル・フラッシュ ROM</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート (デバッグのみ使用可能)</td> <td>命令 RAM</td> </tr> </tbody> </table>			BOOT1	BOOT0	ブート・モード	ブート領域の選択	0	0	外部メモリ・ブート	外部バス・インタフェースの CSZ0 に接続されているメモリ	0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM	1	0	外部マイコン・ブート	命令 RAM	1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM
BOOT1	BOOT0	ブート・モード	ブート領域の選択																																												
0	0	外部メモリ・ブート	外部バス・インタフェースの STCSZ0 に接続されているメモリ																																												
0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM																																												
1	0	外部マイコン・ブート	命令 RAM																																												
1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM																																												
BOOT1	BOOT0	ブート・モード	ブート領域の選択																																												
0	0	外部メモリ・ブート	外部バス・インタフェースの CSZ0 に接続されているメモリ																																												
0	1	外部シリアル・フラッシュ ROM ブート	シリアル・フラッシュ ROM																																												
1	0	外部マイコン・ブート	命令 RAM																																												
1	1	命令 RAM ブート (デバッグのみ使用可能)	命令 RAM																																												
	【(1) 外部メモリ・ブート・モード】 外部バス・インタフェースの STCSZ0 に接続されているメモリからブートします。				【(1) 外部メモリ・ブート・モード】 外部バス・インタフェースの CSZ0 に接続されているメモリからブートします。																																										

No.2-3 8.3.4.1 MIIM レジスタ (GMAC MIIM)

注意文の文言を修正

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-9	【8.3.4.1 MIIM レジスタ(GMAC_MIIM)】 注意 本レジスタは、MAC セレクト・レジスタ (MACSEL) で設定されたマネージメントインタフェースにおいて有効です。その他の場合、書き込みは無効で読み出す値は不定になります。	8-9	【8.3.4.1 MIIM レジスタ(GMAC_MIIM)】 注意 本レジスタは、MAC セレクト・レジスタ (MACSEL) で汎用 Ethernet ポートが選択されている場合のみ有効です。その他の場合、書き込みは無効で読み出す値は不定になります。

No.2-4 8.3.4.5 RX MODE レジスタ (GMAC_RXMODE)

SFRXFIFO ビットの意味欄を変更

V2.00			V3.00		
ページ	記載内容		ページ	改訂内容	
8-13	【8.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】		8-13	【8.3.4.5 RX MODE レジスタ(GMAC_RXMODE)】	
	ビット位置	ビット名	意味		
	29	SFRXFIFO	Store & Forward For RX FIFO 1 : Store & Forward モード フレームの最後まで RX FIFO に書き込まれるまで、受信 DMA コントローラは動作を開始しません 0 : Cut Through モード		
				29	SFRXFIFO
					Store & Forward For RX FIFO 1 : Store & Forward モード RX FIFO にフレームの終わりまで書き込まれてから受信 DMA コントローラが動作を開始します 0 : Cut Through モード RX FIFO に RRTTH2-0 ビットで設定したワード数書き込まれると受信 DMA コントローラが動作を開始します

No.2-5 8.3.4.6 TXMODE レジスタ (GMAC_TXMODE)

SF ビットの意味欄を変更

V2.00			V3.00		
ページ	記載内容		ページ	改訂内容	
8-14	【8.3.4.6 TXMODE レジスタ(GMAC_TXMODE)】		8-14	【8.3.4.6 TXMODE レジスタ(GMAC_TXMODE)】	
	ビット位置	ビット名	意味		
	29	SF	Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : TX FIFO に FSTTH1-0 ビットで設定したワード数書き込まれると送信を開始します		
				29	SF
					Store & Forward 1 : TX FIFO にフレームの終わりまで書き込まれてから送信を開始します。TCP/IP Accelerator を使用する場合はこちらに設定する必要があります 0 : 設定禁止 ^{注2}
	<p>注. イーサネット・スイッチのマネージメント・タグ挿入機能を有効にしている場合 (ETHSWMTC レジスタ SWTAGEN ビット= “1”)、フレームの最大サイズ 1518 バイトを超える可能性があるため、LPTXEN を “1” に設定する必要があります。</p>			<p>注 1. イーサネット・スイッチのマネージメント・タグ挿入機能を有効にしている場合 (ETHSWMTC レジスタ SWTAGEN ビット= “1”)、フレームの最大サイズ 1518 バイトを超える可能性があるため、LPTXEN を “1” に設定する必要があります。 注 2. SF ビットの 0 設定は設定禁止です。必ず設定を 1へ変更してから動作を開始してください。詳細は「8.5.1 Cut Through モードにおける送信の問題」を参照してください。</p>	

No.2-7 8.4.1.2 ハードウェア・ファンクション・コール発行処理フロー
 フロー図の変更及び注記の追加

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-31	<p>【8.4.1.2 ハードウェア・ファンクション・コール発行処理フロー】</p> <pre> graph TD START([START]) --> A[ハードウェア・ファンクション・コール・パラメータ設定 (ハードウェア・ファンクション・引数レジスタ: R4-7)] A --> B[ハードウェア・ファンクション・コール発行 (ハードウェア・ファンクション・システム・コールレジスタ: SYSC)] B --> C[R0レジスタの読み出し] C --> D{R0[29] == 1?} D -- No --> C D -- Yes --> E[R1レジスタの読み出し] E --> END([END]) </pre> <p>図 8.3 ハードウェア・ファンクション・コール発行処理フロー</p>	8-31	<p>【8.4.1.2 ハードウェア・ファンクション・コール発行処理フロー】</p> <pre> graph TD START([START]) --> A[HW-RTOS割り込み(INT_HWRRTOS)のディスイネブル注] A --> B[ハードウェア・ファンクション・コール・パラメータ設定 (ハードウェア・ファンクション・引数レジスタ: R4-7)] B --> C[ハードウェア・ファンクション・コール発行 (ハードウェア・ファンクション・システム・コールレジスタ: SYSC)] C --> D[R0レジスタの読み出し] D --> E{R0[29] == 1?} E -- No --> D E -- Yes --> F[R1レジスタの読み出し] F --> G[HW-RTOS割り込み(INT_HWRRTOS)のイネーブル注] G --> END([END]) </pre> <p>図 8.3 ハードウェア・ファンクション・コール発行処</p> <p>注: ハードウェア・リアルタイム OS を使用している場合のみ必要な処理です。</p>

No.2-8 8.4.1.3 Buffer Allocator

Exception 発生に関する文言を変更

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-32	<p>【(1) 機能概要】 バッファ RAM を使用するには、Buffer Allocator が提供する Hardware Function Call を行い、必要な領域（以下 Buffer）をあらかじめ確保しなければなりません。確保していない領域に書き込みを行った場合、CPU からの書き込みは無視されますが、ハードウェアファンクションの DMA がアクセスした場合には Exception が発生します。</p>	8-32	<p>【(1) 機能概要】 バッファ RAM を使用するには、Buffer Allocator が提供する Hardware Function Call を行い、必要な領域（以下 Buffer）をあらかじめ確保しなければなりません。確保していない領域に書き込みを行った場合、CPU と MAC DMA コントローラからのアクセスは割り込みを発生します。バッファ RAM DMA コントローラからのアクセスの場合は、Hardware Function Call の種類により、割り込みを発生するタイプと、戻り値レジスタ R0 に Exception を返すタイプがあります。</p>

No.2-9 8.4.1.3 Buffer Allocator

HWFNC_LongBuffer_Get の戻り値レジスタ R1 を修正

V2.00		V3.00							
ページ	記載内容	ページ	改訂内容						
8-35	<p>【表 8.3 HWFNC_LongBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26] 1 [25:18] LLID [17: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 1 [25:18] LLID [17: 0] 0	8-35	<p>【表 8.3 HWFNC_LongBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26:24] 3'b100 [23:18] LLID [17: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:24] 3'b100 [23:18] LLID [17: 0] 0
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 1 [25:18] LLID [17: 0] 0							
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:24] 3'b100 [23:18] LLID [17: 0] 0							

No.2-10 8.4.1.3 Buffer Allocator

HWFNC_ShortBuffer_Get の戻り値レジスタ R1 を修正

V2.00		V3.00							
ページ	記載内容	ページ	改訂内容						
8-36	<p>【表 8.4 HWFNC_ShortBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26] 0 [25:18] SBID [18: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 0 [25:18] SBID [18: 0] 0	8-36	<p>【表 8.4 HWFNC_ShortBuffer_Get】</p> <table border="1"> <tr> <td>R1[31:0]</td> <td>Buffer 先頭論理アドレス</td> <td>[31:27] 5'b00001 [26:25] 2'b00 [24:18] SBID [17: 0] 0</td> </tr> </table>	R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:25] 2'b00 [24:18] SBID [17: 0] 0
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26] 0 [25:18] SBID [18: 0] 0							
R1[31:0]	Buffer 先頭論理アドレス	[31:27] 5'b00001 [26:25] 2'b00 [24:18] SBID [17: 0] 0							

No.2-11 8.4.1.4 MAC DMA コントローラ

バッファ読み出しと解放手順中の誤記修正

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-42	<p>【(b)使用方法】</p> <p>① BUFID レジスタを Read します。</p> <p>② Read された BUFID の[27:16]を、16 ビット右シフトすると受信ワード数になります。</p> <p>③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。</p> <p>[31:27] : 00001b</p> <p>[26:19] : BUFID の[15:8]に相当 (先頭アドレスの[26]は常に 1、[25:19]は LLID[6:0])</p> <p>[18:11] : BUFID の[7:0]に相当 (常に 0)</p> <p>[10: 0] : 常に 0</p> <p>④ バッファ使用後は、先頭アドレスを引数にして BufferRelease ファンクションコールを発行し、バッファを解放します。</p>	8-42	<p>【(b)使用方法】</p> <p>① BUFID レジスタを Read します。</p> <p>② Read された BUFID の[27:16]を、16 ビット右シフトすると受信ワード数になります。</p> <p>③ Read された BUFID の[15:0]は、獲得したバッファ先頭アドレスの[26:11]です。獲得したバッファ先頭アドレスの各ビットは、以下のように構成されます。</p> <p>[31:27] : 00001b</p> <p>[26:18] : BUFID の[15:7]に相当</p> <p>[17:11] : BUFID の[6:0]に相当</p> <p>[10: 0] : 常に 0</p> <p>④ バッファ使用後は、先頭アドレスを引数にして BufferRelease ファンクションコールを発行し、バッファを解放します。</p>

No.2-12 8.4.1.4 MAC DMA コントローラ

受信 MAC DMA 機能の Hardware Function Call 一覧の説明文を修正

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-43	<p>【(c)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にアクセス禁止領域 (バッファ RAM 以外の領域、等)へアクセスが発生した場合には、Exception を戻り値レジスタ R0 に返します。</p>	8-43	<p>【(c)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。</p>

No.2-13 8.4.1.4 MAC DMA コントローラ

送信 MAC DMA 機能の Hardware Function Call 一覧の説明文を修正

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-48	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p>	8-48	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。Hardware Function Call の動作中にエラーが発生した場合には、割り込みが発生します。</p>

No.2-14 8.4.1.4 MAC DMA コントローラ

HWFNC_MACDMA_TX_Errstat の戻り値レジスタ R0 の各 bit の発生条件の追記、ビット幅誤記の修正

V2.00		V3.00													
ページ	記載内容	ページ	改訂内容												
8-48	<p>【表 8.12 HWFNC_MACDMA_TX_Errstat】</p> <table border="1"> <tr> <td>R0[3:0]</td> <td>Result</td> <td>[0]: Memory Access Violation [1]: Memory Access Timeout</td> </tr> <tr> <td>R0[28:4]</td> <td>未使用</td> <td>All 0</td> </tr> </table>	R0[3:0]	Result	[0]: Memory Access Violation [1]: Memory Access Timeout	R0[28:4]	未使用	All 0	8-49	<p>【表 8.12 HWFNC_MACDMA_TX_Errstat】</p> <table border="1"> <tr> <td>R0[1:0]</td> <td>Result</td> <td>[0]: Memory Access Violation <ul style="list-style-type: none"> ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout <ul style="list-style-type: none"> ・送信用ディスクリプタの最初のアドレスが終了値(FFFF FFFFh) ・Buffer の自動開放機能による Buffer のリリースが失敗 </td> </tr> <tr> <td>R0[28:2]</td> <td>未使用</td> <td>All 0</td> </tr> </table>	R0[1:0]	Result	[0]: Memory Access Violation <ul style="list-style-type: none"> ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout <ul style="list-style-type: none"> ・送信用ディスクリプタの最初のアドレスが終了値(FFFF FFFFh) ・Buffer の自動開放機能による Buffer のリリースが失敗 	R0[28:2]	未使用	All 0
R0[3:0]	Result	[0]: Memory Access Violation [1]: Memory Access Timeout													
R0[28:4]	未使用	All 0													
R0[1:0]	Result	[0]: Memory Access Violation <ul style="list-style-type: none"> ・未獲得のバッファへのアクセス ・転送バイト数不正 ・ディスクリプタの先頭アドレスが 64 ビット境界でない [1]: Memory Access Timeout <ul style="list-style-type: none"> ・送信用ディスクリプタの最初のアドレスが終了値(FFFF FFFFh) ・Buffer の自動開放機能による Buffer のリリースが失敗 													
R0[28:2]	未使用	All 0													

No.2-15 8.4.1.5 バッファ RAM DMA コントローラ

DMA 転送機能の Hardware Function Call 一覧の説明文を修正

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
8-50	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にアクセス禁止領域(バッファ RAM 以外の領域、等)へアクセスが発生した場合には、Exception を戻り値レジスタ R0 に返します。</p>	8-51	<p>【(d)Hardware Function Call 一覧】</p> <p>Hardware Function Call の引数が不正である場合には、Invalid System Call を戻り値レジスタ R0 に返します。</p> <p>Hardware Function Call の動作中にアクセス禁止領域(バッファ RAM 以外の領域、等)へアクセスが発生した場合には、HWFNC_Direct_Memory_Transfer および HWFNC_Direct_Memory_Replace は Exception を戻り値レジスタ R0 に返し、HWFNC_INTBUFF_DMA_Start および HWFNC_INTBUFF_DMA_Start(ディスクリプタ)は Exception による割り込みが発生します。</p>

No.2-16 8.4.1.5 バッファ RAM DMA コントローラ

HWFNC_Direct_Memory_Transfer の戻り値レジスタ R4、R5 の説明を修正

V2.00		V3.00													
ページ	記載内容	ページ	改訂内容												
8-50	<p>【表 8.13 HWFNC_Direct_Memory_Transfer】</p> <p>引数レジスタ</p> <table border="1"> <tr> <td>R4[31:0]</td> <td>転送先先頭アドレス</td> <td>転送先アドレスを指定します。</td> </tr> <tr> <td>R5[31:0]</td> <td>転送元先頭アドレス</td> <td>転送元アドレスを指定します。</td> </tr> </table>	R4[31:0]	転送先先頭アドレス	転送先アドレスを指定します。	R5[31:0]	転送元先頭アドレス	転送元アドレスを指定します。	8-51	<p>【表 8.13 HWFNC_Direct_Memory_Transfer】</p> <p>引数レジスタ</p> <table border="1"> <tr> <td>R4[31:0]</td> <td>転送元先頭アドレス</td> <td>転送元アドレスを指定します。</td> </tr> <tr> <td>R5[31:0]</td> <td>転送先先頭アドレス</td> <td>転送先アドレスを指定します。</td> </tr> </table>	R4[31:0]	転送元先頭アドレス	転送元アドレスを指定します。	R5[31:0]	転送先先頭アドレス	転送先アドレスを指定します。
R4[31:0]	転送先先頭アドレス	転送先アドレスを指定します。													
R5[31:0]	転送元先頭アドレス	転送元アドレスを指定します。													
R4[31:0]	転送元先頭アドレス	転送元アドレスを指定します。													
R5[31:0]	転送先先頭アドレス	転送先アドレスを指定します。													

No.2-17 8.4.2 割り込み機能

MAC DMA 送信エラー発生条件を修正

V2.00			V3.00			
ページ	記載内容		ページ	改訂内容		
8-53	【表 8.16 送信動作に関する割り込み】		8-54	【表 8.16 送信動作に関する割り込み】		
	割り込み名称	シンボル	発生条件／クリア条件	割り込み名称	シンボル	発生条件／クリア条件
	MACDMA送信エラー 割り込み	INTETHTXDERR	ディスクリプタのアドレス・フィールドがバッファ範囲外、または転送バイト数が不正、またはディスクリプタの先頭アドレスが64ビット境界でない場合、に発生します。 送信ディスクリプタを修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。	MACDMA送信エラー 割り込み	INTETHTXDERR	送信MACDMA動作時にエラーが発生したことを示します。 エラー要因は複数ありHWFNC_MACDMA_TX_Errstatでエラー要因を取得します。 送信ディスクリプタを修正し、再度送信を行ってください。 パルスで発生するため、要因のクリア処理は不要です。

No.2-18 8.4.2 割り込み機能

Buffer RAM 領域アクセスエラー発生条件/クリア条件を追記

V2.00			V3.00		
ページ	記載内容		ページ	改訂内容	
8-54	【表 8.19 その他の動作に関する割り込み】		8-55	【表 8.19 その他の動作に関する割り込み】	
	割り込み名称	シンボル	発生条件/クリア条件		
	記載無し				
	割り込み名称	シンボル	発生条件/クリア条件		
	Buffer RAM 領域アクセスエラー	INTBRAMERR	CPU から獲得されていないバッファ領域へアクセスした場合に発生します。パルスで発生するため、要員のクリア処理は不要です。		

No.2-19 8.5 注意事項

Cut Through モードにおける送信の問題、および Jumbo フレームに関する注意事項を追加

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
-	【8.5.5 Cut Through モードにおける送信の問題】	8-82	【8.5.5 Cut Through モードにおける送信の問題】
	記載無し		TX Mode レジスタ(GMAC_TXMODE)の SF ビット(ビット 29)を 0 に設定した場合、意図しない TX FIFO アンダーフロー割り込みが発生する可能性があります。そのため、SF ビットは必ず 1 (Store & Forward モード) 固定で使用してください。
	【8.5.6 Jumbo フレームについて】		【8.5.6 Jumbo フレームについて】
	記載無し		本製品は 1,518byte を超えるフレームサイズ、いわゆる Jumbo フレームの送受信には対応していません。

No.2-20 10.7 メモリ・アクセス・タイミング例

SRAM ライト・サイクル時のアドレス設定ウェイト数に関する説明と図の矛盾を修正

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
10-19	<p>【図 10.11 SRAM ライト・サイクル(ウェイトなし)】</p> <p>BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : WWn3-WWn0 = 0000B/0001B (1 ウェイト), DWn3-DWn0 = 0000B (0 ウェイト), ACn3-ACn0 = 0000B/0001B (0 ウェイト)</p>	10-19	<p>【図 10.11 SRAM ライト・サイクル(ウェイトなし)】</p> <p>BSC : SBS3-SBS0 = 1111B (32 ビット), SMCn : WWn3-WWn0 = 0000B/0001B (1 ウェイト), DWn3-DWn0 = 0000B (0 ウェイト), ACn3-ACn0 = 0000B/0001B (1 ウェイト)</p>

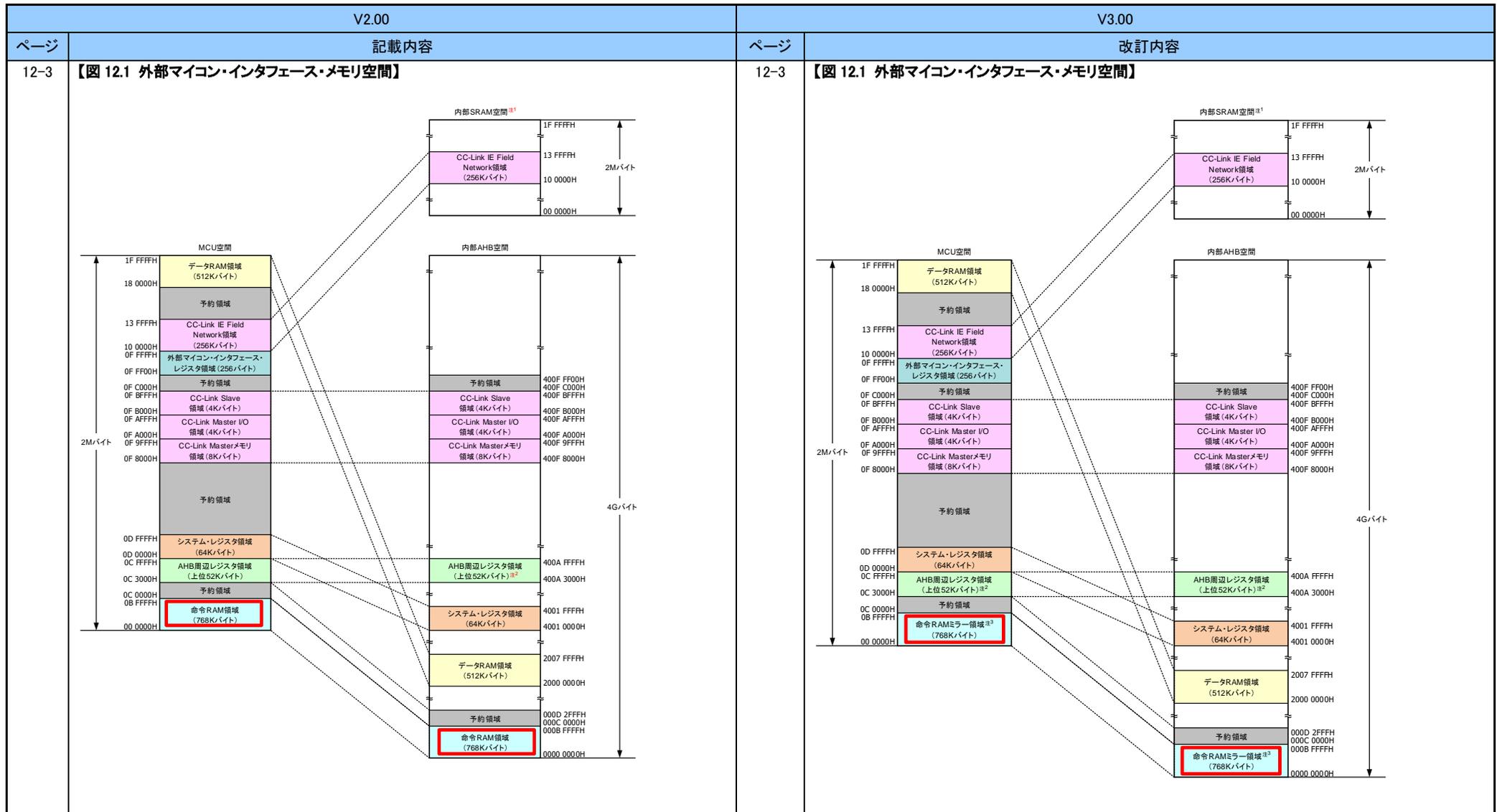
No.2-21 10.7 メモリ・アクセス・タイミング例

CSZn の表記を統一

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
10-18 ～ 10-22	<p>【10.7 メモリ・アクセス・タイミング例】 以下の図中表記は「STCSZn」。</p> <ul style="list-style-type: none"> 図 10.8 SRAM リード・サイクル 図 10.9 SRAM リード・サイクル(ウエイト設定あり) 図 10.10 SRAM リード・サイクル(外部ウエイト挿入) 図 10.11 SRAM ライト・サイクル(ウエイトなし) 図 10.12 SRAM ライト・サイクル(ウエイトあり) 図 10.13 SRAM ライト・サイクル(外部ウエイト挿入) 図 10.14 ページ ROM リード・サイクル(シングル転送) 図 10.15 ページ ROM リード・サイクル(4 バースト転送) 	10-18 ～ 10-22	<p>【10.7 メモリ・アクセス・タイミング例】 以下の図中表記は「CSZn」。</p> <ul style="list-style-type: none"> 図 10.8 SRAM リード・サイクル 図 10.9 SRAM リード・サイクル(ウエイト設定あり) 図 10.10 SRAM リード・サイクル(外部ウエイト挿入) 図 10.11 SRAM ライト・サイクル(ウエイトなし) 図 10.12 SRAM ライト・サイクル(ウエイトあり) 図 10.13 SRAM ライト・サイクル(外部ウエイト挿入) 図 10.14 ページ ROM リード・サイクル(シングル転送) 図 10.15 ページ ROM リード・サイクル(4 バースト転送)

No.2-22 12.1 メモリマップ

命令RAM領域を命令RAMミラー領域へ修正



No.2-23 12.1 メモリマップ

命令 RAM ミラー領域に関する注意を追加

V2.00		V3.00																										
ページ	記載内容	ページ	改訂内容																									
12-3	<p>【12.1 メモリ MAP】</p> <p>注 1. 同期 SRAM 対応 MCU 接続モード時のみ CC-Link IE Field Network 領域にアクセス可能です。</p> <p>2. MCU 空間からアクセス可能な AHB 周辺レジスタ領域は、「GPIO~同期式パースト MEMC 制御レジスタ」までの上位 52KB になります。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル」の「図 3.1 メモリ・マップ (全体)」を参照して下さい。</p>	12-4	<p>【12.1 メモリ MAP】</p> <p>注 1. 同期 SRAM 対応 MCU 接続モード時のみ CC-Link IE Field Network 領域にアクセス可能です。</p> <p>2. MCU 空間からアクセス可能な AHB 周辺レジスタ領域は、「GPIO~同期式パースト MEMC 制御レジスタ」までの上位 52KB になります。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル」の「図 3.1 メモリ・マップ (全体)」を参照して下さい。</p> <p>3. 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. バス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.2-24 12.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)

命令 RAM 領域を命令 RAM ミラー領域へ修正

V2.00				V3.00																															
ページ	記載内容			ページ	記載内容																														
12-18	【(2) HOSTIF バス制御レジスタ(HIFBCC)】 <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>RBUFON1</td> <td>命令 RAM 領域への先読み機能の ON/OFF を設定します。 0: 先読み機能無効 1: 先読み機能有効</td> </tr> </tbody> </table>			ビット位置	ビット名	意味	1	RBUFON1	命令 RAM 領域への先読み機能の ON/OFF を設定します。 0: 先読み機能無効 1: 先読み機能有効	12-19	【(2) HOSTIF バス制御レジスタ(HIFBCC)】 <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>RBUFON1</td> <td>命令 RAM ミラー領域への先読み機能の ON/OFF を設定します。 0: 先読み機能無効 1: 先読み機能有効</td> </tr> </tbody> </table>			ビット位置	ビット名	意味	1	RBUFON1	命令 RAM ミラー 領域への先読み機能の ON/OFF を設定します。 0: 先読み機能無効 1: 先読み機能有効																
ビット位置	ビット名	意味																																	
1	RBUFON1	命令 RAM 領域への先読み機能の ON/OFF を設定します。 0: 先読み機能無効 1: 先読み機能有効																																	
ビット位置	ビット名	意味																																	
1	RBUFON1	命令 RAM ミラー 領域への先読み機能の ON/OFF を設定します。 0: 先読み機能無効 1: 先読み機能有効																																	
12-19	【(2) HOSTIF バス制御レジスタ(HIFBCC)】 <table border="1"> <thead> <tr> <th rowspan="2">対象マクロ</th> <th colspan="2">アドレス範囲</th> <th colspan="2">関連許可ビット</th> </tr> <tr> <th>MPU 空間</th> <th>内部 AHB 空間</th> <th>先読み</th> <th>PageROM</th> </tr> </thead> <tbody> <tr> <td>命令 RAM 領域</td> <td>0B FFFFH ~ 00 0000H</td> <td>000B FFFFH ~ 0000 0000H</td> <td>HIFBCC. RBUFON1</td> <td>HIFPRC. PAGEON1</td> </tr> </tbody> </table>			対象マクロ	アドレス範囲		関連許可ビット		MPU 空間	内部 AHB 空間	先読み	PageROM	命令 RAM 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1	12-20	【(2) HOSTIF バス制御レジスタ(HIFBCC)】 <table border="1"> <thead> <tr> <th rowspan="2">対象マクロ</th> <th colspan="2">アドレス範囲</th> <th colspan="2">関連許可ビット</th> </tr> <tr> <th>MPU 空間</th> <th>内部 AHB 空間</th> <th>先読み</th> <th>PageROM</th> </tr> </thead> <tbody> <tr> <td>命令 RAM ミラー領域</td> <td>0B FFFFH ~ 00 0000H</td> <td>000B FFFFH ~ 0000 0000H</td> <td>HIFBCC. RBUFON1</td> <td>HIFPRC. PAGEON1</td> </tr> </tbody> </table>			対象マクロ	アドレス範囲		関連許可ビット		MPU 空間	内部 AHB 空間	先読み	PageROM	命令 RAM ミラー 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1
対象マクロ	アドレス範囲		関連許可ビット																																
	MPU 空間	内部 AHB 空間	先読み	PageROM																															
命令 RAM 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1																															
対象マクロ	アドレス範囲		関連許可ビット																																
	MPU 空間	内部 AHB 空間	先読み	PageROM																															
命令 RAM ミラー 領域	0B FFFFH ~ 00 0000H	000B FFFFH ~ 0000 0000H	HIFBCC. RBUFON1	HIFPRC. PAGEON1																															

No.2-25 12.2.5 制御レジスタ (2) HOSTIF バス制御レジスタ (HIFBCC)

先読み機能有効時に命令 RAM ミラー領域へアクセスする場合の注意を追加

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
12-19	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <p>注意. 対象マクロに応じて、先読み機能を有効に設定しても先読みできない領域があります。</p>	12-20	<p>【(2) HOSTIF バス制御レジスタ(HIFBCC)】</p> <p>注意 1. 対象マクロに応じて、先読み機能を有効に設定しても先読みできない領域があります。 2. 先読み機能有効時に命令 RAM ミラー領域の最終 16 バイト領域をリード・アクセスすると、HERROUTZ 端子がアサートされますのでご注意ください。</p>

No.2-26 12.2.5 制御レジスタ (4) HOSTIF ページ ROM 制御レジスタ (HIFPRC)

命令 RAM 領域を命令 RAM ミラー領域へ修正

V2.00		V3.00													
ページ	記載内容	ページ	改訂内容												
12-21	<p>【(4) HOSTIF ページ ROM 制御レジスタ(HIFPRC)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PAGEON1</td> <td>命令 RAM 領域への PageROM 読み出しの ON/OFF を設定します。 0 : SRAM 読み出し 1 : PageROM 読み出し</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	1	PAGEON1	命令 RAM 領域への PageROM 読み出しの ON/OFF を設定します。 0 : SRAM 読み出し 1 : PageROM 読み出し	12-22	<p>【(4) HOSTIF ページ ROM 制御レジスタ(HIFPRC)】</p> <table border="1"> <thead> <tr> <th>ビット位置</th> <th>ビット名</th> <th>意味</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>PAGEON1</td> <td>命令 RAM ミラー領域への PageROM 読み出しの ON/OFF を設定します。 0 : SRAM 読み出し 1 : PageROM 読み出し</td> </tr> </tbody> </table>	ビット位置	ビット名	意味	1	PAGEON1	命令 RAM ミラー領域への PageROM 読み出しの ON/OFF を設定します。 0 : SRAM 読み出し 1 : PageROM 読み出し
ビット位置	ビット名	意味													
1	PAGEON1	命令 RAM 領域への PageROM 読み出しの ON/OFF を設定します。 0 : SRAM 読み出し 1 : PageROM 読み出し													
ビット位置	ビット名	意味													
1	PAGEON1	命令 RAM ミラー領域への PageROM 読み出しの ON/OFF を設定します。 0 : SRAM 読み出し 1 : PageROM 読み出し													

No.2-27 14.1.1 概要

スキップ機能説明の文言を他章と統一

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
14-2	<p>【14.1.1 概要】 ○スキップ機能 DMA 転送でアクセスする領域に対し、連続アクセス・サイズと離散アクセス・サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスを離散アクセス・サイズで設定サイズ分スキップできます。</p>	14-2	<p>【14.1.1 概要】 ○スキップ機能 DMA 転送でアクセスする領域に対し、連続アクセス・サイズとスキップ空間サイズをそれぞれ設定可能です。連続アクセス・サイズで設定サイズ分アクセスしたあと、次にアクセスするアドレスをスキップ空間サイズで設定サイズ分スキップできます。</p>

No.2-28 14.4.5 DMA 転送インタフェース信号制御レジスタ (DMAIFC0,DMAIFC1,RTDMAIFC)

RQMN4-RQMN0 ビットおよび AKWD4-AKWD0 ビット説明欄中の添え字誤記を修正

V2.00			V3.00			
ページ	記載内容		ページ	改訂内容		
14-80	【DMAIFC0 および DMAIFC1 の詳細説明】		14-80	【DMAIFC0 および DMAIFC1 の詳細説明】		
	ビット位置	ビット名	意味			
31	DIFEN	DMA 転送インタフェース信号制御機能の許可/禁止を選択します。 0: 機能禁止 (初期値) 1: 機能許可		31	DIFEN	DMA 転送インタフェース信号制御機能の許可/禁止を選択します。 0: 機能禁止 (初期値) 1: 機能許可
30-13	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されず。)		30-13	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されず。)
12-8	RQMK4-RQMK0	DMA 転送要求信号 (DMAREQZp) のマスク幅 ^{#1} を BUSCLK 単位で設定します。		12-8	RQMK4-RQMK0	DMA 転送要求信号 (DMAREQZp) のマスク幅 ^{#1} を BUSCLK 単位で設定します。
	RQMK4	RQMK3	RQMK2	RQMK1	RQMK0	DMAREQZp 信号のマスク幅 ^{#1}
	0	0	0	0	0	0×BUSCLK 周期 (初期値)
	0	0	0	0	1	1×BUSCLK 周期
	0	0	0	1	0	2×BUSCLK 周期
	:					:
	1	1	1	1	0	30×BUSCLK 周期
	1	1	1	1	1	31×BUSCLK 周期
7-5	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されず。)		7-5	—	Reserved (ライトは0を書き込んでください。リードは0が読み出されず。)
4-0	AKWD4-AKWD0	DMA アクノリッジ信号 (DMAACKZp) のアクティブ・レベル幅 ^{#2} を BUSCLK 単位で設定します。		4-0	AKWD4-AKWD0	DMA アクノリッジ信号 (DMAACKZp) のアクティブ・レベル幅 ^{#2} を BUSCLK 単位で設定します。
	AKWD4	AKWD3	AKWD2	AKWD1	AKWD0	DMAACKZp 信号のアクティブ・レベル幅 ^{#2}
	0	0	0	0	0	+0×BUSCLK 周期 (初期値)
	0	0	0	0	1	+1×BUSCLK 周期
	0	0	0	1	0	+2×BUSCLK 周期
	:					:
	1	1	1	1	0	+30×BUSCLK 周期
	1	1	1	1	1	+31×BUSCLK 周期

No.2-29 14.4.6 DMA トリガ要因選択レジスタ (DTFRn, RTDTR)

DMA 転送トリガ要因に外部 DMA 転送要求入力を選択する際の注記を追加

V2.00		V3.00																	
ページ	記載内容	ページ	改訂内容																
14-86	<p>【14.4.6 DMAトリガ要因選択レジスタ(DTFRn, RTDTR)】</p> <table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr> <td>01H</td> <td>DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)</td> </tr> <tr> <td>02H</td> <td>DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)</td> </tr> <tr> <td>03H</td> <td>RTDMAREQZ 端子 (DMA 転送要求) 入力 (RTDTR レジスタのみ設定有効)</td> </tr> </tbody> </table> <p>【14.4.6 DMAトリガ要因選択レジスタ(DTFRn, RTDTR)】</p> <p>記載なし</p>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	01H	DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)	02H	DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)	03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 (RTDTR レジスタのみ設定有効)	14-86	<p>【14.4.6 DMAトリガ要因選択レジスタ(DTFRn, RTDTR)】</p> <table border="1"> <thead> <tr> <th>IFCn6-IFCn0</th> <th>DMA 転送トリガ要因の選択</th> </tr> </thead> <tbody> <tr> <td>01H</td> <td>DMAREQZ0 端子 (DMA 転送要求) 入力^注</td> </tr> <tr> <td>02H</td> <td>DMAREQZ1 端子 (DMA 転送要求) 入力^注</td> </tr> <tr> <td>03H</td> <td>RTDMAREQZ 端子 (DMA 転送要求) 入力^注</td> </tr> </tbody> </table> <p>【14.4.6 DMAトリガ要因選択レジスタ(DTFRn, RTDTR)】</p> <p>注. DMA 転送トリガ要因に外部 DMA 転送要求入力(DMAREQZ0 端子入力、DMAREQZ1 端子入力、RTDMAREQZ 端子入力)を設定可能なレジスタは、以下の組み合わせです。 DMAREQZ0 端子 : DTFR0 レジスタ DMAREQZ1 端子 : DTFR1 レジスタ RTDMAREQZ 端子 : RTDTR レジスタ</p>	IFCn6-IFCn0	DMA 転送トリガ要因の選択	01H	DMAREQZ0 端子 (DMA 転送要求) 入力 ^注	02H	DMAREQZ1 端子 (DMA 転送要求) 入力 ^注	03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 ^注
IFCn6-IFCn0	DMA 転送トリガ要因の選択																		
01H	DMAREQZ0 端子 (DMA 転送要求) 入力 (DTFR0 レジスタのみ設定有効)																		
02H	DMAREQZ1 端子 (DMA 転送要求) 入力 (DTFR1 レジスタのみ設定有効)																		
03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 (RTDTR レジスタのみ設定有効)																		
IFCn6-IFCn0	DMA 転送トリガ要因の選択																		
01H	DMAREQZ0 端子 (DMA 転送要求) 入力 ^注																		
02H	DMAREQZ1 端子 (DMA 転送要求) 入力 ^注																		
03H	RTDMAREQZ 端子 (DMA 転送要求) 入力 ^注																		

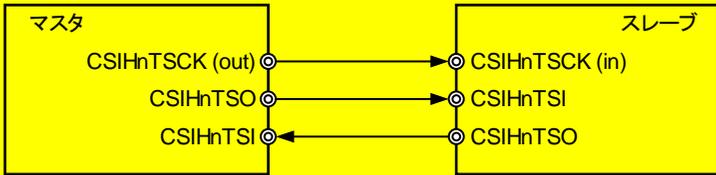
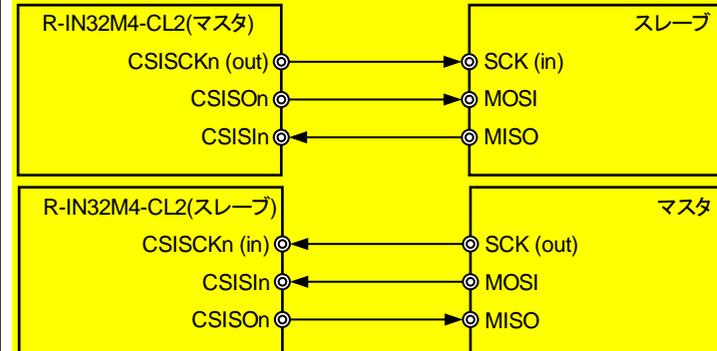
No.2-30 14.6 割り込み出力機能

汎用およびリアルタイムポート用 DMA コントローラの割り込み出力波形設定の削除

V2.00					V3.00				
ページ	記載内容				ページ	改訂内容			
14-91	【表 14.9 汎用 DMA コントローラの割り込み出力】				14-91	【表 14.9 汎用 DMA コントローラの割り込み出力】			
	割り込み信号	割り込み要因	割り込み検出のマスク	パルス出力/割り込み出力の切り替え		割り込み出力のマスク	割り込み信号	割り込み要因	割り込み検出のマスク
	INTDMA _n	DMA トランザクションが終了 リンク・モードでインバリッドなディスクリプタをリード	CHCFG _n レジスタ DEM = 1 header の DIM = 1	DCTRL レジスタ LVINT = 0:パルス出力 LVINT = 1:レベル出力	CHSTAT _n . INTM = 1	INTDMA _n	DMA トランザクションが終了 リンク・モードでインバリッドなディスクリプタをリード	CHCFG _n レジスタ DEM = 1 header の DIM = 1	CHSTAT _n . INTM = 1
	INTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)		— (不可)	INTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)	— (不可)
	【表 14.10 リアルタイムポート用 DMA コントローラの割り込み出力】					【表 14.10 リアルタイムポート用 DMA コントローラの割り込み出力】			
	割り込み信号	割り込み要因	割り込み検出のマスク	パルス出力/割り込み出力の切り替え	割り込み出力のマスク	割り込み信号	割り込み要因	割り込み検出のマスク	割り込み出力のマスク
	INTRTDMA	DMA トランザクションが終了 リンク・モードでインバリッドなディスクリプタをリード	RTCHCFG レジスタ DEM = 1 header の DIM = 1	DCTRL レジスタ LVINT = 0:パルス出力 LVINT = 1:レベル出力	RTCHSTAT. INTM = 1	INTRTDMA _n	DMA トランザクションが終了 リンク・モードでインバリッドなディスクリプタをリード	RTCHCFG レジスタ DEM = 1 header の DIM = 1	RTCHSTAT. INTM = 1
	INTRTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)		— (不可)	INTRTDMEERR	マスタ・インタフェースが発行した転送に対し、エラー・レスポンスが返された場合	— (不可)	— (不可)

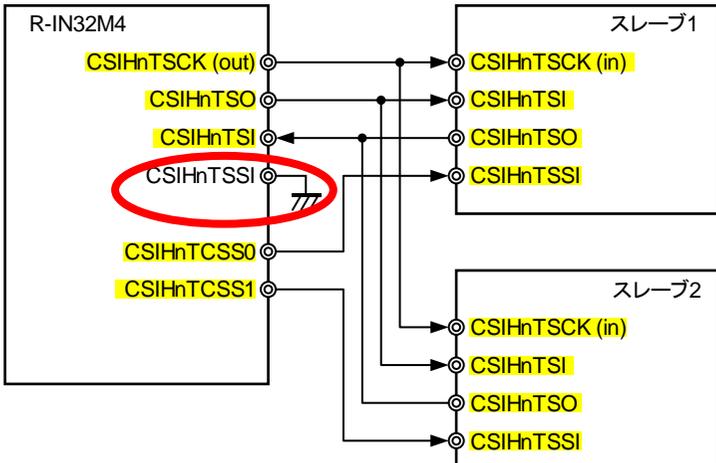
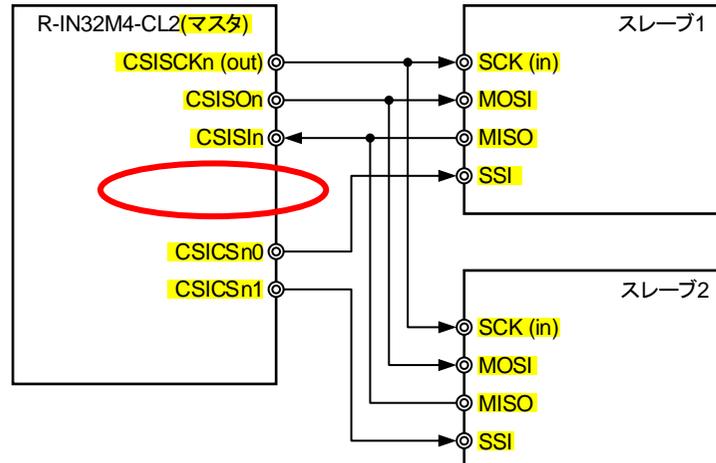
No.2-31 20.4.2 マスタ/スレーブの接続 [1/2]

マスタ 1/スレーブ 1 接続の場合の図を変更、および CSIH 端子名変更と CSIHnTSSI 端子の削除

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
20-38	<p>【(1) マスタ 1、スレーブ 1 の場合】</p>  <p>図 20.4 マスタ/スレーブ間の直接の接続</p>	20-38	<p>【(1) マスタ 1、スレーブ 1 の場合】</p>  <p>図 20.4 マスタ/スレーブ間の直接の接続</p>

No.2-31 20.4.2 マスタ/スレーブの接続 [2/2]

マスタ 1/スレーブ 2 接続の場合の図を変更、および CSIH 端子名変更と CSIHnTSSI 端子の削除

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
20-38	<p>【(2) マスタ 1、スレーブ 2 の場合】 以下の図は、R-IN32M4 をマスタとした 2 つのスレーブとの接続を示しています。 この例では、R-IN32M4 が各スレーブに 1 つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 CSIHnTSSI に接続されます。</p>  <p>図 20.5 1 つのマスタと 2 つのスレーブの間の接続</p> <p>デフォルトのチップ・セレクト・レベルはアクティブ・ローです。つまり、スレーブのスレーブ選択入力信号 (CSIHnTSSI) がロー・レベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、チップ・セレクト信号 (CS) をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。 選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 CSIHnTSO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。</p>	20-38~39	<p>【(2) マスタ 1、スレーブ 2 の場合】 以下の図は、R-IN32M4 をマスタとした 2 つのスレーブとの接続を示しています。 この例では、R-IN32M4 が各スレーブに 1 つずつチップ・セレクト (CS) 信号を供給する構成が可能です。この信号は、スレーブのスレーブ選択入力 SSI に接続されます。</p>  <p>図 20.5 1 つのマスタと 2 つのスレーブの間の接続</p> <p>デフォルトのチップ・セレクト・レベルはアクティブ・ローです。つまり、スレーブのスレーブ選択入力信号 (SSI) がロー・レベルになっていると、そのスレーブが CSIH スレーブとして選択されます (有効になります)。ただし、チップ・セレクト信号 (CS) をほかのデバイスに適合させるために、チップ・セレクト信号の出力レベルがアクティブ・ハイになるようにプログラミングすることもできます。 選択されていないスレーブは、データの受信も送信も行いません。また、選択されていないスレーブの出力 MISO は、選択されているスレーブの出力と干渉しないように、入力モードに設定されます。</p>
20-39	<p>【(3) CSIHnTSO 出力制御】 CSIH は、以下のすべての条件が満たされたときに、CSIHnTSO 出力が可能になります。 ・CSIH が有効になっている (CSIHnCTL0.CSIHnPWR = 1)。 ・CSIH が送信モードまたは送受信モードで動作している (CSIHnCTL0.CSIHnTXE = 1)。 この機能を利用して外部 CSIHnTSO 信号回線の輻輳を回避することができます。</p>	20-39	<p>【(3) CSISOn 出力制御】 CSIH は、以下のすべての条件が満たされたときに、CSISOn 出力が可能になります。 ・CSIH が有効になっている (CSIHnCTL0.CSIHnPWR = 1)。 ・CSIH が送信モードまたは送受信モードで動作している (CSIHnCTL0.CSIHnTXE = 1)。 この機能を利用して外部 CSISOn 信号回線の輻輳を回避することができます。</p>

No.2-32 21.3 (6) IICBn ハイ・レベル幅設定レジスタ

$t_{SU:STA}$ の発生タイミングを修正・タイミング図に $t_{HD:DAT}$ を追加

V2.00				V3.00																																																																			
ページ	記載内容			ページ	改訂内容																																																																		
21-15	<p>【(6) IICBn ハイ・レベル幅設定レジスタ(IICBnWH)】</p> <p>表 21.4 シリアル出カタイミグ生成条件</p> <table border="1"> <thead> <tr> <th>略号</th> <th>内容</th> <th>標準モード</th> <th>高速モード</th> </tr> </thead> <tbody> <tr> <td>$t_{HD:STA}$</td> <td>スタート・コンディション・ホールド時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{LOW}</td> <td>SCL ロー・レベル幅期間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>t_{HIGH}</td> <td>SCL ハイ・レベル幅期間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>$t_{SU:STA}$</td> <td>スタート・コンディション・セットアップ時間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{SU:STO}$</td> <td>ストップ・コンディション・セットアップ時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{BUF}</td> <td>バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{HD:DAT}$</td> <td>データ・ホールド時間</td> <td>IICB0WL[9:2] / PCLK</td> <td>IICB0WL[9:2] / PCLK</td> </tr> </tbody> </table>			略号	内容	標準モード	高速モード	$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK	t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK	$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0WL / PCLK	$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK	$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK	21-15	<p>【(6) IICBn ハイ・レベル幅設定レジスタ(IICBnWH)】</p> <p>表 21.4 シリアル出カタイミグ生成条件</p> <table border="1"> <thead> <tr> <th>略号</th> <th>内容</th> <th>標準モード</th> <th>高速モード</th> </tr> </thead> <tbody> <tr> <td>$t_{HD:STA}$</td> <td>スタート・コンディション・ホールド時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{LOW}</td> <td>SCL ロー・レベル幅期間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>t_{HIGH}</td> <td>SCL ハイ・レベル幅期間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>$t_{SU:STA}$</td> <td>スタート・コンディション・セットアップ時間</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{SU:STO}$</td> <td>ストップ・コンディション・セットアップ時間</td> <td>IICB0WH / PCLK</td> <td>IICB0WH / PCLK</td> </tr> <tr> <td>t_{BUF}</td> <td>バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)</td> <td>IICB0WL / PCLK</td> <td>IICB0WL / PCLK</td> </tr> <tr> <td>$t_{HD:DAT}$</td> <td>データ・ホールド時間</td> <td>IICB0WL[9:2] / PCLK</td> <td>IICB0WL[9:2] / PCLK</td> </tr> </tbody> </table>			略号	内容	標準モード	高速モード	$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK	t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK	$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0WL / PCLK	$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK	t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK	$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK
略号	内容	標準モード	高速モード																																																																				
$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																				
t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK																																																																				
t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK																																																																				
$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0WL / PCLK																																																																				
$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																				
t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK																																																																				
$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK																																																																				
略号	内容	標準モード	高速モード																																																																				
$t_{HD:STA}$	スタート・コンディション・ホールド時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																				
t_{LOW}	SCL ロー・レベル幅期間	IICB0WL / PCLK	IICB0WL / PCLK																																																																				
t_{HIGH}	SCL ハイ・レベル幅期間	IICB0WH / PCLK	IICB0WH / PCLK																																																																				
$t_{SU:STA}$	スタート・コンディション・セットアップ時間	IICB0WL / PCLK	IICB0WL / PCLK																																																																				
$t_{SU:STO}$	ストップ・コンディション・セットアップ時間	IICB0WH / PCLK	IICB0WH / PCLK																																																																				
t_{BUF}	バス・フリー時間 (ストップ・コンディションとスタート・コンディションの間隔)	IICB0WL / PCLK	IICB0WL / PCLK																																																																				
$t_{HD:DAT}$	データ・ホールド時間	IICB0WL[9:2] / PCLK	IICB0WL[9:2] / PCLK																																																																				

No.2-33 21.6.1 シングル転送モード (3) シングル転送モード (スレーブ受信) の通信例

<5> データ受信完了処理 で設定不要なビットを削除

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
21-43	<p>【<5> データ受信完了処理】</p> <ul style="list-style-type: none"> ウェイト期間中に IICBnCTL0.IICBnSLWT ビット=1、IICBnCTL0.IICBnSLAC ビット=0 に設定。 その後、IICBnTRG.IICBnWRET ビットをセット(1)することでウェイト解除シアクノリッジが生成されず、送信側にデータの終わりを通知。 	21-43	<p>【<5> データ受信完了処理】</p> <ul style="list-style-type: none"> ウェイト期間中に IICBnCTL0.IICBnSLAC ビット=0 に設定。 その後、IICBnTRG.IICBnWRET ビットをセット(1)することでウェイト解除シアクノリッジが生成されず、送信側にデータの終わりを通知。

No.2-34 25.7 システム・プロテクト・コマンド・レジスタ (SYSPCMD)

システム・プロテクト・コマンド・レジスタへのライト完了後動作の注意の補足説明を追加

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
25-7	<p>【25.7 システム・プロテクト・コマンド・レジスタ(SYSPCMD)】</p> <p>注意 1 <1>、<2>、<3>では、レジスタへの書き込みは行われていません。</p> <p>2 対象レジスタへのライト完了後は、必ず本ビットをクリア (0) してください。</p>	25-7	<p>【25.7 システム・プロテクト・コマンド・レジスタ(SYSPCMD)】</p> <p>注意 1 <1>、<2>、<3>では、レジスタへの書き込みは行われていません。</p> <p>2 対象レジスタへのライト完了後は、必ず本ビットをクリア (0:プロテクト設定) してください。</p>

No.2-35 25.11.1 ノイズ・フィルタ設定レジスタ (NFC0-4)

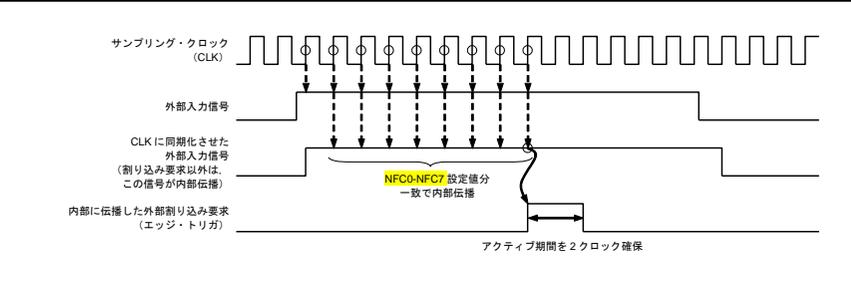
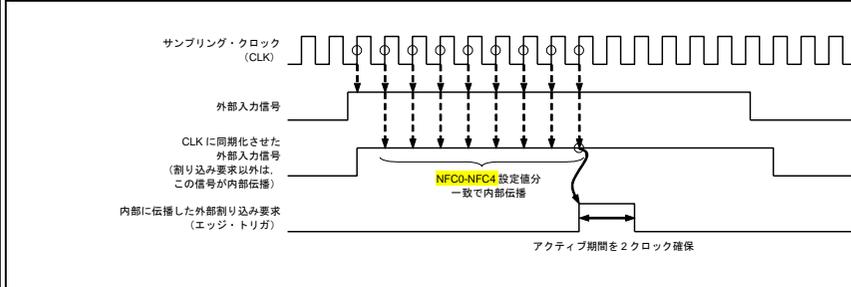
注意文中の誤記を修正(NFC0-NFC3 → NFC0-NFC4)

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
25-18	<p>【25.11.1 ノイズ・フィルタ設定レジスタ(NFC0-4)】</p> <p>注意 1. 入力パルス幅が、NFC0-NFC3 設定値~NFC0-NFC3 設定値-1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。</p> <p>2. 割り込み入力 (INTPZ0-INTPZ28, NMIZ)、ギガビット・イーサネット PHY の LED 出力はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。タイマ・アレイ・ユニット入力端子は、タイマ・アレイ・ユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0, RXD1 入力はエッジ指定の機能はありません。</p> <p>3. NFC0-NFC3 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC3 レジスタの変更は Disable IRQ 状態で行い、レジスタ変更後に該当している割り込み保留ビットをクリアしてください。</p> <p>4. INTPZ0-INTPZ28, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも、遅延が生じます。</p> <p>5. 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。</p>	25-18	<p>【25.11.1 ノイズ・フィルタ設定レジスタ(NFC0-4)】</p> <p>注意 1. 入力パルス幅が、NFC0-NFC4 設定値~NFC0-NFC4 設定値-1 の場合は、有効信号として検出するか、ノイズとして除去するかは不定です。</p> <p>2. 割り込み入力 (INTPZ0-INTPZ28, NMIZ)、ギガビット・イーサネット PHY の LED 出力はエッジ指定回路を経由しますが、割り込み以外の兼用機能はエッジ指定回路を経由しません。タイマ・アレイ・ユニット入力端子は、タイマ・アレイ・ユニットのエッジ指定レジスタで有効エッジを指定します。また RXD0, RXD1 入力はエッジ指定の機能はありません。</p> <p>3. NFC0-NFC4 レジスタの変更した場合、それぞれのレジスタごとに意図しない割り込みが発生する可能性があります。NFC0-NFC4 レジスタの変更は Disable IRQ 状態で行い、レジスタ変更後に該当している割り込み保留ビットをクリアしてください。</p> <p>4. INTPZ0-INTPZ28, NMI は、CPU への入力の同期化を兼ねてエッジ指定回路を経由するため、フィルタ段数を 0 に設定した場合でも、遅延が生じます。</p> <p>5. 本レジスタは、システム・プロテクト・コマンド・レジスタ (SYSPCMD) を用いた特定のシーケンスでプロテクトを解除したときのみライト可能です。プロテクト解除手順はシステム・プロテクト・コマンド・レジスタ (SYSPCMD) を参照してください。なお、レジスタの内容を読み出す場合は、特別なシーケンスは必要ありません。</p>

No.2-36 25.11.2 ノイズ・フィルタの動作

説明文中の誤記を修正(NFC0-NFC3 → NFC0-NFC4)

図中の誤記を修正(NFC0-NFC7 → NFC0-NFC4)

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
25-23	<p>【25.11.2 ノイズ・フィルタの動作】</p> <p>表 25.1 に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロックでサンプリングし、ノイズ・フィルタ設定レジスタ (NFC0-NFC3) で指定したノイズ除去を行っています。このサンプリング・クロックはスタンバイ・モードで停止しないため、NMI、INTPZ0-INTPZ28 の外部割込みはスタンバイ・モードの解除が可能です。また INTPZ0-INTPZ28 は、すべて立ち上がり/立ち下がり/両エッジ/ロー・アクティブのレベルのいずれかを有効トリガに選択できます。</p>  <p>図 25.2 割り込み信号のデジタル・ノイズ・フィルタの動作 (エッジ・トリガ時)</p>	25-23	<p>【25.11.2 ノイズ・フィルタの動作】</p> <p>表 25.1 に示す入力信号は、内部バス・クロックの HCLK と同一周波数のクロックでサンプリングし、ノイズ・フィルタ設定レジスタ (NFC0-NFC4) で指定したノイズ除去を行っています。このサンプリング・クロックはスタンバイ・モードで停止しないため、NMI、INTPZ0-INTPZ28 の外部割込みはスタンバイ・モードの解除が可能です。また INTPZ0-INTPZ28 は、すべて立ち上がり/立ち下がり/両エッジ/ロー・アクティブのレベルのいずれかを有効トリガに選択できます。</p>  <p>図 25.2 割り込み信号のデジタル・ノイズ・フィルタの動作 (エッジ・トリガ時)</p>

No.2-37 26 デバッグ機能

推奨インサーキット・エミュレータ情報の変更

V2.00		V3.00	
ページ	記載内容	ページ	改訂内容
26-1	<p>【26 デバッグ機能】</p> <p>なお、R-IN32M4 と接続する推奨インサーキット・エミュレータ(ICE)は、IAR システムズ株式会社の I-jet (トレース未対応) と JTAGjet (トレース対応)、横河デジタルコンピュータ株式会社の adviceLUNA です。</p>	26-1	<p>【26 デバッグ機能】</p> <p>なお、R-IN32M4 と接続する推奨インサーキット・エミュレータ(ICE)は、IAR システムズ株式会社の I-jet (トレース未対応) と JTAGjet (トレース対応)、株式会社 DTS インサイトの adviceLUNA II です。</p>

No.3-1 7 熱設計

章題を変更

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
21	<p>【7 熱設計ガイド】 7 熱設計ガイド 本章では、R-IN32M4-CL2 の熱特性について記載するとともに、実装基板を設計する上での放熱対策や異常発熱を起こさないための注意事項について記載します。特に R-IN32M4-CL2 は、Gigabit EtherPHY、大容量内蔵メモリを搭載しているため、熱への配慮がより必要となります。放熱を考慮した基板設計及び筐体設計をお願いします。</p>	21	<p>【7 熱設計】 7 熱設計 本章では、R-IN32M4-CL2 の熱特性について記載するとともに、実装基板を設計する上での放熱対策や異常発熱を起こさないための注意事項について記載します。特に R-IN32M4-CL2 は、Gigabit EtherPHY、大容量内蔵メモリを搭載しているため、熱への配慮がより必要となります。放熱を考慮した基板設計及び筐体設計をお願いします。</p>

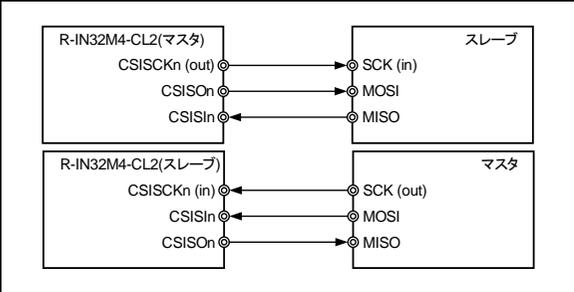
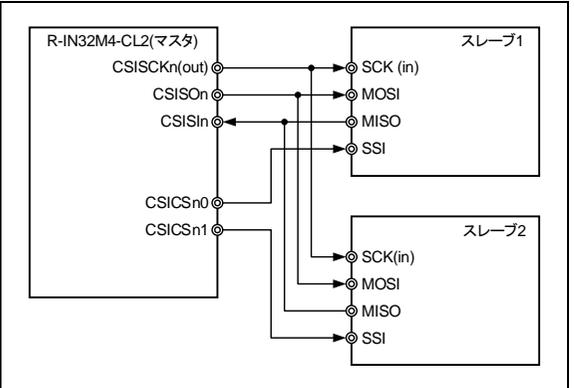
No.3-2 7.3 注意事項

注意事項として未使用時端子処置に関する補足説明を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	記載なし	29	<p>【7.3 注意事項】 新規追加 「 7.3.1 未使用時端子処置 未使用端子を基板上で GND や電源にクランプしている場合、該当端子は入力属性に固定する必要があります。これを出力属性に設定していると、クランプの極性と反対の出力状態の場合には、出力バッファに大きな定常電流が流れ続けます。 反対に未使用端子を基板上でオープンにしている場合、該当端子は出力属性かプルアップ/プルダウン抵抗を有効にした入力属性に固定する必要があります。これをプルアップ/プルダウン抵抗の無い入力属性に設定していると、端子がフローティング状態となり貫通電流が流れる可能性があります。 これらの電流は異常発熱の原因となりますので、ソフトウェアの設定を十分に確認してください。</p>

No.3-3 15 CSIH 端子

CSIH 端子の接続例を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	記載なし	51	<p>【15 CSIH 端子】 新規追加 「15. CSIH 端子」 R-IN32M4-CL2 と CSI マスタおよび CSI スレーブを接続する際の接続例です。</p> <p>15.1 マスタ 1、スレーブ 1 の場合 1 つのマスタと 1 つのスレーブの間の接続例を示します。</p>  <p>15.2 マスタ 1、スレーブ 2 の場合 R-IN32M4-CL2 をマスタとした 2 つのスレーブとの接続を示します。 この例では、R-IN32M4 が各スレーブに 1 つずつチップ・セレクト (CS) 信号を供給し、スレーブ・デバイスのスレーブ選択入力 (SSI) へ接続しています。</p> 

No.3-4 24 ノイズ対策

ノイズ対策として、クロック出力の停止に関する内容を追加

V1.00		V2.00	
ページ	記載内容	ページ	改訂内容
-	記載なし	65	【24 ノイズ対策】 新規追加 「 24.1 クロック出力の停止 R-IN32M4-CL2 から出力される BUSCLK を使用していない場合、出力の停止が可能です。 「R-IN32M4-CL2 ユーザーズ・マニュアル周辺機能編」の「2.2.2 クロック制御レジスタ(CLKGTD0, CLKGTD1)」に記載されている、CLKGTD1 レジスタの GCBCLK ビットの制御を行ってください。 」

No.4-1 3.2.1 メモリ配置

命令 RAM ミラー領域に関する注意を追加

V2.01		V3.00																										
ページ	記載内容	ページ	改訂内容																									
12	<p>【3.2.1 メモリ配置】</p> <p>記載なし</p>	12	<p>【3.2.1 メモリ配置】</p> <p>注 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生するアドレスが変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」を参照してください。</p>																									
15	<p>【3.2.1 メモリ配置】</p> <p>記載なし</p>	15	<p>【3.2.1 メモリ配置】</p> <p>注 上記命令 RAM ミラー領域(768K バイト)はブート・モードにより実際にアクセスが発生する領域が以下のように変化します。詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」の「5.3 ブート・モードによるメモリ MAP の違い」および「4. パス構成」を参照してください。</p> <table border="1"> <thead> <tr> <th>BOOT1</th> <th>BOOT0</th> <th>ブート・モード</th> <th>アクセス先領域</th> <th>備考</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>外部メモリ・ブート</td> <td>—</td> <td>外部マイコン・インタフェースの使用不可</td> </tr> <tr> <td>0</td> <td>1</td> <td>外部シリアル・フラッシュ ROM ブート</td> <td>予約領域</td> <td>アクセス不可</td> </tr> <tr> <td>1</td> <td>0</td> <td>外部マイコン・ブート</td> <td>命令 RAM 領域</td> <td>—</td> </tr> <tr> <td>1</td> <td>1</td> <td>命令 RAM ブート</td> <td>命令 RAM 領域</td> <td>デバッグ時のみ使用可</td> </tr> </tbody> </table>	BOOT1	BOOT0	ブート・モード	アクセス先領域	備考	0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可	0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可	1	0	外部マイコン・ブート	命令 RAM 領域	—	1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可
BOOT1	BOOT0	ブート・モード	アクセス先領域	備考																								
0	0	外部メモリ・ブート	—	外部マイコン・インタフェースの使用不可																								
0	1	外部シリアル・フラッシュ ROM ブート	予約領域	アクセス不可																								
1	0	外部マイコン・ブート	命令 RAM 領域	—																								
1	1	命令 RAM ブート	命令 RAM 領域	デバッグ時のみ使用可																								

No.4-2 3.2.1 メモリ配置

命令RAM領域と命令RAMミラー領域の入れ替わりを修正

V2.01		V3.00	
ページ	記載内容	ページ	改訂内容
12	<p>【図 3.2 メモリ・マップ(全体)】</p>	12	<p>【図 3.2 メモリ・マップ(全体)】</p>

No.4-3 3.2.1 メモリ配置

命令RAM領域を命令RAMミラー領域へ修正

V2.01		V3.00	
ページ	記載内容	ページ	改訂内容
15	<p>【図 3.6 外部マイコン・インタフェース空間】</p> <p>内部SRAM空間</p> <p>1F FFFFH 13 FFFFH 10 0000H 00 0000H</p> <p>2Mバイト</p> <p>内部AHB空間</p> <p>4017 FFFFH 4014 0000H 400F FF00H 400F C000H 400F BFFFH 400F 8000H 400F AFFFH 400F 9FFFH 400F 8000H 400F 0000H 400E FFFFH 400E 0000H 400A FFFFH 400A 3000H 4001 FFFFH 4001 0000H 2007 FFFFH 2000 0000H 000C 2FFFH 000C 3000H 000B FFFFH 0000 0000H</p> <p>4Gバイト</p> <p>MCU空間</p> <p>1F FFFFH 18 0000H 17 FFFFH 14 0000H 13 FFFFH 10 0000H 0F FFFFH 0F FF00H 0F C000H 0F BFFFH 0F 8000H 0F AFFFH 0F 9FFFH 0F 8000H 0D FFFFH 0D 0000H 0C FFFFH 0C 3000H 0C 0000H 0B FFFFH 00 0000H</p> <p>2Mバイト</p> <p>データRAM領域 (512Kバイト) 予約領域 CC-Link IE Field (インテリジェントデバイス局) 領域 (256Kバイト) HOSTIFレジスタ領域 (256バイト) 予約領域 CC-Link リモートデバイス局 領域 (4Kバイト) CC-Link Master I/O 領域 (4Kバイト) CC-Link Masterメモリ 領域 (8Kバイト) 予約領域 システム・レジスタ領域 (64Kバイト) AHB周辺レジスタ領域 (上位52Kバイト) 予約領域 命令RAM領域 (768Kバイト)</p>	15	<p>【図 3.6 外部マイコン・インタフェース空間】</p> <p>内部SRAM空間</p> <p>1F FFFFH 13 FFFFH 10 0000H 00 0000H</p> <p>2Mバイト</p> <p>内部AHB空間</p> <p>4017 FFFFH 4014 0000H 400F FF00H 400F C000H 400F BFFFH 400F 8000H 400F AFFFH 400F 9FFFH 400F 8000H 400F 0000H 400E FFFFH 400E 0000H 400A FFFFH 400A 3000H 4001 FFFFH 4001 0000H 2007 FFFFH 2000 0000H 000C 2FFFH 000C 3000H 000B FFFFH 0000 0000H</p> <p>4Gバイト</p> <p>MCU空間</p> <p>1F FFFFH 18 0000H 17 FFFFH 14 0000H 13 FFFFH 10 0000H 0F FFFFH 0F FF00H 0F C000H 0F BFFFH 0F 8000H 0F AFFFH 0F 9FFFH 0F 8000H 0D FFFFH 0D 0000H 0C FFFFH 0C 3000H 0C 0000H 0B FFFFH 00 0000H</p> <p>2Mバイト</p> <p>データRAM領域 (512Kバイト) 予約領域 CC-Link IE Field (インテリジェントデバイス局) 領域 (256Kバイト) HOSTIFレジスタ領域 (256バイト) 予約領域 CC-Link リモートデバイス局 領域 (4Kバイト) CC-Link Master I/O 領域 (4Kバイト) CC-Link Masterメモリ 領域 (8Kバイト) 予約領域 システム・レジスタ領域 (64Kバイト) AHB周辺レジスタ領域 (上位52Kバイト) 予約領域 命令RAMミラー領域 (768Kバイト)</p>

No.4-4 6.4.1 IICコントローラの初期化

機能説明のタイミング設定値の修正と補足説明の追加

V2.01		V3.00	
ページ	記載内容	ページ	改訂内容
33	<p>【(4) 機能】</p> <p>選択したチャンネルの IIC の初期設定を行います。 選択したチャンネルが 0 または 1 以外の場合は ER_PARAM (パラメータ・エラー) を返します。</p> <ul style="list-style-type: none"> ・ IIC クロック設定 <ul style="list-style-type: none"> > 高速モード : 400kHz ・ IIC タイミング設定 <ul style="list-style-type: none"> > ストップとスタートの間隔 : $80 \times \text{PCLK}$ > セットアップ・サイクル <ul style="list-style-type: none"> スタート・コンディション : $80 \times \text{PCLK}$ ストップ・コンディション : $45 \times \text{PCLK}$ ライト・データ : $2 \times \text{PCLK}$ > ホールド・サイクル <ul style="list-style-type: none"> スタート・コンディション : $45 \times \text{PCLK}$ データ : $80 \times \text{PCLK}$ ライト・データ : $0 \times \text{PCLK}$ リード・データ : $2 \times \text{PCLK}$ <p>備考. IIC クロック設定は SDA_n および SCL_n の立ち上がり時間、立ち下がり時間が共に 20ns の場合を想定し、400kHz となるよう設定しています。ご利用の環境にあわせて適宜レジスタ設定を変更してください。 詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」をご覧ください。</p>	33	<p>【(4) 機能】</p> <p>選択したチャンネルの IIC の初期設定を行います。 選択したチャンネルが 0 または 1 以外の場合は ER_PARAM (パラメータ・エラー) を返します。</p> <ul style="list-style-type: none"> ・ IIC クロック設定 <ul style="list-style-type: none"> > 高速モード : 400kHz ・ IIC タイミング設定 <ul style="list-style-type: none"> > ストップとスタートの間隔 : $130 \times \text{PCLK 周期 (ns)}$ SCL ロー・レベル期間 : $130 \times \text{PCLK 周期 (ns)}$ SCL ハイ・レベル期間 : $116 \times \text{PCLK 周期 (ns)}$ > セットアップ・サイクル <ul style="list-style-type: none"> スタート・コンディション : $116 \times \text{PCLK 周期 (ns)}$ ストップ・コンディション : $116 \times \text{PCLK 周期 (ns)}$ > ホールド・サイクル <ul style="list-style-type: none"> スタート・コンディション : $116 \times \text{PCLK 周期 (ns)}$ データ : $32 \times \text{PCLK 周期 (ns)}$ <p>備考 1. IIC クロック設定は SDA_n および SCL_n の立ち上がり時間、立ち下がり時間が共に 20ns の場合を想定し、400kHz となるよう設定しています。ご利用の環境にあわせて適宜レジスタ設定を変更してください。 詳細は「R-IN32M4-CL2 ユーザーズ・マニュアル 周辺機能編」をご覧ください。 備考 2. PCLK 周期 = 10ns</p>

No.4-5 6.5.5 受信データ確認 (スレーブ用)

説明文中の誤記を修正

V2.01		V3.00	
ページ	記載内容	ページ	改訂内容
44	<p>【(4)機能】</p> <p>選択したチャンネルが受信モードのときに CSI の受信データの有無を戻り値に返します。CSI コントローラがマスタ・モードの場合は、受信データを蓄えないため、常に ER_NOTYET (受信データなし) を返します。また、チャンネル選択指数が、0 または 1 以外の場合は、ER_PARAM (パラメータ・エラー) を返し、CSI コントローラの状態が送信モードでない場合は ER_INVAL (モード・エラー) を返します。</p>	44	<p>【(4)機能】</p> <p>選択したチャンネルが受信モードのときに CSI の受信データの有無を戻り値に返します。CSI コントローラがマスタ・モードの場合は、受信データを蓄えないため、常に ER_NOTYET (受信データなし) を返します。また、チャンネル選択指数が、0 または 1 以外の場合は、ER_PARAM (パラメータ・エラー) を返し、CSI コントローラの状態が受信モードでない場合は ER_INVAL (モード・エラー) を返します。</p>

No.5-1 3 推奨部品

推奨部品を追加

V1.01			V1.02		
ページ	記載内容		ページ	改訂内容	
4	【表 3.1 推奨部品】		4	【表 3.1 推奨部品】	
	品名	型名 ^{注1}	メーカー		
	フィルタ	MCT7050-A401	信華株式会社		
	RS485 トランシーバ	SN75ALS181NS	日本テキサス・インスツルメンツ株式会社		
	ツェナーダイオード	RD6.2Z	ルネサス エレクトロニクス株式会社		
				STZU6.2NT146	ローム株式会社

No.5-2 5.CC-Link(リモートデバイス局)対応端子

IOTENSU 端子の機能説明を変更

V1.01				V1.02			
ページ	記載内容			ページ	改訂内容		
6	【表 5.1 CC-Link(リモートデバイス局)と R-IN32M3 シリーズ端子の対応】			6	【表 5.1 CC-Link(リモートデバイス局)と R-IN32M3 シリーズ端子の対応】		
	CC-Link 端子名	R-IN32M3 端子名	兼用ポート	機能			
	IOTENSU	CCS_IOTENSU	P22	初期設定端子			初期設定端子 (Low 固定)
8	【表 5.2 CC-Link(リモートデバイス局)と R-IN32M4-CL2 端子の対応】			8	【表 5.2 CC-Link(リモートデバイス局)と R-IN32M4-CL2 端子の対応】		
	CC-Link 端子名	R-IN32M3 端子名	兼用ポート	機能			
	IOTENSU	CCS_IOTENSU	P22	初期設定端子			初期設定端子 (Low 固定)

No.5-3 6.1 占有局数設定

IOTENSU 端子に関する注意を変更

V1.01		V1.02	
ページ	記載内容	ページ	改訂内容
9	【6.1 占有局数設定】 注意 IOTENSU 端子を「H」に設定した場合、I/O 点数は占有局数の設定にかかわらず、32ビット固定となります。	9	【6.1 占有局数設定】 注意 IOTENSU 端子は「L」でご使用ください。「H」は使用禁止です。

No.5-4 14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など

質問・回答のおよび回答内容の変更

V1.01		V1.02																												
ページ	記載内容	ページ	改訂内容																											
69	<p>【14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など】</p> <table border="1"> <thead> <tr> <th></th> <th>質問</th> <th>回答</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？</td> <td>局番設定は必須です。お客様で、自由な局番設定ができないば愛、システムを構成できない可能性があるためです。 ロータリースイッチではなく、ディップスイッチやソフトウェア処理とすることには問題ありません。</td> </tr> <tr> <td>3</td> <td>通信用(RS485)コネクタを下面に設置してよいですか。 (コネクタを抜き差し可能にします)</td> <td>適宜配置していただいてかまいません。</td> </tr> <tr> <td>4</td> <td>外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの大 きさ、種類など</td> <td>指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。</td> </tr> </tbody> </table>		質問	回答	2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	局番設定は必須です。お客様で、自由な局番設定ができないば愛、システムを構成できない可能性があるためです。 ロータリースイッチではなく、ディップスイッチやソフトウェア処理とすることには問題ありません。	3	通信用(RS485)コネクタを下面に設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。	4	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの大 きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。	69	<p>【14.1 回路設計全般 (3)スイッチ、コネクタ、端子台など】</p> <table border="1"> <thead> <tr> <th></th> <th>質問</th> <th>回答</th> </tr> </thead> <tbody> <tr> <td>2</td> <td>局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？</td> <td>CC-linkの規格上、局番は自由に 設定する必要があります。</td> </tr> <tr> <td>3</td> <td>ソフトウェアで局番を設定できますか？</td> <td>局番を設定するレジスタはありません。 局番設定には“局番設定スイッチ入力端子 (CCS_STATION_NO_0 - CCS_STATION_NO_7)”を 使用する必要があります。 スイッチを備えない場合、“局番設定スイッチ入力端子”を 任意の汎用ポートと接続の上、ソフトウェアで汎用 ポートから局番を設定することで、局番設定を行うことが 可能です。 局番設定後、CC-Linkブロックのリセット解除を 行ってください</td> </tr> <tr> <td>4</td> <td>通信用(RS485)コネクタを下面に 設置してよいですか。 (コネクタを抜き差し可能にします)</td> <td>適宜配置していただいてかまいません。</td> </tr> <tr> <td>5</td> <td>外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの 大きさ、種類など</td> <td>指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状 態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。</td> </tr> </tbody> </table>		質問	回答	2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	CC-linkの規格上、局番は自由に 設定する必要があります。	3	ソフトウェアで局番を設定できますか？	局番を設定するレジスタはありません。 局番設定には“局番設定スイッチ入力端子 (CCS_STATION_NO_0 - CCS_STATION_NO_7)”を 使用する必要があります。 スイッチを備えない場合、“局番設定スイッチ入力端子”を 任意の汎用ポートと接続の上、ソフトウェアで汎用 ポートから局番を設定することで、局番設定を行うことが 可能です。 局番設定後、CC-Linkブロックのリセット解除を 行ってください	4	通信用(RS485)コネクタを下面に 設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。	5	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの 大きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状 態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。
	質問	回答																												
2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	局番設定は必須です。お客様で、自由な局番設定ができないば愛、システムを構成できない可能性があるためです。 ロータリースイッチではなく、ディップスイッチやソフトウェア処理とすることには問題ありません。																												
3	通信用(RS485)コネクタを下面に設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。																												
4	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの大 きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。																												
	質問	回答																												
2	局番設定について ロータリースイッチをやめて局番を固定する ような仕様は問題ありますか？	CC-linkの規格上、局番は自由に 設定する必要があります。																												
3	ソフトウェアで局番を設定できますか？	局番を設定するレジスタはありません。 局番設定には“局番設定スイッチ入力端子 (CCS_STATION_NO_0 - CCS_STATION_NO_7)”を 使用する必要があります。 スイッチを備えない場合、“局番設定スイッチ入力端子”を 任意の汎用ポートと接続の上、ソフトウェアで汎用 ポートから局番を設定することで、局番設定を行うことが 可能です。 局番設定後、CC-Linkブロックのリセット解除を 行ってください																												
4	通信用(RS485)コネクタを下面に 設置してよいですか。 (コネクタを抜き差し可能にします)	適宜配置していただいてかまいません。																												
5	外形については特に指示はないが、 当方の自由で良いですか。 ①LEDの形状、配置、色、大きさなど ②コネクタの種類 (フェニックス社 Conbicon 型を考 えています) ③ロータリー、ディップスイッチの 大きさ、種類など	指定部品としてある物以外は、 特に規定はしておりません。 ①LEDは、任意の設計でかまいません。 ②コネクタは2ピースのコネクタとしてください。 2ピースが使用できない場合、本製品がリンク動作状 態 (リンク全体をダウンさせずに)で交換できないことを貴 社マニュアルに明記してください。(オンライン着脱不可) ③スイッチは任意の設計でかまいません。																												