

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0040A/J	Rev.	第1版
題名	RA6E1 グループ、汎用 PWM タイマ (GPT)に関する修正		情報分類	技術情報	
適用製品	RA6E1 グループ	対象ロット等	関連資料	Renesas RA6E1 グループ ユーザーズ マニュアル ハードウェア編 Rev1.00	
		すべて			

汎用 PWM タイマ (GPT)に関する記述を修正します。

・修正前 55 ページ

1. 概要

1.1 機能の概要

表 1.7 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 ×2 チャンネルの 32 ビットタイマおよび GPT16 ×4 チャンネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。 「21. 汎用 PWM タイマ (GPT)」を参照してください。

・修正後

表 1.7 タイマ

機能	機能の説明
汎用 PWM タイマ (GPT)	汎用 PWM タイマ (GPT) は、GPT32 ×2 チャンネルの 32 ビットタイマおよび GPT16 ×4 チャンネルの 16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。 さらに、ブラシレス DC モーターを制御するために、PWM 波形の生成が可能です。 GPT は、汎用タイマとしても使用できます。 「21. 汎用 PWM タイマ (GPT)」を参照してください。

・修正前 448 ページ

18. イベントリンクコントローラ (ELC)

18.2.3 ELSRn：イベントリンク設定レジスタ n (n = 0~9、12、14~17)

表 18.3 ELSRn .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/5)

イベント番号	割り込み要求発生元	名称	内容
0x0FF	GPT7	GPT7_CCMPA	コンペアマッチ A
0x100		GPT7_CCMPB	コンペアマッチ B
0x101		GPT7_CMPC	コンペアマッチ C
0x102		GPT7_CMPD	コンペアマッチ D
0x103		GPT7_CMPE	コンペアマッチ E
0x104		GPT7_CMPF	コンペアマッチ F
0x105		GPT7_OVF	オーバーフロー
0x106		GPT7_UDF	アンダーフロー
0x150		GPT	GPT_UVWEDGE

・修正後

表 18.3 ELSRn .ELS[8:0]ビットに設定するイベント信号名と信号番号の対応 (4/5)

イベント番号	割り込み要求発生元	名称	内容
0x0FF	GPT7	GPT7_CCMPA	コンペアマッチ A
0x100		GPT7_CCMPB	コンペアマッチ B
0x101		GPT7_CMPC	コンペアマッチ C
0x102		GPT7_CMPD	コンペアマッチ D
0x103		GPT7_CMPE	コンペアマッチ E
0x104		GPT7_CMPF	コンペアマッチ F
0x105		GPT7_OVF	オーバーフロー
0x106		GPT7_UDF	アンダーフロー
0x150		GPT	GPT_UVWEDGE

・修正前 478 ページ

20. GPT 用のポートアウトプットイネーブル (POEG)

20.3 出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、GTIOCxB、およびBLDC モータ制御用3 相PWM 出力端子を出力禁止に設定できます。

- GTETRn 端子の入力レベルまたはエッジ検出
POEGn.PIDE ビットが1 の状態で、POEGn.PIDF フラグが1 になったとき。
- GPT からの出力禁止要求
GTINTAD レジスタで禁止要求が許可されている場合にPOEGn.IOCE ビットが1 の状態で、POEGn.IOCF フラグが1 になったとき。GTINTAD.GRPABH ビットおよびGTINTAD.GRPABL ビットの設定値が、GPT レジスタのGTINTAD.GRP[1:0]ビットまたはOPSCR.GRP[1:0]ビットで選択されたグループに適用されます。
- クロック発生回路の発振停止検出
POEGn.OSTPE ビットが1 の状態で、メインクロック発振器の停止が検出され、POEGn.OSTPF フラグが1 になったとき
- SSF ビットの設定

POEGGn.SSF を1 に設定すると、PWM 出力が無効になります。

出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子とGTIOCxB 端子の出力禁止は、GPTx のGTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビットおよびGTIOR.OBDF[1:0]ビットで設定されます。BLDC モータ制御用3 相PWM 出力の出力禁止は、GPT OPS のOPSCR.GRP[1:0]ビットおよびOPSCR.GODF ビットで設定されます。

・修正後

20. GPT 用のポートアウトプットイネーブル (POEG)

20.3 概要出力禁止制御の動作

以下のいずれかの条件が成立したとき、GTIOCxA、~~およびGTIOCxB、およびBLDC モータ制御用3 相PWM 出力端子~~を出力禁止に設定できます。

- GTETRGN 端子の入力レベルまたはエッジ検出

POEGGn.PIDE ビットが1 の状態で、POEGGn.PIDF フラグが1 になったとき。

- GPT からの出力禁止要求

GTINTAD レジスタで禁止要求が許可されている場合にPOEGGn.IOCE ビットが1 の状態で、POEGGn.IOCF フラグが1 になったとき。GTINTAD.GRPABH ビットおよびGTINTAD.GRPABL ビットの設定値が、GPT レジスタのGTINTAD.GRP[1:0]ビットまたはOPSCR.GRP[1:0]ビットで選択されたグループに適用されます。

- クロック発生回路の発振停止検出

POEGGn.OSTPE ビットが1 の状態で、メインクロック発振器の停止が検出され、POEGGn.OSTPF フラグが1 になったとき

- SSF ビットの設定

POEGGn.SSF を1 に設定すると、PWM 出力が無効になります。

出力禁止の状態は、GPT モジュールで制御します。GTIOCxA 端子とGTIOCxB 端子の出力禁止は、GPTx のGTINTAD.GRP[1:0]ビット、GTIOR.OADF[1:0]ビットおよびGTIOR.OBDF[1:0]ビットで設定されます。~~BLDC モータ制御用3 相PWM 出力の出力禁止は、GPT OPS のOPSCR.GRP[1:0]ビットおよびOPSCR.GODF ビットで設定されます。~~

・修正前 482 ページ

21. 汎用 PWM タイマ (GPT)

21.1 概要

汎用PWM タイマ (GPT) は、GPT32 ×2 チャンネルの32 ビットタイマおよびGPT16 ×4 チャンネルの16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。さらに、ブラシレスDC モーターを制御するために、PWM 波形の生成が可能です。GPT は、汎用タイマとしても使用できます。

表 21.1 にGPT の仕様を、表 21.2 にGPT の機能一覧を示します。また、図 21.1 にGPT のブロック図を示します。

表 21.1 GPT の仕様

項目	説明
機能	<ul style="list-style-type: none"> ● 32 ビット×2 チャンネル (GPT32n (n = 1, 2)) ● 16 ビット×4 チャンネル (GPT16m (m = 4~7)) ● 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能 ● チャンネルごとに独立したクロックソースを選択可能 ● チャンネルごとに2本の入出力端子 ● チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが2本 ● 各チャンネル2本のアウトプットコンペア/インプットキャプチャレジスタに対し、4本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 ● アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 ● チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) ● PWM 動作の際にデッドタイム生成が可能 ● 任意チャンネルのカウンタの同期スタート/ストップ/クリア可能 ● 最大8つの ELC イベントによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 2本の入力端子の状態を検出し、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 最大4本の外部トリガにより、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 出力端子間の短絡検出による出力端子無効機能 ● ブラシレス DC モーター制御用の PWM 波形生成が可能 ● コンペアマッチ A~F イベント、オーバーフローイベント/アンダーフローイベント、および入力 UVW エッジイベントを ELC に出力可能 ● インプットキャプチャおよび入力 UVW 用のノイズフィルタが有効 ● 周期計数機能 ● チャンネル出力間の論理演算 ● バスクロック : PCLKA、コアクロック : PCLKD ● 周波数比 : PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)

・修正後

21. 汎用 PWM タイマ (GPT)

21.1 概要

汎用PWM タイマ (GPT) は、GPT32 ×2 チャンネルの32 ビットタイマおよびGPT16 ×4 チャンネルの16 ビットタイマにより構成されます。PWM 波形はアップカウンタ、ダウンカウンタ、またはその両方を制御することにより生成が可能です。~~さらに、ブラシレスDC モーターを制御するために、PWM 波形の生成が可能です。~~GPT は、汎用タイマとしても使用できます。

表 21.1 にGPT の仕様を、表 21.2 にGPT の機能一覧を示します。また、図 21.1 にGPT のブロック図を示します。

表 21.1 GPT の仕様

項目	説明
機能	<ul style="list-style-type: none"> ● 32 ビット×2 チャンネル (GPT32n (n = 1, 2)) ● 16 ビット×4 チャンネル (GPT16m (m = 4~7)) ● 各カウンタは、アップカウントもしくはダウンカウント (のこぎり波)、またはアップダウンカウント (三角波) を選択可能 ● チャンネルごとに独立したクロックソースを選択可能 ● チャンネルごとに 2 本の入出力端子 ● チャンネルごとにアウトプットコンペア/インプットキャプチャ用レジスタが 2 本 ● 各チャンネル 2 本のアウトプットコンペア/インプットキャプチャレジスタに対し、4 本のバッファレジスタがあり、バッファ動作しないときにはコンペアレジスタとしても動作可能 ● アウトプットコンペア動作時に山/谷それぞれバッファ動作可能で左右非対称な PWM 波形を生成 ● チャンネルごとにフレーム周期設定用レジスタを搭載 (オーバーフロー/アンダーフローで割り込み可能) ● PWM 動作の際にデッドタイム生成が可能 ● 任意チャンネルのカウンタの同期スタート/ストップ/クリア可能 ● 最大 8 つの ELC イベントによるカウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 2 本の入力端子の状態を検出し、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 最大 4 本の外部トリガにより、カウントスタート/ストップ/クリア/アップカウント/ダウンカウント/インプットキャプチャ動作が可能 ● 出力端子間の短絡検出による出力端子無効機能 ● ブラシレス DC モータ制御用の PWM 波形生成が可能 ● コンペアマッチ A~F イベント、オーバーフローイベント/アンダーフローイベント、および入力 U/V/W エッジイベントを ELC に出力可能 ● インプットキャプチャ および入力 U/V/W 用のノイズフィルタが有効 ● 周期計数機能 ● チャンネル出力間の論理演算 ● バスクロック：PCLKA、コアクロック：PCLKD ● 周波数比：PCLKA:PCLKD = 1:N (N = 1/2/4/8/16/32/64)

・修正前 483 ページ

表 21.2 GPT の機能一覧 (2/2)

項目	説明
DMAC/DTC の起動	すべての割り込み要因
ブラシレス DC モータ制御機能	使用可能
割り込み要因	9 要因 <ul style="list-style-type: none"> ● GTCCRA コンペアマッチ/インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ/インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPCC)

・修正後

表 21.2 GPT の機能一覧 (2/2)

項目	説明
DMAC/DTC の起動	すべての割り込み要因
ブラシレス DC モータ制御機能	使用可能
割り込み要因	9 要因 <ul style="list-style-type: none"> ● GTCCRA コンペアマッチ/インプットキャプチャ (GPTn_CCMPA) ● GTCCRB コンペアマッチ/インプットキャプチャ (GPTn_CCMPB) ● GTCCRC コンペアマッチ (GPTn_CMPCC)

・修正前 484 ページ

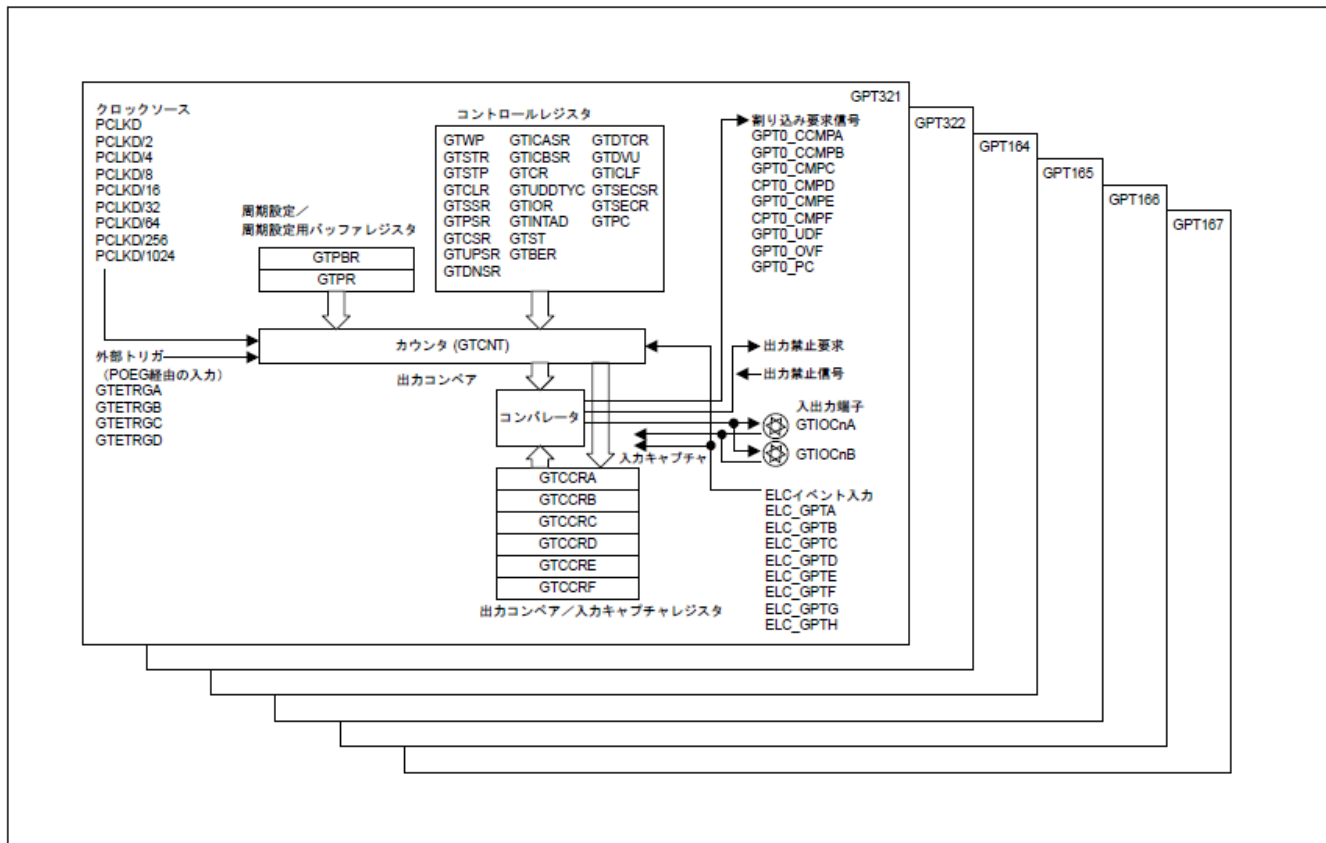


図 21.1 GPT のブロック図

・修正後

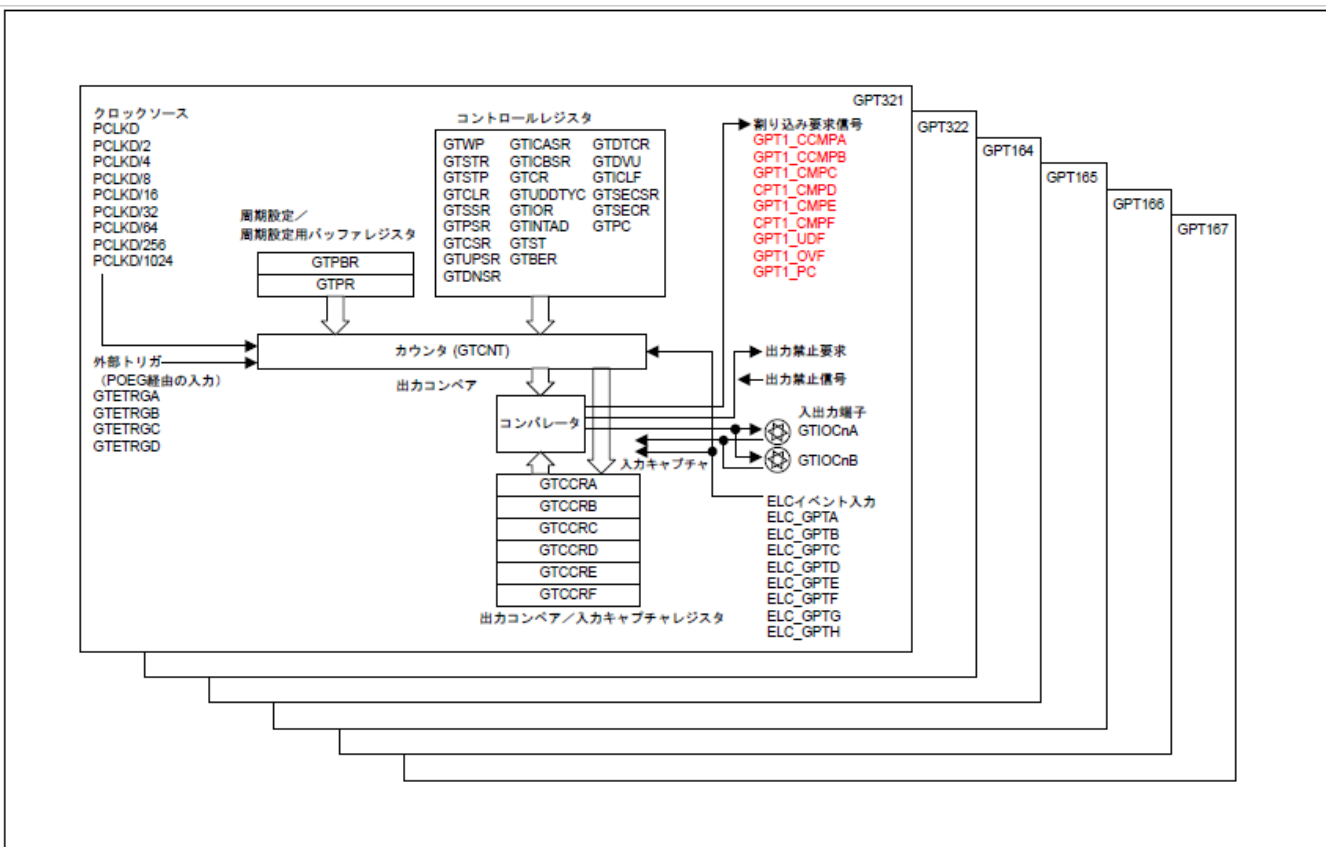


図 21.1 GPT のブロック図

・修正前 535 ページ

21.2.27 GTSECR：汎用 PWM タイマ動作許可ビット同時制御レジスタ

GTSECR レジスタは、GTSECSR レジスタで設定されたチャンネルの動作許可ビットの値を同時に更新します。任意のチャンネルのGTSECR レジスタのビットに1 を書き込み更新すると、全てのGTSECSR レジスタで1 が書かれたビット位置に関連する全チャンネルの動作許可ビットを更新します。セキュリティ属性がセキュアとして構成されているチャンネルのGTSECR レジスタは、非セキュアアクセスで書き込みできません。例えば、GPT0 がセキュアとして構成されほかのGPT が非セキュアで構成されている場合、たとえGPT0 の同時制御が許可されていても、GPT0.GTSECR レジスタをGPT1.GTSECR レジスタへの非セキュアアクセスで書き込みできず、GPT0 の同時制御ステータスは変更できません。GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを1 に設定することは禁止です。1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと0 が読めます。GTSECR レジスタは、8 ビットまたは16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。

・修正後

21.2.27 GTSECR：汎用 PWM タイマ動作許可ビット同時制御レジスタ

GTSECR レジスタは、GTSECSR レジスタで設定されたチャンネルの動作許可ビットの値を同時に更新します。任意のチャンネルのGTSECR レジスタのビットに1 を書き込み更新すると、全てのGTSECSR レジスタで1 が書かれたビット位置に関連する全チャンネルの動作許可ビットを更新します。セキュリティ属性がセキュアとして構成されているチャンネルのGTSECR レジスタは、非セキュアアクセスで書き込みできません。例えば、**GPTn** がセキュアとして構成されほかのGPT が非セキュアで構成されている場合、たとえ**GPTn** の同時制御が許可されていても、**GPTn**.GTSECR レジスタを**GPTn+1**.GTSECR レジスタへの非セキュアアクセスで書き込みできず、**GPTn** の同時制御ステータスは変更できません。GTSECR レジスタの同じ動作許可ビットの許可／禁止ビットを1 に設定することは禁止です。1 を書き込んだビットは自動的にクリアされます。GTSECR は読むと0 が読めます。GTSECR レジスタは、8 ビットまたは16 ビット単位でのアクセスは禁止です。32 ビット単位でアクセスしてください。