

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア  
ルネサス エレクトロニクス株式会社

問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RA*-A0072A/J	Rev.	第1版
題名	RA4E1 グループ、RA4M2 グループ、RA4M3 グループ、RA6E1 グループ、RA6M4 グループ、RA6M5 グループ クワッドシリアルペリフェラルインタフェース (QSPI)に関する修正		情報分類	技術情報	
適用製品	RA4E1 グループ RA4M2 グループ RA4M3 グループ RA6E1 グループ RA6M4 グループ RA6M5 グループ	対象ロット等	関連資料	Renesas RA4E1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10 Renesas RA4M2 グループ ユーザーズマニュアル ハードウェア編 Rev1.10 Renesas RA4M3 グループ ユーザーズマニュアル ハードウェア編 Rev1.30 Renesas RA6E1 グループ ユーザーズマニュアル ハードウェア編 Rev1.10 Renesas RA6M4 グループ ユーザーズマニュアル ハードウェア編 Rev1.20 Renesas RA6M5 グループ ユーザーズマニュアル ハードウェア編 Rev1.20	

クワッドシリアルペリフェラルインタフェース (QSPI)に関する記述を修正します。

## 1. 外部バス空間

RA4E1 Page 1152, RA4M2 Page 1217, RA4M3 Page 1228, RA6E1 Page 1272, RA6M4 Page 1345, RA6M5 Page 1666

### [修正前]

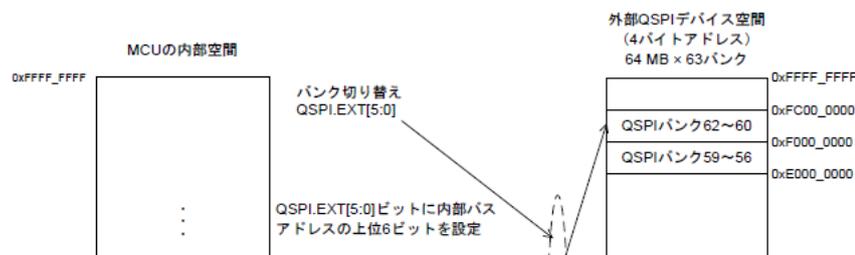


図 デフォルト領域設定およびメモリマップ

### [修正後]

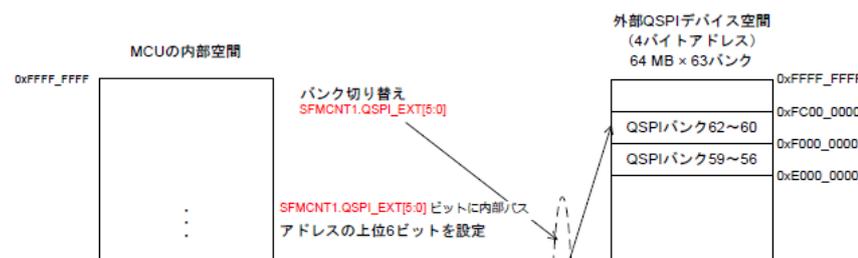


図 デフォルト領域設定およびメモリマップ

## 2. シリアルデータ出力のホールド時間

RA4E1 Page 1161, RA4M2 Page 1226, RA4M3 Page 1237, RA6E1 Page 1281, RA6M4 Page 1354, RA6M5 Page 1675

### [修正前]

コマンドまたはアドレスをシリアルフラッシュメモリに送信する場合、ホールド時間はQSPCLK の立ち上がりエッジで開始し、シリアルデータの次の送信で終了します。このホールド時間が不十分な場合は、SFMSMD.SFMOHW ビットを使用してPCLKA の1 クロック分拡張できます。SFMSW ビットを1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時のQSPCLK のHigh レベル幅がPCLKA の1 クロック分拡張されます。この機能はシリアルデータ受信には影響しません。

### [修正後]

コマンドまたはアドレスをシリアルフラッシュメモリに送信する場合、ホールド時間はQSPCLK の立ち上がりエッジで開始し、シリアルデータの次の送信で終了します。このホールド時間が不十分な場合は、SFMSMD.SFMOHW ビットを使用してPCLKA の1 クロック分拡張できます。**SFMOHW** ビットを1 にすると、QSPI からデータが出力されている間、シリアルデータ送信時のQSPCLK のHigh レベル幅がPCLKA の1 クロック分拡張されます。この機能はシリアルデータ受信には影響しません。

## 3. ファストリード Quad 出力命令

RA4E1 Page 1167, RA4M2 Page 1232, RA4M3 Page 1243, RA6E1 Page 1287, RA6M4 Page 1360, RA6M5 Page 1681

### [修正前]

ファストリードQuad 出力命令は、データ受信に4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされます。命令コード (0x6B/0x6C) およびSFMSAC.SFMAS[1:0]ビットで指定した1~4 バイト幅のアドレスがQI00 端子から出力されます。次に、SFMSMD.SFMDN[3:0]ビットで指定した数のダミーサイクルが生成されます。その後、QI00 端子、QI01 端子、QI02 端子、およびQI03 端子経由でデータを受信します。

### [修正後]

ファストリードQuad 出力命令は、データ受信に4 本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされます。命令コード (0x6B/0x6C) およびSFMSAC.SFMAS[1:0]ビットで指定した1~4 バイト幅のアドレスがQI00 端子から出力されます。次に、**SFMSDC**.SFMDN[3:0]ビットで指定した数のダミーサイクルが生成されます。その後、QI00 端子、QI01 端子、QI02 端子、およびQI03 端子経由でデータを受信します。

## 4. ファストリード Quad I/O 命令

RA4E1 Page 1168, RA4M2 Page 1233, RA4M3 Page 1244, RA6E1 Page 1288, RA6M4 Page 1361, RA6M5 Page 1682

## [修正前]

ファストリードQuad I/O 命令は、アドレス送信とデータ受信に4本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされ、命令コード (0xEB または 0xEC) が拡張SPI プロトコル時はQI00 端子から送信、Quad-SPI プロトコル時はQI00 端子、QI01 端子、QI02 端子、およびQI03 端子より送信されます。次に、SFMSAC.SFMAS[1:0]ビットで指定した1~4 バイト幅のアドレスがQI00 端子、QI01 端子、QI02 端子、QI03 端子経由で送信され、SFMSMD.SFMDN[3:0]ビットで指定した数のダミーサイクルが生成されます。その後、QI00 端子、QI01 端子、QI02 端子、およびQI03 端子経由でデータを受信します。

## [修正後]

ファストリードQuad I/O 命令は、アドレス送信とデータ受信に4本の信号線を使用するリード命令です。SPI バスサイクルの開始時に、QSSL 信号がアサートされ、命令コード (0xEB または 0xEC) が拡張SPI プロトコル時はQI00 端子から送信、Quad-SPI プロトコル時はQI00 端子、QI01 端子、QI02 端子、およびQI03 端子より送信されます。次に、SFMSAC.SFMAS[1:0]ビットで指定した1~4 バイト幅のアドレスがQI00 端子、QI01 端子、QI02 端子、QI03 端子経由で送信され、**SFMSDC**.SFMDN[3:0]ビットで指定した数のダミーサイクルが生成されます。その後、QI00 端子、QI01 端子、QI02 端子、およびQI03 端子経由でデータを受信します。