

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-V85-A035A/J	Rev.	第1版
題名	誤記訂正 電気的特性 バス・タイミング		情報分類	技術情報	
適用製品	V850ES/FJ3、V850ES/FJ3-N シリーズ V850ES/FK3、V850ES/FK3-N シリーズ	対象ロット等	関連資料	適用製品のユーザーズ・マニュアル およびデータシート	
		全ロット			

下記 3. 適用製品 に記載の製品のユーザーズ・マニュアル及びデータシートのバス・タイミングに関する記載で誤記がありましたので、以下のとおり訂正致します。

1. 訂正内容 1 データシート

訂正は、データシートのマルチプレクス・バス・モード時における/RD↑→アドレス出力時間(t_{DRDA})と/RD↑→ASTB↓遅延時間(t_{DRDST})の項目になります。

3. 電気的特性(ターゲット)

3.1 (A)製品についての電気的特性

3.1.11 AC 特性

(2) バスタイミング

(a) CLKOUT 非同期：マルチプレクス・バス・モード時

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = V_{DD1} = EV_{DD} = BV_{DD} = 3.5\text{V} \sim 5.5\text{V}$, $4.0\text{V} \leq AV_{REF0} \leq 5.5\text{V}$,

$V_{SS} = V_{SS1} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

誤：

項目	略号	条件	MIN.	MAX.	単位
/RD↑→アドレス出力時間	t_{DRDA}		$(1+i+t_{AHW}) T-15$		ns
/RD↑→ASTB↓遅延時間	t_{DRDST}		$(1.5+i) T-15$		ns

↓

正：

項目	略号	条件	MIN.	MAX.	単位
/RD↑→アドレス出力時間	t_{DRDA}		$(1+i) T-15$		ns
/RD↑→ASTB↓遅延時間	t_{DRDST}		$(1.5+i+t_{ASW}) T-15$		ns

3.2 (A1)製品についての電気的特性

3.2.11 AC 特性

(2) バスタイミング

(a) CLKOUT 非同期：マルチプレクス・バス・モード時

($T_A = -40 \sim +110 \text{ }^\circ\text{C}$, $V_{DD} = V_{DD1} = EV_{DD} = BV_{DD} = 3.5\text{V} \sim 5.5\text{V}$, $4.0\text{V} \leq AV_{REF0} \leq 5.5\text{V}$,

$V_{SS} = V_{SS1} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

誤：

項目	略号	条件	MIN.	MAX.	単位
/RD↑→アドレス出力時間	t _{DRDA}		(1+i+t _{AHW}) T-15		ns
/RD↑→ASTB↓遅延時間	t _{DRDST}		(1.5+i+t _{AHW}) T-15		ns

↓

正：

項目	略号	条件	MIN.	MAX.	単位
/RD↑→アドレス出力時間	t _{DRDA}		(1+i) T-15		ns
/RD↑→ASTB↓遅延時間	t _{DRDST}		(1.5+i+t _{ASW}) T-15		ns

3.3 (A2)製品についての電気的特性

3.3.11 AC 特性

(2) バスタイミング

(a) CLKOUT 非同期：マルチプレクス・バス・モード時

($T_A = -40 \sim +125 \text{ }^\circ\text{C}$, $V_{DD} = V_{DD1} = EV_{DD} = BV_{DD} = 3.5\text{V} \sim 5.5\text{V}$, $4.0\text{V} \leq AV_{REF0} \leq 5.5\text{V}$,

$V_{SS} = V_{SS1} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

誤：

項目	略号	条件	MIN.	MAX.	単位
/RD↑→アドレス出力時間	t _{DRDA}		(1+i+t _{AHW}) T-15		ns
/RD↑→ASTB↓遅延時間	t _{DRDST}		(1.5+i+t _{AHW}) T-15		ns

↓

正：

項目	略号	条件	MIN.	MAX.	単位
/RD↑→アドレス出力時間	t _{DRDA}		(1+i) T-15		ns
/RD↑→ASTB↓遅延時間	t _{DRDST}		(1.5+i+t _{ASW}) T-15		ns

現状のデータシートでは、「/RD↑→アドレス出力時間」の項目では、読み出しサイクルの間に TAHW (アドレス・ホールド・ウェイト) ステートに相当する TI (アイドル) ステートが入るような表記になっておりますが、正しくは TAHW ステートに相当するアイドル・ステートは入りません。

お客様のシステムにおいて、TAHW ステートを設定していない場合は、影響はありません。

お客様のシステムにおいて、TAHW ステートを設定しており、且つ読み出しサイクルの間に TAHW に相当するアイドル・ステートが入ることを期待して設計している場合においては影響する可能性がありますので、その場合にはご注意ください。

2. 訂正内容 2 ユーザーズマニュアル

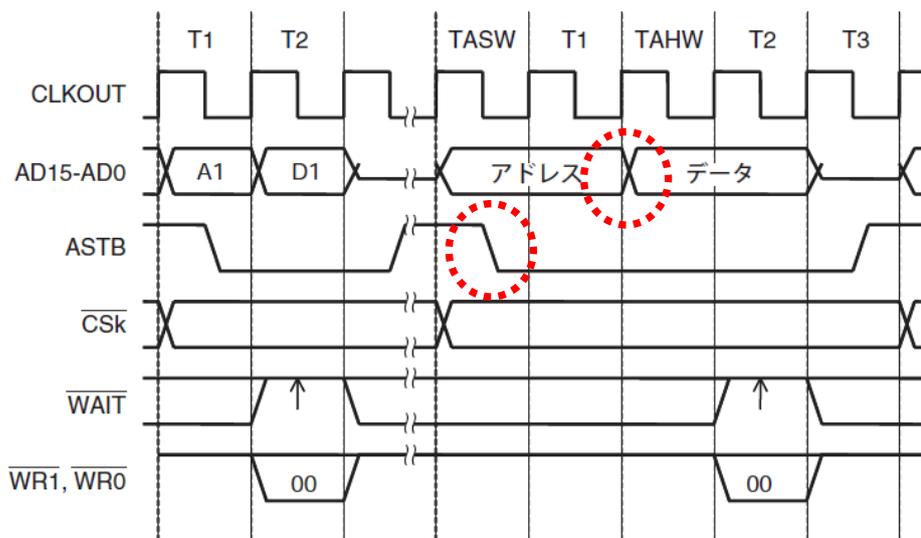
訂正は、ユーザーズ・マニュアルの外部デバイス・インターフェース・タイミングの説明図になります。

第 10 章 バス、メモリ制御機能 (BCU, MEMC)

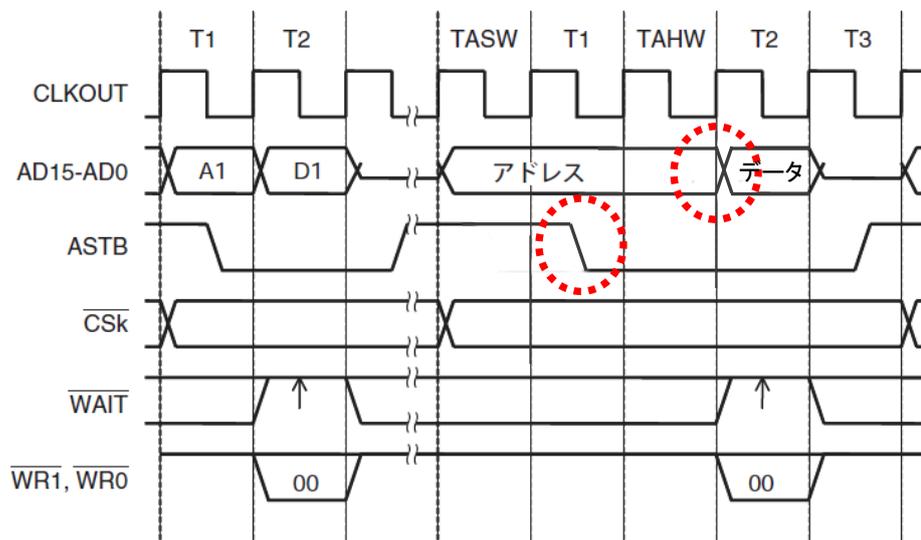
10.5 外部デバイス・インターフェース・タイミング

図 10-9 タイミング：アドレス・セットアップ/ホールド・ウエイト挿入時のライト (バス・サイズ：16 ビット)

誤：



↓
正：



3. 適用製品

○V850ES/FJ3

- ・μPD70F3378
- ・μPD70F3379
- ・μPD70F3380
- ・μPD70F3381
- ・μPD70F3382

○V850ES/FK3

- ・μPD70F3383
- ・μPD70F3384
- ・μPD70F3385

○V850ES/FJ3-N

- ・μPD70F3631
- ・μPD70F3632
- ・μPD70F3633
- ・μPD70F3634
- ・μPD70F3635

○V850ES/FK3-N

- ・μPD70F3636
- ・μPD70F3637
- ・μPD70F3638

以上