

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル

株式会社 ルネサス テクノロジ

問合せ窓口 <http://japan.renesas.com/inquiry>E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-SH7-A593A/J	Rev.	第 1 版
題名	SH7780 SSI モジュールのマニュアル訂正		情報分類	技術情報	
適用製品	SH7780 (R8A77800A)	対象ロット等 全ロット	関連資料	SH7780 ハードウェアマニュアル Rev.1.00 (RJJ09B0221-0100) 2006 年 1 月 11 日発行	

SH7780 の SSI モジュールについて、マニュアルの訂正があります。

下記において、下線部分が追加 / 訂正、二重取り消し線部分が削除となります。

【訂正内容】

1. レジスタの説明

1.1 コントロールレジスタ SSICR

(1) ビット 15 (SCKD ビット) およびビット 14 (SWSD ビット) の説明に下記追加 (関連資料 p26-5)

【注】非圧縮モード(CPEN=0)の場合、(SCKD、SWSD)=(0、0)、(1、1)のみ設定可能です。

(2) ビット 11 (SPDP ビット) の説明に下記追加 (関連資料 p26-6)

【注】MUEN=1 の時、パディングビットはローレベルになります。(MUTE 機能が優先されます)

(3) ビット 8 (DEL ビット) の説明訂正 (関連資料 p26-7)

CPEN=1 のとき、このビットは~~無視されます~~1 にセットしてください

1.2 ステータスレジスタ SSISR

(1) ビット 26 (OIRQ ビット)の説明の【注】の記述場所訂正 (関連資料 p26-10)

[TRMD = 1 (送信モード) のとき]の説明の最後から[TRMD = 0 (受信モード) のとき]の説明の最後へ移動

この【注】はTRMD=0 (受信モード)のときの注意事項です。

(2) ビット0 (IDSTビット) の[SSIがマスタトランスミッタ (SWSD = 1 かつ TRMD = 1) のとき]の説明訂正 (関連資料 p26-12)

また、~~システムワード中送信すべきデータがすべてSSITDRに書き込まれた後で、EN ビットをクリアして現在出力中のシステムワードを終了すると、ENビットがクリアされ、SSITDRに書き込まれているデータがシリアルデータ入出力端子(SSI SDATA)から出力を完了すると(システムワード長の出力を完了すると)、このビットは1にセットされます。~~

2. 動作説明

2.1 バスフォーマット 表 26.4 (関連資料 p26-14)

圧縮スレーブトランスミッタの行 (TRMD、CPEN、・・・、CHNL[1:0]の各値) : ~~1、1、・・・、無視されます~~使用禁止

圧縮スレーブレシーバ、圧縮マスタレシーバ、圧縮マスタトランスミッタの DEL ビットの列 : ~~無視されます~~1

訂正後の表 26.4 圧縮モード (網掛け部分が訂正後の内容になります)

バスフォーマット	TRMD	CPEN	SCKD	SWSD	EN	MUEN	DIEN	IEN	OIEN	UIEN	DEL	PDTA	SDTA	SPDP	SWSP	SCKP	SWL[2:0]	DWL[2:0]	CHNL[1:0]
圧縮スレーブレシーバ	0	1	0/1	0	コントロールビット						1	無視されます	*	無視されます					
圧縮スレーブトランスミッタ	使用禁止																		
圧縮マスタレシーバ	0	1	0/1	1	コントロールビット						1	無視されます	*	無視されます					
圧縮マスタトランスミッタ	1	1	0/1	1							1								

*: コンフィグレーションビット

2 . 2 非圧縮モード (7) 動作設定フォーマット設定ビット (d)(e)(f)タイトル (関連資料 p26-21)

- (1) (d) ~~シリアルデータ~~パディングビット、~~パディングビット~~シリアルデータの順に送受信、遅延あり
- (2) (e) ~~シリアルデータ~~パディングビット、~~パディングビット~~シリアルデータの順に送受信、遅延なし
- (3) (f) ~~パディングビット~~シリアルデータ、~~シリアルデータ~~パディングビットの順に送受信、遅延あり

2 . 3 圧縮モード 図 26.18 および図 26.19 (関連資料 p26-23)

図 26.18、図 26.19 条件： SWSD = 0 1

図26.18 タイトル： 圧縮データフォーマット、~~スレーブ~~マスタトランスミッタ、バーストモード無効

図 26.19 タイトル： 圧縮データフォーマット、~~スレーブ~~マスタトランスミッタ、バーストモード有効

以 上