

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル
株式会社 ルネサス テクノロジ
問合せ窓口 E-mail: csc@renesas.com

製品分類	MPU&MCU	発行番号	TN-H8*-283A/JA	Rev.	第 1 版
題名	H8S/2215 グループ、スマートカードインターフェース機能公開		情報分類	仕様変更	
適用製品	H8S/2215 グループ	対象ロット等	関連資料	H8S/2215 シリーズ ハードウェアマニュアル RJJ09B0147-0400H Rev.4.00	
		全ロット			

H8S/2215 グループでは独立した 3 チャンネルのシリアルコミュニケーションインターフェース (SCI : Serial Communication Interface) を備えています。これらのSCIにはISO/IEC7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェース機能が付加されていますが、これまで非公開としていました。

この度、これらSCIのスマートカードインタフェース拡張機能公開のご連絡をします。

SCIをスマートカードインタフェースとして使用するには、SCI / SCMRの0ビット目を 1 に設定します。(表 1 参照)

表 1 公開ビット (SCI / SCMR / SMIF)

ビット	ビット名	初期値	R/W	説明
0	SMIF	0	R/W	スマートカードインタフェース スマートカードインタフェースモードで動作させるとき 1 をセットします。 0 : 通常の調歩同期式またはクロック同期式モード 1 : スマートカードインタフェースモード

尚、SMIF ビットを 1 に設定すると、SMR,SCR,SSR の各レジスタの機能が変わります。詳細は次紙参照。

本スマートカードインタフェースの主な特徴

- ・ 受信時パリティエラーを検出するとエラーシグナルを自動送出
- ・ 送受信エラーシグナルを受信するとデータを自動再送信
- ・ ダイレクトコンベンション / インバースコンベンションの両方をサポート

< ハードウェアマニュアル変更箇所 >

- ・ 9 章 I/O ポート
- ・ 13 章 シリアルコミュニケーションインターフェース (SCI)

以下、ハードウェアマニュアル変更箇所詳細を記します。

項目	ページ	修正内容																																																	
9. I/O ポート	9-10	表 9.13 P33の端子機能																																																	
		<table><tr><td>SCMR_1のSMIF</td><td colspan="3">0</td><td colspan="4">1</td></tr><tr><td>SCR_1のTE</td><td colspan="2">0</td><td>1</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>P33DDR</td><td>0</td><td>1</td><td>-</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>端子機能</td><td>P33入力</td><td>P33出力</td><td>TXD1出力</td><td>P33入力</td><td>設定禁止</td><td>TXD1出力</td><td>設定禁止</td></tr></table>	SCMR_1のSMIF	0			1				SCR_1のTE	0		1	0		1		P33DDR	0	1	-	0	1	0	1	端子機能	P33入力	P33出力	TXD1出力	P33入力	設定禁止	TXD1出力	設定禁止																	
		SCMR_1のSMIF	0			1																																													
		SCR_1のTE	0		1	0		1																																											
		P33DDR	0	1	-	0	1	0	1																																										
		端子機能	P33入力	P33出力	TXD1出力	P33入力	設定禁止	TXD1出力	設定禁止																																										
		表 9.16 P30の端子機能																																																	
		<table><tr><td>SCMR_0のSMIF</td><td colspan="3">0</td><td colspan="4">1</td></tr><tr><td>SCR_0のTE</td><td colspan="2">0</td><td>1</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>P30DDR</td><td>0</td><td>1</td><td>-</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>端子機能</td><td>P30入力</td><td>P30出力</td><td>TXD0出力</td><td>P30入力</td><td>設定禁止</td><td>TXD0出力</td><td>設定禁止</td></tr></table>	SCMR_0のSMIF	0			1				SCR_0のTE	0		1	0		1		P30DDR	0	1	-	0	1	0	1	端子機能	P30入力	P30出力	TXD0出力	P30入力	設定禁止	TXD0出力	設定禁止																	
	SCMR_0のSMIF	0			1																																														
	SCR_0のTE	0		1	0		1																																												
P30DDR	0	1	-	0	1	0	1																																												
端子機能	P30入力	P30出力	TXD0出力	P30入力	設定禁止	TXD0出力	設定禁止																																												
9-18	表 9.24 PA1の端子機能																																																		
	<table><tr><td>動作モード</td><td colspan="7">モード4 ~ 6</td></tr><tr><td>AE3 ~ AE0</td><td>101x or 11xx</td><td colspan="6">(101x または 11xx) 以外</td></tr><tr><td>SCMR_2のSMIF</td><td>-</td><td colspan="3">0</td><td colspan="3">1</td></tr><tr><td>SCR_2のTE</td><td>-</td><td colspan="2">0</td><td>1</td><td colspan="2">0</td><td>1</td></tr><tr><td>PA1DDR</td><td>-</td><td>0</td><td>1</td><td>-</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>端子機能</td><td>A17出力</td><td>PA1入力</td><td>PA1出力</td><td>TXD2出力</td><td>PA1入力</td><td>設定禁止</td><td>TXD2出力</td><td>設定禁止</td></tr></table>	動作モード	モード4 ~ 6							AE3 ~ AE0	101x or 11xx	(101x または 11xx) 以外						SCMR_2のSMIF	-	0			1			SCR_2のTE	-	0		1	0		1	PA1DDR	-	0	1	-	0	1	0	1	端子機能	A17出力	PA1入力	PA1出力	TXD2出力	PA1入力	設定禁止	TXD2出力	設定禁止
	動作モード	モード4 ~ 6																																																	
	AE3 ~ AE0	101x or 11xx	(101x または 11xx) 以外																																																
SCMR_2のSMIF	-	0			1																																														
SCR_2のTE	-	0		1	0		1																																												
PA1DDR	-	0	1	-	0	1	0	1																																											
端子機能	A17出力	PA1入力	PA1出力	TXD2出力	PA1入力	設定禁止	TXD2出力	設定禁止																																											
<table><tr><td>動作モード</td><td colspan="7">モード7</td></tr><tr><td>SCMR_2のSMIF</td><td colspan="3">0</td><td colspan="4">1</td></tr><tr><td>SCR_2のTE</td><td colspan="2">0</td><td>1</td><td colspan="2">0</td><td colspan="2">1</td></tr><tr><td>PA1DDR</td><td>0</td><td>1</td><td>-</td><td>0</td><td>1</td><td>0</td><td>1</td></tr><tr><td>端子機能</td><td>PA1入力</td><td>PA1出力</td><td>TXD2出力</td><td>PA1入力</td><td>設定禁止</td><td>TXD2出力</td><td>設定禁止</td></tr></table>	動作モード	モード7							SCMR_2のSMIF	0			1				SCR_2のTE	0		1	0		1		PA1DDR	0	1	-	0	1	0	1	端子機能	PA1入力	PA1出力	TXD2出力	PA1入力	設定禁止	TXD2出力	設定禁止											
動作モード	モード7																																																		
SCMR_2のSMIF	0			1																																															
SCR_2のTE	0		1	0		1																																													
PA1DDR	0	1	-	0	1	0	1																																												
端子機能	PA1入力	PA1出力	TXD2出力	PA1入力	設定禁止	TXD2出力	設定禁止																																												

項目	ページ	修正内容										
13. シリアルコミュニケーションインタフェース (SCI)	13.1	本LSI は独立した3 チャンネルのシリアルコミュニケーションインタフェース (SCI: Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用LSI とのシリアル通信ができます。このほか、SCI は調歩同期式モードの拡張機能として、ISO/IEC7816-3 (Identification Card) に準拠したスマートカード (IC カード) インタフェースをサポートしています。										
13.1 特長	13.2	スマートカードインタフェース ・ 受信時パリティエラーを検出するとエラーシグナルを自動送出 ・ 送受信エラーシグナルを受信するとデータを自動再送信 ・ ダイレクトコンベンション / インバースコンベンションの両方をサポート										
13.3 レジスタの説明	13.4	SCI にはチャンネルごとに以下のレジスタがあります。また、シリアルモードレジスタ (SMR) 、シリアルステータスレジスタ (SSR) 、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。										
13.3.5 シリアルモードレジスタ (SMR)	13.5	SMR は通信フォーマットと内蔵ポーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。 表タイトル追加 ・ 通常のシリアルコミュニケーションインタフェースモード (SCMRのSMIF = 0 のとき) 追加 ・ スマートカードインタフェース (SCMRのSMIF = 1 のとき) <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr><tr><td>7</td><td>GM</td><td>0</td><td>R/W</td><td> GSM モード このビットを1 にセットするとGSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.9 クロック出力制御」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 (初期値) ① TEND フラグが開始ビットの先頭から12.5etu (ブロック転送モード時は11.5etu) のタイミングで発生 ② クロック出力のON/OFF 制御のみ 1 : GSM モードのスマートカードインタフェースモードの動作 ① TEND フラグが開始ビットの先頭から11.0etu のタイミングで発生 ② クロック出力のON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定) </td></tr></table>	ビット	ビット名	初期値	R/W	説明	7	GM	0	R/W	GSM モード このビットを1 にセットするとGSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.9 クロック出力制御」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 (初期値) ① TEND フラグが開始ビットの先頭から12.5etu (ブロック転送モード時は11.5etu) のタイミングで発生 ② クロック出力のON/OFF 制御のみ 1 : GSM モードのスマートカードインタフェースモードの動作 ① TEND フラグが開始ビットの先頭から11.0etu のタイミングで発生 ② クロック出力のON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)
ビット	ビット名	初期値	R/W	説明								
7	GM	0	R/W	GSM モード このビットを1 にセットするとGSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「13.7.9 クロック出力制御」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 (初期値) ① TEND フラグが開始ビットの先頭から12.5etu (ブロック転送モード時は11.5etu) のタイミングで発生 ② クロック出力のON/OFF 制御のみ 1 : GSM モードのスマートカードインタフェースモードの動作 ① TEND フラグが開始ビットの先頭から11.0etu のタイミングで発生 ② クロック出力のON/OFF 制御のほか、High/Low 固定制御可能 (SCR で設定)								
				<table><tr><td>6</td><td>BLK</td><td>0</td><td>R/W</td><td> このビットを1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.4 ブロック転送モード」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 ① エラーシグナルの送出、検出、データの自動再送信を行う ② TXI 割り込みがTEND フラグにより発生する ③ TEND フラグの設定タイミングが、送信開始から12.5etu 後 (GSM モードでは11.0etu 後) 1 : ブロック転送モードで動作 ① エラーシグナルの送出、検出、データの自動再送信を行わない ② TXI 割り込みがTDRE フラグにより発生する ③ TEND フラグの設定タイミングが、送信開始から11.5etu 後 (GSM モードでは11.0etu 後) </td></tr></table>	6	BLK	0	R/W	このビットを1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.4 ブロック転送モード」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 ① エラーシグナルの送出、検出、データの自動再送信を行う ② TXI 割り込みがTEND フラグにより発生する ③ TEND フラグの設定タイミングが、送信開始から12.5etu 後 (GSM モードでは11.0etu 後) 1 : ブロック転送モードで動作 ① エラーシグナルの送出、検出、データの自動再送信を行わない ② TXI 割り込みがTDRE フラグにより発生する ③ TEND フラグの設定タイミングが、送信開始から11.5etu 後 (GSM モードでは11.0etu 後)			
6	BLK	0	R/W	このビットを1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「13.7.4 ブロック転送モード」を参照してください。 0 : 通常のスマートカードインタフェースモードの動作 ① エラーシグナルの送出、検出、データの自動再送信を行う ② TXI 割り込みがTEND フラグにより発生する ③ TEND フラグの設定タイミングが、送信開始から12.5etu 後 (GSM モードでは11.0etu 後) 1 : ブロック転送モードで動作 ① エラーシグナルの送出、検出、データの自動再送信を行わない ② TXI 割り込みがTDRE フラグにより発生する ③ TEND フラグの設定タイミングが、送信開始から11.5etu 後 (GSM モードでは11.0etu 後)								

項目	ページ	修正内容				
13.3.5 シリアルモードレジスタ (SMR) の続き		ビット	ビット名	初期値	R/W	説明
		5	PE	0	R/W	パリティイネーブル このビットが1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは1 にセットして使用してください。
		4	O/E	0	R/W	パリティモード (PE = 1 のときのみ有効) 0 :偶数パリティで送受信します。 1 :奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用法については「13.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
		3	BCP1	0	R/W	基本クロックパルス1 ~ 0
		2	BCP0	0	R/W	スマートカードインタフェースモードにおいて1 ビット転送期間中の基本クロック数を選択します。 00 32 クロック (S=32) 01 64 クロック (S=64) 10 372 クロック (S=372) 11 256 クロック (S=256) 詳細は、「13.7.5 受信データサンプリングタイミングと受信マージン」を参照してください。S は「13.3.10 ビットレートレジスタ (BRR)」中のS の値を表します。
13.3.6 シリアルコントロールレジスタ (SCR)	13.6	1	CKS1	0	R/W	クロックセレクト1 ~ 0
		0	CKS0	0	R/W	内蔵ポーレートジェネレータのクロックソースを選択します。 00 :φ クロック (n=0) 01 :φ/4 クロック (n=1) 10 :φ/16 クロック (n=2) 11 :φ/64 クロック (n=3) このビットの設定値とポーレートの関係については、「13.3.10 ビットレートレジスタ (BRR)」を参照してください。n は設定値の10 進表示で、「13.3.10 ビットレートレジスタ (BRR)」中のn の値を表します。
13.3.6 シリアルコントロールレジスタ (SCR)	13.6	SCRは送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「13.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。				
		表タイトル追加 ・通常のシリアルコミュニケーションインタフェースモード (SCMR のSMIF = 0 のとき)				

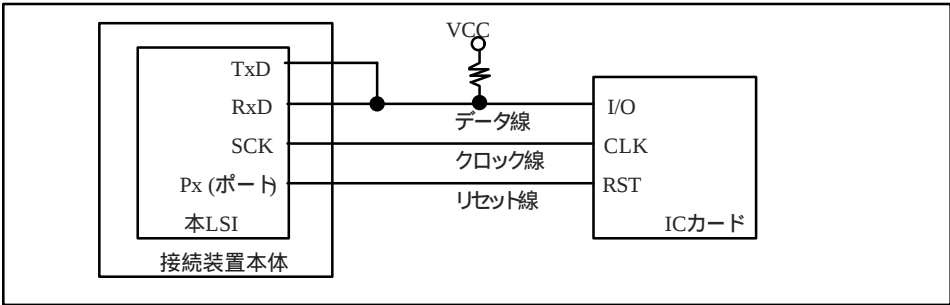
項目	ページ	修正内容				
13.3.6 シリアルコントロールレジスタ(SCR) の続き		追加				
		・スマートカードインタフェース (SCMRのSMIF = 1 のとき)				
		ビット	ビット名	初期値	R/W	説明
		7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを1 にセットすると、TXI 割り込み要求を許可します。 TXI 割り込み要求の解除は、SSR のTDRE フラグから1 をリードした後、0 にクリアするか、またはTIE ビットを0 にクリアすることで行うことができます。
		6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを1 にセットすると、RXI およびERI 割り込み要求を許可します。 RXI、およびERI 割り込み要求の解除は、SSR のRDRF、FER、PER、ORERの各フラグから1 をリードした後、0 にクリアするか、またはRIE ビットを0にクリアすることで行うことができます。
		5	TE	0		R/W トランスミットイネーブル このビットを1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR のTDRE フラグを0 にクリアするとシリアル送信を開始します。なお、1 にセットする前に必ずSMR の設定を行い、送信フォーマットを決定してください。 このビットを0 にクリアすると、送信動作が禁止され、SSR のTDRE フラグは1 に固定されます。
		4	RE	0	R/W	レシーブイネーブル このビットを1 にセットすると、受信動作が可能になります。この状態で、調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。なお、1 にセットする前に必ずSMR の設定を行い、受信フォーマットを決定してください。 このビットを0 にクリアすると、受信動作が禁止されます。0 にクリアしても、RDRF、FER、PER、ORER の各フラグは影響を受けず、状態を保持します。
		3	MPIE	0	R/W	マルチプロセッサインタラプトイネーブル (調歩同期式モードでSMR のMP = 1 のとき有効) スマートカードインタフェースではこのビットには0 をライトして使用してください。 MPB=0 を含む受信データを受信しているときは、RSR からRDR への受信データの転送、および受信エラーの検出とSSR のRDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR のMPB ビットを1 にセットし、MPIE ビットを自動的に0 にクリアし、RXI、ERI割り込み要求の発生(SCR のTIE、RIE ビットが1 にセットされている場合)とFER、ORER フラグのセットが許可されます。
		2	TEIE	0	R/W	トランスミットエンドインタラプトイネーブル スマートカードインタフェースではこのビットには0 をライトして使用してください。 TEI の解除は、SSR のTDRE フラグから1 をリードした後、0 にクリアしてTEND フラグを0 にクリアするか、TEIE ビットを0 にクリアすることで行うことができます。

項目	ページ	修正内容															
13.3.6 シリアルコントロールレジスタ(SCR) の続き		<table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr><tr><td>1</td><td>CKE1</td><td>0</td><td>R/W</td><td>クロックイネーブル1～0</td></tr><tr><td>0</td><td>CKE0</td><td>0</td><td>R/W</td><td>SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.9 クロック出力制御」を参照してください。 SMR のGM=0 の場合 00 :出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 :クロック出力 1x :リザーブ SMR のGM=1 の場合 00 :Low 出力固定 01 :クロック出力 10 :High 出力固定 11 :クロック出力</td></tr></table> 【記号説明】x Don't care	ビット	ビット名	初期値	R/W	説明	1	CKE1	0	R/W	クロックイネーブル1～0	0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.9 クロック出力制御」を参照してください。 SMR のGM=0 の場合 00 :出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 :クロック出力 1x :リザーブ SMR のGM=1 の場合 00 :Low 出力固定 01 :クロック出力 10 :High 出力固定 11 :クロック出力
ビット	ビット名	初期値	R/W	説明													
1	CKE1	0	R/W	クロックイネーブル1～0													
0	CKE0	0	R/W	SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「13.7.9 クロック出力制御」を参照してください。 SMR のGM=0 の場合 00 :出力ディスエーブル (SCK 端子は入出力ポートとして使用可) 01 :クロック出力 1x :リザーブ SMR のGM=1 の場合 00 :Low 出力固定 01 :クロック出力 10 :High 出力固定 11 :クロック出力													
13.3.7 シリアルステータスレジスタ (SSR)	13.8	SSRはSCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。 表タイトル追加 - 通常のシリアルコミュニケーションインタフェースモード (SCMR のSMIF = 0 のとき) 追加 - スマートカードインタフェース (SCMRのSMIF = 1 のとき) <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr><tr><td>7</td><td>TDRE</td><td>1</td><td>R/(W)*1</td><td>トランスミットデータレジスタエンティ TDR 内の送信データの有無を表示します。 [セット条件] ・ SCR のTE が0 のとき ・ TDR からTSR にデータが転送されたとき [クリア条件] ・ 1 の状態をリードした後、0 をライトしたとき ・ TXI 割り込み要求によりDMAC またはDTC*2 でTDR へ送信データを転送したとき</td></tr><tr><td>6</td><td>RDRF</td><td>0</td><td>R/(W)*1</td><td>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR からRDR へ受信データが転送されたとき [クリア条件] ・ 1 の状態をリードした後、0 をライトしたとき ・ RXI 割り込みによりDMACまたはDTC*2 でRDRからデータを転送したとき SCR のRE をクリアしてもRDRF は影響を受けず状態を保持します。 RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。</td></tr></table>	ビット	ビット名	初期値	R/W	説明	7	TDRE	1	R/(W)*1	トランスミットデータレジスタエンティ TDR 内の送信データの有無を表示します。 [セット条件] ・ SCR のTE が0 のとき ・ TDR からTSR にデータが転送されたとき [クリア条件] ・ 1 の状態をリードした後、0 をライトしたとき ・ TXI 割り込み要求によりDMAC またはDTC*2 でTDR へ送信データを転送したとき	6	RDRF	0	R/(W)*1	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR からRDR へ受信データが転送されたとき [クリア条件] ・ 1 の状態をリードした後、0 をライトしたとき ・ RXI 割り込みによりDMACまたはDTC*2 でRDRからデータを転送したとき SCR のRE をクリアしてもRDRF は影響を受けず状態を保持します。 RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。
ビット	ビット名	初期値	R/W	説明													
7	TDRE	1	R/(W)*1	トランスミットデータレジスタエンティ TDR 内の送信データの有無を表示します。 [セット条件] ・ SCR のTE が0 のとき ・ TDR からTSR にデータが転送されたとき [クリア条件] ・ 1 の状態をリードした後、0 をライトしたとき ・ TXI 割り込み要求によりDMAC またはDTC*2 でTDR へ送信データを転送したとき													
6	RDRF	0	R/(W)*1	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] 受信が正常終了し、RSR からRDR へ受信データが転送されたとき [クリア条件] ・ 1 の状態をリードした後、0 をライトしたとき ・ RXI 割り込みによりDMACまたはDTC*2 でRDRからデータを転送したとき SCR のRE をクリアしてもRDRF は影響を受けず状態を保持します。 RDRFフラグが1にセットされたまま次のデータを受信完了するとオーバランエラーを発生し、受信データが失われますので注意してください。													

項目	ページ	修正内容				
13.3.7 シリアルステータスレジスタ (SSR) の続き		ビット	ビット名	初期値	R/W	説明
		5	ORER	0	R/(W)*1	オーバランエラー 受信時にオーバランエラーが発生して異常終了したことを表示します。 [セット条件] RDRF=1 の状態で次のデータを受信したとき RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1 にセットされた状態で以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 [クリア条件] 1 の状態をリードした後、0 をライトしたとき SCRのREをクリアしても、ORERは影響を受けず以前の状態を保持します。
		4	ERS	0	R/(W)*1	エラーシグナルステータス 送信時に受信側から送り返されるエラーシグナルのステータスを表示します。 [セット条件] エラーシグナルLow をサンプリングしたとき [クリア条件] 1 の状態をリードした後、0 をライトしたとき SCR のTE をクリアしてもERS は影響を受けず状態を保持します。
		3	PER	0	R/(W)*1	パリティエラー 調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを表示します。 [セット条件] 受信中にパリティエラーを検出したとき パリティエラーが発生したときの受信データはRDR に転送されますが、RDRF フラグはセットされません。さらに、PER=1 にセットされた状態で以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることができません。 [クリア条件] 1 の状態をリードした後、0 をライトしたとき SCR のRE をクリアしても、PER は影響を受けず以前の状態を保持します。
		2	TEND	1	R	トランスミットエンド 受信側からのエラーシグナルの応答がなく、次の送信データをTDR に転送可能になったときセットされます。 [セット条件] ・ SCR のTE=0 かつERS=0 のとき ・ 1 バイトのデータを送信して一定期間後、ERS=0 かつTDRE=1 のとき。 セットされるタイミングはレジスタの設定により以下のように異なります。 GM=0、BLK=0 のとき、送信開始から12.5etu 後 GM=0、BLK=1 のとき、送信開始から11.5etu 後 GM=1、BLK=0 のとき、送信開始から11.0etu 後 GM=1、BLK=1 のとき、送信開始から11.0etu 後 [クリア条件] ・ TDRE = 1 の状態をリードした後、TDRE フラグに0 をライトしたとき ・ TXI 割り込み要求によりDMACまたはDTC でTDR へ送信データを転送したとき
		1	MPB	0	R	マルチプロセッサビット スマートカードインタフェースでは使用しません。
		0	MPBT	0	R/W	マルチプロセッサビットトランスファ スマートカードインタフェースではこのビットには0 をライトして使用してください。
		【注】 *1 フラグをクリアするための0 ライトのみ可能です。 *2 DTC によりクリアされる条件は、DISEL = 0、かつ転送カウンタ≠ 0 のときです。				

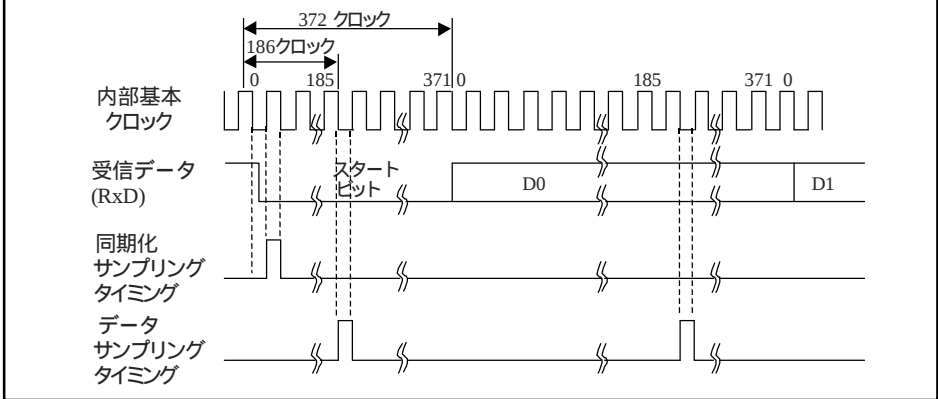
項目	ページ	修正内容																																															
13.3.8 スマートカードモードレジスタ (SCMR)	13.10	(旧) SCMR は通信フォーマットを選択するためのレジスタです。本LSI では、スマートカードインタフェース機能は設定できません。 (新) SCMR はスマートカードインタフェースおよび通信フォーマットを選択するためのレジスタです。 <table><tr><th>ビット</th><th>ビット名</th><th>初期値</th><th>R/W</th><th>説明</th></tr><tr><td>0</td><td>SMIF</td><td>0</td><td>R/W</td><td>スマートカードインタフェース スマートカードインタフェースモードで動作させるとき1 をセットします。 0 通常の調歩同期式またはクロック同期式モード 1 スマートカードインタフェースモード</td></tr></table>	ビット	ビット名	初期値	R/W	説明	0	SMIF	0	R/W	スマートカードインタフェース スマートカードインタフェースモードで動作させるとき1 をセットします。 0 通常の調歩同期式またはクロック同期式モード 1 スマートカードインタフェースモード																																					
ビット	ビット名	初期値	R/W	説明																																													
0	SMIF	0	R/W	スマートカードインタフェース スマートカードインタフェースモードで動作させるとき1 をセットします。 0 通常の調歩同期式またはクロック同期式モード 1 スマートカードインタフェースモード																																													
13.3.10 ビットレートレジスタ (BRR)	13.15	BRRはビットレートを調整するための8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおけるBRR の設定値N とビットレート B の関係を表13.2 に示します。BRR の初期値はH'FF で、CPU から常にリード/ライト可能です。 表13.2 BRR の設定値N とビットレート B の関係 <table><tr><th>通信モード</th><th>ABCS ビット</th><th>ビットレート</th><th>誤差</th></tr><tr><td>追加 スマートカード インタフェース</td><td>x</td><td>$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N + 1)}$</td><td>$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$</td></tr></table> 【記号説明】 B :ビットレート(bps) N :ボーレートジェネレータの BRR の設定値 (0 ≤ N ≤ 255) φ :動作周波数 (MHz) [16MHz 時 φ = 16] n :下表のとおりSMR の設定値によって決まります。 x : Don't care <table><tr><th colspan="2">SMRの設定値</th><th rowspan="2">クロック ソース</th><th rowspan="2">n</th><th colspan="2">追加 SMRの設定値</th><th rowspan="2">S</th></tr><tr><th>CKS1</th><th>CKS0</th><th>BCP1</th><th>BCP0</th></tr><tr><td>0</td><td>0</td><td>φ</td><td>0</td><td>0</td><td>0</td><td>32</td></tr><tr><td>0</td><td>1</td><td>φ/4</td><td>1</td><td>0</td><td>1</td><td>64</td></tr><tr><td>1</td><td>0</td><td>φ/16</td><td>2</td><td>1</td><td>0</td><td>372</td></tr><tr><td>1</td><td>1</td><td>φ/64</td><td>3</td><td>1</td><td>1</td><td>256</td></tr></table> 通常の調歩同期式モードにおけるBRR の値N の設定例を表13.3 に、各動作周波数における設定可能な最大ビットレートを表13.4 に示します。また、クロック同期式モードにおけるBRR の値N の設定例を表13.6 に、スマートカードインタフェースにおけるBRRの値Nの設定例を表13.8 に示します。スマートカードインタフェースでは1 ビット転送期間の基本クロック数S を選択できます。詳細は「13.7.5 受信データサンプリングタイミングと受信マージン」を参照してください。また、表13.5、表13.7 に外部クロック入力時の最大ビットレートを示します。	通信モード	ABCS ビット	ビットレート	誤差	追加 スマートカード インタフェース	x	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N + 1)}$	$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$	SMRの設定値		クロック ソース	n	追加 SMRの設定値		S	CKS1	CKS0	BCP1	BCP0	0	0	φ	0	0	0	32	0	1	φ/4	1	0	1	64	1	0	φ/16	2	1	0	372	1	1	φ/64	3	1	1	256
通信モード	ABCS ビット	ビットレート	誤差																																														
追加 スマートカード インタフェース	x	$B = \frac{\phi \times 10^6}{S \times 2^{2n+1} \times (N + 1)}$	$\text{誤差 (\%)} = \left\{ \frac{\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N + 1)} - 1 \right\} \times 100$																																														
SMRの設定値		クロック ソース	n	追加 SMRの設定値		S																																											
CKS1	CKS0			BCP1	BCP0																																												
0	0	φ	0	0	0	32																																											
0	1	φ/4	1	0	1	64																																											
1	0	φ/16	2	1	0	372																																											
1	1	φ/64	3	1	1	256																																											

項目	ページ	修正内容																																																																																																																																																																
13.3.10 ビットレートレジスタ (BRR) の続き		追加 表13.8 ビットレートに対するBRR の設定例 (スマートカードインタフェースモードでn = 0、S = 372 のとき) <table><tr><th rowspan="3">ビットレート (bps)</th><th colspan="8">動作周波数 φ (MHz)</th></tr><tr><th colspan="2">5.00</th><th colspan="2">7.00</th><th colspan="2">7.1424</th><th colspan="2">10.00</th></tr><tr><th>N</th><th>Error (%)</th><th>N</th><th>Error (%)</th><th>N</th><th>Error (%)</th><th>N</th><th>Error (%)</th></tr><tr><td>6720</td><td>0</td><td>0.01</td><td>1</td><td>30.00</td><td>1</td><td>28.57</td><td>1</td><td>0.01</td></tr><tr><td>9600</td><td>0</td><td>30.00</td><td>0</td><td>1.99</td><td>0</td><td>0.00</td><td>1</td><td>30.00</td></tr></table> <table><tr><th rowspan="3">Bit Rate (bps)</th><th colspan="8">Operating Frequency φ (MHz)</th></tr><tr><th colspan="2">10.7136</th><th colspan="2">13.00</th><th colspan="2">14.2848</th><th colspan="2">16.00</th></tr><tr><th>N</th><th>Error (%)</th><th>N</th><th>Error (%)</th><th>N</th><th>Error (%)</th><th>N</th><th>Error (%)</th></tr><tr><td>6720</td><td>1</td><td>7.14</td><td>2</td><td>13.33</td><td>2</td><td>4.76</td><td>2</td><td>6.67</td></tr><tr><td>9600</td><td>1</td><td>25.00</td><td>1</td><td>8.99</td><td>1</td><td>0.00</td><td>1</td><td>12.01</td></tr></table> 表13.9 各動作周波数における最大ビットレート (スマートカードインタフェースモード) <table><tr><th rowspan="2">φ (MHz)</th><th colspan="4">最大ビットレート(bps)</th><th rowspan="2">n</th><th rowspan="2">N</th></tr><tr><th>S=32</th><th>S=64</th><th>S=256</th><th>S=372</th></tr><tr><td>5.00</td><td>78125</td><td>39063</td><td>9766</td><td>6720</td><td>0</td><td>0</td></tr><tr><td>6.00</td><td>93750</td><td>46875</td><td>11719</td><td>8065</td><td>0</td><td>0</td></tr><tr><td>7.00</td><td>109375</td><td>54688</td><td>13672</td><td>9409</td><td>0</td><td>0</td></tr><tr><td>7.1424</td><td>111600</td><td>55800</td><td>13950</td><td>9600</td><td>0</td><td>0</td></tr><tr><td>10.00</td><td>156250</td><td>78125</td><td>19531</td><td>13441</td><td>0</td><td>0</td></tr><tr><td>10.7136</td><td>167400</td><td>83700</td><td>20925</td><td>14400</td><td>0</td><td>0</td></tr><tr><td>13.00</td><td>203125</td><td>101563</td><td>25391</td><td>17473</td><td>0</td><td>0</td></tr><tr><td>14.2848</td><td>223200</td><td>111600</td><td>27900</td><td>19200</td><td>0</td><td>0</td></tr><tr><td>16.00</td><td>250000</td><td>125000</td><td>31250</td><td>21505</td><td>0</td><td>0</td></tr></table> 【注】本LSI では動作周波数 φ 13MHz が対応します。	ビットレート (bps)	動作周波数 φ (MHz)								5.00		7.00		7.1424		10.00		N	Error (%)	N	Error (%)	N	Error (%)	N	Error (%)	6720	0	0.01	1	30.00	1	28.57	1	0.01	9600	0	30.00	0	1.99	0	0.00	1	30.00	Bit Rate (bps)	Operating Frequency φ (MHz)								10.7136		13.00		14.2848		16.00		N	Error (%)	N	Error (%)	N	Error (%)	N	Error (%)	6720	1	7.14	2	13.33	2	4.76	2	6.67	9600	1	25.00	1	8.99	1	0.00	1	12.01	φ (MHz)	最大ビットレート(bps)				n	N	S=32	S=64	S=256	S=372	5.00	78125	39063	9766	6720	0	0	6.00	93750	46875	11719	8065	0	0	7.00	109375	54688	13672	9409	0	0	7.1424	111600	55800	13950	9600	0	0	10.00	156250	78125	19531	13441	0	0	10.7136	167400	83700	20925	14400	0	0	13.00	203125	101563	25391	17473	0	0	14.2848	223200	111600	27900	19200	0	0	16.00	250000	125000	31250	21505	0	0
		ビットレート (bps)		動作周波数 φ (MHz)																																																																																																																																																														
				5.00		7.00		7.1424		10.00																																																																																																																																																								
			N	Error (%)	N	Error (%)	N	Error (%)	N	Error (%)																																																																																																																																																								
		6720	0	0.01	1	30.00	1	28.57	1	0.01																																																																																																																																																								
9600	0	30.00	0	1.99	0	0.00	1	30.00																																																																																																																																																										
Bit Rate (bps)	Operating Frequency φ (MHz)																																																																																																																																																																	
	10.7136		13.00		14.2848		16.00																																																																																																																																																											
	N	Error (%)	N	Error (%)	N	Error (%)	N	Error (%)																																																																																																																																																										
6720	1	7.14	2	13.33	2	4.76	2	6.67																																																																																																																																																										
9600	1	25.00	1	8.99	1	0.00	1	12.01																																																																																																																																																										
φ (MHz)	最大ビットレート(bps)				n	N																																																																																																																																																												
	S=32	S=64	S=256	S=372																																																																																																																																																														
5.00	78125	39063	9766	6720	0	0																																																																																																																																																												
6.00	93750	46875	11719	8065	0	0																																																																																																																																																												
7.00	109375	54688	13672	9409	0	0																																																																																																																																																												
7.1424	111600	55800	13950	9600	0	0																																																																																																																																																												
10.00	156250	78125	19531	13441	0	0																																																																																																																																																												
10.7136	167400	83700	20925	14400	0	0																																																																																																																																																												
13.00	203125	101563	25391	17473	0	0																																																																																																																																																												
14.2848	223200	111600	27900	19200	0	0																																																																																																																																																												
16.00	250000	125000	31250	21505	0	0																																																																																																																																																												

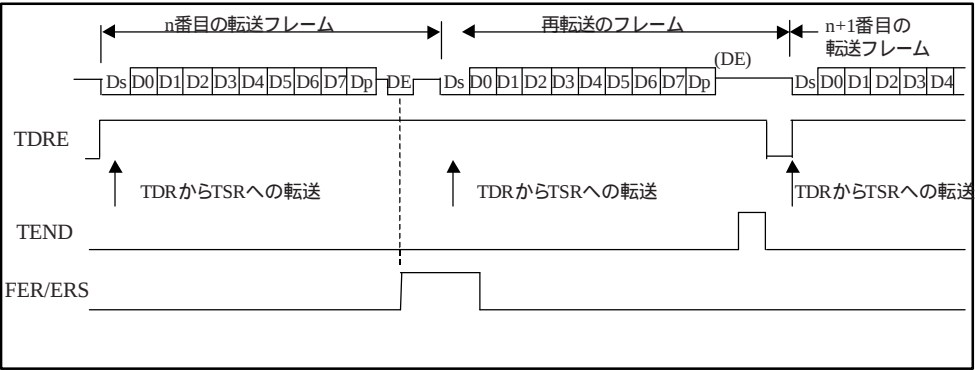
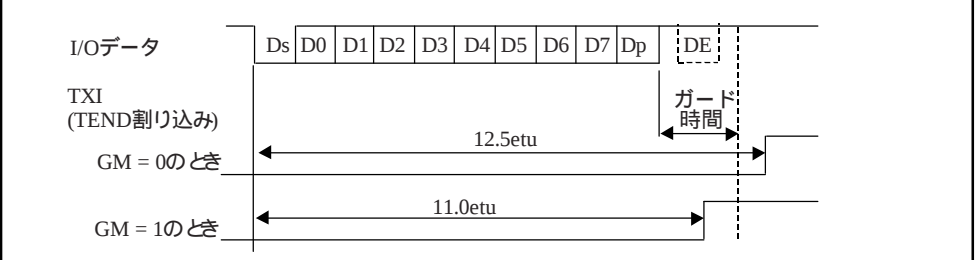
項目	ページ	修正内容
追加 13.7 スマートカード インタフェースの動作説明	13.43	追加 13.7 スマートカードインタフェースの動作説明 SCI はシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に準拠したIC カード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。 13.7.1 接続例 図13.24 にスマートカードとの接続例を示します。IC カードとは1本のデータ伝送線で送受信が行われるので、TxD 端子とRxD 端子とを結線し、データ伝送線は抵抗で電源VCC 側にプルアップしてください。IC カードを接続しない状態でRE = TE = 1 に設定すると、閉じた送信 / 受信が可能となり自己診断をすることができます。SCI で生成するクロックをIC カードに供給する場合は、SCK 端子出力をIC カードのCLK 端子に入力してください。IC カードで、内部クロックを使用する場合は接続不要です。リセット信号の出力には本LSI の出力ポートを使用できます。端子としては、これ以外に通常、電源とグランドの接続が必要です。  図13.24 スマートカードインタフェース端子接続概要 13.7.2 データフォーマット (ブロック転送モード時を除く) 図13.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。 - 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。 - 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit: 1ビットの転送期間) 以上のガードタイムをおきます。 - 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。 - 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

項目	ページ	修正内容
13.7 スマートカード インタフェースの動 作説明 の続き		正常送受信時 パリティエラー発生時 【記号説明】 DS : スタートビット D0 ~ D7 : データビット Dp : パリティビット DE : エラーシグナル 図13.25 通常のスマートカードインタフェースのデータフォーマット ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。 (Z) A Z Z A Z Z Z A A Z (Z) 状態 図13.26 ダイレクトコンベンション (SDIR = SINV = O/E = 0) ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理1 レベルを状態Z に、論理0 レベルを状態A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータはH'3B となります。ダイレクトコンベンションタイプではSCMR のSDIR ビット、SINV ビットを共に0 にセットしてください。また、スマートカードの規程により偶数パリティとなるようMR のO/E ビットには0 をセットしてください。 (Z) A Z Z A A A A A A Z (Z) 状態 図13.27 インバースコンベンション (SDIR = SINV = O/E = 1)

項目	ページ	修正内容
13.7 スマートカード インタフェースの動 作説明 の続き		インバースコンベンションタイプは、論理1 レベルを状態A に、論理0 レベルを状態Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータはH'3F となります。インバースコンベンションタイプではSCMR のSDIR ビット、SINV ビットを共に1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理0 となり、状態Z が対応します。本LSI では、SINV ビットはデータビットD7 ~ D0のみ反転させます。このため、送受信ともSMR のO/E ビットに1 を設定してパリティビットを反転させてください。 13.7.3 クロック 送受信クロックは、内蔵ポーレートジェネレータの生成した内部クロックのみ使用できます。このとき、CKE0=1でクロック出力を選択すると、SCK 端子からは、ビットレートのS*倍の周波数のクロックが出力されます。 【注】* 記号S は「13.3.10 ビットレートレジスタ(BRR)」の中のS の値を表します。 13.7.4 ブロック転送モード ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。 ・ 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSR のPERはセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。 ・ 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小10μt以上です。 ・ 送信時は再送信を行わないため、TENDフラグは送信開始から1.5μt後にセットされます。 ・ ERSフラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に0となります。 13.7.5 受信データサンプリングタイミングと受信マージン スマートカードインタフェースで利用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCI はBCP1、BCP0 の設定によりビットレートの32 倍、64 倍、372 倍、256 倍 (通常の調歩同期式モードでは16 倍に固定されています) の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。 また、図13.28 に示すように受信データを基本クロックのそれぞれ16、32、186、128 番目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表すことができます。 $M = \left 0.5 - \frac{1}{2N} \right - (L - 0.5)F - \frac{ D - 0.5 }{N} (L + F) \times 100\%$ M : 受信マージン (%) N : クロックに対するビットレートの比 (N = 32、64、372、256) D : クロックデューティ (D = 0 ~ 1.0) L : フレーム長 (L = 10)

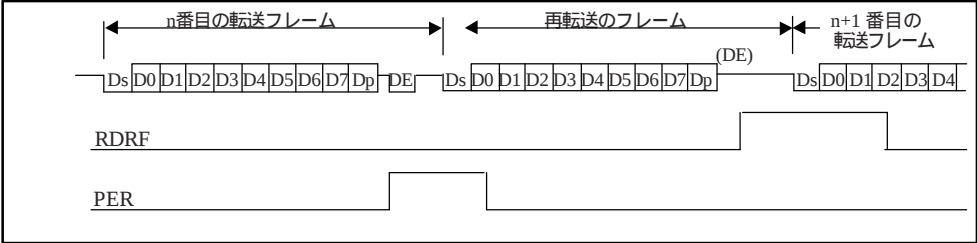
項目	ページ	修正内容
13.7 スマートカード インタフェースの動 作説明 の続き		F :クロック周波数の偏差の絶対値 上の式で、F = 0、D = 0.5、N = 372 とすると、受信マージンは次のようになります。 $M = (0.5 - 1/2 \times 372) \times 100\%$ $= 49.866\%$  図13.28 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時) 13.7.6 初期設定 データの送受信の前に、以下の手順でSCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。 1. SCRのTE、REビットを0にクリアします。 2. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。 3. SMRのGM、BLK、O/E、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。 4. SCMRのSMIF、SDIR、SINVビットを設定してください。 SMIFビットを1にセットすると、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。 5. ビットレートに対応する値をBRRに設定します。 6. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは0に設定してください。 CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。

項目	ページ	修正内容
13.7 スマートカード インタフェースの動 作説明 の続き		7. 少なくとも 1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断 以外はTEビットとREビットを同時にセットしないでください。 受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化 から開始し、RE = 0、TE = 1 に設定してください。受信動作の完了は、RDRF フラグ、あるいはPER、 ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了している ことを確認した後、初期化から開始し、TE = 0、RE = 1 に設定してください。送信動作の完了はTEND フラグで確認できます。 13.7.7 シリアルデータ送信 (ブロック転送モードを除く) スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるた め、通常のシリアルコミュニケーションインタフェースとは動作が異なります (ブロック転送モードを除く)。 送信時の再転送動作を図13.29 に示します。 1フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERS ビットが1にセットされます。このとき、SCRのRIE ビットがセットされているとERI割り込み要求を 発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。 - エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度 データが転送され、自動的に再送信を行います。 - 受信側からエラーシグナルが返ってこない場合は、SSRのERS ビットはセットされません。再転送 を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRの TIEがセットされていれば、TXI割り込み要求が発生します。送信データをTDRに書き込むこと により次のデータが送信されます。 送信処理フローの例を図13.30 に示します。これら一連の処理はTXI 割り込み要因によって DMACまたはDTC*を起動することで、自動的に行うことができます。送信動作では、SSR のTEND フ ラグが1にセットされると同時にTDRE フラグもセットされ、SCR のTIE をセットしておくでTXI 割り込み 要求が発生します。あらかじめDMAC またはDTC*の起動要因にTXI 要求を設定しておけば、TXI 要 求によりDMAC またはDTC*が起動されて送信データの転送を行います。TDRE およびTEND フラグ は、DMAC またはDTC*によるデータ転送時に自動的に0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間TEND は0のまま保持され、DMAC またはDTC*は 起動されません。したがって、エラー発生時の再送信を含め、SCI とDMACまたはDTC*が指定された バイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんの で、RIE ビットを1 にセットしておき、エラー発生時にERI 割り込み要求を発生させ、ERS をクリアして ください。 なお、DMAC またはDTC*を使って送受信を行う場合は、必ず先にDMAC またはDTC*を設定し、許 可状態にしてからSCI の設定を行ってください。DMACまたはDTC*の設定方法は 第7章DMAコント ローラ (DMAC)」、第8章データ転送ファコンローラ (DTC)』を参照してください。 【注】 * DTC によりフラグが自動的にクリアされるのはDISEL = 0、かつ転送カウンタ≠0 のときです。

項目	ページ	修正内容
13.7 スマートカード インタフェースの動作説明 の続き		 図13.29 SCI 送信モードの場合の再転送動作 なお、SMR のGM ビットの設定により、TEND フラグのセットタイミングが異なります。図13.30 に TEND フラグ発生タイミングを示します。  【記号説明】 - Ds : スタートビット - D0 ~ D7 : データビット - Dp : パリティビット - DE : エラーシグナル

項目	ページ	修正内容
13.7 スマートカード インタフェースの動作説明 の続き		<pre> graph TD Start([開始]) --> Init[初期化] Init --> SendStart[送信開始] SendStart --> ERS1{ERS = 0?} ERS1 -- No --> Abn1[異常処理] Abn1 --> ERS1 ERS1 -- Yes --> TEND1{TEND = 1?} TEND1 -- No --> SendStart TEND1 -- Yes --> WriteData[TDRヘデータをライトし、SSRのTDREフラグを0にクリア] WriteData --> AllData{全データ送信} AllData -- No --> SendStart AllData -- Yes --> ERS2{ERS = 0?} ERS2 -- No --> Abn2[異常処理] Abn2 --> ERS2 ERS2 -- Yes --> TEND2{TEND = 1?} TEND2 -- No --> ERS2 TEND2 -- Yes --> ClearTE[TEビットを0にクリア] ClearTE --> End([終了]) </pre>

図13.31 送信処理フローの例

項目	ページ	修正内容
13.7 スマートカード インタフェースの動 作説明 の続き		13.7.8 シリアルデータ受信 (ブロック転送モードを除く) スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図13.32 に示します。 1. 受信データにパリティエラーを検出するとSSRのPER ビットが1にセットされます。このとき、SCRの RIE がセットされているとERI 割り込み要求を発生します。次のパリティビットのサンプリングタイミン グまでにPER ビットをクリアしてください。 2. パリティエラーを検出したフレームではSSRのRDRF ビットはセットされません。 3. パリティエラーが検出されない場合は、SSRのPER ビットはセットされません。正常に受信を完了し たと判断して、SSRのRDRF が1にセットされます。このときSCRのRIE ビットがセットされてい ければRXI 割り込み要求を発生します。 受信フローの例を図13.33 に示します。これら一連の処理はRXI 割り込み要因によってDMAC また はDTC*を起動することで、自動的に行うことができます。受信動作では、RIE ビットを1 にセットしておくとRDRF フラグが1 にセットされるとRXI 要求を発生します。あらかじめDMAC またはDTC*の起動要 因にRXI 要求を設定しておけば、RXI 要求によりDMAC またはDTC*が起動されて受信データの転送 を行います。DMAC またはDTC*によりデータが転送されるとRDRF フラグは自動的にクリアされます。 また、受信時にエラーが発生しRER、PER フラグのいずれかが1 にセットされると、送受信エラー割り 込み (ERI)要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDMAC またはDTC*は起動されず、受信データはスキップされるためDMAC またはDTC*に設定したバイト数 だけ受信データを転送します。 なお、受信時にパリティエラーが発生しPER が1 にセットされた場合でも、受信したデータはRDR に 転送されるのでこのデータをリードすることは可能です。 【注】 ブロック転送モードの場合は「13.4 調歩同期式モードの動作」を参照してください。 * DTC によりフラグが自動的にクリアされるのはDISEL = 0、かつ転送カウンタ ≠ 0 のときです。  図13.32 SCI 受信モードの場合の再転送動作

項目	ページ	修正内容
13.7 スマートカード インタフェースの動作説明 の続き		図13.33 受信フローの例 13.7.9 クロック出力制御 SMR のGM ビットが1 にセットされているとき、SCR のCKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。 図13.34 にクロック出力の固定タイミングを示します。GM = 1、CKE1 = 0 とし、CKE0 ビットを制御した場合の例です。 図13.34 クロック出力固定タイミング

項目	ページ	修正内容
13.7 スマートカード インタフェースの動 作説明 の続き		電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。 ・ 電源投入時 電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。 1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗 / プルダウン抵抗を使用してください。 2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。 3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。 SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。 ・ スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき 1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。 2. SCRのTEビットとREビットに0をライトし、送信 / 受信動作を停止させてください。同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。 3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。 4. シリアルクロックの1クロック周期の間、待ってください。 この間に、デューティを守って、指定のレベルでクロック出力は固定されます。 5. ソフトウェアスタンバイ状態に遷移させてください。 ・ ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻るとき 1. ソフトウェアスタンバイ状態を解除してください。 2. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。 図13.35 クロック停止 再起動手順

項目	ページ	修正内容																																																								
13.7 SCIセレクト機能	13.44	章No変更 (旧) 13.7 SCIセレクト機能 (新) 13.8 SCIセレクト機能																																																								
13.8 割り込み要因	13.46	追加 13.9.2 スマートカードインタフェースモードにおける割り込み スマートカードインタフェースモードでは、表13.13 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。ブロック転送モード時は、13.9.1 シリアルコミュニケーションインタフェースにおける割り込みを参照してください。 表13.13 スマートカードインタフェースモードの割り込み要因 <table><tr><th>チャンネル</th><th>名称</th><th>割り込み要因</th><th>割り込みフラグ</th><th>DTCの起動</th><th>DMACの起動</th><th>優先順位*</th></tr><tr><td rowspan="3">0</td><td>ERI0</td><td>受信エラー、 エラーシグナル検出</td><td>ORER, PER, ERS</td><td>不可</td><td>不可</td><td rowspan="9"> ↑ 高 低 </td></tr><tr><td>RXI0</td><td>受信データフル</td><td>RDRF</td><td>可</td><td>可</td></tr><tr><td>TXI0</td><td>送信データエンプティ</td><td>TEND</td><td>可</td><td>可</td></tr><tr><td rowspan="3">1</td><td>ERI1</td><td>受信エラー、 エラーシグナル検出</td><td>ORER, PER, ERS</td><td>不可</td><td>不可</td></tr><tr><td>RXI1</td><td>受信データフル</td><td>RDRF</td><td>可</td><td>可</td></tr><tr><td>TXI1</td><td>送信データエンプティ</td><td>TEND</td><td>可</td><td>可</td></tr><tr><td rowspan="3">2</td><td>ERI2</td><td>受信エラー、 エラーシグナル検出</td><td>ORER, PER, ERS</td><td>不可</td><td>不可</td></tr><tr><td>RXI2</td><td>受信データフル</td><td>RDRF</td><td>可</td><td>不可</td></tr><tr><td>TXI2</td><td>送信データエンプティ</td><td>TEND</td><td>可</td><td>不可</td></tr></table> 【注】* リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。	チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位*	0	ERI0	受信エラー、 エラーシグナル検出	ORER, PER, ERS	不可	不可	↑ 高 低	RXI0	受信データフル	RDRF	可	可	TXI0	送信データエンプティ	TEND	可	可	1	ERI1	受信エラー、 エラーシグナル検出	ORER, PER, ERS	不可	不可	RXI1	受信データフル	RDRF	可	可	TXI1	送信データエンプティ	TEND	可	可	2	ERI2	受信エラー、 エラーシグナル検出	ORER, PER, ERS	不可	不可	RXI2	受信データフル	RDRF	可	不可	TXI2	送信データエンプティ	TEND	可	不可
チャンネル	名称	割り込み要因	割り込みフラグ	DTCの起動	DMACの起動	優先順位*																																																				
0	ERI0	受信エラー、 エラーシグナル検出	ORER, PER, ERS	不可	不可	↑ 高 低																																																				
	RXI0	受信データフル	RDRF	可	可																																																					
	TXI0	送信データエンプティ	TEND	可	可																																																					
1	ERI1	受信エラー、 エラーシグナル検出	ORER, PER, ERS	不可	不可																																																					
	RXI1	受信データフル	RDRF	可	可																																																					
	TXI1	送信データエンプティ	TEND	可	可																																																					
2	ERI2	受信エラー、 エラーシグナル検出	ORER, PER, ERS	不可	不可																																																					
	RXI2	受信データフル	RDRF	可	不可																																																					
	TXI2	送信データエンプティ	TEND	可	不可																																																					