

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社
問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	MPU & MCU	発行番号	TN-RX*-A0243A/J	Rev.	第1版
題名	RX72Mグループ、RX72Nグループ ユーザーズマニュアル ハードウェア編の電気的特性に関する誤記訂正		情報分類	技術情報	
適用製品	RX72M グループ、 RX72N グループ	対象ロット等	関連資料	RX72M グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0804JJ0100) RX72N グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0824JJ0100)	
		全ロット			

上記適用製品のユーザーズマニュアル ハードウェア編 Rev.1.00 の電気的特性章において、誤記がありましたので、以下のとおり訂正いたします。

なお、ページ番号や図表番号などはRX72M グループを例に記載しています。RX72N グループでのページ番号などにつきましては、最終ページの表をご参照ください。

● Page 3278 of 3357

「表 65.26 バスタイミング」において、条件欄の ICLK の周波数を以下のとおり訂正いたします。

【訂正前】

表 65.26 バスタイミング

条件 1 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

ICLK = PCLKA = 8~120MHz, PCLKB = BCLK = SDCLK = 8~60MHz, T_a = T_{opr},

出力負荷条件 : V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択時

条件 2 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 3.0~3.6V, 3.0V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

ICLK = PCLKA = 8~120MHz, PCLKB = 8~60MHz, 60MHz < BCLK = SDCLK ≤ 80MHz, T_a = T_{opr},

出力負荷条件 : V_{OH} = VCC × 0.5, V_{OL} = VCC × 0.5,

SDCLK 端子 C = 15pF, SDCLK 端子以外 C = 30pF,

SDRAM 使用する場合は駆動能力制御 : SDCLK 端子は PFBCR3.SDCLKDRV (外部バス制御レジスタ 1)を“1”に設定、
SDCLK 端子以外の SDRAM 端子は高速インタフェース駆動出力を選択

【訂正後】

表 65.26 バスタイミング

条件 1 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7~3.6V, 2.7V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

ICLK = 8~240MHz, PCLKA = 8~120MHz, PCLKB = BCLK = SDCLK = 8~60MHz, T_a = T_{opr},

出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC, C = 30pF,

駆動能力制御レジスタは高駆動出力を選択時

条件 2 : VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 3.0~3.6V, 3.0V ≤ VREFH0 ≤ AVCC0,
VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,

ICLK = 60~240MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, 60MHz < BCLK = SDCLK ≤ 80MHz, T_a = T_{opr},

出力負荷条件 : V_{OH} = 0.5 × VCC, V_{OL} = 0.5 × VCC,

SDCLK 端子 C = 15pF, SDCLK 端子以外 C = 30pF,

SDRAM 使用する場合は駆動能力制御 : SDCLK 端子は PFBCR3.SDCLKDRV (外部バス制御レジスタ 1)を“1”に設定、
SDCLK 端子以外の SDRAM 端子は高速インタフェース駆動出力を選択

● Page 3291 of 3357

「表 65.27 EXDMAC タイミング」において、条件欄の ICLK の周波数を以下のとおり訂正いたします。

【訂正前】

表 65.27 EXDMAC タイミング

条件： $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
ICLK = PCLKA = 8~120MHz, PCLKB = 8~60MHz, BCLK = SDCLK = 8~80MHz, $T_a = T_{opr},$
 出力負荷条件： $VOH = VCC \times 0.5, VOL = VCC \times 0.5, C = 30pF,$
 駆動能力制御レジスタは高駆動出力を選択時

【訂正後】

表 65.27 EXDMAC タイミング

条件： $VCC = AVCC0 = AVCC1 = VCC_USB = V_{BATT} = 2.7 \sim 3.6V, 2.7V \leq VREFH0 \leq AVCC0,$
 $VSS = AVSS0 = AVSS1 = VREFL0 = VSS_USB = 0V,$
ICLK = 8~240MHz, PCLKA = 8~120MHz, PCLKB = 8~60MHz, BCLK = SDCLK = 8~80MHz, $T_a = T_{opr},$
 出力負荷条件： $VOH = 0.5 \times VCC, VOL = 0.5 \times VCC, C = 30pF,$
 駆動能力制御レジスタは高駆動出力を選択時

● Page 3295 of 3357

「図 65.41 MTU クロック入力タイミング」において、MTIOC1A 端子の記載漏れがありましたので、以下のとおり訂正いたします。

【訂正前】

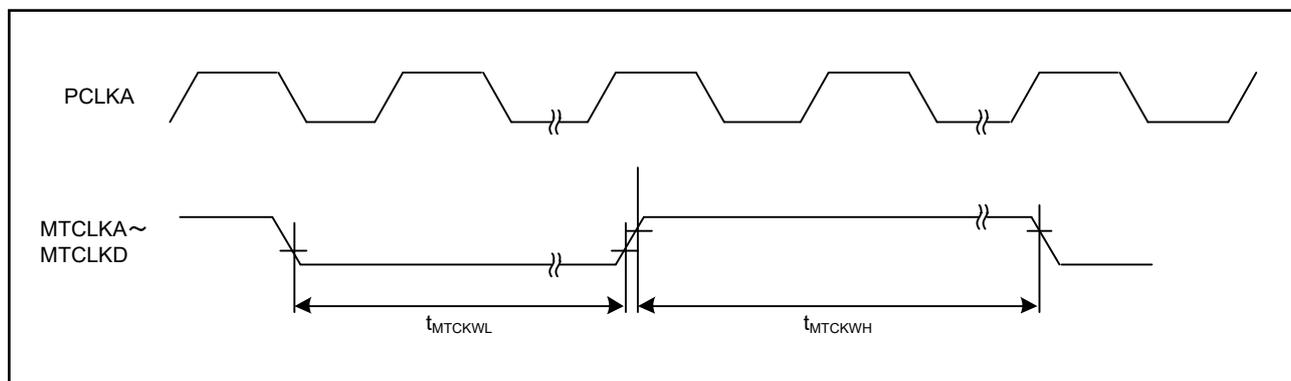


図 65.41 MTU クロック入力タイミング

【訂正後】

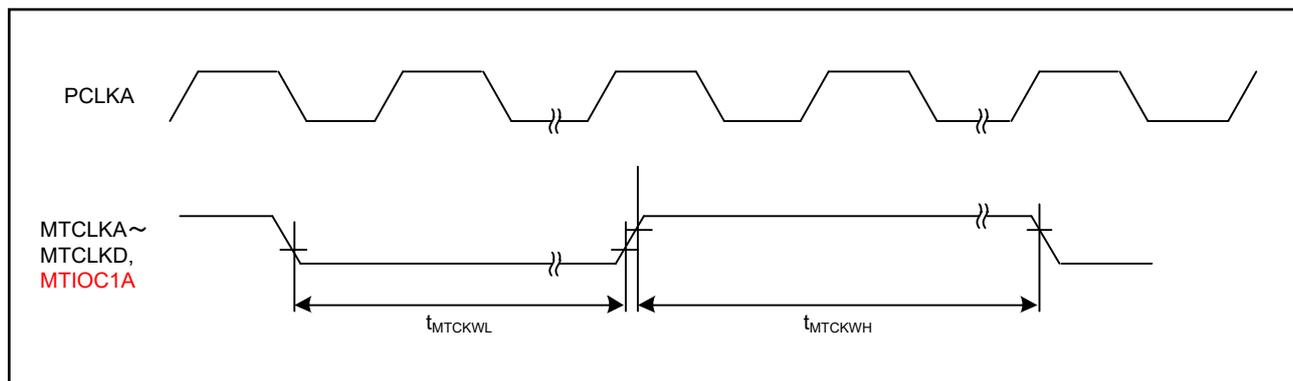


図 65.41 MTU クロック入力タイミング

● Page 3299 of 3357

「図 65.51 POEG 出力ディセーブル時間 (発振停止検出)」を以下のとおり訂正いたします。

【訂正前】

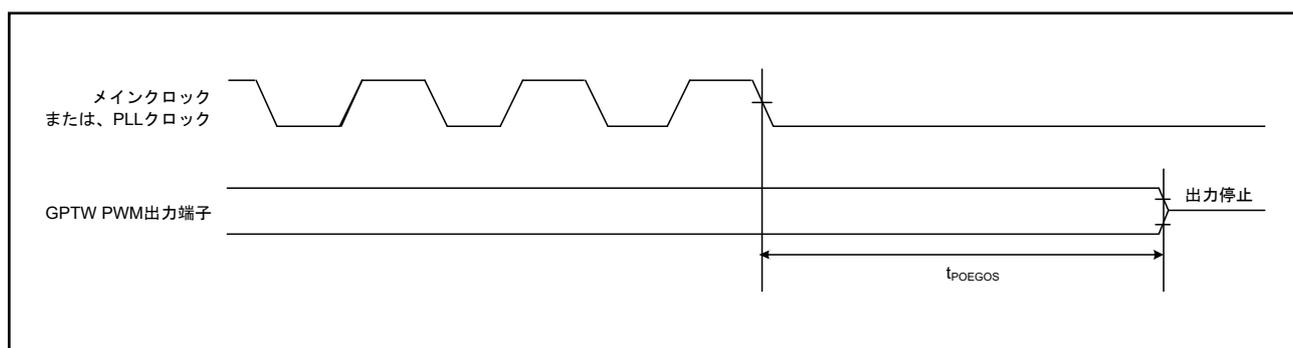


図 65.51 POEG 出力ディセーブル時間 (発振停止検出)

【訂正後】

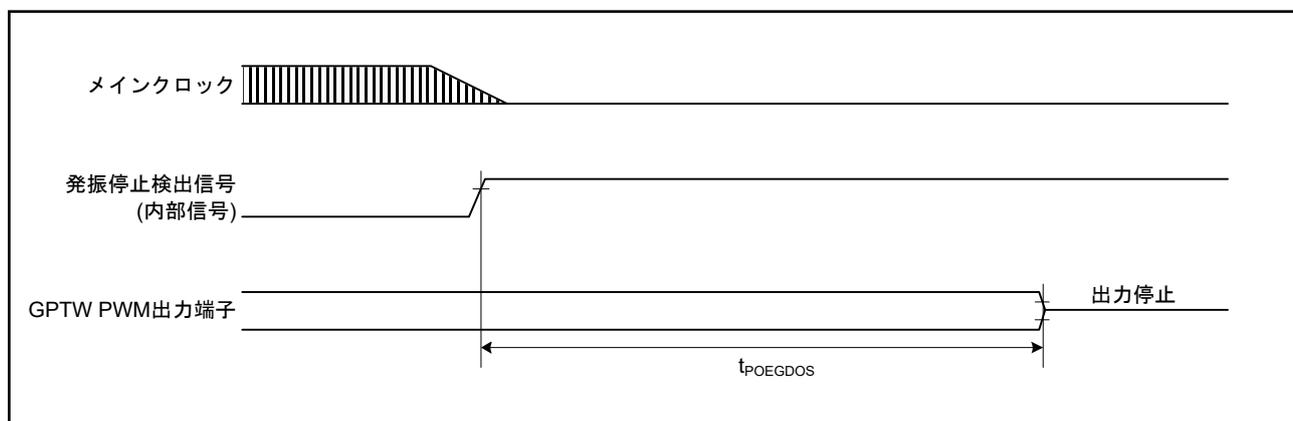


図 65.51 POEG 出力ディセーブル時間 (発振停止検出)

● Page 3315 of 3357

「図 65.72 RIIC バスインタフェース入出力タイミング / 簡易 IIC バスインタフェース入出力タイミング」において、簡易 IIC に関する信号名の記載漏れおよび測定条件の不備がありましたので、以下の図を新規に追加いたします。

【訂正後】

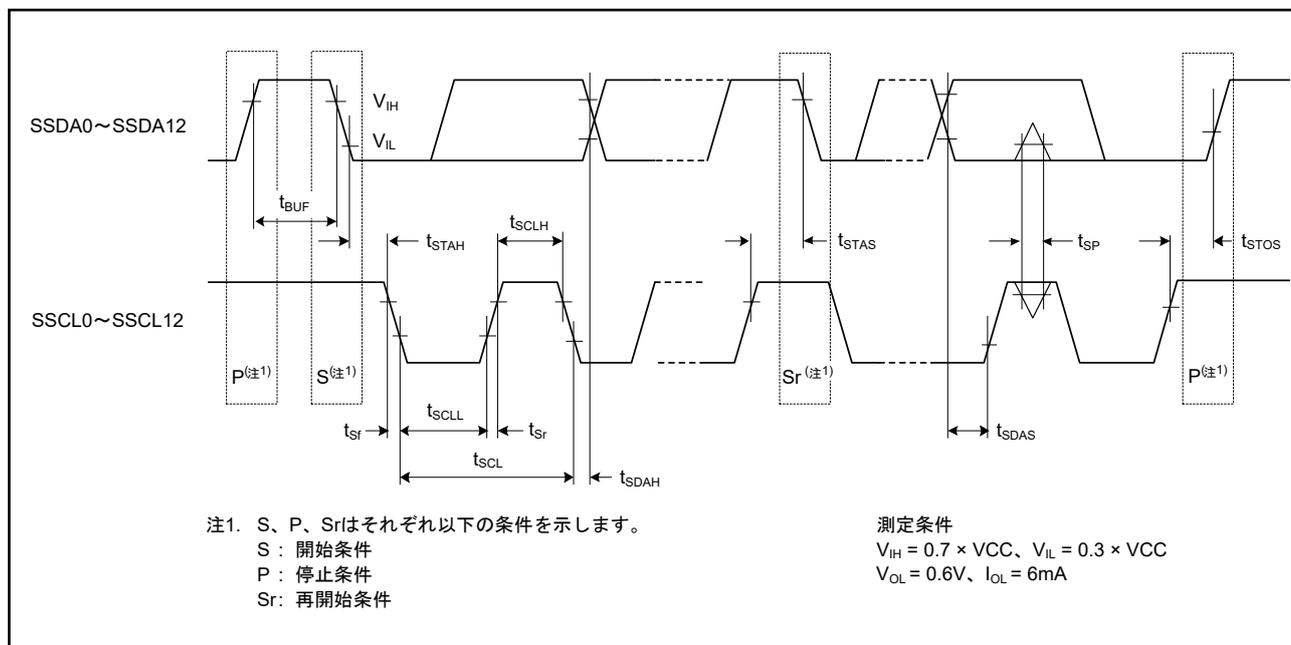


図 65.xx 簡易 IIC バスインタフェース入出力タイミング

【ページ番号、図表番号一覧】

項目	ページ番号、図表番号	
	RX72M グループ	RX72N グループ
バスタイミングの表	Page 3278 of 3357 表 65.26	Page 3181 of 3260 表 63.26
EXDMAC タイミングの表	Page 3291 of 3357 表 65.27	Page 3194 of 3260 表 63.27
MTU クロック入カタイミングの図	Page 3295 of 3357 図 65.41	Page 3198 of 3260 図 63.41
POEG 出力ディセーブル時間の図	Page 3299 of 3357 図 65.51	Page 3202 of 3260 図 63.51
RIIC、簡易 IIC 入出力タイミングの図	Page 3315 of 3357 図 65.72	Page 3218 of 3260 図 63.72

以上