

# RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753  
 ルネサス エレクトロニクス株式会社  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-16C-A195A/J	Rev.	第1版
題名	R32C/153グループハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	R32C/153グループ	対象ロット等	関連資料	R32C/153グループ ハードウェアマニュアル Rev.1.01 (RJJ09B0537-0101)	

R32C/153グループ ハードウェアマニュアル Rev.1.01 において誤記がありましたので、以下のとおり訂正いたします。

## 〈訂正内容〉

### •Page 12 of 642

表1.8の「クロック出力」の機能を以下のとおり訂正いたします。

#### 【誤】

fC、f8または、f32と同じ周期のクロックを出力します

#### 【正】

低速クロック、f8または、f32と同じ周期のクロックを出力します

•Page 119 of 642

図7.1を以下のとおり訂正いたします。

【誤】

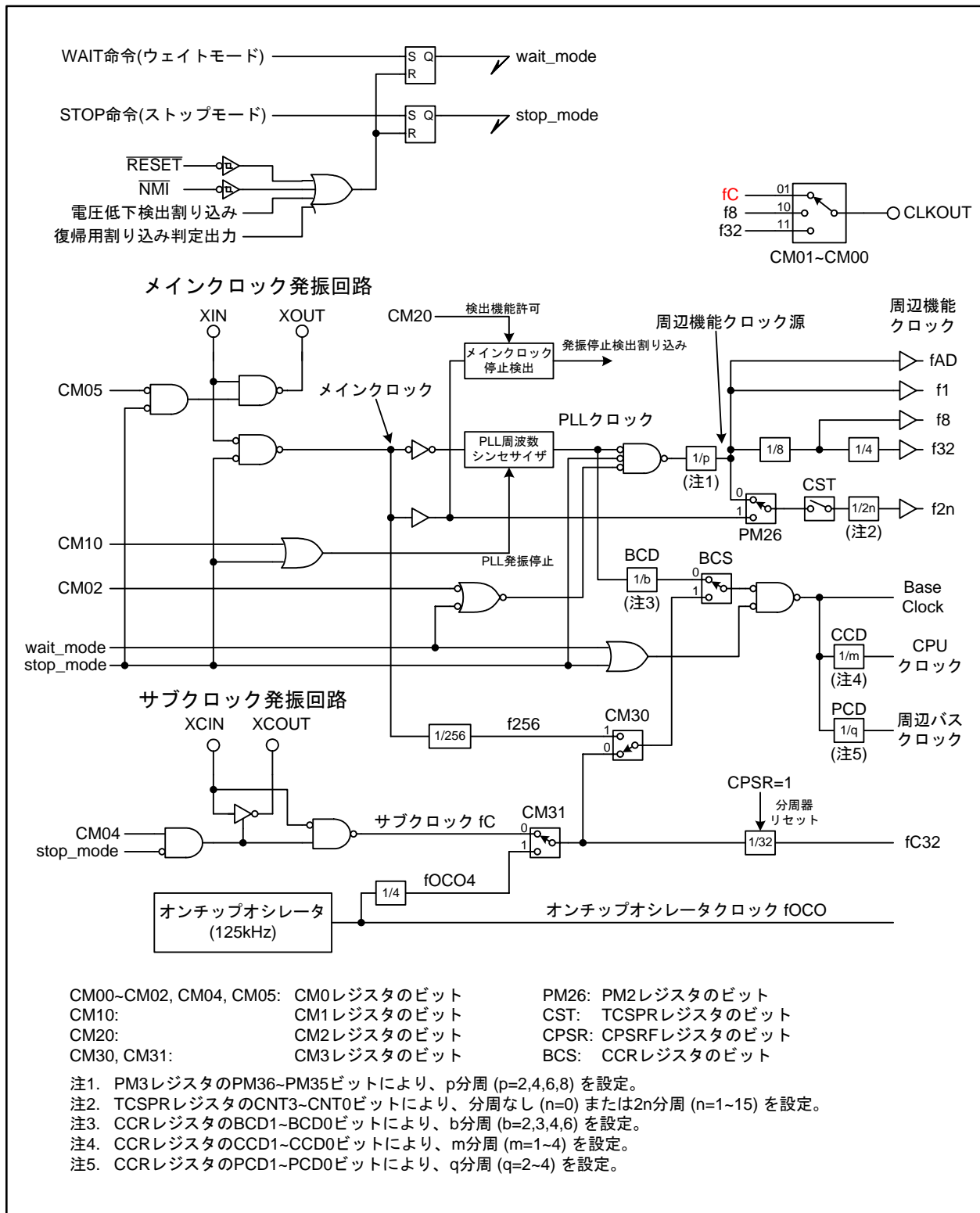


図7.1 クロック発生回路のブロック図

【正】

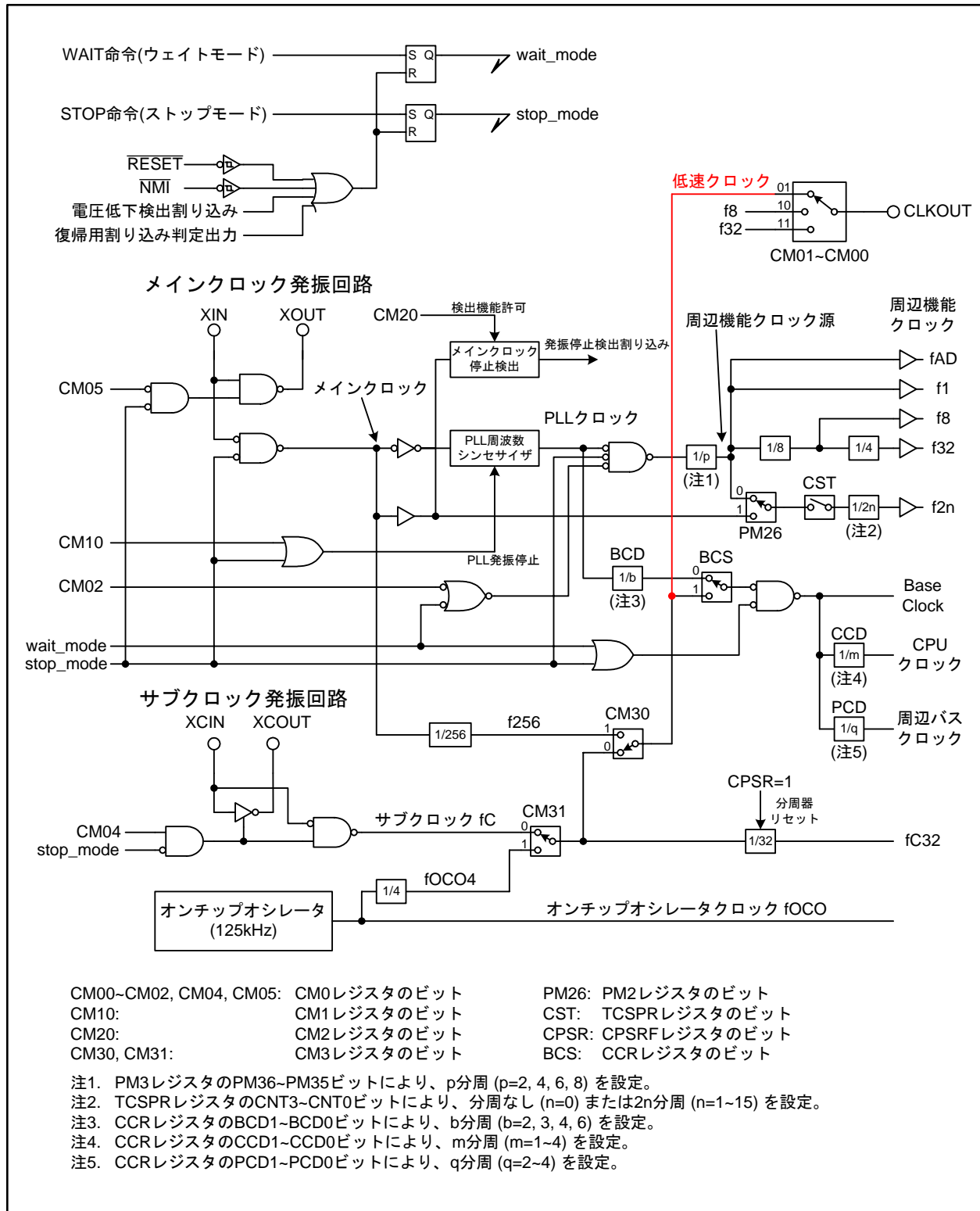


図7.1 クロック発生回路のブロック図

## •Page 120 of 642

図7.2の注2、注6の文章をそれぞれ以下のとおり訂正いたします。

## 【誤】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を超える場合があります。ベースクロックの周波数を上げる場合は、先に周辺バスクロック分周値を大きくした後、ベースクロック分周値を小さくしてください。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。

## 【正】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を超える場合があります。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

## •Page 121, 134, 141, 143 of 642

図7.3のCM01~CM00ビットの機能欄、7.6本文、表7.3、表7.4、表7.6のfCをそれぞれ以下のとおり訂正いたします。

## 【誤】

図7.3: fCを出力

7.6: fC、f8、またはf32をCLKOUT端子から出力できます。

表7.3: fCを出力

表7.4: fC選択時

表7.6: fC選択時

## 【正】

図7.3: 低速クロックを出力

7.6: 低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表7.3: 低速クロックを出力

表7.4: 低速クロック選択時

表7.6: 低速クロック選択時

## •Page 121 of 642

図7.3のCM06ビットに対し、以下の注記を追加いたします。

## 【誤】

—なし—

## 【正】

注7. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください

## •Page 122 of 642

図7.4に以下の注記を追加いたします。

## 【誤】

—なし—

## 【正】

注4. メインクロックを停止させると“1”になります。“0”にするときは、メインクロックの発振が十分安定してから実施してください。

## •Page 123 of 642

図7.6の注1に以下のとおり文章を追記いたします。

## 【誤】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。

## 【正】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。また、CCRレジスタのBCSビットが“0”(PLLクロック)のときに書き換えてください。

## •Page 124 of 642

図7.9の注3内の記述を以下のとおり訂正いたします。また、PM26ビットに対し注6を追加いたします。

## 【誤】

CM0レジスタのCM05ビット(メインクロックは停止しない)

CM1レジスタのCM10ビット(PLLは停止しない)

注6. —なし—

## 【正】

CM0レジスタのCM05ビット(メインクロックの発振/停止)

CM1レジスタのCM10ビット(PLLの発振/停止)

注6. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

## •Page 125 of 642

図7.10注1に以下のとおり文章を追記いたします。

## 【誤】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

## 【正】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。また、fAD、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 169 of 642

図10.8を以下のとおり訂正いたします。

【誤】

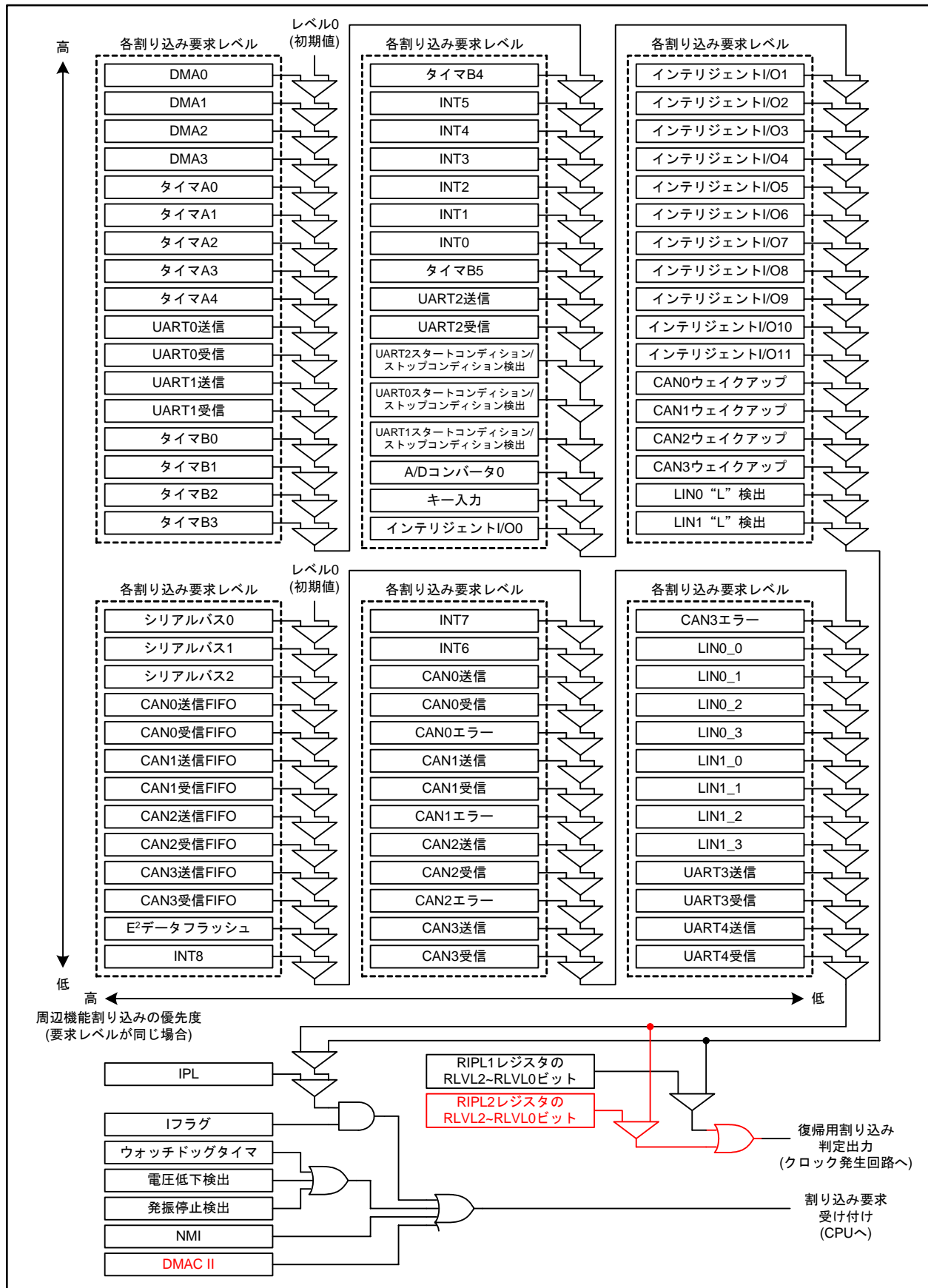


図10.8 割り込み優先順位判定回路



## •Page 176 of 642

図10.17のIIO01R~IIO11IRレジスタのb0の機能欄、注3本文をそれぞれ以下のとおり訂正いたします。

## 【誤】

b0: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。“0”を書く場合...

## 【正】

b0: 何も配置されていない。読んだ場合、その値は“1”

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合...

## •Page 178 of 642

10.14.3の本文3項目目を以下のとおり訂正いたします。

## 【誤】

- INTiICレジスタ(i=6~8)のPOLビット、LVSビット、IFSR1レジスタのIFSR1jビット(j=i-6)で $\overline{\text{INTi}}$ 端子の有効エッジや有効レベルを切り替えたとき、IIOkIRレジスタ(k=9~11)のINTiRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、IIOkIEレジスタのINTiEビットを“0”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するINTiRビットを“0”(割り込み要求なし)にしてからINTiEビットを“1”にしてください。

## 【正】

- $\overline{\text{INT6}}\sim\overline{\text{INT8}}$ 端子への割り込み入力信号は、IIO91R~IIO11IRレジスタのINT6R~INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、 $\overline{\text{INT6}}\sim\overline{\text{INT8}}$ 端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。INTiICレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i-6、i=6~8)の影響は受けません。

## •Page 180 of 642

図11.2に以下の注記を追加いたします。

## 【誤】

—なし—

## 【正】

注1. カウントソースにオンチップオシレータを使用している場合、読み出し中にカウント値が変わり不定値が読める場合があります。

注2. このビットは、ウォッチドッグタイマ起動前に設定してください。



•Page 181 of 642

図11.3に以下の注記を追加いたします。

**【誤】**

—なし—

**【正】**

注2. このビットは、ウォッチドッグタイマ起動前に設定してください。

•Page 212 of 642

図15.2を以下のとおり訂正いたします。

【誤】

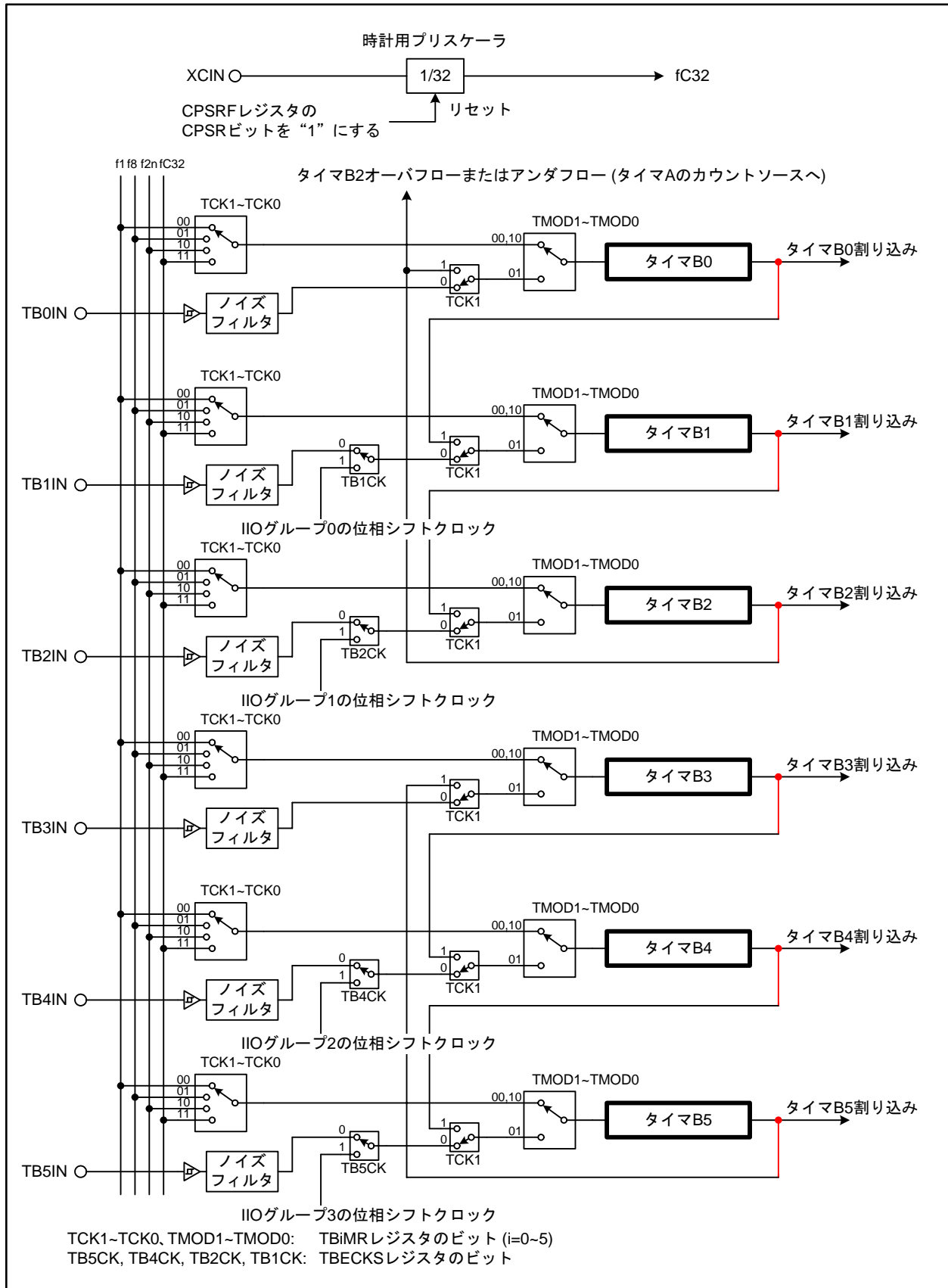


図15.2 タイマBの構成

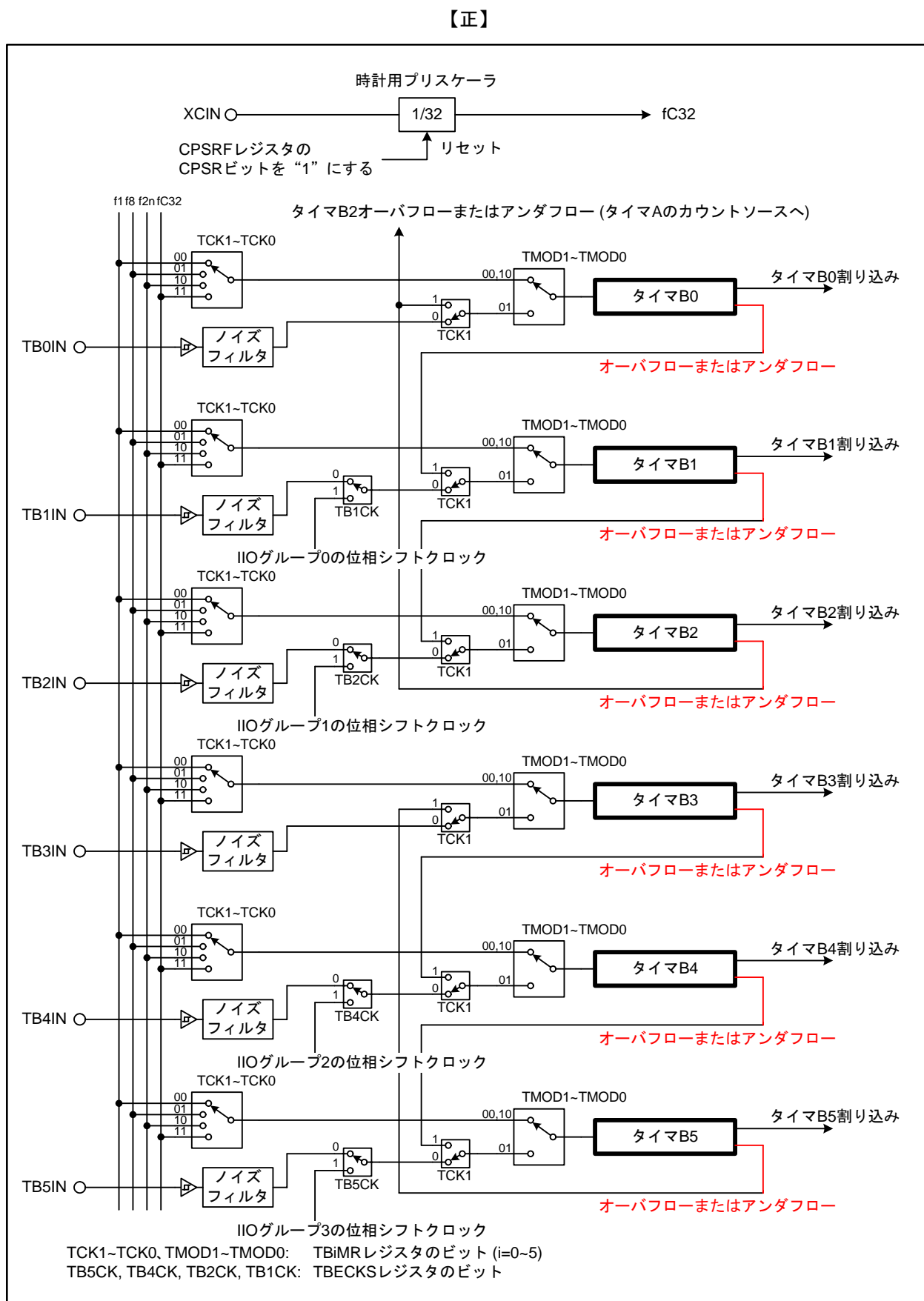


図 15.2 タイマBの構成

•Page 228 of 642

図15.16のリセット後の値を以下のとおり訂正いたします。

0000 000b **【誤】**

0000 000**0**b **【正】**

•Page 246 of 642

図16.3のINV13ビットの機能欄、図16.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

INV13: タイマAリロード制御信号が... **【誤】**  
PWCON: 奇数回目のタイマA出力

INV13: タイマA**1**リロード制御信号が... **【正】**  
PWCON: タイマA**1**リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 250 of 642

図16.8のMR2ビットとMR3ビットの説明文を以下のとおり訂正いたします。

MR2: 三相モータ制御用タイマ機能では“0”にしてください **【誤】**  
MR3: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

MR2: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定 **【正】**  
MR3: 三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定

•Page 258 of 642

16.6.1項本文を以下のとおり訂正いたします。

**【誤】**  
•PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

**【正】**  
•PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

## •Page 258 of 642

16.6.2項本文を以下のとおり訂正いたします。

## 【誤】

- タイマB2が**オーバーフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**オーバーフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**オーバーフロー**までに十分な時間がない場合は、**オーバーフロー**するまで待った後TAi1レジスタを設定してください。

## 【正】

- タイマB2が**アンダフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**アンダフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**アンダフロー**までに十分な時間がない場合は、**アンダフロー**するまで待った後TAi1レジスタを設定してください。

## •Page 273 of 642

表17.2の送受信クロックの仕様欄の1項目目を以下のとおり訂正いたします。

## 【誤】

- UiMRレジスタ (i=0~2)のCKDIRビットが“0” (内部クロック):

## 【正】

- UiMRレジスタ (i=0~4)のCKDIRビットが“0” (内部クロック):

## •Page 311 of 642

図18.5の注5の文章を以下のとおり訂正いたします。

## 【誤】

**DUS**ビットを“1”にする場合、DMACを設定してください。

## 【正】

変換結果を**DMA**転送する場合、DMACを設定してください。

## •Page 338~341 of 642

図22.1および図22.3左上の「 $\overline{\text{INT0}}$ 端子からの要求」、図22.2および図22.4左上の「 $\overline{\text{INT1}}$ 端子からの要求」をそれぞれ以下のとおり訂正いたします。

## 【誤】

- 図22.1、図22.3:  $\overline{\text{INT0}}$ 端子からの要求  
図22.2、図22.4:  $\overline{\text{INT1}}$ 端子からの要求

## 【正】

- 図22.1、図22.3:  $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求  
図22.2、図22.4:  $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求

## •Page 343 of 642

図22.7のRST2ビットの機能欄、注3本文をそれぞれ以下のとおり訂正いたします。

## 【誤】

- RST2:  $\overline{\text{INTk}}$ 端子への“L”入力で...  
注3. グループ0、2の場合 $\overline{\text{INT0}}$ 端子、グループ1、3の場合 $\overline{\text{INT1}}$ 端子に“L”を入力すると...

## 【正】

- RST2:  $\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子への“L”入力で...  
注3. IFS2レジスタでUD0Z信号(グループ0、2の場合)、UD1Z信号(グループ1、3の場合)用を選択した外部割り込み入力端子に“L”を入力すると...

## •Page 350 of 642

表22.2のベースタイマリセット条件の仕様を以下のとおり訂正いたします。

## 【誤】

- 外部割り込み端子に“L”を入力  
グループ0、グループ2:  $\overline{\text{INT0}}$ 端子  
グループ1、グループ3:  $\overline{\text{INT1}}$ 端子

## 【正】

- 外部割り込み端子( $\overline{\text{INT0}}$ または $\overline{\text{INT1}}$ )に“L”を入力  
グループ0、グループ2: IFS2レジスタのIFS23~IFS22ビットで選択  
グループ1、グループ3: IFS2レジスタのIFS27~IFS26ビットで選択

## •Page 351 of 642

図22.17左下の「 $\overline{\text{INTk}}$ 端子」を以下のとおり訂正いたします。

## 【誤】

$\overline{\text{INTk}}$ 端子に“L”を入力

## 【正】

$\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子に“L”を入力

## •Page 411 of 642

図24.3のL0LD~L3LDビットに対し、以下の注記を追加いたします。

## 【誤】

—なし—

## 【正】

注1. これらのビットのうち1つでも“1”になっている場合、新たな入力信号“L”検出割り込みは発生しません。

## •Page 413 of 642

図24.7の注4の文章を以下のとおり訂正いたします。

## 【誤】

注4. **入力信号の立ち下がりを検出すると**、LiSTレジスタのLDビットが“1”になり、割り込みが発生します。

## 【正】

注4. **このビットが“1”のときに入力信号の立ち下がりを検出した場合、または入力信号が“L”のときにこのビットを“1”にした場合**、LiSTレジスタのLDビットが“1”になり、割り込み**要求**が発生します。

## •Page 420 of 642

図24.16に以下の注記を追加いたします。

## 【誤】

—なし—

## 【正】

注3. このビットが“1”の場合、他チャンネルのLDビットが“1”になっても、あるいは新たに自チャンネルでLDビットが“1”になる条件が整ったとしても、新たな割り込み要求は発生しません。

## •Page 421 of 642

図24.18のタイトルを以下のとおり訂正いたします。

## 【誤】

図24.18: L0DB0~L0DB8、L1DB1~L1DB8レジスタ

## 【正】

図24.18: L0DB1~L0DB8、L1DB1~L1DB8レジスタ

## •Page 424 of 642

表24.3 (1) のソフトウェア処理の4項目目を以下のとおり訂正いたします。

## 【誤】

- LiBRKレジスタの**BFTL3~BFTL0**ビットでブレーク幅(13~28 Tbit)、**BFTD1~BFTD0**ビットでブレークデリミタ幅(1~4 Tbit)を設定

## 【正】

- LiBRKレジスタの**BLT3~BLT0**ビットでブレーク幅(13~28 Tbit)、**BDT1~BDT0**ビットでブレークデリミタ幅(1~4 Tbit)を設定

## •Page 425 of 642

表24.4 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

## 【誤】

インタバイトスペース送信

(LiRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返し。**LiEST**レジスタの**BER=1**(ビットエラー検出)なら中断。エラー発生時には、(5)のチェックサム送信は実行しません)

## 【正】

インタバイトスペース送信

(LiRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返す。エラー発生時は(6)へ)

## •Page 426 of 642

表24.5 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

## 【誤】

スタートビット検出によりデータ3受信

(LiRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返し。**LiEST**レジスタのいずれかのビットが“1”(何らかのエラー検出)なら中断。エラー発生時には、(5)のチェックサム判定は実施しません)

## 【正】

スタートビット検出によりデータ3受信

(LiRFCレジスタの**RFDL3~RFDL0**ビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。ただしその場合は、(5)のチェックサム判定は実施しません)



•Page 436 of 642

図24.30を以下のとおり訂正いたします。

【誤】

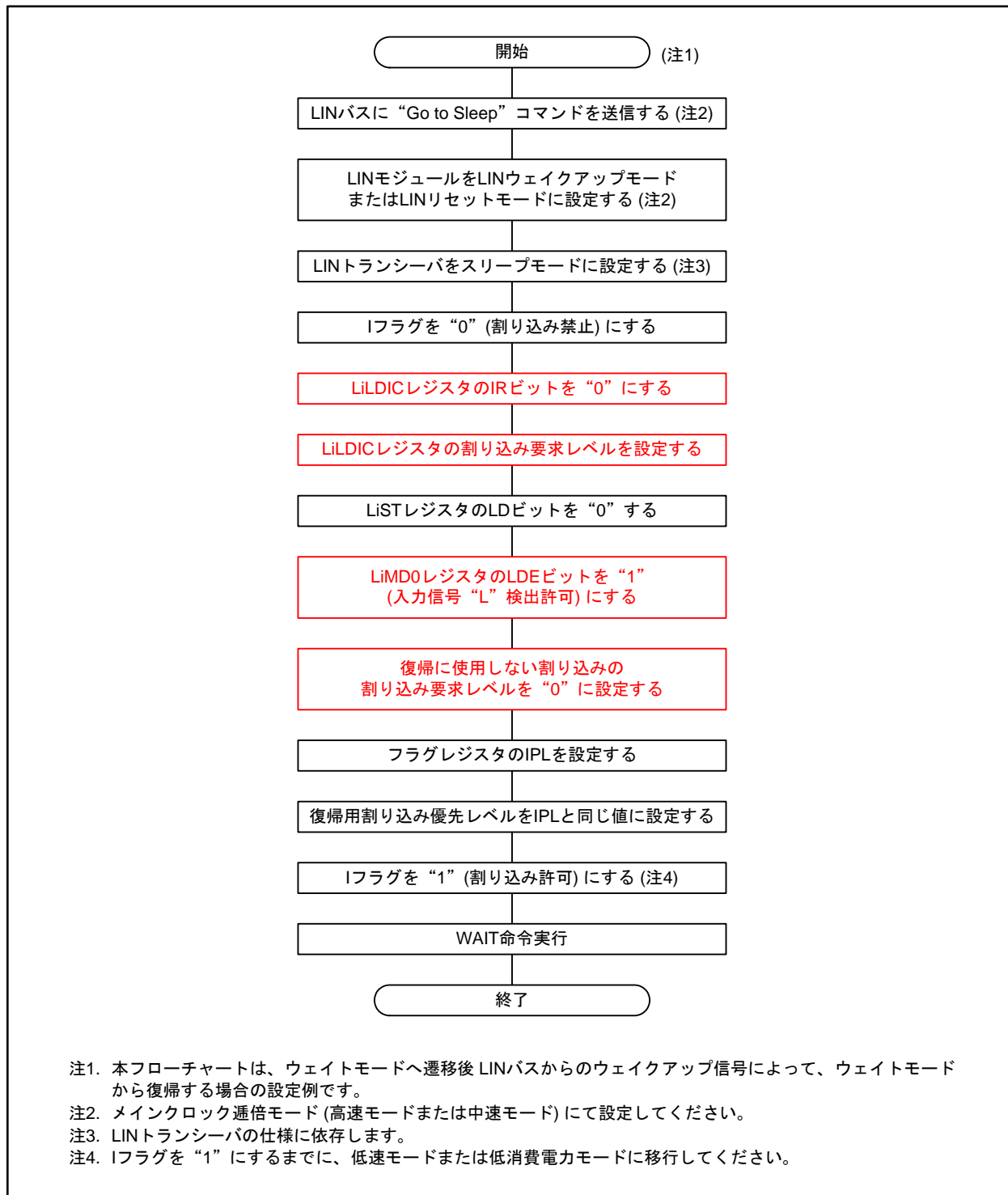


図24.30 ウェイトモードへ遷移する前の設定例 (i=0, 1)

【正】

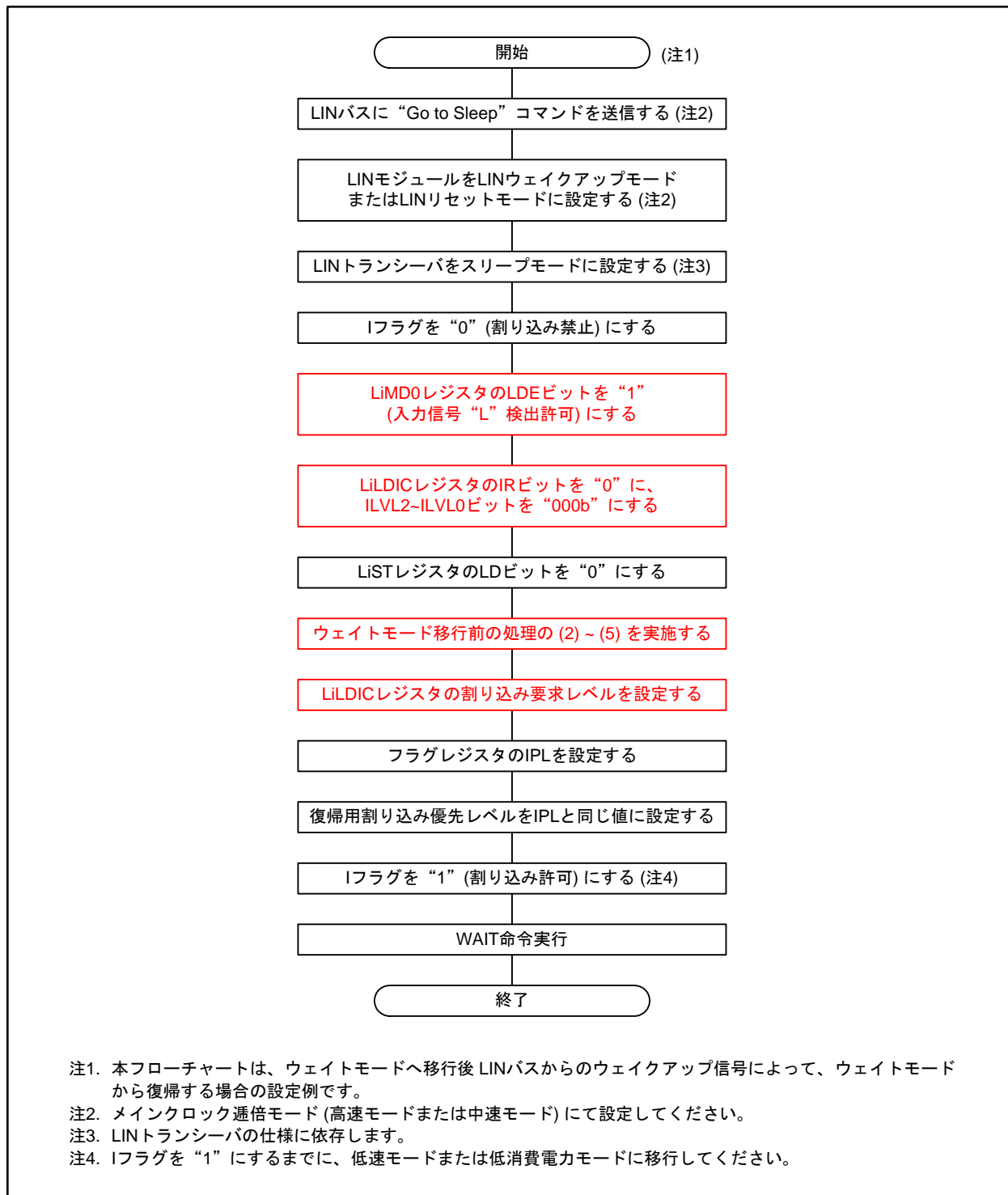


図 24.30 ウェイトモードへ移行する前の設定例 (i=0, 1)

## •Page 437 of 642

表24.8の入力信号“L”検出の条件欄に以下のとおり文章を追記いたします。

## 【誤】

LiMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)で、LINi\_jIN端子からの入力信号の立ち下がりエッジを検出したとき

## 【正】

LiMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)のとき、LINi\_jIN端子からの入力信号の立ち下がりエッジを検出した、またはLINi\_jIN端子が“L”のときにLDEビットを“1”にした

## •Page 440 of 642

24.11の本文9~10行目に以下のとおり文章を追記いたします。

## 【誤】

それぞれの割り込み要求は、LiMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LiSTレジスタの対応するフラグが“1”になると出力されます。

## 【正】

それぞれの割り込み要求は、LiMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LiSTレジスタの対応するフラグが“1”になると出力されます。なお、複数の要因の論理和をとっているため、いずれかの要因が“1”であると他の要因による新たな割り込み要求は発生しません。

•Page 440 of 642

図24.32を以下のとおり訂正いたします。

【誤】

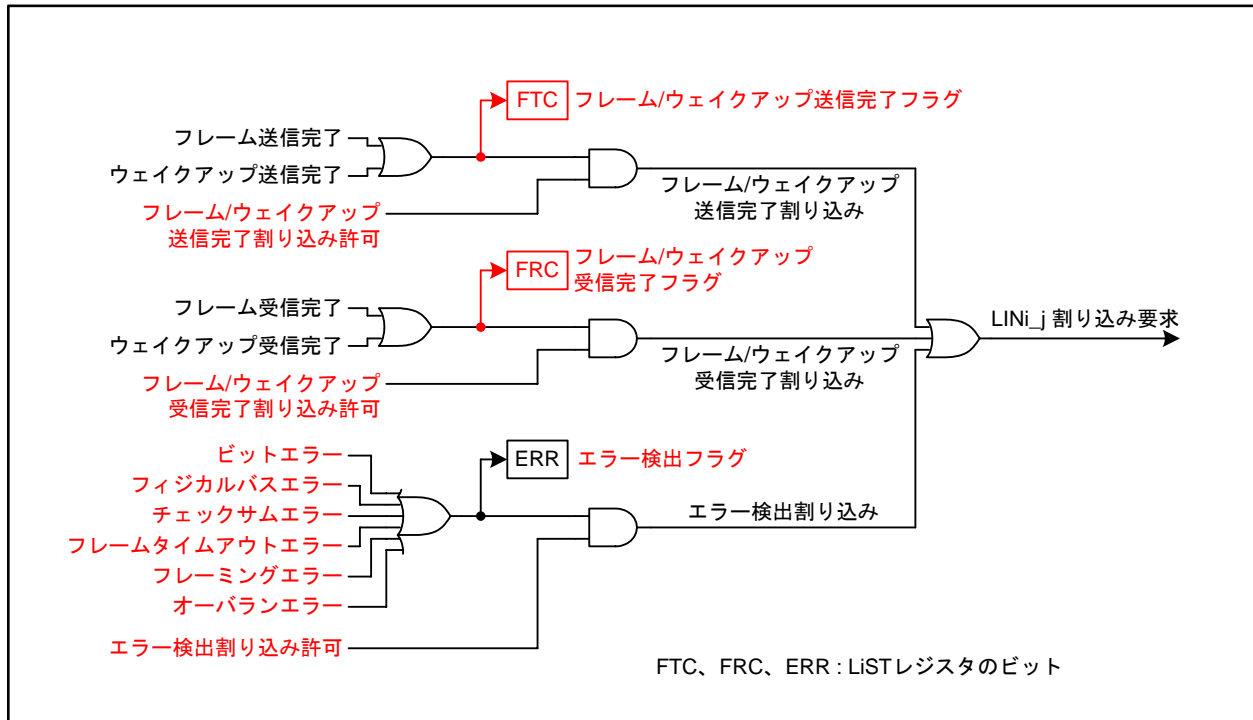


図24.32 LINi\_j割り込みブロック図(i=0, 1, j=0~3)

【正】

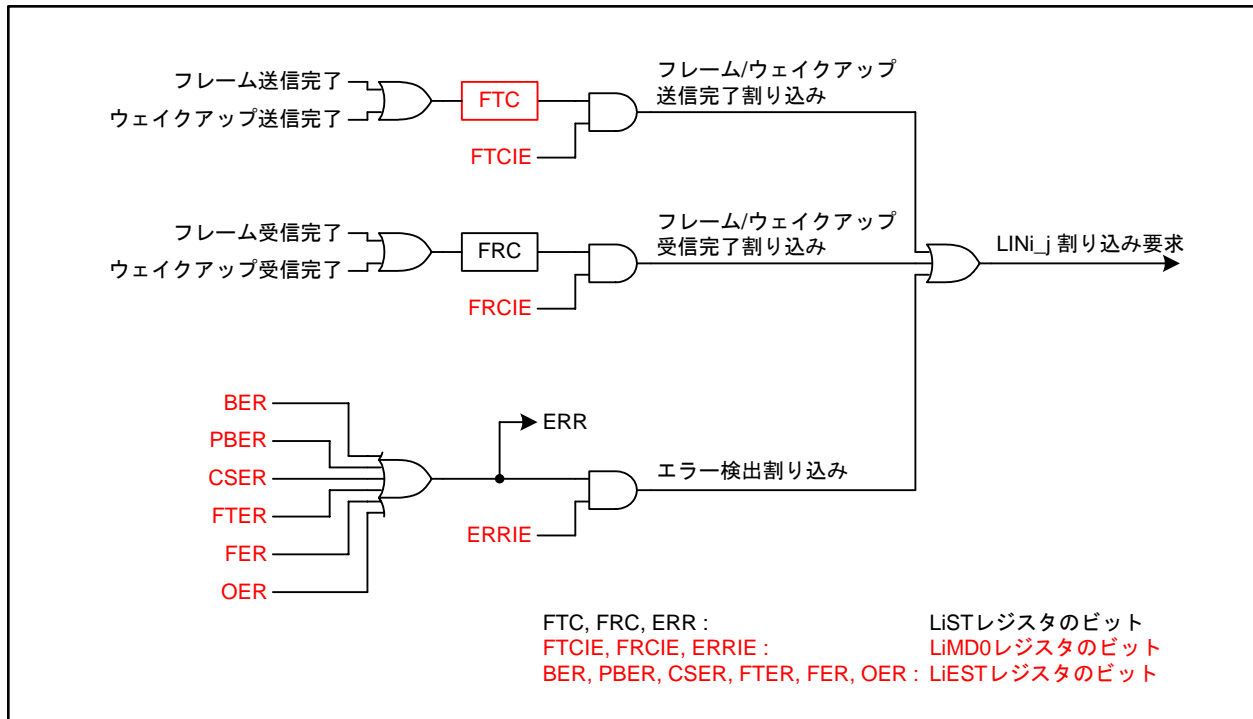


図24.32 LINi\_j割り込みブロック図(i=0, 1, j=0~3)

•Page 441 of 642

図24.33を以下のとおり訂正いたします。

【誤】

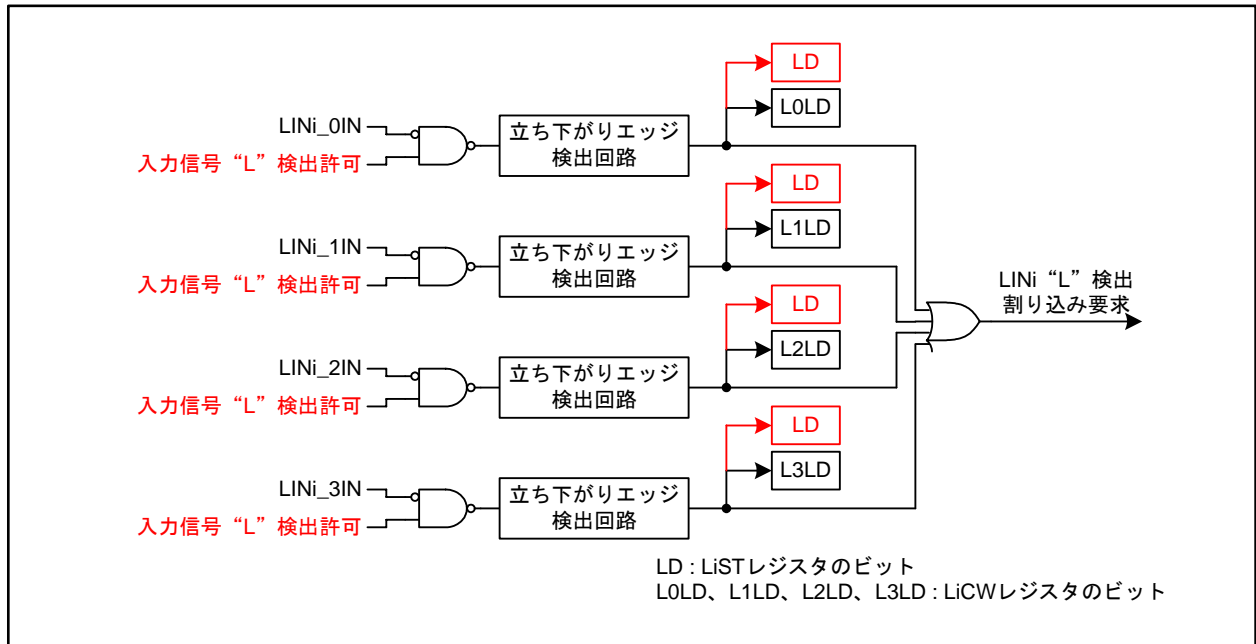


図24.33 LINi “L” 検出割り込みブロック図(i=0, 1)

【正】

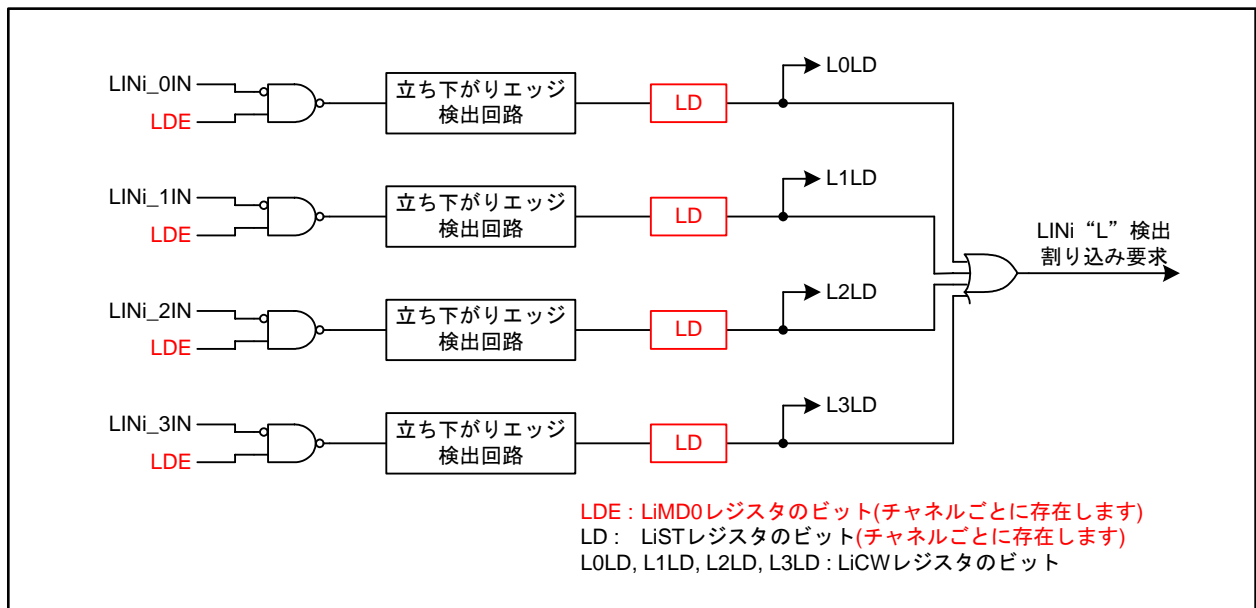


図24.33 LINi “L” 検出割り込みブロック図(i=0, 1)

## •Page 466 of 642

図25.11の注2の文章を以下のとおり訂正いたします。

## 【誤】

注2. RFMLFビットと同時にRFEビットに“0”を書いてください。

## 【正】

注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。

## •Page 488 of 642

図25.28の注4の本文を以下のとおり訂正いたします。

## 【誤】

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

## 【正】

注4. 同時に2つ以上のエラーが検出された場合は、該当するすべてのビットが“1”になります。

## •Page 538 of 642

図26.27のPU22ビットのビット名を以下のとおり訂正いたします。

## 【誤】

P7\_2~P7\_3プルアップ制御ビット

## 【正】

P7\_0~P7\_3プルアップ制御ビット

•Page 545 of 642

表27.3の保護対象を以下のとおり訂正いたします。

【誤】

表 27.3 プロテクトの種類と特徴

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、 <b>消去</b> 、書き込み	読み出し、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	<b>シリアルライター</b> でプロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

【正】

表 27.3 プロテクトの種類と特徴

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、 <b>消去</b> 、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

•Page 578 of 642

図28.7のタイトルを以下のとおり訂正いたします。

【誤】

図 28.7 **F2FI** レジスタ

【正】

図 28.7 **E2FI** レジスタ

•Page 592 of 642

図29.13を以下のとおり訂正および追加いたします。

【誤】

表 29.13 発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$f_{SO(PLL)}$	PLLクロック自励発振周波数		35	50	65	MHz
$t_{LOCK(PLL)}$	PLL発振安定時間(注1、2)	$f_{(XRef)} = 4MHz$			1	ms
$t_{jitter(p-p)}$	PLLジッタ周期(p-p)				2.0	ns
$f_{(OCO)}$	オンチップオシレータ発振周波数		94	125	156	kHz

【正】

表 29.13 発振回路の電気的特性

記号	項目	測定条件	規格値			単位
			最小	標準	最大	
$f_{SO(PLL)}$	PLLクロック自励発振周波数		35	57	80	MHz
$ \Delta f_{LOCK} $	ロック検出周波数誤差(注1)				2	%
$ \Delta f_{UNLOCK} $	アンロック検出周波数誤差(注1)		2			%
$t_{LOCK(PLL)}$	PLL発振安定時間(注2、3)	$f_{(XRef)} = 4MHz$			1	ms
$t_{jitter(p-p)}$	PLLジッタ周期(p-p)				2.0	ns
$f_{(OCO)}$	オンチップオシレータ発振周波数		94	125	156	kHz

•Page 624 of 642

30.4.3項本文の3項目目を以下のとおり訂正いたします。

【誤】

- $INTiC$ レジスタ ( $i=6\sim 8$ )のPOLビット、LVSビット、IFSR1レジスタのIFSR1jビット ( $j=i-6$ )で $\overline{INTi}$ 端子の有効エッジや有効レベルを切り替えたとき、 $IIOkIR$ レジスタ ( $k=9\sim 11$ )の $INTiR$ ビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、 $IIOkIE$ レジスタの $INTiE$ ビットを“0”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応する $INTiR$ ビットを“0”(割り込み要求なし)にしてから $INTiE$ ビットを“1”にしてください。

【正】

- $\overline{INT6}\sim\overline{INT8}$ 端子への割り込み入力信号は、 $IIO9IR\sim IIO11IR$ レジスタの $INT6R\sim INT8R$ ビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、 $\overline{INT6}\sim\overline{INT8}$ 端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。 $INTiC$ レジスタ ( $i=0\sim 8$ )のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット ( $i=0\sim 5$ )、IFSR1レジスタのIFSR1jビット ( $j=i-6, i=6\sim 8$ )の影響は受けません。



## •Page 629 of 642

30.7.1項本文を以下のとおり訂正いたします。

## 【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

## 【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

## •Page 629 of 642

30.7.2項本文を以下のとおり訂正いたします。

## 【誤】

- タイマB2がオーバーフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバーフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバーフローまでに十分な時間がない場合は、オーバーフローするまで待った後TAi1レジスタを設定してください。

## 【正】

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

以上