

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
ルネサス エレクトロニクス株式会社
問合せ窓口 <http://japan.renesas.com/inquiry>
E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A207A/J	Rev.	第1版
題名	R32C/121 グループ ハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	R32C/121 グループ	対象ロット等	関連資料	R32C/121 グループ ハードウェアマニュアル Rev.1.10 (RJJ09B0505-0110)	

R32C/121 グループ ハードウェアマニュアル Rev.1.10 において誤記がありましたので、以下のとおり訂正いたします。

〈訂正内容〉

•Page 11 of 598

表1.7のクロック出力の機能を以下のとおり訂正いたします。

【誤】

fC、f8または、f32と同じ周期のクロックを出力します

【正】

低速クロック、f8または、f32と同じ周期のクロックを出力します

•Page 39 of 598

表4.20 IFS0レジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

X000 X000b

【正】

X0X0 X000b

•Page 58, 59, 72, 73 of 598

表4.39、表4.40、表4.53、表4.54のレジスタ名を以下のとおり訂正いたします。

【誤】

CANiアクセプタンスマスクレジスタk

【正】

CANiマスクレジスタk

•Page 61, 75 of 598

表4.42、表4.56のCiMSMRレジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

XXXX XX00b

【正】

0000 0000b

•Page 87 of 598

図7.1を以下のとおり訂正いたします。

【誤】

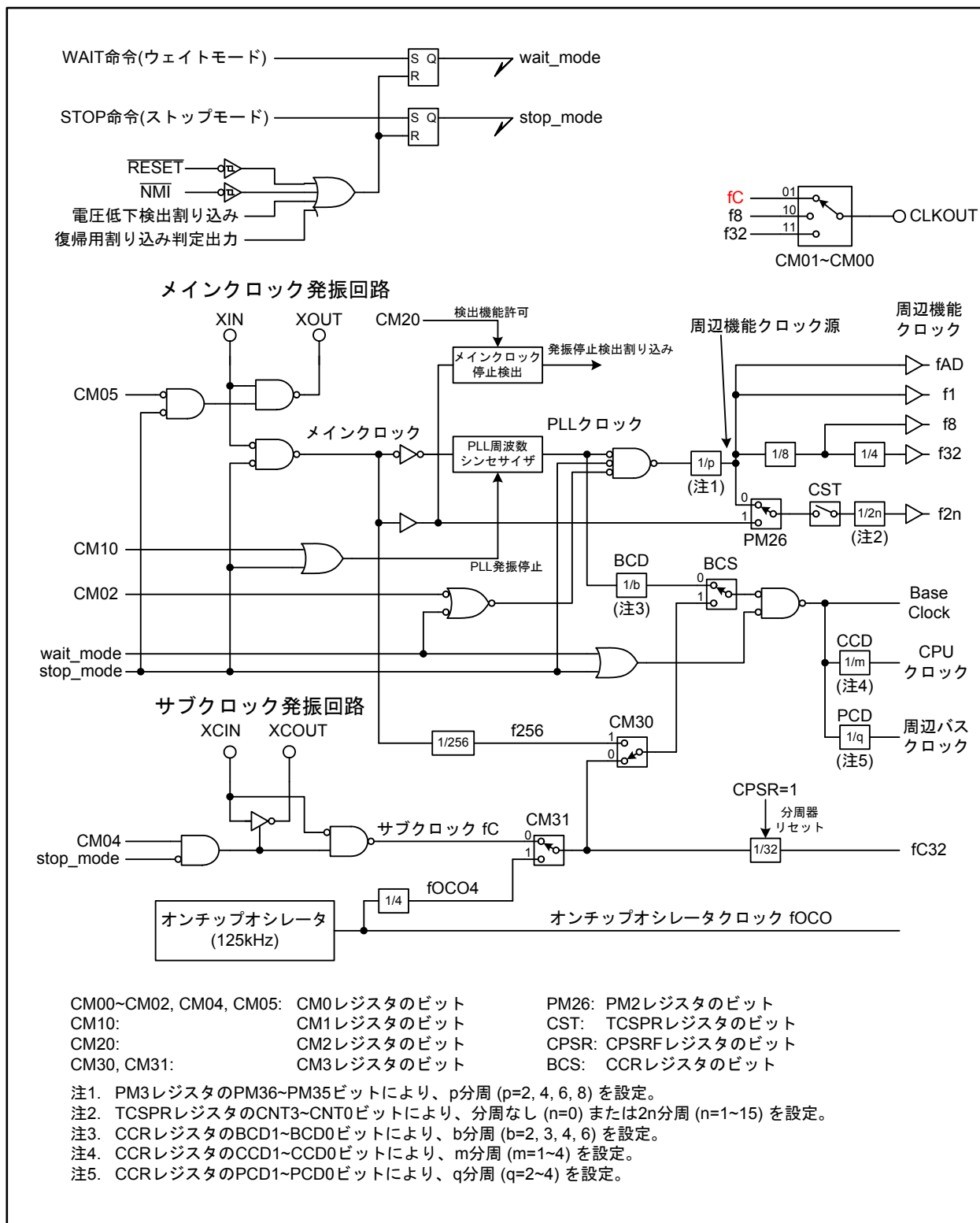


図7.1 クロック発生回路のブロック図

【正】

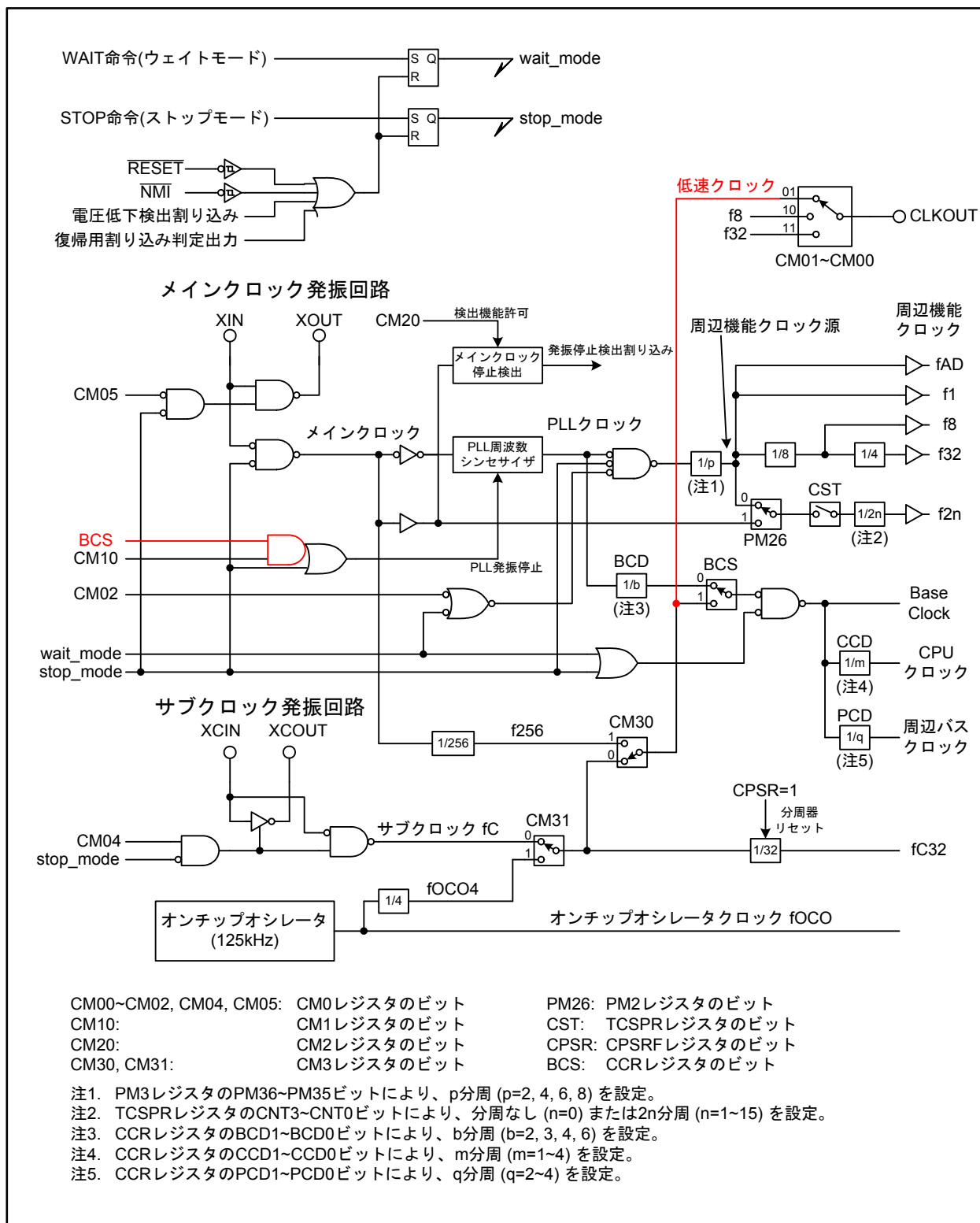


図7.1 クロック発生回路のブロック図

•Page 88 of 598

図7.2の注2、注6の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。ベースクロックの周波数を上げる場合は、先に周辺バスクロック分周値を大きくした後、ベースクロック分周値を小さくしてください。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。

【正】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を越える場合があります。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

•Page 89, 102, 109, 112 of 598

図7.3のCM01~CM00ビットの機能欄、7.6本文、表7.3、表7.4、表7.6のfCをそれぞれ以下のとおり訂正いたします。

【誤】

図7.3: fCを出力

7.6: fC、f8、またはf32をCLKOUT端子から出力できます。

表7.3: fCを出力

表7.4: fC選択時

表7.6: fC選択時

【正】

図7.3: 低速クロックを出力

7.6: 低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表7.3: 低速クロックを出力

表7.4: 低速クロック選択時

表7.6: 低速クロック選択時

•Page 89 of 598

図7.3のCM06ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注7. このビットはウォッチドッグタイマを動作させる前に設定してください。動作中に書き換える場合は、WDTSレジスタに書いた直後に実施してください。

•Page 90 of 598

図7.4の注2の文章を以下のとおり訂正いたします。

【誤】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”
にすることはできません。

【正】

注2. CCRレジスタのBCSビットが“0”(ベースクロック源はPLLクロック)の場合、CM10ビットを“1”
にしてもPLL周波数シンセサイザの発振は停止しません。

•Page 90 of 598

図7.4のCM15ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注4. メインクロックを停止させると“1”になります。“0”にするときは、メインクロックの発振が十分安定してから実施してください。

•Page 91 of 598

図7.6の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。また、CCRレジスタのBCSビットが“0”(PLLクロック)のときに書き換えてください。

•Page 92 of 598

図7.9の注3内の記述を以下のとおり訂正いたします。

【誤】

CM0レジスタのCM05ビット(メインクロックは停止しない)
CM1レジスタのCM10ビット(PLLは停止しない)

【正】

CM0レジスタのCM05ビット(メインクロックの発振/停止)
CM1レジスタのCM10ビット(PLLの発振/停止)

•Page 92 of 598

図7.9のPM26ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注6. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 93 of 598

図7.10の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。また、fAD、fI、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 97 of 598

図7.15のSEOビットのビット名と機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

ビット名: 自励発振モード設定ビット
機能欄: 0: メインクロック通倍モード
 1: 自励発振モード

【正】

ビット名: 自励発振動作設定ビット
機能欄: 0: メインクロック通倍動作
 1: 自励発振動作

•Page 97 of 598

図7.16のPLSレジスタに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. このレジスタはPLC1レジスタのSEOビットを“1”(自励発振動作)にするトリセットされます。なお、メインクロックを停止させたり、PLLを停止させたりした場合、レジスタの更新も停止します。

•Page 100 of 598

7.2.1 項本文2段落目に以下のとおり文章を追記いたします。

【誤】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムでベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と、周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

【正】

発振停止検出後、メインクロックの発振が再開した場合、PLL周波数シンセサイザの発振が安定するまでに一時的にPLLクロック周波数が設定周波数を超える場合があります。発振停止を検出した後は、速やかにプログラムで**メインクロックの再発振を抑止する(CM0レジスタのCM05ビットを“1”にする)か**、ベースクロックの分周比(CCRレジスタのBCD1~BCD0ビットで設定)と周辺機能クロック源の分周比(PM3レジスタのPM36~PM35ビットで設定)を上げてください。

•Page 138 of 598

図10.8を以下のとおり訂正いたします。

【誤】

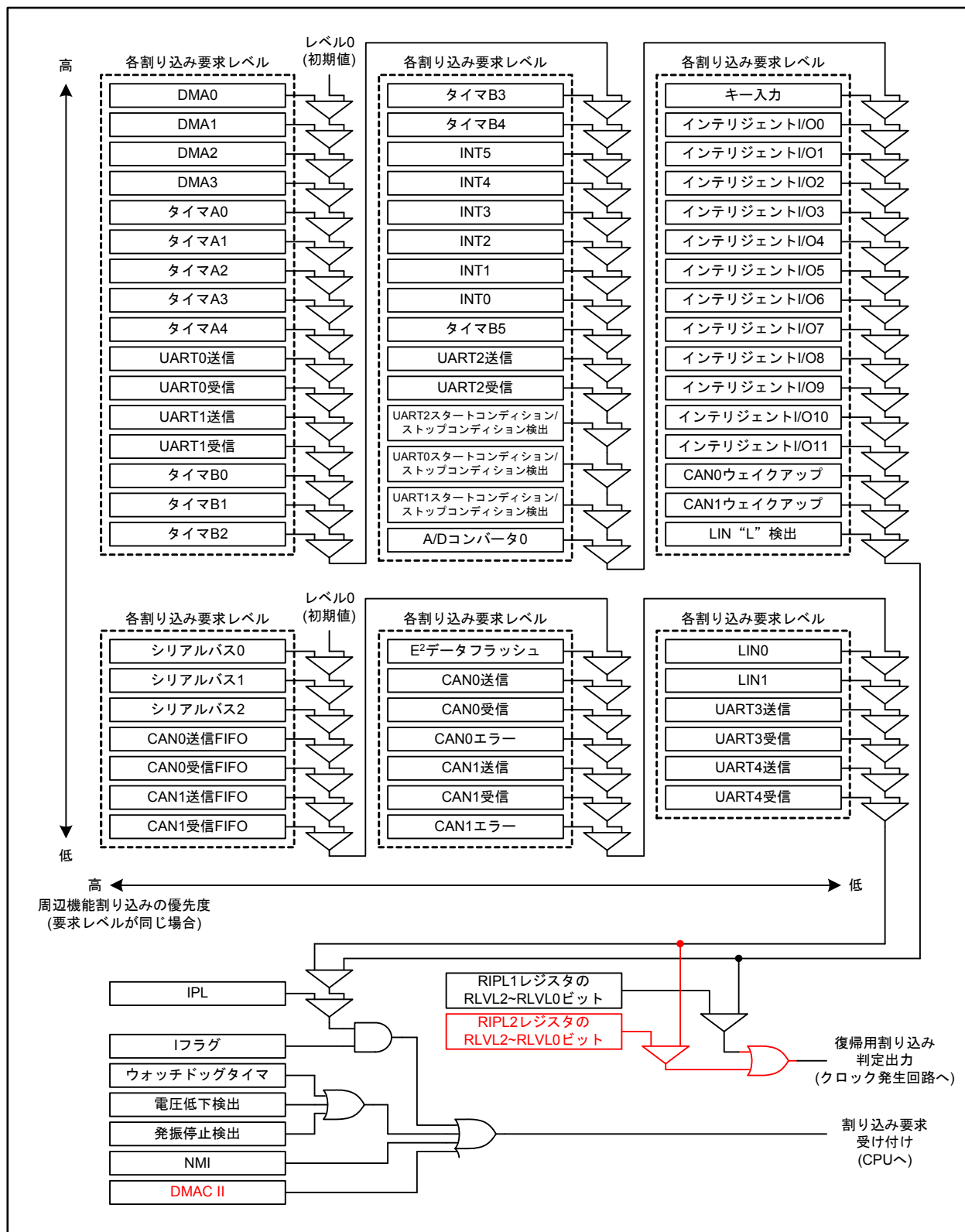


図 7.1 割り込み優先順位判定回路

【正】

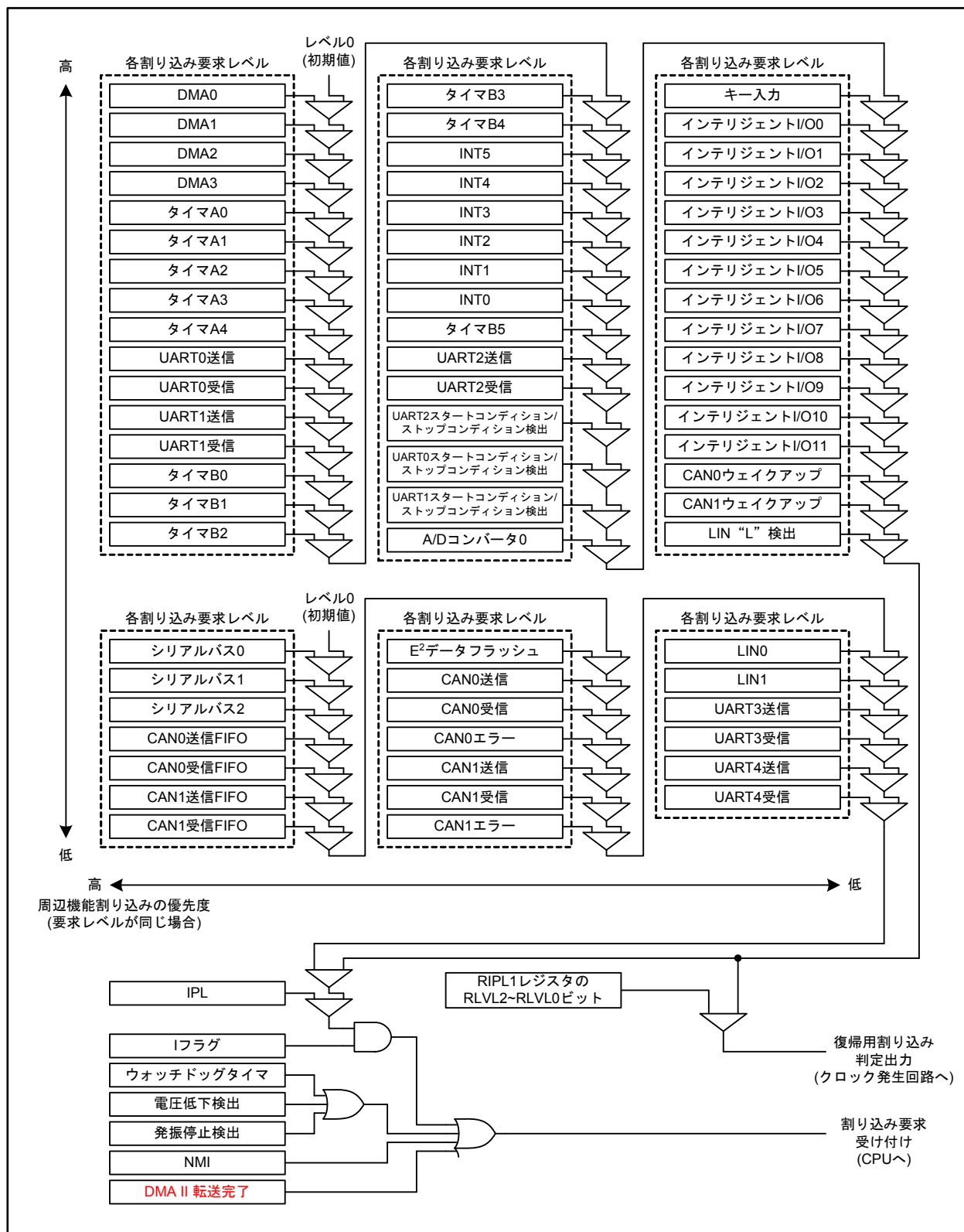


図 7.1 割り込み優先順位判定回路

•Page 143 of 598

図10.14の(b0)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。
読んだ場合、その値は“1”

【正】

何も配置されていない。読んだ場合、その値は“1”

•Page 143 of 598

図10.14の注3を以下のとおり訂正いたします。

【誤】

注3. 該当ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。“0”を書く場合、AND命令またはBCLR命令を使用してください。

【正】

注3. 該当ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。“0”を書く場合、AND命令またはBCLR命令を使用してください。

•Page 147 of 598

図11.2の(b4-b0)に対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. カウントソースにオンチップオシレータを使用している場合、読み出し中にカウント値が変わり不定値が読めることがあります。

•Page 149 of 598

図11.5の注3に以下のとおり文章を追記いたします。

【誤】

注3. WDTONビットが“1”の場合、これらの設定は無効です。

【正】

注3. WDTONビットが“1”の場合、これらの設定は無効です。WDTONビットが“0”の場合、これらのビットに設定した値がWDKレジスタ、PM2レジスタに反映されます。

•Page 179 of 598

図15.2を以下のとおり訂正いたします。

【誤】

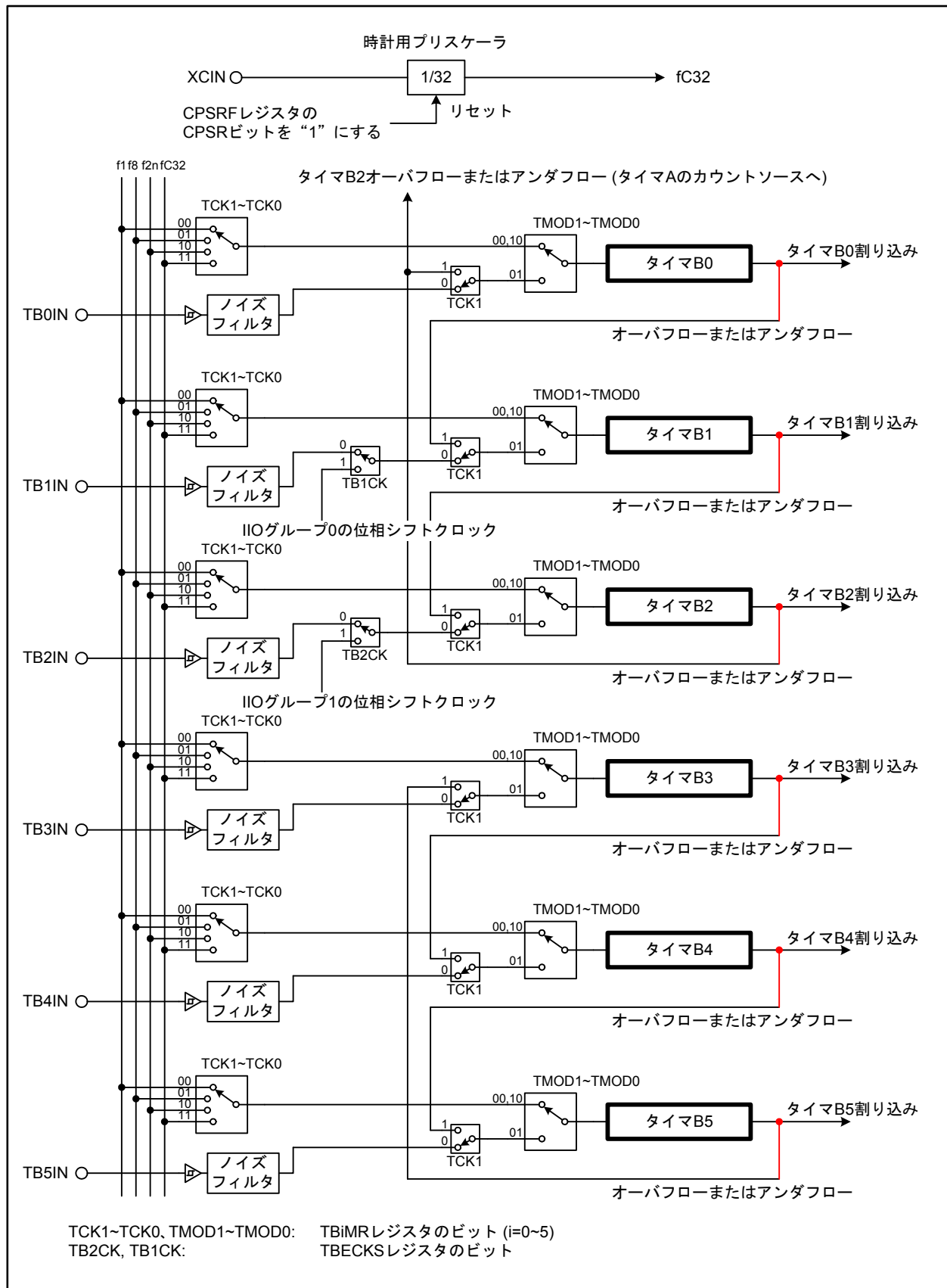


図 15.2 タイマBの構成

【正】

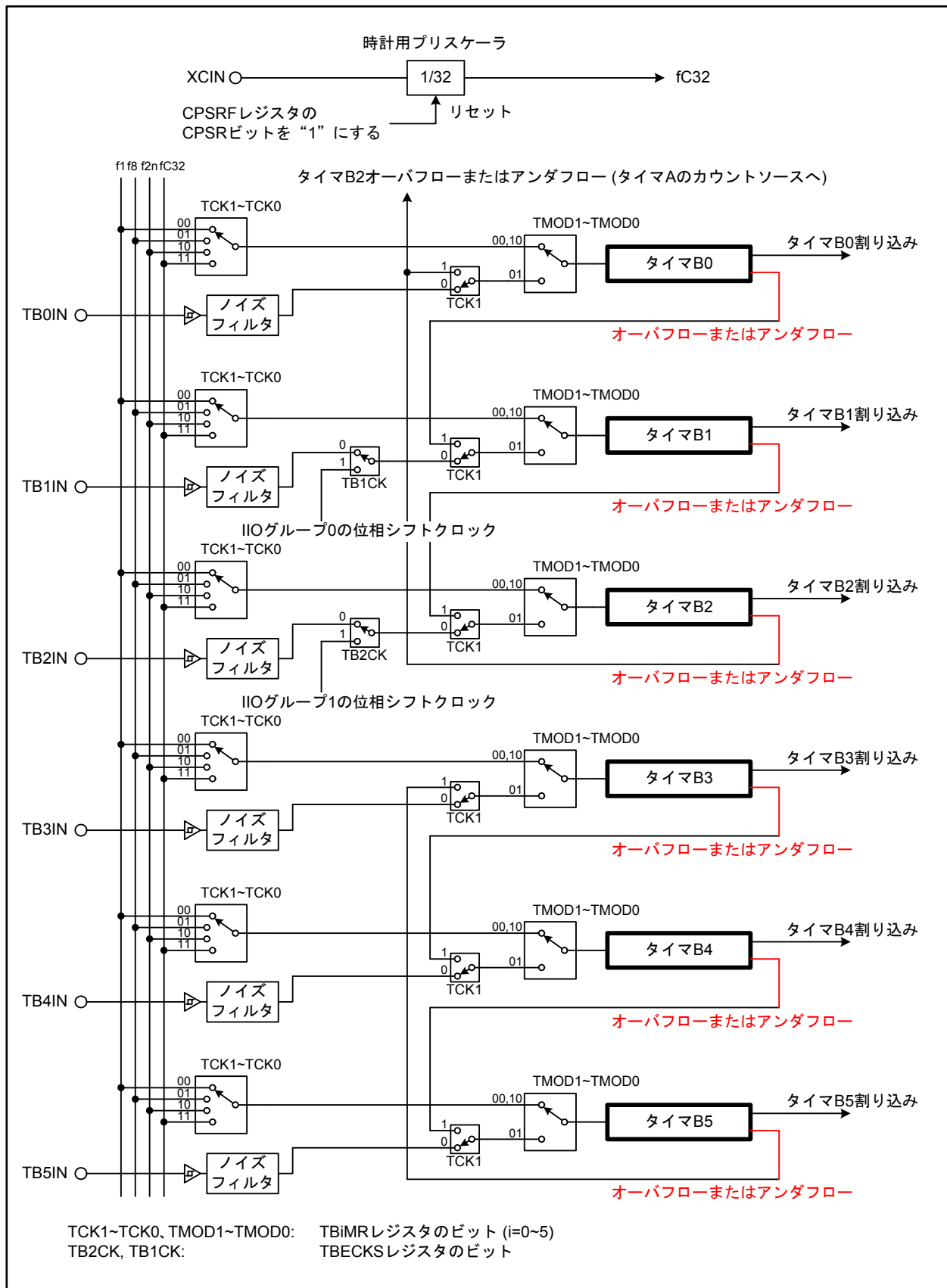


図 15.2 タイマBの構成

•Page 213, 217 of 598

図16.3のINV13ビットの機能欄、図16.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

INV13: タイマAリロード制御信号が...

PWCON: 奇数回目のタイマA出力

【正】

INV13: タイマA1リロード制御信号が...

PWCON: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 217 of 598

図16.8のMR2ビットとMR3ビットの説明文を以下のとおり訂正いたします。

【誤】

MR2: 三相モータ制御用タイマ機能では“0”にしてください

MR3: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

【正】

MR2: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

MR3: 三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定

•Page 218 of 598

16.3本文の3段落目の一部を以下のとおり削除いたします。

【誤】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4, 1, 2)を入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。このモードではTAiレジスタ設定値とTAi1レジスタ設定値の合計がTB2レジスタ設定値と一致するようにします。

【正】

また三相モード1では、タイマB2割り込みごとにカウンタへのリロード値がTAi、TAi-1 (i=4, 1, 2)を入れ替わるため、タイマB2割り込みの頻度を半分に減らすことができます。

•Page 223 of 598

図16.18の(1)の1項目目を以下のとおり訂正いたします。

【誤】

- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマAリロード制御信号の立ち下がりでタイマB2割り込み)

【正】

- INV01=0、ICTB2=2h (タイマB2アンダフロー2回目ごとにタイマB2割り込み)、またはINV01=1、INV00=1、ICTB2=1h (タイマA1リロード制御信号が“1”のときのタイマB2アンダフローごとにタイマB2割り込み)

•Page 225 of 598

16.6.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{\text{NMI}}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 225 of 598

16.6.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2がオーバーフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、オーバーフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、オーバーフローまでに十分な時間がない場合は、オーバーフローするまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2がアンダフローする前後で、TAi1レジスタ(i=1, 2, 4)に値を設定しないでください。TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、アンダフローまでに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後TAi1レジスタを設定してください。

•Page 243 of 598

図17.18の波形の名称を以下のとおり訂正いたします。

【誤】

- UiC0レジスタのTXEPTフラグ

【正】

- UiC0レジスタのTXEPTビット

•Page 243 of 598

図17.18の設定条件記載箇所の4項目目を以下のとおり訂正いたします。

【誤】

- UiC1レジスタ、U34CONレジスタのUiRSビット=0 (UiTBレジスタ空で割り込み要求発生)

【正】

- UiC1レジスタ、U34CONレジスタのUiRSビット=0 (UiTBレジスタ空で割り込み要求発生)

•Page 287, 288 of 598

表18.7、表18.8の開始条件の仕様に、以下のとおり1項目追加いたします。

【誤】

—なし—

【正】

- TRG1、TRG0ビットが“10b”
ADSTビットを“1”にした後、タイマA0割り込み要求が発生したとき

•Page 298 of 598

図20.1を以下のとおり訂正いたします。

【誤】

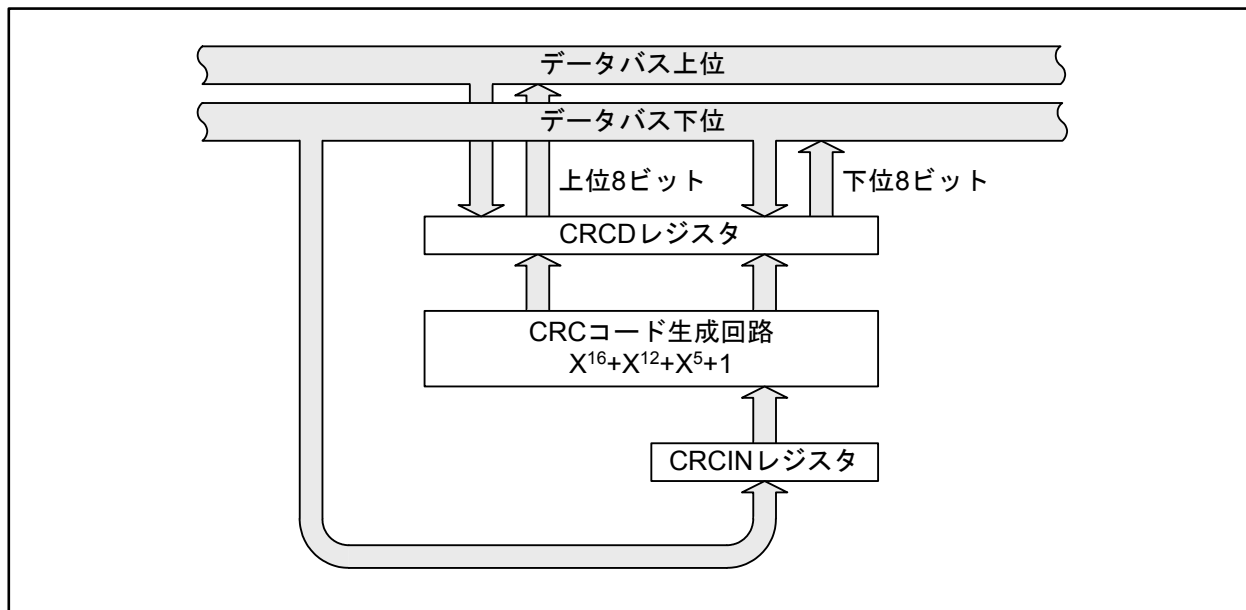


図20.1 CRC演算回路のブロック図

【正】

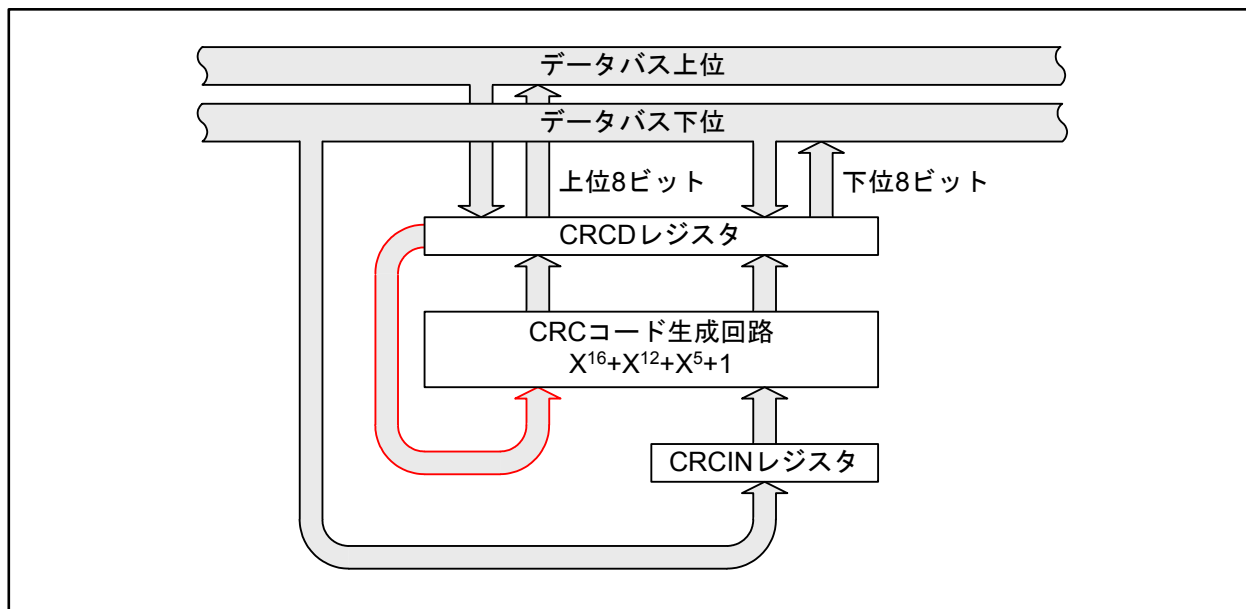


図20.1 CRC演算回路のブロック図

•Page 306, 307 of 598

図22.1左上の「 $\overline{\text{INT0}}$ 端子からの要求」、図22.2左上の「 $\overline{\text{INT1}}$ 端子からの要求」をそれぞれ以下のとおり訂正いたします。

【誤】

図22.1: $\overline{\text{INT0}}$ 端子からの要求

図22.2: $\overline{\text{INT1}}$ 端子からの要求

【正】

図22.1: $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求

図22.2: $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求

•Page 309 of 598

図22.5のRST2ビットの機能を以下のとおり訂正いたします。

【誤】

1: $\overline{\text{INTi}}$ 端子への“L”入力でベースタイマリセットする

【正】

1: $\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子への“L”入力でベースタイマをリセットする

•Page 309 of 598

図22.5の注3を以下のとおり訂正いたします。

【誤】

注3. グループ0の場合 $\overline{\text{INT0}}$ 端子、グループ1の場合 $\overline{\text{INT1}}$ 端子に“L”を入力するとベースタイマリセットをします。

【正】

注3. IFS2レジスタでUDiZ信号用に選択した外部割り込み入力端子に“L”を入力するとベースタイマをリセットをします。

•Page 310 of 598

図22.6の注3を以下のとおり削除いたします。

【誤】

注3. ゲート機能解除後、GOCビットは“0”になります。

【正】

—なし—

•Page 316 of 598

表22.2のベースタイマリセット条件の仕様の一部を以下のとおり訂正いたします。

【誤】

- 外部割り込み端子に“L”を入力

グループ0: $\overline{\text{INT0}}$ 端子

グループ1: $\overline{\text{INT1}}$ 端子

【正】

- 外部割り込み端子 ($\overline{\text{INT0}}$ または $\overline{\text{INT1}}$) に“L”を入力

グループ0: IFS2 レジスタの IFS23~IFS22 ビットで選択

グループ1: IFS2 レジスタの IFS27~IFS26 ビットで選択

•Page 317 of 598

図22.15の入力信号の一部を以下のとおり訂正いたします。

【誤】

$\overline{\text{INTi}}$ 端子に“L”を入力

【正】

$\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子に“L”を入力

•Page 343 of 598

図23.3の機能欄のビット表記を以下のとおり訂正いたします。

【誤】

b6 b5 b4

【正】

b2 b1 b0

•Page 377 of 598

図24.3のL0LD、L1LDビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. これらのビットのうち1つでも“1”になっている場合、新たな入力信号“L”検出割り込みは発生しません。

•Page 379 of 598

図24.7の注4の文章を以下のとおり訂正いたします。

【誤】

注4. 入力信号の立ち下がりを検出すると、LSTレジスタのLDビットが“1”になり、割り込みが発生します。なお、LDビットが“1”のときにこのビットを“0”にしても、LDビットは“0”になりません。

【正】

注4. このビットが“1”のときに入力信号の立ち下がりを検出した場合、または入力信号が“L”のときにこのビットを“1”にした場合、LSTレジスタのLDビットが“1”になり、割り込み要求が発生します。

•Page 386 of 598

図24.16のLDビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注3. このビットが“1”の場合、他チャネルのLDビットが“1”になっても、あるいは新たに自チャネルでLDビットが“1”になる条件が整ったとしても、新たな割り込み要求は発生しません。

•Page 390 of 598

表24.3 (1) のソフトウェア処理の4項目目を以下のとおり訂正いたします。

【誤】

- LBRKレジスタのBFTL3~BFTL0ビットでブレーク幅(13~28 Tbit)、BFTD1~BFTD0ビットでブレークデリミタ幅(1~4 Tbit)を設定

【正】

- LBRKレジスタのBLT3~BLT0ビットでブレーク幅(13~28 Tbit)、BDT1~BDT0ビットでブレークデリミタ幅(1~4 Tbit)を設定

•Page 391 of 598

表24.4 (4) のLINモジュール処理の一部を以下のとおり訂正いたします。

【誤】

インタバイトスペース送信
(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。LESTレジスタのBER=1 (ビットエラー検出)なら中断。エラー発生時には、(5)のチェックサム送信は実行しません)

【正】

インタバイトスペース送信
(LRFCレジスタのRFDL3~RFDL0ビットで指定したデータ長分繰り返す。エラー発生時は(6)へ)

•Page 392 of 598

表 24.5 (4) の LIN モジュール処理の一部を以下のとおり訂正いたします。

【誤】

スタートビット検出によりデータ3受信

(LRFC レジスタの RFDL3~RFDL0 ビットで指定したデータ長分繰り返す。LEST レジスタのいずれかのビットが“1”(何らかのエラー検出)なら中断。エラー発生時には、(5)のチェックサム判定は実施しません)

【正】

スタートビット検出によりデータ3受信

(LRFC レジスタの RFDL3~RFDL0 ビットで指定したデータ長分繰り返す。エラー発生時は受信を中断して(5)へ。ただしその場合は、(5)のチェックサム判定は実施しません)

•Page 401 of 598

図24.30を以下のとおり訂正いたします。

【誤】

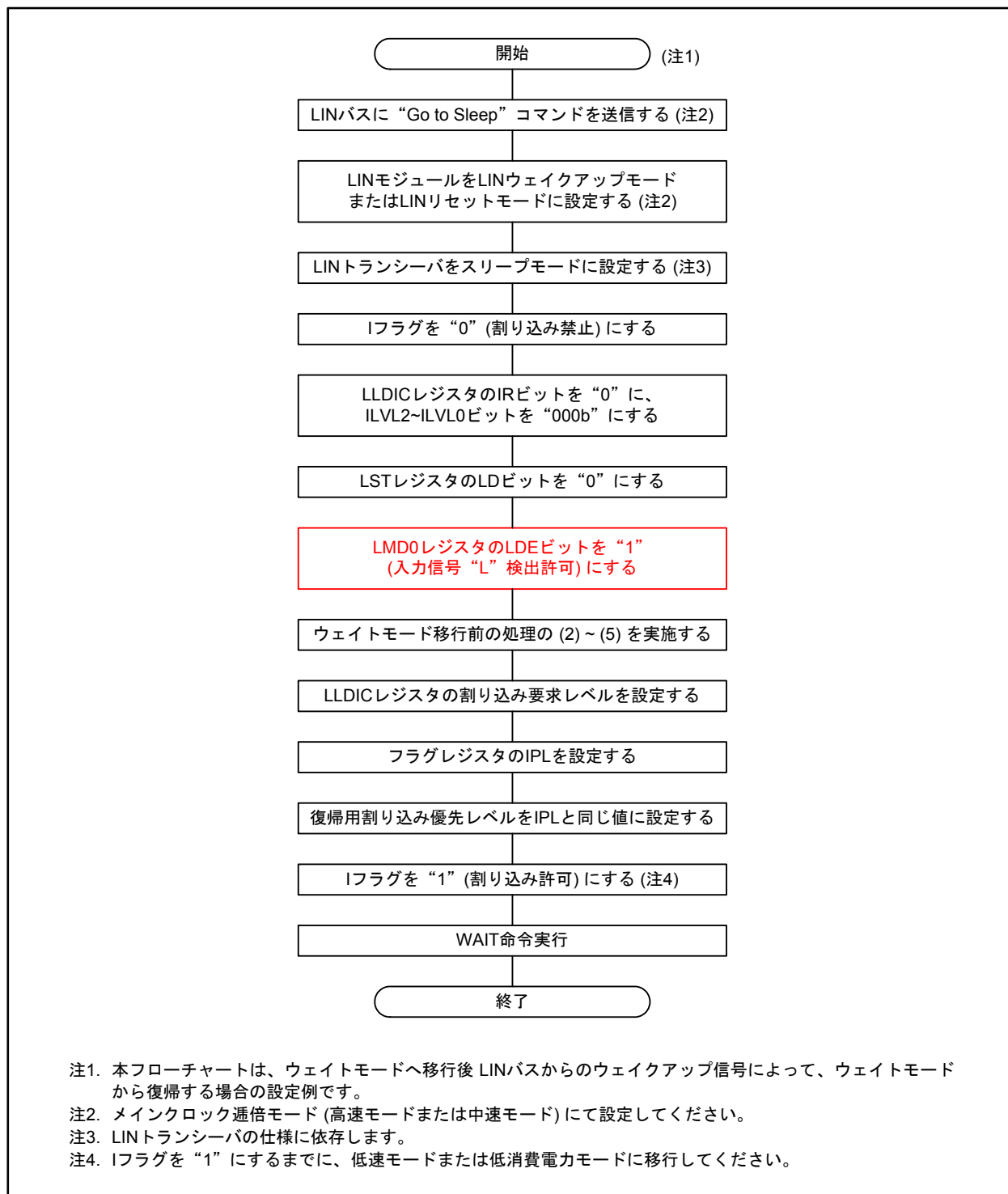


図24.30 ウェイトモードへ遷移する前の設定例

【正】

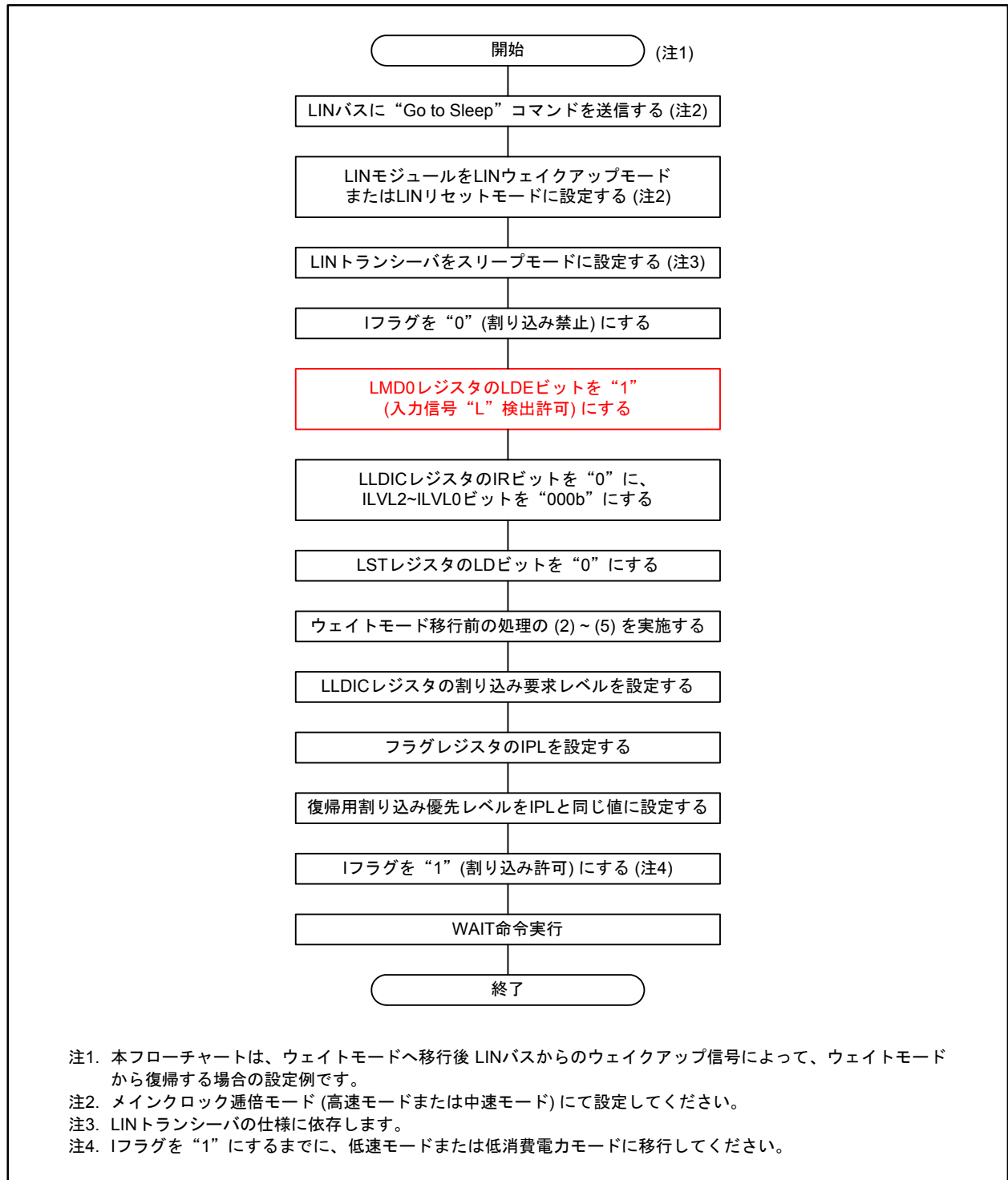


図 24.30 ウェイトモードへ移行する前の設定例

•Page 402 of 598

表24.8の入力信号“L”検出の条件欄に以下のとおり文章を追記いたします。

【誤】

LMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)で、LINjIN端子からの入力信号の立ち下がりエッジを検出したとき

【正】

LMD0レジスタのLDEビットが“1”(入力信号“L”検出許可)のとき、LINjIN端子からの入力信号の立ち下がりエッジを検出した、またはLINjIN端子が“L”のときにLDEビットを“1”にした

•Page 405 of 598

24.11の本文9~10行目に以下のとおり文章を追記いたします。

【誤】

それぞれの割り込み要求は、LMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LSTレジスタの対応するフラグが“1”になると出力されます。

【正】

それぞれの割り込み要求は、LMD0レジスタの対応するビットが“1”(割り込み許可)のときに、LSTレジスタの対応するフラグが“1”になると出力されます。なお、複数の要因の論理和をとっているため、いずれかの要因が“1”であると他の要因による新たな割り込み要求は発生しません。

•Page 405 of 598

図24.32を以下のとおり訂正いたします。

【誤】

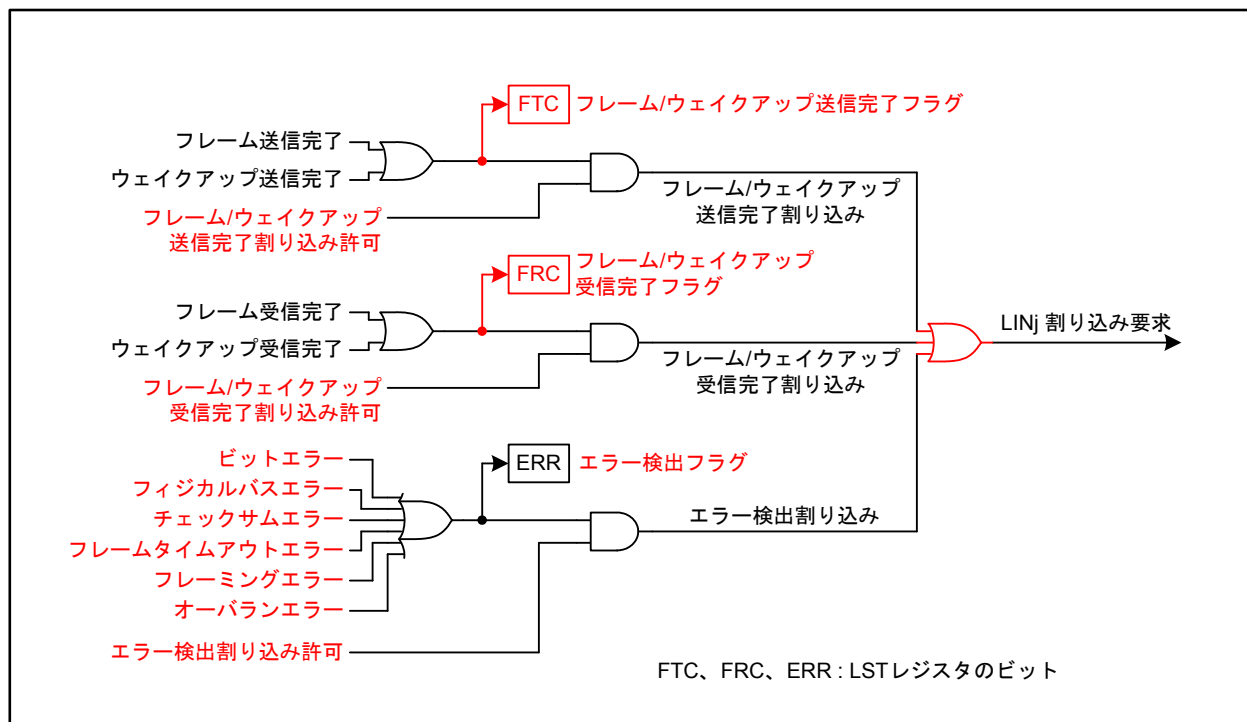


図24.32 LINj割り込みブロック図(j=0, 1)

【正】

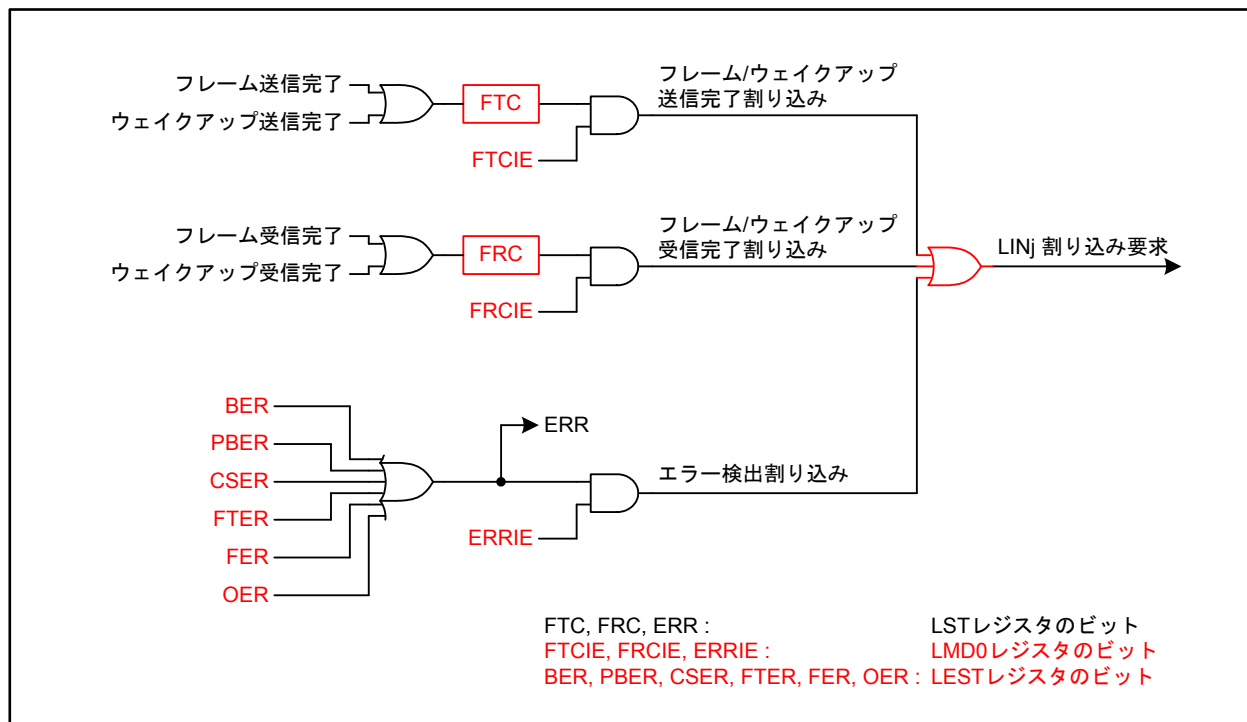


図24.32 LINj割り込みブロック図(j=0, 1)

•Page 405 of 598

図24.33を以下のとおり訂正いたします。

【誤】

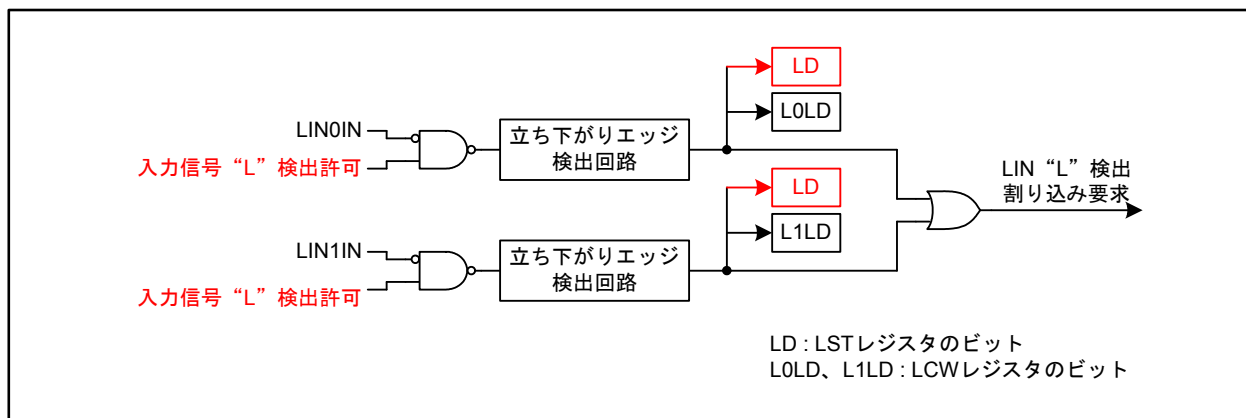


図 24.33 LIN“L”検出割り込みブロック図

【正】

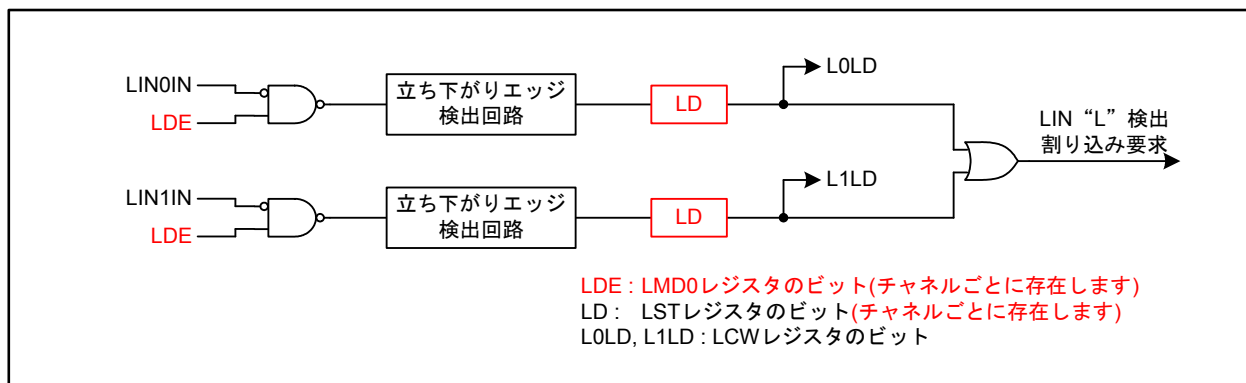


図 24.33 LIN“L”検出割り込みブロック図

•Page 406 of 598

25 本文の4行目を以下のとおり訂正いたします。

【誤】

表25.1にCANモジュールの仕様、図25.1にCANモジュールブロック図を示します。

【正】

表25.1、表25.2にCANモジュールの仕様、図25.1にCANモジュールブロック図を示します。

•Page 430 of 598

図25.11の注2を以下のとおり訂正いたします。

【誤】

注2. RFMLFビットと同時にRFEビットに“0”を書いてください。

【正】

注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。

•Page 441 of 598

図25.19の(b6-b5)の機能欄から以下のとおり文章を一部削除いたします。

【誤】

何も配置されていない。書く場合、“0”を書いてください。
読んだ場合、その値は“0”

【正】

何も配置されていない。読んだ場合、その値は“0”

•Page 452 of 598

図25.28の注4を以下のとおり訂正いたします。

【誤】

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

【正】

注4. 同時に2つ以上のエラーが検出された場合は、該当するすべてのビットが“1”になります。

•Page 461 of 598

25.2.3項本文を以下のとおり訂正いたします。

【誤】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのハードウェアリセットまたはソフトウェアリセット実行後、CANスリープモードから動作を開始します。

【正】

CANスリープモードは、CANモジュールへのクロック供給を停止することによって、消費電流を低減するためのモードです。MCUのリセット後は、CANスリープモードから動作を開始します。

•Page 464 of 598

図25.36のPCDビット部のqの値を以下のとおり訂正いたします。

【誤】

q=1, 2, 3, 4

【正】

q=2, 3, 4

•Page 476 of 598

26本文の2段落目を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合と、アナログ入出力になっている場合には、レジスタの設定内容にかかわらず切り離されます。

【正】

また、端子4本ごとにプルアップ抵抗の有無を選択できます。プルアップ抵抗は端子が出力になっている場合、レジスタの設定内容にかかわらず切り離されます。

•Page 476 of 598

図26.1を以下のとおり訂正いたします(TN-16C-A198A/J 参照)。

【誤】

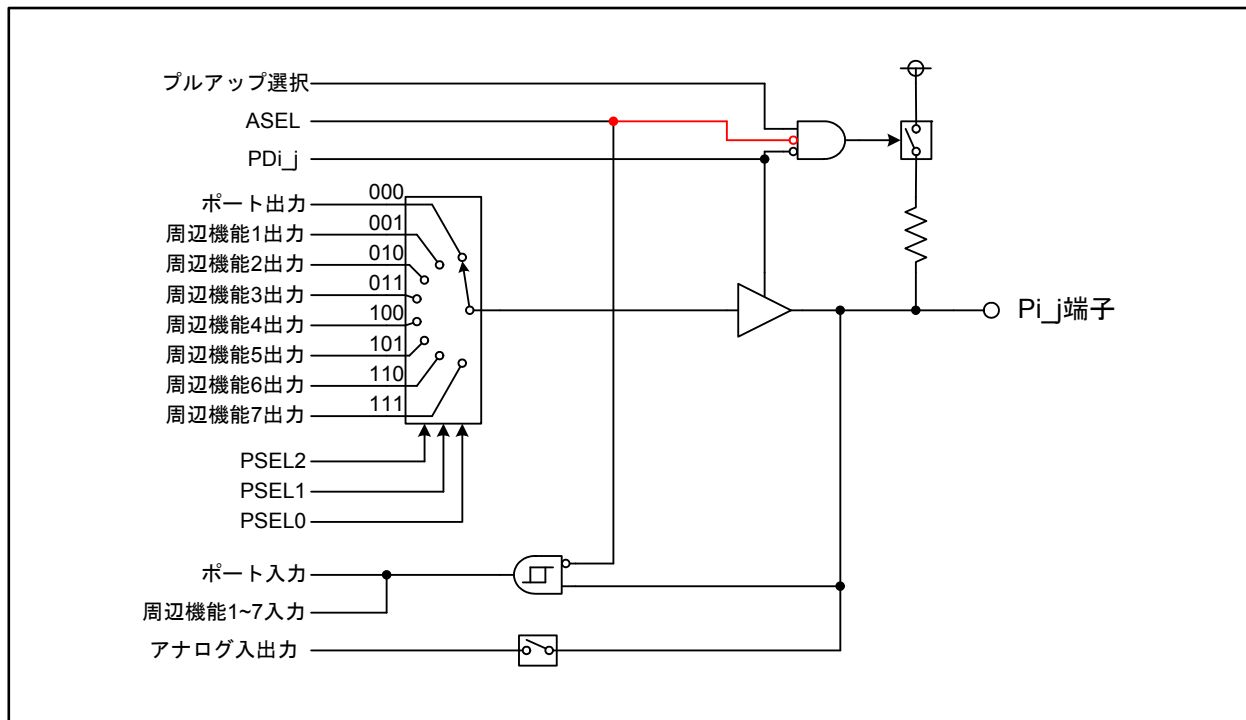


図26.1 入出力端子ブロック図(代表例) (i=0~10、j=0~7)

【正】

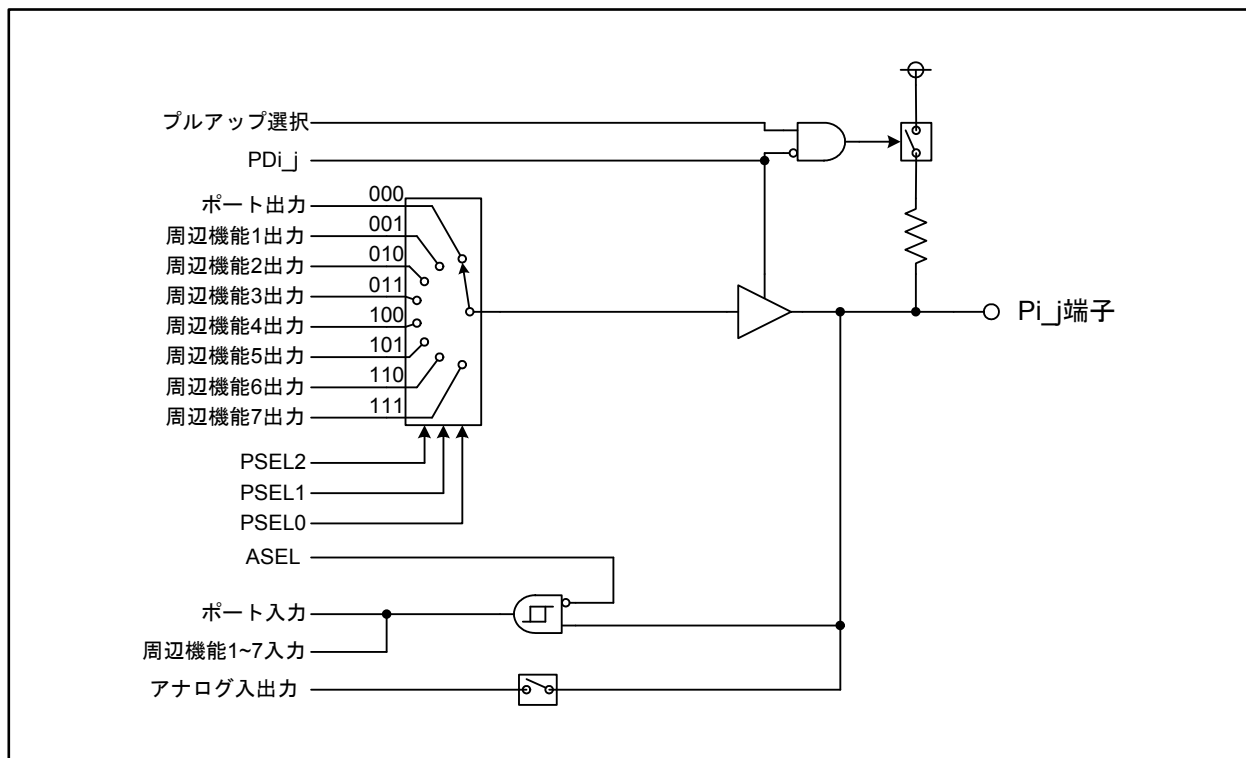


図26.1 入出力端子ブロック図(代表例) (i=0~10、j=0~7)

•Page 502 of 598

表27.3の保護対象を以下のとおり訂正いたします。

【誤】

表 27.3 プロテクトの種類と特徴

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、 消去 、書き込み	読み出し、書き込み
：	：	：	：
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	シリアルライター でプロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

【正】

表 27.3 プロテクトの種類と特徴

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、 消去 、書き込み
：	：	：	：
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

•Page 502 of 598

27.2.2 本文の1段落目の一部を以下のとおり削除いたします。

【誤】

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、**シリアルライターを使って**プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

【正】

パラレル入出力モードに対して有効なプロテクトです。ROMコードプロテクトが有効な場合、パラレルライターでは、いずれの領域の内容も読み書きできません。ROMコードプロテクトを解除するには、プロテクトビットを“0”(プロテクト)にしたすべてのブロックを消去してください。

•Page 503 of 598

図27.2を以下のとおり訂正いたします。

【誤】

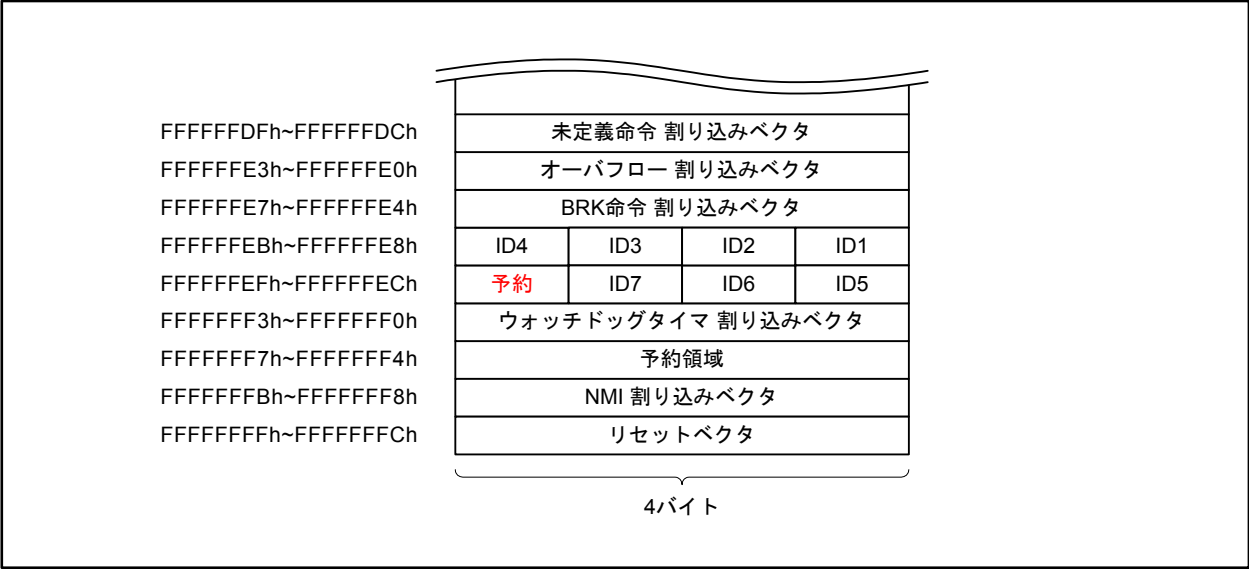


図27.2 IDコード格納番地

【正】

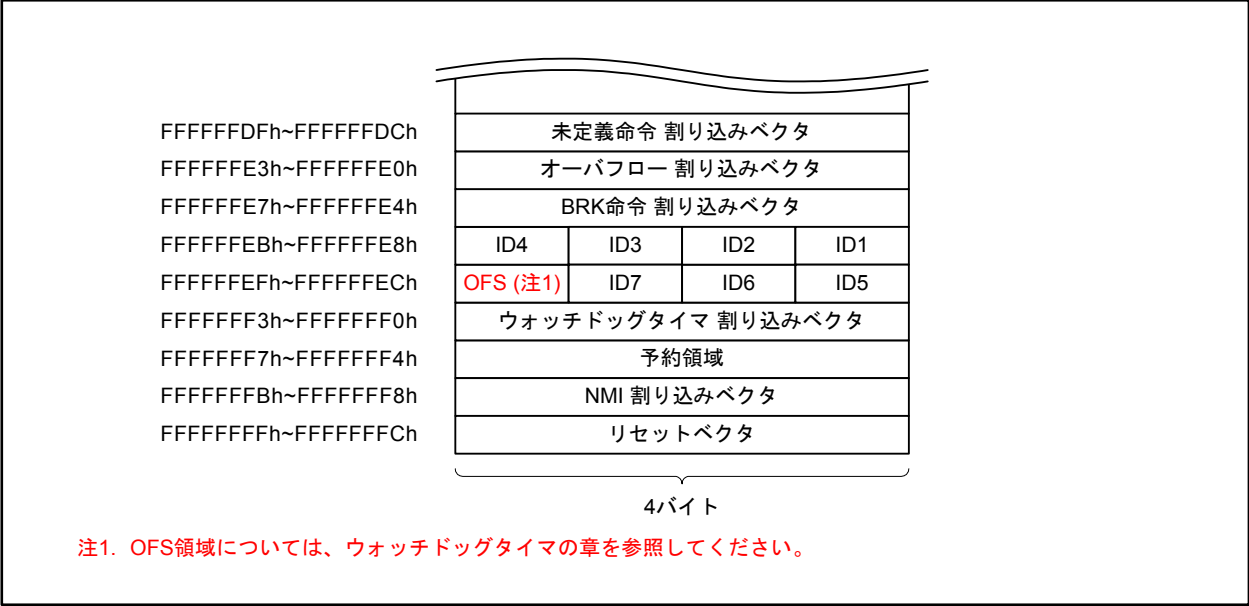


図27.2 IDコード格納番地

•Page 505 of 598

表27.5のEW0モード、EW1モード欄に記載しているコマンド名を以下のとおり訂正いたします。

【誤】

- イレーズコマンド
- リードステータスレジスタコマンド

【正】

- **ブロック**イレーズコマンド
- リードステータスレジスタ**モード移行**コマンド

•Page 511, 513 of 598

図27.12、図27.13の信号名をそれぞれ以下のとおり訂正いたします。

【誤】

図27.12: $\overline{CS0}$
A23~A0, $\overline{BC0}$ ~ $\overline{BC3}$

図27.13: $\overline{CS0}$ ~ $\overline{CS3}$
A23~A0, $\overline{BC0}$ ~ $\overline{BC3}$

【正】

図27.12: チップセレクト
アドレス

図27.13: チップセレクト
アドレス

•Page 531 of 598

図28.2の注3、注5の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注3. このビットを“1”にすると、実行中の処理を中断して初期状態に戻ります。

注5. E2FIレジスタにどのような値を書いても00F3h (リードコマンド)が設定されます。**このモードに設定しておくことにより、プログラム暴走時にデータが上書きされるのを予防できます。**

【正】

注3. このビットを“1”にすると、実行中の処理を中断して初期状態に戻ります。**なお、レジスタは初期化されません。**

注5. E2FIレジスタにどのような値を書いても00F3h (リードコマンド)が設定されます。

•Page 549 of 598

図29.5の信号名を以下のとおり訂正いたします。

【誤】

リードサイクル
 $\overline{CS0}$
 $A23 \sim A0, \overline{BC0} \sim \overline{BC3}$

ライトサイクル
 $\overline{CS0} \sim \overline{CS3}$
 $A23 \sim A0, \overline{BC0} \sim \overline{BC3}$

【正】

リードサイクル
 チップセレクト
 アドレス

ライトサイクル
 チップセレクト
 アドレス

•Page 584 of 598

30.7.1項本文を以下のとおり訂正いたします。

【誤】

- PM2レジスタのPM24ビットが“1”(NMI有効)で、INVC0レジスタのINV03ビットが“1”(三相モータ制御用タイマ出力許可)かつ、INV02ビットが“1”(三相モータ制御用タイマ機能を使用する)のとき、 $\overline{NMI}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

【正】

- PM2レジスタのPM24ビットが“1”(NMI有効)、かつIOBCレジスタのSDEビットが“1”(シャットダウン機能有効)で、INVC0レジスタのINV02ビットが“1”(三相モータ制御用タイマ機能を使用する)、かつINV03ビットが“1”(三相モータ制御用タイマ出力許可)のとき、 $\overline{NMI}$ 端子に“L”を入力するとTA1OUT、TA2OUT、TA4OUT端子はハイインピーダンスになります。

•Page 584 of 598

30.7.2項本文を以下のとおり訂正いたします。

【誤】

- タイマB2が**オーバーフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。
TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**オーバーフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔が開かないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**オーバーフロー**までに十分な時間がない場合は、**オーバーフロー**するまで待った後TAi1レジスタを設定してください。

【正】

- タイマB2が**アンダフロー**する前後で、TAi1レジスタ (i=1, 2, 4)に値を設定しないでください。
TAi1レジスタに値を設定する場合は、TB2レジスタの値を読んで、**アンダフロー**までに十分な時間があることを確認してから設定してください。TB2レジスタの読み出しと、TAi1レジスタへの書き込みの間隔があかないよう、この間に割り込み処理などが実行されないようにしてください。また、TB2レジスタを読み出した結果、**アンダフロー**までに十分な時間がない場合は、**アンダフロー**するまで待った後TAi1レジスタを設定してください。

以上