

RENESAS TECHNICAL UPDATE

〒211-8668 神奈川県川崎市中原区下沼部1753
 ルネサス エレクトロニクス株式会社
 問合せ窓口 <http://japan.renesas.com/inquiry>
 E-mail: csc@renesas.com

製品分類	MPU & MCU	発行番号	TN-16C-A191A/J	Rev.	第1版
題名	R32C/117グループハードウェアマニュアルの誤記訂正		情報分類	技術情報	
適用製品	R32C/117グループ	対象ロット等	関連資料	R32C/117グループハードウェア マニュアル Rev.1.00 (RJJ09B0565-0100)	

R32C/117グループハードウェアマニュアル Rev.1.00 において誤記がありましたので、以下のとおり訂正いたします。

訂正内容

•Page 18 of 596

表1.13の「クロック出力」の機能を以下のとおり訂正いたします。

【誤】

fC、f8または、f32と同じ周期のクロックを出力します

【正】

低速クロック、f8または、f32と同じ周期のクロックを出力します

•Page 43 of 596

表4.15のAD0CON2レジスタのリセット後の値を以下のとおり訂正いたします。

【誤】

X00X X000b

【正】

XX0X X000b

•Page 53 of 596

表4.25のI2CSSCR、I2CCR1、I2CCR2、I2CSR、I2CMRレジスタのリセット後の値をそれぞれ以下のとおり訂正いたします。

レジスタシンボル	【誤】	【正】
I2CSSCR	0000 0000b	0001 1010b
I2CCR1	0000 0000b	0011 0000b
I2CCR2	0000 0000b	0X00 0000b
I2CSR	0000 0000b	0001 000Xb
I2CMR	0000 0000b	XXXX 0000b

•Page 81 of 596

図7.2左側に記載されたアドレスのうち余分な2つを以下のとおり削除いたします。

【誤】

	シングルチップモード	メモリ拡張モード	マイクロプロセッサモード
00000000h	SFR	SFR	SFR
00000400h	内部RAM	内部RAM	内部RAM
00008000h	予約領域 (内部RAM)	予約領域 (内部RAM)	予約領域 (内部RAM)
00040000h	SFR2	SFR2	SFR2
00050000h	予約領域	予約領域	予約領域
00060000h	データROM	データROM	データROM
00062000h	予約領域 (内部ROM)	予約領域 (内部ROM)	予約領域 (内部ROM)
00080000h	使用不可 (注1)	外部領域 31.5MB	外部領域 31.5MB
02000000h		使用不可 (注2)	使用不可 (注2)
FE000000h		外部領域 30MB	外部領域 32MB
FFE00000h	予約領域 (内部ROM)	予約領域 (内部ROM)	
FFF80000h	内部ROM	内部ROM	
FFFFFFFFh			

注1. シングルチップモードでは外部拡張はできません。
注2. プロセッサモードにかかわらず使用禁止です。

図7.2 プロセッサモード別メモリ配置

【正】

	シングルチップモード	メモリ拡張モード	マイクロプロセッサモード
00000000h	SFR	SFR	SFR
00000400h	内部RAM	内部RAM	内部RAM
	予約領域 (内部RAM)	予約領域 (内部RAM)	予約領域 (内部RAM)
00040000h	SFR2	SFR2	SFR2
00050000h	予約領域	予約領域	予約領域
00060000h	データROM	データROM	データROM
00062000h	予約領域 (内部ROM)	予約領域 (内部ROM)	予約領域 (内部ROM)
00080000h	使用不可 (注1)	外部領域 31.5MB	外部領域 31.5MB
02000000h		使用不可 (注2)	使用不可 (注2)
FE000000h		外部領域 30MB	外部領域 32MB
FFE00000h	予約領域 (内部ROM)	予約領域 (内部ROM)	
FFFFFFFFh	内部ROM	内部ROM	

注1. シングルチップモードでは外部拡張はできません。
注2. プロセッサモードにかかわらず使用禁止です。

図7.2 プロセッサモード別メモリ配置

•Page 83 of 596

図8.1を以下のとおり訂正いたします。

【誤】

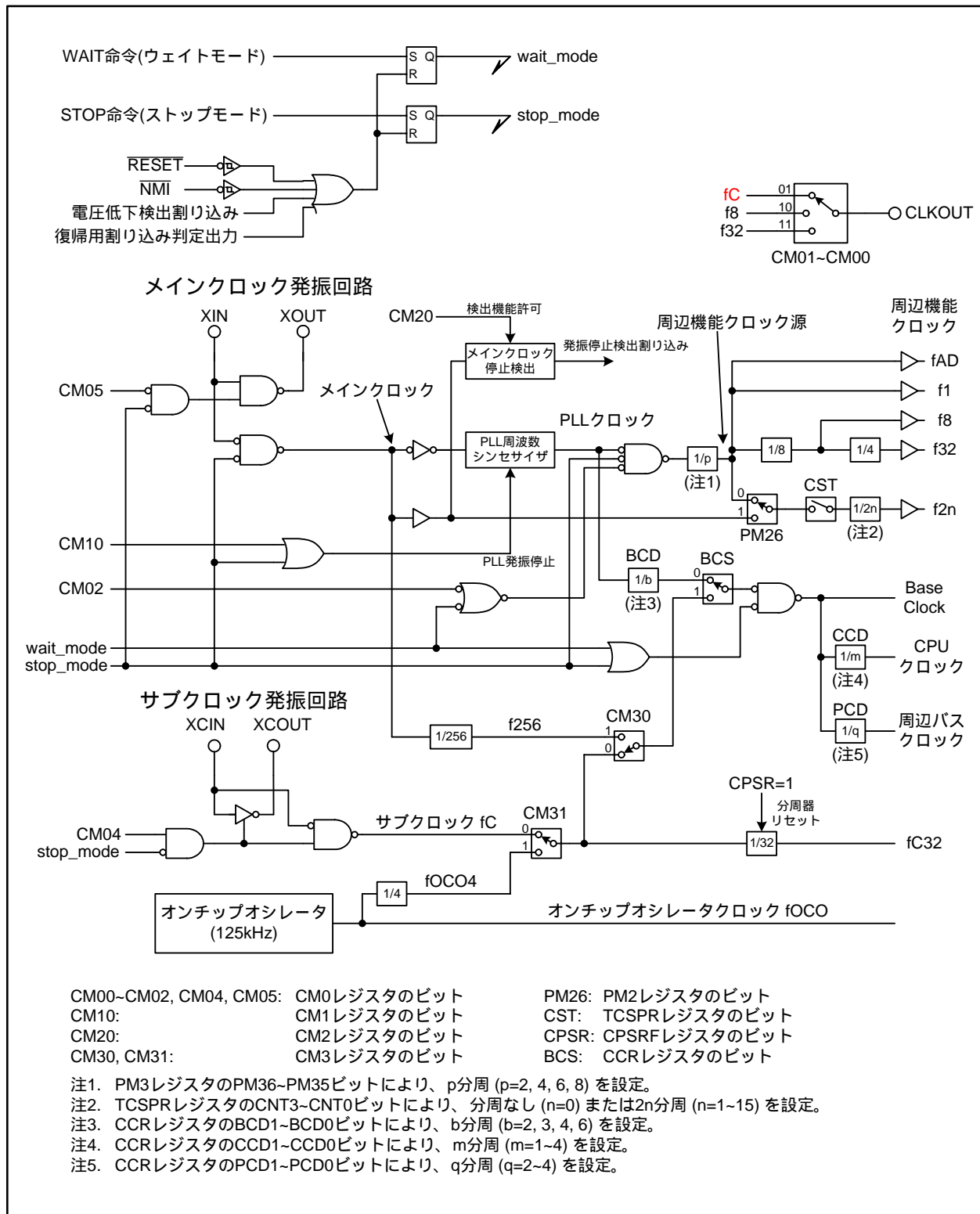


図8.1 クロック発生回路のブロック図

【正】

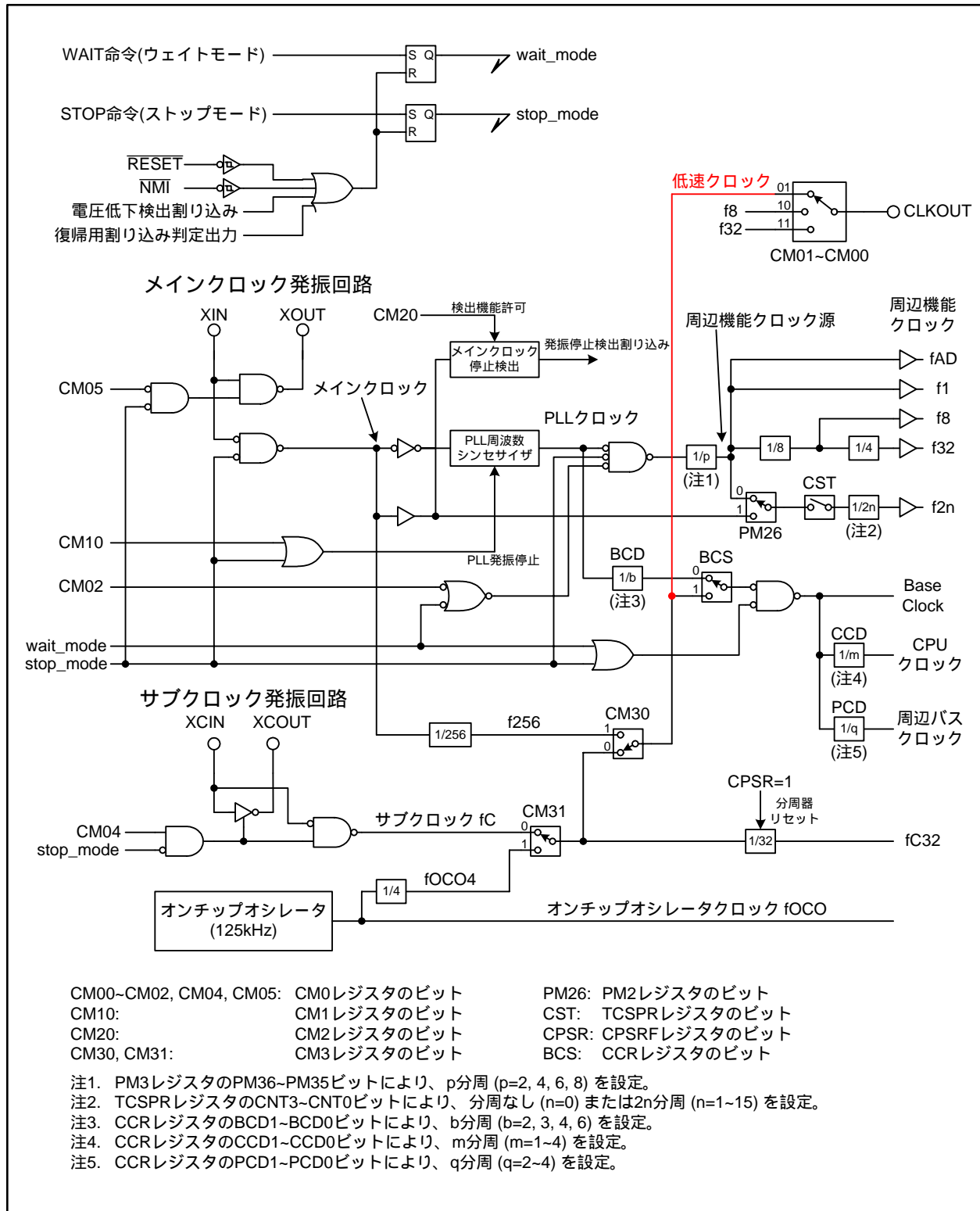


図8.1 クロック発生回路のブロック図

•Page 84 of 596

図8.2の注2、注6の文章をそれぞれ以下のとおり訂正いたします。

【誤】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を超える場合があります。ベースクロックの周波数を上げる場合は、先に周辺バスクロック分周値を大きくした後、ベースクロック分周値を小さくしてください。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。

【正】

注2. ベースクロック分周値と周辺バスクロック分周値は、同時に値を変更しないでください。同時に変更した場合、周辺バスクロックが動作上限周波数を超える場合があります。

注6. これらの低速クロックの切り替えは、CM3レジスタのCM31~CM30ビットで行います。先にCM31~CM30ビットでいずれかのクロックを選択した後、このビットを“1”にしてください。

•Page 85, 98, 105, 108 of 596

図8.3のCM01~CM00ビットの機能欄、8.6本文、表8.3、表8.4、表8.5、表8.7のfCをそれぞれ以下のとおり訂正いたします。

【誤】

図8.3: fCを出力

8.6: fC、f8、またはf32をCLKOUT端子から出力できます。

表8.3: fCを出力

表8.4: fCを出力

表8.5: fC選択時

表8.7: fC選択時

【正】

図8.3: 低速クロックを出力

8.6: 低速クロック、f8、またはf32をCLKOUT端子から出力できます。

表8.3: 低速クロックを出力

表8.4: 低速クロックを出力

表8.5: 低速クロック選択時

表8.7: 低速クロック選択時

•Page 85 of 596

図8.3のCM06ビットに対し、以下の注記を追加いたします。なお、この追加により、元の注8は注9となります。

【誤】

—なし—

【正】

注8. このビットはウォッチドッグタイマを動作させる前に設定してください。

•Page 86 of 596

図8.4のCM16~CM15ビットに対し、以下の注記を追加いたします。なお、この追加により、元の注4は注5となります。

【誤】

—なし—

【正】

注4. メインクロックを停止させると“01b”になります。“00b”や“10b”にするときは、メインクロックの発振が十分安定してから実施してください。

•Page 87 of 596

図8.6の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCR2レジスタのPRC27ビットを“1”(書き込み許可)にした後で書き換えてください。また、CCRレジスタのBCSビットが“0”(PLLクロック)のときに書き換えてください。

•Page 88 of 596

図8.9の注3内の記述を以下のとおり訂正いたします。また、PM26ビットに対し注5を追加いたします。

【誤】

CM0レジスタのCM05ビット(メインクロックは**停止しない**)

CM1レジスタのCM10ビット(PLLは**停止しない**)

注5. —なし—

【正】

CM0レジスタのCM05ビット(メインクロックの**発振/停止**)

CM1レジスタのCM10ビット(PLLの**発振/停止**)

注5. このビットを変更するときは、f2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 89 of 596

図8.10の注1に以下のとおり文章を追記いたします。

【誤】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。

【正】

注1. このレジスタはPRCRレジスタのPRC0ビットを“1”(書き込み許可)にした後で書き換えてください。また、fAD、f1、f8、f32、クロック源に周辺機能クロック源を選択したf2nを使用するすべての周辺機能を停止してから書き換えてください。

•Page 115, 116 of 596

図9.5、図9.6、図9.7の注2を削除いたします。

【誤】

注2. シングルチップモード時は、このレジスタに値を設定しないでください。

【正】

— 削除 —

•Page 122 of 596

表9.2のマルチプレクスバスのみのおきのP4_0~P4_3の機能を以下のとおり訂正いたします。

【誤】

A16~A19または入出力ポート

【正】

入出力ポート

•Page 129 of 596

図9.15のデータバス幅が8ビットのときの波形を以下のとおり訂正いたします。

【誤】

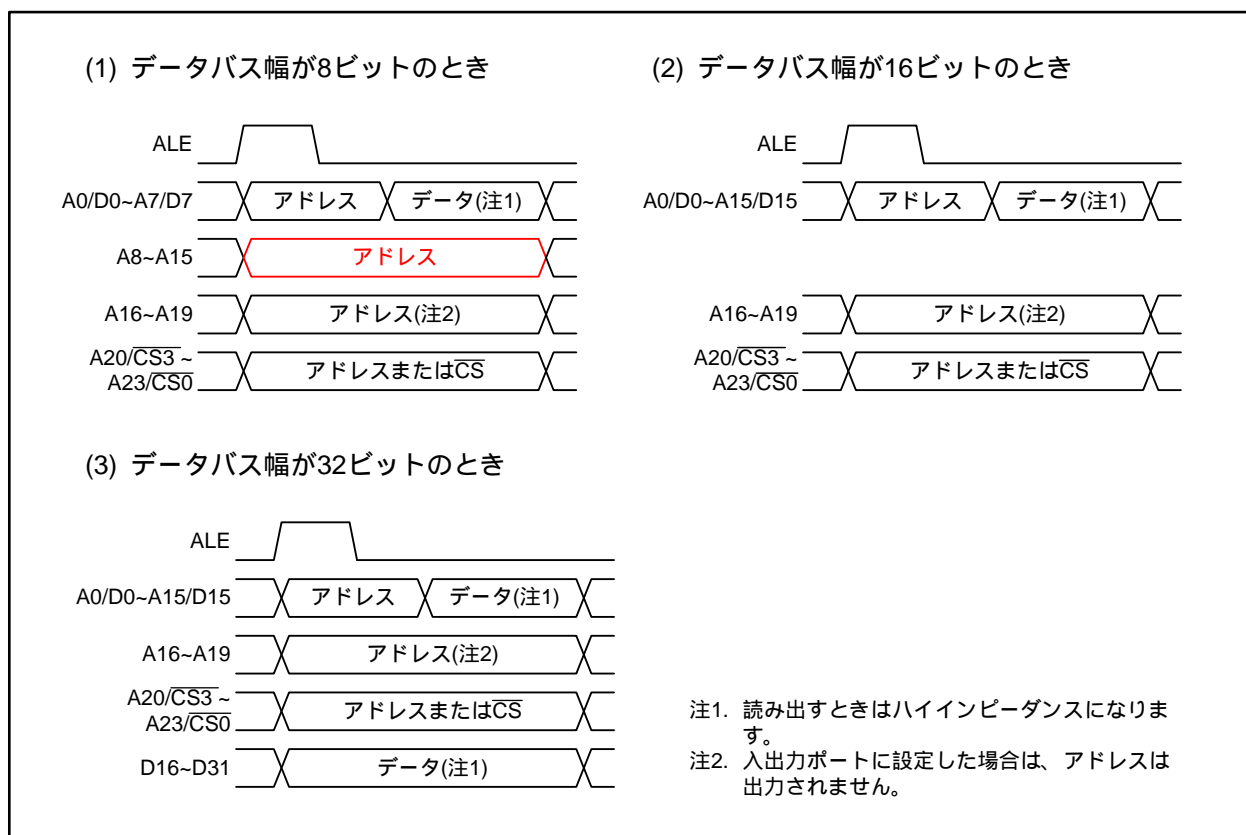


図9.15 ALE信号とアドレスバス、データバス

【正】

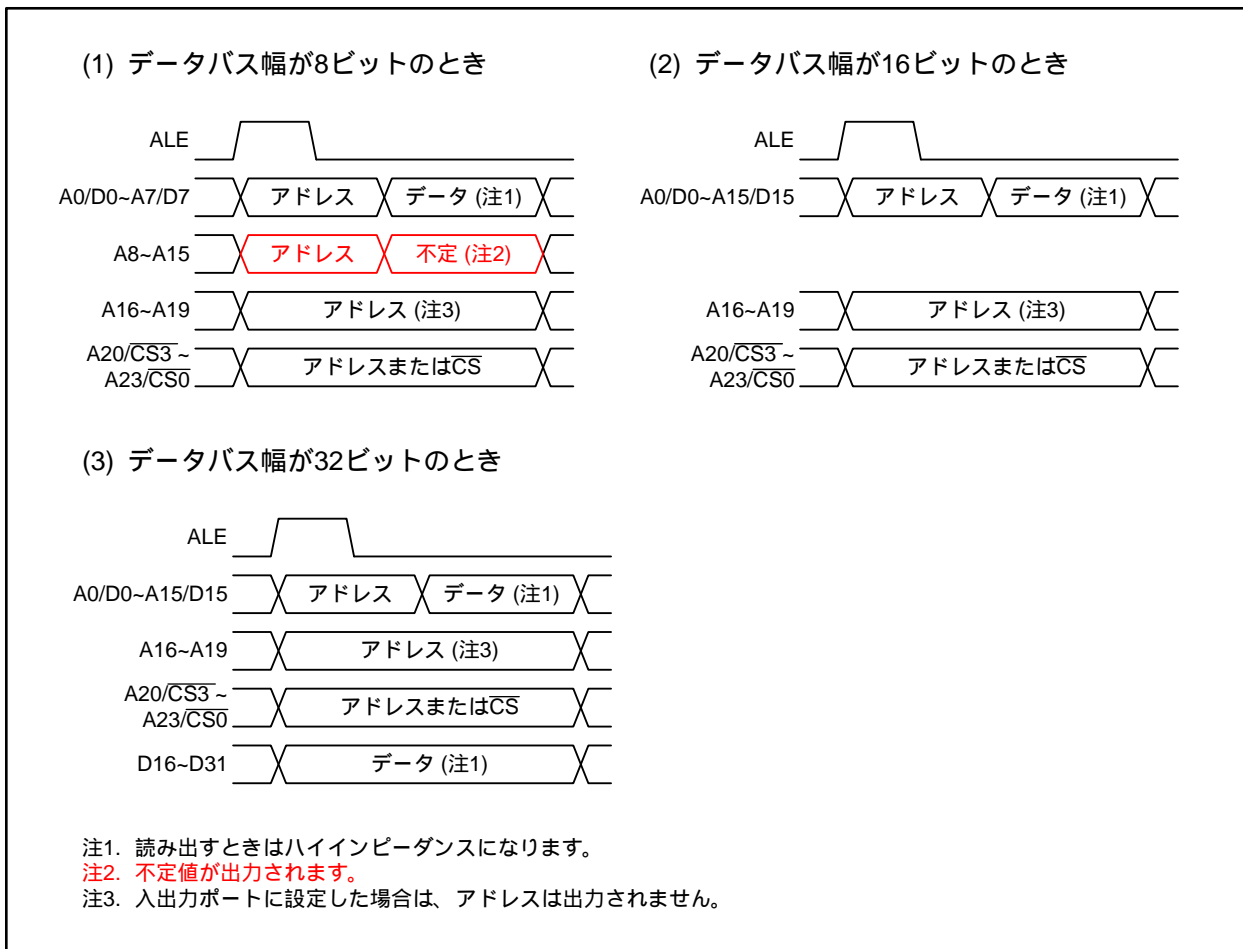


図9.15 ALE信号とアドレスバス、データバス

•Page 156 of 596

図11.8を以下のとおり訂正いたします。

【誤】

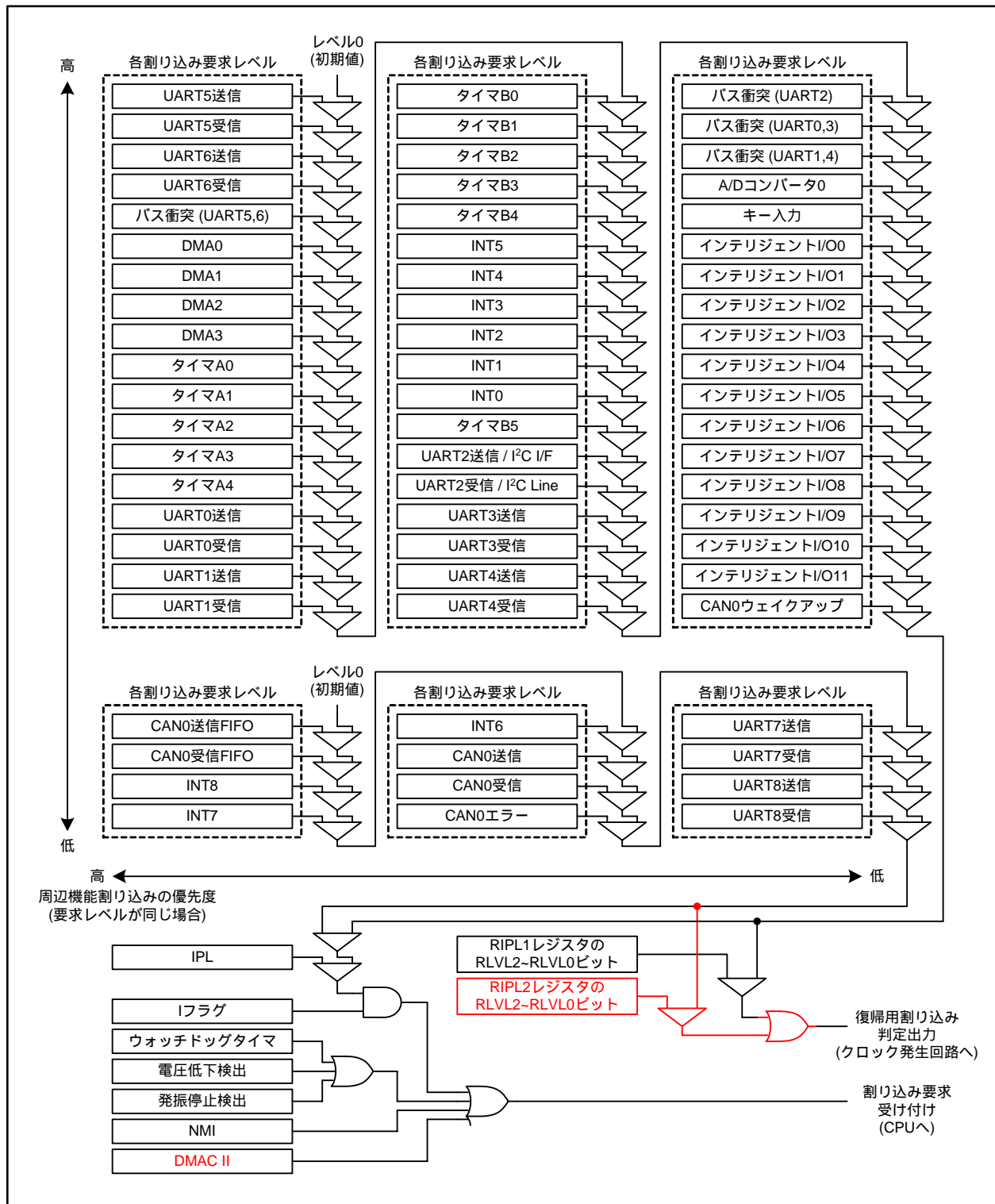


図11.8 割り込み優先順位判定回路

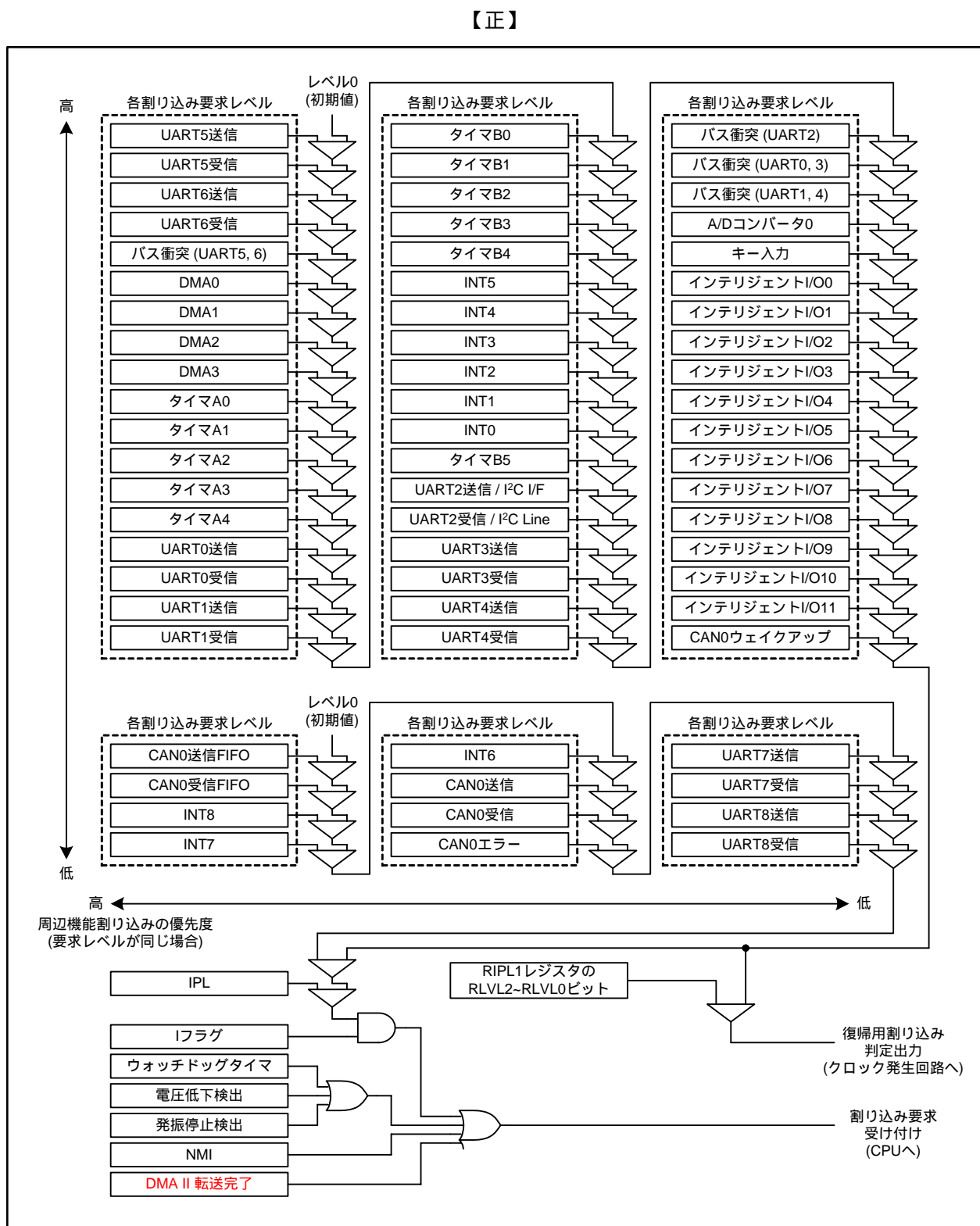


図 11.8 割り込み優先順位判定回路

•Page 161 of 596

図11.13 IIO0IR~IIO11IRレジスタのb0の機能欄、注3本文をそれぞれ以下のとおり訂正いたします。

【誤】

b0: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は“1”

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”を書いても変化しません。
“0”を書く場合....

【正】

b0: 何も配置されていない。読んだ場合、その値は“1”

注3. 当該ビットに機能が割り当てられている場合、“0”のみ書けます。“1”は書かないでください。
“0”を書く場合....

•Page 163 of 596

11.14.3本文3項目目を以下のとおり訂正いたします。

【誤】

- INTiICレジスタ(i=6~8)のPOLビット、LVSビット、IFSR1レジスタのIFSR1jビット(j=i-6)で $\overline{\text{INTi}}$ 端子の有効エッジや有効レベルを切り替えたとき、IIOkIRレジスタ(k=9~11)のINTiRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、IIOkIEレジスタのINTiEビットを“0”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するINTiRビットを“0”(割り込み要求なし)にしてからINTiEビットを“1”にしてください。

【正】

- $\overline{\text{INT6}}\sim\overline{\text{INT8}}$ 端子への割り込み入力信号は、IIO9IR~IIO11IRレジスタのINT6R~INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、 $\overline{\text{INT6}}\sim\overline{\text{INT8}}$ 端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。INTiICレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i-6、i=6~8)の影響は受けません。

•Page 165 of 596

図12.2のWDC7ビットに対し、以下の注記を追加いたします。

【誤】

—なし—

【正】

注1. このビットはウォッチドッグタイマ起動前に設定してください。

•Page 195 of 596

図16.2を以下のとおり訂正いたします。

【誤】

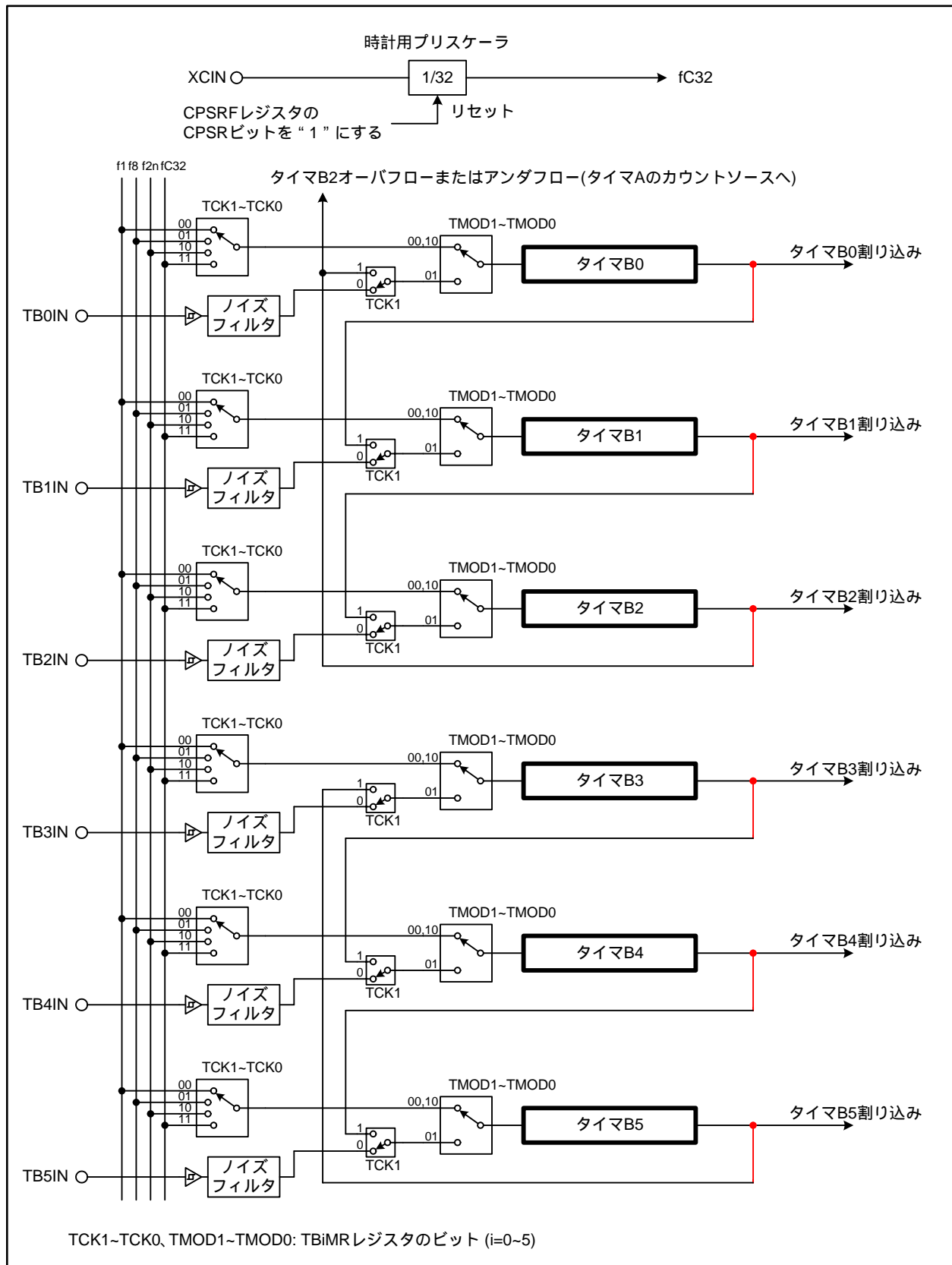


図16.2 タイマBの構成

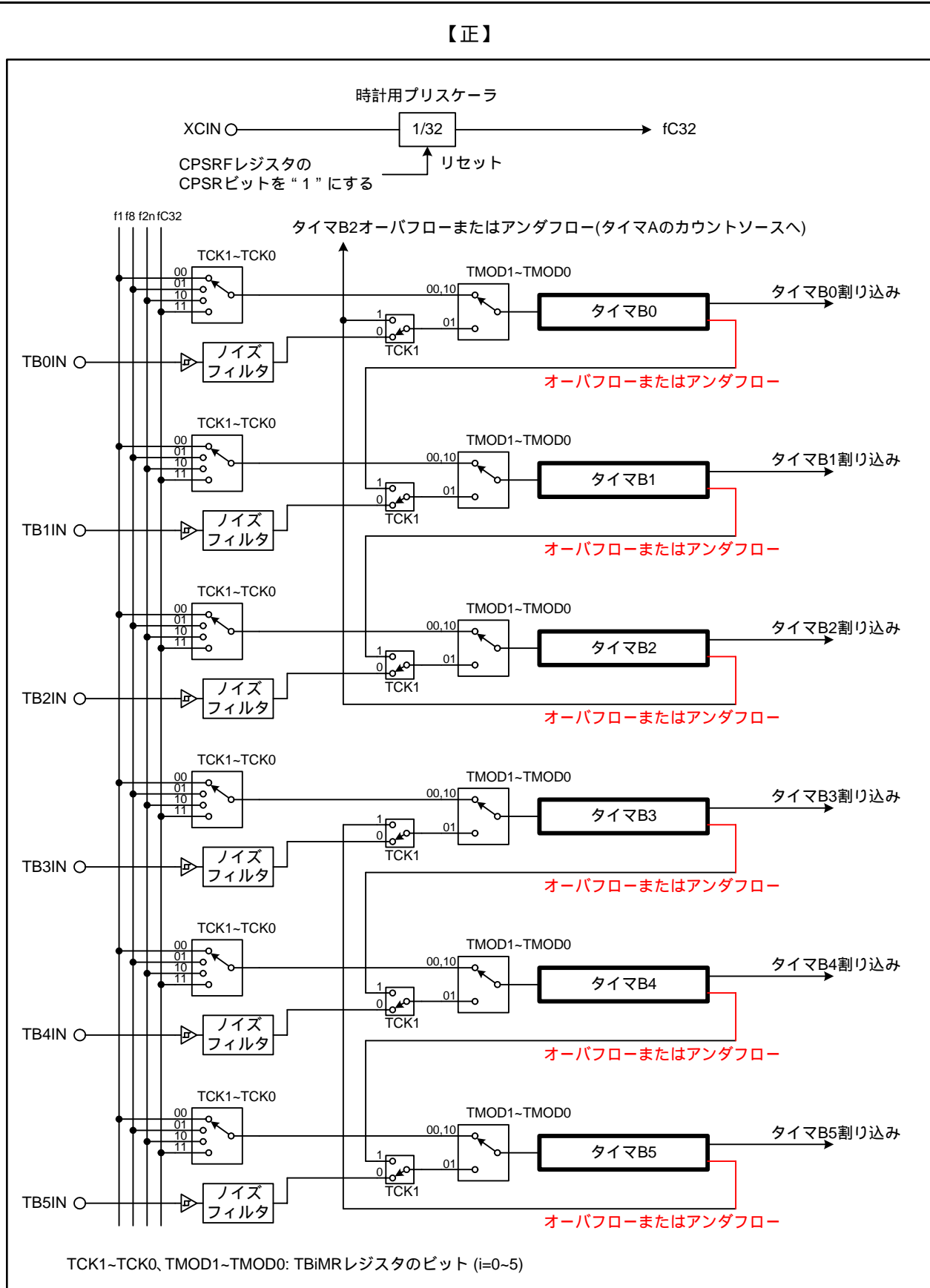


図 16.2 タイマBの構成

•Page 228, 232 of 596

図17.3のINV13ビットの機能欄、図17.9のPWCONビットの機能欄をそれぞれ以下のとおり訂正いたします。

【誤】

INV13: タイマAリロード制御信号が...

PWCON: 奇数回目のタイマA出力

【正】

INV13: タイマA1リロード制御信号が...

PWCON: タイマA1リロード制御信号が“0”のときのタイマB2アンダフロー

•Page 232 of 596

図17.8のMR2、MR3ビットの説明文を以下のとおり訂正いたします。

【誤】

MR2: 三相モータ制御用タイマ機能では“0”にしてください

MR3: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

【正】

MR2: 何も配置されていない。書く場合、“0”を書いてください。読んだ場合、その値は不定

MR3: 三相モータ制御用タイマ機能では無効。書く場合、“0”を書いてください。読んだ場合、その値は不定

•Page 240 of 596

17.6.2本文の「オーバフロー」をすべて以下のとおり「アンダフロー」に訂正いたします。

【誤】

タイマB2がオーバフローする前後で、...

オーバフローまでに十分な時間があることを...

オーバフローまでに十分な時間がない場合は、オーバフローするまで待った後...

【正】

タイマB2がアンダフローする前後で、...

アンダフローまでに十分な時間があることを...

アンダフローまでに十分な時間がない場合は、アンダフローするまで待った後...

•Page 296 of 596

図19.5の注5本文を以下のとおり訂正いたします。

【誤】

DUSビットを“1”にする場合、DMACを設定してください。

【正】

変換結果をDMA転送する場合、DMACを設定してください。

•Page 321, 322 of 596

図23.1左上の「 $\overline{\text{INT0}}$ 端子からの要求」、図23.2左上の「 $\overline{\text{INT1}}$ 端子からの要求」をそれぞれ以下のとおり訂正いたします。

【誤】

- 図23.1 $\overline{\text{INT0}}$ 端子からの要求
 図23.2 $\overline{\text{INT1}}$ 端子からの要求

【正】

- 図23.1 $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求
 図23.2 $\overline{\text{INT0}}$ 端子または $\overline{\text{INT1}}$ 端子からの要求

•Page 326 of 596

図23.6のRST2ビットの機能欄、注3本文をそれぞれ以下のとおり訂正いたします。

【誤】

- RST: $\overline{\text{INTi}}$ 端子への“L”入力で...
 注3. グループ0の場合 $\overline{\text{INT0}}$ 端子、グループ1の場合 $\overline{\text{INT1}}$ 端子に“L”を入力すると...

【正】

- RST: $\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子への“L”入力で...
 注3. IFS2レジスタでUDiZ信号用に選択した外部割り込み入力端子に“L”を入力すると...

•Page 335 of 596

表23.2のベースタイマリセット条件の仕様を以下のとおり訂正いたします。

【誤】

- 外部割り込み端子に“L”を入力
 グループ0: $\overline{\text{INT0}}$ 端子
 グループ1: $\overline{\text{INT1}}$ 端子

【正】

- 外部割り込み端子($\overline{\text{INT0}}$ または $\overline{\text{INT1}}$)に“L”を入力
 グループ0: IFS2レジスタのIFS23~IFS22ビットで選択
 グループ1: IFS2レジスタのIFS27~IFS26ビットで選択

•Page 337 of 596

図23.18左下の「 $\overline{\text{INTi}}$ 端子」を以下のとおり訂正いたします。

【誤】

$\overline{\text{INTi}}$ 端子に“L”を入力

【正】

$\overline{\text{INT0}}/\overline{\text{INT1}}$ 端子に“L”を入力

•Page 361 of 596

図23.36のOPOL、IPOLビットのビット名を以下のとおり訂正いたします。

【誤】

OPOL: **ISTxD**出力極性選択ビット

IPOL: **ISRxD**入力極性選択ビット

【正】

OPOL: **ISTXD2**出力極性選択ビット

IPOL: **ISRXD2**入力極性選択ビット

•Page 368 of 596

表24.2のスレーブアドレス一致検出の機能欄を以下のとおり訂正いたします。

【誤】

スレーブ**送受信**時、スレーブアドレスの検出を行い、...

【正】

スレーブ**受信**時、スレーブアドレスの検出を行い、...

•Page 373 of 596

24.1.4本文2行目を以下のとおり訂正いたします。

【誤】

データ送受信中は、I2CCCRレジスタの**ACKCLK**ビット以外のビットを書き換えしないでください。

【正】

データ送受信中は、I2CCCRレジスタの**ACKD**ビット以外のビットを書き換えしないでください。

•Page 381 of 596

24.1.7.3本文2~4行目を以下のとおり訂正いたします。

【誤】

TOSELビットを“1”に設定するとロングタイムが選択され、内部カウンタは16ビットカウンタとして機能します。**TOE**ビットを“0”に設定するとショートタイムが選択され、内部カウンタは14ビットカウンタとして機能します。

【正】

TOSELビットを“0”に設定するとロングタイムが選択され、内部カウンタは16ビットカウンタとして機能します。**TOSEL**ビットを“1”に設定するとショートタイムが選択され、内部カウンタは14ビットカウンタとして機能します。

•Page 389 of 596

24.3本文下から3~2行目の記載を以下のとおり訂正いたします。

【誤】

I2CCR0レジスタのICEビットへの“0”書き込み(I²Cバスインタフェース有効)、RSTビットへの...

【正】

I2CCR0レジスタのICEビットへの“0”書き込み(I²Cバスインタフェース機能停止)、RSTビットへの...

•Page 390, 391 of 596

図24.19、図24.22の基準クロックのシンボルをそれぞれ以下のとおり訂正いたします。

【誤】

図24.19 VIICの1.5サイクル

図24.22 VIICの0.5サイクル

【正】

図24.19 φIICの1.5サイクル

図24.22 φIICの0.5サイクル

•Page 397 of 596

図24.27下部のビット一覧を以下のとおり訂正いたします。

【誤】

リセット対象ビット

I2CCR0レジスタのBC2~BC0ビット

I2CSRレジスタのMSTビット(アービトレーションロスト時)

I2CSRレジスタのTRXビット(スレーブ送信モードでNACK受信時)

リセット対象ビット

I2CSRレジスタのTRSビット(スレーブデバイスのアドレッシングモードで、受信R/Wビットが“1”のとき)

【正】

リセット対象ビット

I2CCR0レジスタのBC2~BC0ビット

I2CSRレジスタのMSTビット(アービトレーションロスト時)

I2CSRレジスタのTRSビット(スレーブ送信モードでNACK受信時)

セット対象ビット

I2CSRレジスタのTRSビット(スレーブ受信モードでアドレッシングフォーマット選択時に、受信した第一バイトのR/Wビットが“1”のとき)

•Page 423 of 596

図25.11の注2本文を以下のとおり訂正いたします。

【誤】

注2. RFMLFビットと同時にRFEビットに“0”を書いてください。

【正】

注2. RFEビットを“0”にするときは、RFMLFビットも同時に“0”にしてください。

•Page 445 of 596

図25.28の注4本文を以下のとおり訂正いたします。

【誤】

注4. 同時に1つ以上のエラー条件が検出された場合は、関係するすべてのビットが“1”になります。

【正】

注4. 同時に2つ以上のエラーが検出された場合は、該当するすべてのビットが“1”になります。

•Page 503 of 596

表27.3のROMコードプロテクト、IDコードプロテクトの保護対象を以下のとおり訂正いたします。

【誤】

表27.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、消去、書き込み	読み出し、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	シリアルライターでプロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

【正】

表27.3 プロテクトの種類と特長

プロテクト	ロックビットプロテクト	ROMコードプロテクト	IDコードプロテクト
保護対象	消去、書き込み	読み出し、書き込み	読み出し、消去、書き込み
:	:	:	:
解除方法	FMRレジスタのLBDビットを“1”(ロックビット無効)にする 恒久的には上記操作の後、該当ブロックを消去する	プロテクトビットがセットされたブロックすべてを消去する	シリアルライターから正しいIDコードを入力する

•Page 580 of 596

29.5.3本文3項目目を以下のとおり訂正いたします。

【誤】

- INTiCレジスタ(i=6~8)のPOLビット、LVSビット、IFSR1レジスタのIFSR1jビット(j=i-6)でINTi端子の有効エッジや有効レベルを切り替えたとき、IIOkIRレジスタ(k=9~11)のINTiRビットが“1”(割り込み要求あり)になる場合があります。これらのビットは、IIOkIEレジスタのINTiEビットを“0”(割り込み禁止)にしてから書き換えてください。また、書き換えた後は、対応するINTiRビットを“0”(割り込み要求なし)にしてからINTiEビットを“1”にしてください。

【正】

- INT6~INT8端子への割り込み入力信号は、IIO9IR~IIO11IRレジスタのINT6R~INT8Rビットにも接続されています。これらインテリジェントI/O割り込みを使用することで、INT6~INT8端子への割り込み入力をウェイトモード/ストップモードからの復帰要因として使用できます。なお、インテリジェントI/O割り込みに割り付けられた外部割り込み信号は立ち下がりエッジのみが有効です。INTiCレジスタ(i=0~8)のPOLビット、LVSビット、IFSR0レジスタのIFSR0iビット(i=0~5)、IFSR1レジスタのIFSR1jビット(j=i-6、i=6~8)の影響は受けません。

•Page 585 of 596

29.8.2本文の「オーバーフロー」をすべて以下のとおり「アンダフロー」に訂正いたします。

【誤】

タイマB2が**オーバーフロー**する前後で、...

オーバーフローまでに十分な時間があることを...

オーバーフローまでに十分な時間がない場合は、**オーバーフロー**するまで待った後...

【正】

タイマB2が**アンダフロー**する前後で、...

アンダフローまでに十分な時間があることを...

アンダフローまでに十分な時間がない場合は、**アンダフロー**するまで待った後...

以上