

RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシア
ルネサス エレクトロニクス株式会社

問合せ窓口 <http://japan.renesas.com/contact/>

E-mail: csc@renesas.com

製品分類	システムLSI	発行番号	TN-ECL-A003A/J	Rev.	第1版
題名	EC-1ユーザーズマニュアル EtherCATスレーブ・コントローラに関する注意事項の追加と誤記訂正		情報分類	技術情報	
適用製品	EC-1	対象ロット等	関連資料	EC-1 ユーザーズマニュアルハードウェア編 Rev1.10 R01UH0691JJ0110 Rev.1.10	
		全ロット			

ユーザーズマニュアルにおいて EtherCAT スレーブ・コントローラに関する誤記や注意事項の不足があることが判明致しました。

本内容をご配慮の上、使用頂けますようお願い致します。

【EtherCAT スレーブ・コントローラの訂正内容】

項番	頁	現在の記述	訂正後の記述
1	528	22.3.7.1 AL コントロール・レジスタ (AL_CONTROL) のビット 5 リセット後の値：× シンボル：－ ビット名：予約ビット 機能：読み出した場合は不定値が読めます。 PDI：R (Clear) ECAT：R/(W)	22.3.7.1 AL コントロール・レジスタ (AL_CONTROL) のビット 5 リセット後の値：0 シンボル：DEVICEID ビット名：デバイス ID 要求ビット 機能：デバイス ID 要求 0：要求無し 1：要求あり PDI：R (Clear) ECAT：R/(W)
2	529	22.3.7.2 AL ステータス・レジスタ (AL_STATUS) のビット 5 リセット後の値：× シンボル：－ ビット名：予約ビット 機能：読み出した場合は不定値が読めます。	22.3.7.2 AL ステータス・レジスタ (AL_STATUS) のビット 5 リセット後の値：0 シンボル：DEVICEID ビット名：デバイス ID ロード状態表示ビット 機能：デバイス ID のロード状態 0：デバイス ID のロード失敗 1：デバイス ID のロード完了
3	534	22.3.8.3 PDI コンフィギュレーション・レジスタ (PDI_CONFIG) の b7-b5 リセット後の値：010 シンボル：ONCHIPBUS 機能：オンチップ・バスの種類を示します。本 LSI では常に 100 を示します。	22.3.8.3 PDI コンフィギュレーション・レジスタ (PDI_CONFIG) の b7-b5 リセット後の値：010 シンボル：ONCHIPBUS 機能：オンチップ・バスの種類を示します。本 LSI では常に 010 を示します。
4	553	22.3.13.7 PHY ポート・ステータス・レジスタ n (PHY_STATUSn)	22.3.13.7 PHY ポート・ステータス・レジスタ n (PHY_STATUSn)

5

592

【現在の記述】説明の記載なし

【訂正後の記述】以下の説明を追加します。

22.4.4 リセット回路の構成

ESC のリセット回路の構成を図 22.3 に示します。ECAT によるリセット要求 (0040h) あるいは PDI によるリセット要求 (0041h) を受けると、ESC は停止し、ESC からのリセット出力が 1 になります。ESC からのリセット出力により PHYRESETOUT# 端子がローレベルになり、外部に接続した Ethernet PHY がリセットされます。同時に ETHCRSTI 割り込みが発生します。

ESC のリセットを解除するためには、ETHCRSTI 割り込み検出後に、ETHSFTRST レジスタの CATRST ビットを 1 → 0 → 1 に切り替える必要があります。なお、ESC のリセット入力が 1 → 0 になるタイミングで ESC のリセット出力が 0 になります。ESC のリセット入力が 0 → 1 になるタイミングで ESC が再起動を始め、EEPROM のロードが開始されます。EEPROM のロードは約 1 ms で完了します。Ethernet PHY の再起動は必ず ESC の起動が完了した後にるように Ethernet PHY のリセット解除のタイミングを設定してください。タイミングチャートを図 22.4 に示します。

また、ECAT/PDI によるリセット要求 (0040h / 0041h) でなく、ETHSFTRST レジスタの CATRST ビットにて ESC をリセットすることも可能です。この場合、自動的に PHYRESETOUT# 端子はローレベルにならないため、予め ETHSFTRST レジスタの PHYRST ビットで Ethernet PHY をリセット状態にしておいてください。タイミングチャートを図 22.5 に示します。

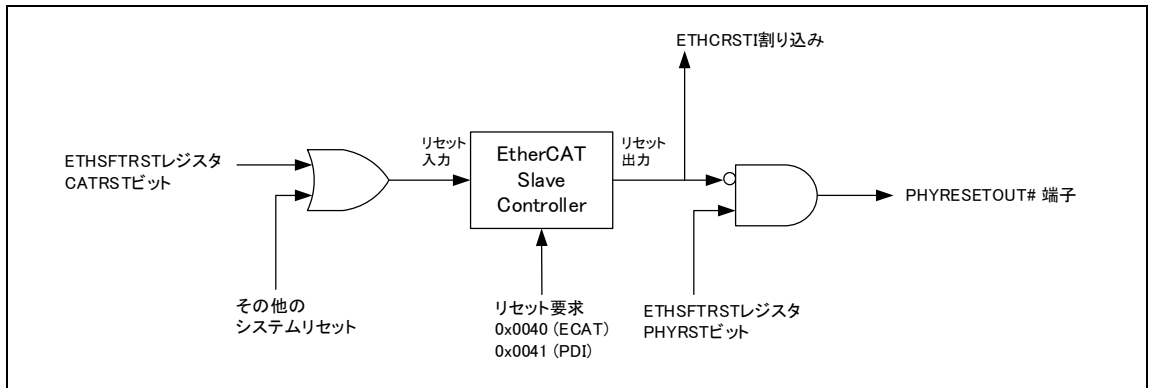


図 22.3 EtherCAT スレーブ・コントローラのリセット回路の構成

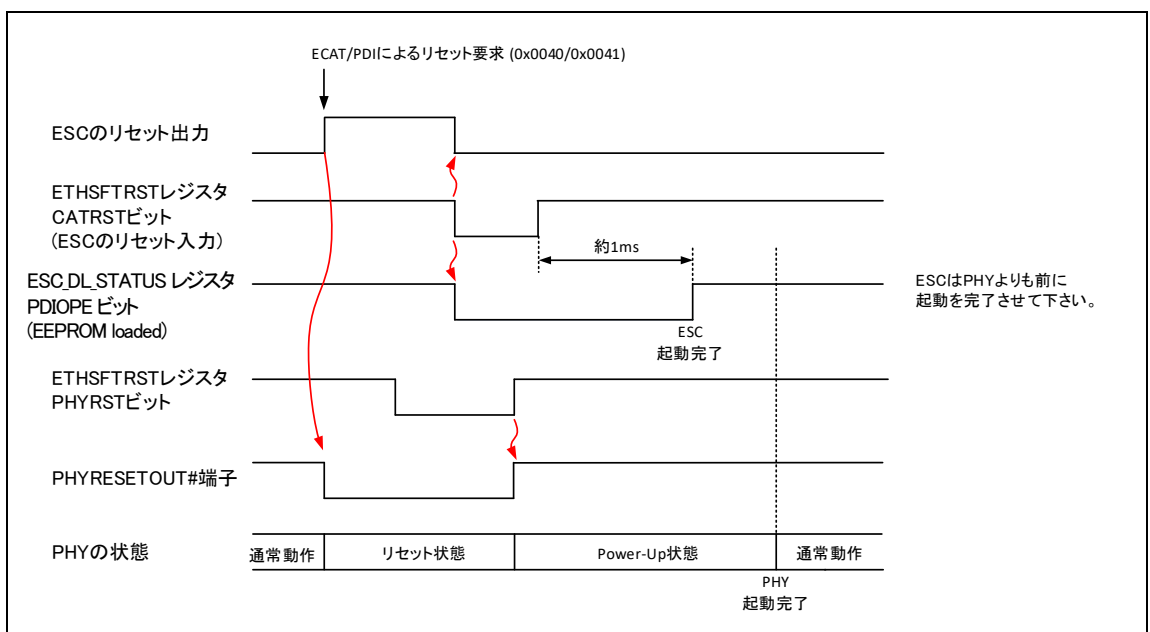


図 22.4 EtherCAT スレーブ・コントローラのリセットタイミング (ECAT/PDI によるリセット要求時)

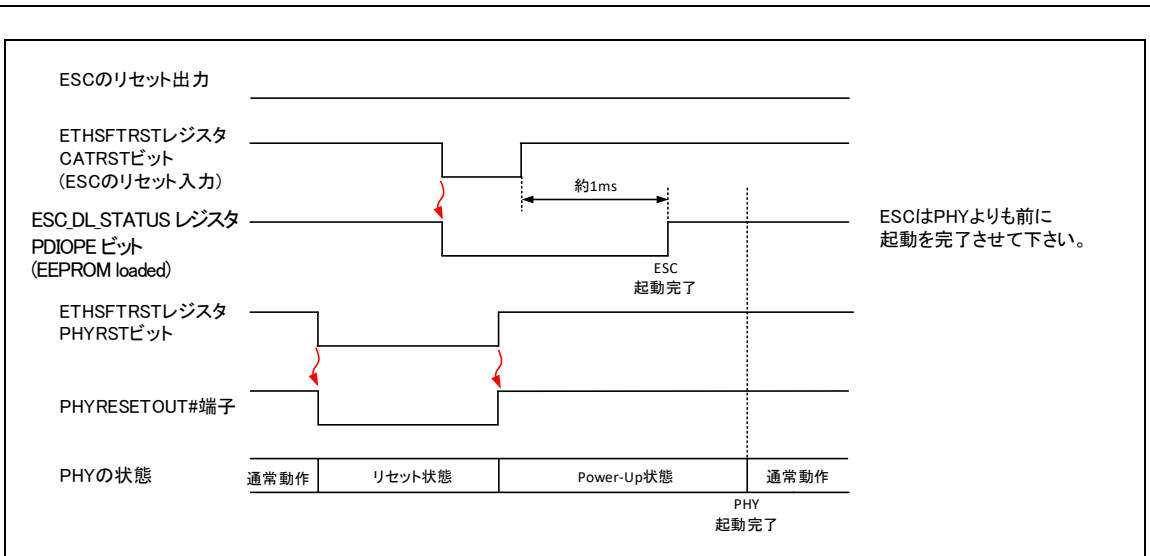


図 22.5 EtherCAT スレーブ・コントローラのリセットタイミング (ETHSFTRST レジスタの CATRST ビットでのリセット時)

以上