

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

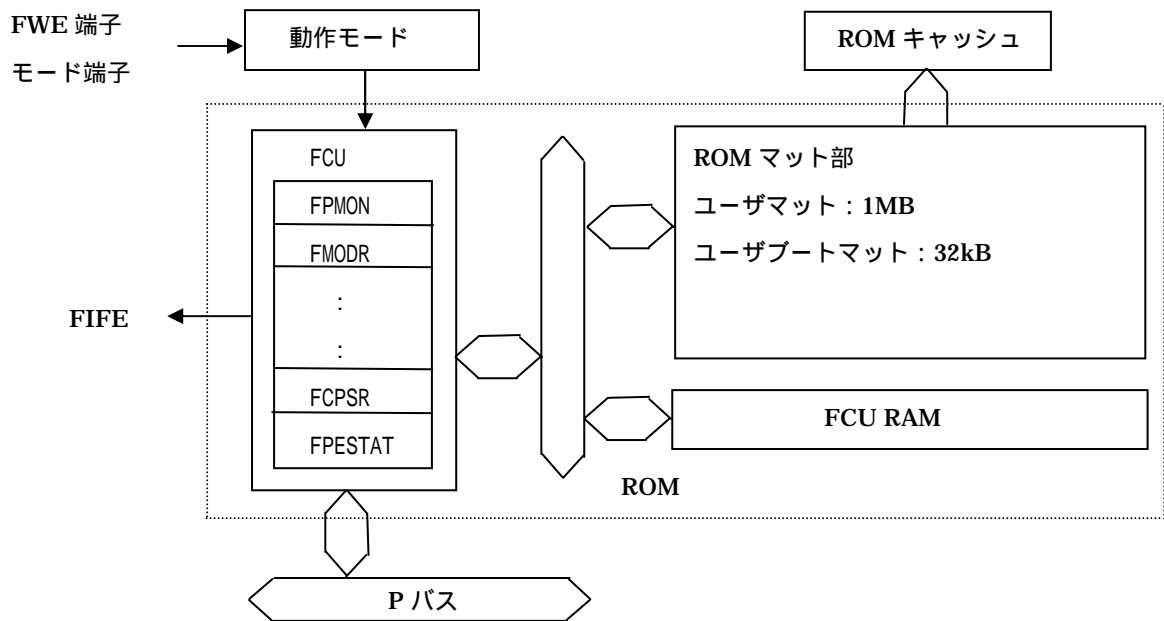
〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
 株式会社 ルネサス テクノロジ  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU & MCU	発行番号	TN-SH7-A761A/J	Rev.	1版
題名	SH7216 グループハードウェアマニュアル誤記訂正		情報分類	技術情報	
適用製品	<ul style="list-style-type: none"> <li>・ SH7216 グループ</li> <li>・ SH7214 グループ</li> </ul>	対象ロット等	関連資料	<ul style="list-style-type: none"> <li>・ SH7216 グループハードウェア マニュアル (RJJ09B0575-0101)</li> </ul>	
		週コード 0948 以降			

上記適用製品のハードウェアマニュアルにおいて、誤記がございましたので、訂正のご連絡を致します。  
 詳細は、以下をご参照ください。

「27章 フラッシュメモリ(ROM)」 P27-2、「図 27.2 ROM のブロック図」を以下のように修正します。

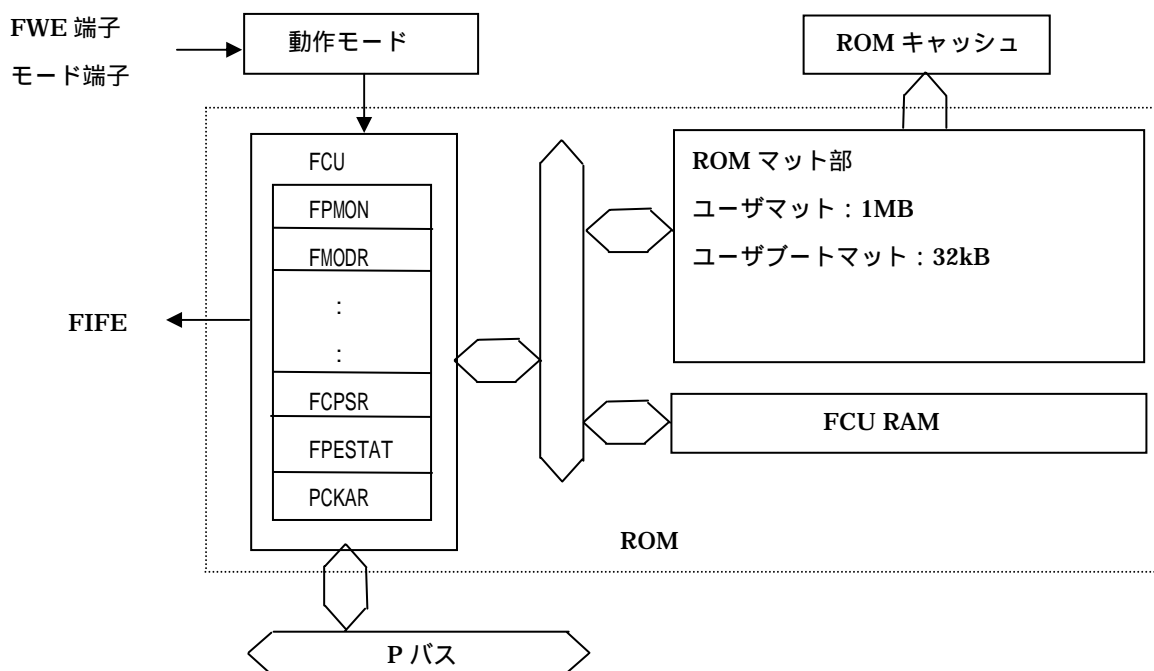
## 【変更前】



## 【記号説明】

- FPMON : フラッシュ端子モニタレジスタ  
 :  
 :  
 FPESTAT : フラッシュ P/E ステータスレジスタ  
 FIFE : フラッシュインターフェースエラー割り込み

【変更後】



【記号説明】

- FPMON : フラッシュ端子モニタレジスタ
- :
- :
- FPESTAT : フラッシュ P/E ステータスレジスタ
- PCKAR : 周辺クロック通知レジスタ
- FIFE : フラッシュインターフェースエラー割り込み

「27章 フラッシュメモリ (ROM)」 P27-5、「表 27.2 レジスタ構成」に以下のレジスタを追加します。

【変更後】

表 27.2 レジスタ構成

レジスタ名	略称	R/W <sup>*1</sup>	初期値	アドレス	アクセスサイズ
周辺クロック通知レジスタ	PCKAR	R/W	H'0000 <sup>*5</sup>	H'FFFA938	8, 16

「27章 フラッシュメモリ (ROM)」 P27-21、「表 27.3 各コマンド受け付け後の FCMDR レジスタの状態」に以下のコマンドを追加します。

【変更後】

表 27.3 各コマンド受け付け後の FCMDR レジスタの状態

コマンド	CMDR	PCMDR
周辺クロック通知	H'E9	前回コマンド

「27章 フラッシュメモリ(ROM)」 P27-24、「27.3.16 周辺クロック通知レジスタ (PCKAR)」の説明を追加します。

【変更後】

PCKAR は、ROM/データフラッシュの書き込み/消去時に周辺クロック (P )の周波数設定情報をシーケンサに通知するためのレジスタです。この設定は、書き込み/消去時間の制御に使用します。内蔵 ROM が無効なモードでは、PCKAR レジスタの読み出しデータは H' 0000 になり、書き込みは無効化されます。

PCKAR は、パワーオンリセット、および FRESETR レジスタの PRESET ビットを "1" にすることによって初期化されます。

ビット	:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		-	-	-	-	-	-	-	-	PCKA[7:0]							
初期値	:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8		0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。 1を書き込んだ場合の動作は保証しません。
7~0	PCKA[7:0]	0	R/W	周辺クロック通知ビット ROM/データフラッシュの書き込み/消去時に周辺クロック (P )を設定するためのビットです。 書き込み/消去を行う前に PCKA[7:0]ビットに P の周波数を設定して、周辺クロック通知コマンドを発行してください。ROM/データフラッシュの書き込み/消去中は、周波数を変更しないでください。  設定値は以下のように算出してください。  1. MHz 単位で表現した動作周波数を 2 進数に変換し、PCKA[7:0]ビットに書き込む。  例えば、周辺クロックの動作周波数が 35.9MHz の場合は以下のように設定します。  2. 35.9 を切り上げ 36 とする。 3. 36 を 2 進数に変換し、上位 H' 00、下位 H' 24 (B' 0010 0100) を PCKA[7:0]ビットに設定する。  注 1. PCKA[7:0]ビットが 20MHz ~ 50MHz の範囲外に設定された場合、ROM/データフラッシュに対する書き換えコマンドを発行しないでください。 注 2. 実周波数と異なる周波数を PCKA[7:0]ビットに設定した場合、ROM/データフラッシュのデータが破壊される可能性があります。

「27章 フラッシュメモリ(ROM)」 P27-55、「表 27.11 FCU コマンド一覧 (ROM 関連)」に以下のコマンドを追加します。

【変更後】

表 27.11 FCU コマンド一覧 (ROM 関連)

コマンド	機能
周辺クロック通知	周辺クロックの周波数をシーケンサに通知

「27章 フラッシュメモリ(ROM)」 P27-56、「表 27.12 FCU コマンドのフォーマット」を以下のように修正します。

【変更前】

表 27.12 FCU コマンドのフォーマット

コマンド	バス サイクル数	1 サイクル目		2 サイクル目		3 サイクル目		4-130 サイクル目		131 サイクル目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
ノーマルモード移行	1	RA	H'FF	-	-	-	-	-	-	-	-
ステータスリードモード移行	1	RA	H'70	-	-	-	-	-	-	-	-
ロックビットリードモード移行 (ロックビットリード1)	1	RA	H'71	-	-	-	-	-	-	-	-
プログラム	131	RA	H'E8	RA	H'80	WA	WD1	RA	WDn	RA	H'D0
ブロックイレーズ	2	RA	H'20	BA	H'D0	-	-	-	-	-	-
P/E サスペンド	1	RA	H'B0	-	-	-	-	-	-	-	-
P/E レジューム	1	RA	H'D0	-	-	-	-	-	-	-	-
ステータスレジスタクリア	1	RA	H'50	-	-	-	-	-	-	-	-
ロックビットリード2	2	RA	H'71	BA	H'D0	-	-	-	-	-	-
ロックビットプログラム	2	RA	H'77	BA	H'D0	-	-	-	-	-	-

【変更後】

表 27.12 FCU コマンドのフォーマット

コマンド	バス サイクル数	1 サイクル目		2 サイクル目		3 サイクル目		4-5 サイクル目		6 サイクル目		7-130 サイクル目		131 サイクル目	
		アドレス	データ	アドレ ス	データ	アドレ ス	データ	アドレ ス	データ	アドレ ス	データ	アドレ ス	データ	アドレ ス	データ
ノーマルモード移行	1	RA	H'FF	-	-	-	-	-	-	-	-	-	-	-	-
ステータスリードモード 移行	1	RA	H'70	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリードモード 移行 (ロックビットリード1)	1	RA	H'71	-	-	-	-	-	-	-	-	-	-	-	-
プログラム	131	RA	H'E8	RA	H'80	WA	WD1	RA	WDn	RA	WDn	RA	WDn	RA	H'D0
ブロックイレーズ	2	RA	H'20	BA	H'D0	-	-	-	-	-	-	-	-	-	-
P/E サスペンド	1	RA	H'B0	-	-	-	-	-	-	-	-	-	-	-	-
P/E レジューム	1	RA	H'D0	-	-	-	-	-	-	-	-	-	-	-	-
ステータスレジスタクリ ア	1	RA	H'50	-	-	-	-	-	-	-	-	-	-	-	-
ロックビットリード2	2	RA	H'71	BA	H'D0	-	-	-	-	-	-	-	-	-	-
ロックビットプログラム	2	RA	H'77	BA	H'D0	-	-	-	-	-	-	-	-	-	-
周辺クロック通知	6	RA	H'E9	RA	H'03	WA	H'0F0F	WA	H'0F0F	RA	H'D0	-	-	-	-

「27章 フラッシュメモリ(ROM)」 P27-60、「表 27.13 FCU のモード/状態と受付可能なコマンドの関係」に以下のコマンドを追加します。

【変更前】

項目	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書込みサスペンド中	消去サスペンド中	その他の状態	書込み / 消去の処理中	書込み / 消去の中断処理中	ロックビットリード2処理中	書込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書込みサスペンド中	消去サスペンド中	その他の状態
FSTATRO レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
ロックビットプログラム	x			x	x	x	x		x		x		

【変更後】

項目	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書込みサスペンド中	消去サスペンド中	その他の状態	書込み / 消去の処理中	書込み / 消去の中断処理中	ロックビットリード2処理中	書込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書込みサスペンド中	消去サスペンド中	その他の状態
FSTATRO レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
ロックビットプログラム	x			x	x	x	x		x		x		
周辺クロック通知	x	x		x	x	x	x	x	x		x	x	

「27章 フラッシュメモリ(ROM)」 P27-61、「27.6.3 FCU コマンド使用方法」を以下のように修正します。

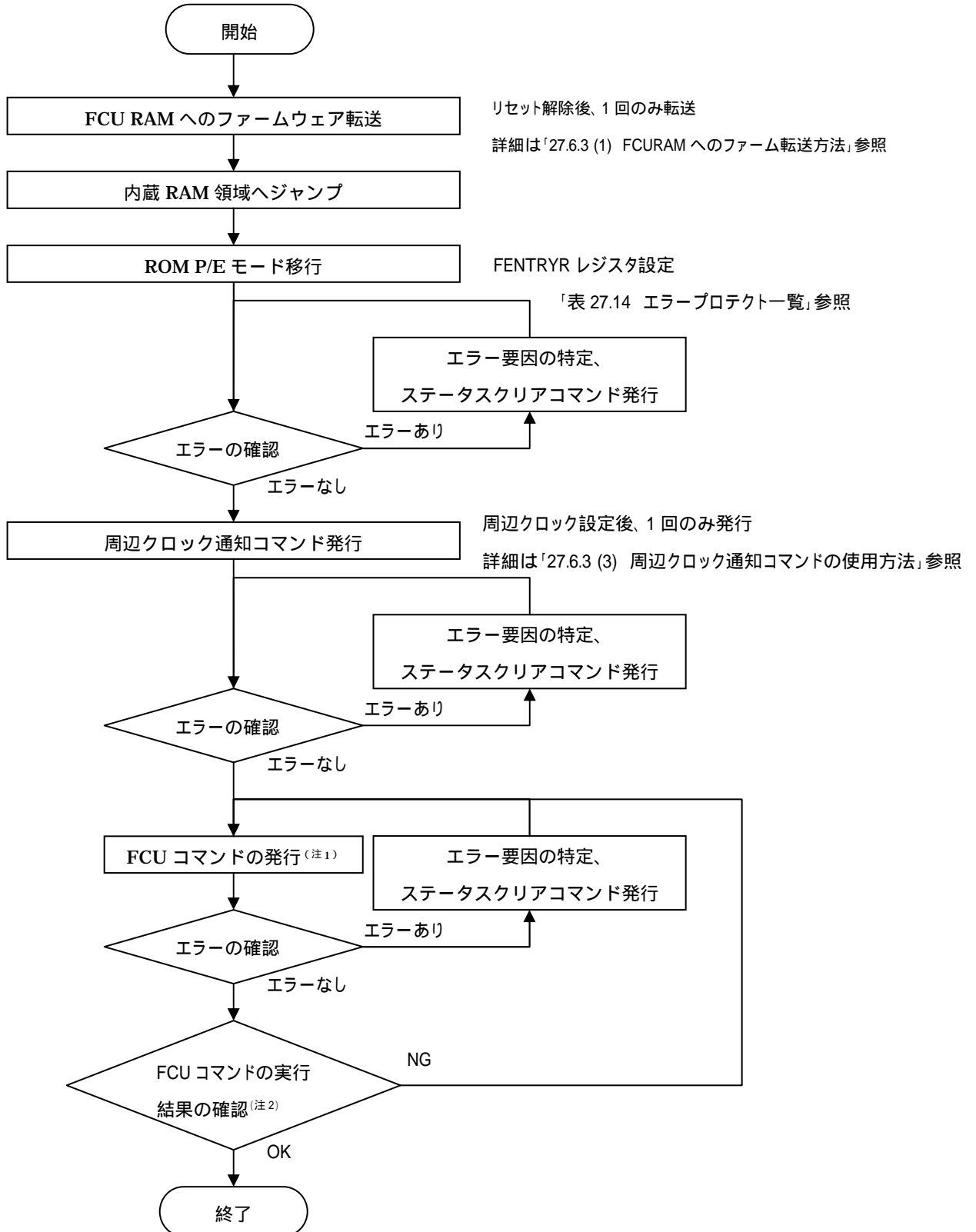
【変更前】

コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認可能です。

【変更後】

コマンド処理完了後のエラー発生状況は、ILGLERR ビット、ERSERR ビット、PRGERR ビットで確認可能です。  
 図 27.16 に書き込み/消去処理の概要フローを示します。

図 27.16 書き込み/消去処理の概略フロー



注 1. プログラム/ブロックイレーズ/ロックビットプログラム/ロックビットリード 2 のコマンド  
 注 2. 書き込み/消去結果を確認する場合は、ROM リードモードに移行して ROM のデータを読み出してください。  
 「26.6.3(4) ROM リードモード移行方法」参照

「27章 フラッシュメモリ(ROM)」 P27-63に「(4) 周辺クロック通知コマンドの使用法」を追加します。

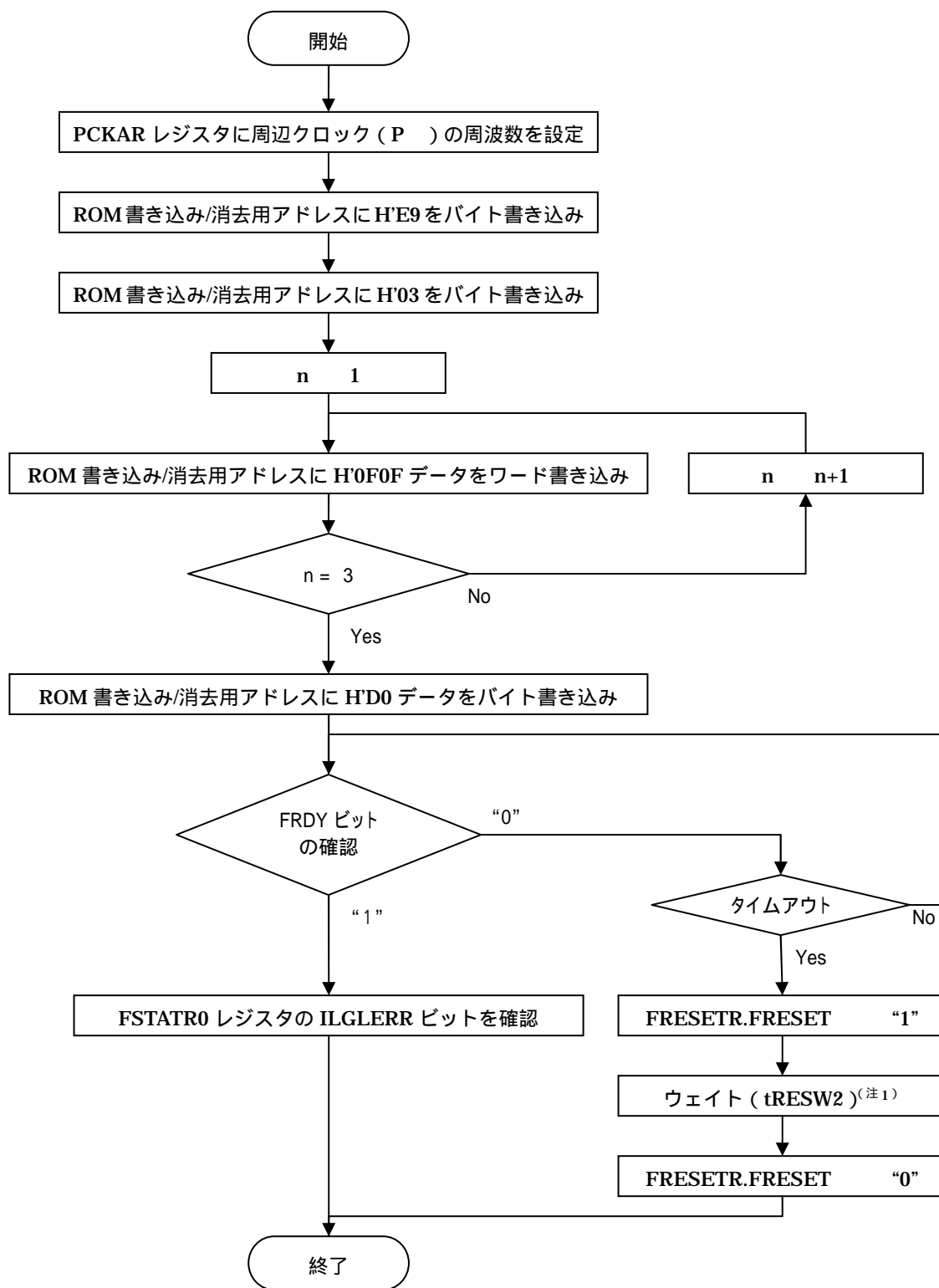
【変更後】

フラッシュメモリ (ROM) への書き込み / 消去前に使用している周辺クロックの周波数をPCKAR レジスタに設定する必要があります。設定可能な周波数の範囲は20MHz ~ 50MHz です。この範囲に設定しなかった場合には、FCU はエラーを検出しコマンドロック状態になります (「27.9.3 エラープロテクト」を参照)。

PCKAR レジスタに設定後に周辺クロック通知コマンドを使用します。周辺クロック通知コマンドの第1サイクルではH' E9を、第2サイクルではH' 03をROM 書き込み / 消去用のアドレスにバイト書き込みします。コマンドの第3サイクル~第5サイクルでは、ワードサイズで書き込みを実行します。この際、先頭アドレスは4バイト境界にアライメントしたアドレスを使用してください。ROM 書き込み / 消去用のアドレスに対してH' 0F0Fデータの3回ワード書き込みを実行後、第6サイクルでROM 書き込み / 消去用のアドレスに対してH' D0をバイト書き込みすると、FCU が周辺クロックの周波数設定処理を開始します。設定完了は、FSTATR0レジスタのFRDY ビットで確認可能です。

なお、本設定はリセット解除後、使用している周辺クロックの設定を変更しなければ、1回の実行で後続のFCU コマンドに対して有効になります。





注 1. tRESW2:書き込み/消去中のリセットパルス幅(「33.電気的特性」 33.3.2 制御信号タイミングを参照)

図 27.18 周辺クロック通知コマンドの使用フロー

「27章 フラッシュメモリ(ROM)」 P27-82、「表 27.14 エラープロテクト一覧」を以下のように修正します。

【変更前】

表 27.14 エラープロテクト一覧

分類	内 容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0
	書き込み / 消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0
	:	:	:	:	:	
	:	:	:	:	:	
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1

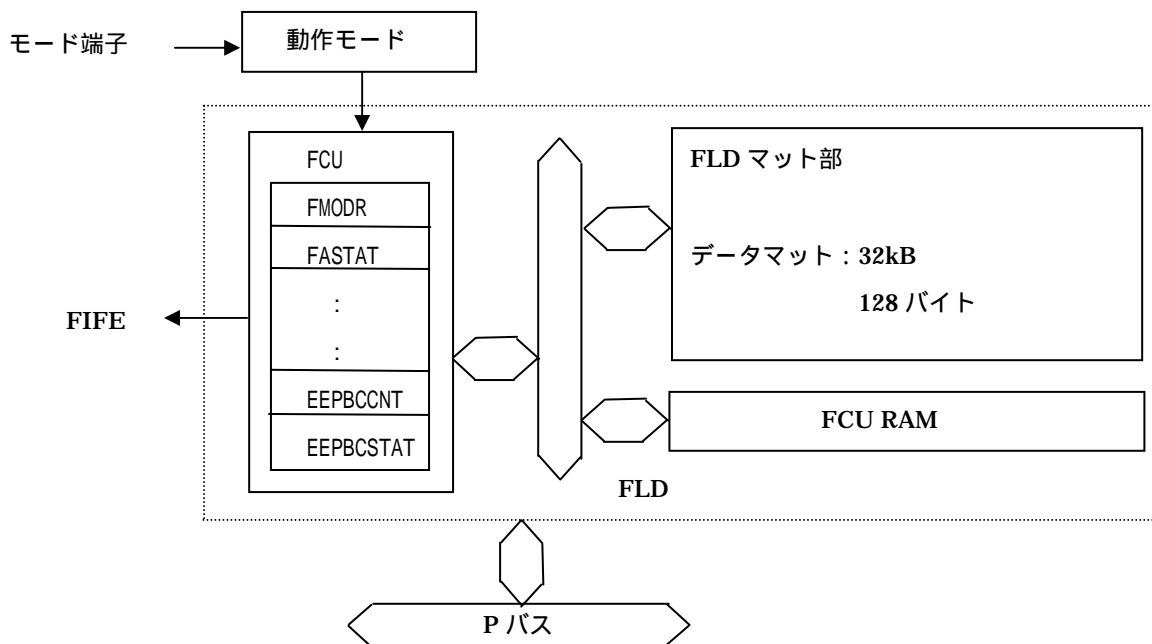
【変更後】

表 27.14 エラープロテクト一覧

分類	内 容	ILGLERR	ERSERR	PRGERR	FCUERR	ROMAE
不正コマンド エラー	FCU コマンドの 1 サイクル目で未定義コードを指定	1	0	0	0	0
	複数サイクルの FCU コマンドの最終サイクルで H'D0 以外を指定	1	0	0	0	0
	PCKAR レジスタに周辺クロック 20MHz ~ 50MHz 以外を指定	1	0	0	0	0
	書き込み / 消去処理中にサスペンド以外のコマンドを発行	1	0	0	0	0
	:	:	:	:	:	
	:	:	:	:	:	
	コマンドロック状態でコマンド発行	1	0/1	0/1	0/1	0/1

「28章 データフラッシュ(FLD)」 P28-3、「図28.2 FLDのブロック図」を以下のように修正します。

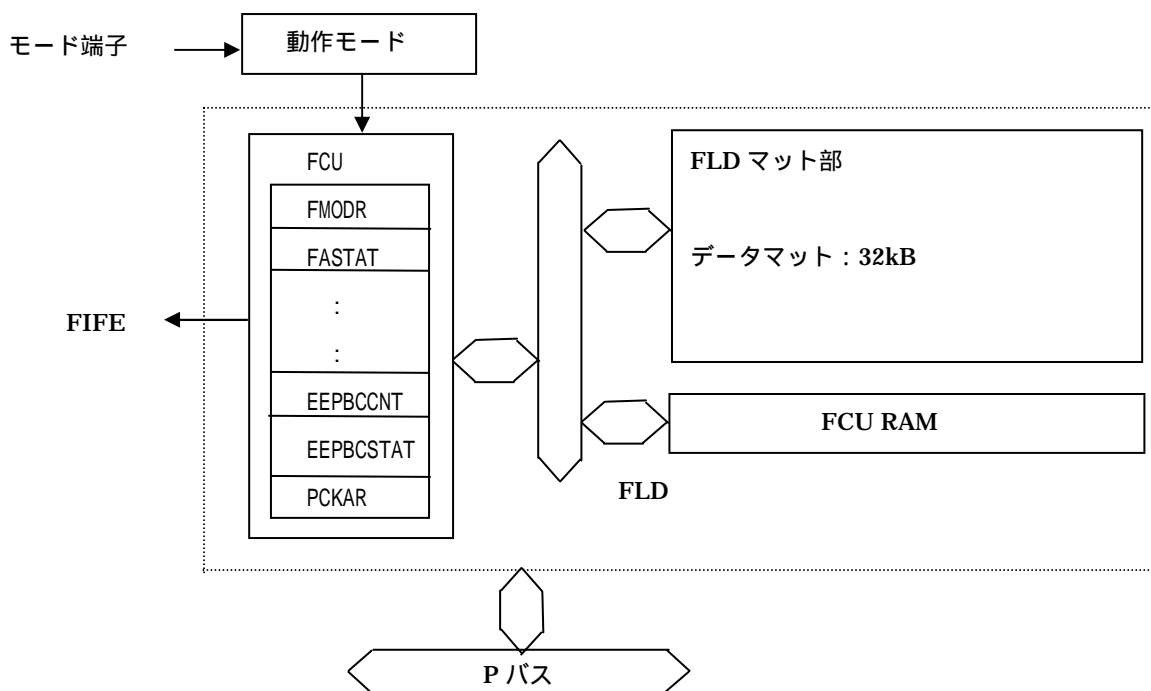
【変更前】



【記号説明】

- FMODR : フラッシュモードレジスタ
- :
- :
- EEPBCSTAT : FLD ブランクチェックステータスレジスタ
- FIFE : フラッシュインターフェースエラー割り込み

【変更後】



【記号説明】

- FMODER : フラッシュモードレジスタ
- :
- :
- EEPBCSTAT : FLD ブランクチェックステータスレジスタ
- PCKAR : 周辺クロック通知レジスタ
- FIFE : フラッシュインターフェースエラー割り込み

「28章 データフラッシュ(FLD)」 P28-6、「表 28.2 レジスタ構成」に以下のレジスタを追加します。

【変更後】

表 28.2 レジスタ構成

レジスタ名	略称	R/W <sup>*1</sup>	初期値	アドレス	アクセスサイズ
周辺クロック通知レジスタ	PCKAR	R/W	H'0000 <sup>*5</sup>	H'FFFA938	8、16

「28章 データフラッシュ(FLD)」 P28-24、「表 28.6 FCU コマンド一覧 (FLD 関連)」に以下のコマンドを追加します。

【変更後】

表 28.6 FCU コマンド一覧 (FLD 関連)

コマンド	機能
周辺クロック通知	周辺クロックの周波数をシーケンサに通知

「28章 データフラッシュ(FLD)」 P28-29、「表 28.8 FCU のモード/状態と受付可能なコマンドの関係」に以下のコマンドを追加します。

【変更前】

項目	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATRO レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
ブランクチェック				x	x	x			x				

【変更後】

項目	P/E ノーマルモード			ステータスリードモード							ロックビットリードモード		
	書き込みサスペンド中	消去サスペンド中	その他の状態	書き込み/消去の処理中	書き込み/消去の中断処理中	ブランクチェック処理中	書き込みサスペンド中	消去サスペンド中	コマンドロック状態	その他の状態	書き込みサスペンド中	消去サスペンド中	その他の状態
FSTATRO レジスタの FRDY ビット	1	1	1	0	0	0	1	1	0/1	1	1	1	1
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
：	：	：	：	：	：	：	：	：	：	：	：	：	：
ブランクチェック				x	x	x			x				
周辺クロック通知	x	x		x	x	x	x	x	x		x	x	

「28章 データフラッシュ(FLD)」 P28-30、「28.6.3 FCU コマンド使用方法用」に以下の説明を追記します。

**【変更後】**

(1) 周辺クロック通知コマンドの使用法

周辺クロックの周波数を通知します。詳細は「27. フラッシュメモリ(ROM)」の「27.6.3 FCU コマンド使用方法」を参照してください。FENTRYR レジスタの FENTRYD ビットを“1”にセットし、アドレスはデータフラッシュ領域内のアドレスを指定するように設定を行なってください。