

お客様各位

---

## カタログ等資料中の旧社名の扱いについて

---

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

# RENESAS TECHNICAL UPDATE

〒100-0004 東京都千代田区大手町 2-6-2 日本ビル  
 株式会社 ルネサス テクノロジ  
 問合せ窓口 <http://japan.renesas.com/inquiry>  
 E-mail: [csc@renesas.com](mailto:csc@renesas.com)

製品分類	MPU&MCU	発行番号	TN-H8*-A409A/J	Rev.	第1版
題名	H8SX/1668R、H8SX/1668M グループハードウェアマニュアルの誤記訂正		情報分類	技術資料	
適用製品	H8SX/1668R、H8SX/1668M グループ	対象ロット等	関連資料	H8SX/1668R グループ, H8SX/1668M グループハードウェアマニュアル (RJ09B0448-0200)	
		全ロット			

H8SX/1668R グループ、H8SX/1668M グループハードウェアマニュアルにおいて誤記がありましたので、ご案内申し上げます。

< 誤記訂正内容 >

## 7. 割り込みコントローラ

(1) 頁 7-32, 頁 7-33 「7.6.5 割り込みによる DTC、DMAC の起動」の記述から、DTCERG、DTCERH を削除します。

〔変更前〕

### (1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定: DTF1=1、DTF0=0、DTE=1)、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

### (2) 優先順位判定

(省略 ~変更無し~)

### (3) 動作順序

(省略 ~変更無し~)

表 7.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

〔変更後〕

### (1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を經由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定 (DMDR のビット設定: DTF1=1、DTF0=0、DTE=1)、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA ~ **DTCERF** の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

(省略 ~変更無し~)

### (2) 優先順位判定

(省略 ~変更無し~)

### (3) 動作順序

(省略 ~変更なし~)

表 7.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA ~ **DTCERF** の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

13. I/Oポート

(1) 頁 13-8 「表 13.2 各ポートのレジスタ構成」の表と記述を以下のように訂正します。

〔変更前〕

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1 ~ポート 5		~説明省略(変更なし)~					
ポート 6	6					-	-
ポート A ~ポート B		~説明省略(変更なし)~					
ポート C *1	2					-	-
ポート D *2 ~ポート K *3		~説明省略(変更なし)~					
ポート M	5					-	-

【記号説明】 : レジスタあり、- : レジスタなし

【注】\*1 ライト時は、初期値をライトしてください。

\*2 PCJKE=1 のときはアクセスしないでください。

\*3 PCJKE=0 のときはアクセスしないでください。

〔変更後〕

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート 1 ~ポート 5		~説明省略(変更なし)~					
ポート 6 *4	6					-	-
ポート A ~ポート B		~説明省略(変更なし)~					
ポート C *1	2					-	-
ポート D *2 ~ポート K *3		~説明省略(変更なし)~					
ポート M *5	5					-	-

【記号説明】 : レジスタあり、- : レジスタなし

【注】\*1 ポート C は、ビット 2、ビット 3 が有効で、それ以外のビットはリザーブビットです。ライト時は、初期値をライトしてください。

\*2 PCJKE=1 のときはアクセスしないでください。

\*3 PCJKE=0 のときはアクセスしないでください。

\*4 ポート 6 は、下位 6 ビットが有効で、上位 2 ビットはリザーブビットです。ライト時は、初期値をライトしてください。

\*5 ポート M は、下位 5 ビットが有効で、上位 3 ビットはリザーブビットです。ライト時は、初期値をライトしてください。

22. A/D変換器

(1) 頁 22-19 「表 22.3 A/D 変換特性(EXCK=0 時)」、「表 22.4 A/D 変換特性(EXCK=1 時：ユニット 1)」を、  
以下のように訂正します。

〔変更前〕

表 22.3 A/D 変換特性(EXCK=0 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max									
A/D 変換開始遅延時間	t <sub>D</sub>	4	-	14	4	-	10	4	-	8	3	-	7
入力サンプリング時間	t <sub>SPL</sub>	-	312	-	-	156	-	-	78	-	-	39	-
A/D 変換時間	t <sub>CONV</sub>	518	-	528	262	-	268	134	-	138	69	-	73

表 22.4 A/D 変換特性(EXCK=1 時：ユニット 1)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max									
A/D 変換開始遅延時間	t <sub>D</sub>	4	-	14	4	-	10	4	-	8	3	-	7
入力サンプリング時間	t <sub>SPL</sub>	-	120	-	-	60	-	-	30	-	-	15	-
A/D 変換時間	t <sub>CONV</sub>	326	-	336	166	-	172	86	-	90	45	-	49

〔変更後〕

表 22.3 A/D 変換特性(ユニット 0)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t <sub>D</sub>	<b>3</b>	-	14	<b>3</b>	-	10	<b>3</b>	-	8	3	-	7
入力サンプリング時間	t <sub>SPL</sub>	-	312	-	-	156	-	-	78	-	-	39	-
A/D 変換時間	t <sub>CONV</sub>	<b>517</b>	-	528	<b>261</b>	-	268	<b>133</b>	-	138	69	-	73

表 22.4.1 A/D 変換特性(ユニット 1：EXCK=0 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max									
A/D 変換開始遅延時間	t <sub>D</sub>	4	-	14	4	-	10	4	-	8	4	-	7
入力サンプリング時間	t <sub>SPL</sub>	-	312	-	-	156	-	-	78	-	-	39	-
A/D 変換時間	t <sub>CONV</sub>	518	-	528	262	-	268	134	-	138	70	-	73

表 22.4.2 A/D 変換特性(ユニット 1：EXCK=1 時)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t <sub>D</sub>	4	-	14	4	-	10	4	-	8	<b>4</b>	-	7
入力サンプリング時間	t <sub>SPL</sub>	-	120	-	-	60	-	-	30	-	-	15	-
A/D 変換時間	t <sub>CONV</sub>	326	-	336	166	-	172	86	-	90	<b>46</b>	-	49

30. 電気的特性

(1) 頁 30-2 「表 30.2 DC 特性(1)」の項目を以下のように訂正します。

〔変更前〕

30.2 DC 特性 H8SX/1668R グループ

表 30.2 DC 特性(1)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	IRQ 入力端子、 TPU 入力端子、 TMR 入力端子、 ポート 2、ポート 3 ポート J、ポート K	~ 説明省略(変更なし) ~					
	IRQ0-B ~ IRQ7-B 入力端子						
入力 High レベル電圧 (シュミットトリガ入力端子 を除く)	MD 端子、RES、 STBY、EMLE、NMI						
	EXTAL その他の入力端子						
	ポート 5						
入力 Low レベル電圧 (シュミットトリガ入力端子 を除く)	MD 端子、RES、STBY、EMLE						
	EXTAL、NMI						
	その他の入力端子						
出力 High レベル電圧	~ 説明省略(変更なし) ~						
出力 Low レベル電圧							
入力リーク電流	RES						
	MD 端子、STBY、EMLE、 NMI						
	ポート 5						

〔変更後〕

30.2 DC 特性 H8SX/1668R グループ

表 30.2 DC 特性(1)

項目		記号	min	typ	max	単位	測定条件
シュミットトリガ入力電圧	IRQ 入力端子、 TPU 入力端子、 TMR 入力端子、 ポート 2、ポート 3 ポート J、ポート K	~ 説明省略(変更なし) ~					
	IRQ0-B ~ IRQ7-B 入力端子						
入力 High レベル電圧 (シュミットトリガ入力端子 を除く)	MD 端子、RES、 STBY、EMLE、NMI						
	EXTAL その他の入力端子						
	ポート 5						
入力 Low レベル電圧 (シュミットトリガ入力端子 を除く)	MD 端子、RES、STBY、EMLE						
	EXTAL、NMI						
	その他の入力端子						
出力 High レベル電圧	~ 説明省略(変更なし) ~						
出力 Low レベル電圧							
入力リーク電流	RES						
	MD 端子、STBY、EMLE、 NMI						
	ポート 5						