

# RENESAS TECHNICAL UPDATE

〒135-0061 東京都江東区豊洲 3-2-24 豊洲フォレシアル  
ルネサス エレクトロニクス株式会社問合せ窓口 <https://www.renesas.com/jp/ja/support/contact/>

製品分類	SOC	発行番号	TN-RE*-A0007A/J	Rev.	第1版
題名	RE01グループ ユーザーズマニュアル ハードウェア編の誤記訂正および電気的特性の項目追加		情報分類	技術情報	
適用製品	RE01 256KB フラッシュメモリ搭載製品	対象ロット等	関連資料	RE01 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 (R01UH0894JJ0100)	
		全ロット			

RE01 グループ ユーザーズマニュアル ハードウェア編 Rev.1.00 において、誤記と追加がありましたので、以下のとおり連絡いたします。

No	章番号	章タイトル	内容
1	7 章	オプション設定メモリ	ALeRASE コマンドに関する注意の追加
	50 章	フラッシュメモリ	
2	13 章	消費電力低減機能	13.2.6 PWSTCR：電源状態コントロールレジスタ PWST[2:0]ビットの説明追加
3	36 章	クワッドシリアルペリフェラルインタフェース (QSPI)	36.2.11 SPI プロトコルコントロールレジスタ (SFMSPC) SFMSDE ビットの削除
4	51 章	電気的特性	表 51.4 I/O 出力特性 ( $V_{OH}$ , $V_{OL}$ ) (1)の誤記訂正
5	51 章	電気的特性	51.2.4 出力許容電流の追加
6	51 章	電気的特性	表 51.29 IIC タイミング 条件の誤記訂正
7	51 章	電気的特性	表 51.47 バウンダリスキャン特性 条件の誤記訂正

なお、No.1 につきましては、RE ソフトウェア開発キット（ドライバコンフィグレーションツール、CMSIS ドライバパッケージ）を使用する場合に ALeRASE コマンドの実行を防止するための対策方法を記載します。

## 1. ALeRASE コマンドに関する注意の追加

ALeRASE コマンドに関する注意を以下の通り追加いたします。

- (1) 7.2.5 OSIS：OCD/シリアルプログラマ ID 設定レジスタ

Page 112 of 1337

【変更前】

表 7.4 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード) オンチップデバッグモード (SWD ブートモード)	0xFF, ..., 0xFF (全バイトが 0xFF)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッグへの接続が許可されます。
	ビット[127]=1、ビット[126]=1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。 シリアルプログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効の場合は、ユーザフラッシュメモリ領域の内容は消去されません。
	ビット[127]=1 およびビット[126]=0	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。
	ビット[127]=0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッグへの接続は禁止され、ルネサスはテストモードにアクセスできません。

【変更後】

表 7.4 ID コードプロテクト機能の仕様

ブートアップ時の動作モード	ID コード	プロテクト状態	プログラマまたはオンチップデバッグ接続時の動作
シリアルプログラミングモード (SCI ブートモード) オンチップデバッグモード (SWD ブートモード)	0xFF, ..., 0xFF (全バイトが 0xFF)	プロテクト無効	ID コードはチェックされません。ID コードは常に一致して、シリアルプログラマまたはオンチップデバッグへの接続が許可されます。
	ビット[127]=1、ビット[126]=1、かつ 16 バイトのうち少なくとも 1 つが 0xFF 以外	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。 シリアルプログラマまたはオンチップデバッグから送られてきた ID コードが ASCII コードの ALeRASE (0x414C_6552_4153_45FF_FFFF_FFFF_FFFF_FFFF) の場合、ユーザフラッシュメモリ領域の内容は消去され、OSIS レジスタの全ビットが 1 になります。 ただし、AWS.FSPR ビットが 0 またはセキュリティ MPU が有効 ( <b>SECMPUAC レジスタに 0xFFFF 以外を設定</b> ) の場合は、ユーザフラッシュメモリ領域の内容は消去されません。
	ビット[127]=1 およびビット[126]=0	プロテクト有効	ID コードの一致は、認証が完了し、シリアルプログラマまたはオンチップデバッグとの接続が許可されていることを示します。 ID コードの不一致は、ID コードプロテクト待ち状態への遷移を示します。
	ビット[127]=0	プロテクト有効	ID コードはチェックされません。ID コードは常に不一致であり、シリアルプログラマまたはオンチップデバッグへの接続は禁止され、ルネサスはテストモードにアクセスできません。 <b>OSIS レジスタのビット 127 が 0 に設定されている時、オンチップデバッグ (OCD) はデバイスに接続できませんが、ALeRASE コマンドは実行されます。ALeRASE コマンドが実行されたとき、ユーザー領域とオプション設定メモリ領域は初期化されます。OSIS レジスタが初期化されるため、オンチップデバッグ (OCD) が接続可能になります。</b> <b>ALeRASE コマンドの実行を防止するためには、AWS.FSPR ビットを 0 またはセキュリティ MPU を有効 (SECMPUAC レジスタに 0xFFFF 以外を設定) にしてください。AWS.FSPR ビットが 1 かつセキュリティ MPU を使用しない場合、SECMPUPCS0 および SECMPUPCE0 レジスタは動作に影響のない領域を指定するため、セキュリティ MPU を次のように設定してください。</b> <ul style="list-style-type: none"> <li>・ SECMPUAC = 0xFEFF</li> <li>・ SECMPUPCS0 = 0xFFFF_FFFF</li> <li>・ SECMPUPCE0 = 0xFFFF_FFFF</li> </ul>

(2) 50.6.5.3 ID コードによる保護

Page 1255 of 1337

【変更前】

表 50.16 ID コードプロテクト機能の仕様

起動時の動作モード	ID コード	ALeRASE コマンド	ID 認証	OCD/シリアルプログラマとデバイスの接続可否
シリアルプログラミングモード (SCI ブートモード) オンチップデバッグモ- (SWD ブートモード)	ビット 127=1、 ビット 126=1	使用可能 <sup>(注1)</sup>	合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できます。
			不合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できません。
	ビット 127=1、 ビット 126=0	使用不可	合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できます。
			不合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できません。
	ビット 127=0	使用不可	不合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できません。

注1. オンチップデバッグ (OCD) または、シリアルプログラマから送られてきたIDコードが、ASCIIコードのALeRASE (0x414C\_6552\_4153\_45FF\_FFFF\_FFFF\_FFFF\_FFFF)の場合、ユーザフラッシュ領域の内容は消去され、OSISレジスタの全ビットは1になります。ただし、AWS.FSPRフラグが0の場合、またはセキュリティMPUが有効な場合は、ユーザフラッシュ領域の内容は消去されません。AWS.FSPRフラグの詳細は、「7.2.4 AWS : アクセスウィンドウ設定レジスタ」を参照してください。

【変更後】

表 50.16 ID コードプロテクト機能の仕様

起動時の動作モード	ID コード	ALeRASE コマンド	ID 認証	OCD/シリアルプログラマとデバイスの接続可否
シリアルプログラミングモード (SCI ブートモード) オンチップデバッグモ- (SWD ブートモード)	ビット 127=1、 ビット 126=1	使用可能 <sup>(注1)</sup>	合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できます。
			不合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できません。
	ビット 127=1、 ビット 126=0	使用不可	合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できます。
			不合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できません。
	ビット 127=0	使用不可 <sup>(注2)</sup>	不合格	オンチップデバッグ (OCD) または、シリアルプログラマは、デバイスと接続できません。

注1. オンチップデバッグ (OCD) または、シリアルプログラマから送られてきたIDコードが、ASCIIコードのALeRASE (0x414C\_6552\_4153\_45FF\_FFFF\_FFFF\_FFFF\_FFFF)の場合、ユーザフラッシュ領域の内容は消去され、OSISレジスタの全ビットは1になります。ただし、AWS.FSPRフラグが0の場合、またはセキュリティMPUが有効 (SECMPUACレジスタに0xFFFF以外を設定) な場合は、ユーザフラッシュ領域の内容は消去されません。AWS.FSPRフラグの詳細は、「7.2.4 AWS : アクセスウィンドウ設定レジスタ」を参照してください。

注2. OSISレジスタのビット127が0に設定されている時、オンチップデバッグ (OCD) はデバイスに接続できませんが、ALeRASEコマンドは実行されます。ALeRASEコマンドが実行されたとき、ユーザー領域とオプション設定メモリ領域は初期化されます。OSISレジスタが初期化されるため、オンチップデバッグ (OCD) が接続可能になります。ALeRASEコマンドの実行を防止するためには、AWS.FSPRフラグを0またはセキュリティMPUを有効 (SECMPUACレジスタに0xFFFF以外を設定) にしてください。 AWS.FSPRフラグが1かつセキュリティMPUを使用しない場合、SECMPUPCS0およびSECMPUPCE0レジスタは動作に影響のない領域を指定するため、セキュリティMPUを次のように設定してください。  
 ・ SECMPUAC = 0xFEFF、SECMPUPCS0 = 0xFFFF\_FFFF、SECMPUPCE0 = 0xFFFF\_FFFF

(3) RE ソフトウェア開発キットを使用する場合に ALeRASE コマンドの実行を防止するための対策方法  
 以下の条件をすべて満たしているとき、ALeRASE コマンドの実行を防止するためには、セキュリティ MPU  
 のレジスタを設定する必要があります。

[条件]

- OSIS レジスタのビット 127 が 0 に設定されている。
- AWS.FSPR フラグが 1 に設定されている。
- セキュリティ MPU を使用しない。

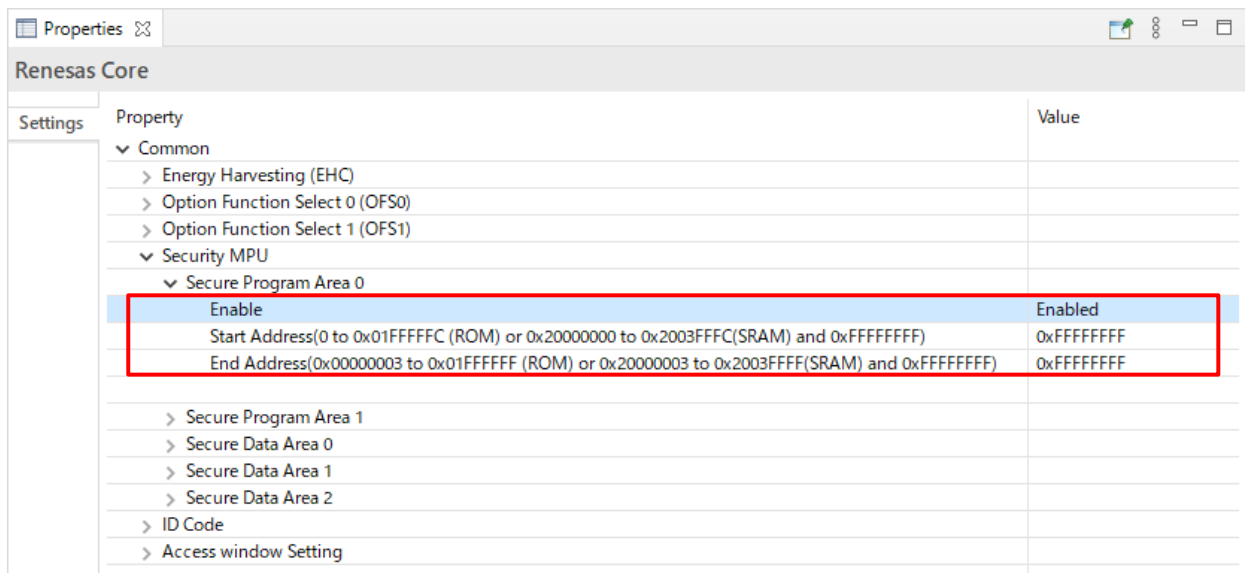
[ALeRASE コマンドの実行を防止するために必要なセキュリティ MPU レジスタの設定]

- SECMPUAC = 0xFEFF
- SECMPUPCS0 = 0xFFFF\_FFFF
- SECMPUPCE0 = 0xFFFF\_FFFF

RE ソフトウェア開発キット（ドライバコンフィグレーションツール、CMSIS ドライバパッケージ）を使用する  
 場合に、[ALeRASE コマンドの実行を防止するために必要なセキュリティ MPU レジスタの設定]を実現する方  
 法を以下に示します。

A) ドライバコンフィグレーションツールを使用する場合

- ① Configuration Editor ウィンドウから、“Renesas Core”のプロパティを開きます。
- ② “Common” > “Security MPU” > “Secure Program Area 0”を開き、以下の値を設定してください。
  - Enable: **Enabled**
  - Start Address: **0xFFFFFFFF**
  - End Address: **0xFFFFFFFF**



## B) CMSIS ドライバパッケージを使用する場合

コンフィグレーション定義ファイル“r\_core\_cfg.h”に記述されているセキュリティ MPU のコンフィグレーションを、以下の例に従って設定してください。

```
#define SYSTEM_CFG_SECMPU_PC0_START      (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_PC0_END        (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_PC1_START      (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_PC1_END        (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_REGION0_START  (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_REGION0_END    (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_REGION1_START  (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_REGION1_END    (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_REGION2_START  (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_REGION2_END    (0xFFFFFFFF)
#define SYSTEM_CFG_SECMPU_CONTROL_SETTING (0xFEFF)
```

## 2. 13.2.6 PWSTCR：電源状態コントロールレジスタ

Page 200 of 1337

PWST[2:0]ビット（電源状態選択）に以下の説明を追加いたします。

### 【変更後】

各電源供給モード、および各電力制御モードの切り替えに関しては、「13.5. 電力低減機能」、および「13.7.14. 電源供給モード、電源制御モード、低消費電力モードの切り替えについての注意事項」も参照してください。

フラッシュメモリ電力低減機能が有効(OFS1.SLPWMN=0)な VBB OPE ALLPWON 中は、ICLK を 1 分周に設定 (VBB OPE ALLPWON へ遷移前にクロック発生回路の SCKDIVCR.ICK[2:0]ビットを 000b) してください。

## 3. 36.2.11 SFMSPC：SPI プロトコルコントロールレジスタ

Page 946 of 1337

SFMSPC.SFMSDE ビットを以下の通り削除し、訂正いたします。

### 【変更前】

Base address: QSPI = 0x6400\_0000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	SFMS DE	—	—	SFMSPC[1:0]	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	記号	機能	R/W
1:0	SFMSPC[1:0]	SPIプロトコルの選択(注1) 0 0: シングルSPIプロトコル、拡張SPIプロトコル 0 1: Dual-SPIプロトコル 1 0: Quad-SPIプロトコル 1 1: 設定禁止	R/W
3:2	—	読むと0が読めます。書く場合、0としてください。	R/W
4	SFMSDE	QIOn端子の入出力切り替え時のQSPCLK拡張選択 0: QSPCLKの拡張なし 1: QIOn端子の入出力方向切り替え時に、QSPCLKの拡張あり	R/W
31:5	—	読むと0が読めます。書く場合、0としてください。	R/W

注1. QIO2端子とQIO3端子の状態は、SFMSMD.SFMRM[2:0]ビットと、SFMSPC.SFMSPC[1:0]ビットに指定された設定によって変わります。詳細は「36.9. QIO2端子、QIO3端子状態」を参照してください。

【変更後】

Base address: QSPI = 0x6400\_0000

Offset address: 0x030

Bit position:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
Bit position:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Bit field:	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	SFMSPI[1:0]
Value after reset:	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0

ビット	記号	機能	R/W
1:0	SFMSPI[1:0]	SPIプロトコルの選択 <sup>(注1)</sup> 0 0: シングルSPIプロトコル、拡張SPIプロトコル 0 1: Dual-SPIプロトコル 1 0: Quad-SPIプロトコル 1 1: 設定禁止	R/W
3:2	—	読むと0が読めます。書く場合、0としてください。	R/W
4	—	読むと1が読めます。書く場合、1としてください。	R/W
31:5	—	読むと0が読めます。書く場合、0としてください。	R/W

注1. QIO2端子とQIO3端子の状態は、SFMSMD.SFMRM[2:0]ビットと、SFMSPC.SFMSPI[1:0]ビットに指定された設定によって変わります。詳細は「36.9. QIO2端子、QIO3端子状態」を参照してください。

4. 51.2.2 I/O 出力特性 (V<sub>OH</sub>, V<sub>OL</sub>) (1)

Page 1262 of 1337

「表 51.4 I/O 出力特性 (V<sub>OH</sub>, V<sub>OL</sub>) (1)」に誤記がありましたので、以下の通り訂正いたします。

【変更前】

項目	レジスタ設定	記号	Min	Typ	Max	単位	測定条件
出力 High レベル電圧	標準駆動 (PmnPFS.DSCR[1:0] = 10b)	V <sub>OH</sub>	VCC - 0.6	—	—	V	I <sub>OH</sub> = 2mA
	高駆動 (PmnPFS.DSCR[1:0] = 11b)		VCC - 0.5	—	—		I <sub>OH</sub> = 2mA
出力 Low レベル電圧	標準駆動 (PmnPFS.DSCR[1:0] = 10b)	V <sub>OL</sub>	—	—	0.6		I <sub>OL</sub> = 2mA
	高駆動 (PmnPFS.DSCR[1:0] = 11b)		—	—	0.5		I <sub>OL</sub> = 2mA

【変更後】

項目	レジスタ設定	記号	Min	Typ	Max	単位	測定条件
出力 High レベル電圧	標準駆動 (PmnPFS.DSCR = 0b)	V <sub>OH</sub>	VCC - 0.6	—	—	V	I <sub>OH</sub> = 2mA
	高駆動 (PmnPFS.DSCR = 1b)		VCC - 0.5	—	—		I <sub>OH</sub> = 2mA
出力 Low レベル電圧	標準駆動 (PmnPFS.DSCR = 0b)	V <sub>OL</sub>	—	—	0.6		I <sub>OL</sub> = 2mA
	高駆動		—	—	0.5		I <sub>OL</sub> = 2mA

(PmnPFS.DSCR = 1b)

## 5. 51.2 DC 特性

Page 1263 of 1337

「51.2.4 出力許容電流」を以下の通り追加いたします。

### 51.2.4 出力許容電流

表 51.6 出力許容電流

条件：VCC = 1.62~3.6V

項目	記号	Min	Typ	Max	単位		
出力許容電流(端子ごとの平均値)	標準駆動 <sup>(注1)</sup>	I <sub>OH</sub>	—	—	-2.0	mA	
			I <sub>OL</sub>	—	—	2.0	mA
	高駆動 <sup>(注2)</sup>	I <sub>OH</sub>		—	—	4.0	mA
			I <sub>OL</sub>	—	—	4.0	mA
出力許容電流(端子ごとの最大値)	標準駆動 <sup>(注1)</sup>	I <sub>OH</sub>		—	—	-4.0	mA
			I <sub>OL</sub>	—	—	4.0	mA
	高駆動 <sup>(注2)</sup>	I <sub>OH</sub>		—	—	-8.0	mA
			I <sub>OL</sub>	—	—	8.0	mA
許容出力電流(全端子の最大値)	全出力端子の最大値 <sup>(注3)</sup>	ΣI <sub>OH(max)</sub> <sup>(注4)</sup>		—	—	-40	mA
		ΣI <sub>OL(max)</sub> <sup>(注4)</sup>		—	—	40	mA

注 1. PmnPFS レジスタのポート駆動能力ビットで標準駆動が選択されている場合の値です。

注 2. PmnPFS レジスタのポート駆動能力ビットで高駆動が選択されている場合の値です。

注 3. IOVCC, IOVCC0, および IOVCC1 のそれぞれの値です。AVCC0 の最大値は ΣI<sub>OH</sub> = -20mA、ΣI<sub>OL</sub> = 20mA となります。

注 4. 72 ピン WLBGA の IOVCC の最大値は ΣI<sub>OH</sub> = -10mA、ΣI<sub>OL</sub> = 10mA となります。

【使用上の注意】MCU の信頼性を確保するため、出力電流値はこの表の値を超えないようにしてください。平均出力電流は、100 μs の間に計測した電流の平均値を意味します。

## 6. 51.3.12 IIC タイミング

Page 1303 of 1337

「表 51.29 IIC タイミング」の条件を以下の通り削除し、訂正いたします。

### 【変更前】

条件：VCC = 3.0~3.6 V, V<sub>IH</sub> = VCC × 0.7, V<sub>IL</sub> = VCC × 0.3, V<sub>OH</sub> = 0.6 V, I<sub>OL</sub> = 6 mA

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。(PmnPFS.DSCR[1:0] = 10b)

### 【変更後】

条件：VCC = 3.0~3.6 V, V<sub>IH</sub> = VCC × 0.7, V<sub>IL</sub> = VCC × 0.3, V<sub>OH</sub> = 0.6 V, I<sub>OL</sub> = 6 mA



## 7. 51.12 バウンダリスキャン特性

Page 1321 of 1337

「表 51.47 バウンダリスキャン特性」の条件に誤記がありましたので、以下の通り訂正いたします。

### 【変更前】

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。(PmnPFS.DSCR[1:0] = 11b)

### 【変更後】

条件：PmnPFS レジスタのポート駆動能力ビットで高駆動出力が選択されています。(PmnPFS.DSCR = 1b)

以上