

Renesas の Low-Latency DRAM である LLD RAM-III を使用した Exact Match Search ソリューションの概要を記述した資料です

目次

1. Exact Match Search ソリューション.....	2
1.1 はじめに.....	2
1.2 100Gb ネットワークトラフィックでのパケットヘッダ検索.....	3
1.3 検索テーブル構成.....	4
1.4 検索キー長.....	5
1.5 Exact Match Search IP のブロック図.....	7
2. LLD RAM-III Control IP.....	8
2.1 ネットワークシステムにおける LLD RAM-III を用いたメモリサブシステムの構成.....	8
3. 開発サポート環境.....	8
3.1 Exact Match Search の実証検証が可能なリファレンスデザイン.....	8

1. Exact Match Search ソリューション

1.1 はじめに

近年 SDN『Software-Defined Networking』や NFV『Network Functions Virtualization』などのネットワークの仮想化技術の導入にともない、データ転送を実行するデータプレーンのハードウェアにもこうした新機能への対応が求められています。SDN を実現する技術の一つである OpenFlow®を例にとっても毎年のように規格が更新され、それにとまなう機能追加に対応することが求められます。ネットワーク機能をソフトウェアとマイクロプロセッサで実装した場合、ソフトウェアの変更によってこうした機能追加に柔軟に対応可能ですが、ネットワークの高速化に対応することが困難です。そのため新機能への迅速な対応と高速化を両立する手法としてプログラマブルに機能追加が可能であり、ハードウェア処理の高速性を合わせもつ図1のような、FPGA によるシステム構成が適しています。

一方 FPGA で構成されたデータプレーンでのパケット処理速度を左右する要素の一つとしてパケットヘッダの検索速度があります。ネットワーク機器は検索データベースからパケットのヘッダ情報に合致する情報を高速で検索し、検索結果にもとづいたパケット処理を行うことによってパケットを目的の転送先に転送します。IoT によるネットワークの大規模化やセキュリティ機能の強化などによる検索テーブルの多用化などによって検索データベースも大規模化しています。そのため数千~数十万の大規模な検索テーブルを高速で検索処理する場合、FPGA 単独での処理が困難なため専用のオフロード検索エンジンチップで検索処理を実行しています。

LLDRAM-III Exact Match Search ソリューションは FPGA によって構成されたネットワークシステムにおいて検索処理を加速するための検索エンジンの一種です。専用のオフロード検索エンジンチップではなくルネサスが開発したネットワーク向け高速メモリ「LLDRAM-III」を FPGA に実装した検索 IP によってコントロールしてパケットヘッダ検索処理を実行します。

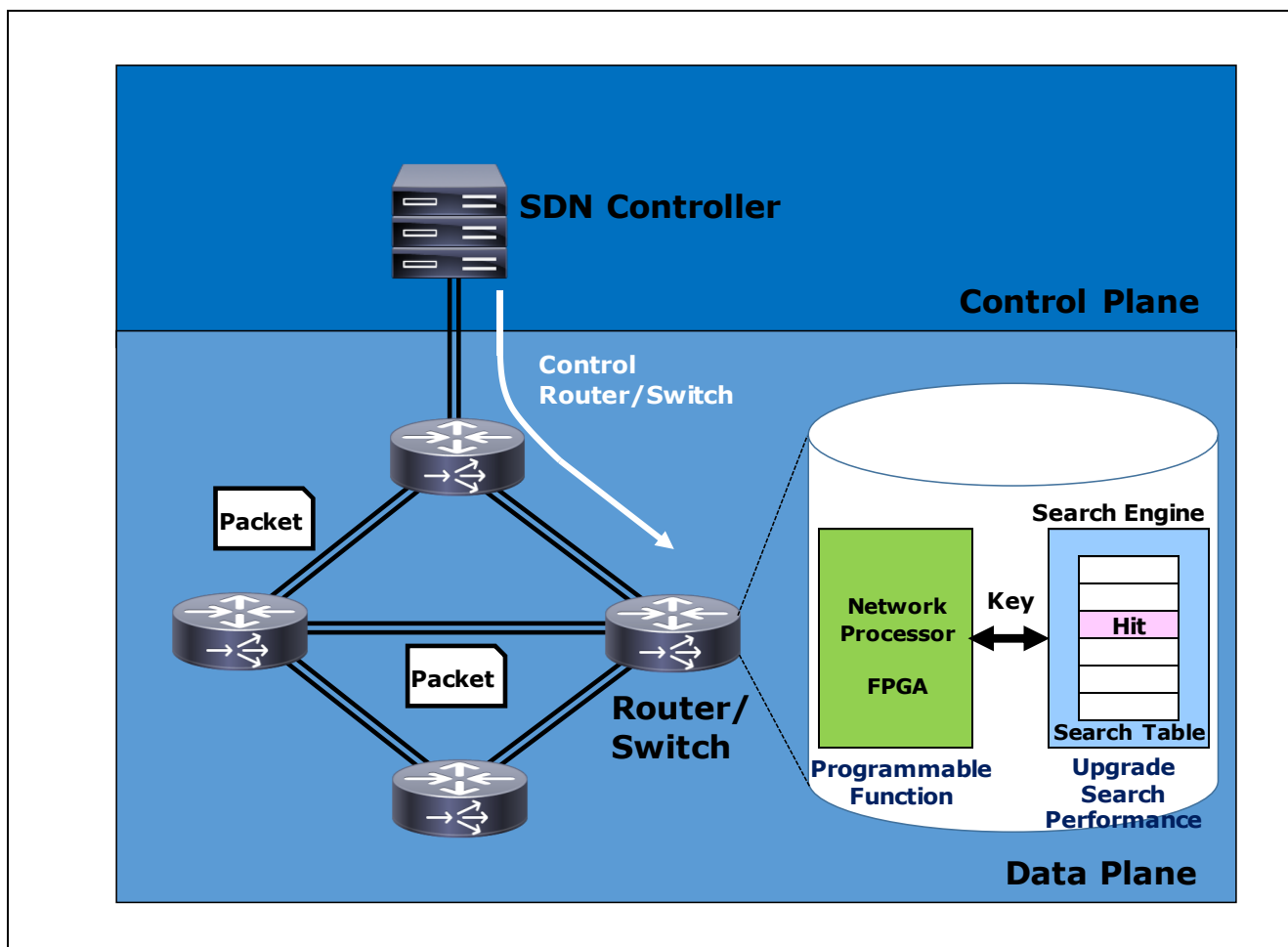


図1 FPGA によって構成されたネットワークのデータプレーン機器

1.2 100Gb ネットワークトラフィックでのパケットヘッダ検索

ネットワークシステムで実行されるパケットヘッダ検索アプリケーションでは図2のように FPGA 内に実装された論理回路によってパケットから抽出されたヘッダ情報を検索キーとしてメモリに格納された検索テーブルを検索します。多数のホストからランダムに到着するパケットごとに異なる検索キーにもとづいて検索テーブルを格納するメモリへのアクセスが実行されるため、メモリへのアクセスはランダムアクセスになります。検索アプリケーションのこのような特性のため DRAM ベースの検索ソリューションではメモリのランダムアクセス性能が検索性能を左右するボトルネックとなります。

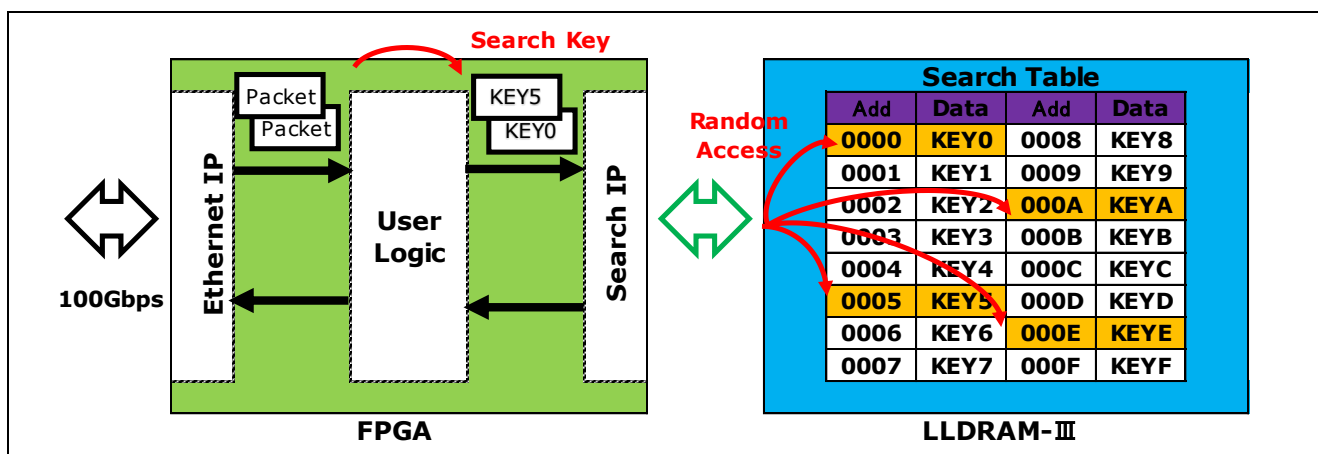


図2 DRAM ベース検索ソリューションのボトルネック

このメモリのランダムアクセスというボトルネックを改善するため、図3のように DDR3 SDRAM の4倍の毎秒4億回のランダムアクセス性能をもつルネサスの DRAM ベース Low-Latency メモリ『LLDRAM-III』と LLDram-III に最適化した検索 IP を採用することにより低消費電力で高速な検索動作を実現します。LLDRAM-III を用いた Exact Match Search ソリューションは 100Gbps のラインスピードに対応可能な速度で 100 万エントリの検索テーブルを消費電力 2W でパケット検索処理を実行可能です。

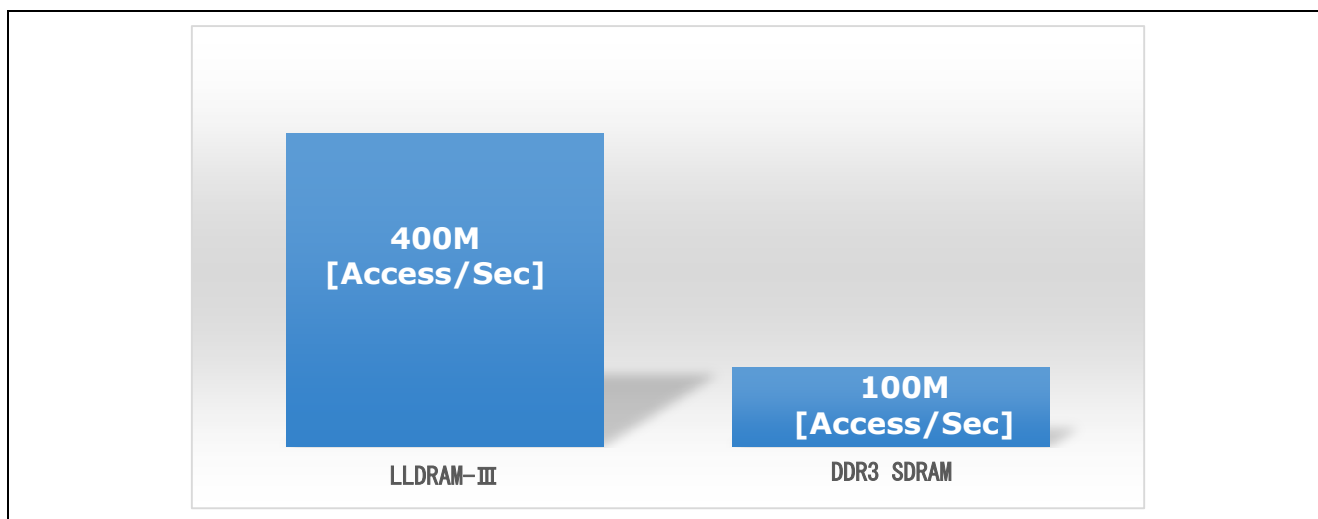


図3 LLDram-IIIのランダムアクセス性能

1.3 検索テーブル構成

LLDRAM-IIIは 1.1G-bit のメモリ容量をもつ DRAM ベースのメモリであるため、大容量の検索テーブルを構成することが可能です。図 4 のように LLDRAM-IIIに格納する検索テーブルのビット長やエントリ数に応じて 5 種類のテーブル構成を選択可能です。FPGA へ Exact-Match IP をインプリするときには検索キー長に応じてまず 3 種類のネットリストタイプを選択します。(Type-3:①575bit / Type-2:②287bit / Type-1:③143bit)

Type-1 のネットリストを選択した場合は内部レジスタの設定を変更することでさらに二種類のテーブル構成が選択可能になります。(④71bit / ⑤35bit)

また検索動作時の消費電力はテーブル構成や格納するエントリ数に関係なく最大 2W であるので、LLDRAM-III検索ソリューションは大容量の検索テーブルを実装する場合にメリットがあります

Netlist Type	Address Mode(*)	Table Density	Table Configuration Image
Type-3	3'b001	575-bit x 1M-Entry	
Type-2	3'b001	287-bit x 1M-Entry	
Type-1	3'b001	143-bit x 1M-Entry	
	3'b010	71-bit X 2M-Entry	
	3'b100	35-bit X 4M-Entry	

(*) Internal Register Data

図 4 選択可能な検索テーブル構成

1.4 検索キー長

LLDRAM-IIIに格納する検索テーブルを構成する場合に検索キーと比較する検索データ部分は図5のように各エントリデータのLSB(Least Significant Bit)から任意のビット数を設定可能です。パケットヘッダの検索対象となるヘッダ情報に合わせてIPV4アドレスなら32bit、Macアドレスなら48bitに検索キーのデータ長をフレキシブルに設定できます。また各エントリデータの検索データ部分以外の残りのデータビットは検索がヒットした場合に実行する処理を記述したアクションデータを記憶するために利用することができます。たとえば図5のようにL2スイッチにおけるMACアドレス検索を実施する場合、検索データとし48bitをアサインするとアクションデータとして95bitが使用可能です。

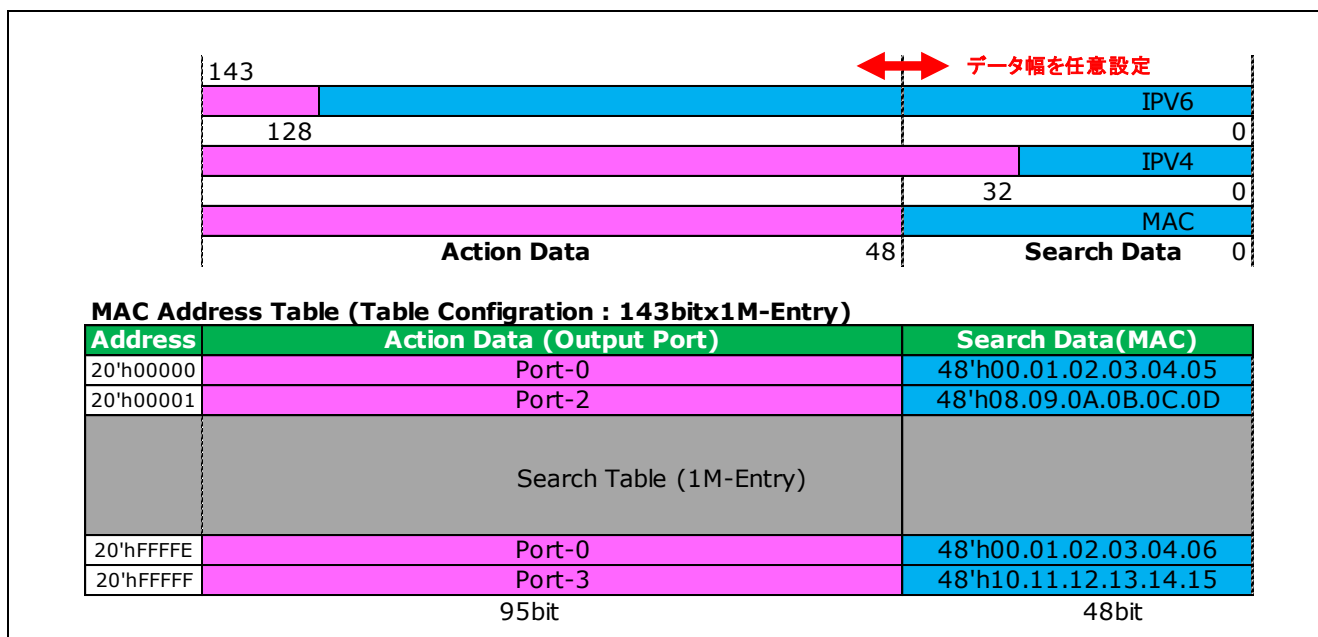


図5 検索対象のパケットヘッダに対応した検索キー長の設定方法

検索対象となる MAC アドレスに対応したパケットの転送先ポート番号をアクションデータとして格納すれば、FPGA は LLD RAM-III から検索結果としてパケットの転送先ポート情報が返信されます。このパケットの転送先ポート情報にもとづいて FPGA はパケットの転送処理を実行できます。LLDRAM-III にアクションデータを保存する機能を使用した場合、図 6 のように通常の検索エンジンを用いた場合に必要となるアクションメモリへのリード動作が不要になるため、以下のようなメリットがあります。

- アクションメモリの削減によるコスト、消費電力、実装面積の削減
- アクションメモリを制御するための FPGA リソースの削減

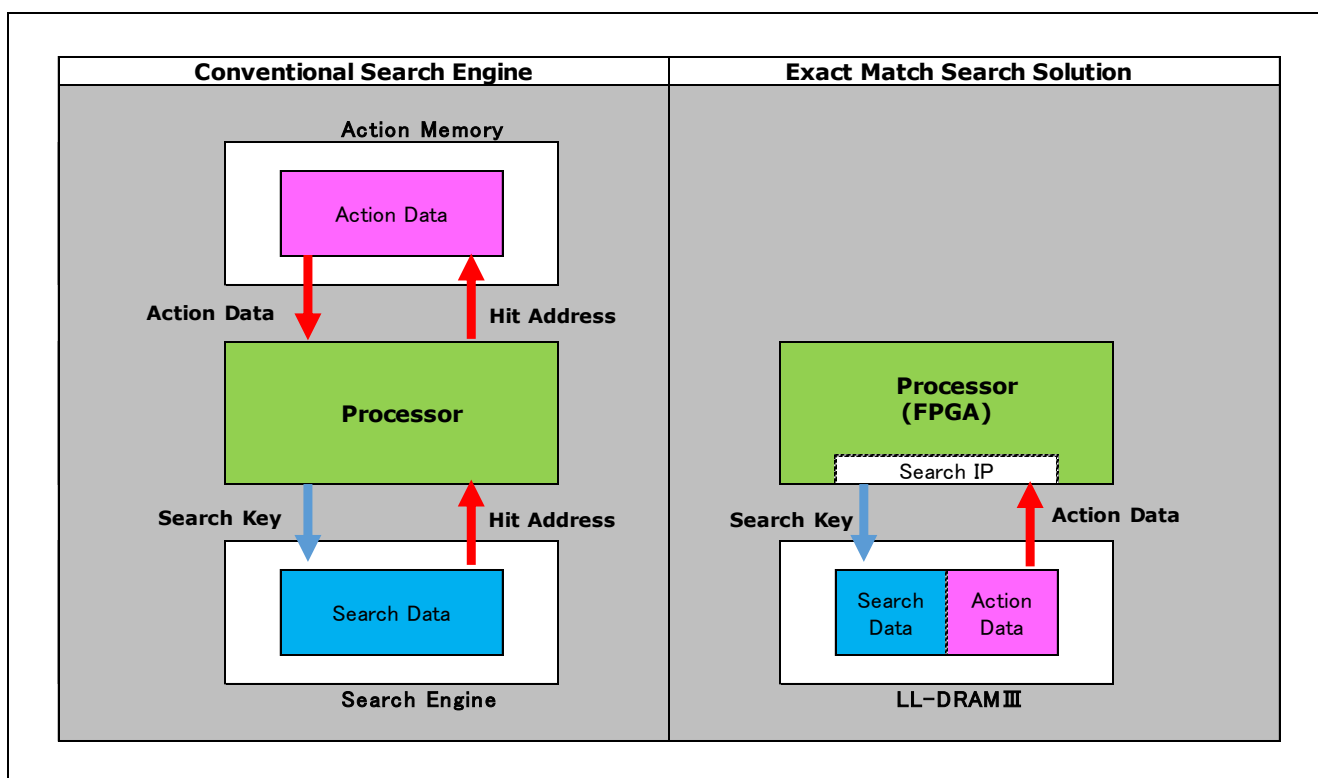


図 6 LLD RAM-III 検索ソリューションのアクションデータ保存機能

1.5 Exact Match Search IP のブロック図

Exact Match Search ソリューションにおいて FPGA へ実装して LLD RAM-III をコントロールし、検索ソリューションを実行する Exact Match Search IP は図 7 のように 2 つのモジュールで構成されています。

● Search Control IP モジュール

お客様が設計する User logic から検索キーや検索テーブルを生成するためのテーブルメンテナンスコマンドを受け取って検索動作を実行するモジュールです

● LLD RAM-III Control IP モジュール

Search Control IP モジュールが生成する Write/Read コマンドから LLD RAM-III を制御する User-IF を提供するモジュールです

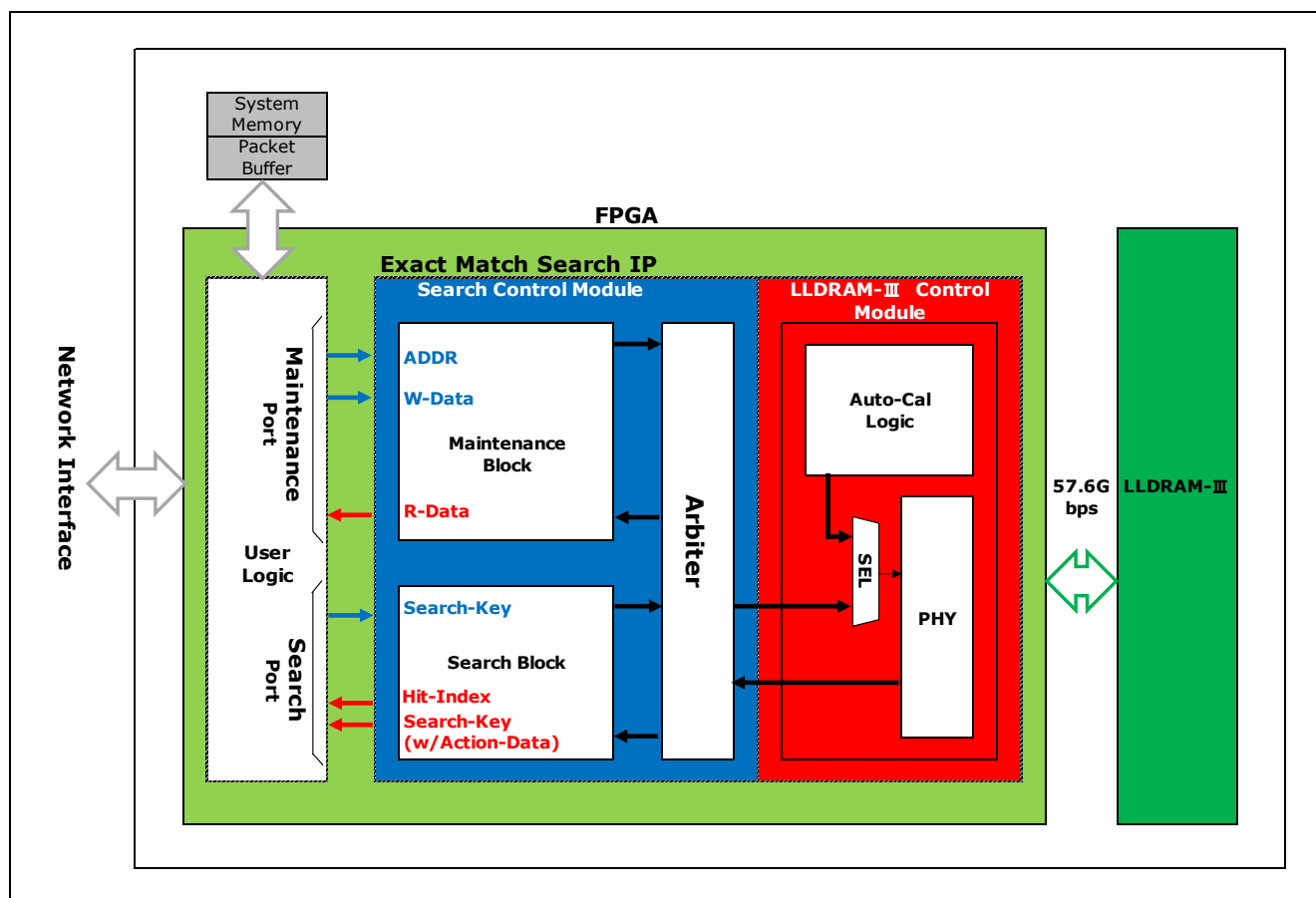


図 7 Exact Match Search IP のブロック図

2. LLD RAM-III Control IP

2.1 ネットワークシステムにおける LLD RAM-III を用いたメモリサブシステムの構成

LLDRAM-IIIは 1.6Gbps の DDR 高速パラレルインターフェイスを使用した高速メモリであるため、デバイス間で安定した通信を行うためには厳格なタイミング調整が必要です。Exact Match Search IP に実装されている LLD RAM-III Control IP モジュールがピン間スキューの調整などのタイミングキャリブレーションを自動で実施することによって安定した高速通信を可能にします。

LLDRAM-III Control IP モジュールは LLD RAM-III を使用したメモリサブシステムを構成するための IP として単独で使用できます。図 8 のようにネットワークシステムに不可欠なパケットバッファや統計情報メモリなどのメモリサブシステムに LLD RAM-III を使用すると LLD RAM-III のもつ高速ランダムアクセスや Low-Latency によるシステム性能の向上が期待できます。

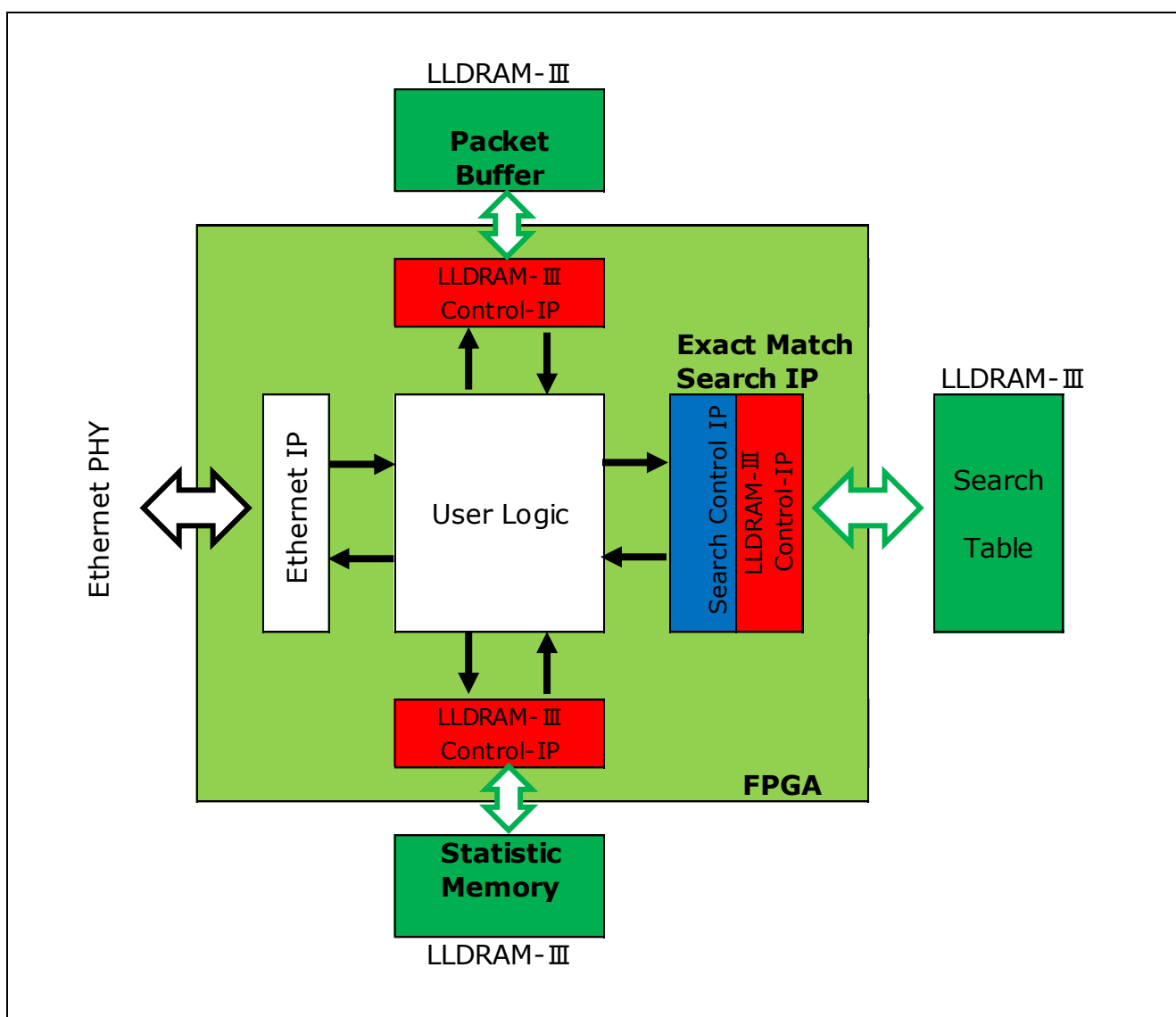


図 8 LLD RAM-III を用いたネットワークシステムのメモリサブシステム構成例

3. 開発サポート環境

3.1 Exact Match Search の実証検証が可能なリファレンスデザイン

開発サポートツールとして図10のような Exact Match Search IP やテスト回路などの検証環境・評価環境一式を含むサンプルデザインとリファレンスデザインボードを提供いたします。このリファレンスデザインボードは設計・検証に時間がかかる LLDRAM-III と FPGA 間のインターオペラビリティを検証済みのため、お客様が開発するネットワーク機器のハードウェア設計と並行して FPGA 内のシステム設計・検証を同時にスタートさせることでシステム開発期間短縮に貢献いたします。

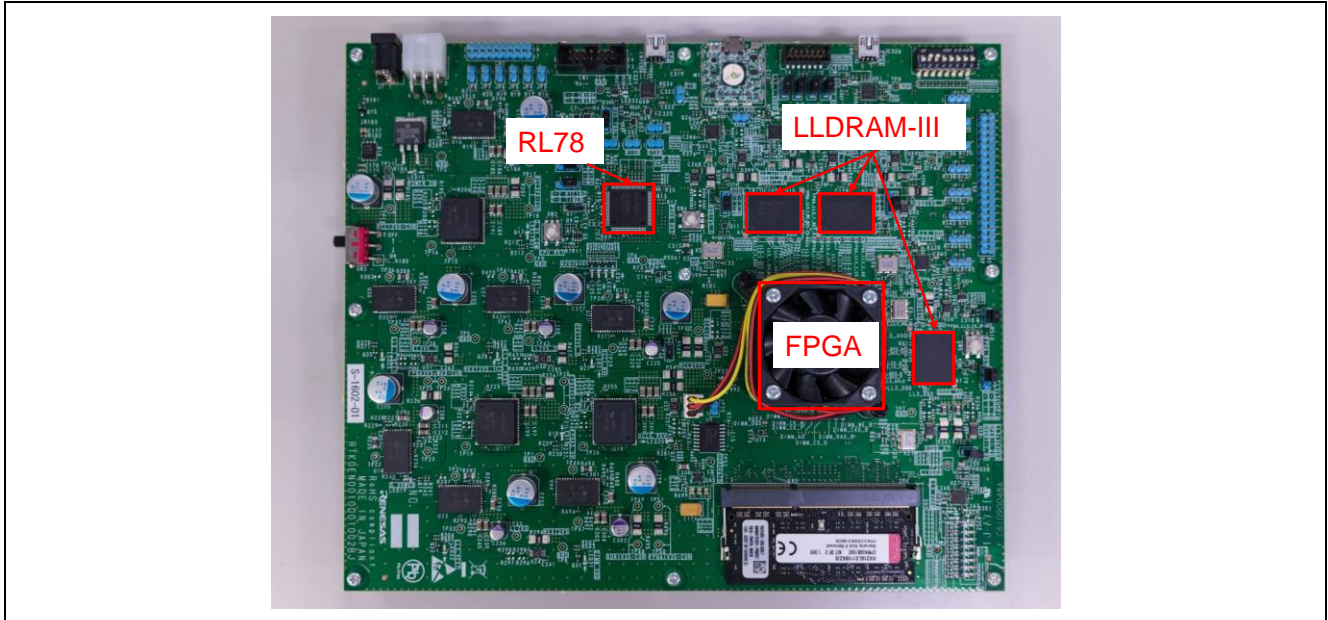


図9 リファレンスデザインボード

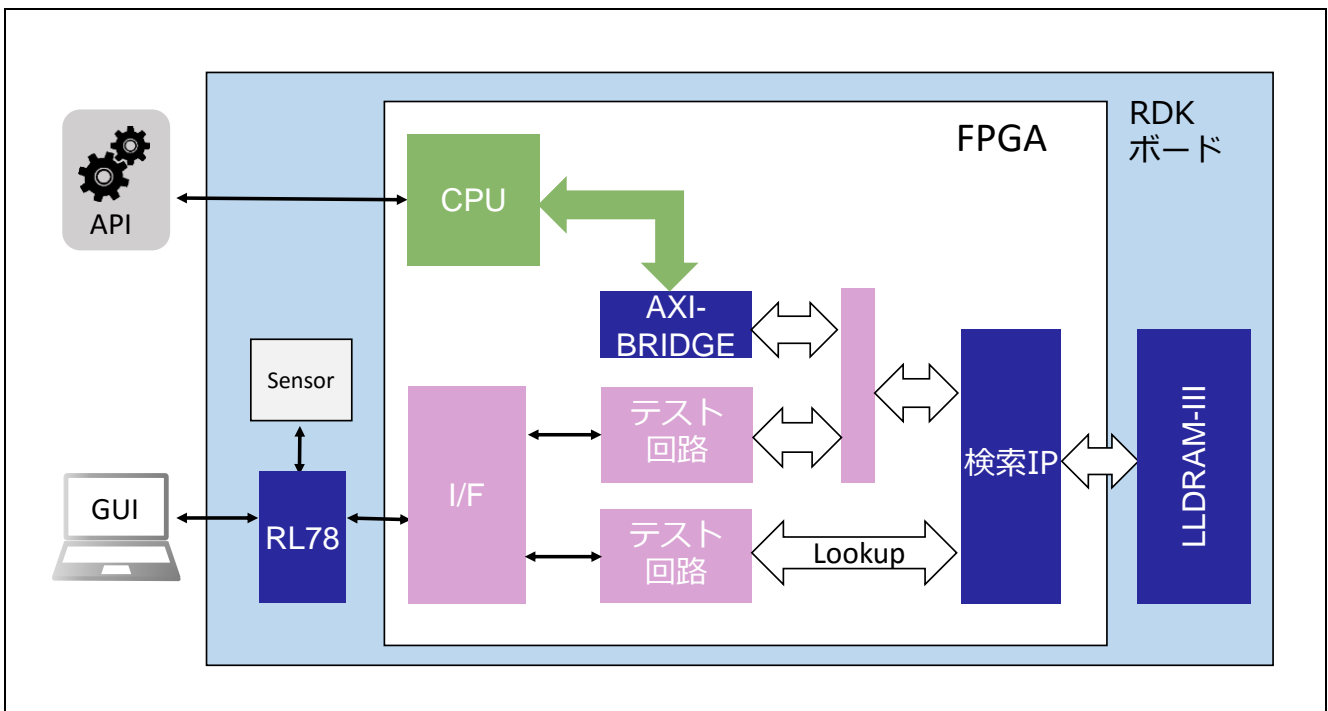


図10 リファレンスデザインボードブロック図

ホームページとサポート窓口

ルネサス エレクトロニクスホームページ

<http://japan.renesas.com/>

お問合せ先

<http://japan.renesas.com/contact/>

すべての商標および登録商標は、それぞれの所有者に帰属します。

改訂記録

Rev.	発行日	改訂内容	
		ページ	ポイント
Rev. 1.00	2016.06.30		Rev.1.00 発行
Rev. 2.00	2017.05.31	4	575bit/287bit 検索テーブル構成の追加

ご注意書き

- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して生じた損害（お客様または第三者いずれかに生じた損害も含みます。以下同じです。）に関し、当社は、一切その責任を負いません。
 - 当社製品、本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害またはこれらに関する紛争について、当社は、何らの保証を行うものではなく、また責任を負うものではありません。
 - 当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
 - 当社製品を、全部または一部を問わず、改造、改変、複製、その他の不適切に使用しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
 - 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA機器、通信機器、計測機器、AV機器、
家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通制御（信号）、大規模通信機器、
金融端末基幹システム、各種安全制御装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（宇宙、海底中継器、原子力制御システム、航空機制御システム、プラント基幹システム、軍事機器等）に使用されることを意図しておらず、これらの用途に使用することはできません。たとえ、意図しない用途に当社製品を使用したことにより損害が生じても、当社は一切その責任を負いません。
 - 当社製品をご使用の際は、最新の製品情報（データシート、ユーザズマニュアル、アプリケーションノート、信頼性ハンドブックに記載の「半導体デバイスの使用上の一般的な注意事項」等）をご確認の上、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他指定条件の範囲内でご使用ください。指定条件の範囲を超えて当社製品をご使用された場合の故障、誤動作の不具合および事故につきましては、当社は、一切その責任を負いません。
 - 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計を行っておりません。仮に当社製品の故障または誤動作が生じた場合であっても、人身事故、火災事故その他社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
 - 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制するRoHS指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。かかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
 - 当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を、(1)核兵器、化学兵器、生物兵器等の大量破壊兵器およびこれらを運搬することができるミサイル（無人航空機を含みます。）の開発、設計、製造、使用もしくは貯蔵等の目的、(2)通常兵器の開発、設計、製造または使用の目的、または(3)その他の国際的な平和および安全の維持の妨げとなる目的で、自ら使用せず、かつ、第三者に使用、販売、譲渡、輸出、賃貸もしくは使用許諾しないでください。
当社製品および技術を輸出、販売または移転等する場合は、「外国為替及び外国貿易法」その他日本国および適用される外国の輸出管理関連法規を遵守し、それらの定めるところに従い必要な手続きを行ってください。
 - お客様の転売、貸与等により、本書（本ご注意書きを含みます。）記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は一切その責任を負わず、お客様にかかる使用に基づく当社への請求につき当社を免責いただきます。
 - 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。
 - 本資料に記載された情報または当社製品に関し、ご不明点がある場合には、当社営業にお問い合わせください。
- 注1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。
- 注2. 本資料において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいいます。

(Rev.3.0-1 2016.11)



ルネサスエレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒135-0061 東京都江東区豊洲3-2-24（豊洲フォレシア）

■技術的なお問合せおよび資料のご請求は下記どうぞ。
総合お問合せ窓口：<https://www.renesas.com/contact/>