

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

V850ES/IK1

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

μPD703327

μPD703329

μPD70F3329

資料番号 U16910JJ4V1UD00 (第4版)

発行年月 December 2007 N

© NEC Electronics Corporation 2004

〔メモ〕

目次要約

第1章	イントロダクション	...	16
第2章	端子機能	...	24
第3章	CPU機能	...	31
第4章	ポート機能	...	64
第5章	クロック・ジェネレータ	...	124
第6章	16ビット・タイマ/イベント・カウンタP (TMP)	...	141
第7章	16ビット・タイマ/イベント・カウンタQ (TMQ)	...	242
第8章	16ビット・インターバル・タイマM (TMM)	...	353
第9章	モータ制御機能	...	362
第10章	ウォッチドッグ・タイマ機能	...	427
第11章	A/Dコンバータ0, 1	...	431
第12章	アシンクロナス・シリアル・インタフェースA (UARTA)	...	482
第13章	3線式可変長シリアルI/O (CSIB)	...	509
第14章	割り込み/例外処理機能	...	553
第15章	スタンバイ機能	...	590
第16章	リセット機能	...	601
第17章	レギュレータ	...	616
第18章	ROMコレクション機能	...	618
第19章	フラッシュ・メモリ	...	622
第20章	電気的特性	...	646
第21章	外形図	...	665
第22章	半田付け推奨条件	...	666
付録A	注意事項	...	667
付録B	V850ES/IK1とV850E/IA3, V850E/IA4の製品間の違い	...	668
付録C	レジスタ索引	...	670
付録D	命令セット一覧	...	676
付録E	改版履歴	...	685

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

- 本資料に記載されている内容は2007年12月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っていません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないように、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

- 対象者** このマニュアルは、V850ES/IK1の機能を理解し、それをを用いた応用システムを設計するユーザを対象とします。
- 目的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構成** V850ES/IK1のユーザズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読み方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850ES/IK1の機能を理解しようとするとき

目次に従ってお読みください。

レジスタ名が分かっている、レジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるビットは、そのビット名称がデバイス・ファイルで予約語として定義されています。

命令機能の詳細を理解しようとするとき

別冊のV850ES **ユーザズ・マニュアル アーキテクチャ編**を参照してください。

V850ES/IK1の電気的特性を知りたいとき

第20章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ/アセンブラでは正しく認識できませんので、注意してください。

本文欄外の 印は、本版で改訂された主な箇所を示しています。

この“ ”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
 - アクティブ・ロウの表記：xxx（端子，信号名称に上線）
 - メモリ・マップのアドレス：上部 - 上位，下部 - 下位
 - 注：本文中に付けた注の説明
 - 注意：気を付けて読んでいただきたい内容
 - 備考：本文の補足説明
 - 数の表記：2進数 ... xxxxまたはxxxxB
 - 10進数 ... xxxx
 - 16進数 ... xxxxH
 - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 - K（キロ）... $2^{10} = 1024$
 - M（メガ）... $2^{20} = 1024^2$
 - G（ギガ）... $2^{30} = 1024^3$
 - データ・タイプ：ワード ... 32ビット
 - ハーフワード ... 16ビット
 - バイト ... 8ビット

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/IK1に関する資料

資料名	資料番号
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J
V850ES/IK1 ユーザーズ・マニュアル ハードウェア編	このマニュアル

開発ツールに関する資料（ユーザーズ・マニュアル）

資料名	資料番号	
QB-V850EIA4（インサーキット・エミュレータ）	U17167J	
QB-MINI2（プログラミング機能付きオンチップ・デバッグ・エミュレータ）	U18371J	
CA850（Ver.3.00） （Cコンパイラ・パッケージ）	操作編	U17293J
	C言語編	U17291J
	アセンブリ言語編	U17292J
	リンク・ディレクティブ編	U17294J
PM+（Ver.6.30）（プロジェクト・マネージャ）	U18416J	
ID850QB（Ver.3.40）（統合デバッガ）	操作編	U18604J
TW850（Ver.2.00）（性能解析チューニング・ツール）	U17241J	
RX850（Ver.3.20）（リアルタイムOS）	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッガ編	U17420J
RX850 Pro（Ver.3.21）（リアルタイムOS）	基礎編	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッガ編	U17422J
AZ850（Ver.3.30）（システム・パフォーマンス・アナライザ）	U17423J	
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	

目 次

第1章	イントロダクション	... 16
1.1	概 説	... 16
1.2	特 徴	... 17
1.3	応用分野	... 18
1.4	オーダ情報	... 18
1.5	端子接続図	... 19
1.6	機能ブロック構成	... 21
第2章	端子機能	... 24
2.1	端子機能一覧	... 24
2.2	端子の入出力回路タイプと未使用時の処理	... 28
2.3	端子の入出力回路	... 30
第3章	CPU機能	... 31
3.1	特 徴	... 31
3.2	CPUレジスタ・セット	... 32
3.2.1	プログラム・レジスタ・セット	... 33
3.2.2	システム・レジスタ・セット	... 34
3.3	動作モード	... 40
3.4	アドレス空間	... 41
3.4.1	CPUアドレス空間	... 41
3.4.2	CPUアドレス空間のラップ・アラウンド	... 42
3.4.3	メモリ・マップ	... 43
3.4.4	領 域	... 45
3.4.5	アドレス空間の推奨使用方法	... 49
3.4.6	内蔵周辺I/Oレジスタ	... 52
3.4.7	特定レジスタ	... 58
3.4.8	システム・ウエイト・コントロール・レジスタ (VSWC)	... 63
3.4.9	注意事項	... 63
第4章	ポート機能	... 64
4.1	特 徴	... 64
4.2	ポートの基本構成	... 64
4.3	ポートの構成	... 65
4.3.1	ポート0	... 70
4.3.2	ポート1	... 77
4.3.3	ポート2	... 89
4.3.4	ポート3	... 95
4.3.5	ポート4	... 102
4.3.6	ポートDL	... 109

4.4	各設定時の出力データとポート・リード値	...	111
4.5	兼用機能使用時のポートのレジスタ設定	...	116
4.6	ノイズ除去回路	...	120
4.7	注意事項	...	122
4.7.1	ポート端子設定上の注意事項	...	122
4.7.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	123

第5章 クロック・ジェネレータ ... 124

5.1	概要	...	124
5.2	構成	...	125
5.3	制御レジスタ	...	128
5.4	PLL機能	...	134
5.4.1	概要	...	134
5.4.2	PLLモード	...	134
5.4.3	クロック・スルー・モード	...	134
5.5	動作	...	135
5.5.1	各クロックの動作	...	135
5.5.2	動作タイミング	...	136
5.6	クロック・モニタ	...	139

第6章 16ビット・タイマ/イベント・カウンタP (TMP) ... 141

6.1	概要	...	141
6.2	機能	...	141
6.3	構成	...	142
6.4	レジスタ	...	148
6.5	タイマ出力動作説明	...	162
6.6	動作	...	163
6.6.1	インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)	...	170
6.6.2	外部イベント・カウント・モード (TPkMD2-TPkMD0ビット = 001)	...	182
6.6.3	外部トリガ・パルス出力モード (TPmMD2-TPmMD0ビット = 010)	...	191
6.6.4	ワンショット・パルス出力モード (TPmMD2-TPmMD0ビット = 011)	...	203
6.6.5	PWM出力モード (TPmMD2-TPmMD0ビット = 100)	...	210
6.6.6	フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)	...	219
6.6.7	パルス幅測定モード (TPkMD2-TPkMD0ビット = 110)	...	236

第7章 16ビット・タイマ/イベント・カウンタQ (TMQ) ... 242

7.1	概要	...	242
7.2	機能	...	243
7.3	構成	...	243
7.4	レジスタ	...	248
7.5	タイマ出力動作説明	...	264
7.6	動作	...	265
7.6.1	インターバル・タイマ・モード (TQnMD2-TQnMD0ビット = 000)	...	273
7.6.2	外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)	...	284
7.6.3	外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)	...	294
7.6.4	ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)	...	307

7.6.5	PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)	...	316
7.6.6	フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101)	...	327
7.6.7	パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)	...	347

第8章 16ビット・インターバル・タイマM (TMM) ... 353

8.1	概要	...	353
8.2	構成	...	354
8.3	制御レジスタ	...	356
8.4	動作	...	357
8.4.1	インターバル・タイマ・モード	...	357
8.5	注意事項	...	361

第9章 モータ制御機能 ... 362

9.1	機能概要	...	362
9.2	構成	...	363
9.3	制御レジスタ	...	367
9.4	動作	...	380
9.4.1	システム概要説明	...	380
9.4.2	デッド・タイム制御 (逆相波信号の生成)	...	385
9.4.3	割り込み間引き機能	...	393
9.4.4	転送機能付きレジスタの書き換え操作	...	400
9.4.5	A/D変換開始トリガ信号出力用TMP1の同調動作	...	418
9.4.6	A/D変換開始トリガ出力機能	...	422

第10章 ウォッチドッグ・タイマ機能 ... 427

10.1	機能	...	427
10.2	構成	...	428
10.3	制御レジスタ	...	429
10.4	動作	...	430
10.5	注意事項	...	430

第11章 A/Dコンバータ0, 1 ... 431

11.1	特徴	...	431
11.2	構成	...	432
11.3	制御レジスタ	...	437
11.4	動作	...	444
11.4.1	基本動作	...	444
11.4.2	動作モードとトリガ・モード	...	446
11.5	ソフトウエア・トリガ・モード時の動作	...	458
11.5.1	連続セレクト・モードの動作	...	458
11.5.2	連続スキャン・モードの動作	...	461
11.5.3	ワンショット・セレクト・モードの動作	...	462
11.5.4	ワンショット・スキャン・モードの動作	...	464
11.6	タイマ・トリガ・モード時の動作	...	465
11.6.1	連続セレクト・モード/ワンショット・セレクト・モードの動作	...	466

11.6.2	連続スキャン・モード/ワンショット・スキャン・モードの動作	...	468
11.7	外部トリガ・モード時の動作	...	469
11.7.1	連続セレクト・モード/ワンショット・セレクト・モードの動作	...	470
11.7.2	連続スキャン・モード/ワンショット・スキャン・モードの動作	...	472
11.8	内部等価回路	...	473
11.9	動作上の注意事項	...	475
11.9.1	変換動作の停止	...	475
11.9.2	タイマ/外部トリガの間隔	...	475
11.9.3	スタンバイ・モード時の動作	...	475
11.9.4	タイマ・トリガ・モード時のタイマ割り込み要求信号	...	476
11.9.5	安定時間中の再変換起動トリガ入力	...	476
11.9.6	A/D変換結果のばらつき	...	476
11.9.7	A/D変換のヒステリシス特性	...	476
11.9.8	ワンショット・モードかつソフトウェア・トリガ・モード設定時の制限事項	...	477
11.10	A/Dコンバータ特性表の読み方	...	478

第12章 アシンクロナス・シリアル・インタフェースA (UARTA) ... 482

12.1	特 徴	...	482
12.2	構 成	...	483
12.3	制御レジスタ	...	485
12.4	割り込み要求信号	...	491
12.5	動 作	...	492
12.5.1	データ・フォーマット	...	492
12.5.2	UART送信	...	494
12.5.3	連続送信の手順説明	...	495
12.5.4	UART受信	...	497
12.5.5	受信エラー	...	498
12.5.6	パリティの種類と動作	...	499
12.5.7	受信データのノイズ・フィルタ	...	500
12.6	専用ボー・レート・ジェネレータ	...	501
12.7	注意事項	...	508

第13章 3線式可変長シリアルI/O (CSIB) ... 509

13.1	特 徴	...	509
13.2	構 成	...	510
13.3	制御レジスタ	...	512
13.4	動 作	...	519
13.4.1	シングル転送モード (マスタ・モード, 送信モード)	...	519
13.4.2	シングル転送モード (マスタ・モード, 受信モード)	...	521
13.4.3	シングル転送モード (マスタ・モード, 送受信モード)	...	523
13.4.4	シングル転送モード (スレーブ・モード, 送信モード)	...	525
13.4.5	シングル転送モード (スレーブ・モード, 受信モード)	...	527
13.4.6	シングル転送モード (スレーブ・モード, 送受信モード)	...	529
13.4.7	連続転送モード (マスタ・モード, 送信モード)	...	531
13.4.8	連続転送モード (マスタ・モード, 受信モード)	...	533
13.4.9	連続転送モード (マスタ・モード, 送受信モード)	...	536
13.4.10	連続転送モード (スレーブ・モード, 送信モード)	...	540

- 13.4.11 連続転送モード(スレーブ・モード,受信モード) ... 542
- 13.4.12 連続転送モード(スレーブ・モード,送受信モード) ... 545
- 13.4.13 受信エラー ... 549
- 13.4.14 クロック・タイミング ... 550
- 13.5 出力端子 ... 552

第14章 割り込み/例外処理機能 ... 553

- 14.1 特 徴 ... 553
- 14.2 ノンマスカブル割り込み ... 557
 - 14.2.1 動 作 ... 558
 - 14.2.2 復 帰 ... 559
 - 14.2.3 ノンマスカブル割り込みステータス・フラグ(NP) ... 560
- 14.3 マスカブル割り込み ... 561
 - 14.3.1 動 作 ... 561
 - 14.3.2 復 帰 ... 563
 - 14.3.3 マスカブル割り込みの優先順位 ... 564
 - 14.3.4 割り込み制御レジスタ(xxCn) ... 568
 - 14.3.5 割り込みマスク・レジスタ0-3(IMR0-IMR3) ... 572
 - 14.3.6 インサースビス・プライオリティ・レジスタ(ISPR) ... 574
 - 14.3.7 マスカブル割り込みステータス・フラグ(ID) ... 575
- 14.4 外部割り込み要求入力端子(INTP0-INTP6) ... 576
 - 14.4.1 ノイズ除去 ... 576
 - 14.4.2 エッジ検出 ... 577
- 14.5 ソフトウェア例外 ... 578
 - 14.5.1 動 作 ... 578
 - 14.5.2 復 帰 ... 579
 - 14.5.3 例外ステータス・フラグ(EP) ... 580
- 14.6 例外トラップ ... 581
 - 14.6.1 不正命令コード ... 581
 - 14.6.2 デバッグ・トラップ ... 583
- 14.7 多重割り込み処理制御 ... 585
- 14.8 CPUの割り込み応答時間 ... 587
- 14.9 CPUが割り込みを受け付けない期間 ... 589
- 14.10 注意事項 ... 589

第15章 スタンバイ機能 ... 590

- 15.1 概 要 ... 590
- 15.2 制御レジスタ ... 592
- 15.3 HALTモード ... 594
 - 15.3.1 設定および動作状態 ... 594
 - 15.3.2 HALTモードの解除 ... 594
- 15.4 IDLEモード ... 596
 - 15.4.1 設定および動作状態 ... 596
 - 15.4.2 IDLEモードの解除 ... 596
- 15.5 STOPモード ... 598
 - 15.5.1 設定および動作状態 ... 598
 - 15.5.2 STOPモードの解除 ... 598

15.6	発振安定時間の確保	...	600
第16章 リセット機能 ... 601			
16.1	概要	...	601
16.2	リセット要因を確認するレジスタ	...	601
16.3	動作	...	603
16.3.1	RESET端子によるリセット動作	...	603
16.3.2	ウォッチドッグ・タイマ(WDT)のオーバフローによるリセット動作(WDTRES)	...	605
16.3.3	低電圧検出回路(LVI)	...	606
16.3.4	パワーオン・クリア回路(POC)	...	614
第17章 レギュレータ ... 616			
17.1	概要	...	616
17.2	動作	...	617
第18章 ROMコレクション機能 ... 618			
18.1	概要	...	618
18.2	制御レジスタ	...	619
18.3	ROMコレクションの動作とプログラムの流れ	...	620
第19章 フラッシュ・メモリ ... 622			
19.1	特徴	...	622
19.2	メモリ構成	...	623
19.3	機能概要	...	624
19.4	専用フラッシュ・メモリ・プログラマでの書き換え	...	628
19.4.1	プログラミング環境	...	628
19.4.2	通信方式	...	629
19.4.3	フラッシュ・メモリ制御	...	634
19.4.4	通信方式の選択	...	635
19.4.5	通信コマンド	...	636
19.4.6	端子処理	...	637
19.5	セルフ・プログラミングによる書き換え	...	641
19.5.1	概要	...	641
19.5.2	特徴	...	642
19.5.3	標準セルフ・プログラミング・フロー	...	643
19.5.4	フラッシュ関数一覧	...	644
19.5.5	端子処理	...	644
19.5.6	使用する内部資源	...	645
第20章 電気的特性 ... 646			
第21章 外形図 ... 665			
第22章 半田付け推奨条件 ... 666			

付録A	注意事項	...	667
A. 1	sld命令と割り込み競合に関する制限事項	...	667
A. 1. 1	内 容	...	667
A. 1. 2	回避策	...	667
付録B	V850ES/IK1とV850E/IA3, V850E/IA4の製品間の違い	...	668
付録C	レジスタ索引	...	670
付録D	命令セット一覧	...	676
D. 1	凡 例	...	676
D. 2	インストラクション・セット(アルファベット順)	...	679
付録E	改版履歴	...	685
E. 1	本版で改訂された主な箇所	...	685
E. 2	前版までの改版履歴	...	688

第1章 イン트로ダクション

V850ES/IK1は、NECエレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラ「V850マイコン」のロウ・パワー・シリーズの1製品です。

1.1 概 説

V850ES/IK1は、V850ES CPUコアを使用し、ROM/RAM、タイマ/カウンタ、シリアル・インタフェース、ウォッチドッグ・タイマ、A/Dコンバータ、ROMコレクション、などの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/IK1は、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、モータのインバータ制御などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

1.2 特 徴

最小命令実行時間 31.25 ns (内部32 MHz動作時)

汎用レジスタ 32ビット×32本

CPUの特徴
 符号付き乗算 (16×16 → 32) : 1-2クロック
 符号付き乗算 (32×32 → 64) : 1-5クロック
 飽和演算命令 (オーバフロー/アンダフロー検出機能付き)
 32ビット・シフト命令 : 1クロック
 ビット操作命令
 ロング/ショート形式を持つロード/ストア命令
 符号付きロード命令

内蔵メモリ

製品名	内蔵ROM/フラッシュ・メモリ	内蔵RAM
μ PD703327	64 Kバイト (マスクROM)	4 Kバイト
μ PD703329	128 Kバイト (マスクROM)	6 Kバイト
μ PD70F3329	128 Kバイト (フラッシュ・メモリ)	6 Kバイト

ROMコレクション 4箇所修正可能

割り込み/例外
 ノンマスカブル割り込み : 1要因 (外部: なし, 内部: 1要因)
 マスカブル割り込み : 42要因 (外部: 7要因, 内部: 35要因)
 ソフトウェア例外 : 32要因
 例外トラップ : 2要因

I/Oライン 入出力ポート : 39

タイマ/カウンタ機能
 16ビット・インターバル・タイマM (TMM) : 1 ch
 16ビット・タイマ/イベント・カウンタQ (TMQ) : 2 ch
 16ビット・タイマ/イベント・カウンタP (TMP) : 4 ch
 モータ制御機能 (使用タイマ TMQ : 1 ch (TMQ1), TMP : 1 ch (TMP1))
 16ビット精度のデッド・タイム付き6相PWM機能 : 1 ch
 ハイ・インピーダンス出力制御機能
 タイマ同調動作機能
 任意の周期設定機能
 任意のデッド・タイム設定機能
 ウォッチドッグ・タイマ : 1 ch

シリアル・インタフェース

アシンクロナス・シリアル・インタフェースA (UARTA)

3線式可変長シリアルI/O (CSIB)

CSIB : 1 ch

UARTA : 2 ch

A/Dコンバータ 10ビット分解能A/Dコンバータ (A/Dコンバータ0, 1) : 4 ch × 2ユニット

クロック・ジェネレータ

2.5 ~ 4 MHzの発振子を接続可能 (外部クロック入力禁止)

PLLクロック・シンセサイザによる通倍機能 (8通倍固定, $f_{xx} = 20 \sim 32$ MHz)

CPUクロック分周機能 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$)

パワー・セーブ機能 HALT/IDLE/STOPモード

パワーオン・クリア機能

低電圧検出機能

パッケージ 64ピン・プラスチックLQFP (14 × 14)

動作電源電圧 $V_{DD} = EV_{DD} = 3.5 \sim 5.5$ V
 $AV_{DD0}, AV_{DD1} = 4.5 \sim 5.5$ V

動作周囲温度 $T_A = -40 \sim +85$

1.3 応用分野

- ・民生機器 (インバータ・エアコン, 冷蔵庫, 洗濯機など)
- ・産業機器 (モータ制御, 汎用インバータなど)

1.4 オーダ情報

品名	パッケージ	内蔵ROM/フラッシュ・メモリ
μ PD703327GC-xxx-8BS-A	64ピン・プラスチックLQFP (14 × 14)	マスクROM (64 Kバイト)
μ PD703329GC-xxx-8BS-A	"	マスクROM (128 Kバイト)
μ PD70F3329GC-8BS-A	"	フラッシュ・メモリ (128 Kバイト)

備考1. xxxはROMコード番号です。

2. オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

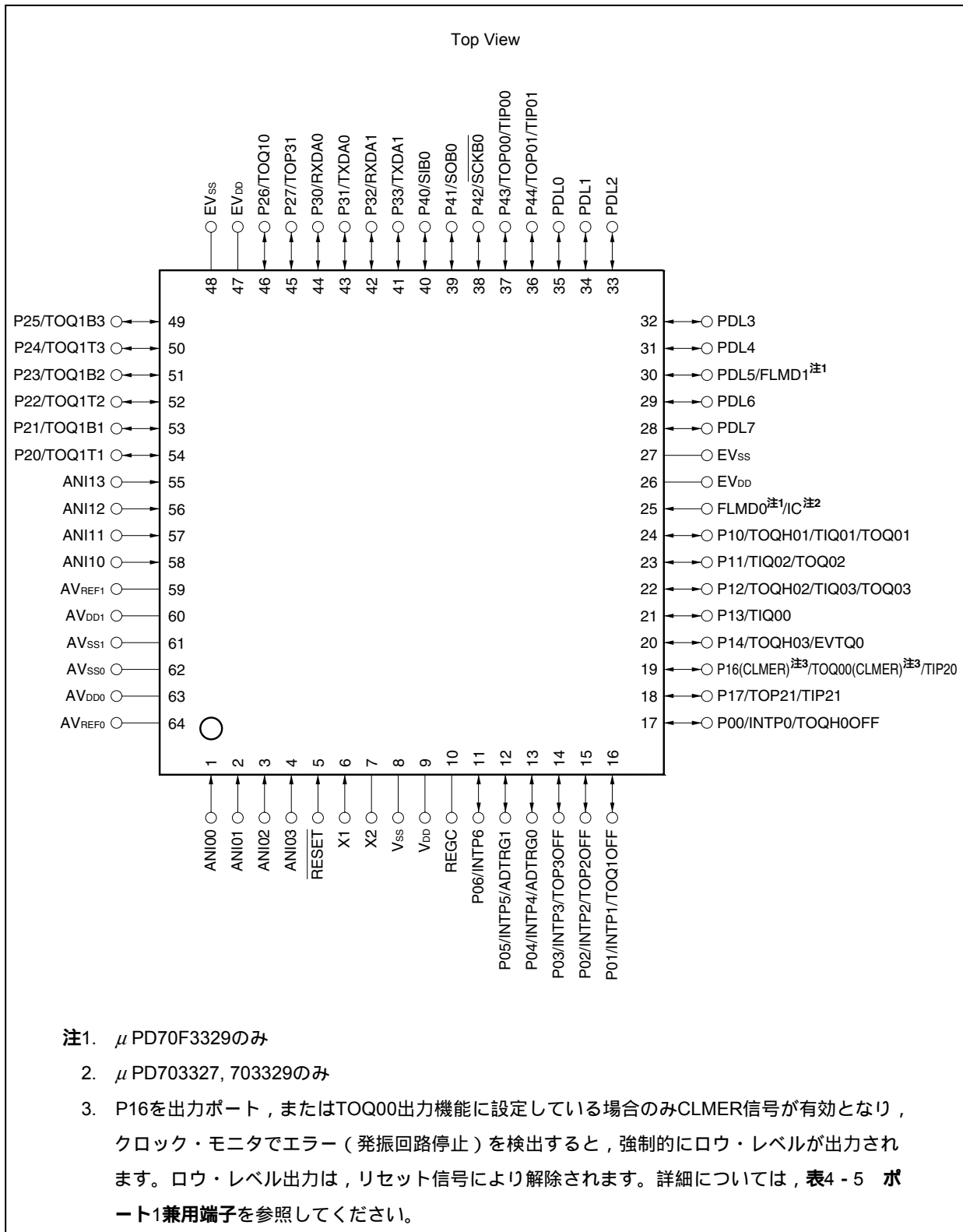
1.5 端子接続図

・64ピン・プラスチックLQFP (14×14)

μ PD703327GC-xxx-8BS-A

μ PD703329GC-xxx-8BS-A

μ PD70F3329GC-8BS-A

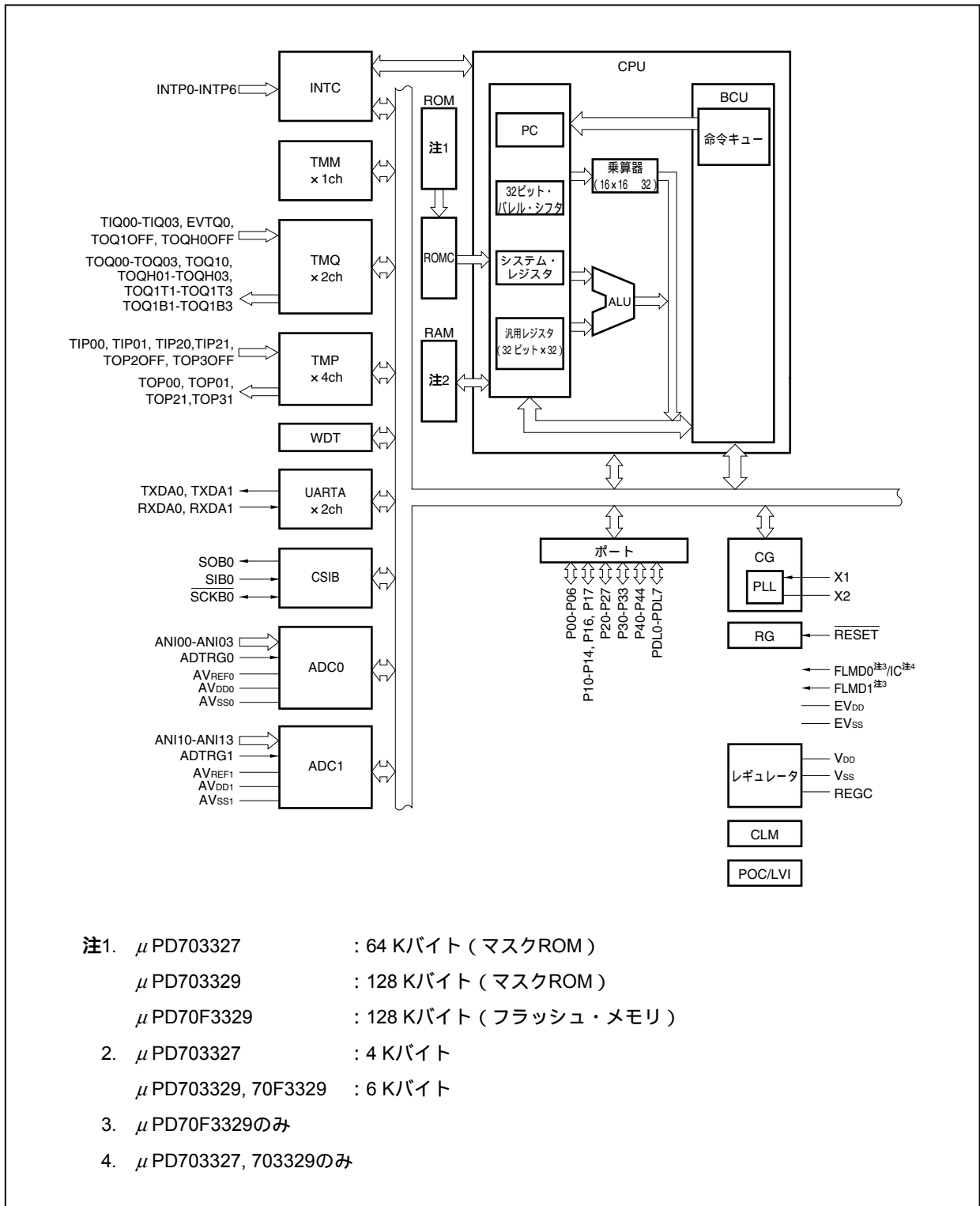


端子名称

ADTRG0, ADTRG1	: A/D Trigger Input	RXDA0, RXDA1	: Receive Data
ANI00-ANI03,	: Analog Input	$\overline{\text{SCKB0}}$: Serial Clock
ANI10-ANI13		SIB0	: Serial Input
AVDD0, AVDD1	: Analog Power Supply	SOB0	: Serial Output
AVREF0, AVREF1	: Analog Reference Voltage	TIP00, TIP01,	: Timer Trigger Input
AVSS0, AVSS1	: Analog Ground	TIP20, TIP21,	
EVDD	: Power Supply for Port	TIQ00-TIQ03	
EVSS	: Ground for Port	TOP00, TOP01	: Timer Output
EVTQ0	: Timer Event Count Input	TOP21, TOP31,	
FLMD0, FLMD1	: Flash Programming Mode	TOQ1B1-TOQ1B3,	
IC	: Internally Connected	TOQ1T1-TOQ1T3,	
INTP0-INTP6	: External Interrupt Input	TOQ00-TOQ03,	
P00-P06	: Port 0	TOQ10,	
P10-P14, P16, P17	: Port 1	TOQH01-TOQH03	
P20-P27	: Port 2	TOP2OFF, TOP3OFF,	: Timer Output Off
P30-P33	: Port 3	TOQ1OFF, TOQH0OFF	
P40-P44	: Port 4	TXDA0, TXDA1	: Transmit Data
PDL0-PDL7	: Port DL	VDD	: Power Supply
REGC	: Regulator Control	VSS	: Ground
$\overline{\text{RESET}}$: Reset	X1, X2	: Clock Oscillator Pin

1.6 機能ブロック構成

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算, 算術論理演算, データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器 (16ビット×16ビット 32ビット), バレル・シフタ (32ビット) などの専用ハードウェアを内蔵し, 複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

内部バスを制御します。

(c) ROM

00000000H番地からマッピングされるマスクROMまたはフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。製品によって次のように異なります。

製品名	内蔵ROM容量	内蔵ROM領域
μ PD703327	64 Kバイト (マスクROM)	xn000000H-xn00FFFFH
μ PD703329	128 Kバイト (マスクROM)	xn000000H-xn01FFFFH
μ PD70F3329	128 Kバイト (フラッシュ・メモリ)	xn000000H-xn01FFFFH

備考 n = xx11B

(d) RAM

製品によって, 内蔵RAM容量, 内蔵RAM領域が次のように異なります。

命令フェッチ時, データ・アクセス時にCPUから1クロックでアクセスできます。

製品名	内蔵RAM容量	内蔵RAM領域
μ PD703327	4 Kバイト	xnFFE000H-xnFFEFFFH
μ PD703329	6 Kバイト	xnFFD800H-xnFFEFFFH
μ PD70F3329	6 Kバイト	xnFFD800H-xnFFEFFFH

備考 n = xx11B

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア, および外部からのハードウェア割り込み要求 (INTP0-INTP6) を処理します。これらの割り込み要求は, 8レベルの割り込み優先順位が指定でき, 多重処理制御ができます。

(f) クロック・ジェネレータ (CG)

クロック・ジェネレータの基本動作として, PLLモード (8逓倍固定) とクロック・スルー・モードの2種類を備えています。4種類 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8) のクロックを生成して, そのうちの1つをCPUの動作クロック (f_{CPU}) として供給します。

(g) タイマ/カウンタ

16ビット・インターバル・タイマM (TMM) を1チャンネル, 16ビット・タイマ/イベント・カウンタQ (TMQ) を2チャンネル, 16ビット・タイマ/イベント・カウンタP (TMP) を4チャンネル内蔵しています。パルス間隔や周波数の計測, モータ制御用インバータ機能, プログラマブルなパルスの出力ができます。

(h) ウォッチドッグ・タイマ (WDT)

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。オーバーフローでノンマスクابل割り込み要求信号 (INTWDT) か内部リセット信号 (WDTRES) を発生します。

(i) シリアル・インタフェース

シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA) を2チャンネル, 3線式可変長シリアルI/O (CSIB) を1チャンネル内蔵しています。

UARTAは, TXDAn, RXDAn端子によりデータ転送を行います (n = 0, 1)。

CSIBは, SOB0, SIB0, $\overline{\text{SCKB0}}$ 端子によりデータ転送を行います。

(j) A/Dコンバータ (ADC)

4本のアナログ入力端子を持つ10ビットA/Dコンバータ(ADC0, ADC1)を2チャンネル内蔵しています。

(k) ROMコレクション

マスクROMまたはフラッシュ・メモリ内のプログラムの一部を内蔵RAMのプログラムで置き換えて実行する機能です。4箇所修正可能です。

(l) ポート

次に示すように, 汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
ポート0	7ビット入出力	タイマ/カウンタ入力, 外部割り込み入力, A/Dコンバータの外部トリガ入力
ポート1	7ビット入出力	タイマ/カウンタ入出力
ポート2	8ビット入出力	タイマ/カウンタ出力
ポート3	4ビット入出力	シリアル・インタフェース入出力
ポート4	5ビット入出力	シリアル・インタフェース入出力, タイマ/カウンタ入出力
ポートDL	8ビット入出力	-

第2章 端子機能

2.1 端子機能一覧

V850ES/IK1の端子の名称と機能を次に示します。これらの端子は、機能別にポート端子とそれ以外の端子に分けることができます。

端子の入出力バッファ電源には、AV_{DD0}、AV_{DD1}、EV_{DD}の2系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{DD0} , AV _{DD1}	ANI00-ANI03, ANI10-ANI13
EV _{DD}	ポート0-4, DL, RESET

(1) ポート端子

(1/2)

端子名称	ピン番号	入出力	機 能	兼用端子
P00	17	入出力	ポート0	INTP0/TOQH0OFF
P01	16		7ビット入出力ポート	INTP1/TOQ1OFF
P02	15		1ビット単位で入力データのリード/出力データのライトが可能	INTP2/TOP2OFF
P03	14			INTP3/TOP3OFF
P04	13		1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合、および兼用機能の場合のみ内蔵プルアップ抵抗の接続が可能)	INTP4/ADTRG0
P05	12			INTP5/ADTRG1
P06	11			INTP6
P10	24	入出力	ポート1	TOQH01/TIQ01/TOQ01
P11	23		7ビット入出力ポート	TIQ02/TOQ02
P12	22		1ビット単位で入力データのリード/出力データのライトが可能	TOQH02/TIQ03/TOQ03
P13	21		1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合、兼用機能時に入力端子の場合、兼用機能時に出力端子であるTOP21、TOQH01-TOQH03端子が、ハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TIQ00
P14	20			TOQH03/EVTQ0
P16 (CLMER) ^注	19			TOQ00 (CLMER) ^注 /TIP20
P17	18			TOP21/TIP21

注 P16を出力ポート、またはTOQ00出力機能に設定している場合のみCLMER信号が有効となり、クロック・モニタでエラー(発振回路停止)を検出すると、強制的にロウ・レベルが出力されます。ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4 - 5 ポート1の兼用端子を参照してください。

端子名称	ピン番号	入出力	機能	兼用端子
P20	54	入出力	ポート2 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合,兼用機能時に出力端子であるTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31端子が,ハイ・インピーダンス状態になった場合のみ内蔵プルアップ抵抗の接続が可能)	TOQ1T1
P21	53			TOQ1B1
P22	52			TOQ1T2
P23	51			TOQ1B2
P24	50			TOQ1T3
P25	49			TOQ1B3
P26	46			TOQ10
P27	45			TOP31
P30	44	入出力	ポート3 4ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合,および兼用機能時に入力端子の場合のみ内蔵プルアップ抵抗の接続が可能)	RXDA0
P31	43			TXDA0
P32	42			RXDA1
P33	41			TXDA1
P40	40	入出力	ポート4 5ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合(SCKB0端子のスレーブ・モード時も含む),および兼用機能時に入力端子の場合のみ内蔵プルアップ抵抗の接続が可能)	SIB0
P41	39			SOB0
P42	38			SCKB0
P43	37			TOP00/TIP00
P44	36			TOP01/TIP01
PDL0	35	入出力	ポートDL 8ビット入出力ポート 1ビット単位で入力データのリード/出力データのライトが可能 1ビット単位で内蔵プルアップ抵抗の指定が可能(ポート・モード時に入力モードの場合のみ内蔵プルアップ抵抗の接続が可能)	-
PDL1	34			-
PDL2	33			-
PDL3	32			-
PDL4	31			-
PDL5	30			FLMD1 ^注
PDL6	29			-
PDL7	28			-

注 μ PD70F3329のみ

(2) ポート以外の端子

(1/2)

端子名称	ピン番号	入出力	機 能	兼用端子	
ADTRG0	13	入力	A/Dコンバータ0, 1の外部トリガ入力	INTP4/P04	
ADTRG1	12	入力		INTP5/P05	
ANI00	1	入力	A/Dコンバータ0, 1へのアナログ入力	-	
ANI01	2	入力		-	
ANI02	3	入力		-	
ANI03	4	入力		-	
ANI10	58	入力		-	
ANI11	57	入力		-	
ANI12	56	入力		-	
ANI13	55	入力		-	
AV _{DD0}	63	-		A/Dコンバータ0, 1用正電源供給 (V _{DD} と同電位)	-
AV _{DD1}	60	-			-
AV _{REF0}	64	-	A/Dコンバータ0, 1用基準電圧入力 (AV _{DD0} , AV _{DD1} と同電位)	-	
AV _{REF1}	59	-		-	
AV _{SS0}	62	-	A/Dコンバータ0, 1用グランド電位 (V _{SS} と同電位)	-	
AV _{SS1}	61	-		-	
EV _{DD}	26, 47	-	外部端子用正電源供給	-	
EV _{SS}	27, 48	-	外部端子用グランド電位	-	
EVTQ0	20	入力	TMQ0の外部イベント・カウント入力	TOQH03/P14	
FLMD0	25	入力	フラッシュ・メモリ・プログラミング・モード引き込み用端子 (μPD70F3329のみ)	-	
FLMD1	30	入力		PDL5	
IC	25	-	内部接続端子 (μPD703327, 703329のみ)	-	
INTP0	17	入力	外部マスクブル割り込み要求入力	TOQH0OFF/P00	
INTP1	16			TOQ1OFF/P01	
INTP2	15			TOP2OFF/P02	
INTP3	14			TOP3OFF/P03	
INTP4	13			ADTRG0/P04	
INTP5	12			ADTRG1/P05	
INTP6	11			P06	
REGC	10	-	レギュレータ出力安定容量接続	-	
RESET	5	入力	システム・リセット入力	-	
RXDA0	44	入力	UARTA0, UARTA1のシリアル受信データ入力	P30	
RXDA1	42			P32	
SCKB0	38	入出力	CSIB0のシリアル・クロック入出力	P42	
SIB0	40	入力	CSIB0のシリアル受信データ入力	P40	
SOB0	39	出力	CSIB0のシリアル送信データ出力	P41	

端子名称	ピン番号	入出力	機能	兼用端子
TIP00	37	入力	TMP0の外部イベント・カウント入力/外部トリガ入力/キャプチャ・トリガ入力	TOP00/P43
TIP01	36			TOP01/P44
TIP20	19			TOQ00 (CLMER) ^注 / P16 (CLMER) ^注
TIP21	18			TOP21/P17
TIQ00	21	入力	TMQ0のキャプチャ・トリガ入力	P13
TIQ01	24			TOQH01/TOQ01/P10
TIQ02	23			TOQ02/P11
TIQ03	22			TOQH02/TOQ03/P12
TOP00	37	出力	TMP0, TMP2のパルス信号出力	TIP00/P43
TOP01	36			TIP01/P44
TOP21	18			TIP21/P17
TOP2OFF	15	入力	ハイ・インピーダンス出力制御信号入力	INTP2/P02
TOP31	45	出力	TMP3のパルス信号出力	P27
TOP3OFF	14	入力	ハイ・インピーダンス出力制御信号入力	INTP3/P03
TOQ00 (CLMER) ^注	19	出力	TMQ0のパルス信号出力	TIP20/P16 (CLMER) ^注
TOQ01	24			TOQH01/TIQ01/P10
TOQ02	23			TIQ02/P11
TOQ03	22			TOQH02/TIQ03/P12
TOQ10	46	出力	TMQ1のパルス信号出力	P26
TOQ1B1	53	出力	6相PWM用パルス信号出力	P21
TOQ1B2	51			P23
TOQ1B3	49			P25
TOQ1OFF	16	入力	ハイ・インピーダンス出力制御信号入力	INTP1/P01
TOQ1T1	54	出力	6相PWM用パルス信号出力	P20
TOQ1T2	52			P22
TOQ1T3	50			P24
TOQH01	24	出力	TMQ0のパルス信号出力およびTOQH0OFF端子入力の有効エッジによりハイ・インピーダンス出力	TIQ01/TOQ01/P10
TOQH02	22			TIQ03/TOQ03/P12
TOQH03	20			EVTQ0/P14
TOQH0OFF	17	入力	ハイ・インピーダンス出力制御信号入力	INTP0/P00
TXDA0	43	出力	UARTA0, UARTA1のシリアル送信データ出力	P31
TXDA1	41			P33
V _{DD}	9	-	内部ユニット用正電源供給	-
V _{SS}	8	-	内部ユニット用グランド電位	-
X1	6	入力	システム・クロック用発振子接続端子	-
X2	7	-		-

注 P16を出力ポート，またはTOQ00出力機能に設定している場合のみCLMER信号が有効となり，クロック・モニタでエラー（発振回路停止）を検出すると，強制的にロウ・レベルが出力されます。ロウ・レベル出力は，リセット信号により解除されます。詳細については，表4-5 ポート1の兼用端子を参照してください。

2.2 端子の入出力回路タイプと未使用時の処理

(1/2)

端子	兼用端子名	ピン番号	入出力回路タイプ	推奨接続方法
P00	INTP0/TOQH0OFF	17	8-P	入力状態：個別に抵抗を介してEV _{DD} またはEV _{SS} に接続してください。 出力状態：オープンにしてください。
P01	INTP1/TOQ1OFF	16		
P02	INTP2/TOQ2OFF	15		
P03	INTP3/TOQ3OFF	14		
P04	INTP4/ADTRG0	13		
P05	INTP5/ADTRG1	12		
P06	INTP6	11		
P10	TOQH01/TIQ01/TOQ01	24		
P11	TIQ02/TOQ02	23		
P12	TOQH02/TIQ03/TOQ03	22		
P13	TIQ00	21		
P14	TOQH03/EVTQ0	20		
P16 (CLMER) ^注	TOQ00 (CLMER) ^注 /TIP20	19		
P17	TOP21/TIP21	18		
P20	TOQ1T1	54		
P21	TOQ1B1	53		
P22	TOQ1T2	52		
P23	TOQ1B2	51		
P24	TOQ1T3	50		
P25	TOQ1B3	49		
P26	TOQ10	46		
P27	TOP31	45	8-P	
P30	RXDA0	44		
P31	TXDA0	43	5-AG	
P32	RXDA1	42	8-P	
P33	TXDA1	41	5-AG	
P40	SIB0	40	8-P	
P41	SOB0	39	5-AG	
P42	SCKB0	38	8-P	
P43	TOP00/TIP00	37		
P44	TOP01/TIP01	36		

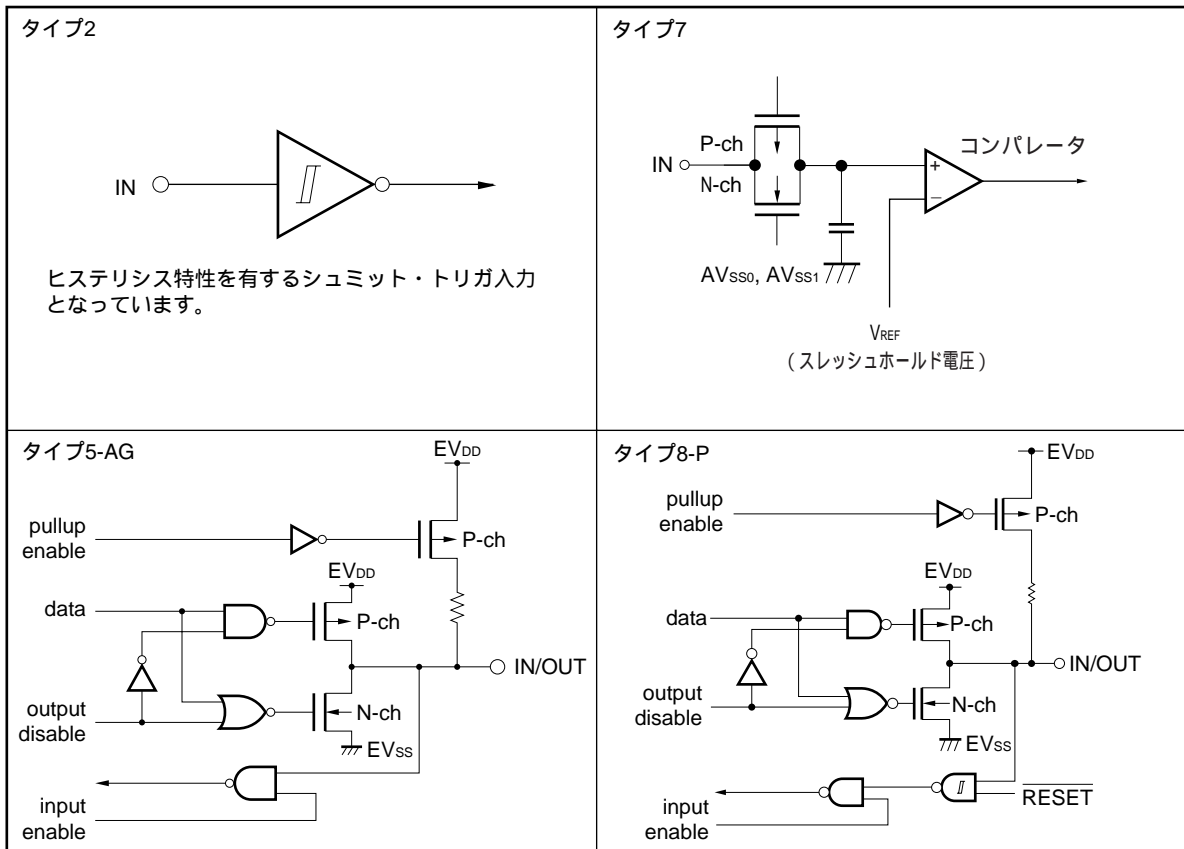
注 P16を出力ポート，またはTOQ00出力機能に設定している場合のみCLMER信号が有効となり，クロック・モニタでエラー（発振回路停止）を検出すると，強制的にロウ・レベルが出力されます。ロウ・レベル出力は，リセット信号により解除されます。詳細については，表4-5 ポート1の兼用端子を参照してください。

端子	兼用端子名	ピン番号	入出力回路 タイプ	推奨接続方法
PDL0	-	35	5-AG	入力状態：個別に抵抗を介してEV _{DD} または EV _{SS} に接続してください。 出力状態：オープンにしてください。
PDL1	-	34		
PDL2	-	33		
PDL3	-	32		
PDL4	-	31		
PDL5	FLMD1 ^{注1}	30		
PDL6	-	29		
PDL7	-	28		
ANI00	-	1	7	個別に抵抗を介してAV _{DD0} , AV _{DD1} またはAV _{SS0} , AV _{SS1} に接続してください。
ANI01	-	2		
ANI02	-	3		
ANI03	-	4		
ANI10	-	58		
ANI11	-	57		
ANI12	-	56		
ANI13	-	55		
RESET	-	5	2	-
FLMD0 ^{注1} /IC ^{注2}	-	25		-

注1. μ PD70F3329のみ

2. μ PD703327, 703329のみ

2.3 端子の入出力回路



第3章 CPU機能

V850ES/IK1のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

最小命令実行時間：31.25 ns (32 MHz動作時：4.5～5.5 V (A/Dコンバータ使用時)

：3.5～5.5 V (A/Dコンバータ未使用時)

メモリ空間 プログラム (物理アドレス) 空間：64 Mバイト・リニア

データ (論理アドレス) 空間：4 Gバイト・リニア

汎用レジスタ：32ビット×32本

内部32ビット・アーキテクチャ

5段パイプライン制御

乗除算命令

飽和演算命令

32ビット・シフト命令：1クロック

ロング/ショート形式を持つロード/ストア命令

ビット操作命令4種

- ・SET1
- ・CLR1
- ・NOT1
- ・TST1

3.2 CPUレジスタ・セット

V850ES/IK1のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	0	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

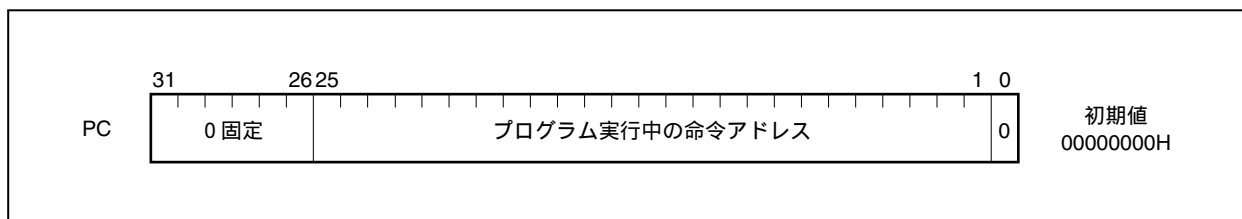
表3 - 1 汎用レジスタ一覧

名称	用途	動作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス/データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス/データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード/ライトは、システム・レジスタ・ロード/ストア命令 (LDSR, STSR命令) により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}		
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}		
2	NMI時状態退避レジスタ (FEPC)		
3	NMI時状態退避レジスタ (FEPSW)		
4	割り込み要因レジスタ (ECR)	×	
5	プログラム・ステータス・ワード (PSW)		
6-15	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×
16	CALLT実行時状態退避レジスタ (CTPC)		
17	CALLT実行時状態退避レジスタ (CTPSW)		
18	例外/デバッグ・トラップ時状態退避レジスタ (DBPC)	^{注2}	^{注2}
19	例外/デバッグ・トラップ時状態退避レジスタ (DBPSW)	^{注2}	^{注2}
20	CALLTベース・ポインタ (CTBP)		
21-31	将来の機能拡張のための予約番号 (アクセスした場合の動作は保証しません)	×	×

注1. このレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット(1)しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます(PCのビット0を0固定してあるため)。EIPC、FEPC、CTPCに値を設定する場合は、偶数値(ビット0=0)を設定してください。

備考 : アクセス可能

× : アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ (PC) の内容がEIPCに、プログラム・ステータス・ワード (PSW) の内容がEIPSWに退避されます (ノンマスカブル割り込み (NMI) 発生時には、NMI時状態退避レジスタ (FEPC, FEPSW) に退避されます)。

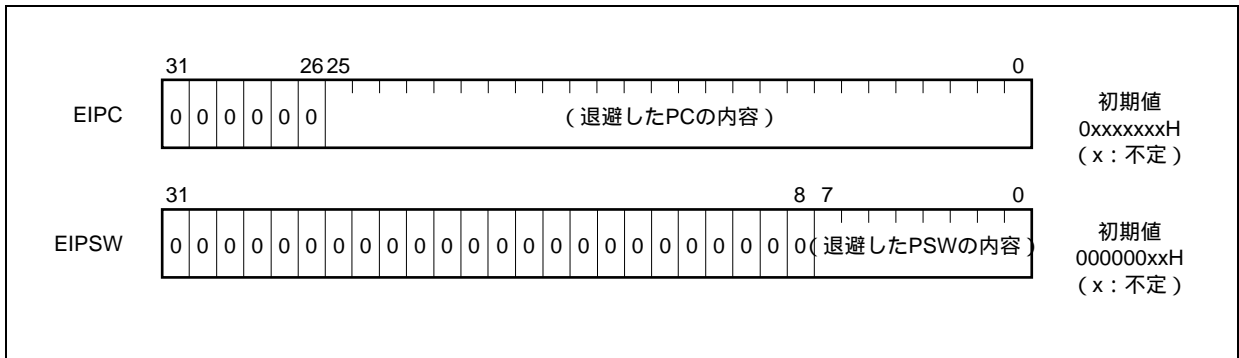
EIPCには、一部の命令 (14.9 CPUが割り込みを受け付けない期間参照) を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

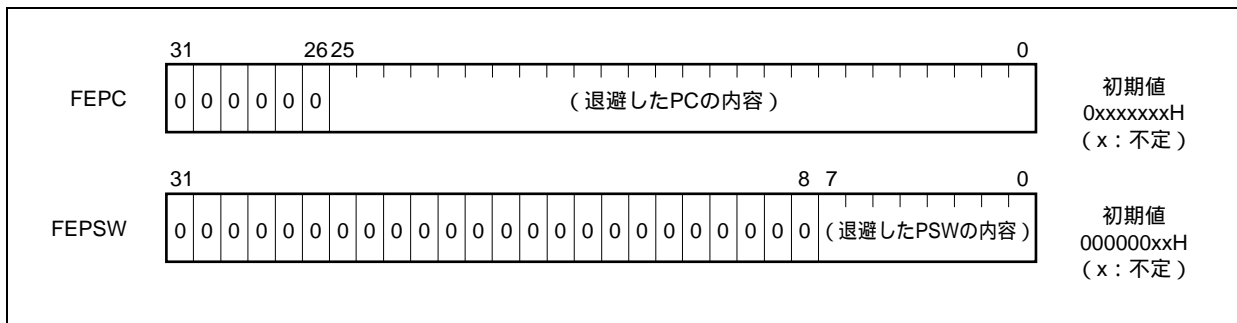
ノンマスクابل割り込み (NMI) が発生した場合、プログラム・カウンタ (PC) の内容がFEPCに、プログラム・ステータス・ワード (PSW) の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

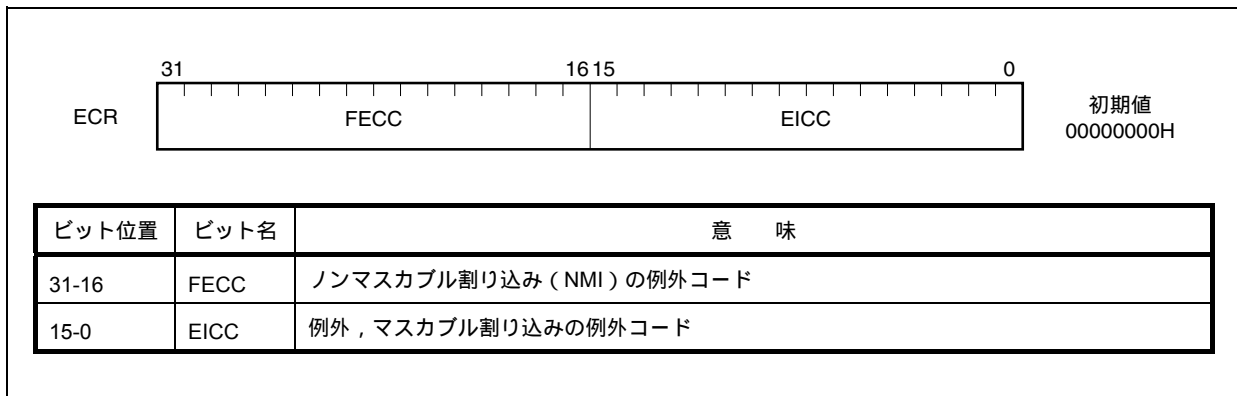
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています (0に固定)。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ (ECR) は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています (0に固定)。

(1/2)

31	8 7 6 5 4 3 2 1 0	初期値 00000020H
PSW	RFU	NP EP ID SAT CY OV S Z
ビット位置	フラグ名	意 味
31-8	RFU	予約フィールドです。“0”に固定されています。
7	NP	ノンマスカブル割り込み (NMI) 処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0: NMI処理中でない。 1: NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0: 例外処理中でない。 1: 例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0: 割り込み許可 (EI) 1: 割り込み禁止 (DI)
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0: 飽和していない。 1: 飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0: キャリー、またはボローは発生していない。 1: キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0: オーバーフローは発生していない。 1: オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0: 演算の結果は、正または0であった。 1: 演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0: 演算の結果は0でなかった。 1: 演算の結果は0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時のOVフラグとSフラグの内容で飽和処理した演算結果が決まります。また、飽和演算時にOVフラグがセット(1)された場合だけ、SATフラグはセット(1)されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正(最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負(最大値を越えない)	保持		1	

(5) CALLT実行時状態退避レジスタ(CTPC, CTPSW)

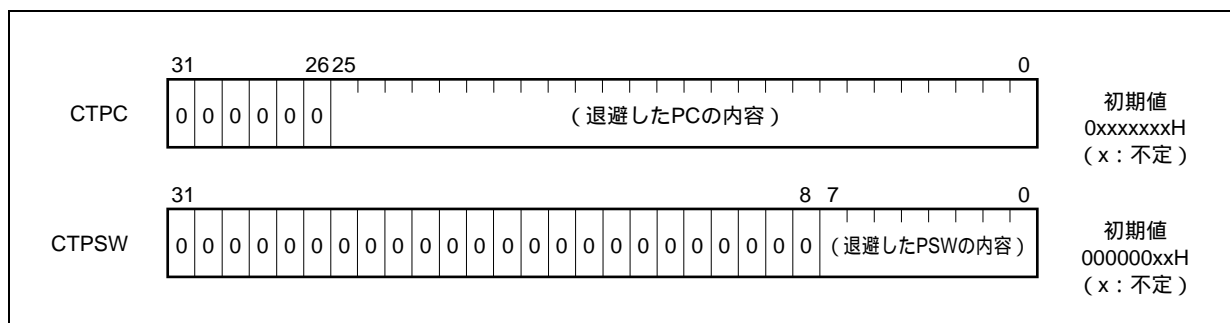
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ(PC)の内容がCTPCに、プログラム・ステータス・ワード(PSW)の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています(“0”に固定)。



(6) 例外 / デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外 / デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると,プログラム・カウンタ(PC)の内容がDBPCに,プログラム・ステータス・ワード(PSW)の内容がDBPSWに退避されます。

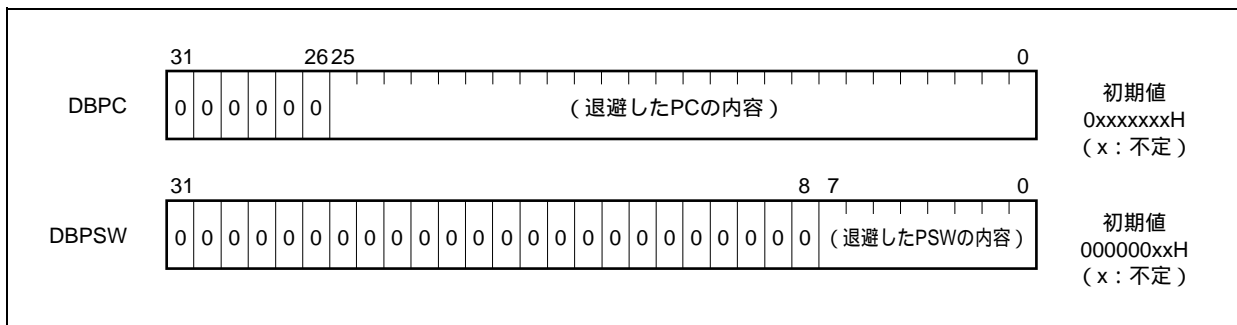
DBPCに退避される内容は,例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには,現在のPSWの内容が退避されます。

このレジスタへのリード/ライトは,DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお,DBPCのビット31-26とDBPSWのビット31-8は,将来の機能拡張のために予約されています(“0”に固定)。

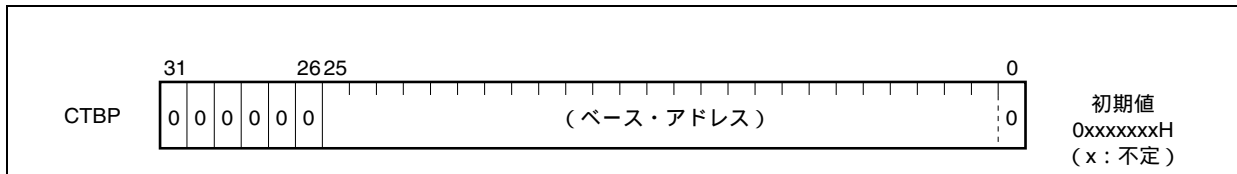
DBRET命令により,DBPCの値はPCへ,DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は,テーブル・アドレスの指定,ターゲット・アドレスの生成に使用されます(ビット0は“0”に固定)。

なお,ビット31-26は,将来の機能拡張のために予約されています(“0”に固定)。



3.3 動作モード

V850ES/IK1は次に示す動作モードを備えます。

(1) 通常動作モード

システム・リセット解除後，内蔵ROMのリセット・エントリ・アドレスに分歧し，命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードは μ PD70F3329のみ有効です。

このモードを指定すると，フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラミングが可能になります。

(a) 動作モード指定

FLMD0, FLMD1端子の状態（入力レベル）により，動作モードを指定します。

通常モード時は，リセット時にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は，フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行いますが，セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定は応用システムにおいて固定とし，動作中に変更しないでください。

FLMD0	FLMD1	動作モード
L	x	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

H：ハイ・レベル

L：ロウ・レベル

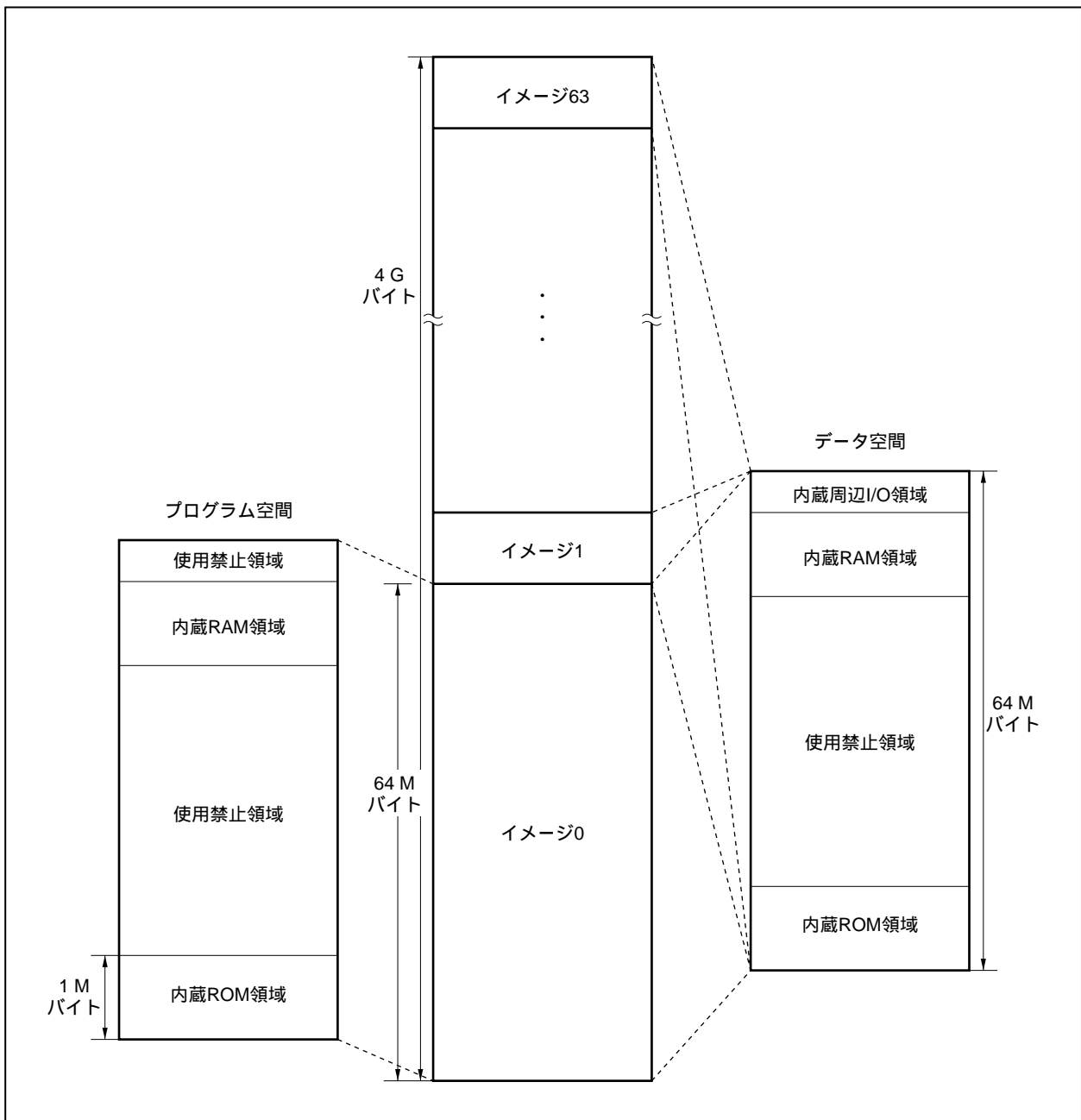
x：任意

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3 - 1 アドレス空間上のイメージ



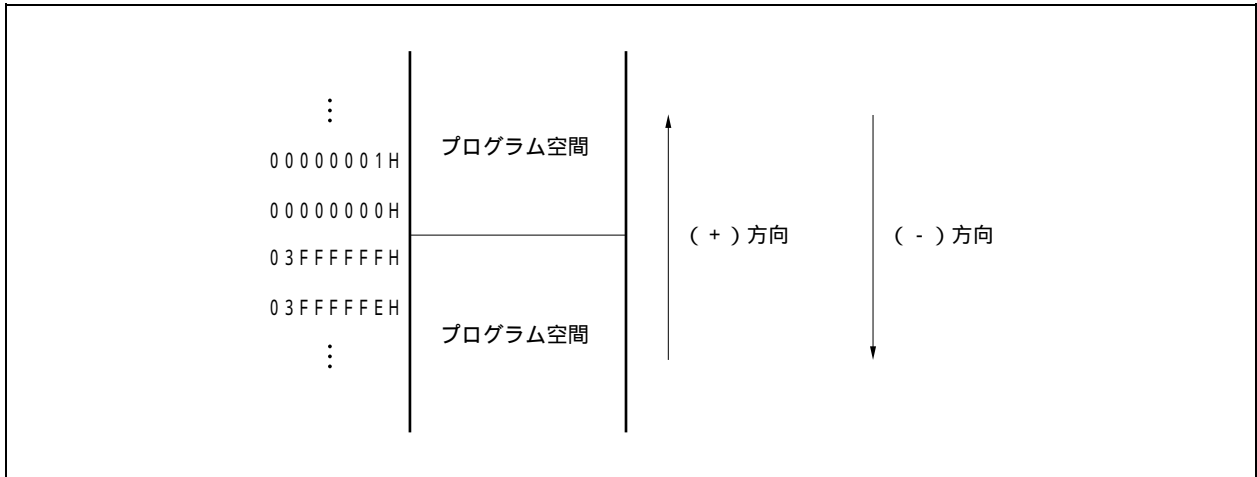
3.4.2 CPUアドレス空間のラップ・アラウンド

(1) プログラム空間

PC (プログラム・カウンタ) は32ビットのうち上位6ビットが0固定で、下位26ビットだけ有効です。分岐アドレス計算などでビット25からビット26に対するキャリーまたはボローがあっても上位6ビットはこれを無視します。

したがって、プログラム空間の上限の03FFFFFFH番地と、下限である00000000H番地は連続したアドレスとなります。このようにメモリ空間の上限と下限が連続したアドレスになることをラップ・アラウンドといいます。

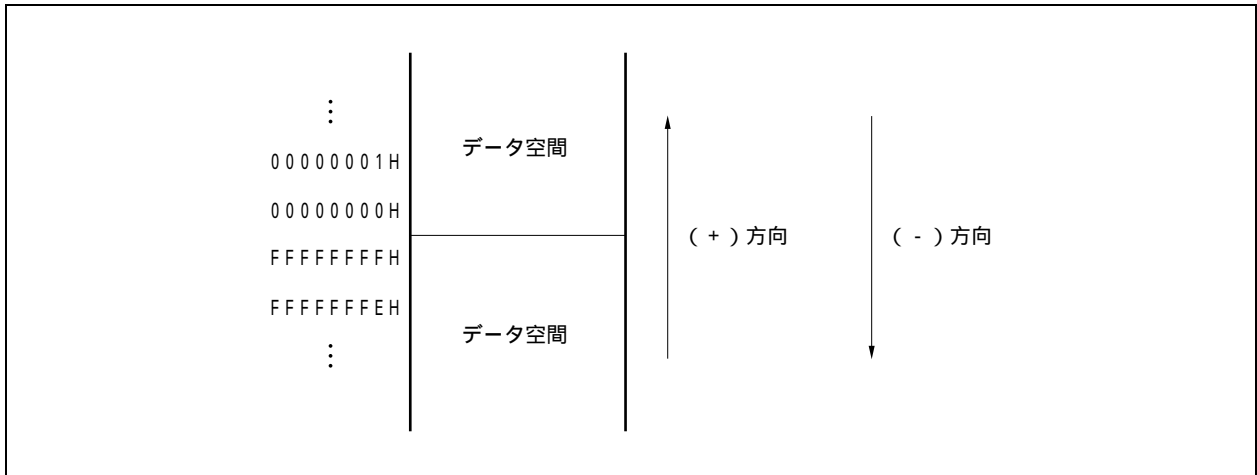
注意 03FFF000H-03FFFFFFHの4 Kバイトの領域は、内蔵周辺I/O領域のため、命令フェッチすることができません。したがって、分岐アドレス計算の結果がこの領域にかかるような操作はしないようにしてください。



(2) データ空間

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限のFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。



3.4.3 メモリ・マップ

V850ES/IK1では、次に示すように各領域を予約しています。

図3 - 2 データ・メモリ・マップ (物理アドレス)

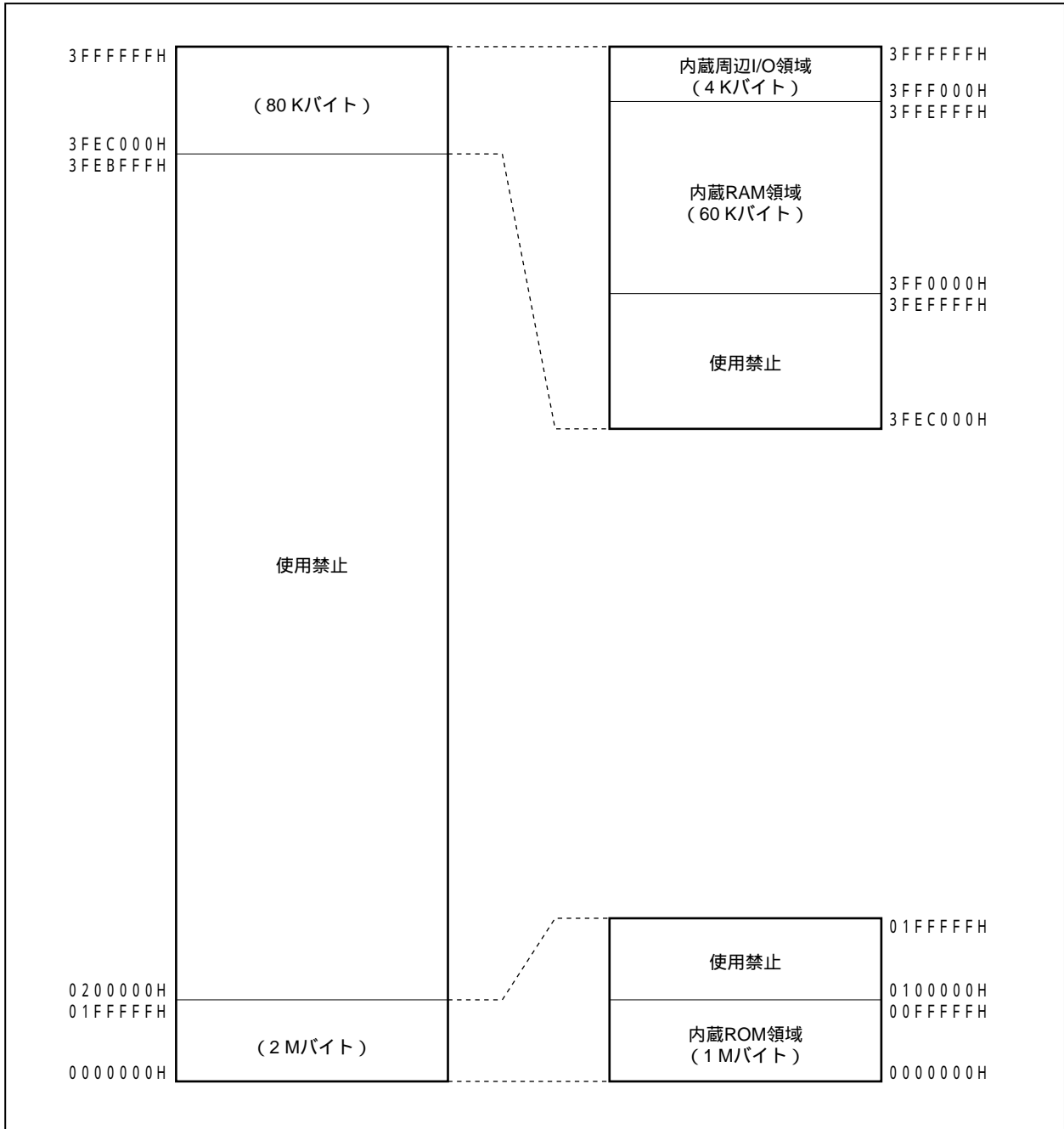
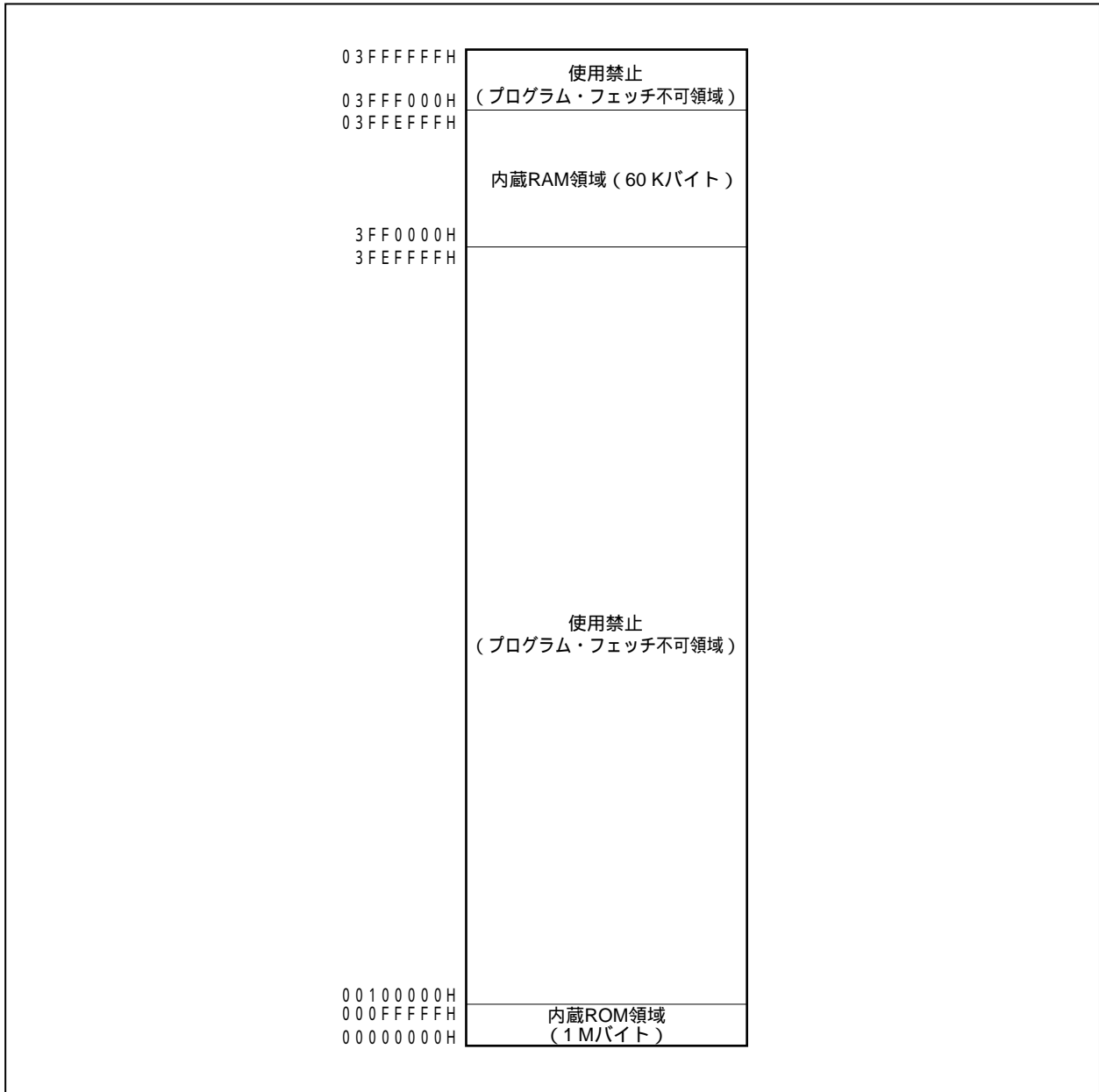


図3 - 3 プログラム・メモリ・マップ



3.4.4 領域

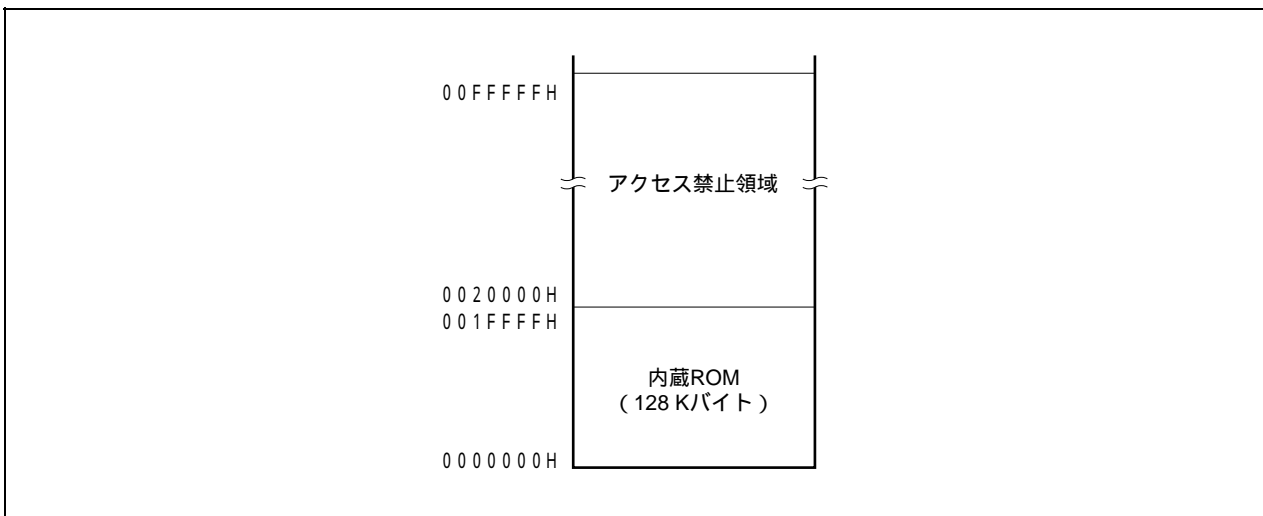
(1) 内蔵ROM領域

内蔵ROM領域は、0000000H-00FFFFFFH番地の1 Mバイトが予約されています。

(a) 内蔵ROM (128 Kバイト)

μ PD703329, 70F3329には、0000000Hから001FFFFH番地に128 Kバイト実装しています。
0020000Hから00FFFFFFH番地はアクセス禁止領域です。

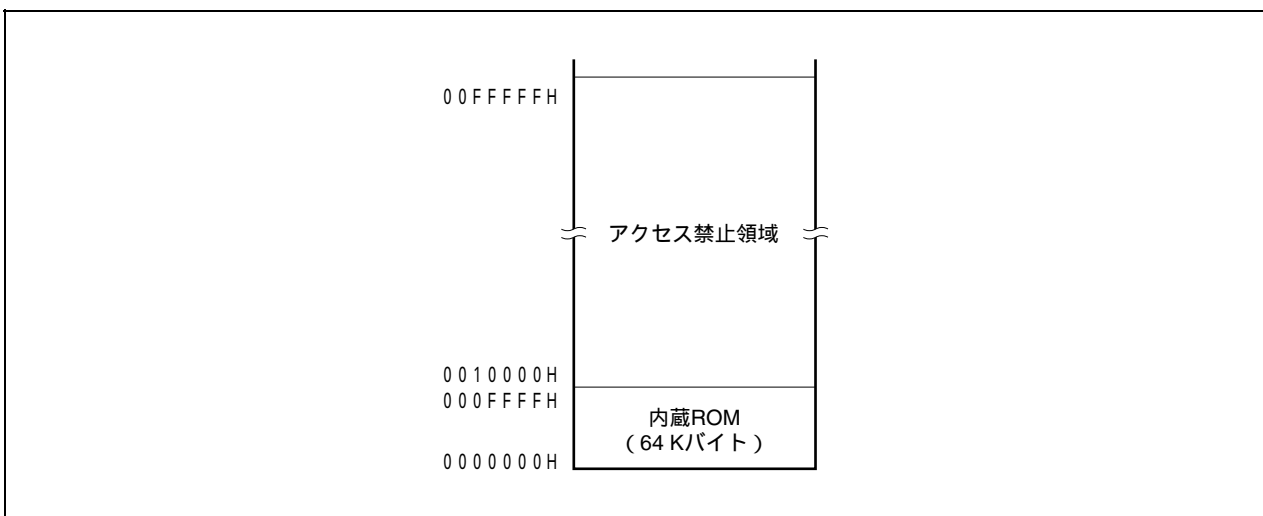
図3 - 4 内蔵ROM (128 Kバイト)



(b) 内蔵ROM (64 Kバイト)

μ PD703327には、0000000Hから000FFFFH番地に64 Kバイト実装しています。
0010000Hから00FFFFFFH番地はアクセス禁止領域です。

図3 - 5 内蔵ROM (64 Kバイト)



(2) 内蔵RAM領域

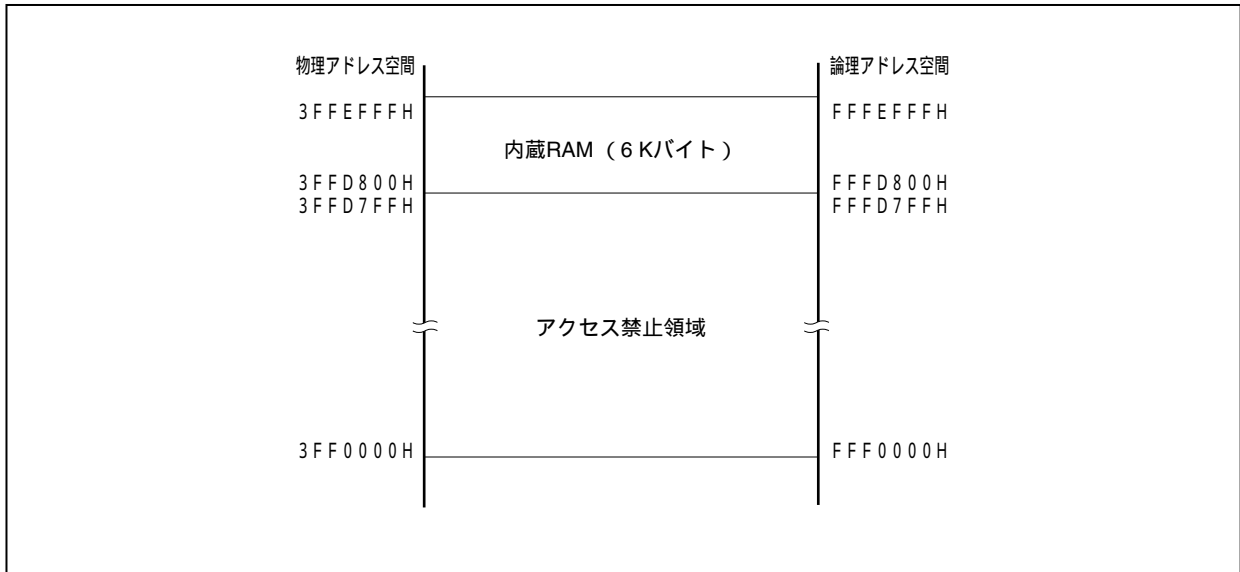
内蔵RAM領域は、3FF0000H-3FFEFFFH番地の最大60 Kバイトが予約されています。

(a) 内蔵RAM (6 Kバイト)

μ PD703329, 70F3329には、物理内蔵RAMとして3FFD800H-3FFEFFFH番地の6 Kバイトを実装しています。

3FF0000H-3FFD7FFH番地はアクセス禁止領域です。

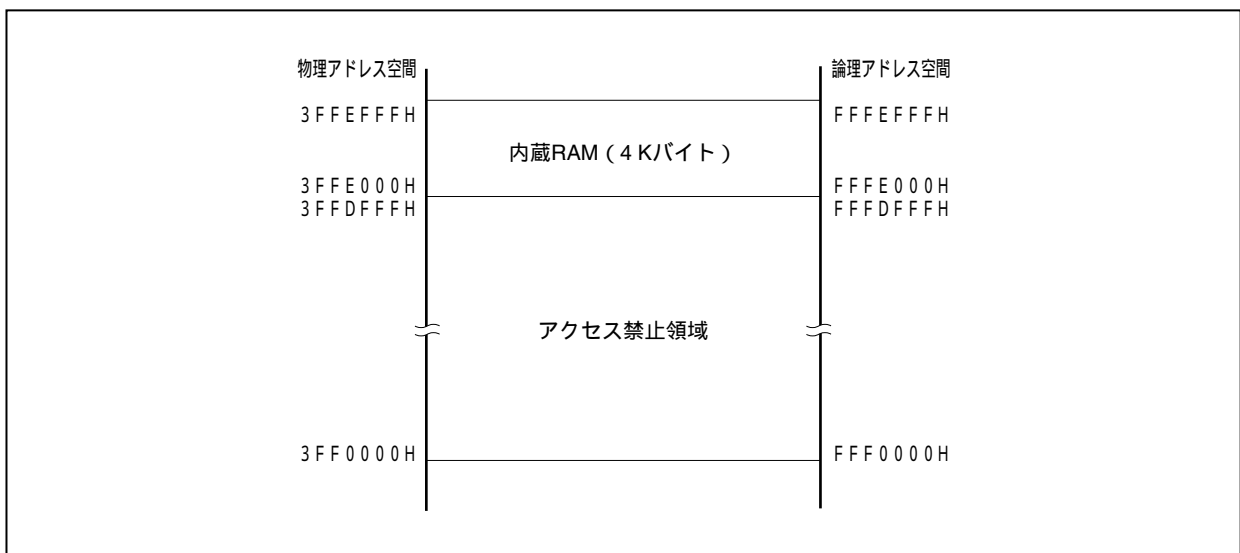
図3 - 6 内蔵RAM (6 Kバイト)



(b) 内蔵RAM (4 Kバイト)

μ PD703327には、物理内蔵RAMとして3FFE000H-3FFEFFFH番地の4 Kバイトを実装しています。3FF0000H-3FFDFFFH番地はアクセス禁止領域です。

図3 - 7 内蔵RAM (4 Kバイト)



(c) 内部メモリ・サイズ切り替えレジスタ (IMS)

IMSレジスタは、 μ PD70F3329の6 Kバイトの内蔵RAMを使って、 μ PD703327の4 Kバイトの内蔵RAM向けプログラムの動作確認を行う場合に、 μ PD70F3329と μ PD703327の内蔵RAM領域を同一にするレジスタです。

8ビット単位でライトのみ可能です。

リセットにより00Hになります。

注意1. IMSレジスタへのライトは、内蔵RAMアクセス前に行ってください。また、リセット解除後、1回のみライトができます。4 Kバイトの内蔵RAMを選択した場合、3FFD800H-3FFDFFFH番地までをアクセスすると、ライトはできず、リードするとCPUは不定値を読み出します。

2. IMSレジスタには必ず、 μ PD70F3329、703329の場合には01H、 μ PD703327の場合には00Hをライトしてください。

ただし、 μ PD70F3329 (内蔵RAM : 6 Kバイト) を使用して μ PD703327 (内蔵RAM : 4 Kバイト) 向けのプログラムの動作確認を行う場合には00Hをライトしてください。

3. CA850に付属するサンプルのスタートアップ・ルーチンには、内蔵RAM領域を0クリアするコードが含まれています。そのため、0クリア・ルーチンを実行する前にIMSレジスタの設定が必要になります。

サンプルのスタートアップ・ルーチンを使用する場合、スタートアップ・ルーチン内の__STARTラベルの直後に、下記の記述例に示す - の命令を追加してください。

なお、 の命令の「0x11」はVSWCレジスタの設定値、 の命令の「0x01」はIMSレジスタの設定値です。IMSレジスタの設定値は、必ず設定する内蔵RAMサイズに応じた値を設定してください (注意2参照)。

[記述例]

```

__START :
mov     0x11,      r13
st.b   r13,      VSWC
mov     0x01,      r12
st.b   r12,      IMS
mov     #_tp_TEXT, tp
:
:

```

} 追加

備考 パートナー製ツールを使用する場合は、注意1から注意3までの内容に相当する設定を行ってください。

また、IMSレジスタを定義するために、次に示す記述を行ってください。

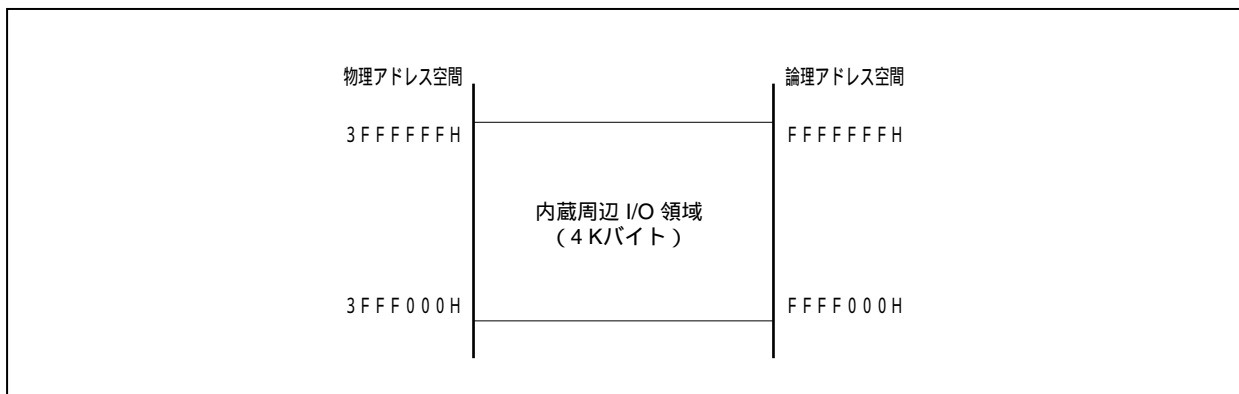
```
#define IMS (*(volatile unsigned char *)0xfffff9f0)
```



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として3FFF000H-3FFEFFFH番地の4 Kバイトを予約しています。

図3 - 8 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた内蔵周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1. レジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
- 2. バイト・アクセス可能なレジスタにハーフワード・アクセスした場合、リード時は上位8ビットが不定になり、ライト時は下位8ビット・データがレジスタに書き込まれます。
- 3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

3.4.5 アドレス空間の推奨使用方法

V850ES/IK1のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトの領域には、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC(プログラム・カウンタ)は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作(無効フェッチ)は発生しません。

RAMサイズ	アクセス番地
4 Kバイト	3FFE000H-3FFEFFFFH
6 Kバイト	3FFD800H-3FFEFFFFH

(2) データ空間

V850ES/IK1では、4 GバイトのCPUアドレス空間に64 Mバイトの物理アドレス空間が64個のイメージとして見えるため、この26ビット・アドレスの最上位ビット(ビット25)を32ビット長まで符号拡張したアドレスとして割り当てています。

(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R]命令でR = r0(ゼロ・レジスタ)とした場合、符号拡張したdisp16により、00000000H番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ(r0)はハードウェアでゼロ固定のレジスタであり、ポインタ専用に費やすレジスタは実質不要となります。

例 μPD70F3329の場合

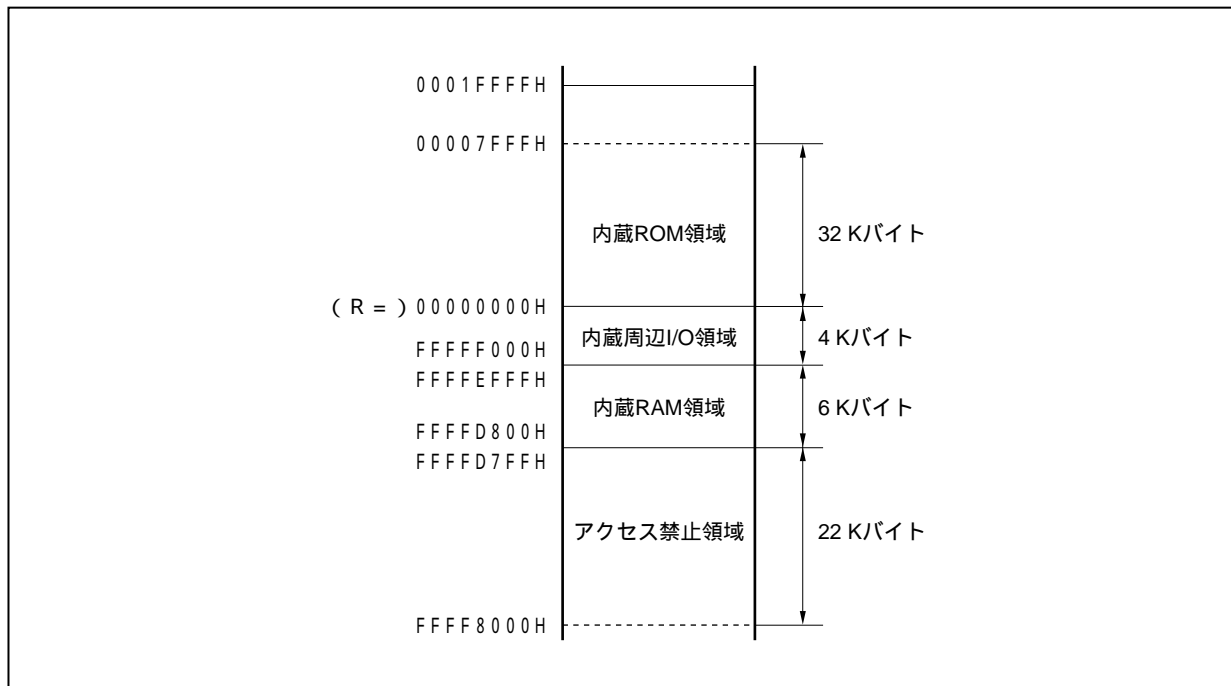
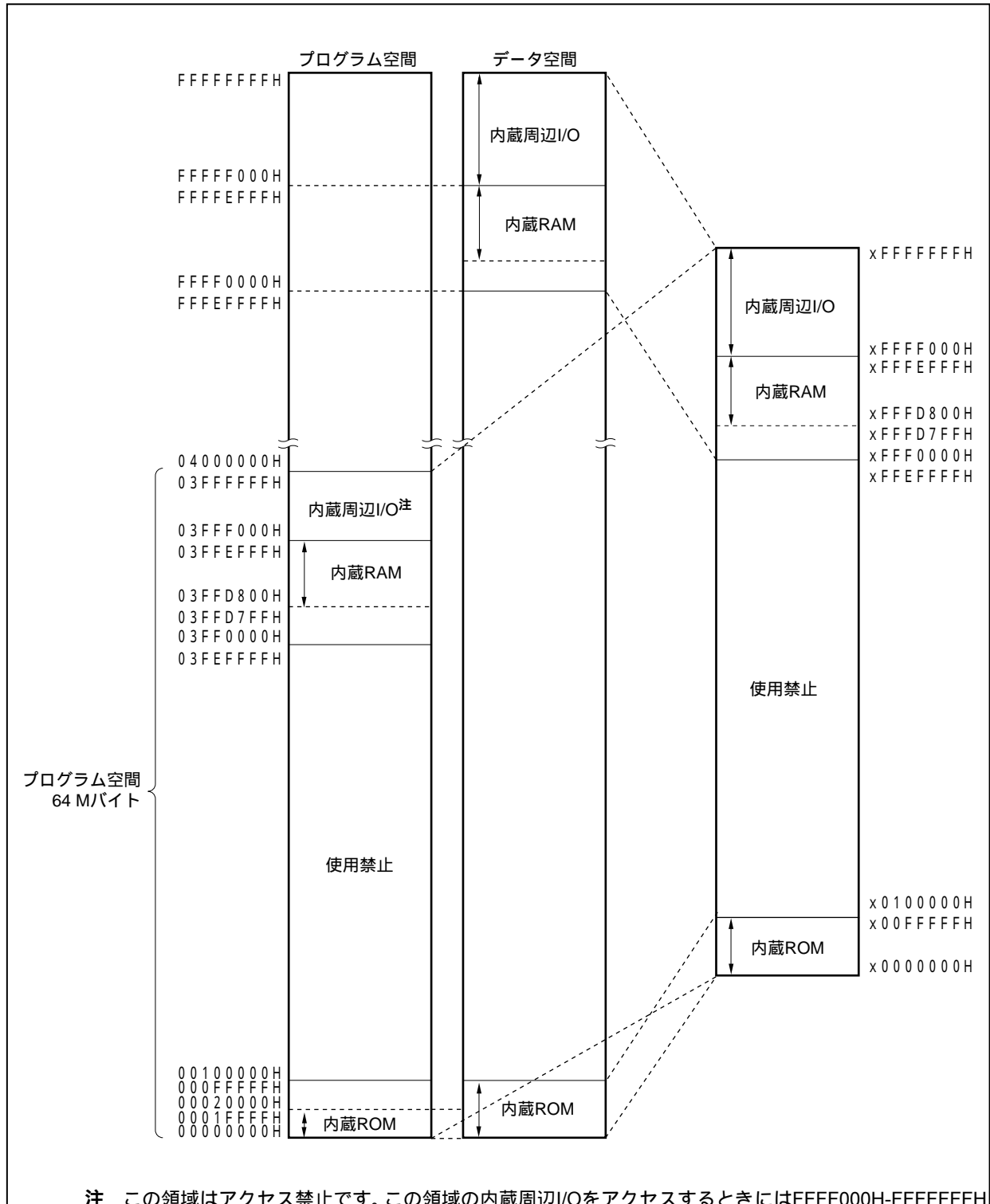


図3-9 推奨メモリ・マップ



注 この領域はアクセス禁止です。この領域の内蔵周辺I/OにアクセスするときにはFFFFFF00H-FFFFFFFH番地を指定してください。

備考1. ↓は推奨使用領域です。

2. この図はμPD70F3329の場合の推奨メモリ・マップです。

3.4.6 内蔵周辺I/Oレジスタ

(1/6)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタL	PDLL	R/W				不定
FFFFF024H	ポートDLモード・レジスタL	PMDLL					FFH
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC					77H
FFFFF100H	割り込みマスク・レジスタ0	IMR0					FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L					FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H					FFH
FFFFF102H	割り込みマスク・レジスタ1	IMR1					FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L					FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H					FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2					FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L					FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H					FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3					FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L					FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H					FFH
FFFFF110H	割り込み制御レジスタ	PIC0					47H
FFFFF112H	割り込み制御レジスタ	PIC1					47H
FFFFF114H	割り込み制御レジスタ	PIC2					47H
FFFFF116H	割り込み制御レジスタ	PIC3					47H
FFFFF118H	割り込み制御レジスタ	PIC4					47H
FFFFF11AH	割り込み制御レジスタ	PIC5					47H
FFFFF11CH	割り込み制御レジスタ	PIC6					47H
FFFFF11EH	割り込み制御レジスタ	LVIIC					47H
FFFFF124H	割り込み制御レジスタ	TQ0OVIC					47H
FFFFF126H	割り込み制御レジスタ	TQ0CCIC0					47H
FFFFF128H	割り込み制御レジスタ	TQ0CCIC1					47H
FFFFF12AH	割り込み制御レジスタ	TQ0CCIC2					47H
FFFFF12CH	割り込み制御レジスタ	TQ0CCIC3					47H
FFFFF12EH	割り込み制御レジスタ	TQ1OVIC					47H
FFFFF130H	割り込み制御レジスタ	TQ1CCIC0					47H
FFFFF132H	割り込み制御レジスタ	TQ1CCIC1					47H
FFFFF134H	割り込み制御レジスタ	TQ1CCIC2					47H
FFFFF136H	割り込み制御レジスタ	TQ1CCIC3				47H	
FFFFF148H	割り込み制御レジスタ	TP0OVIC				47H	
FFFFF14AH	割り込み制御レジスタ	TP0CCIC0				47H	
FFFFF14CH	割り込み制御レジスタ	TP0CCIC1				47H	
FFFFF14EH	割り込み制御レジスタ	TP1OVIC				47H	
FFFFF150H	割り込み制御レジスタ	TP1CCIC0				47H	
FFFFF152H	割り込み制御レジスタ	TP1CCIC1				47H	
FFFFF154H	割り込み制御レジスタ	TP2OVIC				47H	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFF156H	割り込み制御レジスタ	TP2CCIC0	R/W				47H	
FFFFFF158H	割り込み制御レジスタ	TP2CCIC1					47H	
FFFFFF15AH	割り込み制御レジスタ	TP3OVIC					47H	
FFFFFF15CH	割り込み制御レジスタ	TP3CCIC0					47H	
FFFFFF15EH	割り込み制御レジスタ	TP3CCIC1					47H	
FFFFFF168H	割り込み制御レジスタ	UA0REIC					47H	
FFFFFF16AH	割り込み制御レジスタ	UA0RIC					47H	
FFFFFF16CH	割り込み制御レジスタ	UA0TIC					47H	
FFFFFF16EH	割り込み制御レジスタ	CB0REIC					47H	
FFFFFF170H	割り込み制御レジスタ	CB0RIC					47H	
FFFFFF172H	割り込み制御レジスタ	CB0TIC					47H	
FFFFFF174H	割り込み制御レジスタ	UA1REIC					47H	
FFFFFF176H	割り込み制御レジスタ	UA1RIC					47H	
FFFFFF178H	割り込み制御レジスタ	UA1TIC					47H	
FFFFFF180H	割り込み制御レジスタ	AD0IC					47H	
FFFFFF182H	割り込み制御レジスタ	AD1IC					47H	
FFFFFF186H	割り込み制御レジスタ	TM0EQIC0				47H		
FFFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R				00H	
FFFFFF1FCH	コマンド・レジスタ	PRCMD	W				不定	
FFFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC	R/W				00H	
FFFFFF200H	A/Dコンバータ0モード・レジスタ0	ADA0M0					00H	
FFFFFF201H	A/Dコンバータ0モード・レジスタ1	ADA0M1					00H	
FFFFFF202H	A/Dコンバータ0チャンネル指定レジスタ	ADA0S					00H	
FFFFFF203H	A/Dコンバータ0モード・レジスタ2	ADA0M2					00H	
FFFFFF210H	A/D0変換結果レジスタ0	ADA0CR0		R				不定
FFFFFF211H	A/D0変換結果レジスタ0H	ADA0CR0H						不定
FFFFFF212H	A/D0変換結果レジスタ1	ADA0CR1						不定
FFFFFF213H	A/D0変換結果レジスタ1H	ADA0CR1H					不定	
FFFFFF214H	A/D0変換結果レジスタ2	ADA0CR2					不定	
FFFFFF215H	A/D0変換結果レジスタ2H	ADA0CR2H					不定	
FFFFFF216H	A/D0変換結果レジスタ3	ADA0CR3					不定	
FFFFFF217H	A/D0変換結果レジスタ3H	ADA0CR3H				不定		
FFFFFF220H	A/Dコンバータ1モード・レジスタ0	ADA1M0	R/W				00H	
FFFFFF221H	A/Dコンバータ1モード・レジスタ1	ADA1M1					00H	
FFFFFF222H	A/Dコンバータ1チャンネル指定レジスタ	ADA1S					00H	
FFFFFF223H	A/Dコンバータ1モード・レジスタ2	ADA1M2					00H	
FFFFFF230H	A/D1変換結果レジスタ0	ADA1CR0	R				不定	
FFFFFF231H	A/D1変換結果レジスタ0H	ADA1CR0H					不定	
FFFFFF232H	A/D1変換結果レジスタ1	ADA1CR1					不定	
FFFFFF233H	A/D1変換結果レジスタ1H	ADA1CR1H					不定	
FFFFFF234H	A/D1変換結果レジスタ2	ADA1CR2					不定	
FFFFFF235H	A/D1変換結果レジスタ2H	ADA1CR2H					不定	

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF236H	A/D1変換結果レジスタ3	ADA1CR3	R				不定
FFFFFF237H	A/D1変換結果レジスタ3H	ADA1CR3H					不定
FFFFFF310H	外部割り込みノイズ除去制御レジスタ	INTPNRC	R/W				00H
FFFFFF400H	ポート0レジスタ	P0					不定
FFFFFF402H	ポート1レジスタ	P1					不定
FFFFFF404H	ポート2レジスタ	P2					不定
FFFFFF406H	ポート3レジスタ	P3					不定
FFFFFF408H	ポート4レジスタ	P4					不定
FFFFFF420H	ポート0モード・レジスタ	PM0					FFH
FFFFFF422H	ポート1モード・レジスタ	PM1					FFH
FFFFFF424H	ポート2モード・レジスタ	PM2					FFH
FFFFFF426H	ポート3モード・レジスタ	PM3					FFH
FFFFFF428H	ポート4モード・レジスタ	PM4					FFH
FFFFFF440H	ポート0モード・コントロール・レジスタ	PMC0					00H
FFFFFF442H	ポート1モード・コントロール・レジスタ	PMC1					00H
FFFFFF444H	ポート2モード・コントロール・レジスタ	PMC2					00H
FFFFFF446H	ポート3モード・コントロール・レジスタ	PMC3					00H
FFFFFF448H	ポート4モード・コントロール・レジスタ	PMC4					00H
FFFFFF462H	ポート1ファンクション・コントロール・レジスタ	PFC1					00H
FFFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3					00H
FFFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4					00H
FFFFFF540H	TMM0制御レジスタ0	TM0CTL0					00H
FFFFFF544H	TMM0コンペア・レジスタ0	TM0CMP0					0000H
FFFFFF5C0H	TMQ0制御レジスタ0	TQ0CTL0					00H
FFFFFF5C1H	TMQ0制御レジスタ1	TQ0CTL1					00H
FFFFFF5C2H	TMQ0I/O制御レジスタ0	TQ0IOC0					00H
FFFFFF5C3H	TMQ0I/O制御レジスタ1	TQ0IOC1					00H
FFFFFF5C4H	TMQ0I/O制御レジスタ2	TQ0IOC2					00H
FFFFFF5C5H	TMQ0オプション・レジスタ0	TQ0OPT0					00H
FFFFFF5C6H	TMQ0キャプチャ/コンペア・レジスタ0	TQ0CCR0					0000H
FFFFFF5C8H	TMQ0キャプチャ/コンペア・レジスタ1	TQ0CCR1					0000H
FFFFFF5CAH	TMQ0キャプチャ/コンペア・レジスタ2	TQ0CCR2					0000H
FFFFFF5CCH	TMQ0キャプチャ/コンペア・レジスタ3	TQ0CCR3					0000H
FFFFFF5CEH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R				0000H
FFFFFF5F0H	ハイ・インピーダンス出力制御レジスタ00	HZA0CTL0	R/W				00H
FFFFFF5F1H	ハイ・インピーダンス出力制御レジスタ01	HZA0CTL1					00H
FFFFFF600H	TMQ1制御レジスタ0	TQ1CTL0					00H
FFFFFF601H	TMQ1制御レジスタ1	TQ1CTL1					00H
FFFFFF602H	TMQ1I/O制御レジスタ0	TQ1IOC0					00H
FFFFFF605H	TMQ1オプション・レジスタ0	TQ1OPT0					00H
FFFFFF606H	TMQ1キャプチャ/コンペア・レジスタ0	TQ1CCR0					0000H
FFFFFF608H	TMQ1キャプチャ/コンペア・レジスタ1	TQ1CCR1					0000H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF60AH	TMQ1キャプチャ/コンペア・レジスタ2	TQ1CCR2	R/W				0000H
FFFFFF60CH	TMQ1キャプチャ/コンペア・レジスタ3	TQ1CCR3					0000H
FFFFFF60EH	TMQ1カウンタ・リード・バッファ・レジスタ	TQ1CNT	R				0000H
FFFFFF620H	TMQ1オプション・レジスタ1	TQ1OPT1	R/W				00H
FFFFFF621H	TMQ1オプション・レジスタ2	TQ1OPT2					00H
FFFFFF622H	TMQ1I/O制御レジスタ3	TQ1IOC3					A8H
FFFFFF623H	TMQ1オプション・レジスタ3	TQ1OPT3					00H
FFFFFF624H	TMQ1デッド・タイム・コンペア・レジスタ	TQ1DTC					0000H
FFFFFF630H	ハイ・インピーダンス出力制御レジスタ10	HZA1CTL0					00H
FFFFFF631H	ハイ・インピーダンス出力制御レジスタ11	HZA1CTL1					00H
FFFFFF640H	TMP0制御レジスタ0	TP0CTL0					00H
FFFFFF641H	TMP0制御レジスタ1	TP0CTL1					00H
FFFFFF642H	TMP0I/O制御レジスタ0	TP0IOC0					00H
FFFFFF643H	TMP0I/O制御レジスタ1	TP0IOC1					00H
FFFFFF644H	TMP0I/O制御レジスタ2	TP0IOC2					00H
FFFFFF645H	TMP0オプション・レジスタ0	TP0OPT0					00H
FFFFFF646H	TMP0キャプチャ/コンペア・レジスタ0	TP0CCR0					0000H
FFFFFF648H	TMP0キャプチャ/コンペア・レジスタ1	TP0CCR1					0000H
FFFFFF64AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R				0000H
FFFFFF660H	TMP1制御レジスタ0	TP1CTL0	R/W				00H
FFFFFF661H	TMP1制御レジスタ1	TP1CTL1					00H
FFFFFF665H	TMP1オプション・レジスタ0	TP1OPT0					00H
FFFFFF666H	TMP1キャプチャ/コンペア・レジスタ0	TP1CCR0					0000H
FFFFFF668H	TMP1キャプチャ/コンペア・レジスタ1	TP1CCR1					0000H
FFFFFF66AH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R				0000H
FFFFFF680H	TMP2制御レジスタ0	TP2CTL0	R/W				00H
FFFFFF681H	TMP2制御レジスタ1	TP2CTL1					00H
FFFFFF682H	TMP2I/O制御レジスタ0	TP2IOC0					00H
FFFFFF683H	TMP2I/O制御レジスタ1	TP2IOC1					00H
FFFFFF684H	TMP2I/O制御レジスタ2	TP2IOC2					00H
FFFFFF685H	TMP2オプション・レジスタ0	TP2OPT0					00H
FFFFFF686H	TMP2キャプチャ/コンペア・レジスタ0	TP2CCR0					0000H
FFFFFF688H	TMP2キャプチャ/コンペア・レジスタ1	TP2CCR1					0000H
FFFFFF68AH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R				0000H
FFFFFF6A0H	TMP3制御レジスタ0	TP3CTL0	R/W				00H
FFFFFF6A1H	TMP3制御レジスタ1	TP3CTL1					00H
FFFFFF6A2H	TMP3I/O制御レジスタ0	TP3IOC0					00H
FFFFFF6A5H	TMP3オプション・レジスタ0	TP3OPT0					00H
FFFFFF6A6H	TMP3キャプチャ/コンペア・レジスタ0	TP3CCR0					0000H
FFFFFF6A8H	TMP3キャプチャ/コンペア・レジスタ1	TP3CCR1					0000H
FFFFFF6AAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R				0000H
FFFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W				06H
FFFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					67H

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット				初期値
				1	8	16	32	
FFFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W					1AH
FFFFFF702H	ポート1ファンクション・コントロール拡張レジスタ	PFCE1						00H
FFFFFF802H	システム・ステータス・レジスタ	SYS						00H
FFFFFF820H	パワー・セーブ・モード・レジスタ	PSMR						00H
FFFFFF822H	クロック・コントロール・レジスタ	CKC						0AH
FFFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC						03H
FFFFFF82CH	PLLコントロール・レジスタ	PLLCTL						01H
FFFFFF840H	コレクション・アドレス・レジスタ0	CORAD0						00000000H
FFFFFF840H	コレクション・アドレス・レジスタ0L	CORAD0L						0000H
FFFFFF842H	コレクション・アドレス・レジスタ0H	CORAD0H						0000H
FFFFFF844H	コレクション・アドレス・レジスタ1	CORAD1						00000000H
FFFFFF844H	コレクション・アドレス・レジスタ1L	CORAD1L						0000H
FFFFFF846H	コレクション・アドレス・レジスタ1H	CORAD1H						0000H
FFFFFF848H	コレクション・アドレス・レジスタ2	CORAD2						00000000H
FFFFFF848H	コレクション・アドレス・レジスタ2L	CORAD2L						0000H
FFFFFF84AH	コレクション・アドレス・レジスタ2H	CORAD2H						0000H
FFFFFF84CH	コレクション・アドレス・レジスタ3	CORAD3						00000000H
FFFFFF84CH	コレクション・アドレス・レジスタ3L	CORAD3L						0000H
FFFFFF84EH	コレクション・アドレス・レジスタ3H	CORAD3H						0000H
FFFFFF870H	クロック・モニタ・モード・レジスタ	CLM						00H
FFFFFF880H	コレクション・コントロール・レジスタ	CORCN						00H
FFFFFF888H	リセット要因フラグ・レジスタ	RESF						00H/10H/11H
FFFFFF890H	低電圧検出レジスタ	LVIM						00H/82H
FFFFFF891H	低電圧検出レベル選択レジスタ	LVIS						00H
FFFFFF892H	内蔵RAMデータ・ステータス・レジスタ	RAMS						01H
FFFFFF8A8H	リセット要因フラグ・レジスタ2	RESF2		R				00H/01H/10H/ 11H
FFFFFF8AAH	システム・ステータス・レジスタ2	SYS2		R/W				00H
FFFFFF9ECH	コマンド・レジスタ2	PRCMD2		W				不定
FFFFFF9F0H	内部メモリ・サイズ切り換えレジスタ	IMS					00H	
FFFFFFA00H	UARTA0制御レジスタ0	UA0CTL0	R/W					10H
FFFFFFA01H	UARTA0制御レジスタ1	UA0CTL1						00H
FFFFFFA02H	UARTA0制御レジスタ2	UA0CTL2						FFH
FFFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0						14H
FFFFFFA04H	UARTA0状態レジスタ	UA0STR					00H	
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R				FFH	
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W					FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0						10H
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1						00H
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2						FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0						14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR						00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX		R				FFH

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値	
				1	8	16		
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W				FFH	
FFFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0					00H	
FFFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0					00H	
FFFFFFC40H	ブルアップ抵抗オプション・レジスタ0	PU0					00H	
FFFFFFC42H	ブルアップ抵抗オプション・レジスタ1	PU1					00H	
FFFFFFC44H	ブルアップ抵抗オプション・レジスタ2	PU2					00H	
FFFFFFC46H	ブルアップ抵抗オプション・レジスタ3	PU3					00H	
FFFFFFC48H	ブルアップ抵抗オプション・レジスタ4	PU4					00H	
FFFFFFD00H	CSIB0制御レジスタ0	CB0CTL0					01H	
FFFFFFD01H	CSIB0制御レジスタ1	CB0CTL1					00H	
FFFFFFD02H	CSIB0制御レジスタ2	CB0CTL2					00H	
FFFFFFD03H	CSIB0状態レジスタ	CB0STR					00H	
FFFFFFD04H	CSIB0受信データ・レジスタ	CB0RX		R				0000H
FFFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL						00H
FFFFFFD06H	CSIB0送信データ・レジスタ	CB0TX	R/W				0000H	
FFFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL					00H	
FFFFFFF44H	ブルアップ抵抗オプション・レジスタDLL	PUDLL					00H	

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。

V850ES/IK1には、次の2種類7つの特定レジスタがあります。

【SYS.PRERRビットにエラー報告対象となる特定レジスタ】

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)

注意 この5つの特定レジスタへの書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

【SYS2.PRERR2ビットにエラー報告対象となる特定レジスタ】

- ・低電圧検出レジスタ (LVIM)
- ・内蔵RAMデータ・ステータス・レジスタ (RAMS)

注意 この2つの特定レジスタへの書き込みをする場合、コマンド・レジスタはPRCMD2レジスタを使用してください。

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、コマンド・レジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はシステム・ステータス・レジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。

コマンド・レジスタに で用意したデータを書き込む。

特定レジスタに設定データを書き込む（次の命令で行う）。

- ・ストア命令（ST/SST命令）
- ・ビット操作命令（SET1/CLR1/NOT1命令）

（ - NOP命令を挿入する（5命令）。）[※]

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```
ST.B r11, PSMR [ r0 ] ;PSMRレジスタ設定 (IDLE, STOPモードの設定)
```

```
MOV 0x02, r10
```

```
ST.B r10, PRCMD [ r0 ] ;PRCMDレジスタ書き込み
```

```
ST.B r10, PSC [ r0 ] ;PSCレジスタ設定
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

```
NOP※ ;ダミー命令
```

(next instruction)

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注 IDLE, STOPモードに移行する場合（PSC.STBビット = 1）には、直後にNOP命令を5命令以上挿入する必要があります。

- 注意1.** コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記 `MOV` を連続したストア命令で行うことを前提としているためです。 `MOV` の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。
- 2.** コマンド・レジスタへ書き込むデータはダミーですが、ストア命令により特定レジスタへの設定（例 `ST.B`）で使用する汎用レジスタと同じレジスタをコマンド・レジスタ書き込み（例 `MOV`）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。また、ビット操作命令により特定レジスタへの設定（例 `CLR1`）の場合の例を次に示します。

```
CLR1 0, RESF [ r0 ]
```

(2) コマンド・レジスタ

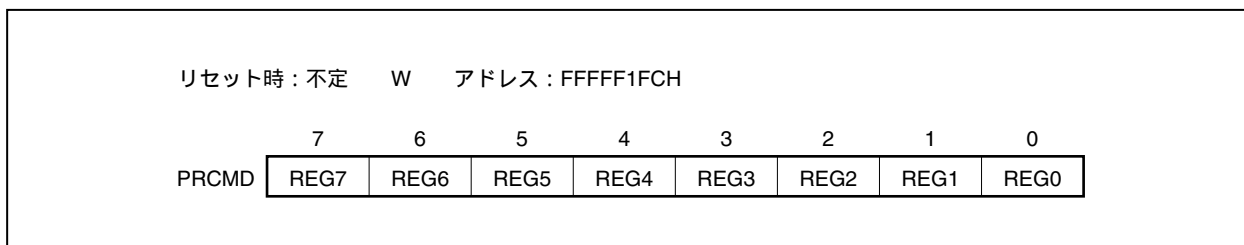
プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。このレジスタは、特定レジスタによりPRCMD, PRCMD2の2つのレジスタがあります。あらかじめ、コマンド・レジスタに対して書き込み動作を行ったあとの最初の特定レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

(a) コマンド・レジスタ (PRCMD)

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

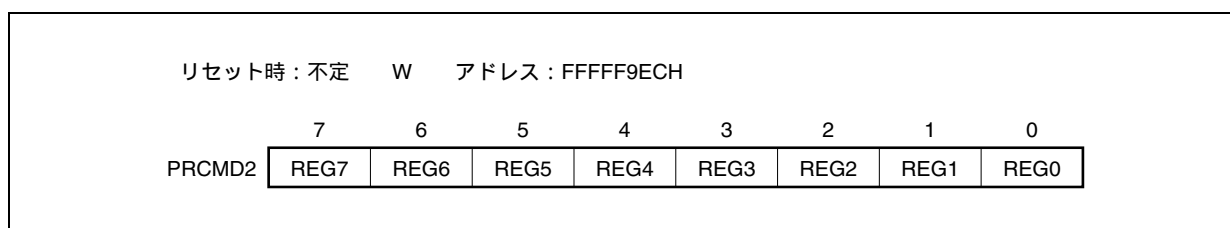
注意 PRCMDレジスタによって書き込み対象となる特定レジスタは、PSC, CKC, PCC, CLM, RESFレジスタです。

**(b) コマンド・レジスタ2 (PRCMD2)**

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

注意 PRCMD2レジスタによって書き込み対象となる特定レジスタは、LVIM, RAMSレジスタです。



(3) システム・ステータス・レジスタ

システム全体の動作状態を示すステータス・フラグが割り付けられています。このレジスタは特定レジスタによりSYS, SYS2の2つのレジスタがあります。

(a) システム・ステータス・レジスタ (SYS)

PRCMDレジスタへのアクセスを含む正しいシーケンスで書き込みをしなかった場合に、対象レジスタへの書き込みが行われず、プロテクション・エラーが発生し、PRERRフラグがセットされます。CPUからの命令により“0”をライトすることでクリアされます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF802H							
	7	6	5	4	3	2	1	①								
SYS	0	0	0	0	0	0	0	PRERR								
PRERR	プロテクション・エラーの検出															
0	プロテクション・エラーは発生していない															
1	プロテクション・エラーが発生している															

(b) システム・ステータス・レジスタ2 (SYS2)

PRCMD2レジスタへのアクセスを含む正しいシーケンスで書き込みをしなかった場合に、対象レジスタへの書き込みが行われず、プロテクション・エラーが発生し、PRERR2フラグがセットされます。CPUからの命令により“0”をライトすることでクリアされます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H								R/W	アドレス：FFFFFF8AAH							
	7	6	5	4	3	2	1	①								
SYS2	0	0	0	0	0	0	0	PRERR2								
PRERR2	プロテクション・エラーの検出															
0	プロテクション・エラーは発生していない															
1	プロテクション・エラーが発生している															

PRERRフラグの動作条件を次に示します。PRERR2フラグの動作条件については、以降の説明でPRCMDレジスタをPRCMD2レジスタに、SYSレジスタをSYS2レジスタに読み替えてください。

(i) セット条件 (PRERRフラグ = 1)

- ・ PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき (3.4.7(1) 特定レジスタへのデータ設定で示す を行わずに を行なったとき)。
- ・ PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作 (ビット操作命令を含む) を行なったとき (3.4.7(1) 特定レジスタへのデータ設定で示す が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) など (内蔵RAMへのアクセスなど) を行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(ii) クリア条件 (PRERRフラグ = 0)

- ・ PRERRフラグに0を書き込んだとき。
- ・ システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 システム・ウエイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウエイトを制御するレジスタです。

V850ES CPUコアの内蔵周辺I/Oレジスタへのアクセスは基本的に3クロックですが、V850ES/IK1ではその3クロックに加えてウエイトが必要です。VSWCレジスタに11H (ウエイトを2クロック設定) を設定してください。

8ビット単位でリード/ライト可能です (アドレス: FFFFF06EH, 初期値: 77H)。

CPUクロック周波数 (f _{CPU})	VSWCの設定値
312.5 kHz f _{CPU} 32 MHz	11

注意 V850ES/IK1を使用する際には、必ず最初にVSWCレジスタを設定してください。
VSWCレジスタを設定後、必要に応じてその他の各レジスタを設定してください。

備考 内蔵周辺機能の状態を示すステータス・フラグを含んだレジスタ (STATUS1nレジスタなど) やタイマのカウント値を示すレジスタなどへのアクセスにおいてフラグやカウント値の変化タイミングとレジスタ・アクセス・タイミングが重なった場合、レジスタ・アクセスへのリトライ動作が発生します。このため、通常より内蔵周辺I/Oレジスタへのアクセスに時間がかかる場合があります。

3.4.9 注意事項

フラッシュ・メモリ内蔵品において、内蔵RAMのサイズを4 Kバイトに設定する場合は、次に示すどちらかの対応を行ってください。

(1) DF703327 デバイス・ファイルを使用してコンパイルする。

(2) リンク・ディレクティブ・ファイル内のSIDATAラベル, DATAラベルの直後のアドレスの記述を、下記の記述例のように修正する。

[記述例]

SIDATA	: !LOAD ?RW V0fffe000	V0fffe000は内蔵RAMの先頭アドレス
	:	
	:	
DATA	: !LOAD ?RW V0fffe100	V0fffe100は内蔵RAMの先頭アドレス+100番地

備考 パートナー製ツール使用の場合は、リンク・ディレクティブ・ファイルに相当するファイル内で内蔵RAMの使用領域がFFFE000H-FFFEFFFHの領域を越えないように定義を行ってください。

第4章 ポート機能

4.1 特 徴

入出力ポート：39本

1ビット単位で入力データのリード / 出力データのライトが可能

1ビット単位で内蔵プルアップ抵抗の接続指定が可能（ポート0-4, DLのみ）

ただし，ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に内蔵プルアップ抵抗の接続が可能です。さらに，兼用機能時に出力端子であるTOP21, TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31, TOQH01-TOQH03端子は，TOP2OFF, TOQ1OFF, TOP3OFF, TOQH0OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に，内蔵プルアップ抵抗の接続が可能です。

4.2 ポートの基本構成

V850ES/IK1は，ポート0-4, DLの合計39本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4 - 1 ポートの構成図

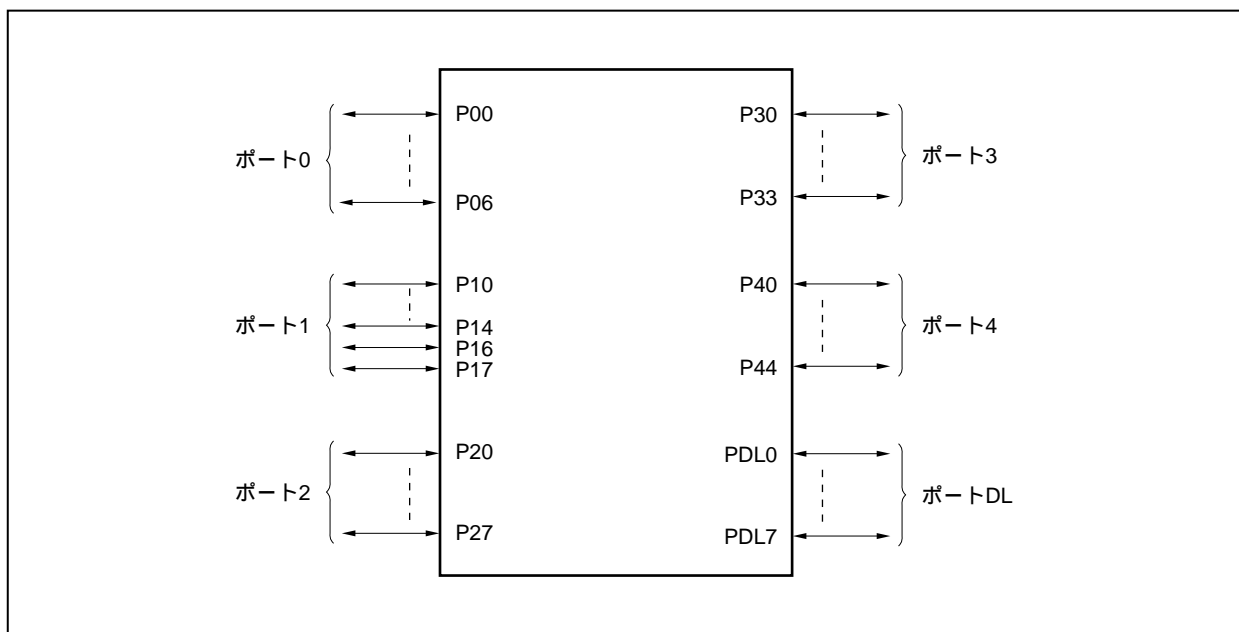


表4 - 1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{DD0} , AV _{DD1}	ANI00-ANI03, ANI10-ANI13
EV _{DD}	ポート0-4, DL, RESET

4.3 ポートの構成

表4-2 ポートの構成

項目	構成
制御レジスタ	ポートnレジスタ (Pn : n = 0-4, DLL) ポートnモード・レジスタ (PMn : n = 0-4, DLL) ポートnモード・コントロール・レジスタ (PMcn : n = 0-4) ポートnファンクション・コントロール・レジスタ (PFCn : n = 1, 3, 4) ポート1ファンクション・コントロール拡張レジスタ (PFCE1) プルアップ抵抗オプション・レジスタ (PUn : n = 0-4, DLL)
ポート	入出力 : 39本
プルアップ抵抗	ソフトウェア制御 : 39本

(1) ポートnレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位でリード/ライト可能です。

リセット時 : 不定		R/W						
Pn	7	6	5	4	3	2	1	0
	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
Pnm	出力データの制御 (出力モード時)							
0	0を出力							
1	1を出力							

PMcnレジスタの設定によらず、Pnレジスタへの書き込みや読み出しは次のようになります。

表4-3 Pnレジスタへの書き込み/読み出しについて

PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
出力モード (PMnm = 0)	出力ラッチに対して書き込みます ^{注1} 。 ポート・モード (PMcn = 0) の場合、出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します ^{注2} 。
入力モード (PMnm = 1)	出力ラッチに対して書き込みます。 端子の状態には影響ありません ^{注1} 。	端子状態を読み出します ^{注3} 。

- 注1. 出力ラッチに書き込まれた値は、再度出力ラッチに値を書き込まれるまで保持されます。
2. 兼用機能時に、PMnレジスタが出力モードの場合もPnレジスタの値を読み出します。
3. 兼用機能時に、PMnレジスタが入力モードの場合、兼用機能が入力か出力かにかかわらず、そのときの端子状態を読み出します。

(2) ポートnモード・レジスタ (PMn)

ポートの入力モード/出力モードを指定します。

PMnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : FFH R/W							
7	6	5	4	3	2	1	0
PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御						
0	出力モード						
1	入力モード						

(3) ポートnモード・コントロール・レジスタ (PMcn)

ポート・モード/兼用機能を指定します。

PMcnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時 : 00H R/W							
7	6	5	4	3	2	1	0
PMcn7	PMcn6	PMcn5	PMcn4	PMcn3	PMcn2	PMcn1	PMcn0
PMcnm	動作モードの指定						
0	ポート・モード						
1	兼用機能						

(4) ポートnファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポートnファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) プルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

プルアップ抵抗オプション・レジスタの各ビットは、それぞれポートnの端子1本ずつに対応しており、1ビット単位で指定可能です。

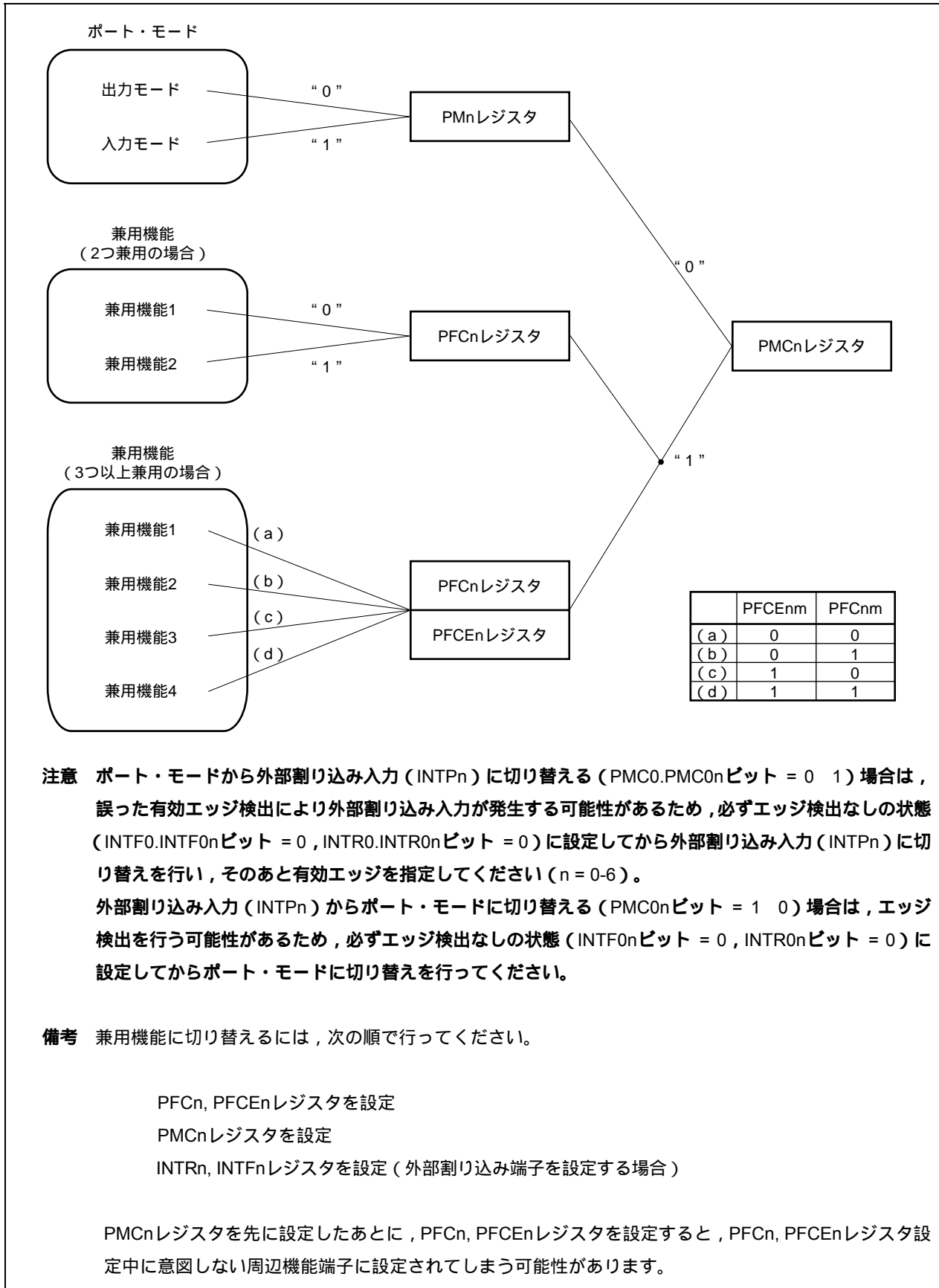
リセット時 : 00H R/W								
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

PUnm	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-2 各レジスタの設定と端子の機能



注意 ポート・モードから外部割り込み入力 (INTPn) に切り替える (PMC0.PMC0nビット = 0 1) 場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、必ずエッジ検出なしの状態 (INTF0.INTF0nビット = 0, INTR0.INTR0nビット = 0) に設定してから外部割り込み入力 (INTPn) に切り替えを行い、そのあと有効エッジを指定してください (n = 0-6)。

外部割り込み入力 (INTPn) からポート・モードに切り替える (PMC0nビット = 1 0) 場合は、エッジ検出を行う可能性があるため、必ずエッジ検出なしの状態 (INTF0nビット = 0, INTR0nビット = 0) に設定してからポート・モードに切り替えを行ってください。

備考 兼用機能に切り替えるには、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTRn, INTFnレジスタを設定 (外部割り込み端子を設定する場合)

PMCnレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できます。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

端子名	ピン番号	兼用端子名	入出力	プルアップ ^{注1}
P00 ^{注2}	17	INTP0/TOQH0OFF ^{注3}	入力	あり
P01 ^{注2}	16	INTP1/TOQ1OFF ^{注3}	入力	
P02 ^{注2}	15	INTP2/TOP2OFF ^{注3}	入力	
P03 ^{注2}	14	INTP3/TOP3OFF ^{注3}	入力	
P04 ^{注2}	13	INTP4/ADTRG0 ^{注3}	入力	
P05 ^{注2}	12	INTP5/ADTRG1 ^{注3}	入力	
P06 ^{注2}	11	INTP6	入力	

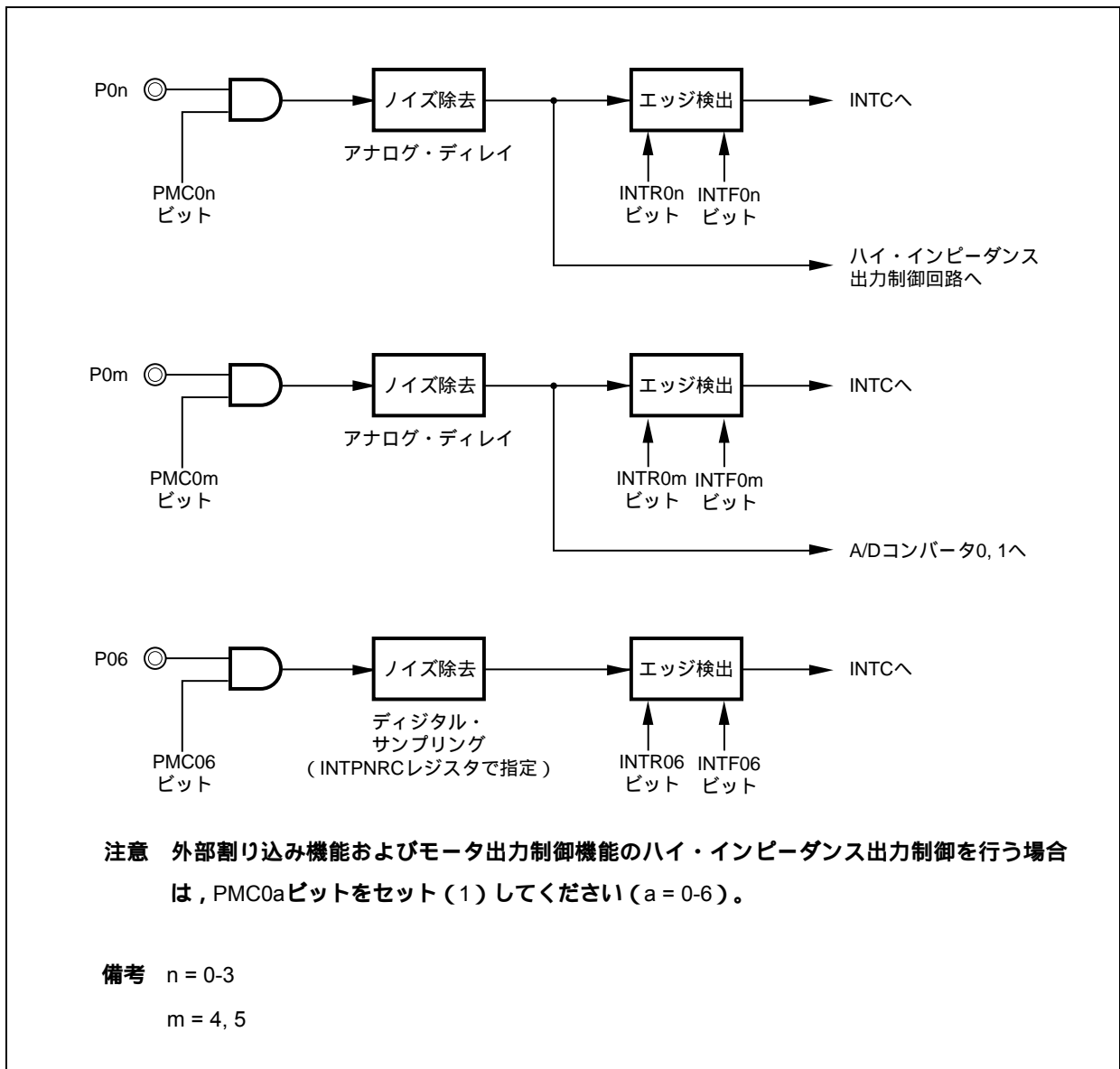
注1. ソフトウェア・プルアップ機能

- ポート・モード時にリードした場合、シュミットとして動作します。
- TOQH0OFF, TOQ1OFF, TOP2OFF, TOP3OFF, ADTRG0, ADTRG1信号は、ポートでノイズ除去（アナログ・ディレイ）されたあと、ハイ・インピーダンス出力制御回路（第9章 モータ制御機能参照）、A/Dコンバータ0, 1（第11章 A/Dコンバータ0, 1参照）へ入力されます。さらにエッジ検出を行った信号がINTPn(n = 0-5)信号として割り込みコントローラ（INTC）へ入力されます。エッジ検出は、ハイ・インピーダンス出力制御回路、A/Dコンバータ0, 1でそれぞれ行います。

注意1. モータ制御用タイマのハイ・インピーダンス出力制御を行う場合は、誤った有効エッジ検出によりモータ制御用タイマ出力をハイ・インピーダンス状態にする可能性があるため、必ずPMC0.PMC0nビット = 1を設定してから、ハイ・インピーダンス出力制御回路のエッジ検出指定と動作許可を行ってください(n = 1-3)。

- A/Dコンバータ0, 1でA/Dトリガ入力を行う場合は、誤った有効エッジ検出によりトリガ入力する可能性があるため、必ずPMC0.PMC0nビット = 1を設定してから、A/Dコンバータ0, 1のエッジ検出指定と動作許可を行ってください(n = 4, 5)。
- ポート・モードから外部割り込み入力（INTPn）に切り替える（PMC0.PMC0nビット = 0 1）場合は、誤った有効エッジ検出により外部割り込み入力が発生する可能性があるため、必ずエッジ検出なしの状態（INTF0.INTF0nビット = 0, INTR0.INTR0nビット = 0）に設定してから外部割り込み入力（INTPn）に切り替えを行い、そのあと有効エッジを指定してください(n = 0-6)。外部割り込み入力（INTPn）からポート・モードに切り替える（PMC0nビット = 1 0）場合は、エッジ検出を行う可能性があるため、必ずエッジ検出なしの状態（INTF0nビット = 0, INTR0nビット = 0）に設定してからポート・モードに切り替えを行ってください。

また、ポート0の兼用機能にはノイズ除去機能が内蔵されています。



(1) レジスタ

(a) ポート0レジスタ (P0)

リセット時：不定 R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(b) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (ポート・モード時) (n = 0-6)
0	出力モード
1	入力モード

(c) ポート0モード・コントロール・レジスタ (PMC0)

リセット時 : 00H R/W アドレス : FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00
	PMC06		P06端子の動作モードの指定					
	0	入出力ポート						
	1	INTP6入力						
	PMC05		P05端子の動作モードの指定					
	0	入出力ポート						
	1	INTP5入力/ADTRG1入力						
	PMC04		P04端子の動作モードの指定					
	0	入出力ポート						
	1	INTP4入力/ADTRG0入力						
	PMC03		P03端子の動作モードの指定					
	0	入出力ポート						
	1	INTP3入力/TOP3OFF入力						
	PMC02		P02端子の動作モードの指定					
	0	入出力ポート						
	1	INTP2入力/TOP2OFF入力						
	PMC01		P01端子の動作モードの指定					
	0	入出力ポート						
	1	INTP1入力/TOQ1OFF入力						
	PMC00		P00端子の動作モードの指定					
	0	入出力ポート						
	1	INTP0入力/TOQH0OFF入力						

(d) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時：00H R/W アドレス：FFFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能の場合のみです。端子が出力状態のときは接続できません。

(2) ブロック図

図4 - 3 P00-P05端子のブロック図

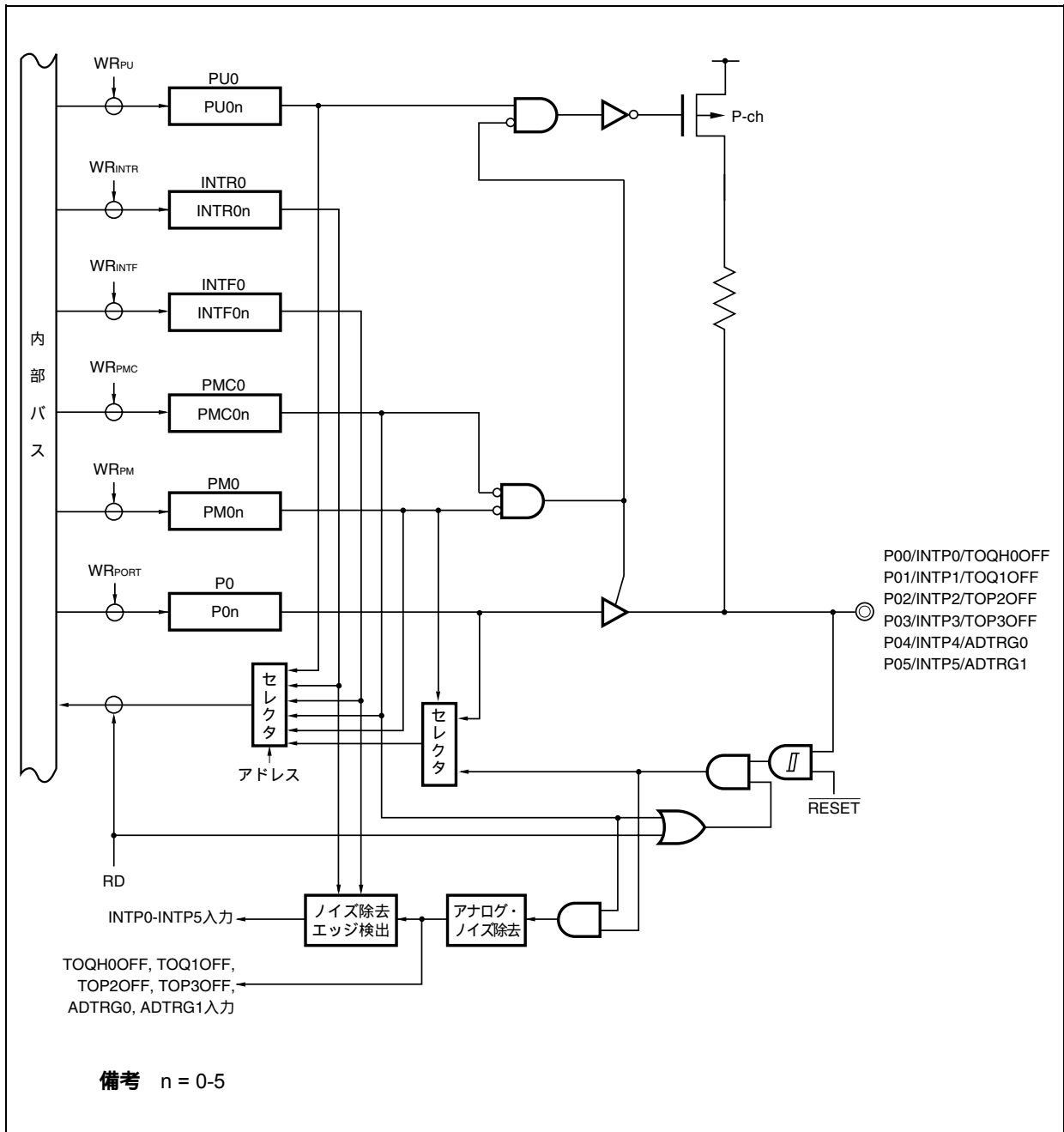
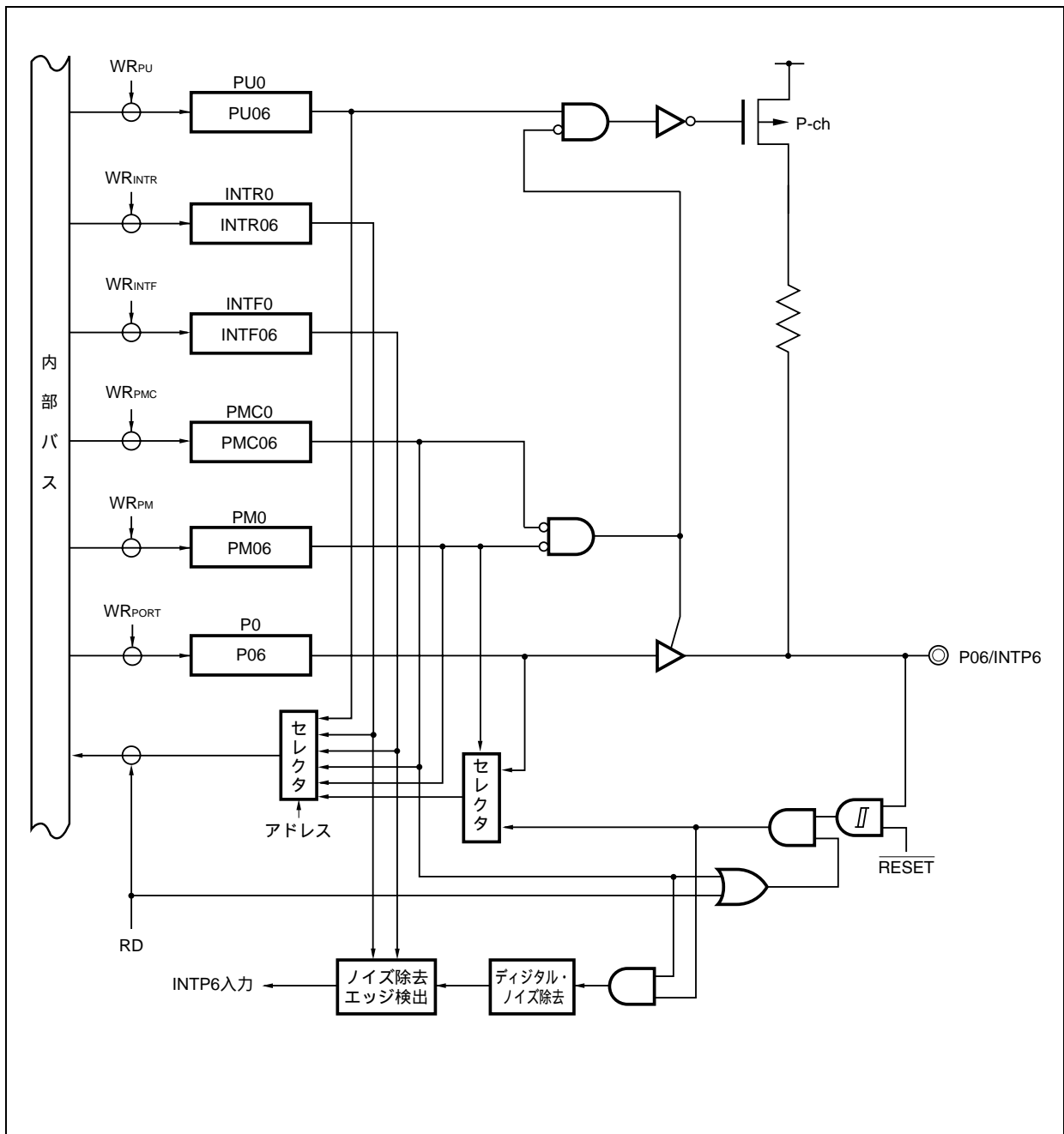


図4 - 4 P06端子のブロック図



4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できます。

ポート1は、次に示す端子と兼用しています。

表4 - 5 ポート1の兼用端子

端子名	ピン番号	兼用端子名	入出力	ブルアップ ^{注1}
P10 ^{注2}	24	TOQH01/TIQ01/TOQ01	入出力	あり
P11 ^{注2}	23	TIQ02/TOQ02	入出力	
P12 ^{注2}	22	TOQH02/TIQ03/TOQ03	入出力	
P13 ^{注2}	21	TIQ00	入力	
P14 ^{注2}	20	TOQH03/EVTQ0	入力	
P16 ^{注2} (CLMER)	19	TOQ00 (CLMER) /TIP20	入出力	
P17 ^{注2}	18	TOP21/TIP21	入出力	

注1. ソフトウェア・ブルアップ機能

2. ポート・モード時にリードした場合、シュミットとして動作します。

注意1. P10, P12, P14, P17をTOQH01-TOQH03, TOP21として使用している場合は、次の信号がアクティブになると出力停止状態になります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

2. P16を出力ポートまたはTOQ00出力機能に設定している場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。P16を入力ポートまたはTIP20入力機能に設定している場合は、CLMER信号としての出力は行われません。CLMER信号が出力された場合には、リセット信号の発生までCLMER信号としての出力を保持します。また、CLMER信号がアクティブ期間中は、P16, PM16, PMC16, PFC16, PU16の各ビットは書き込みできません。

(1) レジスタ

(a) ポート1レジスタ (P1)

リセット時：不定 R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	P17	P16	0	P14	P13	P12	P11	P10

P1n	出力データの制御 (出力モード時) (n = 0-4, 6, 7)
0	0を出力
1	1を出力

(b) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFFF422H

	7	6	5	4	3	2	1	0
PM1	PM17	PM16	1	PM14	PM13	PM12	PM11	PM10

PM1n	入出力モードの制御 (ポート・モード時) (n = 0-4, 6, 7)
0	出力モード ^注
1	入力モード

注 P16を出力ポートとして使用した場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4-5 ポート1の兼用端子を参照してください。

(c) ポート1モード・コントロール・レジスタ (PMC1)

リセット時：00H R/W アドレス：FFFF442H

	7	6	5	4	3	2	1	0
PMC1	PMC17	PMC16	0	PMC14	PMC13	PMC12	PMC11	PMC10

PMC17	P17端子の動作モードの指定
0	入出力ポート
1	TOP21出力 / TIP21入力

PMC16	P16端子の動作モードの指定
0	入出力ポート
1	TOQ00 (CLMER) 出力 / TIP20入力

PMC14	P14端子の動作モードの指定
0	入出力ポート
1	TOQH03出力 / EVTQ0入力

PMC13	P13端子の動作モードの指定
0	入出力ポート
1	TIQ00入力

PMC12	P12端子の動作モードの指定
0	入出力ポート
1	TOQH02出力 / TIQ03入力 / TOQ03出力

PMC11	P11端子の動作モードの指定
0	入出力ポート
1	TIQ02入力 / TOQ02出力

PMC10	P10端子の動作モードの指定
0	入出力ポート
1	TOQH01出力 / TIQ01入力 / TOQ01出力

(d) ポート1ファンクション・コントロール・レジスタ (PFC1)

リセット時 : 00H R/W アドレス : FFFFFFF462H

	7	6	5	4	3	2	1	0
PFC1	PFC17	PFC16	0	PFC14	PFC13	PFC12	PFC11	PFC10

備考 兼用機能の指定については、4.3.2(1)(f) **ポート1の兼用機能の設定**を参照してください。

(e) ポート1ファンクション・コントロール拡張レジスタ (PFCE1)

リセット時 : 00H R/W アドレス : FFFFFFF702H

	7	6	5	4	3	2	1	0
PFCE1	0	0	0	0	0	PFCE12	PFCE11	PFCE10

備考 兼用機能の指定については、4.3.2(1)(f) **ポート1の兼用機能の設定**を参照してください。

(f) ポート1の兼用機能の設定

PFC17	P17端子の兼用機能の指定	
0	TOP21出力	
1	TIP21入力	

PFC16	P16端子の兼用機能の指定	
0	TOQ00 (CLMER) 出力 ^{注1}	
1	TIP20入力	

PFC14	P14端子の兼用機能の指定	
0	TOQH03出力 ^{注2}	
1	EVTQ0入力	

PFC13	P13端子の兼用機能の指定	
0	設定禁止	
1	TIQ00入力	

PFCE12	PFC12	P12端子の兼用機能の指定	
0	0	TOQH02出力 ^{注2}	
0	1	TIQ03入力	
1	0	TOQ03出力	
1	1	設定禁止	

PFCE11	PFC11	P11端子の兼用機能の指定	
0	0	設定禁止	
0	1	TIQ02入力	
1	0	TOQ02出力	
1	1	設定禁止	

PFCE10	PFC10	P10端子の兼用機能の指定	
0	0	TOQH01出力 ^{注2}	
0	1	TIQ01入力	
1	0	TOQ01出力	
1	1	設定禁止	

注1. P16をTOQ00出力端子として使用した場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4-5 ポート1の兼用端子を参照してください。

2. TMQ0がPWM出力モード時以外の場合は、設定禁止です。

(g) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時 : 00H R/W アドレス : FFFFFFFC42H

	7	6	5	4	3	2	1	0
PU1	PU17	PU16	0	PU14	PU13	PU12	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御 (n = 0-4, 6, 7)
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合、および兼用機能時に出力端子であるTOQH01-TOQH03, TOP21端子がTOQH0OFF, TOP2OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。

端子が出力状態のときは接続できません。

(2) ブロック図

図4 - 5 P10, P12端子のブロック図

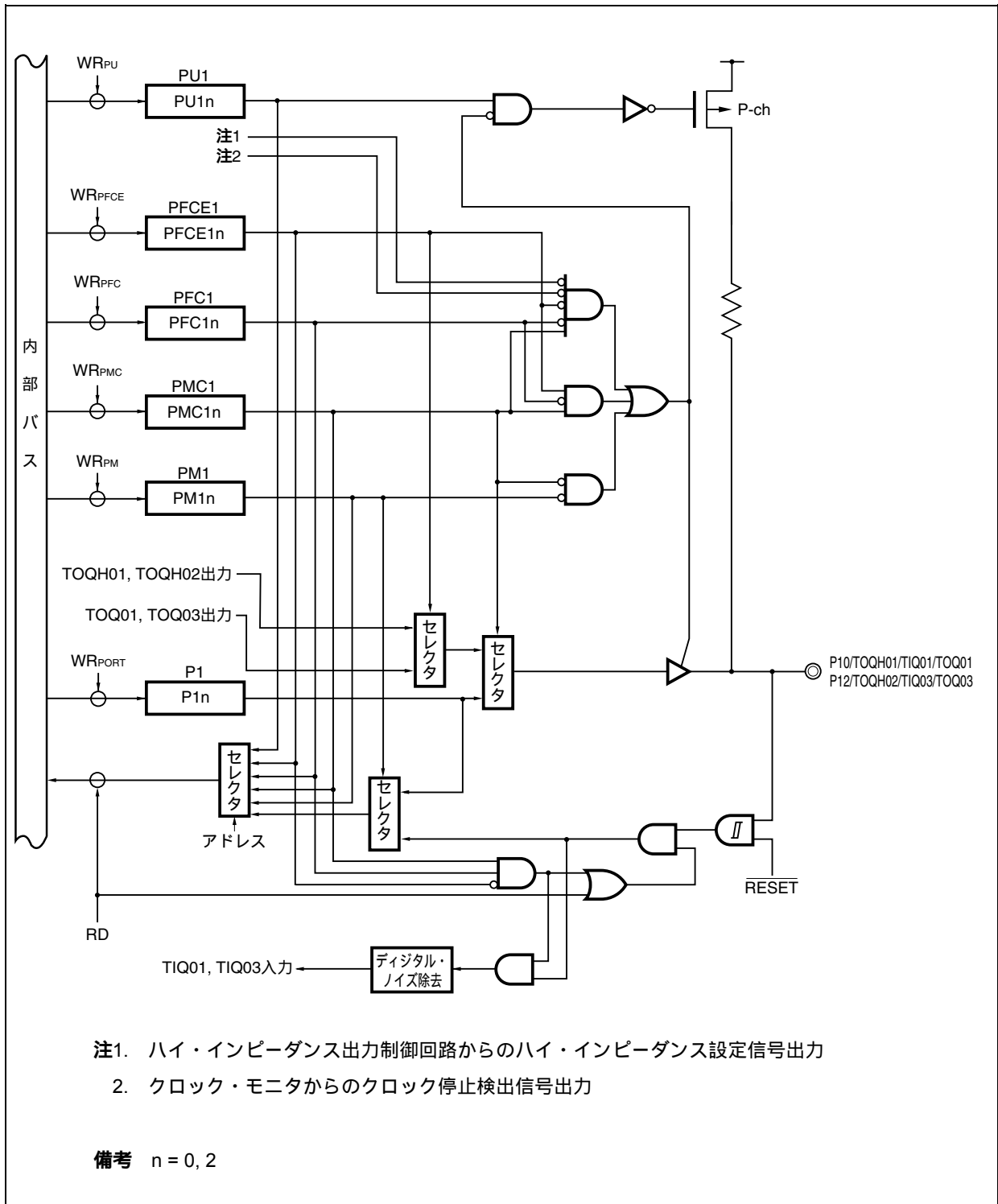


図4-6 P11端子のブロック図

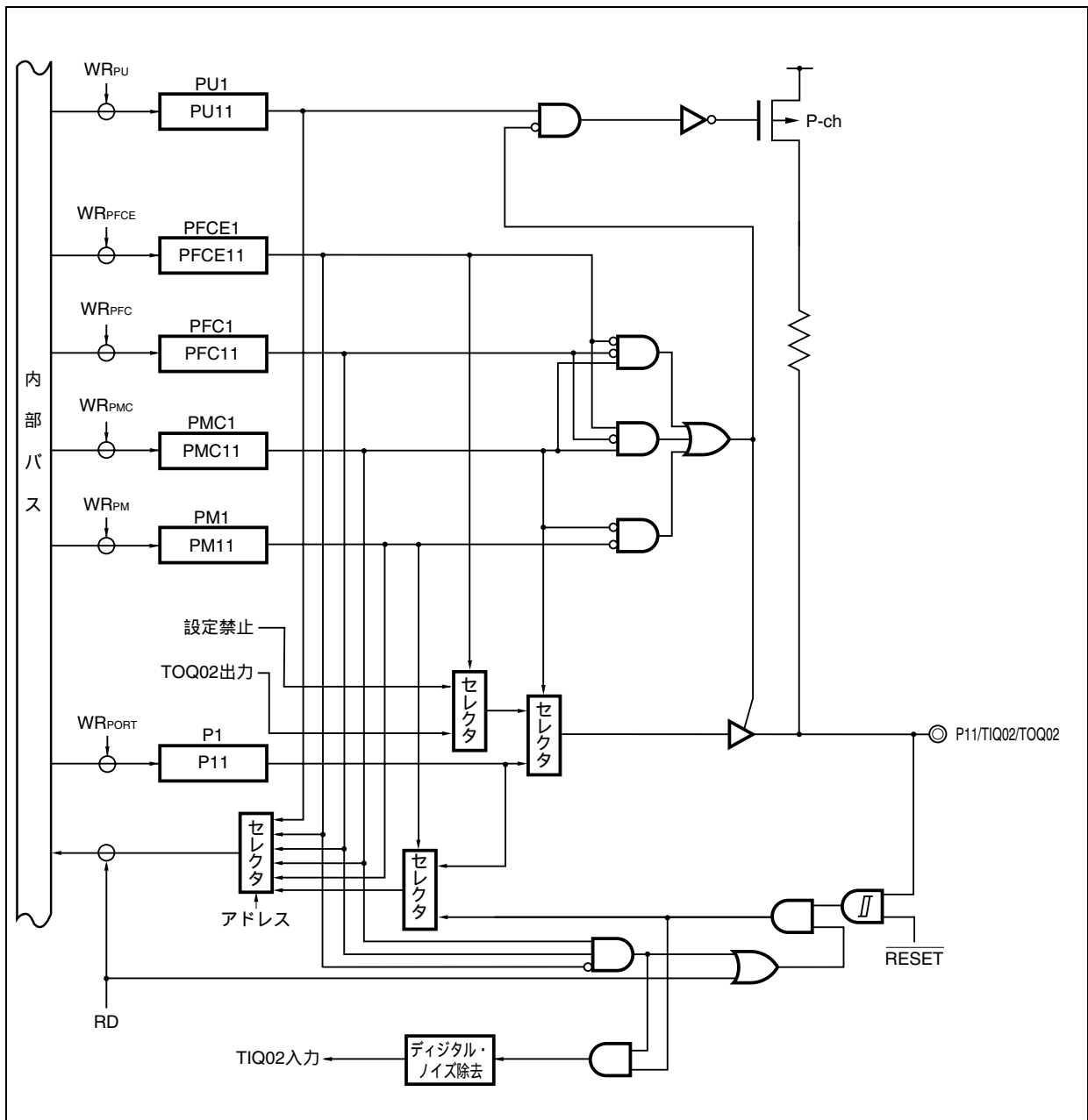


図4-7 P13端子のブロック図

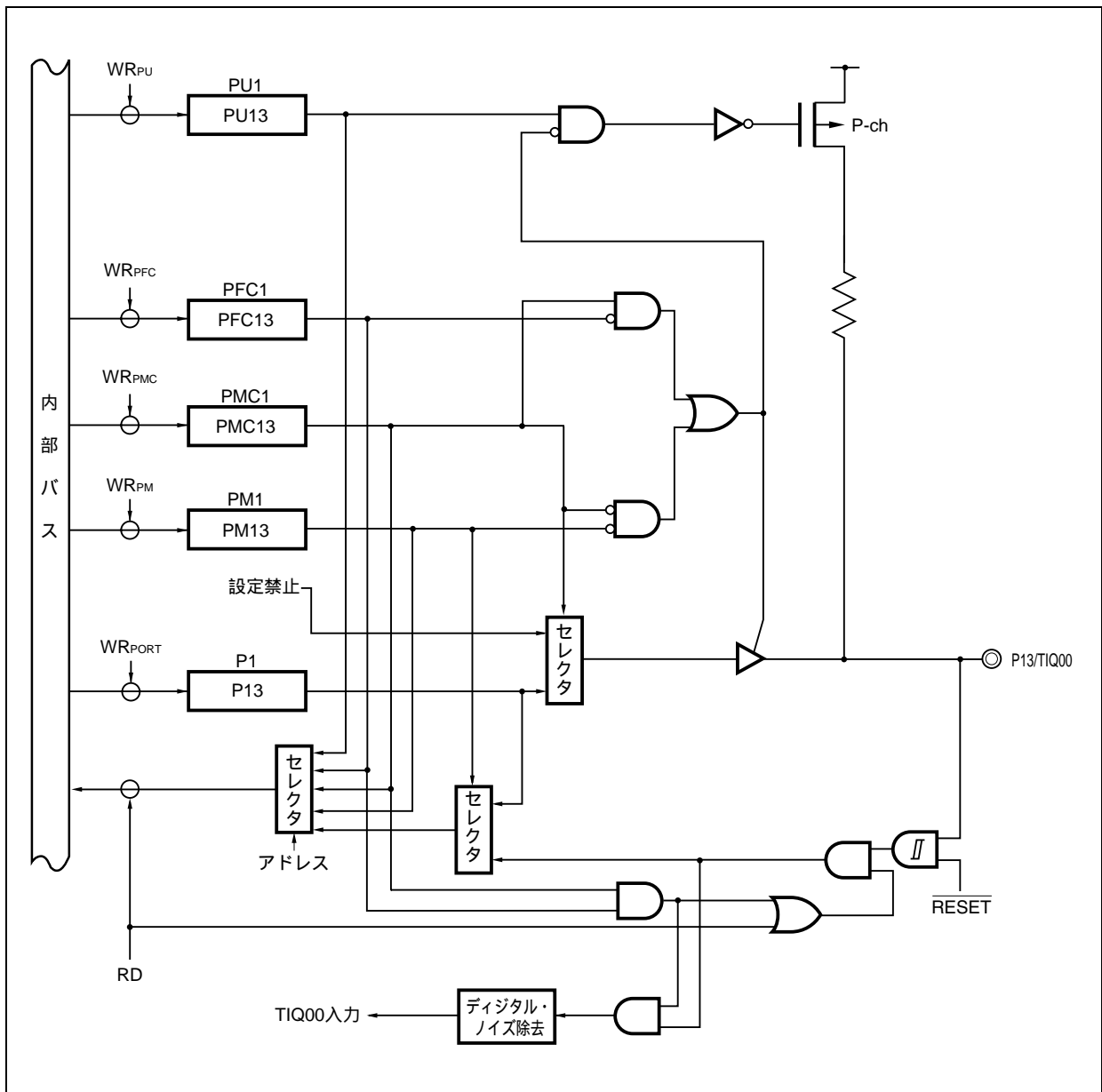


図4 - 8 P14端子のブロック図

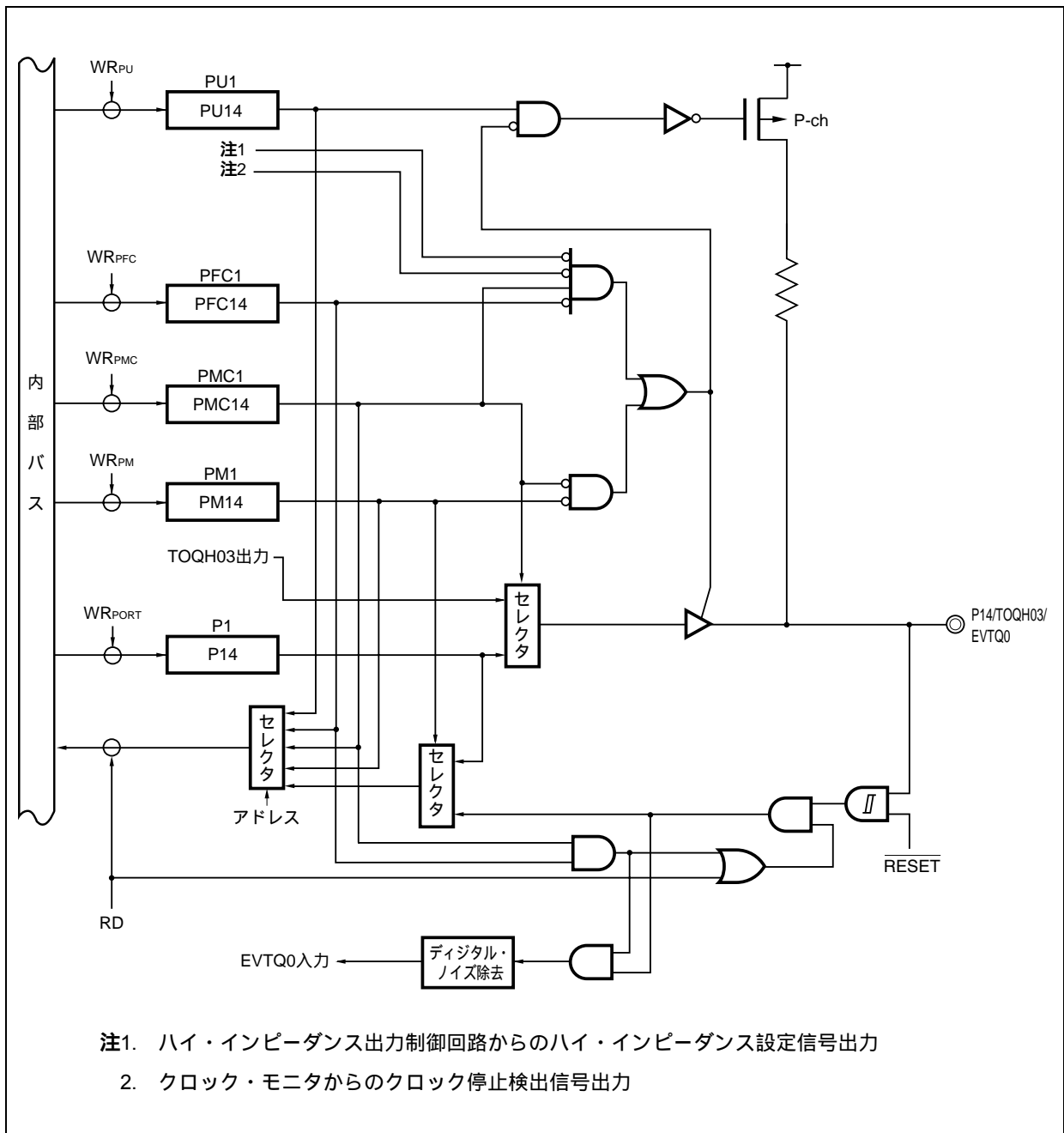


図4 - 9 P16端子のブロック図

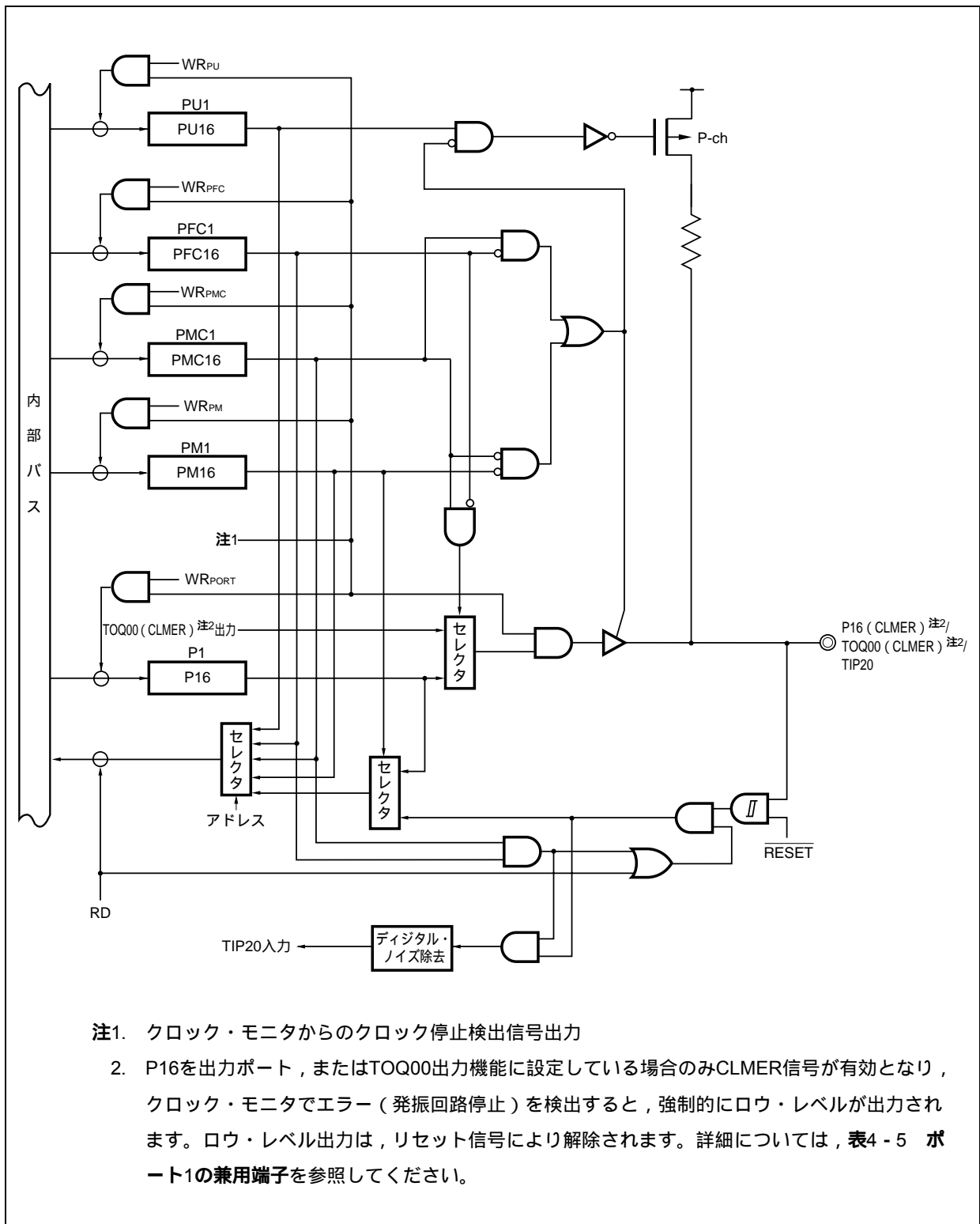
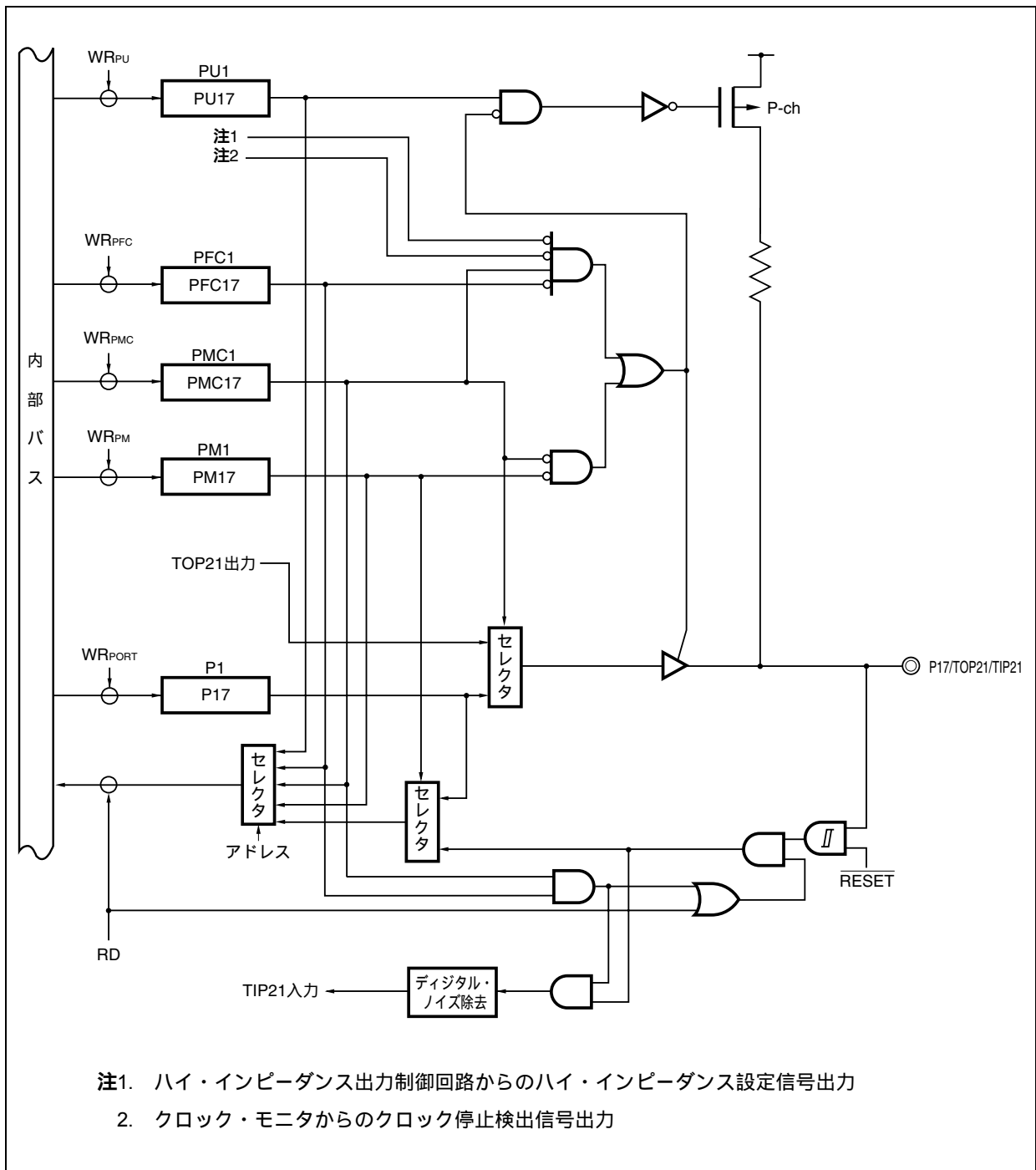


図4 - 10 P17端子のブロック図



4.3.3 ポート2

ポート2は1ビット単位で入出力を制御できます。

ポート2は、次に示す端子と兼用しています。

表4 - 6 ポート2の兼用端子

端子名	ピン番号	兼用端子名	入出力	プルアップ ^注
P20	54	TOQ1T1	出力	あり
P21	53	TOQ1B1	出力	
P22	52	TOQ1T2	出力	
P23	51	TOQ1B2	出力	
P24	50	TOQ1T3	出力	
P25	49	TOQ1B3	出力	
P26	46	TOQ10	出力	
P27	45	TOP31	出力	

注 ソフトウェア・プルアップ機能

注意 P20-P25, P27をTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31として使用している場合は、次の信号がアクティブになると出力停止状態になります。

- ・ハイ・インピーダンス出力制御回路からのハイ・インピーダンス設定信号出力
- ・クロック・モニタからのクロック停止検出信号出力

(1) レジスタ

(a) ポート2レジスタ (P2)

リセット時：不定 R/W アドレス：FFFFFF404H

	7	6	5	4	3	2	1	0
P2	P27	P26	P25	P24	P23	P22	P21	P20

P2n	出力データの制御 (出力モード時) (n = 0-7)
0	0を出力
1	1を出力

(b) ポート2モード・レジスタ (PM2)

リセット時：FFH R/W アドレス：FFFFFF424H

	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

PM2n	入出力モードの制御 (ポート・モード時) (n = 0-7)
0	出力モード
1	入力モード

(c) ポート2モード・コントロール・レジスタ (PMC2)

リセット時：00H R/W アドレス：FFFFFF444H

	7	6	5	4	3	2	1	0
PMC2	PMC27	PMC26	PMC25	PMC24	PMC23	PMC22	PMC21	PMC20
	P27端子の動作モードの指定							
	0	入出力ポート						
	1	TOP31出力						
	P26端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ10出力						
	P25端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1B3出力						
	P24端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1T3出力						
	P23端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1B2出力						
	P22端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1T2出力						
	P21端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1B1出力						
	P20端子の動作モードの指定							
	0	入出力ポート						
	1	TOQ1T1出力						

(d) プルアップ抵抗オプション・レジスタ2 (PU2)

リセット時：00H R/W アドレス：FFFFFFC44H

	7	6	5	4	3	2	1	0
PU2	PU27	PU26	PU25	PU24	PU23	PU22	PU21	PU20

PU2n	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合、および兼用機能時に出力端子であるTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31端子がTOQ1OFF, TOP3OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合のみです。端子が出力状態のときは接続できません。

(2) ブロック図

図4 - 11 P20-P25, P27端子のブロック図

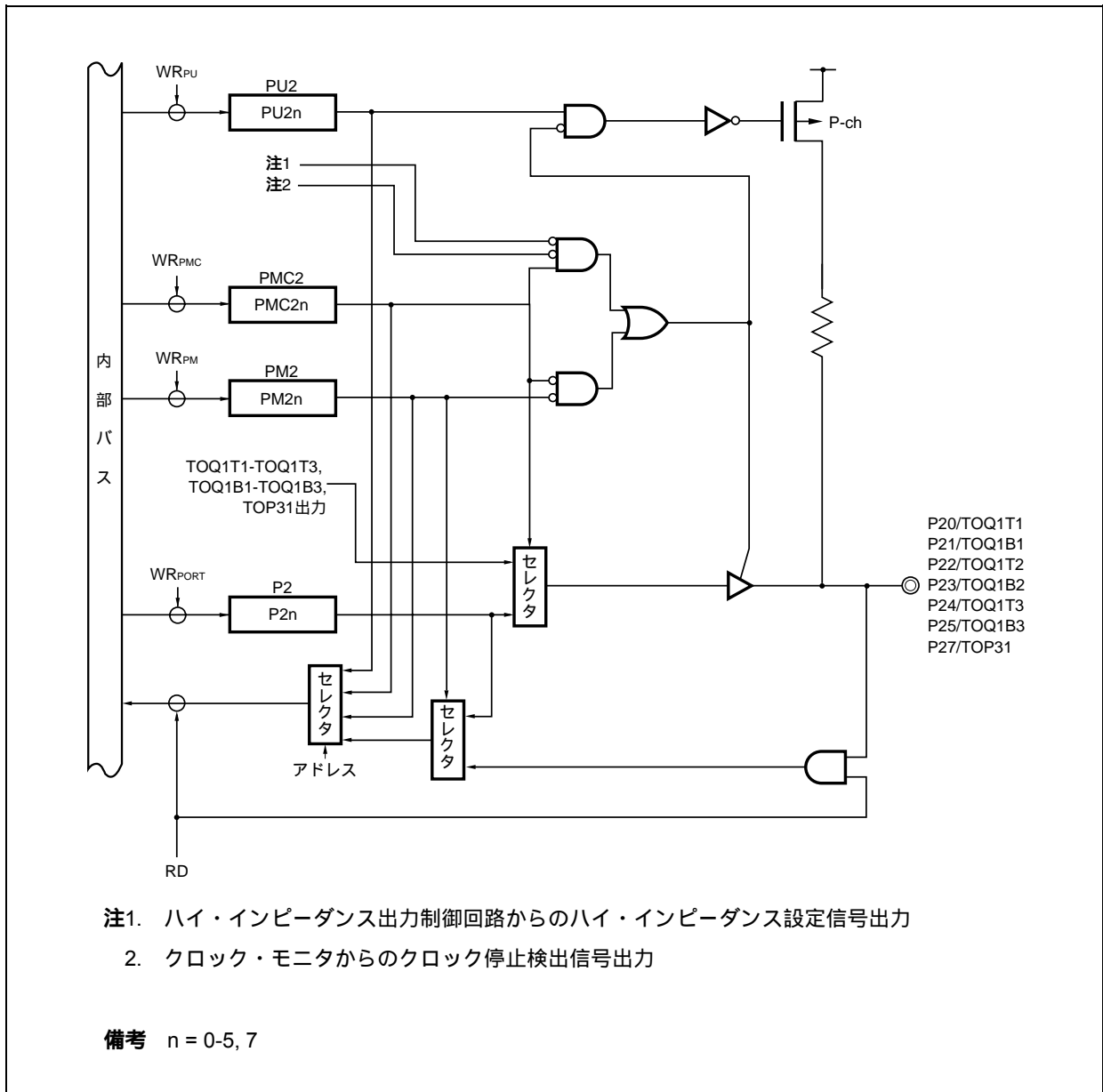
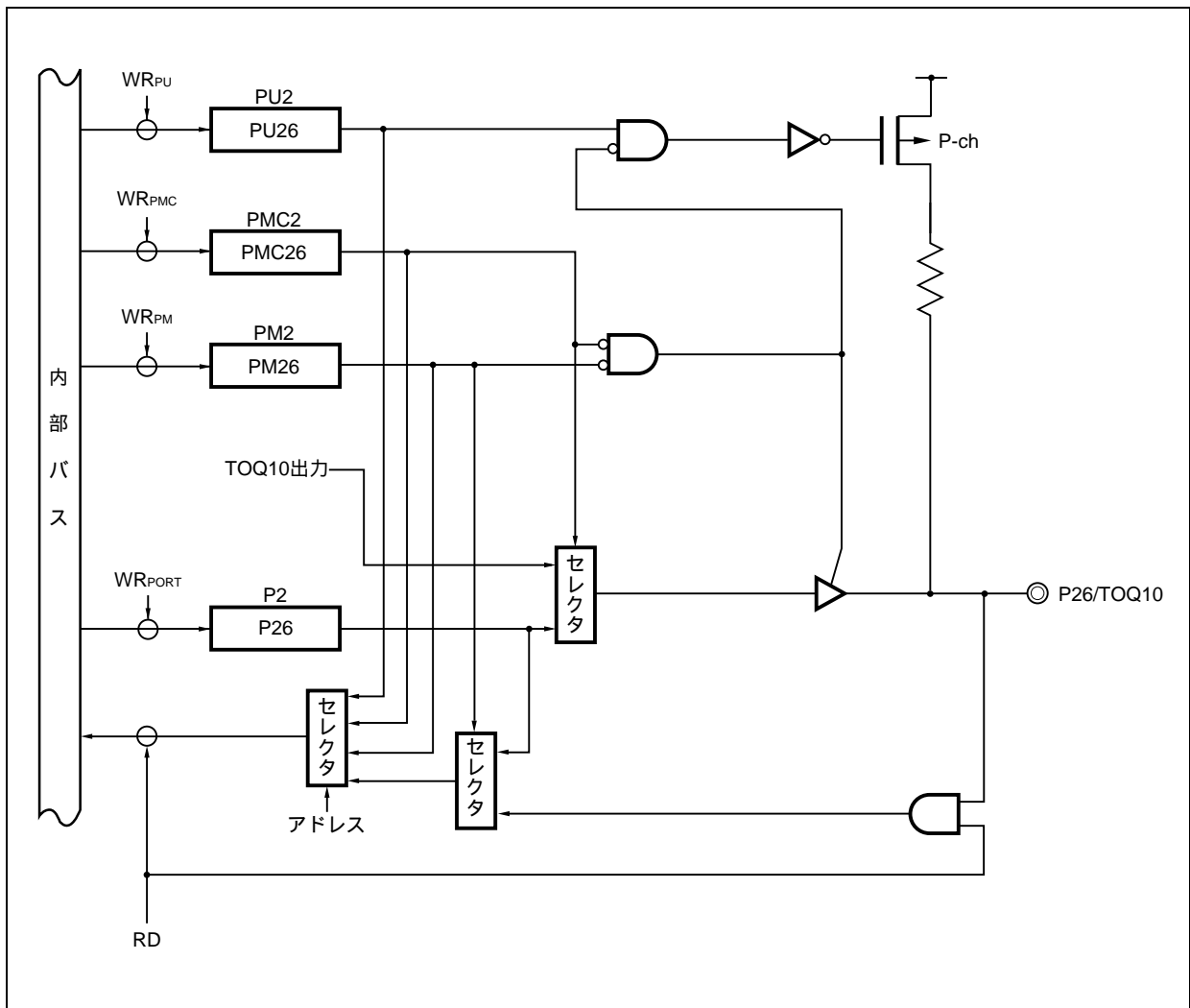


図4 - 12 P26端子のブロック図



4.3.4 ポート3

ポート3は1ビット単位で入出力を制御できます。

ポート3は、次に示す端子と兼用しています。

表4-7 ポート3の兼用端子

端子名	ピン番号	兼用端子名	入出力	プルアップ ^{注1}
P30 ^{注2}	44	RXDA0	入力	あり
P31	43	TXDA0	出力	
P32 ^{注2}	42	RXDA1	入力	
P33	41	TXDA1	出力	

注1. ソフトウェア・プルアップ機能

2. ポート・モード時にリードした場合、シュミットとして動作します。

(1) レジスタ

(a) ポート3レジスタ (P3)

リセット時：不定 R/W アドレス：FFFFFF406H

	7	6	5	4	3	2	1	0
P3	0	0	0	0	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-3)
0	0を出力
1	1を出力

(b) ポート3モード・レジスタ (PM3)

リセット時：FFH R/W アドレス：FFFFFF426H

	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (ポート・モード時) (n = 0-3)
0	出力モード
1	入力モード

(c) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：00H R/W アドレス：FFFFFF446H

	7	6	5	4	3	2	1	0
PMC3	0	0	0	0	PMC33	PMC32	PMC31	PMC30

PMC33	P33端子の動作モードの指定	
0	入出力ポート	
1	TXDA1出力	

PMC32	P32端子の動作モードの指定	
0	入出力ポート	
1	RXDA1入力	

PMC31	P31端子の動作モードの指定	
0	入出力ポート	
1	TXDA0出力	

PMC30	P30端子の動作モードの指定	
0	入出力ポート	
1	RXDA0入力	

(d) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	0	0	PFC33	PFC32	0	0

PFC33	P33端子の兼用機能の指定	
0	設定禁止	
1	TXDA1出力	

PFC32	P32端子の兼用機能の指定	
0	設定禁止	
1	RXDA1入力	

(e) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時 : 00H R/W アドレス : FFFFFFFC46H

	7	6	5	4	3	2	1	0
PU3	0	0	0	0	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-3)
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合のみです。端子が出力状態のときは接続できません。

(2) ブロック図

図4 - 13 P30端子のブロック図

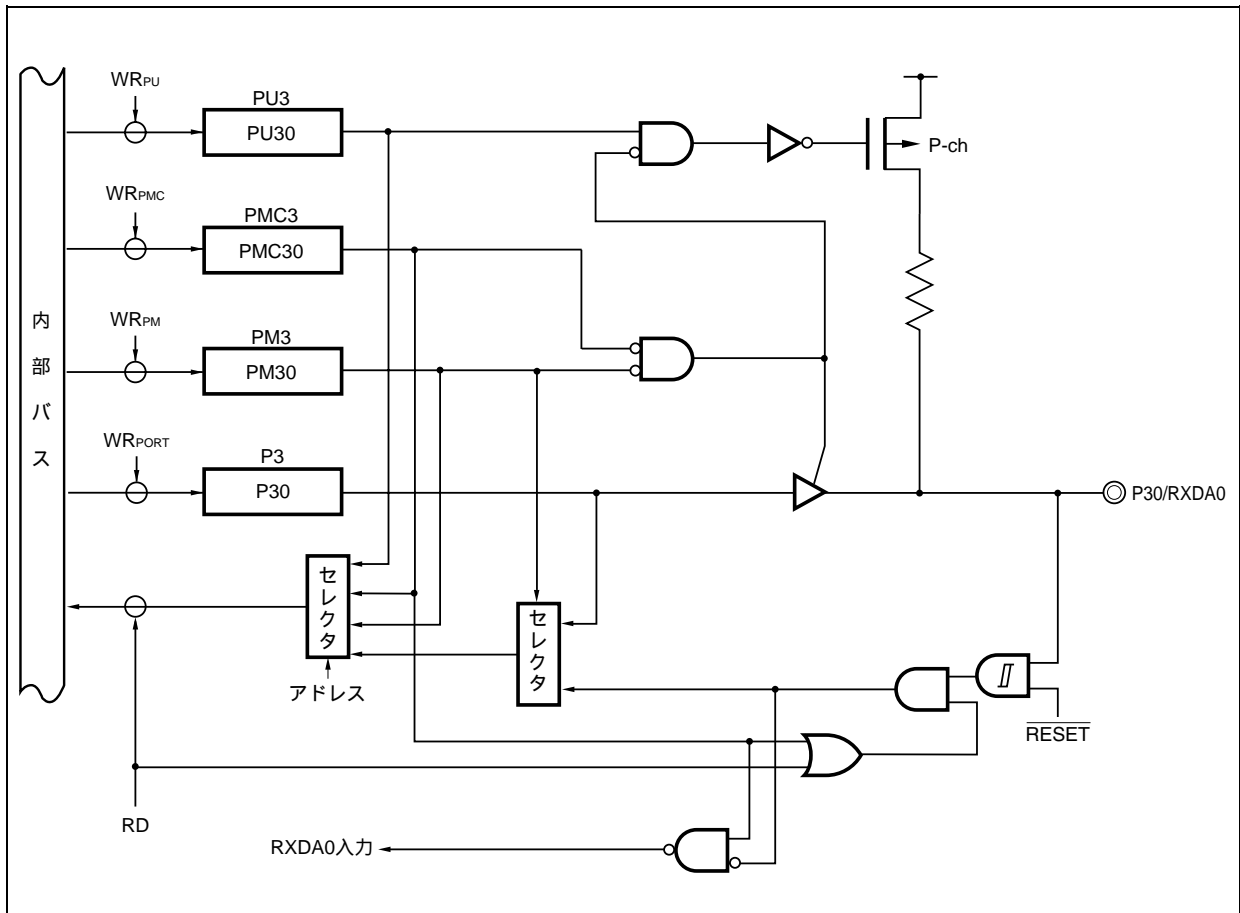


図4 - 14 P31端子のブロック図

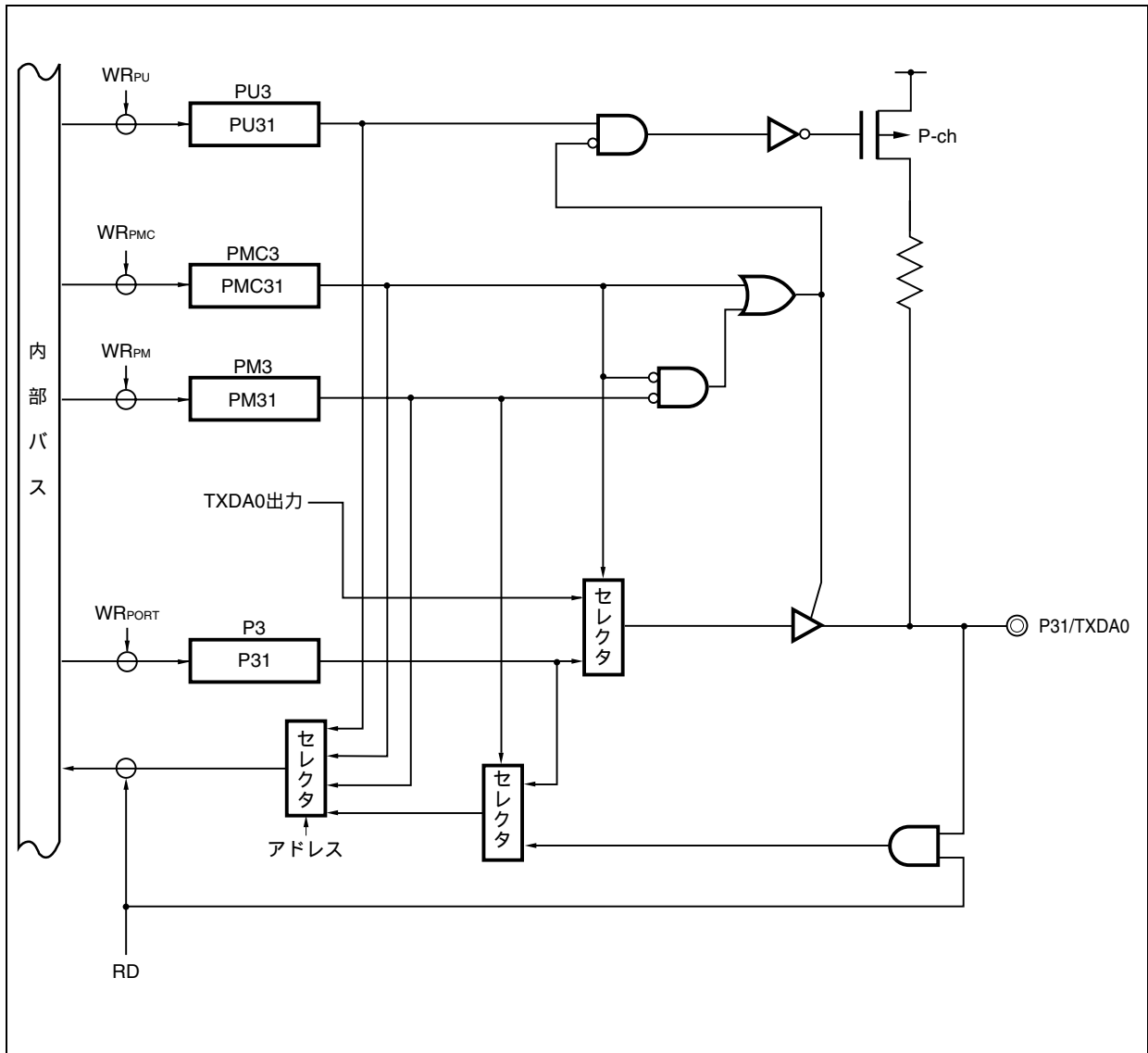


図4 - 15 P32端子のブロック図

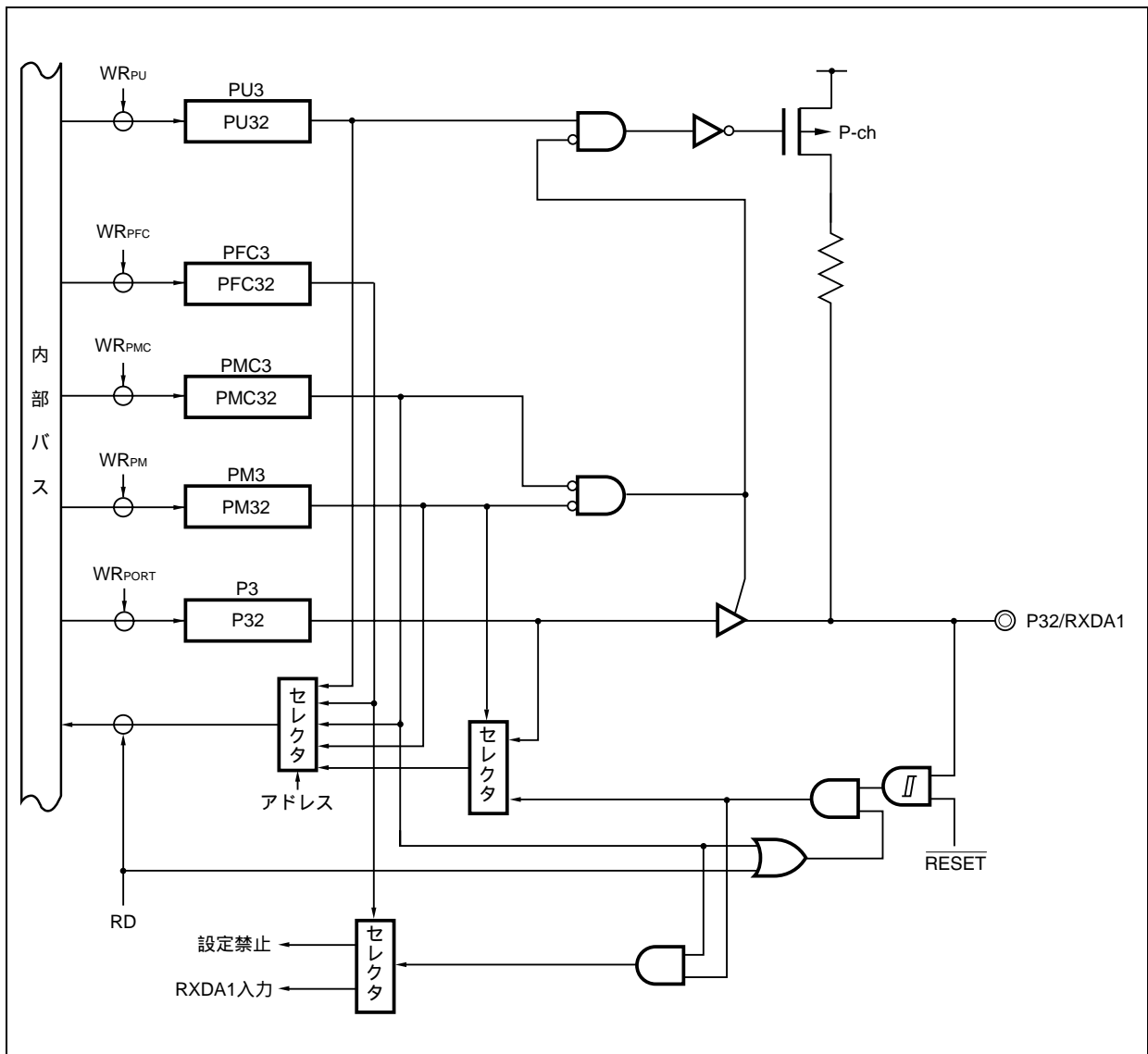
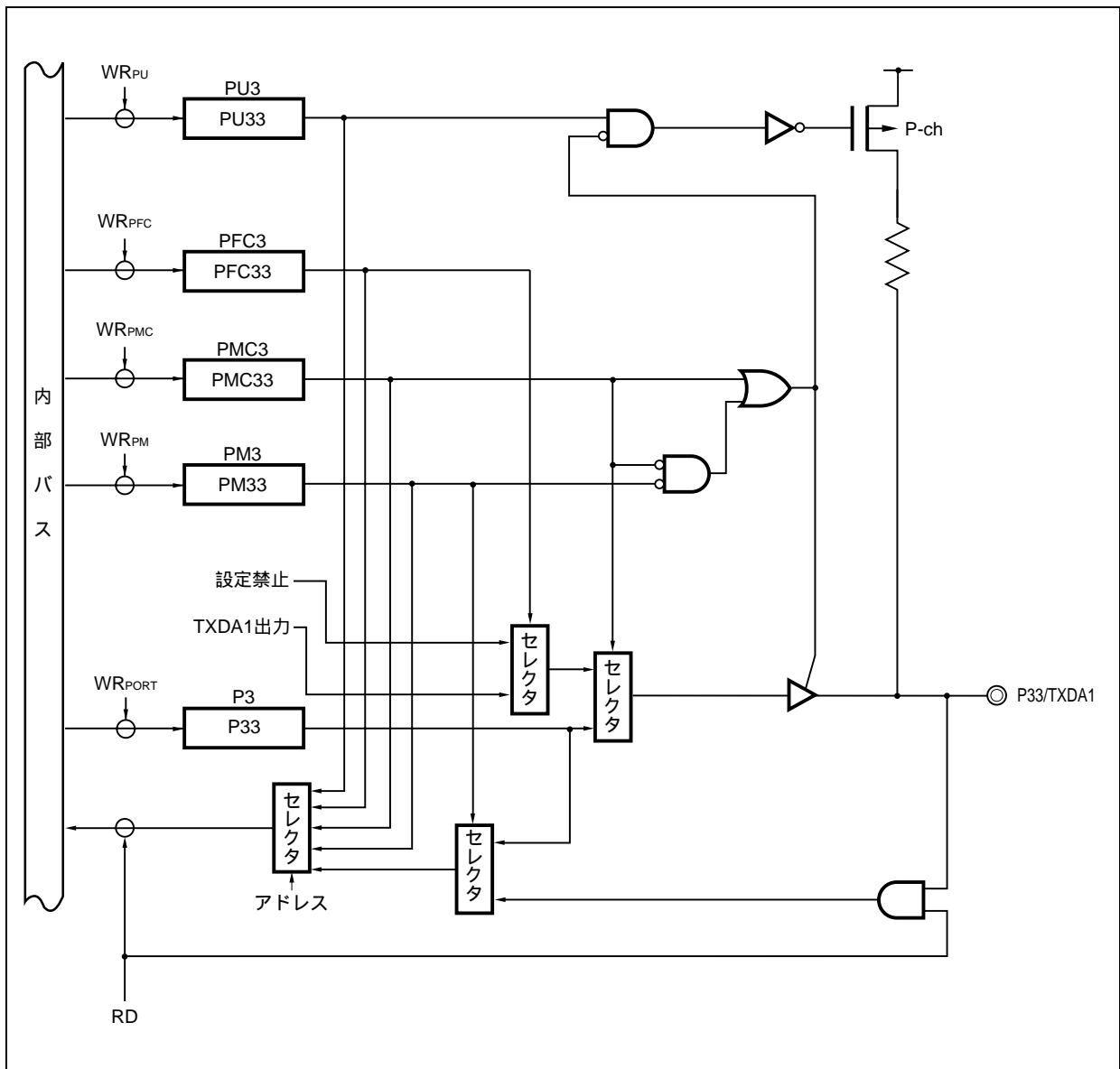


図4 - 16 P33端子のブロック図



4.3.5 ポート4

ポート4は1ビット単位で入出力を制御できます。

ポート4は、次に示す端子と兼用しています。

表4-8 ポート4の兼用端子

端子名	ピン番号	兼用端子名	入出力	プルアップ ^{注1}
P40 ^{注2}	40	SIB0	入力	あり
P41	39	SOB0	出力	
P42 ^{注2}	38	$\overline{\text{SCKB0}}$	入出力	
P43 ^{注2}	37	TOP00/TIP00	入出力	
P44 ^{注2}	36	TOP01/TIP01	入出力	

注1. ソフトウェア・プルアップ機能

2. ポート・モード時にリードした場合、シュミットとして動作します。

(1) レジスタ

(a) ポート4レジスタ (P4)

リセット時：不定 R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	P44	P43	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(b) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	PM44	PM43	PM42	PM41	PM40

PM4n	入出力モードの制御 (ポート・モード時) (n = 0-4)
0	出力モード
1	入力モード

(c) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	PMC44	PMC43	PMC42	PMC41	PMC40

PMC44	P44端子の動作モードの指定	
0	入出力ポート	
1	TOP01出力/TIP01入力	

PMC43	P43端子の動作モードの指定	
0	入出力ポート	
1	TOP00出力/TIP00入力	

PMC42	P42端子の動作モードの指定	
0	入出力ポート	
1	SCKB0入出力	

PMC41	P41端子の動作モードの指定	
0	入出力ポート	
1	SOB0出力	

PMC40	P40端子の動作モードの指定	
0	入出力ポート	
1	SIB0入力	

(d) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	PFC44	PFC43	0	0	0

PFC44	P44端子の兼用機能の指定	
0	TOP01出力	
1	TIP01入力	

PFC43	P43端子の兼用機能の指定	
0	TOP00出力	
1	TIP00入力	

(e) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時 : 00H R/W アドレス : FFFFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	PU44	PU43	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御 (n = 0-4)
0	接続しない
1	接続する ^注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合（ $\overline{\text{SCKB0}}$ 端子のスレーブ・モード時も含む）のみです。端子が出力状態のときは接続できません。

(2) ブロック図

図4 - 17 P40端子のブロック図

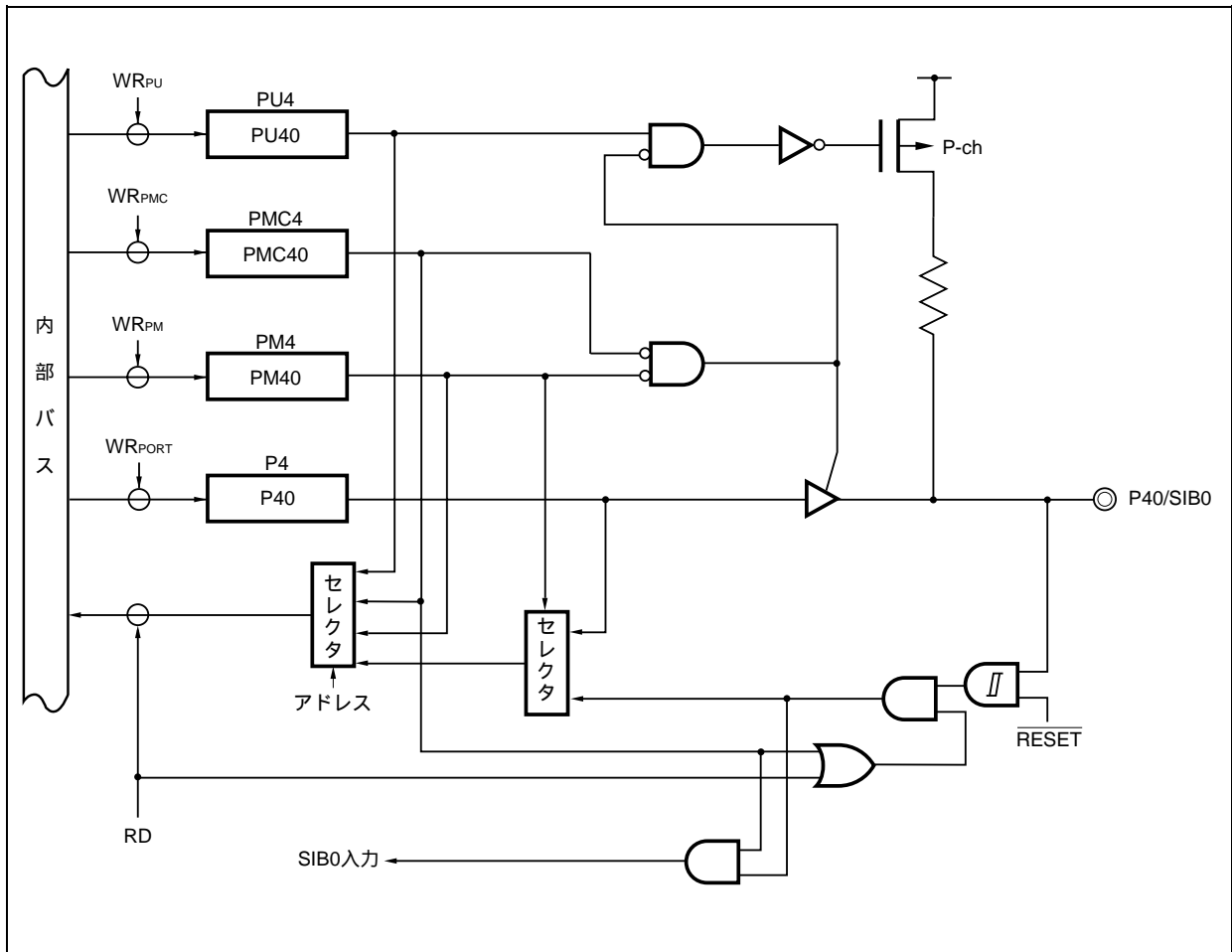


図4 - 18 P41端子のブロック図

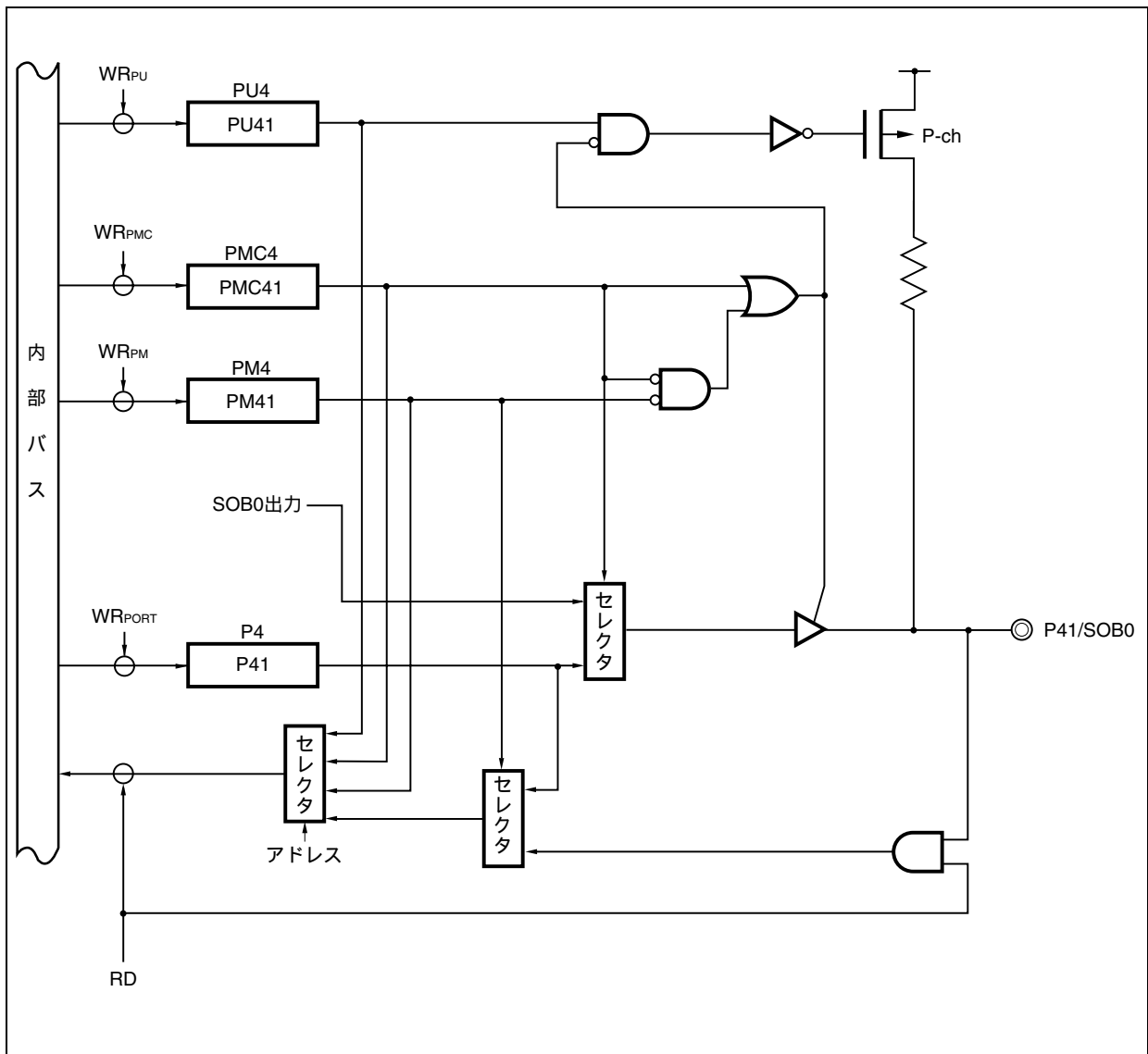


図4 - 19 P42端子のブロック図

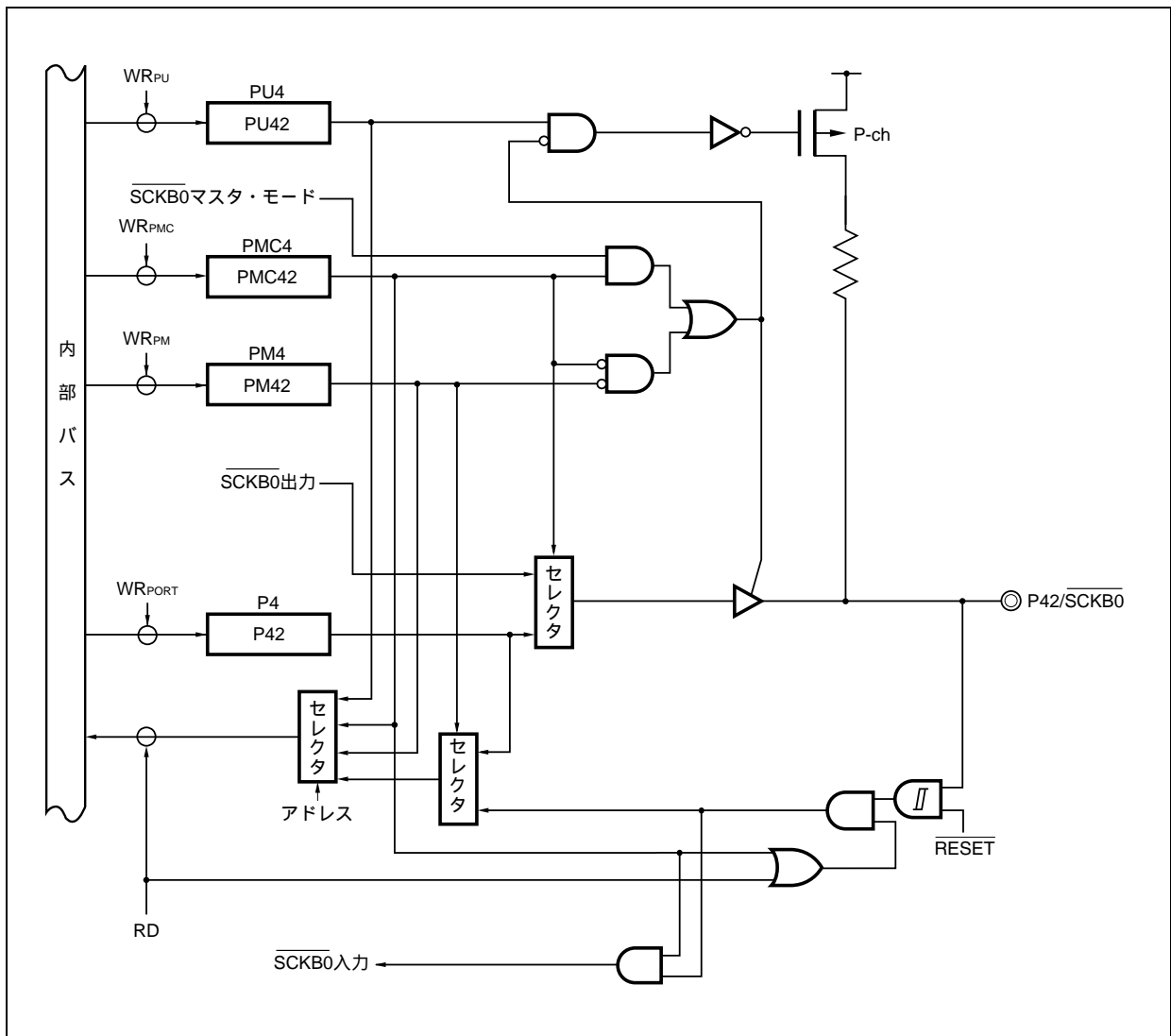
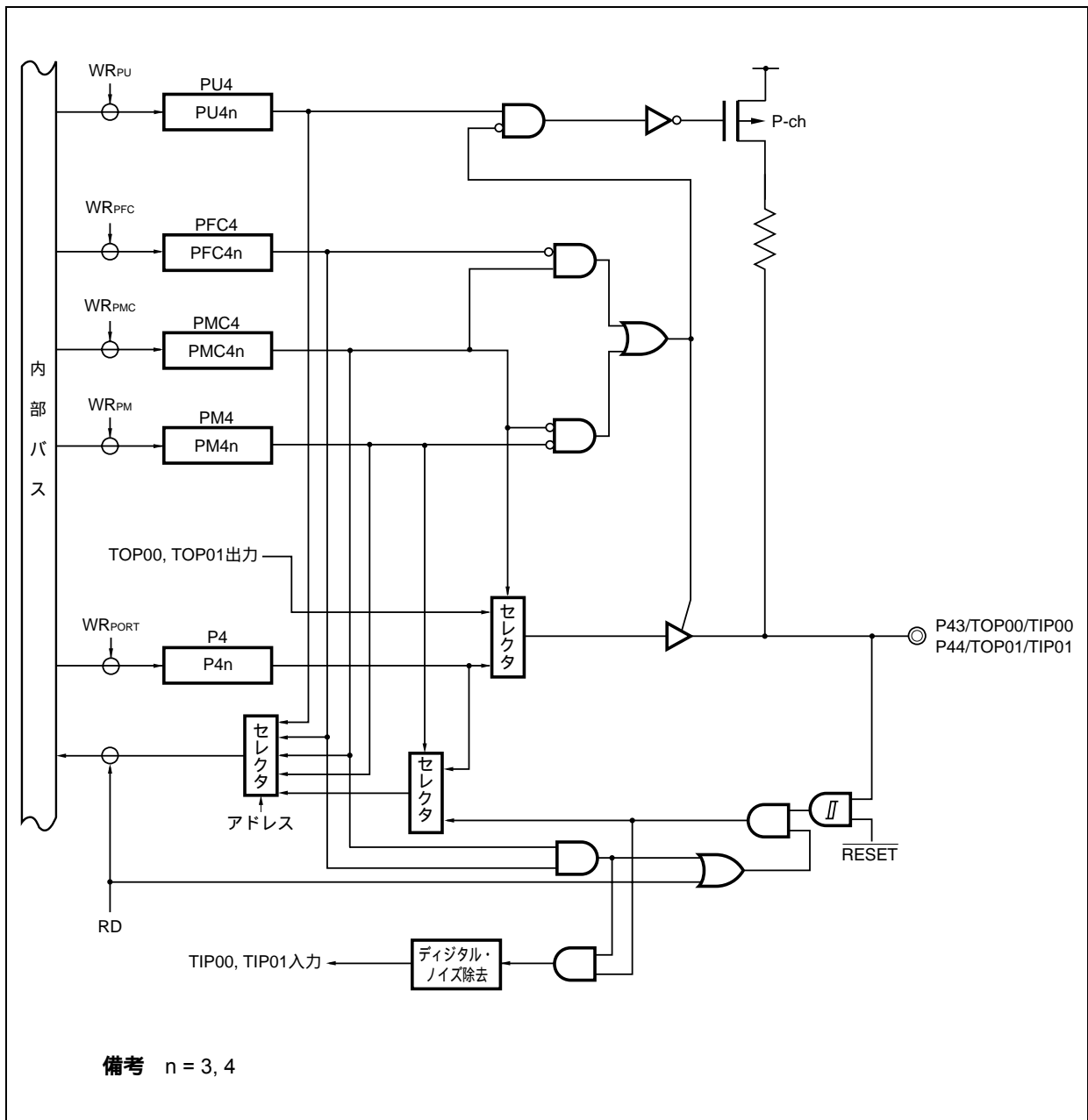


図4 - 20 P43, P44端子のブロック図



4.3.6 ポートDL

ポートDLは、1ビット単位で入出力を制御できます。

ポートDLは、次に示す端子と兼用しています。

表4 - 9 ポートDLの兼用端子

端子名	ピン番号	兼用端子名	入出力	ブルアップ ^{注1}
PDL0	35	-	-	あり
PDL1	34	-	-	
PDL2	33	-	-	
PDL3	32	-	-	
PDL4	31	-	-	
PDL5	30	FLMD1 ^{注2, 3}	-	
PDL6	29	-	-	
PDL7	28	-	-	

注1. ソフトウェア・ブルアップ機能

2. フラッシュ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第19章 **フラッシュ・メモリ**を参照してください。
3. μ PD70F3329のみ

(1) レジスタ

(a) ポートDLレジスタL (PDLL)

リセット時：不定 R/W アドレス：FFFFFF004H

	7	6	5	4	3	2	1	0
PDLL	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0

PDLn	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

(b) ポートDLモード・レジスタL (PMDLL)

リセット時：FFH R/W アドレス：FFFFFF024H

	7	6	5	4	3	2	1	0
PMDLL	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0

PMDLn	入出力モードの制御（ポート・モード時）（n = 0-7）
0	出力モード
1	入力モード

(c) プルアップ抵抗オプション・レジスタDLL (PUDLL)

リセット時：00H R/W アドレス：FFFFFFF44H

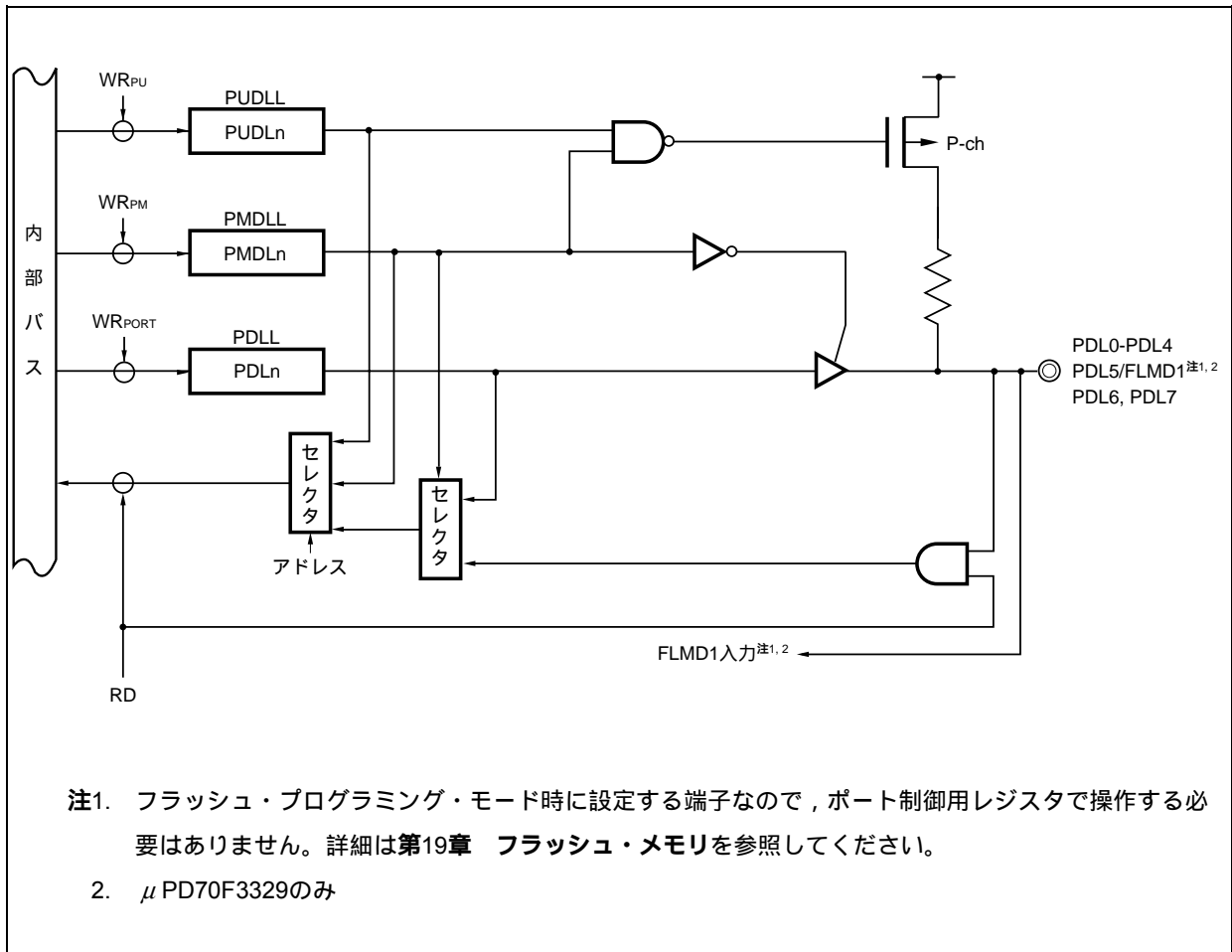
	7	6	5	4	3	2	1	0
PUDLL	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0

PUDLn	内蔵プルアップ抵抗接続制御（n = 0-7）
0	接続しない
1	接続する注

注 内蔵プルアップ抵抗の接続が有効となるのは、ポート・モード時に入力モードの場合のみです。端子が出力状態のときは接続できません。

(2) ブロック図

図4 - 21 PDL0-PDL7端子のブロック図



4.4 各設定時の出力データとポート・リード値

次に兼用端子に切り替える設定値とともに各設定時の出力データとポート・リード値を示します。なお、次の設定以外に各周辺機能の制御レジスタの設定も必要です。

表4 - 10 各設定時の出力データとポート・リード値 (1/4)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P00-P06	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	INTP0 -INTP5 ^注 , INTP6	1	なし	なし	0	-	ポート・ラッチ		有効エッジ指定が必要
					1		端子レベル		
P10, P12	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TOQH01, TOQH02	1	0	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
	TIQ01, TIQ03	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
	TOQ01, TOQ03	1	1	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
P11	出力ポート	0	×	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TIQ02	1	0	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		
	TOQ02	1	1	0	0	兼用出力 (タイマ出力)	ポート・ラッチ		
					1		端子レベル		
P13	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TIQ00	1	なし	1	0	-	ポート・ラッチ		兼用入力 (タイマ入力)
					1		端子レベル		

注 TOQH0OFF, TOQ1OFF, TOP2OFF, TOP3OFF, ADTRG0, ADTRG1も含まれます。

備考 × : 任意

表4 - 10 各設定時の出力データとポート・リード値 (2/4)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P14	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOQH03	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	EVTQ0	1	なし	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力)
1					端子レベル			
P16(CLMER) ^注 , P17	出力ポート ^注	0	なし	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOQ00(CLMER) ^注 , TOP21	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
	TIP20, TIP21	1	なし	1	0	-	ポート・ラッチ	兼用入力 (タイマ入力)
1					端子レベル			
P20-P27	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOQ10, TOP31	1	なし	なし	0	兼用出力 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
P30	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	RXDA0	1	なし	なし	0	-	ポート・ラッチ	兼用入力 (シリアル入力)
					1		端子レベル	
P31	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TXDA0	1	なし	なし	0	兼用出力 (シリアル出力)	ポート・ラッチ	
					1		端子レベル	

注 P16を出力ポートまたはTOQ00出力機能に設定している場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。

ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4 - 5 ポート1の兼用端子を参照してください。

備考 ×：任意

表4 - 10 各設定時の出力データとポート・リード値 (3/4)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考	
P32	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	RXDA1	1	なし	1	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
P33	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	TXDA1	1	なし	1	0	兼用出力 (シリアル出力)	ポート・ラッチ		
					1		端子レベル		
P40	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SIB0	1	なし	なし	0	-	ポート・ラッチ		兼用入力 (シリアル入力)
					1		端子レベル		
P41	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SOB0	1	なし	なし	0	兼用出力 (シリアル出力)	ポート・ラッチ		
					1		端子レベル		
P42	出力ポート	0	なし	なし	0	ポート・ラッチ	ポート・ラッチ		
	入力ポート				1	-	端子レベル		
	SCKB0	1	なし	なし	0	兼用入出力 (シリアル入出力)	ポート・ラッチ		マスタ時は出力 スレーブ時は入力
					1		端子レベル		

備考 × : 任意

表4 - 10 各設定時の出力データとポート・リード値 (4/4)

ポート名	機能	PMCmn	PFCEmn	PFCmn	PMmn	出力データ	Pmnリード値	備考
P43, P44	出力ポート	0	なし	×	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	
	TOP00, TOP01	1	なし	0	0	兼用出力 (タイマ出力)	ポート・ラッチ	
					1		端子レベル	
TIP00, TIP01	1	なし	1	0	-	ポート・ラッチ	兼用入力(タイマ入力)	
				1		端子レベル		
PDL0-PDL4, PDL5 ^注 , PDL6, PDL7	出力ポート	なし	なし	なし	0	ポート・ラッチ	ポート・ラッチ	
	入力ポート				1	-	端子レベル	

注 PDL5端子はフラッシュ・プログラミング・モード時に設定する端子を兼用しています(μ PD70F3329のみ)。この端子は、ポート制御用レジスタで操作する必要はありません。
詳細は第19章 フラッシュ・メモリを参照してください。

備考 × : 任意

4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を次に示します。
兼用端子として使用する場合は各機能を参照してください。

表4 - 11 ポート端子を兼用端子として使用する場合 (1/3)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	INTP0	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	-	
	TOQH0OFF	入力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	-	-	
P01	INTP1	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	-	
	TOQ1OFF	入力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	-	-	
P02	INTP2	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
	TOP2OFF	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	-	-	
P03	INTP3	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	-	
	TOP3OFF	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	-	-	
P04	INTP4	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
	ADTRG0	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	-	-	
P05	INTP5	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
	ADTRG1	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	-	-	
P06	INTP6	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	-	-	
P10	TOQH01	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 0	
	TIQ01	入力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 0	PFC10 = 1	
	TOQ01	出力	P10 = 設定不要	PM10 = 設定不要	PMC10 = 1	PFCE10 = 1	PFC10 = 0	
P11	TIQ02	入力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 0	PFC11 = 1	
	TOQ02	出力	P11 = 設定不要	PM11 = 設定不要	PMC11 = 1	PFCE11 = 1	PFC11 = 0	
P12	TOQH02	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 0	
	TIQ03	入力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 0	PFC12 = 1	
	TOQ03	出力	P12 = 設定不要	PM12 = 設定不要	PMC12 = 1	PFCE12 = 1	PFC12 = 0	
P13	TIQ00	入力	P13 = 設定不要	PM13 = 設定不要	PMC13 = 1	-	PFC13 = 1	
P14	TOQH03	出力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	-	PFC14 = 0	
	EVTQ0	入力	P14 = 設定不要	PM14 = 設定不要	PMC14 = 1	-	PFC14 = 1	

表4 - 11 ポート端子を兼用端子として使用する場合 (2/3)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P16(CLMER) ^注	TOQ00(CLMER) ^注	出力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	-	PFC16 = 0	
	TIP20	入力	P16 = 設定不要	PM16 = 設定不要	PMC16 = 1	-	PFC16 = 1	
P17	TOP21	出力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	-	PFC17 = 0	
	TIP21	入力	P17 = 設定不要	PM17 = 設定不要	PMC17 = 1	-	PFC17 = 1	
P20	TOQ1T1	出力	P20 = 設定不要	PM20 = 設定不要	PMC20 = 1	-	-	
P21	TOQ1B1	出力	P21 = 設定不要	PM21 = 設定不要	PMC21 = 1	-	-	
P22	TOQ1T2	出力	P22 = 設定不要	PM22 = 設定不要	PMC22 = 1	-	-	
P23	TOQ1B2	出力	P23 = 設定不要	PM23 = 設定不要	PMC23 = 1	-	-	
P24	TOQ1T3	出力	P24 = 設定不要	PM24 = 設定不要	PMC24 = 1	-	-	
P25	TOQ1B3	出力	P25 = 設定不要	PM25 = 設定不要	PMC25 = 1	-	-	
P26	TOQ10	出力	P26 = 設定不要	PM26 = 設定不要	PMC26 = 1	-	-	
P27	TOP31	出力	P27 = 設定不要	PM27 = 設定不要	PMC27 = 1	-	-	
P30	RXDA0	入力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	-	-	
P31	TXDA0	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	-	-	
P32	RXDA1	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	-	PFC32 = 1	
P33	TXDA1	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	-	PFC33 = 1	
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	-	-	
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	-	-	
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	-	-	

注 P16を出力ポートまたはTOQ00出力機能に設定している場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。

ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4 - 5 ポート1の兼用端子を参照してください。

表4 - 11 ポート端子を兼用端子として使用する場合 (3/3)

端子名称	兼用端子		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P43	TOP00	出力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 0	
	TIP00	入力	P43 = 設定不要	PM43 = 設定不要	PMC43 = 1	-	PFC43 = 1	
P44	TOP01	出力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 0	
	TIP01	入力	P44 = 設定不要	PM44 = 設定不要	PMC44 = 1	-	PFC44 = 1	
PDL0	-	-	PDL0 = 設定不要	PMDL0 = 設定不要	-	-	-	
PDL1	-	-	PDL1 = 設定不要	PMDL1 = 設定不要	-	-	-	
PDL2	-	-	PDL2 = 設定不要	PMDL2 = 設定不要	-	-	-	
PDL3	-	-	PDL3 = 設定不要	PMDL3 = 設定不要	-	-	-	
PDL4	-	-	PDL4 = 設定不要	PMDL4 = 設定不要	-	-	-	
PDL5 ^注	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	-	-	-	
PDL6	-	-	PDL6 = 設定不要	PMDL6 = 設定不要	-	-	-	
PDL7	-	-	PDL7 = 設定不要	PMDL7 = 設定不要	-	-	-	

注 PDL5端子はフラッシュ・プログラミング・モード時に設定する端子 (FLMD1) を兼用しています (μ PD70F3329のみ)。この端子は、ポート制御用レジスタで操作する必要はありません。詳細は第19章 フラッシュ・メモリを参照してください。

4.6 ノイズ除去回路

次に示す端子には、ノイズ除去時間確保のためのタイミング制御回路が付加されています。これらの除去時間未満で変化する信号入力は内部で受け付けられません。

表4 - 12 ノイズ除去回路

ユニット	対象端子	ディレイ・タイプ	ノイズ除去幅	サンプリング・クロック
リセット	RESET	アナログ・ディレイ	数10 ns (TYP.)	-
モード端子	FLMD0 ^{注1} /IC ^{注2}		500 ns (MIN.)	
・割り込み (INTC) ^{注3} ・モータ制御用タイマのハイ・インピーダンス出力制御機能 ・A/Dコンバータ (ADC)	P00/INTP0/TOQH0OFF P01/INTP1/TOQ1OFF P02/INTP2/TOP2OFF P03/INTP3/TOP3OFF P04/INTP4/ADTRG0 P05/INTP5/ADTRG1			
	P06/INTP6	デジタル・ディレイ	4-5クロック (250 ns (32 MHz時)) (500 ns (32 MHz時)) (1 μ s (32 MHz時)) (2 μ s (32 MHz時))	$f_{xx}/2$ (62.5 ns (32 MHz時)) $f_{xx}/4$ (125 ns (32 MHz時)) $f_{xx}/8$ (250 ns (32 MHz時)) $f_{xx}/16$ (500 ns (32 MHz時)) より選択可能
タイマQ (TMQ)	TIQ01 TIQ02 TIQ03 TIQ00 EVTQ0	デジタル・ディレイ	4-5クロック (125 ns (32 MHz時))	f_{xx} (31.25 ns (32 MHz時))
タイマP (TMP)	TIP20 TIP21 TIP00 TIP01			

注1. μ PD70F3329のみ

2. μ PD703327, 703329のみ

3. INTP6以外のマスクブル割り込み入力は、IDLE, STOPモードの解除要因として使用できます。

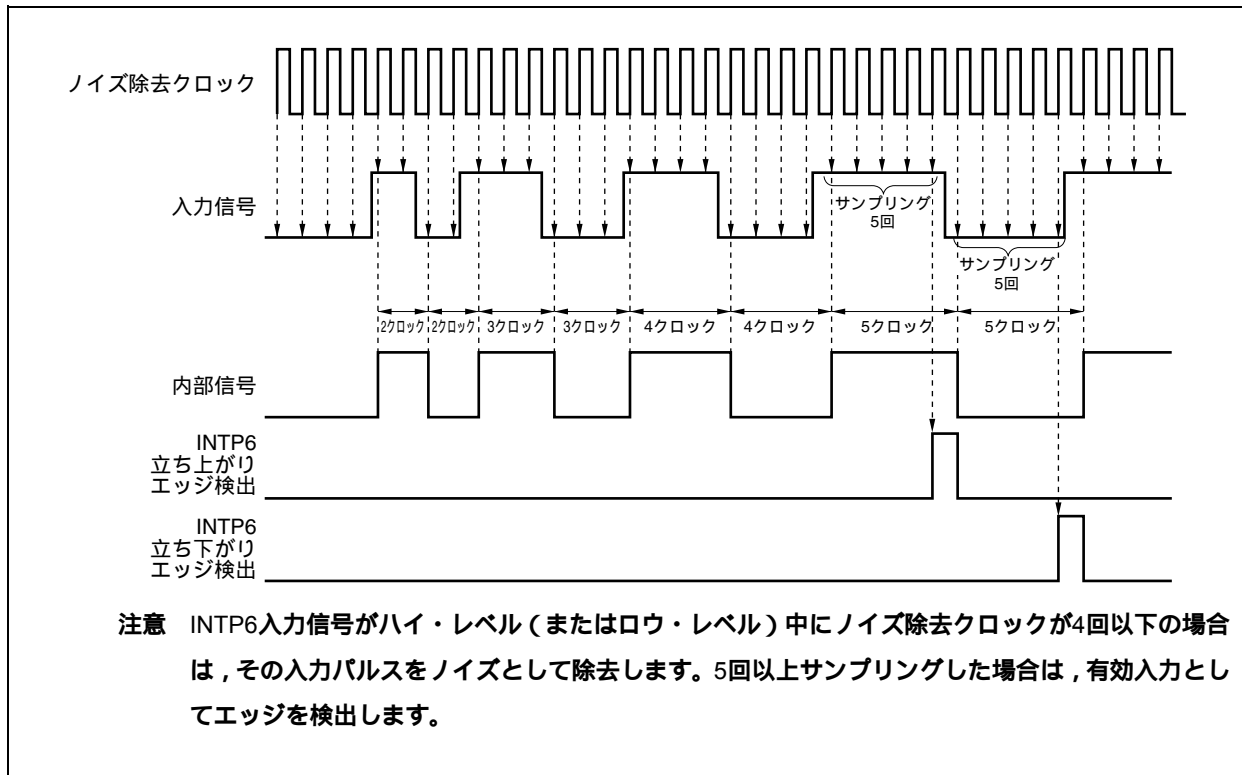
注意1. マスカブル割り込み端子はスタンバイ・モードの解除に使用します。

2. デジタル・ディレイの端子のノイズ・フィルタはクロック・サンプリングを用いているため、周辺クロック (f_{xx}) 停止時には入力信号を受け付けられません。

3. ノイズ除去回路は兼用機能時だけ有効です。

次にINTP6端子のデジタル・ノイズ除去のタイミング例を示します。

図4 - 22 ノイズ除去タイミング例



(1) 外部割り込みノイズ除去制御レジスタ (INTPNRC)

INTPNRCレジスタは、INTP6端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルが5回連続で検出されなかった場合、その信号はノイズとして除去されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1.** 入力パルスが4~5クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の同一レベルの入力が必要です。
- サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
 - 通常入力ポートとして使用する場合はノイズ除去を行いません。

リセット時：00H R/W アドレス：FFFFFF310H

	7	6	5	4	3	2	1	0
INTPNRC	0	0	0	0	0	0	INTPNRC1	INTPNRC0

INTPNRC1	INTPNRC0	サンプリング・クロックの選択
0	0	fxx/16
0	1	fxx/8
1	0	fxx/4
1	1	fxx/2

4.7 注意事項**4.7.1 ポート端子設定上の注意事項**

- (1) ポートのレジスタ設定は、次の順で行ってください。

PFCn, PFCEnレジスタを設定

PMCnレジスタを設定

INTFn, INTRnレジスタを設定

PMCnレジスタを先に設定したあとに、PFCn, PFCEnレジスタを設定すると、PFCn, PFCEnレジスタ設定中に意図しない周辺機能端子に設定されてしまう可能性があります。

- (2) 内蔵プルアップ抵抗は、ポート・モード時に入力モードの場合と兼用機能時に入力端子の場合に接続が可能です。さらに、兼用機能時に出力端子であるTOP21, TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3, TOP31, TOQH01-TOQH03端子は、TOP2OFF, TOQ1OFF, TOP3OFF, TOQH0OFF端子やソフトウェア処理などによりハイ・インピーダンス状態になった場合に接続が可能です。

4.7.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力/出力が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P20端子は出力ポート、P21-P27端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P20端子の出力をビット操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート・ラッチの値は、“FFH” になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み/読み出しの対象は、それぞれ出力ラッチ/端子状態です。

また、ビット操作命令はV850ES/IK1内部で、次の順序で行われます。

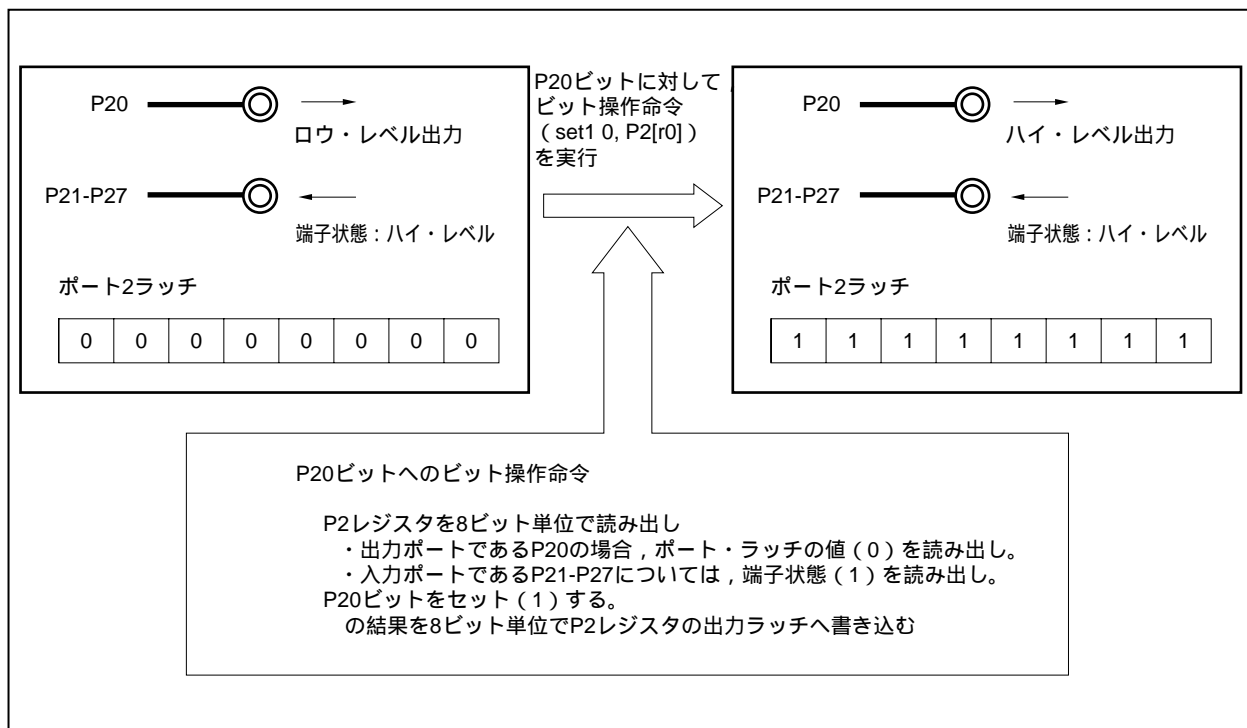
- <1> Pnレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP20端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP21-P27端子は端子状態を読み出します。このときP21-P27端子の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4 - 23 ビット操作命令（P20端子の場合）



第5章 クロック・ジェネレータ

5.1 概要

クロック・ジェネレータの概要を次に示します。

発振回路

- ・ PLLモード時 : $f_x = 2.5 \sim 4 \text{ MHz}$ ($f_{xx} = 20 \sim 32 \text{ MHz}$)
- ・ クロック・スルー・モード時 : $f_x = 2.5 \sim 4 \text{ MHz}$ ($f_{xx} = 2.5 \sim 4 \text{ MHz}$)

PLL (Phase Locked Loop) による逡倍機能 (8逡倍固定)

- ・ クロック・スルー・モード / PLLモード選択可能

内部システム・クロックの生成

- ・ 4段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$)

周辺クロックの生成

発振安定時間の選択

備考 f_x : 発振周波数

f_{xx} : システム・クロック

5.2 構成

図5 - 1 クロック発生回路

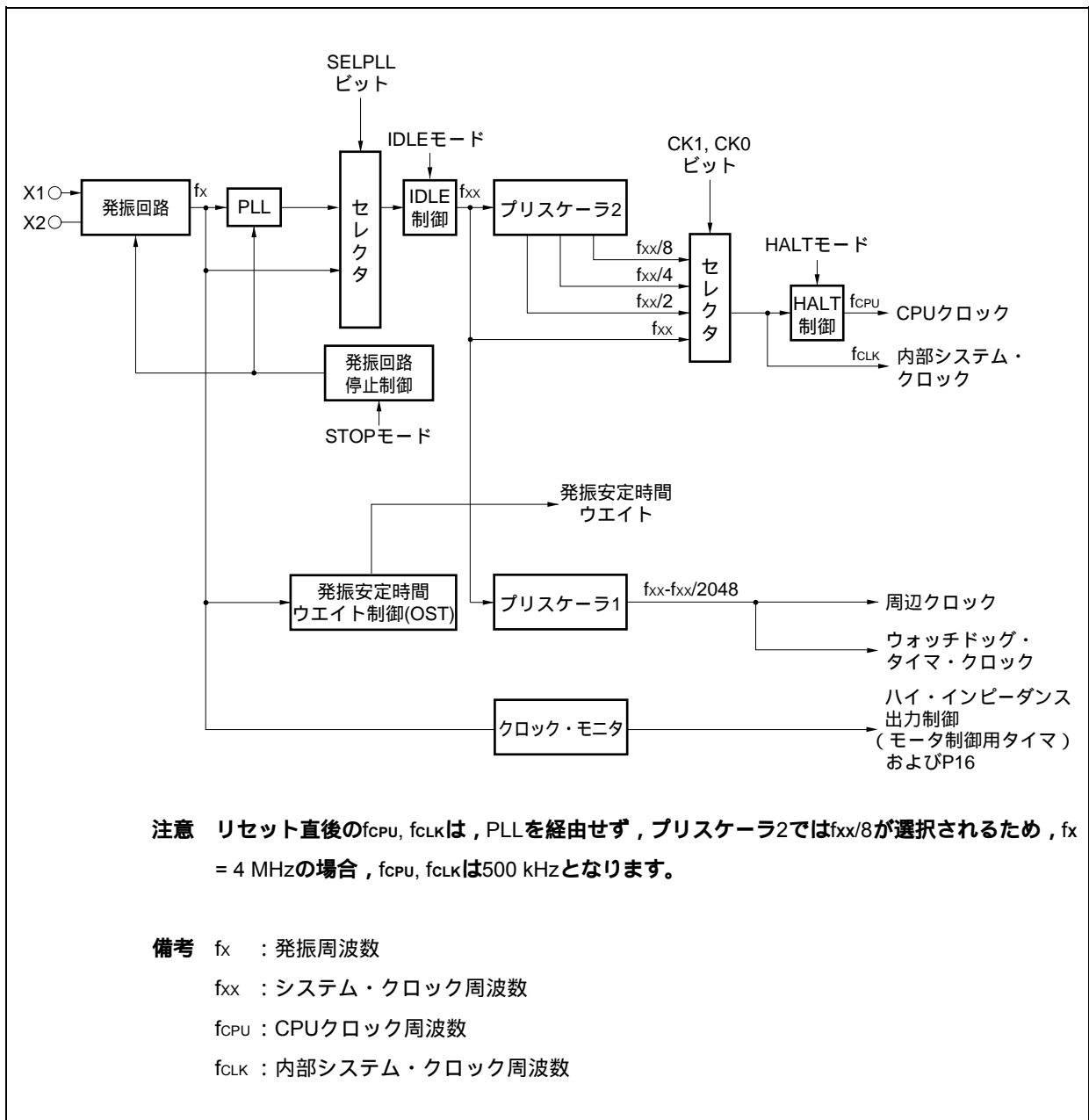


表5 - 1 各機能ブロックの動作クロック

機能ブロック	動作クロック
CPU	f_{CPU} (PCCレジスタで $f_{xx}-f_{xx}/8$ から選択)
割り込みコントローラ	f_{CLK} (PCCレジスタで $f_{xx}-f_{xx}/8$ から選択)
タイマ (ウォッチドッグ・タイマ除く)	f_{xx}
ウォッチドッグ・タイマ	$f_{xx}/512$
UARTA	f_{UCLK} (UAnCTL1レジスタで $f_{xx}-f_{xx}/2048$ から選択)
CSIB	f_{CCLK} (CB0CTL1レジスタで $f_{xx}/2-f_{xx}/128$, 外部クロックから選択)
A/Dコンバータ0, 1	f_{xx}

備考1. f_{xx} : 周辺クロック

2. $n = 0, 1$

(1) 発振回路

次の周波数 (f_x) を発振します。

- ・ PLLモード時 (8倍固定) : $f_x = 2.5 \sim 4 \text{ MHz}$ ($f_{xx} = 20 \sim 32 \text{ MHz}$)
- ・ クロック・スルー・モード時 : $f_x = 2.5 \sim 4 \text{ MHz}$ ($f_{xx} = 2.5 \sim 4 \text{ MHz}$)

(2) IDLE制御

発振回路, PLL, クロック・モニタ動作, スLEEP・モード時のCSIB以外のすべてを停止させます。

(3) HALT制御

CPUクロック (f_{CPU}) だけを停止させます。

(4) PLL

発振回路で生成するクロック (f_x) を8倍します。

PLLコントロール・レジスタ(PLLCTL)のSELPLLビットの設定により, f_x をそのまま出力するクロック・スルー・モードと, 通倍クロックを出力するPLLモードを選択します。

PLLモード時のPLLからの出力周波数は20 ~ 32 MHzです。

(5) プリスケーラ1

内蔵周辺機能に供給するクロック ($f_{xx-fxx}/2048$) を生成します。

(6) プリスケーラ2

システム・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU}) と内部システム・クロック (f_{CLK}) に供給するクロック ($f_{xx-fxx}/8$) を生成します。

(7) 発振安定時間ウエイト制御 (OST)

発振回路で生成するクロックを入力してから発振が安定するまでの時間をカウントします。また, PLLロックアップ時間もカウントします。 $2^{14}/f_x-2^{16}/f_x$ から選択できます。

(8) クロック・モニタ

クロック・モニタは, 内蔵発振クロックで, 発振回路で生成するクロック (f_x) のサンプリングを行います。エラー (発振回路停止) を検出すると, モータ制御用タイマの出力をハイ・インピーダンスにします。また, P16からCLMER信号 (ロウ・レベル)^注を出力します (詳細は第4章 ポート機能, 第9章 モータ制御機能参照)。ロウ・レベル出力は, リセット信号により解除されます。

注 CLMER信号 (ロウ・レベル) は, P16を出力ポートまたはTOQ00出力機能に設定している場合のみ有効です。

5.3 制御レジスタ

クロック・ジェネレータを制御するレジスタには、次の7種類があります。

- ・PLLコントロール・レジスタ (PLLCTL)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・パワー・セーブ・モード・レジスタ (PSMR)
- ・発振安定時間選択レジスタ (OSTS)
- ・クロック・モニタ・モード・レジスタ (CLM)

(1) PLLコントロール・レジスタ (PLLCTL)

CPU動作クロックを選択するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	0
PLLCTL	0	0	0	0	0	0	SELPLL	1

SELPLL	CPU動作クロックの選択
0	クロック・スルー・モード
1	PLLモード

注意1. ビット7-2には必ず0を、ビット0には必ず1を設定してください。

2. SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態でのみ可能です。安定していないとき（アンロック中）にSELPLLビットを書き換えた場合には、0が書き込まれています。このため、PLLモードに切り替わったことを必ず確認してください。

次に参考プログラムを示します。

```

_loop:    set1    1, PLLCTL
          tst1    1, PLLCTL
          bz     _loop
(next instruction)

```

3. PLLモード (SELPLLビット = 1)を使用する前には、必ずCKCレジスタに0BHを設定してください。CKCレジスタの設定をしない場合の動作は保証しません。

(2) クロック・コントロール・レジスタ (CKC)

CKCレジスタは、PLLモードを制御するレジスタです。PLLモード (PLLCTL.SELPLLビット = 1) を使用する前に、必ずCKCレジスタに0BHを設定してください。CKCレジスタを設定しない場合の動作は保証しません。CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

8ビット単位でリード/ライト可能です。

リセットにより0AHになります。

リセット時 : 0AH R/W アドレス : FFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	0/1	0/1

- 注意1. CKCレジスタは、初期値は0AHですが、初期設定時には必ず0BHを設定してください。また、インサーキット・エミュレータの初期値は不定ですが、インサーキット・エミュレータを使用する場合も同様に0BHを設定してください。
2. CKCレジスタへ書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

(3) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより03Hになります。

リセット時 : 03H R/W アドレス : FFFFF828H

	7	6	5	4	3	2	1	0
PCC	0	0	0	0	0	0	CK1	CK0

CK1	CK0	クロックの選択 (fCLK/fCPU)
0	0	fxx
0	1	fxx/2
1	0	fxx/4
1	1	fxx/8

- 注意1. ビット2-7には、必ず0を設定してください。
2. PCCレジスタの設定はPLLモード (PLLCTL.SELPLLビット = 1) に切り替えたあとに行ってください。
3. PCCレジスタへ書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

(4) パワー・セーブ・コントロール・レジスタ (PSC)

PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.

4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INTxx ^注) によるスタンバイ・モードの制御
0	INTxx要求によるスタンバイ・モード解除許可
1	INTxx要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注 詳細は、表14 - 1 割り込み要因一覧を参照してください。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

4. PSCレジスタへ書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

(5) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

(6) 発振安定時間選択レジスタ (OSTS)

割り込み要求によりSTOPモードを解除してから、発振が安定するまでの発振安定時間を選択するレジスタです。

8ビット単位でリード/ライト可能です。

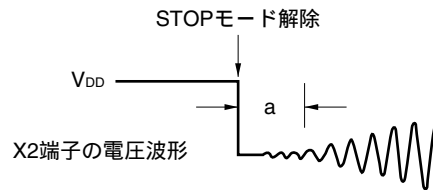
リセットにより06Hになります。

リセット時 : 06H R/W アドレス : FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択 ($f_x = 4 \text{ MHz}$)
1	0	0	$2^{14}/f_x$ (4.10 ms)
1	0	1	$2^{15}/f_x$ (8.19 ms)
1	1	0	$2^{16}/f_x$ (16.4 ms)
その他			設定禁止

注意1. ウェイト時間は、STOPモード解除後クロック発振を開始するまでの時間(下図a)は含みません。



- OSTSレジスタには、発振子の安定に必要な時間の2倍を設定してください(発振安定時間の1/2はPLLの安定時間となるため)。
- リセット解除後の発振安定時間は、 $2^{16}/f_x$ (OSTSレジスタの初期値 = 06Hのため)となります。
- ビット3-7には、必ず0を設定してください。

備考 f_x : 発振周波数

(7) クロック・モニタ・モード・レジスタ (CLM)

クロック・モニタの動作モードの設定を行うレジスタです。CLMレジスタは特定レジスタです。特定シーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF870H

	7	6	5	4	3	2	1	0
CLM	0	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作制御
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

注意1. CLMEビットはリセットによってのみクリア (0) されます。

2. CLMEビット = 1のとき、次の条件では強制的にクロック・モニタ機能が停止します。

・STOPモード~発振安定時間カウント時

3. CLMEビット = 1のとき、発振 (fx) 停止を検出した場合は、モータ制御用タイマの出力をハイ・インピーダンスにします。

対象のタイマ出力は図9-4を参照してください。

4. CLMレジスタへ書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

5.4 PLL機能

5.4.1 概要

CPUおよび周辺マクロの動作クロックを、発振周波数の8逓倍出力と、クロック・スルー・モードに切り替えることができます。

PLL機能使用時 : 入力クロック (f_x) = 2.5 ~ 4 MHz, 出力クロック (f_{xx}) = 20 ~ 32 MHz

クロック・スルー・モード : 入力クロック (f_x) = 2.5 ~ 4 MHz, 出力クロック (f_{xx}) = 2.5 ~ 4 MHz

5.4.2 PLLモード

PLLモードでは、発振周波数 (f_x) をPLLにより8逓倍し、システム・クロック (f_{xx}) を生成します。

PLLモードでは、発振回路からのクロックがPLLに入力され、所定の周波数でフェーズ・ロックし安定するまでのロックアップ時間（周波数安定時間）を経てから、安定した周波数のクロックを内部に供給する必要があります。V850ES/IK1では、リセット解除後のロックアップ時間を自動的に確保しています。

5.4.3 クロック・スルー・モード

クロック・スルー・モードでは、発振周波数 (f_x) と同じ周波数のシステム・クロック (f_{xx}) を生成します。

5.5 動作

5.5.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5 - 2 各クロックの動作状態

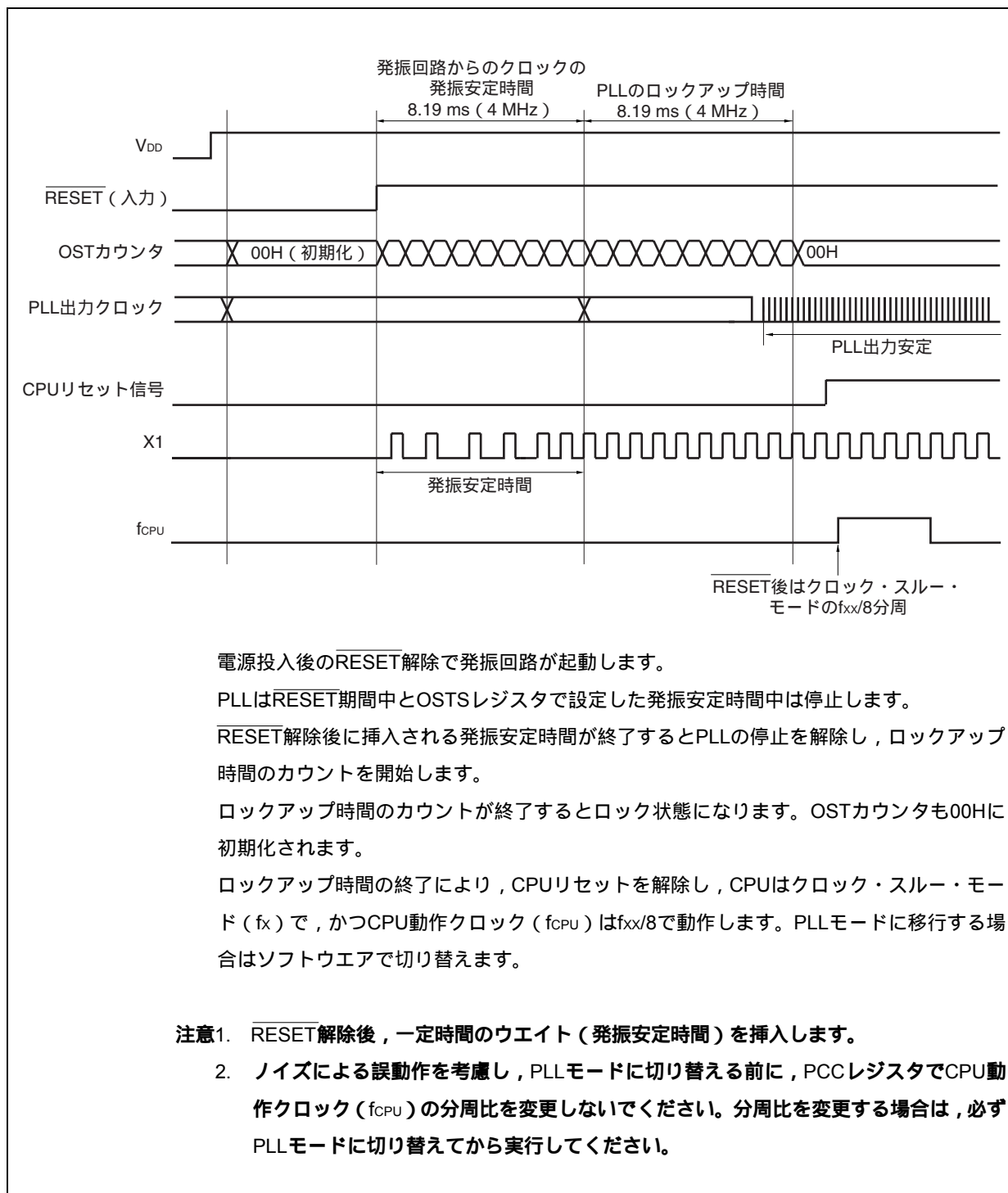
パワー・セーブ・モード	発振回路 (fx)	PLL (fxx)	内部システム・ クロック (fCLK)	CPUクロック (fCPU)	周辺クロック (fx-fxx/2048)	ウォッチドッグ・ タイマ・クロック (fxx/512)
通常動作時						
RESET端子入力中	×	×	×	×	×	×
発振安定時間カウント中			×	×	×	×
HALTモード				×		
IDLEモード			×	×	×	×
STOPモード	×	×	×	×	×	×

備考 : 動作

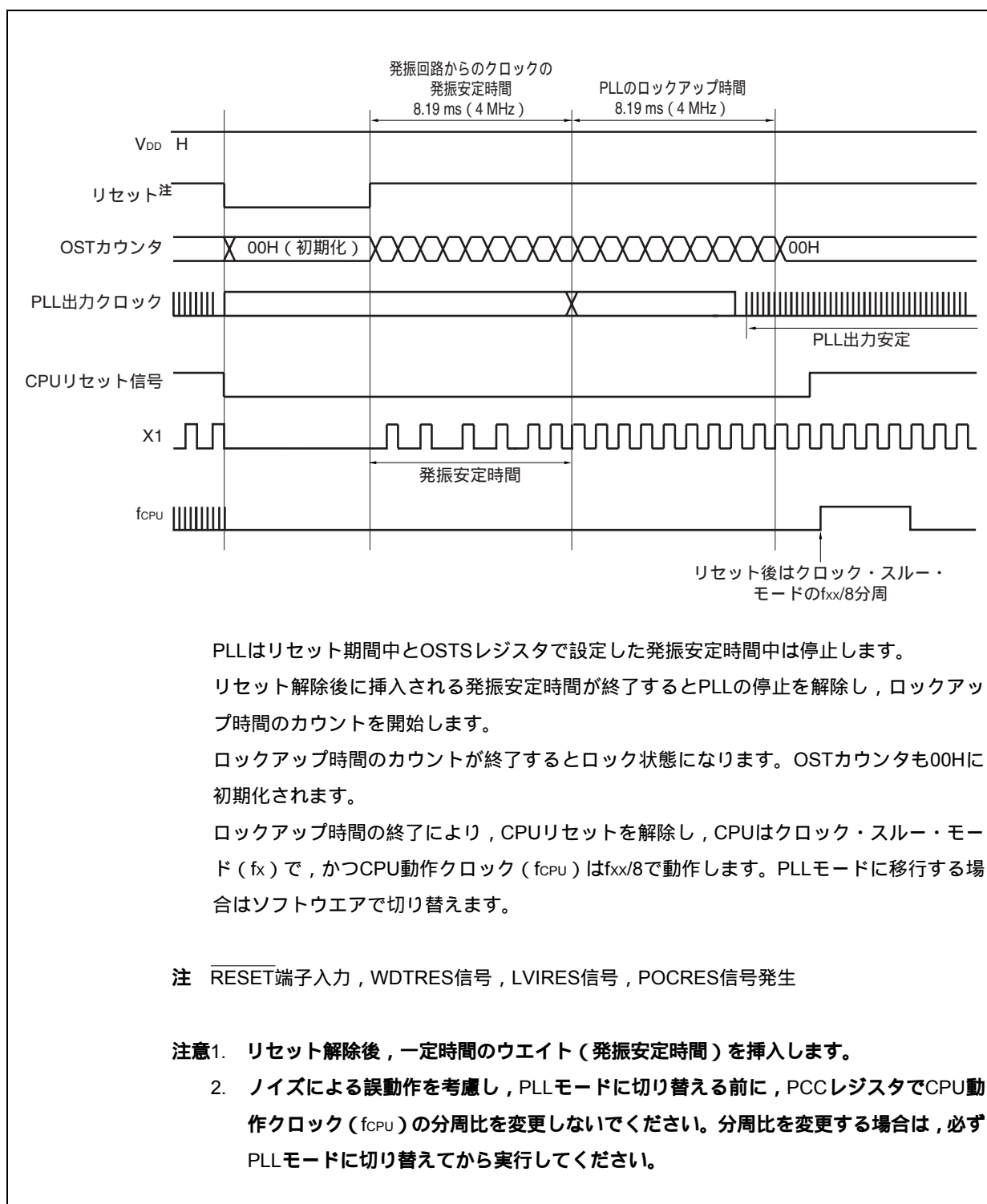
× : 停止

5.5.2 動作タイミング

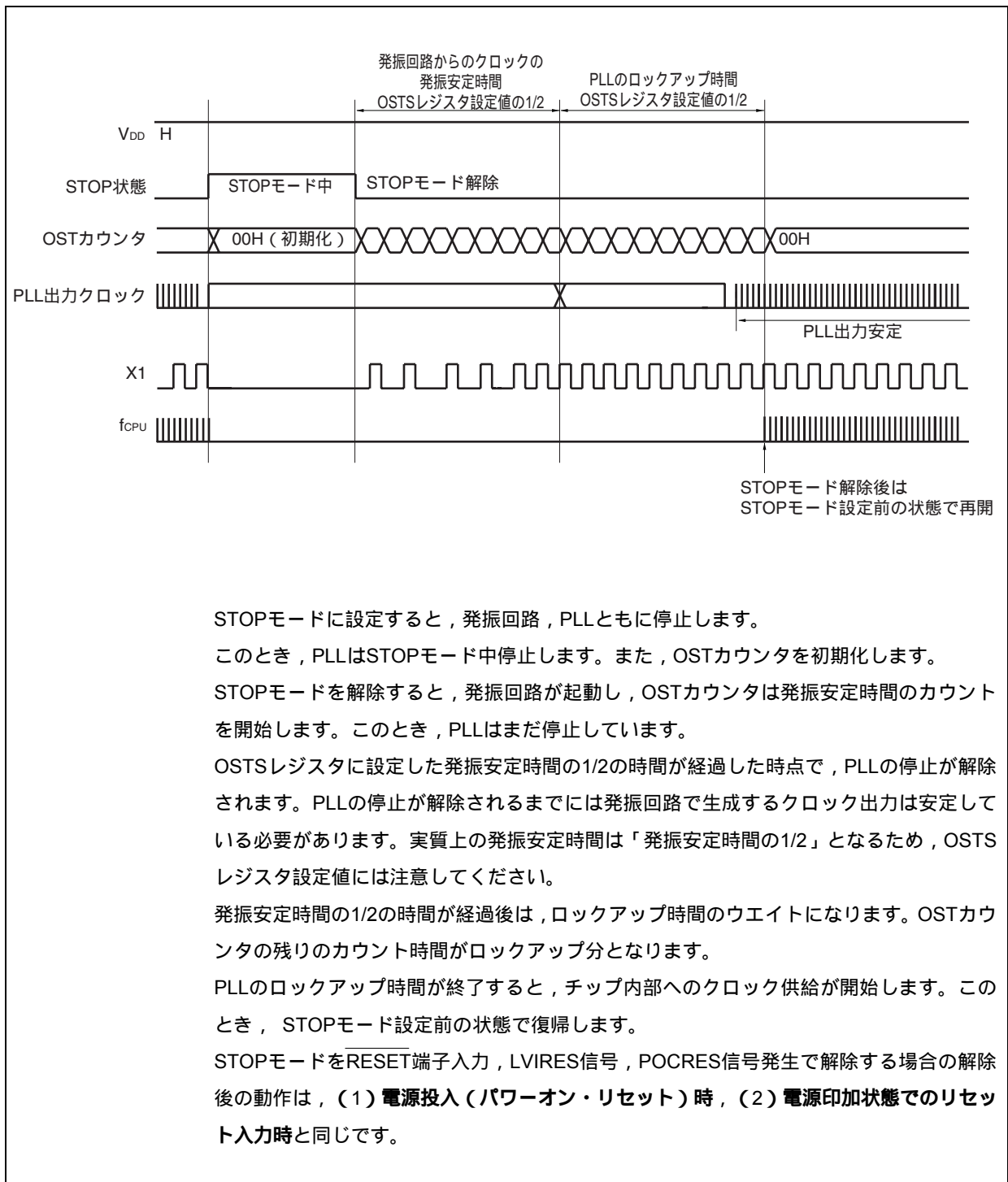
(1) 電源投入 (パワーオン・リセット) 時



(2) 電源印加状態でのリセット入力時



(3) 割り込み要求によるSTOPモード解除時



5.6 クロック・モニタ

(1) 機能

クロック・モニタは、内蔵発振クロックで、発振回路で生成するクロック (fx) のサンプリングを行います。エラー (発振回路停止) を検出すると、モータ制御用タイマの出力をハイ・インピーダンスにします。また、P16からCLMER信号 (ロウ・レベル)^注を出力します (詳細は第4章 ポート機能, 第9章 モータ制御機能参照)。ロウ・レベル出力は、リセット信号により解除されます。

注 CLMER信号 (ロウ・レベル) は、P16を出力ポートまたはTOQ00出力機能に設定している場合のみ有効です。

(2) 動作

クロック・モニタの持つ機能について説明します。動作開始条件と動作停止条件は次のようになります。

<動作開始条件>

CLM.CLMEビットを動作許可 (1) に設定

<動作停止条件>

STOPモード ~ 発振安定時間カウント時

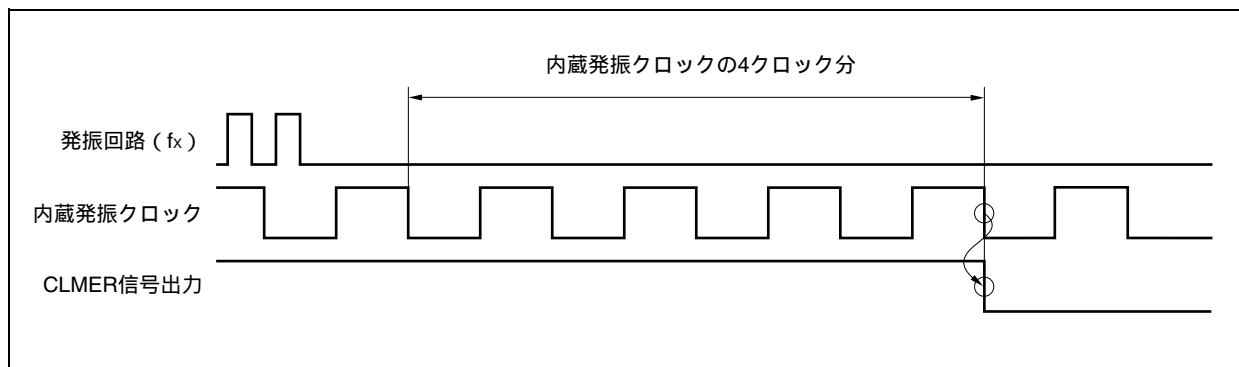
表5-3 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時)

動作モード	発振回路で生成するクロック (fx) の状態	内蔵発振クロックの状態	クロック・モニタの状態
通常動作モード	発振	発振	動作
HALTモード	発振	発振	動作
IDLEモード	発振	発振	動作
STOPモード	停止	発振	停止
リセット中	停止	停止	停止

(a) 発振回路停止時の動作 (CLM.CLMEビット = 1)

CLMEビット = 1のとき、発振回路が停止した場合、P16からCLMER信号が出力されます。

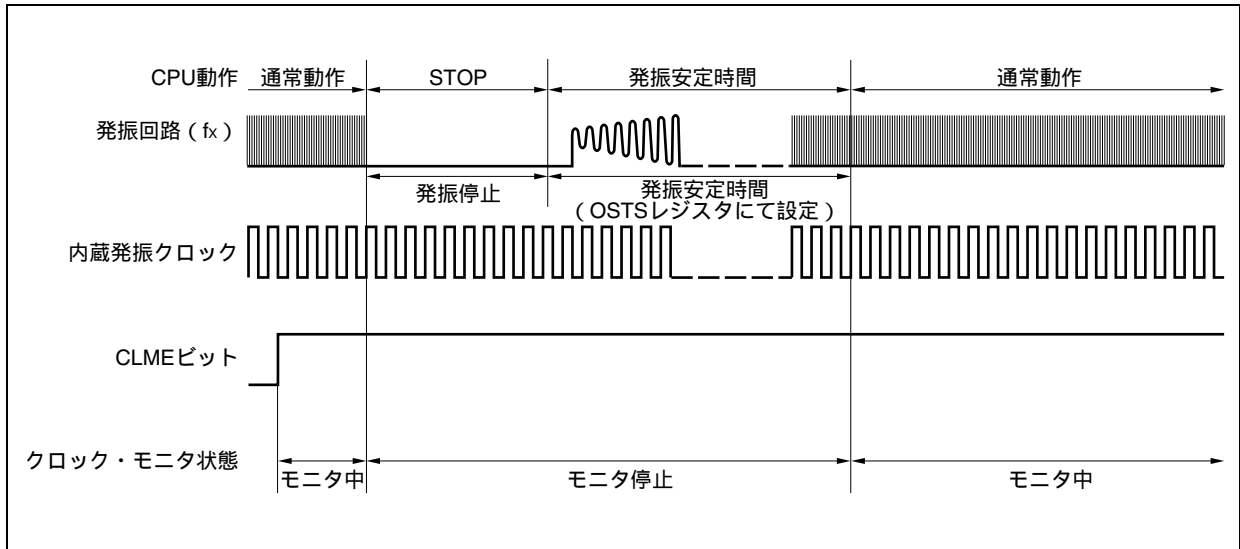
図5-2 発振回路停止時



(b) STOPモード中およびSTOPモード解除後の動作

CLMEビット = 1の状態ではSTOPモードに移行した場合、STOPモード中および発振安定時間カウンタ中はモニタ動作を停止します。発振安定時間カウンタ終了後に自動的にモニタ動作を開始します。

図5 - 3 STOPモード中およびSTOPモード解除後の動作



第6章 16ビット・タイマ/イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ/イベント・カウンタです。

V850ES/IK1 では、TMP0-TMP3 を内蔵しています。

6.1 概 要

次に、TMPnの概要をチャンネルごとに示します (n = 0-3)。

表6 - 1 TMPnの概要

概 要	TMP0	TMP1	TMP2	TMP3
クロック選択	8通り	8通り	8通り	8通り
キャプチャ・トリガ入力端子	2本	なし	2本	なし
外部イベント・カウント入力端子	1本	なし	1本	なし
外部トリガ入力端子	1本	なし	1本	なし
タイマ・カウンタ	1本	1本	1本	1本
キャプチャ/コンペア・レジスタ	2本	2本 ^注	2本	2本 ^注
キャプチャ/コンペア一致割り込み要求信号	2本	2本 ^注	2本	2本 ^注
オーバフロー割り込み要求信号	1本	1本	1本	1本
タイマ出力端子	2本	なし	1本	1本

注 コンペア機能のみ

6.2 機 能

TMPnは、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0-3)。

表6 - 2 TMPnの機能

機 能	TMP0	TMP1	TMP2	TMP3
インターバル・タイマ				
外部イベント・カウンタ		×		×
外部トリガ・パルス出力		×		注
ワンショット・パルス出力		×		注
PWM出力		×		
フリー・ランニング・タイマ				
パルス幅測定		×		×
タイマ同調動作機能	×	(TMQ1)	×	×

注 ソフトウェア・トリガによってのみ実現できます。外部トリガ入力ではできません。

6.3 構成

TMPnは、次のハードウェアで構成されています。

表6-3 TMPnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) CCR0, CCR1バッファ・レジスタ
タイマ入力	計4本 (TIP00 ^{注1} , TIP01, TIP20 ^{注1} , TIP21端子) ^{注2}
タイマ出力	計4本 (TOP00, TOP01, TOP21, TOP31端子) ^{注3}
制御レジスタ	TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPmI/O制御レジスタ0 (TPmIOC0) TMPkI/O制御レジスタ1, 2 (TPkIOC1, TPkIOC2) TMPnオプション・レジスタ0 (TPnOPT0)

注1. TIP00, TIP20端子には、キャプチャ入力信号、外部イベント・カウント入力信号、外部トリガ入力信号が兼用されています。

2. TMP1, TMP3にはありません。
3. TMP1にはありません。

備考 n = 0-3

m = 0, 2, 3

k = 0, 2

図6 - 1 TMP0のブロック図

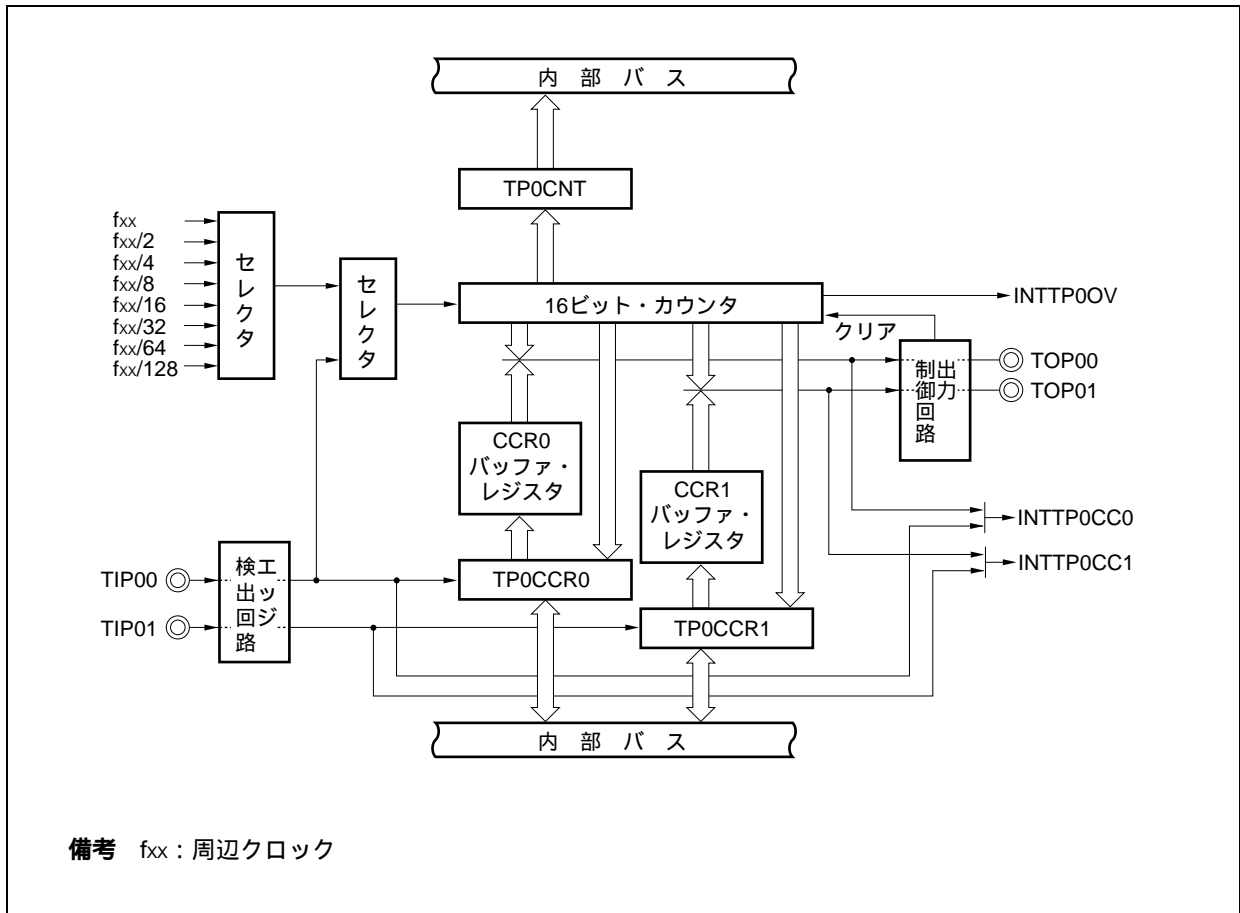


図6 - 2 TMP1のブロック図

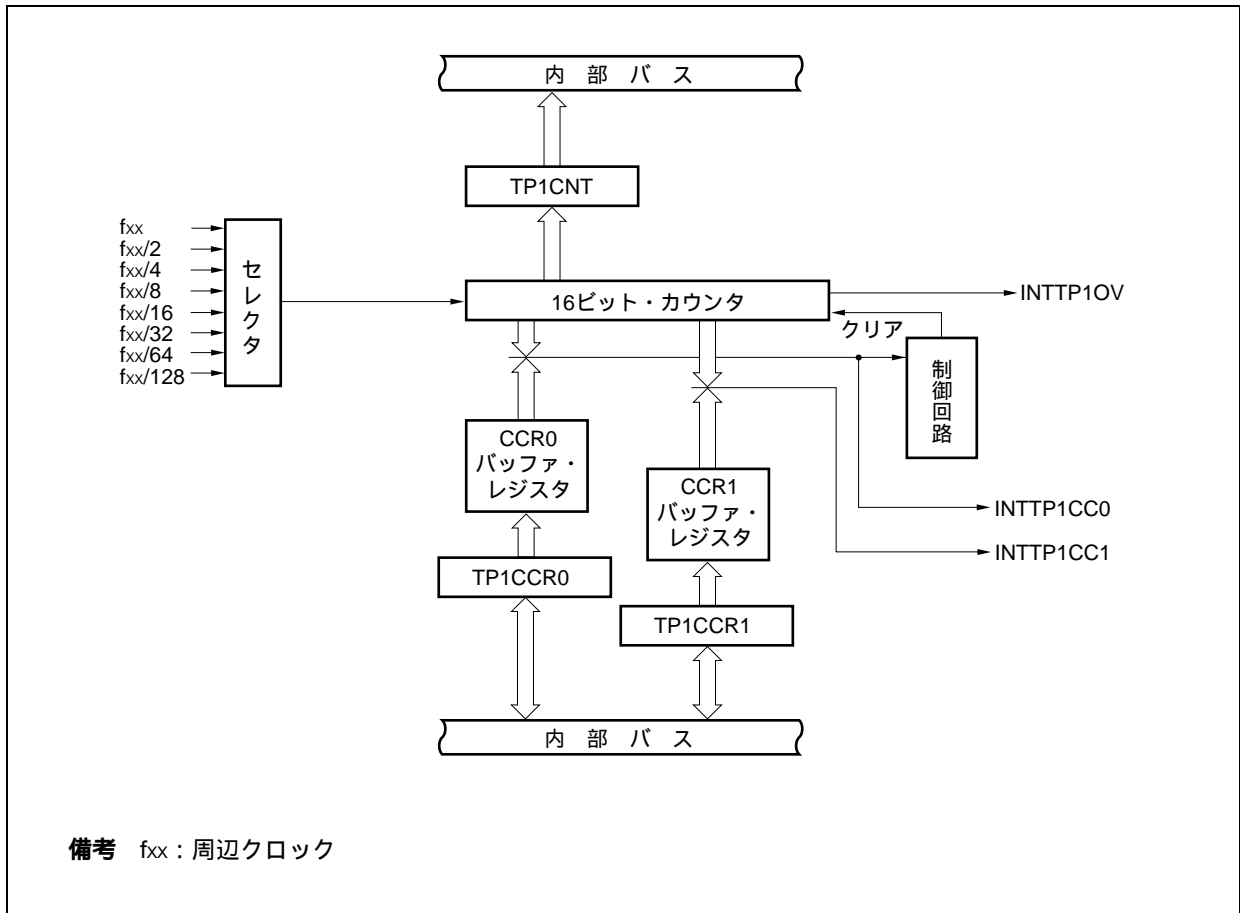


図6-3 TMP2のブロック図

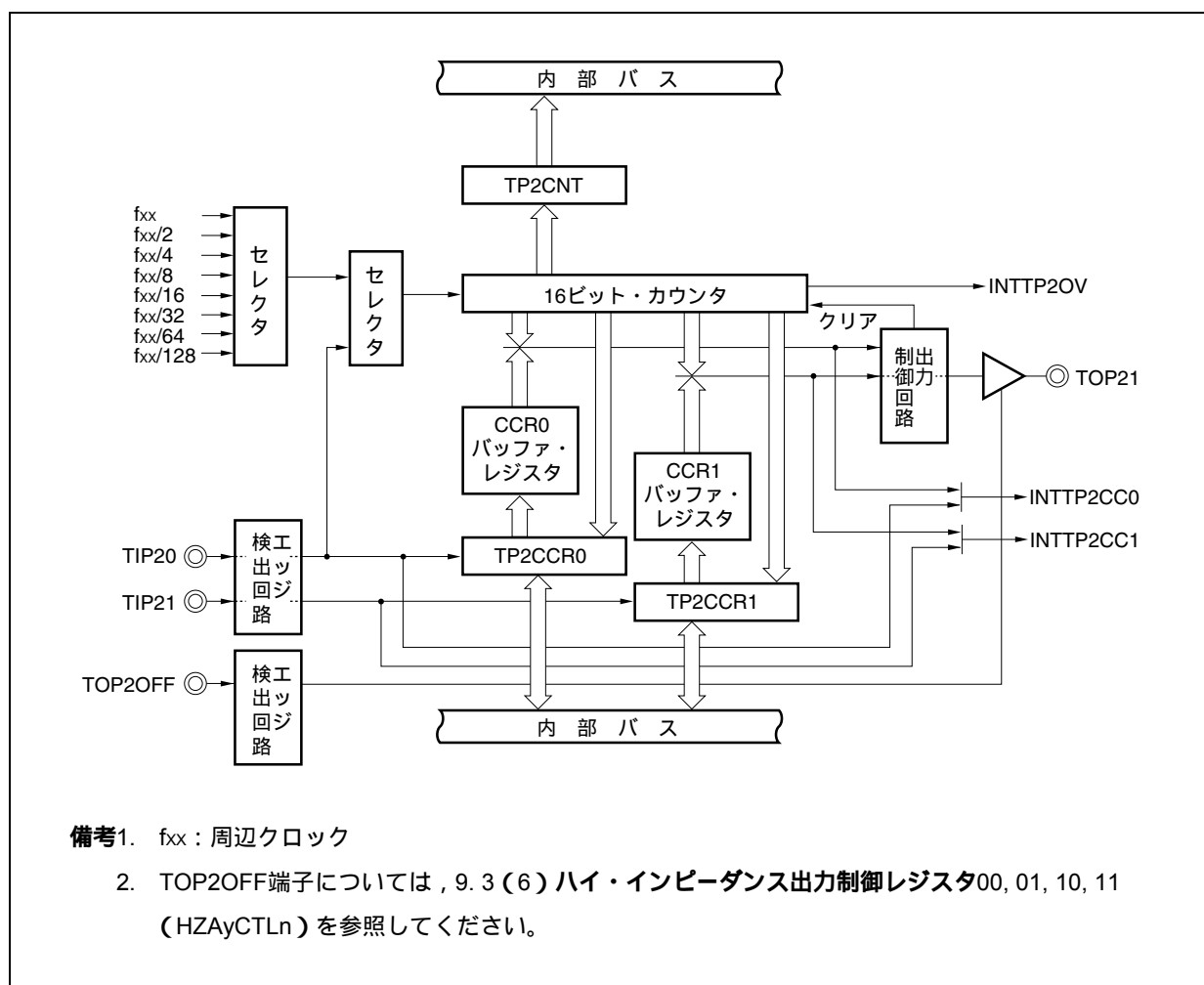
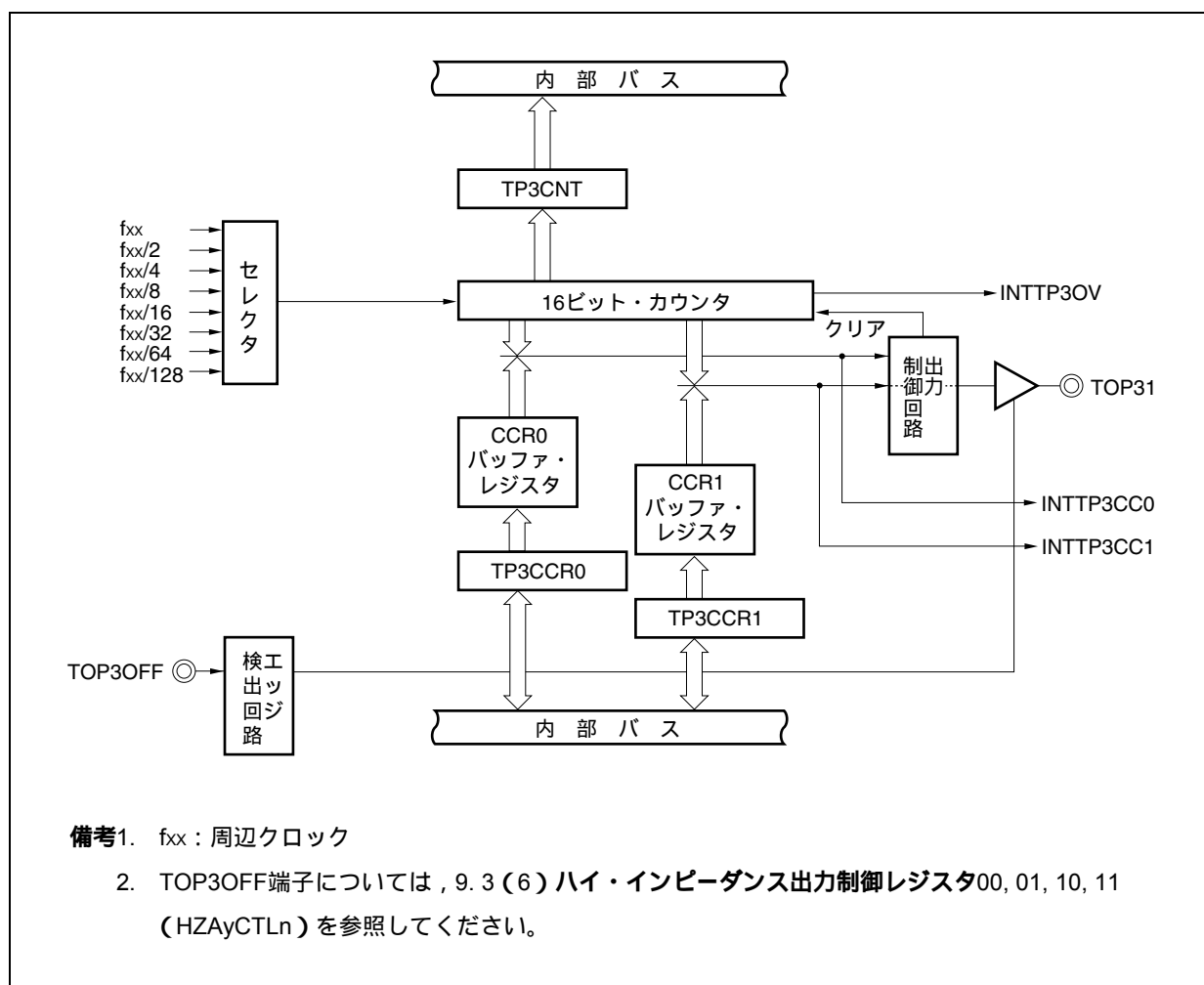


図6 - 4 TMP3のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

TPnCTL0.TPnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTPnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTPnCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTPnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTPnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) エッジ検出回路

TIP00, TIP01, TIP20, TIP21端子に入力される有効エッジを検出します。有効エッジは、TP0IOC1, TP2IOC1, TP0IOC2, TP2IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(5) 出力制御回路

TOP00, TOP01, TOP21, TOP31端子の出力を制御します。TOP00, TOP01, TOP21, TOP31端子の出力は、TP0IOC0, TP2IOC0, TP3IOC0レジスタで制御します。

(6) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

6.4 レジスタ

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFF640H, TP1CTL0 FFFFF660H,
TP2CTL0 FFFFF680H, TP3CTL0 FFFFF6A0H

	⑦	6	5	4	3	2	1	0
TPnCTL0	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

(n = 0-3,
m = 0, 2, 3)

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット ^注)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TPnOPT0.TPnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOP00, TOP01, TOP21, TOP31端子) も16ビット・カウンタと同時にTPmIOC0レジスタの設定状態にリセットされます。

注意1. TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。

TPnCEビットを“0”から“1”に設定するときも、同時にTPnCKS2-TPnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：TP0CTL1 FFFFF641H, TP1CTL1 FFFFF661H,
TP2CTL1 FFFFF681H, TP3CTL1 FFFFF6A1H

	7	6	5	4	3	2	1	0
TPnCTL1 (n = 0-3, m = 0, 2, 3, k = 0, 2)	TP1SYE ^{注1}	TPmEST ^{注2}	TPkEEE ^{注3}	0	0	TPnMD2	TPnMD1	TPnMD0

TP1SYE ^{注1}	動作モードの選択
0	TMP1単体モード使用
1	同調動作モード(9.4.5参照)
同調動作時のTMP1は、A/Dコンバータ0, 1のA/D変換開始トリガ要因としてのみ使用できます。同調動作モードは、常に、TMQ1と同期して動作します。	

TPmEST ^{注2}	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時： TPmESTビットへの"1"ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時： TPmESTビットへの"1"ライトをトリガとして、PWM波形を出力
TPmESTビットのリード値は常に0です。	

TPkEEE ^{注3}	カウント・クロックの選択
0	外部イベント・カウント入力(TIPk0端子)での動作禁止 (TPkCTL0.TPkCKS0-TPkCKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力(TIPk0端子)での動作許可 ^{注4} (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TPkEEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

注1. TMP1のみ設定可能です。TMP0, TMP2, TMP3のビット7には必ず0を設定してください。

同調動作モードの詳細は第9章 モータ制御機能を参照してください。

2. TMP0, TMP2, TMP3のみ設定可能です。TMP1のビット6には必ず0を設定してください。

3. TMP0, TMP2のみ設定可能です。TMP1, TMP3のビット5には必ず0を設定してください。

4. キャプチャ・トリガ入力(TIPk0端子)の有効エッジの選択は“エッジ検出なし”に設定してください。

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択 ^注
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

注 チャンネルによって実現可能な設定が異なります。詳細は表6 - 8から表6 - 11を参照してください。

- 注意1. TPmESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 外部イベント・カウント・モードのときは、TPkEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
 - TP1SYE, TPkEEE, TPnMD2-TPnMD0ビットは、TPnCTL0.TPnCEビット = 0のときに設定してください(TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア(0)してから再設定してください。
 - ビット3, 4には必ず0を設定してください。

(3) TMPmI/O制御レジスタ0 (TPmIOC0)

TPmIOC0レジスタは、タイマ出力 (TOP00, TOPm1端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMP1には、TP1IOC0レジスタはありません。

リセット時 : 00H R/W アドレス : TP0IOC0 FFFFF642H, TP2IOC0 FFFFF682H,
TP3IOC0 FFFFF6A2H

TPmIOC0 (m = 0, 2, 3)	7	6	5	4	3	②	1	①
	0	0	0	0	TPmOL1	TPmOE1	TP0OL0 ^{注1}	TP0OE0 ^{注1}

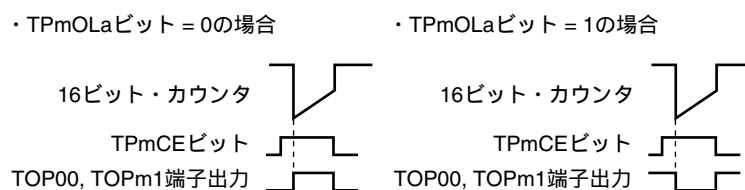
TPmOL1	TOPm1端子出力レベルの設定 ^{注2}
0	TOPm1端子ハイ・レベル・スタート
1	TOPm1端子ロウ・レベル・スタート

TPmOE1	TOPm1端子出力の設定
0	タイマ出力禁止 ・ TPmOL1ビット = 0のときTOPm1端子からロウ・レベルを出力 ・ TPmOL1ビット = 1のときTOPm1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPm1端子からパルスを出力)

TP0OL0 ^{注1}	TOP00端子出力レベルの設定 ^{注2}
0	TOP00端子ハイ・レベル・スタート
1	TOP00端子ロウ・レベル・スタート

TP0OE0 ^{注1}	TOP00端子出力の設定
0	タイマ出力禁止 ・ TP0OL0ビット = 0のときTOP00端子からロウ・レベルを出力 ・ TP0OL0ビット = 1のときTOP00端子からハイ・レベルを出力
1	タイマ出力許可 (TOP00端子からパルスを出力)

- 注1. TMP0のみ有効です。TMP2, TMP3のビット1, 0には必ず0を設定してください。
2. TPmOLaビットの指定によるタイマ出力端子 (TOP00, TOPm1) の出力レベルを次に示します (a = 0, 1)。



注意1. ポート設定がTOP00, TOPm1出力設定の場合, TPmIOC0レジスタの設定を書き換えると端子出力が変化するので, ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして, 端子状態の変化に注意してください。

- 注意2. TPmOL1, TPmOE1, TP0OL0, TP0OE0ビットは, TPmCTL0.TPmCEビット = 0のときに書き換えてください(TPmCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TPmCEビットをクリア(0)してから再設定してください。
3. TPmCEビット = 0, TP0OE0ビット = 0, TPmOE1ビット = 0の状態において, TP0OL0ビット, TPmOL1ビットを操作した場合でも, TOP00, TOPm1端子の出力レベルは変化します。

(4) TMPkI/O制御レジスタ1 (TPkIOC1)

TPkIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPk0, TIPk1端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMP1, TMP3には、TP1IOC1, TP3IOC1レジスタはありません。

リセット時 : 00H R/W アドレス : TP0IOC1 FFFFF643H, TP2IOC1 FFFFF683H

	7	6	5	4	3	2	1	0
TPkIOC1	0	0	0	0	TPkIS3	TPkIS2	TPkIS1	TPkIS0

(k = 0, 2)

TPkIS3	TPkIS2	キャプチャ・トリガ入力信号 (TIPk1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPkIS1	TPkIS0	キャプチャ・トリガ入力信号 (TIPk0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPkIS3-TPkIS0ビットは、TPkCTL0.TPkCEビット = 0のときに書き換えてください (TPkCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPkCEビットをクリア (0) してから再設定してください。
- 2.** TPkIS3-TPkIS0ビットは、フリー・ランニング・タイマ・モード (TPnOPT0.TPkCCS1, TPkCCS0ビット = 11時のみ) と、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません (TMP0, TMP2のみ)。

(5) TMPkI/O制御レジスタ2 (TPkIOC2)

TPkIOC2レジスタは、外部イベント・カウント入力信号 (TIPk0端子)、外部トリガ入力信号 (TIPk0端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMP1, TMP3には、TP1IOC2, TP3IOC2レジスタはありません。

リセット時 : 00H R/W アドレス : TP0IOC2 FFFFFFF644H, TP2IOC2 FFFFFFF684H

	7	6	5	4	3	2	1	0
TPkIOC2	0	0	0	0	TPkEES1	TPkEES0	TPkETS1	TPkETS0

(k = 0, 2)

TPkEES1	TPkEES0	外部イベント・カウント入力信号 (TIPk0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPkETS1	TPkETS0	外部トリガ入力信号 (TIPk0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPkEES1, TPkEES0, TPkETS1, TPkETS0ビットは、TPkCTL0.TPkCEビット = 0のときに書き換えてください (TPkCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPkCEビットをクリア (0) してから再設定してください。
- TPkEES1, TPkEES0ビットは、TPkCTL1.TPkEEEビット = 1、または、外部イベント・カウント・モード (TPkCTL1.TPkMD2-TPkMD0ビット = 001) に設定したときのみ有効です。
 - TPkETS1, TPkETS0ビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFFFF645H, TP1OPT0 FFFFFFF665H,
TP2OPT0 FFFFFFF685H, TP3OPT0 FFFFFFF6A5H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-3, k = 0, 2)	0	0	TPkCCS1 ^注	TPkCCS0 ^注	0	0	0	TPnOVF

TPkCCS1 ^注	TPkCCR1レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPkCTL0.TPkCEビット = 0によりクリア)
TPkCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPkCCS0 ^注	TPkCCR0レジスタのキャプチャ/コンペア選択
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TPkCTL0.TPkCEビット = 0によりクリア)
TPkCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TPnOVFビットへの0書き込みまたはTPnCTL0.TPkCEビット = 0
<ul style="list-style-type: none"> ・ TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFFFHから0000Hにオーバフローするときセット (1) されます。 ・ TPnOVFビットがセット (1) されると同時に、オーバフロー割り込み要求信号 (INTTPnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。 ・ TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリア (0) されません。 ・ INTTPnOV信号発生後、TPnOVFビットをクリア (0) する場合は、必ずTPnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TPnOVFビットはリード/ライト可能ですが、ソフトウェアでTPnOVFビットをセット (1) することはできません。1をライトしてもTMPnの動作に影響はありません。 	

注 TMP0, TMP2のみ有効です。TMP1, TMP3のビット5, 4には必ず0を設定してください。

- 注意1. TPKCCS1, TPKCCS0ビットは、TPkCEビット = 0のときに書き換えてください (TPkCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPkCEビットをクリア (0) してから再設定してください。
2. ビット1-3, 6, 7には必ず0を設定してください。

(7) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TP0CCR0, TP2CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TP1CCR0, TP3CCR0レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

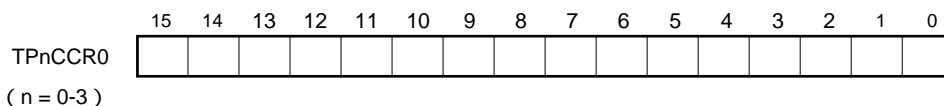
TP0CCR0, TP2CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS0ビットまたはTP2OPT0.TP2CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：TP0CCR0 FFFFF646H, TP1CCR0 FFFFF666H,
TP2CCR0 FFFFF686H, TP3CCR0 FFFFF6A6H



(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TOP00端子出力を許可している場合、TOP00端子出力を反転します (TOP10, TOP20, TOP30端子はありません)。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TP0CCR0, TP2CCR0レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TPkCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPk0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPk0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPkCCR0レジスタのリードが競合しても、TPkCCR0レジスタは正しい値をリードできます。

TPkCTL0.TPkCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 k = 0, 2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注2}	コンペア・レジスタ	一斉書き込み ^{注4}
ワンショット・パルス出力 ^{注2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注3}	コンペア・レジスタ	一斉書き込み ^{注4}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMP0, TMP2のみ

2. TMP0, TMP2のみ (ソフトウェア・トリガならばTMP3でも可能)

3. TMP0, TMP2, TMP3のみ

4. TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6. 6 (2) 随時書き込みと一斉書き込みを参照してください。

(8) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

TP0CCR1, TP2CCR1レジスタは,各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TP1CCR1, TP3CCR1レジスタは,コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

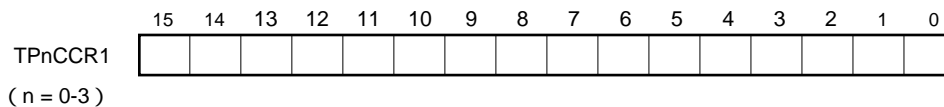
TP0CCR1, TP2CCR1レジスタは,フリー・ランニング・タイマ・モードの場合のみ,TP0OPT0.TP0CCS1ビットまたはTP2OPT0.TP2CCS1ビットの設定により,キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は,キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは,コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは,動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : TP0CCR1 FFFFF648H, TP1CCR1 FFFFF668H,
TP2CCR1 FFFFF688H, TP3CCR1 FFFFF6A8H



(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPm1端子出力を許可している場合、TOPm1端子出力を反転します (TOP11端子はありません)。

TPnCTL0.TPnCEビット = 0によりコンペア・レジスタはクリアされません。

備考 m = 0, 2, 3

(b) キャプチャ・レジスタとしての機能 (TP0CCR1, TP2CCR1レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TPkCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPk1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPk1端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPkCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPkCCR1レジスタのリードが競合しても、TPkCCR1レジスタは正しい値をリードできます。

TPkCTL0.TPkCEビット = 0によりキャプチャ・レジスタはクリアされます。

備考 k = 0, 2

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6 - 5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注2}	コンペア・レジスタ	一斉書き込み ^{注4}
ワンショット・パルス出力 ^{注2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注3}	コンペア・レジスタ	一斉書き込み ^{注4}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMP0, TMP2のみ

2. TMP0, TMP2のみ (ソフトウェア・トリガならばTMP3でも可能)

3. TMP0, TMP2, TMP3のみ

4. TPnCCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、6. 6 (2) 随時書き込みと一斉書き込みを参照してください。

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

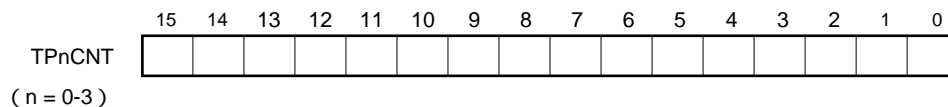
TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTPnCEビット = 0になり、TPnCNTレジスタは0000Hになります。

リセット時 : 0000H R アドレス : TP0CNT FFFFF64AH, TP1CNT FFFFF66AH,
TP2CNT FFFFF68AH, TP3CNT FFFFF6AAH



6.5 タイマ出力動作説明

次にTOP00, TOPm1端子の動作, および出力レベルを示します。

表6 - 6 各モードによるタイマ出力制御

動作モード	TOPm1端子	TOP00端子
インターバル・タイマ・モード	PWM出力	
外部イベント・カウント・モード	なし	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	PWM出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)	
パルス幅測定モード	なし	

備考 m = 0, 2, 3

表6 - 7 タイマ出力制御ビットによるTOP00, TOPm1端子の真理値表

TPmIOC0.TPmOLaビット	TPmIOC0.TPmOEaビット	TPmCTL0.TPmCEビット	TOPma端子のレベル
0	0	x	ロウ・レベル出力
		0	ロウ・レベル出力
	1	1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
		0	ハイ・レベル出力
	1	1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 m = 0のとき, a = 0, 1

m = 2, 3のとき, a = 1

6.6 動作

TMPn は、チャンネルによって実現できる機能が異なります。次に各チャンネルの機能を示します。

表6-8 TMP0の各モードの仕様

動作	TP0CTL1.TP0ESTビット (ソフトウェア・トリガ・ビット)	TIP00端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIP00端子のキャプチャ・トリガ入力の有効エッジの選択を、エッジを検出しない (TP0IOC1.TP0IS1, TP0IS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TP0CTL1.TP0EEEビット = 0に設定) してください。

備考 TIP00端子には、キャプチャ・トリガ入力と外部イベント・カウント入力と外部トリガ入力が兼用されています。

表6-9 TMP1の各モードの仕様

動作	ソフトウェア・トリガ・ビット	外部トリガ入力	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタの 書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード	なし			
ワンショット・パルス出力モード	なし			
PWM出力モード	なし			
フリー・ランニング・タイマ・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

備考1. TMP1にはタイマ入力端子 (TIP10, TIP11)、およびタイマ出力端子 (TOP10, TOP11) はありません。16ビット・カウンタとTP1CCR0, TP1CCR1レジスタとの一致割り込み要求信号 (INTTP1CC0, INTTP1CC1) はあります。

2. TMP1はTMQ1との同調動作機能があります。詳細は第9章 モータ制御機能を参照してください。

表6 - 10 TMP2の各モードの仕様

動作	TP2CTL1.TP2ESTビット (ソフトウェア・トリガ・ビット)	TIP20端子 (外部トリガ入力)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード ^{注1}	無効	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード ^{注2}	有効	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^{注2}	有効	有効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	無効	切り替え可能	随時書き込み
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	対象外

注1. 外部イベント・カウント・モードを使用する場合、TIP20端子のキャプチャ・トリガ入力の有効エッジの選択を、エッジを検出しない (TP2IOC1.TP2IS1, TP2IS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モードを使用する場合、カウント・クロックは内部クロックを選択 (TP2CTL1.TP2EEEビット = 0に設定) してください。

備考 TIP20端子には、キャプチャ・トリガ入力と外部イベント・カウント入力と外部トリガ入力が兼用されています。

表6 - 11 TMP3の各モードの仕様

動作	TP3CTL1.TP3ESTビット (ソフトウェア・トリガ・ビット)	外部トリガ入力	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	なし			
外部トリガ・パルス出力モード ^注	有効	無効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード ^注	有効	無効	コンペア専用	随時書き込み
PWM出力モード	無効	無効	コンペア専用	一斉書き込み
フリー・ランニング・モード	無効	無効	コンペア専用	随時書き込み
パルス幅測定モード	なし			

注 外部トリガ・パルス出力モード、ワンショット・パルス出力モードを使用する場合、外部トリガ入力はできません。ソフトウェア・トリガ (TP3CTL1.TP3ESTビットで設定) のみ可能です。

備考 TMP3には、タイマ入力端子 (TIP30, TIP31)、およびタイマ出力端子 (TOP30) はありません。16ビット・カウンタとTP3CCR0, TP3CCR1レジスタとの一致割り込み要求信号 (INTTP3CC0, INTTP3CC1) はあります。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 $n = 0-3$

$k = 0, 2$

(a) カウント開始動作

・外部イベント・カウント・モード

TPkCTL0.TPkCEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。

その後は、外部イベント・カウント入力 (TIPk0) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTPnCC0, INTTPnCC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TPnOPT0.TPnOVFビットがセット (1) され、割り込み要求信号 (INTTPnOV) が発生します。なお、次の条件ではINTTPnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTPnOV) 発生後は、必ずオーバーフロー・フラグ (TPnOVFビット) が "1" にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMPnでは、TPnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TPnCTL0.TPnCEビット = 1のときは、TPnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TPnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TPnCNTレジスタが0000Hです。

(e) 割り込み動作

TMPnでは、次の3種類の割り込み要求信号を発生します。

- ・INTTPnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTPnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTPnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・INTTPnOV割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMPnでは、タイマ動作中 (TPnCTL0.TPnCEビット = 1) でもTPnCCR0, TPnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います (n = 0-3)。

図6 - 5 随時書き込みの基本動作フロー・チャート

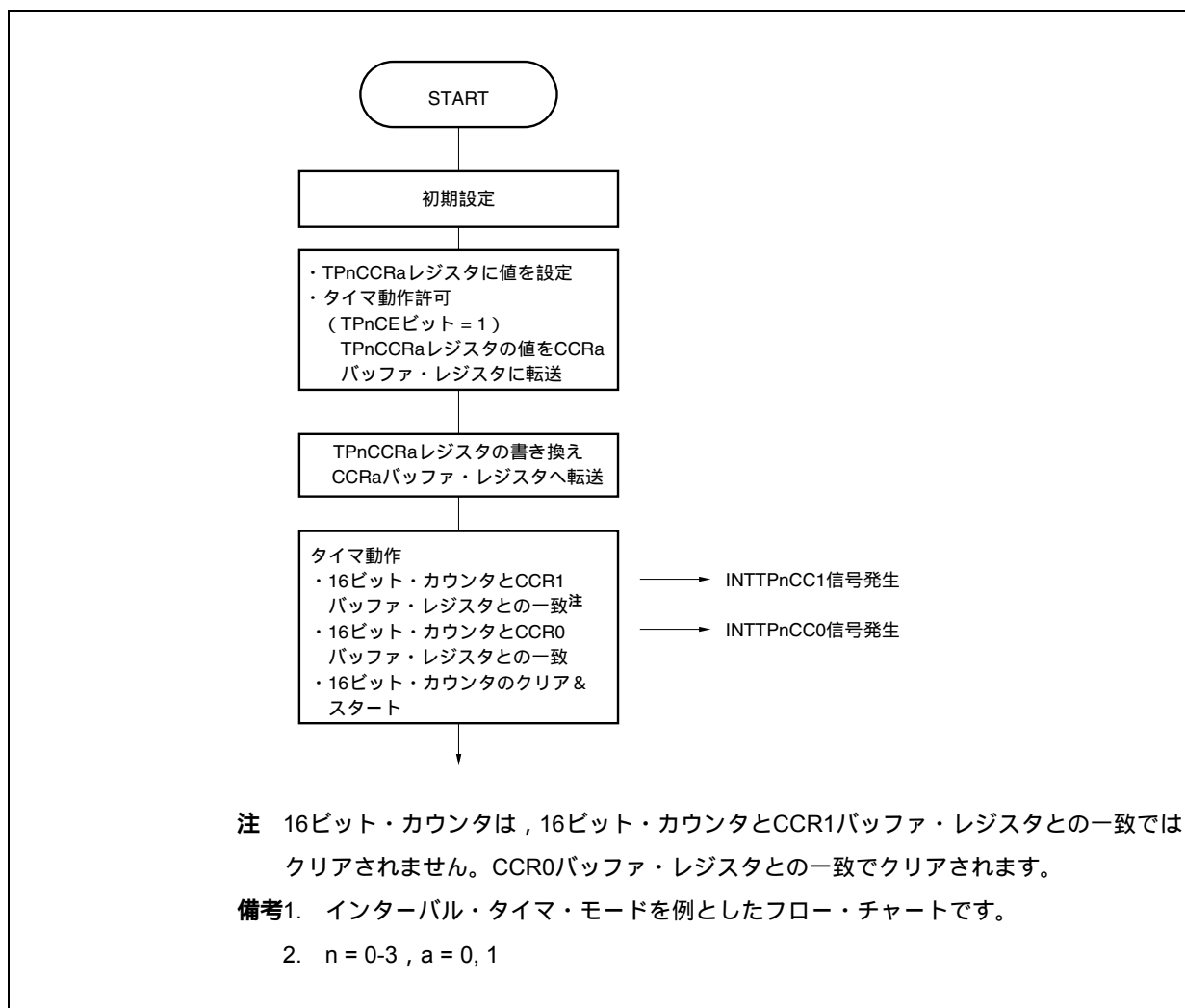
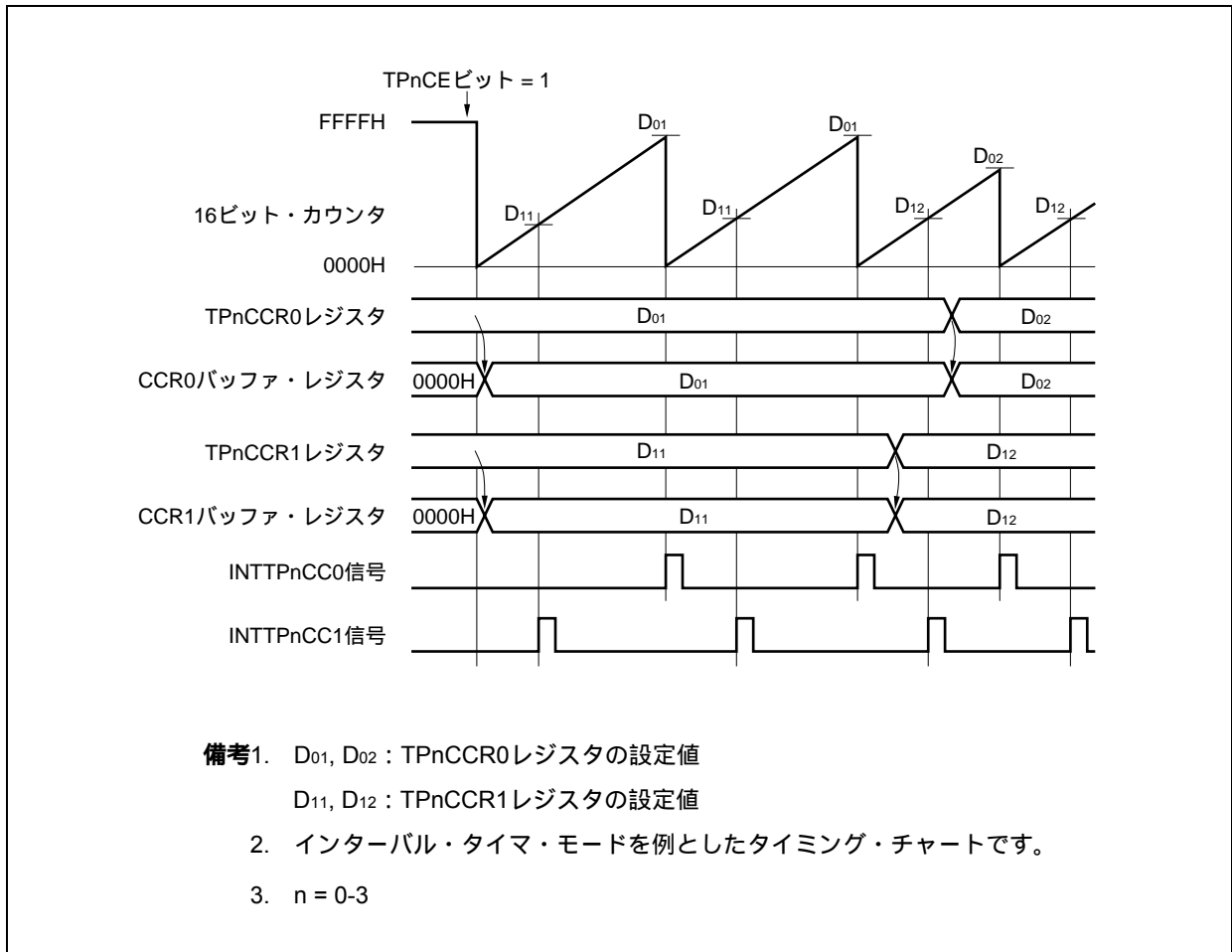


図6 - 6 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTPmCCR0, TPmCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTPmCCR1レジスタへの書き込みとなります。TPmCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TPmCCR0, TPmCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする (CCR0, CCR1バッファ・レジスタに転送される) には、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致する前にTPmCCR0レジスタを書き換え、次にTPmCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値との一致タイミングで、TPmCCR0, TPmCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TPmCCR0レジスタの値だけ書き換えたい場合でも、TPmCCR1レジスタに同値 (すでに設定したTPmCCR1レジスタと同じ値) を書き込んでください。

図6-7 一斉書き込みの基本動作フロー・チャート

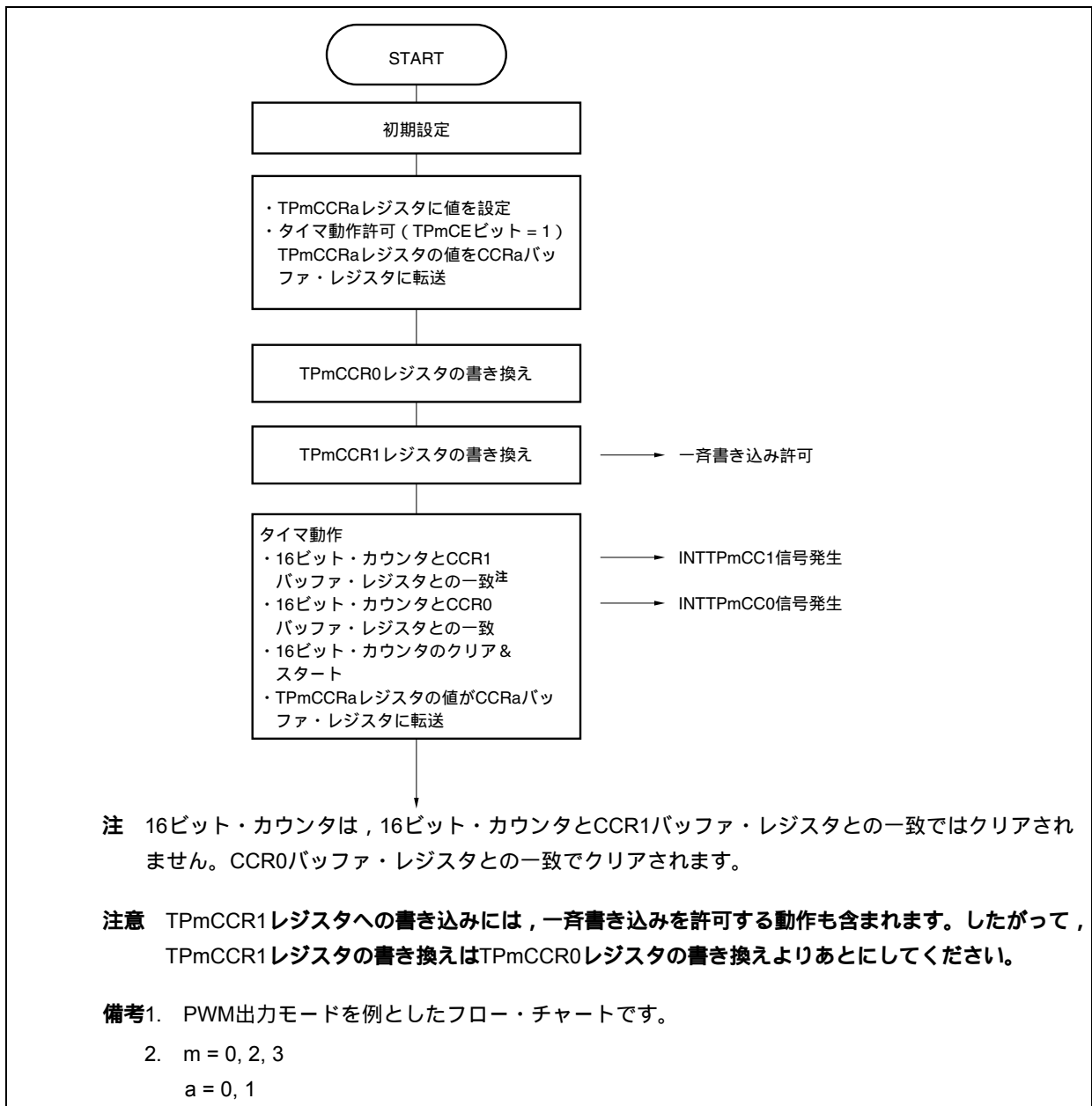
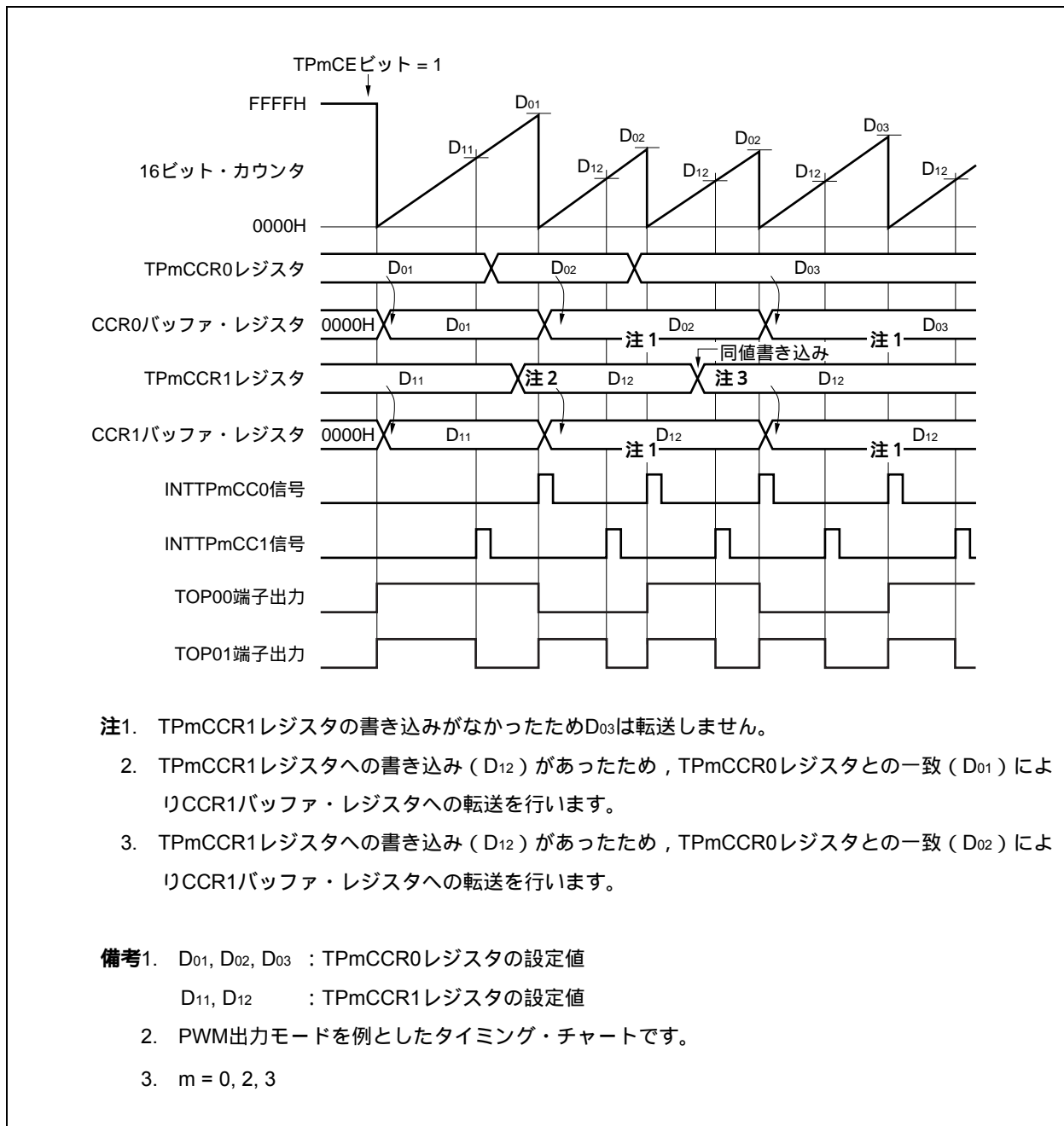


図6 - 8 一斉書き込みのタイミング



6.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することで、TPnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTPnCC0) を発生します。また、TOP00端子から、インターバル間隔を半周期とする50%デューティのPWM波形を出力できます (TMP0のみ)。

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタでは、TPnCCR1レジスタの設定値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。また、TOPm1端子から、INTTPmCC1信号の発生タイミングで反転する50%デューティのPWM波形を出力できます。

なお、TPnCCR0, TPnCCR1レジスタのタイマ動作中の書き換えは可能です。

備考 m = 0, 2, 3

図6-9 インターバル・タイマの構成図

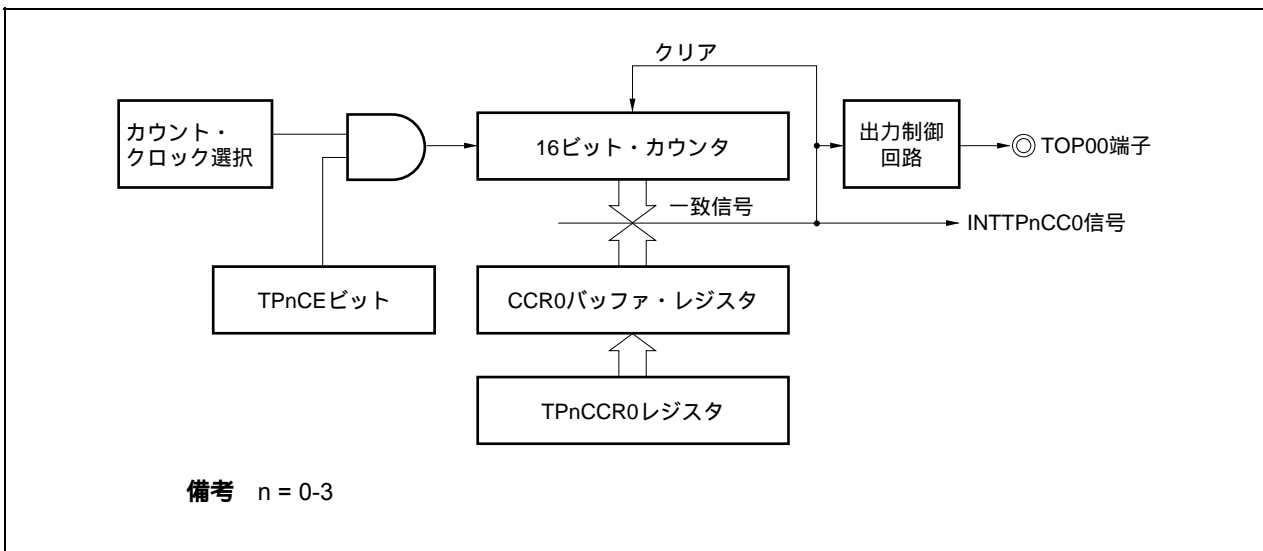
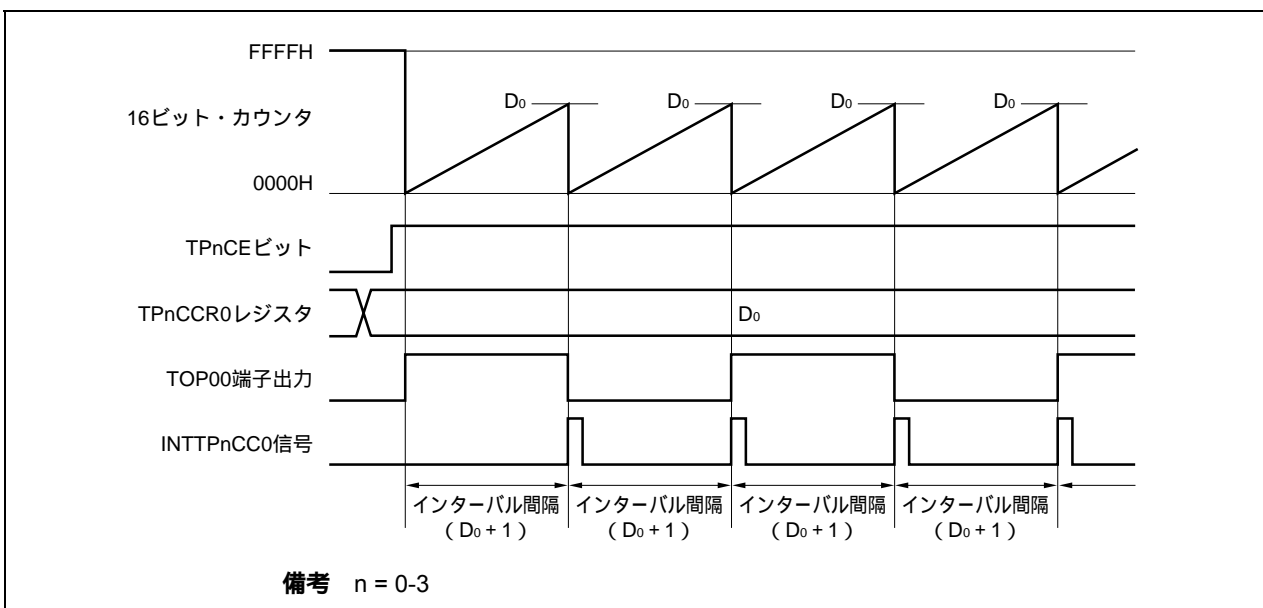


図6-10 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOP00端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOP00端子出力を反転させて、コンペア一致割り込み要求信号(INTTPnCC0)を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0-3

図6 - 11 インターバル・タイマ・モード動作時のレジスタ設定内容(1/3)

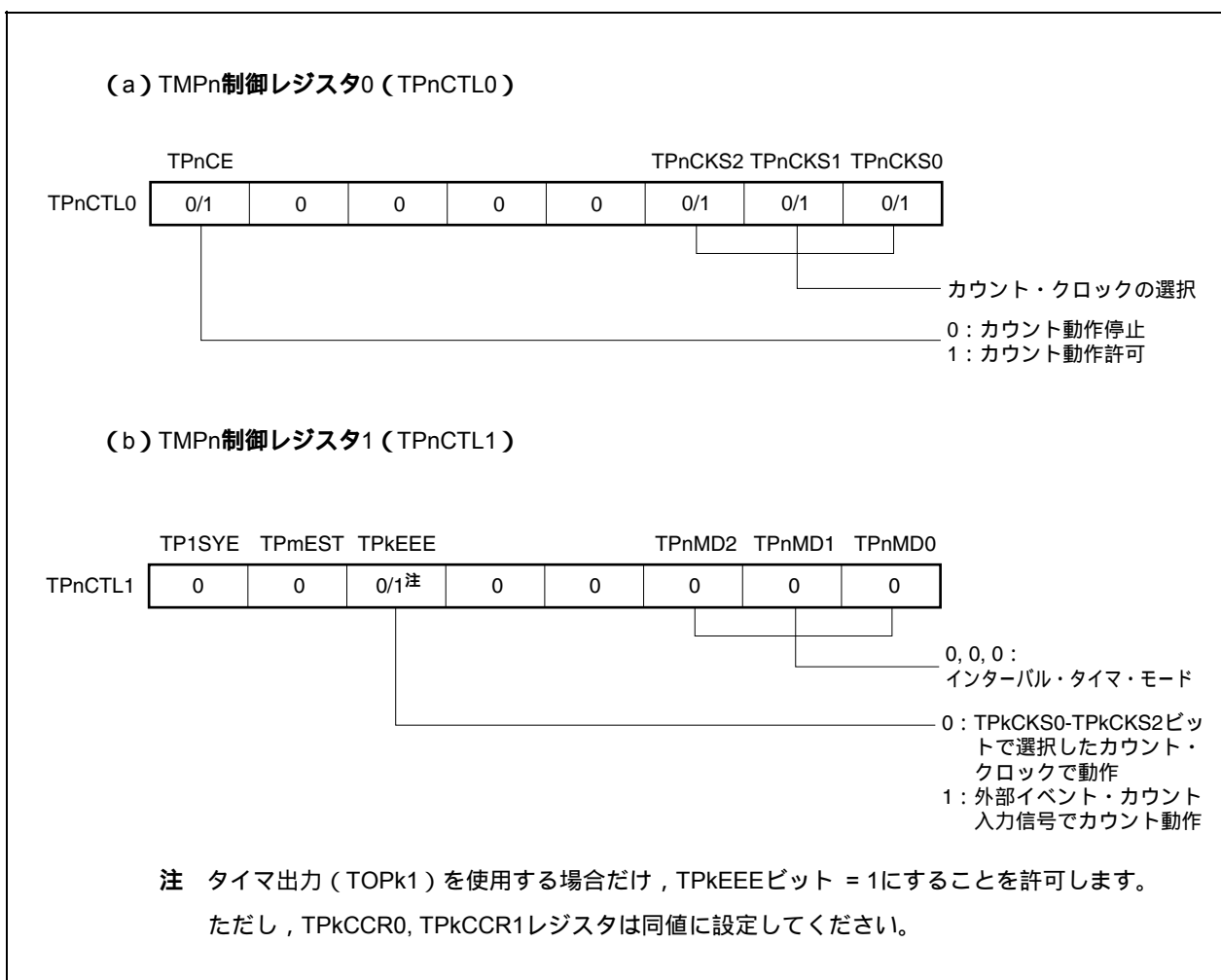
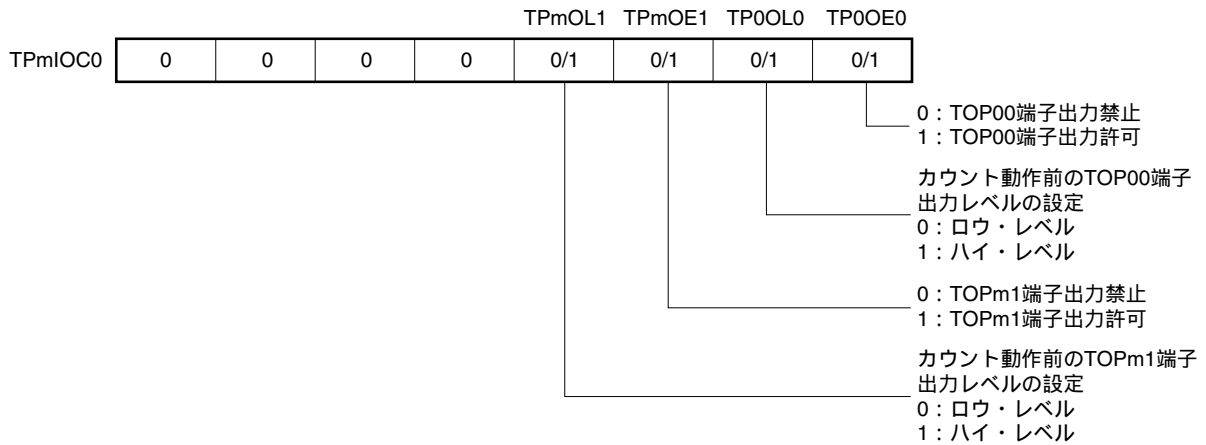
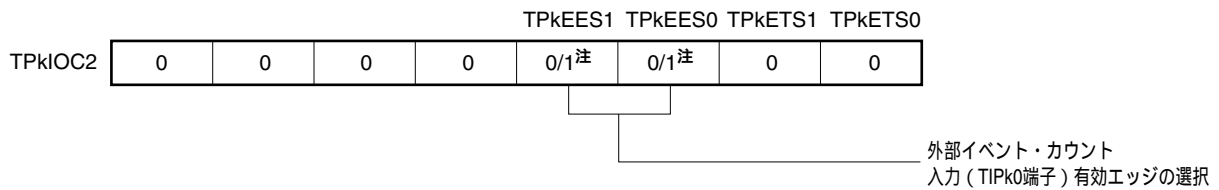


図6 - 11 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TMPmI/O制御レジスタ0 (TPmIOC0)



(d) TMPkI/O制御レジスタ2 (TPkIOC2)



注 タイマ出力 (TOPk1) を使用する場合だけ、TPkEES1, TPkEES0ビットを設定することを許可します。ただし、TPkCCR0, TPkCCR1レジスタは同値に設定してください。

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMPnキャプチャ/コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図6 - 11 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TMPnキャプチャ/コンペア・レジスタ1 (TPnCCR1)

インターバル・タイマ・モードでは、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、TOPm1端子出力を反転し、コンペア一致割り込み要求信号 (INTTPnCC1) が発生します。

TPmCCR0レジスタの設定値と同じ値を設定することにより、TOPm1端子から50 %デューティのPWM波形を出力できます。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPnCCIC1.TPnCCMK1) でマスク設定してください。

備考1. TMPkI/O制御レジスタ1 (TPkIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

2. n = 0-3
m = 0, 2, 3
k = 0, 2

(1) インターバル・タイマ・モード動作フロー

図6 - 12 インターバル・タイマ・モード使用時のソフトウェア処理フロー (1/2)

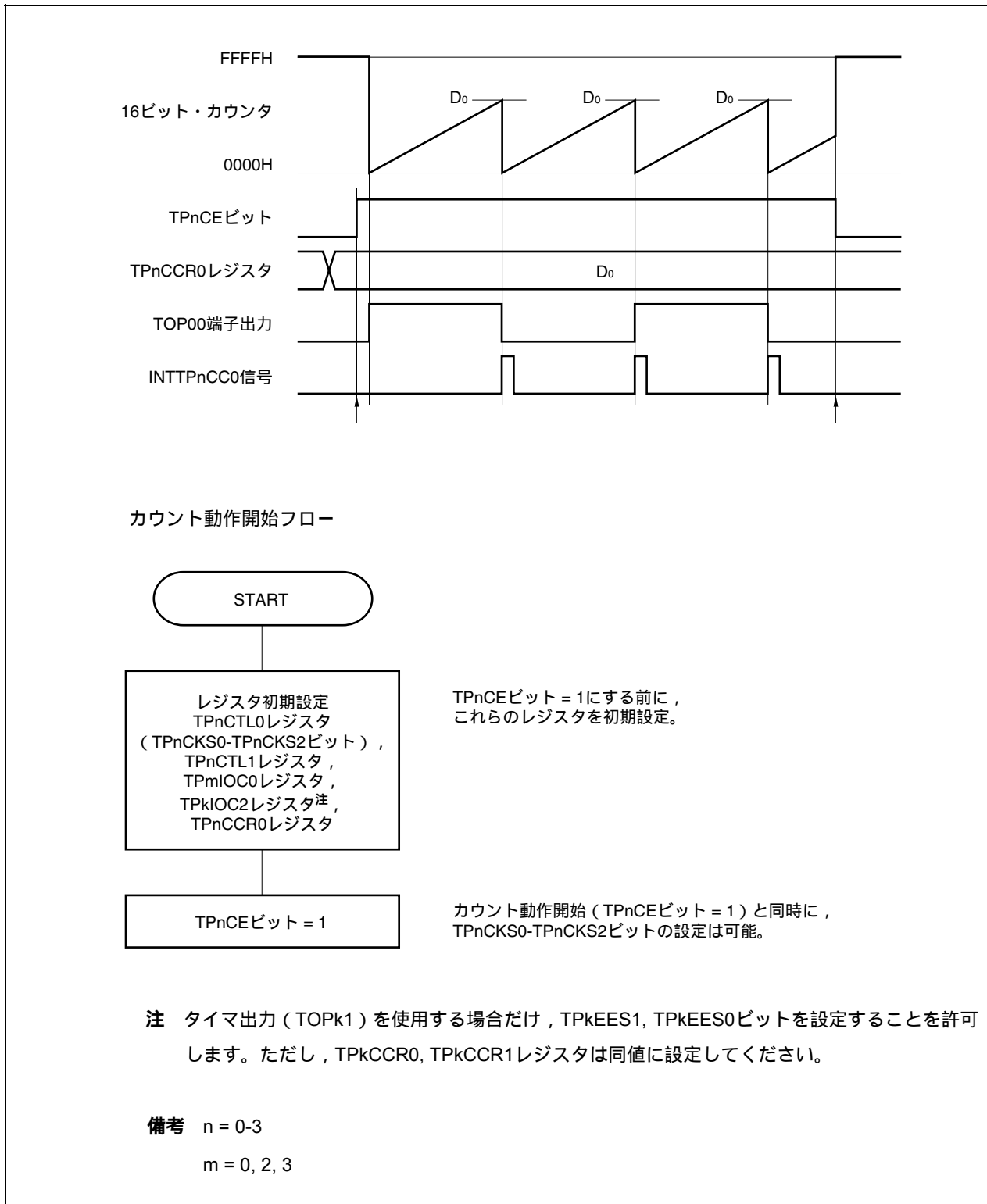
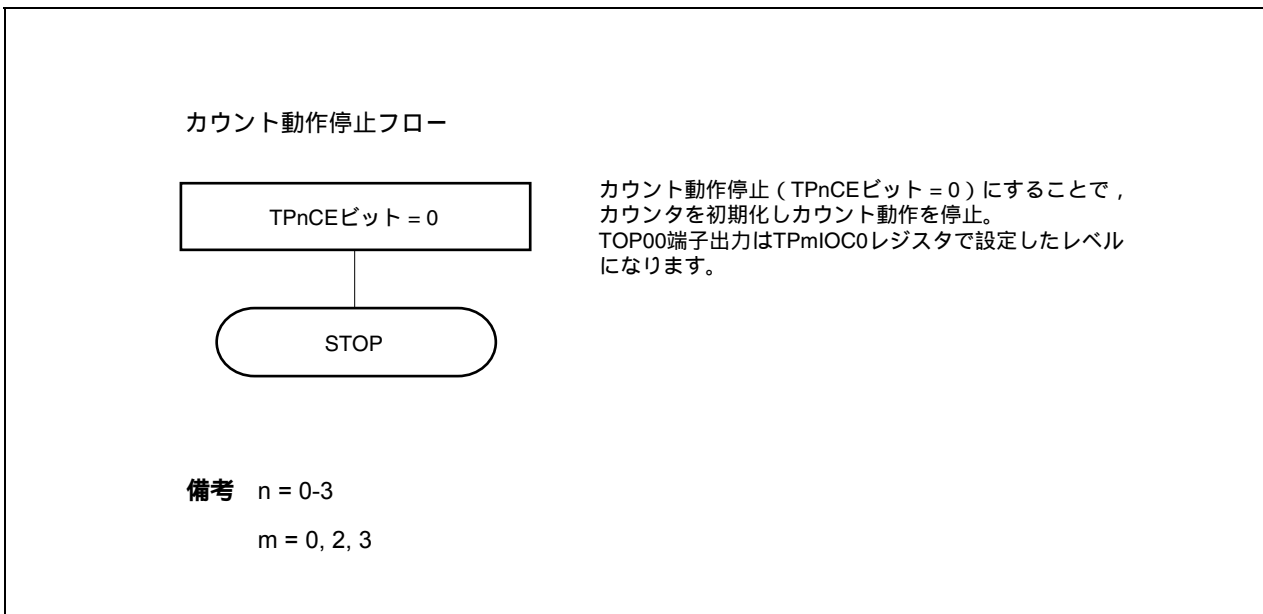


図6 - 12 インターバル・タイマ・モード使用時のソフトウェア処理フロー (2/2)

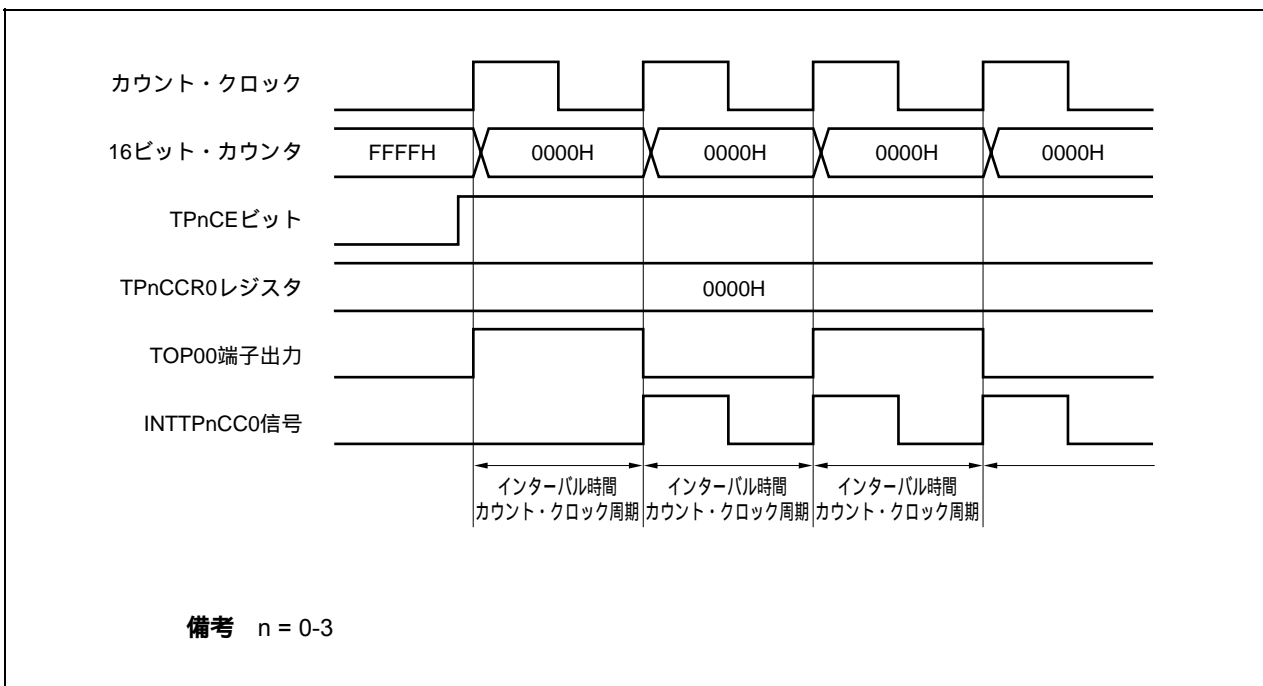


(2) インターバル・タイマ・モード動作タイミング

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

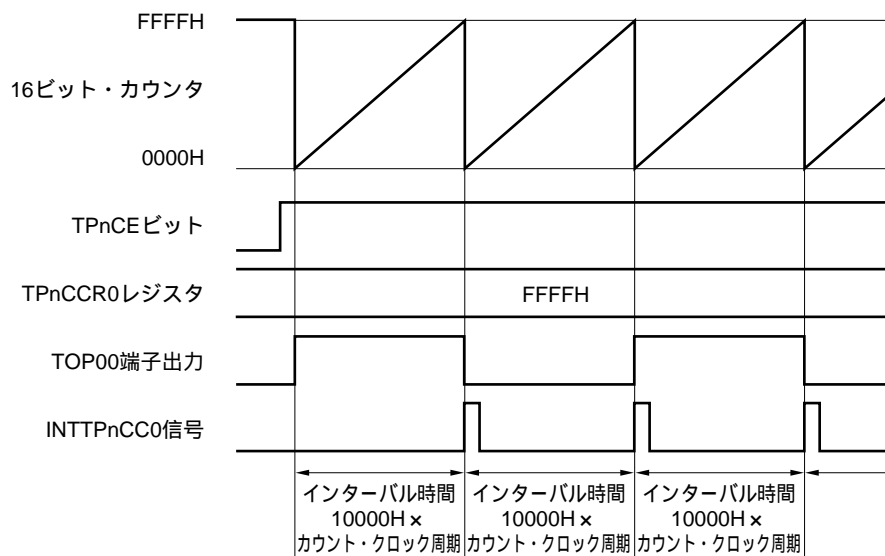
TPnCCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTPnCC0信号を発生し、TOP00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

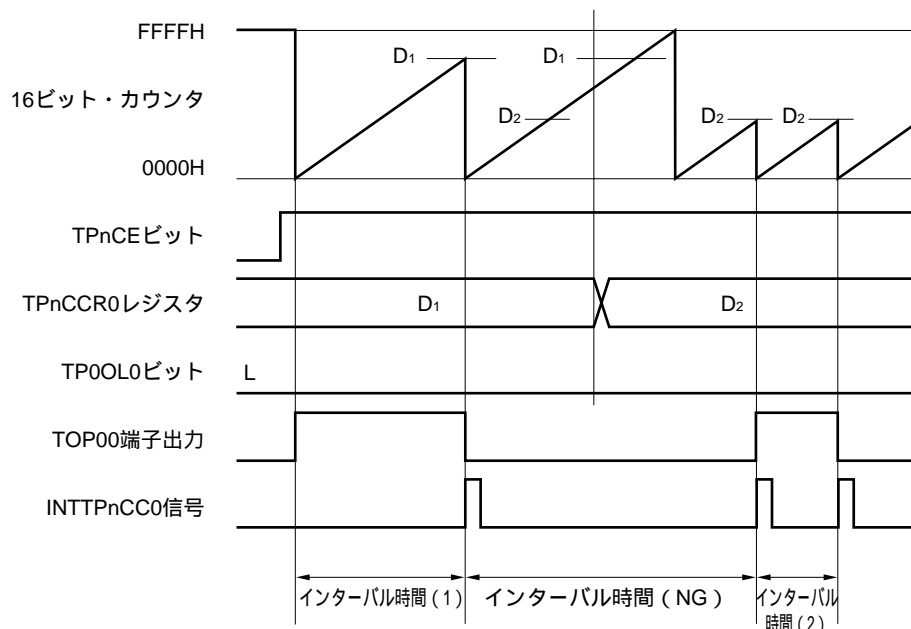
TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生し、TOP00端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTPnOV) は発生せず、オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。



備考 n = 0-3

(c) TPnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1.** インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0-3$

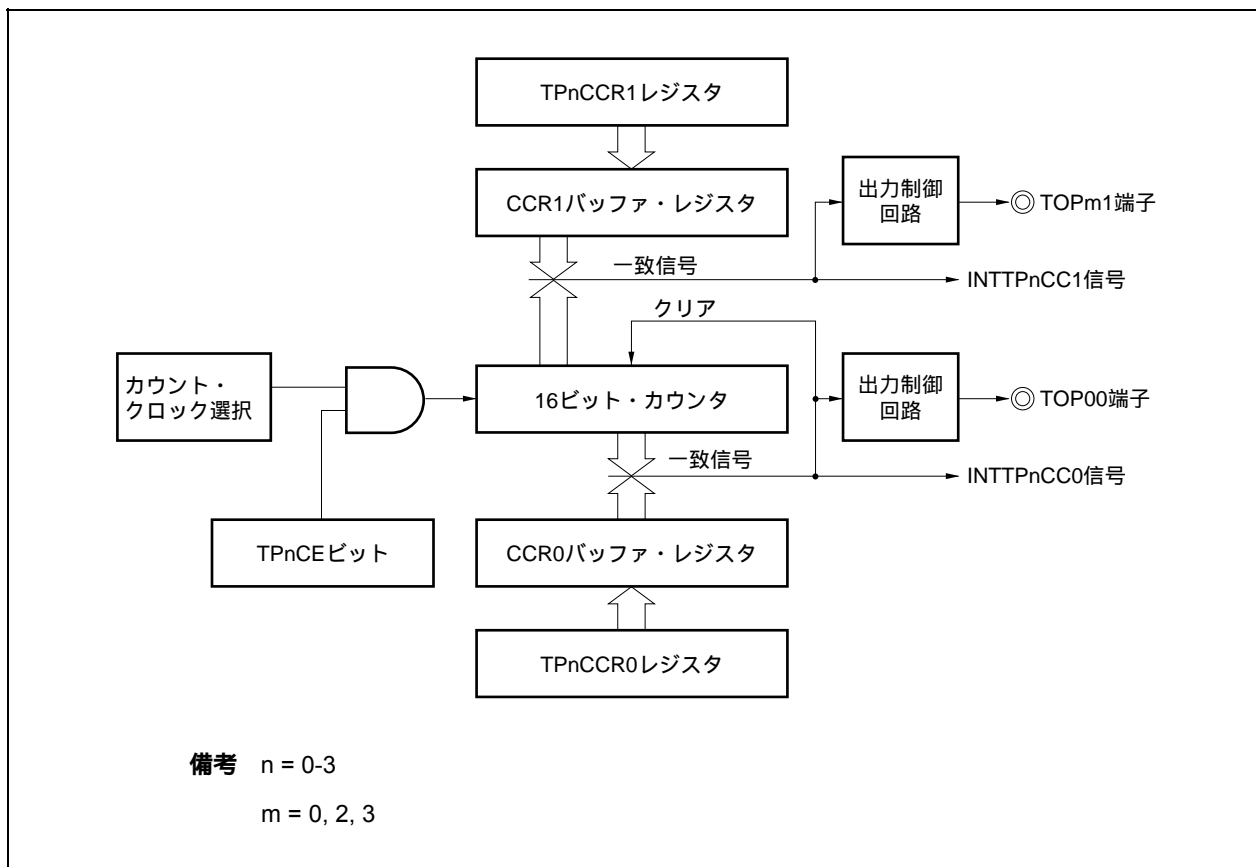
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPnCC0信号を発生しTOP00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTPnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

図6 - 13 TPnCCR1レジスタの構成図



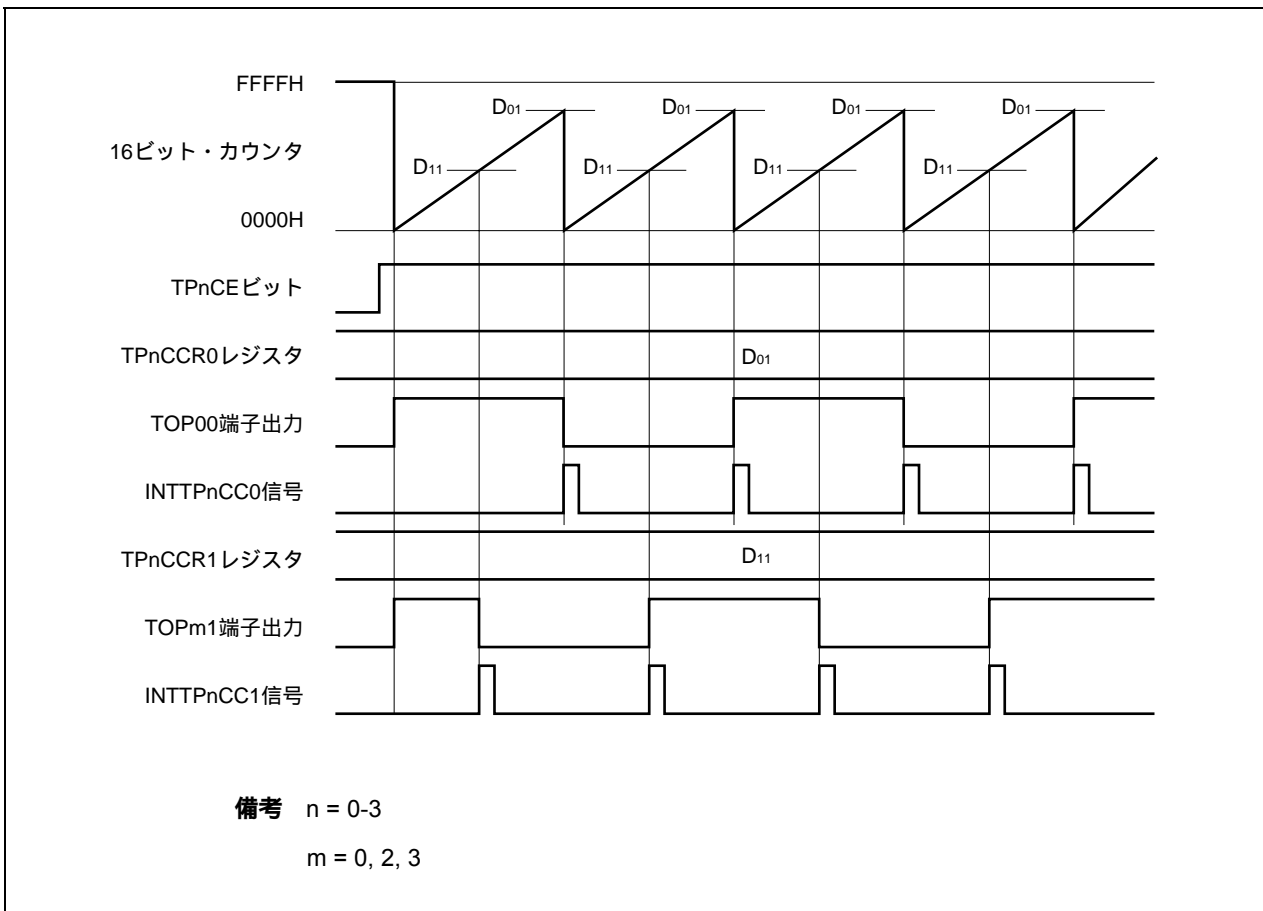
TPnCCR1レジスタにTPnCCR0レジスタの設定値と同じ値を設定すると、INTTPnCC0信号と同じタイミングでINTTPnCC1信号が発生し、TOPm1端子出力が反転します。すなわち、TOPm1端子から50%デューティのPWM波形を出力できます。

TPnCCR0レジスタの設定値とは異なる値をTPnCCR1レジスタに設定した場合の動作を次に示します。

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPm1端子出力は反転します。

TOPm1端子出力は、最初に短い幅のパルスを出力したあと、50%デューティのPWM波形を出力します。

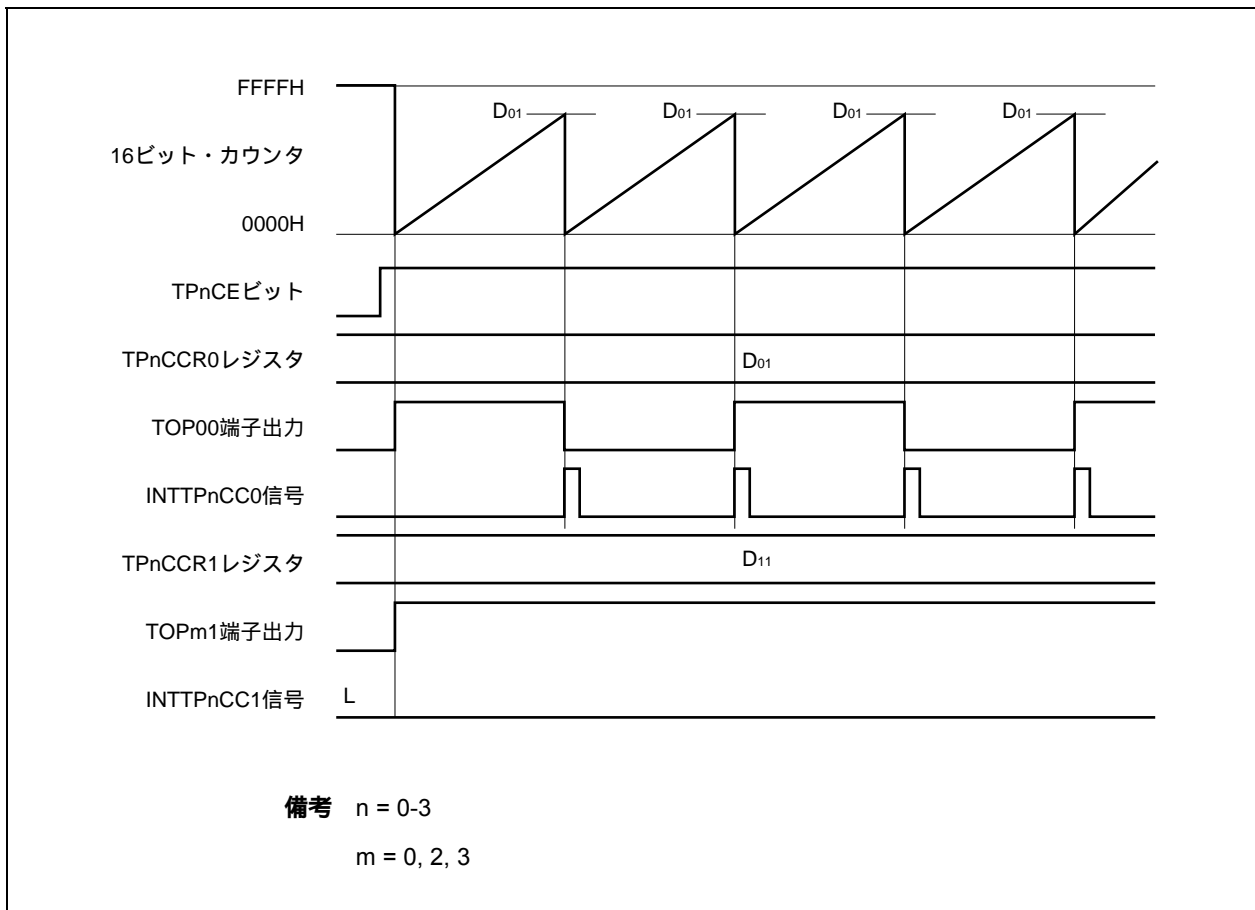
図6 - 14 D₀₁ D₁₁の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPm1端子出力も変化しません。

TPnCCR1レジスタを使用しない場合には、TPnCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 15 D₀₁ < D₁₁の場合のタイミング図



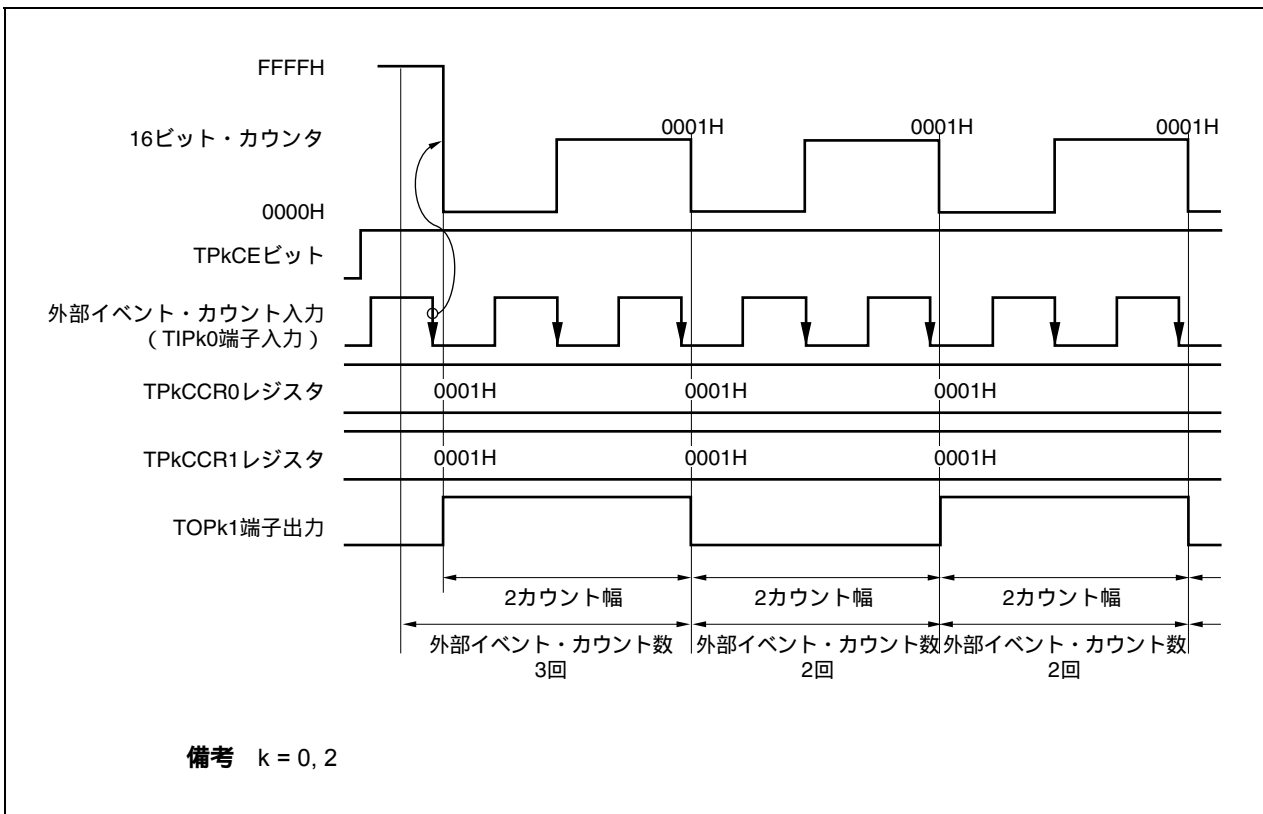
(3) 外部イベント・カウント入力 (TIPk0) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力(TIPk0)の有効エッジで16ビット・カウンタをカウントする場合,TPkCEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより,16ビット・カウンタをFFFFHから0000Hにクリアします。

TPkCCR0, TPkCCR1レジスタに0001Hを設定(同値設定)すると,16ビット・カウンタの2カウントごとにTOPk1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力(TOPk1)を使用する場合だけ,インターバル・タイマ・モード時にTPKCTL1.TPKEEEビット = 1の設定が可能です。



6.6.2 外部イベント・カウント・モード (TPkMD2-TPkMD0ビット = 001)

TMP0, TMP2のみ有効です。

外部イベント・カウント・モードは、TPkCTL0.TPkCEビットをセット(1)することで、外部イベント・カウント入力(TIPk0)の有効エッジをカウントし、TPkCCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTPkCC0)を発生します。TOP00, TOPk1端子は使用できません。外部イベント・カウント入力でTOPk1端子を使用する場合は、インターバル・タイマ・モード時にTPkCTL1.TPkEEEビット = 1に設定してください(6.6.1(3)外部イベント・カウント入力(TIPk0)による動作参照)。

外部イベント・カウント・モードでは、TPkCCR1レジスタは使用しません。

注意 外部イベント・カウント・モードでは、TPkCCR0, TPkCCR1レジスタに0000Hを設定することは禁止します。

図6-16 外部イベント・カウント・モードの構成図

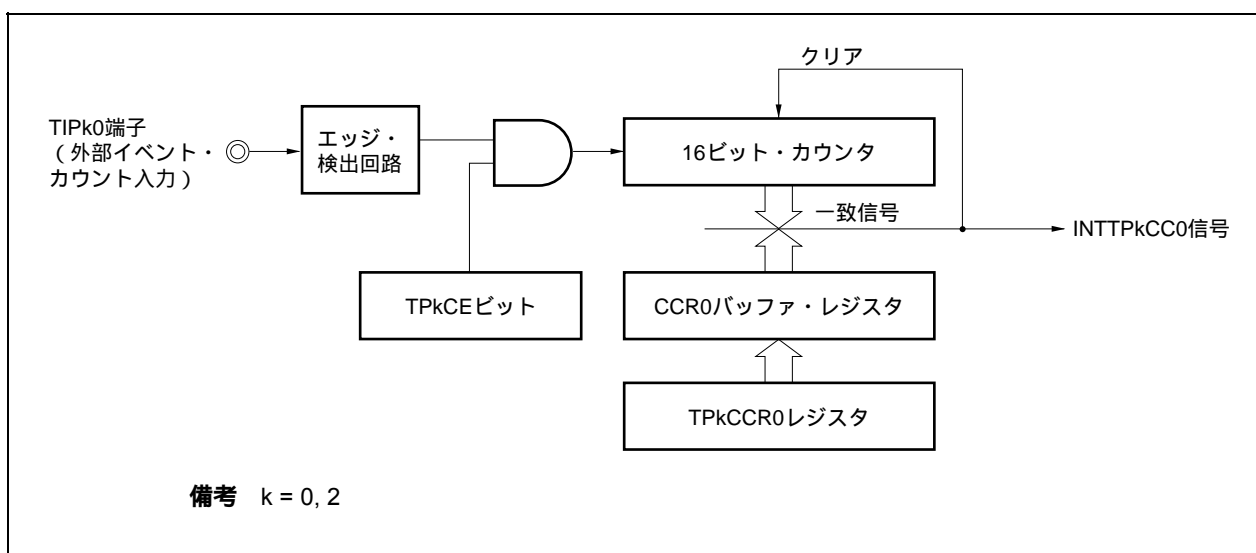
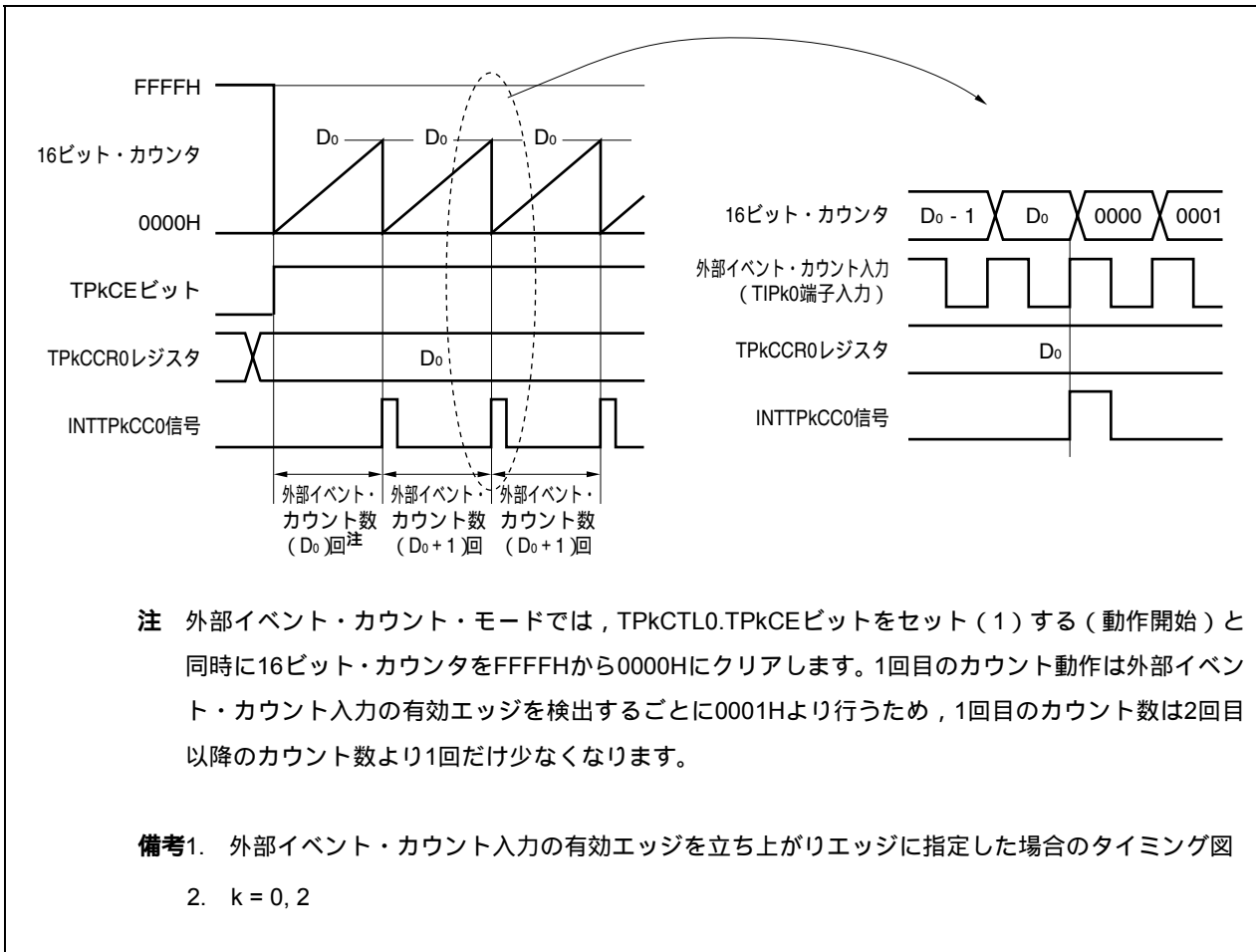


図6 - 17 外部イベント・カウント・モードの基本タイミング



TPkCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウンタ入力の有効エッジを検出するごとにカウンタ動作を行います。また、TPkCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号(INTTPkCC0)を発生します。

INTTPkCC0信号の発生は、1回目のINTTPkCC0信号の場合は外部イベント・カウンタ入力の有効エッジを(TPkCCR0レジスタに設定した値)回検出で発生し、2回目以降のINTTPkCC0信号の場合は外部イベント・カウンタ入力の有効エッジを(TPkCCR0レジスタに設定した値+1)回検出するごとに発生します。

図6-18 外部イベント・カウンタ・モード動作時のレジスタ設定内容(1/2)

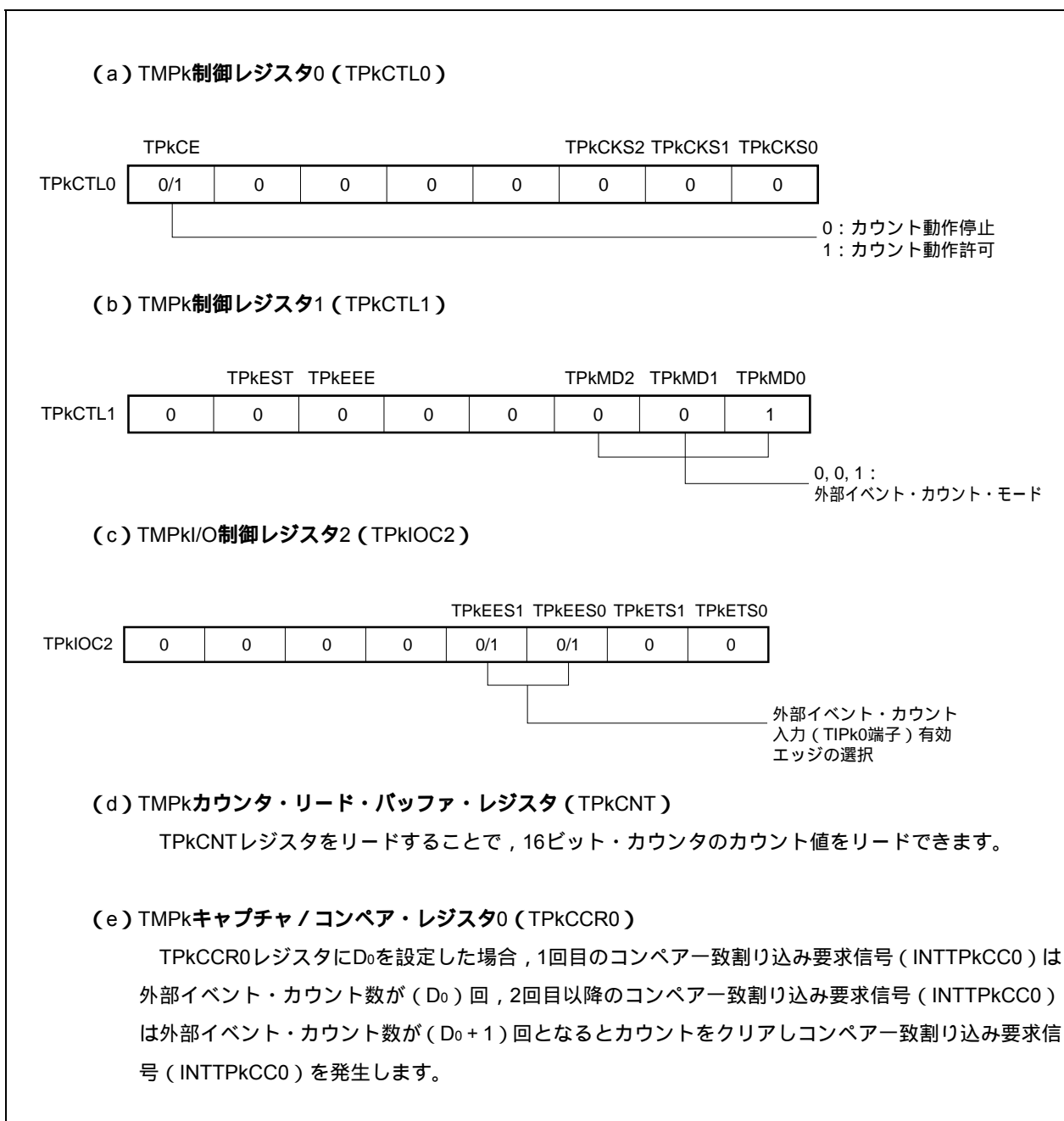


図6 - 18 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMPkキャプチャ/コンペア・レジスタ1 (TPkCCR1)

外部イベント・カウント・モードでは、TPkCCR1レジスタは使用しません。しかし、TPkCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPkCC1) が発生します。

TPkCCR1レジスタを使用しない場合には、TPkCCR1レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TPkCCIC1.TPkCCMK1) でマスク設定してください。

注意1. TPkIOC0レジスタには00Hを設定してください。

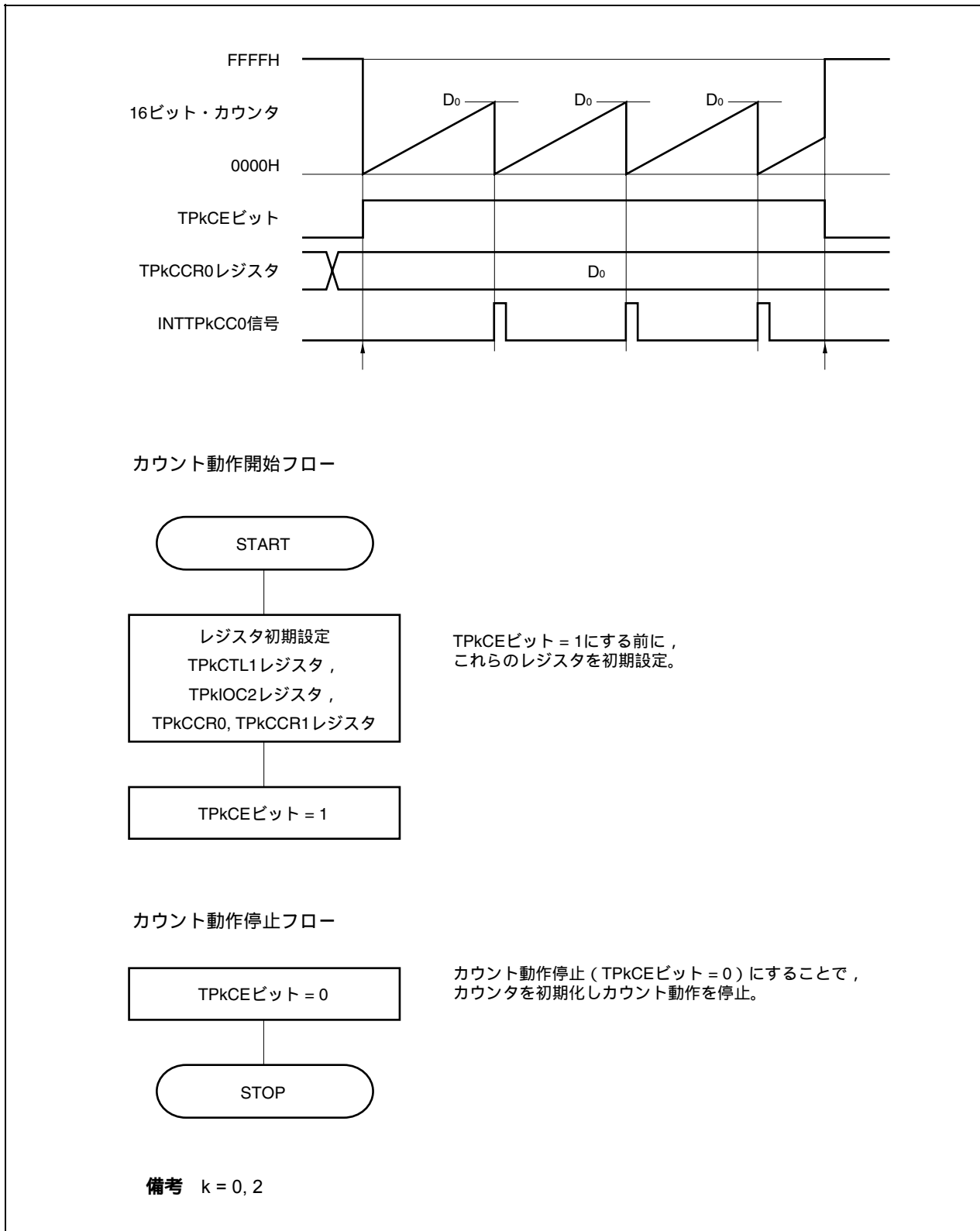
2. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIPk0端子からのみ入力できます。このとき、TPkIOC1.TPkIS1, TPkIS0ビット = 00 (キャプチャ・トリガ入力 (TIPk0端子) : エッジ検出なし) に設定してください。

備考1. TMPkI/O制御レジスタ1 (TPkIOC1) , TMPkオプション・レジスタ0 (TPkOPT0) は、外部イベント・カウント・モードでは使用しません。

2. k = 0, 2

(1) 外部イベント・カウント・モード動作フロー

図6 - 19 外部イベント・カウント・モード使用時のソフトウェア処理フロー

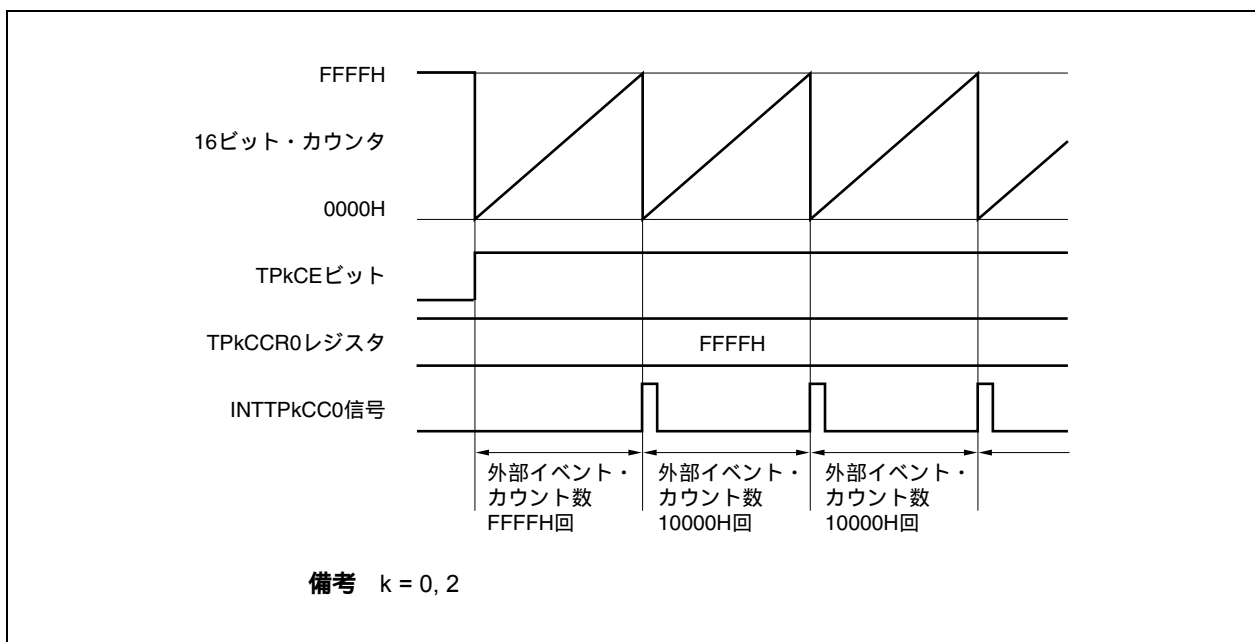


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モードでは、TPkCCR0, TPkCCR1レジスタに0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時、タイマ出力 (TOP00, TOPk1) は使用禁止です。外部イベント・カウント入力 (TIPk0) でタイマ出力 (TOPk1) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TPkCTL1.TPKEEEビット = 1) に設定してください (6. 6. 1 (3) 外部イベント・カウント入力 (TIPk0) による動作参照)。

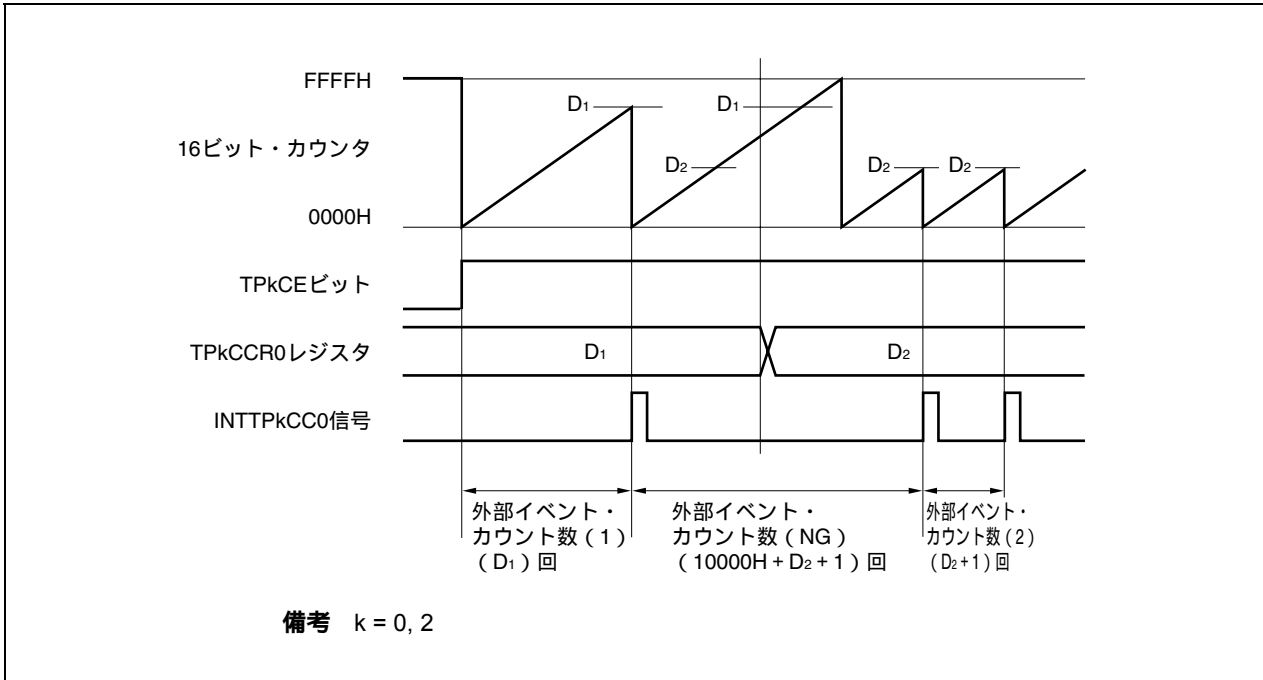
(a) TPkCCR0レジスタにFFFFHを設定した場合の動作

TPkCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPkCC0信号を発生します。このとき、TPkOPT0.TPkOVFビットはセットされません。



(b) TPkCCR0レジスタの書き換えに関する注意事項

カウント動作中にTPkCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



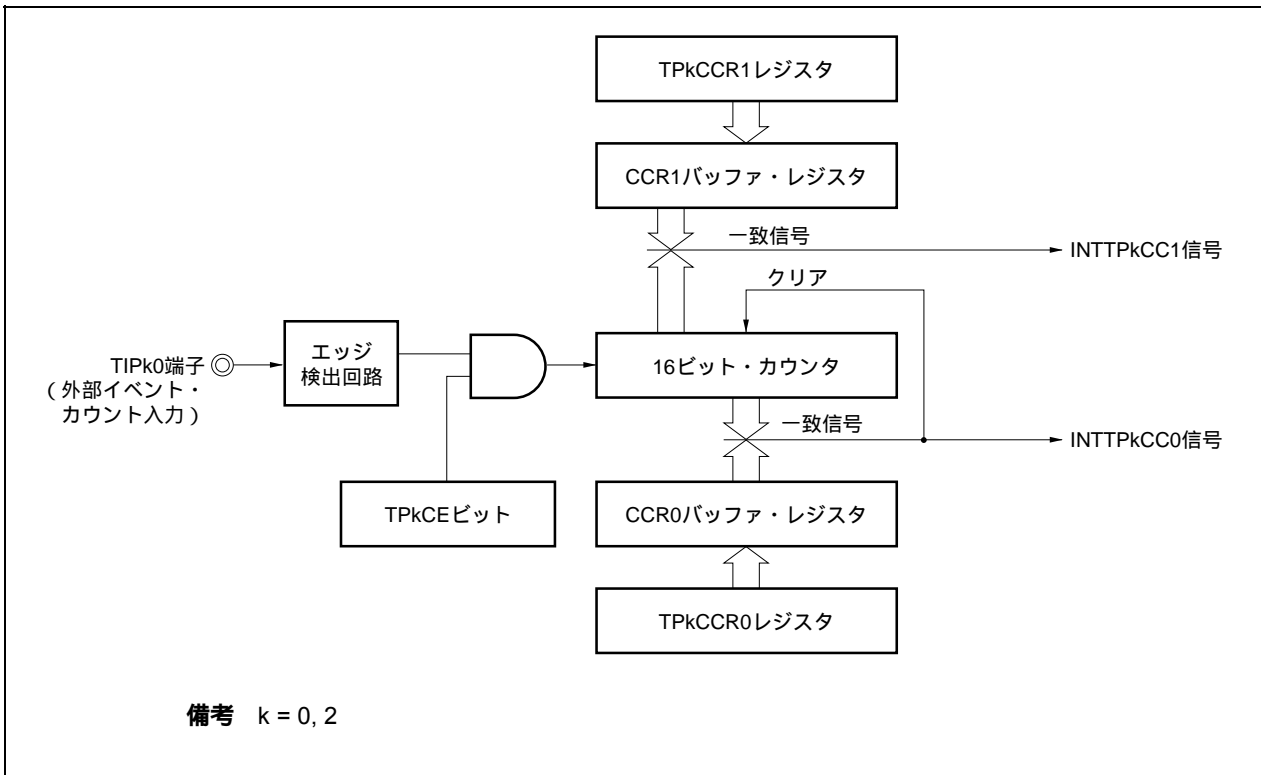
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPkCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPkCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTPkCC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTPkCC0信号が発生する場合があります。

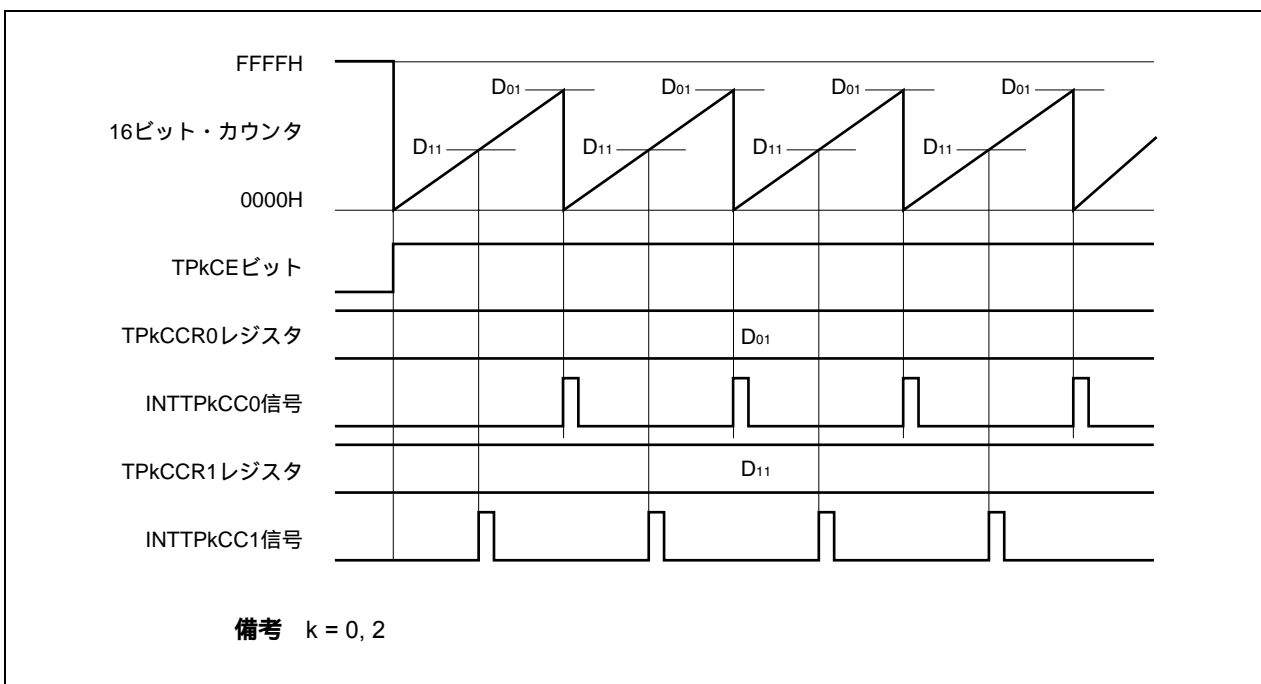
(c) TPkCCR1レジスタの動作

図6 - 20 TPkCCR1レジスタ1の構成図



TPkCCR1レジスタの設定値がTPkCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPkCC1信号が発生します。

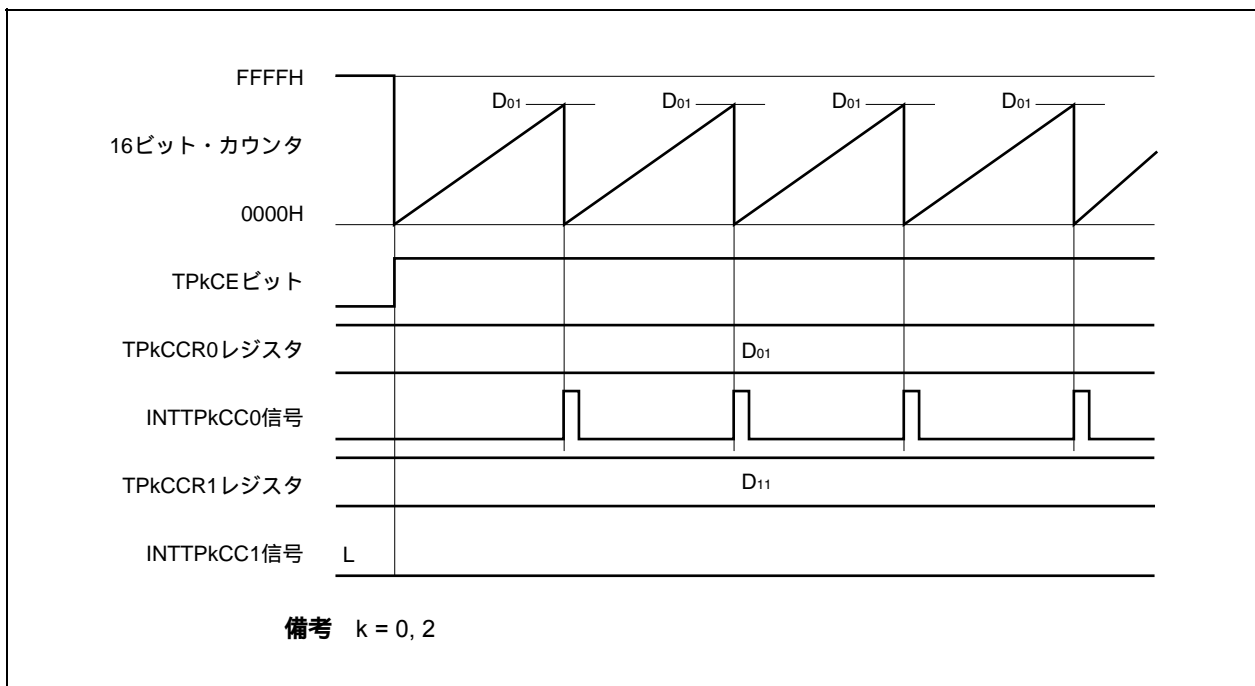
図6 - 21 D₀₁ D₁₁の場合のタイミング図



TPkCCR1レジスタの設定値がTPkCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPkCCR1レジスタの値が一致しないので、INTTPkCC1信号は発生しません。

TPkCCR1レジスタを使用しない場合には、TPkCCR1レジスタの設定値をFFFFHに設定することを推奨します。

図6 - 22 D₀₁ < D₁₁の場合のタイミング図



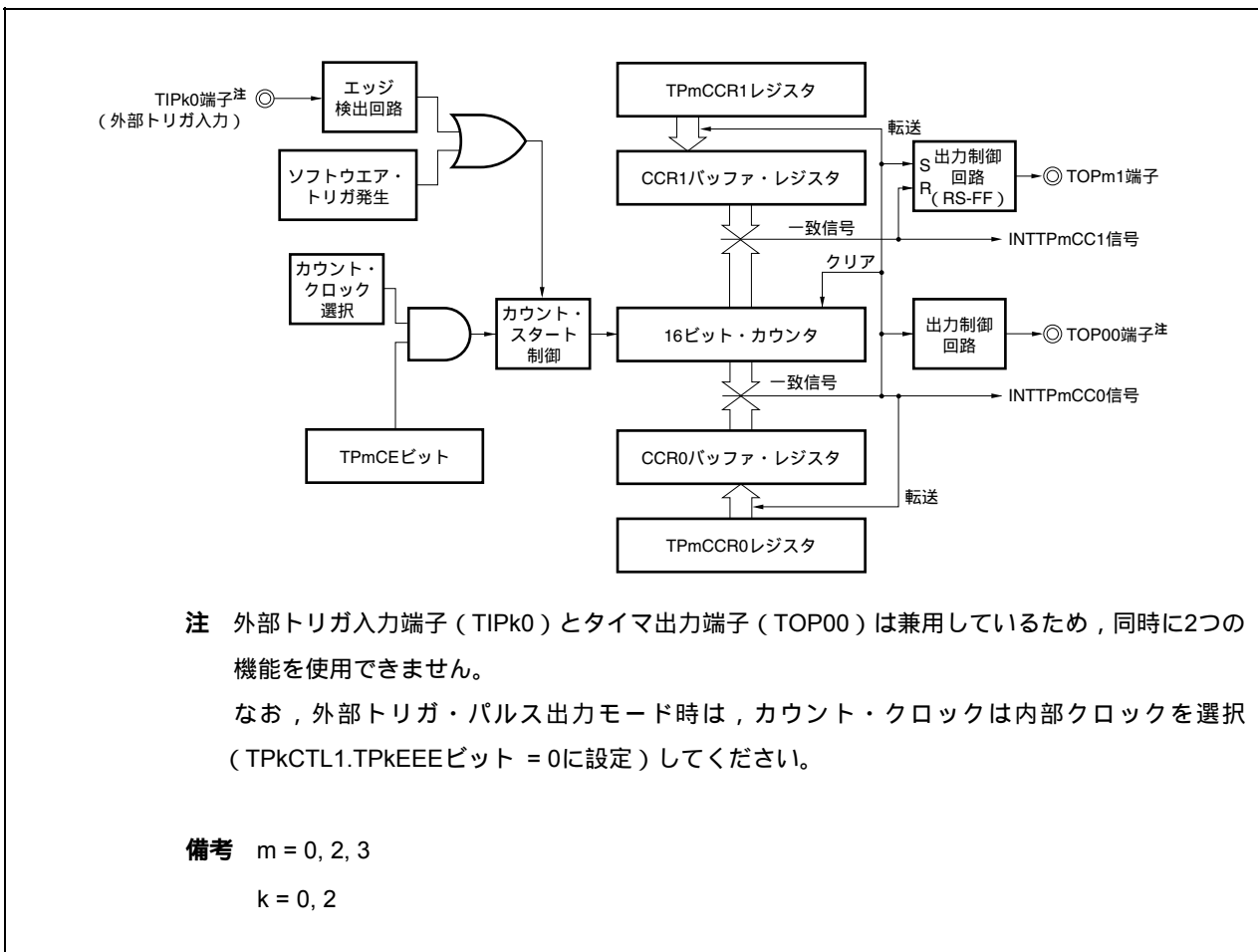
6.6.3 外部トリガ・パルス出力モード (TPmMD2-TPmMD0ビット = 010)

TMP0, TMP2, TMP3のみ有効です (TMP3はソフトウェア・トリガのみ)。

外部トリガ・パルス出力モードは, TPmCTL0.TPmCEビットをセット (1) することでトリガ待ち状態となり, 外部トリガ入力 (TIPk0) の有効エッジを検出すると, カウント動作を開始し, TOPm1端子からPWM波形を出力します。

外部トリガ入力の代わりに, ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合, TOP00端子から, TPmCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力できます。

図6 - 23 外部トリガ・パルス出力モードの構成図



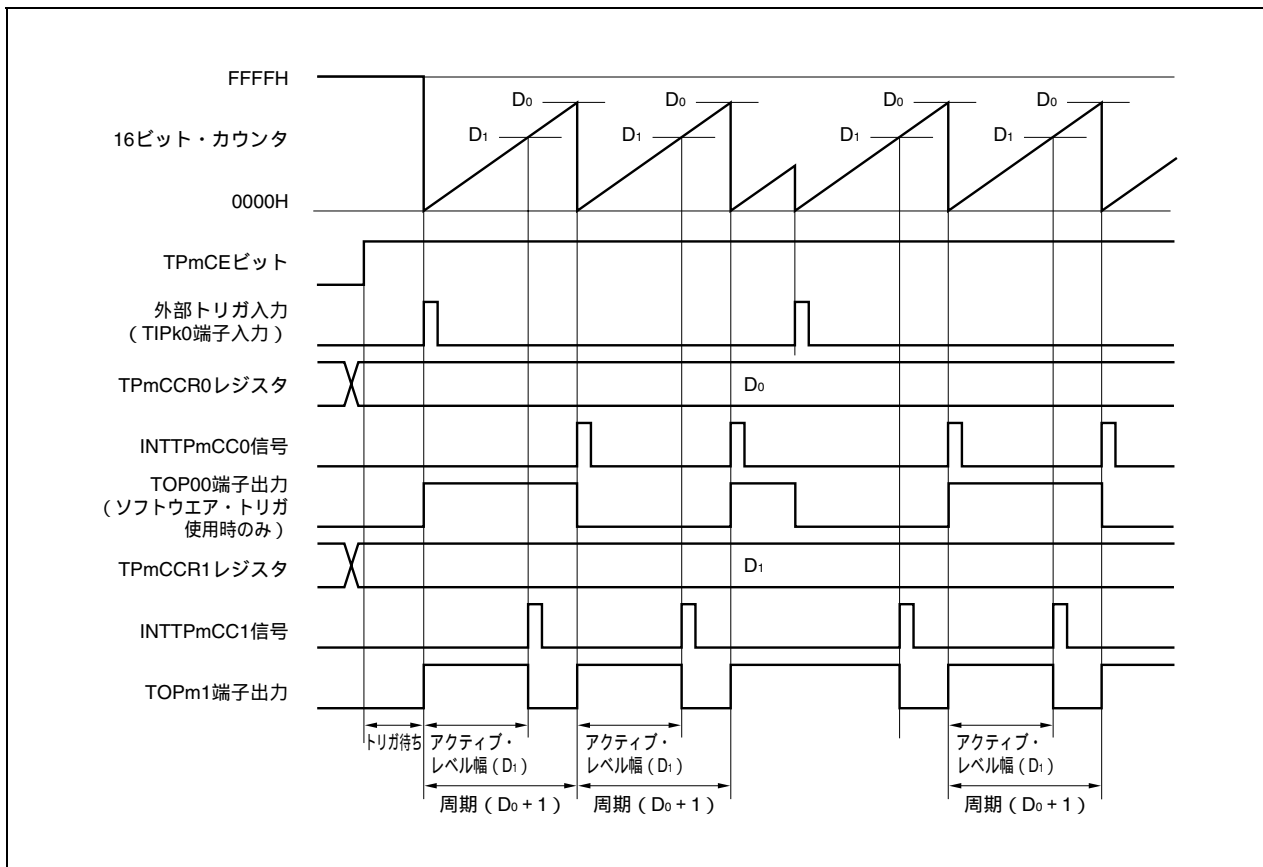
注 外部トリガ入力端子 (TIPk0) とタイマ出力端子 (TOP00) は兼用しているため, 同時に2つの機能を使用できません。

なお, 外部トリガ・パルス出力モード時は, カウント・クロックは内部クロックを選択 (TPKCTL1.TPKEEEビット = 0に設定) してください。

備考 m = 0, 2, 3

k = 0, 2

図6 - 24 外部トリガ・パルス出力モードの基本タイミング



TPmCEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPm1端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします(TOP00端子出力は反転します。TOPm1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPmCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPmCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPmCCR1レジスタの設定値}) / (\text{TPmCCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号(INTTPmCC0)は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号(INTTPmCC1)は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPmCCR_aレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCR_aバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR_aバッファ・レジスタに転送されます。

トリガには、外部トリガ入力(TIPk0)の有効エッジ、またはソフトウェア・トリガ(TPmCTL1.TPmESTビット)のセット(1)があります。

備考 $m = 0, 2, 3, k = 0, 2, a = 0, 1$

図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

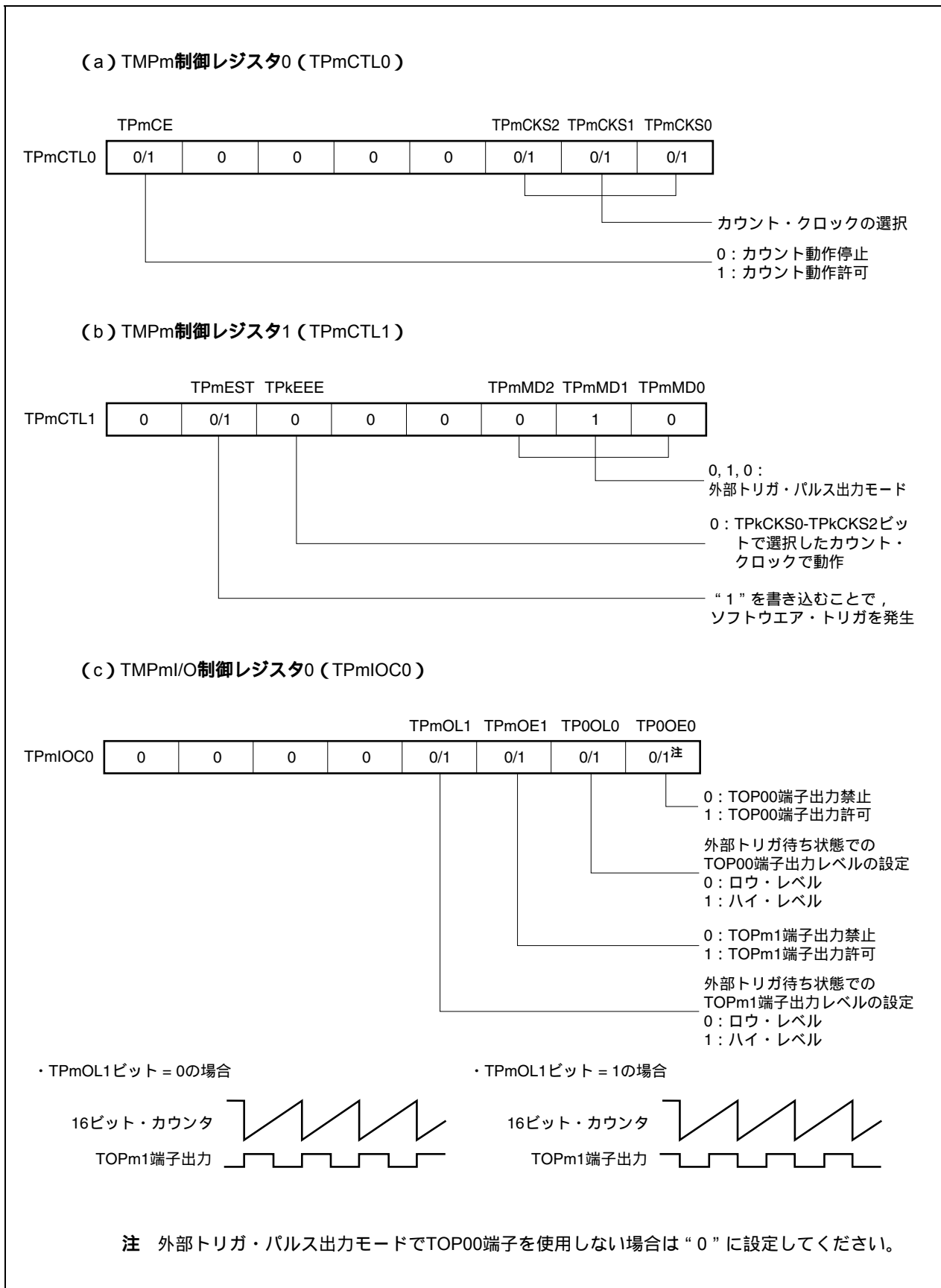
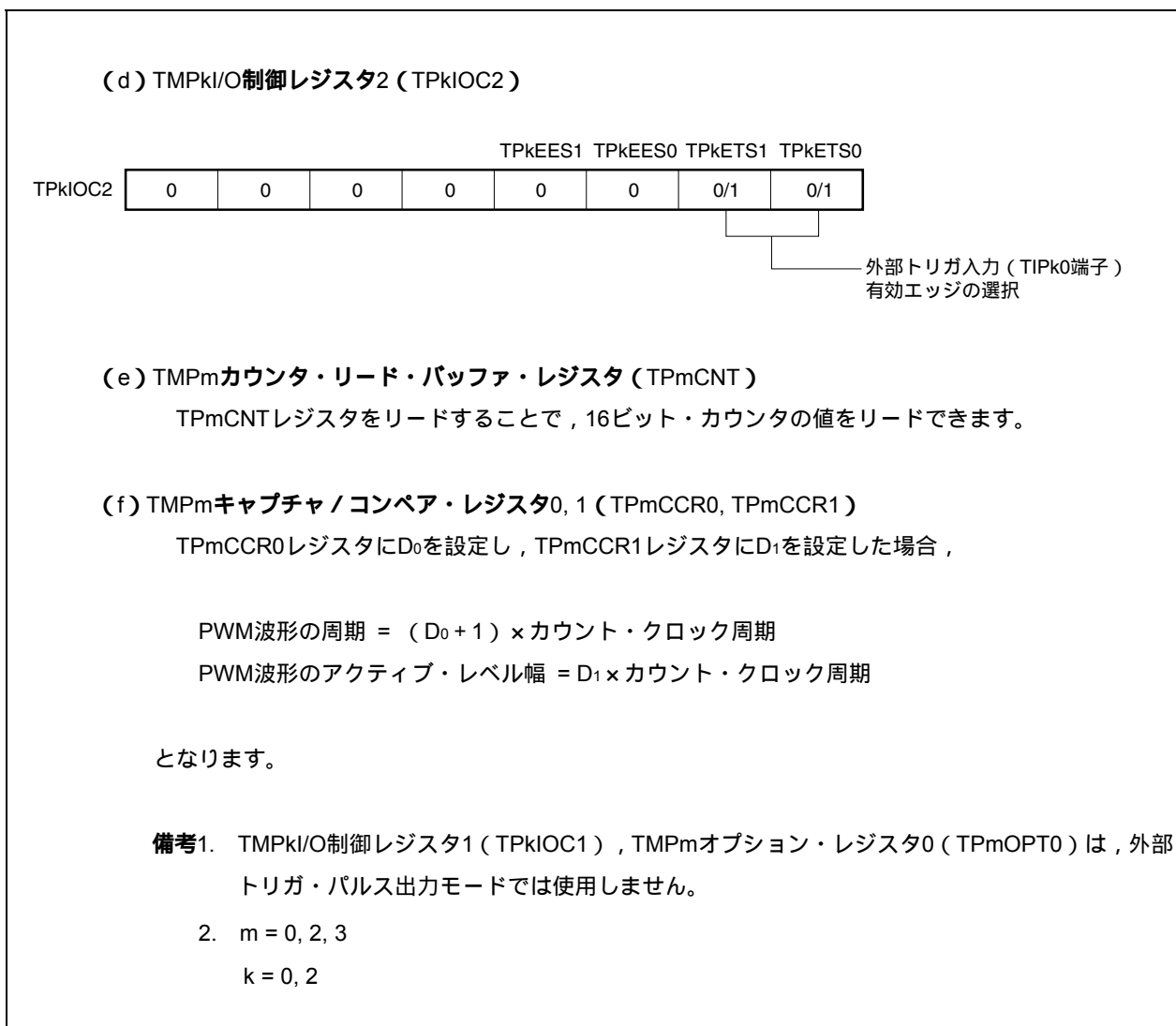


図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)



(1) 外部トリガ・パルス出力モード動作フロー

図6 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

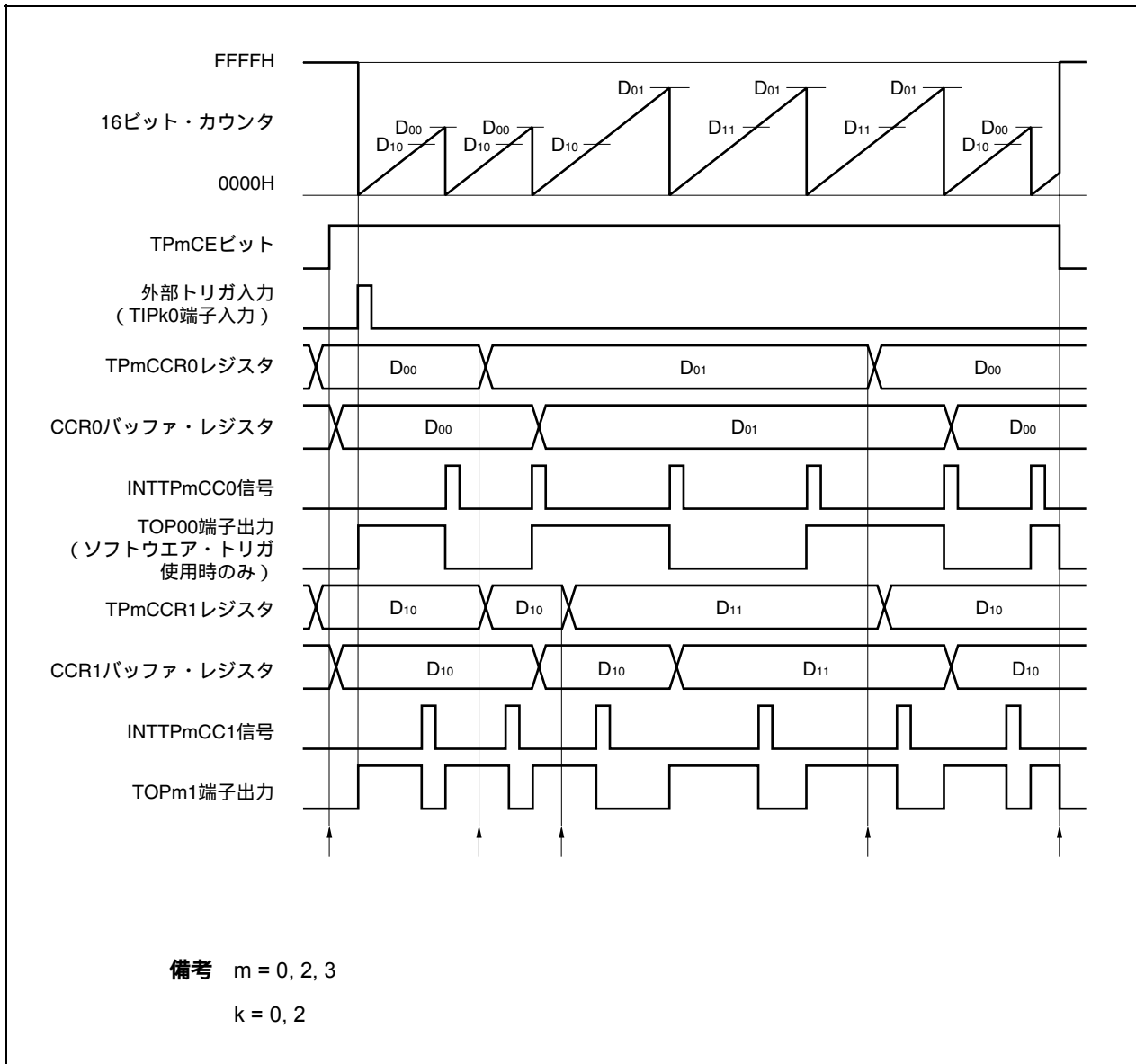
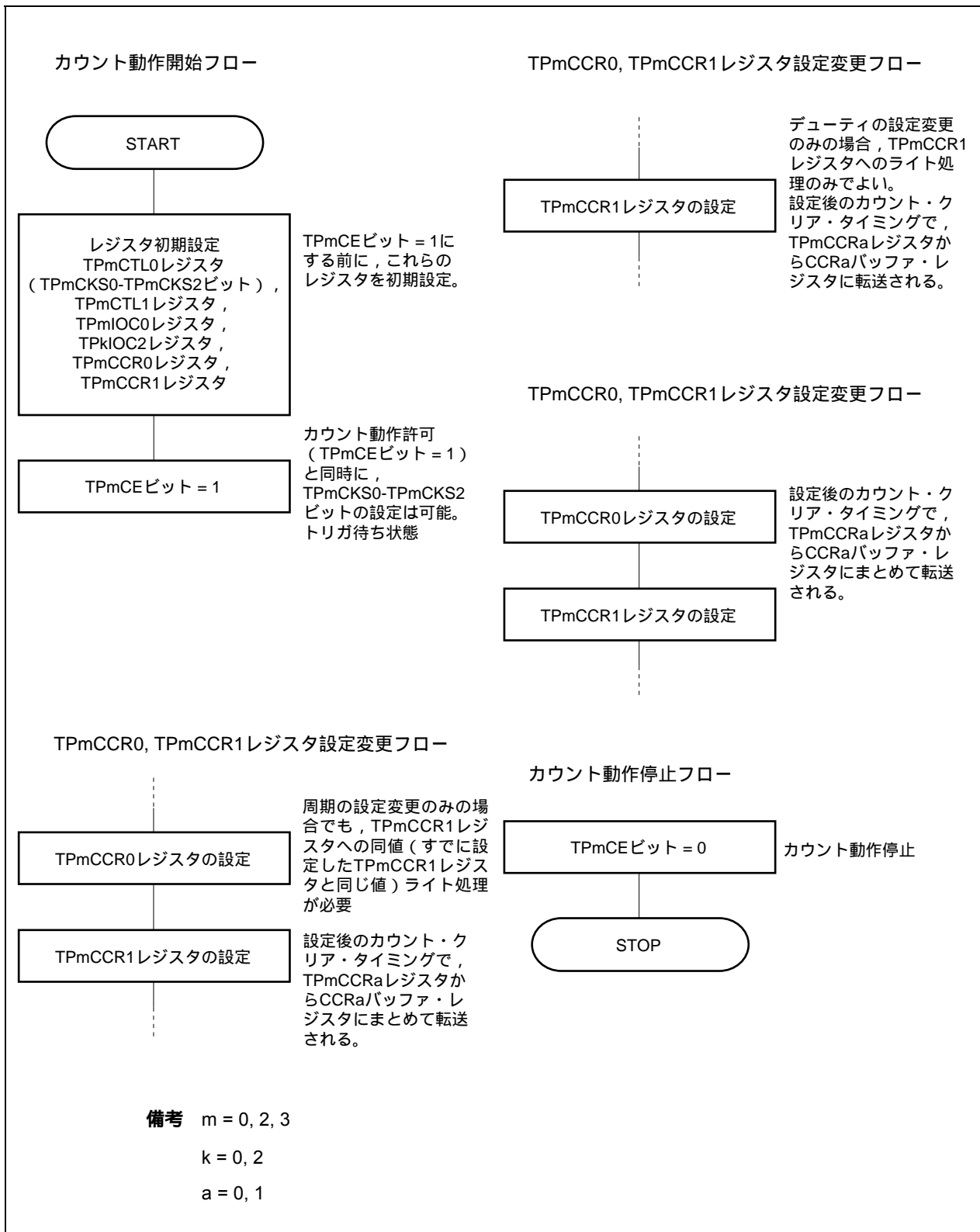


図6 - 26 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)

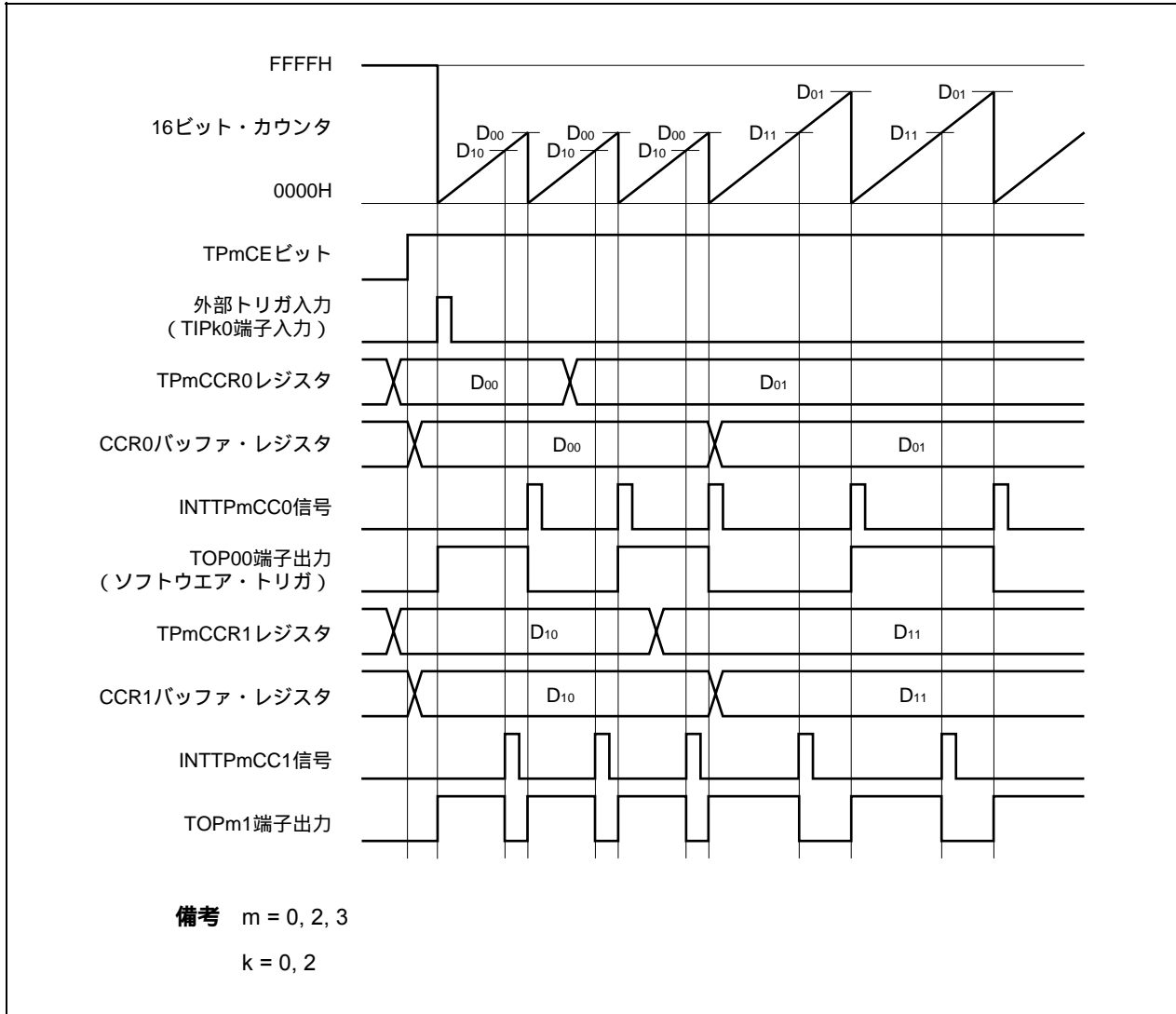


(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTPmCCR1レジスタにライトしてください。

TPmCCR1レジスタにライト後、再度TPmCCR_aレジスタの書き換えを行う場合には、INTTPmCC0信号を検出後に書き換えてください。



TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタに同値（すでに設定したTPmCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPmCCR1レジスタのみの設定でかまいません。

TPmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

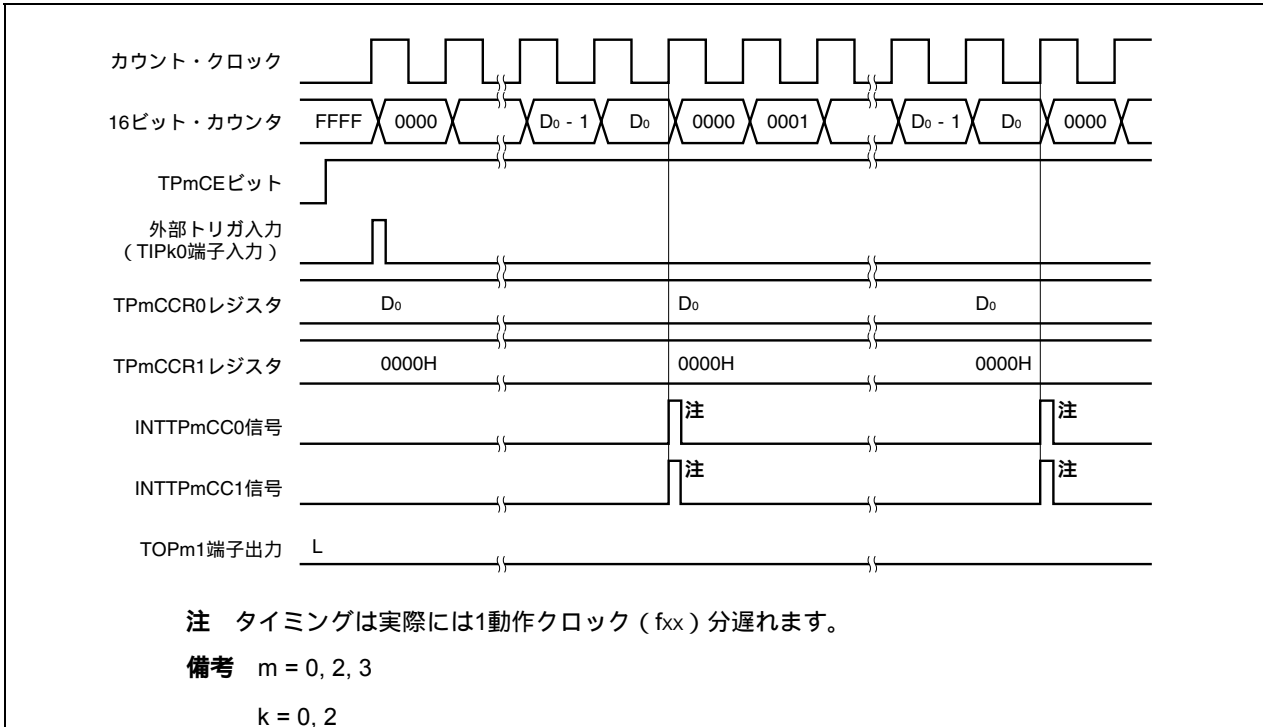
また、一度TPmCCR1レジスタにライトしたあとで、再度TPmCCR0、またはTPmCCR1レジスタへのライトを行う場合は、INTTPmCC0信号の発生後に行ってください。これを守れない場合には、TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0, 2, 3

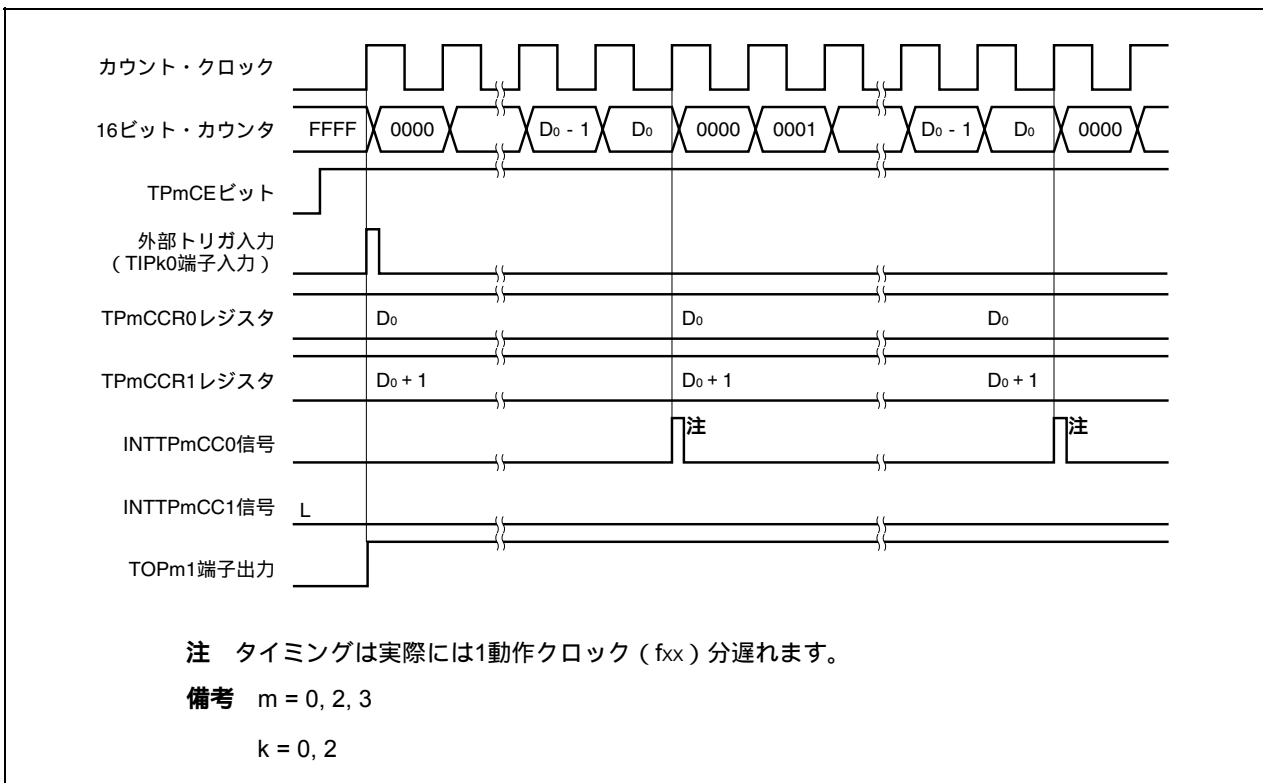
a = 0, 1

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPmCC0信号とINTTPmCC1信号が発生します。

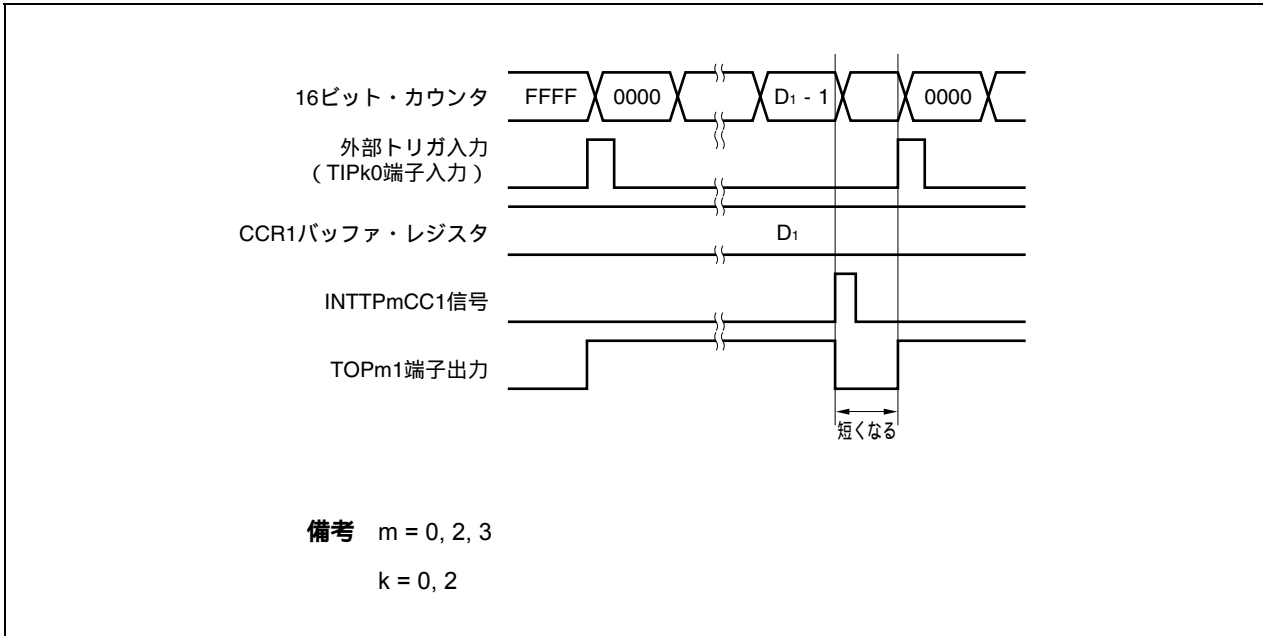


100 % 波形を出力するためには、TPmCCR1レジスタに対して (TPmCCR0レジスタの設定値 + 1) の値を設定してください。TPmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

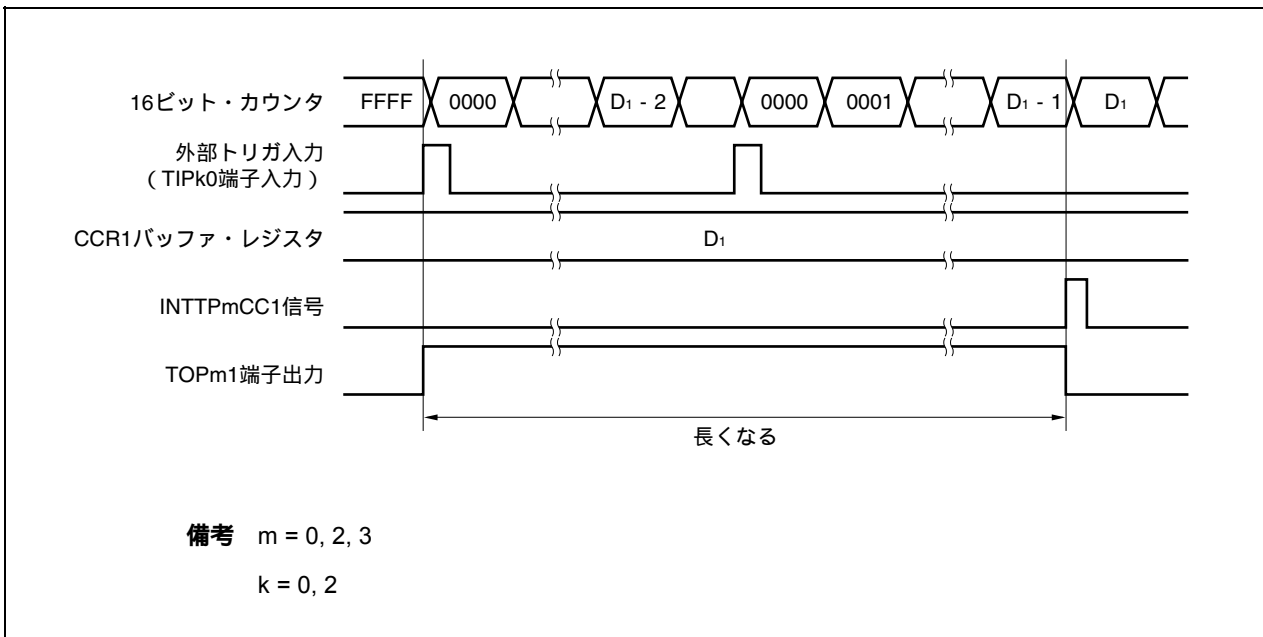


(c) トリガ検出とCCR1バッファ・レジスタとの一致の競合

INTTPmCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPm1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

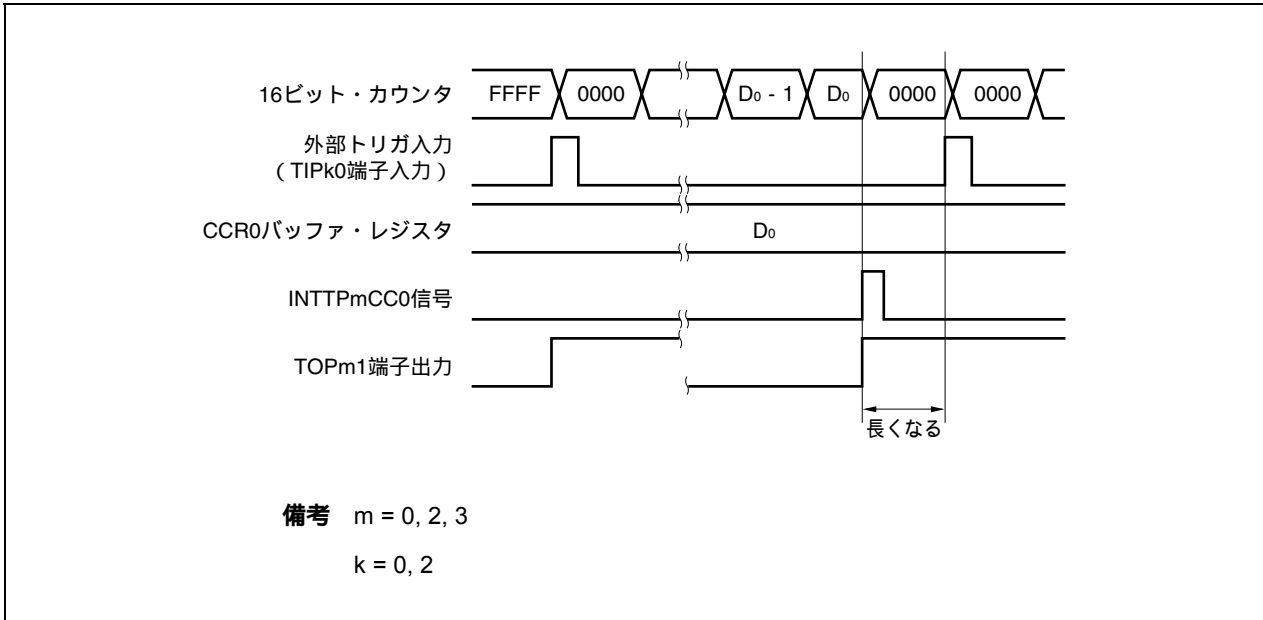


INTTPmCC1信号発生直前にトリガを検出した場合には、INTTPmCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を続けます。TOPm1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

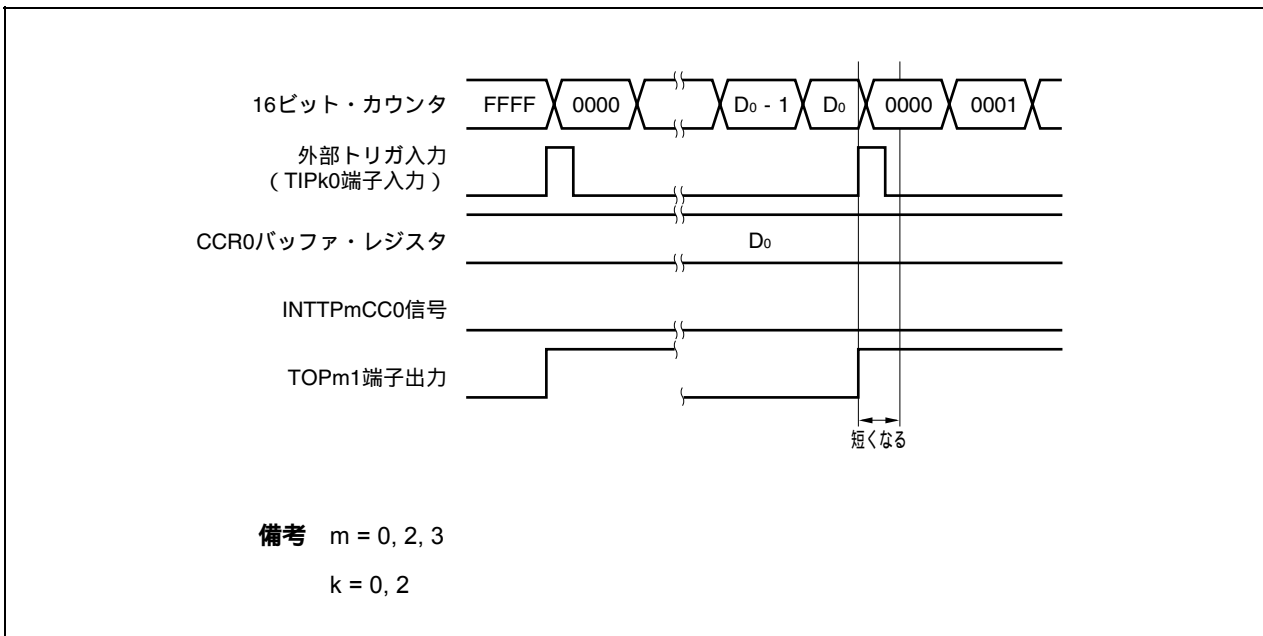


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTPmCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPm1端子出力のアクティブ期間が、INTTPmCC0信号発生からトリガ検出までの分だけ長くなります。

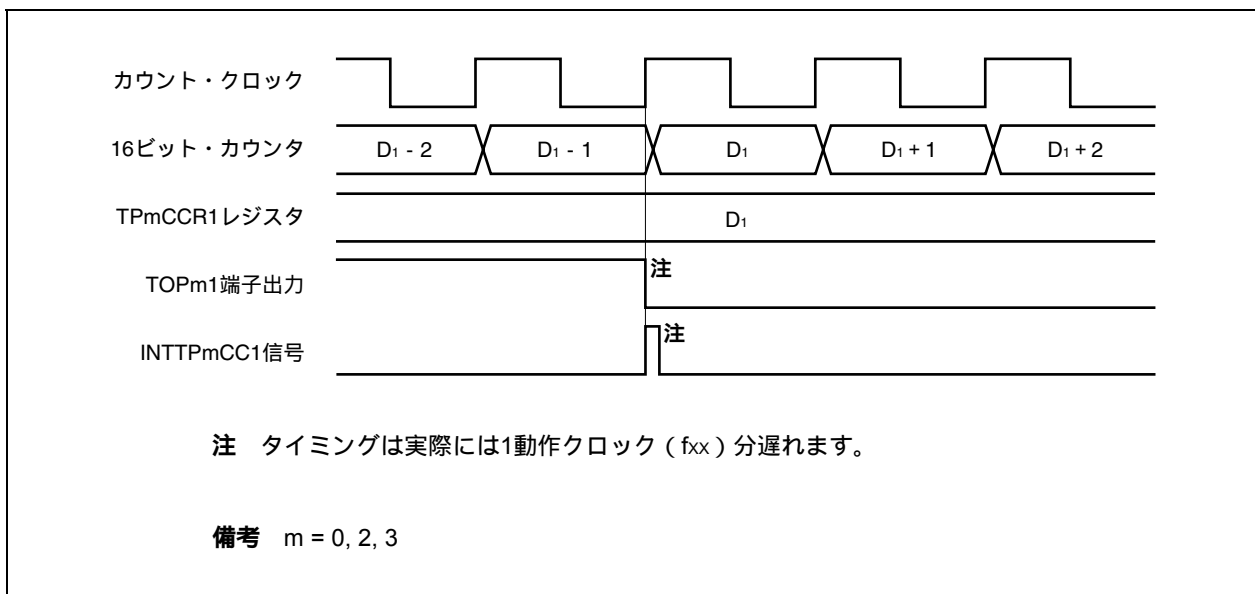


INTTPmCC0信号発生直前にトリガを検出した場合、INTTPmCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPm1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTPmCC1) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTPmCC1信号の発生タイミングは、ほかのモードのINTTPmCC1信号と異なり、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致と同時に発生します。



通常、INTTPmCC1信号は、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

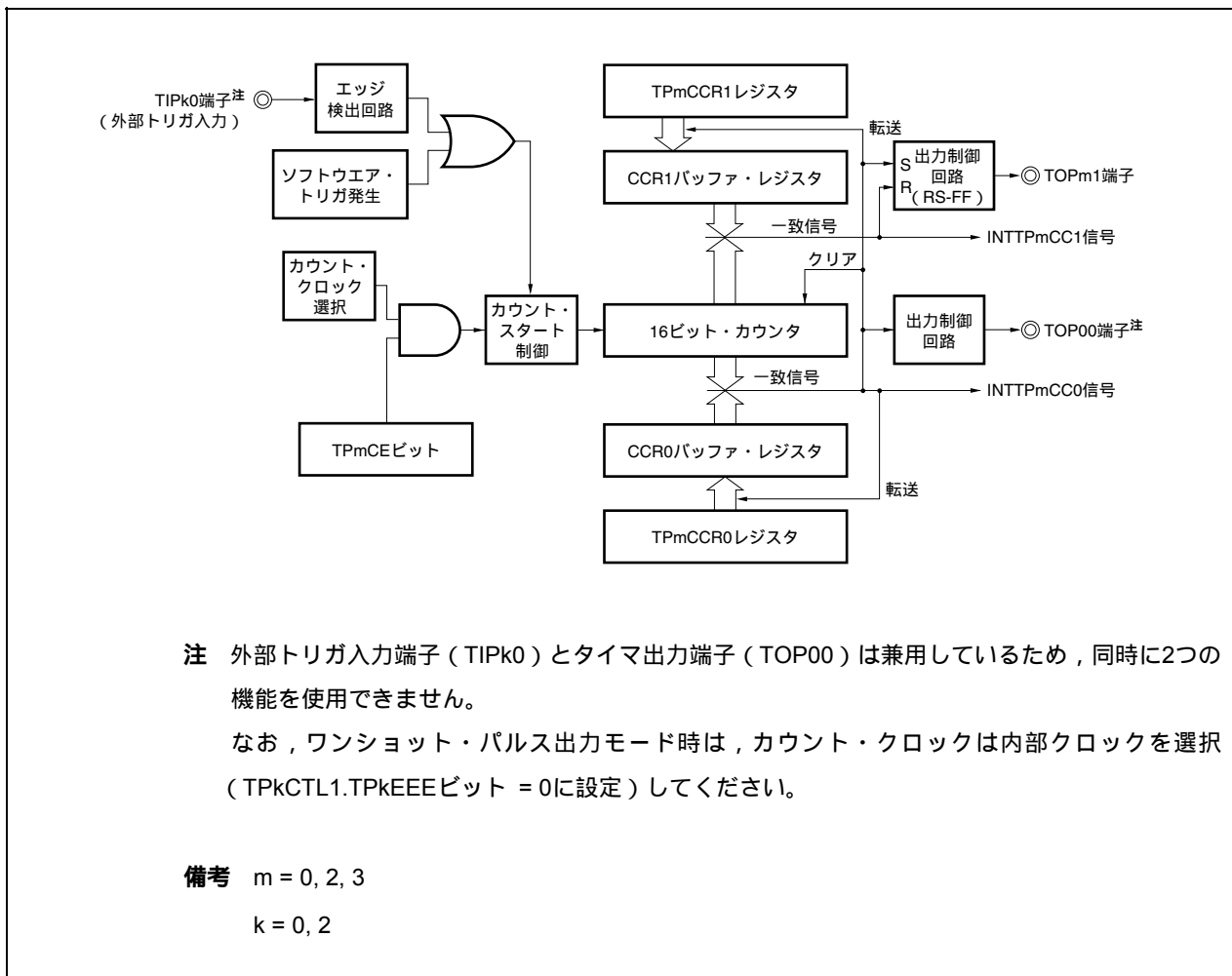
6.6.4 ワンショット・パルス出力モード (TPmMD2-TPmMD0ビット = 011)

TMP0, TMP2, TMP3のみ有効です (TMP3はソフトウェア・トリガのみ)。

ワンショット・パルス出力モードは、TPmCTL0.TPmCEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力 (TIPk0) の有効エッジを検出すると、カウント動作を開始し、TOPm1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでパルスを出力できます。ソフトウェア・トリガを使用する場合、TOP00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

図6 - 27 ワンショット・パルス出力モードの構成図



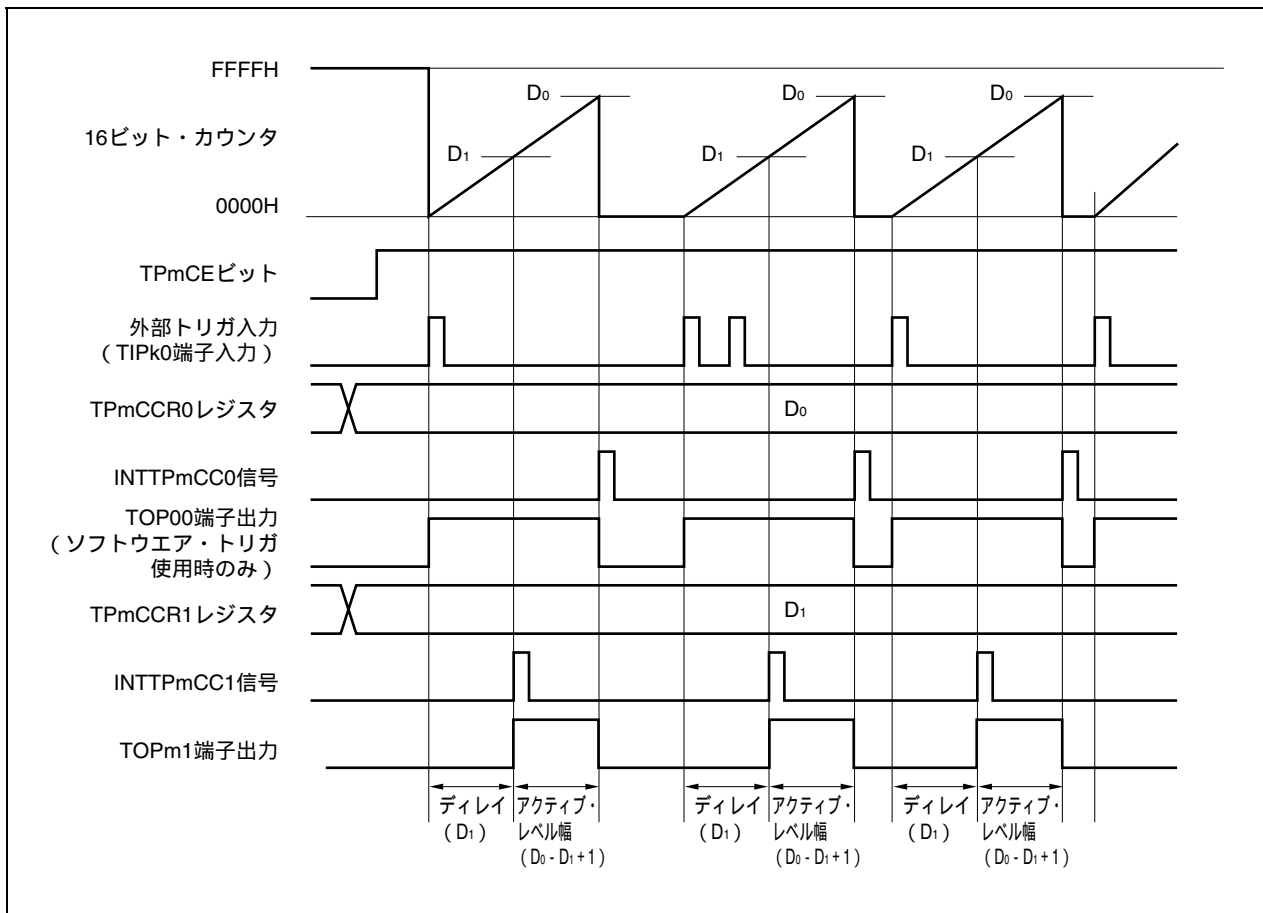
注 外部トリガ入力端子 (TIPk0) とタイマ出力端子 (TOP00) は兼用しているため、同時に2つの機能を使用できません。

なお、ワンショット・パルス出力モード時は、カウント・クロックは内部クロックを選択 (TPkCTL1.TPkEEEビット = 0に設定) してください。

備考 m = 0, 2, 3

k = 0, 2

図6 - 28 ワンショット・パルス出力モードの基本タイミング



TPmCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPm1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hよりカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TPmCCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TPmCCR0レジスタの設定値} - \text{TPmCCR1レジスタの設定値} + 1) \\ \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTPmCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTPmCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

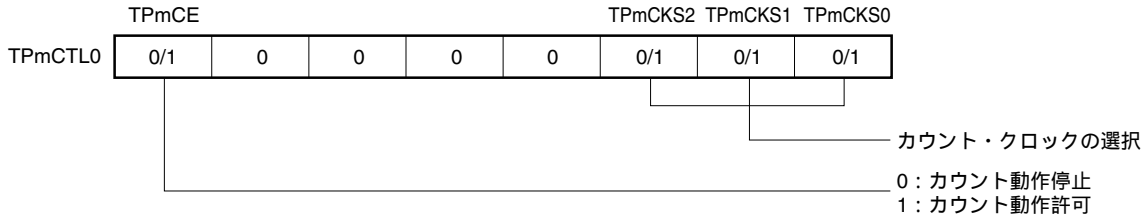
トリガには、外部トリガ入力 (TIPk0端子) の有効エッジ、またはソフトウェア・トリガ (TPmCTL1.TPmESTビット) のセット (1) があります。

備考 m = 0, 2, 3

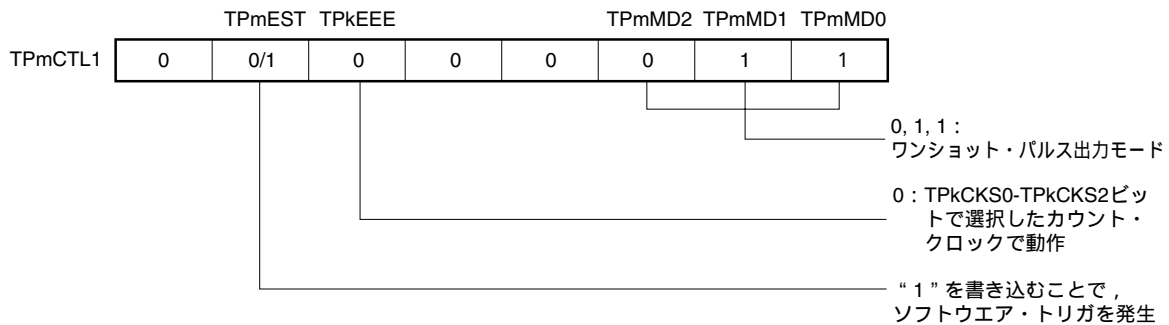
k = 0, 2

図6 - 29 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

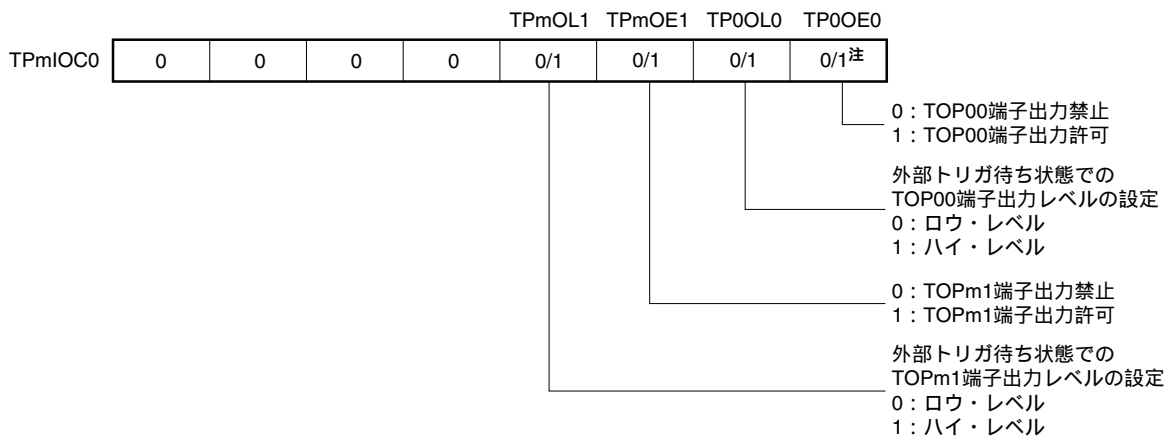
(a) TMPm制御レジスタ0 (TPmCTL0)



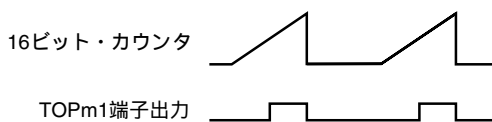
(b) TMPm制御レジスタ1 (TPmCTL1)



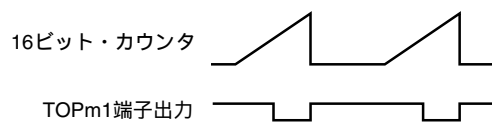
(c) TMPmI/O制御レジスタ0 (TPmIOC0)



・ TPmOL1ビット = 0の場合



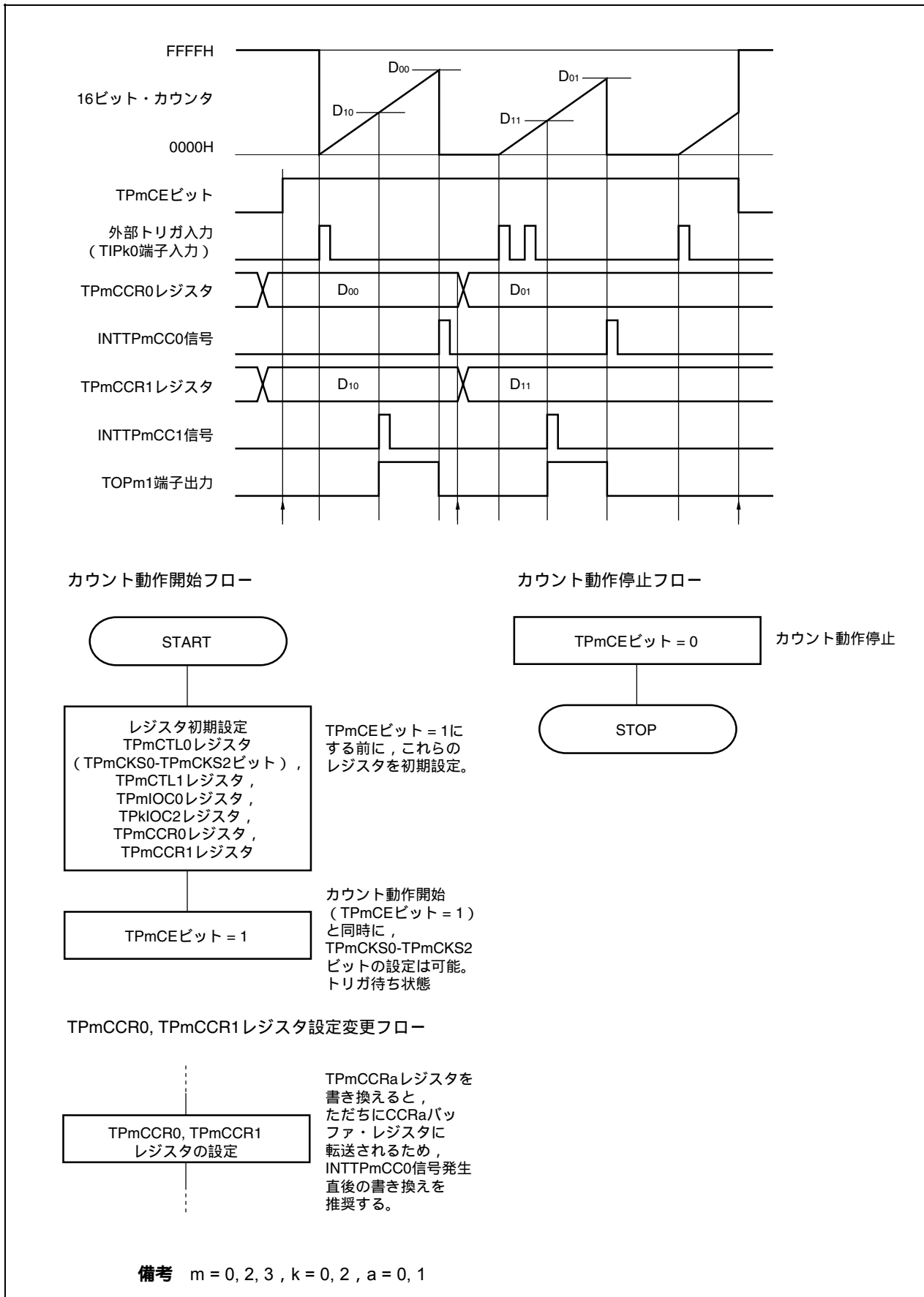
・ TPmOL1ビット = 1の場合



注 ワンショット・パルス出力モードでTOP00端子を使用しない場合は“0”に設定してください。

(1) ワンショット・パルス出力モード動作フロー

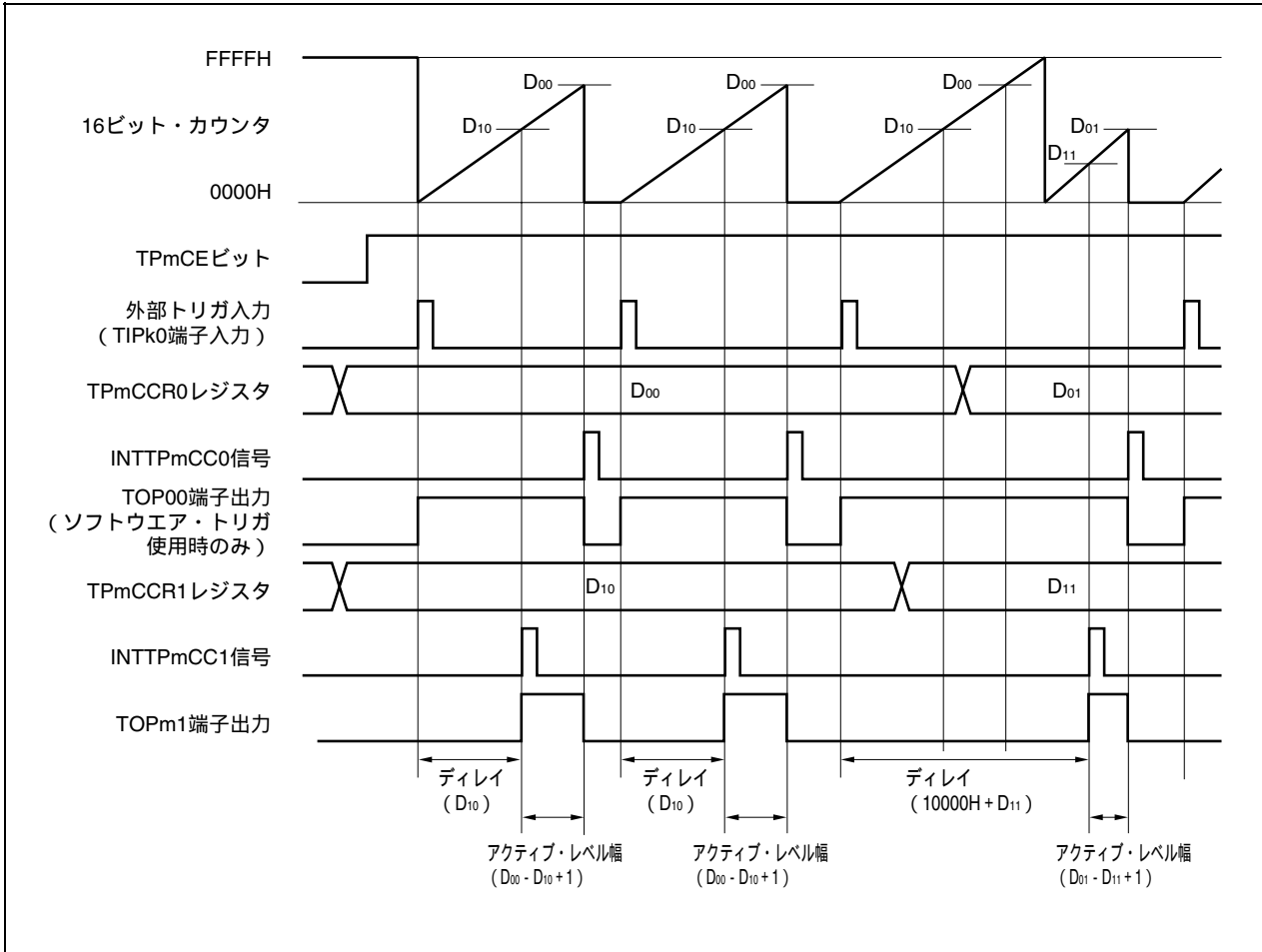
図6 - 30 ワンショット・パルス出力モード使用時のソフトウェア処理フロー



(2) ワンショット・パルス出力モード動作タイミング

(a) TPmCCRaレジスタの書き換えに関する注意事項

カウント動作中にTPmCCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバフローする場合がありますので注意してください。オーバフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



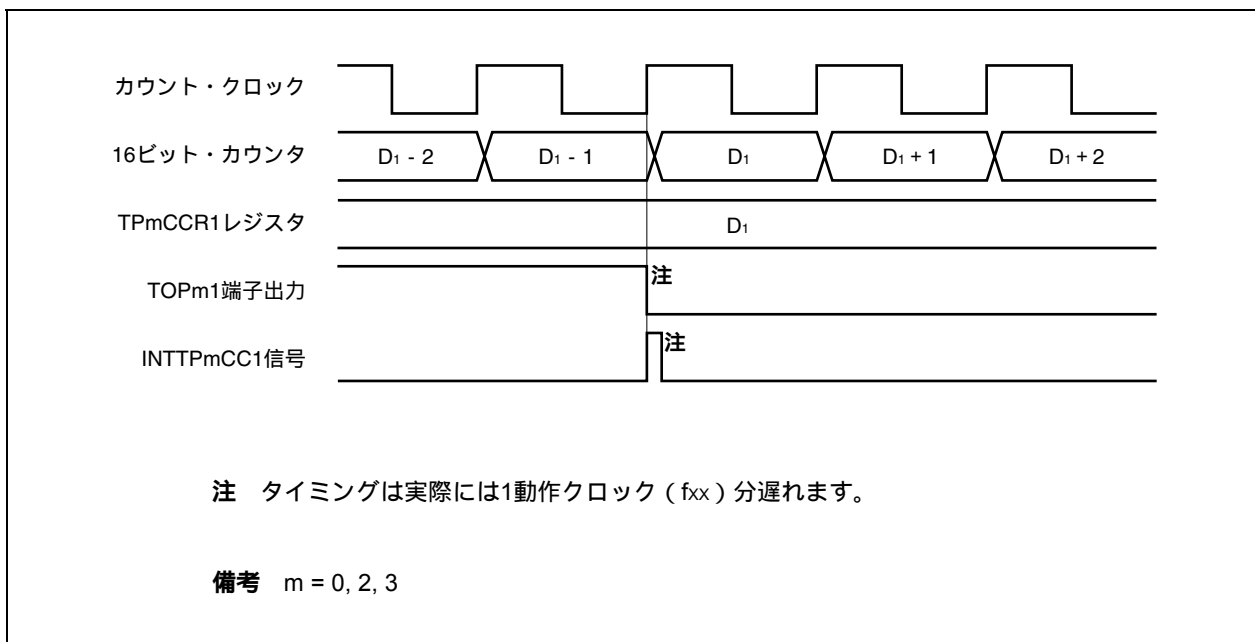
TPmCCR0レジスタをD₀₀からD₀₁に、TPmCCR1レジスタをD₁₀からD₁₁に書き換える場合において、D₀₀ > D₀₁、D₁₀ > D₁₁の状態では、16ビット・カウンタのカウント値がD₁₁よりも大きくD₁₀よりも小さい状態のときTPmCCR1レジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTPmCCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D₁₁との一致でINTTPmCC1信号を発生してTOPm1端子出力をアクティブ・レベルにし、D₀₁との一致でINTTPmCC0信号を発生してTOPm1端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、デレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 m = 0, 2, 3, k = 0, 2, a = 0, 1

(b) コンペアー一致割り込み要求信号 (INTTPmCC1) の発生タイミング

ワンショット・パルス出力モードにおけるINTTPmCC1信号の発生タイミングは、ほかのモードのINTTPmCC1信号と異なり、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致と同時に発生します。



通常、INTTPmCC1信号は、16ビット・カウンタのカウンタ値とTPmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、ワンショット・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOPm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.5 PWM出力モード (TPmMD2-TPmMD0ビット = 100)

TMP0, TMP2, TMP3のみ有効です。

PWM出力モードは、TPmCTL0.TPmCEビットをセット (1) することで、TOPm1端子からPWM波形を出力します。

また、TOP00端子から、TPmCCR0レジスタの設定値 + 1を半周期とする50 %デューティのPWM波形を出力します。

図6 - 31 PWM出力モードの構成図

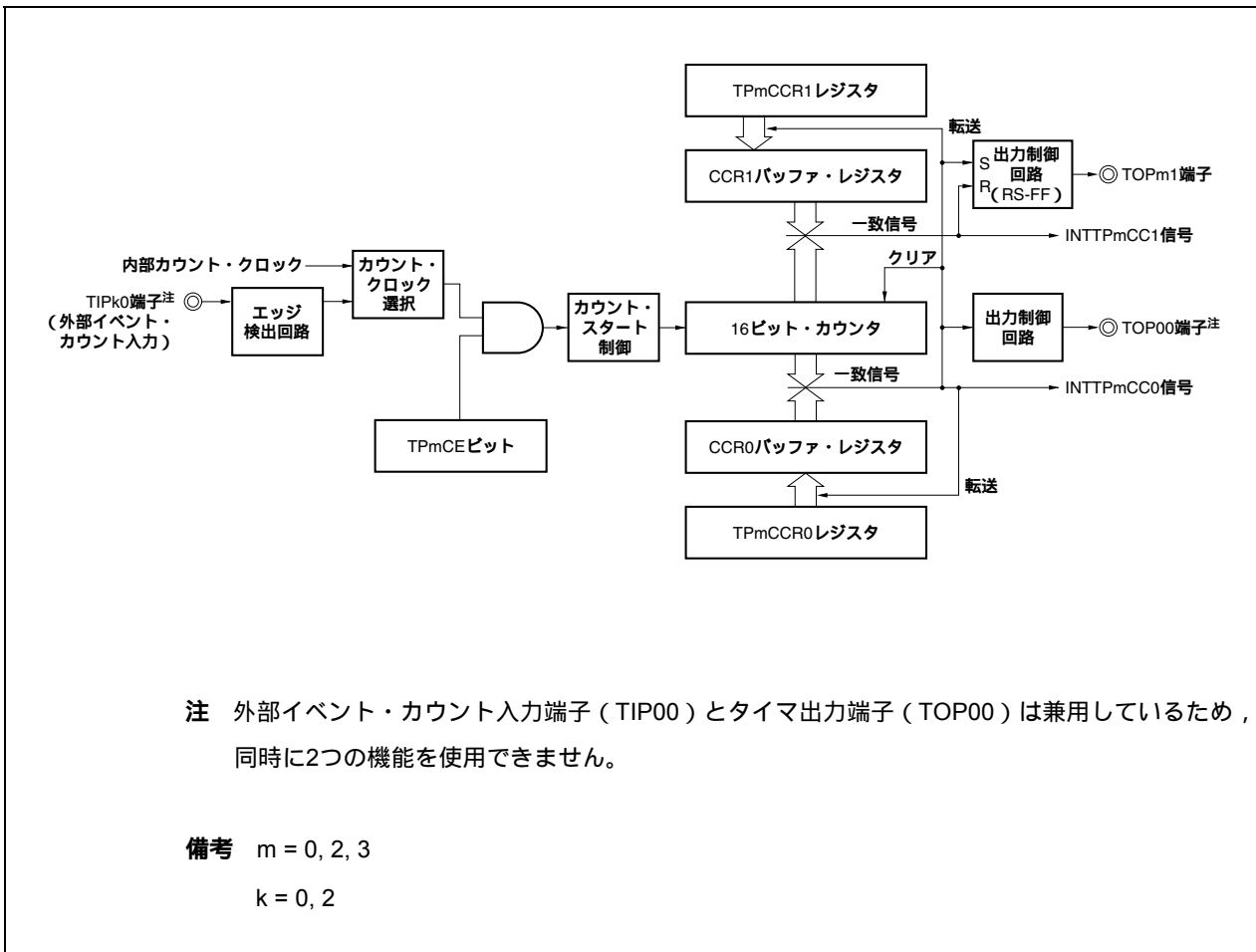
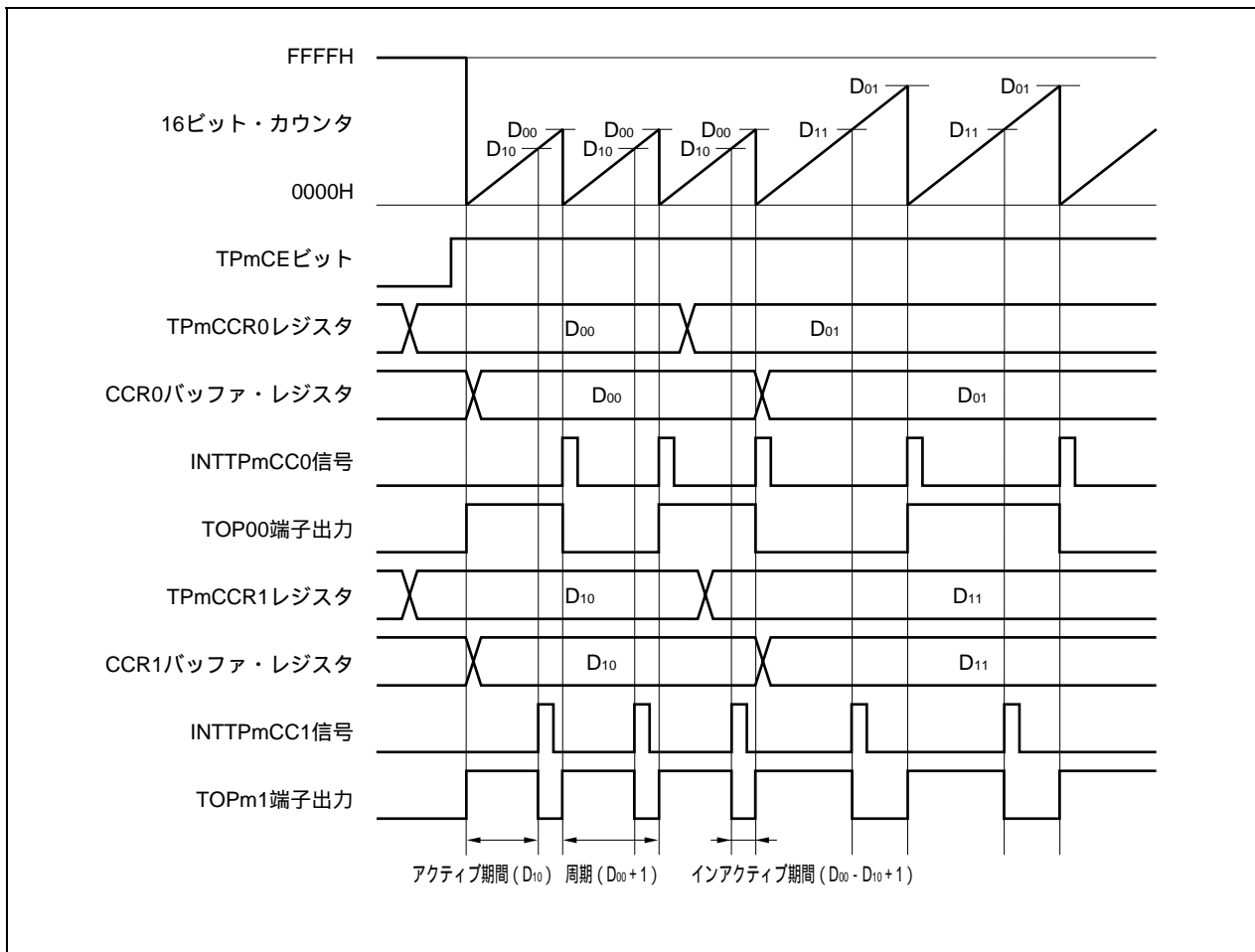


図6 - 32 PWM出力モードの基本タイミング



TPmCEビットをセット(1)することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウンタ動作を開始し、TOPm1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TPmCCR1レジスタの設定値}) \times \text{カウンタ・クロック周期}$$

$$\text{周期} = (\text{TPmCCR0レジスタの設定値} + 1) \times \text{カウンタ・クロック周期}$$

$$\text{デューティ} = (\text{TPmCCR1レジスタの設定値}) / (\text{TPmCCR0レジスタの設定値} + 1)$$

動作中にTPmCCR_aレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンパレー一致割り込み要求信号 (INTTPmCC0) は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のカウンタ・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンパレー一致割り込み要求信号 (INTTPmCC1) は、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

TPmCCR_aレジスタに設定した値は、16ビット・カウンタのカウンタ値とCCR_aバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCR_aバッファ・レジスタに転送されます。

備考 $m = 0, 2, 3, a = 0, 1$

図6 - 33 PWM出力モード動作時のレジスタ設定内容 (1/2)

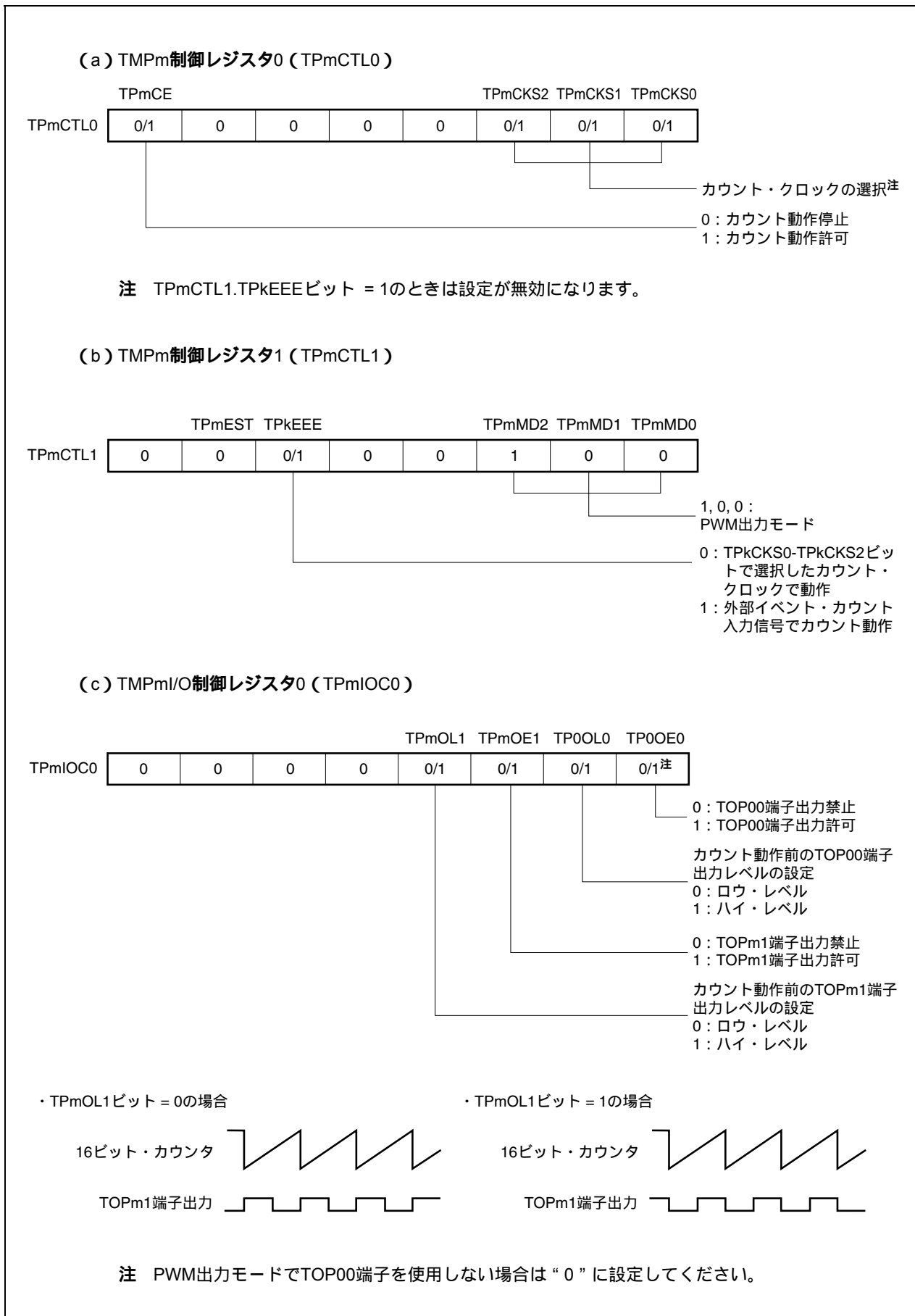
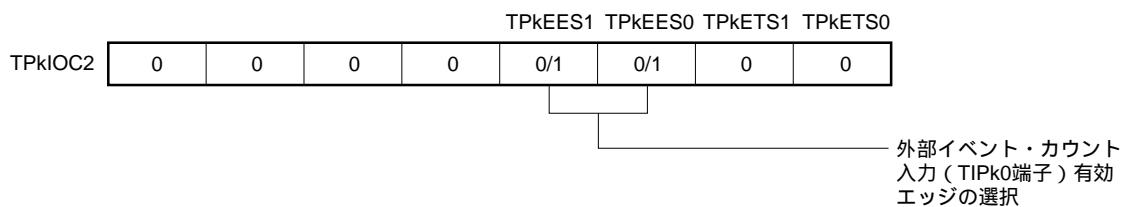


図6 - 33 PWM出力モード動作時のレジスタ設定内容 (2/2)

(d) TMPkI/O制御レジスタ2 (TPkIOC2)



(e) TMPmカウンタ・リード・バッファ・レジスタ (TPmCNT)

TPmCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPmキャプチャ/コンペア・レジスタ0, 1 (TPmCCR0, TPmCCR1)

TPmCCR0レジスタにD₀を設定し、TPmCCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TMPkI/O制御レジスタ1 (TPkIOC1)、TMPkオプション・レジスタ0 (TPkOPT0) は、PWM出力モードでは使用しません。

2. m = 0, 2, 3

k = 0, 2

(1) PWM出力モード動作フロー

図6 - 34 PWM出力モード使用時のソフトウェア処理フロー (1/2)

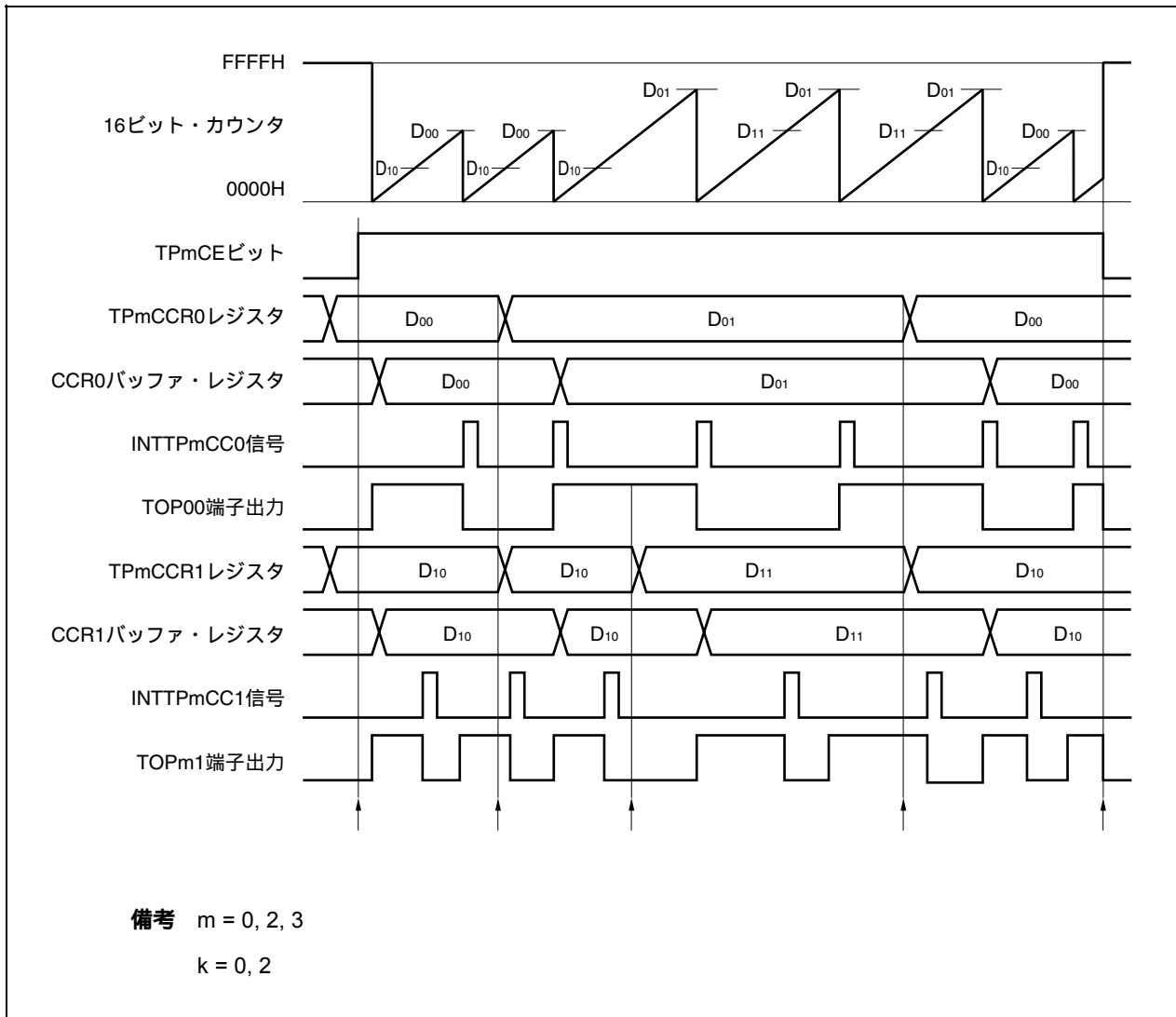
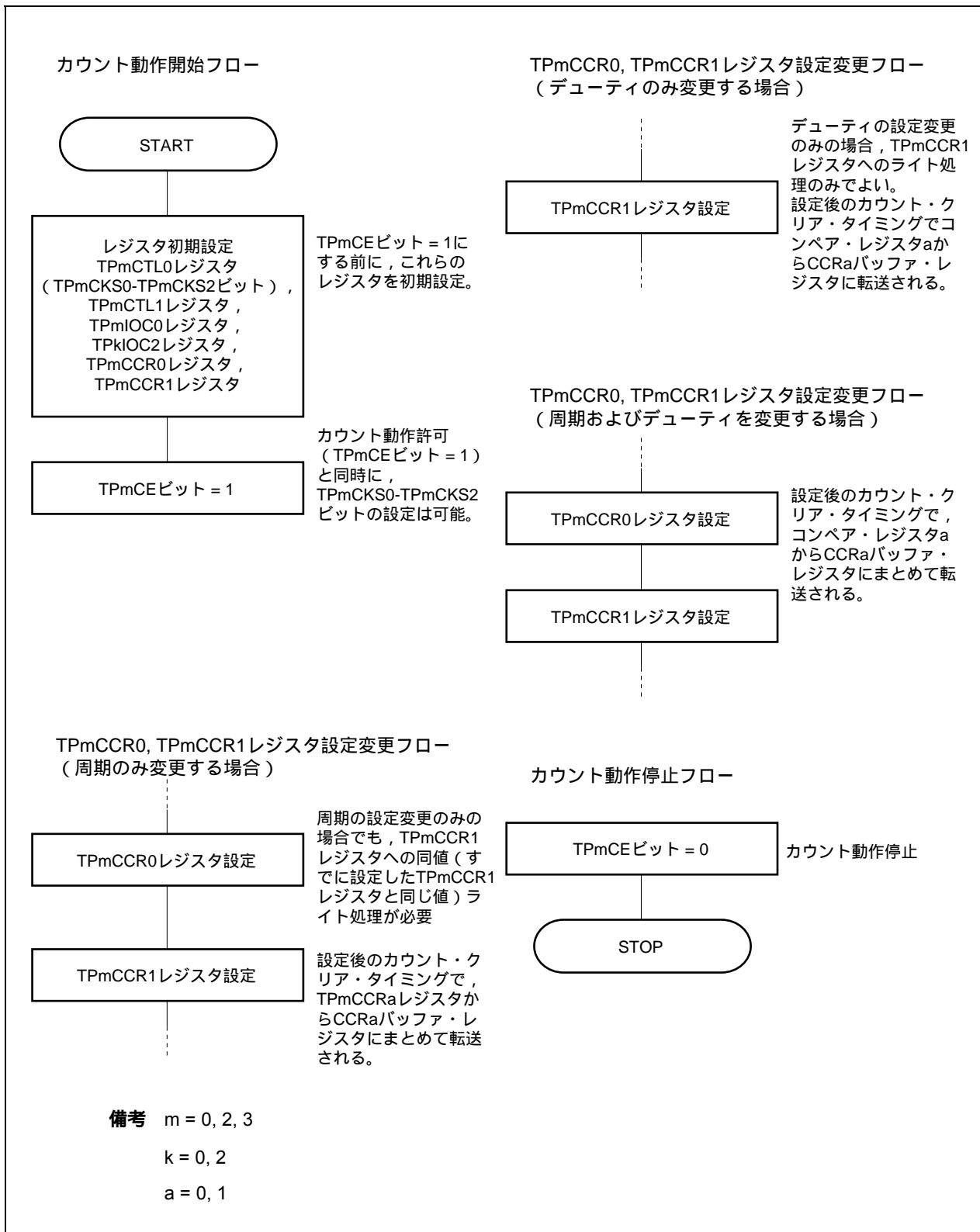


図6 - 34 PWM出力モード使用時のソフトウェア処理フロー (2/2)

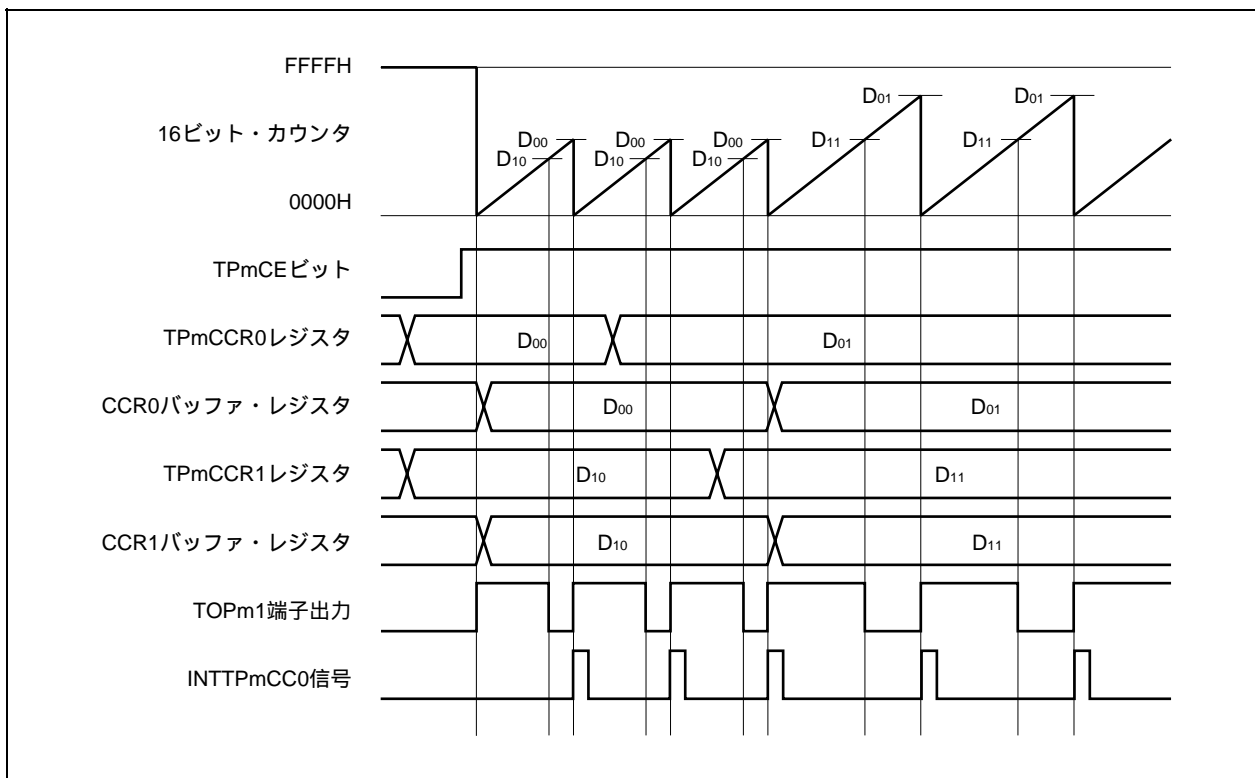


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTPmCCR1レジスタにライトしてください。

TPmCCR1レジスタにライト後、再度TPmCCRaレジスタの書き換えを行う場合には、INTTPmCC1信号を検出後に書き換えてください。



TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPmCCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTPmCCR0レジスタに周期を設定し、そのあとでTPmCCR1レジスタに同値（すでに設定したTPmCCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPmCCR1レジスタのみの設定でかまいません。

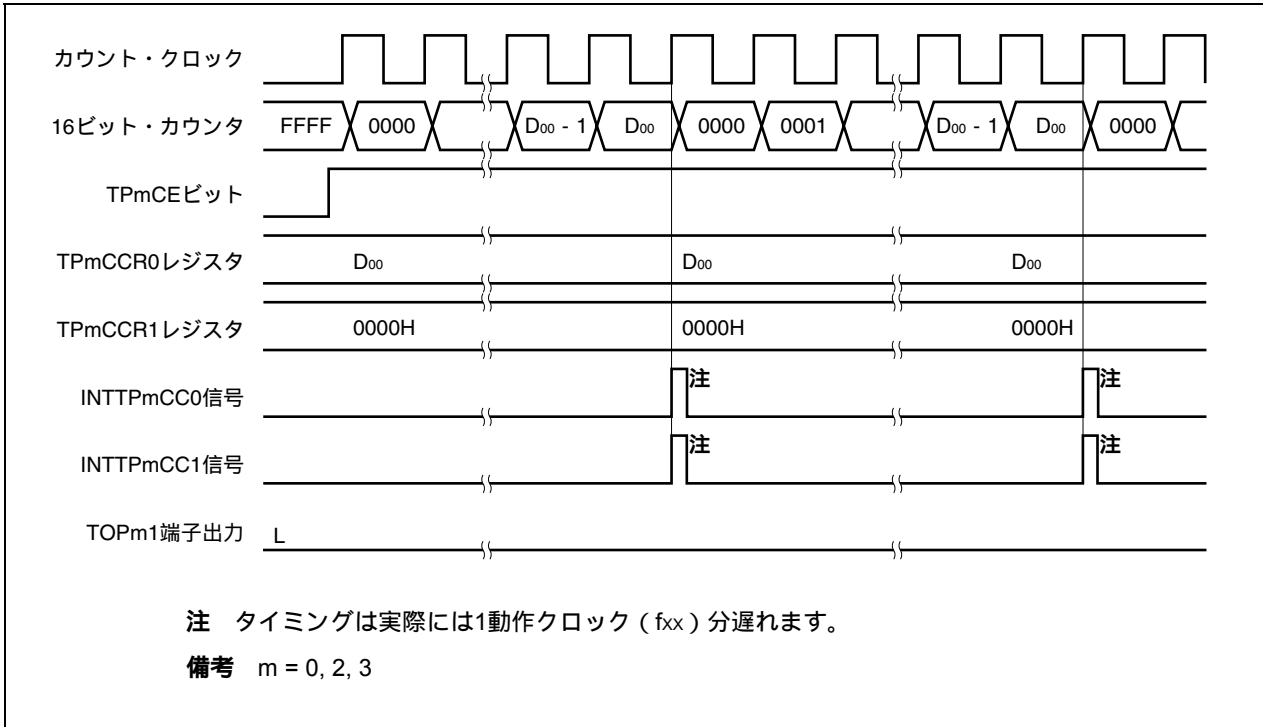
TPmCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPmCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TPmCCR1レジスタにライトしたあとで、再度TPmCCR0、またはTPmCCR1レジスタへのライトを行う場合は、INTTPmCC0信号の発生後に行ってください。これを守れない場合には、TPmCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPmCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

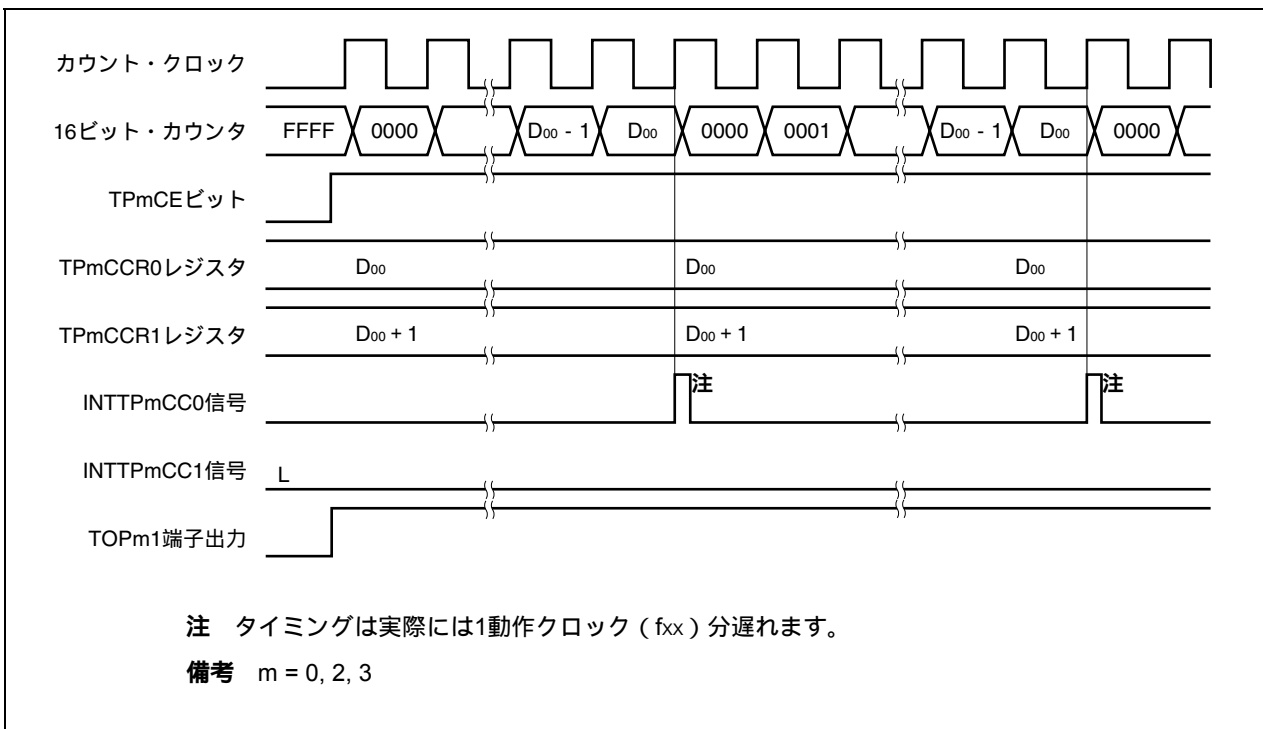
備考 $m = 0, 2, 3, a = 0, 1$

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TPmCCR1レジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTPmCC0信号とINTTPmCC1信号が発生します。

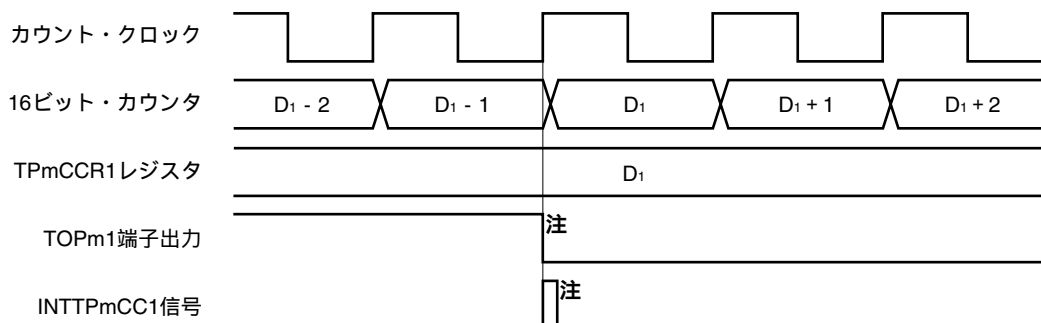


100 % 波形を出力するためには、TPmCCR1レジスタに対して (TPmCCR0レジスタの設定値 + 1) の値を設定してください。TPmCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTPmCC1) の発生タイミング

PWM出力モードにおけるINTTPmCC1信号の発生タイミングは、ほかのモードのINTTPmCC1信号と異なり、16ビット・カウンタのカウント値とTPmCCR1レジスタの値との一致と同時に発生します。



注 タイミングは実際には1動作クロック (f_{xx}) 分遅れます。

備考 $m = 0, 2, 3$

通常、INTTPmCC1信号は、16ビット・カウンタのカウント値とTPmCCR1レジスタの値との一致後、次のカウント・アップに同期して発生します。

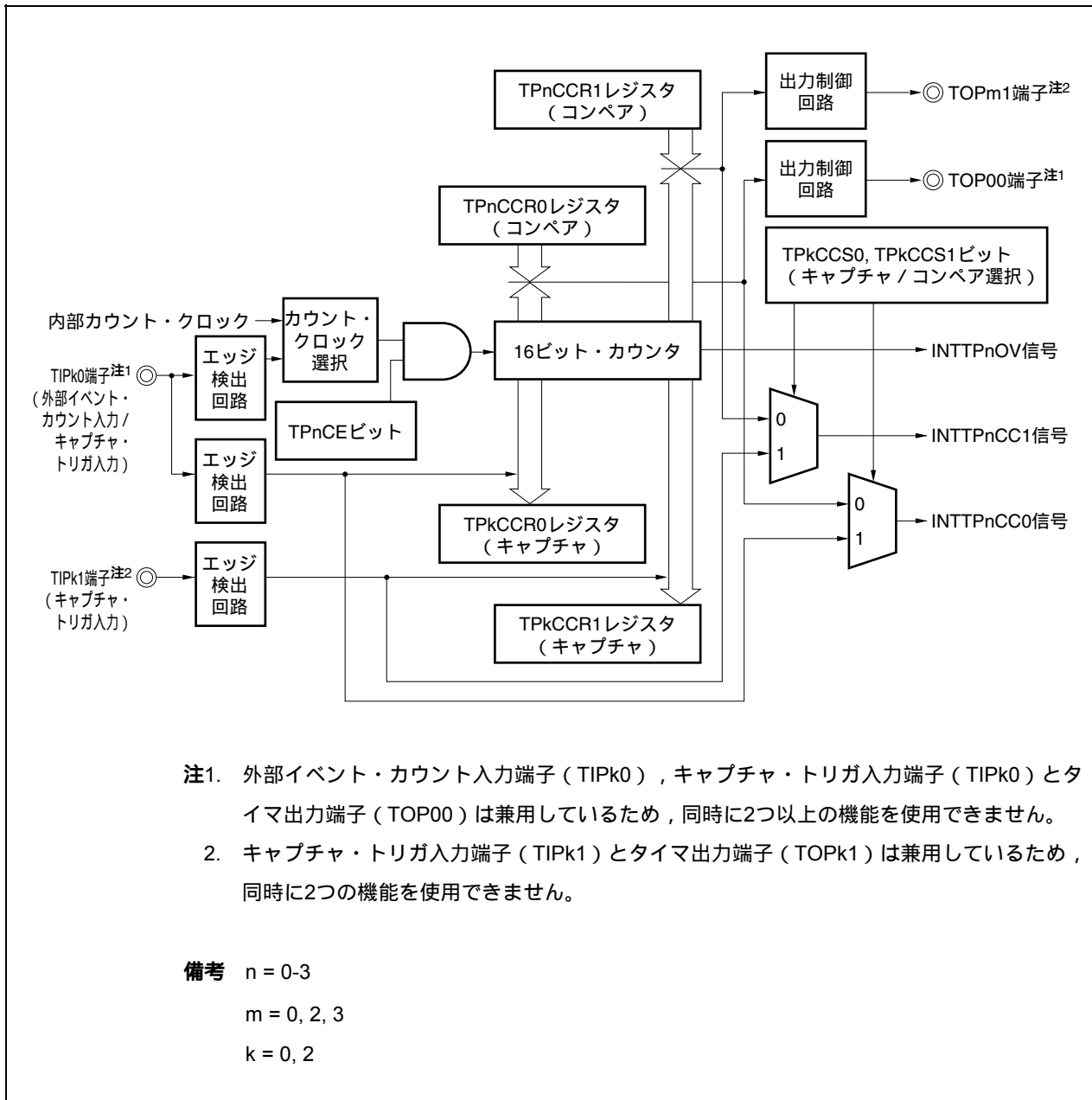
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOPm1端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

6.6.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

コンペア機能はTMP0-TMP3すべて有効です。キャプチャ機能はTMP0, TMP2のみ有効です。

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット(1)することでカウント動作を開始します。このときのTPkCCR0, TPkCCR1レジスタの動作は、TPkOPT0.TPkCCS0, TPkCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図6 - 35 フリー・ランニング・タイマ・モードの構成図



- 注1. 外部イベント・カウント入力端子 (TIPk0), キャプチャ・トリガ入力端子 (TIPk0) とタイマ出力端子 (TOP00) は兼用しているため, 同時に2つ以上の機能を使用できません。
- 2. キャプチャ・トリガ入力端子 (TIPk1) とタイマ出力端子 (TOPk1) は兼用しているため, 同時に2つの機能を使用できません。

備考 n = 0-3
 m = 0, 2, 3
 k = 0, 2

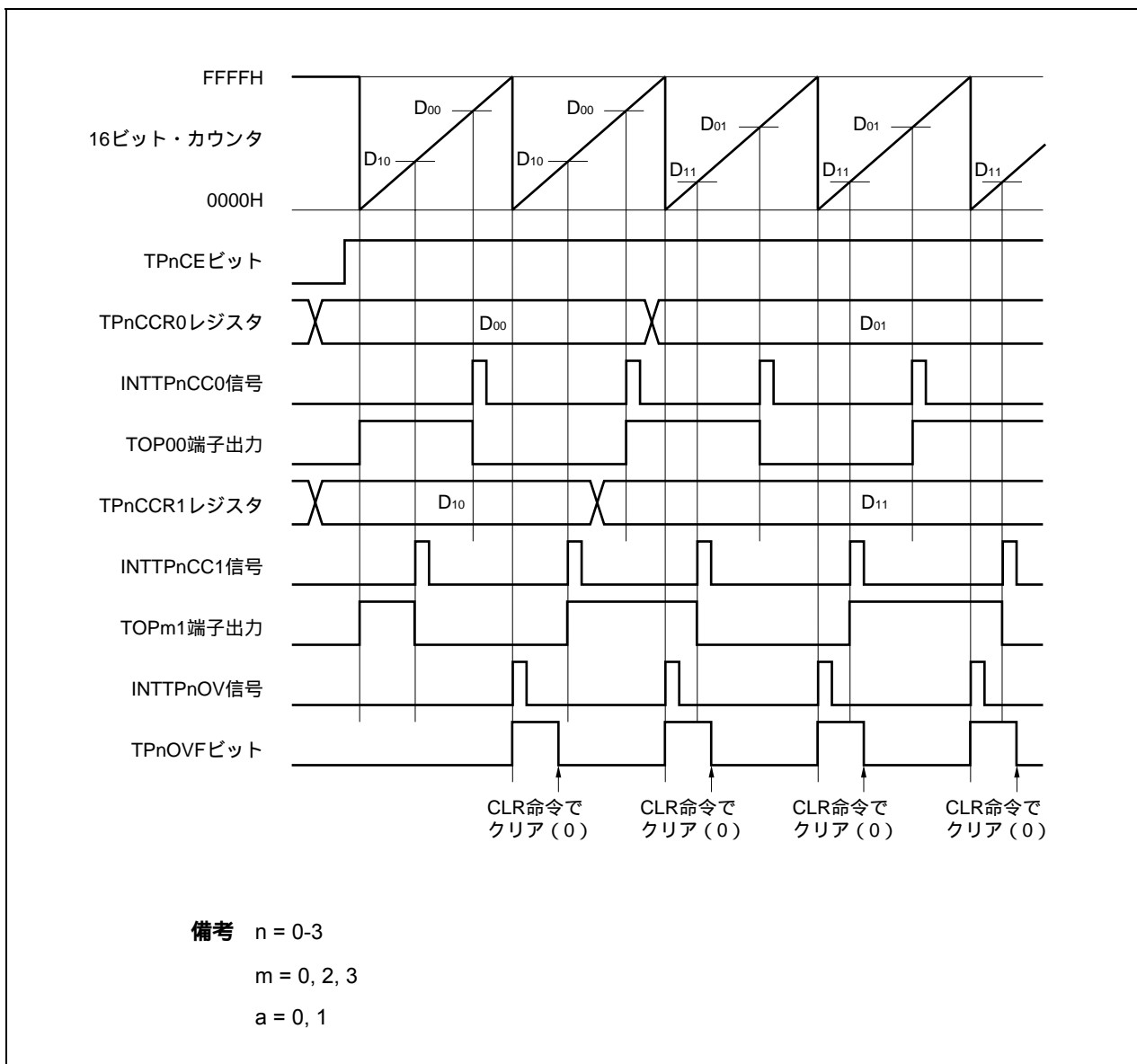
・コンペア動作

TPnCEビットをセット(1)することで、カウント動作を開始し、TOP00, TOPm1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCR_aレジスタの設定値が一致すると、コンペア一致割り込み要求信号(INTTPnCC_a)を発生し、TOP00, TOPm1端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPnOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPnOPT0.TPnOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

TPnCCR_aレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図6-36 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TPkCEビットをセット(1)することで、カウント動作を開始します。その後、TIPka端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPkCCRaレジスタに格納し、キャプチャ割り込み要求信号(INTTPkCCa)を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号(INTTPkOV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ(TPkOPT0.TPkOVFビット)もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

図6-37 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

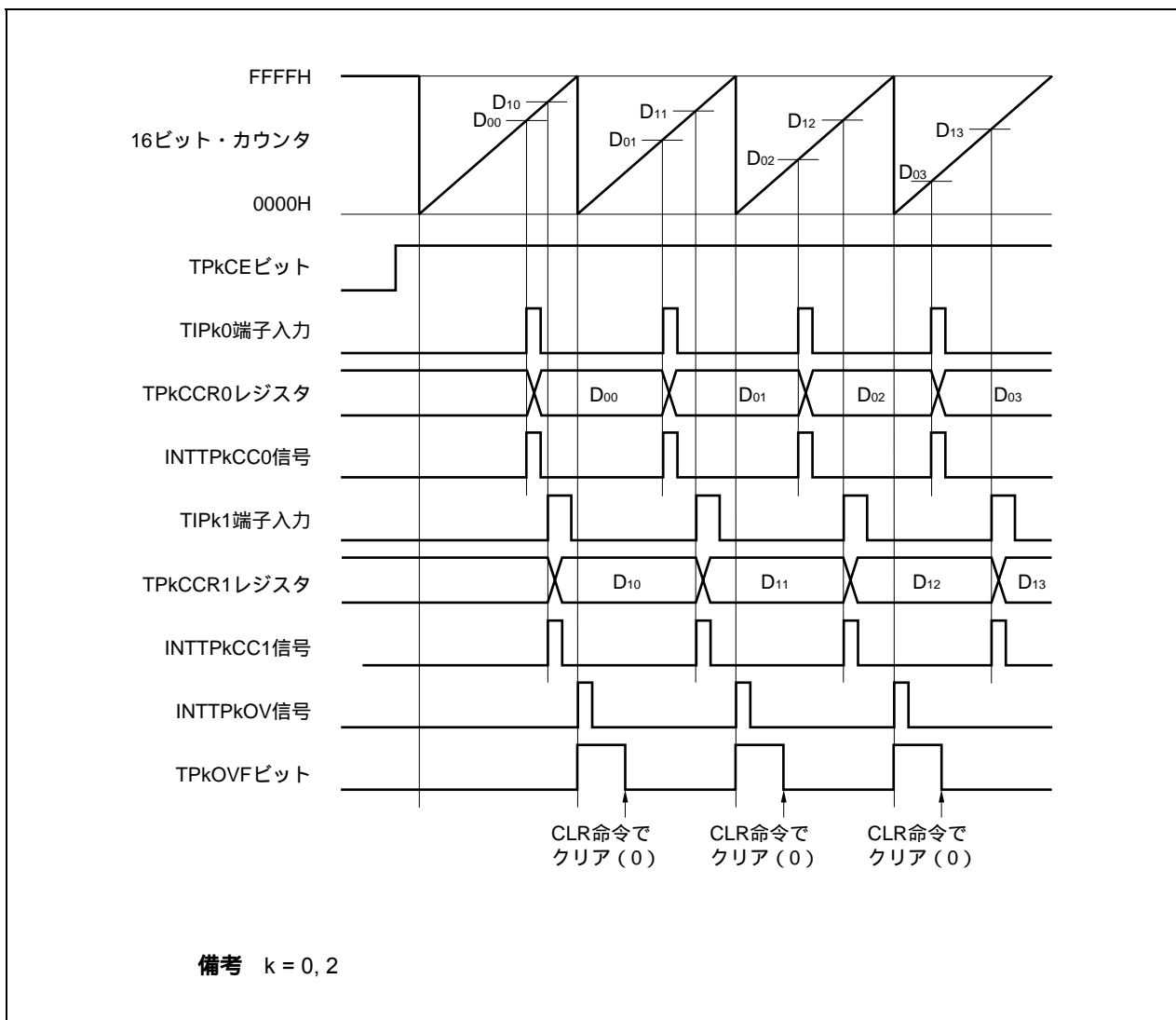
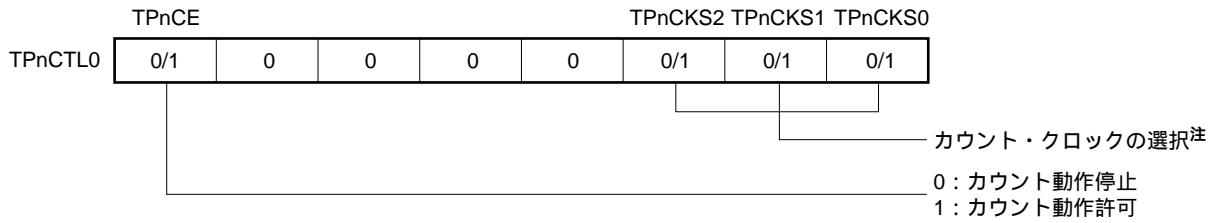


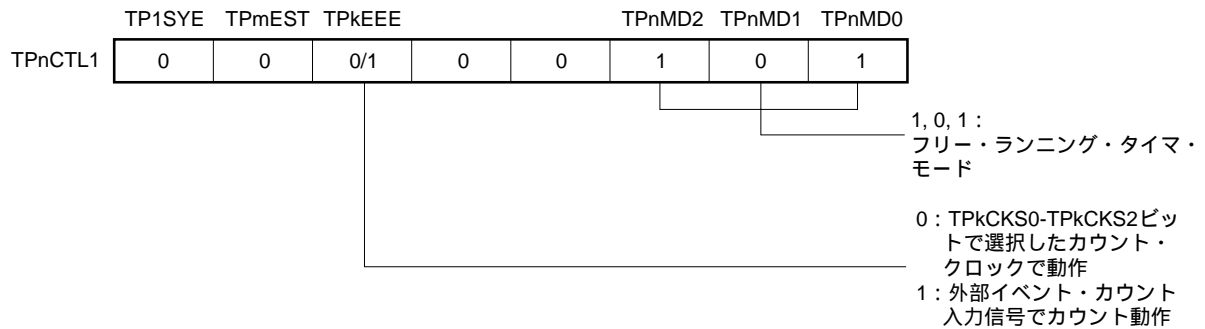
図6 - 38 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)



注 TPkCTL1.TPKEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPmI/O制御レジスタ0 (TPmIIOC0)

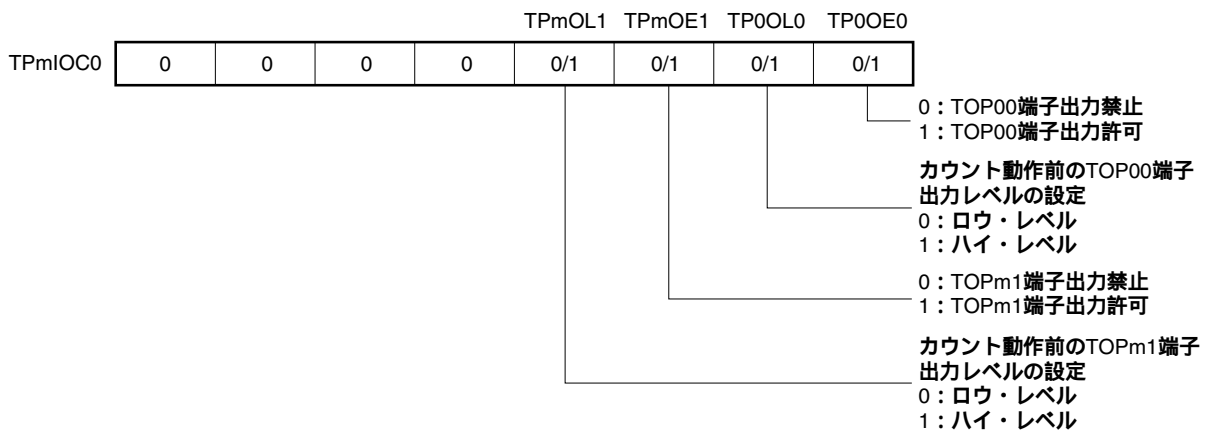
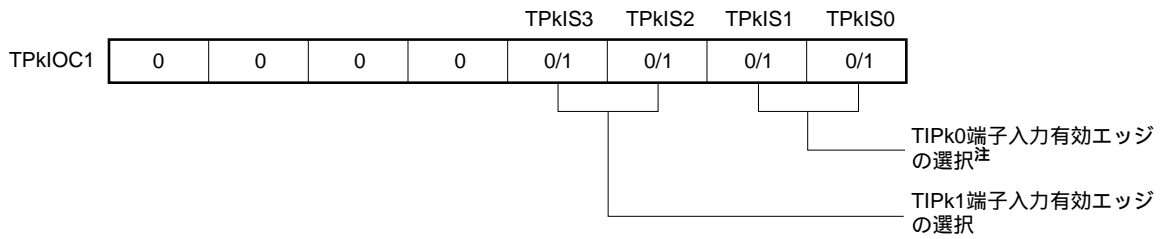


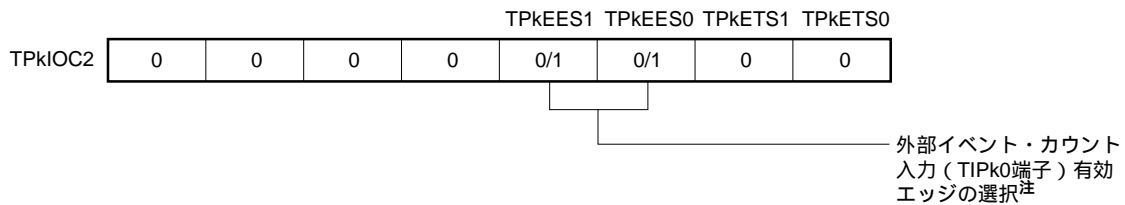
図6 - 38 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

(d) TMPkI/O制御レジスタ1 (TPkIOC1)



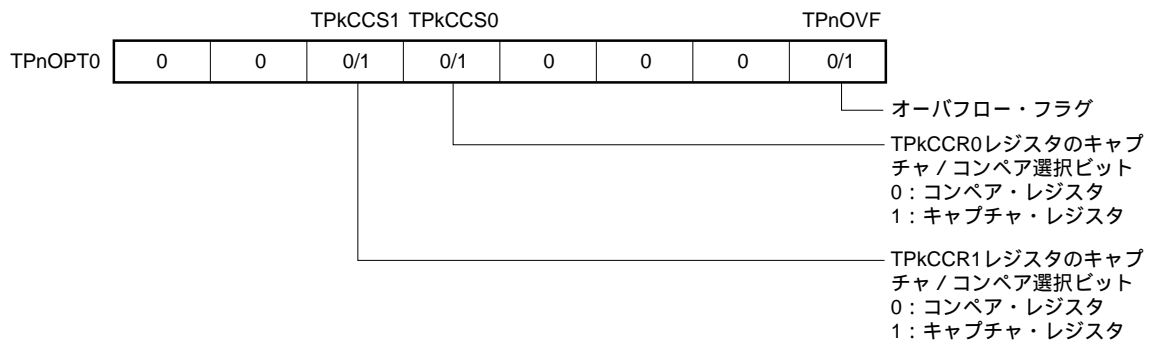
注 使用しない兼用外部入力信号の有効エッジの選択は“エッジ検出なし”に設定してください。

(e) TMPkI/O制御レジスタ2 (TPkIOC2)



注 使用しない兼用外部入力信号の有効エッジの選択は“エッジ検出なし”に設定してください。

(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPkOPT0.TPkCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPka端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TPnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTPnCCa信号を発生し、TOP00, TOPm1端子出力を反転します。

備考 n = 0-3, m = 0, 2, 3, k = 0, 2, a = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図6 - 39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

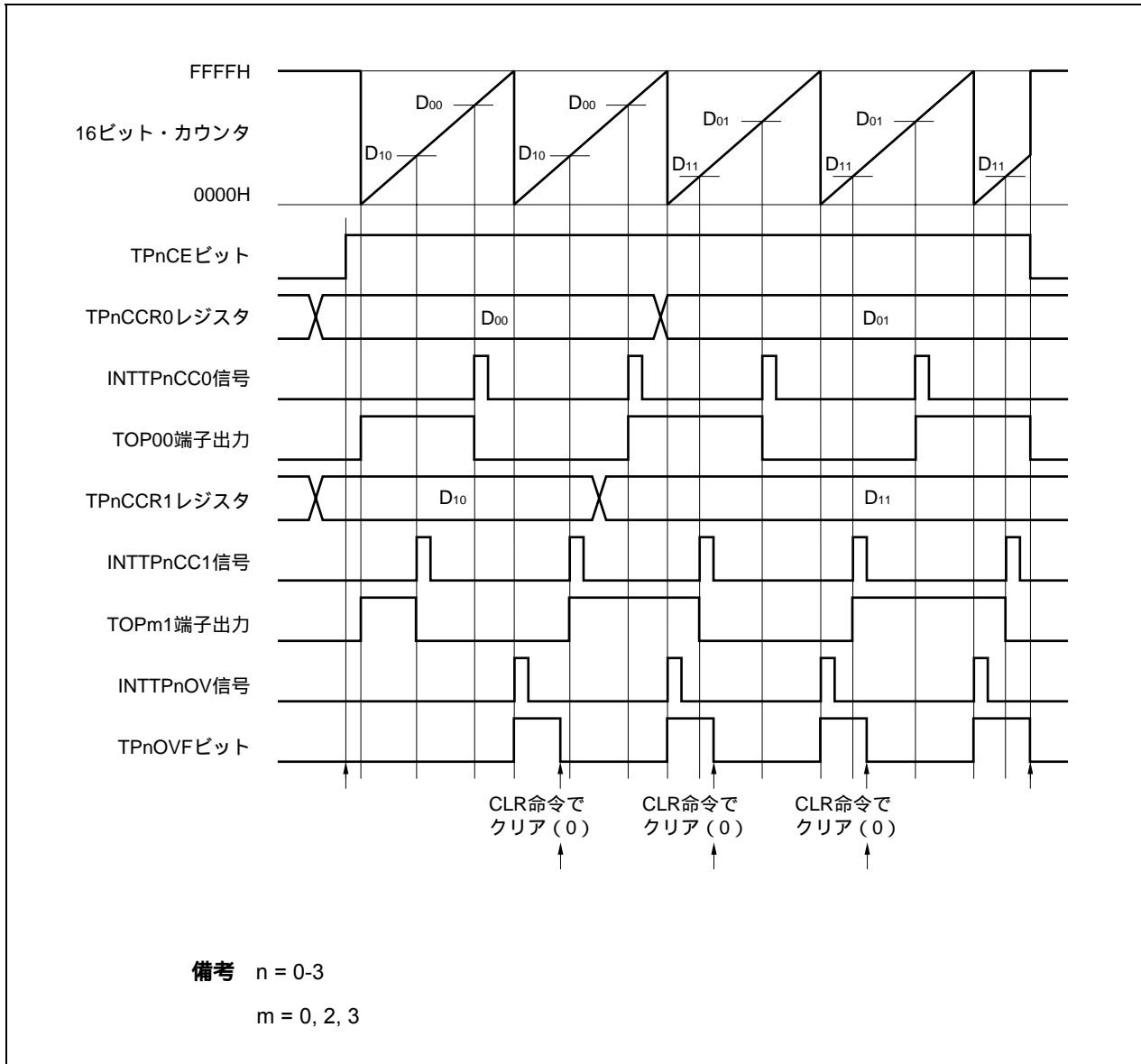
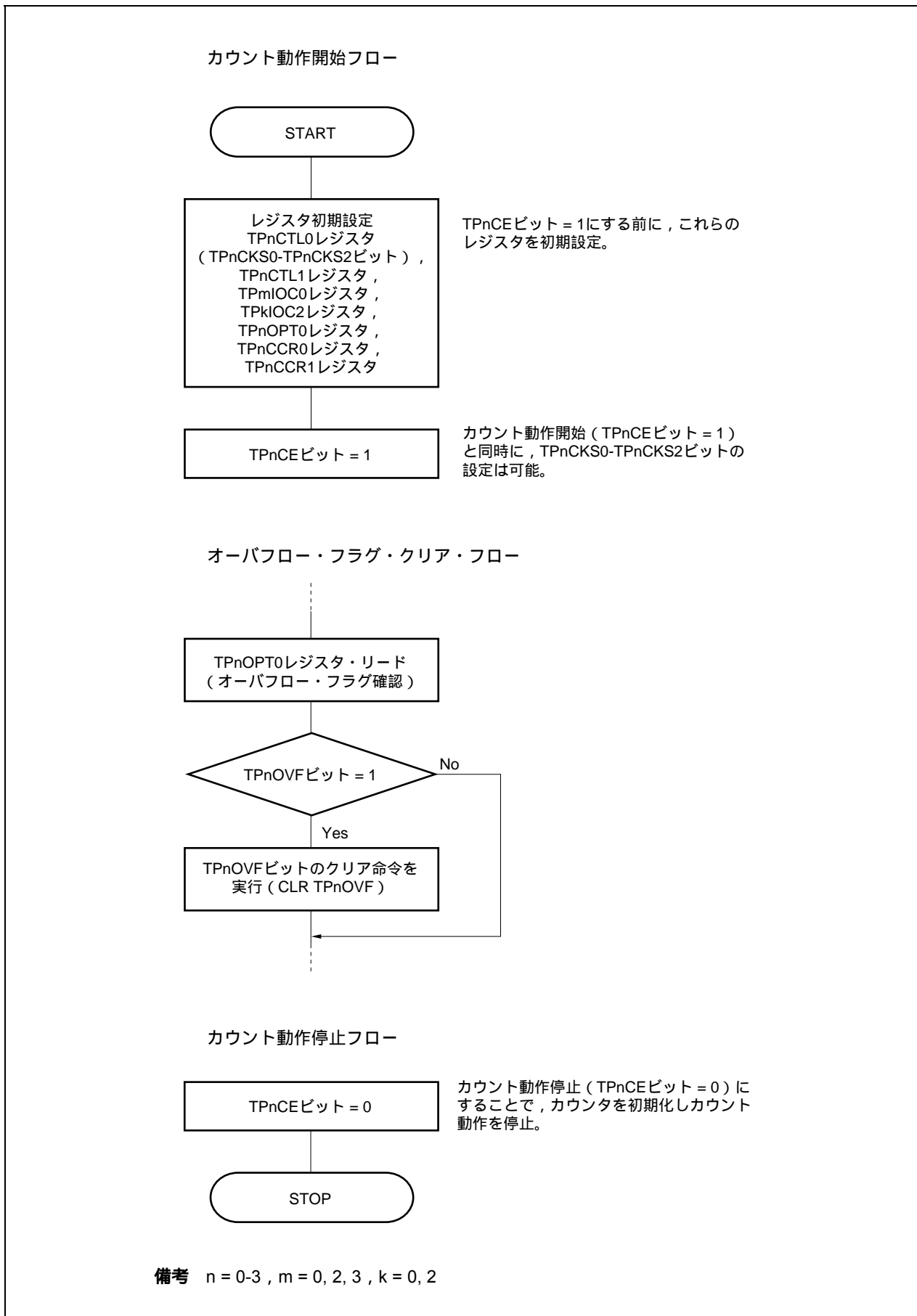


図6 - 39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6 - 40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

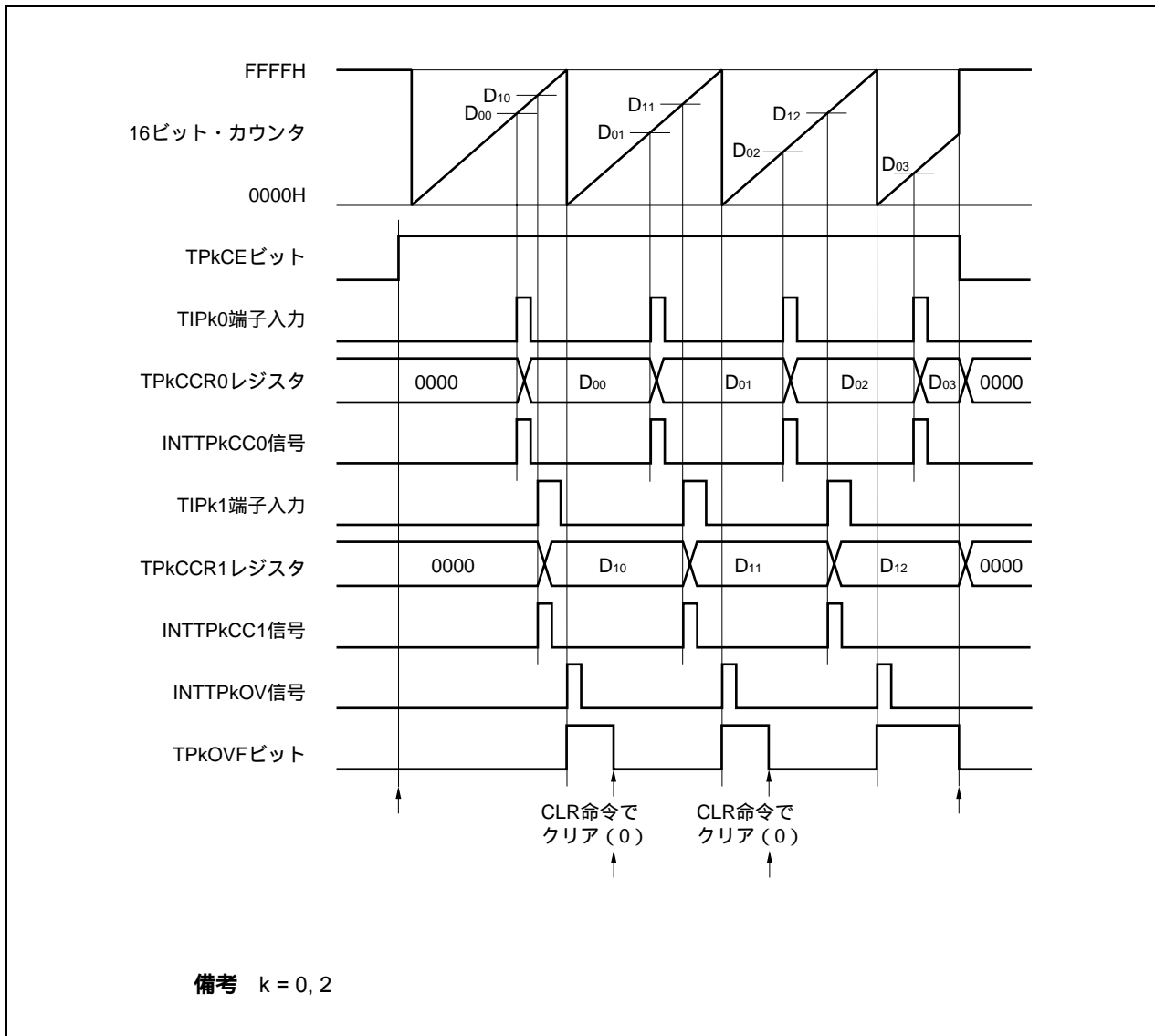
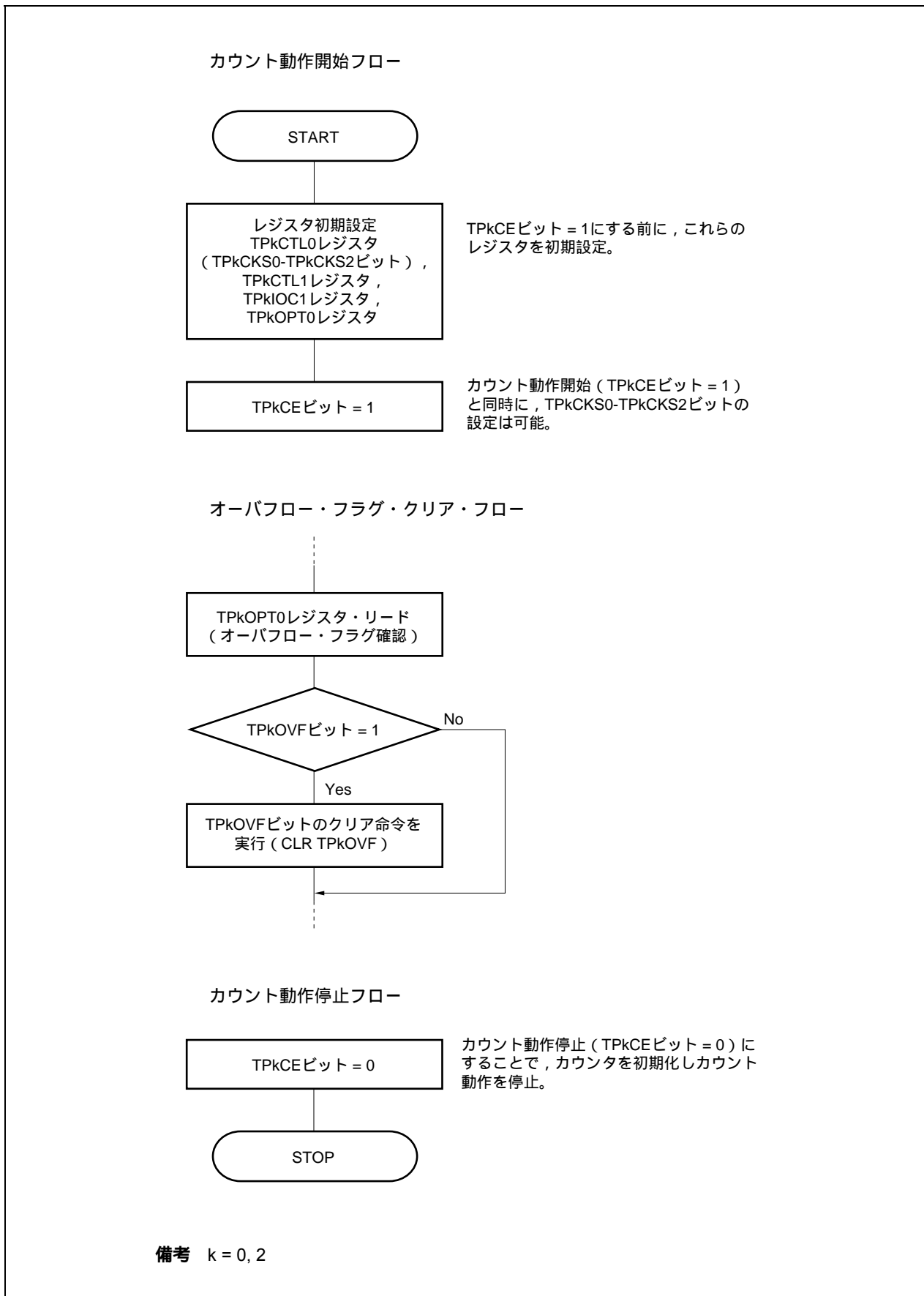


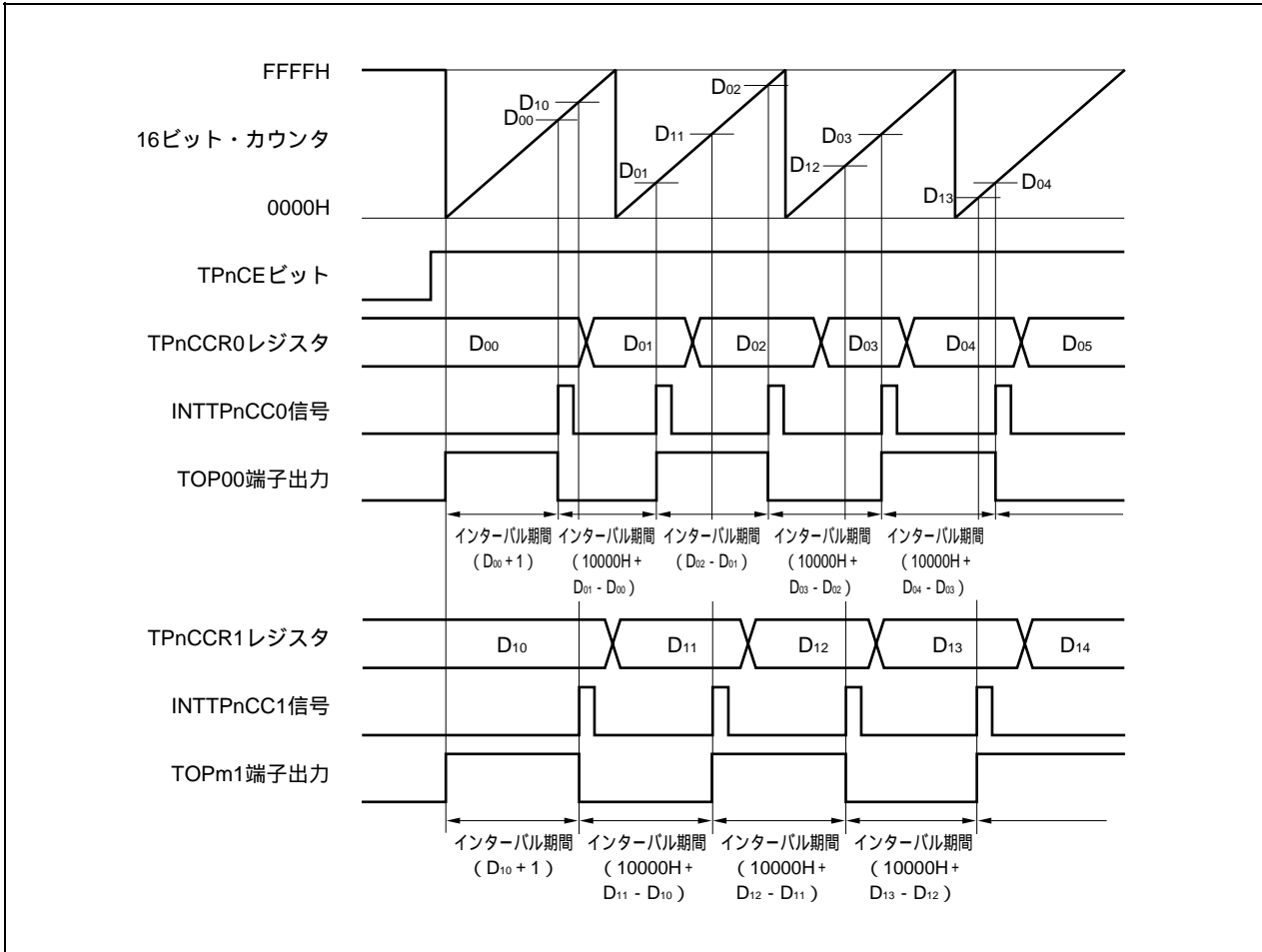
図6 - 40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCa信号を検出したときの割り込み処理中に、対応するTPnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“Da”とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

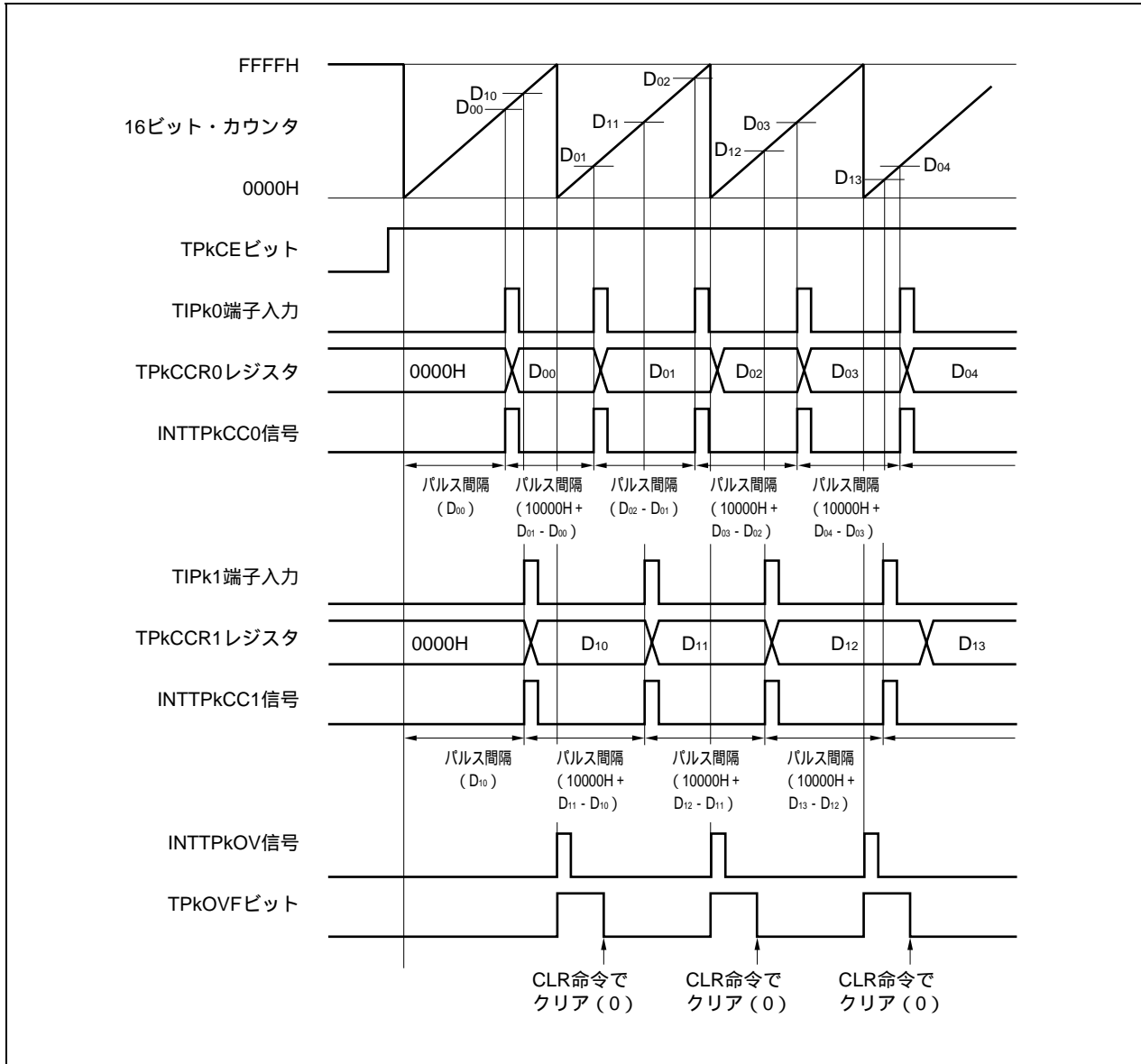
備考 n = 0-3

m = 0, 2, 3

a = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPkCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPkCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTPkCCa信号に同期してTPkCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

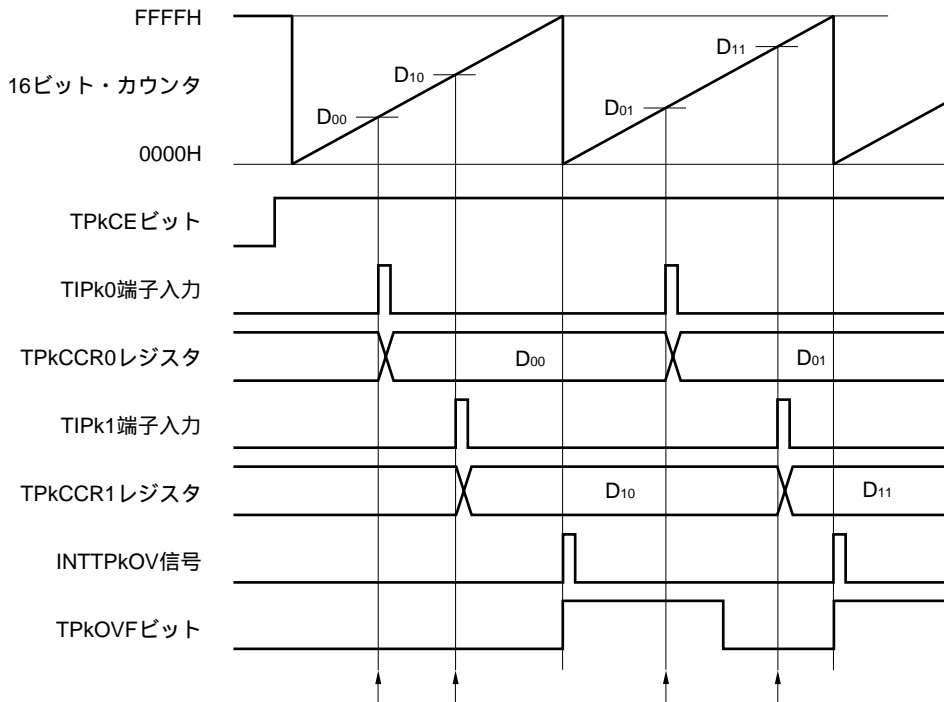
備考 k = 0, 2

a = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TPkCCR0レジスタをリードする (TIPk0端子入力の初期値設定)。

TPkCCR1レジスタをリードする (TIPk1端子入力の初期値設定)。

TPkCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPkCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

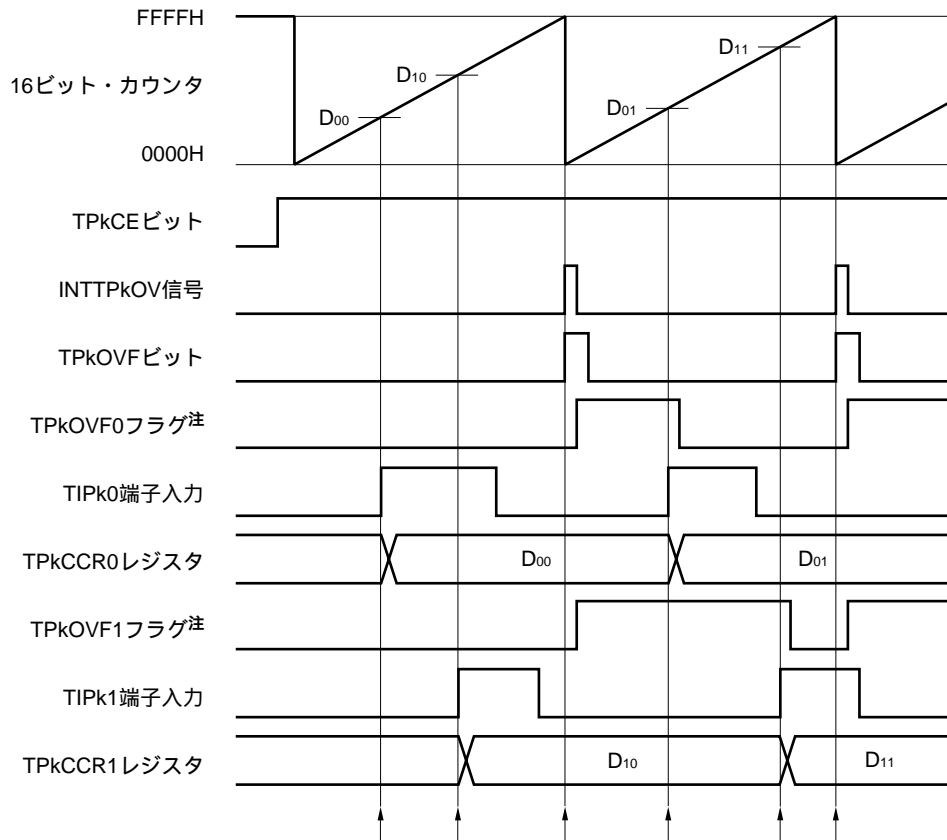
オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

備考 k = 0, 2

このように、2つのキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TPkOVF0, TPkOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPkCCR0レジスタをリードする (TIPk0端子入力の初期値設定)。

TPkCCR1レジスタをリードする (TIPk1端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TPkOVF0, TPkOVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TPkCCR0レジスタをリードする。

TPkOVF0フラグをリードする。 TPkOVF0フラグが“1”だった場合、クリア (0) する。

TPkOVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TPkCCR1レジスタをリードする。

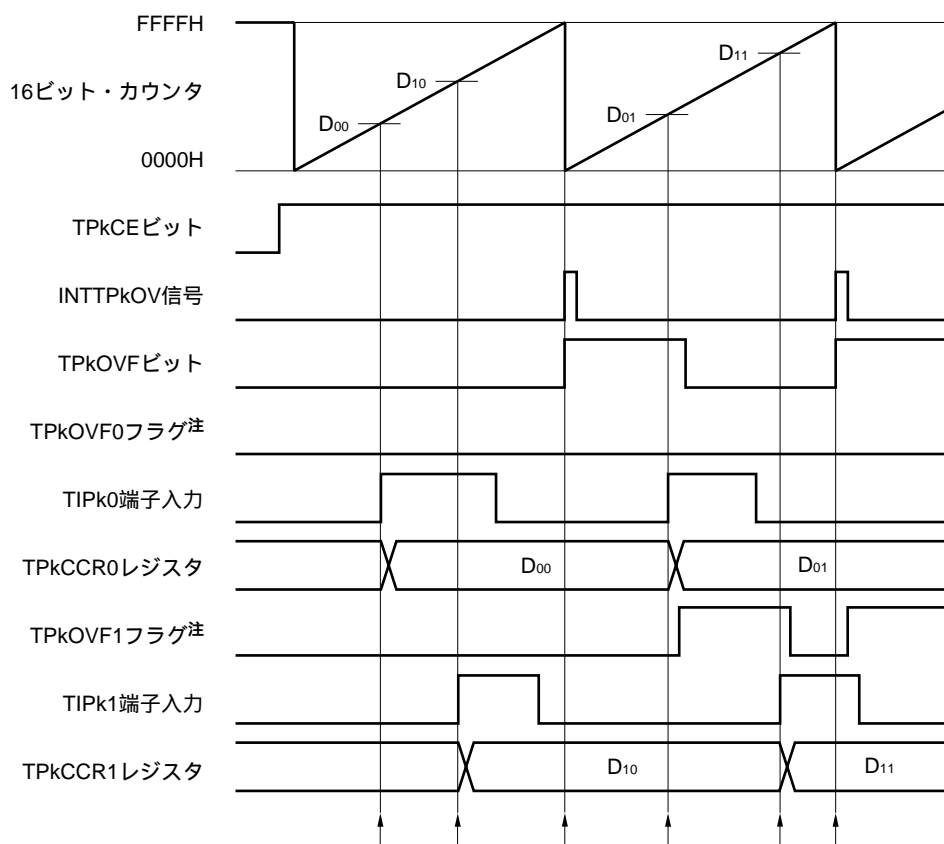
TPkOVF1フラグをリードする。 TPkOVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTPkOVF0フラグであり、TPkOVF1フラグは“1”のまま)。

TPkOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

備考 k = 0, 2

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TPkOVF0, TPkOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPkCCR0レジスタをリードする（TIPk0端子入力の初期値設定）。

TPkCCR1レジスタをリードする（TIPk1端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TPkCCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TPkOVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は（10000H + D01 - D00）で求められます。

TPkCCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

TPkOVF1フラグをリードする。TPkOVF1フラグが“1”だった場合、クリア（0）する。

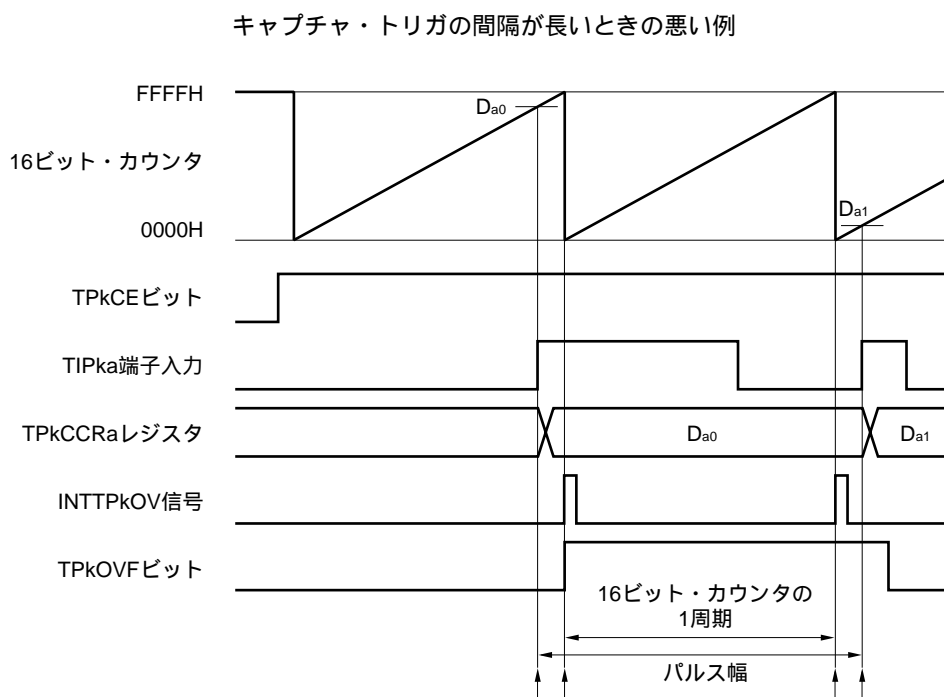
TPkOVF1フラグが“1”なので、パルス幅は（10000H + D11 - D10）で求められます（OK）。

と同じです。

備考 k = 0, 2

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TPkCCRaレジスタをリードする (TIPka端子入力の初期値設定)。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TPkCCRaレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + Da1 - Da0)$ で求められます (NG)。

実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + Da1 - Da0)$ になるはずですが。

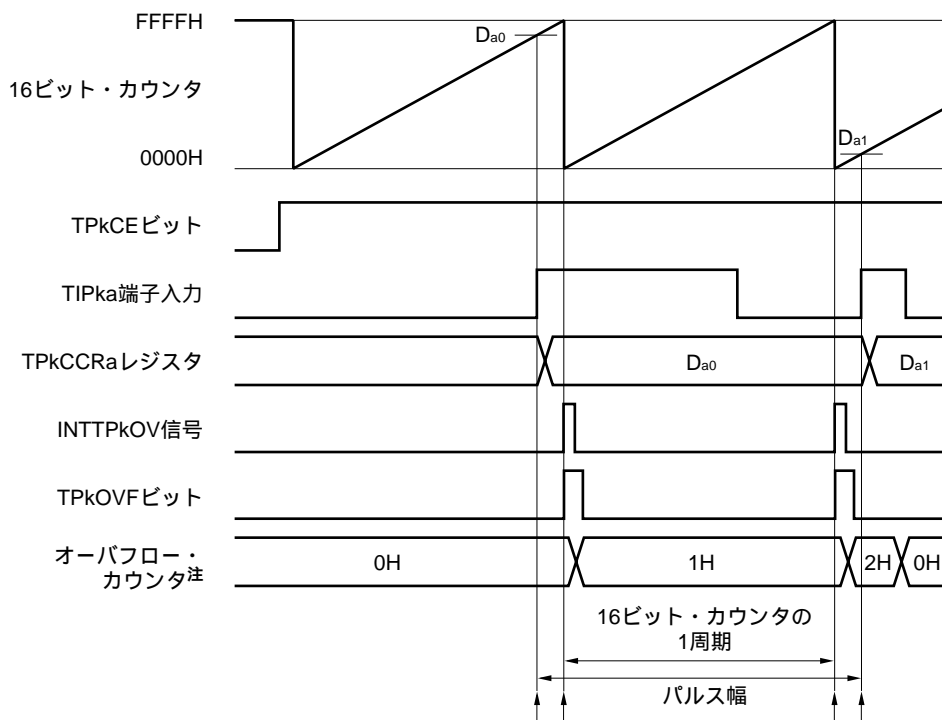
備考 $k = 0, 2$

$a = 0, 1$

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TPkCCRaレジスタをリードする (TIPka端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、オーバフロー・フラグをクリア (0) する。

TPkCCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 $k = 0, 2$

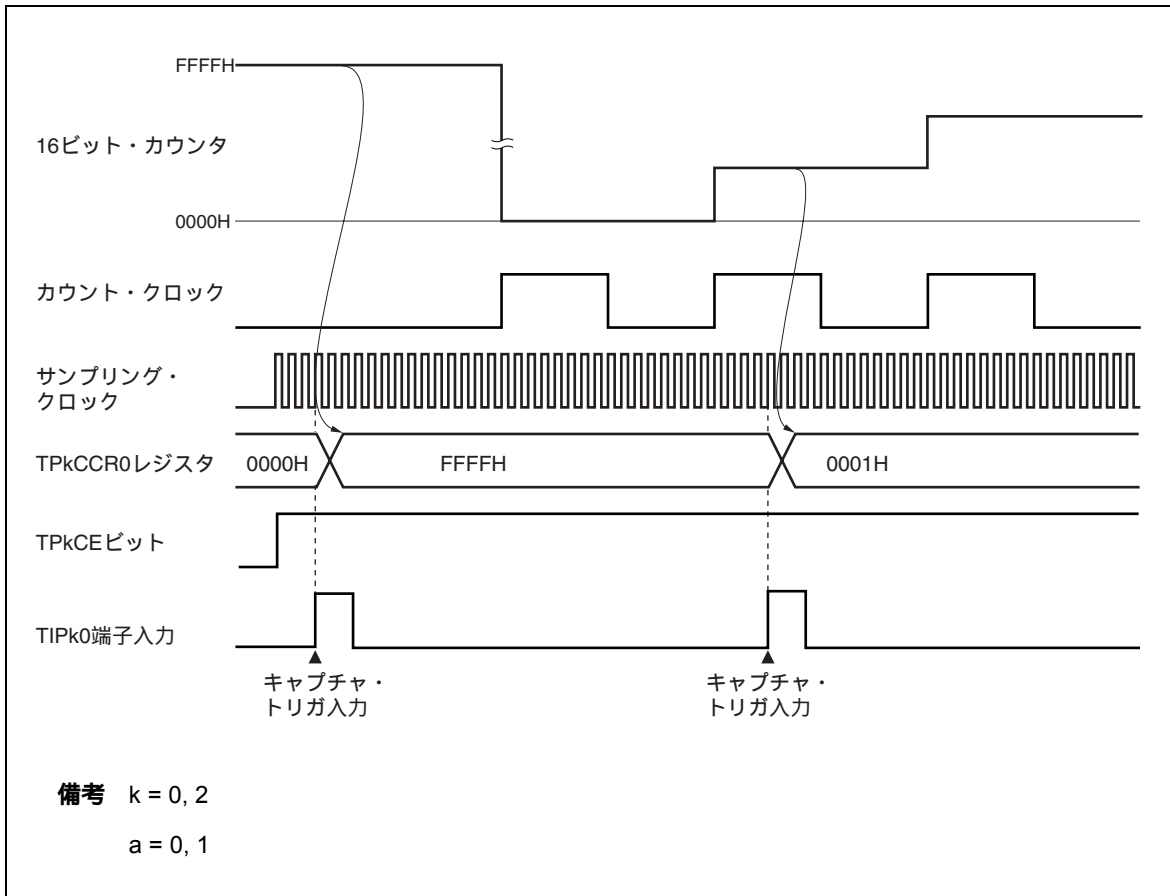
$a = 0, 1$

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TPkCTL0.TPkCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPkCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



6.6.7 パルス幅測定モード (TPkMD2-TPkMD0ビット = 110)

TMP0, TMP2のみ有効です。

パルス幅測定モードは、TPkCTL0.TPkCEビットをセット(1)することでカウント動作を開始し、TIPka端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPkCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTPkCCa) が発生したあと、TPkCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図6-42のような場合は、キャプチャ・トリガ入力端子としてTIPk0, TIPk1端子のいずれか1本を使用し、使用しない端子はTPkIOC1レジスタで“エッジ検出なし”に設定してください。

図6-41 パルス幅測定モードの構成図

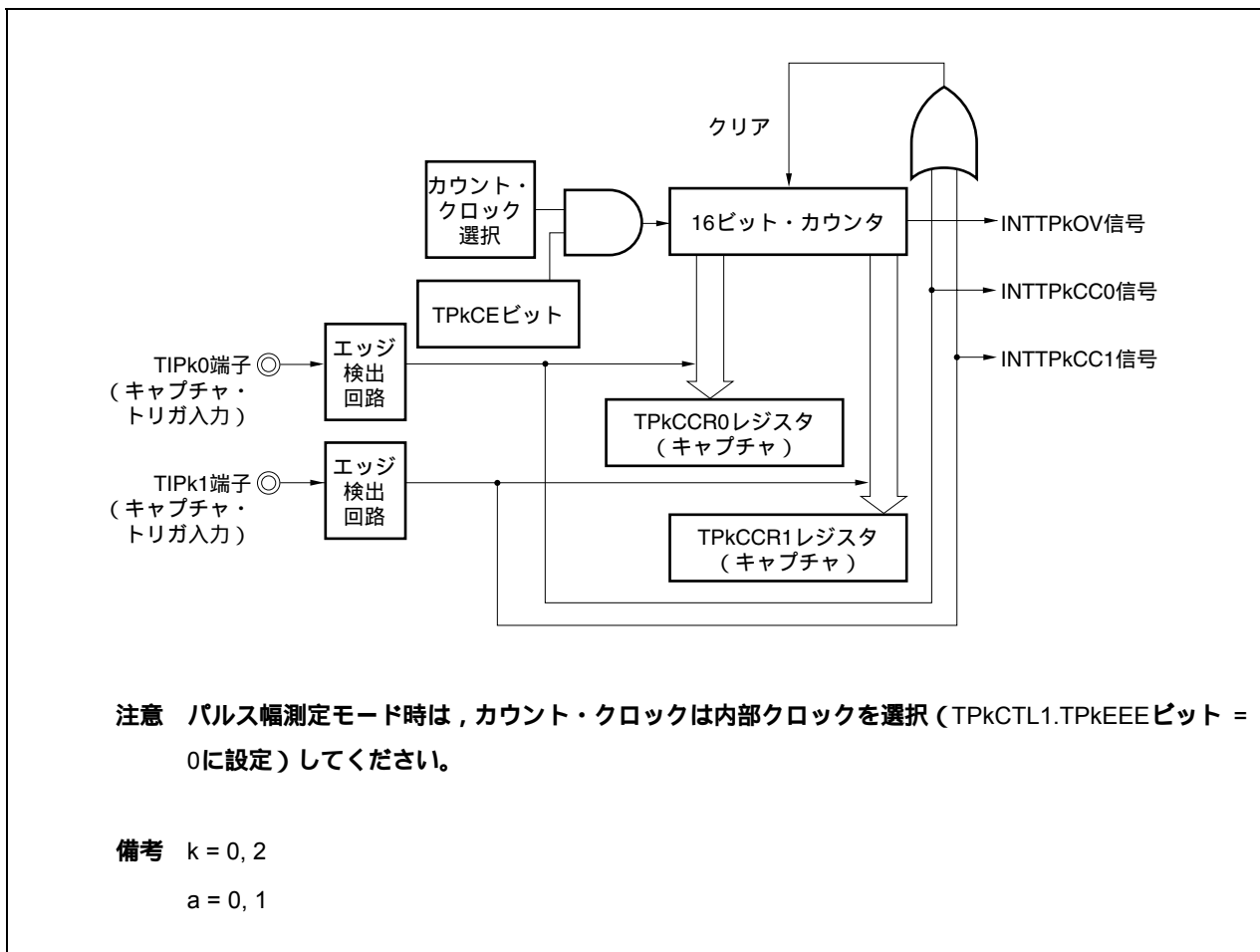
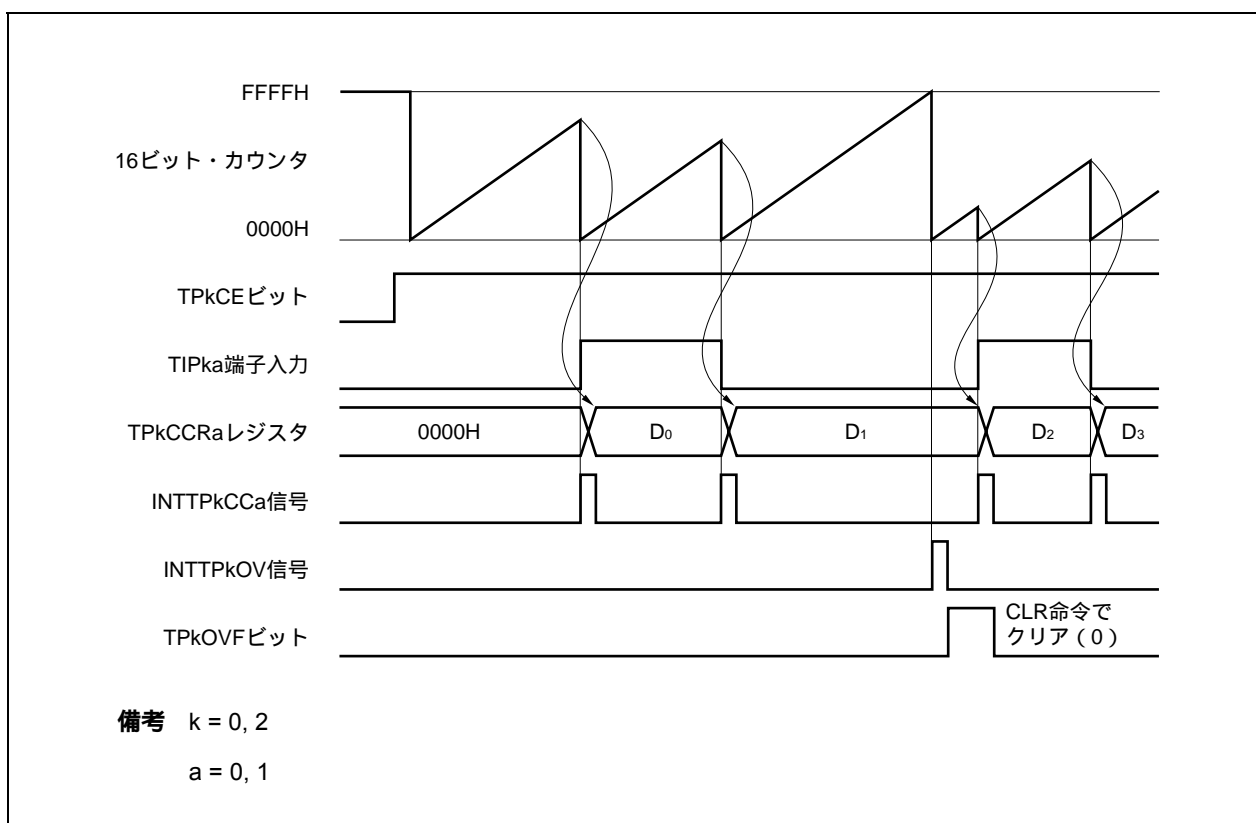


図6 - 42 パルス幅測定モードの基本タイミング



TPkCEビットをセット (1) することで、カウント動作を開始します。その後、TIPka端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPkCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号 (INTTPkCCa) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTPkOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPkOPT0.TPkOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア (0) してください。

オーバフロー・フラグがセット (1) された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TPkOVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 k = 0, 2

a = 0, 1

図6 - 43 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

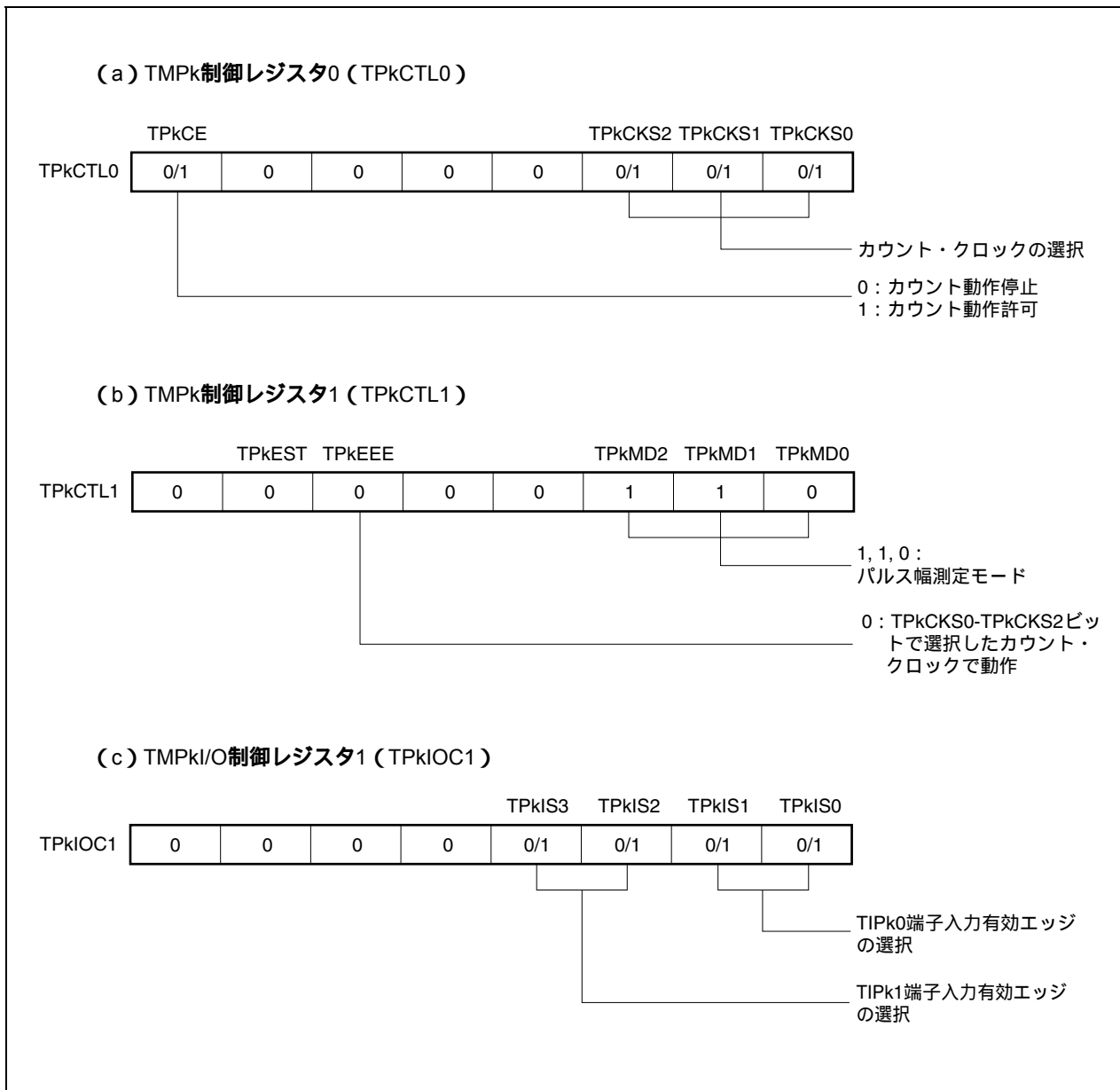
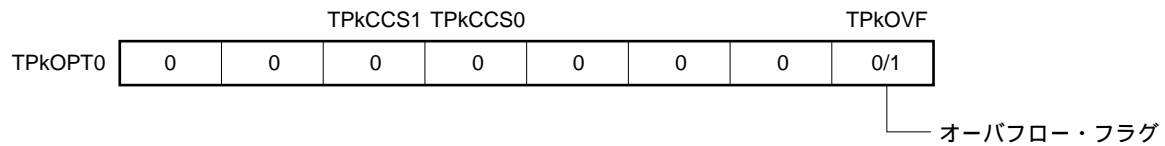


図6 - 43 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(d) TMPkオプション・レジスタ0 (TPkOPT0)



(e) TMPkカウンタ・リード・バッファ・レジスタ (TPkCNT)

TPkCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

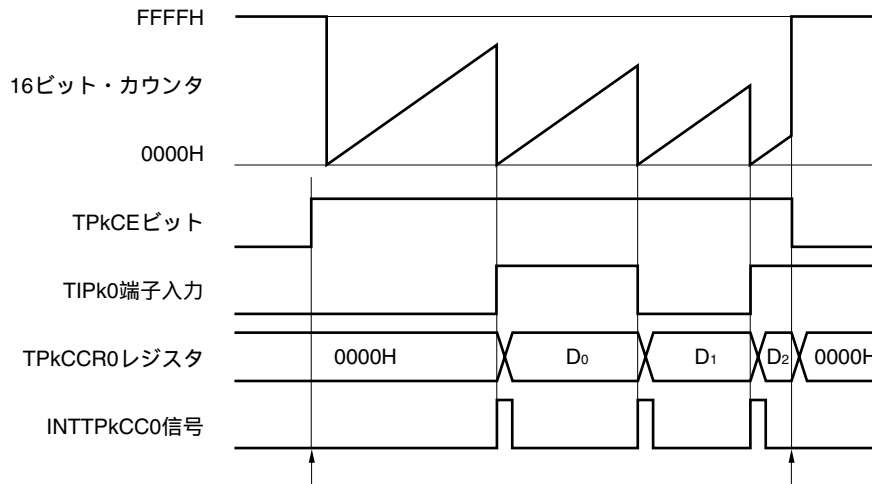
(f) TMPkキャプチャ/コンペア・レジスタ0, 1 (TPkCCR0, TPkCCR1)

TIPk0, TIPk1端子入力の有効エッジ検出により、16ビット・カウンタのカウンタ値を格納します。

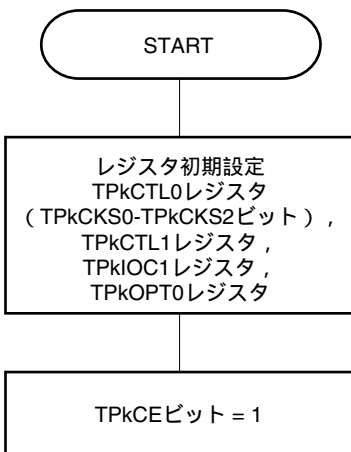
- 備考1.** パルス幅測定モードでは、TMPki/O制御レジスタ0 (TPkiOC0)、TMPki/O制御レジスタ2 (TPkiOC2) は使用しません。
2. k = 0, 2

(1) パルス幅測定モード動作フロー

図6 - 44 パルス幅測定モード使用時のソフトウェア処理フロー



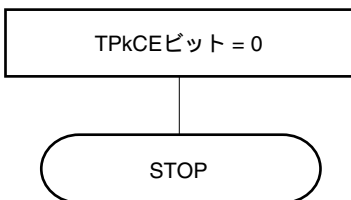
カウント動作開始フロー



TPkCEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TPkCEビット = 1) と同時に、
TPkCKS0-TPkCKS2ビットの設定は可能。

カウント動作停止フロー



カウント動作停止 (TPkCEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

備考 k = 0, 2

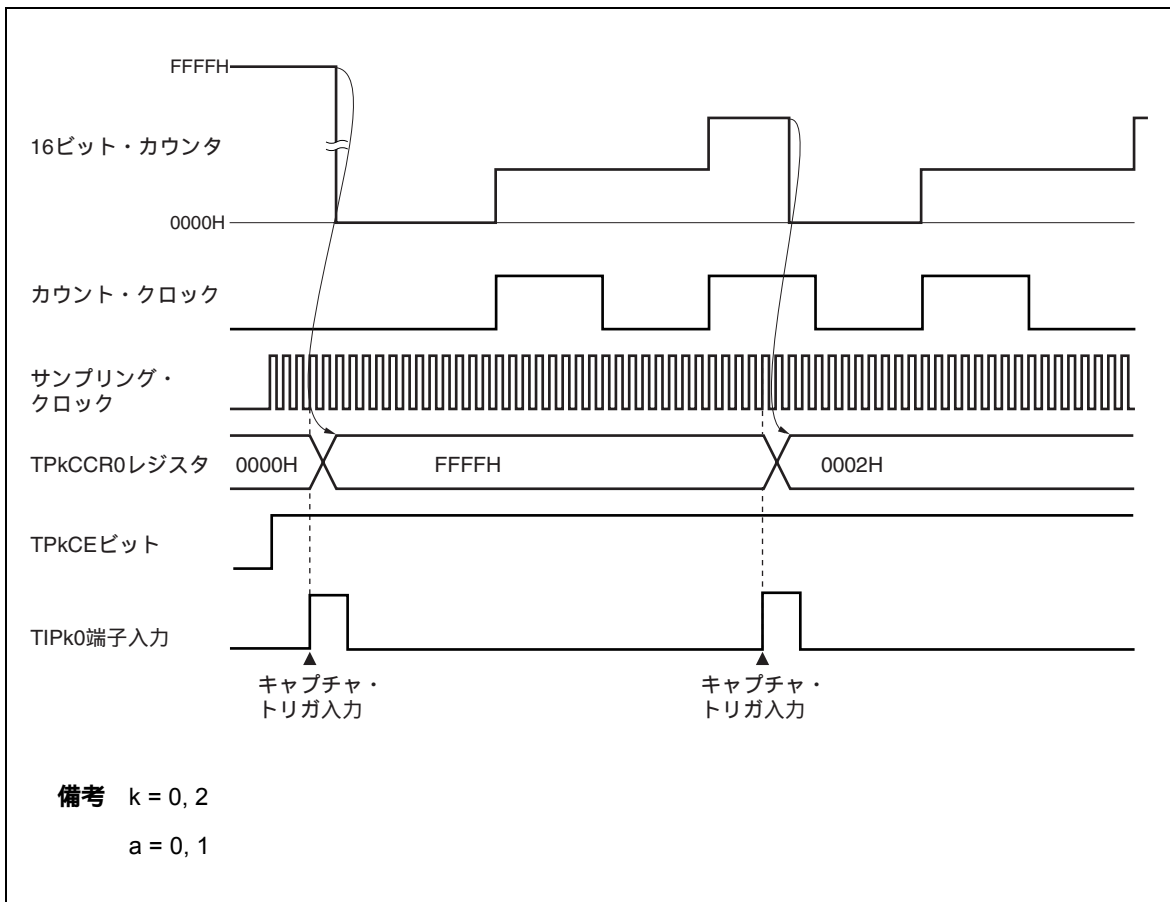
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TPkOVFビット = 1をリードしたあとにTPkOVFビットをCLR命令でクリア (0) する方法と、TPkOVFビット = 1をリードしたあとにTPkOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TPkCTL0.TPkCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPkCCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります。



第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ/イベント・カウンタです。

V850ES/IK1では、TMQ0, TMQ1を内蔵しています。

7.1 概 要

次に、TMQnの概要をチャンネルごとに示します (n = 0, 1)。

注意 P16をTOQ00出力機能または出力ポートに設定している場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4 - 5 ポート1の兼用端子を参照してください。

表7 - 1 TMQnの概要

概 要	TMQ0	TMQ1
クロック選択	8通り	8通り
キャプチャ・トリガ入力端子	4本	なし
外部イベント・カウント入力端子	1本	なし
外部トリガ入力端子	なし	なし
タイマ・カウンタ	1本	1本
キャプチャ/コンペア・レジスタ	4本	4本 ^{注1}
キャプチャ/コンペア一致割り込み要求信号	4本	4本 ^{注1}
オーバフロー割り込み要求信号	1本	1本
タイマ出力端子 ^{注2}	4本	1本

注1. コンペア機能のみ

2. TMQnの出力端子数です。TMQOP1の出力端子は含みません。TMQOP1の出力端子についての詳細は、第9章 モータ制御機能を参照してください。

7.2 機能

TMQnは、チャンネルによって実現できる機能が異なります。実現できる機能を次に示します (n = 0, 1)。

表7 - 2 TMQnの機能

機能	TMQ0	TMQ1
6相PWM出力 ^{注1}	×	
インターバル・タイマ		
外部イベント・カウンタ		×
外部トリガ・パルス出力	^{注2}	×
ワンショット・パルス出力	^{注2}	×
PWM出力		×
フリー・ランニング・タイマ		
パルス幅測定		×

注1. TMQOP1と接続して使用します。詳細は、第9章 モータ制御機能を参照してください。

2. ソフトウェア・トリガによってのみ実現できます。外部トリガ入力端子はありません。

7.3 構成

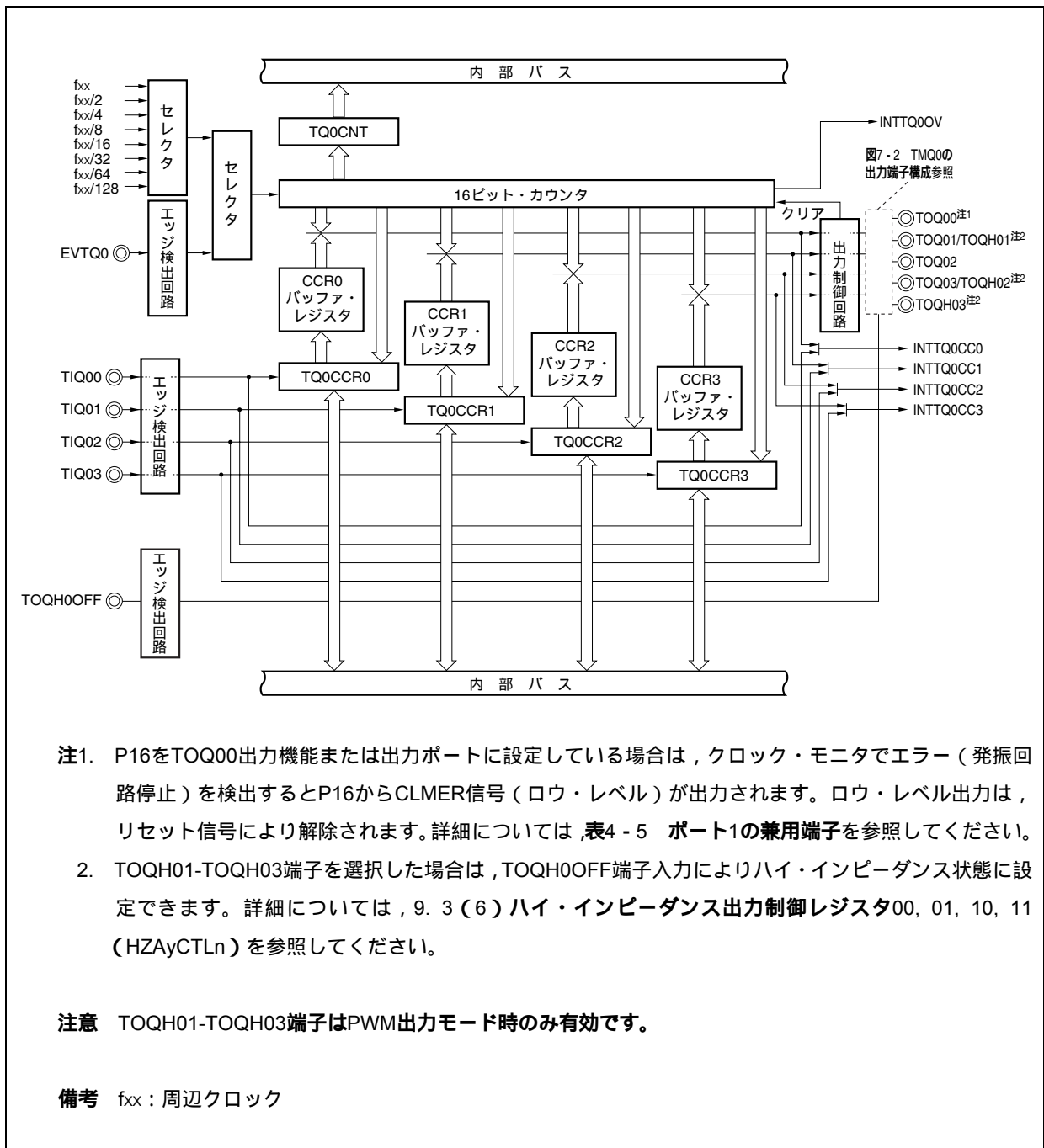
TMQnは、次のハードウェアで構成されています。

表7 - 3 TMQnの構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ×各1本
レジスタ	TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT) : 計2本 TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3) : 計8本 CCR0-CCR3バッファ・レジスタ : 計8本
タイマ入力	計5本 (TIQ00-TIQ03, EVTQ0端子)
タイマ出力	計6本 (TOQ00, TOQ01/TOQH01, TOQ02, TOQ03/TOQH02, TOQH03, TOQ10端子)
制御レジスタ	TMQn制御レジスタ0, 1 (TQnCTL0, TQnCTL1) TMQnI/O制御レジスタ0 (TQnIOC0) TMQ0I/O制御レジスタ1, 2 (TQ0IOC1, TQ0IOC2) TMQnオプション・レジスタ0 (TQnOPT0)

備考 n = 0, 1

図7-1 TMQ0のブロック図



- 注1. P16をTOQ00出力機能または出力ポートに設定している場合は、クロック・モニタでエラー（発振回路停止）を検出するとP16からCLMER信号（ロウ・レベル）が出力されます。ロウ・レベル出力は、リセット信号により解除されます。詳細については、表4-5 ポート1の兼用端子を参照してください。
2. TOQH01-TOQH03端子を選択した場合は、TOQH0OFF端子入力によりハイ・インピーダンス状態に設定できます。詳細については、9.3(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11 (HZAYCTLn)を参照してください。

注意 TOQH01-TOQH03端子はPWM出力モード時のみ有効です。

備考 f_{xx} : 周辺クロック

図7 - 2 TMQ0の出力端子構成

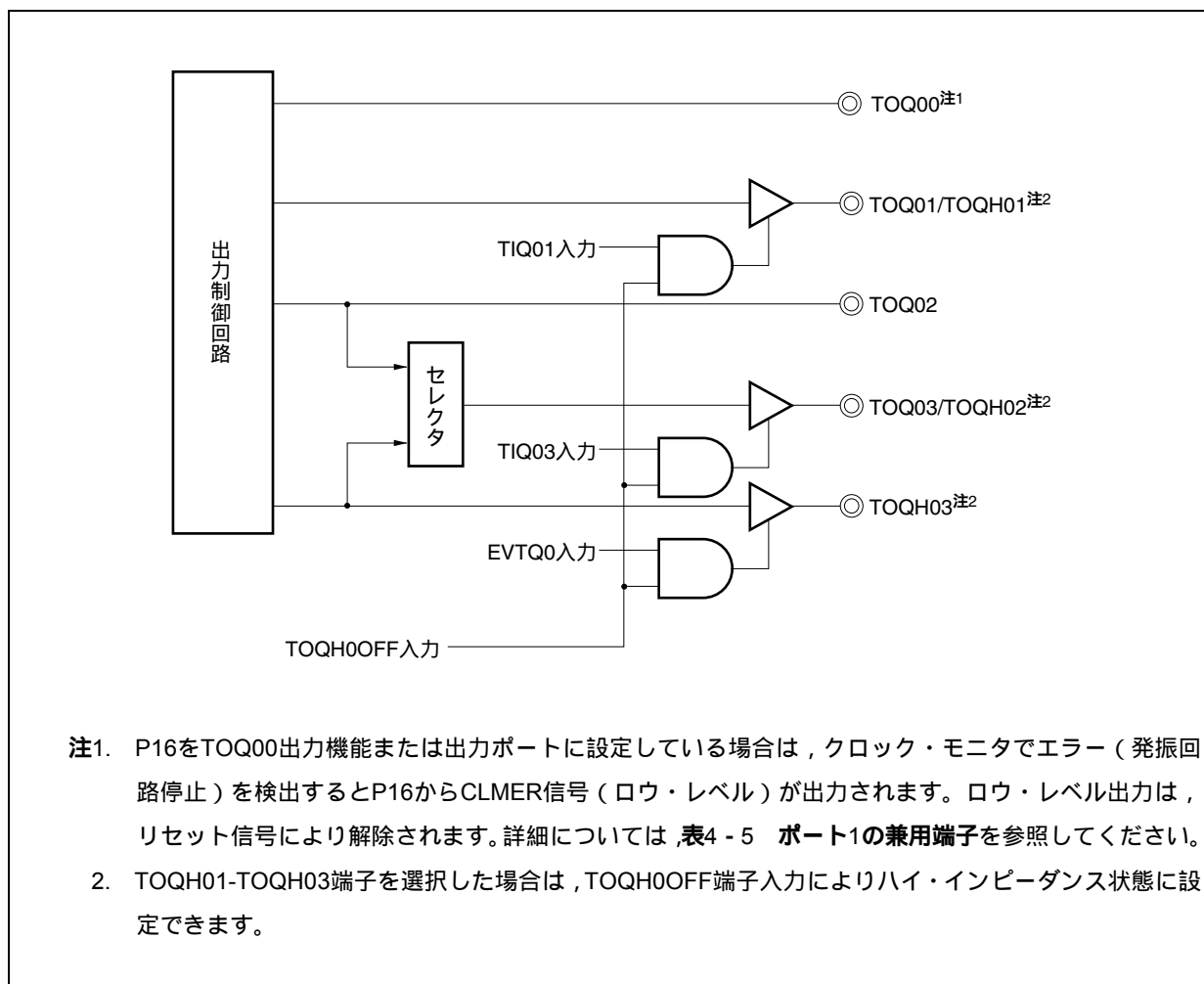
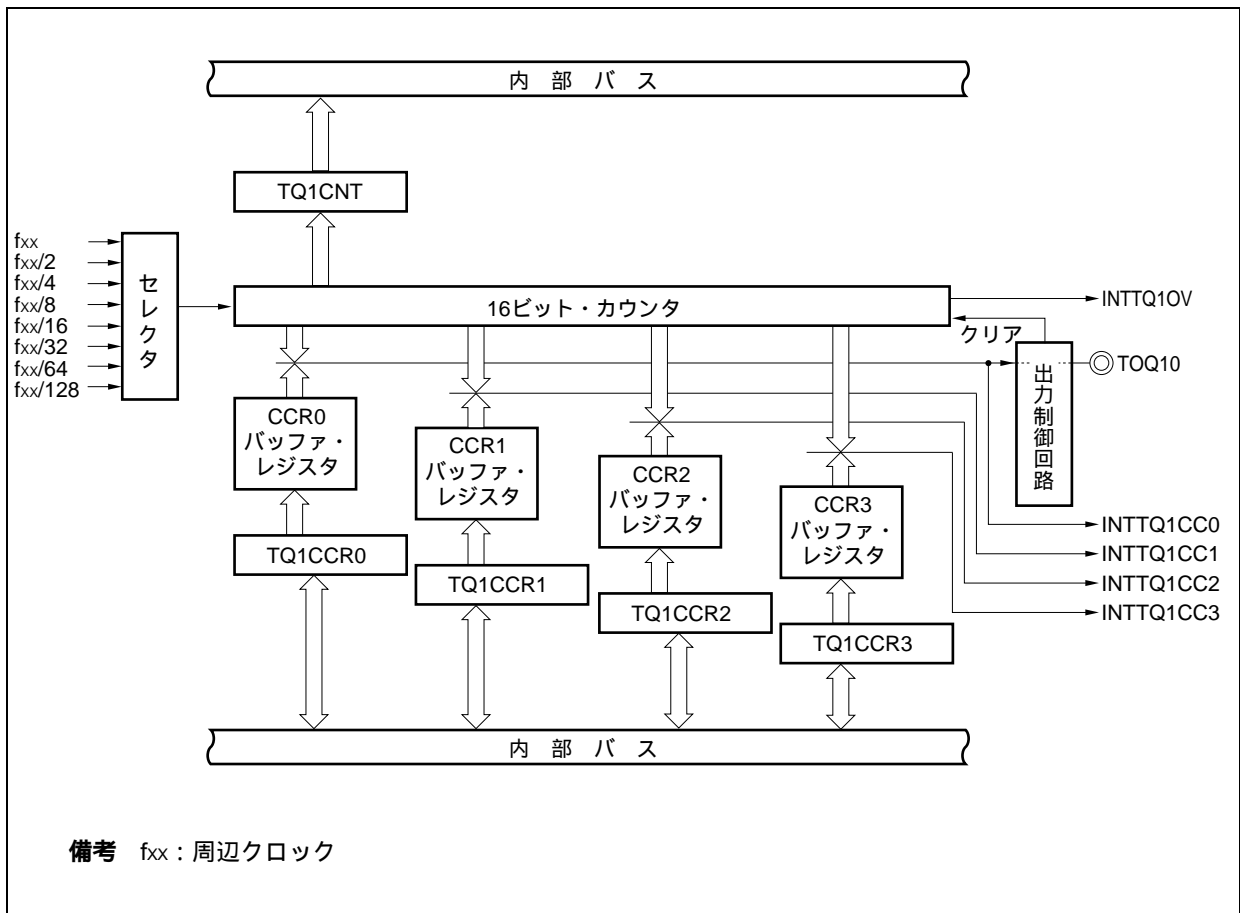


図7-3 TMQ1のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQnCNTレジスタでリードできます。

TQnCTL0.TQnCEビット = 0のとき、16ビット・カウンタはFFFFHになりますが、このときTQnCNTレジスタをリードすると0000Hがリードされます。

リセット時にはTQnCEビット = 0になります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQnCCR0レジスタをコンペア・レジスタとして使用するとき、TQnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR0レジスタが0000Hになり、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQnCCR1レジスタをコンペア・レジスタとして使用するとき、TQnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR1レジスタが0000Hになり、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQnCCR2レジスタをコンペア・レジスタとして使用するとき、TQnCCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR2レジスタが0000Hになり、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウンタ値を比較する16ビットのコンペア・レジスタです。

TQnCCR3レジスタをコンペア・レジスタとして使用するとき、TQnCCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTQnCC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセット時にはTQnCCR3レジスタが0000Hになり、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ00-TIQ03, EVTQ0端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1, TQ0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ00, TOQ01/TOQH01, TOQ02, TOQ03/TOQH02, TOQH03, TOQ10端子の出力を制御します。TOQ00, TOQ01/TOQH01, TOQ02, TOQ03/TOQH02, TOQH03端子の出力は、TQ0IOC0レジスタで制御します。TOQ10端子の出力は、TQ1IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウンタ・クロックを選択します。カウンタ・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.4 レジスタ

(1) TMQn制御レジスタ0 (TQnCTL0)

TQnCTL0レジスタは、TMQnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TQnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TQ0CTL0 FFFFF5C0H, TQ1CTL0 FFFFF600H

	⑦	6	5	4	3	2	1	0
TQnCTL0	TQnCE	0	0	0	0	TQnCKS2	TQnCKS1	TQnCKS0

(n = 0, 1)

TQnCE	TMQnの動作の制御
0	TMQn動作禁止 (TMQnを非同期にリセット ^注)
1	TMQn動作許可。TMQn動作開始

TQnCKS2	TQnCKS1	TQnCKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TQnOPT0.TQnOVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOQ00, TOQ01/TOQH01, TOQ02, TOQ03/TOQH02, TOQH03, TOQ10端子) も16ビット・カウンタと同時にTQnIOC0レジスタの設定状態にリセットされます。

注意1. TQnCKS2-TQnCKS0ビットは、TQnCEビット = 0のときに設定してください。TQnCEビットを“0”から“1”に設定するときも、同時にTQnCKS2-TQnCKS0ビットを設定できます。

2. ビット3-6には必ず0を設定してください。

備考 fxx：周辺クロック

(2) TMQn制御レジスタ1 (TQnCTL1)

TQnCTL1レジスタは、TMQnの動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0CTL1 FFFFF5C1H, TQ1CTL1 FFFFF601H

	7	6	5	4	3	2	1	0
TQnCTL1	0	TQ0EST ^{注1}	TQ0EEE ^{注1}	0	0	TQnMD2	TQnMD1	TQnMD0

(n = 0, 1)

TQ0EST ^{注1}	ソフトウェア・トリガ制御
0	-
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時 ：TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時 ：TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力
TQ0ESTビットのリード値は常に0です。	

TQ0EEE ^{注1}	カウント・クロックの選択
0	外部イベント・カウント入力 (EVTQ0端子) での動作禁止 (TQ0CTL0.TQ0CKS0-TQ0CKS2ビットによって選択されたカウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力 (EVTQ0端子) での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)
TQ0EEEビットは、内部カウント・クロックか、または外部イベント・カウント入力の有効エッジでカウント動作を行うかを選択するためのビットです。	

TQnMD2	TQnMD1	TQnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード ^{注2}
0	1	0	外部トリガ・パルス出力モード ^{注2}
0	1	1	ワンショット・パルス出力モード ^{注2}
1	0	0	PWM出力モード ^{注2}
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード ^{注2}
1	1	1	6相PWM出力モード ^{注3}

注1. TMQ0のみ設定可能です。TMQ1のビット6, 5には必ず0を設定してください。

2. TMQ0のみ設定可能です。TMQ1では設定しないでください。

3. TMQ1のみ設定可能です。TMQ0では設定しないでください。このモードはTMQ1単体では使用できません。詳細は第9章 モータ制御機能を参照してください。

注意1. TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。

2. 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。

3. TQ0EEE, TQnMD2-TQnMD0ビットは、TQnCTL0.TQnCEビット = 0のときに設定してください (TQnCEビット = 1のときの同値書き込みは可能)。TQnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQnCEビットをクリア (0) してから再設定してください。

4. ビット3, 4, 7は必ず0を設定してください。

(3) TMQnI/O制御レジスタ0 (TQnIOC0)

TQnIOC0レジスタは、タイマ出力 (TOQ00, TOQ01/TOQH01, TOQ02, TOQ03/TOQH02, TOQH03, TOQ1T1-TOQ1T3端子) を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : TQ0IOC0 FFFFF5C2H, TQ1IOC0 FFFFF602H

	7	⑥	5	④	3	②	1	①
TQnIOC0	TQ0OL3 ^{注1}	TQ0OE3 ^{注1}	TQ0OL2 ^{注1}	TQ0OE2 ^{注1}	TQ0OL1 ^{注1}	TQ0OE1 ^{注1}	TQnOL0	TQnOE0

$\left. \begin{matrix} n = 0, 1 \\ b = 1-3 \end{matrix} \right\}$

TQnOLm	TOQnm, TOQH0b, TOQ1Tb端子出力レベルの設定 ^{注2} (TMQ0 : m = 0-3, TMQ1 : m = 0)
0	TOQnm, TOQH0b, TOQ1Tb端子ハイ・レベル・スタート
1	TOQnm, TOQH0b, TOQ1Tb端子ロウ・レベル・スタート

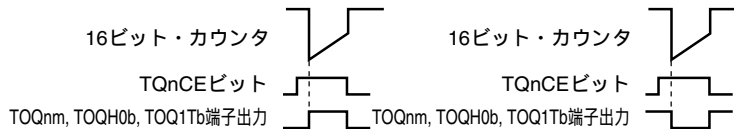
TQnOEm	TOQnm, TOQH0b, TOQ1Tb端子出力の設定 (TMQ0 : m = 0-3, TMQ1 : m = 0)
0	タイマ出力禁止 ・ TQnOLmビット = 0のときTOQnm, TOQH0b, TOQ1Tb端子からロウ・レベルを出力 ・ TQnOLmビット = 1のときTOQnm, TOQH0b, TOQ1Tb端子からハイ・レベルを出力
1	タイマ出力許可 (TOQnm, TOQH0b, TOQ1Tb端子からパルスを出力)

注1. TMQ1をインターバル・タイマやフリー・ランニング・タイマとして使用する場合は、TQ1IOC0レジスタのビット2-7には必ず0を設定してください。

また、TMQ1を6相PWM出力としてTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3の機能を使用する場合は、TQ1IOC0レジスタのビット2, 4, 6には必ず1を、ビット3, 5, 7には必ず0または1を設定してください。

2. TQnOLmビットの指定によるタイマ出力端子 (TOQnm, TOQH0b, TOQ1Tb) の出力レベルを次に示します。

・ TQnOLmビット = 0の場合 ・ TQnOLmビット = 1の場合



注意1. ポート設定がTOQnm, TOQH0b, TOQ1Tb出力設定の場合、TQnIOC0レジスタの設定を書き換えると端子出力が変化するので、ポートを入力モードに設定し端子の出力状態をハイ・インピーダンスにするなどして、端子状態の変化に注意してください。

- 注意2.** TQnOLm, TQnOEmビットは, TQnCTL0.TQnCEビット = 0のときに書き換えてください(TQnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は, TQnCEビットをクリア(0)してから再設定してください。
3. TQnCEビット = 0, TQnOEmビット = 0の状態において, TQnOLmビットを操作した場合でも, TOQnm, TOQH0b, TOQ1Tb端子の出力レベルは変化しません。
 4. 6相PWM出力モード時にTOQ1Tb端子出力およびA/Dコンバータ0, 1のA/D変換開始トリガ信号を発生させる場合には, 必ずTQ1IOC0レジスタでTOQ1Tb端子出力モードの設定をしてください。ただし, TQ1OL0, TQ1OE0ビットは必ずTQ1OL0ビット = 0, TQ1OE0ビット = 1に設定してください(b = 1-3)。

(4) TMQ0I/O制御レジスタ1 (TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIQ00-TIQ03端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMQ1にはTQ1IOC1レジスタはありません。

リセット時 : 00H R/W アドレス : FFFFF5C3H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号 (TIQ03端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号 (TIQ02端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号 (TIQ01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
- 2.** TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モード (TQ0OPT0.TQ0CCS3-TQ0CCS0ビット = 1111時のみ) と、パルス幅測定モードのときのみに有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQ0I/O制御レジスタ2 (TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号 (EVTQ0端子) に対する有効エッジを制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

備考 TMQ1にはTQ1IOC2レジスタはありません。

リセット時 : 00H R/W アドレス : FFFFF5C4H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	0	0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号 (EVTQ0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット = 1、または、外部イベント・カウント・モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001) に設定したときのみ有効です。
3. ビット0, 1, 4-7には必ず0を設定してください。

(6) TMQnオプション・レジスタ0 (TQnOPT0)

TQnOPT0レジスタは、キャプチャ/コンペア動作の設定、オーバーフローの検出をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TQ0OPT0 FFFFF5C5H, TQ1OPT0 FFFFF605H

	⑦	⑥	⑤	④	3	②	①	①
TQnOPT0 (n = 0, 1)	TQ0CCS3 ^{注1}	TQ0CCS2 ^{注1}	TQ0CCS1 ^{注1}	TQ0CCS0 ^{注1}	0	TQ1CMS ^{注2}	TQ1CUF ^{注2}	TQnOVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ/コンペア選択 (m = 0-3)
0	コンペア・レジスタに選択
1	キャプチャ・レジスタに選択 (TQ0CTL0.TQ0CEビット = 0によりクリア)
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQnOVF	TMQnのオーバーフロー・フラグ
セット (1)	オーバーフロー発生
リセット (0)	TQnOVFビットへの0書き込みまたはTQnCTL0.TQnCEビット = 0
<ul style="list-style-type: none"> ・ TQnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタの値がFFFFHから0000Hにオーバーフローするときセット (1) されます。 ・ TQnOVFビットがセット (1) されると同時に、オーバーフロー割り込み要求信号 (INTTQnOV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQnOV信号は発生しません。 ・ TQnOVFビット = 1のときにTQnOVFビットまたはTQnOPT0レジスタをリードしても、TQnOVFビットはクリア (0) されません。 ・ INTTQnOV信号発生後、TQnOVFビットをクリア (0) する場合は、必ずTQnOVFビットがセット (1) されているのを確認 (リード) 後クリア (0) してください。 ・ TQnOVFビットは、リード/ライト可能ですが、ソフトウェアでTQnOVFビットをセット (1) することはできません。1をライトしてもTMQnの動作に影響はありません。 	

- 注1. TMQ0のみ有効です。TMQ1のビット7-4には必ず0を設定してください。
2. TMQ1のみ有効です。TMQ0のビット2, 1には必ず0を設定してください。TQ1CMS, TQ1CUFビットの詳細は、第9章 モータ制御機能を参照してください。

- 注意1. TQ0CCS3-TQ0CCS0ビットは、TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. ビット3には必ず0を設定してください。

(7) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR0レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

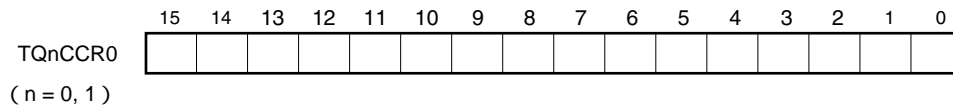
TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR0レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：TQ0CCR0 FFFFF5C6H, TQ1CCR0 FFFFF606H



(a) コンペア・レジスタとしての機能

TQnCCR0レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC0) を発生し、TOQn0端子出力を許可している場合、TOQn0端子出力を反転します。

インターバル・タイマ・モード、外部イベント・カウント・モード^注、外部トリガ・パルス出力モード^注、ワンショット・パルス出力モード^注、PWM出力モード^注において、TQnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

注 TMQ0のみ可能です。TMQ1では実現できません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR0レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1,2}	コンペア・レジスタ	一斉書き込み ^{注3}
ワンショット・パルス出力 ^{注1,2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注3}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. ソフトウェア・トリガによってのみ実現できます。外部トリガ入力端子はありません。
3. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(8) TMQnキャプチャ/コンペア・レジスタ1 (TQnCCR1)

TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR1レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

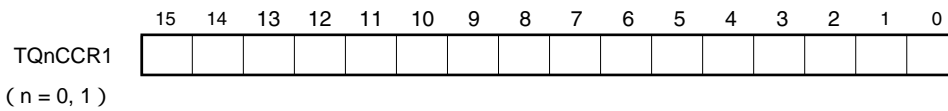
TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR1レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：TQ0CCR1 FFFFF5C8H, TQ1CCR1 FFFFF608H



(a) コンペア・レジスタとしての機能

TQnCCR1レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC1) を発生し、TOQ01/TOQH01端子出力を許可している場合、TOQ01/TOQH01端子出力を反転します (TOQ11, TOQH11端子はありません)。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR1レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-5 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1, 2}	コンペア・レジスタ	一斉書き込み ^{注3}
ワンショット・パルス出力 ^{注1, 2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注3}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

- ソフトウェア・トリガによってのみ実現できます。外部トリガ入力端子はありません。
- TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(9) TMQnキャプチャ/コンペア・レジスタ2 (TQnCCR2)

TQ0CCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR2レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

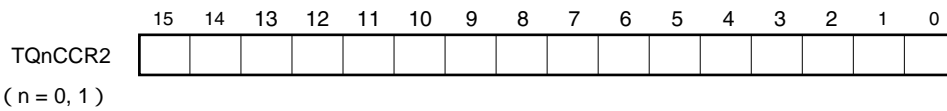
TQ0CCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR2レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：TQ0CCR2 FFFFF5CAH, TQ1CCR2 FFFFF60AH



(a) コンペア・レジスタとしての機能

TQnCCR2レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC2) を発生し、TOQ02, TOQH02端子出力を許可している場合、TOQ02, TOQH02端子出力を反転します (TOQ12, TOQH12端子はありません)。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR2レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-6 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1, 2}	コンペア・レジスタ	一斉書き込み ^{注3}
ワンショット・パルス出力 ^{注1, 2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注3}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. ソフトウェア・トリガによってのみ実現できます。外部トリガ入力端子はありません。
3. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(10) TMQnキャプチャ/コンペア・レジスタ3 (TQnCCR3)

TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。TQ1CCR3レジスタは、コンペア・レジスタとしてのみ使用できる16ビットのレジスタです。

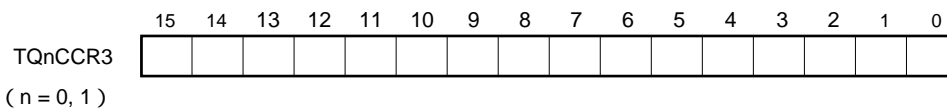
TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタの選択ができます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQnCCR3レジスタは、動作中のリード/ライトを許可します。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

リセット時 : 0000H R/W アドレス : TQ0CCR3 FFFFF5CCH, TQ1CCR3 FFFFF60CH



(a) コンペア・レジスタとしての機能

TQnCCR3レジスタは、TQnCTL0.TQnCEビット = 1のときでも書き換えできます。

TQnCCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQnCC3) を発生し、TOQ03, TOQH03端子出力を許可している場合、TOQ03, TOQH03端子出力を反転します (TOQ13, TOQH13端子はありません)。

TQnCTL0.TQnCEビット = 0によりコンペア・レジスタはクリアされません。

(b) キャプチャ・レジスタとしての機能 (TQ0CCR3レジスタのみ)

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタは正しい値をリードできます。

TQ0CTL0.TQ0CEビット = 0によりキャプチャ・レジスタはクリアされます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-7 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ ^{注1}	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力 ^{注1, 2}	コンペア・レジスタ	一斉書き込み ^{注3}
ワンショット・パルス出力 ^{注1, 2}	コンペア・レジスタ	随時書き込み
PWM出力 ^{注1}	コンペア・レジスタ	一斉書き込み ^{注3}
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定 ^{注1}	キャプチャ・レジスタ	なし

注1. TMQ0のみ

2. ソフトウェア・トリガによってのみ実現できます。外部トリガ入力端子はありません。
3. TQ0CCR1レジスタへの書き込みがトリガになります。

備考 随時書き込みと一斉書き込みについては、7.6(2)随時書き込みと一斉書き込みを参照してください。

(11) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタは、16ビットのカウンタ値をリードできるリード・バッファ・レジスタです。

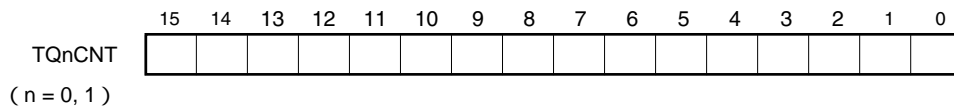
TQnCTL0.TQnCEビット = 1のときにTQnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TQnCEビット = 0のとき、TQnCNTレジスタは0000Hになります。このときにTQnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) ではなく、そのまま0000Hがリードされます。

リセットによりTQnCEビット = 0になり、TQnCNTレジスタは0000Hになります。

リセット時：0000H R アドレス：TQ0CNT FFFFF5CEH, TQ1CNT FFFFF60EH



7.5 タイマ出力動作説明

次にTOQ00-TOQ03, TOQ10, TOQH01-TOQH03端子の動作, および出力レベルを示します。

表7-8 各モードによるタイマ出力制御

動作モード	TOQn0端子	TOQ01-TOQ03端子	TOQH01-TOQH03端子
インターバル・タイマ・モード	PWM出力		なし
外部イベント・カウント・モード	なし		
外部トリガ・パルス出力モード	PWM出力 ^注	外部トリガ・パルス出力	なし
ワンショット・パルス出力モード		ワンショット・パルス出力	
PWM出力モード		PWM出力	
フリー・ランニング・タイマ・モード	PWM出力 (コンペア機能のときのみ)		なし
パルス幅測定モード	なし		

注 TOQ00端子のみ

備考 n = 0, 1

表7-9 タイマ出力制御ビットによるTOQ00-TOQ03, TOQ10, TOQH01-TOQH03端子の真理値表

TQnIOC0.TQnOLaビット	TQnIOC0.TQnOEaビット	TQnCTL0.TQnCEビット	TOQna, TOQH1b端子のレベル
0	0	x	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始後はハイ・レベル
1	0	x	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始後はロウ・レベル

備考 n = 0のとき, a = 0-3

n = 1のとき, a = 0

b = 1-3

7.6 動作

TMQ0とTMQ1で実現できる動作が異なります。次に各チャンネルの機能を示します。

表7 - 10 TMQ0の各モードの仕様

動作	TQ0CTL1.TQ0ESTビット (ソフトウェア・ トリガ・ビット)	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード	無効	コンペア専用	随時書き込み
外部トリガ・パルス出力モード	有効	コンペア専用	一斉書き込み
ワンショット・パルス出力モード	有効	コンペア専用	随時書き込み
PWM出力モード	無効	コンペア専用	一斉書き込み
フリー・ランニング・タイマ・モード	無効	切り替え可能	随時書き込み
パルス幅測定モード	無効	キャプチャ専用	対象外

表7 - 11 TMQ1の各モードの仕様

動作	ソフトウェア・ トリガ・ビット	キャプチャ/コンペア・ レジスタの設定	コンペア・レジスタ の書き込み方法
インターバル・タイマ・モード	無効	コンペア専用	随時書き込み
外部イベント・カウント・モード		なし	
外部トリガ・パルス出力モード		なし	
ワンショット・パルス出力モード		なし	
PWM出力モード		なし	
フリー・ランニング・タイマ・モード	無効	コンペア専用	随時書き込み
パルス幅測定モード		なし	

備考 TMQ1はTMP1との同調動作機能があります。詳細は第9章 **モータ制御機能**を参照してください。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

備考 $n = 0, 1$

$a = 0-3$

(a) カウント開始動作

・外部イベント・カウント・モード

TQ0CTL0.TQ0CEビット = 0 1のタイミングで16ビット・カウンタに0000Hが設定されます。

その後は外部イベント・カウント入力 (EVTQ0) の有効エッジ検出するごとに0001H, 0002H, 0003H, ...とカウント・アップします。

・上記以外のモード

初期値FFFFHからカウントを開始します。

カウント動作は, FFFFH, 0000H, 0001H, 0002H, 0003H, ...とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合, 16ビット・カウンタは0000Hにクリアされます。なお, カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウントはクリア動作ではありません。したがって, INTTQnCCa割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバーフローは, フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に, FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると, TQnOPT0.TQnOVFビットがセット (1) され, 割り込み要求信号 (INTTQnOV) が発生します。なお, 次の条件ではINTTQnOV信号は発生しません。

- ・カウント動作開始直後
- ・コンペア値がFFFFHで一致&クリアされた場合
- ・パルス幅測定モード時のFFFFHをキャプチャし, クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTQnOV) 発生後は, 必ずオーバーフロー・フラグ (TQnOVFビット) が "1" にセットされているのを確認してください。

(d) カウンタ動作中のカウンタ・リード動作

TMQnでは, TQnCNTレジスタにより, カウンタ動作中の16ビット・カウンタの値をリードできます。

TQnCTL0.TQnCEビット = 1のときは, TQnCNTレジスタをリードすることにより, 16ビット・カウンタの値をリードできます。ただし, TQnCEビット = 0のときは, 16ビット・カウンタがFFFFHで, TQnCNTレジスタが0000Hです。

(e) 割り込み動作

TMQnでは、次の5種類の割り込み要求信号を発生します。

- ・ INTTQnCC0割り込み : CCR0バッファ・レジスタの一致割り込み要求信号、およびTQnCCR0レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnCC1割り込み : CCR1バッファ・レジスタの一致割り込み要求信号、およびTQnCCR1レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnCC2割り込み : CCR2バッファ・レジスタの一致割り込み要求信号、およびTQnCCR2レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnCC3割り込み : CCR3バッファ・レジスタの一致割り込み要求信号、およびTQnCCR3レジスタへのキャプチャ割り込み要求信号として機能します。
- ・ INTTQnOV割り込み : オーバフロー割り込み要求信号として機能します。

(2) 随時書き込みと一斉書き込み

TMQnでは、タイマ動作中 (TQnCTL0.TQnCEビット = 1) でもTQnCCR0-TQnCCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTQnCCR0-TQnCCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います (n = 0, 1)。

図7-4 随時書き込みの基本動作フロー・チャート

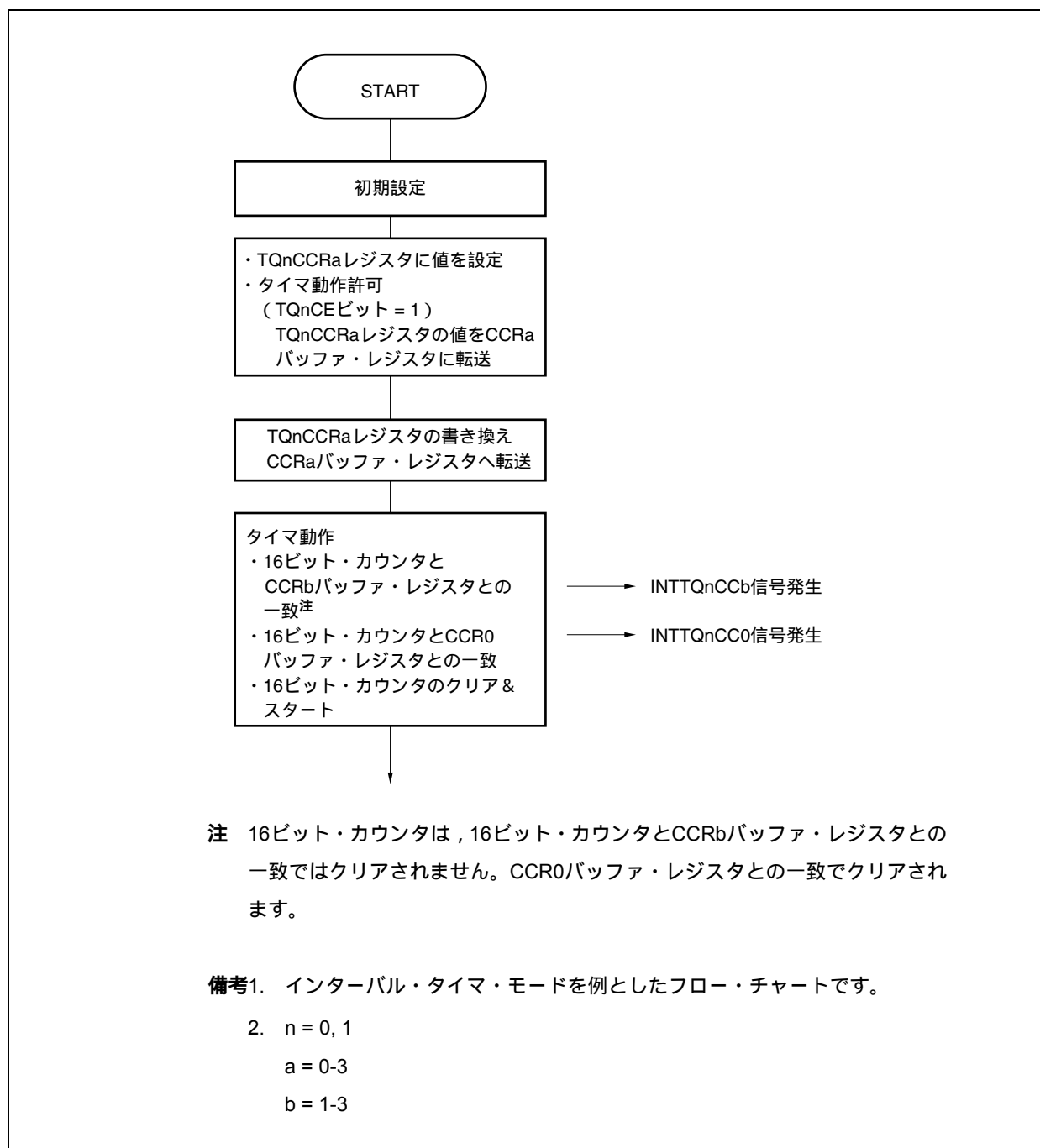
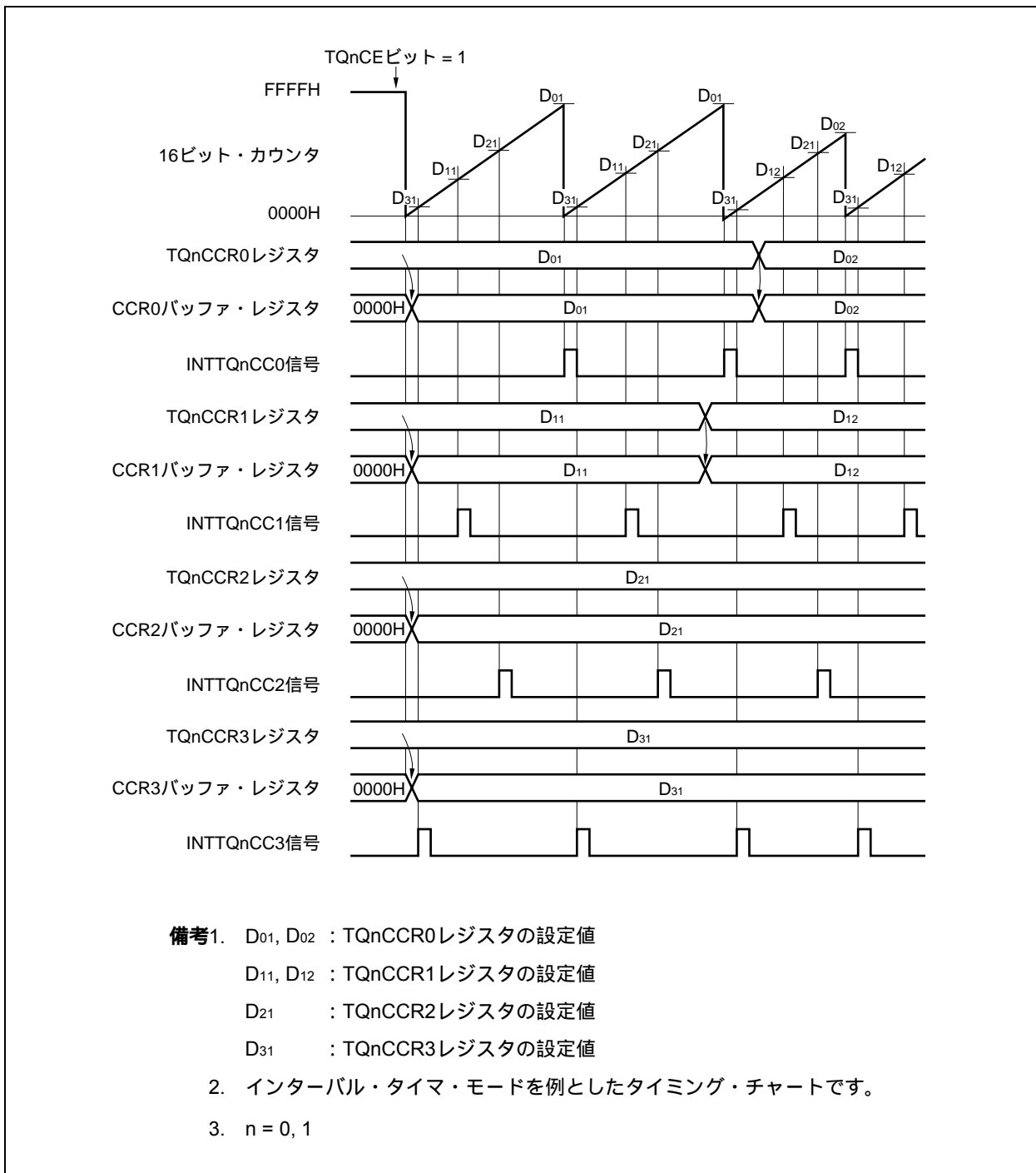


図7-5 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTQ0CCR1レジスタへの書き込みとなります。TQ0CCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TQ0CCR0-TQ0CCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする（CCR0-CCR3バッファ・レジスタに転送される）には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTQ0CCR0レジスタを書き換え、最後にTQ0CCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TQ0CCR0-TQ0CCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TQ0CCR0、TQ0CCR2、TQ0CCR3レジスタのいずれかの値だけ書き換えたい場合でも、TQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）を書き込んでください。

備考 TMQ1では、一斉書き込みで書き換え可能なモードに設定できません。

図7-6 一斉書き込みの基本動作フロー・チャート

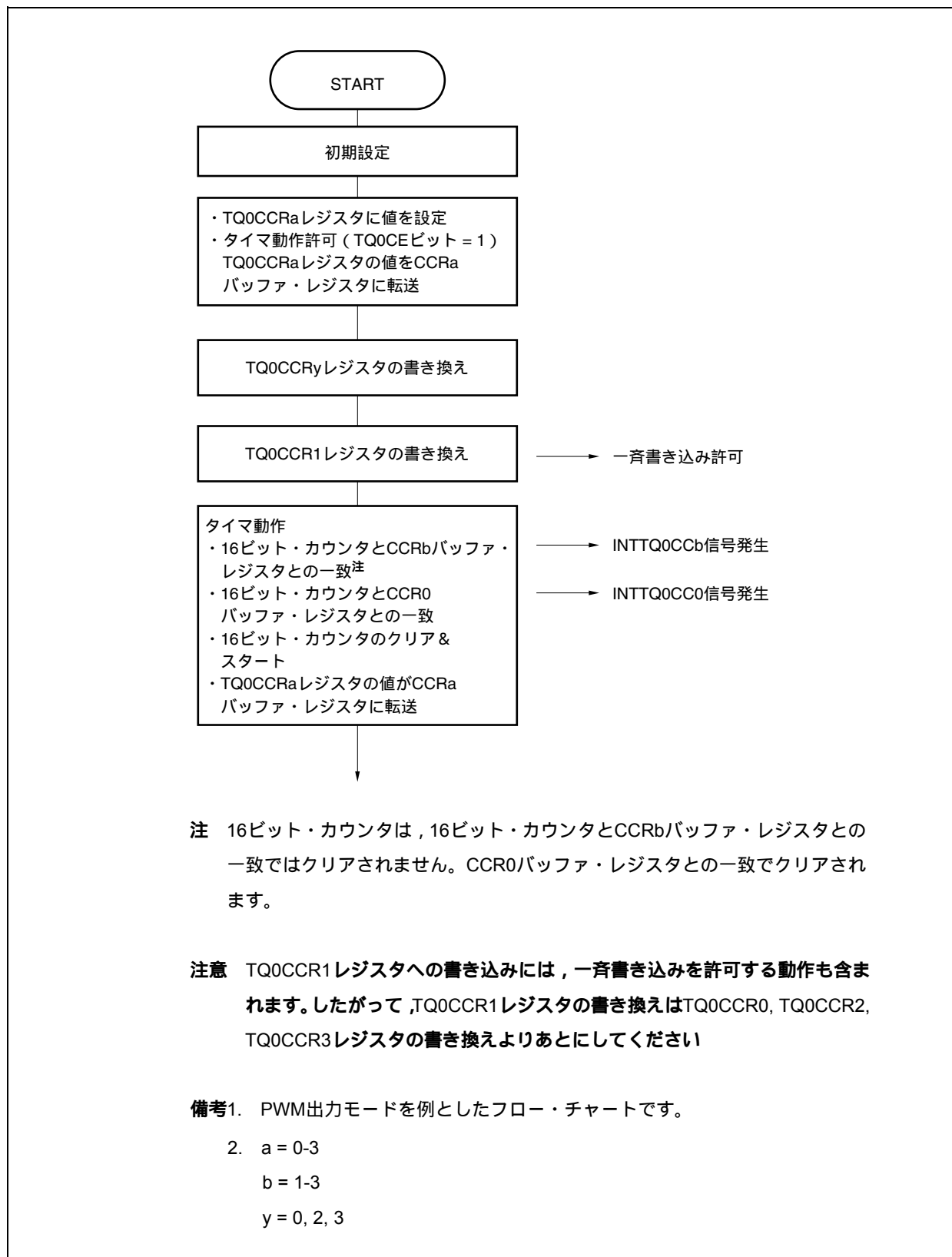
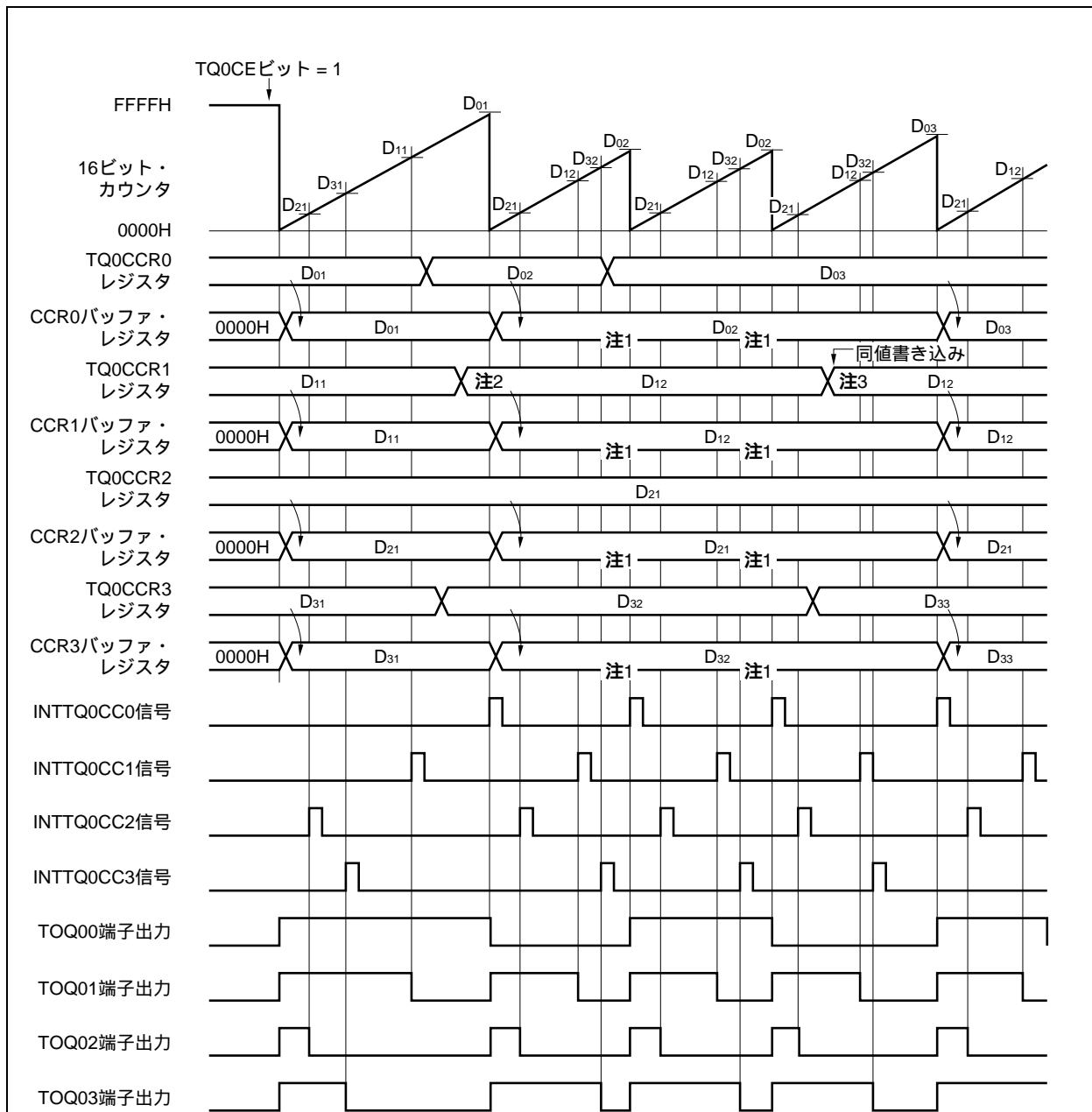


図7-7 一斉書き込みのタイミング



- 注1. TQ0CCR1レジスタの書き込みが (D₁₂) なかったためD₀₂は転送しません。
2. TQ0CCR1レジスタへの書き込み (D₁₂) があったため, TQ0CCR0レジスタとの一致 (D₀₁) により, CCR1バッファ・レジスタへの転送を行います。
3. TQ0CCR1レジスタへの書き込み (D₁₂) があったため, TQ0CCR0レジスタとの一致 (D₁₂) により, CCR1バッファ・レジスタへの転送を行います。

- 備考1. D₀₁, D₀₂, D₀₃ : TQ0CCR0レジスタの設定値
 D₁₁, D₁₂ : TQ0CCR1レジスタの設定値
 D₂₁ : TQ0CCR2レジスタの設定値
 D₃₁, D₃₂, D₃₃ : TQ0CCR3レジスタの設定値

2. PWM出力モードを例としたタイミング・チャートです。

7.6.1 インターバル・タイマ・モード (TQnMD2-TQnMD0ビット = 000)

インターバル・タイマ・モードは、TQnCTL0.TQnCEビットをセット(1)することで、TQnCCR0レジスタで設定したインターバル間隔にて割り込み要求信号 (INTTQnCC0) を発生します。また、TOQn0端子から、インターバル間隔を半周期とする50 %デューティのPWM波形を出力できます。

インターバル・タイマ・モードでは、TQnCCR1-TQnCCR3レジスタを使用しません。しかし、TQnCCR1-TQnCCR3レジスタでは、TQnCCR1-TQnCCR3レジスタの設定値がCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致するとコンパア一致割り込み要求信号 (INTTQnCC1-INTTQnCC3) が発生します。また、TOQ01-TOQ03端子から、INTTQ0CC1-INTTQ0CC3信号の発生タイミングで反転する50 %デューティのPWM波形を出力できます。

なお、TQnCCR1-TQnCCR3レジスタのタイマ動作中の書き換えは可能です。

図7-8 インターバル・タイマの構成図

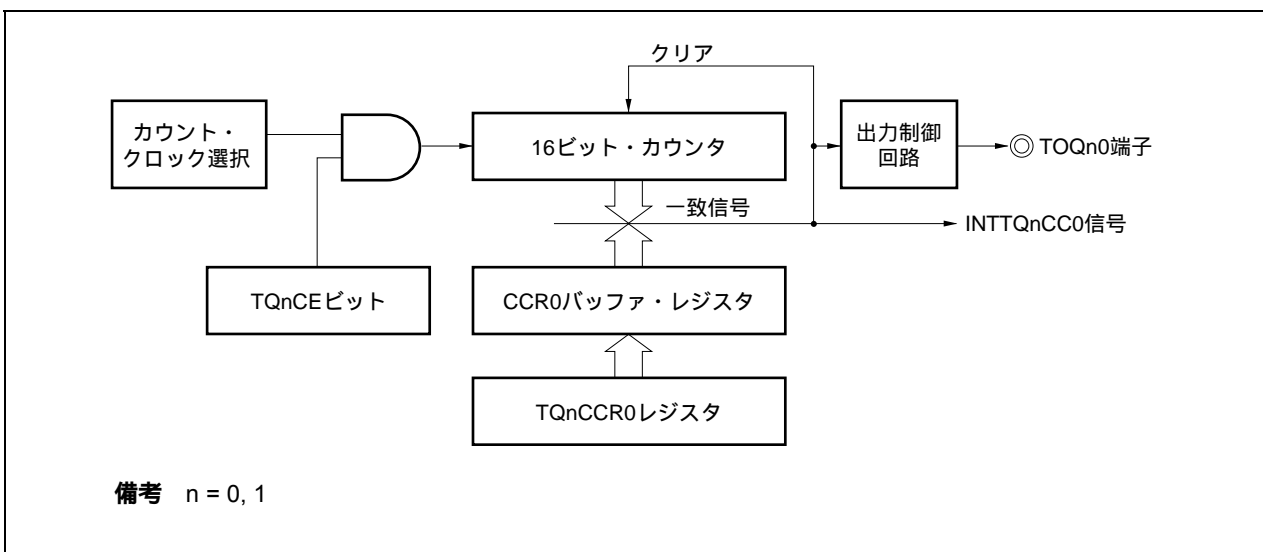
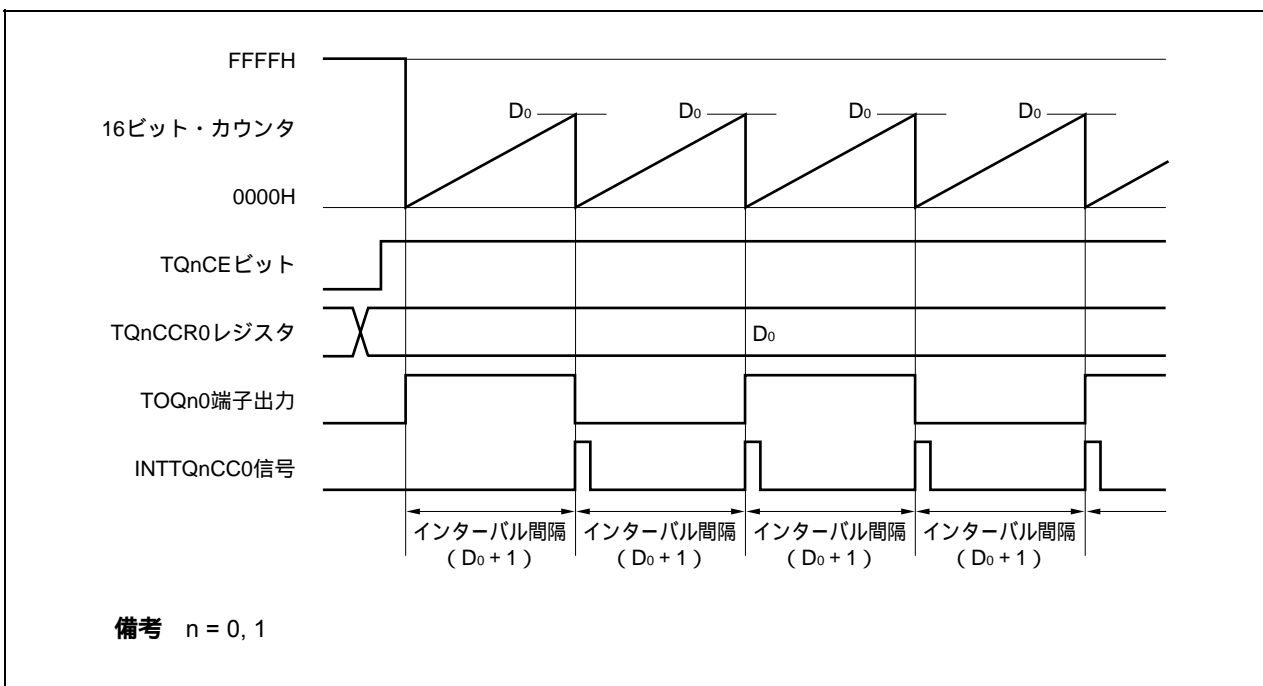


図7-9 インターバル・タイマ・モード動作の基本タイミング



TQnCEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQn0端子出力を反転します。また、TQnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQn0端子出力を反転させて、コンペア一致割り込み要求信号 (INTTQnCC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

備考 n = 0, 1

図7 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

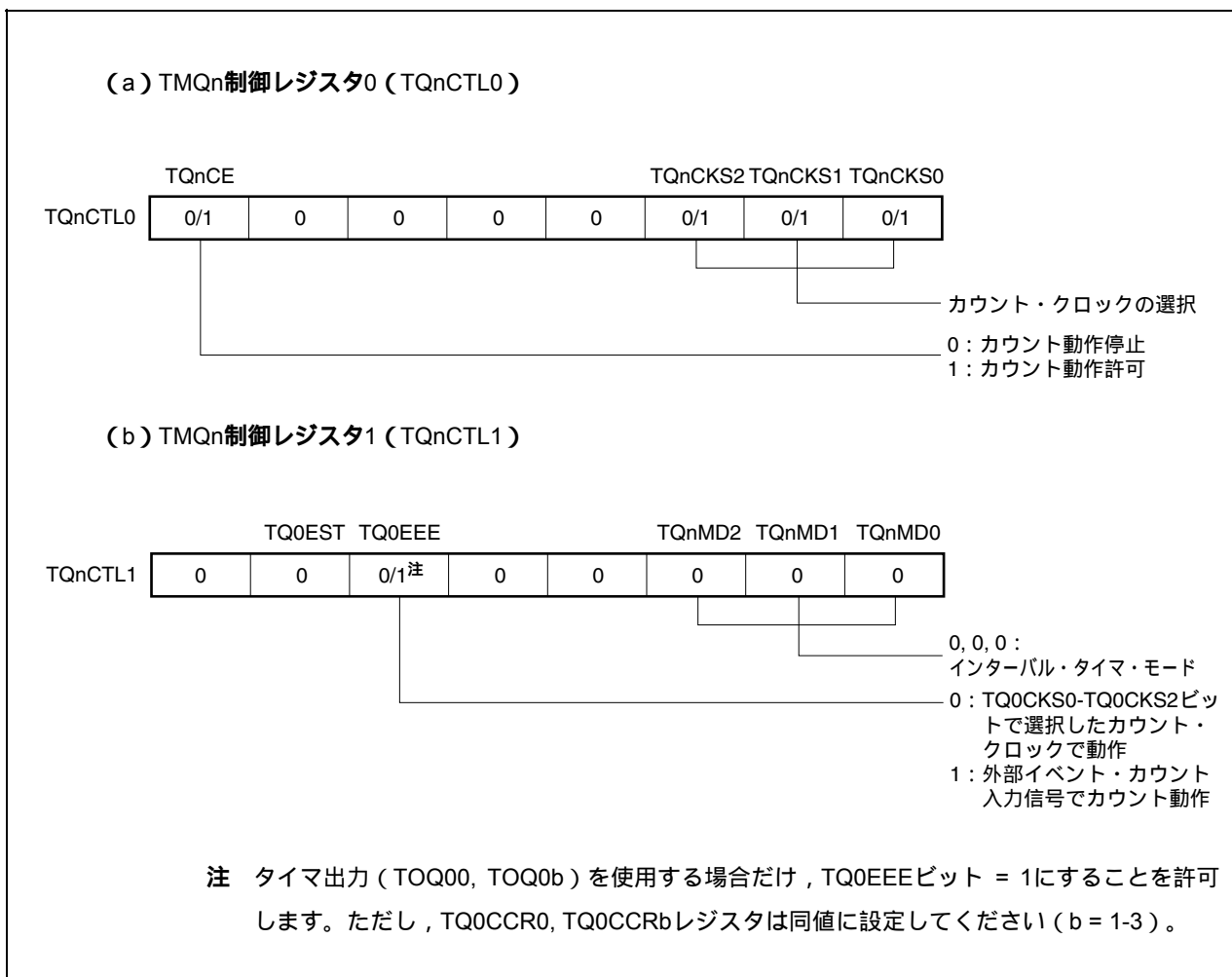
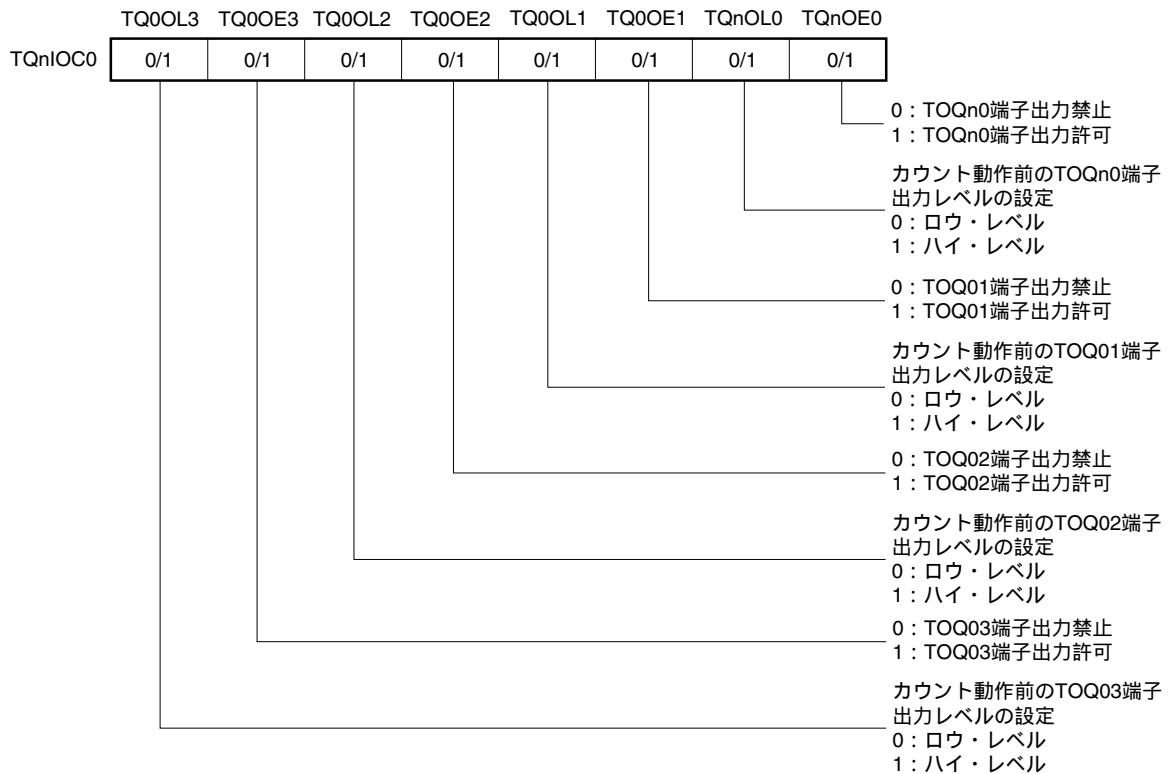
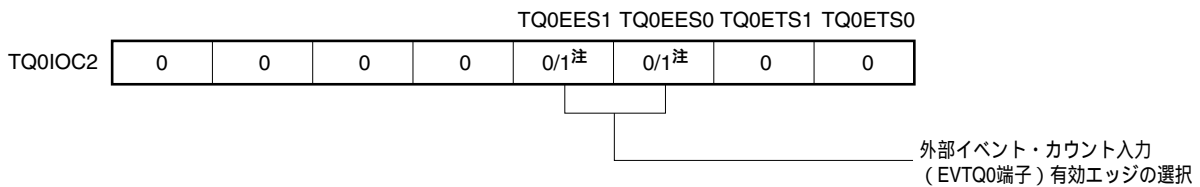


図7-10 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TMQnI/O制御レジスタ0 (TQnIOC0)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



注 タイマ出力 (TOQ00-TOQ03) を使用する場合だけ、TQ0EES1, TQ0EES0ビットを設定することを許可します。ただし、TQ0CCR0-TQ0CCR3レジスタは同値に設定してください。

(e) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMQnキャプチャ/コンペア・レジスタ0 (TQnCCR0)

TQnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図7 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TMQnキャプチャ/コンペア・レジスタ1-3 (TQnCCR1-TQnCCR3)

インターバル・タイマ・モードでは、TQnCCR1-TQnCCR3レジスタを使用しません。しかし、TQnCCR1-TQnCCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1-CCR3バッファ・レジスタの値が一致すると、TOQ01-TOQ03端子出力を反転し、コンペア一致割り込み要求信号 (INTTQnCC1-INTTQnCC3) が発生します。

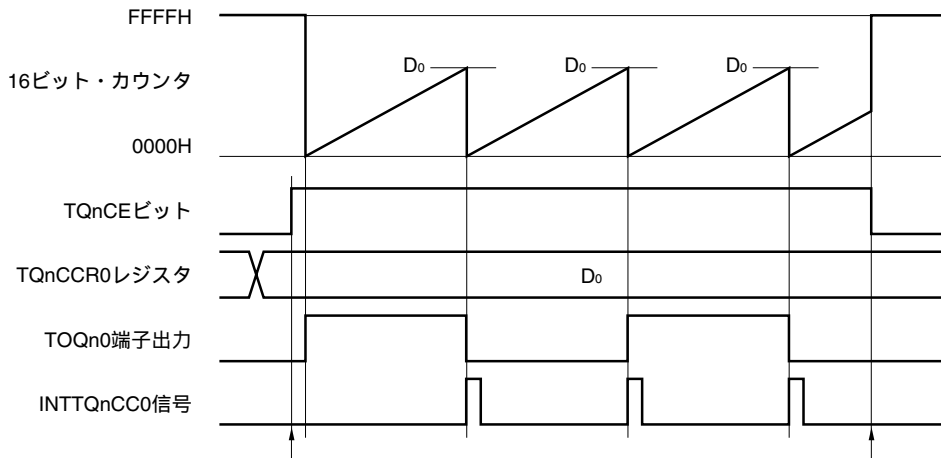
TQnCCR1-TQnCCR3レジスタを使用しない場合には、TQnCCR1-TQnCCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TQnCCIC1.TQnCCMK1-TQnCCIC3.TQnCCMK3) でマスク設定してください。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQnオプション・レジスタ0 (TQnOPT0) は、インターバル・タイマ・モードでは使用しません。

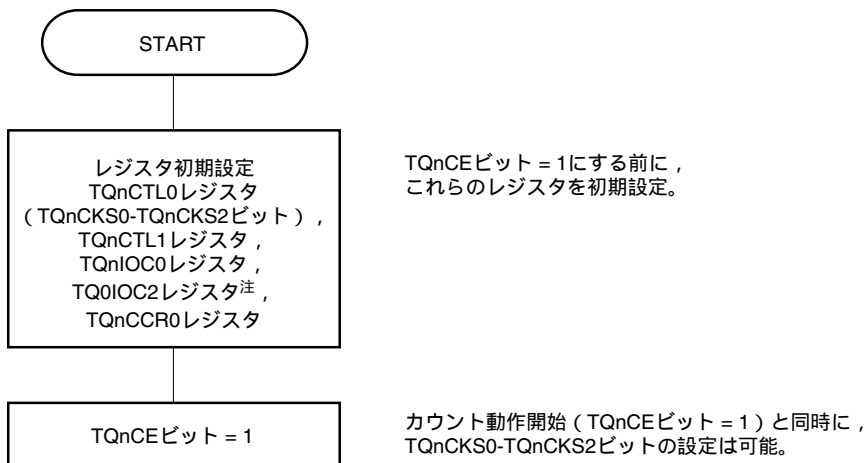
2. n = 0, 1

(1) インターバル・タイマ・モード動作フロー

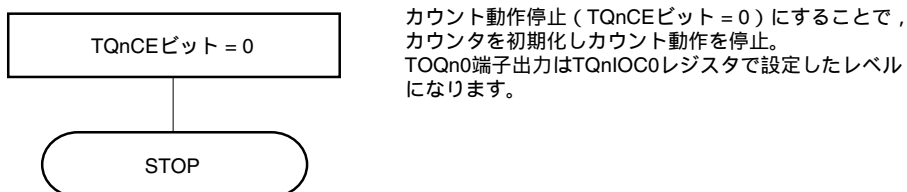
図7-11 インターバル・タイマ・モード使用時のソフトウェア処理フロー



カウント動作開始フロー



カウント動作停止フロー



注 タイマ出力 (TOQ00-TOQ03) を使用する場合だけ、TQ0EES1, TQ0EES0ビットを設定することを許可します。ただし、TQ0CCR0-TQ0CCR3レジスタは同値に設定してください。

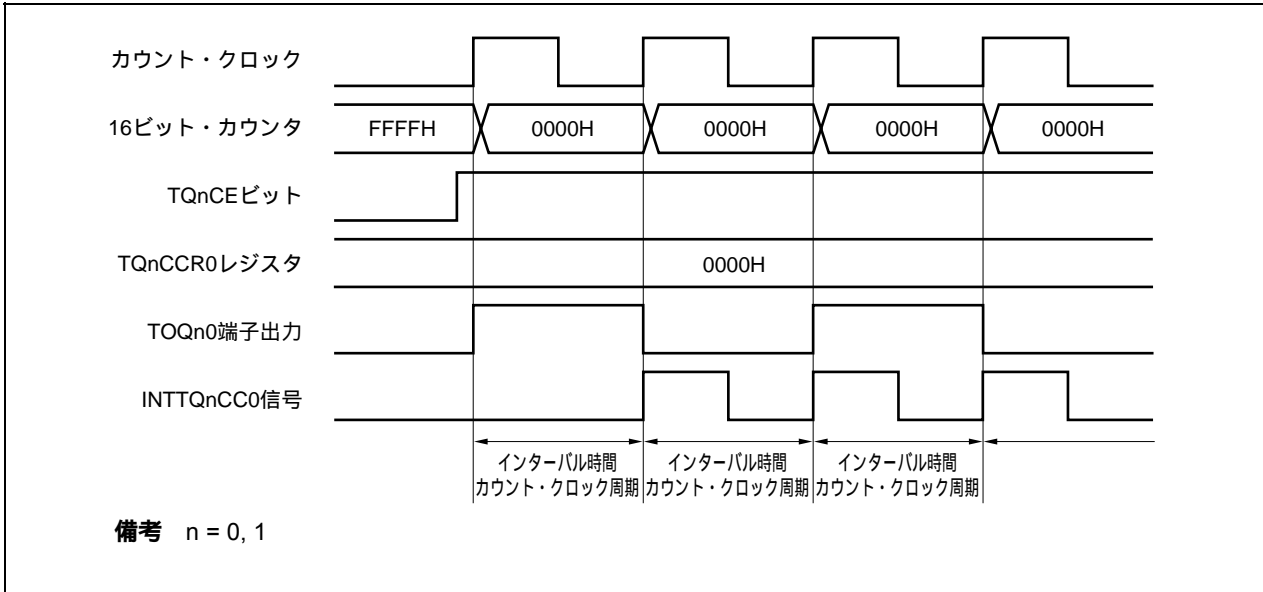
備考 n = 0, 1

(2) インターバル・タイマ・モード動作タイミング

(a) TQnCCR0レジスタに0000Hを設定した場合の動作

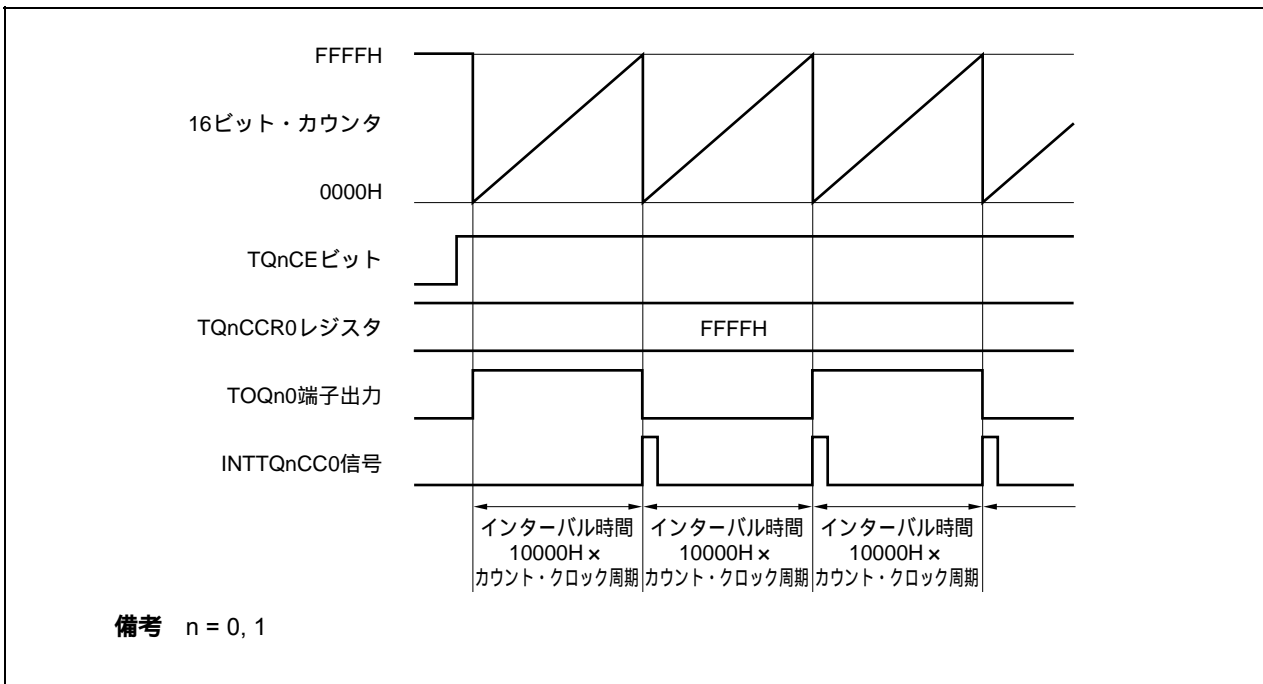
TQnCCR0レジスタに0000Hを設定した場合,カウント・クロックごとにINTTQnCC0信号を発生し, TOQn0端子の出力を反転します。

16ビット・カウンタは,常に0000Hとなります。



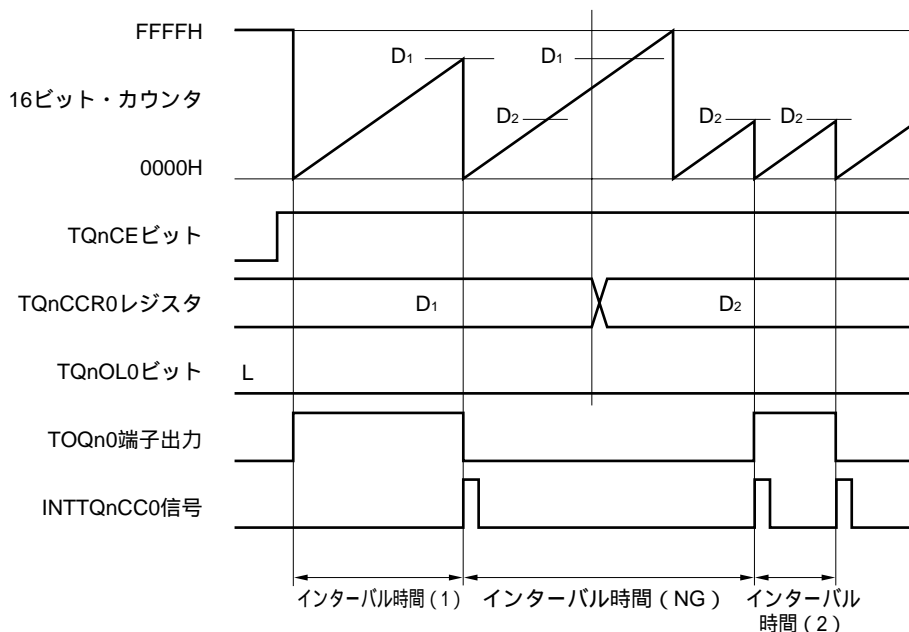
(b) TQnCCR0レジスタにFFFFHを設定した場合の動作

TQnCCR0レジスタにFFFFHを設定した場合,16ビット・カウンタはFFFFHまでカウント動作を行い,次のカウント・アップ・タイミングに同期して,16ビット・カウンタを0000Hにクリアし,INTTQnCC0信号を発生し,TOQn0端子の出力を反転します。このとき,オーバフロー割り込み要求信号 (INTTQnOV) は発生せず,オーバフロー・フラグ (TQnOPT0.TQnOVFビット) もセット (1) されません。



(c) TQnCCR0レジスタの書き換えに関する注意事項

カウント動作中にTQnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



- 備考1.** インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
2. $n = 0, 1$

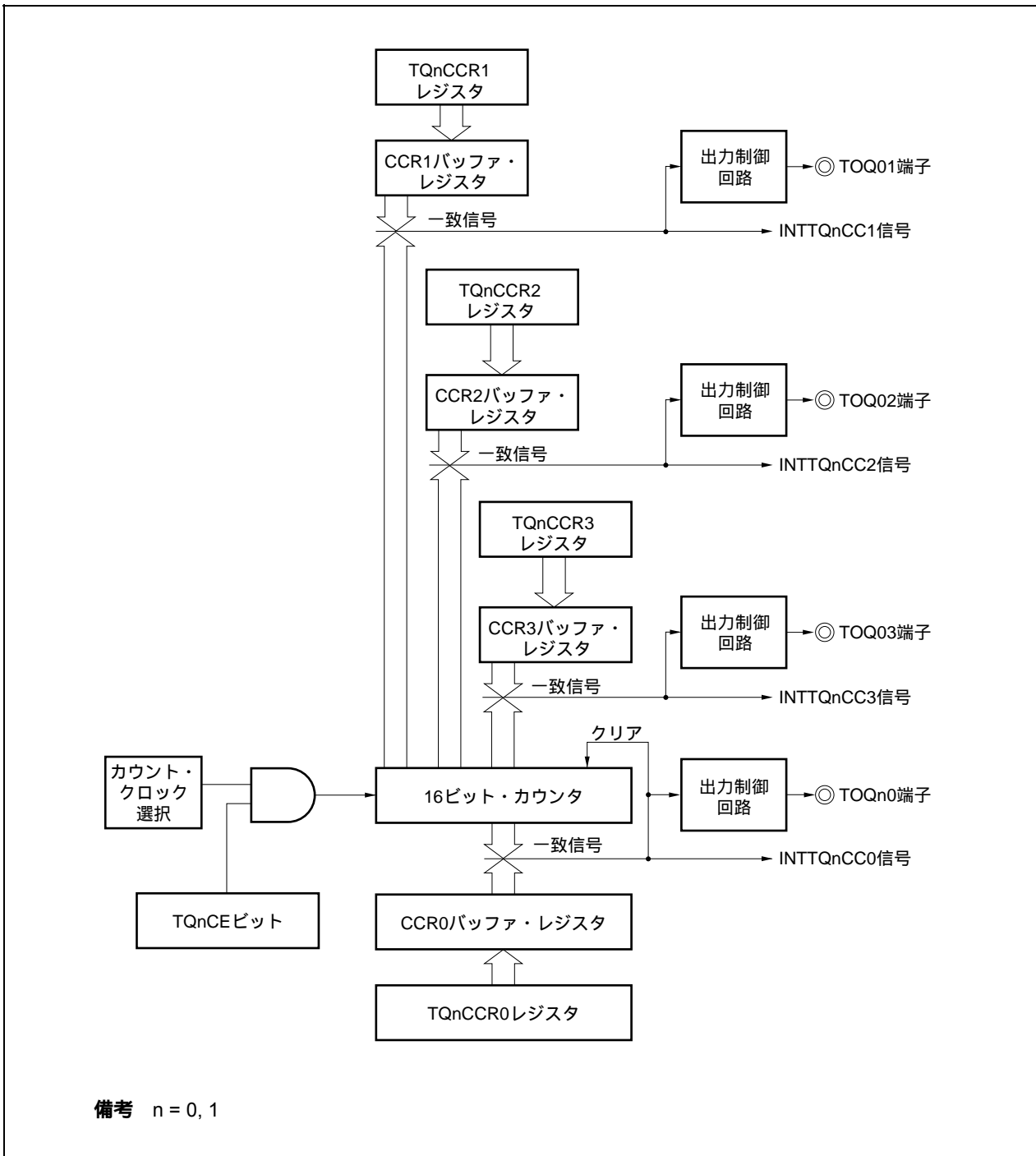
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQnCC0信号を発生しTOQn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTQnCC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTQnCC0信号が発生する場合があります。

(d) TQnCCR1-TQnCCR3レジスタの動作

図7 - 12 TQnCCR1-TQnCCR3レジスタの構成図



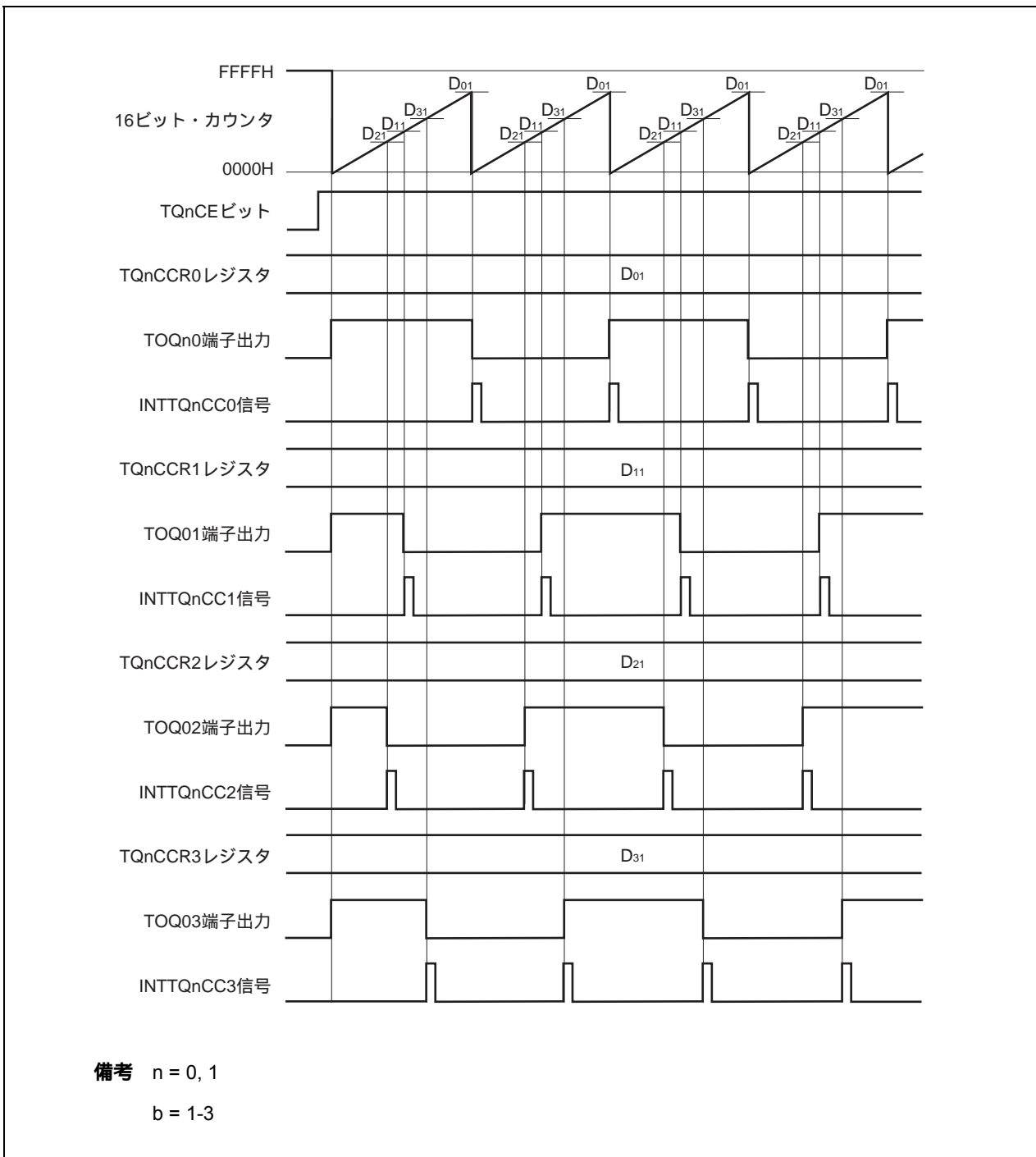
TQnCCRbレジスタにTQnCCR0レジスタの設定値と同じ値を設定すると、INTTQnCC0信号と同じタイミングでINTTQnCCb信号が発生し、TOQ0b端子出力が反転します。すなわち、TOQ0b端子から50 %デューティのPWM波形を出力できます。

TQnCCR0レジスタの設定値とは異なる値をTQnCCRbレジスタに設定した場合の動作を次に示します。

TQnCCRbレジスタの設定値がTQnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQnCCb信号が発生します。また、同じタイミングでTOQ0b端子出力は反転します。

TOQ0b端子出力は、最初に短い幅のパルスを出力したあと50 %デューティのPWM波形を出力します。

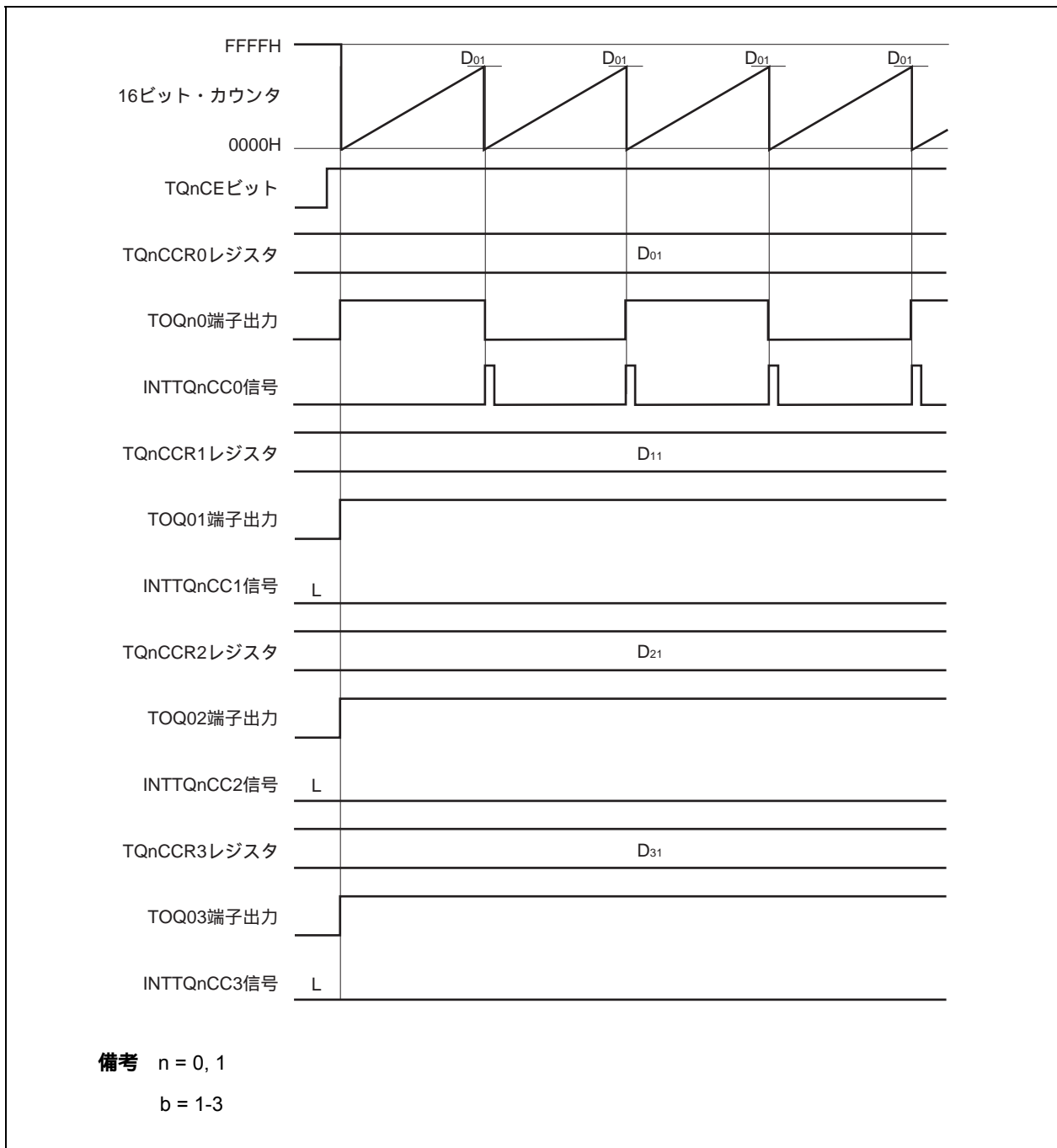
図7 - 13 D₀₁ D_{b1}の場合のタイミング図



TQnCCRbレジスタの設定値がTQnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQnCCRbレジスタの値が一致しないので、INTTQnCCb信号は発生しません。また、TOQ0b端子出力も変化しません。

TQnCCRbレジスタを使用しない場合には、TQnCCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 14 D₀₁ < D_{b1}の場合のタイミング図



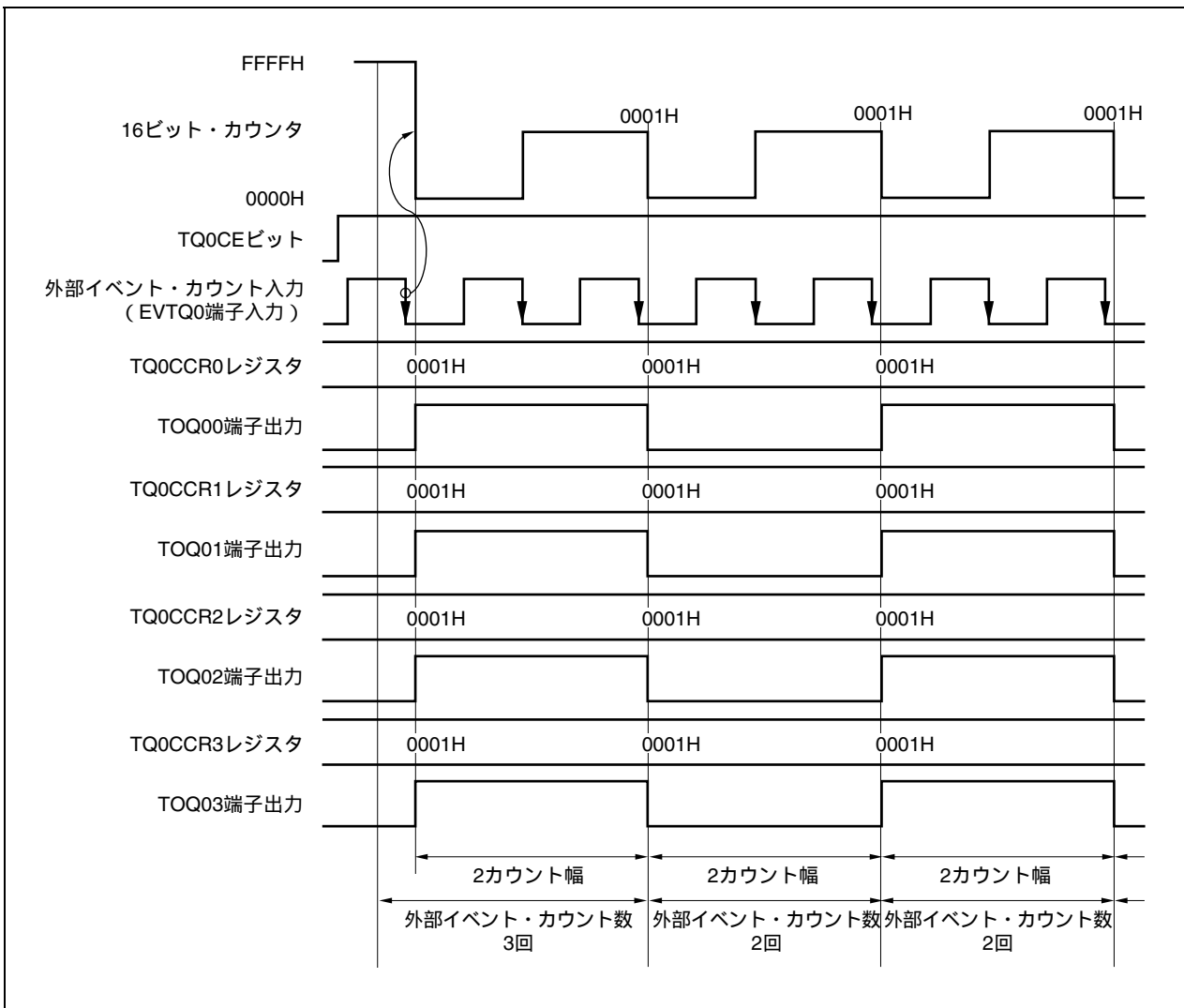
(3) 外部イベント・カウント入力 (EVTQ0) による動作

(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (EVTQ0) の有効エッジで16ビット・カウンタをカウントする場合、TQ0CEビットを0から1に設定したあとの1回目の外部イベント・カウント入力の有効エッジにより、16ビット・カウンタをFFFFHから0000Hにクリアします。

TQ0CCR0, TQ0CCRbレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOQ00, TOQ0b端子の出力を反転します (b = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOQ00, TOQ0b) を使用する場合だけ、インターバル・タイマ・モード時にTQ0CTL0.TQ0EEEビット = 1の設定が可能です。



7.6.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)

TMQ0のみ有効です。

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、外部イベント・カウント入力(EVTQ0)の有効エッジをカウントし、TQ0CCR0レジスタで設定したカウント数をカウントするごとに割り込み要求信号(INTTQ0CC0)を発生します。また、TOQ00-TOQ03端子は使用できません。外部イベント・カウント入力力でTOQ00-TOQ03端子を使用する場合は、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1に設定してください(7.6.1(3)外部イベント・カウント入力(EVTQ0)による動作参照)。

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。

注意 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。

図7-15 外部イベント・カウント・モードの構成図

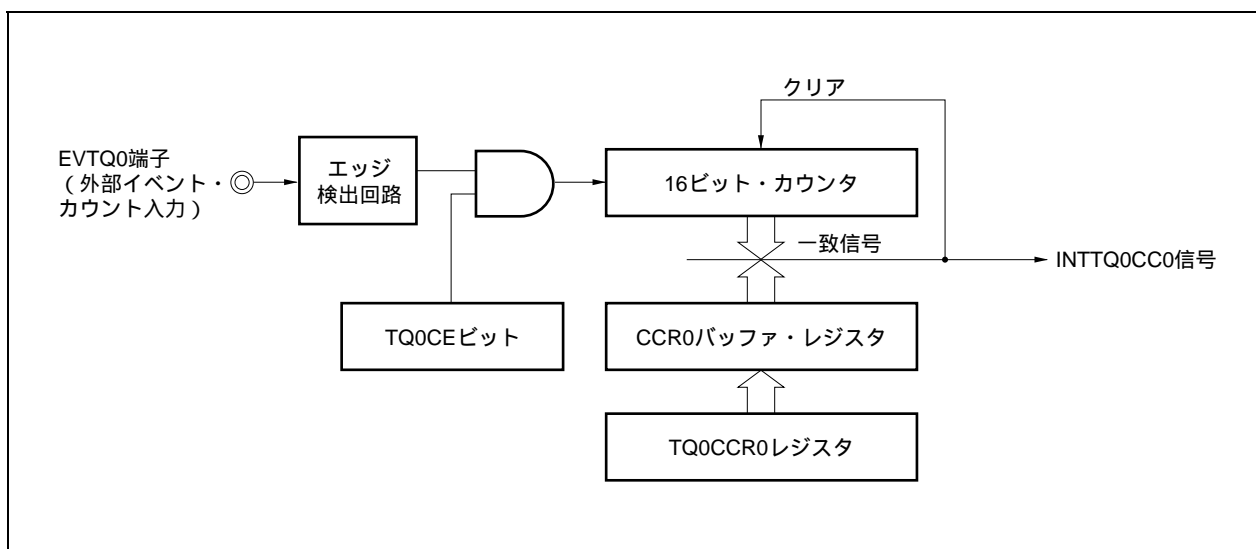
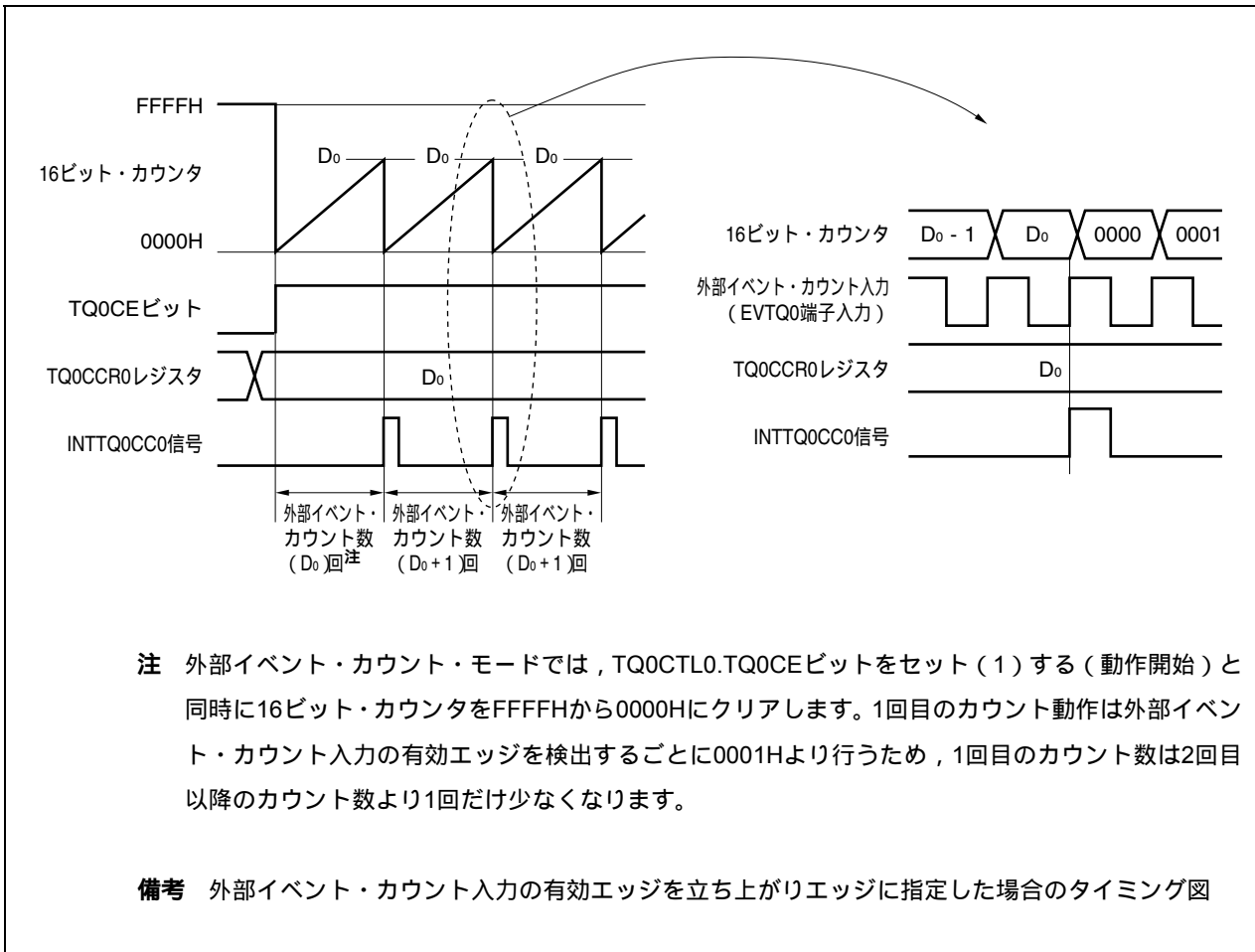


図7-16 外部イベント・カウント・モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することにカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

INTTQ0CC0信号の発生は、1回目のINTTQ0CC0信号の場合は外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値) 回検出で発生し、2回目以降のINTTQ0CC0信号の場合は外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値 + 1) 回検出することに発生します。

図7 - 17 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

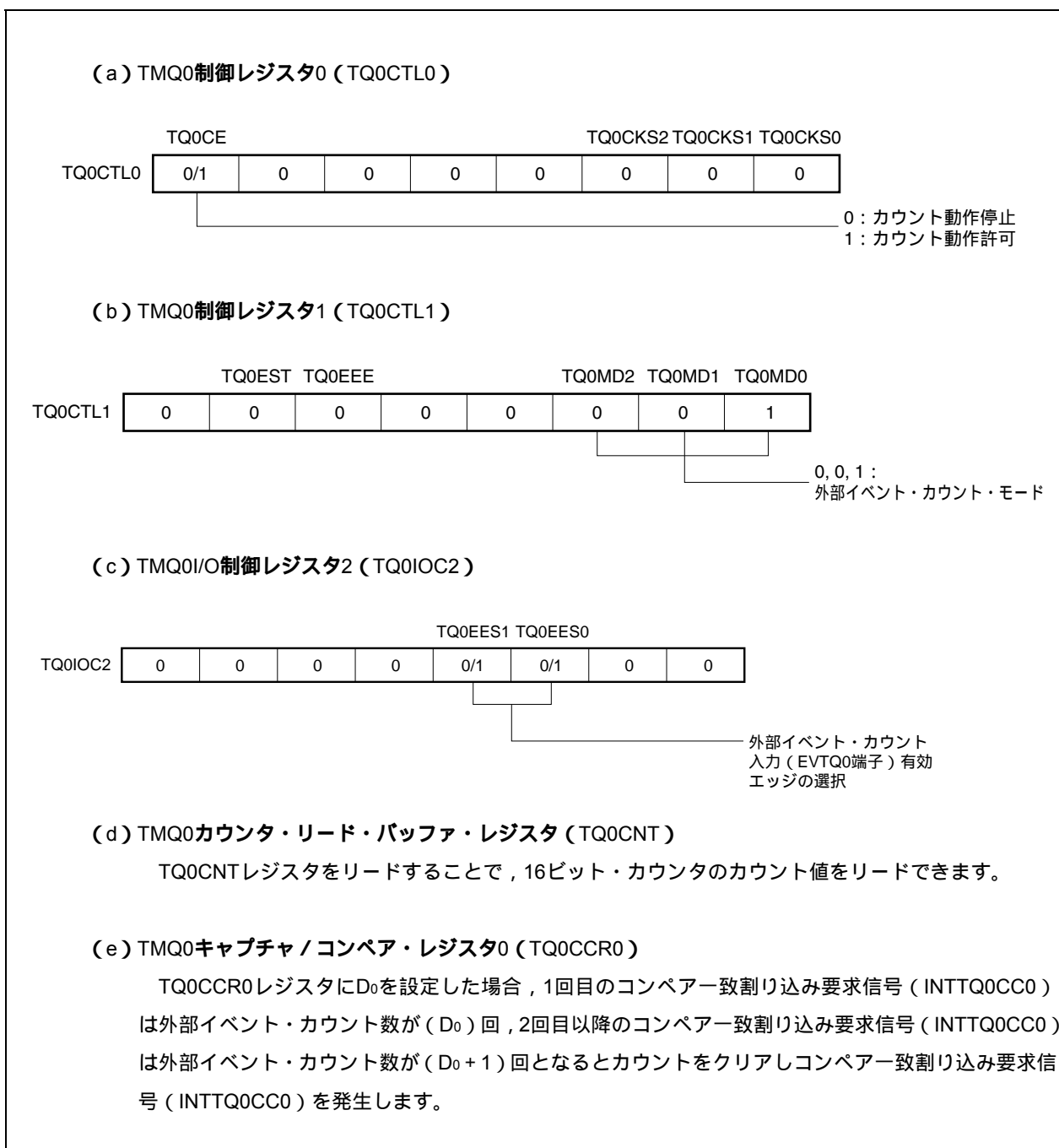


図7 - 17 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

外部イベント・カウント・モードでは、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

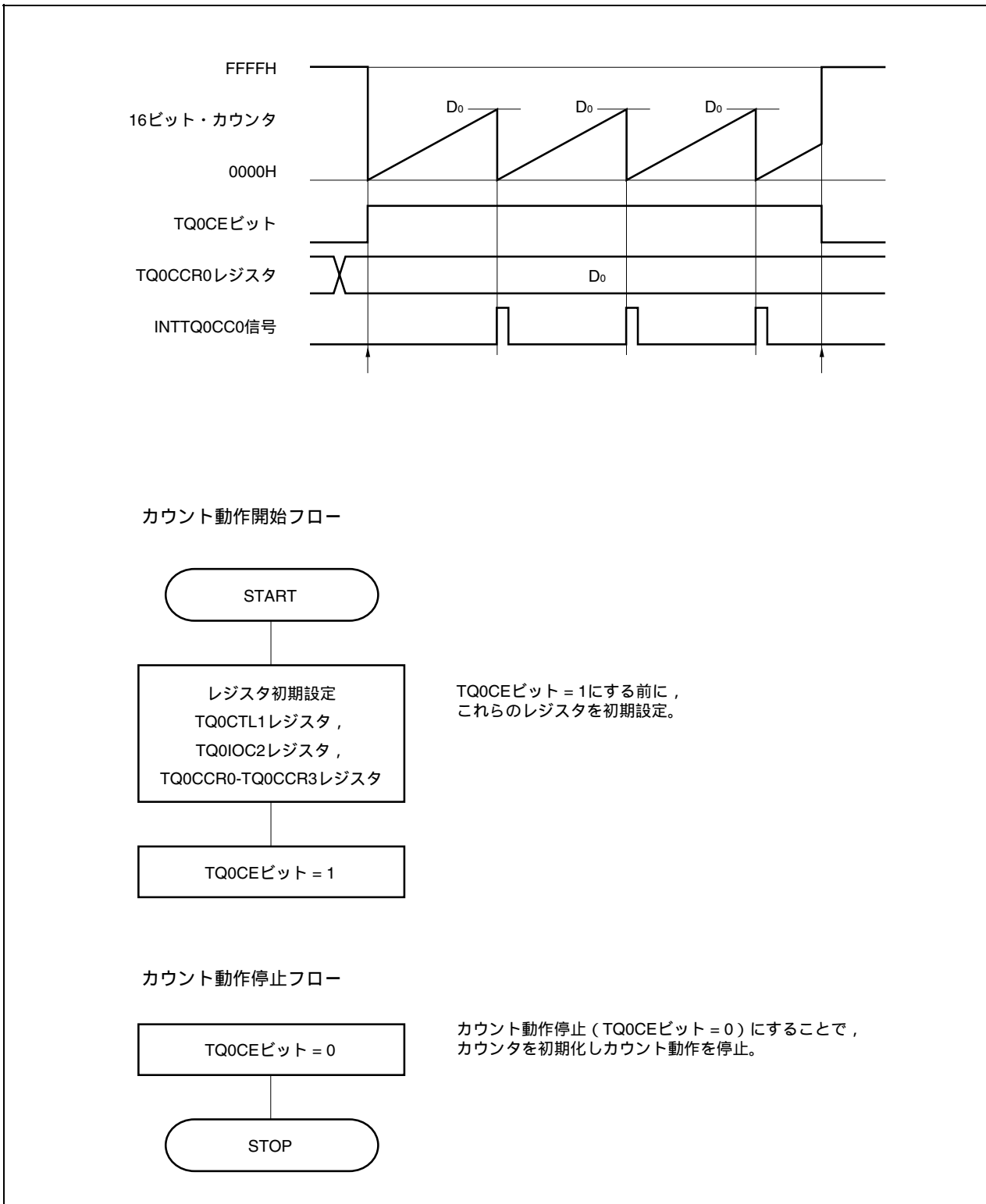
TQ0CCR1-TQ0CCR3レジスタを使用しない場合には、TQ0CCR1-TQ0CCR3レジスタの設定値をFFFFHに設定することを推奨します。また、割り込みマスク・フラグ (TQ0CCIC1.TQ0CCMK1-TQ0CCIC3.TQ0CCMK3) でマスク設定してください。

注意 TQ0IOC0レジスタには00Hを設定してください。

備考 TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

図7-18 外部イベント・カウント・モード使用時のソフトウェア処理フロー

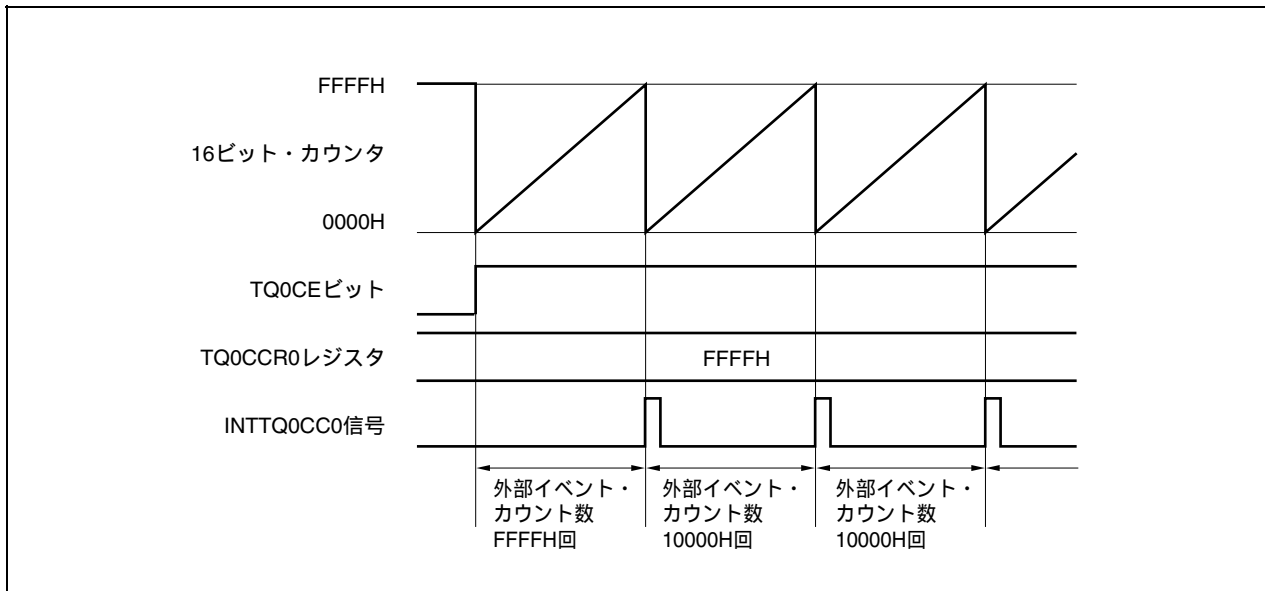


(2) 外部イベント・カウント・モード動作タイミング

- 注意1. 外部イベント・カウント・モードでは、TQ0CCR0-TQ0CCR3レジスタに0000Hを設定することは禁止します。
2. 外部イベント・カウント・モード時、タイマ出力 (TOQ00-TOQ03) は使用禁止です。外部イベント・カウント入力 (EVTQ0) でタイマ出力 (TOQ00-TOQ03) を使用する場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TQ0CTL1.TQ0EEEビット = 1) に設定してください(7. 6. 1(3)外部イベント・カウント入力 (EVTQ0) による動作参照)。

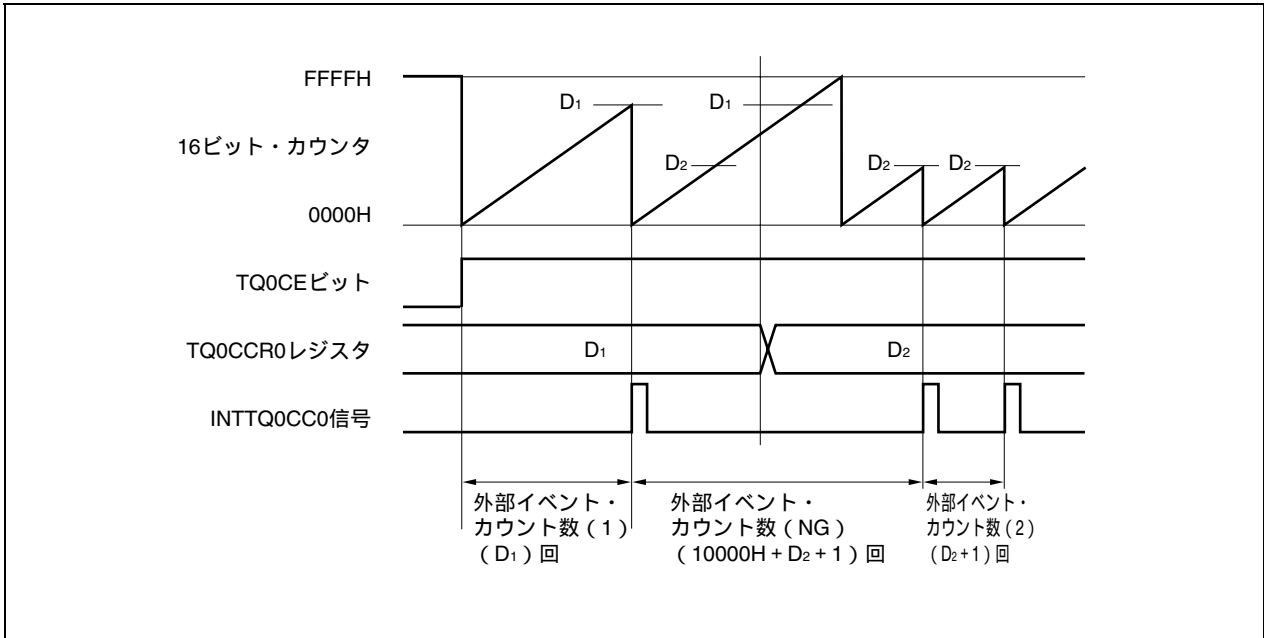
(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQ0CC0信号を発生します。このとき、TQ0OPT0.TQ0OVFビットはセットされません。



(b) TQ0CCR0レジスタの書き換えに関する注意事項

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



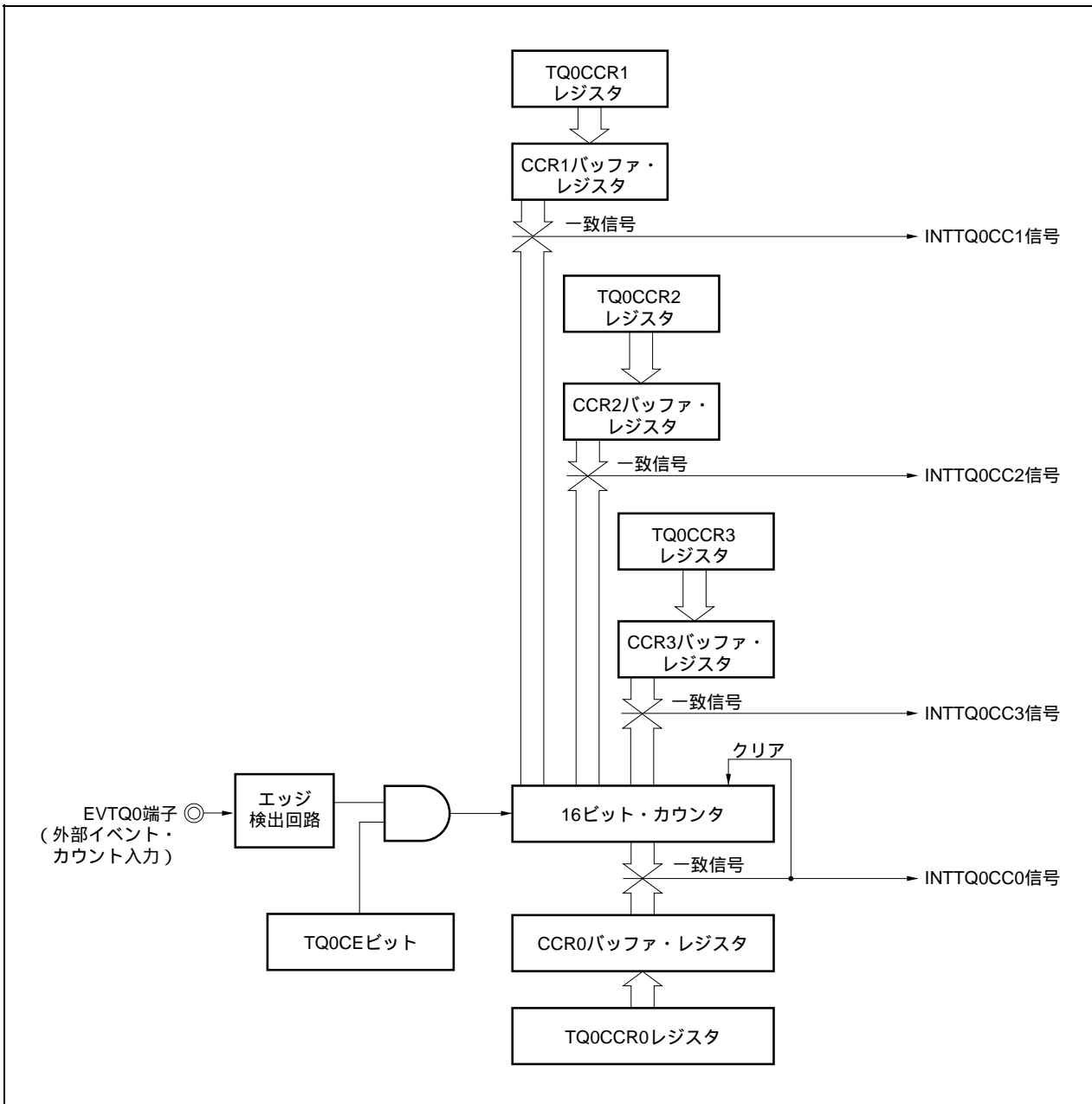
カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQ0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQ0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 $(D_1 + 1)$ 回」または「 $(D_2 + 1)$ 回」の有効エッジ数でINTTQ0CC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

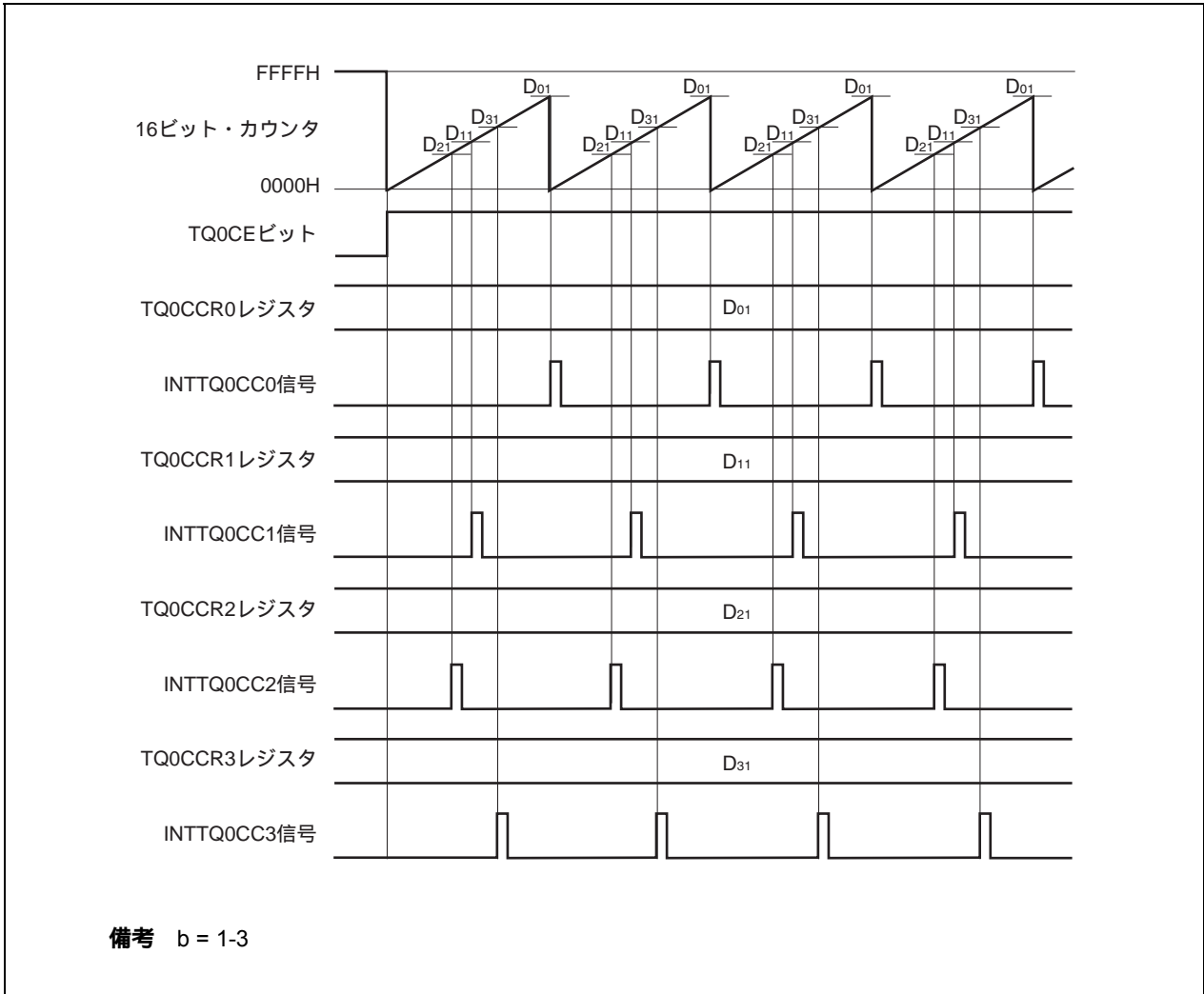
(c) TQ0CCR1-TQ0CCR3レジスタの動作

図7 - 19 TQ0CCR1-TQ0CCR3レジスタの構成図



TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCb信号が発生します。

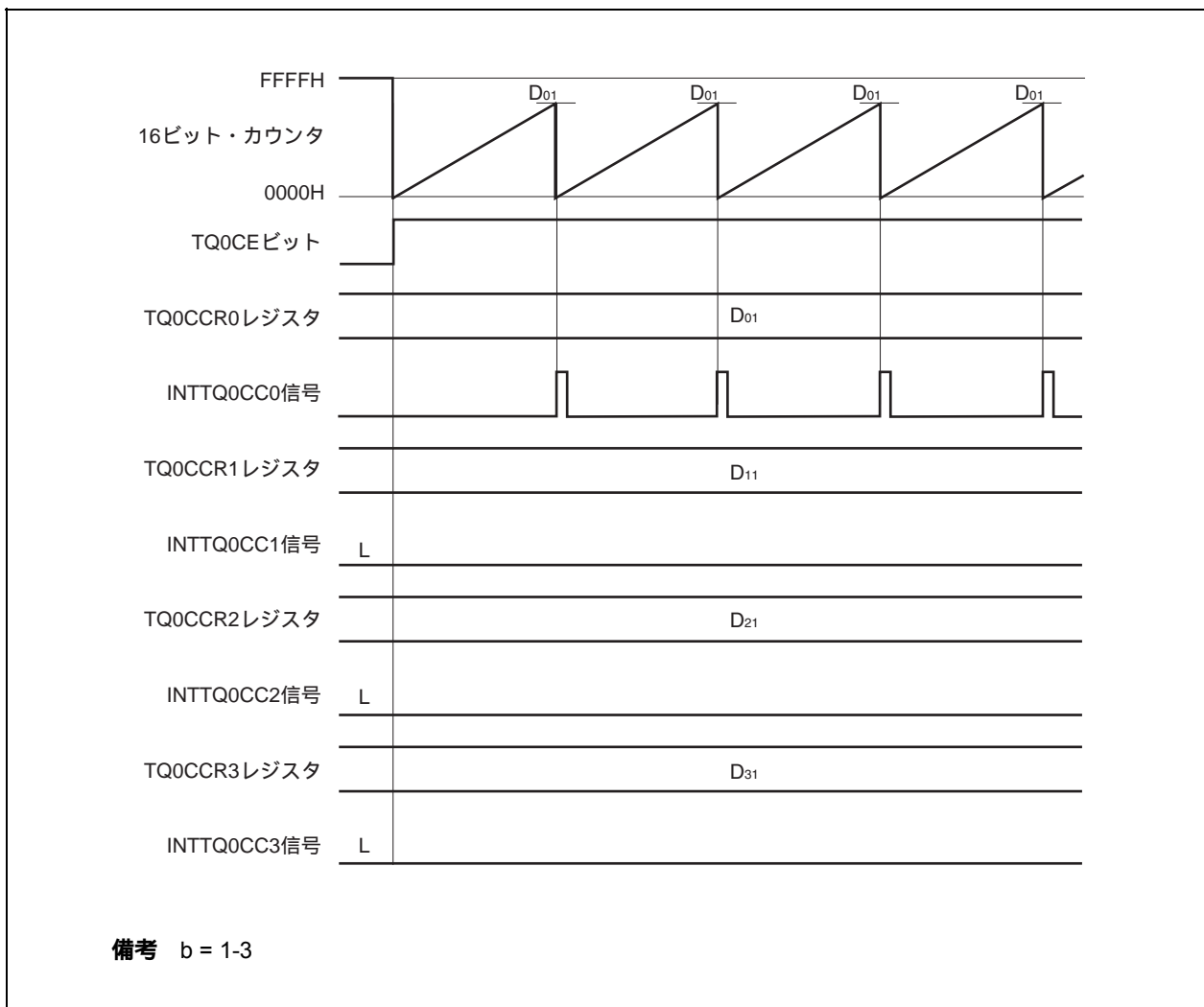
図7-20 D₀₁ D_{b1}の場合のタイミング図



TQ0CCRbレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値が一致しないので、INTTQ0CCb信号は発生しません。

TQ0CCRbレジスタを使用しない場合には、TQ0CCRbレジスタの設定値をFFFFHに設定することを推奨します。

図7 - 21 $D_{01} < D_{b1}$ の場合のタイミング図



備考 b = 1-3

7.6.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)

TMQ0のみ有効です。

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、ソフトウェア・トリガを発生させると、カウント動作を開始し、TOQ01-TOQ03端子から最大3相のPWM波形を出力します。また、TOQ00端子から、TQ0CCR0レジスタの設定値+1を半周期とする50%デューティのPWM波形を出力できます。

外部トリガ入力端子はありません。

図7-22 外部トリガ・パルス出力モードの構成図

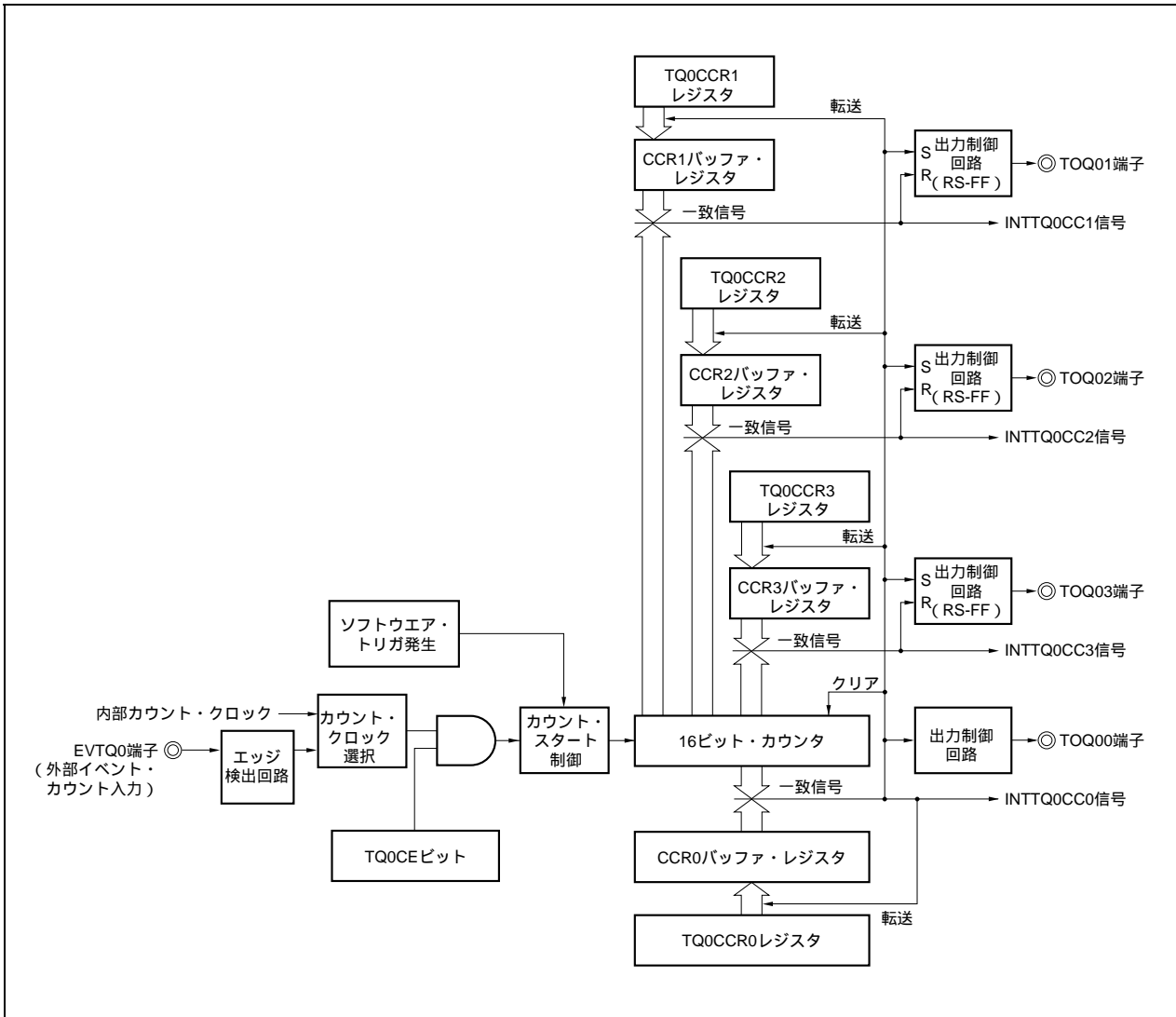
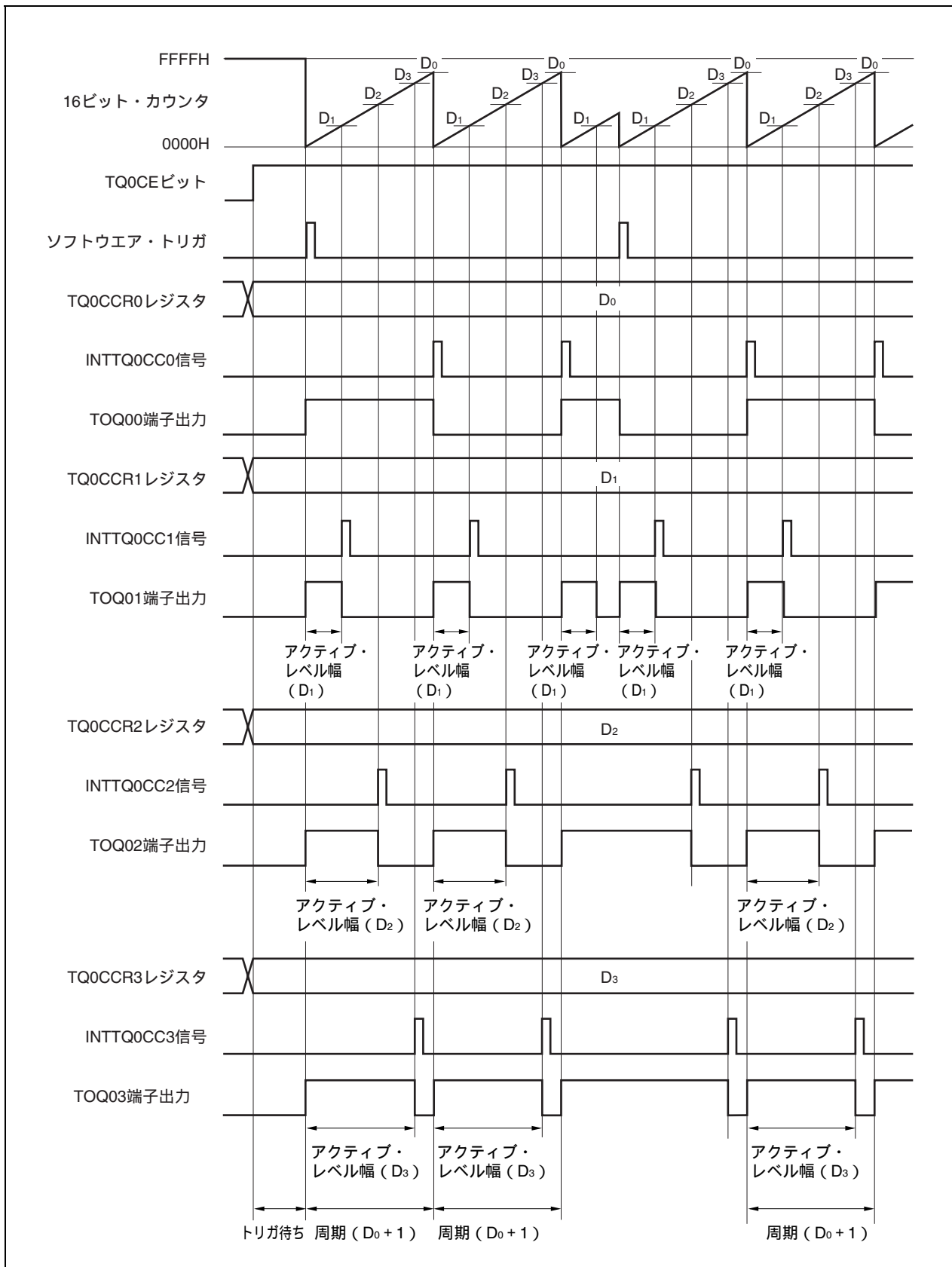


図7-23 外部トリガ・パルス出力モードの基本タイミング



TQ0CEビットをセット（1）することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0Qb端子からPWM波形を出力します。動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします（TQ0Q0端子出力は反転します。TQ0Qb端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります）。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\begin{aligned} \text{アクティブ・レベル幅} &= (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期} \\ \text{周期} &= (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期} \\ \text{デューティ} &= (\text{TQ0CCRbレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1) \end{aligned}$$

コンペア一致割り込み要求信号（INTTQ0CC0）は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペア一致割り込み要求信号（INTTQ0CCb）は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

TQ0CCRaレジスタに設定した値は、16ビット・カウンタのカウント値とCCRaバッファ・レジスタの値が一致し、16ビット・カウンタを0000HにクリアするタイミングでCCRaバッファ・レジスタに転送されます。

トリガは、ソフトウェア・トリガ（TQ0CTL1.TQ0ESTビット）のセット（1）だけです。

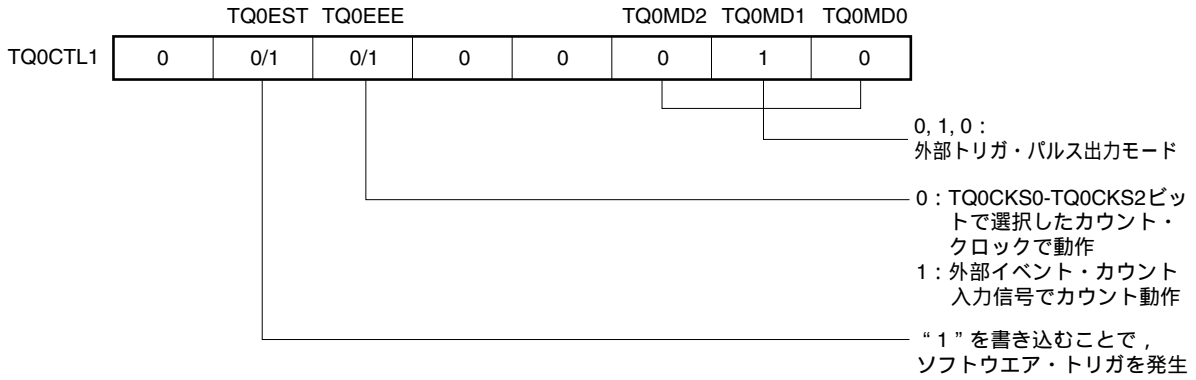
備考 a = 0-3
b = 1-3

図7 - 24 外部トリガ・パルス出力モード動作時のレジスタ設定内容（1/3）

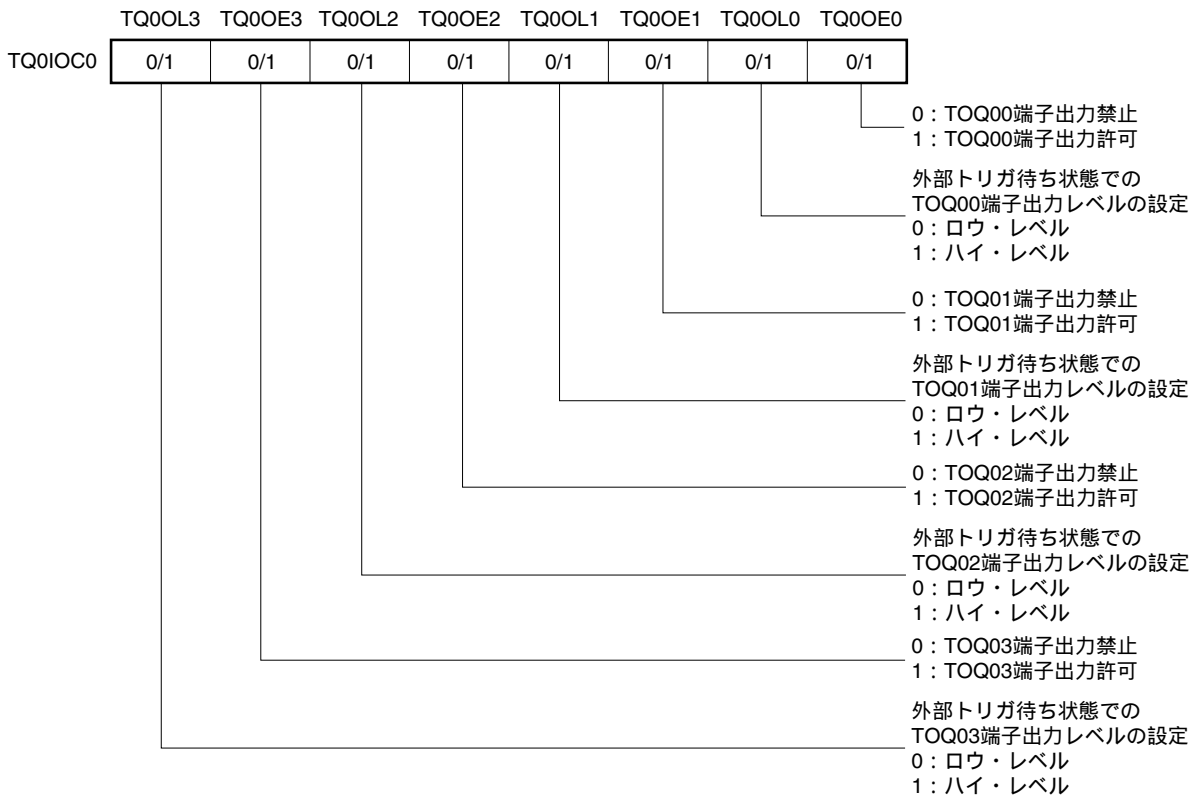


図7 - 24 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

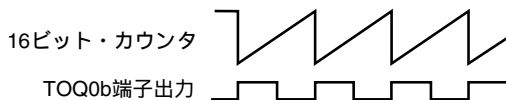
(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



・ TQ0OLbビット = 0の場合



・ TQ0OLbビット = 1の場合

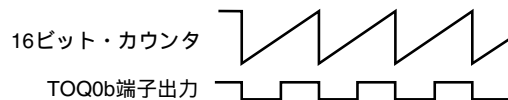
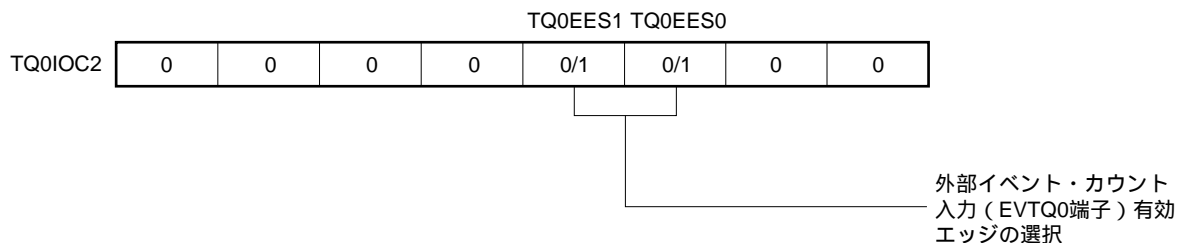


図7 - 24 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCR1レジスタにD₁を、TQ0CCR2レジスタにD₂を、TQ0CCR3レジスタにD₃を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ01端子からのPWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ02端子からのPWM波形のアクティブ・レベル幅} = D_2 \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{TOQ03端子からのPWM波形のアクティブ・レベル幅} = D_3 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部トリガ・パルス出力モードでは使用しません。

2. b = 1-3

(1) 外部トリガ・パルス出力モード動作フロー

図7-25 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (1/2)

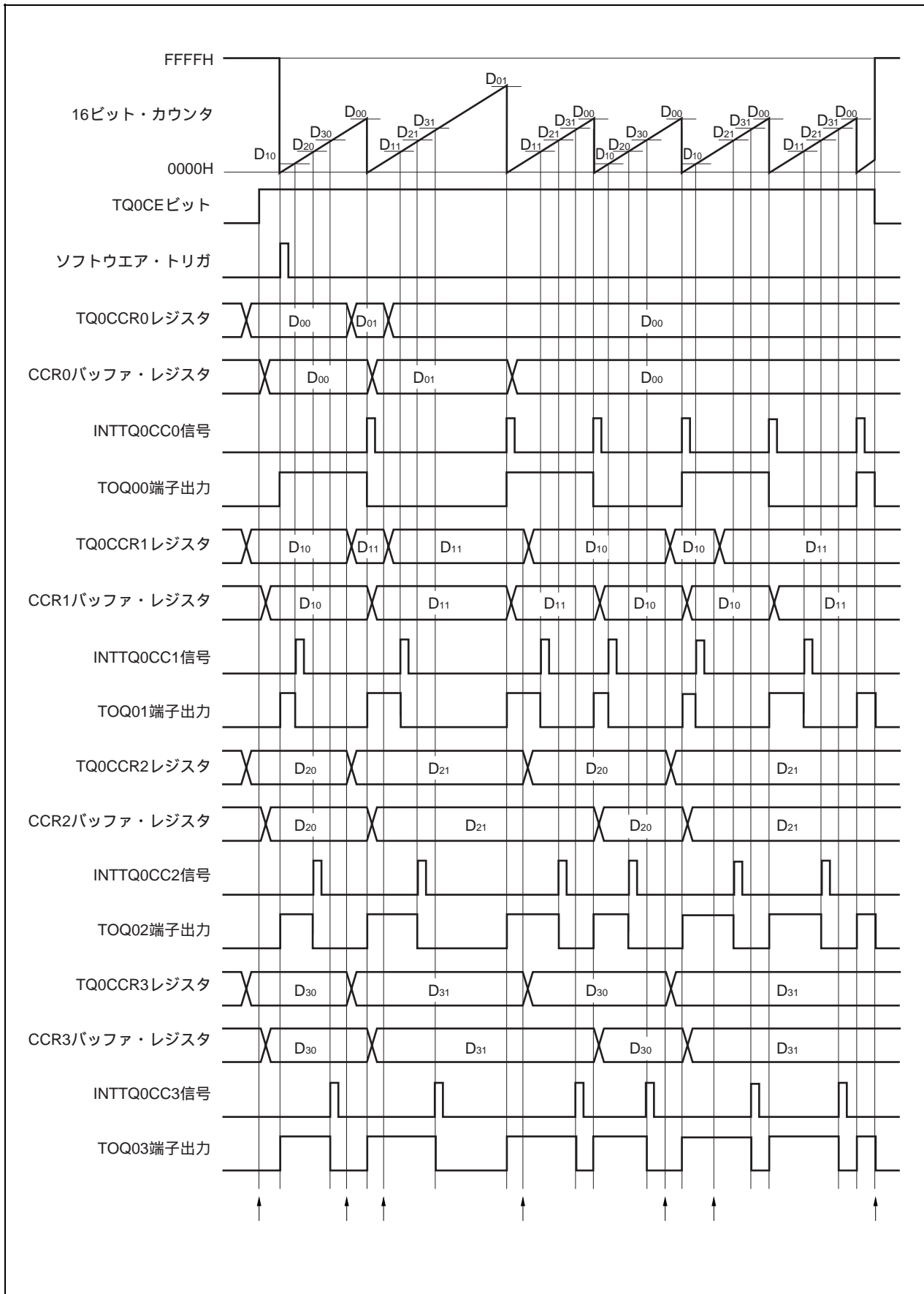
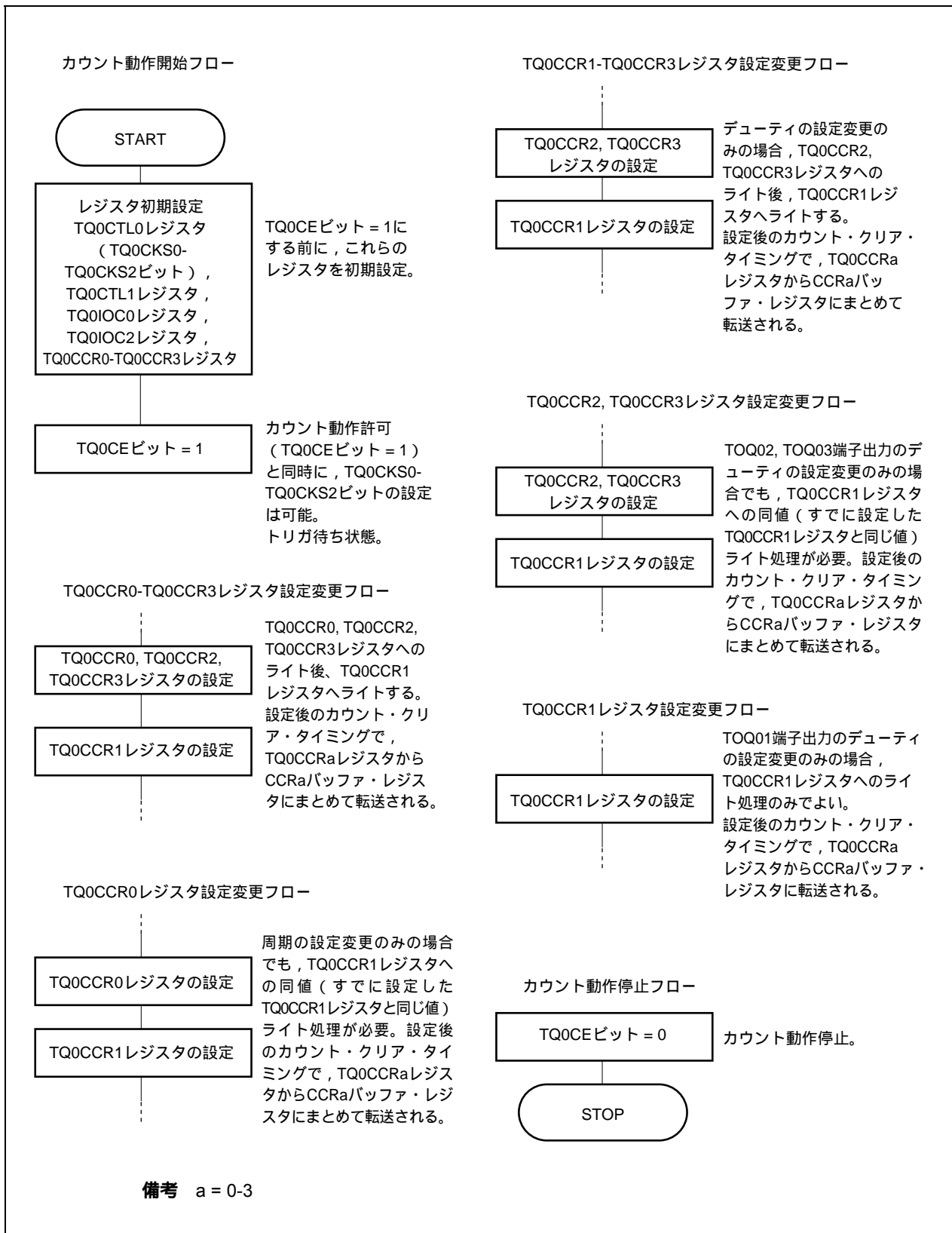


図7 - 25 外部トリガ・パルス出力モード使用時のソフトウェア処理フロー (2/2)



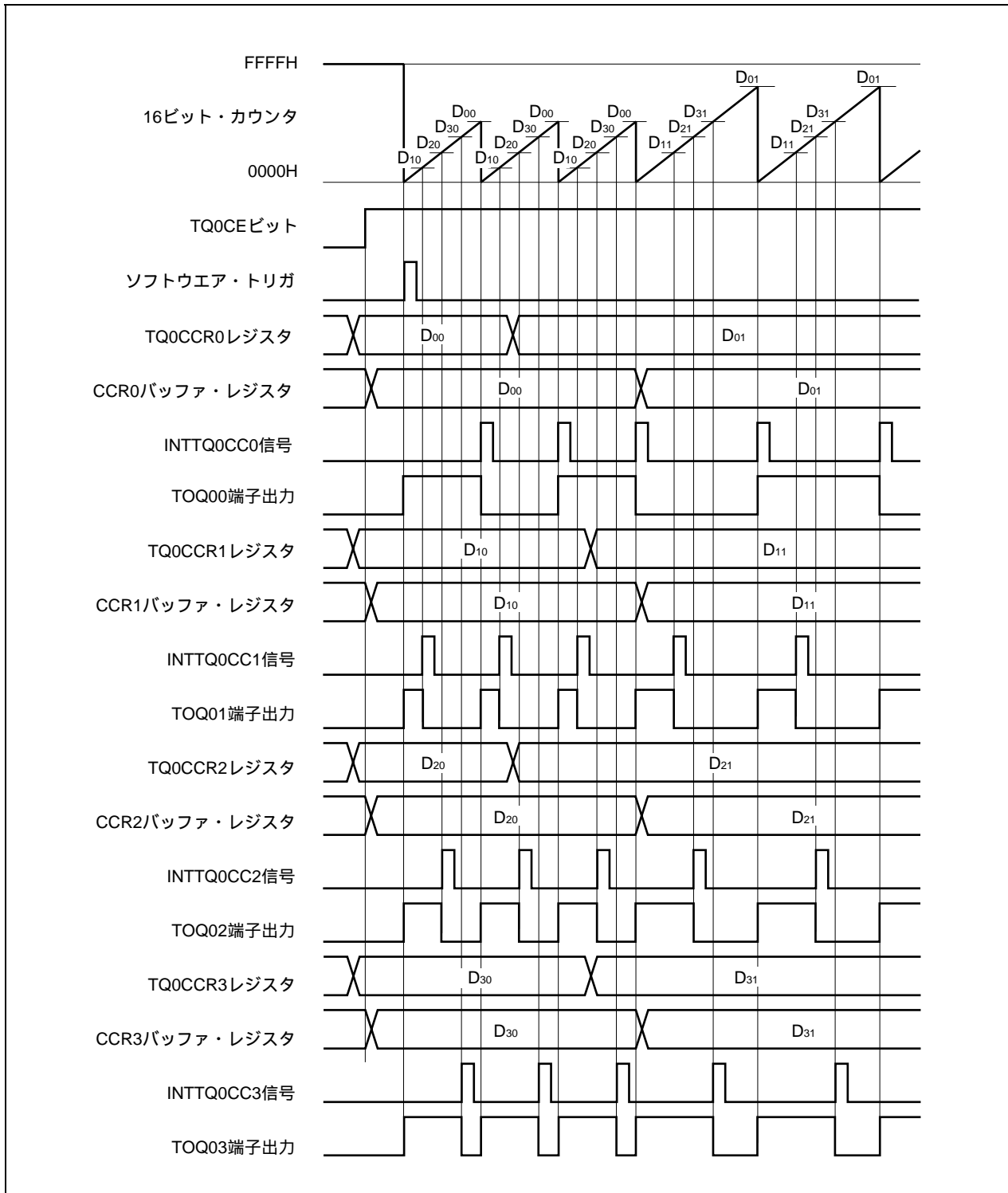
(2) 外部トリガ・パルス出力モード動作タイミング

(a) 動作中のパルス幅変更の注意事項

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRBレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。

備考 b = 1-3



TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

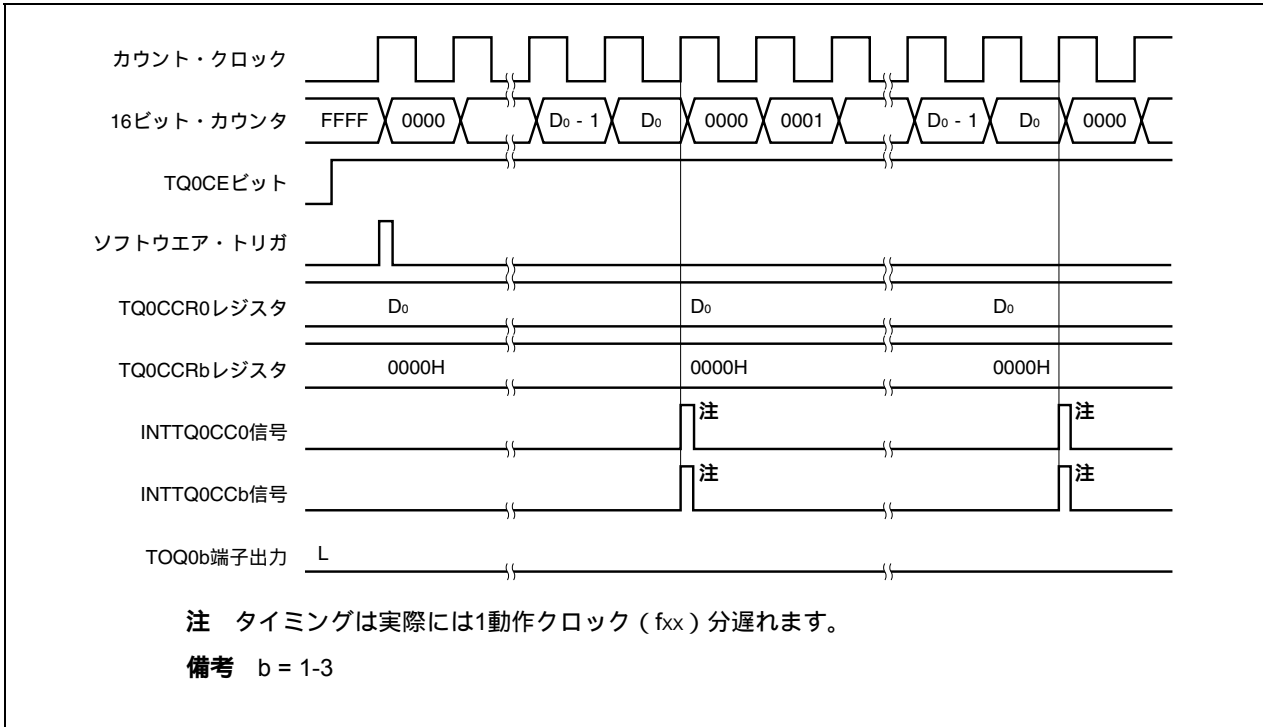
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TQ0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

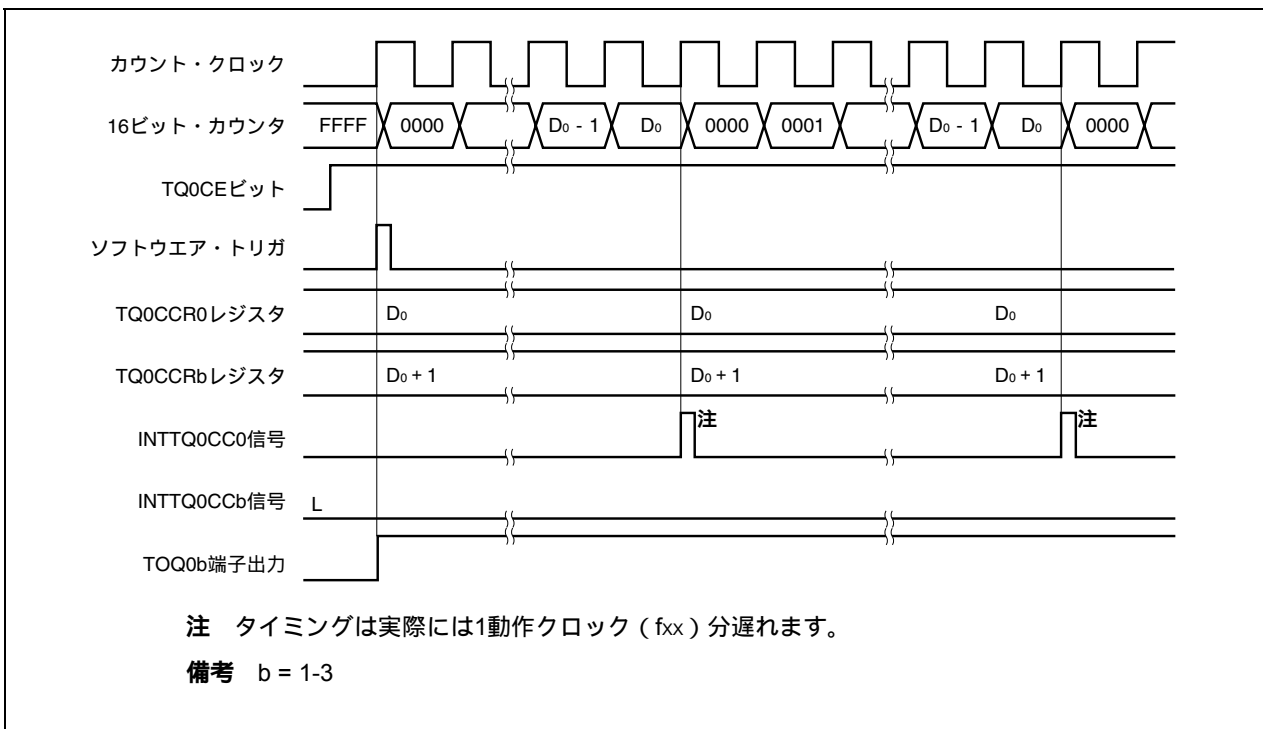
備考 a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTQ0CC0信号とINTTQ0CCb信号が発生します。

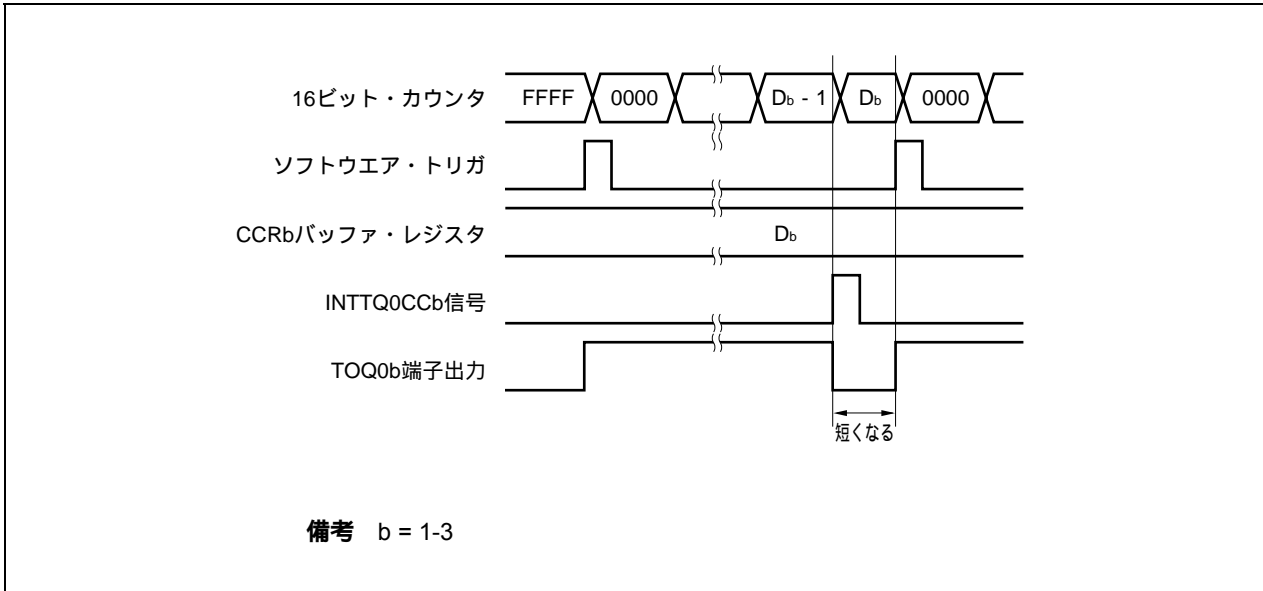


100 % 波形を出力するためには、TQ0CCRbレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

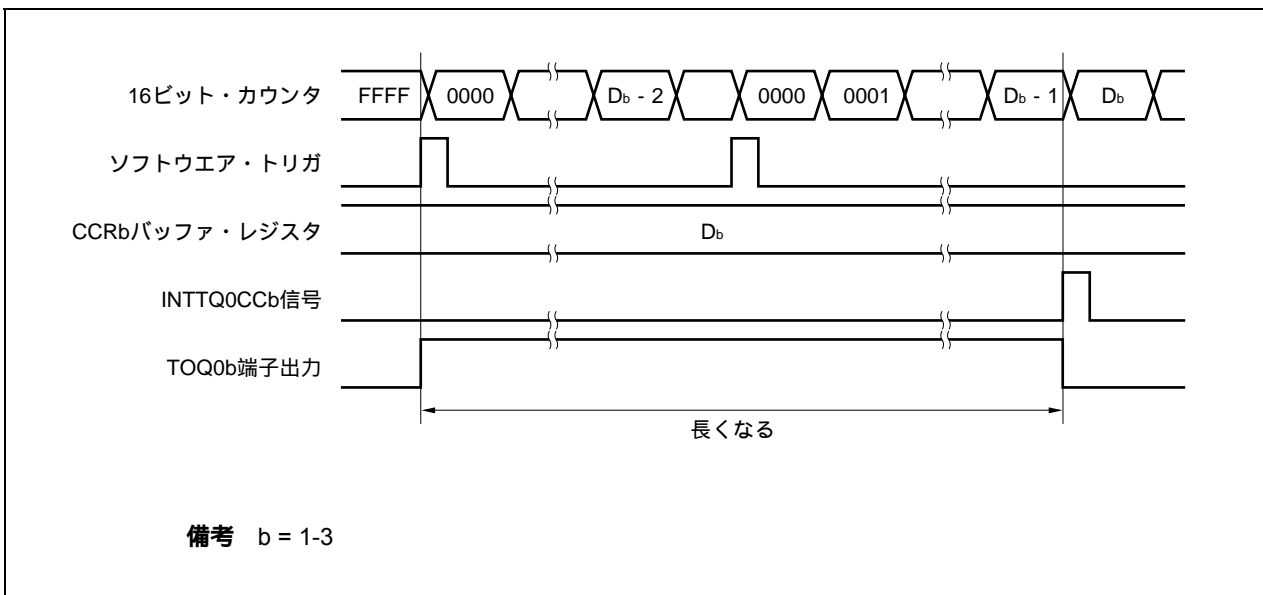


(c) トリガ検出とCCRbバッファ・レジスタとの一致の競合

INTTQ0CCb信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQ0b端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

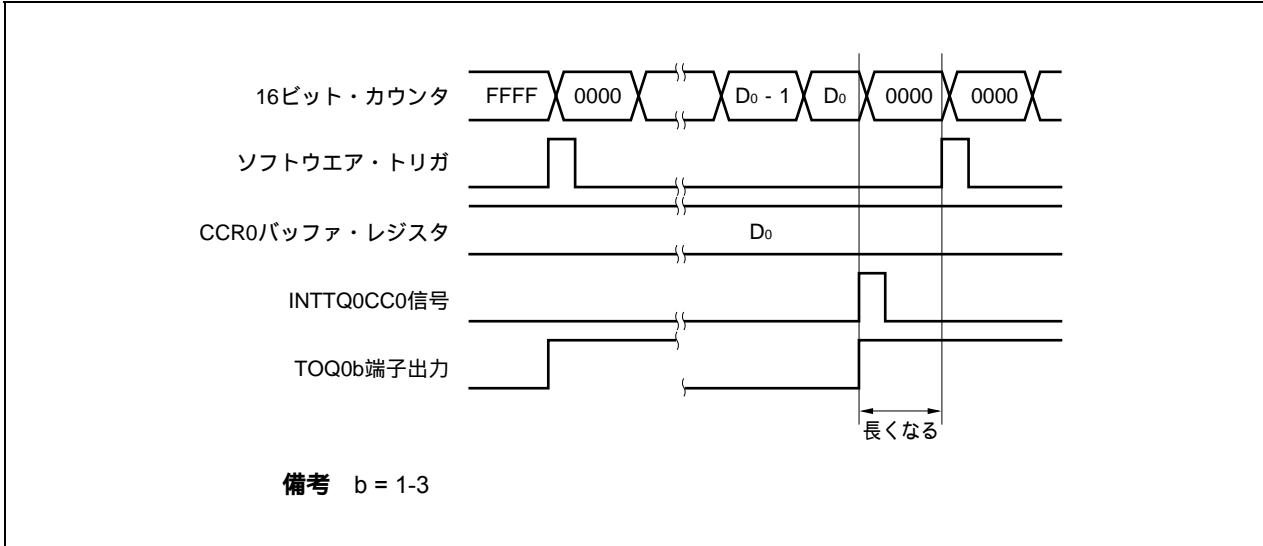


INTTQ0CCb信号発生直前にトリガを検出した場合には、INTTQ0CCb信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0b端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

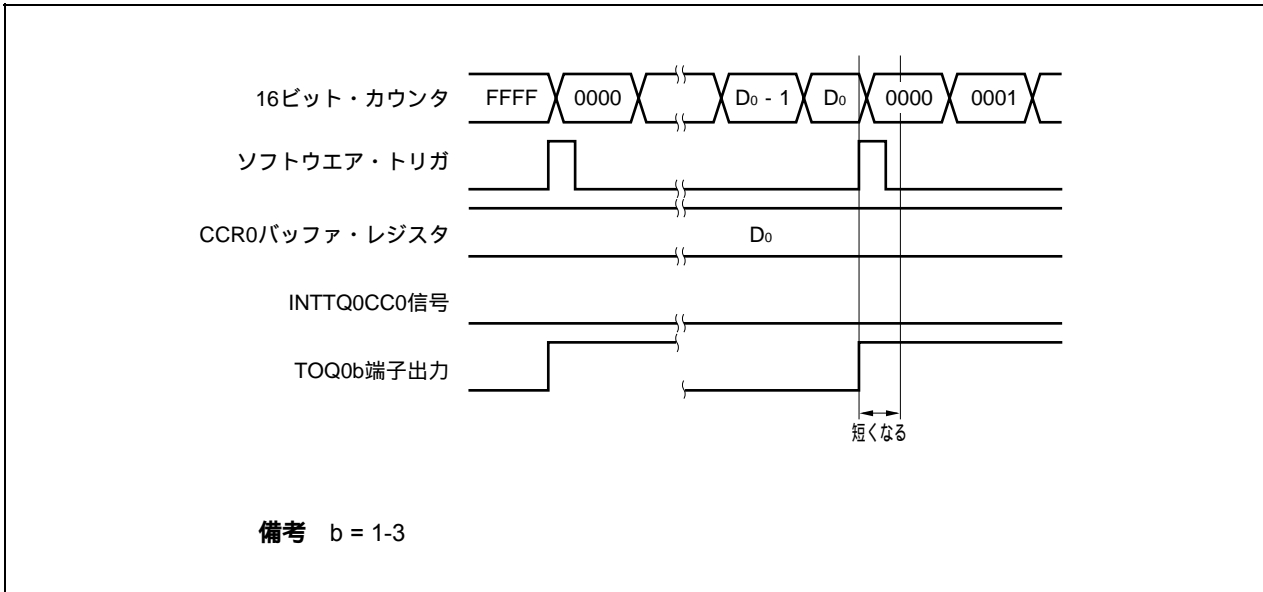


(d) トリガ検出とCCR0バッファ・レジスタとの一致の競合

INTTQ0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOQ0b端子出力のアクティブ期間が、INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。

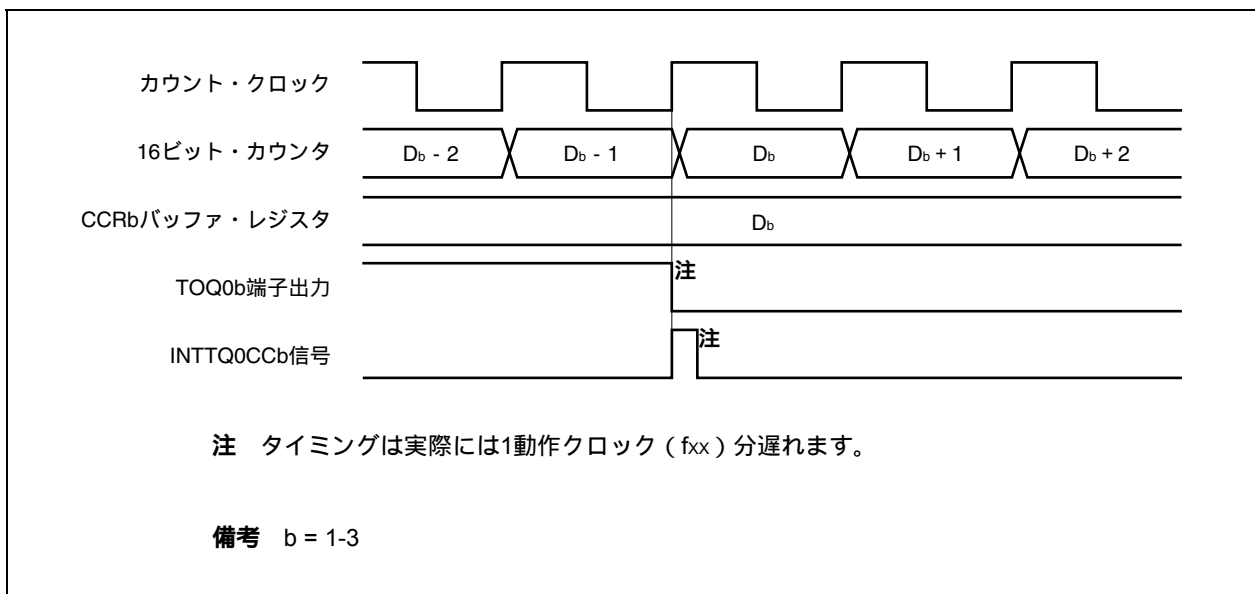


INTTQ0CC0信号発生直前にトリガを検出した場合、INTTQ0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQ0b端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。



(e) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング

外部トリガ・パルス出力モードにおけるINTTQ0CCb信号の発生タイミングは、ほかのモードのINTTQ0CCb信号と異なり、16ビット・カウンタのカウンタ値とCCRbバッファ・レジスタの値との一致と同時に発生します。



通常、INTTQ0CCb信号は、16ビット・カウンタのカウンタ値とCCRbバッファ・レジスタの値との一致後、次のカウント・アップに同期して発生します。

しかし、外部トリガ・パルス出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0b端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.6.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)

TMQ0のみ有効です。

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、ソフトウェア・トリガを発生させると、カウント動作を開始し、TOQ01-TOQ03端子からワンショット・パルスを出力します。また、TOQ00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止(トリガ待ち状態)中のときはインアクティブ・レベルを出力できます。

図7-26 ワンショット・パルス出力モードの構成図

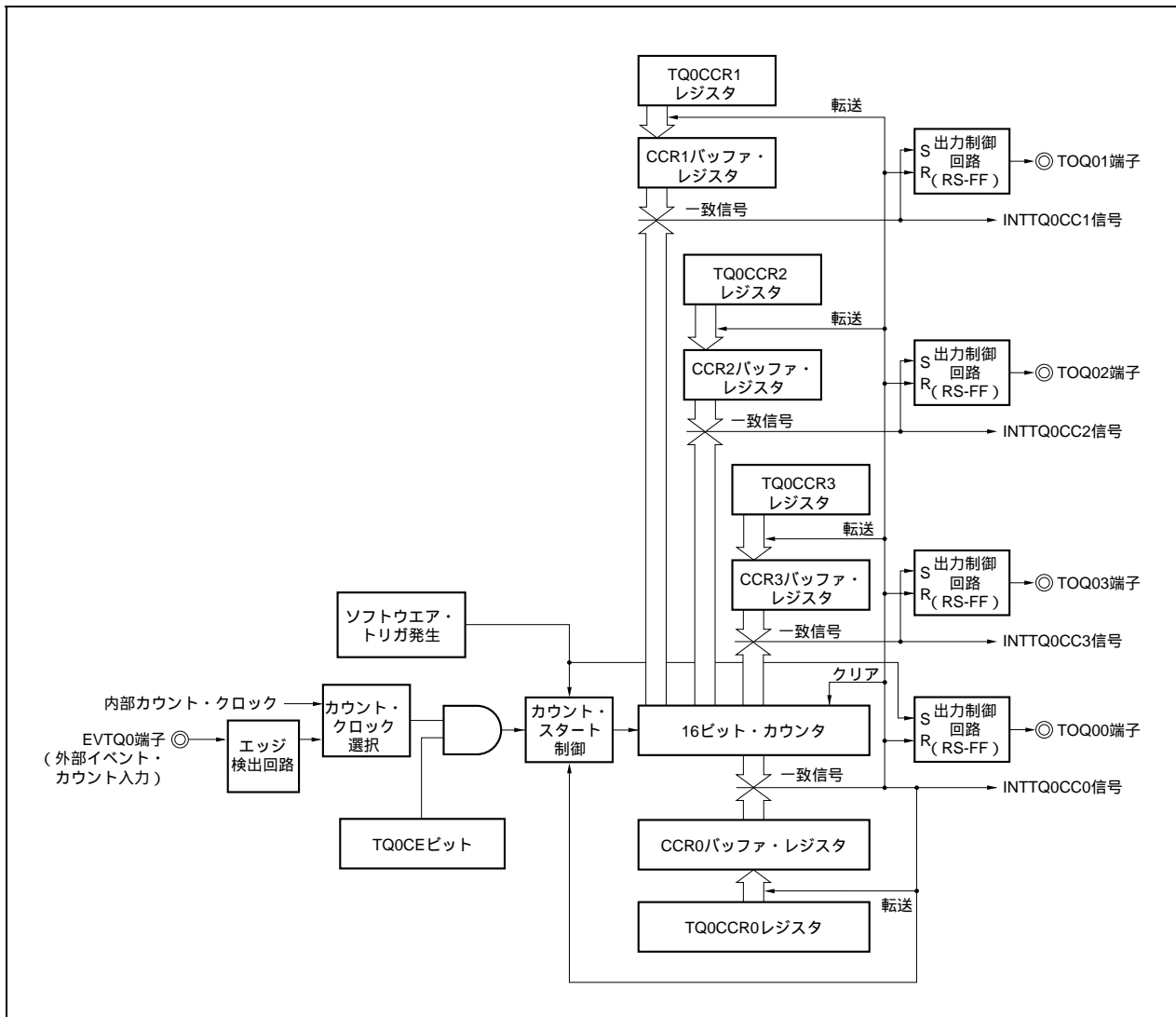
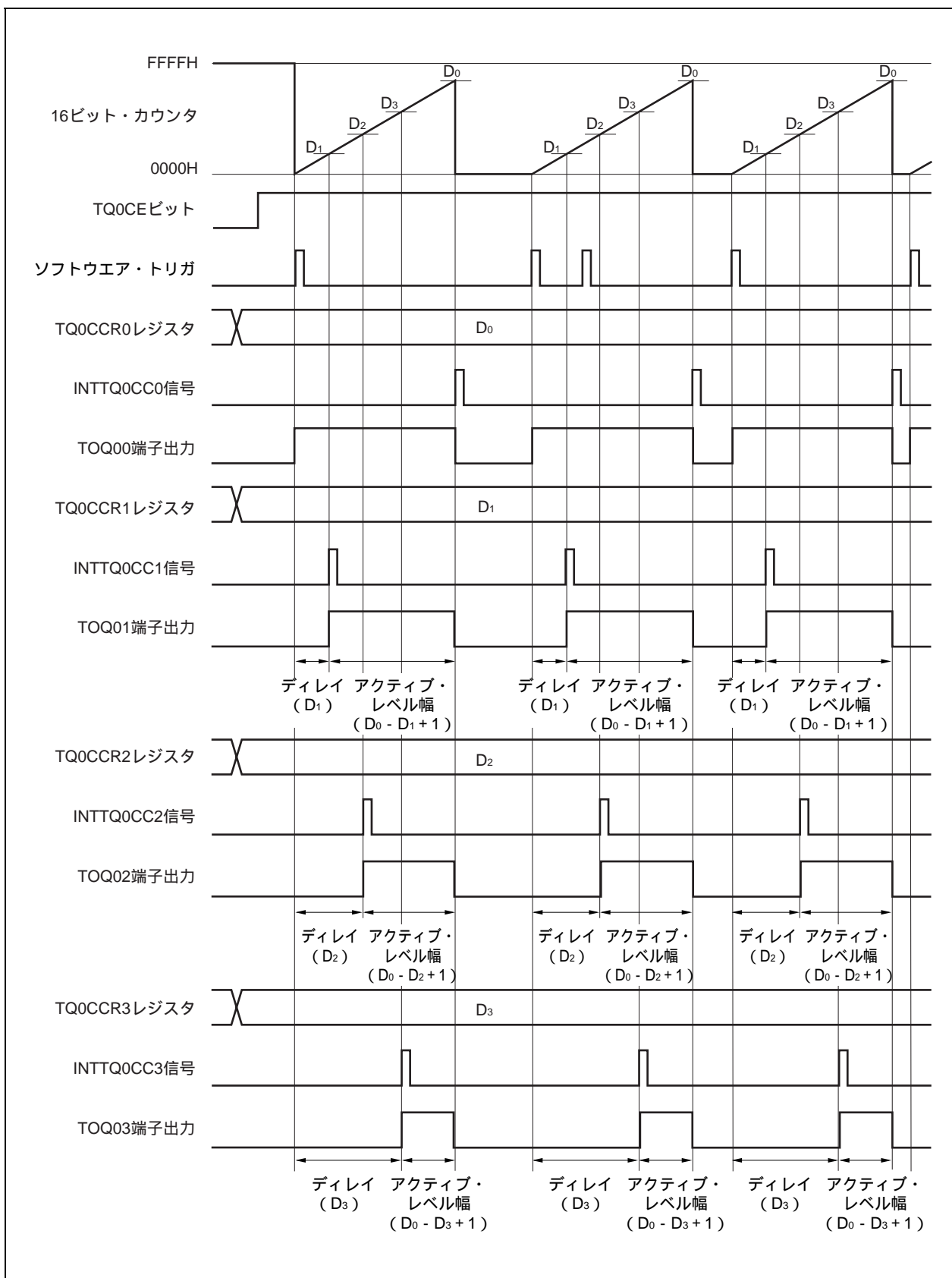


図7-27 ワンショット・パルス出力モードの基本タイミング



TQ0CEビットをセット(1)することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0b端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。再度トリガが発生すると、トリガと同時に16ビット・カウンタは0000Hよりカウント動作を開始します。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

$$\text{出力ディレイ期間} = (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{アクティブ・レベル幅} = (\text{TQ0CCR0レジスタの設定値} - \text{TQ0CCRbレジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTQ0CCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

トリガは、ソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット(1) だけです。

備考 b = 1-3

図7-28 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

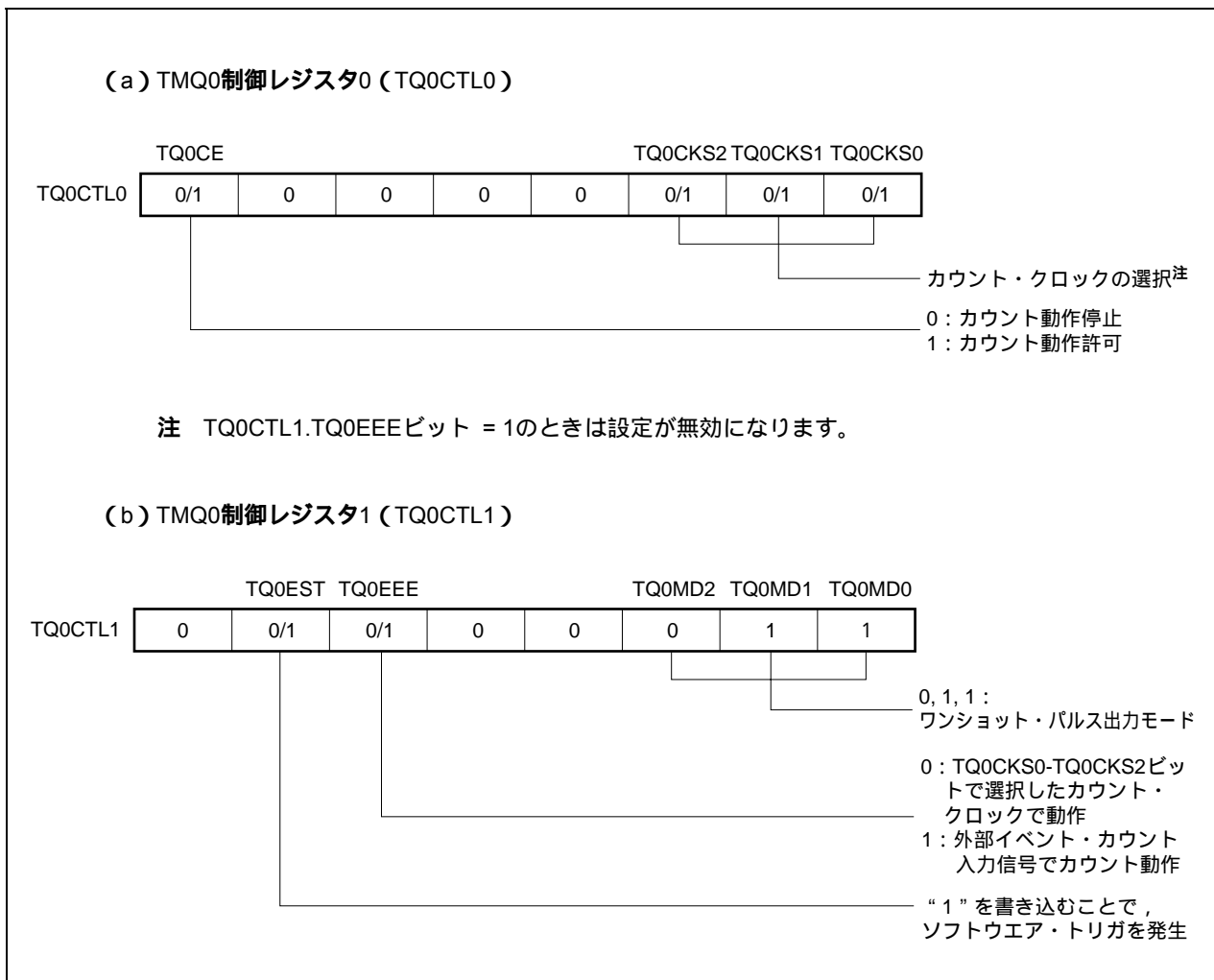


図7-28 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

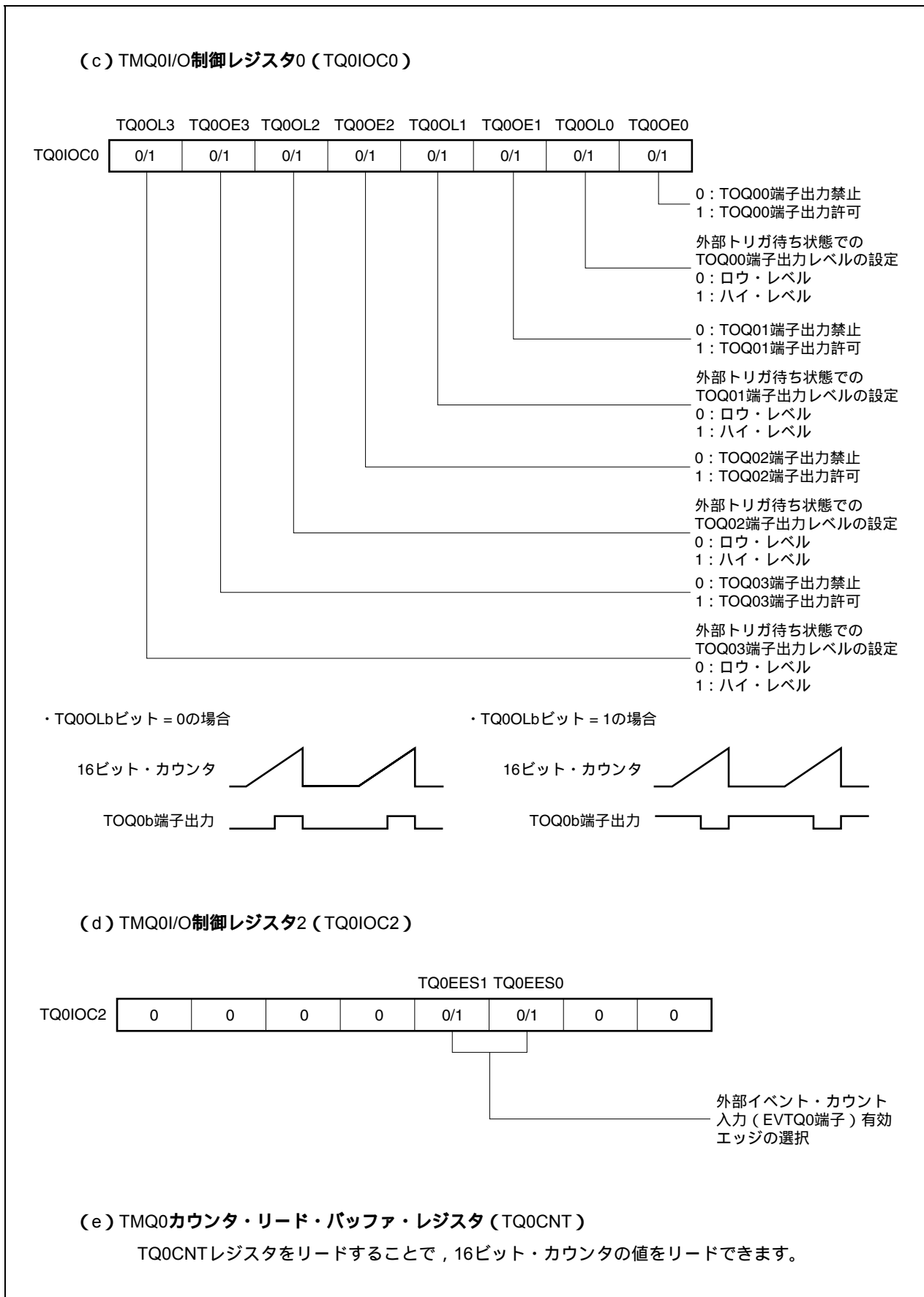


図7 - 28 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタに D_0 を設定し, TQ0CCRBレジスタに D_b を設定した場合,

ワンショット・パルスのアクティブ・レベル幅 = $(D_0 - D_b + 1) \times \text{カウント} \cdot \text{クロック周期}$

ワンショット・パルスの出力ディレイ期間 = $D_b \times \text{カウント} \cdot \text{クロック周期}$

となります。

注意 ワンショット・パルス出力モードにおいて, TQ0CCRBレジスタの設定値が, TQ0CCR0レジスタの設定値より大きい場合, ワンショット・パルスは出力しません。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, ワンショット・パルス出力モードでは使用しません。

2. $b = 1-3$

(1) ワンショット・パルス出力モード動作フロー

図7-29 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (1/2)

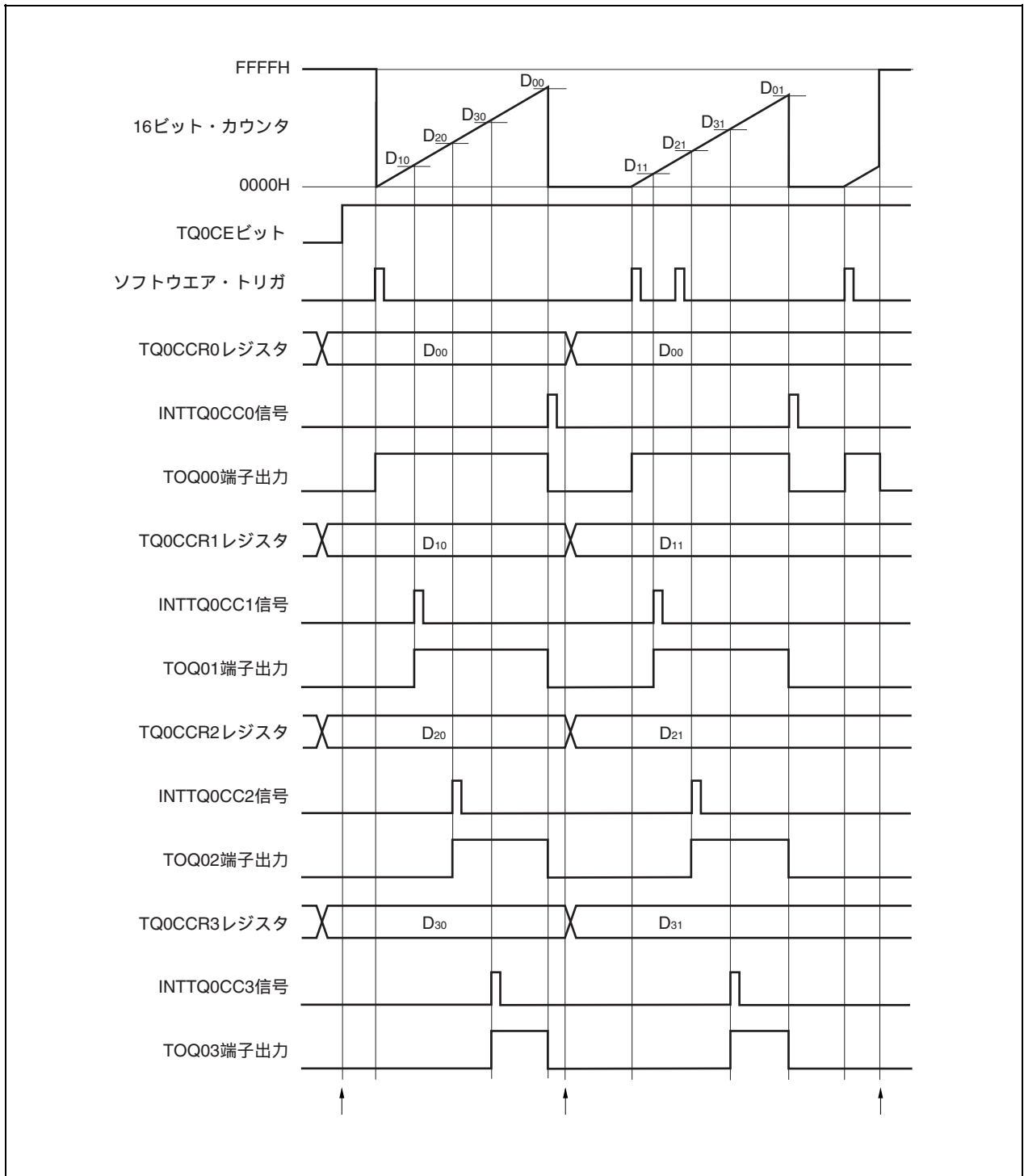
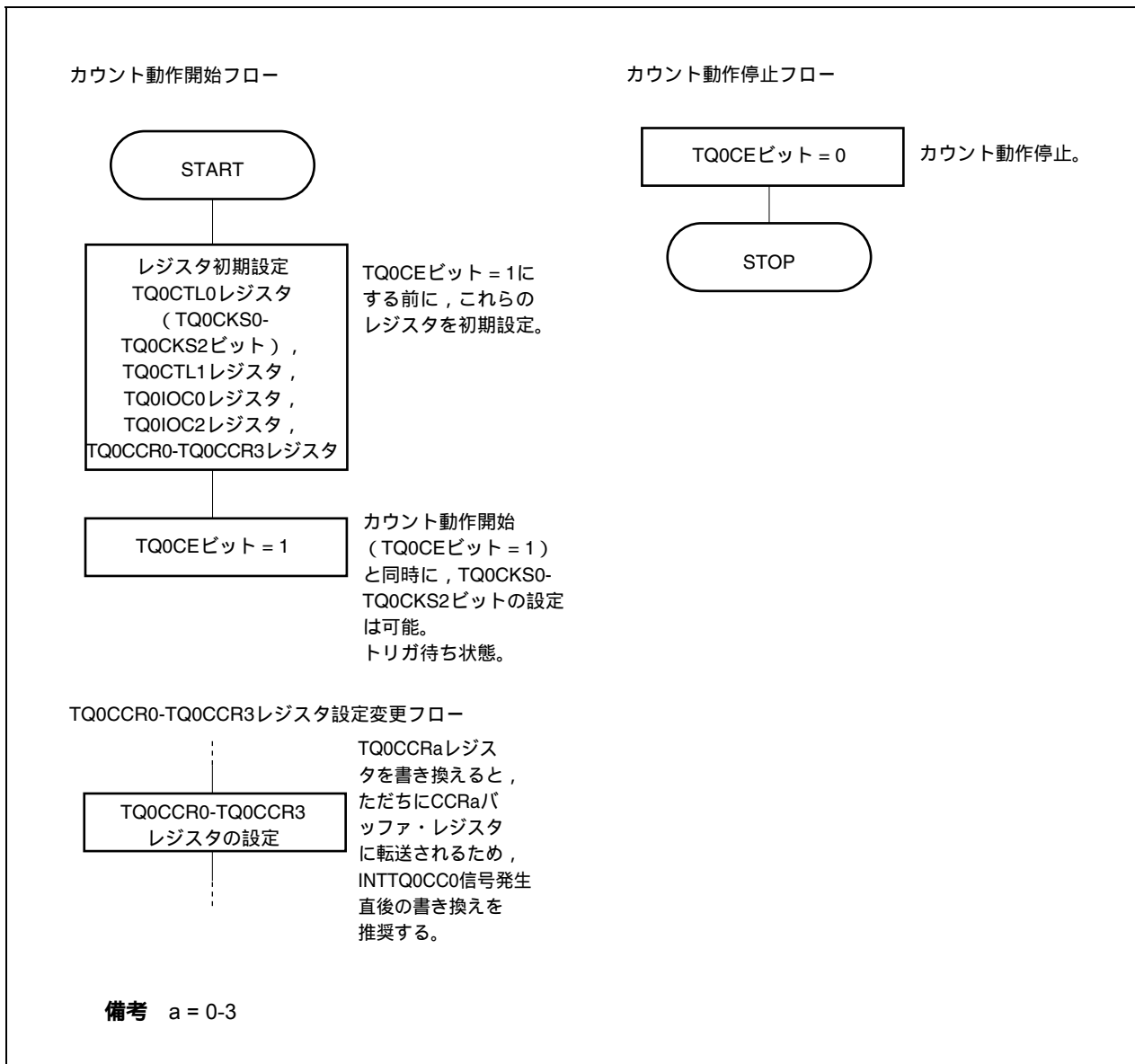


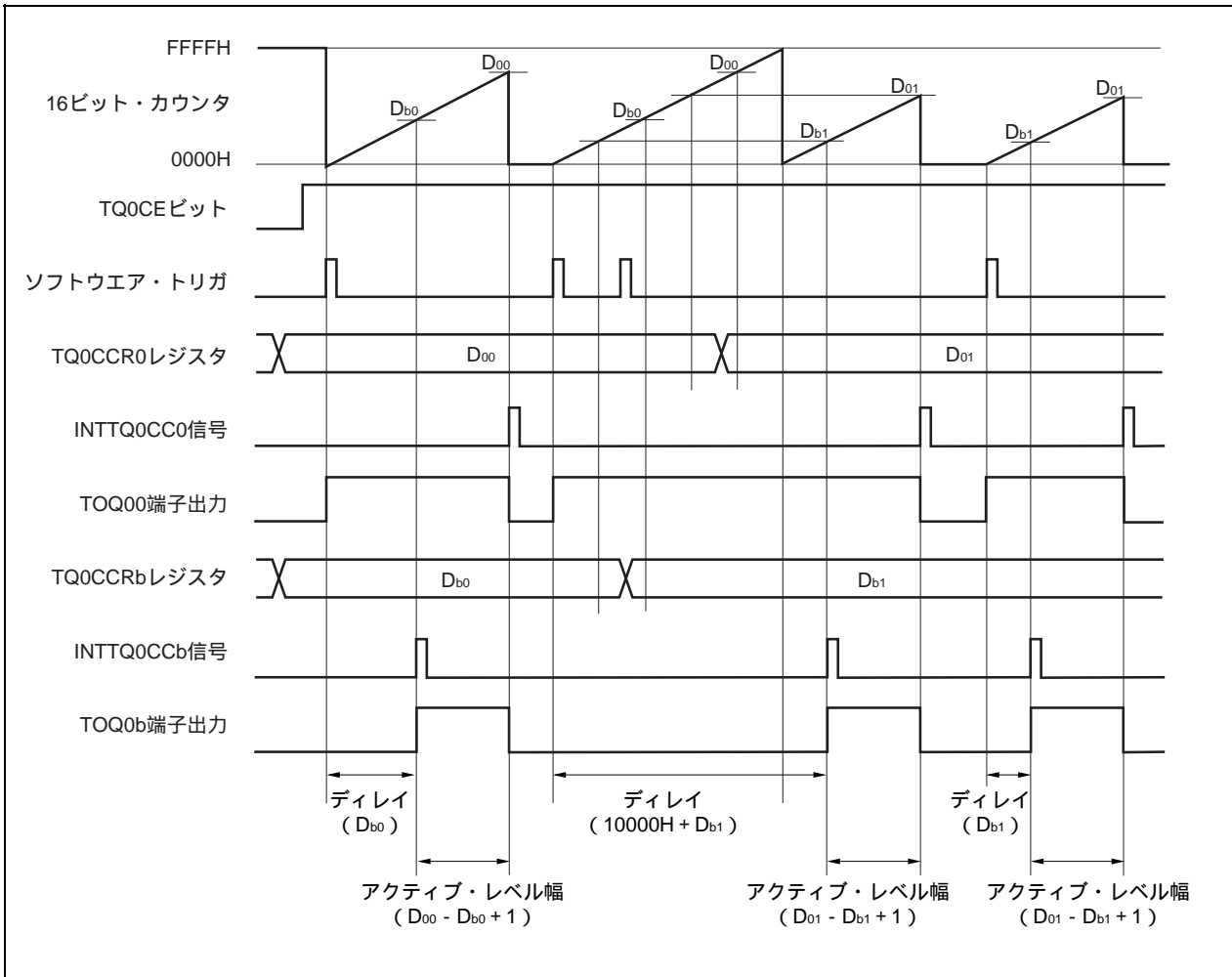
図7 - 29 ワンショット・パルス出力モード使用時のソフトウェア処理フロー (2/2)



(2) ワンショット・パルス出力モード動作タイミング

(a) TQ0CCRaレジスタの書き換えに関する注意事項

カウント動作中にTQ0CCRaレジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。オーバーフローする可能性がある場合には、一度カウント動作を停止させ、その後、設定値を変更してください。



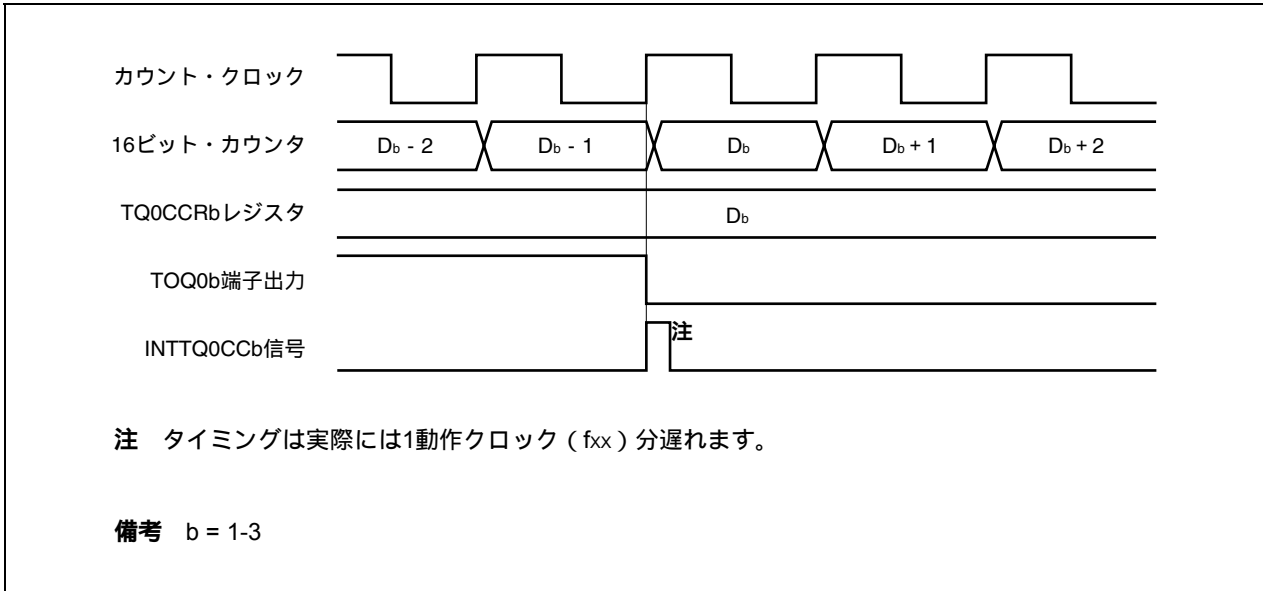
TQ0CCR0レジスタをD₀₀からD₀₁に、TQ0CCRbレジスタをD_{b0}からD_{b1}に書き換える場合において、D₀₀ > D₀₁、D_{b0} > D_{b1}の状態では、16ビット・カウンタのカウント値がD_{b1}よりも大きくD_{b0}よりも小さい状態のときTQ0CCRbレジスタを書き換え、カウント値がD₀₁よりも大きくD₀₀よりも小さい状態でTQ0CCR0レジスタを書き換えた場合、書き換えたタイミングで、それぞれの設定値は反映されてカウント値と比較されるために、カウント値はFFFFHまでカウント動作を行い、その後、0000Hから再度カウント・アップを行います。そして、D_{b1}との一致でINTTQ0CCb信号を発生してTOQ0b端子出力をアクティブ・レベルにし、D₀₁との一致でINTTQ0CC0信号を発生してTOQ00端子出力をインアクティブにしてカウント動作を停止します。

したがって、本来期待しているワンショット・パルス出力に対し、ディレイ期間またはアクティブ期間が異なるパルスを出力してしまう場合があります。

備考 a = 0-3, b = 1-3

(b) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング

ワンショット・パルス出力モードにおけるINTTQ0CCb信号の発生タイミングは、ほかのモードのINTTQ0CCb信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致と同時に発生します。



通常,INTTQ0CCb信号は,16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致後,次のカウント・アップに同期して発生します。

しかし,ワンショット・パルス出力モードの場合,1クロック早いタイミングで発生します。これは,TOQ0b端子出力の変化タイミングとあわせるために,タイミングを変更しているからです。

7.6.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)

TMQ0のみ有効です。

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することで、TQ0Q1-TQ0Q3 (TOQH01-TOQH03) 端子からPWM波形を出力します。

また、TQ0Q0端子から、TQ0CCR0レジスタの設定値+1を半周期とする50 %デューティのPWM波形を出力します。

図7 - 30 PWM出力モードの構成図

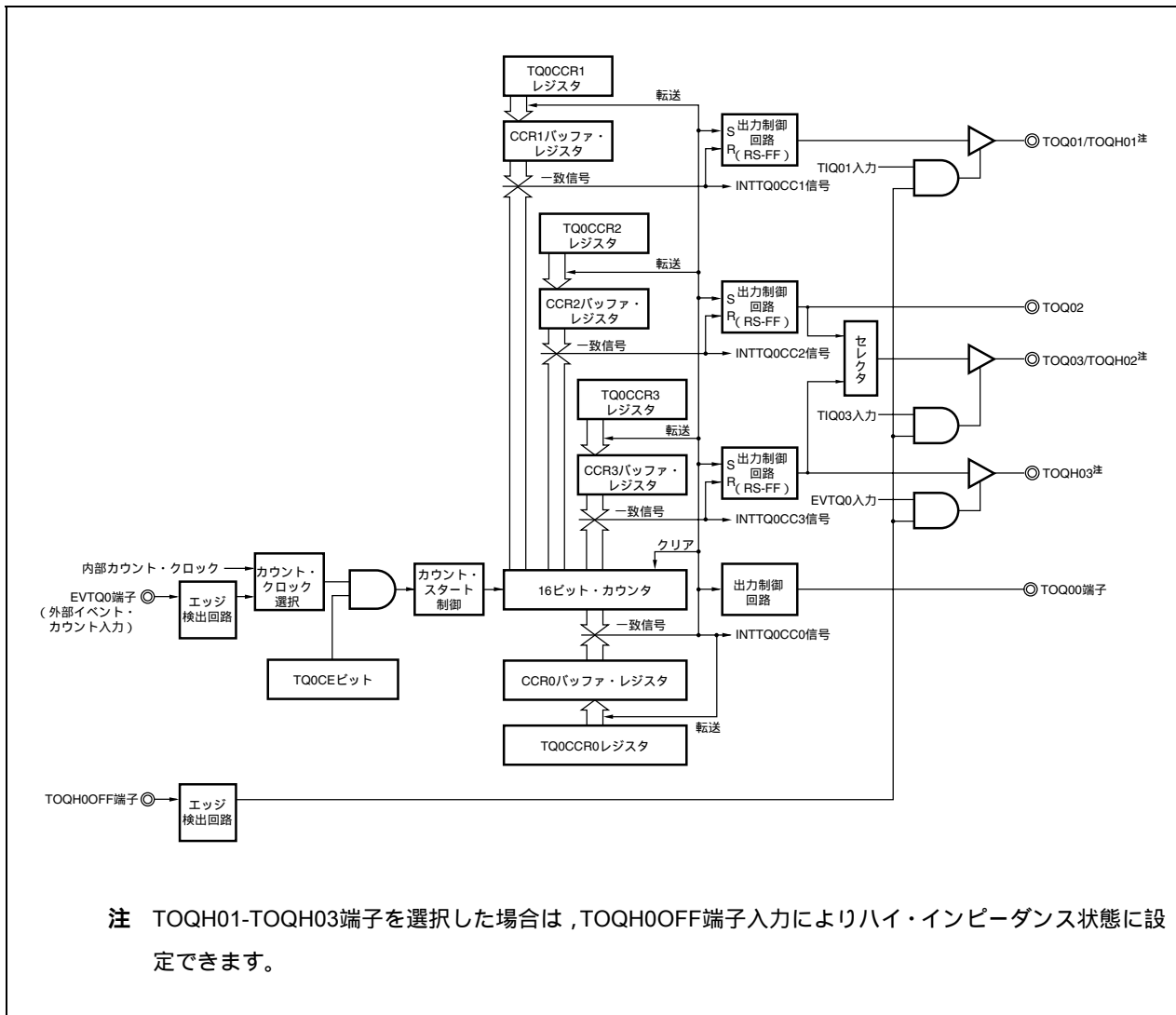
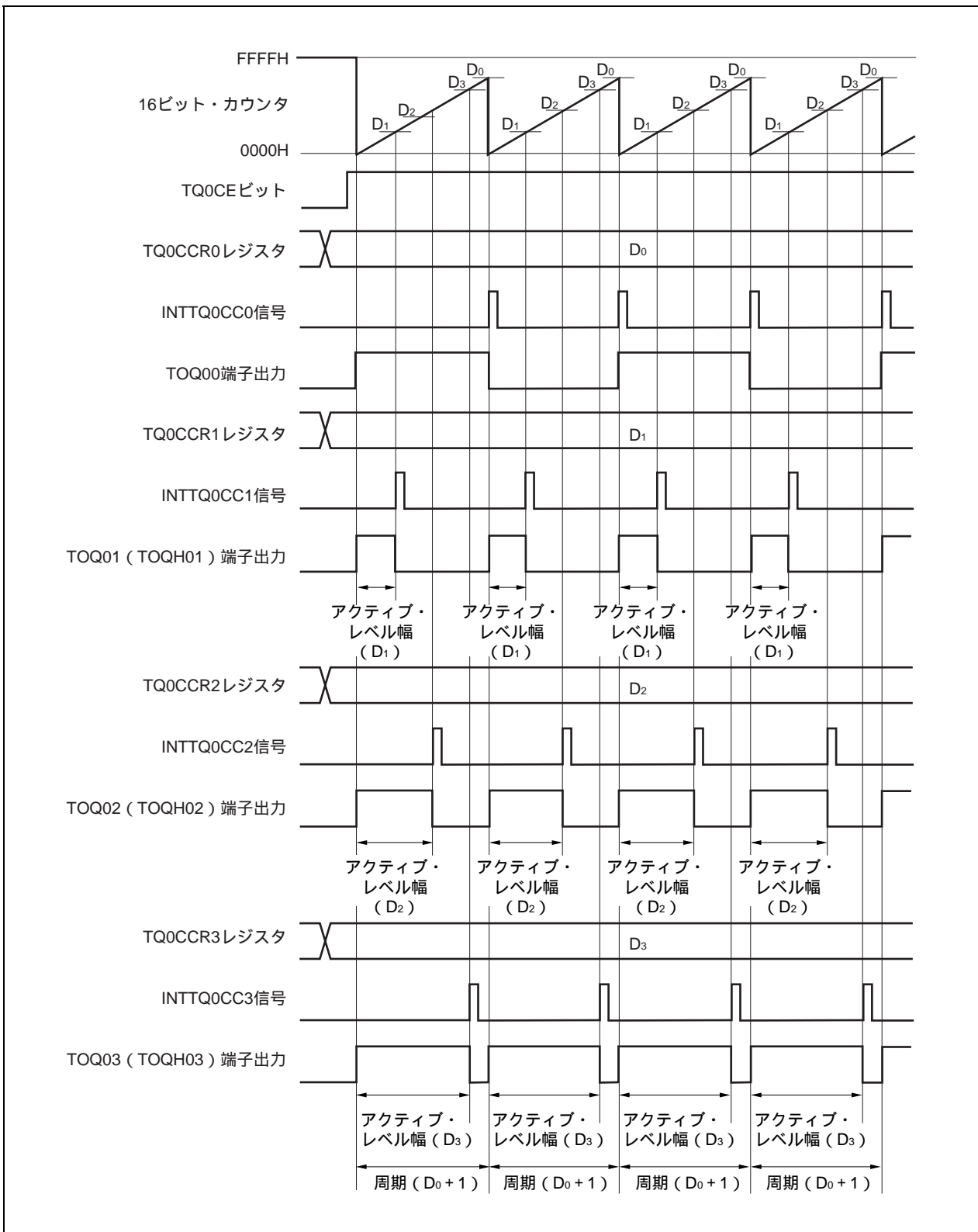


図7 - 31 PWM出力モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ00b (TQ0H0b) 端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TQ0CCRbレジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TQ0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

$$\text{デューティ} = (\text{TQ0CCRbレジスタの設定値}) / (\text{TQ0CCR0レジスタの設定値} + 1)$$

動作中にTQ0CCRaレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQ0CCb) は、16ビット・カウンタのカウント値とCCRbバッファ・レジスタの値が一致するタイミングで発生します。

備考 a = 0-3

b = 1-3

図7 - 32 PWM出力モード動作時のレジスタ設定内容 (1/3)

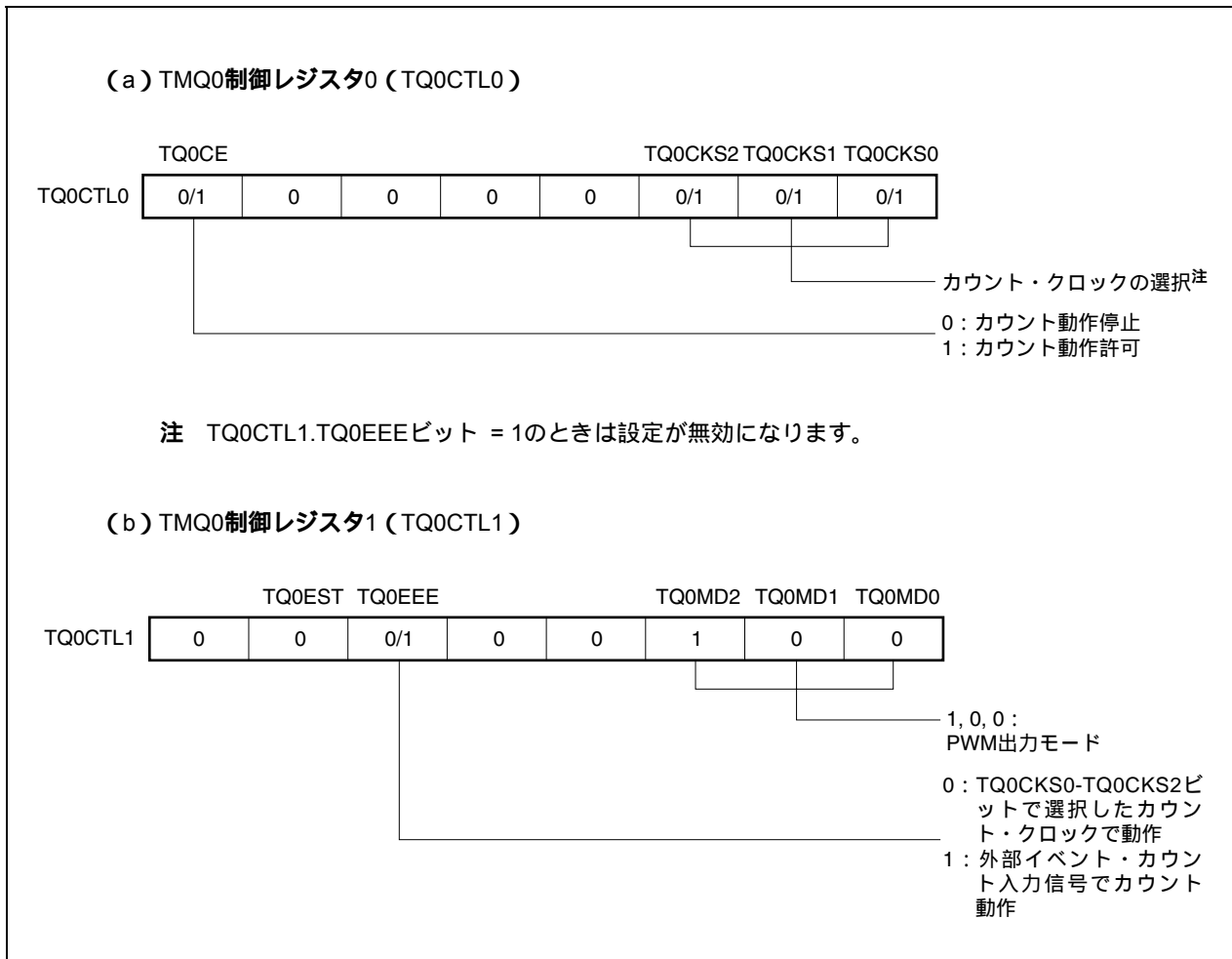


図7 - 32 PWM出力モード動作時のレジスタ設定内容 (2/3)

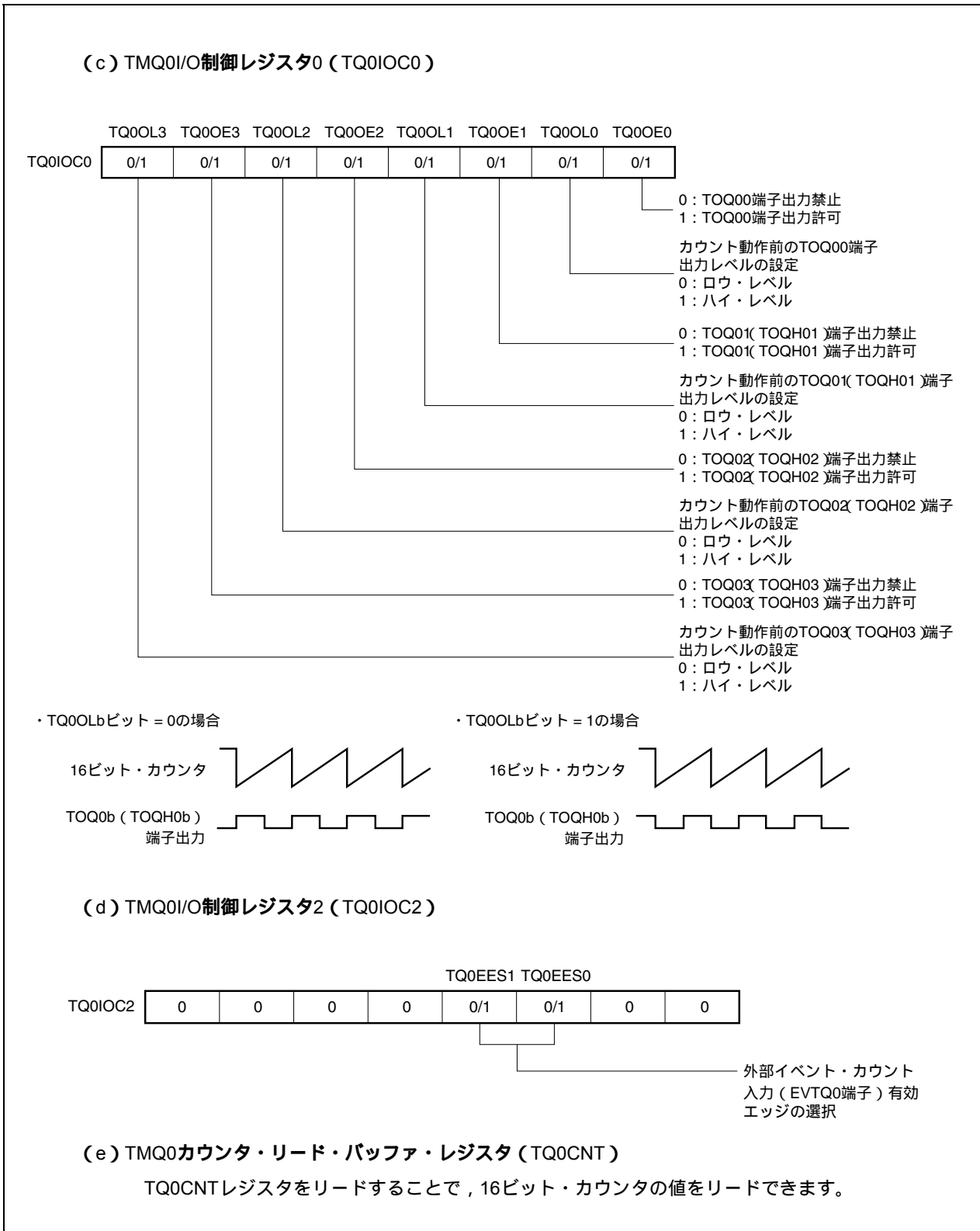


図7 - 32 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し, TQ0CCRbレジスタにD_bを設定した場合,

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_b \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1), TMQ0オプション・レジスタ0 (TQ0OPT0) は, PWM出力モードでは使用しません。

2. b = 1-3

(1) PWM出力モード動作フロー

図7 - 33 PWM出力モード使用時のソフトウェア処理フロー (1/2)

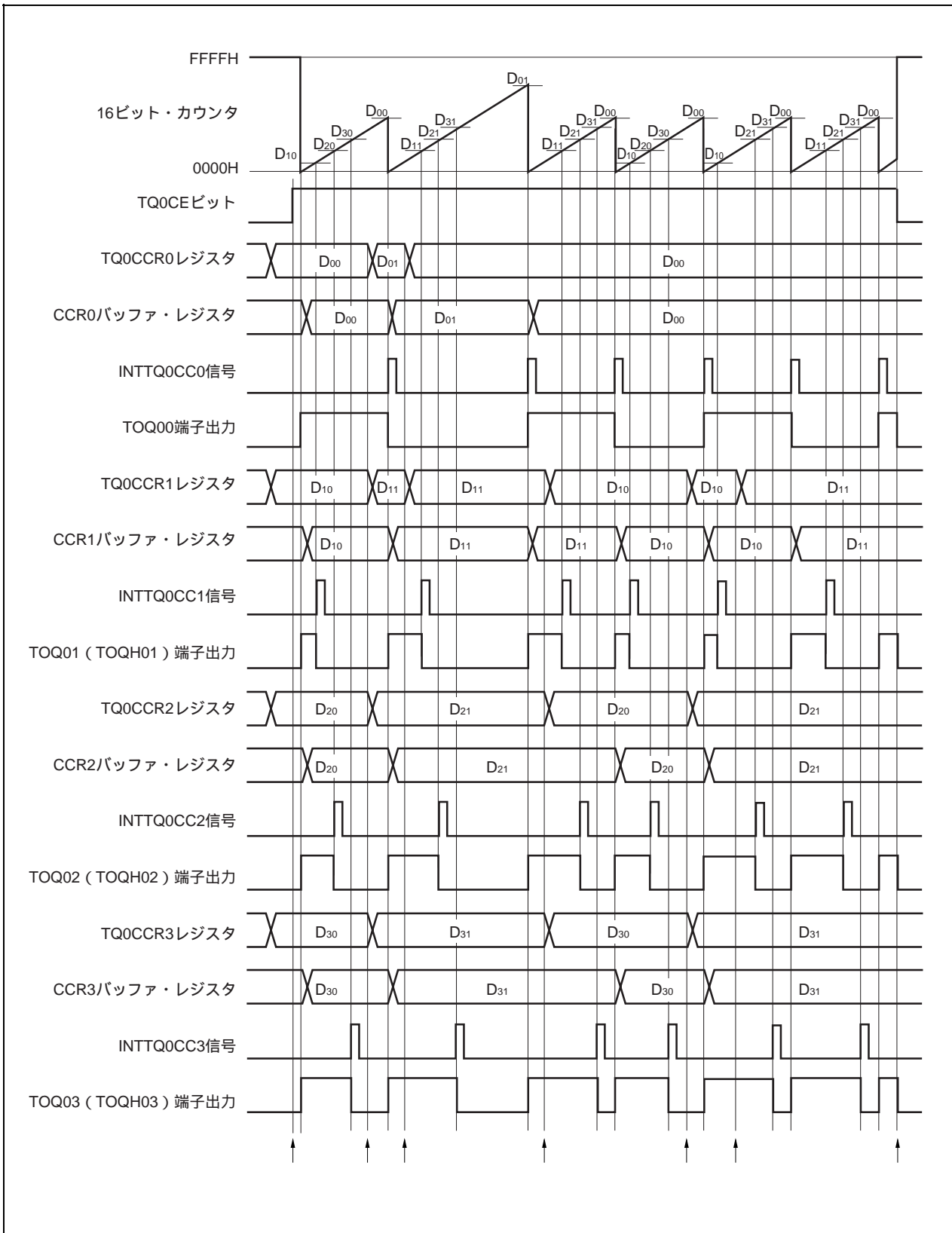
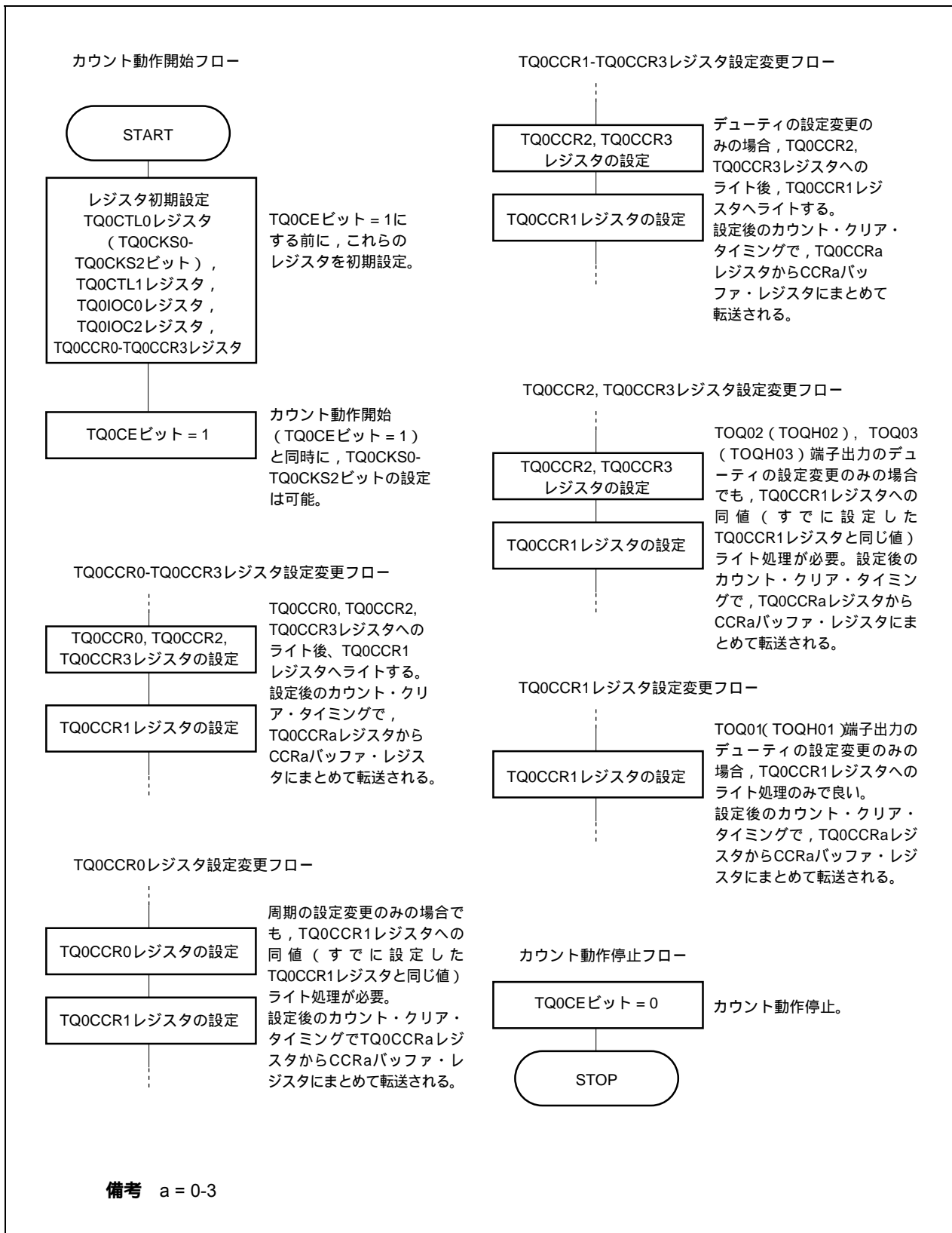


図7 - 33 PWM出力モード使用時のソフトウェア処理フロー (2/2)

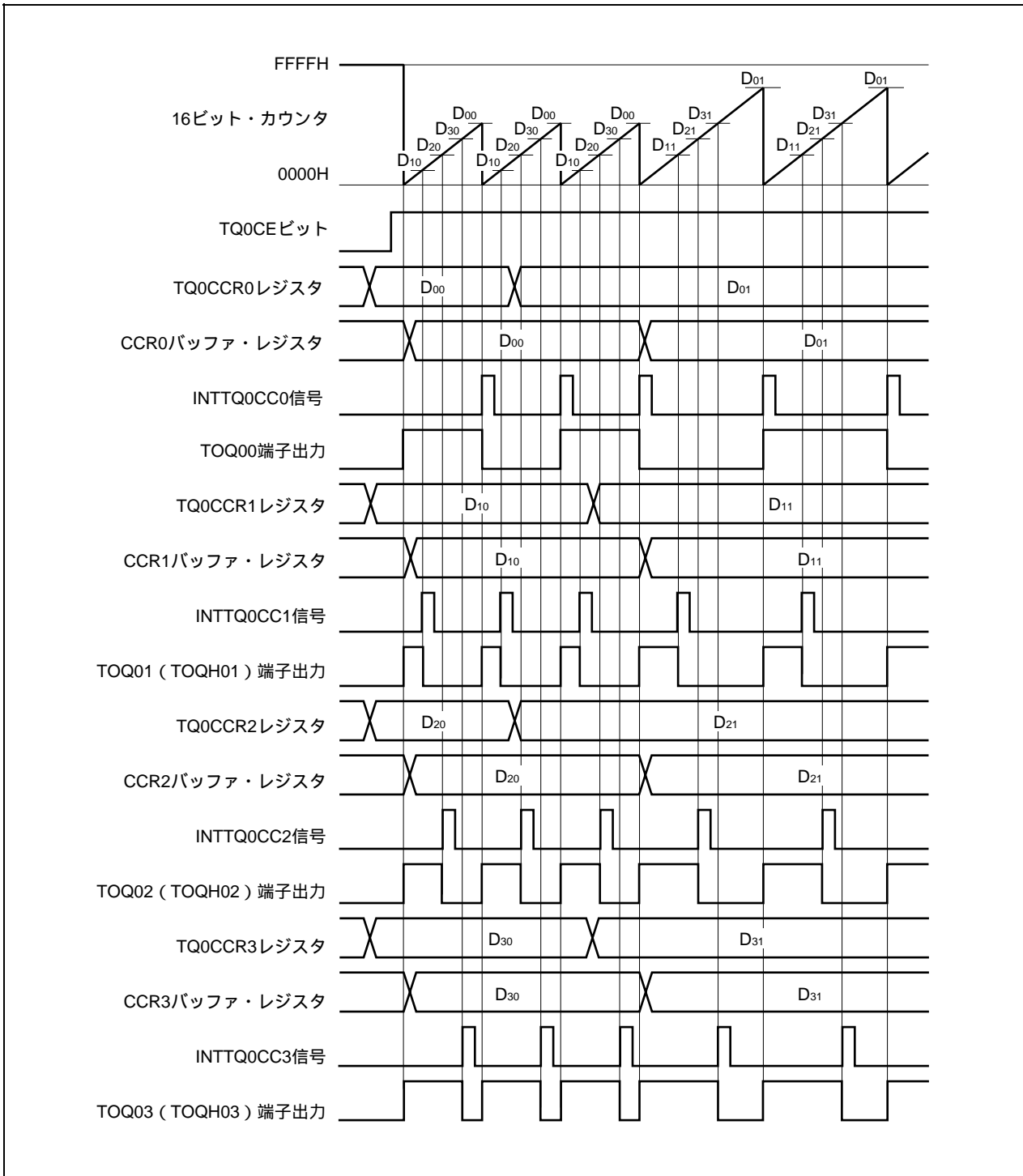


(2) PWM出力モード動作タイミング

(a) 動作中のパルス幅の変更

動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRaレジスタの書き換えを行う場合には、INTTQ0CC1信号を検出後に書き換えてください。



TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

このとき、PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

PWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。

TOQ01 (TOQH01) 端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。

TOQ02 (TOQH02) , TOQ03 (TOQH03) 端子出力のPWM波形のアクティブ・レベル幅(デューティ)のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）をライトしてください。

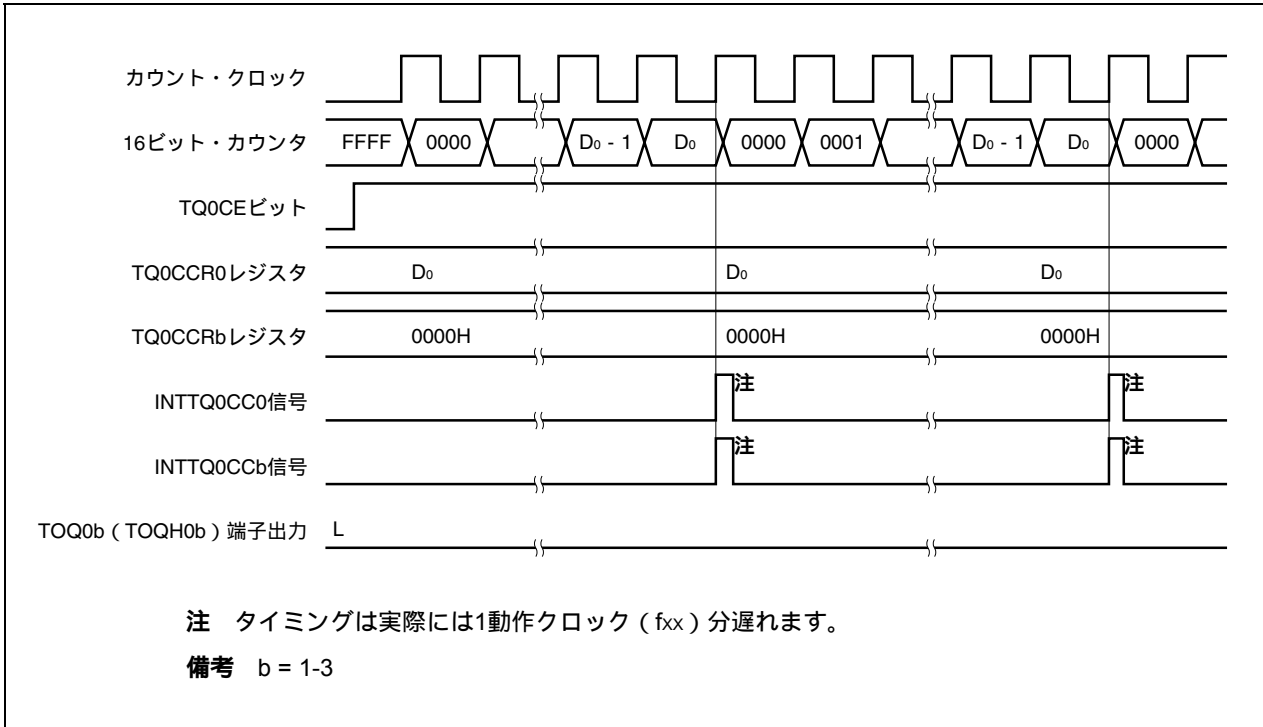
TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

また、一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TQ0CCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

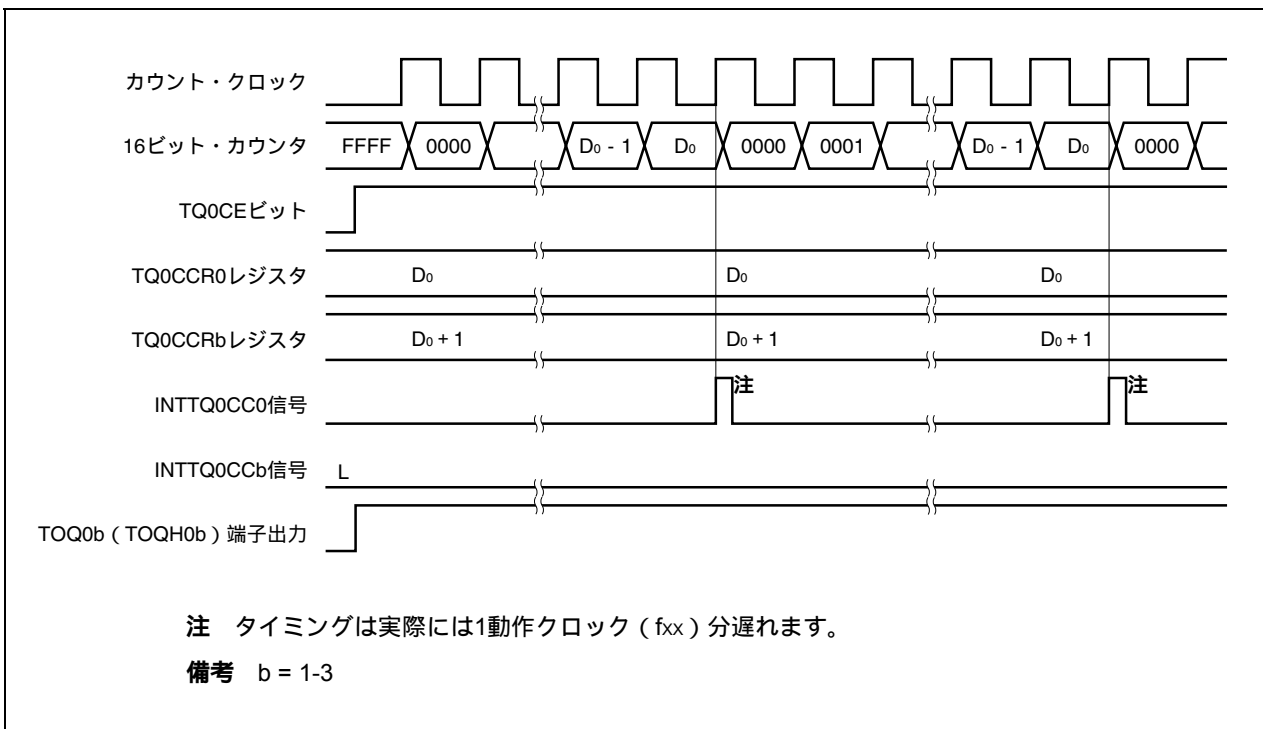
備考 a = 0-3

(b) PWM波形の0 % / 100 %出力

0 % 波形を出力するためには、TQ0CCRbレジスタに対して0000Hを設定します。16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致した次のタイミングで16ビット・カウンタは0000Hにクリアされ、INTTQ0CC0信号とINTTQ0CCb信号が発生します。

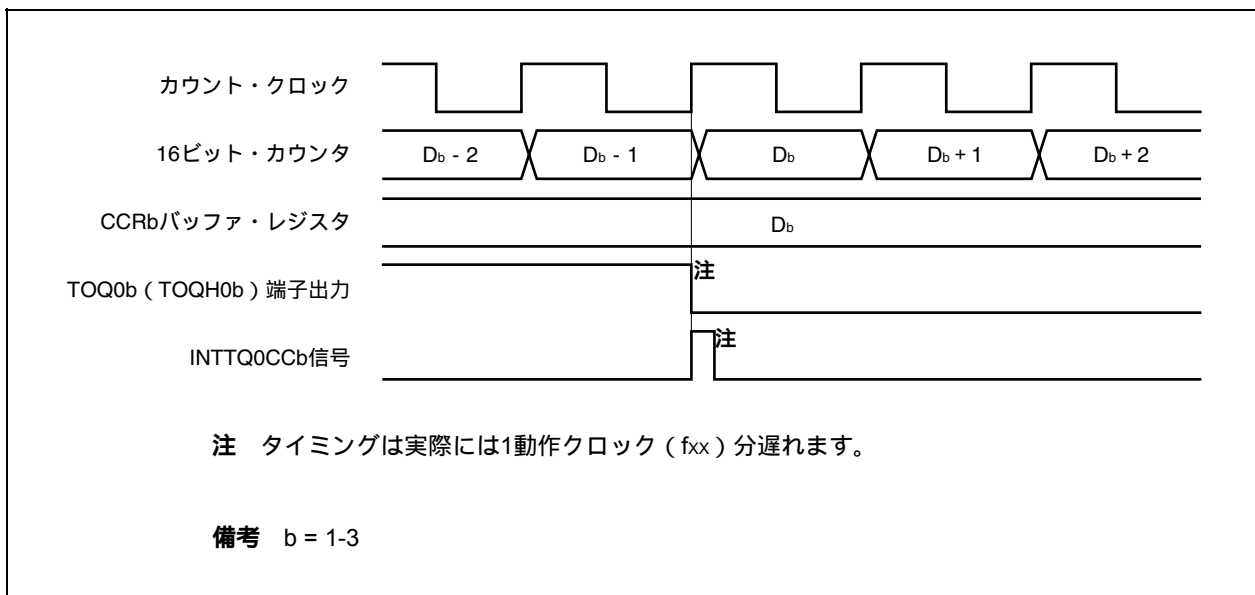


100 % 波形を出力するためには、TQ0CCRbレジスタに対して (TQ0CCR0レジスタの設定値 + 1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。



(c) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング

PWM出力モードにおけるINTTQ0CCb信号の発生タイミングは、ほかのモードのINTTQ0CCb信号と異なり、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致と同時に発生します。



通常、INTTQ0CCb信号は、16ビット・カウンタのカウンタ値とTQ0CCRbレジスタの値との一致後、次のカウンタ・アップに同期して発生します。

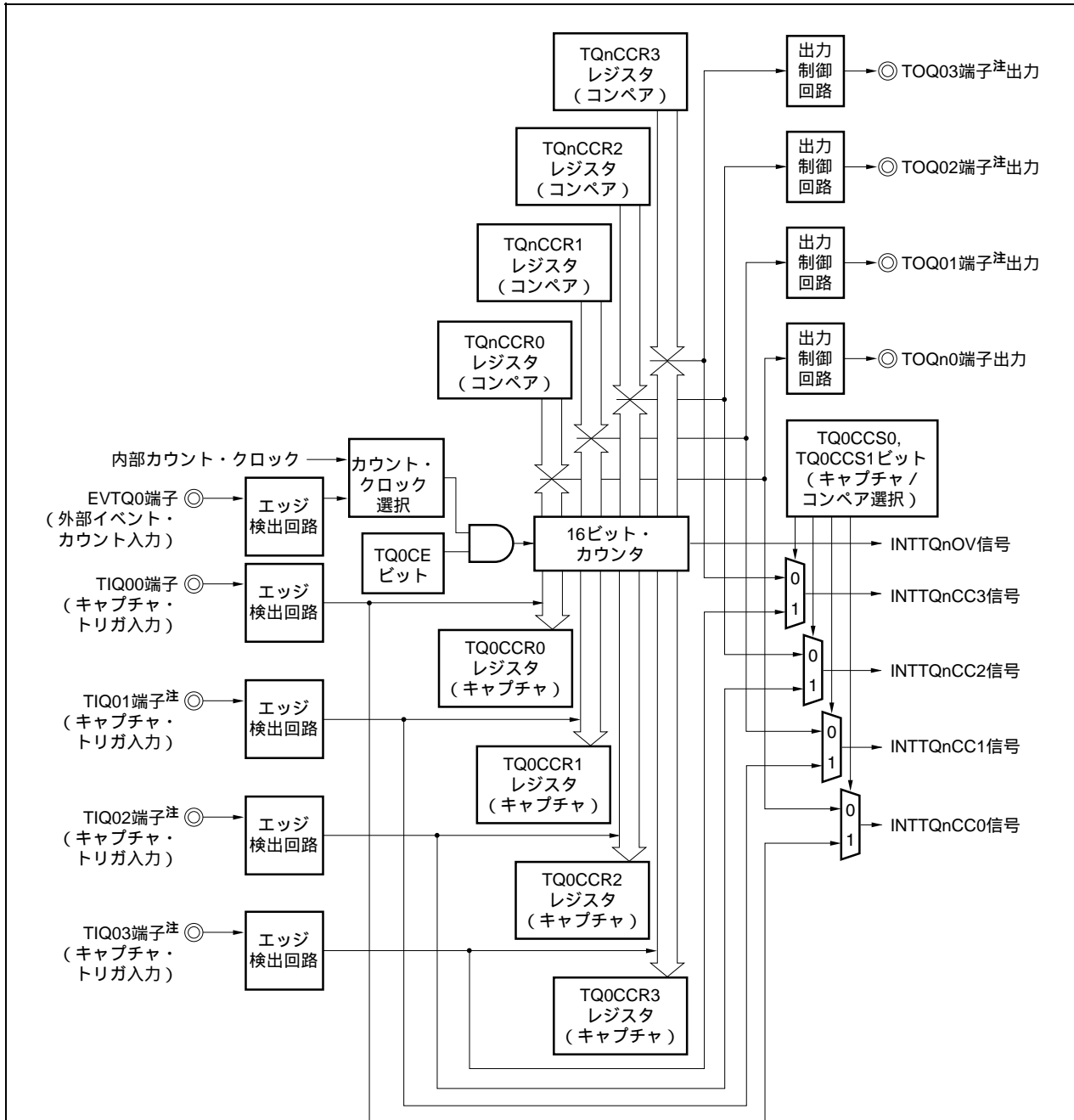
しかし、PWM出力モードの場合、1クロック早いタイミングで発生します。これは、TOQ0b (TOQH0b) 端子出力の変化タイミングとあわせるために、タイミングを変更しているからです。

7.6.6 フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101)

コンペア機能はTMQ0, TMQ1とも有効です。キャプチャ機能はTMQ0のみ有効です。

フリー・ランニング・タイマ・モードは, TQnCTL0.TQnCEビットをセット(1)することでカウント動作を開始します。このときのTQ0CCR_aレジスタの動作は, TQ0OPT0.TQ0CCSaビットの設定により, コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

図7-34 フリー・ランニング・タイマ・モードの構成図



注 キャプチャ・トリガ入力端子 (TIQ0_b) とタイマ出力端子 (TOQ0_b) は兼用しているため、同時に2つの機能を使用できません。

備考 n = 0, 1, a = 0-3, b = 1-3

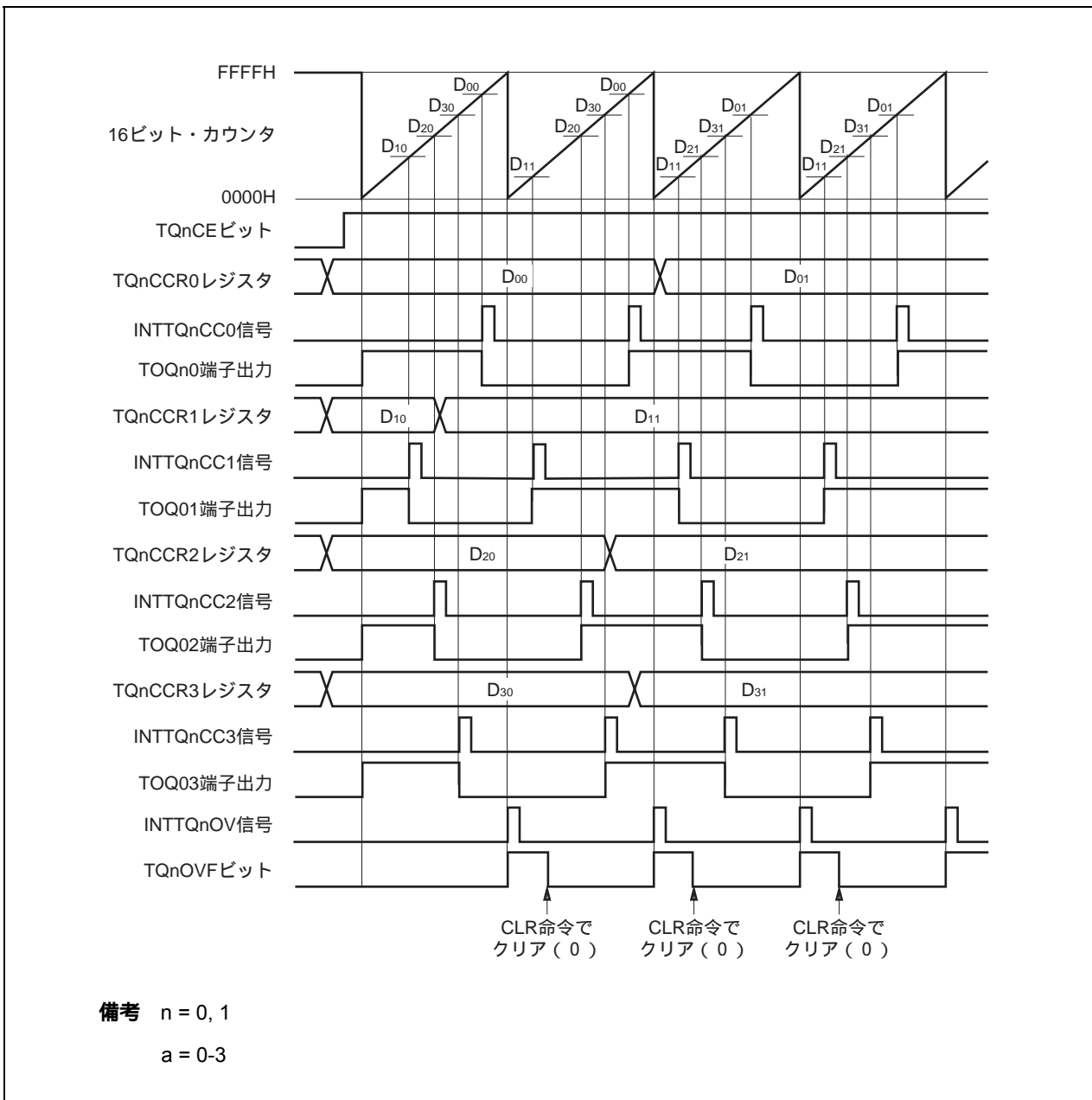
・コンペア動作

TQnCEビットをセット(1)することで、カウント動作を開始し、TOQ00-TOQ03, TOQ10端子出力を反転します。その後、16ビット・カウンタのカウント値とTQnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTQnCCa) を発生し、TOQ00-TOQ03, TOQ10端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTQnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TQnOPT0.TQnOVFビット) もセット(1)されます。オーバフロー・フラグがセット(1)されているのを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

TQnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き込みにより値が即反映され、カウント値と比較されます。

図7-35 フリー・ランニング・タイマ・モードの基本タイミング(コンペア機能)



・キャプチャ動作

TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、キャプチャ割り込み要求信号 (INTTQ0CCa) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TQ0OVFビット) もセット(1)されます。オーバーフロー・フラグがセット(1)されていることを確認してから、ソフトウェアでCLR命令を実行してクリア(0)してください。

図7-36 フリー・ランニング・タイマ・モードの基本タイミング(キャプチャ機能)

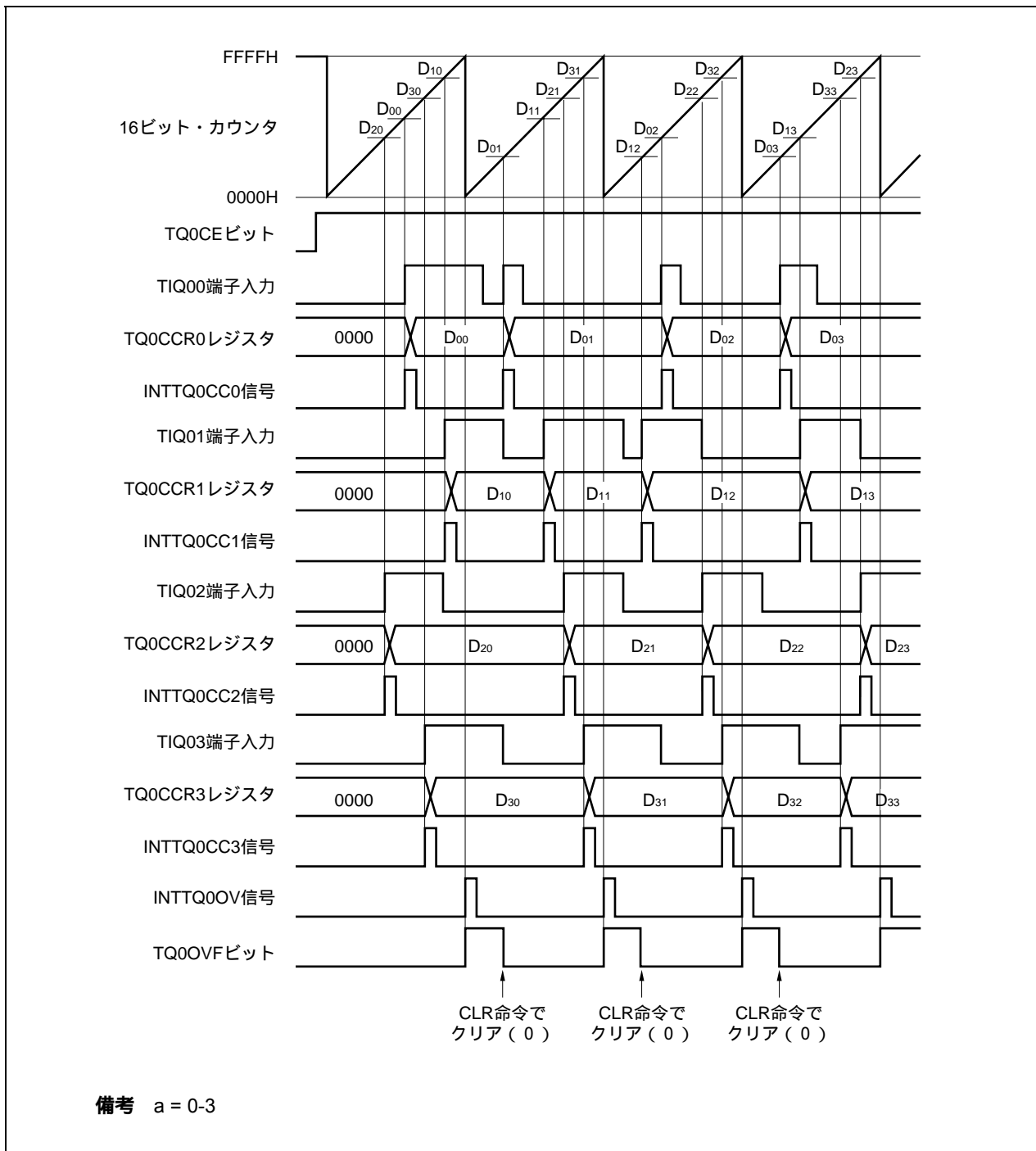
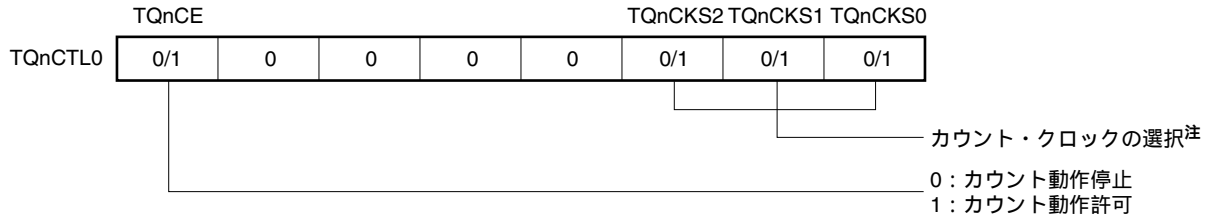


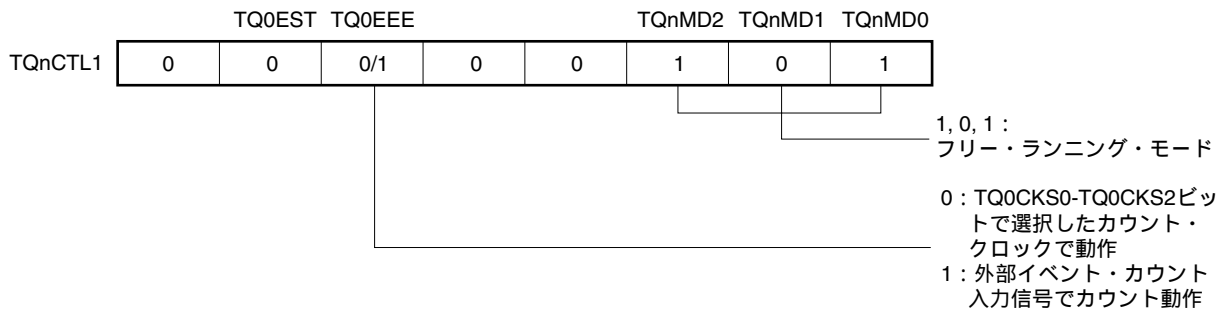
図7 - 37 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMQn制御レジスタ0 (TQnCTL0)



注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQn制御レジスタ1 (TQnCTL1)



(c) TMQnI/O制御レジスタ0 (TQnIOC0)

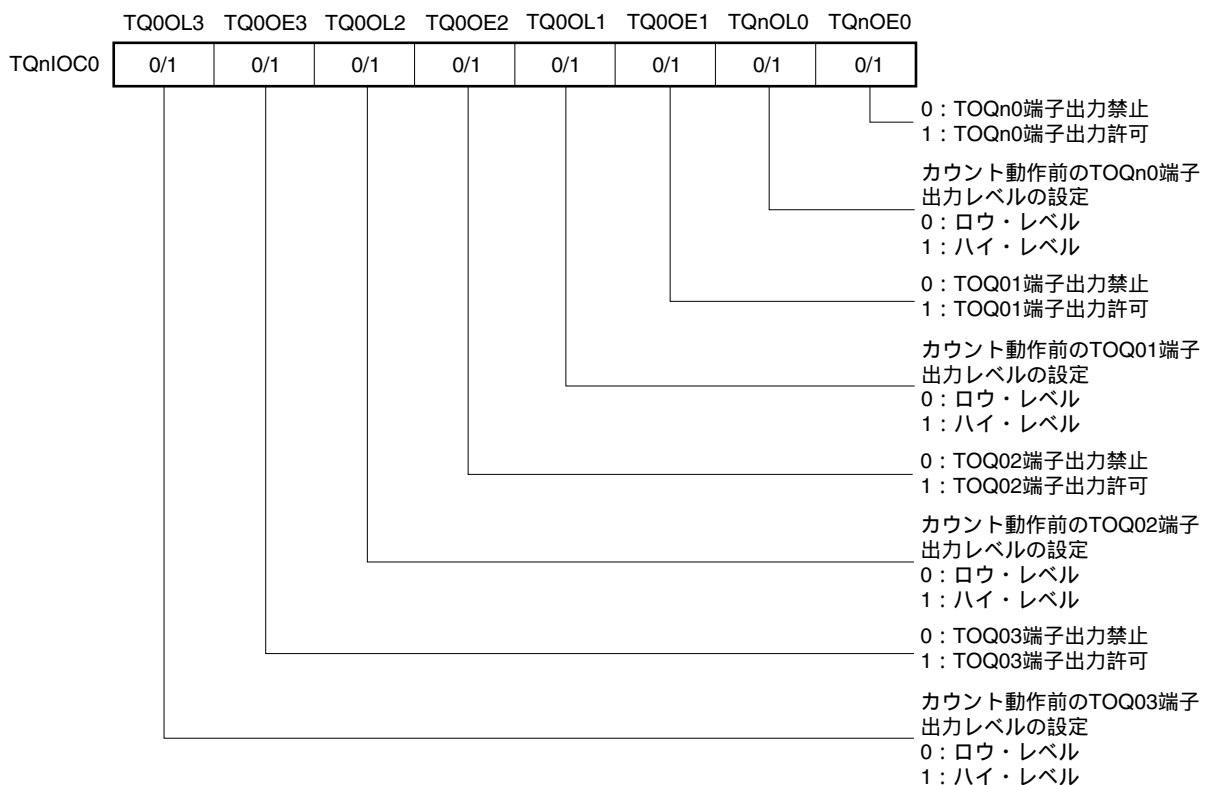
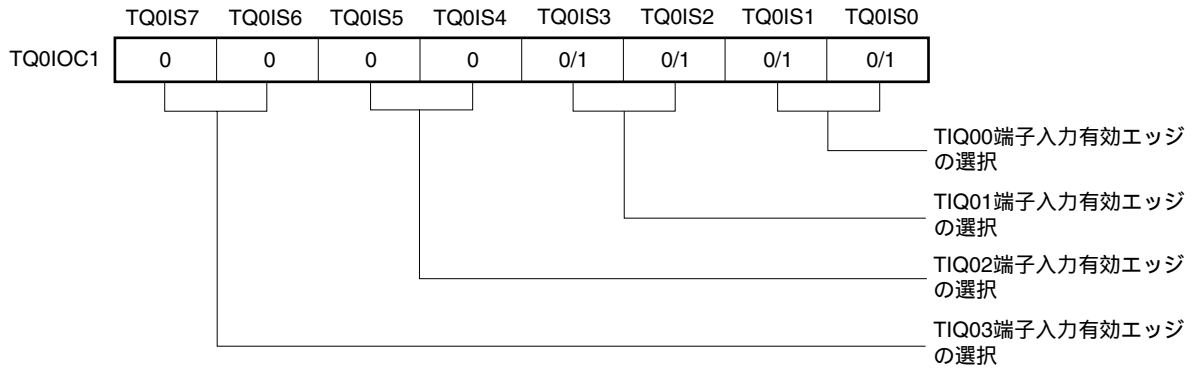
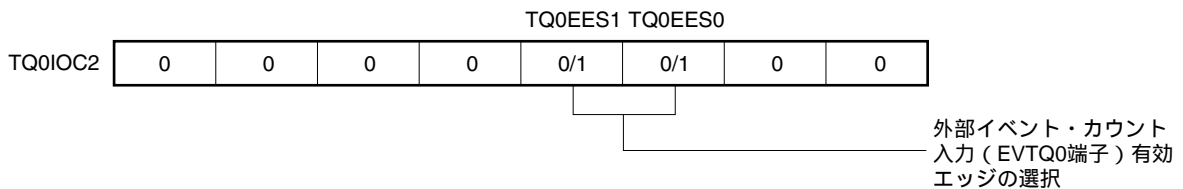


図7 - 37 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

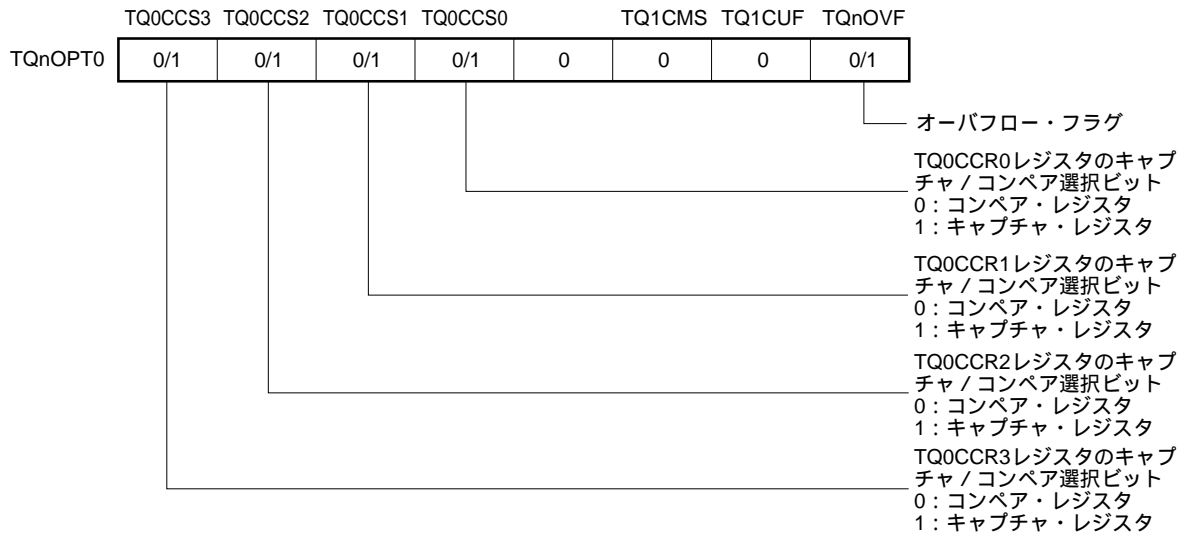
(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(f) TMQnオプション・レジスタ0 (TQnOPT0)



(g) TMQnカウンタ・リード・バッファ・レジスタ (TQnCNT)

TQnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

図7 - 37 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(h) TMQnキャプチャ/コンペア・レジスタ0-3 (TQnCCR0-TQnCCR3)

TQ0OPT0.TQ0CCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQ0a端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

コンペア・レジスタとして動作する場合には、TQnCCRaレジスタにDaを設定した場合、カウンタが(Da + 1)になるタイミングでINTTQnCCa信号を発生し、TOQ00-TOQ03, TOQ10端子出力を反転します。

備考 a = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（コンペア機能）（1/2）

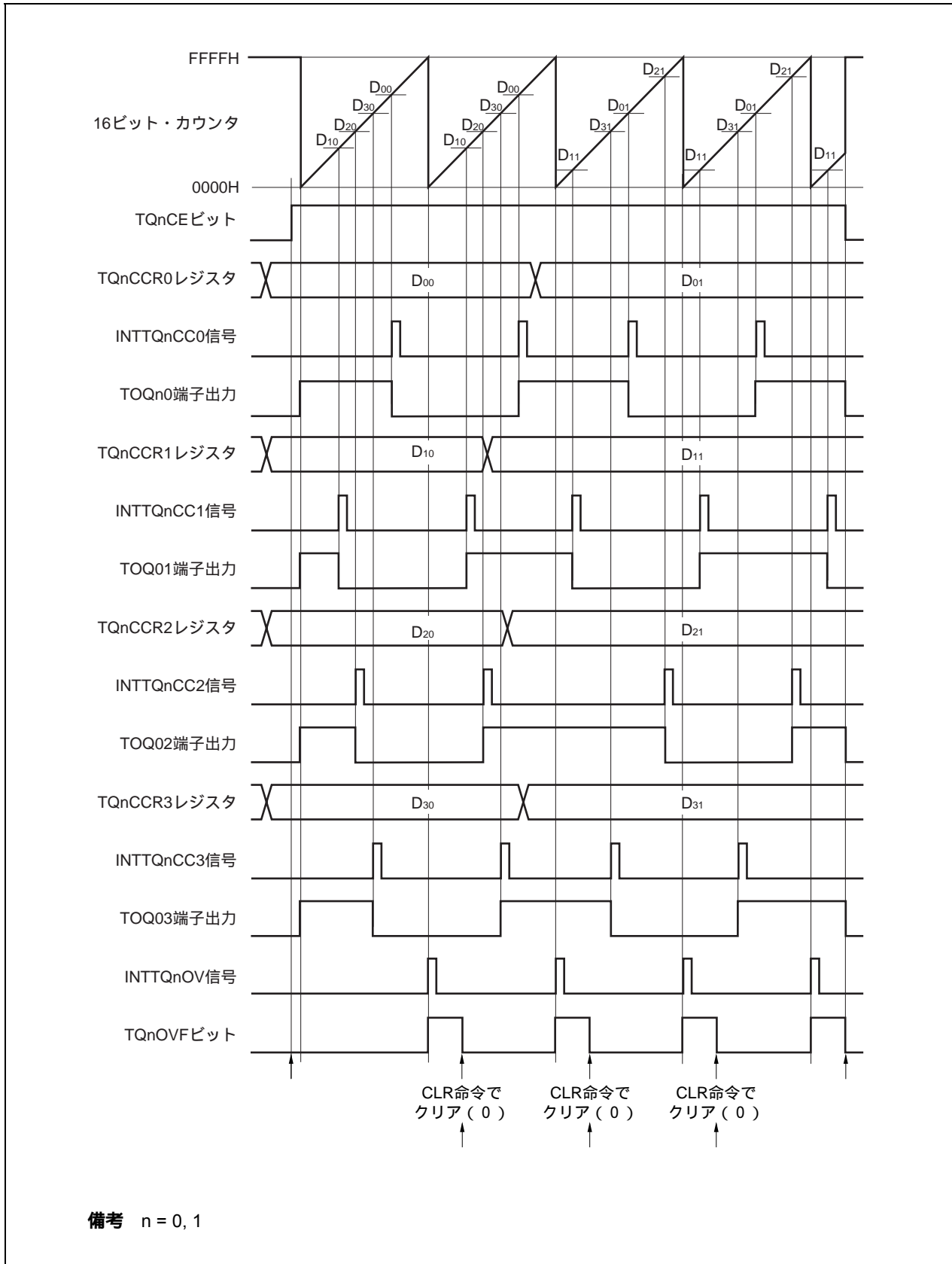
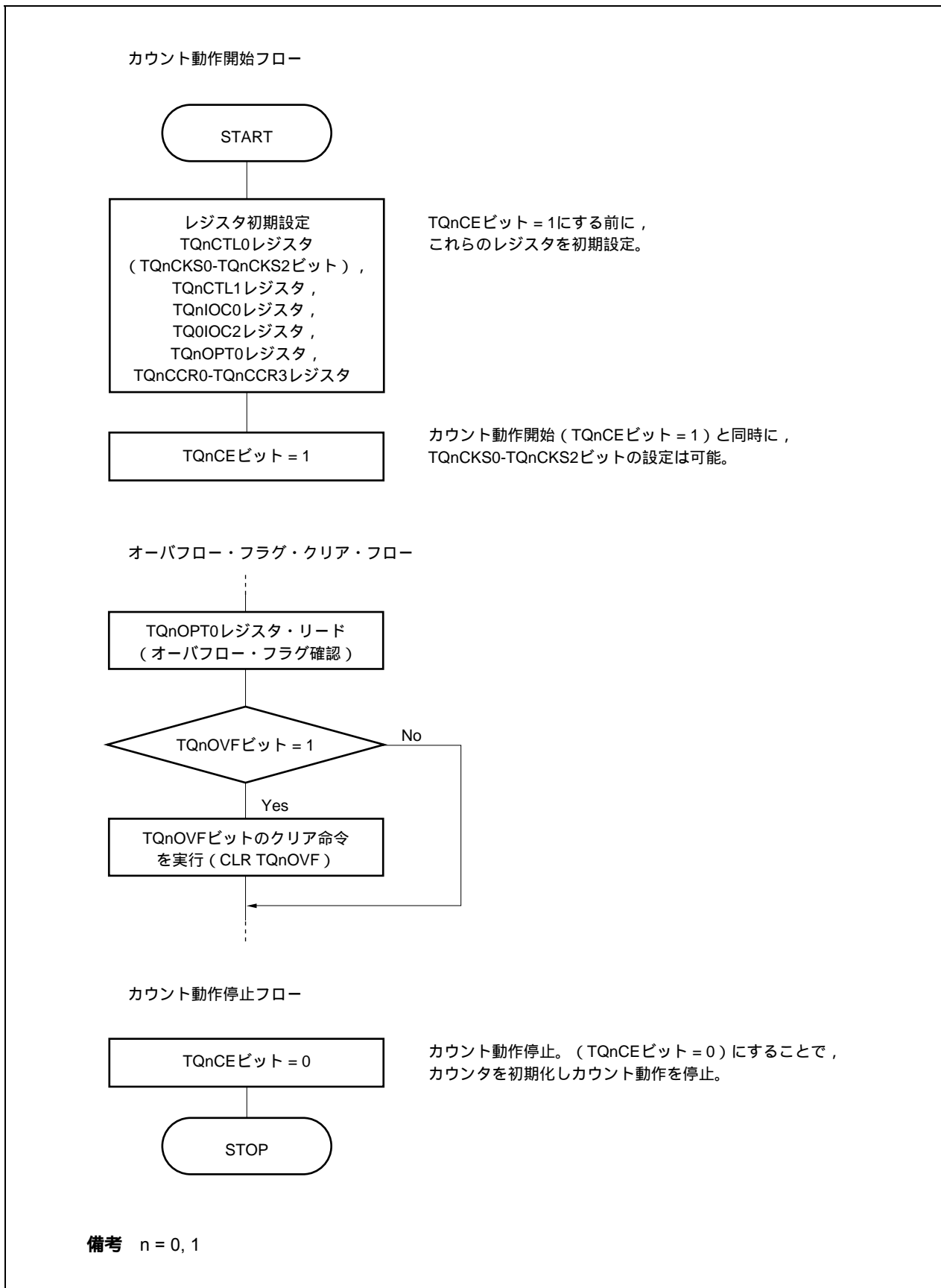


図7 - 38 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（1/2）

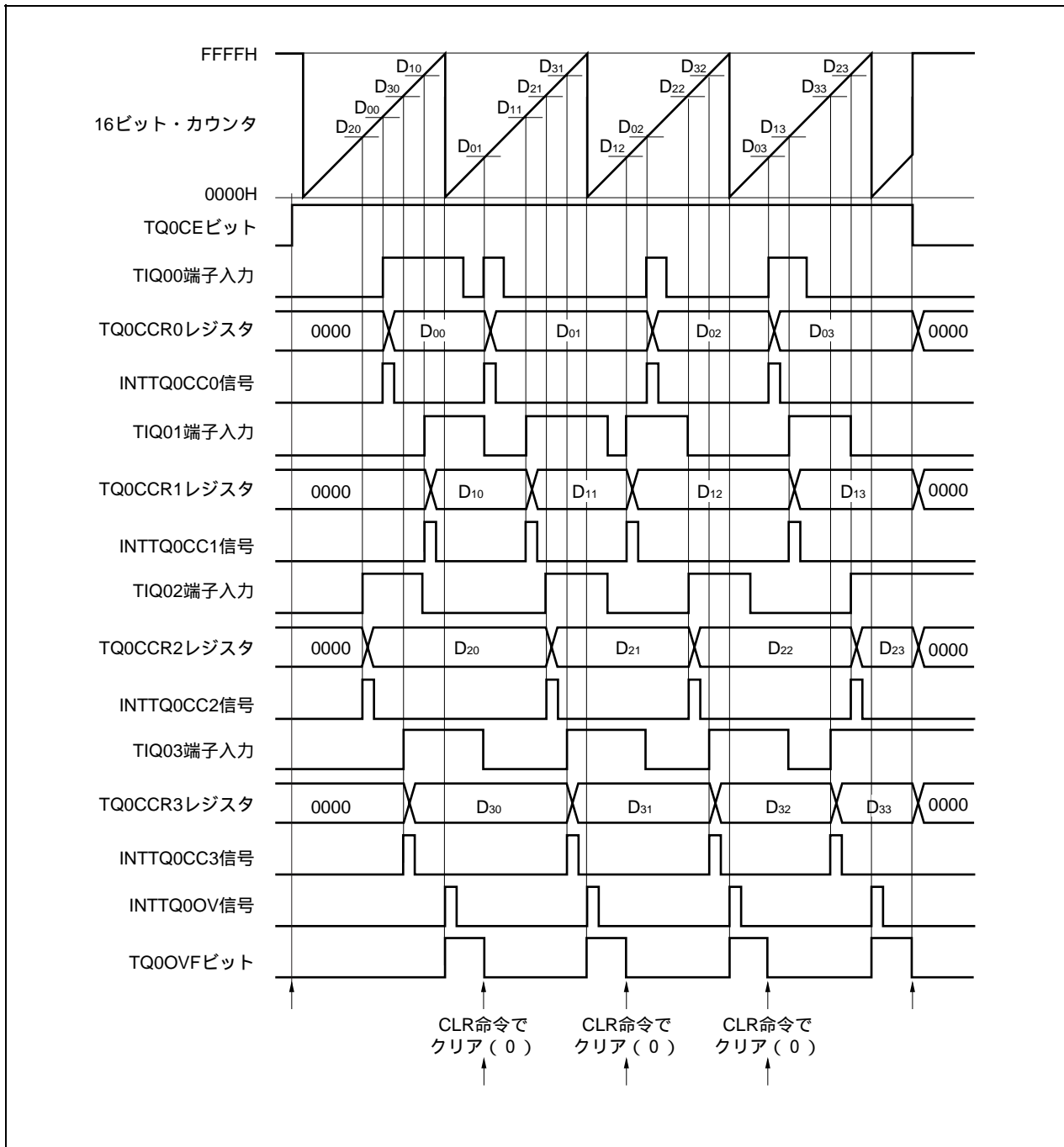
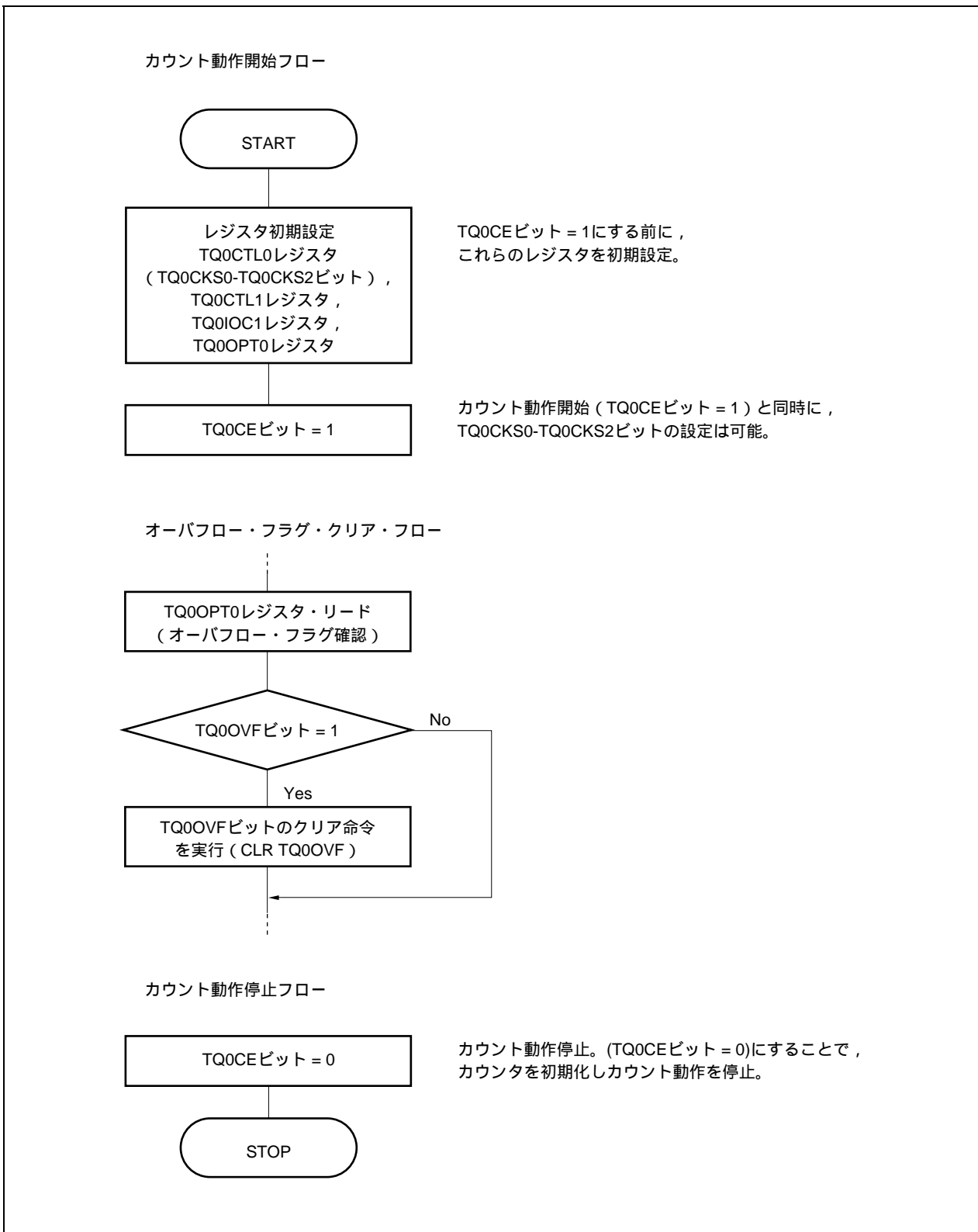


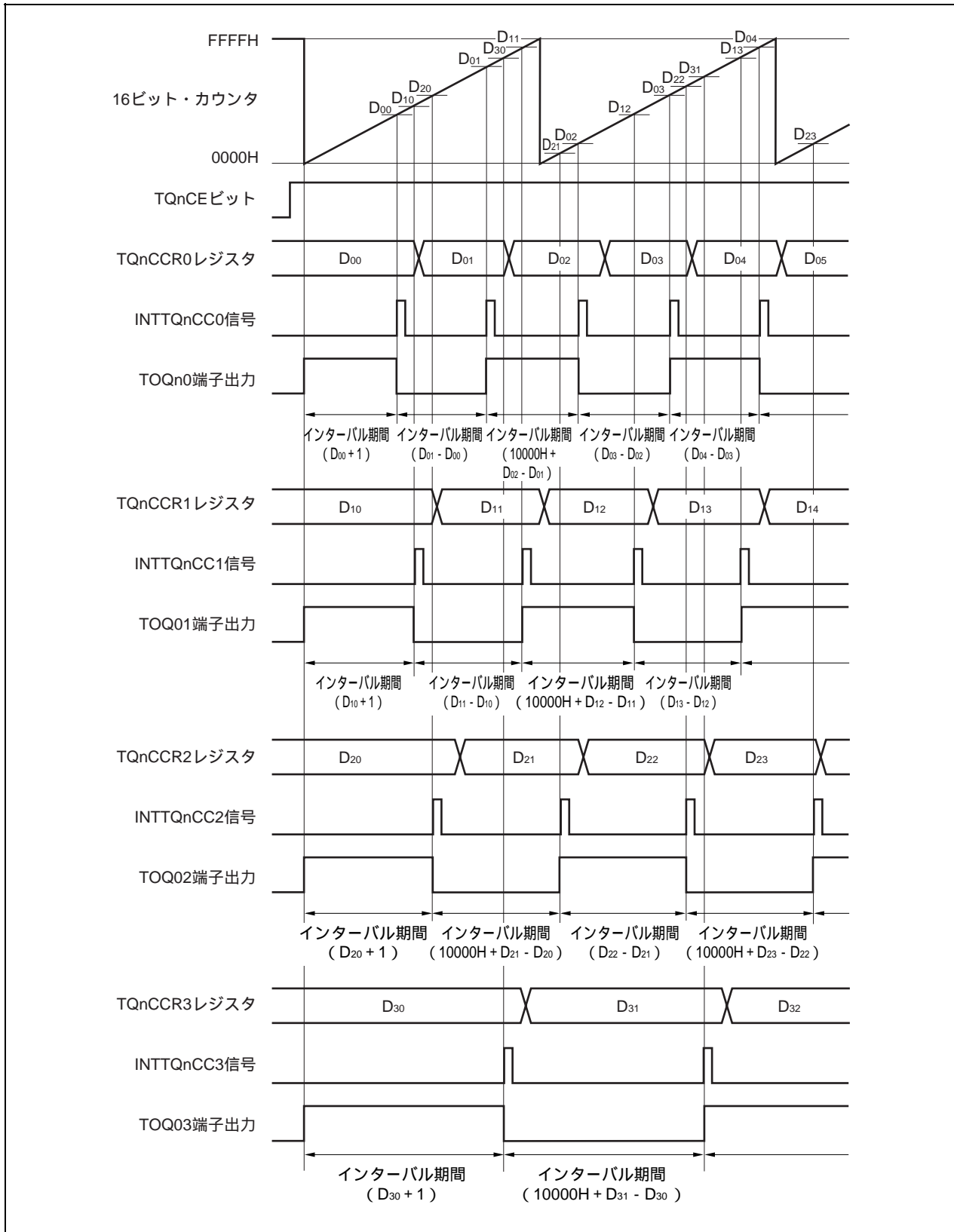
図7 - 39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー（キャプチャ機能）（2/2）



(2) フリー・ランニング・タイマ・モード動作タイミング

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTQnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTQnCCa信号を検出したときの割り込み処理中に、対応するTQnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ” とすると、次のように求められます。

コンペア・レジスタ初期値 : $D_a - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

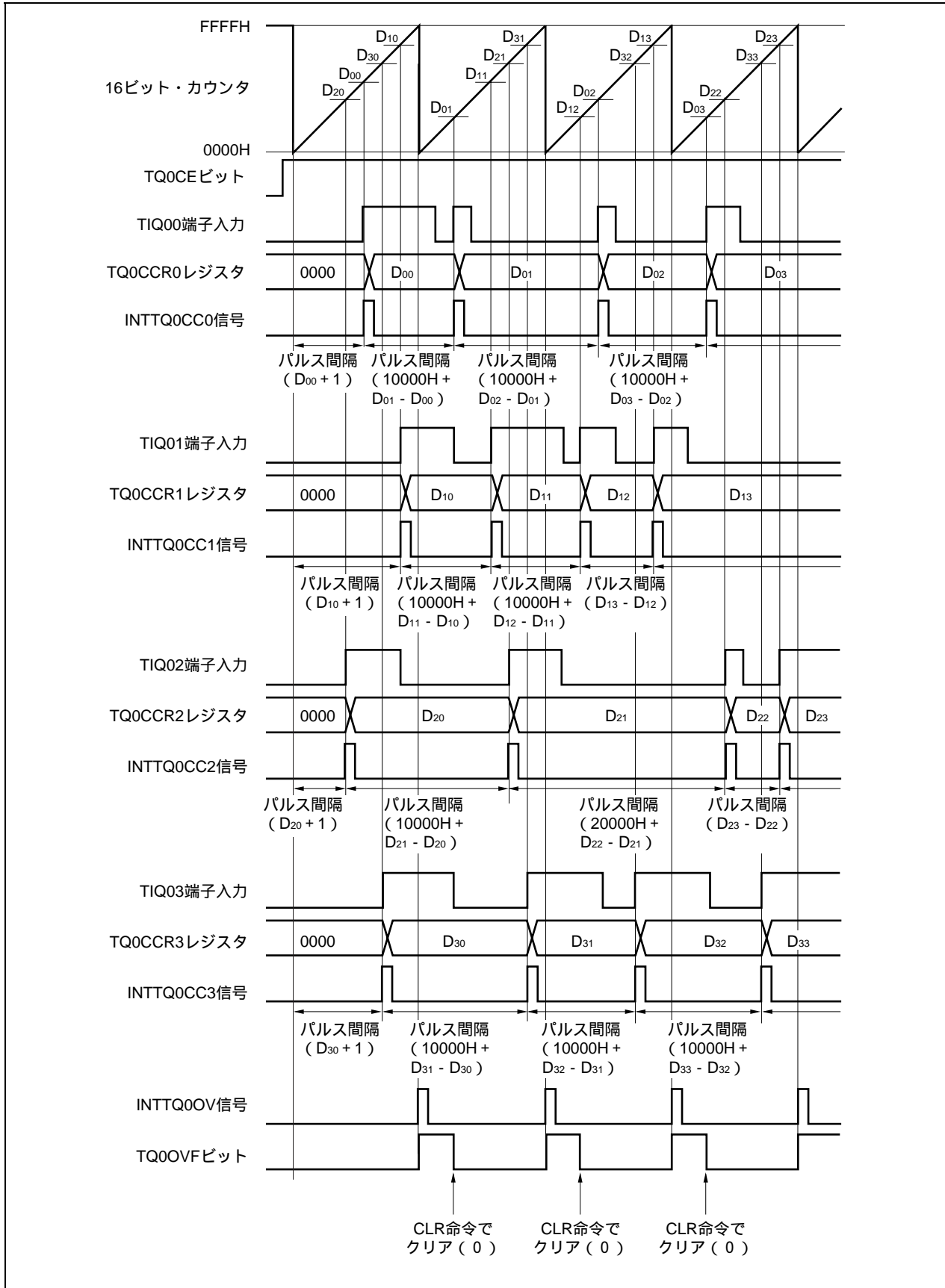
(演算結果がFFFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $n = 0, 1$

$a = 0-3$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQ0CCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。



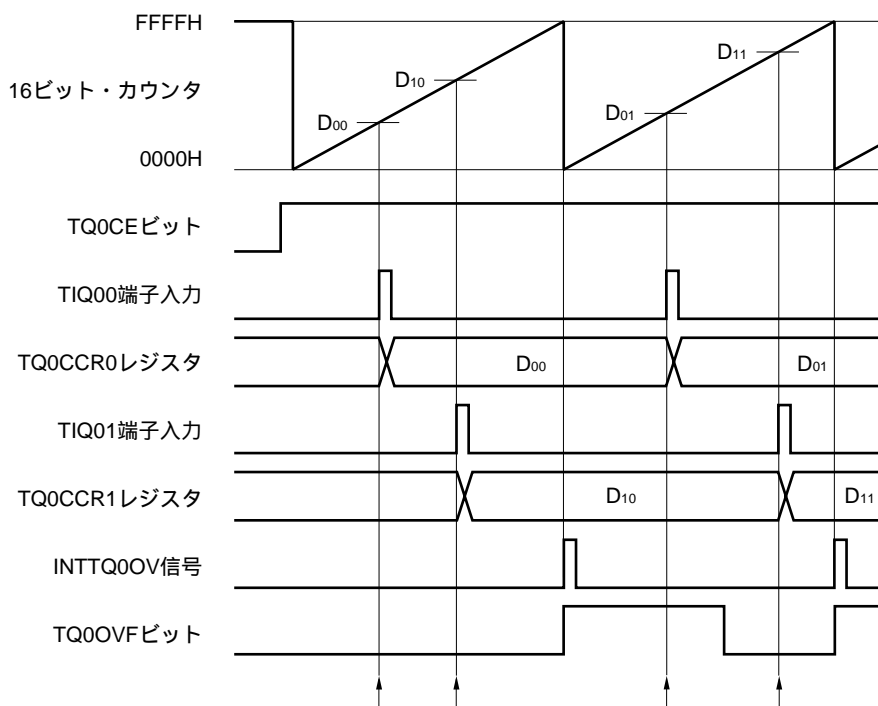
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。
パルス幅測定を行う場合、INTTQ0CCa信号に同期してTQ0CCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 a = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

2つ以上のキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア(0)する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

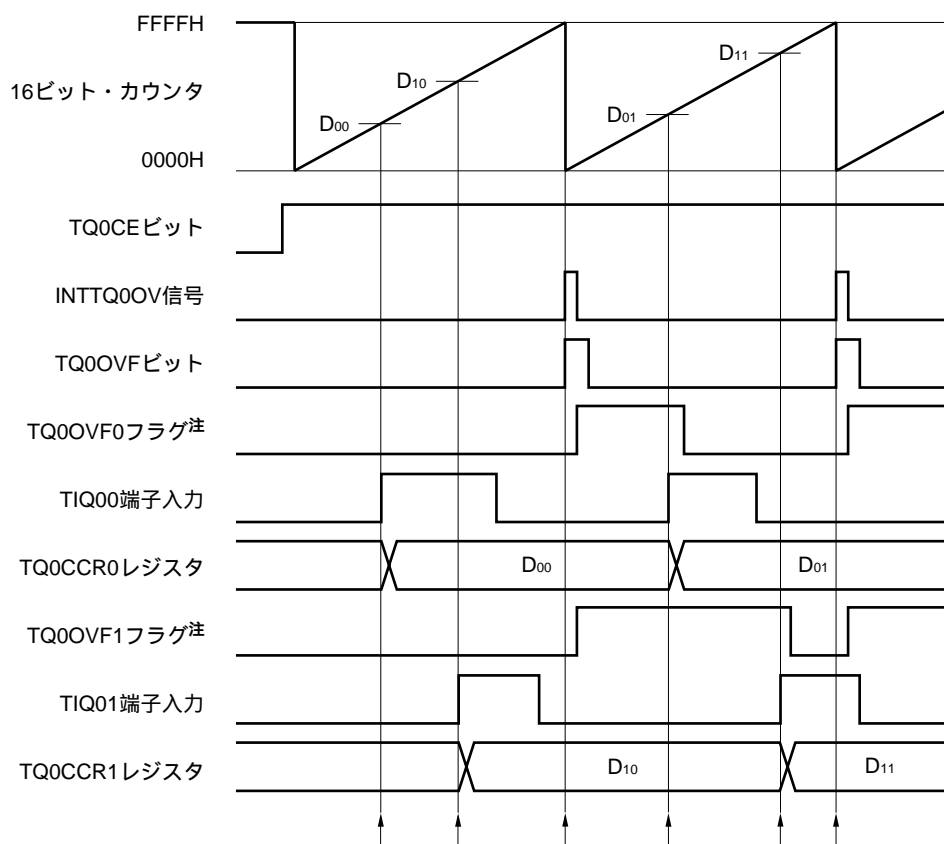
オーバーフロー・フラグをリードする。 でクリア(0)されているため、0がリードされます。

オーバーフロー・フラグが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア(0)してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用)



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。

TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。

オーバーフローが発生する。オーバーフロー割り込み処理の中で、TQ0OVF0, TQ0OVF1フラグをセット (1) し、オーバーフロー・フラグをクリア (0) する。

TQ0CCR0レジスタをリードする。

TQ0OVF0フラグをリードする。 TQ0OVF0フラグが“1”だった場合、クリア (0) する。

TQ0OVF0フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

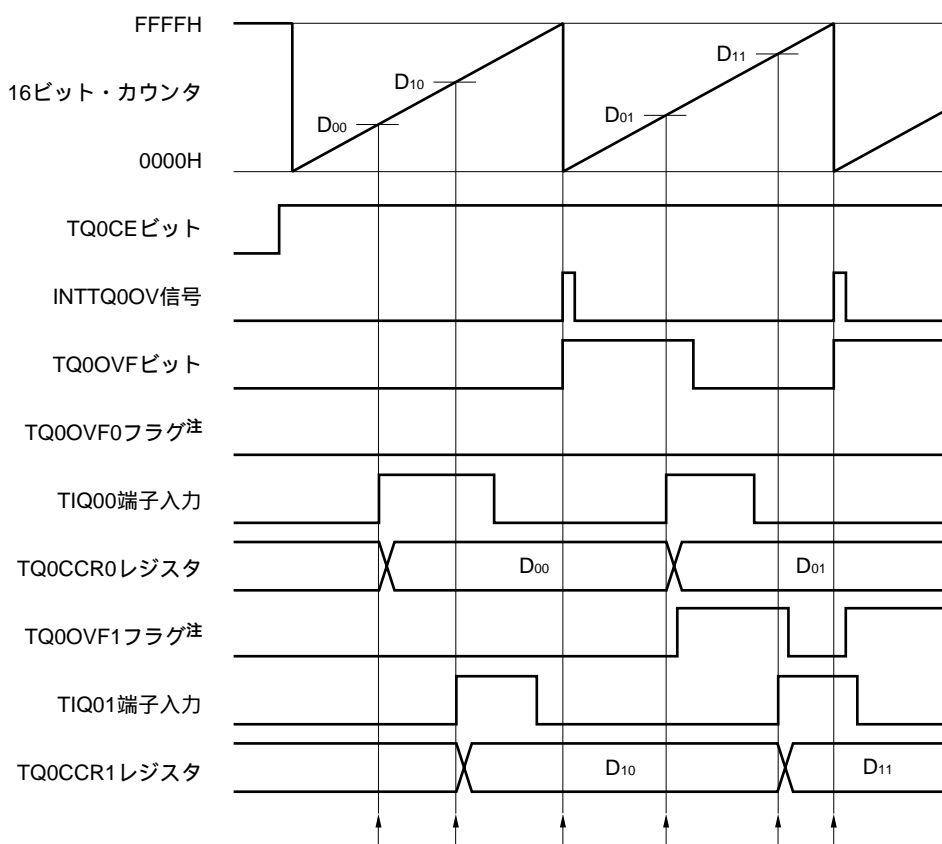
TQ0CCR1レジスタをリードする。

TQ0OVF1フラグをリードする。 TQ0OVF1フラグが“1”だった場合、クリア (0) する (でクリア (0) されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”のまま)。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。

と同じです。

2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。

TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCR0レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、TQ0OVF1フラグのみをセット（1）し、オーバーフロー・フラグをクリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

TQ0CCR1レジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグは でクリア（0）されているので“0”がリードされる。

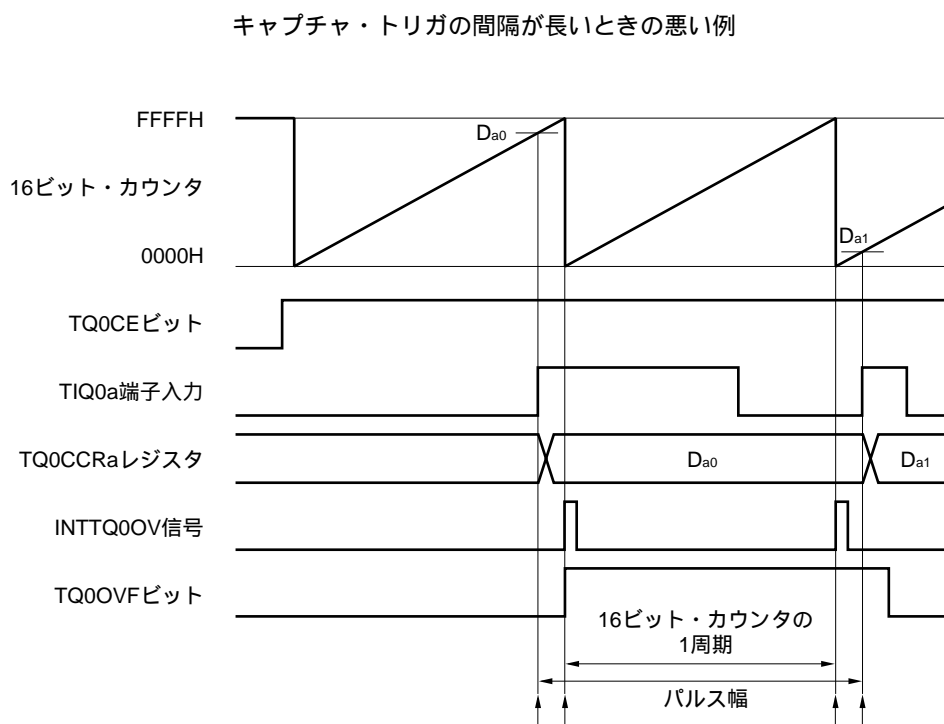
TQ0OVF1フラグをリードする。TQ0OVF1フラグが“1”だった場合、クリア（0）する。

TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます（OK）。

と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

TQ0CCRaレジスタをリードする（TIQ0a端子入力の初期値設定）。

オーバーフローが発生する。ソフトウェアでは何もしない。

2回目のオーバーフローが発生する。ソフトウェアでは何もしない。

TQ0CCRaレジスタをリードする。

オーバーフロー・フラグをリードする。オーバーフロー・フラグが“1”だった場合、クリア（0）する。

オーバーフロー・フラグが“1”なので、パルス幅は $(10000H + D_{a1} - D_{a0})$ で求められます（NG）。

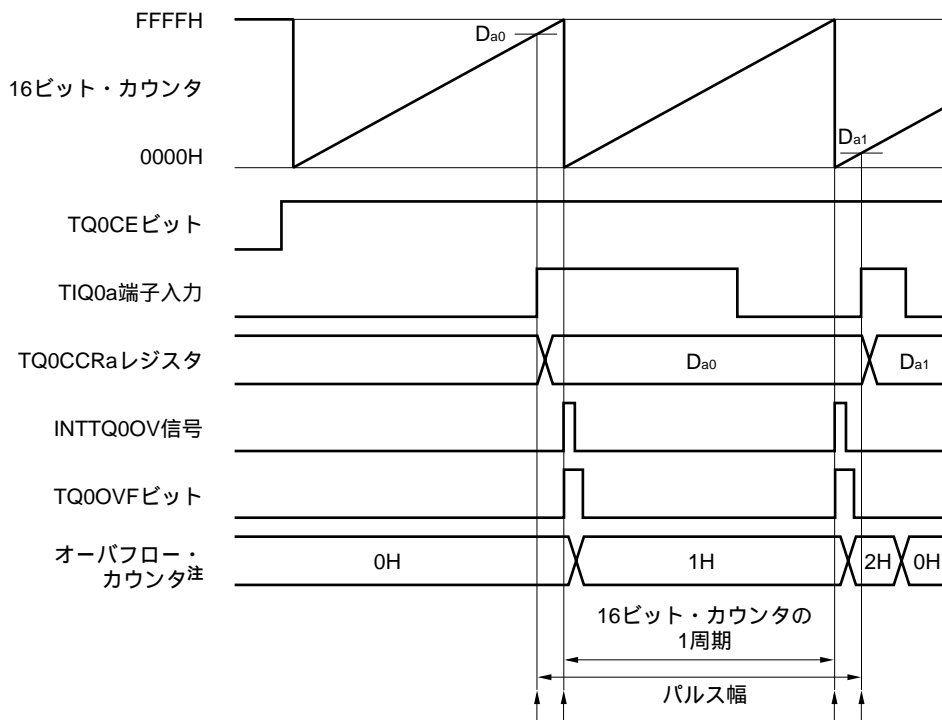
実際には、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になるはず
です。

備考 a = 0-3

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

キャプチャ・トリガの間隔が長いときの対応例



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

TQ0CCRaレジスタをリードする (TIQ0a端子入力の初期値設定)。

オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、オーバフロー・フラグをクリア (0) する。

TQ0CCRaレジスタをリードする。

オーバフロー・カウンタをリードする。

オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバフローが発生しているため、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

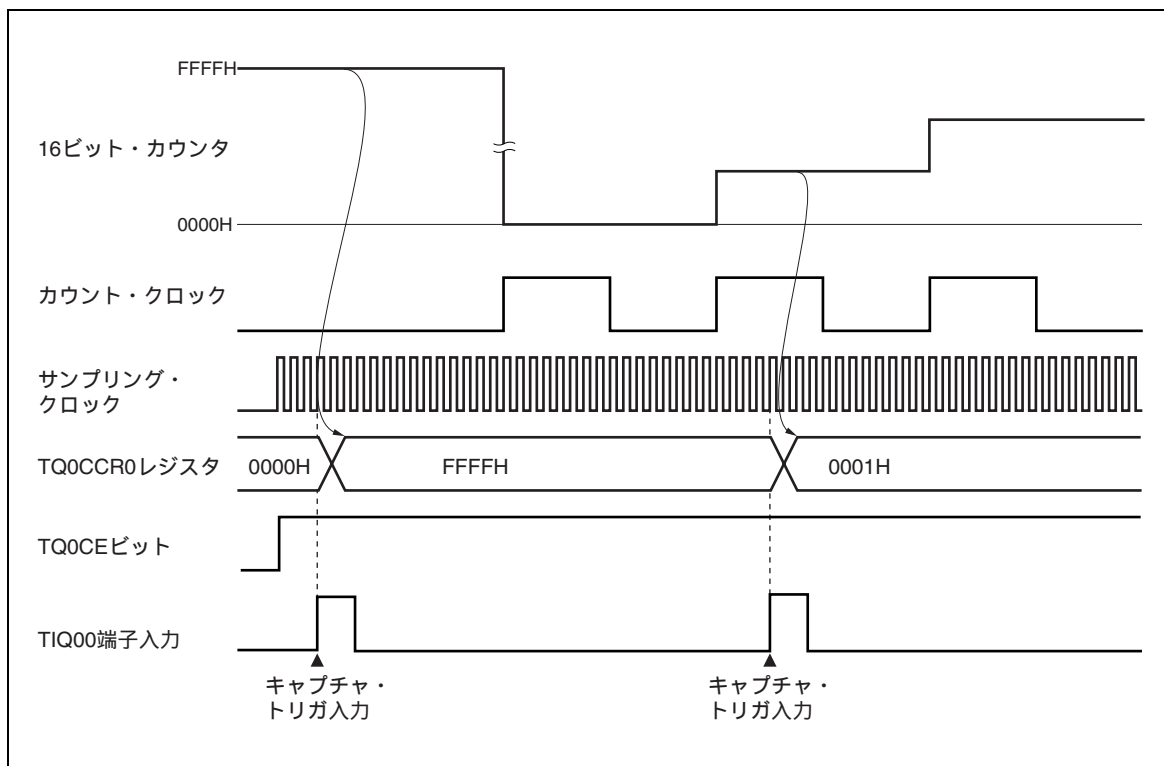
備考 a = 0-3

(e) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQnOVFビット = 1をリードしたあとにTQnOVFビットをCLR命令でクリア (0) する方法と、TQnOVFビット = 1をリードしたあとにTQnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) キャプチャ動作の注意事項

キャプチャ動作を使用し、かつカウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット(1)したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります(a = 0-3)。



7.6.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)

TMQ0のみ有効です。

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット(1)することでカウント動作を開始し、TIQ0a端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号(INTTQ0CCa)が発生したあと、TQ0CCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

たとえば図7-41のような場合は、キャプチャ・トリガ入力端子としてTIQ00-TIQ03端子のいずれか1本を使用し、使用しない端子はTQ0IOC1レジスタで“エッジ検出なし”に設定してください。

図7-40 パルス幅測定モードの構成図

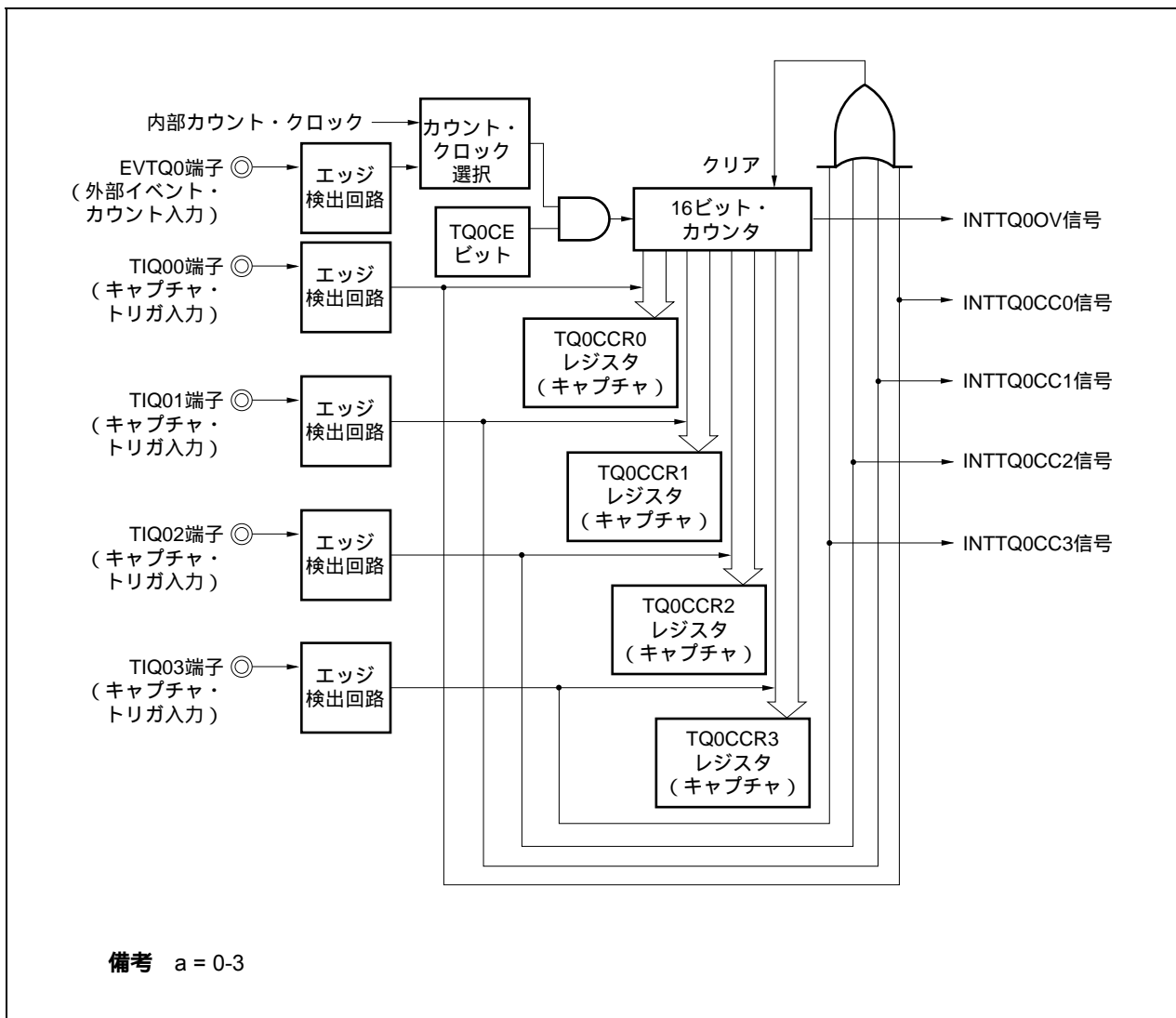
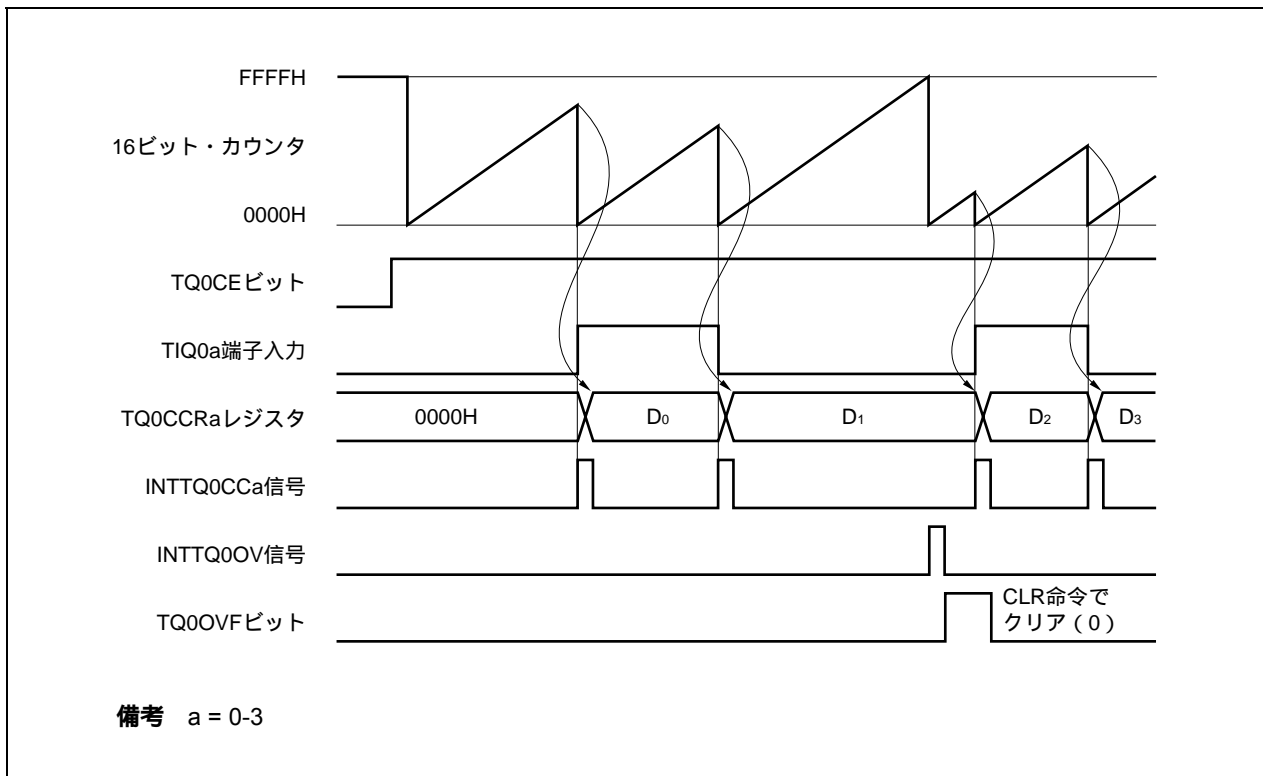


図7 - 41 パルス幅測定モードの基本タイミング



TQ0CEビットをセット(1)することで、カウント動作を開始します。その後、TIQ0a端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号(INTTQ0CCa)を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号(INTTQ0OV)を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ(TQ0OPT0.TQ0OVFビット)もセット(1)されます。オーバフロー・フラグは、ソフトウェアでCLR命令を実行してクリア(0)してください。

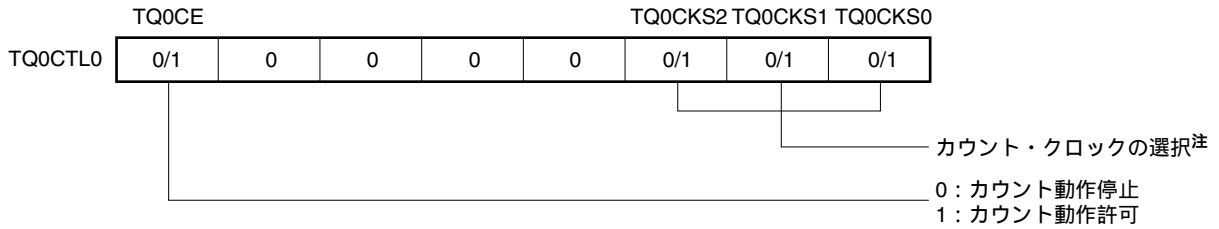
オーバフロー・フラグがセット(1)された場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000\text{H} \times \text{TQ0OVFビットがセット(1)された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

備考 a = 0-3

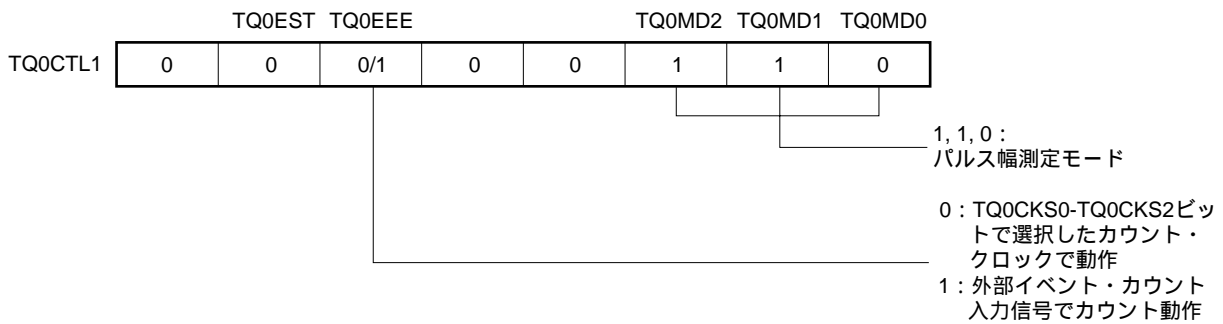
図7 - 42 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

(a) TMQ0制御レジスタ0 (TQ0CTL0)

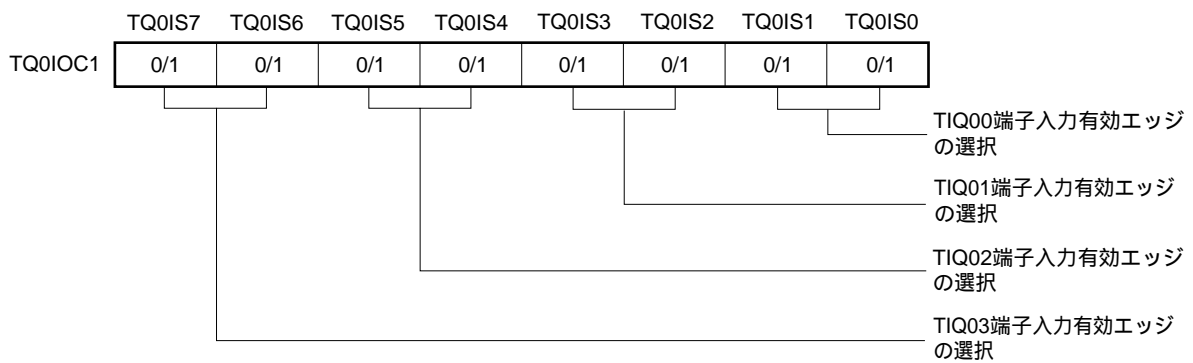


注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

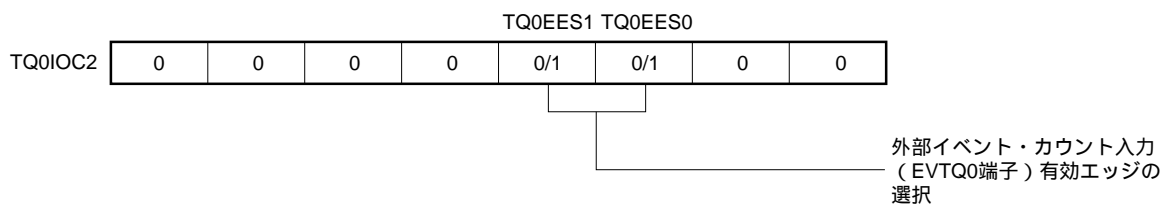


図7 - 42 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQ0オプション・レジスタ0 (TQ0OPT0)

	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0				TQ0OVF
TQ0OPT0	0	0	0	0	0	0	0	0/1

└── オーフロー・フラグ

(f) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(g) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

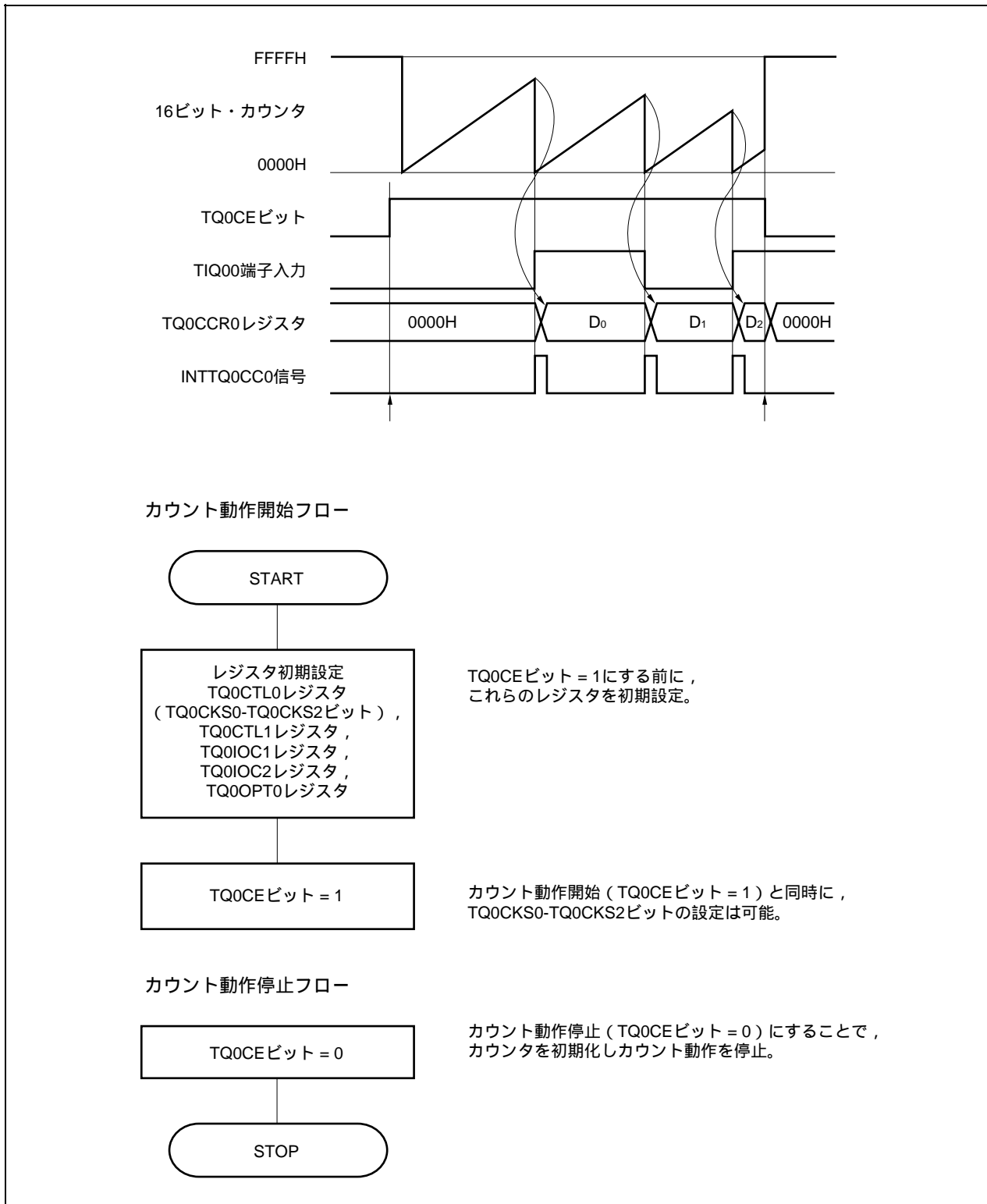
TIQ0a端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

備考1. パルス幅測定モードでは、TMQ0I/O制御レジスタ0 (TQ0IOC0) は使用しません。

2. a = 0-3

(1) パルス幅測定モード動作フロー

図7 - 43 パルス幅測定モード使用時のソフトウェア処理フロー



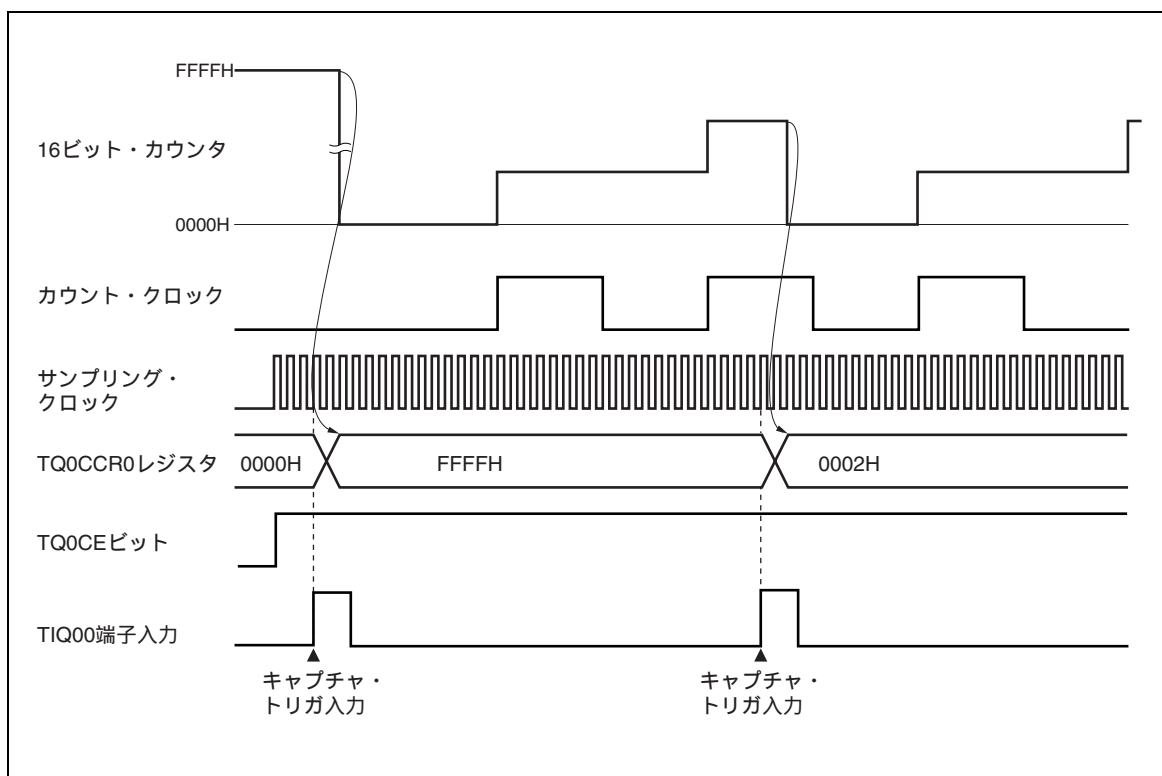
(2) パルス幅測定モード動作タイミング

(a) オーバフロー・フラグのクリア方法

オーバフロー・フラグをクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

(3) 注意事項

カウント・クロックとして遅いクロックを選択した場合、TQ0CTL0.TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCRaレジスタに0000HではなくFFFFHがキャプチャされる場合があります (a = 0-3)。



第8章 16ビット・インターバル・タイマM (TMM)

8.1 概 要

- ・インターバル機能
- ・クロック選択×8
- ・16ビット・カウンタ×1 (タイマ・カウント動作中のカウンタ・リードはできません。)
- ・コンペア・レジスタ×1 (タイマ・カウント動作中のコンペア・レジスタへのライトはできません。)
- ・コンペア一致割り込み×1

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

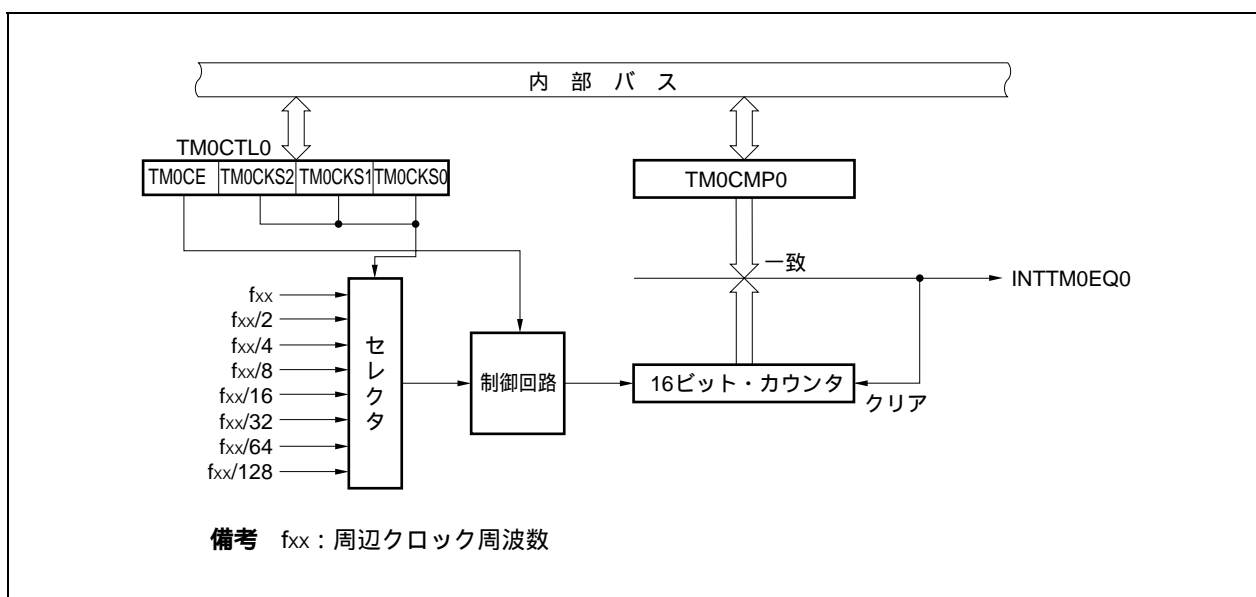
8.2 構成

TMM0は、次のハードウェアで構成されています。

表8 - 1 TMM0の構成

項目	構成
タイマ・レジスタ	16ビット・カウンタ
レジスタ	TMM0コンペア・レジスタ0 (TM0CMP0)
制御レジスタ	TMM0制御レジスタ0 (TM0CTL0)

図8 - 1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード/ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

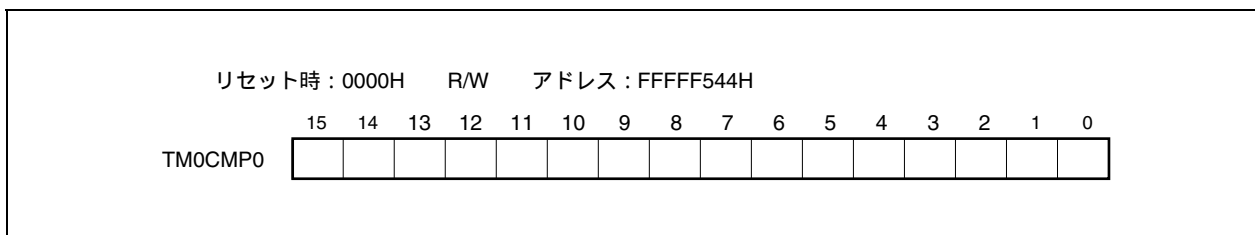
TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

TMM0動作中 (TM0CTL0.TM0CEビット = 1) , TM0CMP0レジスタの書き換えは禁止です。



8.3 制御レジスタ

(1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF540H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可 / 禁止指定
0	TMM0動作禁止 (16ビット・カウンタを非同期にリセット)
1	TMM0動作許可。動作クロック供給開始。TMM0動作開始。

TM0CEビットにより、TMM0の内部クロックの制御と内部回路のリセットを非同期に行います。TM0CEビットをクリア (0) すると、TMM0の内部クロックは停止 (口ウ・レベル固定) し、16ビット・カウンタが非同期にリセットされます。

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注意1. TM0CKS2-TM0CKS0ビットはTM0CEビット = 0のときに設定してください。

ただし、TM0CEビットを0から1に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定することはできません。

2. ビット3-6には必ず0を設定してください。

備考 fxx : 周辺クロック周波数

8.4 動作

8.4.1 インターバル・タイマ・モード

インターバル・タイマ・モードは、TM0CTL0.TM0CEビットをセット(1)することで、TM0CMP0レジスタで設定したインターバル間隔にて割り込み要求信号(INTTM0EQ0)を発生します。

図8-2 インターバル・タイマの構成図

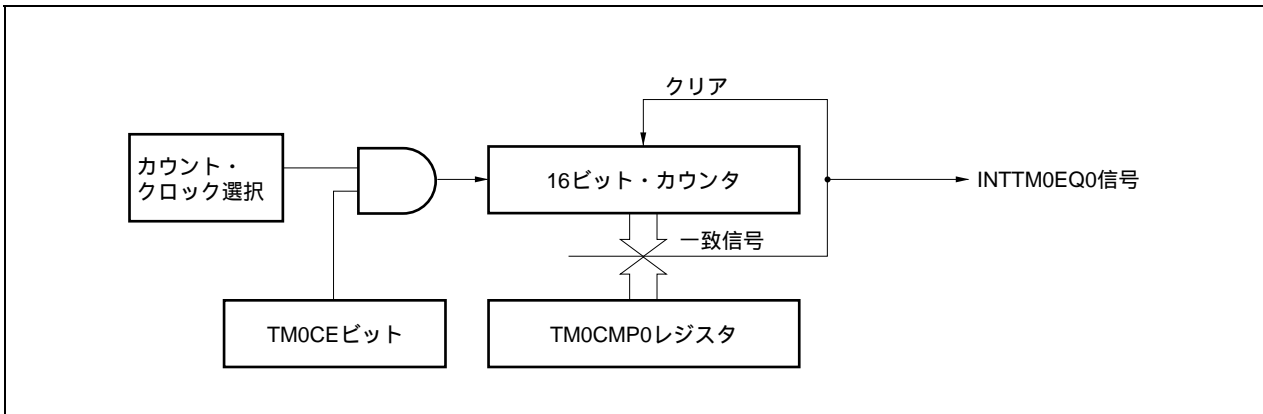
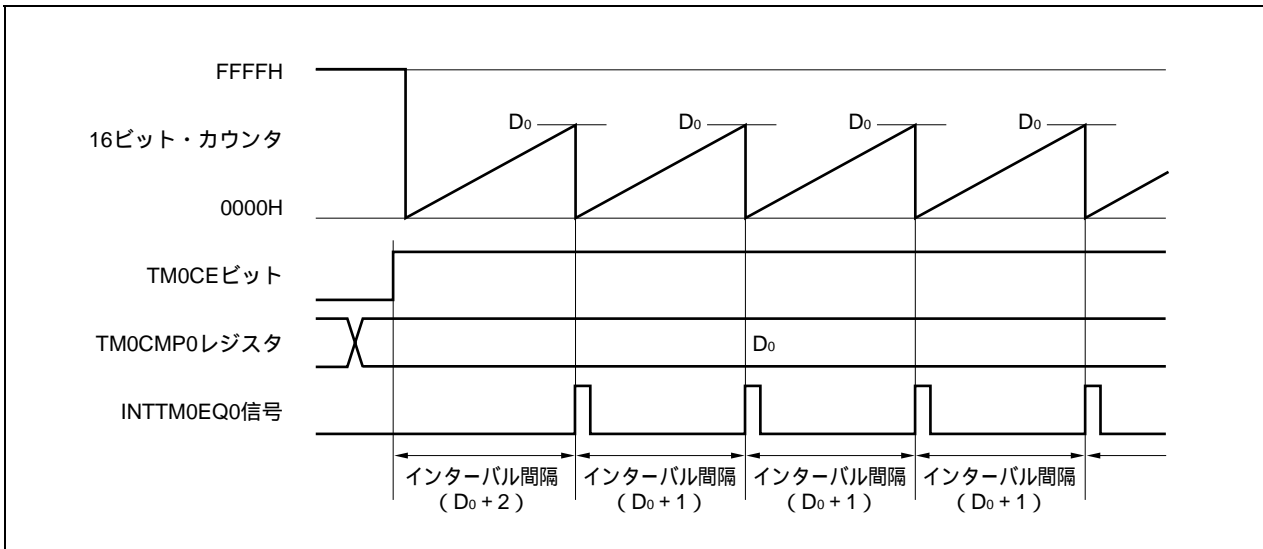


図8-3 インターバル・タイマ・モード動作の基本タイミング



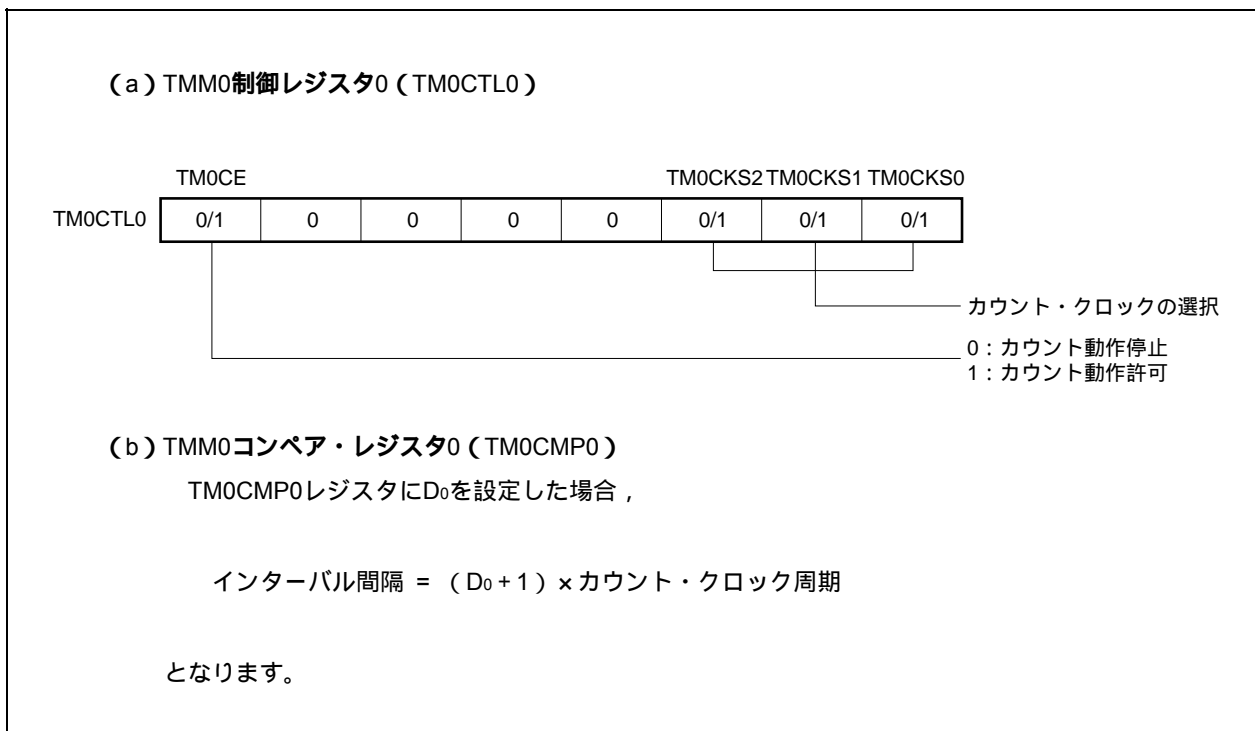
TM0CEビットをセット(1)することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号(INTTM0EQ0)を発生します。

インターバル間隔は次のようになります。

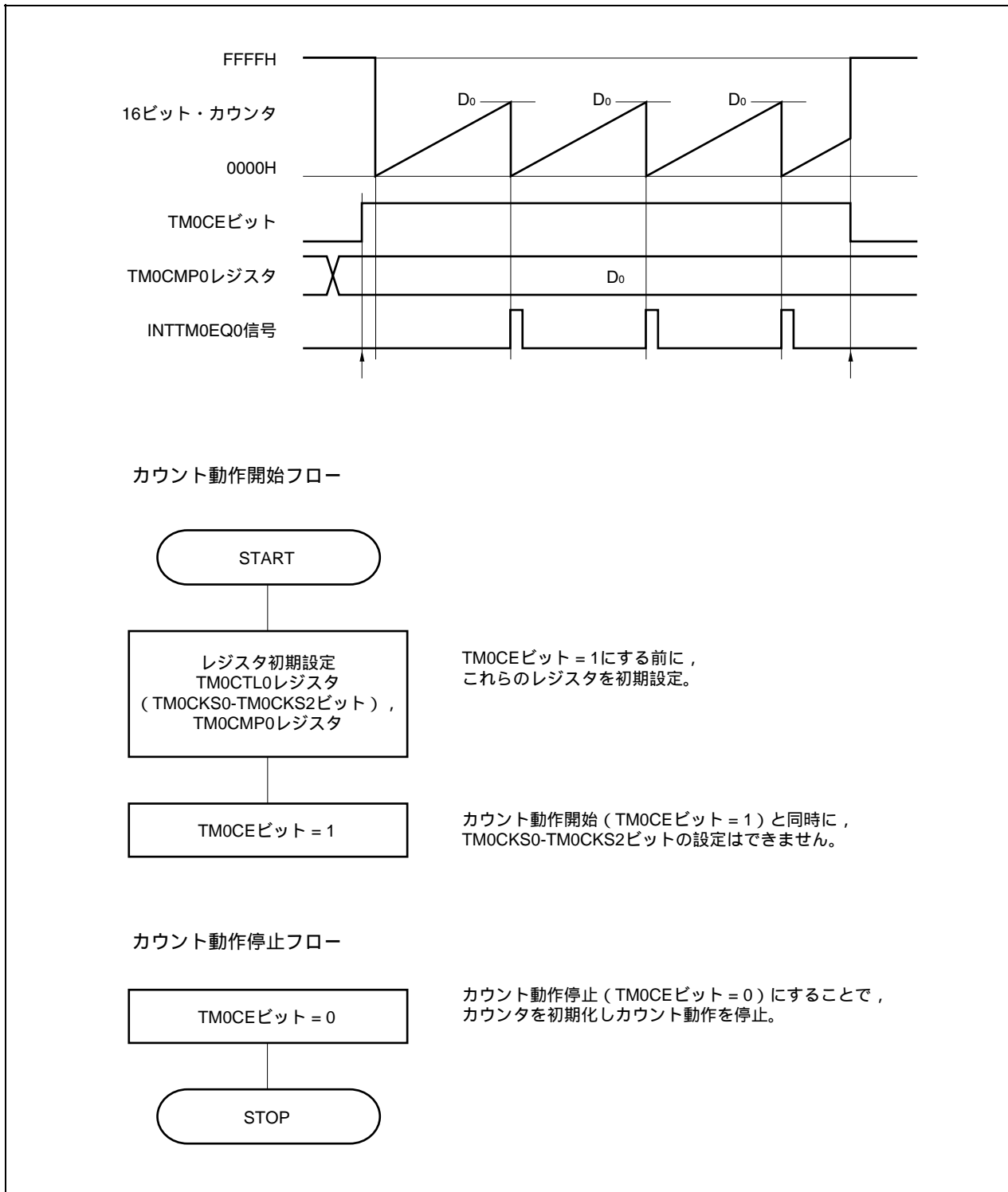
$$\text{インターバル間隔} = (\text{TM0CMP0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容



(1) インターバル・タイマ・モード動作フロー

図8 - 5 インターバル・タイマ・モード使用時のソフトウェア処理フロー

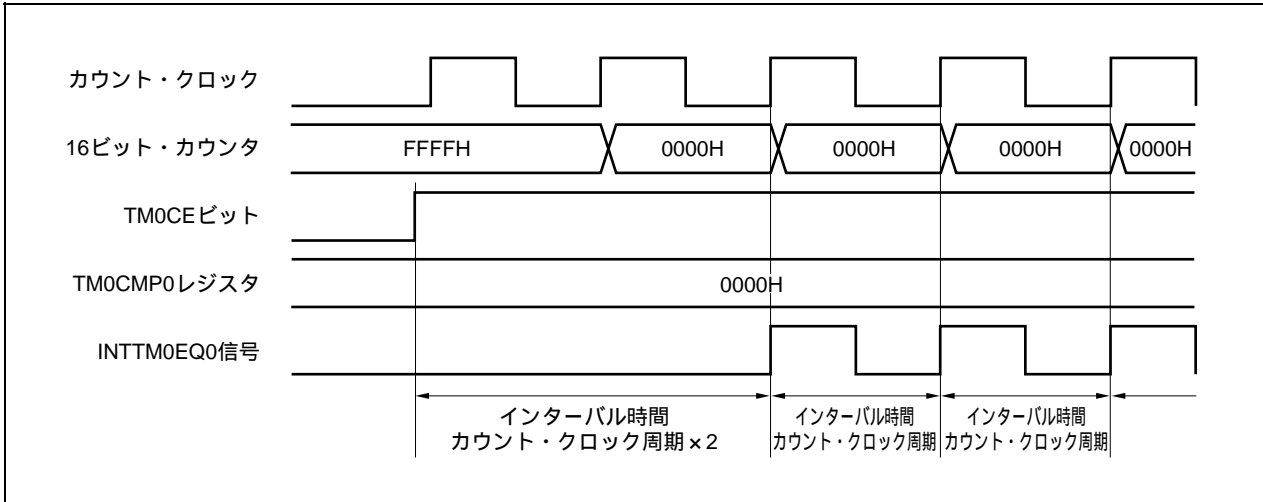


(2) インターバル・タイマ・モード動作タイミング

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

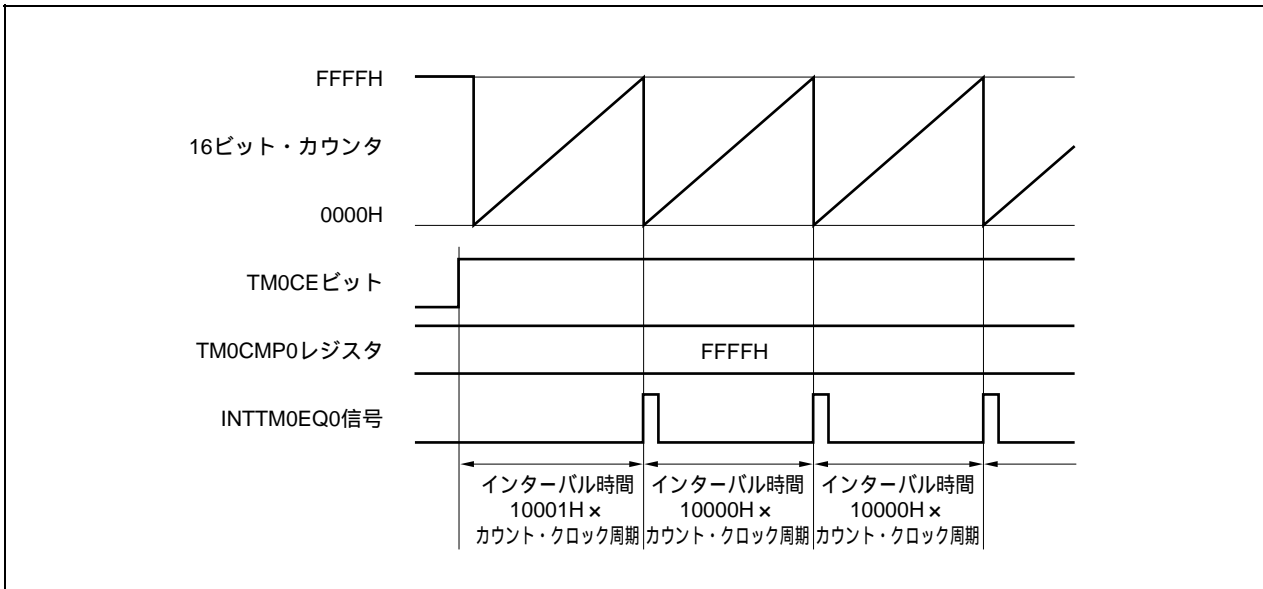
TM0CMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。



(b) TM0CMP0レジスタにFFFFHを設定した場合の動作

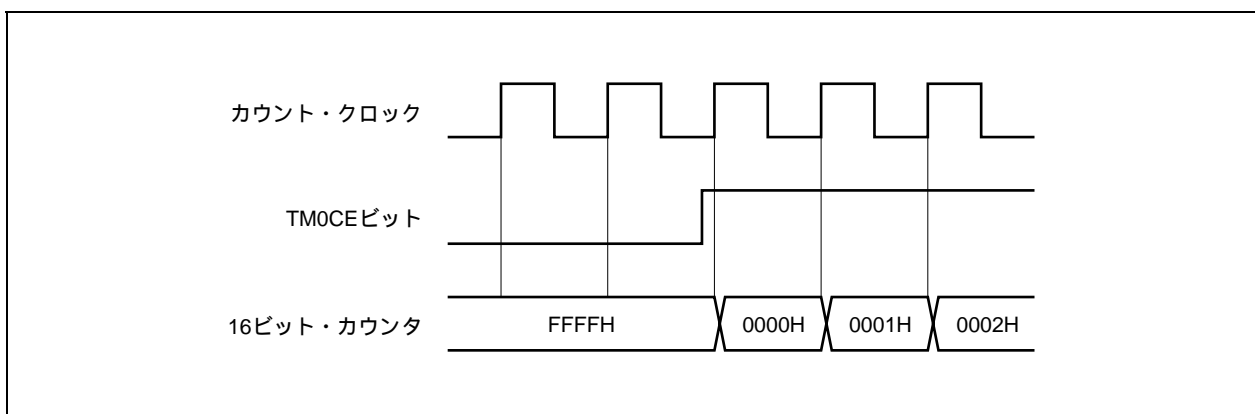
TM0CMP0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTM0EQ0信号を発生します。



8.5 注意事項

(1) タイマ・スタート時の誤差

TM0CTL0.TM0CEビット = 0 1にしてTMM0をスタートしてから、最初のコンペアー一致割り込み要求信号 (INTTM0EQ0) が発生するまでの時間は、1クロック長くなります。これは、TM0CEビット = 0のときの16ビット・カウンタの値がFFFFHであるためと、TMM0のスタートがカウント・クロックと非同期で行われるためです。



(2) TM0CMP0, TM0CTL0レジスタはTMM0動作中の書き換えは禁止です。

TM0CTL0.TM0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CEビットをクリア (0) してから再設定してください。

第9章 モータ制御機能

9.1 機能概要

タイマQ1(TMQ1)とTMQ1オプション(TMQOP1)によりモータ制御用のインバータ機能として使用します。またタイマP1(TMP1)と同調動作を行い、TMP1のコンペア一致タイミングで、A/Dコンバータ0,1のA/D変換を起動することができます。モータ制御機能は、次のような動作を行うことができます。

- ・16ビット精度の6相PWM出力機能(デッド・タイム付き, 上アームおよび下アーム用)
- ・タイマ同調動作機能(TMP1と同調動作可能)
- ・任意の周期設定機能
(山割り込み, 谷割り込みでの動作中の変更可能)
- ・コンペア・レジスタ書き換え: 随時書き換え / 一斉書き換え / 間欠一斉書き換え選択機能
(TMQ1動作中の変更可能)
- ・割り込みおよび転送間引き機能
- ・任意のデッド・タイム設定機能
- ・A/Dコンバータ0,1のA/Dトリガの任意タイミング機能
(4種類のタイミング生成が可能)
- ・0%出力と100%出力が可能
- ・山割り込み, 谷割り込みでの0%,100%出力切り替え可能
- ・強制出力停止機能
 - ・外部端子入力(TOQ1OFF, TOP2OFF, TOP3OFF, TOQH0OFF)による有効エッジ検出時
 - ・クロック・モニタ機能によるメイン・クロックの発振停止検出時

9.2 構 成

モータ制御は次のハードウェアで構成されています。

項 目	構 成
タイマ・レジスタ	デッド・タイム・カウンタ m
コンペア・レジスタ	TMQ1デッド・タイム・コンペア・レジスタ (TQ1DTCレジスタ)
制御レジスタ	TMQ1オプション・レジスタ0 (TQ1OPT0) TMQ1オプション・レジスタ1 (TQ1OPT1) TMQ1オプション・レジスタ2 (TQ1OPT2) TMQ1オプション・レジスタ2 (TQ1OPT3) TMQ1I/O制御レジスタ3 (TQ1IOC3) ハイ・インピーダンス出力制御レジスタ0, 1 (HZA1CTL0, HZAaCTL1)

備考 $m = 0-3$

$a = 0, 1$

- ・ TMQ1の出力 (TOQ11, TOQ12, TOQ13) を使用し, デッド・タイム付きの6相PWM出力が可能です。
- ・ 6相PWM出力の出力レベルは個別に設定できます。
- ・ TMQ1の16ビット・タイマ・カウンタは, アップ/ダウンの三角波カウントを行います。アンダフロー発生時と周期一致発生時に割り込みを発生しますが, 最大31回までの割り込み発生を間引くことができます。
- ・ TMP1は, TMQ1とカウント動作を同時に行うことができます (タイマ同調動作機能)。TMP1は, 2種類のA/Dトリガ・ソース (INTTP1CC0, INTTP1CC1) が生成でき, TMQ1のアンダフロー割り込み (INTTQ1OV) と周期一致割り込み (INTTQ1CC0) の2種類と合わせ, 合計4種類の設定ができます。

図9 - 1 モータ制御のブロック図

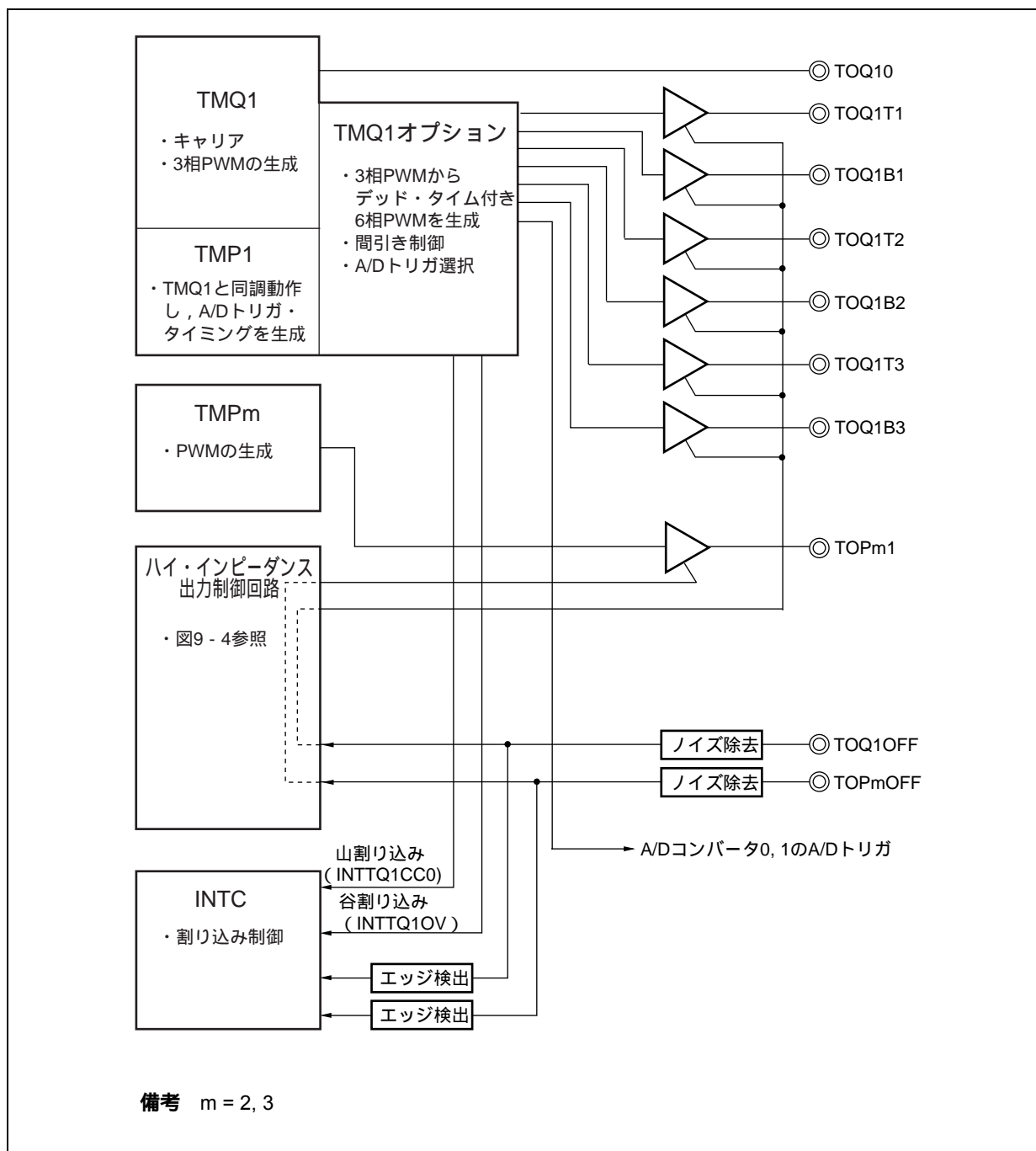
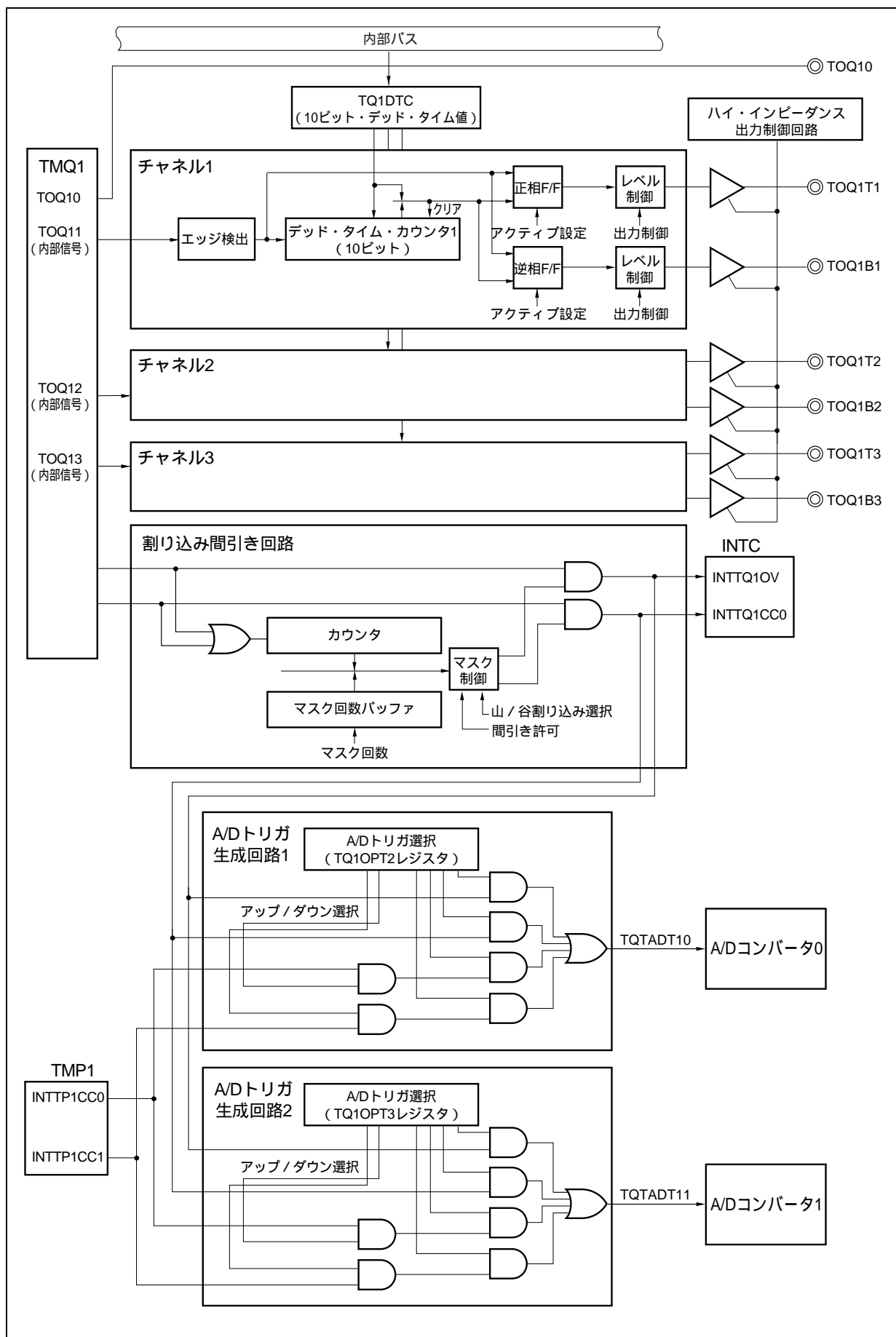


図9-2 TMQ1オプション



(1) TMQ1デッド・タイム・コンペア・レジスタ (TQ1DTC)

TQ1DTCレジスタは、デッド・タイム値を指定する10ビットのコンペア・レジスタです。

TQ1CTL0.TQ1CEビット = 1のとき、TQ1DTCレジスタの書き換えは禁止です。

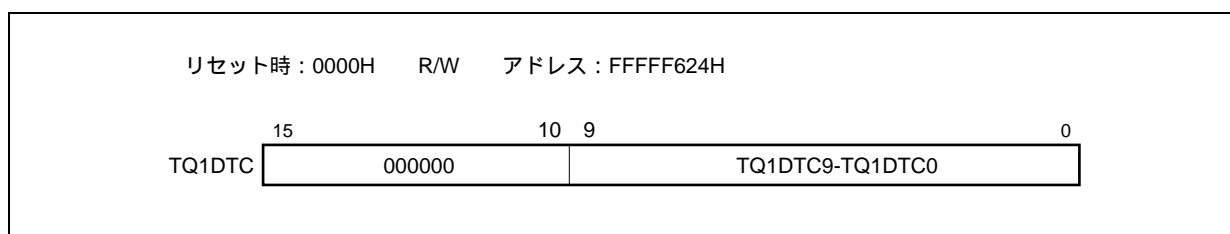
16ビット単位でリード/ライト可能です。

リセットにより0000Hになります。

注意 デッド・タイム期間を生成する場合は、TQ1DTCレジスタに1以上の値を設定してください。

なお、動作停止 (TQ1CTL0.TQ1CEビット = 0) 時には、デッド・タイム期間は生成されず、TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3端子の出力レベルは初期状態となります。そのため、システム保護のため、動作停止前にTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3端子をハイ・インピーダンス状態にするか、もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。

なお、デッド・タイム期間が不要の場合は、TQ1DTCレジスタに0を設定してください。



(2) デッド・タイム・カウンタ1-3

デッド・タイム・カウンタはデッド・タイムをカウントする10ビットのカウント・レジスタです。

TMQ1のTOQ1m出力信号の立ち上がり/立ち下がりエッジにより、クリア/カウント・アップ動作を行い、TQ1DTCレジスタとの一致でクリア&ストップします。カウント・クロックはTMQ1のTQ1CTL0.TQ1CKS2-TQ1CKS0ビットで設定したカウント・クロックと同じカウント・クロックです。

備考1. TQ1OPT2.TQ1DTMビット = 1とした場合は、動作が異なります。詳細は、9. 4. 2 (4) **デッド・タイム幅の自動縮小機能** (TQ1OPT2.TQ1DTMビット = 1) を参照してください。

2. m = 1-3

9.3 制御レジスタ

(1) TMQ1オプション・レジスタ0 (TQ1OPT0)

タイマQ1オプション機能を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしTQ1CUFビットはリードのみ可能です。

リセットにより00Hになります。

注意 TQ1CMS, TQ1CUFビットは6相PWM出力モード時のみ設定可能です。TMQ1単体では必ず“0”を設定してください。

リセット時：00H R/W アドレス：FFFFFF605H

	7	6	5	4	3	②	①	①
TQ1OPT0	0	0	0	0	0	TQ1CMS	TQ1CUF	TQ1OVF ^注

TQ1CMS	コンペア・レジスタの書き換えモード選択
0	一斉書き換えモード指定 (転送動作指定)
1	随時書き換えモード指定

・ TQ1CMSビットは、6相PWM出力モード (TQ1CTL1.TQ1MD2-TQ1MD0ビット = 111) 設定時のみ有効です。それ以外のモードでは、TQ1CMSビット = 0としてください。

・ TQ1CMSビットは、タイマ動作中 (TQ1CTL0.TQ1CEビット = 1) の書き換えが可能です。

・ 一斉書き込みモード選択時、対象になるレジスタは次のとおりです。
TQ1CCR0-TQ1CCR3, TP1CCR0, TP1CCR1, TQ1OPT1レジスタ

TQ1CUF	タイマQ1のアップ・カウント/ダウン・カウント・フラグ
0	タイマQ1がアップ・カウント中
1	タイマQ1がダウン・カウント中

TQ1CUFビットは、6相PWM出力モード (TQ1CTL1.TQ1MD2-TQ1MD0ビット = 111) 設定時のみ有効です。

注 TQ1OVFビットの詳細は、第7章 16ビット・タイマ/イベント・カウンタQ (TMQ) を参照してください。

注意 ビット7-3には必ず“0”を設定してください。

(2) TMQ1オプション・レジスタ1 (TQ1OPT1)

タイマQ1オプション機能から発生する割り込み要求信号を制御する8ビットのレジスタです。

TQ1OPT1レジスタは、図9 - 2にある割り込み間引き回路，A/Dトリガ生成回路1，A/Dトリガ生成回路2に対する信号を生成します。

TQ1CTL0.TQ1CEビット = 1のときも，TQ1OPT1レジスタの書き換えができます。

書き換え方法は，TQ1OPT0.TQ1CMSビットにより，一斉書き込みモードと随時書き込みモードの2種類を選択できます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF620H

	⑦	⑥	5	4	3	2	1	0
TQ1OPT1	TQ1ICE	TQ1IOE	0	TQ1ID4	TQ1ID3	TQ1ID2	TQ1ID1	TQ1ID0
TQ1ICE	山割り込み (INTTQ1CC0信号) 許可 ^注							
0	INTTQ1CC0信号を使用しない (割り込み間引きのカウンタ信号としない)							
1	INTTQ1CC0信号を使用する (割り込み間引きのカウンタ信号とする)							
TQ1IOE	谷割り込み (INTTQ1OV信号) 許可 ^注							
0	INTTQ1OV信号を使用しない (割り込み間引きのカウンタ信号としない)							
1	INTTQ1OV信号を使用する (割り込み間引きのカウンタ信号とする)							
TQ1ID4	TQ1ID3	TQ1ID2	TQ1ID1	TQ1ID0	割り込み回数の選択			
0	0	0	0	0	間引きなし (すべての割り込みを出力)			
0	0	0	0	1	1マスク (2回に1回の割り込みを出力)			
0	0	0	1	0	2マスク (3回に1回の割り込みを出力)			
0	0	0	1	1	3マスク (4回に1回の割り込みを出力)			
:	:	:	:	:	:			
1	1	1	0	0	28マスク (29回に1回の割り込みを出力)			
1	1	1	0	1	29マスク (30回に1回の割り込みを出力)			
1	1	1	1	0	30マスク (31回に1回の割り込みを出力)			
1	1	1	1	1	31マスク (32回に1回の割り込みを出力)			

注 山割り込み (INTTQ1CC0信号)，谷割り込み (INTTQ1OV信号) を割り込み間引きのカウンタ信号として使用する場合は，およびA/Dトリガ信号として使用する場合は，使用する信号を1に設定してください。
 なお，間引きされた割り込みタイミングでA/Dトリガが生成されます。

(3) TMQ1オプション・レジスタ2 (TQ1OPT2)

タイマQ1オプション機能を制御する8ビットのレジスタです。

TQ1CTL0.TQ1CEビット = 1のときも, TQ1OPT2レジスタの書き換えが可能です。ただし, TQ1DTMビットはTQ1CEビット = 1のとき, 書き換え禁止です。同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時 : 00H R/W アドレス : FFFFFFF621H

	⑦	⑥	⑤	④	③	②	①	①
TQ1OPT2	TQ1RDE	TQ1DTM	TQ1ATM03	TQ1ATM02	TQ1AT03	TQ1AT02	TQ1AT01	TQ1AT00

TQ1RDE	転送間引き許可
0	転送の間引きなし (山, 谷で毎回転送タイミングが発生)
1	TQ1OPT1レジスタで設定した割り込み間引きと同じ間隔で転送を間引く

TQ1DTM	デッド・タイム・カウンタ動作モード選択
0	通常のアップ・カウントを行い, TMQ1のTOQ1m出力が狭間隔 (TOQ1m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタをクリアし再カウントを行う。
1	通常のアップ・カウントを行い, TMQ1のTOQ1m出力が狭間隔 (TOQ1m出力幅 < デッド・タイム幅) の場合は, デッド・タイム・カウンタはダウン・カウント動作に切り替わり, デッド・タイム制御幅が自動的に狭くなる。
TQ1DTMビットは, タイマ動作中の書き換えは禁止です。誤って書き換えた場合は, 一度TQ1CEビット = 0にしてタイマ動作を停止してから, 再度設定を行ってください。	

注意1. 割り込み間引きを使用する場合 (TQ1OPT1.TQ1ID4-TQ1ID0ビット = 00000以外) には, 必ずTQ1RDEビット = 1に設定してください。このため, 割り込みと転送は同じタイミングで発生します。別々の設定はできません。別々の設定を行った場合 (TQ1RDEビット = 0) は転送が正常には行われません。

2. デッド・タイム期間を生成する場合は, TQ1DTCレジスタに1以上の値を設定してください。

なお, 動作停止 (TQ1CTL0.TQ1CEビット = 0) 時には, デッド・タイム期間は生成されず, TOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3端子の出力レベルは初期状態となります。そのため, システム保護のため, 動作停止前にTOQ1T1-TOQ1T3, TOQ1B1-TOQ1B3端子をハイ・インピーダンス状態にするか, もしくは端子の出力レベルを設定したうえでポート・モードに切り替えるなどの処置をしてください。

なお, デッド・タイム期間が不要の場合は, TQ1DTCレジスタに0を設定してください。

備考 m = 1-3

TQ1ATM03	TQ1ATM03モード選択
0	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT10) をアップ・カウント時に出力
1	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT10) をダウン・カウント時に出力

TQ1ATM02	TQ1ATM02モード選択
0	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT10) をアップ・カウント時に出力
1	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT10) をダウン・カウント時に出力

TQ1AT03 ^注	A/Dトリガ出力制御3
0	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT10) の出力禁止
1	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT10) の出力許可

TQ1AT02 ^注	A/Dトリガ出力制御2
0	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT10) の出力禁止
1	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT10) の出力許可

TQ1AT01 ^注	A/Dトリガ出力制御1
0	INTTQ1CC0 (山割り込み) のA/Dトリガ信号 (TQTADT10) の出力禁止
1	INTTQ1CC0 (山割り込み) のA/Dトリガ信号 (TQTADT10) の出力許可

TQ1AT00 ^注	A/Dトリガ出力制御0
0	INTTQ1OV (谷割り込み) のA/Dトリガ信号 (TQTADT10) の出力禁止
1	INTTQ1OV (谷割り込み) のA/Dトリガ信号 (TQTADT10) の出力許可

注 TQ1AT03-TQ1AT00ビットの設定については、第11章 A/Dコンバータ0, 1を参照してください。

(4) TMQ1オプション・レジスタ3 (TQ1OPT3)

タイマQ1オプション機能を制御する8ビットのレジスタです。

TQ1CTL0.TQ1CEビット = 1のときも，TQ1OPT3レジスタの書き換えが可能です。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF623H

	7	6	⑤	④	③	②	①	①
TQ1OPT3	0	0	TQ1ATM13	TQ1ATM12	TQ1AT13	TQ1AT12	TQ1AT11	TQ1AT10

TQ1ATM13	TQ1ATM13モード選択
0	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT11) をアップ・カウント時に出力
1	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT11) をダウン・カウント時に出力

TQ1ATM12	TQ1ATM12モード選択
0	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT11) をアップ・カウント時に出力
1	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT11) をダウン・カウント時に出力

TQ1AT13 ^注	A/Dトリガ出力制御3
0	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT11) の出力禁止
1	INTTP1CC1割り込みのA/Dトリガ信号 (TQTADT11) の出力許可

TQ1AT12 ^注	A/Dトリガ出力制御2
0	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT11) の出力禁止
1	INTTP1CC0割り込みのA/Dトリガ信号 (TQTADT11) の出力許可

TQ1AT11 ^注	A/Dトリガ出力制御1
0	INTTQ1CC0 (山割り込み) のA/Dトリガ信号 (TQTADT11) の出力禁止
1	INTTQ1CC0 (山割り込み) のA/Dトリガ信号 (TQTADT11) の出力許可

TQ1AT10 ^注	A/Dトリガ出力制御0
0	INTTQ1OV (谷割り込み) のA/Dトリガ信号 (TQTADT11) の出力禁止
1	INTTQ1OV (谷割り込み) のA/Dトリガ信号 (TQTADT11) の出力許可

注 TQ1AT13-TQ1AT10ビットの設定については，第11章 A/Dコンバータ 0, 1を参照してください。

(5) TMQ1/O制御レジスタ3 (TQ1IOC3)

タイマQ1オプション機能の出力を制御する8ビットのレジスタです。

TOQ1Tm端子を出力するためには、TQ1IOC0.TQ1OEmビット = 1に設定してからTQ1IOC3レジスタを設定してください。

TQ1CTL0.TQ1CEビット = 0のときのみ、TQ1IOC3レジスタの書き換えが可能です。

TQ1CTL0.TQ1CEビット = 1のとき、TQ1IOC3レジスタの各ビットの書き換えは禁止です。

TQ1CTL0.TQ1CEビット = 1のとき、TQ1IOC3レジスタの各ビットの同値書き込みは可能です。

8/1ビット単位でリード/ライト可能です。

リセットによりA8Hになります。

注意 6相PWM出力モード以外のモードでタイマを使用する場合はTQ1IOC3レジスタの値はリセット値 (A8H) に設定してください。

備考 TOQ1Tm端子の出力レベルの設定は、TQ1IOC0レジスタで行ってください。

リセット時 : A8H R/W アドレス : FFFFF622H									
	⑦	⑥	⑤	④	③	②	1	0	
TQ1IOC3	TQ1OLB3	TQ1OEB3	TQ1OLB2	TQ1OEB2	TQ1OLB1	TQ1OEB1	0	0	
	TQ1OLBm	TOQ1Bm端子出力レベルの設定 (m = 1-3)							
	0	TOQ1Bm端子出力反転禁止							
	1	TOQ1Bm端子出力反転許可							
	TQ1OEBm	TOQ1Bm端子出力の設定 (m = 1-3)							
	0	TOQ1Bm端子出力禁止 ・ TQ1OLBmビット = 0 のときTOQ1Bm端子からロウ・レベルを出力 ・ TQ1OLBmビット = 1 のときTOQ1Bm端子からハイ・レベルを出力							
	1	TOQ1Bm端子出力許可							

(a) TOQ1Tm, TOQ1Bm端子出力

TOQ1Tm端子出力は, TQ1IOC0.TQ1OLm, TQ1OEmビットによって制御されます。TOQ1Bm端子出力は, TQ1IOC3.TQ1OLBm, TQ1OEBmビットによって制御されます。

6相PWM出力モードにおける各設定でのタイマ出力を次に示します。

図9 - 3 TOQ1Tm, TOQ1Bm端子出力制御 (デッド・タイムなし)

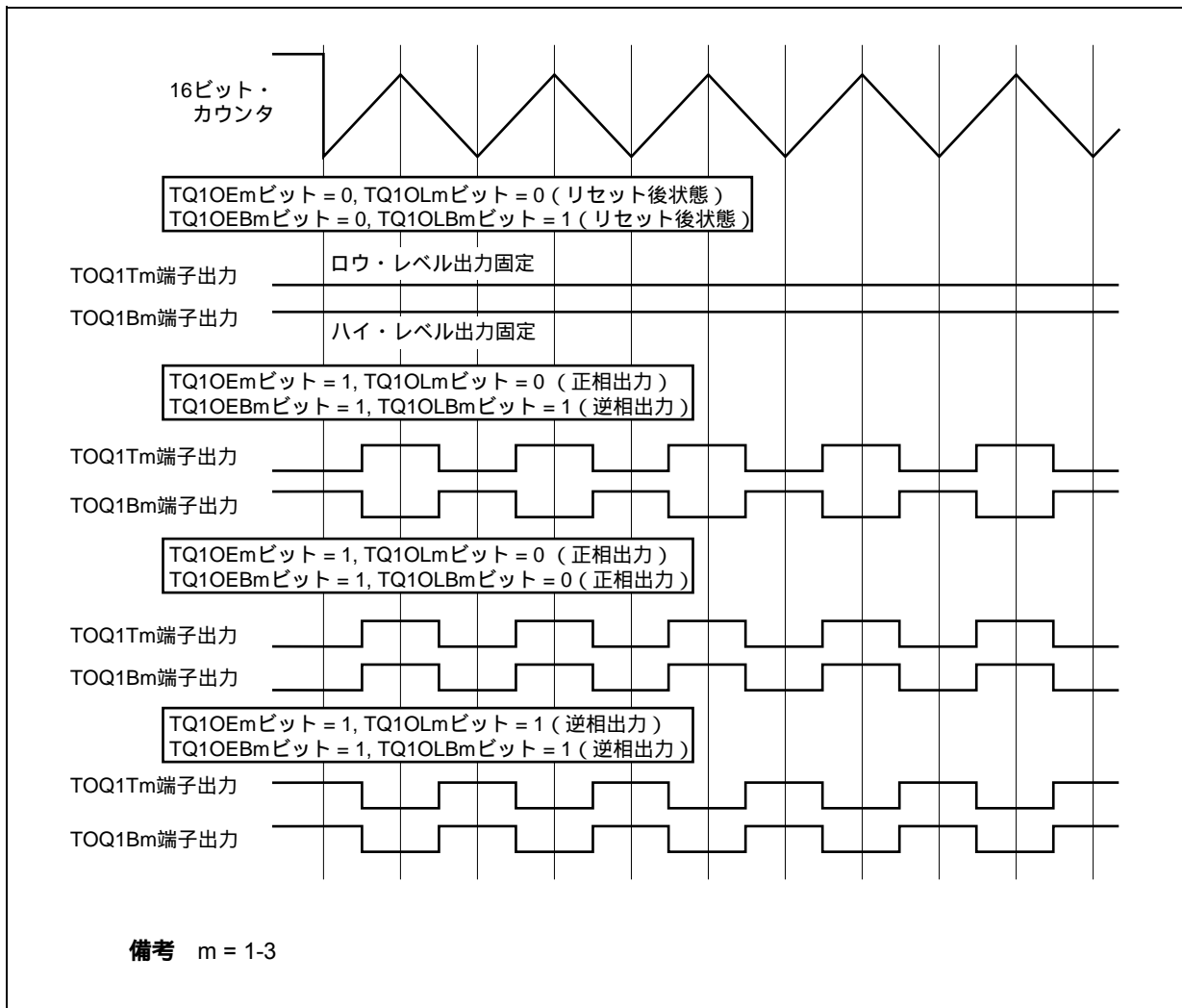


表9 - 1 TOQ1Tm端子出力

TQ1OLmビット	TQ1OEmビット	TQ1CEビット	TOQ1Tm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOQ1Tm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOQ1Tm逆相出力

備考 m = 1-3

表9 - 2 TOQ1Bm端子出力

TQ1OLBmビット	TQ1OEBmビット	TQ1CEビット	TOQ1Bm端子出力
0	0	X	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	TOQ1Bm正相出力
1	0	X	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	TOQ1Bm逆相出力

備考 m = 1-3

(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11 (HZAyCTLn)

HZAyCTLnレジスタは、出力バッファのハイ・インピーダンス制御をする8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただしHZAyDCF1ビットは、リードのみ可能で、ライト動作を行っても書き込めません。

16ビット・アクセスは、できません。

リセットにより00Hになります。

HZAyCTLnレジスタは、常時ソフトウェアでの同値書き込みが可能です。

検出要因 / 制御レジスタの関係を次に示します。

ハイ・インピーダンス制御対象端子	ハイ・インピーダンス制御要因 (外部端子)	制御レジスタ
TOQH01-TOQH03出力時	TOQH0OFF	HZA0CTL0
TOP21出力時	TOP2OFF	HZA0CTL1
TOQ1T1-TOQ1T3出力時 TOQ1B1-TOQ1B3出力時	TOQ1OFF	HZA1CTL0
TOP31出力時	TOP3OFF	HZA1CTL1

注意 ハイ・インピーダンス制御が行なわれるのは、対象ポートを表中の対象端子に設定した場合にかぎります。

リセット時：00H R/W アドレス：HZA0CTL0 FFFFF5F0H, HZA0CTL1 FFFFF5F1H,
HZA1CTL0 FFFFF630H, HZA1CTL1 FFFFF631H

	⑦	⑥	5	4	③	②	1	①
HZAyCTLn	HZAyDCEn	HZAyDCMn	HZAyDCNn	HZAyDCPn	HZAyDCTn	HZAyDCCn	0	HZAyDCFn

$\left\{ \begin{array}{l} n = 0, 1 \\ y = 0, 1 \end{array} \right\}$

HZAyDCEn	ハイ・インピーダンス出力の制御
0	ハイ・インピーダンス出力制御動作禁止。対象端子出力可能
1	ハイ・インピーダンス出力制御動作許可

HZAyDCMn	HZAyDCCnビットによるハイ・インピーダンス解除の条件
0	外部端子 ^注 入力に関係なく、HZAyDCCnビットの設定が有効
1	外部端子 ^注 入力異常検出したレベル（アクティブ・レベル）を保持している期間はHZAyDCCnビットの設定が無効。
HZAyDCMnビットを書き換える場合はHZAyDCEnビット = 0のとき行ってください。	

HZAyDCNn	HZAyDCPn	外部端子 ^注 の入力エッジ指定
0	0	有効エッジなし（外部端子 ^注 入力によるHZAyDCFnビットのセット禁止）
0	1	外部端子 ^注 の入力の立ち上がりエッジを有効 （立ち上がりエッジ入力で異常検出）
1	0	外部端子 ^注 の入力の立ち下がりエッジを有効 （立ち下がりエッジ入力で異常検出）
1	1	設定禁止

- ・ HZAyDCNn, HZAyDCPnビットを書き換える場合はHZAyDCEnビット = 0のとき行ってください。
- ・ INTP0-INTP3端子のエッジ指定については、14. 4. 2 (1) **外部割り込み立ち上がり、立ち下がりエッジ指定レジスタ0** (INTRO, INTF0) を参照してください。
- ・ ハイ・インピーダンス出力制御は、動作許可（HZAyDCEnビット = 1）後に有効エッジが入力された場合に行われます。したがって、動作許可する時点で外部端子^注がアクティブ・レベルである場合は、ハイ・インピーダンス出力制御は行われません。

HZAyDCTn	ハイ・インピーダンス出力トリガ・ビット
0	非動作
1	ソフトウェアで対象端子をハイ・インピーダンスにして、HZAyDCFnビットがセット（1）されます。

- ・ 外部端子^注に異常を示すエッジが入力（HZAyDCNn, HZAyDCPnビットの設定により検出）された場合、HZAyDCTnビットに1を設定しても無効です。
- ・ HZAyDCTnビットはソフトウェア・トリガ・ビットなのでリードすると必ず0が読み出されます。
- ・ HZAyDCEnビット = 0のとき、HZAyDCTnビットに1を設定しても無効です。
- ・ HZAyDCTnビットとHZAyDCCnビットを同時に1に設定することは禁止です。

注 HZA0CTL0：TOQH0OFF端子，HZA0CTL1：TOP2OFF端子，
HZA1CTL0：TOQ1OFF端子，HZA1CTL1：TOP3OFF端子

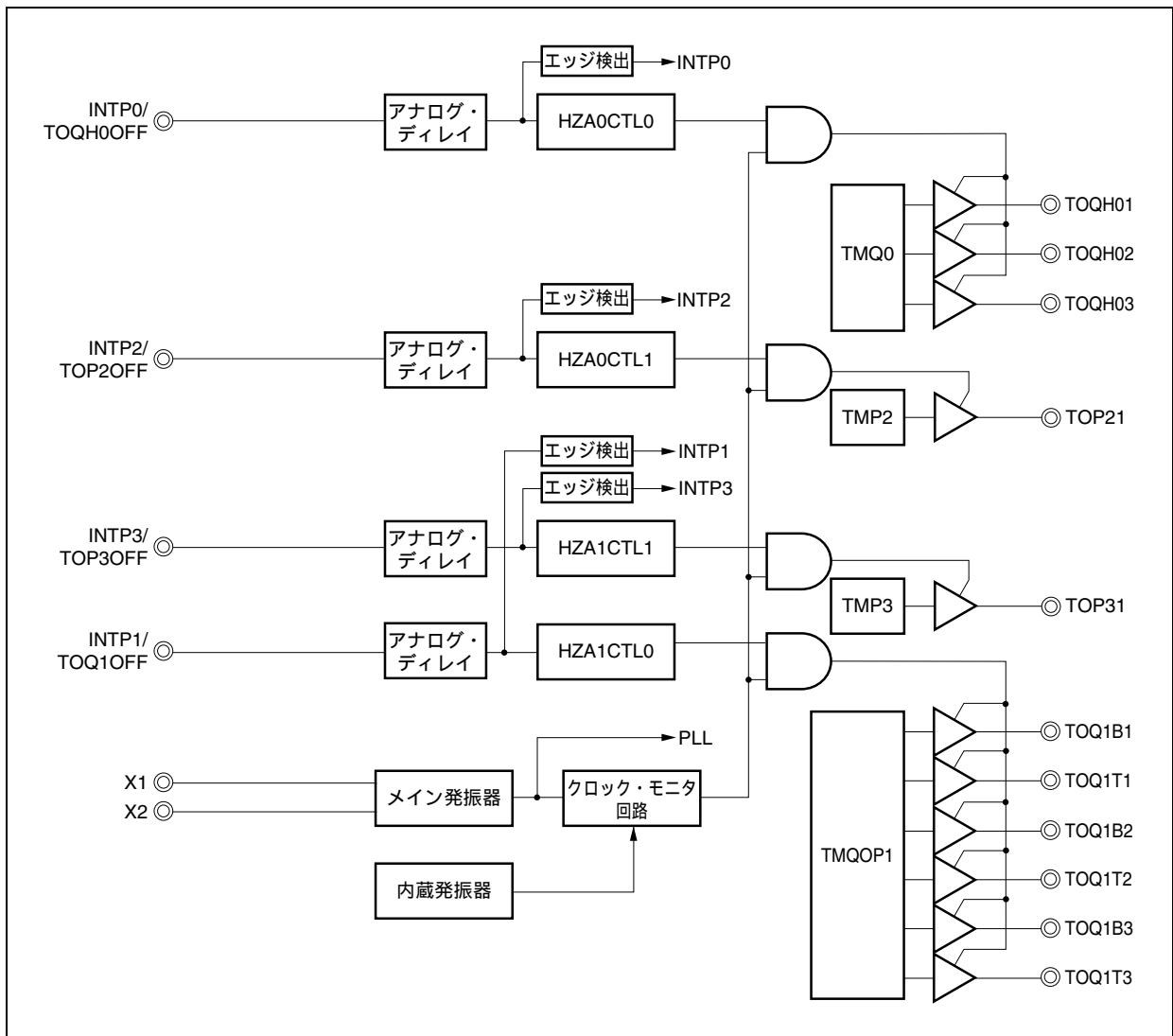
HZAyDCCn	ハイ・インピーダンス出力制御クリア・ビット
0	非動作
1	ハイ・インピーダンス状態の対象端子をソフトウェアで出力許可状態にして、HZAyDCF _n ビットがクリア(0)されます。

・ HZAyDCMビット = 0 のとき、外部端子^注の状態にかかわらず対象端子の出力が可能です。
 ・ HZAyDCMビット = 1 のとき、外部端子^注に異常を示すエッジが入力 (HZAyDCN_n, HZAyDCP_nビットの設定により検出) された場合、HZAyDCC_nビットに1を設定しても無効です。
 ・ HZAyDCC_nビットはリードすると必ず0が読み出されます。
 ・ HZAyDCE_nビット = 0 のとき、HZAyDCC_nビットに1を設定しても無効です。
 ・ HZAyDCT_nビットとHZAyDCC_nビットを同時に1に設定することは禁止です。

HZAyDCF _n	ハイ・インピーダンス出力状態フラグ
0	対象端子の出力が可能状態であることを示します。 ・ HZAyDCE _n ビット = 0によりクリア(0)されます。 ・ HZAyDCC _n ビット = 1によりクリア(0)されます。
1	対象端子の出力がハイ・インピーダンス状態であることを示します。 ・ HZAyDCT _n ビット = 1によりセット(1)されます。 ・ 外部端子 ^注 に異常を示すエッジが入力 (HZAyDCN _n , HZAyDCP _n ビットの設定により検出) された場合、セット(1)されます。

注 HZA0CTL0 : TOQH0OFF端子, HZA0CTL1 : TOP2OFF端子,
 HZA1CTL0 : TOQ1OFF端子, HZA1CTL1 : TOP3OFF端子

図9 - 4 ハイ・インピーダンス出力制御回路構成



(a) 設定手順

(i) ハイ・インピーダンス制御動作を設定する方法

- <1> HZAyDCMn, HZAyDCNn, HZAyDCPnビットの設定
- <2> HZAyDCEnビット = 1 (ハイ・インピーダンス制御の許可)

(ii) ハイ・インピーダンス制御許可設定後に変更する方法

- <1> HZAyDCEnビット = 0 (ハイ・インピーダンス制御動作の停止)。
- <2> HZAyDCMn, HZAyDCNn, HZAyDCPnビットの変更設定。
- <3> HZAyDCEnビット = 1 (ハイ・インピーダンス制御の再許可)。

(iii) 端子がハイ・インピーダンス状態のとき、出力を再開する方法

HZAyDCMnビット = 1の場合、外部端子^注の有効エッジ検出後、ハイ・インピーダンス状態の解除のためHZAyDCCnビットに1をセットしますが、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければハイ・インピーダンス状態の解除はできません。

- <1> HZAyDCCnビット = 1 (ハイ・インピーダンス状態の解除命令信号)。
- <2> HZAyDCFnビットをリードし、フラグの状態を確認。
- <3> HZAyDCFnビット = 1ならば<1>の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZAyDCFnビット = 0ならば端子出力可能。

(iv) ソフトウェアにより端子をハイ・インピーダンスにする方法

ソフトウェアによりHZAyDCTnビット = 1を設定し、端子をハイ・インピーダンスにするには、外部端子^注の入力レベルがインアクティブ状態のときにセットしなければなりません。次の手順は、HZAyDCMnビットの設定に依存しない例です。

- <1> HZAyDCTnビット = 1 (ハイ・インピーダンス出力命令)。
- <2> HZAyDCFnビットをリードし、フラグの状態を確認。
- <3> HZAyDCFnビット = 0ならば<1>の操作に戻る。外部端子^注の入力レベルの確認が必要。
HZAyDCFnビット = 1ならばハイ・インピーダンス状態。

ただし、HZAyDCPnビット = 0, HZAyDCNnビット = 0に設定し、外部端子^注入力を使用しない場合は、HZAyDCTnビットに1をセットすることでハイ・インピーダンス状態になります。

注 HZA0CTL0 : TOQH0OFF端子, HZA0CTL1 : TOP2OFF端子,
HZA1CTL0 : TOQ1OFF端子, HZA1CTL1 : TOP3OFF端子

9.4 動作

9.4.1 システム概要説明

(1) 6相PWM出力概要

6相PWM出力モードは、6相PWM出力波形を生成するためにTMQ1とTMQ1オプションを組み合わせて使用します。

6相PWM出力モードはTMQ1のTQ1CTL1.TQ1MD2-TQ1MD0ビットを“111”に設定することにより有効となります。

基本3相波生成用にTMQ1の1本の16ビット・カウンタと4本の16ビット・コンペア・レジスタを使用します。

コンペア・レジスタの機能は次のとおりです。

また、A/Dコンバータ0, 1の変換開始トリガ・ソース用に、TMP1はTMQ1と同調動作を行うことができます。

コンペア・レジスタ	機能	設定可能範囲
TQ1CCR0レジスタ	周期の設定	0002H m FFEH
TQ1CCR1レジスタ	U相の出力幅の指定	0000H i m + 1
TQ1CCR2レジスタ	V相の出力幅の指定	0000H j m + 1
TQ1CCR3レジスタ	W相の出力幅の指定	0000H k m + 1

備考 m = TQ1CCR0レジスタの設定値

i = TQ1CCR1レジスタの設定値

j = TQ1CCR2レジスタの設定値

k = TQ1CCR3レジスタの設定値

生成された基本3相波を3本の10ビット・デッド・タイム・カウンタと1本のコンペア・レジスタでデッド・タイム間隔生成を行って、基本3相波の逆相波を作り、6相PWM出力波形 (U, \bar{U} , V, \bar{V} , W, \bar{W}) を生成します。

基本3相波生成用の16ビット・カウンタは、アップ/ダウン・カウント動作を行います。動作開始後はアップ・カウント動作を行い、TQ1CCR0レジスタに設定された周期値と一致するとダウン・カウント動作に切り替わります。次に0001Hとの一致が起こると再びアップ・カウント動作に切り替わります。つまりTQ1CCR0レジスタに設定した値 + 1の2倍の値がキャリア周期となります。

デッド・タイム間隔生成用の10ビットのデッド・タイム・カウンタ1-3は、アップ・カウント動作を行うので、TMQ1デッド・タイム・コンペア・レジスタ (TQ1DTC) に設定した値がデッド・タイム値そのものになります。また、カウンタは3本ありデッド・タイム生成をU相、V相、W相に対し独立に行うことができますが、デッド・タイム値の指定レジスタ (TQ1DTC) は1本であるため、3相とも同じデッド・タイム値となります。

図9 - 5 6相PWM出力モードの概要

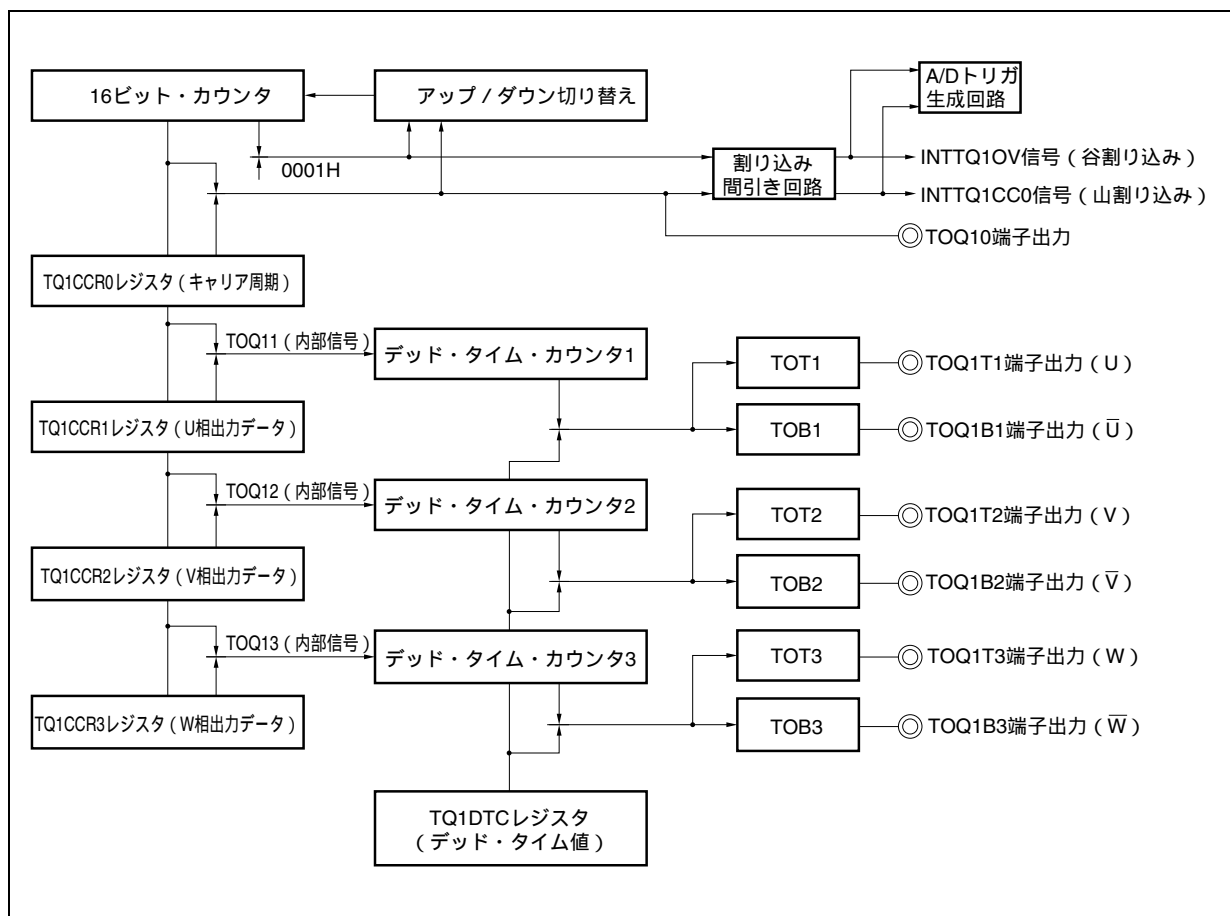
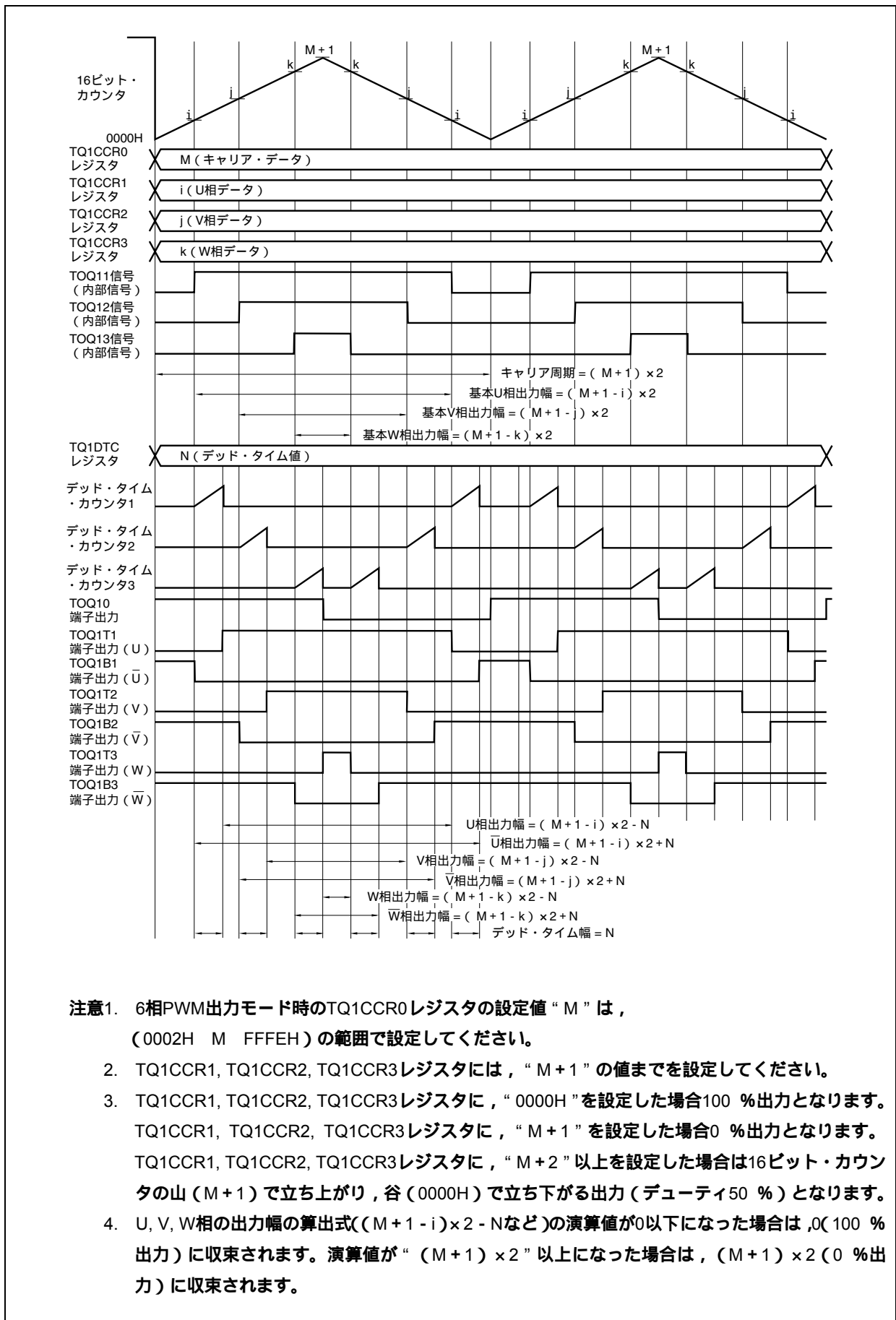


図9 - 6 6相PWM出力モードのタイミング図



(2) 割り込み要求

割り込み要求は、INTTQ1CC0（山割り込み）とINTTQ1OV（谷割り込み）の2種類あります。
 INTTQ1CC0, INTTQ1OVは、TQ1OPT1レジスタで割り込み要求を間引くことができます。
 割り込み間引きに関する詳細は、9.4.3 **割り込み間引き機能**を参照してください。

- ・INTTQ1CC0（山割り込み）：アップ・カウント時の16ビット・カウンタの値とTQ1CCR0レジスタの値との一致割り込み
- ・INTTQ1OV（谷割り込み）：ダウン・カウント時の16ビット・カウンタの値と0001Hの一致割り込み

(3) タイマ動作中のレジスタの書き換えについて

次のレジスタには、バッファ・レジスタがあり、随時書き換え、一斉書き換え、間欠一斉書き換えのいずれかの方法で書き換えができます。

関係ユニット	レジスタ
タイマP1	TMP1キャプチャ/コンペア・レジスタ0 (TP1CCR0) TMP1キャプチャ/コンペア・レジスタ1 (TP1CCR1)
タイマQ1	TMQ1キャプチャ/コンペア・レジスタ0 (TQ1CCR0) TMQ1キャプチャ/コンペア・レジスタ1 (TQ1CCR1) TMQ1キャプチャ/コンペア・レジスタ2 (TQ1CCR2) TMQ1キャプチャ/コンペア・レジスタ3 (TQ1CCR3)
タイマQ1オプション	TMQ1オプション・レジスタ1 (TQ1OPT1)

コンペア・レジスタの転送機能に関する詳細は、9.4.4 **転送機能付きレジスタの書き換え操作**を参照してください。

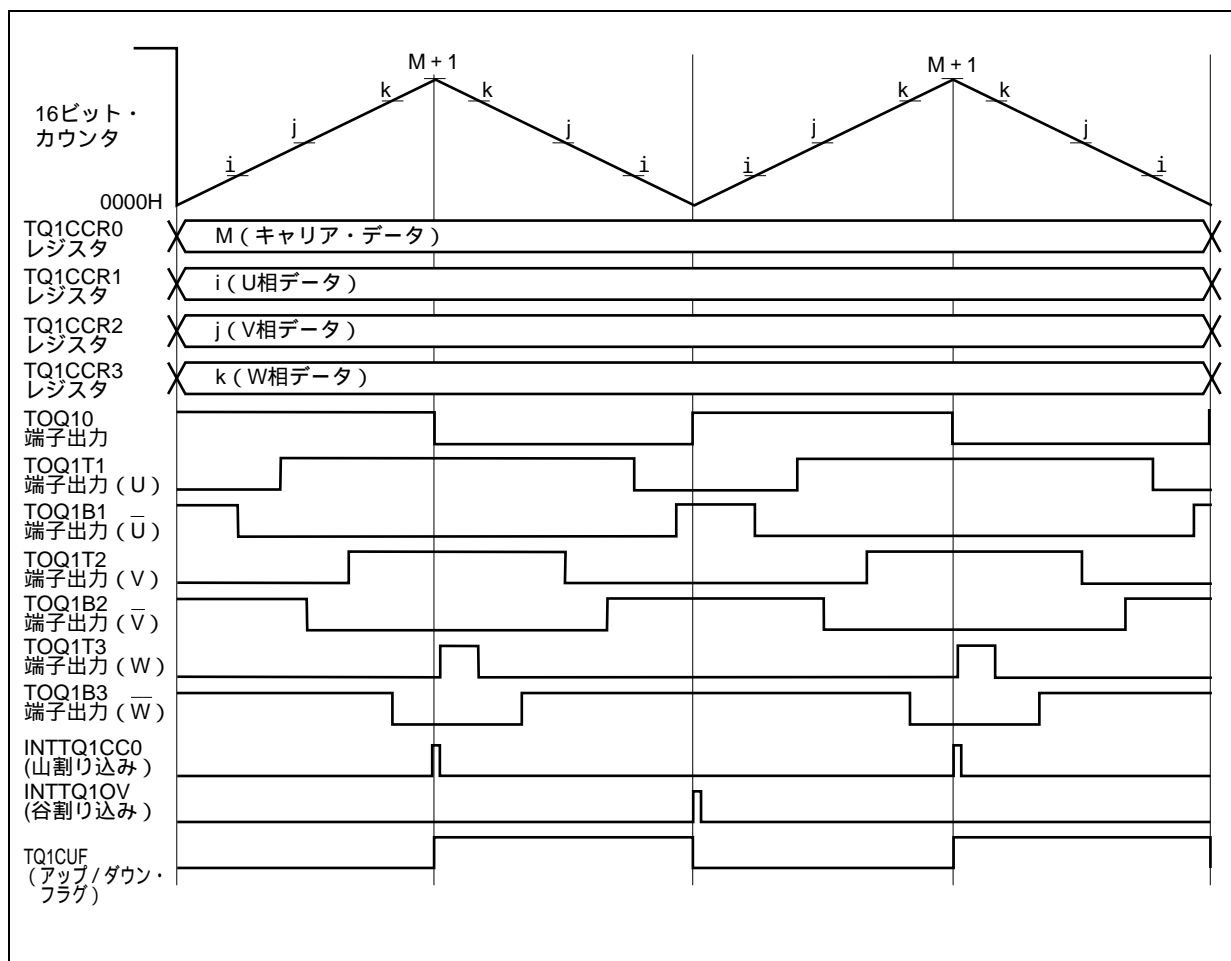
(4) 16ビット・カウンタのアップ/ダウン・カウント動作

16ビット・カウンタの動作状態は、TMQ1オプション・レジスタ0 (TQ1OPT0) のTQ1CUFビットにより確認できます。

TQ1CUFビットの状態	16ビット・カウンタの状態	16ビット・カウンタの値の範囲
TQ1CUFビット = 0	アップ・カウント	0000H - m
TQ1CUFビット = 1	ダウン・カウント	(m + 1) - 0001H

備考 m = TQ1CCR0レジスタの設定値

図9 - 7 割り込みとアップ/ダウン・フラグ



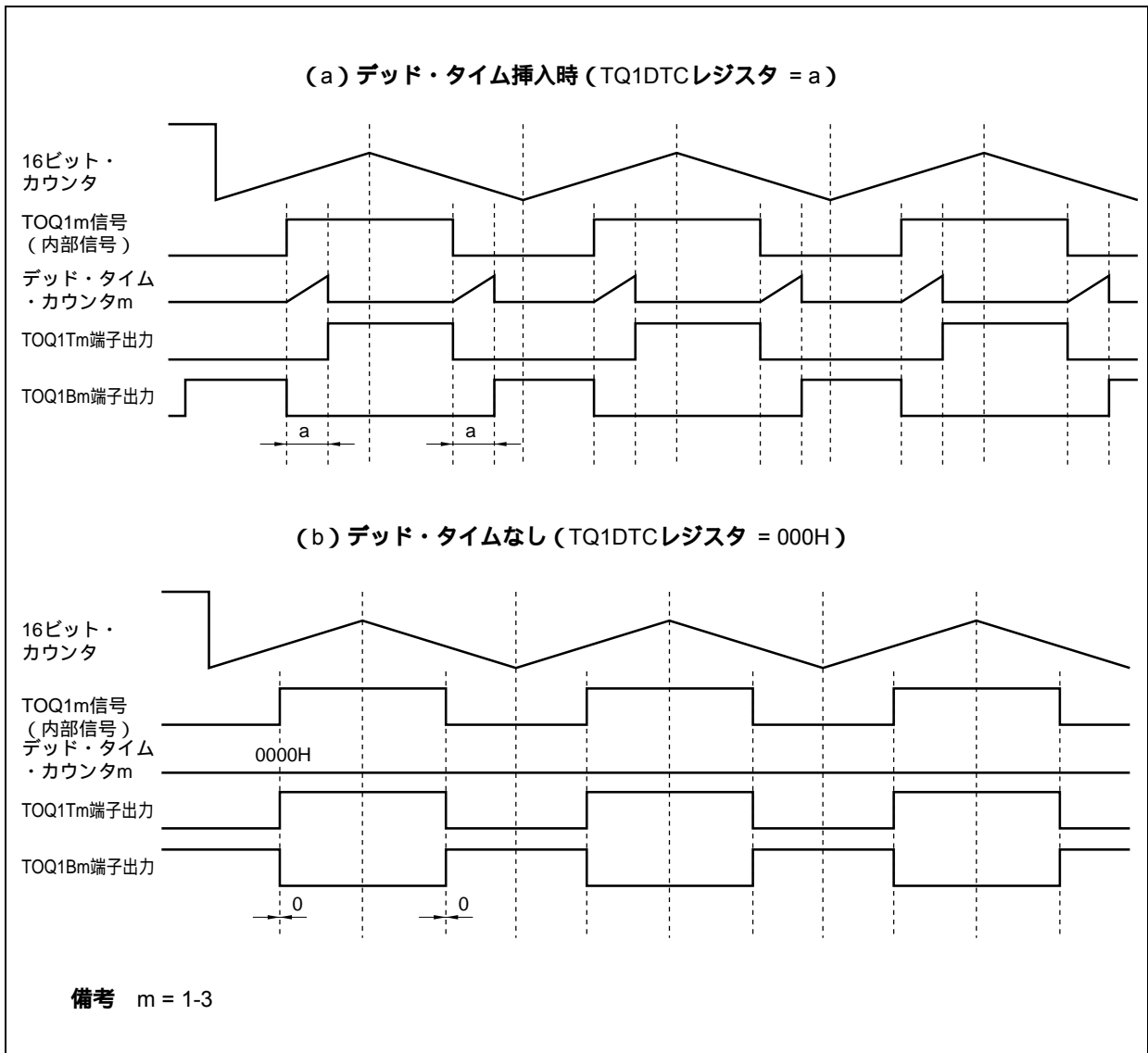
9.4.2 デッド・タイム制御（逆相波信号の生成）

(1) デッド・タイム制御機構

6相PWM出力モードではデューティ用の設定レジスタはコンペア・レジスタ1-3 (TQ1CCR1, TQ1CCR2, TQ1CCR3) とし、周期用の設定レジスタはコンペア・レジスタ0 (TQ1CCR0) となります。この4種類のレジスタを設定し、TMQを動作させることでデューティ可変型の3種類のPWM出力波形（基本3相波）を生成します。この3種類のPWM出力波形をタイマQオプション・ユニット (TMQOP1) で受け、デッド・タイムを付加した反転信号を作成することで、3組6本のPWM波形を生成します。

TMQOP1ユニットは、TMQ1のカウント・クロックに同期して動作する3本の10ビット・カウンタ（デッド・タイム・カウンタ1-3）とデッド・タイムの時間を指定するTMQ1デッド・タイム・コンペア・レジスタ (TQ1DTC) で構成されます。TQ1DTCレジスタに“a”を設定するとデッド・タイム値は“a”となり、正相波と逆相波の間に“a”の間隔が作られます。

図9-8 デッド・タイム付加後のPWM出力波形（1）



(2) 0 % / 100 %のPWM出力

V850ES/IK1は、PWM出力の0 %波形出力、および100 %波形出力が可能です。

0 %波形出力は、TOQ1Tm端子からロウ・レベルを出力し続けます。100 %波形はTOQ1Tm端子からハイ・レベルを出力し続けます。

0 %波形は、TQ1CCR0レジスタ = Mの場合、TQ1CCRmを“M + 1”に設定することにより出力されません。

100 %波形は、TQ1CCRmレジスタを“0000H”に設定することにより出力されます。

なお、タイマ動作中にTQ1CCRmレジスタの書き換えは許可されており、山割り込み (INTTQ1CC0) および谷割り込み (INTTQ1OV) のポイントで、0 %波形出力 / 100 %波形出力に切り替えられます。

備考 m = 1-3

図9-9 0 %PWM出力波形図 (デッド・タイムあり)

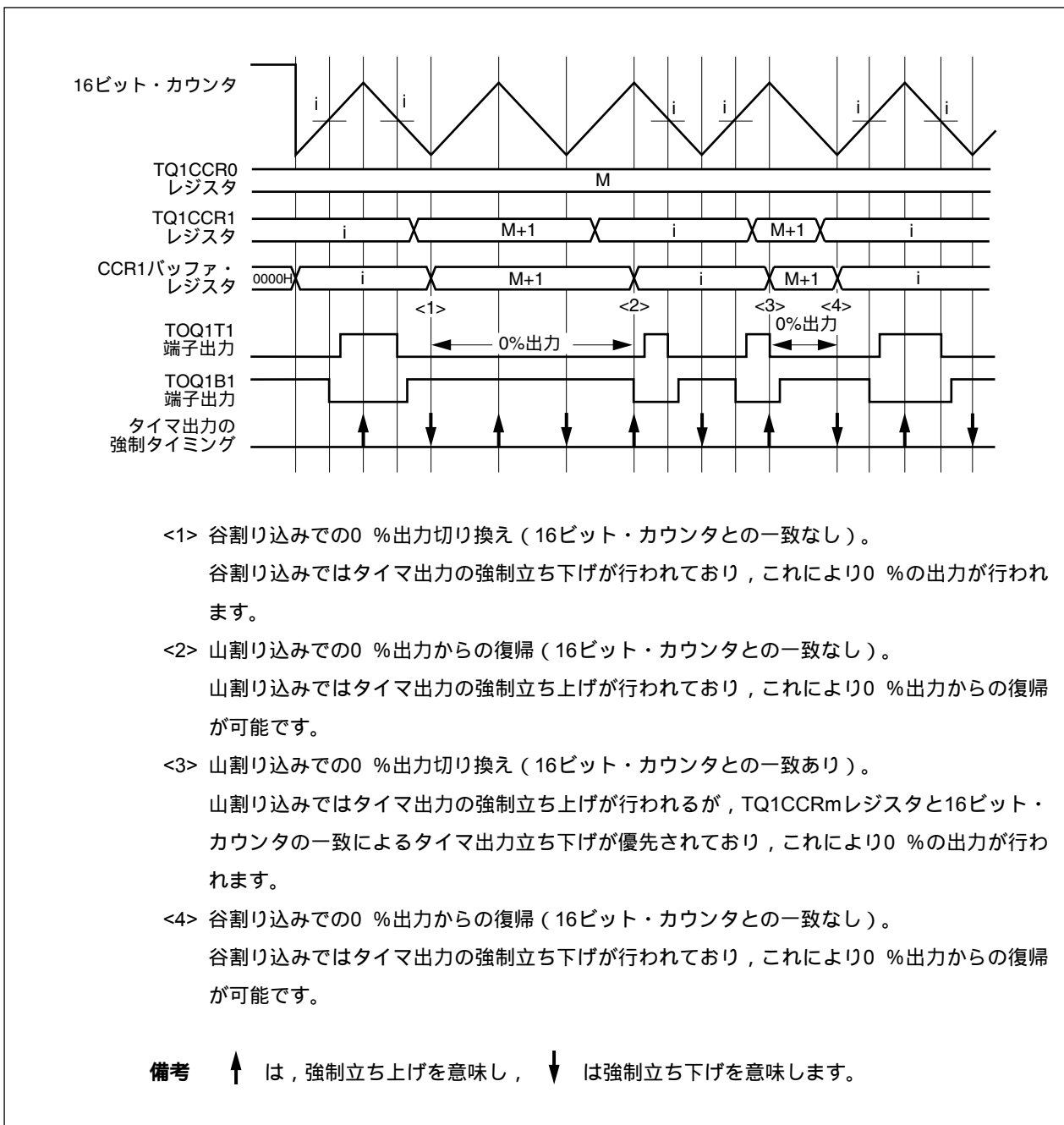


図9 - 10 100 %PWM出力波形図 (デッド・タイムあり)

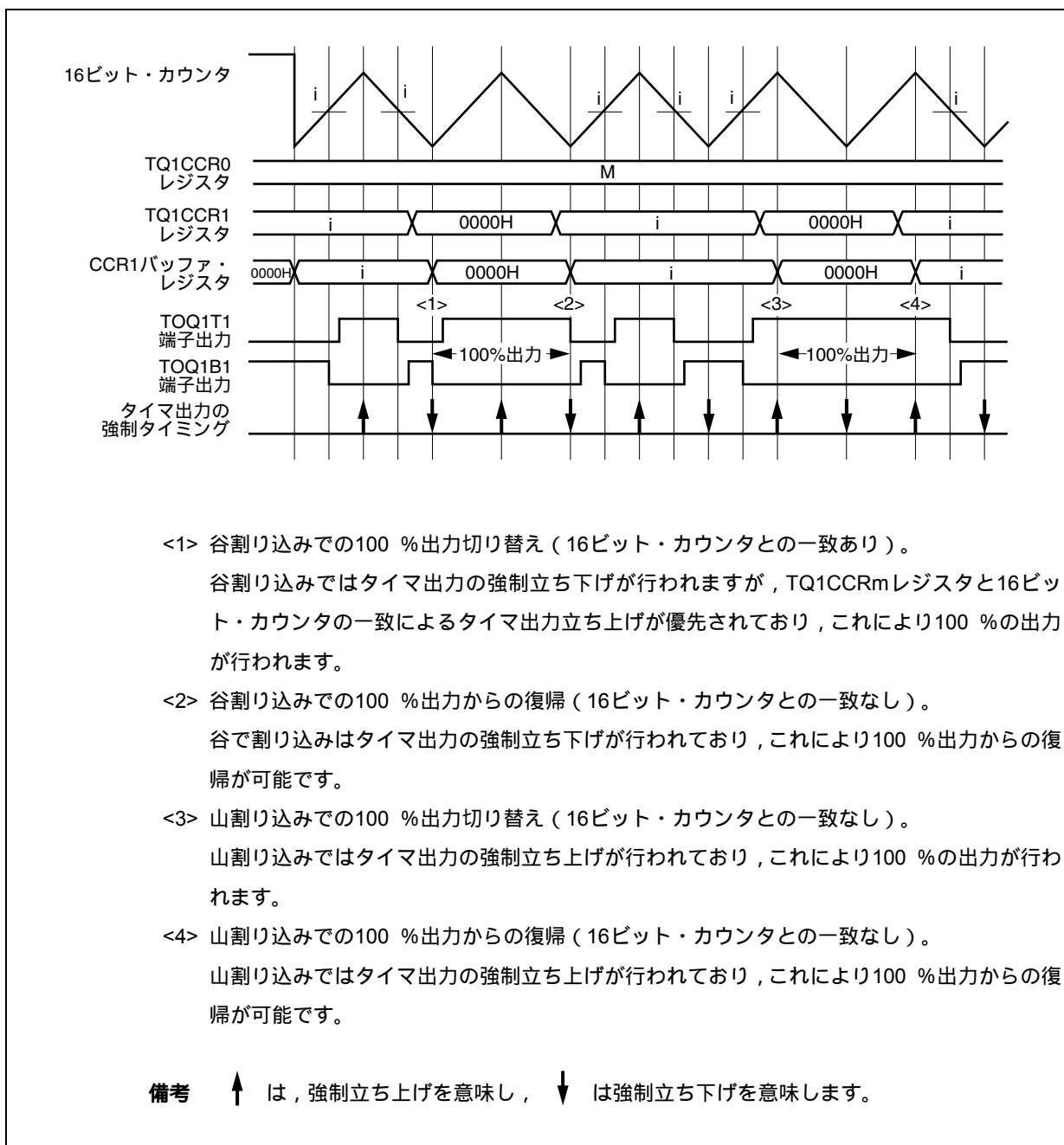
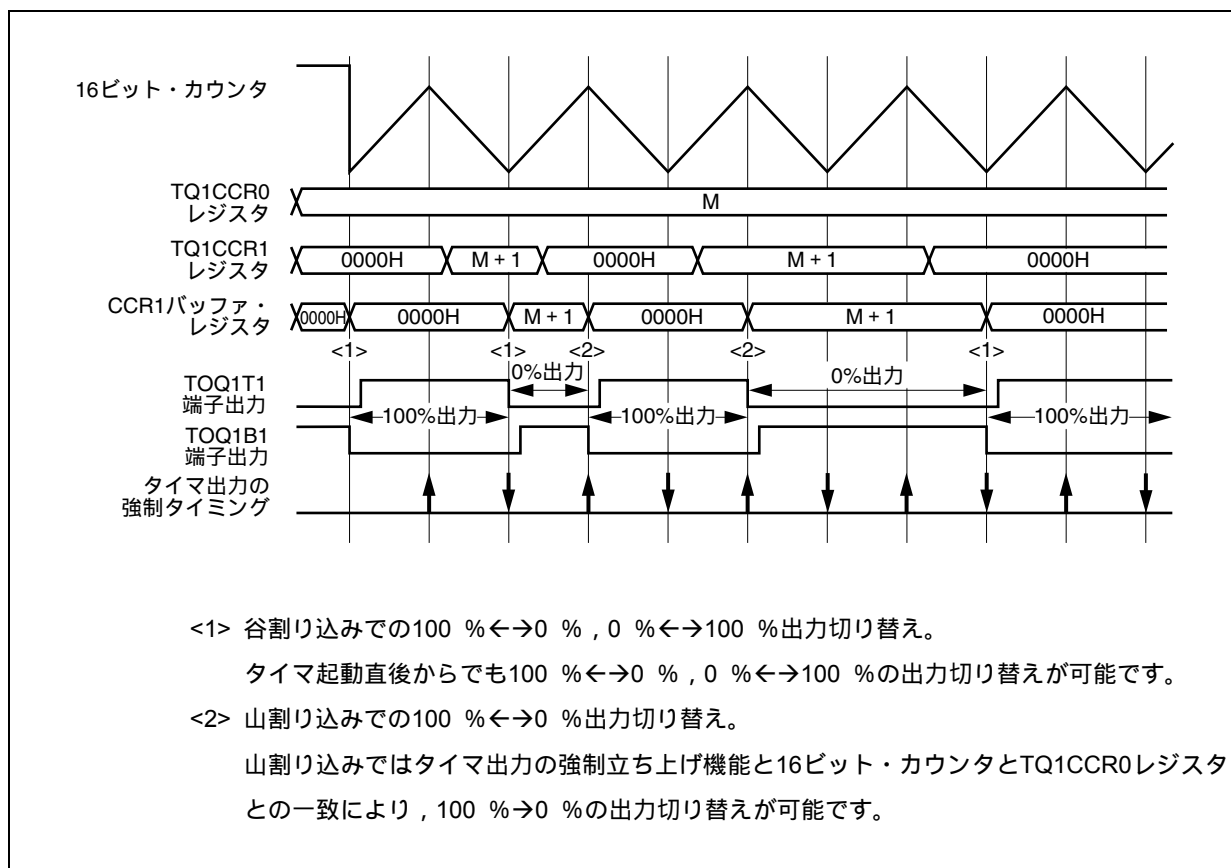


図9-11 0%から100% , 100%から0%のPWM出力波形図(デッド・タイムあり)

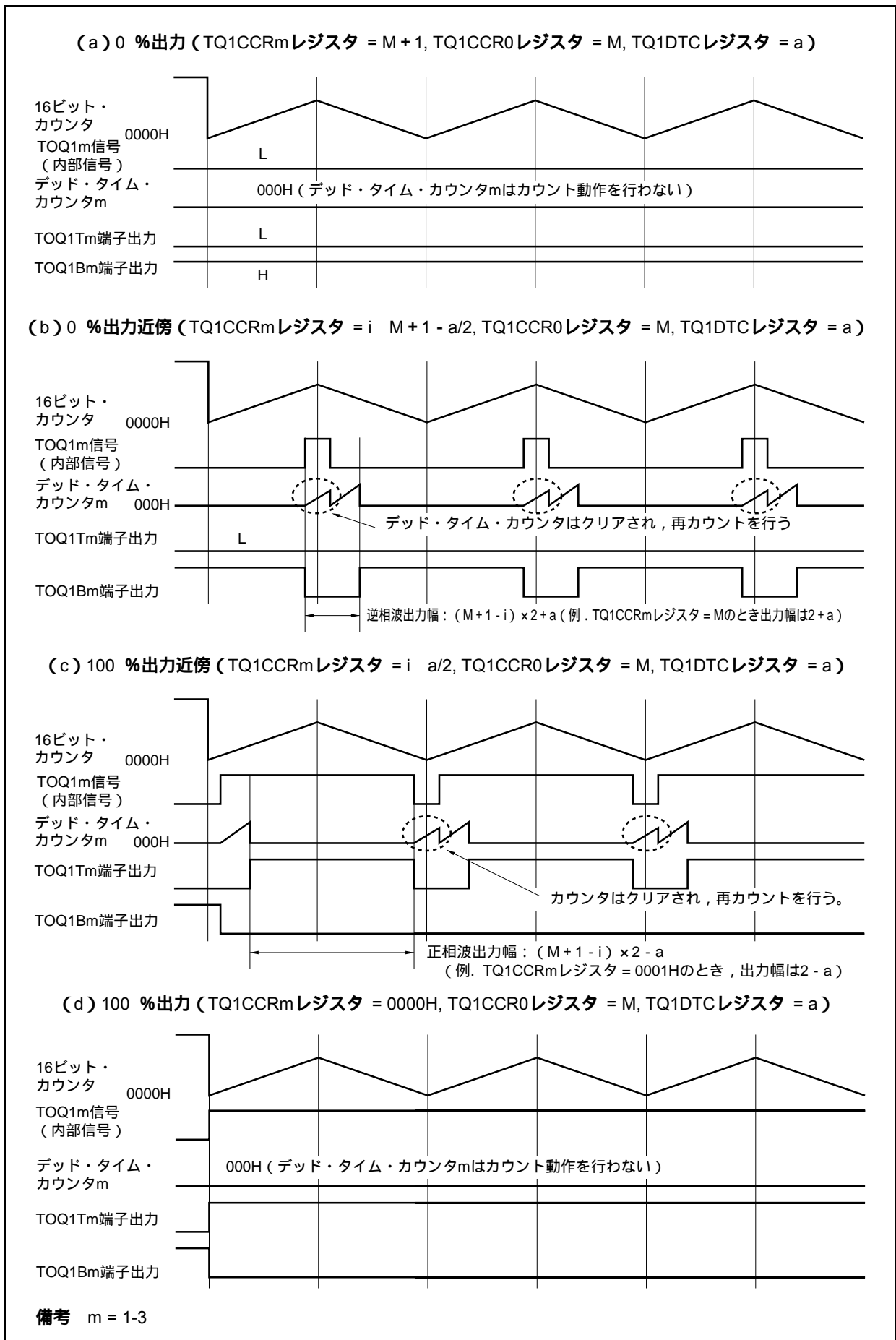


(3) 0 % , 100 %出力近傍の出力波形

デッド・タイム・カウント中にコンペア・レジスタと16ビット・カウンタとの一致割り込みが発生した場合、デッド・タイム・カウンタはクリアされ、再びカウント動作をします。

0 % , 100 %出力の近傍でのデッド・タイム制御の出力波形を次に示します。

図9 - 12 デッド・タイム付加後のPWM出力波形 (2)



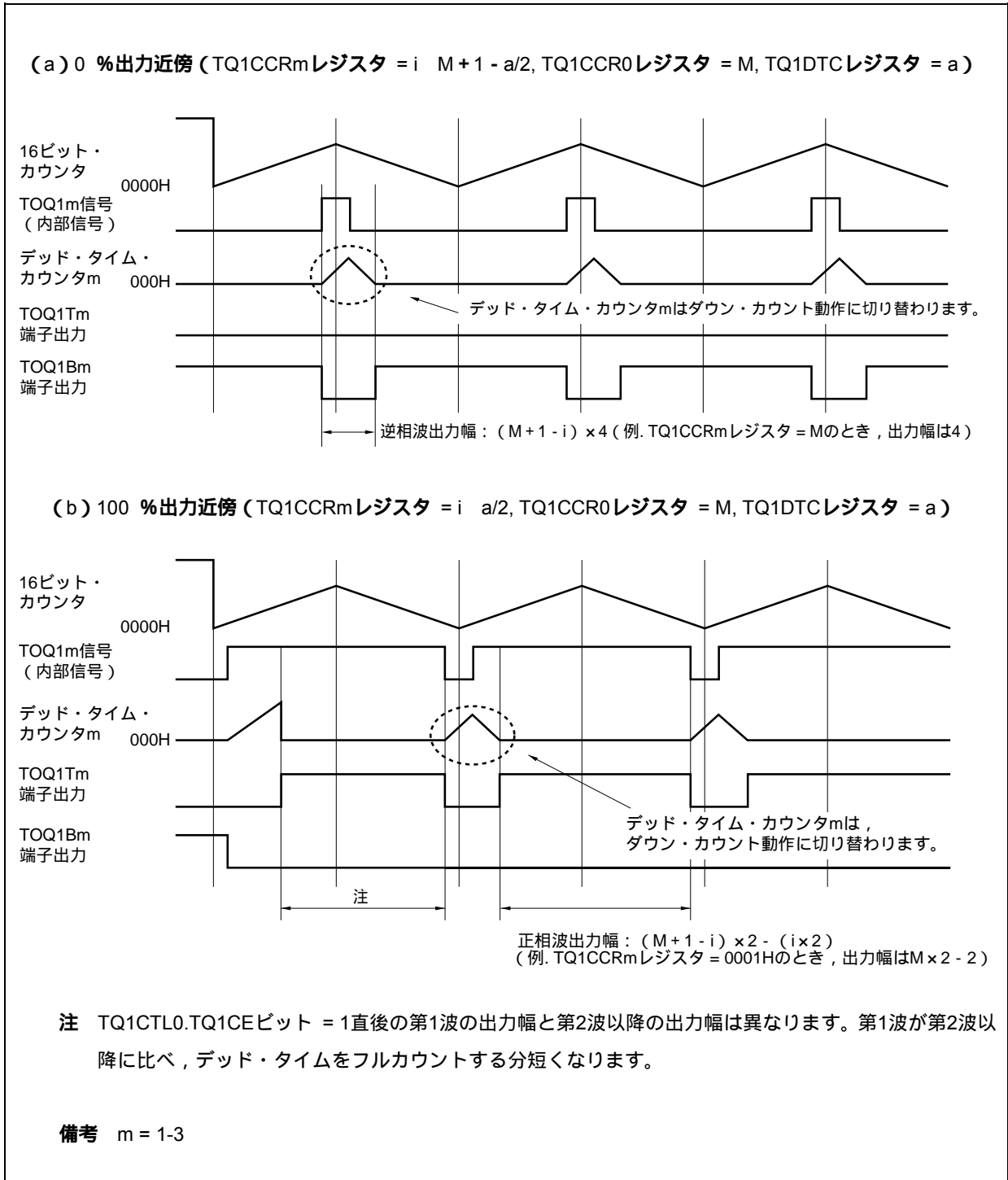
(4) デッド・タイム幅の自動縮小機能 (TQ1OPT2.TQ1DTMビット = 1)

TQ1OPT2.TQ1DTMビットを“1”に設定することにより、0%出力近傍 / 100%出力近傍でのデッド・タイム幅を自動で縮小ができます。

TQ1DTMビット = 1に設定することにより、デッド・タイム・カウント中に再度のタイマQのTOQ1m (内部信号)出力変化が起こった場合、カウンタ・クリア動作は行わず、デッド・タイム・カウンタはダウン・カウント動作に切り替わります。

TQ1DTMビット = 1に設定した場合のタイミング・チャートを次に示します。

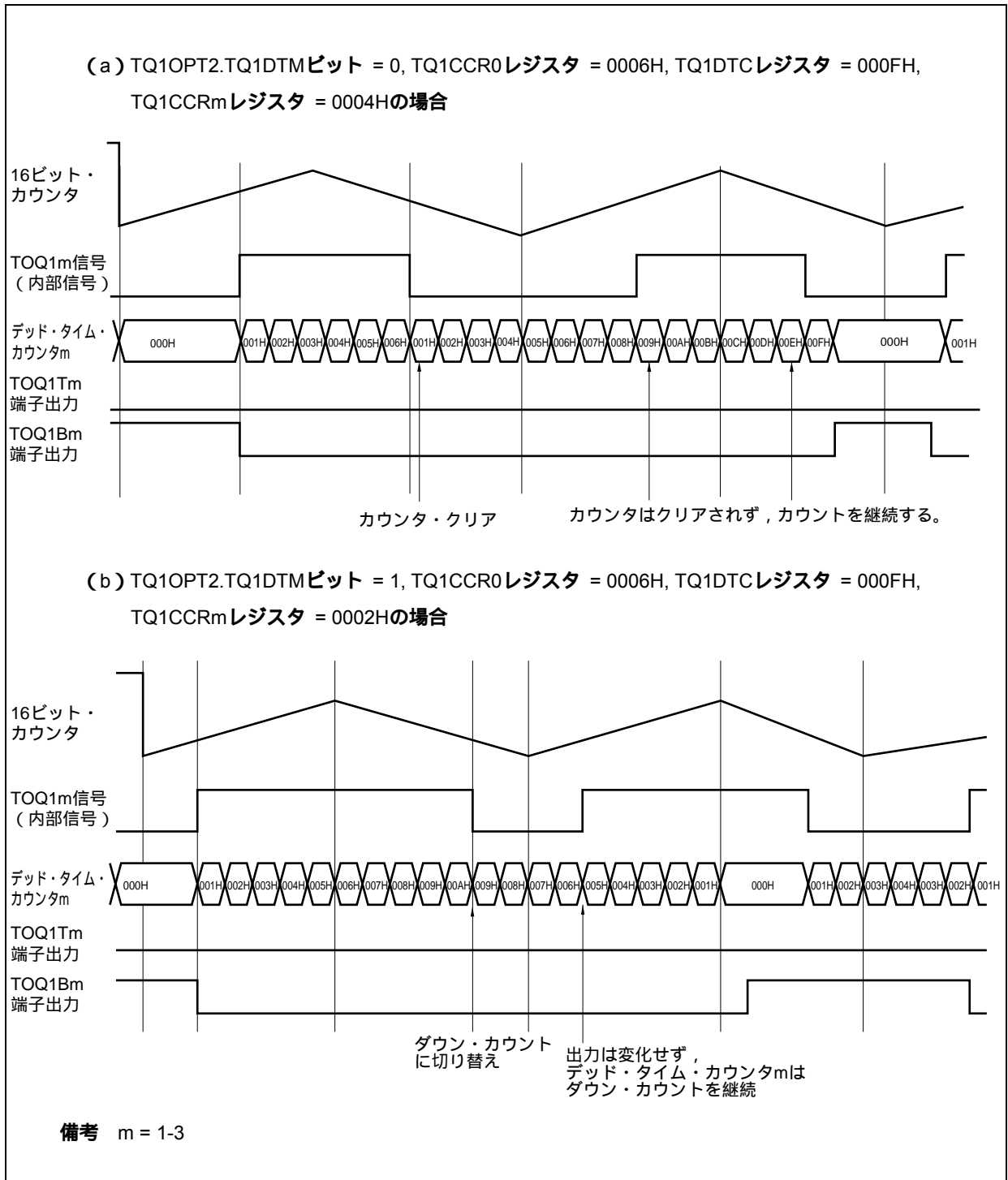
図9-13 デッド・タイム・カウンタ_mの動作(1)



(5) 異常設定時のデッド・タイム制御

通常使用であれば、デッド・タイム・カウント中に再度のTMQ1のTOQ1m (内部信号) 出力変化が起こるのは1度だけで、0%、100%出力の近傍のみです。ここでは、TQ1CCR0レジスタ(キャリア周期)とTQ1DTCレジスタ(デッド・タイム値)の設定を誤り異常な設定をした場合の動作を示します。異常設定をすると、デッド・タイム・カウント中に2、3度のTMQ1のTOQ1m (内部信号) 出力変化が起こります。この場合の6相PWM出力波形の出力例を示します。

図9-14 デッド・タイム・カウンタmの動作(2)



9.4.3 割り込み間引き機能

- ・ 間引き対象割り込みは、INTTQ1CC0（山割り込み）とINTTQ1OV（谷割り込み）です。
- ・ TQ1OPT1.TQ1ICEビットで、INTTQ1CC0割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TQ1OPT1.TQ1IOEビットで、INTTQ1OV割り込みの出力許可と間引きカウント対象指定を行います。
- ・ TQ1OPT1.TQ1ID4-TQ1ID0ビットで、間引きカウント対象に指定された割り込みの間引きカウント数の指定を行います。
指定した間引きカウント数分、割り込みはマスクされ、次の割り込みタイミングで割り込みが発生します。
- ・ TQ1OPT2.TQ1RDEビットで、転送の間引きあり/なしが指定可能です。
間引きありに指定した場合は、間引き後の割り込み出力と同タイミングにて転送が実行されます。
間引きなしに指定した場合は、TQ1CCR1レジスタ書き込み後の転送タイミングで転送が実行されます。
- ・ TQ1OPT0.TQ1CMSビットで、一斉書き換え/随時書き換えが指定可能。
TQ1CMSビット = 0のときは転送に同期してレジスタ値が更新されますが、TQ1CMSビット = 1のときは書き込み後、ただちにレジスタ値が更新されます。
転送タイミングは、割り込み間引きタイミングに同期して、TQ1CCRmレジスタからCCRmバッファ・レジスタに転送されます。

注意1. 一斉書き換えモード（転送モード）で割り込み間引き機能を使用する場合には、必ず間欠一斉書き換えモード（転送間引きモード）で行ってください。

2. 割り込みは間引き後のタイミングで発生します。

(1) 割り込み間引き動作

図9 - 15 TQ1OPT1.TQ1ICEビット = 1, TQ1IOEビット = 1, TQ1OPT2.TQ1RDEビット = 1での
割り込み間引き動作 (山/谷割り込み出力)

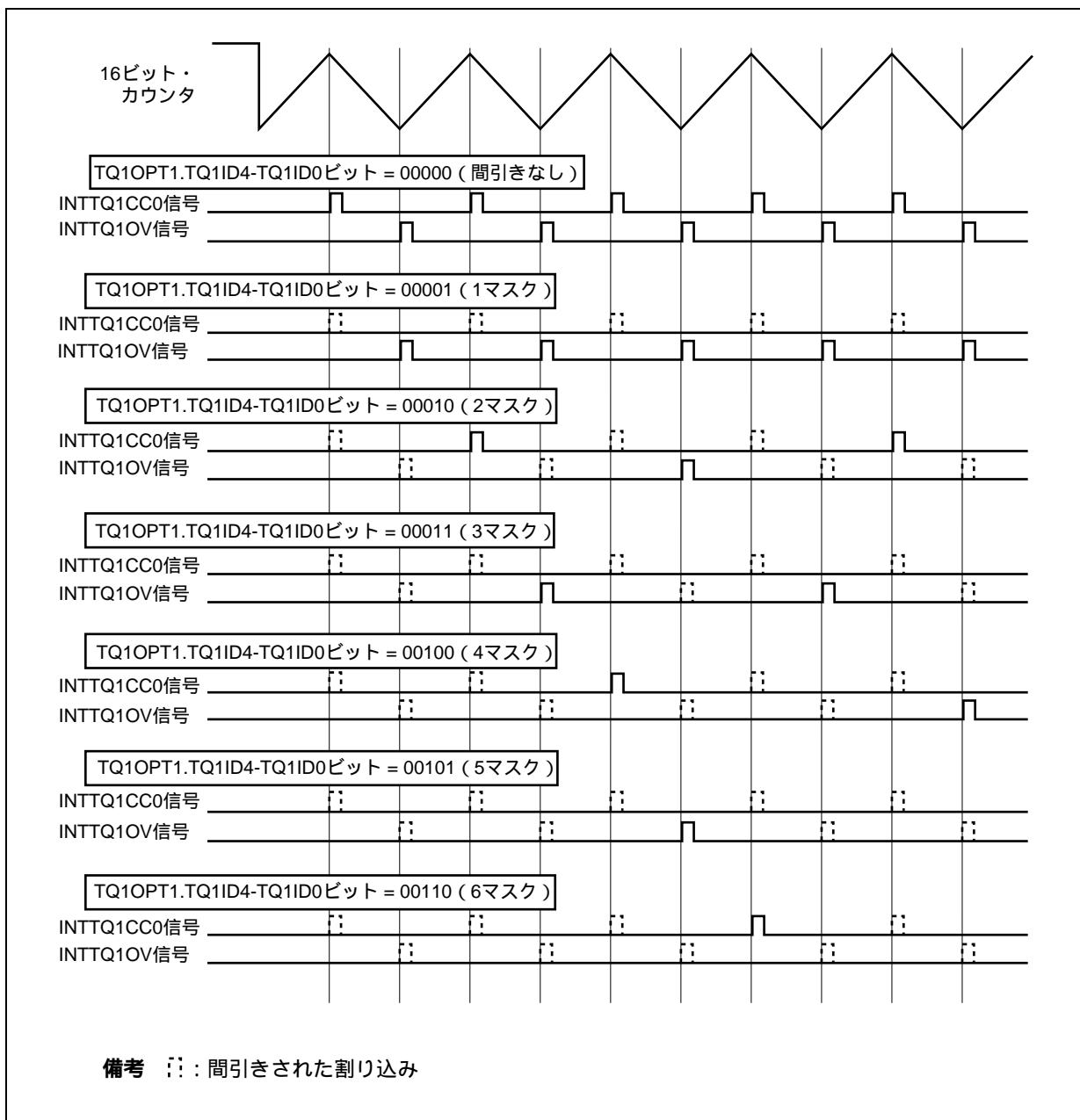


図9 - 16 TQ1OPT1.TQ1ICEビット = 1, TQ1IOEビット = 0, TQ1OPT2.TQ1RDEビット = 1での
割り込み間引き動作 (山割り込みのみ出力)

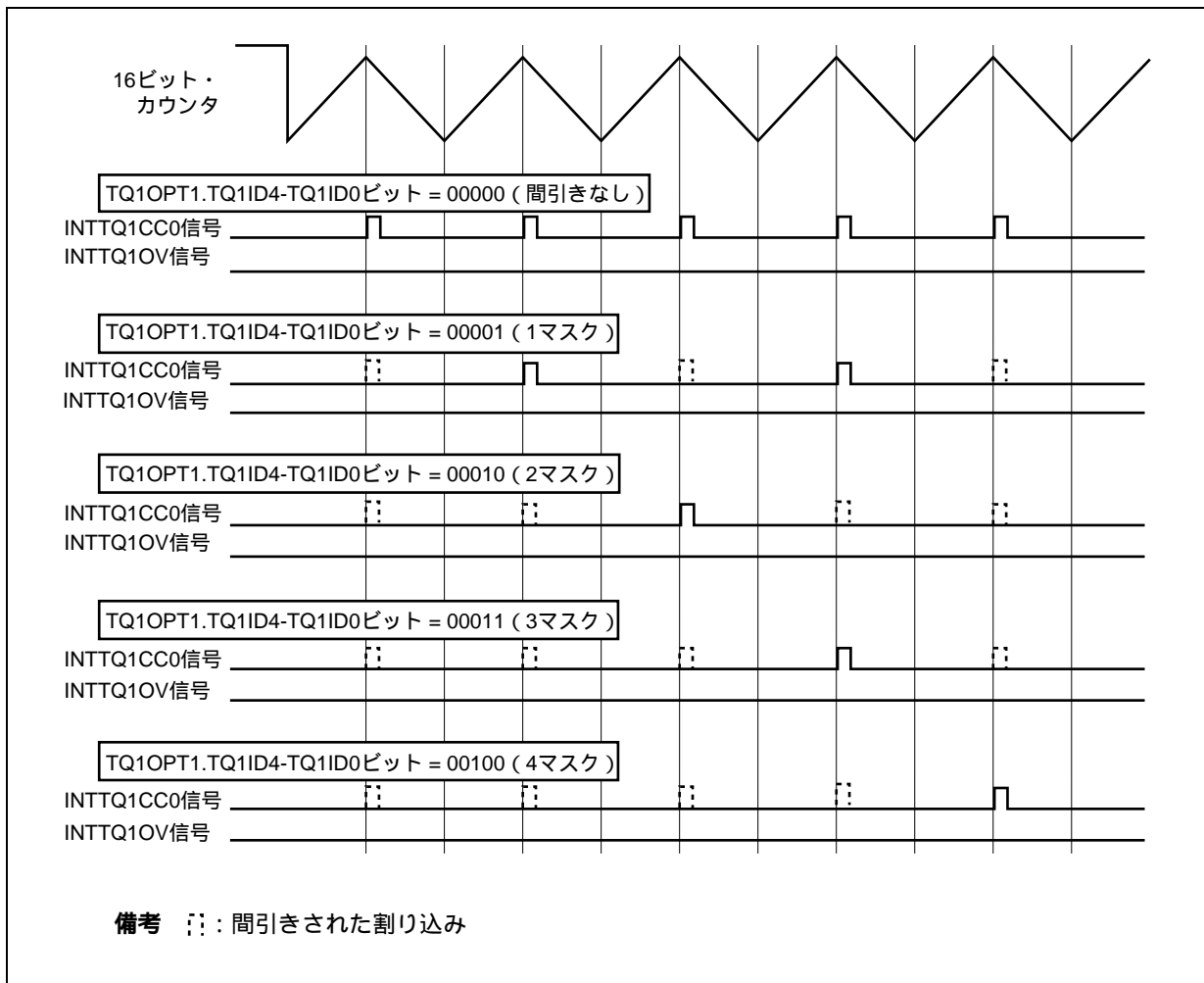
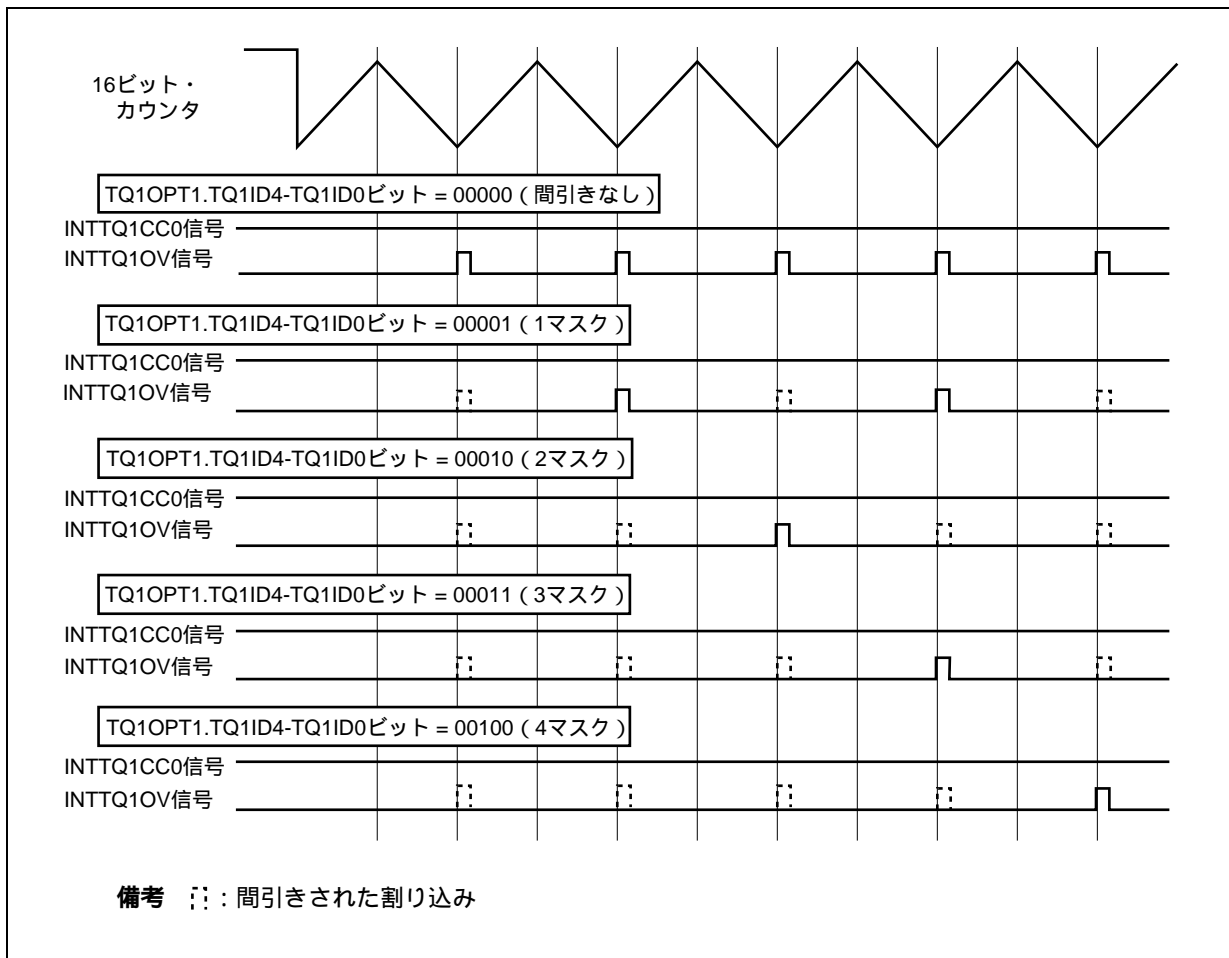


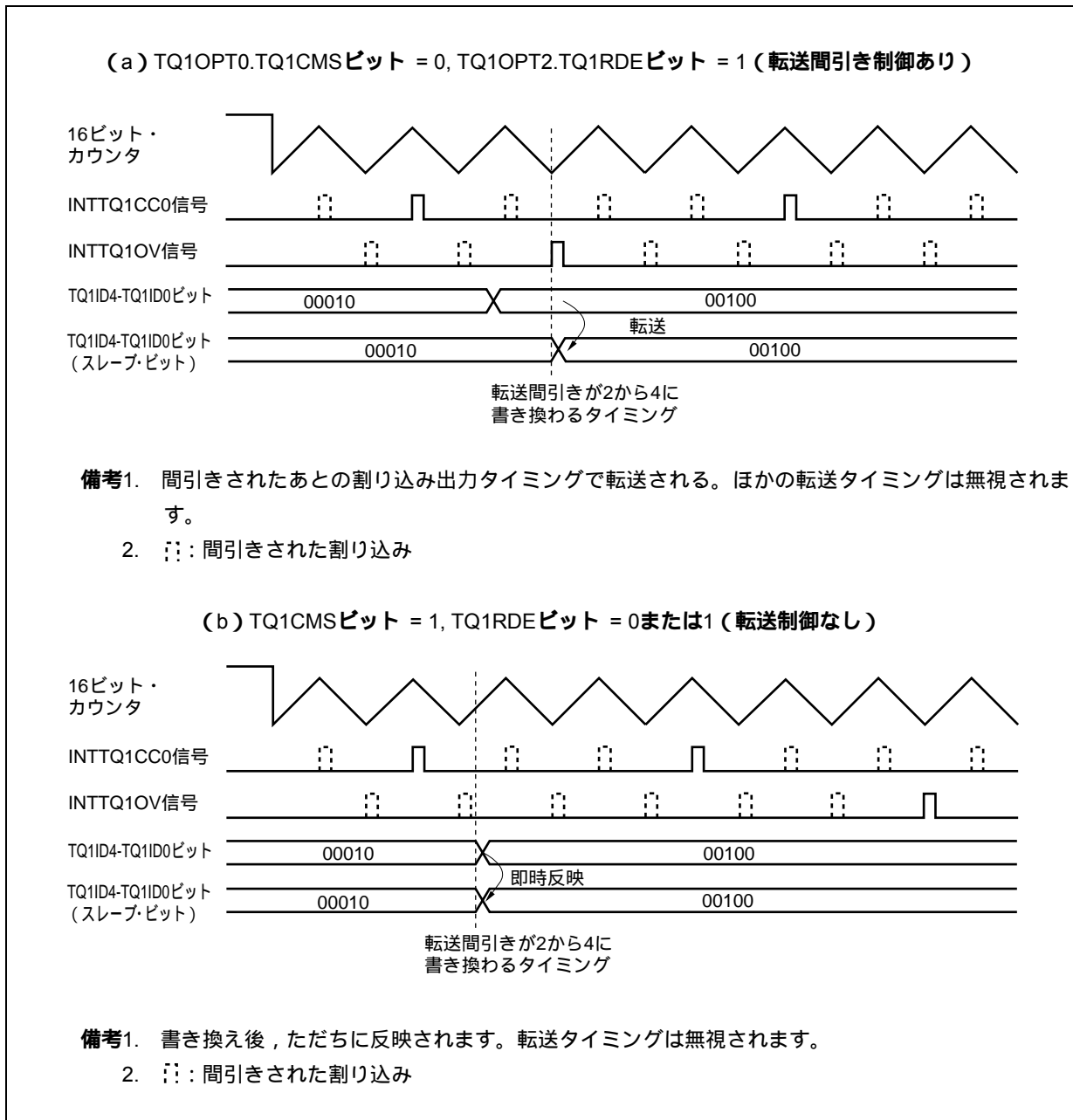
図9 - 17 TQ1OPT1.TQ1ICEビット = 0, TQ1IOEビット = 1, TQ1OPT2.TQ1RDEビット = 1での
割り込み間引き動作（谷割り込みのみ出力）



(2) 山割り込み (INTTQ1CC0) と谷割り込み (INTTQ1OV) を交互出力する場合

山割り込みと谷割り込みを交互に出力するにはTQ1OPT1.TQ1ICE, TQ1IOEビットをともに“1”に設定してください。

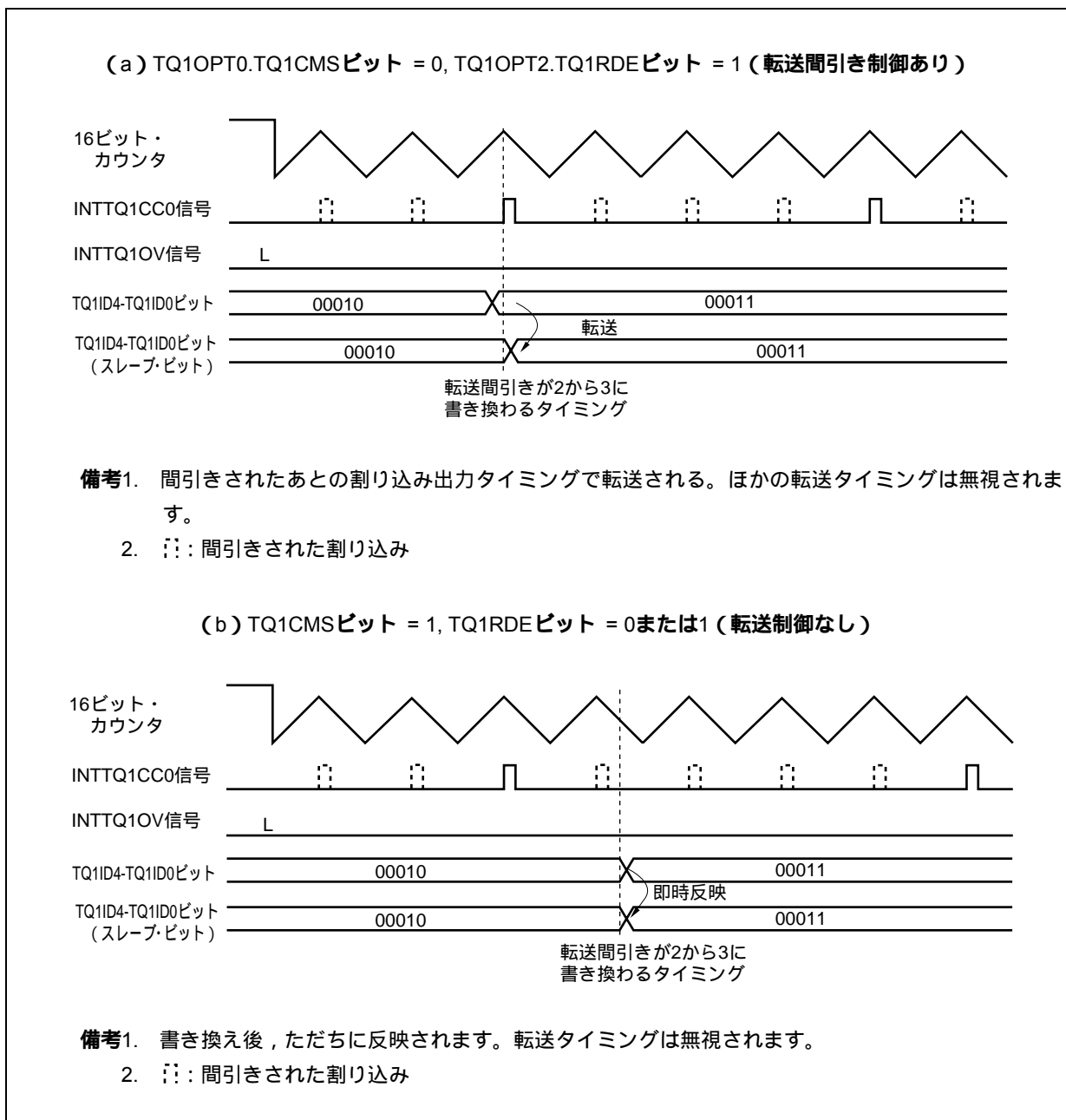
図9 - 18 山/谷割り込み出力



(3) 山割り込み (INTTQ1CC0) のみを出力する場合

TQ1OPT1.TQ1ICEビット = 1, TQ1IOEビット = 0に設定してください。

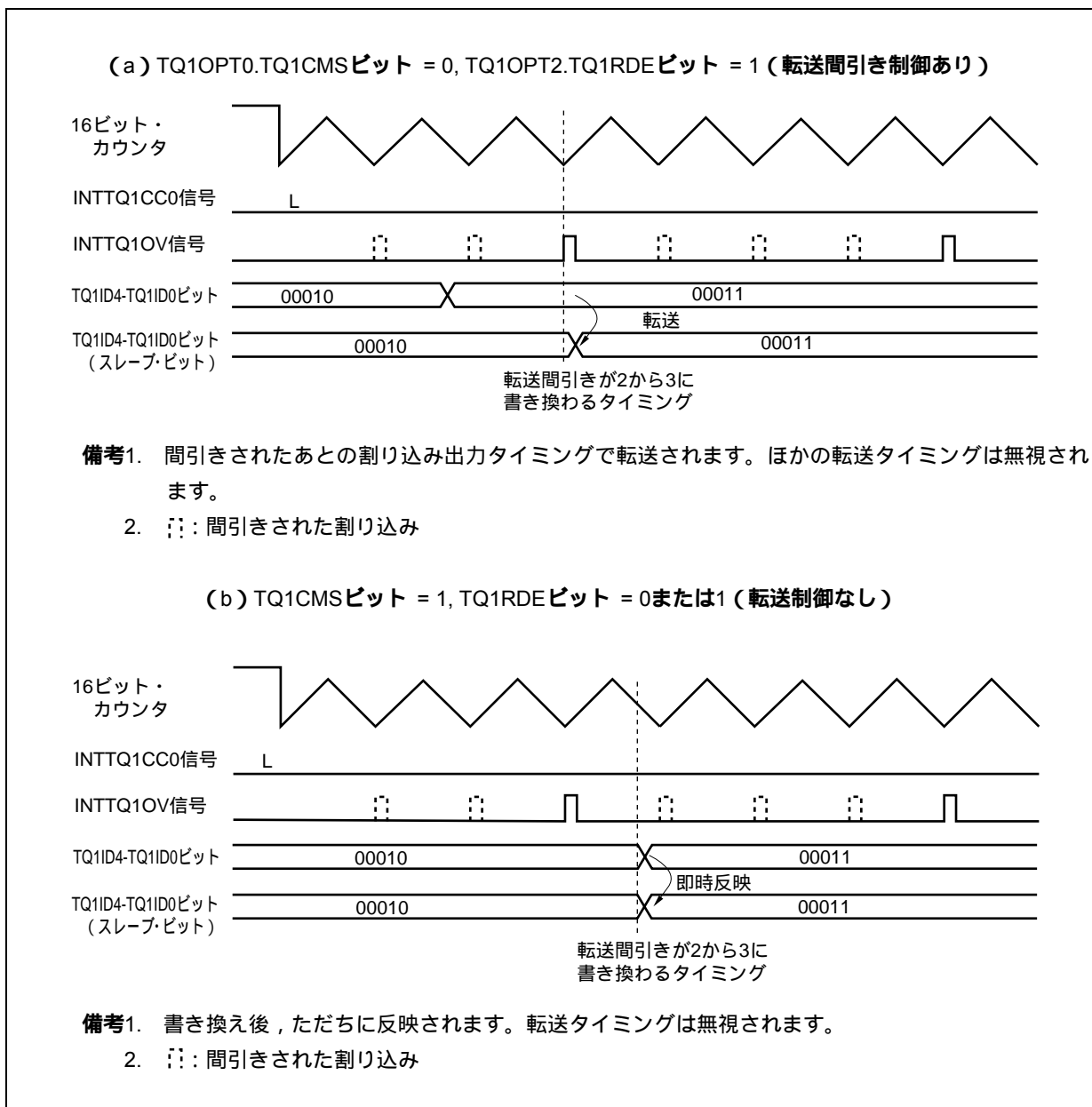
図9 - 19 山割り込み出力



(4) 谷割り込み (INTTQ1OV) のみを出力する場合

TQ1OPT1.TQ1ICEビット = 0, TQ1IOEビット = 1に設定してください。

図9 - 20 谷割り込み出力



9.4.4 転送機能付きレジスタの書き換え操作

モータ制御に使用し、転送機能があるレジスタは次の7種類です。それぞれにバッファ・レジスタがあります。

- ・ TQ1CCR0 : 16ビット・カウンタ (TMQ) の周期指定用レジスタ
- ・ TQ1CCR1 : TOQ1T1 (U) , TOQ1B1 (\bar{U}) のデューティ指定用レジスタ
- ・ TQ1CCR2 : TOQ1T2 (V) , TOQ1B2 (\bar{V}) のデューティ指定用レジスタ
- ・ TQ1CCR3 : TOQ1T3 (W) , TOQ1B3 (\bar{W}) のデューティ指定用レジスタ
- ・ TQ1OPT1 : 割り込み間引き指定用レジスタ
- ・ TP1CCR0 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTMP1)
- ・ TP1CCR1 : A/D変換開始トリガ生成タイミング指定用レジスタ (同調動作時のTMP1)

また、転送機能があるレジスタには、次の3種類の書き換えモードがあります。

・ 随時書き換えモード

TQ1OPT0.TQ1CMSビット = 1で設定します。TQ1OPT2.TQ1RDEビットの設定は無視されます。

このモードでは、各コンペア・レジスタが独立して更新動作を行い、各コンペア・レジスタに書き込むと即時に書き込み値が更新されます。

・ 一斉書き換えモード (転送モード)

TQ1OPT0.TQ1CMSビット = 0, TQ1OPT1.TQ1ID4-TQ1ID0ビット = 00000, TQ1OPT2.TQ1RDEビット = 0で設定します。

TQ1CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTQ1CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送タイミングは、割り込みとは関係なく毎回の山 (16ビット・カウンタとTQ1CCR0レジスタの一致) タイミングと谷 (16ビット・カウンタと0001Hの一致) タイミングです。

・ 間欠一斉書き換えモード (転送間引きモード)

TQ1OPT0.TQ1CMSビット = 0, TQ1OPT2.TQ1RDEビット = 1で設定します。

TQ1CCR1レジスタへの書き込みを行うと、次の転送タイミングで7つのレジスタからバッファ・レジスタに一斉に転送されます。ほかの6つのレジスタへの書き込みをしてもTQ1CCR1レジスタへの書き込みを行わないと転送動作は起こりません。

転送は、TQ1OPT1レジスタで指定した割り込み間引きにあわせて転送タイミングが間引かれ、間引かれたあとの山割り込み (16ビット・カウンタとTQ1CCR0の一致) タイミング、または谷割り込み (16ビット・カウンタと0001Hの一致) タイミングにより7つのレジスタに対して一斉に行われます。

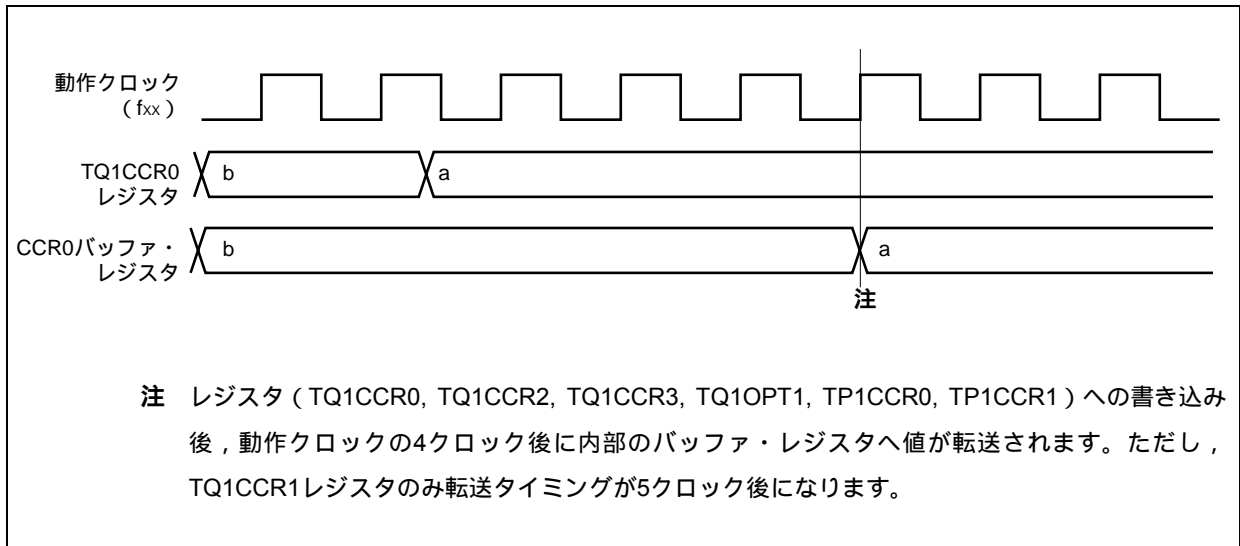
割り込み間引き機能についての詳細は、9.4.3 **割り込み間引き機能**を参照してください。

(1) 随時書き換えモード

TQ1OPT0.TQ1CMSビット = 1で設定します。TQ1OPT2.TQ1RDEビットの設定は無視されます。

各転送機能付きレジスタへの書き込み値が、すぐに内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。このモードではTQ1CCRMと16ビット・カウンタの一致が発生後に書き換ええると、一度一致が発生したあとの再度の一致は無視されるので書き換え値は反映されません。アップ・カウント中に書き換えた場合はダウン・カウントに切り替わったあとの一致で有効になります。

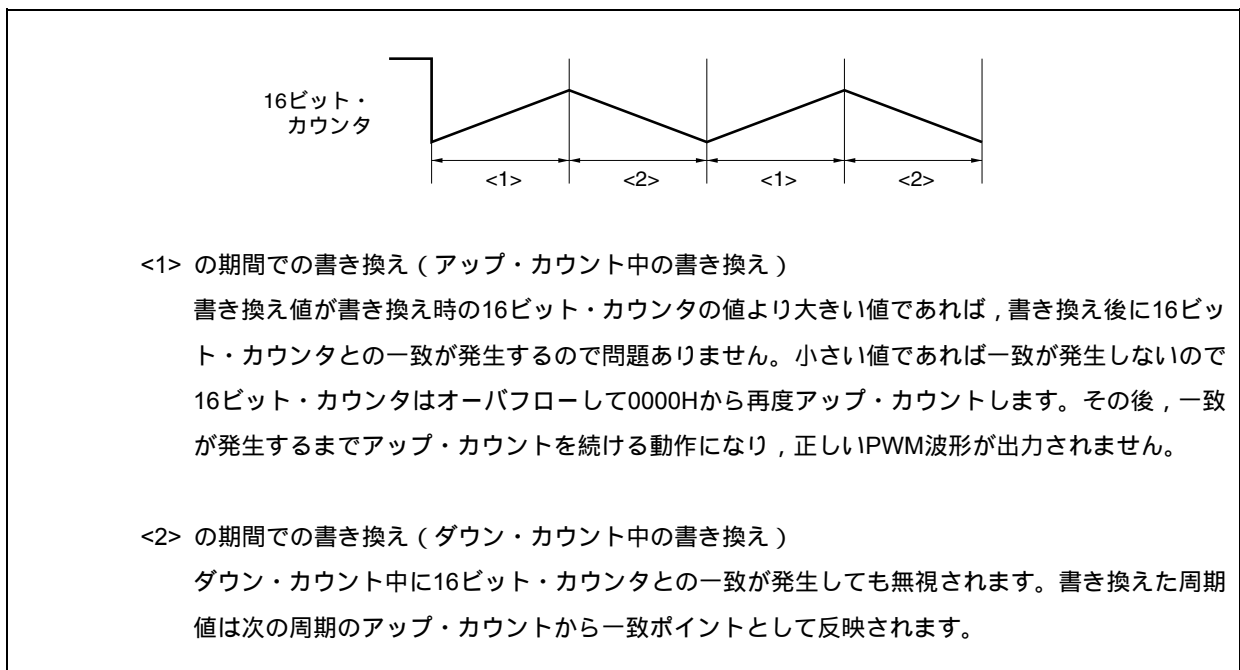
図9 - 21 書き換え値の反映タイミング



(a) TQ1CCR0レジスタの書き換え

TQ1CCR0レジスタを随時書き換えモードで書き換えても、すぐには値が反映されない場合があります。

図9 - 22 TQ1CCR0レジスタの書き換え例



(b) TQ1CCRmレジスタの書き換え

図9 - 24に16ビット・カウンタとTQ1CCRmレジスタが一致する前に書き換えた場合のタイミング (図9 - 23の<1>) を, 図9 - 25に16ビット・カウンタとTQ1CCRmレジスタが一致したあとに書き換えた場合のタイミング (図9 - 23の<2>) を示します。

図9 - 23 16ビット・カウンタとTQ1CCRmレジスタの基本動作

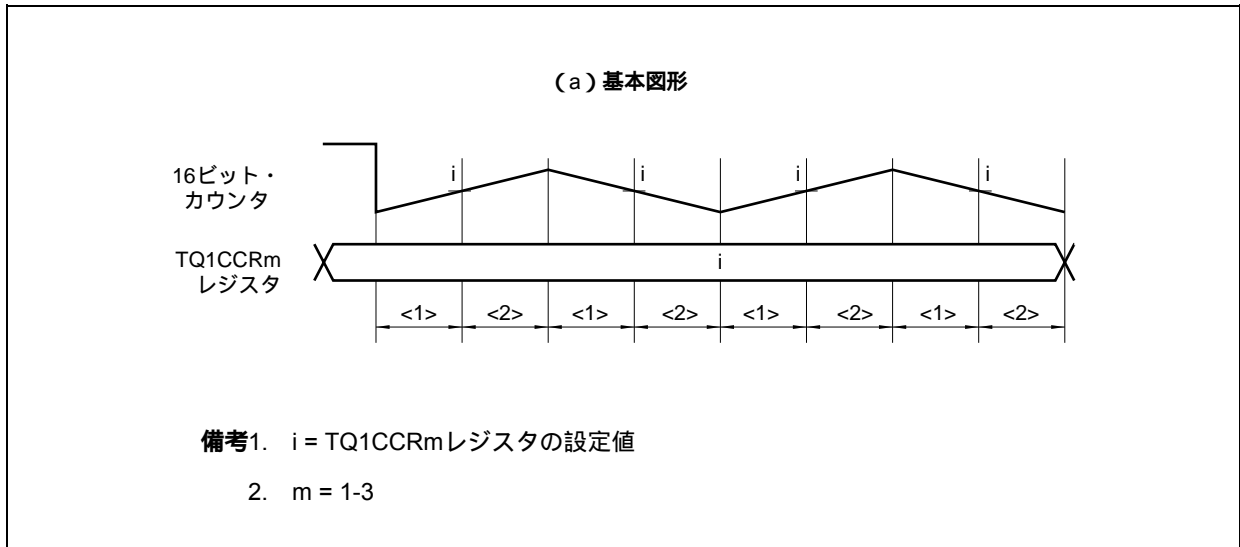
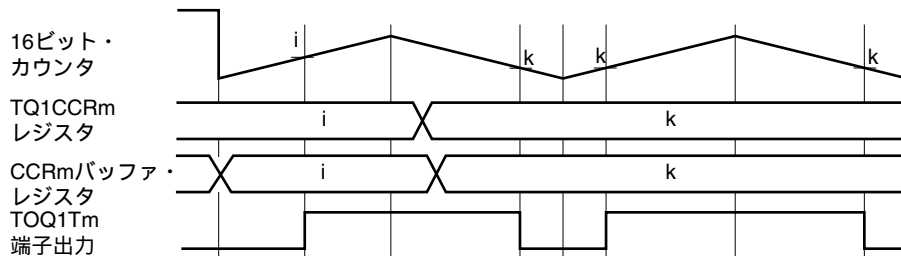
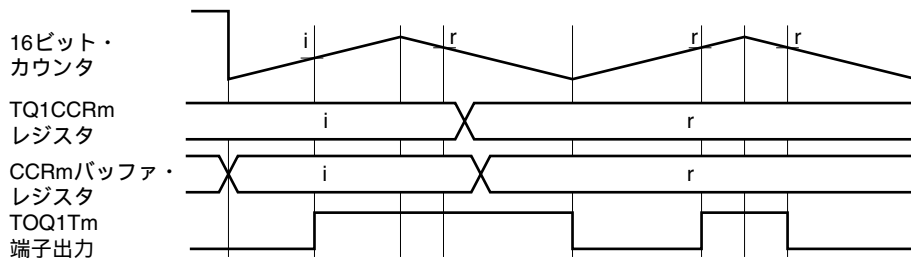


図9-24 TQ1CCR1-TQ1CCR3レジスタの書き換え例（一致発生前の書き換え）

(a)
TQ1CCRmレジスタと16ビット・カウンタの一致が発生する前に書き換えると、書き換え後に16ビット・カウンタとの一致が発生するので書き換え値が即時に反映されます。



(b)
一致が発生する前でも、16ビット・カウンタより小さい値（ダウン・カウント時は大きい値）を書き込んだ場合は一致が発生しないので次のような出力波形となります。



一致が発生しない場合は、TOQ1Tm端子出力は変化しません。ただし、16ビット・カウンタとTQ1CCRmレジスタとの一致が発生しなくても山割り込み時ではハイ・レベルに、谷割り込み時ではロウ・レベルにTOQ1Tm端子出力は強制変化します。

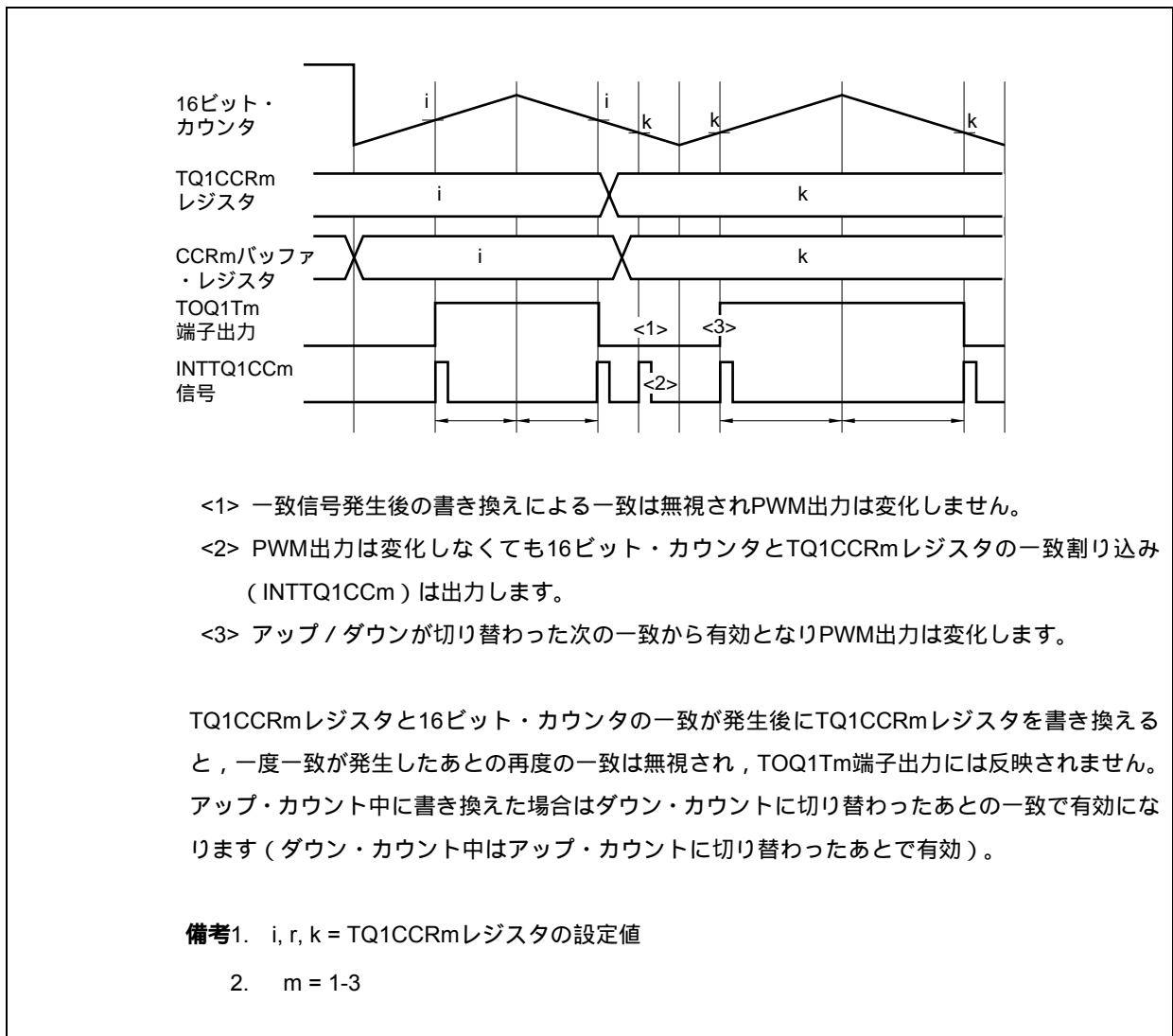
これは、0 %出力、100 %出力のために設けられている機能です。

詳細は9.4.2(2)0 % / 100 %のPWM出力を参照してください。

備考1. i, r, k = TQ1CCRmレジスタの設定値

2. m = 1-3

図9 - 25 TQ1CCR1-TQ1CCR3レジスタの書き換え例（一致発生後の書き換え）



(c) TQ1OPT1レジスタの書き換え

TQ1OPT1レジスタへの書き込みで割り込み間引きカウンタはクリアされます。割り込み間引きカウンタがクリアされることにより、それまで計測していた割り込み発生数は破棄されるので、一時的に割り込み発生間隔が長くなるので注意してください。

この動作を避けるためには、間欠一斉書き換えモード（転送間引きモード）での書き換えをしてください。

TQ1OPT1レジスタへの書き換えについての詳細は、9.4.3 **割り込み間引き機能**を参照してください。

(2) 一斉書き換えモード (転送モード)

TQ1OPT0.TQ1CMSビット = 0, TQ1OPT1.TQ1ID4-TQ1ID0ビット = 00000, TQ1OPT2.TQ1RDEビット = 0で設定します。

各コンペア・レジスタへの書き込み値が、転送タイミングで一斉に内部のバッファ・レジスタに転送され、カウント値との比較対象になるモードです。

(a) 書き換え操作手順

TQ1CCR1レジスタへの書き込みが行われると、TQ1CCR0-TQ1CCR3, TQ1OPT1, TP1CCR0, TP1CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TQ1CCR1レジスタへの書き込みは最後に行ってください。また、TQ1CCR1レジスタへの書き込み後は、転送タイミング(山(16ビット・カウンタとTQ1CCR0レジスタの一致)タイミング、または谷(16ビット・カウンタと0001Hの一致)タイミング)が発生するまで、レジスタへの書き込みは禁止です。操作手順を次に示します。

TQ1CCR0, TQ1CCR2, TQ1CCR3, TQ1OPT1, TP1CCR0, TP1CCR1レジスタの書き換え
書き換えが必要ないレジスタは書き換え不要です。

TQ1CCR1レジスタの書き換え

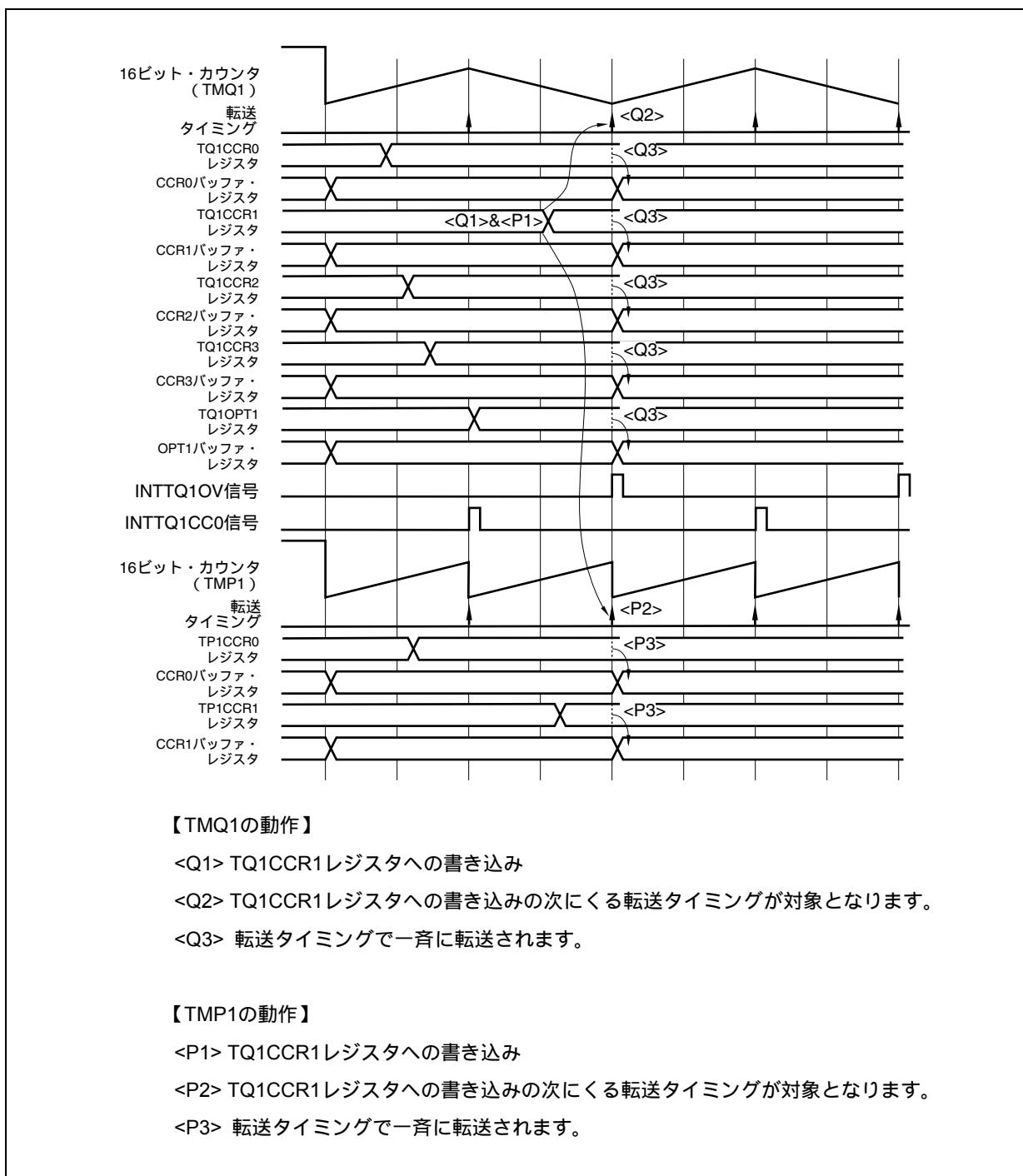
TQ1CCR1レジスタを書き換える必要がない場合でも、同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTQ1OVまたはINTTQ1CC0割り込みの発生を確認してから次の書き換えをしてください。

に戻る

図9 - 26 一斉書き込みモードの基本動作



(b) TQ1CCR0レジスタの書き換え

TQ1CCR0レジスタを一斉書き換えモードで書き換える場合、転送が山（16ビット・カウンタとTQ1CCR0レジスタの一致）タイミング、谷（16ビット・カウンタと0001Hの一致）タイミングのどちらで起こるかにより出力波形が変わります。通常は、ダウン・カウント中に書き換えを行い、転送タイミングが谷タイミングのときに転送する操作を推奨します。

図9 - 28にアップ・カウント中（図9 - 27の<1>の期間）のTQ1CCR0レジスタの書き換え例を、図9 - 29にダウン・カウント中（図9 - 27の<2>の期間）のTQ1CCR0レジスタの書き換え例を示します。

図9 - 27 16ビット・カウンタの基本動作

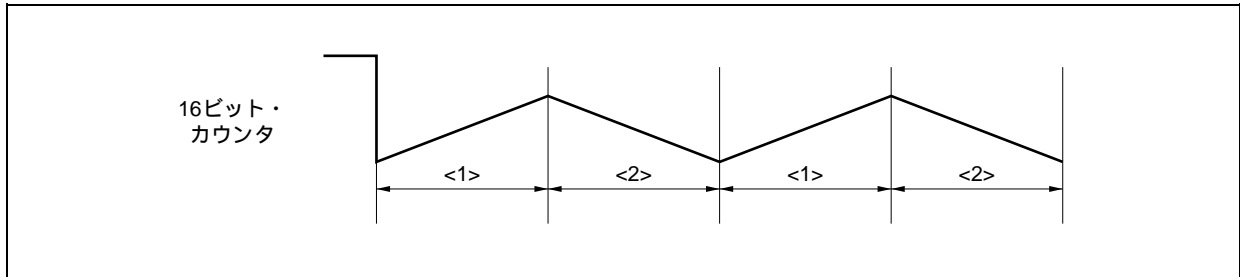


図9 - 28の転送タイミングは山タイミングのポイントになるので、ダウン・カウント側は周期が変わり非対称の三角波波形を出力します。また、周期が変化するので、デューティ比（電圧データ値）も書き換えてください。

図9 - 28 TQ1CCR0レジスタの書き換え例（アップ・カウント時）

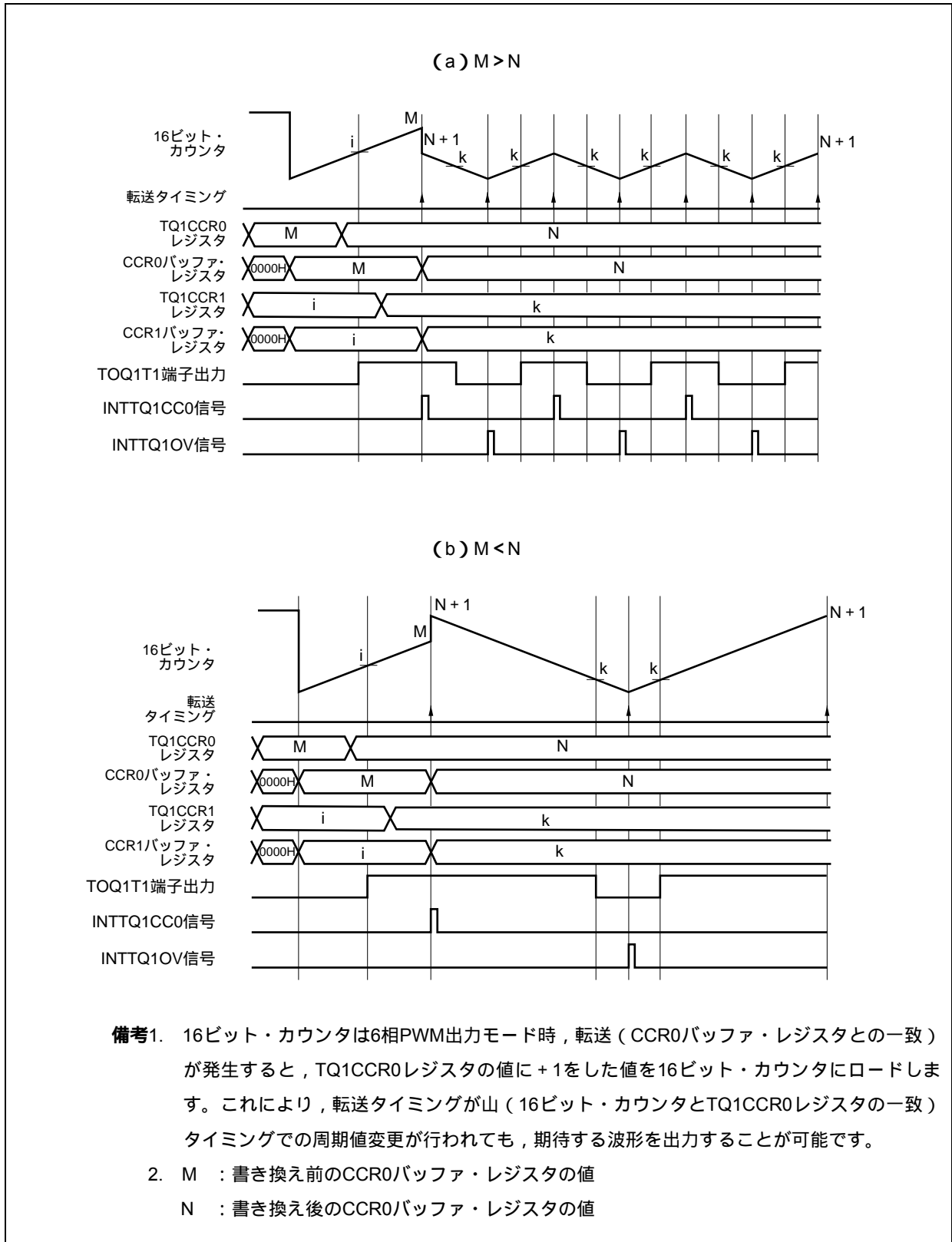
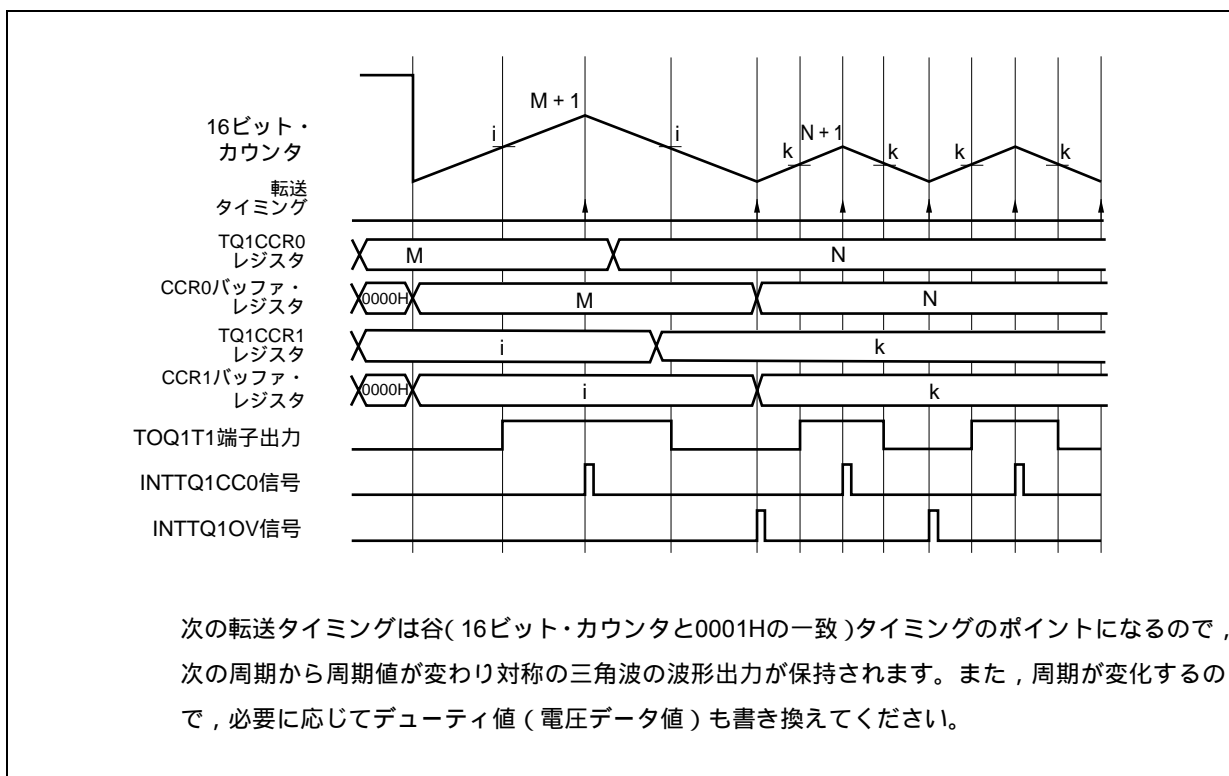
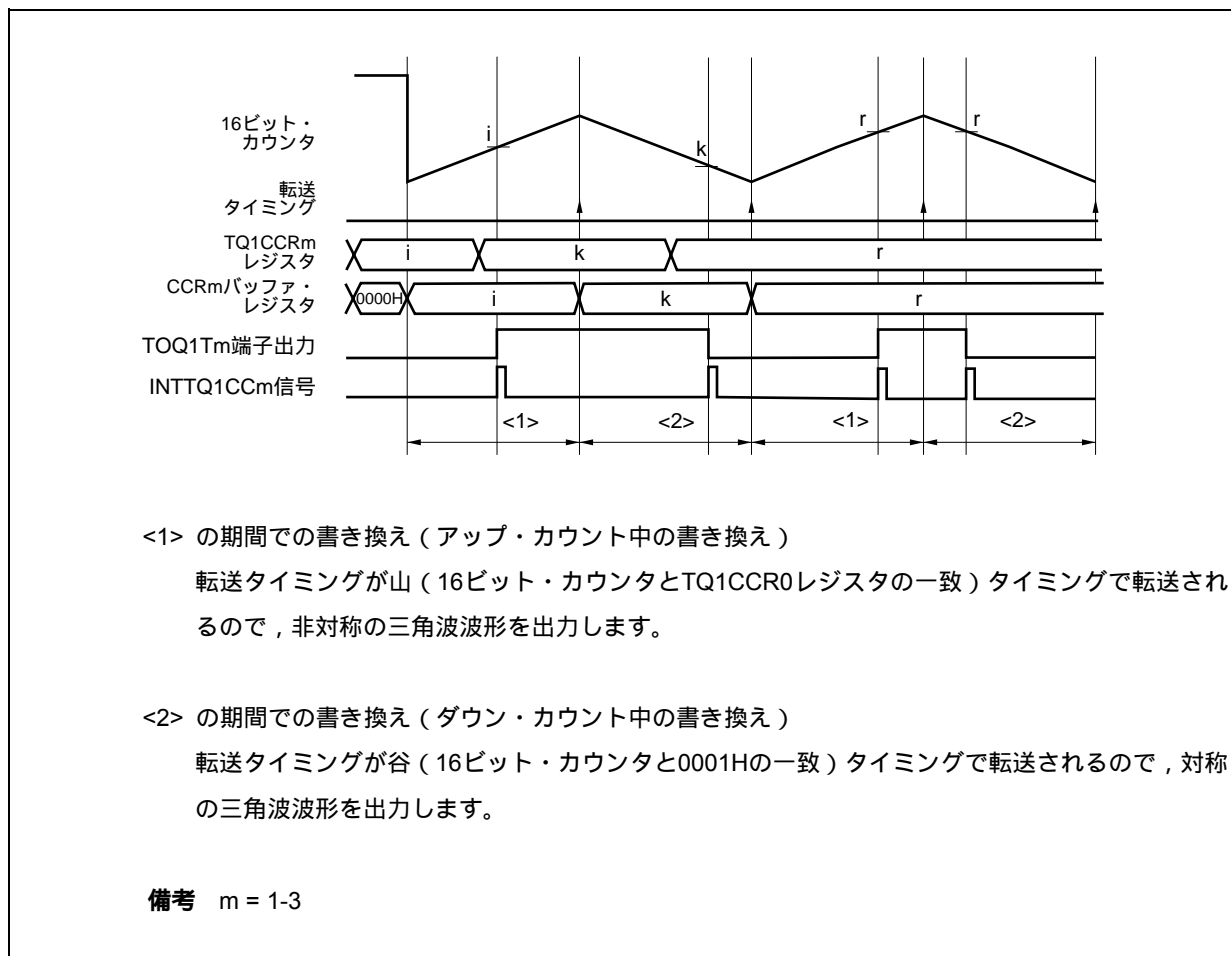


図9 - 29 TQ1CCR0レジスタの書き換え例 (ダウン・カウント時)



(c) TQ1CCRmレジスタの書き換え

図9 - 30 TQ1CCRmレジスタの書き換え例



<1> の期間での書き換え（アップ・カウント中の書き換え）

転送タイミングが山（16ビット・カウンタとTQ1CCR0レジスタの一致）タイミングで転送されるので、非対称の三角波波形を出力します。

<2> の期間での書き換え（ダウン・カウント中の書き換え）

転送タイミングが谷（16ビット・カウンタと0001Hの一致）タイミングで転送されるので、対称の三角波波形を出力します。

(d) TQ1OPT1レジスタの転送

TQ1OPT1.TQ1ID4-TQ1ID0ビット = 00000B以外の値は設定しないでください。割り込み間引き機能を使用する場合は、間欠一斉書き換えモード（転送間引きモード）で書き換えてください。

TQ1OPT1レジスタへの書き換えについての詳細は、9.4.3 **割り込み間引き機能**を参照してください。

(3) 間欠一斉書き換えモード (転送間引きモード)

TQ1OPT0.TQ1CMSビット = 0, TQ1OPT2.TQ1RDEビット = 1で設定します。

各コンペア・レジスタへの書き込み値が、間引きされたあとの転送タイミングで一斉に内部のバッファ・レジスタに転送されカウント値との比較対象になるモードです。転送タイミングは、割り込み間引きによる割り込み発生 (INTTQ1CC0, INTTQ1OV) タイミングになります。

割り込み間引き機能についての詳細は、9.4.3 **割り込み間引き機能**を参照してください。

(a) 書き換え操作手順

TQ1CCR1レジスタへの書き込みが行われるとTQ1CCR0-TQ1CCR3, TQ1OPT1, TP1CCR0, TP1CCR1レジスタが次の転送タイミングで一斉に内部のバッファ・レジスタに転送されます。したがって、TQ1CCR1レジスタへの書き込みは最後に行ってください。また、TQ1CCR1レジスタへの書き込み後は、転送タイミングが発生するまで (INTTQ1OV, INTTQ1CC0の割り込み発生まで) レジスタへの書き込みは禁止です。操作手順を次に示します。

TQ1CCR0, TQ1CCR2, TQ1CCR3, TQ1OPT1, TP1CCR0, TP1CCR1レジスタの書き換え
書き換えが必要ないレジスタは書き換え不要です。

TQ1CCR1レジスタの書き換え

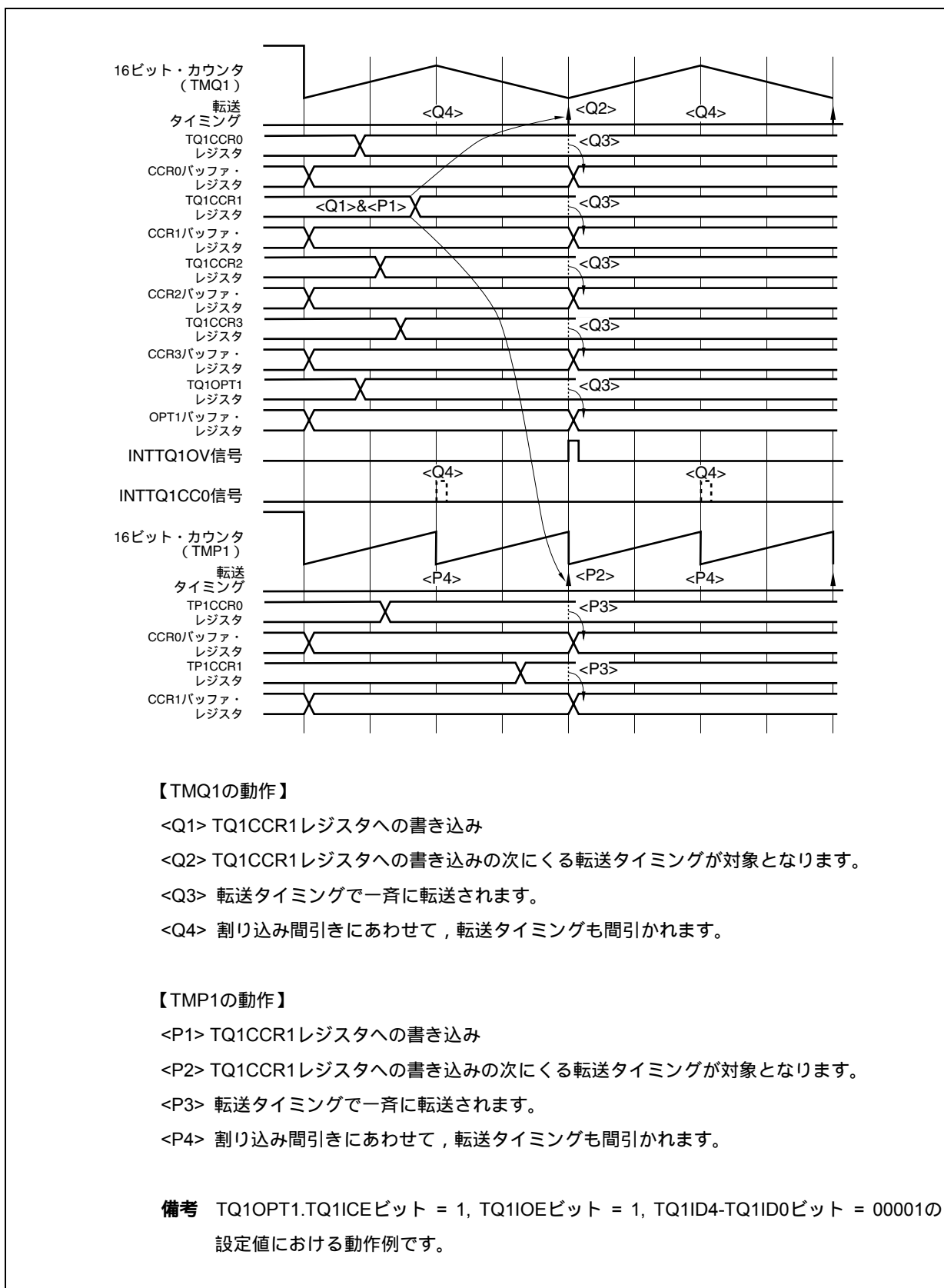
TQ1CCR1レジスタを書き換える必要がない場合でも同じ値を再書き込みしてください。

転送タイミングが発生するまで次の書き換えを保留

INTTQ1OVまたはINTTQ1CC0の割り込み発生を確認してから次の書き換えをしてください。

に戻る

図9 - 31 間欠一斉書き込みモードの基本動作



(b) TQ1CCR0レジスタの書き換え

TQ1CCR0レジスタを間欠一斉書き換えモードで書き換える場合、割り込み間引き設定で山/谷割り込み発生をどこに指定しているかで出力波形が変わります。次に割り込み間引き設定での出力波形の変化を示します。

図9 - 32 TQ1CCR0レジスタの書き換え（山割り込みを設定時）

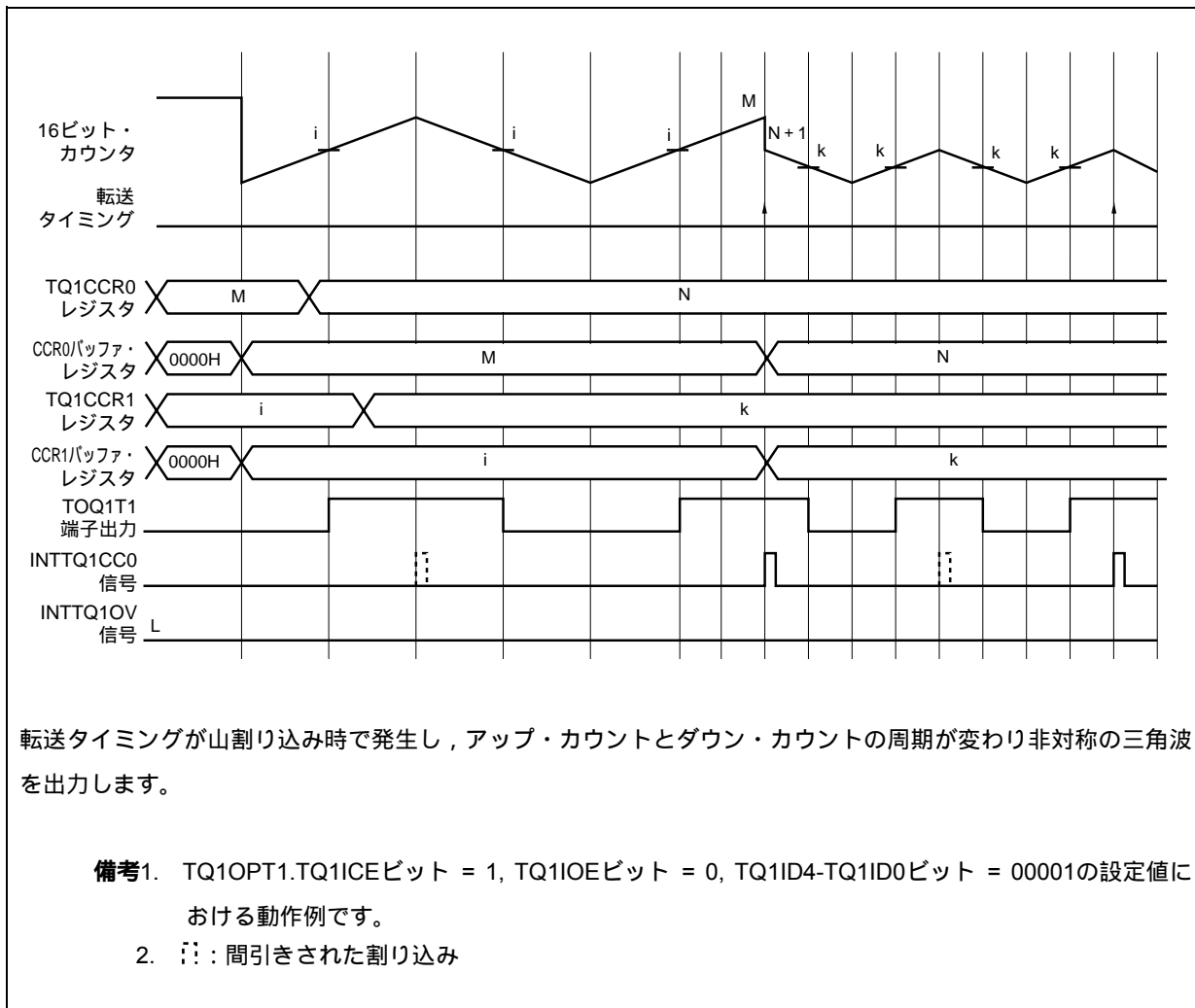
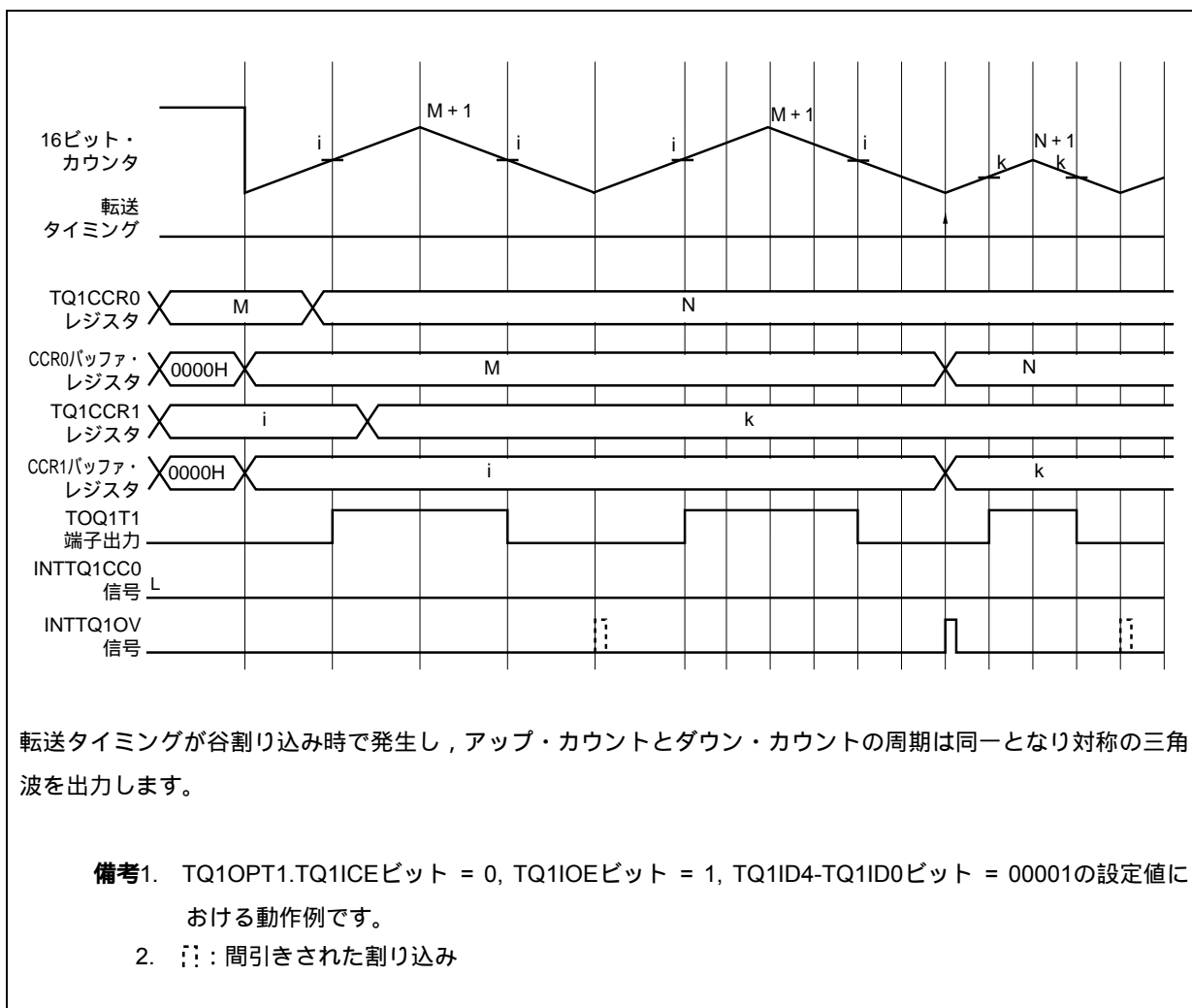


図9 - 33 TQ1CCR0レジスタの書き換え（谷割り込みを設定時）

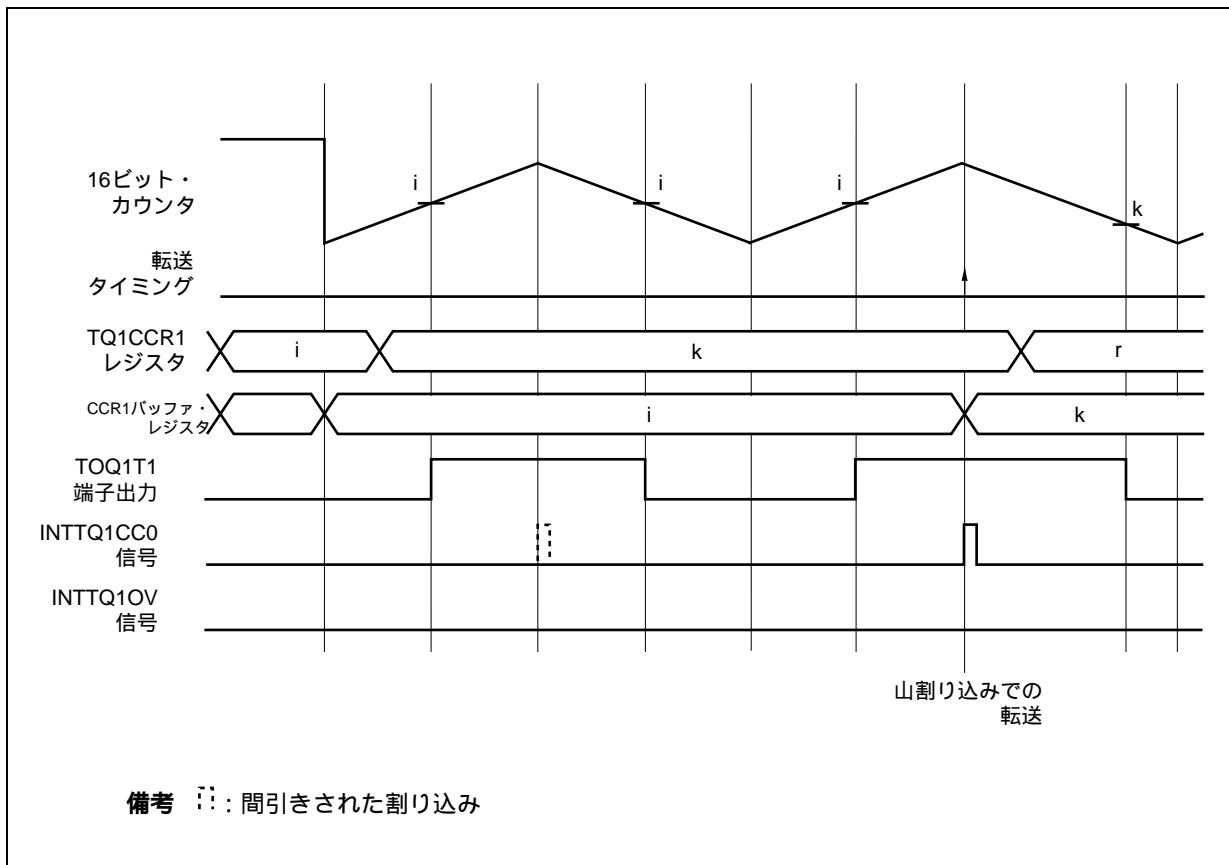


(c) TQ1CCR1-TQ1CCR3レジスタの書き換え

- ・山割り込みを設定した場合に山で転送された場合
山の転送タイミングで転送されるので、非対称の三角波波形を出力します。

図9 - 34 TQ1CCR1レジスタの書き換え

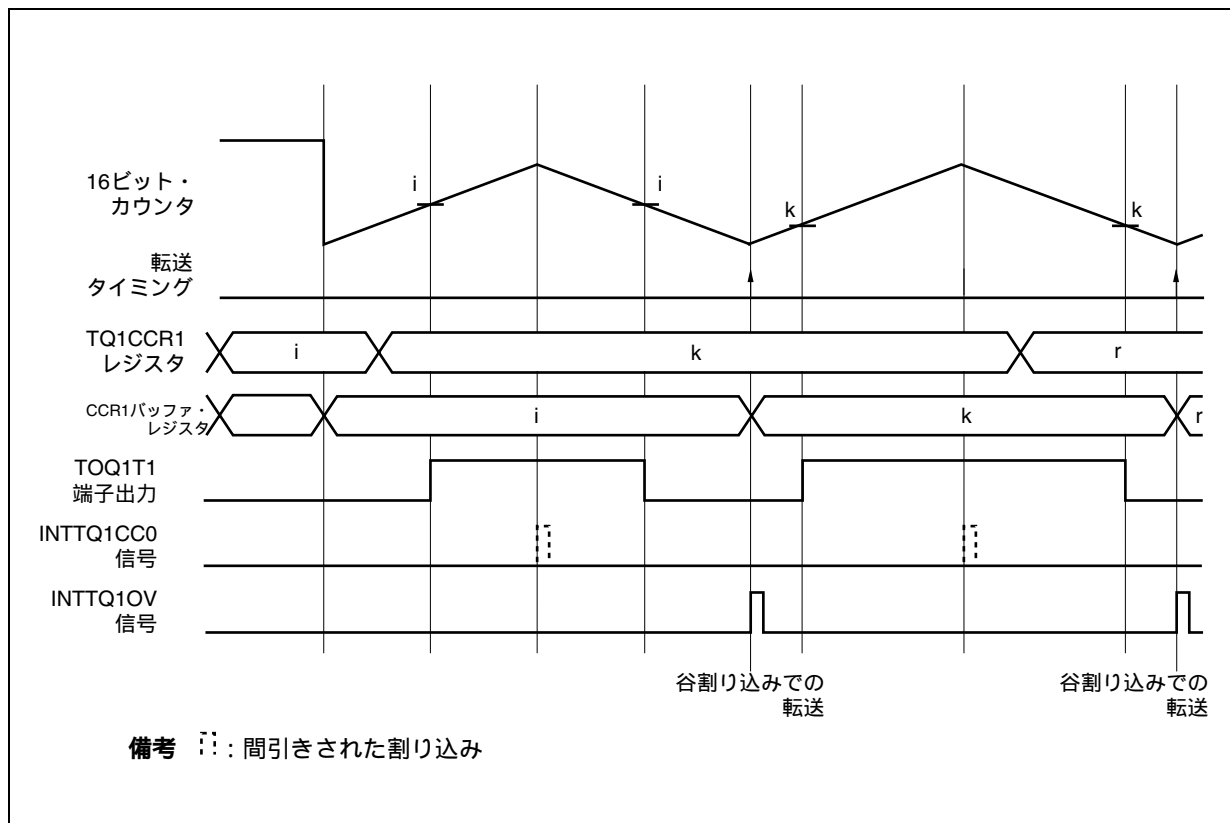
(TQ1OPT1.TQ1ICEビット = 1, TQ1IOEビット = 0, TQ1ID4-TQ1ID0 = 00001の場合)



- ・谷割り込みを設定した場合に谷で転送された場合
谷の転送タイミングで転送されるので、対称の三角波波形を出力します。

図9 - 35 TQ1CCR1レジスタの書き換え

(TQ1OPT1.TQ1ICEビット = 1, TQ1IOEビット = 1, TQ1ID4-TQ1ID0 = 00001の場合)



(d) TQ1OPT1レジスタの書き換え

割り込み間引きカウンタが一致したときに、新しい割り込み間引き値が転送されるため、次から設定した間隔で割り込みが発生します。

TQ1OPT1レジスタへの書き換えについての詳細は、9.4.3 割り込み間引き機能を参照してください。

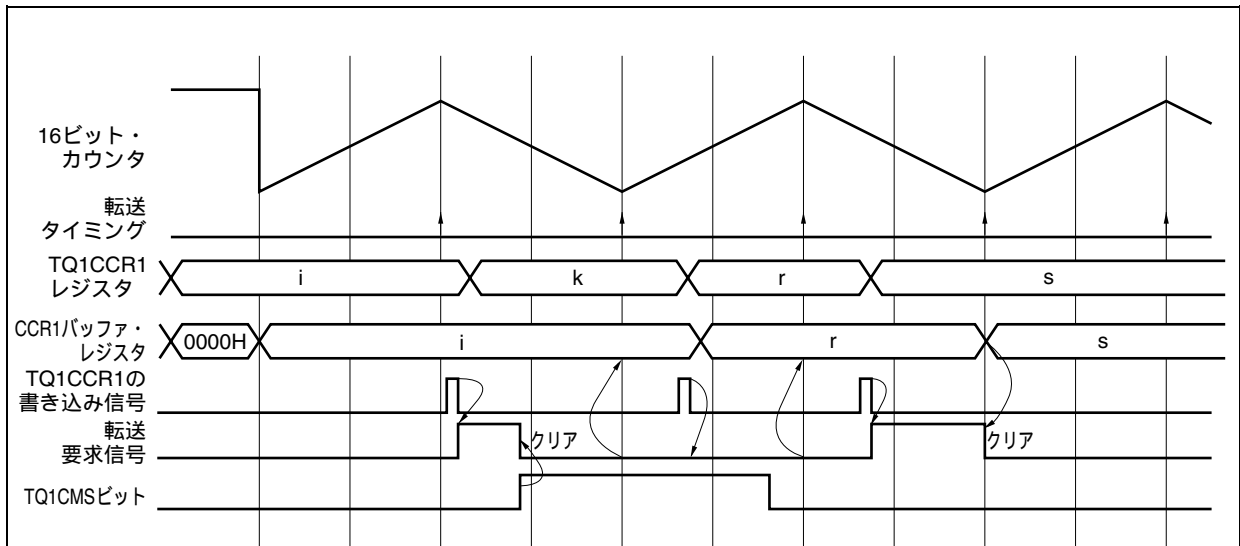
(4) TQ1OPT0.TQ1CMSビットの書き換え

TQ1CMSビットは、随時書き換えモードと一斉書き換えモードの切り替えができます。タイマ動作中 (TQ1CTL0.TQ1CEビット = 1) の書き換えが可能です。図9 - 31で示す動作および注意が必要です。

TQ1CMSビット = 0の状態ではTQ1CCR1レジスタに書き込むと転送要求信号 (内部信号) がセットされます。

転送要求信号がセットされていると、次の転送タイミングで転送を行い、転送要求信号がクリアされます。この転送要求信号は、TQ1CMSビット = 1によってもクリアされます。

図9 - 36 TQ1CMSビットの書き換え



TQ1CMSビット = 0の状態ではTQ1CCR1レジスタに書き込むと転送要求信号がセットされます。

この状態でTQ1CMSビット = 1とすると転送要求信号はクリアされます。

TQ1CMSビット = 1により、転送要求信号がクリアされたので転送が行われません。

TQ1CMSビット = 1の状態ではTQ1CCR1レジスタに書き込みを行っても転送要求信号はセットされません。

TQ1CMSビット = 1の状態ではTQ1CCR1レジスタに書き込みを行っても転送要求信号はセットされないため、TQ1CMSビット = 0としても、そのあとの転送タイミングで転送は発生しません。

TQ1CMSビット = 0の状態ではTQ1CCR1レジスタに書き込みを行うと転送要求信号がセットされます。そのあとの転送タイミングで転送が行われ、転送要求信号はクリアされます。

一度転送が行われると転送要求信号はクリアされるため次の転送タイミングで転送は行われません。

9.4.5 A/D変換開始トリガ信号出力用TMP1の同調動作

6相PWM出力モードで使用する場合の、TMP1およびTMQ1の同調動作について示します。

6相PWM出力モードでは、TMQ1をマスタとし、TMP1をスレーブとして同調動作を行い、A/D変換開始トリガ・ソースとしてTMP1のINTTP1CC0, INTTP1CC1信号とTMQ1のINTTQ1OV, INTTQ1CC0信号でA/Dコンバータ0, 1の変換開始トリガ信号を設定できます。

(1) 同調動作開始手順

同調動作を行わせるためのTMP1, TMQ1のレジスタの設定手順を次に示します。

(a) TMP1レジスタ設定 (TMQ1, TMP1は動作停止状態 (TQ1CTL0.TQ1CEビット = 0, TP1CTL0.TP1CEビット = 0) にしてください)

- ・ TP1CTL1レジスタ = 85Hに設定 (同調動作スレーブ・モード, フリー・ランニング・タイマ・モードに設定)
- ・ TP1OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択)
- ・ TP1CCR0, TP1CCR1レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(b) TMQ1レジスタ設定

- ・ TQ1CTL1レジスタ = 07Hに設定 (マスタ・モード, 6相PWM出力モードに設定)
- ・ TQ1IOC0レジスタに適切な値を設定 (TOQ1T1-TOQ1T3の出力モードを設定)
ただし, TQ1OL0, TQ1OE0ビットは必ずTQ1OL0ビット = 0, TQ1OE0ビット = 1に設定 (正相の出力許可) してください。この設定を行わない場合は, 山割り込み (INTTQ1CC0), 谷割り込み (INTTQ1OV)が発生しないため, A/Dコンバータ0, 1の変換開始トリガ信号が正常に発生しません。
- ・ TQ1OPT0レジスタ = 00Hに設定 (コンペア・レジスタ選択にする)
- ・ TQ1CCR0-TQ1CCR3レジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)
- ・ TQ1CTL0レジスタ = 0xHに設定 (TQ1CEビットは0, TMQ1の動作クロックを設定する)
TQ1CTL0レジスタで設定したTMQ1の動作クロックは, TMP1にも供給され, 同じタイミングでカウント動作を行います。TP1CTL0レジスタで設定したTMP1の動作クロックは無視されます。

(c) TMQOP1 (TMQ1オプション) レジスタ設定

- ・ TQ1OPT1, TQ1OPT2レジスタに適切な値を設定
- ・ TQ1IOC3レジスタに適切な値を設定 (TOQ1B1-TOQ1B3の出力モードを設定)
- ・ TQ1DTCレジスタに適切な値を設定 (動作開始時のコンペア初期値を設定)

(d) 兼用機能設定

- ・ ポート・コントロール・モードにより, ポートを兼用機能にする。

(e) TP1CEビット = 1に設定し, 直後にTQ1CEビット = 1に設定し, 6相PWM出力動作を開始

動作中におけるTQ1CTL0, TQ1CTL1, TP1CTL0, TP1CTL1レジスタの書き換えは禁止です。書き換えた場合の動作, および, PWM出力波形は保証できません。ただし, TQ1CTL0.TQ1CEビット = 0にするためのTQ1CEビットの書き換えは許可します。また, TP1CTL0.TP1CEビット = 1としたあとTQ1CEビット = 1とするまでは, ほかのTMQ1, TMP1, TMQ1オプションの各レジスタ操作 (読み出し / 書き込み) は一切禁止です。

(2) 同調動作解除手順

同調動作を解除し、6相PWM出力モードを終了するためのTMP1, TMQ1レジスタの設定手順を次に示します。

TQ1CTL0.TQ1CEビット = 0に設定し、タイマ動作を停止
TP1CTL0.TP1CEビット = 0に設定し、TMP1は分離可能状態
TQ1IOC0レジスタによりタイマ出力を停止
TP1CTL1.TP1SYEビット = 0に設定し、同調動作を解除

注意 TQ1CEビット = 0としたあとTP1CEビット = 0とするまでは、ほかのTMQ1, TMP1, TMQ1オプションの各レジスタ操作（読み出し/書き込み）は一切禁止です。

(3) TMP1を同調動作させない場合について

A/Dコンバータ0, 1の変換開始トリガ・ソースとしてTMP1の一致割り込み信号を使用しない場合は、TMP1を同調動作させず単独動作させて別機能のタイマとして使用できます。この場合、6相PWM出力モードにおいて、A/D変換開始トリガ・ソースとしてTMP1の一致割り込み信号を使用しないため、TQ1OPT2.TQ1AT00-TQ1AT03ビット、TQ1OPT3.TQ1AT10-TQ1AT13ビットは0固定にして使用してください。

ほかの制御ビットは、TMP1を同調動作させた場合と同様に使用できます。

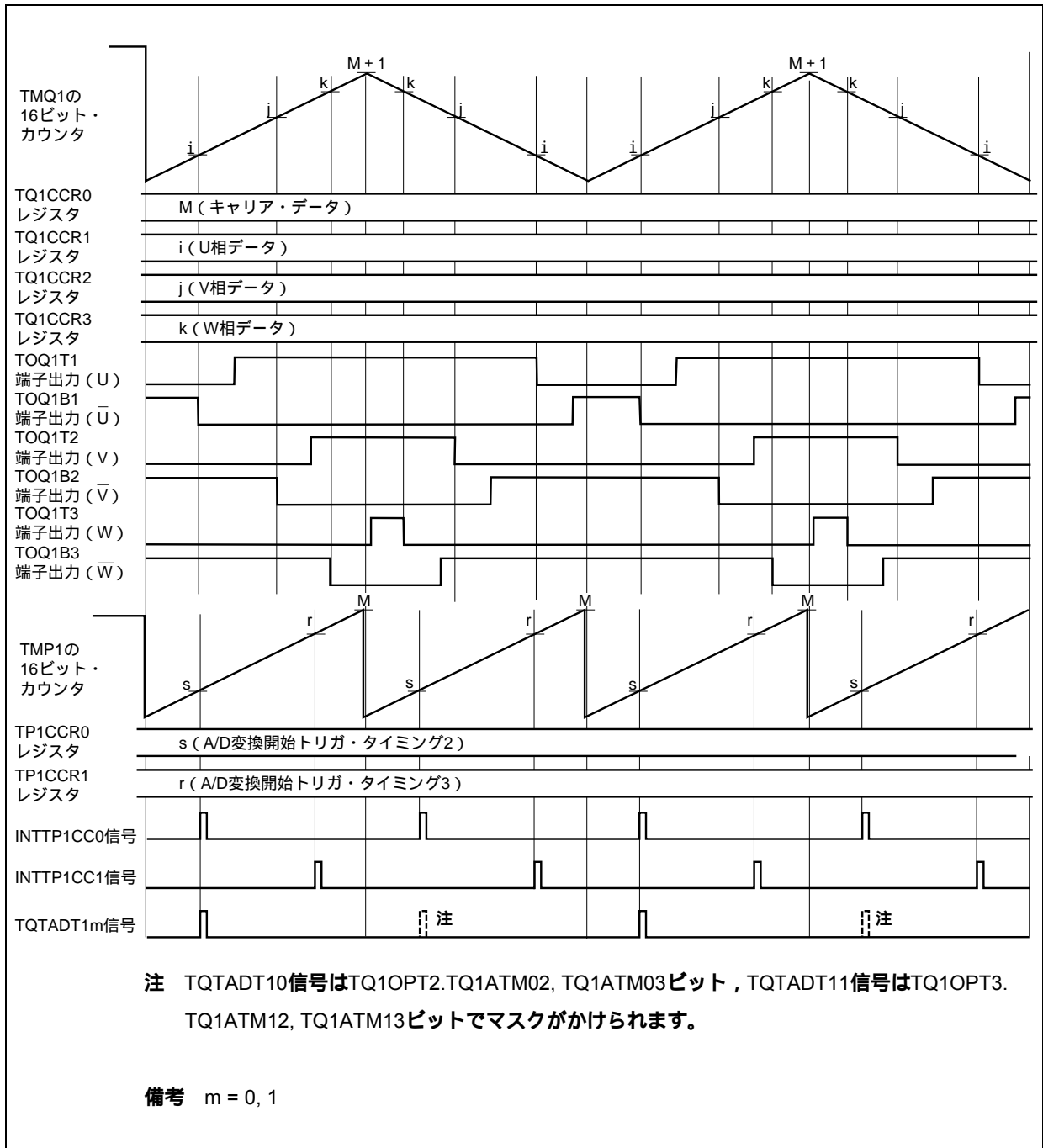
TMP1を同調動作させていない場合、TMP1のコンペア・レジスタ（TP1CCR0, TP1CCR1）は、TQ1OPT0.TQ1CMSビット、TQ1OPT2.TQ1RDEビットの設定による影響を受けません。TMP1を同調動作させない場合の初期設定手順は、9.4.5(1)同調動作開始手順に示した手順の(b)-(e)を行ってください。(a)は同調動作させるTMP1の設定なので不要です。

(4) 同調動作時のTMP1の基本動作

TMP1の16ビット・カウンタは、アップ・カウント動作のみを行います。TQ1CCR0レジスタによる周期設定値でTMP1の16ビット・カウンタがクリアされ0000Hから再カウントを行います。したがって、TMQ1の16ビット・カウンタがアップ・カウント時はTMP1の16ビット・カウンタと同値ですが、ダウン・カウント時はTMP1のカウント値は同じではありません。

- ・ TMQ1がアップ・カウント時 (同値)
TMQ1の16ビット・カウンタ : 0000H M (アップ・カウント)
TMP1の16ビット・カウンタ : 0000H M (アップ・カウント)
- ・ TMQ1がダウン・カウント時 (同値でない)
TMQ1の16ビット・カウンタ : M + 1 0001H (ダウン・カウント)
TMP1の16ビット・カウンタ : 0000H M (アップ・カウント)

図9 - 37 同調動作時のTMP1



9.4.6 A/D変換開始トリガ出力機能

V850ES/IK1には、4つのトリガ・ソース (INTTQ1OV, INTTQ1CC0, INTTP1CC0, INTTP1CC1) を自由に選択して、A/Dコンバータ0, 1の変換開始トリガ信号 (TQTADT10, TQTADT11) を生成する機能があります。

トリガ・ソースは、TQ1OPT2.TQ1AT00-TQ1AT03, TQ1OPT3.TQ1AT10-TQ1AT13ビットで指定します。

- ・ TQ1AT00, TQ1AT10ビット = 1
: INTTQ1OV (カウンタ・アンダフロー) 発生時にA/D変換開始トリガ信号を発生
- ・ TQ1AT01, TQ1AT11ビット = 1
: INTTQ1CC0 (周期一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TQ1AT02, TQ1AT12ビット = 1
: INTTP1CC0 (同調動作TMP1のTP1CCR0レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生
- ・ TQ1AT03, TQ1AT13ビット = 1
: INTTP1CC1 (同調動作TMP1のTP1CCR1レジスタとの一致) 発生時にA/D変換開始トリガ信号を発生

TQ1AT00-TQ1AT03, TQ1AT10-TQ1AT13ビットにより選択されたA/D変換開始トリガ信号は、すべてORされて出力されるため、複数のトリガ・ソースを同時に指定できます。

TQ1AT00, TQ1AT01, TQ1AT10, TQ1AT11ビットによって選択されるINTTQ1OV, INTTQ1CC0信号は割り込み間引き後の信号となります。

したがって、割り込み間引き制御を受けたタイミングでの出力となり、割り込みの出力イネーブル (TQ1OPT1.TQ1ICE, TQ1IOEビット) を許可にしていない場合は、A/D変換開始トリガ信号も出力されません。

TMP1からのトリガ・ソース (INTTP1CC0, INTTP1CC1) は、TQ1AT02, TQ1AT03, TQ1AT12, TQ1AT13ビットの設定により、16ビット・カウンタのアップ・カウント/ダウン・カウントの状態によって、A/D変換開始トリガ信号をマスクする機能があります。

- ・ TQ1ATM02, TQ1ATM12ビット
: TQ1AT02, TQ1AT12ビットに対応し、TMP1のINTTP1CC0 (一致割り込み信号) を制御
 - ・ TQ1ATM02, TQ1ATM12ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TQ1OPT0.TQ1CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TQ1CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TQ1ATM02, TQ1ATM12ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TQ1CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TQ1CUFビット = 0) はA/D変換開始トリガ信号を出力しない。
- ・ TQ1ATM03, TQ1ATM13ビット
: TQ1AT03, TQ1AT13ビットに対応し、TMP1のINTTP1CC1 (一致割り込み信号) を制御
 - ・ TQ1ATM03, TQ1ATM13ビット = 0
: 16ビット・カウンタがアップ・カウント時 (TQ1CUFビット = 0) はA/D変換開始トリガ信号を出力し、ダウン・カウント時 (TQ1CUFビット = 1) はA/D変換開始トリガ信号を出力しない。
 - ・ TQ1ATM03, TQ1ATM13ビット = 1
: 16ビット・カウンタがダウン・カウント時 (TQ1CUFビット = 1) はA/D変換開始トリガ信号を出力し、アップ・カウント時 (TQ1CUFビット = 0) はA/D変換開始トリガ信号を出力しない。

TQ1ATM03, TQ1ATM02, TQ1AT03-TQ1AT00, TQ1ATM13, TQ1ATM12, TQ1AT13-TQ1AT10ビットは、タイマ動作中に書き換えができません。タイマ動作中にA/D変換開始トリガ信号の設定ビットを書き換えると、即時にA/D変換開始トリガ信号の出力状態に反映されます。これらの制御ビットは、転送機能を持たず、随時書き換えモードのみ可能です。

- 注意1.** TQ1AT02, TQ1AT03, TQ1AT12, TQ1AT13ビットの設定におけるA/Dの変換開始トリガ信号出力は、TMP1がTMQ1のスレーブ・タイマとして同調動作している場合にかぎり利用できます。TMQ1, TMP1が同調動作を行っていない場合、および6相PWM出力モード以外で使用している場合は、出力を保証できません。
2. 16ビット・カウンタのアップ/ダウン・カウントの状態判定には、TOQ10信号出力を内部で利用しています。したがって、TQ1IOC0.TQ1OL0ビット = 0, TQ1OE0ビット = 1と設定し、TOQ10端子出力を有効にしてください。

図9 - 38 A/D変換開始トリガ (TQTADT10) 信号出力例 (TQ1OPT1.TQ1ICEビット = 1, TQ1IOEビット = 1, TQ1ID4-TQ1ID0ビット = 00000 : 割り込み間引きなし)

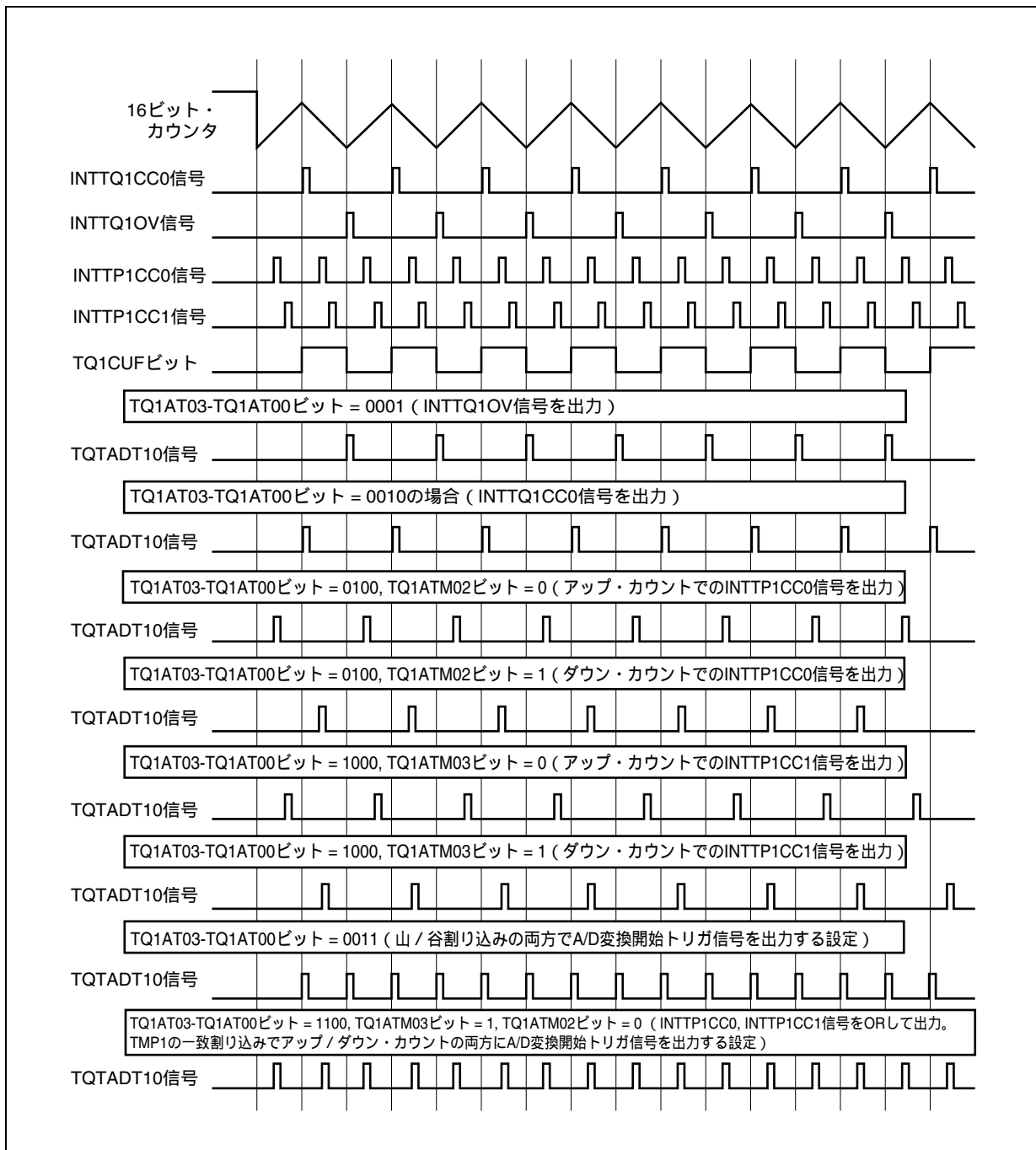


図9 - 39 A/D変換開始トリガ (TQTADT10) 信号出力例 (TQ1OPT1.TQ1ICEビット = 0, TQ1IOEビット = 1, TQ1ID4-TQ1ID0ビット = 00010 : 割り込み間引きあり) (1)

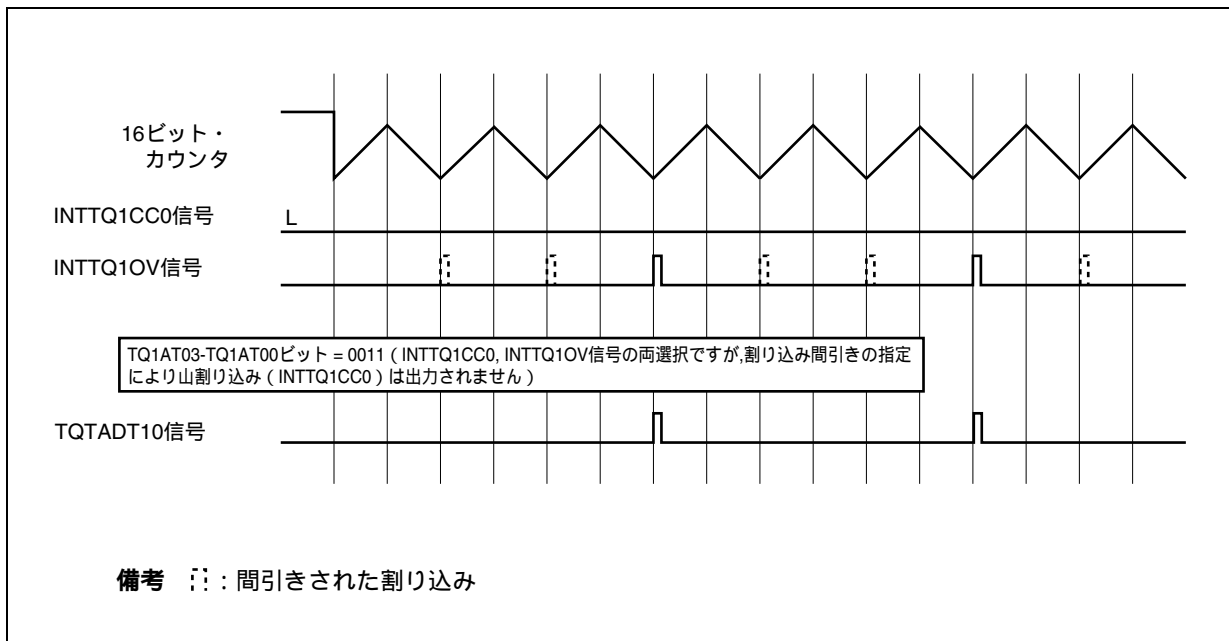
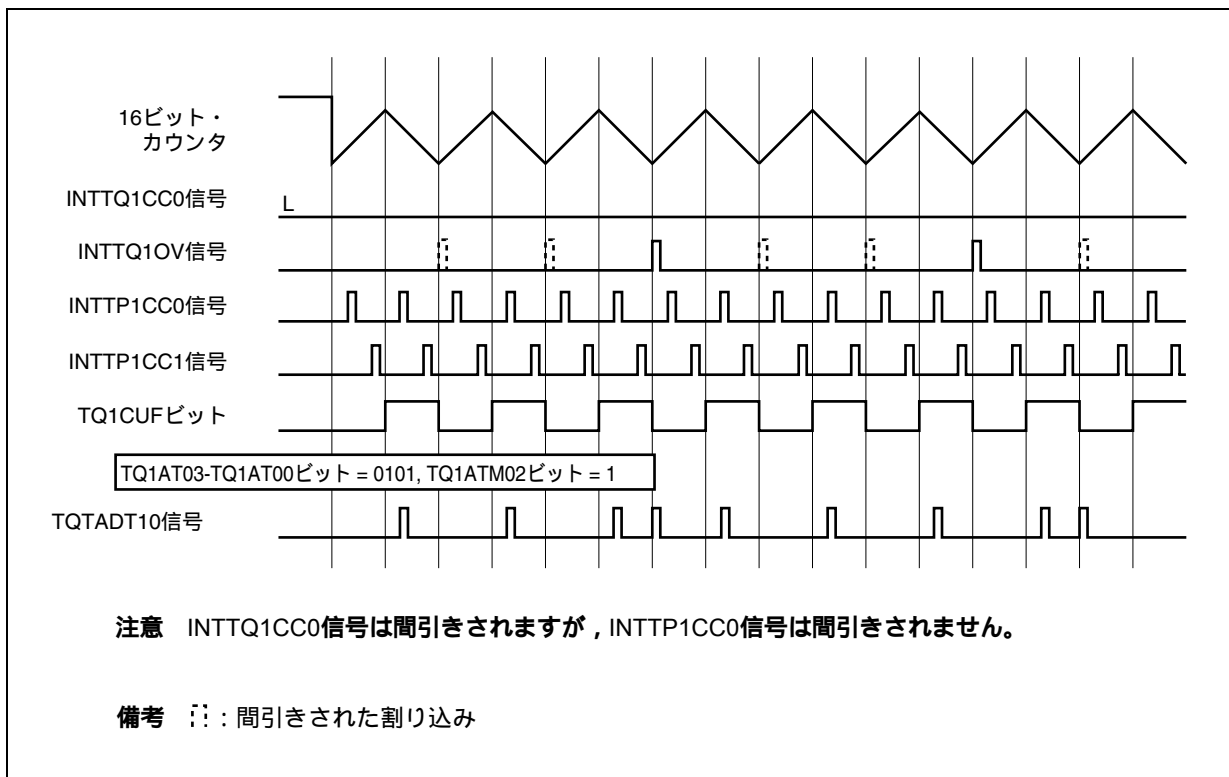


図9 - 40 A/D変換開始トリガ (TQTADT10) 信号出力例 (TQ1OPT1.TQ1ICEビット = 0, TQ1IOEビット = 1, TQ1ID4-TQ1ID0ビット = 00010 : 割り込み間引きあり) (2)



(1) 境界条件での動作 (16ビット・カウンタとINTTP1CC0信号の一致発生時の動作説明)

表9 - 3 TQ1CCR0レジスタ = M, TQ1ATm2ビット = 1, TQ1ATMm2ビット = 0 (アップ・カウント期間選択) の動作

TP1CCR0レジスタの値	TMQ1の16ビット・カウンタの値	TMP1の16ビット・カウンタの値	TMQ1の16ビット・カウンタの状態	INTTP1CC0信号によるTQTADT1m信号の出力
0000H	0000H	0000H	-	出力する
0000H	M + 1	0000H	-	出力しない
0001H	0001H	0001H	アップ・カウント	出力する
0001H	M	0001H	ダウン・カウント	出力しない
M	M	M	アップ・カウント	出力する
M	0001H	M	ダウン・カウント	出力しない

表9 - 4 TQ1CCR0レジスタ = M, TQ1ATm2ビット = 1, TQ1ATMm2ビット = 1 (ダウン・カウント期間選択) の動作

TP1CCR0レジスタの値	TMQ1の16ビット・カウンタの値	TMP1の16ビット・カウンタの値	TMQ1の16ビット・カウンタの状態	INTTP1CC0信号によるTQTADT1m信号の出力
0000H	0000H	0000H	-	出力しない
0000H	M + 1	0000H	-	出力する
0001H	0001H	0001H	アップ・カウント	出力しない
0001H	M	0001H	ダウン・カウント	出力する
M	M	M	アップ・カウント	出力しない
M	0001H	M	ダウン・カウント	出力する

注意 TP1CCRmレジスタは、TQ1CCR0レジスタ = Mのとき、“0”から“M”までの設定を許可します。“M + 1”以上は設定禁止です。

“M + 1”以上の値を設定した場合は、TMP1の16ビット・カウンタは“M”でクリアされるため、TQTADT1m信号は出力されません。

備考 m = 0, 1

第10章 ウォッチドッグ・タイマ機能

10.1 機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・リセット・モード：ウォッチドッグ・タイマのオーバーフローによるリセット動作（WDTRESを発生）
- ・ノンマスカブル割り込み要求モード
：ウォッチドッグ・タイマのオーバーフローによるノンマスカブル割り込み動作（INTWDTを発生）

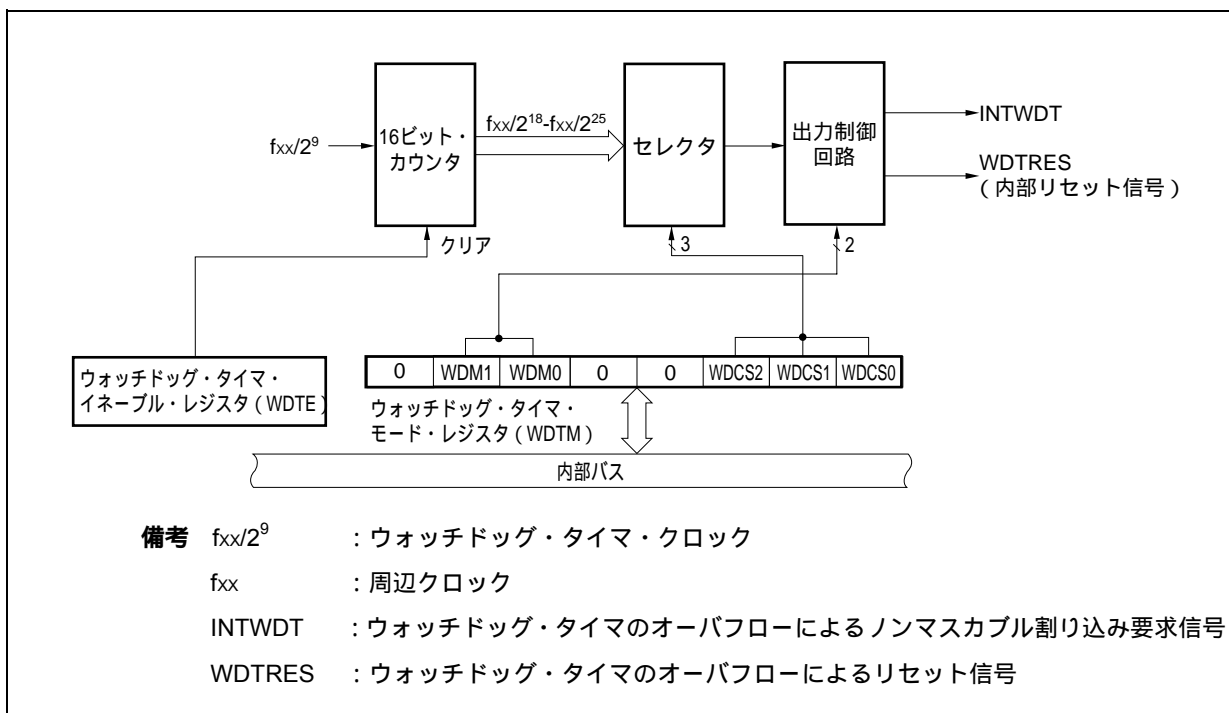
注意 ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

ウォッチドッグ・タイマを使用する場合はWDTEレジスタに“ACH”を書き込むことで動作を開始します。また、デフォルトの設定（リセット・モード、インターバル時間： $2^{25}/f_{xx}$ ）で変更する必要がない場合も、動作を確定するためにWDTMレジスタに1回だけ書き込みを行ってください。

10.2 構成

次にウォッチドッグ・タイマのブロック図を示します。

図10 - 1 ウォッチドッグ・タイマのブロック図



ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10 - 1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

10.3 制御レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマのオーバーフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード/ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。なお、2回目以降は書き込みできません。

リセットにより67Hになります。

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM	0	WDM1	WDM0	0	0	WDCS2	WDCS1	WDCS0

WDM1	WDM0	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスクابل割り込み要求モード (INTWDTを発生)
1	x	リセット・モード (WDTRESを発生)

注意1. WDCS2-WDCS0ビットについては表10 - 2 オーバフロー時間を参照してください。

2. ビット3, 4, 7には必ず0を設定してください。

表10 - 2 オーバフロー時間

WDCS2	WDCS1	WDCS0	オーバーフロー時間	$f_{xx} = 32 \text{ MHz}$
0	0	0	$2^{18}/f_{xx}$	8.2 ms
0	0	1	$2^{19}/f_{xx}$	16.4 ms
0	1	0	$2^{20}/f_{xx}$	32.8 ms
0	1	1	$2^{21}/f_{xx}$	65.5 ms
1	0	0	$2^{22}/f_{xx}$	131.1 ms
1	0	1	$2^{23}/f_{xx}$	262.1 ms
1	1	0	$2^{24}/f_{xx}$	524.3 ms
1	1	1	$2^{25}/f_{xx}$	1048.5 ms

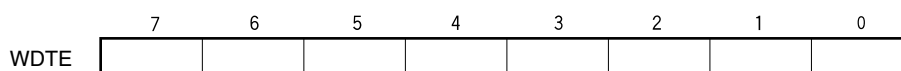
(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

8ビット単位でリード/ライト可能です。

リセットにより1AHになります。

リセット時：1AH R/W アドレス：FFFFFF6D1H



- 注意1.** WDTEレジスタに“ACH”を書き込んでウォッチドッグ・タイマを動作許可したあと、WDTEレジスタに“ACH”以外の値を書き込んだ場合、WDTM.WDM1, WDM0ビットの指定によりウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) またはウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) が発生します。
- 2.** WDTEレジスタに1ビット単位でリード/ライトを実行した場合、内部リセット信号が発生します。
- 3.** WDTEレジスタのリード値は、ウォッチドッグ・タイマ動作前は“1AH”，動作後は“9AH”です。書き込んだ値 (ACH) とは異なります。

10.4 動作

ウォッチドッグ・タイマは、リセット解除後は動作停止状態です。

WDTMレジスタへの書き込みはリセット解除後に1回だけ可能です。2回目の書き込みをウォッチドッグ・タイマ動作開始後に行った場合は、WDTM.WDM1, WDM0ビットの指定によりウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) またはウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) が発生します。同じ値を書き込んだ場合もINTWDT信号またはWDTRES信号が発生します。なお、3回以上の書き込みを行った場合の動作は保証できません。

ウォッチドッグ・タイマを使用する場合は、動作モードとインターバル時間を8ビット単位でWDTMレジスタに書き込んでください。この操作後、動作停止することはできません。

ウォッチドッグ・タイマを使用しない場合は、WDTMレジスタに00Hを書き込んでください。

10.5 注意事項

ウォッチドッグ・タイマのクリアを行わずにウォッチドッグ・タイマのオーバフローによるノンマスクابل割り込み要求信号 (INTWDT) が連続して発生した場合のINTWDT割り込み要求信号発生周期は「WDTMレジスタで設定したインターバル時間 + 2⁷周辺クロック・パルス幅」で求められます。

なお、ウォッチドッグ・タイマ起動後の最初の割り込み要求信号の発生まではパルス幅を含みません。

第11章 A/Dコンバータ0, 1

11.1 特 徴

10ビット分解能A/Dコンバータを2回路 (A/Dコンバータ0, 1) 内蔵

2回路同時サンプリング可能

アナログ入力

2回路合計8チャンネル

A/Dコンバータ0 : ANI00-ANI03 (4チャンネル)

A/Dコンバータ1 : ANI10-ANI13 (4チャンネル)

A/D変換結果レジスタ0m, 1m (ADA0CRm, ADA1CRm)

10ビット×4本×2

A/D変換トリガ・モード

・ソフトウエア・トリガ・モード

・ハードウエア・トリガ・モード

外部トリガ・モード

タイマ・トリガ・モード

A/D変換動作モード

連続セレクト・モード

連続スキャン・モード

ワンショット・セレクト・モード

ワンショット・スキャン・モード

バッファ・モード

1バッファ・モード

4バッファ・モード

逐次変換方式

動作電圧範囲

$V_{DD} = EV_{DD} = AV_{DDn} = AV_{REFn} = 4.5 \sim 5.5 V$

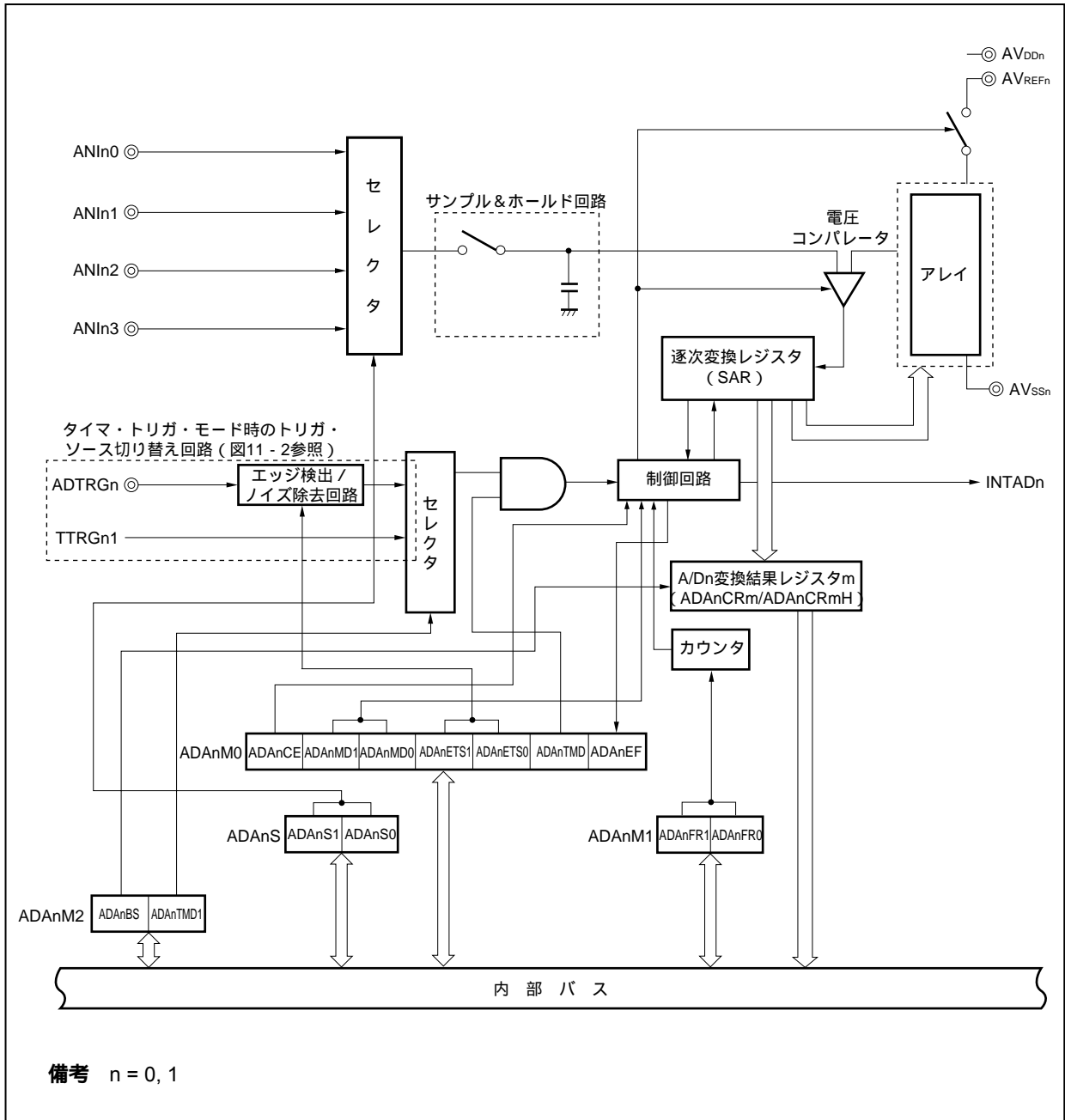
備考 m = 0-3

n = 0, 1

11.2 構成

次にブロック図を示します。

図11-1 A/Dコンバータ0, 1のブロック図

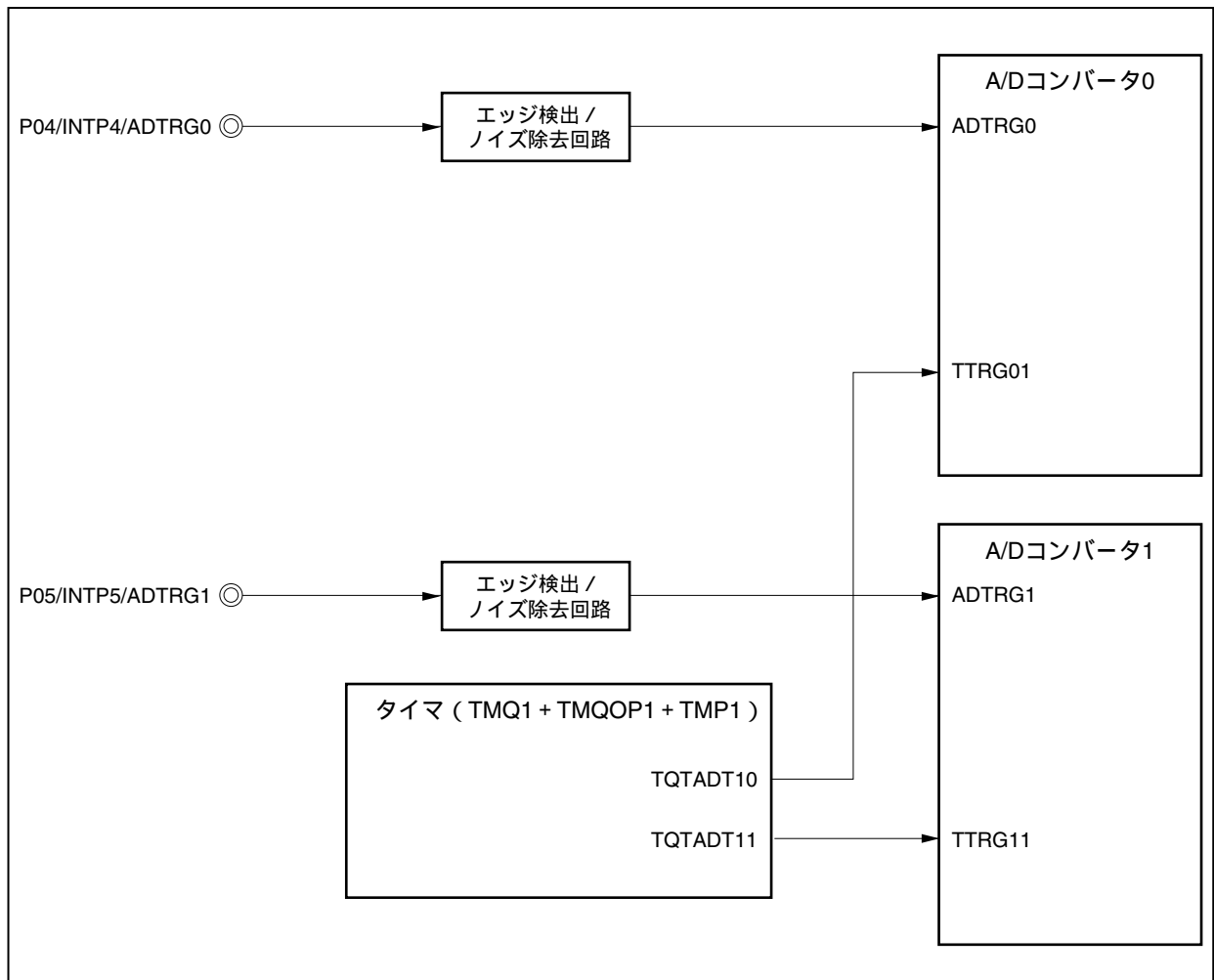


注意1. アナログ入力端子 (ANIn0-ANIn3) およびA/Dコンバータ基準電圧入力端子 (AV_{REFn}) にノイズがのる場合は、ノイズにより不正な変換結果が生じることがあります ($n = 0, 1$)。この不正な変換結果により、システムに悪影響を与えることを避けるために、ソフトウェア処理が必要です。

次にソフトウェア処理の例を示します。

- ・ 複数回のA/D変換結果の平均値を、A/D変換結果として使用する。
 - ・ 複数回のA/D変換を連続して行い、特異な変換結果が得られた場合、この値を除外した変換結果を使用する。
 - ・ システムに異常が発生したと判断されるようなA/D変換結果が得られた場合、ただちに異常処理を行わず、再度異常発生を確認した上で異常処理を行う。
2. A/Dコンバータ0, 1の入力端子として使用している端子には、 $AV_{SSn}-AV_{REFn}$ の範囲外の電圧が加わらないようにしてください。

図11-2 タイマ・トリガ・モード時のトリガ・ソース切り替え回路のブロック図



A/Dコンバータ0, 1は、次のハードウェアで構成しています。

表11-1 A/Dコンバータ0, 1の構成

項目	構成
アナログ入力	ANI00-ANI03, ANI10-ANI13 (2回路合計8チャンネル)
レジスタ	逐次変換レジスタ (SAR) A/Dn変換結果レジスタ0-3 (ADAnCR0-ADAnCR3) A/Dn変換結果レジスタ0H-3H (ADAnCR0H-ADAnCR3H)
制御レジスタ	A/Dコンバータnモード・レジスタ0 (ADAnM0) A/Dコンバータnモード・レジスタ1 (ADAnM1) A/Dコンバータnモード・レジスタ2 (ADAnM2) A/Dコンバータnチャンネル指定レジスタ (ADAnS)

備考 n = 0, 1

(1) セレクタ

ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタで設定したモードに従ってアナログ入力端子 (ANIn0-ANIn3) を選択し、サンプル&ホールド回路に送ります (n = 0, 1)。

(2) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、電圧コンパレータに送ります。なお、A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(3) 電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧を電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REFn}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REFn}$) より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、アレイの電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{REFn}$)

ビット9 = 1 : ($3/4 AV_{REFn}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット8 = 1

アナログ入力電圧 アレイの電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

(4) アレイ

アナログ入力 (ANIn0-ANIn3) より入力された電圧の比較電圧を生成します (n = 0, 1)。

(5) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する10ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D_n変換結果レジスタ0-3 (ADAnCR0-ADAnCR3) に保持されます (n = 0, 1)。また、指定されたすべてのA/D変換が終了すると、A/D_n変換終了割り込み要求信号 (INTAD_n) が発生します。

(6) A/D_n変換結果レジスタ0-3 (ADAnCR0-ADAnCR3) , A/D_n変換結果レジスタ0H-3H (ADAnCR0H-ADAnCR3H) (n = 0, 1)

ADAnCR0-ADAnCR3, ADAnCR0H-ADAnCR3Hレジスタは、A/D変換結果を保持するレジスタです。A/D変換が終了するたびに、逐次変換レジスタ (SAR) から変換結果がロードされ、変換結果をADAnCR0-ADAnCR3レジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

ADAnCR0H-ADAnCR3Hレジスタには、A/D変換結果の上位8ビットが読み出されます。

A/D変換結果を16ビット単位でリードする場合はADAnCR0-ADAnCR3レジスタ、上位8ビットをリードする場合はADAnCR0H-ADAnCR3Hレジスタを指定します。

(7) A/Dコンバータ_nモード・レジスタ0 (ADAnM0) (n = 0, 1)

動作モードの指定、および変換動作の制御を行うレジスタです。

(8) A/Dコンバータ_nモード・レジスタ1 (ADAnM1) (n = 0, 1)

A/D変換するアナログ入力の変換クロック数を設定するレジスタです。

(9) A/Dコンバータ_nチャンネル指定レジスタ (ADAnS) (n = 0, 1)

A/D変換するアナログ入力端子の指定を行うレジスタです。

(10) A/Dコンバータ_nモード・レジスタ2 (ADAnM2) (n = 0, 1)

バッファ・モードの指定、およびハードウェア・トリガ・モードのモード指定を行うレジスタです。

(11) ANIn0-ANIn3端子 (n = 0, 1)

ANIn0-ANIn3端子は、A/Dコンバータ0, 1へのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANIn0-ANIn3入力電圧は規格の範囲内でご使用ください。特にAV_{REFn}以上、AV_{SSn}以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(12) AV_{REF0}, AV_{REF1}端子

A/Dコンバータ0, 1の基準電圧を入力するための端子です。A/Dコンバータ0, 1では、AV_{REFn}-AV_{SSn}間に加えらる電圧に基づいてANIn0-ANIn3端子に入力される信号をデジタル信号に変換します (n = 0, 1)。

A/Dコンバータ0, 1を使用しない場合でも、AV_{REFn}端子は常にEV_{DD}端子と同電位で使用してください。

AV_{REFn}端子の動作電圧範囲は、V_{DD} = EV_{DD} = AV_{DDn} = AV_{REFn} = 4.5 ~ 5.5 Vです。

(13) AV_{SS0}, AV_{SS1}端子

A/Dコンバータ0, 1のグランド端子です。A/Dコンバータ0, 1を使用しない場合でも, AV_{SSn}端子は常にEV_{SS}と同電位で使用してください。

(14) AV_{DD0}, AV_{DD1}端子

A/Dコンバータ0, 1のアナログ電源端子です。

AV_{DD0}端子とAV_{DD1}端子には同電位を供給してください。

A/Dコンバータ0, 1を使用しない場合でも, AV_{DDn}端子は常にEV_{DD}端子と同電位で使用してください。

AV_{DDn}端子の動作電圧範囲は, $V_{DD} = EV_{DD} = AV_{REFn} = AV_{DDn} = 4.5 \sim 5.5 \text{ V}$ です。

(15) 制御回路

A/Dコンバータ0, 1の動作許可/動作禁止, 動作モードやトリガ・モードの選択など回路の制御を行います。

11.3 制御レジスタ

A/Dコンバータ0, 1は次に示すレジスタで制御します。

- ・ A/Dコンバータnモード・レジスタ0-2 (ADAnM0-ADAnM2)
- ・ A/Dコンバータnチャンネル指定レジスタ (ADAnS)

また, 次のレジスタも使用します。

- ・ A/Dn変換結果レジスタ0-3 (ADAnCR0-ADAnCR3)
- ・ A/Dn変換結果レジスタ0H-3H (ADAnCR0H-ADAnCR3H)

(1) A/Dコンバータnモード・レジスタ0 (ADAnM0)

ADAnM0レジスタは, 動作モードの指定, および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。ただし, ビット0はリードのみ可能です。ビット0に書き込みを行った場合, 書き込みは無視されます。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0M0 FFFFF200H, ADA1M0 FFFFF220H

	⑦	6	5	4	3	2	1	0
ADAnM0 (n = 0, 1)	ADAnCE	0	ADAnMD1	ADAnMD0	ADAnETS1	ADAnETS0	ADAnTMD	ADAnEF

ADAnCE	A/D変換動作の制御	
0	変換動作停止	
1	変換動作許可	

ADAnMD1	ADAnMD0	動作モードの指定
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	ワンショット・セレクト・モード
1	1	ワンショット・スキャン・モード

ADAnETS1	ADAnETS0	外部トリガ (ADTRGn) の有効エッジの指定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

ADAnTMD	トリガ・モードの指定
0	ソフトウェア・トリガ・モード
1	ハードウェア・トリガ・モード ^注

ADAnEF	A/Dコンバータnのステータス
0	A/D変換停止中
1	A/D変換動作中

注 ハードウェア・トリガ・モードを選択した場合は、ADAnM2.ADAnTMD1ビットでトリガ・モードを指定してください。

注意1. ソフトウェア・トリガ・モードでは、ADAnCEビットに1を書き込むことが変換のトリガになります。

ハードウェア・トリガ・モード (外部トリガ・モード、タイマ・トリガ・モード) では、ADAnCEビットに1を書き込むと、トリガ信号待機状態になります。

ADAnCEビットは、すべてのモードでA/Dn変換終了割り込み要求信号 (INTADn) が発生したあともクリア (0) されません。したがって、A/D変換動作を停止するにはADAnCEビットに0を書き込んでください。

2. A/D変換動作中 (ADAnEFビット = 1) にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、各モードにより、次のようになります。

・ソフトウェア・トリガ・モード時

A/D変換動作は中断され、再度、最初から変換動作を行います。

・ハードウェア・トリガ・モード時

A/D変換動作は中断され、再度、トリガ待機状態になります。

(2) A/Dコンバータ_nモード・レジスタ1 (ADAnM1)

ADAnM1レジスタは、変換クロック数の指定を行う8ビットのレジスタです。

変換クロック数には、サンプリング・クロック数も含まれます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0M1 FFFFF201H, ADA1M1 FFFFF221H

ADAnM1 (n = 0, 1)	7	6	5	4	3	2	1	0
	0	0	0	0	0	0	ADAnFR1	ADAnFR0

注意1. ADAnFR1, ADAnFR0ビットについては表11 - 2 変換クロック数を参照してください。
 2. ADAnM0.ADAnCEビット = 1 (変換動作許可) の場合, ADAnFR1, ADAnFR0ビットの変更は禁止です。
 3. ビット2-7には, 必ず0を設定してください。

表11 - 2 変換クロック数

ADAnFR1	ADAnFR0	変換クロック数 (f _{xx} = 32 MHz時)	安定クロック数 (f _{xx} = 32 MHz時)	トリガ受け付け クロック数 (f _{xx} = 32 MHz時)
0	0	設定禁止	-	-
0	1	62 (1.94 μs)	33	6
1	0	93 (2.91 μs)	50	7
1	1	124 (3.88 μs)	54	8

A/D総変換クロック数

トリガ・モード		動作モード		ADAnCEビット = 1設定後 1回目のA/D総変換クロック数	ADAnCEビット = 1設定後 2回目以降のA/D総変換 クロック数	
ソフトウェア・トリガ		連続セレクト	1パッファ	安定クロック数 + トリガ受け付けクロック数 + 変換クロック数	変換クロック数	
			4パッファ			
		連続スキャン	1パッファ			- (1回で変換終了)
			4パッファ			
			ワンショット・セレクト			
ワンショット・スキャン	1パッファ	変換クロック数 ^{注1}				
ハードウェア・トリガ	タイマ・トリガ	連続セレクト /	1パッファ	トリガ受け付けクロック数 + 変換クロック数 ^{注2}	- (1回で変換終了)	
		ワンショット・セレクト	4パッファ			
		連続スキャン /	1パッファ			
	外部トリガ	ワンショット・スキャン	1パッファ	ノイズ除去時間 + トリガ受け付けクロック数 + 変換クロック数 ^{注2}	- (1回で変換終了)	
		連続セレクト /	1パッファ			
		ワンショット・セレクト	4パッファ			
連続スキャン /	1パッファ	変換クロック数				
ワンショット・スキャン	1パッファ	変換クロック数 ^{注1}				

注1. 2チャンネル以上のスキャンを実行した場合 (ADAnSレジスタ 00H)

2. ADAnCEビット = 0 1設定後に安定クロック数分の安定時間が挿入されます。その安定時間中にトリガが入力された場合は、安定時間完了後にトリガを受け付けるため、A/D総変換クロック数は上記に安定クロック数を加算した値が最大クロック数になります。

(3) A/Dコンバータ_nチャンネル指定レジスタ (ADAnS)

ADAnSレジスタは、アナログ入力端子の指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0S FFFFF202H, ADA1S FFFFF222H

	7	6	5	4	3	2	1	0
ADAnS (n = 0, 1)	0	0	0	0	0	0	ADAnS1	ADAnS0

ADAnS1	ADAnS0	セレクト・モード	スキャン・モード
0	0	ANIn0	ANIn0
0	1	ANIn1	ANIn0, ANIn1
1	0	ANIn2	ANIn0-ANIn2
1	1	ANIn3	ANIn0-ANIn3

注意1. A/D変換動作中 (ADAnM0.ADAnEFビット = 1) にADAnSレジスタに書き込みを行った場合には、各モードにより、次のようになります。

・ソフトウェア・トリガ・モード時

A/D変換動作は中断され、再度、最初から変換動作を行います。

・ハードウェア・トリガ・モード時

A/D変換動作は中断され、再度、トリガ待機状態になります。

2. ビット2-7には、必ず0を設定してください。

(4) A/Dコンバータ_nモード・レジスタ2 (ADAnM2)

ADAnM2レジスタは、バッファ・モードの指定、ハードウェア・トリガ・モードのモード指定を行う8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：ADA0M2 FFFFF203H, ADA1M2 FFFFF223H

	7	6	5	4	3	2	1	0
ADAnM2 (n = 0, 1)	ADAnBS	0	0	0	0	0	ADAnTMD1	0

ADAnBS	バッファ・モードの指定
0	1バッファ・モード
1	4バッファ・モード注

ADAnTMD1	ハードウェア・トリガ・モードの指定
0	外部トリガ・モード
1	タイマ・トリガ・モード

注 4バッファ・モード時には、A/D変換結果は選択したアナログ入力端子に関係なく、必ずADAnCR0 ADAnCR1 ADAnCR2 ADAnCR3の順番で格納されます。連続スキャン・モードおよびワンショット・スキャン・モード時は、4バッファ・モードは設定禁止です。

- 注意1.** A/Dコンバータ0, 1の外部トリガは、それぞれP04/INTP4/ADTRG0端子、P05/INTP5/ADTRG1端子入力となります。したがって、外部トリガ・モードを使用する場合には、必ずPMC0.PMC04ビット = 1, PMC05ビット = 1に設定してください。
2. A/Dコンバータ_nのタイマ・トリガは、タイマ（モータ制御機能）のA/D変換開始トリガ信号（TQTADT1_n）です。TQTADT1_n信号は、A/Dコンバータ_nのTTRGn1信号と接続されています（図11-2参照）。

- ・A/Dコンバータ0のタイマ・トリガ
タイマ・トリガ・モードのとき：TQTADT10
- ・A/Dコンバータ1のタイマ・トリガ
タイマ・トリガ・モードのとき：TQTADT11

TQTADT1_n信号は、TMQ1 オプション・レジスタ2（TQ1OPT2）のTQ1AT00-TQ1AT03ビット、TMQ1オプション・レジスタ3（TQ1OPT3）のTQ1AT10-TQ1AT13ビットで設定します。タイマ・トリガであるA/D変換開始トリガ信号に選択できるモータ制御機能のトリガ・ソースは、INTTP1CC0, INTTP1CC1, INTTQ1CC0, INTTQ1OV信号となります（複数選択できます）。

3. A/D変換動作中（ADAnM0.ADAnEFビット = 1）にADAnM2レジスタに書き込みを行った場合には、各モードにより、次のようになります。

- ・ソフトウェア・トリガ・モード時
A/D変換動作は中断され、再度、最初から変換動作を行います。
- ・ハードウェア・トリガ・モード時
A/D変換動作は中断され、再度、トリガ待機状態になります。

(5) A/Dn変換結果レジスタ0-3, 0H-3H (ADAnCR0-ADAnCR3, ADAnCR0H-ADAnCR3H)

ADAnCRm, ADAnCRHレジスタは、A/D変換の結果を保持するレジスタです。このレジスタは1回路あたり4本を2回路備えています。A/D変換が終了するたびに、逐次変換レジスタ(SAR)から変換結果がロードされ、変換結果をADAnCRmレジスタの上位10ビットに格納します。下位6ビットは常に0が読み出されます。

ADAnCRmHレジスタには、A/D変換結果の上位8ビットが読み出されます。

16/8ビット単位でリードのみ可能です。A/D変換結果を16ビット単位でリードする場合はADAnCRmレジスタを、上位8ビットをリードする場合はADAnCRmHレジスタを指定します。

リセットにより不定になります。

リセット時：不定 R アドレス：ADA0CR0 FFFFFFF210H, ADA0CR1 FFFFFFF212H, ADA0CR2 FFFFFFF214H, ADA0CR3 FFFFFFF216H, ADA1CR0 FFFFFFF230H, ADA1CR1 FFFFFFF232H, ADA1CR2 FFFFFFF234H, ADA1CR3 FFFFFFF236H																																		
<table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;"></td> <td style="width: 5%;">15</td><td style="width: 5%;">14</td><td style="width: 5%;">13</td><td style="width: 5%;">12</td><td style="width: 5%;">11</td><td style="width: 5%;">10</td><td style="width: 5%;">9</td><td style="width: 5%;">8</td><td style="width: 5%;">7</td><td style="width: 5%;">6</td><td style="width: 5%;">5</td><td style="width: 5%;">4</td><td style="width: 5%;">3</td><td style="width: 5%;">2</td><td style="width: 5%;">1</td><td style="width: 5%;">0</td> </tr> <tr> <td style="vertical-align: middle;">ADAnCRm (n = 0, 1) (m = 0-3)</td> <td style="text-align: center;">ADn m9</td><td style="text-align: center;">ADn m8</td><td style="text-align: center;">ADn m7</td><td style="text-align: center;">ADn m6</td><td style="text-align: center;">ADn m5</td><td style="text-align: center;">ADn m4</td><td style="text-align: center;">ADn m3</td><td style="text-align: center;">ADn m2</td><td style="text-align: center;">ADn m1</td><td style="text-align: center;">ADn m0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td><td style="text-align: center;">0</td> </tr> </table>		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	ADAnCRm (n = 0, 1) (m = 0-3)	ADn m9	ADn m8	ADn m7	ADn m6	ADn m5	ADn m4	ADn m3	ADn m2	ADn m1	ADn m0	0	0	0	0	0	0
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0																		
ADAnCRm (n = 0, 1) (m = 0-3)	ADn m9	ADn m8	ADn m7	ADn m6	ADn m5	ADn m4	ADn m3	ADn m2	ADn m1	ADn m0	0	0	0	0	0	0																		
リセット時：不定 R アドレス：ADA0CR0H FFFFFFF211H, ADA0CR1H FFFFFFF213H, ADA0CR2H FFFFFFF215H, ADA0CR3H FFFFFFF217H, ADA1CR0H FFFFFFF231H, ADA1CR1H FFFFFFF233H, ADA1CR2H FFFFFFF235H, ADA1CR3H FFFFFFF237H																																		
<table border="1" style="margin: auto; border-collapse: collapse;"> <tr> <td style="width: 10%;"></td> <td style="width: 10%;">7</td><td style="width: 10%;">6</td><td style="width: 10%;">5</td><td style="width: 10%;">4</td><td style="width: 10%;">3</td><td style="width: 10%;">2</td><td style="width: 10%;">1</td><td style="width: 10%;">0</td> </tr> <tr> <td style="vertical-align: middle;">ADAnCRmH (n = 0, 1) (m = 0-3)</td> <td style="text-align: center;">ADnm9</td><td style="text-align: center;">ADnm8</td><td style="text-align: center;">ADnm7</td><td style="text-align: center;">ADnm6</td><td style="text-align: center;">ADnm5</td><td style="text-align: center;">ADnm4</td><td style="text-align: center;">ADnm3</td><td style="text-align: center;">ADnm2</td> </tr> </table>		7	6	5	4	3	2	1	0	ADAnCRmH (n = 0, 1) (m = 0-3)	ADnm9	ADnm8	ADnm7	ADnm6	ADnm5	ADnm4	ADnm3	ADnm2																
	7	6	5	4	3	2	1	0																										
ADAnCRmH (n = 0, 1) (m = 0-3)	ADnm9	ADnm8	ADnm7	ADnm6	ADnm5	ADnm4	ADnm3	ADnm2																										

各アナログ入力端子とADAnCRm, ADAnCRmHレジスタの対応を次に示します。

表11 - 3 各アナログ入力端子とADAnCRm, ADAnCRmHレジスタの対応表

A/Dコンバータ	アナログ入力端子	A/D変換結果レジスタ
A/Dコンバータ0	ANI00	ADA0CR0, ADA0CR0H
	ANI01	ADA0CR1, ADA0CR1H
	ANI02	ADA0CR2, ADA0CR2H
	ANI03	ADA0CR3, ADA0CR3H
A/Dコンバータ1	ANI10	ADA1CR0, ADA1CR0H
	ANI11	ADA1CR1, ADA1CR1H
	ANI12	ADA1CR2, ADA1CR2H
	ANI13	ADA1CR3, ADA1CR3H

アナログ入力端子 (ANIn_m) に入力されたアナログ入力電圧とA/D変換結果 (A/Dn変換結果レジスタm (ADAnCRm)) には次式に示す関係があります。

$$SAR = INT \left(\frac{V_{IN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR^{\#} = SAR \times 64$$

または,

$$(SAR - 0.5) \times \frac{AV_{REF}}{1024} < V_{IN} < (SAR + 0.5) \times \frac{AV_{REF}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

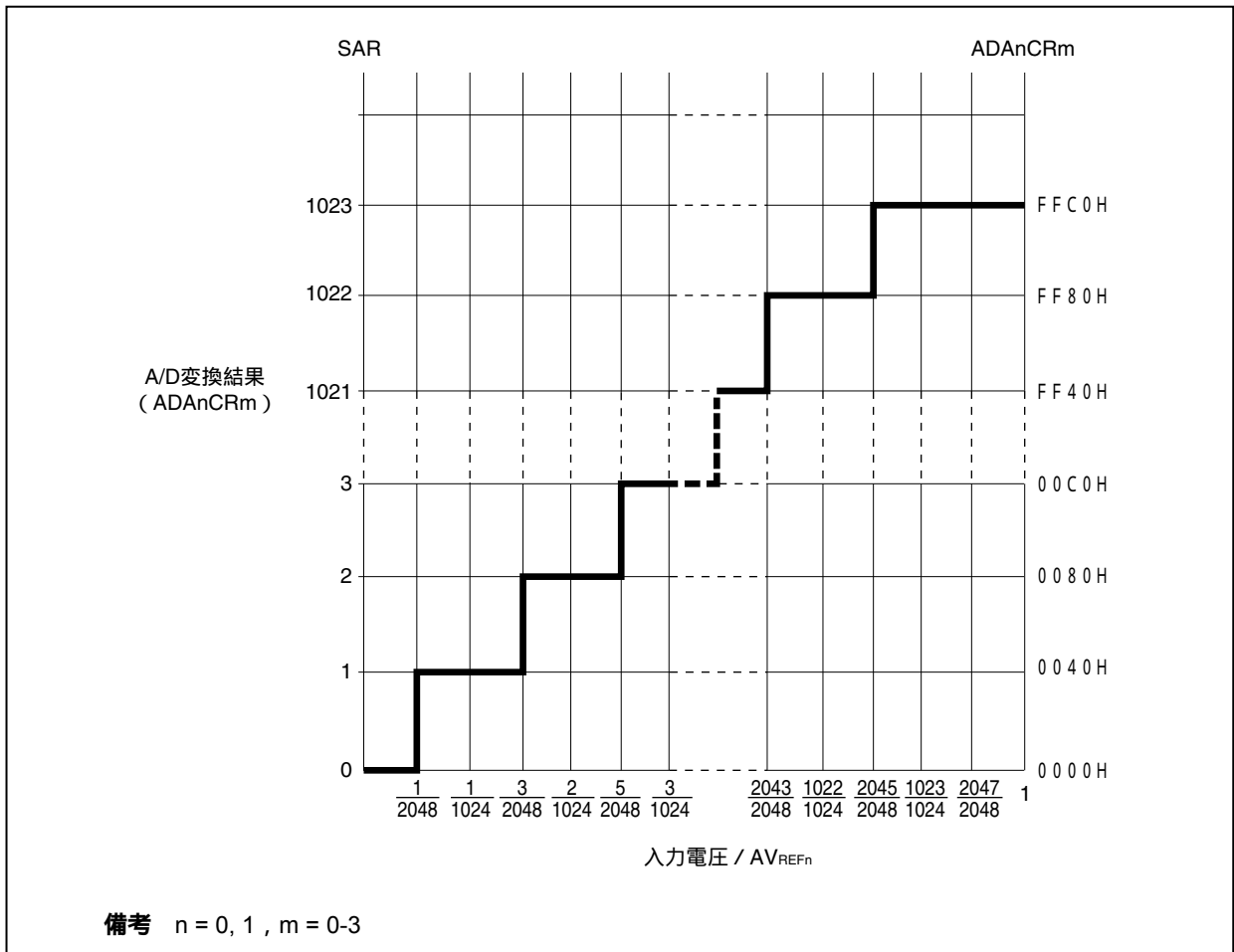
AV_{REF} : AV_{REFn}端子電圧

ADCR : A/Dn変換結果レジスタm (ADAnCRm) の値

注 ADAnCRmレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図11 - 3 アナログ入力電圧とA/D変換結果の関係



11.4 動作

注意 A/Dコンバータ0, 1は、2回路同時サンプリングが可能です。

11.4.1 基本動作

A/D変換は次の手順で行います。

(1) アナログ入力端子の選択, 動作モード, トリガ・モードなどを, ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタで指定します[※] ($n = 0, 1$)。ADAnM1.ADAnFR0, ADAnFR1ビットの指定により, A/D変換許可直後の安定クロック数の設定が決まります。

注 A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合, または有効なトリガが入力された場合, ADAnCRmレジスタに変換結果が正しく格納されません ($m = 0-3$)。変更前のA/D変換動作は初期化され, 最初から変換動作をやり直します。

(2) ソフトウェア・トリガ・モード時は, ADAnM0.ADAnCEビットをセット(1)すると, 安定クロック数経過後, A/D変換を開始します ($n = 0, 1$)。ハードウェア・トリガ・モード(外部トリガ・モード, タイマ・トリガ・モード)時は, ADAnCEビットをセット(1)すると, トリガ待機状態になります。詳細については, 11.3(2) A/Dコンバータ n モード・レジスタ1 (ADAnM1)を参照してください。

(3) A/D変換を開始すると選択されたアナログ入力チャネルに入力されている電圧を, サンプル&ホールド回路でサンプリングします。

(4) 一定時間サンプリングを行うと, サンプル&ホールド回路はホールド状態となり, 入力されたアナログ電圧をA/D変換が終了するまで保持します。

(5) 逐次変換レジスタ(SAR)のビット9をセットし, タップ・セレクトはアレイの電圧タップをリファレンス電圧 ($1/2 AV_{REFn}$) にします。

(6) アレイの電圧タップから発生した電圧と, アナログ入力電圧をコンパレータで比較します。比較した結果, アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REFn}$) より大きい場合には, 逐次変換レジスタ(SAR)の最上位ビット(MSB)をセットしたままです。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REFn}$) より小さい場合には, SARレジスタのMSBをリセットします。

(7) 次に逐次変換レジスタ (SAR) のビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、アレイの電圧タップが選択されます。

ビット9 = 0 : ($1/4 AV_{REFn}$)

ビット9 = 1 : ($3/4 AV_{REFn}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット8 = 1

アナログ入力電圧 アレイの電圧タップ : ビット8 = 0

このような比較をSARレジスタのビット0まで続けます。

(8) 10ビットの比較が終了したとき、逐次変換レジスタ (SAR) には、有効なデジタル値の結果が残り、その値がA/Dn変換結果レジスタm (ADAnCRm) に転送されて変換結果を格納します (n = 0, 1, m = 0-3)。指定した回数のA/D変換が終了したとき、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。

11.4.2 動作モードとトリガ・モード

A/Dコンバータ0, 1は、動作モード、トリガ・モードの指定により多彩な変換動作を指定できます。動作モード、トリガ・モードは、ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタで設定します。

動作モード、トリガ・モードの関係を次に示します。

備考 n = 0, 1

トリガ・モード		動作モード		設定値			
				ADAnM0	ADAnM1	ADAnM2	ADAnS
ソフトウェア・トリガ	連続セレクト	1バッファ	X000XX0XB	000000XXB	00000000B	00000XXXB	
		4バッファ	X000XX0XB	000000XXB	10000000B	00000XXXB	
	連続スキャン		X001XX0XB	000000XXB	00000000B	00000XXXB	
	ワンショット・セレクト	1バッファ	X010XX0XB	000000XXB	00000000B	00000XXXB	
		4バッファ	X010XX0XB	000000XXB	10000000B	00000XXXB	
	ワンショット・スキャン		X011XX0XB	000000XXB	00000000B	00000XXXB	
ハードウェア・トリガ	外部トリガ	連続セレクト	1バッファ ^{注1}	X000XX1XB	000000XXB	00000000B	00000XXXB
			4バッファ ^{注2}	X000XX1XB	000000XXB	10000000B	00000XXXB
		連続スキャン ^{注3}		X001XX1XB	000000XXB	00000000B	00000XXXB
		ワンショット・セレクト	1バッファ ^{注1}	X010XX1XB	000000XXB	00000000B	00000XXXB
			4バッファ ^{注2}	X010XX1XB	000000XXB	10000000B	00000XXXB
		ワンショット・スキャン ^{注3}		X011XX1XB	000000XXB	00000000B	00000XXXB
	タイマ・トリガ	連続セレクト	1バッファ ^{注1}	X000XX1XB	000000XXB	00000010B	00000XXXB
			4バッファ ^{注2}	X000XX1XB	000000XXB	10000010B	00000XXXB
		連続スキャン ^{注3}		X001XX1XB	000000XXB	00000010B	00000XXXB
		ワンショット・セレクト	1バッファ ^{注1}	X010XX1XB	000000XXB	00000010B	00000XXXB
			4バッファ ^{注2}	X010XX1XB	000000XXB	10000010B	00000XXXB
		ワンショット・スキャン ^{注3}		X011XX1XB	000000XXB	00000010B	00000XXXB

注1. トリガ以外は同じ動作を行います。

2. トリガ以外は同じ動作を行います。

3. トリガ以外は同じ動作を行います。

(1) トリガ・モード

A/D変換動作の開始タイミングとなるトリガ・モードには、ソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあります。ハードウェア・トリガ・モードには、外部トリガ・モード、タイマ・トリガ・モードの2通りがあります。

これらのトリガ・モードは、ADAnM0, ADAnM2レジスタで設定します。

備考 $n = 0, 1$

(a) ソフトウェア・トリガ・モード

ANIn0-ANIn3端子のうちADAnS.ADAnS1, ADAnS0ビットで指定されたアナログ入力端子について、ADAnM0.ADAnCEビットをセット(1)することでA/D変換開始タイミングとして使用するモードです。

A/D変換終了後、変換結果は、A/Dn変換結果レジスタm (ADAnCRm) に格納し、同時にA/Dn変換終了割り込み要求信号 (INTADn) を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D変換終了後はADAnM0.ADAnCEビットを0にしないかぎり再度変換動作を繰り返し行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、A/D変換終了後は変換動作を停止します。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1 (変換動作中) となります。

また、A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

備考 $n = 0, 1$

$m = 0-3$

(b) タイマ・トリガ・モード

ANIn0-ANIn3端子のうちADAnS.ADAnS1, ADAnS0ビットで指定されたアナログ入力端子について、タイマ（モータ制御機能）をA/D変換開始タイミングとして使用するモードです。

A/Dコンバータnのタイマ・トリガ信号は、タイマ（モータ制御機能）のタイマ割り込み要求信号（TQTADT10, TQTADT11）です。TQTADT10, TQTADT11信号は、A/DコンバータnのTTRG01, TTRG11信号と接続されています（図11 - 2参照）。

- ・ A/Dコンバータ0のタイマ・トリガ：TQTADT10
- ・ A/Dコンバータ1のタイマ・トリガ：TQTADT11

TQTADT10, TQTADT11信号は、TMQ1オプション・レジスタ2（TQ1OPT2）のTQ1AT00-TQ1AT03ビット、TMQ1オプション・レジスタ3（TQ1OPT3）のTQ1AT10-TQ1AT13ビットで設定します。タイマ・トリガ信号に選択できるモータ制御機能の割り込み要求信号は、INTTP1CC0, INTTP1CC1, INTTQ1CC0, INTTQ1OV信号となります（複数選択できます）。

ADAnM2.ADAnTMD1ビットを1に設定することにより、モータ制御機能で設定したタイマ割り込み要求信号（TQTADT10, TQTADT11）の立ち上がりエッジでA/D変換を開始します。

ADAnM0.ADAnCEビットをセット（1）することで、トリガ待機状態となり、タイマ割り込み要求信号が入力されるとA/D変換を開始します。

A/D変換終了後、変換結果は、A/Dn変換結果レジスタm（ADAnCRm）に格納し、同時にA/Dn変換終了割り込み要求信号（INTADn）を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードが、連続セレクト・モードおよび連続スキャン・モードの場合には、A/D変換終了後はADAnM0.ADAnCEビットを0にしないかぎり次のタイマ割り込み要求信号をトリガとして再度変換動作を繰り返し行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には、トリガ待機状態になります。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1（変換動作中）となります。ただし、トリガ待機状態時にはADAnEFビット = 0（変換停止中）となります。

また、A/D変換動作中に有効なトリガが入力された場合には、変換は中断され、再度最初から変換を行います。A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

注意 タイマ・トリガ・モードでは、タイマ割り込み要求信号（A/D変換開始タイミング）の発生間隔がADAnM1.ADAnFR1, ADAnFR0ビットで設定できる最小の変換クロック数よりも短くならないように注意してください。最小の変換クロック数よりも短い間隔で割り込み要求信号が発生した場合は、最後のトリガが有効となります。

備考 n = 0, 1
m = 0-3

(c) 外部トリガ・モード

ANIn0-ANIn3端子のうちADAnS.ADAnS1, ADAnS0ビットで指定されたアナログ入力端子について, ADTRGn端子をA/D変換開始タイミングとして使用するモードです。

ADTRG0端子はP04/INTP4端子と, ADTRG1端子はP05/INTP5端子と兼用になっています。外部トリガ・モードにするには, ポート・モード・コントロール・レジスタ0 (PMC0) のPMC04, PMC05ビットを1に, ADAnM2.ADAnTMD1ビットを0にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは, ADAnM0.ADAnETS1, ADAnETS0ビットの設定により, 立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり / 立ち下がり両エッジのどれかに指定できます。

ADAnM0.ADAnCEビットをセット (1) することで, トリガ待機状態となり, ADTRGn端子からトリガが入力されるとA/D変換を開始します。

A/D変換終了後, 変換結果は, A/Dn変換結果レジスタm (ADAnCRm) に格納し, 同時にA/Dn変換終了割り込み要求信号 (INTADn) を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードが, 連続セレクト・モードおよび連続スキャン・モードの場合には, A/D変換終了後はADAnM0.ADAnCEビットを0にしないかぎり次のADTRGn信号をトリガとして再度変換動作を繰り返して行います。動作モードがワンショット・セレクト・モードおよびワンショット・スキャン・モードの場合には, トリガ待機状態になります。

A/D変換が開始されると, ADAnM0.ADAnEFビット = 1 (変換動作中) となります。ただし, トリガ待機状態時にはADAnEFビット = 0 (変換停止中) となります。

また, A/D変換動作中に有効なトリガが入力された場合には, 変換は中断され, 再度最初から変換を行います。A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には, A/D変換は中断され, 再度トリガ待機状態になります。

注意 外部トリガ・モードでは, ADTRGn信号 (A/D変換開始タイミング) の発生間隔がADAnM1.ADAnFR1, ADAnFR0ビットで設定できる最小の変換クロック数よりも短くならないように注意してください。最小の変換クロック数よりも短い間隔でADTRGn信号が発生した場合は, 最後のトリガが有効となります。

備考 n = 0, 1

m = 0-3

(2) 動作モード

動作モードには、ANIn0-ANIn3端子を設定するモードとして、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4通りがあります。連続セレクト・モード、ワンショット・セレクト・モードには、サブモードとして、1バッファ・モードと4バッファ・モードがあります。これらの動作モードは、ADAnM0, ADAnM2レジスタで設定します。

備考 $n = 0, 1$

(a) 連続セレクト・モード

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) のA/D変換を連続で行います。変換結果は、ANInm端子に対応したA/Dn変換結果レジスタm (ADAnCRm) に格納します。このモードでは、A/D変換結果の格納方法として、1バッファ・モードと4バッファ・モードを備えています。

・1バッファ・モード

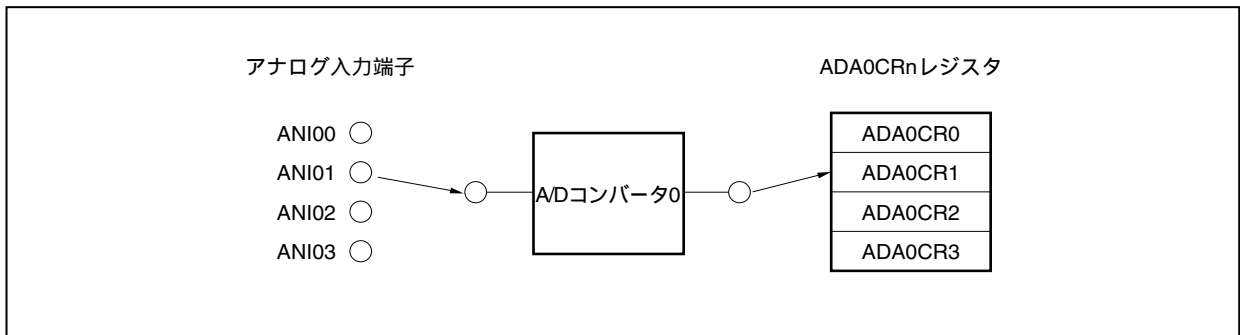
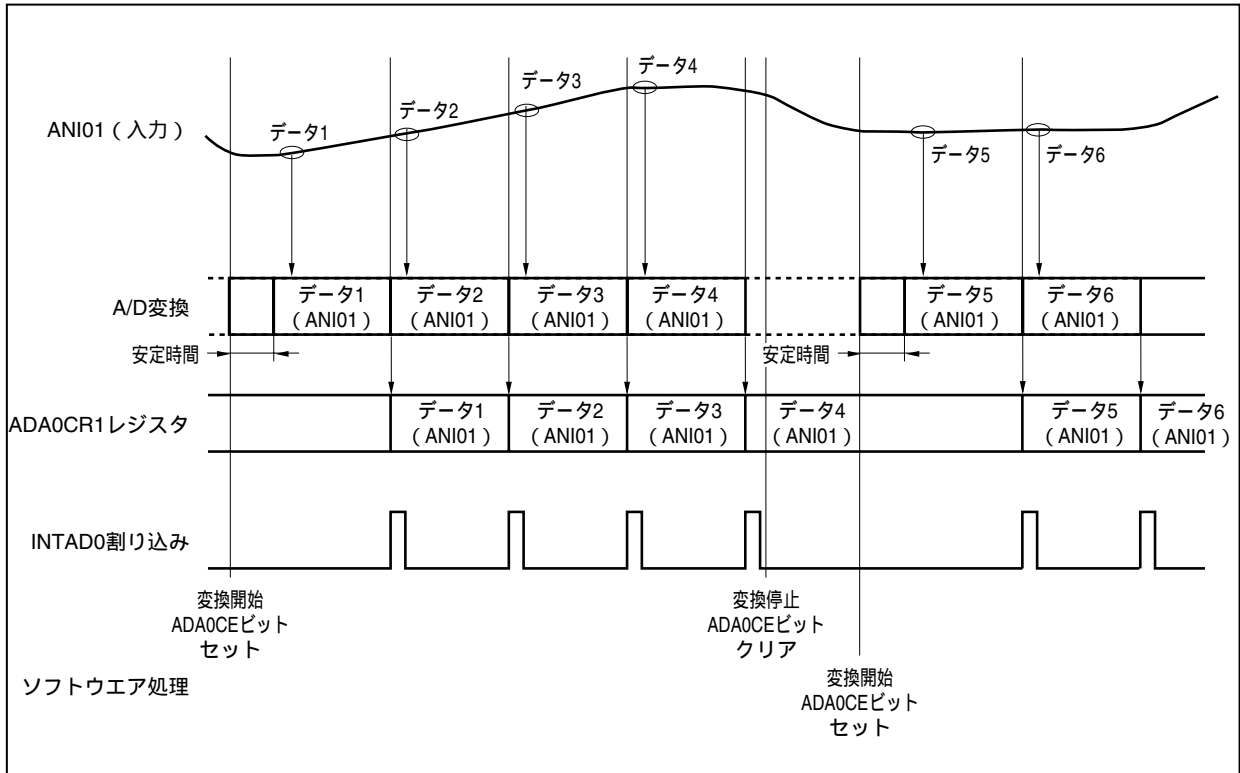
ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) の電圧をA/D変換します。変換結果は、ANInm端子に対応したADAnCRmレジスタに格納します。ANInm端子とADAnCRmレジスタは1対1に対応しており、1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり次の変換を繰り返し行います。

備考 $n = 0, 1$

$m = 0-3$

図11 - 4 連続セレクト1バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 00, ADA0M2.ADA0BSビット = 0, ADA0S.ADA0S1, ADA0S0ビット = 01のとき)

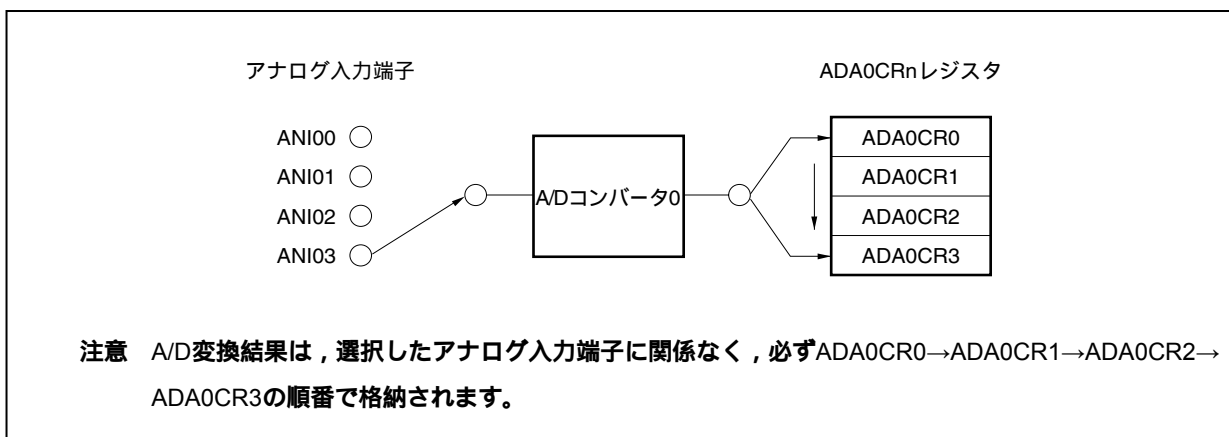
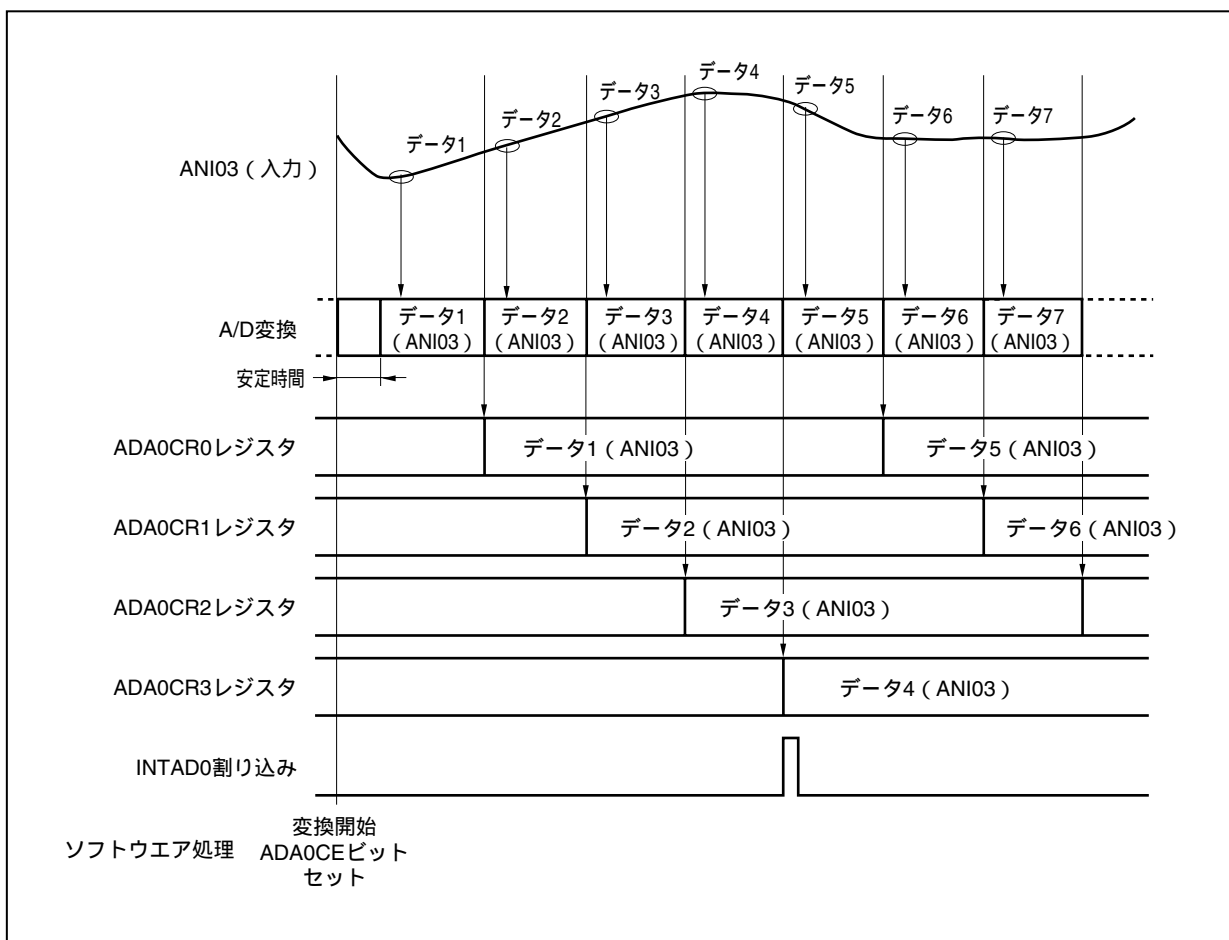


・4バッファ・モード

1つのアナログ入力端子 (ANInm) の電圧を4回A/D変換し, その結果をADAnCRmレジスタに格納します。A/Dn変換終了割り込み要求信号 (INTADn) は, 4回のA/D変換が終了したときに発生します。A/D変換終了後は, ADAnM0.ADAnCEビットを0にしないかぎり再度1回目から変換を開始します。

備考 n = 0, 1, m = 0-3

図11-5 連続セレクト4バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 00, ADA0M2.ADA0BSビット = 1, ADA0S.ADA0S1, ADA0S0ビット = 11のとき)



注意 A/D変換結果は, 選択したアナログ入力端子に関係なく, 必ずADA0CR0→ADA0CR1→ADA0CR2→ADA0CR3の順番で格納されます。

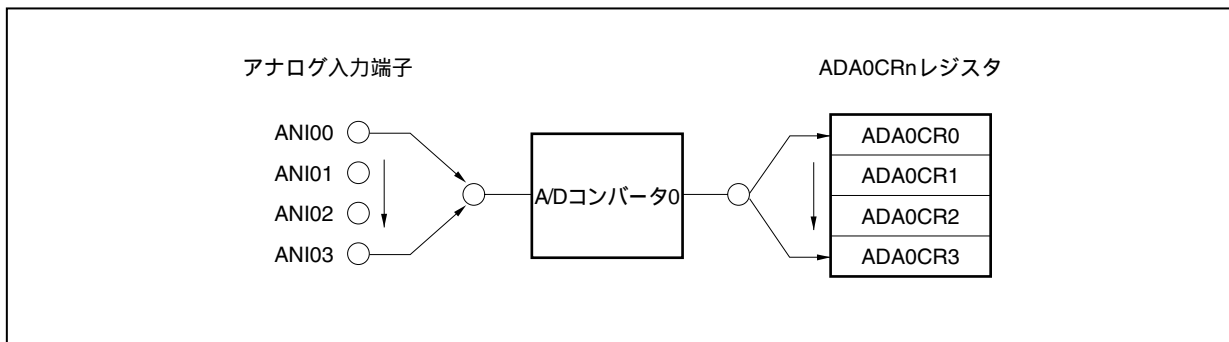
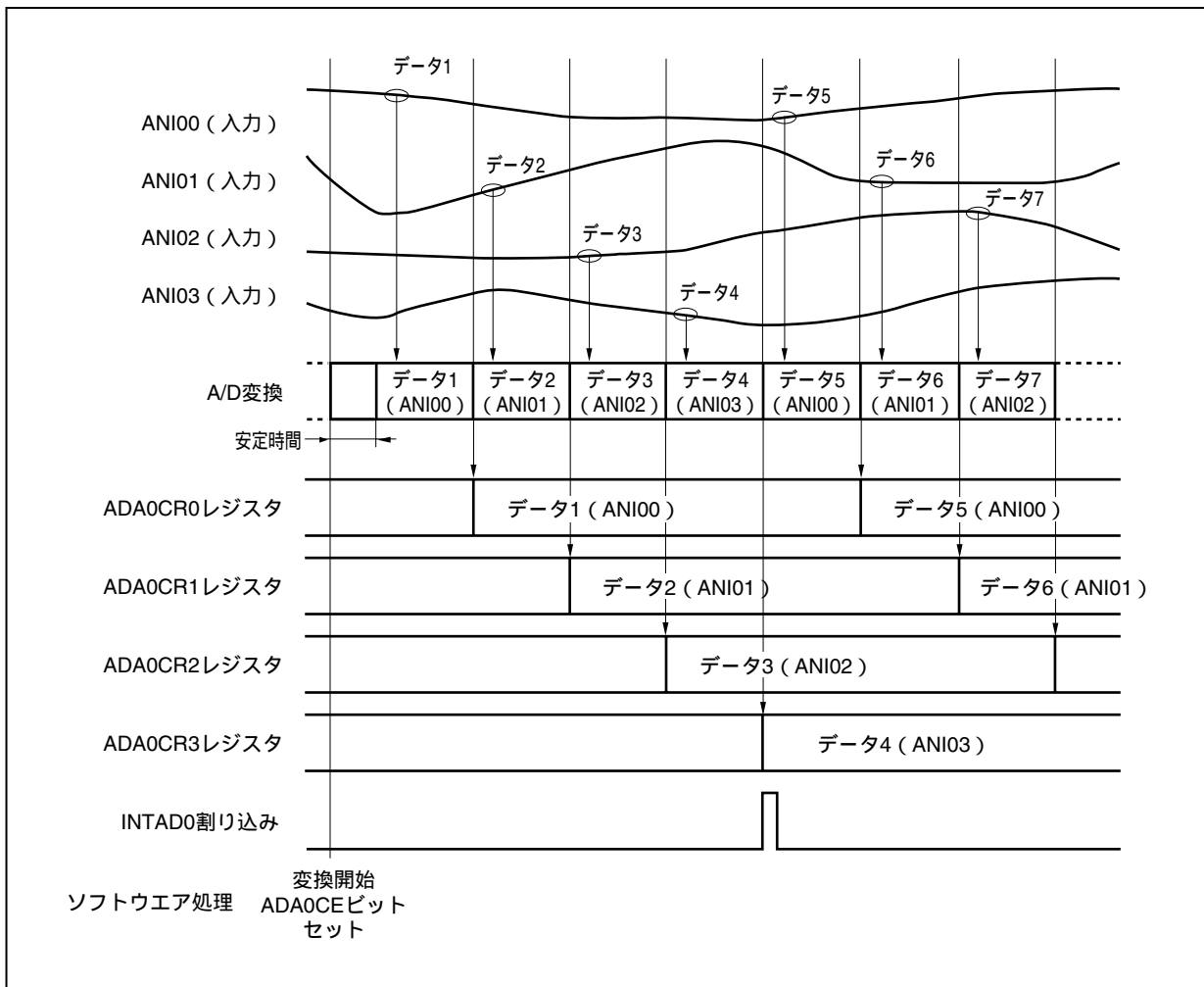
(b) 連続スキャン・モード

ANIn0端子から, ADAnSレジスタで指定したアナログ入力端子 (ANInm) までを順に選択し, A/D変換を連続で行います。A/D変換結果は, アナログ入力端子に対応したADAnCRmレジスタに格納します。指定したアナログ入力端子の変換が終了するとA/Dn変換終了割り込み要求信号 (INTADn) が発生します。A/D変換終了後は, ADAnM0.ADAnCEビットを0にしないかぎり再度ANIn0端子から変換を開始します。

備考 n = 0, 1, m = 0-3

図11 - 6 連続スキャン・モードの動作タイミング例

(ADA0M0.ADA0MD1, ADA0MD0ビット = 01, ADA0S.ADA0S1, ADA0S0ビット = 11のとき)



(c) ワンショット・セレクト・モード

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) のA/D変換を1回のみ行います。変換結果は, ANInm端子に対応したA/Dn変換結果レジスタm (ADAnCRm) に格納します。このモードでは, A/D変換結果の格納方法として, 1バッファ・モードと4バッファ・モードを備えています。

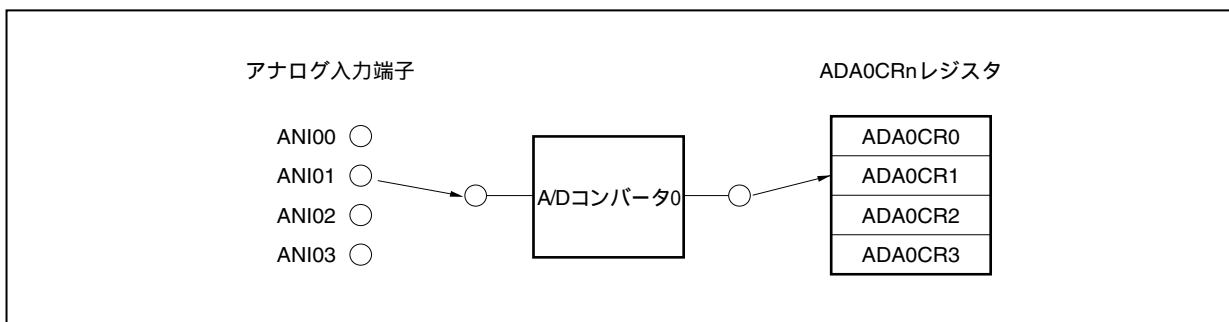
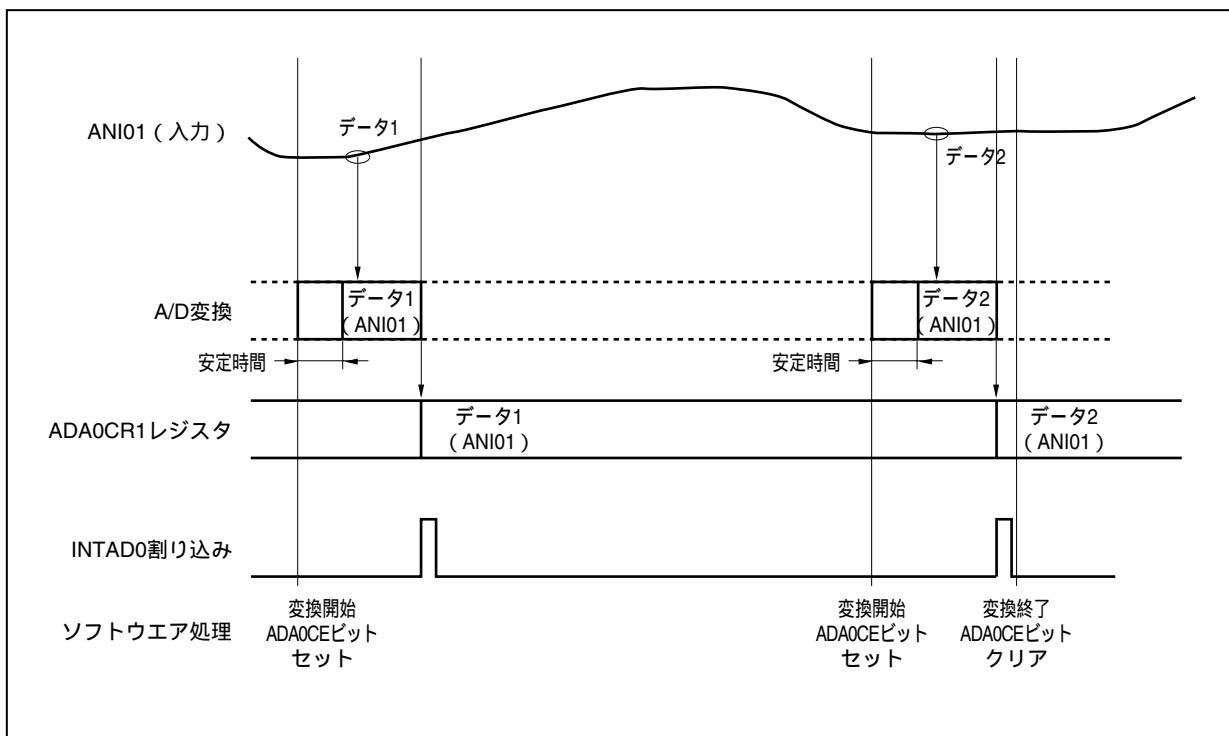
・1バッファ・モード

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) の電圧をA/D変換します。変換結果は, ANInm端子に対応したADAnCRmレジスタに格納します。ANInm端子とADAnCRmレジスタは1対1に対応しており, 1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) が発生します。

A/D変換終了後は, 変換動作を停止します。

備考 n = 0, 1, m = 0-3

図11 - 7 ワンショット・セレクト1バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 0, ADA0S.ADA0S1, ADA0S0ビット = 01のとき)

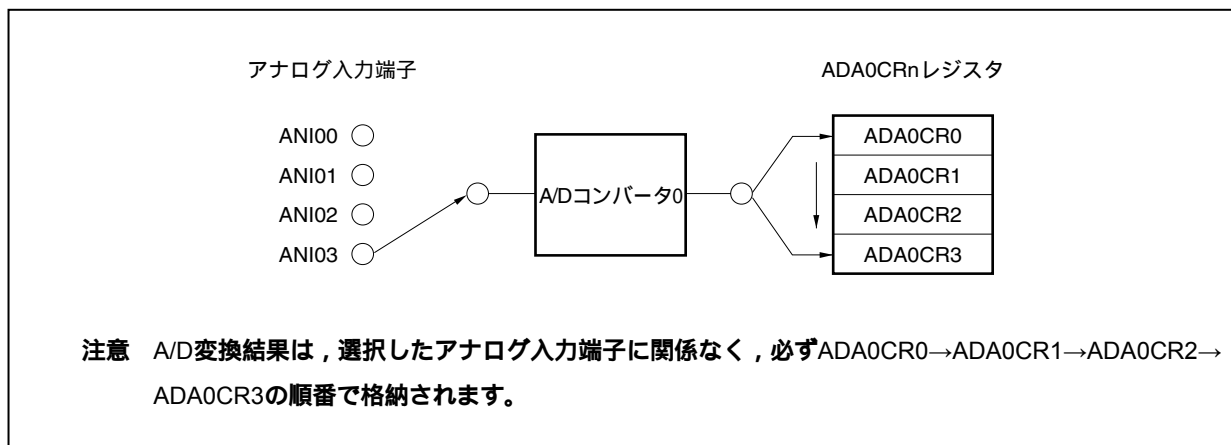
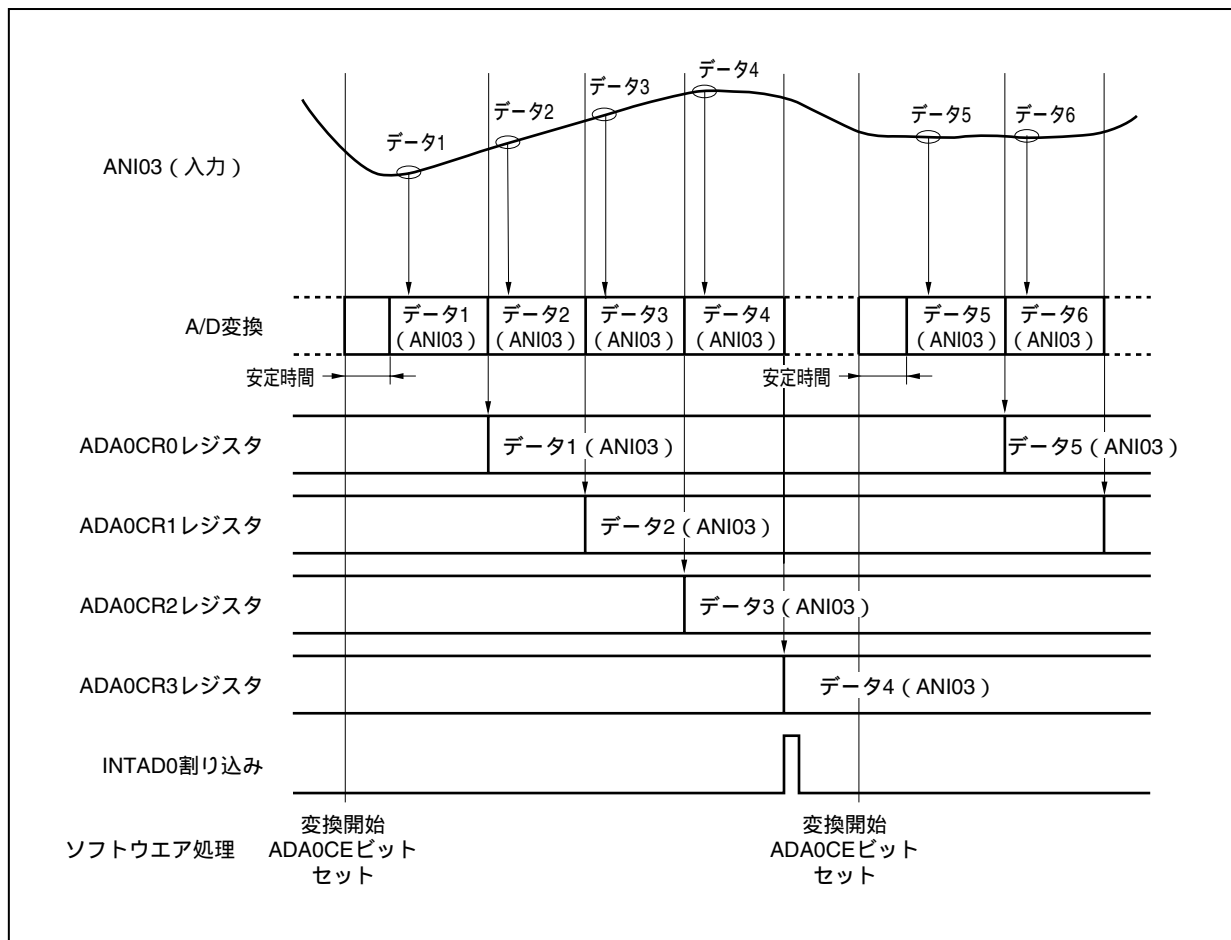


・4バッファ・モード

1つのアナログ入力端子 (ANInm) の電圧を4回A/D変換し, その結果をADAnCRmレジスタに格納します。A/Dn変換終了割り込み要求信号 (INTADn) は, 4回のA/D変換が終了したときに発生します。A/D変換終了後は, 変換動作を停止します。

備考 n = 0, 1, m = 0-3

図11 - 8 ワンショット・セレクト4バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 1, ADA0S.ADA0S1, ADA0S0ビット = 11のとき)



(d) ワンショット・スキャン・モード

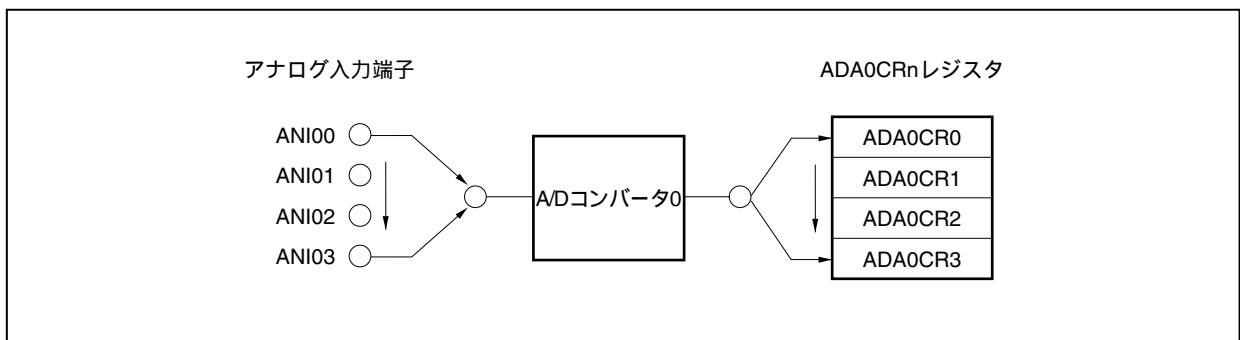
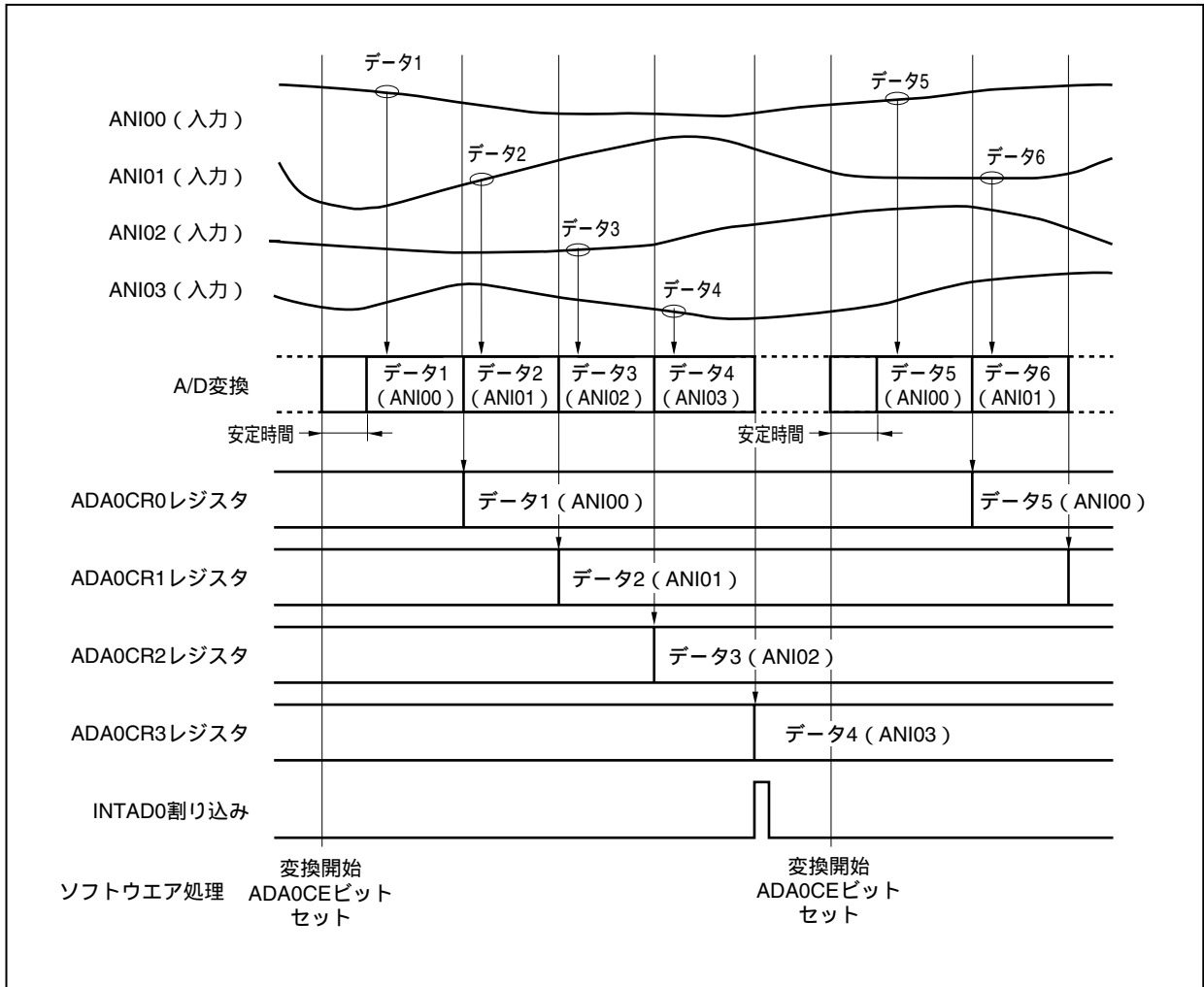
ANIn0端子から, ADAnSレジスタで指定したアナログ入力端子 (ANInm) までを順に選択し, A/D変換を行います。A/D変換結果は, アナログ入力端子に対応したADAnCRmレジスタに格納します。指定したアナログ入力端子の変換が終了するとA/Dn変換終了割り込み要求信号(INTADn)が発生します。A/D変換終了後は, 変換動作を停止します。

備考 n = 0, 1

m = 0-3

図11-9 ワンショット・スキャン・モードの動作タイミング例

(ADA0M0.ADA0MD1, ADA0MD0ビット = 11, ADA0S.ADA0S1, ADA0S0ビット = 11のとき)



11.5 ソフトウェア・トリガ・モード時の動作

ADAnM0.ADAnCEビットをセット(1)すると、A/D変換を開始します。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1 (変換動作中) となります。

また、A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度最初から変換を行います。

備考 n = 0, 1

11.5.1 連続セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) のA/D変換を連続で行います。変換結果は、ADAnCRmレジスタに格納します。連続セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています。

備考 n = 0, 1

m = 0-3

(2) 4バッファ・モード (ソフトウェア・トリガ連続セレクト4バッファ)

1つのアナログ入力端子 (ANInm) の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。4回のA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、ADAnM0.ADAnCEビットを0にしないかぎり再度1回目から変換を開始します。A/D変換の再起動動作として、ADAnM0.ADAnCEビットをセット (1) する必要がありません^注。

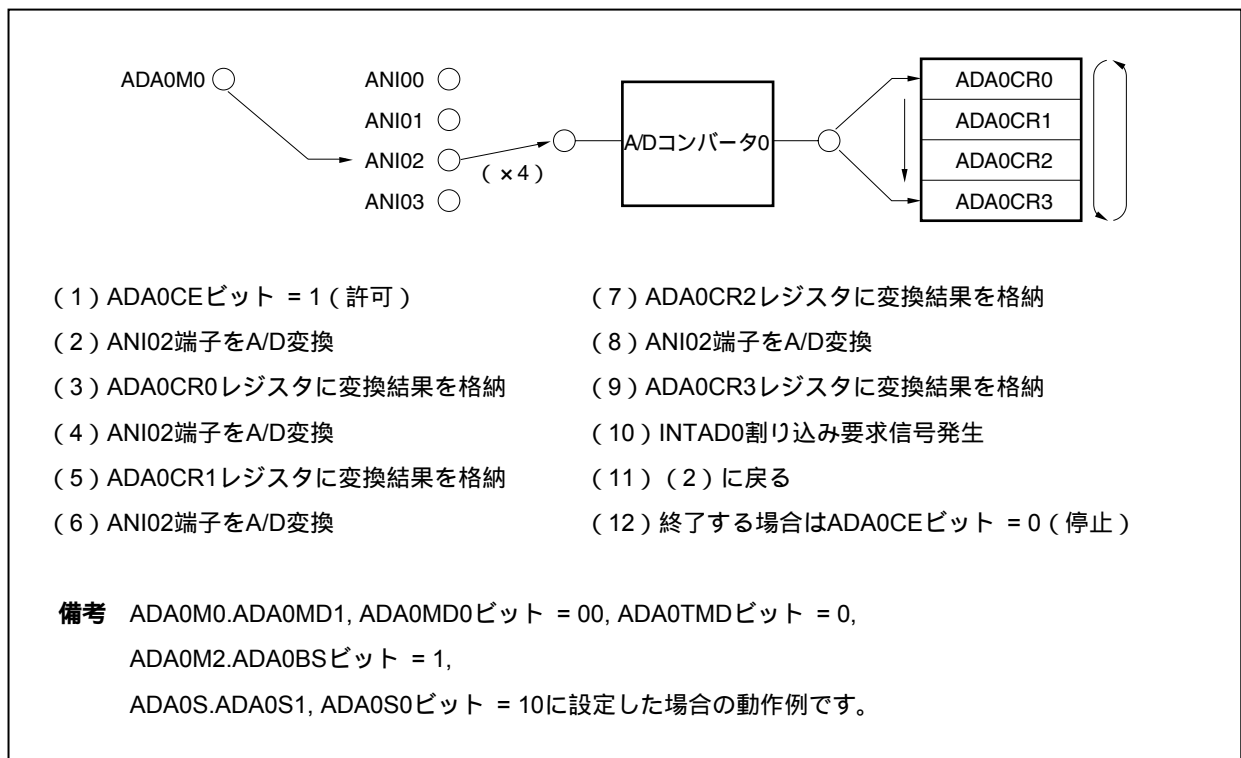
注 ソフトウェア・トリガ連続セレクト4バッファ・モードでは、ADAnM0.ADAnCEビットを0にしないかぎりA/D変換動作を停止しないため、次のA/D変換終了までにADAnCRmレジスタを読み出さないと、上書きされます。

1つのアナログ入力端子のA/D変換結果の平均を求めるような应用到に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCR0
ANInm	ADAnCR1
ANInm	ADAnCR2
ANInm	ADAnCR3

備考 n = 0, 1
m = 0-3

図11 - 11 4バッファ・モード (ソフトウェア・トリガ連続セレクト4バッファ) の動作例



11.5.2 連続スキャン・モードの動作

ANIn0端子からADAnSレジスタで指定されるアナログ入力端子 (ANInm) までを順に選択し, A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, ADAnM0.ADAnCEビットを0にしないかぎり再度ANIn0端子から変換を開始します。

A/D変換の再起動動作として, ADAnM0.ADAnCEビットをセット (1) する必要がありません[※]。

連続スキャン・モードでは, 1バッファ・モードのみサポートします。

注 ソフトウェア・トリガ連続スキャン・モードでは, ADAnM0.ADAnCEビットを0にしないかぎりA/D変換動作を停止しないため, 次のA/D変換終了までにADAnCRmレジスタを読み出さないと, 上書きされます。

複数のアナログ入力を常時監視するような応用に最適です。

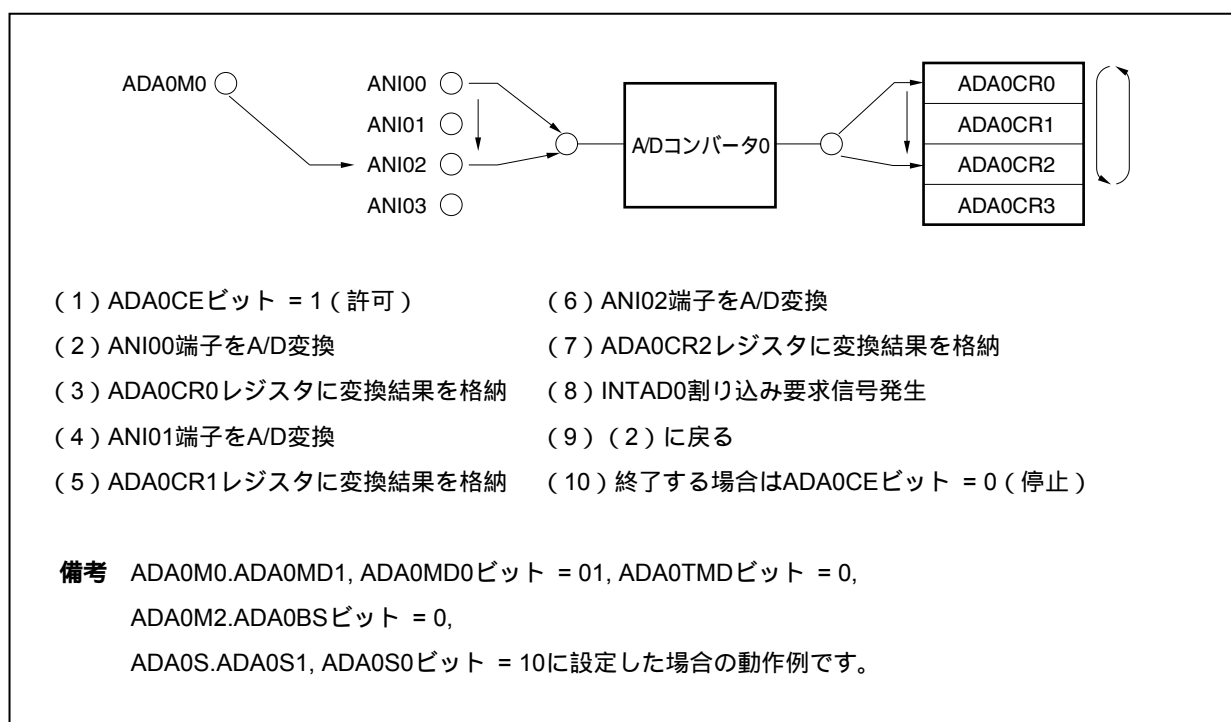
アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANInm ^注	ADAnCRm

注 ADAnS.ADAnS0, ADAnS1ビットで設定

備考 n = 0, 1

m = 0-3

図11-12 連続スキャン・モード (ソフトウェア・トリガ連続スキャン) の動作例



11.5.3 ワンショット・セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) のA/D変換を1回のみ行います。変換結果は、ADAnCRmレジスタに格納します。ワンショット・セレクト・モードでは、A/D変換結果の格納方法により、1バッファ・モードと4バッファ・モードをサポートしています。

備考 n = 0, 1
m = 0-3

(1) 1バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト1バッファ)

1つのアナログ入力端子 (ANInm) の電圧を1回A/D変換し、その結果を1つのADAnCRmレジスタに格納します。ANInm端子とADAnCRmレジスタは1対1に対応しています。

1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、変換動作を停止します。

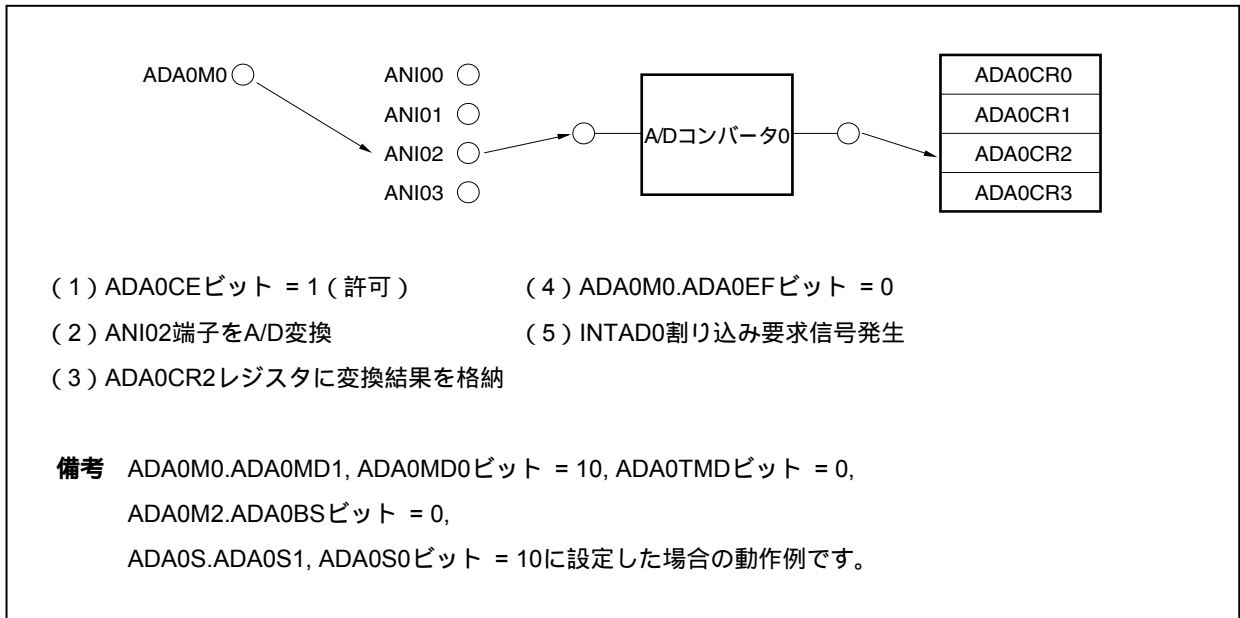
ADAnM0.ADAnCEビットをセット (1) すると、A/D変換を再起動できます。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCRm

備考 n = 0, 1
m = 0-3

図11-13 1バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト1バッファ) の動作例



(2) 4バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト4バッファ)

1つのアナログ入力端子 (ANInm) の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。4回のA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、変換動作を停止します。

ADAnM0.ADAnCEビットをセット (1) すると、A/D変換を再起動できます。

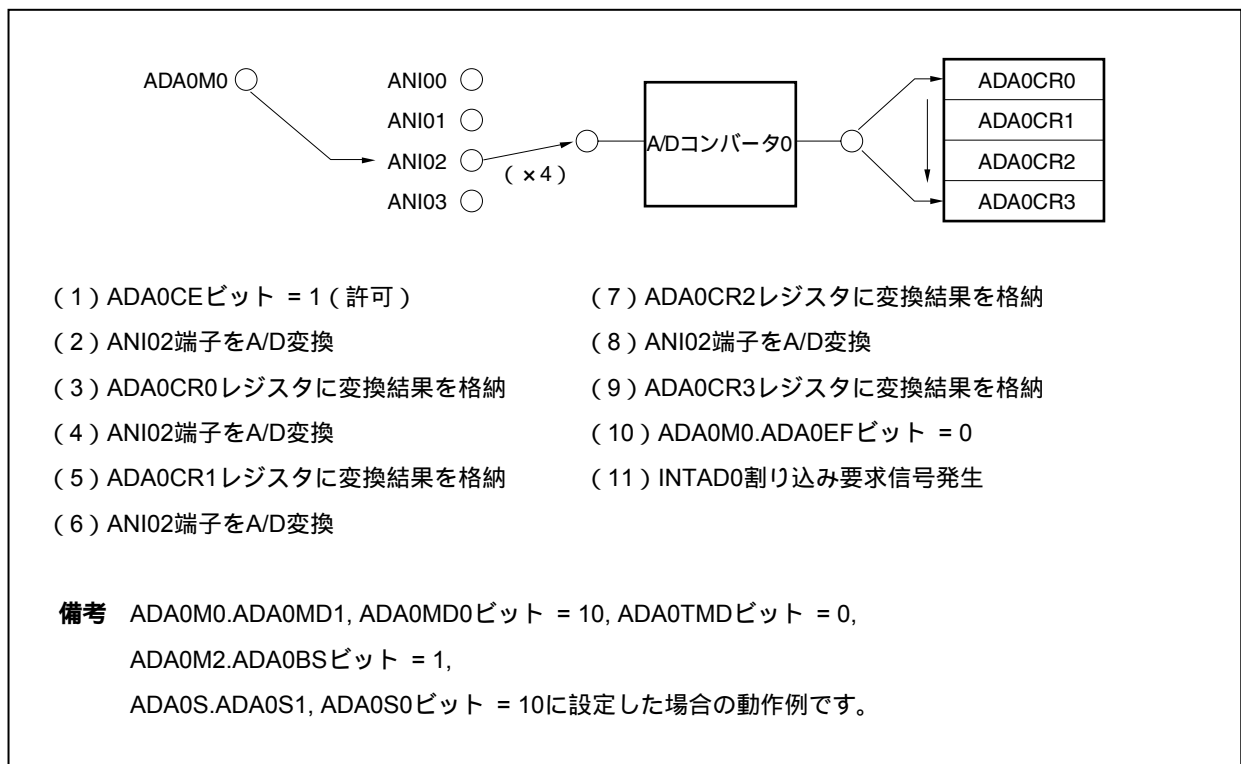
A/D変換結果の平均を求めるような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCR0
ANInm	ADAnCR1
ANInm	ADAnCR2
ANInm	ADAnCR3

備考 n = 0, 1

m = 0-3

図11 - 14 4バッファ・モード (ソフトウェア・トリガ・ワンショット・セレクト4バッファ) の動作例



11.5.4 ワンショット・スキャン・モードの動作

ANIn0端子からADAnSレジスタで指定されるアナログ入力端子 (ANInm) までを順に選択し, A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると, A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, 変換動作を停止します。

ADAnM0.ADAnCEビットをセット (1) すると, A/D変換を再起動できます。

ワンショット・スキャン・モードでは, 1バッファ・モードのみサポートします。

複数のアナログ入力を監視するような応用に最適です。

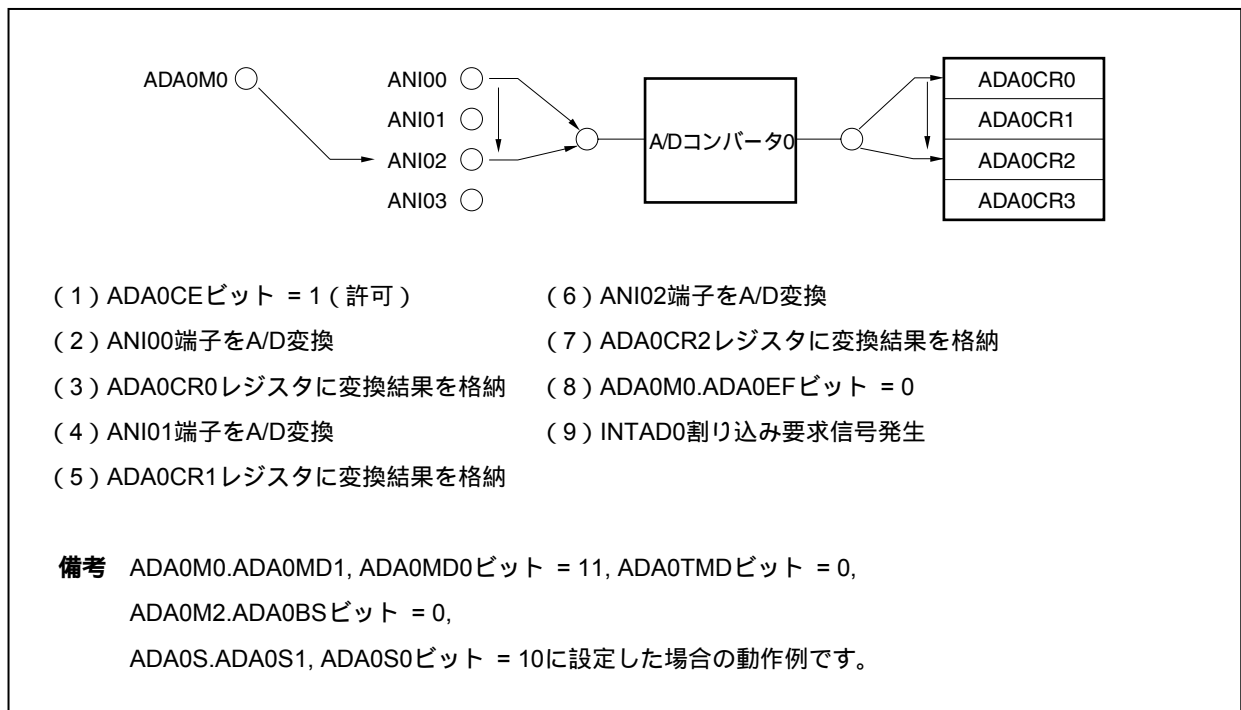
アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANInm ^注	ADAnCRm

注 ADAnS.ADAnS0, ADAnS1ビットで設定

備考 n = 0, 1

m = 0-3

図11 - 15 ワンショット・スキャン・モード (ソフトウェア・トリガ・ワンショット・スキャン) の動作例



11.6 タイマ・トリガ・モード時の動作

A/Dコンバータ n は、タイマ（モータ制御機能）からのA/D変換開始トリガ信号（TQTADT1 n ）により変換タイミングを指定します（図11-2参照）。

- ・A/Dコンバータ0のタイマ・トリガ：TQTADT10
- ・A/Dコンバータ1のタイマ・トリガ：TQTADT11

TQTADT1 n 信号は、TMQ1オプション・レジスタ2（TQ1OPT2）のTQ1AT00-TQ1AT03ビット，TMQ1オプション・レジスタ3（TQ1OPT3）のTQ1AT10-TQ1AT13ビットで設定します。タイマ・トリガであるA/D変換開始トリガ信号に選択できるモータ制御機能のトリガ・ソースは、INTTP1CC0, INTTP1CC1, INTTQ1CC0, INTTQ1OV信号となります（複数選択できます）。

ADAnM2.ADAnTMD1ビットを1に設定することにより、モータ制御機能で設定したA/D変換開始トリガ信号（TQTADT1 n ）の立ち上がりエッジでA/D変換を開始します。

ADAnM0.ADAnCEビットをセット（1）することで、トリガ待機状態となり、A/D変換開始トリガ信号が入力されるとA/D変換を開始します。

A/D変換終了後、変換結果は、A/D n 変換結果レジスタ m （ADAnCR m ）に格納し、同時にA/D n 変換終了割り込み要求信号（INTAD n ）を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードにかかわらず、A/D変換終了後はトリガ待機状態になります。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1（変換動作中）となります。ただし、トリガ待機状態時にはADAnEFビット = 0（変換停止中）となります。

また、A/D変換動作中に有効なトリガが入力された場合には、変換は中断され、再度最初から変換を行います。A/D変換動作中にADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

注意 タイマ・トリガ・モードでは、A/D変換開始トリガ信号（A/D変換開始タイミング）の発生間隔がADAnM1.ADAnFR1, ADAnFR0ビットで設定できる最小の変換クロック数よりも短くならないように注意してください。最小の変換クロック数よりも短い間隔でA/D変換開始トリガ信号が発生した場合は、最後のトリガが有効となります。

備考 $n = 0, 1$

$m = 0-3$

11. 6. 1 連続セレクト・モード/ワンショット・セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) のA/D変換を行います。変換結果は, ADAnCRmレジスタに格納します。連続セレクト・モードまたはワンショット・セレクト・モードでは, A/D変換結果の格納方法により, 1バッファ・モードと4バッファ・モードをサポートしています。

備考 n = 0, 1
m = 0-3

(1) 1バッファ・モードの動作 (タイマ・トリガによる連続セレクト/ワンショット・セレクトの1バッファ)

タイマ (モータ制御機能) からのA/D変換開始トリガ信号をトリガとして, 1つのアナログ入力端子 (ANInm) の電圧を1回A/D変換し, その結果を1つのADAnCRmレジスタに格納します。ANInm端子とADAnCRmレジスタは1対1に対応しています。

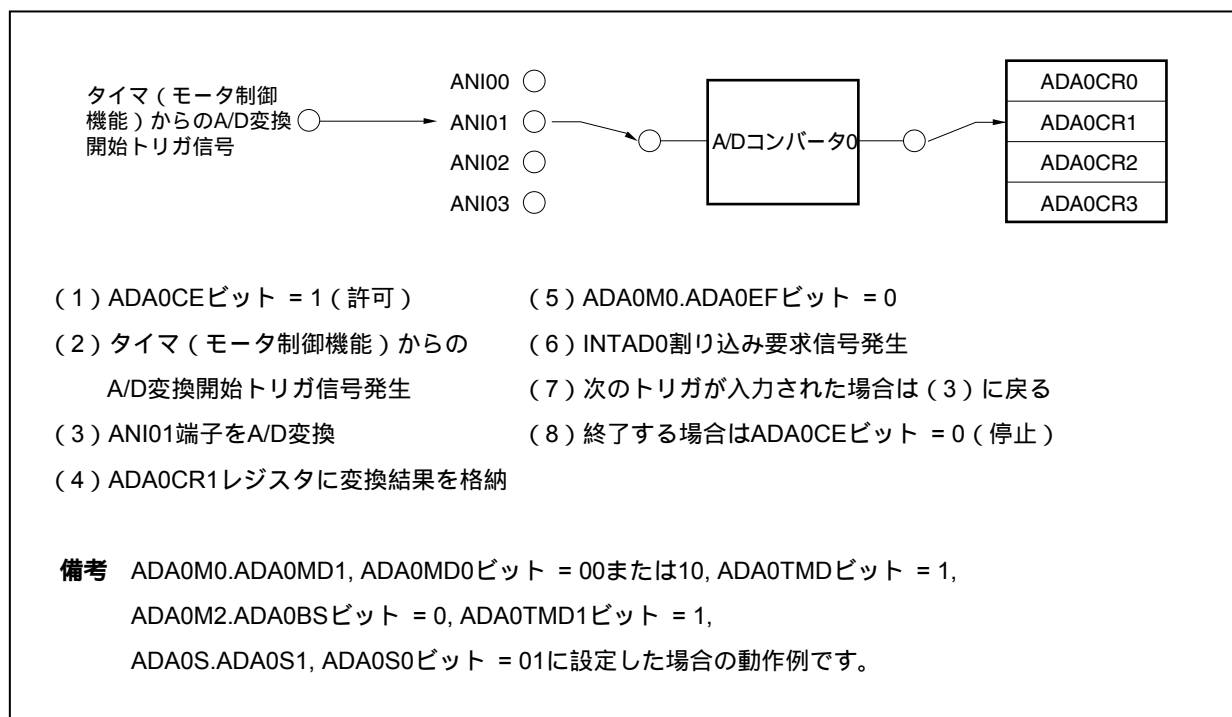
1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, トリガ待機状態になります。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCRm

備考 n = 0, 1
m = 0-3

図11 - 16 1バッファ・モード (タイマ・トリガによる連続セレクト/ワンショット・セレクトの1バッファ) の動作例



(2) 4バッファ・モードの動作 (タイマ・トリガによる連続セレクト/ワンショット・セレクトの4バッファ)

タイマ (モータ制御機能) からのA/D変換開始トリガ信号をトリガとして, 1つのアナログ入力端子 (ANInm) の電圧を4回A/D変換し, その結果をADAnCRmレジスタに格納します。

4回のA/D変換が終了すると, A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, トリガ待機状態になります。

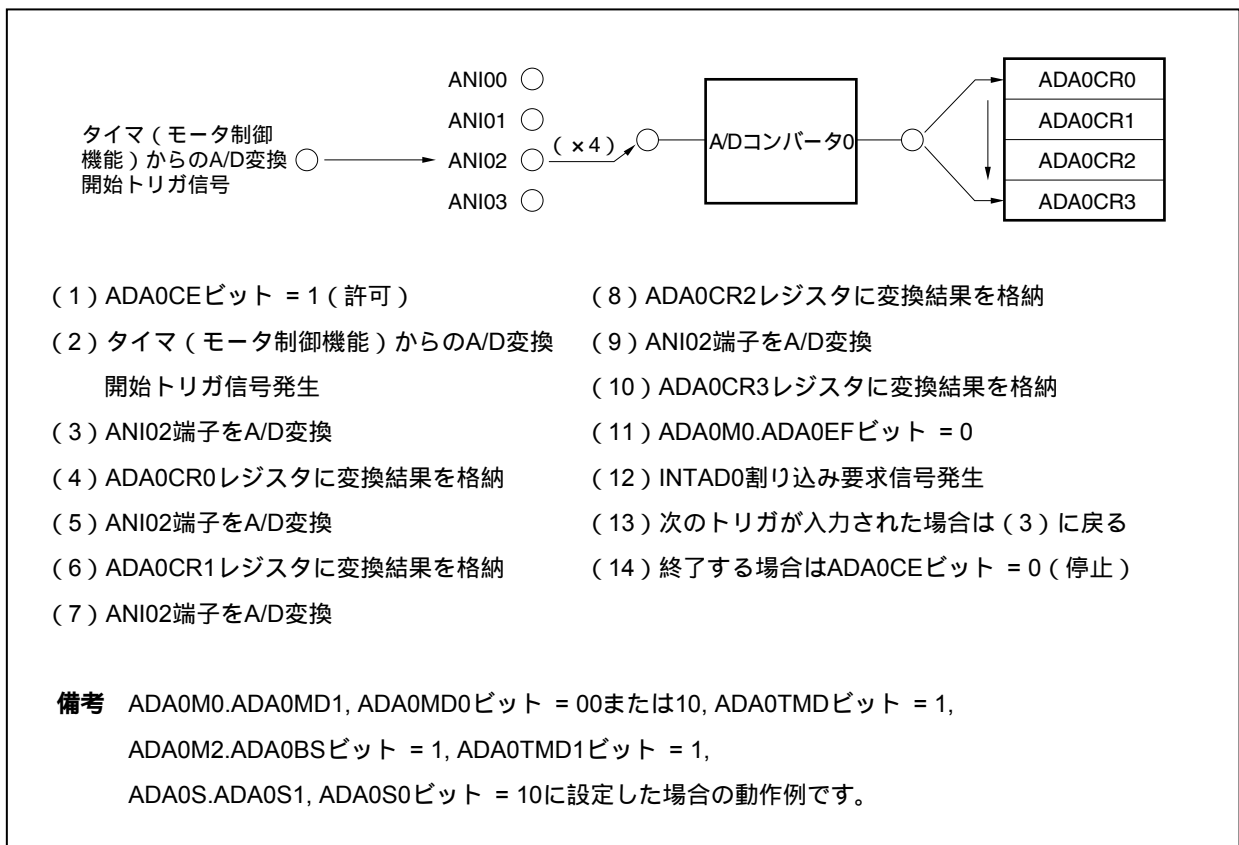
A/D変換結果の平均を求めるような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCR0
ANInm	ADAnCR1
ANInm	ADAnCR2
ANInm	ADAnCR3

備考 n = 0, 1

m = 0-3

図11 - 17 4バッファ・モード (タイマ・トリガによる連続セレクト/ワンショット・セレクトの4バッファ) の動作例



11. 6. 2 連続スキャン・モード/ワンショット・スキャン・モードの動作

タイマ (モータ制御機能) からのA/D変換開始トリガ信号をトリガとして , ANIn0端子からADAnSレジスタで指定されるアナログ入力端子 (ANInm) までを順に選択し , A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると , A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は , トリガ待機状態になります。

複数のアナログ入力を監視するような応用に最適です。

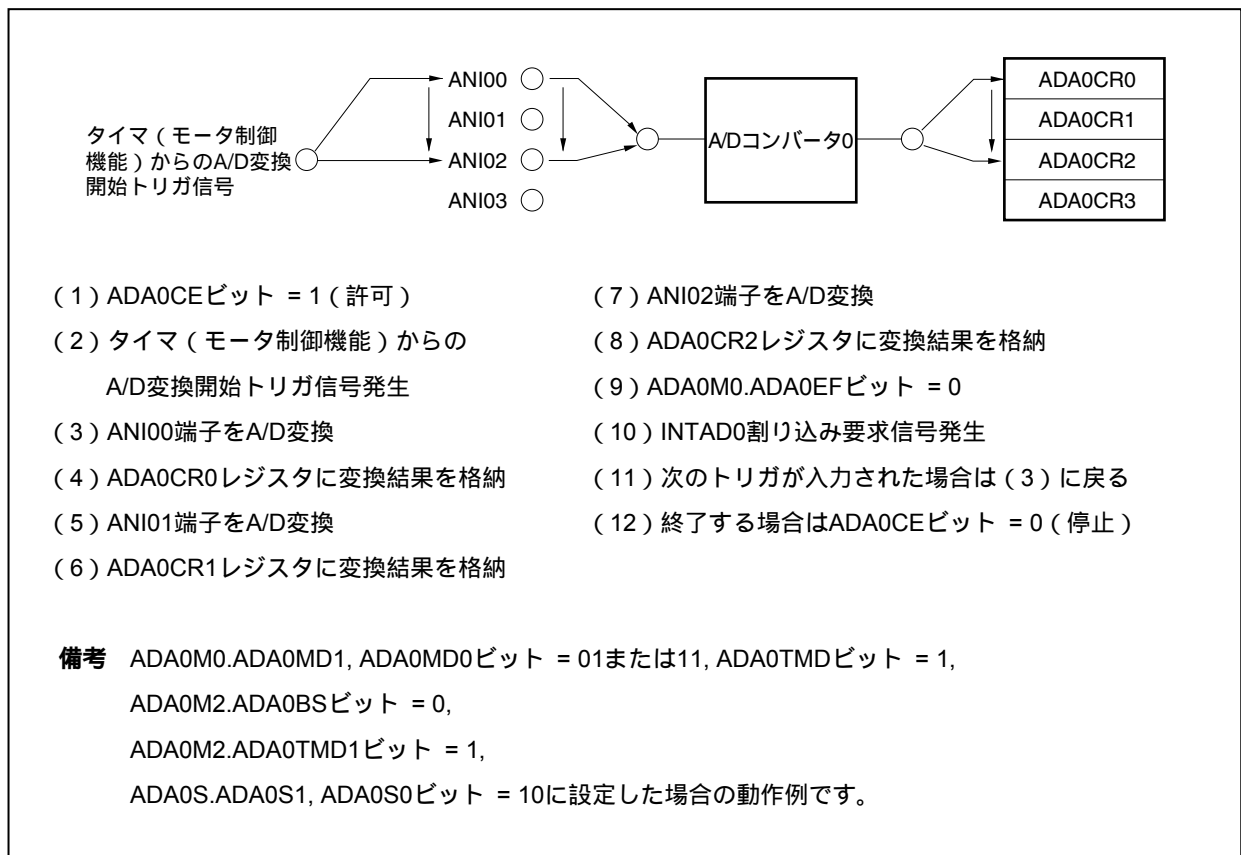
連続スキャン・モードまたはワンショット・スキャン・モードでは , 1バッファ・モードのみサポートしています。

アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANIn1	ADAnCR1
ANIn2	ADAnCR2
ANIn3	ADAnCR3

備考 n = 0, 1

m = 0-3

図11 - 18 スキャン・モード (タイマ・トリガによる連続スキャン/ワンショット・スキャン) の動作例



11.7 外部トリガ・モード時の動作

外部トリガ・モードでは、アナログ入力端子 (ANIn0-ANIn3) をADTRGn端子の入力タイミングでA/D変換します。

ADTRG0端子はP04/INTP4端子と、ADTRG1端子はP05/INTP5端子と兼用になっています。外部トリガ・モードにするには、A/Dコンバータ0の場合には、ポート・モード・コントロール・レジスタ0 (PMC0) のPMC04ビットを1に、ADA0M2.ADA0TMD1ビットを0にしてください。A/Dコンバータ1の場合には、ポート・モード・コントロール・レジスタ0 (PMC0) のPMC05ビットを1に、ADA1M2.ADA1TMD1ビットを0にしてください。

外部トリガ・モード時の外部入力信号の有効エッジは、ADAnM0.ADAnETS1, ADAnETS0ビットの設定により、立ち上がりエッジ、立ち下がりエッジ、立ち上がり/立ち下がり両エッジのどれかに指定できます。

ADAnM0.ADAnCEビットをセット (1) することで、トリガ待機状態となり、ADTRGn端子からトリガが入力されるとA/D変換を開始します。

A/D変換終了後、変換結果は、A/Dn変換結果レジスタm (ADAnCRm) に格納し、同時にA/Dn変換終了割り込み要求信号 (INTADn) を発生します。

ADAnM0.ADAnMD1, ADAnMD0ビットで設定された動作モードにかかわらず、A/D変換終了後はトリガ待機状態になります。

A/D変換が開始されると、ADAnM0.ADAnEFビット = 1 (変換動作中) となります。ただし、トリガ待機状態時にはADAnEFビット = 0 (変換停止中) となります。

また、A/D変換動作中に有効なトリガが入力された場合には、変換は中断され、再度最初から変換を行います。A/D変換動作中に、ADAnM0, ADAnM2, ADAnSレジスタに書き込みを行った場合には、A/D変換は中断され、再度トリガ待機状態になります。

備考 n = 0, 1

m = 0-3

11.7.1 連続セレクト・モード/ワンショット・セレクト・モードの動作

ADAnSレジスタで指定される1つのアナログ入力端子 (ANInm) のA/D変換を行います。変換結果は, ADAnCRmレジスタに格納します。連続セレクト・モードまたはワンショット・セレクト・モードでは, A/D変換結果の格納方法により, 1バッファ・モードと4バッファ・モードをサポートしています。

備考 n = 0, 1
m = 0-3

(1) 1バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの1バッファ)

ADTRGn信号をトリガとして, 1つのアナログ入力端子 (ANInm) の電圧を1回A/D変換し, その結果を1つのADAnCRmレジスタに格納します。ANInm端子とADAnCRmレジスタは1対1に対応しています。

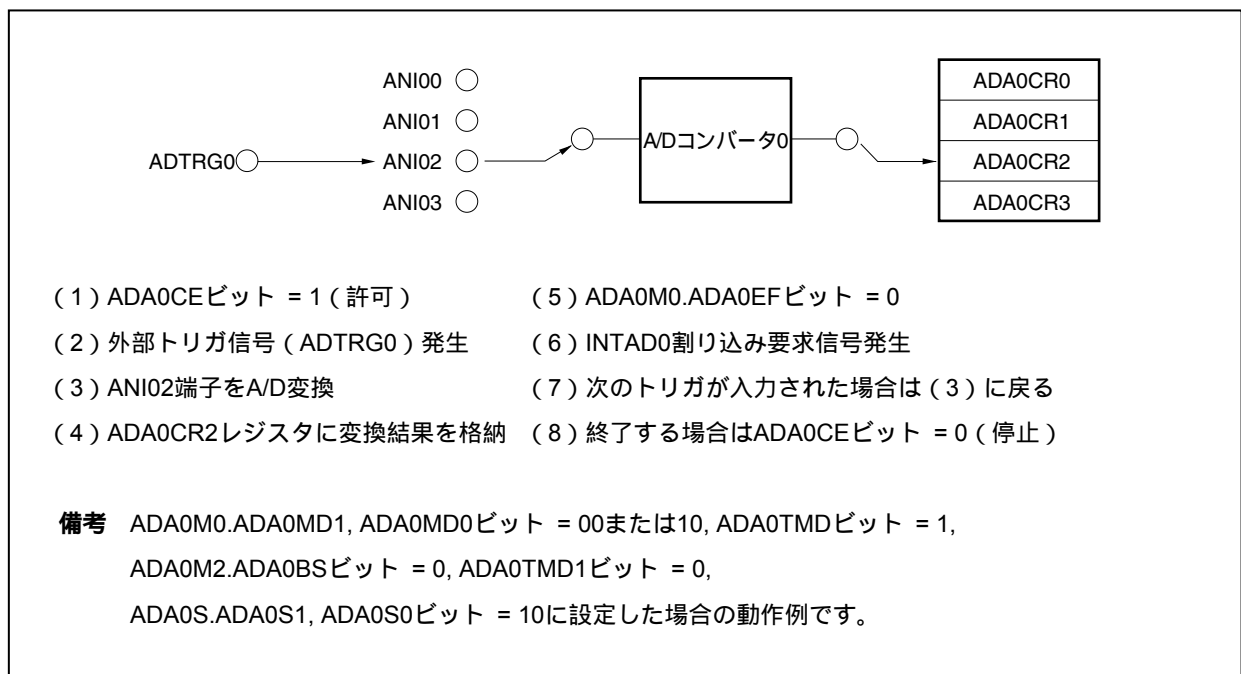
1回のA/D変換終了ごとにA/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は, トリガ待機状態になります。

1回目のA/D変換ごとに結果を読み出すような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCRm

備考 n = 0, 1
m = 0-3

図11 - 19 1バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの1バッファ) の動作例



(2) 4バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの4バッファ)

ADTRGn信号をトリガとして、1つのアナログ入力端子 (ANInm) の電圧を4回A/D変換し、その結果をADAnCRmレジスタに格納します。

4回のA/D変換が終了すると、A/Dn変換終了割り込み要求信号 (INTADn) を発生します。A/D変換終了後は、トリガ待機状態になります。

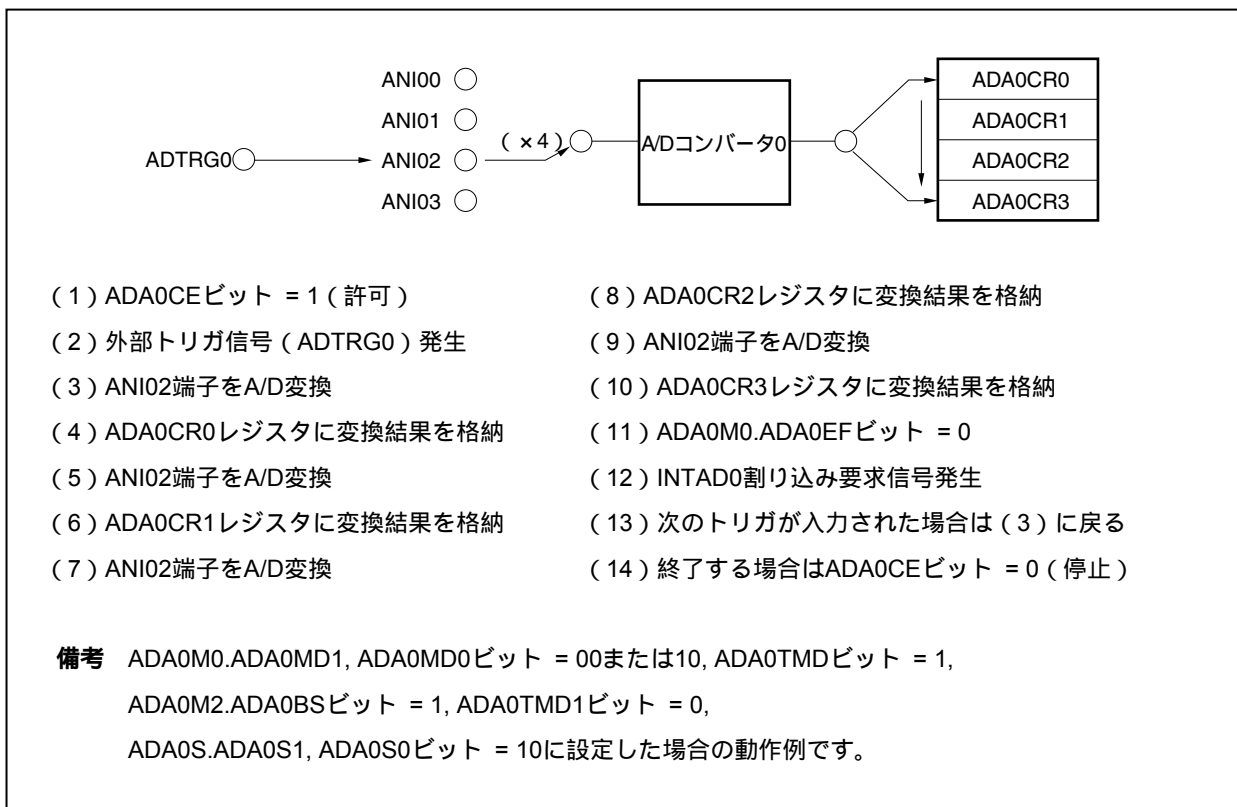
A/D変換結果の平均を求めるような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANInm	ADAnCR0
ANInm	ADAnCR1
ANInm	ADAnCR2
ANInm	ADAnCR3

備考 n = 0,1

m = 0-3

図11 - 20 4バッファ・モード (外部トリガによる連続セレクト/ワンショット・セレクトの4バッファ) の動作例



11.7.2 連続スキャン・モード/ワンショット・スキャン・モードの動作

ADTRGn信号をトリガとして、ANIn0端子からADAnSレジスタで指定されるアナログ入力端子（ANInm）までを順に選択し、A/D変換を連続で行います。A/D変換結果をアナログ入力端子に対応したADAnCRmレジスタに格納します。

指定したアナログ入力端子の変換をすべて終了すると、A/Dn変換終了割り込み要求信号（INTADn）を発生します。A/D変換終了後は、トリガ待機状態になります。

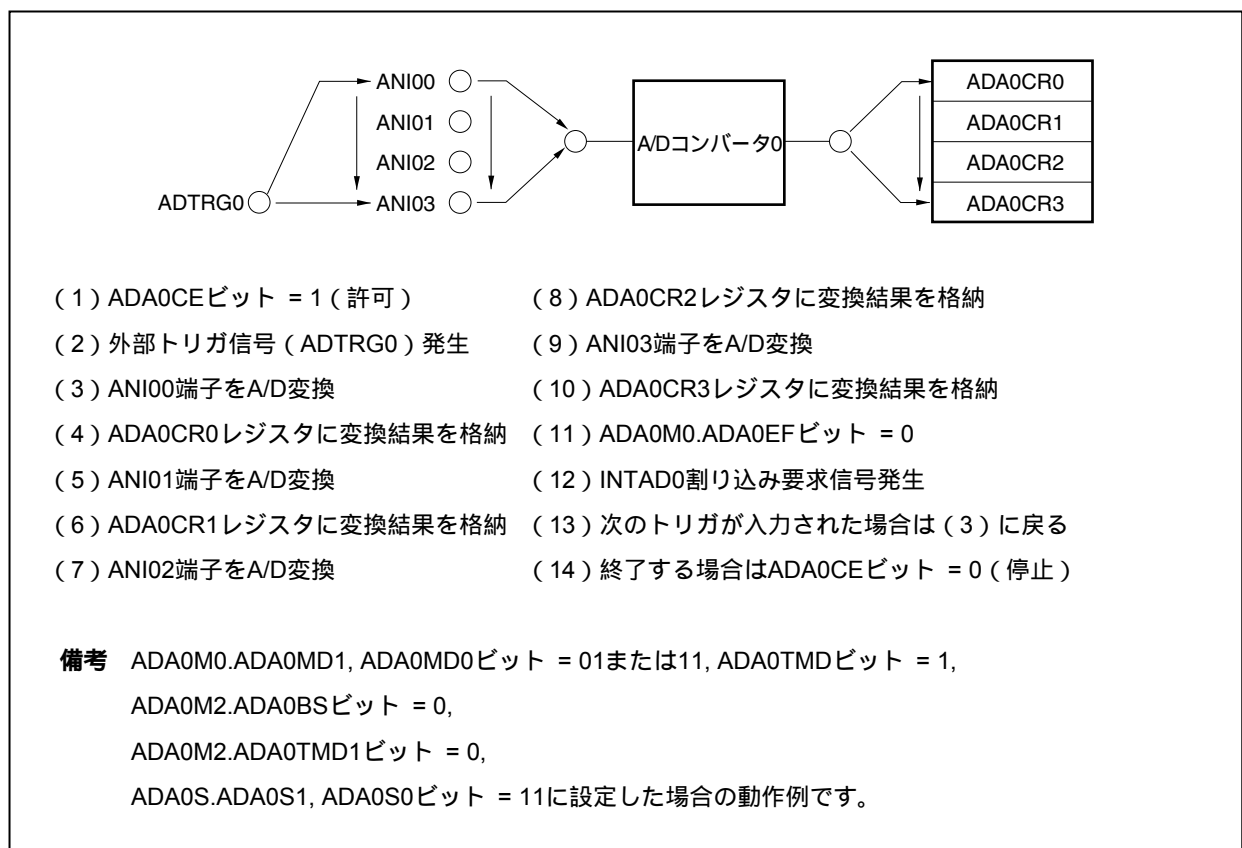
複数のアナログ入力を監視するような応用に最適です。

アナログ入力端子	A/D変換結果レジスタ
ANIn0	ADAnCR0
ANIn1	ADAnCR1
ANIn2	ADAnCR2
ANIn3	ADAnCR3

備考 n = 0, 1

m = 0-3

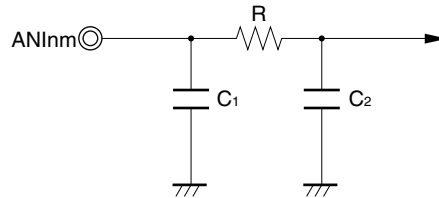
図11 - 21 スキャン・モード（外部トリガによる連続スキャン/ワンショット・スキャン）の動作例



11.8 内部等価回路

アナログ入力部の等価回路を次に示します。

図11 - 22 ANInm端子内部等価回路



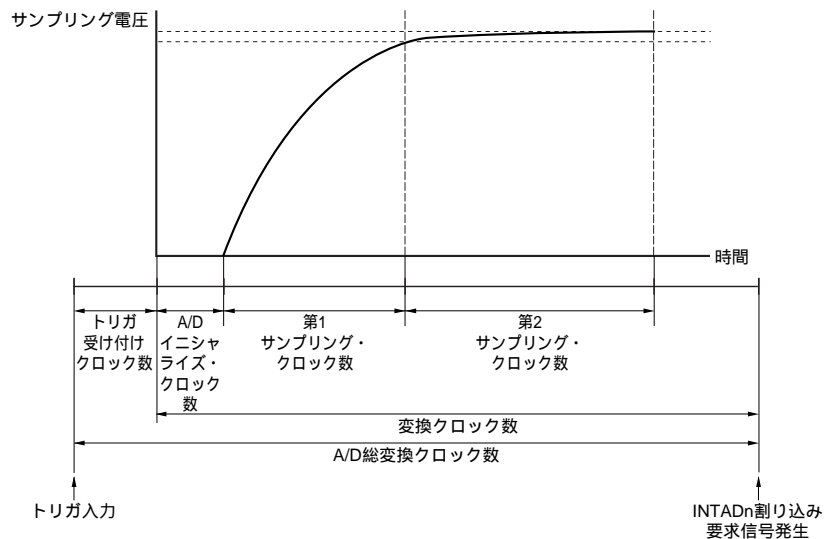
R	C ₁	C ₂
4.0 kΩ	15 pF	4.2 pF

備考1. 値はMAX.値（参考値）です。

- 2. n = 0, 1
- m = 0-3

注意 A/Dコンバータ0, 1は、A/D変換を開始するとA/Dイニシャライズ後に第1サンプリングを行います。サンプリング充電はこの期間でほぼ行われます。したがって、サンプリング誤差は、この条件で算出できます。その後、第2サンプリングを行い、誤差を補います。

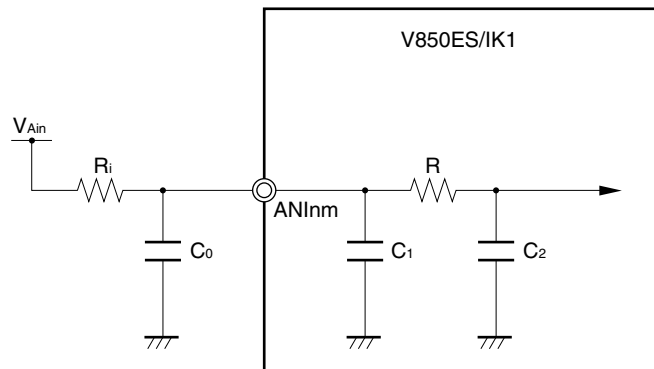
A/Dコンバータ0, 1のサンプリング期間は変換開始から第2サンプリング終了までなので、この期間のノイズは回避してください。



ADAnM1レジスタ		A/Dイニシャライズ・クロック数	第1サンプリング・クロック数	第2サンプリング・クロック数
ADAnFR1ビット	ADAnFR0ビット			
0	1	2	16	18
1	0	3	24	27
1	1	4	32	36

A/Dコンバータ0, 1の総合誤差の算出例を次に示します。

図11 - 23 A/Dコンバータ0, 1の総合誤差算出例



f_{xx} (MHz)	変換時間 (μs)	A/D イニシャライズ・ クロック (μs)	第1サン プリング (μs)	第2サン プリング (μs)	R (k Ω)	C ₁ (pF)	C ₂ (pF)	C ₀ (pF)	R _i (k Ω)	サンプリ ング誤差 (LSB) ^注
32	1.95 (62クロック)	0.0625 (2クロック)	0.5 (16クロック)	0.5625 (18クロック)	4.0	15	4.2	100	1.0	18.4
								100	0.5	0.2
								100	0.25	0.1以下
								100	0.1	0.1以下
								50	1.0	1.0
								50	0.5	0.1以下
								50	0.25	0.1以下
								50	0.125	0.1以下

注 信号源のインピーダンスを考慮した場合の誤差は「サンプリング誤差 + 総合誤差」となります。

備考1. 値はサンプリング開始と同時に $V_{Ain} = 0V \sim 5V$ が印加されたときに C_2 の電圧が R_i, C_0 によりどのようになるかをシミュレーションにより算出した参考値です。

2. $n = 0, 1$

$m = 0-3$

3. f_{xx} : システム・クロック周波数

11.9 動作上の注意事項

11.9.1 変換動作の停止

変換動作中にADAnM0.ADAnCEビットに0を書き込むと変換動作を停止し、A/Dn変換結果レジスタm (ADAnCRm) への変換結果を格納しません。

なお、ADAnCEビットはすべてのモードでA/Dn変換終了割り込み要求信号 (INTADn) が発生したあともクリア (0) されません。

備考 n = 0, 1 m = 0-3

11.9.2 タイマ/外部トリガの間隔

タイマ・トリガ・モードまたは外部トリガ・モード時のトリガ発生間隔は、ADAnM1.ADAnFR1, ADAnFR0ビットで指定する総変換クロック数よりも長くしてください (表11-2 変換クロック数参照)。

(1) 0 < トリガ発生間隔 < A/D総変換クロック数の場合

変換動作中にタイマ/外部トリガが入力された場合、変換動作を中断し、最後に入力されたタイマ/外部トリガに従って変換を開始します。

変換動作を中断した場合、直前の変換動作による変換結果はADAnCRmレジスタに格納されません。したがって、INTADn信号の発生、ADAnCRmレジスタへの結果の格納は保証できません。

備考 n = 0, 1 m = 0-3

(2) トリガ発生間隔 A/D総変換クロック数の場合

INTADn信号の発生、変換が終了した値のADAnCRmレジスタの格納は正しく行われます。トリガ発生間隔 A/D総変換クロック数となるように設計してください。

備考 n = 0, 1 m = 0-3

11.9.3 スタンバイ・モード時の動作

(1) HALTモード

A/D変換動作を継続します。

(2) IDLEモード, STOPモード

A/Dコンバータ0, 1へのクロック供給が止まるため、変換動作は行われません。

マスクブル割り込み要求信号入力端子^注で解除した場合、ADAnM0, ADAnM1, ADAnM2, ADAnSレジスタとA/Dn変換結果レジスタm (ADAnCRm) は値を保持します。ただし、変換動作中にIDLEモード, STOPモードに設定した場合、変換動作は中断します。マスクブル割り込み要求信号入力端子^注で解除した場合、変換を再開します。このとき、A/Dn変換終了割り込み要求信号 (INTADn) が発生することがありますが、ADAnCRmレジスタに書き込まれる変換結果は不定となります。

注 INTP0-INTP5

備考 n = 0, 1 m = 0-3

11.9.4 タイマ・トリガ・モード時のタイマ割り込み要求信号

タイマ割り込み要求信号 (TQTADT1n) がA/D変換開始のトリガとなり、変換動作を開始します。このとき、タイマ割り込み要求信号は、CPUに対する割り込みとしても機能します。CPUに対する割り込みを発生させないためには、割り込み制御レジスタのマスク・ビットで割り込みを禁止してください。

備考 n = 0, 1

11.9.5 安定時間中の再変換起動トリガ入力

安定時間終了タイミングとレジスタへの書き込みが競合、または安定時間終了タイミングとトリガの入力が競合した場合、安定時間が再挿入されます。

11.9.6 A/D変換結果のばらつき

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

11.9.7 A/D変換のヒステリシス特性

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

11.9.8 ワンショット・モードかつソフトウェア・トリガ・モード設定時の制限事項

A/Dコンバータ0, 1をワンショット・セレクト・モードかつソフトウェア・トリガ・モード (ADAnM0レジスタ = 1010XX0XB) , またはワンショット・スキャン・モードかつソフトウェア・トリガ・モード (ADAnM0レジスタ = 1011XX0XB) に設定したとき, A/D変換動作の終了タイミング時にADAnM0, ADAnM2, ADAnSのいずれかのレジスタに書き込みを行った場合には, 本来新たな条件で再変換動作を行うべきところですが, 再変換動作は行われず, 変換動作許可 (ADAnM0.ADAnCEビット = 1) で, かつ変換停止中 (ADAnM0.ADAnEFビット = 0) となります。また, A/Dn変換終了割り込み要求信号 (INTADn) は発生せず, 最後のA/D変換結果の格納も行われません。ただし, ADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みそのものは正常に行われます。

この状態になった場合には, ADAnM0.ADAnCEビットをセット (1) することで通常動作に復帰できます。

たとえば, ワンショット・スキャン・モードかつソフトウェア・トリガ・モード (ADAnM0レジスタ = 1011XX0XB) でANIn0, ANIn1端子のスキャン・モード (ADAnSレジスタ = 00000001B) に設定しA/D変換中にA/D変換動作の終了タイミングでADAnM0レジスタへの書き込みを行った場合, ANIn0端子のA/D変換とADAnCR0レジスタへの変換結果の格納は正常に行われますが, A/D変換終了直前に進んでいたANIn1端子の変換結果のADAnCR1レジスタへの格納は行われず, INTADn割り込み要求信号も発生しません。

【回避方法】

次の - のいずれかを行うことで上記制限事項を回避できます。

A/D変換停止中 (ADAnM0.ADAnEFビット = 0) であることを確認後にADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みを行ってください。

割り込み禁止状態 (PSW.IDビット = 1) としたあとに, ADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込み命令実行とADAnM0.ADAnCEビット = 1命令実行を連続で行ってから, 割り込み許可状態 (PSW.IDビット = 0) としてください。

この回避方法は, A/D変換動作の終了タイミングとADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みとの一致を回避するためのもので, たとえば最初に行う書き込み命令実行とA/D変換動作の終了タイミングが一致しA/D変換が停止しても, 続くADAnCEビット = 1によりA/D変換が起動します。なお, 書き込み命令がADAnCEビット = 1の場合は, ADAnCEビット = 1を2回連続で行ってください。

ADAnCEビット = 0によりA/D変換動作を禁止し, ADAnM0, ADAnM2, ADAnSのいずれかのレジスタへの書き込みを行ったあとに, ADAnCEビット = 1によりA/D変換動作を許可しA/D変換を開始してください。

11.10 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1\%FSR &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REFn} - 0) / 100 \\ &= AV_{REFn} / 100 \end{aligned}$$

分解能10ビットのとき、1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098\%FSR \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

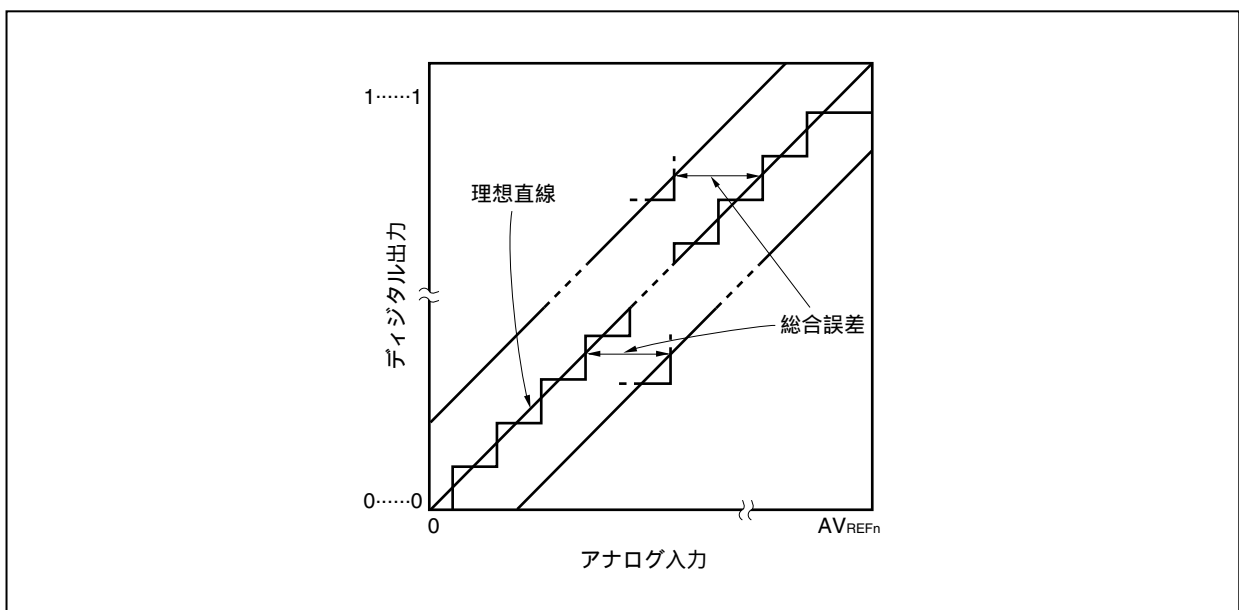
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図11 - 24 総合誤差

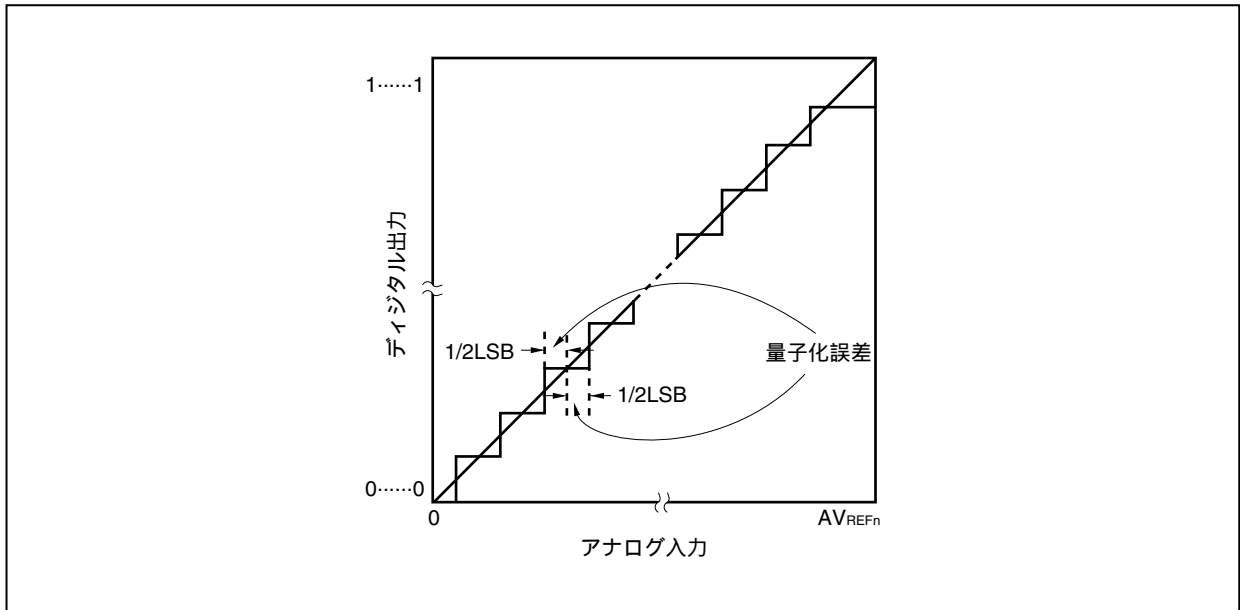


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

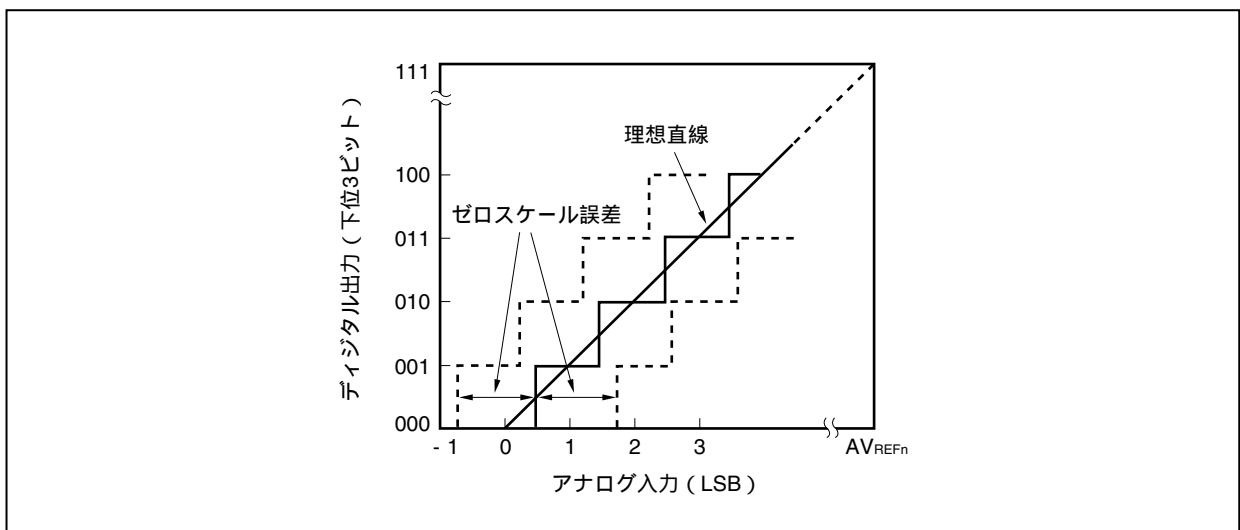
図11 - 25 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

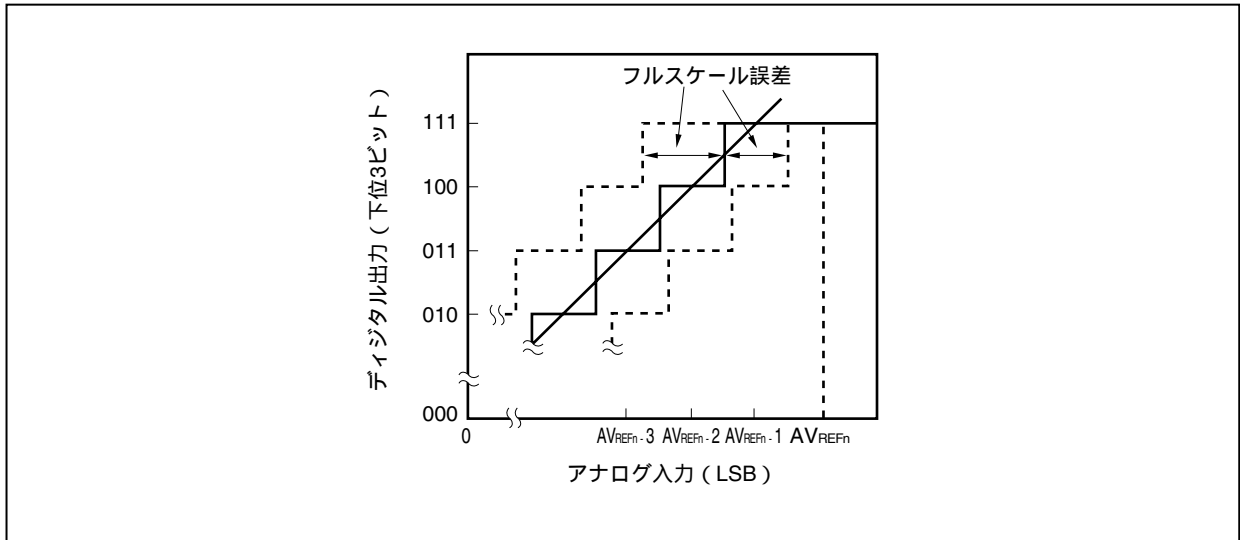
図11 - 26 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール - 3/2 LSB）との差を表します。

図11 - 27 フルスケール誤差

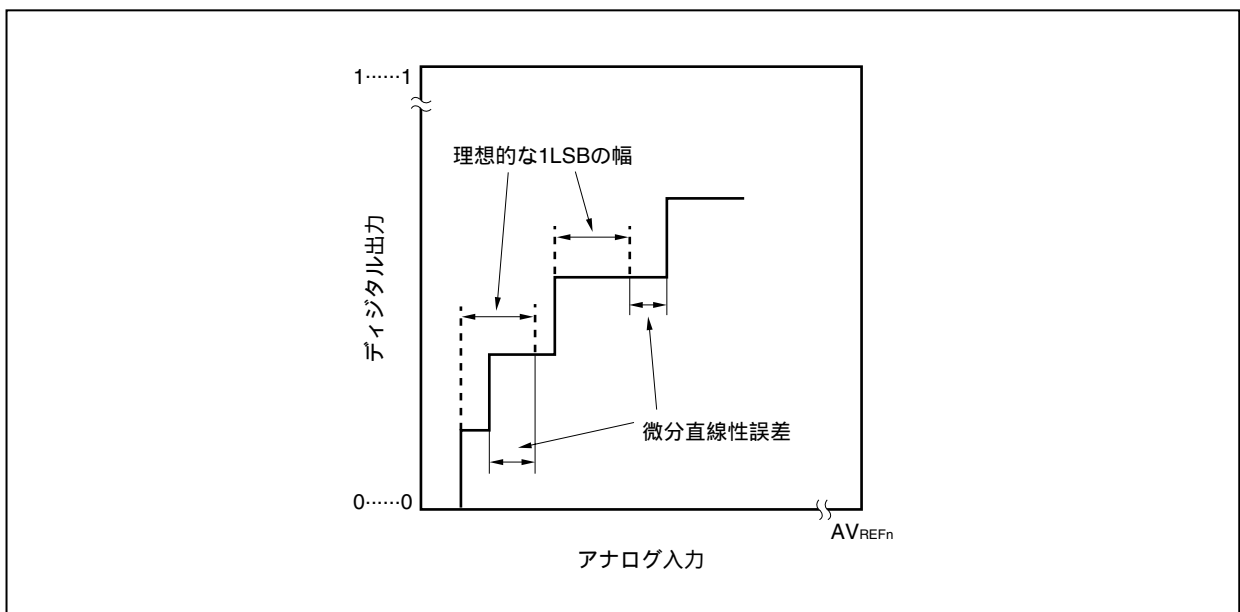


(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

同一チャンネルのアナログ入力端子に印加する電圧を AV_{SSn} から AV_{REFn} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャンネルを使用する場合は、11. 10 (2) 総合誤差を参照してください。

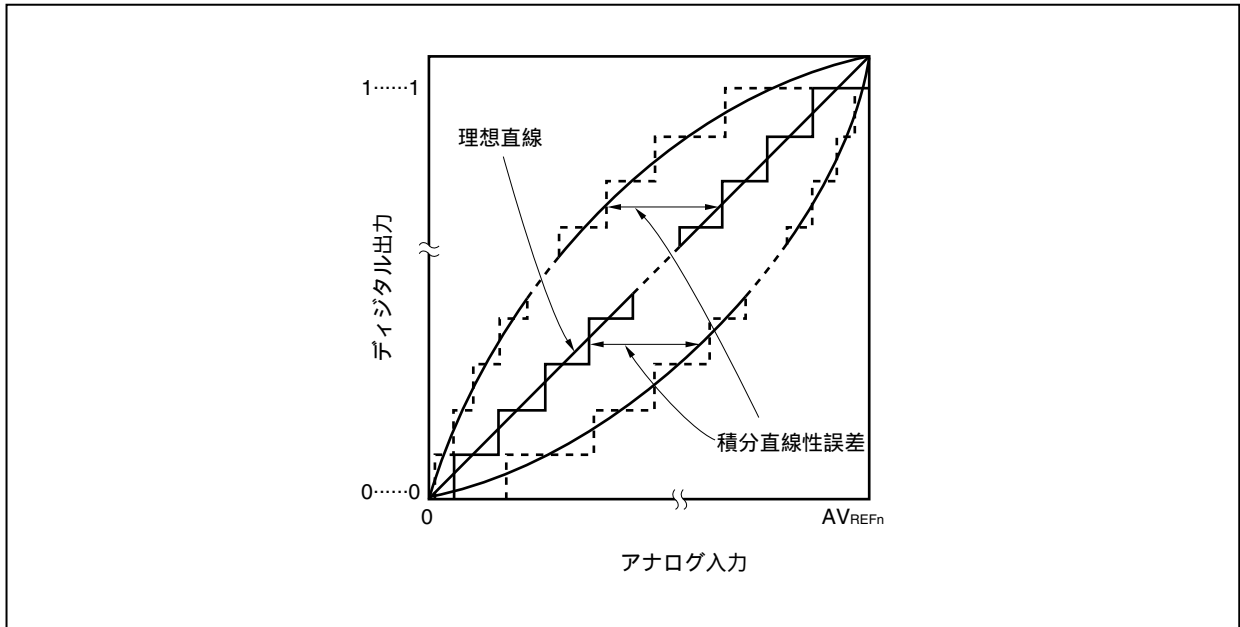
図11 - 28 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図11 - 29 積分直線性誤差



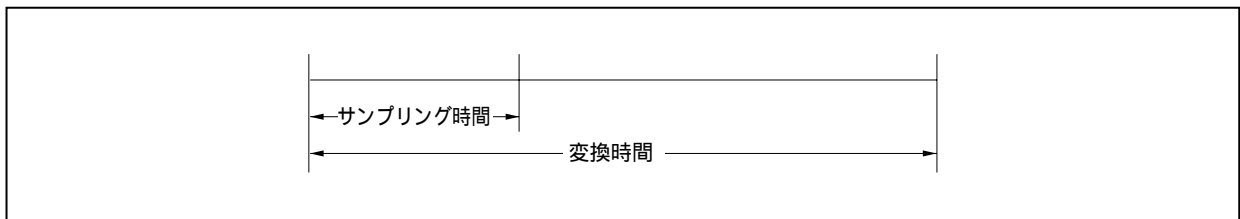
(8) 変換時間

各トリガが発生してから、デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図11 - 30 サンプリング時間



第12章 アシクロナス・シリアル・インタフェースA(UARTA)

V850ES/IK1は、UARTA0, UARTA1を内蔵しています。

12.1 特徴

転送速度 300 bps ~ 1.25 Mbps (周辺クロック (f_{xx}) : 32 MHz, 専用ポー・レート・ジェネレータ使用)

全二重通信 UARTA受信データ・レジスタn (UAnRX) 内蔵

UARTA送信データ・レジスタn (UAnTX) 内蔵

2端子構成 TXDAn : 送信データの出力端子

RXDAn : 受信データの入力端子

受信エラー検出機能

- ・パリティ・エラー
- ・フレーミング・エラー
- ・オーバラン・エラー

割り込みソース : 3種類

- ・受信エラー割り込み (INTUAnRE) : 3種類の受信エラーの論理和で割り込みを発生
- ・受信終了割り込み (INTUAnR) : 受信許可状態において、シリアル転送終了後、シフト・レジスタからUAnRXレジスタへ受信データを転送すると発生
- ・送信許可割り込み (INTUAnT) : 送信許可状態において、UAnTXレジスタからシフト・レジスタへ送信データを転送すると発生

キャラクタ長 : 7, 8ビット

パリティ機能 : 奇数, 偶数, 0, なし

送信ストップ・ビット : 1, 2ビット

専用ポー・レート・ジェネレータ内蔵

MSB/LSBファースト転送選択可能

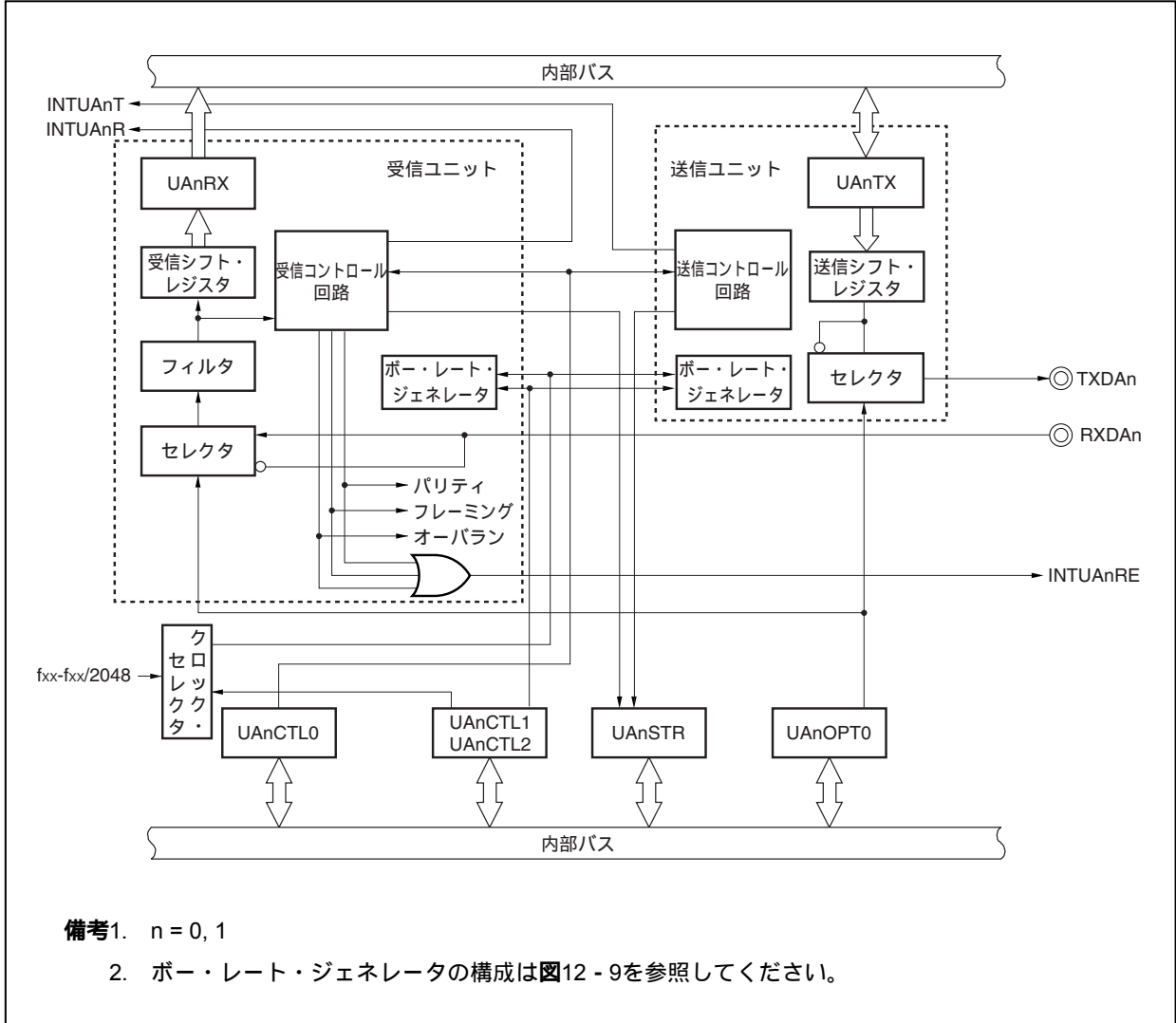
送受信データの反転入出力が可能

備考 n = 0, 1

12.2 構成

次にUARTAnのブロック図を示します。

図12 - 1 UARTAnのブロック図



UARTAnは、次のハードウェアで構成されています。

表12 - 1 UARTAnの構成

項目	構成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0) UARTAn制御レジスタ1 (UAnCTL1) UARTAn制御レジスタ2 (UAnCTL2) UARTAnオプション制御レジスタ0 (UAnOPT0) UARTAn状態レジスタ (UAnSTR) UARTAn受信シフト・レジスタ UARTAn受信データ・レジスタ (UAnRX) UARTAn送信シフト・レジスタ UARTAn送信データ・レジスタ (UAnTX)

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビットのレジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロック (f_{CLK}) を選択する8ビットのレジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのポー・レート制御する8ビットのレジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送を制御する8ビットのレジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1バイト分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7キャラクタの受信では上位ビットには0が格納されます (LSBファースト受信時)。

受信許可状態中は、受信データは1フレーム分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信終了割り込み要求信号 (INTUAnR) が発生します。

(8) UARTAn送信シフト・レジスタ

UARTAn送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1バイト分のデータが転送されると、UARTAn送信シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1フレーム分のデータが転送される) と、送信許可割り込み要求信号 (INTUAnT) を発生します。

12.3 制御レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時: 10H R/W アドレス: UA0CTL0 FFFFA00H, UA1CTL0 FFFFA10H								
	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0 (n = 0, 1)	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL
	UAnPWR	UARTAnの動作の制御						
	0	UARTAn動作禁止 (UARTAnを非同期にリセット)						
	1	UARTAn動作許可						
	UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0。UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。							
	UAnTXE	送信動作許可						
	0	送信動作禁止						
	1	送信動作許可						
	<ul style="list-style-type: none"> ・起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。 ・送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロック (f_{CLK}) の2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては12.6 (1) (a) 基本クロック参照)。 ・動作許可 (UAnPWRビット = 1) した場合には、UAnTXEビット = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。 ・UAnPWRビット = 0にすると、UAnTXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnTXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、送信動作は許可状態になります。 							
	UAnRXE	受信動作許可						
	0	受信動作禁止						
	1	受信動作許可						
	<ul style="list-style-type: none"> ・起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。 ・受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては12.6 (1) (a) 基本クロック参照)。 ・動作許可 (UAnPWRビット = 1) した場合には、UAnRXEビット = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は、スタート・ビットは無視されます。 ・UAnPWRビット = 0にすると、UAnRXEビット = 1のときでも内部回路の状態はUAnPWRビットによりUAnRXEビット = 0の状態と同等になります。なお、再びUAnPWRビット = 1にすると、受信動作は許可状態になります。 							

UAnDIR ^注	転送方向選択
0	MSB転送ファースト
1	LSB転送ファースト

UAnPS1 ^注	UAnPS0 ^注	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

受信時に「0パリティとして受信」を選択した場合、パリティ判定を行いません。
したがって、UAnSTR.UAnPEビットはセットされないため、パリティ・エラーによるエラー割り込みも発生しません。

UAnCL ^注	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

UAnSL ^注	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

受信データのストップ・ビットは、UAnSLビットの値に関わらず、最初の1ビットのみチェックします。

注 UAnPWRビット = 0 ,またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。ただし、同時にUAnPWR, UAnTXE, UAnRXEビットのいずれか、またはすべてを1とするのは可能です。

備考 パリティについての詳細は、12. 5. 6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は、12.6 (2) UARTAn制御レジスタ1 (UAnCTL1) を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は、12.6 (3) UARTAn制御レジスタ2 (UAnCTL2) を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより14Hになります。

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H

	7	6	5	4	3	2	1	0
UAnOPT0 (n = 0, 1)	0	0	0	1	0	1	UAnTDL	UAnRDL

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
<ul style="list-style-type: none"> ・ UAnTDLビットによりTXDAn端子の出力レベルを反転できます。 ・ UAnCTL0.UAnPWRビット = 0またはUAnCTL0.UAnTXEビット = 0のとき設定できます。 	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
<ul style="list-style-type: none"> ・ UAnRDLビットによりRXDAn端子の入力レベルを反転できます。 ・ UAnPWRビット = 0またはUAnCTL0.UAnRXEビット = 0のとき設定できます。 ・ UAnRDLビット = 1 (受信データ反転入力) と設定した場合は、必ず受信開始時にデータ受信端子をUART受信端子 (RXDAn) に設定してから、受信許可 (UAnRXEビット = 1) にする必要があります。受信許可後に端子モードを変更すると、そのときの端子レベルがハイ・レベルの場合にはスタート・ビットを誤検出します。 	

注意 ビット3, 5-7には必ず0を、ビット2, 4には必ず1を設定してください。
それ以外の値を設定した場合の動作は保証できません。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE, UAnFE, UAnOVEビットについてはリード/ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません(“1”をライトしても値を保持します)。

次に初期化条件を示します。

レジスタ/ビット	初期化条件
UAnSTRレジスタ	<ul style="list-style-type: none"> ・リセット時 ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	<ul style="list-style-type: none"> ・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	<ul style="list-style-type: none"> ・0の書き込み ・UAnCTL0.UAnRXEビット = 0

注意 UAnPE, UAnFE, UAnOVEビットのエラー・フラグは、必ずリードしてフラグの状態を確認後、“0”ライトしてクリアしてください。

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H

	⑦	6	5	4	3	②	①	①
UAnSTR (n = 0, 1)	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき ・転送終了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	UAnTXレジスタへの書き込み
<p>連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。 送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態での初期化を行った場合の送信データは保証できません。</p>	

UAnPE	パリティ・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, データのパリティとパリティ・ビットが一致しないとき
<ul style="list-style-type: none"> ・UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。 ・UAnPEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UAnFE	フレーミング・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
<ul style="list-style-type: none"> ・受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 ・UAnFEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

UAnOVE	オーバラン・エラー・フラグ
0	<ul style="list-style-type: none"> ・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が終了したとき
<ul style="list-style-type: none"> ・オーバラン・エラーが発生したとき, 次の受信データはUAnRXレジスタに書き込まれず, データは破棄されます。 ・UAnOVEビットはリード/ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。 	

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、UARTAn受信シフト・レジスタで変換したパラレル・データを格納するための8ビットのバッファ・レジスタです。

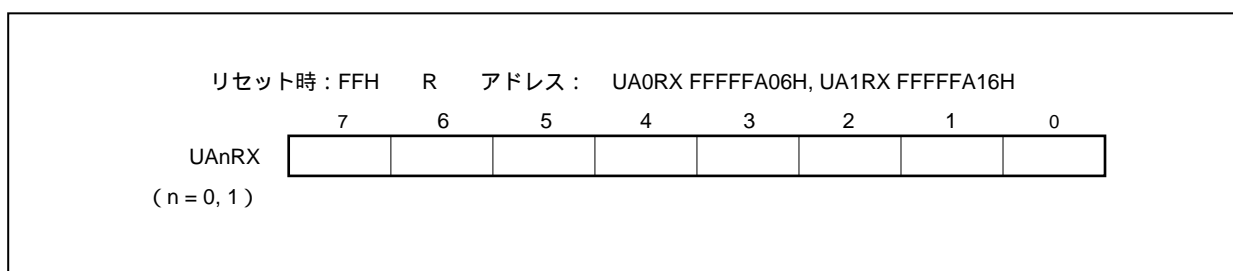
1バイト・データの受信終了によりUARTAn受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。このタイミングで受信終了割り込み要求信号 (INTUAnR) を発生します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-1に転送されLSBは必ず“0”になります。

オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1) は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。



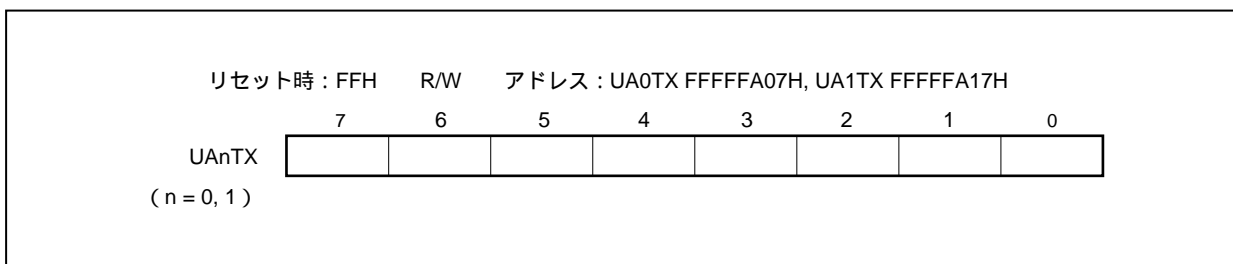
(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビットのレジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。



12.4 割り込み要求信号

UARTAnからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTUAnRE)
- ・受信終了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら3種類の割り込み要求信号のデフォルト優先順位は受信エラー割り込み要求信号が最も高く、受信終了割り込み要求信号、送信許可割り込み要求信号の順に低くなります。

表12 - 2 発生する割り込みとデフォルト優先順位

割り込み	優先順位
受信エラー	高
受信終了	
送信許可	低

(1) 受信エラー割り込み要求信号 (INTUAnRE)

受信許可状態で、UAnSTRレジスタで説明した3種類の受信エラー(パリティ・エラー、フレーミング・エラー、オーバラン・エラー)の論理和 (OR) で受信エラー割り込み要求信号を発生します。

(2) 受信終了割り込み要求信号 (INTUAnR)

受信許可状態で、UARTAn受信シフト・レジスタにデータがシフト・インされUAnRXレジスタに転送されると受信終了割り込み要求信号が発生します。

受信禁止状態中は、受信終了割り込み要求信号は発生しません。

(3) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

12.5 動作

12.5.1 データ・フォーマット

全二重シリアル・データの送受信を行います。

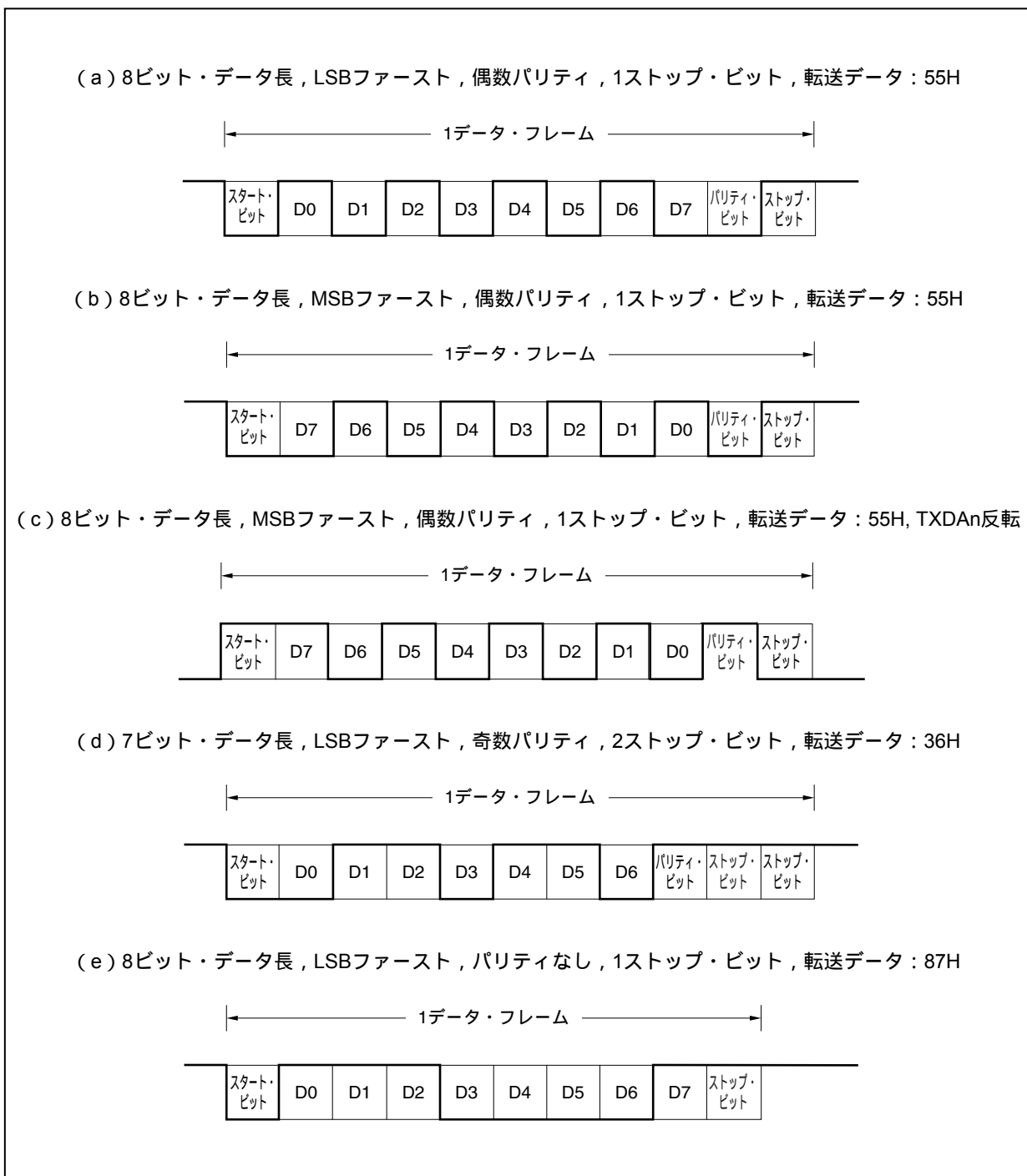
送受信データのフォーマットは図12-2に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSB/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子のUARTAn出力/反転出力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット 1ビット/2ビット

図12-2 UARTAの送受信データのフォーマット



12.5.2 UART送信

UAnCTL0.UAnPWRビット = 1とすることにより、TXDAn端子からハイ・レベルを出力します。

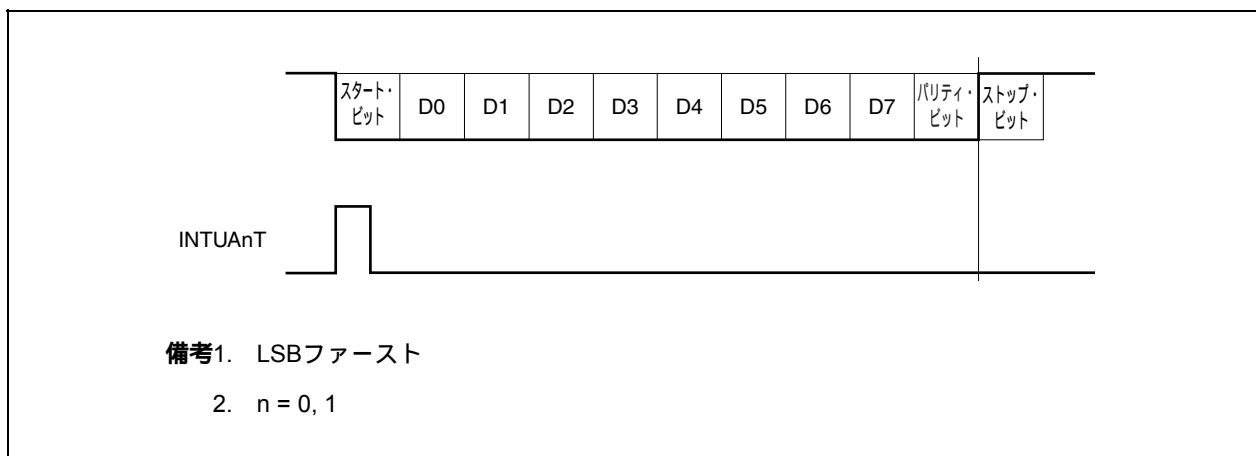
次に、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号（INTUAnT）を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号が発生することで、UAnTXレジスタに次の転送データの書き込みを許可します。

図12 - 3 UART送信



12.5.3 連続送信の手順説明

UARTAnはUARTAn送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは、送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを、転送中にUAnTXレジスタに書き込むことにより、効率的な通信レートを実現できます。

注意 連続送信実行中は、UAnSTR.UAnTSFビットが“0”であることを確認して初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

備考 n = 0, 1

図12 - 4 連続送信の処理フロー

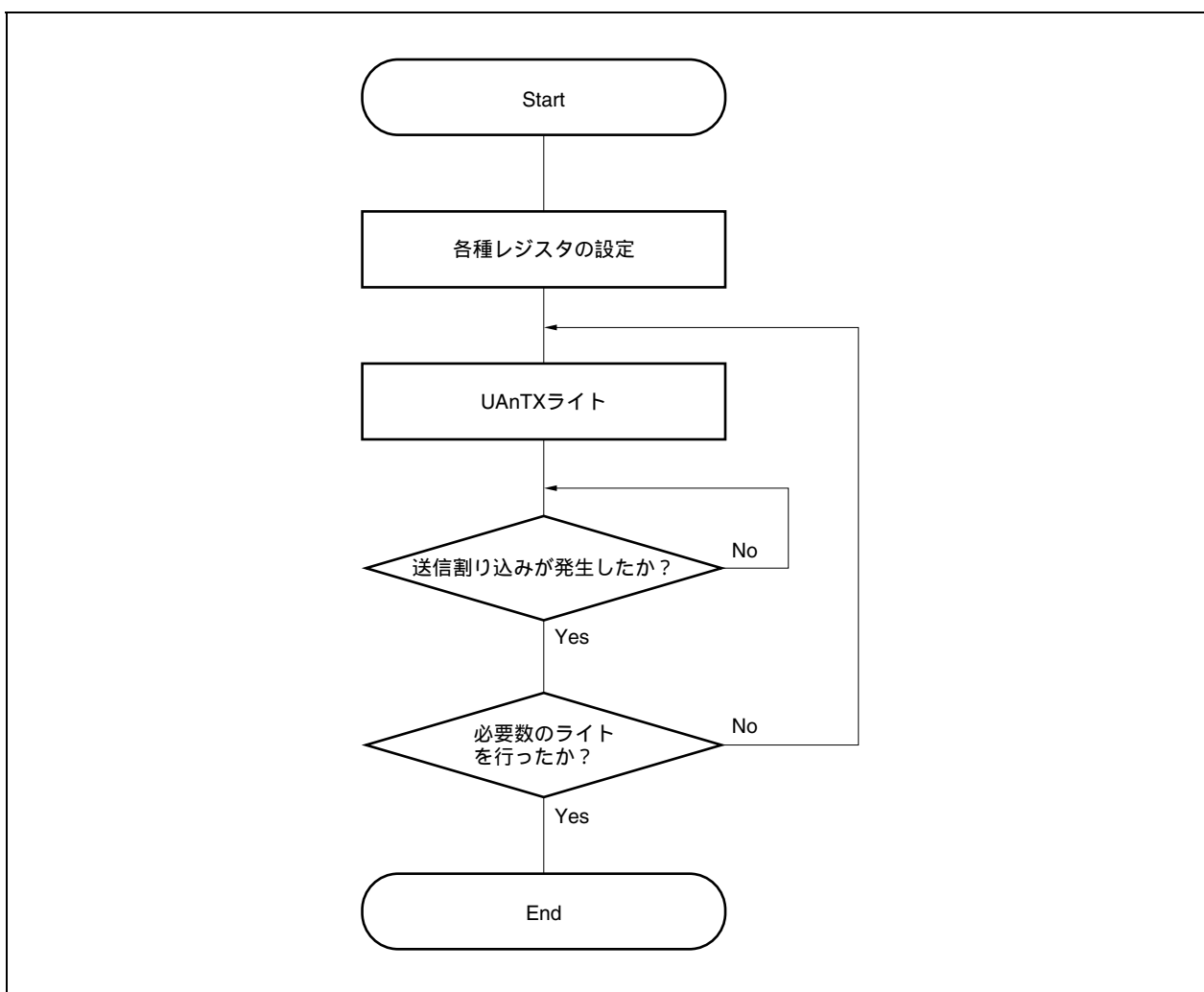
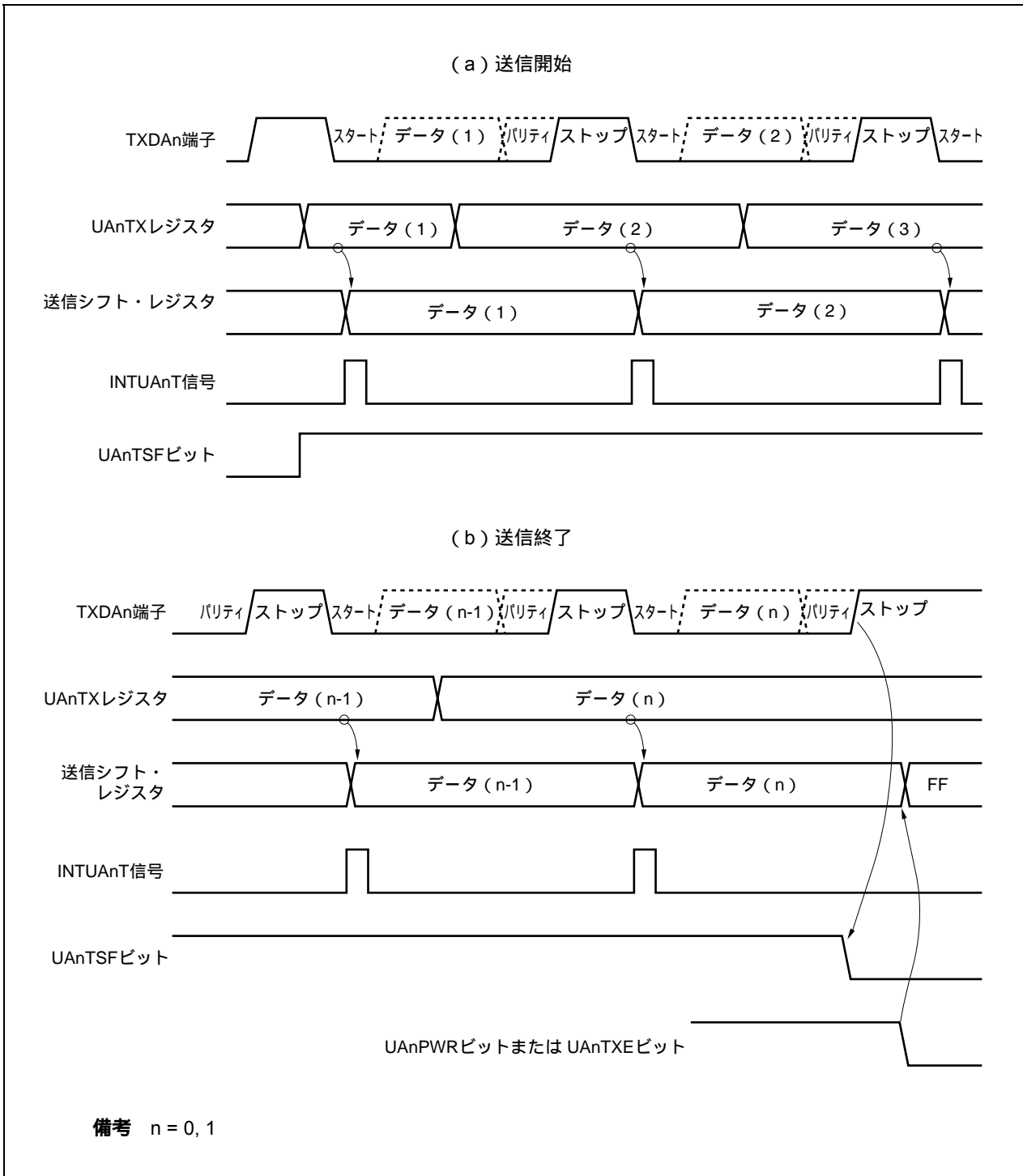


図12-5 連続送信動作のタイミング



12.5.4 UART受信

UAnCTL0.UAnPWRビット = 1にして、次にUAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。受信待ち状態では、RXDAn端子をモニタし、スタート・ビットの検出を行います。

なおスタート・ビットの認識には2段階の検出ルーチンを取ります。

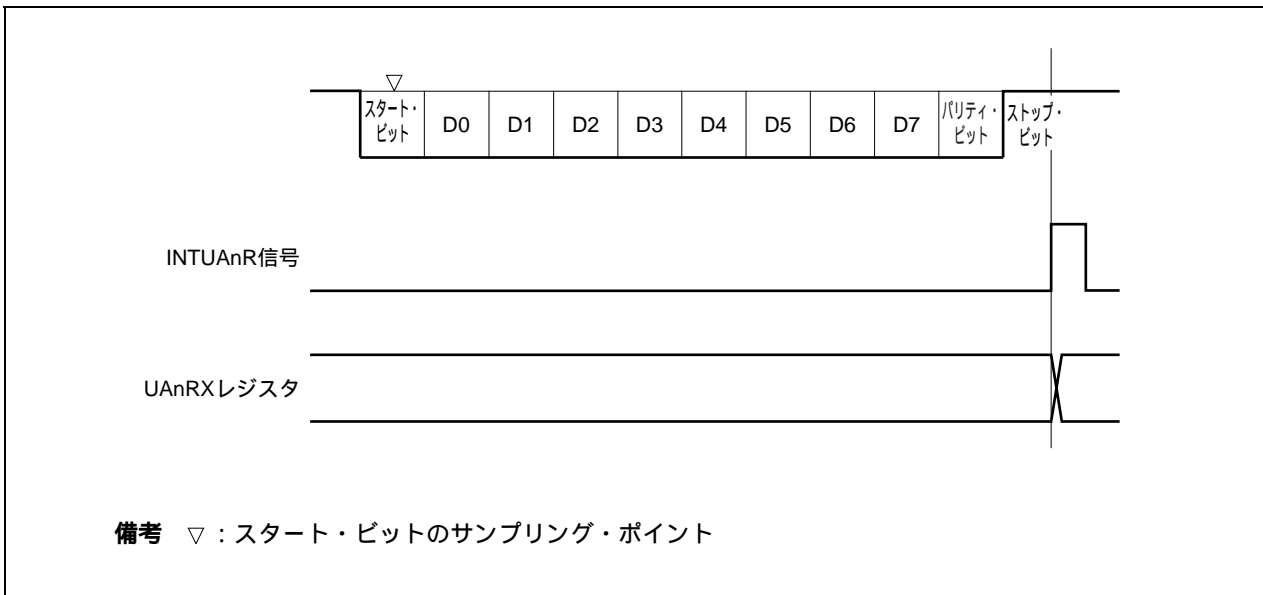
まずRXDAn端子の立ち下がりを検出すると立ち下がリエッジでサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDAn端子がロウ・レベルであれば、スタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートにあわせて、シリアル・データを順次、UARTAn受信シフト・レジスタに格納していきます。

ストップ・ビットを受信したら、受信終了割り込み要求信号 (INTUAnR) を発生すると同時に、UARTAn受信シフト・レジスタのデータをUAnRXレジスタに書き込みます。ただし、オーバラン・エラーが発生した場合 (UAnSTR.UAnOVEビット = 1)、そのときの受信データはUAnRXレジスタに書き込まれずに破棄されます。

受信途中に、パリティ・エラー (UAnSTR.UAnPEビット = 1)、フレーミング・エラー (UAnSTR.UAnFEビット = 1) が発生しても、1ビット目のストップ・ビットの受信位置までは、受信を継続し、受信終了後にINTUAnRE信号を発生します。

備考 n = 0, 1

図12 - 6 UART受信



- 注意1. 受信エラー発生時にも，UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと，次のデータ受信にオーバーラン・エラーが発生し，いつまでも受信エラーの状態が続くことになります。
2. 受信時は，常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは，無視されます。
 3. 受信終了時は，受信終了割り込み要求信号 (INTUAnR) 発生後，UAnRXレジスタを読み出してから UAnPWRビット = 0またはUAnRXEビット = 0としてください。INTUAnR信号が発生する前に UAnPWRビット = 0またはUAnRXEビット = 0とした場合，UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信終了処理(INTUAnR信号の発生)と，UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合，UAnRXレジスタにデータを格納していないにもかかわらず，INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには，必ず割り込みマスク・フラグ (UAnRIC.UAnRMK) をセット (1) してから，UAnPWRビット = 0またはUAnRXEビット = 0とし，さらに割り込み要求フラグ (UAnRIC.UAnRIF) をクリア (0) してください。

12.5.5 受信エラー

受信動作時のエラーは，パリティ・エラー，フレーミング・エラー，オーバーラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され，受信エラー割り込み要求信号 (INTUAnRE) を発生します。

UAnSTRレジスタの内容を読み出すことによって，いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは，“0”ライトによりクリアしてください。

注意 受信終了割り込み要求信号 (INTUAnR) と受信エラー割り込み要求信号 (INTUAnRE) は同時に発生しません。正常受信終了時にはINTUAnR信号が発生します。受信エラー時にはINTUAnRE信号が発生し，INTUAnR信号は発生しません。

備考 n = 0, 1

・受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバーラン・エラー	UAnRXレジスタからデータを読み出す前に次のデータ受信が終了

12.5.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

12.5.7 受信データのノイズ・フィルタ

プリスケラ部出力の基本クロック (f_{uclk}) でRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、2クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図12-8参照)。基本クロックについては12.6(1)(a)基本クロックを参照してください。

また、回路は図12-7のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

備考 n = 0, 1

図12-7 ノイズ・フィルタ回路

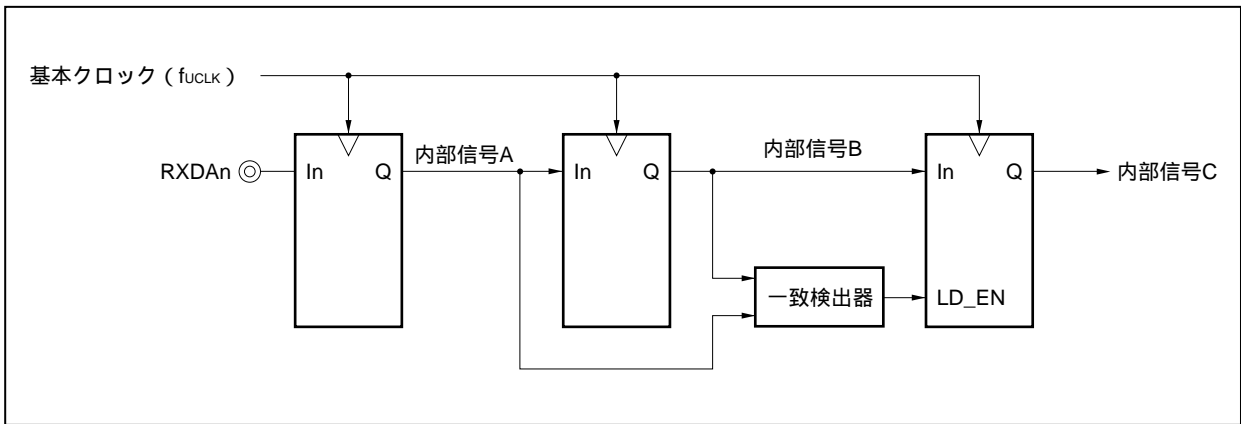
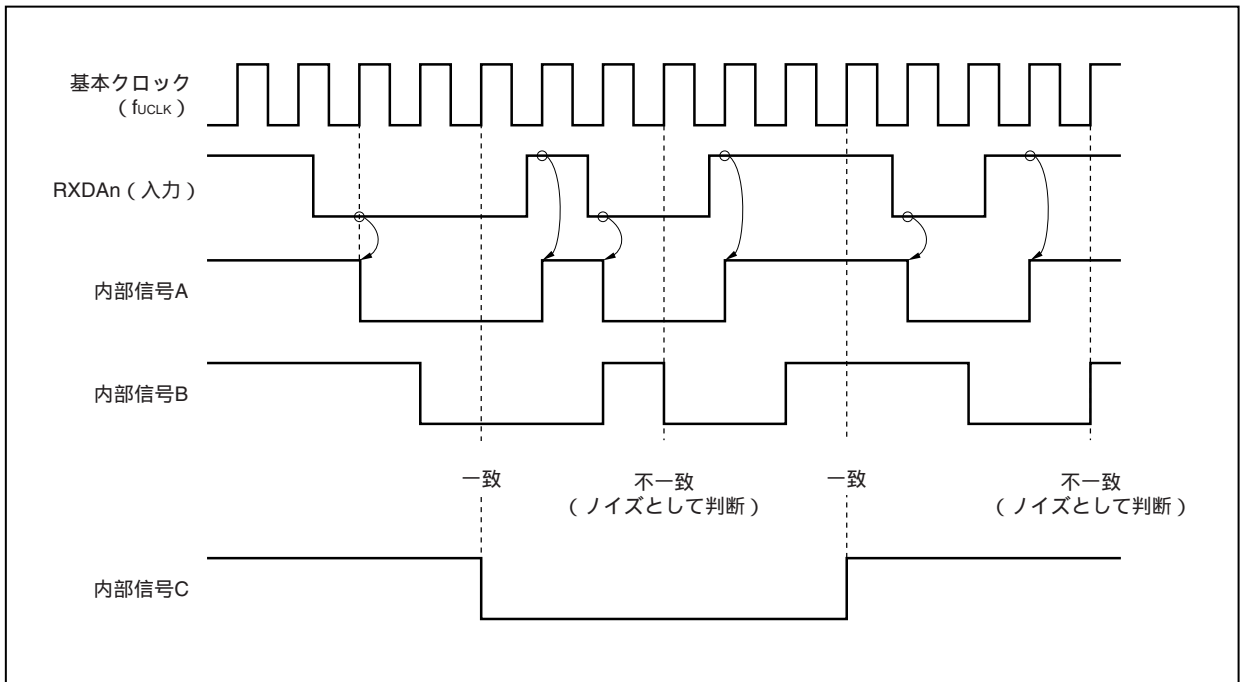


図12-8 ノイズとして判断されるRXDAn信号のタイミング



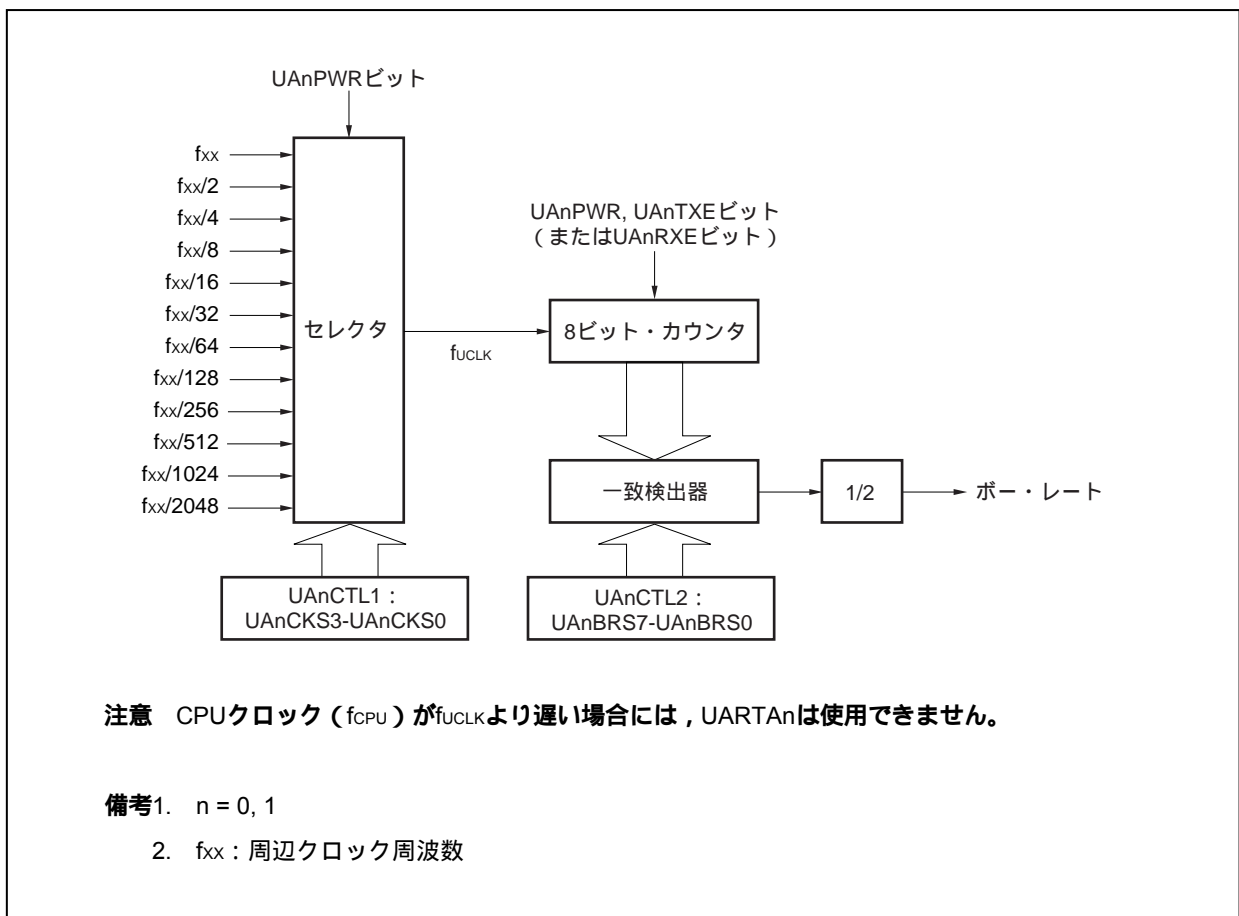
12.6 専用ポー・レート・ジェネレータ

専用ポー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャンネルごとに専用ポー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ポー・レート・ジェネレータの構成

図12-9 ポー・レート・ジェネレータの構成



(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき、UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{uCLK}) と呼びます。UAnPWRビット = 0のときは、 f_{uCLK} はロウ・レベルに固定となります。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により、シリアル・クロックを生成できます。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより、基本クロック (f_{uCLK}) を選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより、8ビット・カウンタの分周値を設定できます。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H

	7	6	5	4	3	2	1	0
UAnCTL1	0	0	0	0	UAnCKs3	UAnCKs2	UAnCKs1	UAnCKs0

(n = 0, 1)

UAnCKs3	UAnCKs2	UAnCKs1	UAnCKs0	基本クロック (f _{uCLK}) の選択
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	0	f _{xx} /64
0	1	1	1	f _{xx} /128
1	0	0	0	f _{xx} /256
1	0	0	1	f _{xx} /512
1	0	1	0	f _{xx} /1024
1	0	1	1	f _{xx} /2048
その他				設定禁止

備考 f_{xx} : 周辺クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH RW アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H

	7	6	5	4	3	2	1	0	
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	

(n = 0, 1)

UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{uclk} /4
0	0	0	0	0	1	0	1	5	f _{uclk} /5
0	0	0	0	0	1	1	0	6	f _{uclk} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{uclk} /252
1	1	1	1	1	1	0	1	253	f _{uclk} /253
1	1	1	1	1	1	1	0	254	f _{uclk} /254
1	1	1	1	1	1	1	1	255	f _{uclk} /255

備考 f_{uclk} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{UCLK}}}{2 \times k} \text{ [bps]}$$

f_{UCLK} : UAnCTL1.UAnCKS3-UAnCKS0ビットで選択した基本クロックの周波数

k : UAnCTL2.UAnBRS7-UAnBRS0ビットで設定した値 ($k = 4, 5, 6, \dots, 255$)

(5) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 \text{ [\%]}$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(7) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 周辺クロック周波数 = 32 MHz = 32,000,000 Hz

UAnCTL1.UAnCKS3-UAnCKS0ビットの設定値 = 0000B ($f_{\text{UCLK}} = 32,000,000$ Hz)

UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 = 01101000B ($k = 104$)

目標ボー・レート = 153600 bps

$$\begin{aligned} \text{ボー・レート} &= 32000000 / (2 \times 104) \\ &= 153846 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (153846/153600 - 1) \times 100 \\ &= 0.160 \text{ [\%]} \end{aligned}$$

(6) ボー・レート設定例

表12-3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 32 MHz		
	UAnCTL1	UAnCTL2	ERR (%)
300	08H	D0H	0.16
600	07H	D0H	0.16
1200	06H	D0H	0.16
2400	05H	D0H	0.16
4800	04H	D0H	0.16
9600	03H	D0H	0.16
19200	02H	D0H	0.16
31250	02H	80H	0
38400	01H	D0H	0.16
76800	00H	D0H	0.16
153600	00H	68H	0.16
312500	00H	33H	0.39
625000	00H	1AH	- 1.54
1250000	00H	0DH	- 1.54

備考 f_{xx} : 周辺クロック周波数

ERR : ボー・レート誤差 [%]

(7) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 受信時のボー・レート誤差は、下記に示す算出式を使用して、必ず許容誤差範囲内になるように設定してください。

図12 - 10 受信時の許容ボー・レート範囲

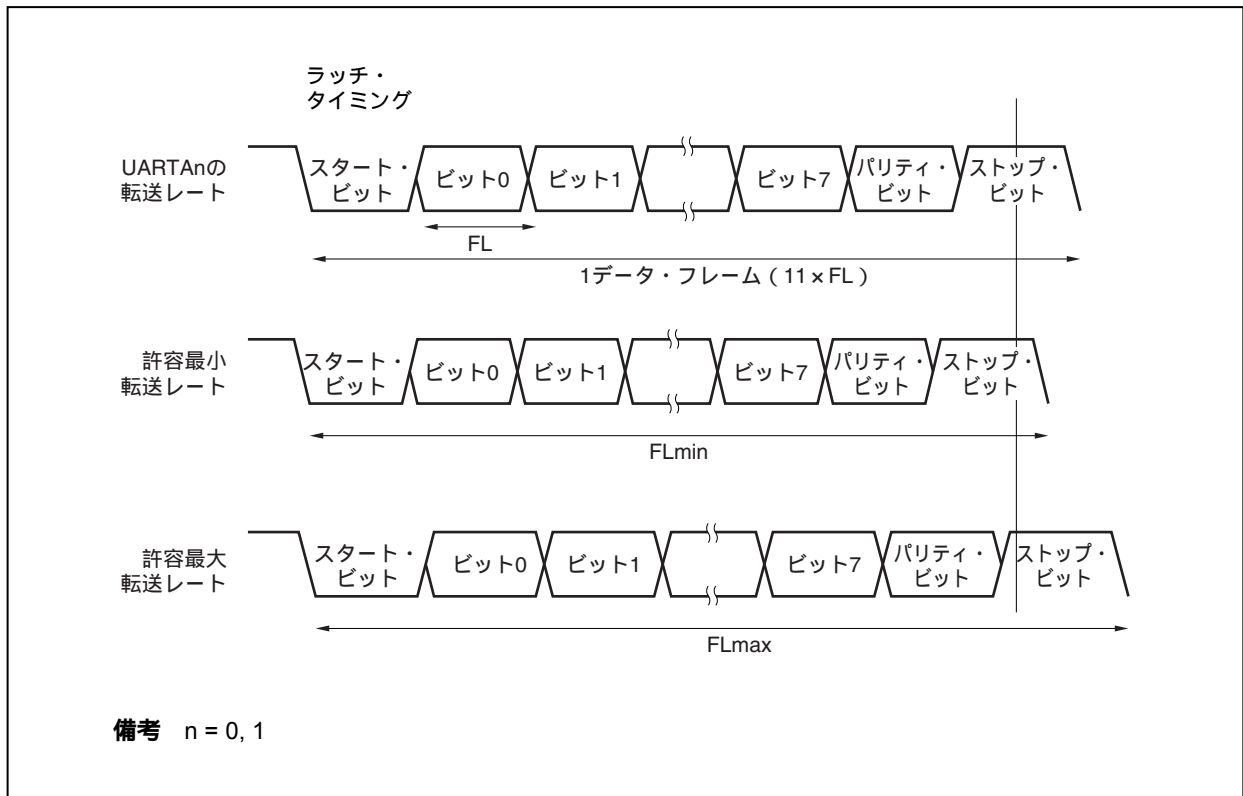


図12 - 10に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ(ストップ・ビット)までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$FL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート ($n = 0, 1$)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 ($n = 0, 1$)

FL : 1ビット・データ長

ラッチ・タイミングのマージン : 2クロック

$$\text{許容最小転送レート} : FL_{min} = 11 \times FL - \frac{k - 2}{2k} \times FL = \frac{21k + 2}{2k} FL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{max} = (FL_{min}/11)^{-1} = \frac{22k}{21k + 2} \text{ Brate}$$

同様に、許容最大転送レートを求めると、次のようになります。

$$\frac{10}{11} \times FL_{max} = 11 \times FL - \frac{k + 2}{2 \times k} \times FL = \frac{21k - 2}{2 \times k} FL$$

$$FL_{max} = \frac{21k - 2}{20k} FL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{min} = (FL_{max}/11)^{-1} = \frac{20k}{21k - 2} \text{ Brate}$$

前述の最小/最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表12-4 許容最大/最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+ 2.32 %	- 2.43 %
8	+ 3.52 %	- 3.61 %
20	+ 4.26 %	- 4.30 %
50	+ 4.56 %	- 4.58 %
100	+ 4.66 %	- 4.67 %
255	+ 4.72 %	- 4.72 %

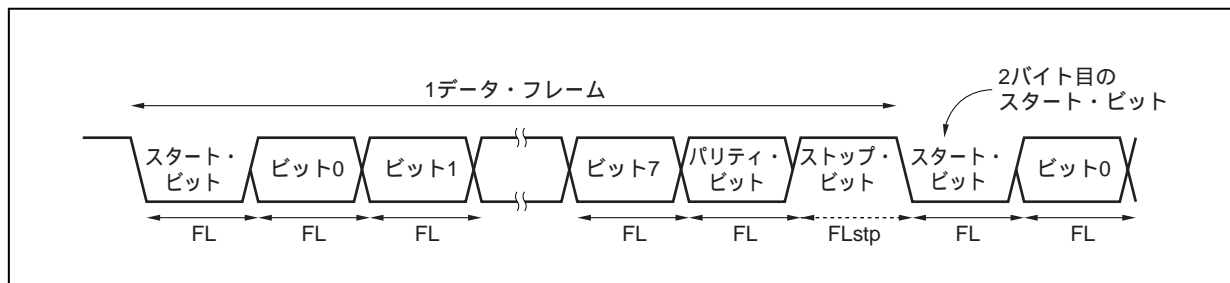
備考1. 受信の精度は、1フレーム・ビット数、入力クロック周波数、分周比 (k) に依存します。入力クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0, 1)

(8) 連続送信時の転送レート

連続送信する場合、ストップ・ビットから次のスタート・ビットまでの転送レートが通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図12 - 11 連続送信時の転送レート



1ビット・データ長：FL，ストップ・ビット長：FLstp，基本クロック周波数： f_{uCLK} とすると次の式が成り立ちます。

$$FL_{stp} = FL + 2 / f_{uCLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{転送レート} = 11 \times FL + (2 / f_{uCLK})$$

12.7 注意事項

UARTAnへの供給クロックが停止する場合（例：IDLE, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXE, UAnTXEビット = 000とし、回路を初期化してください。

備考 n = 0, 1

第13章 3線式可変長シリアルI/O (CSIB)

V850ES/IK1は、CSIB0を内蔵しています。

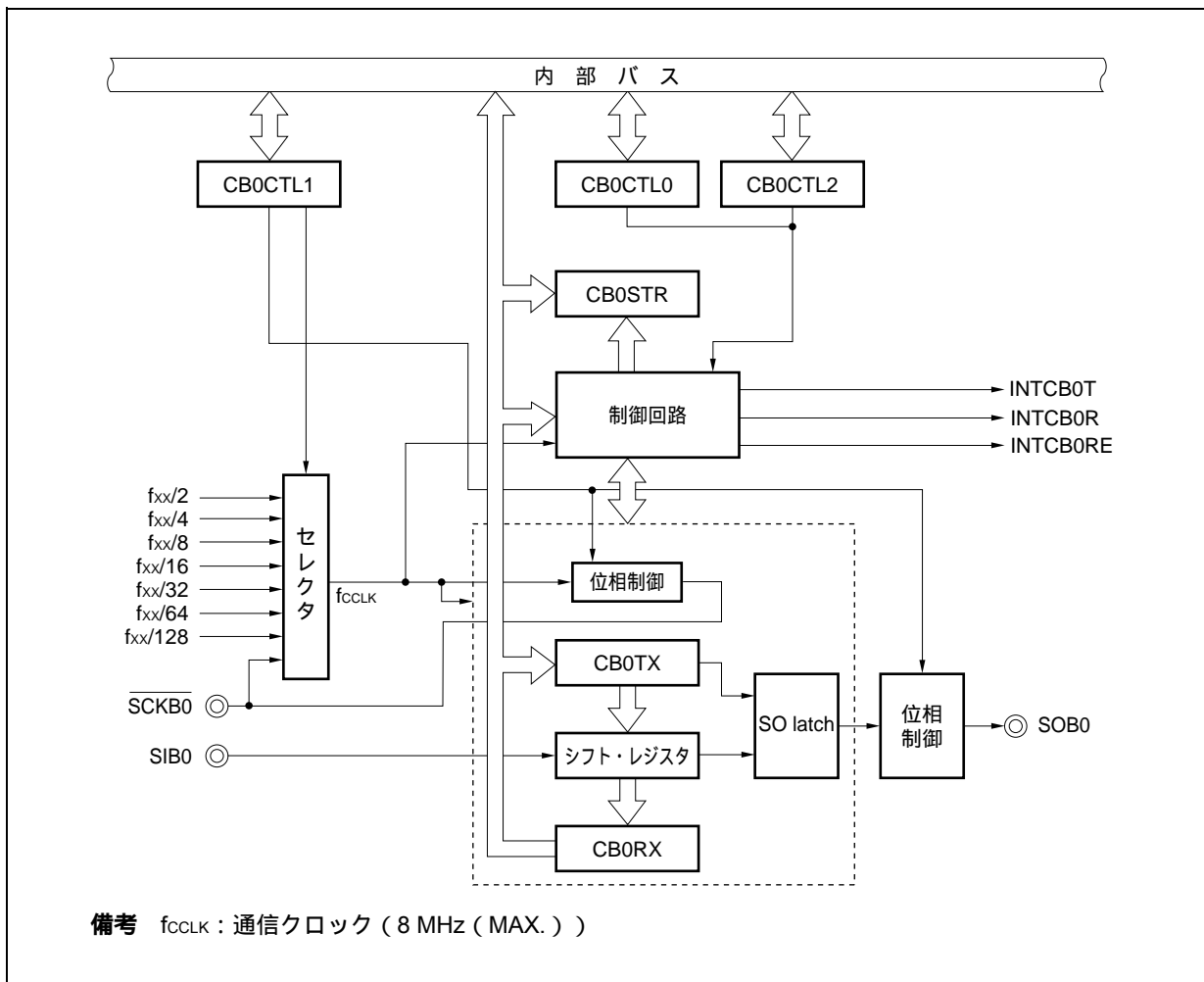
13.1 特 徴

転送速度：8 Mbps (内部クロック使用時)
マスタ・モードとスレーブ・モードを選択可能
8-16ビット転送，3線式シリアル・インタフェース
割り込み要求信号 (INTCB0RE, INTCB0T, INTCB0R)
シリアル・クロックとデータのフェーズ切り替えが可能
転送データ長を8-16ビットに1ビット単位で選択可能
転送データのMSB先頭/LSB先頭を切り替え可能
3線式 SOB0 : シリアル・データ出力
SIB0 : シリアル・データ入力
 $\overline{\text{SCKB0}}$: シリアル・クロック入出力
送信モード，受信モード，送受信モードを指定可能

13.2 構成

次にCSIB0のブロック図を示します。

図13 - 1 CSIB0のブロック図



CSIB0は、次のハードウェアで構成されています。

表13 - 1 CSIB0の構成

項目	構成
レジスタ	CSIB0受信データ・レジスタ (CB0RX) CSIB0送信データ・レジスタ (CB0TX)
制御レジスタ	CSIB0制御レジスタ0 (CB0CTL0) CSIB0制御レジスタ1 (CB0CTL1) CSIB0制御レジスタ2 (CB0CTL2) CSIB0状態レジスタ (CB0STR)

(1) CSIB0受信データ・レジスタ (CB0RX)

CB0RXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

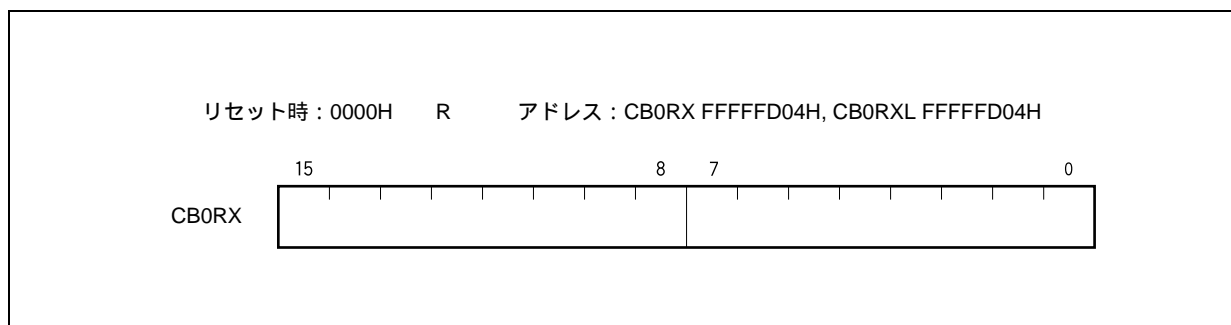
16ビット単位でリードのみ可能です。

受信許可状態中に、CB0RXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CB0RXレジスタの下位8ビットをCB0RXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CB0CTL0.CB0PWRビットをクリア (0) しても初期化されます。



(2) CSIB0送信データ・レジスタ (CB0TX)

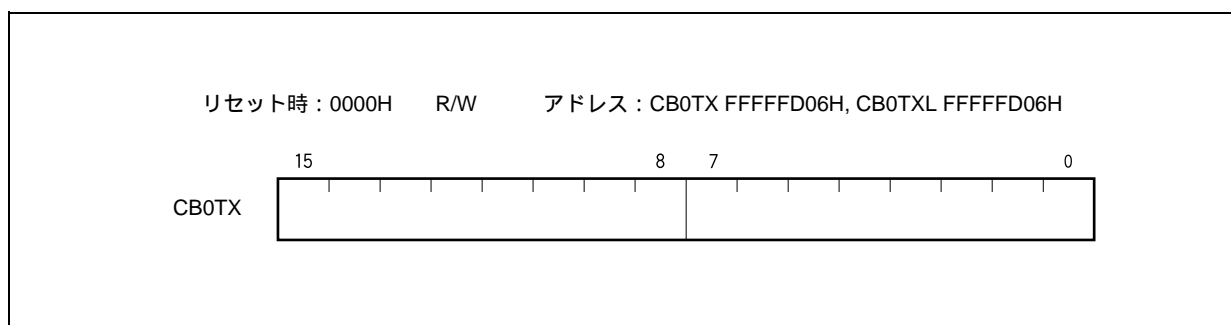
CB0TXレジスタは、CSIB0の転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード/ライト可能です。

送信許可状態のときは、CB0TXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CB0TXレジスタの下位8ビットをCB0TXLレジスタとして、8ビット単位でリード/ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件について

送信モード (CB0TXEビット = 1, CB0RXEビット = 0) : CB0TXレジスタへのライト

送受信モード (CB0TXEビット = 1, CB0RXEビット = 1) : CB0TXレジスタへのライト

受信モード (CB0TXEビット = 0, CB0RXEビット = 1) : CB0RXレジスタのリード

13.3 制御レジスタ

CSIB0を制御するレジスタには、次のものがあります。

- ・ CSIB0制御レジスタ0 (CB0CTL0)
- ・ CSIB0制御レジスタ1 (CB0CTL1)
- ・ CSIB0制御レジスタ2 (CB0CTL2)
- ・ CSIB0状態レジスタ (CB0STR)

(1) CSIB0制御レジスタ0 (CB0CTL0)

CSIB0のシリアル転送動作を制御するレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより01Hになります。

(1/2)

リセット時：01H R/W アドレス：FFFFFFD00H

	⑦	⑥	⑤	④	3	2	1	①
CB0CTL0	CB0PWR	CB0TXE ^注	CB0RXE ^注	CB0DIR ^注	0	0	CB0TMS ^注	CB0SCE

CB0PWR	CSIB0動作禁止 / 許可の指定
0	CSIB0動作禁止, CB0STRレジスタをリセットする
1	CSIB0動作許可
・ CB0PWRビットはCSIB0の動作の制御と内部回路のリセットを行います。	

CB0TXE ^注	送信動作禁止 / 許可の指定
0	送信動作禁止
1	送信動作許可
・ CB0TXEビット = 0のとき, SOB0出力はロウ・レベルとなります。	

CB0RXE ^注	受信動作禁止 / 許可の指定
0	受信動作禁止
1	受信動作許可
・ CB0RXEビット = 0にすることで受信動作を禁止するため, 規定のデータを転送されても受信終了割り込みは出力されず, 受信データ (CB0RXレジスタ) は更新されません。	

注 CB0PWRビット = 0の場合のみ書き換えが可能です。ただし同時にCB0PWRビット = 1とするのは可能です。

注意 ビット3, 2には必ず0を設定してください。

CB0DIR ^{注1}	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CB0TMS ^{注1}	転送モードの指定
0	シングル転送モード
1	連続転送モード

・通信タイプ2, 4 (CB0CTL1.CB0DAPビット = 1) でシングル送信 / 送受信モードを使用する場合, CB0STR.CB0TSFビット = 0であることを確認したあとにCB0TXレジスタに転送データを書き込んでください。

CB0SCE	起動転送無効 / 許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

・マスタ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル受信モード
受信データ (CB0RXレジスタ) のリードを行う前にCB0SCEビットを“0”に設定してください^{注2}。
(b) 連続受信モード時
最終データの受信を終了する1通信クロック前までにCB0SCEビットを“0”に設定してください^{注3}。

・スレーブ・モード時
通信起動トリガの有効 / 無効を制御するビットです。
(a) シングル受信モード, 連続受信モード時
CB0SCEビットは“1”に設定してください^{注4}。

・シングル送信 / 送受信モード, 連続送信 / 送受信モード時
CB0SCEビットの機能は無効です。“1”に設定することを推奨します。

- 注1.** CB0PWRビット = 0の場合のみ書き換えが可能です。ただし同時にCB0PWRビット = 1とするのは可能です。
2. CB0SCEビットが“1”のままリードした場合, 次回の通信動作が起動されません。
3. 最終データの受信を終了する1通信クロック前までにCB0SCEビットを“0”にしない場合, 自動的に次回の通信動作が起動されます。
なお, 最終データのリード後に再び通信動作を起動したい場合, CB0SCEビットを“1”に設定し, CB0RXレジスタをダミー・リードします。
4. 受信を開始する場合には, ダミー・リードが必要です。

(a) CB0SCEビットの使用法**(i) シングル受信モード時**

INTCB0R割り込み処理で最終データの受信が完了している場合は、CB0SCEビット = 0にしてから、CB0RXレジスタを読み出します。

最終データの受信完了後、受信を禁止する場合は、CB0STR.CB0TSFビットが“0”であることを確認したあと、CB0PWRビット = 0, CB0RXEビット = 0にします。続けて受信する場合は、CB0SCEビット = 1にして、CB0RXレジスタのダミー・リードにより次の受信動作を開始します。

(ii) 連続受信モード時

最終受信1つ前の受信によるINTCB0R割り込み処理で最終データの受信中にCB0SCEビット = 0にしてから、CB0RXレジスタを読み出します。

最終受信のINTCB0R信号を受けて、CB0RXレジスタにより最終データを読み出します。

最終データの受信完了後、受信を禁止する場合は、CB0STR.CB0TSFビットが“0”であることを確認したあと、CB0PWRビット = 0, CB0RXEビット = 0にします。続けて受信する場合は、CB0SCEビット = 1にして、CB0RXレジスタのダミー・リードにより次の受信動作を開始します。

注意 連続受信の場合、ダミー・リードで受信を開始したあと、CB0SCEビット = 0設定時に実行中の受信が完了するまでシリアル・クロックは停止しません。

(2) CSIB0制御レジスタ1 (CB0CTL1)

CSIB0のシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CB0CTL1レジスタは、CB0CTL0.CB0PWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：FFFFFD01H

	7	6	5	4	3	2	1	0
CB0CTL1	0	0	0	CB0CKP	CB0DAP	CB0CKS2	CB0CKS1	CB0CKS0

	CB0CKP	CB0DAP	SCKB0に対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CB0CKS2	CB0CKS1	CB0CKS0	通信クロック (f _{CLK})	モード
0	0	0	f _{xx} /2	マスタ・モード
0	0	1	f _{xx} /4	マスタ・モード
0	1	0	f _{xx} /8	マスタ・モード
0	1	1	f _{xx} /16	マスタ・モード
1	0	0	f _{xx} /32	マスタ・モード
1	0	1	f _{xx} /64	マスタ・モード
1	1	0	f _{xx} /128	マスタ・モード
1	1	1	外部クロック (SCKB0)	スレーブ・モード

注意 f_{CLK}は8 MHz以下に設定してください。

(3) CSIB0制御レジスタ2 (CB0CTL2)

CSIB0のシリアル転送ビット数を制御する8ビットのレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

注意 CB0CTL2レジスタは、CB0CTL0.CB0PWRビット = 0、またはCB0TXE、CB0RXEビット = 0の場合のみ書き換えを許可します。

リセット時：00H R/W アドレス：FFFFFFD02H

	7	6	5	4	3	2	1	0
CB0CTL2	0	0	0	0	CB0CL3	CB0CL2	CB0CL1	CB0CL0

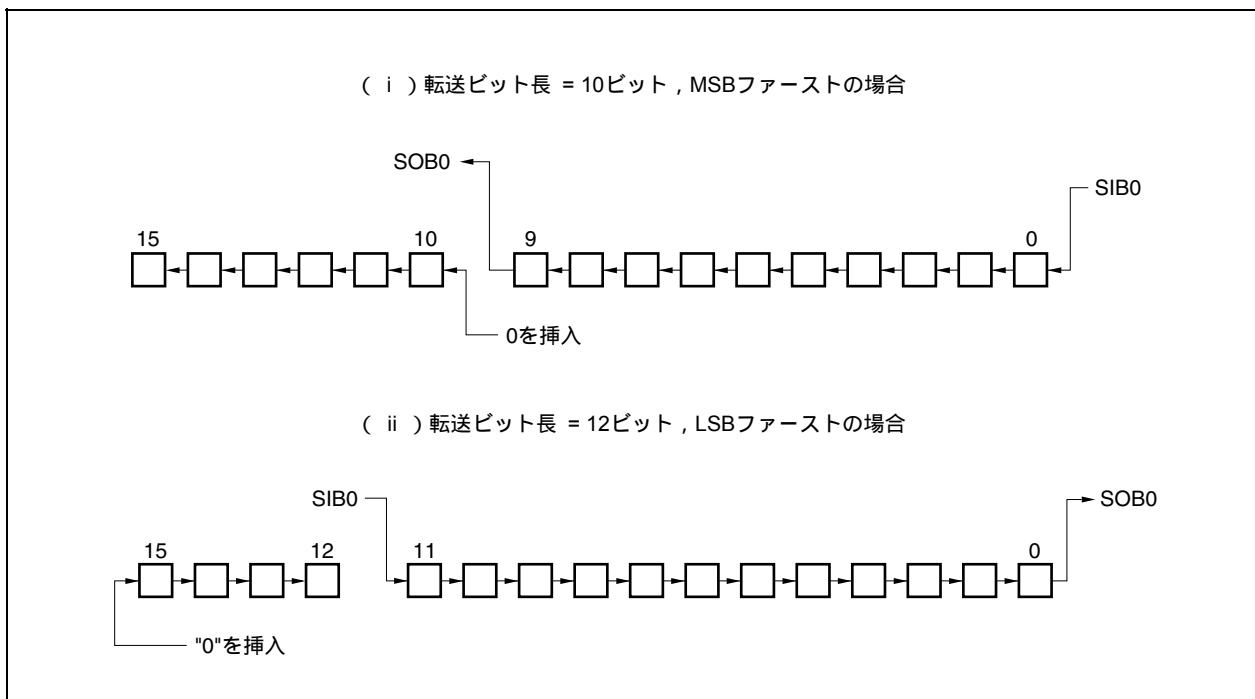
CB0CL3	CB0CL2	CB0CL1	CB0CL0	シリアル・レジスタのビット長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

備考 転送ビット数が8/16ビットではない場合には、CB0TX、CB0RXレジスタの最下位ビットから詰めてデータを準備して使用してください。

(a) 転送データ長変更機能

CSIB0の転送データ長はCB0CTL2.CB0CL3-CB0CL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送ビット長を16ビット以外に設定した場合、CB0TX, CB0RXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。



(4) CSIB0状態レジスタ (CB0STR)

CSIB0の状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード/ライト可能ですが、CB0TSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CB0CTL0.CB0PWRビットをクリア (0) する場合も初期化されます。

リセット時：00H R/W アドレス：FFFFFFD03H

	⑦	6	5	4	3	2	1	⑧
CB0STR	CB0TSF	0	0	0	0	0	0	CB0OVE

CB0TSF	通信状態フラグ
0	通信停止
1	通信中
<ul style="list-style-type: none"> 送信時にはCB0TXレジスタにデータを準備したタイミングでセットされます。 受信時にはCB0RXレジスタをダミー・リードしたタイミングでセットされます。 転送終了時、クロックの最後のエッジでクリア (0) されます。 	

CB0OVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
<ul style="list-style-type: none"> 受信時もしくは受信動作終了後に、CB0RXレジスタの値をCPUリードせずに次の受信が開始した場合、オーバラン・エラーとする。 CB0OVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 CB0OVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません 	

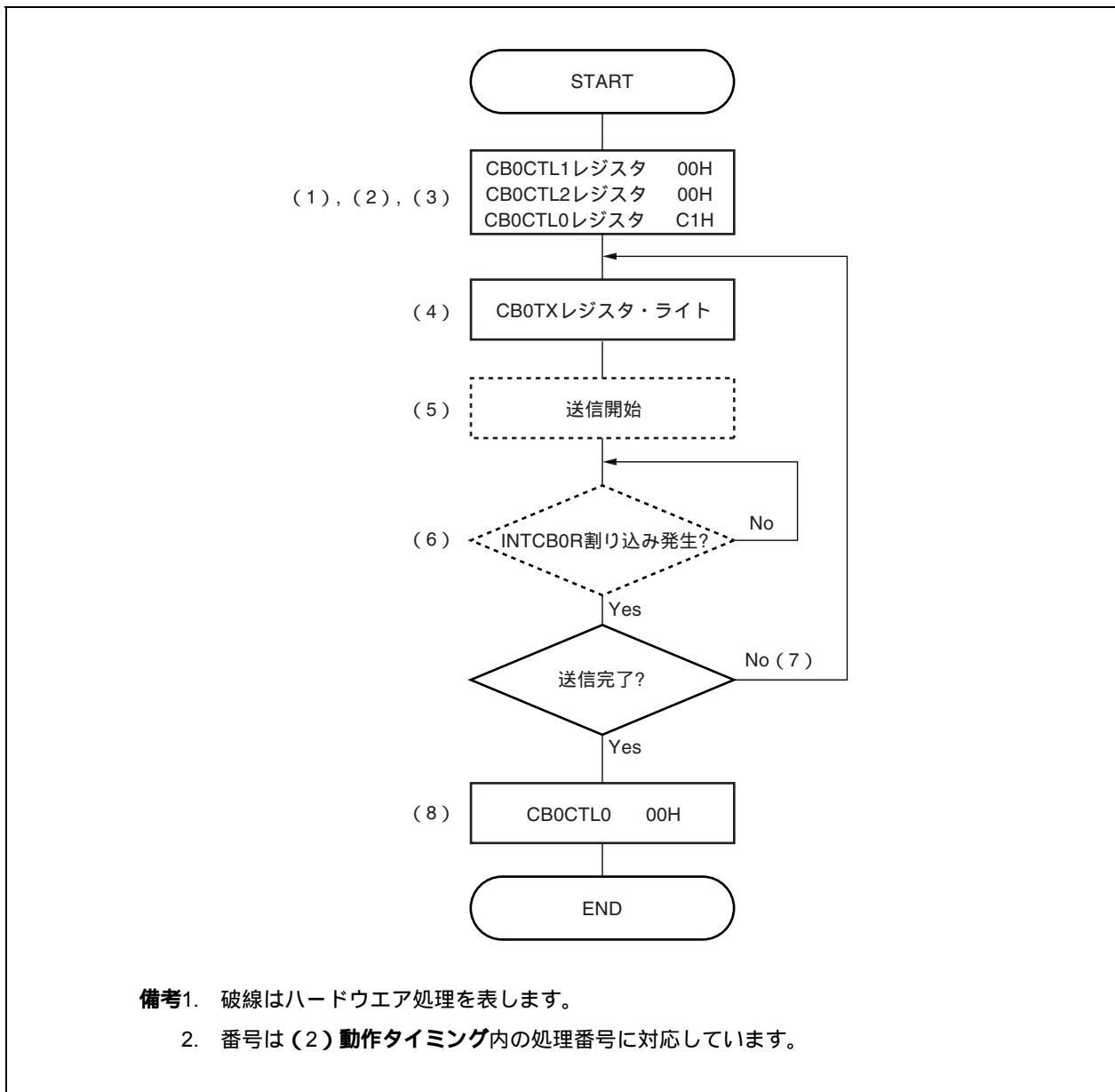
注意 シングル転送モードでは、CB0TSFビット = 1の状態ではCB0TXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。シングル転送モードではなく連続転送モードを使用してください。

13.4 動作

13.4.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CB0CTL0.CB0DIRビット = 0), 通信タイプ1 (CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック (f_{CLK}) = $f_{xx}/2$ (CB0CTL1.CB0CKS2-CB0CKS0ビット = 000), 転送データ長8ビット (CB0CTL2.CB0CL3-CB0CL0ビット = 0000) の場合

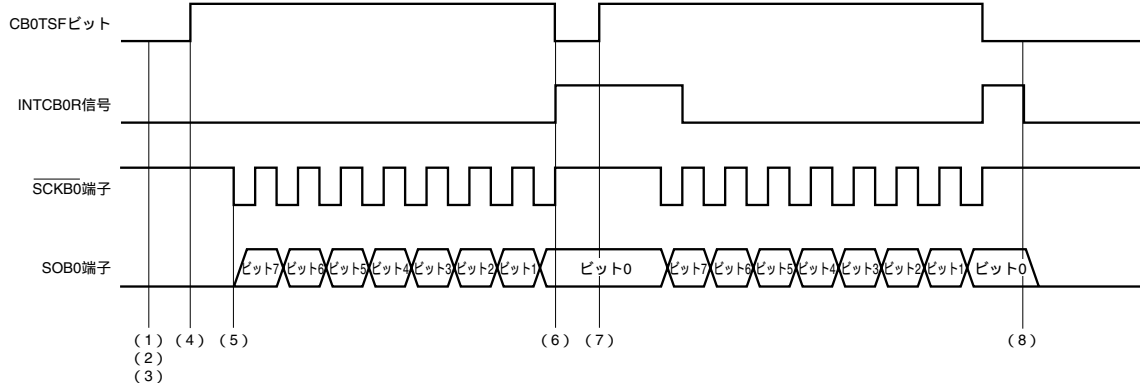
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

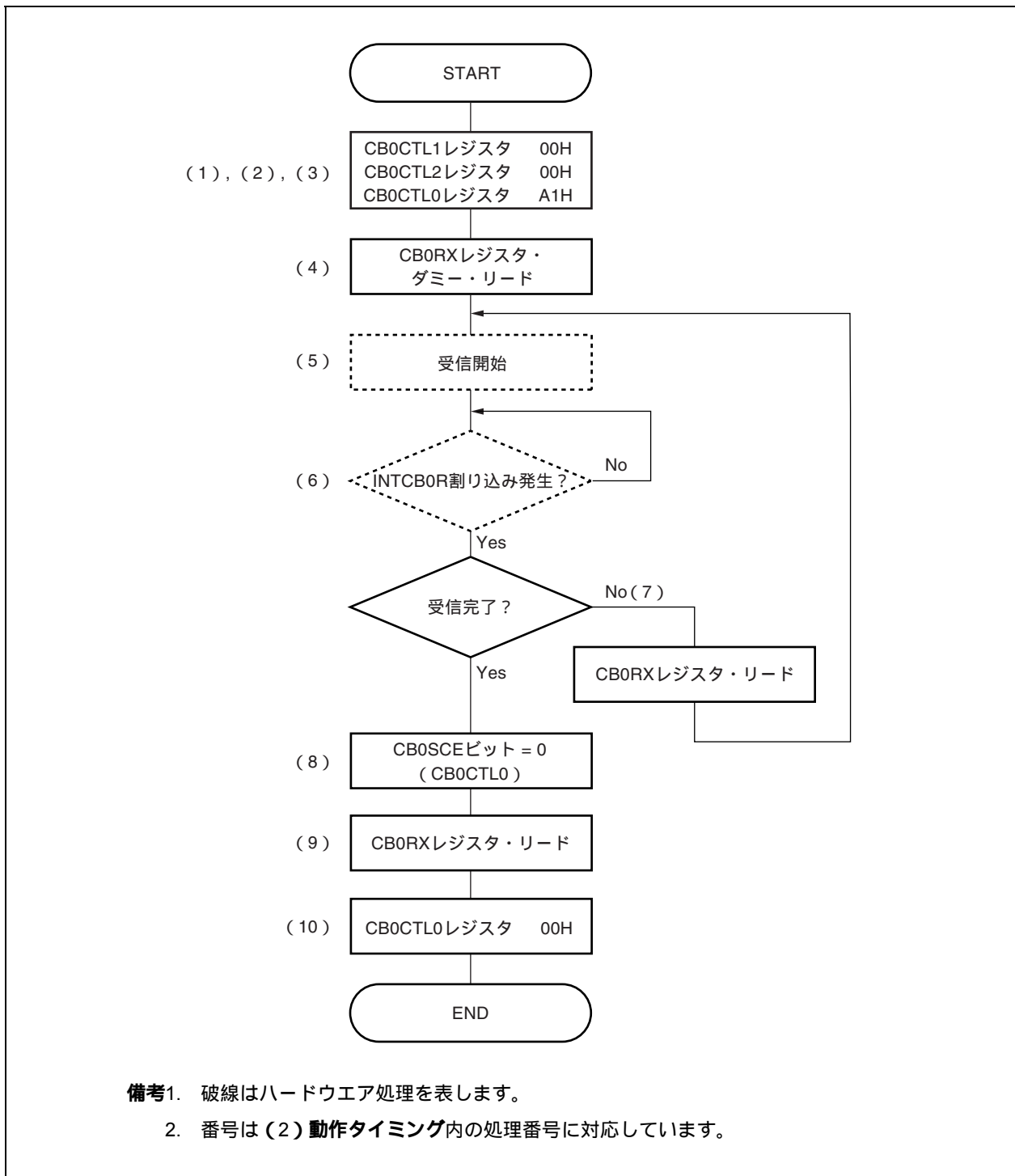


- (1) CB0CTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CB0TXレジスタに送信データをライトすることで、CB0STR.CB0TSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、 $\overline{SCKB0}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOB0端子より送信データを出力する。
- (6) CB0CTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCB0R) を発生し、CB0TSFビットはクリア(0)される。
- (7) 続けて送信を行う場合は、INTCB0R信号発生後、再びCB0TXレジスタに送信データをライトすることで次の送信を開始する。
- (8) 送信を完了する場合は、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0TXEビット = 0をライトする。

13.4.2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0), 通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ (CB0CTL1.CB0CKS2-CB0CKS0ビット = 000), 転送データ長8ビット (CB0CTL2.CB0CL3-CB0CL0ビット = 0000) の場合

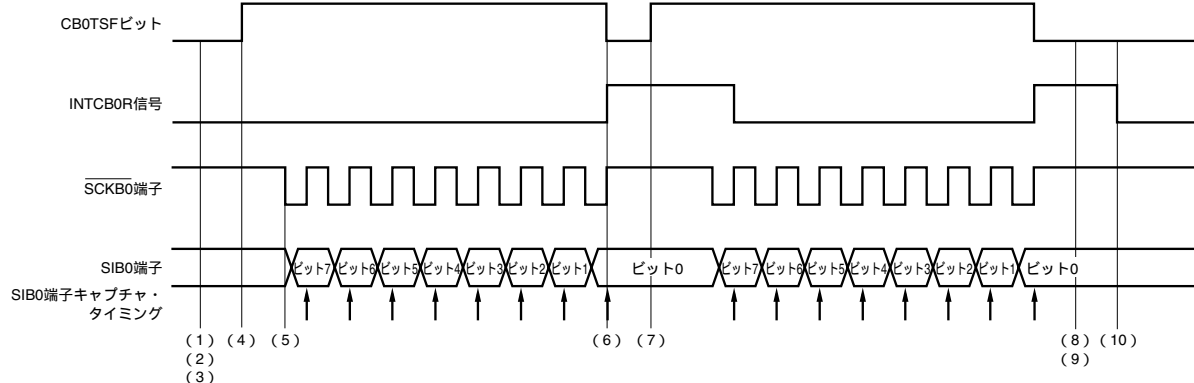
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

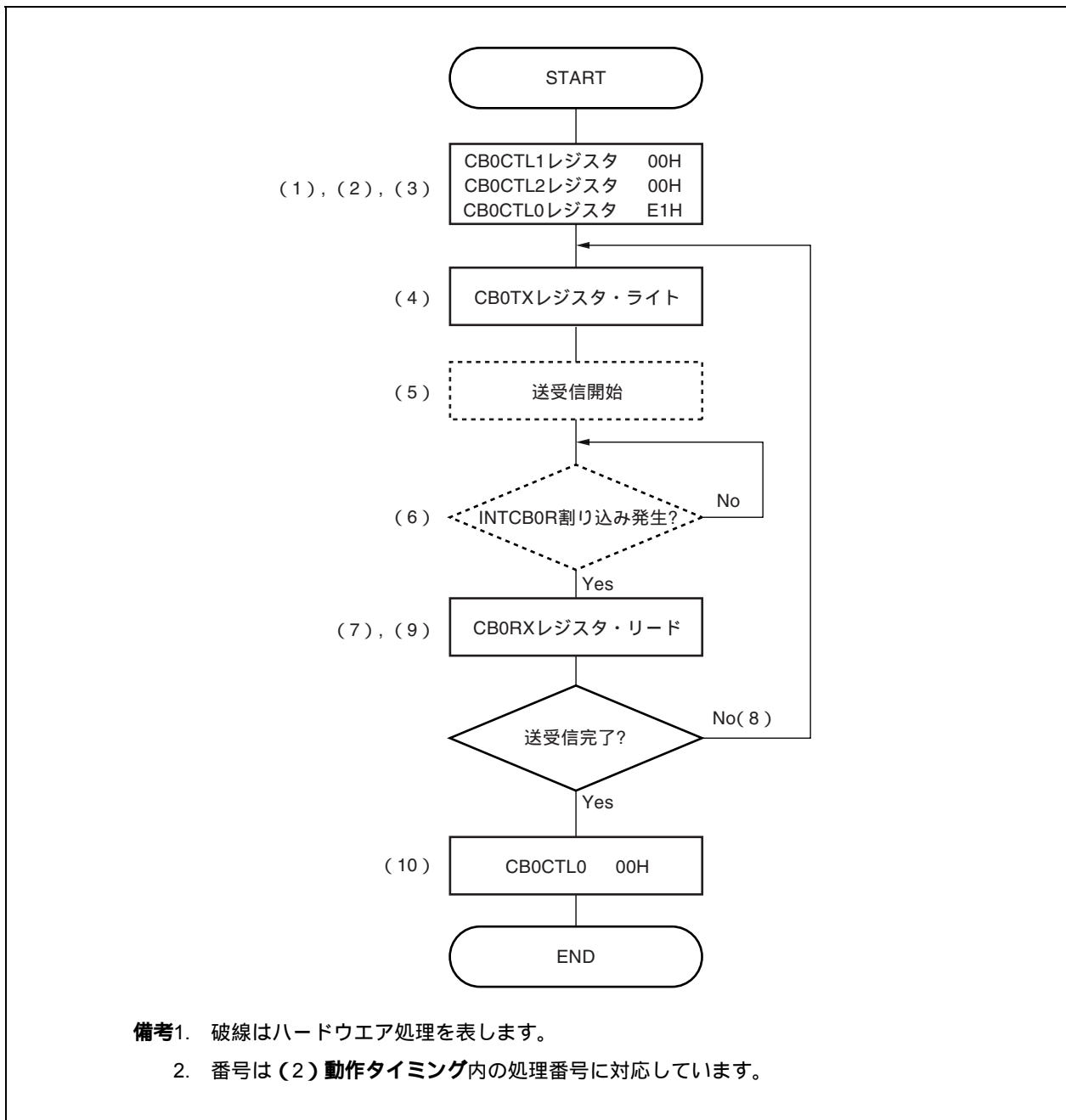


- (1) CB0CTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにA1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CB0RXレジスタをダミー・リードすることで、CB0STR.CB0TSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、SCKB0端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIB0端子の受信データをキャプチャする。
- (6) CB0CTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCB0R) を発生し、CB0TSFビットはクリア(0)される。
- (7) 続けて受信を行う場合は、INTCB0R信号発生後、CB0CTL0.CB0SCEビット = 1のまま、CB0RXレジスタをリードする。
- (8) 次の受信を開始させずにCB0RXレジスタをリードする場合には、CB0SCEビット = 0をライトする。
- (9) CB0RXレジスタをリードする。
- (10) 受信を完了する場合は、CB0CTL0.CB0PWRビット = 0, CB0CTL0.CB0RXEビット = 0をライトする。

13.4.3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0), 通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック(f_{CLK}) = $f_{xx}/2$ (CB0CTL1.CB0CKS2-CB0CKS0ビット = 000), 転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

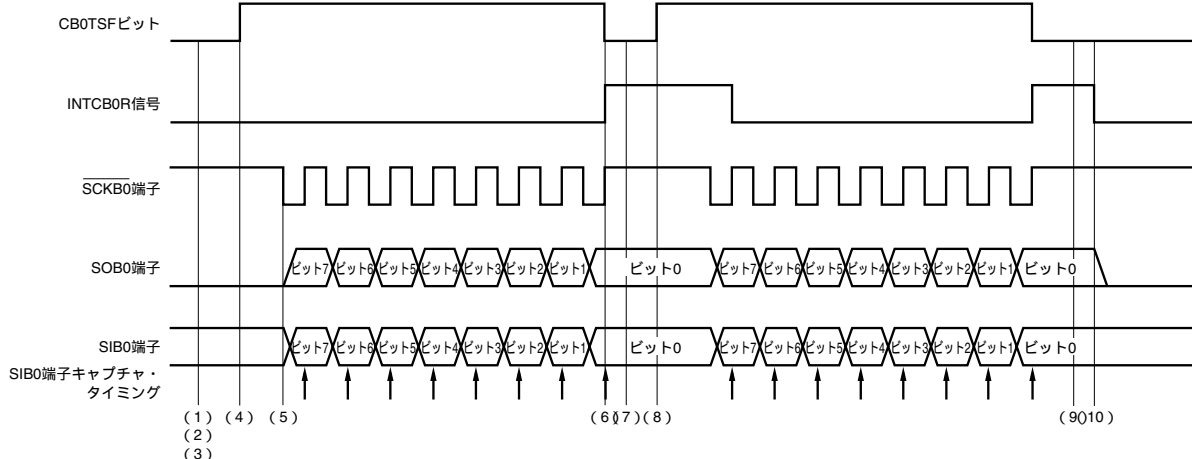
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

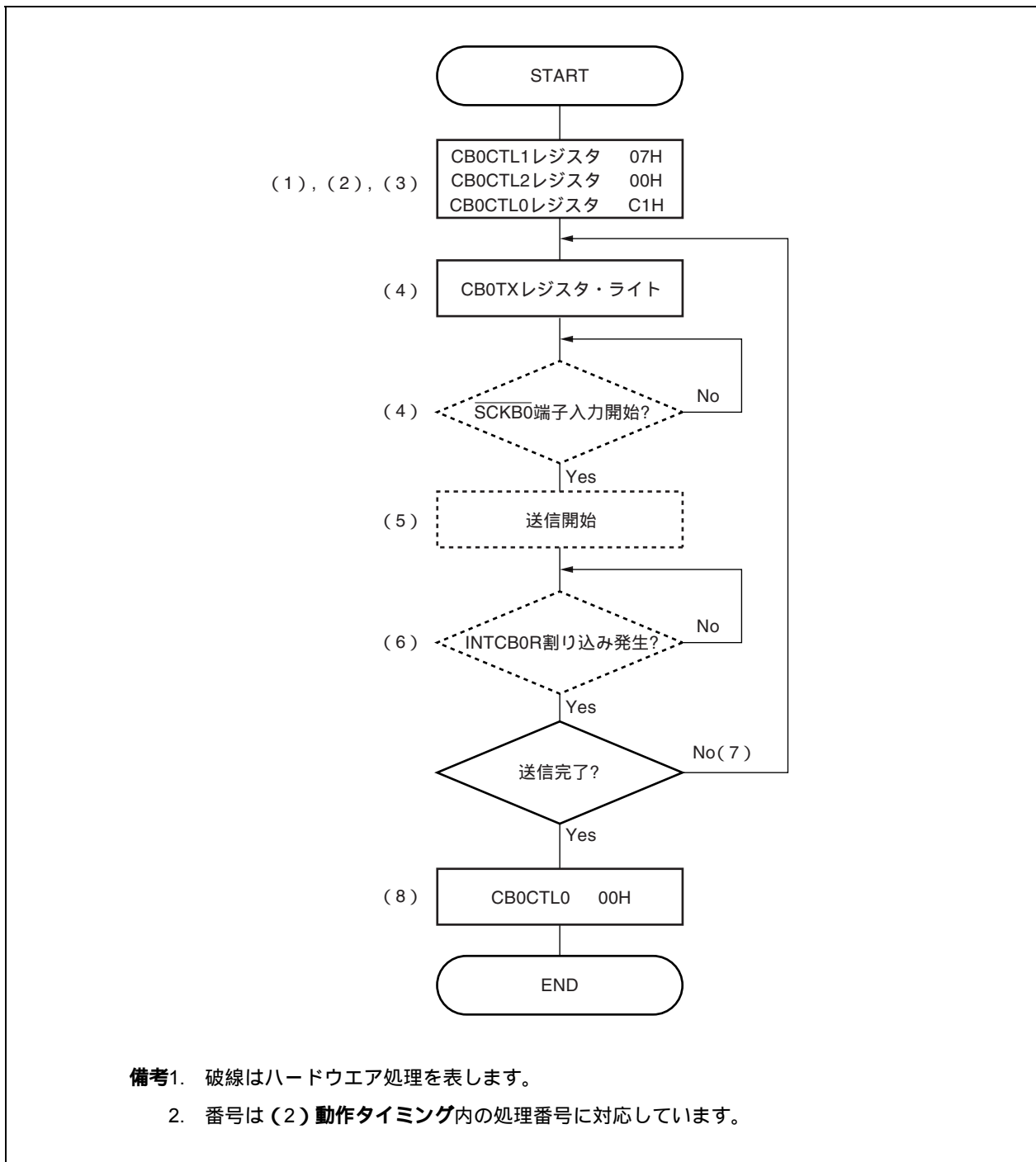


- (1) CB0CTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにE1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CB0TXレジスタに送信データをライトすることで、CB0STR.CB0TSFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 $\overline{\text{SCKB0}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOB0端子に送信データを出力し、SIB0端子の受信データをキャプチャする。
- (6) CB0CTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCB0R) を発生し、CB0TSFビットはクリア (0) される。
- (7) CB0RXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCB0TXレジスタに送信データをライトする。
- (9) CB0RXレジスタをリードする。
- (10) 送受信を完了する場合は、CB0CTL0.CB0PWRビット = 0, CB0CTL0.CB0TXEビット = 0, CB0CTL0.CB0RXEビット = 0をライトする。

13.4.4 シングル転送モード (スレーブ・モード, 送信モード)

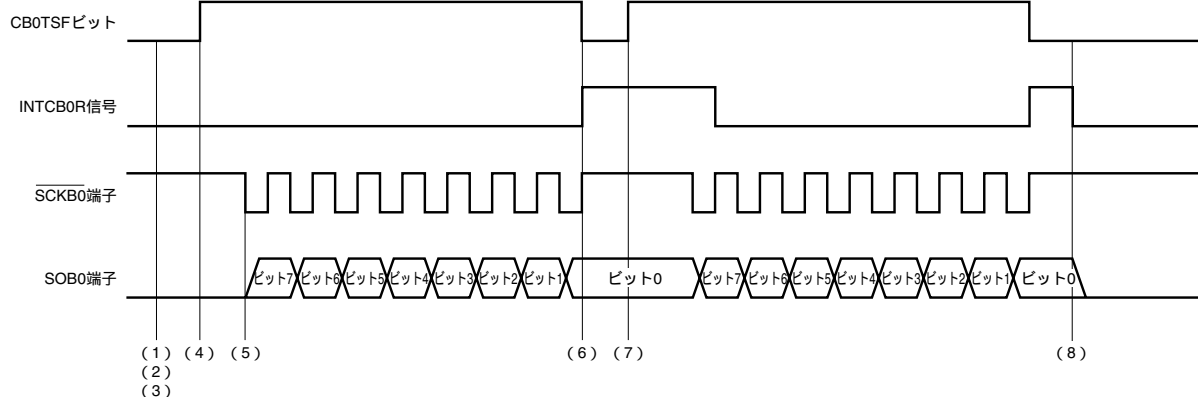
MSBファースト(CB0CTL0.CB0DIRビット = 0),通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00),通信クロック(f_{CCLK}) = 外部クロック($\overline{SCKB0}$) (CB0CTL1.CB0CKS2-CB0CKS0ビット = 111),転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

(1) 動作フロー



- 備考1.** 破線はハードウェア処理を表します。
2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

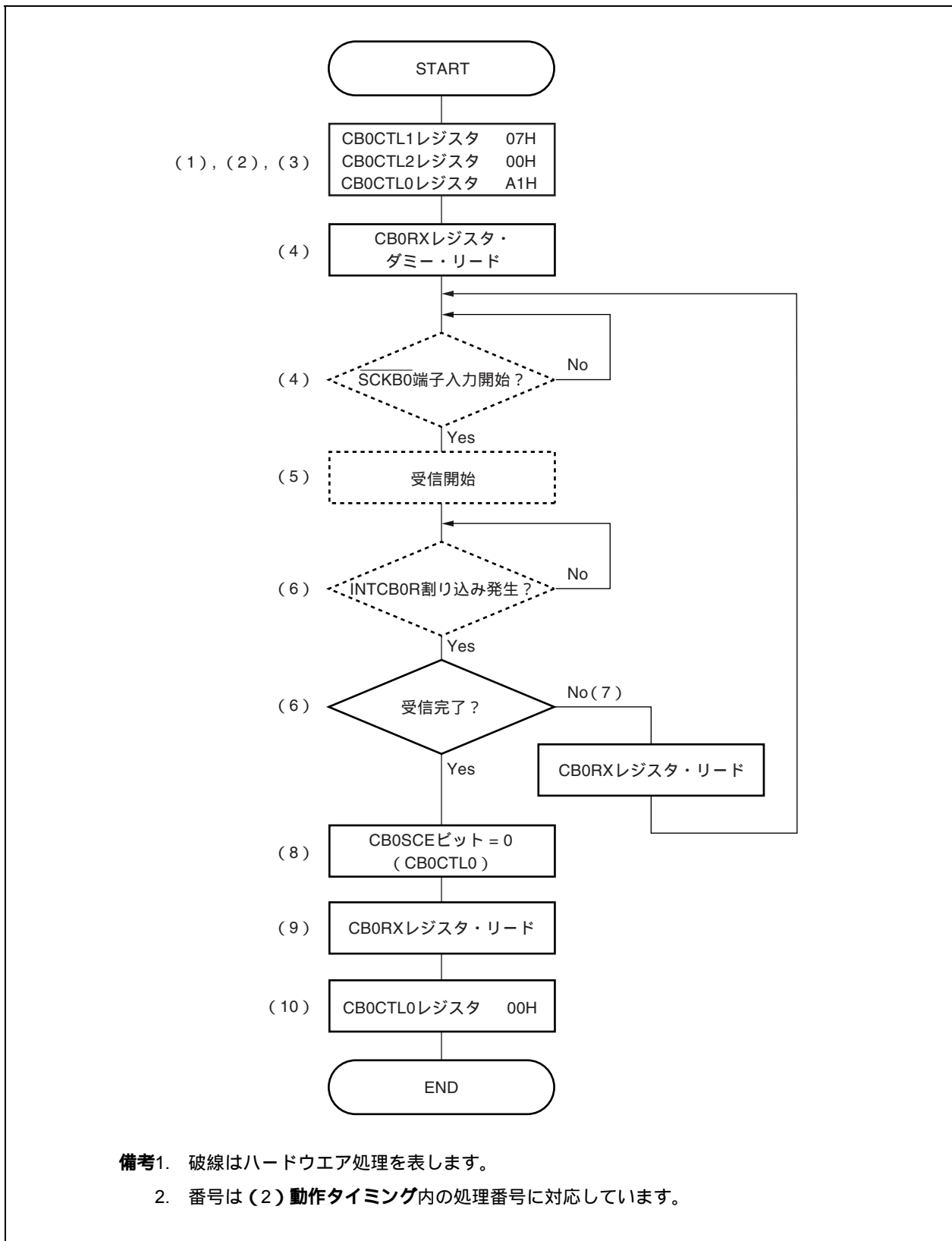


- (1) CB0CTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKB0}}$)、スレーブ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにC1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CB0TXレジスタに送信データをライトすることで、CB0STR.CB0TSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOB0端子より送信データを出力する。
- (6) CB0CTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCB0R) を発生し、CB0TSFビットはクリア (0) される。
- (7) 続けて送信を行う場合は、INTCB0R信号発生後、再びCB0TXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (8) 送信を完了する場合は、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0TXEビット = 0をライトする。

13.4.5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0), 通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック (SCKB0) (CB0CTL1.CB0CKS2-CB0CKS0ビット = 111), 転送データ長8ビット (CB0CTL2.CB0CL3-CB0CL0ビット = 0000) の場合

(1) 動作フロー



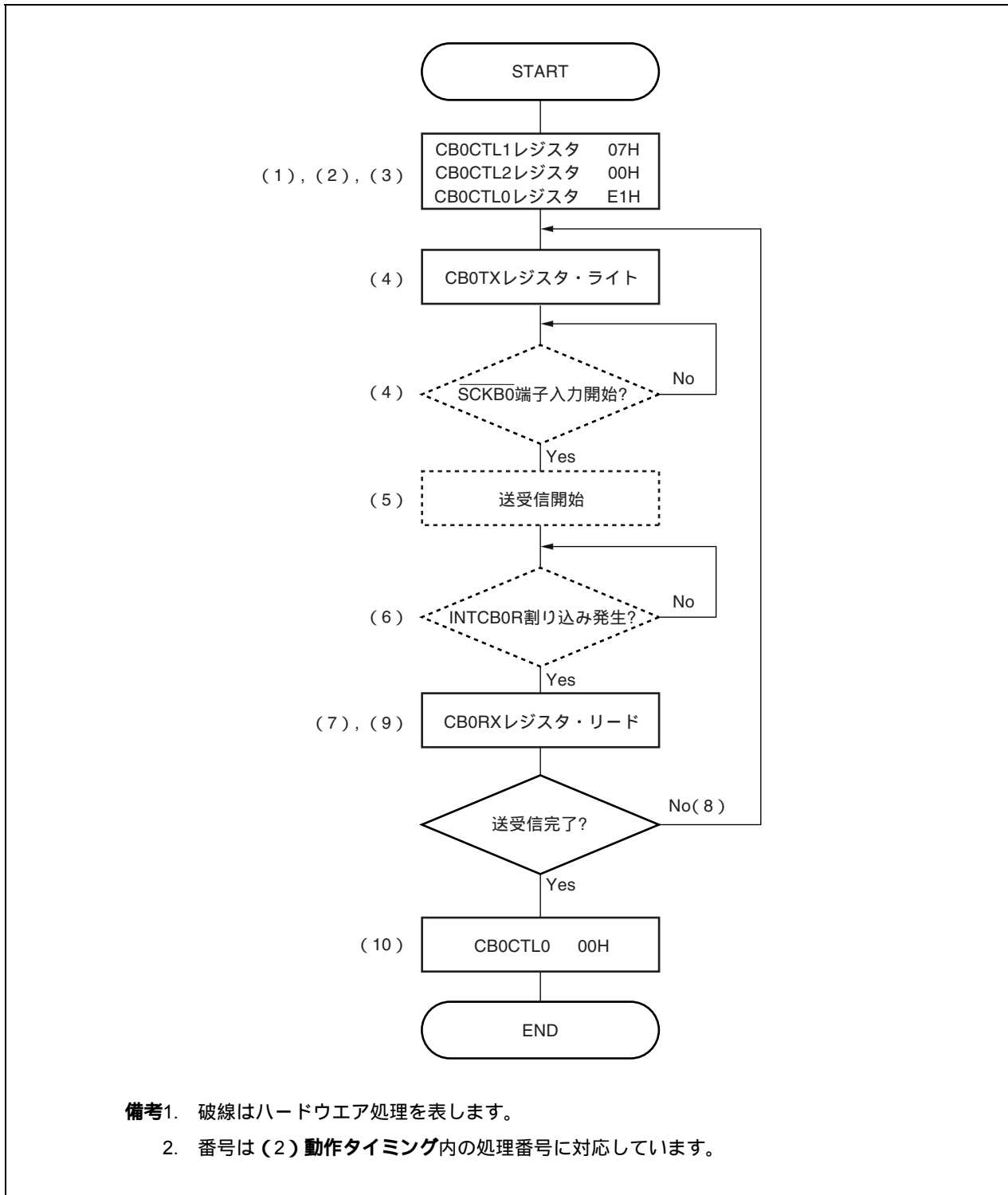
備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

13.4.6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0),通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00),通信クロック(f_{CCLK}) = 外部クロック($\overline{SCKB0}$) (CB0CTL1.CB0CKS2-CB0CKS0ビット = 111),転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

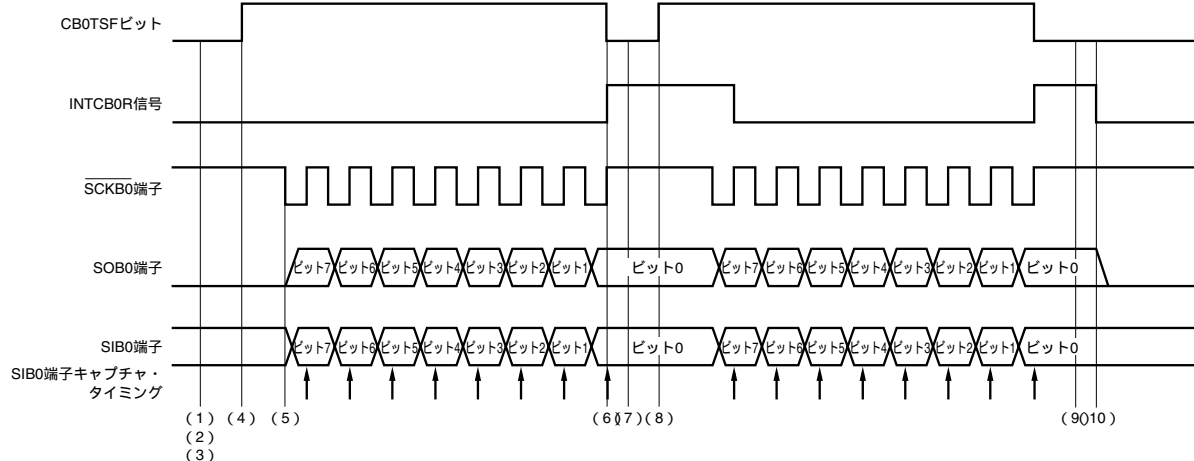
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

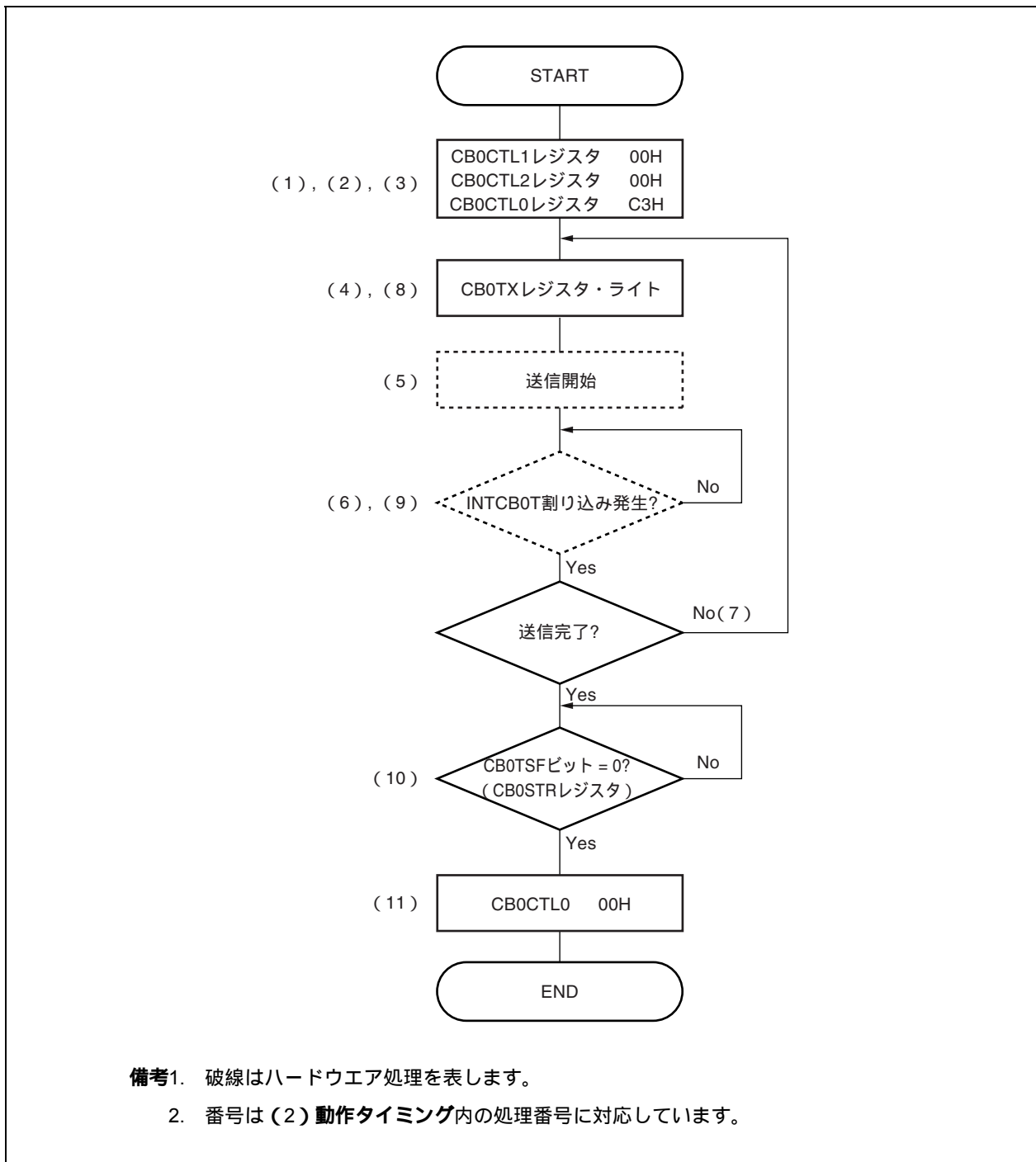


- (1) CB0CTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKB0}}$)、スレーブ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにE1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CB0TXレジスタに送信データをライトすることで、CB0STR.CB0TSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOB0端子に送信データを出し、SIB0端子の受信データをキャプチャする。
- (6) CB0CTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信終了割り込み要求信号 (INTCB0R) を発生し、CB0TSFビットはクリア (0) される。
- (7) CB0RXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再びCB0TXレジスタに送信データをライトし、シリアル・クロックの入力を待つ。
- (9) CB0RXレジスタをリードする。
- (10) 送受信を完了する場合は、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0TXEビット = 0、CB0CTL0.CB0RXEビット = 0をライトする。

13.4.7 連続転送モード (マスタ・モード, 送信モード)

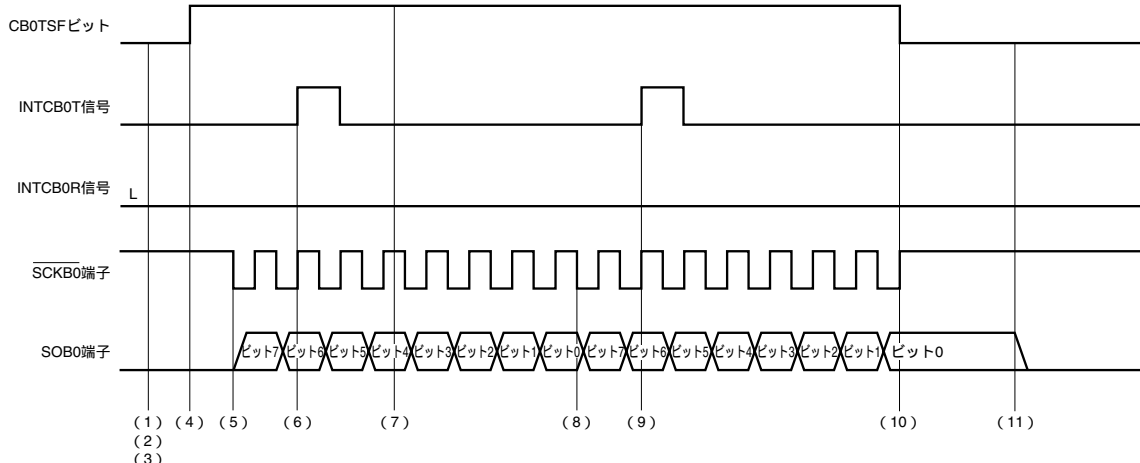
MSBファースト(CB0CTL0.CB0DIRビット = 0),通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00),通信クロック(f_{CCLK}) = $f_x/2$ (CB0CTL1.CB0CKS2-CB0CKS0ビット = 000),転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング



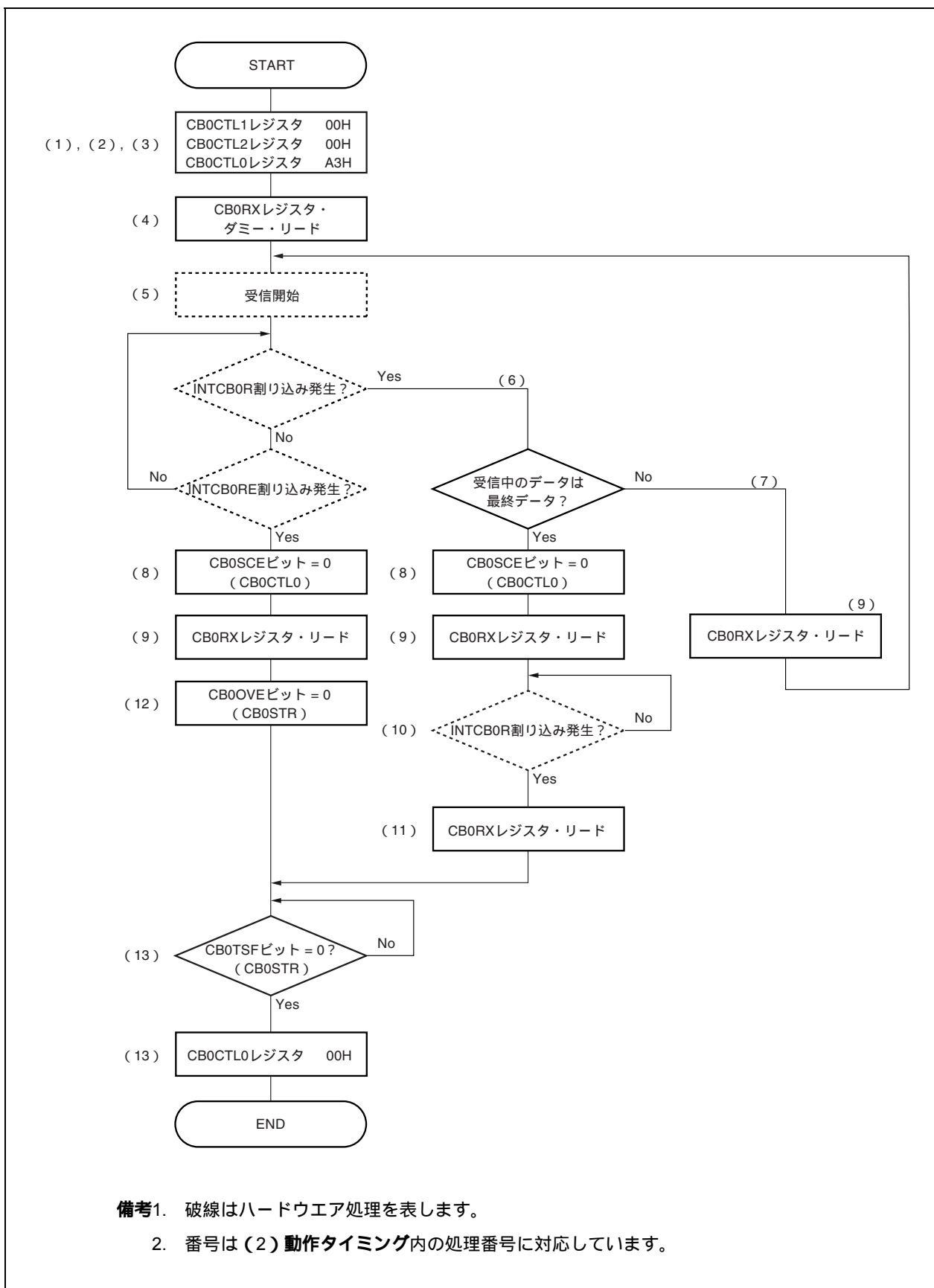
- (1) CB0CTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにC3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CB0TXレジスタに送信データをライトすることで、CB0STR.CB0TSFビットがセット(1)され、送信を開始する。
- (5) 送信が開始されると、 $\overline{\text{SCKB0}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOB0端子より送信データを出力する。
- (6) CB0TXレジスタからシフト・レジスタへの送信データの転送が完了し、CB0TXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCB0T) が発生する。
- (7) 続けて送信を行う場合は、INTCB0T信号発生後、再びCB0TXレジスタに送信データをライトする。
- (8) 通信完了前に新たな送信データがCB0TXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CB0TXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCB0T信号が発生する。現送信で連続送信を完了する場合は、CB0TXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCB0TXレジスタへライトされない場合は、転送完了後、 $\overline{\text{SCKB0}}$ 端子へのシリアル・クロック出力を停止し、CB0TSFビットはクリア(0)される。
- (11) 送信許可状態を解除する場合は、CB0TSFビット = 0を確認後、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0TXEビット = 0をライトする。

注意 連続送信モードでは、受信終了割り込み要求信号 (INTCB0R) は発生しません。

13.4.8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0), 通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ (CB0CTL1.CB0CKS2-CB0CKS0ビット = 000), 転送データ長8ビット (CB0CTL2.CB0CL3-CB0CL0ビット = 0000) の場合

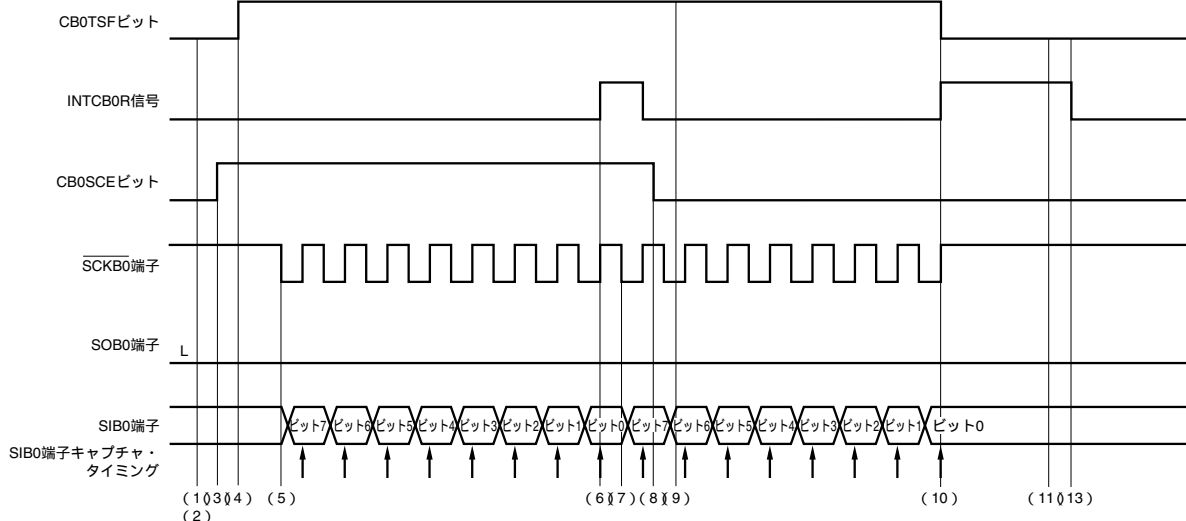
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

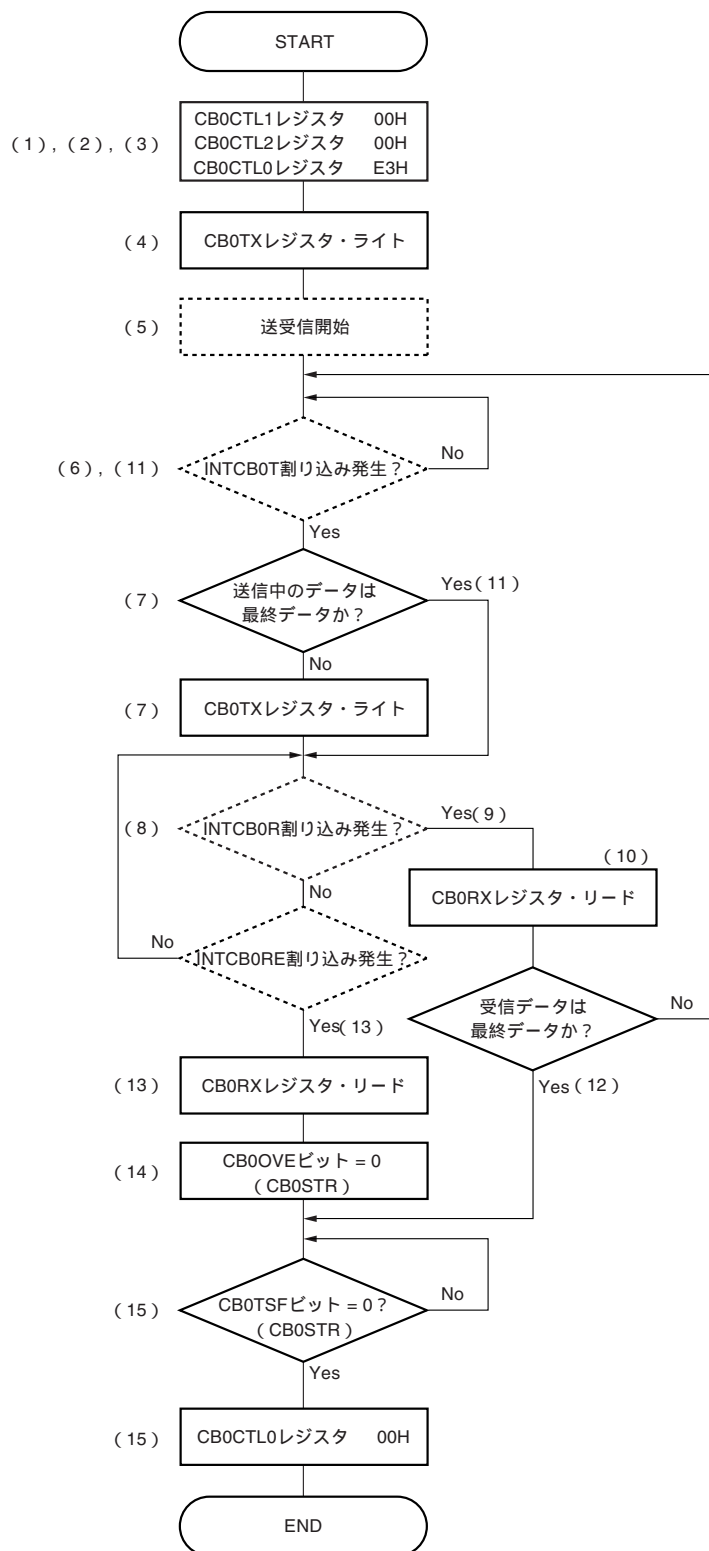


- (1) CB0CTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにA3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CB0RXレジスタをダミー・リードすることで、CB0STR.CB0TSFビットがセット(1)され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKB0}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIB0端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信終了割り込み要求信号 (INTCB0R) が発生し、CB0RXレジスタのリードが可能になる。
- (7) 通信完了時にCB0CTL0.CB0SCEビット = 1だと、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CB0SCEビット = 0をライトする。
- (9) CB0RXレジスタをリードする。
- (10) 受信が完了すると、INTCB0R信号が発生し、CB0RXレジスタのリードが可能になる。通信完了前にCB0SCEビット = 0に設定されていると、 $\overline{\text{SCKB0}}$ 端子へのシリアル・クロックの出力を停止し、CB0TSFビットはクリア(0)され受信動作を終了する。
- (11) CB0RXレジスタをリードする。
- (12) オーパラン・エラー発生時は、CB0STR.CB0OVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CB0TSFビット = 0を確認後、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0RXEビット = 0をライトする。

13.4.9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0), 通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{X}}/2$ (CB0CTL1.CB0CKS2-CB0CKS0ビット = 000), 転送データ長8ビット (CB0CTL2.CB0CL3-CB0CL0ビット = 0000) の場合

(1) 動作フロー

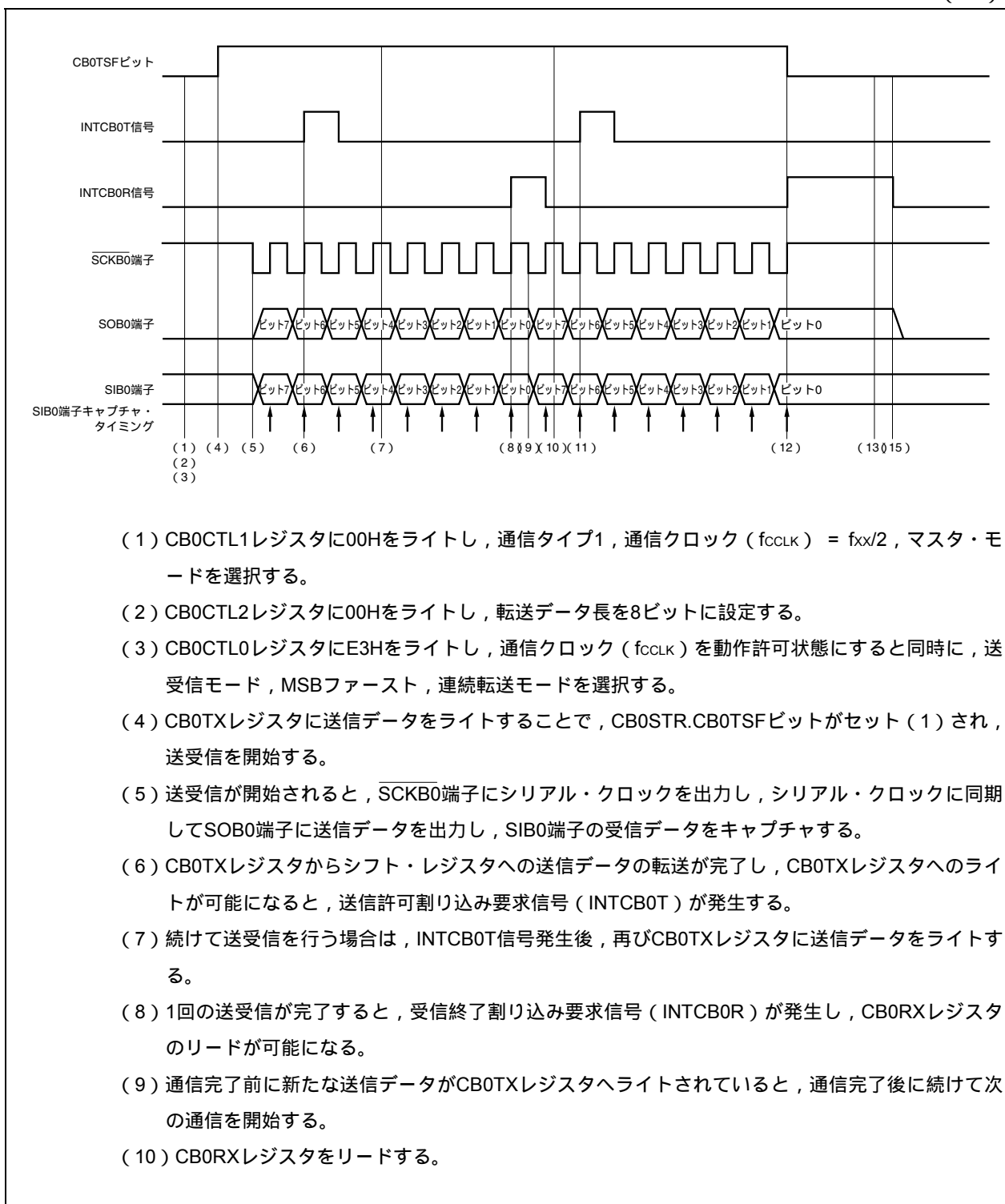


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

(1/2)

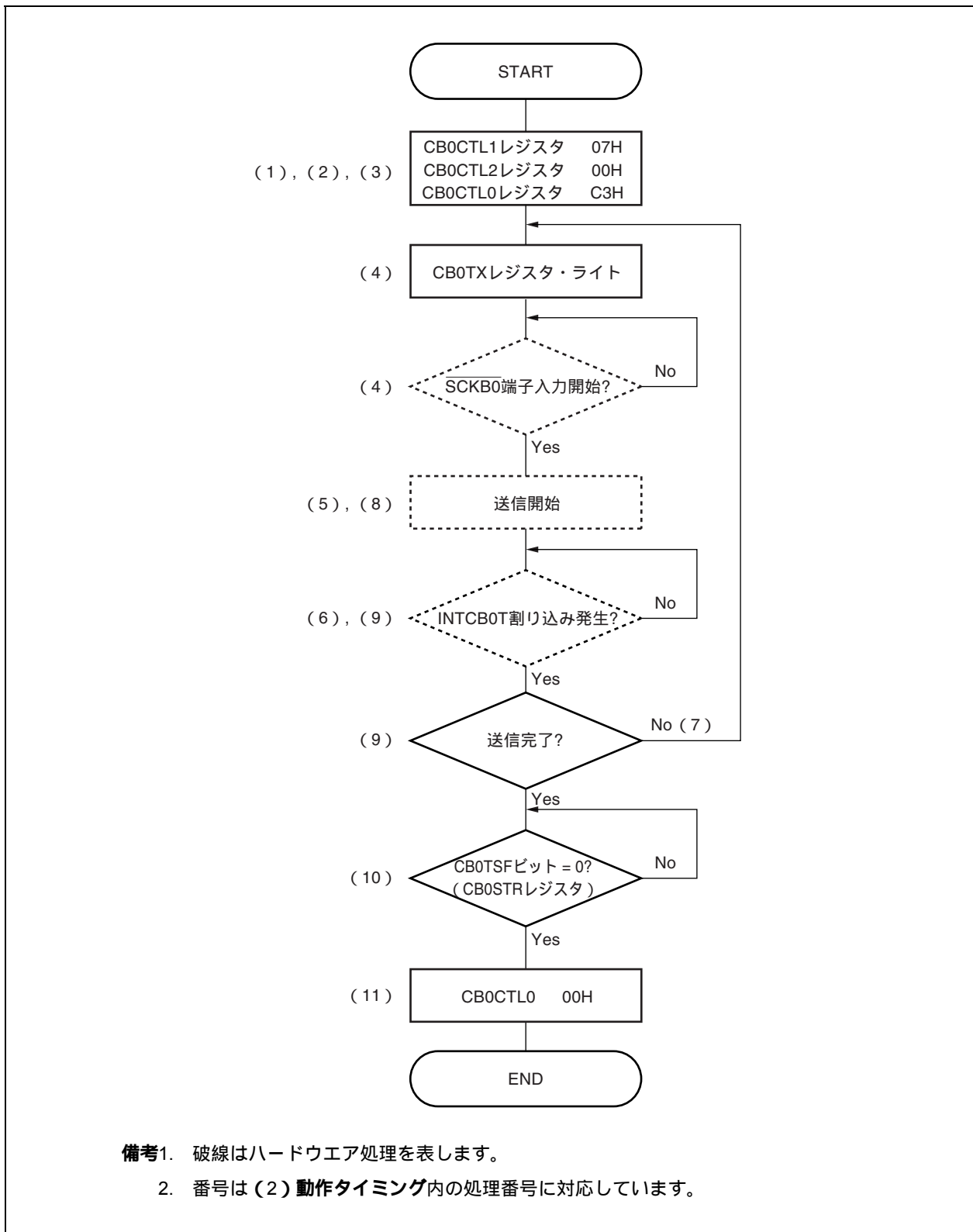


- (11) CB0TXレジスタからシフト・レジスタへの送信データの転送が完了し,INTCB0T信号が発生する。
現送受信で連続送受信を完了する場合は, CB0TXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCB0TXレジスタへライトされない場合は,転送完了後, $\overline{\text{SCKB0}}$ 端子へのシリアル・クロック出力を停止し, CB0TSFビットはクリア(0)される。
- (13) 受信エラー割り込み要求信号 (INTCB0RE) 発生時は, CB0RXレジスタをリードする。
- (14) オーバラン・エラー発生時は, CB0STR.CB0OVEビット = 0をライトして,エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は, CB0TSFビット = 0を確認後, CB0CTL0.CB0PWRビット = 0, CB0CTL0.CB0TXEビット = 0, CB0CTL0.CB0RXEビット = 0をライトする。

13.4.10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0),通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00),通信クロック(f_{CCLK}) = 外部クロック(SCKB0)(CB0CTL1.CB0CKS2-CB0CKS0ビット = 111),転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

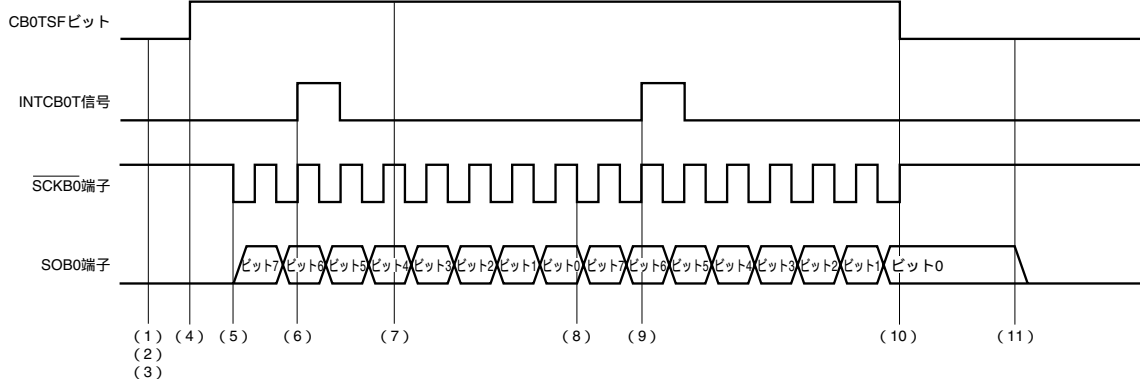
(1) 動作フロー



備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング



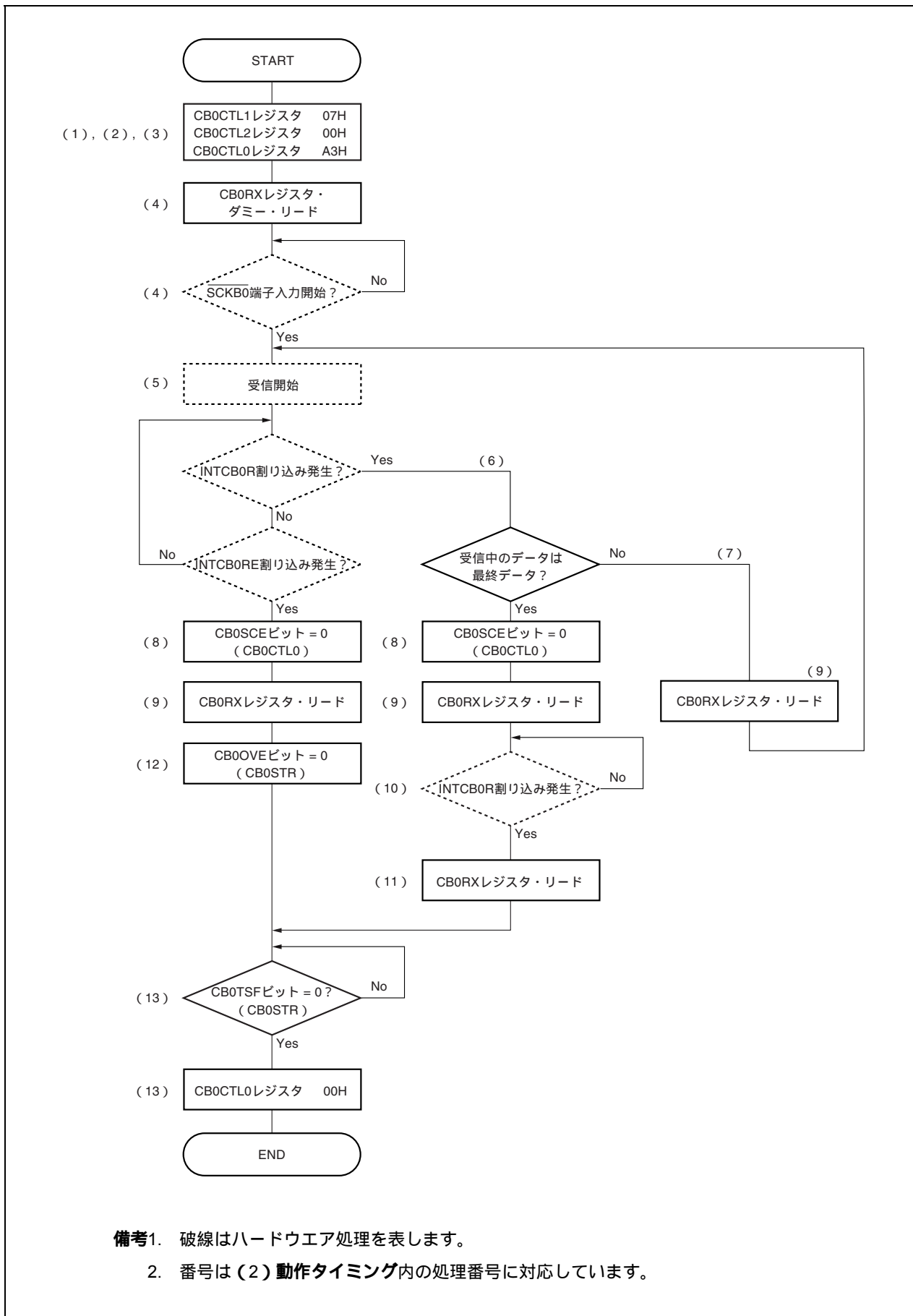
- (1) CB0CTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック ($\overline{\text{SCKB0}}$)、スレーブ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにC3Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CB0TXレジスタに送信データをライトすることで、CB0STR.CB0TSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOB0端子より送信データを出力する。
- (6) CB0TXレジスタからシフト・レジスタへの送信データの転送が完了し、CB0TXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCB0T) が発生する。
- (7) 続けて送信を行う場合は、INTCB0T信号発生後、再びCB0TXレジスタに送信データをライトする。
- (8) CB0CTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CB0TXレジスタからシフト・レジスタへの送信データの転送が完了し、CB0TXレジスタへのライトが可能になるとINTCB0T信号が発生する。現送信で連続送信を完了する場合は、CB0TXレジスタへのライトを行わない。
- (10) CB0TXレジスタへライトされていない状態で、CB0CTL2レジスタに設定した転送データ長分のクロックが入力されると、CB0TSFビットはクリア (0) され、送信を終了する。
- (11) 送信許可状態を解除する場合は、CB0TSFビット = 0を確認後、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0TXEビット = 0をライトする。

注意 連続送信モードでは、受信終了割り込み要求信号 (INTCB0R) は発生しません。

13.4.11 連続転送モード (スレーブ・モード, 受信モード)

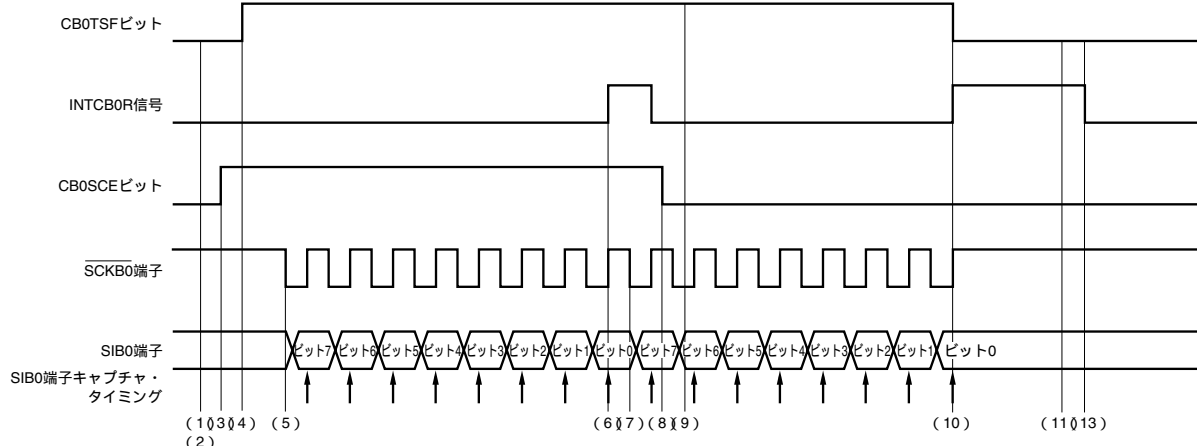
MSBファースト(CB0CTL0.CB0DIRビット = 0), 通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00), 通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKB0}}$) (CB0CTL1.CB0CKS2-CB0CKS0ビット = 111), 転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

(1) 動作フロー



- 備考1. 破線はハードウェア処理を表します。
 2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

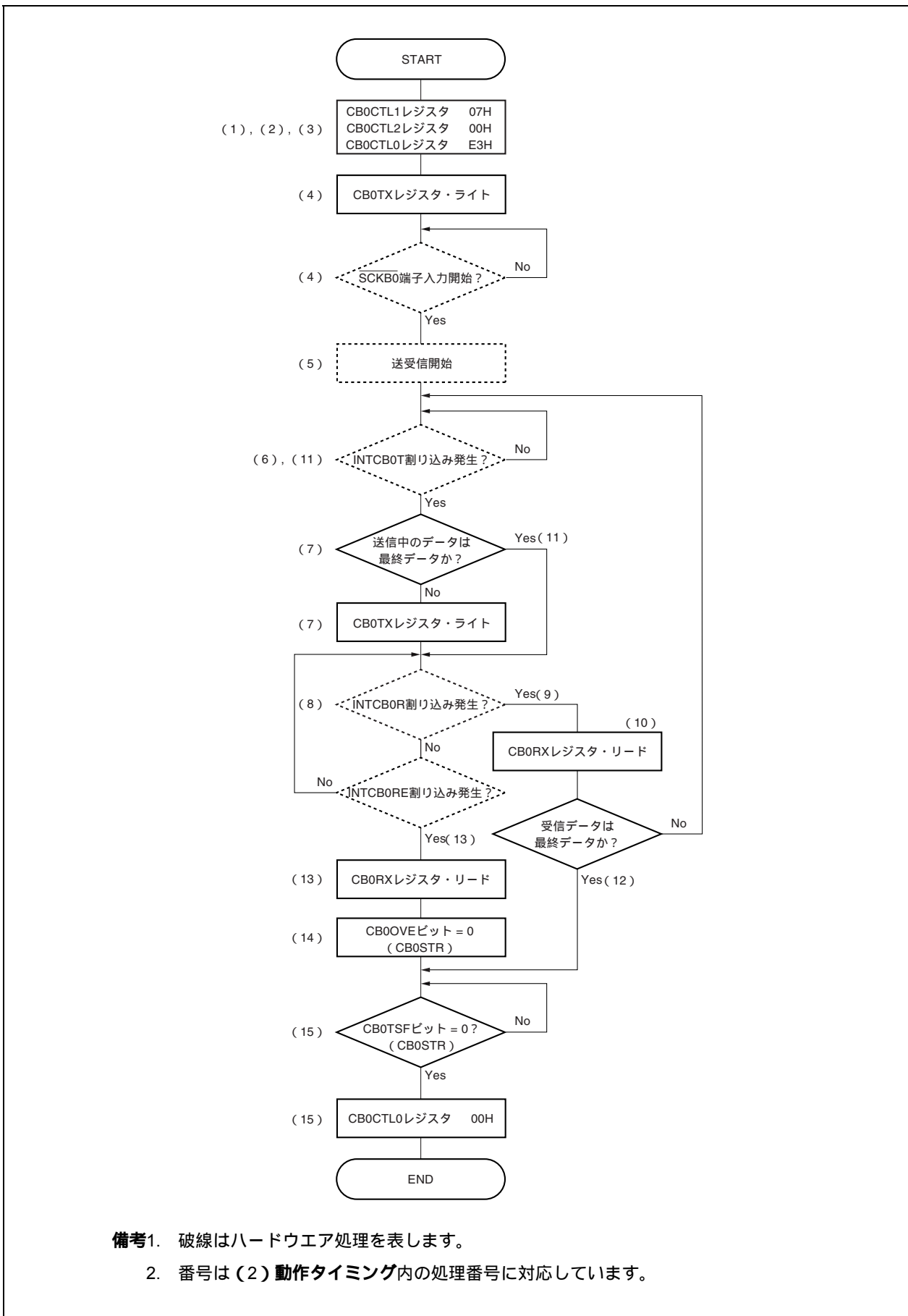


- (1) CB0CTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック ($\overline{\text{SCKB0}}$)、スレーブ・モードを選択する。
- (2) CB0CTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CB0CTL0レジスタにA3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CB0RXレジスタをダミー・リードすることで、CB0STR.CB0TSFビットがセット(1)され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIB0端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信終了割り込み要求信号 (INTCB0R) が発生し、CB0RXレジスタのリードが可能になる。
- (7) CB0CTL0.CB0SCEビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は、CB0SCEビット = 0をライトする。
- (9) CB0RXレジスタをリードする。
- (10) 受信が完了すると、INTCB0R信号が発生し、CB0RXレジスタのリードが可能になる。通信完了前にCB0SCEビット = 0に設定されていると、CB0TSFビットはクリア(0)され受信動作を終了する。
- (11) CB0RXレジスタをリードする。
- (12) オーパラン・エラー発生時は、CB0STR.CB0OVEビット = 0をライトして、エラー・フラグをクリアする。
- (13) 受信許可状態を解除する場合は、CB0TSFビット = 0を確認後、CB0CTL0.CB0PWRビット = 0、CB0CTL0.CB0RXEビット = 0をライトする。

13.4.12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト(CB0CTL0.CB0DIRビット = 0),通信タイプ1(CB0CTL1.CB0CKP, CB0DAPビット = 00),通信クロック(f_{CLK}) = 外部クロック($\overline{\text{SCKB0}}$) (CB0CTL1.CB0CKS2-CB0CKS0ビット = 111),転送データ長8ビット(CB0CTL2.CB0CL3-CB0CL0ビット = 0000)の場合

(1) 動作フロー

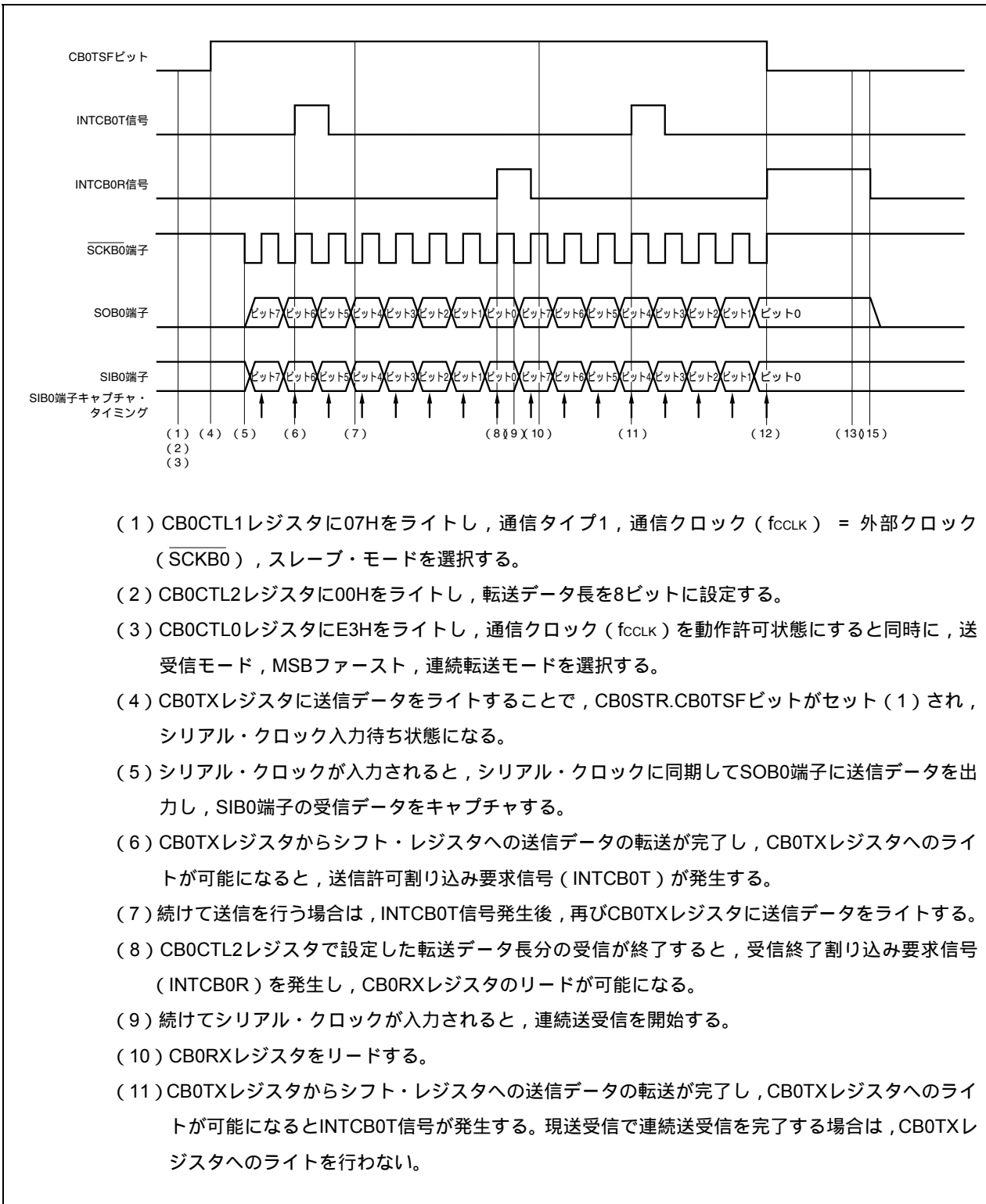


備考1. 破線はハードウェア処理を表します。

2. 番号は(2)動作タイミング内の処理番号に対応しています。

(2) 動作タイミング

(1/2)



- (12) CB0TXレジスタへライトされていない状態で、CB0CTL2レジスタに設定した転送データ長分のクロックが入力されると、INTCB0R信号が発生し、CB0TSFビットはクリア(0)され、送受信を終了する。
- (13) 受信エラー割り込み要求信号 (INTCB0RE) 発生時は、CB0RXレジスタをリードする。
- (14) オーバラン・エラー発生時は、CB0STR.CB0OVEビット = 0をライトして、エラー・フラグをクリアする。
- (15) 送受信許可状態を解除する場合は、CB0TSFビット = 0を確認後、CB0CTL0.CB0PWRビット = 0, CB0CTL0.CB0TXEビット = 0, CB0CTL0.CB0RXEビット = 0をライトする。

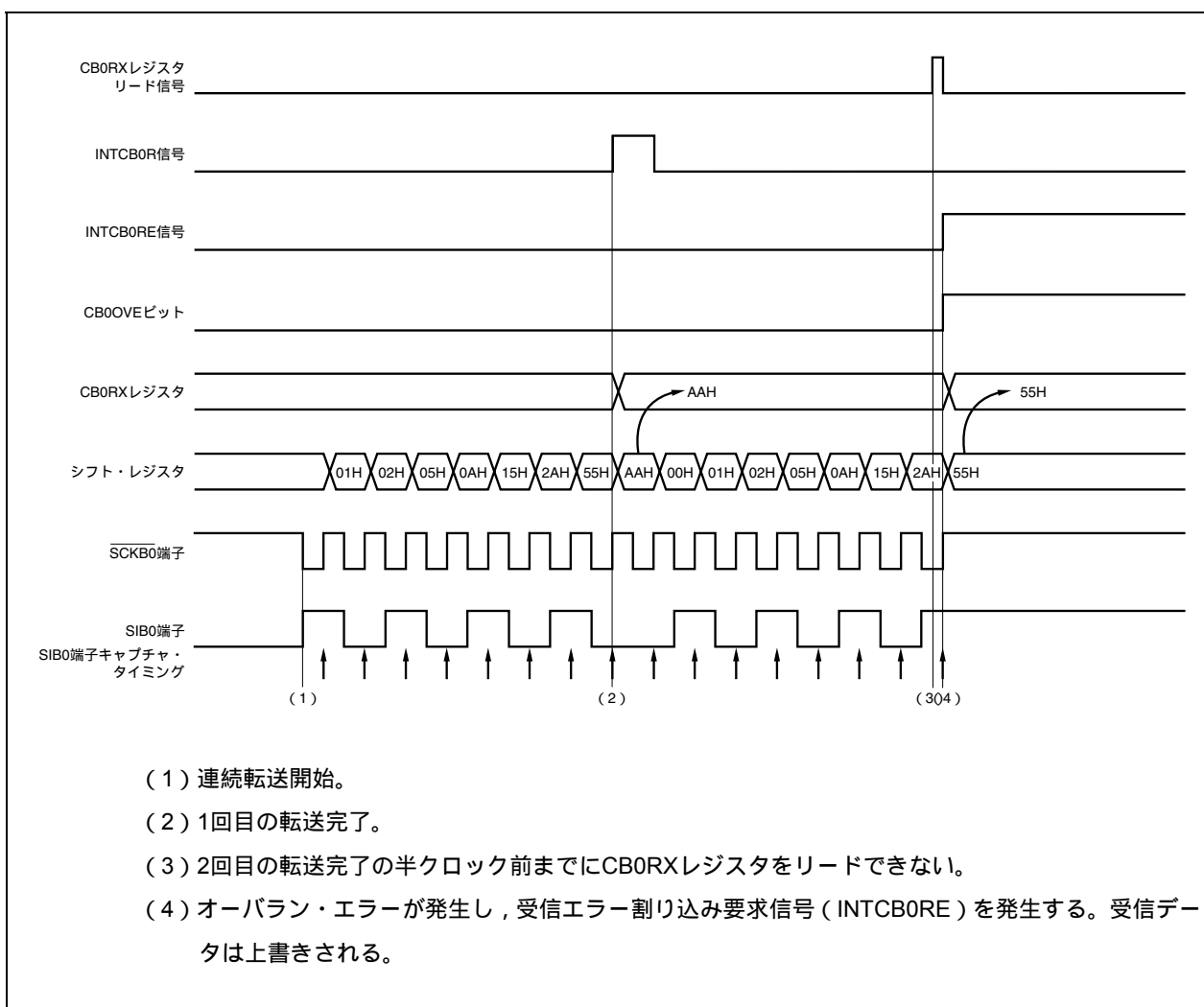
13.4.13 受信エラー

連続転送モード時に受信許可 (CB0CTL0.CB0RXEビット = 1) で転送を行う場合、受信終了割り込み要求信号 (INTCB0R) 発生後、CB0RXレジスタをリードする前に次の受信動作が完了すると受信エラー割り込み要求信号 (INTCB0RE) が発生し、オーバラン・エラー・フラグ (CB0STR.CB0OVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CB0RXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCB0RXレジスタをリードしないと、次の受信完了で再びINTCB0RE信号が発生します。

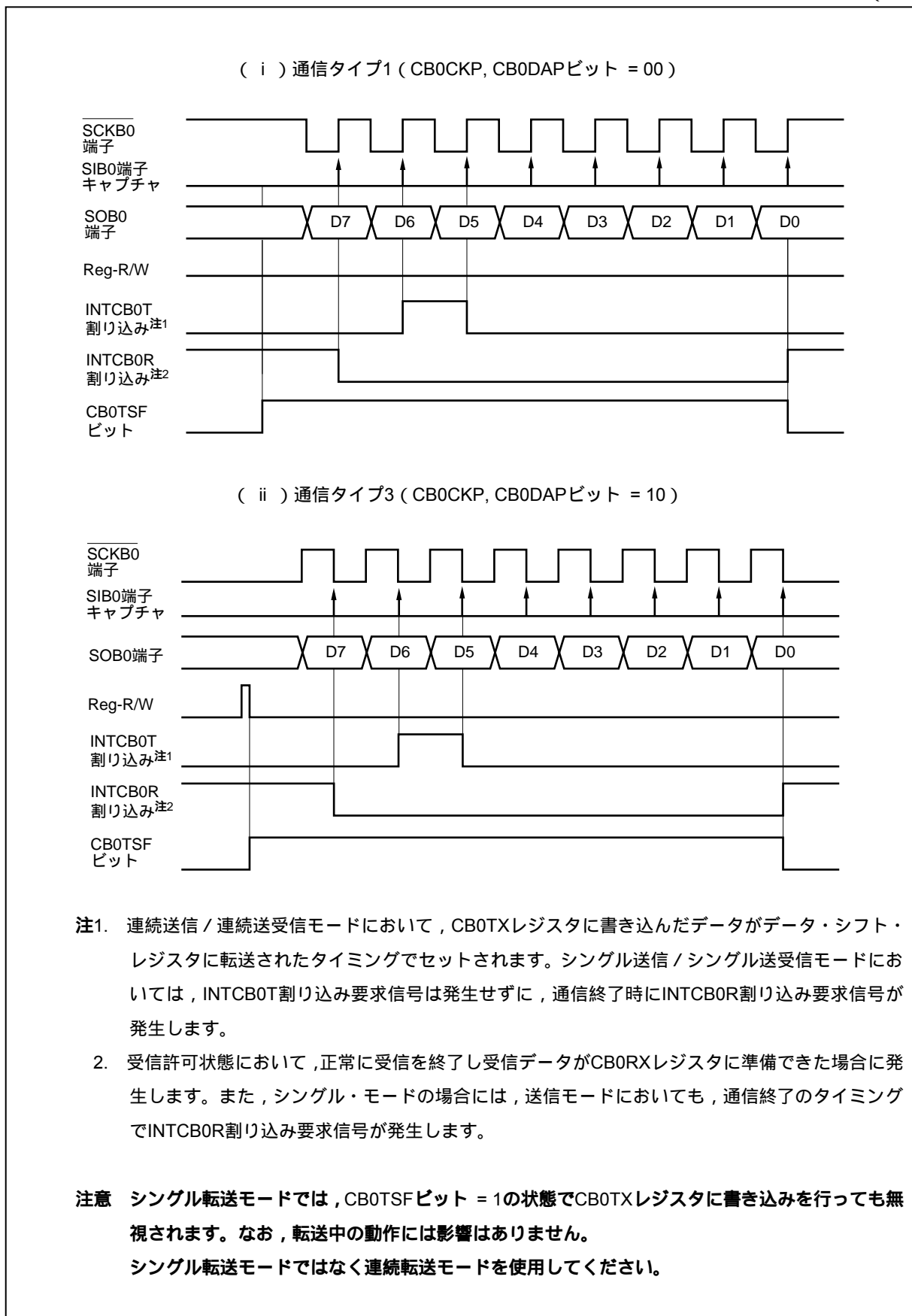
オーバラン・エラーを回避するためには、INTCB0R信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までにCB0RXレジスタのリードを完了してください。

(1) 動作タイミング

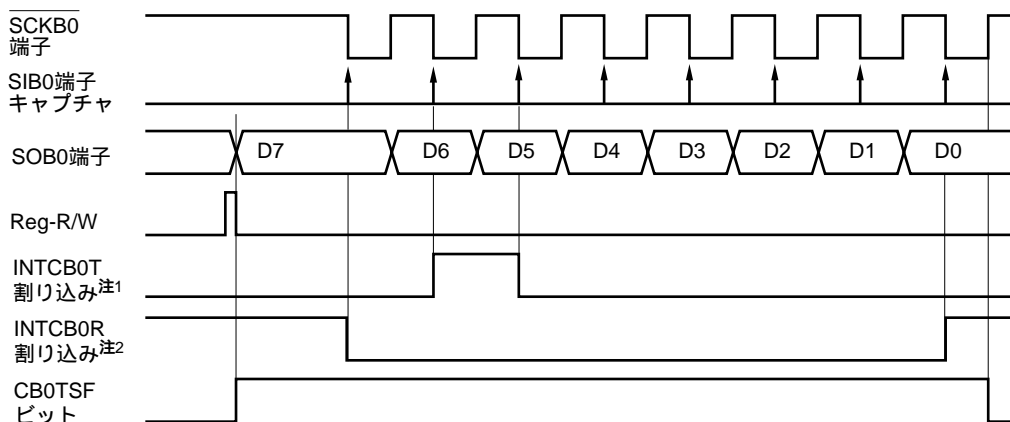


13.4.14 クロック・タイミング

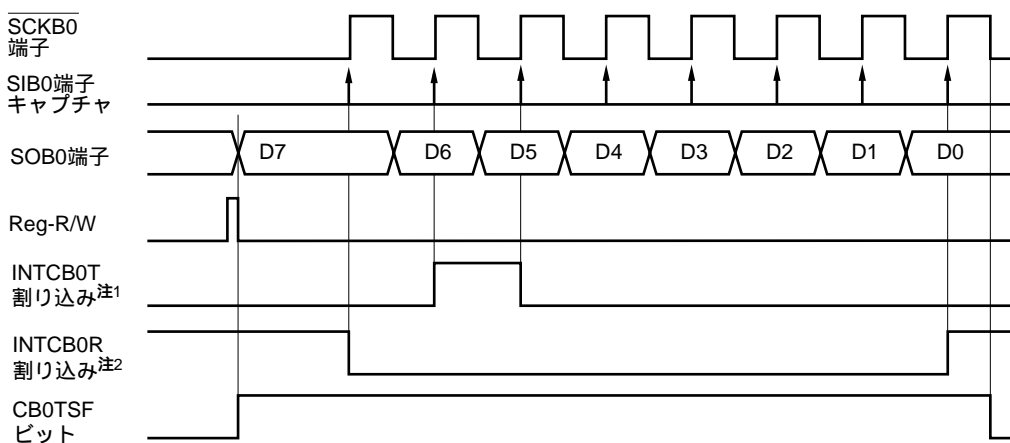
(1/2)



(iii) 通信タイプ2 (CB0CKP, CB0DAPビット = 01)



(iv) 通信タイプ4 (CB0CKP, CB0DAPビット = 11)



- 注1. 連続送信 / 連続送受信モードにおいて、CB0TXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信 / シングル送受信モードにおいては、INTCB0T割り込み要求信号は発生せずに、通信終了時にINTCB0R割り込み要求信号が発生します。
2. 受信許可状態において、正常に受信を終了し受信データがCB0RXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信終了のタイミングでINTCB0R割り込み要求信号が発生します。

注意 シングル転送モードでは、CB0TSFビット = 1の状態でもCB0TXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。
 シングル転送モードではなく連続転送モードを使用してください。

13.5 出力端子

(1) $\overline{\text{SCKB0}}$ 端子

CSIB0動作禁止 (CB0CTL0.CB0PWRビット = 0) のとき, $\overline{\text{SCKB0}}$ 端子出力状態は次のようになります。

CB0CKP	CB0CKS2	CB0CKS1	CB0CKS0	$\overline{\text{SCKB0}}$ 端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 CB0CTL1.CB0CKP, CB0CKS2-CB0CKS0ビットのいずれかを書き換えると $\overline{\text{SCKB0}}$ 端子の出力が変化します。

(2) SOB0端子

CSIB0動作禁止 (CB0PWRビット = 0) のとき, SOB0端子出力状態は次のようになります。

CB0TXE	CB0DAP	CB0DIR	SOB0端子出力
0	x	x	ロウ・レベル固定
1	0	x	SOB0ラッチの値 (ロウ・レベル)
	1	0	CB0TXの値 (MSB)
		1	CB0TXの値 (LSB)

備考1. CB0CTL0.CB0TXE, CB0DIRビット, CB0CTL1.CB0DAPビットのいずれかを書き換えるとSOB0端子の出力が変化します。

2. x: 任意

第14章 割り込み / 例外処理機能

V850ES/IK1は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計43要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/IK1では、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（不正命令コードのフェッチ）による例外処理の起動（例外トラップ）が可能です。

14.1 特 徴

割り込み

- ・ ノンマスカブル割り込み：1要因（外部：なし，内部：1要因）
- ・ マスカブル割り込み
 - 外部：7要因，内部：35要因
- ・ 8レベルのプログラマブル優先順位制御（マスカブル割り込み）
- ・ 優先順位に従った割り込み多重処理制御
- ・ 個々のマスカブル割り込み要求に対するマスク指定
- ・ 外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

例外

- ・ ソフトウェア例外：32要因
- ・ 例外トラップ：2要因（不正命令コード例外，デバッグ・トラップ）

これらの割り込み要因を次に示します。

表14 - 1 割り込み要因一覧 (1/3)

種類	分類	デフォルト・ プライオリティ	名称	発生要因	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰 PC	割り込み 制御 レジスタ
リセット	割り込み	-	RESET	RESET端子入力	端子	0000H	00000000H	不定	-
				WDTオーバーフロー (WDTRES)	WDT				
				低電圧検出 (LVIRES)	POC/LVI				
ノンマスク カブル	割り込み	-	INTWDT	WDTオーバーフロー	WDT	0010H	00000010H	nextPC	-
ソフトウェア 例外	例外	-	TRAP0n ^{注1}	TRAP命令	-	004nH	00000040H	nextPC	-
エア例外	例外	-	TRAP1n ^{注1}	TRAP命令	-	005nH	00000050H	nextPC	-
例外トラ ップ	例外	-	ILGOP/ DBG0	不正命令コード/ DBTRAP命令	-	0060H	00000060H	nextPC	-
マスクカブル	割り込み	0	INTP0	INTP0端子有効エッジ入力	端子	0080H	00000080H	nextPC	PIC0
	割り込み	1	INTP1	INTP1端子有効エッジ入力	端子	0090H	00000090H	nextPC	PIC1
	割り込み	2	INTP2	INTP2端子有効エッジ入力	端子	00A0H	000000A0H	nextPC	PIC2
	割り込み	3	INTP3	INTP3端子有効エッジ入力	端子	00B0H	000000B0H	nextPC	PIC3
	割り込み	4	INTP4	INTP4端子有効エッジ入力	端子	00C0H	000000C0H	nextPC	PIC4
	割り込み	5	INTP5	INTP5端子有効エッジ入力	端子	00D0H	000000D0H	nextPC	PIC5
	割り込み	6	INTP6	INTP6端子有効エッジ入力	端子	00E0H	000000E0H	nextPC	PIC6
	割り込み	7	INTLVI	低電圧検出	POC/LVI	00F0H	000000F0H	nextPC	LVIIC
	割り込み	-	-	未使用	-	-	00000100H	-	-
	割り込み	-	-	未使用	-	-	00000110H	-	-
	割り込み	8	INTTQ0OV	TMQ0オーバーフロー	TMQ0	0120H	00000120H	nextPC	TQ0OVIC
	割り込み	9	INTTQ0CC0	TQ0CCR0キャプチャ入力/ コンペアー致	TMQ0	0130H	00000130H	nextPC	TQ0CCIC0
	割り込み	10	INTTQ0CC1	TQ0CCR1キャプチャ入力/ コンペアー致	TMQ0	0140H	00000140H	nextPC	TQ0CCIC1
	割り込み	11	INTTQ0CC2	TQ0CCR2キャプチャ入力/ コンペアー致	TMQ0	0150H	00000150H	nextPC	TQ0CCIC2
	割り込み	12	INTTQ0CC3	TQ0CCR3キャプチャ入力/ コンペアー致	TMQ0	0160H	00000160H	nextPC	TQ0CCIC3
	割り込み	13	INTTQ1OV	TMQ1オーバーフロー ^{注2}	TMQ1	0170H	00000170H	nextPC	TQ1OVIC
	割り込み	14	INTTQ1CC0	TQ1CCR0コンペアー致 ^{注3}	TMQ1	0180H	00000180H	nextPC	TQ1CCIC0
	割り込み	15	INTTQ1CC1	TQ1CCR1コンペアー致	TMQ1	0190H	00000190H	nextPC	TQ1CCIC1
	割り込み	16	INTTQ1CC2	TQ1CCR2コンペアー致	TMQ1	01A0H	000001A0H	nextPC	TQ1CCIC2
	割り込み	17	INTTQ1CC3	TQ1CCR3コンペアー致	TMQ1	01B0H	000001B0H	nextPC	TQ1CCIC3
割り込み	-	-	未使用	-	-	000001C0H	-	-	
割り込み	-	-	未使用	-	-	000001D0H	-	-	

注1. nは0-FHの値

- TMQ1を6相PWM出力モードで使用する場合は、TMQ1オプション (TMQOP1) からのINTTQ1OV (谷割り込み) として機能します。
- TMQ1を6相PWM出力モードで使用する場合は、TMQ1オプション (TMQOP1) からのINTTQ1CC0 (山割り込み) として機能します。

表14 - 1 割り込み要因一覧 (2/3)

種類	分類	デフォルト・ プライオリティ	名称	発生要因	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰 PC	割り込み 制御 レジスタ
マスクابل	割り込み	-	-	未使用	-	-	000001E0H	-	-
	割り込み	-	-	未使用	-	-	000001F0H	-	-
	割り込み	-	-	未使用	-	-	00000200H	-	-
	割り込み	-	-	未使用	-	-	00000210H	-	-
	割り込み	-	-	未使用	-	-	00000220H	-	-
	割り込み	-	-	未使用	-	-	00000230H	-	-
	割り込み	18	INTTP0OV	TMP0オーバフロー	TMP0	0240H	00000240H	nextPC	TP0OVIC
	割り込み	19	INTTP0CC0	TP0CCR0キャプチャ入力/ コンペア一致	TMP0	0250H	00000250H	nextPC	TP0CCIC0
	割り込み	20	INTTP0CC1	TP0CCR1キャプチャ入力/ コンペア一致	TMP0	0260H	00000260H	nextPC	TP0CCIC1
	割り込み	21	INTTP1OV	TMP1オーバフロー	TMP1	0270H	00000270H	nextPC	TP1OVIC
	割り込み	22	INTTP1CC0	TP1CCR0コンペア一致	TMP1	0280H	00000280H	nextPC	TP1CCIC0
	割り込み	23	INTTP1CC1	TP1CCR1コンペア一致	TMP1	0290H	00000290H	nextPC	TP1CCIC1
	割り込み	24	INTTP2OV	TMP2オーバフロー	TMP2	02A0H	000002A0H	nextPC	TP2OVIC
	割り込み	25	INTTP2CC0	TP2CCR0キャプチャ入力/ コンペア一致	TMP2	02B0H	000002B0H	nextPC	TP2CCIC0
	割り込み	26	INTTP2CC1	TP2CCR1キャプチャ入力/ コンペア一致	TMP2	02C0H	000002C0H	nextPC	TP2CCIC1
	割り込み	27	INTTP3OV	TMP3オーバフロー	TMP3	02D0H	000002D0H	nextPC	TP3OVIC
	割り込み	28	INTTP3CC0	TP3CCR0コンペア一致	TMP3	02E0H	000002E0H	nextPC	TP3CCIC0
	割り込み	29	INTTP3CC1	TP3CCR1コンペア一致	TMP3	02F0H	000002F0H	nextPC	TP3CCIC1
	割り込み	-	-	未使用	-	-	00000300H	-	-
	割り込み	-	-	未使用	-	-	00000310H	-	-
	割り込み	-	-	未使用	-	-	00000320H	-	-
	割り込み	-	-	未使用	-	-	00000330H	-	-
	割り込み	30	INTUA0RE	UARTA0受信エラー	UARTA0	0340H	00000340H	nextPC	UA0REIC
	割り込み	31	INTUA0R	UARTA0受信終了	UARTA0	0350H	00000350H	nextPC	UA0RIC
	割り込み	32	INTUA0T	UARTA0送信許可	UARTA0	0360H	00000360H	nextPC	UA0TIC
	割り込み	33	INTCB0RE	CSIB0受信エラー	CSIB0	0370H	00000370H	nextPC	CB0REIC
	割り込み	34	INTCB0R	CSIB0送受信終了	CSIB0	0380H	00000380H	nextPC	CB0RIC
	割り込み	35	INTCB0T	CSIB0連続送信許可	CSIB0	0390H	00000390H	nextPC	CB0TIC
	割り込み	36	INTUA1RE	UARTA1受信エラー	UARTA1	03A0H	000003A0H	nextPC	UA1REIC
	割り込み	37	INTUA1R	UARTA1受信終了	UARTA1	03B0H	000003B0H	nextPC	UA1RIC
	割り込み	38	INTUA1T	UARTA1送信許可	UARTA1	03C0H	000003C0H	nextPC	UA1TIC

表14 - 1 割り込み要因一覧 (3/3)

種類	分類	デフォルト・ プライオリティ	名称	発生要因	発生 ユニット	例外 コード	ハンドラ・ アドレス	復帰 PC	割り込み 制御 レジスタ
マスカブル	割り込み	-	-	未使用	-	-	000003D0H	-	-
	割り込み	-	-	未使用	-	-	000003E0H	-	-
	割り込み	-	-	未使用	-	-	000003F0H	-	-
	割り込み	39	INTAD0	ADC0変換終了	ADC0	0400H	00000400H	nextPC	AD0IC
	割り込み	40	INTAD1	ADC1変換終了	ADC1	0410H	00000410H	nextPC	AD1IC
	割り込み	-	-	未使用	-	-	00000420H	-	-
	割り込み	41	INTTM0EQ0	TM0CMP0コンペア一致	TMM0	0430H	00000430H	nextPC	TM0EQIC0

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。0が最高優先順位です。

復帰PC：割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル/マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます。この場合、中断された命令のアドレスが復帰PCとなります）。

- ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- ・除算命令（DIV, DIVH, DIVU, DIVHU）
- ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

nextPC：割り込み / 例外処理後に処理を開始するPC値です。

2. 不正命令コード例外時の不正命令の実行アドレスは、（復帰PC - 4）で求められます。

14.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも無条件に受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

V850ES/IK1のノンマスカブル割り込み要求信号は、ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT）です。

INTWDTは、WDTM.WDM1, WDM0ビットを“01”と設定することで機能します。

14.2.1 動作

ノンマスクブル割り込み要求信号 (INTWDT) が発生した場合, CPUは次の処理を行い, ハンドラ・ルーチンに制御を移します。

復帰PCをFEPCに退避します。

現在のPSWをFEPSWに退避します。

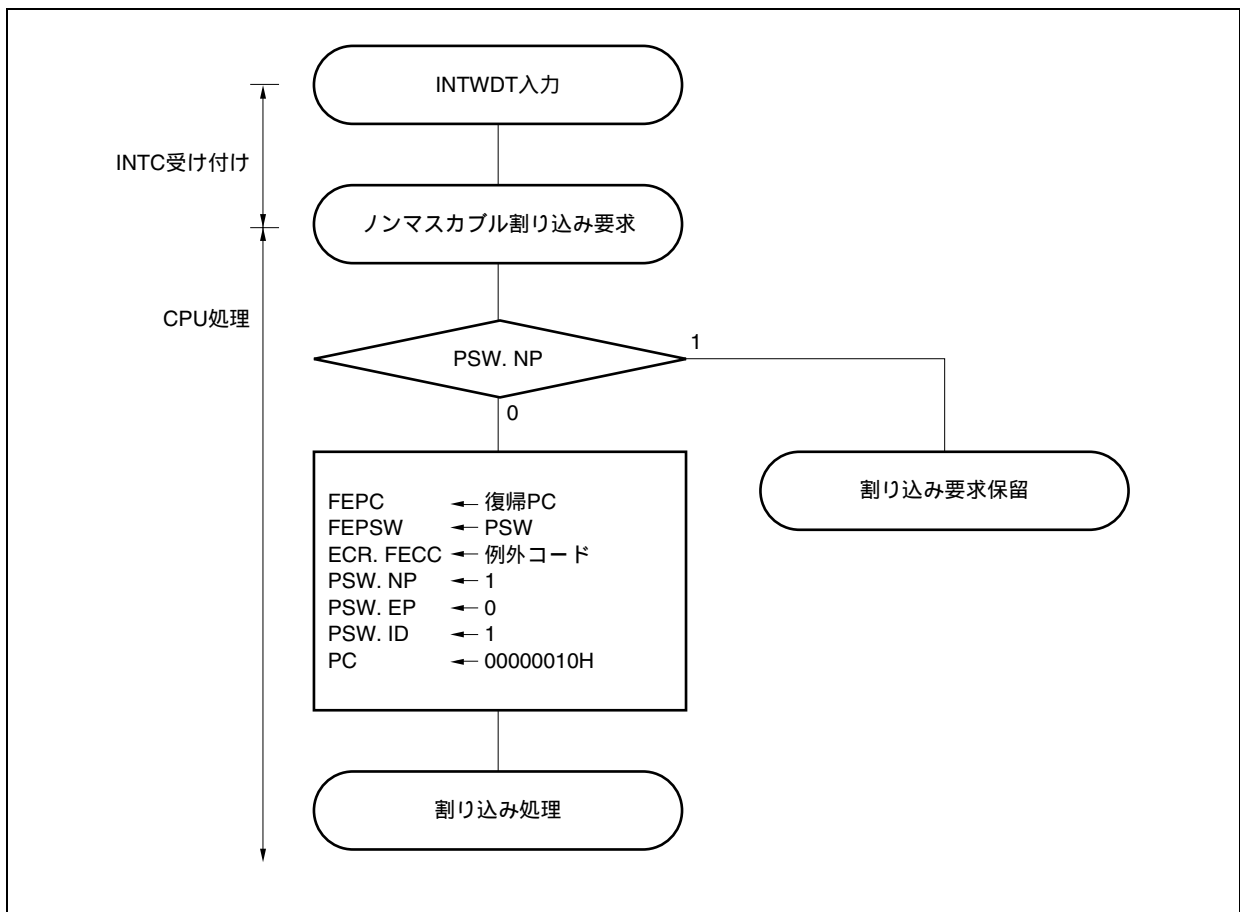
ECRの上位ハーフワード (FECC) に例外コード (0010H) を書き込みます。

PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。

PCにノンマスクブル割り込みに対するハンドラ・アドレス (00000010H) をセットし, 制御を移します。

ノンマスクブル割り込みの処理形態を次に示します。

図14 - 1 ノンマスクブル割り込みの処理形態



14.2.2 復 帰

ノンマスクابل割り込み処理からの復帰は、RETI命令により行います。

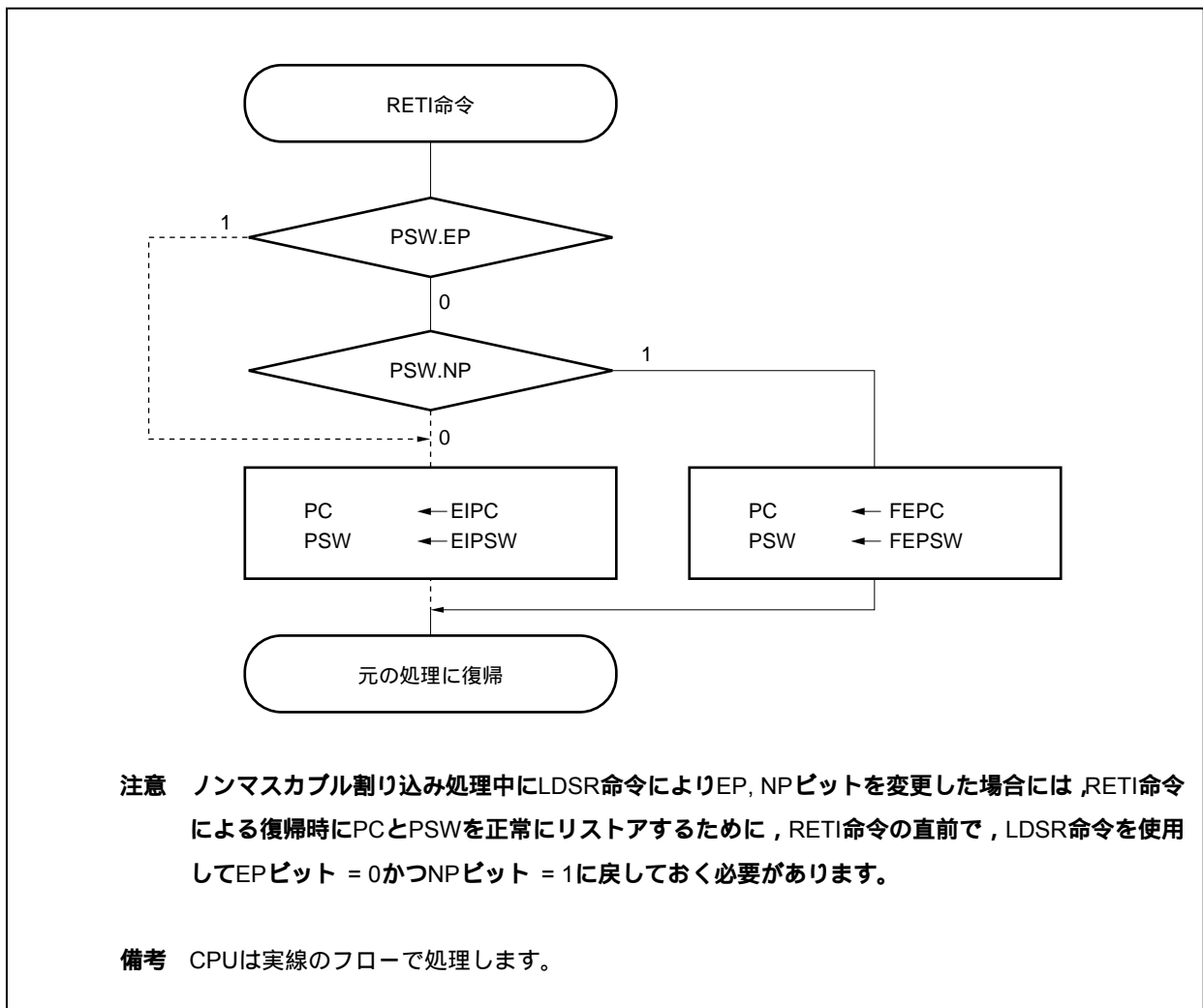
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図14 - 2 RETI命令の処理形態



14.2.3 ノンマスカブル割り込みステータス・フラグ (NP)

NPフラグは、ノンマスカブル割り込み (INTWDT) の処理中であることを示すステータス・フラグです。NPフラグは、PSWに割り付けられています。

INTWDT割り込み要求信号を受け付けるとセットされ、すべての割り込みと例外をマスクして多重割り込みを禁止します。

リセットにより00000020Hになります。

リセット時 : 00000020H

	31		8	7	6	5	4	3	2	1	0			
PSW	0						NP	EP	ID	SAT	CY	OV	S	Z

NP	ノンマスカブル割り込み (INTWDT) 処理状態
0	ノンマスカブル割り込み処理中でない
1	ノンマスカブル割り込み処理中

14.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号で、42種類の割り込み要因があります。

複数のマスカブル割り込み要求信号が同時に発生した場合は、デフォルト優先順位により、その優先順位が決定します。また、デフォルト優先順位とは別に、割り込み制御レジスタによって、8レベルの割り込み優先順位を設定できます（プログラマブル優先順位制御）。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

ただし、多重割り込みを許可するときは、EI命令を実行する前にEIPC、EIPSWをメモリ、またはレジスタに退避し、RETI命令を実行する前にDIを行って、EIPC、EIPSWを元の値に復帰してください。

14.3.1 動作

マスカブル割り込みが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

ECRの下位ハーフワード（EICC）に例外コードを書き込みます。

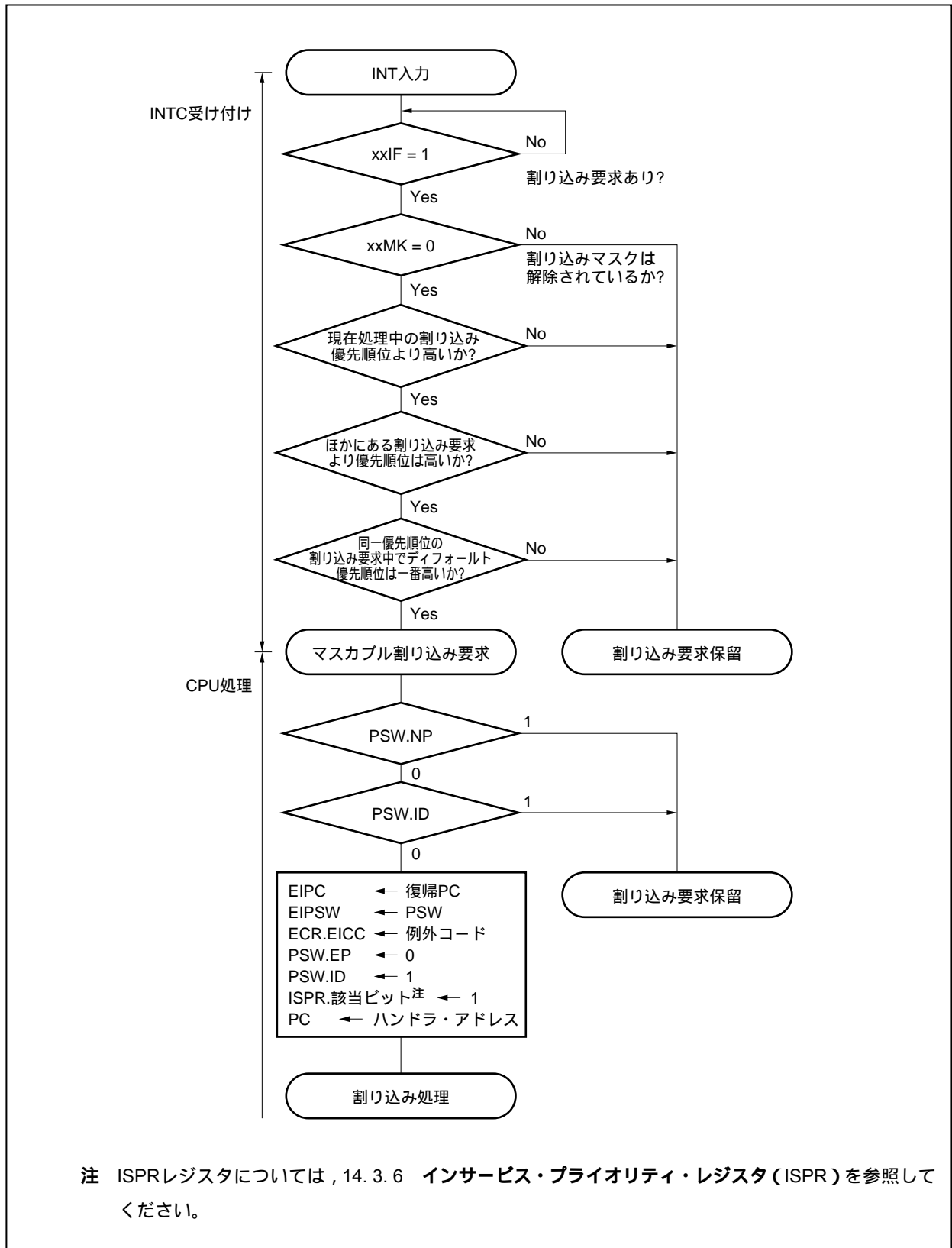
PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。

PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ（INTC）でマスクされているマスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。この場合、マスクを解除するか、またはRETI命令、LDSR命令を使用してNPビット = 0かつIDビット = 0にすると、保留していたマスカブル割り込み要求信号の優先順位に従い、新たなマスカブル割り込み処理が開始されます。

マスカブル割り込みの処理形態を次に示します。

図14 - 3 マスカブル割り込みの処理形態



14.3.2 復 帰

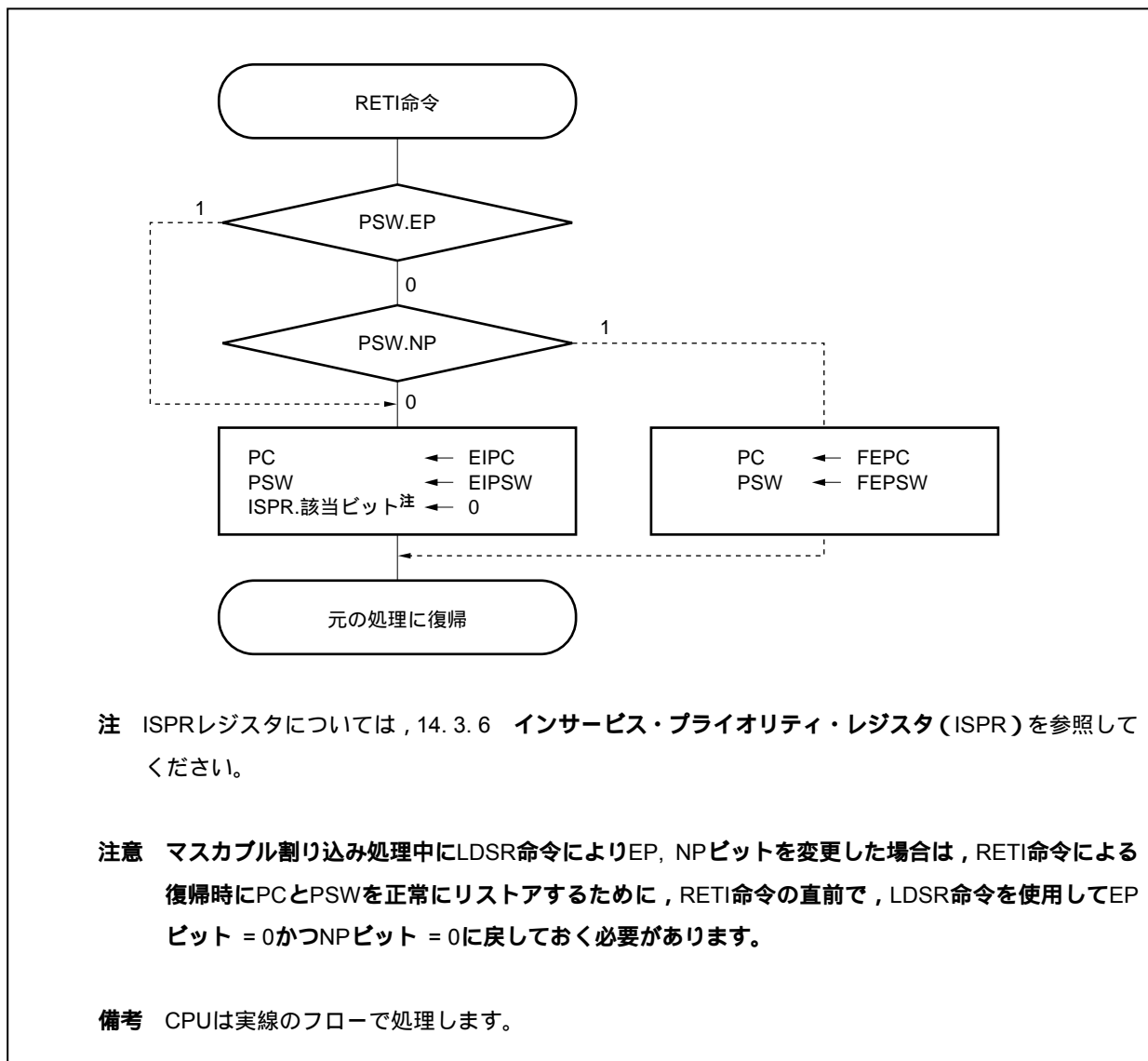
マスクابل割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットが0かつPSW.NPビットが0なので、EIPC、EIPSWから復帰PC、PSWを取り出します。
取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図14 - 4 RETI命令の処理形態



14.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、デフォルト優先順位による制御と、割り込み制御レジスタ (xxICn) の割り込み優先順位指定ビット (xxPRn) によるプログラマブル優先順位制御があります。デフォルト優先順位制御は、xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求信号にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表14 - 1 割り込み要因一覧参照)。プログラマブル優先順位制御は、各割り込み要求信号を優先順位指定フラグの設定によって8レベルに分けます。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

備考 xx : 各周辺ユニット識別名称 (表14 - 2参照)

n : 周辺ユニット番号 (表14 - 2参照)

図14 - 5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

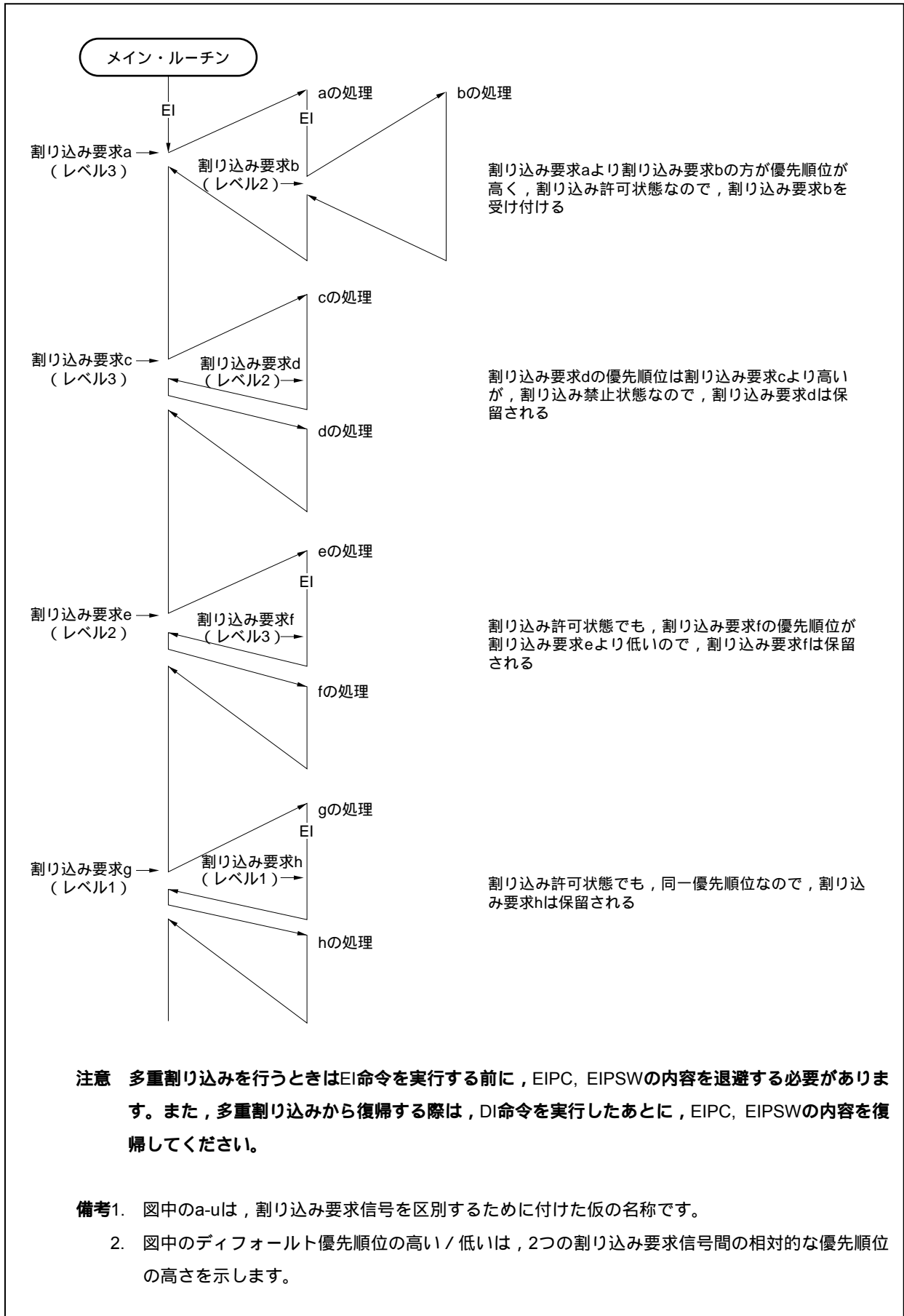


図14 - 5 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

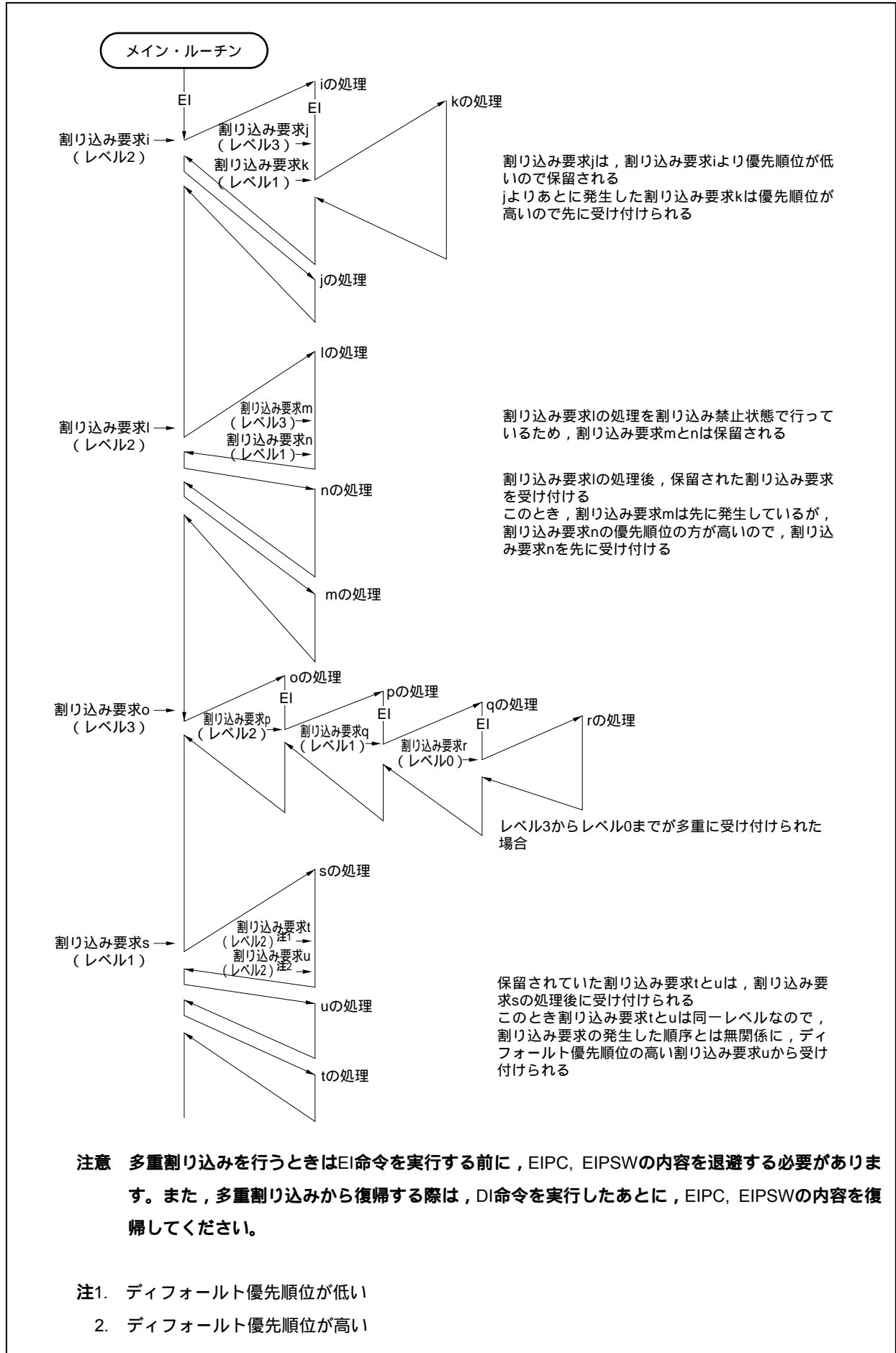
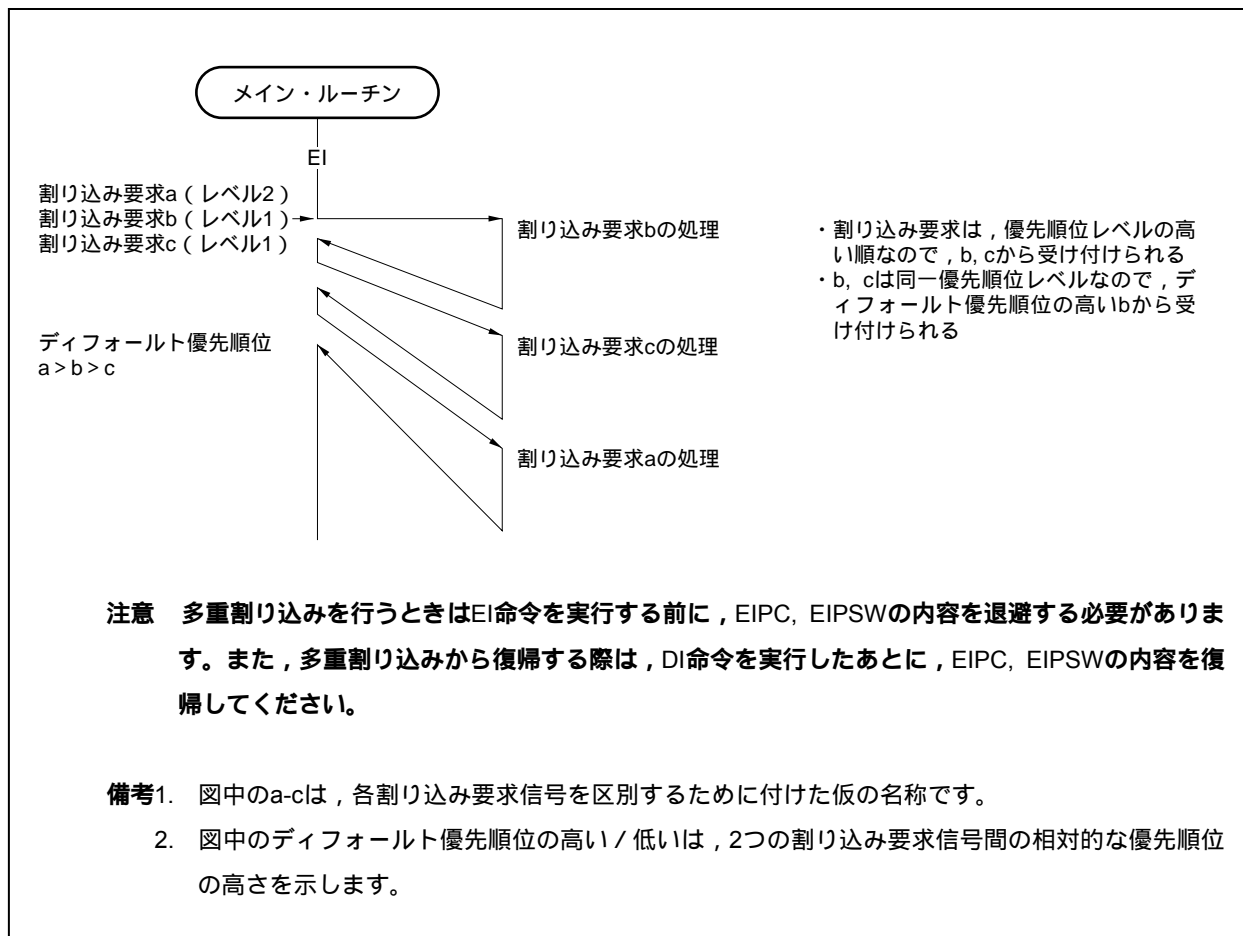


図14 - 6 同時発生した割り込み要求信号の処理例



14.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号(マスカブル割り込み)ごとに割り当てられ,各割り込みに対する制御条件を設定します。

8/1ビット単位でリード/ライト可能です。

リセットにより47Hになります。

- 注意1. xxICn.xxIFnビットを読み出す場合は,割り込み禁止(DI)状態で行ってください。割り込み許可(EI)状態でxxIFnビットを読み出すと,割り込みの受け付けとビットの読み出しのタイミングが競合した場合に,正常な値が読み出せないことがあります。
2. 割り込み要求が発生する状態(割り込み禁止(DI)状態を含む)でxxICn.xxMKnビットを操作する場合は,必ずビット操作命令で操作するか,またはIMRm.xxMKnビットで操作してください(m = 0-3)。

リセット時 : 47H R/W アドレス : FFFFF110H-FFFFFF186H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx : 各周辺ユニット識別名称 (表14 - 2参照)

n : 周辺ユニット番号 (表14 - 2参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表14 - 2 割り込み制御レジスタのアドレスとビット (1/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFF110H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF112H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF114H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF116H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF118H	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11AH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11CH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF11EH	LVVIC	LVVIF	LVVIMK	0	0	0	LVVPR2	LVVPR1	LVVPR0
FFFFF120H	未使用	-	-	-	-	-	-	-	-
FFFFF122H	未使用	-	-	-	-	-	-	-	-
FFFFF124H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF126H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF128H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF12AH	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12CH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12EH	TQ1OVIC	TQ1OVIF	TQ1OVMK	0	0	0	TQ1OVPR2	TQ1OVPR1	TQ1OVPR0
FFFFF130H	TQ1CCIC0	TQ1CCIF0	TQ1CCMK0	0	0	0	TQ1CCPR02	TQ1CCPR01	TQ1CCPR00
FFFFF132H	TQ1CCIC1	TQ1CCIF1	TQ1CCMK1	0	0	0	TQ1CCPR12	TQ1CCPR11	TQ1CCPR10
FFFFF134H	TQ1CCIC2	TQ1CCIF2	TQ1CCMK2	0	0	0	TQ1CCPR22	TQ1CCPR21	TQ1CCPR20
FFFFF136H	TQ1CCIC3	TQ1CCIF3	TQ1CCMK3	0	0	0	TQ1CCPR32	TQ1CCPR31	TQ1CCPR30
FFFFF138H	未使用	-	-	-	-	-	-	-	-
FFFFF13AH	未使用	-	-	-	-	-	-	-	-
FFFFF13CH	未使用	-	-	-	-	-	-	-	-
FFFFF13EH	未使用	-	-	-	-	-	-	-	-
FFFFF140H	未使用	-	-	-	-	-	-	-	-
FFFFF142H	未使用	-	-	-	-	-	-	-	-
FFFFF144H	未使用	-	-	-	-	-	-	-	-
FFFFF146H	未使用	-	-	-	-	-	-	-	-
FFFFF148H	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF14AH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF14CH	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF14EH	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF150H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF152H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF154H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF156H	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF158H	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF15AH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF15CH	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF15EH	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF160H	未使用	-	-	-	-	-	-	-	-

表14 - 2 割り込み制御レジスタのアドレスとビット (2/2)

アドレス	レジスタ	ビット							
				5	4	3	2	1	0
FFFFFF162H	未使用	-	-	-	-	-	-	-	-
FFFFFF164H	未使用	-	-	-	-	-	-	-	-
FFFFFF166H	未使用	-	-	-	-	-	-	-	-
FFFFFF168H	UA0REIC	UA0REIF	UA0REMK	0	0	0	UA0REPR2	UA0REPR1	UA0REPR0
FFFFFF16AH	UA0RIC	UA0RIF	UA0RMK	0	0	0	UA0RPR2	UA0RPR1	UA0RPR0
FFFFFF16CH	UA0TIC	UA0TIF	UA0TMK	0	0	0	UA0TPR2	UA0TPR1	UA0TPR0
FFFFFF16EH	CB0REIC	CB0REIF	CB0REMK	0	0	0	CB0REPR2	CB0REPR1	CB0REPR0
FFFFFF170H	CB0RIC	CB0RIF	CB0RMK	0	0	0	CB0RPR2	CB0RPR1	CB0RPR0
FFFFFF172H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFFF174H	UA1REIC	UA1REIF	UA1REMK	0	0	0	UA1REPR2	UA1REPR1	UA1REPR0
FFFFFF176H	UA1RIC	UA1RIF	UA1RMK	0	0	0	UA1RPR2	UA1RPR1	UA1RPR0
FFFFFF178H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFFF17AH	未使用	-	-	-	-	-	-	-	-
FFFFFF17CH	未使用	-	-	-	-	-	-	-	-
FFFFFF17EH	未使用	-	-	-	-	-	-	-	-
FFFFFF180H	AD0IC	AD0IF	AD0MK	0	0	0	AD0PR2	AD0PR1	AD0PR0
FFFFFF182H	AD1IC	AD1IF	AD1MK	0	0	0	AD1PR2	AD1PR1	AD1PR0
FFFFFF184H	未使用	-	-	-	-	-	-	-	-
FFFFFF186H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00

14.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスクブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3.xxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード/ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/16ビット単位でリード/ライト可能です。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^注)	1	1	1	1	TM0EQMK0	1	AD1MK	AD0MK
	7	6	5	4	3	2	1	0
(IMR3L)	1	1	1	UA1TMK	UA1RMK	UA1REMK	CB0TMK	CB0RMK

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^注)	CB0REMK	UA0TMK	UA0RMK	UA0REMK	1	1	1	1
	7	6	5	4	3	2	1	0
(IMR2L)	TP3CCMK1	TP3CCMK0	TP3OVMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1	TP1CCMK0

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	TP1OVMK	TP0CCMK1	TP0CCMK0	TP0OVMK	1	1	1	1
	7	6	5	4	3	2	1	0
(IMR1L)	1	1	1	1	TQ1CCMK3	TQ1CCMK2	TQ1CCMK1	TQ1CCMK0

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	TQ1OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	1	1
	7	6	5	4	3	2	1	0
(IMR0L)	LVIMK	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR3レジスタのビット15-8を8/1ビット単位でリード/ライトする場合は、IMR0H-IMR3Hレジスタのビット7-0として指定してください。

注意 IMR0レジスタのビット9, 8 (IMR0Hレジスタのビット1, 0), IMR1レジスタのビット11-4 (IMR1Hレジスタのビット3-0, IMR1Lレジスタのビット7-4), IMR2レジスタのビット11-8 (IMR2Hレジスタのビット3-0), IMR3レジスタのビット15-12, 10, 7-5 (IMR3Hレジスタのビット7-4, 2, IMR3Lレジスタのビット7-5) には1を設定してください。変更した場合の動作は保証できません。

備考 xx: 各周辺ユニット識別名称 (表14 - 2参照)
n: 周辺ユニット番号 (表14 - 2参照)

14.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット(1)され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット(1)されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア(0)されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア(0)されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可(EI)状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット(1)されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止(DI)状態でリードしてください。

リセット時 : 00H R アドレス : FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n : 0-7 (優先順位のレベル)

14.4 外部割り込み要求入力端子 (INTP0-INTP6)

14.4.1 ノイズ除去

(1) INTP0-INTP5端子のノイズ除去

INTP0-INTP5端子はアナログ・ディレイによるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(2) INTP6端子のノイズ除去

INTP6端子はデジタル・ノイズ除去回路を内蔵しています。

デジタル・サンプリングを行うサンプリング・クロックをfxx/2, fxx/4, fxx/8, fxx/16の中から選択できます。

なお、IDLE, STOPモードでは、システム・クロックが停止するため、INTP6端子はIDLE, STOPモードの解除には使用できません。

(a) 外部割り込みノイズ除去制御レジスタ (INTPNRC)

INTPNRCレジスタは、INTP6端子のデジタル・ノイズ除去に使用するサンプリング・クロックを選択します。同じレベルが5回連続で検出されなかった場合、その信号はノイズとして除去されます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

- 注意1. 入力パルスが4~5クロックの場合、有効エッジとして検出するか、ノイズとして除去するかは不定です。確実に有効エッジとして検出するためには、5クロック以上の同一レベルの入力が必要です。
2. サンプリング・クロックに同期してノイズが発生している場合には、入力端子にフィルタを付加してノイズを除去してください。
3. 通常入力ポートとして使用する場合はノイズ除去を行いません。

リセット時 : 00H R/W アドレス : FFFFF310H								
	7	6	5	4	3	2	1	0
INTPNRC	0	0	0	0	0	0	INTPNRC1	INTPNRC0
	INTPNRC1	INTPNRC0	サンプリング・クロックの選択					
	0	0	fxx/16					
	0	1	fxx/8					
	1	0	fxx/4					
	1	1	fxx/2					

14.4.2 エッジ検出

INTP0-INTP6端子は、有効エッジをプログラマブルに選択できます。

選択できる有効エッジについて次に示します。

- ・ 立ち上がりエッジ
- ・ 立ち下がりエッジ
- ・ 立ち上がり / 立ち下がり両エッジ

エッジ検出されたINTP0-INTP6信号は、割り込み要因になります。

有効エッジは、INTR0, INTF0レジスタで指定します。

(1) 外部割り込み立ち上がり、立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

INTP0-INTP6端子のトリガ・モードを指定する8ビットのレジスタです。有効エッジは、立ち上がりエッジ、立ち下がりエッジ、立ち上がり / 立ち下がり両エッジのどれかを端子ごとに独立に指定できます。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

注意 外部割り込み機能（兼用機能）からポート・モードに切り替える場合には、エッジが検出される可能性があるため、必ずINTF0n, INTR0nビット = 00に設定してからポート・モードに設定してください。

リセット時：00H R/W アドレス：FFFFFFC20H

	7	⑥	⑤	④	③	②	①	⑦
INTR0	0	INTR06	INTR05	INTR04	INTR03	INTR02	INTR01	INTR00

リセット時：00H R/W アドレス：FFFFFFC00H

	7	⑥	⑤	④	③	②	①	⑦
INTF0	0	INTF06	INTF05	INTF04	INTF03	INTF02	INTF01	INTF00

備考 有効エッジの指定については表14 - 3を参照してください。

表14 - 3 有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 0-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	立ち上がり / 立ち下がり両エッジ

注意 INTP0-INTP6端子として使用しない場合、必ずINTF0n, INTR0nビット = 00に設定してください。

14.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

14.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをEIPCに退避します。

現在のPSWをEIPSWに退避します。

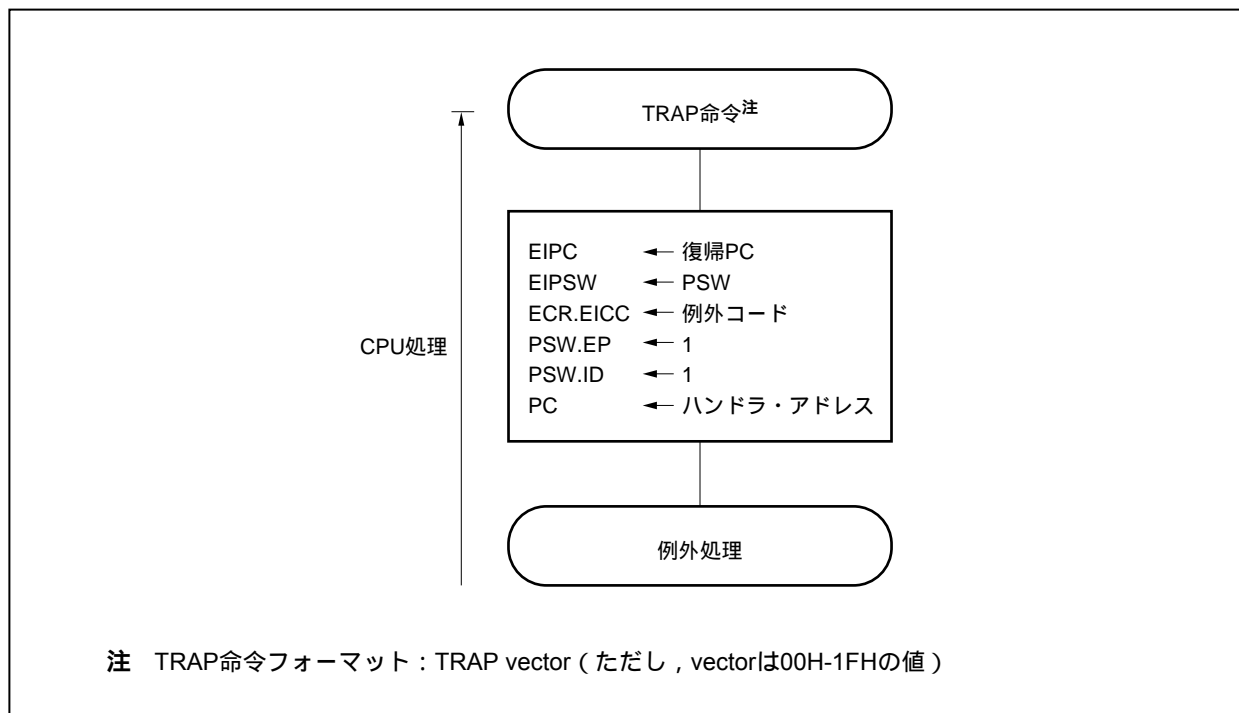
ECR (割り込み要因) の下位16ビット (EICC) に例外コードを書き込みます。

PSW.EP, IDビットをセット (1) します。

PCにソフトウェア例外に対するハンドラ・アドレス (00000040Hまたは00000050H) をセットし、制御を移します。

ソフトウェア例外の処理形態を次に示します。

図14-7 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド (vector) によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

14.5.2 復 帰

ソフトウェア例外処理からの復帰は、RETI命令により行います。

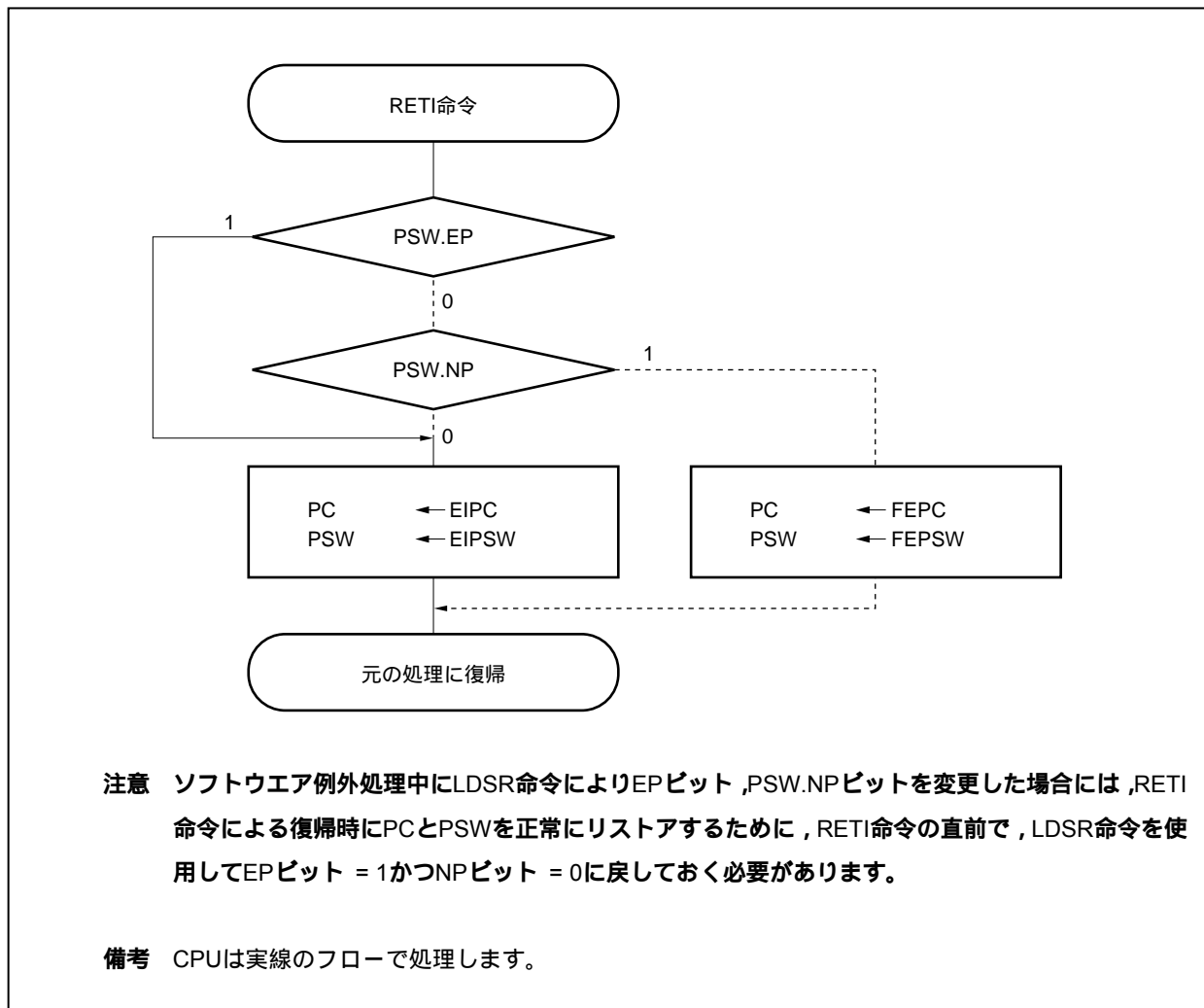
RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。

取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図14 - 8 RETI命令の処理形態



14.5.3 例外ステータス・フラグ (EP)

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。EPフラグは、PSWに割り付けられています。

リセットにより00000020Hになります。

リセット時：00000020H

	31		8	7	6	5	4	3	2	1	0
PSW	0			NP	EP	ID	SAT	CY	OV	S	Z

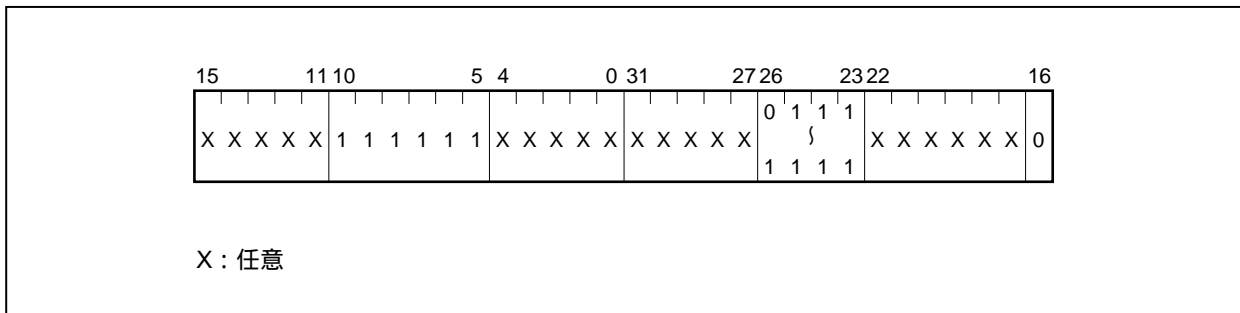
EP	例外処理状態
0	例外処理中でない
1	例外処理中

14.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/IK1では、不正命令コード・トラップ (ILGOP : Illegal Opcode Trap) が例外トラップに当たります。

14.6.1 不正命令コード

不正命令は、命令のオペコード(ビット10-5)が11111Bで、サブオペコード(ビット26-23)が0111B-1111B、サブオペコード(ビット16)が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用しないことを推奨します。

(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

復帰PCをDBPCに退避します。

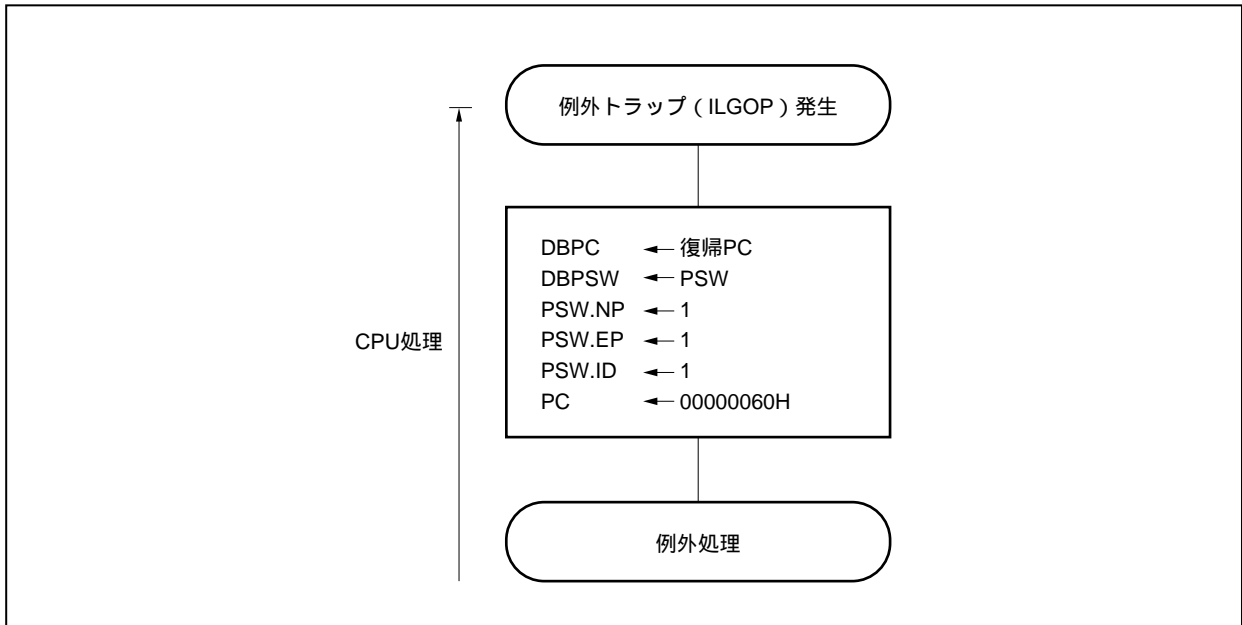
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCに例外トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図14 - 9 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

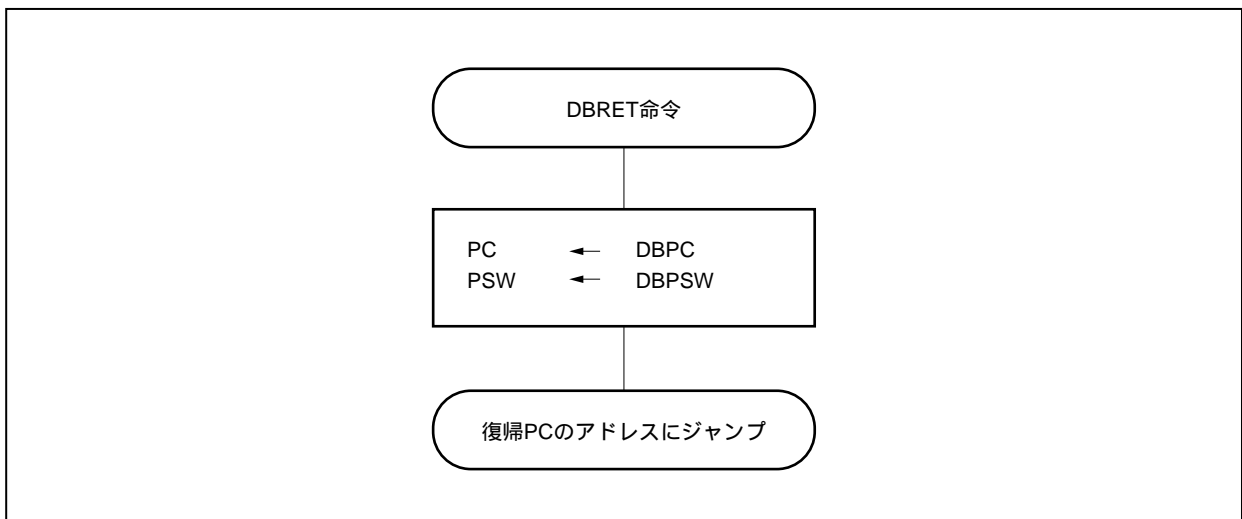
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセスできます。

例外トラップからの復帰の処理形態を次に示します。

図14 - 10 例外トラップからの復帰の処理形態



14.6.2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

(1) 動作

復帰PCをDBPCに退避します。

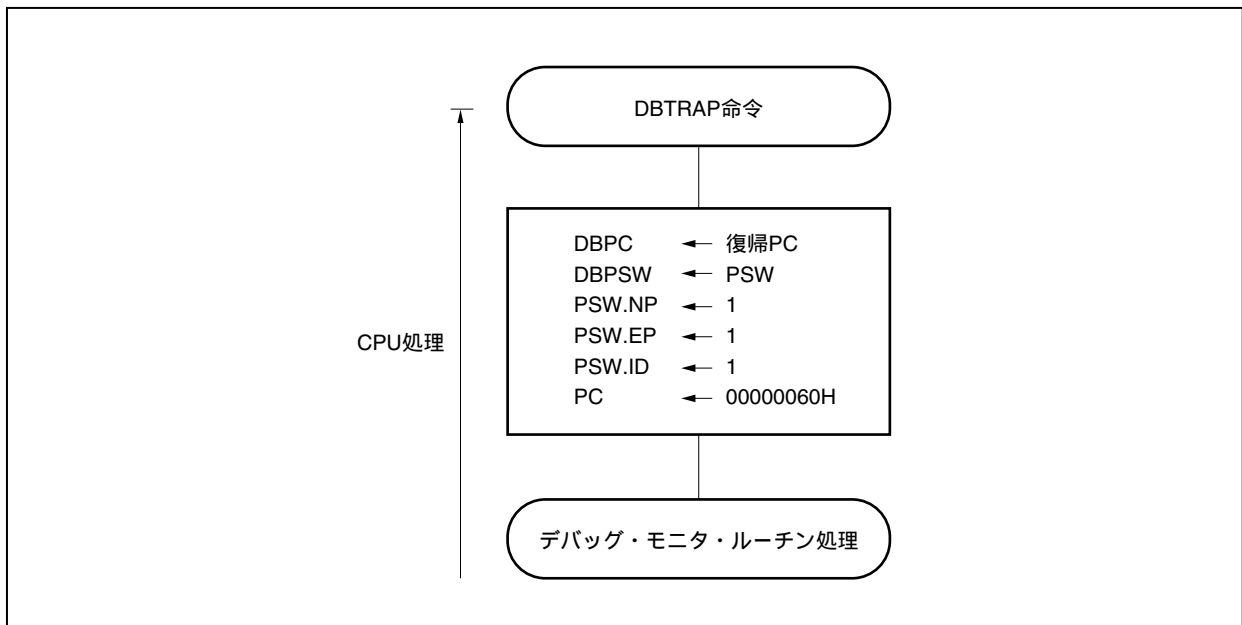
現在のPSWをDBPSWに退避します。

PSW.NP, EP, IDビットをセット(1)します。

PCにデバッグ・トラップに対するハンドラ・アドレス(00000060H)をセットし、制御を移します。

デバッグ・トラップの処理形態を次に示します。

図14 - 11 デバッグ・トラップの処理形態



(2) 復 帰

デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

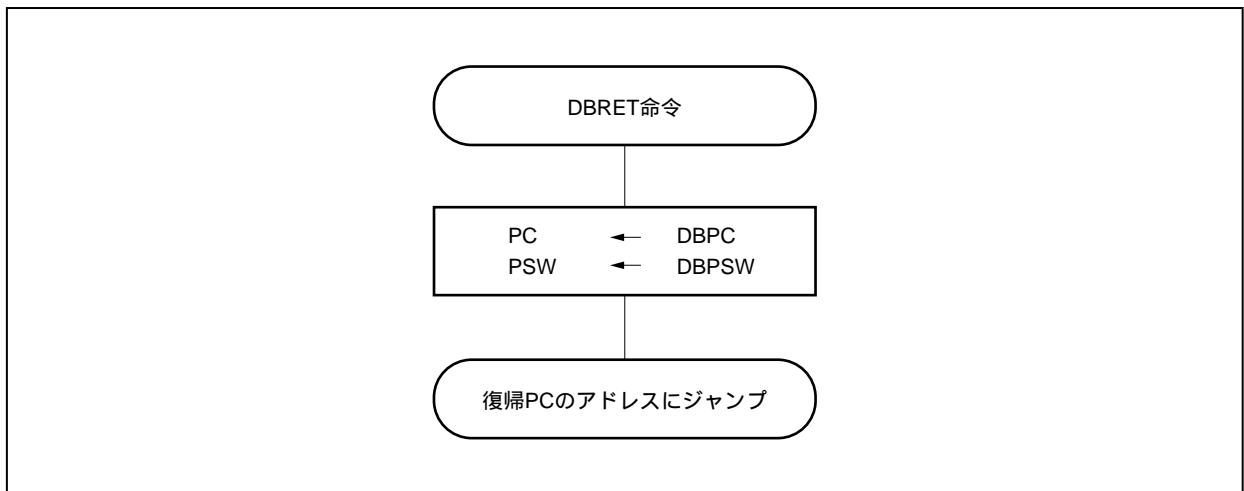
DBPC, DBPSWから復帰PC, PSWを取り出します。

取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセスできます。

デバッグ・トラップからの復帰の処理形態を次に示します。

図14 - 12 デバッグ・トラップからの復帰の処理形態



14.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号を受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスカブル割り込みの多重処理制御は、割り込み許可状態（PSW.IDビット = 0）のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態（PSW.IDビット = 0）にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求信号を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
・ EI命令（割り込み受け付け許可）
...
...
...
...
・ DI命令（割り込み受け付け禁止）
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

```

マスカブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスクブル割り込みまたは例外のサービス・プログラム

...
...
・ EIPCをメモリまたはレジスタへ退避
・ EIPSWをメモリまたはレジスタへ退避
...
・ TRAP命令
...
・ 退避していた値をEIPSWに復帰
・ 退避していた値をEIPCに復帰
・ RETI命令

TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスクブル割り込み要求信号ごとに0-7までの8レベル(0が最優先)が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスクブル割り込み要求信号ごとに用意されている割り込み要求制御レジスタ($xxICn$)の $xxPRn0$ - $xxPRn2$ ビットで行います。システム・リセット時には、 $xxMKn$ ビットにより割り込み要求信号はマスクされ、 $xxPRn0$ - $xxPRn2$ ビットにより優先順位はレベル7に設定されます。

マスクブル割り込みの優先順位は次のようになります。

(高) レベル0 > レベル1 > レベル2 > レベル3 > レベル4 > レベル5 > レベル6 > レベル7 (低)

多重処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスクブル割り込み処理ルーチン内 (RETI命令を実行するまでの期間) では、マスクブル割り込みを受け付けず、保留します。

備考 xx : 各周辺ユニット識別名称 (表14 - 2参照)

n : 周辺ユニット番号 (表14 - 2参照)

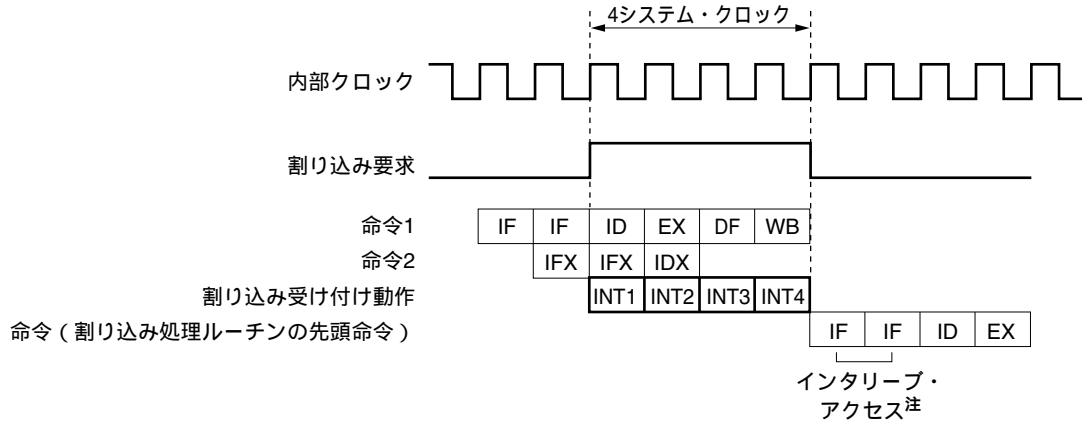
14.8 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

- ・ IDLE/STOPモード時
- ・ 割り込み要求非サンプル命令（14.9 CPUが割り込みを受け付けない期間参照）が連続しているとき
- ・ 内蔵周辺I/Oレジスタへのアクセス時

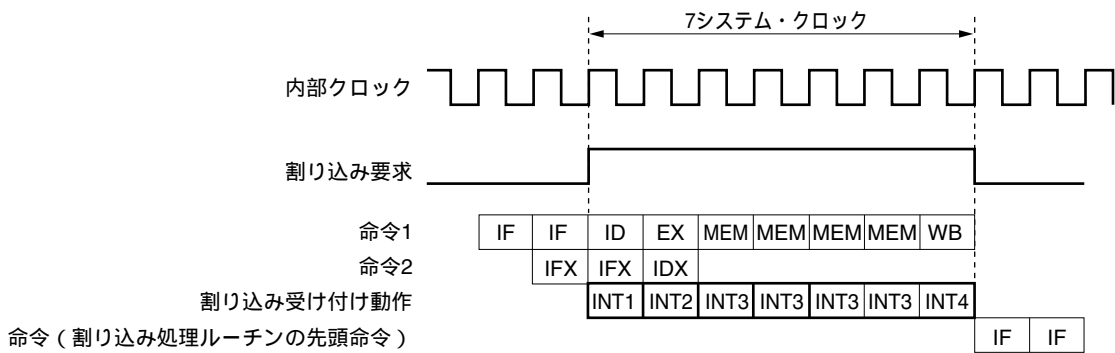
図14 - 13 割り込み要求信号受け付け時のパイプライン動作例 (概略)

(1) 最小割り込み応答時間



注 インタリーブ・アクセスについてはV850ES ユーザーズ・マニュアル アーキテクチャ編 (U15943J) の8. 1. 2 2クロック分岐を参照してください。

(2) 最大割り込み応答時間



備考 INT1-INT4：割り込み受け付け処理
 IFX：無効となる命令フェッチ
 IDX：無効となる命令デコード

	割り込み応答時間 (内部システム・クロック)			条 件
	内部 割り込み	外部割り込み		
		INTP0-INTP5	INTP6	
最小	4	4+	4+注+	次の場合は除きます。 ・ IDLE/STOPモード時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 内蔵周辺I/Oレジスタへのアクセス時
最大	7	7+	7+注+	

注 詳細は14. 4. 1 (2) (a) 外部割り込みノイズ除去制御レジスタ (INTPNRC) を参照してください。

14.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- ・EI命令
- ・DI命令
- ・LDSR reg2, 0x5命令（対PSW）
- ・コマンド・レジスタ（PRCMD），コマンド・レジスタ2（PRCMD2）に対するストア命令
- ・次のレジスタに対するストア命令およびtst1命令を除くビット操作命令
 - ・割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
 - ・パワー・セーブ・コントロール・レジスタ（PSC）
 - ・内部メモリ・サイズ切り替えレジスタ（IMS）

備考 xx：各周辺ユニット識別名称（表14 - 2参照）

n：周辺ユニット番号（表14 - 2参照）

14.10 注意事項

ポートを外部割り込み入力（INTPn）に設定した場合には、兼用しているタイマ/カウンタおよびA/Dコンバータ関連の割り込みは発生しませんので注意してください（n = 0-7）。

第15章 スタンバイ機能

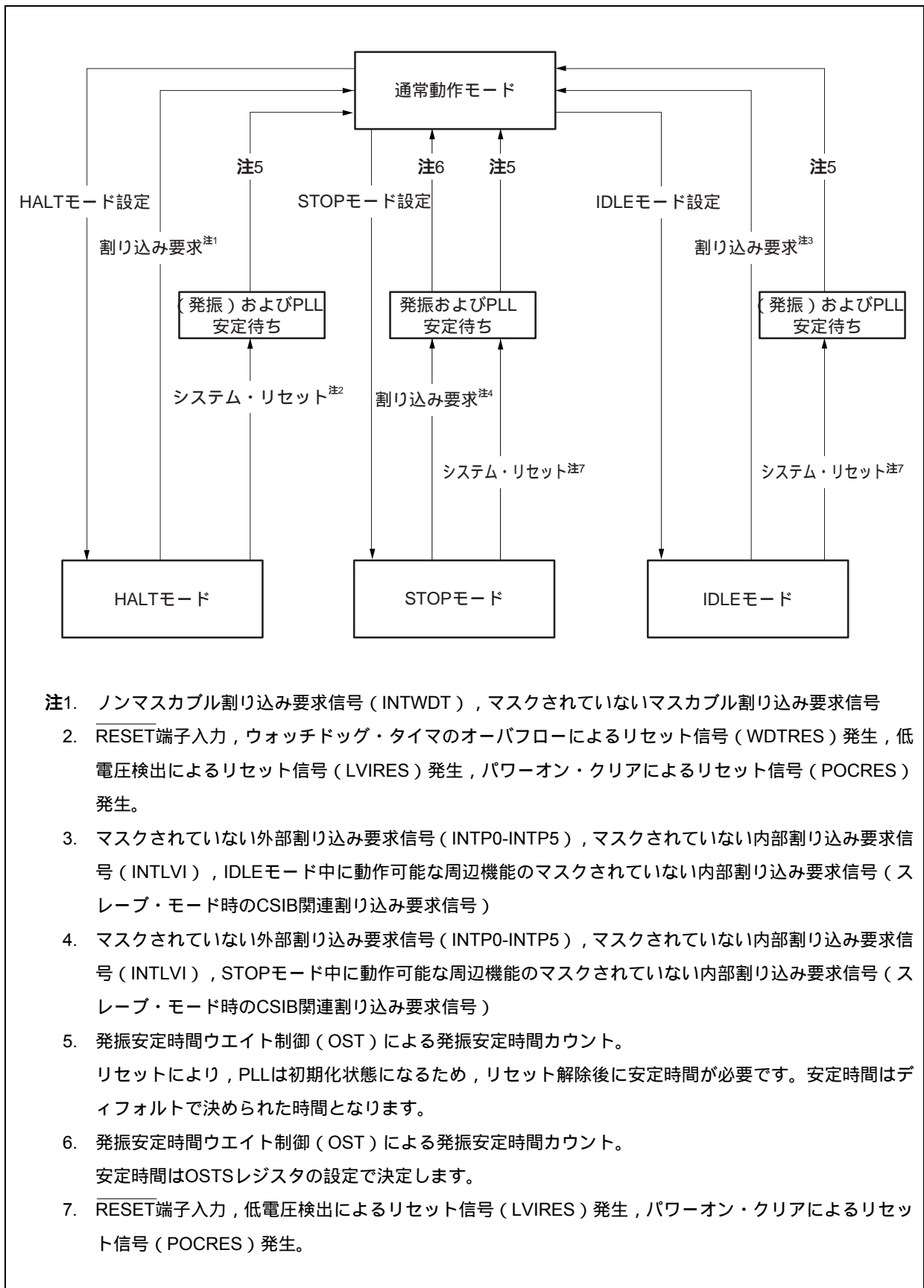
15.1 概要

各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。スタンバイ機能には、次に示すものがあります。

表15 - 1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックのみを停止させるモード
IDLEモード	低電圧検出回路 (LVI) とパワーオン・クリア回路 (POC) と発振回路とPLLとスレープ・モード時のCSIB以外の内部回路の動作をすべて停止させるモード
STOPモード	低電圧検出回路 (LVI) とパワーオン・クリア回路 (POC) とスレープ・モード時のCSIB以外の内部回路の動作をすべて停止させるモード

図15 - 1 状態遷移図



- 注1. ノンマスカブル割り込み要求信号 (INTWDT), マスクされていないマスカブル割り込み要求信号
- 2. $\overline{\text{RESET}}$ 端子入力, ウォッチドッグ・タイマのオーバフローによるリセット信号 (WDTRES) 発生, 低電圧検出によるリセット信号 (LVIREs) 発生, パワーオン・クリアによるリセット信号 (POCREs) 発生。
- 3. マスクされていない外部割り込み要求信号 (INTP0-INTP5), マスクされていない内部割り込み要求信号 (INTLVI), IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号 (スレープ・モード時のCSIB関連割り込み要求信号)
- 4. マスクされていない外部割り込み要求信号 (INTP0-INTP5), マスクされていない内部割り込み要求信号 (INTLVI), STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号 (スレープ・モード時のCSIB関連割り込み要求信号)
- 5. 発振安定時間ウェイト制御 (OST) による発振安定時間カウント。
リセットにより, PLLは初期化状態になるため, リセット解除後に安定時間が必要です。安定時間はデフォルトで決められた時間となります。
- 6. 発振安定時間ウェイト制御 (OST) による発振安定時間カウント。
安定時間はOSTSレジスタの設定で決定します。
- 7. $\overline{\text{RESET}}$ 端子入力, 低電圧検出によるリセット信号 (LVIREs) 発生, パワーオン・クリアによるリセット信号 (POCREs) 発生。

15.2 制御レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STBビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです(3.4.7 特定レジスタ参照)。特定のシーケンスの組み合わせによってだけ書き込みができます。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	7	6	5	④	3	2	①	0
PSC	0	0	0	INTM	0	0	STB	0

INTM	マスカブル割り込み要求 (INT _{xx} ^注) によるスタンバイ・モードの制御
0	INT _{xx} 要求によるスタンバイ・モード解除許可
1	INT _{xx} 要求によるスタンバイ・モード解除禁止

STB	動作モードの設定
0	通常モード
1	スタンバイ・モード

注 詳細は、表14-1 割り込み要因一覧を参照してください。

注意1. ビット0, 2, 3, 5-7には、必ず0を設定してください。

2. STBビット = 1によりスタンバイ・モードに移行する場合には、必ずPCCレジスタ = 03Hに設定してからSTBビットの指定をしてください。これ以外の設定では、スタンバイ・モードの移行や解除ができない場合があります。

なお、スタンバイ・モード解除後は、PCCレジスタを所望の値に変更してください。

3. IDLEモードおよびSTOPモードに設定する場合には、まずPCCレジスタ = 03H, PSMR.PSM0ビットの順序で設定してから、STBビット = 1にしてください。

4. PSCレジスタへ書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

ソフトウェア・スタンバイ・モード時の動作を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF820H

	7	6	5	4	3	2	1	①
PSMR	0	0	0	0	0	0	0	PSM0

PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

注意1. ビット1-7には、必ず0を設定してください。

2. PSM0ビットは、PSC.STBビット = 1のときのみ有効です。

15.3 HALTモード

15.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに移行します。

HALTモードに移行すると、CPUへのクロック供給のみが停止しますが、クロック・ジェネレータおよびPLLは動作を継続するので、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容はHALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表15-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減できます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態で、HALT命令を実行した場合は、HALTモードに移行しますが、保留されている割り込み要求信号によりHALTモードはすぐに解除されます。

15.3.2 HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求信号（INTWDT）、マスクされていないマスカブル割り込み要求信号、リセット信号（RESET端子入力、ウォッチドッグ・タイマのオーパフローによるリセット信号（WDTRES）発生、低電圧検出によるリセット信号（LVIRES）発生、パワーオン・クリアによるリセット信号（POCRES）発生）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号（INTWDT）、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスカブル割り込み要求信号によるHALTモードの解除はできません。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとHALTモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、HALT命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号（ノンマスカブル割り込み要求信号を含む）が発生すると、HALTモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表15 - 2 割り込み要求信号によるHALTモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
ノンマスクابل割り込み要求信号	ハンドラ・アドレスに分岐	
マスクされていない マスクابل割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) RESET端子入力, WDTRES信号発生, LVIREs信号発生, POCRES信号発生による解除
通常のリセット動作と同じです。

表15 - 3 HALTモード時の動作状態

HALTモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f _{xx})		供給
CPU		動作停止
割り込みコントローラ		動作可能
ROMコレクション		動作停止
タイマ	TMM0	動作可能
	TMP0-TMP3	動作可能
	TMQ0, TMQ1	動作可能
ウォッチドッグ・タイマ		動作可能
シリアル・インタフェース	CSIB0	動作可能
	UARTA0, UARTA1	動作可能
A/Dコンバータ0, 1		動作可能
低電圧検出回路 (LVI)		LVI使用時, 動作可能
パワーオン・クリア回路 (POC)		動作可能
ポート機能		HALTモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてHALTモード設定前の状態を保持

15.4 IDLEモード

15.4.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをクリア(0)し、PSC.STBビットをセット(1)することにより、IDLEモードに移行します。

IDLEモードに移行すると、クロック・ジェネレータおよびPLLは動作を継続しますが、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUや、そのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表15-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、クロック・ジェネレータおよびPLLは停止しないので、IDLEモード解除時、HALTモードと同様に、発振安定時間を確保することなく通常動作モードに復帰できます。

注意 IDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

15.4.2 IDLEモードの解除

IDLEモードは、マスクされていない外部割り込み要求信号(INTP0-INTP5端子入力)、マスクされていない内部割り込み要求信号(INTLVI)、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時のCSIB関連割り込み要求信号)、リセット信号($\overline{\text{RESET}}$ 端子入力、低電圧検出によるリセット信号(LVIRE)発生、パワーオン・クリアによるリセット信号(POCRES)発生)により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

(1) マスクされていないマスクブル割り込み要求信号

マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクブル割り込み要求信号によるIDLEモードの解除はできません。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとIDLEモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、IDLE命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号が発生すると、IDLEモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表15 - 4 割り込み要求信号によるIDLEモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
マスクされていない マスカブル割り込み要求信号	ハンドラ・アドレスに分岐, または次の命令を実行	次の命令を実行

(2) RESET端子入力, LVIREN信号発生, POCRES信号発生による解除

通常のリセット動作と同じです。

表15 - 5 IDLEモード時の動作状態

IDLEモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作
システム・クロック (f _{xx})		供給停止
CPU		動作停止
割り込みコントローラ		動作停止
ROMコレクション		動作停止
タイマ	TMM0	動作停止
	TMP0-TMP3	動作停止
	TMQ0, TMQ1	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0	カウント・クロックにSCKB0入力クロック選択時 (スレープ・モード時), 動作可能
	UARTA0, UARTA1	動作停止
A/Dコンバータ0, 1		動作停止
低電圧検出回路 (LVI)		LVI使用時, 動作可能
パワーオン・クリア回路 (POC)		動作可能
ポート機能		IDLEモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてIDLEモード設定前の状態を保持

15.5 STOPモード

15.5.1 設定および動作状態

通常動作モード時、PSMR.PSM0ビットをセット(1)し、PSC.STBビットをセット(1)することにより、STOPモードに移行します。

STOPモードに移行するとクロック・ジェネレータは動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやそのほかの内蔵周辺機能は動作を停止します。ただし、外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表15-7にSTOPモード時の動作状態を示します。

STOPモードは、クロック・ジェネレータの動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現することもできます。

注意 STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

15.5.2 STOPモードの解除

STOPモードは、マスクされていない外部割り込み要求信号(INTP0-INTP5端子入力)、マスクされていない内部割り込み要求信号(INTLVI)、STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号(スレープ・モード時のCSIB関連割り込み要求信号)、リセット信号(RESET端子入力、低電圧検出によるリセット信号(LVIREs)発生、パワーオン・クリアによるリセット信号(POCREs)発生)により解除されます。

STOPモードの解除により、発振安定時間を確保したあと、通常動作モードに移行します。

(1) マスクされていないマスクブル割り込み要求信号

マスクされていないマスクブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

注意 PSC.INTMビット = 1設定時には、マスクされていないマスクブル割り込み要求信号によるSTOPモードの解除はできません。

- (a) 現在処理中の割り込み要求信号よりも優先順位の低い割り込み要求信号、または同一優先順位の割り込み要求信号が発生するとSTOPモードの解除のみ行い、この割り込み要求信号は受け付けません。割り込み要求信号そのものは保持します。したがって、STOP命令の次の命令から実行を開始します。
- (b) 現在処理中の割り込み要求信号よりも優先順位が高い割り込み要求信号が発生すると、STOPモードの解除とともにこの割り込み要求信号を受け付けます。したがって、ハンドラ・アドレスに分岐します。

表15 - 6 割り込み要求信号によるSTOPモード解除後の動作

解除ソース	割り込み許可 (EI) 状態	割り込み禁止 (DI) 状態
マスクされていない マスカブル割り込み要求信号	発振安定時間確保後, ハンドラ・アドレスに分岐, または次の命令を実行	発振安定時間確保後, 次の命令を実行

(2) RESET端子入力, LVIRES信号発生, POCRES信号発生による解除

通常のリセット動作と同じです。

表15 - 7 STOPモード時の動作状態

STOPモードの設定		動作状態
項目		
クロック・ジェネレータ, PLL		動作停止
システム・クロック (f _{xx})		供給停止
CPU		動作停止
割り込みコントローラ		動作停止
ROMコレクション		動作停止
タイマ	TMM0	動作停止
	TMP0-TMP3	動作停止
	TMQ0, TMQ1	動作停止
ウォッチドッグ・タイマ		動作停止
シリアル・インタフェース	CSIB0	カウント・クロックにSCKB0入力クロック選択時 (スレープ・モード時), 動作可能
	UARTA0, UARTA1	動作停止
A/Dコンバータ0, 1		動作停止
低電圧検出回路 (LVI)		LVI使用時, 動作可能
パワーオン・クリア回路 (POC)		動作可能
クロック・モニタ		動作停止 (ただし, 内蔵発振器は動作継続)
ポート機能		STOPモード設定前の状態を保持
内部データ		CPUのレジスタ, ステータス, データ, 内蔵RAMなどの内部データはすべてSTOPモード設定前の状態を保持

15.6 発振安定時間の確保

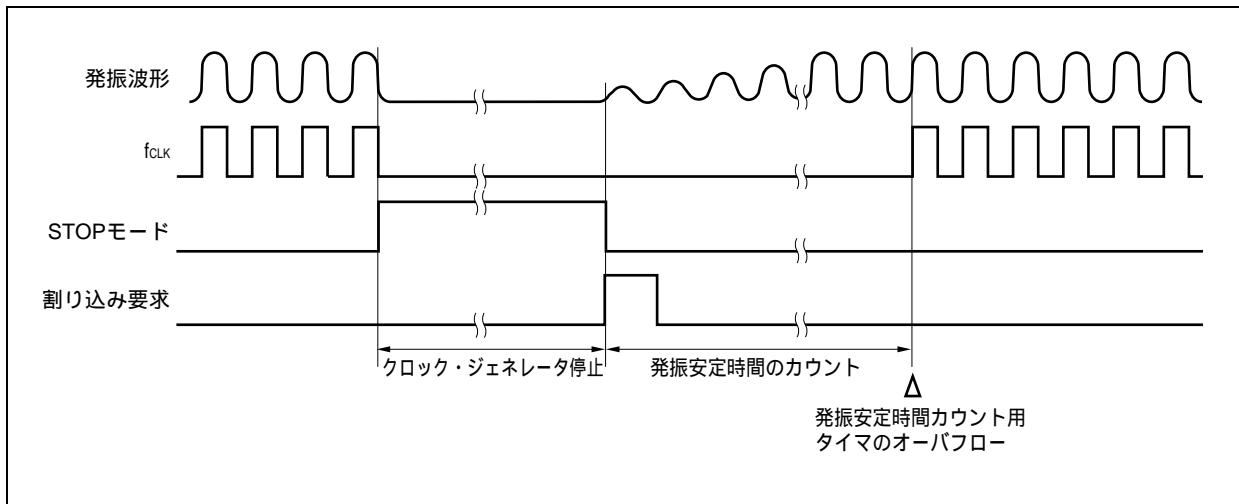
STOPモードを解除すると、OSTSレジスタで設定していた時間だけ発振安定時間を確保します。リセット信号（RESET端子入力、低電圧検出によるリセット信号（LVIRES）発生、パワーオン・クリアによるリセット信号（POCRES）発生）による解除時は、OSTSレジスタのリセット値： $2^{16}/f_x$ （ $f_x = 4$ MHz時、16.384 ms）となります。

ただし、実際の発振安定時間はこの半分の時間（リセット時： $2^{15}/f_x$ （ $f_x = 4$ MHz時、8.192 ms）となり、あとの半分はPLLの安定時間となります。STOPモードからの解除時の発振安定時間は、使用する発振子の発振安定時間に対して倍の時間を設定してください。

なお、発振安定時間カウント用タイマはそのオーバフロー時間だけ発振安定時間を確保します。

STOPモードを割り込み要求信号で解除した場合の動作を次に示します。

図15-2 発振安定時間



注意 OSTSレジスタの詳細は、5.3(6) 発振安定時間選択レジスタ (OSTS) を参照してください。

第16章 リセット機能

16.1 概要

リセット機能の概要を次に示します。

- ・ $\overline{\text{RESET}}$ 端子入力によるリセット機能
- ・ウォッチドッグ・タイマのオーバフローによるリセット機能 (WDTRES)
- ・低電圧検出回路 (LVI) によるシステム・リセット (LVIRES)
- ・パワーオン・クリア回路 (POC) によるシステム・リセット (POCRES)

16.2 リセット要因を確認するレジスタ

(1) リセット要因フラグ・レジスタ (RESF)

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

RESFレジスタは、ウォッチドッグ・タイマ (WDT) からのリセット信号の発生を示すレジスタです。

LVIRF, WDT2RFビットのクリアは、 $\overline{\text{RESET}}$ 端子によるリセット、およびビット操作命令またはストア命令によるクリア (LVIRF, WDT2RFビットへの0ライト) で行います。

8ビット単位でリード/ライト可能です。ただし、ビット0はライトのみ可能です (リードした場合は不定)。

$\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路 (POC) によるリセットにより00Hになります。それ以外の要因のリセットにより初期値は異なります。

リセット時: 00H^注 R/W アドレス: FFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	0	LVIRF

WDT2RF	WDTからのリセット信号発生有無
0	発生なし/クリア
1	発生あり

LVIRF	RESF2.LVIRFSビットのクリア
0	クリア
1	書き込み禁止

注 $\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路 (POC) によるリセット時は00H、ウォッチドッグ・タイマのオーバフローによるリセット時は10Hまたは11H、低電圧検出回路 (LVI) によるリセット時はビット4にはそのときの値が保持されビット0は不定となります。

注意1. 各ビットへの書き込みは“0”ライトのみ可能で、“0”ライト書き込みとフラグ・セット (リセットの発生) が競合した場合、フラグ・セットが優先されます。

2. RESFレジスタの書き込みをする場合、コマンド・レジスタはPRCMDレジスタを使用してください。

(2) リセット要因フラグ・レジスタ2 (RESF2)

RESF2レジスタは、低電圧検出 (LVI) からのリセット信号の発生を示すレジスタです。

8ビット単位でリードのみ可能です。

$\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路 (POC) により00Hまたは10Hになります。それ以外の要因のリセットにより初期値は異なります。

リセット時：注1 R アドレス：FFFFFF8A8H

	7	6	5	4	3	2	1	0
RESF2	0	0	0	不定	0	0	0	LVIRFS注2

LVIRFS注2	LVIからのリセット信号発生有無
0	発生なし
1	発生あり

注1. $\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路 (POC) によるリセット時は00Hまたは10H、低電圧検出回路 (LVI) によるリセット時は01Hまたは11H、ウォッチドッグ・タイマのオーバフローによるリセット時はそのときのレジスタ値が保持されます。

2. RESF.LVIRFビットへの0書き込みにより、LVIRFSフラグがクリア (0) されます。

表16 - 1 リセット要因発生時のRESF, RESF2レジスタのビット0, 4の値

レジスタ リセット要因	RESFレジスタ		RESF2レジスタ	
	ビット4	ビット0	ビット4	ビット0
RESET端子入力によるリセット機能	0	0	不定	0
パワーオン・クリア回路 (POC) によるシステム・リセット (POCRES)	0	0	不定	0
WDTのオーバフローによるリセット機能 (WDTRES)	1	不定	保持	保持
低電圧検出回路 (LVI) によるシステム・リセット (LVIREs)	保持	不定	不定	1

16.3 動作

16.3.1 RESET端子によるリセット動作

RESET端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

RESET端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

RESET端子入力によるリセット解除の場合、発振回路の発振安定時間（OSTSレジスタのリセット値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

表16-2 RESET端子入力時の各ハードウェアの状態

項目	リセット期間中	リセット解除後
発振回路 (f_x)	発振停止	発振開始
内蔵発振器	発振停止	発振開始
周辺クロック (f_x/f_{2048})	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{CLK}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_x/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始 ^{注1}
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み（CPUによる）とリセットが競合（データ破壊）した場合、不定。 それ以外は、リセット直前の値を保持 ^{注2} 。	
I/Oライン（ポート/兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注1. μ PD70F3329は、ブート切り替えの内部処理が挿入されるため、その分、プログラムの実行が遅れます。

2. μ PD70F3329は、ブート切り替え機能をサポートするため、内部システム・リセット解除後、ファームウェアにより内蔵RAMの一部（使用RAM領域：3FFE000H-3FFE095H, 3FFEFBAH-3FFEFFFH）を使用します。そのため、パワーオン時におけるリセットであっても、一部領域のRAMの内容を保持しません。

図16 - 1 RESET端子入力によるリセット動作のタイミング

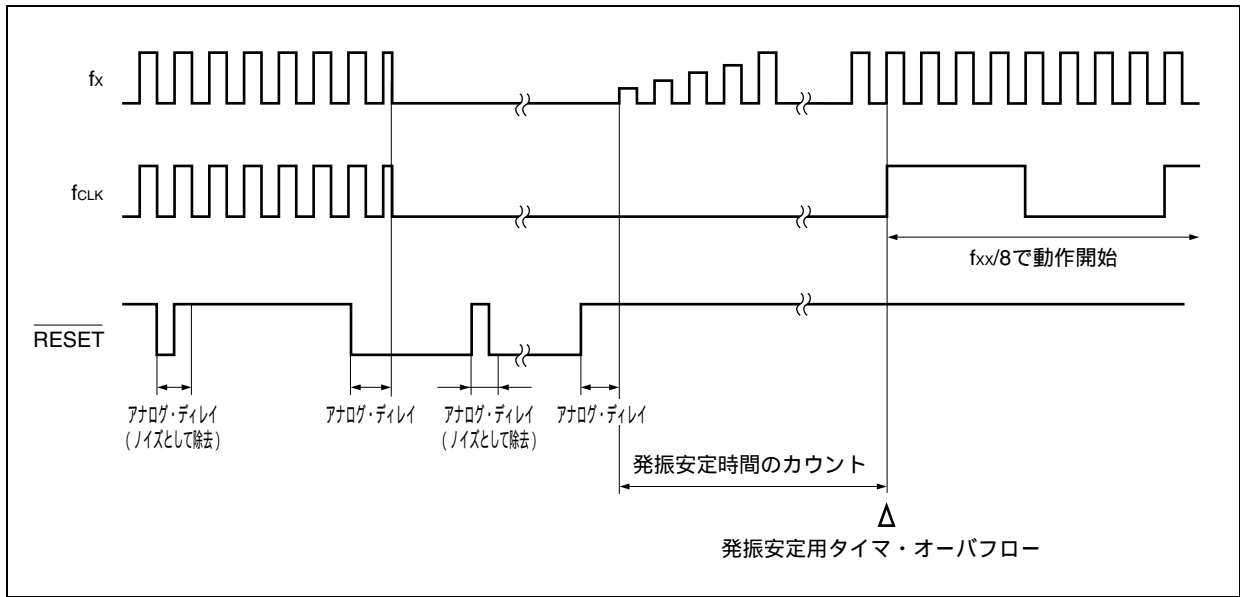
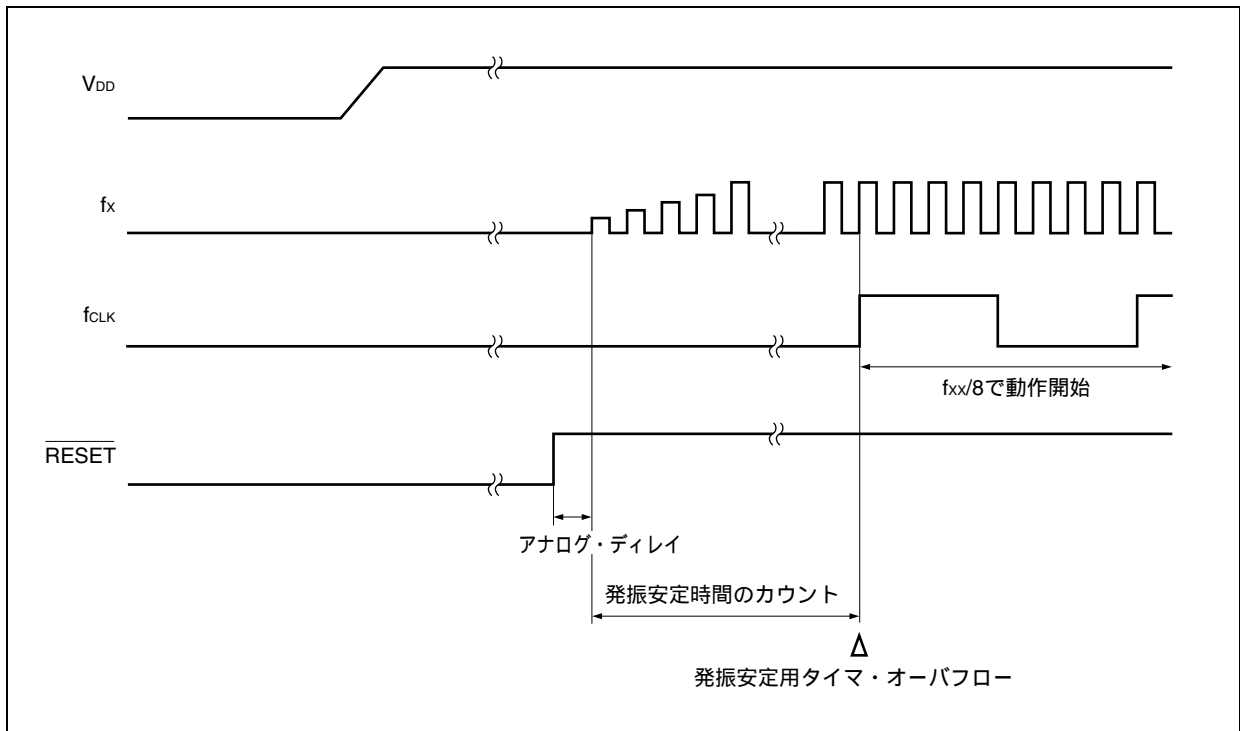


図16 - 2 パワーオン（電源投入）時のリセット動作のタイミング



16.3.2 ウォッチドッグ・タイマ (WDT) のオーバーフローによるリセット動作 (WDTRES)

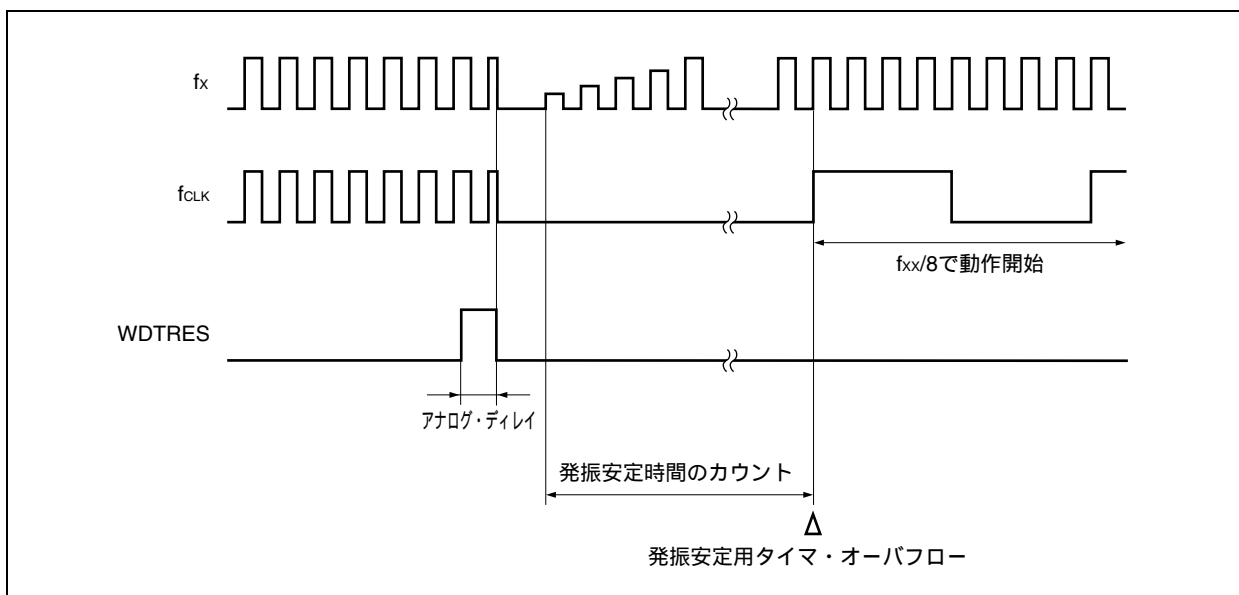
ウォッチドッグ・タイマをオーバーフローによるリセット動作モードに設定時、ウォッチドッグ・タイマがオーバーフロー (WDTRES信号発生) すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

ウォッチドッグ・タイマのオーバーフロー後、所定の時間 (アナログ・ディレイ分) リセット状態となり、その後リセット状態を自動的に解除します。リセット解除後、発振回路の発振安定時間 (OSTSレジスタの初期値: $2^{16}/f_x$) を確保したあと、CPUはプログラムの実行を開始します。

なお、リセット期間中は発振回路は停止するので、発振安定時間を確保してください。

リセット期間中およびリセット解除後の各ハードウェアの状態は、 $\overline{\text{RESET}}$ 端子によるリセット動作と同じです (16.3.1 $\overline{\text{RESET}}$ 端子によるリセット動作参照)。

図16-3 WDTRES信号発生によるリセット動作のタイミング



16.3.3 低電圧検出回路 (LVI)

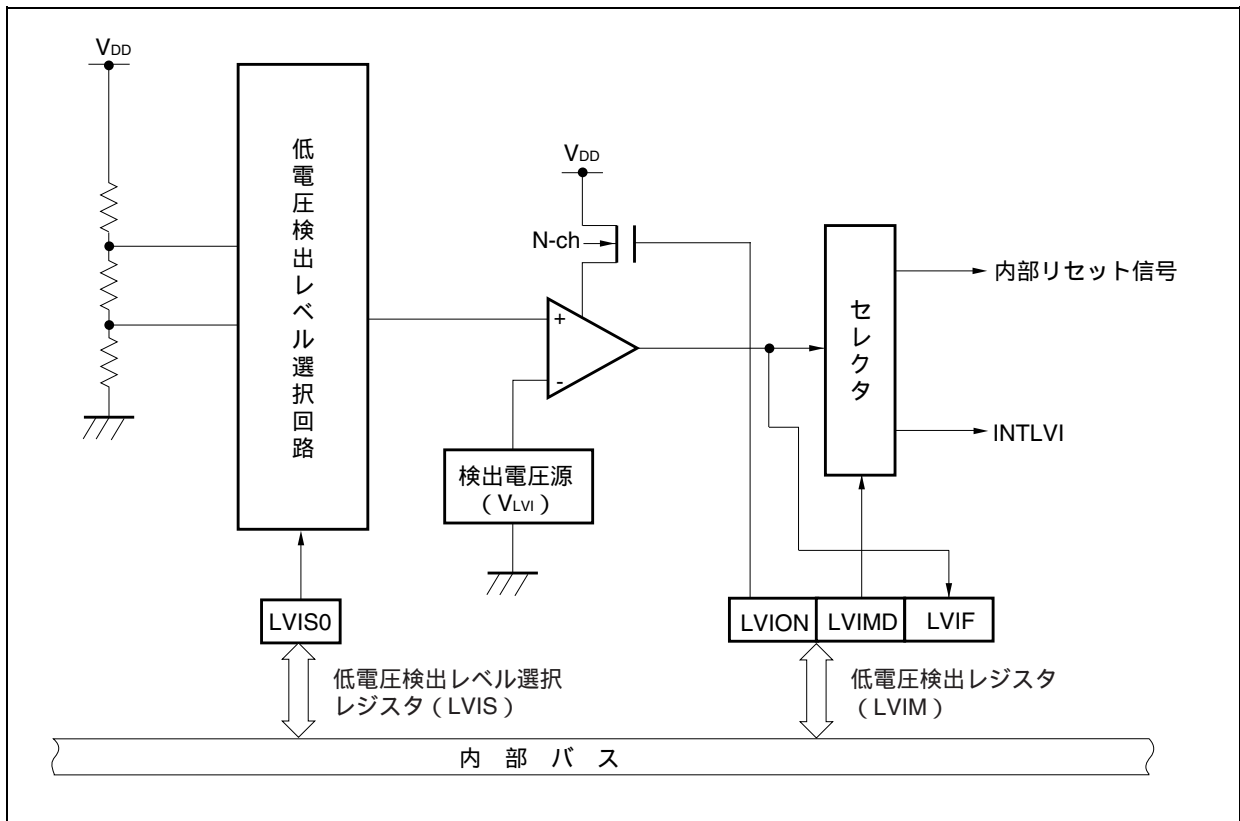
(1) 機能

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ になったとき、割り込み要求信号または内部リセット信号を発生します。
- ・電源電圧の検出レベルを2段階で設定可能
- ・割り込み要求信号 / 内部リセット信号を選択可能
- ・HALT/IDLE/STOPモードにおいても動作可能
- ・ソフトウェアにて動作停止可能

(2) 構成

次にブロック図を示します。

図16 - 4 低電圧検出回路のブロック図



(3) 制御レジスタ

(a) 低電圧検出レジスタ (LVIM)

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます(3.4.7 特定レジスタ参照)。8/1ビット単位でリード/ライト可能です。ただし、ビット0はリードのみ可能です。

RESET端子入力、パワーオン・クリア回路(POC)、ウォッチドッグ・タイマのオーバフローによるリセットにより00Hになります。低電圧検出回路(LVI)によるリセットにより82Hになります。

リセット時: 00H^注 R/W アドレス: FFFFF890H

	⑦	6	5	4	3	2	①	①
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可/禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧 < 検出電圧時に割り込み要求信号INTLVIを発生
1	電源電圧 < 検出電圧時に内部リセット信号LVIREを発生

LVIF	低電圧検出フラグ
0	電源電圧 > 検出電圧, または動作禁止時
1	電源電圧 < 検出電圧

注 RESET端子入力、パワーオン・クリア回路(POC)、ウォッチドッグ・タイマのオーバフローによるリセット時は00H、低電圧検出回路(LVI)によるリセット時は82Hになります。

- 注意1. LVIONビット = 1設定後, 0.1 ms (TYP.) (目標値) 以上間隔を空けてから, LVIFビットで電圧を確認してください。
2. LVIFフラグの値は, LVIONビット = 1かつLVIMDビット = 0の場合に, 出力信号INTLVIとして出力されます。
3. LVIMレジスタへ書き込みをする場合, コマンド・レジスタはPRCMD2レジスタを使用してください。
4. ビット2-6には, 必ず0を設定してください。

(b) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード/ライト可能です。

$\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路 (POC)、ウォッチドッグ・タイマのオーバーフローによるリセットにより00Hになります。低電圧検出回路 (LVI) によるリセット時は、値を保持します。

リセット時：00H^注 R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	検出レベル
0	4.4 V ± 0.2 V
1	4.2 V ± 0.2 V

注 $\overline{\text{RESET}}$ 端子入力、パワーオン・クリア回路 (POC)、ウォッチドッグ・タイマのオーバーフローによるリセット時は00Hとなり、低電圧検出回路 (LVI) によるリセット時はそのときのレジスタ値を保持します。

注意 ビット1-7には必ず0を設定してください。

(c) 内蔵RAMデータ・ステータス・レジスタ (RAMS)

内蔵RAMデータの有効 / 無効を示すフラグ・レジスタです。RAMSレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

RAMSレジスタについては、(5) RAM保持電圧検出動作を参照してください。

8/1ビット単位でリード / ライト可能です。

$\overline{\text{RESET}}$ 端子入力 (RAMアクセス時のみ) , ウォッチドッグ・タイマのオーバフローにより01Hになります。それ以外の要因のリセット時は、値を保持します。

注意1. RAMSレジスタへ書き込みをする場合、コマンド・レジスタはPRCMD2レジスタを使用してください。

2. リセット時の特定シーケンスを示します。

- ・セット条件 : 検出レベル (2.0 V ± 0.1 V) 以下の電圧検出
: 特定シーケンスによる1書き込み
: ウォッチドッグ・タイマのオーバフローによるリセット発生
: RAMアクセス中の $\overline{\text{RESET}}$ 端子入力
- ・クリア条件 : 特定シーケンスによる0書き込み

リセット時 : 01H^注 R/W アドレス : FFFFF892H

	7	6	5	4	3	2	1	①
RAMS	0	0	0	0	0	0	0	RAMF

RAMF	内蔵RAMデータ有効 / 無効
0	有効
1	無効

注 $\overline{\text{RESET}}$ 端子入力 (RAMアクセス時のみ) , ウォッチドッグ・タイマのオーバフローによるリセット時は01Hとなり , それ以外の要因のリセットによりそのときのレジスタ値を保持します。

(4) 動作

LVIM.LVIMDビットの設定により、割り込み要求信号 (INTLVI) または内部リセット信号を発生します。

(a) 内部リセット信号として使用する場合

LVIの動作許可時、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合、システム・リセットがかかり (LVIM.LVIMDビット = 1設定時)、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、リセット解除後は、発振回路の発振安定時間 (OSTSレジスタの初期値: $2^{16}/f_x$) を確保したあと、CPUはプログラムの実行を開始します。

なお、リセット期間中は発振回路は停止するので、発振安定時間を確保してください。

リセット期間中およびリセット解除後の各ハードウェアの状態は、 $\overline{\text{RESET}}$ 端子によるリセット動作と同じです (16.3.1 $\overline{\text{RESET}}$ 端子によるリセット動作参照)。

次に動作設定方法とタイミング・チャートを示します。

<動作開始時>

LVIMの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定 (動作許可) します。

0.1 ms (TYP.) (目標値) 以上ソフトウェアにてウェイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

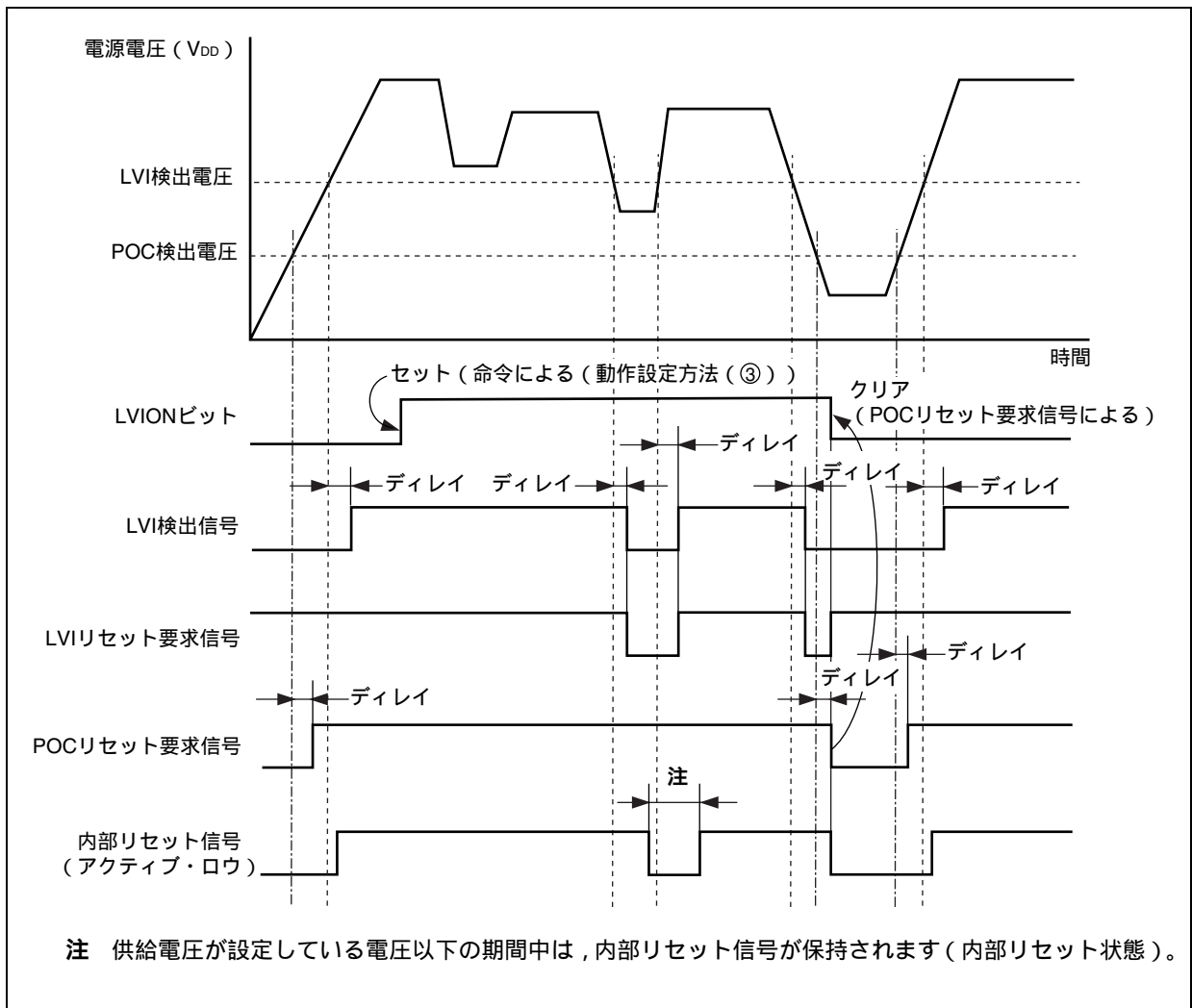
LVIM.LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

<動作停止時>

LVI以外のリセット要求が発生するまで、LVI動作の停止はできません。

図16 - 5 低電圧検出回路の動作タイミング (LVIMDビット = 1)



(b) 割り込みとして使用する場合

LVIの動作許可時，電源電圧と検出電圧を比較し，電源電圧が検出電圧を下回った場合，割り込み要求信号（INTLVI）が発生します（LVIM.LVIMDビット = 0設定時）。

次に動作設定方法とタイミング・チャートを示します。

<動作開始時>

LVIの割り込みをマスクします。

LVIS.LVIS0ビットにて検出電圧を設定します。

LVIM.LVIONビット = 1に設定（動作許可）します。

0.1 ms（TYP.）（目標値）以上ソフトウェアにてウエイトを挿入します。

LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。

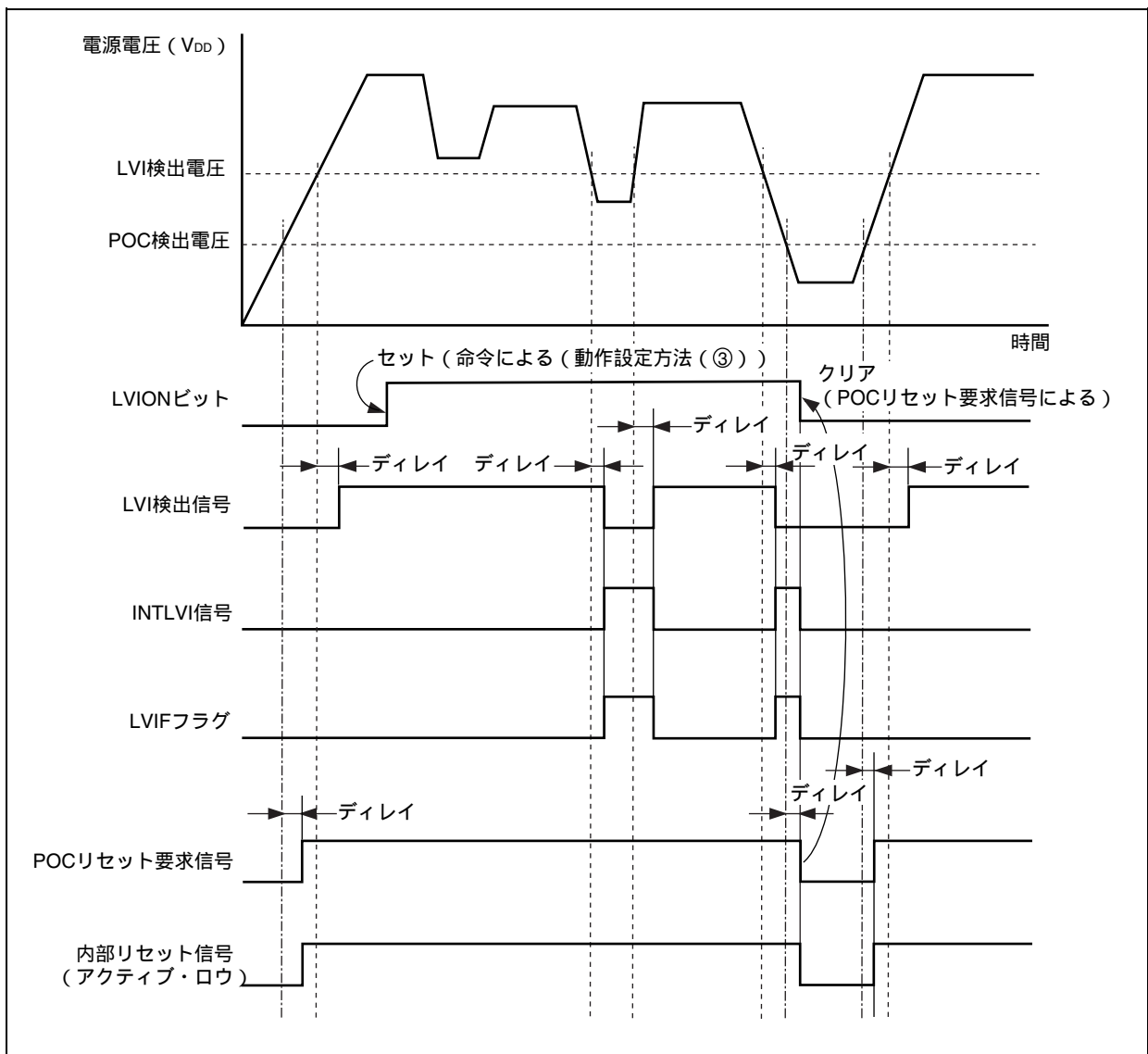
LVIの割り込み要求フラグをクリアします。

LVIの割り込みマスクを解除します。

<動作停止時>

LVIONビット = 0に設定します。

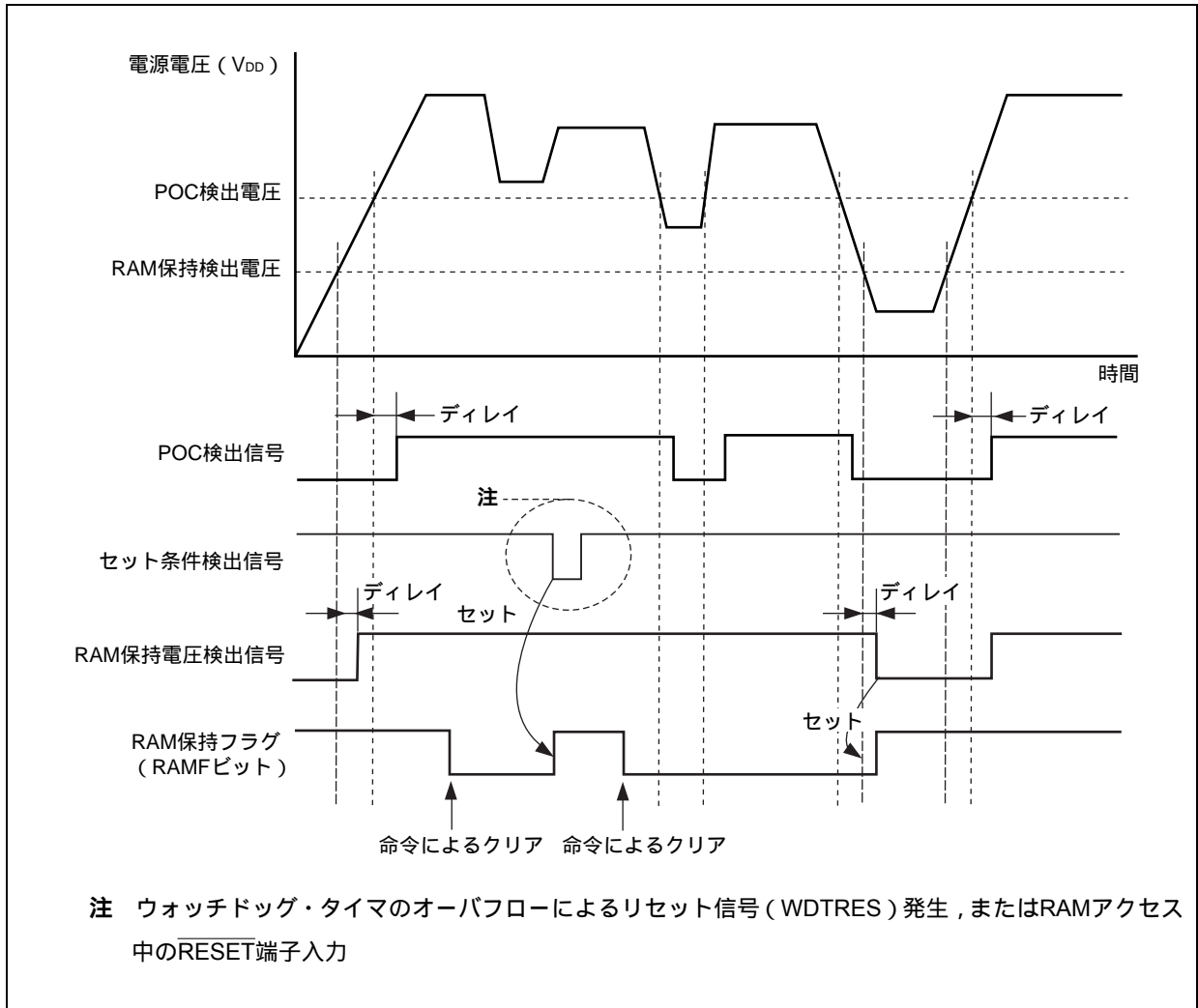
図16 - 6 低電圧検出回路の動作タイミング（LVIMDビット = 0）



(5) RAM保持電圧検出動作

電源電圧と検出電圧 ($V_{RAMH} = 2.0\text{V} \pm 0.1\text{V}$) を比較し、電源電圧が検出電圧を下回った場合 (電源投入時も含みます)、RAMS.RAMFビットをセット (1) します。

図16 - 7 RAM保持電圧検出機能の動作タイミング



16.3.4 パワーオン・クリア回路 (POC)

(1) 概 要

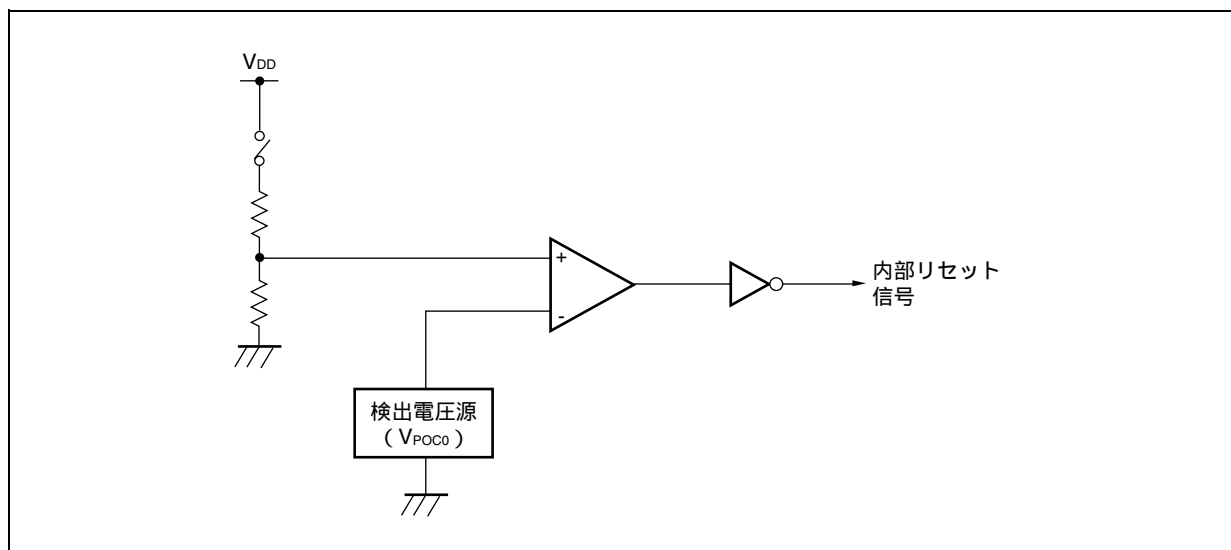
パワーオン・クリア (POC) 回路の概要を次に示します。

- ・電源投入時にリセット信号を発生します。
- ・電源電圧 (V_{DD}) と検出電圧 (V_{POC0}) を比較し、 $V_{DD} < V_{POC0}$ になったとき、リセット信号を発生します。

(2) 構 成

次にブロック図を示します。

図16 - 8 パワーオン・クリア回路のブロック図



(3) 動作

電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合（電源投入時含む）、システム・リセットがかかり、各ハードウェアを所定の状態に初期化します。

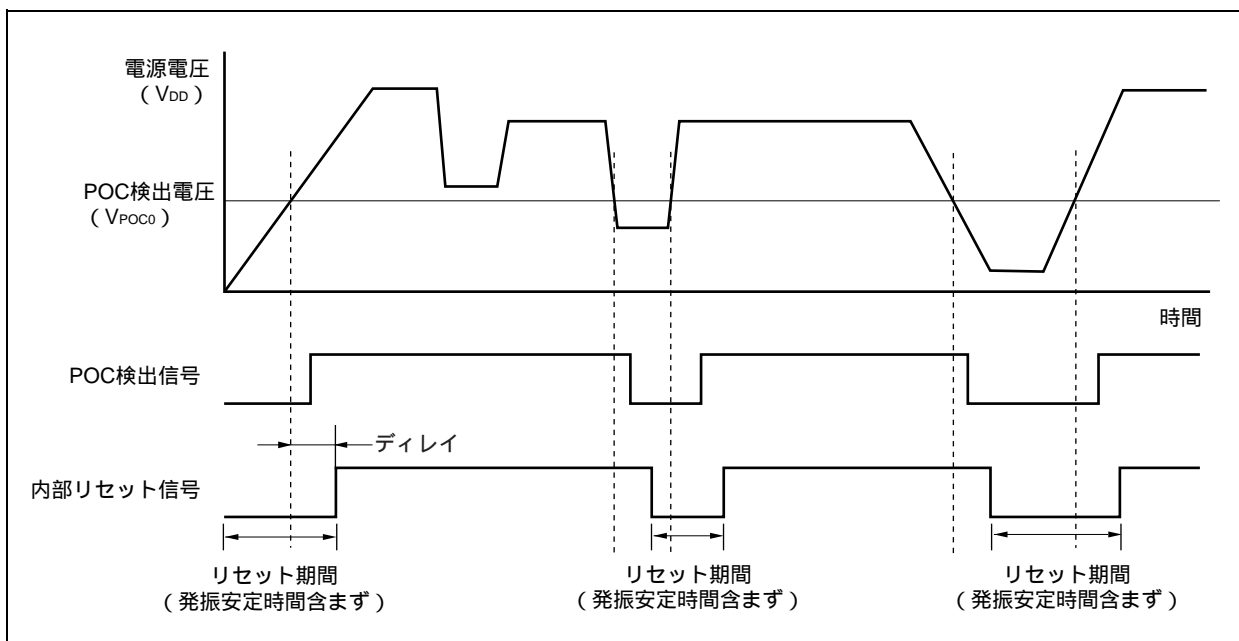
電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となり、リセット解除後は、発振回路の発振安定時間（OSTSレジスタの初期値： $2^{16}/f_x$ ）を確保したあと、CPUはプログラムの実行を開始します。

なお、リセット期間中は発振回路は停止するので、発振安定時間を確保してください。

リセット期間中およびリセット解除後の各ハードウェア状態は、 $\overline{\text{RESET}}$ 端子によるリセット動作と同じです（16.3.1 $\overline{\text{RESET}}$ 端子によるリセット動作参照）。

次にタイミング・チャートを示します。

図16-9 パワーオン・クリア回路によるリセット信号発生のタイミング



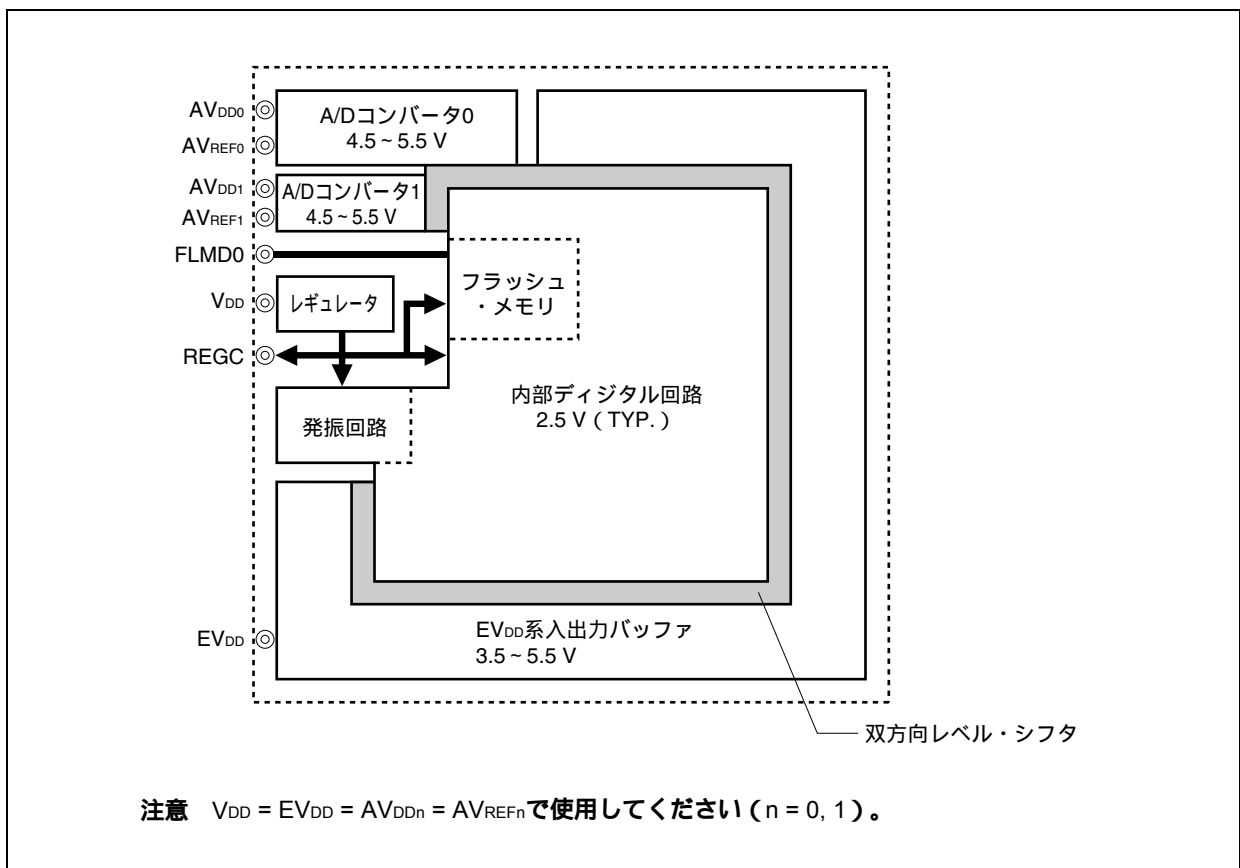
第17章 レギュレータ

17.1 概要

この製品では、低消費電力/低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振ブロックと内部ロジック回路 (A/Dコンバータ, 入出力バッファは除く) に、 V_{DD} 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧 (REGC端子) は、2.5 V (TYP.) に設定しています。

図17-1 レギュレータ



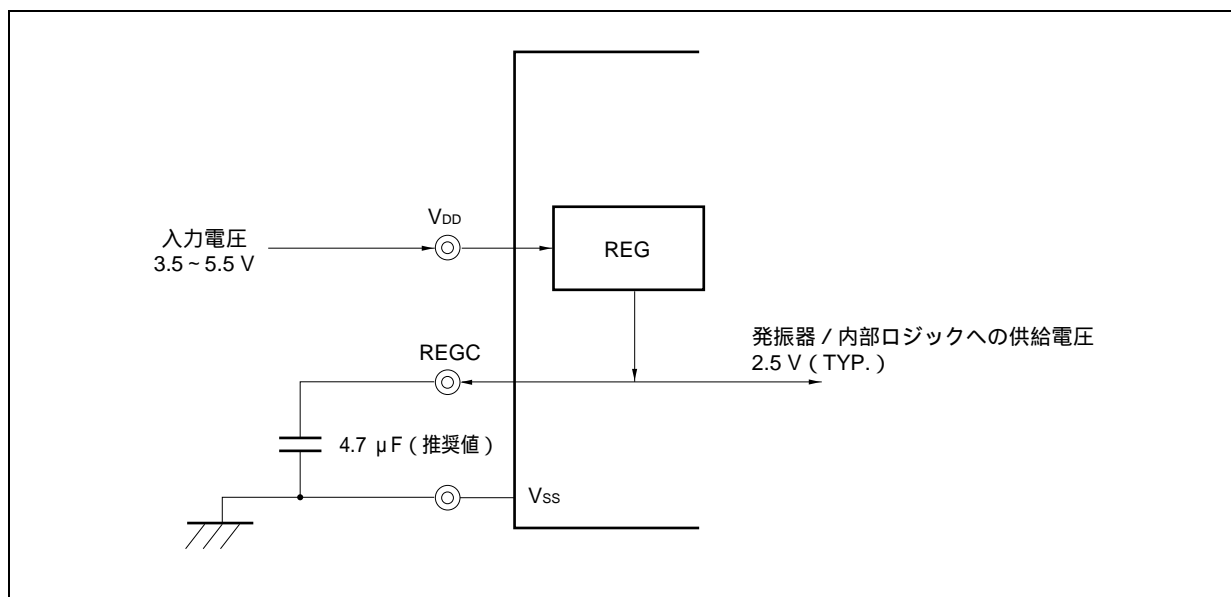
17.2 動作

この製品のレギュレータは、いかなるモード（通常動作モード / HALTモード / IDLEモード / STOPモード / リセット中）でも常に動作します。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（ $4.7\ \mu\text{F}$ （推奨値））を接続してください。

次に端子の接続の方法を示します。

図17-2 REGC端子の接続



第18章 ROMコレクション機能

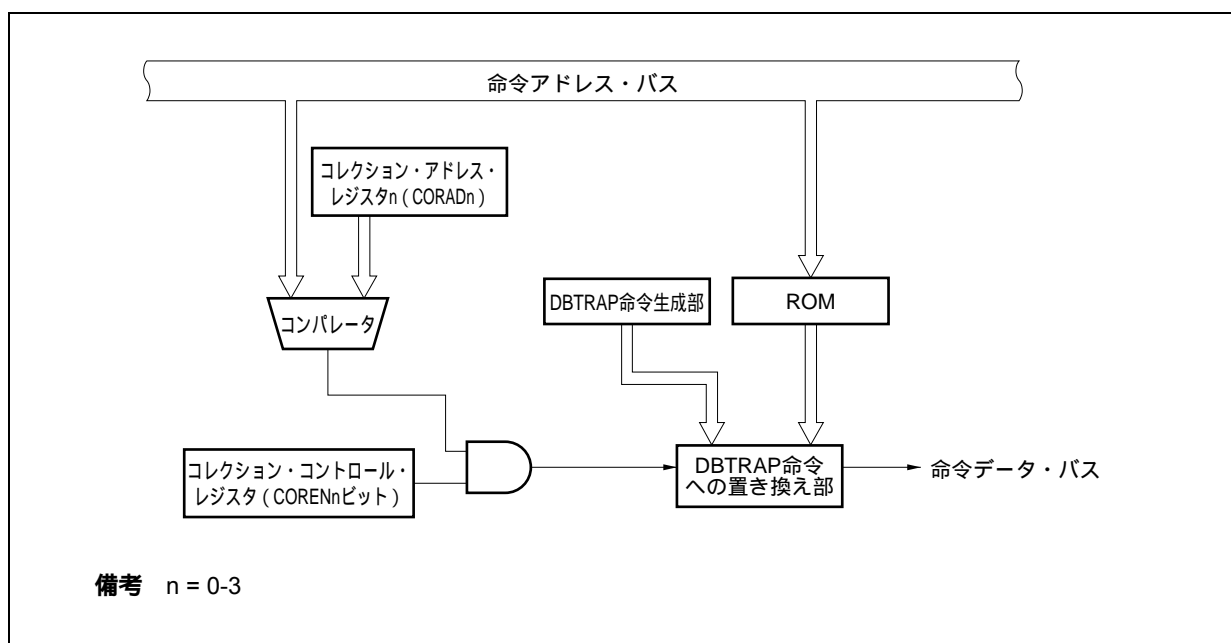
18.1 概要

ROMコレクション機能とは、マスクROMまたはフラッシュ・メモリ内のプログラムの一部を、内蔵RAMのプログラムで置き換えて実行する機能です。

ROMコレクション機能を使用することにより、マスクROMまたはフラッシュ・メモリで発見されたプログラム・バグの修正が可能です。

ROMコレクション機能により、修正アドレスは最大4箇所指定できます。

図18 - 1 ROMコレクションのブロック図



18.2 制御レジスタ

(1) コレクション・アドレス・レジスタ0-3 (CORAD0-CORAD3)

修正プログラムの先頭アドレスを設定するレジスタです。

CORADnレジスタは4つあるため、プログラムを最大4箇所修正できます (n = 0-3)。

32ビット単位でリード/ライト可能です。

ただし、CORADnレジスタの上位16ビットをCORADnHレジスタ、下位16ビットをCORADnLレジスタとして使用した場合は、16ビット単位でリード/ライト可能です。

リセットにより00000000Hになります。

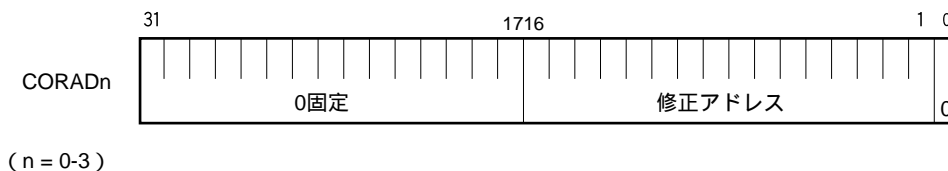
各製品によってROM容量が異なるため、次に示す範囲で修正アドレスを設定してください。

μ PD703327 (64 Kバイト) : 0000000H-000FFFEH

μ PD703329, 70F3329 (128 Kバイト) : 0000000H-001FFFEH

ビット0, 17-31は0に固定してください。

リセット時 : 00000000H R/W アドレス : CORAD0 FFFFF840H
 CORAD0L FFFFF840H, CORAD0H FFFFF842H
 CORAD1 FFFFF844H
 CORAD1L FFFFF844H, CORAD1H FFFFF846H
 CORAD2 FFFFF848H
 CORAD2L FFFFF848H, CORAD2H FFFFF84AH
 CORAD3 FFFFF84CH
 CORAD3L FFFFF84CH, CORAD3H FFFFF84EH



(2) コレクション・コントロール・レジスタ (CORCN)

各CORADnレジスタに設定したアドレスにおけるコレクション動作の禁止 / 許可を制御するレジスタです (n = 0-3)。

各チャンネルごとに、有効 / 無効を設定できます。

8/1ビット単位でリード / ライト可能です。

リセットにより00Hになります。

リセット時 : 00H R/W アドレス : FFFFF880H

	7	6	5	4	③	②	①	④
CORCN	0	0	0	0	COREN3	COREN2	COREN1	COREN0

CORENn	コレクション動作の禁止 / 許可
0	禁止
1	許可

備考 n = 0-3

表18-1 CORCNレジスタのビットとCORADnレジスタの対応

CORCNレジスタのビット名称	対応するCORADnレジスタ
COREN3	CORAD3
COREN2	CORAD2
COREN1	CORAD1
COREN0	CORAD0

18.3 ROMコレクションの動作とプログラムの流れ

修正したいアドレスと内蔵ROMのフェッチ・アドレスが一致すると、フェッチ・コードをDBTRAP命令に置き換えます。

置き換えられたDBTRAP命令が実行されると、00000060H番地に分岐します。

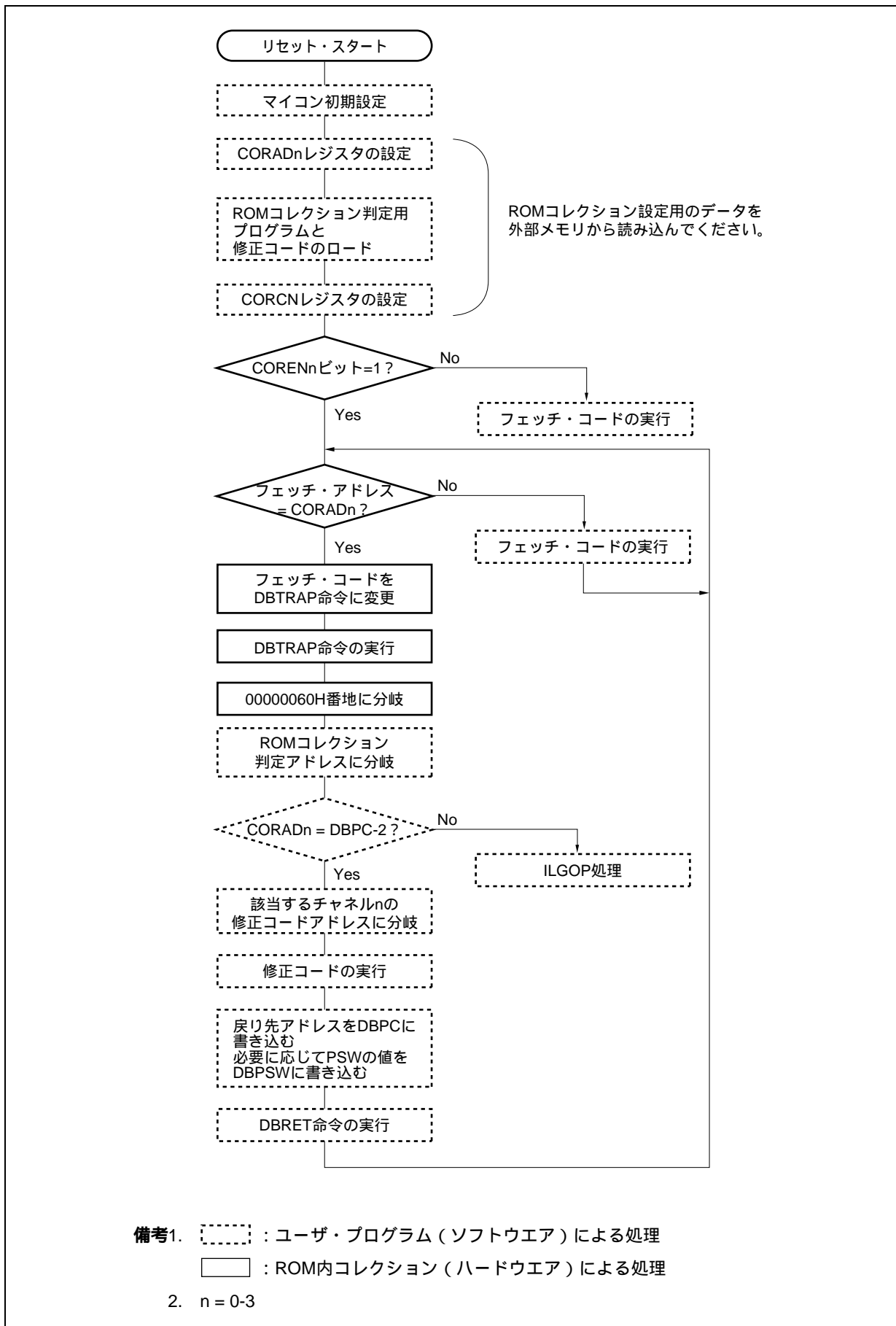
分岐後のソフトウェア処理により、ROMコレクション判定 (フェッチ・アドレスとROMコレクション動作許可の確認) と修正ソフトウェアへの分岐を行います。

修正ソフトウェア実行後、戻るアドレスのセットなどを行い、DBRET命令で復帰処理をします。

注意1. 上記 , を実現するソフトウェアは、内蔵ROM/RAM内で実行する必要があります。

2. CORADnレジスタに修正したいアドレスを設定する際、内蔵ROMの容量に応じて、上位ビットに0を設定してください。
3. ROMコレクション機能は内蔵ROMのデータに対しては使用できません。命令コードに対してのみ行うことができます。データに対してROMコレクションを行うと、そのデータがDBTRAP命令コードに入れ替わります。
4. μ PD70F3329でセルフ書き込みを行う場合には、ROMコレクション動作は使用禁止です。

図18 - 2 ROMコレクションの動作とプログラムの流れ



第19章 フラッシュ・メモリ

μ PD70F3329はV850ES/IK1のフラッシュ・メモリ内蔵品で、128 Kバイトのフラッシュ・メモリを内蔵しています。

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品ではなく）で十分に評価してください。

フラッシュ・メモリ内蔵品を使用した開発用途および量産用途として次のようなことが考えられます。

ターゲット・システムにV850ES/IK1を半田実装後、ソフトウェアの変更可能
量産立ち上げ時のデータ調整が容易
規格ごとにソフトウェアを区別することで少量多品種生産が容易
在庫管理が容易
出荷後のソフトウェアのアップデートが容易

19.1 特 徴

4バイト/1クロック・アクセス（命令フェッチ時）

容量：128 Kバイト

書き換え電圧：単電源による消去 / 書き込みが可能

書き換え方式

- ・専用フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え（オンボード / オフボード・プログラミング）
- ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）

フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）

ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域の安全な書き換えが可能

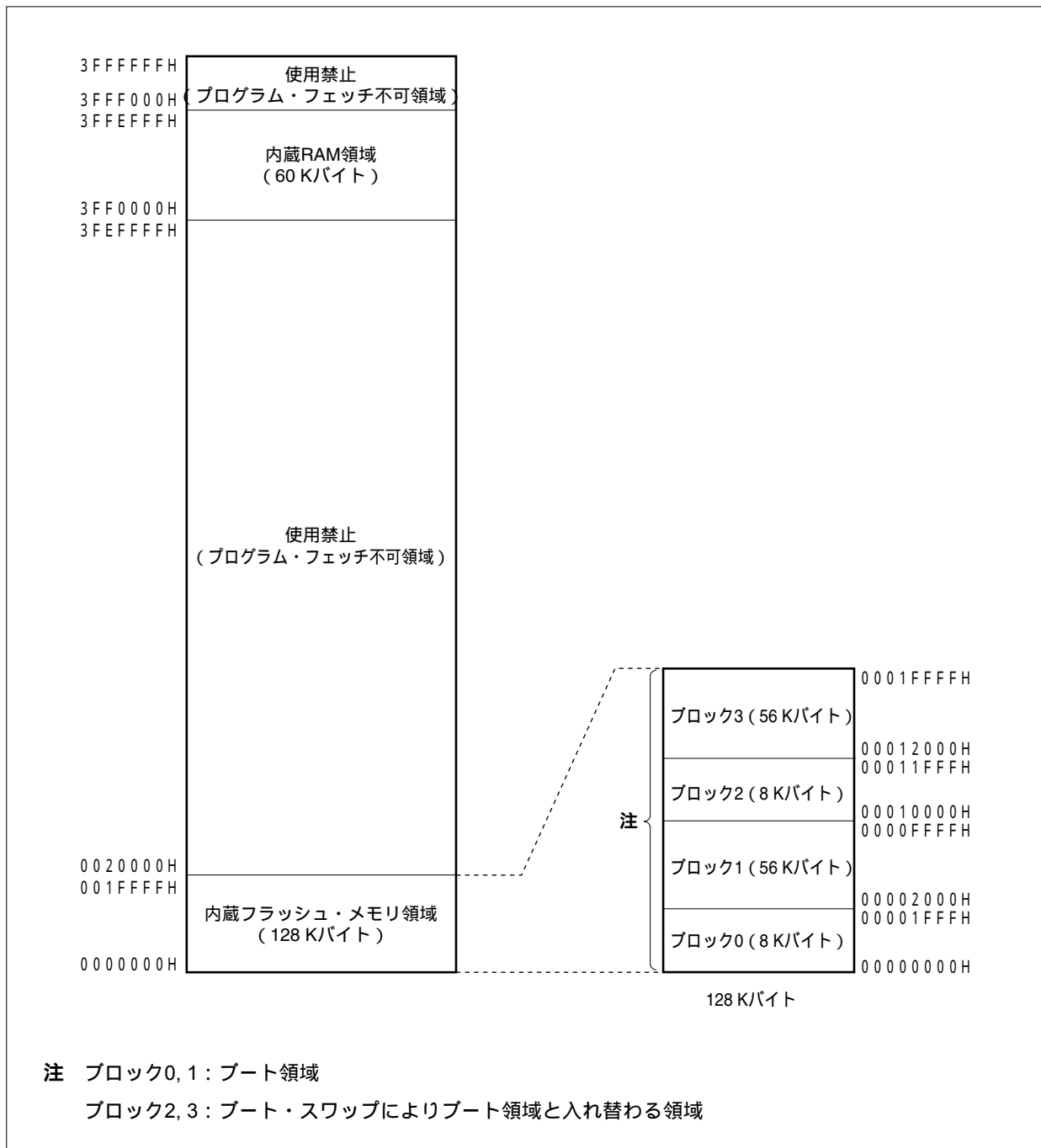
セルフ・プログラミング中の割り込み受け付け可能

19.2 メモリ構成

128 Kバイトの内蔵フラッシュ・メモリの領域は4個のブロックに分割されており、各ブロック単位にてプログラム/消去可能となっています。全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブロック0, 1のアドレスに配置された物理メモリと、ブロック2, 3のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については、19.5 セルフ・プログラミングによる書き換えを参照してください。

図19-1 フラッシュ・メモリ・マッピング



19.3 機能概要

V850ES/IK1の内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オンボード/オフボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造/出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表19-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード/オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表19-2 基本機能一覧

機能	機能概要	サポートの有無 (: サポート, × : 未サポート)	
		オンボード/オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。		
チップ消去	全メモリの内容の一括消去を行います。		×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。		
ベリファイ/チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラムから転送されたデータの比較を行います。		× (ユーザ・プログラムにて読み出しは可能)
ブランク・チェック	全メモリの消去状態の確認を行います。		
セキュリティ設定	ブロック消去コマンド/チップ消去コマンド/プログラム・コマンド/リード・コマンドの使用禁止設定, およびブート領域の書き換え禁止設定を行います。		× (設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止/チップ消去コマンド禁止/プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード/オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表19-3 セキュリティ機能一覧

機能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	ブロック0から指定した最終ブロックまでブート領域を保護することが可能です。ブート領域を保護すると、それ以降保護されたブート領域の書き換え(消去および書き込み)はできません。チップ消去コマンドを実行しても、禁止設定の初期化はできません。

表19-4 セキュリティ設定

機能	各セキュリティ設定時の消去/書き込み/読み出し動作 (: 実行可能, x : 実行不可, : 未サポート)		セキュリティ設定 注意事項	
	オンボード/オフボード・ プログラミング	セルフ・プログラミング	オンボード/オ フボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : x プログラム・コマンド : ^{注1} リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	
プログラム・ コマンド禁止	ブロック消去コマンド : x チップ消去コマンド : プログラム・コマンド : x リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	ブロック消去コマンド : チップ消去コマンド : プログラム・コマンド : リード・コマンド : x	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート領域の書 き換え禁止	ブロック消去コマンド : ^{注2} チップ消去コマンド : x プログラム・コマンド : ^{注2} リード・コマンド :	ブロック消去 (FlashBlockErase) : チップ消去 : - 書き込み (FlashWordWrite) : 読み出し (FlashWordRead) :	禁止設定の初期 化が不可能	

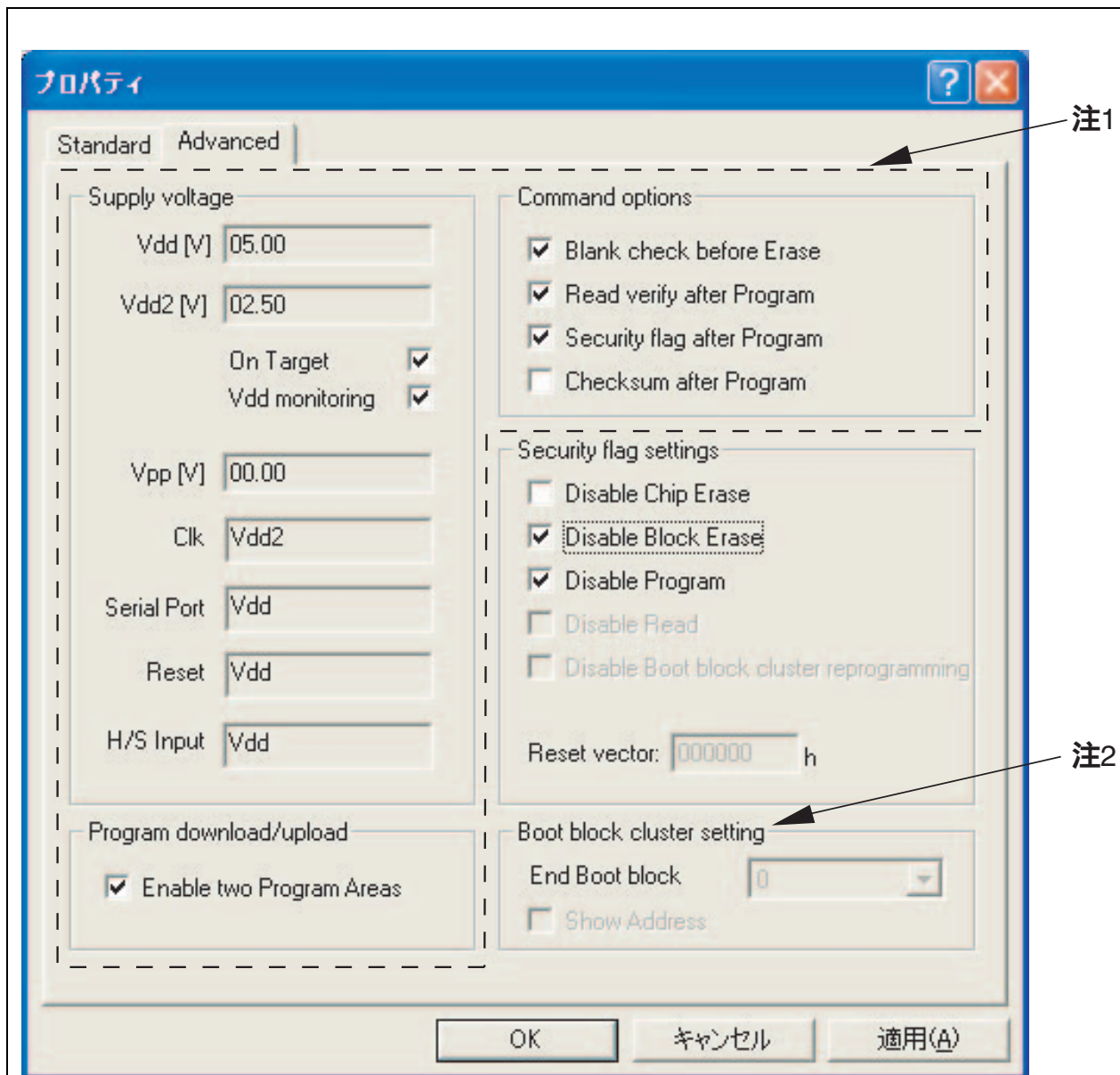
注1. 消去コマンドは無効となるため,すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. 書き換えが禁止されたブート領域は無効です。

(1) PG-FP4, PG-FP5でのセキュリティ設定 (Security flag settings)

リード・コマンド禁止 (Disable Read) に設定する場合、セキュリティを高めるために、ブロック消去コマンド禁止 (Disable Block Erase) とプログラム・コマンド禁止 (Disable Program) にすることを推奨します。

さらに、マスクROM製品と同様にプログラムを書き換える必要がない場合は、チップ消去コマンド禁止 (Disable Chip Erase) を追加してください。



注1. 破線内のSupply voltage, Program download/upload, Command optionsに関しては使用条件に応じて設定してください。

2. ブート領域 (Boot block cluster setting) の書き換えを禁止する場合は、Security flag settingのDisable Boot block cluster reprogrammingを選択し、書き換えを禁止するブート領域の最終ブロックを選択してください。

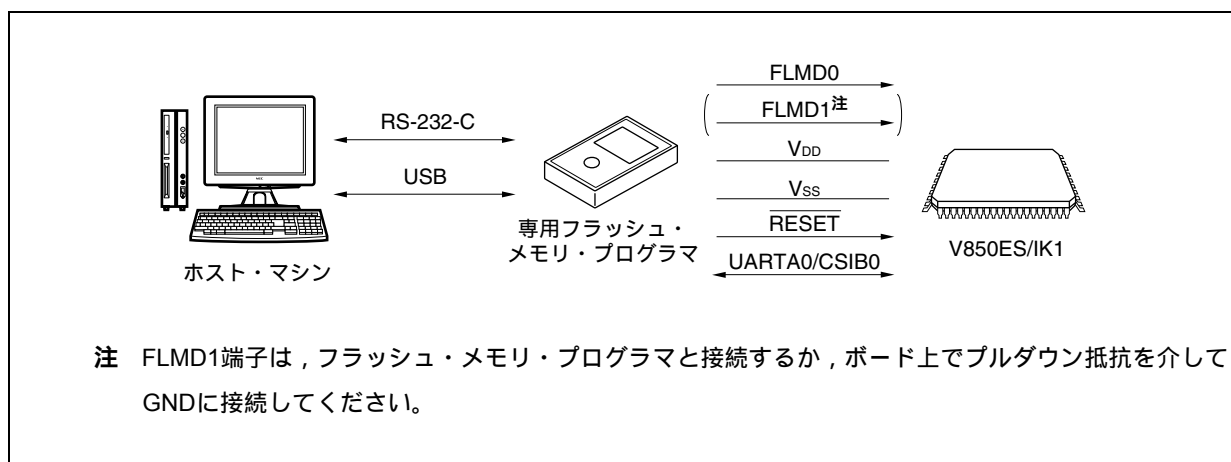
19.4 専用フラッシュ・メモリ・プログラマでの書き換え

専用フラッシュ・メモリ・プログラマにて、ターゲット・システム上にV850ES/IK1を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）を使用すれば、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

19.4.1 プログラミング環境

V850ES/IK1のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図19-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

また、専用フラッシュ・メモリ・プログラマとV850ES/IK1とのインターフェースはUARTA0またはCSIB0を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

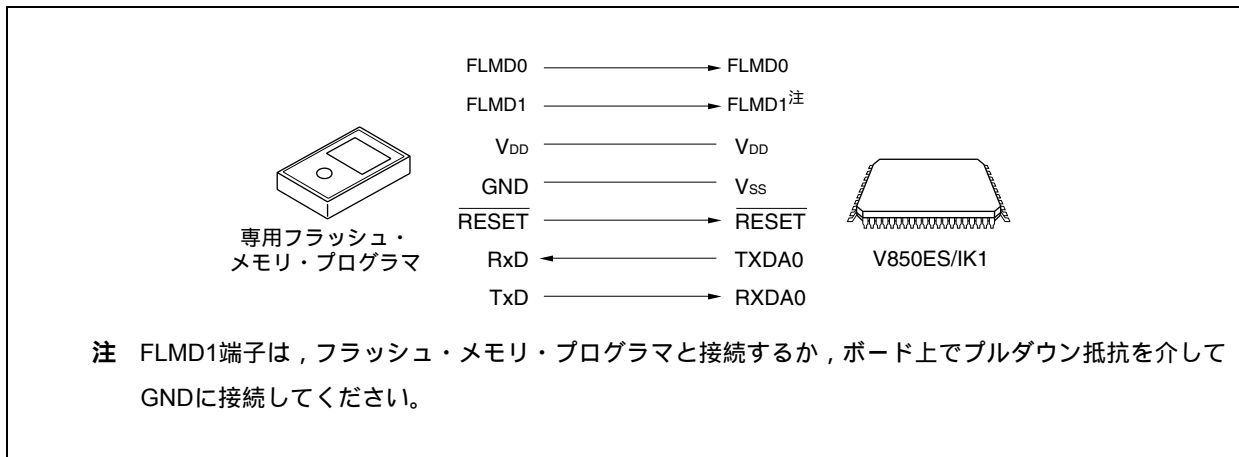
19.4.2 通信方式

専用フラッシュ・メモリ・プログラマとV850ES/IK1との通信は、V850ES/IK1のUARTA0またはCSIB0によるシリアル通信で行います。

(1) UARTA0

転送レート：9600～153600 bps

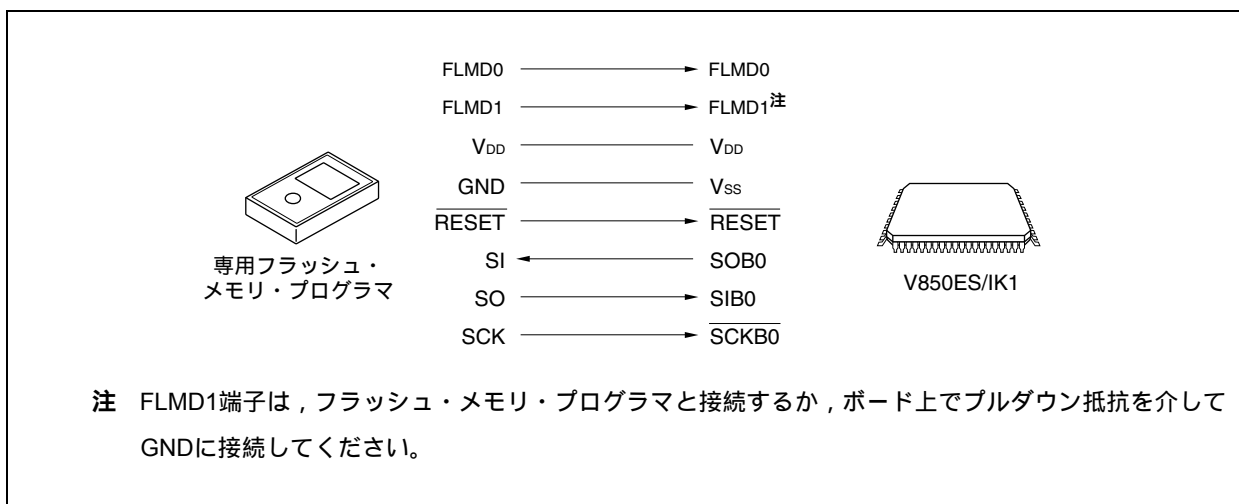
図19-3 専用フラッシュ・メモリ・プログラマとの通信 (UARTA0)



(2) CSIB0

シリアル・クロック：2.4 kHz～2.5 MHz (MSBファースト)

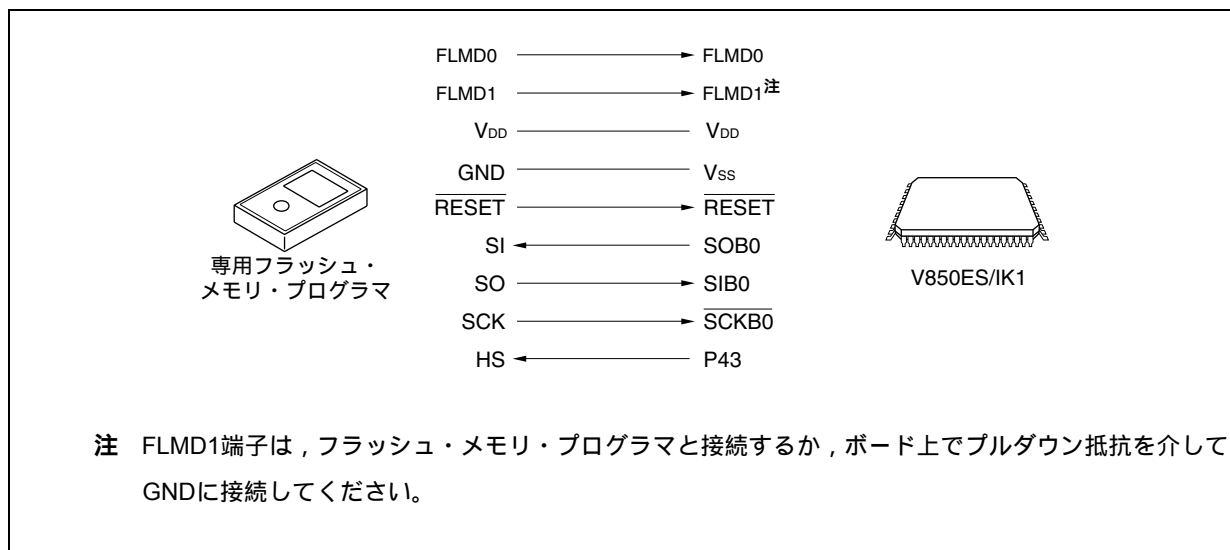
図19-4 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0)



(3) CSIB0 + HS

シリアル・クロック : 2.4 kHz ~ 2.5 MHz (MSBファースト)

図19 - 5 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0 + HS)



専用フラッシュ・メモリ・プログラマが転送クロックを出力し、V850ES/IK1はスレーブとして動作します。

専用フラッシュ・メモリ・プログラマとしてPG-FP4, PG-FP5を使用した場合、PG-FP4, PG-FP5はV850ES/IK1に対して次の信号を生成します。詳細はPG-FP4 **ユーザズ・マニュアル**(U15260J), PG-FP5 **ユーザズ・マニュアル**(U18865J)を参照してください。

表19 - 5 専用フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5) の信号接続一覧

PG-FP4, PG-FP5			V850ES/IK1	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSIB0	CSIB0 + HS
FLMD0	出力	書き込み許可 / 禁止	FLMD0			
FLMD1	出力	書き込み許可 / 禁止	FLMD1	注1	注1	注1
VDD	-	V _{DD} 電圧生成/電圧監視	V _{DD} , EV _{DD}	注2	注2	注2
GND	-	グラウンド	V _{SS}			
CLK ^{注3}	出力	-	X1 ^{注3} , X2 ^{注3}	-	-	-
RESET	出力	リセット信号	RESET			
SI/RxD	入力	受信信号	SOB0/TXDA0			
SO/TxD	出力	送信信号	SIB0/RXDA0			
SCK	出力	転送クロック	SCKB0	x		
HS	入力	CSIB0 + HS通信のハンドシェイク信号	P43	x	x	

注1. 図19 - 6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. PG-FP4, PG-FP5から電源供給を行う場合には接続してください。

ボード上の電源を使用する場合は接続の必要はありません。

3. V850ES/IK1は外部クロックを禁止しています。ボード上に発振回路を作成してクロックを供給してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

表19 - 6 V850ES/IK1フラッシュ書き込み用アダプタ (FA-64GC-8BS) の配線表

フラッシュ・メモリ・プログラマ (PG-FP4, PG-FP5) 接続端子			FAボード の端子名	CSIB0 + HS使用時		CSIB0使用時		UARTA0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SOB0	39	P41/SOB0	39	P31/TXD0	43
SO/TxD	出力	送信信号	SO	P40/SIB0	40	P40/SIB0	40	P30/RXD0	44
SCK	出力	転送クロック	SCK	P42/SCKB0	38	P42/SCKB0	38	必要なし	-
CLK ^注	出力	V850ES/IK1への クロック	X1 ^注	X1 ^注	6	X1 ^注	6	X1 ^注	6
			X2 ^注	X2 ^注	7	X2 ^注	7	X2 ^注	7
/RESET	出力	リセット信号	/RESET	RESET	5	RESET	5	RESET	5
FLMD0	入力	書き込み電圧	FLMD0	FLMD0	25	FLMD0	25	FLMD0	25
FLMD1	入力	書き込み電圧	FLMD1	PDL5/FLMD1	30	PDL5/FLMD1	30	PDL5/FLMD1	30
HS	入力	CSI0 + HS 通 信のハンドシ ェーク信号	RESERVE /HS	P43/TOP00/ TIP00	37	必要なし	-	必要なし	-
VDD	-	VDD 電圧 生 成 / 電圧監視	VDD	V _{DD}	9	V _{DD}	9	V _{DD}	9
				EV _{DD}	26, 47	EV _{DD}	26, 47	EV _{DD}	26, 47
				AV _{REF0}	64	AV _{REF0}	64	AV _{REF0}	64
				AV _{REF1}	59	AV _{REF1}	59	AV _{REF1}	59
				AV _{DD0}	63	AV _{DD0}	63	AV _{DD0}	63
				AV _{DD1}	60	AV _{DD1}	60	AV _{DD1}	60
GND	-	グラウンド	GND	V _{SS}	8	V _{SS}	8	V _{SS}	8
				EV _{SS}	27, 48	EV _{SS}	27, 48	EV _{SS}	27, 48
				AV _{SS0}	62	AV _{SS0}	62	AV _{SS0}	62
				AV _{SS1}	61	AV _{SS1}	61	AV _{SS1}	61

注 フラッシュ・メモリ・プログラマのCLK端子からのクロック供給はできません。

ボード上に発振回路を作成してクロックを供給してください。

注意 REGC端子は、必ず次に示すどちらかの方法で接続してください。

- 4.7 μ Fのコンデンサを介してGNDに接続
- V_{DD}に直接接続

図19 - 6 V850ES/IK1フラッシュ書き込み用アダプタ (FA-64GC-8BS) の配線例 (1/2)

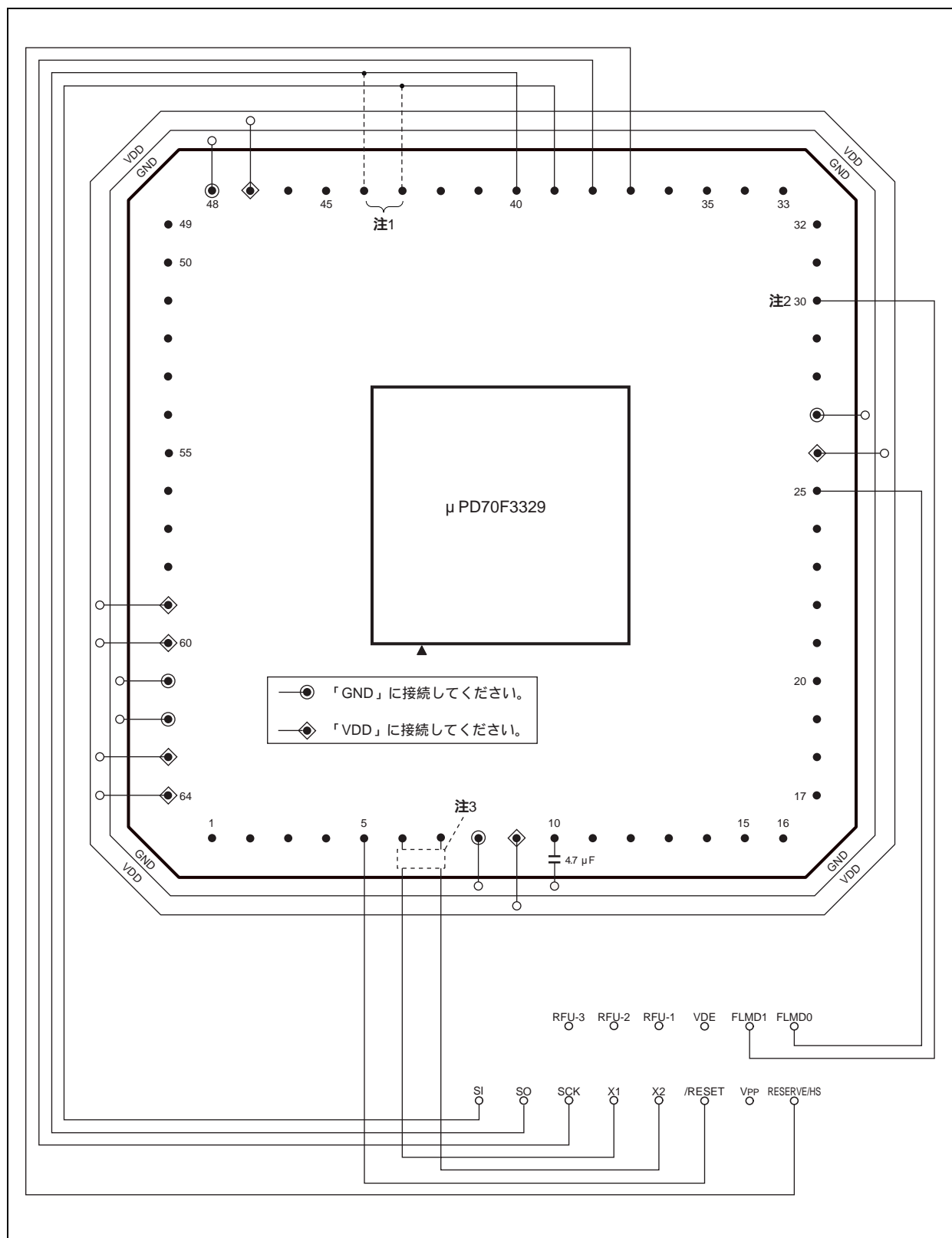
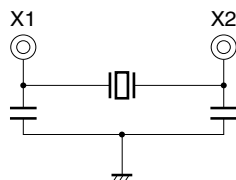


図19 - 6 V850ES/IK1フラッシュ書き込み用アダプタ (FA-64GC-8BS) の配線例 (2/2)

注1. UARTA0使用時の該当端子

2. FLMD1端子は図のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。
3. フラッシュ書き込みアダプタ上 (破線部) に発振回路を作成してクロックを供給してください。次に発振回路例を示します。

例



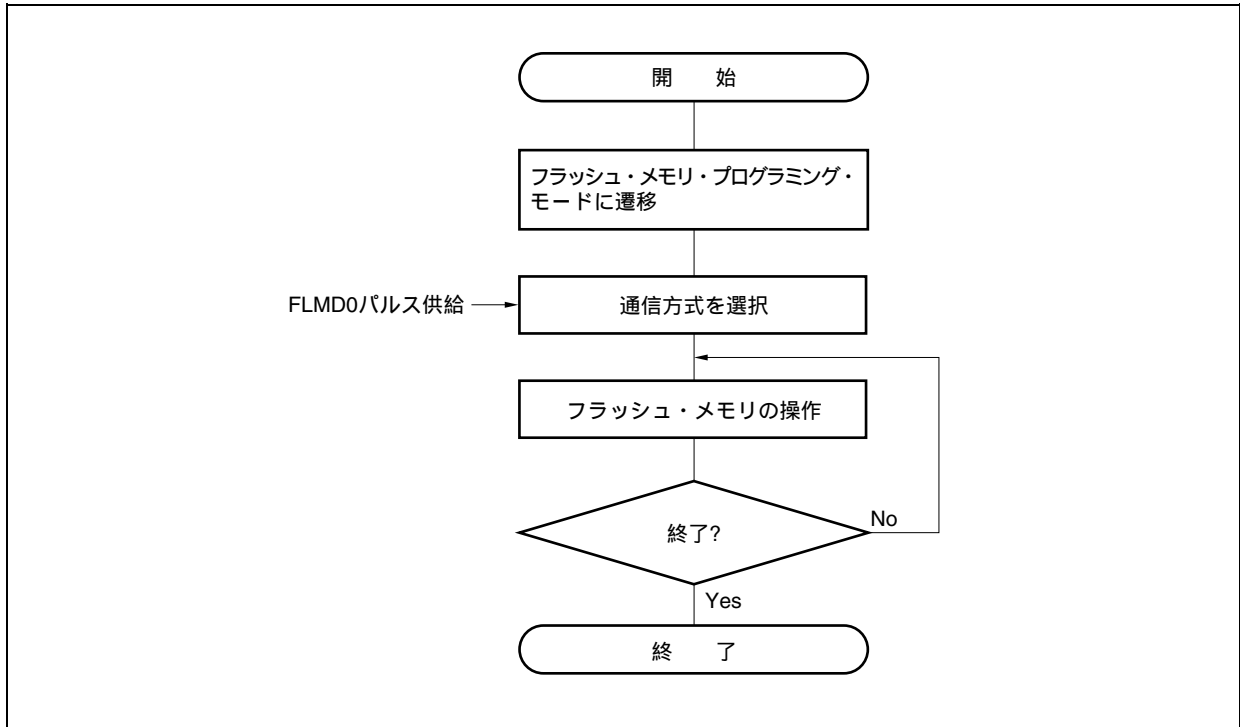
備考1. 記述していない端子は、未使用時の端子処理に従って処理してください (2.2 端子の入出力回路タイプと未使用時の処理参照)。抵抗を介する場合、1 k ~ 10 k の抵抗を接続することを推奨します。

2. この図はハンドシェイク対応CSIB0時の結線です。

19.4.3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図19-7 フラッシュ・メモリの操作手順

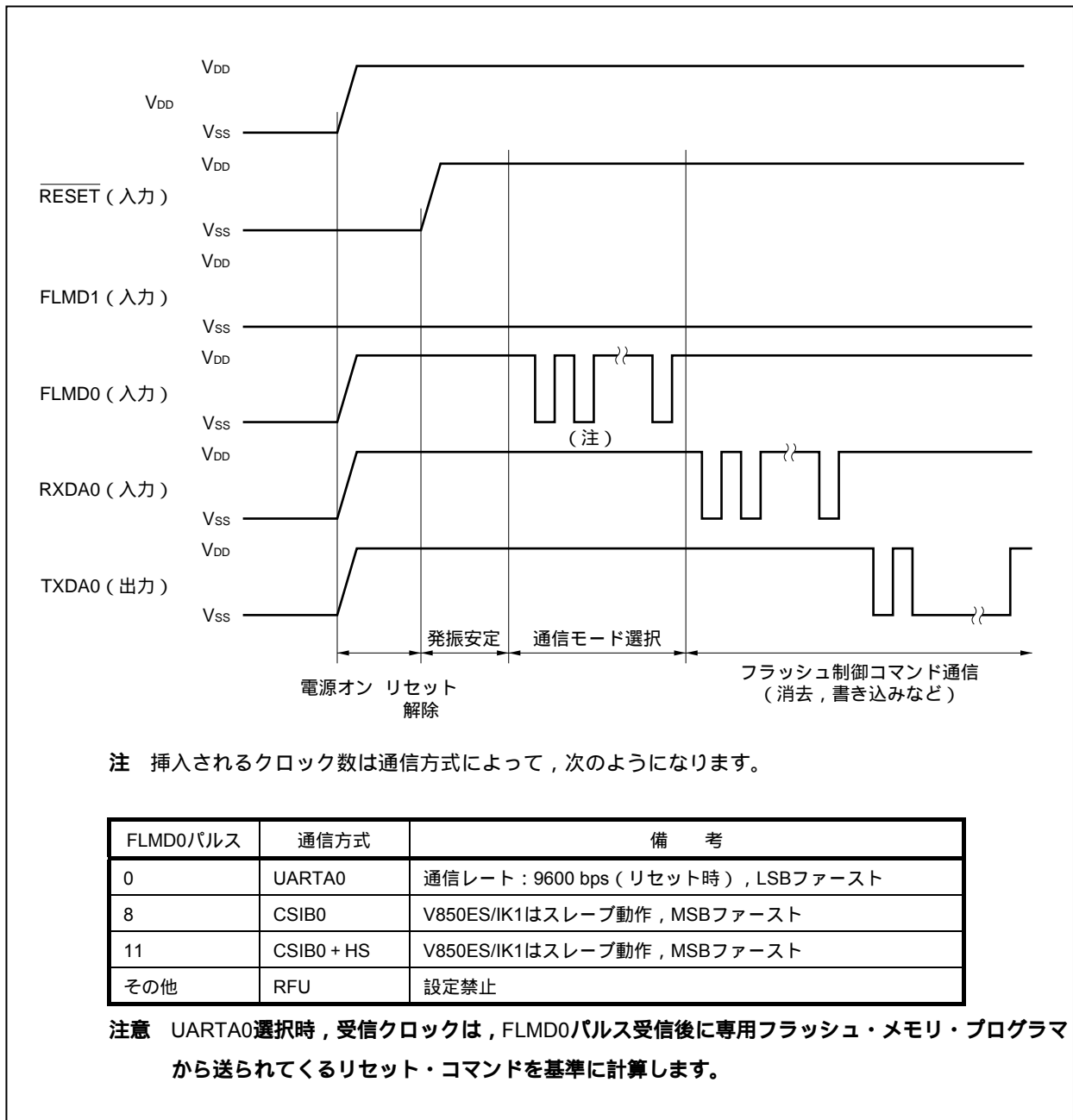


19.4.4 通信方式の選択

V850ES/IK1では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

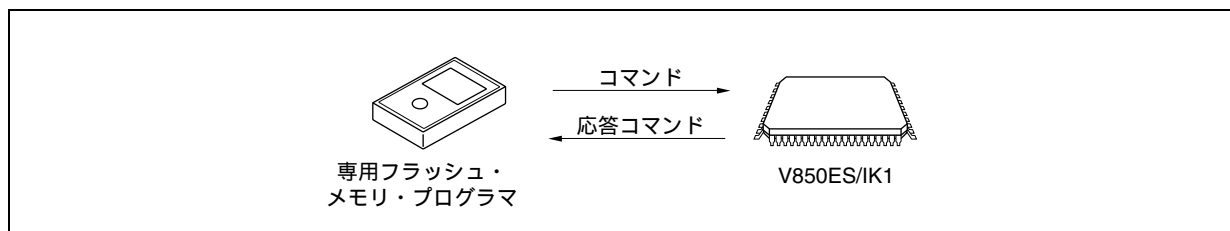
図19 - 8 通信方式の選択



19.4.5 通信コマンド

V850ES/IK1と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850ES/IK1へ送られる信号を「コマンド」と呼び、V850ES/IK1から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図19-9 通信コマンド



V850ES/IK1のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850ES/IK1がコマンドに対応した各処理を行います。

表19-7 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	対応			機能
		CSIB0	CSIB0+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド				指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド				全メモリの内容を消去
	ブロック消去コマンド				指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド				指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド				指定したアドレス範囲のメモリの内容と、フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド				指定したアドレス範囲のチェック・サムを読み出す。
システム設定, 制御	シリコン・シグネチャ・コマンド				シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド				チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定

19.4.6 端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

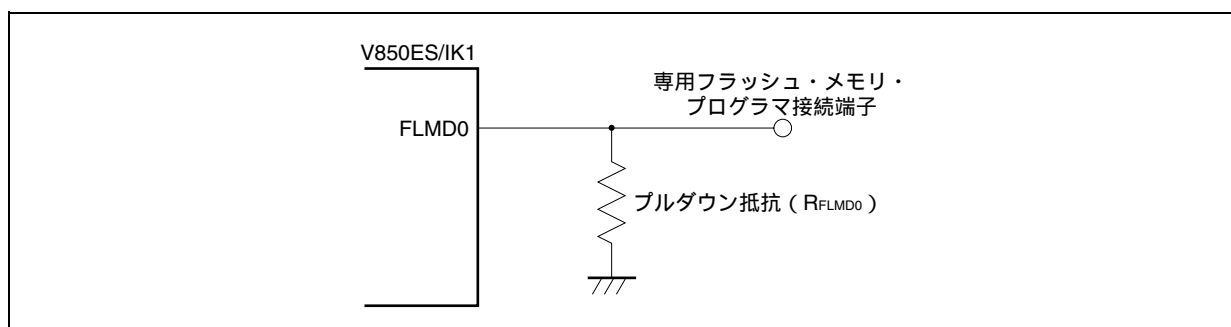
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、19.5.5 (1) FLMD0端子を参照してください。

図19 - 10 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図19 - 11 FLMD1端子の接続例

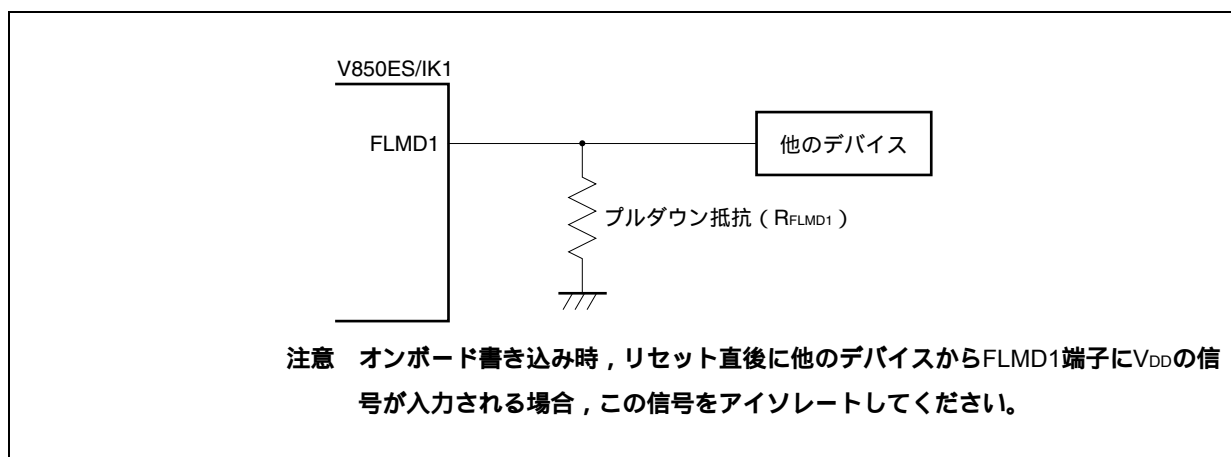


表19 - 8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表19 - 9 各シリアル・インタフェースが使用する端子

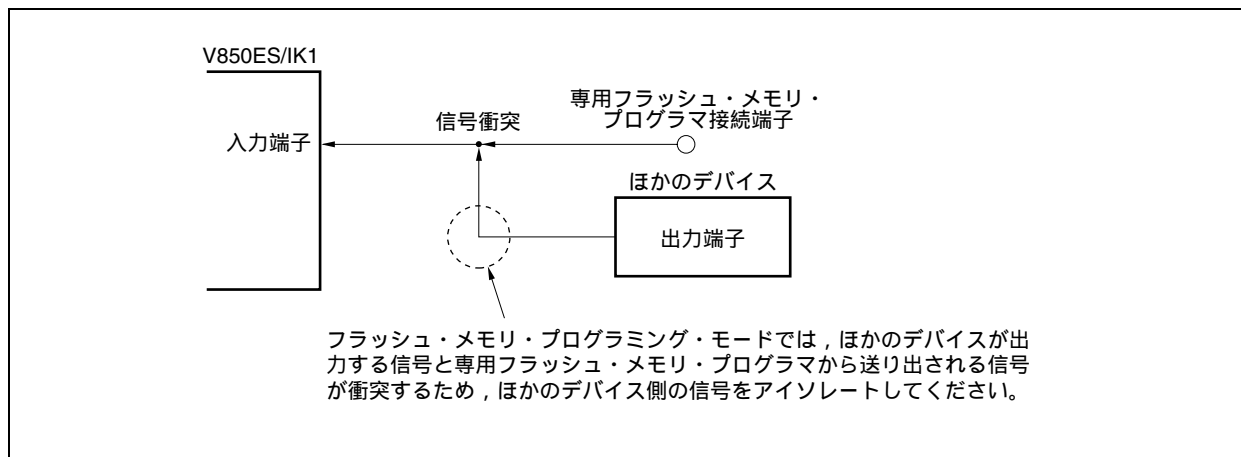
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, $\overline{\text{SCKB0}}$
CSIB0 + HS	SOB0, SIB0, SCKB0, P43

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

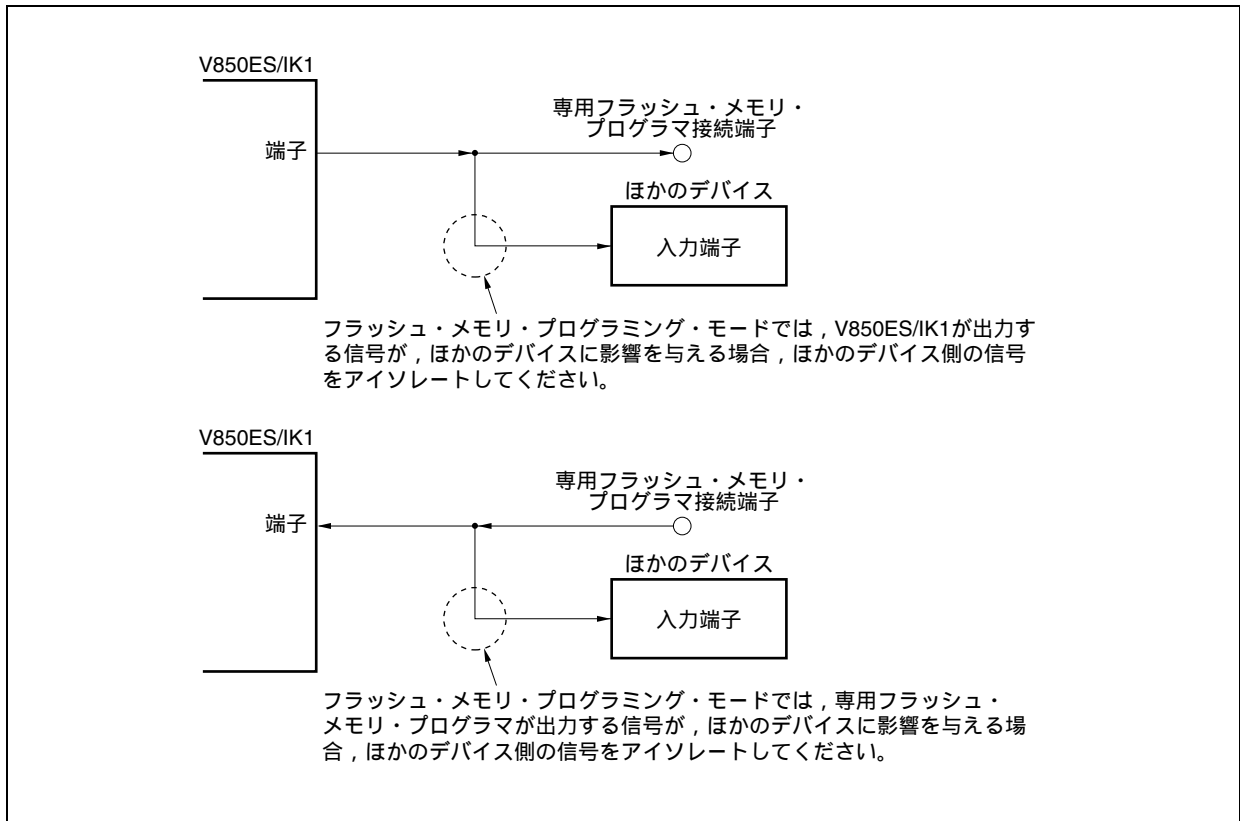
図19 - 12 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス(入力)と接続しているシリアル・インタフェース用の端子(入力または出力)に、専用フラッシュ・メモリ・プログラマ(出力または入力)を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図19 - 13 ほかのデバイスの異常動作

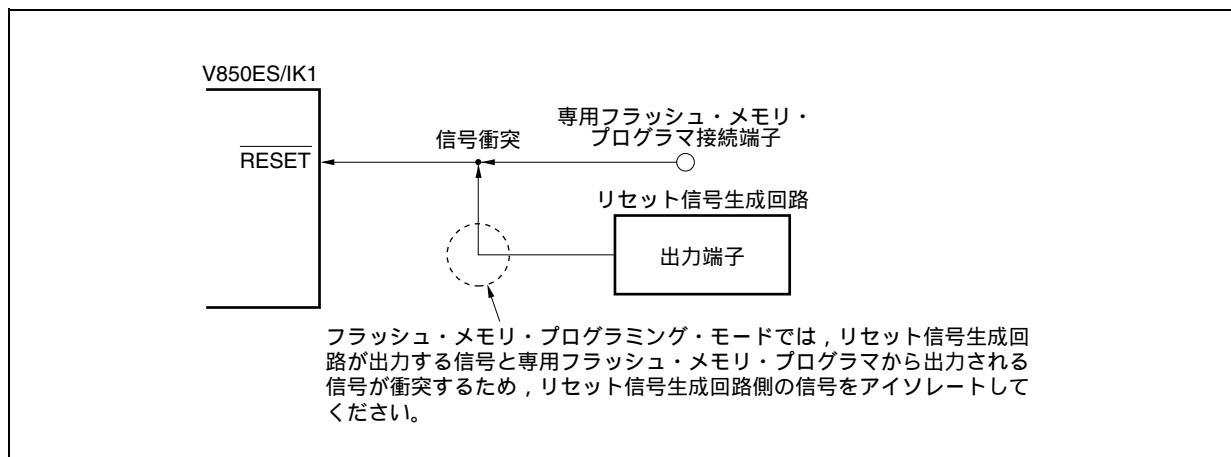


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図19 - 14 信号の衝突 (RESET端子)

**(5) ポート端子**

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, REGCは、通常動作モード時と同じ状態に接続してください。

(7) 電 源

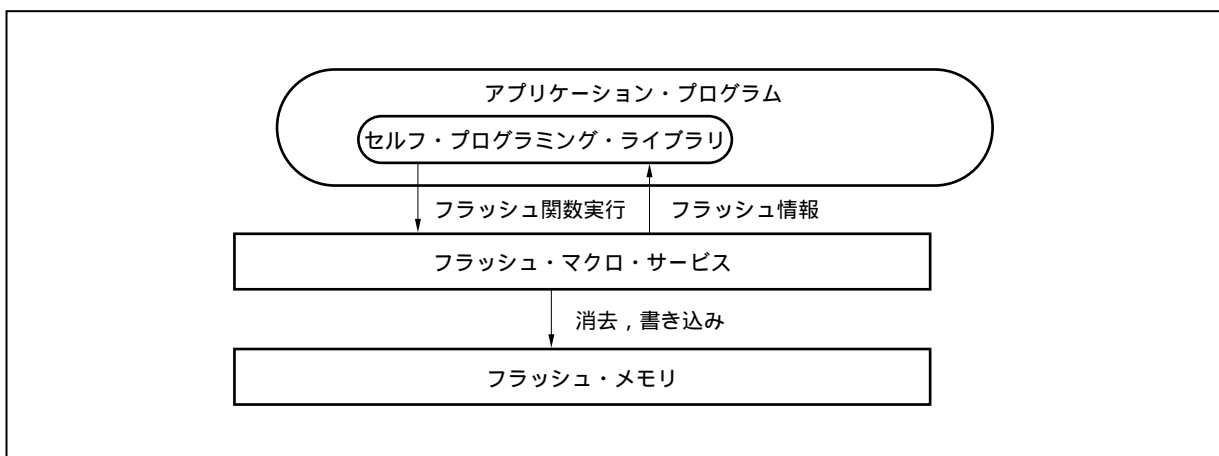
電源 (V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, AV_{SS0}, AV_{SS1}, AV_{DD0}, AV_{DD1}, AV_{REF0}, AV_{REF1}) は、通常動作モード時と同じ電源を供給してください。

19.5 セルフ・プログラミングによる書き換え

19.5.1 概 要

V850ES/IK1は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図19 - 15 セルフ・プログラミングの概念図

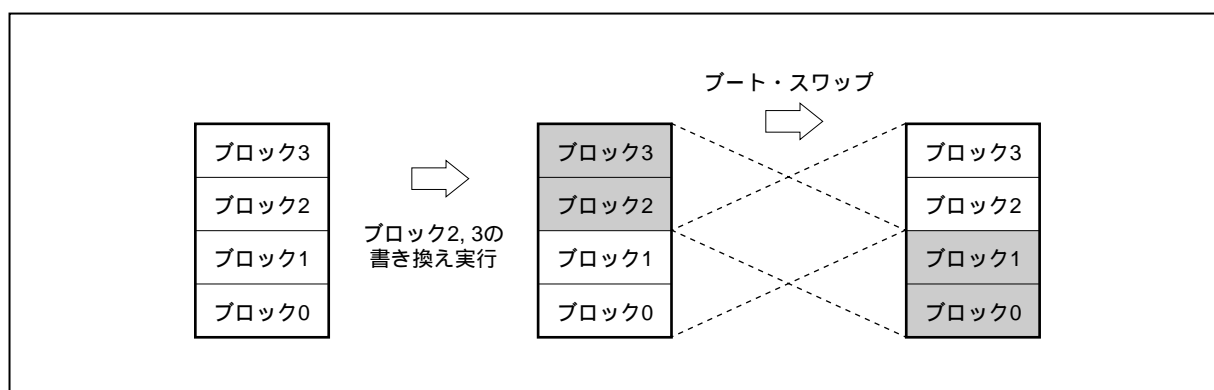


19.5.2 特 徴

(1) セキュア・セルフ・プログラミング (ブート・スワップ機能)

V850ES/IK1は、ブロック0, 1の物理メモリと、ブロック2, 3の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック2, 3に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0, 1には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図19 - 16 全メモリ領域の書き換え (ブート・スワップ対応)



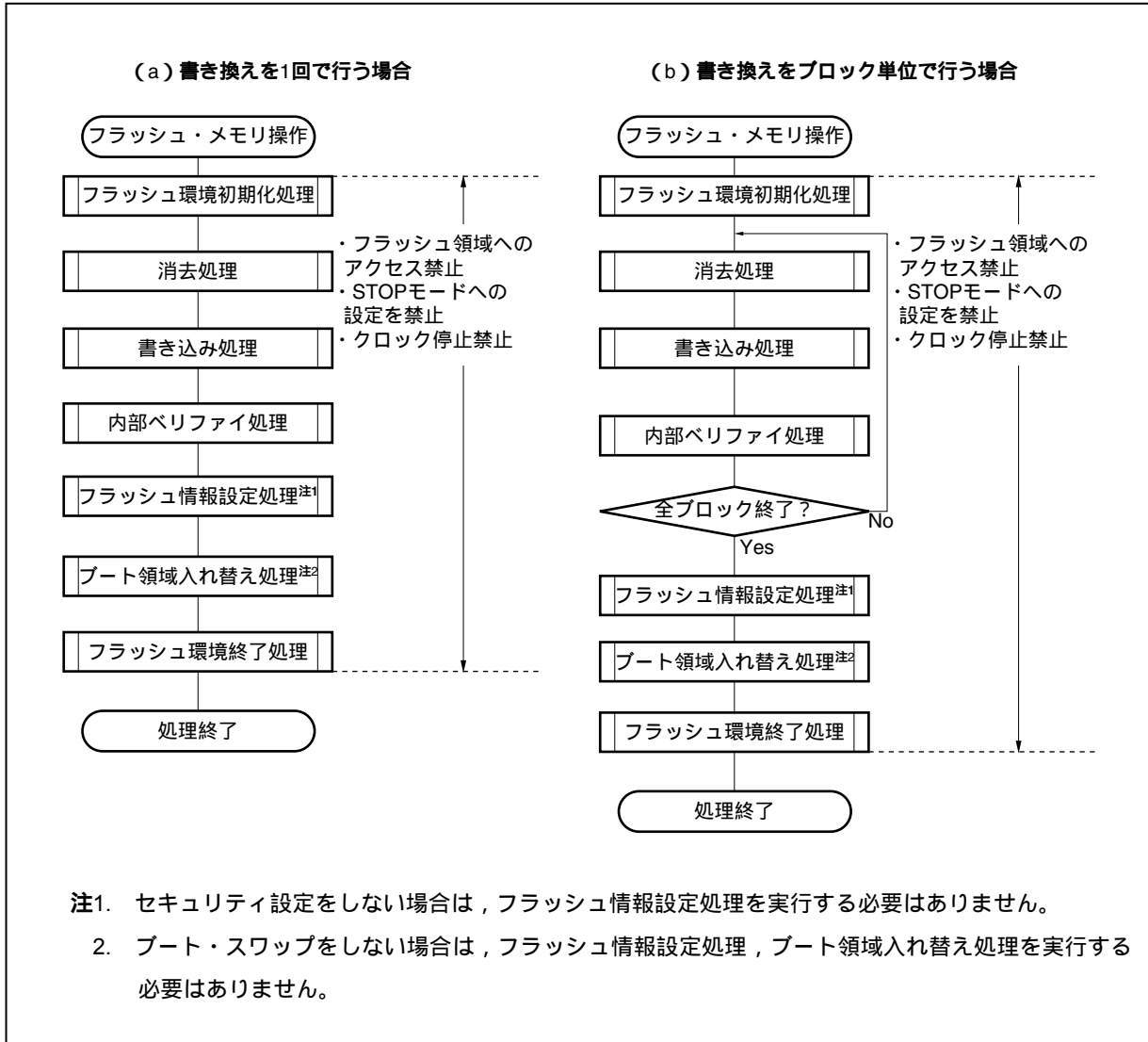
(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できませんでした。この製品では、ライブラリ関数を使用することによって、エントリRAM領域へユーザ・ハンドラを登録することができるため、内部RAMもしくは外部メモリ実行による割り込み処理が可能となります。

19.5.3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。

図19 - 17 標準セルフ・プログラミング・フロー



19.5.4 フラッシュ関数一覧

表19 - 10 フラッシュ関数一覧

関数名	概要	対応
FlashEnv	フラッシュ制御マクロの初期化	
FlashBlockErase	指定した1ブロックの消去	
FlashWordWrite	指定したアドレスからの書き込み	
FlashBlockVerify	指定した1ブロックの内部ベリファイ	
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	
FlashFLMDCheck	FLMD端子のチェック	
FlashGetInfo	フラッシュ情報の読み出し	
FlashSetInfo	フラッシュ情報の設定	
FlashBootSwap	ブート領域入れ替え	
FlashWordRead	指定したアドレスからのデータ読み出し	

備考 詳細は、V850シリーズ フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編） ユーザーズ・マニュアルを参照してください。
 なお、このマニュアルについては、当社販売員にお問い合わせください。

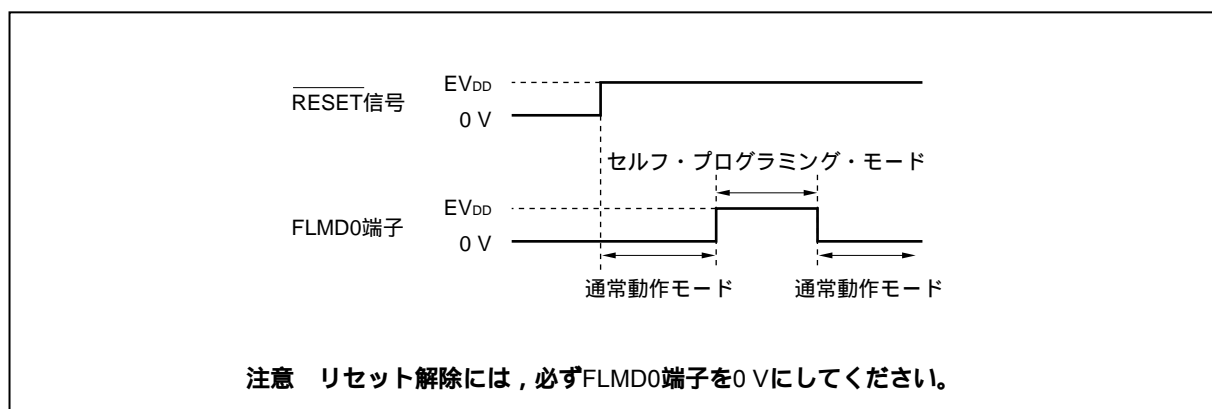
19.5.5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子にEV_{DD}レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図19 - 18 モード切り替わりタイミング



19.5.6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表19-11 使用する内部資源

リソース名	説明
エントリRAM領域 (内部RAM / 外部RAMサイズ ^注)	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとデフォルトのパラメータがコピーされます。
スタック領域 (スタック・サイズ ^注)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM / 外部RAMのどちらでも使用可)
ライブラリ・コード (コード・サイズ ^注)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態、セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用するには、あらかじめ登録関数により割り込み処理先頭アドレスを登録しておく必要があります。

注 使用する容量に関しては、V850シリーズ **フラッシュ・メモリ・セルフ・プログラミング (単電源フラッシュ・メモリ編)** **ユーザズ・マニュアル**を参照してください。

なお、このマニュアルについては、当社販売員にお問い合わせください。

第20章 電気的特性

絶対最大定格 (TA = 25 °C)

項目	略号	条件	定格	単位	
電源電圧	V _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V	
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS0} = AV _{SS1}	- 0.5 ~ + 0.5	V	
	EV _{DD}	V _{DD} = EV _{DD}	- 0.5 ~ + 6.5	V	
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS0} = AV _{SS1}	- 0.5 ~ + 0.5	V	
	AV _{DD}	EV _{DD} = AV _{DD0} = AV _{DD1}	- 0.5 ~ + 6.5	V	
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS0} = AV _{SS1}	- 0.5 ~ + 0.5	V	
入力電圧	V _{I1}	注1	- 0.5 ~ EV _{DD} + 0.5 ^{注2}	V	
	V _{I2}	X1, X2	- 0.5 ~ VRO ^{注3} + 0.5	V	
ロウ・レベル出力電流	I _{OL}	P20-P25	1端子	18	mA
		P20-P25以外の端子	1端子	4	mA
		P00-P06, P10-P14, P16, P17, P30-P33, P40-P44, PDL0-PDL7	全端子合計	50	mA
		P20-P27	全端子合計	50	mA
ハイ・レベル出力電流	I _{OH}	全端子	1端子	- 4.0	mA
		P00-P06, P10-P14, P16, P17, P30-P33, P40-P44, PDL0-PDL7	全端子合計	- 40	mA
		P20-P27	全端子合計	- 15	mA
アナログ入力電圧	V _{IAN}	ANI00-ANI03, ANI10-ANI13	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V	
アナログ基準入力電圧	V _{IREF}	AV _{REF0} , AV _{REF1}	- 0.5 ~ AV _{DD} + 0.5 ^{注2}	V	
動作周囲温度	T _A	通常動作時	- 40 ~ + 85		
		フラッシュ・メモリ・プログラミング時	- 40 ~ + 85		
保存温度	T _{stg}		- 40 ~ + 125		

注1. P00-P06, P10-P14, P16, P17, P20-P27, P30-P33, P40-P44, PDL0-PDL7, RESET, FLMD0 (μPD70F3329のみ) / IC (μPD703327, 703329のみ)

- それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。
- VRO : レギュレータ出力電圧 (2.5 V (TYP.))

注意1. IC製品の出力(出力状態の入出力端子)をほかの出力端子(出力状態の入出力端子を含む),および V_{DD} , EV_{DD} などの電源端子やGND端子に直線接続しないでください。ただし,入出力端子などのハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路では直線接続が可能です。

2. 各項目のうち1項目でも,また一瞬でも絶対最大定格を越えると,製品の品質を損なう恐れがあります。つまり絶対最大定格とは,製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づかない状態で,製品をご使用ください。

DC特性とAC特性に示す規格や条件が,製品の正常動作,品質保証の範囲です。

容量 ($T_A = 25$, $V_{DD} = V_{SS} = EV_{DD} = EV_{SS} = AV_{DD0} = AV_{SS0} = AV_{DD1} = AV_{SS1} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力容量	C_i	$f_c = 1$ MHz			15	pF
入出力容量	C_{iO}	被測定ピン以外は0 V			15	pF
出力容量	C_o				15	pF

動作条件 ($T_A = -40 \sim +85$, $V_{SS} = EV_{SS} = AV_{SS0} = AV_{SS1} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
システム・クロック周波数	f_{xx}	PLLモード	20		32	MHz
		クロック・スルー・モード	2.5		4	MHz
CPUクロック周波数	f_{CPU}	PLLモード	2.5		32	MHz
		クロック・スルー・モード	0.3125		4	MHz
V_{DD} , EV_{DD} 電圧	V_{DD} , EV_{DD}		3.5		5.5	V
AV_{DD0} , AV_{DD1} 電圧	AV_{DD}	EV_{DD} が4.5 V以下の場合保証しない	4.5		EV_{DD}	V

クロック発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 3.5 \sim 5.5 \text{ V}$ (内部 $V_{DD} = 2.5 \text{ V}$))

発振子	回路例	項目	条件	MIN.	TYP.	MAX.	単位
セラミック 発振子 / 水 晶振動子		発振周波数 (f_x)		2.5		4	MHz
		発振安定時間	リセット解除後		$2^{16}/f_x$		ms
			STOPモード解除後		注		ms

注 発振安定時間選択レジスタ (OSTS) の設定によって値が異なります。

- 注意1. 発振回路はX1, X2端子にできるかぎり近づけてください。
- 破線の範囲にほかの信号線を通さないでください。
 - 発振波形のデューティは、45% ~ 55%に収まるようにしてください。
 - V850ES/IK1では外部クロック入力は禁止です。

(i) 村田製作所：セラミック発振子 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

タイプ	品名	発振周波数 f_x (MHz)	推奨回路定数			発振電圧範囲	
			C1	C2	Rd (k Ω)	MIN. (V)	MAX. (V)
リード	CSTLS4M00G56-B0	4	内蔵 (47 pF)	内蔵 (47 pF)	0	V_{P0C0}	5.5
表面実装	CSTCC2M50G56-R0	2.5	内蔵 (47 pF)	内蔵 (47 pF)	1	V_{P0C0}	5.5
	CSTCC3M00G56-R0	3	内蔵 (47 pF)	内蔵 (47 pF)	1	V_{P0C0}	5.5
	CSTCR4M00G55-R0	4	内蔵 (39 pF)	内蔵 (39 pF)	0	V_{P0C0}	5.5

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/IK1の内部動作条件についてはAC, DC特性の規格内で使用してください。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
ハイ・レベル入力電圧	V_{IH1}	注1		0.7 EV_{DD}		EV_{DD}	V
	V_{IH2}	注2		0.8 EV_{DD}		EV_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1		EV_{SS}		0.3 EV_{DD}	V
	V_{IL2}	注2		EV_{SS}		0.2 EV_{DD}	V
ハイ・レベル入力カリーク電流	I_{LIH1}	$V_i = V_{DD} = EV_{DD}$	X1以外			5	μA
	I_{LIH2}		X1			20	μA
ロウ・レベル入力カリーク電流	I_{LIL1}	$V_i = 0 \text{ V}$	X1以外			- 5	μA
	I_{LIL2}		X1			- 20	μA
ハイ・レベル出力カリーク電流	I_{LOH}	$V_o = V_{DD} = EV_{DD}$				5	μA
ロウ・レベル出力カリーク電流	I_{LOL}	$V_o = 0 \text{ V}$				- 5	μA
ハイ・レベル出力電圧	V_{OH}	注3	1端子 $I_{OH} = -1.0 \text{ mA}$	端子合計 - 31 mA	$EV_{DD} - 1.0$		V
		注4	1端子 $I_{OH} = -1.0 \text{ mA}$	端子合計 - 8 mA	$EV_{DD} - 1.0$		V
ロウ・レベル出力電圧	V_{OL1}	注5, 注6	1端子 $I_{OL} = 15 \text{ mA}$	端子合計 45 mA		2.0	V
		注3	1端子 $I_{OL} = 1.0 \text{ mA}$	端子合計 31 mA		0.4	V
	注4	1端子 $I_{OL} = 1.0 \text{ mA}$	端子合計 8 mA		0.4	V	
プルアップ抵抗	R_1			10	30	100	$k\Omega$

注1. P20-P27, P31, P33, P41, PDL0-PDL7端子

- P00-P06, P10-P14, P16, P17, P30, P32, P40, P42-P44, $\overline{\text{RESET}}$, FLMDX ($\mu\text{PD70F3329}$ のみ) YIC ($\mu\text{PD703327}$, 703329のみ) 端子
- P00-P06, P10-P14, P16, P17, P30-P33, P40-P44, PDL0-PDL7端子
- P20-P27端子
- P20-P25端子
- 同時ロウ・レベル出力は最大3本まで (残り3本はハイ・レベル出力またはハイ・インピーダンス出力)

備考1. 兼用端子の特性は, ポート端子として使用する場合の特性と同じです。

- I_{OH} , I_{OL} の条件を1端子のみ満たさず合計値は条件を満たしている場合, DC特性も満たさなくなるのは, その端子のみです。

DC特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$) (2/2)

項目	略号	条件	MIN.	TYP. ^{注2}	MAX.	単位
電源電流 ^{注1} (μ PD70F3329)	IDD1	通常動作	$f_{XX} = 20 \text{ MHz}$	38	60	mA
			$f_{XX} = 32 \text{ MHz}$	45	72	mA
	IDD2	HALTモード	$f_{XX} = 20 \text{ MHz}$	22	35	mA
			$f_{XX} = 32 \text{ MHz}$	25	40	mA
IDD3	IDLEモード	$f_{XX} = 32 \text{ MHz}$	6	10	mA	
IDD4	STOPモード		30	200	μA	
電源電流 ^{注1} (μ PD703327, μ PD703329)	IDD1	通常動作	$f_{XX} = 20 \text{ MHz}$	30	52	mA
			$f_{XX} = 32 \text{ MHz}$	35	60	mA
	IDD2	HALTモード	$f_{XX} = 20 \text{ MHz}$	17	30	mA
			$f_{XX} = 32 \text{ MHz}$	20	35	mA
IDD3	IDLEモード	$f_{XX} = 32 \text{ MHz}$	6	10	mA	
IDD4	STOPモード		30	200	μA	

注1. 出力バッファ, プルアップ抵抗で消費される電流は含みません。

2. TYP.値は, $V_{DD} = 5.0 \text{ V}$ での参考値です。

データ保持特性

STOPモード時 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{SS} = EV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$)

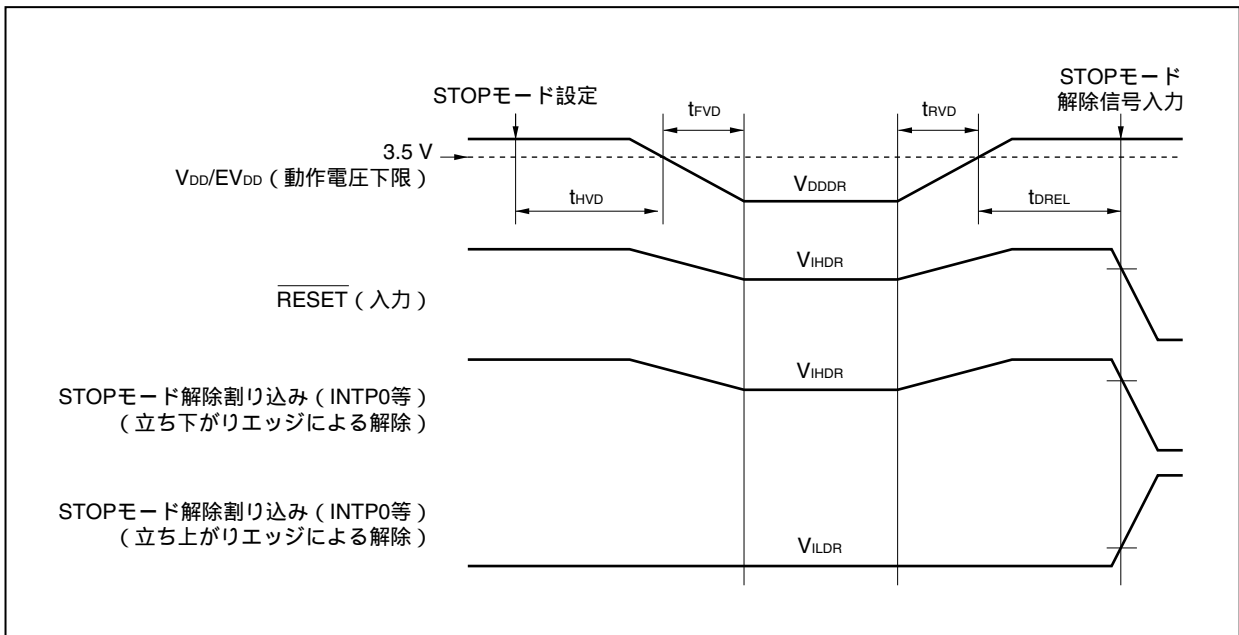
項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード時	注		5.5	V
		電源投入時以外のリセット時	1.9		注	V
データ保持電流	I_{DDDR}	$V_{DD} = V_{DDDR}$		30	200	μA
電源電圧立ち上がり時間	t_{rVD}	V_{DD}	1			μs
電源電圧立ち下がり時間	t_{fVD}	V_{DD}	1			μs
電源電圧保持時間 (対STOPモード設定)	t_{HVD}		0			ms
STOPモード解除信号入力時間	t_{DREL}		0			ms
データ保持ハイ・レベル入力電圧	V_{IHDR}	全入力端子	$0.9V_{DDDR}$		V_{DDDR}	V
データ保持ロウ・レベル入力電圧	V_{ILDR}	全入力端子	0		$0.1V_{DDDR}$	V

注 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 0) 未使用時 : POC検出電圧 (V_{POC0})
 低電圧検出回路 (LVI) のリセット・モード (LVIM.LVIMDビット = 1) 使用時 : LVI検出電圧 (V_{LV10}/V_{LV11})

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 次に示す動作範囲内で行ってください。

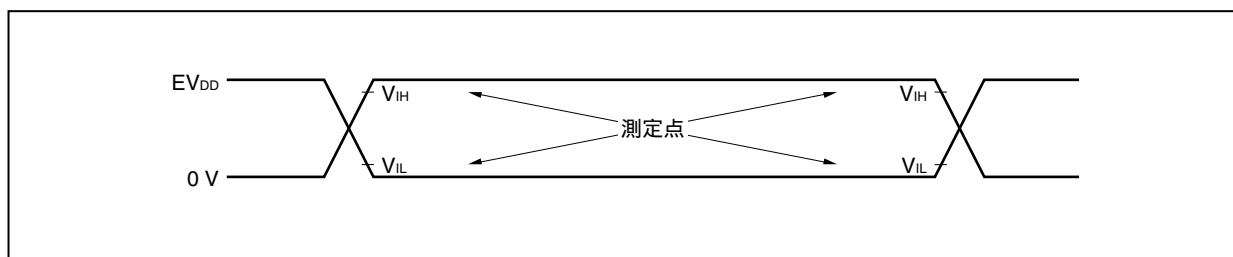
- ・LVI (リセット・モード) 未使用時 : POC検出電圧以上 (V_{POC0})
- ・LVI (リセット・モード) 使用時 : LVI検出電圧 (V_{LV10}/V_{LV11}) 以上

なお, LVI (リセット・モード) 未使用時にPOC検出電圧 (V_{POC0}) になった場合や, LVI (リセット・モード) 使用時にLVI検出電圧 (V_{LV10}/V_{LV11}) になった場合は, 内部リセット (POCRES / LVIRES) がかかるため, STOPモードは自動的に解除されます。

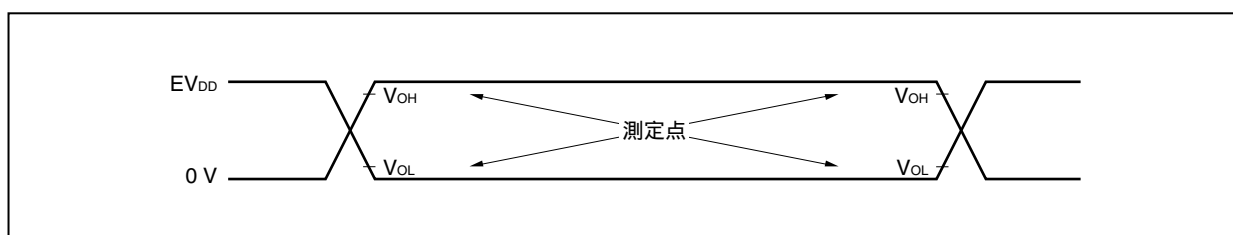


AC特性

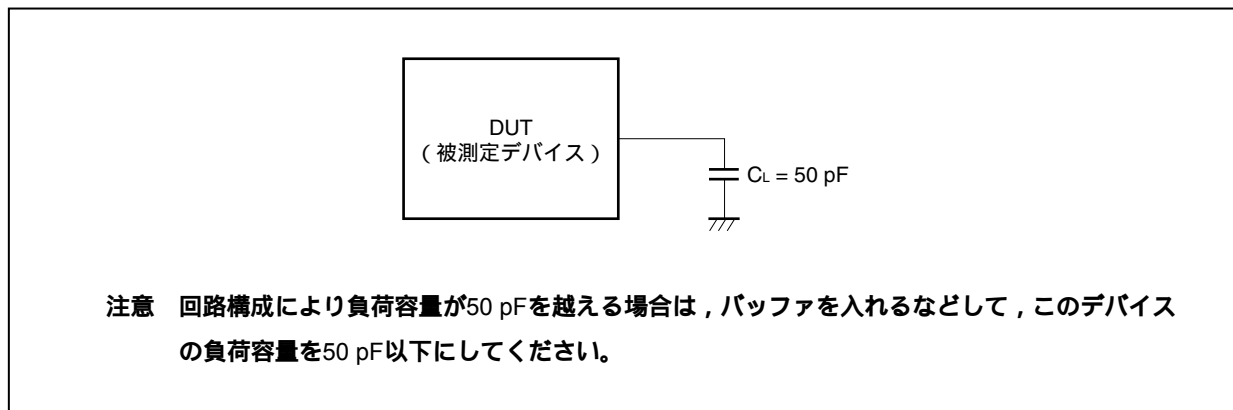
ACテスト入力測定点



ACテスト出力測定点



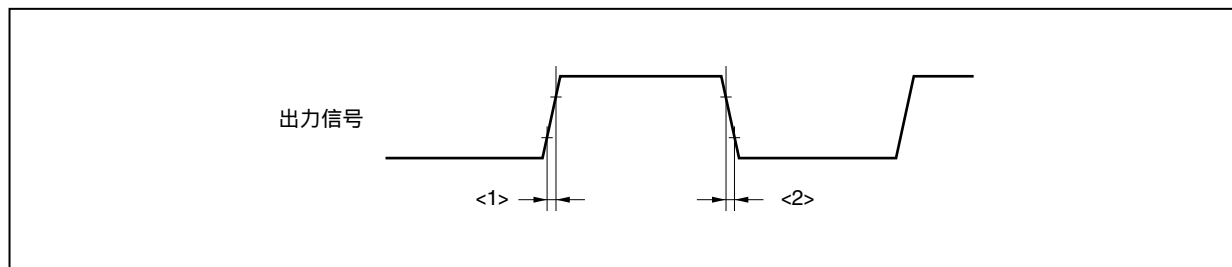
負荷条件



出力信号タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
出力立ち上がり時間	t_{oR}	<1>		15	ns
出力立ち下がり時間	t_{oF}	<2>		15	ns

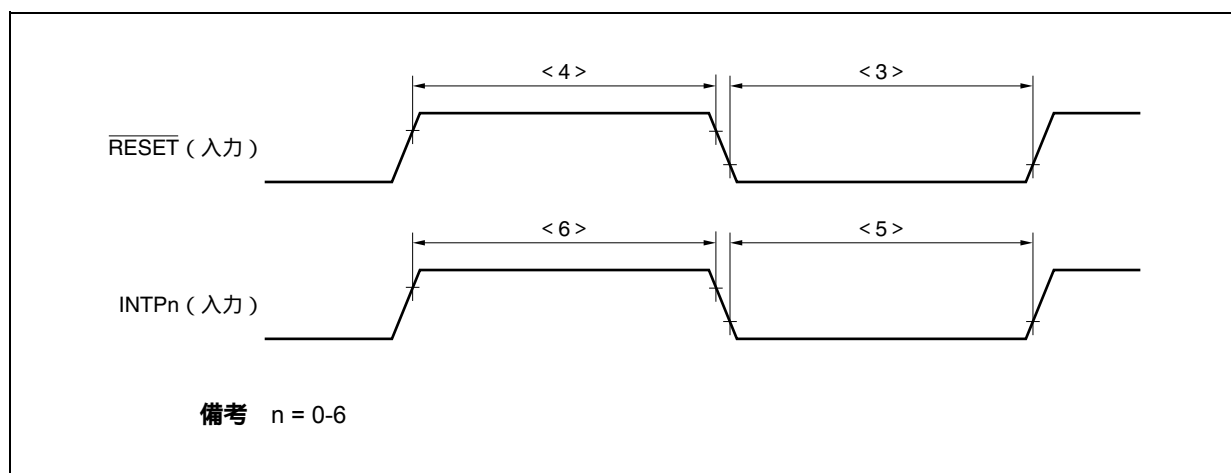


リセット , 外部割り込みタイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
RESET \bar ロウ・レベル幅	t_{WRSL}	<3>	500		ns
RESETハイ・レベル幅	t_{WRSH}	<4>	500		ns
INTPnロウ・レベル幅	t_{WITL}	n = 0-5 (アナログ・ノイズ除去)	500		ns
		n = 6 (デジタル・ノイズ除去)	$5T_{smp} + 10$		ns
INTPnハイ・レベル幅	t_{WITH}	n = 0-5 (アナログ・ノイズ除去)	500		ns
		n = 6 (デジタル・ノイズ除去)	$5T_{smp} + 10$		ns

備考 T_{smp} : ノイズ除去サンプリング・クロック周期 (INTPNRCレジスタで設定)



タイマ・タイミング

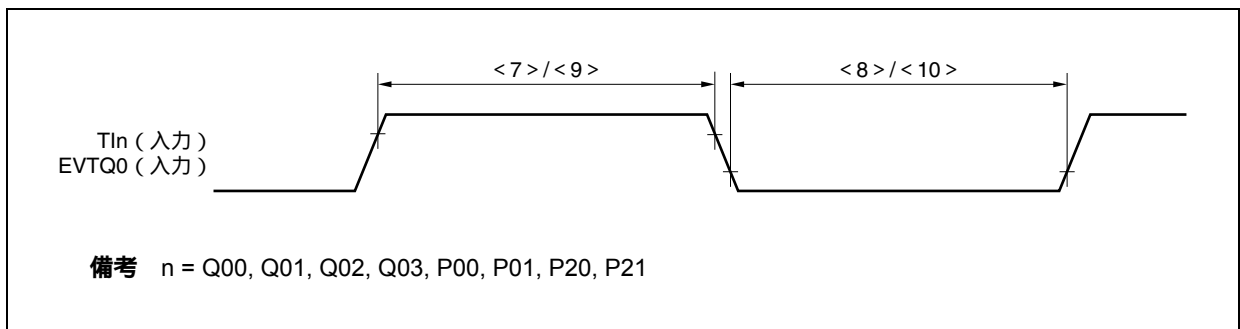
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
TInハイ・レベル幅 ^{注1}	t_{WTIHn}	<7>	$10T + 10$		ns
TInロウ・レベル幅 ^{注1}	t_{WTILn}	<8>	$10T + 10$		ns
EVTQ0ハイ・レベル幅 ^{注1}	t_{WEVHn}	<9>	$10T + 10$		ns
EVTQ0ロウ・レベル幅 ^{注1}	t_{WEVLn}	<10>	$10T + 10$		ns

注 $T = 1/f_{xx}$

備考1. $n = Q00, Q01, Q02, Q03, P00, P01, P20, P21$

- 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。



ハイ・インピーダンス制御タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	MAX.	単位
発振停止 タイマ出力ハイ・インピーダンス	t_{CLM}	クロック・モニタ動作時		65	μs
TOQH0OFF入力 タイマ出力ハイ・インピーダンス	t_{HTQH0}			300	ns
TOQ1OFF入力 タイマ出力ハイ・インピーダンス	t_{HTQ1}			300	ns
TOPnOFF入力 タイマ出力ハイ・インピーダンス	t_{HTPn}			300	ns

備考 $n = 2, 3$

CSIBタイミング

(1) マスタ・モード

(TA = -40 ~ +85 °C, VDD = EVDD = 3.5 ~ 5.5 V, VSS = EVSS = 0 V, CL = 50 pF)

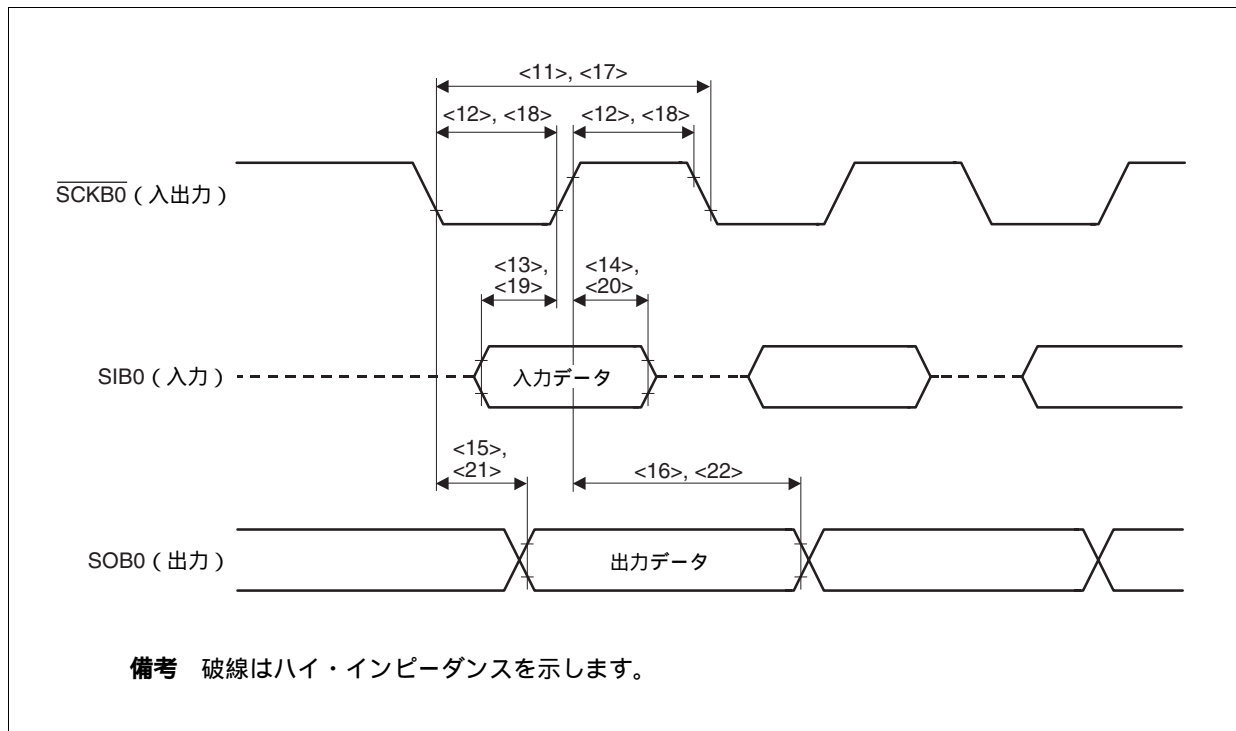
項目	略号	条件	MIN.	MAX.	単位
SCKB0周期	t _{KCYM}	<11>	125		ns
SCKB0ハイ/ロウ・レベル幅	t _{KWHM} , t _{KWLM}	<12>	t _{KCYM} /2 - 10		ns
SIB0セットアップ時間 (対SCKB0)	t _{SSIM}	<13>	30		ns
SIB0ホールド時間 (対SCKB0)	t _{HSIM}	<14>	30		ns
SOB0出力遅延時間 (対SCKB0)	t _{DSOM}	<15>		30	ns
SOB0出力遅延時間 (対SCKB0)				30	ns
SOB0出力保持時間 (対SCKB0)	t _{HSOM}	<16>		t _{KCYM} /2 - 10	ns
SOB0出力保持時間 (対SCKB0)				t _{KCYM} /2 - 10	ns

(2) スレーブ・モード

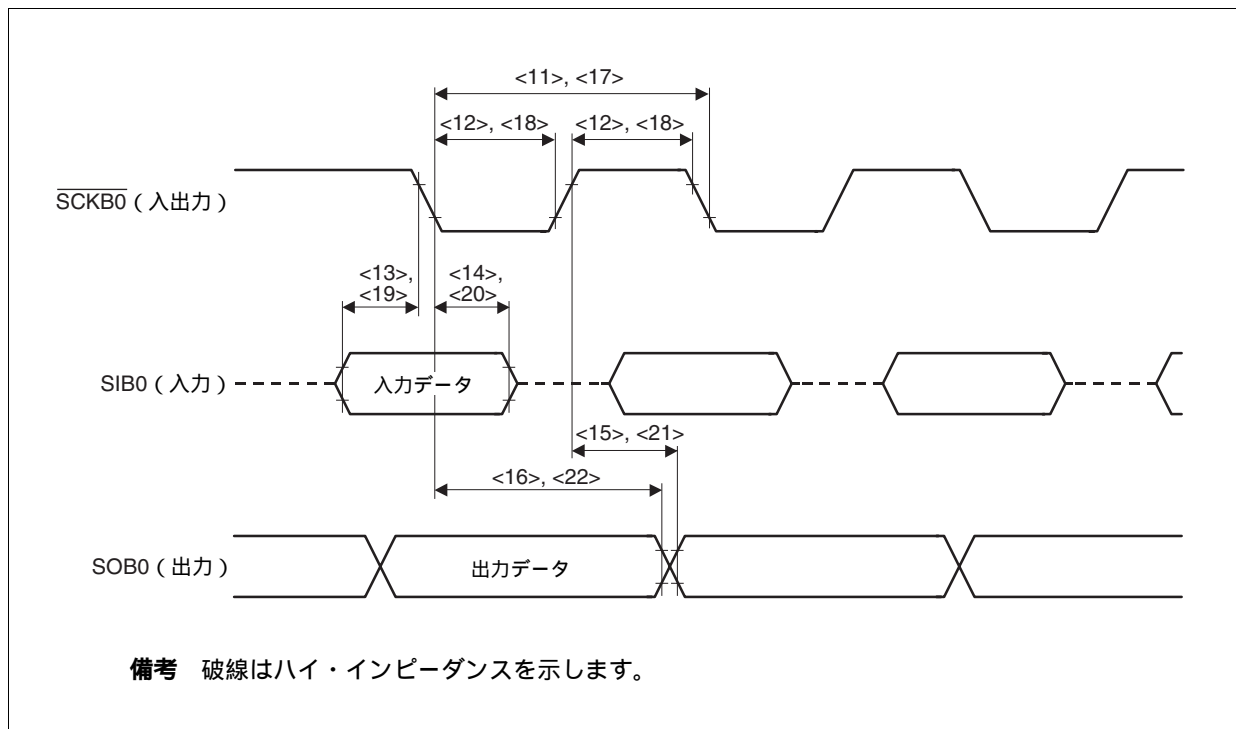
(TA = -40 ~ +85 °C, VDD = EVDD = 3.5 ~ 5.5 V, VSS = EVSS = 0 V, CL = 50 pF)

項目	略号	条件	MIN.	MAX.	単位
SCKB0周期	t _{KCYS}	<17>	125		ns
SCKB0ハイ/ロウ・レベル幅	t _{KWHS} , t _{KWLS}	<18>	t _{KCYS} /2 - 10		ns
SIB0セットアップ時間 (対SCKB0)	t _{SSIS}	<19>	30		ns
SIB0ホールド時間 (対SCKB0)	t _{HSIS}	<20>	30		ns
SOB0出力遅延時間 (対SCKB0)	t _{DSOS}	<21>		30	ns
SOB0出力遅延時間 (対SCKB0)				30	ns
SOB0出力保持時間 (対SCKB0)	t _{HSOS}	<22>		t _{KCYS} /2 - 10	ns
SOB0出力保持時間 (対SCKB0)				t _{KCYS} /2 - 10	ns

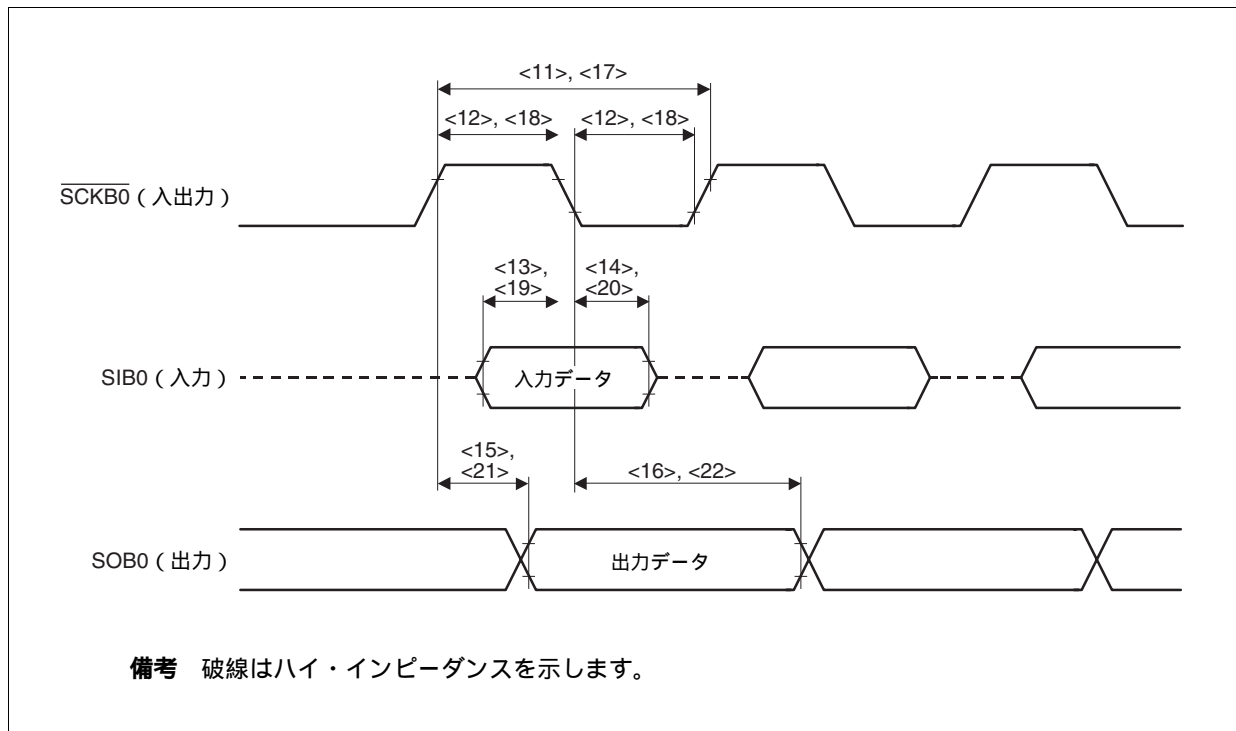
CSIBタイミング : CB0CTL1.CB0CKP, CB0DAPビット = 00時



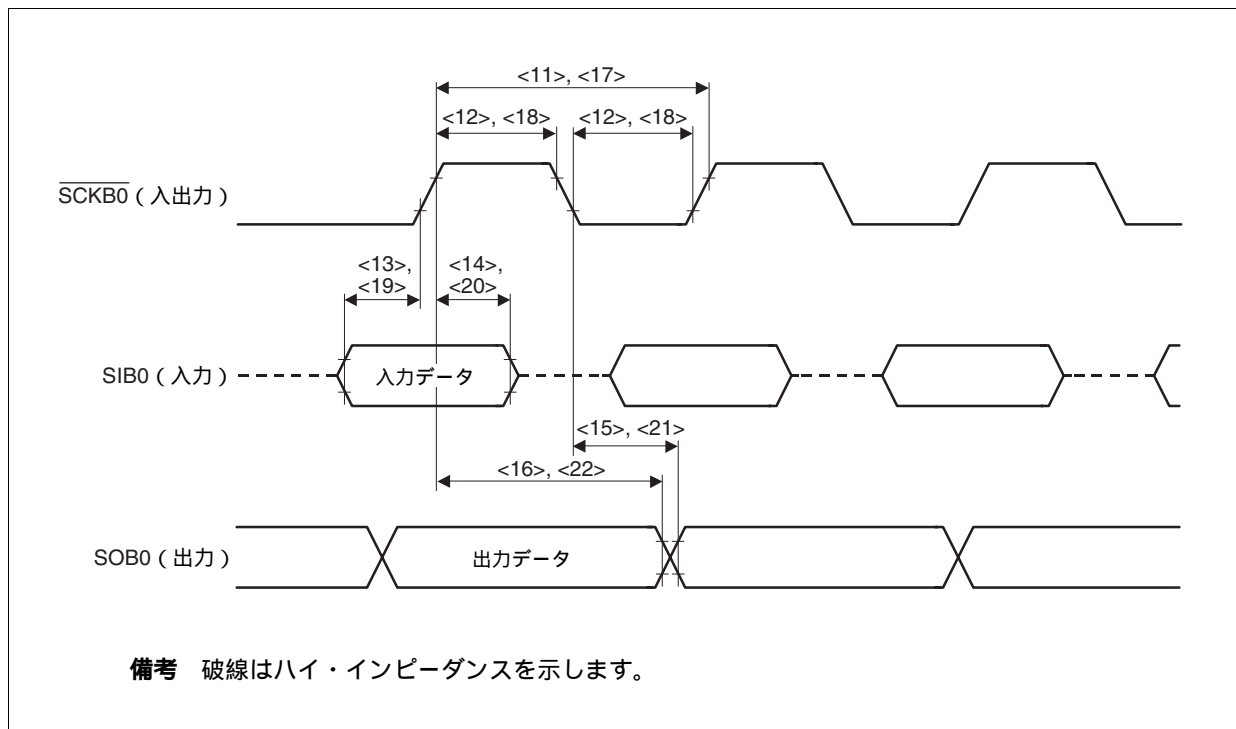
CSIBタイミング : CB0CTL1.CB0CKP, CB0DAPビット = 01時



CSIBタイミング : CB0CTL1.CB0CKP, CB0DAPビット = 10時



CSIBタイミング : CB0CTL1.CB0CKP, CB0DAPビット = 11時



A/Dコンバータ0, 1特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 4.5 \sim 5.5 \text{ V}$, $AV_{DD0} = AV_{DD1} = 4.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS0} = AV_{SS1} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
分解能			10	10	10	bit
総合誤差 ^{注1}					± 4.0	LSB
変換時間	t_{CONV}		2		10	μs
ゼロスケール誤差 ^{注1}					± 4.0	LSB
フルスケール誤差 ^{注1}					± 4.0	LSB
積分直線性誤差 ^{注1}					± 4.0	LSB
微分直線性誤差 ^{注1}					-1 ~ +2	LSB
アナログ基準電圧	AV_{REF}	$AV_{REF0} = AV_{REF1} = AV_{DD0} = AV_{DD1}$	4.5		5.5	V
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{DD}	V
AV_{DD0} , AV_{DD1} 電源電流 ^{注2}	AI_{DD}	動作時		6	10	mA
	AI_{DDS}	STOPモード時 ^{注3}		0.5	25	μA

注1. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

2. この値はA/Dコンバータ0またはA/Dコンバータ1のいずれか1回路分です。

3. STOPモードに設定する前に, A/Dコンバータ0, 1の動作を停止 ($ADAnM0.ADAnCE$ ビット = 0) してください。

備考 1. LSB : Least Significant Bit

2. $n = 0, 1$

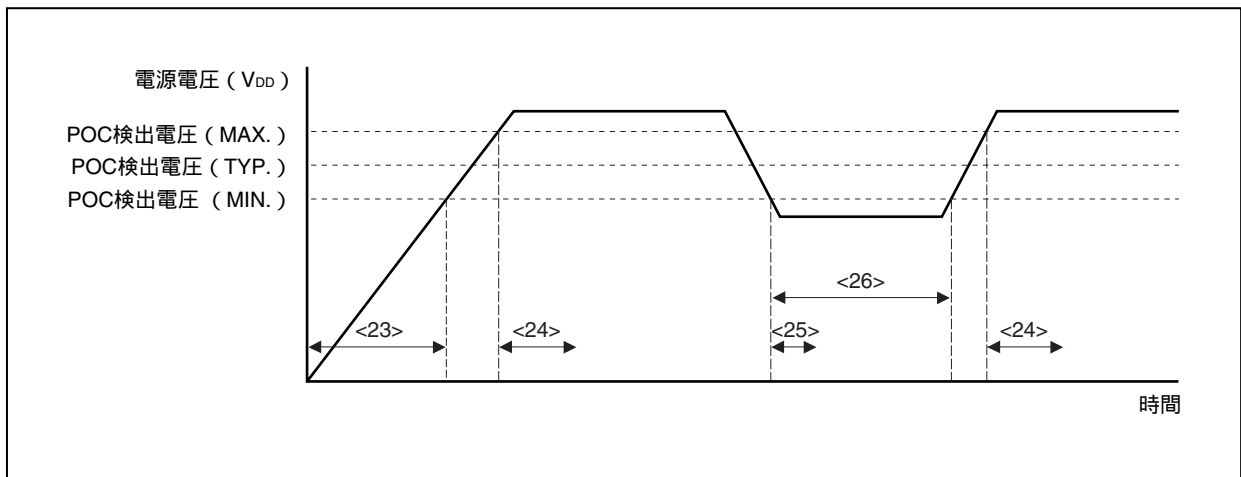
パワーオン・クリア回路 (POC)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
POC検出電圧	V_{POC0}		3.5	3.7	3.9	V
電源電圧立ち上がり時間	t_{PTH}	<23> $V_{DD} = 0 \sim 3.5 \text{ V}$	0.002			ms
応答時間1 ^{注1}	t_{PTH}	<24> 電源立ち上げ時, V_{DD} が POC検出電圧に到達後			3.0	ms
応答時間2 ^{注2}	t_{PD}	<25> 電源降下時, V_{DD} がPOC 検出電圧に落ちたあと			1.0	ms
V_{DD} 最小幅	t_{PW}	<26>	0.2			ms

注1. POC検出電圧を検出してからリセット信号 (POCRES) を解除するまでの時間です。

2. POC検出電圧を検出してからリセット信号 (POCRES) を発生するまでの時間です。

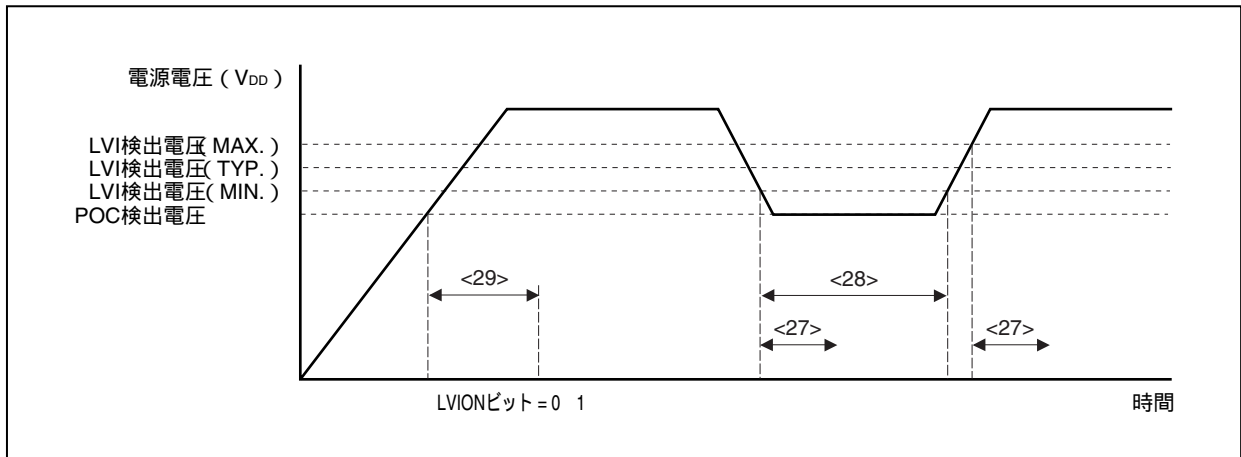


低電圧検出回路 (LVI)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
LVI検出電圧	V_{LV10}	LVIS.LVIS0ビット = 0	4.2	4.4	4.6	V
	V_{LV11}	LVIS.LVIS0ビット = 1	4.0	4.2	4.4	V
応答時間 ^{注1}	t_{LD}	<27> V_{DD} が V_{LV10}/V_{LV11} (MAX.) に到達後、または V_{DD} が V_{LV10}/V_{LV11} (MIN.) に落ちたあと		0.2	2.0	ms
V_{DD} 最小幅	t_{LW}	<28>	0.2			ms
基準電圧安定待ち時間 ^{注2}	t_{LWAIT}	<29> V_{DD} がPOC検出電圧に達したあと、および LVIM.LVIONビットを 0 1に変更したあと		0.1	0.2	ms

注 LVI検出電圧を検出してから割り込み要求信号 (INTLVI) または内部リセット信号 (LVIRES) を発生するまでの時間です。

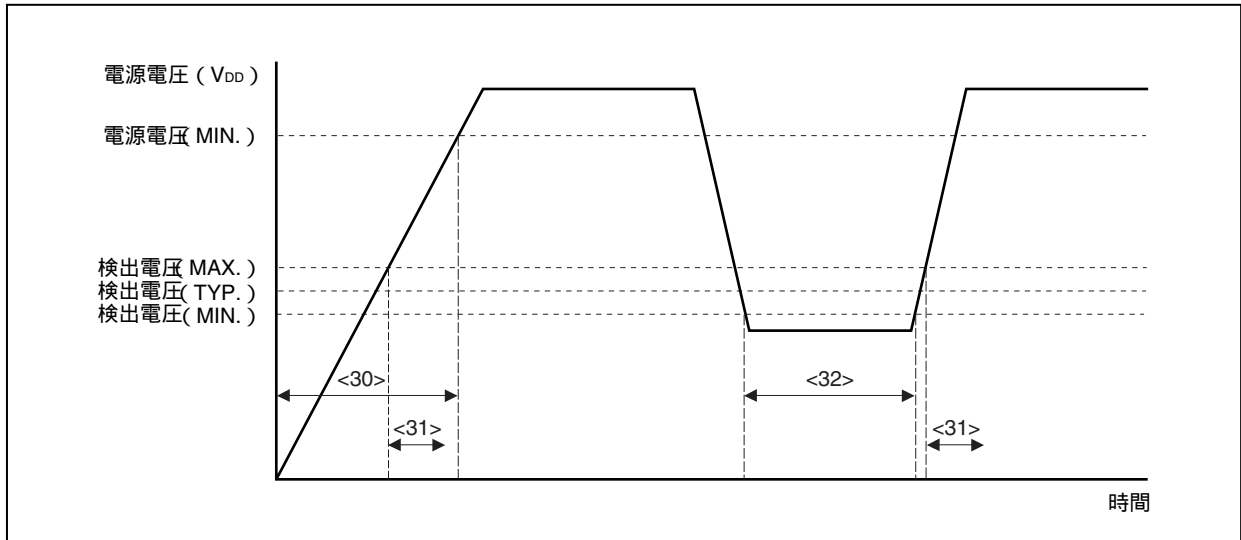


RAM保持電圧検出

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{RAMH}		1.9	2.0	2.1	V
電源電圧立ち上がり時間	t_{RAMHTH}	<30> $V_{DD} = 0 \sim 3.5 \text{ V}$ まで	0.002		1800	ms
応答時間 ¹ 注	t_{RAMHD}	<31> V_{DD} が2.1 Vに到達後		0.2	2.0	ms
V_{DD} 最小幅	t_{RAMHW}	<32>	0.2			ms

注 検出電圧を検出してからRAMS.RAMFビットをセット(1)するまでの時間です。



フラッシュ・メモリ・プログラミング特性 (μ PD70F3329のみ)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$, $V_{SS} = EV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

(1) 基本特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
動作周波数	f _{CPU}		2.5		32	MHz
電源電圧	V _{DD}		3.5		5.5	V
書き換え回数	C _{ERWR}	注			100	回
書き換え温度	t _{PRG}		-40		85	°C

注 出荷品に対する初回書き込み時には、「消去 書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

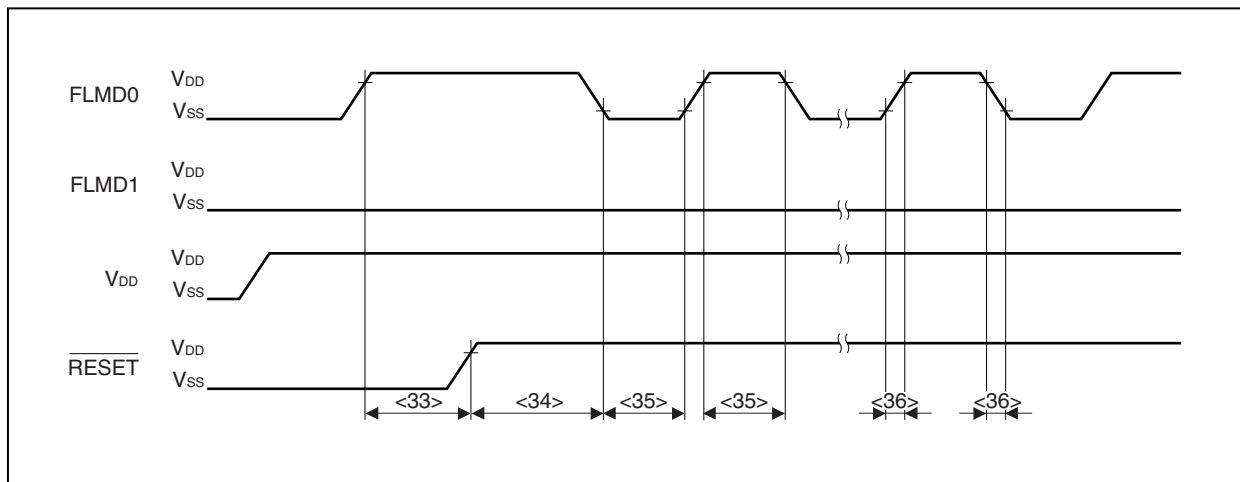
例 (P: 書き込み, E: 消去)

出荷品 --- P E P E P : 書き換え回数3回

出荷品 E P E P E P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

項目	略号	条件	MIN.	TYP.	MAX.	単位
FLMD0, FLMD1セットアップ時間	t _{MSET}	<33>	2		3000	s
RESET FLMD0パルス入力開始時間	t _{RFCF}	<34>	30560/f _x + 発振安定時間			ns
FLMD0パルス幅	t _{CH} /t _{CL}	<35>	10	100		μs
FLMD0パルス立ち上がり / 立ち下がり時間	t _R /t _F	<36>			50	ns

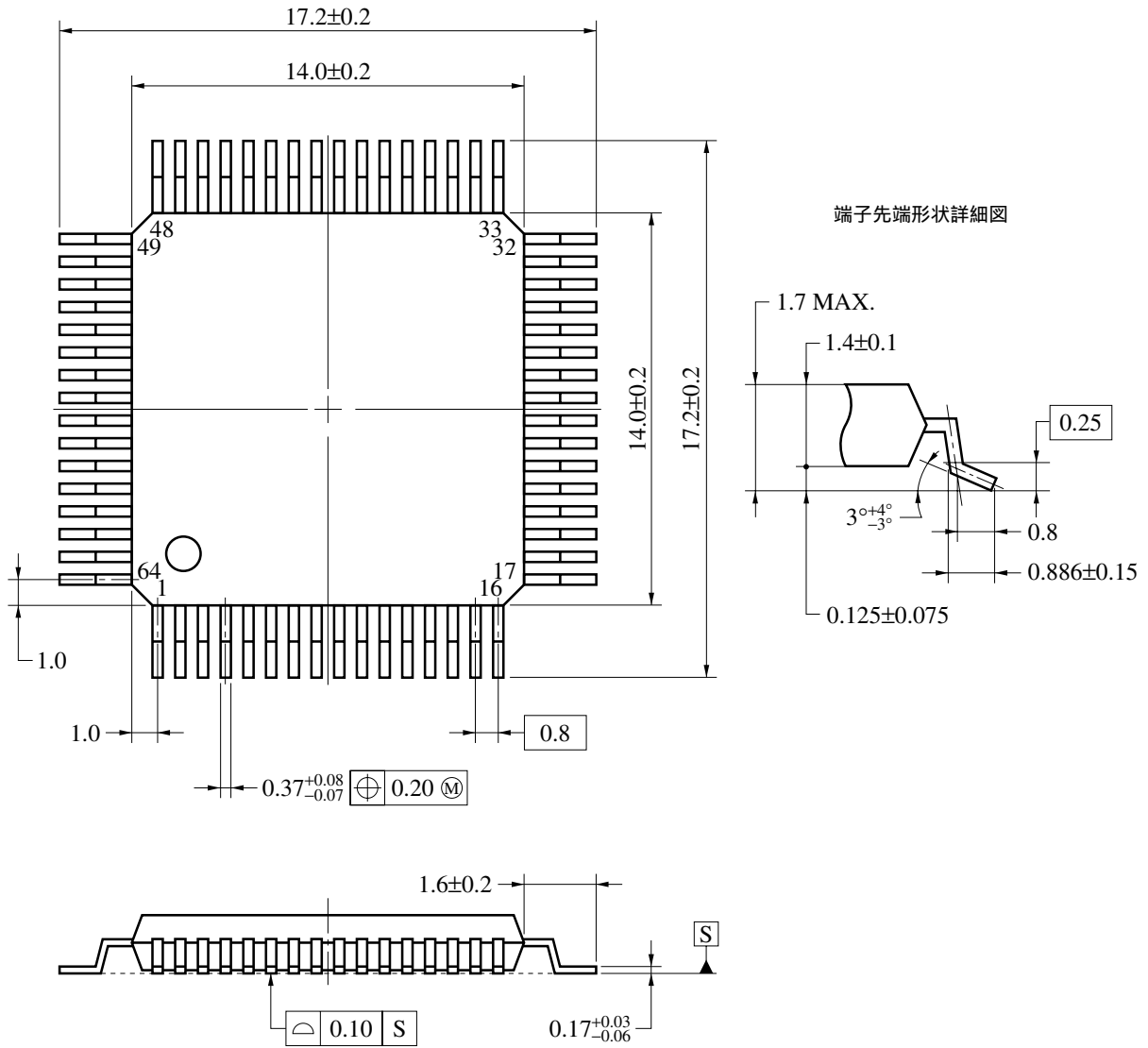


(3) プログラミング特性

項目	略号	条件	TYP.	TYP.-Worst	MAX.	単位
ブロック消去		f _{xx} = 32 MHz時, 8 Kバイト	0.65		4.63	s
		f _{xx} = 32 MHz時, 56 Kバイト	3.08		27.72	s
書き込み (128バイト)		f _{xx} = 32 MHz時	4.35		36.22	ms
ブロック内部ベリファイ		f _{xx} = 32 MHz時, 8 Kバイト	50.2		3000	ms
		f _{xx} = 32 MHz時, 56 Kバイト	351.4		3000	ms
ブロック・ブランク・チェック		f _{xx} = 32 MHz時, 8 Kバイト	22.2		27.8	ms
		f _{xx} = 32 MHz時, 56 Kバイト	155.5		194.4	ms
フラッシュ情報設定		f _{xx} = 32 MHz時	1.08		9.10	ms

第21章 外形図

64ピン・プラスチック LQFP (14x14) 外形図 (単位: mm)



P64GC-80-8BS

第22章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表22 - 1 表面実装タイプの半田付け条件

μ PD703327GC-xxx-8BS-A 64ピン・プラスチックLQFP (14×14)

μ PD703329GC-xxx-8BS-A ”

μ PD70F3329GC-8BS-A ”

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内 制限日数：3日間 ^注 （以降は125 プリベーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキング ができません。	IR60-203-3
ウエーブ・ソルダーリン グ	詳細については，当社販売員にお問い合わせください。	—
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管状態は25 ，65 %RH以下。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 注意事項

A. 1 sld命令と割り込み競合に関する制限事項

A. 1.1 内 容

次の命令<1>の事項が完了する前に、後続のsld命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ・ ld命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- ・ sld命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- ・ 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< > ld.w [r11], r10	・ ・ ・	< >のld命令の実行が完了する前に、< >のsld命令の直前のmov命令< >のデコード動作と割り込み要求が競合した場合、< >のld命令の実行結果がレジスタに格納されないことがあります。
< > mov r10, r28		
< > sld.w 0x28, r10		

A. 1.2 回避策

(1) コンパイラ (CA850) 使用時

CA850はVer.2.61以降を使用してください。該当命令シーケンスの生成を自動的に抑止します。

(2) アセンブラでの対策

命令< >の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- ・ sld命令の直前にnop命令を入れる。
- ・ sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記< >の命令で使用しない。

付録B V850ES/IK1とV850E/IA3, V850E/IA4の製品間の違い

次にV850ES/IK1とV850E/IA3, V850E/IA4の製品間の違いを示します。

表B - 1 V850ES/IK1とV850E/IA3, V850E/IA4の製品間の違い (1/2)

項 目		V850ES/IK1	V850E/IA3	V850E/IA4
CPUコア		V850ES CPU	V850E CPU	
最小命令実行時間		31.25 ns (32 MHz時)	15.6 ns (64 MHz時)	
メモリ空間		64 Mバイト・リニア チップ・セレクトなし	256 Mバイト・リニア チップ・セレクトなし	
内蔵ROM / 内蔵RAM	マスクROM品	64 Kバイト / 4 Kバイト 128 Kバイト / 6 Kバイト	128 Kバイト / 6 Kバイト	
	フラッシュ・ メモリ品	128 Kバイト / 6 Kバイト	256 Kバイト / 12 Kバイト	
ポート機能	入出力	39本	44本	56本
	入力	-	6本	8本
	内蔵ブルアッ プ抵抗	あり	あり	あり
クロック・ジェネレータ機能		<ul style="list-style-type: none"> ・2.5～4 MHzの発振子を接続可能（外部クロック入力禁止） ・PLLクロック・シンセサイザによる逡倍機能（8逡倍固定，$f_{xx} = 20 \sim 32$ MHz） ・CPUクロック分周機能 	<ul style="list-style-type: none"> ・4～8 MHzの発振子を接続可能（外部クロック入力禁止） ・PLLクロック・シンセサイザによる逡倍機能（8逡倍固定，$f_{xx} = 32 \sim 64$ MHz） ・PLLSIN端子でPLL動作指定 ・CPUクロック分周機能 	
割り込み要因	外部	7本	7本	8本
	内部	35本（INTWDT除く）	48本（INTWDT除く）	52本（INTWDT除く）
タイマ/カウンタ	タイマQ	2ch	2ch	
	タイマP	4ch	4ch	
	タイマQOP	TMQ1 + TMP1	TMQ0 + TMP0	TMQ0 + TMP0 TMQ1 + TMP1
	タイマM	1ch	1ch	
	タイマENC	-	1ch	2ch
WDT		1ch（オーバフローによるリセット機能付き）	1ch（オーバフローによるリセット機能付き）	
シリアル・ インタフェース	UARTA	2ch	2ch（1chはCSIBと兼用）	
	CSIB	1ch	2ch（1chはUARTAと兼用）	

備考 V850E/IA3, V850E/IA4の詳細は、各製品のユーザーズ・マニュアルを参照してください。

表B - 1 V850ES/IK1とV850E/IA3, V850E/IA4の製品間の違い (2/2)

項 目		V850ES/IK1	V850E/IA3	V850E/IA4
A/Dコンバータ0, 1 (10ビット分解能A/D コンバータ)	アナログ入力	2回路合計 : 8ch A/Dコンバータ0 : 4ch A/Dコンバータ1 : 4ch	2回路合計 : 6ch A/Dコンバータ0 : 2ch A/Dコンバータ1 : 4ch	2回路合計 : 8ch A/Dコンバータ0 : 4ch A/Dコンバータ1 : 4ch
	入力レベル増 幅用オペアン プ	-	2回路合計 : 5ch A/Dコンバータ0 : 2ch A/Dコンバータ1 : 3ch	2回路合計 : 6ch A/Dコンバータ0 : 3ch A/Dコンバータ1 : 3ch
	過電圧検出用 コンパレータ	-	2回路合計 : 5ch A/Dコンバータ0 : 2ch A/Dコンバータ1 : 3ch	2回路合計 : 6ch A/Dコンバータ0 : 3ch A/Dコンバータ1 : 3ch
A/Dコンバータ2 (一次 $\Delta\Sigma$ 変換方式A/D コンバータ)	アナログ入力	-	6ch	8ch
DMA		-	4ch	
POC/LVI		あり	なし	
ROMコレクション		4箇所	4箇所	
オンチップ・デバッグ機能		なし	なし	あり
電源電圧		$V_{DD} = EV_{DD} = 3.5 \sim 5.5 \text{ V}$ $AV_{DDn} = 4.5 \sim 5.5 \text{ V}$ レギュレータ内蔵	$V_{DD} = CV_{DD} = 2.3 \sim 2.7 \text{ V}$ $EV_{DD} = AV_{DD} = 4.5 \sim 5.5 \text{ V}$	
動作周囲温度 (T_A)		- 40 ~ + 85	- 40 ~ + 85	
パッケージ		64ピン・プラスチック LQFP (14 × 14)	80ピン・プラスチック QFP (14 × 14)	100ピン・プラスチック LQFP (14 × 14) 100ピン・プラスチック QFP (14 × 20)

備考1. V850E/IA3, V850E/IA4の詳細は、各製品のユーザーズ・マニュアルを参照してください。

2. $n = 0, 1$

付録C レジスタ索引

(1/6)

略号	名称	ユニット	ページ
AD0IC	割り込み制御レジスタ	INTC	568
AD1IC	割り込み制御レジスタ	INTC	568
ADA0CR0	A/D0変換結果レジスタ0	ADC0	442
ADA0CR0H	A/D0変換結果レジスタ0H	ADC0	442
ADA0CR1	A/D0変換結果レジスタ1	ADC0	442
ADA0CR1H	A/D0変換結果レジスタ1H	ADC0	442
ADA0CR2	A/D0変換結果レジスタ2	ADC0	442
ADA0CR2H	A/D0変換結果レジスタ2H	ADC0	442
ADA0CR3	A/D0変換結果レジスタ3	ADC0	442
ADA0CR3H	A/D0変換結果レジスタ3H	ADC0	442
ADA0M0	A/Dコンバータ0モード・レジスタ0	ADC0	437
ADA0M1	A/Dコンバータ0モード・レジスタ1	ADC0	439
ADA0M2	A/Dコンバータ0モード・レジスタ2	ADC0	440
ADA0S	A/Dコンバータ0チャンネル指定レジスタ	ADC0	440
ADA1CR0	A/D1変換結果レジスタ0	ADC1	442
ADA1CR0H	A/D1変換結果レジスタ0H	ADC1	442
ADA1CR1	A/D1変換結果レジスタ1	ADC1	442
ADA1CR1H	A/D1変換結果レジスタ1H	ADC1	442
ADA1CR2	A/D1変換結果レジスタ2	ADC1	442
ADA1CR2H	A/D1変換結果レジスタ2H	ADC1	442
ADA1CR3	A/D1変換結果レジスタ3	ADC1	442
ADA1CR3H	A/D1変換結果レジスタ3H	ADC1	442
ADA1M0	A/Dコンバータ1モード・レジスタ0	ADC1	437
ADA1M1	A/Dコンバータ1モード・レジスタ1	ADC1	439
ADA1M2	A/Dコンバータ1モード・レジスタ2	ADC1	440
ADA1S	A/Dコンバータ1チャンネル指定レジスタ	ADC1	440
CB0CTL0	CSIB0制御レジスタ0	CSIB0	512
CB0CTL1	CSIB0制御レジスタ1	CSIB0	515
CB0CTL2	CSIB0制御レジスタ2	CSIB0	516
CB0REIC	割り込み制御レジスタ	INTC	568
CB0RIC	割り込み制御レジスタ	INTC	568
CB0RX	CSIB0受信データ・レジスタ	CSIB0	511
CB0RXL	CSIB0受信データ・レジスタL	CSIB0	511
CB0STR	CSIB0状態レジスタ	CSIB0	518
CB0TIC	割り込み制御レジスタ	INTC	568
CB0TX	CSIB0送信データ・レジスタ	CSIB0	511
CB0TXL	CSIB0送信データ・レジスタL	CSIB0	511
CKC	クロック・コントロール・レジスタ	CG	129
CLM	クロック・モニタ・モード・レジスタ	CG	133

略号	名称	ユニット	ページ
CORAD0	コレクション・アドレス・レジスタ0	CPU	619
CORAD0H	コレクション・アドレス・レジスタ0H	CPU	619
CORAD0L	コレクション・アドレス・レジスタ0L	CPU	619
CORAD1	コレクション・アドレス・レジスタ1	CPU	619
CORAD1H	コレクション・アドレス・レジスタ1H	CPU	619
CORAD1L	コレクション・アドレス・レジスタ1L	CPU	619
CORAD2	コレクション・アドレス・レジスタ2	CPU	619
CORAD2H	コレクション・アドレス・レジスタ2H	CPU	619
CORAD2L	コレクション・アドレス・レジスタ2L	CPU	619
CORAD3	コレクション・アドレス・レジスタ3	CPU	619
CORAD3H	コレクション・アドレス・レジスタ3H	CPU	619
CORAD3L	コレクション・アドレス・レジスタ3L	CPU	619
CORCN	コレクション・コントロール・レジスタ	CPU	620
HZA0CTL0	ハイ・インピーダンス出力制御レジスタ00	タイマ	375
HZA0CTL1	ハイ・インピーダンス出力制御レジスタ01	タイマ	375
HZA1CTL0	ハイ・インピーダンス出力制御レジスタ10	タイマ	375
HZA1CTL1	ハイ・インピーダンス出力制御レジスタ11	タイマ	375
IMR0	割り込みマスク・レジスタ0	INTC	572
IMR0H	割り込みマスク・レジスタ0H	INTC	572
IMR0L	割り込みマスク・レジスタ0L	INTC	572
IMR1	割り込みマスク・レジスタ1	INTC	572
IMR1H	割り込みマスク・レジスタ1H	INTC	572
IMR1L	割り込みマスク・レジスタ1L	INTC	572
IMR2	割り込みマスク・レジスタ2	INTC	572
IMR2H	割り込みマスク・レジスタ2H	INTC	572
IMR2L	割り込みマスク・レジスタ2L	INTC	572
IMR3	割り込みマスク・レジスタ3	INTC	572
IMR3H	割り込みマスク・レジスタ3H	INTC	572
IMR3L	割り込みマスク・レジスタ3L	INTC	572
IMS	内部メモリ・サイズ切り替えレジスタ	CPU	47
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	577
INTPNRC	外部割り込みノイズ除去制御レジスタ	INTC	122, 576
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	577
ISPR	インサース・プライオリティ・レジスタ	INTC	574
LVIC	割り込み制御レジスタ	INTC	568
LVIM	低電圧検出レジスタ	POC/LVI	607
LVIS	低電圧検出レベル選択レジスタ	POC/LVI	608
OSTS	発振安定時間選択レジスタ	CG	132
P0	ポート0レジスタ	ポート	72
P1	ポート1レジスタ	ポート	78
P2	ポート2レジスタ	ポート	90
P3	ポート3レジスタ	ポート	95
P4	ポート4レジスタ	ポート	102
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	129

略号	名称	ユニット	ページ
PDLL	ポートDLレジスタL	ポート	110
PFC1	ポート1ファンクション・コントロール・レジスタ	ポート	80
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	96
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	103
PFCE1	ポート1ファンクション・コントロール拡張レジスタ	ポート	80
PIC0	割り込み制御レジスタ	INTC	568
PIC1	割り込み制御レジスタ	INTC	568
PIC2	割り込み制御レジスタ	INTC	568
PIC3	割り込み制御レジスタ	INTC	568
PIC4	割り込み制御レジスタ	INTC	568
PIC5	割り込み制御レジスタ	INTC	568
PIC6	割り込み制御レジスタ	INTC	568
PLLCTL	PLLコントロール・レジスタ	CG	128
PM0	ポート0モード・レジスタ	ポート	72
PM1	ポート1モード・レジスタ	ポート	78
PM2	ポート2モード・レジスタ	ポート	90
PM3	ポート3モード・レジスタ	ポート	95
PM4	ポート4モード・レジスタ	ポート	102
PMC0	ポート0モード・コントロール・レジスタ	ポート	73
PMC1	ポート1モード・コントロール・レジスタ	ポート	79
PMC2	ポート2モード・コントロール・レジスタ	ポート	91
PMC3	ポート3モード・コントロール・レジスタ	ポート	96
PMC4	ポート4モード・コントロール・レジスタ	ポート	103
PMDLL	ポートDLモード・レジスタL	ポート	110
PRCMD	コマンド・レジスタ	CPU	60
PRCMD2	コマンド・レジスタ2	CPU	60
PSC	パワー・セーブ・コントロール・レジスタ	CPU	130, 592
PSMR	パワー・セーブ・モード・レジスタ	CPU	131, 593
PU0	ブルアップ抵抗オプション・レジスタ0	ポート	74
PU1	ブルアップ抵抗オプション・レジスタ1	ポート	82
PU2	ブルアップ抵抗オプション・レジスタ2	ポート	92
PU3	ブルアップ抵抗オプション・レジスタ3	ポート	97
PU4	ブルアップ抵抗オプション・レジスタ4	ポート	104
PUDLL	ブルアップ抵抗オプション・レジスタDLL	ポート	110
RAMS	内蔵RAMデータ・ステータス・レジスタ	POC/LVI	609
RESF	リセット要因フラグ・レジスタ	リセット	601
RESF2	リセット要因フラグ・レジスタ2	リセット	602
SYS	システム・ステータス・レジスタ	CPU	61
SYS2	システム・ステータス・レジスタ2	CPU	61
TMOCMP0	TMM0コンペア・レジスタ0	タイマ	355
TMOCTL0	TMM0制御レジスタ0	タイマ	356
TM0EQIC0	割り込み制御レジスタ	INTC	568
TP0CCIC0	割り込み制御レジスタ	INTC	568
TP0CCIC1	割り込み制御レジスタ	INTC	568

略号	名称	ユニット	ページ
TP0CCR0	TMP0キャプチャ/コンペア・レジスタ0	タイマ	157
TP0CCR1	TMP0キャプチャ/コンペア・レジスタ1	タイマ	159
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	161
TP0CTL0	TMP0制御レジスタ0	タイマ	148
TP0CTL1	TMP0制御レジスタ1	タイマ	149
TP0IOC0	TMP0/I/O制御レジスタ0	タイマ	151
TP0IOC1	TMP0/I/O制御レジスタ1	タイマ	154
TP0IOC2	TMP0/I/O制御レジスタ2	タイマ	155
TP0OPT0	TMP0オプション・レジスタ0	タイマ	156
TP0OVIC	割り込み制御レジスタ	INTC	568
TP1CCIC0	割り込み制御レジスタ	INTC	568
TP1CCIC1	割り込み制御レジスタ	INTC	568
TP1CCR0	TMP1キャプチャ/コンペア・レジスタ0	タイマ	157
TP1CCR1	TMP1キャプチャ/コンペア・レジスタ1	タイマ	159
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	161
TP1CTL0	TMP1制御レジスタ0	タイマ	148
TP1CTL1	TMP1制御レジスタ1	タイマ	149
TP1OPT0	TMP1オプション・レジスタ0	タイマ	156
TP1OVIC	割り込み制御レジスタ	INTC	568
TP2CCIC0	割り込み制御レジスタ	INTC	568
TP2CCIC1	割り込み制御レジスタ	INTC	568
TP2CCR0	TMP2キャプチャ/コンペア・レジスタ0	タイマ	157
TP2CCR1	TMP2キャプチャ/コンペア・レジスタ1	タイマ	159
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	161
TP2CTL0	TMP2制御レジスタ0	タイマ	148
TP2CTL1	TMP2制御レジスタ1	タイマ	149
TP2IOC0	TMP2/I/O制御レジスタ0	タイマ	151
TP2IOC1	TMP2/I/O制御レジスタ1	タイマ	154
TP2IOC2	TMP2/I/O制御レジスタ2	タイマ	155
TP2OPT0	TMP2オプション・レジスタ0	タイマ	156
TP2OVIC	割り込み制御レジスタ	INTC	568
TP3CCIC0	割り込み制御レジスタ	INTC	568
TP3CCIC1	割り込み制御レジスタ	INTC	568
TP3CCR0	TMP3キャプチャ/コンペア・レジスタ0	タイマ	157
TP3CCR1	TMP3キャプチャ/コンペア・レジスタ1	タイマ	159
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	161
TP3CTL0	TMP3制御レジスタ0	タイマ	148
TP3CTL1	TMP3制御レジスタ1	タイマ	149
TP3IOC0	TMP3/I/O制御レジスタ0	タイマ	151
TP3OPT0	TMP3オプション・レジスタ0	タイマ	156
TP3OVIC	割り込み制御レジスタ	INTC	568
TQ0CCIC0	割り込み制御レジスタ	INTC	568
TQ0CCIC1	割り込み制御レジスタ	INTC	568
TQ0CCIC2	割り込み制御レジスタ	INTC	568

略号	名称	ユニット	ページ
TQ0CCIC3	割り込み制御レジスタ	INTC	568
TQ0CCR0	TMQ0キャプチャ/コンペア・レジスタ0	タイマ	255
TQ0CCR1	TMQ0キャプチャ/コンペア・レジスタ1	タイマ	257
TQ0CCR2	TMQ0キャプチャ/コンペア・レジスタ2	タイマ	259
TQ0CCR3	TMQ0キャプチャ/コンペア・レジスタ3	タイマ	261
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	263
TQ0CTL0	TMQ0制御レジスタ0	タイマ	248
TQ0CTL1	TMQ0制御レジスタ1	タイマ	248
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	250
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	252
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	253
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	254
TQ0OVIC	割り込み制御レジスタ	INTC	568
TQ1CCIC0	割り込み制御レジスタ	INTC	568
TQ1CCIC1	割り込み制御レジスタ	INTC	568
TQ1CCIC2	割り込み制御レジスタ	INTC	568
TQ1CCIC3	割り込み制御レジスタ	INTC	568
TQ1CCR0	TMQ1キャプチャ/コンペア・レジスタ0	タイマ	255
TQ1CCR1	TMQ1キャプチャ/コンペア・レジスタ1	タイマ	257
TQ1CCR2	TMQ1キャプチャ/コンペア・レジスタ2	タイマ	259
TQ1CCR3	TMQ1キャプチャ/コンペア・レジスタ3	タイマ	261
TQ1CNT	TMQ1カウンタ・リード・バッファ・レジスタ	タイマ	263
TQ1CTL0	TMQ1制御レジスタ0	タイマ	248
TQ1CTL1	TMQ1制御レジスタ1	タイマ	248
TQ1DTC	TMQ1デッド・タイム・コンペア・レジスタ	タイマ	366
TQ1IOC0	TMQ1I/O制御レジスタ0	タイマ	250
TQ1IOC3	TMQ1I/O制御レジスタ3	タイマ	372
TQ1OPT0	TMQ1オプション・レジスタ0	タイマ	254, 367
TQ1OPT1	TMQ1オプション・レジスタ1	タイマ	368
TQ1OPT2	TMQ1オプション・レジスタ2	タイマ	369
TQ1OPT3	TMQ1オプション・レジスタ3	タイマ	371
TQ1OVIC	割り込み制御レジスタ	INTC	568
UA0CTL0	UARTA0制御レジスタ0	UARTA0	485
UA0CTL1	UARTA0制御レジスタ1	UARTA0	502
UA0CTL2	UARTA0制御レジスタ2	UARTA0	503
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA0	487
UA0REIC	割り込み制御レジスタ	INTC	568
UA0RIC	割り込み制御レジスタ	INTC	568
UA0RX	UARTA0受信データ・レジスタ	UARTA0	490
UA0STR	UARTA0状態レジスタ	UARTA0	488
UA0TIC	割り込み制御レジスタ	INTC	568
UA0TX	UARTA0送信データ・レジスタ	UARTA0	490
UA1CTL0	UARTA1制御レジスタ0	UARTA1	485
UA1CTL1	UARTA1制御レジスタ1	UARTA1	502

略号	名称	ユニット	ページ
UA1CTL2	UARTA1制御レジスタ2	UARTA1	503
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA1	487
UA1REIC	割り込み制御レジスタ	INTC	568
UA1RIC	割り込み制御レジスタ	INTC	568
UA1RX	UARTA1受信データ・レジスタ	UARTA1	490
UA1STR	UARTA1状態レジスタ	UARTA1	488
UA1TIC	割り込み制御レジスタ	INTC	568
UA1TX	UARTA1送信データ・レジスタ	UARTA1	490
VSWC	システム・ウェイト・コントロール・レジスタ	BCU	63
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	430
WDTM	ウォッチドッグ・タイマ・モード・レジスタ	WDT	429

付録D 命令セット一覧

D.1 凡 例

(1) オペランド記述に使われる略号

略号	説明
reg1	汎用レジスタ (ソース・レジスタとして使用)
reg2	汎用レジスタ (おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。)
reg3	汎用レジスタ (おもに除算結果の余り、乗算結果の上位32ビットを格納)
bit#3	ビット・ナンバ指定用3ビット・データ
imm x	xビット・イミューディエト・データ
disp x	xビット・ディスプレイースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ (00H-1FH) を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ (r3)
ep	エレメント・ポインタ (r30)
list x	x個のレジスタ・リスト

(2) オペランドに使われる略号

略号	説明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレイースメントの1ビット分データ
l	イミューディエトの1ビット分データ (イミューディエトの上位ビットを示す)
i	イミューディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略号	説明
	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、n 7FFFFFFFHとなった場合、n = 7FFFFFFFHとする。 nが計算の結果、n 80000000Hとなった場合、n = 80000000Hとする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略号	説明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略号	説明
(ブランク)	変化なし
0	0にクリア
x	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件名 (cond)	条件コード (cccc)	条件式	説 明
V	0000	$OV = 1$	Overflow
NV	1000	$OV = 0$	No overflow
C/L	0001	$CY = 1$	Carry Lower (Less than)
NC/NL	1001	$CY = 0$	No carry No lower (Greater than or equal)
Z	0010	$Z = 1$	Zero
NZ	1010	$Z = 0$	Not zero
NH	0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
H	1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
S/N	0100	$S = 1$	Negative
NS/P	1100	$S = 0$	Positive
T	0101	-	Always (無条件)
SA	1101	$SAT = 1$	Saturated
LT	0110	$(S \text{ xor } OV) = 1$	Less than signed
GE	1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
LE	0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
GT	1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

D.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] GR[reg2] + GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010010iiii	GR[reg2] GR[reg2] + sign-extend (imm5)	1	1	1	x	x	x	x	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1	x	x	x	x	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] AND zero-extend (imm16)	1	1	1		0	x	x	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	条件成立時	2	2	2				
			then PC PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwwww01101000010	GR[reg3] GR[reg2] (23:16) GR[reg2] (31:24) GR [reg2] (7:0) GR[reg2] (15:8)	1	1	1	x	0	x	x	
BSW	reg2, reg3	rrrrr1111100000 wwwww01101000000	GR[reg3] GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	x	0	x	x	
CALLT	imm6	000001000iiii	CTPC PC + 2 (return PC) CTPSW PSW adr CTBP + zero-extend (imm6 logically shift left by 1) PC CTBP + zero-extend(Load-memory (adr,Half-word))	4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3	3	3				x	
	reg2, [reg1]	rrrrr11111RRRRR 000000011100100	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				x	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3] sign-extend (imm5) else GR[reg3] GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3] GR[reg1] else GR[reg3] GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
	imm5, reg2	rrrrr010011iiii	result GR[reg2] - sign-extend (imm5)	1	1	1	x	x	x	x	
CTRET		000001111100000 0000000101000100	PC CTPC PSW CTPSW	3	3	3	R	R	R	R	R
DBRET		000001111100000 0000000101000110	PC DBPC PSW DBPSW	3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC PC + 2 (復帰PC) DBPSW PSW PSW.NP 1 PSW.EP 1 PSW.ID 1 PC 00000060H	3	3	3					
DI		000001111100000 0000000101100000	PSW.ID 1	1	1	1					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ					
				i	r	l	CY	OV	S	Z	SAT	
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4						
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp sp + zero-extend (imm5 logically shift left by 2) GR[reg in list12] Load-memory (sp, Word) sp sp + 4 repeat 2 steps above until all regs in list12 is loaded PC GR[reg1]	n+3 注4	n+3 注4	n+3 注4						
DIV	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000000	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6}	35	35	35		x	x	x		
	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000000	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	35	35	35		x	x	x		
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01010000010	GR[reg2] GR[reg2] ÷ GR[reg1] ^{注6} GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01011000010	GR[reg2] GR[reg2] ÷ GR[reg1] GR[reg3] GR[reg2] % GR[reg1]	34	34	34		x	x	x		
EI		100001111100000 0000000101100000	PSW.ID 0	1	1	1						
HALT		000001111100000 0000000100100000	停止する	1	1	1						
HSW	reg2, reg3	rrrrr1111100000 wwwww01101000100	GR[reg3] GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	x	0	x	x		
JARL	disp22, reg2	rrrrr11110dddddd ddddddddddddddd0 注7	GR[reg2] PC + 4 PC PC + sign-extend(disp22)	2	2	2						
JMP	[reg1]	0000000011RRRRR	PC GR[reg1]	3	3	3						
JR	disp22	0000011110dddddd ddddddddddddddd0 注7	PC PC + sign-extend(disp22)	2	2	2						
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注11						
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注11						
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注11						
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID] GR[reg2]	regID = PSW以外	1	1	1					
				regID = PSW	1	1	1	x	x	x	x	x
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr GR[reg1] + sign-extend (disp16) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注11						

モニタック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd1 注3	adr GR[reg1] + sign-extend (disp16) GR[reg2] Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2] GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2] sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1] imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] + (imm16 0 ¹⁶)	1	1	1					
MUL ^{注22}	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2] GR[reg2] × sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2] GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2] GR[reg2] ^{注6} × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] ^{注6} × imm16	1	1	2					
MULU ^{注22}	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2] GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2] GR[reg2] × zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2] NOT (GR[reg1])	1	1	1		0	x	x	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3	3	3					x
					注3	注3	注3				
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2] GR[reg2] OR GR[reg1]	1	1	1		0	x	x	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] OR zero-extend (imm16)	1	1	1		0	x	x	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp - 4, GR[reg in list12], Word) sp sp - 4 repeat 1 steps above until all regs in list12 is stored sp sp - zero-extend (imm5) ep sp/imm	n+2 注4	n+2 注4	n+2 注4					

二モニク	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC EIPC PSW EIPSW else if PSW.NP = 1 then PC FEPC PSW FEPSW else PC EIPC PSW EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000101000000	GR[reg2] GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010101iiii	GR[reg2] GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000001H else GR[reg2] (GR[reg2] Logically shift left by 1) OR 0000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2] saturated (GR[reg2] + GR[reg1])	1	1	1	x	x	x	x	x
	imm5, reg2	rrrrr010001iiii	GR[reg2] saturated (GR[reg2] + sign-extend (imm5))	1	1	1	x	x	x	x	x
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2] saturated (GR[reg2] - GR[reg1])	1	1	1	x	x	x	x	x
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2] saturated (GR[reg1] - sign-extend (imm16))	1	1	1	x	x	x	x	x
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2] saturated (GR[reg1] - GR[reg2])	1	1	1	x	x	x	x	x
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2] 0000001H else GR[reg2] 0000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3	3	3					x
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3	3	3					x
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2] GR[reg2] logically shift left by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010110iiii	GR[reg2] GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	x	0	x	x	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2] GR[reg2] logically shift right by GR[reg1]	1	1	1	x	0	x	x	
	imm5, reg2	rrrrr010100iiii	GR[reg2] GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	x	0	x	x	
SLD.B	disp7 [ep] , reg2	rrrrr0110ddddddd	adr ep + zero-extend (disp7) GR[reg2] sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep] , reg2	rrrrr0000110ddd 注18	adr ep + zero-extend (disp4) GR[reg2] zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep] , reg2	rrrrr1000ddddddd 注19	adr ep + zero-extend (disp8) GR[reg2] sign-extend (Load-memory (adr, Halfword))	1	1	注9					

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddd 注18, 20	adr ep + zero-extend (disp5) GR[reg2] zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010ddddd0 注21	adr ep + zero-extend (disp8) GR[reg2] Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddd	adr ep + zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddd 注19	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddd1 注21	adr ep + zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRR dddddddddddd	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRR dddddddddddd0 注3	adr GR[reg1] + sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRR dddddddddddd1 注3	adr GR[reg1] + sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRR 000000001000000	GR[reg2] SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRR	GR[reg2] GR[reg2] - GR[reg1]	1	1	1	x	x	x	x	
SUBR	reg1, reg2	rrrrr001100RRRR	GR[reg2] GR[reg1] - GR[reg2]	1	1	1	x	x	x	x	
SWITCH	reg1	0000000010RRRR	adr (PC + 2) + (GR[reg1] logically shift left by 1) PC (PC + 2) + (sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRR	GR[reg1] sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRR	GR[reg1] sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000100000000	EIPC PC + 4 (復帰PC) EIPSW PSW ECR.EICC 割り込みコード PSW.EP 1 PSW.ID 1 PC 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRR	result GR[reg2] AND GR[reg1]	1	1	1		0	x	x	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRR dddddddddddd	adr GR[reg1] + sign-extend (disp16) Zフラグ Not (Load-memory-bit (adr, bit#3))	3	3	3	注3	注3	注3		x
	reg2, [reg1]	rrrrr11111RRRR 0000000011100110	adr GR[reg1] Zフラグ Not (Load-memory-bit (adr, reg2))	3	3	3	注3	注3	注3		x
XOR	reg1, reg2	rrrrr001001RRRR	GR[reg2] GR[reg2] XOR GR[reg1]	1	1	1		0	x	x	
XORI	imm16, reg1, reg2	rrrrr110101RRRR iiiiiiiiiiiiiiii	GR[reg2] GR[reg1] XOR zero-extend (imm16)	1	1	1		0	x	x	
ZXB	reg1	00000000100RRRR	GR[reg1] zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRR	GR[reg1] zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合 (3+リード・アクセス・ウェイト・ステート数)
 4. nはlist12のロード・レジスタの合計数 (ウェイト・ステート数による。ウェイト・ステートがない場合, nはlist12のレジスタ数。n = 0の場合, n = 1と同じ動作)
 5. RRRRR : 00000以外
 6. 下位ハーフワード・データだけ有効
 7. ddddddddddddddddddddはdisp22の上位21ビットです。
 8. ddddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による (ウェイト・ステートがない場合は1)
 10. b : disp16のビット0
 11. ウェイト・ステート数による (ウェイト・ステートがない場合は2)
 12. この命令ではニモニクの記述の都合上, ソース・レジスタをreg2としていますが, オペコード上はreg1のフィールドを使用しています。したがって, ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 - rrrrr = regID指定
 - RRRRR = reg2指定
 13. iiii : imm9の下位5ビット
IIII : imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に, 同じレジスタを指定しないでください。
 15. sp/imm : サブオペコードのビット19, 20で指定
 16. ff = 00 : spをepにロード
 - 01 : 符号拡張した16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 10 : 16ビット論理左シフトした16ビット・イミディエト・データ (ビット47-32) をepにロード
 - 11 : 32ビット・イミディエト・データ (ビット63-32) をepにロード
 17. imm = imm32の場合はn + 3クロック
 18. rrrrr : 00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. ddddddはdisp8の上位6ビットです。
 22. 「MUL reg1, reg2, reg3」命令, 「MULU reg1, reg2, reg3」命令において, 次の条件をすべて満たすレジスタの組み合わせは行わないでください。この条件に当てはまる命令を実行した場合の動作は保証しません。

- reg1 = reg3
- reg1 reg2
- reg1 r0
- reg3 r0

付録E 改版履歴

E.1 本版で改訂された主な箇所

(1/3)

箇所	内容
U16910JJ4V0UD00	U16910JJ4V1UD00
p.568	14. 3. 4 割り込み制御レジスタ (xxlCn) 記述削除および記述追加
U16910JJ3V0UD00	U16910JJ4V0UD00
全般	<ul style="list-style-type: none"> ・全製品が開発中 開発済み ・PG-FP5を追加
p.25	2. 1 (1) ポート端子 記述追加
p.39	3. 2. 2 (6) 例外/デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW) 記述変更
p.58	3. 4. 7 特定レジスタ 記述追加
p.60	3. 4. 7 (2) (a) コマンド・レジスタ (PRCMD) 記述追加
p.60	3. 4. 7 (2) (b) コマンド・レジスタ2 (PRCMD2) 記述追加
p.120	表4 - 12 ノイズ除去回路 記述変更
p.121	図4 - 22 ノイズ除去タイミング例 追加
p.122	4. 6 (1) 外部割り込みノイズ除去制御レジスタ (INTPNRC) 追加
p.129	5. 3 (2) クロック・コントロール・レジスタ (CKC) 記述追加
p.129	5. 3 (3) プロセッサ・クロック・コントロール・レジスタ (PCC) 記述追加
p.130	5. 3 (4) パワー・セーブ・コントローラ・レジスタ (PSC) 記述追加
p.133	5. 3 (7) クロック・モニタ・モード・レジスタ (CLM) 記述追加
p.141	表6 - 1 TMPnの概要 記述追加
p.150	6. 4 (2) TMPn制御レジスタ1 (TPnCTL1) 記述変更
p.152	6. 4 (3) TMPmI/O制御レジスタ0 (TPmIOC0) 記述変更
p.165	6. 6 (1) (a) カウント開始動作 記述変更
p.171-173	図6 - 11 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更
p.174	図6 - 12 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加
p.181	6. 6. 1 (3) 外部イベント・カウント入力 (TIPk0) による動作 追加
p.182	6. 6. 2 外部イベント・カウント・モード (TPkMD2-TPkMD0ビット = 001) 記述追加
p.185	図6 - 18 外部イベント・カウント・モード動作時のレジスタ設定内容 記述追加
p.187	6. 6. 2 (2) 外部イベント・カウント・モード動作タイミング 記述追加
p.191	図6 - 23 外部トリガ・パルス出力モードの構成図 記述変更
p.192	図6 - 24 外部トリガ・パルス出力モードの基本タイミング 図変更
p.192	6. 6. 3 外部トリガ・パルス出力モード (TPmMD2-TPmMD0ビット = 010) 記述追加
p.193, 194	図6 - 25 外部トリガ・パルス出力モード動作時のレジスタ設定内容 記述変更
p.199	6. 6. 3 (2) (b) PWM波形の0 % / 100 %出力 図変更
p.203	図6 - 27 ワンショット・パルス出力モードの構成図 記述変更
p.205, 206	図6 - 29 ワンショット・パルス出力モード動作時のレジスタ設定内容 記述変更
p.207	図6 - 30 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 記述変更
p.208	6. 6. 4 (2) (a) TPmCCRaレジスタの書き換えに関する注意事項 図変更
p.212	図6 - 33 PWM出力モード動作時のレジスタ設定内容 記述追加

箇所	内容
p.217	6. 6. 5 (2) (b) PWM波形の0 % / 100 %出力 記述変更
p.236	図6 - 41 パルス幅測定モードの構成図 記述変更
p.237	6. 6. 7 パルス幅測定モード (TPkMD2-TPkMD0ビット = 110) 記述変更
p.238, 239	図6 - 43 パルス幅測定モード時のレジスタ設定内容 記述変更
p.240	図6 - 44 パルス幅測定モード使用時のソフトウェア処理フロー 記述削除
p.242	表7 - 1 TMQnの概要 記述追加
p.250	7. 4 (3) TMQn/O制御レジスタ0 (TQnIOC0) 記述変更
p.266	7. 6 (1) (a) カウント開始動作 記述変更
p.274-276	図7 - 10 インターバル・タイマ・モード動作時のレジスタ設定内容 記述変更
p.277	図7 - 11 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加
p.281	7. 6. 1 (2) (d) TQnCCR1-TQnCCR3レジスタの動作 記述変更
p.283	7. 6. 1 (3) 外部イベント・カウント入力 (EVTQ0) による動作 追加
p.284	7. 6. 2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001) 記述追加
p.287	図7 - 17 外部イベント・カウント・モード動作時のレジスタ設定内容 記述追加
p.289	7. 6. 2 (2) 外部イベント・カウント・モード動作タイミング 記述追加
p.295	図7 - 23 外部トリガ・パルス出力モードの基本タイミング 図変更
p.296	7. 6. 3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010) 記述追加
p.303	7. 6. 3 (2) (b) PWM波形の0 % / 100 %出力 記述変更
p.311	図7 - 28 ワンショット・パルス出力モード動作時のレジスタ設定内容 記述変更
p.312, 313	図7 - 29 ワンショット・パルス出力モード使用時のソフトウェア処理フロー 記述変更
p.325	7. 6. 5 (2) (b) PWM波形の0 % / 100 %出力 記述変更
p.348	7. 6. 7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110) 記述変更
p.366	9. 2 (1) TMQ1デッド・タイム・コンペア・レジスタ (TQ1DTC) 記述追加
p.368	9. 3 (2) TMQ1オプション・レジスタ1 (TQ1OPT1) 記述追加
p.369	9. 3 (3) TMQ1オプション・レジスタ2 (TQ1OPT2) 記述追加
p.373	図9 - 3 TOQ1Tm, TOQ1Bm端子出力制御 (デッド・タイムなし) 記述追加
p.381	図9 - 5 6相PWM出力モードの概要 図変更
p.386	図9 - 9 0 %PWM出力波形図 (デッド・タイムあり) 図変更
p.387	図9 - 10 100 %PWM出力波形図 (デッド・タイムあり) 図変更
p.388	図9 - 11 0 %から100 %, 100 %から0 %のPWM出力波形図 (デッド・タイムあり) 図変更
p.393	9. 4. 3 割り込み間引き機能 記述追加
p.444	11. 4. 1 基本動作 記述変更
p.477	11. 9. 8 ワンショット・モードかつソフトウェア・トリガ・モード設定時の制限事項 追加
p.483	図12 - 1 UARTAnのブロック図 図変更
p.484	12. 2 (5) UARTAn状態レジスタ (UAnSTR) 記述変更
p.485	12. 3 (1) UARTAn制御レジスタ0 (UAnCTL0) 記述変更
p.532	13. 4. 7 (2) 動作タイミング 図変更
p.568	14. 3. 4 割り込み制御レジスタ (xxlCn) 記述追加
p.582	14. 6. 1 (2) 復 帰 記述追加
p.592	15. 2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 記述追加
p.598	15. 5. 1 設定および動作状態 記述追加
p.601	16. 2 (1) リセット要因フラグ・レジスタ (RESF) 記述追加
p.607	16. 3. 3 (3) (a) 低電圧検出レジスタ (LVIM) 記述追加
p.609	16. 3. 3 (3) (c) 内蔵RAMデータ・ステータス・レジスタ (RAMS) 記述追加

箇所	内容
p.625	表19 - 2 基本機能一覧 記述変更
p.625	表19 - 3 セキュリティ機能一覧 記述変更
p.626	表19 - 4 セキュリティ設定 追加
p.627	19.3 (1) PG-FP4, PG-FP5でのセキュリティ設定 (Security flag settings) 追加
p.628	図19 - 2 フラッシュ・メモリにプログラムを書き込むための環境 記述追加
p.629	図19 - 3 専用フラッシュ・メモリ・プログラマとの通信 (UARTA0) 記述追加
p.629	図19 - 4 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0) 記述追加
p.630	図19 - 5 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0 + HS) 記述追加
p.634	図19 - 7 フラッシュ・メモリの操作手順 図変更
p.636	表19 - 7 フラッシュ・メモリ制御用コマンド 記述変更
p.643	図19 - 17 標準セルフ・プログラミング・フロー 図変更
p.644	表19 - 10 フラッシュ関数一覧 記述変更
p.648	第20章 電気的特性 クロック発振回路特性 (i) 村田製作所:セラミック発振子 ($T_A = -40 \sim +85$) 追加
p.649, 650	第20章 電気的特性 DC特性 記述変更
p.651	第20章 電気的特性 データ保持特性 記述変更
p.655	第20章 電気的特性 ハイ・インピーダンス制御タイミング 記述変更
p.656	第20章 電気的特性 CSIBタイミング 記述変更
p.659	第20章 電気的特性 A/Dコンバータ0, 1特性 記述変更
p.661	第20章 電気的特性 低電圧検出回路 (LVI) 記述追加
p.664	第20章 電気的特性 フラッシュ・プログラミング特性 (μ PD70F3329のみ) (3) プログラミング特性 記述変更

E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/6)

版数	前版までの改版内容	適用箇所
第2版	<ul style="list-style-type: none"> ・ μ PD703329を追加 ・ 端子名変更：AV_{DD}, AV_{SS}, AV_{REF}, AV_{DD0}, AV_{DD1}, AV_{SS0}, AV_{SS1}, AV_{REF0}, AV_{REF1} ・ 端子追加：TOQH01-TOQH03, TOQH0OFF ・ HZA0CTL0レジスタ追加 ・ AV_{DD}の電源電圧変更：AV_{DD} = 4.0 ~ 5.5 V AV_{DD0}, AV_{DD1} = 4.5 ~ 5.5 V 	全般
	1.6 (2) (c) ROM 内蔵ROM領域記述修正	第1章 イン트로ダクション
	1.6 (2) (d) RAM 内蔵RAM領域記述修正	
	2.2 端子の入出力回路タイプと未使用時の処理 入出力回路タイプ変更	第2章 端子機能
	2.3 端子の入出力回路 入出力回路タイプ変更	
	表3-2 システム・レジスタ番号 注追加	第3章 CPU機能
	3.2.2 (6) 例外/デバッグ・トラップ時状態回避レジスタ (DBPC, DBPSW) 記述追加	
	3.4.4 (2) (c) 内部メモリ・サイズ切り替えレジスタ (IMS) 記述変更および注意と備考追加	
	3.4.6 内蔵周辺I/Oレジスタ 記述変更	
	3.4.8 システム・ウェイト・コントロール・レジスタ (VSWC) 記述変更および記述追加	
	3.4.9 注意事項 記述変更	
	4.3.1 (1) (c) ポート0モード・コントロール・レジスタ (PMC0) 記述追加	第4章 ポート機能
	図4-3 P00-P05端子のブロック図 図変更	
	図4-4 P06端子のブロック図 図変更	
	4.3.2 (1) (c) ポート1モード・コントロール・レジスタ (PMC1) 記述追加	
	4.3.2 (1) (f) ポート1の兼用機能の設定 記述変更	
	図4-5 P10, P12端子のブロック図 追加	
	図4-6, 図4-7 図変更	
	図4-8 P14端子のブロック図 追加	
	図4-9, 図4-10 図変更	
	図4-13, 図4-15 図変更	
	図4-17, 図4-19, 図4-20 図変更	
	5.3 (2) クロック・コントロール・レジスタ (CKC) 記述変更	第5章 クロック・ジェネレータ
	5.3 (4) パワー・セーブ・コントロール・レジスタ (PSC) 注意の追加および記述変更	
	5.6 (2) (a) 発振回路停止時の動作 (CLM.CLMEビット = 1) 記述変更	
	図6-3 TMP2のブロック図 図変更	第6章 16ビット・タイマ/イベント・カウンタP (TMP)
	図6-4 TMP3のブロック図 図変更	
	6.4 (2) TMPn制御レジスタ1 (TPnCTL1) 記述追加	
	6.4 (3) TMPmI/O制御レジスタ0 (TPmIOC0) 記述変更	
	6.4 (5) TMPkI/O制御レジスタ2 (TPkIOC2) 注意追加	
	表6-6 各モードによるタイマ出力制御 記述変更	
	6.6 (1) カウンタ基本動作, 6.6 (2) 随時書き込みと一斉書き込み 追加	
	6.6.1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000) 記述変更	
図6-11 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2) 記述変更		
図6-12 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加		

版数	前版までの改版内容	適用箇所	
第2版	6.6.1(2)(d)TPnCCR1レジスタの動作 記述追加	第6章 16ビット・タイマ/イベント・カウンタP(TMP)	
	6.6.2 外部イベント・カウント・モード(TPkMD2-TPkMD0ビット = 001) 記述変更		
	図6-23 外部トリガ・パルス出力モードの構成図 図変更		
	図6-25 外部トリガ・パルス出力モード動作時のレジスタ設定内容(2/2) 注追加		
	6.6.3(2)(b)PWM波形の0%/100%出力 図変更		
	6.6.3(2)(e)コンペアー一致割り込み要求信号(INTTPmCC1)の発生タイミング 注追加		
	図6-27 ワンショット・パルス出力モードの構成図 図変更		
	6.6.4 ワンショット・パルス出力モード(TPmMD2-TPmMD0ビット = 011) 記述追加		
	図6-29 ワンショット・パルス出力モード動作時のレジスタ設定内容(2/2) 注追加		
	6.6.4(2)(b)コンペアー一致割り込み要求信号(INTTPmCC1)の発生タイミング 注追加		
	図6-31 PWM出力モードの構成図 図変更		
	図6-32 PWM出力モードの基本タイミング 図変更		
	図6-34 PWM出力モード使用時のソフトウェア処理フロー(1/2) 図変更		
	6.6.5(2)(a)動作中のパルス幅の変更 図変更		
	6.6.5(2)(b)PWM波形の0%/100%出力 図変更		
	6.6.5(2)(c)コンペアー一致割り込み要求信号(INTTPmCC1)の発生タイミング 注追加		
	図6-35 フリー・ランニング・タイマ・モードの構成図 注追加		
	6.6.6 フリー・ランニング・タイマ・モード(TPnMD2-TPnMD0ビット = 101) 記述追加		
	図6-38 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容(2/2) 注追加		
	図6-40 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー(キャプチャ機能)(1/2) 図変更		
	6.6.6(2)(b)キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合 図変更		
	6.6.6(2)(c)2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法 図変更		
	6.6.6(2)(d)キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法 図変更		
	6.6.6(3)キャプチャ動作の注意事項 追加		
	図6-42 パルス幅測定モードの基本タイミング 図変更		
	図6-43 パルス幅測定モード動作時のレジスタ設定内容(1/2) 注追加		
	図6-44 パルス幅測定モード使用時のソフトウェア処理フロー 図変更		
	6.6.7(3)注意事項 追加		
	図7-1 TMQ0のブロック図 図変更		第7章 16ビット・タイマ/イベント・カウンタQ(TMQ)
	図7-2 TMQ0の出力端子構成 追加		
	7.4(2)TMQn制御レジスタ1(TQnCTL1) 記述追加		
	7.4(3)TMQn/I/O制御レジスタ0(TQnIOC0) 記述変更		
	表7-8 各モードによるタイマ出力制御 記述変更		
7.6(1)カウンタ基本動作, 7.6(2)随時書き込みと一斉書き込み 追加			
7.6.1 インターバル・タイマ・モード(TQnMD2-TQnMD0ビット = 000) 記述変更			
図7-10 インターバル・タイマ・モード動作時のレジスタ設定内容(2/2) 記述変更			
図7-11 インターバル・タイマ・モード使用時のソフトウェア処理フロー 記述追加			
7.6.1(2)(d)TQnCCR1-TQnCCR3レジスタの動作 記述追加			
7.6.2 外部イベント・カウント・モード(TQ0MD2-TQ0MD0ビット = 001) 記述変更			
図7-22 外部トリガ・パルス出力モードの構成図 図変更			
7.6.3(2)(b)PWM波形の0%/100%出力 図変更			

版数	前版までの改版内容	適用箇所
第2版	7.6.3(2)(e) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング 注追加	第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)
	図7-26 ワンショット・パルス出力モードの構成図 図変更	
	7.6.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011) 記述追加	
	7.6.4(2)(b) コンペアー一致割り込み要求信号 (INTTQ0CCb) の発生タイミング 注追加	
	7.6.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100) 記述変更	
	図7-34 フリー・ランニング・タイマ・モードの構成図 注追加	
	7.6.6 フリー・ランニング・タイマ・モード (TQnMD2-TQnMD0ビット = 101) 記述追加	
	図7-36 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能) 図変更	
	図7-39 フリー・ランニング・タイマ・モード使用時のソフトウェア処理フロー (キャプチャ機能) (1/2) 図変更	
	7.6.6(2)(b) キャプチャ・レジスタとして使用し, パルス幅測定をさせる場合 図変更	
	7.6.6(2)(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバフローの処理方法 図変更	
	7.6.6(2)(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法 図変更	
	7.6.6(3) キャプチャ動作の注意事項 追加	
	図7-41 パルス幅測定モードの基本タイミング 図変更	
	図7-43 パルス幅測定モード使用時のソフトウェア処理フロー 図変更	
	7.6.7(3) 注意事項 追加	
	図9-1 モータ制御のブロック図 図変更	第9章 モータ制御機能
	図9-2 TMQ1オプション 図変更	
	9.3(5) TMQ1/O制御レジスタ3 (TQ1IOC3) 記述追加	
	9.3(6) ハイ・インピーダンス出力制御レジスタ00, 01, 10, 11 (HZAyCTLn) 記述変更	
図9-4 ハイ・インピーダンス出力制御回路構成 図変更		
図9-5 6相PWM出力モードの概要 図変更		
図9-6 6相PWM出力モードのタイミング図 タイミング追加および注意記述削除		
図9-7 割り込みとアップ/ダウン・フラグ タイミング追加		
9.4.5(1)(b) TMQ1レジスタ設定 記述追加	第10章 ウォッチドッグ・タイマ機能	
10.3(1) ウォッチドッグ・タイマ・モード・レジスタ (WDTM) 注意削除		
10.3(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) 注意記述変更		
10.4 動作 記述追加		
10.5 注意事項 追加		
11.3(1) A/Dコンバータnモード・レジスタ0 (ADAnM0) 注意記述追加	第11章 A/Dコンバータ0, 1	
11.3(2) A/Dコンバータnモード・レジスタ1 (ADAnM1) 記述変更		
11.3(4) A/Dコンバータnモード・レジスタ2 (ADAnM2) 注記述変更		
11.4.1 基本動作 記述変更		
11.4.2 動作モードとトリガ・モード 注追加		
図11-7 ワンショット・セレクト1バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 0, ADA0S.ADA0S1, ADA0S0ビット = 01のとき) 図変更		
図11-8 ワンショット・セレクト4バッファ・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 10, ADA0M2.ADA0BSビット = 1, ADA0S.ADA0S1, ADA0S0ビット = 11のとき) 図変更		

版数	前版までの改版内容	適用箇所	
第2版	図11-9 ワンショット・スキャン・モードの動作タイミング例 (ADA0M0.ADA0MD1, ADA0MD0ビット = 11, ADA0S.ADA0S1, ADA0S0ビット = 11のとき) 図変更	第11章 A/Dコンバータ0, 1	
	11.5 ソフトウェア・トリガ・モード時の動作 図11-10から図11-15の記述変更		
	11.6 タイマ・トリガ・モード時の動作 記述変更		
	11.7 外部トリガ・モード時の動作 記述変更		
	11.8 内部等価回路 追加		
	11.9.1 変換動作の停止 記述追加		
	11.9.2 (1) 0<トリガ発生間隔<A/D総変換クロック数の場合 記述変更		
	12.3 (5) UARTAn状態レジスタ (UAnSTR) 注意追加	第12章 アシクロナス・シリアル・インタフェースA (UARTA)	
	12.5.5 受信エラー 注意追加		
	表12-3 ポー・レート・ジェネレータ設定データ 記述変更		
	13.4.1 シングル転送モード (マスタ・モード, 送受信モード) 注意追加	第13章 3線式可変長シリアルI/O (CSIB)	
	13.4.8 クロック・タイミング 注記述削除		
	13.5 (1) SCKB0端子 記述変更		
	14.9 CPUが割り込みを受け付けない期間 記述変更	第14章 割り込み/例外処理機能	
	14.10 注意事項 追加		
	表15-1 スタンバイ機能のモード一覧 記述変更	第15章 スタンバイ機能	
	図15-1 状態遷移図 注記述追加		
	15.2 (1) パワー・セーブ・コントロール・レジスタ (PSC) 注意の追加および記述変更		
	15.3.2 (1) ノンマスカブル割り込み要求信号, マスクされていないマスカブル割り込み要求信号 記述追加		
	表15-3 HALTモード時の動作状態 記述追加		
	15.4.2 IDLEモードの解除 記述追加		
	15.4.2 (1) マスクされていないマスカブル割り込み要求信号 記述追加		
	表15-5 IDLEモード時の動作状態 記述追加		
	15.5.2 STOPモードの解除 記述追加		
	15.5.2 (1) マスクされていないマスカブル割り込み要求信号 記述追加		
	表15-7 STOPモード時の動作状態 記述追加		
	16.2 (2) リセット要因フラグ・レジスタ2 (RESF2) 記述追加		第16章 リセット機能
	表16-1 リセット要因発生時のRESF, RESF2レジスタのビット0, 4の値 追加		
	表16-2 RESET端子入力時の各ハードウェアの状態 注記述変更		
	16.3.3 (1) 機能 記述変更		
	16.3.3 (3) (a) 低電圧検出レジスタ (LVIM) 記述変更		
	表19-4 専用フラッシュ・ライタ (PG-FP4) の信号接続一覧 記述変更	第19章 フラッシュ・メモリ	
表19-10 使用する内部資源 記述削除			
第20章 電気的特性 (ターゲット) 追加	第20章 電気的特性 (ターゲット)		
第21章 外形図 追加	第21章 外形図		
付録A 注意事項 追加	付録A 注意事項		
D.2 インストラクション・セット (アルファベット順) 注追加	付録D 命令セット一覧		
付録E 改版履歴 追加	付録E 改版履歴		

版数	前版までの改版内容	適用箇所
第3版	全製品のオーダ名称を鉛フリー対応品に変更	全般
	2.1(2) ポート以外の端子 記述追加	第2章 端子機能
	表3-2 システム・レジスタ番号 注記述変更	第3章 CPU機能
	3.2.2(6) 例外/ディバグ・トラップ時状態回避レジスタ (DBPC, DBPSW) 記述変更	
	3.4.7(1) 特定レジスタへのデータ設定 注記述追加	
	3.4.8 システム・ウェイト・コントロール・レジスタ (VSWC) 記述変更	
	表4-4 ポート0の兼用端子 注追加	第4章 ポート機能
	表4-5 ポート1の兼用端子 注追加	
	4.3.2(1)(f) ポート1の兼用機能の設定 注追加	
	表4-7 ポート3の兼用端子 注追加	
	表4-8 ポート4の兼用端子 注追加	
	5.3(1) PLLコントロール・レジスタ (PLLCTL) 注意記述追加	第5章 クロック・ジェネレータ
	5.3(7) クロック・モニタ・モード・レジスタ (CLM) 注意追加	
	6.4(1) TMPn制御レジスタ0 (TPnCTL0) 注記述変更	第6章 16ビット・タイマ/イベント・カウンタP (TMP)
	6.4(6) TMPnオプション・レジスタ0 (TPnOPT0) 記述追加	
	6.4(7)(a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TP0CCR0, TP2CCR0レジスタのみ) 記述追加	
	6.4(8)(a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TP0CCR1, TP2CCR1レジスタのみ) 記述追加	
	図6-5 随時書き込みの基本動作フロー・チャート 注記述追加	
	図6-7 一斉書き込みの基本動作フロー・チャート 注記述追加	
	6.6.3(2)(b) PWM波形の0%/100%出力 記述変更	
	6.6.5(2)(b) PWM波形の0%/100%出力 記述変更	
	7.4(1) TMQn制御レジスタ0 (TQnCTL0) 注記述変更	第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)
	7.4(3) TMQnI/O制御レジスタ0 (TQnIOC0) 注記述変更	
	7.4(6) TMQnオプション・レジスタ0 (TQnOPT0) 記述追加	
	7.4(7)(a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR0レジスタのみ) 記述追加	
	7.4(8)(a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR1レジスタのみ) 記述追加	
	7.4(9)(a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR2レジスタのみ) 記述追加	
	7.4(10)(a) コンペア・レジスタとしての機能, (b) キャプチャ・レジスタとしての機能 (TQ0CCR3レジスタのみ) 記述追加	
	図7-4 随時書き込みの基本動作フロー・チャート 注記述追加	
	図7-6 一斉書き込みの基本動作フロー・チャート 注記述追加	
	7.6.3(2)(b) PWM波形の0%/100%出力 記述変更	
	7.6.5(2)(b) PWM波形の0%/100%出力 記述変更	
	9.3(3) TMQ1オプション・レジスタ2 (TQ1OPT2) 注意記述追加	第9章 モータ制御機能
	図9-6 6相PWM出力モードのタイミング図 注意記述追加	
	9.4.3 割り込み間引き機能 注意追加	
	9.4.5(1)(b) TMQ1レジスタ設定 記述追加	
	10.4 動作 記述変更	第10章 ウォッチドッグ・タイマ機能

版数	前版までの改版内容	適用箇所
第3版	11.2 (14) AVDD0, AVDD1端子 記述追加	第11章 A/Dコンバータ0, 1
	図11-22 ANInm端子内部等価回路 記述変更	
	図11-23 A/Dコンバータ0, 1の総合誤差算出例 追加	
	11.9.5 安定時間中の再変換起動トリガ入力 追加	
	11.9.6 A/D変換結果のばらつき 追加	
	11.9.7 A/D変換のヒステリシス特性 追加	
	11.10 (6) 微分直線性誤差 記述追加	
	12.3 (1) UARTAn制御レジスタ0 (UANCTL0) 記述変更	第12章 アシクロナス・シリアル・インタフェースA (UARTA)
	12.3 (4) UARTAnオプション制御レジスタ0 (UANOPT0) 記述追加	
	12.5.4 UART受信 記述変更	
	12.5.5 受信エラー 注意記述変更	
	13.3 (1) CSIB0制御レジスタ0 (CB0CTL0) 記述変更	第13章 3線式可変長シリアルI/O (CSIB)
	13.3 (1) (a) CB0SCEビットの使用法 追加	
	13.3 (4) CSIB0状態レジスタ (CB0STR) 注意追加	
	13.4.1 シングル転送モード (マスタ・モード, 送信モード) 追加	
	13.4.2 シングル転送モード (マスタ・モード, 受信モード) 追加	
	13.4.3 シングル転送モード (マスタ・モード, 送受信モード) 追加	
	13.4.4 シングル転送モード (スレープ・モード, 送信モード) 追加	
	13.4.5 シングル転送モード (スレープ・モード, 受信モード) 追加	
	13.4.6 シングル転送モード (スレープ・モード, 送受信モード) 追加	
	13.4.7 連続転送モード (マスタ・モード, 送信モード) 追加	
	13.4.8 連続転送モード (マスタ・モード, 受信モード) 追加	
	13.4.9 連続転送モード (マスタ・モード, 送受信モード) 追加	
	13.4.10 連続転送モード (スレープ・モード, 送信モード) 追加	
	13.4.11 連続転送モード (スレープ・モード, 受信モード) 追加	
	13.4.12 連続転送モード (スレープ・モード, 送受信モード) 追加	
	13.4.13 受信エラー 追加	
13.4.14 クロック・タイミング 注意追加		
16.2 (1) リセット要因フラグ・レジスタ (RESF) 記述追加	第16章 リセット機能	
表16-2 RESET端子入力時の各ハードウェアの状態 注記述追加		
表19-4 専用フラッシュ・ライター (PG-FP4) の信号接続一覧 注追加	第19章 フラッシュ・メモリ	
19.5.5 (1) FLMD0端子 記述変更		
第22章 半田付け推奨条件 追加	第22章 半田付け推奨条件	
E.2 前版までの改版履歴 追加	付録E 改版履歴	

【発行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
