

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

μPD789881サブシリーズ

8ビット・シングルチップ・マイクロコンピュータ

μPD789881

μPD78F9882

μPD789881(A)

(メモ)

目次要約

第1章	概 説	...	23
第2章	端子機能	...	33
第3章	CPUアーキテクチャ	...	42
第4章	ポート機能	...	64
第5章	クロック発生回路	...	81
第6章	16ビット・タイマ/イベント・カウンタ0	...	91
第7章	8ビット・タイマ/イベント・カウンタ50, 51	...	120
第8章	ウォッチドッグ・タイマ	...	141
第9章	シリアル・インタフェースUART0	...	147
第10章	LCDコントローラ/ドライバ	...	165
第11章	乗 算 器	...	183
第12章	ボルテージ・ハーバー回路, レギュレータ回路	...	187
第13章	割り込み機能	...	189
第14章	スタンバイ機能	...	203
第15章	リセット機能	...	206
第16章	μ PD78F9882	...	212
第17章	マスク・オプション	...	220
第18章	命令セットの概要	...	221
第19章	電気的特性	...	232
第20章	外形図	...	240
第21章	半田付け推奨条件	...	241
付録A	開発ツール	...	243
付録B	レジスタ索引	...	249

CMOSデバイスの一般的注意事項

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力がノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPIは、NECエレクトロニクスの登録商標です。

EEPROMは、NECエレクトロニクスの商標です。

WindowsおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9882

ユーザ判定品 : μ PD789881, 789881(A)

- 本資料に記載されている内容は2005年8月現在のものです。今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

本版で改訂された主な箇所

箇所	内容
修正版 (U15172JJ2V1UD00) で改訂された主な箇所	
p.23, 24	第1章 概 説 ・鉛フリー製品を追加
p.242	第21章 半田付け推奨条件 ・表21 - 1 表面実装タイプの半田付け条件で、鉛フリー製品の半田付け条件を追加

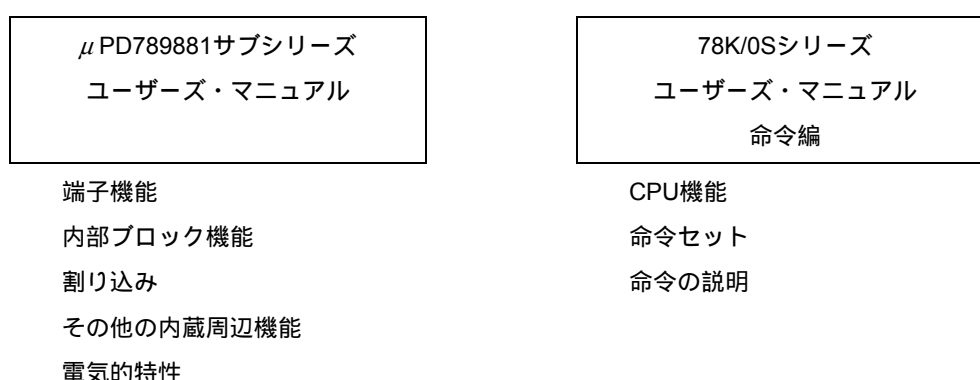
本文欄外の★印は、本版で改訂された主な箇所を示しています。

はじめに

対象者 このマニュアルは μ PD789881サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。
対象製品は、次に示すサブシリーズの各製品です。
・ μ PD789881サブシリーズ : μ PD789881, 78F9882, 789881(A)

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 μ PD789881サブシリーズのマニュアルは、このマニュアルと命令編(78K/0Sシリーズ共通)の2冊に分かれています。



読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコンピュータの一般知識を必要とします。
 μ PD789881(A)のマニュアルとしてお使いになる方へ
 μ PD789881との違いは、品質水準だけです(1.9 **標準水準品と(A)製品との違い**参照)。(A)製品については、品名を次のように読み替えてください。
 μ PD789881 μ PD789881(A)
一通りの機能を理解しようとするとき
目次に従って読んでください。
レジスタ・フォーマットの見方
ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。
レジスタ名が分かっているレジスタの詳細を確認するとき
付録B レジスタ索引を利用してください。
78K/0Sシリーズの命令機能の詳細を知りたいとき
別冊の**78K/0Sシリーズ ユーザズ・マニュアル 命令編(U11047J)**を参照してください。
 μ PD789881サブシリーズの電気的特性を知りたいとき
第19章 電気的特性を参照してください。

注意 このマニュアル中の使用例は、一般電子機器用の『標準』品質水準品質用に作成してあります。『特別』品質水準を要求する用途にこのマニュアル中の使用例を使用する場合は、実際に使用する各部品および回路について、その品質水準についてご検討のうえご使用ください。

凡 例	データ表記の重み : 左が上位桁, 右が下位桁
	アクティブ・ロウの表記 : \overline{xxx} (端子, 信号名称に上線)
	注 : 本文中につけた注の説明
	注意 : 気をつけて読んでいただきたい内容
	備考 : 本文の補足説明
	数の表記 : 2進数... xxx または xxx B
	10進数... xxx
	16進数... xxx H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
μ PD789881サブシリーズ ユーザーズ・マニュアル	このマニュアル	作成中
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号		
	和文	英文	
RA78K0S アセンブラ・パッケージ	操作編	U17391J	U17391E
	言語編	U17390J	U17390E
	構造化アセンブリ言語編	U17389J	U17389E
CC78K0S Cコンパイラ	操作編	U16654J	U16654E
	言語編	U16655J	U16655E
SM+ システム・シミュレータ	操作編	U17246J	U17246E
	ユーザ・オープン・インタフェース編	U17247J	U17247E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合ディバッガ	操作編	U16584J	U16584E
PM plus Ver.5.20		U16934J	U16934E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資料名	資料番号	
	和文	英文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789882-NS-EM1 エミュレーション・ボード	U16431J	U16431E

フラッシュ・メモリ書き込み用の資料

資料名	資料番号	
	和文	英文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 23

- 1.1 特 徴 ... 23
- 1.2 応用分野 ... 23
- 1.3 オーダ情報 ... 23
- 1.4 品質水準 ... 24
- 1.5 端子接続図 (Top View) ... 25
- 1.6 78K/0Sシリーズの展開 ... 27
- 1.7 ブロック図 ... 30
- 1.8 機能概要 ... 31
- 1.9 標準水準品と(A)製品の違い ... 32

第2章 端子機能 ... 33

- 2.1 端子機能一覧 ... 33
- 2.2 端子機能の説明 ... 35
 - 2.2.1 P00-P03 (Port 0) ... 35
 - 2.2.2 P10, P11 (Port 1) ... 35
 - 2.2.3 P20-P22 (Port 2) ... 35
 - 2.2.4 P30-P33 (Port 3) ... 35
 - 2.2.5 P50-P53 (Port 5) ... 36
 - 2.2.6 P80-P84 (Port 8) ... 36
 - 2.2.7 P90-P95 (Port 9) ... 37
 - 2.2.8 S0-S14 ... 37
 - 2.2.9 COM0-COM3 ... 37
 - 2.2.10 VLc1, VLc2 ... 37
 - 2.2.11 CAPH1, CAPL1, HVDD, VRout ... 37
 - 2.2.12 CAPH2, CAPL2 ... 37
 - 2.2.13 RESET ... 37
 - 2.2.14 XT1, XT2 ... 37
 - 2.2.15 VDD0, VDD1 ... 38
 - 2.2.16 VSS0, VSS1 ... 38
 - 2.2.17 VPP (μ PD78F9882のみ) ... 38
 - 2.2.18 FPCLK (μ PD78F9882のみ) ... 38
 - 2.2.19 IC0 (マスクROM製品のみ) ... 38
- 2.3 端子の入出力回路と未使用端子の処理 ... 39

第3章 CPUアーキテクチャ ... 42

- 3.1 メモリ空間 ... 42
 - 3.1.1 内部プログラム・メモリ空間 ... 44
 - 3.1.2 内部データ・メモリ (内部高速RAM) 空間 ... 45
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 45
 - 3.1.4 データ・メモリ・アドレッシング ... 46

3.2	プロセッサ・レジスタ	...	48
3.2.1	制御レジスタ	...	48
3.2.2	汎用レジスタ	...	51
3.2.3	特殊機能レジスタ (SFR)	...	52
3.3	命令アドレスのアドレッシング	...	55
3.3.1	レラティブ・アドレッシング	...	55
3.3.2	イミディエイト・アドレッシング	...	56
3.3.3	テーブル・インダイレクト・アドレッシング	...	57
3.3.4	レジスタ・アドレッシング	...	57
3.4	オペランド・アドレスのアドレッシング	...	58
3.4.1	ダイレクト・アドレッシング	...	58
3.4.2	ショート・ダイレクト・アドレッシング	...	59
3.4.3	特殊機能レジスタ (SFR) アドレッシング	...	60
3.4.4	レジスタ・アドレッシング	...	61
3.4.5	レジスタ・インダイレクト・アドレッシング	...	62
3.4.6	ベースト・アドレッシング	...	63
3.4.7	スタック・アドレッシング	...	63

第4章 ポート機能 ... 64

4.1	ポートの機能	...	64
4.2	ポートの構成	...	65
4.2.1	ポート0	...	66
4.2.2	ポート1	...	67
4.2.3	ポート2	...	68
4.2.4	ポート3	...	71
4.2.5	ポート5	...	73
4.2.6	ポート8	...	74
4.2.7	ポート9	...	75
4.3	ポート機能を制御するレジスタ	...	76
4.4	ポート機能の動作	...	80
4.4.1	入出力ポートへの書き込み	...	80
4.4.2	入出力ポートからの読み出し	...	80
4.4.3	入出力ポートでの演算	...	80

第5章 クロック発生回路 ... 81

5.1	クロック発生回路の機能	...	81
5.2	クロック発生回路の構成	...	81
5.3	クロック発生回路を制御するレジスタ	...	83
5.4	システム・クロック発振回路	...	85
5.4.1	メイン・システム・クロック発振回路	...	85
5.4.2	サブシステム・クロック発振回路	...	85
5.4.3	発振子の接続の悪い例	...	86
5.4.4	分周回路	...	87
5.4.5	サブシステム・クロック4逓倍回路	...	87
5.5	クロック発生回路の動作	...	88
5.6	システム・クロックとCPUクロックの設定の変更	...	89
5.6.1	システム・クロックとCPUクロックの切り替えに要する時間	...	89

第6章 16ビット・タイマ/イベント・カウンタ0 ... 91

- 6.1 16ビット・タイマ/イベント・カウンタ0の機能 ... 91
- 6.2 16ビット・タイマ/イベント・カウンタ0の構成 ... 93
- 6.3 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ ... 95
- 6.4 16ビット・タイマ/イベント・カウンタ0の動作 ... 101
 - 6.4.1 インターバル・タイマとしての動作 ... 101
 - 6.4.2 PPG出力としての動作 ... 103
 - 6.4.3 パルス幅測定としての動作 ... 105
 - 6.4.4 外部イベント・カウンタとしての動作 ... 113
 - 6.4.5 方形波出力としての動作 ... 115
- 6.5 16ビット・タイマ/イベント・カウンタ0の注意事項 ... 116

第7章 8ビット・タイマ/イベント・カウンタ50, 51 ... 120

- 7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能 ... 120
- 7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成 ... 122
- 7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ ... 123
- 7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作 ... 128
 - 7.4.1 インターバル・タイマ(8ビット)としての動作 ... 128
 - 7.4.2 外部イベント・カウンタとしての動作 ... 133
 - 7.4.3 方形波出力(8ビット分解能)としての動作 ... 134
 - 7.4.4 8ビットPWM出力としての動作 ... 136
- 7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項 ... 140

第8章 ウォッチドッグ・タイマ ... 141

- 8.1 ウォッチドッグ・タイマの機能 ... 141
- 8.2 ウォッチドッグ・タイマの構成 ... 142
- 8.3 ウォッチドッグ・タイマを制御するレジスタ ... 143
- 8.4 ウォッチドッグ・タイマの動作 ... 145
 - 8.4.1 ウォッチドッグ・タイマとしての動作 ... 145
 - 8.4.2 インターバル・タイマとしての動作 ... 146

第9章 シリアル・インタフェースUART0 ... 147

- 9.1 シリアル・インタフェースUART0の機能 ... 147
- 9.2 シリアル・インタフェースUART0の構成 ... 148
- 9.3 シリアル・インタフェースUART0を制御するレジスタ ... 149
- 9.4 シリアル・インタフェースUART0の動作 ... 153
 - 9.4.1 動作停止モード ... 153
 - 9.4.2 アシンクロナス・シリアル・インタフェース(UART)モード ... 154

第10章 LCDコントローラ/ドライバ ... 165

- 10.1 LCDコントローラ/ドライバの機能 ... 165
- 10.2 LCDコントローラ/ドライバの構成 ... 165

10.3	LCDコントローラ/ドライバを制御するレジスタ	...	169
10.4	LCDコントローラ/ドライバの設定	...	173
10.5	LCD表示データ・メモリ	...	173
10.6	コモン信号とセグメント信号	...	174
10.7	表示モード	...	177
10.7.1	スタティック表示例	...	177
10.7.2	4時分割表示例	...	180
第11章	乗算器	...	183
11.1	乗算器の機能	...	183
11.2	乗算器の構成	...	183
11.3	乗算器を制御するレジスタ	...	185
11.4	乗算器の動作	...	186
第12章	ボルテージ・ハーバー回路, レギュレータ回路	...	187
第13章	割り込み機能	...	189
13.1	割り込み機能の種類	...	189
13.2	割り込み要因と構成	...	189
13.3	割り込み機能を制御するレジスタ	...	192
13.4	割り込み処理動作	...	197
13.4.1	ノンマスカブル割り込み要求の受け付け動作	...	197
13.4.2	マスカブル割り込み要求の受け付け動作	...	199
13.4.3	多重割り込み処理	...	201
13.4.4	割り込み要求の保留	...	202
第14章	スタンバイ機能	...	203
14.1	スタンバイ機能と構成	...	203
14.2	スタンバイ機能の動作	...	203
14.2.1	HALTモードの設定および動作状態	...	203
14.2.2	HALTモードの解除	...	204
第15章	リセット機能	...	206
15.1	リセットの種類	...	206
15.2	リセットの処理動作	...	207
第16章	μPD78F9882	...	212
16.1	フラッシュ・メモリの特徴	...	213
16.1.1	プログラミング環境	...	213
16.1.2	通信方式	...	214
16.1.3	オンボード上の端子処理	...	216
16.1.4	フラッシュ書き込み用アダプタ上の接続	...	219
第17章	マスク・オプション	...	220

第18章	命令セットの概要	...	221
18.1	オペレーション	...	221
18.1.1	オペランドの表現形式と記述方法	...	221
18.1.2	オペレーション欄の説明	...	222
18.1.3	フラグ動作欄の説明	...	222
18.2	オペレーション一覧	...	223
18.3	アドレッシング別命令一覧	...	229
第19章	電気的特性	...	232
第20章	外形図	...	240
第21章	半田付け推奨条件	...	241
付録A	開発ツール	...	243
A.1	ソフトウェア・パッケージ	...	245
A.2	言語処理用ソフトウェア	...	245
A.3	制御ソフトウェア	...	246
A.4	フラッシュ・メモリ書き込み用ツール	...	246
A.5	ディバグ用ツール(ハードウェア)	...	247
A.6	ディバグ用ツール(ソフトウェア)	...	248
付録B	レジスタ索引	...	249
B.1	レジスタ索引(50音順)	...	249
B.2	レジスタ索引(アルファベット順)	...	251

図の目次 (1/5)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 40
3 - 1	メモリ・マップ (μ PD789881) ... 42
3 - 2	メモリ・マップ (μ PD78F9882) ... 43
3 - 3	データ・メモリのアドレッシング (μ PD789881) ... 46
3 - 4	データ・メモリのアドレッシング (μ PD78F9882) ... 47
3 - 5	プログラム・カウンタの構成 ... 48
3 - 6	プログラム・ステータス・ワードの構成 ... 48
3 - 7	スタック・ポインタの構成 ... 50
3 - 8	スタック・メモリへ退避されるデータ ... 50
3 - 9	スタック・メモリから復帰されるデータ ... 50
3 - 10	汎用レジスタの構成 ... 51
4 - 1	ポートの種類 ... 64
4 - 2	P00-P03のブロック図 ... 66
4 - 3	P10, P11のブロック図 ... 67
4 - 4	P20のブロック図 ... 68
4 - 5	P21のブロック図 ... 69
4 - 6	P22のブロック図 ... 70
4 - 7	P30, P32のブロック図 ... 71
4 - 8	P31, P33のブロック図 ... 72
4 - 9	P50-P53のブロック図 ... 73
4 - 10	P80-P84のブロック図 ... 74
4 - 11	P90-P95のブロック図 ... 75
4 - 12	ポート・モード・レジスタのフォーマット ... 76
4 - 13	プルアップ抵抗オプション・レジスタのフォーマット ... 78
4 - 14	ポート・ファンクション・レジスタのフォーマット ... 79
5 - 1	クロック発生回路のブロック図 ... 82
5 - 2	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 83
5 - 3	サブクロック・コントロール・レジスタのフォーマット ... 84
5 - 4	サブシステム・クロック発振回路の外付け回路 ... 85
5 - 5	発振子の接続の悪い例 ... 86
5 - 6	システム・クロックとCPUクロックの切り替え ... 89
6 - 1	16ビット・タイマ/イベント・カウンタ0のブロック図 ... 92
6 - 2	16ビット・タイマ・モード・コントロール・レジスタ0のフォーマット ... 96
6 - 3	16ビット・タイマ・キャプチャ/コンペア・コントロール・レジスタ0のフォーマット ... 97
6 - 4	16ビット・タイマ出力コントロール・レジスタ0のフォーマット ... 98

図の目次 (2/5)

図番号	タイトル, ページ
6 - 5	16ビット・タイマ・プリスケラ・モード・レジスタ0のフォーマット ... 99
6 - 6	ポート・モード・レジスタ3のフォーマット ... 100
6 - 7	インターバル・タイマ動作時の制御レジスタ設定内容 ... 101
6 - 8	インターバル・タイマの構成図 ... 102
6 - 9	インターバル・タイマ動作のタイミング ... 102
6 - 10	PPG出力動作時の制御レジスタ設定内容 ... 103
6 - 11	PPG出力の構成図 ... 104
6 - 12	PPG出力動作のタイミング ... 104
6 - 13	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容 ... 105
6 - 14	フリーランニング・カウンタによるパルス幅測定の構成図 ... 106
6 - 15	フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング(両エッジ指定時) ... 106
6 - 16	フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容 ... 107
6 - 17	立ち上がりエッジ指定時のCR01キャプチャ動作 ... 108
6 - 18	フリーランニング・カウンタによるパルス幅測定動作のタイミング(両エッジ指定時) ... 108
6 - 19	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容 ... 109
6 - 20	フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) ... 110
6 - 21	リスタートによるパルス幅測定時の制御レジスタ設定内容 ... 111
6 - 22	リスタートによるパルス幅測定動作のタイミング(立ち上がりエッジ指定時) ... 112
6 - 23	外部イベント・カウンタ・モード時の制御レジスタ設定内容 ... 113
6 - 24	外部イベント・カウンタの構成図 ... 114
6 - 25	外部イベント・カウンタ動作のタイミング(立ち上がりエッジ指定時) ... 114
6 - 26	方形波出力モード時の制御レジスタ設定内容 ... 115
6 - 27	方形波出力動作のタイミング ... 115
6 - 28	16ビット・タイマ・カウンタ0のスタート・タイミング ... 116
6 - 29	キャプチャ・レジスタのデータ保持タイミング ... 116
6 - 30	OVF0フラグの動作タイミング ... 117
7 - 1	8ビット・タイマ/イベント・カウンタ50のブロック図 ... 121
7 - 2	8ビット・タイマ/イベント・カウンタ51のブロック図 ... 121
7 - 3	8ビット・タイマ・クロック選択レジスタ50のフォーマット ... 123
7 - 4	8ビット・タイマ・クロック選択レジスタ51のフォーマット ... 124
7 - 5	8ビット・タイマ・モード・コントロール・レジスタ50, 51のフォーマット ... 125
7 - 6	ポート・モード・レジスタ2, 3のフォーマット ... 127
7 - 7	インターバル・タイマ動作時の8ビット・タイマ・モード・コントロール・レジスタの設定内容 ... 129

図の目次 (3/5)

図番号	タイトル, ページ
7 - 8	インターバル・タイマ動作のタイミング ... 129
7 - 9	外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時) ... 133
7 - 10	方形波出力動作時の8ビット・タイマ・モード・コントロール・レジスタの設定内容 ... 134
7 - 11	方形波出力動作のタイミング ... 135
7 - 12	PWM出力動作時の8ビット・タイマ・コントロール・レジスタ5nの設定内容 ... 137
7 - 13	PWM出力の動作タイミング (アクティブ・レベル = Hのとき) ... 137
7 - 14	PWM出力の動作タイミング (CR5n = 00H, アクティブ・レベル = Hのとき) ... 138
7 - 15	PWM出力の動作タイミング (CR5n = FFH, アクティブ・レベル = Hのとき) ... 138
7 - 16	PWM出力の動作タイミング (CR5n変更, アクティブ・レベル = Hのとき) ... 139
7 - 17	8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング ... 140
8 - 1	ウォッチドッグ・タイマのブロック図 ... 142
8 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 143
8 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 144
9 - 1	シリアル・インタフェースUART0のブロック図 ... 147
9 - 2	アシンクロナス・シリアル・インタフェース・モード・レジスタ0のフォーマット ... 150
9 - 3	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0のフォーマット ... 151
9 - 4	ボー・レート・ジェネレータ・コントロール・レジスタ0のフォーマット ... 152
9 - 5	マージンを考慮したボー・レートの許容誤差例 ... 159
9 - 6	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 160
9 - 7	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 162
9 - 8	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 163
9 - 9	受信エラー・タイミング ... 164
10 - 1	LCD表示用RAMとの対応 ... 166
10 - 2	LCDコントローラ/ドライバのブロック図 ... 167
10 - 3	LCD駆動用端子の接続例 ... 168
10 - 4	LCD表示モード・レジスタ0のフォーマット ... 170
10 - 5	LCDクロック制御レジスタ0のフォーマット ... 171
10 - 6	ポート・ファンクション・レジスタのフォーマット ... 172
10 - 7	LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係 (S15-S25を使用した場合) ... 173
10 - 8	コモン信号波形 ... 175
10 - 9	コモン信号とセグメント信号の電圧と位相 ... 176
10 - 10	スタティックLCD表示パターンと電極結線 ... 177
10 - 11	スタティックLCDパネルの結線例 ... 178
10 - 12	スタティックLCD駆動波形例 ... 179
10 - 13	4時分割LCD表示パターンと電極結線 ... 180

図の目次 (4/5)

図番号	タイトル, ページ
10 - 14	4時分割LCDパネルの結線例 ... 181
10 - 15	4時分割LCD駆動波形例 (1/3パイアス法) ... 182
11 - 1	乗算器のブロック図 ... 184
11 - 2	乗算器コントロール・レジスタ0のフォーマット ... 185
11 - 3	乗算器の動作タイミング (AAH×D3Hの例) ... 186
12 - 1	電源部のブロック図 ... 187
12 - 2	コンデンサの接続図 ... 188
13 - 1	割り込み機能の基本構成 ... 191
13 - 2	割り込み要求フラグ・レジスタのフォーマット ... 193
13 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 194
13 - 4	外部割り込みモード・レジスタのフォーマット ... 195
13 - 5	プログラム・ステータス・ワードの構成 ... 196
13 - 6	ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート ... 198
13 - 7	ノンマスカブル割り込み要求の受け付けタイミング ... 198
13 - 8	ノンマスカブル割り込み要求の受け付け動作 ... 198
13 - 9	割り込み要求受け付け処理アルゴリズム ... 199
13 - 10	割り込み要求の受け付けタイミング (MOV A, rの例) ... 200
13 - 11	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 200
13 - 12	多重割り込みの例 ... 201
14 - 1	HALTモードの割り込み発生による解除 ... 204
14 - 2	HALTモードの $\overline{\text{RESET}}$ 入力による解除 ... 205
15 - 1	リセット機能のブロック図 ... 206
15 - 2	$\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 208
15 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 209
15 - 4	電源投入時の $\overline{\text{RESET}}$ 入力によるリセット・タイミング ... 210
16 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 213
16 - 2	通信方式選択フォーマット ... 214
16 - 3	専用フラッシュ・ライタとの接続例 (3線式シリアルI/O) ... 214
16 - 4	V _{PP} 端子の接続例 ... 216
16 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 217
16 - 6	ほかのデバイスの異常動作 ... 217
16 - 7	信号の衝突 ($\overline{\text{RESET}}$ 端子) ... 218

図の目次 (5/5)

図番号	タイトル, ページ
16 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 219
A - 1	開発ツール構成 ... 244

表の目次 (1/2)

表番号	タイトル, ページ
1 - 1	標準水準品と(A)製品 ... 32
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 39
3 - 1	内部ROM容量 ... 44
3 - 2	ベクタ・テーブル ... 44
3 - 3	特殊機能レジスタ一覧 ... 53
4 - 1	ポートの機能 ... 65
4 - 2	ポートの構成 ... 65
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 77
5 - 1	クロック発生回路の構成 ... 81
5 - 2	CPUクロックの切り替えに要する最大時間 ... 89
5 - 3	内部リセット・ウェイト時間 ... 90
6 - 1	16ビット・タイマ/イベント・カウンタ0の構成 ... 93
6 - 2	TI00端子の有効エッジとCR00, CR01のキャプチャ・トリガ ... 94
6 - 3	TI01端子の有効エッジとCR00のキャプチャ・トリガ ... 94
7 - 1	8ビット・タイマ/イベント・カウンタ50, 51の構成 ... 122
7 - 2	8ビット・タイマ/イベント・カウンタ50のインターバル時間 ... 132
7 - 3	8ビット・タイマ/イベント・カウンタ51のインターバル時間 ... 132
7 - 4	8ビット・タイマ/イベント・カウンタ50の方形波出力範囲 ... 135
7 - 5	8ビット・タイマ/イベント・カウンタ51の方形波出力範囲 ... 135
8 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 141
8 - 2	インターバル時間 ... 141
8 - 3	ウォッチドッグ・タイマの構成 ... 142
8 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 145
8 - 5	インターバル・タイマのインターバル時間 ... 146
9 - 1	シリアル・インタフェースUART0の構成 ... 148
9 - 2	入力クロックと目標ボー・レート, ボー・レート誤差の関係 ... 158
9 - 3	受信エラーの要因 ... 164
10 - 1	最大表示画素数 ... 165
10 - 2	LCDコントローラ/ドライバの構成 ... 165
10 - 3	フレーム周波数 (Hz) ... 171

表の目次 (2/2)

表番号	タイトル, ページ
10 - 4	COM信号 ... 174
10 - 5	LCD駆動電圧 ... 175
10 - 6	選択, 非選択電圧 (COM0) ... 177
10 - 7	選択, 非選択電圧 (COM0-COM3) ... 180
13 - 1	割り込み要因一覧 ... 190
13 - 2	割り込み要求信号名に対する各種フラグ ... 192
13 - 3	マスカブル割り込み要求発生から処理までの時間 ... 199
14 - 1	HALTモード時の動作状態 ... 203
14 - 2	HALTモードの解除後の動作 ... 205
15 - 1	各ハードウェアのリセット後の状態 ... 211
16 - 1	μ PD78F9882とマスクROM製品の違い ... 212
16 - 2	通信方式一覧 ... 214
16 - 3	端子接続一覧 ... 215
18 - 1	オペランドの表現形式と記述方法 ... 221
21 - 1	表面実装タイプの半田付け条件 ... 241

第1章 概 説

1.1 特 徴

ROM, RAM容量

品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部高速RAM	LCD表示用RAM
μ PD789881	マスクROM	16 Kバイト	512バイト	26×4ビット
μ PD78F9882	フラッシュ・メモリ	32 Kバイト		

高速 (4 μs : メイン・システム・クロック500 kHz (TYP.) 動作時) から超低速 (30.5 μs : サブシステム・クロック32.768 kHz×4動作時) に最小命令実行時間を変更可能

I/Oポート : 28本 (N-chオープン・ドレイン : 4本)

タイマ : 4チャンネル

シリアル・インタフェース (UART) : 1チャンネル

LCDコントローラ/ドライバ (コンデンサ降圧タイプ)

セグメント信号 : 26本, コモン信号 : 4本

乗算器内蔵 : 8ビット×8ビット = 16ビット

ボルテージ・ハーバー回路, レギュレータ回路内蔵

電源電圧

μ PD789881 : V_{DD} = 2.7 ~ 3.6 V

μ PD78F9882 : V_{DD} = 3.0 ~ 3.6 V

1.2 応用分野

ヒーティング・メータ, ガス・メータ, 水道メータ, 健康機器など

★ 1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μ PD789881GB- x x x -8EU	64ピン・プラスチックLQFP (10x10)	マスクROM
μ PD78F9882GB-8EU	"	フラッシュ・メモリ
μ PD789881GB- x x x -8EU-A	"	マスクROM
μ PD78F9882GB-8EU-A	"	フラッシュ・メモリ
μ PD789881GB(A)- x x x -8EU	"	マスクROM

備考1. オーダ名称末尾「-A」の製品は, 鉛フリー製品です。

2. x x xはROMコード番号です。

1.4 品質水準

	オーダ名称	パッケージ	品質水準
	μ PD789881GB-x x x -8EU	64ピン・プラスチックLQFP (10x10)	標準 (一般電子機器用)
	μ PD78F9882GB-x x x -8EU	"	"
★	μ PD789881GB-x x x -8EU-A	"	"
★	μ PD78F9882GB-x x x -8EU-A	"	"
	μ PD789881GB(A)-x x x -8EU	"	特別 (高信頼度電子機器用)

備考1. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

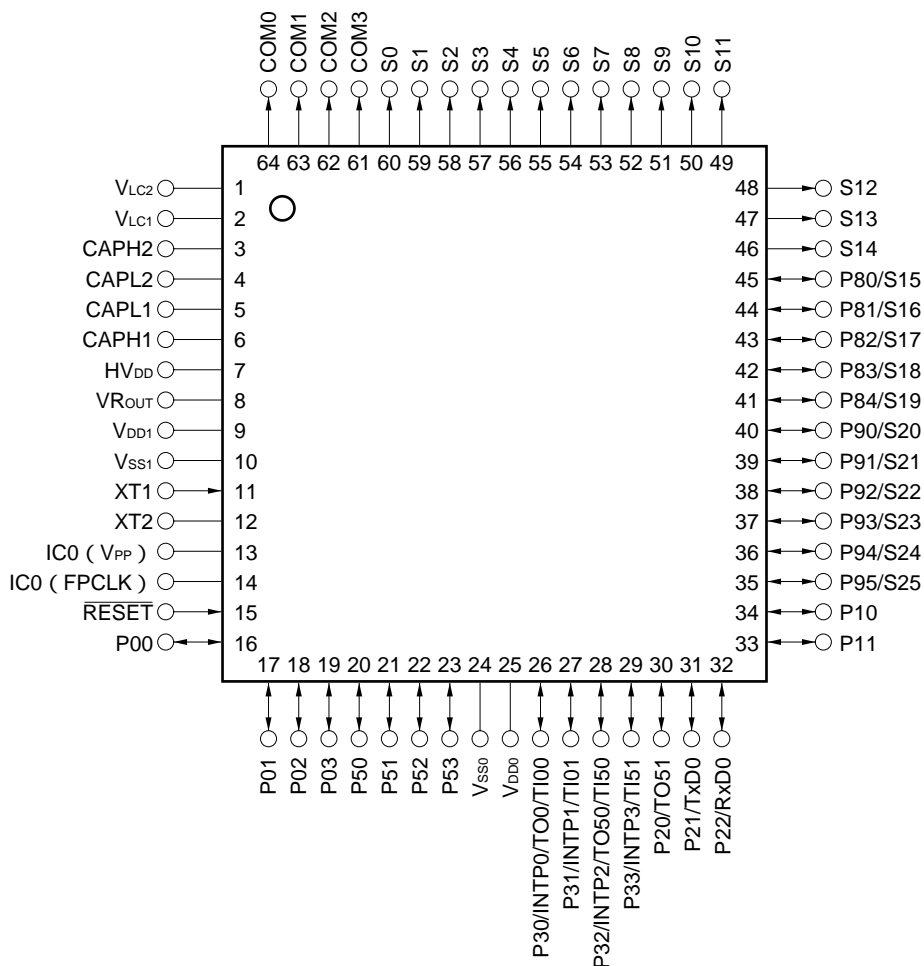
2. x x xはROMコード番号です。

品質水準とその応用分野の詳細については当社発行の資料「NEC 半導体デバイスの品質水準」
(資料番号 C11531J)をご覧ください。

1.5 端子接続図 (Top View)

64ピン・プラスチックLQFP (10x10)

- ★ μ PD789881GB-x x x-8EU μ PD789881GB-x x x-8EU-A
- ★ μ PD78F9882GB-8EU μ PD78F9882GB-8EU-A
- μ PD789881GB(A)-x x x-8EU



注意 IC (Internally Connected) 端子はV_{SS0}またはV_{SS1}に直接接続してください。



備考 () 内は, μ PD78F9882のとき

端子名称

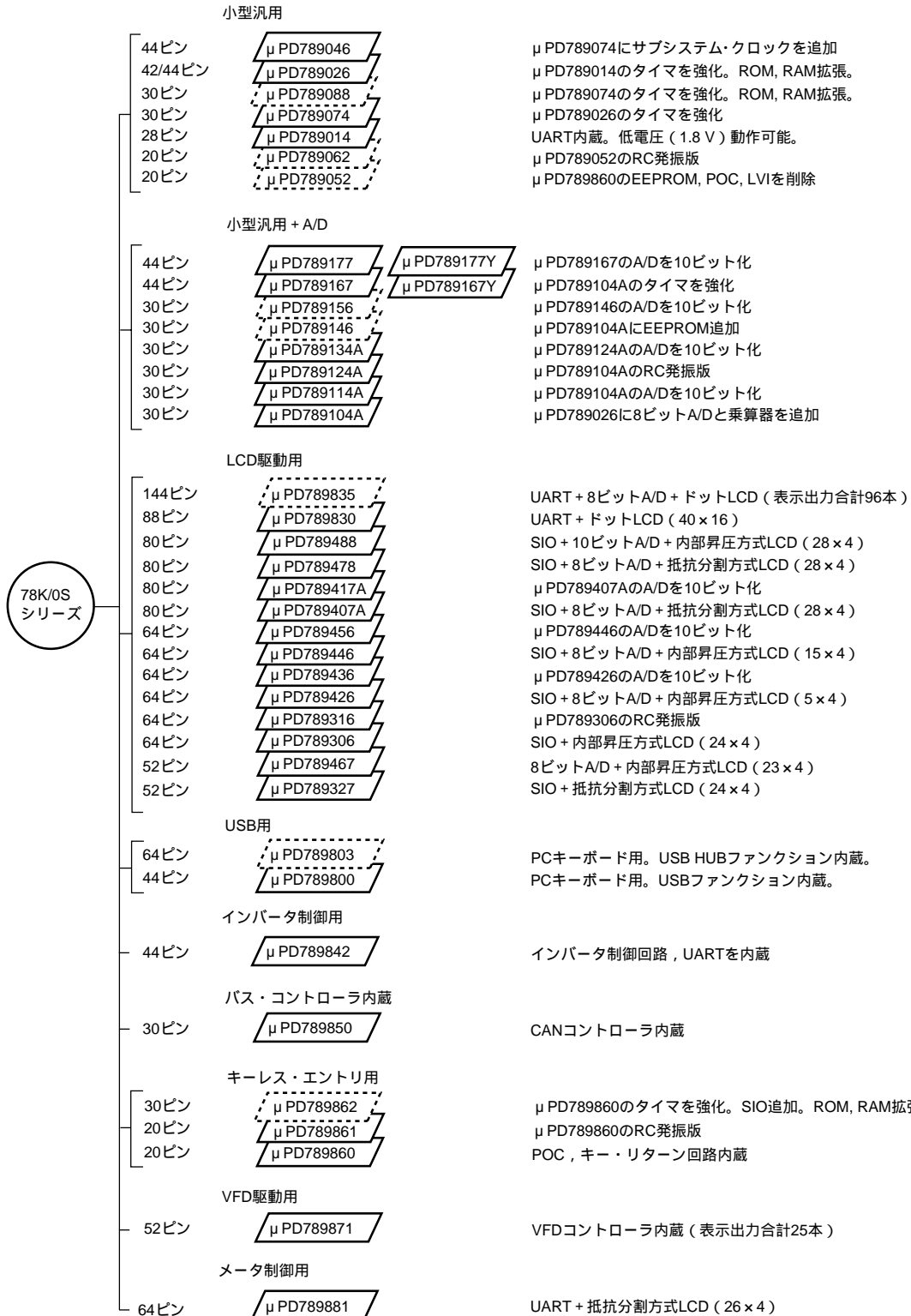
CAPH1, CAPL1 : Voltage Halver Capacitance	RESET	: Reset
CAPH2, CAPL2 : LCD Power Supply Capacitance Control	RxD0	: Receive Data
COM0-COM3 : Common Output	S0-S25	: Segment Output
FPCLK : Flash Clock Input	TI00, 01, 50, 51	: Timer Input
HV _{DD} : Voltage Halver Capacitance	TO00, 50, 51	: Timer Output
IC0 : Internally connected	TxD0	: Transmit Data
INTP0-INTP3 : External Interrupt Input	V _{DD0} , V _{DD1}	: Power Supply
P00-P03 : Port 0	V _{LC1} , V _{LC2}	: Power Supply for LCD
P10, P11 : Port 1	V _{PP}	: Programming Power Supply
P20-P22 : Port 2	V _{ROUT}	: Regulator Capacitance
P30-P33 : Port 3	V _{SS0} , V _{SS1}	: Ground
P50-P53 : Port 5	X1, X2	: Crystal (Main system clock)
P80-P84 : Port 8	XT1, XT2	: Crystal (Subsystem clock)
P90-P95 : Port 9		

1.6 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。

 量産中の製品
  開発中の製品

YサブシリーズはSMB対応の製品です。



備考 蛍光表示管の一般的な英語名称はVFD (Vacuum Fluorescent Display) ですが、ドキュメントによってはFIP® (Fluorescent Indicator Panel) と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを次に示します。

汎用，LCD駆動用シリーズ

サブシリーズ名	機 能	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考		
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値			
小型 汎用	μPD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-		
	μPD789026	4 K-16 K												
	μPD789088	16 K-32 K	3 ch							24本				
	μPD789074	2 K-8 K	1 ch											
	μPD789014	2 K-4 K	2 ch	-						22本				
	μPD789062	4 K							-	14本		RC発振版		
	μPD789052										-			
小型 汎用 + A/D	μPD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-		
	μPD789167						8 ch	-				-		
	μPD789156	8 K-16 K	1 ch				-	4 ch		20本		EEPROM内蔵		
	μPD789146						4 ch	-					-	
	μPD789134A	2 K-8 K					-	4 ch				RC発振版		
	μPD789124A						4 ch	-					-	
	μPD789114A						-	4 ch					-	-
	μPD789104A						4 ch	-					-	-
LCD 駆動用	μPD789835	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD		
	μPD789830	24 K	1 ch	1 ch			-			30本		2.7 V	対応	
	μPD789488	32 K	3 ch				8 ch	-	2 ch (UART : 1ch)	45本	1.8 V	-		
	μPD789478	24 K-32 K					8 ch	-						
	μPD789417A	12 K-24 K	2 ch				-	7 ch	1 ch (UART : 1ch)	43本				
	μPD789407A						7 ch	-						
	μPD789456	12 K-16 K					-	6 ch		30本				
	μPD789446						6 ch	-						
	μPD789436						-	6 ch		40本				
	μPD789426						6 ch	-						
	μPD789316	8 K-16 K					-	-	2 ch (UART : 1ch)	23本		RC発振版		
	μPD789306													
	μPD789467	4 K-24 K					-			18本				
	μPD789327						-			21本				

注 フラッシュ・メモリ版 : 3.0 V

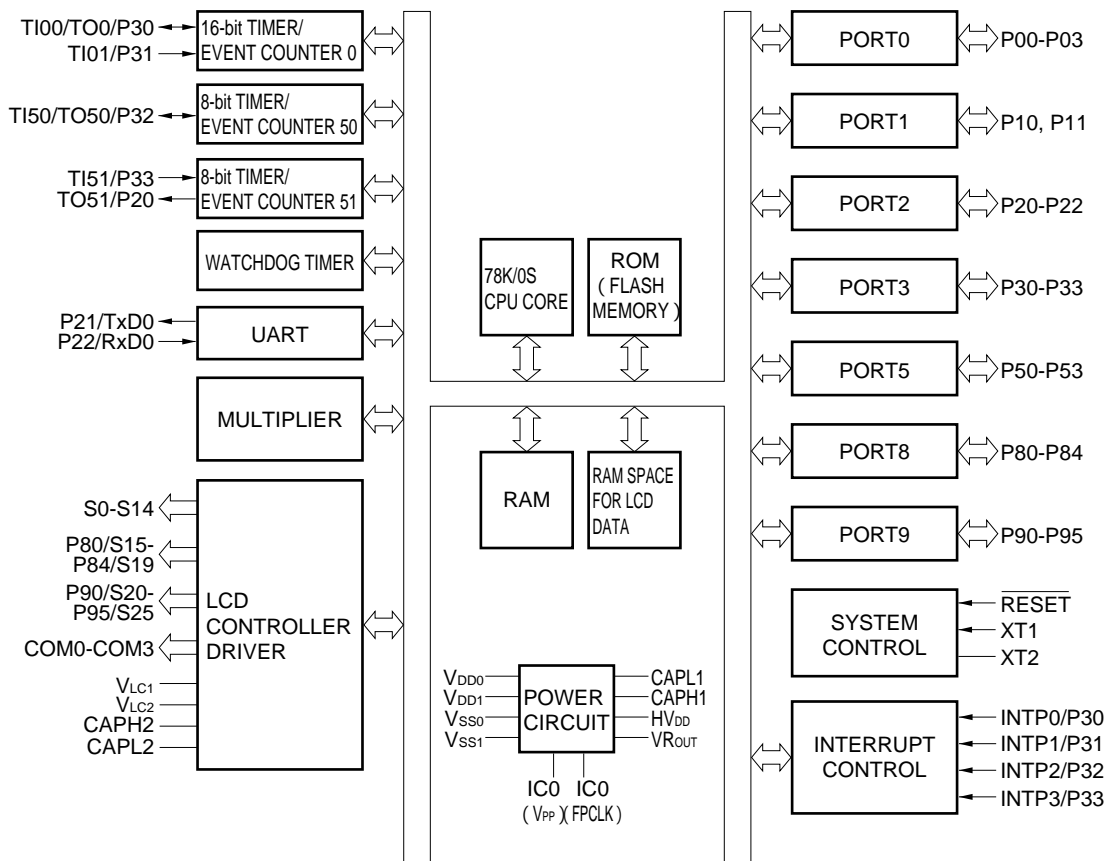
ASSP用シリーズ

機能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考	
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値		
USB用 μPD789803	8K-16K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	41本	3.6 V	-	
	μPD789800	8 K							31本	4.0 V		
インバー タ制御用	μPD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵	μPD789850	16 K	1 ch	1 ch	-	1 ch	4 ch	-	2 ch (UART : 1ch)	18本	4.0 V	-
キーレス ・エント リ用	μPD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版, EEPROM内蔵
	μPD789860											
	μPD789862	16 K	1 ch	2 ch					1 ch (UART : 1ch)	22本		
VFD 駆動用	μPD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用	μPD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ : 1チャンネル

2. フラッシュ・メモリ版 : 3.0 V

1.7 ブロック図



備考 ()内は、 μ PD78F9882のとき

1.8 機能概要

項 目		μ PD789881	μ PD78F9882
内部メモリ	ROM	16 Kバイト	32 Kバイト (フラッシュ・メモリ)
	高速RAM	512バイト	
	LCD表示用RAM	26×4バイト	
最小命令実行時間		4 μs (メイン・システム・クロック : 500 kHz (TYP.) 動作時) 30.5 μs (サブシステム・クロックの4通倍クロック : 131 kHz動作時)	
汎用レジスタ		8ビット×8レジスタ	
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など	
乗算器		8ビット×8ビット = 16ビット	
I/Oポート		合計 : 28本 CMOS入出力 : 24本 N-chオープン・ドレイン入出力 (3.6 V耐圧) : 4本	
タイマ		・ 16ビット・タイマ/イベント・カウンタ : 1チャンネル ・ 8ビット・タイマ/イベント・カウンタ : 2チャンネル ・ ウォッチドッグ・タイマ : 1チャンネル	
タイマ出力		3本	
シリアル・インタフェース		UART : 1チャンネル	
LCDコントローラ/ドライバ		・ セグメント信号出力 : 26本 ・ コモン信号出力 : 4本	
ベクタ割り込み要因	マスカブル	内部 : 8, 外部 : 4	
	ノンマスカブル	内部 : 1	
リセット		・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット	
電源電圧		V _{DD} = 2.7 ~ 3.6 V	V _{DD} = 3.0 ~ 3.6 V
動作周囲温度		T _A = -40 ~ +85	
パッケージ		・ 64ピン・プラスチックLQFP (10x10)	

次にタイマの概要を示します。

		16ビット・タイマ/ イベント・カウンタ0	8ビット・タイマ/イベ ント・カウンタ50, 51	ウォッチドッグ・タイマ
動作モード	インターバル・タイマ	1チャンネル	2チャンネル	1チャンネル ^注
	外部イベント・カウンタ	1チャンネル	2チャンネル	-
機能	タイマ出力	1出力	2出力	-
	PWM出力	-	2出力	-
	方形波出力	1出力	2出力	-
	キャプチャ	1入力	-	-
	割り込み要因	1	2	2

注 ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

1.9 標準水準品と(A)製品との違い

μ PD789881(A)は、 μ PD789881（標準水準品）に比べて、より厳しい品質保証プログラムを適用している製品です（NECではこれを品質水準の分類において特別水準と称しています）。

μ PD789881サブシリーズの標準水準品（ μ PD789881）と(A)製品（ μ PD789881(A)）との違いは品質水準のみです。その他（機能、電気的特性など）に違いはありません。

表1 - 1 標準水準品と(A)製品

品 名	標準水準品 μ PD789881	(A)製品 μ PD789881(A)
項 目		
品質水準	標準（一般電子機器用）	特別（高信頼度電子機器用）
その他（機能、電気的特性など）	同じ	

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子

端子名称	入出力	機能	リセット時	兼用端子
P00-P03	入出力	ポート0。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PUB0) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	-
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1 (PUB1) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	-
P20	入出力	ポート2。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PUB2) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	TO51
P21				TxD0
P22				RxD0
P30	入出力	ポート3。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PUB3) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	INTP0/TO0/TI00
P31				INTP1/TI01
P32				INTP2/TO50/TI50
P33				INTP3/TI51
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力/出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P80-P84	入出力	ポート8。 5ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ8 (PUB8) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	S15-S19
P90-P95	入出力	ポート9。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ9 (PUB9) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	S20-S25

(2) ポート以外の端子

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ) 指定可能な外部割り込み入力	入力	P30/TO0/TI00
INTP1				P31/TI01
INTP2				P32/TO50/TI50
INTP3				P33/TI51
TO0	入力	16ビット・タイマ/イベント・カウンタ0出力	入力	P30/INTP0/TI00
Ti00	入力	16ビット・タイマ/イベント・カウンタ0への外部カウント・クロック入力	入力	P30/INTP0/TO0
Ti01				P31/INTP1
TO50	出力	8ビット・タイマ/イベント・カウンタ50出力	入力	P32/INTP2/TI50
TO51	出力	8ビット・タイマ/イベント・カウンタ51出力	入力	P20
Ti50	入力	8ビット・タイマ/イベント・カウンタ50 (TM50) への外部カウント・クロック入力	入力	P32/INTP2/TO50
Ti51		8ビット・タイマ/イベント・カウンタ51 (TM51) への外部カウント・クロック入力		
TxD0	出力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力	入力	P21
RxD0	入力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力	入力	P22
S0-S14	出力	LCDコントローラ/ドライバのセグメント信号出力	ロウ・レベル出力	-
S15-S19				P80-P84
S20-S25				P90-P95
COM0-COM3	出力	LCDコントローラ/ドライバのコモン信号出力	ロウ・レベル出力	-
V _{LC1} , V _{LC2}	-	LCD駆動用電圧	-	-
CAPH2, CAPL2	-	LCD駆動用コンデンサ接続端子	-	-
CAPH1, CAPL1	-	電源回路コンデンサ接続 (推奨値0.47 μF)	-	-
HV _{DD}	-		-	-
VR _{OUT}	-		-	-
XT1	入力		サブシステム・クロック発振用クリスタル接続	-
XT2	-	-		-
RESET	入力	システム・リセット入力	入力	-
V _{DD0}	-	ポート部の正電源	-	-
V _{DD1}	-	正電源 (ポート部除く)	-	-
V _{SS0}	-	ポート部のグラウンド電位	-	-
V _{SS1}	-	グラウンド電位 (ポート部除く)	-	-
IC0	-	内部接続されています。V _{SS0} またはV _{SS1} に直接接続してください。	-	-
FPCLK	-	フラッシュ・メモリ・プログラミング時の外部クロック入力	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み/ベリファイ時の高電圧印加。	-	-

2.2 端子機能の説明

2.2.1 P00-P03 (Port 0)

4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PUB0) により、内蔵プルアップ抵抗をビット単位で使用できます

2.2.2 P10, P11 (Port 1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1 (PUB1) により、内蔵プルアップ抵抗をビット単位で使用できます。

2.2.3 P20-P22 (Port 2)

3ビット入出力ポートです。入出力ポートのほかにUARTのデータ入出力、タイマ出力機能があります。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

3ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PUB2) により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

UARTのデータ入出力、タイマ出力として機能します。

(a) Rx/D0, Tx/D0

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(b) T051

8ビット・タイマ/イベント・カウンタ51のタイマ出力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については9.3 シリアル・インタフェース UART0を制御するレジスタを参照してください。

2.2.4 P30-P33 (Port 3)

4ビットの入出力ポートです。入出力ポートのほかにタイマの入出力、外部割り込み入力があります。1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

4ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PUB3) により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

タイマの入出力，外部割り込み入力として機能します。

(a) TI00

16ビット・タイマ/イベント・カウンタ0への外部カウンタ・クロック入力端子および16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00, CR01) へのキャプチャ・トリガ信号入力端子です。

(b) TI01

16ビット・タイマ/イベント・カウンタ0のキャプチャ・レジスタ (CR00) へのキャプチャ・トリガ信号入力端子です。

(c) TI50, TI51

8ビット・タイマ/イベント・カウンタ50, 51への外部クロック入力端子です。

(d) TO0, TO50

タイマ出力端子です。

(e) INTP0-INTP3

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり立ち下がり両エッジ) 指定可能な外部割り込み入力端子です。

2.2.5 P50-P53 (Port 5)

4ビットのN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力または出力ポートに指定できます。マスクROM製品は，マスク・オプションにより，プルアップ抵抗の内蔵をビット単位で指定可能です。

2.2.6 P80-P84 (Port 8)

5ビットの入出力ポートです。入出力ポートのほかに，セグメント出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合，プルアップ抵抗オプション・レジスタ8 (PUB8) により，内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

セグメント出力端子 (S15-S19) として機能します。

2.2.7 P80-P95 (Port 9)

6ビットの入出力ポートです。入出力ポートのほかに、セグメント出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートです。ポート・モード・レジスタ9 (PM9) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ9 (PUB9) により、内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

セグメント出力端子 (S20-S25) として機能します。

2.2.8 S0-S14

LCDコントローラ/ドライバのセグメント信号出力端子です。

2.2.9 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。

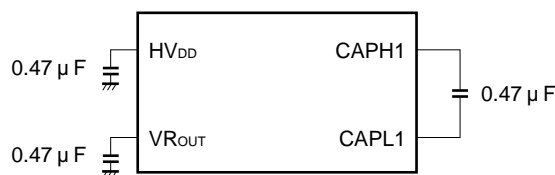
2.2.10 V_{LC1}, V_{LC2}

LCD駆動用電源電圧端子です。0.47 μ F (推奨値) のコンデンサを接続してください。

2.2.11 CAPH1, CAPL1, HV_{DD}, VR_{OUT}

超低消費電力実現のための電源回路用のコンデンサ接続端子です。

電源回路の接続例を次に示します。



2.2.12 CAPH2, CAPL2

LCD駆動用コンデンサ接続端子です。0.47 μ F (推奨値) のコンデンサを接続してください。

2.2.13 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.14 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

2.2.15 V_{DD0} , V_{DD1}

V_{DD0} は、ポート部の正電源供給端子です。

V_{DD1} は、ポート部以外の正電源供給端子です。

2.2.16 V_{SS0} , V_{SS1}

V_{SS0} は、ポート部のグラウンド電位端子です。

V_{SS1} は、ポート部以外のグラウンド電位端子です。

2.2.17 V_{PP} (μ PD78F9882のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

個別に10 k Ω のプルダウン抵抗を接続する

ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライターに、通常動作モード時は V_{SS} に直接接続するように切り替える

2.2.18 FPCLK (μ PD78F9882のみ)

フラッシュ・メモリ・プログラミング・モード時の外部クロック入力端子です。

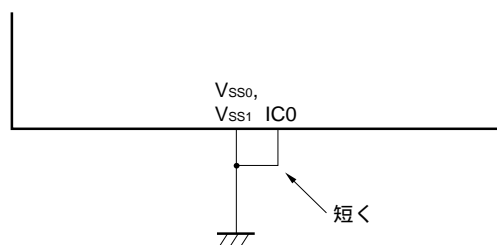
通常動作モード時は V_{SS0} または V_{SS1} に直接接続してください。

2.2.19 IC0 (マスクROM製品のみ)

IC0 (Internally Connected) 端子は、当社出荷時に μ PD789881を検査するためのテスト・モードに設定するための端子です。通常動作時には、IC0端子を V_{SS0} または V_{SS1} に直接接続し、その配線長を極力短くしてください。

IC0端子と V_{SS0} または V_{SS1} 端子間の配線の引き回しが長い場合や、IC0端子に外来ノイズが加わった場合などで、IC0端子と V_{SS0} または V_{SS1} 端子間に位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子を V_{SS0} または V_{SS1} 端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00-P03	5-H	入出力	入力時：個別に抵抗を介して、 V_{DD0} , V_{DD1} , V_{SS0} , V_{SS1} のいずれかに接続してください。 出力時：オープンにしてください。
P10, P11			
P20/TO51	8-C		入力時：個別に抵抗を介して、 V_{SS0} または V_{SS1} に接続してください。 出力時：オープンにしてください。
P21/TxD0			
P22/RxD0			
P30/INTP0/TO0/TI00			
P31/INTP1/TI01			
P32/INTP2/TO50/TI50			
P33/INTP3/TI51	13-Q		入力時： V_{SS0} または V_{SS1} に接続してください。 出力時：ロウ・レベル出力でオープンにしてください。
P50-P53 (マスクROM製品)			
P50-P53 (μ PD78F9882)	13-P		
P80/S15-P84/S19	17-M		入力時：個別に抵抗を介して、 V_{DD0} , V_{DD1} , V_{SS0} , V_{SS1} のいずれかに接続してください。 出力時：オープンにしてください
P90/S20-P95/S25			
S0-S14	17-L	出力	オープンにしてください。
COM0-COM3	18-C		
V_{LC1} , V_{LC2}	-		
CAPH2, CAPL2			
RESET	2	入力	-
IC0 (マスクROM製品)	-	-	V_{SS0} または V_{SS1} に直接接続してください。
FPCLK (μ PD78F9882)			
V_{PP} (μ PD78F9882)			個別に10 k Ω のプルダウン抵抗を接続するか、 V_{SS0} または V_{SS1} に直接接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)

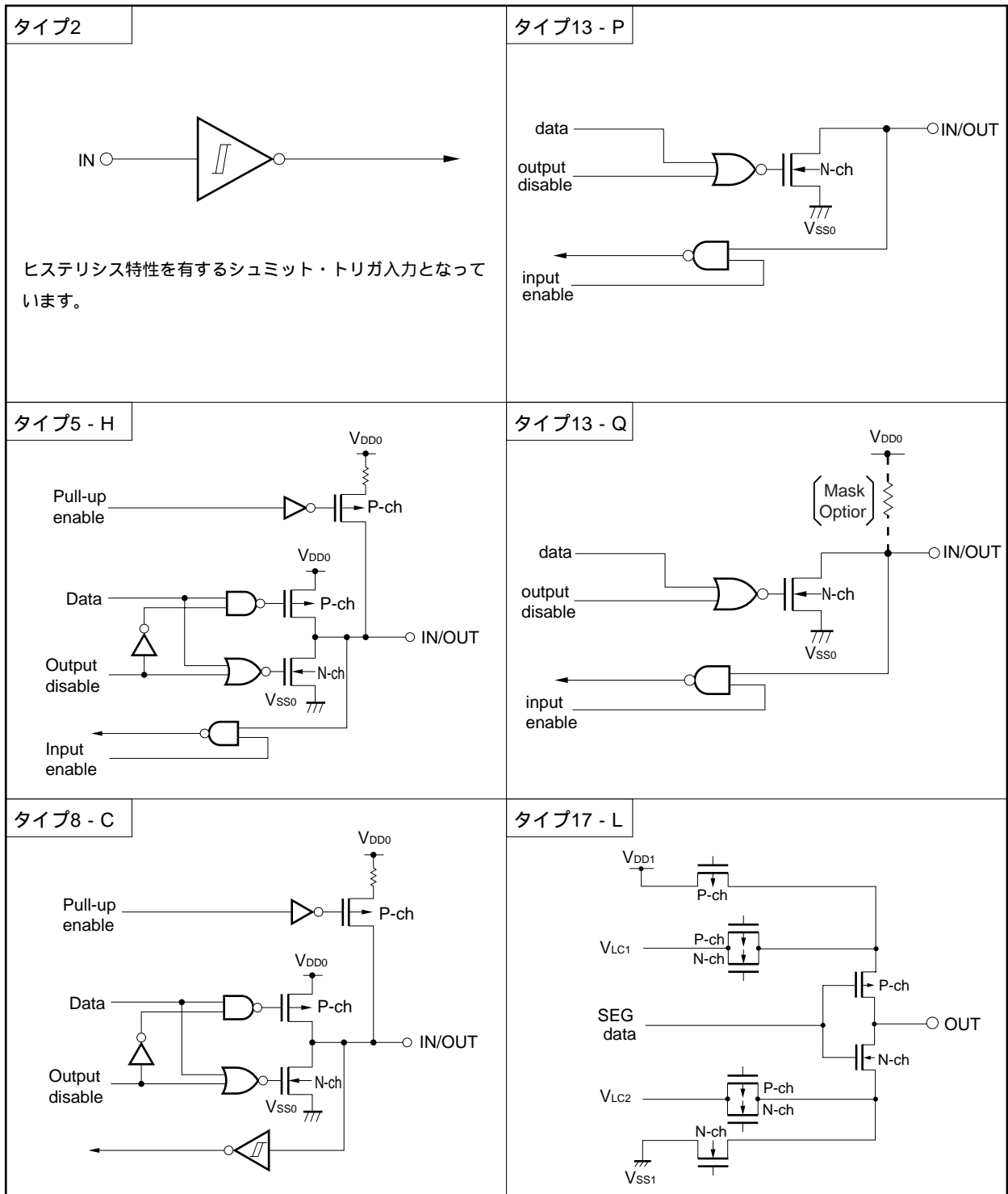
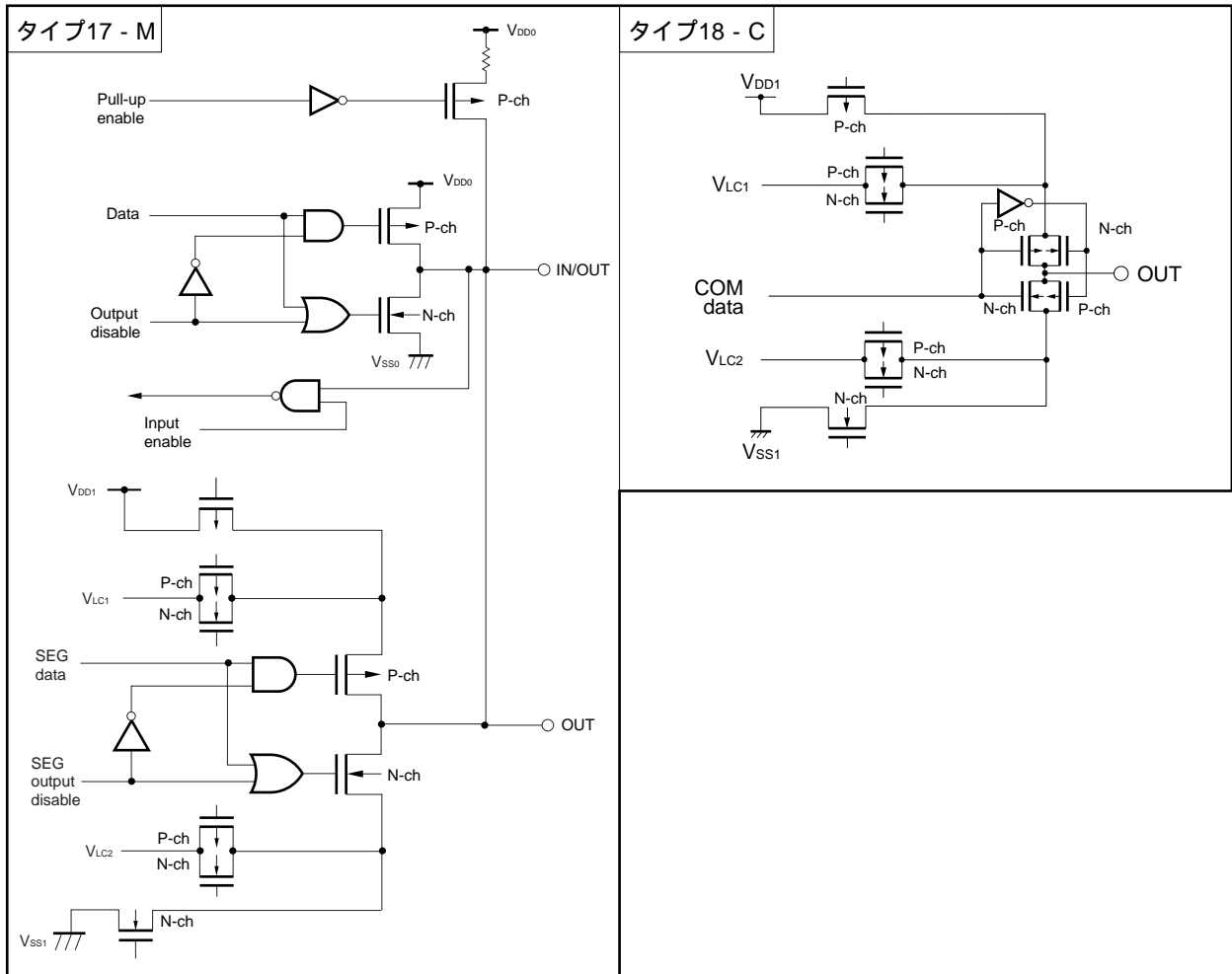


図2 - 1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

μPD789881サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1と図3 - 2に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μPD789881)

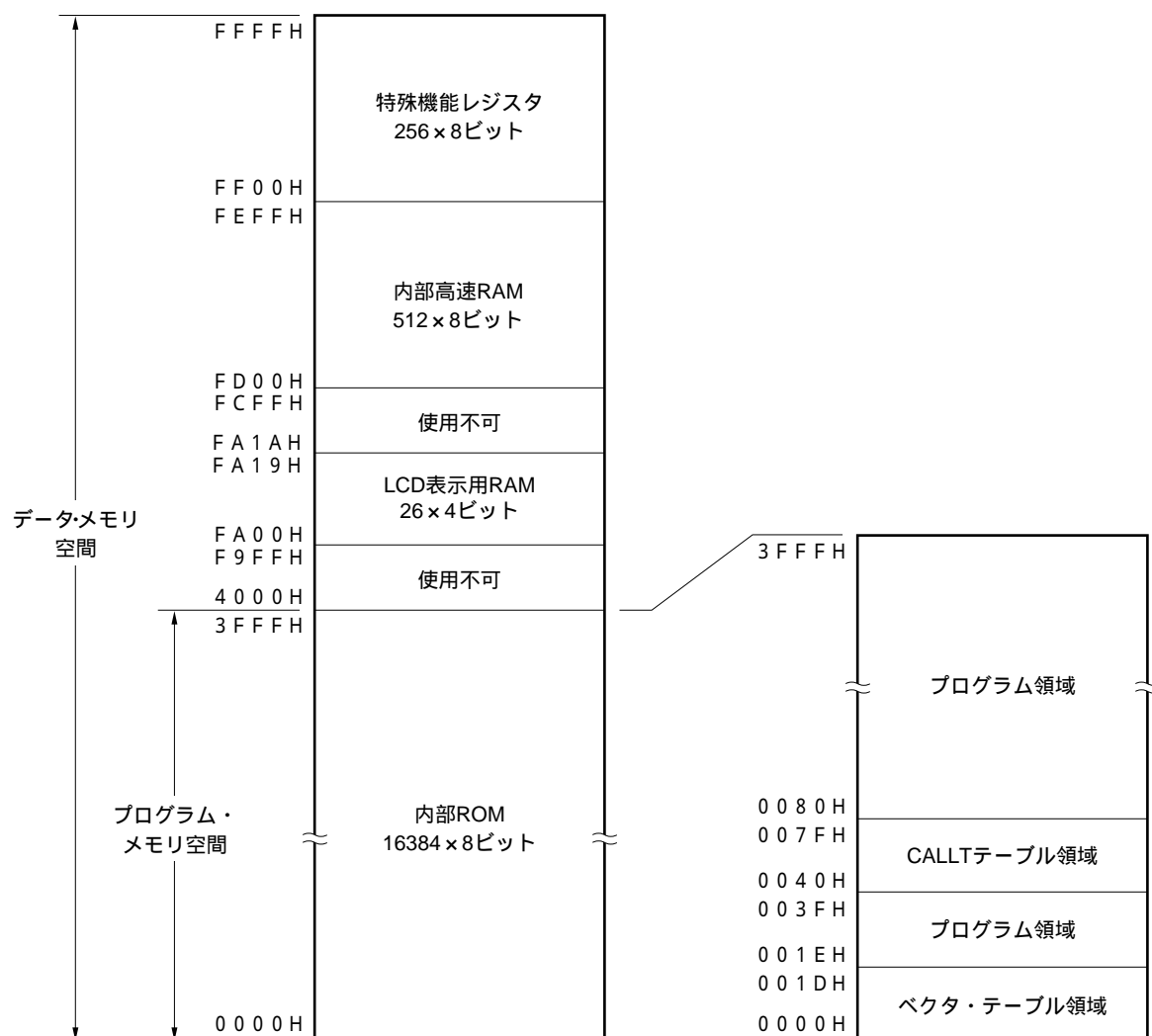
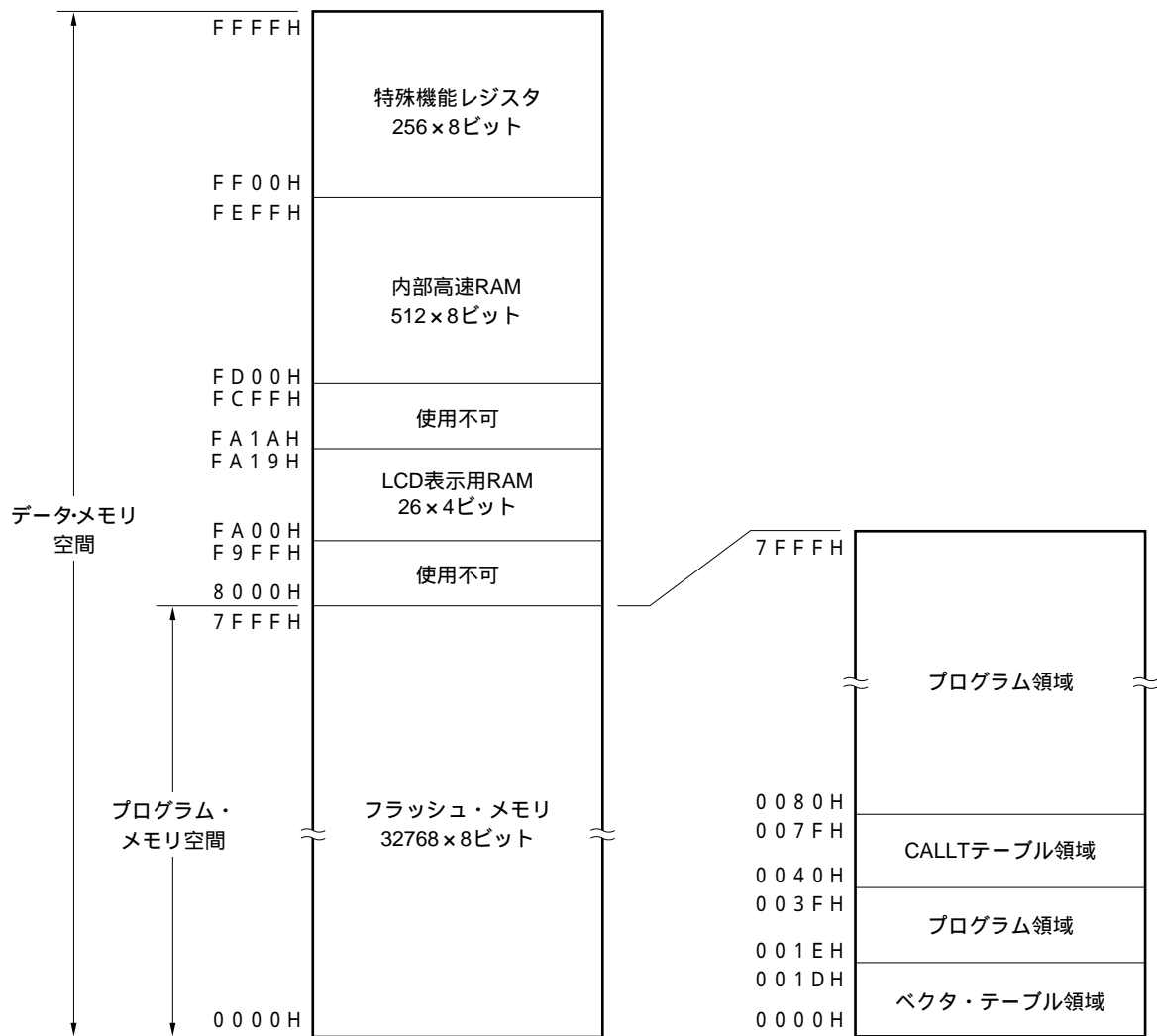


図3-2 メモリ・マップ (μ PD78F9882)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789881サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3-1 内部ROM容量

品名	内部ROM	
	構造	容量
μPD789881	マスクROM	16384×8ビット
μPD78F9882	フラッシュ・メモリ	32768×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

0000H-001DHの30バイトの領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3-2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0010H	INTSR0
0004H	INTWDT	0012H	INTST0
0006H	INTP0	0014H	INTTM50
0008H	INTP1	0016H	INTTM51
000AH	INTP2	0018H	INTTM00
000CH	INTP3	001AH	INTTM01
000EH	INTSRE0	001CH	-

注 ベクタ・テーブル・アドレスの001CHに該当する割り込み要求はありません。

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3.1.2 内部データ・メモリ（内部高速RAM）空間

μPD789881サブシリーズの製品には、次に示すRAMを内蔵しています。

（1）内部高速RAM

FD00H-FEFFFHの領域には、内部高速RAMを内蔵しています。

内部高速RAMはスタックとしても使用できます。

（2）LCD表示用RAM

FA00H-FA19Hの領域には、LCD表示用RAMを内蔵しています。

LCD表示用RAMは、通常のRAMとしても使用できます。

3.1.3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3-3参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789881サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域 (FD00H-FFFFH) では、特殊機能レジスタ (SFR) など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 3と図3 - 4にデータ・メモリのアドレッシングを示します。

図3 - 3 データ・メモリのアドレッシング (μ PD789881)

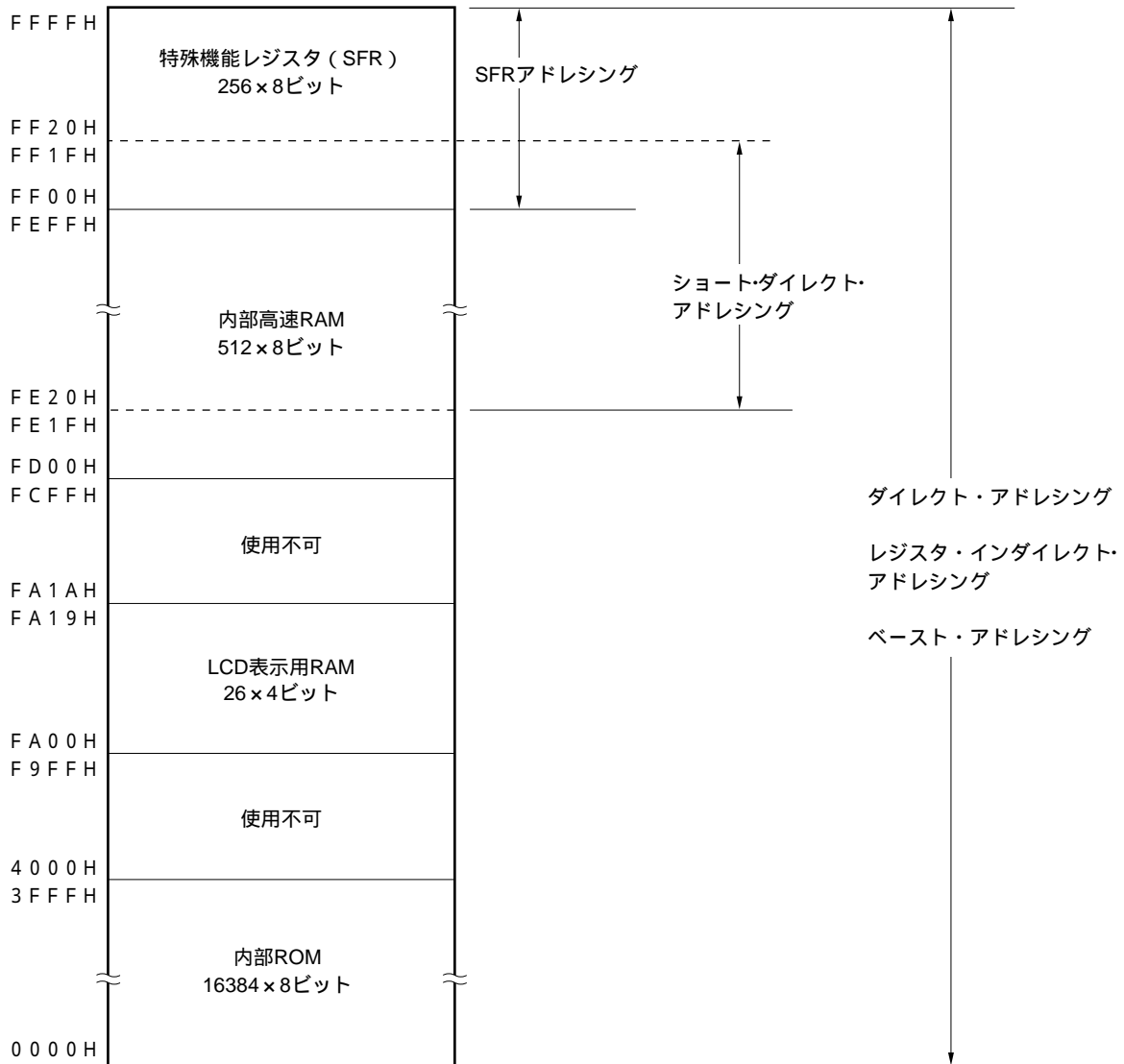
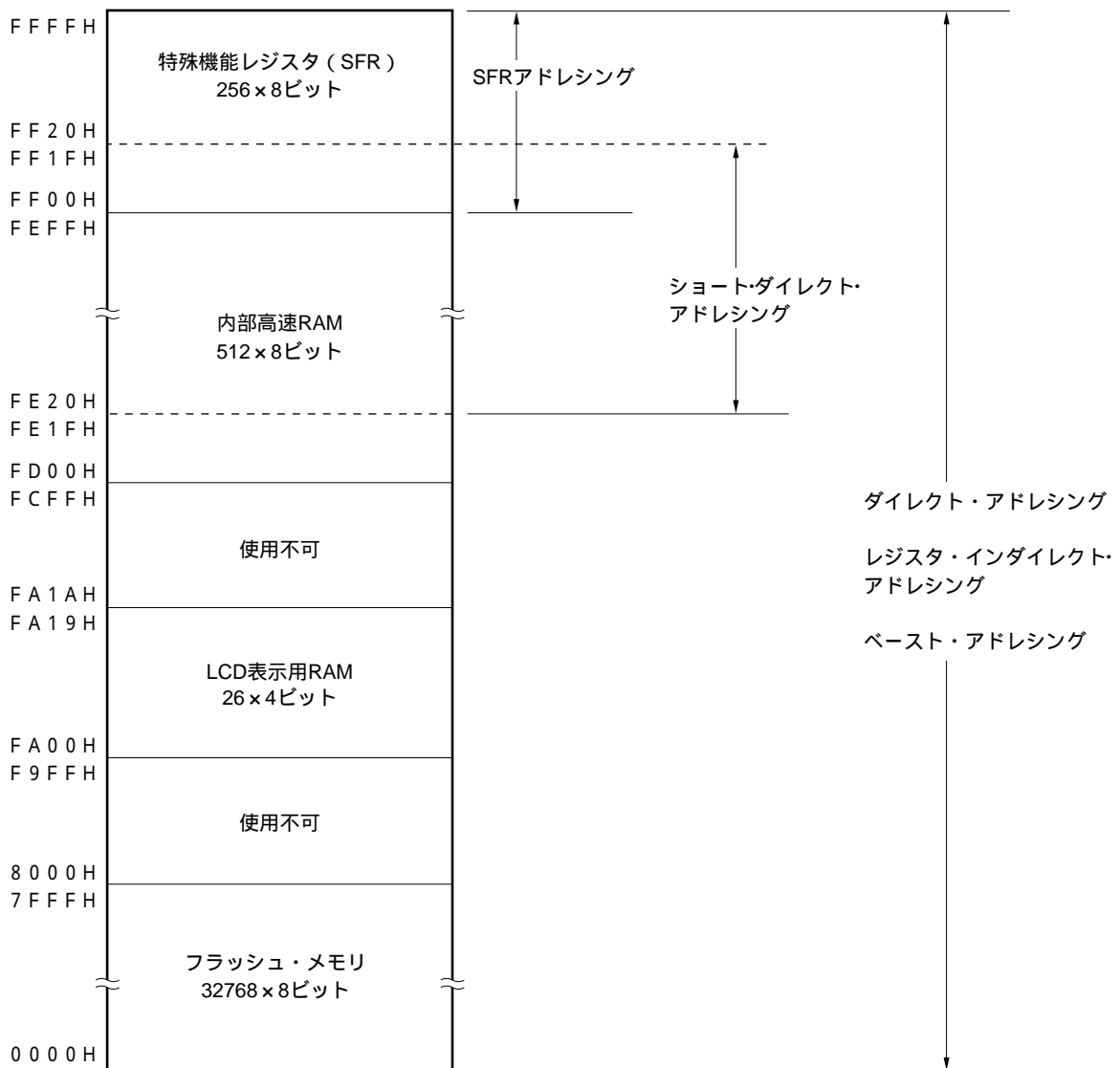


図3-4 データ・メモリのアドレッシング (μ PD78F9882)



3.2 プロセッサ・レジスタ

μ PD789881サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

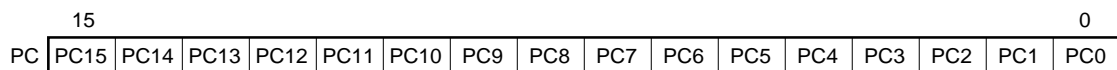
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 5 プログラム・カウンタの構成



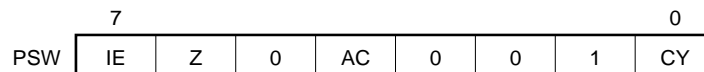
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RET1命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 6 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスクابل割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

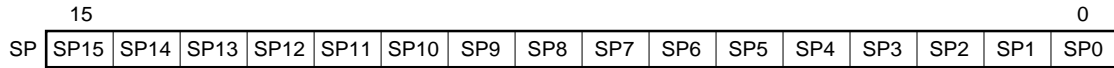
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 7 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避 / 復帰されるデータは図3 - 8 , 図3 - 9のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 8 スタック・メモリへ退避されるデータ

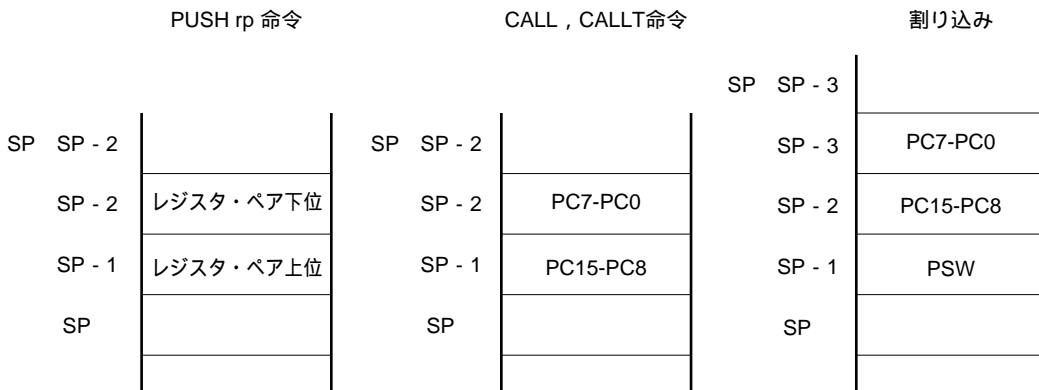
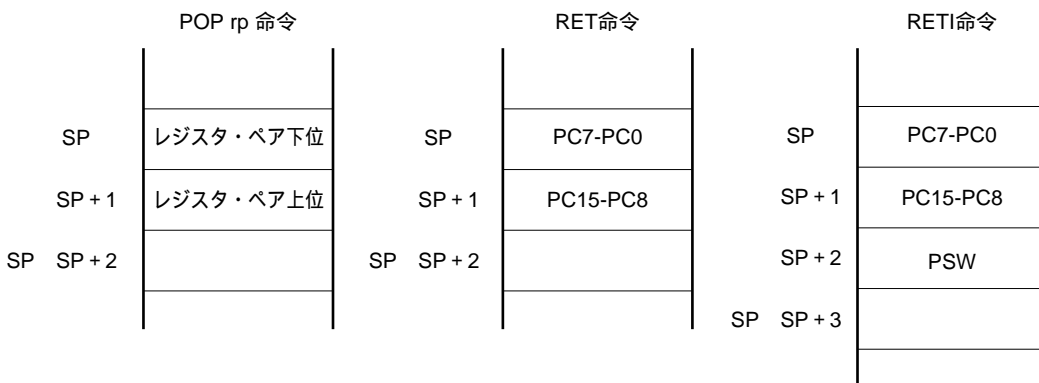


図3 - 9 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

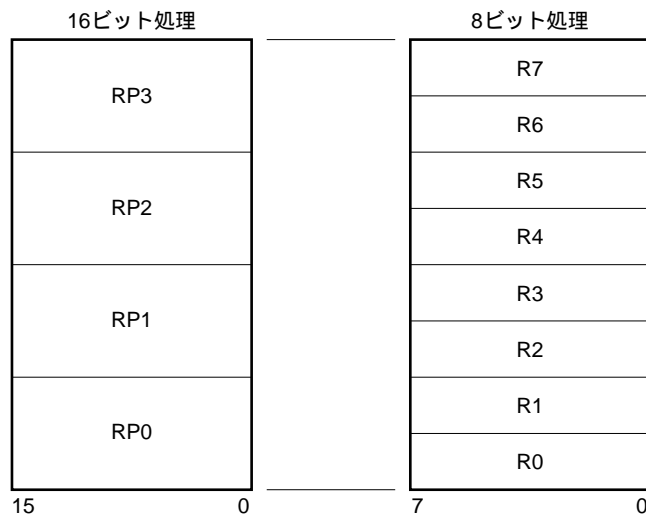
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

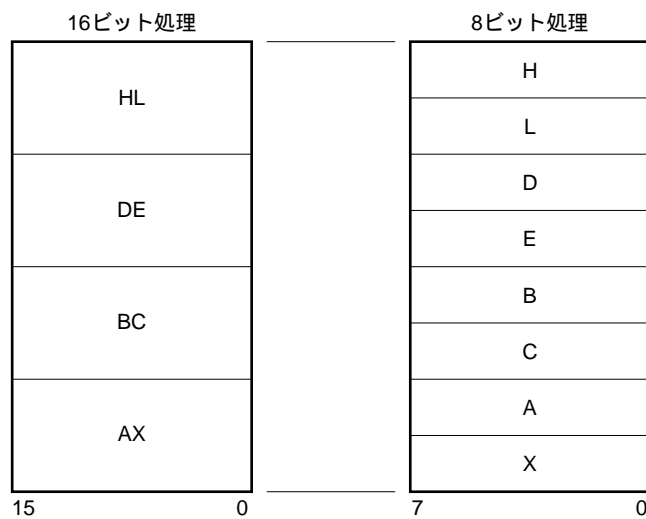
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 10 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3-3に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラではsfrbit.hというヘッダ・ファイルで定義済みとなっているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3-3 特殊機能レジスタ一覧(1/2)

アドレス	特殊機能レジスタ(SFR)名称	略号		R/W	操作可能ビット単位			リセット時
					1ビット	8ビット	16ビット	
FF00H	ポート0	P0		R/W			-	00H
FF01H	ポート1	P1					-	
FF02H	ポート2	P2					-	
FF03H	ポート3	P3					-	
FF05H	ポート5	P5					-	
FF08H	ポート8	P8					-	
FF09H	ポート9	P9					-	
FF12H	16ビット乗算結果格納レジスタL	MUL0L	MUL	R	-			不定
FF13H	16ビット乗算結果格納レジスタH	MUL0H	0		-			
FF14H	16ビット・タイマ・カウンタ0	TM0		R/W	-	-		0000H
FF15H								
FF16H	16ビット・キャプチャ/コンペア・レジスタ00	CR00			-	-		
FF17H								
FF18H	16ビット・キャプチャ/コンペア・レジスタ01	CR01			-	-		
FF19H								
FF20H	ポート・モード・レジスタ0	PM0						-
FF21H	ポート・モード・レジスタ1	PM1					-	
FF22H	ポート・モード・レジスタ2	PM2					-	
FF23H	ポート・モード・レジスタ3	PM3					-	
FF25H	ポート・モード・レジスタ5	PM5					-	
FF28H	ポート・モード・レジスタ8	PM8					-	
FF29H	ポート・モード・レジスタ9	PM9					-	
FF30H	プルアップ抵抗オプション・レジスタ0	PUB0					-	00H
FF31H	プルアップ抵抗オプション・レジスタ1	PUB1					-	
FF32H	プルアップ抵抗オプション・レジスタ2	PUB2					-	
FF33H	プルアップ抵抗オプション・レジスタ3	PUB3					-	
FF38H	プルアップ抵抗オプション・レジスタ8	PUB8					-	
FF39H	プルアップ抵抗オプション・レジスタ9	PUB9					-	
FF49H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM					-	
FF4AH	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS			-		-	
FF58H	ポート・ファンクション・レジスタ8	PF8		W	-		-	
FF59H	ポート・ファンクション・レジスタ9	PF9			-		-	
FF66H	16ビット・タイマ・モード・コントロール・レジスタ0	TMC0		R/W			-	
FF67H	16ビット・タイマ・プリスケラ・モード・レジスタ0	PRM0					-	
FF68H	16ビット・キャプチャ/コンペア・コントロール・レジスタ0	CRC0					-	
FF69H	16ビット・タイマ出力コントロール・レジスタ0	TOC0					-	

表3 - 3 特殊機能レジスタ一覧 (2/2)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時	
				1ビット	8ビット	16ビット		
FF70H	8ビット・タイマ・カウンタ50	TM50	R	-		-	00H	
FF71H	8ビット・コンペア・カウンタ50	CR50	R/W	-		-		
FF72H	8ビット・タイマ・クロック選択レジスタ50	TCL50		-		-		
FF73H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50				-		
FF78H	8ビット・タイマ・カウンタ51	TM51	R	-		-		
FF79H	8ビット・コンペア・レジスタ51	CR51	R/W	-		-		
FF7AH	8ビット・タイマ・クロック選択レジスタ51	TCL51		-		-		
FF7BH	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51				-		
FF90H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0				-		01H
FF91H	ポーレート・ジェネレータ・コントロール・レジスタ0	BRGC0			-	1FH		
FF92H	受信バッファ・レジスタ0	RXB0	R	-		-	FFH	
FF93H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0		-		-	00H	
FF94H	送信シフト・レジスタ0	TXS0	W	-		-	FFH	
FFB0H	LCD表示モード・レジスタ0	LCDM0	R/W			-	00H	
FFB2H	LCDクロック制御レジスタ0	LCDC0		-		-		
FFD0H	乗算データ・レジスタA0	MRA0	W	-		-	不定	
FFD1H	乗算データ・レジスタB0	MRB0		-		-		
FFD2H	乗算器コントロール・レジスタ0	MULC0	R/W			-	00H	
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-		
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-		
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	FFH	
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-		
FFECH	外部割り込みモード・レジスタ0	INTM0			-		-	00H
FFEDH	外部割り込みモード・レジスタ1	INTM1			-		-	
FFF2H	サブクロック・コントロール・レジスタ	CSS					-	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC					-	02H

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ **ユーザーズ・マニュアル命令編**（U11047J）を参照してください）。

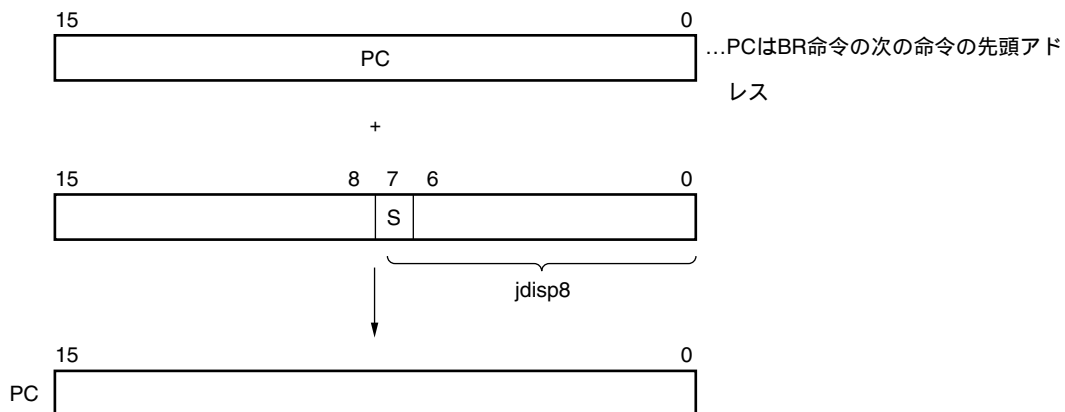
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するという事です。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



S = 0 のとき、 は全ビット 0

S = 1 のとき、 は全ビット 1

3.3.2 イミディエト・アドレッシング

【機能】

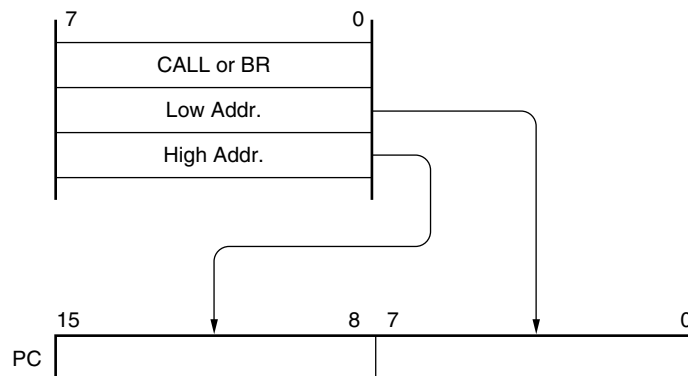
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



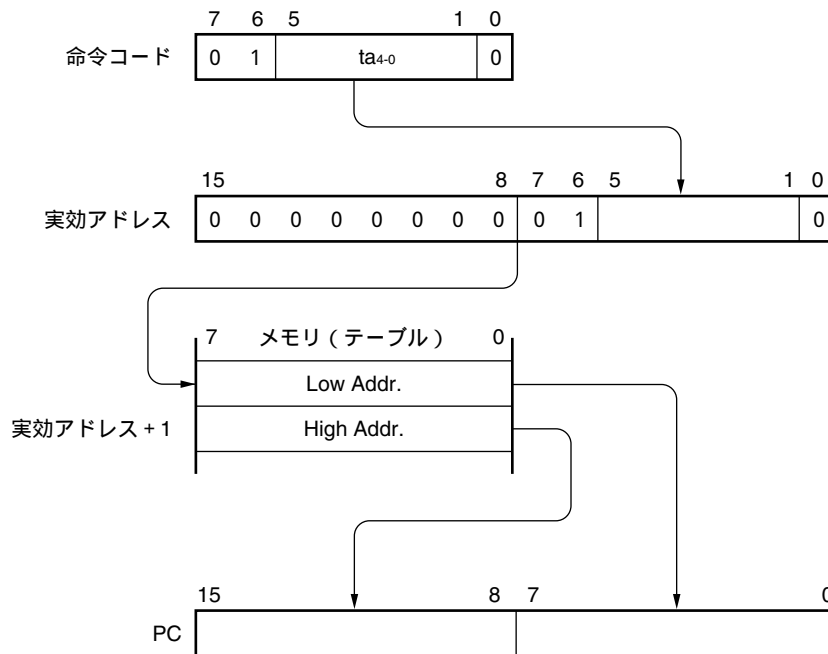
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



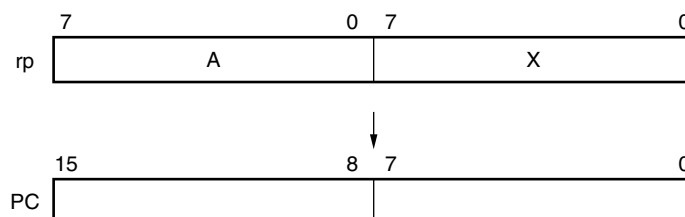
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

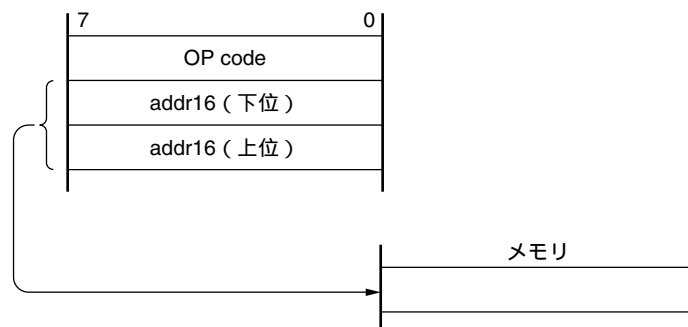
【記述例】

MOV A, !FE00H ; laddr16をFE00Hとする場合

命令コード

0 0 1 0 1 0 0 1	OPコード
0 0 0 0 0 0 0 0	0 0 H
1 1 1 1 1 1 1 0	F E H

【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

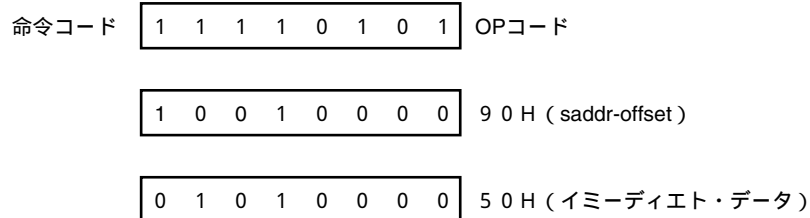
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

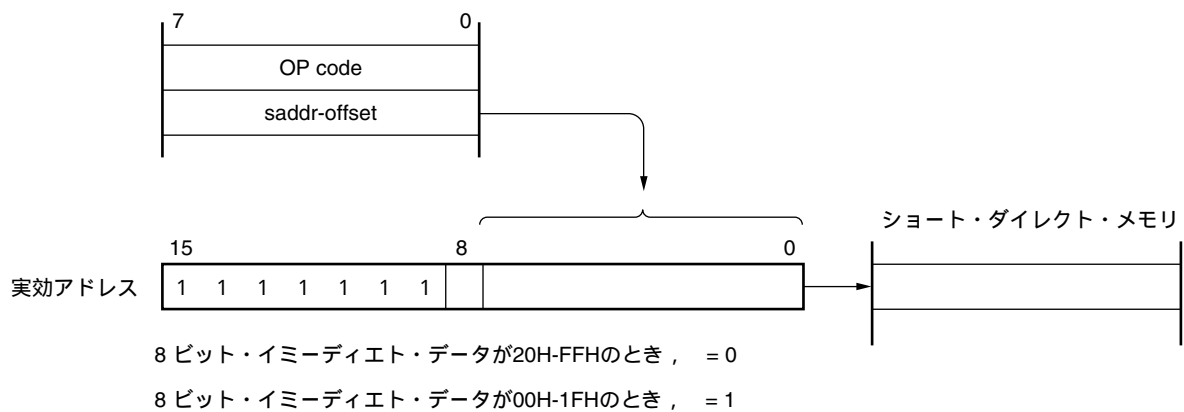
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

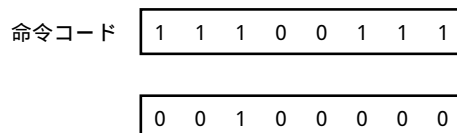
このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

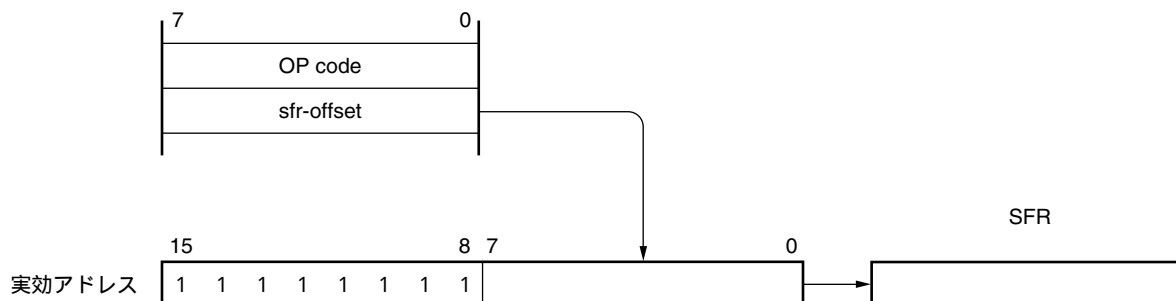
表現形式	記述方法
sfr	特殊機能レジスタ名

【記述例】

MOV PM0, A ; sfrにPM0を選択する場合



【図解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

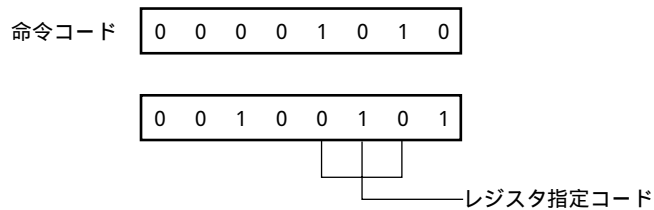
【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

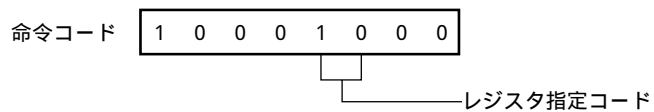
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記述例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

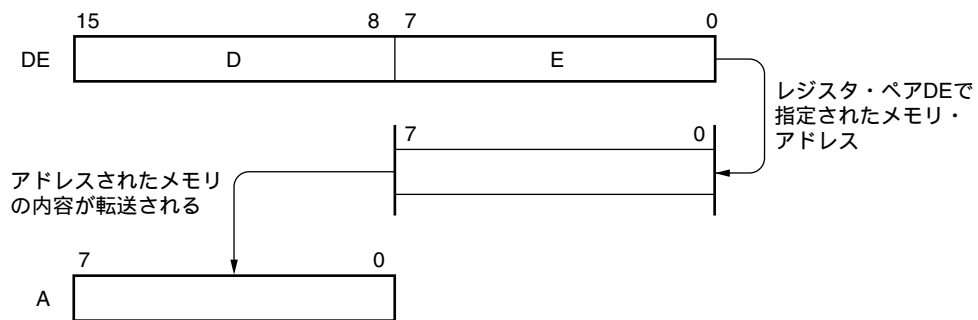
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード

0	0	1	0	1	1	0	1
---	---	---	---	---	---	---	---

0	0	0	1	0	0	0	0
---	---	---	---	---	---	---	---

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード

1	0	1	0	1	0	1	0
---	---	---	---	---	---	---	---

第4章 ポート機能

4.1 ポートの機能

μ PD789881サブシリーズは、図4-1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4-1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4-1 ポートの種類

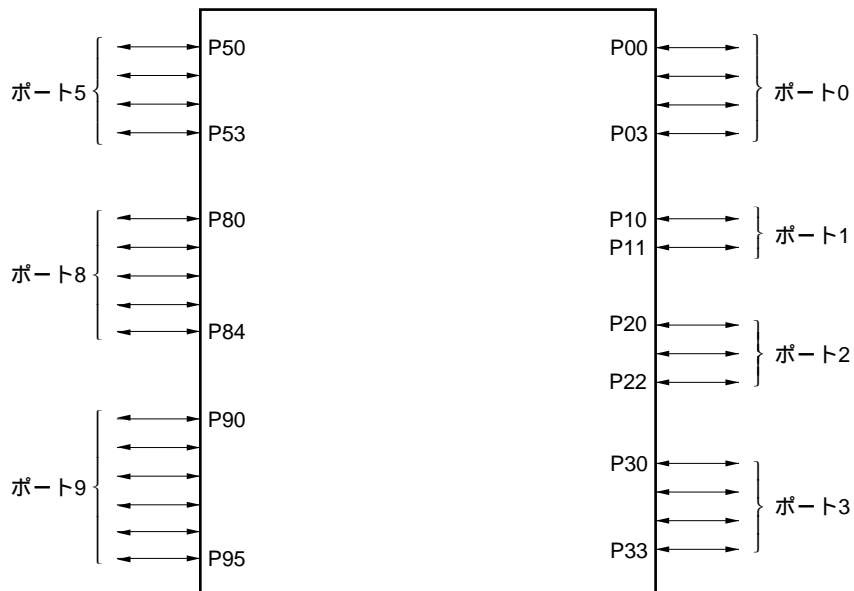


表4-1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P03	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ0 (PUB0) により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート1	P10, P11	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ1 (PUB1) により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート2	P20-P22	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PUB2) により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート3	P30-P33	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PUB3) により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート5	P50-P53	N-chオープン・ドレイン入出力ポート。1ビット単位で入力/出力の指定可能。 マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。
ポート8	P80-P84	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ8 (PUB8) により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート9	P90-P95	入出力ポート。1ビット単位で入力/出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ9 (PUB9) により、内蔵プルアップ抵抗をビット単位で使用可能。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ (PMm : m = 0-3, 5, 8, 9) プルアップ抵抗オプション・レジスタ (PUBm : m = 0-3, 8, 9) ポート・ファンクション・レジスタ (PF8, PF9)
ポート	合計 : 28本 (CMOS入出力 : 24本, N-chオープン・ドレイン入出力 : 4本)
プルアップ抵抗	・ マスクROM製品 合計 : 28本 (ソフトウェア制御 : 24本, マスク・オプション指定 : 4本) ・ フラッシュ・メモリ製品 合計 : 24本 (ソフトウェア制御のみ)

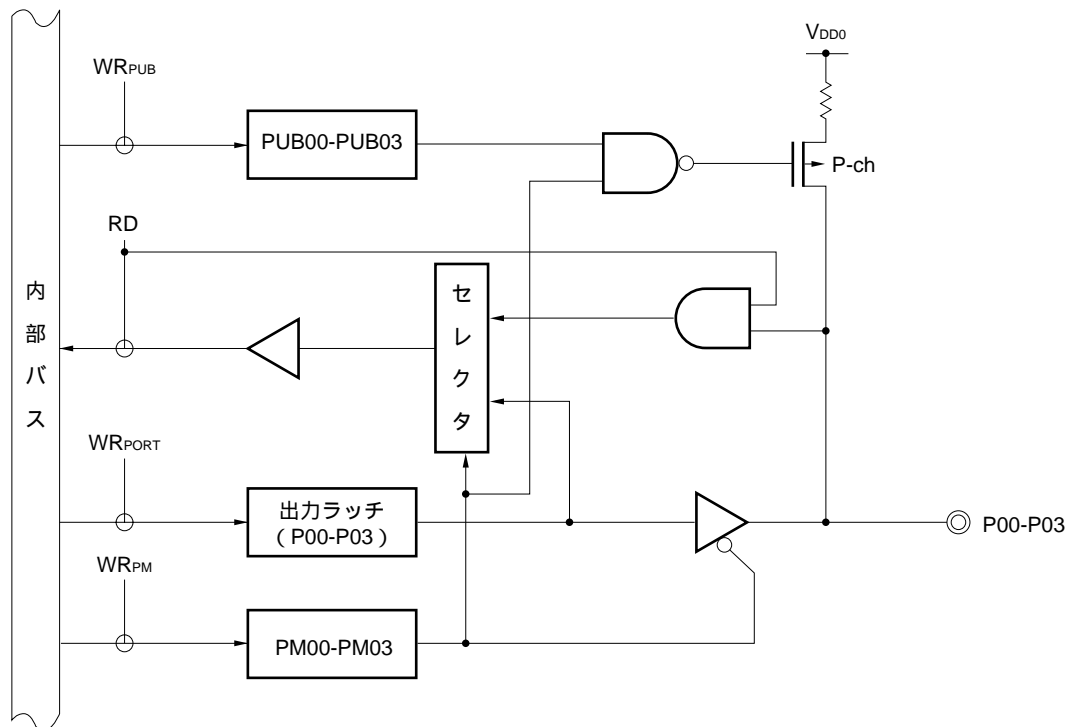
4.2.1 ポート0

出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P03端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ0 (PUB0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 2にポート0のブロック図を示します。

図4 - 2 P00-P03のブロック図



PUB0 : プルアップ抵抗オプション・レジスタ0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

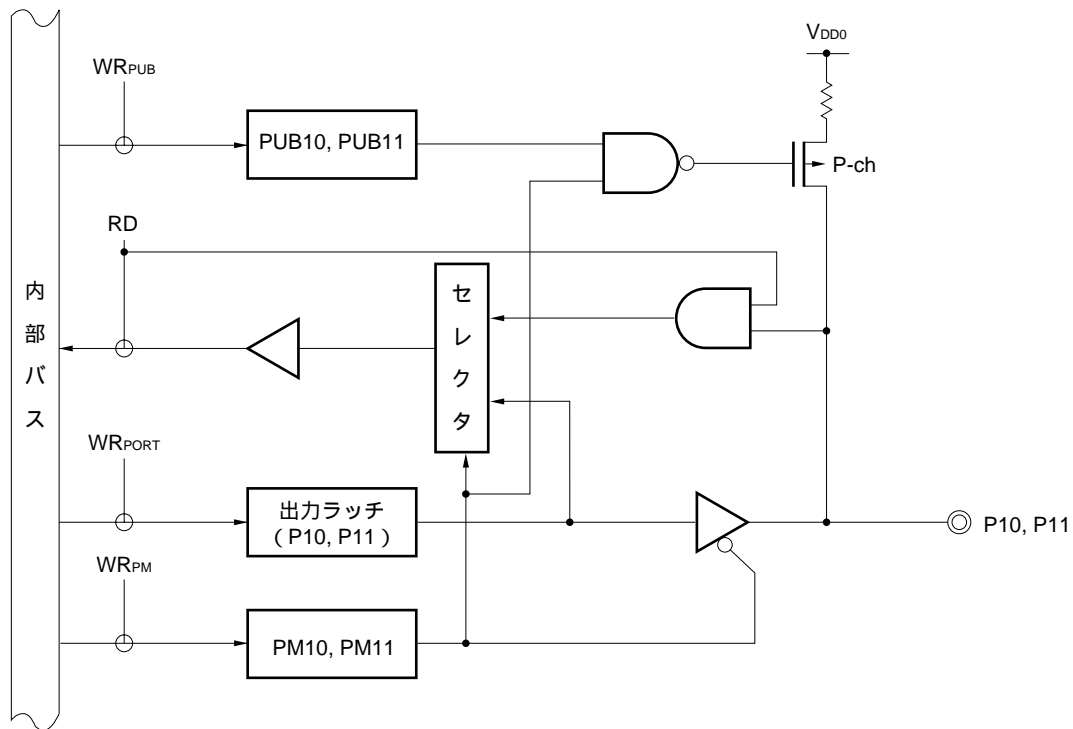
4.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ1 (PUB1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10, P11のブロック図



PUB1 : プルアップ抵抗オプション・レジスタ1

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き3ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

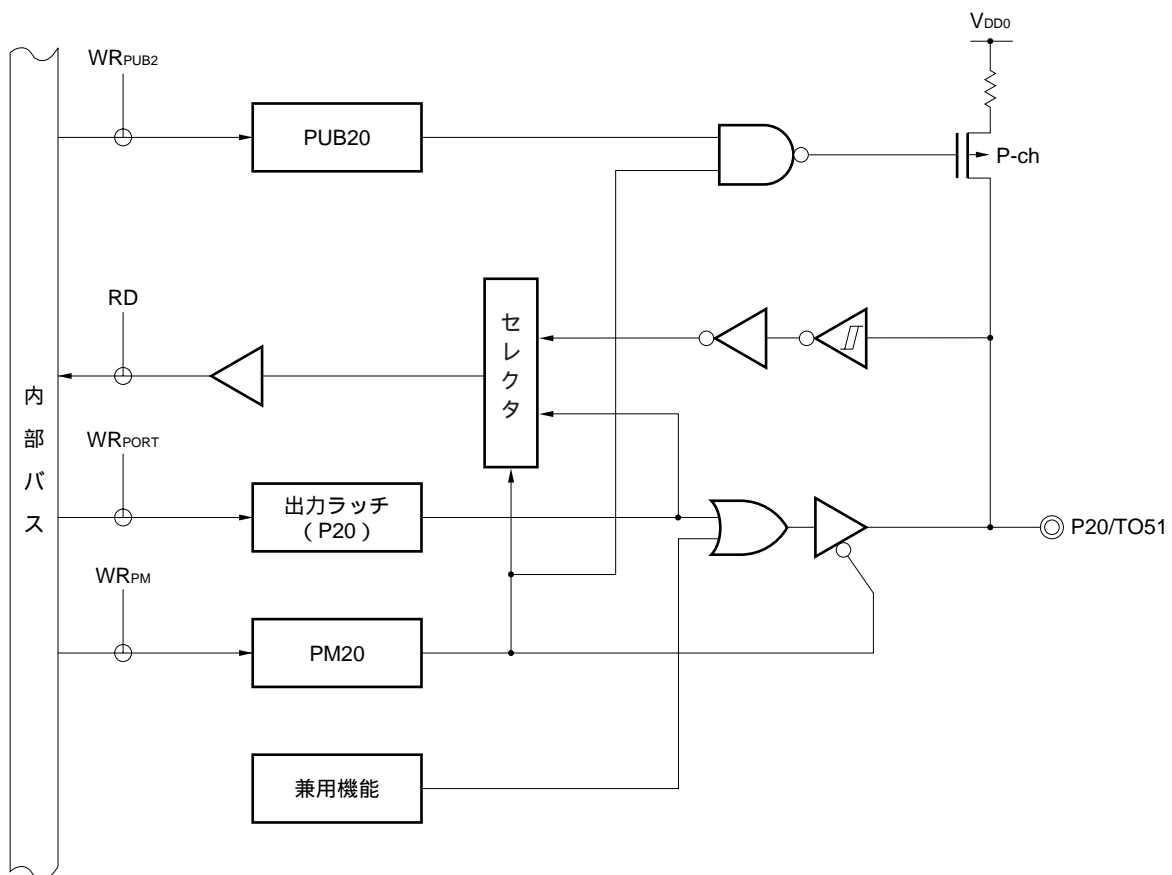
また、兼用機能としてシリアル・インタフェースの入出力、タイマ出力があります。

RESET入力により、入力モードになります。

図4 - 4から図4 - 6にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、9.3 シリアル・インタフェースUART0を制御するレジスタを参照してください。

図4 - 4 P20のブロック図



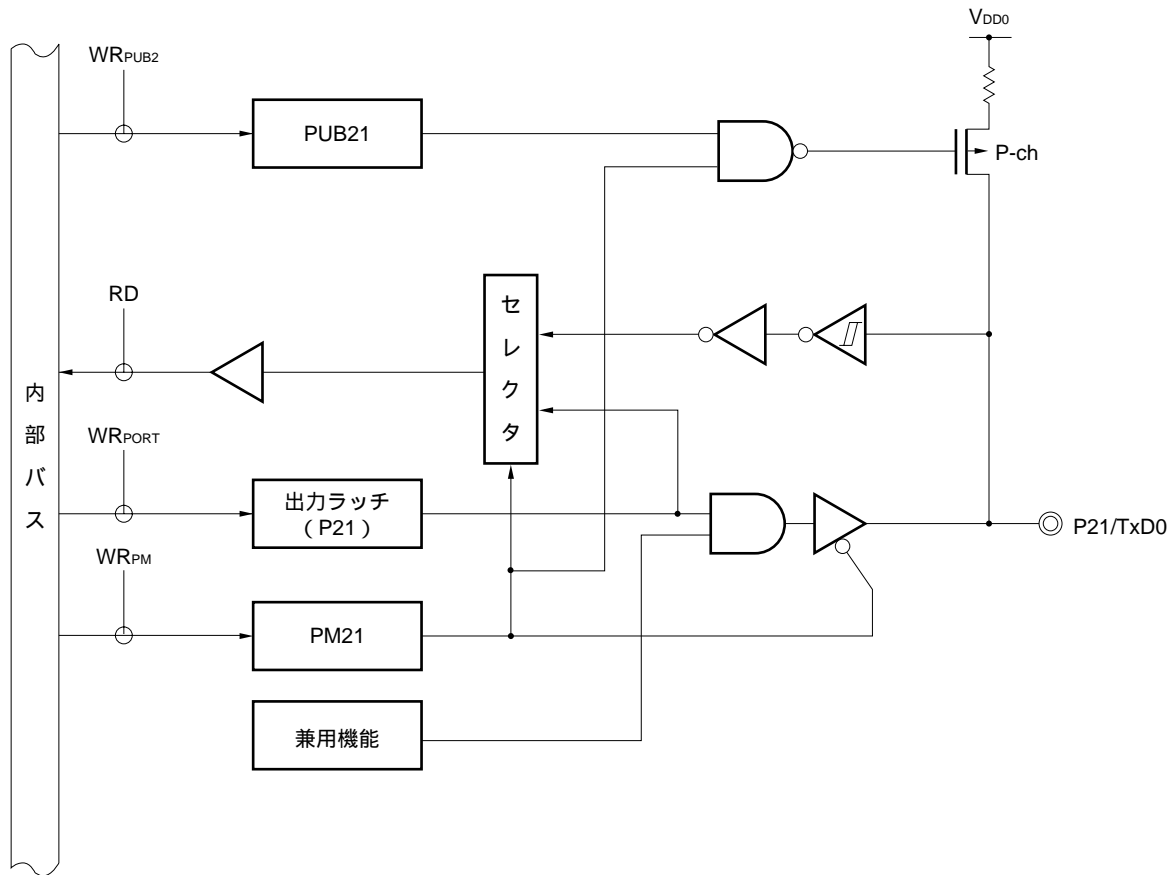
PUB2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P21のブロック図



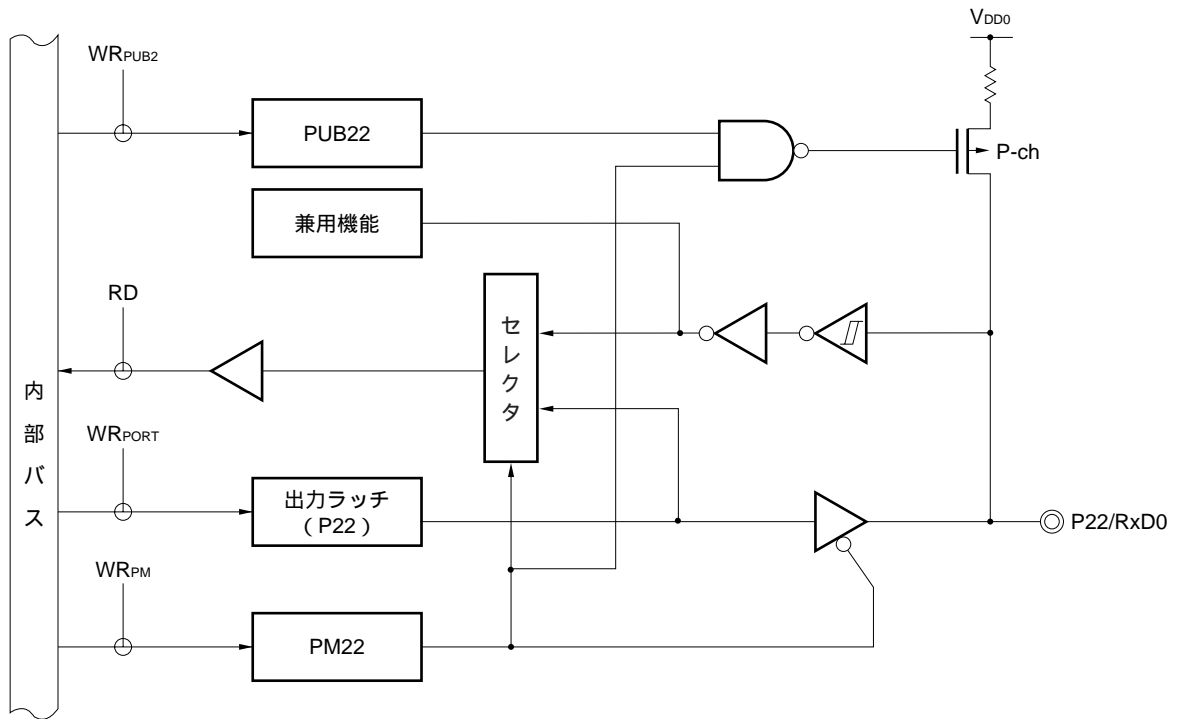
PUB2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22のブロック図



PUB2 : プルアップ抵抗オプション・レジスタ2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

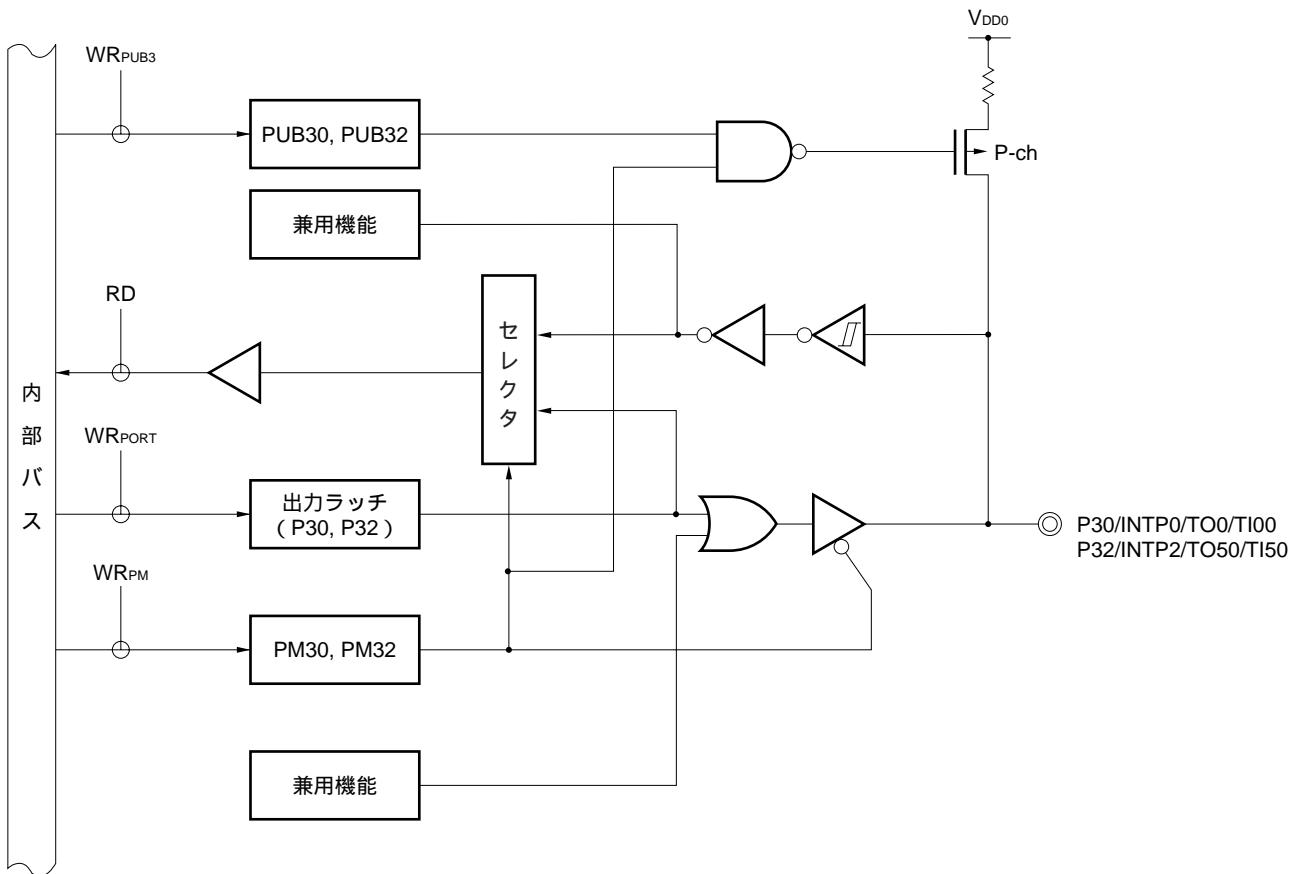
出力ラッチ付き4ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタ3 (PUB3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み入力、タイマ入出力があります。

RESET入力により、入力モードになります。

図4 - 7、図4 - 8にポート3のブロック図を示します。

図4 - 7 P30, P32のブロック図



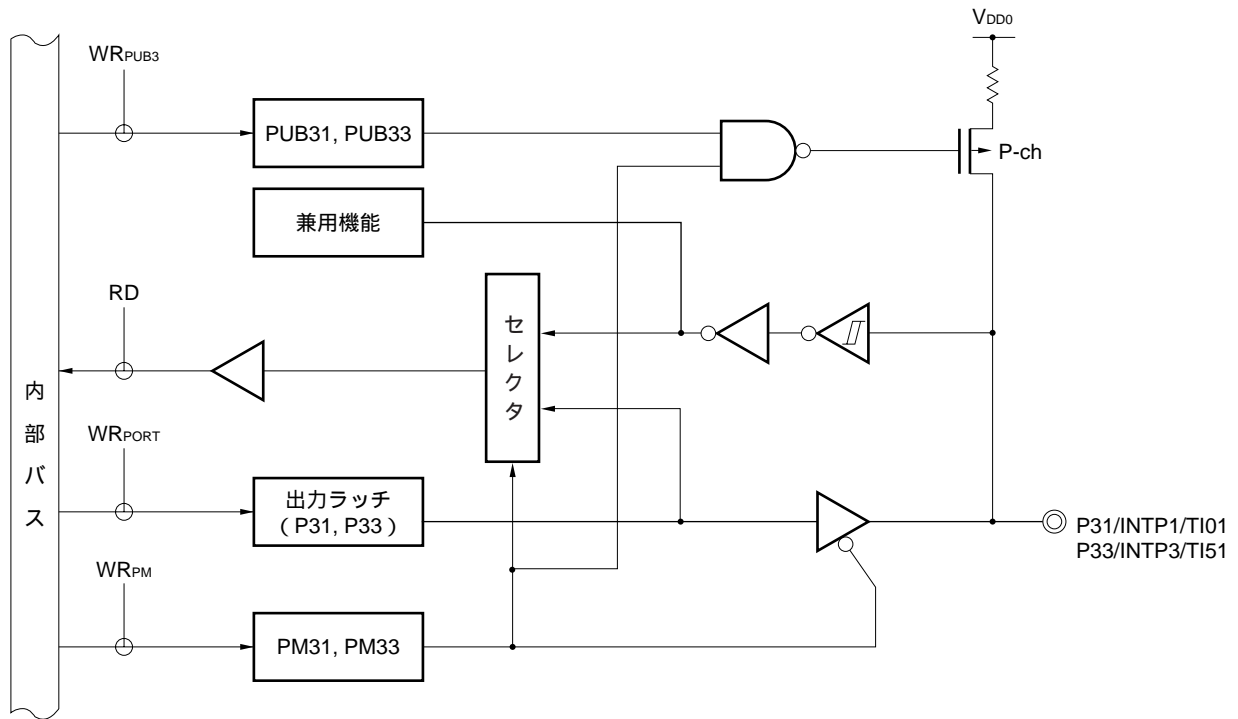
PUB3 : プルアップ抵抗オプション・レジスタ3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4 - 8 P31, P33のブロック図



PUB3 : プルアップ抵抗オプション・レジスタ3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

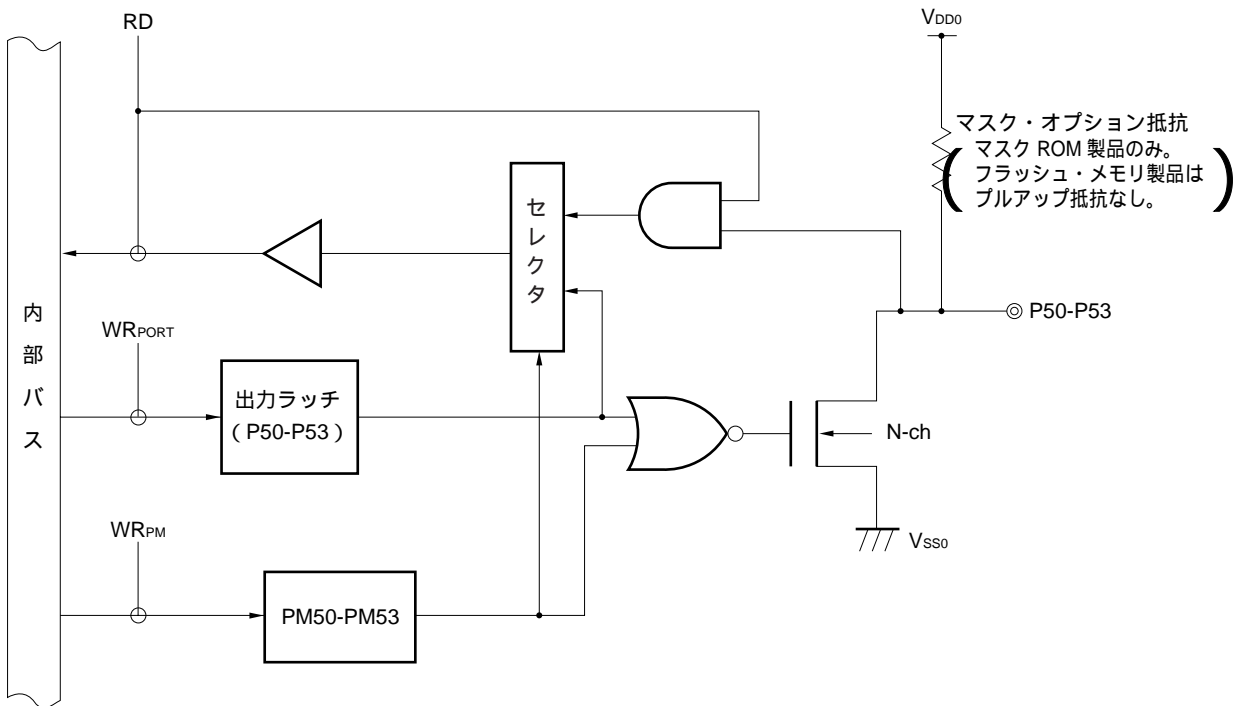
4.2.5 ポート5

出力ラッチ付き4ビットN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により、1ビット単位で入力モード/出力モードの指定ができます。マスクROM製品はマスク・オプションにより、プルアップ抵抗の内蔵を指定できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 9にポート5のブロック図を示します。

図4 - 9 P50-P53のブロック図



PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

4.2.6 ポート8

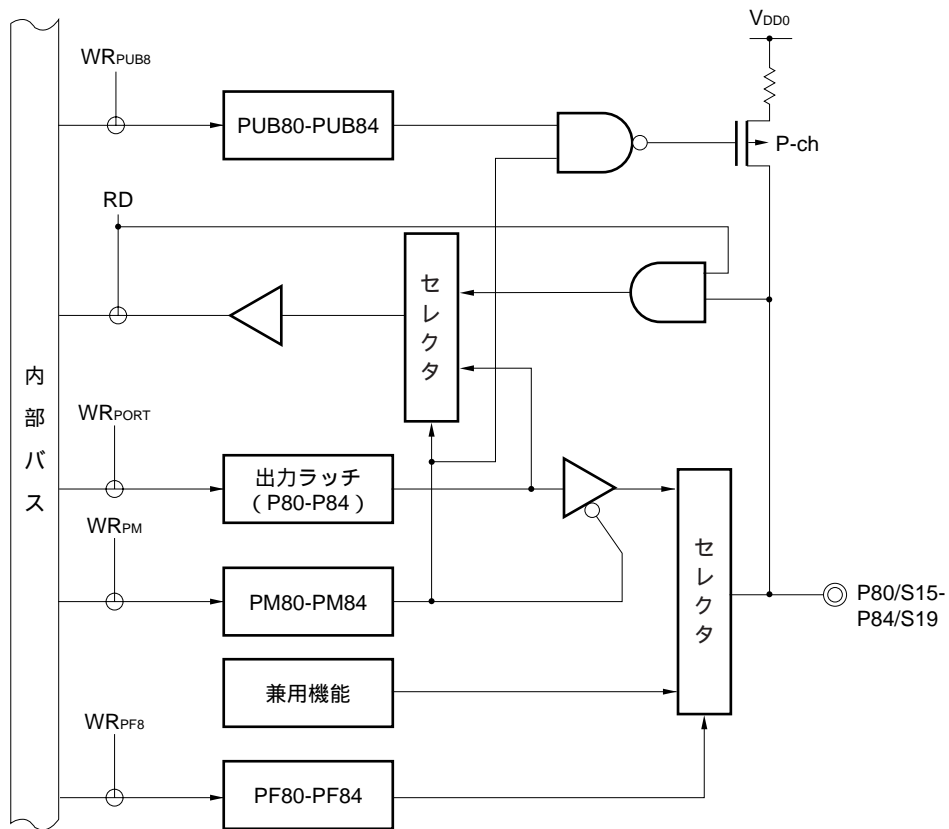
出力ラッチ付き5ビットの入出力ポートです。ポート・ファンクション・レジスタ8 (PF8) により、ポート機能を選択したビットのみ使用できます。

ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード / 出力モードの指定ができます。P80-P84端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ8 (PUB8) により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 10にポート8のブロック図を示します。

図4 - 10 P80-P84のブロック図



PUB8 : プルアップ抵抗オプション・レジスタ8

PM : ポート・モード・レジスタ

PF8 : ポート・ファンクション・レジスタ8

RD : ポート8のリード信号

WR : ポート8のライト信号

4.2.7 ポート9

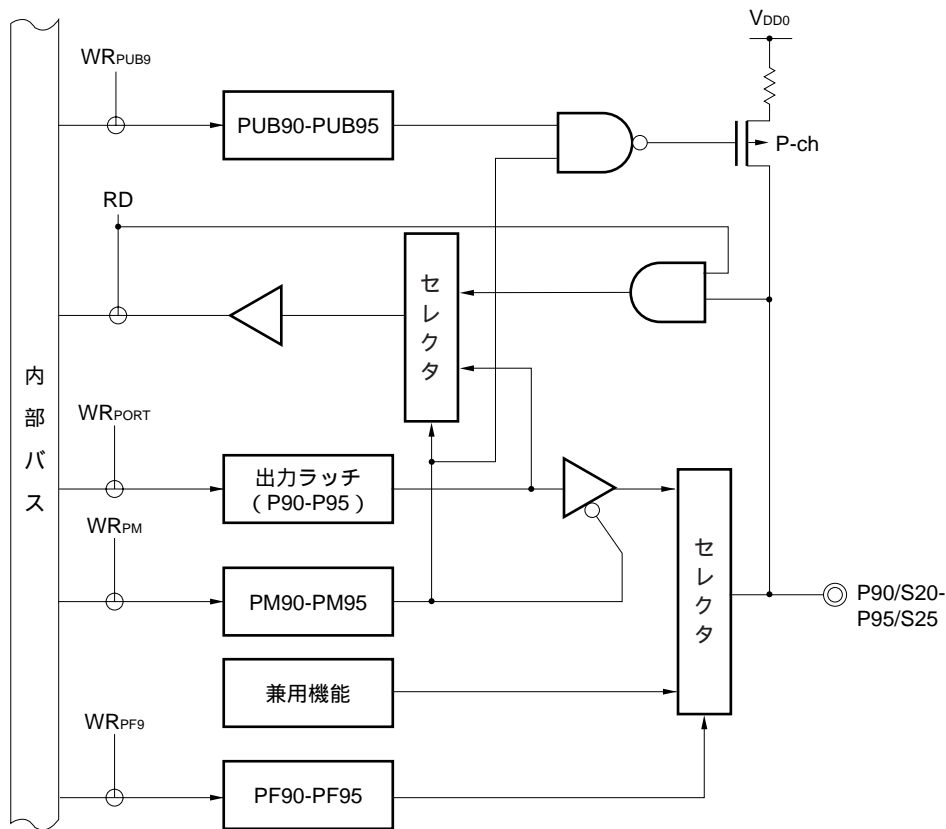
出力ラッチ付き6ビットの入出力ポートです。ポート・ファンクション・レジスタ9 (PF9) により、ポート機能を選択したビットのみ使用できます。

ポート・モード・レジスタ9 (PM9) により1ビット単位で入力モード / 出力モードの指定ができます。P90-P95端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタ9 (PUB9) により1ビット単位で内蔵プルアップ抵抗を使用できます。

RESET入力により、入力モードになります。

図4 - 11にポート9のブロック図を示します。

図4 - 11 P90-P95のブロック図



PUB9 : プルアップ抵抗オプション・レジスタ9

PM : ポート・モード・レジスタ

PF9 : ポート・ファンクション・レジスタ9

RD : ポート9のリード信号

WR : ポート9のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM5, PM8, PM9)
- ・プルアップ抵抗オプション・レジスタ (PUB0-PUB3, PUB8, PUB9)
- ・ポート・ファンクション・レジスタ (PF8, PF9)

(1) ポート・モード・レジスタ (PM0-PM3, PM5, PM8, PM9)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 P30-P33は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードで使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。

図4-12 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	1	1	1	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM8	1	1	1	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W
PM9	1	1	PM95	PM94	PM93	PM92	PM91	PM90	FF29H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5, 8, 9; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM _{x x}	P _{x x}
	名称	入出力		
P20	TO51	出力	0	0
P30	INTP0	入力	1	x
	TO0	出力	0	0
	TI00	入力	1	x
P31	INTP1	入力	1	x
	TI01	入力	1	x
P32	INTP2	入力	1	x
	TO50	出力	0	0
	TI50	入力	1	x
P33	INTP3	入力	1	x
	TI51	入力	1	x

備考 x : don't care

PM_{x x} : ポート・モード・レジスタ

P_{x x} : ポートの出力ラッチ

- 注意1. ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，9.3 シリアル・インタフェースUART0を制御するレジスタを参照してください。
2. ポート8, 9をLCDコントローラ/ドライバのセグメント端子として使用する場合は，ポート・ファンクション・レジスタ (PF8, PF9) で設定します。

(2) プルアップ抵抗オプション・レジスタ (PUB0-PUB3, PUB8, PUB9)

P00-P03, P10, P11, P20-P22, P30-P33, P80-P84, P90-P95の内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。PUB0-PUB3, PUB8, PUB9で内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、PUB0-PUB3, PUB8, PUB9の設定にかかわらず、内蔵プルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です^注。

PUB0-PUB3, PUB8, PUB9は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により、00Hになります。

注 ただし、ポート8, 9をセグメント出力として使用する場合には、必ずPUB8, PUB9の該当するビットに0を設定してください。

図4 - 13 プルアップ抵抗オプション・レジスタのフォーマット

略号	7	6	5	4	①				アドレス	リセット時	R/W
PUB0	0	0	0	0	PUB03	PUB02	PUB01	PUB00	FF30H	00H	R/W
	7	6	5	4	3	2	①				
PUB1	0	0	0	0	0	0	PUB11	PUB10	FF31H	00H	R/W
	7	6	5	4	3	①					
PUB2	0	0	0	0	0	PUB22	PUB21	PUB20	FF32H	00H	R/W
	7	6	5	4	①						
PUB3	0	0	0	0	PUB33	PUB32	PUB31	PUB30	FF33H	00H	R/W
	7	6	5	①							
PUB8	0	0	0	PUB84	PUB83	PUB82	PUB81	PUB80	FF38H	00H	R/W
	7	6	①								
PUB9	0	0	PUB95	PUB94	PUB93	PUB92	PUB91	PUB90	FF39H	00H	R/W

PUBmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0-3, 8, 9; n = 0-5)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(3) ポート・ファンクション・レジスタ (PF8, PF9)

ポート8, 9をポート端子として使用するか, セグメント端子として使用するかを設定するレジスタです。
 PF8, PF9は8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図4 - 14 ポート・ファンクション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PF8	0	0	0	PF84	PF83	PF82	PF81	PF80	FF58H	00H	W
PF9	0	0	PF95	PF94	PF93	PF92	PF91	PF90	FF59H	00H	W

PFmn	Pmnの機能の選択 (m = 8,9 n = 0-5)
0	Pmnを入出力ポートとして使用
1	Pmnをセグメント出力として使用

- 注意1. PFmn = 1のとき, 対応するビットのポート・モード・レジスタ, 出力ラッチの値にかかわらず, セグメント出力端子として機能します。このとき, ポート・モード・レジスタ, 出力ラッチの値は無効となります。
2. 内蔵プルアップ抵抗を接続 (PUBmn = 1) していた場合, PFmn = 1に設定してもプルアップ抵抗は切断されません。PFmn = 1に設定する場合は必ずPUBmn = 0に設定してください。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。
システム・クロック発振回路には、次の2種類があります。

- ・メイン・システム・クロック発振回路

500 kHz (TYP.) のクロックを発振します。プロセッサ・クロック・コントロール・レジスタ (PCC) の設定により、発振を停止できます。

- ・サブシステム・クロック発振回路

32.768 kHzのクロックを発振します。発振の停止はできません。

また、4通倍回路によりサブシステム・クロックの4通倍クロックを生成し、CPUおよび周辺ハードウェアに供給します。

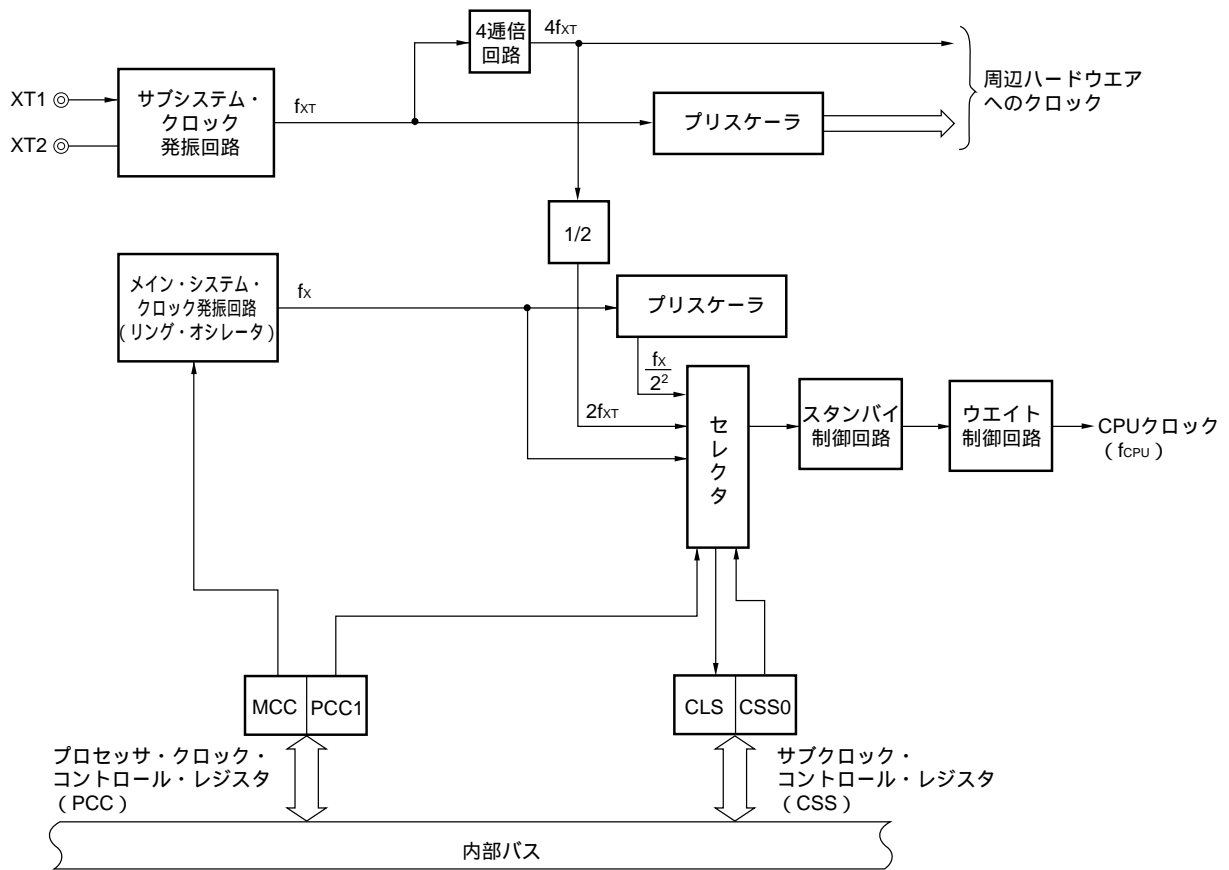
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ (PCC) サブクロック・コントロール・レジスタ (CSS)
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図



5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の2種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・サブクロック・コントロール・レジスタ (CSS)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択,メイン・システム・クロック発振回路の動作許可/停止を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5 - 2 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH	02H	R/W

MCC	メイン・システム・クロック発振回路の動作の制御	
0	動作許可	
1	動作停止	

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^注	最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 500 \text{ kHz (TYP.)}$, $f_{xT} = 32.768 \text{ kHz}$ 動作時
0	0	f_x	$4 \mu\text{s}$
0	1	$f_x/2^2$	$16 \mu\text{s}$
1	0	$4f_{xT}/2$	$30.5 \mu\text{s}$
1	1	設定禁止	

注 CPUクロックの選択は、PCC, CSSのフラグを組み合わせで設定します (5.3 (2) サブクロック・コントロール・レジスタ (CSS) 参照)。

注意1. ビット0, 2-6には必ず0を設定してください。

2. MCCはCPUクロックがサブシステム・クロックを選択しているときのみ1にセットできます。

メイン・システム・クロックで動作中にMCCを1にセットしても無効となります。

3. リセット解除後は、CPUクロックとしてメイン・システム・クロックが選択されています。サブシステム・クロックに切り替える場合は、まずPCCに0を設定してからCSS0に1を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{xT} : サブシステム・クロック発振周波数

3. メイン・システム・クロック選択時の最小命令実行時間は目安の値です。

(2) サブクロック・コントロール・レジスタ (CSS)

CPUクロック源の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET \bar 入力により，00Hになります。

図5 - 3 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロック (リング・オシレータ) の出力で動作
1	サブシステム・クロック4通倍回路の出力で動作

CSS0	CPUクロック源の選択
0	メイン・システム・クロック (リング・オシレータ) の出力
1	サブシステム・クロック4通倍回路の出力

注 ビット5は，Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

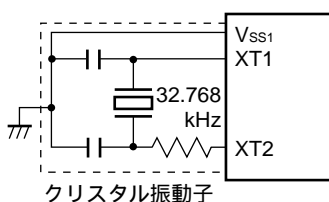
メイン・システム・クロック発振回路は、内蔵されているリング・オシレータ（500 kHz（TYP.））によって発振します。

5.4.2 サブシステム・クロック発振回路

サブシステム・クロック発振回路は、XT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

図5 - 4にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 4 サブシステム・クロック発振回路の外付け回路



注意 配線容量などの影響を避けるために、図5 - 4の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

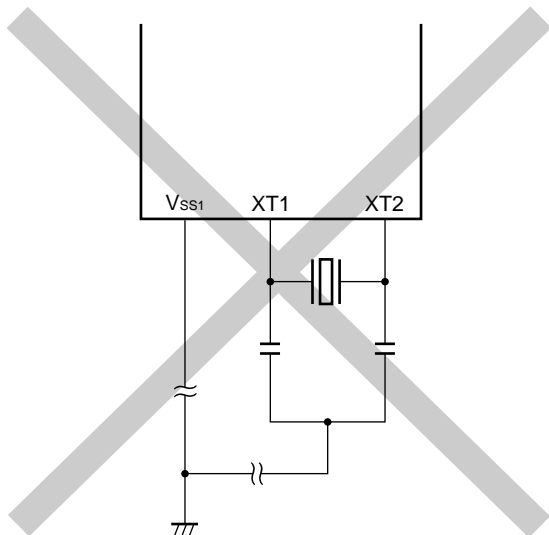
特に、サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い回路になっていますのでご注意ください。

5.4.3 発振子の接続の悪い例

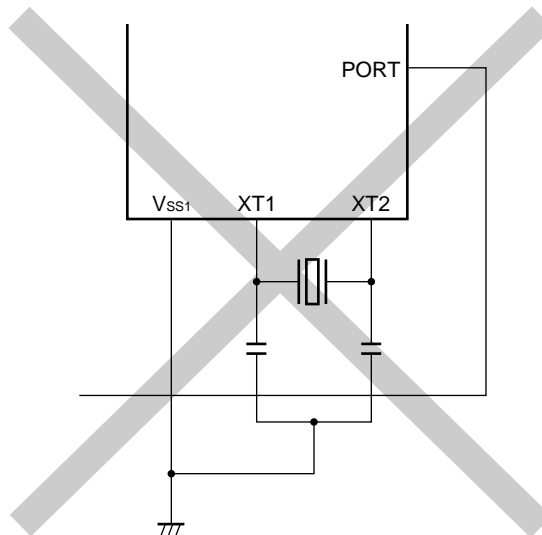
図5-5に発振子の接続の悪い例を示します。

図5-5 発振子の接続の悪い例 (1/2)

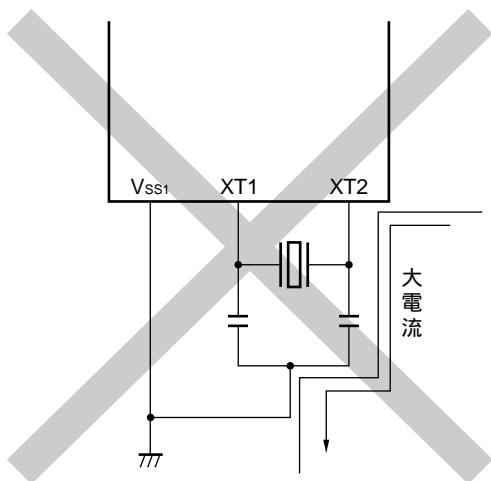
(a) 接続回路の配線が長い



(b) 信号線が交差している



(c) 変化する大電流が信号線に近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

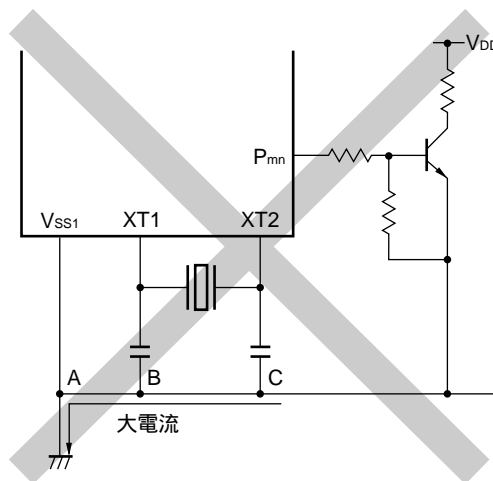
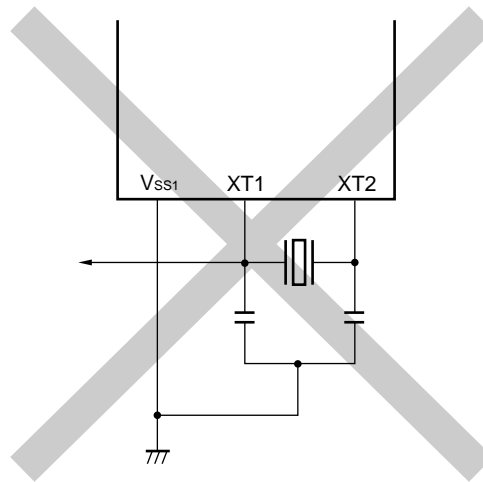


図5 - 5 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



5.4.4 分周回路

分周回路は、サブシステム・クロック発振回路出力 (f_{XT}) を分周して、各種クロックを生成します。

5.4.5 サブシステム・クロック4逓倍回路

サブシステム・クロックを4逓倍し、CPUや周辺ハードウェアに供給します。

4逓倍回路は、HALT期間中は動作停止します（消費電力削減のため）。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・サブシステム・クロック f_{xT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ (PCC)、サブクロック・コントロール・レジスタ (CSS) により決定され、次のような機能、動作となります。

- RESET信号発生によりメイン・システム・クロックの低速モード ($16\ \mu\text{s} : 500\ \text{kHz}$ (TYP.) 動作時) が選択されます (PCC = 02H)。なお、RESET端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- CPUクロックをメイン・システム・クロックからサブシステム・クロックに切り替える際は、事前にPCCのビット1 (PCC1) を0に設定してください。
- PCCとCSSの設定により3段階の最小命令実行時間 ($4\ \mu\text{s}$, $16\ \mu\text{s}$: メイン・システム・クロック ($500\ \text{kHz}$ (TYP.) 動作時), $30.5\ \mu\text{s}$: サブシステム・クロック ($32.768\ \text{kHz}$ 動作時) の4逓倍クロック) を選択できます。
- サブシステム・クロックを選択した状態で、PCCのビット7 (MCC) によりメイン・システム・クロックの発振を停止できます。また、スタンバイ機能としてHALTモードを使用できます。
- 周辺ハードウェアへのクロックは、サブシステム・クロックを分周して供給します。スタンバイ (HALT) 状態でも周辺ハードウェアは継続して使用できます。しかし、HALTモード時は4逓倍回路が停止するため、周辺ハードウェアに4逓倍クロックを使用することはできません。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは、プロセッサ・クロック・コントロール・レジスタ (PCC) のビット1 (PCC1) とサブクロック・コントロール・レジスタ (CSS) のビット4 (CSS0) により切り替えることができます。

実際の切り替え動作は、PCCを書き換えた直後ではなく、PCCを変更したのち、数命令は切り替え前のクロックで動作します (表5 - 2参照)。

表5 - 2 CPUクロックの切り替えに要する最大時間

CPUクロック	切り替え前の設定値	切り替え後の設定値	切り替えに要する最大時間
メイン低速 メイン高速	CSS0 = 0, PCC1 = 1	CSS0 = 0, PCC1 = 0	2クロック
メイン高速 サブ4逓倍	CSS0 = 0, PCC1 = 0	CSS0 = 1, PCC1 = 0	$2f_x/4f_{XT}$ クロック (8クロック)
サブ4逓倍 メイン高速	CSS0 = 1, PCC1 = 0	CSS0 = 0, PCC1 = 0	2クロック
その他の切り替え			設定禁止

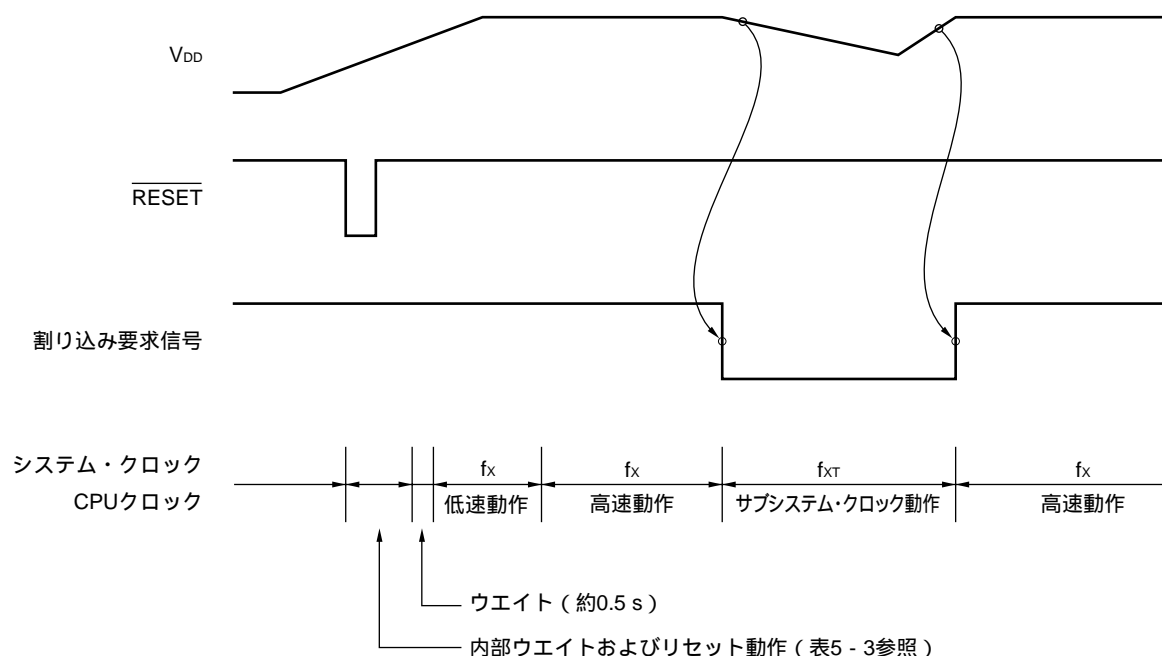
備考1. 2クロックは、切り替え前のCPUクロックの最小命令実行時間となります。

2. () 内は、 $f_x = 500 \text{ kHz}$ (TYP.) , $f_{XT} = 32.768 \text{ kHz}$ 動作時

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5 - 6 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとサブクロック発振安定時間のために数秒程度（表5 - 3参照）の内部ウエイト時間が自動的に確保されます。そのあとで、内部レギュレータ安定時間待ちのため、約0.5sのウエイト時間を確保します。

その後、CPUはメイン・システム・クロックの低速（ $16\ \mu\text{s}$ ：500kHz（TYP.）動作時）で命令の実行を開始しますが、ユーザ・プログラムの初期段階でプロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）を書き換えて、高速（ $4\ \mu\text{s}$ ：500kHz（TYP.）動作時）動作に切り替えます。

V_{DD} 電圧が低下したことを割り込み要求信号などにより検知し、 $\text{CSS0} = 1$ にしてサブシステム・クロック4逓倍クロックに切り替えます（このあと、PCCのビット7（MCC）に1を設定してメイン・システム・クロックを停止させることも可能です）。

V_{DD} 電圧が復帰したことを割り込み要求信号などにより検知したら、 $\text{CSS0} = 0$ に書き換えてメイン・システム・クロックの高速動作に切り替えます（メイン・システム・クロックを停止させていた場合は、PCCのビット7（MCC）に0を設定して、メイン・システム・クロックを発振開始させたあとで CSS0 を書き換えてください）。この際に発振安定時間などのウエイトは必要ありません[※]。

注 サブシステム・クロックの1クロックの間に、メイン・システム・クロックは発振安定します。そのため、メイン・システム・クロック停止（サブシステム・クロック動作）の状態から、再度メイン・システム・クロック動作に切り替える場合は、発振安定時間を確保する必要はありません。

表5 - 3 内部リセット・ウエイト時間

電源電圧	ウエイト時間（目安）
$V_{\text{DD}} = 3.5\ \text{V}$ のとき	約3～7s
$V_{\text{DD}} = 3.0\ \text{V}$ のとき	約5～9.5 s
$V_{\text{DD}} = 2.7\ \text{V}$ のとき	約6～12 s

備考 温度，電圧，製造ばらつきにより，ウエイト時間はばらつくので，この表中の値は目安です。

第6章 16ビット・タイマ/イベント・カウンタ0

インターバル・タイマ，外部イベント・カウンタ，PPG出力，パルス幅測定（赤外線リモコン受信機能），任意の周波数の方形波出力などに使用できます。

6.1 16ビット・タイマ/イベント・カウンタ0の機能

16ビット・タイマ/イベント・カウンタ0には，次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・PPG出力
- ・パルス幅測定
- ・方形波出力

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込み要求を発生します。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) PPG出力

周波数と出力パルス幅を任意に設定できる矩形波を出力できます。

(4) パルス幅測定

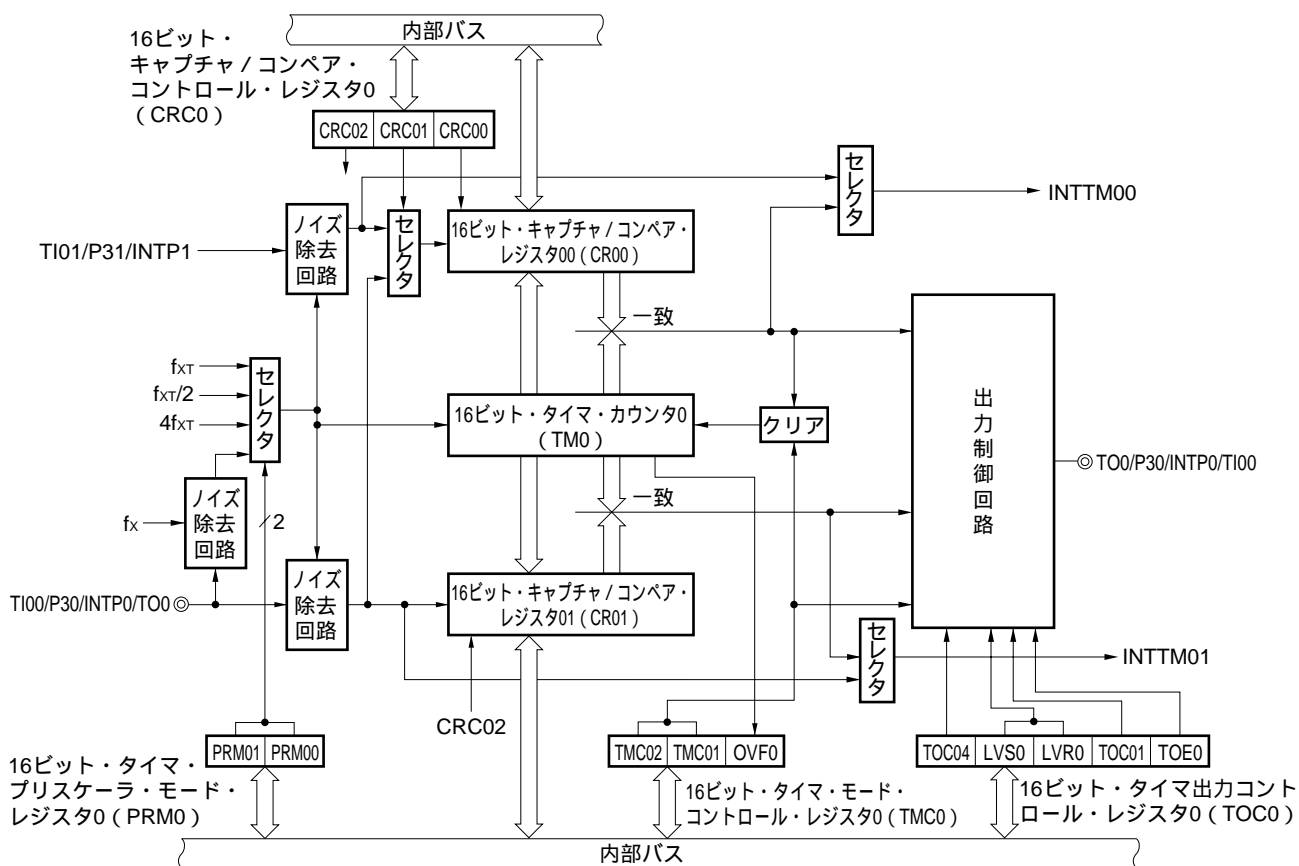
外部から入力される信号のパルス幅を測定できます。

(5) 方形波出力

任意の周波数の方形波出力が可能です。

図6 - 1に16ビット・タイマ/イベント・カウンタ0のブロック図を示します。

図6 - 1 16ビット・タイマ/イベント・カウンタ0のブロック図



6.2 16ビット・タイマ/イベント・カウンタ0の構成

16ビット・タイマ/イベント・カウンタ0は、次のハードウェアで構成されています。

表6-1 16ビット・タイマ/イベント・カウンタ0の構成

項 目	構 成
タイマ・レジスタ	16ビット×1本 (TM0)
レジスタ	キャプチャ/コンペア・レジスタ：16ビット×2本 (CR00, CR01)
タイマ出力	1本 (TO0)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0) 16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) ポート・モード・レジスタ3 (PM3)

(1) 16ビット・タイマ・カウンタ0 (TM0)

TM0は、カウント・パルスをカウントする16ビットのリード専用レジスタです。

入力クロックの立ち上がり同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。

次の場合、カウント値は0000Hになります。

RESET入力

TMC01, TMC02をクリア

TI00有効エッジ入力でクリア&スタート・モード時のTI00有効エッジが入力されたとき

CR00の一致でクリア&スタート・モード時のTM0とCR00の一致

(2) 16ビット・キャプチャ/コンペア・レジスタ00 (CR00)

CR00は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。16ビット・キャプチャ/コンペア・コントロール・レジスタ (CRC0) のビット0 (CRC00) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR00をコンペア・レジスタとして使用するとき

CR00に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM00) を発生します。TM0をインターバル・タイマ動作に設定したとき、インターバル時間を保持するレジスタとしても使用できます。

・CR00をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/TO0/P30/INTP0端子、またはTI01/P31/INTP1端子の有効エッジが選択できます。TI01端子の有効エッジでキャプチャすると、割り込み要求 (INTTM00) を発生します。TI00、TI01の有効エッジは、16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) で設定します。キャプチャ・トリガをTI00/TO0/P30/INTP0端子の有効エッジに指定したときは表6 - 2、キャプチャ・トリガをTI01/P31/INTP1端子の有効エッジに指定したときは表6 - 3のようになります。

表6 - 2 TI00端子の有効エッジとCR00, CR01のキャプチャ・トリガ

ES01	ES00	TI00/TO0/P30/INTP0の有効エッジ	CR00のキャプチャ・トリガ	CR01のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち上がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち下がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	キャプチャ動作しない	立ち上がり、立ち下がりの両エッジ

表6 - 3 TI01端子の有効エッジとCR00のキャプチャ・トリガ

ES11	ES10	TI01/P31/INTP1の有効エッジ	CR00のキャプチャ・トリガ
0	0	立ち下がりエッジ	立ち下がりエッジ
0	1	立ち上がりエッジ	立ち上がりエッジ
1	0	設定禁止	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ	立ち上がり、立ち下がりの両エッジ

CR00は、16ビット・メモリ操作命令で設定します。

RESET入力により、0000Hになります。

注意1. TM0とCR00の一致でクリア&スタート・モード時はCR00には0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

フリー・ランニング・モード時またはTI00の有効エッジでクリア&スタート・モード時にCR00に0000Hを設定した場合は、オーバフロー (FFFFH) 後あるいはTI00有効エッジによるクリア後に割り込み要求 (INTIM00) を発生します。

2. P30端子をTI00有効エッジとして使用するときは、タイマ出力 (TO0) として使用できません。また、TO0として使用するときは、TI00有効エッジとして使用できません。

3. CR00は、TI00端子の有効エッジでキャプチャした場合は割り込み要求を発生しません。

4. TI00をキャプチャ・トリガとするときは、カウント・クロックにTI00有効エッジを選択しないでください。

(3) 16ビット・キャプチャ/コンペア・レジスタ01 (CR01)

CR01は、キャプチャ・レジスタとコンペア・レジスタの機能をあわせ持った16ビットのレジスタです。16ビット・キャプチャ/コンペア・コントロール・レジスタ (CRC0) のビット2 (CRC02) により、キャプチャ・レジスタとして使用するのか、コンペア・レジスタとして使用するのかを設定します。

・CR01をコンペア・レジスタとして使用するとき

CR01に設定した値と16ビット・タイマ・カウンタ0 (TM0) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM01) を発生します。

・CR01をキャプチャ・レジスタとして使用するとき

キャプチャ・トリガとしてTI00/TO0/P30/INTP0端子の有効エッジを使用します。キャプチャすると、割り込み要求 (INTTM01) を発生します。

TI00/TO0/P30/INTP0の有効エッジは、16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) で設定します。

CR01は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により0000Hになります。

注意1. コンペア・レジスタとしてCR01に0000Hを設定した場合は、オーバフロー (FFFFH) 後あるいは一致クリア後あるいはTI00有効エッジによるクリア後に割り込み要求 (INTTM01) を発生します。

2. CR01をキャプチャ・レジスタとして使うときは、カウント・クロックにTI00有効エッジを選択しないでください。

6.3 16ビット・タイマ/イベント・カウンタ0を制御するレジスタ

16ビット・タイマ/イベント・カウンタ0を制御するレジスタには、次の5種類があります。

- ・16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)
- ・16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)
- ・16ビット・タイマ出力コントロール・レジスタ0 (TOC0)
- ・16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0)
- ・ポート・モード・レジスタ3 (PM3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)

16ビット・タイマの動作モード，16ビット・タイマ・カウンタ0のクリア・モード，出力タイミングの設定およびオーバーフローを検出するレジスタです。

TMC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

注意 16ビット・タイマ・カウンタ0は，TMC01, TMC02に0, 0 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには，TMC01, TMC02に0, 0を設定してください。

図6 - 2 16ビット・タイマ・モード・コントロール・レジスタ0のフォーマット

アドレス：FF66H リセット時：00H R/W

略号	7	6	5	4	3	2	1	①
TMC0	0	0	0	0	TMC02	TMC01	0	OVF0

TMC02	TMC01	動作モードおよびクリア・モードの選択	TO0の出力タイミングの選択
0	0	動作停止 (TM0は0にクリア)	変化なし
0	1	フリーランニング・モード	TM0とCR00の一致またはTM0とCR01の一致
1	0	TI00の有効エッジでクリア&スタート	-
1	1	TM0とCR00の一致でクリア&スタート	TM0とCR00の一致またはTM0とCR01の一致

OVF0	16ビット・タイマ・カウンタ0のオーバーフロー検出
0	オーバーフローあり
1	オーバーフローなし

- 注意1.** OVF0フラグ以外のビットには，タイマ動作を停止してから書き込んでください。
- TI00/TO0/INTP0/P30端子の有効エッジは，16ビット・タイマ・プリスケアラ・モード・レジスタ0 (PRM0) で設定します。
 - TM0とCR00の一致でクリア&スタート・モードを選択した場合，CR00の設定値がFFFFHで，TM0のカウンタ値がFFFFHから0000Hに変化するとき，OVF0フラグが1に設定されます。
 - TI00の有効エッジでクリア&スタート・モードを選択した場合，カウンタ・クロックにTI00有効エッジを選択しないでください。
 - ビット1, 4-7には必ず0を設定してください。

- 備考**
- TO0 : 16ビット・タイマ/イベント・カウンタの出力端子
 - TI00 : 16ビット・タイマ/イベント・カウンタの入力端子
 - TM0 : 16ビット・タイマ・カウンタ0
 - CR00 : 16ビット・キャプチャ/コンペア・レジスタ00
 - CR01 : 16ビット・キャプチャ/コンペア・レジスタ01

(2) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

16ビット・キャプチャ/コンペア・レジスタ (CR00, CR01) の動作を制御するレジスタです。
 CRC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により00Hになります。

図6-3 16ビット・キャプチャ/コンペア・コントロール・レジスタ0のフォーマット

アドレス : FF68H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CRC0	0	0	0	0	0	CRC02	CRC01	CRC00

CRC02	CR01の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC01	CR00のキャプチャ・トリガの選択
0	TI01の有効エッジでキャプチャする
1	TI00の有効エッジの逆相でキャプチャする ^注

CRC00	CR00の動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

注 TI00の有効エッジに立ち上がり、立ち下がりの両エッジを選択した場合には、CR00はキャプチャ動作を行えません。

注意1. CRC0は、必ずタイマ動作を停止させてから設定してください。

2. 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) で、TM0とCR00の一致でクリア & スタート・モードを選択したとき、CR00をキャプチャ・レジスタに指定しないでください。
3. キャプチャを確実に行うために、キャプチャ・トリガは16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2回分より長いパルスが必要とします。

(3) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)

16ビット・タイマ/イベント・カウンタ0の出力制御回路の動作を制御するレジスタです。R-S型フリップ・フロップ (LV0) のセット/リセット, 出力の反転許可/禁止, 16ビット・タイマ/イベント・カウンタ0のタイマ出力許可/禁止を設定します。

TOC0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図6 - 4にTOC0のフォーマットを示します。

図6 - 4 16ビット・タイマ出力コントロール・レジスタ0のフォーマット

アドレス : FF69H リセット時 : 00H R/W

略号	7	6	5	4		1	①
TOC0	0	0	0	TOC04	LVS0	LVR0	TOC01 TOE0

TOC04	CR01とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

LVS0	LVR0	16ビット・タイマ/イベント・カウンタ0の タイマ出力F/Fの状態の設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TOC01	CR00とTM0の一致によるタイマ出力F/Fの制御	
0	反転動作禁止	
1	反転動作許可	

TOE0	16ビット・タイマ/イベント・カウンタ0の出力の制御	
0	出力禁止 (出力は0レベルに固定)	
1	出力許可	

- 注意1. TOC0は, 必ずタイマ動作を停止させてから設定してください。
2. データ設定後にLVS0, LVR0を読み出すと, 0になっています。
 3. ビット5-7には必ず0を設定してください。

(4) 16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0)

16ビット・タイマ・カウンタ0 (TM0) のカウント・クロックおよびTI00, TI01入力の有効エッジを設定するレジスタです。

PRM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6 - 5 16ビット・タイマ・プリスケラ・モード・レジスタ0のフォーマット

アドレス : FF67H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PRM0	ES11	ES10	ES01	ES00	0	0	PRM01	PRM00

ES11	ES10	TI01有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

ES01	ES00	TI00有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり, 立ち下がりの両エッジ

PRM01	PRM00	カウント・クロックの選択
0	0	f_{XT} (32.768 kHz)
0	1	$f_{XT}/2$ (16.384 kHz)
1	0	$4f_{XT}$ (131 kHz) ^{注1}
1	1	TI00有効エッジ ^{注2}

- 注1. HALT動作時は、4通倍クロック回路が停止するため、カウント・クロックとして $4f_{XT}$ を選択できません。
2. 外部クロック (TI00) はメイン・システム・クロック (f_x) の2回分より長いパルスが必要とします。また、ノイズ除去用のサンプリング・クロックにメイン・システム・クロックを使用するため、メイン・システム・クロックが動作しているとき (MCC = 0) のみ選択可能です。

- 注意1. カウント・クロックにTI00の有効エッジを設定する場合，TI00有効エッジでクリア&スタート・モードおよびTI00をキャプチャ・トリガに設定しないでください。また，P30/TI00/TO0/INTP0端子をタイマ出力（TO0）として使用することもできません。
2. PRM0は，必ずタイマ動作を停止させてからデータを設定してください。
3. システム・リセット直後にTI00端子またはTI01端子がハイ・レベルの場合，TI00端子またはTI01の有効エッジを立ち上がりまたは両エッジに指定し，16ビット・タイマ・カウンタ（TM0）の動作を許可すると，その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし，いったん動作を停止させたあとの再動作許可時には，立ち上がりエッジは検出されません。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. f_{xT} : サブシステム・クロック発振周波数
3. TI00, TI01 : 16ビット・タイマ/イベント・カウンタ0の入力端子
4. () 内は， $f_{xT} = 32.768 \text{ kHz}$ 動作時

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力/出力を1ビット単位で設定するレジスタです。

P30/TI00/TO0/INTP0端子をタイマ入力（TI00）として使用するとき，PM30に1を設定してください。タイマ出力として使用するとき，PM30およびP30の出力ラッチに0を設定してください。

P31/TI01/INTP1端子をタイマ入力（TI01）として使用するとき，PM31に1を設定してください。

PM3は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，FFHになります。

図6 - 6 ポート・モード・レジスタ3のフォーマット

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PM3n	P3n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ/イベント・カウンタ0の動作

6.4.1 インターバル・タイマとしての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図6-7のように設定することにより、インターバル・タイマとして動作します。16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

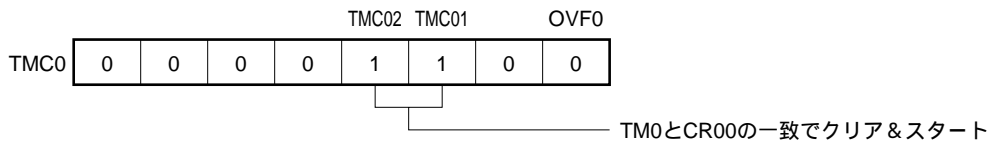
16ビット・タイマ・カウンタ0 (TM0) のカウント値がCR00に設定した値と一致したとき、TM0の値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM00) を発生します。

16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) で16ビット・タイマ・カウンタ0のカウント・クロックを選択できます。

なお、タイマ・カウント動作中にコンペア・レジスタの値を変更することはできません。

図6-7 インターバル・タイマ動作時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

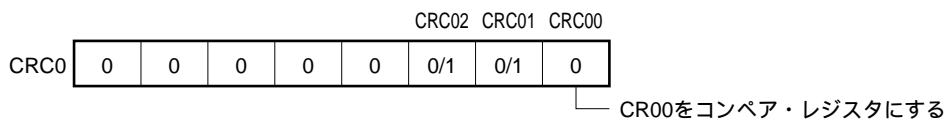


図6-8 インターバル・タイマの構成図

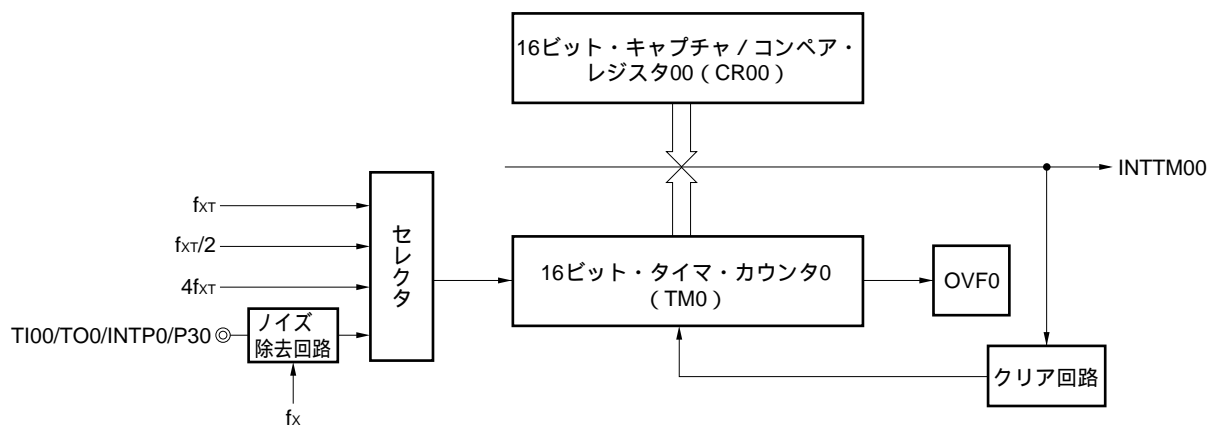
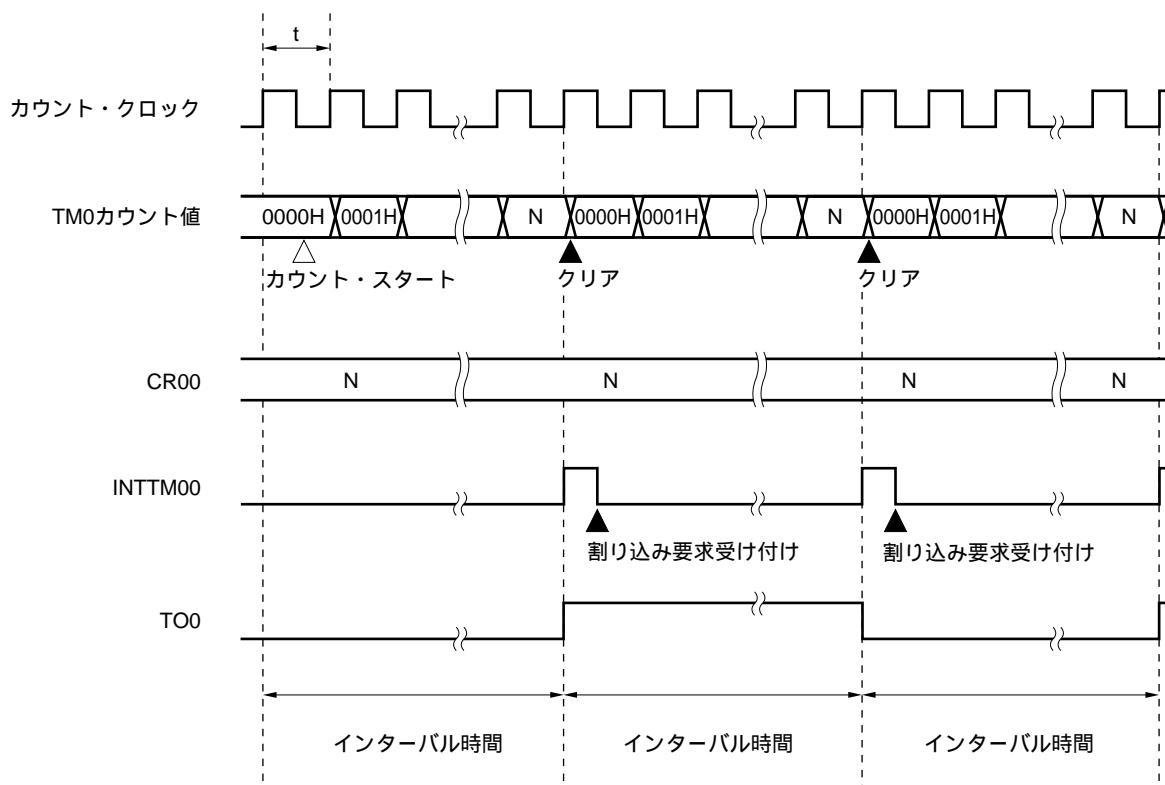


図6-9 インターバル・タイマ動作のタイミング



備考 インターバル時間 = (N + 1) × t : N = 00H-FFH

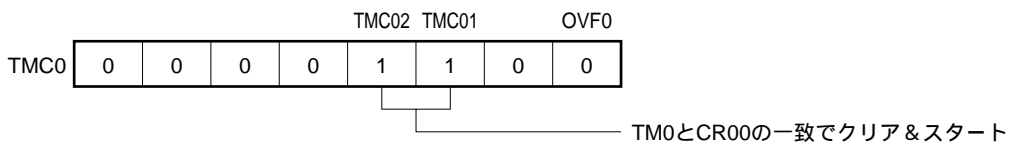
6.4.2 PPG出力としての動作

16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) と、16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) を図6-10のように設定することにより、PPG (Programmable Pulse Generator) 出力として動作します。

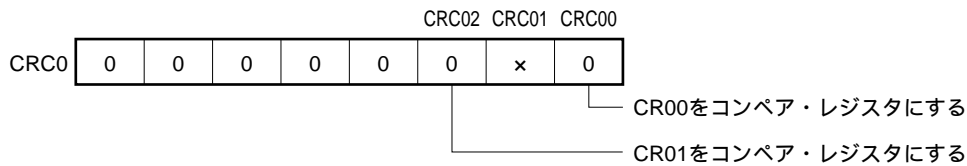
PPG出力パルスは、16ビット・キャプチャ/コンペア・レジスタ00 (CR00) にあらかじめ設定したカウント値を1周期とし、16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にあらかじめ設定したカウント値をパルス幅とする矩形波をTO0/TI00/INTP0/P30端子から出力します。

図6-10 PPG出力動作時の制御レジスタ設定内容

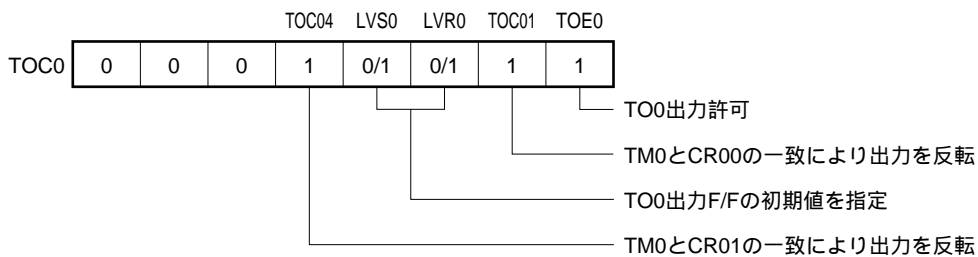
(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



(c) 16ビット・タイマ出力コントロール・レジスタ0 (TOC0)



注意1. CR00とCR01には次の範囲の値を設定してください。

$$0000H < CR01 < CR00 \quad FFFFH$$

2. PPG出力によって生成されるパルスの周期は (CR00の設定値 + 1) , デューティは (CR01の設定値 + 1) / (CR00の設定値 + 1) になります。

備考 x : don't care

図6 - 11 PPG出力の構成図

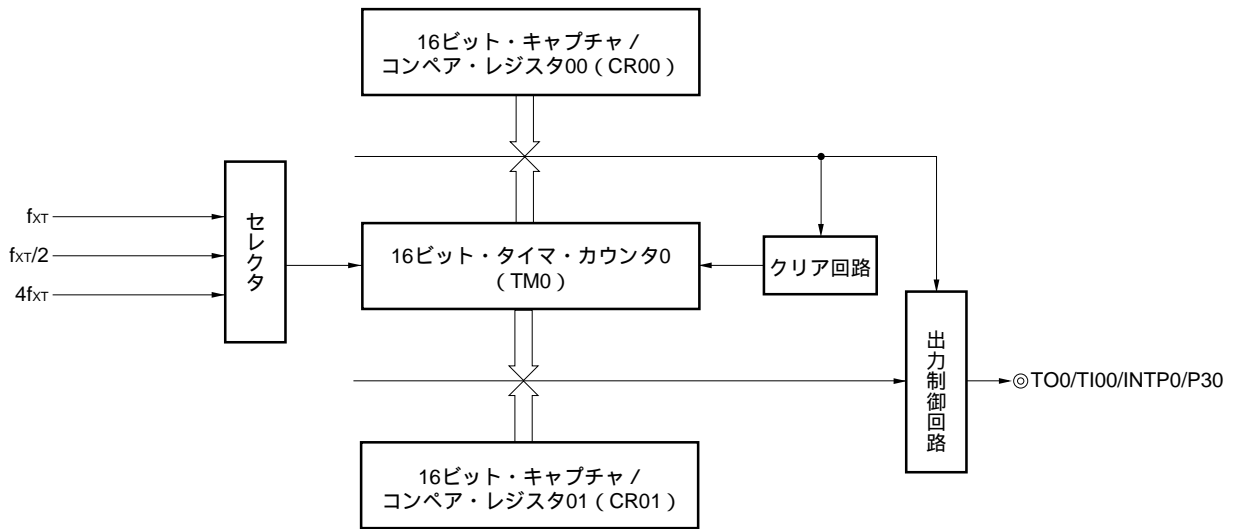
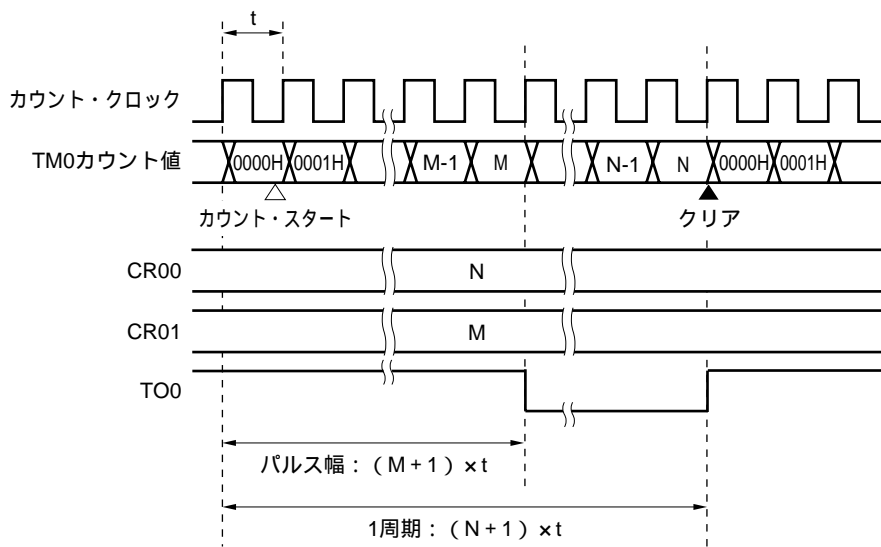


図6 - 12 PPG出力動作のタイミング



備考 0000H < M < N FFFH

6.4.3 パルス幅測定としての動作

16ビット・タイマ・カウンタ0 (TM0) を使用し、TI00/TO0/P30/INTP0端子およびTI01/P31/INTP1端子に入力される信号のパルス幅を測定できます。

測定方法は、TM0をフリーランニングさせて測定する方法と、TI00/TO0/P30/INTP0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

(1) フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定

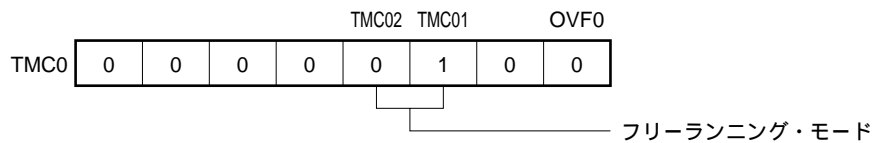
16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6 - 10のレジスタの設定参照)、TI00/TO0/P30/INTP0端子に16ビット・タイマ・プリスケアラ・モード・レジスタ0 (PRM0) で指定したエッジが入力されるとTM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み、外部割り込み要求信号 (INTTM01) をセットします。

TI00端子の有効エッジは、PRM0のビット4, 5 (ES00, ES01) で指定し、立ち上がり、立ち下がり、両エッジの3種類の選択ができます。

TI00端子の有効エッジの検出は、PRM0で選択したカウント・クロックでサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

図6 - 13 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

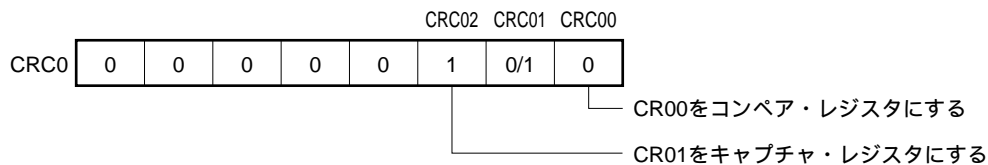


図6 - 14 フリーランニング・カウンタによるパルス幅測定の構成図

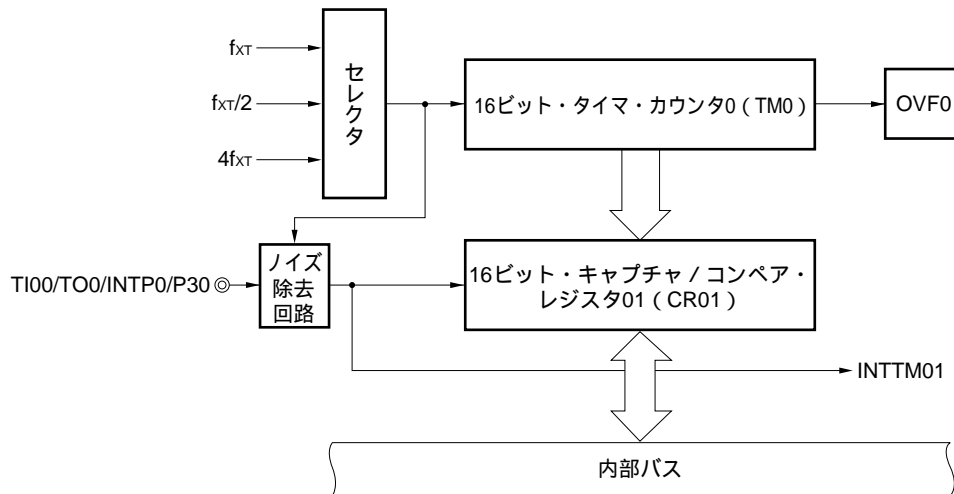
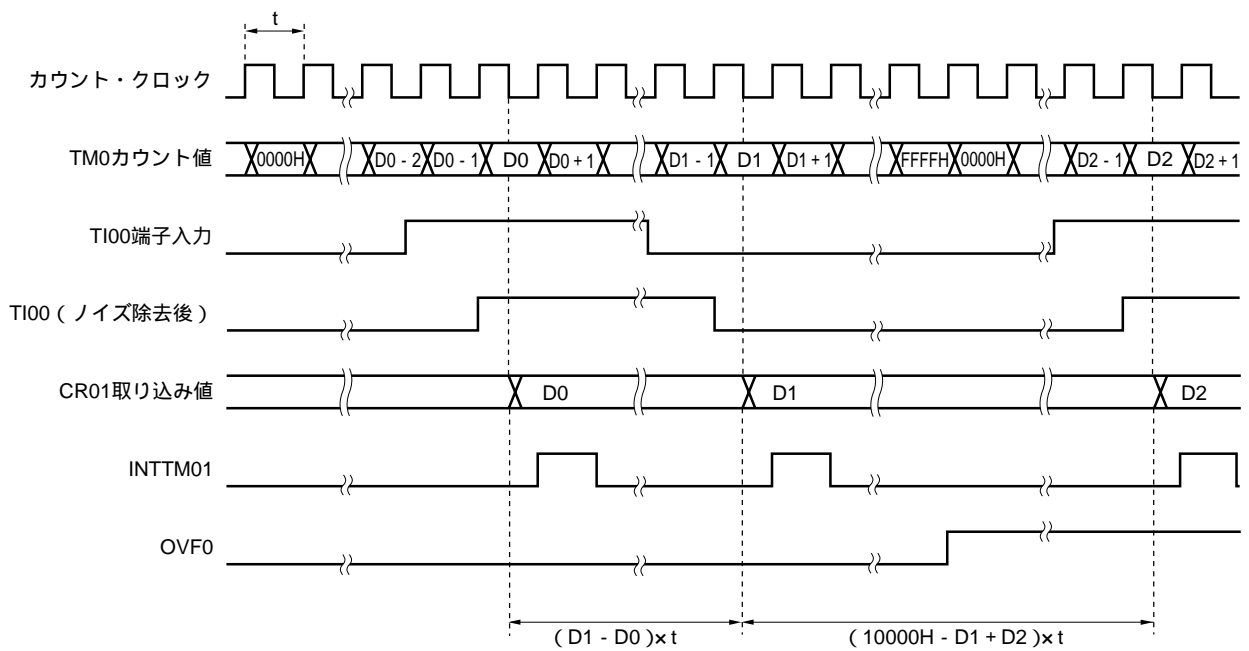


図6 - 15 フリーランニング・カウンタとキャプチャ・レジスタ1本によるパルス幅測定動作のタイミング (両エッジ指定時)



(2) フリーランニング・カウンタによる2つのパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6 - 16参照) , TI00/TO0/INTP0/P30端子およびTI01/INTP1/P31端子に入力される2つの信号のパルス幅を同時に測定できます。

TI00/TO0/INTP0/P30端子に16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTTM01) をセットします。

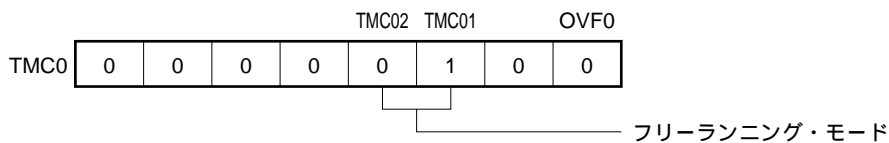
また, TI01/P31/INTP1端子にPRM0のビット6, 7 (ES10, ES11) で指定したエッジが入力されると, TM0の値を16ビット・キャプチャ/コンペア・レジスタ00 (CR00) に取り込み, 外部割り込み要求信号 (INTTM00) をセットします。

TI00端子とTI01端子の有効エッジは, PRM0のビット4, 5 (ES00, ES01) およびビット6, 7 (ES10, ES11) でそれぞれ指定し, 立ち上がり, 立ち下がり, 両エッジの3種類の選択ができます。

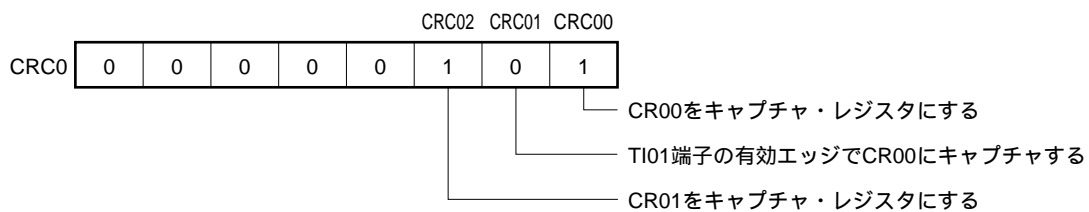
TI00端子, TI01端子の有効エッジの検出は, PRM0で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

図6 - 16 フリーランニング・カウンタによる2つのパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)



・キャプチャ動作について (フリーランニング・モード)

キャプチャ・トリガが入力されたときのキャプチャ・レジスタの動作を示します。

図6 - 17 立ち上がりエッジ指定時のCR01キャプチャ動作

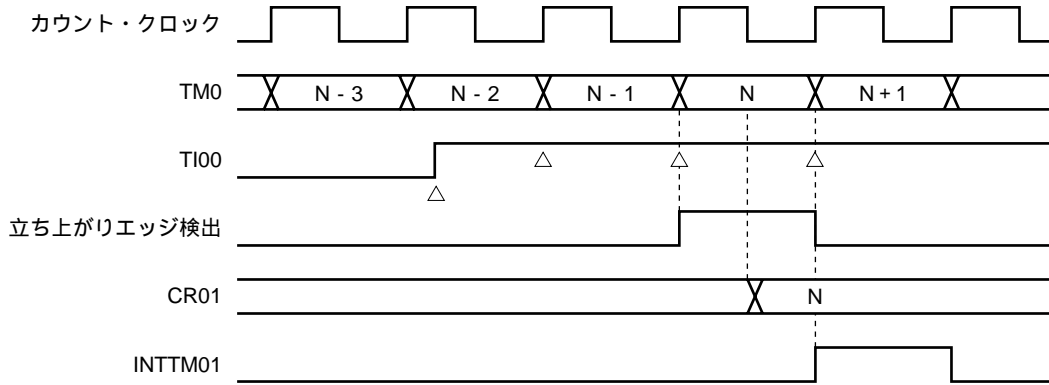
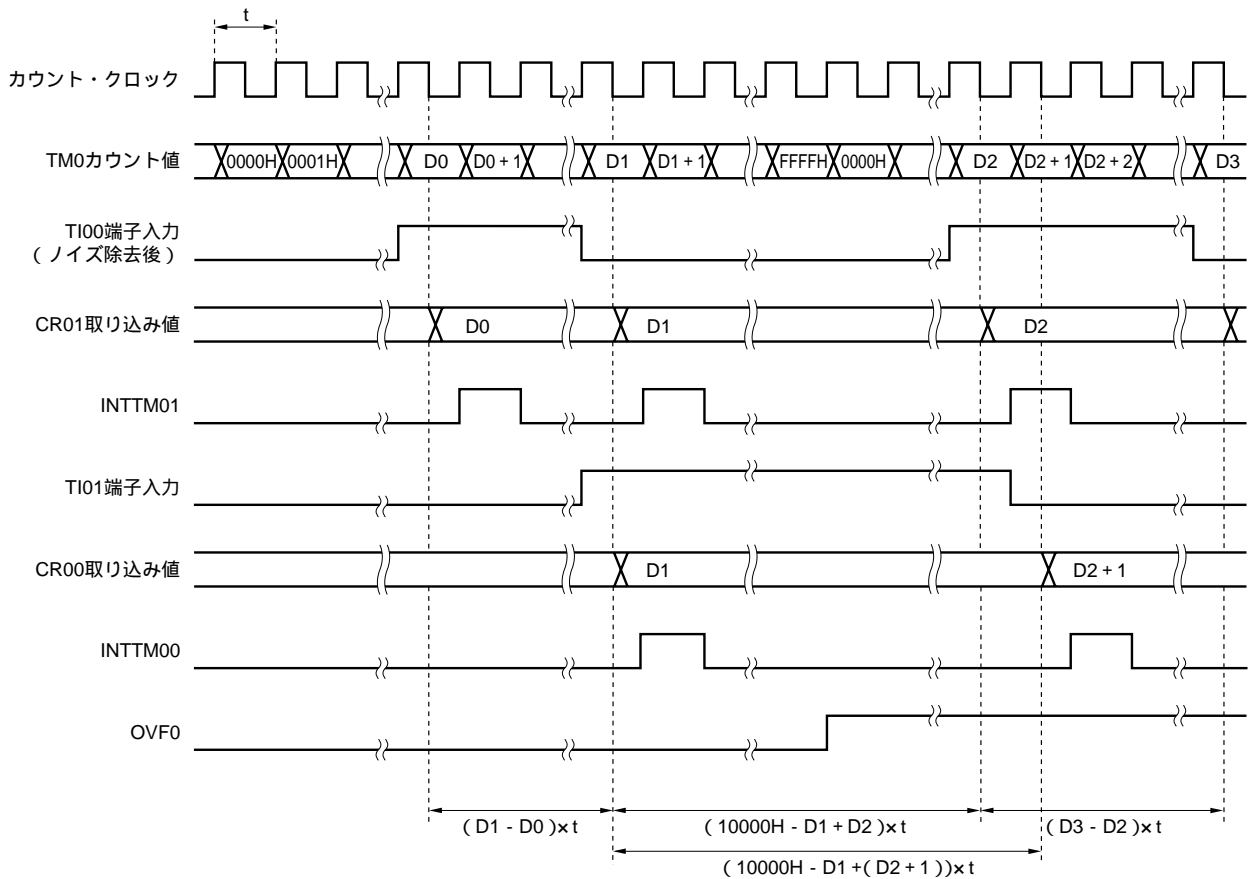


図6 - 18 フリーランニング・カウンタによるパルス幅測定動作のタイミング (両エッジ指定時)



(3) フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定

16ビット・タイマ・カウンタ0 (TM0) をフリーランニングで動作させているとき (図6 - 19参照) , TI00/TO0/INTP0/P30端子に入力する信号のパルス幅を測定できます。

TI00/TO0/INTP0/P30端子に16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定したエッジが入力されると, TM0の値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込み, 外部割り込み要求信号 (INTTM01) をセットします。

また, CR01へのキャプチャ動作と逆のエッジ入力で, TM0の値を16ビット・キャプチャ/コンペア・レジスタ00 (CR00) に取り込みます。

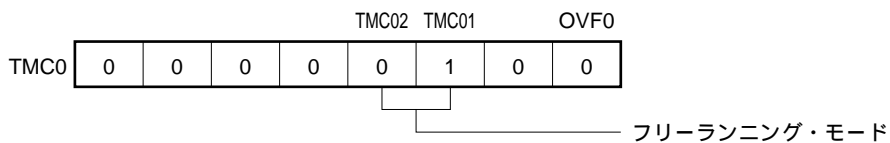
TI00端子の有効エッジは, PRM0のビット4, 5 (ES00, ES01) で指定し, 立ち上がりエッジまたは立ち下がりエッジの選択ができます。

TI00端子の有効エッジの検出は, PRM0で選択したカウント・クロック周期でサンプリングを行い, 2回有効レベルを検出することではじめてキャプチャ動作を行うため, 短いパルス幅のノイズを除去できます。

注意 TI00/TO0/INTP0/P30端子の有効エッジを, 立ち上がり, 立ち下がりの両エッジに指定した場合, キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行いません。

図6 - 19 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

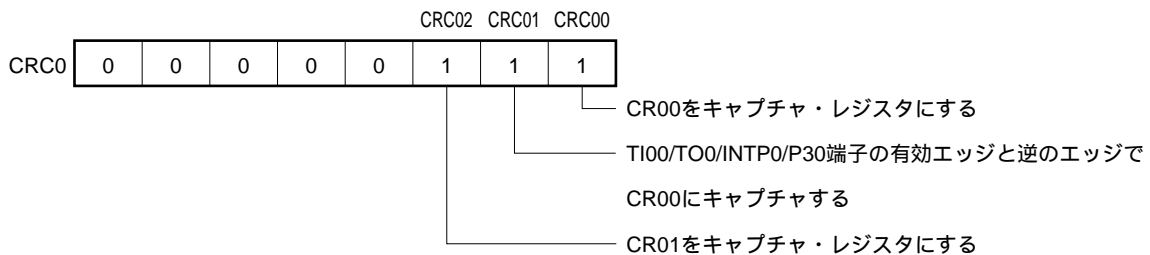
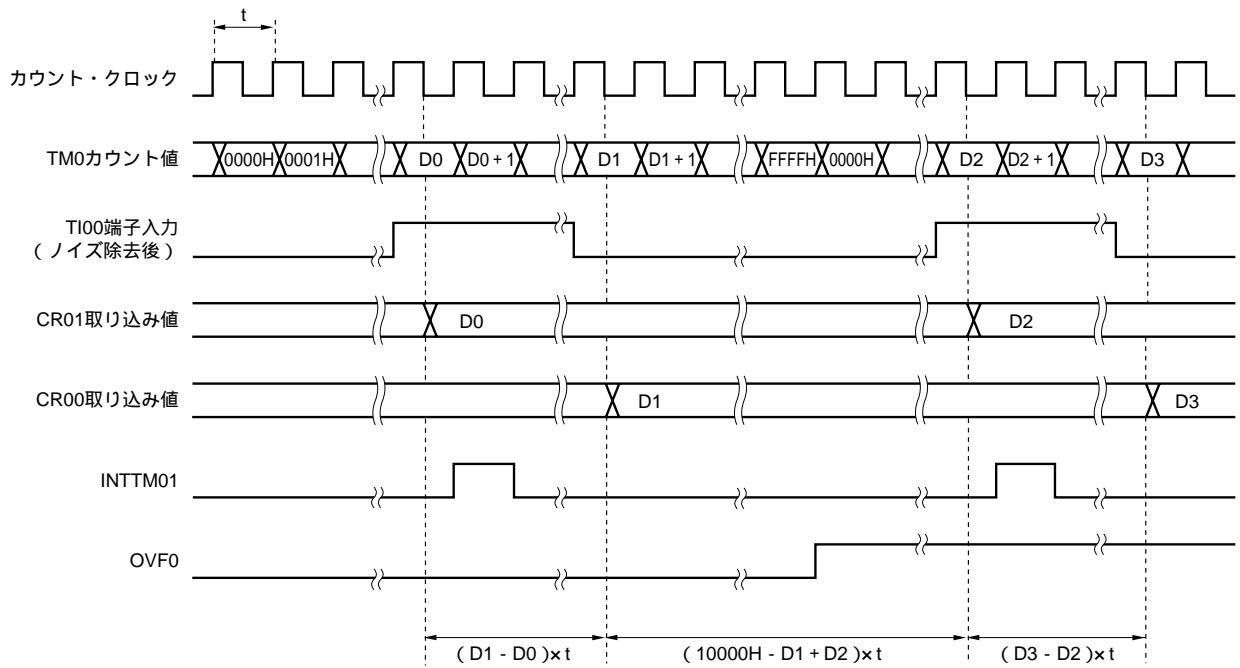


図6-20 フリーランニング・カウンタとキャプチャ・レジスタ2本によるパルス幅測定動作のタイミング
(立ち上がりエッジ指定時)



(4) リスタートによるパルス幅測定

TI00/TO0/INTP0/P30端子への有効エッジを検出したとき、16ビット・タイマ・カウンタ0 (TM0) のカウント値を16ビット・キャプチャ/コンペア・レジスタ01 (CR01) に取り込んだあと、TM0をクリアしてカウントを再開することにより、TI00/TO0/INTP0/P30端子に入力された信号のパルス幅を測定します (図6-21参照)。

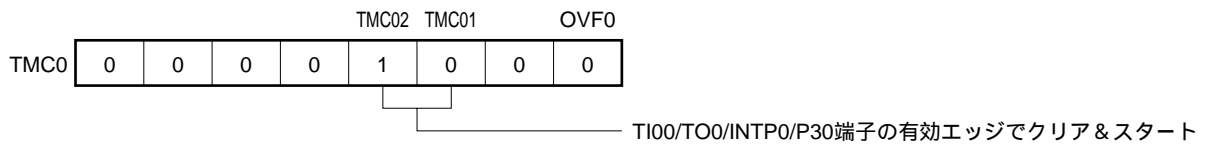
TI00端子の有効エッジは、16ビット・タイマ・プリスケラ・モード・レジスタ0 (PRM0) のビット4, 5 (ES00, ES01) で指定し、立ち上がりエッジまたは立ち下がりエッジの選択ができます。

TI00端子の有効エッジの検出は、PRM0で選択したカウント・クロック周期でサンプリングを行い、2回有効レベルを検出することではじめてキャプチャ動作を行うため、短いパルス幅のノイズを除去できます。

注意 TI00/TO0/INTP0/P30端子の有効エッジを、立ち上がり、立ち下がり両エッジに指定した場合、キャプチャ/コンペア・レジスタ00 (CR00) はキャプチャ動作を行えません。

図6-21 リスタートによるパルス幅測定時の制御レジスタ設定内容

(a) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(b) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

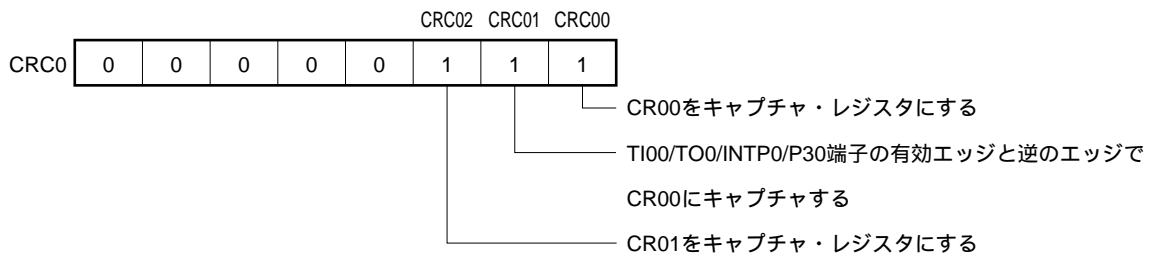
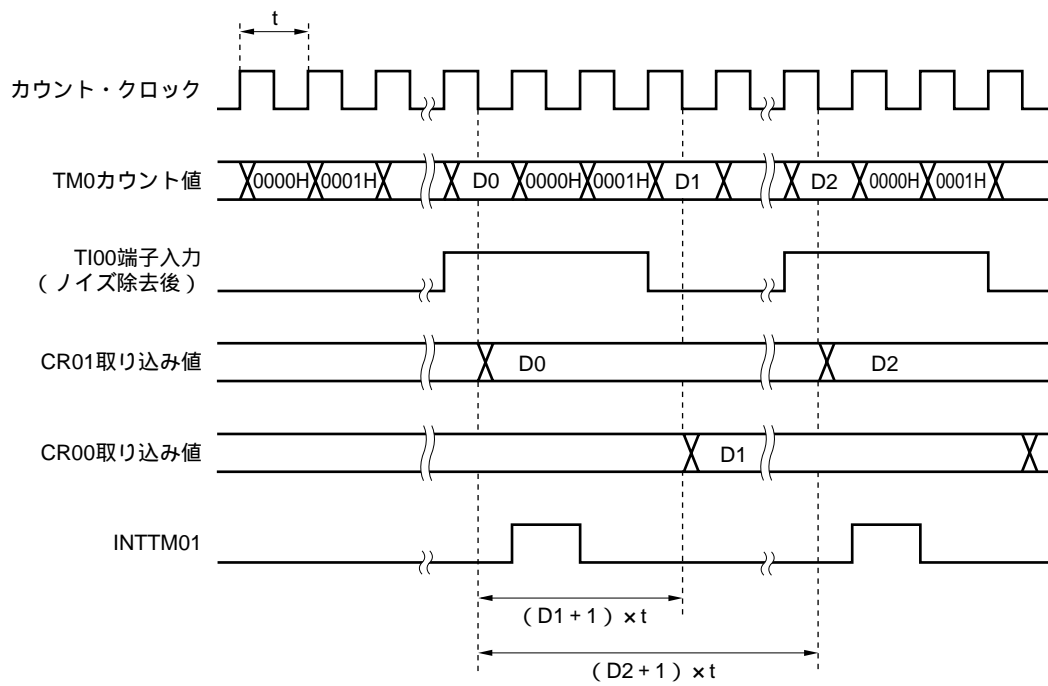


図6 - 22 リスタートによるパルス幅測定動作のタイミング (立ち上がりエッジ指定時)



6.4.4 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI00/TO0/INTP0/P30端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ0 (TM0) でカウントするものです。

16ビット・タイマ・プリスケアラ・モード・レジスタ0 (PRM0) でカウント・クロックにTI00有効エッジを選択し、指定した有効エッジがTI00/TO0/INTP0/P30端子に入力されるたびにTM0がインクリメントされます。

TM0のカウント値が16ビット・キャプチャ/コンペア・レジスタ00 (CR00) の値と一致すると、TM0は0にクリアされ、割り込み要求信号 (INTTM00) が発生します。

なお、CR00には0000H以外の値を入れてください (1パルスのカウント動作はできません)。

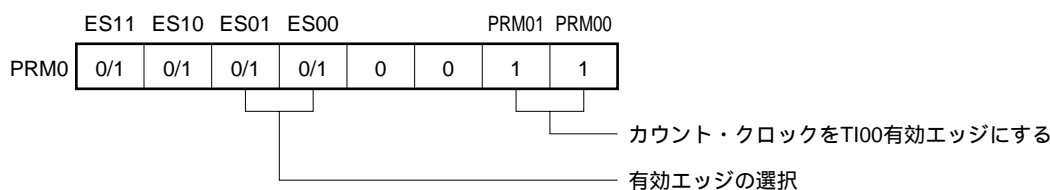
TI00端子の有効エッジは、PRM0のビット4, 5 (ES00, ES01) で指定し、立ち上がり、立ち下がり、両エッジの3種類から選択できます。

TI00端子の有効エッジの検出は、メイン・システム・クロック (fx) の周期でサンプリングを行い、2回有効レベルを検出することではじめて動作するため、短いパルス幅のノイズを除去できます。

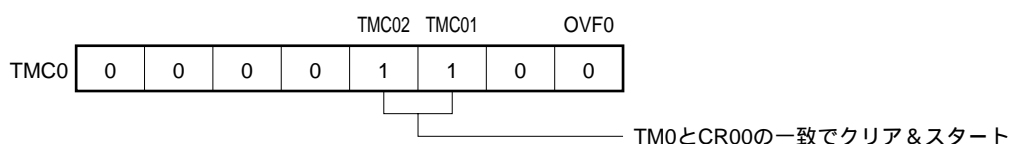
注意 外部イベント・カウンタとして使用するとき、TI00/TO0/INTP0/P30端子をタイマ出力 (TO0) として使用できません。

図6 - 23 外部イベント・カウンタ・モード時の制御レジスタ設定内容

(a) 16ビット・タイマ・プリスケアラ・モード・レジスタ0 (PRM0)



(b) 16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0)



(c) 16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0)

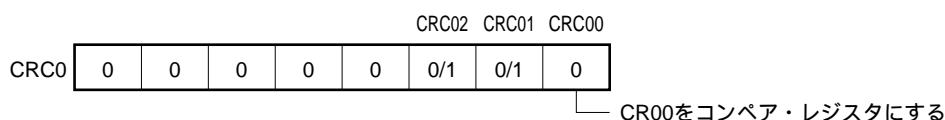


図6 - 24 外部イベント・カウンタの構成図

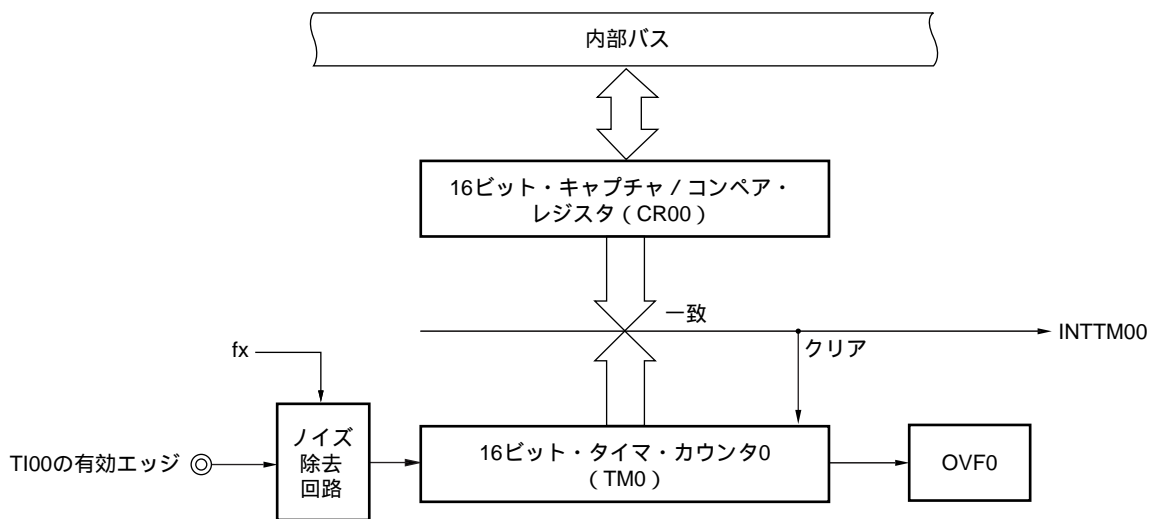
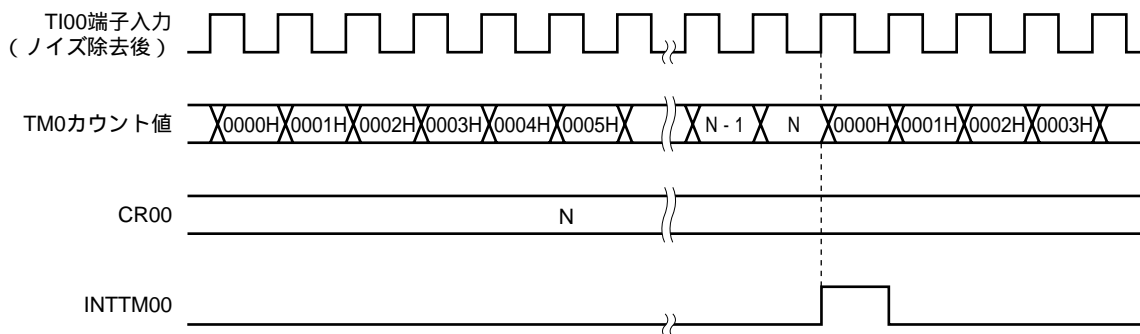


図6 - 25 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



注意 外部イベント・カウンタのカウンタ値を読み出す場合は、TM0を読み出してください。

6.4.5 方形波出力としての動作

16ビット・キャプチャ/コンペア・レジスタ0 (CR00) にあらかじめ設定したカウント値をインターバルとする、任意の周波数の方形波出力として動作します。

16ビット・タイマ出力コントロール・レジスタ (TOC0) のビット0 (TOE0) とビット1 (TOC01) に1を設定することにより、CR00にあらかじめ設定したカウント値をインターバルとしてTO0/TI00/INTP0/P30端子の出力状態が反転します。これによって、任意の周波数の方形波出力が可能です。

図6 - 26 方形波出力モード時の制御レジスタ設定内容

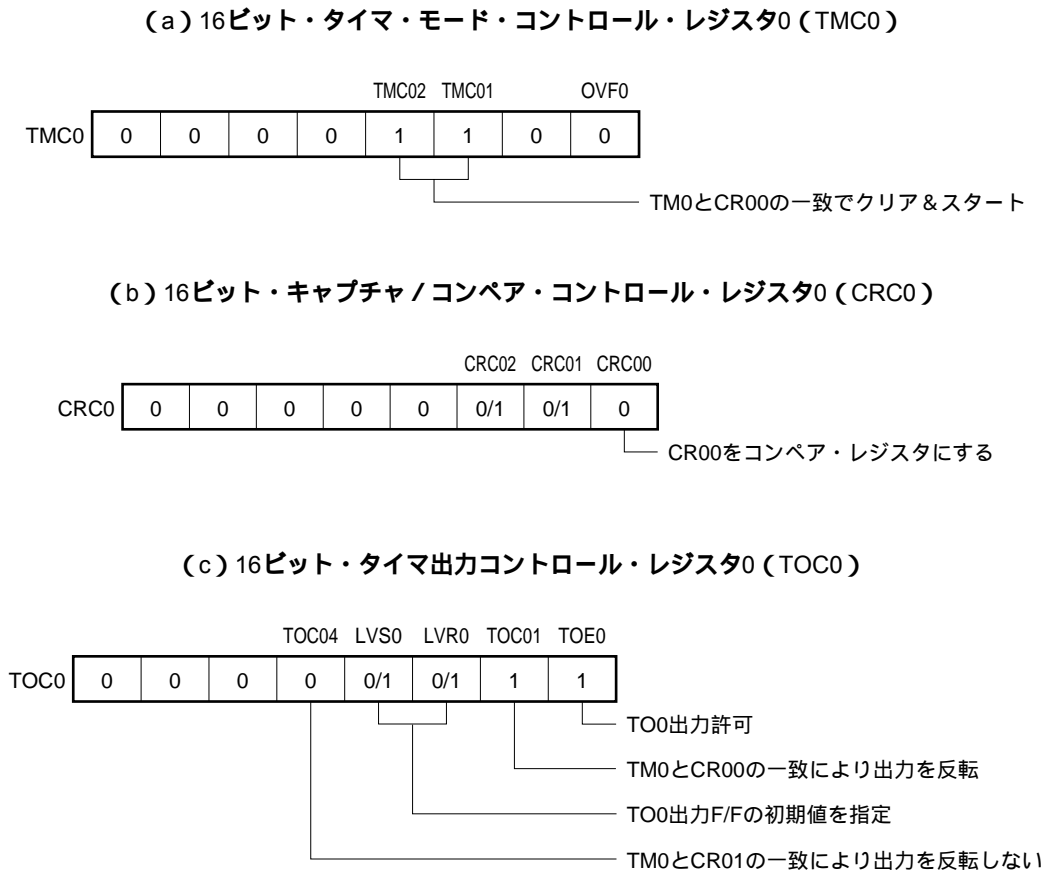
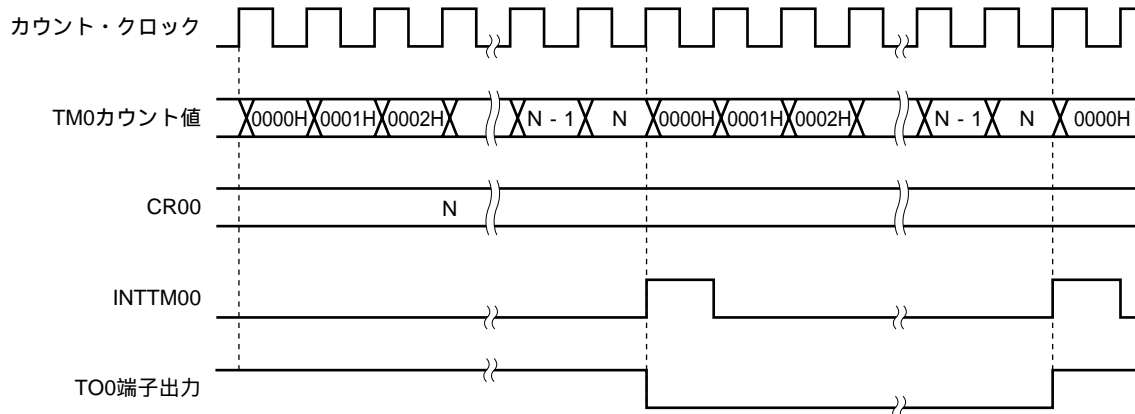


図6 - 27 方形波出力動作のタイミング

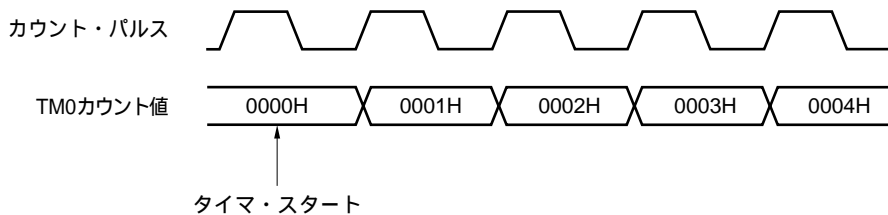


6.5 16ビット・タイマ/イベント・カウンタ0の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これはカウント・パルスに対して16ビット・タイマ・カウンタ0 (TM0) が非同期でスタートするためです。

図6-28 16ビット・タイマ・カウンタ0のスタート・タイミング



(2) 16ビット・コンペア・レジスタの設定

16ビット・キャプチャ/コンペア・レジスタ00 (CR00) には、0000H以外の値を設定してください。したがって、イベント・カウンタとして使用時、1パルスのカウント動作はできません。

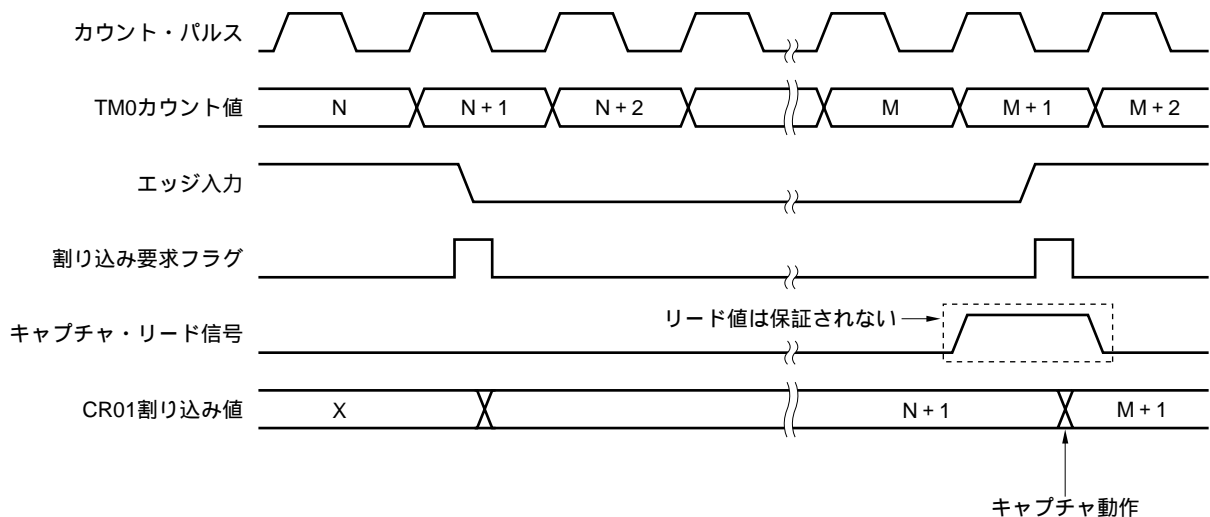
(3) タイマ・カウント動作中のコンペア・レジスタの変更禁止

16ビット・キャプチャ/コンペア・レジスタ (CR00, CR01) はタイマ動作中に値を変更することはできません。変更するときは必ずタイマを停止してください。

(4) キャプチャ・レジスタのデータ保持タイミング

16ビット・キャプチャ/コンペア・レジスタ (CR00/CR01) の読み出し中にキャプチャ・トリガが入力されたとき、CR00/CR01は正常にキャプチャ動作を行います。このときの読み出した値は保証されません。また、有効エッジの検出による割り込み要求フラグ (TMIF00/TMIF01) はセットされます。

図6-29 キャプチャ・レジスタのデータ保持タイミング



(5) 有効エッジの設定

TI00端子およびTI01端子の有効エッジは、16ビット・タイマ・モード・コントロール・レジスタ0(TMC0)のビット2, 3(TMC01, TMC02)に0, 0を設定し、タイマ動作を停止させたあとに設定してください。有効エッジは、16ビット・タイマ・プリスケラ・モード・レジスタ0(PRM0)のビット4, 5(ES00, ES01)およびビット6, 7(ES10, ES11)で設定します。

(6) OVF0フラグの動作

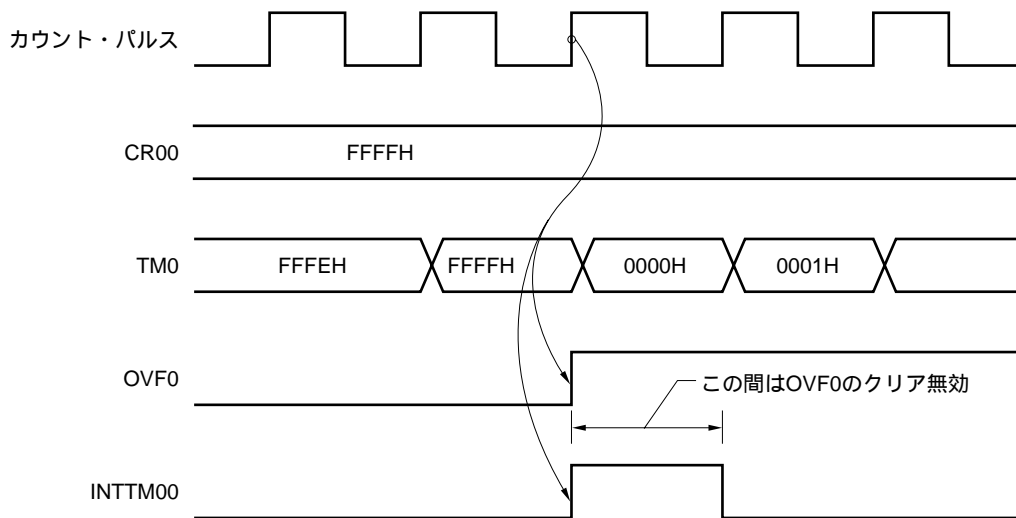
(a) TM0とCR00の一致でクリア&スタートするモードを選択した場合は、次のときにOVF0フラグが“1”にセットされます。

CR00をFFFFHに設定

TM0がFFFFHから0000Hにカウント・アップするとき

(b) TM0がオーパフロー後、次のカウント・クロックが来る前(TM0が0001Hになる前)にOVF0フラグをクリアしても、再度セットされ、クリアは無効となります。

図6 - 30 OVF0フラグの動作タイミング



(7) 競合動作について

(a) 16ビット・キャプチャ/コンペア・レジスタ(CR00/CR01)のリード期間とキャプチャ・トリガ入力の競合(CR00/CR01はキャプチャ・レジスタとして使用)

キャプチャ・トリガ入力が優先されます(CR00/CR01のキャプチャ・データは正常)。
CR00/CR01のリード・データは不定となります。

(b) 16ビット・キャプチャ/コンペア・レジスタ(CR00/CR01)のキャプチャ・トリガ入力と16ビット・タイマ・カウンタ0(TM0)停止入力(TMC01 = TMC02 = 0)の競合(CR00/CR01はキャプチャ・レジスタとして使用)

CR00/CR01のキャプチャ・データは不定となります。

(8) タイマ動作について

- (a) 16ビット・タイマ・カウンタ0 (TM0) をリードしても、16ビット・キャプチャ/コンペア・レジスタ01 (CR01) にはキャプチャしません。
- (b) CPUの動作モードに関係なく、タイマが停止していると、外部入力 (TI00, TI01) のノイズは除去されません。

(9) キャプチャ動作について

- (a) カウント・クロックにTI00の有効エッジを指定した場合、TI00をトリガに指定したキャプチャ・レジスタは正常に動作できません。
- (b) TI00の有効エッジに立ち上がり、立ち下りの両エッジを選択した場合には、CR00はキャプチャ動作しません。
- (c) 確実にキャプチャするためのキャプチャ・トリガは、プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックの2回分より長いパルスが必要とします。
- (d) キャプチャ動作はカウント・クロックの立ち下りで行われますが、割り込み要求入力 (INTTM00, INTTM01) は次のカウント・クロックの立ち上がりで発生します。

(10) コンペア動作について

- (a) タイマ動作中に16ビット・キャプチャ/コンペア・レジスタ (CR00/CR01) を書き換えしないでください。CR00/CR01の書き換えは、必ずタイマを停止させてから行ってください。
- (b) コンペア・モードに設定したCR00/CR01は、キャプチャ・トリガが入力されてもキャプチャ動作を行いません。
- (c) CR00には0001H-FFFFH, CR01には0000H-FFFFHの値が設定可能です。CR01に0000Hを設定した場合は、オーバフロー後あるいはTM0とCR00の一致クリア後に、割り込み要求 (INTTM01) を発生します。

(11) エッジ検出について

- (a) システム・リセット直後にTI00端子がハイ・レベルの場合、TI00端子の有効エッジを立ち上がりまたは両エッジに指定し、16ビット・タイマ・カウンタ0 (TM0) の動作を許可すると、その直後に立ち上がりエッジを検出します。TI00端子またはTI01端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
- (b) TI00端子の有効エッジをカウント・クロックで使用する場合とキャプチャ・トリガとして使用する場合とで、ノイズ除去のためのサンプリング・クロックが異なります。前者は f_x で、後者は16ビット・タイマ・プリスケアラ・モード・レジスタ0 (PRM0) で選択したカウント・クロックでサンプリングします。前述のサンプリング・クロックでサンプリングして、TI00端子の有効レベルを2回検出することではじめてキャプチャ動作するため、短いパルス幅のノイズを除去できます。
- (c) TI00端子をカウント・クロックに選択した場合、ノイズ除去のサンプリング・クロックはメイン・システム・クロックを使用するため、メイン・システム・クロック停止時には使用できません。

(12) HALT動作について

HALT動作時は、4逓倍クロック回路が停止するため、カウント・クロックとして、 $4f_{XT}$ またはTI00有効エッジを選択できません。したがって、16ビット・タイマ/イベント・カウンタ0をHALT時に使用する場合は上記以外のカウント・クロックを選択してください。

第7章 8ビット・タイマ/イベント・カウンタ50, 51

7.1 8ビット・タイマ/イベント・カウンタ50, 51の機能

8ビット・タイマ/イベント・カウンタ50, 51には、次のような機能があります。

- ・インターバル・タイマ
- ・外部イベント・カウンタ
- ・方形波出力
- ・PWM出力

(1) 8ビット・インターバル・タイマ

あらかじめ設定した時間間隔で割り込みを発生します。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 方形波出力

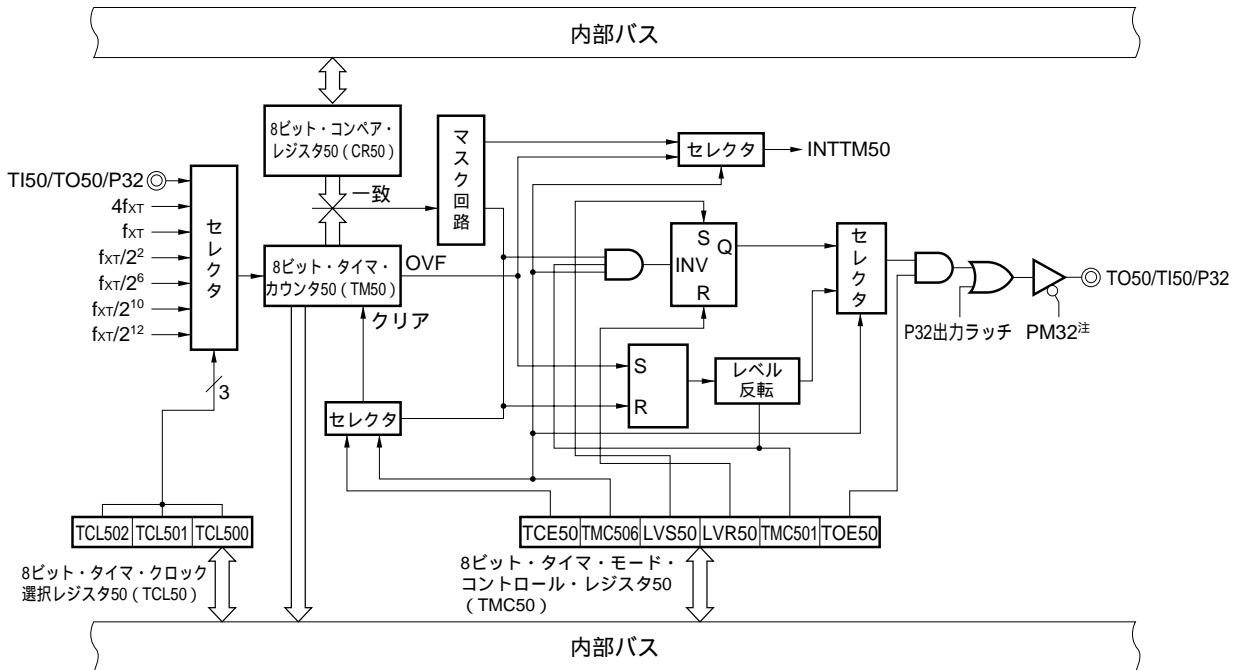
任意の周波数の方形波出力が可能です。

(4) PWM出力

8ビット分解能PWM出力が可能です。

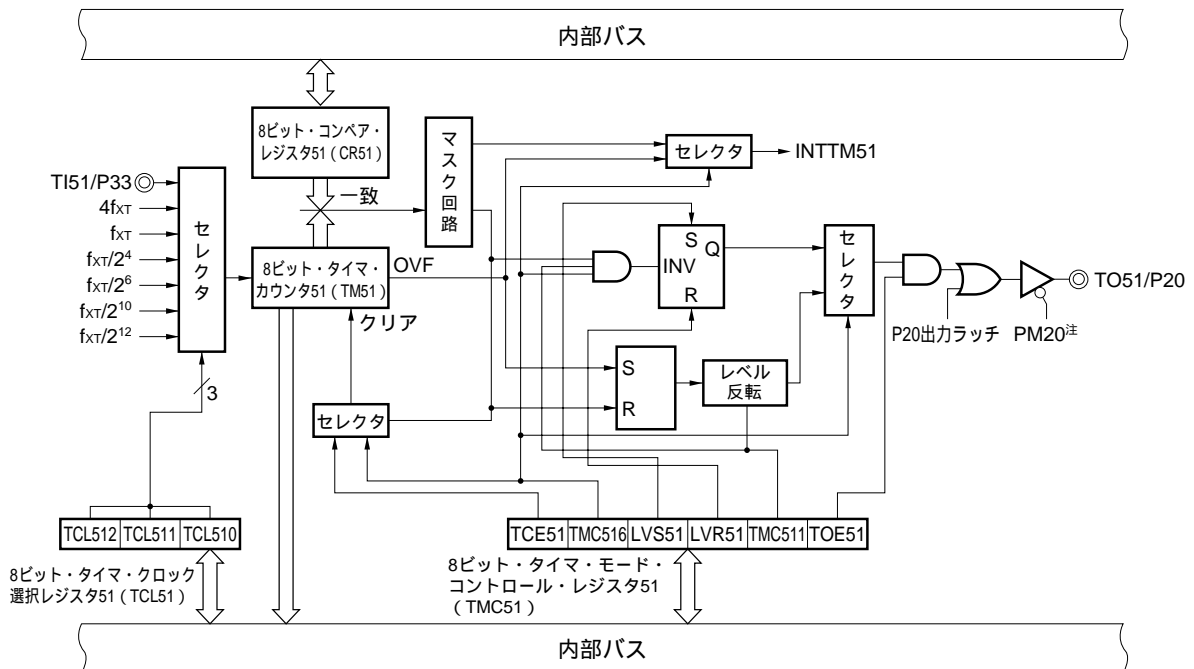
図7-1, 図7-2に, 8ビット・タイマ/イベント・カウンタ50, 51のブロック図を示します。

図7-1 8ビット・タイマ/イベント・カウンタ50のブロック図



注 ポート・モード・レジスタ3 (PM3) のビット2

図7-2 8ビット・タイマ/イベント・カウンタ51のブロック図



注 ポート・モード・レジスタ2 (PM2) のビット0

7.2 8ビット・タイマ/イベント・カウンタ50, 51の構成

8ビット・タイマ/イベント・カウンタ50, 51は、次のハードウェアで構成されています。

表7-1 8ビット・タイマ/イベント・カウンタ50, 51の構成

項 目	構 成
タイマ・レジスタ	8ビット×2本 (TM50, TM51)
レジスタ	コンペア・レジスタ : 8ビット×2本 (CR50, CR51)
タイマ出力	2本 (TO50, TO51)
制御レジスタ	8ビット・タイマ・クロック選択レジスタ (TCL50, TCL51) 8ビット・タイマ・モード・コントロール・レジスタ (TMC50, TMC51) ポート・モード・レジスタ (PM2, PM3)

(1) 8ビット・タイマ・カウンタ5n (TM5n)

カウント・パルスをカウントする8ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。また、動作中にカウント値を読み出した場合、カウント・クロックの入力を一時停止し、その時点でのカウント値を読み出します。次の場合、カウント値は00Hになります。

RESET入力

TCE5nをクリア

TM5nとCR5nの一致でクリア & スタート・モード時のTM5nとCR5nの一致

備考 n = 0, 1

(2) 8ビット・コンペア・レジスタ5n (CR5n)

CR5nに設定した値と8ビット・タイマ・カウンタ5n (TM5n) のカウント値を常に比較し、2つの値が一致したときに割り込み要求 (INTTM5n) を発生します (PWMモード以外)。

CR5nは、8ビット・メモリ操作命令で設定します。16ビット・メモリ操作命令では設定できません。CR5nの値は、00H-FFHの範囲で設定でき、カウント動作中の書き換えが可能です。

RESET入力により、00Hになります。

注意 PWMモードで使用するには、CR5nの値を設定してからTMC5nをPWMモードに設定してください。

備考 n = 0, 1

7.3 8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタ

8ビット・タイマ/イベント・カウンタ50, 51を制御するレジスタには、次の3種類があります。

- ・8ビット・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)
- ・ポート・モード・レジスタ2, 3 (PM2, PM3)

(1) 8ビット・タイマ・クロック選択レジスタ5n (TCL5n)

8ビット・タイマ・カウンタ5n (TM5n) のカウント・クロックを設定するレジスタです。

TCL5nは、8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

備考 n = 0, 1

図7-3 8ビット・タイマ・クロック選択レジスタ50のフォーマット

アドレス：FF72H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
TCL50	0	0	0	0	0	TCL502	TCL501	TCL500

TCL502	TCL501	TCL500	TM50のカウント・クロックの選択
0	0	0	TI50の立ち下がりエッジ ^注
0	0	1	TI50の立ち上がりエッジ ^注
0	1	0	4f _{XT} (131 kHz)
0	1	1	f _{XT} (32.768 kHz)
1	0	0	f _{XT} /2 ² (8.192 kHz)
1	0	1	f _{XT} /2 ⁶ (512 Hz)
1	1	0	f _{XT} /2 ¹⁰ (32 Hz)
1	1	1	f _{XT} /2 ¹² (8 Hz)

注 外部よりクロック入力する場合は、タイマ出力 (PWM出力) は使用できません。

注意1. TCL50を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

2. ビット3-7には必ず“0”を設定してください。

3. HALTモード時は4通倍クロック回路が停止するため、カウント・クロックとして4f_{XT}を選択することはできません。

備考1. f_{XT}：サブシステム・クロック発振周波数

2. () 内は、f_{XT} = 32.768 kHz動作時。

図7-4 8ビット・タイマ・クロック選択レジスタ51のフォーマット

アドレス : FF7AH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TCL51	0	0	0	0	0	TCL512	TCL511	TCL510

TCL512	TCL511	TCL510	TM51のカウンタ・クロックの選択
0	0	0	TI51の立ち下がりエッジ
0	0	1	TI51の立ち上がりエッジ
0	1	0	4f _{XT} (131 kHz)
0	1	1	f _{XT} (32.768 kHz)
1	0	0	f _{XT} /2 ⁴ (2.048 kHz)
1	0	1	f _{XT} /2 ⁶ (512 Hz)
1	1	0	f _{XT} /2 ¹⁰ (32 Hz)
1	1	1	f _{XT} /2 ¹² (8 Hz)

- 注意1. TCL51を同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。
2. ビット3-7には必ず“0”を設定してください。
3. HALTモード時は4通倍クロック回路が停止するため、カウンタ・クロックとして4f_{XT}を選択することはできません。

- 備考1. f_{XT} : サブシステム・クロック発振周波数
2. () 内は、f_{XT} = 32.768 kHz動作時。

(2) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

TMC5nは、次の5種類の設定を行うレジスタです。

- 8ビット・タイマ・カウンタ5n (TM5n) のカウント動作制御
- 8ビット・タイマ・カウンタ5n (TM5n) の動作モードの選択
- タイマ出力F/F (フリップフロップ) の状態設定
- タイマF/Fの制御またはPWM (フリーランニング) モード時のアクティブ・レベルの選択
- タイマ出力の制御

TMC5nは、1ビットまたは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

備考 n = 0, 1

図7-5 8ビット・タイマ・モード・コントロール・レジスタ50, 51のフォーマット

アドレス: FF73H (TMC50), FF7BH (TMC51) リセット時: 00H R/W

略号	6	5	4			1	①	
TMC5n	TCE5n	TMC5n6	0	0	LVS5n	LVR5n	TMC5n1	TOE5n

TCE5n	TM5nのカウント動作制御
0	カウンタを0にクリア後、カウント動作禁止 (プリスケアラ禁止)
1	カウント動作開始

TMC5n6	TM5nの動作モード選択
0	TM5nとCR5nの一致でクリア&スタート・モード
1	PWM (フリーランニング) モード

LVS5n	LVR5n	タイマ出力F/Fの状態設定
0	0	変化しない
0	1	タイマ出力F/Fをリセット (0)
1	0	タイマ出力F/Fをセット (1)
1	1	設定禁止

TMC5n1	PWMモード以外 (TMC5n6 = 0)	PWMモード (TMC5n6 = 1)
	タイマF/Fの制御	アクティブ・レベルの選択
0	反転動作禁止	ハイ・アクティブ
1	反転動作許可	ロウ・アクティブ

TOE5n	タイマ出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

- 注意1. ビット4, 5には必ず“0”を設定してください。
2. ビット2, 3はWrite Onlyです。
 3. ビット6により動作モードを変更する場合は, いったんタイマ動作を停止させてから行ってください。
 4. ビット0, 1を同時に書き換えるのは禁止です。
 5. TCE5nをクリア(0)する場合には, 割り込みマスク・フラグ(TMMK5n)をセット(1)してから行ってください。TCE5nをクリアしたときに割り込みが発生する可能性があります。TCE5nをクリア(0)するときの手順を次に示します

```
TMMK5n = 1 ; マスク・セット
TCE5n = 0   ; タイマ・クリア
TMIF5n = 0 ; 割り込み要求フラグ・クリア
TMMK5n = 0 ; マスク・クリア
      ⋮
TCE5n = 1   ; タイマ・スタート
      ⋮
```

- 備考1. PWMモード時は, TCE5n = 0により, PWM出力はインアクティブ・レベルになります。
2. データ設定後にLVS5n, LVR5nを読み出すと, 0が読み出せます。
 3. n = 0, 1

(3) ポート・モード・レジスタ2, 3 (PM2, PM3)

ポート2, 3の入力/出力を1ビット単位で設定するレジスタです。

P20/TO51端子をタイマ出力 (TO51) として使用するときは, PM20および, P20の出力ラッチに0を設定してください。

P32/TO50/TI50/INTP2端子をタイマ出力 (TO50) として使用するときは, PM32および, P32の出力ラッチに0を設定してください。タイマ入力 (TI50) として使用するときは, PM32に1を設定してください。

P33/TI51/INTP3端子をタイマ入力 (TI51) として使用するときは, PM33に1を設定してください。

PM2, PM3は1ビットまたは8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, FFHになります。

図7-6 ポート・モード・レジスタ2, 3のフォーマット

アドレス : FF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	1	1	1	1	1	PM22	PM21	PM20

アドレス : FF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	PM33	PM32	PM31	PM30

PMmn	Pmn端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 mn = 20-22, 30-33

7.4 8ビット・タイマ/イベント・カウンタ50, 51の動作

7.4.1 インターバル・タイマ (8ビット) としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) を図7-7のように設定することにより、インターバル・タイマとして動作します。8ビット・コンペア・レジスタ5n (CR5n) にあらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生します。

8ビット・タイマ・カウンタ5n (TM5n) のカウント値がCR5nに設定した値と一致したとき、TM5nの値を0にクリアしてカウントを継続するとともに割り込み要求信号 (INTTM5n) を発生します。8ビット・タイマ・クロック選択レジスタ5n (TCL5n) で8ビット・タイマ・カウンタ5n (TM5n) のカウント・クロックを選択できます。

なお、インターバル・タイマとしてカウント動作中にコンペア・レジスタの値を変更することは禁止です。必ずタイマ停止してから変更してください。

[設定方法]

各レジスタの設定を行います。

- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : TM5nとCR5nの一致でクリア & スタート・モードを選択
(TMC5n = 0000 x x x 0B x = don't care)

TCE5n = 1を設定すると、カウント動作を開始します。

TM5nとCR5nの値が一致すると、INTTM5nが発生します (TM5nは00Hにクリアされます)。

以後、同一間隔でINTTM5nが繰り返し発生します。カウント動作を停止するときは、TCE5n = 0にしてください。

備考 n = 0, 1

図7-7 インターバル・タイマ動作時の8ビット・タイマ・モード・コントロール・レジスタの設定内容

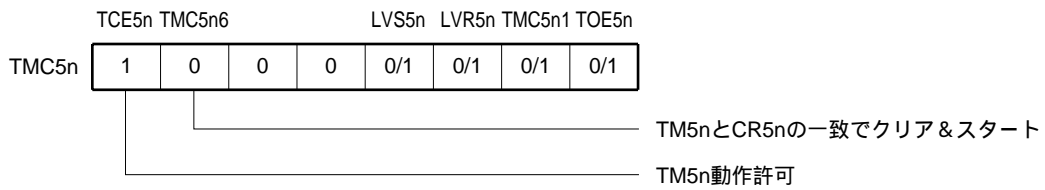
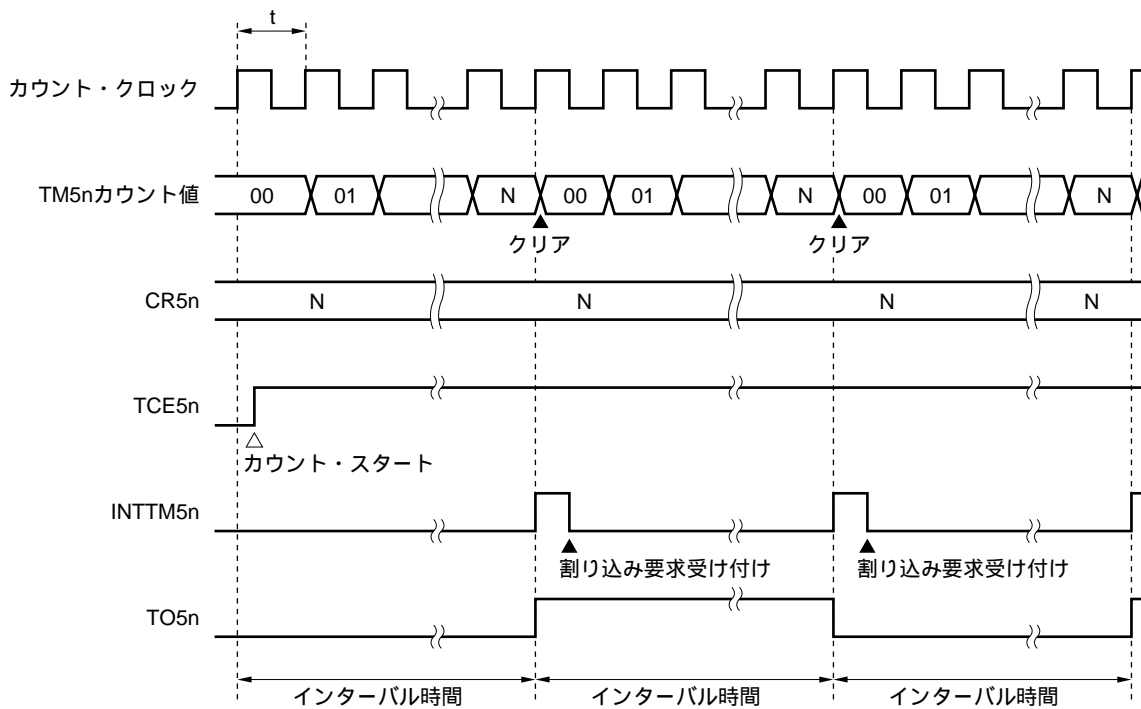


図7-8 インターバル・タイマ動作のタイミング (1/3)

(a) 基本動作



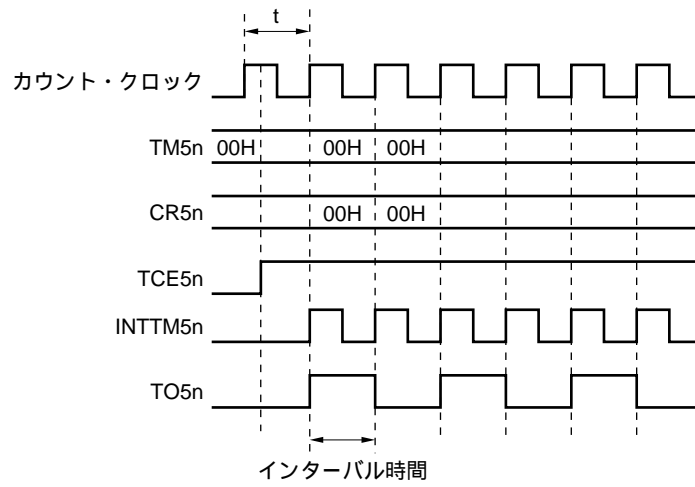
備考1. インターバル時間 = $(N+1) \times t$

N = 00H-FFH

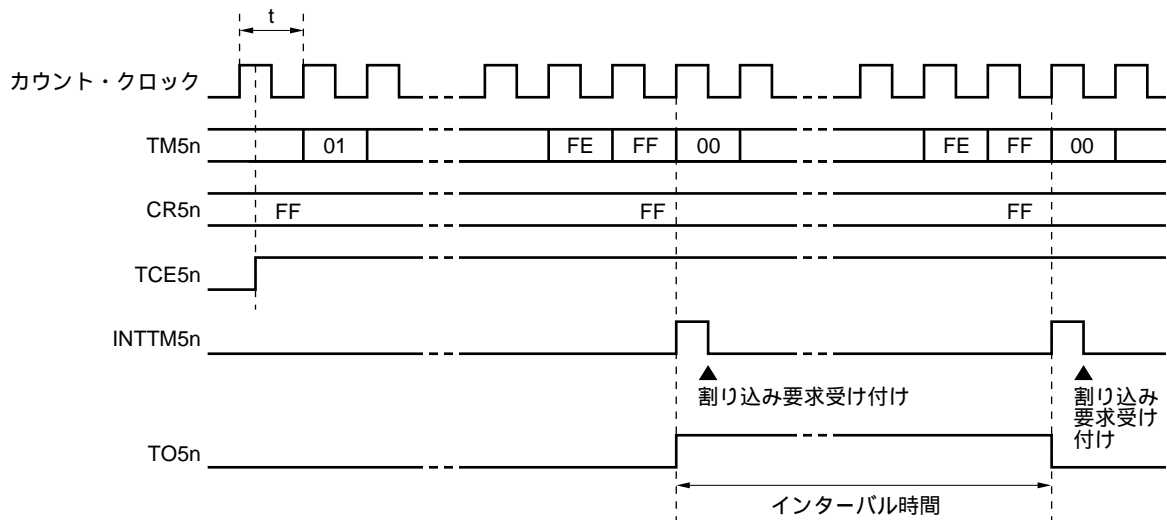
2. n = 0, 1

図7-8 インターバル・タイマ動作のタイミング (2/3)

(b) CR5n = 00Hの場合



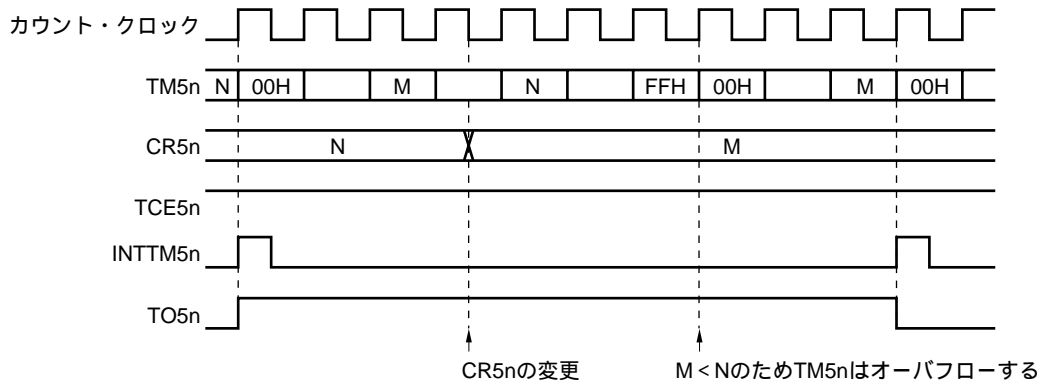
(c) CR5n = FFHの場合



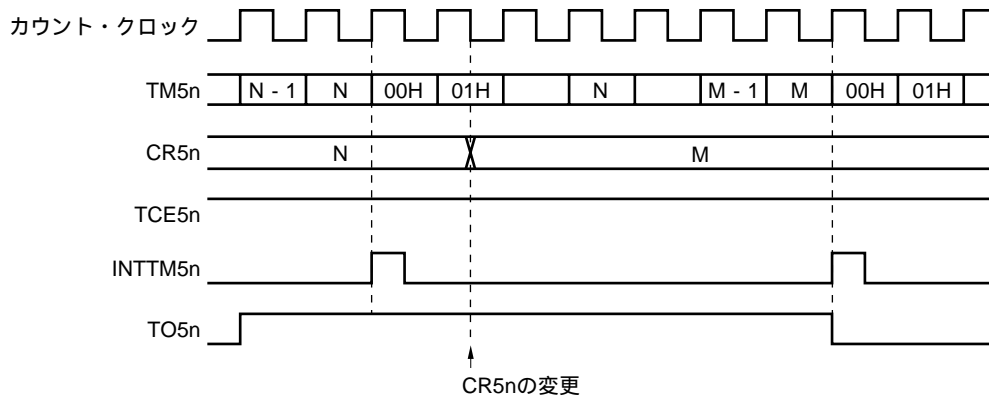
備考 n = 0, 1

図7-8 インターバル・タイマ動作のタイミング (3/3)

(d) CR5n変更による動作 (M < N)



(e) CR5n変更による動作 (M > N)



備考 n = 0, 1

表7-2 8ビット・タイマ/イベント・カウンタ50のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/4f_{XT}$ (7.62 μ s)	$2^6 \times 1/f_{XT}$ (1.95 ms)	$1/4f_{XT}$ (7.62 μ s)
$1/f_{XT}$ (30.5 μ s)	$2^8 \times 1/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
$2^2 \times 1/f_{XT}$ (122 μ s)	$2^{10} \times 1/f_{XT}$ (31.2 ms)	$2^2 \times 1/f_{XT}$ (122 μ s)
$2^6 \times 1/f_{XT}$ (1.95 ms)	$2^{14} \times 1/f_{XT}$ (500 ms)	$2^6 \times 1/f_{XT}$ (1.95 ms)
$2^{10} \times 1/f_{XT}$ (31.2 ms)	$2^{18} \times 1/f_{XT}$ (8 s)	$2^{10} \times 1/f_{XT}$ (31.2 ms)
$2^{12} \times 1/f_{XT}$ (125 ms)	$2^{20} \times 1/f_{XT}$ (32 s)	$2^{12} \times 1/f_{XT}$ (125 ms)

備考1. f_{XT} : サブシステム・クロック発振周波数2. () 内は, $f_{XT} = 32.768$ kHz動作時。

表7-3 8ビット・タイマ/イベント・カウンタ51のインターバル時間

最小インターバル時間	最大インターバル時間	分解能
$1/4f_{XT}$ (7.62 μ s)	$2^6 \times 1/f_{XT}$ (1.95 ms)	$1/4f_{XT}$ (7.62 μ s)
$1/f_{XT}$ (30.5 μ s)	$2^8 \times 1/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
$2^4 \times 1/f_{XT}$ (488 μ s)	$2^{12} \times 1/f_{XT}$ (125 ms)	$2^4 \times 1/f_{XT}$ (488 μ s)
$2^6 \times 1/f_{XT}$ (1.95 ms)	$2^{14} \times 1/f_{XT}$ (500 ms)	$2^6 \times 1/f_{XT}$ (1.95 ms)
$2^{10} \times 1/f_{XT}$ (31.2 ms)	$2^{18} \times 1/f_{XT}$ (8 s)	$2^{10} \times 1/f_{XT}$ (31.2 ms)
$2^{12} \times 1/f_{XT}$ (125 ms)	$2^{20} \times 1/f_{XT}$ (32 s)	$2^{12} \times 1/f_{XT}$ (125 ms)

備考1. f_{XT} : サブシステム・クロック発振周波数2. () 内は, $f_{XT} = 32.768$ kHz動作時。

7.4.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5nに入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ5n (TM5n) でカウントするものです。

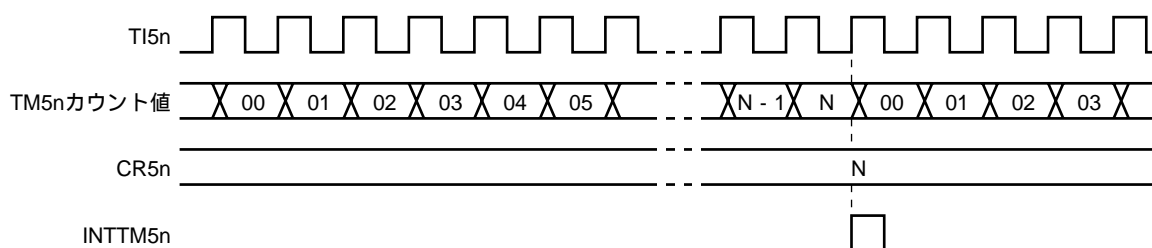
8ビット・タイマ・クロック選択レジスタ5n (TCL5n) で指定した有効エッジが入力されるたびに、TM5nがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりのいずれかを選択できます。

TM5nの計数値が8ビット・コンペア・レジスタ5n (CR5n) の値と一致すると、TM5nは0にクリアされ、割り込み要求信号 (INTTM5n) が発生します。

以後、TM5nの値とCR5nの値が一致するたびに、INTTM5nが発生します。

備考 n = 0, 1

図7-9 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



n = 0, 1

7.4.3 方形波出力 (8ビット分解能) としての動作

8ビット・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値をインターバルとする, 任意の周波数の方形波出力として動作します。

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット1 (TMC5n1) とビット0 (TOE5n) に1を設定することにより, CR5nにあらかじめ設定したカウント値をインターバルとしてTO5n端子の出力状態が反転します。これにより, 任意の周波数の方形波出力 (デューティ = 50%) が可能です。

[設定方法]

各レジスタの設定を行います。

- ・ポート・ラッチ, ポート・モード・レジスタに“0”を設定
- ・TCL5n : カウント・クロックの選択
- ・CR5n : コンペア値
- ・TMC5n : TM5nとCR5nの一致でクリア&スタート・モードを選択

LVS5n	LVR5n	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可

タイマ出力許可 TOE5n = 1

TCE5n = 1を設定すると, カウント動作を開始します。

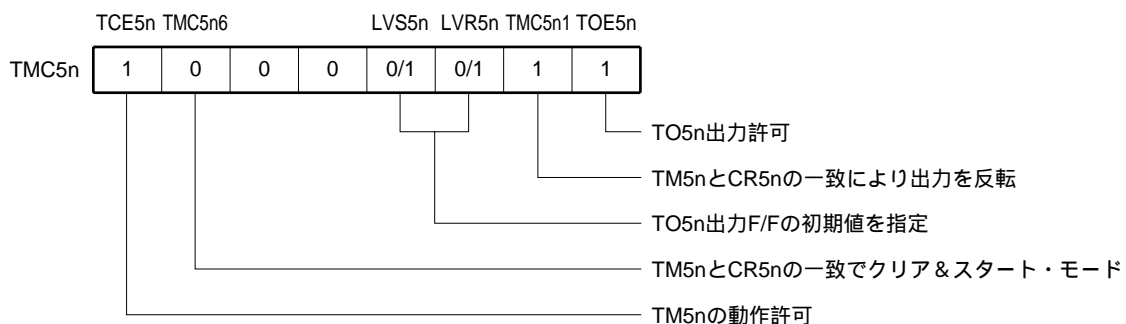
TM5nとCR5nの値が一致すると, タイマ出力F/Fが反転します。

また, INTTM5nが発生し, TM5nは00Hにクリアされます。

以後, 同一間隔でタイマ出力F/Fが反転し, TO5nから方形波が出力されます。

備考 n = 0, 1

図7 - 10 方形波出力動作時の8ビット・タイマ・モード・コントロール・レジスタの設定内容

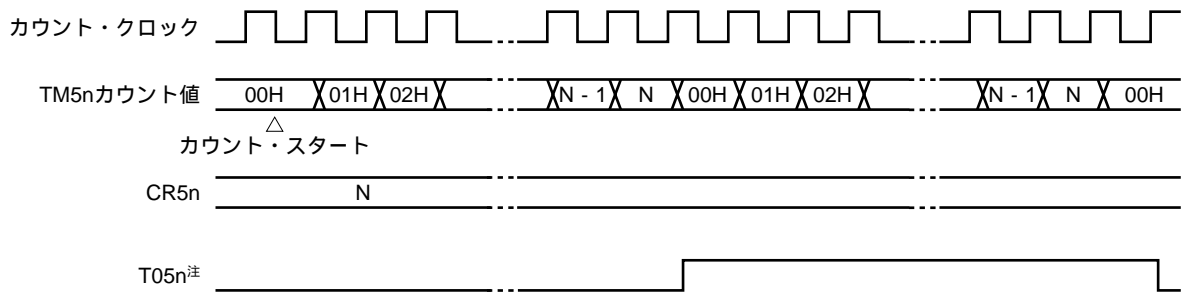


注意 TO50/P32/TI50/INTP2端子をタイマ出力として使用する場合は, ポート・モード・レジスタ3 (PM3) および出力ラッチに0を設定してください。

TO51/P20端子をタイマ出力として使用する場合は, ポート・モード・レジスタ2 (PM2) および出力ラッチに0を設定してください。

備考 n = 0, 1

図7 - 11 方形波出力動作のタイミング



注 TO5n出力の初期値は、8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) のビット2, 3 (LVR5n, LVS5n) で設定できます。

備考 n = 0, 1

表7 - 4 8ビット・タイマ/イベント・カウンタ50の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$1/4f_{XT}$ (7.62 μ s)	$2^6 \times 1/f_{XT}$ (1.95 ms)	$1/4f_{XT}$ (7.62 μ s)
$1/f_{XT}$ (30.5 μ s)	$2^8 \times 1/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
$2^2 \times 1/f_{XT}$ (122 μ s)	$2^{10} \times 1/f_{XT}$ (31.2 ms)	$2^2 \times 1/f_{XT}$ (122 μ s)
$2^6 \times 1/f_{XT}$ (1.95 ms)	$2^{14} \times 1/f_{XT}$ (500 ms)	$2^6 \times 1/f_{XT}$ (1.95 ms)
$2^{10} \times 1/f_{XT}$ (31.2 ms)	$2^{18} \times 1/f_{XT}$ (8 s)	$2^{10} \times 1/f_{XT}$ (31.2 ms)
$2^{12} \times 1/f_{XT}$ (125 ms)	$2^{20} \times 1/f_{XT}$ (32 s)	$2^{12} \times 1/f_{XT}$ (125 ms)

備考1. f_{XT} : サブシステム・クロック発振周波数

2. () 内は、 $f_{XT} = 32.768$ kHz動作時。

表7 - 5 8ビット・タイマ/イベント・カウンタ51の方形波出力範囲

最小パルス幅	最大パルス幅	分解能
$1/4f_{XT}$ (7.62 μ s)	$2^6 \times 1/f_{XT}$ (1.95 ms)	$1/4f_{XT}$ (7.62 μ s)
$1/f_{XT}$ (30.5 μ s)	$2^8 \times 1/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
$2^4 \times 1/f_{XT}$ (488 μ s)	$2^{12} \times 1/f_{XT}$ (125 ms)	$2^4 \times 1/f_{XT}$ (488 μ s)
$2^6 \times 1/f_{XT}$ (1.95 ms)	$2^{14} \times 1/f_{XT}$ (500 ms)	$2^6 \times 1/f_{XT}$ (1.95 ms)
$2^{10} \times 1/f_{XT}$ (31.2 ms)	$2^{18} \times 1/f_{XT}$ (8 s)	$2^{10} \times 1/f_{XT}$ (31.2 ms)
$2^{12} \times 1/f_{XT}$ (125 ms)	$2^{20} \times 1/f_{XT}$ (32 s)	$2^{12} \times 1/f_{XT}$ (125 ms)

備考1. f_{XT} : サブシステム・クロック発振周波数

2. () 内は、 $f_{XT} = 32.768$ kHz動作時。

7.4.4 8ビットPWM出力としての動作

8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) を図7-12のように設定することにより、PWM出力として動作します。

8ビット・コンペア・レジスタ5n (CR5n) にあらかじめ設定した値で決まるデューティ比のパルスを、TO5n端子から出力します。

PWMパルスのアクティブ・レベルは、TMC5nのビット1 (TMC5n1) で設定します。

このPWMパルスには8ビット分解能があります。外部ロウ・パス・フィルタ (LPF) と統合することにより、このパルスをアナログ電圧に変換することができます。

TMC5nのビット0 (TOE5n) により、PWM出力の許可/禁止が選択できます。

[設定方法]

タイマ50の場合、P32を出力モード (PM32 = 0) に設定し、P32の出力ラッチに0を設定

タイマ51の場合、P20を出力モード (PM20 = 0) に設定し、P20の出力ラッチに0を設定します。

8ビット・コンペア・レジスタ5n (CR5n) でアクティブ・レベル幅を設定します。

8ビット・タイマ・クロック選択レジスタ5n (TCL5n) で、カウント・クロックを選択します。

TMC5nのビット1 (TMC5n1) で、アクティブ・レベルを設定します。

TMC5nのビット7 (TCE5n) に “1” を設定すると、カウント動作を開始します。

カウント動作を停止するときは、TCE5nに “0” を設定してください。

[PWM出力の動作]

カウント動作を開始すると、PWM出力 (TO5nからの出力) はオーバフローが発生するまでインアクティブ・レベルを出力します。

オーバフローが発生すると、設定方法 で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nと8ビット・タイマ・カウンタ5n (TM5n) のカウント値が一致するまで出力されます。

CR5nとカウント値が一致したあとのPWM出力は、再度オーバフローが発生するまでインアクティブ・レベルを出力します。

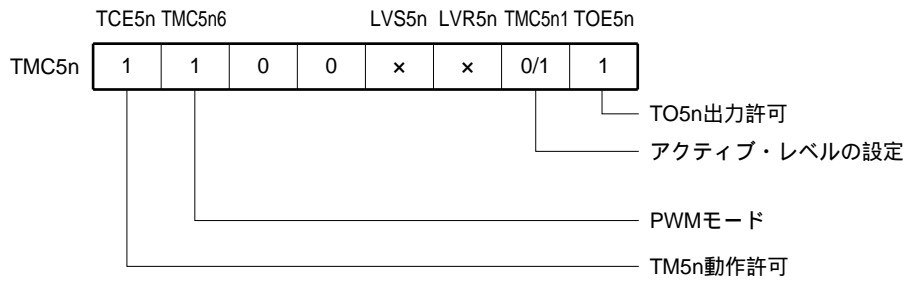
以後、カウント動作が停止されるまで、を繰り返します。

TCE5n = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

注意 PWMモード時のCR5nの書き換えは、1周期に1回のみ可能です。

備考 n = 0, 1

図7 - 12 PWM出力動作時の8ビット・タイマ・コントロール・レジスタ5nの設定内容



備考1. x : don't care

2. n = 0, 1

図7 - 13 PWM出力の動作タイミング (アクティブ・レベル = Hのとき)

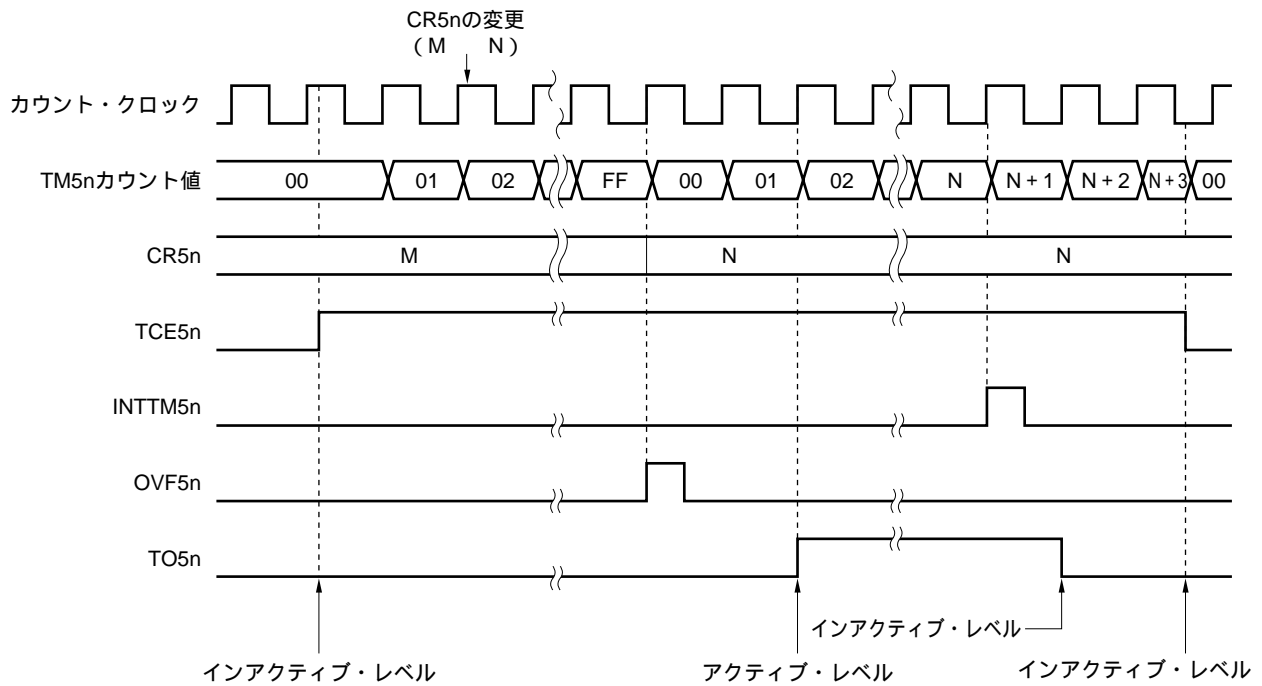


図7 - 14 PWM出力の動作タイミング (CR5n = 00H, アクティブ・レベル = Hのとき)

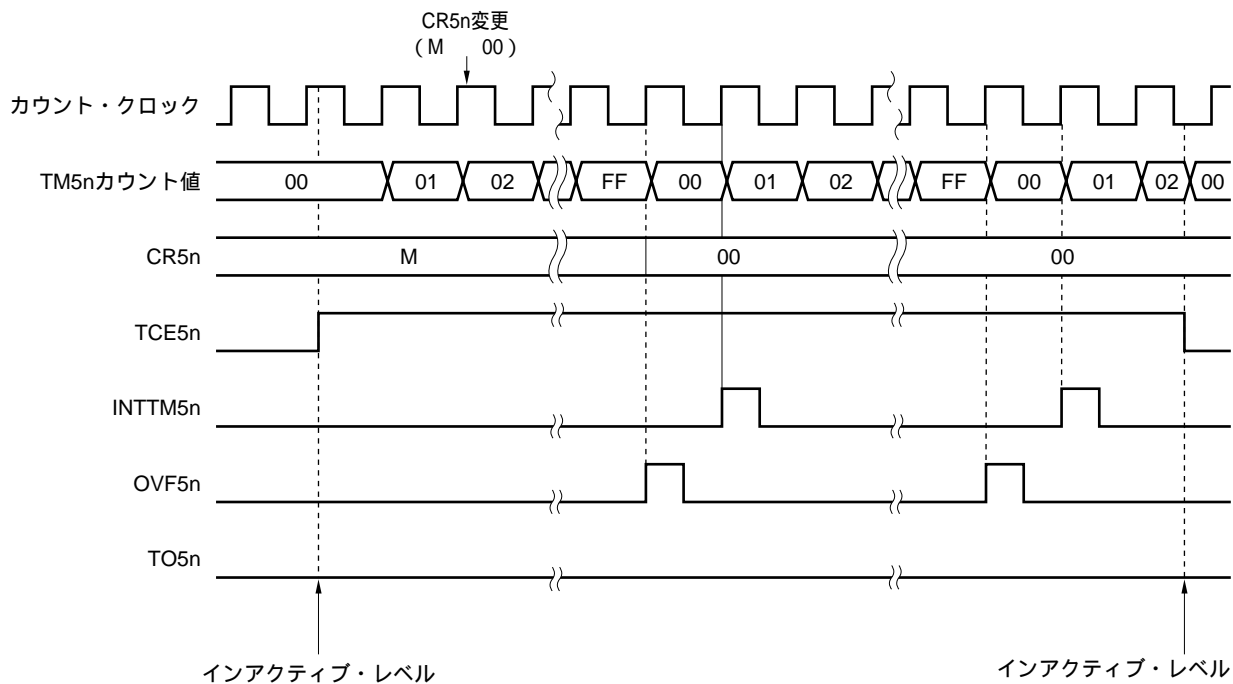
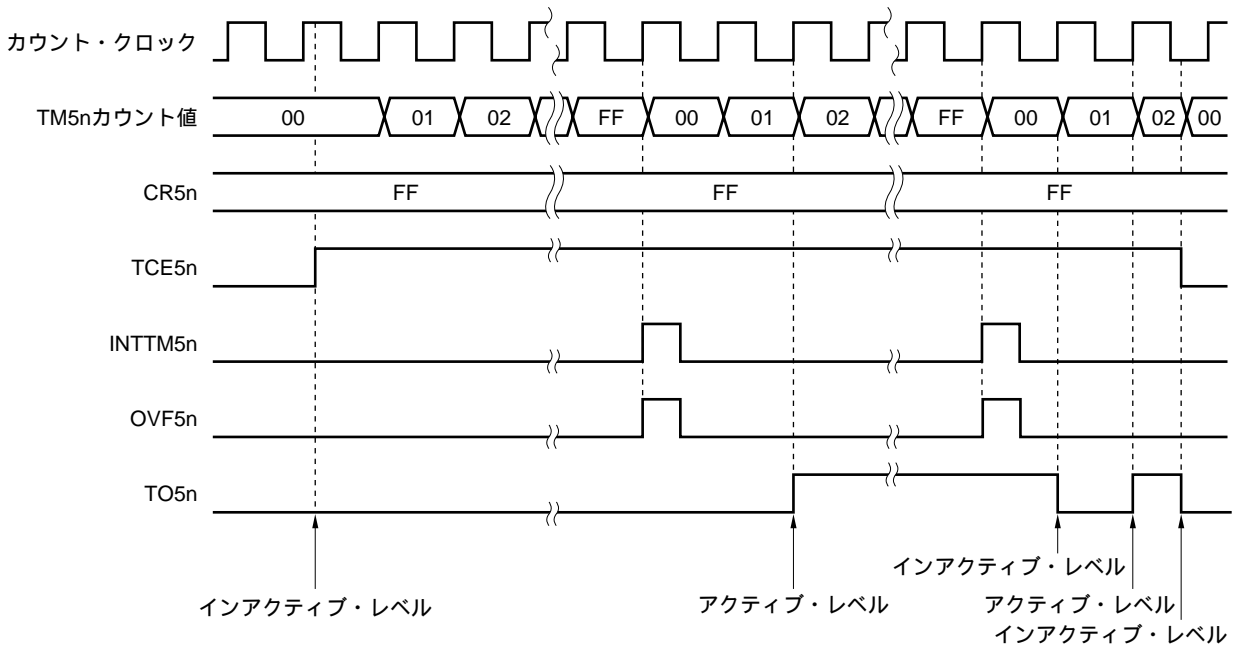
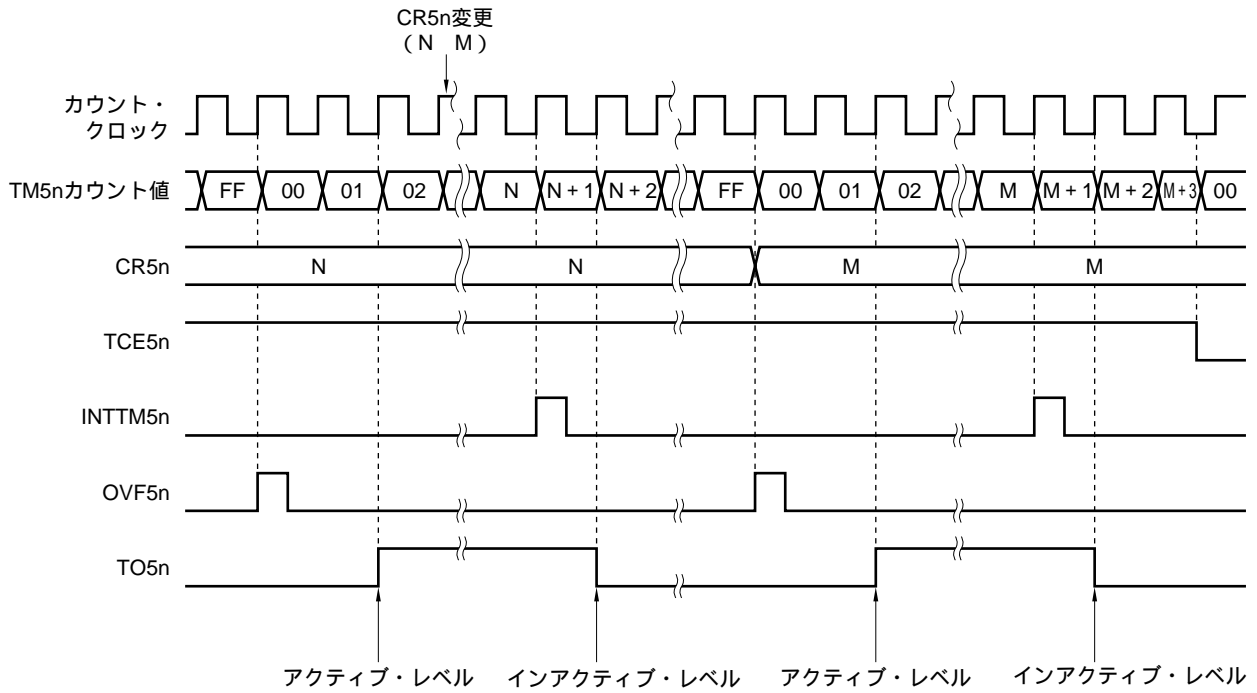


図7 - 15 PWM出力の動作タイミング (CR5n = FFH, アクティブ・レベル = Hのとき)



備考 n = 0, 1

図7 - 16 PWM出力の動作タイミング (CR5n変更, アクティブ・レベル = Hのとき)



注意 TM5nの動作中にCR5nが変更された場合, TM5nがオーバーフローするまで変更された値は反映されません。

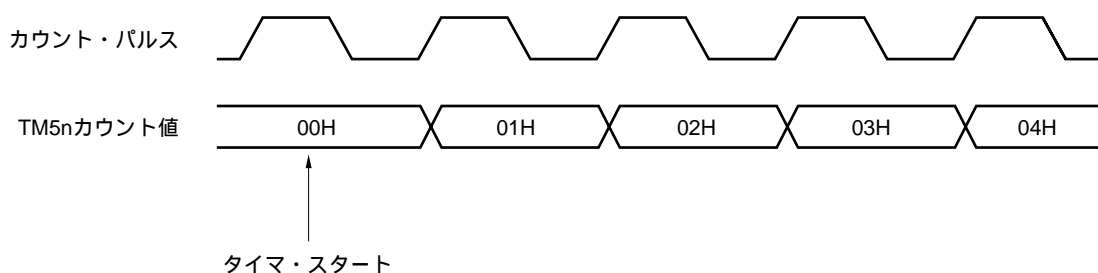
備考 n = 0, 1

7.5 8ビット・タイマ/イベント・カウンタ50, 51の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対して8ビット・タイマ・カウンタ5n (TM5n) が非同期でスタートするためです。

図7 - 17 8ビット・タイマ・カウンタ5n (TM5n) のスタート・タイミング



備考 n = 0, 1

(2) PWMモード以外でのタイマ・カウント動作中のコンペア・レジスタの変更禁止

8ビット・コンペア・レジスタ5n (CR5n) はPWMモード以外ではタイマ動作中に値を変更することはできません。変更するときは必ずタイマを停止してください。

(3) HALT動作について

HALT動作時は4逓倍クロック回路が停止するため、カウント・クロックとして $4f_{XT}$ を選択できません。HALTモードで使用する場合には、 $4f_{XT}$ 以外のカウント・クロックを選択してください。

(4) TI50, TO50端子について

TI50とTO50は同一端子に割り当てられていますので、両機能を同時に使うことはできません。

第8章 ウォッチドッグ・タイマ

8.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください (ウォッチドッグ・タイマとインターバル・タイマは同時に使用できません)。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたはRESETを発生することができます。

表8-1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} = 38.4 \text{ kHz}$ 動作時
$2^{12} \times 1/f_{XT}$	125 ms	106.7 ms
$2^{13} \times 1/f_{XT}$	250 ms	213.3 ms
$2^{14} \times 1/f_{XT}$	500 ms	426.7 ms
$2^{15} \times 1/f_{XT}$	1 s	853.3 ms
$2^{16} \times 1/f_{XT}$	2 s	1.71 s
$2^{17} \times 1/f_{XT}$	4 s	3.41 s
$2^{18} \times 1/f_{XT}$	8 s	6.83 s
$2^{20} \times 1/f_{XT}$	32 s	27.3 s

f_{XT} : サブシステム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表8-2 インターバル時間

インターバル時間	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} = 38.4 \text{ kHz}$ 動作時
$2^{12} \times 1/f_{XT}$	125 ms	106.7 ms
$2^{13} \times 1/f_{XT}$	250 ms	213.3 ms
$2^{14} \times 1/f_{XT}$	500 ms	426.7 ms
$2^{15} \times 1/f_{XT}$	1 s	853.3 ms
$2^{16} \times 1/f_{XT}$	2 s	1.71 s
$2^{17} \times 1/f_{XT}$	4 s	3.41 s
$2^{18} \times 1/f_{XT}$	8 s	6.83 s
$2^{20} \times 1/f_{XT}$	32 s	27.3 s

f_{XT} : サブシステム・クロック発振周波数

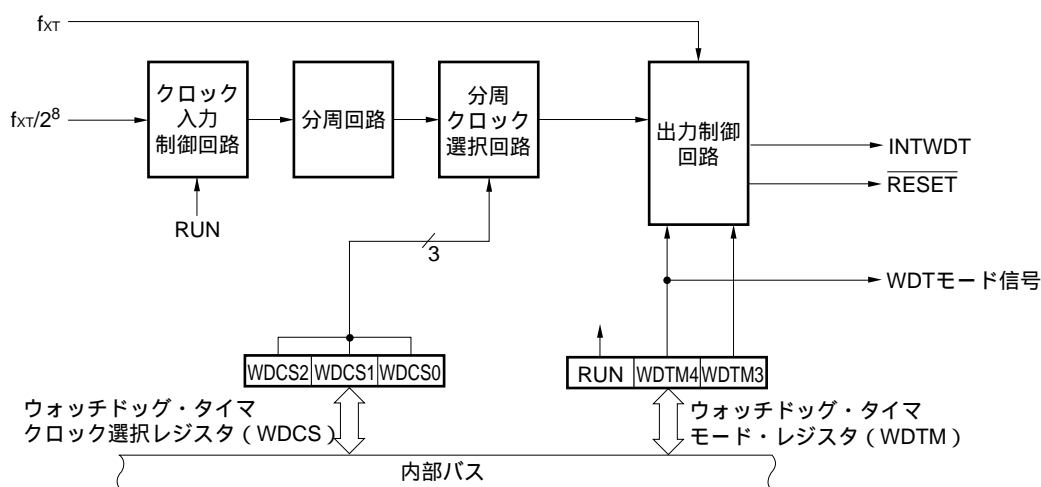
8.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表8-3 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図8-1 ウォッチドッグ・タイマのブロック図



8.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図8-2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF4AH	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ/インターバル・タイマのオーバーフロー時間		
				$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} = 38.4 \text{ kHz}$ 動作時
0	0	0	$2^{12} \times 1/f_{XT}$	125 ms	106.7 ms
0	0	1	$2^{13} \times 1/f_{XT}$	250 ms	213.3 ms
0	1	0	$2^{14} \times 1/f_{XT}$	500 ms	426.7 ms
0	1	1	$2^{15} \times 1/f_{XT}$	1 s	853.3 ms
1	0	0	$2^{16} \times 1/f_{XT}$	2 s	1.71 s
1	0	1	$2^{17} \times 1/f_{XT}$	4 s	3.41 s
1	1	0	$2^{18} \times 1/f_{XT}$	8 s	6.83 s
1	1	1	$2^{20} \times 1/f_{XT}$	32 s	27.3 s

備考 f_{XT} : サブシステム・クロック発振周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可 / 禁止を設定するレジスタです。
 WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により，00Hになります。

図8-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号		6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FF49H	00H	R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	1	インターバル・タイマ・モード (オーバーフロー発生時，マスカブル割り込み (INTWDT) 発生) ^{注3}
1	0	ウォッチドッグ・タイマ・モード1 (オーバーフロー発生時，ノンマスカブル割り込み (INTWDT) 発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時，リセット動作を起動)

- 注1. RUNは，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。
2. WDTM3, WDTM4は，一度セット (1) されると，ソフトウェアでクリア (0) することはできません。
3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

- 注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバーフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) で設定した時間より最大 $2^8/f_{\text{XT}}$ 秒短くなります。
2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，WDTIF (割り込み要求フラグ・レジスタ0 (IF0) のビット0) が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態では，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。
3. INTWDTのベクタ・アドレスが，開発ツール (ICE) では0002H，デバイスでは0004Hになっているので，割り込み処理分岐アドレスは0002Hと0004Hの両方を設定してください。

8.4 ウォッチドッグ・タイマの動作

8.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマの暴走検出時間間隔を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスクブル割り込みが発生します。

注意1. 実際の暴走検出時間は設定時間に対して最大 $2^8/f_{XT}$ 秒短くなる場合があります。

2. INTWDTのベクタ・アドレスが、開発ツール (ICE) では0002H、デバイスでは0004Hになっているので、割り込み処理分岐アドレスは0002Hと0004Hの両方を設定してください。

表8 - 4 ウォッチドッグ・タイマの暴走検出時間

WDCS2	WDCS1	WDCS0	暴走検出時間	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} = 38.4 \text{ kHz}$ 動作時
0	0	0	$2^{12} \times 1/f_{XT}$	125 ms	106.7 ms
0	0	1	$2^{13} \times 1/f_{XT}$	250 ms	213.3 ms
0	1	0	$2^{14} \times 1/f_{XT}$	500 ms	426.7 ms
0	1	1	$2^{15} \times 1/f_{XT}$	1 s	853.3 ms
1	0	0	$2^{16} \times 1/f_{XT}$	2 s	1.71 s
1	0	1	$2^{17} \times 1/f_{XT}$	4 s	3.41 s
1	1	0	$2^{18} \times 1/f_{XT}$	8 s	6.83 s
1	1	1	$2^{20} \times 1/f_{XT}$	32 s	27.3 s

f_{XT} : サブシステム・クロック発振周波数

8.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

- 注意1.** 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) とRESET入力されないかぎり, インターバル・タイマ・モードになりません。
- 2.** WDTMで設定した直後のインターバル時間は, 設定時間に対して最大 $2^8/f_{XT}$ 秒短くなる場合があります。

表8 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} = 38.4 \text{ kHz}$ 動作時
0	0	0	$2^{12} \times 1/f_{XT}$	125 ms	106.7 ms
0	0	1	$2^{13} \times 1/f_{XT}$	250 ms	213.3 ms
0	1	0	$2^{14} \times 1/f_{XT}$	500 ms	426.7 ms
0	1	1	$2^{15} \times 1/f_{XT}$	1 s	853.3 ms
1	0	0	$2^{16} \times 1/f_{XT}$	2 s	1.71 s
1	0	1	$2^{17} \times 1/f_{XT}$	4 s	3.41 s
1	1	0	$2^{18} \times 1/f_{XT}$	8 s	6.83 s
1	1	1	$2^{20} \times 1/f_{XT}$	32 s	27.3 s

f_{XT} : サブシステム・クロック発振周波数

第9章 シリアル・インタフェースUART0

9.1 シリアル・インタフェースUART0の機能

シリアル・インタフェースUART0には、次の2種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

詳細については9.4.1を参照してください。

(2) アシクロナス・シリアル・インタフェース (UART) モード

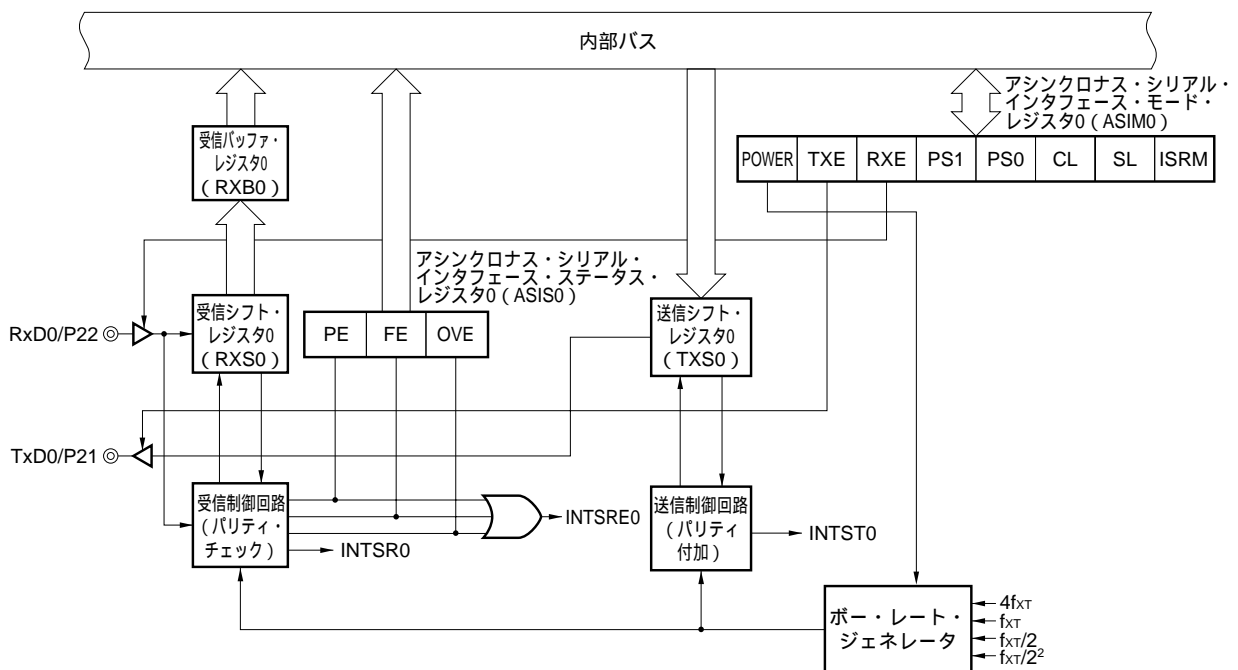
スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ポー・レート・ジェネレータを内蔵しており、広範囲な任意のポー・レートで通信できます。

詳細については9.4.2を参照してください。

図9-1に、シリアル・インタフェースUART0のブロック図を示します。

図9-1 シリアル・インタフェースUART0のブロック図



備考 アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット7 (POWER) を設定することにより、ポー・レート・ジェネレータの動作/停止を制御できます。

9.2 シリアル・インタフェースUART0の構成

シリアル・インタフェースUART0は、次のハードウェアで構成されています。

表9-1 シリアル・インタフェースUART0の構成

項 目	構 成
レジスタ	送信シフト・レジスタ0 (TXS0) 受信シフト・レジスタ0 (RXS0) 受信バッファ・レジスタ0 (RXB0)
制御レジスタ	アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

(1) 送信シフト・レジスタ0 (TXS0)

送信データを設定するレジスタです。TXS0に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS0に書き込んだデータのビット0-6が送信データとして転送されます。TXS0にデータを書き込むことにより、送信動作を開始します。

TXS0は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS0への書き込みを行わないでください。送信完了割り込み (INTST) が発生してから次の送信データを書き込んでください。

(2) 受信シフト・レジスタ0 (RXS0)

RxD0端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ0 (RXB0) へ転送します。

RXS0はプログラムで直接操作できません。

(3) 受信バッファ・レジスタ0 (RXB0)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ0 (RXS0) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB0のビット0-6に転送され、RXB0のMSBは必ず0になります。

RXB0は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、送信シフト・レジスタ0 (TXS0) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) に設定された内容に従って、受信動作を制御します。また、受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) にセットします。

9.3 シリアル・インタフェースUART0を制御するレジスタ

シリアル・インタフェースUART0は、次の3種類のレジスタで制御します。

- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

UARTの動作許可/禁止の設定および、シリアル転送動作を制御する8ビットのレジスタです。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

図9-2にASIM0のフォーマットを示します。

注意 UARTモード時、ポート・モード・レジスタ2 (PM2) とその出力ラッチを次のように設定してください。

- ・受信時

P22 (RxD0) を入力モード (PM22 = 1) に設定

- ・送信時

P21 (TxD0) を出力モード (PM21 = 0) に設定、出力ラッチを1に設定

- ・送受信時

P22を入力モード、P21を出力モードにそれぞれ設定、P21の出力ラッチを1に設定

図9 - 2 アシクロナス・シリアル・インタフェース・モード・レジスタ0のフォーマット

アドレス：FF90H リセット時：01H R/W

略号				4	3	2	1	0
ASIM0	POWER	TXE	RXE	PS1	PS0	CL	SL	ISRM

POWER	動作モードの指定
0	動作禁止（内部回路を非同期リセットします）
1	動作許可

TXE	RXE	動作モード	RxD0/P22端子の機能	TxD0/P21端子の機能
0	0	動作停止	ポート機能（P22）	ポート機能（P21）
0	1	UARTモード（受信のみ）	シリアル機能（RxD0）	ポート機能（P21）
1	0	UARTモード（送信のみ）	ポート機能（P22）	シリアル機能（TxD0）
1	1	UARTモード（送受信）	シリアル機能（RxD0）	シリアル機能（TxD0）

PS1	PS0	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時，常に0パリティ付加 受信時，パリティの検出をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CL	送受信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM	エラー発生時の受信完了割り込み制御
0	エラー発生時，受信完了割り込み要求（INTSR0）を発生しないで，受信エラー発生割り込み（INTSRE0）を発生
1	エラー発生時，受信完了割り込み要求（INTSR0）を発生する （受信エラー発生割り込み（INTSRE0）を発生しない）

- 注意1. 動作モードの切り替えは，シリアル送受信動作を停止させたのちに行ってください。
2. TxD0端子の出力は，POWER = 0でロウ・レベル，POWER = 1でハイ・レベルになります。したがって，動作許可時には通信相手側の誤動作を防ぐため，POWER = 1（動作許可）設定後に，TxD0/P21を出力モードに設定してください。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

UARTモードで受信エラー発生時，エラーの種類を表示するレジスタです。

ASIS0は，8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図9 - 3 アシクロナス・シリアル・インタフェース・ステータス・レジスタ0のフォーマット

アドレス：FF93H リセット時：00H R

略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE	FE	OVE

PE	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2, 3} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット1 (SL) でストップ・ビット長を2ビットに設定した場合も，受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき，受信バッファ・レジスタ0 (RXB0) を必ず読み出して下さい。
- RXB0を読み出すまで，データ受信のたびにオーバラン・エラーが発生し続けます。
3. オーバラン・エラーが発生した場合，次の受信データはRXB0に書き込まれず，破棄されます。

(3) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

UARTのシリアル・クロックを設定するレジスタです。

BRGC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，1FHになります。

図9 - 4にBRGC0のフォーマットを示します。

図9 - 4 ポー・レート・ジェネレータ・コントロール・レジスタ0のフォーマット

アドレス : FF91H リセット時 : 1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS1	TPS0	0	MDL4	MDL3	MDL2	MDL1	MDL0

TPS1	TPS0	入力クロック (f _{XCLK}) の選択
0	0	4f _{XT} (131 kHz)
0	1	f _{XT} (32.768 kHz)
1	0	f _{XT} /2 (16.4 kHz)
1	1	f _{XT} /2 ² (8.2 kHz)

MDL4	MDL3	MDL2	MDL1	MDL0	5ビット・カウンタの分周値の選択	k
0	1	0	0	0	f _{XCLK} /8	8
0	1	0	0	1	f _{XCLK} /9	9
0	1	0	1	0	f _{XCLK} /10	10
0	1	0	1	1	f _{XCLK} /11	11
0	1	1	0	0	f _{XCLK} /12	12
0	1	1	0	1	f _{XCLK} /13	13
0	1	1	1	0	f _{XCLK} /14	14
0	1	1	1	1	f _{XCLK} /15	15
1	0	0	0	0	f _{XCLK} /16	16
1	0	0	0	1	f _{XCLK} /17	17
1	0	0	1	0	f _{XCLK} /18	18
1	0	0	1	1	f _{XCLK} /19	19
1	0	1	0	0	f _{XCLK} /20	20
1	0	1	0	1	f _{XCLK} /21	21
1	0	1	1	0	f _{XCLK} /22	22
1	0	1	1	1	f _{XCLK} /23	23
1	1	0	0	0	f _{XCLK} /24	24
1	1	0	0	1	f _{XCLK} /25	25
1	1	0	1	0	f _{XCLK} /26	26
1	1	0	1	1	f _{XCLK} /27	27
1	1	1	0	0	f _{XCLK} /28	28
1	1	1	0	1	f _{XCLK} /29	29
1	1	1	1	0	f _{XCLK} /30	30
1	1	1	1	1	f _{XCLK} /31	31
上記以外					設定禁止	-

- 注意1. 通信動作中にBRGC0への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。
2. BRGC0を書き換えるときは、POWER = 0に設定したのちに行ってください。

備考 k : MDL0-MDL4で設定した値 (8 k 31)

9.4 シリアル・インタフェースUART0の動作

シリアル・インタフェースUART0の持つ2種類のモードについて説明します。

9.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いませんので、消費電力を低減できます。

また、動作停止モードでは、端子を通常のポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)で行います。

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

アドレス：FF90H リセット時：01H R/W

略号				4	3	2	1	0
ASIM0	POWER	TXE	RXE	PS1	PS0	CL	SL	ISRM

POWER	動作モードの指定
0	動作禁止 (内部回路を非同期リセットします)
1	動作許可

TXE	RXE	動作モード	RxD0/P22端子の機能	TxD0/P21端子の機能
0	0	動作停止	ポート機能 (P22)	ポート機能 (P21)
0	1	UARTモード (受信のみ)	シリアル機能 (RxD0)	ポート機能 (P21)
1	0	UARTモード (送信のみ)	ポート機能 (P22)	シリアル機能 (TxD0)
1	1	UARTモード (送受信)	シリアル機能 (RxD0)	シリアル機能 (TxD0)

注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

2. TxD0端子の出力は、POWER = 0でロウ・レベル、POWER = 1でハイ・レベルになります。したがって、動作許可時には通信相手の誤動作を防ぐため、POWER = 1 (動作許可) 設定後に、TxD0/P21を出力モードに設定してください。

9.4.2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

(1) レジスタの設定

UARTモードの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)、ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)で行います。

(a) アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0)

ASIM0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、01Hになります。

注意 UARTモード時、ポート・モード・レジスタ2 (PM2) を次のように設定してください。また、出力ラッチはそれぞれ0に設定してください。

- ・受信時

P22 (RxD0) を入力モード (PM22 = 1) に設定

- ・送信時

P21 (TxD0) を出力モード (PM21 = 0) に設定、出力ラッチを1に設定

- ・送受信時

P22を入力モード、P21を出力モードに、P21出力ラッチを1にそれぞれ設定

アドレス：FF90H リセット時：01H R/W

略号				4	3	2	1	0
ASIM0	POWER	TXE	RXE	PS1	PS0	CL	SL	ISRM

POWER	動作モードの指定
0	動作禁止（内部回路を非同期リセットします）
1	動作許可

TXE	RXE	動作モード	RxD0/P22端子の機能	TxD0/P21端子の機能
0	0	動作停止	ポート機能（P22）	ポート機能（P21）
0	1	UARTモード（受信のみ）	シリアル機能（RxD0）	ポート機能（P21）
1	0	UARTモード（送信のみ）	ポート機能（P22）	シリアル機能（TxD0）
1	1	UARTモード（送受信）	シリアル機能（RxD0）	シリアル機能（TxD0）

PS1	PS0	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検出をしない（パリティ・エラーを発生しない）
1	0	奇数パリティ
1	1	偶数パリティ

CL	キャラクタ長の指定
0	7ビット
1	8ビット

SL	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

ISRM	エラー発生時の受信完了割り込み制御
0	エラー発生時、受信完了割り込み要求を発生しないで、受信エラー発生割り込み（INTSRE0）を発生
1	エラー発生時、受信完了割り込み要求を発生する （受信エラー発生割り込み（INTSRE0）を発生しない）

- 注意1. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。
2. TxD0端子の出力は、POWER = 0でロウ・レベル、POWER = 1でハイ・レベルになります。したがって、動作許可時には通信相手の誤動作を防ぐため、POWER = 1（動作許可）設定後に、TxD0/P21を出力モードに設定してください。

(b) アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0)

ASIS0は、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

アドレス : FF93H	リセット時 : 00H	R						
略号	7	6	5	4	3	2	1	0
ASIS0	0	0	0	0	0	PE	FE	OVE

PE	パリティ・エラー・フラグ
0	パリティ・エラーなし
1	パリティ・エラー発生 (送信データのパリティが一致しないとき)

FE	フレーミング・エラー・フラグ
0	フレーミング・エラーなし
1	フレーミング・エラー発生 ^{注1} (ストップ・ビットが検出されないとき)

OVE	オーバラン・エラー・フラグ
0	オーバラン・エラーなし
1	オーバラン・エラー発生 ^{注2,3} (受信バッファ・レジスタからデータを読み出す前に次の受信動作が完了したとき)

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット1 (SL) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ0 (RXB0) を必ず読み出してください。
RXB0を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。
3. オーバラン・エラーが発生した場合、次の受信データはRXB0に書き込まれず、破棄されます。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0)

BRGC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、1FHになります。

アドレス：FF91H リセット時：1FH R/W

略号	7	6	5	4	3	2	1	0
BRGC0	TPS1	TPS0	0	MDL4	MDL3	MDL2	MDL1	MDL0

TPS1	TPS0	入力クロック (f_{XCLK}) の選択
0	0	$4f_{XT}$
0	1	f_{XT} (32.768 kHz)
1	0	$f_{XT}/2$ (16.4 kHz)
1	1	$f_{XT}/2^2$ (8.2 kHz)

MDL4	MDL3	MDL2	MDL1	MDL0	5ビット・カウンタの分周値の選択	k
0	1	0	0	0	$f_{XCLK}/8$	8
0	1	0	0	1	$f_{XCLK}/9$	9
0	1	0	1	0	$f_{XCLK}/10$	10
0	1	0	1	1	$f_{XCLK}/11$	11
0	1	1	0	0	$f_{XCLK}/12$	12
0	1	1	0	1	$f_{XCLK}/13$	13
0	1	1	1	0	$f_{XCLK}/14$	14
0	1	1	1	1	$f_{XCLK}/15$	15
1	0	0	0	0	$f_{XCLK}/16$	16
1	0	0	0	1	$f_{XCLK}/17$	17
1	0	0	1	0	$f_{XCLK}/18$	18
1	0	0	1	1	$f_{XCLK}/19$	19
1	0	1	0	0	$f_{XCLK}/20$	20
1	0	1	0	1	$f_{XCLK}/21$	21
1	0	1	1	0	$f_{XCLK}/22$	22
1	0	1	1	1	$f_{XCLK}/23$	23
1	1	0	0	0	$f_{XCLK}/24$	24
1	1	0	0	1	$f_{XCLK}/25$	25
1	1	0	1	0	$f_{XCLK}/26$	26
1	1	0	1	1	$f_{XCLK}/27$	27
1	1	1	0	0	$f_{XCLK}/28$	28
1	1	1	0	1	$f_{XCLK}/29$	29
1	1	1	1	0	$f_{XCLK}/30$	30
1	1	1	1	1	$f_{XCLK}/31$	31
上記以外					設定禁止	-

- 注意1. 通信動作中にBRGC0への書き込みを行うと、ポー・レート・ジェネレータの出力が乱れ正常に通信ができなくなります。したがって、通信動作中にはBRGC0への書き込みを行わないでください。
2. BRGC0を書き換えるときは、POWER = 0に設定したのちに行ってください。

備考 k : MDL0-MDL4で設定した値 (8 k 31)

(2) ボー・レートの設定

生成するボー・レート用の送受信クロックは、サブシステム・クロックを分周した信号になります。

(a) サブシステム・クロックによるボー・レート用の送受信クロックの生成

サブシステム・クロックを分周して送受信クロックを生成します。サブシステム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{XCLK}}}{2 \times k} [\text{bps}]$$

f_{XCLK} : 5ビット・カウンタの入力クロック

k : MDL0-MDL4で設定した値 (8 k 31)

(b) ボー・レートの誤差

生成したボー・レートのボー・レート誤差は、次の式によって求められます。

$$[\text{ボー・レート誤差}] = \frac{(\text{ボー・レート})}{(\text{目標ボー・レート値})} \times 100 - 100 [\%]$$

表9 - 2に入力クロックと目標ボー・レート、ボー・レート誤差の関係を示します。

表9 - 2 入力クロックと目標ボー・レート、ボー・レート誤差の関係

目標ボー・レート (bps)	$f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時								$f_{\text{XT}} = 38.4 \text{ kHz}$ 動作時							
	$f_{\text{XCLK}} = f_{\text{XT}}/2^2$		$f_{\text{XCLK}} = f_{\text{XT}}/2$		$f_{\text{XCLK}} = f_{\text{XT}}$		$f_{\text{XCLK}} = 4f_{\text{XT}}$		$f_{\text{XCLK}} = f_{\text{XT}}/2^2$		$f_{\text{XCLK}} = f_{\text{XT}}/2$		$f_{\text{XCLK}} = f_{\text{XT}}$		$f_{\text{XCLK}} = 4f_{\text{XT}}$	
	k	誤差 (%)	k	誤差 (%)	k	誤差 (%)	k	誤差 (%)	k	誤差 (%)	k	誤差 (%)	k	誤差 (%)	k	誤差 (%)
200	20	2.4	-	-	-	-	-	-	24	0	-	-	-	-	-	-
300	14	-2.48	28	-2.48	-	-	-	-	16	0	-	-	-	-	-	-
600	-	-	14	-2.48	28	-2.48	-	-	8	0	16	0	-	-	-	-
1200	-	-	-	-	14	-2.48	-	-	-	-	8	0	16	0	-	-
2400	-	-	-	-	-	-	28	-2.48	-	-	-	-	8	0	-	-
4800	-	-	-	-	-	-	14	-2.48	-	-	-	-	-	-	16	0
9600	-	-	-	-	-	-	-	-	-	-	-	-	-	-	8	0

備考1. f_{XCLK} : 5ビット・カウンタの入力クロック

2. k : MDL0-MDL4で設定した値 (8 k 31)

注意1. HALTモード時は4逓倍クロック回路が停止するため、入力クロックとして $4f_{\text{XT}}$ を選択できません。

2. ボー・レート9600bpsを必要とする場合は、サブシステム・クロックに38.4 kHzの発振子を使用してください。

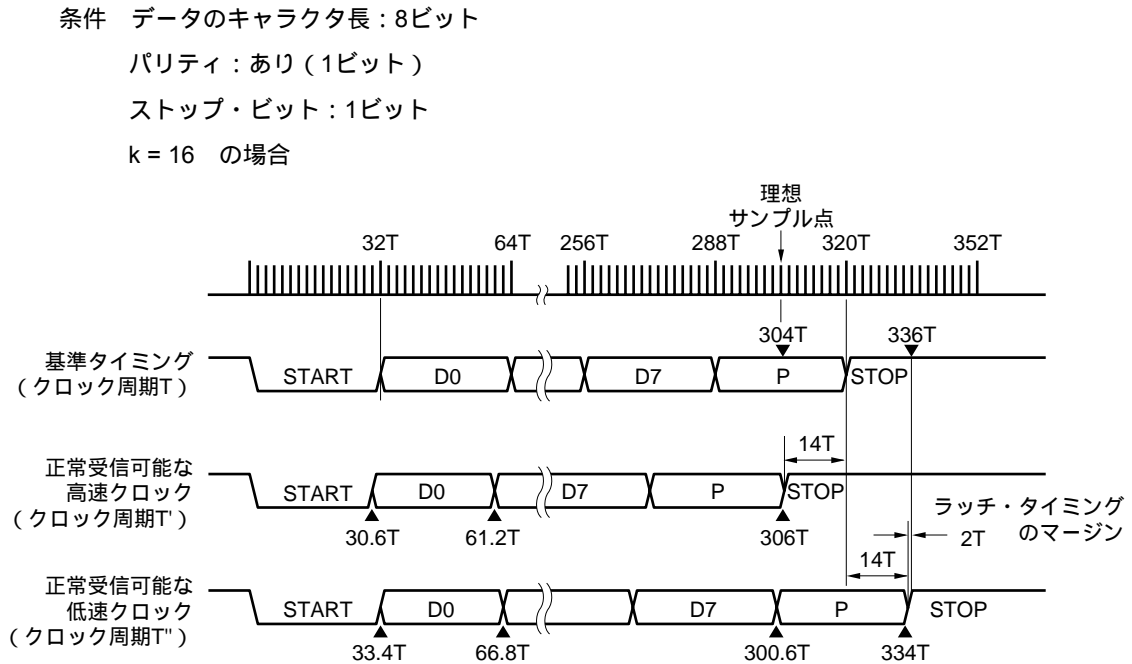
(c) ボー・レートの許容誤差範囲

ボー・レートの許容範囲は、1フレームのビット数、およびカウンタの分周比(k)に依存します。

受信側のボー・レート誤差と送信側のボー・レート誤差の差が、この許容範囲内であれば正常に送受信できます。

図9-5にボー・レートの許容誤差の例を示します。

図9-5 マージンを考慮したボー・レートの許容誤差例



備考 T: 5ビット・カウンタのソース・クロック周期

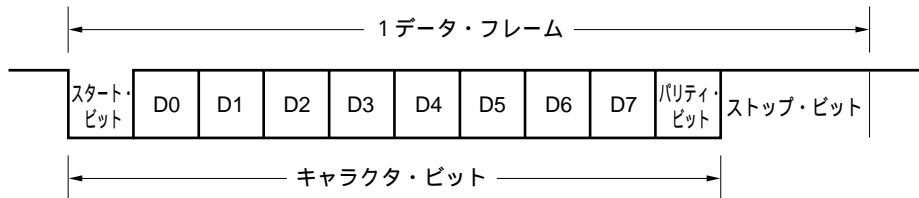
$$[\text{ボー・レート許容誤差}] (k = 16 \text{の場合}) = \frac{\pm 14}{320} \times 100 = 4.375 (\%)$$

(3) 通信動作

(a) データ・フォーマット

送受信データのフォーマットを図9 - 6に示します。

図9 - 6 アシクロナス・シリアル・インタフェースの送受信データのフォーマット



1データ・フレームは、次に示す各ビットで構成されます。

- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット...7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) によって行います。

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は、“0” になります。

シリアル転送レートの設定は、アシクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) とボー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) によって行います。

また、シリアルデータの受信エラーが発生した場合、アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしとは、誤りを検出できません。

(i) 偶数パリティ

・送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ

・送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

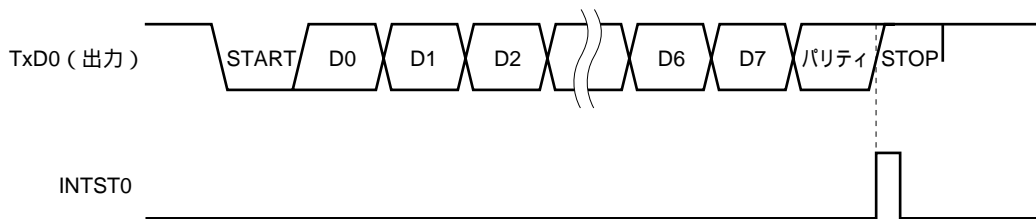
送信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット7 (TXE0) がセット (1) されると許可状態となり、送信シフト・レジスタ0 (TXS0) に送信データを書き込むことによって送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

送信動作の開始により、TXS0内のデータがシフト・アウトされTXS0が空になると、送信完了割り込み要求 (INTST0) が発生します。

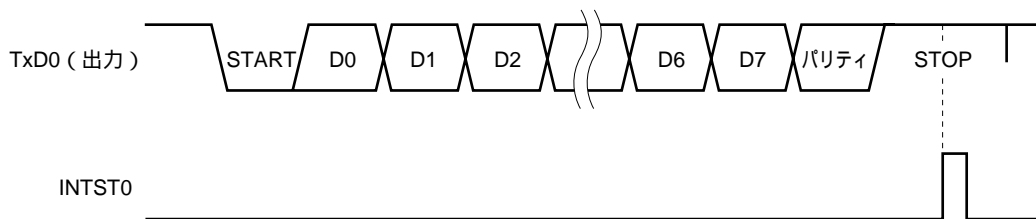
送信完了割り込みのタイミングを図9-7に示します。

図9-7 アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング

(i) ストップ・ビット長 : 1ビット



(ii) ストップ・ビット長 : 2ビット



注意 送信動作中にはアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) を書き換えないでください。送信中にASIM0レジスタを書き換えると、それ以降の送信動作ができなくなる場合があります (RESET入力により、正常になります)。

送信中かどうかは、送信完了割り込み要求 (INTST0) またはINTST0によってセットされる割り込み要求フラグ (STIF0) を用いて、ソフトウェアにより判断することができます。

(d) 受信

受信動作はアシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) のビット5 (RXE) がセット (1) されると許可状態となり, RxD0端子入力のサンプリングを行います。

RxD0端子入力のサンプリングは, ASIM0で指定したシリアル・クロックで行います。

RxD0端子入力が高レベルになると, ボー・レート・ジェネレータの5ビット・カウンタがカウントを開始し, 設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD0端子入力をサンプリングした結果, 高レベルであれば, スタート・ビットとして認識し, 5ビット・カウンタを初期化してカウントを開始し, データのサンプリングを行います。スタート・ビットに続いて, キャラクタ・データ, パリティ・ビットおよび1ビットのストップ・ビットが検出されると, 1フレームのデータ受信が終了します。

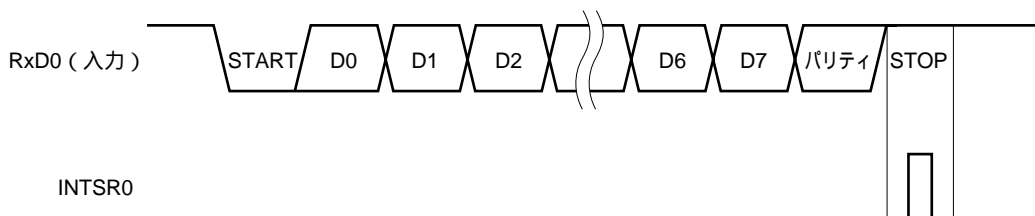
1フレームのデータ受信が終了すると, シフト・レジスタ内の受信データを受信バッファ・レジスタ0 (RXB0) に転送し, 受信完了割り込み (INTSR0) を発生します。

また, エラーが発生しても, RXB0にエラーの発生した受信データを転送します。エラー発生時, ASIM0のビット0 (ISRM) がセット (1) されている場合は, INTSR0を発生します。ISRMがクリア (0) されている場合は, INTSR0は発生しません (図9 - 9参照)。

なお, 受信動作中にRXEをリセット (0) すると, ただちに受信動作を停止します。このとき, RXB0およびASIS0の内容は変化せず, また, INTSR0, INTSRE0も発生しません。

図9 - 8にアシンクロナス・シリアル・インタフェース受信完了割り込みタイミングを示します。

図9 - 8 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと, 次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) 内に立つと、受信エラー割り込み (INTSRE0) を発生します。受信エラー割り込みは、受信割り込み要求 (INTSR0) より先に発生します。受信エラー要因を表9 - 3に示します。

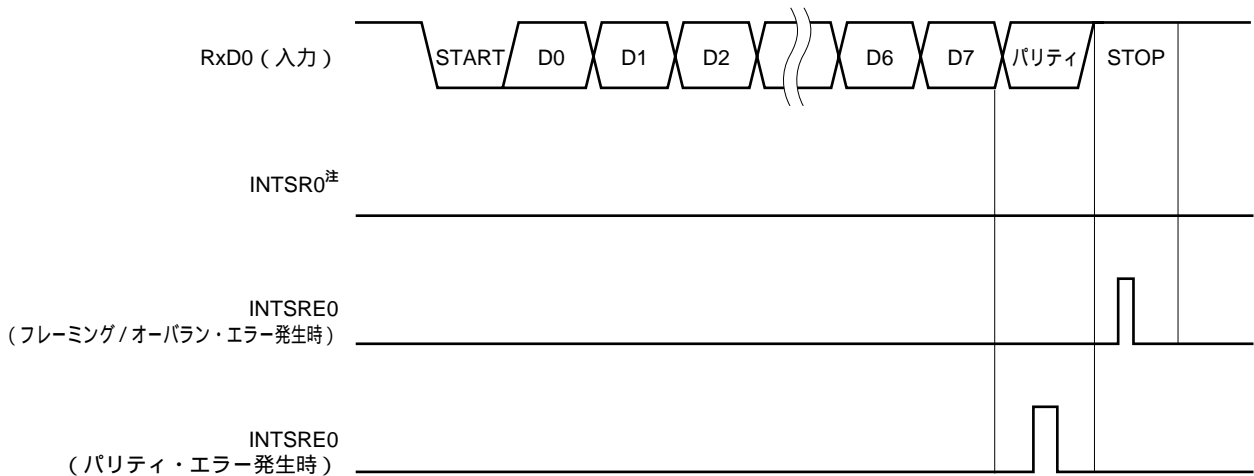
受信エラー割り込み処理 (INTSRE0) 内でASIS0の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出できます (表9 - 3, 図9 - 9参照)。

ASIS0の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することでリセット (0) されます (次のデータにエラーがあれば、そのエラー・フラグがセットされます)。

表9 - 3 受信エラーの要因

受信エラー	要因	ASIS0の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図9 - 9 受信エラー・タイミング



注 ISRMビットがクリア(0)されている場合に受信エラーが発生したときは、INTSR0は発生しません。

- 注意1. アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) の内容は、受信バッファ・レジスタ0 (RXB0) を読み出すか、次のデータを受信することにより、リセット (0) されます。エラーの内容が知りたい場合には、必ずRXB0を読み出す前にASIS0を読み出してください。
2. 受信エラー発生時にも受信バッファ・レジスタ0 (RXB0) は必ず読み出してください。RXB0を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

第10章 LCDコントローラ/ドライバ

10.1 LCDコントローラ/ドライバの機能

μPD789881サブシリーズに内蔵しているLCDコントローラ/ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (2) 2種類の表示モードが選択可能
 - ・スタティック
 - ・1/4デューティ (1/3バイアス)
- (3) 各表示モードにおいて、4種類のフレーム周波数を選択可能
- (4) セグメント信号出力は15-26本
 - (S0-S14, S15-S25 (ポート・ファンクション・レジスタの設定により使用可能))、コモン信号出力は4本 (COM0-COM3)

表示可能な最大画素数を表10 - 1に示します。

表10 - 1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大セグメント本数	最大表示画素数
スタティック		COM0	26本	26 (26セグメント×1コモン) ^{注1}
1/3	4	COM0-COM3		104 (26セグメント×4コモン) ^{注2}

- 注1. □ 形のLCDパネルで8セグメント/桁のもの3桁
- 2. □ 形のLCDパネルで2セグメント/桁のもの13桁

10.2 LCDコントローラ/ドライバの構成

LCDコントローラ/ドライバは、次のハードウェアで構成しています。

表10 - 2 LCDコントローラ/ドライバの構成

項目	構成
表示出力	セグメント信号 : 15-26本 コモン信号 : 4本 (COM0-COM3)
制御レジスタ	LCD表示モード・レジスタ0 (LCDM0) LCDクロック制御レジスタ0 (LCDC0) ポート・ファンクション・レジスタ8, 9 (PF8, PF9)

LCD表示用RAMとの対応を図10 - 1に示します。

図10 - 1 LCD表示用RAMとの対応

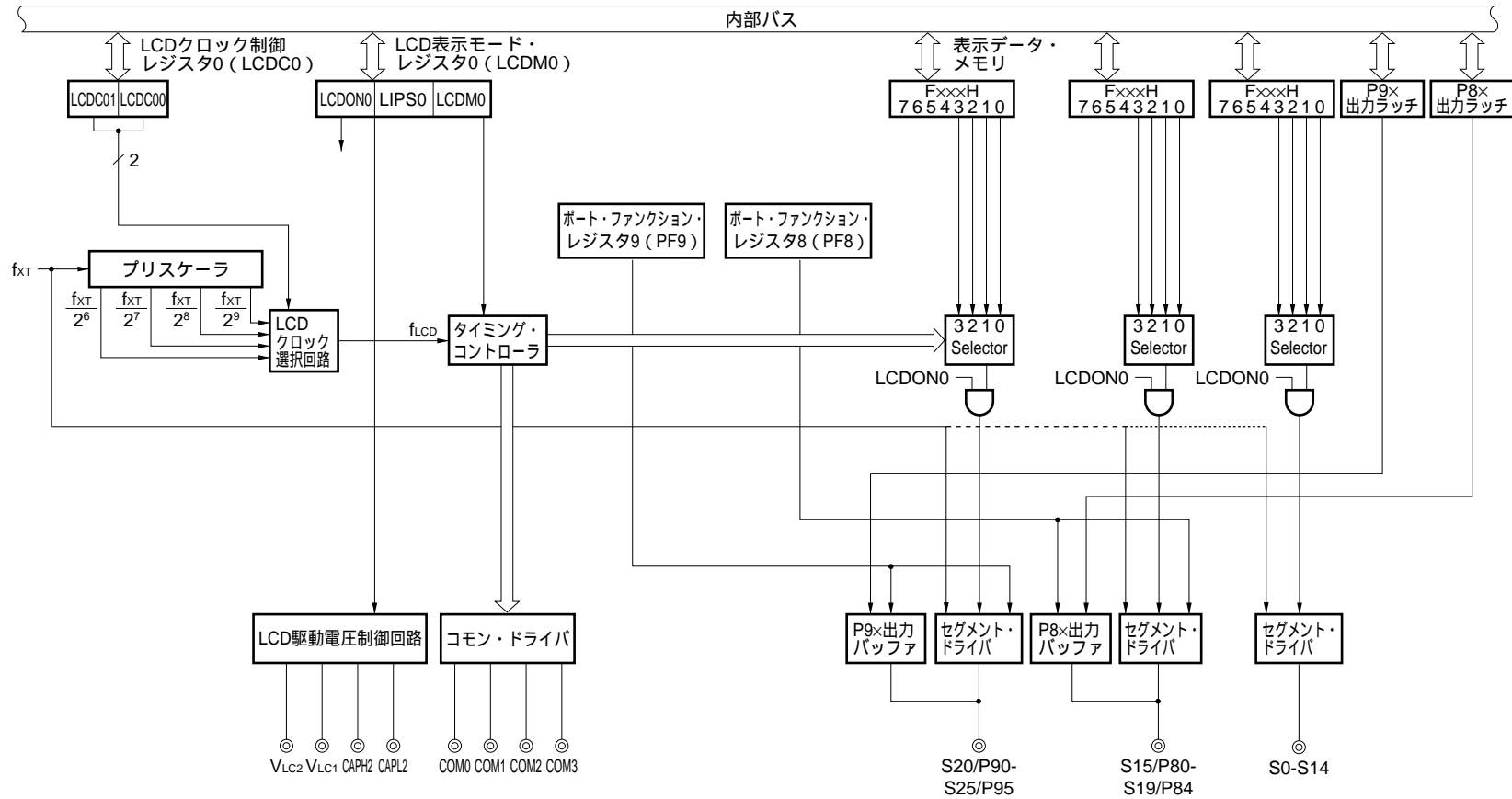
アドレス	ビット								セグメント
	7	6	5	4	3	2	1	0	
FA19H	0	0	0	0					S25 ^注
FA18H	0	0	0	0					S24 ^注
FA17H	0	0	0	0					S23 ^注
FA16H	0	0	0	0					S22 ^注
FA15H	0	0	0	0					S21 ^注
FA14H	0	0	0	0					S20 ^注
FA13H	0	0	0	0					S19 ^注
FA12H	0	0	0	0					S18 ^注
FA11H	0	0	0	0					S17 ^注
FA10H	0	0	0	0					S16 ^注
FA0FH	0	0	0	0					S15 ^注
FA0EH	0	0	0	0					S14
FA0DH	0	0	0	0					S13
FA0CH	0	0	0	0					S12
FA0BH	0	0	0	0					S11
FA0AH	0	0	0	0					S10
FA09H	0	0	0	0					S9
FA08H	0	0	0	0					S8
FA07H	0	0	0	0					S7
FA06H	0	0	0	0					S6
FA05H	0	0	0	0					S5
FA04H	0	0	0	0					S4
FA03H	0	0	0	0					S3
FA02H	0	0	0	0					S2
FA01H	0	0	0	0					S1
FA00H	0	0	0	0					S0

コモン COM3 COM2 COM1 COM0

注 S15-S25は、ポート・ファンクション・レジスタによりビット単位で選択（セグメント出力端子/ポート端子）

備考 ビット4-7は、0固定です。

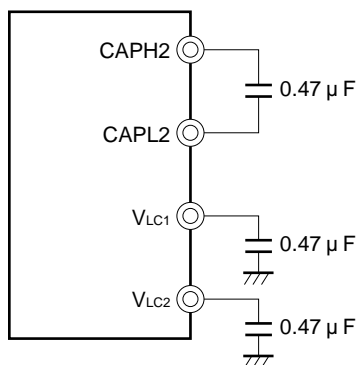
図10 - 2 LCDコントローラ/ドライバのブロック図



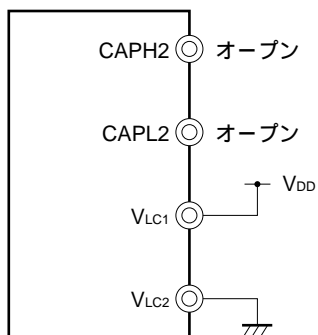
備考 LCD駆動用端子 (V_{LC1} , V_{LC2} , $CAPH2$, $CAPL2$) は、使用する表示モードによって図10 - 3のように接続してください。

図10 - 3 LCD駆動用端子の接続例

(a) 1/4デューティ, 1/3バイアス等



(b) スタティック・モード時



10.3 LCDコントローラ/ドライバを制御するレジスタ

- ・ LCD表示モード・レジスタ0 (LCDM0)
- ・ LCDクロック制御レジスタ0 (LCDC0)
- ・ ポート・ファンクション・レジスタ8, 9 (PF8, PF9)

(1) LCD表示モード・レジスタ0 (LCDM0)

表示動作の許可/禁止, LCD駆動用電源, 表示モードを設定するレジスタです。

LCDM0は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, 00Hになります。

図10 - 4 LCD表示モード・レジスタ0のフォーマット

略号	6	5	3	2	1	0	アドレス	リセット時	R/W
LCDM0	LCDON0	0	0	LIPS0	0	LCDM0	0	0	FFB0H 00H R/W

LCDON0	LCD表示の許可/禁止
0	表示オフ (セグメント出力はすべて非選択信号出力)
1	表示オン

LIPS0	LLCD駆動用電源の供給 ^注
0	LCD駆動用電源を供給しない
1	LCD駆動用電源を供給する

LCDM0	表示モードの選択	
	時分割数	バイアス法
0	4	1/3
1	スタティック	

注 LCD表示を行わないとき, 消費電力を低減させるため, LIPS0に0を設定してください。

- 注意1. LCDON0をセット (表示オン) するときは, 必ずLIPS0のセット後 (LCD駆動用電源供給) に行ってください。
- 1/3バイアス法で使用するときは, 必ずLIPS0をセット後, 500 ms (MIN.) 経過してからLCDON0をセットしてください。
 - スタティック・モード時は, LIPS0を0に設定してください。
 - 表示モードを変更するときは, 必ず表示オフ (LCDON0 = 0) にしてから行ってください。

(2) LCDクロック制御レジスタ0 (LCDC0)

LCDクロックを設定するレジスタです。LCDクロックと時分割数で、フレーム周波数が決まります。

LCDC0は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図10 - 5 LCDクロック制御レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDC0	0	0	0	0	0	0	LCDC01	LCDC00	FFB2H	00H	R/W

LCDC01	LCDC00	LCDクロック (LCDCL) の選択
0	0	$f_{XT}/2^6$ (512 Hz)
0	1	$f_{XT}/2^7$ (256 Hz)
1	0	$f_{XT}/2^8$ (128 Hz)
1	1	$f_{XT}/2^9$ (64 Hz)

注意1. ビット2-7には、必ず0を設定してください。

2. 表示オン (LCDON0 = 1) の状態では、LCDC0を書き換えないでください。

備考1. f_{XT} : サブシステム・クロック発振周波数

2. () 内は $f_{XT} = 32.768$ kHz動作時

フレーム周波数を表10 - 3に示します。

表10 - 3 フレーム周波数 (Hz)

LCDクロック (LCDCL)	$f_{XT}/2^9$ (64 Hz)	$f_{XT}/2^8$ (128 Hz)	$f_{XT}/2^7$ (256 Hz)	$f_{XT}/2^6$ (512 Hz)
表示デューティ				
スタティック	64	128	256	512
1/4	16	32	64	128

(3) ポート・ファンクション・レジスタ (PF8, PF9)

ポート8, 9をポート端子として使用するか, セグメント端子として使用するかを設定するレジスタです。PF8, PF9は8ビット・メモリ操作命令で設定します。
 $\overline{\text{RESET}}$ 入力により, 00Hになります。

図10 - 6 ポート・ファンクション・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PF8	0	0	0	PF84	PF83	PF82	PF81	PF80	FF58H	00H	W
PF9	0	0	PF95	PF94	PF93	PF92	PF91	PF90	FF59H	00H	W

PFmn	Pmnの機能の選択 (m = 8,9 n = 0-5)
0	Pmnを入出力ポートとして使用
1	Pmnをセグメント出力として使用

- 注意1. PFmn = 1のとき, 対応するビットのポート・モード・レジスタ, 出力ラッチの値にかかわらず, セグメント出力端子として機能します。このとき, ポート・モード・レジスタ, 出力ラッチの値は無効となります。
2. 内蔵プルアップ抵抗を接続 (PUBmn = 1) していた場合, PFmn = 1に設定してもプルアップ抵抗は切断されません。PFmn = 1に設定する場合は必ずPUBmn = 0に設定してください。

10.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

LCD表示データ・メモリ (FA00H-FA19H) に初期値を設定する。

ポート・ファンクション・レジスタ (PF8, PF9) により、セグメント出力として使用する端子を設定する。

LCD表示モード・レジスタ0 (LCDM0) により表示モードの選択を行う。

LCDクロック制御レジスタ0 (LCDC0) により、LCDフレーム周波数を設定する。

1/4デューティ、1/3バイアス・モード時は、LCDM0のビット4 (LIPS0) をセット (1) してから500 ms以上ウエイトする。

LCDM0のビット7 (LCDON0) をセット (1) することにより、LCD表示データ・メモリに対応した表示出力を開始。

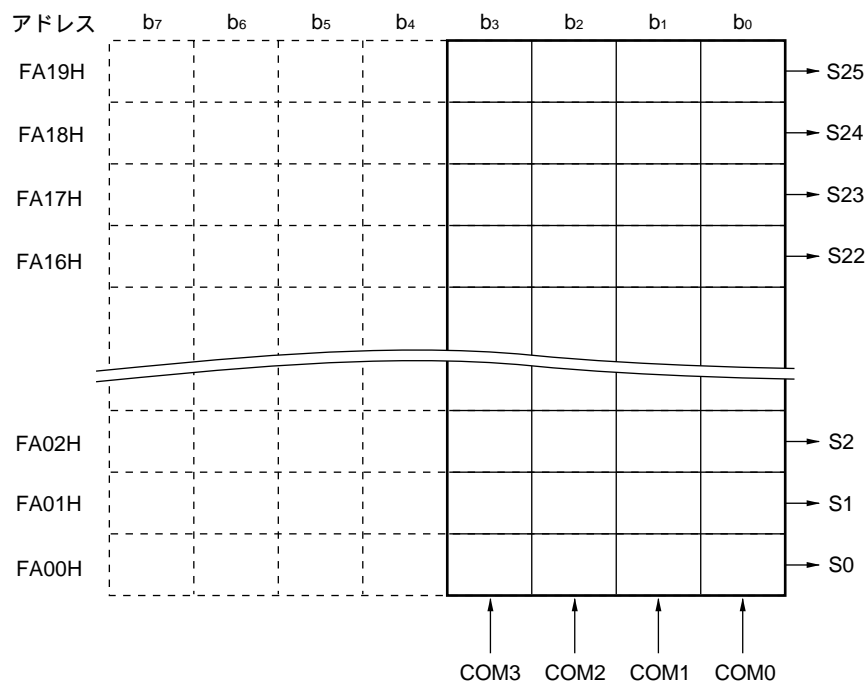
10.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA19H番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図10-7にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図10-7 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係
(S15-S25を使用した場合)



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

10.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

(1) コモン信号

コモン信号は、設定する時分割数に応じて表10 - 4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。スタティック・モードの場合は、COM0-COM3に同一信号が出力されず。

表10 - 4 COM信号

COM信号	COM0	COM1	COM2	COM3
時分割数				
スタティック				
4時分割数				

(2) セグメント信号

セグメント信号は、LCD表示データ・メモリに対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、スタティック方式の場合のビット1-3はLCD表示に使用しませんので、表示以外の目的に使用できません。

なお、ビット4-7は0固定となっています。

(3) コモン信号とセグメント信号の出力波形

コモン信号とセグメント信号には表10 - 5に示す電圧が出力されます。

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

表10 - 5 LCD駆動電圧

(a) スタティック表示モード

セグメント信号	選択信号レベル	非選択信号レベル
コモン信号	V_{SS0}/V_{LC0}	V_{LC0}/V_{SS0}
V_{LC0}/V_{SS0}	$-V_{LCD}/+V_{LCD}$	0 V/0 V

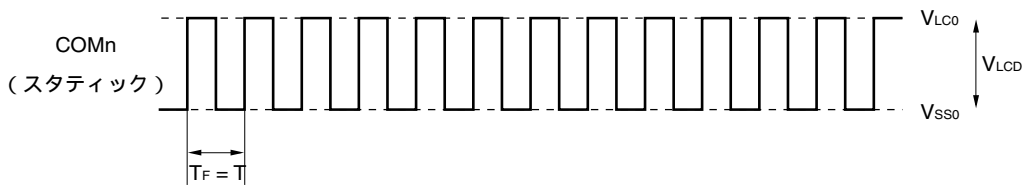
(b) 1/3バイアス法

セグメント信号	選択信号レベル	非選択信号レベル
コモン信号	V_{SS0}/V_{LC0}	V_{LC1}/V_{LC2}
選択信号レベル V_{LC0}/V_{SS0}	$-V_{LCD}/+V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$
非選択信号レベル V_{LC2}/V_{LC1}	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$	$-\frac{1}{3}V_{LCD}/+\frac{1}{3}V_{LCD}$

図10 - 8にコモン信号波形を，図10 - 9にコモン信号とセグメント信号の電圧と位相を示します。

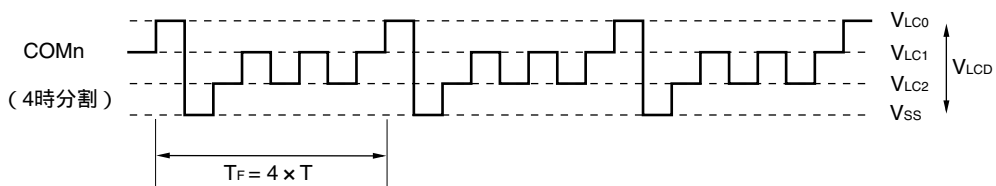
図10 - 8 コモン信号波形

(a) スタティック表示モード



T : LCDクロックの1周期分 T_F : フレーム周波数

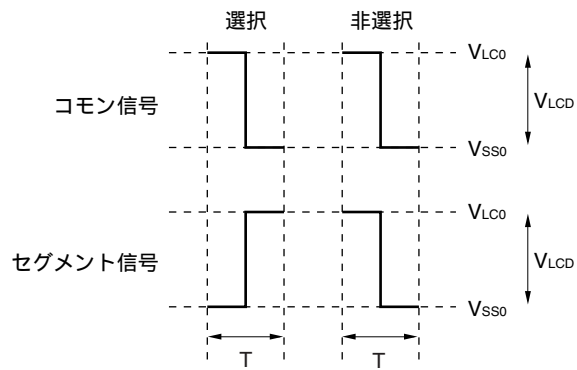
(b) 1/3バイアス法



T : LCDクロックの1周期分 T_F : フレーム周波数

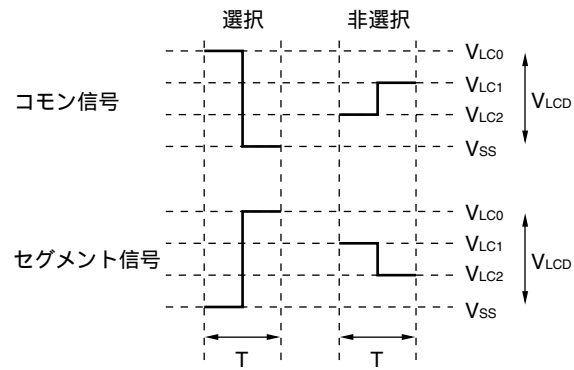
図10 - 9 コモン信号とセグメント信号の電圧と位相

(a) スタティック表示モード



T : LCDクロックの1周期分

(b) 1/3バイアス法



T : LCDクロックの1周期分

10.7 表示モード

10.7.1 スタティック表示例

図10 - 11は、図10 - 10の表示パターンを持つスタティック方式の3桁のLCDパネルと μ PD789881サブシリーズのセグメント信号（S0-S23）およびコモン信号（COM0）との接続を示します。表示例は12.3で、表示データ・メモリ（FA00H-FA17H番地）の内容はこれに対応しています。

ここでは2桁目の2.（ $\bar{2}$ ）を例にとって説明します。図10 - 10の表示パターンに従って、COM0のコモン信号のタイミングで表10 - 6に示すような選択、非選択電圧をS8-S15端子に出力する必要があります。

表10 - 6 選択、非選択電圧（COM0）

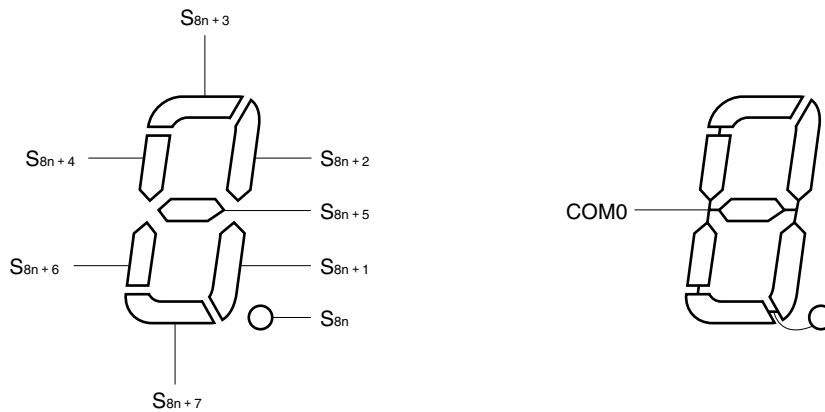
セグメント コモン	S8	S9	S10	S11	S12	S13	S14	S15
COM0	選	非	選	選	非	選	選	選

これによりS8-S15に対応する表示データ・メモリ（FA08H-FA0FH番地）のビット0には、10110111を用意すればよいことが分かります。

S11, S12とCOM0とのLCD駆動波形を図10 - 12に示します。COM0との選択タイミングでS11が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

COM1-COM3にはCOM0と同じ波形が出力されますので、COM0-COM3を接続してドライブ能力を上げることができます。

図10 - 10 スタティックLCD表示パターンと電極結線



備考 n = 0-2

図10-11 スタティックLCDパネルの結線例

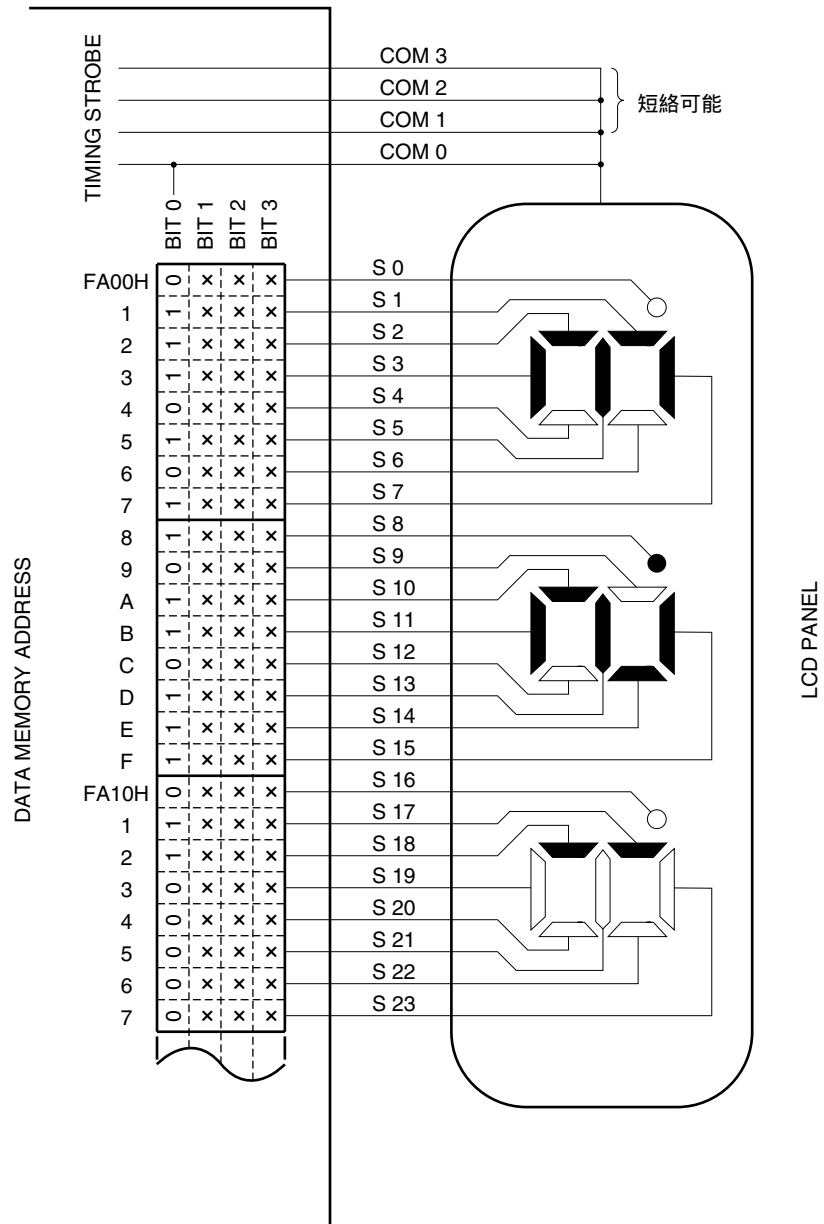
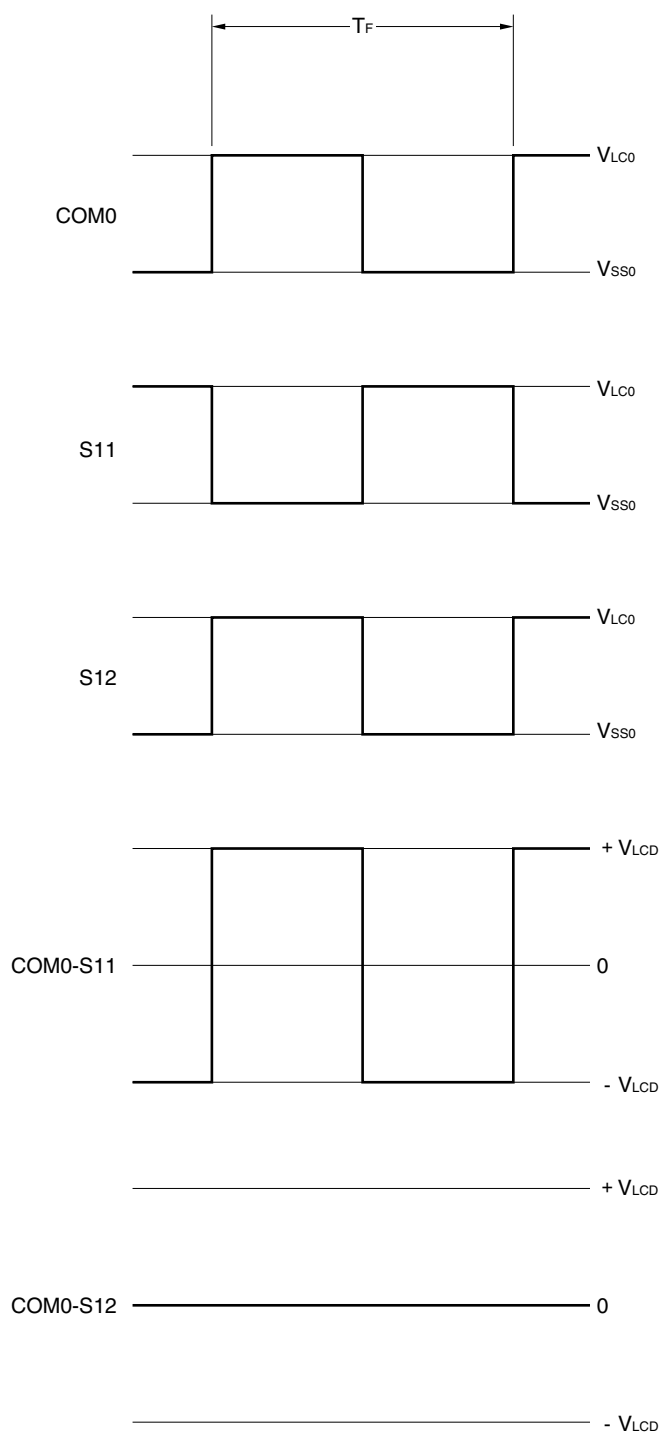


図10 - 12 スタティックLCD駆動波形例



10.7.2 4時分割表示例

図10 - 14は、図10 - 13の表示パターンを持つ4時分割方式の13桁LCDパネルと μ PD789881サブシリーズのセグメント信号 (S0-S25) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.7890123で、表示データ・メモリ (FA00H-FA19H番地) の内容はこれに対応しています。

ここでは8桁目の6.(点)を例にとって説明します。図10 - 13の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表10 - 7に示すような選択、非選択電圧をS14, S15端子に出力する必要があります。

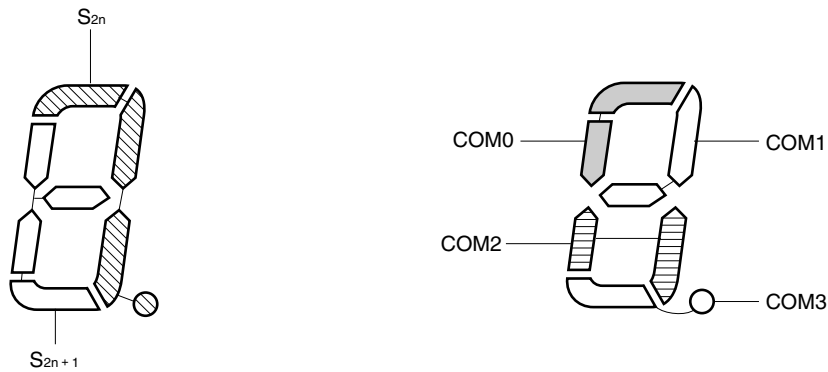
表10 - 7 選択、非選択電圧 (COM0-COM3)

セグメント コモン	S14	S15
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS14に対応する表示データ・メモリ (FA0EH番地) には、1101を用意すればよいことが分かります。

S14と各コモン信号間のLCD駆動波形例を図10 - 15に示します。COM0の選択タイミングでS14が選択電圧になるときに、LCD点灯レベルである $+V_{LCD} / -V_{LCD}$ の交流矩形波が発生することが分かります。

図10 - 13 4時分割LCD表示パターンと電極結線



備考 n = 0-12

図10 - 14 4時分割LCDパネルの結線例

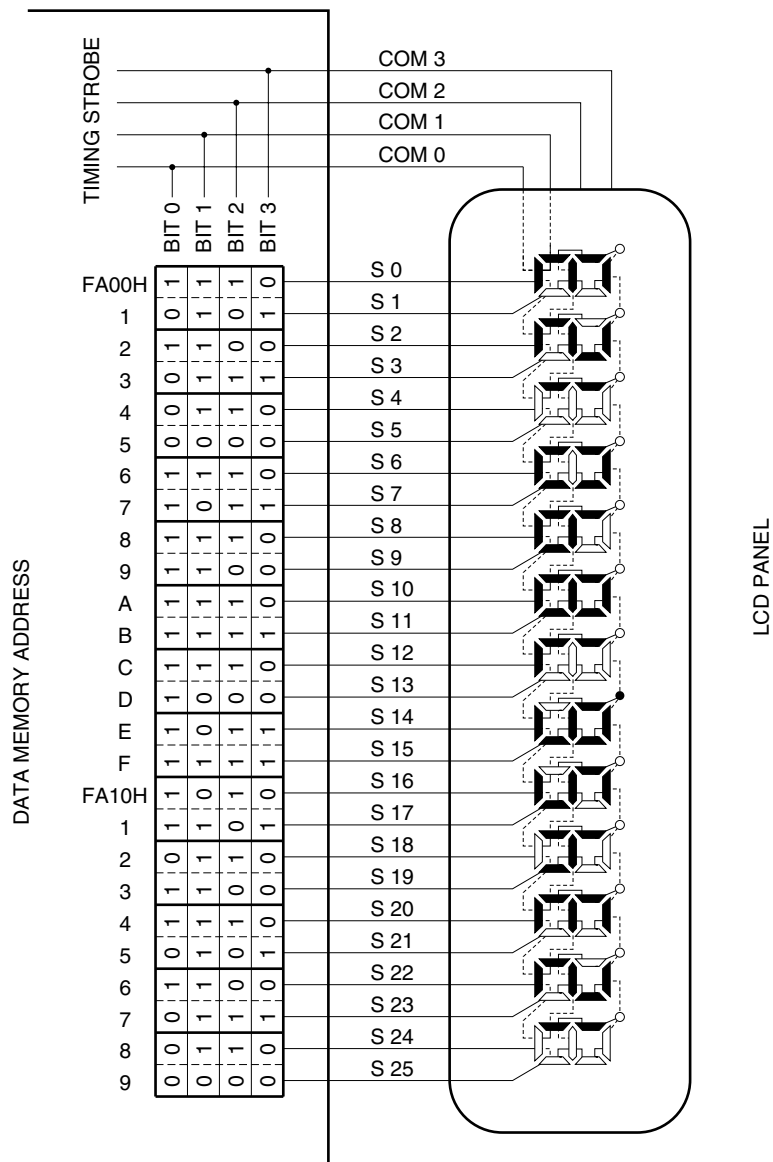
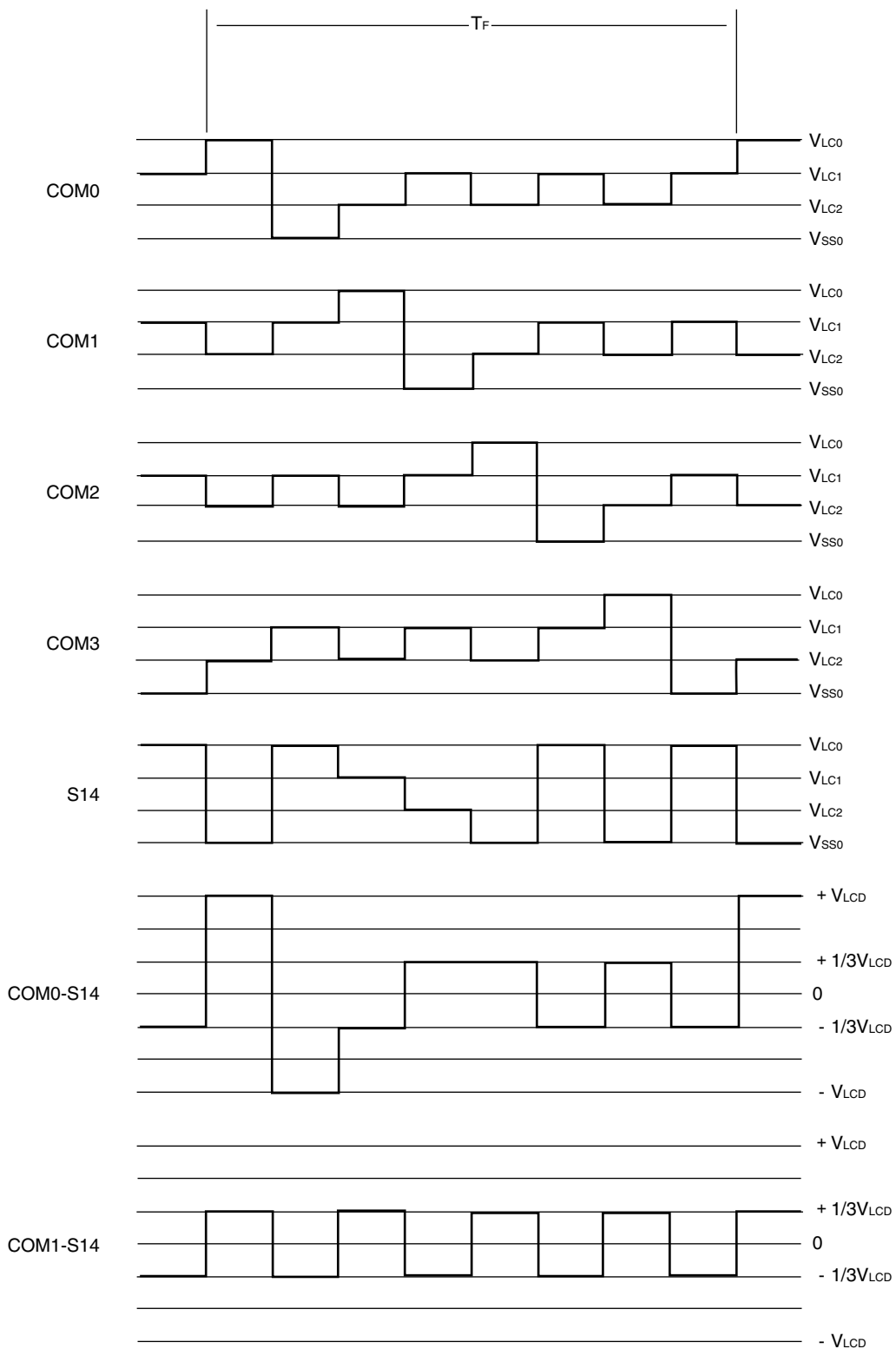


図10 - 15 4時分割LCD駆動波形例 (1/3バイアス法)



備考 COM2-S14とCOM3-S14の波形は省略

第11章 乗算器

11.1 乗算器の機能

乗算器には、次のような機能があります。

- ・8ビット×8ビット = 16ビットの計算ができます。

11.2 乗算器の構成

(1) 16ビット乗算結果格納レジスタ0 (MUL0)

16ビットの乗算結果を格納するレジスタです。

このレジスタは、CPUクロックで16クロック経過後、乗算結果を保持します。

MUL0は、16ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(2) 乗算データ・レジスタA, B (MRA0, MRB0)

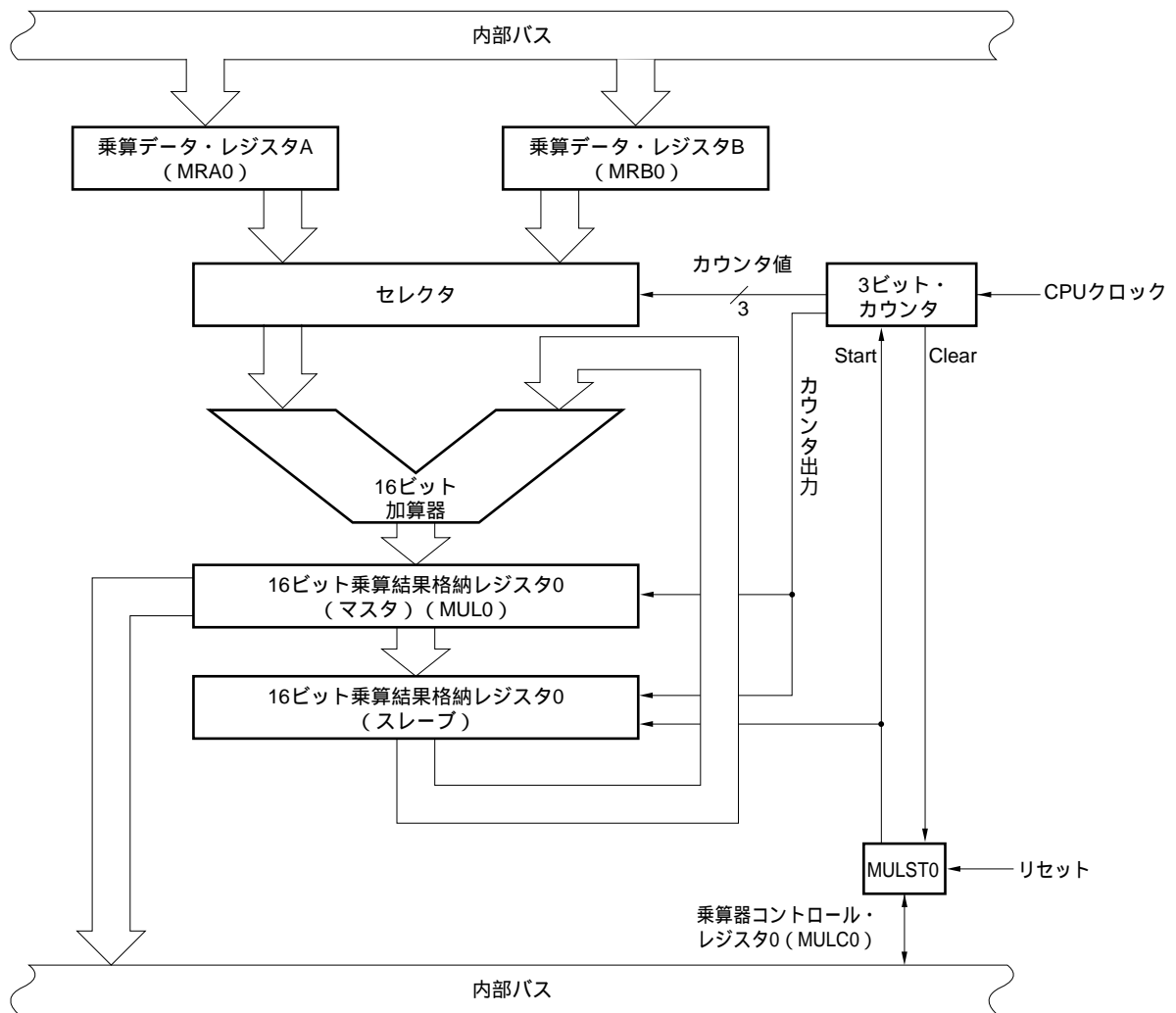
8ビットの乗算データ格納用レジスタです。乗算器はMRA0とMRB0の値を乗算します。

MRA0, MRB0は、8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$ 入力により、不定になります。

図11 - 1に乗算器のブロック図を示します。

図11-1 乗算器のブロック図



11.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ0 (MULC0)

(1) 乗算器コントロール・レジスタ0 (MULC0)

MULC0は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

MULC0は、1ビット、メモリ操作命令または、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図11 - 2 乗算器コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
MULC0	0	0	0	0	0	0	0	MULST0	FFD2H	00H	R/W

MULST0	乗算器の演算活動開始の制御ビット	乗算器の動作状態
0	カウンタをすべて“0”にセットした後、演算動作停止。	動作停止中
1	演算動作許可	演算実行中

注意 ビット1-7には、必ず0を設定してください。

11.4 乗算器の動作

μPD789881サブシリーズの乗算器では8ビット×8ビット = 16ビットの計算ができます。MRA0 = AAH, MRB0 = D3Hと設定した場合の乗算器の動作タイミングを図11 - 3に示します。

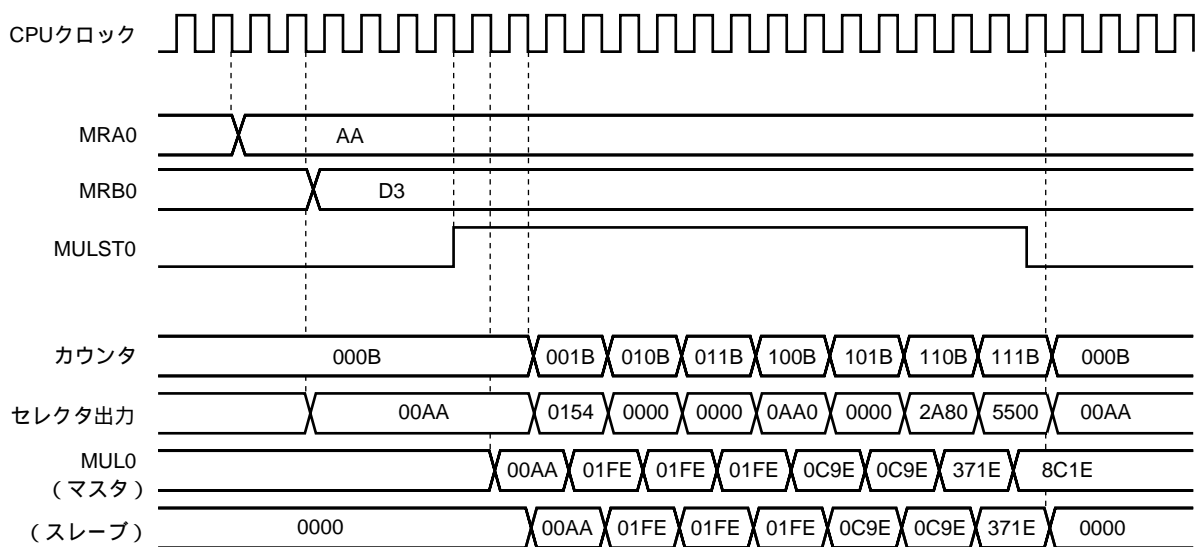
MULST0をセットすることにより、カウント動作を開始します。

CPUクロックごとに、セクタによって生成されたデータとMUL0のデータを加算し、カウンタ値を1インクリメントします。

カウンタの値が111Bのとき、MULST0がクリアされると演算動作を停止します。そのときMUL0はデータを保持しています。

MULST0がロウ・レベル中は、カウンタとスレーブはクリアされています。

図11 - 3 乗算器の動作タイミング (AAH×D3Hの例)



第12章 ボルテージ・ハーバー回路，レギュレータ回路

μ PD789881サブシリーズでは，電源部にボルテージ・ハーバー回路^注とレギュレータ回路を内蔵しています。これにより V_{DD} よりも低い内部電圧で動作するため，超低消費電力を実現します。

注 ボルテージ・ハーバー回路は， μ PD78F9882には内蔵されておりません。

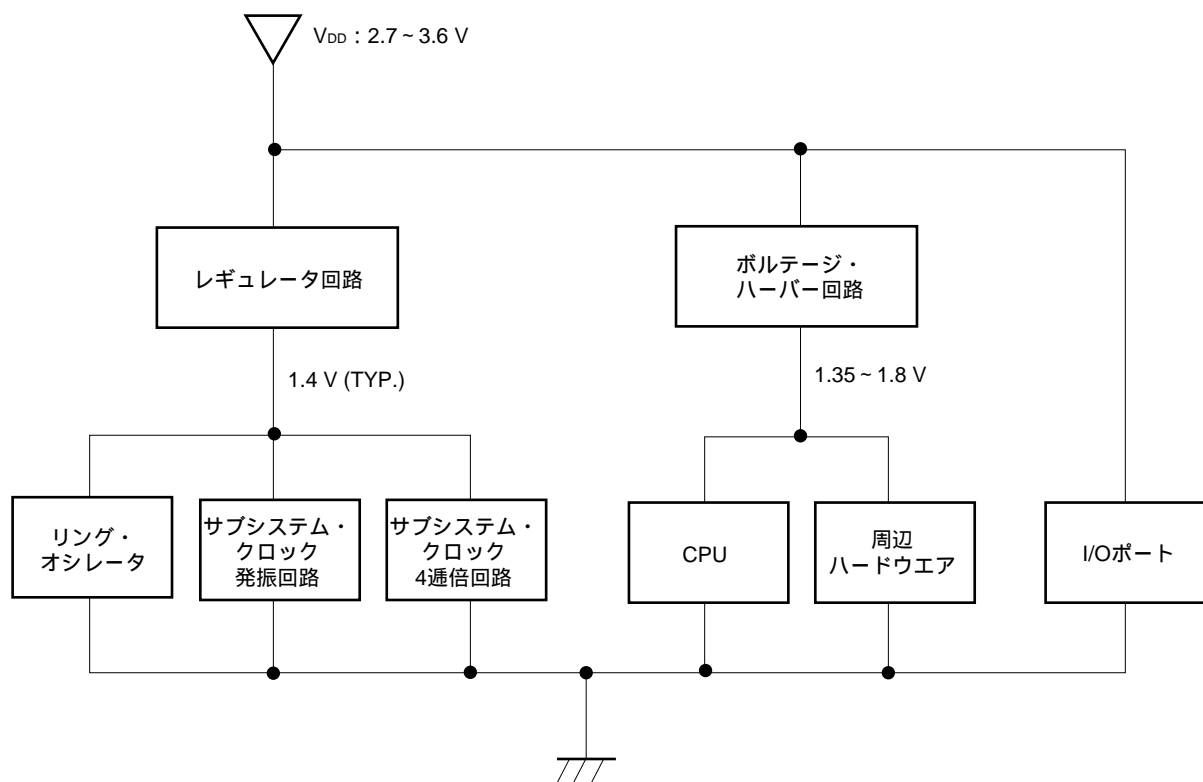
(1) ボルテージ・ハーバー回路

内部で V_{DD} 電圧を1/2に降圧 ($V_{DD}/2$) し，CPUと周辺ハードウェアに供給します。

(2) レギュレータ回路

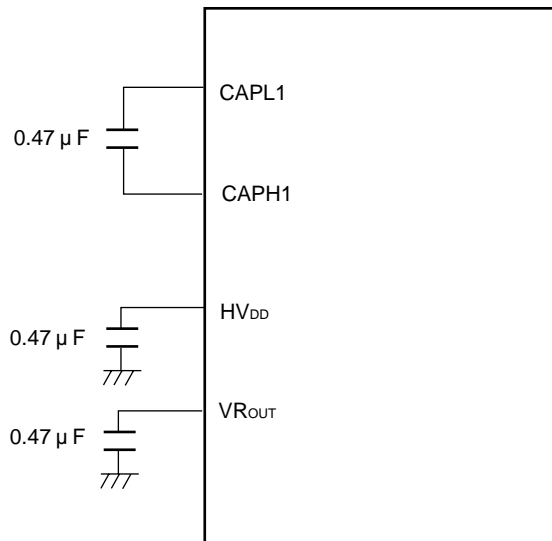
内部で V_{DD} 電圧を1.4 V (TYP.) に降圧し，メイン・システム・クロック発生回路 (リング・オシレータ)，サブシステム・クロック発生回路，サブシステム・クロック4逓倍回路に供給します。

図12 - 1 電源部のブロック図



電源部用の端子 (CAPL1, CAPH1, HV_{DD}, VR_{OUT}端子) には, 0.47 μ Fのコンデンサを接続してください。
 図12 - 2にコンデンサの接続図を示します。

図12 - 2 コンデンサの接続図



第13章 割り込み機能

13.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表13 - 1のように決められています。

スタンバイ・リリース信号を発生します。

マスカブル割り込みは、外部割り込みが4要因、内部割り込みが8要因あります。

13.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込み、マスカブル割り込みをあわせて合計13要因あります(表13 - 1参照)。

表13 - 1 割り込み要因一覧

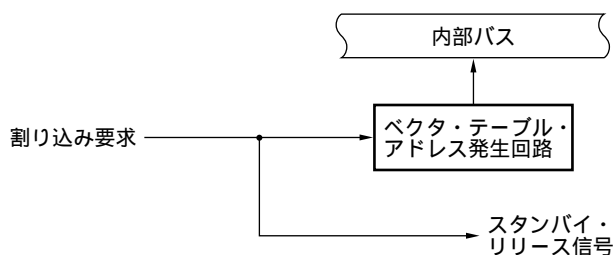
割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスクابل	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H ^{注3}	(A)
マスクابل	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子(INTP0)入力エッジ検出	外部	0006H	(C)
	2	INTP1	端子(INTP1)入力エッジ検出		0008H	
	3	INTP2	端子(INTP2)入力エッジ検出		000AH	
	4	INTP3	端子(INTP3)入力エッジ検出		000CH	
	5	INTSRE0	UARTの受信エラー終了	内部	000EH	(B)
	6	INTSR0	UARTの受信完了		0010H	
	7	INTST0	UARTの送信完了		0012H	
	8	INTTM50	TM50とCR50の一致		0014H	
	9	INTTM51	TM51とCR51の一致		0016H	
	10	INTTM00	・ TM0とCR00の一致 (CR00をコンペア・レジスタに指定したとき) ・ TI01端子の有効エッジ検出 (CR00をキャプチャ・レジスタに指定したとき)		0018H	
11	INTTM01	・ TM0とCR01の一致 (CR01をコンペア・レジスタに指定したとき) ・ TI00端子の有効エッジ検出 (CR01をキャプチャ・レジスタに指定したとき)	001AH			

- 注1. プライオリティは、複数のマスクابل割り込みが同時に発生している場合に、優先する順位です。0が最高順位、11が最低順位です。
2. 基本構成タイプの(A) (C)は、それぞれ図13 - 1の(A) (C)に対応しています。
3. INTWDTのベクタ・アドレスが、開発ツール(ICE)では0002H、デバイスでは0004Hになっているので、割り込み処理分岐アドレスは0002Hと0004Hの両方を設定してください。

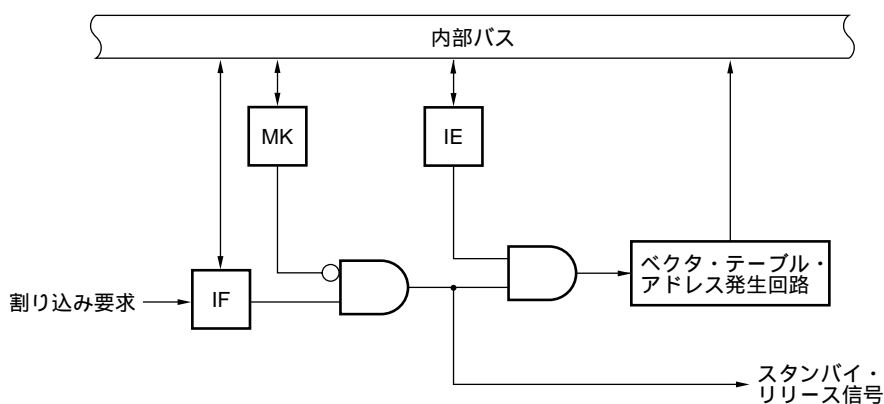
備考 ウォッチドッグ・タイマの割り込み要因(INTWDT)には、ノンマスクابل割り込みとマスクابل割り込み(内部)の2種類があり、どちらか1種類のみ選択できます。

図13 - 1 割り込み機能の基本構成

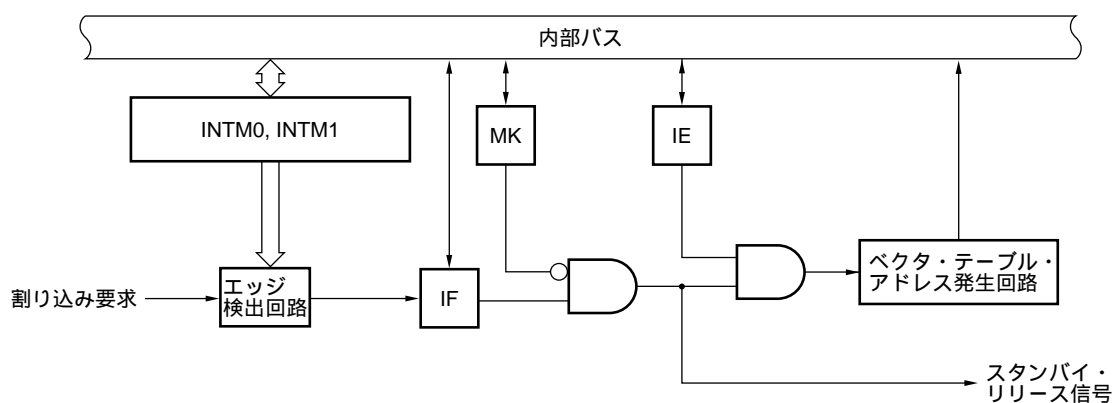
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



INTM0 : 外部割り込みモード・レジスタ0

INTM1 : 外部割り込みモード・レジスタ1

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

13.3 割り込み機能を制御するレジスタ

割り込み機能は、次の4種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0, IF1)
- ・割り込みマスク・フラグ・レジスタ (MK0, MK1)
- ・外部割り込みモード・レジスタ (INTM0, INTM1)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表13 - 2に示します。

表13 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTP3	PIF3	PMK3
INTSRE0	SREIF0	SREMK0
INTSR0	SRIF0	SRMK0
INTST0	STIF0	STMK0
INTTM50	TMIF50	TMMK50
INTTM51	TMIF51	TMMK51
INTTM00	TMIF00	TMMK00
INTTM01	TMIF01	TMMK01

(1) 割り込み要求フラグ・レジスタ (IF0, IF1)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0, IF1は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13 - 2 割り込み要求フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
IF0	STIF0	SRIF0	SREIF0	PIF3	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W

略号	7	6	5	4				0	アドレス	リセット時	R/W
IF1	0	0	0	0	TMIF01	TMIF00	TMIF51	TMIF50	FFE1H	00H	R/W

x x IF x	割り込み要求フラグ	
0	割り込み要求信号が発生していない	
1	割り込み要求信号が発生し、割り込み要求状態	

- 注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。
2. P30-P33は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。
3. 割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

(2) 割り込みマスク・フラグ・レジスタ (MK0, MK1)

割り込みマスク・フラグは、対応するマスク割込み処理の許可/禁止を設定するフラグです。
 MK0, MK1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 RESET入力により、FFHになります。

図13 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
IF0	STMK0	SRMK0	SREMK0	PMK3	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W

略号	7	6	5	4				0	アドレス	リセット時	R/W
IF1	1	1	1	1	TMMK01	TMMK00	TMMK51	TMMK50	FFE5H	FFH	R/W

x x MK	割り込み処理の制御	
0	割り込み処理許可	
1	割り込み処理禁止	

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。
2. P30-P33は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。

(3) 外部割り込みモード・レジスタ (INTM0, INTM1)

INTP0-INTP3の有効エッジを設定するレジスタです。

INTM0, INTM1は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図13-4 外部割り込みモード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	0	0	0	0	ES31	ES30	FFEDH	00H	R/W

ESn1	ESn0	INTPnの有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がり両エッジ

備考 n = 0-3

注意1. INTM0のビット0, 1, INTM1のビット2-7には、必ず0を設定してください。

2. INTM0, INTM1レジスタの設定は、必ず割り込みマスク・フラグ (PMK0-PMK3) に1を設定し、割り込みを禁止してから行ってください。

その後、割り込み要求フラグ (PIF0-PIF3) をクリア (0) してから、割り込みマスク・フラグ (PMK0-PMK3) に0を設定し、割り込みを許可してください。

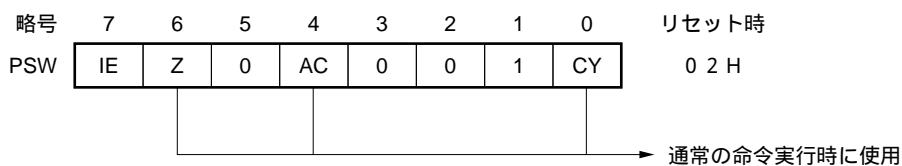
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可/禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し/書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

RESET入力により、PSWは02Hになります。

図13 - 5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可/禁止
0	禁止
1	許可

13.4 割り込み処理動作

13.4.1 ノンマスカブル割り込み要求の受け付け動作

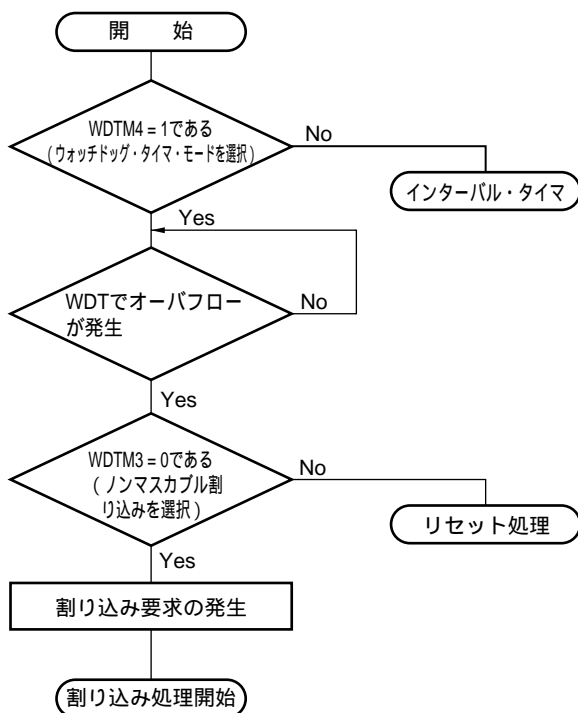
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図13 - 6に、ノンマスカブル割り込み要求の受け付けタイミングを図13 - 7に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図13 - 8に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図13 - 6 ノンマスクブル割り込み要求発生から受け付けまでのフロー・チャート

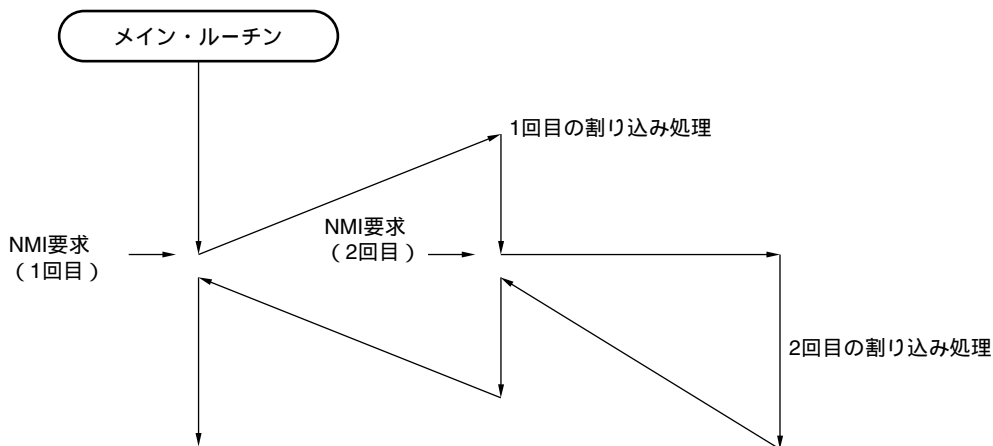


WDTM : ウォッチドッグ・タイム・モード・レジスタ
 WDT : ウォッチドッグ・タイム

図13 - 7 ノンマスクブル割り込み要求の受け付けタイミング



図13 - 8 ノンマスクブル割り込み要求の受け付け動作



13.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表13-3のようになります。割り込み要求の受け付けのタイミングについては、図13-10、図13-11を参照してください。

表13-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU}: CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

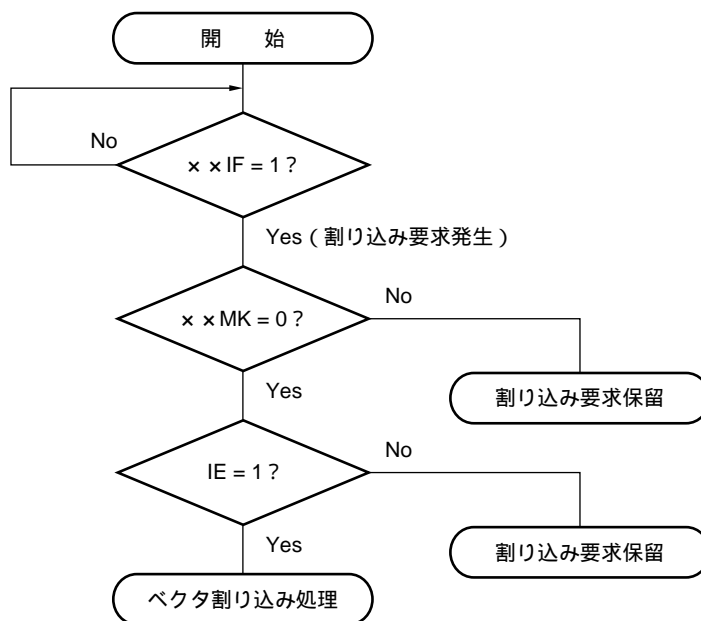
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図13-9に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図13-9 割り込み要求受け付け処理アルゴリズム

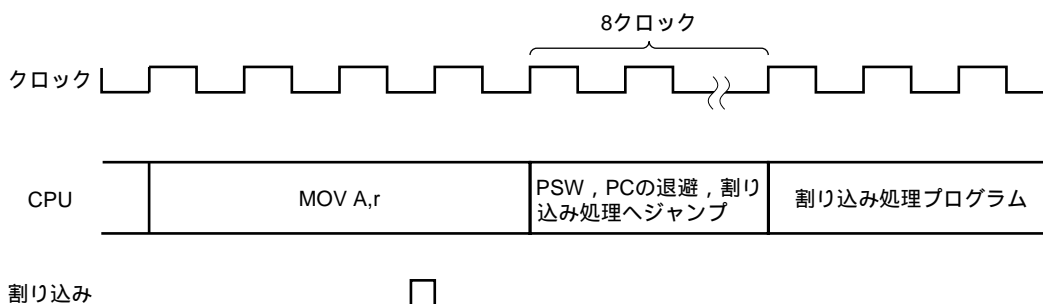


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ(1 = 許可, 0 = 禁止)

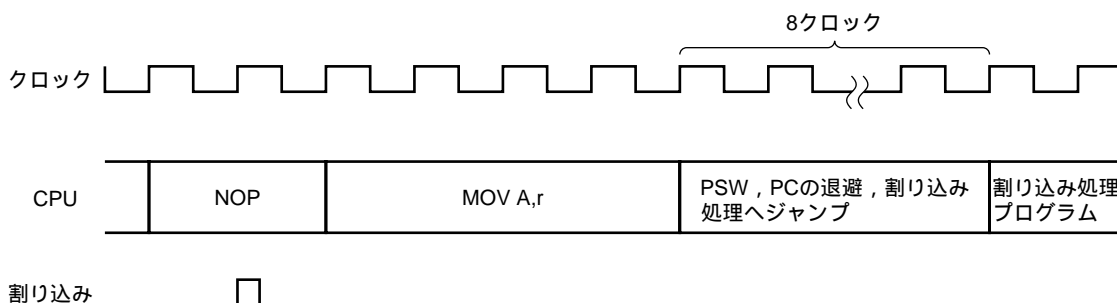
図13 - 10 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図13 - 10では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図13 - 11 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図13 - 11ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

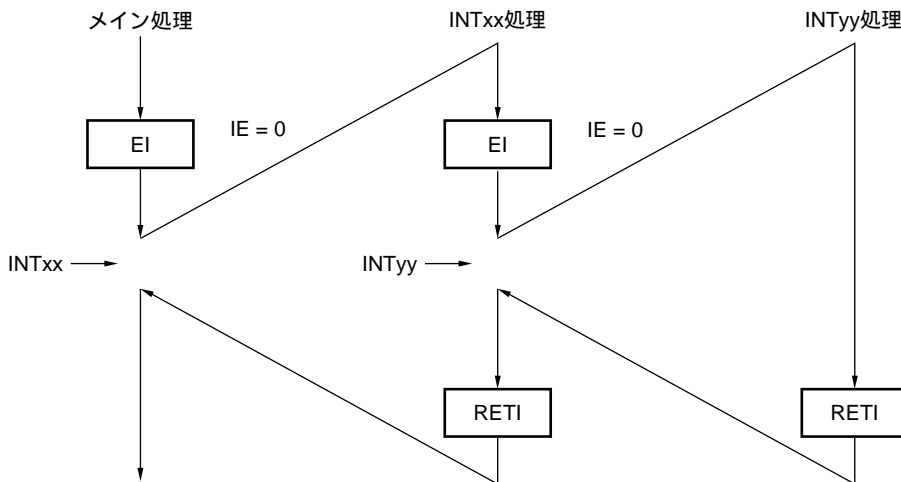
注意 割り込み要求フラグ・レジスタ (IF0, IF1) または割り込みマスク・フラグ・レジスタ (MK0, MK1) にアクセス中は割り込み要求は保留されます。

13.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表13-1参照）。

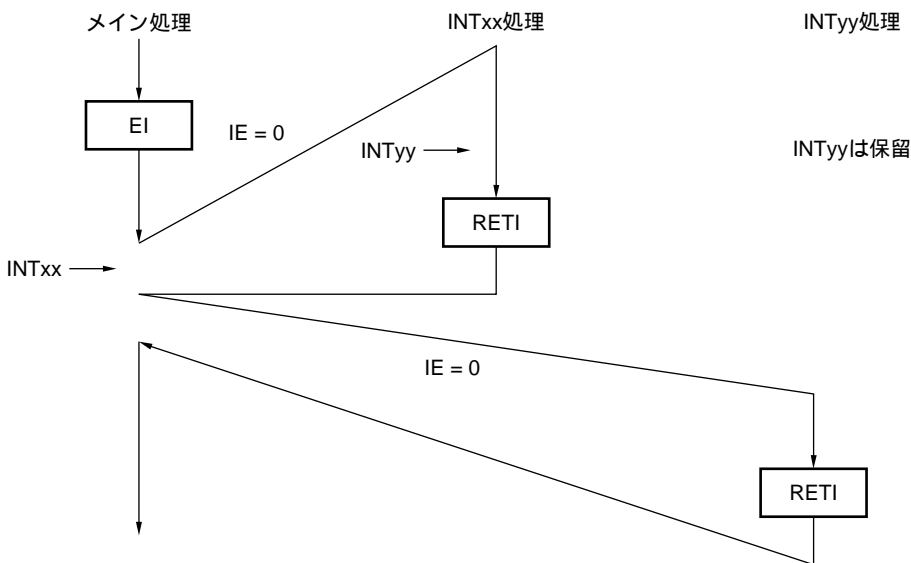
図13-12 多重割り込みの例

例1. 重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2. 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

13.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ（IF0, IF1）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ（MK0, MK1）に対する操作命令

第14章 スタンバイ機能

14.1 スタンバイ機能と構成

スタンバイ機能は、システムの消費電力をより低減するための機能で、 μ PD789881サブシリーズではHALTモードのみサポートしています。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。メイン・システム・クロックを停止させた状態（第5章 クロック発生回路参照）でHALTモードにすることも可能です。割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

HALTモードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出カラッチ、出力バッファの状態も保持されます。

注意 STOPモードはサポートしておりません。したがってSTOP命令は実行しないでください。

14.2 スタンバイ機能の動作

14.2.1 HALTモードの設定および動作状態

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表14 - 1 HALTモード時の動作状態

項 目	HALTモードの動作状態
クロック発生回路	発振可能。CPUへのクロック供給は停止。
サブシステム・クロック4通倍回路	動作停止
CPU	動作停止
ポート（出カラッチ）	HALTモード設定前の状態を保持
16ビット・タイマ/イベント・カウンタ0	動作可能 ^{注1, 2}
8ビット・タイマ/イベント・カウンタ50,51	動作可能 ^{注1}
ウォッチドッグ・タイマ	動作可能
シリアル・インタフェースUART0	動作可能 ^{注1}
乗算器	動作可能
LCDコントローラ/ドライバ	動作可能
外部割り込み	動作可能 ^{注3}

注1. 4通倍クロック回路が動作停止するため、カウント・クロックに4fxtは選択不可

2. カウント・クロックにTI00有効エッジを選択する場合は、メイン・システム・クロックが動作しているとき（MCC = 0）のみ使用可能

3. マスクされていないマスクブル割り込み

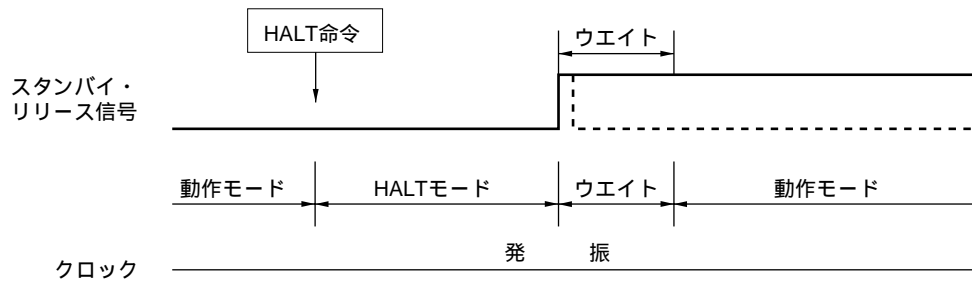
14.2.2 HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(1) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図14 - 1 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウエイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9~10クロック
- ・ベクタに分岐しなかった場合 : 1~2クロック

(2) ノンマスクابل割り込み要求による解除

ノンマスクابل割り込み要求が発生すると、割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(3) $\overline{\text{RESET}}$ 入力による解除

$\overline{\text{RESET}}$ 信号の入力があると、HALTモードを解除します。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図14 - 2 HALTモードの $\overline{\text{RESET}}$ 入力による解除

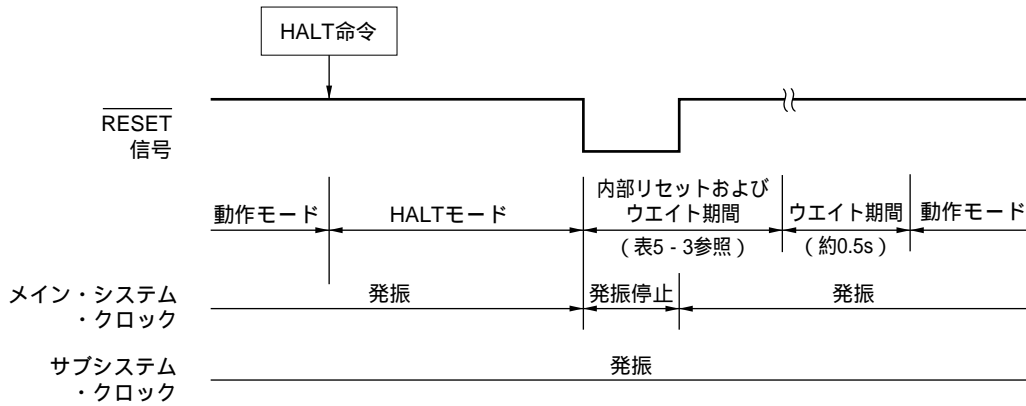


表14 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

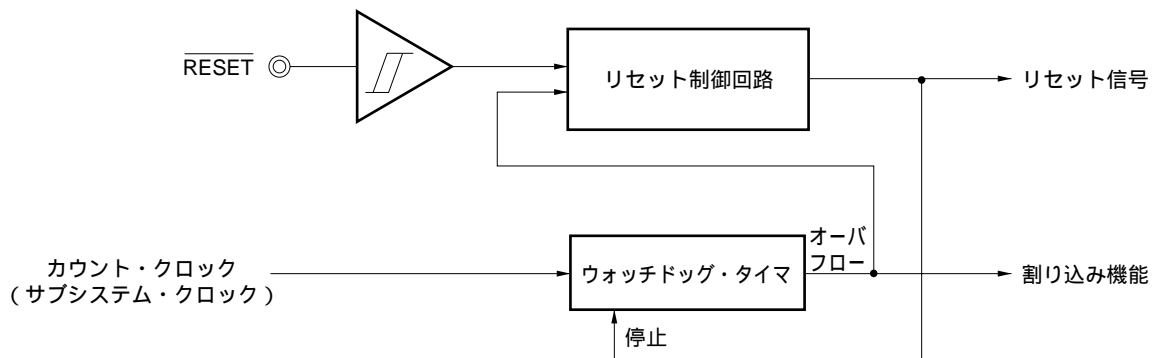
第15章 リセット機能

15.1 リセットの種類

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

図15 - 1 リセット機能のブロック図



15.2 リセット処理動作

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。リセットにより、各ハードウェアは表15 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後のレギュレータ安定時間中は、ポート端子はハイ・インピーダンス状態となり、サブシステム・クロックは発振継続します。

注意 リセット後には、CPUはメイン・システム・クロックの低速モード（16 μ s：約500 kHz（TYP.）動作時）が選択されています。ユーザ・プログラムの初期段階でプロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）を書き換えて、高速モード（4 μ s：500 kHz（TYP.）動作時）に切り替えてください。

(1) $\overline{\text{RESET}}$ 端子による外部リセット入力

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されることによってリセットがかかります。その後 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、自動的に内部リセット・ウエイト時間（表5 - 3参照）が確保されたあとにリセットが解除され、さらに自動的に内部レギュレータ安定時間（約0.5 s）ウエイト後にプログラムの実行を開始します（図15 - 2参照）。

この場合、メイン・システム・クロックは、リセット期間中に発振停止し、内部リセット・ウエイト期間中およびリセット解除直後のレギュレータ安定時間中は発振します。

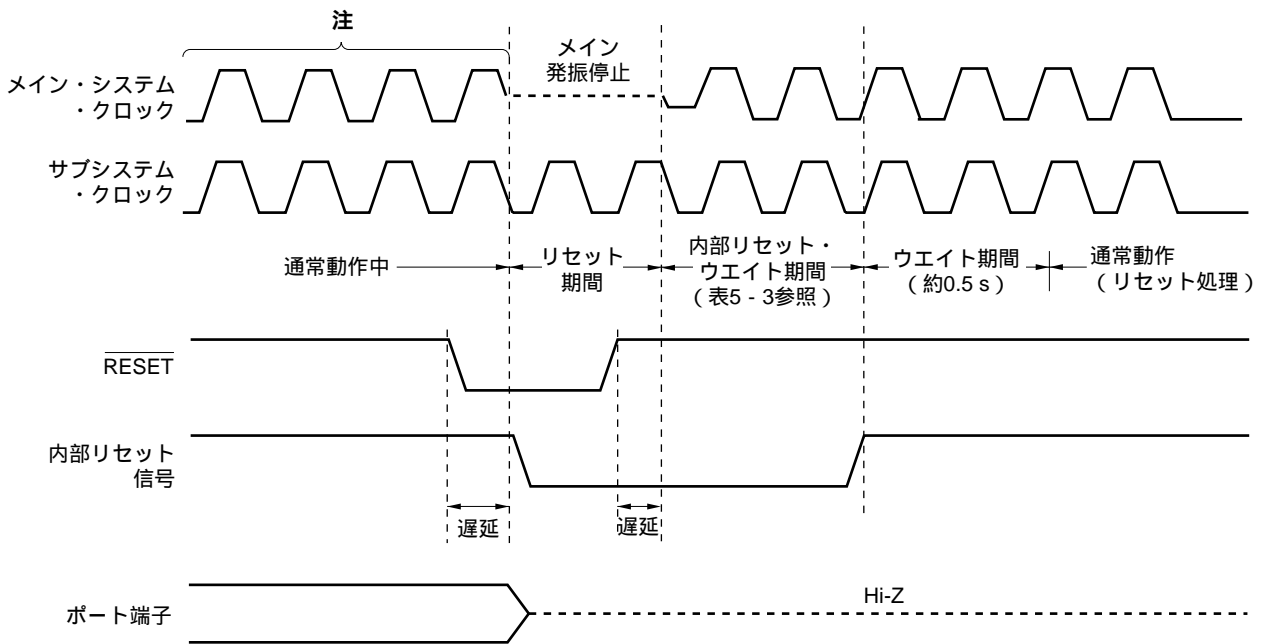
注意 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

(2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

ウォッチドッグ・タイマのオーパフローによって内部リセット信号が発生し、リセットがかかります。そして、内部リセット信号が自動的に内部リセット・ウエイト時間（表5 - 3参照）引き延ばされたあとにリセットが解除され、さらに内部レギュレータ安定時間（約0.5 s）ウエイト後にプログラムの実行を開始します（図15 - 3参照）。

この場合、メイン・システム・クロックは、リセット期間中はリセット前の状態を継続（MCC=0なら発振、MCC=1なら停止）し、内部リセット・ウエイト期間中およびリセット解除直後のレギュレータ安定時間中は発振します。

図15-2 RESET入力によるリセット・タイミング



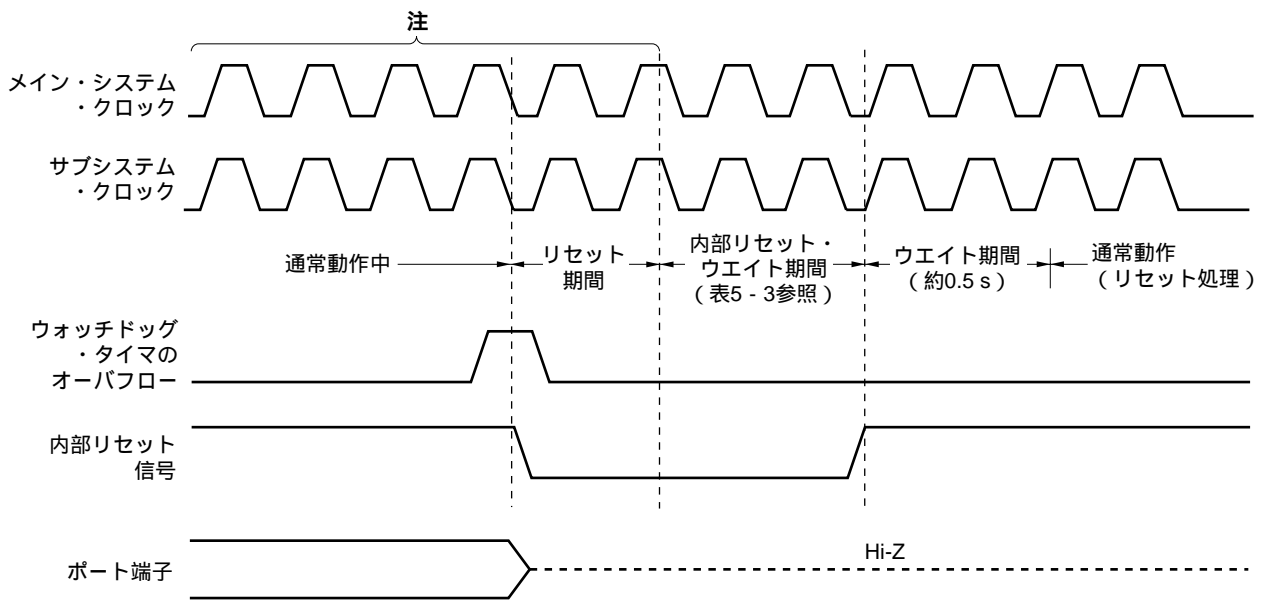
注 リセット前のメイン・システム・クロックは、MCC = 0のときは発振、MCC = 1のときは停止となります。

備考1. リセット期間中のメイン・システム・クロックは必ず停止になります。

内部リセット・ウェイト期間中およびリセット後のメイン・システム・クロックは必ず発振します（初期値がMCC = 0のため）。

2. サブシステム・クロックは、電源が投入されている限り、常に発振を継続します（リセットによる影響なし）。

図15-3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング



注 リセット前およびリセット期間中のメイン・システム・クロックは、MCC = 0のときは発振，MCC = 1のときは停止となります。

- 備考1.** 内部リセット・ウェイト期間中およびリセット後のメイン・システム・クロックは必ず発振します（初期値がMCC = 0のため）。
- 2.** サブシステム・クロックは、電源が投入されている限り、常に発振を継続しますが（リセットによる影響なし）。

図15 - 4 電源投入時のRESET入力によるリセット・タイミング

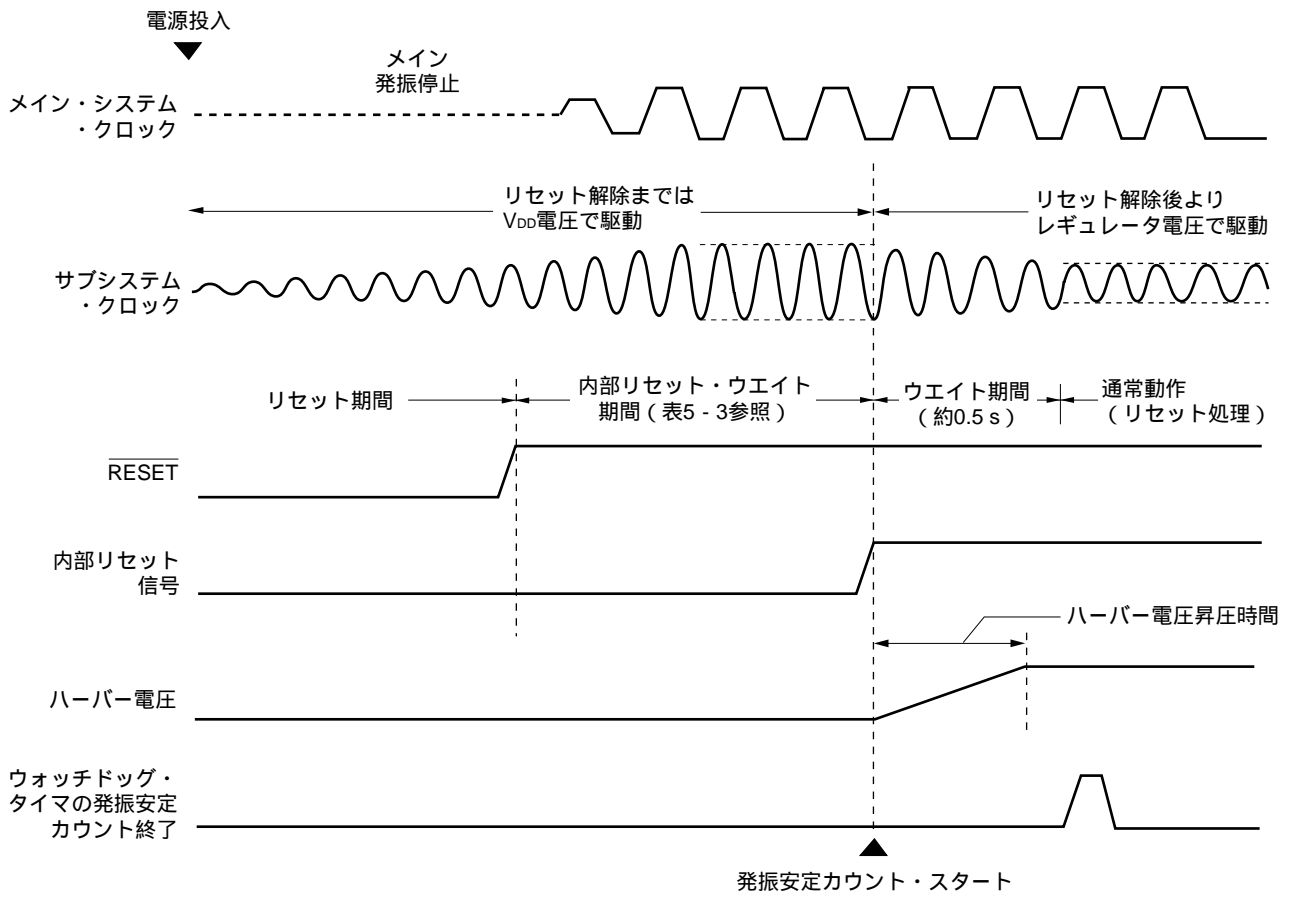


表15 - 1 各ハードウェアのリセット後の状態

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P3, P5, P8, P9) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3, PM5, PM8, PM9)		FFH
ポート・ファンクション・レジスタ (PF8, PF9)		00H
プルアップ抵抗オプション・レジスタ (PUB0-PUB3, PUB8, PUB9)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブクロック・コントロール・レジスタ (CSS)		00H
16ビット・タイマ/イベント・カウンタ0	タイマ・カウンタ (TM0)	0000H
	キャプチャ/コンペア・レジスタ (CR00, CR01)	0000H
	キャプチャ/コンペア・コントロール・レジスタ (CRC0)	00H
	モード・コントロール・レジスタ (TMC0)	00H
	出力コントロール・レジスタ (TOC0)	00H
	プリスケラ・モード・レジスタ (PRM0)	00H
8ビット・タイマ/イベント・カウンタ50, 51	タイマ・カウンタ (TM50, TM51)	00H
	コンペア・レジスタ (CR50, CR51)	不定
	モード・コントロール・レジスタ (TMC50, TMC51)	00H
	タイマ・クロック選択レジスタ (TCL50, TCL51)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
UART	送信シフト・レジスタ (TXS0)	FFH
	受信バッファ・レジスタ (RXB0)	FFH
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM0)	01H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS0)	00H
	ポー・レート・ジェネレータ・コントロール・レジスタ (BRGC0)	1FH
LCDコントローラ/ドライバ	表示モード・レジスタ (LCDM0)	00H
	クロック制御レジスタ (LCDC0)	00H
乗算器	16ビット結果格納レジスタ (MUL0)	不定
	データ・レジスタ (MRA0, MRB0)	不定
	コントロール・レジスタ (MULC0)	00H
割り込み	要求フラグ・レジスタ (IF0, IF1)	00H
	マスク・フラグ・レジスタ (MK0, MK1)	FFH
	外部割り込みモード・レジスタ (INTM0, INTM1)	00H

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

第16章 μ PD78F9882

μ PD78F9882は、 μ PD789881サブシリーズのマスクROM製品の内部ROMをフラッシュ・メモリに置き換えた製品です。

μ PD78F9882とマスクROM製品の違いを表16 - 1に示します。

表16 - 1 μ PD78F9882とマスクROM製品の違い

項 目		フラッシュ・メモリ製品	マスクROM製品
		μ PD78F9882	μ PD789881
内部メモリ	ROM	32 Kバイト (フラッシュ・メモリ)	16 Kバイト
	高速RAM	512バイト	
	LCD表示用RAM	26 × 4ビット	
ポート5のプルアップ抵抗		なし	マスク・オプションによりビット単位で指定可能
ボルテージ・ハーバー回路		なし	あり
IC0端子		なし	あり
Vpp端子		あり	なし
電気的特性		第19章 電気的特性を参照してください。	

注意 フラッシュ・メモリ製品とマスクROM製品では、消費電流、ノイズ耐量やノイズ輻射などが異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価をしてください。

（開発ツール(ICE)と実デバイスでも一部異なりますので、エミュレーション・ボード(IE-789882-NS-EM1)のユーザーズ・マニュアルもあわせてお読みください。）

16.1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9882を実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライタ（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（045）475-4191）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

16.1.1 プログラミング環境

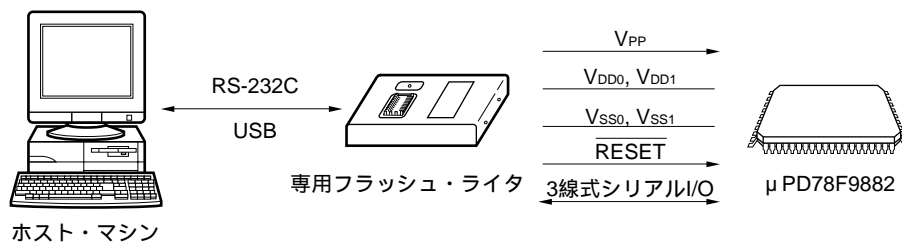
μ PD78F9882のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライタとして（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を使用した場合、専用フラッシュ・ライタには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライタ間の通信は、RS-232CまたはUSB（Rev1.1）で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図16-1 フラッシュ・メモリにプログラムを書き込むための環境



16.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9882との通信は、表16-2に示す通信方式から選択して行います。

表16-2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK	Flash Clock	Multiple Rate		
3線式シリアルI/O	SIO ch-0 (3wired, sync.)	100 Hz- 2 MHz ^{注2}	任意	1-5 MHz	1.0	P22 (SI1) P21 (SO1) P20 (SCK1)	0

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。評価のうえご使用ください。

図16-2 通信方式選択フォーマット

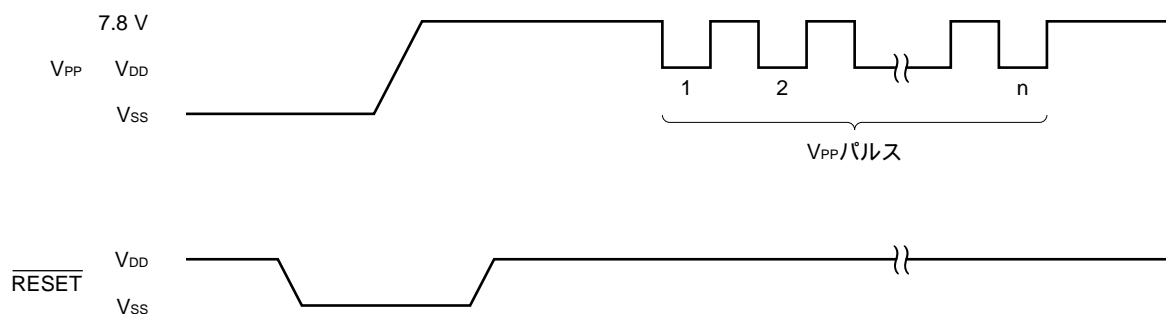
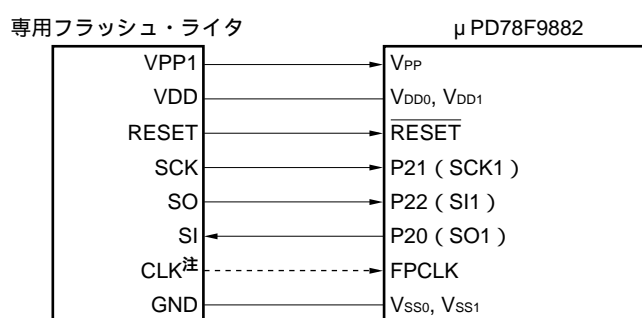


図16-3 専用フラッシュ・ライタとの接続例 (3線式シリアルI/O)



注 専用フラッシュ・ライタからシステム・クロックを供給する場合に接続します。専用フラッシュ・ライタからシステム・クロックを供給しない場合は、FPCLK端子に1~5 MHzの外部クロックを入力してください。

注意 V_{DD0}, V_{DD1}端子は、すでに外部電源が接続されている場合でも、必ず専用フラッシュ・ライタのV_{DD}端子と接続してください。また、その外部電源を使用する場合は、必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライタとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78F9882に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表16 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O
VPP1	出力	書き込み電圧	VPP	
VPP2	-	-	-	x
VDD	入出力	VDD電圧生成 / 電圧監視	VDD0, VDD1	注
GND	-	グランド	VSS0, VSS1	
CLK	出力	クロック出力	FPCLK	
RESET	出力	リセット信号	RESET	
SI	入力	受信信号	P20 (SO1)	
SO	出力	送信信号	P22 (SI1)	
SCK	出力	転送クロック	P21 (SCK1)	
HS	入力	ハンドシェイク信号	-	x

注 VDD電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: 外部クロックが供給されていれば、接続の必要はありません。

x : 接続の必要はありません。

16.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

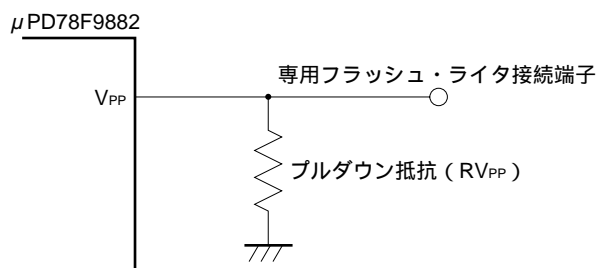
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に7.8 V (TYP.) の書き込み電圧を供給しますので、次に示す (1) か (2) の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗RV_{PP} = 10 k Ω を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライタ側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図16 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

シリアル・インタフェースが使用する端子を次に示します。

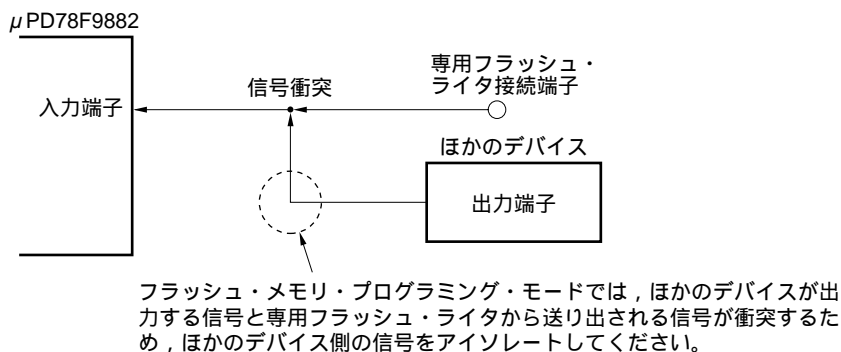
シリアル・インタフェース	使用端子
3線式シリアルI/O	P22 (SI1), P20 (SO1), P21 (SCK1)

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・ライタ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

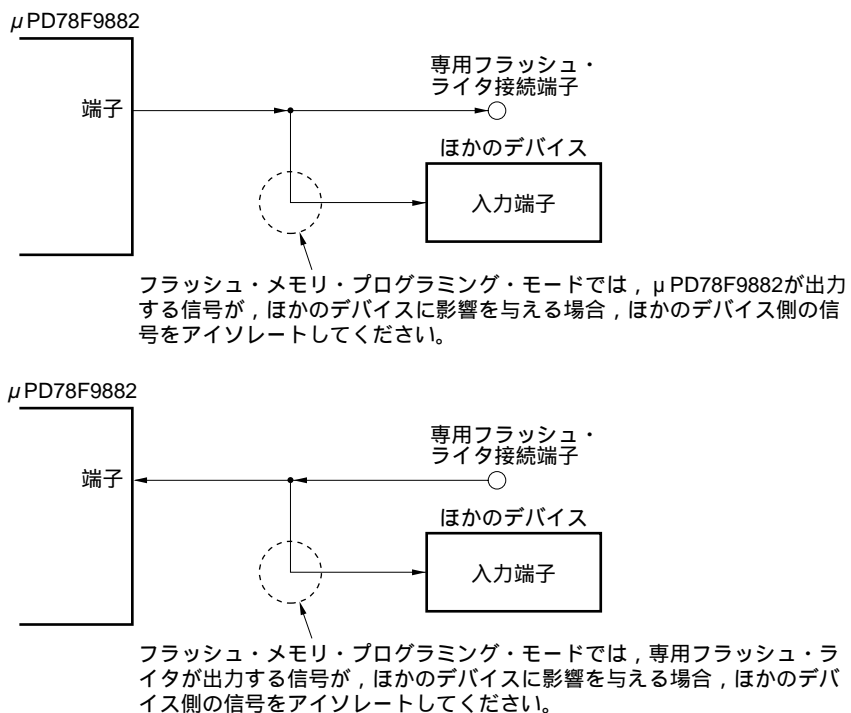
図16 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・ライタ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスへの入力信号を無視するように設定してください。

図16 - 6 ほかのデバイスの異常動作

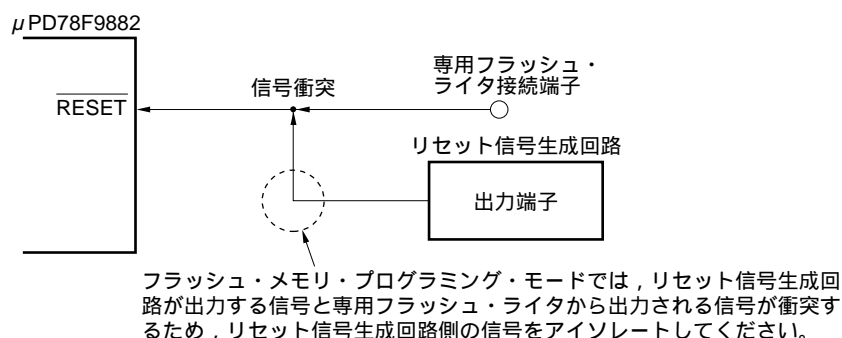


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図16-7 信号の衝突 (RESET端子)

**<ポート端子>**

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してVDD0に接続する、または抵抗を介してVSS0に接続するなどの処置をしてください。

<発振端子>

フラッシュ・ライタのクロック出力を使用する場合は、FPCLK端子に直接接続してください。

フラッシュ・ライタのクロック出力を使用しない場合は、外部クロックをFPCLK端子に入力してください。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、VDD0、VDD1端子はフラッシュ・ライタのVDDに、VSS0、VSS1端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

外部電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのVDDは必ず接続してください。

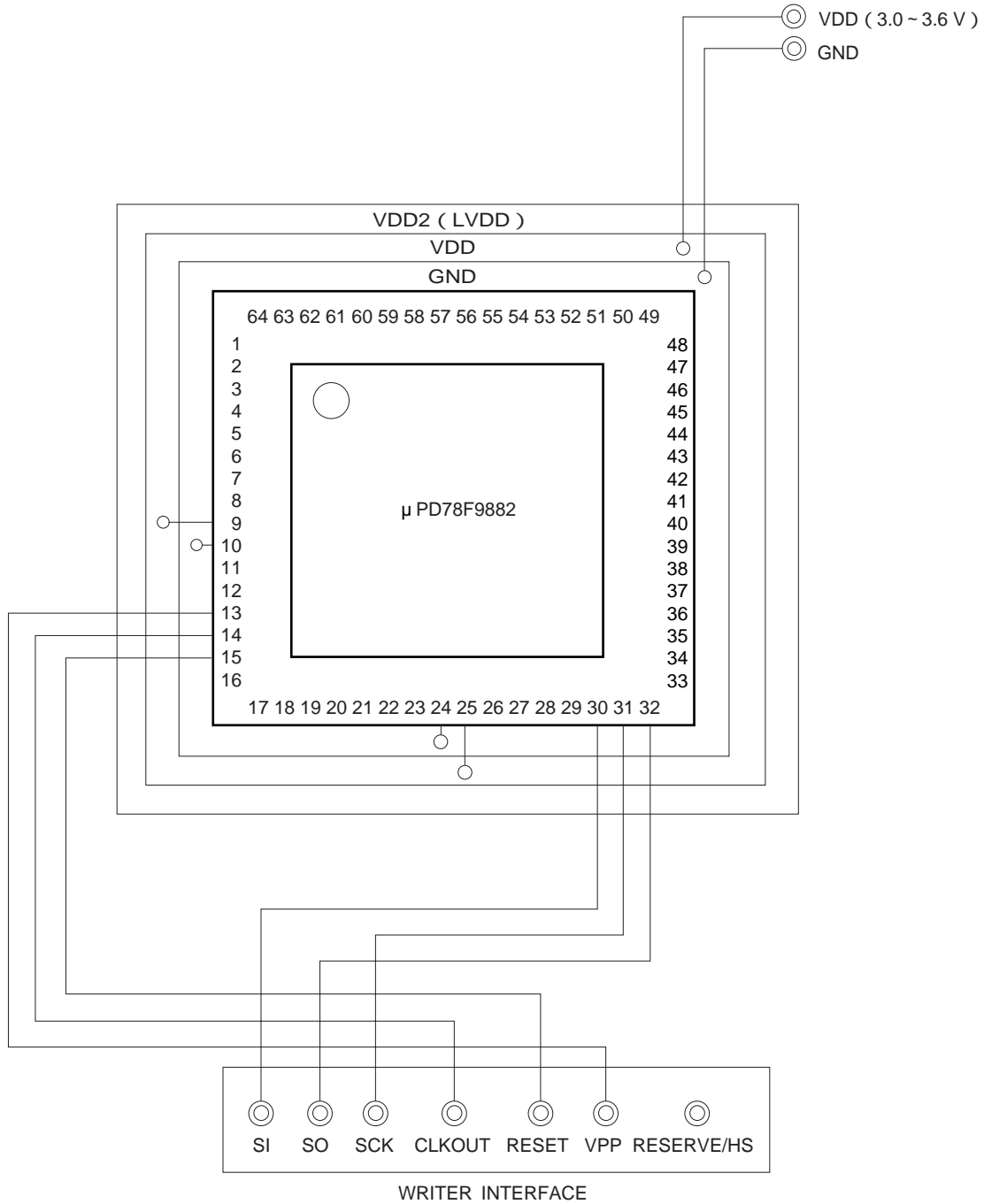
<その他の端子>

その他の端子 (S0-S14, COM0-COM3, V_{LC1}, V_{LC2}, CAPH1, CAPL1, CAPH2, CAPL2, HV_{DD}, VR_{OUT}) は、通常動作モード時と同じ処理をしてください。

16.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図16 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例



第17章 マスク・オプション

μ PD789881には、次のマスク・オプションがあります。

プルアップ抵抗

ポート5（入出力ポート）の内蔵プルアップ抵抗の接続を1ビットごとに選択可能

プルアップ抵抗を接続する

プルアップ抵抗を接続しない

注意 フラッシュ・メモリ製品（ μ PD78F9882）にはマスク・オプションはありません。

第18章 命令セットの概要

μPD789881サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

18.1 オペレーション

18.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミューディエト・データ指定
- ・!：絶対アドレス指定
- ・\$：相対アドレス指定
- ・[]：間接アドレス指定

イミューディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表18-1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミューディエト・データまたはラベル
saddrp	FE20H-FF1FH イミューディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミューディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミューディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミューディエト・データまたはラベル
byte	8ビット・イミューディエト・データまたはラベル
bit	3ビット・イミューディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-3 特殊機能レジスタ一覧を参照してください。

18.1.2 オペレーション欄の説明

A	: Aレジスタ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
NMIS	: ノンマスカブル割り込み処理中フラグ
()	: ()内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレイメント値)

18.1.3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット/クリアされる
R	: 以前に退避した値がストアされる

18.2 オペレーション一覧

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r <small>注1</small>	2	4	A r			
	r, A <small>注1</small>	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) A			
XCH	A, X	1	4	A X			
	A, r <small>注2</small>	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp <small>注</small>	1	4	AX rp			
	rp, AX <small>注</small>	1	4	rp AX			
XCHW	AX, rp <small>注</small>	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	x	x	x
	A, r	2	4	A, CY A - r - CY	x	x	x
	A, saddr	2	4	A, CY A - (saddr) - CY	x	x	x
	A, laddr16	3	8	A, CY A - (addr16) - CY	x	x	x
	A, [HL]	1	6	A, CY A - (HL) - CY	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	x	x	x
AND	A, #byte	2	4	A A ∧ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	x		
	A, r	2	4	A A ∧ r	x		
	A, saddr	2	4	A A ∧ (saddr)	x		
	A, laddr16	3	8	A A ∧ (addr16)	x		
	A, [HL]	1	6	A A ∧ (HL)	x		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	x		
OR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		
XOR	A, #byte	2	4	A A ∨ byte	x		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	x		
	A, r	2	4	A A ∨ r	x		
	A, saddr	2	4	A A ∨ (saddr)	x		
	A, laddr16	3	8	A A ∨ (addr16)	x		
	A, [HL]	1	6	A A ∨ (HL)	x		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	x		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fcPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	CY $\overline{\text{CY}}$			x
CALL	!addr16	3	6	(SP - 1) (PC + 3) _H , (SP - 2) (PC + 3) _L , PC addr16, SP SP - 2			
CALLT	[addr5]	1	8	(SP - 1) (PC + 1) _H , (SP - 2) (PC + 1) _L , PC _H (00000000, addr5 + 1), PC _L (00000000, addr5), SP SP - 2			
RET		1	6	PC _H (SP + 1), PC _L (SP), SP SP + 2			
RETI		1	8	PC _H (SP + 1), PC _L (SP), PSW (SP + 2), SP SP + 3, NMIS 0	R	R	R
PUSH	PSW	1	2	(SP - 1) PSW, SP SP - 1			
	rp	1	4	(SP - 1) rp _H , (SP - 2) rp _L , SP SP - 2			
POP	PSW	1	4	PSW (SP), SP SP + 1	R	R	R
	rp	1	6	rp _H (SP + 1), rp _L (SP), SP SP + 2			
MOVW	SP, AX	2	8	SP AX			
	AX, SP	2	6	AX SP			
BR	!addr16	3	6	PC addr16			
	\$addr16	2	6	PC PC + 2 + jdisp8			
	AX	1	6	PC _H A, PC _L X			
BC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 1			
BNC	\$saddr16	2	6	PC PC + 2 + jdisp8 if CY = 0			
BZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 1			
BNZ	\$saddr16	2	6	PC PC + 2 + jdisp8 if Z = 0			
BT	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 1			
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 1			
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
BF	saddr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0			
	sfr.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0			
	A.bit, \$saddr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0			
	PSW.bit, \$saddr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0			
DBNZ	B, \$saddr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0			
	C, \$saddr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0			
	saddr, \$saddr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0			
NOP		1	2	No Operation			
EI		3	6	IE 1 (Enable Interrupt)			
DI		3	6	IE 0 (Disable Interrupt)			
HALT		1	2	Set HALT Mode			
STOP		1	2	Set STOP Mode			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

18.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV , XCH , ADD , ADDC , SUB , SUBC , AND , OR , XOR , CMP , INC , DEC , ROR , ROL , RORC ,
 ROLC , PUSH , POP , DBNZ

第2オペランド 第1オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROLC	
r	MOV	MOV											INC DEC
B , C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW , XCHW , ADDW , SUBW , CMPW , PUSH , POP , INCW , DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1 , CLR1 , NOT1 , BT , BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL , CALLT , BR , BC , BNC , BZ , BNZ , DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET , RETI , NOP , EI , DI , HALT , STOP

第19章 電気的特性

絶対最大定格 (TA = 25)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.3 ~ + 4.6	V
	V _{PP}	μ PD78F9882のみ 注1	- 0.3 ~ + 8.5	V
入力電圧	V _{I1}	P00-P03, P10, P11, P20-P22, P30-P33, P80-P84 ^{注2} , P90-P95 ^{注2} , XT1, XT2, RESET	- 0.3 ~ V _{DD} + 0.3 ^{注3}	V
	V _{I2}	P50-P53	N-chオープン・ドレイン時	- 0.3 ~ + 4.6
ブルアップ抵抗内蔵時			- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
出力電圧	V _O	P00-P03, P10, P11, P20-P22, P30-P33, P80-P84 ^{注1} , P90-P95 ^{注1}	- 0.3 ~ V _{DD} + 0.3 ^{注2}	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	- 20 ~ + 85	
保存温度	T _{stg}	μ PD789881	- 65 ~ + 150	
		μ PD78F9882	- 55 ~ + 125	

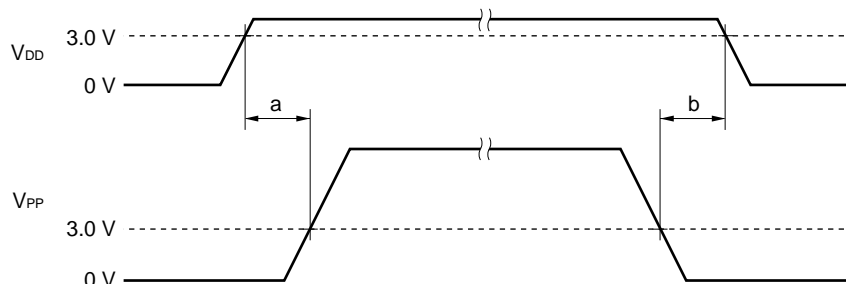
注1. フラッシュ・メモリ書き込み時, V_{PP}の電圧印加タイミングについては, 必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD}が動作電圧範囲の下限電圧(3.0 V)に達してから10 μs以上経過後, V_{PP}がV_{DD}を越えること(下図のa)。

・電源電圧立ち下がり時

V_{PP}がV_{DD}の動作電圧範囲の下限電圧(3.0 V)を下回ってから10 μs以上経過後, V_{DD}を立ち下げること(下図のb)。



- ポート・ファンクション・レジスタにより入出力ポートとして使用時
- ただし, 4.6 V以下であること

注意 各項目のうち1項目でも, また一瞬でも絶対最大定格を越えると, 製品の品質を損なう恐れがあります。つまり絶対最大定格とは, 製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で, 製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

メイン・システム・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6 \text{ V}$ (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6 \text{ V}$ (μ PD78F9882))

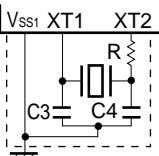
発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
内部リング・オシレータ	-	発振周波数 (f_x) ^注		0.25	0.5	1.1	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保する必要はありません。

サブシステム・クロック発振回路特性

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6 \text{ V}$ (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6 \text{ V}$ (μ PD78F9882))

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	39	kHz
		発振安定時間 ^{注2}			3	10	s

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電流にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 (1/3)

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9882))

項目	略号	条件		MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流	I _{OL}	1端子				10	mA
		全端子				80	mA
ハイ・レベル出力電流	I _{OH}	1端子				- 1	mA
		全端子				- 15	mA
ハイ・レベル入力電圧	V _{IH1}	P00-P03, P10, P11, P80-P84, P90-P95		0.7 V _{DD}		V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時	0.7 V _{DD}		3.6	V
			プルアップ抵抗内蔵時	0.7 V _{DD}		V _{DD}	V
V _{IH3}	RESET, P20-P22, P30-P33		0.8 V _{DD}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P00-P03, P10, P11, P80-P84, P90-P95		0		0.3 V _{DD}	V
	V _{IL2}	P50-P53		0		0.3 V _{DD}	V
	V _{IL3}	RESET, P20-P22, P30-P33		0		0.2 V _{DD}	V
ハイ・レベル出力電圧	V _{OH}	P00-P03, P10, P11, P20-P22, P30-P33, P50-P53, P80-P84, P90-P95	I _{OH} = - 400 μ A	V _{DD} - 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P00-P03, P10, P11, P20-P22, P30-P33, P80-P84, P90-P95	I _{OL} = 400 μ A			0.5	V
		P50-P53	I _{OL} = 5 mA			0.5	V
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	P00-P03, P10, P11, P20-P22, P30-P33, P80-P84, P90-P95, RESET			3	μ A
	I _{LIH2}	V _I = 3.6 V	P50-P53			3	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V	P00-P03, P10, P11, P20-P22, P30-P33, P80-P84, P90-P95, RESET			- 3	μ A
			P50-P53	リード時以外			- 10
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				3	μ A
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				- 3	μ A
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V	P00-P03, P10, P11, P20-P22, P30-P33	50	100	200	k Ω
			P80-P84, P90-P95	100	200	400	k Ω
マスク・オプション・プルアップ抵抗 ^注	R ₂	V _I = 0 V	P50-P53	10	30	60	k Ω

注 マスクROM製品のみ

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (2/3)

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6$ V (マスクROM製品))

項目	略号	条件		MIN.	TYP. ^{注5}	MAX.	単位	
電源電流 ^{注1} (マスクROM製品)	I _{DD1}	0.5 MHz メイン・クロック 動作モード ^{注2}	V _{DD} = 3.6 V	T _A = -40 ~ +60		25		μA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		21	45	μA
				T _A = -40 ~ +85			90	μA
			V _{DD} = 2.7 V	T _A = -40 ~ +60		18		μA
	I _{DD2}	0.5 MHz メイン・クロック HALTモード ^{注2}	V _{DD} = 3.6 V	T _A = -40 ~ +60		8		μA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		6	16	μA
				T _A = -40 ~ +85			32	μA
			V _{DD} = 2.7 V	T _A = -40 ~ +60		5		μA
	I _{DD3}	32.768 kHz 水晶発振 4通倍動作 モード ^{注3}	V _{DD} = 3.6 V	T _A = -40 ~ +60		7		μA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		6.1	12.5	μA
				T _A = -40 ~ +85			25	μA
			V _{DD} = 2.7 V	T _A = -40 ~ +60		5		μA
	I _{DD4}	32.768 kHz 水晶発振HALT モード ^{注4}	V _{DD} = 3.6 V	T _A = -40 ~ +60		1		μA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		0.9	1.9	μA
				T _A = -40 ~ +85			4.0	μA
			V _{DD} = 2.7 V	T _A = -40 ~ +60		0.87		μA

注1. 内蔵プルアップ抵抗に流れる電流は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)
3. CPUはサブ4通倍クロック動作, メイン・システム・クロック停止時
4. タイマ50, ウォッチドッグ・タイマ, LCD動作時 (LCDON0 = 1, LIPS0 = 1のとき)
5. TYP.値は, $T_A = 25$ かつ全周辺機能OFF時の値です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (3/3)

($T_A = -40 \sim +85$, $V_{DD} = 3.0 \sim 3.6 \text{ V}$ ($\mu\text{PD78F9882}$))

項目	略号	条件		MIN.	TYP. ^{注5}	MAX.	単位	
電源電流 ^{注1} ($\mu\text{PD78F9882}$)	I _{DD1}	0.5 MHz メイン・クロック 動作モード ^{注2}	V _{DD} = 3.6 V	T _A = -40 ~ +60		9.5		mA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		8.2		mA
				T _A = -40 ~ +85			18	mA
	I _{DD2}	0.5 MHz メイン・クロック HALTモード ^{注2}	V _{DD} = 3.6 V	T _A = -40 ~ +60		9.4		mA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		8.15		mA
				T _A = -40 ~ +85			18	mA
	I _{DD3}	32.768 kHz 水晶発振 4逓倍動作 モード ^{注3}	V _{DD} = 3.6 V	T _A = -40 ~ +60		9.4		mA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		8.15		mA
				T _A = -40 ~ +85			18	mA
	I _{DD4}	32.768 kHz 水晶発振HALT モード ^{注4}	V _{DD} = 3.6 V	T _A = -40 ~ +60		9.3		mA
			V _{DD} = 3.0 V	T _A = -40 ~ +60		8.1		mA
				T _A = -40 ~ +85			18	mA

注1. 内蔵プルアップ抵抗に流れる電流は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)
3. CPUはサブ4逓倍クロック動作, メイン・システム・クロック停止時
4. タイマ50, ウォッチドッグ・タイマ, LCD動作時 (LCDON0 = 1, LIPS0 = 1のとき)
5. TYP.値は, $T_A = 25$ かつ全周辺機能OFF時の値です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6 \text{ V}$ (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6 \text{ V}$ (μ PD78F9882))

項目	略号	条件	MIN.	TYP.	MAX.	単位
サイクル・タイム (最小命令実行時間)	T _{cy}	メイン・システム・クロック動作	1.81	4	32	μ s
		サブシステム・クロック動作		30.5		μ s
Ti00, Ti01 ハイ, ロウ・レベル幅	t _{TiH0} , t _{TiL0}		$2/f_{sam} + 0.2$ ^注			μ s
Ti50, Ti51入力周波数	f _{Ti5}		0		250	kHz
Ti50, Ti51入力 ハイ, ロウ・レベル幅	t _{TiH5} , t _{TiL5}		1.8			μ s
割り込み入力 ハイ, ロウ・レベル幅	t _{INTH} , t _{INTL}	INTP0-INTP3	10			μ s
RESET ロウ・レベル幅	t _{RSL}		10			μ s

注 f_{sam} : 16ビット・タイマ/イベント・カウンタ0のカウント・クロック周波数。

プリスケアラ・モード・レジスタ0 (PRM0) のビット0, 1 (PRM00, PRM01) によって, 4 f_{xT}, f_{xT}, f_{xT}/2 から選択。Ti00有効エッジがカウント・クロックの場合は, f_{sam} = f_xになる。

備考1. f_x : メイン・システム・クロック周波数

2. f_{xT} : サブシステム・クロック周波数

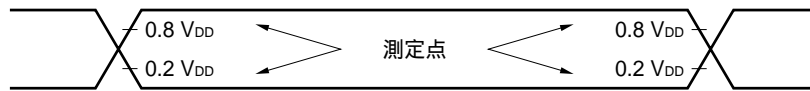
(2) シリアル・インタフェースUART0

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6 \text{ V}$ (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6 \text{ V}$ (μ PD78F9882))

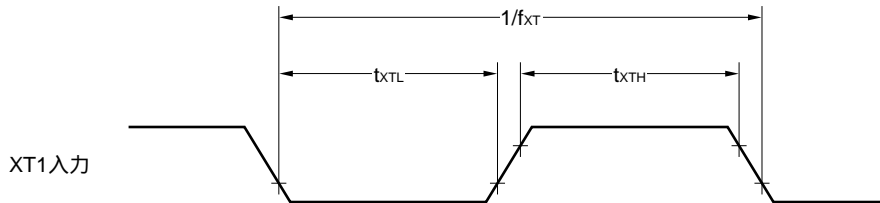
(a) UARTモード (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート		f _{xT} = 32.768 kHz			4800	bps
		f _{xT} = 38.4 kHz			9600	bps

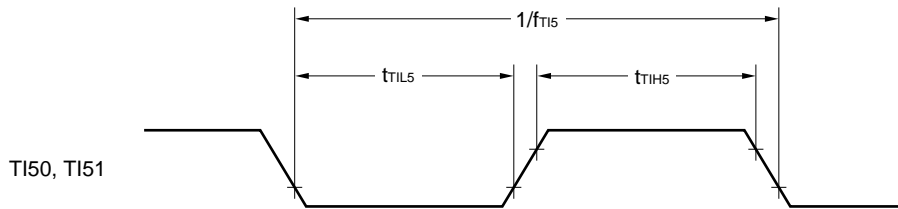
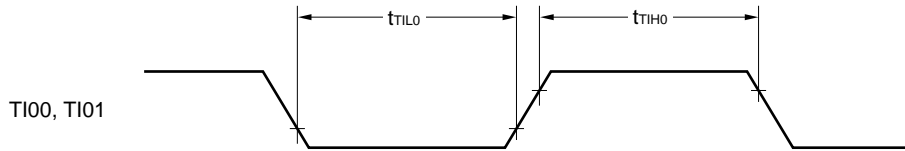
ACタイミング測定点 (X1, XT1入力を除く)



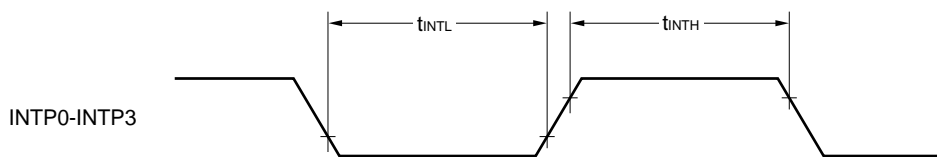
クロック・タイミング



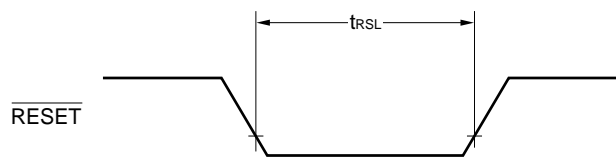
タイマ入力のタイミング



割り込み入力タイミング



RESET入力タイミング



LCD特性

($T_A = -40 \sim +85$, $V_{DD} = 2.7 \sim 3.6$ V (マスクROM製品) , $V_{DD} = 3.0 \sim 3.6$ V (μ PD78F9882))

項目	略号	条件		MIN.	TYP.	MAX.	単位
LCD駆動電圧	V_{LCD}	$V_{DD} = V_{LCD}$	マスクROM製品	2.7		3.6	V
			μ PD78F9882	3.0		3.6	V
コンデンサ駆動用 電源昇圧ウエイト時間 ^{注1}	$t_{V_{LCD}}$	$C1-C3^{\text{注2}} = 0.47 \mu\text{F}$		0.5			s
LCD出力電圧偏差 ^{注3} (コモン)	V_{ODC}	$I_o = \pm 5 \mu\text{A}$	スタティックまたは 1/3バイアス	0		± 0.2	V
LCD出力電圧偏差 ^{注3} (セグメント)	V_{ODS}	$I_o = \pm 1 \mu\text{A}$	スタティックまたは 1/3バイアス	0		± 0.2	V

- 注1. LCD駆動用電源の供給を開始 ($VAON0 = 1$) してから、コンデンサが昇圧 (LCD駆動用電源が安定) するまでに必要なウエイト時間です。
2. LCD駆動用電圧端子間に接続するコンデンサです。
 C1 : CAPH2-CAPL2間に接続するコンデンサ
 C2 : $V_{LC1}-V_{SS}$ 間に接続するコンデンサ
 C3 : $V_{LC2}-V_{SS}$ 間に接続するコンデンサ
3. 電圧偏差とは、無負荷時のセグメント / コモン信号出力の理想値に対する出力電圧との差です。

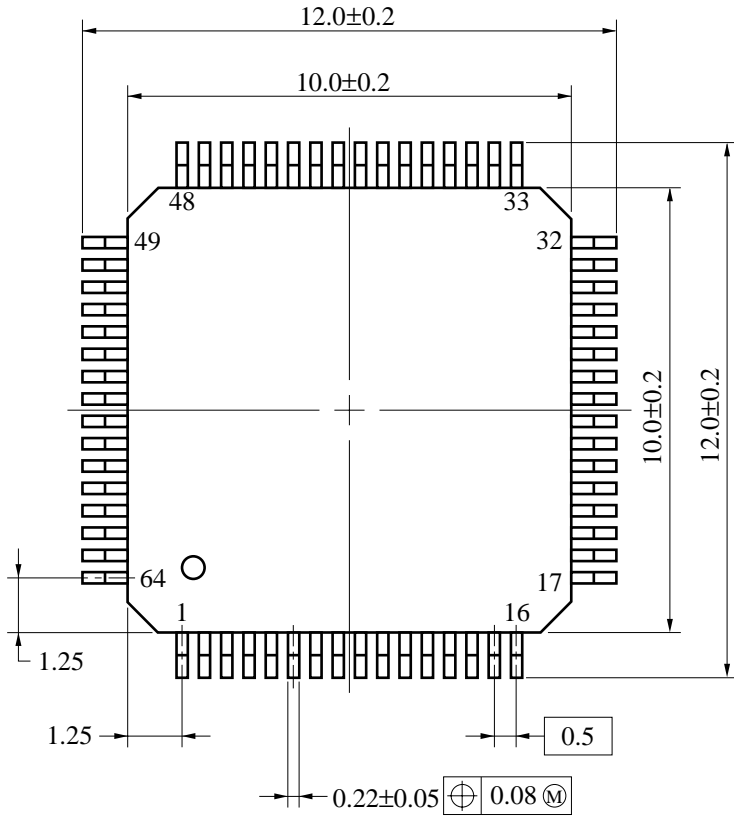
フラッシュ・メモリ書き込み消去特性 (μ PD78F9882) ($T_A = 10 \sim 40$, $V_{DD} = 3.0 \sim 3.6$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
書き込み / 消去 動作周波数	f_x	FPCLK端子外部クロック入力		1.0		5	MHz
SCKサイクル・タイム	t_{KCY}			500			ns
書き込み電流 (V_{DD} 端子) ^注	I_{DDW}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)				21	mA
書き込み電流 (V_{PP} 端子) ^注	I_{PPW}	V_{PP} 電源電圧 = V_{PP1} 時				50	mA
消去電流 (V_{DD} 端子) ^注	I_{DDE}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)				21	mA
消去電流 (V_{PP} 端子) ^注	I_{PPE}	V_{PP} 電源電圧 = V_{PP1} 時				100	mA
Total消去時間	t_{era}	0.2 sの100回リトライ方式				20	s
書き換え回数		消去 / 書き込みを1サイクルとする				20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時		0		$0.2 V_{DD}$	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時		7.5	7.8	8.1	V

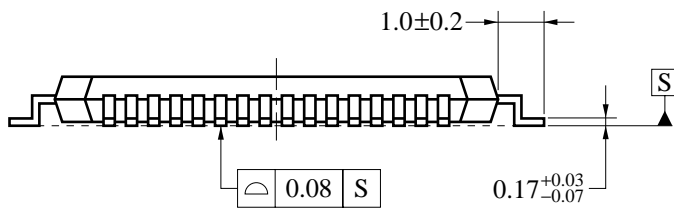
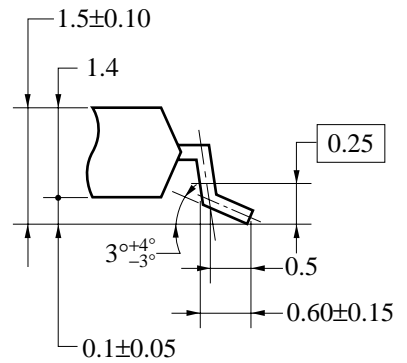
注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

第20章 外形図

64ピン・プラスチック LQFP (10x10) 外形図 (単位: mm)



端子先端形状詳細図



S64GB-50-8EU-2

第21章 半田付け推奨条件

μPD789881サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表21 - 1 表面実装タイプの半田付け条件 (1/2)

μPD789881GB-x x x-8EU : 64ピン・プラスチックLQFP (10x10)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内	IR35-00-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内	VP15-00-2
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイス一辺当たり）	-

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

μPD78F9882GB-8EU : 64ピン・プラスチックLQFP (10x10)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：235 ，時間：30秒以内（210 以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125 プリベーク10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。	IR35-103-2
VPS	パッケージ・ピーク温度：215 ，時間：40秒以内（200 以上），回数：2回以内， 制限日数：3日間 ^注 （以降は125 プリベーク10時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は、包装状態でのベーキングができません。	VP15-103-2
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で、保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし、端子部分加熱方式は除く）。

★

表21 - 1 表面実装タイプの半田付け条件 (2/2)

μ PD789881GB- x x x -8EU-A : 64ピン・プラスチックLQFP (10x10)

μ PD789882GB-8EU-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 ，時間：60秒以内（220 以上），回数：3回以内， 制限日数：7日間 [※] （以降は125 プリベーク20～72時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウエーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウエーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350 以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライパック開封後の保管日数で，保管条件は25 ，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考 オーダ名称末尾「-A」の製品は，鉛フリー製品です。

付録A 開発ツール

μPD789881サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

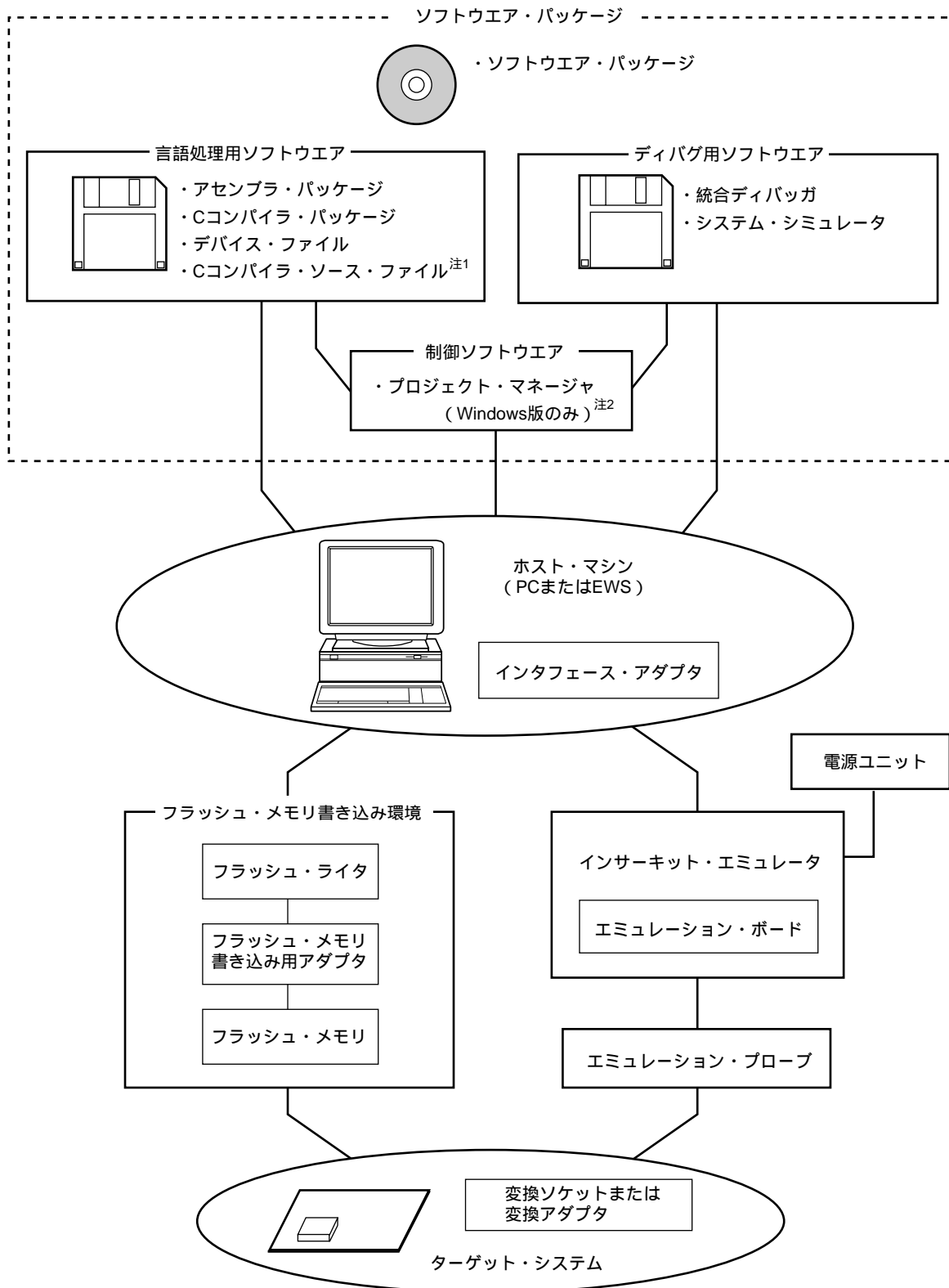
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windowsについて

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 3.1
- ・ Windows 95, 98, 2000
- ・ Windows NTTMVersion 4.0

図A-1 開発ツール構成



注1. Cコンパイラ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

2. プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A.1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	--

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789882) と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ RA78K0S
CC78K0S Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789882) と組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S
DF789882 ^{注1} デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789882
CC78K0S-L ^{注2} Cコンパイラ・ソース・ファイル	Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。 Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。 ソース・ファイルのため、動作環境はOSに依存しません。 オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L

注1. DF789882は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン，OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789882

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から，エディタの起動，ビルド，ディバッガの起動など，ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
--------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (型番FL-PR3, PG-FP3) フラッシュ・ライター	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライター
FA-64GB-8EU フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro に接続して使用します。 FA-64GB-8EU : 64ピン・プラスチックQFP (GB-8EUタイプ) 用

備考 FL-PR3, FA-64GB-8EUは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (045) 475-4191)

A.5 ディバグ用ツール(ハードウェア)

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ(ID78K0S-NS)に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレーサ機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100~240Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ(ノート型パソコンを除く)を使用するときに必要なアダプタ(Cバス対応)
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル(PCMCIAソケット対応)
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ(ISAバス対応)
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789882-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-64GB-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGB-064SDPと組み合わせて使用します。
TGB-064SDP 変換アダプタ	64ピン・プラスチックTQFP(GB-8EUタイプ)を実装できるように作られたターゲット・システムの基板とNP-64GB-TQを接続するための変換アダプタ

備考1. NP-64GB-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所(TEL(045)475-4191)

2. TGB-064SDPは、東京エレクトック株式会社の製品です。

問い合わせ先：大丸興業株式会社 東京電子部(TEL(03)3820-7112)

大阪電子部(TEL(06)6244-6672)

A.6 デバッグ用ツール(ソフトウェア)

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバッガ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル(DF789882)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバッガが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル(DF789882)と組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ SM78K0S
DF789882 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称: $\mu S \times \times \times \times$ DF789882

注 DF789882は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の $\times \times \times \times$ は、使用するOS、供給媒体により異なります。

$\mu S \times \times \times \times$ ID78K0S-NS

$\mu S \times \times \times \times$ SM78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17	IBM PC/AT互換機	日本語Windows	CD-ROM
BB17		英語Windows	

付録B レジスタ索引

B.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0 (ASIS0) ...	151
アシンクロナス・シリアル・インタフェース・モード・レジスタ0 (ASIM0) ...	149
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ...	143
ウォッチドッグ・タイマ・モード・レジスタ (WDTM) ...	144
LCDクロック制御レジスタ0 (LCDC0) ...	171
LCD表示モード・レジスタ0 (LCDM0) ...	170

【か行】

外部割り込みモード・レジスタ0 (INTM0) ...	195
外部割り込みモード・レジスタ1 (INTM1) ...	195

【さ行】

サブクロック・コントロール・レジスタ (CSS) ...	84
16ビット・キャプチャ/コンペア・レジスタ00 (CR00) ...	94
16ビット・キャプチャ/コンペア・レジスタ01 (CR01) ...	95
16ビット乗算結果格納レジスタL (MUL0L) ...	183
16ビット乗算結果格納レジスタH (MUL0H) ...	183
16ビット・タイマ・カウンタ0 (TM0) ...	93
16ビット・キャプチャ/コンペア・コントロール・レジスタ0 (CRC0) ...	97
16ビット・タイマ出力コントロール・レジスタ0 (TOC0) ...	98
16ビット・タイマ・プリスケアラ・モード・レジスタ0 (PRM0) ...	99
16ビット・タイマ・モード・コントロール・レジスタ0 (TMC0) ...	96
受信バッファ・レジスタ0 (RXB0) ...	148
乗算器コントロール・レジスタ0 (MULC0) ...	185
乗算データ・レジスタA0 (MRA0) ...	183
乗算データ・レジスタB0 (MRB0) ...	183
送信シフト・レジスタ0 (TXS0) ...	148

【は行】

8ビット・コンペア・レジスタ50 (CR50) ...	122
8ビット・コンペア・レジスタ51 (CR51) ...	122
8ビット・タイマ・カウンタ50 (TM50) ...	122
8ビット・タイマ・カウンタ51 (TM51) ...	122
8ビット・タイマ・クロック選択レジスタ50 (TCL50) ...	123
8ビット・タイマ・クロック選択レジスタ51 (TCL51) ...	123

8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	125
8ビット・タイマ・モード・コントロール・レジスタ51 (TMC51) ...	125
プルアップ抵抗オプション・レジスタ0 (PUB0) ...	78
プルアップ抵抗オプション・レジスタ1 (PUB1) ...	78
プルアップ抵抗オプション・レジスタ2 (PUB2) ...	78
プルアップ抵抗オプション・レジスタ3 (PUB3) ...	78
プルアップ抵抗オプション・レジスタ8 (PUB8) ...	78
プルアップ抵抗オプション・レジスタ9 (PUB9) ...	78
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	83
ポー・レート・ジェネレータ・コントロール・レジスタ0 (BRGC0) ...	151
ポート・ファンクション・レジスタ8 (PF8) ...	79, 172
ポート・ファンクション・レジスタ9 (PF9) ...	79, 172
ポート・モード・レジスタ0 (PM0) ...	76
ポート・モード・レジスタ1 (PM1) ...	76
ポート・モード・レジスタ2 (PM2) ...	76, 127
ポート・モード・レジスタ3 (PM3) ...	76, 100, 127
ポート・モード・レジスタ5 (PM5) ...	76
ポート・モード・レジスタ8 (PM8) ...	76
ポート・モード・レジスタ9 (PM9) ...	76
ポート0 (P0) ...	66
ポート1 (P1) ...	67
ポート2 (P2) ...	68
ポート3 (P3) ...	71
ポート5 (P5) ...	73
ポート8 (P8) ...	74
ポート9 (P9) ...	75

【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ...	194
割り込みマスク・フラグ・レジスタ1 (MK1) ...	194
割り込み要求フラグ・レジスタ0 (IF0) ...	193
割り込み要求フラグ・レジスタ1 (IF1) ...	193

B.2 レジスタ索引 (アルファベット順)

[A]

- ASIM0 : アシクロナス・シリアル・インタフェース・モード・レジスタ0 ... 149
ASIS0 : アシクロナス・シリアル・インタフェース・ステータス・レジスタ0 ... 151

[B]

- BRGC0 : ボー・レート・ジェネレータ・コントロール・レジスタ0 ... 151

[C]

- CR00 : 16ビット・キャプチャ/コンペア・レジスタ00 ... 94
CR01 : 16ビット・キャプチャ/コンペア・レジスタ01 ... 95
CR50 : 8ビット・コンペア・レジスタ50 ... 122
CR51 : 8ビット・コンペア・レジスタ51 ... 122
CRC0 : 16ビット・キャプチャ/コンペア・コントロール・レジスタ00 ... 97
CSS : サブクロック・コントロール・レジスタ ... 84

[I]

- IF0 : 割り込み要求フラグ・レジスタ0 ... 193
IF1 : 割り込み要求フラグ・レジスタ1 ... 193
INTM0 : 外部割り込みモード・レジスタ0 ... 195
INTM1 : 外部割り込みモード・レジスタ1 ... 195

[L]

- LCDC0 : LCDクロック制御レジスタ0 ... 171
LCDM0 : LCD表示モード・レジスタ0 ... 170

[M]

- MK0 : 割り込みマスク・フラグ・レジスタ0 ... 194
MK1 : 割り込みマスク・フラグ・レジスタ1 ... 194
MRA0 : 乗算データ・レジスタA0 ... 183
MRB0 : 乗算データ・レジスタB0 ... 183
MUL0H : 16ビット乗算結果格納レジスタH ... 183
MUL0L : 16ビット乗算結果格納レジスタL ... 183
MULC0 : 乗算器コントロール・レジスタ0 ... 185

[P]

- P0 : ポート0 ... 66
P1 : ポート1 ... 67
P2 : ポート2 ... 68
P3 : ポート3 ... 71
P5 : ポート5 ... 73
P8 : ポート8 ... 74

P9	: ポート9 ... 75
PCC	: プロセッサ・クロック・コントロール・レジスタ ... 83
PF8	: ポート・ファンクション・レジスタ8 ... 79, 172
PF9	: ポート・ファンクション・レジスタ9 ... 79, 172
PM0	: ポート・モード・レジスタ0 ... 76
PM1	: ポート・モード・レジスタ1 ... 76
PM2	: ポート・モード・レジスタ2 ... 76, 127
PM3	: ポート・モード・レジスタ3 ... 76, 100, 127
PM5	: ポート・モード・レジスタ5 ... 76
PM8	: ポート・モード・レジスタ8 ... 76
PM9	: ポート・モード・レジスタ9 ... 76
PRM0	: 16ビット・タイマ・プリスケラ・モード・レジスタ0 ... 99
PUB0	: プルアップ抵抗オプション・レジスタ0 ... 78
PUB1	: プルアップ抵抗オプション・レジスタ1 ... 78
PUB2	: プルアップ抵抗オプション・レジスタ2 ... 78
PUB3	: プルアップ抵抗オプション・レジスタ3 ... 78
PUB8	: プルアップ抵抗オプション・レジスタ8 ... 78
PUB9	: プルアップ抵抗オプション・レジスタ9 ... 78

[R]

RXB0	: 受信バッファ・レジスタ0 ... 148
------	------------------------

[T]

TCL50	: 8ビット・タイマ・クロック選択レジスタ50 ... 123
TCL51	: 8ビット・タイマ・クロック選択レジスタ51 ... 123
TM0	: 16ビット・タイマ・カウンタ0 ... 93
TM50	: 8ビット・タイマ・カウンタ50 ... 122
TM51	: 8ビット・タイマ・カウンタ51 ... 122
TMC0	: 16ビット・タイマ・モード・コントロール・レジスタ0 ... 96
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ... 125
TMC51	: 8ビット・タイマ・モード・コントロール・レジスタ51 ... 125
TOC0	: 16ビット・タイマ出力コントロール・レジスタ0 ... 98
TXS0	: 送信シフト・レジスタ0 ... 148

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ ... 143
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ... 144

(メモ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係，技術関係お問い合わせ先】

半導体ホットライン

(電話：午前 9:00～12:00，午後 1:00～5:00)

電 話 : 044-435-9494

E-mail : info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか，NECエレクトロニクスの販売特約店へお申し付けください。
