

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日

ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザーズ・マニュアル

μPD789479サブシリーズ

8ビット・シングルチップ・マイクロコントローラ

μPD789477

μPD789478

μPD789479

μPD78F9478

μPD78F9479

〔メモ〕

目次要約

第1章	概 説	...	24
第2章	端子機能	...	36
第3章	CPUアーキテクチャ	...	47
第4章	ポート機能	...	76
第5章	クロック発生回路	...	97
第6章	16ビット・タイマ20	...	110
第7章	8ビット・タイマ50, 60, 61	...	122
第8章	時計用タイマ	...	162
第9章	ウォッチドッグ・タイマ	...	168
第10章	8ビットA/Dコンバータ	...	174
第11章	シリアル・インタフェース20	...	188
第12章	シリアル・インタフェース1A0	...	218
第13章	LCDコントローラ/ドライバ	...	252
第14章	乗 算 器	...	267
第15章	リモコン受信回路	...	271
第16章	割り込み機能	...	290
第17章	スタンバイ機能	...	306
第18章	リセット機能	...	314
第19章	フラッシュ・メモリ製品	...	318
第20章	マスク・オプション	...	330
第21章	命令セットの概要	...	331
第22章	電気的特性	...	342
第23章	外 形 図	...	361
第24章	半田付け推奨条件	...	363
付録A	開発ツール	...	366
付録B	ターゲット・システム設計上の注意	...	372
付録C	レジスタ索引	...	376
付録D	改版履歴	...	382

入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

FIPは、NECエレクトロニクス株式会社の登録商標です。

EEPROMは、NECエレクトロニクス株式会社の商標です。

Windows, Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

HP9000シリーズ700, HP-UXは、米国ヒューレット・パカード社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

本製品のうち、外国為替及び外国貿易法の規定により規制貨物等に該当するものについては、日本国外に輸出する際に、同法に基づき日本国政府の輸出許可が必要です。

非該当品 : μ PD78F9478, 78F9479

ユーザ判定品 : μ PD789477, 789478, 789479

- 本資料に記載されている内容は2007年8月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。当社製品の不具合により生じた生命、身体および財産に対する損害の危険を最小限度にするために、冗長設計、延焼対策設計、誤動作防止設計等安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

(1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

(2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

M8E 02.11

〔メモ〕

はじめに

対 象 者 このマニュアルは μ PD789479サブシリーズの機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示すサブシリーズの各製品です。

・ μ PD789479サブシリーズ : μ PD789477, 789478, 789479, 78F9478, 78F9479

目 的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構 成 μ PD789479サブシリーズのマニュアルは、このマニュアルと命令編（78K/0Sシリーズ共通）の2冊に分かれています。

μ PD789479サブシリーズ ユーザーズ・マニュアル	78K/0Sシリーズ ユーザーズ・マニュアル 命令編
端子機能	CPU機能
内部ブロック機能	命令セット
割り込み	命令の説明
その他の内蔵周辺機能	
電気的特性	

読 み 方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。
一通りの機能を理解しようとするとき

目次に従って読んでください。本文欄外の 印は、本版で改訂された主な箇所を示しています。

この" "をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がアセンブラでは予約語に、Cコンパイラでは#pragma sfr指令で、sfr変数として定義されているものです。

レジスタ名が分かっているレジスタの詳細を確認するとき

付録C レジスタ索引を利用してください。

78K/0Sシリーズの命令機能の詳細を知りたいとき

別冊の**78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）**を参照してください。

μ PD789479サブシリーズの電気的特性を知りたいとき

第22章 電気的特性を参照してください。

凡 例	データ表記の重み：左が上位桁，右が下位桁
	アクティブ・ロウの表記： $\overline{\text{xxx}}$ （端子，信号名称に上線）
	注：本文中につけた注の説明
	注意：気をつけて読んでいただきたい内容
	備考：本文の補足説明
	数の表記：2進数... xxx または xxx B
	10進数... xxx
	16進数... xxx H

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資 料 名	資料番号	
	和 文	英 文
μ PD789479サブシリーズ ユーザーズ・マニュアル	このマニュアル	U15400E
78K0Sシリーズ ユーザーズ・マニュアル 命令編	U11047J	U11047E

開発ツール（ソフトウェア）の資料（ユーザーズ・マニュアル）

資 料 名		資料番号	
		和 文	英 文
RA78K0S Ver.2.00 アセンブラ・パッケージ	操作編	U17391J	U17391E
	言語編	U17390J	U17390E
	構造化アセンブリ言語編	U17389J	U17389E
CC78K0S Ver.2.00 Cコンパイラ	操作編	U17416J	U17416E
	言語編	U17415J	U17415E
SM78Kシリーズ Ver.2.52 システム・シミュレータ	操作編	U16768J	U16768E
	外部部品ユーザ・オープン・インタフェース仕様編	U15802J	U15802E
ID78K0S-NS Ver.2.52 統合デバッグ	操作編	U16584J	U16584E
PM+ Ver.6.00		U17178J	U17178E

開発ツール（ハードウェア）の資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和 文	英 文
IE-78K0S-NS インサーキット・エミュレータ	U13549J	U13549E
IE-78K0S-NS-A インサーキット・エミュレータ	U15207J	U15207E
IE-789488-NS-EM1 エミュレーション・ボード	U16492J	U16492E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

フラッシュ・メモリ書き込み用の資料

資 料 名	資料番号	
	和 文	英 文
PG-FP3 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U13502J	U13502E
PG-FP4 フラッシュ・メモリ・プログラマ ユーザーズ・マニュアル	U15260J	U15260E

その他の資料

資 料 名	資料番号	
	和 文	英 文
SEMICONDUCTOR SELECTION GUIDE - Products and Packages -	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ... 24

- 1.1 特 徴 ... 24
- 1.2 応用分野 ... 24
- 1.3 オーダ情報 ... 25
- 1.4 端子接続図 (Top View) ... 26
- 1.5 78K/0Sシリーズの展開 ... 30
- 1.6 ブロック図 ... 33
- 1.7 機能概要 ... 34

第2章 端子機能 ... 36

- 2.1 端子機能一覧 ... 36
- 2.2 端子機能の説明 ... 39
 - 2.2.1 P00-P07 (Port 0) ... 39
 - 2.2.2 P10, P11 (Port 1) ... 39
 - 2.2.3 P20-P25 (Port 2) ... 39
 - 2.2.4 P30-P34 (Port 3) ... 40
 - 2.2.5 P50-P53 (Port 5) ... 40
 - 2.2.6 P60-P67 (Port 6) ... 41
 - 2.2.7 P70-P73 (Port 7) ... 41
 - 2.2.8 P80-P87 (Port 8) ... 41
 - 2.2.9 S0-S27 ... 41
 - 2.2.10 COM0-COM3 ... 41
 - 2.2.11 V_{LC0}-V_{LC2} ... 41
 - 2.2.12 NC ... 41
 - 2.2.13 $\overline{\text{RESET}}$... 42
 - 2.2.14 X1, X2 ... 42
 - 2.2.15 XT1, XT2 ... 42
 - 2.2.16 AV_{DD} ... 42
 - 2.2.17 AV_{SS} ... 42
 - 2.2.18 V_{DD} ... 42
 - 2.2.19 V_{SS} ... 42
 - 2.2.20 V_{PP} (フラッシュ・メモリ製品のみ) ... 42
 - 2.2.21 IC0 (マスクROM製品のみ) ... 43
- 2.3 端子の入出力回路と未使用端子の処理 ... 44

第3章 CPUアーキテクチャ ... 47

- 3.1 メモリ空間 ... 47
 - 3.1.1 内部プログラム・メモリ空間 ... 52
 - 3.1.2 内部データ・メモリ空間 ... 53
 - 3.1.3 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 53
 - 3.1.4 データ・メモリ・アドレッシング ... 54

3.2	プロセッサ・レジスタ	...	59
3.2.1	制御レジスタ	...	59
3.2.2	汎用レジスタ	...	62
3.2.3	特殊機能レジスタ (SFR)	...	63
3.3	命令アドレスのアドレッシング	...	67
3.3.1	レラティブ・アドレッシング	...	67
3.3.2	イミディエト・アドレッシング	...	68
3.3.3	テーブル・インダイレクト・アドレッシング	...	69
3.3.4	レジスタ・アドレッシング	...	69
3.4	オペランド・アドレスのアドレッシング	...	70
3.4.1	ダイレクト・アドレッシング	...	70
3.4.2	ショート・ダイレクト・アドレッシング	...	71
3.4.3	特殊機能レジスタ (SFR) アドレッシング	...	72
3.4.4	レジスタ・アドレッシング	...	73
3.4.5	レジスタ・インダイレクト・アドレッシング	...	74
3.4.6	ベースト・アドレッシング	...	75
3.4.7	スタック・アドレッシング	...	75

第4章 ポート機能 ... 76

4.1	ポートの機能	...	76
4.2	ポートの構成	...	77
4.2.1	ポート0	...	78
4.2.2	ポート1	...	79
4.2.3	ポート2	...	80
4.2.4	ポート3	...	85
4.2.5	ポート5	...	87
4.2.6	ポート6	...	88
4.2.7	ポート7	...	90
4.2.8	ポート8	...	91
4.3	ポート機能を制御するレジスタ	...	92
4.4	ポート機能の動作	...	96
4.4.1	入出力ポートへの書き込み	...	96
4.4.2	入出力ポートからの読み出し	...	96
4.4.3	入出力ポートでの演算	...	96

第5章 クロック発生回路 ... 97

5.1	クロック発生回路の機能	...	97
5.2	クロック発生回路の構成	...	97
5.3	クロック発生回路を制御するレジスタ	...	100
5.4	システム・クロック発振回路	...	103
5.4.1	メイン・システム・クロック発振回路	...	103
5.4.2	サブシステム・クロック発振回路	...	104
5.4.3	発振子の接続の悪い例	...	105
5.4.4	分周回路	...	106
5.4.5	サブシステム・クロックを使用しない場合	...	106
5.4.6	サブシステム・クロック4逓倍回路	...	106
5.5	クロック発生回路の動作	...	107

- 5.6 システム・クロックとCPUクロックの設定の変更 ... 108
 - 5.6.1 システム・クロックとCPUクロックの切り替えに要する時間 ... 108
 - 5.6.2 システム・クロックとCPUクロックの切り替え手順 ... 109

第6章 16ビット・タイマ20 ... 110

- 6.1 16ビット・タイマ20の機能 ... 110
- 6.2 16ビット・タイマ20の構成 ... 110
- 6.3 16ビット・タイマ20を制御するレジスタ ... 112
- 6.4 16ビット・タイマ20の動作 ... 115
 - 6.4.1 タイマ割り込みとしての動作 ... 115
 - 6.4.2 タイマ出力としての動作 ... 117
 - 6.4.3 キャプチャ動作 ... 118
 - 6.4.4 16ビット・タイマ・カウンタ20の読み出し ... 119
- 6.5 16ビット・タイマ20の注意事項 ... 120
 - 6.5.1 16ビット・コンペア・レジスタ20を書き換える際の制限事項 ... 120

第7章 8ビット・タイマ50, 60, 61 ... 122

- 7.1 8ビット・タイマ50, 60, 61の機能 ... 122
- 7.2 8ビット・タイマ50, 60, 61の構成 ... 124
- 7.3 8ビット・タイマ50, 60, 61を制御するレジスタ ... 130
- 7.4 8ビット・タイマ50, 60, 61の動作 ... 136
 - 7.4.1 8ビット・タイマ・カウンタ・モードとしての動作 ... 136
 - 7.4.2 16ビット・タイマ・カウンタ・モードとしての動作 ... 144
 - 7.4.3 キャリア・ジェネレータとしての動作 ... 151
 - 7.4.4 PWM出力モードとしての動作（タイマ50） ... 155
 - 7.4.5 PPG出力モードとしての動作（タイマ60, 61） ... 159
- 7.5 8ビット・タイマ50, 60, 61の注意事項 ... 161

第8章 時計用タイマ ... 162

- 8.1 時計用タイマの機能 ... 162
- 8.2 時計用タイマの構成 ... 163
- 8.3 時計用タイマを制御するレジスタ ... 164
- 8.4 時計用タイマの動作 ... 166
 - 8.4.1 時計用タイマとしての動作 ... 166
 - 8.4.2 インターバル・タイマとしての動作 ... 166

第9章 ウォッチドッグ・タイマ ... 168

- 9.1 ウォッチドッグ・タイマの機能 ... 168
- 9.2 ウォッチドッグ・タイマの構成 ... 169
- 9.3 ウォッチドッグ・タイマを制御するレジスタ ... 170
- 9.4 ウォッチドッグ・タイマの動作 ... 172
 - 9.4.1 ウォッチドッグ・タイマとしての動作 ... 172
 - 9.4.2 インターバル・タイマとしての動作 ... 173

第10章 8ビットA/Dコンバータ ... 174

- 10.1 8ビットA/Dコンバータの機能 ... 174
- 10.2 8ビットA/Dコンバータの構成 ... 174
- 10.3 8ビットA/Dコンバータを制御するレジスタ ... 177
- 10.4 8ビットA/Dコンバータの動作 ... 180
 - 10.4.1 8ビットA/Dコンバータの基本動作 ... 180
 - 10.4.2 入力電圧と変換結果 ... 182
 - 10.4.3 8ビットA/Dコンバータの動作モード ... 183
- 10.5 8ビットA/Dコンバータの注意事項 ... 184

第11章 シリアル・インタフェース20 ... 188

- 11.1 シリアル・インタフェース20の機能 ... 188
- 11.2 シリアル・インタフェース20の構成 ... 188
- 11.3 シリアル・インタフェース20を制御するレジスタ ... 192
- 11.4 シリアル・インタフェース20の動作 ... 199
 - 11.4.1 動作停止モード ... 199
 - 11.4.2 アシンクロナス・シリアル・インタフェース (UART) モード ... 201
 - 11.4.3 3線式シリアルI/Oモード ... 213

第12章 シリアル・インタフェース1A0 ... 218

- 12.1 シリアル・インタフェース1A0の機能 ... 218
- 12.2 シリアル・インタフェース1A0の構成 ... 218
- 12.3 シリアル・インタフェース1A0を制御するレジスタ ... 221
- 12.4 シリアル・インタフェース1A0の動作 ... 226
 - 12.4.1 動作停止モード ... 226
 - 12.4.2 3線式シリアルI/Oモード ... 227
 - 12.4.3 自動送受信機能付き3線式シリアルI/Oモード ... 232

第13章 LCDコントローラ/ドライバ ... 252

- 13.1 LCDコントローラ/ドライバの機能 ... 252
- 13.2 LCDコントローラ/ドライバの構成 ... 252
- 13.3 LCDコントローラ/ドライバを制御するレジスタ ... 255
- 13.4 LCDコントローラ/ドライバの設定 ... 257
- 13.5 LCD表示データ・メモリ ... 257
- 13.6 コモン信号とセグメント信号 ... 258
- 13.7 表示モード ... 260
 - 13.7.1 3時分割表示例 ... 260
 - 13.7.2 4時分割表示例 ... 263
- 13.8 LCD駆動用電源の接続例 ... 266

第14章 乗算器 ... 267

- 14.1 乗算器の機能 ... 267
- 14.2 乗算器の構成 ... 267
- 14.3 乗算器を制御するレジスタ ... 269

14.4	乗算器の動作	...	270
------	--------	-----	-----

第15章 リモコン受信回路 ... 271

15.1	リモコン受信回路の機能	...	271
15.2	リモコン受信回路の構成	...	271
15.3	リモコン受信回路を制御するレジスタ	...	277
15.4	リモコン受信回路の動作	...	279
15.4.1	A方式受信モードのフォーマット	...	279
15.4.2	A方式受信モードの動作フロー	...	279
15.4.3	タイミング説明	...	281
15.4.4	コンペア・レジスタ設定	...	283
15.4.5	エラー割り込み発生タイミング	...	285
15.4.6	ノイズ・キャンセル	...	287

第16章 割り込み機能 ... 290

16.1	割り込み機能の種類	...	290
16.2	割り込み要因と構成	...	290
16.3	割り込み機能を制御するレジスタ	...	293
16.4	割り込み処理動作	...	300
16.4.1	ノンマスカブル割り込み要求の受け付け動作	...	300
16.4.2	マスカブル割り込み要求の受け付け動作	...	302
16.4.3	多重割り込み処理	...	304
16.4.4	割り込み要求の保留	...	305

第17章 スタンバイ機能 ... 306

17.1	スタンバイ機能と構成	...	306
17.1.1	スタンバイ機能	...	306
17.1.2	スタンバイ機能を制御するレジスタ	...	307
17.2	スタンバイ機能の動作	...	308
17.2.1	HALTモード	...	308
17.2.2	STOPモード	...	311

第18章 リセット機能 ... 314

第19章 フラッシュ・メモリ製品 ... 318

19.1	フラッシュ・メモリの特徴	...	319
19.1.1	プログラミング環境	...	319
19.1.2	通信方式	...	320
19.1.3	オンボード上の端子処理	...	323
19.1.4	フラッシュ書き込み用アダプタ上の接続	...	326
19.2	μ PD78F9478, 78F9479の注意事項	...	329

第20章 マスク・オプション ... 330

第21章 命令セットの概要 ... 331

- 21.1 オペレーション ... 331
 - 21.1.1 オペランドの表現形式と記述方法 ... 331
 - 21.1.2 オペレーション欄の説明 ... 332
 - 21.1.3 フラグ動作欄の説明 ... 332
- 21.2 オペレーション一覧 ... 333
- 21.3 アドレッシング別命令一覧 ... 339

第22章 電気的特性 ... 342

第23章 外形図 ... 361

第24章 半田付け推奨条件 ... 363

付録A 開発ツール ... 366

- A.1 ソフトウェア・パッケージ ... 368
- A.2 言語処理用ソフトウェア ... 368
- A.3 制御ソフトウェア ... 369
- A.4 フラッシュ・メモリ書き込み用ツール ... 369
- A.5 デバッグ用ツール（ハードウェア） ... 370
- A.6 デバッグ用ツール（ソフトウェア） ... 371

付録B ターゲット・システム設計上の注意 ... 372

付録C レジスタ索引 ... 376

- C.1 レジスタ索引（50音順） ... 376
- C.2 レジスタ索引（アルファベット順） ... 379

付録D 改版履歴 ... 382

- D.1 本版で改訂された主な箇所 ... 382
- D.2 前版までの改版履歴 ... 384

図の目次 (1/6)

図番号	タイトル, ページ
2 - 1	端子の入出力回路一覧 ... 45
3 - 1	メモリ・マップ (μ PD789477) ... 47
3 - 2	メモリ・マップ (μ PD789478) ... 48
3 - 3	メモリ・マップ (μ PD78F9478) ... 49
3 - 4	メモリ・マップ (μ PD789479) ... 50
3 - 5	メモリ・マップ (μ PD78F9479) ... 51
3 - 6	データ・メモリのアドレッシング (μ PD789477) ... 54
3 - 7	データ・メモリのアドレッシング (μ PD789478) ... 55
3 - 8	データ・メモリのアドレッシング (μ PD78F9478) ... 56
3 - 9	データ・メモリのアドレッシング (μ PD789479) ... 57
3 - 10	データ・メモリのアドレッシング (μ PD78F9479) ... 58
3 - 11	プログラム・カウンタの構成 ... 59
3 - 12	プログラム・ステータス・ワードの構成 ... 59
3 - 13	スタック・ポインタの構成 ... 61
3 - 14	スタック・メモリへ退避されるデータ ... 61
3 - 15	スタック・メモリから復帰されるデータ ... 61
3 - 16	汎用レジスタの構成 ... 62
4 - 1	ポートの種類 ... 76
4 - 2	P00-P07のブロック図 ... 78
4 - 3	P10, P11のブロック図 ... 79
4 - 4	P20のブロック図 ... 80
4 - 5	P21のブロック図 ... 81
4 - 6	P22, P25のブロック図 ... 82
4 - 7	P23のブロック図 ... 83
4 - 8	P24のブロック図 ... 84
4 - 9	P30-P33のブロック図 ... 85
4 - 10	P34のブロック図 ... 86
4 - 11	P50-P53のブロック図 ... 87
4 - 12	P60-P67のブロック図 ... 88
4 - 13	P70-P73のブロック図 ... 90
4 - 14	P80-P87のブロック図 ... 91
4 - 15	ポート・モード・レジスタのフォーマット ... 92
4 - 16	プルアップ抵抗オプション・レジスタのフォーマット ... 94
4 - 17	ポート・ファンクション・レジスタのフォーマット ... 95
5 - 1	クロック発生回路のブロック図 (μ PD789477, 789478, 789479) ... 98
5 - 2	クロック発生回路のブロック図 (μ PD78F9478, 78F9479) ... 99

図の目次 (2/6)

図番号	タイトル, ページ
5 - 3	プロセッサ・クロック・コントロール・レジスタのフォーマット ... 100
5 - 4	サブ発振モード・レジスタのフォーマット ... 101
5 - 5	サブクロック・コントロール・レジスタのフォーマット ... 102
5 - 6	サブクロック選択レジスタのフォーマット ... 102
5 - 7	メイン・システム・クロック発振回路の外付け回路 ... 103
5 - 8	サブシステム・クロック発振回路の外付け回路 ... 104
5 - 9	発振子の接続の悪い例 ... 105
5 - 10	システム・クロックとCPUクロックの切り替え ... 109
6 - 1	16ビット・タイマ20のブロック図 ... 111
6 - 2	16ビット・タイマ・モード・コントロール・レジスタ20のフォーマット ... 113
6 - 3	ポート・モード・レジスタ3のフォーマット ... 114
6 - 4	タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 115
6 - 5	タイマ割り込み動作のタイミング ... 116
6 - 6	タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 117
6 - 7	タイマ出力のタイミング ... 117
6 - 8	キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容 ... 118
6 - 9	キャプチャ動作のタイミング (CPT20端子の両エッジ指定時) ... 118
6 - 10	16ビット・タイマ・カウンタ20の読み出しのタイミング ... 119
7 - 1	24ビット・イベント・カウンタのブロック図 ... 123
7 - 2	タイマ50のブロック図 ... 125
7 - 3	タイマ60のブロック図 ... 126
7 - 4	タイマ61のブロック図 ... 127
7 - 5	出力制御回路 (タイマ60) のブロック図 ... 128
7 - 6	8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット ... 130
7 - 7	8ビット・タイマ・モード・コントロール・レジスタ60のフォーマット ... 132
7 - 8	キャリア・ジェネレータ出力コントロール・レジスタ60のフォーマット ... 133
7 - 9	8ビット・タイマ・モード・コントロール・レジスタ61のフォーマット ... 134
7 - 10	ポート・モード・レジスタ3のフォーマット ... 135
7 - 11	8ビット分解能のインターバル・タイマ動作のタイミング (基本動作) ... 138
7 - 12	8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = 00H設定時) ... 138
7 - 13	8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = FFH設定時) ... 139
7 - 14	8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = N M (N < M) 変更時) ... 139
7 - 15	8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = N M (N > M) 変更時) ... 140

図の目次 (3/6)

図番号	タイトル, ページ
7 - 16	8ビット分解能のインターバル・タイマ動作のタイミング (タイマ50のカウント・クロックにタイマ60一致信号選択時) ... 140
7 - 17	8ビット分解能の外部イベント・カウンタ動作のタイミング ... 141
7 - 18	8ビット分解能の方形波出力のタイミング ... 143
7 - 19	16ビット分解能のインターバル・タイマ動作のタイミング ... 146
7 - 20	16ビット分解能の外部イベント・カウンタ動作のタイミング ... 148
7 - 21	16ビット分解能の方形波出力のタイミング ... 150
7 - 22	キャリア・ジェネレータの動作タイミング(CR60 = N, CRH60 = M (M > N) 設定時) ... 152
7 - 23	キャリア・ジェネレータの動作タイミング(CR60 = N, CRH60 = M (M < N) 設定時) ... 153
7 - 24	キャリア・ジェネレータの動作タイミング(CR60 = CRH60 = N 設定時) ... 154
7 - 25	PWM出力モード動作時の動作タイミング(立ち上がりエッジ選択時) ... 155
7 - 26	CR50書き換え時の動作タイミング(立ち上がりエッジ選択時) ... 156
7 - 27	PWM出力モード動作時の動作タイミング(両エッジ選択時) ... 157
7 - 28	PWM出力モード動作時の動作タイミング(両エッジ選択時) (CR50を書き換えた場合) ... 158
7 - 29	PPG出力モードのタイミング(基本動作) ... 160
7 - 30	PPG出力モードのタイミング(CR6m, CRH6mを書き換えた場合) ... 160
7 - 31	1.5クロック(最大) の誤差が出るケース ... 161
7 - 32	外部イベント・カウンタとしての動作時のタイミング(8ビット分解能時) ... 161
8 - 1	時計用タイマのブロック図 ... 162
8 - 2	時計用タイマ・モード・コントロール・レジスタのフォーマット ... 164
8 - 3	時計用タイマ割り込み時間選択レジスタのフォーマット ... 165
8 - 4	時計用タイマ/インターバル・タイマの動作タイミング ... 167
9 - 1	ウォッチドッグ・タイマのブロック図 ... 169
9 - 2	ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット ... 170
9 - 3	ウォッチドッグ・タイマ・モード・レジスタのフォーマット ... 171
10 - 1	8ビットA/Dコンバータのブロック図 ... 175
10 - 2	A/Dコンバータ・モード・レジスタ0のフォーマット ... 177
10 - 3	A/Dコンバータ・モード・レジスタ1のフォーマット ... 178
10 - 4	アナログ入力チャネル指定レジスタ0のフォーマット ... 179
10 - 5	8ビットA/Dコンバータの基本動作 ... 181
10 - 6	アナログ入力電圧とA/D変換結果の関係 ... 182
10 - 7	ソフトウェア・スタートによるA/D変換動作 ... 183
10 - 8	スタンバイ・モード時の消費電力を低減させる方法例 ... 184
10 - 9	変換結果を読み出すタイミング(変換結果が不定値の場合) ... 185
10 - 10	変換結果を読み出すタイミング(変換結果が正常値の場合) ... 185

図の目次 (4/6)

図番号	タイトル, ページ
10 - 11	アナログ入力端子の処理 ... 186
10 - 12	A/D変換終了割り込み要求発生タイミング ... 187
10 - 13	AV _{DD} 端子の処理 ... 187
11 - 1	シリアル・インタフェース20のブロック図 ... 189
11 - 2	ボー・レート・ジェネレータ20のブロック図 ... 190
11 - 3	シリアル動作モード・レジスタ20のフォーマット ... 192
11 - 4	アシンクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット ... 193
11 - 5	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット ... 195
11 - 6	ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット ... 196
11 - 7	アシンクロナス・シリアル・インタフェースの送受信データのフォーマット ... 206
11 - 8	アシンクロナス・シリアル・インタフェース送信完了割り込みタイミング ... 208
11 - 9	アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング ... 209
11 - 10	受信エラー・タイミング ... 210
11 - 11	3線式シリアルI/Oモードのタイミング ... 216
12 - 1	シリアル・インタフェース1A0のブロック図 ... 219
12 - 2	シリアル動作モード・レジスタ1A0のフォーマット ... 222
12 - 3	自動データ送受信コントロール・レジスタ0のフォーマット ... 223
12 - 4	自動データ送受信転送間隔指定レジスタ0のフォーマット ... 224
12 - 5	3線式シリアルI/Oモードのタイミング ... 229
12 - 6	転送ビット順切り替え回路 ... 231
12 - 7	基本送受信モードの動作タイミング ... 238
12 - 8	基本送受信モードのフロー・チャート ... 239
12 - 9	6バイト分送受信するときのバッファRAMの動作（基本送受信モード時） ... 240
12 - 10	基本送信モードの動作タイミング ... 242
12 - 11	基本送信モードのフロー・チャート ... 243
12 - 12	6バイト分送信するときのバッファRAMの動作（基本送信モード時） ... 244
12 - 13	繰り返し送信モードの動作タイミング ... 246
12 - 14	繰り返し送信モードのフロー・チャート ... 247
12 - 15	6バイト分送信するときのバッファRAMの動作（繰り返し送信モード時） ... 248
12 - 16	自動送受信の中断と再開 ... 250
12 - 17	自動送受信のインターバル時間 ... 251
13 - 1	LCD表示用RAMとの対応 ... 253
13 - 2	LCDコントローラ/ドライバのブロック図 ... 254
13 - 3	LCD表示モード・レジスタ0のフォーマット ... 255
13 - 4	LCDクロック制御レジスタ0のフォーマット ... 256

図の目次 (5/6)

図番号	タイトル, ページ
13 - 5	LCD表示データ・メモリの内容とセグメント出力 / コモン出力の関係 (S16-S27を使用した場合) ... 257
13 - 6	コモン信号波形 ... 259
13 - 7	コモン信号とセグメント信号の電圧と位相 ... 259
13 - 8	3時分割LCD表示パターンと電極結線 ... 260
13 - 9	3時分割LCDパネルの結線例 ... 261
13 - 10	3時分割LCD駆動波形例 (1/3バイアス法) ... 262
13 - 11	4時分割LCD表示パターンと電極結線 ... 263
13 - 12	4時分割LCDパネルの結線例 ... 264
13 - 13	4時分割LCD駆動波形例 (1/3バイアス法) ... 265
13 - 14	LCD駆動用電源の接続例 ... 266
14 - 1	乗算器のブロック図 ... 268
14 - 2	乗算器コントロール・レジスタ0のフォーマット ... 269
14 - 3	乗算器の動作タイミング (AAH×D3Hの例) ... 270
15 - 1	リモコン受信回路のブロック図 ... 272
15 - 2	1010101011111111B (16ビット) を受信する場合のRMSR, RMSCR, RMDRレジスタの動作例 ... 273
15 - 3	リモコン受信制御レジスタのフォーマット ... 277
15 - 4	A方式データ・フォーマット例 ... 279
15 - 5	A方式受信モードの動作フロー ... 280
15 - 6	設定例 (n1 = 1, n2 = 2のとき) ... 284
15 - 7	INTRERR信号の発生タイミング ... 286
15 - 8	ノイズ・キャンセル動作例 ... 288
16 - 1	割り込み機能の基本構成 ... 292
16 - 2	割り込み要求フラグ・レジスタのフォーマット ... 294
16 - 3	割り込みマスク・フラグ・レジスタのフォーマット ... 295
16 - 4	外部割り込みモード・レジスタのフォーマット ... 296
16 - 5	プログラム・ステータス・ワードの構成 ... 297
16 - 6	キー・リターン・モード・レジスタ00のフォーマット ... 298
16 - 7	立ち下がりエッジの検出回路のブロック図 ... 298
16 - 8	キー・リターン・モード・レジスタ01のフォーマット ... 299
16 - 9	立ち下がりエッジの検出回路のブロック図 ... 299
16 - 10	ノンマスクابل割り込み要求発生から受け付けまでのフロー・チャート ... 301
16 - 11	ノンマスクابل割り込み要求の受け付けタイミング ... 301
16 - 12	ノンマスクابل割り込み要求の受け付け動作 ... 301
16 - 13	割り込み要求受け付け処理アルゴリズム ... 302

図の目次 (6/6)

図番号	タイトル, ページ
16 - 14	割り込み要求の受け付けタイミング (MOV A, rの例) ... 303
16 - 15	割り込み要求の受け付けタイミング (命令実行中の最終クロックで割り込み要求フラグが発生したとき) ... 303
16 - 16	多重割り込みの例 ... 304
17 - 1	発振安定時間選択レジスタのフォーマット ... 307
17 - 2	HALTモードの割り込み発生による解除 ... 309
17 - 3	HALTモードのRESET入力による解除 ... 309
17 - 4	STOPモードの割り込み発生による解除 ... 312
17 - 5	STOPモードのRESET入力による解除 ... 313
18 - 1	リセット機能のブロック図 ... 314
18 - 2	RESET入力によるリセット・タイミング ... 315
18 - 3	ウォッチドッグ・タイマのオーバフローによるリセット・タイミング ... 315
18 - 4	STOPモード中のRESET入力によるリセット・タイミング ... 315
19 - 1	フラッシュ・メモリにプログラムを書き込むための環境 ... 319
19 - 2	通信方式選択フォーマット ... 320
19 - 3	専用フラッシュ・ライタとの接続例 ... 321
19 - 4	VPP端子の接続例 ... 323
19 - 5	信号の衝突 (シリアル・インタフェースの入力端子) ... 324
19 - 6	ほかのデバイスの異常動作 ... 324
19 - 7	信号の衝突 (RESET端子) ... 325
19 - 8	3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例 ... 326
19 - 9	3線式シリアルI/O方式 (ハンドシェイクあり) でのフラッシュ書き込み用アダプタ配線例 ... 327
19 - 10	UART方式でのフラッシュ書き込み用アダプタ配線例 ... 328
A - 1	開発ツール構成 ... 367
B - 1	インサーキット・エミュレータから変換ソケットまでの距離 (80GCの場合) ... 372
B - 2	ターゲット・システムの接続条件 (NP-80GC-TQの場合) ... 373
B - 3	ターゲット・システムの接続条件 (NP-H80GC-TQの場合) ... 373
B - 4	インサーキット・エミュレータから変換アダプタまでの距離 (80GKの場合) ... 374
B - 5	ターゲット・システムの接続条件 (NP-80GKの場合) ... 375
B - 6	ターゲット・システムの接続条件 (NP-H80GK-TQの場合) ... 375

表の目次 (1/2)

表番号	タイトル, ページ
2 - 1	各端子の入出力回路タイプと未使用端子の処理 ... 44
3 - 1	内部ROM容量 ... 52
3 - 2	ベクタ・テーブル ... 52
3 - 3	内部高速RAM, 内部低速RAM容量 ... 53
3 - 4	特殊機能レジスタ一覧 ... 64
4 - 1	ポートの機能 ... 77
4 - 2	ポートの構成 ... 77
4 - 3	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定 ... 93
5 - 1	クロック発生回路の構成 ... 97
5 - 2	CPUクロックの切り替えに要する最大時間 ... 108
6 - 1	16ビット・タイマ20の構成 ... 110
6 - 2	16ビット・タイマ20のインターバル時間 ... 115
6 - 3	キャプチャ・エッジの設定内容 ... 118
7 - 1	モード一覧 ... 122
7 - 2	8ビット・タイマ50, 60, 61の構成 ... 124
7 - 3	タイマ50のインターバル時間 ... 137
7 - 4	タイマ60のインターバル時間 ... 137
7 - 5	タイマ61のインターバル時間 ... 137
7 - 6	タイマ50の方形波出力範囲 ... 142
7 - 7	タイマ60の方形波出力範囲 ... 143
7 - 8	タイマ61の方形波出力範囲 ... 143
7 - 9	16ビット分解能でのインターバル時間 ... 145
7 - 10	16ビット分解能の方形波出力範囲 ... 149
8 - 1	インターバル・タイマのインターバル時間 ... 163
8 - 2	時間用タイマの構成 ... 163
8 - 3	インターバル・タイマのインターバル時間 ... 166
9 - 1	ウォッチドッグ・タイマの暴走検出時間 ... 168
9 - 2	インターバル時間 ... 168
9 - 3	ウォッチドッグ・タイマの構成 ... 169
9 - 4	ウォッチドッグ・タイマの暴走検出時間 ... 172
9 - 5	インターバル・タイマのインターバル時間 ... 173

表の目次 (2/2)

表番号	タイトル, ページ
10 - 1	8ビットA/Dコンバータの構成 ... 174
11 - 1	シリアル・インタフェース20の構成 ... 188
11 - 2	シリアル・インタフェース20の動作モードの設定一覧 ... 194
11 - 3	システム・クロックとボー・レートの関係例 ... 197
11 - 4	ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時) ... 198
11 - 5	システム・クロックとボー・レートの関係例 ... 205
11 - 6	ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時) ... 205
11 - 7	受信エラーの要因 ... 210
12 - 1	シリアル・インタフェース1A0の構成 ... 218
12 - 2	割り込み要求信号の発生タイミング ... 251
13 - 1	最大表示画素数 ... 252
13 - 2	LCDコントローラ/ドライバの構成 ... 252
13 - 3	フレーム周波数 (Hz) ... 256
13 - 4	COM信号 ... 258
13 - 5	選択, 非選択電圧 (COM0-COM2) ... 260
13 - 6	選択, 非選択電圧 (COM0-COM3) ... 263
15 - 1	リモコン受信回路の構成 ... 271
15 - 2	ノイズ・キャンセル幅 ... 287
16 - 1	割り込み要因一覧 ... 291
16 - 2	割り込み要求信号名に対する各種フラグ ... 293
16 - 3	マスカブル割り込み要求発生から処理までの時間 ... 302
17 - 1	HALTモード時の動作状態 ... 308
17 - 2	HALTモードの解除後の動作 ... 310
17 - 3	STOPモード時の動作状態 ... 311
17 - 4	STOPモードの解除後の動作 ... 313
18 - 1	各ハードウェアのリセット後の状態 ... 316
19 - 1	μPD78F9478, 78F9479とマスクROM製品の違い ... 318
19 - 2	通信方式一覧 ... 320
19 - 3	端子接続一覧 ... 322
21 - 1	オペランドの表現形式と記述方法 ... 331
24 - 1	表面実装タイプの半田付け条件 ... 363

第1章 概 説

1.1 特 徴

ROM, RAM容量

項 目 品 名	プログラム・メモリ (ROM)		データ・メモリ	
			内部RAM	LCD表示用RAM
μ PD789477	マスクROM	24 Kバイト	768バイト	28×4ビット
μ PD789478		32 Kバイト	1024バイト	
μ PD789479		48 Kバイト	1536バイト	
μ PD78F9478	フラッシュ・メモリ	32 Kバイト	1024バイト	
μ PD78F9479		48 Kバイト	1536バイト	

高速 (0.4 μ s : メイン・システム・クロック5.0 MHz動作時) と低速 (1.6 μ s : メイン・システム・クロック5.0 MHz動作時) と超低速 (122 μ s : サブシステム・クロック32.768 kHz動作時) に最小命令実行時間を変更可能

サブシステム・クロック4通倍回路の使用を選択可能

(15.26 μ s : サブシステム・クロック32.768 kHz の4通倍クロック131 kHz動作時)

I/Oポート : 45本 (N-chオープン・ドレイン : 4本)

タイマ : 6チャンネル

シリアル・インタフェース : 2チャンネル

8ビット分解能A/Dコンバータ : 8チャンネル

LCDコントローラ / ドライバ (抵抗分割方式)

セグメント信号 : 28本, コモン信号 : 4本

乗算器内蔵 : 8ビット×8ビット = 16ビット

赤外線リモコン受信回路内蔵

キー・リターン信号検出回路内蔵

電源電圧 : $V_{DD} = 1.8 \sim 5.5$ V

1.2 応用分野

CDラジカセ, ポータブル・オーディオ, コンパクト・カメラ, 健康機器など

1.3 オーダ情報

オーダ名称	パッケージ	内部ROM
μPD789477GC- x x x -8BT	80ピン・プラスチックQFP (14 x 14)	マスクROM
μPD789477GK- x x x -9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD789478GC- x x x -8BT	80ピン・プラスチックQFP (14 x 14)	"
μPD789478GK- x x x -9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD789479GC- x x x -8BT	80ピン・プラスチックQFP (14 x 14)	"
μPD789479GK- x x x -9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD78F9478GC-8BT	80ピン・プラスチックQFP (14 x 14)	フラッシュ・メモリ
μPD78F9478GK-9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD78F9479GC-8BT	80ピン・プラスチックQFP (14 x 14)	"
μPD78F9479GK-9EU	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD789477GC- x x x -8BT-A	80ピン・プラスチックQFP (14 x 14)	マスクROM
μPD789477GK- x x x -9EU-A	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD789478GC- x x x -8BT-A	80ピン・プラスチックQFP (14 x 14)	"
μPD789478GK- x x x -9EU-A	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD789479GC- x x x -8BT-A	80ピン・プラスチックQFP (14 x 14)	"
μPD789479GK- x x x -9EU-A	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD78F9478GC-8BT-A	80ピン・プラスチックQFP (14 x 14)	フラッシュ・メモリ
μPD78F9478GK-9EU-A	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"
μPD78F9479GC-8BT-A	80ピン・プラスチックQFP (14 x 14)	"
μPD78F9479GK-9EU-A	80ピン・プラスチックTQFP (ファインピッチ) (12 x 12)	"

備考1. x x x はROMコード番号です。

2. オーダ名称末尾「-A」の製品は、鉛フリー製品です。

1.4 端子接続図 (Top View)

(1) μ PD789477, 789478, 78F9478

80ピン・プラスチックQFP (14 × 14)

μ PD789477GC- x x x -8BT

μ PD789478GC- x x x -8BT

μ PD78F9478GC-8BT

μ PD789477GC- x x x -8BT-A

μ PD789478GC- x x x -8BT-A

μ PD78F9478GC-8BT-A

80ピン・プラスチックTQFP (ファインピッチ) (12 × 12)

μ PD789477GK- x x x -9EU

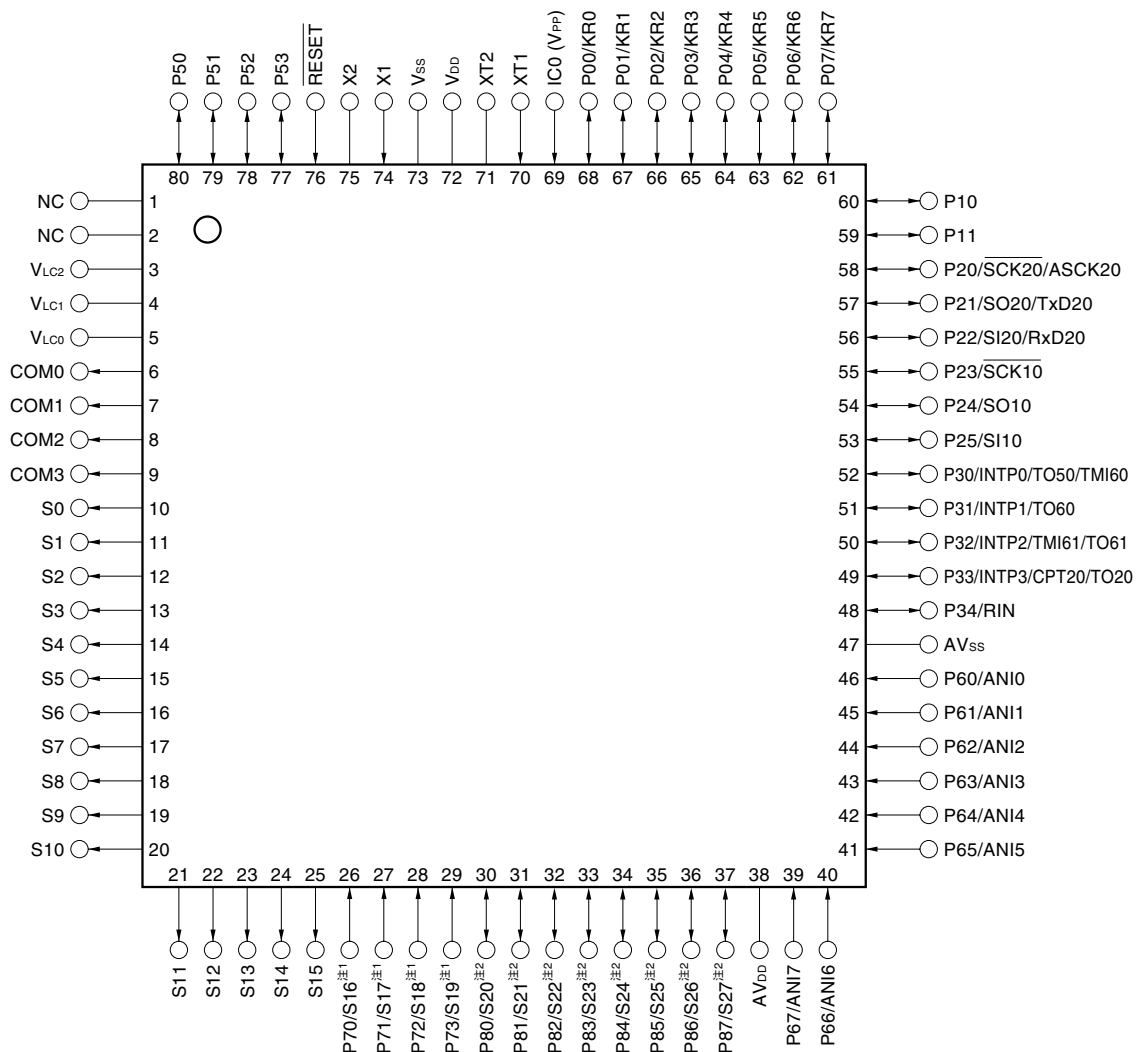
μ PD789478GK- x x x -9EU

μ PD78F9478GK-9EU

μ PD789477GK- x x x -9EU-A

μ PD789478GK- x x x -9EU-A

μ PD78F9478GK-9EU-A



- 注1. マスク・オプションまたはポート・ファンクション・レジスタにより、入力ポート (P70-P73) として使うか、セグメント出力 (S16-S19) として使うかをビット単位で選択できます (4. 3 (3) ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。
2. マスク・オプションまたはポート・ファンクション・レジスタにより、入出力ポート (P80-P87) として使うか、セグメント出力 (S20-S27) として使うかをビット単位で選択できます (4. 3 (3) ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。

- 注意1. IC (Internally Connected) 端子はV_{SS}に直接接続してください。
2. AV_{DD}端子はV_{DD}に接続してください。
 3. AV_{SS}端子はV_{SS}に接続してください。

備考 () 内は, μ PD78F9478のみ

(2) μ PD789479, 78F9479

80ピン・プラスチックQFP (14×14)

μ PD789479GC- x x x -8BT

μ PD78F9479GC-8BT

μ PD789479GC- x x x -8BT-A

μ PD78F9479GC-8BT-A

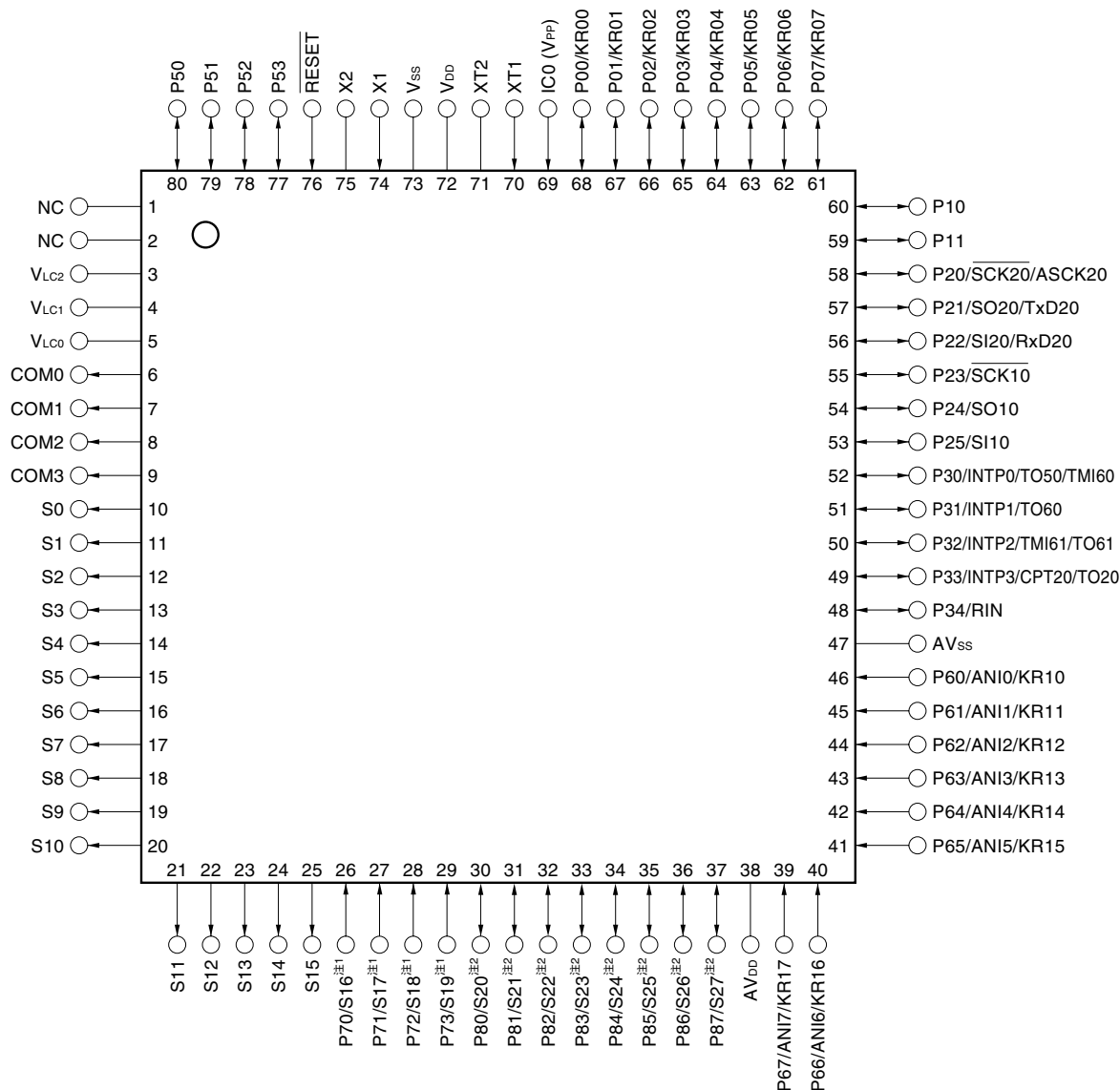
80ピン・プラスチックTQFP (ファインピッチ) (12×12)

μ PD789479GK- x x x -9EU

μ PD78F9479GK-9EU

μ PD789479GK- x x x -9EU-A

μ PD78F9479GK-9EU-A



注意1. IC (Internally Connected) 端子はV_{SS}に直接接続してください。

2. AV_{DD}端子はV_{DD}に接続してください。

3. AV_{SS}端子はV_{SS}に接続してください。

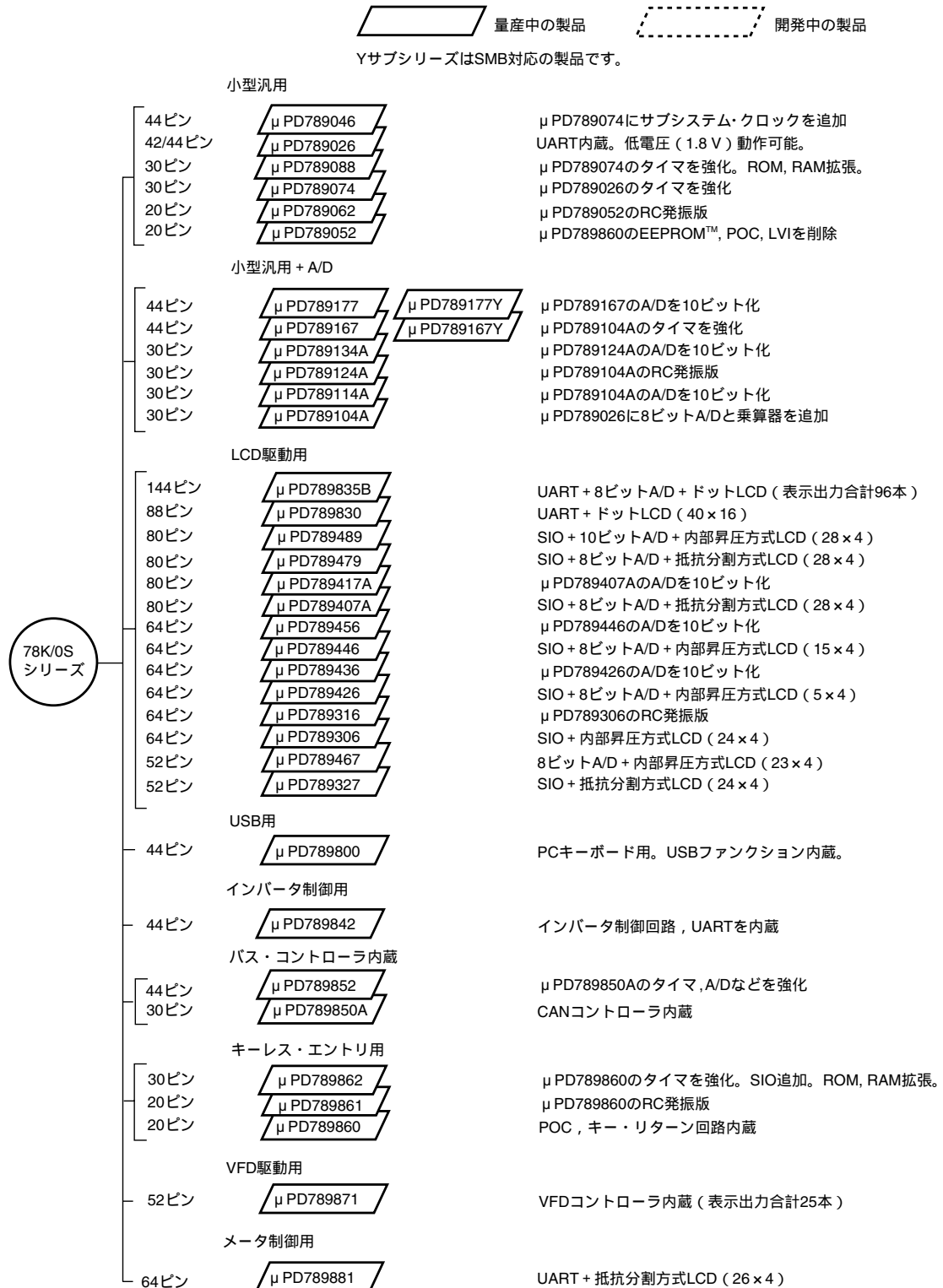
備考 () 内は, μ PD78F9479のみ

端子名称

ANI0-ANI7	: Analog Input	$\overline{\text{RESET}}$: Reset
ASCK20	: Asynchronus Serial Input	RIN	: Remote Control Input
AV _{DD}	: Analog Power Supply	RxD0	: Receive Data
AV _{SS}	: Analog Ground	S0-S27	: Segment Output
COM0-COM3	: Common Output	$\overline{\text{SCK10}}$: Serial Clock Input/Output
CPT20	: Capture Trigger Input	SI10	: Serial Data Input
IC0	: Internally connected	SO10	: Serial Data Output
INTP0-INTP3	: External Interrupt Input	$\overline{\text{SCK20}}$: Serial Clock Input/Output
KR0-KR7	: Key Return	SI20	: Serial Data Input
KR00-KR07	: Key Return	SO20	: Serial Data Output
KR10-KR17	: Key Return	TMI60,61	: Timer Input
NC	: Non-connection	TO20,50,60,61	: Timer Output
P00-P07	: Port 0	TxD0	: Transmit Data
P10, P11	: Port 1	V _{DD}	: Power Supply
P20-P25	: Port 2	V _{LC0-V_{LC2}}	: Power Supply for LCD
P30-P34	: Port 3	V _{PP}	: Programming Power Supply
P60-P67	: Port 6	V _{SS}	: Ground
P70-P73	: Port 7	X1, X2	: Crystal (Main system clock)
P80-P87	: Port 8	XT1, XT2	: Crystal (Subsystem clock)

1.5 78K/0Sシリーズの展開

78K/0Sシリーズの製品展開を次に示します。枠内はサブシリーズ名称です。



備考 蛍光表示管の一般的な英語名称はVFD（Vacuum Fluorescent Display）ですが、ドキュメントによってはFIP®（Fluorescent Indicator Panel）と記述しているものがあります。VFDとFIPは同等の機能です。

各サブシリーズ間の主な機能の違いを示します。

汎用，LCD駆動用シリーズ

機 能 サブシリーズ名		ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
			8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
小型 汎用	μ PD789046	16 K	1 ch	1 ch	1 ch	1 ch	-	-	1 ch (UART : 1ch)	34本	1.8 V	-
	μ PD789026	4 K-16 K			-							
	μ PD789088	16 K-32 K	3 ch							24本		
	μ PD789074	2 K-8 K	1 ch									
	μ PD789062	4 K	2 ch	-					-	14本		RC発振版
	μ PD789052											-
小型 汎用 + A/D	μ PD789177	16 K-24 K	3 ch	1 ch	1 ch	1ch	-	8 ch	1 ch (UART : 1ch)	31本	1.8 V	-
	μ PD789167						8 ch	-				
	μ PD789134A	2 K-8 K	1 ch		-		-	4 ch		20本		RC発振版
	μ PD789124A						4 ch	-				
	μ PD789114A						-	4 ch				-
	μ PD789104A						4 ch	-				
LCD 駆動用	μ PD789835B	24 K-60 K	6 ch	-	1 ch	1 ch	3 ch	-	1 ch (UART : 1ch)	37本	1.8 V ^注	ドットLCD
	μ PD789830	24 K	1 ch	1 ch			-			30本	2.7 V	対応
	μ PD789489	32 K-48 K	3 ch					8 ch	2 ch (UART : 1ch)	45本	1.8 V	-
	μ PD789479	24 K-48 K					8 ch	-				
	μ PD789417A	12 K-24 K					-	7 ch	1 ch (UART : 1ch)	43本		
	μ PD789407A						7 ch	-				
	μ PD789456	12 K-16 K	2 ch				-	6 ch		30本		
	μ PD789446						6 ch	-				
	μ PD789436						-	6 ch		40本		
	μ PD789426						6 ch	-				
	μ PD789316	8 K-16 K					-		2 ch (UART : 1ch)	23本		RC発振版
	μ PD789306											-
	μ PD789467	4 K-24 K		-			1 ch		-	18本		
	μ PD789327						-		1 ch	21本		

注 フラッシュ・メモリ版 : 3.0 V

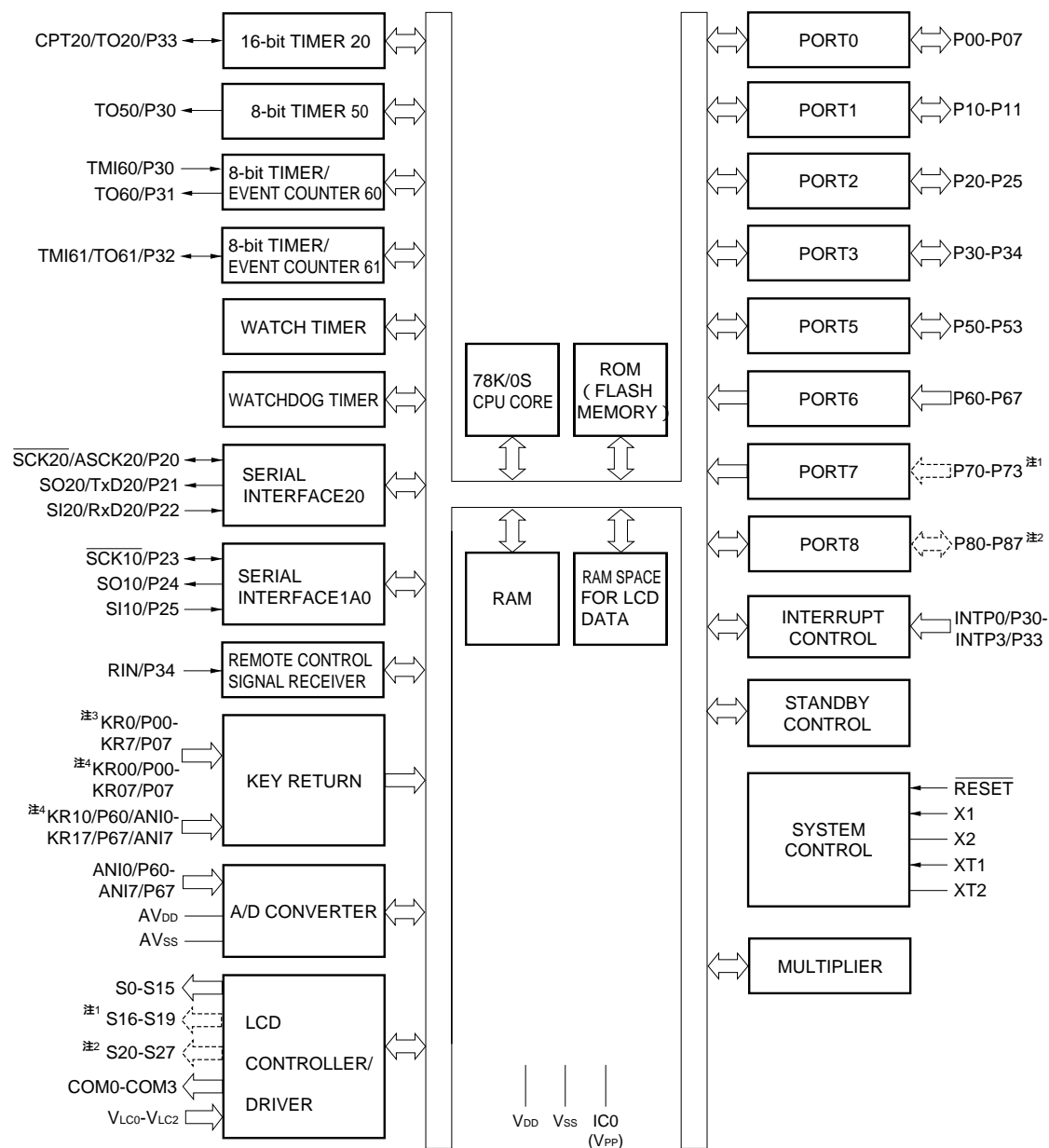
ASSP用シリーズ

機 能 サブシリーズ名	ROM容量 (バイト)	タイマ				8-bit	10-bit	シリアル・ インタフェース	I/O	V _{DD}	備考
		8-bit	16-bit	時計	WDT	A/D	A/D			最小値	
USB用 μ PD789800	8K	2 ch	-	-	1 ch	-	-	2 ch (USB : 1 ch)	31本	4.0 V	-
インバー タ制御用 μ PD789842	8 K-16 K	3 ch	注1	1 ch	1 ch	8 ch	-	1 ch (UART : 1ch)	30本	4.0 V	-
バス・コント ローラ内蔵 μ PD789852	24 K-32 K	3 ch	1 ch	-	1 ch	-	8ch	3 ch (UART : 2ch)	31本	4.0 V	-
μ PD789850A	16 K	1 ch				4 ch	-	2 ch (UART : 1ch)	18本		
キーレス ・エント リ用 μ PD789861	4 K	2 ch	-	-	1 ch	-	-	-	14本	1.8 V	RC発振版， EEPROM内蔵
μ PD789860											
μ PD789862	16 K	1 ch						1 ch (UART : 1ch)	22本		
VFD 駆動用 μ PD789871	4 K-8 K	3 ch	-	1 ch	1 ch	-	-	1 ch	33本	2.7 V	-
メータ 制御用 μ PD789881	16 K	2 ch	1 ch	-	1 ch	-	-	1 ch (UART : 1ch)	28本	2.7 V ^{注2}	-

注1. 10ビット・タイマ：1チャンネル

2. フラッシュ・メモリ版：3.0 V

1.6 ブロック図



- 注1. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより, 入力ポート (P70-P73) として使うか, セグメント出力 (S16-S19) として使うかをビット単位で選択できます (4.3(3)ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。
2. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより, 入出力ポート (P80-P87) として使うか, セグメント出力 (S20-S27) として使うかをビット単位で選択できます (4.3(3)ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。
3. μ PD789477, 789478, 78F9478のみ
4. μ PD789479, 78F9479のみ

備考 () 内は, μ PD78F9478, 78F9479のみ

1.7 機能概要

(1/2)

項 目		μ PD789477	μ PD789478	μ PD78F9478	μ PD789479	μ PD78F9479
内部メモリ	ROM	24 Kバイト	32 Kバイト	32 Kバイト (フラッシュ・メモリ)	48 Kバイト	48 Kバイト (フラッシュ・メモリ)
	高速RAM	768バイト	1024バイト	1024バイト	1536バイト	
	低速RAM	-			512バイト	
	LCD表示用RAM	28バイト				
メイン・システム・クロック (発振周波数)		セラミック / クリスタル発振 (1.0 ~ 5.0 MHz)				
サブシステム・クロック (発振周波数)		クリスタル発振 (32.768 kHz)				
最小命令実行時間		0.4 μs / 1.6 μs (メイン・システム・クロック : 5.0 MHz動作時)				
		122 μs (サブシステム・クロック : 32.768 kHz動作時)				
		15.26 μs (サブシステム・クロックの4通倍クロック : 131 kHz動作時)				
サブシステム・クロック通倍機能		4通倍回路 (動作電源電圧 : V _{DD} = 2.7 ~ 5.5 V) ^{注1}				
汎用レジスタ		8ビット × 8レジスタ				
命令セット		・ 16ビット演算 ・ ビット操作 (セット, リセット, テスト) など				
乗算器		8ビット × 8ビット = 16ビット				
I/Oポート		合計 : 45本 ^{注2}				
		CMOS入出力 : 29本				
		CMOS入力 : 12本				
		N-chオープン・ドレイン入出力 : 4本				
タイマ		・ 16ビット・タイマ : 1チャンネル				
		・ 8ビット・タイマ : 3チャンネル				
		・ 時計用タイマ : 1チャンネル				
		・ ウォッチドッグ・タイマ : 1チャンネル				
タイマ出力		4本				
シリアル・インタフェース		UART / 3線式シリアルI/Oモード : 1チャンネル 3線式シリアルI/Oモード (自動転送機能付き) : 1チャンネル				
A/Dコンバータ		8ビット分解能 × 8チャンネル				
LCDコントローラ / ドライバ		・ セグメント信号出力 : 28本 ^{注2}				
		・ コモン信号出力 : 4本				
LCD駆動用電源供給方式		外部抵抗分割方式				
赤外線リモコン受信機能		内蔵				
キー・リターン信号検出機能				8本		16本
ベクタ割り込み要因	マスカブル	内部 : 16, 外部 : 5			内部 : 16, 外部 : 6	
	ノンマスカブル	内部 : 1				
リセット		・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット				

注1. 4通倍回路の使用可否を, マスク・オプションまたはサブクロック選択レジスタで決定します。

2. うち12本は, ポート機能がLCDセグメント出力のどちらかを, マスク・オプションまたはポート・ファンクション・レジスタで選択する端子です。

(2/2)

項 目	μ PD789477	μ PD789478	μ PD78F9478	μ PD789479	μ PD78F9479
電源電圧	V _{DD} = 1.8 ~ 5.5 V				
動作周囲温度	T _A = - 40 ~ + 85				
パッケージ	・ 80ピン・プラスチックQFP (14 × 14) ・ 80ピン・プラスチックTQFP (ファインピッチ) (12 × 12)				

次にタイマの概要を示します。

		16ビット・ タイマ20	8ビット・ タイマ50	8ビット・ タイマ60	8ビット・ タイマ61	時計用タイマ	ウォッチドッ グ・タイマ
動作モード	インターバル・ タイマ	-	1チャンネル	1チャンネル	1チャンネル	1チャンネル ^{注1}	1チャンネル ^{注2}
	外部イベント・ カウンタ	-	-	1チャンネル	1チャンネル	-	-
機能	タイマ出力	1出力	1出力	1出力	1出力	-	-
	方形波出力	-	1出力	1出力	1出力	-	-
	キャプチャ	1入力	-	-	-	-	-
	割り込み要因	1	1	1	1	2	2

注1. 時計用タイマは時計用タイマとインターバル・タイマの機能を同時に使用可能です。

2. ウォッチドッグ・タイマはウォッチドッグ・タイマとインターバル・タイマの機能がありますが、いずれか一方を選択して使用してください。

第2章 端子機能

2.1 端子機能一覧

(1) ポート端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
P00-P07	入出力	ポート0。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB0 (PUB0) または、キー・リターン・モード・レジスタ (KRM00) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	KR0-KR7 ^{注1} KR00-KR07 ^{注2}
P10, P11	入出力	ポート1。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB1 (PUB1) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	-
P20	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	SCK20/ASCK20
P21				SO20/TxD20
P22				SI20/RxD20
P23				SCK10
P24				SO10
P25				SI10
P30	入出力	ポート3。 5ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3 (PUB3) により、内蔵プルアップ抵抗をビット単位で使用可能。	入力	INTP0/TO50/TMI60
P31				INTP1/TO60
P32				INTP2/TMI61/TO61
P33				INTP3/CPT20/TO20
P34				RIN
P50-P53	入出力	ポート5。 4ビットN-chオープン・ドレイン入出力ポート。 1ビット単位で入力 / 出力の指定可能。 マスクROM製品は、マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。	入力	-
P60-P67	入力	ポート6。 8ビット入力ポート。	入力	ANI0-ANI7 ^{注1} ANI0/KR10- ANI7/KR17 ^{注2}

注1. μ PD789477, 789478, 78F9478のみ

2. μ PD789479, 78F9479のみ

(1) ポート端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
P70-P73 ^{注1}	入力	ポート7。 4ビット入力ポート。 (マスク・オプションまたはポート・ファンクション・レジスタで 入力ポートを選択した場合のみ)	入力	-
P80-P87 ^{注2}	入出力	ポート8。 8ビット入出力ポート。 (マスク・オプションまたはポート・ファンクション・レジスタで 入出力ポートを選択した場合のみ)	入力	-

注1. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより、入力ポート (P70-P73) として使うか、セグメント出力 (S16-S19) として使うかをビット単位で選択できます (4.3 (3) ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。

2. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより、入出力ポート (P80-P87) として使うか、セグメント出力 (S20-S27) として使うかをビット単位で選択できます (4.3 (3) ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。

(2) ポート以外の端子 (1/2)

端子名称	入出力	機 能	リセット時	兼用端子
INTP0	入力	有効エッジ (立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり の両エッジ) 指定可能な外部割り込み入力	入力	P30/TO50/TMI60
INTP1				P31/TO60
INTP2				P32/TMI61/TO61
INTP3				P33/CPT20/TO20
KR0-KR7 ^{注1}	入力	キー・リターン信号検出	入力	P00-P07
KR00-KR07 ^{注2}	入力	キー・リターン信号検出	入力	P00-P07
KR10-KR17 ^{注2}				P60/ANI0- P67/ANI7
TO20	出力	16ビット・タイマ20の出力	入力	P33/INTP3/CPT20
CPT20	出力	16ビット・タイマ20のキャプチャ・エッジ入力	入力	P33/INTP3/TO20
TO50	出力	8ビット・タイマ50の出力	入力	P30/INTP0/TMI60
TO60	出力	8ビット・タイマ60の出力	入力	P31/INTP1
TO61	出力	8ビット・タイマ61の出力	入力	P32/INTP2/TMI61
TMI60	入力	8ビット・タイマ60への外部カウント・クロック入力	入力	P30/INTP0/TO50
TMI61	入力	8ビット・タイマ61への外部カウント・クロック入力	入力	P32/INTP2/TO61
SCK20	入出力	シリアル・インタフェースのシリアル・クロック入力/出力	入力	P20/ASCK20
SCK10				P23
SO20	出力	シリアル・インタフェースのシリアル・データ出力	入力	P21/TxD20
SO10				P24
SI20	入力	シリアル・インタフェースのシリアル・データ入力	入力	P22/RxD20
SI10				P25
ASCK20	入力	アシンクロナス・シリアル・インタフェースのシリアル・クロック入力	入力	P20/SCK20
TxD20	出力	アシンクロナス・シリアル・インタフェースのシリアル・データ出力	入力	P21/SO20
RxD20	入力	アシンクロナス・シリアル・インタフェースのシリアル・データ入力	入力	P22/SI20
RIN	入力	リモコン受信データ入力	入力	P34

注1. μ PD789477, 789478, 78F9478のみ

2. μ PD789479, 78F9479のみ

(2) ポート以外の端子 (2/2)

端子名称	入出力	機 能	リセット時	兼用端子
S0-S15	出力	LCDコントローラ / ドライバのセグメント信号出力	ロウ・レベル出力	-
S16-S19 ^{注1}		マスク・オプションでセグメント出力を選択した場合のみ		-
S20-S27 ^{注2}		マスク・オプションでセグメント出力を選択した場合のみ		-
COM0-COM3	出力	LCDコントローラ / ドライバのコモン信号出力	ロウ・レベル出力	-
V _{LC0} -V _{LC2}	-	LCD駆動用電圧	-	-
ANI0-ANI7	-	A/Dコンバータのアナログ入力	-	P60-P67 ^{注3} P60/KR10- P67/KR17 ^{注4}
AV _{SS}	-	A/Dコンバータのグランド電位	-	-
AV _{DD}	-	A/Dコンバータのアナログ電源	-	-
X1	入力	メイン・システム・クロック発振用クリスタル接続	-	-
X2	-		-	-
XT1	入力	サブシステム・クロック発振用クリスタル接続	-	-
XT2	-		-	-
RESET	入力	システム・リセット入力	入力	-
V _{DD}	-	正電源	-	-
V _{SS}	-	グランド電位	-	-
IC0	-	内部接続されています。V _{SS} に直接接続してください。	-	-
NC	-	内部接続されていません。オープンにしてください。	-	-
V _{PP}	-	フラッシュ・メモリ・プログラミング・モード設定。 プログラム書き込み / ベリファイ時の高電圧印加。	-	-

- 注1. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより, 入力ポート (P70-P73) として使うか, セグメント出力 (S16-S19) として使うかをビット単位で選択できます (4.3 (3) ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。
2. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより, 入出力ポート (P80-P87) として使うか, セグメント出力 (S20-S27) として使うかをビット単位で選択できます (4.3 (3) ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照)。
3. μ PD789477, 789478, 78F9478のみ
4. μ PD789479, 78F9479のみ

2.2 端子機能の説明

2.2.1 P00-P07 (Port 0)

8ビットの入出力ポートです。入出力ポートのほかに、キー・リターン信号検出機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB0 (PUB0) により、内蔵プルアップ抵抗をビット単位で使用できます

(2) コントロール・モード

キー・リターン信号検出端子 (KR0-KR7 (μ PD789477, 789478, 78F9478), KR00-KR07 (μ PD789479, 78F9479)) として機能します。

2.2.2 P10, P11 (Port 1)

2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB1 (PUB1) により、内蔵プルアップ抵抗をビット単位で使用できます。

2.2.3 P20-P25 (Port 2)

6ビット入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、シリアル・クロック入出力機能があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

6ビットの入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) により、1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、シリアル・クロック入出力として機能します。

(a) SI20, SO20, SI10, SO10

シリアル・インタフェースのシリアル・データの入出力端子です。

(b) $\overline{\text{SCK20}}$, $\overline{\text{SCK10}}$

シリアル・インタフェースのシリアル・クロックの入出力端子です。

(c) RxD20, TxD20

アシンクロナス・シリアル・インタフェース用シリアル・データ入出力端子です。

(d) ASCK20

アシンクロナス・シリアル・インタフェース用シリアル・クロック入力端子です。

注意 シリアル・インタフェースの端子として使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については表11-2 シリアル・インタフェース20の動作モードの設定一覧, 12.3(1)シリアル動作モード・レジスタ1A0(CSIM1A0)を参照してください。

2.2.4 P30-P34 (Port 3)

5ビットの入出力ポートです。入出力ポートのほかにタイマの入出力, 外部割り込み入力, リモコン受信データ入力があります。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

5ビットの入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) により, 1ビット単位で入力ポートまたは出力ポートに指定できます。入力ポートとして使用する場合, プルアップ抵抗オプション・レジスタB3 (PUB3) により内蔵プルアップ抵抗をビット単位で使用できます。

(2) コントロール・モード

タイマの入出力, 外部割り込み入力, リモコン受信データ入力として機能します。

(a) TMI60, TMI61

タイマ60, 61への外部クロック入力端子です。

(b) TO20, TO50, TO60, TO61

タイマ20, 50, 60, 61のタイマ出力端子です。

(c) CPT20

16ビット・タイマ20のキャプチャ・エッジ入力端子です。

(d) INTP0-INTP3

有効エッジ (立ち上がりエッジ, 立ち下がりエッジ, 立ち上がり立ち下がり両エッジ) 指定可能な外部割り込み入力端子です。

(e) RIN

リモコン受信回路のデータ入力端子です。

2.2.5 P50-P53 (Port 5)

4ビットのN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により1ビット単位で入力または出力ポートに指定できます。マスクROM製品は, マスク・オプションにより, プルアップ抵抗の内蔵をビット単位で指定可能です。

2.2.6 P60-P67 (Port 6)

8ビットの入力専用ポートです。汎用入力ポートのほかに、A/Dコンバータ入力、キー・リターン信号検出^注機能があります。

(1) ポート・モード

8ビットの入力専用ポートとして機能します。

(2) コントロール・モード

A/Dコンバータのアナログ入力、キー・リターン信号検出端子^注として機能します。

(a) ANI0-ANI7

A/Dコンバータのアナログ入力端子です。

(b) KR10-KR17^注

キー・リターン信号検出端子です。

注 μ PD789479, 78F9479のみ

2.2.7 P70-P73 (Port 7)

4ビットの入力専用ポートです。 μ PD789477, 789478, 789479のマスク・オプション、または μ PD78F9478, 78F9479のポート・ファンクション・レジスタにより、ポート機能を選択した場合のみ使用できます。

2.2.8 P80-P87 (Port 8)

8ビットの入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力ポートまたは出力ポートに指定できます。 μ PD789477, 789478, 789479のマスク・オプション、または μ PD78F9478, 78F9479のポート・ファンクション・レジスタにより、ポート機能を選択した場合のみ使用できます。

2.2.9 S0-S27^注

LCDコントローラ/ドライバのセグメント信号出力端子です。

注 S16-S27は、 μ PD789477, 789478, 789479のマスク・オプション、または μ PD78F9478, 78F9479のポート・ファンクション・レジスタにより、セグメント出力を選択した場合のみ使用できます。

2.2.10 COM0-COM3

LCDコントローラ/ドライバのコモン信号出力端子です。

2.2.11 V_{LC0}-V_{LC2}

LCD駆動用電源電圧接続端子です。

2.2.12 NC

NC (Non-connection) は内部接続をしていません。V_{SS}に接続してください (オープンも可能)。

2.2.13 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

2.2.14 X1, X2

メイン・システム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、X1に入力し、X2にその反転信号を入力してください。

2.2.15 XT1, XT2

サブシステム・クロック発振用クリスタル振動子接続端子です。

外部クロックを供給するときは、XT1に入力し、XT2にその反転信号を入力してください。

2.2.16 AVDD

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常にVDD端子と同電位で使用してください。

2.2.17 AVSS

A/Dコンバータのグラウンド電位端子です。A/Dコンバータを使用しないときでも、常にVSS端子と同電位で使用してください。

2.2.18 VDD

正電源供給端子です。

2.2.19 VSS

グラウンド電位端子です。

2.2.20 VPP (フラッシュ・メモリ製品のみ)

フラッシュ・メモリ・プログラミング・モード設定およびプログラム書き込み/ベリファイ時の高電圧印加端子です。

次のどちらかの端子処理をしてください。

個別に10 kΩのプルダウン抵抗を接続する

ボード上のジャンパで、プログラミング・モード時は専用フラッシュ・ライタに、通常動作モード時はVSSに直接接続するように切り替える

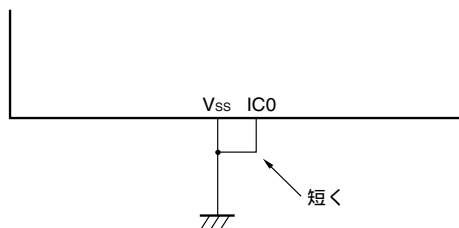
VPP端子とVSS端子間の配線の引き回しが長い場合や、VPP端子に外来ノイズが加わったときには、お客様のプログラムが正常に動作しないことがあります。

2.2.21 IC0（マスクROM製品のみ）

IC0（Internally Connected）端子は、当社出荷時に μ PD789479サブシリーズを検査するためのテスト・モードに設定するための端子です。通常動作時には、IC0端子をV_{SS}に直接接続し、その配線長を極力短くしてください。

IC0端子とV_{SS}端子間の配線の引き回しが長い場合や、IC0端子に外来ノイズが加わった場合などで、IC0端子とV_{SS}端子間に電位差が生じたときには、お客様のプログラムが正常に動作しないことがあります。

IC端子をV_{SS}端子に直接接続してください。



2.3 端子の入出力回路と未使用端子の処理

各端子の入出力回路タイプと、未使用端子の処理を表2 - 1に示します。

また、各タイプの入出力回路の構成は、図2 - 1を参照してください。

表2 - 1 各端子の入出力回路タイプと未使用端子の処理 (1/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/KR0-P07/KR7 ^{注1}	8 - A	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P00/KR00-P07/KR07 ^{注2}			
P10, P11	5 - A		
P20/SCK20/ASCK20	8 - A		
P21/SO20/TxD20	5 - A		
P22/SI20/RxD20	8 - A		
P23/SCK10			
P24/SO10	5 - A		
P25/SI10	8 - A		
P30/INTP0/TO50/TMI60			
P31/INTP1/TO60			
P32/INTP2/TO61/TMI61			
P33/INTP3/CPT20/TO20			
P34/RIN			
P50-P53 (マスクROM製品)	13-W		入力時：個別に抵抗を介して，V _{DD} に接続してください。 出力時：オープンにしてください
P50-P53 (フラッシュ・メモリ製品)	13-V		
P60/ANI0-P67/ANI7 ^{注1}	9-C	入力	V _{DD} またはV _{SS} に直接接続してください。
P60/ANI10/KR10- P67/ANI17/KR17 ^{注2}			
P70-P73 ^{注3}	2-H		
P80-P87 ^{注3}	5-K	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
COM0-COM3	18	出力	オープンにしてください。
S0-S15	17		
S16-S19 ^{注4}			
S20-S27 ^{注4}			
NC	-	-	V _{DD} に直接接続してください。 V _{SS} に直接接続してください。
V _{LC0} -V _{LC2}			
AV _{DD}			
AV _{SS}			

注1. μ PD789477, 789478, 78F9478のみ

2. μ PD789479, 78F9479のみ

3. マスク・オプションまたはポート・ファンクション・レジスタで、ポート端子を選択した場合のみ

4. マスク・オプションまたはポート・ファンクション・レジスタで、セグメント出力端子を選択した場合のみ

表2 - 1 各端子の入出力回路タイプと未使用端子の処理 (2/2)

端子名	入出力回路タイプ	入出力	未使用時の推奨接続方法
XT1	-	入力	V _{SS} に直接接続してください。
XT2		-	オープンにしてください。
RESET	2	入力	-
IC0	-	-	V _{SS} に直接接続してください。
V _{PP}			個別に10 kΩのプルダウン抵抗を接続するか、V _{SS} に直接接続してください。

図2 - 1 端子の入出力回路一覧 (1/2)

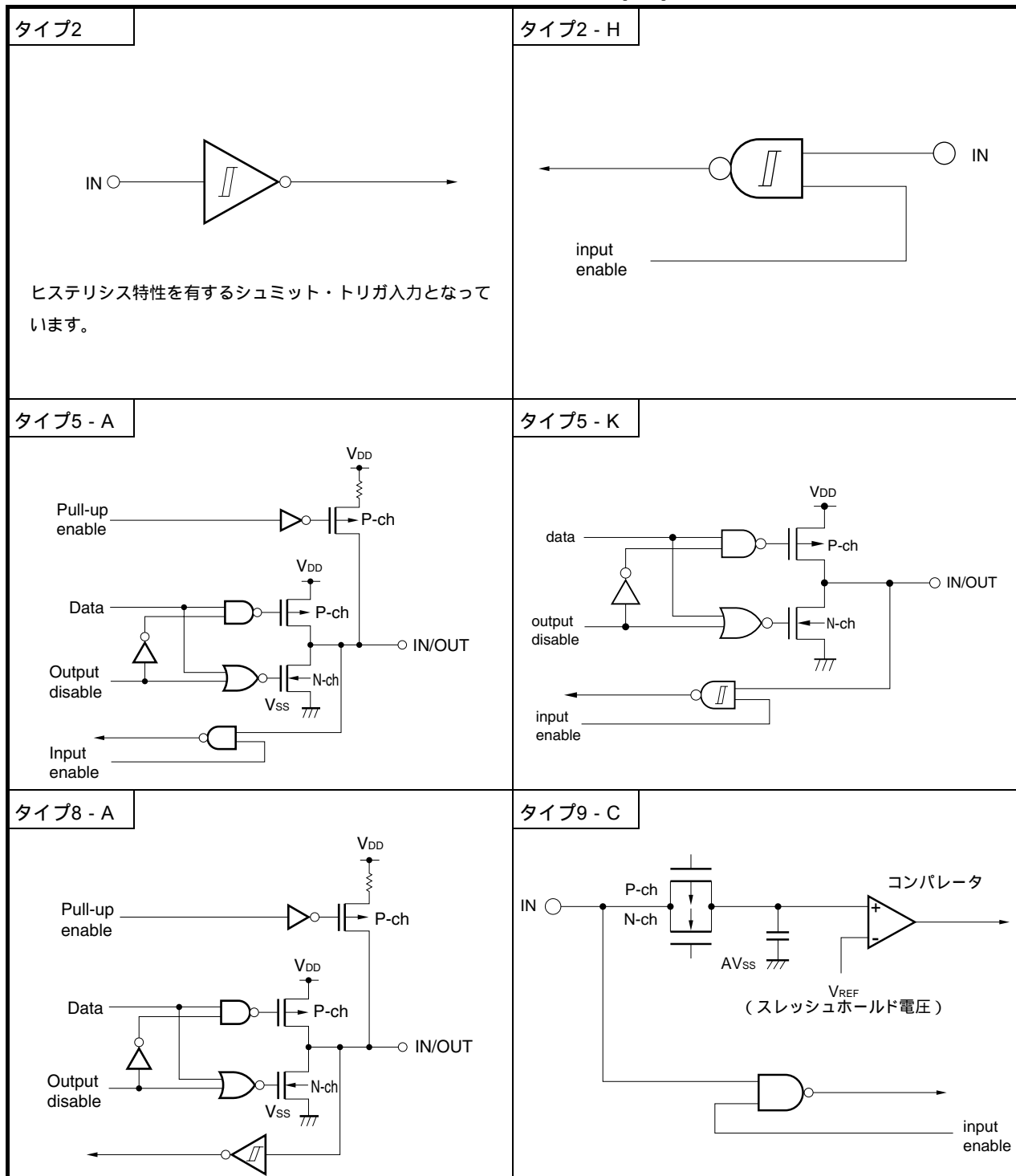
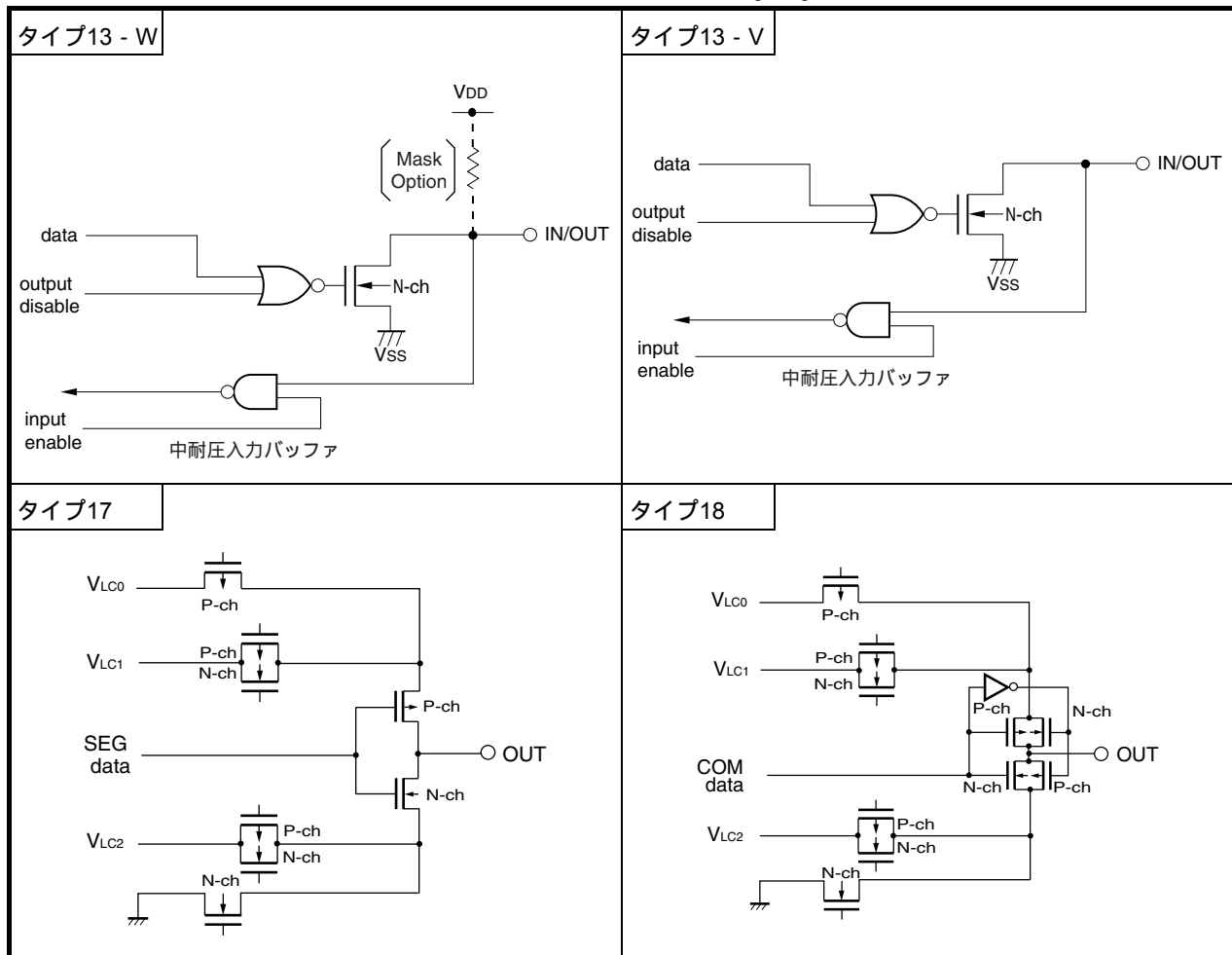


図2 - 1 端子の入出力回路一覧 (2/2)



第3章 CPUアーキテクチャ

3.1 メモリ空間

μ PD789479サブシリーズは、それぞれ64 Kバイトのメモリ空間をアクセスできます。図3 - 1～図3 - 5に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD789477)

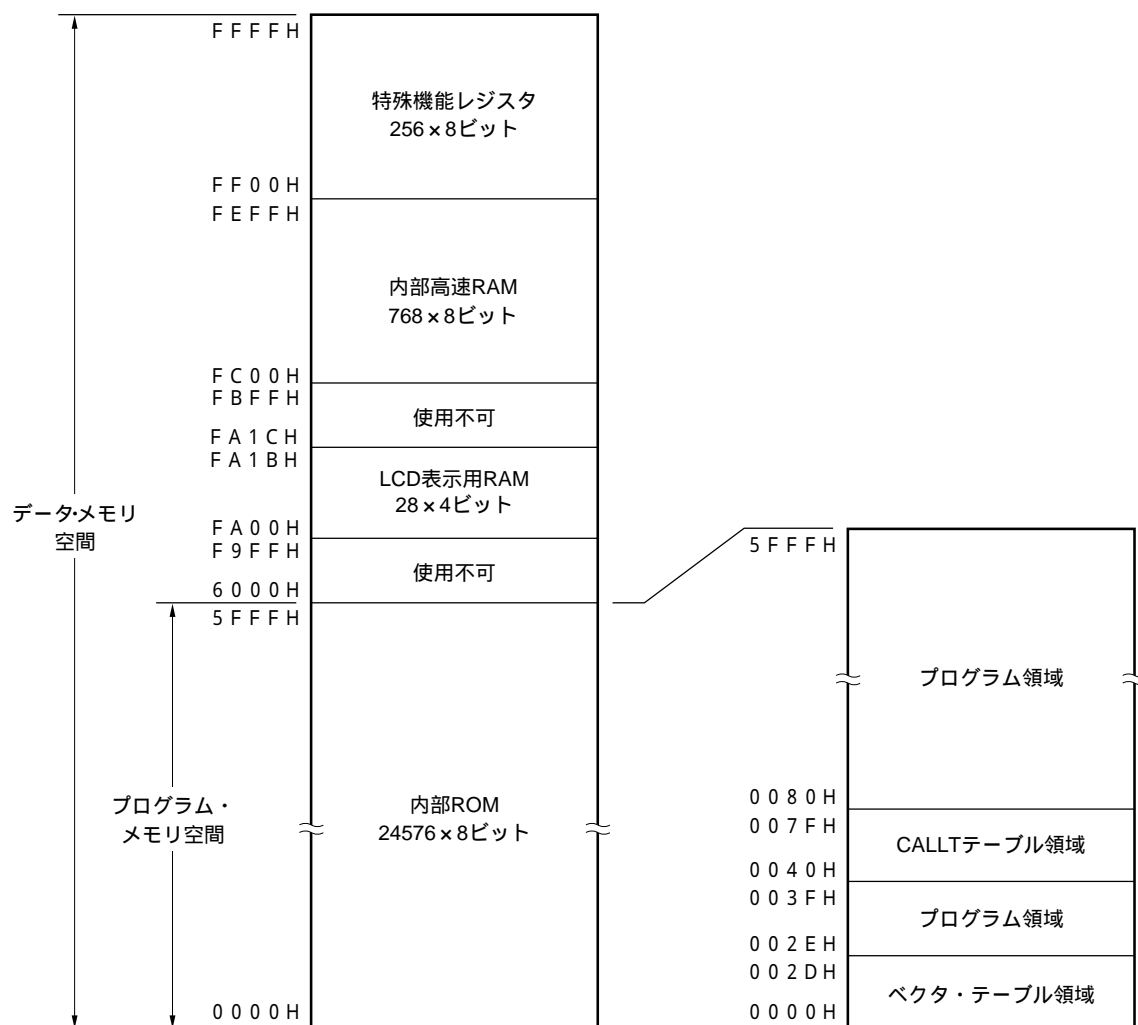


図3 - 2 メモリ・マップ (μ PD789478)

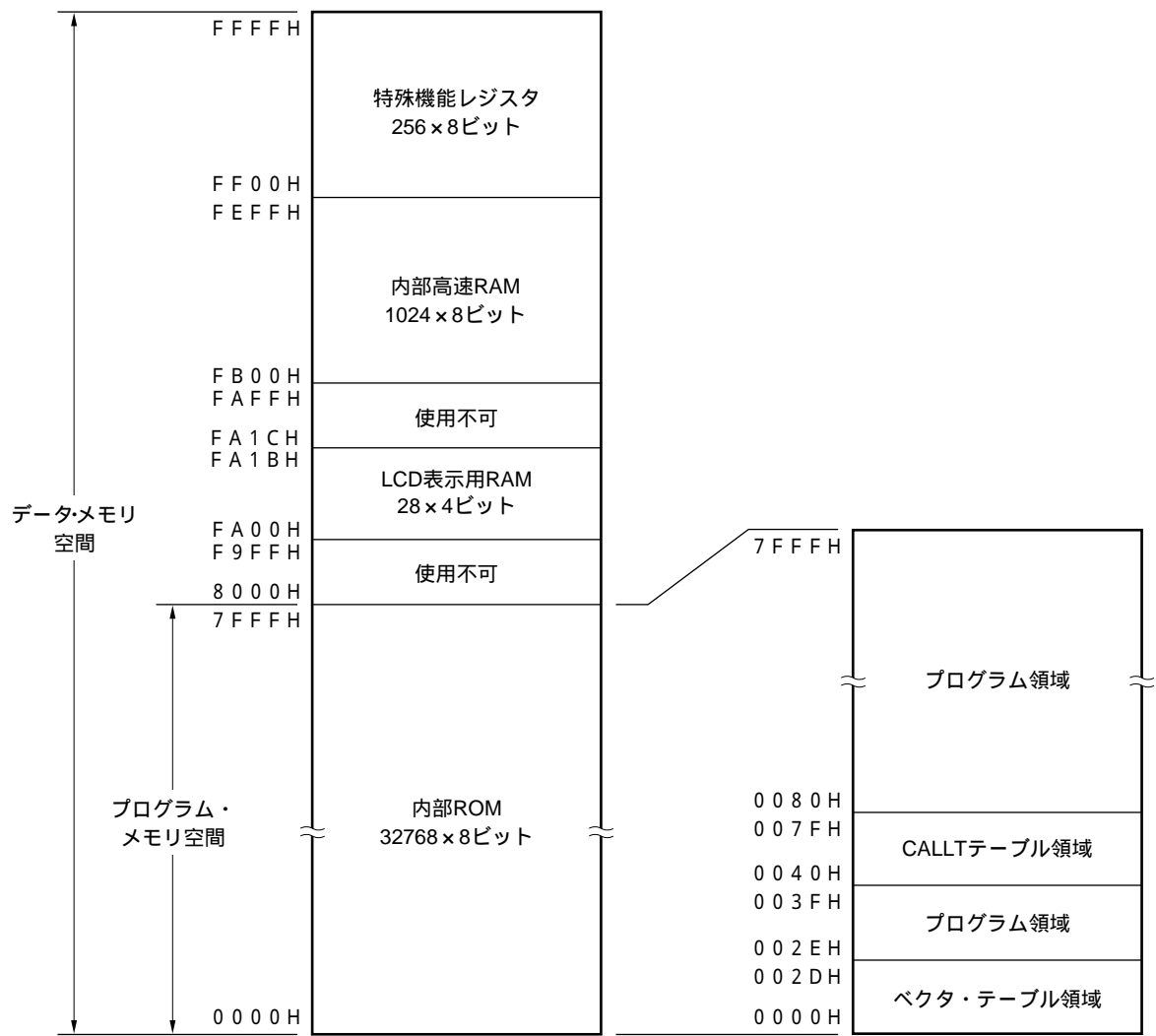


図3 - 3 メモリ・マップ (μ PD78F9478)

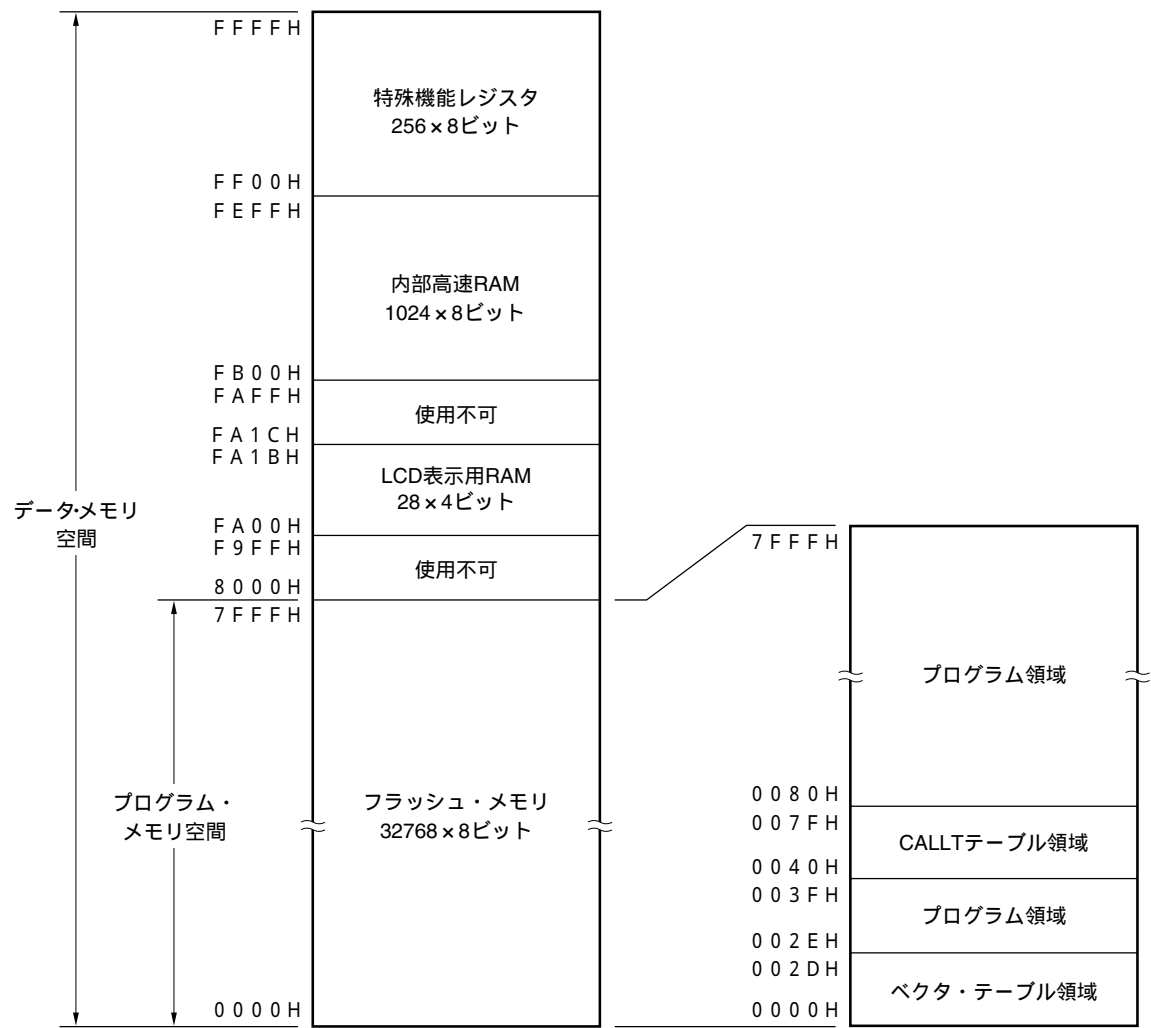


図3 - 4 メモリ・マップ (μ PD789479)

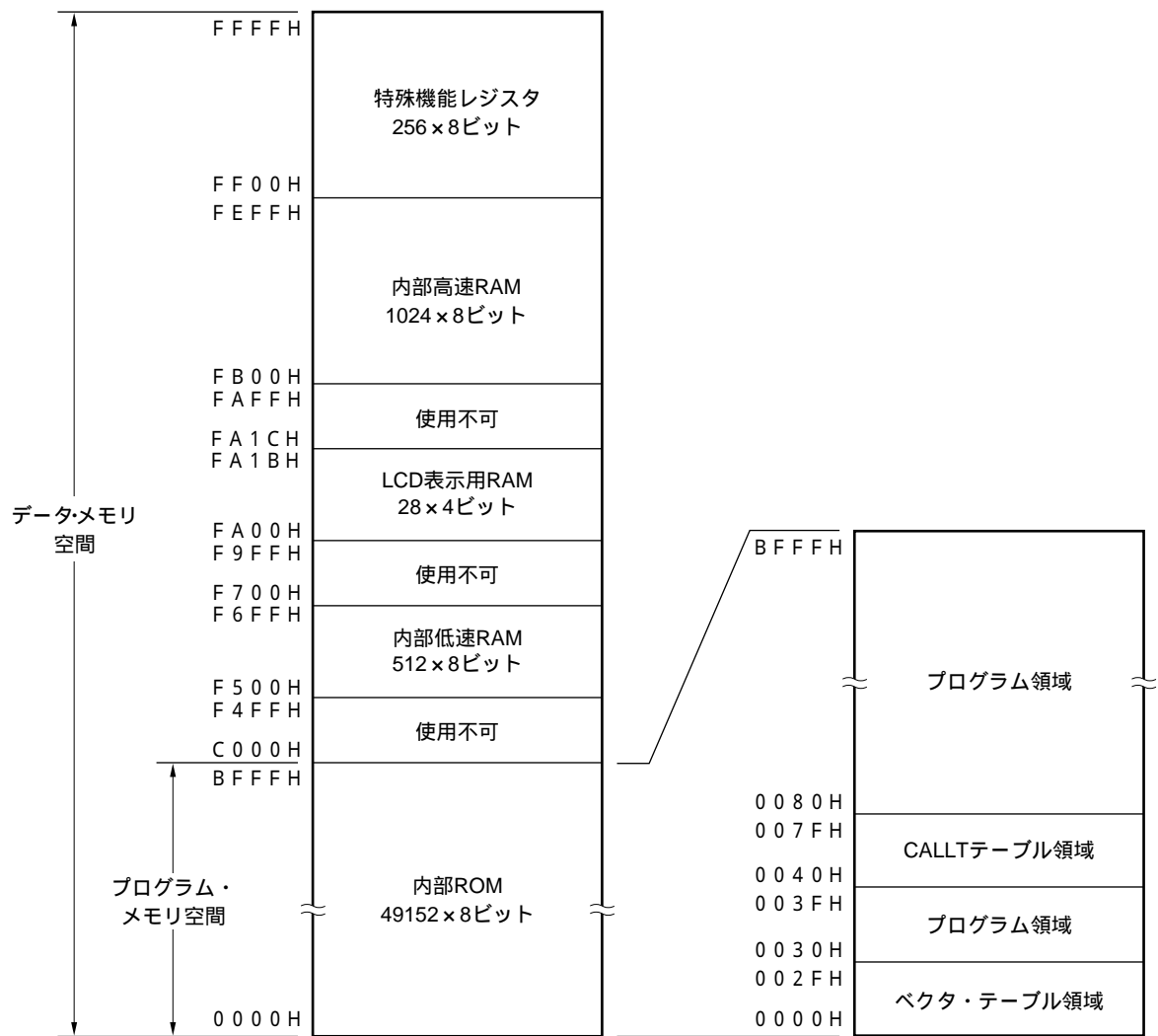
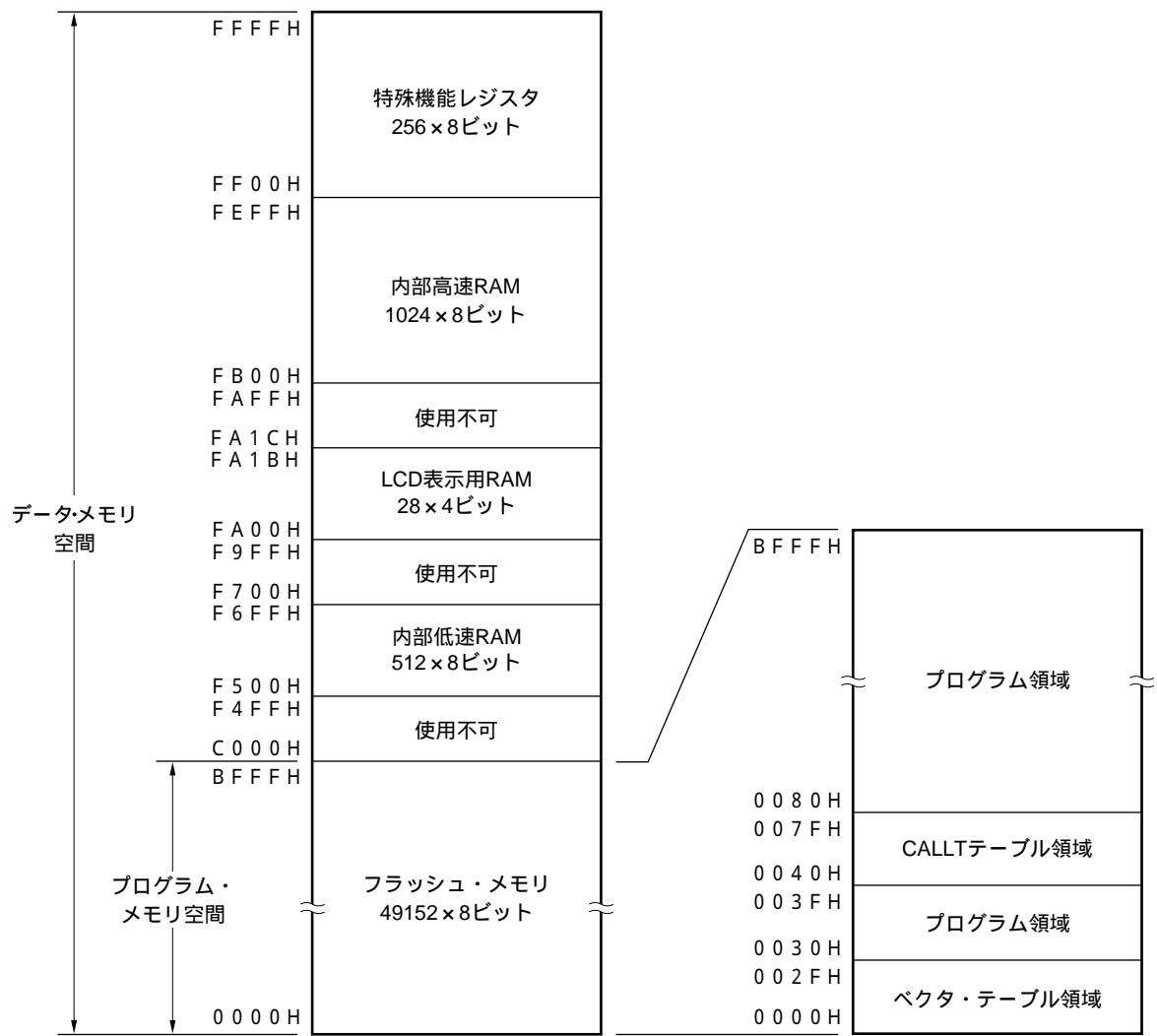


図3 - 5 メモリ・マップ (μ PD78F9479)



3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間には、プログラムおよびテーブル・データなどを格納します。通常、プログラム・カウンタ（PC）でアドレスします。

μPD789479サブシリーズでは、各製品ごとに次の容量の内部ROM（またはフラッシュ・メモリ）を内蔵しています。

表3 - 1 内部ROM容量

品 名	内部ROM	
	構 造	容 量
μPD789477	マスクROM	24576×8ビット
μPD789478		32768×8ビット
μPD789479		49152×8ビット
μPD78F9478	フラッシュ・メモリ	32768×8ビット
μPD78F9479		49152×8ビット

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

（１）ベクタ・テーブル領域

μPD789477, 789478, 78F9478では0000H-002DHの46バイトの領域，μPD789479, 78F9479では0000H-002FHの48バイトの領域がベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、RESET入力，各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。16ビット・アドレスのうち下位8ビットが偶数アドレスに，上位8ビットが奇数アドレスに格納されます。

表3 - 2 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要求	ベクタ・テーブル・アドレス	割り込み要求
0000H	RESET入力	0018H	INTTM20
0004H	INTWDT	001AH	INTTM50
0006H	INTP0	001CH	INTTM60
0008H	INTP1	001EH	INTTM61
000AH	INTP2	0020H	INTAD0
000CH	INTP3	0022H	INTWT
000EH	INTRIN	0024H	INTKR00
0010H	INTSR20/INTCSI20	0026H	INTRERR
0012H	INTCSI10	0028H	INTGP
0014H	INTST20	002AH	INTREND
0016H	INTWTI	002CH	INTDFULL
		002EH	INTKR01 ^注

注 μPD789479, 78F9479のみ

(2) CALLT命令テーブル領域

0040H-007FHの64バイトの領域には、1バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。

3. 1. 2 内部データ・メモリ空間**(1) 内部高速RAM，内部低速RAM**

μPD789479サブシリーズでは、各製品ごとに次の容量の内部高速RAMと内部低速RAMを内蔵しています。

内部高速RAMはスタックとしても使用します。

内部低速RAMはスタックとしては使用できません。

表3 - 3 内部高速RAM，内部低速RAM容量

品 名	内部高速RAM	内部低速RAM
μPD789477	768×8ビット	
μPD789478	1024×8ビット	
μPD789479		512×8ビット
μPD78F9478		
μPD78F9479		512×8ビット

(2) LCD表示用RAM

FA00H-FA1BHの領域には、LCD表示用RAMを内蔵しています。

LCD表示用RAMは、通常のRAMとしても使用できます。

3. 1. 3 特殊機能レジスタ（SFR：Special Function Register）領域

FF00H-FFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ（SFR）が割り付けられています（表3 - 4参照）。

3.1.4 データ・メモリ・アドレッシング

μ PD789479サブシリーズは、メモリの操作性などを考慮した豊富なアドレッシング・モードを備えています。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ（SFR）など、それぞれの持つ機能にあわせて特有のアドレッシングが可能です。図3 - 6～図3 - 10にデータ・メモリのアドレッシングを示します。

図3 - 6 データ・メモリのアドレッシング (μ PD789477)

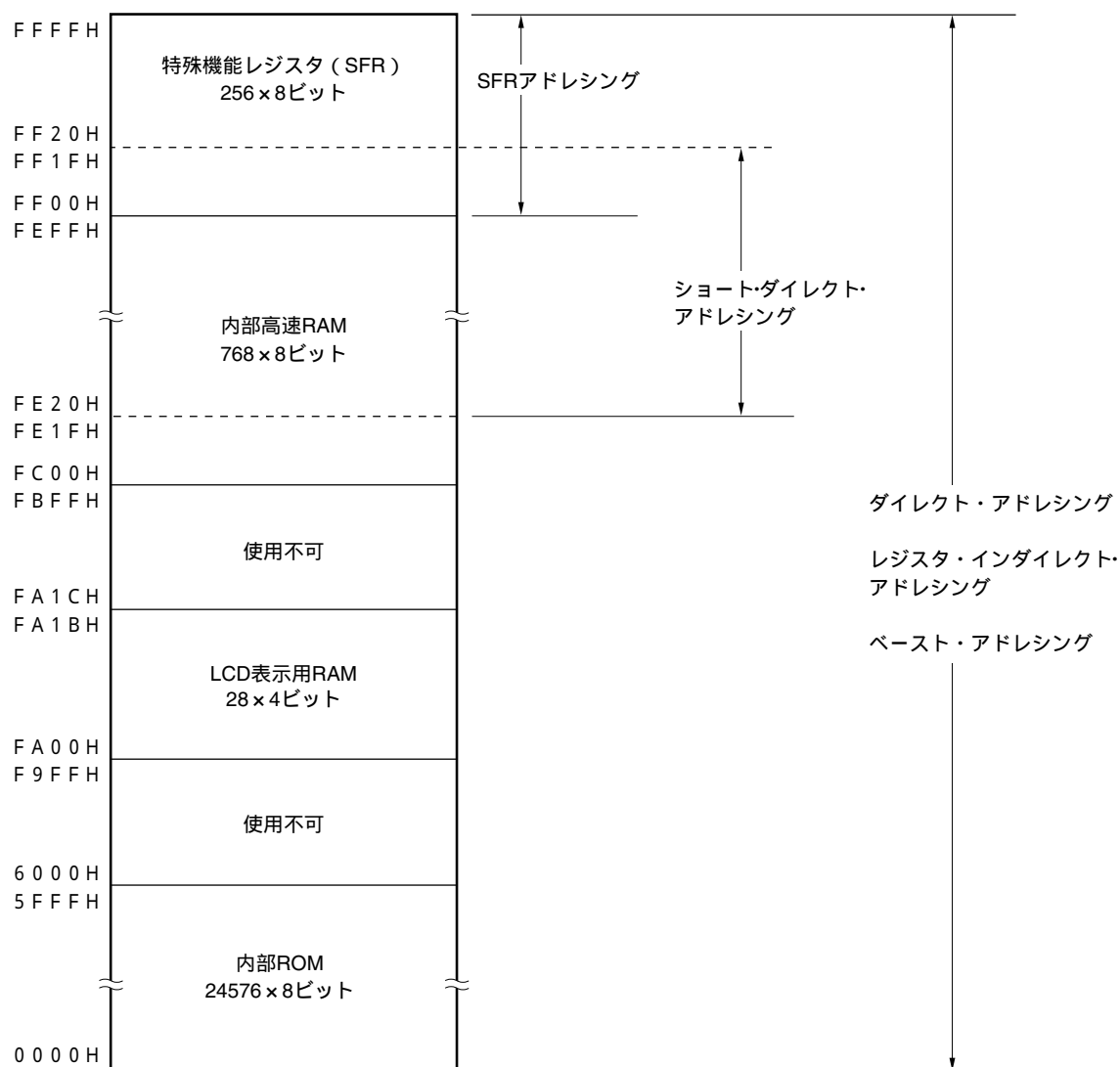


図3 - 7 データ・メモリのアドレッシング (μ PD789478)

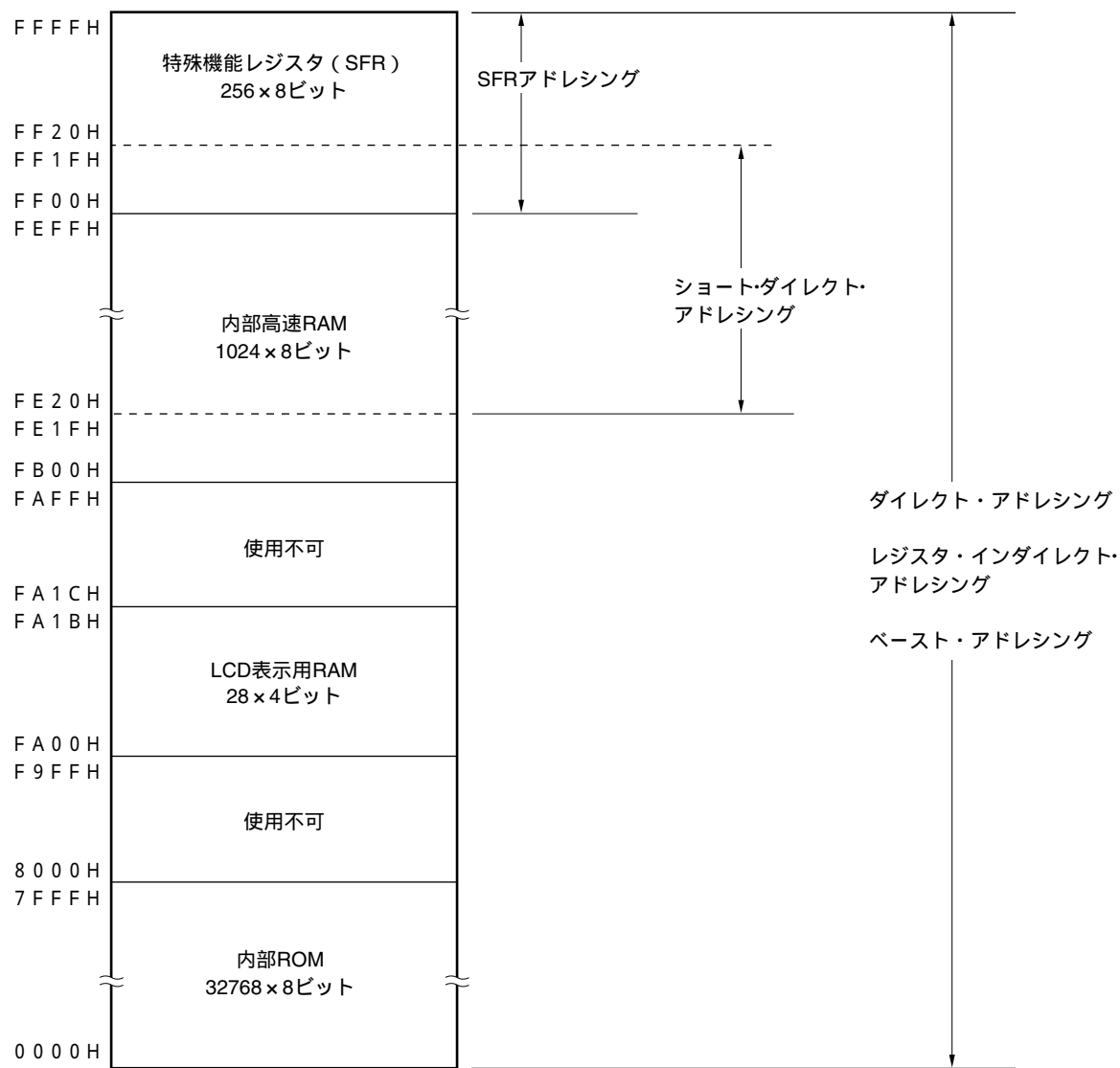


図3 - 8 データ・メモリのアドレッシング (μ PD78F9478)

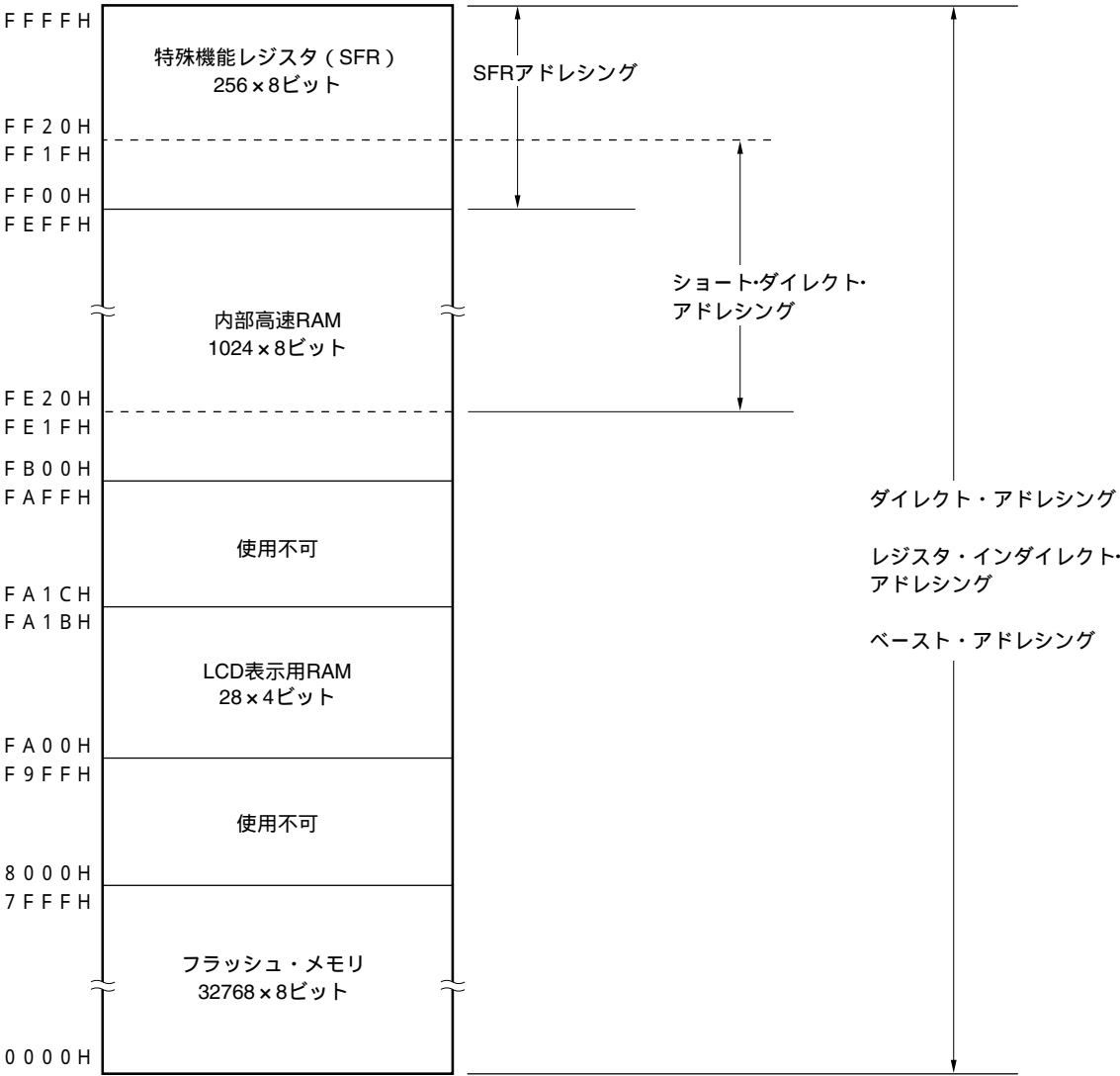


図3 - 9 データ・メモリのアドレッシング (μ PD789479)

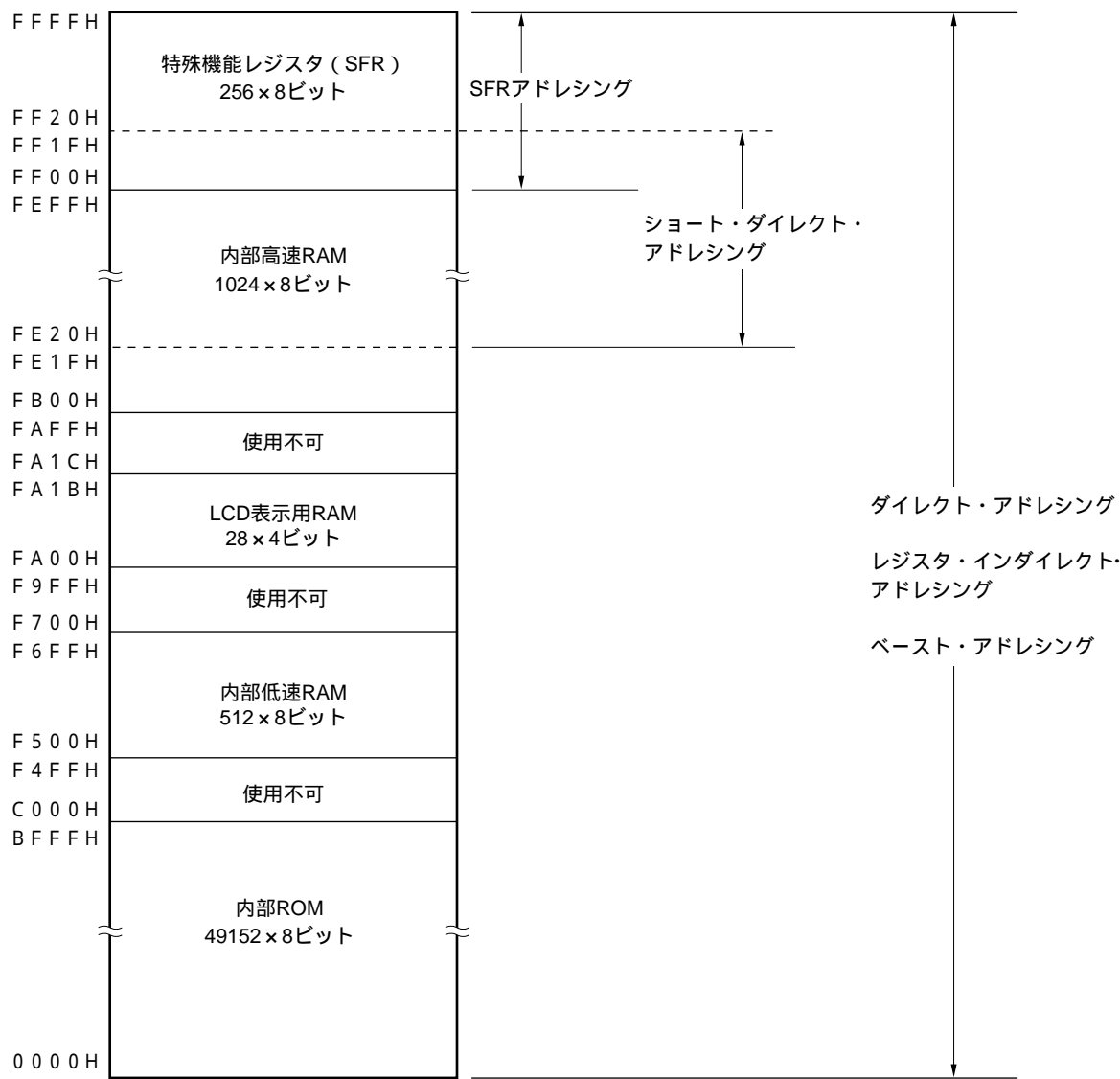
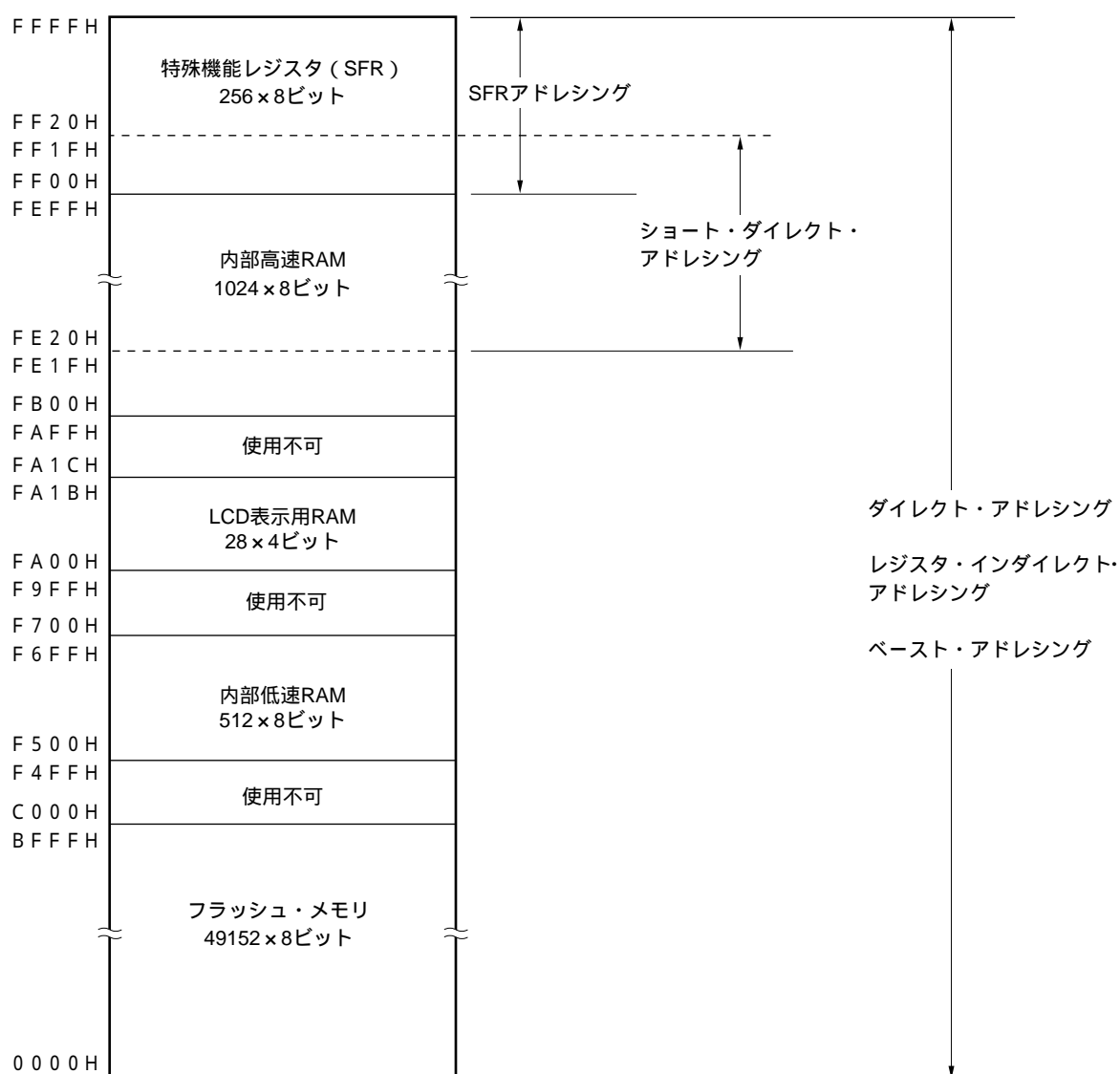


図3 - 10 データ・メモリのアドレッシング (μ PD78F9479)



3.2 プロセッサ・レジスタ

μ PD789479サブシリーズは、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス・ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ、プログラム・ステータス・ワード、スタック・ポインタがあります。

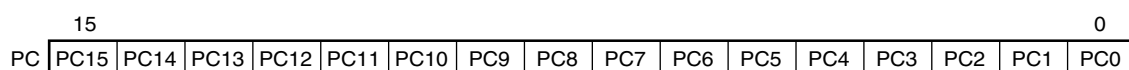
(1) プログラム・カウンタ (PC)

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する16ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

$\overline{\text{RESET}}$ 入力により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 11 プログラム・カウンタの構成



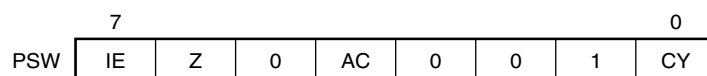
(2) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、割り込み要求発生時およびPUSH PSW命令の実行時に自動的にスタックされ、RETI命令およびPOP PSW命令の実行時に自動的に復帰されます。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図3 - 12 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ (IE)

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止 (DI) 状態となり、ノンマスカブル割り込み以外の割り込みはすべて禁止されます。

IE = 1のときは割り込み許可 (EI) 状態となります。このときの割り込み要求の受け付けは、各割り込み要因に対する割り込みマスク・フラグにより制御されます。

このフラグはDI命令実行または割り込みの受け付けでリセット (0) され、EI命令実行によりセット (1) されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) 補助キャリー・フラグ (AC)

演算結果が、ビット3からキャリーがあったとき、またはビット3へのボローがあったときセット (1) され、それ以外のときリセット (0) されるフラグです。

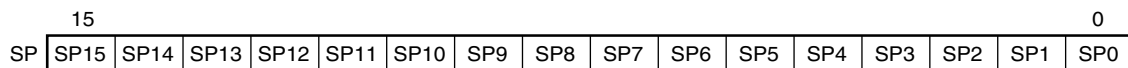
(d) キャリー・フラグ (CY)

加減算命令実行時のオーバーフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部高速RAM領域のみ設定可能です。

図3 - 13 スタック・ポインタの構成



スタック・メモリへの書き込み（退避）動作に先立ってデクリメントされ、スタック・メモリからの読み取り（復帰）動作のあとインクリメントされます。

各スタック動作によって退避／復帰されるデータは図3 - 14，図3 - 15のようになります。

注意 SPの内容はRESET入力により、不定になりますので、必ず命令実行前にイニシャライズしてください。

図3 - 14 スタック・メモリへ退避されるデータ

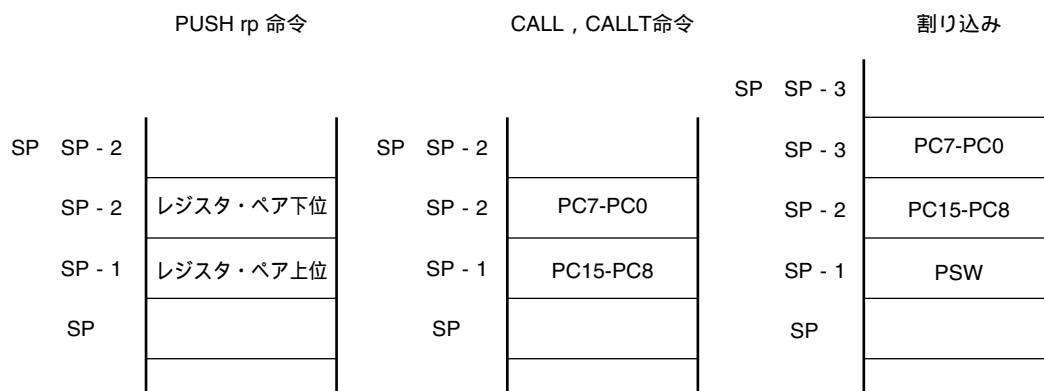
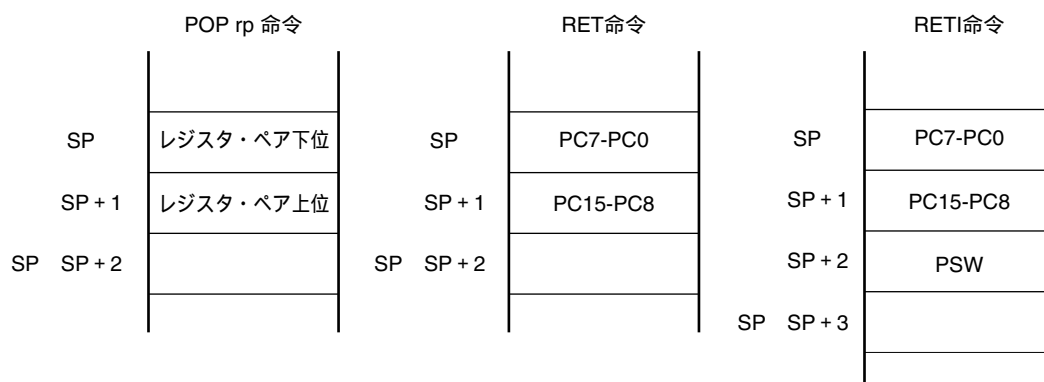


図3 - 15 スタック・メモリから復帰されるデータ



3.2.2 汎用レジスタ

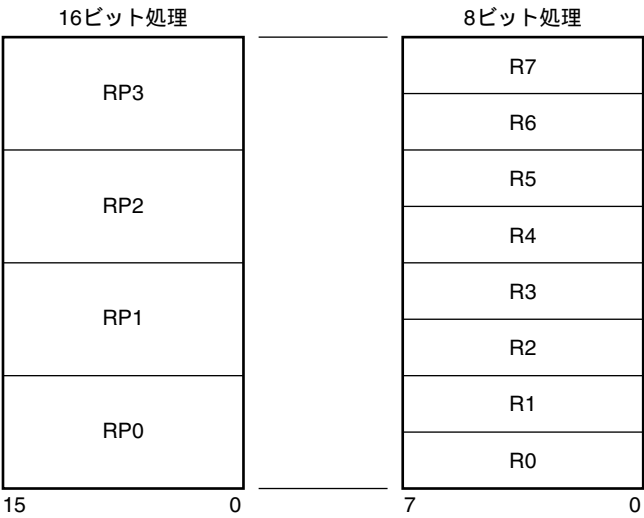
汎用レジスタは、8ビット・レジスタ8個（X, A, C, B, E, D, L, H）で構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます（AX, BC, DE, HL）。

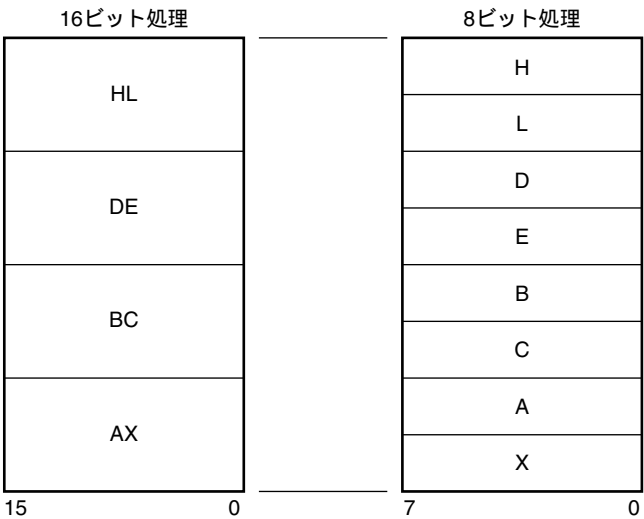
また、機能名称（X, A, C, B, E, D, L, H, AX, BC, DE, HL）のほか、絶対名称（R0-R7, RP0-RP3）でも記述できます。

図3 - 16 汎用レジスタの構成

(a) 絶対名称



(b) 機能名称



3.2.3 特殊機能レジスタ (SFR)

特殊機能レジスタは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

FF00H-FFFFHの256バイトの空間に割り付けられています。

特殊機能レジスタは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各特殊機能レジスタで異なります。

各操作ビット単位ごとに指定方法を次に示します。

- ・ 1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- ・ 16ビット操作

16ビット操作命令のオペランドにアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 4に特殊機能レジスタの一覧を示します。表中の項目の意味は次のとおりです。

- ・ 略号

内蔵された特殊機能レジスタのアドレスを示す略号です。アセンブラで予約語に、Cコンパイラでは #pragma sfr 指令で、sfr変数として定義されているものです。アセンブラ、統合ディバッガ使用時に命令のオペランドとして記述できます。

- ・ R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- ・ 操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を示します。

- ・ リセット時

$\overline{\text{RESET}}$ 入力時の各レジスタの状態を示します。

表3 - 4 特殊機能レジスタ一覧 (1/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF00H	ポート0	P0	R/W			-	00H
FF01H	ポート1	P1				-	
FF02H	ポート2	P2				-	
FF03H	ポート3	P3				-	
FF05H	ポート5	P5				-	
FF06H	ポート6	P6	R			-	00H
FF07H	ポート7 ^注	P7				-	
FF08H	ポート8 ^注	P8	R/W			-	
FF0AH	8ビット・コンペア・レジスタ61	CR61	W	-		-	不定
FF0BH	8ビット・タイマ・カウンタ61	TM61	R	-		-	00H
FF0CH	8ビット・コンペア・レジスタ60	CR60	W	-			不定
FF0DH	8ビット・コンペア・レジスタ50	CR50		-			
FF0EH	8ビット・タイマ・カウンタ60	TM60	R	-			00H
FF0FH	8ビット・タイマ・カウンタ50	TM50		-			
FF11H	シリアルI/Oシフト・レジスタ1A0	SIO1A0	R/W	-		-	
FF12H	16ビット乗算結果格納レジスタL	MUL0L	R	-			不定
FF13H	16ビット乗算結果格納レジスタH	MUL0H		-			
FF15H	A/D変換結果レジスタ0	ADCRL0		-		-	00H
FF16H	16ビット・コンペア・レジスタ20	CR20	W	-	-		FFFFH
FF17H							
FF18H	16ビット・タイマ・カウンタ20	TM20	R	-	-		0000H
FF19H							
FF1AH	16ビット・キャプチャ・レジスタ20	TCP20		-	-		不定
FF1BH							
FF20H	ポート・モード・レジスタ0	PM0	R/W			-	FFH
FF21H	ポート・モード・レジスタ1	PM1				-	
FF22H	ポート・モード・レジスタ2	PM2				-	
FF23H	ポート・モード・レジスタ3	PM3				-	
FF25H	ポート・モード・レジスタ5	PM5				-	
FF28H	ポート・モード・レジスタ8 ^注	PM8				-	
FF30H	ブルアップ抵抗オプション・レジスタB0	PUB0	R/W			-	00H
FF31H	ブルアップ抵抗オプション・レジスタB1	PUB1				-	
FF32H	ブルアップ抵抗オプション・レジスタB2	PUB2				-	
FF33H	ブルアップ抵抗オプション・レジスタB3	PUB3				-	

注 マスク・オプションまたはポート・ファンクション・レジスタにより、ポートとして使用時のみ

表3 - 4 特殊機能レジスタ一覧 (2/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF40H	8ビットH幅コンペア・レジスタ61	CRH61	W	-		-	不定
FF41H	8ビット・タイマ・モード・コントロール・レジスタ61	TMC61	R/W			-	00H
FF42H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS		-		-	
FF46H	サブクロック選択レジスタ ^注	SSCK				-	
FF48H	16ビット・タイマ・モード・コントロール・レジスタ20	TMC20				-	
FF4AH	時計用タイマ・モード・コントロール・レジスタ	WTM				-	
FF4BH	時計用タイマ割り込み時間選択レジスタ	WTIM				-	
FF4CH	8ビットH幅コンペア・レジスタ60	CRH60	W	-		-	不定
FF4DH	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W			-	00H
FF4EH	8ビット・タイマ・モード・コントロール・レジスタ60	TMC60				-	
FF4FH	キャリア・ジェネレータ出力コントロール・レジスタ60	TCA60				-	
FF57H	ポート・ファンクション・レジスタ ⁷	PF7	W	-		-	
FF58H	ポート・ファンクション・レジスタ ⁸	PF8		-		-	
FF60H	リモコン受信制御レジスタ	RMCN	R/W			-	
FF61H	リモコン受信データ・レジスタ	RMDR	R	-		-	
FF62H	リモコン・シフト・レジスタ受信カウンタ・レジスタ	RMSCR		-		-	
FF63H	リモコン受信シフト・レジスタ	RMSR		-		-	
FF64H	リモコン受信GPLSコンペア・レジスタ	RMGPLS	R/W	-		-	
FF65H	リモコン受信GPLLコンペア・レジスタ	RMGPLL		-		-	
FF66H	リモコン受信GPHSコンペア・レジスタ	RMGPHS		-		-	
FF67H	リモコン受信GPHLコンペア・レジスタ	RMGPHL		-		-	
FF68H	リモコン受信DLSコンペア・レジスタ	RMDLS		-		-	
FF69H	リモコン受信DLLコンペア・レジスタ	RMDLL		-		-	
FF6AH	リモコン受信DH0Sコンペア・レジスタ	RMDH0S		-		-	
FF6BH	リモコン受信DH0Lコンペア・レジスタ	RMDH0L		-		-	
FF6CH	リモコン受信DH1Sコンペア・レジスタ	RMDH1S		-		-	
FF6DH	リモコン受信DH1Lコンペア・レジスタ	RMDH1L		-		-	
FF6EH	リモコン受信エンド幅選択レジスタ	RMER		-		-	
FF70H	アシンクロナス・シリアル・インタフェース・モード・レジスタ20	ASIM20				-	
FF71H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20	ASIS20	R			-	
FF72H	シリアル動作モード・レジスタ20	CSIM20	R/W			-	
FF73H	ポー・レート・ジェネレータ・コントロール・レジスタ20	BRGC20		-		-	
FF74H	送信シフト・レジスタ20	TXS20	SIO20	W	-	-	FFH
	受信バッファ・レジスタ20	RXB20		R	-	-	不定
FF78H	シリアル動作モード・レジスタ1A0	CSIM1A0	R/W			-	00H
FF79H	自動データ送受信コントロール・レジスタ0	ADTC0				-	
FF7AH	自動データ送受信アドレス・ポインタ0	ADTP0		-		-	不定
FF7BH	自動データ送受信転送間隔指定レジスタ0	ADTI0				-	00H

注 μ PD78F9478, 78F9479のみ機能しますが, μ PD789477, 789478, 789479においてこのレジスタをライトしても動作に影響はありません。

表3-4 特殊機能レジスタ一覧 (3/3)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット単位			リセット時
				1ビット	8ビット	16ビット	
FF80H	A/Dコンバータ・モード・レジスタ0	ADML0	R/W			-	00H
FF81H	A/Dコンバータ・モード・レジスタ1	ADML1				-	
FF84H	アナログ入力チャネル指定レジスタ0	ADS0				-	
FFA0H	シリアル・インタフェース・バッファ・メモリ0	SBMEM0		-		-	不定
FFA1H	シリアル・インタフェース・バッファ・メモリ1	SBMEM1		-		-	
FFA2H	シリアル・インタフェース・バッファ・メモリ2	SBMEM2		-		-	
FFA3H	シリアル・インタフェース・バッファ・メモリ3	SBMEM3		-		-	
FFA4H	シリアル・インタフェース・バッファ・メモリ4	SBMEM4		-		-	
FFA5H	シリアル・インタフェース・バッファ・メモリ5	SBMEM5		-		-	
FFA6H	シリアル・インタフェース・バッファ・メモリ6	SBMEM6		-		-	
FFA7H	シリアル・インタフェース・バッファ・メモリ7	SBMEM7		-		-	
FFA8H	シリアル・インタフェース・バッファ・メモリ8	SBMEM8		-		-	
FFA9H	シリアル・インタフェース・バッファ・メモリ9	SBMEM9		-		-	
FFAAH	シリアル・インタフェース・バッファ・メモリA	SBMEMA		-		-	
FFABH	シリアル・インタフェース・バッファ・メモリB	SBMEMB		-		-	
FFACH	シリアル・インタフェース・バッファ・メモリC	SBMEMC		-		-	
FFADH	シリアル・インタフェース・バッファ・メモリD	SBMEMD		-		-	
FFAEH	シリアル・インタフェース・バッファ・メモリE	SBMEME		-		-	
FFAFH	シリアル・インタフェース・バッファ・メモリF	SBMEMF		-		-	
FFB0H	LCD表示モード・レジスタ0	LCDM0	W			-	00H
FFB2H	LCDクロック制御レジスタ0	LCDC0				-	
FFD0H	乗算データ・レジスタA0	MRA0	W	-		-	不定
FFD1H	乗算データ・レジスタB0	MRB0		-		-	
FFD2H	乗算器コントロール・レジスタ0	MULC0	R/W			-	00H
FFE0H	割り込み要求フラグ・レジスタ0	IF0				-	
FFE1H	割り込み要求フラグ・レジスタ1	IF1				-	
FFE2H	割り込み要求フラグ・レジスタ2	IF2				-	FFH
FFE4H	割り込みマスク・フラグ・レジスタ0	MK0				-	
FFE5H	割り込みマスク・フラグ・レジスタ1	MK1				-	
FFE6H	割り込みマスク・フラグ・レジスタ2	MK2				-	00H
FFECH	外部割り込みモード・レジスタ0	INTM0		-		-	
FFEDH	外部割り込みモード・レジスタ1	INTM1		-		-	
FFF0H	サブ発振モード・レジスタ	SCKM				-	04H
FFF2H	サブクロック・コントロール・レジスタ	CSS				-	
FFF4H	キー・リターン・モード・レジスタ0 ^注	KRM01				-	
FFF5H	キー・リターン・モード・レジスタ00	KRM00				-	
FFF9H	ウォッチドッグ・タイマ・モード・レジスタ	WDTM				-	
FFFAH	発振安定時間選択レジスタ	OSTS		-		-	
FFFBH	プロセッサ・クロック・コントロール・レジスタ	PCC				-	02H

注 μ PD789479, 78F9479のみ

3.3 命令アドレスのアドレッシング

命令アドレスは、プログラム・カウンタ（PC）の内容によって決定されます。PCの内容は、通常、命令を1つ実行することにフェッチする命令のバイト数に応じて自動的にインクリメント（1バイトに対して+1）されます。しかし、分岐を伴う命令を実行する際には、次に示すようなアドレッシングにより分岐先アドレス情報がPCにセットされて分岐します（各命令についての詳細は78K/0Sシリーズ ユーザーズ・マニュアル命令編（U11047J）を参照してください）。

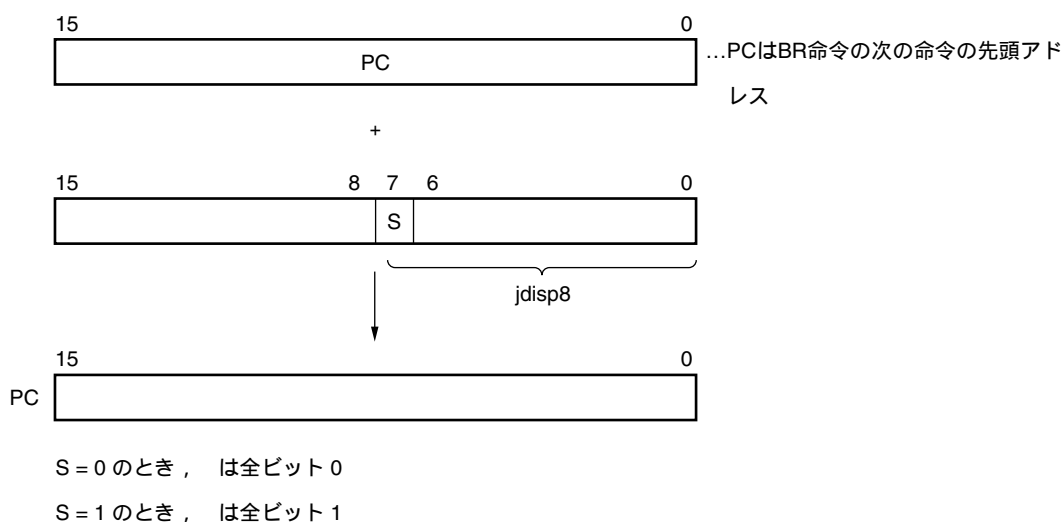
3.3.1 レラティブ・アドレッシング

【機能】

次に続く命令の先頭アドレスに命令コードの8ビット・イミディエイト・データ（ディスプレースメント値：jdisp8）を加算した値が、プログラム・カウンタ（PC）に転送されて分岐します。ディスプレースメント値は、符号付きの2の補数データ（-128～+127）として扱われ、ビット7が符号ビットとなります。つまり、レラティブ・アドレッシングでは次に続く命令の先頭アドレスから相対的に-128～+127の範囲に分岐するということです。

BR \$addr16命令および条件付き分岐命令を実行する際に行われます。

【図解】



3.3.2 イミディエト・アドレッシング

【機能】

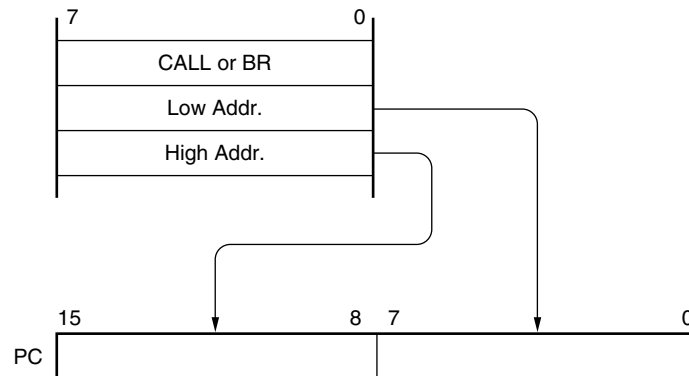
命令語中のイミディエト・データがプログラム・カウンタ（PC）に転送され、分岐します。

CALL !addr16, BR !addr16命令を実行する際に行われます。

CALL !addr16, BR !addr16命令は、全メモリに分岐できます。

【図解】

CALL !addr16, BR !addr16命令の場合



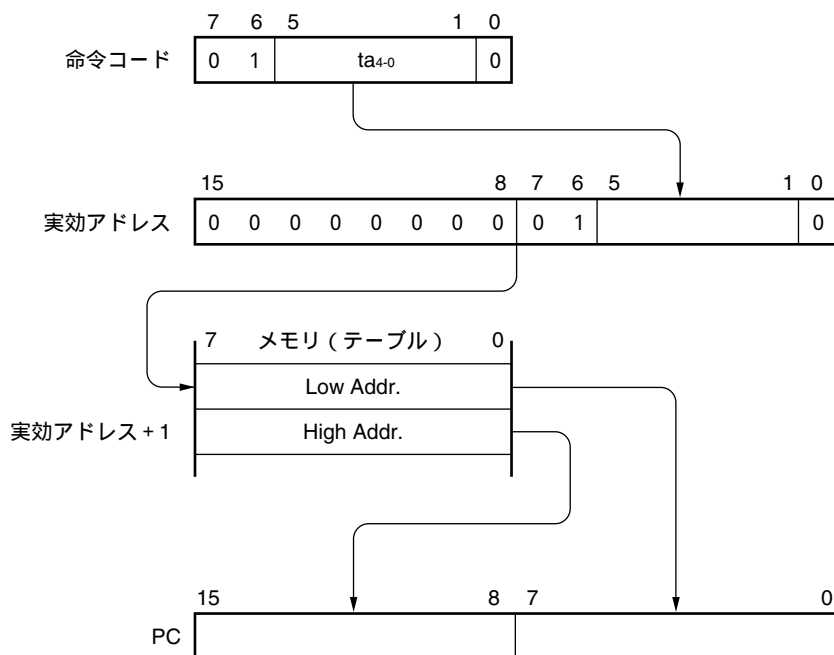
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令コードのビット1からビット5のイミディエト・データによりアドレスされる特定ロケーションのテーブルの内容（分岐先アドレス）がプログラム・カウンタ（PC）に転送され、分岐します。

CALLT [addr5] 命令を実行する際にテーブル・インダイレクト・アドレッシングが行われます。この命令では40H～7FHのメモリ・テーブルに格納されたアドレスを参照し、全メモリ空間に分岐できます。

【図解】



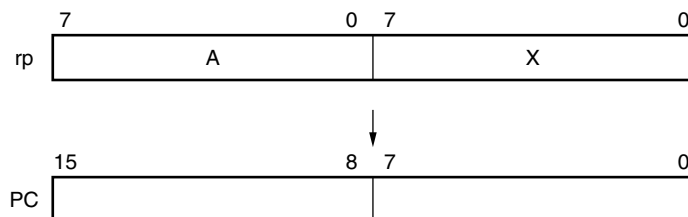
3.3.4 レジスタ・アドレッシング

【機能】

命令語によって指定されるレジスタ・ペア（AX）の内容がプログラム・カウンタ（PC）に転送され、分岐します。

BR AX命令を実行する際に行われます。

【図解】



3.4 オペランド・アドレスのアドレッシング

命令を実行する際に操作対象となるレジスタやメモリなどを指定する方法（アドレッシング）として次に示すいくつかの方法があります。

3.4.1 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データが示すメモリを直接アドレスするアドレッシングです。

【オペランド形式】

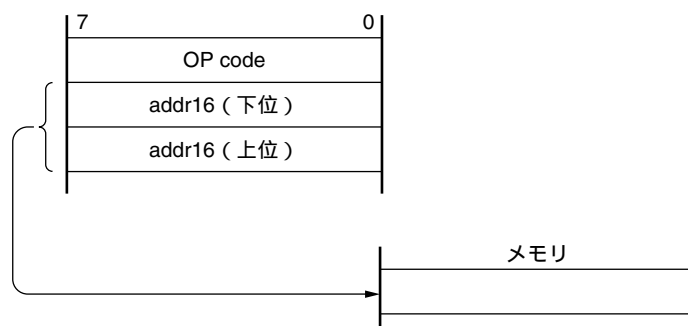
表現形式	記述方法
addr16	ラベルまたは16ビット・イミディエト・データ

【記述例】

MOV A, !FE00H ; !addr16をFE00Hとする場合

命令コード	0 0 1 0 1 0 0 1	OPコード
	0 0 0 0 0 0 0 0	00H
	1 1 1 1 1 1 1 0	FEH

【図解】



3.4.2 ショート・ダイレクト・アドレッシング

【機能】

命令語中の8ビット・データで、固定空間の操作対象メモリを直接アドレスするアドレッシングです。

このアドレッシングが適用される固定空間とは、FE20H-FF1FHの256バイト空間です。FE20H-FEFFFHには内部高速RAMが、FF00H-FF1FHには特殊機能レジスタ（SFR）がマッピングされています。

ショート・ダイレクト・アドレッシングが適用されるSFR領域（FF00H-FF1FH）は、全SFR領域の一部です。この領域には、プログラム上でひんばんにアクセスされるポートや、タイマ・カウンタのコンペア・レジスタがマッピングされており、短いバイト数、短いクロック数でこれらのSFRを操作することができます。

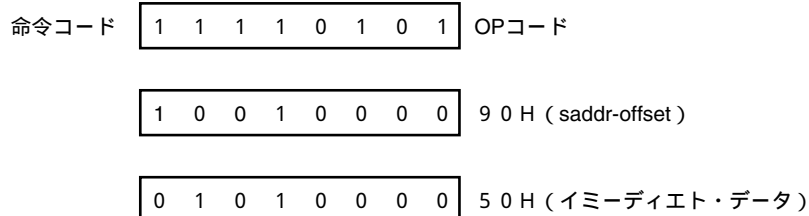
実効アドレスのビット8には、8ビット・イミディエト・データが20H-FFHの場合は0になり、00H-1FHの場合は1になります。次の【図解】を参照してください。

【オペランド形式】

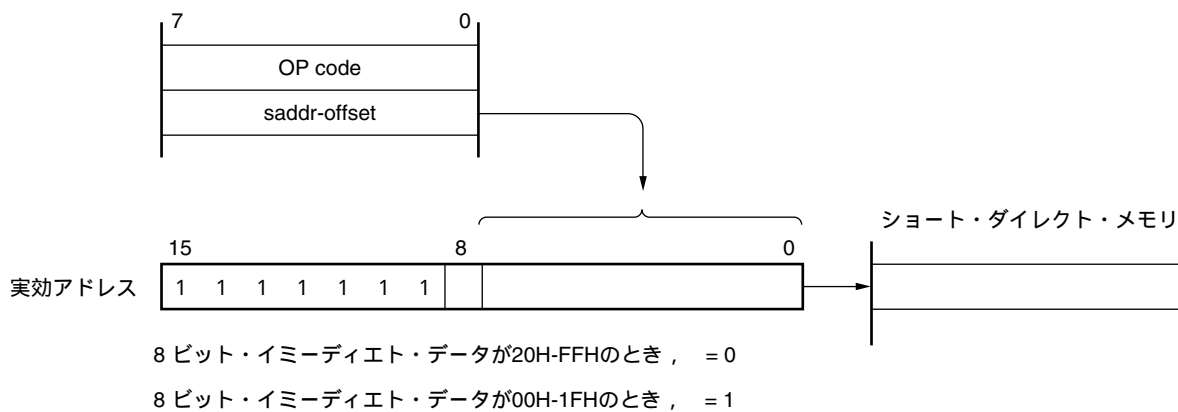
表現形式	記述方法
saddr	ラベルまたはFE20H-FF1FHのイミディエト・データ
saddrp	ラベルまたはFE20H-FF1FHのイミディエト・データ（偶数アドレスのみ）

【記述例】

MOV FE90H, #50H ; saddrをFE90H、イミディエト・データを50Hとする場合



【図解】



3.4.3 特殊機能レジスタ (SFR) アドレッシング

【機 能】

命令語中の8ビット・イミディエト・データでメモリ・マッピングされている特殊機能レジスタ (SFR) をアドレスするアドレッシングです。

このアドレッシングが適用されるのはFF00H-FFFFHの256バイト空間です。ただし, FF00H-FF1FHにマッピングされているSFRは, ショート・ダイレクト・アドレッシングでもアクセスできます。

【オペランド形式】

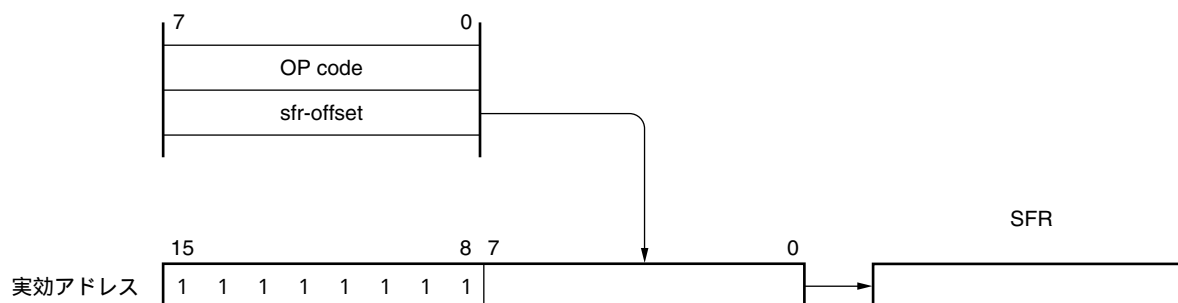
表現形式	記 述 方 法
sfr	特殊機能レジスタ名

【記 述 例】

MOV PM0, A ; sfrにPM0を選択する場合

命令コード	1 1 1 0 0 1 1 1
	0 0 1 0 0 0 0 0

【図 解】



3.4.4 レジスタ・アドレッシング

【機能】

オペランドとして汎用レジスタをアクセスするアドレッシングです。

アクセスされる汎用レジスタは、命令コード中のレジスタ指定コードや機能名称で指定されます。

レジスタ・アドレッシングは、次に示すオペランド形式を持つ命令を実行する際に行われ、8ビット・レジスタを指定する場合は命令コード中の3ビットにより8本中の1本を指定します。

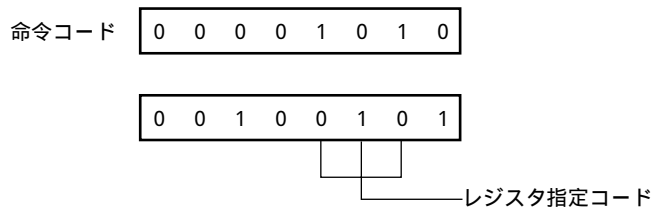
【オペランド形式】

表現形式	記 述 方 法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

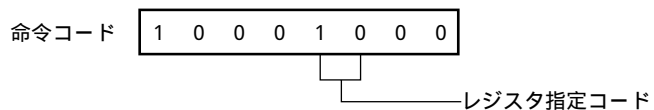
r, rpは、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほかに絶対名称 (R0-R7, RP0-RP3) で記述できます。

【記 述 例】

MOV A, C ; rにCレジスタを選択する場合



INCW DE ; rpにDEレジスタ・ペアを選択する場合



3.4.5 レジスタ・インダイレクト・アドレッシング

【機能】

オペランドとして指定されるレジスタ・ペアの内容でメモリをアドレスするアドレッシングです。アクセスされるレジスタ・ペアは、命令コード中のレジスタ・ペア指定コードにより指定されます。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[DE], [HL]

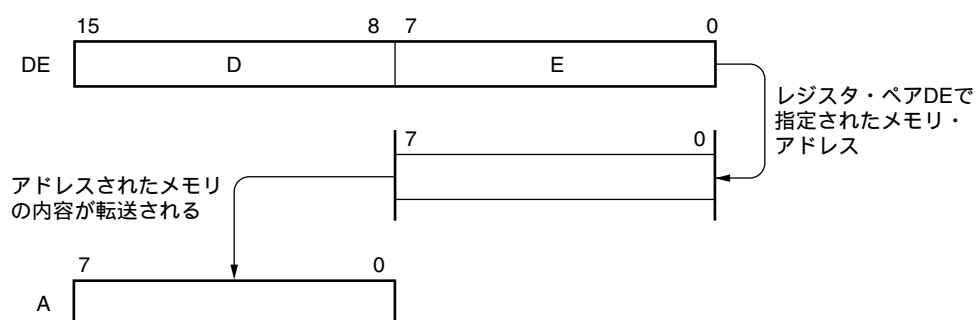
【記述例】

MOV A, [DE] ; レジスタ・ペア [DE] を選択する場合

命令コード

0	0	1	0	1	0	1	1
---	---	---	---	---	---	---	---

【図解】



3.4.6 ベース・アドレッシング

【機能】

HLレジスタ・ペアをベース・レジスタとし、この内容に8ビットのイミディエト・データを加算した結果でメモリをアドレスするアドレッシングです。加算は、オフセット・データを正の数として16ビットに拡張して行います。16ビット目からの桁上りは無視します。すべてのメモリ空間に対してアドレッシングできます。

【オペランド形式】

表現形式	記述方法
-	[HL + byte]

【記述例】

MOV A, [HL + 10H] ; byteを10Hとする場合

命令コード	0 0 1 0 1 1 0 1
	0 0 0 1 0 0 0 0

3.4.7 スタック・アドレッシング

【機能】

スタック・ポインタ (SP) の内容により、スタック領域を間接的にアドレスするアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時および割り込み要求発生によるレジスタの退避 / 復帰時に自動的に用いられます。

スタック・アドレッシングは、内部高速RAM領域のみアクセスすることができます。

【記述例】

PUSH DEの場合

命令コード	1 0 1 0 1 0 1 0
-------	-----------------

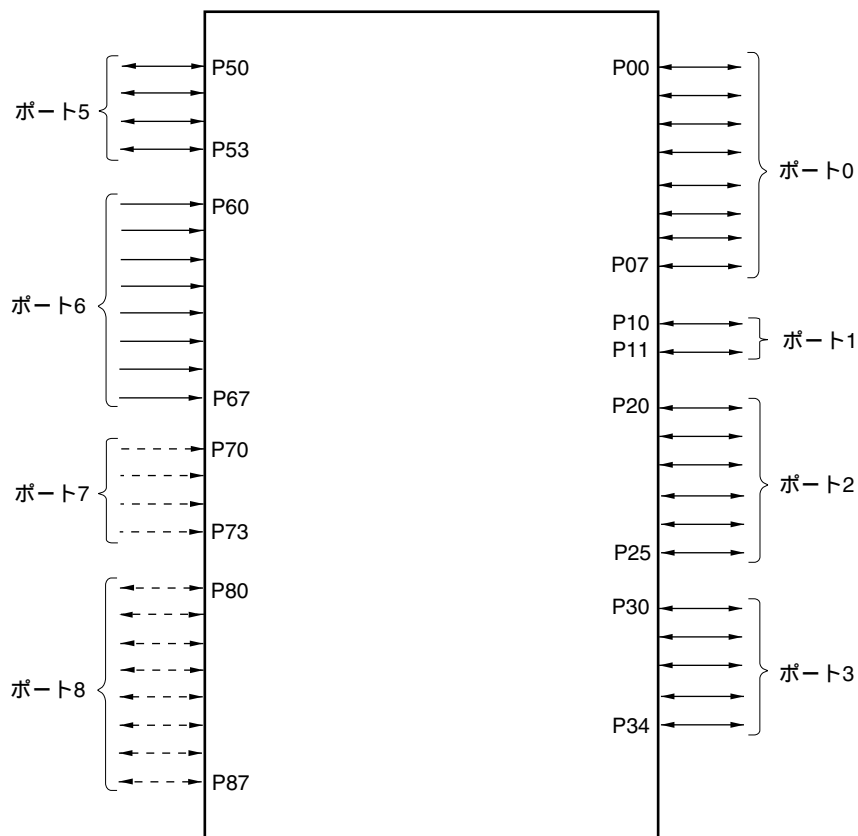
第4章 ポート機能

4.1 ポートの機能

μ PD789479サブシリーズは、図4 - 1に示すポートを備えており、多様な制御を行うことができます。各ポートの機能は表4 - 1のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、第2章 端子機能を参照してください。

図4 - 1 ポートの種類



備考 ポート7, 8は、マスク・オプションまたはポート・ファンクション・レジスタでポート機能選択時のみ

表4 - 1 ポートの機能

名 称	端子名称	機 能
ポート0	P00-P07	入出力ポート。1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB0（PUB0）により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート1	P10, P11	入出力ポート。1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB1（PUB1）により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート2	P20-P25	入出力ポート。1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2（PUB2）により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート3	P30-P34	入出力ポート。1ビット単位で入力／出力の指定可能。 入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3（PUB3）により、内蔵プルアップ抵抗をビット単位で使用可能。
ポート5	P50-P53	N-chオープン・ドレイン入出力ポート。1ビット単位で入力／出力の指定可能。 マスク・オプションにより、プルアップ抵抗の内蔵を指定可能。
ポート6	P60-P67	入力ポート
ポート7 ^{注1}	P70-P73	入力ポート（マスク・オプションまたはポート・ファンクション・レジスタで入力ポートを選択した場合のみ）
ポート8 ^{注2}	P80-P87	入出力ポート（マスク・オプションまたはポート・ファンクション・レジスタで入出力ポートを選択した場合のみ）

- 注1. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより、入力ポート（P70-P73）として使うか、セグメント出力（S16-S19）として使うかをビット単位で選択できます（4.3（3）ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照）。
2. μ PD789477, 789478, 789479はマスク・オプション, μ PD78F9478, 78F9479はポート・モード・レジスタにより、入出力ポート（P80-P87）として使うか、セグメント出力（S20-S27）として使うかをビット単位で選択できます（4.3（3）ポート・ファンクション・レジスタ, 第20章 マスク・オプション参照）。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 2 ポートの構成

項 目	構 成
制御レジスタ	ポート・モード・レジスタ（PMm：m = 0-3, 5, 8） プルアップ抵抗オプション・レジスタ（PUB0-PUB3） ポート・ファンクション・レジスタ（PF7, PF8）（フラッシュ・メモリ製品のみ）
ポート	合計：45本（CMOS入出力：29本, CMOS入力：12本, N-chオープン・ドレイン入出力：4本）
プルアップ抵抗	・マスクROM製品 合計：25本（ソフトウェア制御：21本, マスク・オプション指定：4本） ・フラッシュ・メモリ製品 合計：21本（ソフトウェア制御のみ）

4.2.1 ポート0

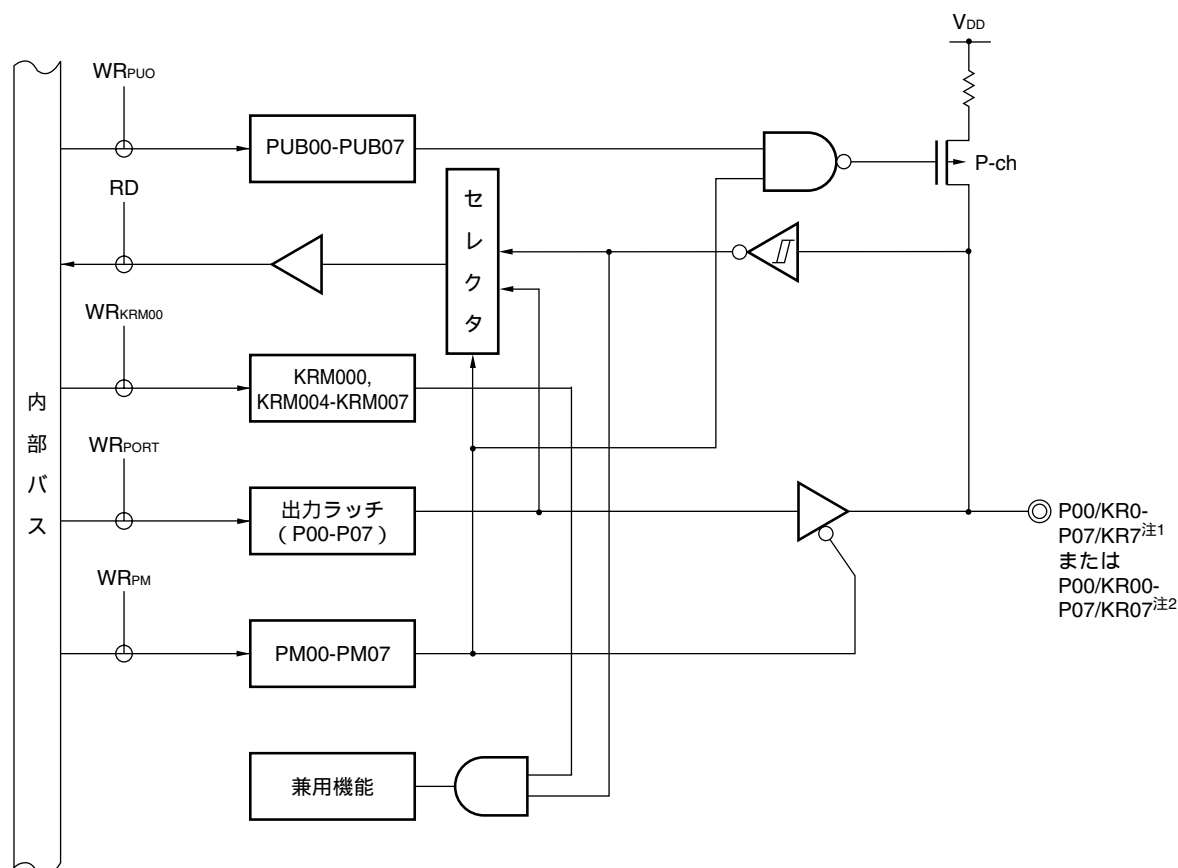
出力ラッチ付き8ビットの入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード / 出力モードの指定ができます。P00-P07端子を入力ポートとして使用するとき、プルアップ抵抗オプション・レジスタB0 (PUB0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてキー・リターン信号入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 2にポート0のブロック図を示します。

図4 - 2 P00-P07のブロック図



KRM00 : キー・リターン・モード・レジスタ00

PUB0 : プルアップ抵抗オプション・レジスタB0

PM : ポート・モード・レジスタ

RD : ポート0のリード信号

WR : ポート0のライト信号

注1. μ PD789477, 789478, 78F9478のみ

2. μ PD789479, 78F9479のみ

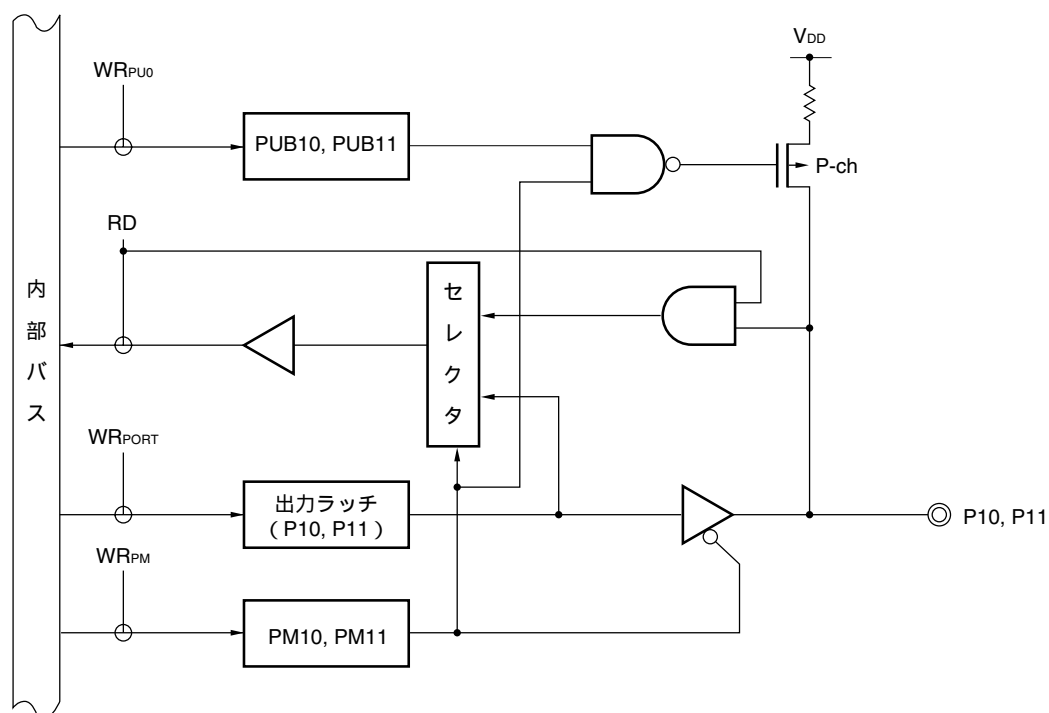
4.2.2 ポート1

出力ラッチ付き2ビットの入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード / 出力モードの指定ができます。P10, P11端子を入力ポートとして使用するとき, プルアップ抵抗オプション・レジスタB1 (PUB1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 3にポート1のブロック図を示します。

図4 - 3 P10, P11のブロック図



PUB1 : プルアップ抵抗オプション・レジスタB1

PM : ポート・モード・レジスタ

RD : ポート1のリード信号

WR : ポート1のライト信号

4.2.3 ポート2

出力ラッチ付き6ビットの入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード/出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB2 (PUB2) により1ビット単位で内蔵プルアップ抵抗を使用できます。

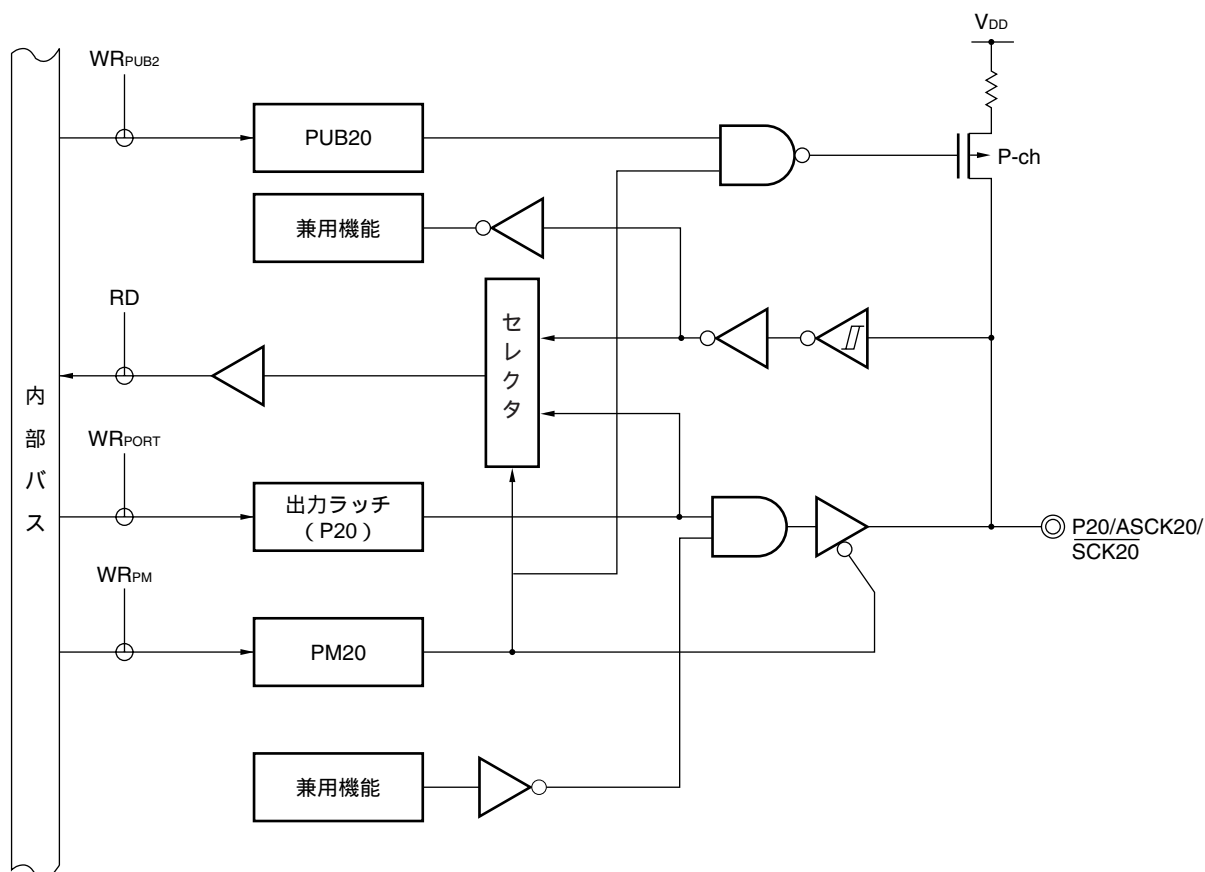
また、兼用機能としてシリアル・インタフェースの入出力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 4から図4 - 8にポート2のブロック図を示します。

注意 シリアル・インタフェースとして使用する場合は、その機能に応じて入出力および出力ラッチの設定が必要になります。設定方法については、表11 - 2 シリアル・インタフェース20の動作モードの設定一覧、12.3 (1) シリアル動作モード・レジスタ1A0 (CSIM1A0) を参照してください。

図4 - 4 P20のブロック図



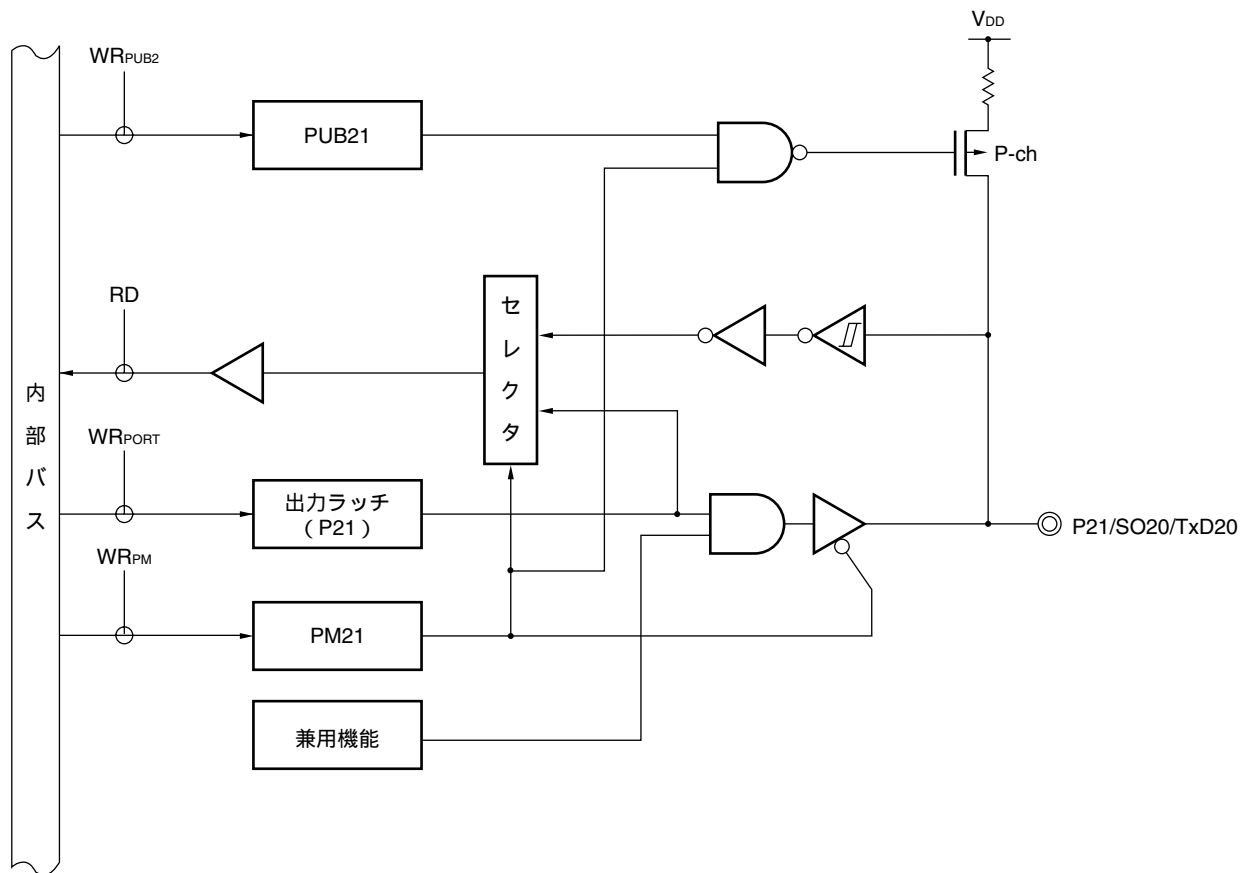
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 5 P21のブロック図



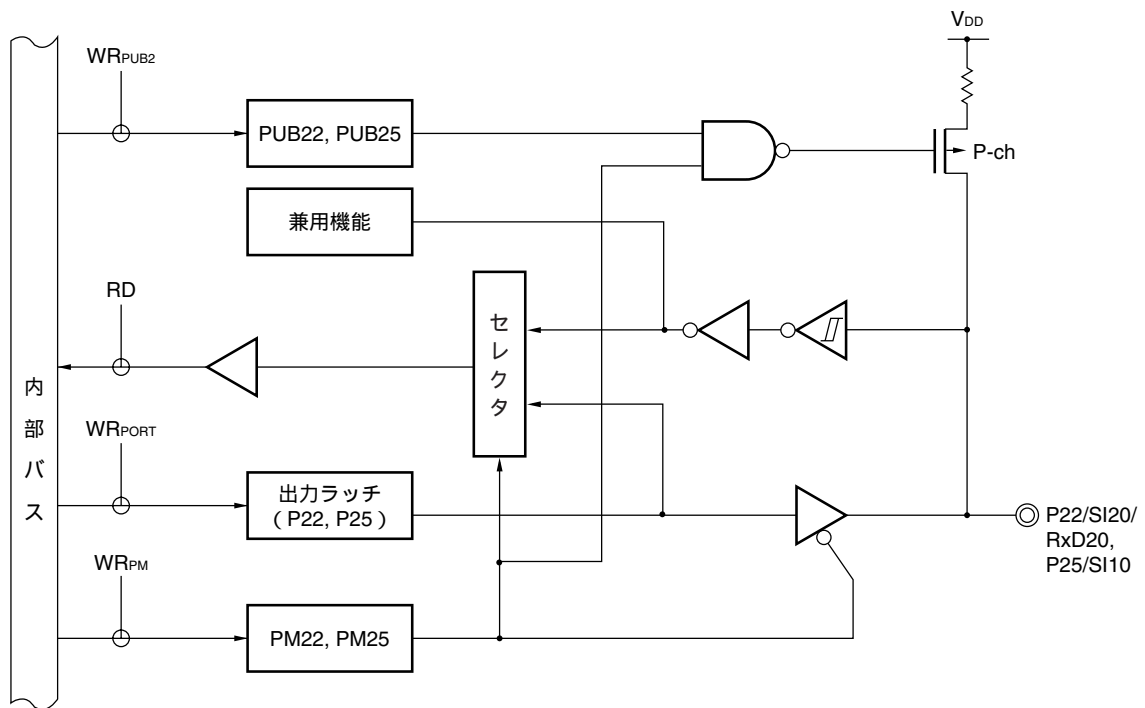
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 6 P22, P25のブロック図



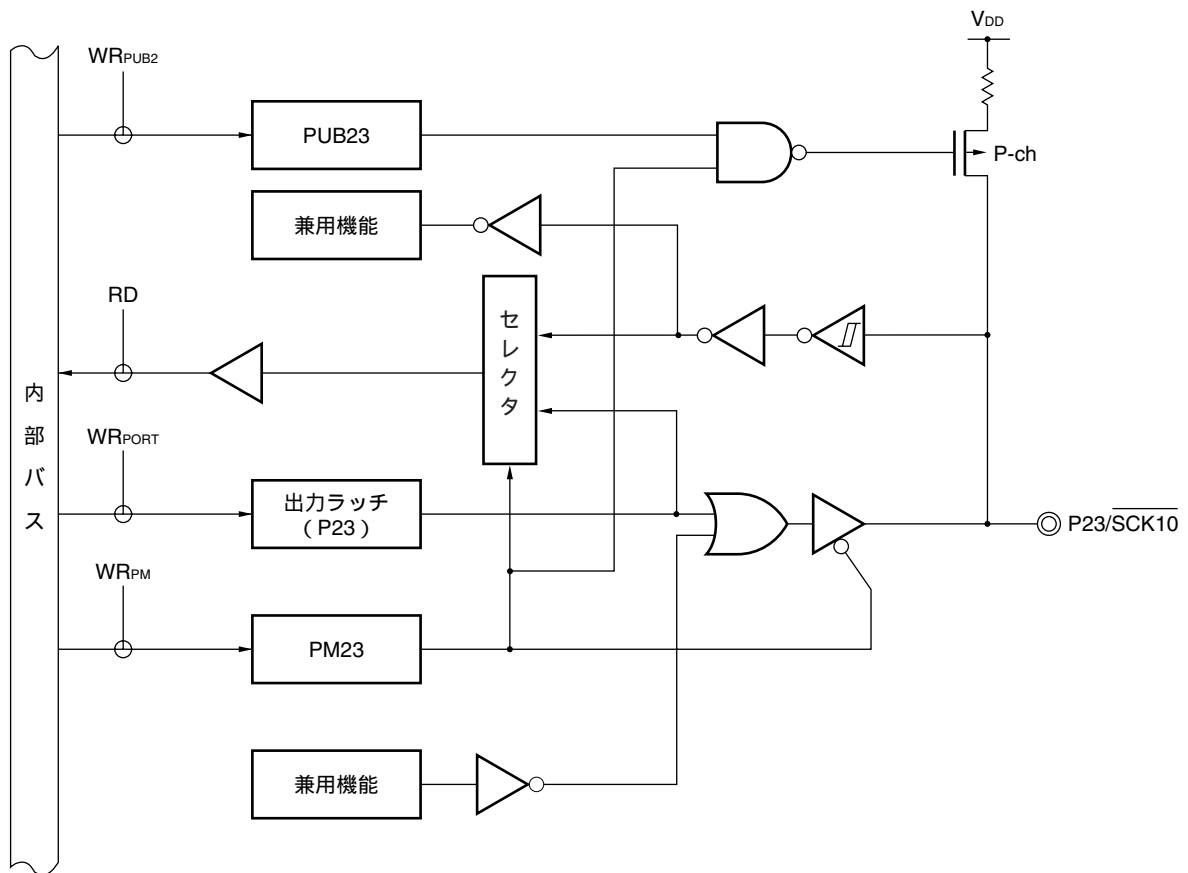
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 7 P23のブロック図



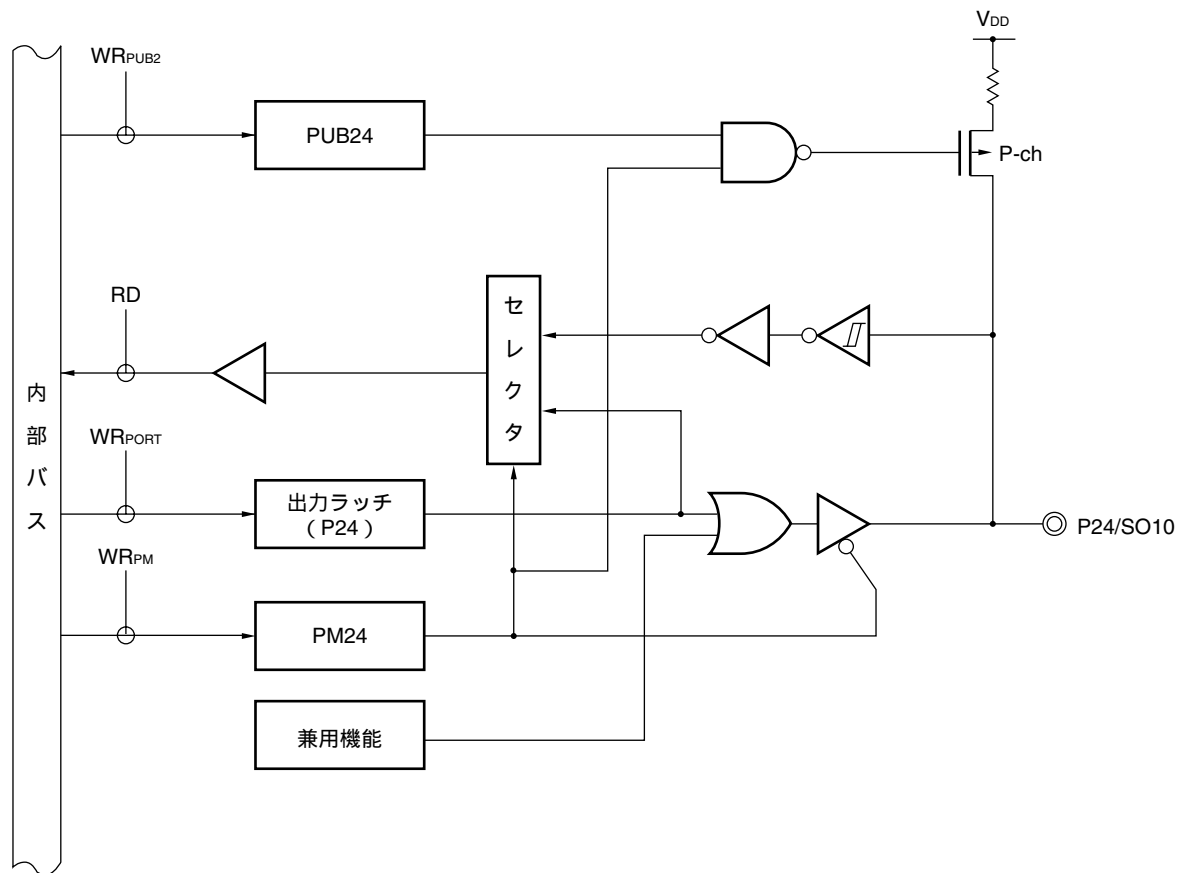
PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

図4 - 8 P24のブロック図



PUB2 : プルアップ抵抗オプション・レジスタB2

PM : ポート・モード・レジスタ

RD : ポート2のリード信号

WR : ポート2のライト信号

4.2.4 ポート3

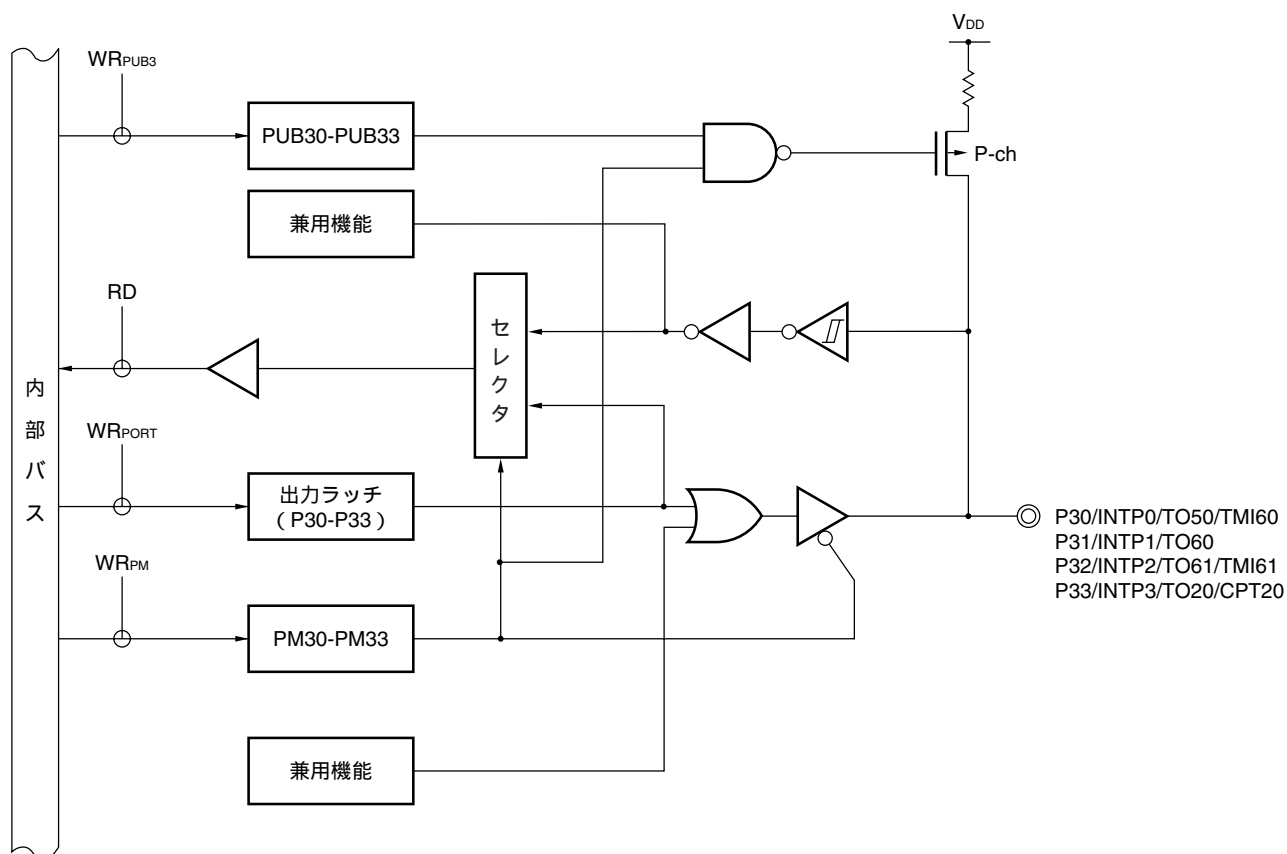
出力ラッチ付き5ビットの入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合、プルアップ抵抗オプション・レジスタB3 (PUB3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能として外部割り込み入力、キャプチャ入力、タイマ入出力、リモコン受信データ入力があります。

$\overline{\text{RESET}}$ 入力により、入力モードになります。

図4 - 9 , 図4 - 10にポート3のブロック図を示します。

図4 - 9 P30-P33のブロック図



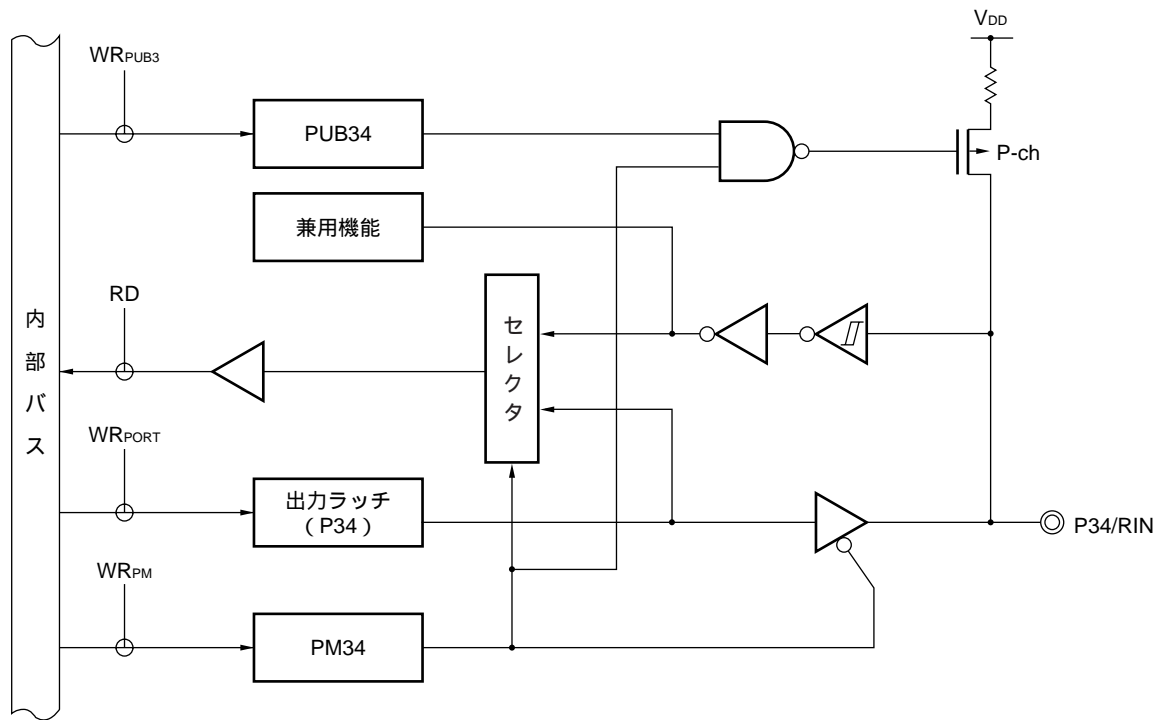
PUB3 : プルアップ抵抗オプション・レジスタB3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

図4 - 10 P34のブロック図



PUB3 : プルアップ抵抗オプション・レジスタB3

PM : ポート・モード・レジスタ

RD : ポート3のリード信号

WR : ポート3のライト信号

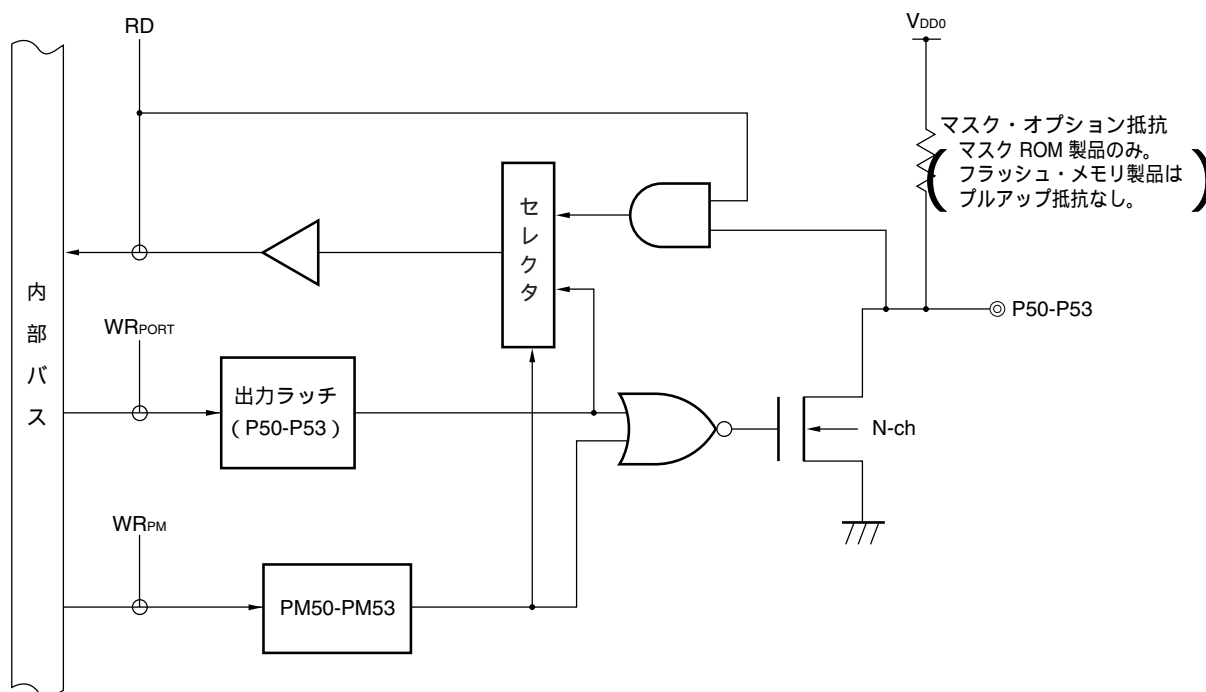
4.2.5 ポート5

出力ラッチ付き4ビットN-chオープン・ドレイン入出力ポートです。ポート・モード・レジスタ5 (PM5) により, 1ビット単位で入力モード/出力モードの指定ができます。マスクROM製品はマスク・オプションにより, プルアップ抵抗の内蔵を指定できます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 11にポート5のブロック図を示します。

図4 - 11 P50-P53のブロック図



PM : ポート・モード・レジスタ

RD : ポート5のリード信号

WR : ポート5のライト信号

4.2.6 ポート6

8ビット入力専用ポートです。

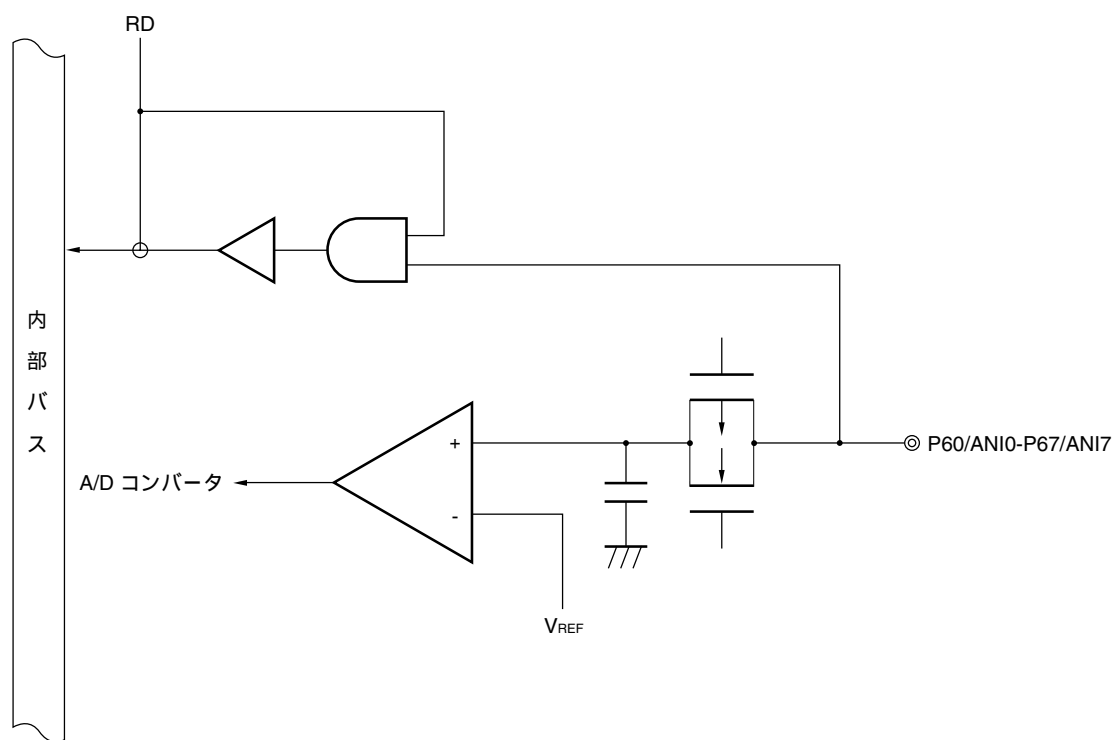
兼用機能としてA/Dコンバータのアナログ入力、キー・リターン信号入力^注があります。

図4 - 12にポート6のブロック図を示します。

注 μ PD789479, 78F9479のみ

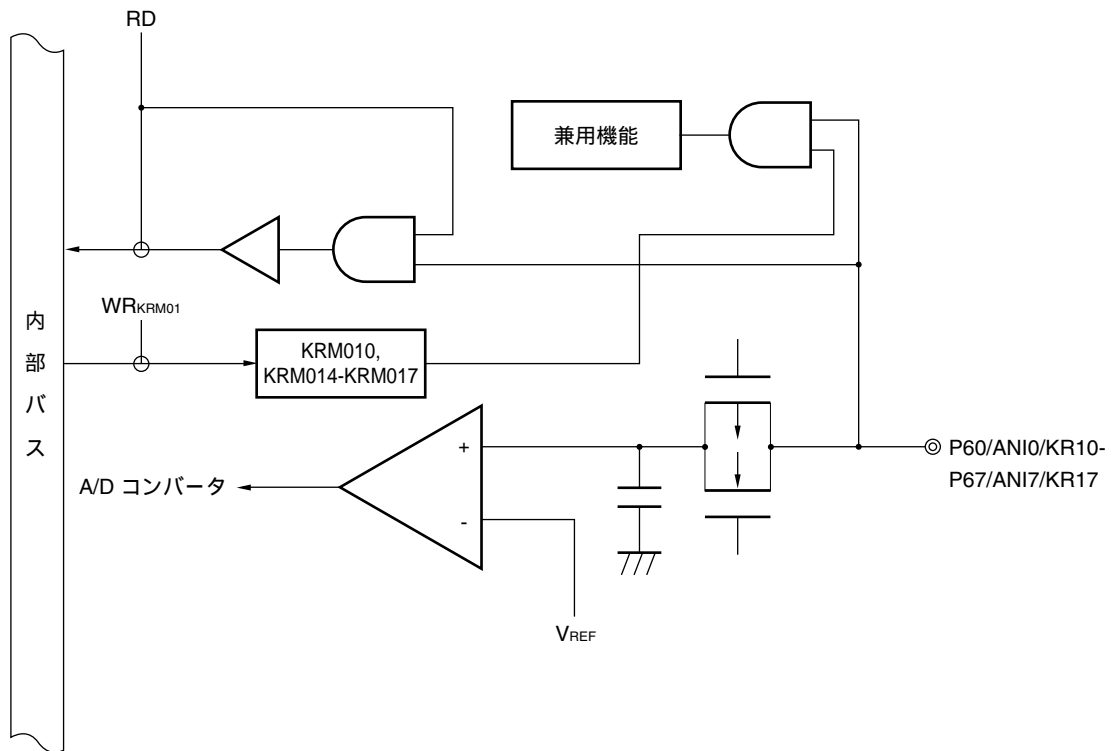
図4 - 12 P60-P67のブロック図 (1/2)

(a) μ PD789477, 789478, 78F9478の場合



RD : ポート6のリード信号

図4 - 12 P60-P67のブロック図 (2/2)

(b) μ PD789479, 78F9479の場合

KRM01 : キー・リターン・モード・レジスタ01

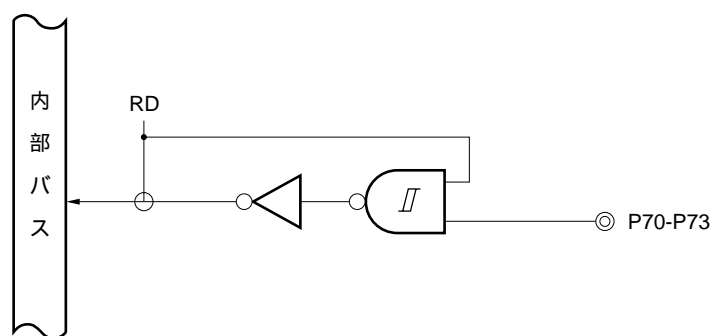
RD : ポート6のリード信号

4.2.7 ポート7

4ビットの入力専用ポートです。 μ PD789477, 789478, 789479のマスク・オプション, または μ PD78F9478, 78F9479のポート・ファンクション・レジスタ7 (PF7) により, ポート機能を選択したビットのみ使用できます。

図4 - 13にポート7のブロック図を示します。

図4 - 13 P70-P73のブロック図



RD : ポート7のリード信号

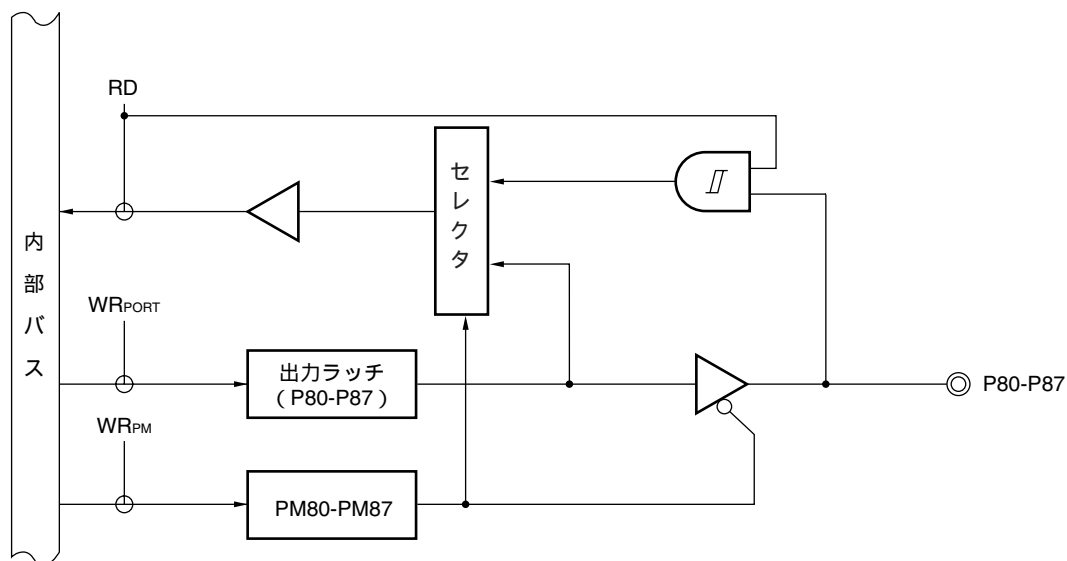
4.2.8 ポート8

出力ラッチ付き8ビットの入出力ポートです。 μ PD789477, 789478, 789479のマスク・オプション, または μ PD78F9478, 78F9479のポート・ファンクション・レジスタ8 (PF8) により, ポート機能を選択したビットのみ使用できます。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード/出力モードの指定ができます。

$\overline{\text{RESET}}$ 入力により, 入力モードになります。

図4 - 14にポート8のブロック図を示します。

図4 - 14 P80-P87のブロック図



PM : ポート・モード・レジスタ

RD : ポート8のリード信号

WR : ポート8のライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の3種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PM0-PM3, PM5, PM8)
- ・プルアップ抵抗オプション・レジスタ (PUB0-PUB3)
- ・ポート・ファンクション・レジスタ (PF7, PF8) (μ PD78F9478, 78F9479のみ)

(1) ポート・モード・レジスタ (PM0-PM3, PM5, PM8)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、FFHになります。

ポート端子を兼用機能の端子として使用する場合、ポート・モード・レジスタ、出力ラッチを表4-3のように設定してください。

注意 P30-P33は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードで使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。

図4-15 ポート・モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	PM07	PM06	PM05	PM04	PM03	PM02	PM01	PM00	FF20H	FFH	R/W
PM1	1	1	1	1	1	1	PM11	PM10	FF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FF22H	FFH	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FF25H	FFH	R/W
PM8	PM87	PM86	PM85	PM84	PM83	PM82	PM81	PM80	FF28H	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-3, 5, 8; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 PM8は、マスク・オプションまたはポート・ファンクション・レジスタ8 (PF8) でP80-P87のいずれかの端子をポート機能として使用するよう選択した場合のみ使用可能です。

表4 - 3 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

端子名称	兼用機能		PM x x	P x x
	名 称	入出力		
P00-P07	KR0-KR7またはKR00-KR07	入力	1	x
P30	INTP0	入力	1	x
	TO50	出力	0	0
	TMI60	入力	1	x
P31	INTP1	入力	1	x
	TO60	出力	0	0
P32	INTP2	入力	1	x
	TMI61	入力	1	x
	TO61	出力	0	0
P33	INTP3	入力	1	x
	CPT20	入力	1	x
	TO20	出力	0	0
P34	RIN	入力	1	x

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

注意 ポート2をシリアル・インタフェースの端子として使用する場合は，その機能に応じて入出力および出力ラッチの設定が必要となります。設定方法については，表11 - 2 シリアル・インタフェース20の動作モードの設定一覧，12. 3 (1) シリアル動作モード・レジスタ1A0 (CSIM1A0) を参照してください。

(2) ブルアップ抵抗オプション・レジスタ (PUB0-PUB3)

P00-P07, P10, P11, P20-P25, P30-P34の内蔵ブルアップ抵抗を使用するか, しないかを設定するレジスタです。PUB0-PUB3で内蔵ブルアップ抵抗の使用を指定した端子で, 入力モードに設定したビットにのみ, ビット単位で内部ブルアップ抵抗が使用できます。出力モードに設定したビットは, PUB0-PUB3の設定にかかわらず, 内蔵ブルアップ抵抗を使用できません。兼用機能の出力端子として使用するときも同様です。

PUB0-PUB3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

図4 - 16 ブルアップ抵抗オプション・レジスタのフォーマット

略号	①								アドレス	リセット時	R/W
PUB0	PUB07	PUB06	PUB05	PUB04	PUB03	PUB02	PUB01	PUB00	FF30H	00H	R/W
	7	6	5	4	3	2		①			
PUB1	0	0	0	0	0	0	PUB11	PUB10	FF31H	00H	R/W
	7	6						①			
PUB2	0	0	PUB25	PUB24	PUB23	PUB22	PUB21	PUB20	FF32H	00H	R/W
	7	6	5					①			
PUB3	0	0	0	PUB34	PUB33	PUB32	PUB31	PUB30	FF33H	00H	R/W

PUBmn	Pmnの内蔵ブルアップ抵抗の選択 (m = 0-3; n = 0-7)
0	内蔵ブルアップ抵抗を接続しない
1	内蔵ブルアップ抵抗を接続する

(3) ポート・ファンクション・レジスタ (PF7, PF8) (μ PD78F9478, 78F9479のみ)

P70-P73, P80-P87を, ポートかセグメント出力のどちらで使用するかをビット単位で指定するレジスタです。

PF7, PF8は, 8ビット・メモリ操作命令で書き込みます。

$\overline{\text{RESET}}$ 入力により, 00Hになります。

注意 このレジスタはμ PD78F9478, 78F9479でのみ有効となりますが, μ PD789477, 789478, 789479でライトしたとしても無効になるだけで動作に影響はありません。

図4 - 17 ポート・ファンクション・レジスタのフォーマット

略号	7	6	5	4	①				アドレス	リセット時	R/W
PF7	0	0	0	0	PF73	PF72	PF71	PF70	FF57H	00H	W
①											
PF8	PF87	PF86	PF85	PF84	PF83	PF82	PF81	PF80	FF58H	00H	W

PFmn	Pmnのポート / セグメント出力の指定 (m = 7,8; n = 0-7)
0	Pmnをポートとして使用
1	Pmnをセグメント出力として使用

4. 4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4. 4. 1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

4. 4. 2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4. 4. 3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。

(2) 入力モードの場合

出力ラッチの内容が不定になります。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

注意 1ビット・メモリ操作命令の場合、操作対象は1ビットですが、ポートを8ビット単位でアクセスします。したがって、入力/出力が混在しているポートでは、操作対象のビット以外でも入力に指定されている端子の出力ラッチの内容が不定になります。

第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。

システム・クロック発振回路には、次の2種類があります。

- ・メイン・システム・クロック発振回路

1.0～5.0 MHzの周波数を発振します。STOP命令の実行またはプロセッサ・クロック・コントロール・レジスタ（PCC）の設定により、発振を停止できます。

- ・サブシステム・クロック発振回路

32.768 kHzの周波数を発振します。サブ発振モード・レジスタ（SCKM）により発振の停止ができます。

また、マスク・オプションまたはサブクロック選択レジスタ（SSCK）によりサブクロック4通倍回路も使用できます。

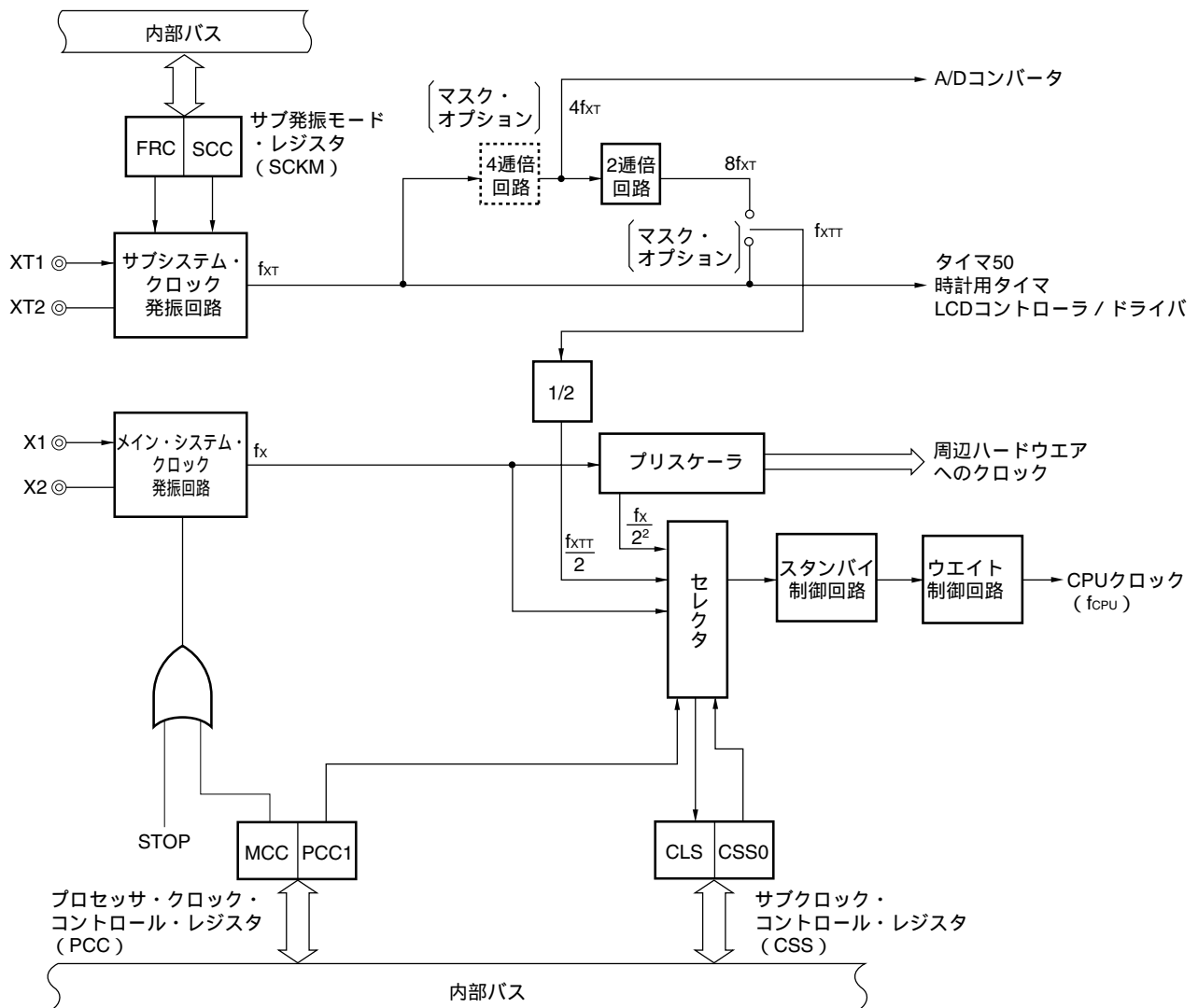
5.2 クロック発生回路の構成

クロック発生回路は、次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

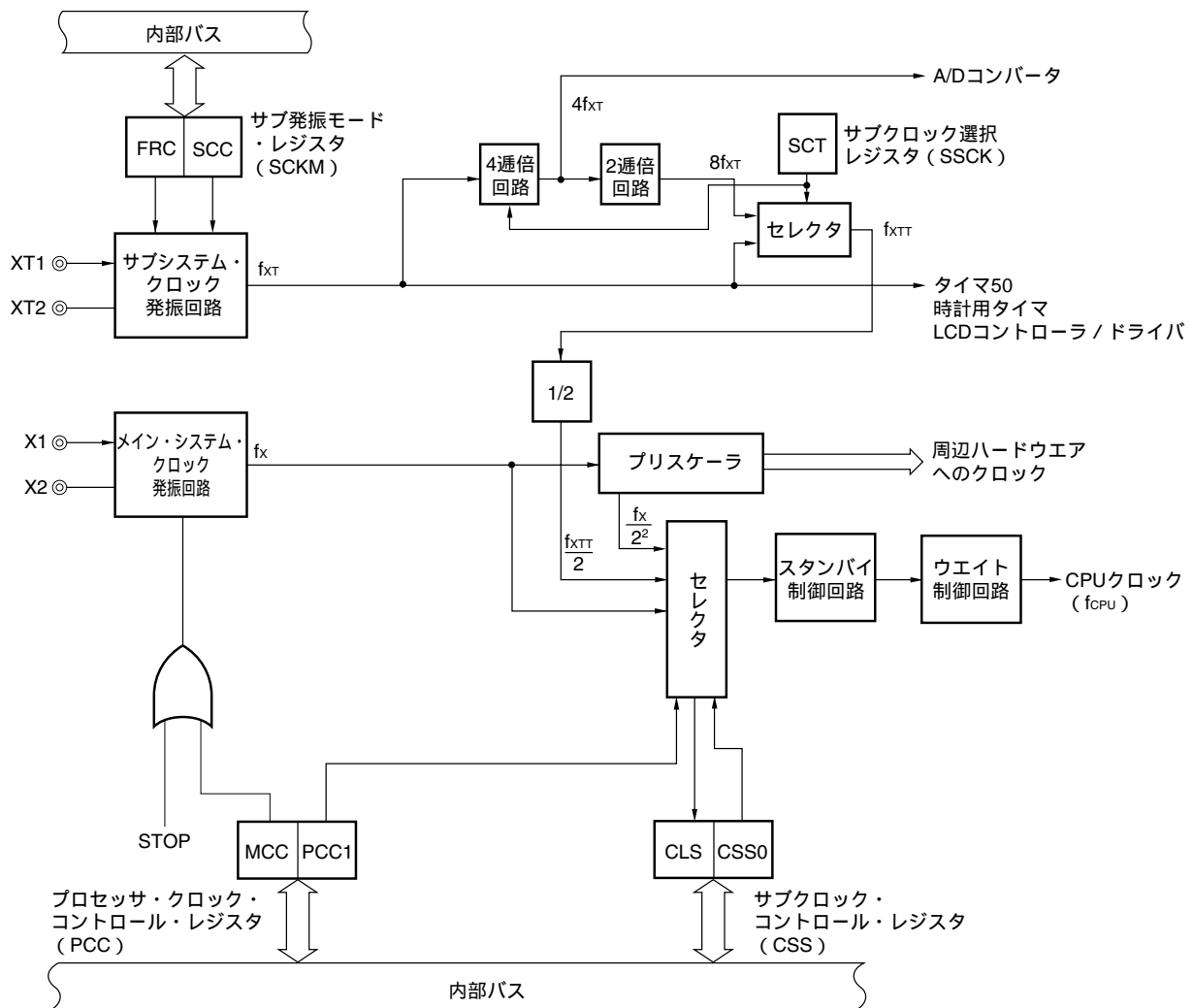
項 目	構 成
制御レジスタ	プロセッサ・クロック・コントロール・レジスタ（PCC） サブ発振モード・レジスタ（SCKM） サブクロック・コントロール・レジスタ（CSS） サブクロック選択レジスタ（SSCK）（ μ PD78F9478, 78F9479のみ）
発振回路	メイン・システム・クロック発振回路 サブシステム・クロック発振回路

図5 - 1 クロック発生回路のブロック図 (μ PD789477, 789478, 789479)



備考 f_{XTT} : f_{XT}または8f_{XT}

図5-2 クロック発生回路のブロック図 (μ PD78F9478, 78F9479)



備考 f_{XTT} : f_{XT}または8f_{XT}

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の4種類のレジスタで制御します。

- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・サブ発振モード・レジスタ (SCKM)
- ・サブクロック・コントロール・レジスタ (CSS)
- ・サブクロック選択レジスタ (SSCK) (μ PD78F9478, 78F9479のみ)

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

CPUクロックの選択、分周比を設定するレジスタです。

PCCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、02Hになります。

図5-3 プロセッサ・クロック・コントロール・レジスタのフォーマット

略号	6	5	4	3	2	0	アドレス	リセット時	R/W
PCC	MCC	0	0	0	0	0	PCC1	0	FFFBH 02H R/W

MCC	メイン・システム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

CSS0	PCC1	CPUクロック (f_{CPU}) の選択 ^注	最小命令実行時間: $2/f_{\text{CPU}}$
			$f_x = 5.0 \text{ MHz}$ 動作時または $f_{\text{XT}} = 32.768 \text{ kHz}$ 動作時
0	0	f_x	$0.4 \mu\text{s}$
0	1	$f_x/2^2$	$1.6 \mu\text{s}$
1	x	$f_{\text{XT}}/2$ $4f_{\text{XT}}$ (4通倍回路使用時)	$122 \mu\text{s}$ $15.26 \mu\text{s}$ (4通倍回路使用時)

注 CPUクロックの選択は、PCC, CSSのフラグを組み合わせで設定します (5.3 (3) サブクロック・コントロール・レジスタ (CSS) 参照)。

注意1. ビット0, 2-6には必ず0を設定してください。

2. MCCのセットはCPUクロックがサブシステム・クロックを選択しているときのみ設定できます。
メイン・システム・クロックで動作中にMCCを“1”にセットしても無効となります。

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

(2) サブ発振モード・レジスタ (SCKM)

サブシステム・クロックのフィードバック抵抗の選択，発振を制御するレジスタです。

SCKMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 4 サブ発振モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
SCKM	0	0	0	0	0	0	FRC	SCC	FFF0H	00H	R/W

FRC	フィードバック抵抗の選択 ^注
0	内蔵フィードバック抵抗を使用する
1	内蔵フィードバック抵抗を使用しない

SCC	サブシステム・クロック発振回路の動作の制御
0	動作許可
1	動作停止

注 フィードバック抵抗は発振波形のバイアス点を電源電圧の中間付近に調整するために必要なものです。
サブクロックを使用しない場合のみ，FRC = 1に設定することでSTOPモード時の消費電力をさらに抑えることが可能です。

注意 ビット2-7には必ず0を設定してください。

(3) サブクロック・コントロール・レジスタ (CSS)

メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択，CPUクロックの動作状態を示すレジスタです。

CSSは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図5 - 5 サブクロック・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSS	0	0	CLS	CSS0	0	0	0	0	FFF2H	00H	R/W ^注

CLS	CPUクロックの動作状態
0	メイン・システム・クロックの（分周）出力で動作
1	サブシステム・クロックの出力で動作

CSS0	メイン・システム・クロック発振回路とサブシステム・クロック発振回路の選択
0	メイン・システム・クロック発振回路の（分周）出力
1	サブシステム・クロックの発振回路の出力

注 ビット5は、Read Onlyです。

注意 ビット0-3, 6, 7には必ず0を設定してください。

（4）サブクロック選択レジスタ（SSCK）（ μ PD78F9478, 78F9479のみ）

サブシステム・クロック4通倍回路の動作を制御するレジスタです。

SSCKは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 このレジスタは μ PD78F9478, 78F9479でのみ有効となりますが、 μ PD789477, 789478, 789479でライトしたとしても無効になるだけで動作に影響はありません。

図5 - 6 サブクロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
SSCK	0	0	0	0	0	0	0	SCT	FF46H	保持 ^注	R/W

SCT	サブシステム・クロック4通倍回路の制御
0	動作停止（サブシステム・クロックの原発（32.768 kHz）をCPUに供給）
1	動作許可（サブシステム・クロックの8通倍クロック（262 kHz）をCPUに供給）

注 $\overline{\text{RESET}}$ 入力のみ、00Hとなります。

注意1. ビット1-7には、必ず0を設定してください。

2. SCTフラグへの書き込みは、リセット解除後からCSS0フラグに“1”をセットする前に行ってください。2回目以降の書き込みは無効です（書き換えたいときは、 $\overline{\text{RESET}}$ 入力してください）。

5.4 システム・クロック発振回路

5.4.1 メイン・システム・クロック発振回路

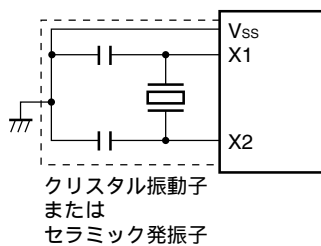
メイン・システム・クロック発振回路はX1, X2端子に接続されたクリスタル振動子またはセラミック発振子（標準：5.0 MHz）によって発振します。

また、外部クロックを入力することもできます。その場合、X1端子にクロック信号を入力し、X2端子には、その反転した信号を入力してください。

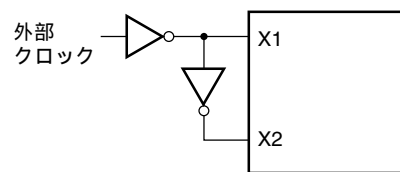
図5 - 7にメイン・システム・クロック発振回路の外付け回路を示します。

図5 - 7 メイン・システム・クロック発振回路の外付け回路

(a) クリスタル，セラミック発振



(b) 外部クロック



注意 メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 7の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

5.4.2 サブシステム・クロック発振回路

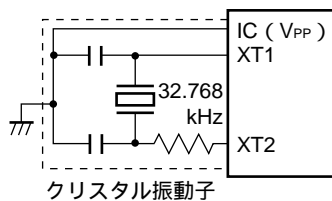
サブシステム・クロック発振回路はXT1, XT2端子に接続されたクリスタル振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することもできます。その場合、XT1端子にクロック信号を入力し、XT2端子には、その反転した信号を入力してください。

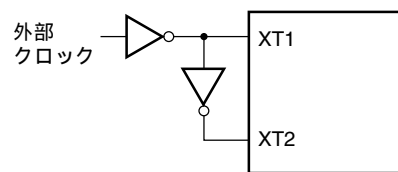
図5 - 8にサブシステム・クロック発振回路の外付け回路を示します。

図5 - 8 サブシステム・クロック発振回路の外付け回路

(a) クリスタル発振



(b) 外部クロック



注意 メイン・システム・クロックおよびサブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 7、図5 - 8の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常にV_{SS}と同電位となるようにする。大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

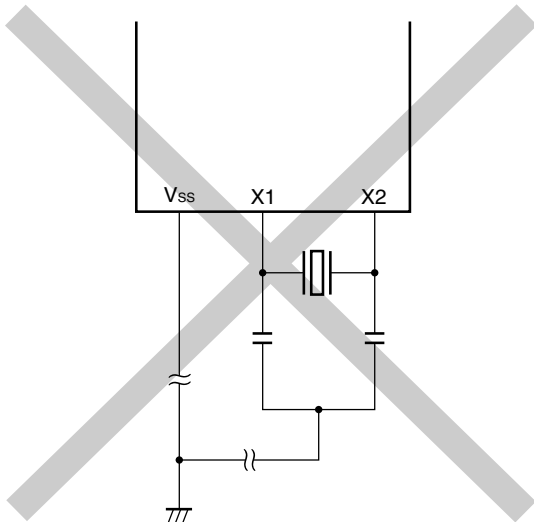
特に、サブシステム・クロック発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

5.4.3 発振子の接続の悪い例

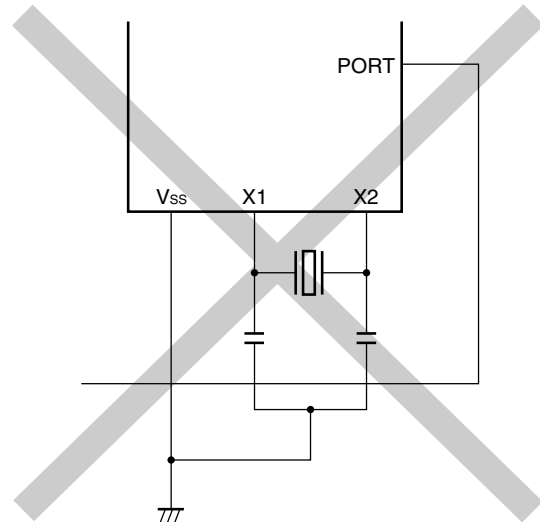
図5 - 9に発振子の接続の悪い例を示します。

図5 - 9 発振子の接続の悪い例 (1/2)

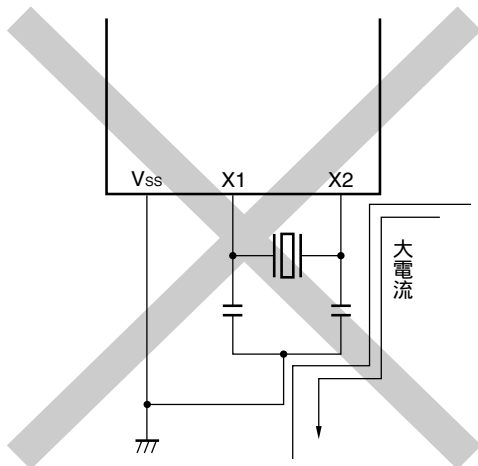
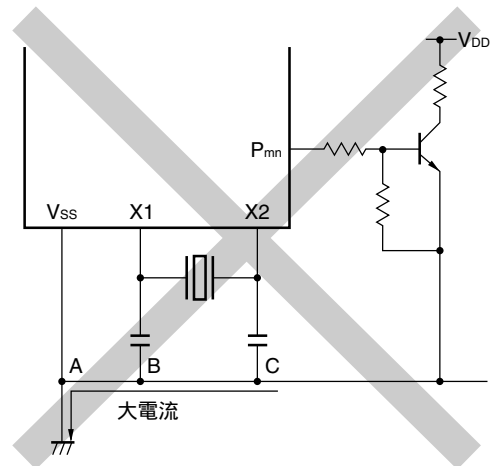
(a) 接続回路の配線が長い



(b) 信号線が交差している



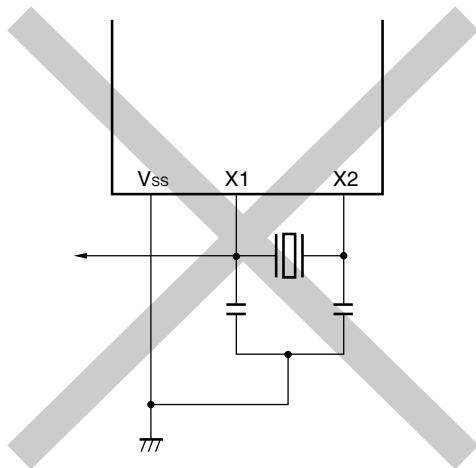
(c) 変化する大電流が信号線に近接している

(d) 発振回路部のグラウンド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)

備考 サブシステム・クロックをご使用の場合は, X1, X2をXT1, XT2と読み替えてください。また, XT2側に直列に抵抗を接続してください。

図5 - 9 発振子の接続の悪い例 (2/2)

(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。またXT2側に直列に抵抗を接続してください。

5.4.4 分周回路

分周回路は、メイン・システム・クロック発振回路出力 (fx) を分周して、各種クロックを生成します。

5.4.5 サブシステム・クロックを使用しない場合

低消費電力動作や時計動作等のためにサブシステム・クロックを使用する必要のない場合、XT1, XT2端子を次のように処置してください。

XT1 : Vssに接続

XT2 : オープン

ただし、この状態では、メイン・システム・クロックの停止時に、サブシステム・クロック発振回路の内蔵フィードバック抵抗を介して若干のリーク電流を流してしまいます。これを抑えるには、サブ発振モード・レジスタ (SCKM) のビット1 (FRC) により上述の内蔵フィードバック抵抗を使用しない設定をしてください。このときも、XT1, XT2端子の処理は上記と同じです。

5.4.6 サブシステム・クロック4通倍回路

サブシステム・クロックを4通倍し、CPUに供給します。

4通倍回路は、HALT期間中は動作停止します (消費電力削減のため)。

HALT解除後の4通倍回路動作開始時には、ノイズ除去のため、サブシステム・クロック原発1クロック分のウェイトが入ります。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します。

- ・メイン・システム・クロック f_x
- ・サブシステム・クロック f_{xT}
- ・CPUクロック f_{CPU}
- ・周辺ハードウェアへのクロック

クロック発生回路の動作はプロセッサ・クロック・コントロール・レジスタ（PCC）、サブ発振モード・レジスタ（SCKM）、サブクロック・コントロール・レジスタ（CSS）により決定され、次のような機能、動作となります。

- (a) $\overline{\text{RESET}}$ 信号発生によりメイン・システム・クロックの低速モード（ $1.6 \mu\text{s}$ ：5.0 MHz動作時）が選択されます（PCC = 02H）。なお、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間、メイン・システム・クロックの発振は停止します。
- (b) PCCとSCKMとCSSの設定により3段階の最小命令実行時間（ $0.4 \mu\text{s}$, $1.6 \mu\text{s}$ ：メイン・システム・クロック（5.0 MHz動作時）、 $122 \mu\text{s}$ ：サブシステム・クロック（32.768 kHz動作時））を選択できます。また、サブシステム・クロックは、 $\mu\text{PD789477}$, 789478, 789479のマスク・オプション、または $\mu\text{PD78F9478}$, 78F9479のサブクロック選択レジスタ（SSCK）により、4通倍回路を使用したクロックに変更することもできます（ $15.26 \mu\text{s}$ ：サブシステム・クロック4通倍回路使用時）。
- (c) メイン・システム・クロックを選択した状態でSTOPモード、HALTモードの2つのスタンバイ・モードが使用できます。また、サブシステム・クロックを使用していないシステムの場合、SCKMのビット1（FRC）で内蔵フィードバック抵抗を使用しない設定にすることにより、STOPモード時の消費電力をさらに低減できます。サブシステム・クロックを使用しているシステムの場合、SCKMのビット0を1に設定することにより、サブシステム・クロックの発振を停止できます。
- (d) CSSのビット4（CSS0）により、サブシステム・クロックを選択し、低消費電力で動作（ $122 \mu\text{s}$ ：32.768 kHz動作時）できます。
- (e) サブシステム・クロックを選択した状態で、PCCのビット7（MCC）によりメイン・システム・クロックの発振を停止できます。また、HALTモードを使用できます。しかし、STOPモードは使用できません。

(f) 周辺ハードウェアへのクロックはメイン・システム・クロックを分周して供給されますが、8ビット・タイマ50，時計用タイマ，LCDコントローラ／ドライバにのみサブシステム・クロックを供給しています。このため，スタンバイ状態でも8ビット・タイマ50，時計用タイマ，LCDコントローラ／ドライバは，継続して使用できます。しかし，そのほかの周辺ハードウェアはメイン・システム・クロックによって動作していますので，メイン・システム・クロックを停止させたときは周辺ハードウェアも停止します（ただし，外部からの入力クロック動作は除く）。A/Dコンバータには，4通倍回路を通ったサブシステム・クロックを供給しているので，スタンバイ状態では使用できません。

5.6 システム・クロックとCPUクロックの設定の変更

5.6.1 システム・クロックとCPUクロックの切り替えに要する時間

CPUクロックは，プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）とサブクロック・コントロール・レジスタ（CSS）のビット4（CSS0）により切り替えることができます。

実際の切り替え動作は，PCCを書き換えた直後ではなく，PCCを変更したのち，数命令は切り替え前のクロックで動作します（表5-2参照）。

表5-2 CPUクロックの切り替えに要する最大時間

切り替え前の設定値		切り替え後の設定値					
CSS0	PCC1	CSS0	PCC1	CSS0	PCC1	CSS0	PCC1
		0	0	0	1	1	×
0	0			4クロック		2f _x /f _{XT} クロック (306クロック)	
	1			2クロック		f _x /2f _{XT} クロック (76クロック)	
1	×	2クロック		2クロック			

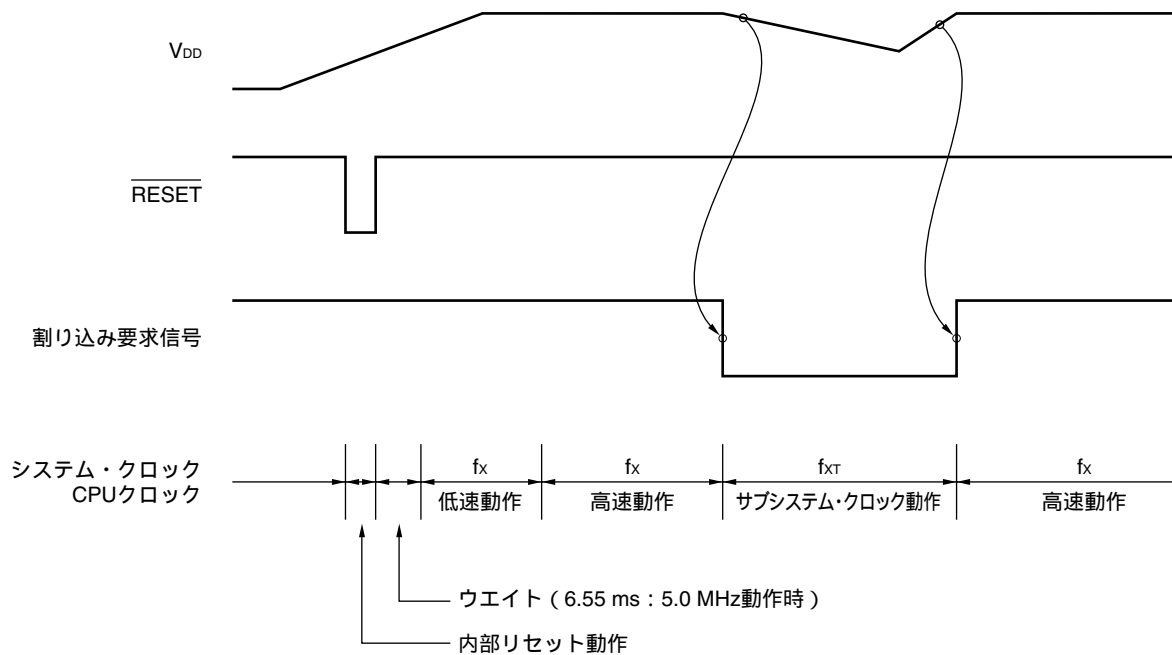
備考1. 2クロックは，切り替え前のCPUクロックの最小命令実行時間となります。

- () 内は，f_x = 5.0 MHz動作時またはf_{XT} = 32.768 kHz動作時
- × : don't care

5.6.2 システム・クロックとCPUクロックの切り替え手順

システム・クロックとCPUクロックの切り替えについて説明します。

図5 - 10 システム・クロックとCPUクロックの切り替え



電源投入後、 $\overline{\text{RESET}}$ 端子をロウ・レベルにすることでCPUにリセットがかかります。その後、 $\overline{\text{RESET}}$ 端子をハイ・レベルにするとリセットが解除され、メイン・システム・クロックが発振開始します。このとき、自動的に発振安定時間（ $2^{15}/f_x$ ）を確保します。

その後、CPUはメイン・システム・クロックの低速（ $1.6 \mu\text{s}$: 5.0 MHz動作時）で命令の実行を開始します。

V_{DD}電圧が高速で動作できる電圧まで上昇するのに十分な時間経過後、プロセッサ・クロック・コントロール・レジスタ（PCC）のビット1（PCC1）とサブクロック・コントロール・レジスタ（CSS）のビット4（CSS0）を書き換えて高速動作を行います。

V_{DD}電圧が低下したことを割り込み要求信号などにより検出し、サブシステム・クロックに切り替えます（このとき、サブシステム・クロックが発振安定状態になっていなければなりません）。

V_{DD}電圧が復帰したことを割り込み要求信号などにより検出し、PCCのビット7（MCC）に0を設定してメイン・システム・クロックを発振開始させ、発振が安定するのに必要な時間経過後、PCC1、CSS0を書き換えて高速動作に戻します。

注意 メイン・システム・クロックを停止させサブシステム・クロックで動作させている場合に、再度メイン・システム・クロックに切り替えるときには、プログラムで発振安定時間を確保したあとに切り替えてください。

第6章 16ビット・タイマ20

6.1 16ビット・タイマ20の機能

16ビット・タイマ20には、次のような機能があります。

- ・タイマ割り込み
- ・タイマ出力
- ・カウント値のキャプチャ

(1) タイマ割り込み

カウント値とコンペア値の一致で割り込みを発生します。

(2) タイマ出力

カウント値とコンペア値の一致でタイマ出力制御が可能です。

(3) カウント値のキャプチャ

キャプチャ・トリガに同期して16ビット・タイマ・カウンタ20 (TM20) のカウント値をキャプチャ・レジスタに取り込み、保持します。

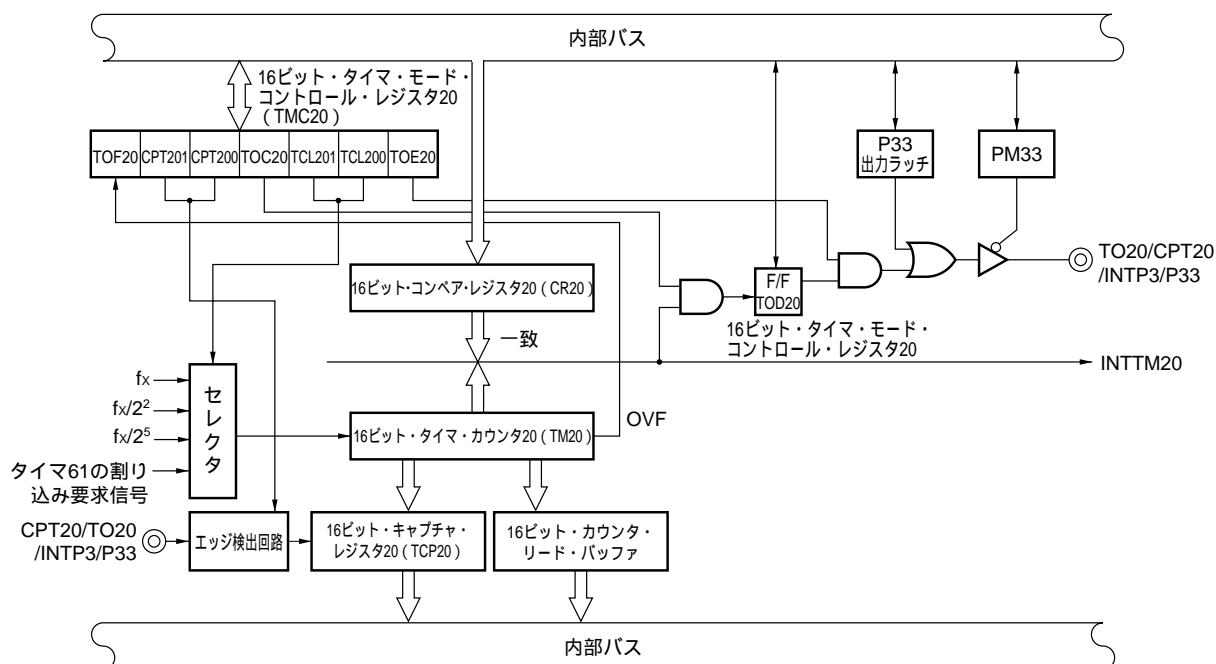
6.2 16ビット・タイマ20の構成

16ビット・タイマ20は、次のハードウェアで構成しています。

表6 - 1 16ビット・タイマ20の構成

項 目	構 成
タイマ・カウンタ	16ビット×1本 (TM20)
レジスタ	コンペア・レジスタ : 16ビット×1本 (CR20) キャプチャ・レジスタ : 16ビット×1本 (TCP20)
タイマ出力	1本 (TO20)
制御レジスタ	16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) ポート・モード・レジスタ3 (PM3) ポート3 (P3)

図6 - 1 16ビット・タイマ20のブロック図



(1) 16ビット・コンペア・レジスタ20 (CR20)

CR20に設定した値と16ビット・タイマ・カウンタ20 (TM20) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM20) を発生する16ビットのレジスタです。

CR20は、16ビット・メモリ操作命令で設定します。0000H-FFFFHの設定が可能です。

RESET入力により、FFFFHになります。

注意 カウント動作中にCR20を書き換える場合は、あらかじめ、割り込みマスク・フラグ・レジスタ0（MK0）で割り込み禁止にしてください。また、16ビット・タイマ・モード・コントロール・レジスタ20（TMC20）でタイマ出力データを反転禁止に設定してください。割り込みを許可している状態でCR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) 16ビット・タイマ・カウンタ²⁰ (TM20)

カウント・パルスをカウントする16ビットのレジスタです。

TM20は、16ビット・メモリ操作命令で読み出します。

カウント・クロックが入力されている間、フリー・ランニングします。

RESET入力により，0000Hになり，再びフリー・ランニングします。

注意 ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。

(3) 16ビット・キャプチャ・レジスタ20 (TCP20)

16ビット・タイマ・カウンタ20 (TM20) の内容をキャプチャする16ビットのレジスタです。

TCP20は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(4) 16ビット・カウンタ・リード・バッファ20

TM20のカウンタ値をラッチし、カウンタ値を保持します。

6.3 16ビット・タイマ20を制御するレジスタ

16ビット・タイマ20は、次の3種類のレジスタで制御します。

- ・ 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)
- ・ ポート・モード・レジスタ3 (PM3)
- ・ ポート3 (P3)

(1) 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)

16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) は、カウンタ・クロック設定、キャプチャ・エッジなどの設定を制御するレジスタです。

TMC20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図6-2 16ビット・タイマ・モード・コントロール・レジスタ20のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC20	TOD20	TOF20	CPT201	CPT200	TOC20	TCL201	TCL200	TOE20	FF48H 00H R/W ^{注1}

TOD20	タイマ出力データ
0	タイマ出力が“0”
1	タイマ出力が“1”

TOF20	オーバーフロー・フラグのセット
0	リセットおよびソフトウェアでクリア
1	16ビット・タイマのオーバーフローでセット

CPT201	CPT200	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT20端子の立ち上がりエッジ
1	0	CPT20端子の立ち下がりエッジ
1	1	CPT20端子の両エッジ

TOC20	タイマ出力データの反転制御
0	反転禁止
1	反転許可

TCL201	TCL200	16ビット・タイマ・カウンタ20のカウント・クロックの選択
0	0	タイマ61の割り込み信号
0	1	f_x (5.0 MHz) ^{注2,3}
1	0	$f_x/2^2$ (1.25 MHz) ^{注4}
1	1	$f_x/2^5$ (156.25 kHz) ^{注4}

TOE20	16ビット・タイマ・カウンタ20の出力の制御
0	出力禁止 (ポート・モード)
1	出力許可

注1. ビット7は、Read Onlyです。

2. カウント・クロックに f_x を選択時は、キャプチャとして使用できません。

3. リードする場合は、CPUクロックをメイン・クロックの高速 (PCC1 = 0, CSS = 0) としてください。

4. リードする場合は、CPUクロックをメイン・クロック (CSS = 0) としてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

(2) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を1ビット単位で設定するレジスタです。

P33/INTP3/CPT20/TO20端子をキャプチャ入力 (CPT20) として使用するとき, PM33に1を設定してください。タイマ出力 (TO20) として使用するとき, PM33およびP33の出力ラッチに0を設定してください。

PM3は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により, FFHになります。

図6 - 3 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM33	P33端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

6.4 16ビット・タイマ20の動作

6.4.1 タイマ割り込みとしての動作

フリーランニングのカウンタの値が、CR20に設定した値になるたびに繰り返し割り込みを発生することができます。割り込みを発生後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL201とTCL200で設定したカウント・クロックの1周期分となります。

16ビット・タイマ20をタイマ割り込みとして動作させるには次の設定をします。

- ・CR20にカウンタ値を設定
- ・16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) を図6 - 4のように設定

図6 - 4 タイマ割り込み動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容

	TOD20	TOF20	CPT201	CPT200	TOC20	TCL201	TCL200	TOE20
TMC20	-	0/1	0/1	0/1	0/1	0/1	0/1	0/1

——— カウント・クロックの設定 (表6 - 2参照)

注意 CPT201フラグとCPT200フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ20 (TM20) のカウンタ値がCR20に設定した値と一致したとき、TM20のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM20) を発生します。

表6 - 2にインターバル時間を、図6 - 5にタイマ割り込み動作のタイミングを示します。

注意 カウント動作中にCR20を書き換える場合は必ず次の処理を行ってください。

割り込みを禁止 (TMMK20 (割り込みマスク・フラグ・レジスタ1 (MK1) のビット2) = 1) に設定

タイマ出力データの反転制御を禁止 (TOC20 = 0) に設定

割り込みを許可している状態でCR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

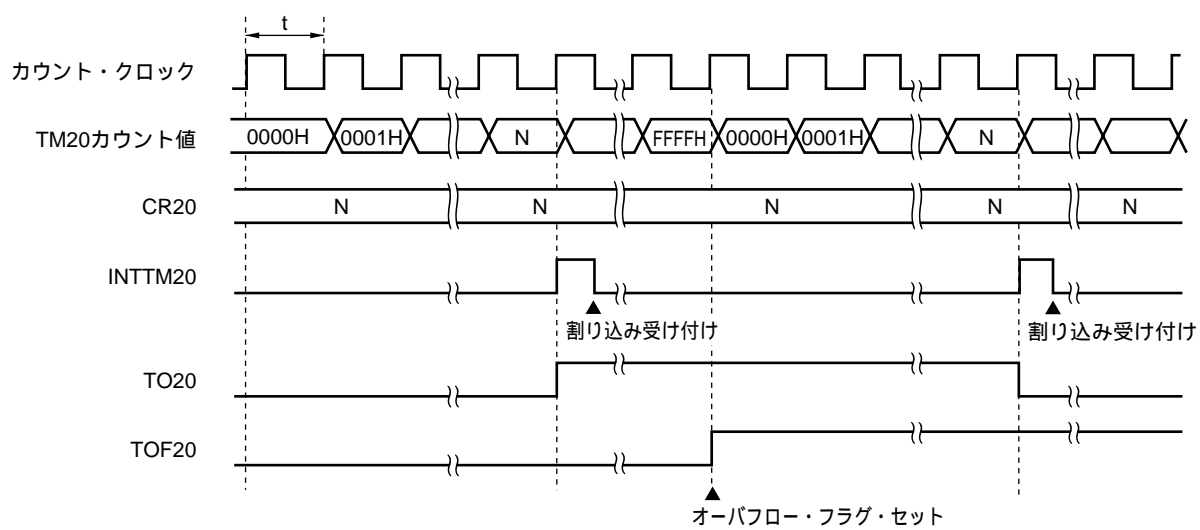
表6 - 2 16ビット・タイマ20のインターバル時間

TCL201	TCL200	カウント・クロック	インターバル時間
0	0	タイマ61の割り込み信号	タイマ61割り込み信号の周期 $\times 2^{16}$
0	1	$1/f_x$ (0.2 μ s)	$2^{16}/f_x$ (13.1 ms)
1	0	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)
1	1	$2^5/f_x$ (6.4 μ s)	$2^{21}/f_x$ (419 ms)

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

図6 - 5 タイマ割り込み動作のタイミング



備考 N = 0000H-FFFFH

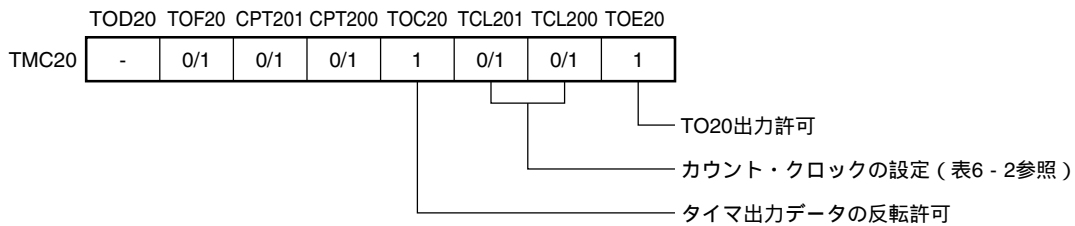
6.4.2 タイマ出力としての動作

フリーランニングのカウンタの値が、CR20に設定した値になるたびに繰り返しタイマ出力を反転することができます。タイマ出力を反転後もカウンタはクリアされずカウントを継続するので、インターバル時間はTCL201とTCL200で設定したカウント・クロックの1周期分となります。

16ビット・タイマ20をタイマ出力として動作させるには次の設定をします。

- ・ P33を出力モード (PM33 = 0) に設定
- ・ P33の出力ラッチに0を設定
- ・ CR20にカウント値を設定
- ・ 16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20) を図6 - 6のように設定

図6 - 6 タイマ出力動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容

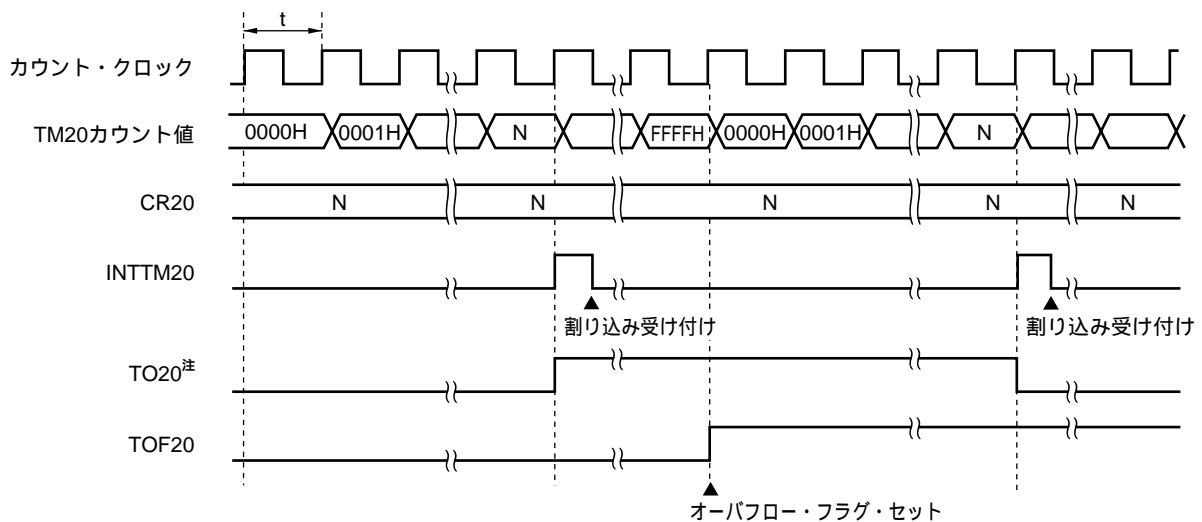


注意 CPT201フラグとCPT200フラグの両方に0を設定するとキャプチャ・エッジは動作禁止になります。

16ビット・タイマ・カウンタ20 (TM20) のカウント値がCR20に設定した値と一致したとき、TO20端子の出力状態が反転します。これによりタイマ出力が可能です。また、このとき、TM20のカウントをそのまま継続するとともに、割り込み要求信号 (INTTM20) を発生します。

図6 - 7にタイマ出力のタイミングを示します (16ビット・タイマ20のインターバル時間は表6 - 2を参照してください)。

図6 - 7 タイマ出力のタイミング



注 出力許可 (TOE20 = 1) 時のTO20の初期値はロウ・レベルになります。

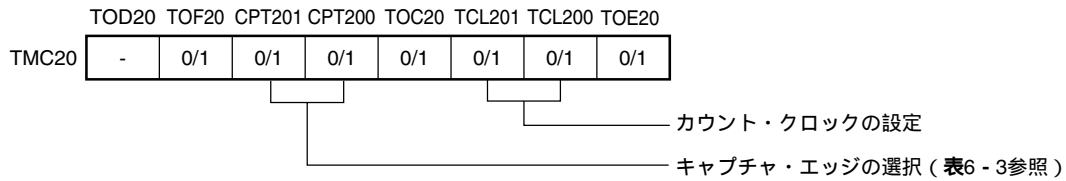
備考 N = 0000H-FFFFH

6.4.3 キャプチャ動作

キャプチャ・トリガに同期して、16ビット・タイマ・カウンタ20 (TM20) のカウント値をキャプチャ・レジスタに取り込み、カウント値を保持するキャプチャ動作を行います。

16ビット・タイマをキャプチャ動作させるには図6-8のように設定します。

図6-8 キャプチャ動作時の16ビット・タイマ・モード・コントロール・レジスタ20の設定内容



16ビット・キャプチャ・レジスタ20 (TCP20) は、CPT20のキャプチャ・トリガ・エッジが検出されたあと、キャプチャ動作を開始し、16ビット・タイマ20のカウント値をラッチし、保持します。TCP20は、2クロック以内にカウント値をフェッチし、次のキャプチャ・エッジが検出されるまでカウント値を保持します。

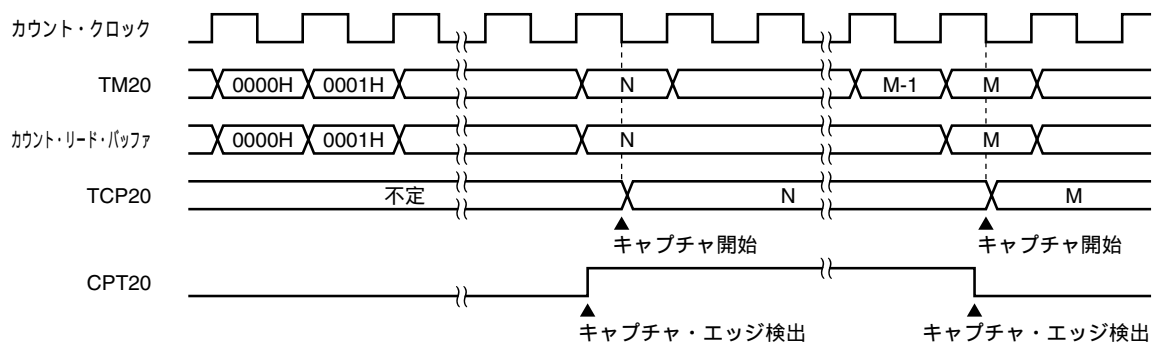
表6-3にキャプチャ・エッジの設定内容を、図6-9にキャプチャ動作のタイミングを示します。

表6-3 キャプチャ・エッジの設定内容

CPT201	CPT200	キャプチャ・エッジの選択
0	0	キャプチャ動作禁止
0	1	CPT20端子の立ち上がりエッジ
1	0	CPT20端子の立ち下がりエッジ
1	1	CPT20端子の両エッジ

注意 TCP20のリード期間中にキャプチャ・トリガ・エッジが検出されると、TCP20は書き換えられるので、TCP20のリード期間中はキャプチャ・トリガ・エッジ検出を禁止にしてください。

図6-9 キャプチャ動作のタイミング (CPT20端子の両エッジ指定時)



備考 N, M = 0000H-FFFFH

6.4.4 16ビット・タイマ・カウンタ20の読み出し

16ビット・タイマ・カウンタ20 (TM20) のカウント値は16ビット操作命令で読み出します。

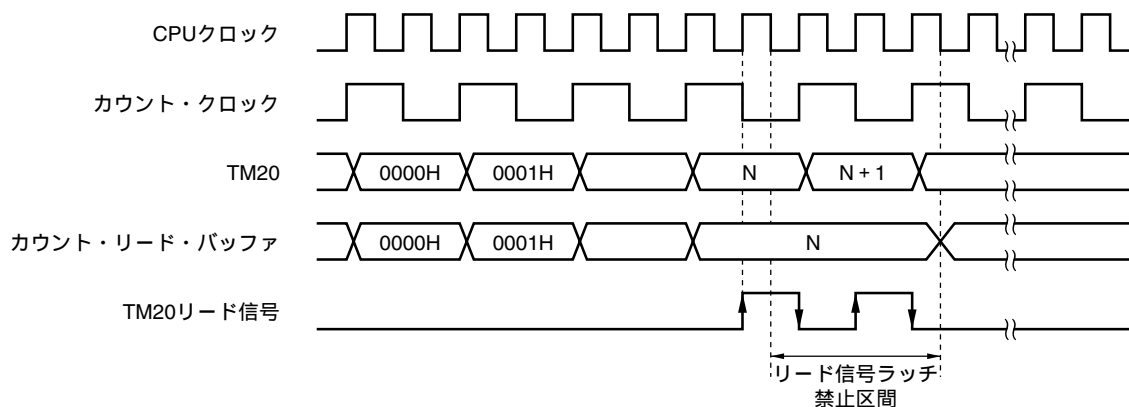
TM20の読み出しは、カウンタ・リード・バッファを介して行います。16ビット・カウンタ・リード・バッファはTM20のカウント値をラッチします。そして、TM20の下位バイトのリード信号が立ち上がったあとのCPUクロックの立ち下がりりでバッファ動作を保留し、カウント値を保持します。この保持状態のカウンタ・リード・バッファの値をカウント値として読み出すことができます。

保留の解除は、TM20の上位バイトのリード信号が立ち下がったあとのCPUクロックの立ち下がりで行います。TM20は、 $\overline{\text{RESET}}$ 入力により0000Hになり、再びフリー・ランニングします。

図6 - 10に16ビット・タイマ・カウンタ20の読み出しのタイミングを示します。

- 注意1. ストップ解除後のカウント値は、発振安定時間中にカウント動作をするため不定となります。
2. TM20は16ビット転送命令専用のレジスタですが、8ビット転送命令も使用できます。
8ビット転送命令を使用する場合、ダイレクト・アドレッシングで行ってください。
 3. 8ビット転送命令を使用するとき、下位バイト 上位バイトの順で必ずペアで行ってください。下位バイトのみの読み出しは、カウンタ・リード・バッファの保留状態が解除されず、また、上位バイトのみの読み出しは不定となったカウント値を読み込んでしまいます。

図6 - 10 16ビット・タイマ・カウンタ20の読み出しのタイミング



備考 N = 0000H-FFFFH

6.5 16ビット・タイマ20の注意事項

6.5.1 16ビット・コンペア・レジスタ20を書き換える際の制限事項

(1) コンペア・レジスタ (CR20) を書き換える場合は、必ず割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) してから行ってください。

割り込みを許可している状態で、CR20を書き換えた場合、その時点で割り込み要求が発生することがあります。

(2) コンペア・レジスタ (CR20) を書き換えるタイミングによっては、インターバル時間が意図する時間の2倍となる場合があります。同様に、タイマ出力波形が意図する出力よりも短い波形や2倍の波形が出力されてしまう場合があります。

これを回避するために、次のどちらかの手順で書き換えを行ってください。

<回避策A> 8ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) に設定

先にCR20 (16ビット) の上位1バイトを書き換える

次にCR20 (16ビット) の下位1バイトを書き換える

割り込み要求フラグ (TMIF20) をクリアする

割り込みの先頭からカウント・クロックの半周期分以上経過したあとで、タイマ割り込み許可 / タイマ出力反転許可する。

<プログラム例A> (カウント・クロック = 32/fx, CPUクロック = fxの場合)

TM20_VCT:	SET1	TMMK20	; タイマ割り込み禁止 (6クロック)	} 合計16クロック 以上 [※]
	CLR1	TMC20.3	; タイマ出力反転禁止 (6クロック)	
	MOV	A, #xxH	; 上位バイト書き換え値設定 (6クロック)	
	MOV	!0FF17H, A	; CR20 上位バイト書き換え (8クロック)	
	MOV	A, #yyH	; 下位バイト書き換え値設定 (6クロック)	
	MOV	!0FF16H, A	; CR20 下位バイト書き換え (8クロック)	
	CLR1	TMIF20	; 割り込み要求フラグをクリア (6クロック)	
	CLR1	TMMK20	; タイマ割り込み許可 (6クロック)	
	SET1	TMC20.3	; タイマ出力反転許可	

注 INTTM20信号は、割り込み発生してからカウント・クロックの半周期の期間、ハイ・レベルになっているので、この期間にTOC20を1にセットすると出力が反転してしまうため。

<回避策B> 16ビット・アクセスで書き換える場合

割り込みを禁止 (TMMK20 = 1) し、タイマ出力の反転制御を禁止 (TOC20 = 0) に設定
 CR20 (16ビット) を書き換える
 カウント・クロックの1周期分以上ウエイトする
 割り込み要求フラグ (TMIF20) をクリアする
 タイマ割り込み許可 / タイマ出力反転許可する。

<プログラム例B> (カウント・クロック = 32/fx, CPUクロック = fxの場合)

```

TM20_VCT  SET1    TMMK20      ;タイマ割り込み禁止
          CLR1    TMC20.3     ;タイマ出力反転禁止
          MOVW    AX, #xyxyH  ;CR20 書き換え値設定
          MOVW    CR20, AX    ;CR20 書き換え

          NOP
          NOP
          :
          NOP
          NOP
          }                ;NOP16個 (32/fx分のウエイト) 注
          CLR1    TMIF20      ;割り込み要求フラグクリア
          CLR1    TMMK20      ;タイマ割り込み許可
          SET1    TMC20.3     ;タイマ出力反転許可

```

注 CR20を書き換える命令 (MOVW CR20, AX) から、カウント・クロックの1周期分以上ウエイトしたあとで、割り込み要求フラグ (TMIF20) をクリアしてください。

第7章 8ビット・タイマ50, 60, 61

7.1 8ビット・タイマ50, 60, 61の機能

μ PD789479サブシリーズは8ビット・タイマを1チャンネル（タイマ50）、8ビット・タイマ/イベント・カウンタを2チャンネル（タイマ60, 61）内蔵しています。モード・レジスタの設定により次の表に示す動作モードが可能です。

表7-1 モード一覧

モード \ チャンネル	タイマ50	タイマ60	タイマ61
8ビット・タイマ・カウンタ・モード （単体モード）			
16ビット・タイマ・カウンタ・モード （カスケード接続モード）			×
キャリア・ジェネレータ・モード			×
PWM出力モード		×	×
PPG出力モード	×		
24ビット・イベント・カウンタ・モード （16ビット・タイマ20と接続）	×	×	

（1）8ビット・タイマ/イベント・カウンタを単体で使用するモード（単体モード）

次のような機能を使用できます。

<タイマ50>

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の方形波出力

<タイマ60, 61>

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の外部イベント・カウンタ
- ・8ビット分解能の方形波出力

（2）タイマ50とタイマ60をカスケード接続して使用するモード（16ビット分解能：カスケード接続）

カスケード接続することにより、16ビット・タイマ/イベント・カウンタとして動作します。

次のような機能を使用できます。

- ・16ビット分解能のインターバル・タイマ
- ・16ビット分解能の外部イベント・カウンタ
- ・16ビット分解能の方形波出力

（3）キャリア・ジェネレータ・モード

タイマ60で生成されるキャリア・クロックをタイマ50で設定した周期で出力します。

(4) PWM出力モード (PWM : Pulse Width Modulator)

設定した任意のデューティ比 (パルス幅) のパルスを出力します。周期は一定 (タイマのオーバフローの周期) になります (フリー・ランニング)。

(5) PPG出力モード (PPG : Programable Pulse Generator)

設定した任意の周期, 任意のデューティ比 (パルス幅) のパルスを出力します (周期, パルス幅ともにプログラマブル)。

(6) 24ビット・イベント・カウンタ・モード

16ビット・タイマ20とタイマ61を用いて, 24ビット分解能の外部イベント・カウンタとして動作します。ただし, カウンタ・リード機能のみで, 比較, 一致, クリアの機能はありません。

以下に設定方法を示します。

< 設定方法 >

16ビット・タイマ20のカウンタ・クロックにタイマ61の割り込み信号を選択 (TCL201 = 0, TCL200 = 0)

タイマ61を単体モードに設定 (TMD611 = 0)

タイマ61のカウンタ・クロックにTMI61端子から入力される外部クロックを選択

((TCL612 = 0, TCL611 = 1) または (TCL612 = 1, TCL611 = 0))

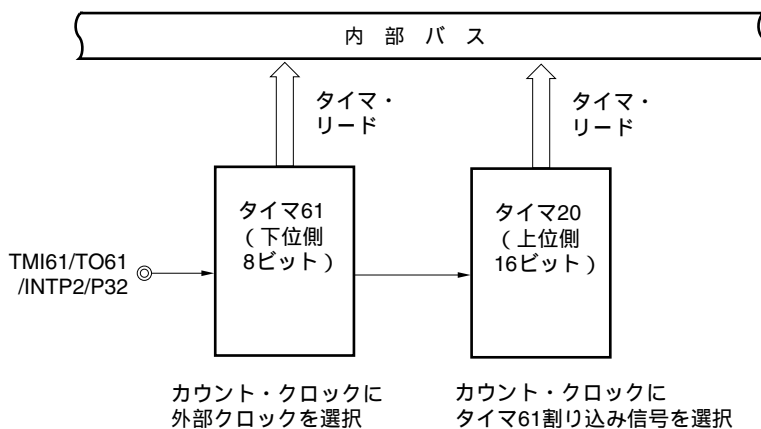
CR61に “FFH” を設定

16ビット・タイマ20の現在のカウンタ値をリード

(16ビット・タイマ20にはカウンタ・クリア機能がなく, 常にカウンタ動作しているため)

タイマ61のカウンタ動作許可 (TCE61 = 1)

図7 - 1 24ビット・イベント・カウンタのブロック図



7.2 8ビット・タイマ50, 60, 61の構成

8ビット・タイマ50, 60, 61は、次のハードウェアで構成しています。

表7 - 2 8ビット・タイマ50, 60, 61の構成

項 目	構 成
タイマ・カウンタ	8ビット×3本 (TM50, TM60, TM61)
レジスタ	コンペア・レジスタ : 8ビット×5本 (CR50, CR60, CRH60, CR61, CRH61)
タイマ出力	3本 (TO50, TO60, TO61)
制御レジスタ	8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) 8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60) キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60) 8ビット・タイマ・モード・コントロール・レジスタ61 (TMC61) ポート・モード・レジスタ3 (PM3) ポート3 (P3)

図7-2 タイマ50のブロック図

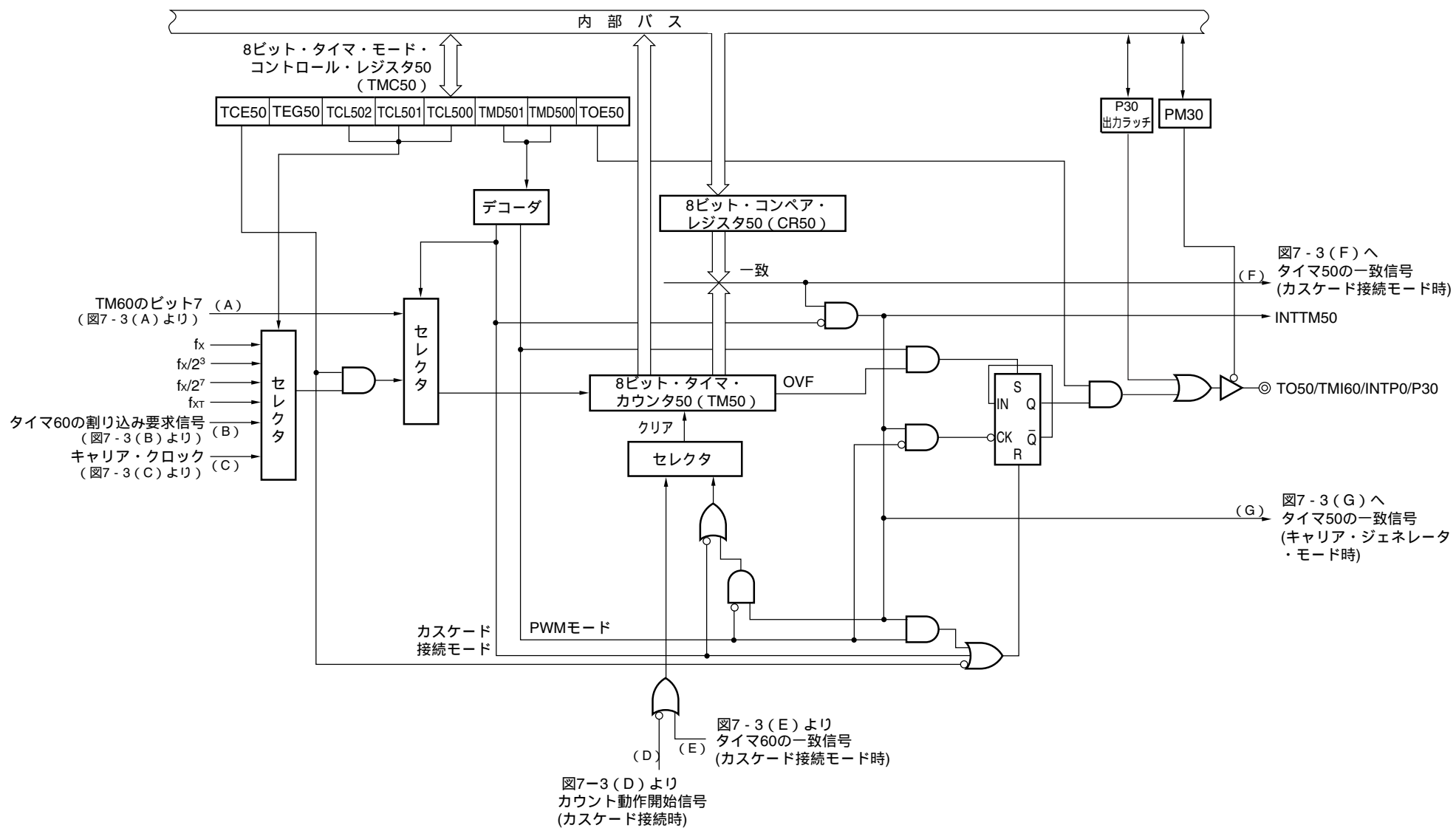


図7-3 タイマ60のブロック図

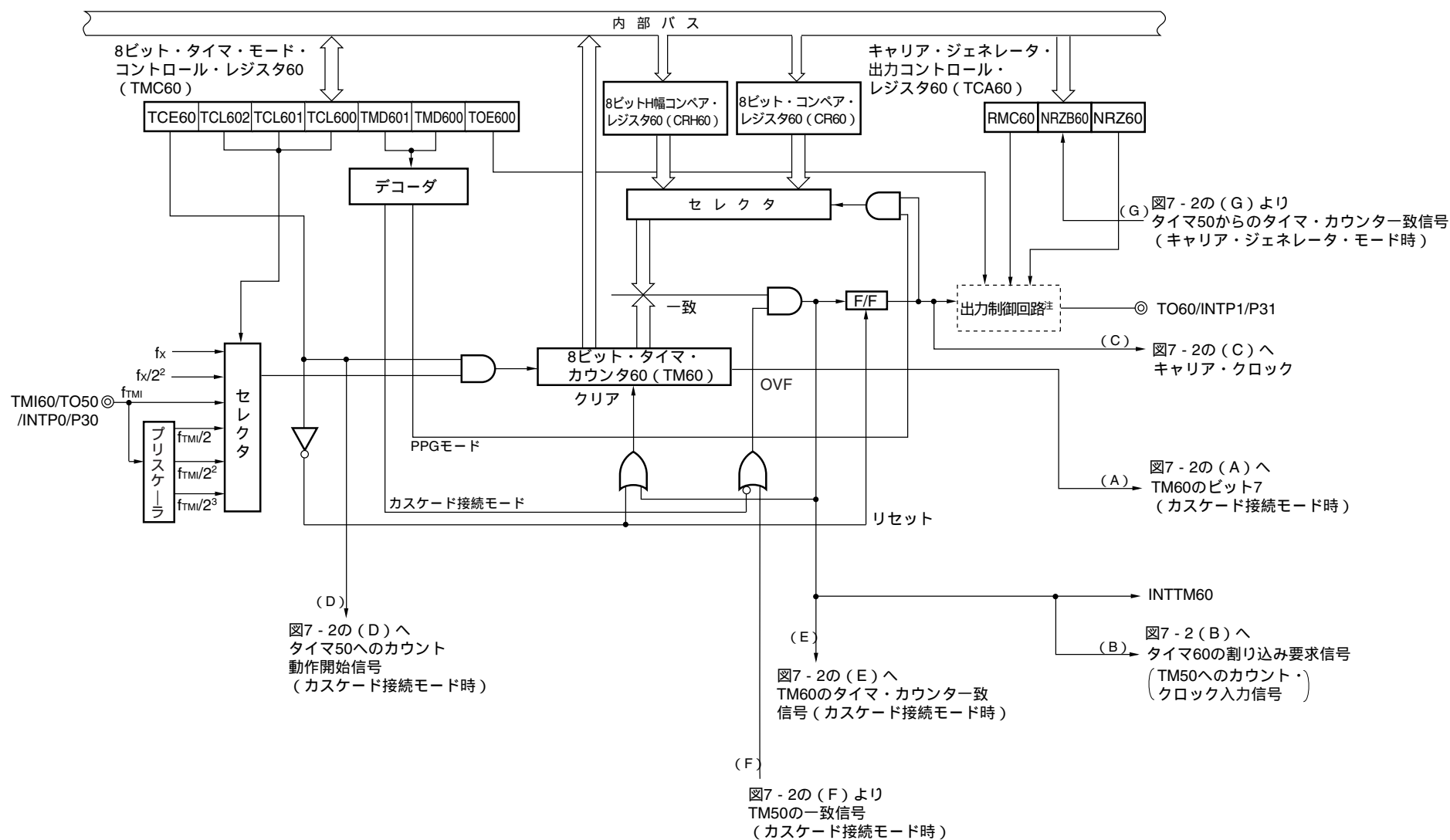


図7 - 4 タイマ61のブロック図

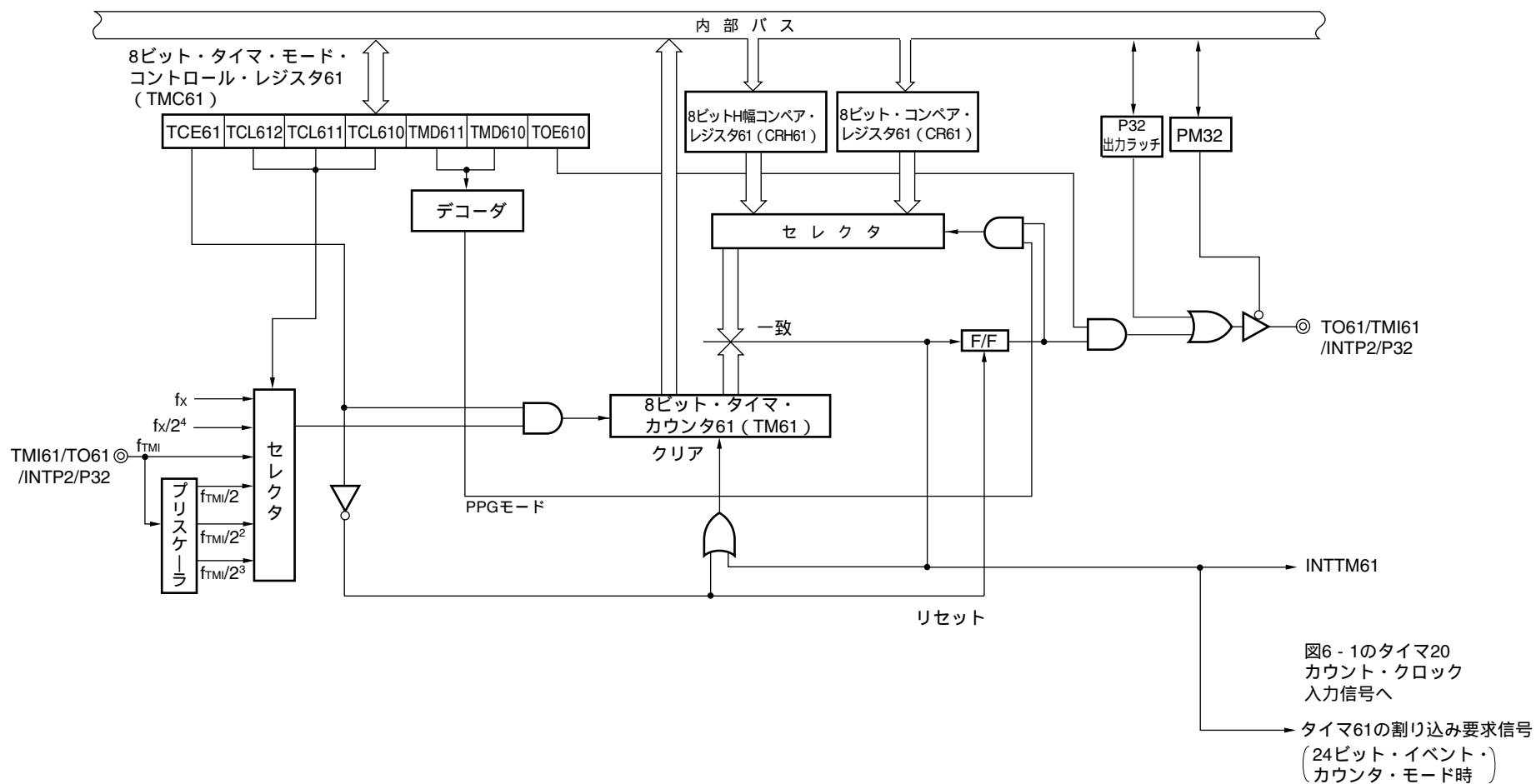
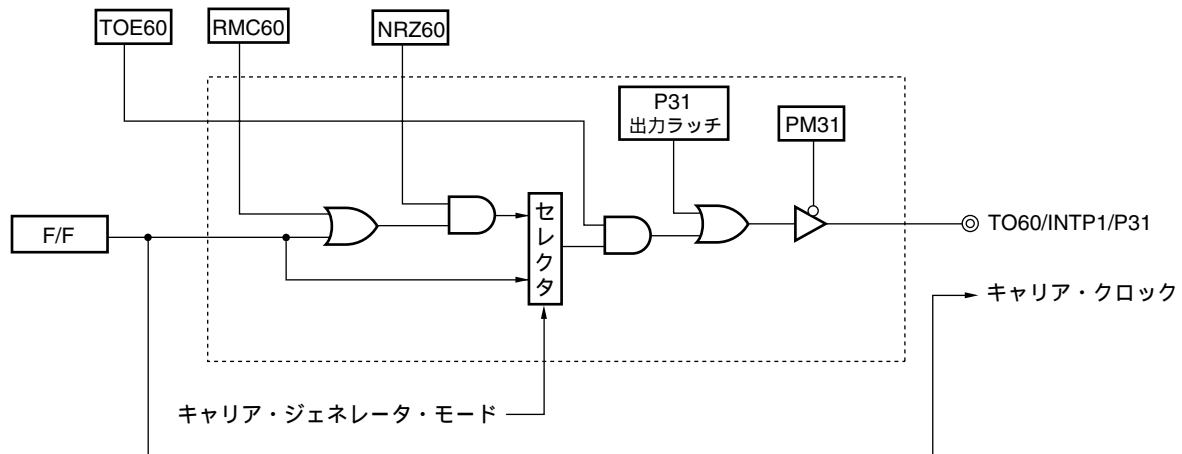


図7-5 出力制御回路(タイマ60)のブロック図



(1) 8ビット・コンペア・レジスタ50 (CR50)

CR50に設定した値と8ビット・タイマ・カウンタ50 (TM50) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM50) を発生する8ビットのレジスタです。PWMモード時はハイ・レベル幅設定用のレジスタになります。

CR50は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意1. PWM出力モード時 (TMD501 = 1, TMD500 = 0)、タイマ動作中にCR50を書き換えると、書き換えた直後の1周期の間はハイ・レベルが出力される場合があります。アプリケーション上、この波形が問題となる場合は、CR50を書き換える場合はタイマを停止する TOE50 をクリアした状態でCR50を書き換える のどちらかの処理をしてください。

2. PWM出力モード時、カウント・クロックの有効エッジを両エッジに選択した場合 (TEG50 = 1) CR50に00H, 01H, FFHを設定しないでください。また立ち上がりエッジを選択した場合 (TEG50 = 0) CR50に00Hを設定しないでください。

(2) 8ビット・コンペア・レジスタ60 (CR60)

CR60に設定した値と8ビット・タイマ・カウンタ60 (TM60) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM60) を発生する8ビットのレジスタです。また、TM50とカスケード接続して、16ビット・タイマ/イベント・カウンタとして使用する場合、CR50とTM50, CR60とTM60が同時に一致した場合のみ割り込み要求 (INTTM60) が発生します (INTTM50は発生しません)。

キャリア・ジェネレータ・モード時とPPG出力モード時は、タイマ出力のロウ・レベル幅を設定します。

CR60は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(3) 8ビット・コンペア・レジスタ61 (CR61)

CR61に設定した値と8ビット・タイマ・カウンタ61 (TM61) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM61) を発生する8ビットのレジスタです。

PPG出力モード時はロウ・レベル幅設定用のレジスタになります。

CR61は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

(4) 8ビットH幅コンペア・レジスタ60, 61 (CRH60, CRH61)

CRH6nに設定した値と8ビット・タイマ・カウンタ6n (TM6n) のカウント値を常に比較し、一致したときに割り込み要求 (INTTM6n) を発生する8ビットのレジスタです。

キャリア・ジェネレータ・モード時とPPG出力モード時に、CRH6nに値を書き込むことにより、タイマ出力のハイ・レベル幅を設定します。

CRH6nは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

備考 $n = 0, 1$

(5) 8ビット・タイマ・カウンタ50, 60, 61 (TM50, TM60, TM61)

カウント・パルスをカウントする8ビットのレジスタです。

TM50, TM60, TM61は、それぞれ8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、それぞれ00Hになります。

TM50, TM60, TM61が00Hにクリアされる条件を次に示します。

(a) 単体モード

- ・リセット
- ・TCEmn (8ビット・タイマ・モード・コントロール・レジスタmn (TMCmn) のビット7) を0にクリア
- ・TMmnとCRmnの一致
- ・TMmnのカウント値のオーバーフロー

備考 $mn = 50, 60, 61$

(b) カスケード接続モード (TM50, TM60同時に00Hにクリア)

- ・リセット
- ・TCE60フラグを0にクリア
- ・TM50とCR50およびTM60とCR60が同時に一致したとき
- ・TM50とTM60のカウント値が同時にオーバーフロー

(c) キャリア・ジェネレータ (TM60) , PPG出力モード (TM60, TM61)

- ・リセット
- ・TCE6nフラグを0にクリア
- ・TM6nとCR6nの一致
- ・TM6nとCRH6nの一致
- ・TM6nのカウント値のオーバーフロー

備考 $n = 0, 1$

(d) PWM出力モード (TM50)

- ・リセット
- ・TCE50フラグを0にクリア
- ・TM50のカウント値のオーバーフロー

7.3 8ビット・タイマ50, 60, 61を制御するレジスタ

8ビット・タイマ50, 60, 61は、次の6種類のレジスタで制御します。

- ・8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)
- ・8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60)
- ・キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60)
- ・8ビット・タイマ・モード・コントロール・レジスタ61 (TMC61)
- ・ポート・モード・レジスタ3 (PM3)
- ・ポート3 (P3)

(1) 8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50)

8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) は、タイマ50のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC50は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7-6 8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット (1/2)

略号			5	4	3	2	1	0	アドレス	リセット時	R/W
TMC50	TCE50	TEG50	TCL502	TCL501	TCL500	TMD501	TMD500	TOE50	FF4DH	00H	R/W

TCE50	TM50のカウント動作の制御 ^{注1}
0	TM50のカウント値をクリアし、動作停止
1	カウント動作開始

TEG50	TM50のカウント・クロックの有効エッジ選択
0	カウント・クロックの立ち上がりエッジでカウント
1	カウント・クロックの両エッジでカウント ^{注2}

TCL502	TCL501	TCL500	タイマ50のカウント・クロックの選択
0	0	0	f_x (5.0 MHz)
0	0	1	$f_x/2^3$ (625 kHz)
0	1	0	$f_x/2^7$ (39.1 kHz)
0	1	1	f_{XT} (32.768 kHz)
1	0	0	タイマ60一致信号 (INTTM60)
1	0	1	キャリア・クロック (キャリア・ジェネレータ・モード時) またはタイマ60出力信号 (キャリア・ジェネレータ・モード時以外)
上記以外			設定禁止

TMD501	TMD500	TMD601	TMD600	タイマ50の動作モードの選択 ^{注3}
0	0	x	0	単体モード (8ビット・カウンタ・モード)
0	1	0	1	16ビット・カウンタ・モード (カスケード接続モード)
0	0	1	1	キャリア・ジェネレータ・モード
1	0	x	0	PWM出力モード
上記以外				設定禁止

図7-6 8ビット・タイマ・モード・コントロール・レジスタ50のフォーマット(2/2)

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
TMC50	TCE50	TEG50	TCL502	TCL501	TCL500	TMD501	TMD500	TOE50	FF4DH 00H R/W

TOE50	タイマ出力の制御 ^{注4}
0	出力禁止
1	出力許可

- 注1. カスケード接続モード時ではTCE60 (TMC60のビット7) でカウント動作を制御するため、TCE50に設定しても無視されます。
2. 両エッジでの選択はPWMモード時のみ有効となります。8ビット・カウンタ・モード時またはカスケード接続モード時ではTEG50を“1”に設定しても立ち上がりエッジでカウントされます。
3. 動作モードの選択は、TMC50とTMC60の両方のレジスタを組み合わせて設定します。
4. カスケード接続モード時ではタイマ50出力は使用禁止なので、TOE50に“0”を設定してください。

注意1. カスケード接続モード時では、カウント・クロックは強制的にタイマ60出力信号が選択されます。

2. TMC50を操作する場合は必ず次の順序で設定してください。

TM50のカウント動作を停止に設定

動作モード、カウント・クロックを設定

カウント動作開始

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時または $f_{XT} = 32.768 \text{ kHz}$ 動作時

4. \times : Don't care

(2) 8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60)

8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60) は、タイマ60のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC60は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により00Hになります。

図7-7 8ビット・タイマ・モード・コントロール・レジスタ60のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
TMC60	TCE60	0	TCL602	TCL601	TCL600	TMD601	TMD600	TOE600	FF4EH	00H							R/W

TCE60	TM60のカウンタ動作の制御 ^{注1}
0	TM60のカウンタ値をクリアし、動作停止（カスケード接続モード時ではTM50も同時にカウンタ値をクリア）
1	カウンタ動作開始（カスケード接続モード時ではTM50も同時にカウンタ動作開始）

TCL602	TCL601	TCL600	タイマ60のカウンタ・クロックの選択
0	0	0	f_x (5.0 MHz)
0	0	1	$f_x/2^2$ (1.25 MHz)
0	1	0	f_{TMI}
0	1	1	$f_{TMI}/2$
1	0	0	$f_{TMI}/2^2$
1	0	1	$f_{TMI}/2^3$
上記以外			設定禁止

TMD501	TMD500	TMD601	TMD600	タイマ60の動作モードの選択 ^{注2}
x	0	0	0	単体モード（8ビット・カウンタ・モード）
0	1	0	1	16ビット・カウンタ・モード（カスケード接続モード）
0	0	1	1	キャリア・ジェネレータ・モード
x	0	1	0	PPG出力モード
上記以外				設定禁止

TOE600	タイマ出力の制御
0	出力禁止
1	出力許可

注1. カスケード接続モード時ではTCE60（TMC60のビット7）でカウンタ動作を制御するため、TCE50に設定しても無視されます。

2. 動作モードの選択は、TMC50とTMC60の両方のレジスタを組み合わせて設定します。

注意 TMC60を操作する場合は必ず次の順序で設定してください。

TM60のカウンタ動作を停止に設定

動作モード、カウンタ・クロックを設定

カウンタ動作開始

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は、 $f_x = 5.0$ MHz動作時

4. x : Don't care

(3) キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60)

キャリア・ジェネレータ・モード時においてタイマ出力データを設定するレジスタです。

TCA60は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図7-8 キャリア・ジェネレータ出力コントロール・レジスタ60のフォーマット

略号	7	6	5	4	3	0	アドレス	リセット時	R/W
TCA60	0	0	0	0	0	RMC60 NRZB60 NRZ60	FF4FH	00H	R/W ^注

RMC60	リモコン出力の制御
0	NRZ60 = 1のとき、TO60/INTP1/P31端子にキャリア・パルスを出力する (NRZ60 = 0のときは、TO60/INTP1/P31端子にロウ・レベルを出力する)
1	NRZ60 = 1のとき、TO60/INTP1/P31端子にハイ・レベルを出力する (NRZ60 = 0のときは、TO60/INTP1/P31端子にロウ・レベルを出力する)

NRZB60	次に出力するNRZ60のデータを格納するビット。タイマ50の一致信号発生時、NRZ60にデータを転送します。
--------	--

NRZ60	ノー・リターン・ゼロ・データ
0	ロウ・レベルを出力する(キャリア・クロックは停止)
1	キャリア・パルスまたはハイ・レベルを出力する

注 ビット0は、Write Onlyです。

- 注意1. カウント・スタート時には、NRZ60にはNRZB60からデータがリロードされるまでの値を入力しておいてください。NRZB60にはあらかじめプログラムによって必要なデータを入力しておいてください。
2. タイマ60が出力禁止になっているとき (TOE600 = 0)、TCA60は1ビット・メモリ操作命令禁止です(8ビット・メモリ操作命令のみ有効)。
3. タイマ60が出力許可になっているとき (TOE600 = 1)、NRZ60への書き込みは無効になります。ただしタイマ50割り込み信号 (INTTM50) がハイ・レベル期間中は、TCA60を書き換えるとNRZB60の値がただちにNRZ60に転送されてしまいます。TCA60を書き換える場合は、INTTM50の割り込み処理の中でTM50カウント・クロックの半クロック分ウエイトしたあとで行ってください。

(4) 8ビット・タイマ・モード・コントロール・レジスタ61 (TMC61)

8ビット・タイマ・モード・コントロール・レジスタ61 (TMC61) は、タイマ61のカウント・クロックの設定、および動作モードの設定を制御するレジスタです。

TMC61は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図7 - 9 8ビット・タイマ・モード・コントロール・レジスタ61のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
TMC61	TCE61	0	TCL612	TCL611	TCL610	TMD611	TMD610	TOE610	FF41H	00H							R/W

TCE61	TM61のカウント動作の制御
0	TM61のカウント値をクリアし、動作停止
1	カウント動作開始

TCL612	TCL611	TCL610	タイマ61のカウント・クロックの選択 ^注
0	0	0	f_x (5.0 MHz)
0	0	1	$f_x/2^4$ (313 kHz)
0	1	0	f_{TMI}
0	1	1	$f_{TMI}/2$
1	0	0	$f_{TMI}/2^2$
1	0	1	$f_{TMI}/2^3$
上記以外			設定禁止

TMD611	TMD610	タイマ61の動作モードの選択 ^注
0	0	単体モード (8ビット・カウンタ・モード)
1	0	PPG出力モード
上記以外		設定禁止

TOE610	タイマ出力の制御
0	出力禁止
1	出力許可

注 24ビット・イベント・カウンタ・モードに設定するときは、外部入力クロックかつ単体モードを選択してください。

注意 TMC61を操作する場合は必ず次の順序で設定してください。

タイマ61のカウント動作を停止に設定

動作モード、カウント・クロックを設定

カウント動作開始

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は、 $f_x = 5.0 \text{ MHz}$ 動作時

(5) ポート・モード・レジスタ3 (PM3)

ポート3の入力 / 出力を 1 ビット単位で設定するレジスタです。

P30/INTP0/TO50/TMI60端子をタイマ出力 (TO50) として使用するときはPM30およびP30の出力ラッチに0を設定してください。タイマ入力 (TMI60) として使用するときはPM30に1を設定してください。

P31/INTP1/TO60端子をタイマ出力 (TO60) として使用するときはPM31およびP31の出力ラッチに0を設定してください。

P32/INTP2/TMI61/TO61端子をタイマ入力(TMI61)として使用するときはPM32に1を設定してください。タイマ出力 (TO61) として使用するときはPM32およびP32の出力ラッチに0を設定してください。

PM3は , 1 ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により , FFHになります。

図7 - 10 ポート・モード・レジスタ3のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM3	1	1	1	PM34	PM33	PM32	PM31	PM30	FF23H	FFH	R/W

PM3n	P3n端子の入出力モード (n = 0-2)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

7.4 8ビット・タイマ50, 60, 61の動作

7.4.1 8ビット・タイマ・カウンタ・モードとしての動作

タイマ50, タイマ60, タイマ61はそれぞれ独立して8ビット・タイマ・カウンタ・モードとして使用できます。

8ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・8ビット分解能のインターバル・タイマ
- ・8ビット分解能の外部イベント・カウンタ (タイマ60, 61のみ)
- ・8ビット分解能の方形波出力

(1) 8ビット分解能のインターバル・タイマ

8ビット分解能のインターバル・タイマは、あらかじめ8ビット・コンペア・レジスタnm (CRnm) に設定したカウント値をインターバルとし、繰り返し割り込みを発生させることができます。

8ビット・タイマnmをインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタnm (TMnm) を動作禁止 (TCEnm = 0) に設定

タイマ50の場合, TO50のタイマ出力を禁止 (TOE50 = 0) に設定

タイマ60の場合, TO60のタイマ出力を禁止 (TOE600 = 0) に設定

タイマ61の場合, TO61のタイマ出力を禁止 (TOE610 = 0) に設定

CRnmにカウント値を設定

タイマnmの動作モードを8ビット・タイマ・カウンタ・モードに設定

(図7-6, 図7-7, 図7-9参照)

タイマnmのカウント・クロックを設定 (図7-6, 図7-7, 図7-9参照)

TMnmを動作許可 (TCEnm = 1) に設定

8ビット・タイマ・カウンタnm (TMnm) のカウント値がCRnmに設定した値と一致したとき, TMnmの値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTMnm) を発生します。

表7-3 ~ 表7-5にインターバル時間を, 図7-11 ~ 図7-16にインターバル・タイマ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

備考 nm = 50, 60, 61

表7 - 3 タイマ50のインターバル時間

TCL502	TCL501	TCL500	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^3/f_x$ (1.6 μ s)	$2^{11}/f_x$ (409.6 μ s)	$2^3/f_x$ (1.6 μ s)
0	1	0	$2^7/f_x$ (25.6 μ s)	$2^{15}/f_x$ (6.55 ms)	$2^7/f_x$ (25.6 μ s)
0	1	1	$1/f_{XT}$ (30.5 μ s)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
1	0	0	タイマ60一致信号の入力周期	タイマ60一致信号の入力周期 $\times 2^8$	タイマ60一致信号の入力周期
1	0	1	タイマ60出力の入力周期	タイマ60出力の入力周期 $\times 2^8$	タイマ60出力の入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は, $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

表7 - 4 タイマ60のインターバル時間

TCL602	TCL601	TCL600	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{10}/f_x$ (204 μ s)	$2^2/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は, $f_x = 5.0$ MHz動作時

表7 - 5 タイマ61のインターバル時間

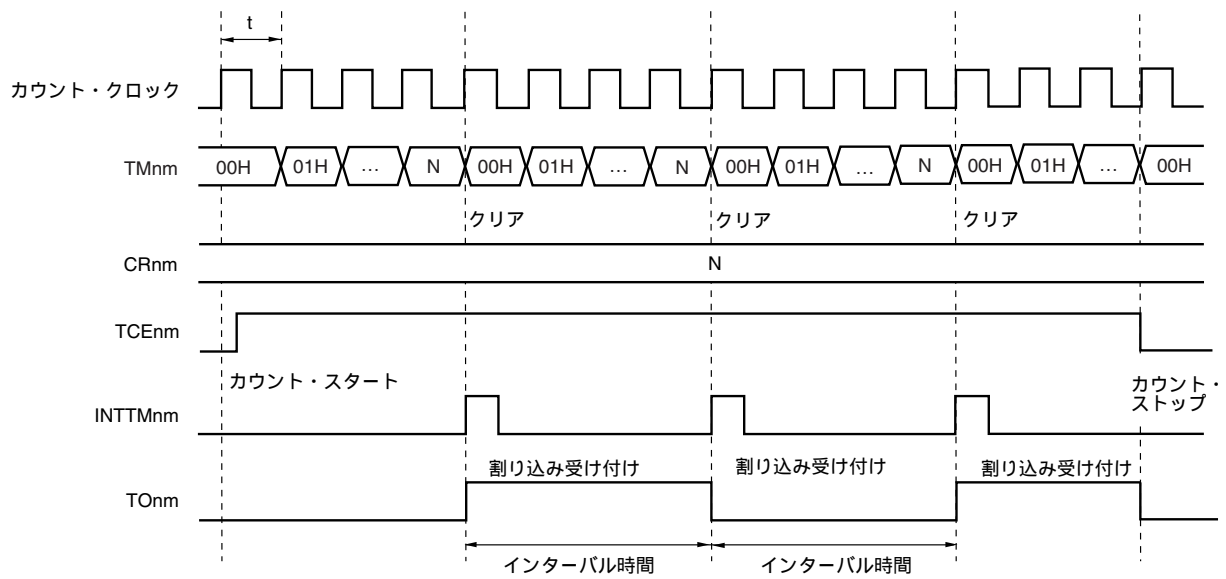
TCL612	TCL611	TCL610	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^4/f_x$ (3.2 μ s)	$2^{12}/f_x$ (819 μ s)	$2^4/f_x$ (3.2 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

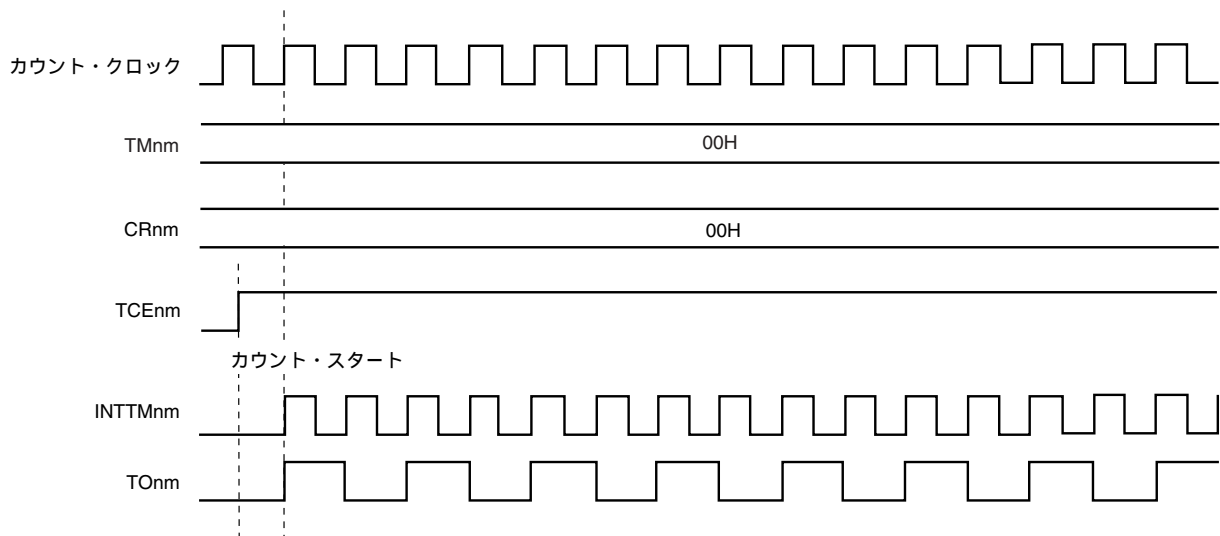
3. () 内は, $f_x = 5.0$ MHz動作時

図7 - 11 8ビット分解能のインターバル・タイマ動作のタイミング（基本動作）



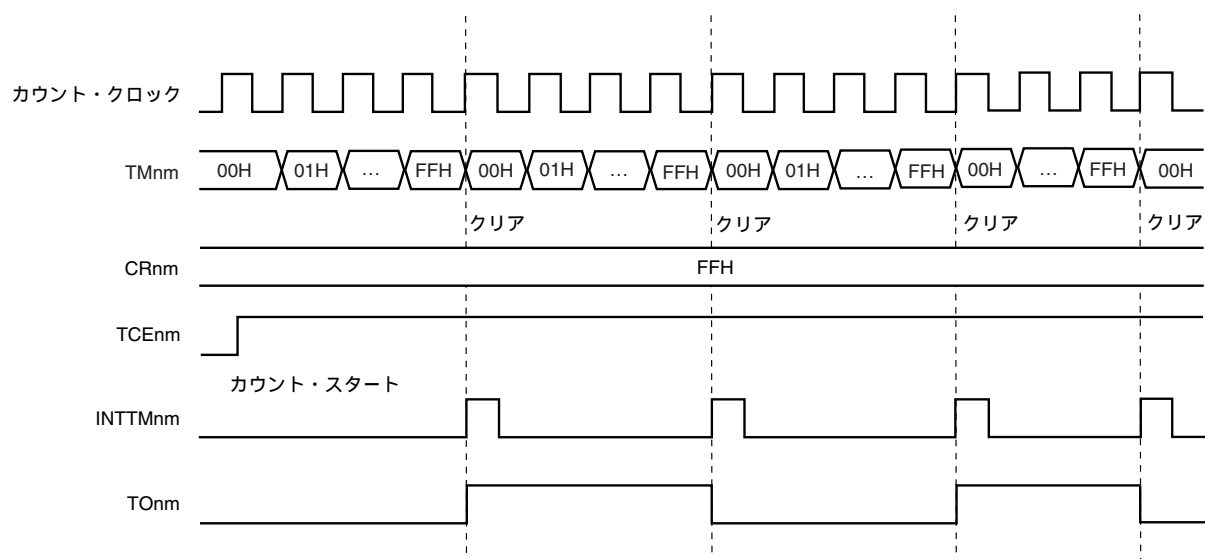
- 備考1. インターバル時間 = $(N + 1) \times t$: $N = 00H\text{--}FFH$
 2. $nm = 50, 60, 61$

図7 - 12 8ビット分解能のインターバル・タイマ動作のタイミング（CRnm = 00H設定時）



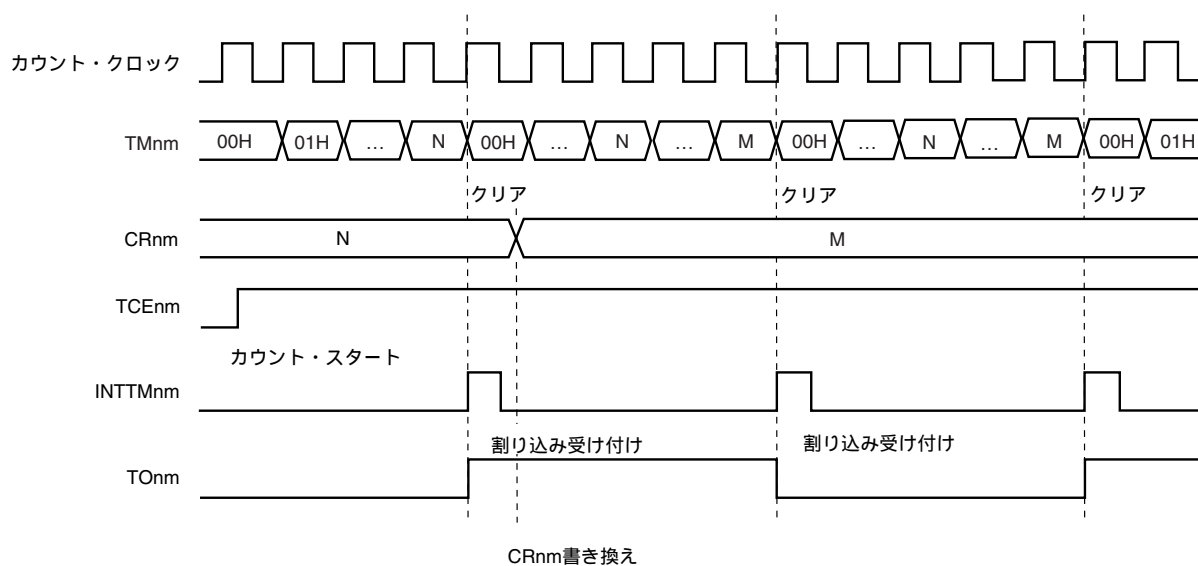
- 備考 $nm = 50, 60, 61$

図7 - 13 8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = FFH設定時)



備考 nm = 50, 60, 61

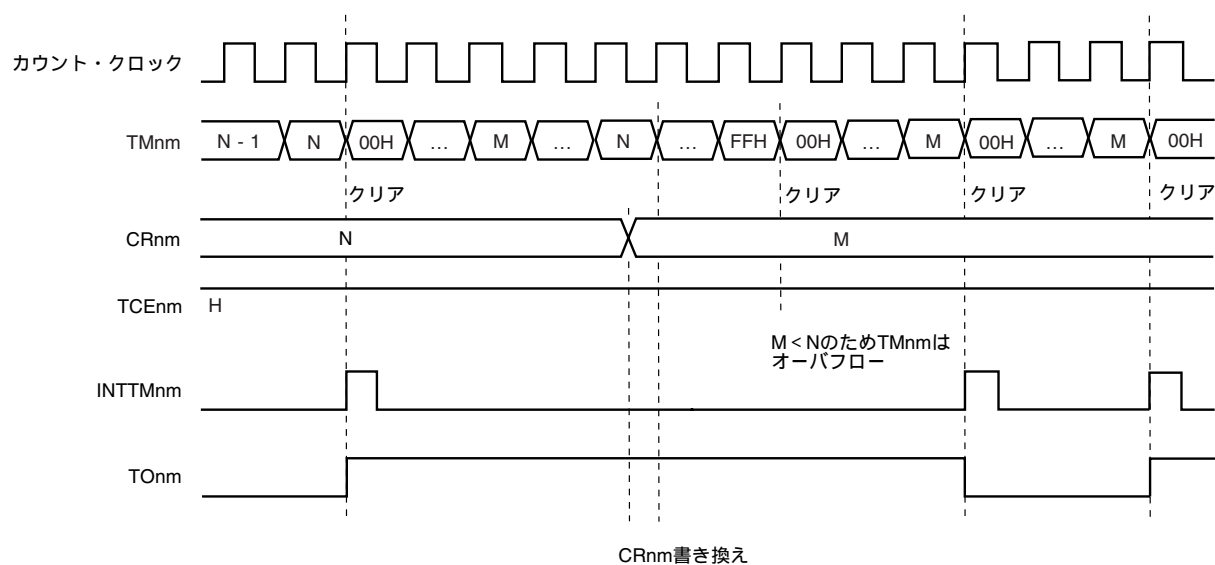
図7 - 14 8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = N M (N < M) 変更時)



備考 00H N < M FFH

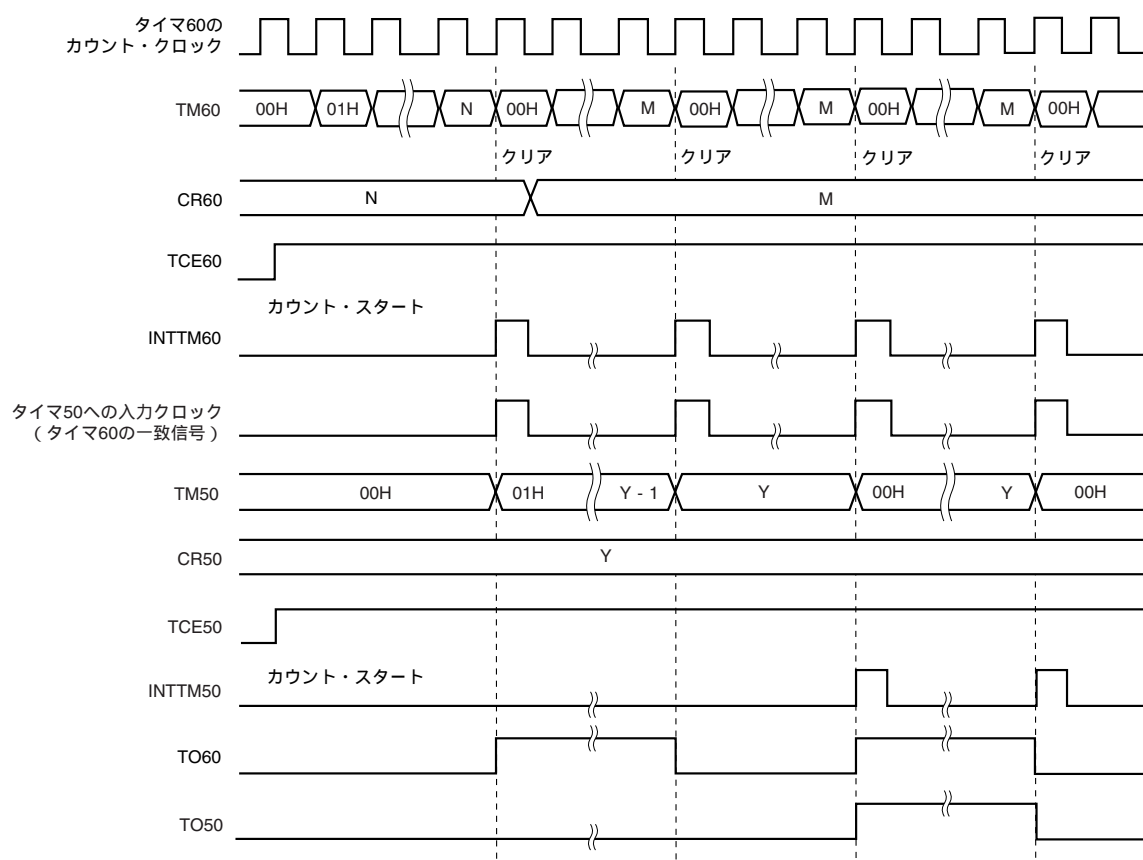
nm = 50, 60, 61

図7 - 15 8ビット分解能のインターバル・タイマ動作のタイミング (CRnm = N M (N > M) 変更時)



備考 00H M < N FFH

nm = 50, 60, 61

図7 - 16 8ビット分解能のインターバル・タイマ動作のタイミング
(タイマ50のカウント・クロックにタイマ60一致信号選択時)

備考 00H N < M FFH

Y = 00H-FFH

(2) 8ビット分解能の外部イベント・カウンタとしての動作 (タイマ60, 61のみ)

外部イベント・カウンタは, TMI6m端子に入力される外部からのクロック・パルス数を8ビット・タイマ・カウンタ6m (TM6m) でカウントするものです。

タイマ6mを外部イベント・カウンタとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ6m (TM6m) を動作禁止 (TCE6m = 0) に設定

TO6mのタイマ出力を禁止 (TOE6m0 = 0) に設定

タイマ60の場合, P30を入力モード (PM30 = 1) に設定

タイマ61の場合, P32を入力モード (PM32 = 1) に設定

タイマ6mの外部入力クロックを選択 (図7 - 7, 図7 - 9参照)

タイマ6mの動作モードを8ビット・タイマ・カウンタ・モードに設定 (図7 - 7, 図7 - 9参照)

CR6mにカウント値を設定

TM6mを動作許可 (TCE6m = 1) に設定

有効エッジが入力されるたびにTM6mがインクリメントされます。

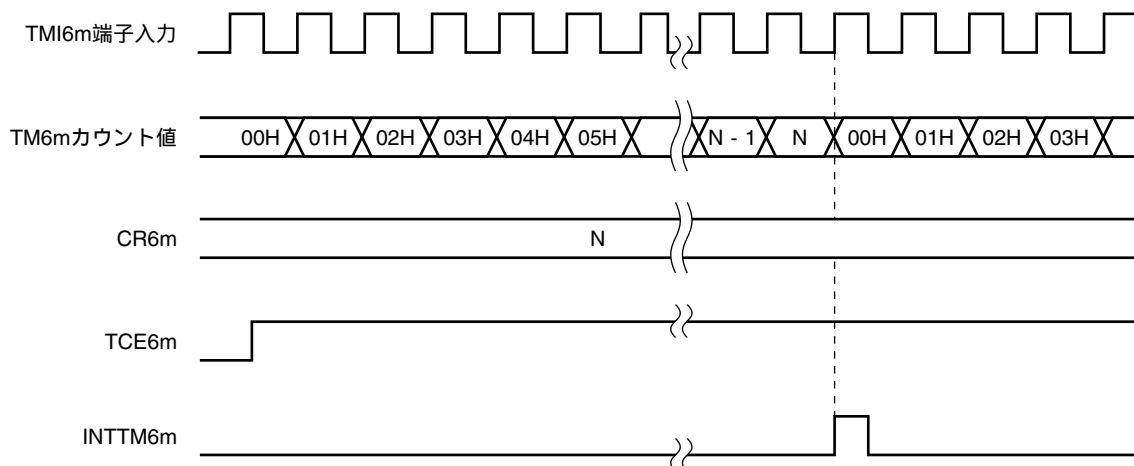
TM6mのカウント値がCR6mに設定した値と一致したとき, TM6mの値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM6m) を発生します。

図7 - 17に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

備考 m = 0, 1

図7 - 17 8ビット分解能の外部イベント・カウンタ動作のタイミング



備考 N = 00H-FFH

(3) 8ビット分解能の方形波出力としての動作

8ビット・コンペア・レジスタ nm (CR nm) にあらかじめ設定した値をインターバルとし、任意の周波数の方形波出力を発生させることができます。

タイマ nm を方形波出力として動作させるには次の設定をします。

タイマ50の場合、P30を出力モード (PM30 = 0) に設定し、P30の出力ラッチに0を設定
 タイマ60の場合、P31を出力モード (PM31 = 0) に設定し、P31の出力ラッチに0を設定
 タイマ61の場合、P32を出力モード (PM32 = 0) に設定し、P32の出力ラッチに0を設定
 タイマ・カウンタ nm (TM nm) を動作禁止 (TCEn m = 0) に設定
 タイマ nm のカウント・クロックを設定 (図7 - 6, 図7 - 7, 図7 - 9参照)
 タイマ50の場合、TO50のタイマ出力を出力許可 (TOE50 = 1) に設定
 タイマ60の場合、TO60のタイマ出力を出力許可 (TOE60 = 1) に設定
 タイマ61の場合、TO61のタイマ出力を出力許可 (TOE61 = 1) に設定
 CR nm にカウント値を設定
 TM nm を動作許可 (TCEn m = 1) に設定

TM nm のカウント値がCR nm に設定した値と一致したとき、TON m 端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また、このとき、TM nm の値は、00Hにクリアされてカウントを継続するとともに、割り込み要求信号 (INTTM nm) を発生します。

方形波出力は、TCEn m に0を設定するとクリア (0) されます。

表7 - 6 ~ 表7 - 8に方形波出力範囲を、図7 - 18に方形波出力のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は、必ずタイマ動作を停止させたのちに行ってください。

備考 $nm = 50, 60, 61$

表7 - 6 タイマ50の方形波出力範囲

TCL502	TCL501	TCL500	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^8/f_x$ (51.2 μ s)	$1/f_x$ (0.2 μ s)
0	0	1	$2^3/f_x$ (1.6 μ s)	$2^{11}/f_x$ (409.6 μ s)	$2^3/f_x$ (1.6 μ s)
0	1	0	$2^7/f_x$ (25.6 μ s)	$2^{15}/f_x$ (6.55 ms)	$2^7/f_x$ (25.6 μ s)
0	1	1	$1/f_{XT}$ (30.5 μ s)	$2^8/f_{XT}$ (7.81 ms)	$1/f_{XT}$ (30.5 μ s)
1	0	0	タイマ60一致信号の入力周期	タイマ60一致信号の入力周期 $\times 2^8$	タイマ60一致信号の入力周期
1	0	1	タイマ60出力の入力周期	タイマ60出力の入力周期 $\times 2^8$	タイマ60出力の入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は、 $f_x = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

表7 - 7 タイマ60の方形波出力範囲

TCL602	TCL601	TCL600	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x$ ($0.2 \mu s$)	$2^9/f_x$ ($51.2 \mu s$)	$1/f_x$ ($0.2 \mu s$)
0	0	1	$2^2/f_x$ ($0.8 \mu s$)	$2^{10}/f_x$ ($204 \mu s$)	$2^2/f_x$ ($0.8 \mu s$)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時

表7 - 8 タイマ61の方形波出力範囲

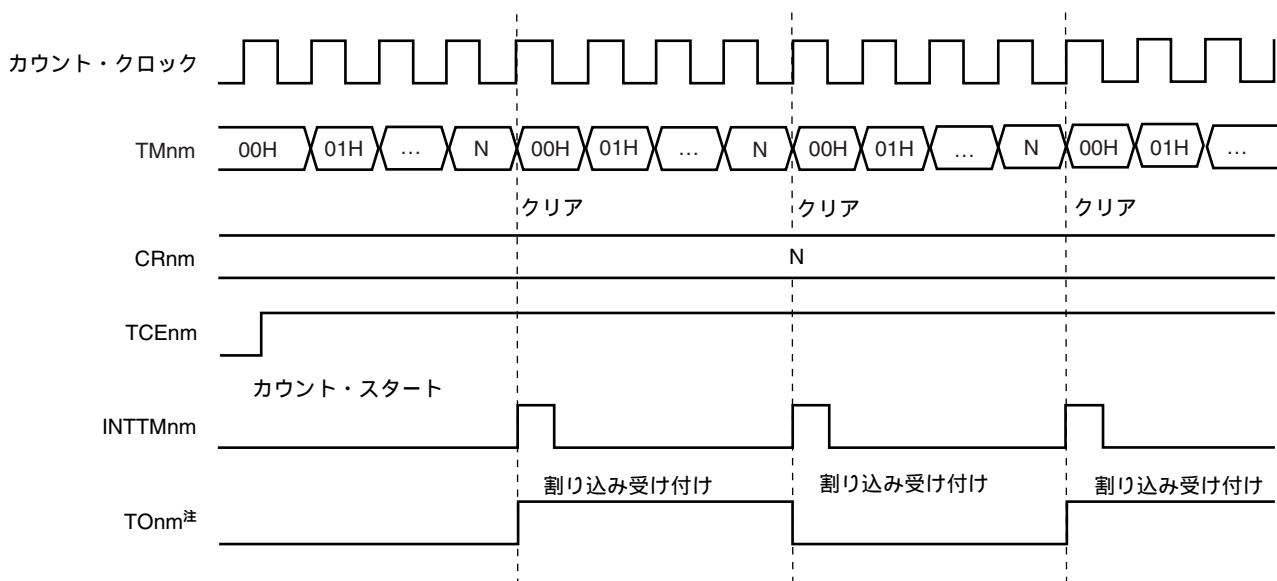
TCL612	TCL611	TCL610	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x$ ($0.2 \mu s$)	$2^9/f_x$ ($51.2 \mu s$)	$1/f_x$ ($0.2 \mu s$)
0	0	1	$2^4/f_x$ ($3.2 \mu s$)	$2^{12}/f_x$ ($819 \mu s$)	$2^4/f_x$ ($3.2 \mu s$)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^8$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^8$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^8$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^8$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は, $f_x = 5.0 \text{ MHz}$ 動作時

図7 - 18 8ビット分解能の方形波出力のタイミング



注 出力許可時のTOnmの初期値は, ロウ・レベルになります。

備考 N = 00H-FFH

nm = 50, 60, 61

7.4.2 16ビット・タイマ・カウンタ・モードとしての動作

タイマ50, タイマ60をカスケード接続し, 16ビット・タイマ・カウンタ・モードとして使用できます。

この場合, 8ビット・タイマ・カウンタ50 (TM50) が上位8ビット, 8ビット・タイマ・カウンタ60 (TM60) が下位8ビットとなり, リセットおよびクリアは8ビット・タイマ60で制御します。

16ビット・タイマ・カウンタ・モードでは次のような機能を使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

(1) 16ビット分解能のインターバル・タイマ

16ビット分解能のインターバル・タイマは, あらかじめ8ビット・コンペア・レジスタ50 (CR50) および8ビット・コンペア・レジスタ60 (CR60) に設定したカウント値をインターバルとし, 繰り返し割り込みを発生させることができます。

16ビット分解能のインターバル・タイマとして動作させるには次の設定をします。

8ビット・タイマ・カウンタ50 (TM50), 8ビット・タイマ・カウンタ60 (TM60) を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO60のタイマ出力を禁止 (TOE600 = 0) に設定

タイマ60のカウント・クロックを設定 (図7 - 7参照)

タイマ50, タイマ60の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7 - 6, 図7 - 7参照)

CR50, CR60にカウント値を設定

TM50, TM60を動作許可 (TCE60 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE60で制御します (TCE50の値は無効となります)。

TM50とTM60のカウント値がそれぞれCR50, CR60に設定した値と一致したとき, TM50, TM60の値を同時に00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM60) を発生します (INTTM50は発生しません)。

表7 - 9にインターバル時間を, 図7 - 19にインターバル・タイマ動作のタイミングを示します。

- 注意1.** カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。
2. 16ビット・タイマ・カウンタ・モード時, TO50は使用禁止になります。必ずTOE50 = 0に設定し, TO50を出力禁止にしてください。

表7 - 9 16ビット分解能でのインターバル時間

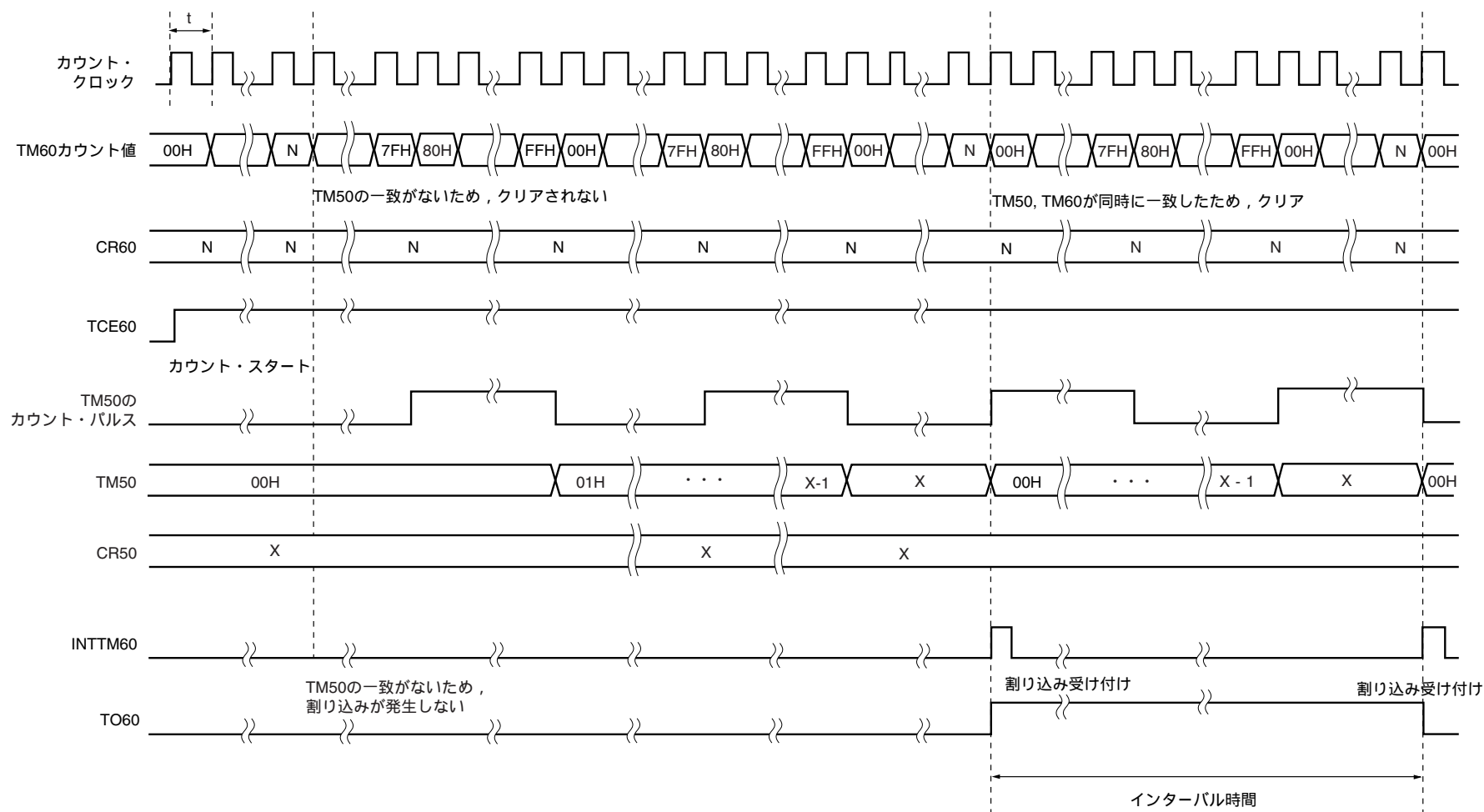
TCL602	TCL601	TCL600	最小インターバル時間	最大インターバル時間	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は, $f_x = 5.0$ MHz動作時

図7 - 19 16ビット分解能のインターバル・タイマ動作のタイミング



備考 インターバル時間 = $(256X + N + 1) \times t$: $X = 00H\text{--}FFH$, $N = 00H\text{--}FFH$

(2) 16ビット分解能の外部イベント・カウンタとしての動作

外部イベント・カウンタは、TMI60端子に入力される外部からのクロック・パルス数をTM50, TM60でカウントするものです。

16ビット分解能の外部イベント・カウンタとして動作させるには次の設定をします。

TM50, TM60を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO60のタイマ出力を禁止 (TOE600 = 0) に設定

P31を入力モード (PM31 = 1) に設定

タイマ60の外部入力クロックを選択 (図7 - 7参照)

タイマ50, タイマ60の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7 - 6, 図7 - 7参照)

CR50, CR60にカウント値を設定

TM50, TM60を動作許可 (TCE60 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE60で制御します (TCE50の値は無効となります)。

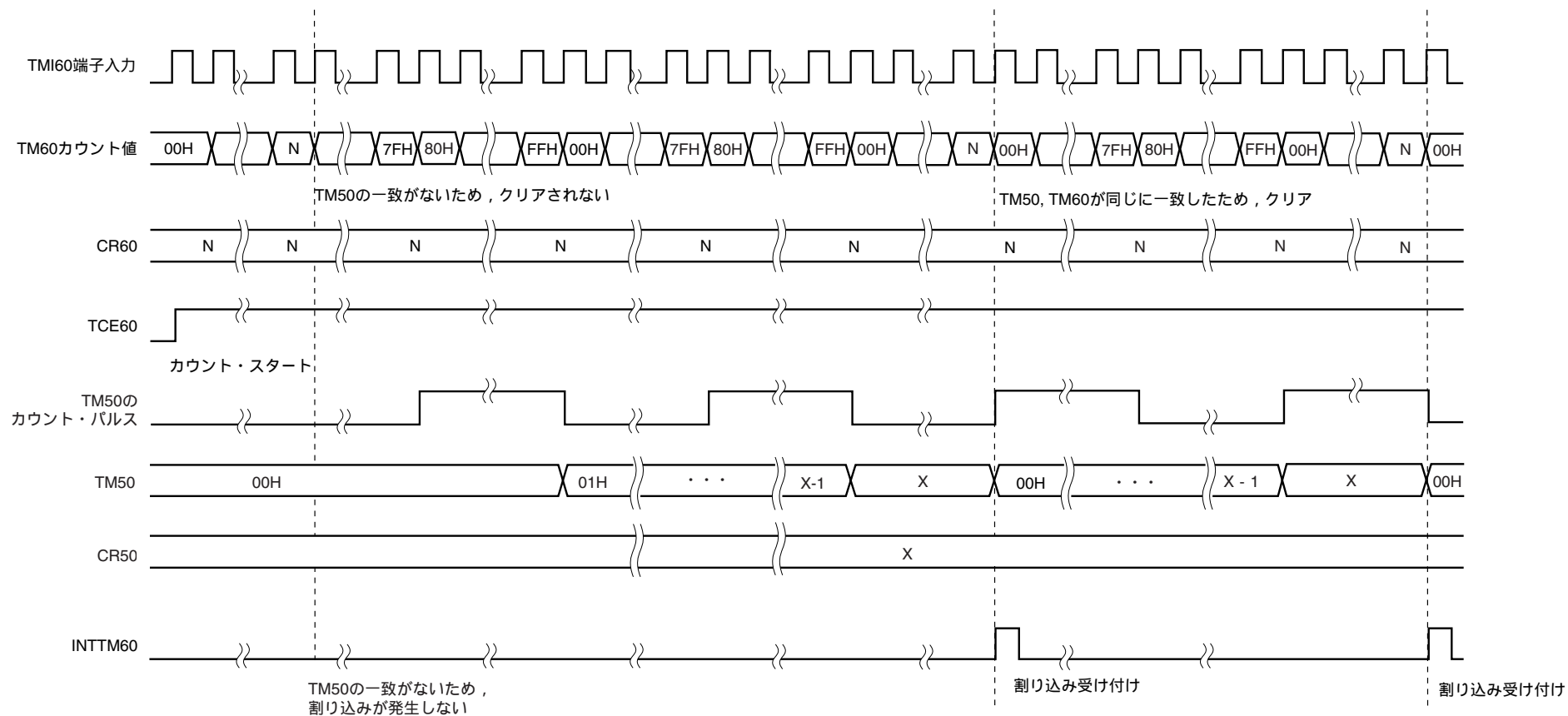
有効エッジが入力されるたびにTM50, TM60がインクリメントされます。

TM50, TM60のカウント値がそれぞれCR50, CR60に設定した値と同時に一致したとき, TM50, TM60の値を00Hにクリアしてカウントを継続するとともに, 割り込み要求信号 (INTTM60) を発生します (INTTM50は発生しません)。

図7 - 20に外部イベント・カウンタ動作のタイミングを示します。

注意 カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。

図7 - 20 16ビット分解能の外部イベント・カウンタ動作のタイミング



備考 X = 00H-FFH, N = 00H-FFH

(3) 16ビット分解能の方形波出力としての動作

CR50, CR60にあらかじめ設定した値をインターバルとし, 任意の周波数の方形波出力を発生させることができます。

16ビット分解能の方形波出力として動作させるには次の設定をします。

TM50, TM60を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO50, TO60を出力禁止 (TOE50 = 0, TOE600 = 0) に設定

タイマ60のカウント・クロックを設定 (図7 - 7参照)

P31を出力モード (PM31 = 0) , P31の出力ラッチに0を設定し, TO60を出力許可 (TOE600 = 1) に設定 (TO50は使用禁止)

タイマ50, タイマ60の動作モードを16ビット・タイマ・カウンタ・モードに設定 (図7 - 6, 図7 - 7参照)

CR50, CR60にカウント値を設定

TM60を動作許可 (TCE60 = 1^注) に設定

注 16ビット・タイマ・カウンタ・モード時のタイマのスタートおよびクリアはTCE60で制御します (TCE50の値は無効となります)。

TM50, TM60のカウント値がそれぞれCR50, CR60に設定した値と同時に一致したとき, TO60端子の出力状態が反転します。これにより任意の周波数の方形波出力が可能です。また, このとき, TM50, TM60の値は, それぞれ00Hにクリアされてカウントを継続するとともに, 割り込み要求信号 (INTTM60) を発生します (INTTM50は発生しません)。

方形波出力は, TCE60に0を設定するとクリア (0) されます。

表7 - 10に方形波出力範囲を, 図7 - 21に方形波出力のタイミングを示します。

- 注意1.** カウント・クロックを同一データ以外に書き換える場合は, 必ずタイマ動作を停止させたのちに行ってください。
2. 16ビット・タイマ・カウンタ・モード時, TO50は使用禁止になります。必ずTOE50 = 0に設定し, TO50を出力禁止にしてください。

表7 - 10 16ビット分解能の方形波出力範囲

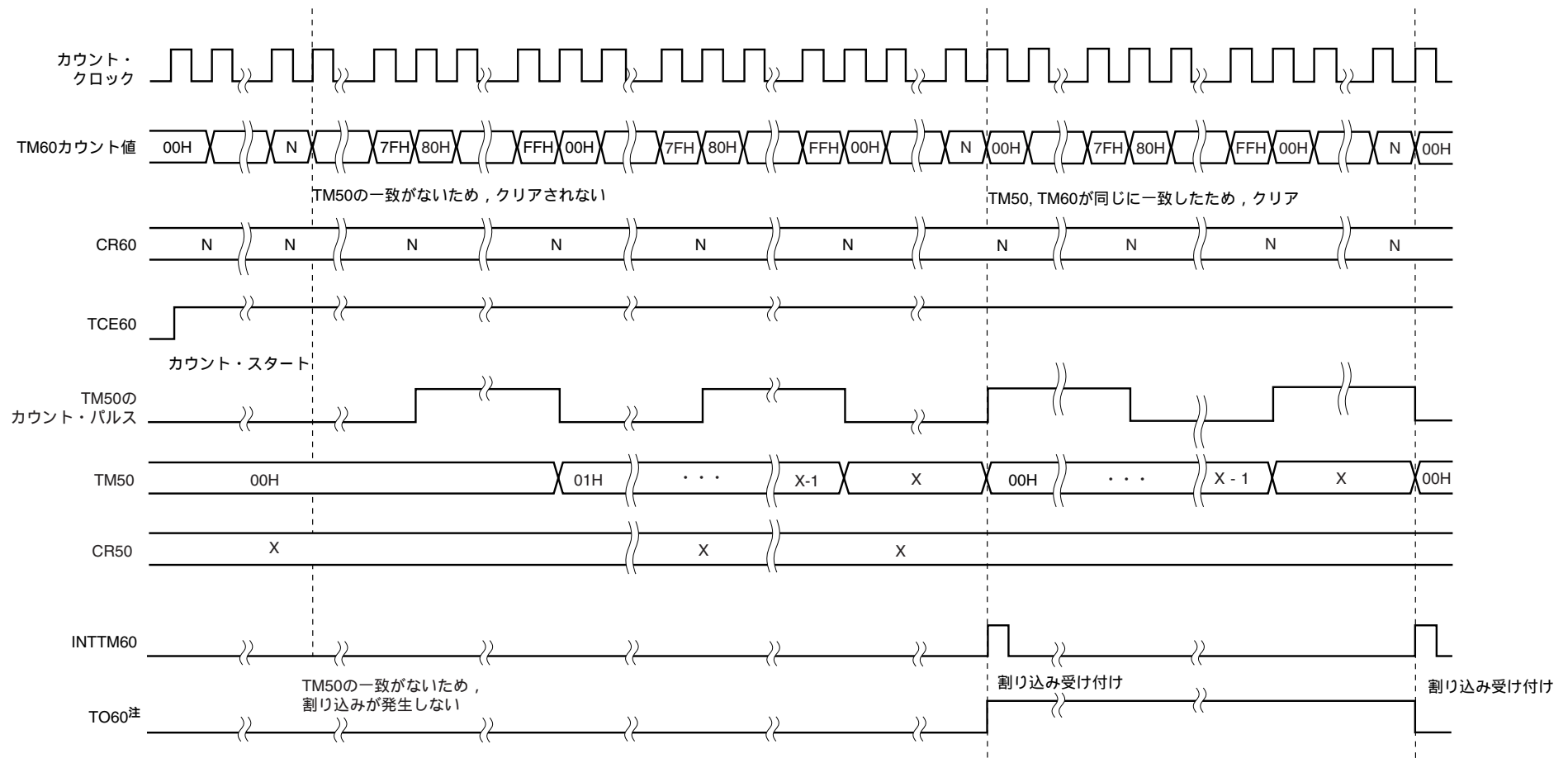
TCL602	TCL601	TCL600	最小パルス幅	最大パルス幅	分解能
0	0	0	$1/f_x$ (0.2 μ s)	$2^{16}/f_x$ (13.1 ms)	$1/f_x$ (0.2 μ s)
0	0	1	$2^2/f_x$ (0.8 μ s)	$2^{18}/f_x$ (52.4 ms)	$2^2/f_x$ (0.8 μ s)
0	1	0	f_{TMI} 入力周期	f_{TMI} 入力周期 $\times 2^{16}$	f_{TMI} 入力周期
0	1	1	$f_{TMI}/2$ 入力周期	$f_{TMI}/2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2$ 入力周期
1	0	0	$f_{TMI}/2^2$ 入力周期	$f_{TMI}/2^2$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^2$ 入力周期
1	0	1	$f_{TMI}/2^3$ 入力周期	$f_{TMI}/2^3$ 入力周期 $\times 2^{16}$	$f_{TMI}/2^3$ 入力周期

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{TMI} : 外部入力クロック周波数

3. () 内は, $f_x = 5.0$ MHz動作時

図7 - 21 16ビット分解能の方形波出力のタイミング



注 出力許可時のTO60の初期値は、ロウ・レベルになります。

備考 X = 00H-FFH, N = 00H-FFH

7.4.3 キャリア・ジェネレータとしての動作

TM60で生成される任意のキャリア・クロックをTM50に設定した周期で出力できます。

タイマ50, タイマ60をキャリア・ジェネレータとして動作させるには次の設定をします。

TM50, TM60を動作禁止 (TCE50 = 0, TCE60 = 0) に設定

TO50, TO60のタイマ出力を禁止に設定 (TOE50 = 0, TOE600 = 0)

CR50, CR60, CRH60にカウント値を設定

タイマ50, タイマ60の動作モードをキャリア・ジェネレータ・モードに設定 (図7-6, 図7-7参照)

タイマ50, タイマ60のカウント・クロックを設定

リモコン出力をキャリア・パルスに設定 (RMC60 (キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60) のビット2) = 0)

NRZB60 (TCA60のビット1) にプログラムによって必要な値を入力する。

NRZ60 (TCA60のビット0) にNRZB60からリロードするまでの値を入力する。

P31を出力モード (PM31 = 0), P31の出力ラッチに0を設定し, TOE600 = 1としてTO60の出力を許可する。

TM50, TM60を動作許可 (TCE50 = 1, TCE60 = 1) に設定

NRZB60の値がNRZ60に転送されたら, INTTM50が立ち下ってからNRZB60に次回のNRZ60の値を入力します。

の繰り返しにより, 希望するキャリア信号を生成します。

キャリア・ジェネレータの動作は次のようになります。

TM60のカウント値がCR60に設定した値と一致したとき, 割り込み要求信号 (INTTM60) が発生するとともにタイマ60の出力状態が反転します。これによりコンペア・レジスタがCR60 CRH60に切り替わります。

その後, TM60のカウント値がCRH60に設定した値と一致したとき, 割り込み要求信号 (INTTM60) が発生するとともにタイマ60の出力状態が再び反転します。これによりコンペア・レジスタがCRH60 CR60に切り替わります。

、の繰り返しにより, キャリア・クロックが生成されます。

TM50のカウント値がCR50に設定した値と一致したとき, 割り込み要求信号 (INTTM50) が発生します。このINTTM50の立ち上がりエッジがNRZB60のデータ・リロード信号となり, NRZ60へ転送されます。NRZ60が1のとき, キャリア・クロックがTO60端子より出力されます。

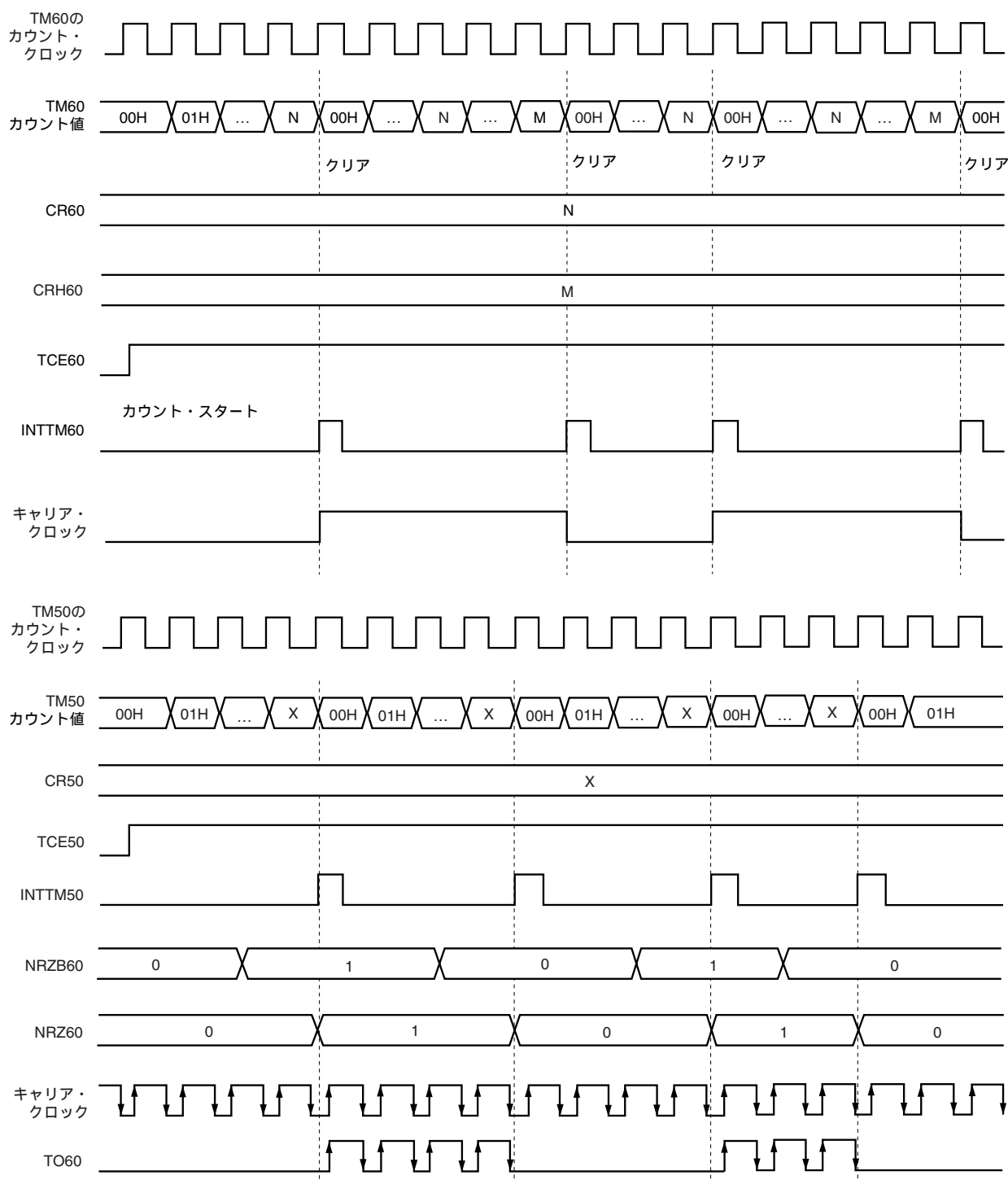
注意1. タイマ60が出力禁止になっているとき (TOE600 = 0) は, TCA60は1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令を使用してください。

2. キャリア・ジェネレータ動作をいったん停止し, その後再度キャリア・ジェネレータ動作にするとき, NRZB60は以前のデータを保持していませんので再設定してください。また, このときもタイマ60が出力禁止になっているとき (TOE600 = 0) は, 1ビット・メモリ操作命令は使用できません。必ず8ビット・メモリ操作命令で設定してください。

3. タイマ60が出力許可になっているとき (TOE600 = 1), NRZ60への書き込みは無効になります。ただしタイマ50割り込み信号 (INTTM50) がハイ・レベル期間中は, TCA60を書き換えるとNRZB60の値がただちにNRZ60に転送されてしまいます。TCA60を書き換える場合は, INTTM50の割り込み処理の中でTM50カウント・クロックの半クロック分ウェイトしたあとで行ってください。

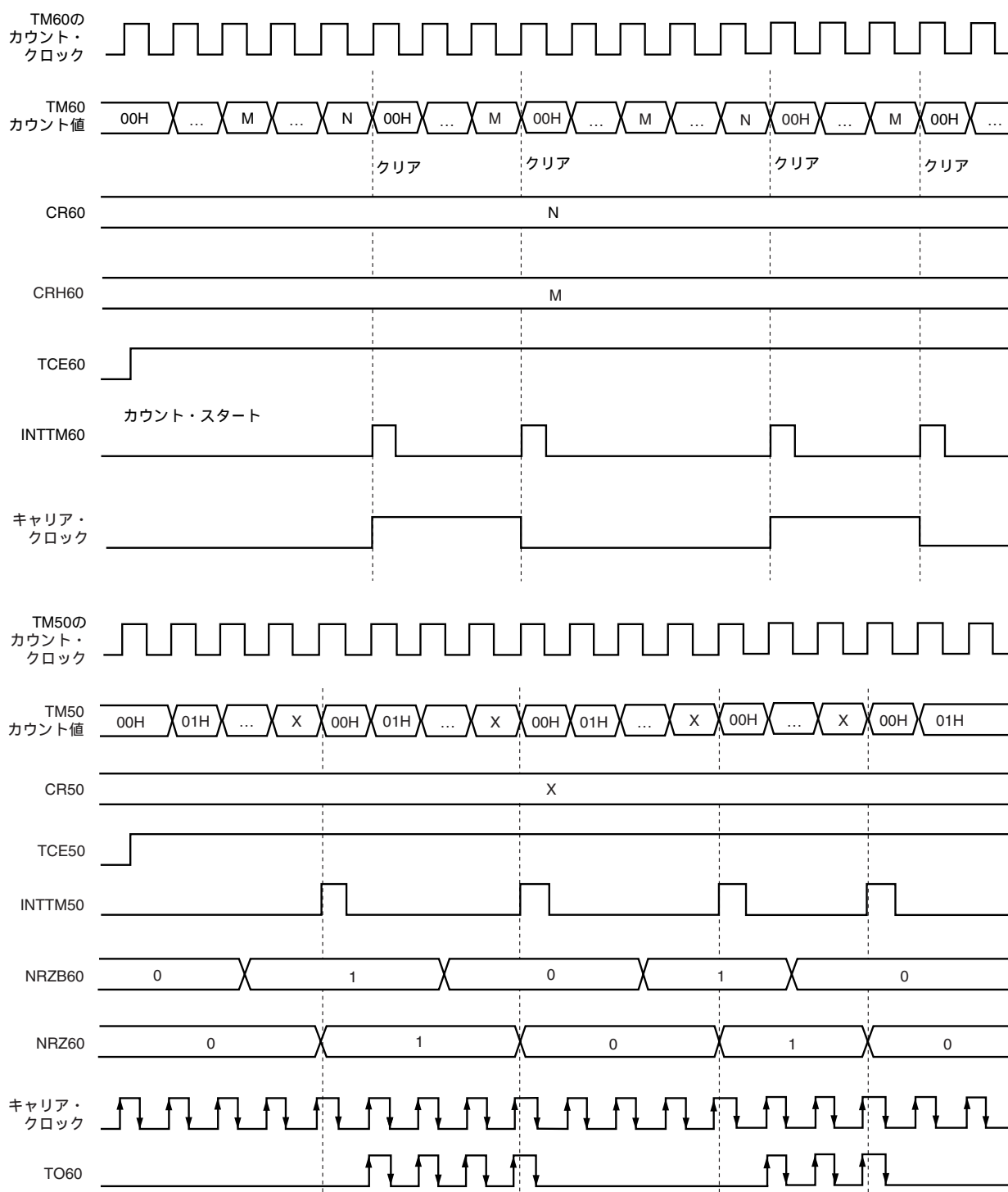
キャリア・ジェネレータの動作タイミングを図7 - 22～図7 - 24に示します。

図7 - 22 キャリア・ジェネレータの動作タイミング (CR60 = N, CRH60 = M (M > N) 設定時)



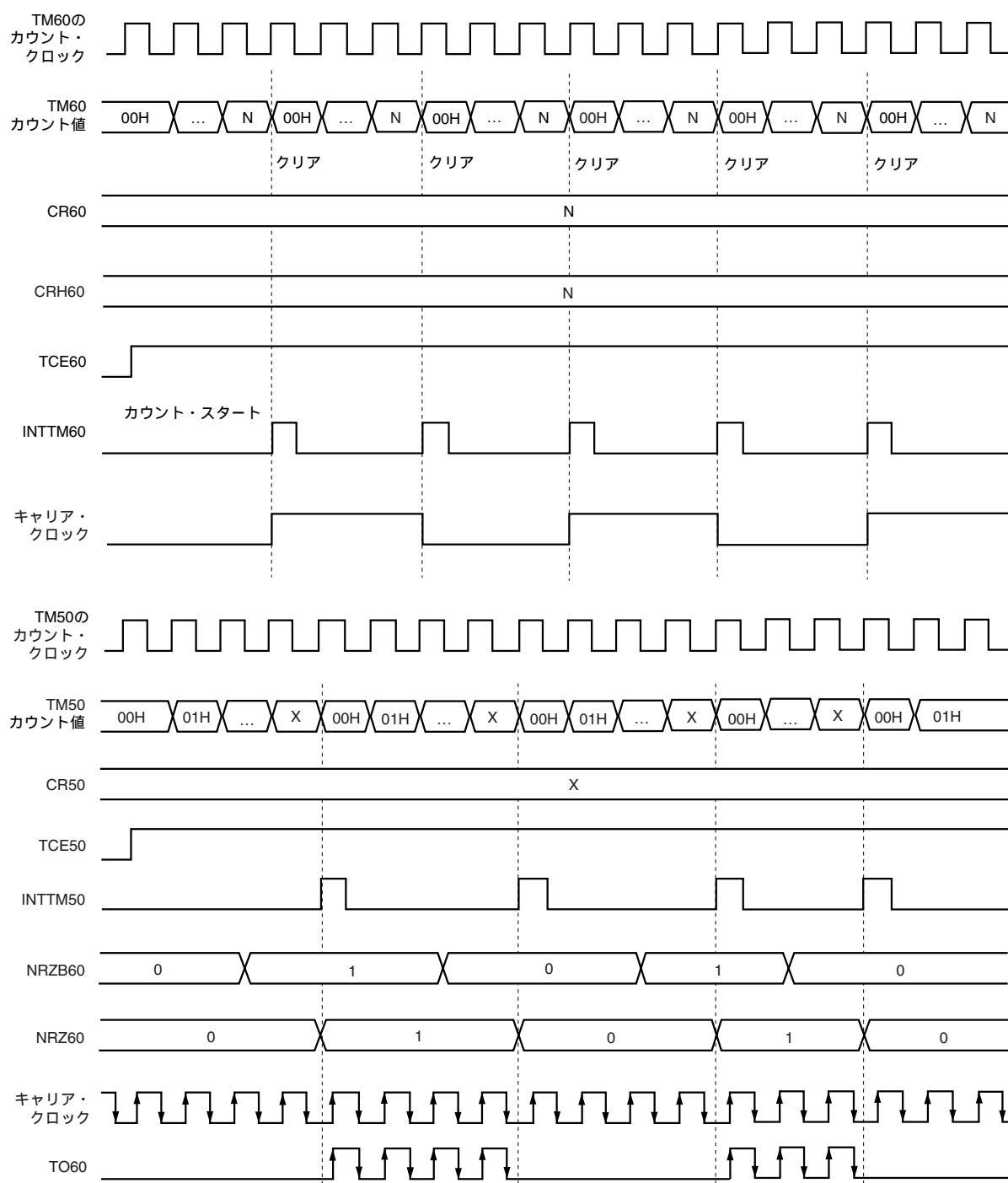
備考 00H N < M FFH, X = 00H-FFH

図7 - 23 キャリア・ジェネレータの動作タイミング (CR60 = N, CRH60 = M (M < N) 設定時)



備考 00H M < N FFH, X = 00H-FFH

図7-24 キャリア・ジェネレータの動作タイミング (CR60 = CRH60 = N設定時)



備考 N = 00H-FFH, X = 00H-FFH

7.4.4 PWM出力モードとしての動作（タイマ50）

PWM出力モードでは、TM50のオーバフローによりTO50がハイ・レベル、CR50とTM50の一致によりTO50がロウ・レベルになり、それにより任意のデューティ比のパルスを出力させることができます（フリー・ランニング）。

タイマ50をPWM出力モードとして動作させるには次の設定をします。

TM50を動作禁止（TCE50 = 0）に設定

TO50のタイマ出力を禁止（TOE50 = 0）に設定

CR50にカウント値を設定

タイマ50の動作モードをPWM出力モードに設定（図7 - 6参照）

タイマ50のカウント・クロックを設定

P30を出力モード（PM30 = 0）、P30の出力ラッチに0を設定し、TO50のタイマ出力を許可（TOE50 = 1）に設定

TM50を動作許可（TCE50 = 1）に設定

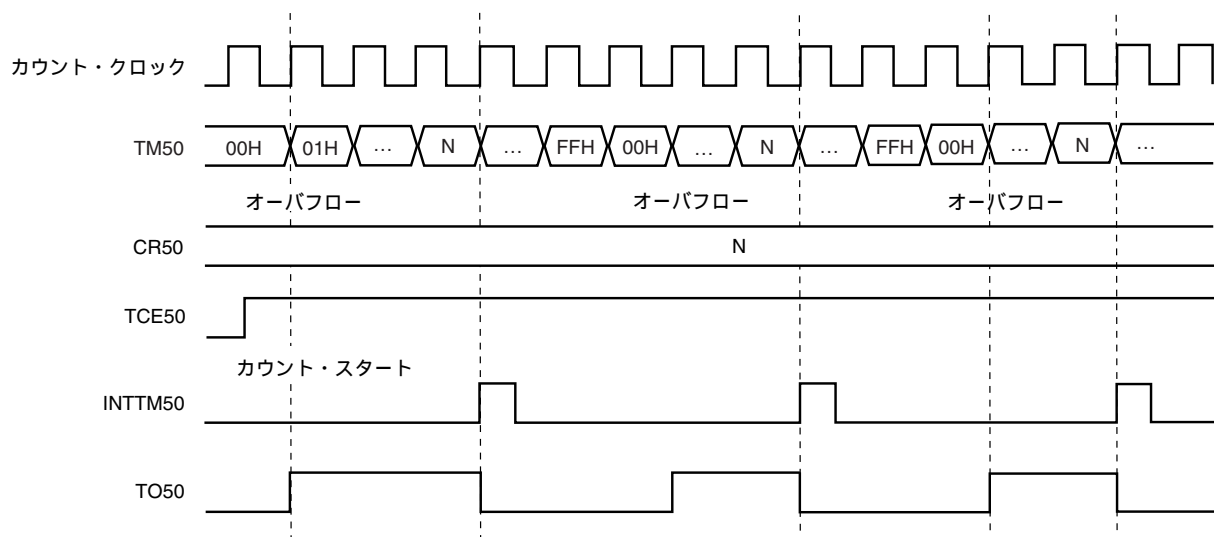
PWM出力モードの動作は次のようになります。

TM50のカウント値がCR50に設定した値と一致したとき、割り込み要求信号（INTTM50）が発生するとともにTO50よりロウ・レベルを出力します。TM50はクリアされずカウントを続けます。

TM50のオーバフローにより、TO50はハイ・レベルを出力します。

以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PWM出力モードの動作タイミングを図7 - 25～図7 - 28に示します。

図7 - 25 PWM出力モード動作時の動作タイミング（立ち上がりエッジ選択時）

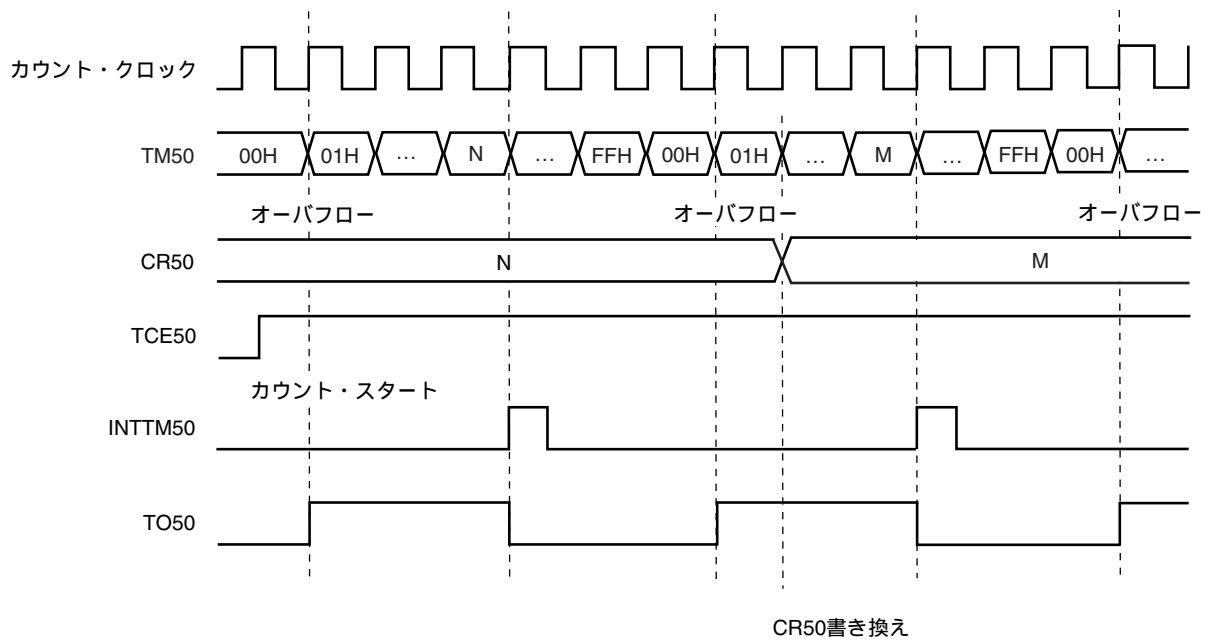


注意 立ち上がりエッジ選択時、CR50に00Hを設定しないでください。CR50に00Hを設定した場合、PWM出力が正常に発生しないことがあります。

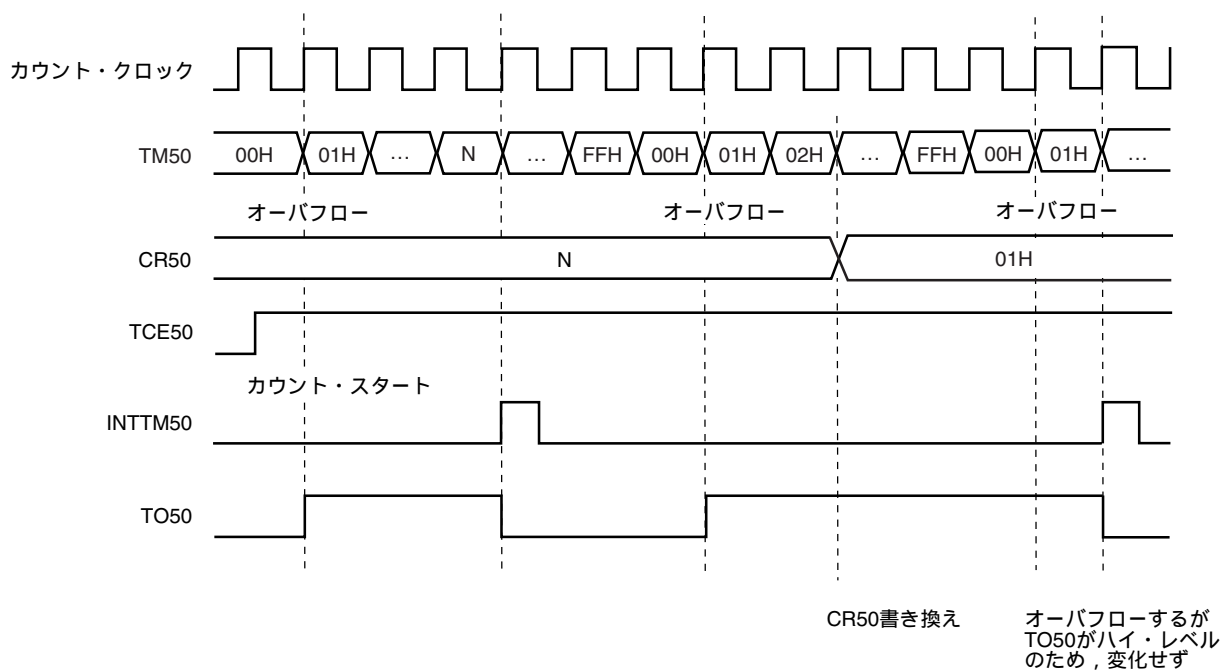
備考 N = 00H-FFH

図7 - 26 CR50書き換え時の動作タイミング（立ち上がりエッジ選択時）

(1) オーバフロー後、CR50 > TM50に値を設定した場合



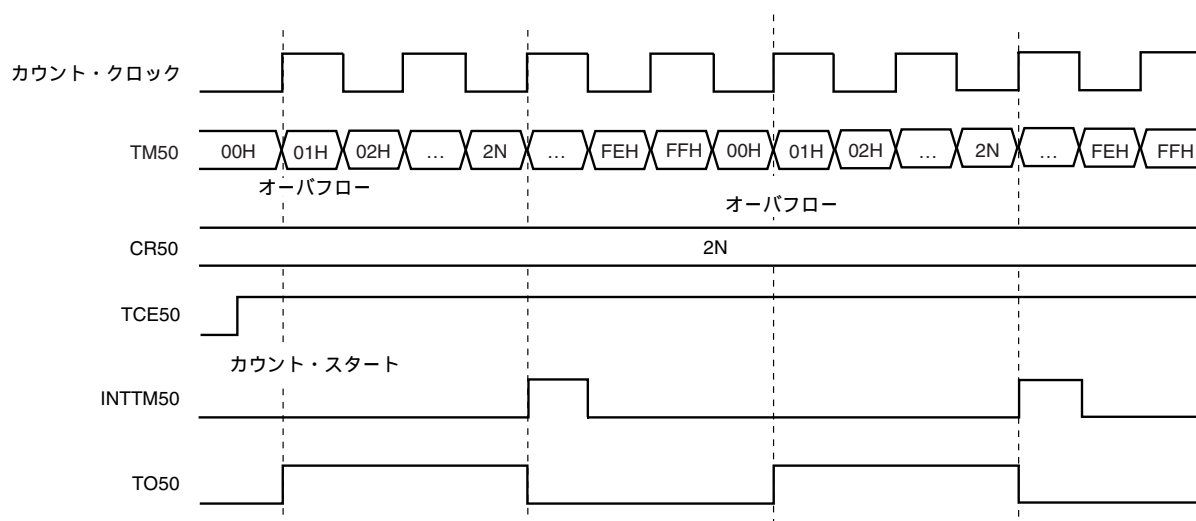
(2) オーバフロー後、CR50 < TM50に値を設定した場合



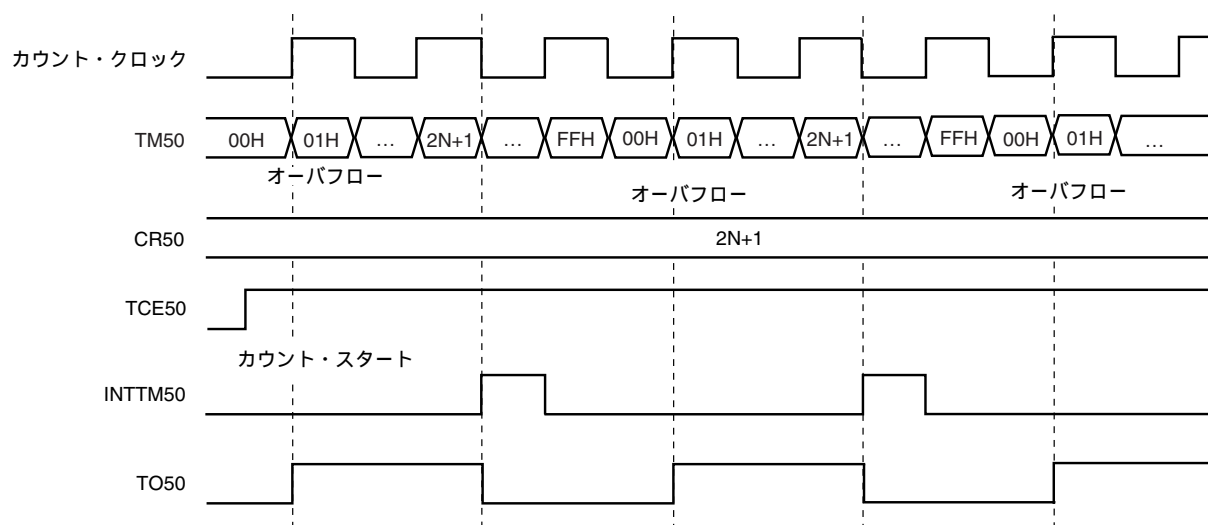
備考 N, M = 00H-FFH

図7-27 PWM出力モード動作時の動作タイミング（両エッジ選択時）

(1) CR50 = 偶数のとき



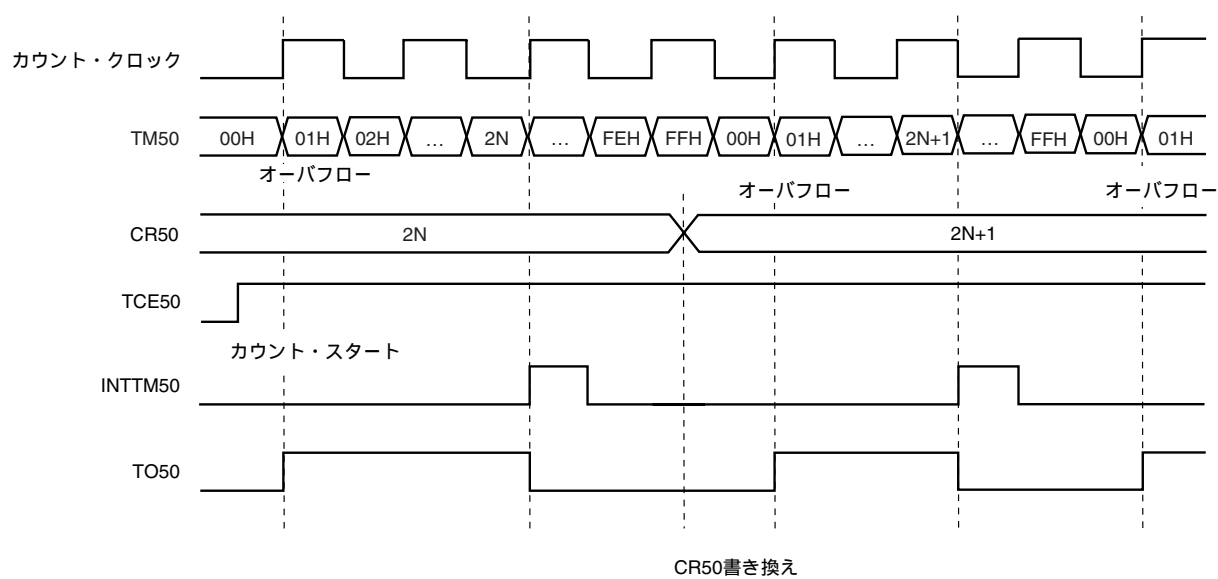
(2) CR50 = 奇数のとき



注意 両エッジ選択時、CR50に00H, 01H, FFHを設定しないでください。CR50にこれらの値を設定した場合、PWM出力が正常に発生しないことがあります。

備考 N = 00H-FFH

図7 - 28 PWM出力モード動作時の動作タイミング（両エッジ選択時）（CR50を書き換えた場合）



備考 N = 00H-FFH

7.4.5 PPG出力モードとしての動作（タイマ60, 61）

PPG出力モードでは、ロウ・レベル幅をCR6mで、ハイ・レベル幅をCRH6mで設定させることにより、任意のデューティ比のパルスを出力させることができます。

タイマ6mをPPG出力モードとして動作させるには次の設定をします。

TM6mを動作禁止（TCE6m = 0）に設定

TO6mのタイマ出力を禁止（TOE6m0 = 0）に設定

CR6m, CRH6mにカウント値を設定

タイマ6mの動作モードをPPG出力モードに設定（図7 - 7, 図7 - 9参照）

タイマ6mのカウント・クロックを設定

タイマ60の場合、P31を出力モード（PM31 = 0）、P31の出力ラッチに0を設定

タイマ61の場合、P32を出力モード（PM32 = 0）、P32の出力ラッチに0を設定

TO6mのタイマ出力を許可（TOE6m0 = 1）に設定

TM6mを動作許可（TCE6m = 1）に設定

PPG出力モードの動作は次のようになります。

TM6mのカウント値がCR6mに設定した値と一致したとき、割り込み要求信号（INTTM6m）が発生するとともにタイマ6mの出力状態が反転します。これによりコンペア・レジスタがCR6m CRH6mに切り替わります。

TM6mとCR6mの一致により、TM6mの値が00Hにクリアされ、再びカウントを開始します。

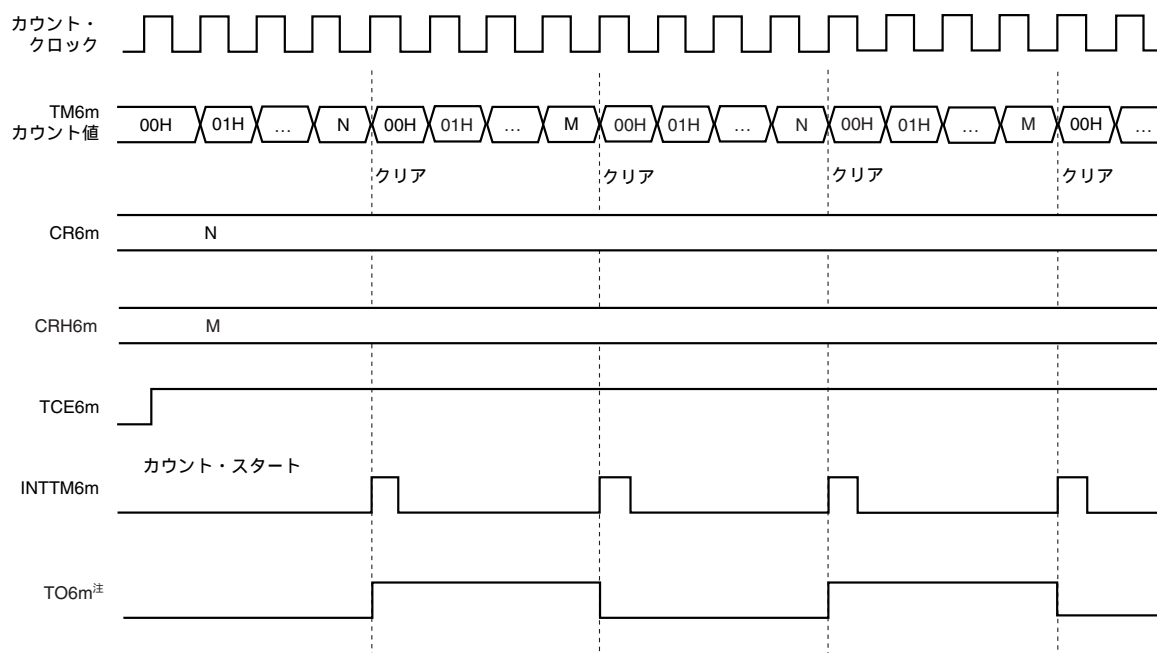
その後、TM6mのカウント値がCRH6mに設定した値と一致したとき、割り込み要求信号（INTTM6m）が発生するとともにタイマ6mの出力状態が再び反転します。これによりコンペア・レジスタがCRH6m CR6mに切り替わります。

TM6mとCRH6mの一致により、TM6mの値が00Hにクリアされ、再びカウントを開始します。

以上の繰り返しにより、任意のデューティ比のパルスを出力させます。PPG出力モードの動作タイミングを図7 - 29, 図7 - 30に示します。

備考 m = 0, 1

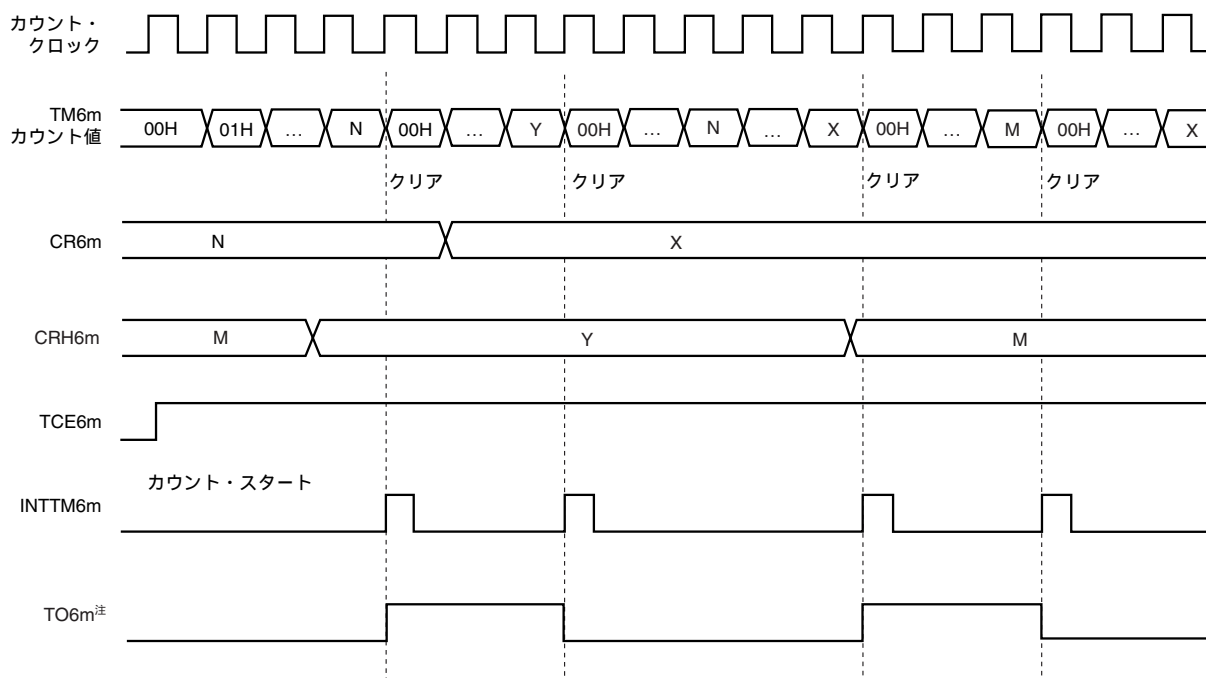
図7 - 29 PPG出力モードのタイミング（基本動作）



注 出力許可 (TOE6m0 = 1) 時のTO6mの初期値は、ロウ・レベルになります。

備考 N, M = 00H-FFH
m = 0, 1

図7 - 30 PPG出力モードのタイミング（CR6m, CRH6mを書き換えた場合）



注 出力許可 (TOE6m0 = 1) 時のTO6mの初期値は、ロウ・レベルになります。

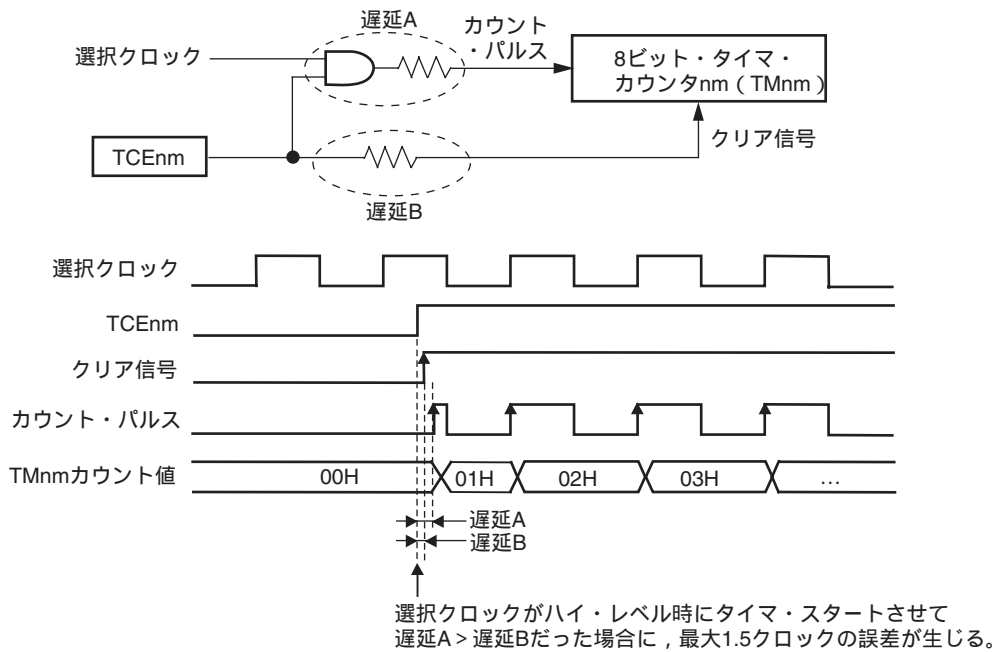
備考 N, M, X, Y = 00H-FFH
m = 0, 1

7.5 8ビット・タイマ50, 60, 61の注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後，一致信号が発生するまでの時間は，最大で1.5クロック分の誤差が生じます。これは，カウント・クロックがハイ・レベルのときにタイマ・スタートすると，その瞬間に立ち上がりエッジが検出され，カウンタがインクリメントされてしまうことがあるためです。（図7 - 31参照）

図7 - 31 1.5クロック（最大）の誤差が出るケース



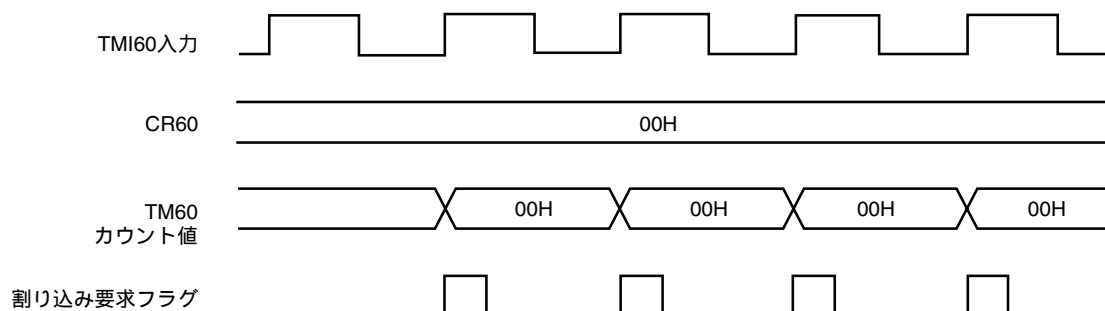
備考 nm = 50, 60, 61

(2) 8ビット・コンペア・レジスタ_{nm}の設定

8ビット・コンペア・レジスタ_{nm} (CR_{nm}) には，00Hの設定が可能です。
したがって，イベント・カウンタとして使用时，1パルスのカウント動作が可能です。

備考 nm = 50, 60, 61

図7 - 32 外部イベント・カウンタとしての動作時のタイミング（8ビット分解能時）



第8章 時計用タイマ

8.1 時計用タイマの機能

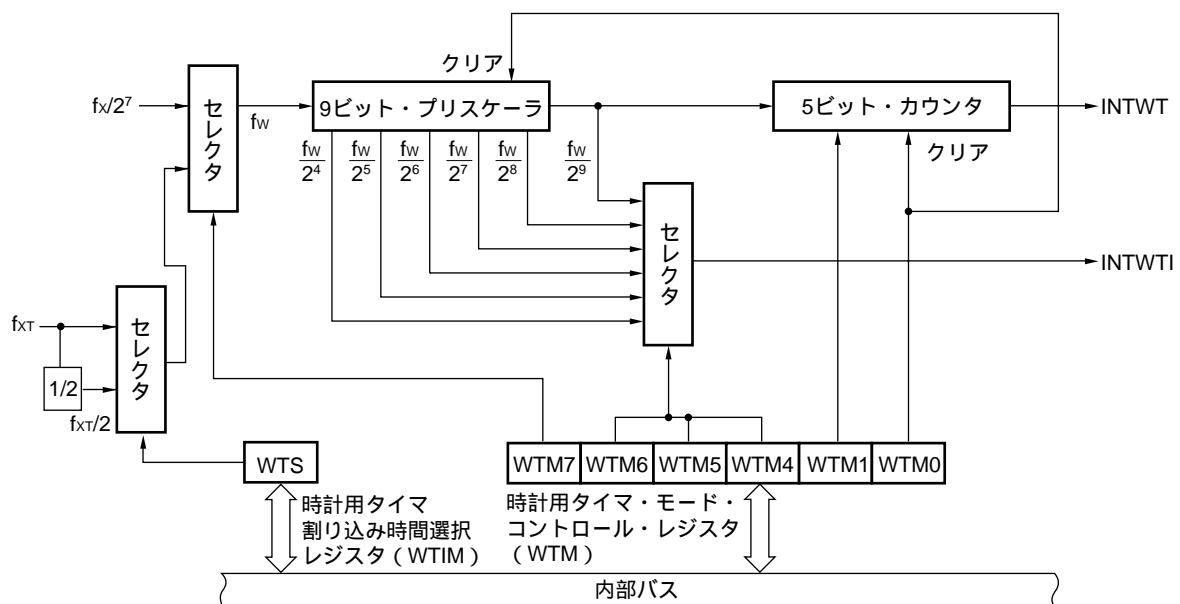
時計用タイマには、次のような機能があります。

- ・時計用タイマ
- ・インターバル・タイマ

時計用タイマとインターバル・タイマは、同時に使用できます。

図8 - 1に、時計用タイマのブロック図を示します。

図8 - 1 時計用タイマのブロック図



(1) 時計用タイマ

4.19 MHzのメイン・システム・クロックまたは32.768 kHzのサブシステム・クロックを使用することで、0.5秒の時間間隔で割り込み要求 (INTWT) を発生します。

また、時計用タイマ割り込み時間選択レジスタ (WTIM) の設定により、32.768 kHzのサブシステム・クロックを使って1.0秒の時間間隔で割り込み要求 (INTWT) を発生することもできます。

注意 5.0 MHzのメイン・システム・クロックでは、0.5秒の時間間隔を作ることができません。32.768 kHzのサブシステム・クロックに切り替えて、0.5秒の時間間隔を作ってください。

(2) インターバル・タイマ

あらかじめ設定した時間間隔で、割り込み要求 (INTWTI) を発生します。

表8 - 1 インターバル・タイマのインターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} / 2 = 16.384 \text{ kHz}$ 動作時
$2^4 \times 1/f_w$	409.6 μs	488 μs	488 μs	976 μs
$2^5 \times 1/f_w$	819.2 μs	977 μs	977 μs	1.95 ms
$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms	3.90 ms
$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms	7.82 ms
$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms	15.6 ms
$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms	31.2 ms

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$, f_{XT} , $f_{XT}/2$ のいずれか)

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

8.2 時計用タイマの構成

時計用タイマは、次のハードウェアで構成されています。

表8 - 2 時計用タイマの構成

項 目	構 成
カウンタ	5ビット×1本
プリスケアラ	9ビット×1本
制御レジスタ	時計用タイマ・モード・コントロール・レジスタ (WTM) 時計用タイマ割り込み時間選択レジスタ (WTIM)

8.3 時計用タイマを制御するレジスタ

時計用タイマは、次のレジスタで制御します。

- ・時計用タイマ・モード・コントロール・レジスタ (WTM)
- ・時計用タイマ割り込み時間選択レジスタ (WTIM)

(1) 時計用タイマ・モード・コントロール・レジスタ (WTM)

時計用タイマのカウンタ・クロックおよび動作の許可 / 禁止、プリスケアラのインターバル時間、5ビット・カウンタの動作制御を設定するレジスタです。

WTMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8 - 2 時計用タイマ・モード・コントロール・レジスタのフォーマット

略号	7	6	5	4	3	2	0	アドレス	リセット時	R/W	
WTM	WTM7	WTM6	WTM5	WTM4	0	0	WTM1	WTM0	FF4AH	00H	R/W

WTM7	時計用タイマのカウンタ・クロック (f_w) 選択
0	$f_x/2^7$ (39.1 kHz)
1	f_{XT} (32.768 kHz) または $f_{XT}/2$ (16.384 kHz) 注

WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択
0	0	0	$2^4/f_w$
0	0	1	$2^5/f_w$
0	1	0	$2^6/f_w$
0	1	1	$2^7/f_w$
1	0	0	$2^8/f_w$
1	0	1	$2^9/f_w$
上記以外			設定禁止

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, タイマともにクリア)
1	動作許可

注 時計用タイマ割り込み時間選択レジスタ (WTIM) で設定した周波数 (f_{XT} または $f_{XT}/2$) になります。

備考1. f_w : 時計用タイマ・クロック周波数 ($f_x/2^7$, f_{XT} , $f_{XT}/2$ のいずれか)

2. f_x : メイン・システム・クロック発振周波数

3. f_{XT} : サブシステム・クロック発振周波数

4. () 内は, $f_x = 5.0 \text{ MHz}$ または $f_{XT} = 32.768 \text{ kHz}$ 動作時

(2) 時計用タイマ割り込み時間選択レジスタ (WTIM)

時計用タイマへ入力するサブシステム・クロックを原発か2分周か選択することで、割り込み時間を設定するレジスタです。

WTIMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により00Hになります。

図8 - 3 時計用タイマ割り込み時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WTIM	0	0	0	0	0	0	0	WTS	FF4BH	00H	R/W

WTS	時計用タイマの割り込み時間の選択 ^注
0	0.5 s (f_{XT})
1	1.0 s ($f_{XT}/2$)

注 時計用タイマ・モード・コントロール・レジスタ (WTM) のビット7 (WTM7) = 1のときのみ有効です。

備考 f_{XT} : サブシステム・クロック発振周波数

8.4 時計用タイマの動作

8.4.1 時計用タイマとしての動作

メイン・システム・クロック (4.19 MHz) またはサブシステム・クロック (32.768 kHz) を使用することで、0.5秒の時間間隔の時計用タイマとして動作します。

また、時計用タイマ割り込み時間選択レジスタ (WTIM) の設定により、32.768 kHzのサブシステム・クロックを使って1.0秒の時間間隔で割り込み要求 (INTWT) を発生することもできます。

時計用タイマは、一定の時間間隔ごとに、割り込み要求を発生します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット0 (WTM0) とビット1 (WTM1) に1を設定するとカウント動作がスタートし、0を設定することにより、5ビット・カウンタがクリアされ、カウント動作が停止します。

また、インターバル・タイマを同時に動作させているときは、WTM1に0を設定することにより、時計用タイマのみをゼロ秒スタートさせることができます。ただし、この場合、9ビット・プリスケアラはクリアされないため、時計用タイマのゼロ秒スタート後の最初のオーバフロー (INTWT) には、最大で $2^9 \times 1/f_w$ 秒の誤差が発生します。

8.4.2 インターバル・タイマとしての動作

あらかじめ設定したカウント値をインターバルとし、繰り返し割り込み要求を発生するインターバル・タイマとして動作します。

時計用タイマ・モード・コントロール・レジスタ (WTM) のビット4-6 (WTM4-WTM6) により、インターバル時間を選択できます。

表8-3 インターバル・タイマのインターバル時間

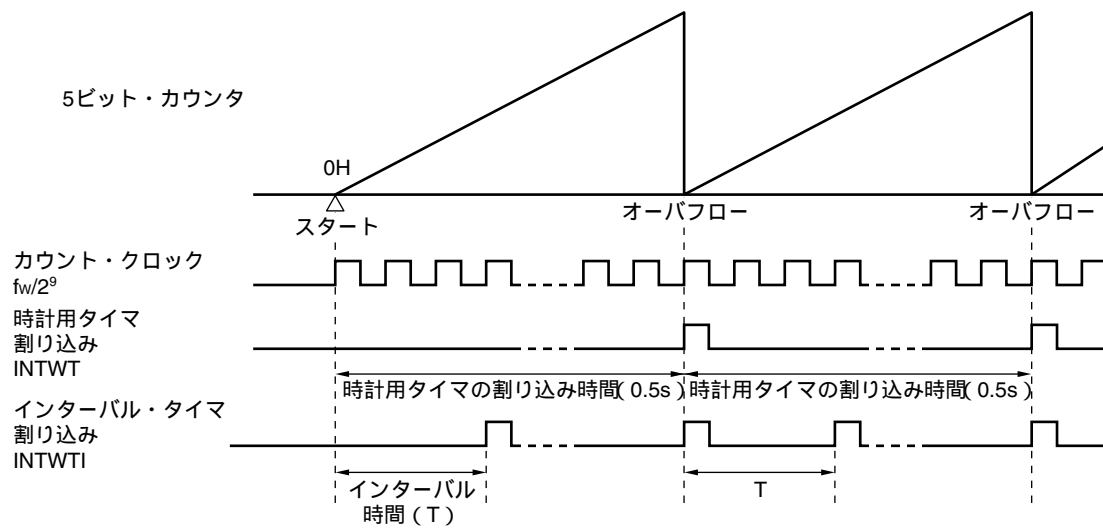
WTM6	WTM5	WTM4	インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時	$f_x = 4.19 \text{ MHz}$ 動作時	$f_{XT} = 32.768 \text{ kHz}$ 動作時	$f_{XT} / 2 = 16.384 \text{ kHz}$ 動作時
0	0	0	$2^4 \times 1/f_w$	409.6 μs	488 μs	488 μs	976 μs
0	0	1	$2^5 \times 1/f_w$	819.2 μs	977 μs	977 μs	1.95 ms
0	1	0	$2^6 \times 1/f_w$	1.64 ms	1.95 ms	1.95 ms	3.90 ms
0	1	1	$2^7 \times 1/f_w$	3.28 ms	3.91 ms	3.91 ms	7.82 ms
1	0	0	$2^8 \times 1/f_w$	6.55 ms	7.81 ms	7.81 ms	15.6 ms
1	0	1	$2^9 \times 1/f_w$	13.1 ms	15.6 ms	15.6 ms	31.2 ms
上記以外			設定禁止				

備考 f_x : メイン・システム・クロック発振周波数

f_{XT} : サブシステム・クロック発振周波数

f_w : 時計用タイマ・クロック周波数

図8 - 4 時計用タイマ/インターバル・タイマの動作タイミング



注意 時計用タイマ・モード・コントロール・レジスタ (WTM) で時計用タイマおよび5ビット・カウンタを動作許可 (WTM0 (WTMのビット0) = 1) したとき、設定後の最初の割り込み要求 (INTWT) までの時間は、正確に時計用タイマ割り込み時間 (0.5 s) にはなりません。これは5ビット・カウンタのカウント開始が9ビット・プリスケアラの出力1周期分遅れるからです。2回目以降は設定時間ごとにINTWT信号が発生します。

- 備考**1. f_w : 時計用タイマ・クロック周波数
2. () 内は、 $f_w = 32.768 \text{ kHz}$ 動作時

第9章 ウォッチドッグ・タイマ

9.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマには、次のような機能があります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

注意 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、ウォッチドッグ・タイマ・モード・レジスタ (WDTM) で選択してください。

(1) ウォッチドッグ・タイマ

プログラムの暴走を検出します。暴走検出時、ノンマスクابل割り込みまたは $\overline{\text{RESET}}$ を発生することができます。

表9 - 1 ウォッチドッグ・タイマの暴走検出時間

暴走検出時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	$410 \mu\text{s}$
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

(2) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

表9 - 2 インターバル時間

インターバル時間	$f_x = 5.0 \text{ MHz}$ 動作時
$2^{11} \times 1/f_x$	$410 \mu\text{s}$
$2^{13} \times 1/f_x$	1.64 ms
$2^{15} \times 1/f_x$	6.55 ms
$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

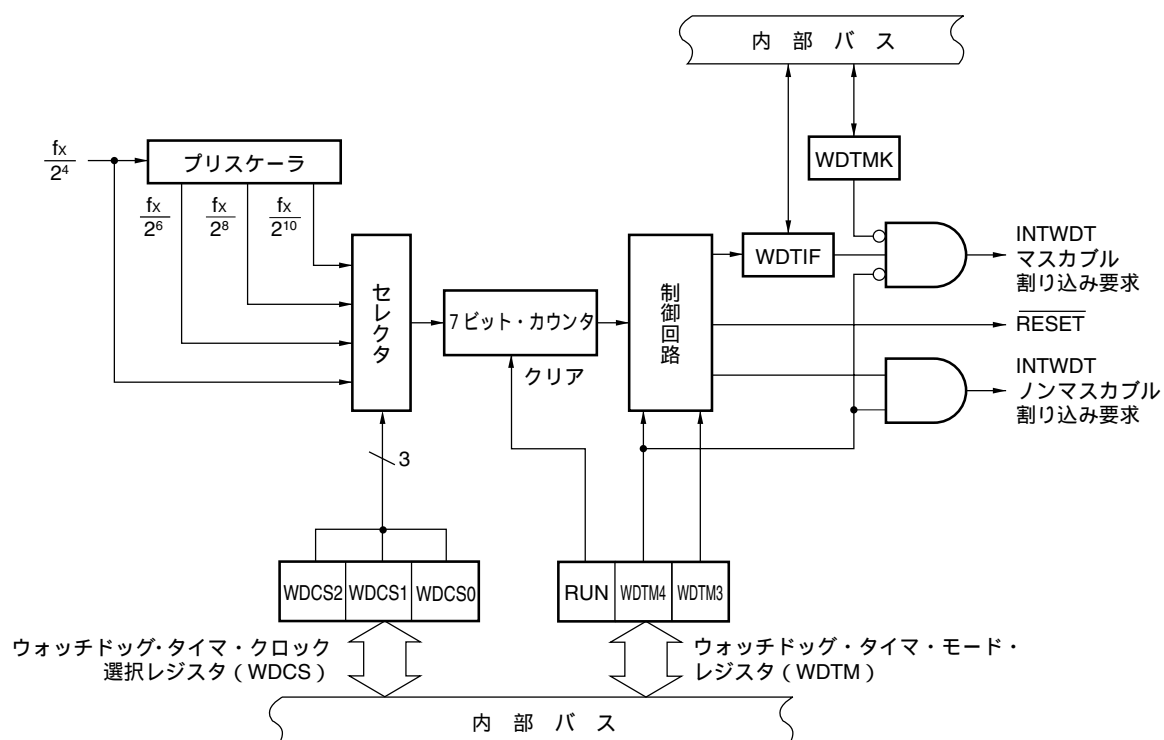
9.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成しています。

表9 - 3 ウォッチドッグ・タイマの構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

図9 - 1 ウォッチドッグ・タイマのブロック図



9.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、次の2種類のレジスタで制御します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマのカウント・クロックを設定するレジスタです。

WDCSは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図9-2 ウォッチドッグ・タイマ・クロック選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0	FF42H	00H	R/W

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのカウント・クロックの選択	インターバル時間
0	0	0	$f_x/2^4$ (312.5 kHz)	$2^{11}/f_x$ (410 μ s)
0	1	0	$f_x/2^6$ (78.1 kHz)	$2^{13}/f_x$ (1.64 ms)
1	0	0	$f_x/2^8$ (19.5 kHz)	$2^{15}/f_x$ (6.55 ms)
1	1	0	$f_x/2^{10}$ (4.88 kHz)	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止	

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

(2) ウォッチドッグ・タイマ・モード・レジスタ (WDTM)

ウォッチドッグ・タイマの動作モード，カウント許可／禁止を設定するレジスタです。

WDTMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図9-3 ウォッチドッグ・タイマ・モード・レジスタのフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
WDTM	RUN	0	0	WDTM4	WDTM3	0	0	0	FFF9H	00H R/W

RUN	ウォッチドッグ・タイマの動作の選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし，カウントを開始

WDTM4	WDTM3	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	動作停止
0	1	インターバル・タイマ・モード（オーバフロー発生時，マスカブル割り込み発生） ^{注3}
1	0	ウォッチドッグ・タイマ・モード1（オーバフロー発生時，ノンマスカブル割り込み発生）
1	1	ウォッチドッグ・タイマ・モード2（オーバフロー発生時，リセット動作を起動）

注1. RUNは，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。したがって，カウントを開始すると， $\overline{\text{RESET}}$ 入力以外で停止させることはできません。

2. WDTM3, WDTM4は，一度セット（1）されると，ソフトウェアでクリア（0）することはできません。

3. RUNに1を設定した時点でインターバル・タイマとして動作を開始します。

注意1. RUNに1を設定し，ウォッチドッグ・タイマをクリアしたとき，実際のオーバフロー時間は，ウォッチドッグ・タイマ・クロック選択レジスタ（WDCS）で設定した時間より最大0.8%短くなります。

2. ウォッチドッグ・タイマ・モード1, 2を使用する場合は，WDTIF（割り込み要求フラグ・レジスタ0（IF0）のビット0）が0になっていることを確認してからWDTM4を1にセットしてください。WDTIFが1の状態で，ウォッチドッグ・タイマ・モード1, 2を選択すると書き換え終了と同時にノンマスカブル割り込みが発生します。

9.4 ウォッチドッグ・タイマの動作

9.4.1 ウォッチドッグ・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に1を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でウォッチドッグ・タイマのカウント・クロック (暴走検出時間間隔) を選択できます。WDTMのビット7 (RUN) に1を設定することにより、ウォッチドッグ・タイマはスタートします。ウォッチドッグ・タイマがスタートしたあと、設定した暴走検出時間間隔内にRUNに1を設定してください。RUNに1を設定することにより、ウォッチドッグ・タイマをクリアし、カウントを開始させることができます。RUNに1がセットされず、暴走検出時間を越えてしまったときは、WDTMのビット3 (WDTM3) の値により、システム・リセットまたはノンマスカブル割り込みが発生します。

ウォッチドッグ・タイマは、HALTモード時では動作を継続しますが、STOPモード時では動作を停止します。したがって、STOPモードに入る前にRUNを1に設定し、ウォッチドッグ・タイマをクリアしたあと、STOP命令を実行してください。

注意1. 実際の暴走検出時間は設定時間に対して最大0.8%短くなる場合があります。

2. CPUクロックにサブシステム・クロックを選択しているとき、ウォッチドッグ・タイマのカウント動作を停止します。したがって、このときメイン・システム・クロックが発振していてもウォッチドッグ・タイマの動作は停止します。

表9 - 4 ウォッチドッグ・タイマの暴走検出時間

WDCS2	WDCS1	WDCS0	暴走検出時間	fx = 5.0 MHz時
0	0	0	$2^{11} \times 1/f_x$	410 μ s
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

fx: メイン・システム・クロック発振周波数

9.4.2 インターバル・タイマとしての動作

ウォッチドッグ・タイマ・モード・レジスタ (WDTM) のビット4 (WDTM4) に0, ビット3 (WDTM3) に1を設定することにより, あらかじめ設定したカウント値をインターバルとし, 繰り返し割り込みを発生するインターバル・タイマとして動作します。

ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) のビット0-2 (WDCS0-WDCS2) でカウント・クロック (インターバル時間) を選択できます。WDTMのビット7 (RUN) に1を設定することにより, インターバル・タイマとして動作を開始します。

インターバル・タイマとして動作しているとき, 割り込みマスク・フラグ (WDTMK) が有効となり, マスカブル割り込み (INTWDT) を発生させることができます。INTWDTの優先順位は, マスカブル割り込みの中で最も高く設定されています。

インターバル・タイマは, HALTモード時では動作を継続しますが, STOPモード時では動作を停止します。したがって, STOPモードに入る前にRUNを1に設定し, インターバル・タイマをクリアしたあと, STOP命令を実行してください。

- 注意1. 一度WDTMのビット4 (WDTM4) に1をセットする (ウォッチドッグ・タイマ・モードを選択する) と $\overline{\text{RESET}}$ 入力されないかぎり, インターバル・タイマ・モードになりません。
2. WDTMで設定した直後のインターバル時間は, 設定時間に対して最大0.8%短くなるときがあります。

表9 - 5 インターバル・タイマのインターバル時間

WDCS2	WDCS1	WDCS0	インターバル時間	$f_x = 5.0 \text{ MHz}$ 時
0	0	0	$2^{11} \times 1/f_x$	410 μs
0	1	0	$2^{13} \times 1/f_x$	1.64 ms
1	0	0	$2^{15} \times 1/f_x$	6.55 ms
1	1	0	$2^{17} \times 1/f_x$	26.2 ms

f_x : メイン・システム・クロック発振周波数

第10章 8ビットA/Dコンバータ

10.1 8ビットA/Dコンバータの機能

8ビットA/Dコンバータは、アナログ入力をデジタル値に変換する8ビット分解能コンバータで、8チャンネル（ANI0-ANI7）のアナログ入力を制御できる構成になっています。

A/D変換動作の起動方法は、ソフトウェア・スタートのみです。

アナログ入力をANI0-ANI7から1チャンネル選択し、A/D変換を行います。A/D変換の動作は繰り返し行い、A/D変換を1回終了するたびに割り込み要求（INTAD0）を発生します。

また、サブシステム・クロック4通倍クロック（131 kHz）での変換動作も可能です。

注意 HALT, STOPモード時、A/Dコンバータは動作停止となります。

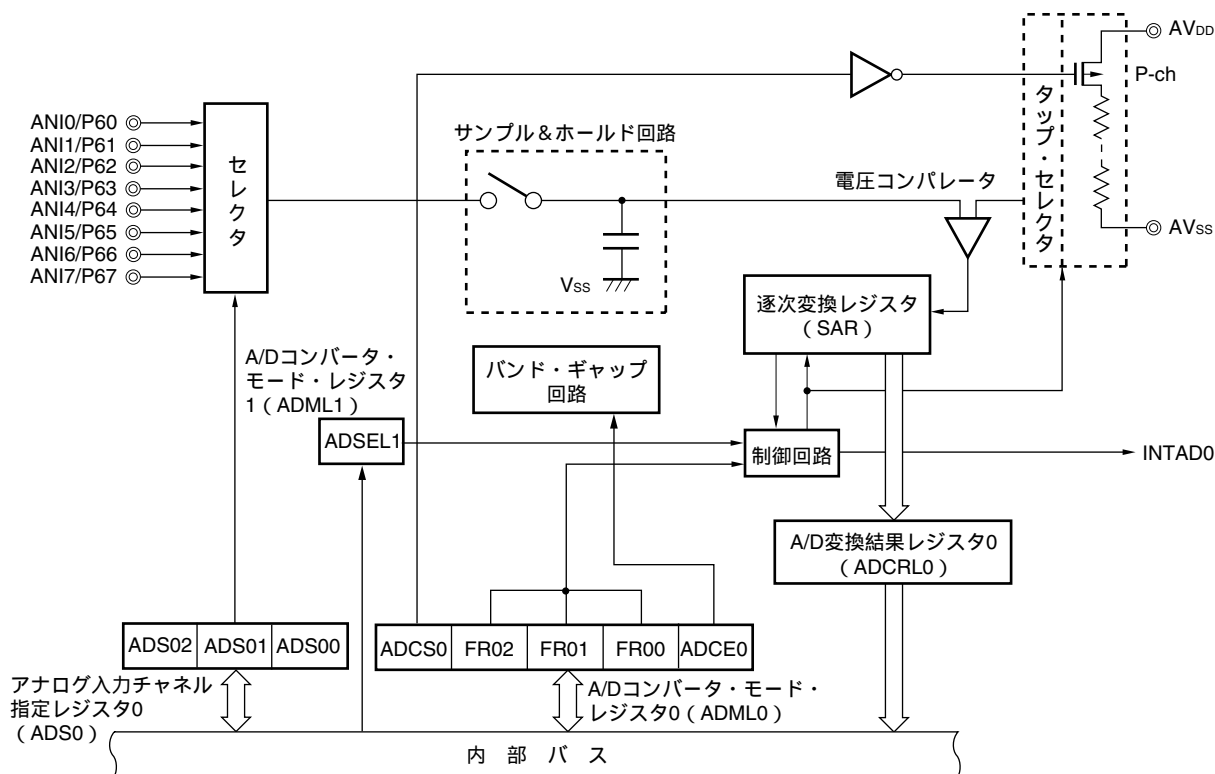
10.2 8ビットA/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

表10 - 1 8ビットA/Dコンバータの構成

項 目	構 成
アナログ入力	8チャンネル（ANI0-ANI7）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタ0（ADCRL0）
制御レジスタ	A/Dコンバータ・モード・レジスタ0（ADML0） A/Dコンバータ・モード・レジスタ1（ADML1） アナログ入力チャンネル指定レジスタ0（ADS0）

図10 - 1 8ビットA/Dコンバータのブロック図



(1) 逐次変換レジスタ (SAR)

アナログ入力の電圧値と直列抵抗ストリングからの電圧タップ（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から保持するレジスタです。

最下位ビット (LSB) まで設定すると (A/D変換終了), SARの内容はA/D変換結果レジスタ0 (ADCR0) に転送されます。

(2) A/D変換結果レジスタ0 (ADCRL0)

A/D変換結果を保持する8ビットのレジスタです。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。ADCRL0には上位ビットから順に格納されます。

ADCRL0は、8ビット・メモリ操作命令で読み出します。

RESET入力により，00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADCRLO									FF15H	00H	R

(3) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路から順次送られてくるアナログ入力を1つ1つサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(4) 電圧コンパレータ

電圧コンパレータは、アナログ入力と直列抵抗ストリングの出力電圧を比較します。

(5) 直列抵抗ストリング

直列抵抗ストリングは AV_{DD} - AV_{SS} 間に入っており、アナログ入力と比較する電圧を発生します。

(6) ANI0-ANI7端子

A/Dコンバータへの8チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。

注意 ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特に AV_{DD} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(7) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(8) AV_{DD} 端子

A/Dコンバータのアナログ電源端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

(9) バンド・ギャップ回路

バンド・ギャップ回路は、A/D変換開始前にコンパレータ内部の基準電位を立ち上げておくための回路です。バンド・ギャップ回路を動作させて14 μ s以上経過してから、変換を開始してください。

10.3 8ビットA/Dコンバータを制御するレジスタ

8ビットA/Dコンバータを制御するレジスタには、次の3種類があります。

- ・A/Dコンバータ・モード・レジスタ0 (ADML0)
- ・A/Dコンバータ・モード・レジスタ1 (ADML1)
- ・アナログ入力チャネル指定レジスタ0 (ADSL0)

(1) A/Dコンバータ・モード・レジスタ0 (ADML0)

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止を設定するレジスタです。

ADML0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10-2 A/Dコンバータ・モード・レジスタ0のフォーマット

略号	6		5		4		3		2		1		0		アドレス	リセット時	R/W
ADML0	ADCS0	0	FR02	FR01	FR00	0	0	ADCE0	FF80H	00H							R/W

ADCS0	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADSEL1	FR02	FR01	FR00	A/D変換時間の選択 ^{注1}
0	0	0	0	144/f _x (28.8 μ s)
0	0	0	1	120/f _x (24.0 μ s)
0	0	1	0	96/f _x (19.2 μ s)
0	1	0	0	72/f _x (14.4 μ s)
0	1	0	1	60/f _x (設定禁止 ^{注2})
0	1	1	0	48/f _x (設定禁止 ^{注2})
1	×	×	×	サブシステム・クロック4逓倍クロックを使用したA/D変換 ^{注3} (変換時間は未定)
上記以外				設定禁止

ADCE0	バンド・ギャップ回路の制御
0	バンド・ギャップ回路停止
1	バンド・ギャップ回路動作

注1. A/D変換時間の選択はADML0とADML1の両方のレジスタを組み合わせで設定します。

A/D変換時間が14 μ s以上になるように設定してください。

2. f_x = 5.0 MHzのときは、A/D変換時間が14 μ s未満となりますので、設定禁止です。

3. サブシステム・クロック4逓倍クロックを使用する場合は、必ずマスク・オプションまたはサブクロック選択レジスタ (SSCK) で4逓倍回路を動作許可にしておいてください。

- 注意1. ADCE0をセットして14 μ s以上経過してから、変換を開始 (ADCS0 = 1) してください。ADCE0を使用しない場合は、ADCS0をセット直後の最初の変換結果は不定になります。
2. ADCS0のクリア後の変換結果は不定になることがあります。変換結果を読み出す場合は、A/D動作中に行ってください。またA/D変換を停止してから変換結果を読み出す場合は、A/D変換終了後、次の変換が終了するまでにA/D変換動作を停止してから行ってください。
3. ビット1, 2, 6には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

(2) A/Dコンバータ・モード・レジスタ1 (ADML1)

サブシステム・クロックの4通倍クロックを使用したA/D変換を行う場合に設定するレジスタです。

ADML1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 3 A/Dコンバータ・モード・レジスタ1のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADML1	ADSEL1	0	0	0	0	0	0	FF81H	00H	R/W

ADSEL1	FR02	FR01	FR00	A/D変換時間の選択 ^{注1}
0	0	0	0	144/ f_x (28.8 μ s)
0	0	0	1	120/ f_x (24.0 μ s)
0	0	1	0	96/ f_x (19.2 μ s)
0	1	0	0	72/ f_x (14.4 μ s)
0	1	0	1	60/ f_x (設定禁止 ^{注2})
0	1	1	0	48/ f_x (設定禁止 ^{注2})
1	×	×	×	サブシステム・クロック4通倍クロックを使用したA/D変換 (変換時間は未定)
上記以外				設定禁止

注1. A/D変換時間の選択はADML0とADML1の両方のレジスタを組み合わせで設定します。

A/D変換時間が14 μ s以上になるように設定してください。

2. $f_x = 5.0$ MHzのときは、A/D変換時間が14 μ s未満となりますので設定禁止です。
3. サブシステム・クロック4通倍クロックを使用する場合は、必ずマスク・オプションまたはサブクロック選択レジスタ (SSCK) で4通倍回路を動作許可にしておいてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

(3) アナログ入力チャネル指定レジスタ0 (ADS0)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

ADS0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図10 - 4 アナログ入力チャネル指定レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
ADS0	0	0	0	0	0	ADS02	ADS01	ADS00	FF84H	00H	R/W

ADS02	ADS01	ADS00	アナログ入力チャネルの指定
0	0	0	ANI0
0	0	1	ANI1
0	1	0	ANI2
0	1	1	ANI3
1	0	0	ANI4
1	0	1	ANI5
1	1	0	ANI6
1	1	1	ANI7

注意 ビット3-7には、必ず0を設定してください。

10.4 8ビットA/Dコンバータの動作

10.4.1 8ビットA/Dコンバータの基本動作

A/Dコンバータ・モード・レジスタ0 (ADML0) のビット0をセット (ADCE0 = 1) します。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ0 (ADS0) で1チャンネル選択してください。

ADCE0をセットして14 μ s以上経過したら, ADML0のビット7をセット (ADCS0 = 1) し, 選択されたアナログ入力チャンネルに入力されている電圧を, サンプル&ホールド回路でサンプリングします。

一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり, 入力されたアナログ電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット7をセットし, タップ・セレクトは直列抵抗ストリングの電圧タップを (1/2) AV_{DD} にします。

直列抵抗ストリングの電圧タップとアナログ入力との電圧差を電圧コンパレータで比較します。もし, アナログ入力 (1/2) AV_{DD} よりも大きければ, SARのMSBをセットしたままです。また, (1/2) AV_{DD} よりも小さければMSBをリセットします。

次にSARのビット6が自動的にセットされ, 次の比較に移ります。ここではすでに結果がセットされているビット7の値によって, 次に示すように直列抵抗ストリングの電圧タップが選択されます。

- ・ビット7 = 1 : (3/4) AV_{DD}
- ・ビット7 = 0 : (1/4) AV_{DD}

この電圧タップとアナログ入力電圧を比較し, その結果でSARのビット6が次のように操作されます。

- ・アナログ入力電圧 電圧タップ : ビット6 = 1
- ・アナログ入力電圧 < 電圧タップ : ビット6 = 0

このような比較をSARのビット0まで続けます。

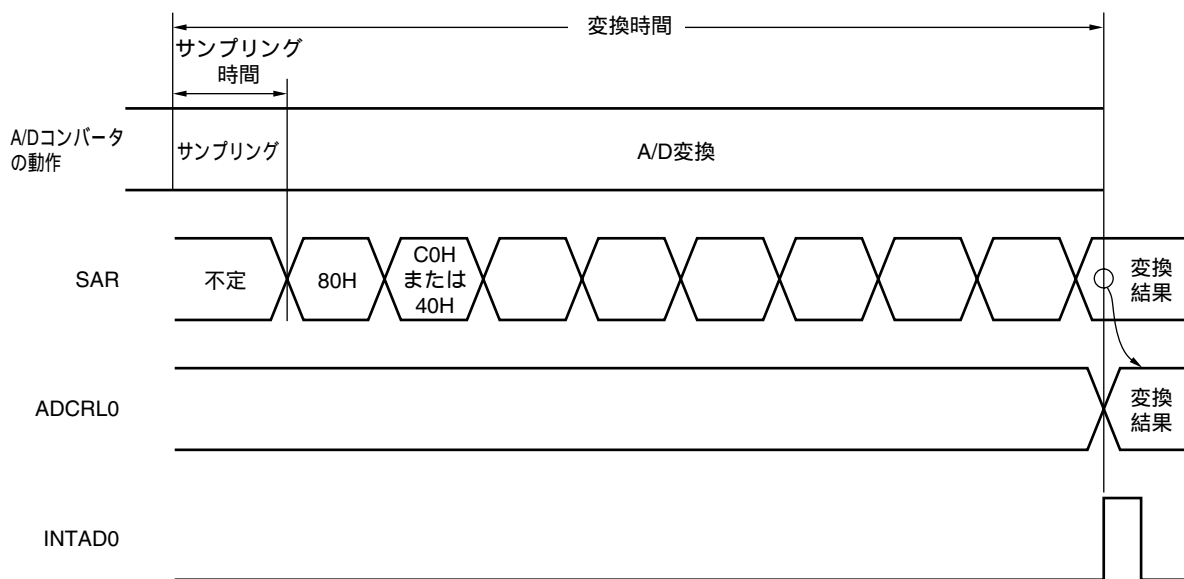
8ビットの比較が終了したとき, SARには有効なデジタルの結果が残り, その値がA/D変換結果レジスタ0 (ADCRL0) に転送され, ラッチされます。

同時に, A/D変換終了割り込み要求 (INTAD0) を発生させることができます。

注意1. ADCE0をセットして14 μ s以上経過してから, 変換を開始 (ADCS0 = 1) してください。ADCE0を使用しない場合は, ADCS0をセット直後の最初の変換結果は不定になります。

2. スタンバイ・モード時, A/Dコンバータは動作停止となります。

図10 - 5 8ビットA/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ0 (ADML0) のビット7 (ADCS0) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、ADML0、アナログ入力チャネル指定レジスタ0 (ADS0) に対する書き込み操作を行うと変換動作は初期化され、ADCS0がセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ0 (ADCRL0) は、 $\overline{\text{RESET}}$ により00Hとなります。

10.4.2 入力電圧と変換結果

アナログ入力端子（ANI0-ANI7）に入力されたアナログ入力電圧とA/D変換結果（A/D変換結果レジスタ0（ADCRL0））には次式に示す関係があります。

$$\text{ADCRL0} = \text{INT} \left(\frac{V_{\text{IN}}}{V_{\text{DD}}} \times 256 + 0.5 \right)$$

または、

$$\left(\text{ADCRL0} - 0.5 \right) \times \frac{V_{\text{DD}}}{256} \leq V_{\text{IN}} < \left(\text{ADCRL0} + 0.5 \right) \times \frac{V_{\text{DD}}}{256}$$

INT () : () 内の値の整数部を返す関数

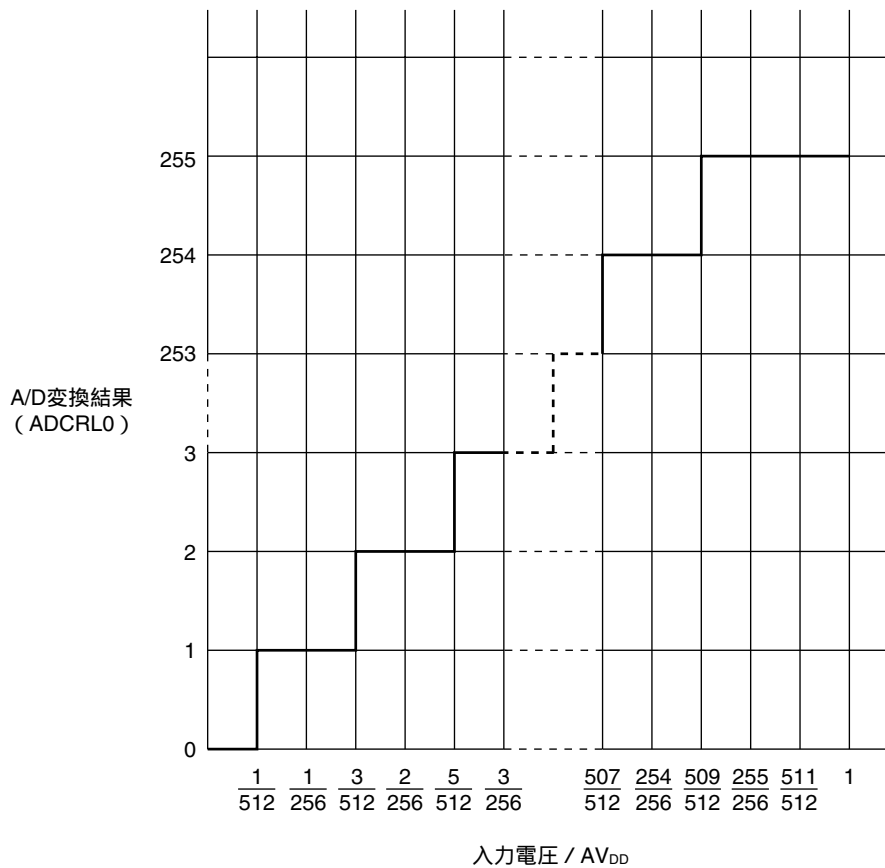
V_{IN} : アナログ入力電圧

V_{DD} : A/Dコンバータの電源電圧

ADCRL0 : A/D変換結果レジスタ0（ADCRL0）の値

図10 - 6にアナログ入力電圧とA/D変換結果の関係を示します。

図10 - 6 アナログ入力電圧とA/D変換結果の関係



10.4.3 8ビットA/Dコンバータの動作モード

動作モードは、セレクト・モードになっています。アナログ入力チャネル指定レジスタ0 (ADS0) によって ANI0-ANI7 からアナログ入力を1チャネル選択し、A/D変換を行います。

A/D変換動作の起動方法は、ソフトウェア・スタート (A/Dコンバータ・モード・レジスタ0 (ADML0) を設定することにより開始) のみです。

また、A/D変換結果は、A/D変換結果レジスタ0 (ADCRL0) に格納され、同時に割り込み要求信号 (INTAD0) が発生します。

・ソフトウェア・スタートによるA/D変換動作

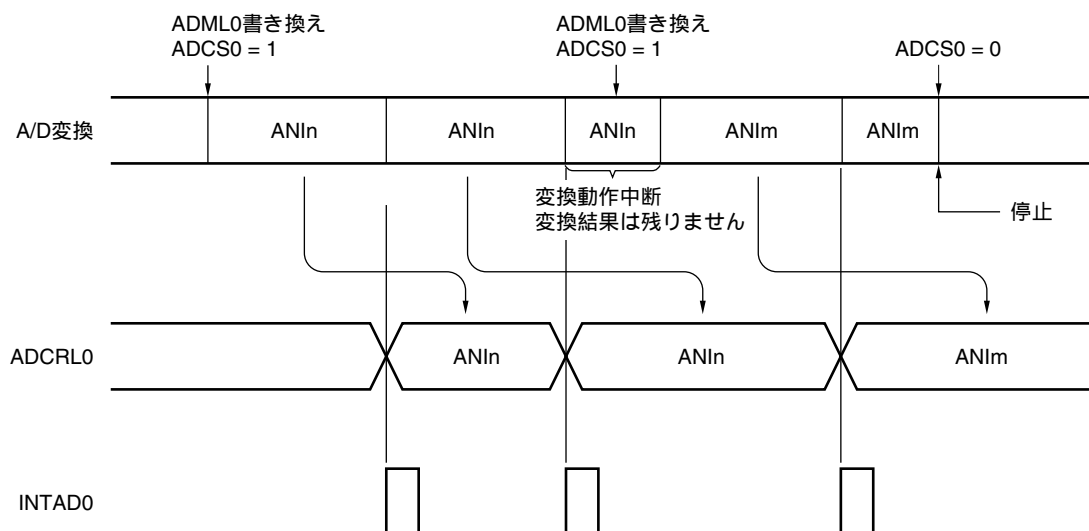
A/Dコンバータ・モード・レジスタ0 (ADML0) のビット7 (ADCS0) に1を設定することにより、アナログ入力チャネル指定レジスタ0 (ADS0) で指定したアナログ入力端子に印加されている電圧のA/D変換動作を開始します。

A/D変換動作が終了すると、変換結果をA/D変換結果レジスタ0 (ADCRL0) に格納し、割り込み要求信号 (INTAD0) が発生します。A/D変換動作が一度起動し、1回のA/D変換が終了すると、ただちに次のA/D変換動作を開始します。新たなデータをADML0に書き込むまで繰り返しA/D変換動作を行います。

A/D変換動作中に、再度ADCS0が1であるデータをADML0に書き込むと、そのとき行っていたA/D変換動作を中断し、新たに書き込んだデータのA/D変換動作を開始します。

また、A/D変換動作中にADCS0が0であるデータをADML0に書き込むと、ただちにA/D変換動作を停止します。

図10-7 ソフトウェア・スタートによるA/D変換動作



備考1. $n = 0-7$

2. $m = 0-7$

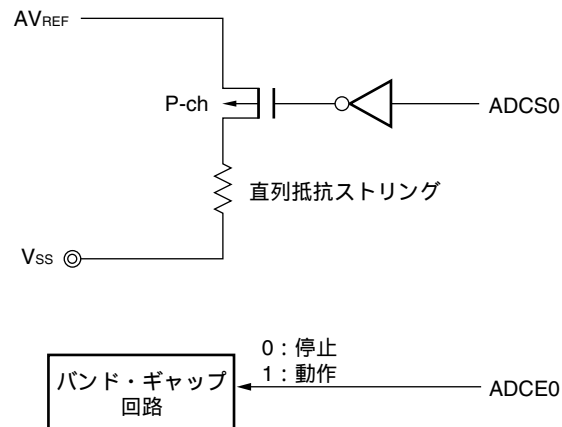
10.5 8ビットA/Dコンバータの注意事項

(1) スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このときA/Dコンバータ・モード・レジスタ0 (ADML0) のビット7 (ADCS0) = 0, およびビット0 (ADCE0) = 0にすることにより, 消費電力を低減させることができます。

スタンバイ・モード時の消費電力を低減させる方法例を図10 - 8に示します。

図10 - 8 スタンバイ・モード時の消費電力を低減させる方法例



(2) ANI0-ANI7入力範囲について

ANI0-ANI7入力電圧は規格の範囲内でご使用ください。特にAVDD以上, AVSS以下 (絶対最大定格の範囲内でも) の電圧が入力されると, そのチャネルの変換値が不定となります。また, ほかのチャネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ0 (ADCRL0) ライトと命令によるADCRL0リードとの競合
ADCRL0リードが優先されます。リードしたあと, 新しい変換結果がADCRL0にライトされます。

変換終了時のADCRL0ライトとA/Dコンバータ・モード・レジスタ0 (ADML0) ライト, またはアナログ入力チャネル指定レジスタ0 (ADS0) ライトの競合

ADML0またはADS0へのライトが優先されます。ADCRL0へのライトはされません。また, 変換終了割り込み要求信号 (INTAD0) も発生しません。

(4) A/D変換スタート直後の変換結果について

バンド・ギャップ回路を使用しない ($ADCE0 = 0$) 場合、またはADCEをセットして14 μ s未満しか経過していないうちに変換を開始した場合は、A/D変換動作をスタートした直後の1回目のA/D変換値だけ不定になります。その時は、A/D変換終了割り込み要求 (INTAD0) をポーリングし、最初の変換結果を棄却して2回目以降の変換結果を採用してください。

バンド・ギャップ回路を使用して ($ADCE0 = 1$) 14 μ s以上経過してからは、1回目の変換から正常な値が得られます。

(5) A/D変換結果が不定になるタイミング

A/D変換終了のタイミングとA/D変換動作を停止するタイミングが競合するとA/D変換値は不定になることがあります。そのため、A/D変換結果を読み出す場合は、A/D変換動作中に行ってください。また、A/D変換動作を停止してから変換結果を読み出す場合は、次の変換結果が終了するまでにA/D変換動作を停止してから行ってください。

変換結果を読み出すタイミングを図10 - 9、図10 - 10に示します。

図10 - 9 変換結果を読み出すタイミング (変換結果が不定値の場合)

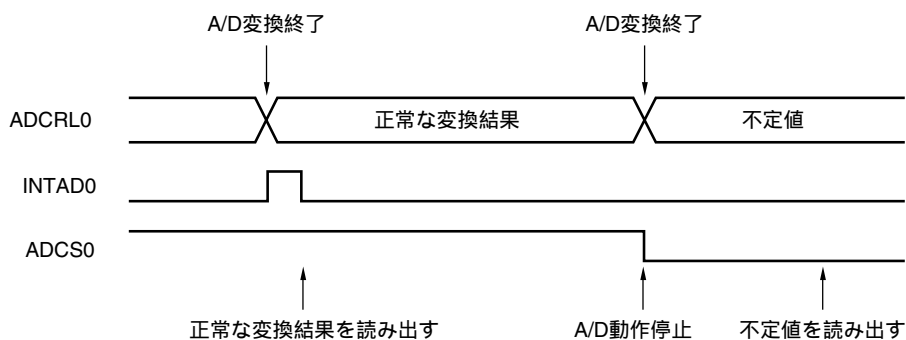
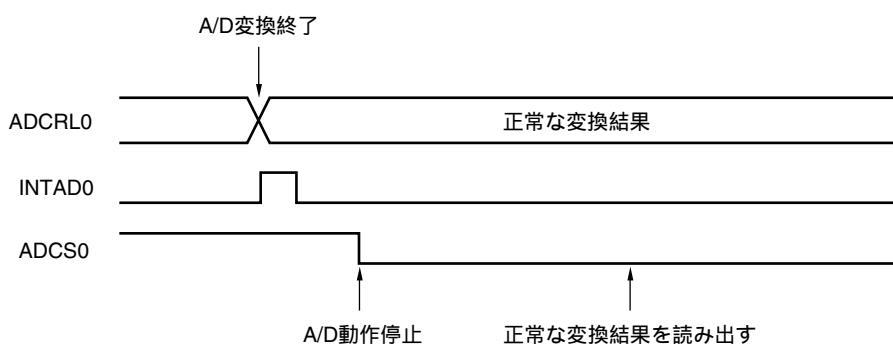


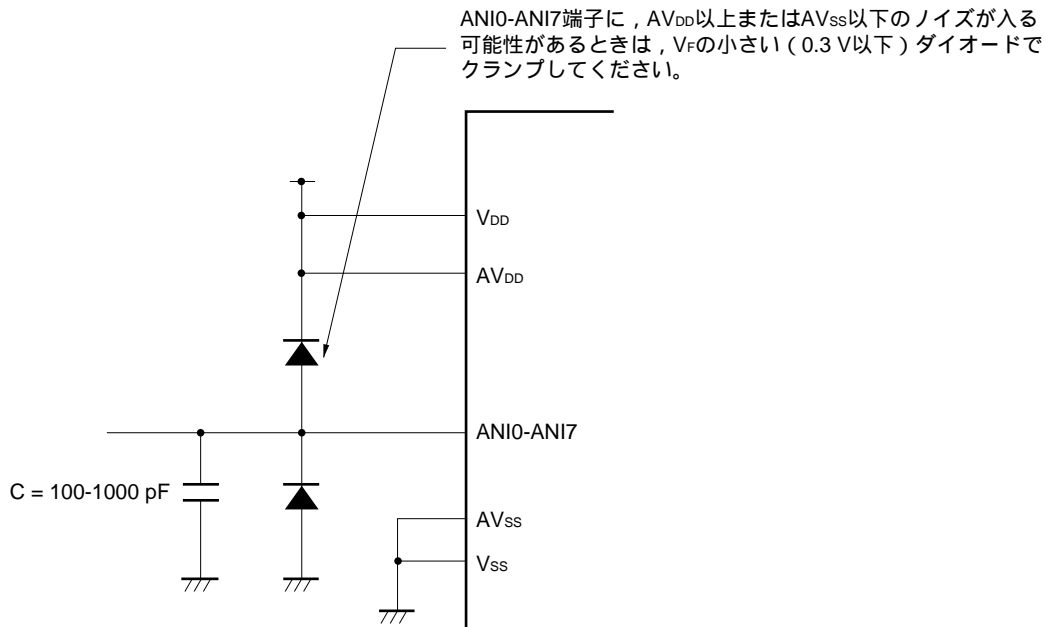
図10 - 10 変換結果を読み出すタイミング (変換結果が正常値の場合)



(6) ノイズ対策について

8ビット分解能を保つためには、 AV_{DD} 、ANI0-ANI7端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図10 - 11のようにCを外付けることを推奨します。

図10 - 11 アナログ入力端子の処理



(7) ANI0-ANI7

アナログ入力（ANI0-ANI7）端子はポート端子（P60-P67）と兼用になっています。

ANI0-ANI7のいずれかを選択してA/D変換をする場合、変換中にポートの入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(8) ANI0-ANI7端子の入力インピーダンスについて

このA/Dコンバータでは、変換時間の約1/10程度の間、内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスは変動して意味がありません。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを10 k Ω 以下にするか、ANI0-ANI7端子に100 pF程度のコンデンサを付けることを推奨します（図10 - 11参照）。

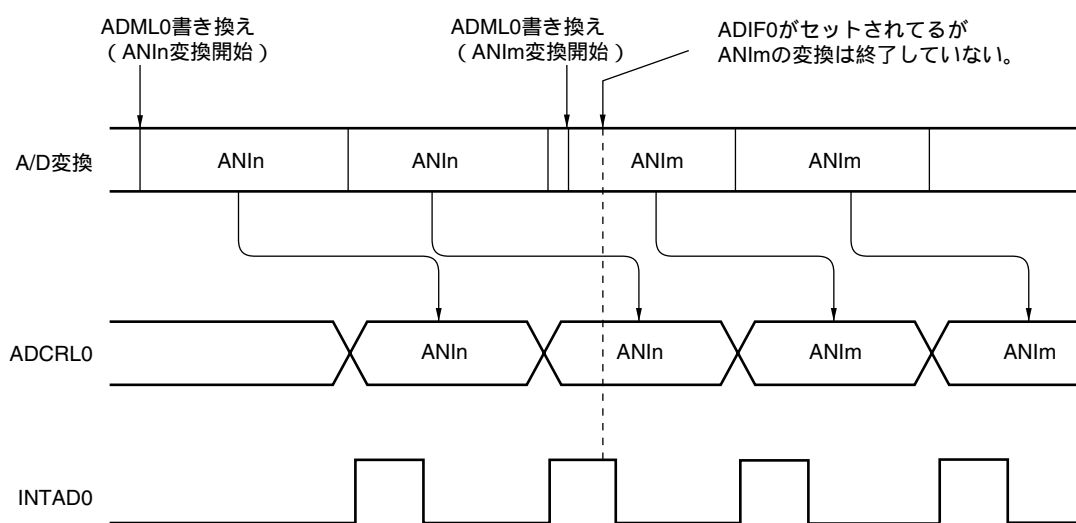
(9) 割り込み要求フラグ (ADIF0) について

A/Dコンバータ・モード・レジスタ0 (ADML0) を変更しても割り込み要求フラグ (ADIF0) はクリアされません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADML0書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセットされる場合があり、ADML0書き換え直後にADIF0を読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIF0がセットされている場合がありますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIF0をクリアしてください。

図10 - 12 A/D変換終了割り込み要求発生タイミング



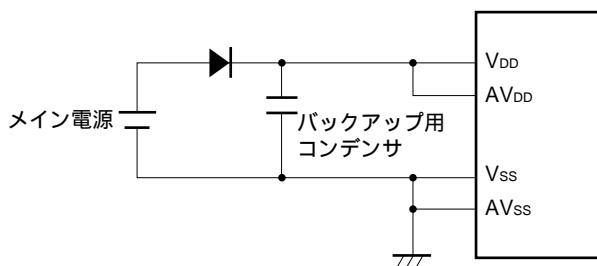
備考1. $n = 0-7$

2. $m = 0-7$

(10) AV_{DD}端子について

AV_{DD}端子はアナログ回路の電源端子であり、ANI0-ANI7の入力回路にも電源を供給しています。

したがって、バックアップ電源に切り替えるようなアプリケーションにおいても、図10 - 13のように必ずV_{DD}端子と同レベルの電位を印加してください。

図10 - 13 AV_{DD}端子の処理(11) AV_{DD}端子の入力インピーダンスについて

AV_{DD}端子とAV_{SS}端子の間には数十 kΩの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスの高い場合、AV_{DD}端子とAV_{SS}端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

第11章 シリアル・インタフェース20

11.1 シリアル・インタフェース20の機能

シリアル・インタフェース20には、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード
- ・3線式シリアルI/Oモード

（1）動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

（2）アシンクロナス・シリアル・インタフェース（UART）モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。

また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

（3）3線式シリアルI/Oモード（MSB/LSB先頭切り替え可能）

シリアル・クロック（SCK20）と、シリアル・データ（SI20，SO20）の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データ転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続ができます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

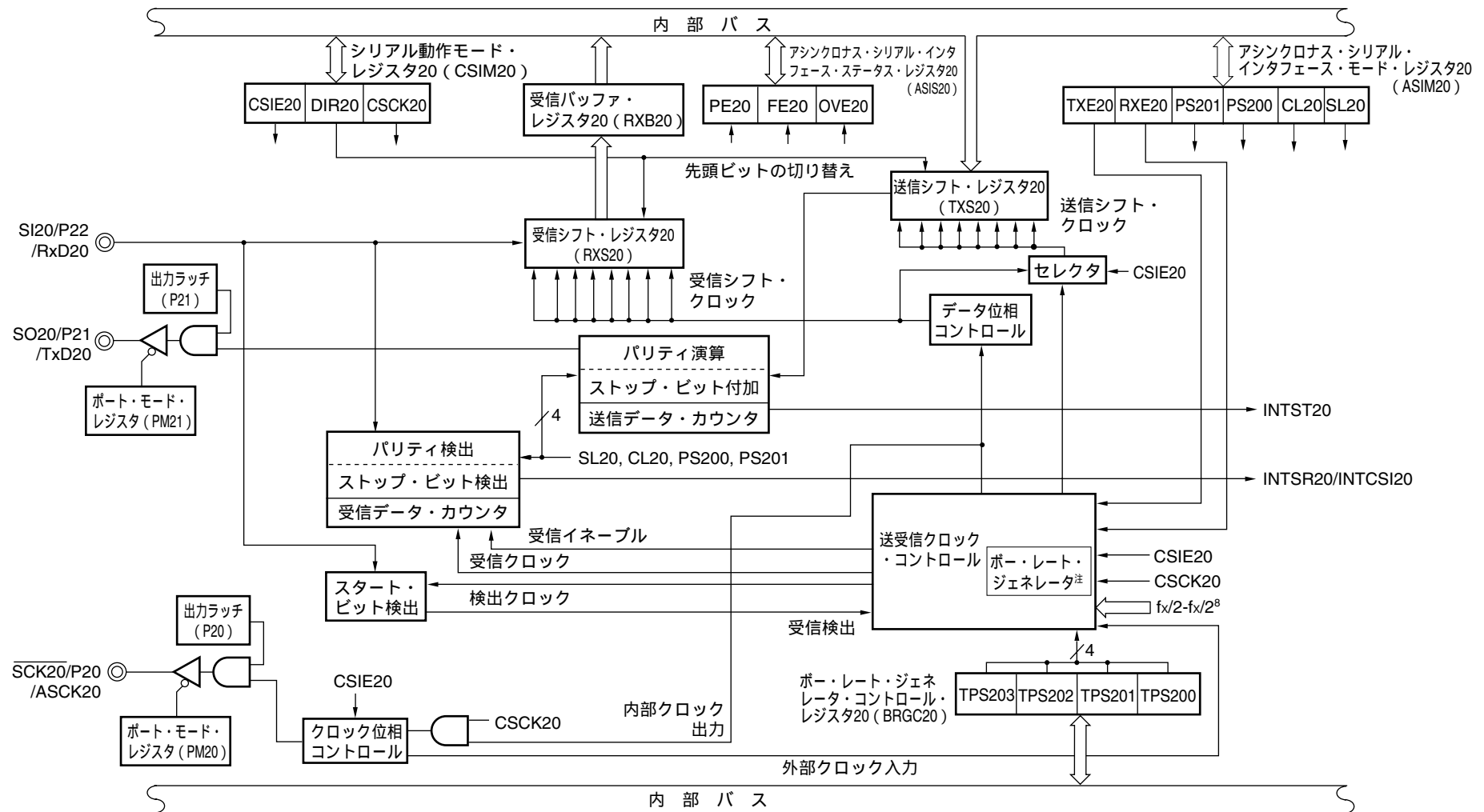
11.2 シリアル・インタフェース20の構成

シリアル・インタフェース20は、次のハードウェアで構成しています。

表11-1 シリアル・インタフェース20の構成

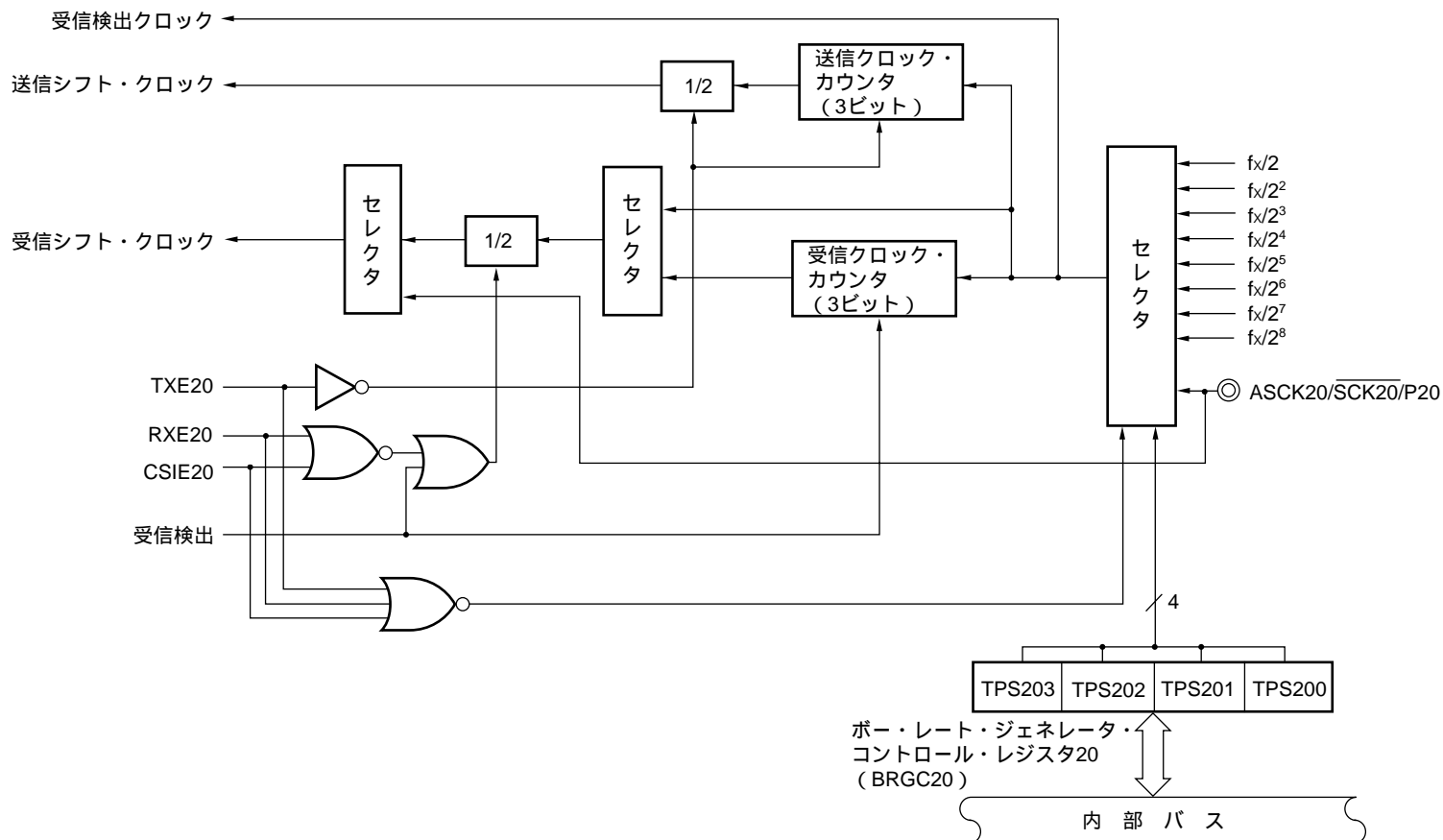
項 目	構 成
レジスタ	送信シフト・レジスタ20（TXS20） 受信シフト・レジスタ20（RXS20） 受信バッファ・レジスタ20（RXB20）
制御レジスタ	シリアル動作モード・レジスタ20（CSIM20） アシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20） アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20（ASIS20） ボー・レート・ジェネレータ・コントロール・レジスタ20（BRGC20） ポート・モード・レジスタ2（PM2） ポート2（P2）

図11-1 シリアル・インタフェース20のブロック図



注 ボー・レート・ジェネレータの構成は、図11-2を参照してください。

図11-2 ポー・レート・ジェネレータ20のブロック図



(1) 送信シフト・レジスタ20 (TXS20)

送信データを設定するレジスタです。TXS20に書き込まれたデータをシリアル・データとして送信します。

データ長を7ビットに指定した場合、TXS20に書き込んだデータのビット0-6が送信データとして転送されます。TXS20にデータを書き込むことにより、送信動作を開始します。

TXS20は、8ビット・メモリ操作命令で書き込みます。読み出しはできません。

$\overline{\text{RESET}}$ 入力により、FFHになります。

注意 送信動作中は、TXS20への書き込みを行わないでください。

TXS20と受信バッファ・レジスタ20 (RXB20) は同一アドレスに割り当てられており、読み出しを行った場合にはRXB20の値が読み出されます。

(2) 受信シフト・レジスタ20 (RXS20)

RxD20端子に入力されたシリアル・データをパラレル・データに変換するレジスタです。1バイト分のデータを受信すると、受信データを受信バッファ・レジスタ20 (RXB20) へ転送します。

RXS20はプログラムで直接操作することはできません。

(3) 受信バッファ・レジスタ20 (RXB20)

受信データを保持するレジスタです。データを1バイト受信するごとに受信シフト・レジスタ20 (RXS20) から新たな受信データが転送されます。

データ長を7ビットに指定した場合、受信データはRXB20のビット0-6に転送され、RXB20のMSBは必ず0になります。

RXB20は、8ビット・メモリ操作命令で読み出せます。書き込みはできません。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 RXB20と送信シフト・レジスタ20 (TXS20) は同一アドレスに割り当てられており、書き込みを行った場合にはTXS20に値が書き込まれます。

(4) 送信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、送信シフト・レジスタ20 (TXS20) に書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットの付加などの送信動作の制御を行います。

(5) 受信制御回路

アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) に設定された内容に従って、受信動作を制御します。また受信動作中にパリティ・エラーなどのエラー・チェックも行い、エラーを検出したときにはエラー内容に応じた値をアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) にセットします。

11.3 シリアル・インタフェース20を制御するレジスタ

シリアル・インタフェース20は、次の6種類のレジスタで制御します。

- ・シリアル動作モード・レジスタ20 (CSIM20)
- ・アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)
- ・アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)
- ・ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) シリアル動作モード・レジスタ20 (CSIM20)

シリアル・インタフェース20を3線式シリアルI/Oモードで使用するときを設定するレジスタです。

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-3 シリアル動作モード・レジスタ20のフォーマット

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	0	0	0	0	DIR20	CSCCK20	0	FF72H	00H R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

- 注意1. ビット0, 3-6には、必ず0を設定してください。
2. UARTモード選択時は、CSIM20に00Hを設定してください。
 3. 3線式シリアルI/Oモード時で外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して入力モードにしてください。
 4. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(2) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

シリアル・インタフェース20をアシクロナス・シリアル・インタフェース・モードで使用するときに設定するレジスタです。

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 4 アシクロナス・シリアル・インタフェース・モード・レジスタ20のフォーマット

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

3. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

表11 - 2 シリアル・インタフェース20の動作モードの設定一覧

(1) 動作停止モード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
0	0	0	x	x	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	x ^{注1}	-	-	P22	P21	P20
上記以外											設定禁止				

(2) 3線式シリアル/Oモード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/ $\overline{\text{SCK20}}$ /ASCK20 端子の機能
TXE20	RXE20	CSIE20	DIR20	CSCK20											
0	0	1	0	0	1 ^{注2}	x ^{注2}	0	1	1	x	MSB	外部 クロック	SI20 ^{注2}	SO20 (CMOS出力)	$\overline{\text{SCK20}}$ 入力
				1					0	1		内部 クロック			$\overline{\text{SCK20}}$ 出力
		1	1	0					1	x	LSB	外部 クロック			$\overline{\text{SCK20}}$ 入力
				1					0	1		内部 クロック			$\overline{\text{SCK20}}$ 出力
上記以外												設定禁止			

(3) アシンクロナス・シリアル・インタフェース・モード

ASIM20		CSIM20			PM22	P22	PM21	P21	PM20	P20	先頭 ビット	シフト・ クロック	P22/SI20/RxD20 端子の機能	P21/SO20/TxD20 端子の機能	P20/SCK20/ASCK20 端子の機能	
TXE20	RXE20	CSIE20	DIR20	CSC20												
1	0	0	0	0	※注1	※注1	0	1	1	×	LSB	外部 クロック	P22	TxD20 (CMOS出力)	ASCK20入力	
									※注1	※注1		内部 クロック				
0	1	0	0	0	1	×	※注1	※注1	1	×		外部 クロック	RxD20	P21		ASCK20入力
										※注1		※注1				内部 クロック
1	1	0	0	0	1	×	0	1	1	×		外部 クロック		TxD20 (CMOS出力)		ASCK20入力
										※注1		※注1				内部 クロック
上記以外												設定禁止				

注1. ポート機能として自由に使用できます。

2. 送信のみ使用する場合は、P22 (CMOS入出力) として使用できます。

備考 x : don't care

(3) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

アシクロナス・シリアル・インタフェース・モードで受信エラー発生時、エラーの種類を表示するレジスタです。

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

3線式シリアルI/Oモードでは、ASIS20の内容は不定となります。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11-5 アシクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマット

略号	7	6	5	4	3	0			アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生 (送信パリティと受信パリティが一致しないとき)

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生 (ストップ・ビットが検出されないとき) ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} (受信バッファ・レジスタ20からデータを読み出す前に次の受信動作が完了したとき)

注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。

2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出してください。RXB20を読み出すまで、データ受信のたびにオーバラン・エラーが発生し続けます。

(4) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

シリアル・インタフェース20のシリアル・クロックを設定するレジスタです。

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図11 - 6 ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK20端子への外部からの入力クロック ^注	
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

注意1. 通信動作中にBRGC20への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。

2. UARTモード時で $f_x > 2.5$ MHzの場合、n = 1はボー・レートの規格値を越えてしまうため選択しないでください。

3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して入力モードにしてください。

備考1. f_x : メイン・システム・クロック発振周波数

2. n : TPS200-TPS203の設定で決定される値 (1 n 8)

3. () 内は、 $f_x = 5.0$ MHz動作時

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(a) システム・クロックによるUARTボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} \text{ [bps]}$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の値で決定される図11 - 6中の値 ($2 \leq n \leq 8$)

表11 - 3 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC20の設定値	誤差 (%)	
			$f_x = 5.0 \text{ MHz}$	$f_x = 4.9152 \text{ MHz}$
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

注意 $f_x > 2.5 \text{ MHz}$ の場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。

(b) ASCK20端子からの外部クロックによるUARTボー・レート用の送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表11 - 4 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(c) システム・クロックによる3線式シリアルI/Oモードのシリアル・クロックの生成

システム・クロックを分周してシリアル・クロックを生成します。シリアル・クロック周波数は、次の式によって求められます。外部からSCK20端子にシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} [\text{Hz}]$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される図11 - 6中の値 (1 ≤ n ≤ 8)

11.4 シリアル・インタフェース20の動作

シリアル・インタフェース20は、次の3種類のモードがあります。

- ・動作停止モード
- ・アシンクロナス・シリアル・インタフェース（UART）モード
- ・3線式シリアルI/Oモード

11.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、動作停止モードでは、P20/SCK20/ASCK20, P21/SO20/TxD20, P22/SI20/RxD20端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ20（CSIM20）とアシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）で行います。

(a) シリアル動作モード・レジスタ20（CSIM20）

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	0	0	0	0	DIR20	CSC20	0	FF72H	00H R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

注意 ビット0, 3-6には、必ず0を設定してください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
RESET入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

注意 ビット0, 1には必ず0を設定してください。

11. 4. 2 アシクロナス・シリアル・インタフェース (UART) モード

スタート・ビットに続く1バイトのデータを送受信するモードで、全二重動作が可能です。

UART専用ボー・レート・ジェネレータを内蔵しており、広範囲な任意のボー・レートで通信できます。また、ASCK20端子への入力クロックを分周してボー・レートを定義することもできます。

UART専用ボー・レート・ジェネレータを利用してMIDI規格のボー・レート (31.25 kbps) を使用することもできます。

(1) レジスタの設定

UARTモードの設定は、シリアル動作モード・レジスタ20 (CSIM20)、アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)、アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)、ポート・モード・レジスタ2 (PM2)、ポート2 (P2)で行います。

(a) シリアル動作モード・レジスタ20 (CSIM20)

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

UARTモード選択時は、CSIM20に00Hを設定してください。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W
CSIM20	CSIE20	0	0	0	0	DIR20	CSCCK20	0	FF72H	00H R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ボー・レート・ジェネレータの出力

- 注意1. ビット0, 3-6には、必ず0を設定してください。
2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	キャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)

ASIS20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3			0	アドレス	リセット時	R/W
ASIS20	0	0	0	0	0	PE20	FE20	OVE20	FF71H	00H	R

PE20	パリティ・エラー・フラグ
0	パリティ・エラー未発生
1	パリティ・エラー発生（送信パリティと受信パリティが一致しないとき）

FE20	フレーミング・エラー・フラグ
0	フレーミング・エラー未発生
1	フレーミング・エラー発生（ストップ・ビットが検出されないとき） ^{注1}

OVE20	オーバラン・エラー・フラグ
0	オーバラン・エラー未発生
1	オーバラン・エラー発生 ^{注2} （受信バッファ・レジスタ20からデータを読み出す前に次の受信動作が完了したとき）

- 注1. アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット2 (SL20) でストップ・ビット長を2ビットに設定した場合も、受信時のストップ・ビット検出は1ビットのみです。
2. オーバラン・エラーが発生したとき、受信バッファ・レジスタ20 (RXB20) を必ず読み出して下さい。RXB20を読み出すまでデータ受信のたびにオーバラン・エラーが発生し続けます。

(d) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
1	0	0	0	ASCK20端子への外部からの入力クロック ^注	
上記以外				設定禁止	

注 UARTモード時にのみ使用できます。

- 注意1. 通信動作中にBRGC20への書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。
2. $f_x > 2.5$ MHzの場合、 $n = 1$ はボー・レートの規格値を越えてしまうため選択しないでください。
3. 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2 (PM2) のビット0に1を設定して入力モードにしてください。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. n : TPS200-TPS203の設定で決定される値 (1 n 8)
3. () 内は、 $f_x = 5.0$ MHz動作時

生成するボー・レート用の送受信クロックは、システム・クロックを分周した信号か、ASCK20端子から入力したクロックを分周した信号になります。

(i) システム・クロックによるUARTボー・レート用の送受信クロックの生成

システム・クロックを分周して送受信クロックを生成します。システム・クロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_x}{2^{n+1} \times 8} \quad [\text{bps}]$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される上記の表中の値 (2 n 8)

表11 - 5 システム・クロックとボー・レートの関係例

ボー・レート (bps)	n	BRGC20の設定値	誤差 (%)	
			f _x = 5.0 MHz	f _x = 4.9152 MHz
1200	8	70H	1.73	0
2400	7	60H		
4800	6	50H		
9600	5	40H		
19200	4	30H		
38400	3	20H		
76800	2	10H		

注意 f_x > 2.5 MHzの場合, n = 1はボー・レートの規格値を越えてしまうため選択しないでください。

(ii) ASCK20端子からの外部クロックによるボー・レート用の送受信クロックの生成

ASCK20端子から入力したクロックを分周して送受信クロックを生成します。ASCK20端子から入力したクロックから生成するボー・レートは次の式によって求められます。

$$[\text{ボー・レート}] = \frac{f_{\text{ASCK}}}{16} [\text{bps}]$$

f_{ASCK} : ASCK20端子に入力したクロックの周波数

表11 - 6 ASCK20端子入力周波数とボー・レートの関係 (BRGC20 = 80H設定時)

ボー・レート (bps)	ASCK20端子入力周波数 (kHz)
75	1.2
150	2.4
300	4.8
600	9.6
1200	19.2
2400	38.4
4800	76.8
9600	153.6
19200	307.2
31250	500.0
38400	614.4

(2) 通信動作

(a) データ・フォーマット

送受信データのフォーマットは図11-7に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) によって行います。

図11-7 アシンクロナス・シリアル・インタフェースの送受信データのフォーマット



- ・スタート・ビット.....1ビット
- ・キャラクタ・ビット.....7ビット / 8ビット
- ・パリティ・ビット.....偶数パリティ / 奇数パリティ / 0パリティ / パリティなし
- ・ストップ・ビット.....1ビット / 2ビット

キャラクタ・ビットとして7ビットを選択した場合、下位7ビット (ビット0-6) のみが有効となり、送信の場合は最上位ビット (ビット7) は無視され、受信の場合は必ず最上位ビット (ビット7) は“0”になります。

シリアル転送レートの設定は、ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) によって行います。

また、シリアル・データの受信エラーが発生した場合、アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の状態を読むことによって受信エラーの内容を判定することができます。

(b) パリティの種類と動作

パリティ・ビットは、通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。偶数パリティと奇数パリティでは、1ビット（奇数個）の誤りを検出することができます。0パリティとパリティなしでは、誤りを検出することはできません。

(i) 偶数パリティ**・送信時**

パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：1

送信データ中に、値が“1”のビットの数が偶数個：0

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、奇数個であった場合にパリティ・エラーを発生します。

(ii) 奇数パリティ**・送信時**

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビットの数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

送信データ中に、値が“1”のビットの数が奇数個：0

送信データ中に、値が“1”のビットの数が偶数個：1

・受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビットの数をカウントし、偶数個であった場合にパリティ・エラーを発生します。

(iii) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時には、パリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーを発生しません。

(iv) パリティなし

送信データにパリティ・ビットを付加しません。

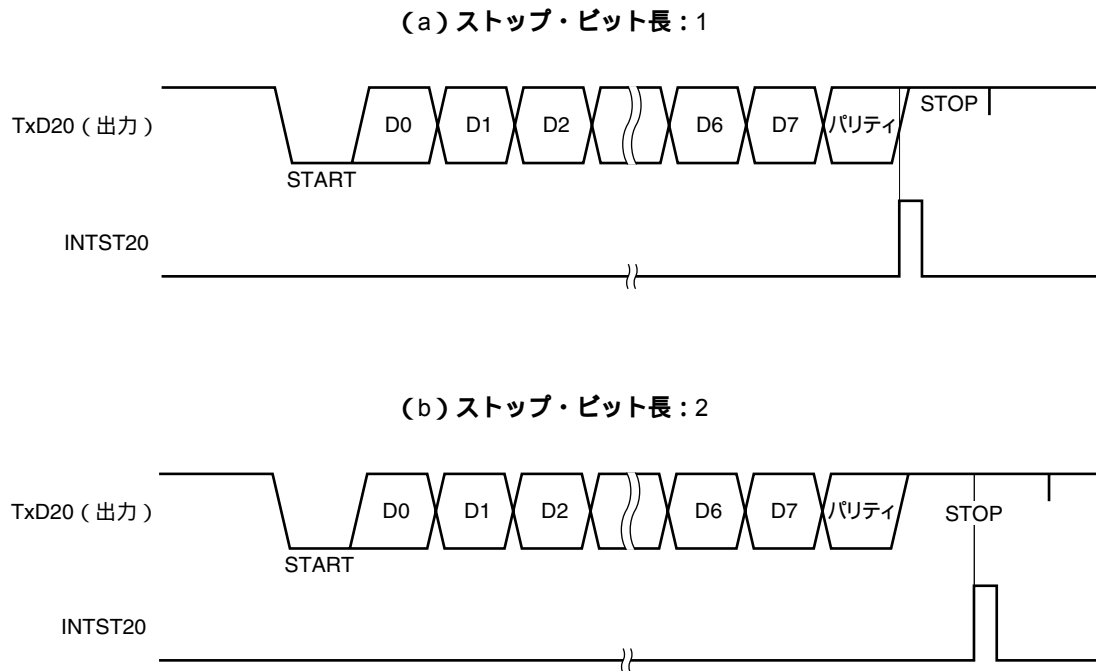
受信時にもパリティ・ビットがないものとして受信を行います。パリティ・ビットがないため、パリティ・エラーを発生しません。

(c) 送信

送信シフト・レジスタ20 (TXS20) に送信データを書き込むことによって送信動作は起動します。スタート・ビット, パリティ・ビット, ストップ・ビットは自動的に付加されます。

送信動作の開始により, TXS20内のデータがシフト・アウトされ, TXS20が空になると送信完了割り込み (INTST20) が発生します。

図11 - 8 アシクロナス・シリアル・インタフェース送信完了割り込みタイミング



注意 送信動作中にはアシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) の書き換えは行わないでください。送信中にASIM20レジスタの書き換えを行うと, それ以降の送信動作ができなくなる場合があります (RESET入力により, 正常になります)。
送信中かどうかは, 送信完了割り込み (INTST20) またはINTST20によりセットされる割り込み要求フラグ (STIF20) を用いて, ソフトウェアにより判断することができます。

(d) 受信

受信動作は、アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) がセット (1) されると許可状態となり、RxD20端子入力のサンプリングを行います。

RxD20端子入力のサンプリングはBRGC20で指定したシリアル・クロックで行います。

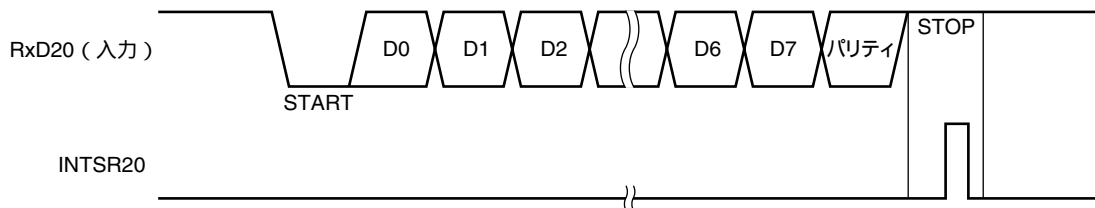
RxD20端子入力がロウ・レベルになると、3ビット・カウンタがカウントを開始し、設定したボー・レートの半分の時間が経過したところでデータ・サンプリングのスタート・タイミング信号を出力します。このスタート・タイミング信号で再度RxD20端子入力をサンプリングした結果、ロウ・レベルであれば、スタート・ビットとして認識し、3ビット・カウンタを初期化してカウントを開始し、データのサンプリングを行います。スタート・ビットに続いて、キャラクタ・データ、パリティ・ビットおよび1ビットのストップ・ビットが検出されると、1フレームのデータ受信が終了します。

1フレームのデータ受信が終了すると、シフト・レジスタ内の受信データを受信バッファ・レジスタ20 (RXB20) に転送し、受信完了割り込み (INTSR20) を発生します。

また、エラーが発生しても、RXB20にエラーの発生した受信データを転送し、INTSR20を発生します。

なお、受信動作中にRXE20ビットをリセット (0) すると、ただちに受信動作を停止します。このとき、RXB20およびアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20) の内容は変化せず、また、INTSR20も発生しません。

図11 - 9 アシンクロナス・シリアル・インタフェース受信完了割り込みタイミング



注意 受信エラー発生時にも、受信バッファ・レジスタ20 (RXB20) は必ず読み出してください。

RXB20を読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(e) 受信エラー

受信動作時のエラーには、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがアシンクロナス・シリアル・インタフェース・ステータス・レジスタ20（ASIS20）内に立ちます。受信エラーの要因を表11-7に示します。

受信エラー割り込み処理内で、ASIS20の内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます（表11-7、図11-10参照）。

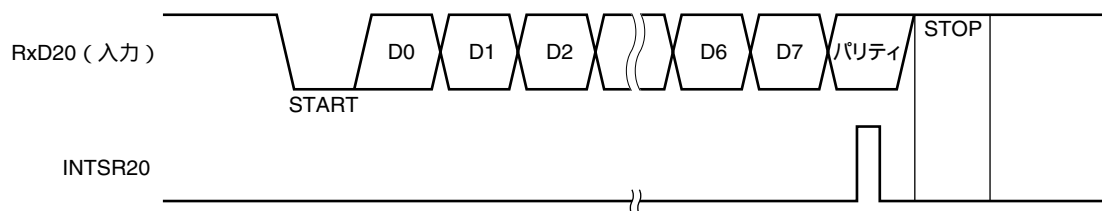
ASIS20の内容は、受信バッファ・レジスタ20（RXB20）を読み出すか、次のデータを受信することでリセット（0）されます（次のデータにエラーがあれば、そのエラー・フラグがセットされます）。

表11-7 受信エラーの要因

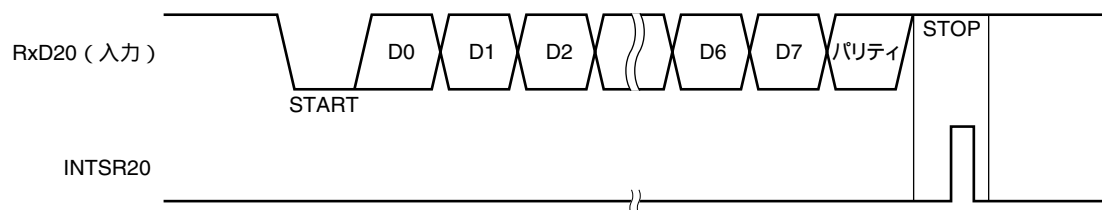
受信エラー	要 因	ASIS20の値
パリティ・エラー	送信時のパリティ指定と受信データのパリティが一致しない	04H
フレーミング・エラー	ストップ・ビットが検出されない	02H
オーバラン・エラー	受信バッファ・レジスタからデータを読み出す前に次のデータ受信完了	01H

図11-10 受信エラー・タイミング

(a) パリティ・エラー発生時



(b) フレーミング・エラー、オーバラン・エラー発生時



- 注意1. ASIS20レジスタの内容は、受信バッファ・レジスタ20（RXB20）を読み出すか、次のデータを受信することにより、リセット（0）されます。エラーの内容が知りたい場合には、必ずRXB20を読み出す前にASIS20を読み出してください。
2. 受信エラー発生時にも、受信バッファ・レジスタ20（RXB20）は必ず読み出してください。RXB20を読み出さないと次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

(f) 受信データの読み出し

受信完了割り込み (INTSR20) が発生したら, 受信バッファ・レジスタ20 (RXB20) の値をリードすることで受信データを読み出します。

受信バッファ・レジスタ20 (RXB20) に格納された受信データをリードするときには, 受信動作許可 (RXE20 = 1) の状態で読み出してください。

備考 ただし, 受信動作停止 (RXE20 = 0) してから受信データを読み出す必要がある場合は, 次のどちらかの方法で行ってください。

(a) BRGC20で選択したソース・クロックの1周期分以上のウェイト後にRXE20 = 0にして, リードする。

(b) シリアル動作モード・レジスタ20 (CSIM20) のビット2 (DIR20) をセット(1)して, リードする。

(a) のプログラム例 (BRGC20 = 00H (ソース・クロック = $f_x/2$) の場合)

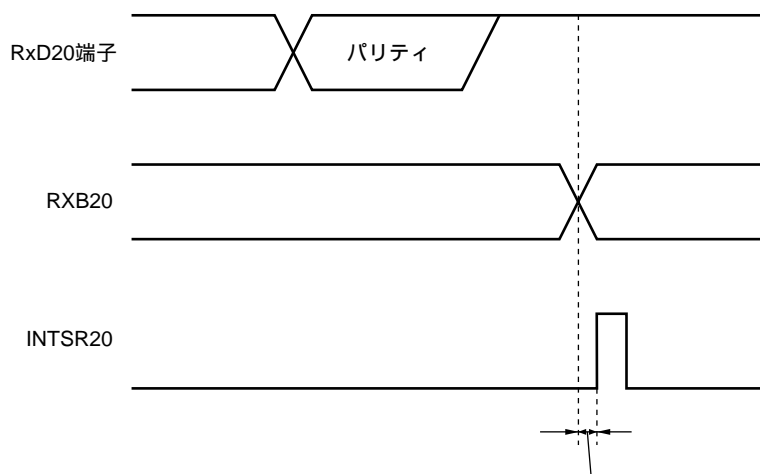
```
INTRXE:                                ; < 受信完了割り込みルーチン >
      NOP                                ; 2クロック
      CLR1 RXE20                        ; 受信動作停止
      MOV  A, RXB20                     ; 受信データをリード
```

(b) のプログラム例

```
INTRXE:                                ; < 受信完了割り込みルーチン >
      SET1 CSIM20.2                     ; DIR20フラグをLSBファーストに設定
      CLR1 RXE20                        ; 受信動作停止
      MOV  A, RXB20                     ; 受信データをリード
```

(3) UARTモードの注意事項

- (a) 送信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット7 (TXE20) をクリアした場合、次の送信を行う前に必ず送信シフト・レジスタ20 (TXS20) にFFHを設定したのちに、TXE20に1を設定してください。
- (b) 受信中にアシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20) のビット6 (RXE20) をクリアした場合、受信バッファ・レジスタ20 (RXB20)、受信完了割り込み (INTSR20) は、次のようになります。



の区間でRXE20に0を設定した場合、RXB20は前のデータを保持し、INTSR20は発生しません。

の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生しません。

の区間でRXE20に0を設定した場合、RXB20はデータを更新し、INTSR20は発生します。

11.4.3 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK20}}$ ）、シリアル出力（SO20）、シリアル入力（SI20）の3本のラインで通信を行います。

(1) レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ20（CSIM20）、アシンクロナス・シリアル・インタフェース・モード・レジスタ20（ASIM20）、ポー・レート・ジェネレータ・コントロール・レジスタ20（BRGC20）、ポート・モード・レジスタ2（PM2）、ポート2（P2）で行います。

(a) シリアル動作モード・レジスタ20（CSIM20）

CSIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6	5	4	3	2	1	0	アドレス	リセット時	R/W	
CSIM20	CSIE20	0	0	0	0	DIR20	CSCCK20	0	FF72H	00H	R/W

CSIE20	3線式シリアルI/Oモード時の動作の制御
0	動作停止
1	動作許可

DIR20	先頭ビットの指定
0	MSB
1	LSB

CSCCK20	3線式シリアルI/Oモード時のクロックの選択
0	SCK20端子への外部からの入力クロック
1	専用ポー・レート・ジェネレータの出力

注意1. ビット0, 3-6には、必ず0を設定してください。

- 外部からの入力クロックを選択したときは、ポート・モード・レジスタ2（PM2）のビット0に1を設定して入力モードにしてください。
- 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(b) アシクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)

ASIM20は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

3線式シリアルI/Oモード選択時は、ASIM20に00Hを設定してください。

略号	5	4	3	2	1	0	アドレス	リセット時	R/W
ASIM20	TXE20	RXE20	PS201	PS200	CL20	SL20	0	0	FF70H 00H R/W

TXE20	送信動作の制御
0	送信動作停止
1	送信動作許可

RXE20	受信動作の制御
0	受信動作停止
1	受信動作許可

PS201	PS200	パリティ・ビットの指定
0	0	パリティなし
0	1	送信時、常に0パリティ付加 受信時、パリティの検査をしない(パリティ・エラーを発生しない)
1	0	奇数パリティ
1	1	偶数パリティ

CL20	送信データのキャラクタ長の指定
0	7ビット
1	8ビット

SL20	送信データのストップ・ビット長の指定
0	1ビット
1	2ビット

注意1. ビット0, 1には、必ず0を設定してください。

2. 動作モードの切り替えは、シリアル送受信動作を停止させたのちに行ってください。

(c) ボー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20)

BRGC20は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
BRGC20	TPS203	TPS202	TPS201	TPS200	0	0	0	0	FF73H	00H	R/W

TPS203	TPS202	TPS201	TPS200	ボー・レート・ジェネレータへのソース・クロックの選択	n
0	0	0	0	$f_x/2$ (2.5 MHz)	1
0	0	0	1	$f_x/2^2$ (1.25 MHz)	2
0	0	1	0	$f_x/2^3$ (625 kHz)	3
0	0	1	1	$f_x/2^4$ (313 kHz)	4
0	1	0	0	$f_x/2^5$ (156 kHz)	5
0	1	0	1	$f_x/2^6$ (78.1 kHz)	6
0	1	1	0	$f_x/2^7$ (39.1 kHz)	7
0	1	1	1	$f_x/2^8$ (19.5 kHz)	8
上記以外				設定禁止	

注意 通信動作中にBRGC20の書き込みを行うと、ボー・レート・ジェネレータの出力が乱れ正常に通信できなくなります。したがって、通信動作中にはBRGC20への書き込みを行わないでください。

- 備考**1. f_x : メイン・システム・クロック発振周波数
 2. n : TPS200-TPS203で決定される値 (1 n 8)
 3. () 内は、 $f_x = 5.0$ MHz動作時

3線式シリアルI/Oモードのシリアル・クロックに内部クロックを使用する場合、TPS200-TPS203でシリアル・クロック周波数を設定します。シリアル・クロック周波数は、次の式によって求められます。外部からシリアル・クロックを入力する場合はBRGC20の設定は必要ありません。

$$\text{シリアル・クロック周波数} = \frac{f_x}{2^{n+1}} \text{ [Hz]}$$

f_x : メイン・システム・クロック発振周波数

n : TPS200-TPS203の設定で決定される上記の表中の値 (1 n 8)

(2) 通信動作

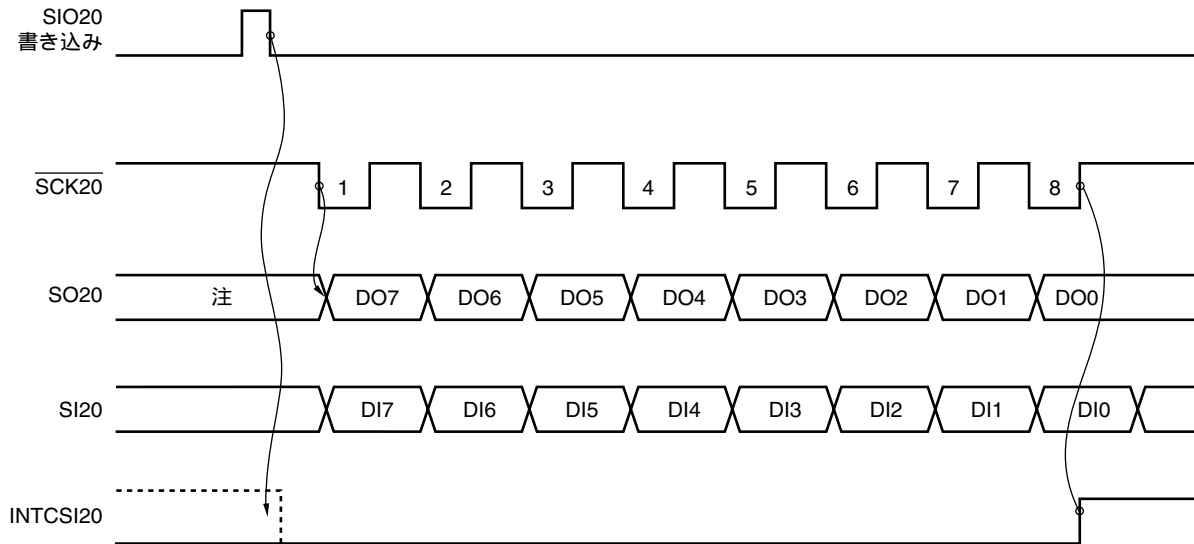
3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

送信シフト・レジスタ20 (TXS20/SIO20)、受信シフト・レジスタ20 (RXS20) のシフト動作は、シリアル・クロック ($\overline{\text{SCK20}}$) の立ち下がりに同期して行われます。そして、送信データがSO20ラッチに保持され、SO20端子から出力されます。また、 $\overline{\text{SCK20}}$ の立ち上がりで、SI20端子に入力された受信データが受信バッファ・レジスタ20 (RXB20/SIO20) にラッチされます。

8ビット転送終了により、TXS20/SIO20、RXS20の動作は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

図11 - 11 3線式シリアルI/Oモードのタイミング (1/2)

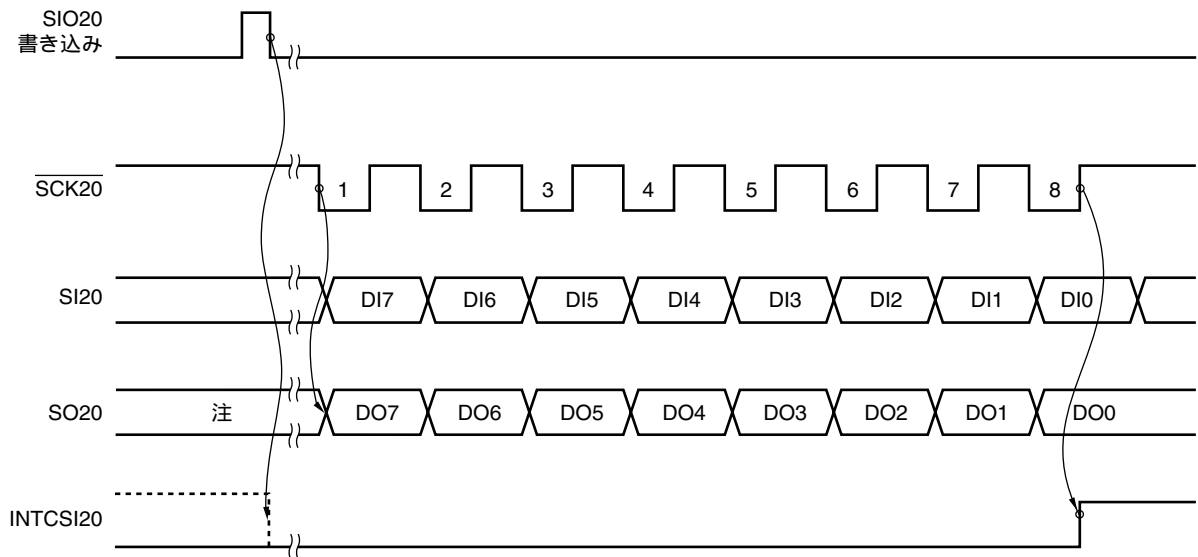
(i) マスタ動作 (CSCK20 = 0)



注 前回出力した最終ビットの値が出力されます。

図11 - 11 3線式シリアルI/Oモードのタイミング (2/2)

(ii) スレーブ動作 (CSCK20 = 1)



注 前回出力した最終ビットの値が出力されます。

(3) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、送信シフト・レジスタ20 (TXS20/SIO20) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ20 (CSIM20) のビット7 (CSIE20) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK20がハイ・レベルの状態

注意 TXS20/SIO20にデータを書き込んだあと、CSIE20を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI20) を発生します。

第12章 シリアル・インタフェース1A0

12.1 シリアル・インタフェース1A0の機能

シリアル・インタフェース1A0には、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減することができます。

(2) 3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

シリアル・クロック ($\overline{\text{SCK10}}$) と、シリアル・データ (SI10, SO10) の3本のラインにより、8ビット・データ転送を行うモードです。

3線式シリアルI/Oモードは、同時送受信動作が可能なので、データの転送の処理時間が短くなります。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

(3) 自動送受信機能付き3線式シリアルI/Oモード (MSB/LSB先頭切り替え可能)

(2) 3線式シリアルI/Oモードと同じ機能に、自動送受信機能を付加したモードです。

自動送受信機能は、最大16バイトのデータを送受信する機能です。この機能によって、CPU独立にOSD (On Screen Display) 用のデバイスや表示コントローラ/ドライバを内蔵したデバイスへのデータ送受信がハードウェアで行えますので、ソフトウェアの負担を軽減できます。

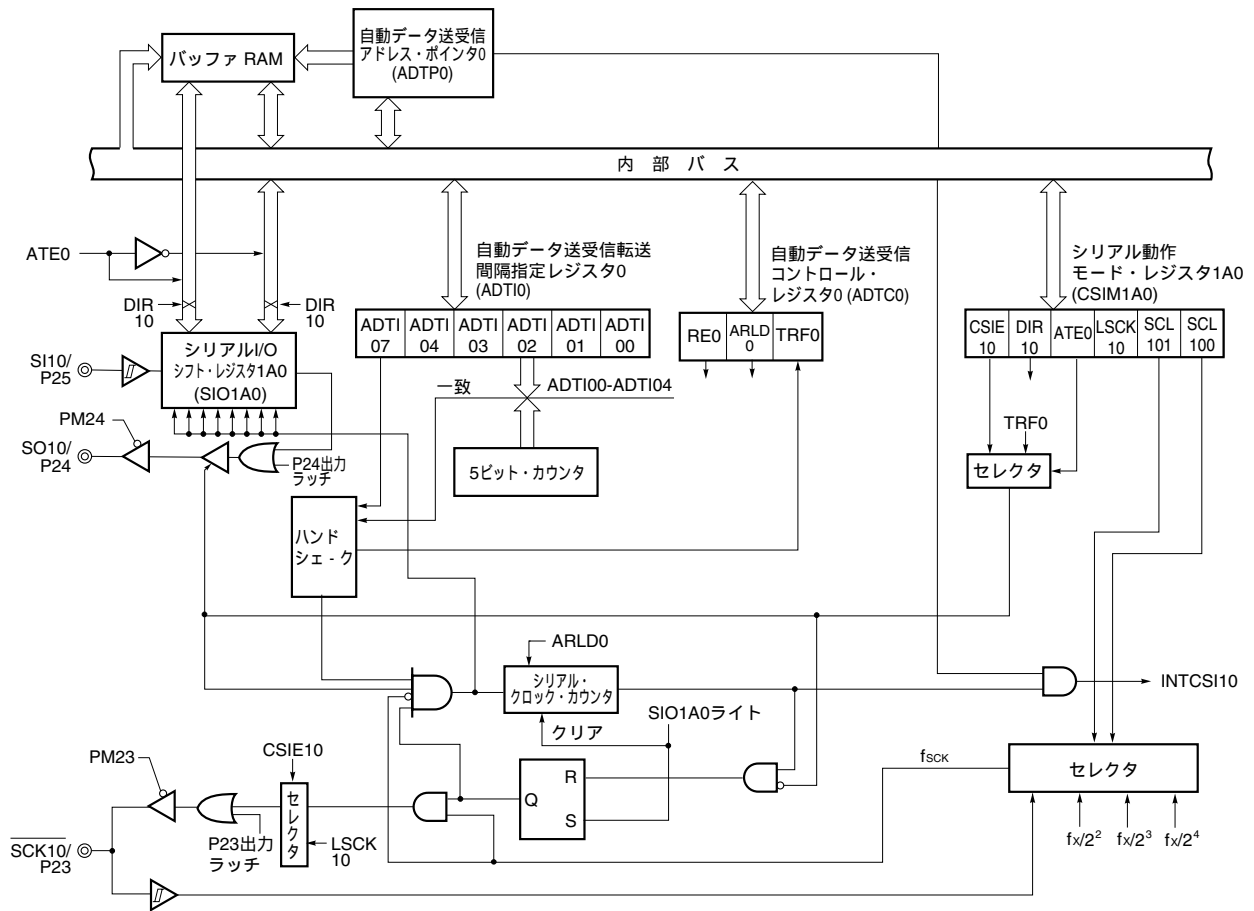
12.2 シリアル・インタフェース1A0の構成

シリアル・インタフェース1A0は、次のハードウェアで構成しています。

表12-1 シリアル・インタフェース1A0の構成

項 目	構 成
レジスタ	シリアルI/Oソフト・レジスタ1A0 (SIO1A0) 自動データ送受信アドレス・ポインタ0 (ADTP0)
制御レジスタ	シリアル動作モード・レジスタ1A0 (CSIM1A0) 自動データ送受信コントロール・レジスタ0 (ADTC0) 自動データ送受信転送間隔指定レジスタ0 (ADTI0) ポート・モード・レジスタ2 (PM2) ポート2 (P2)

図12 - 1 シリアル・インタフェース1A0のブロック図



(1) シリアルI/Oシフト・レジスタ1A0 (SIO1A0)

パラレル - シリアルの変換を行い、シリアル・クロックに同期してシリアル送受信を行う8ビットのレジスタです。

SIO1A0は、8ビット・メモリ操作命令で設定します。

シリアル動作モード・レジスタ1 (CSIM1A0) のビット7 (CSIE10) が1のとき、SIO1A0にデータを書き込む事により開始されます。

送信時は、SIO1A0に書き込まれたデータが、シリアル出力 (SO10) に出力されます。受信時は、データがシリアル入力 (SI10) からSIO1A0に読み込まれます。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 自動送受信機能が動作しているとき、SIO1A0にデータを書き込まないでください。

(2) 自動データ送受信アドレス・ポインタ0 (ADTP0)

自動送受信機能動作時、(送信データ・バイト数 - 1) の値を格納するレジスタです。データ送受信に伴い、自動的にデクリメントされます。

ADTP0は、8ビット・メモリ操作命令で設定します。このとき上位4ビットには0を設定してください。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 自動送受信機能が動作しているとき、ADTP0にデータを書き込まないでください。

(3) シリアル・クロック・カウンタ

送受信動作時に出力されるシリアル・クロック、および入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

12.3 シリアル・インタフェース1A0を制御するレジスタ

シリアル・インタフェース1A0を制御するレジスタには、次の5種類があります。

- ・シリアル動作モード・レジスタ1A0 (CSIM1A0)
- ・自動データ送受信コントロール・レジスタ0 (ADTC0)
- ・自動データ送受信転送間隔指定レジスタ0 (ADTI0)
- ・ポート・モード・レジスタ2 (PM2)
- ・ポート2 (P2)

(1) シリアル動作モード・レジスタ1A0 (CSIM1A0)

シリアル・インタフェース1A0のシリアル・クロック、動作モード、動作の許可/停止、自動送受信動作の許可/停止を設定するレジスタです。

CSIM1A0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

注意 3線式シリアルI/Oモード時または自動送受信機能付き3線式シリアルI/Oモード時は、ポート・モード・レジスタ2 (PM2) を次のように設定してください。

- ・シリアル・クロック出力時 (マスタ送信またはマスタ受信)

$\overline{\text{SCK10}}/\text{P23}$ 端子を出力モード (PM23 = 0) に設定し、P23の出力ラッチを0に設定

- ・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)

$\overline{\text{SCK10}}/\text{P23}$ 端子を入力モード (PM23 = 1) に設定

- ・送信/送受信モード時

SO10/P24端子を出力モード (PM24 = 0) に設定し、P24の出力ラッチを0に設定

SI10/P25端子を入力モード (PM25 = 1) に設定

- ・受信モード時

SI10/P25端子を入力モード (PM25 = 1) に設定

図12 - 2 シリアル動作モード・レジスタ1A0のフォーマット

略号	6			3		2	1	0	アドレス	リセット時	R/W
CSIM1A0	CSIE10	DIR10	ATE0	LCK10	0	0	SCL101	SCL100	FF78H	00H	R/W

CSIE10	動作許可 / 停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^注
0	動作停止	クリア	ポート機能
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

DIR10	シリアル転送データの先頭ビットの指定	
	0	1
0	MSB	LSB
1	LSB	MSB

ATE0	動作モードの選択	
	0	1
0	3線式シリアルI/Oモード	自動送受信機能付き3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード	3線式シリアルI/Oモード

LCK10	SCK10端子のチップ・イネーブル制御	
	0	1
0	CSIE10=0のとき、SCK10はポート機能（P23）として使用可能 CSIE10=1のとき、SCK10はクロック出力	CSIE10=0のとき、SCK10はハイ・レベル出力固定 CSIE10=1のとき、SCK10はクロック出力
1	CSIE10=0のとき、SCK10はハイ・レベル出力固定 CSIE10=1のとき、SCK10はクロック出力	CSIE10=0のとき、SCK10はポート機能（P23）として使用可能 CSIE10=1のとき、SCK10はクロック出力

SCL101	SCL100	シリアル・クロック（f _{SCK} ）の選択
0	0	SCK10端子への外部クロック入力
0	1	f _x /2 ² （1.25 MHz）
1	0	f _x /2 ³ （625 kHz）
1	1	f _x /2 ⁴ （313 kHz）

注 CSIE10 = 0（SIO1A0動作停止状態）のときは、SCK10/P23, SO10/P24, SI10/P25端子は、ポート機能として自由に使用できます。また、送信のみ使用するときは、SI10/P25端子をP25（CMOS入出力）として使用できます（ADTC0のビット7（RE0）に0を設定してください）。

備考1. f_x：メイン・システム・クロック発振周波数

2. （ ）内は、f_x = 5.0 MHz動作時

(2) 自動データ送受信コントロール・レジスタ0 (ADTC0)

自動送受信の受信の許可 / 禁止，動作モード，自動送受信の実行状況を表示するレジスタです。

ADTC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により，00Hになります。

図12 - 3 自動データ送受信コントロール・レジスタ0のフォーマット

略号	5	4	2	1	0	アドレス	リセット時	R/W
ADTC0	RE0	ARLD0	0	0	TRF0	0	0	0
						FF79H	00H	R/W ^{注1}

RE0	自動送受信機能の受信の制御
0	受信禁止 ^{注2}
1	受信許可

ARLD0	自動送受信機能の動作モードの選択
0	単発モード
1	繰り返しモード

TRF0	自動送受信機能のステータス ^{注3}
0	自動送受信の終了を検出（自動送受信の中断またはARLD0=0のとき，0になります）
1	自動送受信中（SIO1A0に書き込むことによって1になります）

注1. ビット3（TRF0）は，Read Onlyです。

2. RE0に0を設定しているとき，シリアル・モード・レジスタ1A0（CSIM1A0）のビット7（CSIE10）に1を設定していても，P25（CMOS入出力）になります。

3. 自動送受信の終了判定はCSIF10（割り込み要求フラグ）ではなくTRF0で行ってください。

(3) 自動データ送受信転送間隔指定レジスタ0 (ADTI0)

自動送受信機能のデータ転送のインターバル時間を設定するレジスタです。

ADTI0は、1ビット・メモリ操作命令または8ビットメモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図12 - 4 自動データ送受信転送間隔指定レジスタ0のフォーマット (1/2)

略号	6		5	⑩					アドレス	リセット時	R/W
ADTI0	ADTI07	0	0	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	FF7BH	00H	R/W

ADTI07	データ転送のインターバル時間の制御
0	ADTI00-ADTI04によるインターバル時間の制御なし ^{注1}
1	ADTI00-ADTI04によるインターバル時間の制御あり

ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	データ転送のインターバル時間の指定 ($f_x = 5.0 \text{ MHz}$, $f_{\text{SCK}} = 1.25 \text{ MHz}$ 時) ^{注2}	n
0	0	0	0	0	$1.60 \mu\text{s} + 0.5/f_{\text{SCK}}$	0
0	0	0	0	1		1
0	0	0	1	0	$2.40 \mu\text{s} + 0.5/f_{\text{SCK}}$	2
0	0	0	1	1	$3.20 \mu\text{s} + 0.5/f_{\text{SCK}}$	3
0	0	1	0	0	$4.00 \mu\text{s} + 0.5/f_{\text{SCK}}$	4
0	0	1	0	1	$4.80 \mu\text{s} + 0.5/f_{\text{SCK}}$	5
0	0	1	1	0	$5.60 \mu\text{s} + 0.5/f_{\text{SCK}}$	6
0	0	1	1	1	$6.40 \mu\text{s} + 0.5/f_{\text{SCK}}$	7
0	1	0	0	0	$7.20 \mu\text{s} + 0.5/f_{\text{SCK}}$	8
0	1	0	0	1	$8.00 \mu\text{s} + 0.5/f_{\text{SCK}}$	9
0	1	0	1	0	$8.80 \mu\text{s} + 0.5/f_{\text{SCK}}$	10
0	1	0	1	1	$9.60 \mu\text{s} + 0.5/f_{\text{SCK}}$	11
0	1	1	0	0	$10.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	12
0	1	1	0	1	$11.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	13
0	1	1	1	0	$12.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	14
0	1	1	1	1	$12.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	15

図12 - 4 自動データ送受信転送間隔指定レジスタ0のフォーマット (2/2)

略号	6		5						①	アドレス	リセット時	R/W
ADTI0	ADTI07	0	0	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	FF7BH	00H	R/W	

ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	データ転送のインターバル時間の指定 ($f_x = 5.0 \text{ MHz}$, $f_{\text{SCK}} = 1.25 \text{ MHz}$ 時) 注2	n
1	0	0	0	0	$13.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	16
1	0	0	0	1	$14.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	17
1	0	0	1	0	$15.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	18
1	0	0	1	1	$16.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	19
1	0	1	0	0	$16.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	20
1	0	1	0	1	$17.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	21
1	0	1	1	0	$18.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	22
1	0	1	1	1	$19.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	23
1	1	0	0	0	$20.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	24
1	1	0	0	1	$20.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	25
1	1	0	1	0	$21.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	26
1	1	0	1	1	$22.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	27
1	1	1	0	0	$23.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	28
1	1	1	0	1	$24.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	29
1	1	1	1	0	$24.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	30
1	1	1	1	1	$25.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	31

注1. インターバル時間はCPU処理にのみ依存します。

2. データ転送のインターバル時間は次の式により求められます (n : ADTI00-ADTI04に設定した値)。

n = 0の場合

$$\text{インターバル時間} = \frac{2}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

n = 1-31の場合

$$\text{インターバル時間} = \frac{n+1}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

注意1. 自動送受信機能動作中は、ADTI0への書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。

備考1. f_x : メイン・システム・クロック周波数

2. f_{SCK} : シリアル・クロック周波数

12.4 シリアル・インタフェース1A0の動作

シリアル・インタフェース1A0は、次の3種類のモードがあります。

- ・動作停止モード
- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

12.4.1 動作停止モード

動作停止モードでは、シリアル転送を行いません。したがって、消費電力を低減できます。また、動作停止モードでは、P23/ $\overline{\text{SCK10}}$ 、P24/SO10、P25/SI10端子を通常の入出力ポートとして使用できます。

(1) レジスタの設定

動作停止モードの設定は、シリアル動作モード・レジスタ1A0 (CSIM1A0)で行います。

(a) シリアル動作モード・レジスタ1A0 (CSIM1A0)

CSIM1A0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6		3		2	1	0	アドレス	リセット時	R/W	
CSIM1A0	CSIE10	DIR10	ATE0	LSCCK10	0	0	SCL101	SCL100	FF78H	00H	R/W

CSIE10	動作許可 / 停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^注
0	動作停止	クリア	ポート機能
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

注 CSIE10 = 0 (SIO1A0動作停止状態) のときは、 $\overline{\text{SCK10}}$ /P23、SO10/P24、SI10/P25端子は、ポート機能として自由に使用できます。

12.4.2 3線式シリアルI/Oモード

3線式シリアルI/Oモードは、75XLシリーズ、78Kシリーズ、17Kシリーズなど従来のクロック同期式シリアル・インタフェースを内蔵する周辺I/Oや表示コントローラなどを接続するときに有効です。

シリアル・クロック（ $\overline{\text{SCK10}}$ ）、シリアル出力（SO10）、シリアル入力（SI10）の3本のラインで通信を行います。

（1）レジスタの設定

3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ1A0（CSIM1A0）で行います。

（a）シリアル動作モード・レジスタ1A0（CSIM1A0）

CSIM1A0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 3線式シリアルI/Oモード時、ポート・モード・レジスタ2（PM2）を次のように設定してください。

・シリアル・クロック出力時（マスタ送信またはマスタ受信）

$\overline{\text{SCK10}}$ /P23端子を出力モード（PM23 = 0）に設定し、P23の出力ラッチを0に設定

・シリアル・クロック入力時（スレーブ送信またはスレーブ受信）

$\overline{\text{SCK10}}$ /P23端子を入力モード（PM23 = 1）に設定

・送信 / 送受信モード時

SO10/P24端子を出力モード（PM24 = 0）に設定し、P24の出力ラッチを0に設定

SI10/P25端子を入力モード（PM25 = 1）に設定

・受信モード時

SI10/P25端子を入力モード（PM25 = 1）に設定

略号	6				3	2	1	0	アドレス	リセット時	R/W
CSIM1A0	CSIE10	DIR10	ATE0	LCK10	0	0	SCL101	SCL100	FF78H	00H	R/W

CSIE10	動作許可 / 停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^注
0	動作停止	クリア	ポート機能
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

DIR10	シリアル転送データの先頭ビットの指定
0	MSB
1	LSB

ATE0	動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

LCK10	SCK10端子のチップ・イネーブル制御
0	CSIE10=0のとき、SCK10はポート機能（P23）として使用可能 CSIE10=1のとき、SCK10はクロック出力
1	CSIE10=0のとき、SCK10はハイ・レベル出力固定 CSIE10=1のとき、SCK10はクロック出力

SCL101	SCL100	シリアル・クロックの選択
0	0	SCK10端子への外部クロック入力
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注 CSIE10 = 0 (SIO1A0動作停止状態) のときは、SCK10/P23, SO10/P24, SI10/P25端子は、ポート機能として自由に使用できます。また、送信のみ使用するときは、SI10/P25端子をP25 (CMOS入出力) として使用できます (ADTC0のビット7 (RE0) に0を設定してください)。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. () 内は、 $f_x = 5.0$ MHz動作時

(2) 通信動作

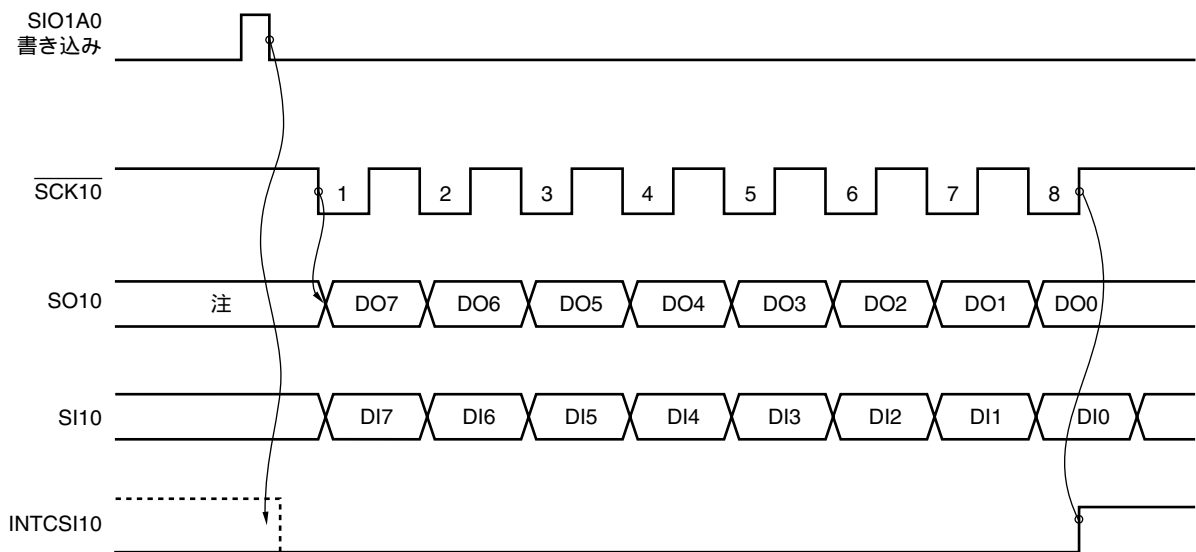
3線式シリアルI/Oモードは、8ビット単位でデータの送受信を行います。データは、シリアル・クロックに同期して1ビットごとに送受信を行います。

シリアルI/Oシフト・レジスタ1A0 (SIO1A0) のシフト動作は、シリアル・クロック ($\overline{\text{SCK10}}$) の立ち下がりに同期して行われます。そして、送信データがSO10ラッチに保持され、SO10端子から出力されます。また、 $\overline{\text{SCK10}}$ の立ち上がりで、SI10端子に入力された受信データがSIO1A0にラッチされます。

8ビット転送終了により、SIO1A0の動作は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

図12 - 5 3線式シリアルI/Oモードのタイミング (1/2)

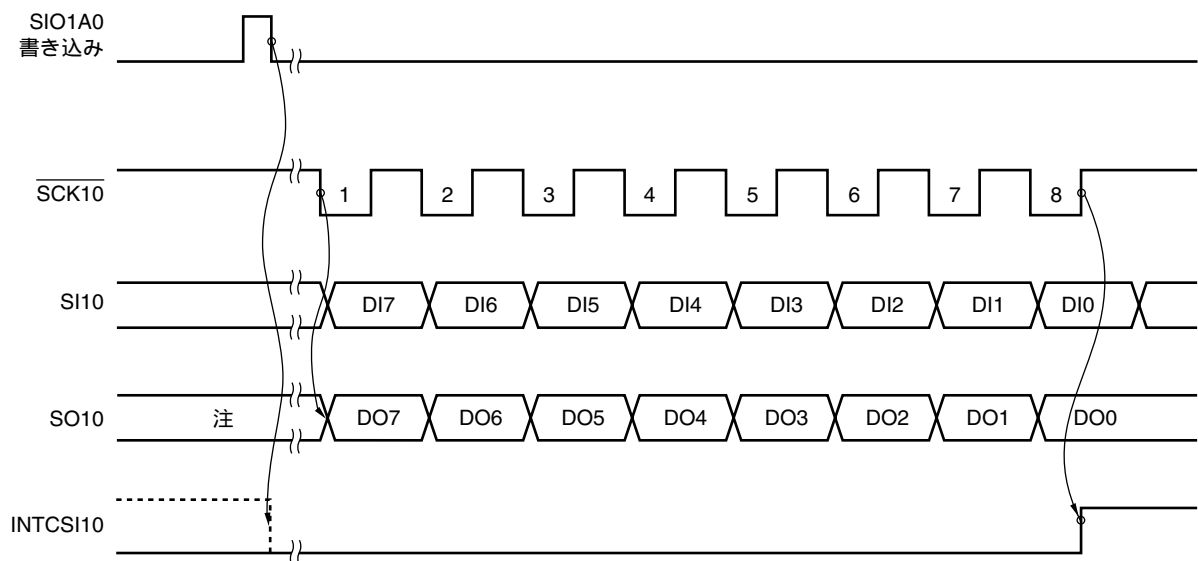
(i) マスタ動作



注 前回出力した最終ビットの値が出力されます。

図12 - 5 3線式シリアルI/Oモードのタイミング (2/2)

(ii) スレーブ動作



注 前回出力した最終ビットの値が出力されます。

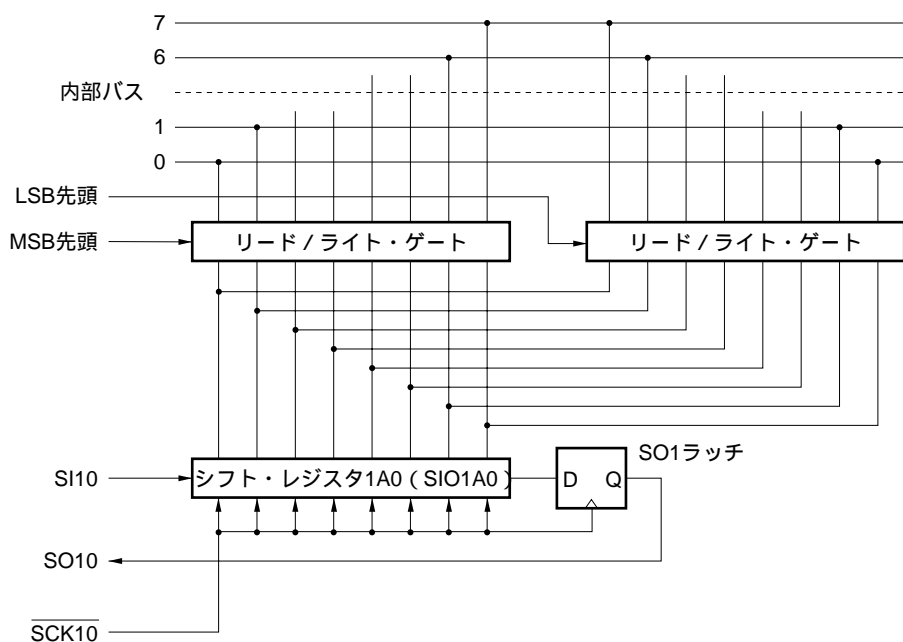
(3) MSB/LSB先頭の切り替え

3線式シリアルI/Oモードは、転送がMSB先頭か、LSB先頭かを選択できる機能を持っています。

図12 - 6にシリアルI/Oシフト・レジスタ1A0 (SIO1A0) , および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し / 書き込みを行うことができます。

MSB/LSB先頭切り替えは、シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット6 (DIR10) により指定できます。

図12 - 6 転送ビット順切り替え回路



先頭ビットの切り替えは、SIO1A0へのデータ書き込みのビット順を切り替えることによって実現させています。SIO1A0のシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットの切り替えは、シフト・レジスタにデータを書き込む前に行ってください。

(4) 転送スタート

シリアル転送は、次の2つの条件を満たしたとき、シリアルI/Oシフト・レジスタ1A0 (SIO1A0) に転送データをセットすることで開始します。

- ・シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット7 (CSIE10) = 1
- ・8ビット・シリアル転送後、内部のシリアル・クロックが停止した状態か、またはSCK10がハイ・レベルの状態

注意 SIO1A0にデータを書き込んだあと、CSIE10を“1”にしても、転送はスタートしません。

8ビット転送終了により、シリアル転送は自動的に停止し、割り込み要求信号 (INTCSI10) を発生します。

12.4.3 自動送受信機能付き3線式シリアルI/Oモード

最大16バイトのデータを、ソフトウェアの介在なしに送受信を行う3線式シリアルI/Oモードです。転送を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

(1) レジスタの設定

自動送受信機能付き3線式シリアルI/Oモードの設定は、シリアル動作モード・レジスタ1A0 (CSIM1A0) と自動データ送受信コントロール・レジスタ0 (ADTC0)、自動データ送受信転送間隔指定レジスタ0 (ADTI0) で行います。

(a) シリアル動作モード・レジスタ1A0 (CSIM1A0)

CSIM1A0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

注意 自動送受信機能付き3線式シリアルI/Oモード時、ポート・モード・レジスタ2 (PM2) を次のように設定してください。

・シリアル・クロック出力時 (マスタ送信またはマスタ受信)

$\overline{\text{SCK10/P23}}$ 端子を出力モード (PM23 = 0) に設定し、P23の出力ラッチを0に設定

・シリアル・クロック入力時 (スレーブ送信またはスレーブ受信)

$\overline{\text{SCK10/P23}}$ 端子を入力モード (PM23 = 1) に設定

・送信 / 送受信モード時

SO10/P24端子を出力モード (PM24 = 0) に設定し、P24の出力ラッチを0に設定

SI10/P25端子を入力モード (PM25 = 1) に設定

・受信モード時

SI10/P25端子を入力モード (PM25 = 1) に設定

略号	6				3	2	1	0	アドレス	リセット時	R/W
CSIM1A0	CSIE10	DIR10	ATE0	LCK10	0	0	SCL101	SCL100	FF78H	00H	R/W

CSIE10	動作許可 / 停止の指定		
	シフト・レジスタ動作	シリアル・カウンタ	ポート ^注
0	動作停止	クリア	ポート機能
1	動作許可	カウント動作許可	シリアル機能 + ポート機能

DIR10	シリアル転送データの先頭ビットの指定
0	MSB
1	LSB

ATE0	動作モードの選択
0	3線式シリアルI/Oモード
1	自動送受信機能付き3線式シリアルI/Oモード

LCK10	SCK10端子のチップ・イネーブル制御
0	CSIE10=0のとき、SCK10はポート機能（P23）として使用可能 CSIE10=1のとき、SCK10はクロック出力
1	CSIE10=0のとき、SCK10はハイ・レベル出力固定 CSIE10=1のとき、SCK10はクロック出力

SCL101	SCL100	シリアル・クロックの選択
0	0	SCK10端子への外部クロック入力
0	1	$f_x/2^2$ (1.25 MHz)
1	0	$f_x/2^3$ (625 kHz)
1	1	$f_x/2^4$ (313 kHz)

注 CSIE10 = 0 (SIO1A0動作停止状態) のときは、SCK10/P23, SO10/P24, SI10/P25端子は、ポート機能として自由に使用できます。また、送信のみ使用するときは、SI10/P25端子をP25 (CMOS入出力) として使用できます (ADTC0のビット7 (RE0) に0を設定してください)。

- 備考1. f_x : メイン・システム・クロック発振周波数
2. () 内は、 $f_x = 5.0$ MHz動作時

(b) 自動データ送受信コントロール・レジスタ0 (ADTC0)

ADTC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	5	4	2	1	0	アドレス	リセット時	R/W
ADTC0	RE0	ARLD0	0	0	TRF0	0	0	0
						FF79H	00H	R/W ^{注1}

RE0	自動送受信機能の受信の制御
0	受信禁止 ^{注2}
1	受信許可

ARLD0	自動送受信機能の動作モードの選択
0	単発モード
1	繰り返しモード

TRF0	自動送受信機能のステータス ^{注3}
0	自動送受信の終了を検出（自動送受信の中断またはARLD0=0のとき、0になります）
1	自動送受信中（SIO1A0に書き込むことによって1になります）

注1. ビット3（TRF0）は、Read Onlyです。

2. RE0に0を設定しているとき、シリアル・モード・レジスタ1A0（CSIM1A0）のビット7（CSIE10）に1を設定していても、P25（CMOS入出力）になります。

3. 自動送受信の終了判定はCSIF10（割り込み要求フラグ）ではなくTRF0で行ってください。

(c) 自動データ送受信転送間隔指定レジスタ0 (ADTI0)

ADTI0は、1ビット・メモリ操作命令または8ビットメモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

略号	6		5	①					アドレス	リセット時	R/W
ADTI0	ADTI07	0	0	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	FF7BH	00H	R/W

ADTI07	データ転送のインターバル時間の制御
0	ADTI00-ADTI04によるインターバル時間の制御なし ^{注1}
1	ADTI00-ADTI04によるインターバル時間の制御あり

ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	データ転送のインターバル時間の指定 (fx = 5.0 MHz, fsck = 1.25 MHz時) ^{注2}	n
0	0	0	0	0	1.60 μ s + 0.5/fsck	0
0	0	0	0	1		1
0	0	0	1	0	2.40 μ s + 0.5/fsck	2
0	0	0	1	1	3.20 μ s + 0.5/fsck	3
0	0	1	0	0	4.00 μ s + 0.5/fsck	4
0	0	1	0	1	4.80 μ s + 0.5/fsck	5
0	0	1	1	0	5.60 μ s + 0.5/fsck	6
0	0	1	1	1	6.40 μ s + 0.5/fsck	7
0	1	0	0	0	7.20 μ s + 0.5/fsck	8
0	1	0	0	1	8.00 μ s + 0.5/fsck	9
0	1	0	1	0	8.80 μ s + 0.5/fsck	10
0	1	0	1	1	9.60 μ s + 0.5/fsck	11
0	1	1	0	0	10.4 μ s + 0.5/fsck	12
0	1	1	0	1	11.2 μ s + 0.5/fsck	13
0	1	1	1	0	12.0 μ s + 0.5/fsck	14
0	1	1	1	1	12.8 μ s + 0.5/fsck	15

(続く)

略号	6		5		⑩				アドレス	リセット時	R/W
ADTI0	ADTI07	0	0	ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	FF7BH	00H	R/W

ADTI04	ADTI03	ADTI02	ADTI01	ADTI00	データ転送のインターバル時間の指定 ($f_x = 5.0 \text{ MHz}$, $f_{\text{SCK}} = 1.25 \text{ MHz}$ 時) ^{注2}	n
1	0	0	0	0	$13.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	16
1	0	0	0	1	$14.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	17
1	0	0	1	0	$15.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	18
1	0	0	1	1	$16.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	19
1	0	1	0	0	$16.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	20
1	0	1	0	1	$17.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	21
1	0	1	1	0	$18.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	22
1	0	1	1	1	$19.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	23
1	1	0	0	0	$20.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	24
1	1	0	0	1	$20.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	25
1	1	0	1	0	$21.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	26
1	1	0	1	1	$22.4 \mu\text{s} + 0.5/f_{\text{SCK}}$	27
1	1	1	0	0	$23.2 \mu\text{s} + 0.5/f_{\text{SCK}}$	28
1	1	1	0	1	$24.0 \mu\text{s} + 0.5/f_{\text{SCK}}$	29
1	1	1	1	0	$24.8 \mu\text{s} + 0.5/f_{\text{SCK}}$	30
1	1	1	1	1	$25.6 \mu\text{s} + 0.5/f_{\text{SCK}}$	31

注1. インターバル時間はCPU処理にのみ依存します。

2. データ転送のインターバル時間は次の式により求められます (n : ADTI00-ADTI04に設定した値)。

n = 0の場合

$$\text{インターバル時間} = \frac{2}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

n = 1-31の場合

$$\text{インターバル時間} = \frac{n+1}{f_{\text{SCK}}} + \frac{0.5}{f_{\text{SCK}}}$$

注意1. 自動送受信機能動作中は、ADTI0への書き込みを行わないでください。

2. ビット5, 6には、必ず0を設定してください。

備考 f_x : メイン・システム・クロック周波数

f_{SCK} : シリアル・クロック周波数

(2) 自動送受信データの設定**(a) 送信データの設定**

バッファRAMの最下位アドレスFFA0Hから送信データを書き込む（最大FFAFHまで）。ただし、送信データ順は、上位アドレスから下位アドレスです。

自動データ送受信アドレス・ポインタ0（ADTP0）に、送信データ・バイト数から1を引いた値を設定する。

(b) 自動送受信モードの設定

シリアル動作モード・レジスタ1A0（CSIM1A0）のビット7（CSIE10）に1、ビット5（ATE0）に1を設定する。

自動データ送受信コントロール・レジスタ0（ADTC0）のビット7（RE0）に1を設定する。

自動データ送受信転送間隔指定レジスタ0（ADTI0）にデータ送受信の転送間隔を設定する。

シリアルI/Oシフト・レジスタ1A0（SIO1A0）に任意の値を書き込む（転送開始トリガ）。

注意 SIO1A0への任意の値の書き込みは、自動送受信動作の開始を指示するものであり、書き込んだ値には意味がありません。

(a) と (b) を行うことによって、次の動作が自動的に行われます。

- ・ ADTP0で指定したバッファRAMのデータをSIO1A0に転送後、送信を行います（自動送受信動作の開始）。
- ・ 受信したデータは、ADTP0で指定したバッファRAMのアドレスへ書き込まれます。
- ・ ADTP0がデクリメントされ、次のデータの送受信を行います。データの送受信は、ADTP0のデクリメント出力が00Hになり、FFA0H番地のデータを出力するまで行われます（自動送受信動作の終了）。
- ・ 自動送受信動作が終了するとADTC0のビット3（TRF0）が0にクリアされます。

(3) 通信動作

(a) 基本送受信モード

3線式シリアルI/Oモードと同じ8ビット単位のリータ送受信を指定回数だけ実行する送受信モードです。

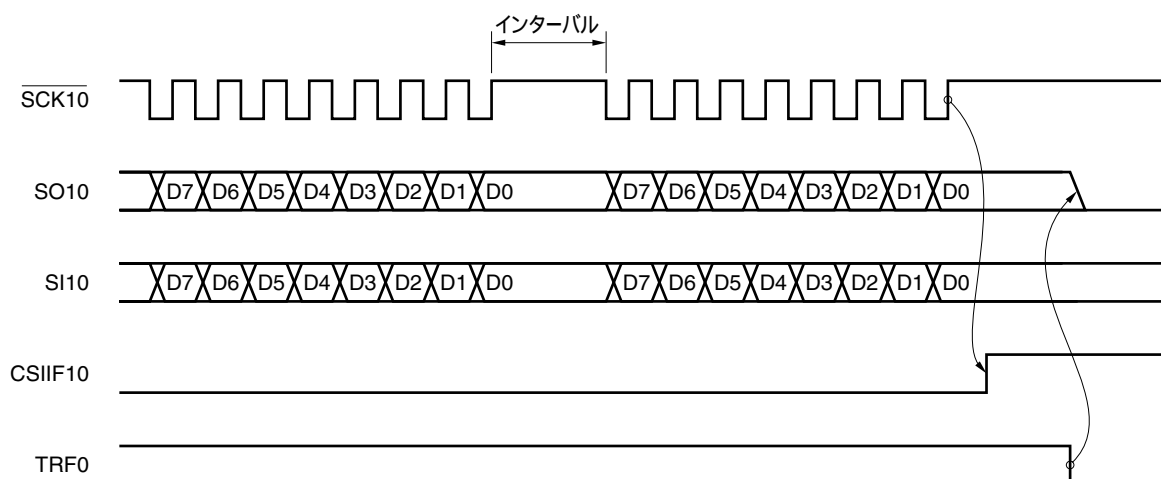
シリアル転送は、シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット7 (CSIE10) が1にセットされているとき、シリアルI/Oシフト・レジスタ1A0 (SIO1A0) へ任意のリータを書き込むことによって開始します。

最終バイト送信完了時には、割り込み要求フラグ (CSIF10) をセットされます。ただし割り込みが受け付けられた場合、割り込み要求フラグのCSIF10はクリアされてしまうので、自動送受信の終了判定はCSIF10ではなく、自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3 (TRF0) で行ってください。

基本送受信モードの動作タイミングを図12 - 7に、動作フロー・チャートを図12 - 8に示します。

また、6バイト送信するときのバッファRAMの動作を図12 - 9に示します。

図12 - 7 基本送受信モードの動作タイミング

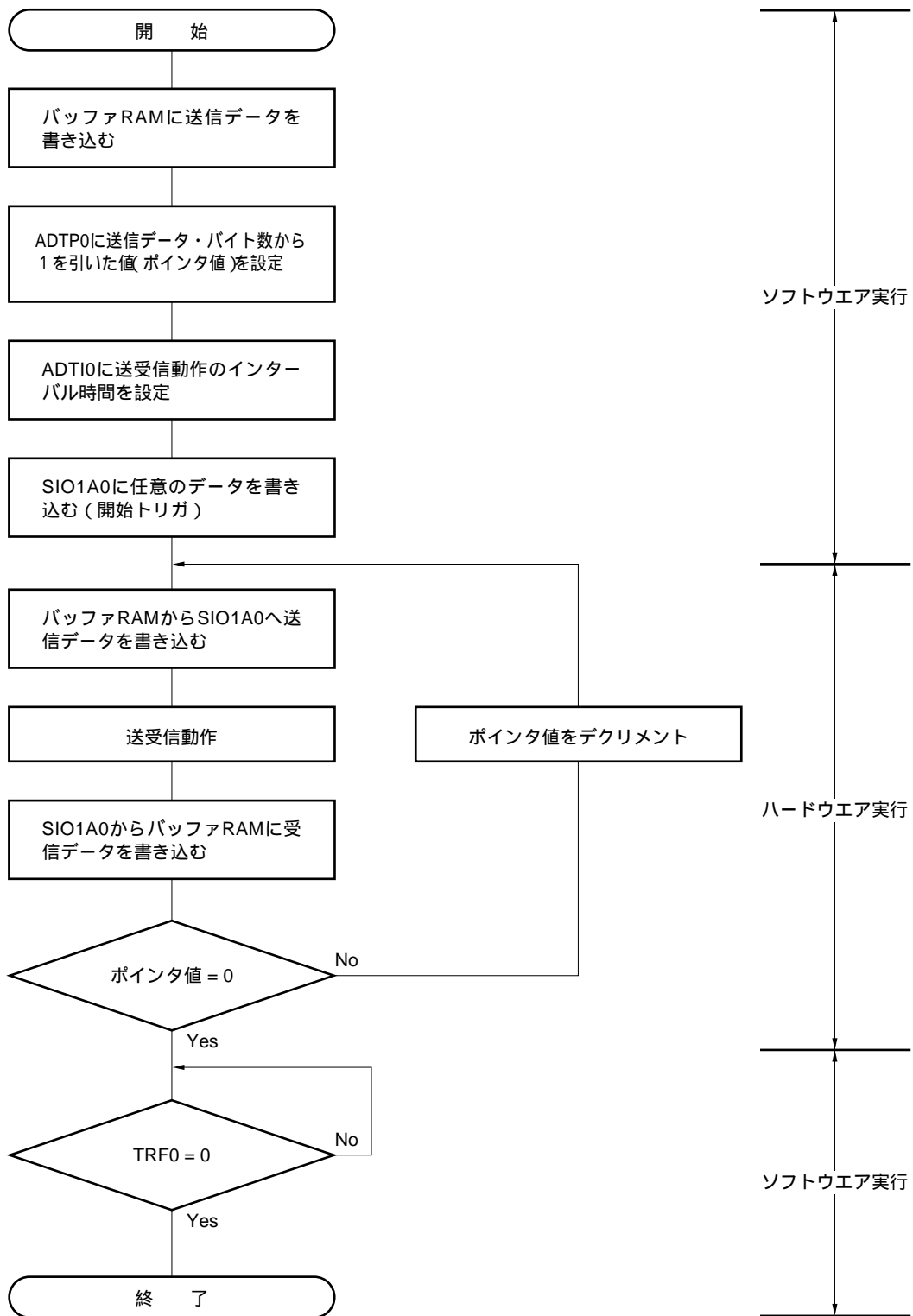


- 注意1. 基本送受信モードでは、1バイト送受信後、バッファRAMへの書き込み/読み出しを行うため、次の送受信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMへの書き込み/読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信転送間隔指定レジスタ0 (ADTI0) の値に依存します (12.4.3 (5) 自動送受信のインターバル時間参照)。
2. TRF0がクリアされると、SO10端子はロウ・レベルになります。

備考 CSIF10 : 割り込み要求フラグ

TRF0 : 自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3

図12 - 8 基本送受信モードのフロー・チャート



備考 ADTP0 : 自動データ送受信アドレス・ポインタ0
 ADTI0 : 自動データ送受信転送間隔指定レジスタ0
 SIO1A0 : シリアルI/Oシフト・レジスタ1A0
 TRF0 : 自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3

基本送受信モードで6バイト分送受信するとき（自動データ送受信コントロール・レジスタ0（ADTC0）のビット6（ARLD0）= 0，ビット7（RE0）= 1），バッファRAMは次のような動作をします。

(i) 送受信動作前（図12 - 9（a）参照）

SIO1A0に任意のデータを書き込んだあと（開始トリガ：このデータは転送されません），バッファRAMから送信データ1（T1）がSIO1A0へ転送されます。1バイト目の送信が完了すると，SIO1A0からバッファRAMへ受信データ1（R1）が転送され，自動データ送受信アドレス・ポインタ0（ADTP0）がデクリメントされます。続いてバッファRAMから送信データ2（T2）がSIO1A0へ転送されます。

(ii) 4バイト目送受信動作時点（図12 - 9（b）参照）

3バイト目の送受信が完了し，バッファRAMから送信データ4（T4）がSIO1A0へ転送されます。4バイト目の送信が完了すると，SIO1A0からバッファRAMへ受信データ4（R4）が転送され，ADTP0がデクリメントされます。

(iii) 送受信完了（図12 - 9（c）参照）

6バイト目の送信が完了すると，SIO1A0からバッファRAMへ受信データ6（R6）が転送され，割り込み要求フラグ（CSIF10）がセットされます（INTCSI10発生）。

図12 - 9 6バイト分送受信するときのバッファRAMの動作（基本送受信モード時）（1/2）

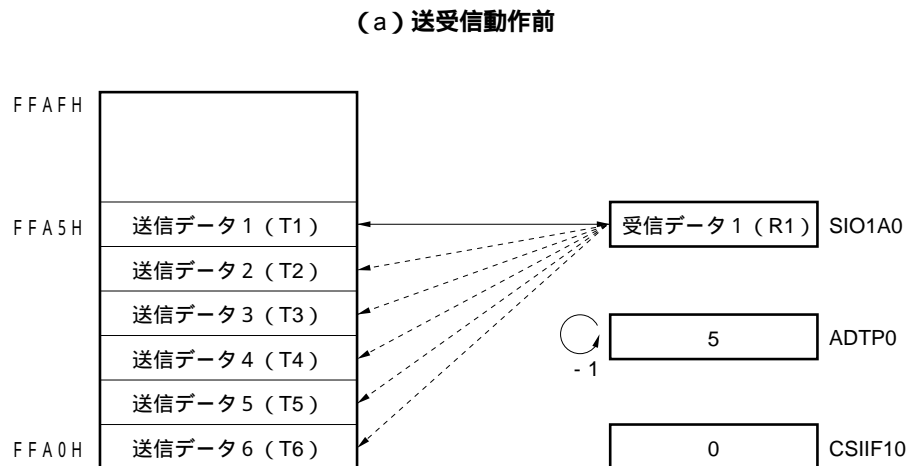
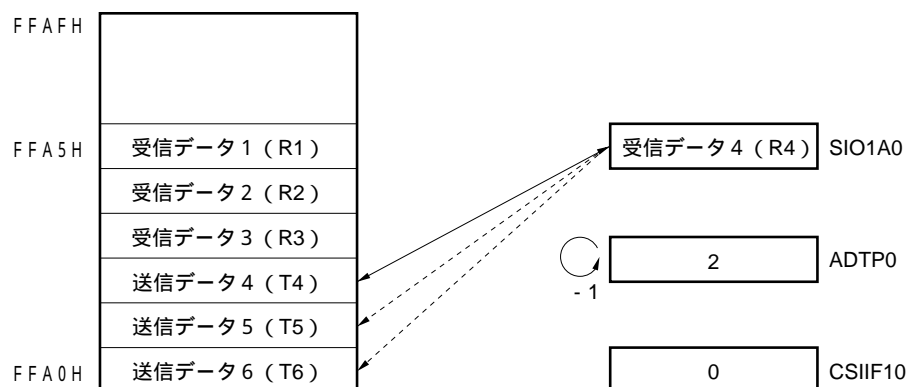
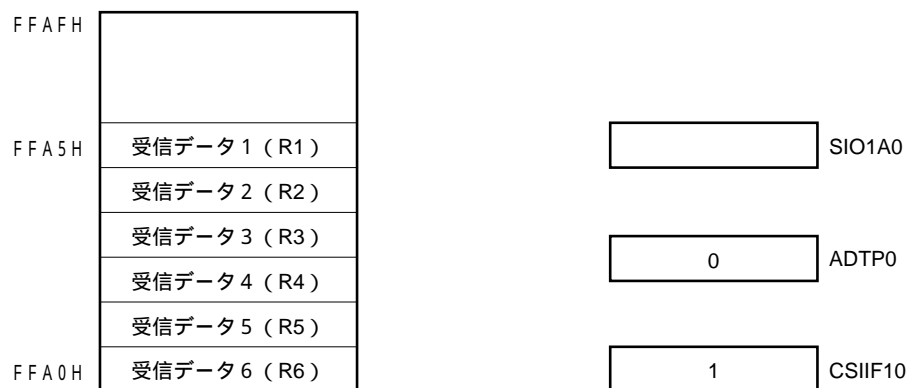


図12 - 9 6バイト分送受信するときのバッファRAMの動作（基本送受信モード時）（2/2）

(b) 4バイト目送受信動作時点



(c) 送受信完了



(b) 基本送信モード

8ビット単位のリータ送信を指定回数だけ実行する送信モードです。

シリアル転送は、シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット7 (CSIE10) が1、自動データ送受信コントロール・レジスタ0 (ADTC0) のビット7 (RE0) が0にセットされているとき、シリアル・シフト・レジスタ1A0 (SIO1A0) へ任意のデータを書き込むことによって開始します。

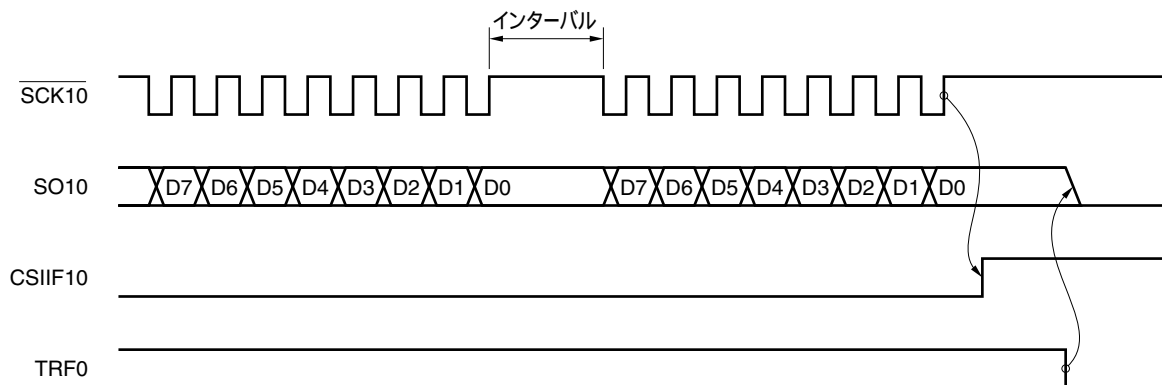
最終バイト送信完了時に割り込み要求フラグ (CSIF10) がセットされます。ただし、自動送受信の終了判断はCSIF10ではなく、自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3 (TRF0)で行ってください。

なお、受信動作を行わない場合は、P25/SI10端子を通常の入出力ポートとして使用できます。

基本送信モードの動作タイミングを図12 - 10に、動作フロー・チャートを図12 - 11に示します。

また、6バイト繰り返し送信するときのバッファRAMの動作を図12 - 12に示します。

図12 - 10 基本送信モードの動作タイミング

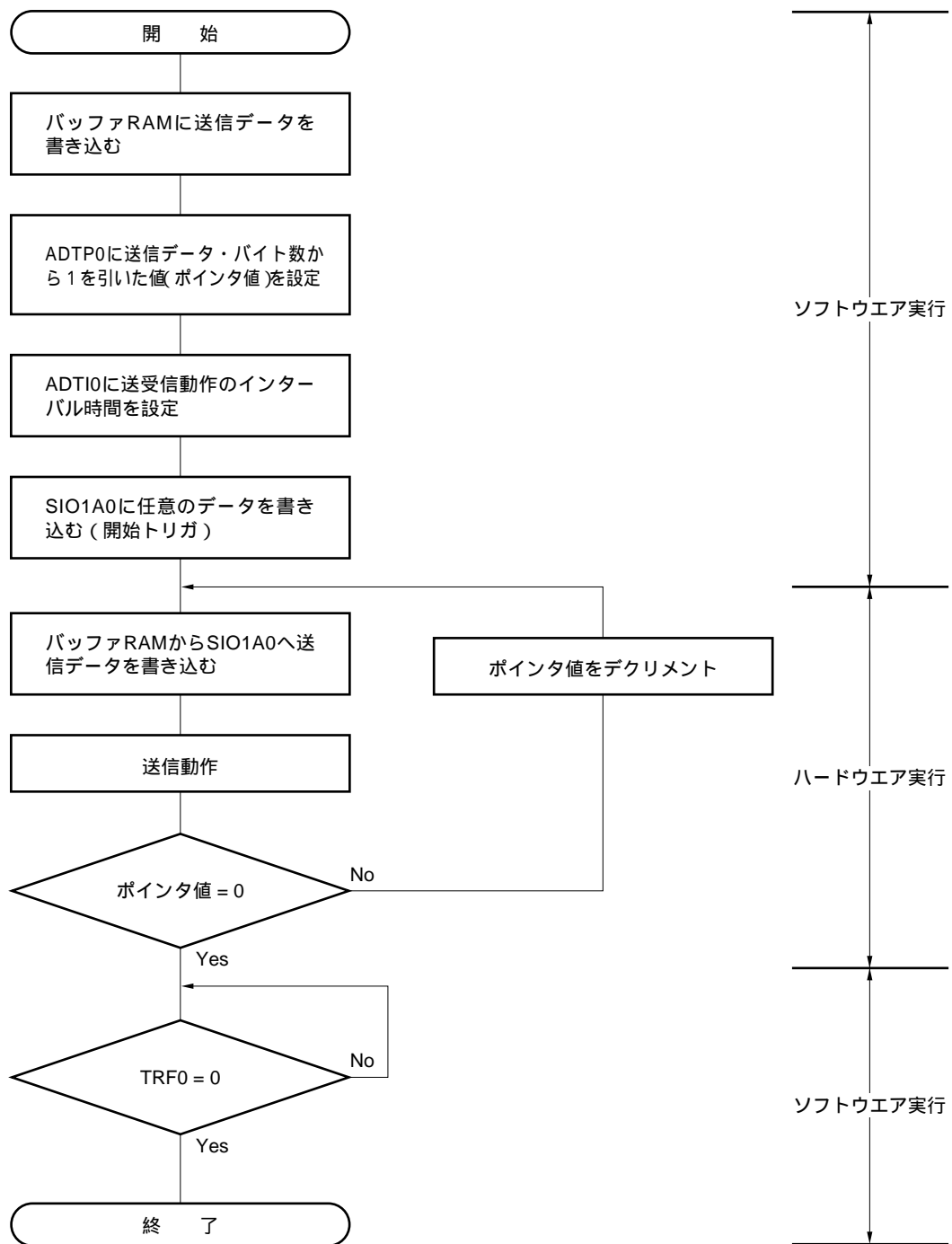


- 注意1. 基本送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていただきますので、最大インターバル時間はCPU処理と自動データ送受信転送間隔指定レジスタ0 (ADTI0) の値に依存します (12. 4. 3 (5) 自動送受信のインターバル時間参照)。
2. TRF0がクリアされると、SO10端子はロウ・レベルになります。

備考 CSIF10 : 割り込み要求フラグ

TRF0 : 自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3

図12 - 11 基本送信モードのフロー・チャート



備考 ADTP0 : 自動データ送受信アドレス・ポインタ0

ADTI0 : 自動データ送受信転送間隔指定レジスタ0

SIO1A0 : シリアルI/Oシフト・レジスタ1A0

TRF0 : 自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3

基本送信モードで6バイト分送信するとき（自動データ送受信コントロール・レジスタ0（ADTC0）のビット6（ARLD0）= 0，ビット7（RE0）= 0），バッファRAMは次のような動作をします。

(i) 送信動作前（図12 - 12（a）参照）

SIO1A0に任意のデータを書き込んだあと（開始トリガ：このデータは転送されません），バッファRAMから送信データ1（T1）がSIO1A0へ転送されます。1バイト目の送信が完了すると，ADTP0がデクリメントされます。続いてバッファRAMから送信データ2（T2）がSIO1A0へ転送されます。

(ii) 4バイト目送信動作時点（図12 - 12（b）参照）

3バイト目の送信が完了し，バッファRAMから送信データ4（T4）がSIO1A0へ転送されます。4バイト目の送信が完了すると，ADTP0がデクリメントされます。

(iii) 送受信完了（図12 - 12（c）参照）

6バイト目の送信が完了すると，割り込み要求フラグ（CSIF10）がセットされます（INTCSI10発生）。

図12 - 12 6バイト分送信するときのバッファRAMの動作（基本送信モード時）（1/2）

(a) 送信動作前

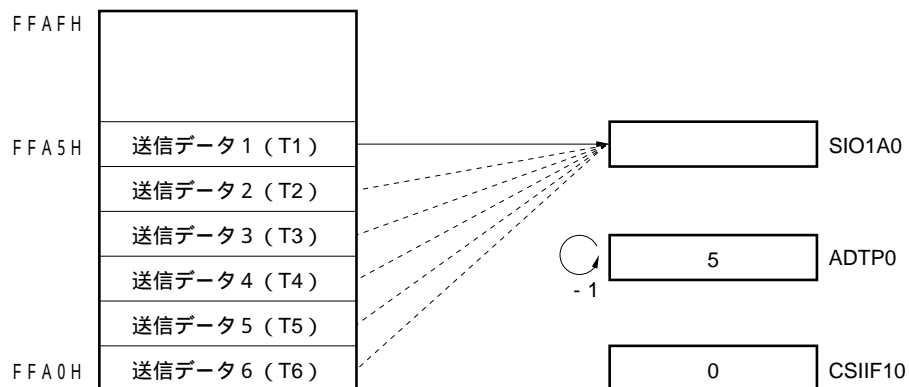
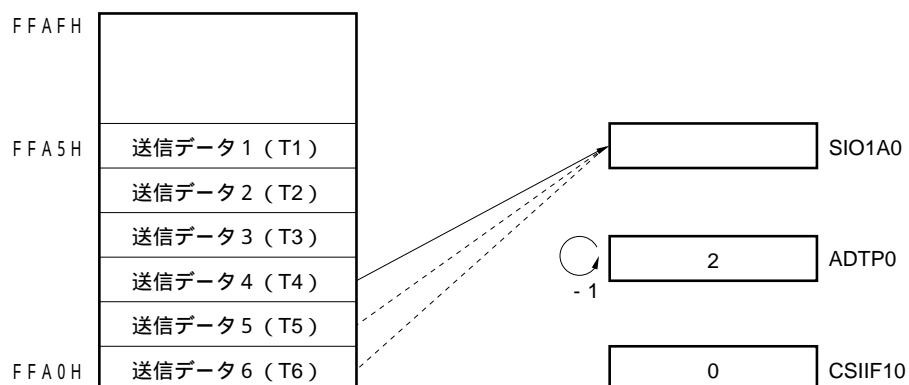
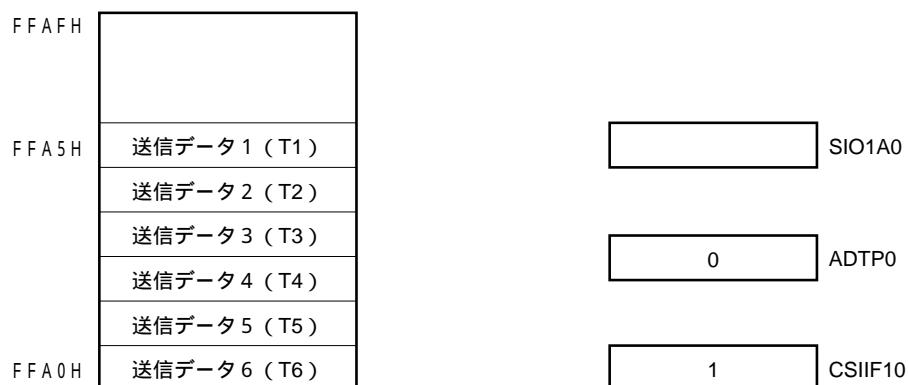


図12 - 12 6バイト分送信するときのバッファRAMの動作（基本送信モード時）（2/2）

(b) 4バイト目送信動作時点



(c) 送受信完了



(c) 繰り返し送信モード

バッファRAMに格納したデータを繰り返し送信するモードです。

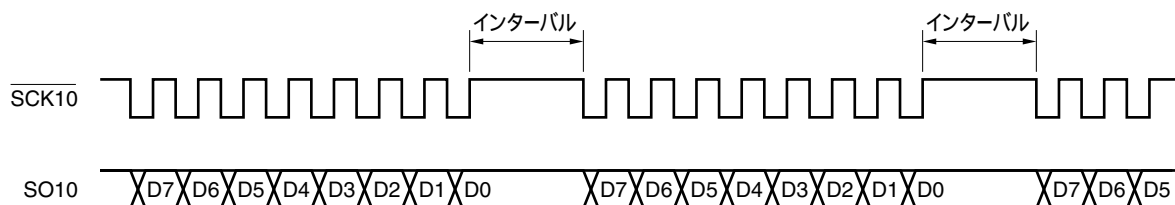
シリアル転送は、シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット7 (CSIE10) が1、自動送受信コントロール・レジスタ0 (ADTC0) のビット7 (RE0) が0にセットされているとき、シリアルI/Oシフト・レジスタ1A0 (SIO1A0) へ任意のデータを書き込むことによって開始します。

基本送信モードの場合とは異なり、最終バイト (FFA0H番地のデータ) を送信したあと、割り込み要求フラグ (CSIF10) はセットされず、自動データ送受信アドレス・ポインタ0 (ADTP0) に送信を開始したときの値が再設定され、バッファRAMの内容が再送信されます。

なお、受信動作を行わない場合には、P25/SI10端子を通常の入出力ポートとして使用できます。

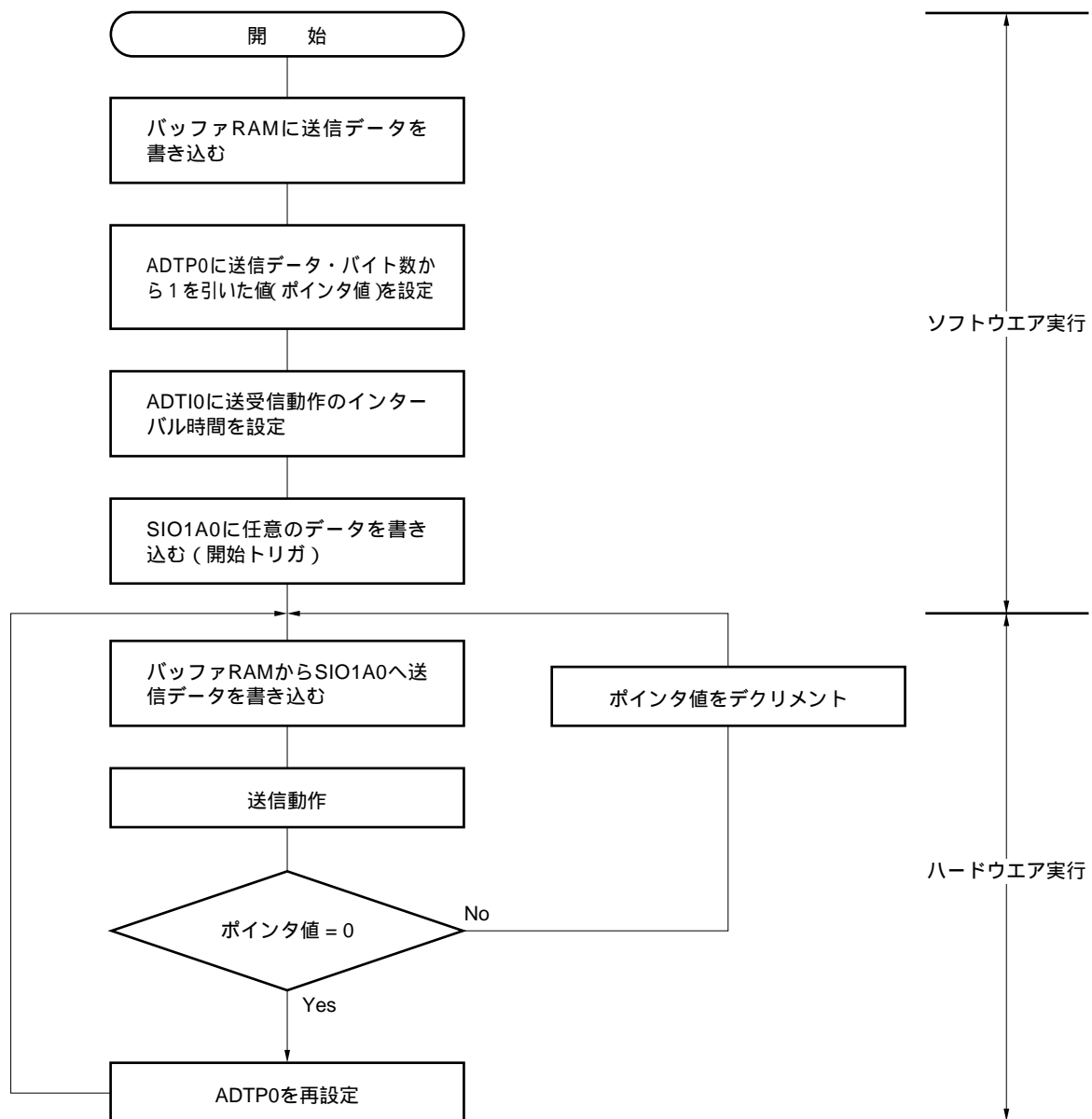
繰り返し送信モードの動作タイミングを図12 - 13に、動作フロー・チャートを図12 - 14に示します。

図12 - 13 繰り返し送信モードの動作タイミング



注意 繰り返し送信モードでは、1バイト送信後、バッファRAMからの読み出しを行うため、次の送信までの期間にインターバル時間が入ります。CPU処理と同時にバッファRAMからの読み出しを行っていますので、最大インターバル時間はCPU処理と自動データ送受信転送間隔指定レジスタ0 (ADTI0) の値に依存します (12. 4. 3 (5) 自動送受信のインターバル時間参照)。

図12 - 14 繰り返し送信モードのフロー・チャート



備考 ADTP0 : 自動データ送受信アドレス・ポインタ0
 ADTI0 : 自動データ送受信転送間隔指定レジスタ0
 SIO1A0 : シリアルI/Oシフト・レジスタ1A0

繰り返し送信モードで6バイト分送信するとき（自動データ送受信コントロール・レジスタ0（ADTC0）のビット6（ARLD0）= 1，ビット7（RE0）= 0），バッファRAMは次のような動作をします。

(i) 送信動作前（図12 - 15（a）参照）

SIO1A0に任意のデータを書き込んだあと（開始トリガ：このデータは転送されません），バッファRAMから送信データ1（T1）がSIO1A0へ転送されます。1バイト目の送信が完了すると，ADTP0がデクリメントされます。続いてバッファRAMから送信データ2（T2）がSIO1A0へ転送されます。

(ii) 6バイト分送信完了時点（図12 - 15（b）参照）

6バイト目の送信が完了しても，割り込み要求フラグ（CSIF10）をセットしません。
ADTP0には再び最初のポインタ値が設定されます。

(iii) 7バイト目送信動作時点（図12 - 15（c）参照）

再びバッファRAMから送信データ1（T1）がSIO1A0へ転送されます。1バイト目の送信が完了すると，ADTP0がデクリメントされます。続いてバッファRAMから送信データ2（T2）がSIO1A0へ転送されます。

図12 - 15 6バイト分送信するときのバッファRAMの動作（繰り返し送信モード時）（1/2）

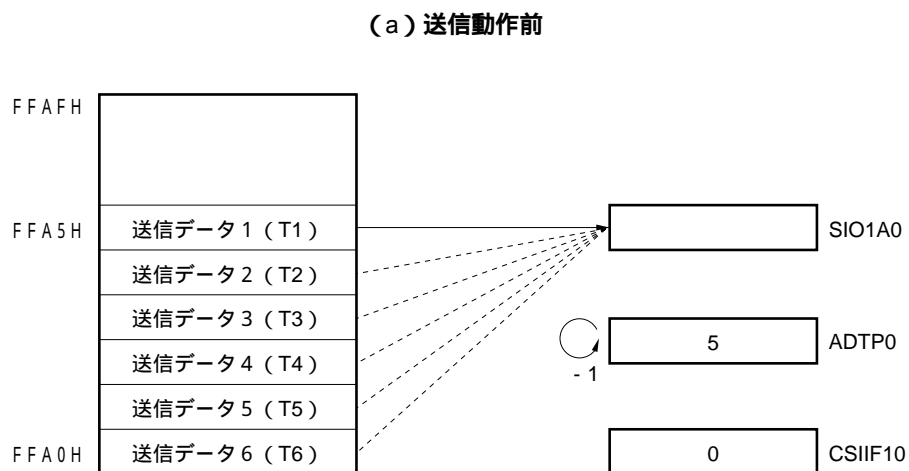
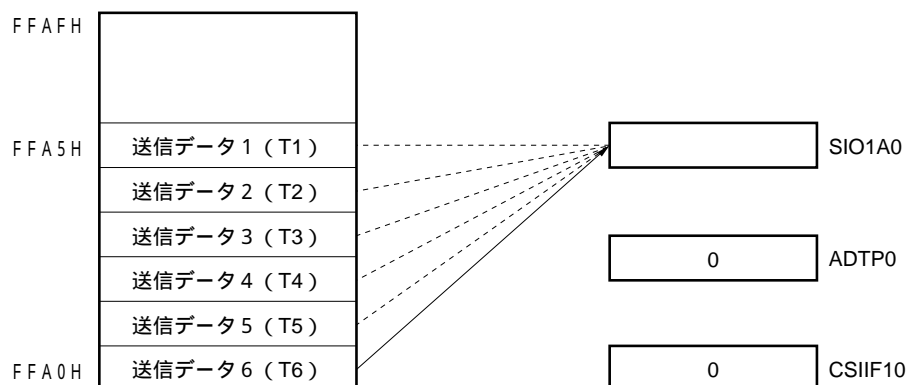
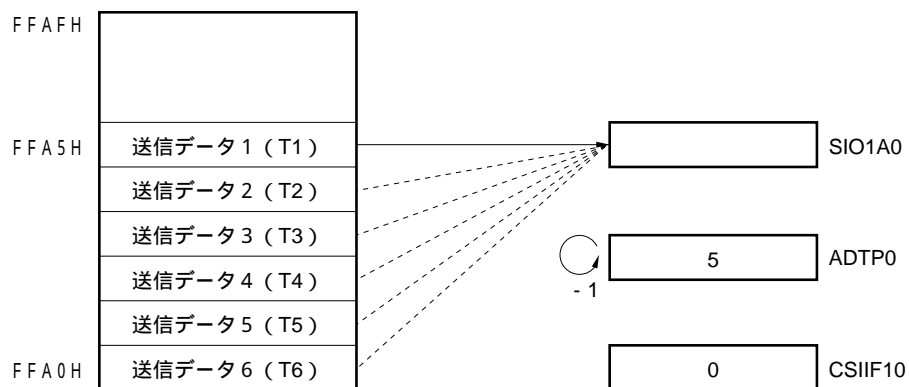


図12 - 15 6バイト分送信するときのバッファRAMの動作（繰り返し送信モード時）（2/2）

(b) 6バイト分送信完了時点



(c) 7バイト目送信動作時点



(d) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット7 (CSIE10) を0にリセットすることにより動作の中断ができます。

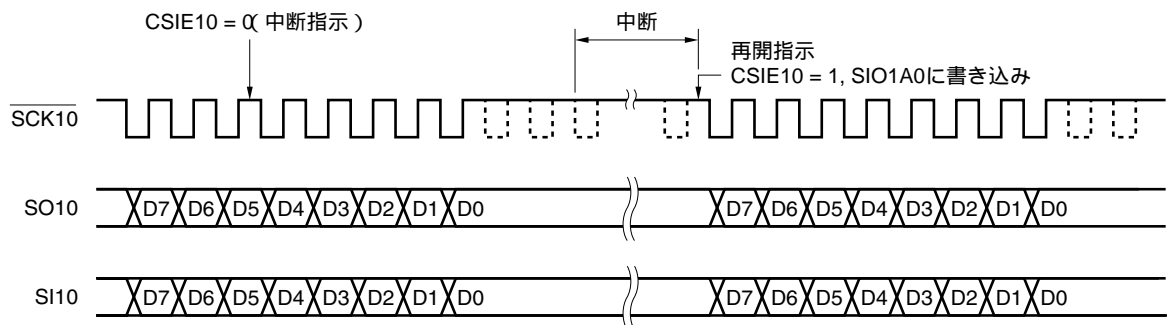
このとき、8ビット・データ転送の途中では中断せず、必ず8ビット・データ転送が完了した時点で中断します。

中断時には、8ビット目のデータを転送したあと、自動データ送受信コントロール・レジスタ0 (ADTC0) のビット3 (TRF0) が0になり、シリアル・インタフェース用端子と兼用しているポート端子 (P23/SCK10, P24/SO10, P25/SI10) がすべてポート・モードになります。

自動送受信を再開するには、CSIE10を1にセットし、シリアルI/Oシフト・レジスタ1A0 (SIO1A0) に任意の値を書き込みます。これにより、残りのデータを転送できます。

- 注意1. 自動送受信中にHALT命令を実行すると、8ビット・データ転送の途中でも転送を中断し、HALTモードになります。
2. 自動送受信動作を中断したとき、TRF0 = 1の間は動作モードを3線式シリアル・モードに変更しないでください。

図12 - 16 自動送受信の中断と再開



CSIE10 : シリアル動作モード・レジスタ1A0 (CSIM1A0) のビット7

(4) 割り込み要求信号の発生タイミング

割り込み要求信号は、表12 - 2に示すタイミングに同期して発生します。

表12 - 2 割り込み要求信号の発生タイミング

動作モード		割り込み要求信号のタイミング
単発モード	マスタ・モード	最終転送のシリアル・クロック10発目
	スレーブ・モード	最終転送のシリアル・クロック8発目
繰り返し送信モード		発生しない

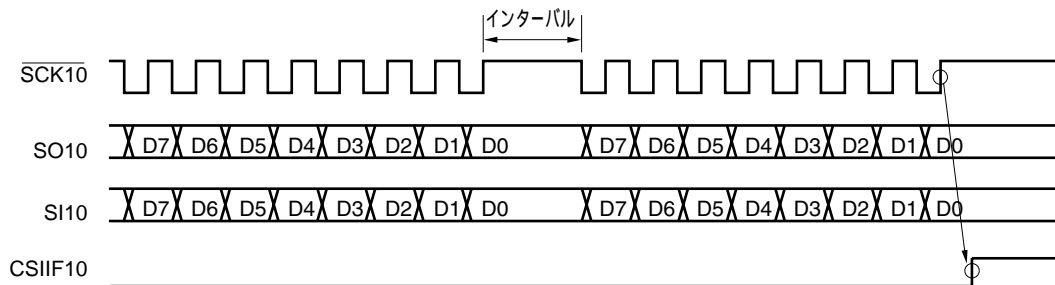
(5) 自動送受信のインターバル時間

自動送受信機能のバッファRAMの書き込み / 読み出しはCPU処理と非同期に行っているため、インターバル時間は、シリアル・クロックの8発目の立ち上がりタイミングにおけるCPU処理と自動データ送受信転送間隔指定レジスタ0 (ADTI0) の設定値に依存します。ADTI0に依存するかないかは、ADTI0のビット7 (ADTI07) の設定により、選択できます。ADTI07に0を設定したとき、インターバル時間は $2/f_{SCK}$ になります。ADTI07に1を設定したとき、インターバル時間は、ADTI0に設定した内容で決定されるインターバル時間とCPU処理によりインターバル時間 ($2/f_{SCK}$) のどちらか大きい方となります。

自動送受信のインターバル時間を図12 - 17に示します。

備考 f_{SCK} : シリアル・クロック周波数

図12 - 17 自動送受信のインターバル時間



バッファRAMへのアクセスは、次の式を満たす必要があります。

1転送サイクル + インターバル時間 リード・アクセス + ライト・アクセス + CPUのバッファRAMアクセス (時間)

仮に「高速CPU & 低速SCK」ならばインターバル時間は不要になり、逆に「低速CPU & 高速SCK」ならばインターバル時間は必要になってきます。

この場合、上記の式を満たすように、自動データ送受信転送間隔指定レジスタ0 (ADTI0) にて十分なインターバル時間を確保してください。

第13章 LCDコントローラ / ドライバ

13.1 LCDコントローラ / ドライバの機能

μPD789479サブシリーズに内蔵しているLCDコントローラ / ドライバの機能を次に示します。

- (1) 表示データ・メモリの自動読み出しによるセグメント信号とコモン信号の自動出力が可能
- (2) 2種類の表示モードが選択可能
 - ・ 1/3デューティ (1/3バイアス)
 - ・ 1/4デューティ (1/3バイアス)
- (3) 各表示モードにおいて、4種類のフレーム周波数を選択可能
- (4) セグメント信号出力は16-28本 (S0-S15, S16-S27)^注、コモン信号出力は4本 (COM0-COM3)
- (5) サブシステム・クロックによる動作も可能

注 マスク・オプションまたはポート・ファンクション・レジスタの設定により使用可能

表示可能な最大画素数を表13 - 1に示します。

表13 - 1 最大表示画素数

バイアス法	時分割	使用コモン信号	最大セグメント本数	最大表示画素数
1/3	3	COM0-COM2	28本	84 (28セグメント×3コモン) ^{注1}
	4	COM0-COM3		112 (28セグメント×4コモン) ^{注2}

- 注1. □.形のLCDパネルで3セグメント / 桁のもの9桁
2. □.形のLCDパネルで2セグメント / 桁のもの14桁

13.2 LCDコントローラ / ドライバの構成

LCDコントローラ / ドライバは、次のハードウェアで構成しています。

表13 - 2 LCDコントローラ / ドライバの構成

項 目	構 成
表示出力	セグメント信号 : 16-28本 コモン信号 : 4本 (COM0-COM3)
制御レジスタ	LCD表示モード・レジスタ0 (LCDM0) LCDクロック制御レジスタ0 (LCDC0)

LCD表示用RAMとの対応を図13 - 1に示します。

図13 - 1 LCD表示用RAMとの対応

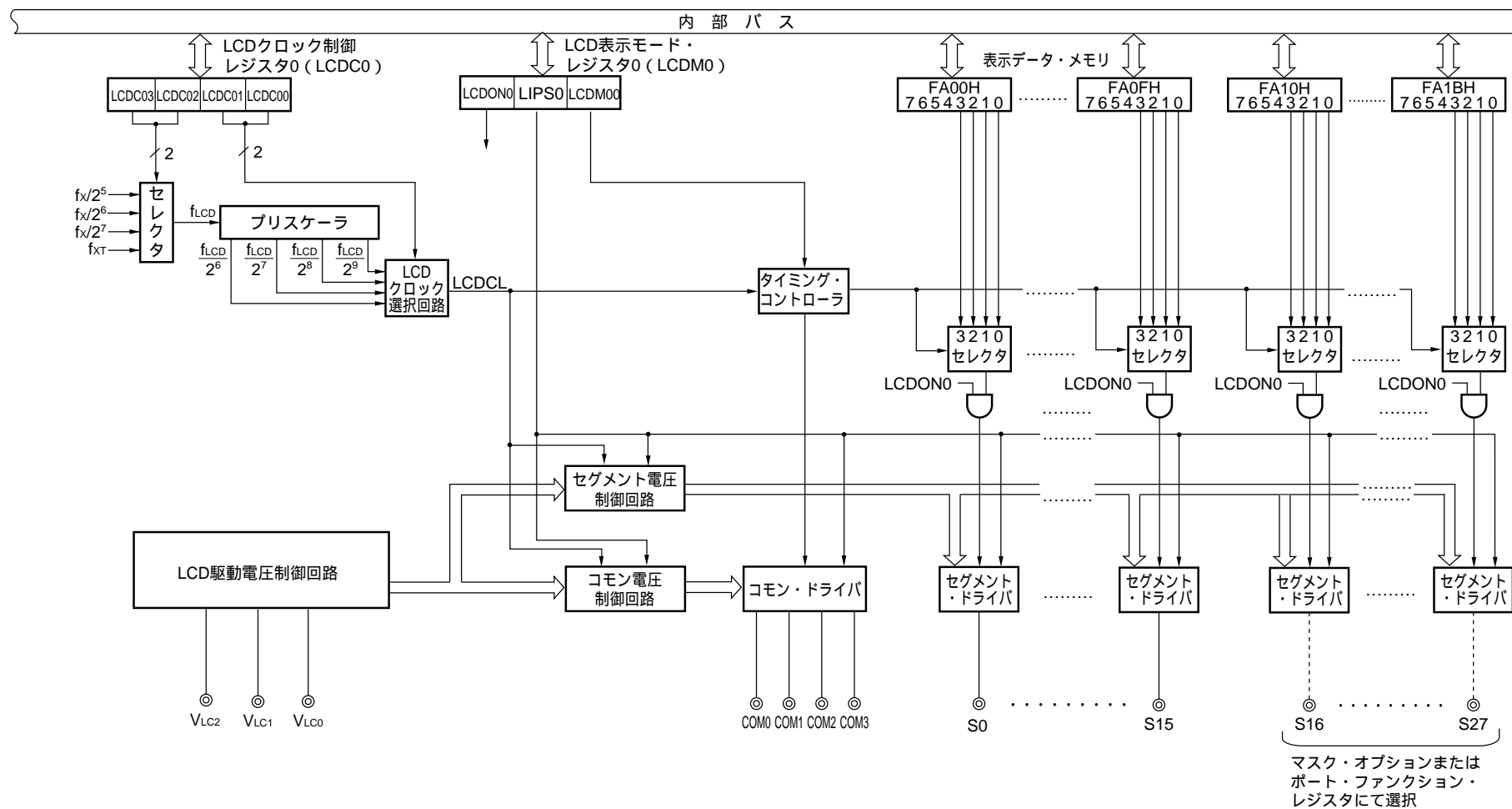
アドレス	ビット								セグメント
	7	6	5	4	3	2	1	0	
FA1BH	0	0	0	0					S27 ^注
FA1AH	0	0	0	0					S26 ^注
FA19H	0	0	0	0					S25 ^注
FA18H	0	0	0	0					S24 ^注
FA17H	0	0	0	0					S23 ^注
FA16H	0	0	0	0					S22 ^注
FA15H	0	0	0	0					S21 ^注
FA14H	0	0	0	0					S20 ^注
FA13H	0	0	0	0					S19 ^注
FA12H	0	0	0	0					S18 ^注
FA11H	0	0	0	0					S17 ^注
FA10H	0	0	0	0					S16 ^注
FA0FH	0	0	0	0					S15
FA0EH	0	0	0	0					S14
FA0DH	0	0	0	0					S13
FA0CH	0	0	0	0					S12
FA0BH	0	0	0	0					S11
FA0AH	0	0	0	0					S10
FA09H	0	0	0	0					S9
FA08H	0	0	0	0					S8
FA07H	0	0	0	0					S7
FA06H	0	0	0	0					S6
FA05H	0	0	0	0					S5
FA04H	0	0	0	0					S4
FA03H	0	0	0	0					S3
FA02H	0	0	0	0					S2
FA01H	0	0	0	0					S1
FA00H	0	0	0	0					S0

コモン COM3 COM2 COM1 COM0

注 S16-S27は、マスク・オプションまたはポート・ファンクション・レジスタによりビット単位で選択（セグメント出力端子/ポート端子）

備考 ビット4-7は、0固定です。

図13-2 LCDコントローラ/ドライバのブロック図



13.3 LCDコントローラ／ドライバを制御するレジスタ

LCDコントローラ／ドライバは、次の2種類のレジスタで制御します。

- ・LCD表示モード・レジスタ0 (LCDM0)
- ・LCDクロック制御レジスタ0 (LCDC0)

(1) LCD表示モード・レジスタ0 (LCDM0)

表示動作の許可／禁止，セグメント／コモン端子出力，表示モードを設定するレジスタです。

LCDM0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図13-3 LCD表示モード・レジスタ0のフォーマット

略号	6		5		3		2		1		0		アドレス	リセット時	R/W
LCDM0	LCDON0	0	0	LIPS0	0	0	0	0	LCDM00	FFB0H	00H	R/W			

LCDON0	LCD表示の許可／禁止
0	表示オフ（セグメント出力はすべて非選択信号出力）
1	表示オン

LIPS0	セグメント端子／コモン端子出力の制御 ^注
0	セグメント端子／コモン端子にグランド・レベルを出力
1	セグメント端子に選択レベル，コモン端子にLCD波形を出力

LCDM00	表示モードの選択	
	時分割数	バイアス法
0	4	1/3
1	3	1/3

注 LCD表示を行わないとき，消費電力を低減させるため，LIPS0に0を設定してください。

注意 ビット1-3, 5, 6には，必ず0を設定してください。

(2) LCDクロック制御レジスタ0 (LCDC0)

LCDソース・クロック，LCDクロックを設定するレジスタです。LCDクロックと時分割数で，フレーム周波数が決まります。

LCDC0は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により，00Hになります。

図13 - 4 LCDクロック制御レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
LCDC0	0	0	0	0	LCDC03	LCDC02	LCDC01	LCDC00	FFB2H	00H	R/W

LCDC03	LCDC02	LCDソース・クロック (f_{LCD}) の選択 ^注
0	0	f_{XT} (32.768 kHz)
0	1	$f_X/2^5$ (156.3 kHz)
1	0	$f_X/2^6$ (78.1 kHz)
1	1	$f_X/2^7$ (39.1 kHz)

LCDC01	LCDC00	LCDクロック (LCDCL) の選択
0	0	$f_{LCD}/2^6$
0	1	$f_{LCD}/2^7$
1	0	$f_{LCD}/2^8$
1	1	$f_{LCD}/2^9$

注 LCDソース・クロック (f_{LCD}) には，32 kHz以上のクロックを設定してください。

注意1. ビット4-7には，必ず0を設定してください。

2. LCDC0の設定を変更する場合は，必ず表示オフ (LCDON0 = 0) にしてから行ってください。

備考1. f_X : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は $f_X = 5.0$ MHz動作時または $f_{XT} = 32.768$ kHz動作時

例として，LCDソース・クロック (f_{LCD}) に f_{XT} (32.768 kHz) をつないだときのフレーム周波数を表13 - 3に示します。

表13 - 3 フレーム周波数 (Hz)

LCDクロック (LCDCL) 周波数	$f_{XT}/2^9$ (64 Hz)	$f_{XT}/2^8$ (128 Hz)	$f_{XT}/2^7$ (256 Hz)	$f_{XT}/2^6$ (512 Hz)
時分割数				
3	21	43	85	171
4	16	32	64	128

13.4 LCDコントローラ/ドライバの設定

LCDコントローラ/ドライバの設定は、次のように行ってください。

LCDクロック制御レジスタ0 (LCDC0) で LCDクロックを設定する

LCDM00 (LCD表示モード・レジスタ0 (LCDM0) のビット0) で時分割数を設定する

LIPS0 (LCDM0のビット4) をセット (LIPS0 = 1) し、非選択電位を出力させる

LCDON0 (LCDM0のビット7) をセット (LCDON0 = 1) により、各データ・メモリに対応した出力を開始

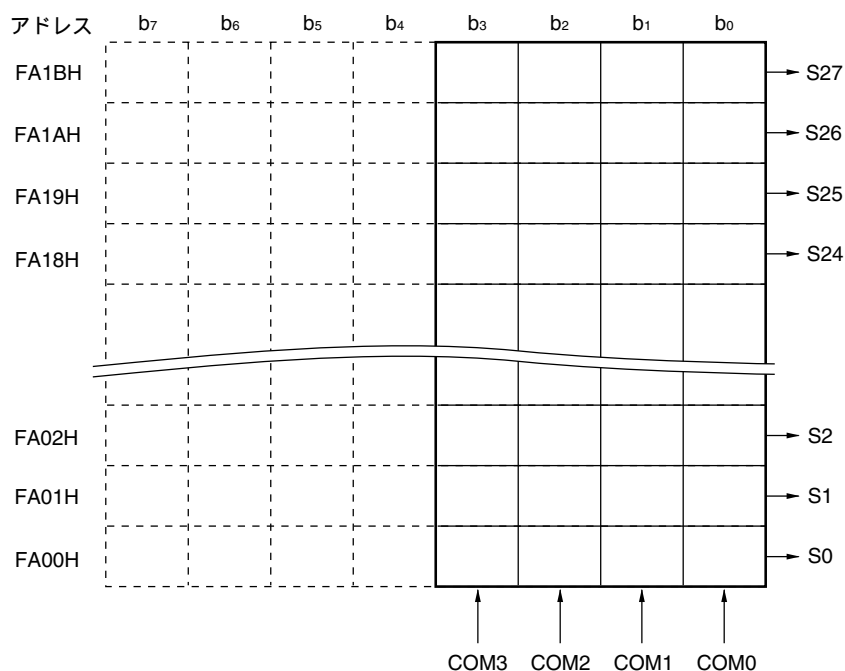
13.5 LCD表示データ・メモリ

LCD表示データ・メモリは、FA00H-FA1BH番地にマッピングしています。LCD表示データ・メモリに格納したデータは、LCDコントローラ/ドライバによりLCDパネルに表示することができます。

図13 - 5にLCD表示データ・メモリの内容とセグメント出力/コモン出力の関係を示します。

また、表示に使用しない領域は、通常のRAMとして使用できます。

図13 - 5 LCD表示データ・メモリの内容とセグメント出力/コモン出力の関係
(S16-S27を使用した場合)



注意 LCD表示データ・メモリの上位4ビットはメモリを内蔵していません。必ず0を設定してください。

13.6 コモン信号とセグメント信号

LCDパネルの各画素は、それに対応するコモン信号とセグメント信号の電位差が一定電圧（LCD駆動電圧 V_{LCD} ）以上になると点灯します。 V_{LCD} 以下の電位差になると消灯します。

LCDパネルは、コモン信号とセグメント信号にDC電圧が加えられると劣化するため、AC電圧によって駆動されます。

（1）コモン信号

コモン信号は、設定する時分割数に応じて表13 - 4に示す順序で選択タイミングとなり、それらを一周期として繰り返し動作を行います。

なお、3時分割の場合のCOM3端子は、オープンにして使用してください。

表13 - 4 COM信号

COM信号 時分割数	COM0	COM1	COM2	COM3
3時分割	←		→	オープン
4時分割	←			→

（2）セグメント信号

セグメント信号は、LCD表示データ・メモリに対応しており、各表示データ・メモリのビット0がCOM0、ビット1がCOM1、ビット2がCOM2、ビット3がCOM3の各タイミングに同期して読み出され、各ビットの内容が1なら選択電圧に変換され、0なら非選択電圧に変換されてセグメント端子に出力されます。

以上のことから、LCD表示データ・メモリには使用するLCDパネルの前面電極（セグメント信号に対応）と背面電極（コモン信号に対応）がどのような組み合わせで表示パターンを形成するのかが確認のうえ、表示したいパターンに1対1に対応するビット・データを書き込むようにしてください。

また、3時分割方式の場合のビット3はLCD表示に使用しませんので、表示以外の目的に使用できます。

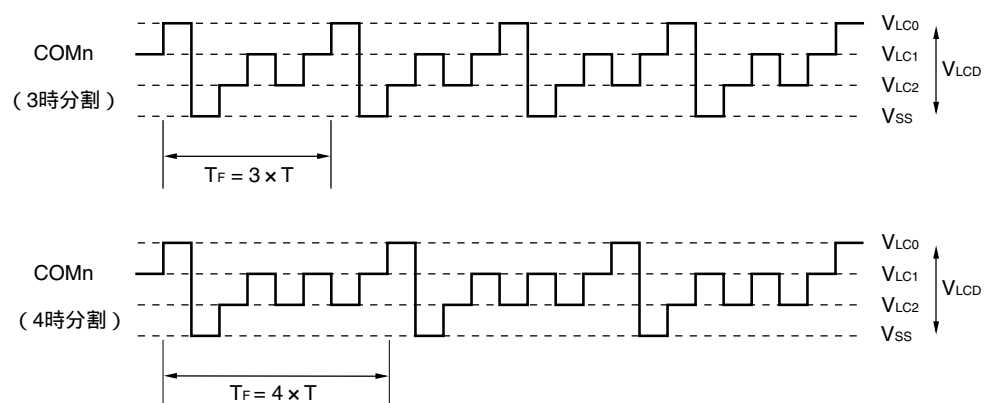
なお、ビット4-7は0固定となっています。

（3）コモン信号とセグメント信号の出力波形

コモン信号およびセグメント信号がともに選択電圧になったときのみ $\pm V_{LCD}$ の点灯電圧となり、それ以外の組み合わせでは消灯電圧となります。

図13 - 6にコモン信号波形を，図13 - 7にコモン信号とセグメント信号の電圧と位相を示します。

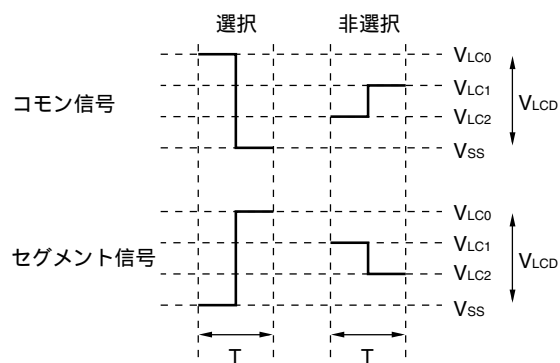
図13 - 6 コモン信号波形



T : LCDクロックの1周期分

T_F : フレーム周波数

図13 - 7 コモン信号とセグメント信号の電圧と位相



T : LCDクロックの1周期分

13.7 表示モード

13.7.1 3時分割表示例

図13 - 9は、図13 - 8の表示パターンを持つ3時分割方式の9桁LCDパネルと μ PD789479サブシリーズのセグメント信号 (S0-S26) およびコモン信号 (COM0-COM2) との接続を示します。表示例は123456.789で、表示データ・メモリ (FA00H-FA1AH番地) の内容はこれに対応しています。

ここでは4桁目の6. (E.) を例にとって説明します。図13 - 8の表示パターンに従って、COM0-COM2の各コモン信号のタイミングで表13 - 5に示すような選択、非選択電圧をS9-S11端子に出力する必要があります。

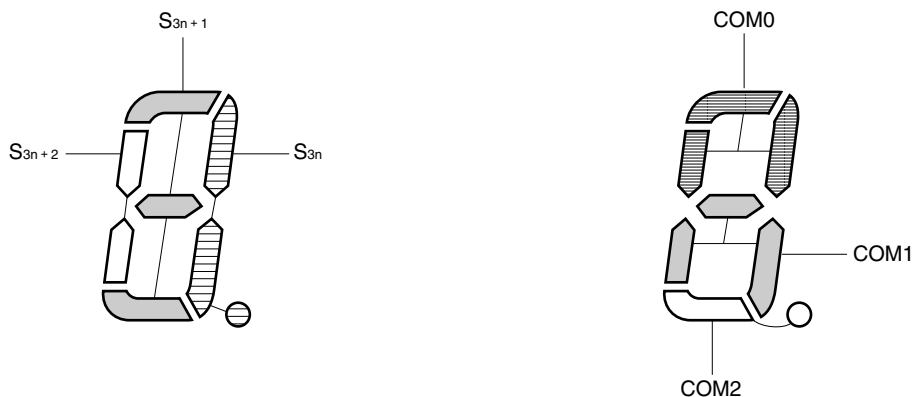
表13 - 5 選択、非選択電圧 (COM0-COM2)

セグメント コモン	S9	S10	S11
COM0	非	選	選
COM1	選	選	選
COM2	選	選	

これによりS9に対応する表示データ・メモリ (FA09H番地) には、 $\times 110$ を用意すればよいことが分かります。

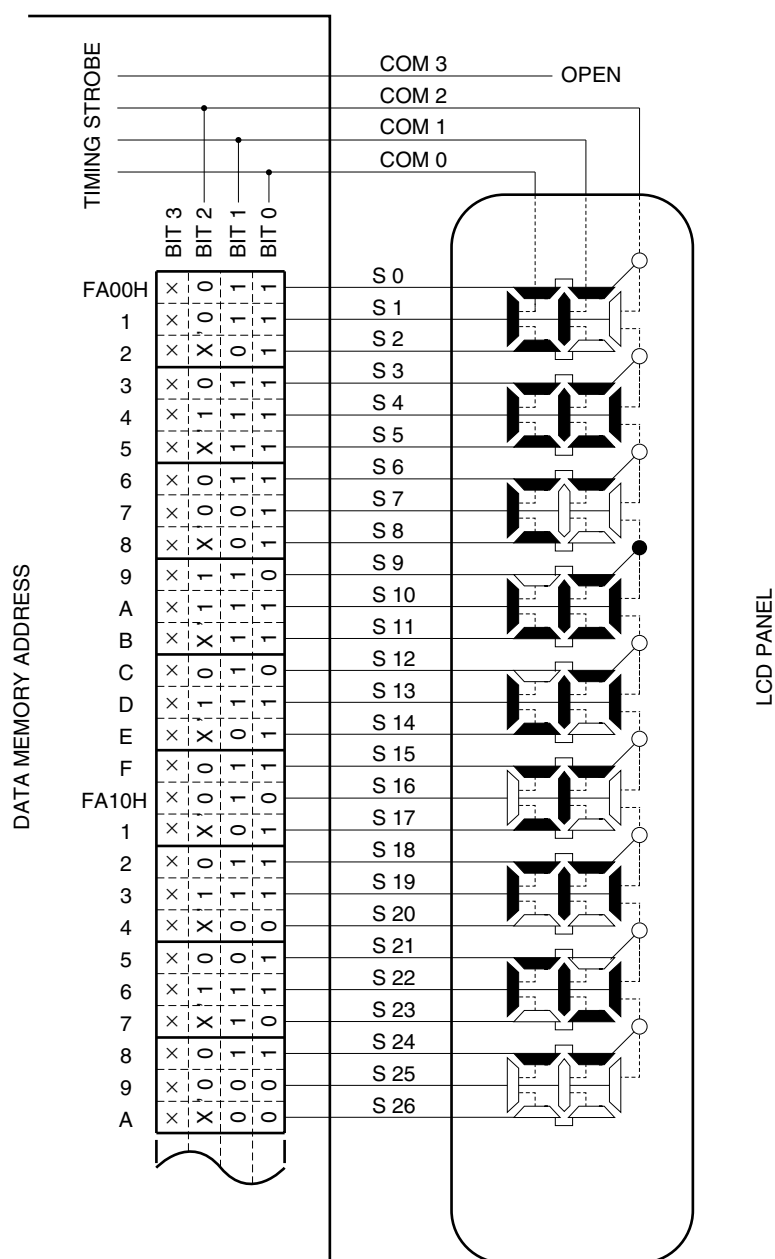
S9と各コモン信号間のLCD駆動波形例を図13 - 10 (1/3バイアス法) に示します。COM1の選択タイミングでS9が選択電圧のとき、およびCOM2の選択タイミングでS9が選択電圧のときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図13 - 8 3時分割LCD表示パターンと電極結線



備考 $n = 0-8$

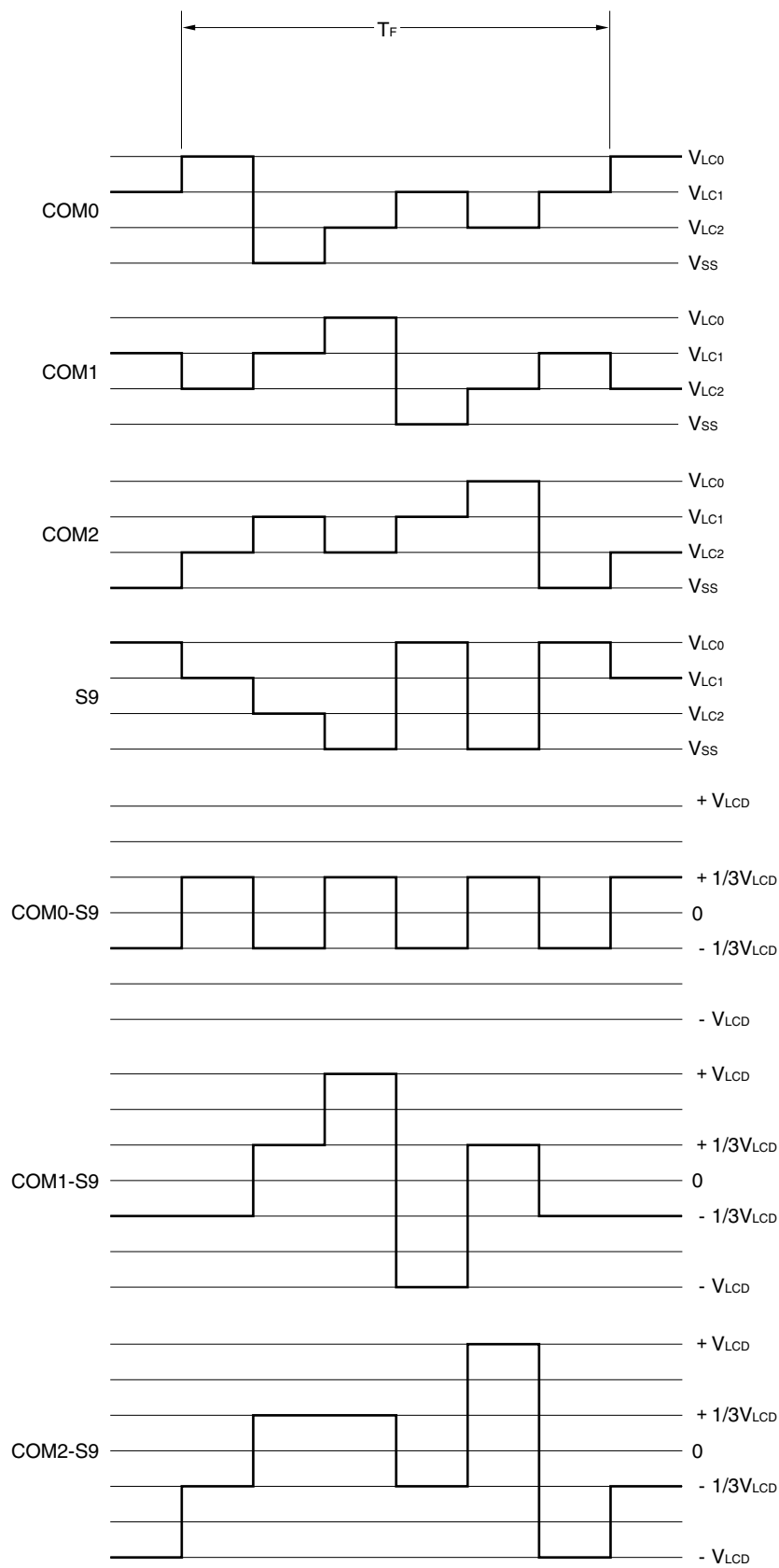
図13-9 3時分割LCDパネルの結線例



X : LCDパネルに対応セグメントがないため任意のデータをストア可能です。

× : 3時分割表示のため、常に任意のデータをストア可能です。

図13 - 10 3時分割LCD駆動波形例（1/3バイアス法）



13.7.2 4時分割表示例

図13 - 12は、図13 - 11の表示パターンを持つ4時分割方式の14桁LCDパネルと μ PD789479サブシリーズのセグメント信号 (S0-S27) およびコモン信号 (COM0-COM3) との接続を示します。表示例は123456.78901234で、表示データ・メモリ (FA00H-FA1BH番地) の内容はこれに対応しています。

ここでは9桁目の6.($\bar{6}$.)を例にとって説明します。図13 - 11の表示パターンに従って、COM0-COM3の各コモン信号のタイミングで表13 - 6に示すような選択、非選択電圧をS16, S17端子に出力する必要があります。

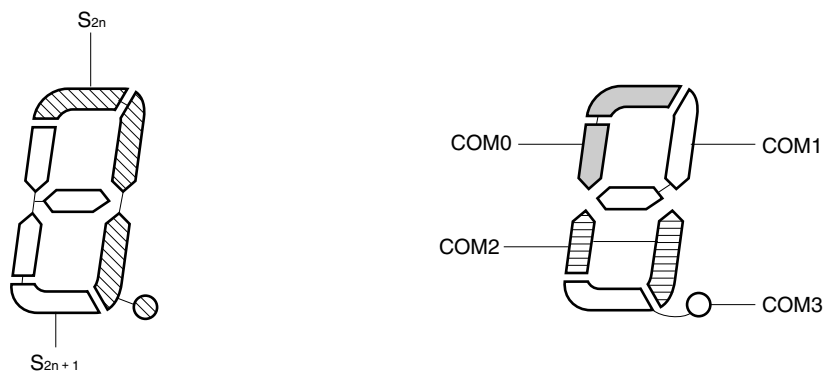
表13 - 6 選択、非選択電圧 (COM0-COM3)

セグメント コモン	S16	S17
COM0	選	選
COM1	非	選
COM2	選	選
COM3	選	選

これによりS16に対応する表示データ・メモリ (FA10H番地) には、1101を用意すればよいことが分かります。

S16と各コモン信号間のLCD駆動波形例を図13 - 13に示します。COM0の選択タイミングでS16が選択電圧になるときに、LCD点灯レベルである $+V_{LCD}/-V_{LCD}$ の交流矩形波が発生することが分かります。

図13 - 11 4時分割LCD表示パターンと電極結線



備考 n = 0-13

図13 - 12 4時分割LCDパネルの結線例

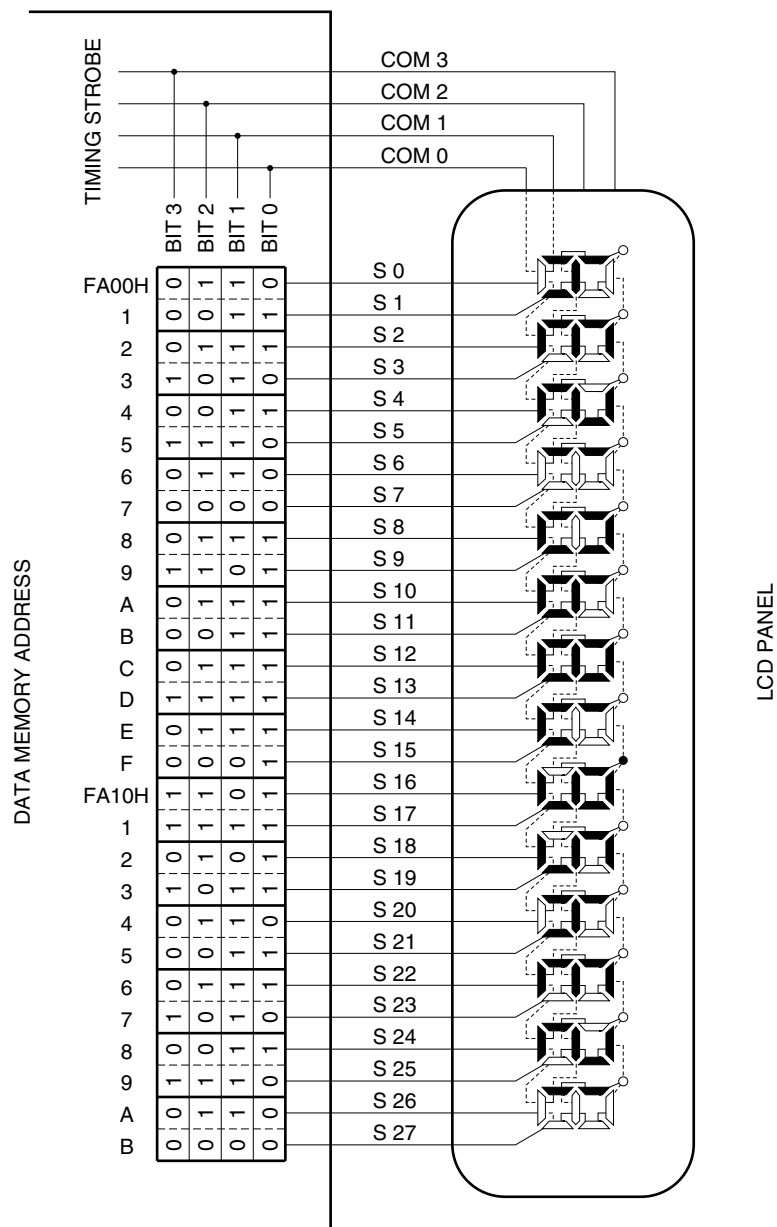
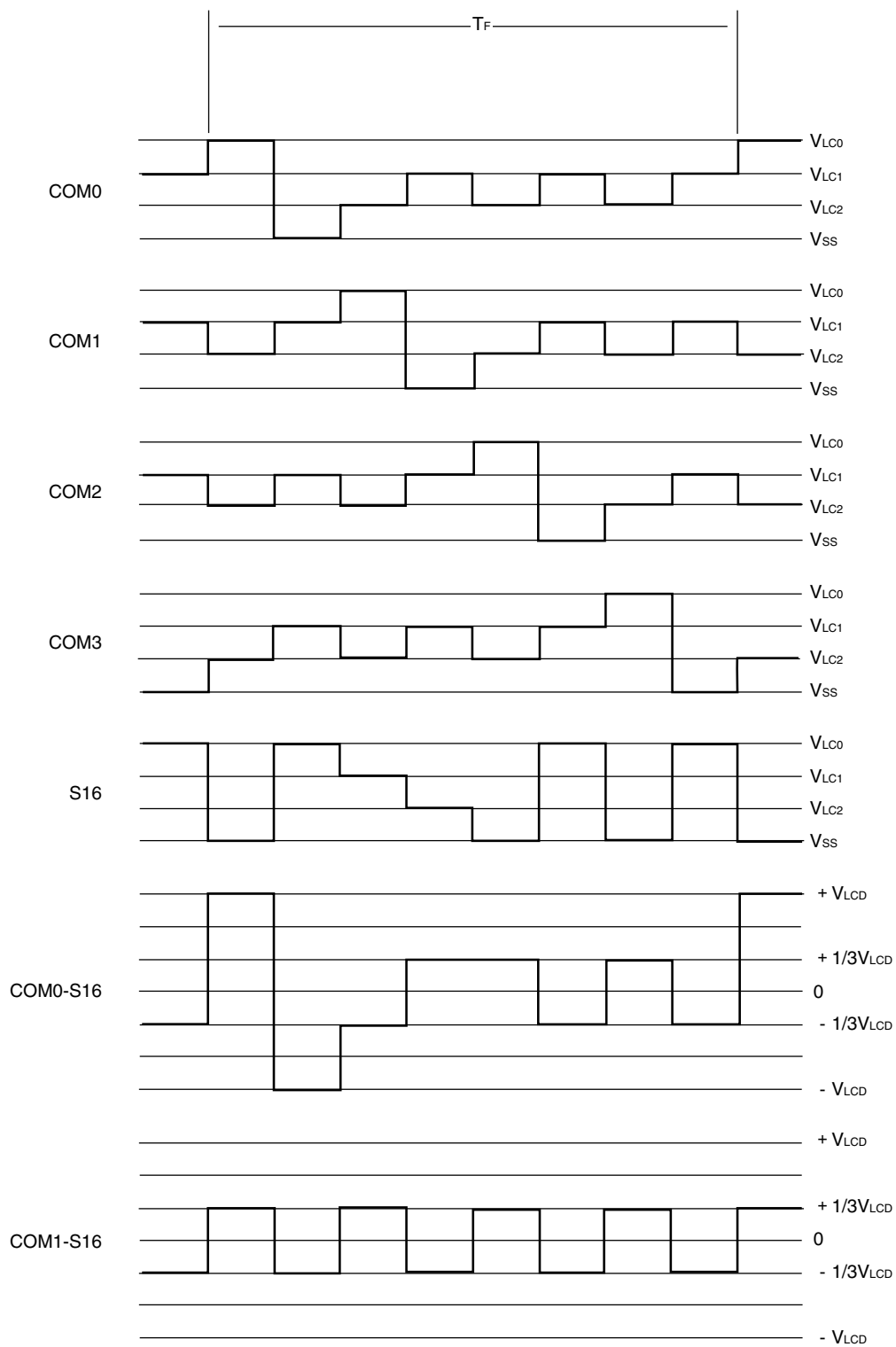


図13 - 13 4時分割LCD駆動波形例 (1/3バイアス法)



備考 COM2-S16とCOM3-S16の波形は省略

13.8 LCD駆動用電源の接続例

μ PD789479サブシリーズは、LCD駆動用電源を作るために抵抗分割方式を採用しているため、外付けで抵抗分割回路が必要となります。図13 - 14にLCD駆動用電源の接続例を示します。

LCD駆動電圧は V_{LC0} に供給され、 V_{LC1} 端子には V_{LC0} の2/3の電圧が、 V_{LC2} 端子には V_{LC0} の1/3の電圧が供給されます。

図13 - 14 LCD駆動用電源の接続例

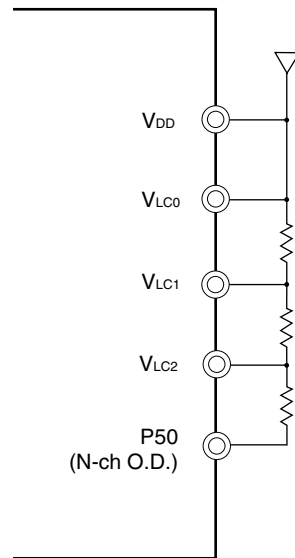


図13 - 14は、LCDを使用しないときには抵抗分割回路に流れる電流をP50を用いてカットオフする接続例です。この場合の使用方法を次に示します。

< 表示オンにするとき >

P50を出力モードに設定 (PM50 = 0)

P50出力ラッチに0を設定し、P50からロウ・レベルを出力

V_{LC0} 、 V_{LC1} 、 V_{LC2} にLCD駆動用電源が供給される

LCDON0 (LCDM0のビット7) を1にセットし、表示オンにする

< 表示オフにするとき >

LCDON0 (LCDM0のビット7) を0にクリアし、表示オフにする

P50出力ラッチに1を設定し、P50からハイ・レベルを出力 (Hi-Z)

表示オフ時、N-chオープン・ドレインであるP50の出力レベルをハイ・インピーダンスとすることで、

V_{DD} ~ P50間に流れる電流をカットオフする

第14章 乗算器

14.1 乗算器の機能

乗算器には、次のような機能があります。

・8ビット×8ビット = 16ビットの計算ができます。

14.2 乗算器の構成

(1) 16ビット乗算結果格納レジスタ0 (MUL0)

16ビットの乗算結果を格納するレジスタです。

このレジスタは、CPUクロックで16クロック経過後、乗算結果を保持します。

MUL0は、16ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

注意 16ビット・メモリ操作命令で操作するレジスタですが、8ビット・メモリ操作命令も使用できます。ただし、8ビット・メモリ操作命令をするときは、ダイレクト・アドレッシングでアクセスしてください。

(2) 乗算データ・レジスタA, B (MRA0, MRB0)

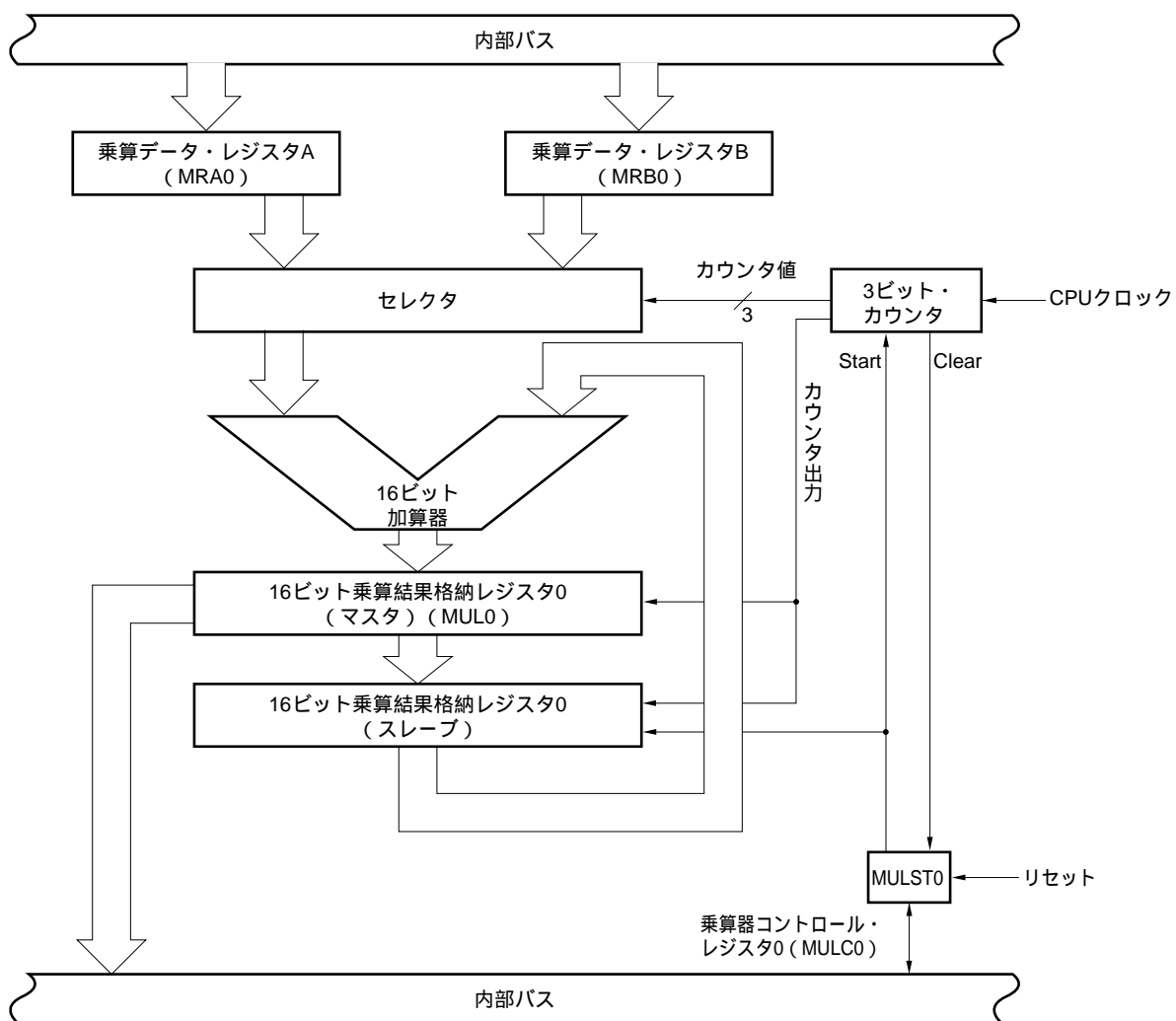
8ビットの乗算データ格納用レジスタです。乗算器はMRA0とMRB0の値を乗算します。

MRA0, MRB0は、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、不定になります。

図14 - 1に乗算器のブロック図を示します。

図14 - 1 乗算器のブロック図



14.3 乗算器を制御するレジスタ

乗算器は次のレジスタで制御します。

- ・乗算器コントロール・レジスタ0 (MULC0)

(1) 乗算器コントロール・レジスタ0 (MULC0)

MULC0は、演算動作を制御する機能と同時に、乗算器の動作状態を示すレジスタです。

MULC0は、1ビット、メモリ操作命令または、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図14 - 2 乗算器コントロール・レジスタ0のフォーマット

略号	7	6	5	4	3	2	1	①	アドレス	リセット時	R/W
MULC0	0	0	0	0	0	0	0	MULST0	FFD2H	00H	R/W

MULST0	乗算器の演算活動開始の制御ビット	乗算器の動作状態
0	カウンタをすべて“0”にセットした後、演算動作停止。	動作停止中
1	演算動作許可	演算実行中

注意 ビット1-7には、必ず0を設定してください。

14.4 乗算器の動作

μ PD789479サブシリーズの乗算器では8ビット×8ビット = 16ビットの計算ができます。MRA0 = AAH, MRB0 = D3Hと設定した場合の乗算器の動作タイミングを図14 - 3に示します。

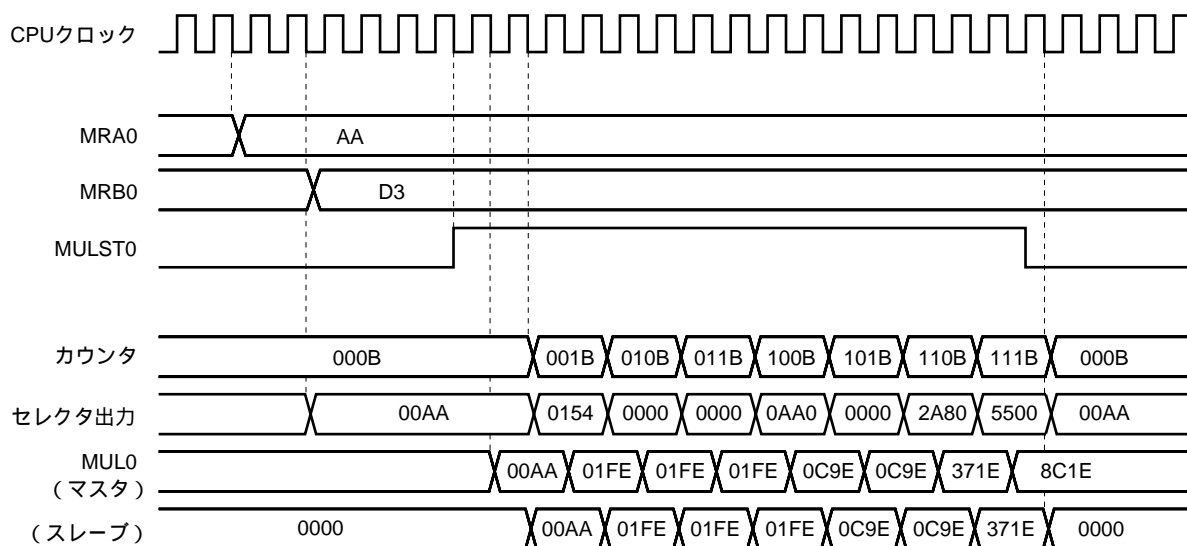
MULST0をセットすることにより、カウント動作を開始します。

CPUクロックごとに、セクタによって生成されたデータとMUL0のデータを加算し、カウンタ値を1インクリメントします。

カウンタの値が111Bのとき、MULST0がクリアされると演算動作を停止します。そのときMUL0はデータを保持しています。

MULST0がロウ・レベル中は、カウンタとスレーブはクリアされています。

図14 - 3 乗算器の動作タイミング (AAH×D3Hの例)



第15章 リモコン受信回路

15.1 リモコン受信回路の機能

リモコン受信回路では、次のリモコン受信モードを使用します。

- ・ A方式受信モード...ガイド・パルス（半クロック）あり

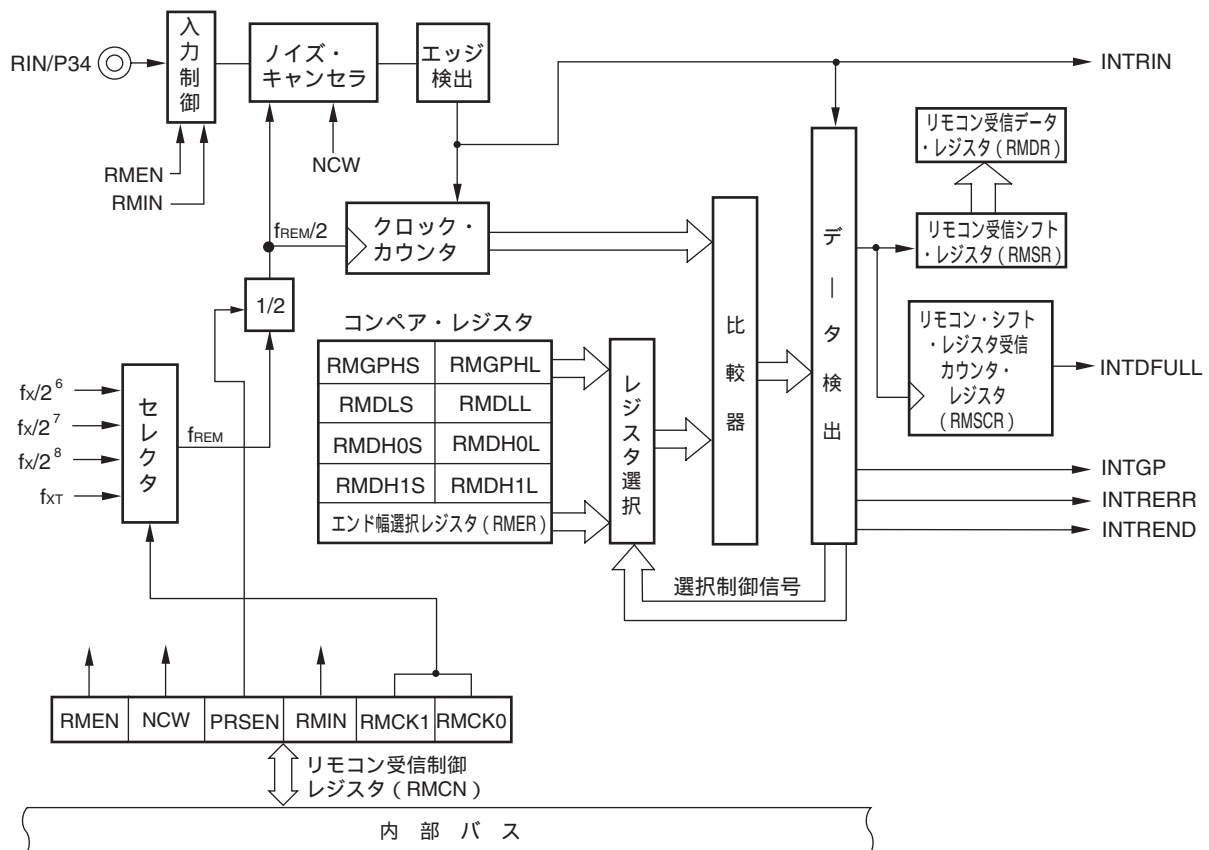
15.2 リモコン受信回路の構成

リモコン受信回路は、次のハードウェアで構成しています。

表15 - 1 リモコン受信回路の構成

項 目	構 成
レジスタ	リモコン受信シフト・レジスタ（RMSR） リモコン受信データ・レジスタ（RMDR） リモコン・シフト・レジスタ受信カウンタ・レジスタ（RMSCR） リモコン受信GPHSコンペア・レジスタ（RMGPHS） リモコン受信GPHLコンペア・レジスタ（RMGPHL） リモコン受信DLSコンペア・レジスタ（RMDLS） リモコン受信DLLコンペア・レジスタ（RMDLL） リモコン受信DH0Sコンペア・レジスタ（RMDH0S） リモコン受信DH0Lコンペア・レジスタ（RMDH0L） リモコン受信DH1Sコンペア・レジスタ（RMDH1S） リモコン受信DH1Lコンペア・レジスタ（RMDH1L） リモコン受信エンド幅選択レジスタ（RMER）
制御レジスタ	リモコン受信制御レジスタ（RMCN）

図15 - 1 リモコン受信回路のブロック図



(1) リモコン受信シフト・レジスタ (RMSR)

リモコン・データ受信用の8ビットのレジスタです。

ビット7からデータが格納され、新たなデータが来るたびに下位ビットに押し出されて行きます。そのためビット7が最終データで、ビット0側が先頭データになります。

RMSRは、8ビット・メモリ操作命令で読み出します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・ リモコン動作停止 (RMEN = 0)
- ・ エラー検出 (INTRERR発生)
- ・ INTDFULL発生
- ・ INTREND発生後のRMSR読み出し

注意 RMSRはリモコン受信中の読み出しは禁止です。受信終了後に読み出してください。

また、読み出し動作終了後にRMSRはクリアされてしまうため、一度読み出した値を保証することはできません。

(2) リモコン受信データ・レジスタ (RMDR)

リモコン受信データを保持するレジスタです。リモコン受信シフト・レジスタ (RMSR) のオーバフローで、RMSRのデータがRMDRに転送されます。ビット7が最終データで、ビット0が先頭データになります。RMSRからRMDRに転送すると同時に、INTDFULLを発生します。

RMDRは、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

また、リモコン動作禁止 (RMEN = 0) により、00Hにクリアされます。

注意 INTDFULLを発生後、次の8ビット分のデータを受信完了する前に読み出してください。

間に合わずに次のINTDFULLが発生した場合は、RMDRは上書きされます。

(3) リモコン・シフト・レジスタ受信カウンタ・レジスタ (RMSCR)

リモコン受信終了 (INTREND発生) 時に、リモコン受信シフト・レジスタ (RMSR) に残っている有効ビット数を示すための3ビット・カウンタ・レジスタです。このレジスタの値を読むことで、8ビット整数倍以外のフォーマットを受信した場合でも有効ビット数が分かります。

RMSCRは、8ビット・メモリ操作命令で読み出します。

RESET入力により、00Hになります。

また、以下のいずれかの条件で00Hにクリアされます。

- ・ リモコン動作停止 (RMEN = 0)
- ・ エラー検出 (INTRERR発生)
- ・ INTREND発生後のRMSR読み出し

注意 INTREND発生後、RMSRを読み出す前にRMSCRを読み出してください。

それ以外のタイミングで読み出した場合の値は保証できません。

図15 - 2 101010101111111B (16ビット) を受信する場合のRMSR, RMSCR, RMDRレジスタの動作例

	RMSR								RMSCR	RMDR
	7	6	5	4	3	2	1	0		
初期値	0	0	0	0	0	0	0	0	00H	00000000B
1ビット受信	1	0	0	0	0	0	0	0	01H	00000000B
2ビット受信	0	1	0	0	0	0	0	0	02H	00000000B
3ビット受信	1	0	1	0	0	0	0	0	03H	00000000B
...
7ビット受信	1	0	1	0	1	0	1	0	07H	00000000B
8ビット受信	0	1	0	1	0	1	0	1	00H	00000000B
RMDR転送	0	0	0	0	0	0	0	0	00H	01010101B
9ビット受信	1	0	0	0	0	0	0	0	01H	01010101B
10ビット受信	1	1	0	0	0	0	0	0	02H	01010101B
...
16ビット受信	1	1	1	1	1	1	1	1	00H	01010101B
RMDR転送	0	0	0	0	0	0	0	0	00H	11111111B

(4) リモコン受信GPHSコンペア・レジスタ (RMGPHS)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ショート側) です。

RMGPHSは、8ビット・メモリ操作命令で設定します。

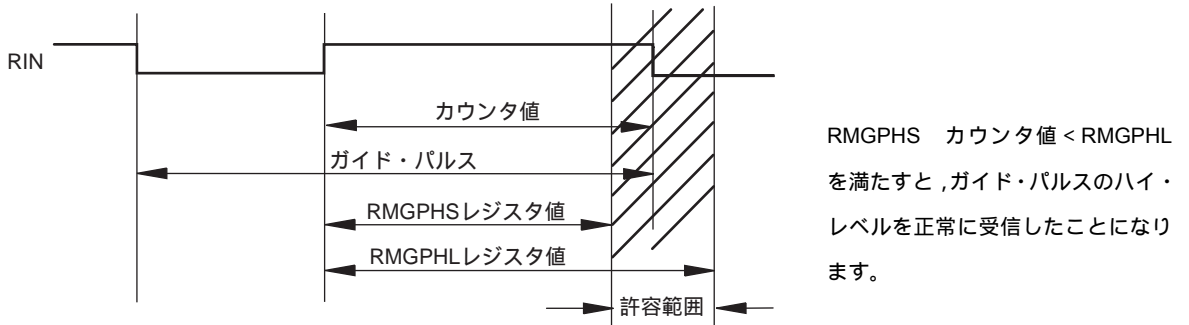
$\overline{\text{RESET}}$ 入力により、00Hになります。

(5) リモコン受信GPHLコンペア・レジスタ (RMGPHL)

リモコン・ガイド・パルス・ハイ・レベル検出用レジスタ (ロング側) です。

RMGPHLは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



(6) リモコン受信DLSコンペア・レジスタ (RMDLS)

リモコン・データ・ロウ・レベル検出用レジスタ (ショート側) です。

RMDLSは、8ビット・メモリ操作命令で設定します。

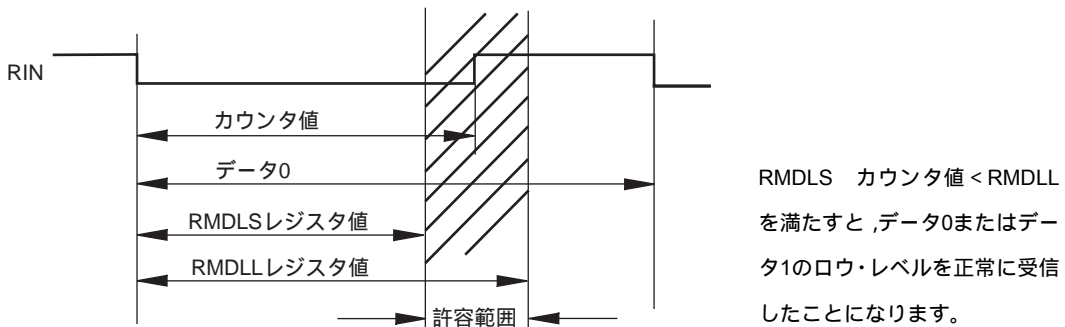
$\overline{\text{RESET}}$ 入力により、00Hになります。

(7) リモコン受信DLLコンペア・レジスタ (RMDLL)

リモコン・データ・ロウ・レベル検出用レジスタ (ロング側) です。

RMDLLは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



(8) リモコン受信DH0Sコンペア・レジスタ (RMDH0S)

リモコン・データ0ハイ・レベル検出用レジスタ (ショート側) です。

RMDH0Sは、8ビット・メモリ操作命令で設定します。

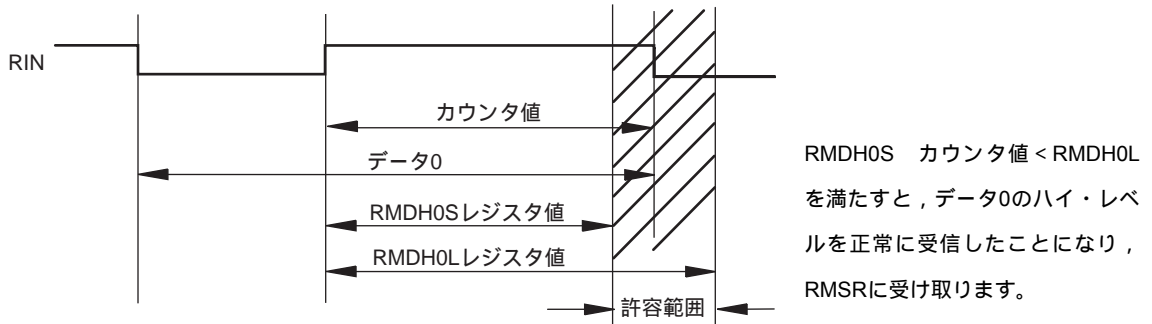
$\overline{\text{RESET}}$ 入力により、00Hになります。

(9) リモコン受信DH0Lコンペア・レジスタ (RMDH0L)

リモコン・データ0ハイ・レベル検出用レジスタ (ロング側) です。

RMDH0Lは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

**(10) リモコン受信DH1Sコンペア・レジスタ (RMDH1S)**

リモコン・データ1ハイ・レベル検出用レジスタ (ショート側) です。

RMDH1Sは、8ビット・メモリ操作命令で設定します。

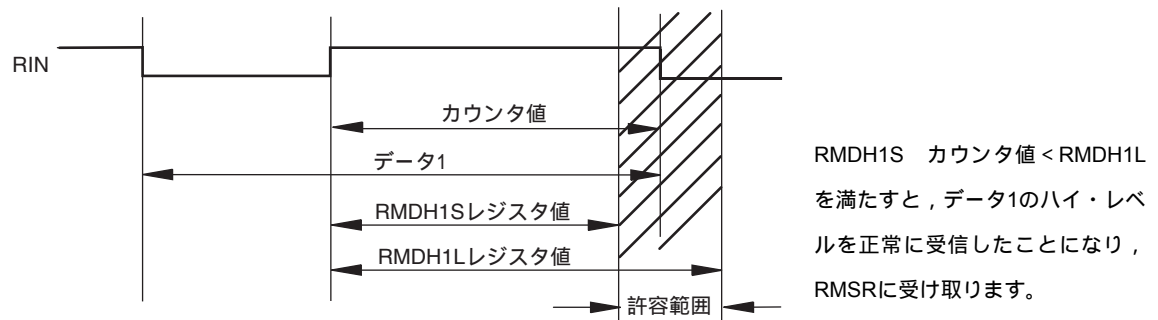
$\overline{\text{RESET}}$ 入力により、00Hになります。

(11) リモコン受信DH1Lコンペア・レジスタ (RMDH1L)

リモコン・データ1ハイ・レベル検出用レジスタ (ロング側) です。

RMDH1Lは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

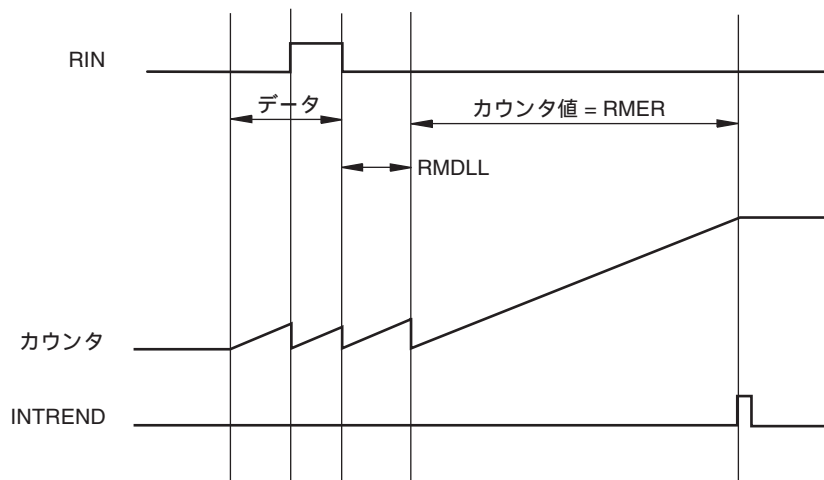


(12) リモコン受信エンド幅選択レジスタ (RMER)

INTREND信号が出力されるタイミング幅を決めるレジスタです。

RMERは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。



注意 RMERとすべてのリモコン受信コンペア・レジスタ (RMGPHS, RMGPHL, RMDLS, RMDLL, RMDH0S, RMDH0L, RMDH1S, RMDH1L) は、リモコン受信を禁止 (リモコン受信制御レジスタ (RMCN) のビット7 (RMEN) = 0) にしてから値を変更してください。

15.3 リモコン受信回路を制御するレジスタ

リモコン受信回路は、次のレジスタで制御します。

- ・リモコン受信制御レジスタ (RMCN)

(1) リモコン受信制御レジスタ (RMCN)

リモコン受信許可 / 禁止, ノイズ・キャンセル幅, クロック内部分周, 入力反転信号, ソース・クロックを設定するレジスタです。

RMCNは、8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図15-3 リモコン受信制御レジスタのフォーマット (1/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMCN	RMEN	NCW	PRSEN	RMIN	0	0	RMCK1	RMCK0	FF60H	00H	R/W

RMEN	リモコン受信動作の制御
0	リモコン受信禁止
1	リモコン受信許可

NCW	ノイズ・キャンセル幅制御信号
0	1/f _{PRS} 未満のノイズを除去
1	2/f _{PRS} 未満のノイズを除去

PRSEN	内部でのクロック分周制御信号
0	内部でクロックを分周しない (f _{PRS} = f _{REM})
1	内部でクロックを2分周する (f _{PRS} = f _{REM} /2)

RMIN	リモコン入力反転信号
0	正相入力
1	逆相入力

注意1. ビット2, 3には、必ず0を設定してください。

- NCW, PRSEN, RMIN, RMCK1, RMCK0の値を変更する場合は、リモコン受信を禁止 (RMEN = 0) にしてから行ってください

備考1. f_{REM} : リモコン・カウンタのソース・クロック (ビット0, 1 (RMCK0, RMCK1) で選択)

- f_{PRS} : リモコン受信回路内部での動作クロック

図15 - 3 リモコン受信制御レジスタのフォーマット (2/2)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
RMCN	RMEN	NCW	PRSEN	RMIN	0	0	RMCK1	RMCK0	FF60H	00H	R/W

RMCK1	RMCK0	リモコン・カウンタのソース・クロック (f_{REM}) 選択
0	0	$f_x/2^6$ (62.5 kHz)
0	1	$f_x/2^7$ (31.3 kHz)
1	0	$f_x/2^8$ (15.6 kHz)
1	1	f_{XT} (32.768 kHz)

注意1. ビット2, 3には, 必ず0を設定してください。

2. NCW, PRSEN, RMIN, RMCK1, RMCK0の値を変更する場合は, リモコン受信を禁止 (RMEN = 0) にしてから行ってください

備考1. f_x : メイン・システム・クロック発振周波数

2. f_{XT} : サブシステム・クロック発振周波数

3. () 内は, $f_x = 4.0$ MHz, $f_{XT} = 32.768$ kHz動作時

15.4 リモコン受信回路の動作

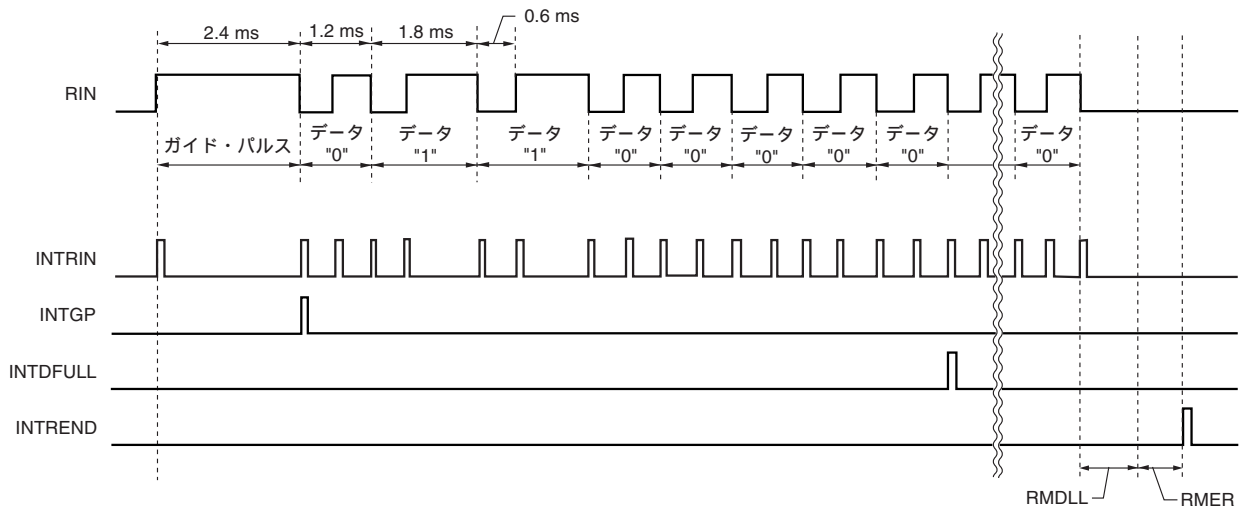
このリモコン受信回路では、次のリモコン受信モードを使用します。

- ・A方式受信モード ... ガイド・パルス（半クロック）あり

15.4.1 A方式受信モードのフォーマット

図15 - 4にA方式のデータ・フォーマットを示します。

図15 - 4 A方式データ・フォーマット例

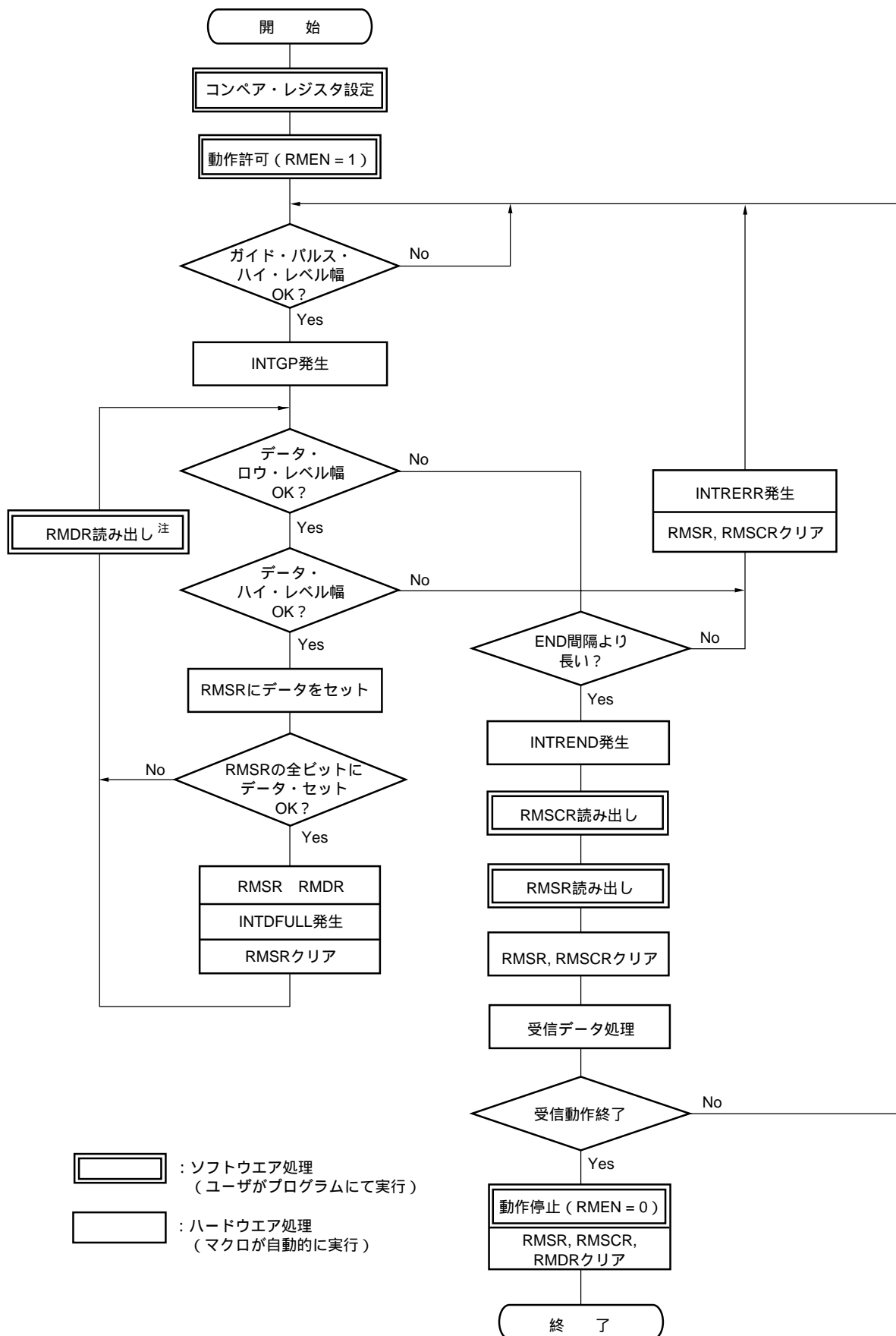


15.4.2 A方式受信モードの動作フロー

図15 - 5に動作フローを示します。

- 注意1.** INTRERR発生と同時に、自動的にRMSR, RMSCRはクリアされます。
- RMSRの全ビットにデータ・セット完了すると、自動的に以下の処理が行われます。
 - ・RMSRの値をRMDRに転送
 - ・INTDFULL発生
 - ・RMSRクリア
 その後、次のRMSR全ビット・データ・セット完了までに、RMDRを読み出してください。
 - INTREND発生後は、必ず先にRMSCR、次にRMSRの順序で読み出しを行ってください。
RMSRの読み出し後は、自動的にRMSCR, RMSRはクリアされます。
INTREND発生後は、RMSRの読み出しをするまで次のデータ受信はできません。
 - 動作停止 (RMEN = 0) と同時に、RMSR, RMSCR, RMDRはクリアされます。

図15 - 5 A方式受信モードの動作フロー

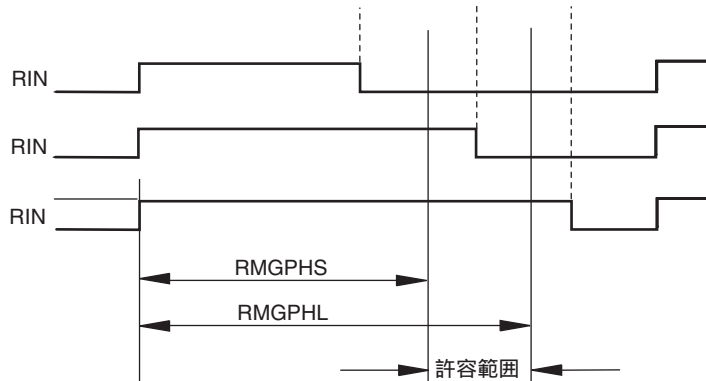


注 RMDR読み出しは、次のRMSR全ビット・データ・セット完了までの間に行ってください。

15.4.3 タイミング説明

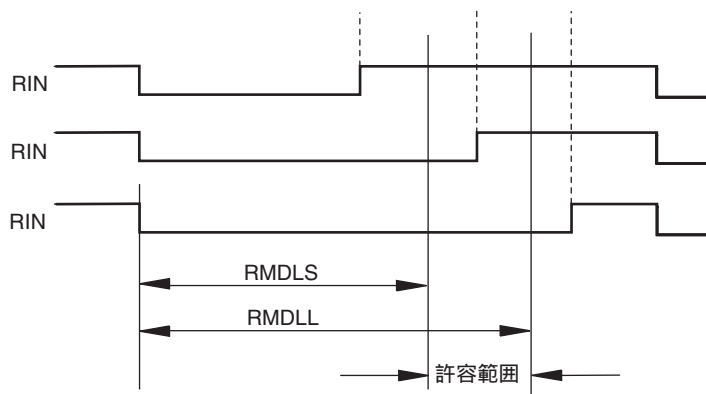
RIN入力の波形位置によって、次のような対応動作になります。

(1) ガイド・パルス・ハイ・レベル幅判断



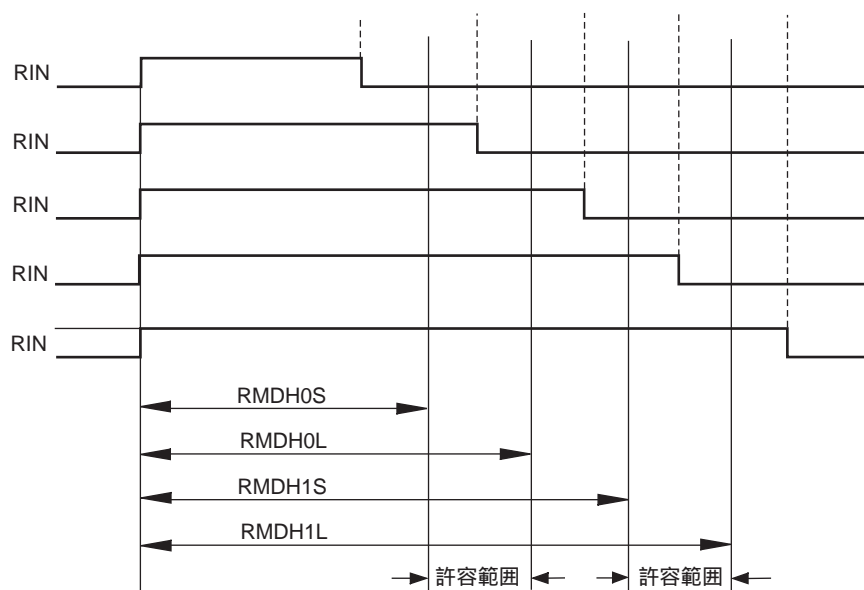
RMGPHS / RMGPHL / カウンタの関係	波形位置	対応動作
カウンタ < RMGPHS	: 短い	次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMGPHS カウンタ < RMGPHL	: 範囲内	INTGP発生 データ測定開始
RMGPHL カウンタ	: 長い	次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始

(2) データ・ロウ・レベル幅判断



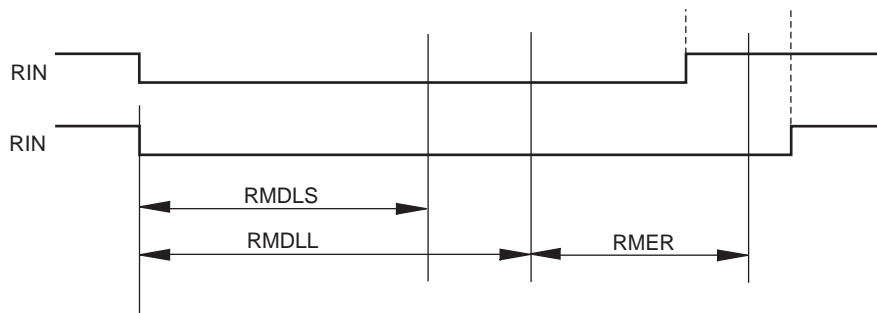
RMDLS / RMDLL / カウンタの関係	波形位置	対応動作
カウンタ < RMDLS	: 短い	エラー割り込みINTRERR発生 ガイド・パルス・ハイ・レベル幅測定開始
RMDLS カウンタ < RMDLL	: 範囲内	データ・ハイ・レベル幅測定開始
RMDLL カウンタ	: 長い	時点からエンド幅測定開始

(3) データ・ハイ・レベル幅判断



RMDH0S / RMDH0L / RMDH1S / RMDH1L / カウンタの関係	波形位置	対応動作
カウンタ < RMDH0S	: 短い	エラー割り込みINTRERR発生 次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMDH0S カウンタ < RMDH0L	: 範囲内	データ0受信 データ・ロウ・レベル幅測定開始
RMDH0L カウンタ < RMDH1S	: 範囲外	エラー割り込みINTRERR発生 次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始
RMDH1S カウンタ < RMDH1L	: 範囲内	データ1受信 データ・ロウ・レベル幅測定開始
RMDH1L カウンタ	: 長い	時点でエラー割り込みINTRERR発生 次の立ち上がりエッジからガイド・パルス・ハイ・レベル幅測定開始

(4) エンド幅判断



RMER / カウンタの関係	波形位置	対応動作
カウンタ < RMER	: 短い	エラー割り込みINTRERR発生 ガイド・パルス・ハイ・レベル幅測定開始
RMER ≤ カウンタ	: 長い	時点でINTREND発生 RMSRをリードするまで回路受信停止

15. 4. 4 コンペア・レジスタ設定

このリモコン受信回路には、以下の9種類のコンペア・レジスタがあります。

- ・リモコン受信GPHSコンペア・レジスタ (RMGPHS)
- ・リモコン受信GPHLコンペア・レジスタ (RMGPHL)
- ・リモコン受信DLSコンペア・レジスタ (RMDLS)
- ・リモコン受信DLLコンペア・レジスタ (RMDLL)
- ・リモコン受信DH0Sコンペア・レジスタ (RMDH0S)
- ・リモコン受信DH0Lコンペア・レジスタ (RMDH0L)
- ・リモコン受信DH1Sコンペア・レジスタ (RMDH1S)
- ・リモコン受信DH1Lコンペア・レジスタ (RMDH1L)
- ・リモコン受信エンド幅選択レジスタ (RMER)

各コンペア・レジスタの値は、次の(1)～(3)の計算式により設定してください。

許容誤差を考慮しておくことで、ノイズなどの影響でRIN入力波形が図15 - 6のRIN_1やRIN_2のようになった場合でも、正常受信動作が可能になります。

注意1. 各コンペア・レジスタは、必ずリモコン受信禁止 (RMEN = 0) 期間中に設定してください。

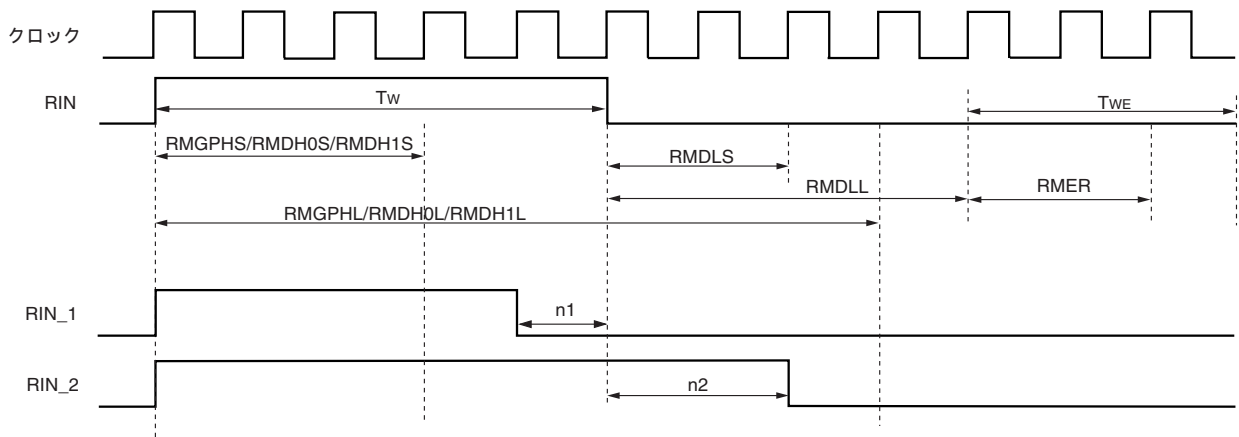
2. 設定値は必ず以下の3つの条件をすべて満たすようにしてください。

$$\text{RMGPHS} < \text{RMGPHL}$$

$$\text{RMDLS} < \text{RMDLL}$$

$$\text{RMDH0S} < \text{RMDH0L} \quad \text{RMDH1S} < \text{RMDH1L}$$

図15 - 6 設定例 (n1 = 1, n2 = 2のとき)



(1) RMGPHS, RMDLS, RMDH0S, RMDH1Sの計算式

$$\left(\frac{T_w \times (1 - a/100)}{1/f_{PRS}} \right)_{INT} - 2 - n1$$

(2) RMGPHL, RMDLL, RMDH0L, RMDH1Lの計算式

$$\left(\frac{T_w \times (1 + a/100)}{1/f_{PRS}} \right)_{INT} + 1 + n2$$

(3) RMERの計算式

$$\left(\frac{T_{WE} \times (1 - a/100)}{1/f_{PRS}} \right)_{INT} - 1$$

T_w : RIN入力波形の幅

$1/f_{PRS}$: PRSENによる分周制御後の内部動作クロック周期の幅

a : 許容誤差 (%)

[]_{INT} : この中の計算式により発生する値は小数点以下切り捨て

$n1, n2$: ノイズによる波形変化の変数^{注1}

T_{WE} : RIN入力でのエンド幅^{注2}

注1. $n1$ と $n2$ の値は、ユーザのシステムによって自由に設定してください。

2. このエンド幅は、RMDLL後からカウントしたものです。

実際に最終データ受信後に必要となるロウ・レベル幅は、

$(RMDLL + 1 + RMER + 1) \times (PRSENによる分周制御後の内部動作クロック周期の幅)$

となります。

15. 4. 5 エラー割り込み発生タイミング

ガイド・パルス正常検出後，以下のいずれかの条件で，INTRERR信号を発生します。

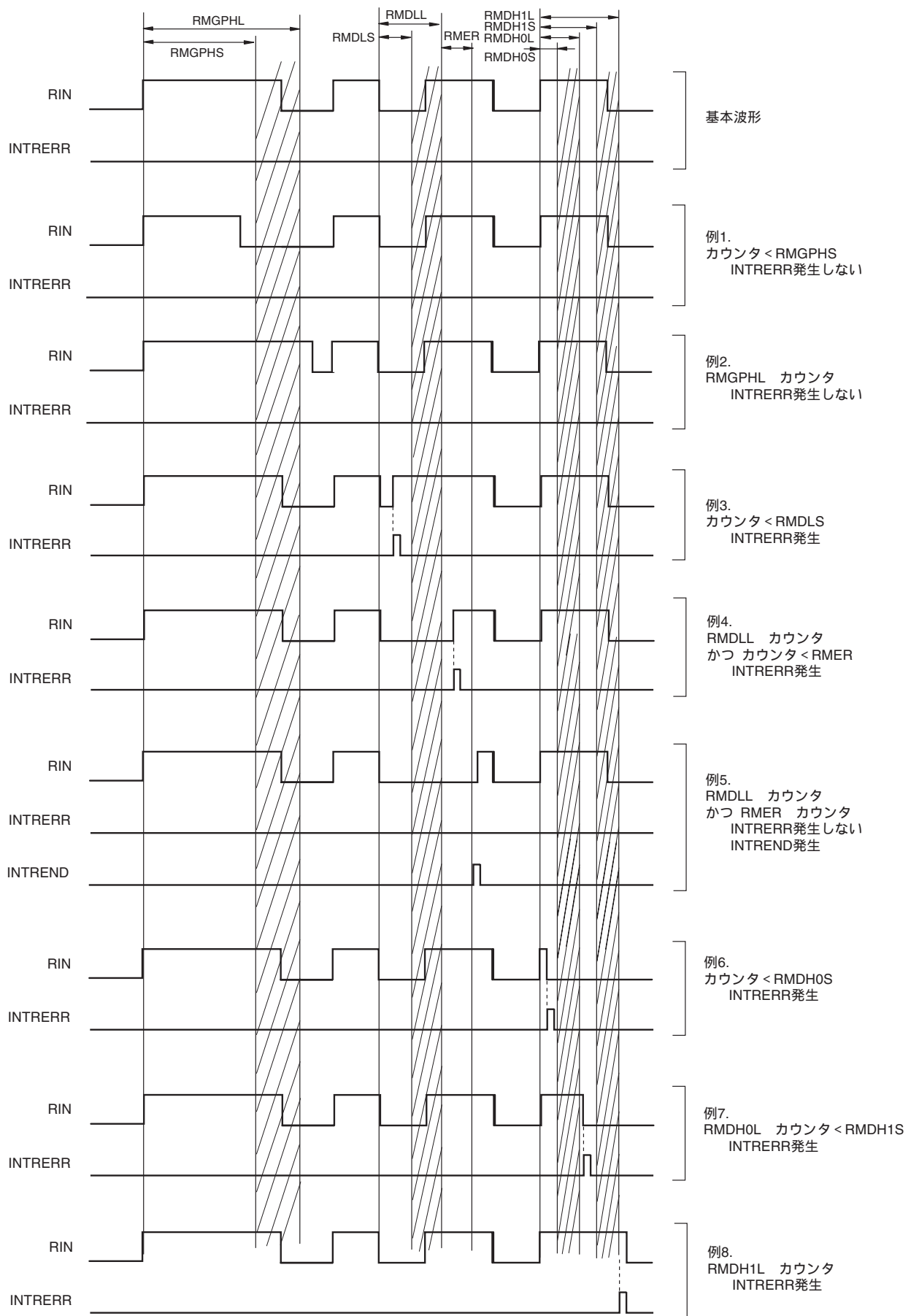
- ・ RIN立ち上がり時点で，カウンタ < RMDLS のとき
- ・ RIN立ち上がり時点で，RMDLL カウンタ かつ RMDLL後のカウンタ < RMER のとき
- ・ RIN立ち下がり時点で，カウンタ < RMDH0S のとき
- ・ RIN立ち下がり時点で，RMDH0L カウンタ < RMDH1S のとき
- ・ RINハイ・レベル期間に，RMDH1L カウンタ になったとき

ガイド・パルスが検出されるまでは，INTRERR信号は発生しません。

また，INTRERR信号発生後は，次のガイド・パルスを検出するまでINTRERR信号は発生しません。

図15 - 7にINTRERR信号の発生タイミングを示します。

図15 - 7 INTRERR信号の発生タイミング



15.4.6 ノイズ・キャンセル

このリモコン受信回路では、外部からRIN端子に入力された信号を、ノイズを除去したうえで、回路内部に供給する機能があります。

リモコン受信制御レジスタ（RMCN）のビット5（PRSEN）、ビット6（NCW）の設定により、表15 - 2に示すノイズ幅をキャンセルできます。

表15 - 2 ノイズ・キャンセル幅

PRSEN 分周制御信号	NCW ノイズ・キャンセル幅制御信号	PRSENによる分周制御後の 内部動作クロック周期（ $1/f_{PRS}$ ）	キャンセルできる ノイズ幅
0	0	$1/f_{REM}$	$1/f_{REM}$ 未満
0	1	$1/f_{REM}$	$2/f_{REM}$ 未満
1	0	$2/f_{REM}$	$2/f_{REM}$ 未満
1	1	$2/f_{REM}$	$4/f_{REM}$ 未満

備考 f_{REM} ：リモコン・カウンタのソース・クロック

ノイズ・キャンセル動作では、PRSENによる分周制御後の内部動作クロックを使います。

そして、RIN端子からの外部入力信号を、クロックと同期化したあと、

NCW = 0の場合、サンプリング2回実施後の信号を、回路内部でRIN入力として処理します。

NCW = 1の場合、サンプリング3回実施後の信号を、回路内部でRIN入力として処理します。

次にノイズ・キャンセル動作の流れを示します。

PRSENにより、内部動作クロックの分周する／しないを選択

PRSEN = 0：分周しない（ $f_{PRS} = f_{REM}$ ）

PRSEN = 1：分周する（ $f_{PRS} = f_{REM}/2$ ）

RIN端子からの外部入力信号を、内部動作クロックと同期化する

同期化信号を1回目サンプリングした信号（samp1）を生成

（同期化した信号から1クロック分遅れた信号になる）

同期化信号とsamp1とで、2回目サンプリングした信号（samp2）を生成

（同期化信号 = samp1 = Hとなったら、samp1を取り込む）

同期化信号とsamp2とで、3回目サンプリングした信号（samp3）を生成

（同期化信号 = samp2 = Hとなったら、samp2を取り込む）

NCWにより、回路内部でRIN入力とする信号を選択

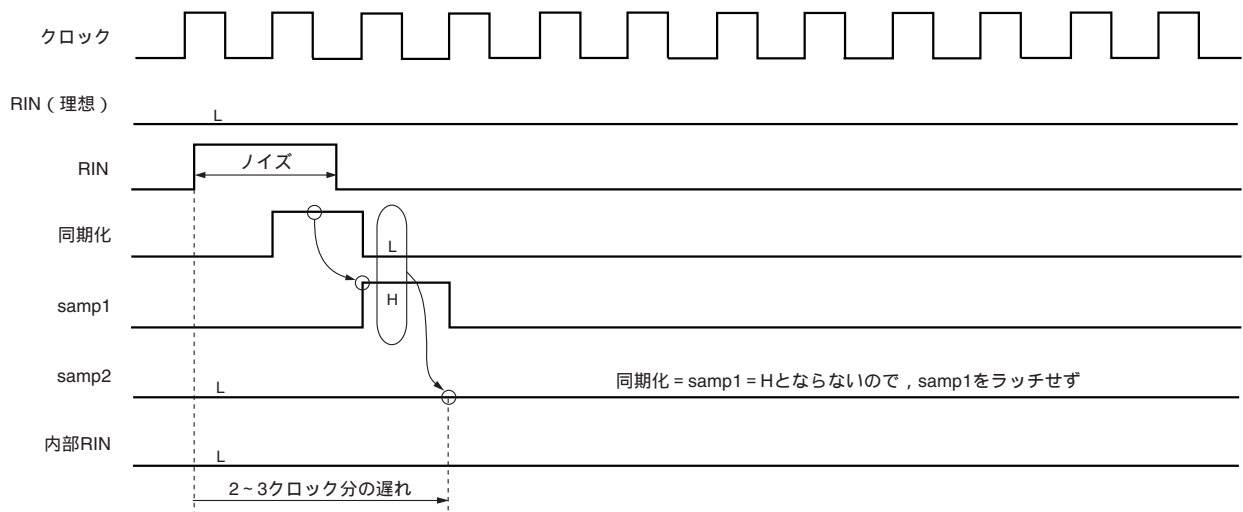
NCW = 0：samp2を回路内部でRIN入力として処理

NCW = 1：samp3を回路内部でRIN入力として処理

図15 - 8にノイズ・キャンセル動作例を示します。

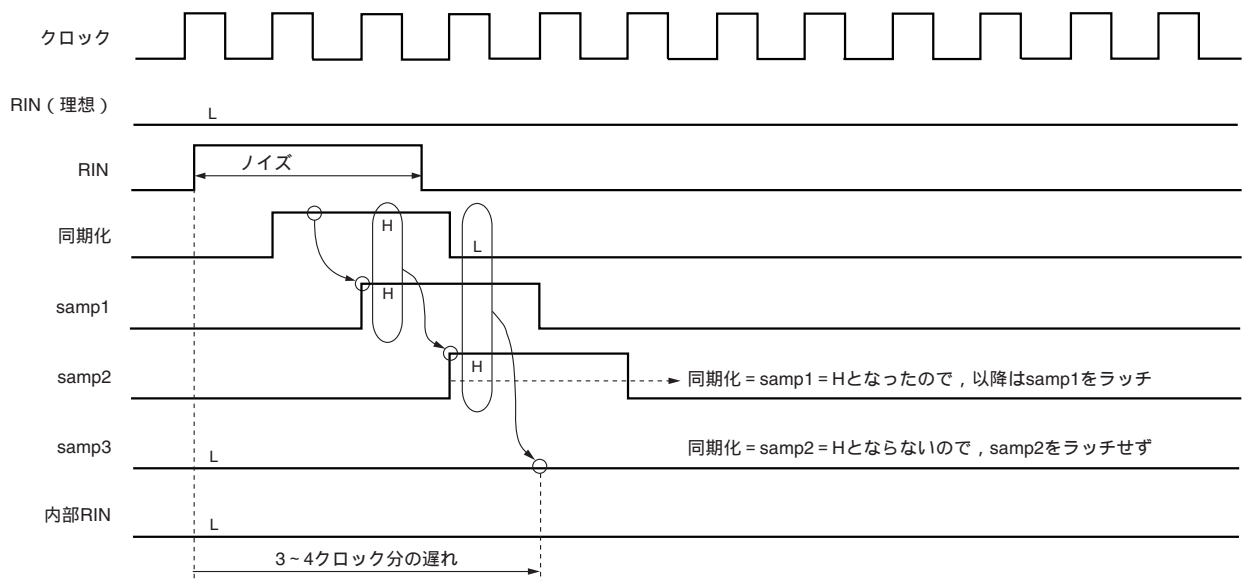
図15 - 8 ノイズ・キャンセル動作例 (1/2)

(a) 1クロック分のノイズ・キャンセル (PRSEN = 0, NCW = 0)



備考 内部RINは、同期化とサンプリング2回実施後の信号なので、実際に外部からRIN端子に入力された信号より2~3クロック分遅れた信号になります。

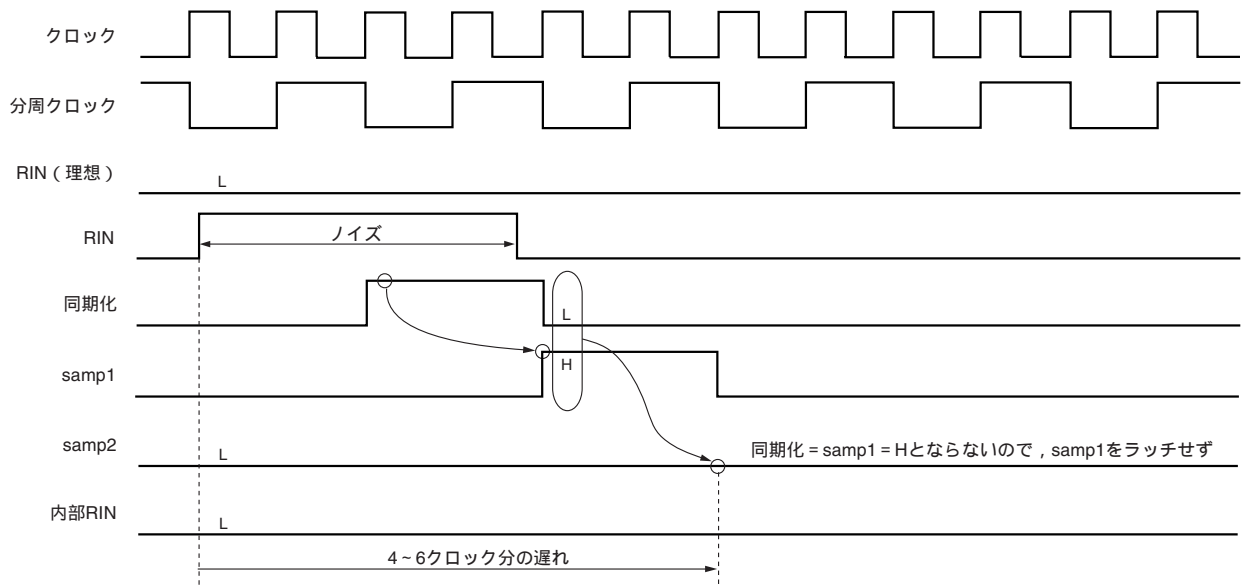
(b) 2クロック分のノイズ・キャンセル (PRSEN = 0, NCW = 1)



備考 内部RINは、同期化とサンプリング3回実施後の信号なので、実際に外部からRIN端子に入力された信号より3~4クロック分遅れた信号になります。

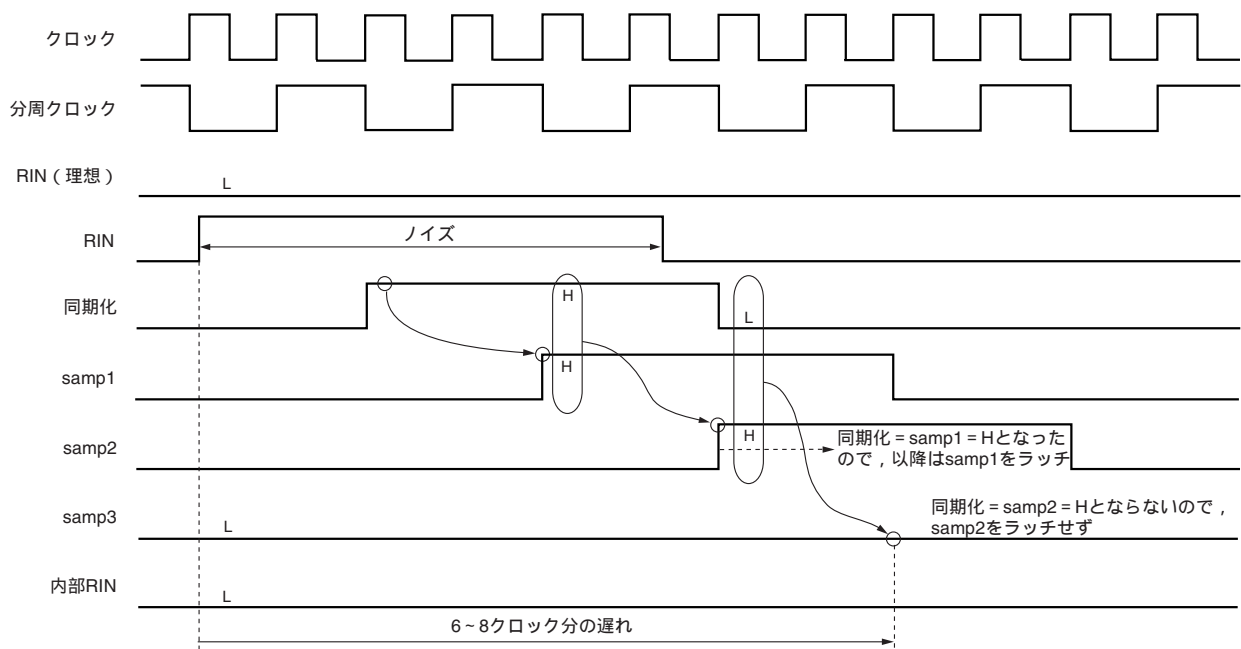
図15 - 8 ノイズ・キャンセル動作例 (2/2)

(c) 2クロック分のノイズ・キャンセル (PRSEN = 1, NCW = 0)



備考 内部RINは、同期化とサンプリング2回実施後の信号なので、実際に外部からRIN端子に入力された信号より4~6クロック分遅れた信号になります。

(d) 4クロック分のノイズ・キャンセル (PRSEN = 1, NCW = 1)



備考 内部RINは、同期化とサンプリング3回実施後の信号なので、実際に外部からRIN端子に入力された信号より6~8クロック分遅れた信号になります。

第16章 割り込み機能

16.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) ノンマスカブル割り込み

割り込み禁止状態でも無条件に受け付けられる割り込みです。また、割り込み優先順位制御の対象にならず、すべての割り込み要求に対して最優先されます。

スタンバイ・リリース信号を発生します。

ノンマスカブル割り込みは、ウォッチドッグ・タイマからの割り込みが1要因あります。

(2) マスカブル割り込み

マスク制御を受ける割り込みです。同時に複数の割り込み要求が同時に発生しているときの優先順位(プライオリティ)は、表16 - 1のように決められています。

スタンバイ・リリース信号を発生します。

μ PD789477, 789478, 78F9478のマスカブル割り込みは、外部割り込みが5要因、内部割り込みが16要因あります。

μ PD789479, 78F9479のマスカブル割り込みは、外部割り込みが6要因、内部割り込みが16要因あります。

16.2 割り込み要因と構成

割り込み要因には、ノンマスカブル割り込みとマスカブル割り込みをあわせて、 μ PD789477, 789478, 78F9478は合計22要因、 μ PD789479, 78F9479は合計23要因あります(表16 - 1参照)。

表16 - 1 割り込み要因一覧

割り込みタイプ	プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・ テーブル・ アドレス	基本構成 タイプ ^{注2}
		名称	トリガ			
ノンマスカブル	-	INTWDT	ウォッチドッグ・タイマのオーバフロー (ウォッチドッグ・タイマ・モード1選択時)	内部	0004H	(A)
マスカブル	0	INTWDT	ウォッチドッグ・タイマのオーバフロー (インターバル・タイマ・モード選択時)			(B)
	1	INTP0	端子(INTP0)入力エッジ検出	外部	0006H	(C)
	2	INTP1	端子(INTP1)入力エッジ検出		0008H	
	3	INTP2	端子(INTP2)入力エッジ検出		000AH	
	4	INTP3	端子(INTP3)入力エッジ検出		000CH	
	5	INTRIN	リモコン用エッジ検出	内部	000EH	(B)
	6	INTSR20	UART受信完了		0010H	
		INTCSI20	シリアル・インタフェース20の3線式 SIO転送完了			
	7	INTCSI10	シリアル・インタフェース1A0の3線式 SIO転送受信完了		0012H	
	8	INTST20	シリアル・インタフェース20のUART 送信完了		0014H	
	9	INTWTI	時計タイマ(WT)の基準時間間隔信号		0016H	
	10	INTTM20	TM20とCR20の一致		0018H	
	11	INTTM50	TM50とCR50の一致		001AH	
	12	INTTM60	TM60とCR60の一致(8ビット・カウン タ・モード時), TM50, TM60とCR50, CR60の一致(16 ビット・タイマ・モード時)		001CH	
	13	INTTM61	TM61とCR61の一致		001EH	
	14	INTAD0	A/Dの変換終了		0020H	
	15	INTWT	時計タイマ(WT)のオーバフロー		0022H	
	16	INTKR00	キー・リターン信号検出	外部	0024H	(C)
	17	INTRERR	リモコン用受信エラー発生	内部	0026H	(B)
	18	INTGP	リモコン用ガイド・パルス検出		0028H	
	19	INTREND	リモコン用データ受信完了		002AH	
	20	INTDFULL	リモコン用8ビット・シフト・データの リード要求		002CH	
	21	INTKR01 ^{注3}	キー・リターン信号検出	外部	002EH	(C)

注1. プライオリティは、複数のマスカブル割り込みが同時に発生している場合に、優先する順位です。0が最高順位、21が最低順位です。

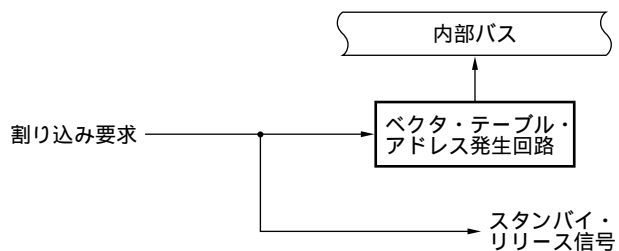
2. 基本構成タイプの(A)～(C)は、それぞれ図16-1の(A)～(C)に対応しています。

3. μ PD789479, 78F9479のみ

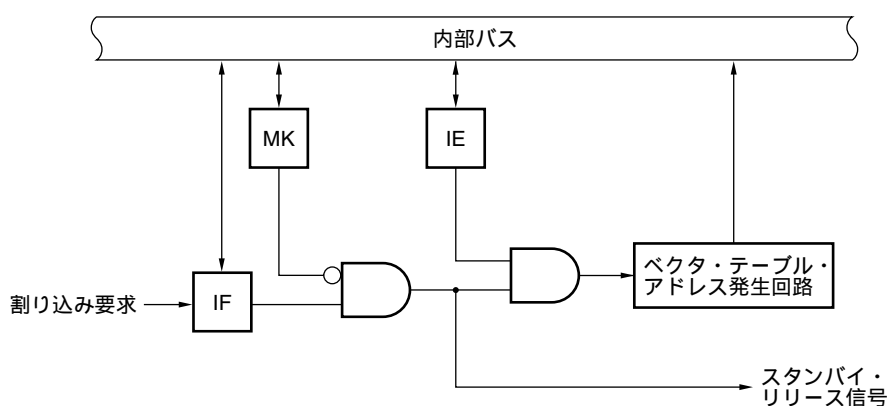
備考 ウォッチドッグ・タイマの割り込み要因(INTWDT)には、ノンマスカブル割り込みとマスカブル割り込み(内部)の2種類があり、どちらか1種類のみ選択できます。

図16 - 1 割り込み機能の基本構成

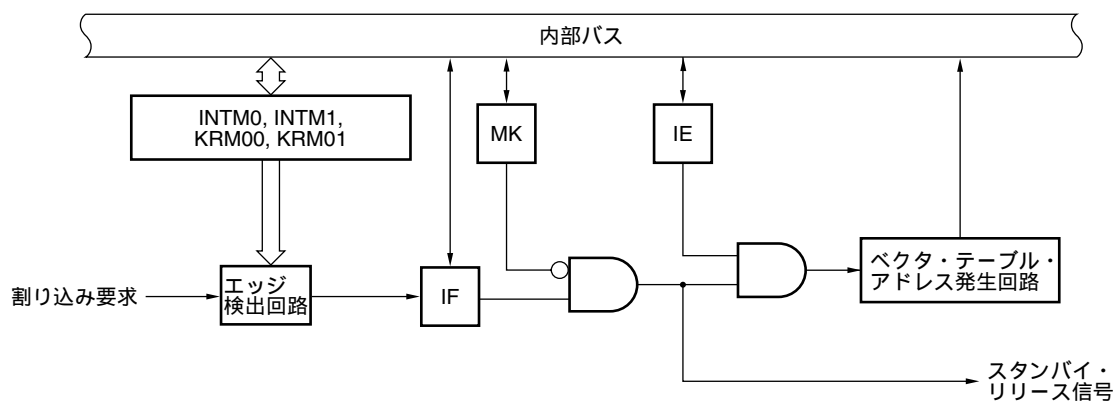
(A) 内部ノンマスクابل割り込み



(B) 内部マスクابل割り込み



(C) 外部マスクابل割り込み



INTM0 : 外部割り込みモード・レジスタ0

INTM1 : 外部割り込みモード・レジスタ1

KRM00 : キー・リターン・モード・レジスタ00

KRM01 : キー・リターン・モード・レジスタ01

IF : 割り込み要求フラグ

IE : 割り込み許可フラグ

MK : 割り込みマスク・フラグ

16.3 割り込み機能を制御するレジスタ

割り込み機能は、次の5種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0-IF2)
- ・割り込みマスク・フラグ・レジスタ (MK0-MK2)
- ・外部割り込みモード・レジスタ (INTM0, INTM1)
- ・プログラム・ステータス・ワード (PSW)
- ・キー・リターン・モード・レジスタ (KRM00, KRM01)

各割り込み要求に対する割り込み要求フラグ、割り込みマスク・フラグ名称を表16 - 2に示します。

表16 - 2 割り込み要求信号名に対する各種フラグ

割り込み要求信号名	割り込み要求フラグ	割り込みマスク・フラグ
INTWDT	WDTIF	WDTMK
INTP0	PIF0	PMK0
INTP1	PIF1	PMK1
INTP2	PIF2	PMK2
INTP3	PIF3	PMK3
INTRIN	RINIF	RINMK
INTSR20/INTCSI20	SRIF20	SRMK20
INTCSI10	CSIF10	CSIMK10
INTST20	STIF20	STMK20
INTWTI	WTIIF	WTIMK
INTTM20	TMIF20	TMMK20
INTTM50	TMIF50	TMMK50
INTTM60	TMIF60	TMMK60
INTTM61	TMIF61	TMMK61
INTAD0	ADIF0	ADMK0
INTWT	WTIF	WTMK
INTKR00	KRIF00	KRMK00
INTRERR	RERRIF	RERRMK
INTGP	GPIF	GPMK
INTREND	RENDIF	RENDMK
INTDFULL	DFULLIF	DFULLMK
INTKR01 ^注	KRIF01 ^注	KRMK01 ^注

注 μ PD789479, 78F9479のみ

(1) 割り込み要求フラグ・レジスタ (IF0-IF2)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時およびRESET入力時、命令の実行によりクリア (0) されるフラグです。

IF0-IF2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図16 - 2 割り込み要求フラグ・レジスタのフォーマット

略号	0							アドレス	リセット時	R/W	
IF0	CSIF10	SRIF20	RINIF	PIF3	PIF2	PIF1	PIF0	WDTIF	FFE0H	00H	R/W

略号	0							アドレス	リセット時	R/W	
IF1	WTIF	ADIF0	TMIF61	TMIF60	TMIF50	TMIF20	WTIIF	STIF20	FFE1H	00H	R/W

略号	7	6	0					アドレス	リセット時	R/W	
IF2	0	0	KRIF01 ^注	DFULLIF	RENDIF	GPIF	RERRIF	KRIF00	FFE2H	00H	R/W

x x IF x	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注 μ PD789479, 78F9479のみ

注意1. WDTIFフラグはウォッチドッグ・タイマをインターバル・タイマとして使用しているときのみ、R/W可能です。ウォッチドッグ・タイマ・モード1, 2で使用する場合は、WDTIFフラグに0を設定してください。

2. P30-P33は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。

(2) 割り込みマスク・フラグ・レジスタ (MK0-MK2)

割り込みマスク・フラグは、対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0-MK2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

RESET入力により、FFHになります。

図16 - 3 割り込みマスク・フラグ・レジスタのフォーマット

略号								0	アドレス	リセット時	R/W
MK0	CSIMK10	SRMK20	RINMK	PMK3	PMK2	PMK1	PMK0	WDTMK	FFE4H	FFH	R/W

略号								0	アドレス	リセット時	R/W
MK1	WTMK	ADMK0	TMMK61	TMMK60	TMMK50	TMMK20	WTIMK	STMK20	FFE5H	FFH	R/W

略号	7	6						0	アドレス	リセット時	R/W
MK2	1	1	KRMK01 ^注	DFULLMK	RENDMK	GPMK	RERRMK	KRMK00	FFE6H	FFH	R/W

× × MK ×	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

注 μ PD789479, 78F9479のみ

- 注意1. ウォッチドッグ・タイマをウォッチドッグ・タイマ・モード1, 2で使用しているとき、WDTMKフラグを読み出すと不定になっています。
2. P30-P33は外部割り込み入力と兼用になっているため、ポート機能の出力モードを指定し出力レベルを変化させたとき、割り込み要求フラグがセットされてしまいます。したがって、出力モードを使用するときは、あらかじめ割り込みマスク・フラグ (PMK0-PMK3) に1を設定してください。

(3) 外部割り込みモード・レジスタ (INTM0, INTM1)

INTP0-INTP3の有効エッジを設定するレジスタです。

INTM0, INTM1は、8ビット・メモリ操作命令で設定します。

RESET入力により、00Hになります。

図16 - 4 外部割り込みモード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM0	ES21	ES20	ES11	ES10	ES01	ES00	0	0	FFECH	00H	R/W

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
INTM1	0	0	0	0	0	0	ES31	ES30	FFEDH	00H	R/W

ESn1	ESn0	INTPnの有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり、立ち下がりの両エッジ

備考 n = 0, 1, 2, 3

注意1. INTM0のビット0, 1, INTM1のビット2-7には、必ず0を設定してください。

2. INTM0, INTM1レジスタの設定は、必ず割り込みマスク・フラグ (PMK0-PMK3) に1を設定し、割り込みを禁止してから行ってください。

その後、割り込み要求フラグ (PIF0-PIF3) をクリア (0) してから、割り込みマスク・フラグ (PMK0-PMK3) に0を設定し、割り込みを許可してください。

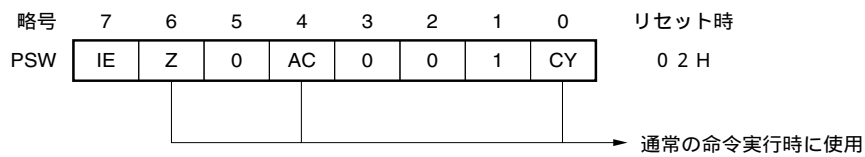
(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスクブル割り込みの許可 / 禁止を設定するIEフラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み受け付け時には、PSWは自動的にスタックに退避され、IEフラグはリセット (0) されます。

$\overline{\text{RESET}}$ 入力により、PSWは02Hになります。

図16 - 5 プログラム・ステータス・ワードの構成



IE	割り込み受け付けの許可 / 禁止
0	禁止
1	許可

(5) キー・リターン・モード・レジスタ00 (KRM00)

キー・リターン信号（ポート0の立ち下がりエッジ）を検出する端子を設定するレジスタです。

KRM00は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16 - 6 キー・リターン・モード・レジスタ00のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM00	KRM007	KRM006	KRM005	KRM004	0	0	0	KRM000	FFF5H	00H	R/W

KRM000	キー・リターン信号検出の制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する（P00-P03の立ち下がりエッジ検出）

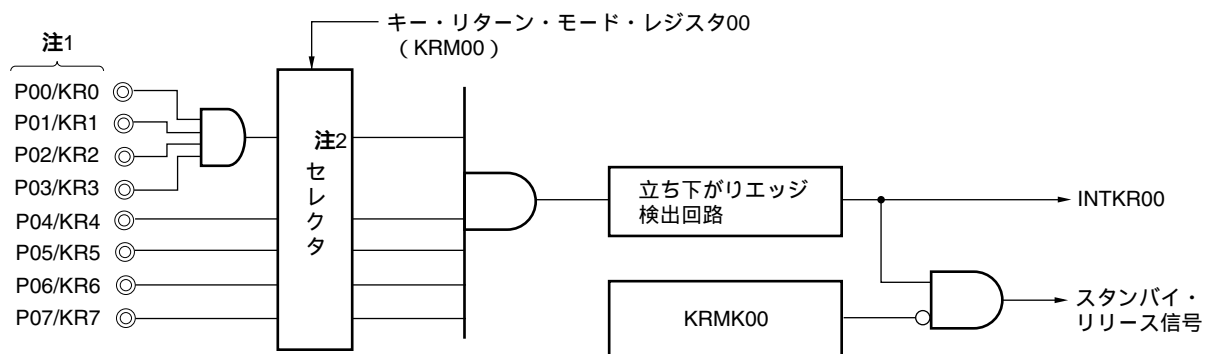
KRM00n	キー・リターン信号検出の制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する（P0nの立ち下がりエッジ検出）

備考 n = 4-7

注意1. ビット1-3には、必ず0を設定してください。

- KRM00の設定は、必ずMK2のビット0をセット（KRMK00 = 1）し、割り込みを禁止してから行ってください。KRM00の設定後、IF2のビット0をクリア（KRIF00 = 0）にしてから、KRMK00をクリアし、割り込みを許可してください。
- 入力モードでキー・リターン信号の検出を指定しても、自動的に内蔵プルアップ抵抗は接続されません。したがって、キー・リターン信号の検出を行う場合は、対応するビットのプルアップ抵抗をプルアップ抵抗オプション・レジスタB0（PUB0）にて接続してください。しかし、その後、出力モードに切り替えた端子は内蔵プルアップ抵抗が切断されます。ただしこの場合、キー・リターン信号の検出はそのまま続きます。

図16 - 7 立ち下がりエッジの検出回路のブロック図



注1. μ PD789479, 78F9479の場合は、端子名がP00/KR00-P07/KR07になります。

- 立ち下がりエッジ入力として使用する端子を選択するセレクタ

(6) キー・リターン・モード・レジスタ01 (KRM01) (μ PD789479, 78F9479のみ)

キー・リターン信号（ポート6の立ち下がりエッジ）を検出する端子を設定するレジスタです。

KRM01は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

$\overline{\text{RESET}}$ 入力により、00Hになります。

図16 - 8 キー・リターン・モード・レジスタ01のフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
KRM01	KRM017	KRM016	KRM015	KRM014	0	0	0	KRM010	FFF4H	00H	R/W

KRM010	キー・リターン信号検出の制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する（P60-P63の立ち下がりエッジ検出）

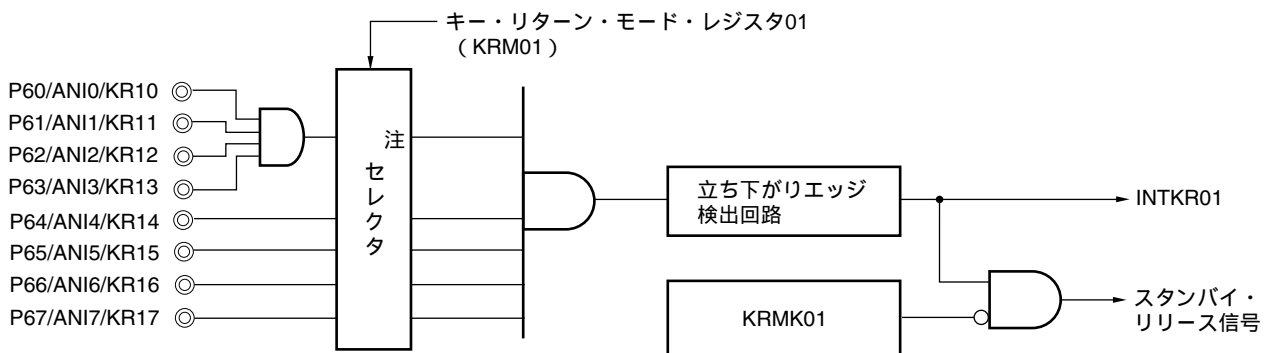
KRM01n	キー・リターン信号検出の制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する（P6nの立ち下がりエッジ検出）

備考 n = 4-7

注意1. ビット1-3には、必ず0を設定してください。

- KRM01の設定は、必ずMK2のビット5をセット（KRMK01 = 1）し、割り込みを禁止してから行ってください。KRM01の設定後、IF2のビット5をクリア（KRIF01 = 0）にしてから、KRMK01をクリアし、割り込みを許可してください。
- キー・リターン信号の検出を指定した端子のうち1本でもロウ・レベルになっている間は、他のキー・リターン端子に立ち下がりエッジが発生してもキー・リターン信号を検出できません。
- P60/ANI0/KR10-P67/ANI7/KR17端子のうち1本でもA/D入力として使用する場合は、KRM010、KRM014-KRM017をすべて0にしてください。

図16 - 9 立ち下がりエッジの検出回路のブロック図



注 立ち下がりエッジ入力として使用する端子を選択するセレクト

16.4 割り込み処理動作

16.4.1 ノンマスカブル割り込み要求の受け付け動作

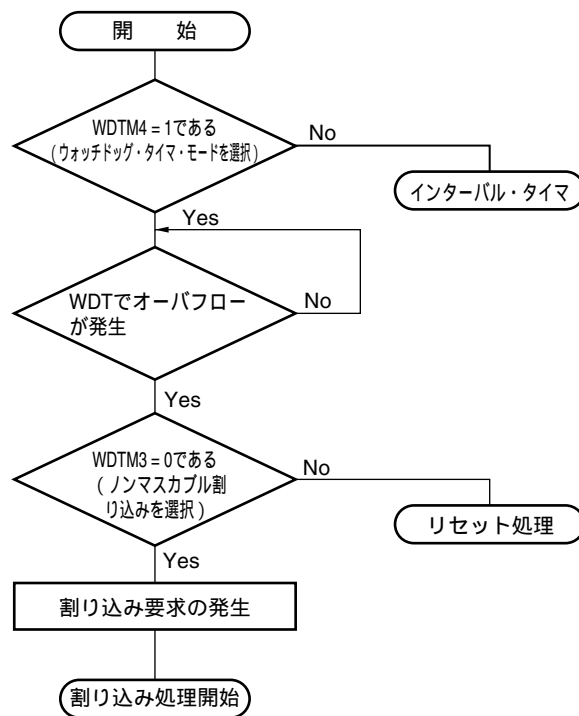
ノンマスカブル割り込み要求は、割り込み受け付け禁止状態であっても無条件に受け付けられます。また、割り込み優先順位制御の対象にならず、すべての割り込みに対して最優先の割り込み要求です。

ノンマスカブル割り込み要求が受け付けられると、PSW、PCの順にスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブルの内容をPCへロードし分岐します。

ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャートを図16 - 10に、ノンマスカブル割り込み要求の受け付けタイミングを図16 - 11に、ノンマスカブル割り込みが多量に発生した場合の受け付け動作を図16 - 12に示します。

注意 ノンマスカブル割り込みサービス・プログラム実行中に新たなノンマスカブル割り込み要求をしないでください。割り込みサービス・プログラム実行中でも新たに発生したノンマスカブル割り込み要求を受け付けてしまいます。

図16 - 10 ノンマスカブル割り込み要求発生から受け付けまでのフロー・チャート



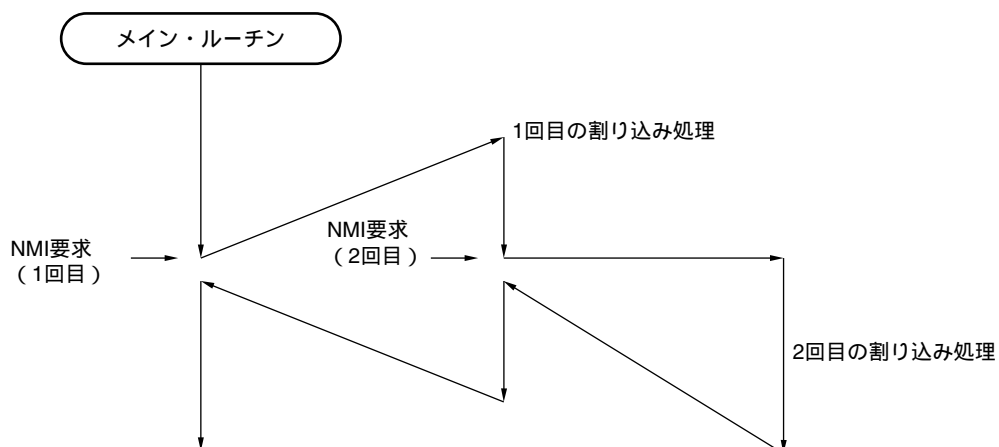
WDTM : ウォッチドッグ・タイマ・モード・レジスタ

WDT : ウォッチドッグ・タイマ

図16 - 11 ノンマスカブル割り込み要求の受け付けタイミング



図16 - 12 ノンマスカブル割り込み要求の受け付け動作



16.4.2 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込みの割り込みマスク・フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。

マスカブル割り込み要求が発生してから割り込み処理が行われる時間は表16-3のようになります。

割り込み要求の受け付けのタイミングについては、図16-14、図16-15を参照してください。

表16-3 マスカブル割り込み要求発生から処理までの時間

最小時間	最大時間 ^注
9クロック	19クロック

注 BT, BF命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $\frac{1}{f_{CPU}}$ (f_{CPU} : CPUクロック)

マスカブル割り込み要求が同時に発生したときは、優先順位の高い割り込み要求から受け付けられます。

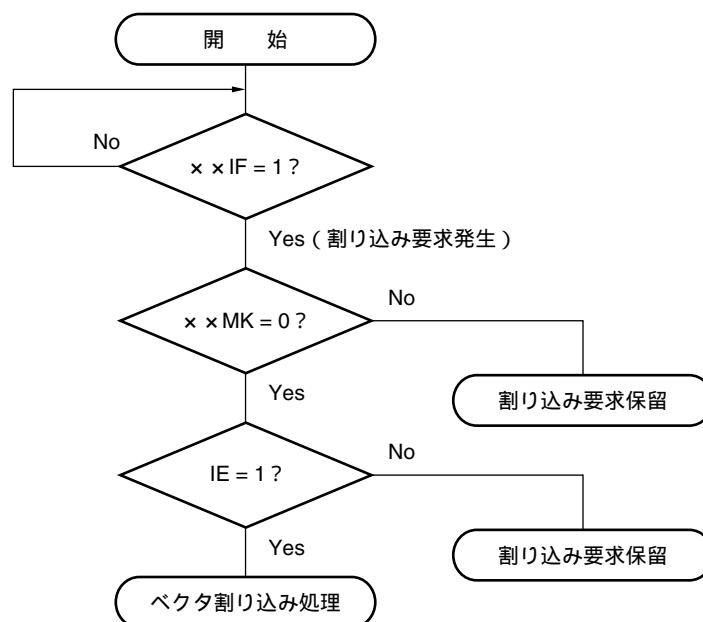
保留された割り込みは受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを図16-13に示します。

マスカブル割り込み要求が受け付けられると、PSW, PCの順に内容をスタックに退避し、IEフラグをリセット(0)し、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

図16-13 割り込み要求受け付け処理アルゴリズム

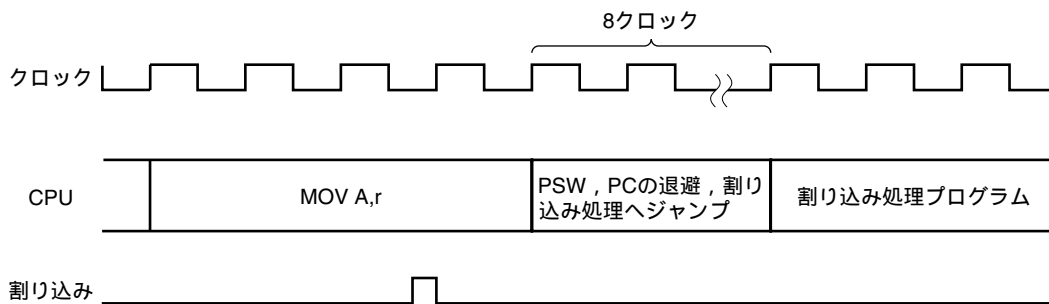


x x IF : 割り込み要求フラグ

x x MK : 割り込みマスク・フラグ

IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可, 0 = 禁止)

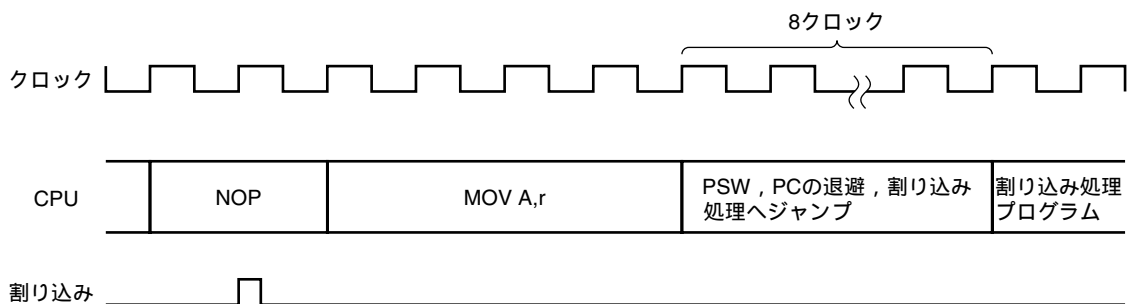
図16 - 14 割り込み要求の受け付けタイミング (MOV A, rの例)



割り込みは実行中の命令クロック n ($n = 4-10$) が $n - 1$ までに割り込み要求フラグ ($\times \times IF \times$) が発生すると、実行中の命令終了後に割り込み受け付け処理となります。図16 - 14では8ビット・データ転送命令MOV A, rの例です。この命令は4クロックで実行するので実行してから3クロックの間に割り込みが発生するとMOV A, rの終了後、割り込み受け付け処理を行います。

図16 - 15 割り込み要求の受け付けタイミング

(命令実行中の最終クロックで割り込み要求フラグが発生したとき)



割り込み要求フラグ ($\times \times IF \times$) が命令の最後のクロックのときに発生すると、次の命令の実行後に割り込み受け付け処理を始めます。

図16 - 15ではNOP (2クロックの命令) の2クロック目に発生した場合の例です。この場合、NOP命令のあとのMOV A, rを実行後、割り込みの受け付けの処理を行います。

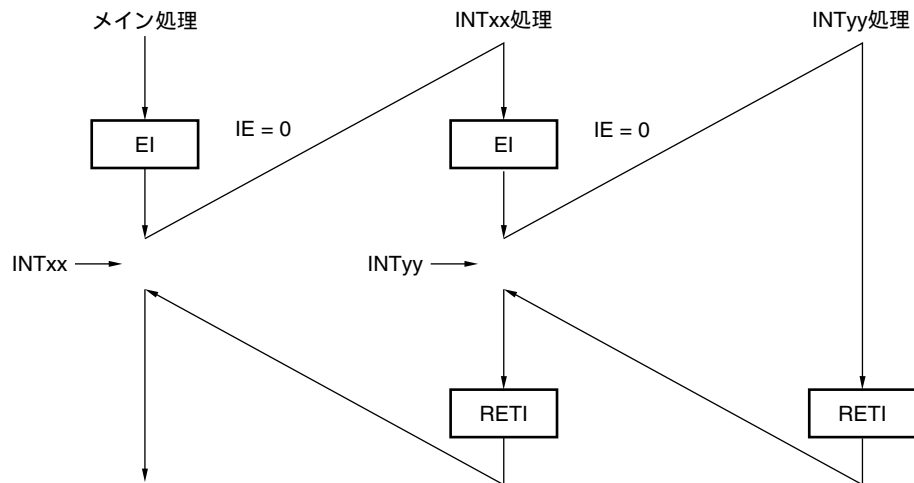
注意 割り込み要求フラグ・レジスタ (IF0-IF2) または割り込みマスク・フラグ・レジスタ (MK0-MK2) にアクセス中は割り込み要求は保留されます。

16.4.3 多重割り込み処理

割り込み処理中にさらに別の割り込みを受け付ける多重割り込みは、優先順位によって処理できます。複数の割り込みが同時に発生しているとき、各割り込み要求にあらかじめ割り付けてある優先順位に従って割り込み処理を行います（表16 - 1参照）。

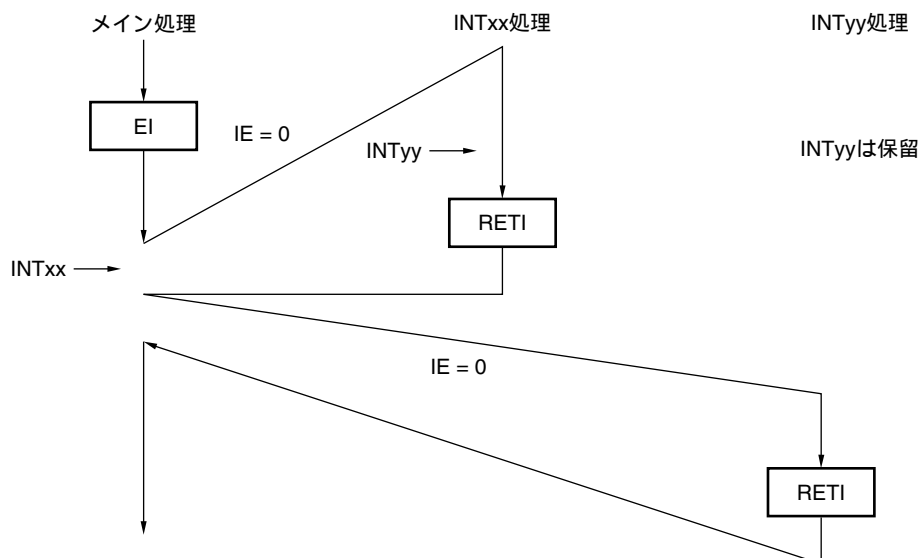
図16 - 16 多重割り込みの例

例1．多重割り込みが受け付けられる例



割り込みINTxx処理中に、割り込み要求INTyyが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令が発行され、割り込み要求受け付け許可状態になっている。

例2．割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない(EI命令が発行されていない)ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、INTxx処理終了後に受け付けられる。

IE = 0 : 割り込み要求受け付け禁止

16. 4. 4 割り込み要求の保留

命令の中には、実行中に割り込み要求（マスカブル割り込み、ノンマスカブル割り込み、外部割り込み）が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・割り込み要求フラグ・レジスタ（IF0-IF2）に対する操作命令
- ・割り込みマスク・フラグ・レジスタ（MK0-MK2）に対する操作命令

第17章 スタンバイ機能

17.1 スタンバイ機能と構成

17.1.1 スタンバイ機能

スタンバイ機能は、システムの消費電力をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。システム・クロック発振回路の発振は継続します。このモードでは、STOPモードほどの消費電力の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、間欠動作をさせたい場合に有効です。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、メイン・システム・クロック発振回路を停止させ、システム全体が停止するモードです。CPUの消費電力を、かなり低減することができます。

また、データ・メモリの低電圧 ($V_{DD} = 1.8 \text{ V}$ まで) 保持が可能です。したがって、超低消費電力でデータ・メモリの内容を保持する場合に有効です。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならない場合にはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

注意 STOPモードに移行するとき、必ず周辺ハードウェアの動作を停止させたのち、STOP命令を実行してください。

17.1.2 スタンバイ機能を制御するレジスタ

割り込み要求でSTOPモードを解除してから発振が安定するまでのウェイト時間は、発振安定時間選択レジスタ（OSTS）で制御します。

OSTSは、8ビット・メモリ操作命令で設定します。

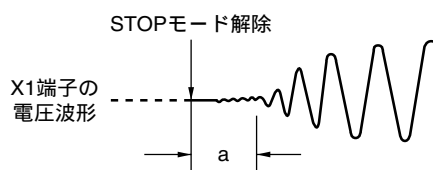
$\overline{\text{RESET}}$ 入力により、04Hになります。ただし、 $\overline{\text{RESET}}$ 入力後の発振安定時間は $2^{17}/f_x$ ではなく、 $2^{15}/f_x$ となります。

図17 - 1 発振安定時間選択レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0	FFFAH	04H	R/W

OSTS2	OSTS1	OSTS0	発振安定時間の選択
0	0	0	$2^{12}/f_x$ (819 μ s)
0	1	0	$2^{15}/f_x$ (6.55 ms)
1	0	0	$2^{17}/f_x$ (26.2 ms)
上記以外			設定禁止

注意 STOPモード解除時のウェイト時間は、 $\overline{\text{RESET}}$ 入力による場合も、割り込み発生による場合もSTOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



備考1. f_x : メイン・システム・クロック発振周波数

2. () 内は、 $f_x = 5.0$ MHz動作時

17.2 スタンバイ機能の動作

17.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。

次にHALTモード時の動作状態を示します。

表17 - 1 HALTモード時の動作状態

項 目	メイン・システム・クロック動作中のHALTモードの動作状態		サブシステム・クロック動作中のHALTモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止	メイン・システム・クロック動作	メイン・システム・クロック停止
クロック発生回路	メイン・システム・クロック，サブシステム・クロックとも発振可能 ただしCPUへのクロック供給は停止			
サブシステム・クロック4通倍回路	動作停止			
CPU	動作停止			
ポート（出力ラッチ）	HALTモード設定前の状態を保持			
16ビット・タイマ20	動作可能			動作可能 ^{注1}
8ビット・タイマ50	動作可能			動作可能 ^{注2}
8ビット・タイマ60	動作可能			動作可能 ^{注3}
8ビット・タイマ61	動作可能			動作可能 ^{注3}
時計用タイマ	動作可能	動作可能 ^{注4}	動作可能	動作可能 ^{注5}
ウォッチドッグ・タイマ	動作可能		動作停止	
キー・リターン回路	動作可能			
シリアル・インタフェース20	動作可能			動作可能 ^{注6}
シリアル・インタフェース1A0	動作可能			動作可能 ^{注6}
LCDコントローラ／ドライバ	動作可能 ^{注7}	動作可能 ^{注4, 7}	動作可能 ^{注7}	動作可能 ^{注5, 7}
A/Dコンバータ	動作停止			
乗算器	動作停止			
リモコン受信回路	動作可能	動作可能 ^{注4}	動作可能	動作可能 ^{注5}
外部割り込み	動作可能 ^{注8}			

注1. 24ビット・カウンタ・モード選択時は動作可能

2. カウント・クロックにサブシステム・クロック，またはタイマ60からの入力信号（タイマ60が動作可能時）選択時は動作可能

3. カウント・クロックに外部入力クロック選択時は動作可能

4. メイン・システム・クロック選択時は動作可能

5. サブシステム・クロック選択時は動作可能

6. 外部クロック選択時のみ動作可能

7. 表示命令実行後，HALT命令設定可能

8. マスクされていないマスカブル割り込みのみ動作可能

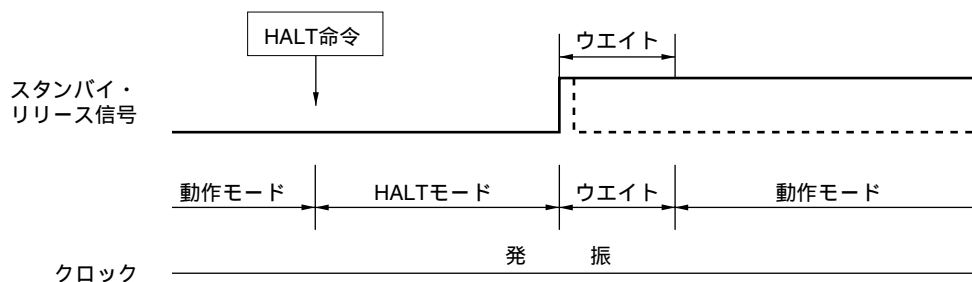
(2) HALTモードの解除

HALTモードは、次の3種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、HALTモードを解除します。割り込み要求受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

図17 - 2 HALTモードの割り込み発生による解除



備考1. 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

2. ウェイト時間は次のようになります。

- ・ベクタに分岐した場合 : 9～10クロック
- ・ベクタに分岐しなかった場合 : 1～2クロック

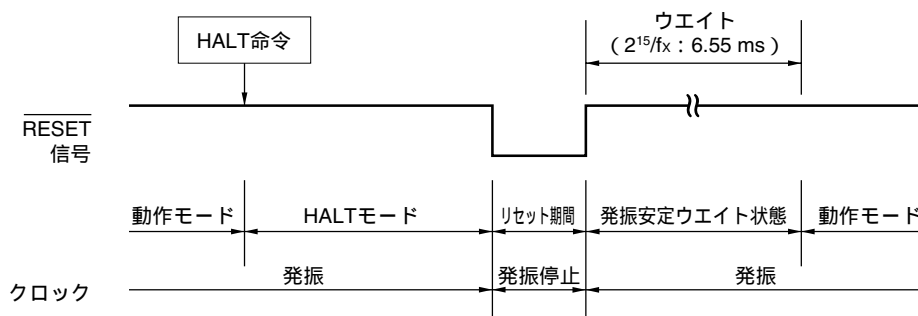
(b) ノンマスカブル割り込み要求による解除

割り込み受け付け許可、禁止の状態に関係なく、HALTモードを解除し、ベクタ割り込み処理を行います。

(c) RESET入力による解除

通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムを実行します。

図17 - 3 HALTモードのRESET入力による解除



備考 f_x : メイン・システム・クロック発振周波数

表17 - 2 HALTモードの解除後の動作

解除ソース	MK x x	IE	動 作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	HALTモード保持
ノンマスカブル割り込み要求	-	x	割り込み処理実行
RESET入力	-	-	リセット処理

x : don't care

注意 フラッシュ品 (μ PD78F9478, 78F9479) で、CPUクロックとしてサブクロック4通倍クロック選択時にHALTモードを使用するときは、注意事項があります。詳しくは19.2 μ PD78F9478, 78F9479の注意事項を参照してください。

17.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。

注意 スタンバイ・モードの解除に割り込み要求信号が用いられるため、割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードに入ってもただちに解除されます。したがって、STOPモードの場合はSTOP命令実行後すぐにHALTモードに入り発振安定時間選択レジスタ（OSTS）による設定時間だけウェイトしたあと動作モードに戻ります。

次にSTOPモード時の動作状態を示します。

表17-3 STOPモード時の動作状態

項 目	メイン・システム・クロック動作中のSTOPモードの動作状態	
	サブシステム・クロック動作	サブシステム・クロック停止
メイン・システム・クロック	発振停止	
サブシステム・クロック4通倍回路	動作停止	
CPU	動作停止	
ポート（出力ラッチ）	STOPモード設定前の状態を保持	
16ビット・タイマ20	動作停止	
8ビット・タイマ50	動作可能 ^{注1}	動作可能 ^{注2}
8ビット・タイマ60	動作可能 ^{注3}	
8ビット・タイマ61	動作可能 ^{注3}	
時計用タイマ	動作可能 ^{注4}	動作停止
ウォッチドッグ・タイマ	動作停止	
キー・リターン回路	動作可能	
シリアル・インタフェース20	動作可能 ^{注5}	
シリアル・インタフェース1A0	動作可能 ^{注5}	
LCDコントローラ/ドライバ	動作可能 ^{注4}	動作停止
A/Dコンバータ	動作停止	
乗算器	動作停止	
リモコン受信回路	動作可能 ^{注4}	動作停止
外部割り込み	動作可能 ^{注6}	

注1. カウント・クロックにサブシステム・クロック、またはタイマ60からの入力信号（タイマ60が動作可能時）選択時は動作可能

2. カウント・クロックにタイマ60からの入力信号（タイマ60が動作可能時）選択時は動作可能

3. カウント・クロックに外部入力クロック選択時は動作可能

4. サブシステム・クロック選択時は動作可能

5. 外部クロック選択時のみ動作可能

6. マスクされていないマスカブル割り込みのみ動作可能

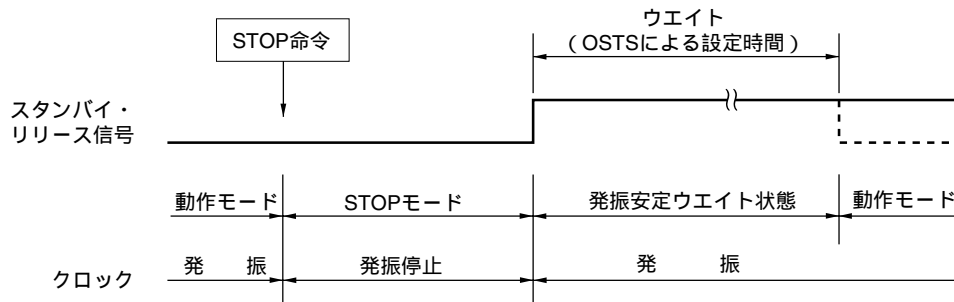
(2) STOPモードの解除

STOPモードは、次の2種類のソースによって解除することができます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合、STOPモードを解除します。発振安定時間経過後、割り込み受け付け許可状態であれば、ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば、次のアドレスの命令を実行します。

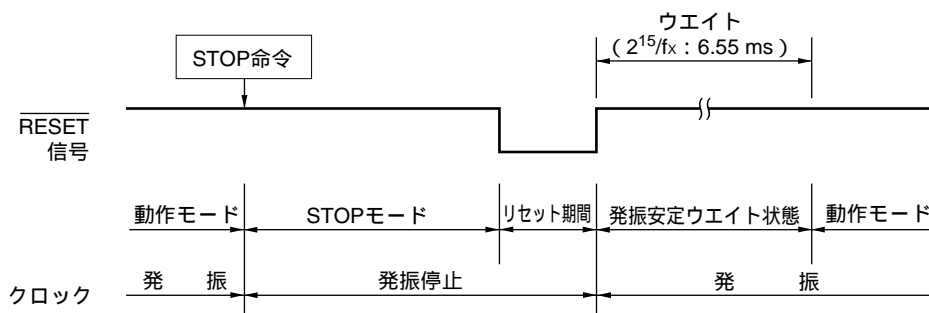
図17 - 4 STOPモードの割り込み発生による解除



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) $\overline{\text{RESET}}$ 入力による解除

STOPモードを解除し、発振安定時間経過後リセット動作を行います。

図17 - 5 STOPモードの $\overline{\text{RESET}}$ 入力による解除

備考 f_x : メイン・システム・クロック発振周波数

表17 - 4 STOPモードの解除後の動作

解除ソース	MK x x	IE	動作
マスカブル割り込み要求	0	0	次アドレス命令実行
	0	1	割り込み処理実行
	1	x	STOPモード保持
$\overline{\text{RESET}}$ 入力	-	-	リセット処理

x : don't care

第18章 リセット機能

リセット信号を発生させる方法には、次の2種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマの暴走時間検出による内部リセット

外部リセットと内部リセットは機能面での差はなく、リセット信号入力により、ともに0000H、0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、またはウォッチドッグ・タイマのオーバフローが発生することによってリセットがかかり、各ハードウェアは表18 - 1に示すような状態になります。また、リセット入力中およびリセット解除直後の発振安定時間中の各端子の状態は、ハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) にプログラムの実行を開始します。また、ウォッチドッグ・タイマのオーバフロー発生によるリセットは、リセット後、自動的にリセットが解除され、発振安定時間経過後 ($2^{15}/f_x$) にプログラムの実行を開始します (図18 - 2 ~ 図18 - 4参照)。

- 注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μs 以上のロウ・レベルを入力してください。
2. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時の内容を保持します。ただし、ポート端子は、ハイ・インピーダンスとなります。

図18 - 1 リセット機能のブロック図

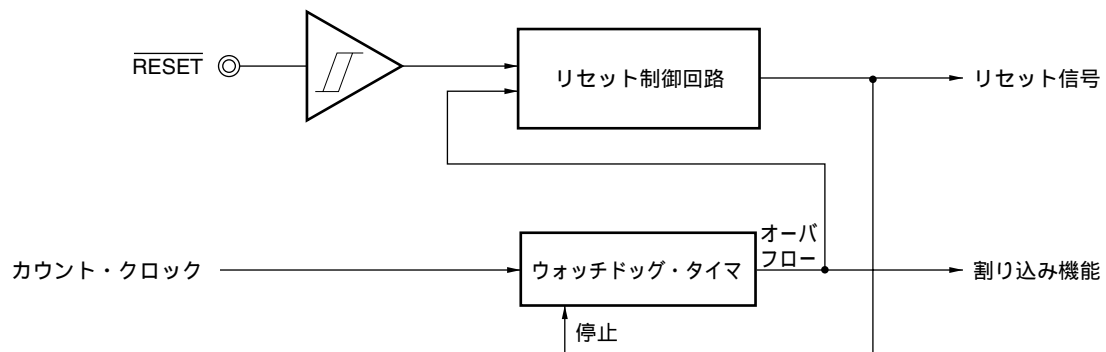


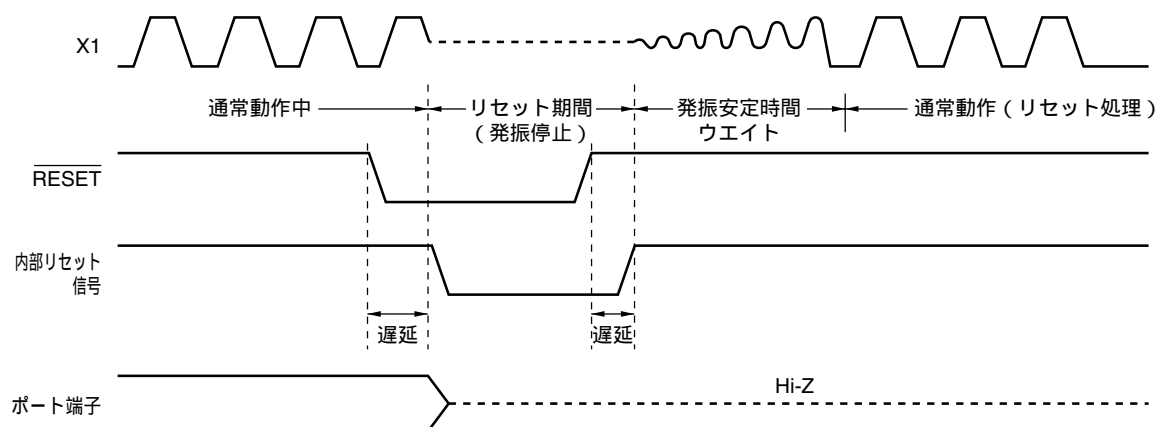
図18 - 2 $\overline{\text{RESET}}$ 入力によるリセット・タイミング

図18 - 3 ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

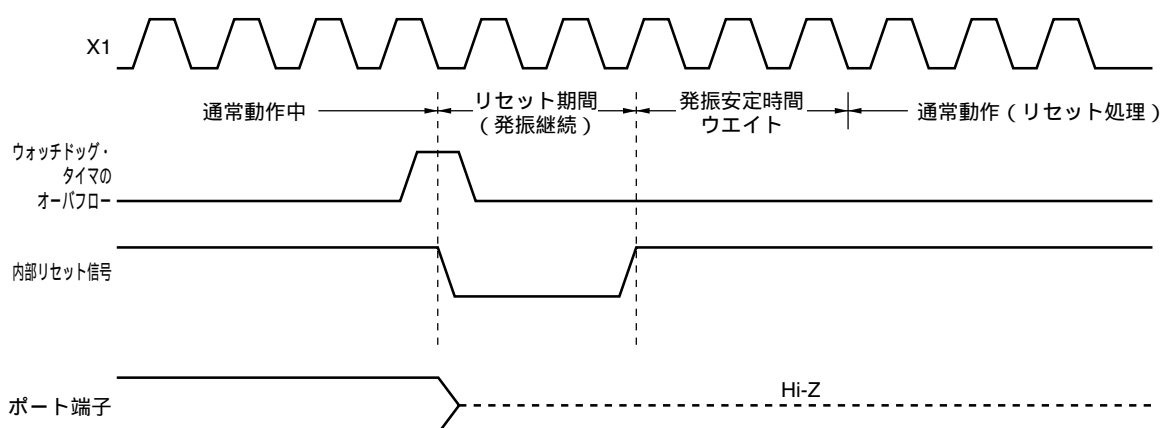
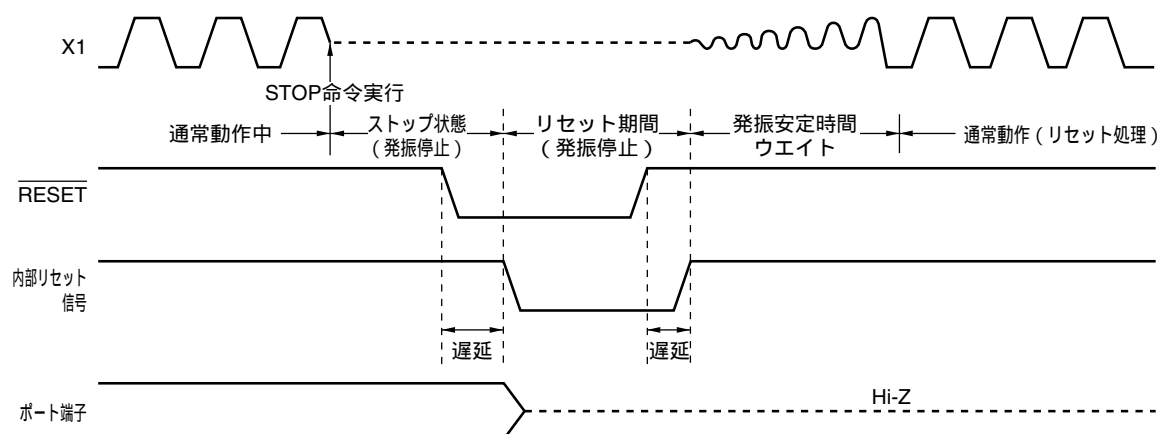
図18 - 4 STOPモード中の $\overline{\text{RESET}}$ 入力によるリセット・タイミング

表18 - 1 各ハードウェアのリセット後の状態 (1/2)

ハードウェア		リセット後の状態
プログラム・カウンタ (PC) ^{注1}		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		02H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
ポート (P0-P3, P5, P8 ^{注3}) (出力ラッチ)		00H
ポート・モード・レジスタ (PM0-PM3, PM5, PM8 ^{注3})		FFH
ポート・ファンクション・レジスタ (PF7, PF8)		00H
プルアップ抵抗オプション・レジスタ (PUB0-PUB3)		00H
プロセッサ・クロック・コントロール・レジスタ (PCC)		02H
サブ発振モード・レジスタ (SCKM)		00H
サブクロック・コントロール・レジスタ (CSS)		00H
サブクロック選択レジスタ (SSCK)		保持 ^{注4}
発振安定時間選択レジスタ (OSTS)		04H
16ビット・タイマ20	タイマ・カウンタ (TM20)	0000H
	コンペア・レジスタ (CR20)	FFFFH
	モード・コントロール・レジスタ (TMC20)	00H
	キャプチャ・レジスタ (TCP20)	不定
8ビット・タイマ50, 60, 61	タイマ・カウンタ (TM50, TM60, TM61)	00H
	コンペア・レジスタ (CR50, CR60, CRH60, CR61, CRH61)	不定
	モード・コントロール・レジスタ (TMC50, TMC60, TMC61)	00H
	キャリア・ジェネレータ出力コントロール・レジスタ (TCA60)	00H
時計用タイマ	モード・コントロール・レジスタ (WTM)	00H
	割り込み時間選択レジスタ (WTIM)	00H
ウォッチドッグ・タイマ	クロック選択レジスタ (WDCS)	00H
	モード・レジスタ (WDTM)	00H
シリアル・インタフェース20	動作モード・レジスタ (CSIM20)	00H
	アシンクロナス・シリアル・インタフェース・モード・レジスタ (ASIM20)	00H
	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ (ASIS20)	00H
	ボー・レート・ジェネレータ・コントロール・レジスタ (BRGC20)	00H
	送信シフト・レジスタ (TXS20)	FFH
	受信バッファ・レジスタ (RXB20)	不定

注1. リセット入力中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。

その他は、リセット後の状態と変わりありません。

- スタンバイ・モード時でのリセット後の状態は保持となります。
- ポート8はマスク・オプションまたはポート・ファンクション・レジスタでポート機能指定時のみ (第20章 マスク・オプション, 4.3 (3) ポート・ファンクション・レジスタ参照)
- RESET入力のみ、00Hとなります。

表18 - 1 各ハードウェアのリセット後の状態 (2/2)

ハードウェア		リセット後の状態
シリアル・インタフェース1A0	動作モード・レジスタ (CSIM1A0)	00H
	シフト・レジスタ (SIO1A0)	00H
	バッファ・メモリ (SBMEM0-SBMEMF)	不定
	自動データ送受信コントロール・レジスタ (ADTC0)	00H
	自動データ送受信アドレス・ポインタ (ADTP0)	不定
	自動データ送受信転送間隔指定レジスタ (ADTI0)	00H
A/Dコンバータ	モード・レジスタ (ADML0, ADML1)	00H
	入力チャネル指定レジスタ (ADS0)	00H
	変換結果レジスタ (ADCRL0)	00H
LCDコントローラ / ドライバ	表示モード・レジスタ (LCDM0)	00H
	クロック制御レジスタ (LCDC0)	00H
乗算器	16ビット結果格納レジスタ (MUL0)	不定
	データ・レジスタ (MRA0, MRB0)	不定
	コントロール・レジスタ (MULC0)	00H
リモコン受信回路	制御レジスタ (RMCN)	00H
	データ・レジスタ (RMDR)	00H
	シフト・レジスタ受信カウンタ・レジスタ (RMSCR)	00H
	シフト・レジスタ (RMSR)	00H
	コンペア・レジスタ (RMGPHS, RMGPHL, RMDLS, RMDLL, RMDH0S, RMDH0L, RMDH1S, RMDH1L)	00H
	エンド幅選択レジスタ (RMER)	00H
割り込み	要求フラグ・レジスタ (IF0-IF2)	00H
	マスク・フラグ・レジスタ (MK0-MK2)	FFH
	外部割り込みモード・レジスタ (INTM0, INTM1)	00H
	キー・リターン・モード・レジスタ (KRM00, KRM01 ^注)	00H

注 KRM01は、μPD789479, 78F9479のみ

第19章 フラッシュ・メモリ製品

μ PD78F9478は、 μ PD789477, 789478（マスクROM製品）の内部ROMをフラッシュ・メモリに置き換えた製品です。

μ PD78F9479は、 μ PD789479（マスクROM製品）の内部ROMをフラッシュ・メモリに置き換えた製品です。

μ PD78F9478, 78F9479とマスクROM製品の違いを表19 - 1に示します。

表19 - 1 μ PD78F9478, 78F9479とマスクROM製品の違い

項 目		フラッシュ・メモリ製品		マスクROM製品		
		μ PD78F9478	μ PD78F9479	μ PD789477	μ PD789478	μ PD789479
内部メモリ	ROM	32 Kバイト（フラッシュ・メモリ）	48 Kバイト（フラッシュ・メモリ）	24 Kバイト	32 Kバイト	48 Kバイト
	内部RAM	1024バイト	1536バイト	768バイト	1024バイト	1536バイト
	LCD表示用RAM	28×4ビット				
端子の機能選択 S16-S27（LCDセグメント出力） or P70-P73, P80-P87（汎用ポート）		ポート・ファンクション・レジスタ（PF7, PF8）によりビット単位で選択		マスク・オプションによりビット単位で選択		
サブシステム・クロック4通倍回路		サブクロック選択レジスタ（SSCK）により使用可否を選択		マスク・オプションにより使用可否を選択		
ポート5のプルアップ抵抗		なし		マスク・オプションによりビット単位で選択		
キー・リターン信号検出端子		P00/KR0-P07/KR7	P00/KR00-P07/KR07, P60/ANI0/KR10-P67/ANI7/KR17	P00/KR0-P07/KR7		P00/KR00-P07/KR07, P60/ANI0/KR10-P67/ANI7/KR17
サブクロック4通倍クロック使用時のHALTモードの制限事項		19. 2 μ PD78F9478, 78F9479の 注意事項 を参照してください。		なし		
IC0端子		なし		あり		
VPP端子		あり		なし		
電気的特性		第22章 電気的特性を参照してください。				

注意 フラッシュ・メモリ製品とマスクROM製品では、ノイズ耐量やノイズ輻射が異なります。試作から量産の過程でフラッシュ・メモリ製品からマスクROM製品への置き換えを検討される場合は、マスクROM製品のCS製品（ES製品でなく）で十分な評価をしてください。

19. 1 フラッシュ・メモリの特徴

フラッシュ・メモリへのプログラミングは、 μ PD78F9478, 78F9479を実装した状態（オンボード）のターゲット・システムに、専用のフラッシュ・ライター（Flashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4））を接続して行います。またプログラミング専用のターゲット・ボードであるプログラム・アダプタ（FAアダプタ）を用意しています。

備考 FL-PR3, FL-PR4, プログラム・アダプタは、株式会社内藤電誠町田製作所（TEL（042）750-4172）の製品です。

フラッシュ・メモリによるプログラミングには、次のような利点があります。

ターゲット・システムにマイコンを半田実装後、ソフトウェアの変更可能
ソフトウェアを区別することで少量多品種生産が容易
量産立ち上げ時のデータ調整が容易

19. 1. 1 プログラミング環境

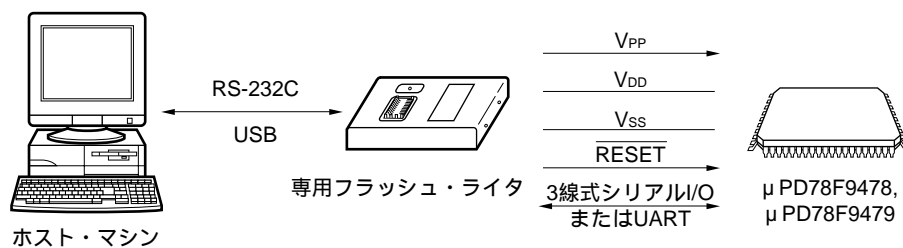
μ PD78F9478, 78F9479のフラッシュ・メモリ・プログラミングに必要な環境を示します。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、専用フラッシュ・ライターには、これを制御するホスト・マシンが必要です。ホスト・マシンとフラッシュ・ライター間の通信は、RS-232C/USB（Rev1.1）で行います。

詳細はFlashpro /Flashpro のマニュアルを参照してください。

備考 USBはFlashpro のみ対応

図19 - 1 フラッシュ・メモリにプログラムを書き込むための環境



19.1.2 通信方式

専用フラッシュ・ライタと μ PD78F9478, 78F9479との通信は、表19 - 2に示す通信方式から選択して行います。

表19 - 2 通信方式一覧

通信方式	TYPE設定 ^{注1}					使用端子	V _{PP} パルス数
	COMM PORT	SIOクロック	CPU CLOCK		Multiple Rate		
			In Flashpro	On Target Board			
3線式シリアルI/O (3wired, sync.)	SIO ch-0 (3wired, sync.)	100 Hz- 1.25 MHz ^{注2}	1, 2, 4, 5 MHz ^{注3}	1-5 MHz ^{注2}	1.0	SI20/RxD20/P22 SO20/TxD20/P21 SCK20/ASCK20/P20	0
						(SI20) ^{注6} /KR6/P06 (SO20) ^{注6} /KR5/P05 (SCK20) ^{注6} /KR4/P04	1
	3線式シリアルI/O (ハンドシェーク あり)					SIO ch-3 + handshake	SI20/RxD20/P22 SO20/TxD20/P21 SCK20/ASCK20/P20 P11 (HS)
UART	UART ch-0 (Async.)	4800-76800 bps ^{注2, 4}	5 MHz ^{注5}	4.91, 5 MHz ^{注2}	1.0	RxD20/SI20/P22 TxD20/SO20/P21	8

注1. 専用フラッシュ・ライタ (Flashpro (型番 FL-PR3, PG-FP3) / Flashpro (型番 FL-PR4, PG-FP4)) 上のTYPE設定における選択項目です。

2. 電圧により設定可能な範囲が異なります。詳細は第22章 電気的特性を参照してください。
3. Flashpro の場合は、2 MHzまたは4 MHzのみ選択可能です。
4. UART通信にはボー・レート誤差のほかに、信号波形の鈍りなどが影響するため、評価のうえ使用してください。
5. Flashpro の場合のみ。Flashpro の場合は必ずオンボード上の発振子のクロックを選択してください。Flashpro から供給されるクロックでは対応できません。
6. フラッシュ・メモリ・プログラミング時のみ

図19 - 2 通信方式選択フォーマット

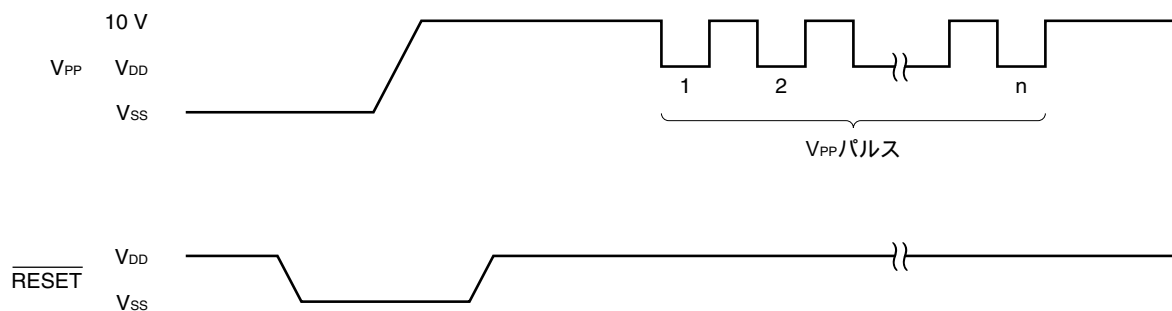
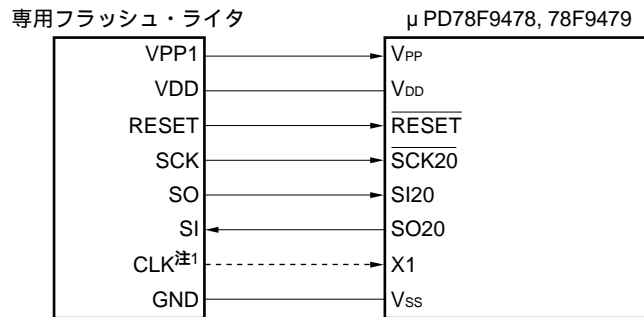
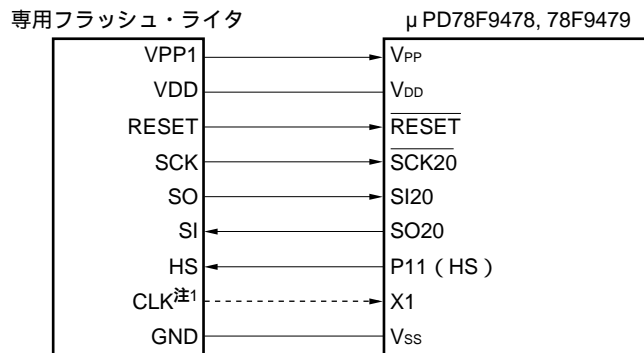


図19 - 3 専用フラッシュ・ライタとの接続例

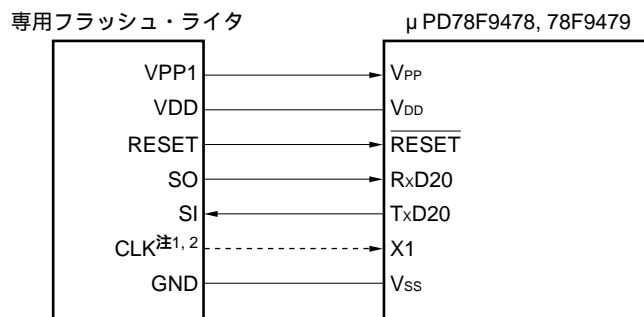
(a) 3線式シリアルI/O



(b) 3線式シリアルI/O (ハンドシェークあり)



(c) UART



- 注1. 専用フラッシュ・ライタからシステム・クロックを供給する場合には, CLK端子とX1端子を接続し, オンボード上の発振子を切り離します。オンボード上の発振子のクロックを使用する場合は, CLK端子と接続しないでください。
2. Flashpro でUARTを使用する場合は必ずX1端子に接続された振動子のクロックを使わなければならないので, CLK端子と接続しないでください。

注意 VDD端子は,すでに電源が接続されている場合でも,必ず専用フラッシュ・ライタのVDD端子と接続してください。またその電源を使用する場合は,必ずプログラミング開始前に電圧を供給してください。

専用フラッシュ・ライターとしてFlashpro（型番 FL-PR3, PG-FP3）/Flashpro（型番 FL-PR4, PG-FP4）を使用した場合、 μ PD78F9478, 78F9479に対して次の信号を生成します。詳細はFlashpro /Flashpro のマニュアルを参照してください。

表19 - 3 端子接続一覧

信号名	入出力	端子機能	端子名	3線式シリアルI/O	3線式シリアルI/O (ハンドシェークあり)	UART
VPP1	出力	書き込み電圧	V _{PP}			
VPP2	-	-	-	×	×	×
VDD	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD}	注	注	注
GND	-	グランド	V _{SS}			
CLK	出力	クロック出力	X1			
RESET	出力	リセット信号	$\overline{\text{RESET}}$			
SI	入力	受信信号	SO20/TxD20			
SO	出力	送信信号	SI20/RxD20			
SCK	出力	転送クロック	SCK20			×
HS	入力	ハンドシェーク信号	P11 (HS)	×		×

注 V_{DD}電圧はプログラミング開始前に供給する必要があります。

備考 : 必ず接続してください。

: ターゲット・ボード上で供給されていれば、接続の必要はありません。

× : 接続の必要はありません。

19.1.3 オンボード上の端子処理

ターゲット・システム上でプログラミングを行う場合は、ターゲット・システム上に専用フラッシュ・ライタと接続するためのコネクタを設けます。

また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能が必要になる場合があります。

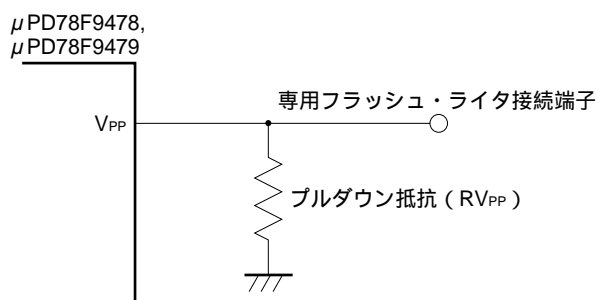
<V_{PP}端子>

通常動作モード時は、V_{PP}端子に0 Vを入力します。またフラッシュ・メモリ・プログラミング・モード時は、V_{PP}端子に10.0 V (TYP.) の書き込み電圧を供給しますので、次に示す(1)か(2)の端子処理を行ってください。

- (1) V_{PP}端子にプルダウン抵抗 $R_{VPP} = 10\text{ k}\Omega$ を接続してください。
- (2) ボード上のジャンパで、V_{PP}端子の入力をライタ側または直接GNDのどちらかに切り替えてください。

V_{PP}端子の接続例を次に示します。

図19 - 4 V_{PP}端子の接続例



<シリアル・インタフェース端子>

各シリアル・インタフェースが使用する端子を次に示します。

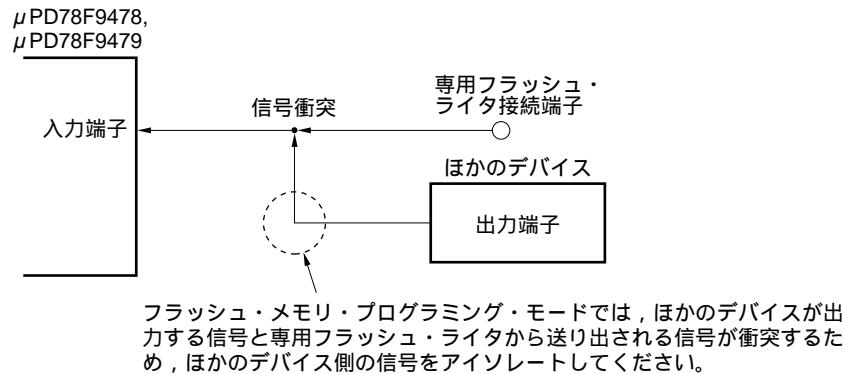
シリアル・インタフェース	使用端子
3線式シリアルI/O	SI20, SO20, SCK20
3線式シリアルI/O (ハンドシェイクあり)	SI20, SO20, SCK20, P11 (HS)
UART	RxD20, TxD20

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・ライタを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(1) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に，専用フラッシュ・ライタ（出力）を接続すると，信号の衝突が発生します。この信号の衝突を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

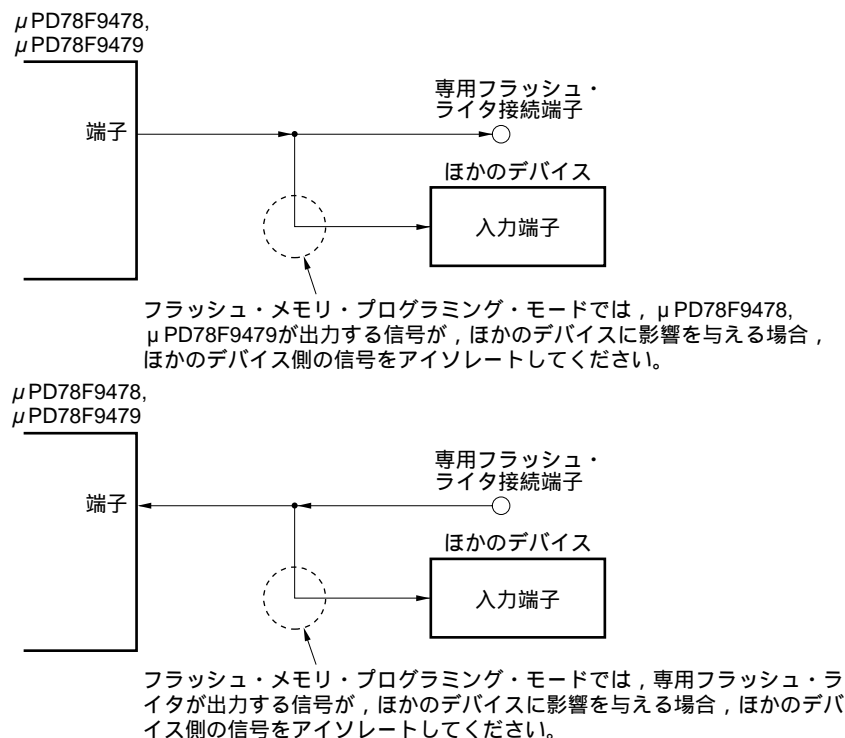
図19 - 5 信号の衝突（シリアル・インタフェースの入力端子）



(2) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に，専用フラッシュ・ライタ（出力または入力）を接続する場合，ほかのデバイスに信号が出力され，異常動作を起こす可能性があります。この異常動作を避けるため，ほかのデバイスとの接続をアイソレートするか，またはほかのデバイスへの入力信号を無視するように設定してください。

図19 - 6 ほかのデバイスの異常動作

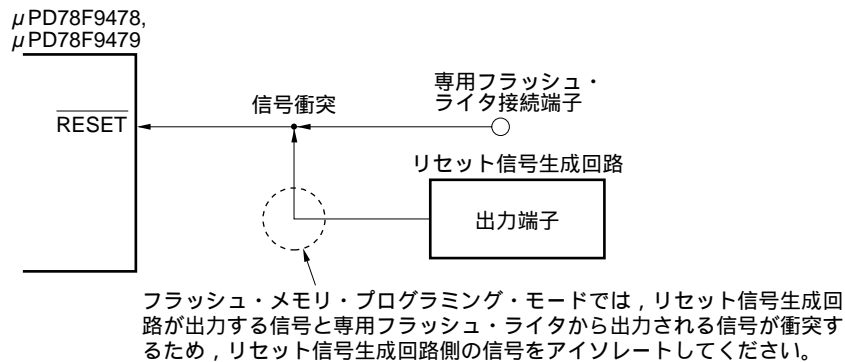


<RESET端子>

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・ライタのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・ライタからのリセット信号以外は入力しないでください。

図19 - 7 信号の衝突 (RESET端子)



<ポート端子>

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・ライタと通信する端子を除くすべての端子は、すべてリセット直後と同じ状態になります。

したがって、外部デバイスが出力ハイ・インピーダンス状態などの初期状態を認めない場合は、抵抗を介してV_{DD}に接続する、または抵抗を介してV_{SS}に接続するなどの処置をしてください。

<発振端子>

オンボード上のクロックを使用する場合、X1, X2, XT1, XT2は、通常動作モード時に準拠した接続をしてください。

フラッシュ・ライタのクロック出力を使用する場合は、オンボード上のメイン発振子を切り離し、X1端子に直接接続し、X2端子はオープンにしてください。サブクロックに関しては通常動作モードに準拠します。

<電 源>

フラッシュ・ライタの電源出力を使用する場合は、V_{DD}端子はフラッシュ・ライタのV_{DD}に、V_{SS}端子はフラッシュ・ライタのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。ただし、フラッシュ・ライタで電圧監視をするので、フラッシュ・ライタのV_{DD}は必ず接続してください。

その他の電源 (AV_{DD}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

<その他の端子>

その他の端子 (S0-S27, COM0-COM3, V_{LC0}-V_{LC2}, CAPH, CAPL) は、通常動作モード時と同じ処理をしてください。

19.1.4 フラッシュ書き込み用アダプタ上の接続

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

図19 - 8 3線式シリアルI/O方式でのフラッシュ書き込み用アダプタ配線例

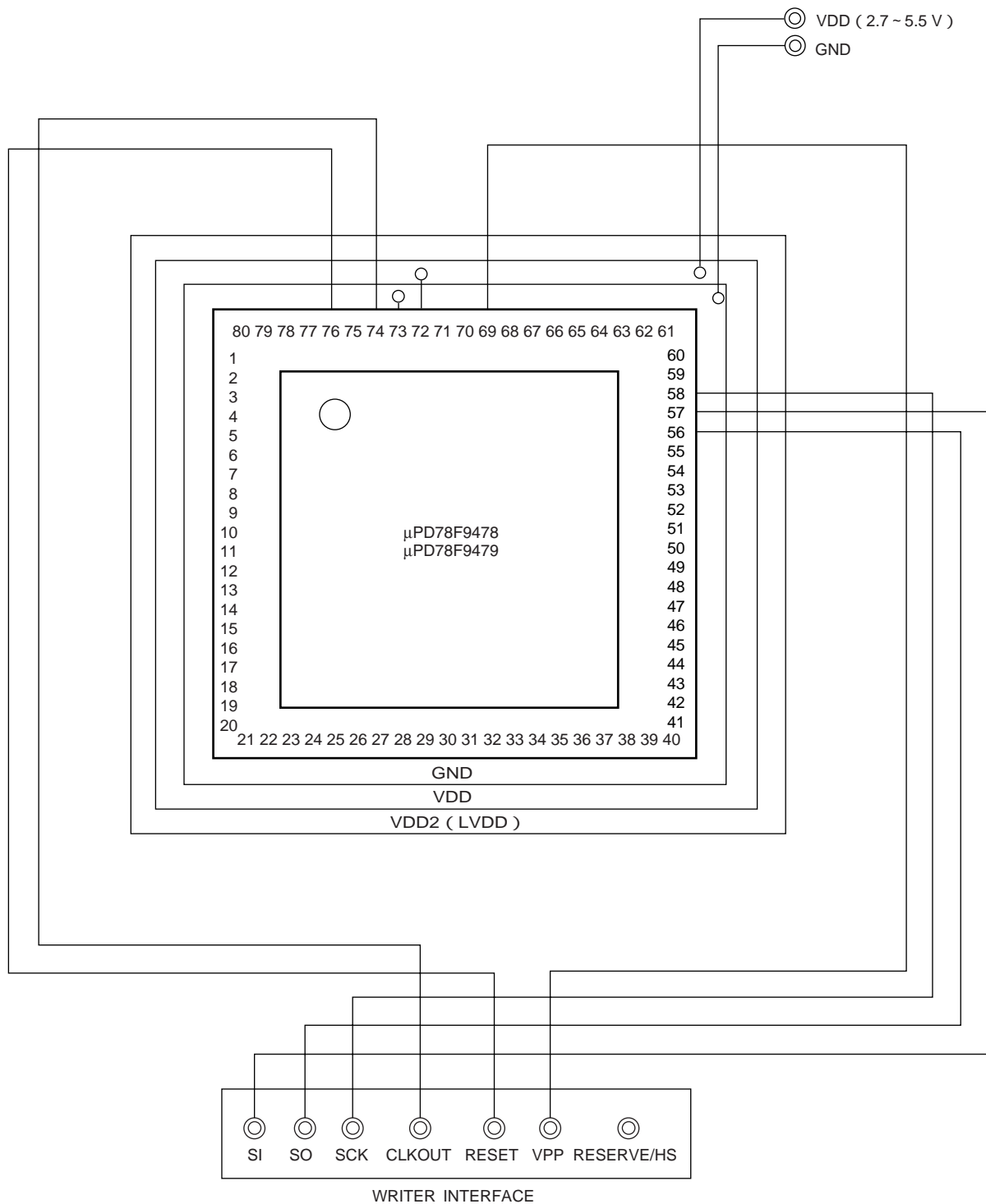


図19 - 9 3線式シリアルI/O方式（ハンドシェイクあり）でのフラッシュ書き込み用アダプタ配線例

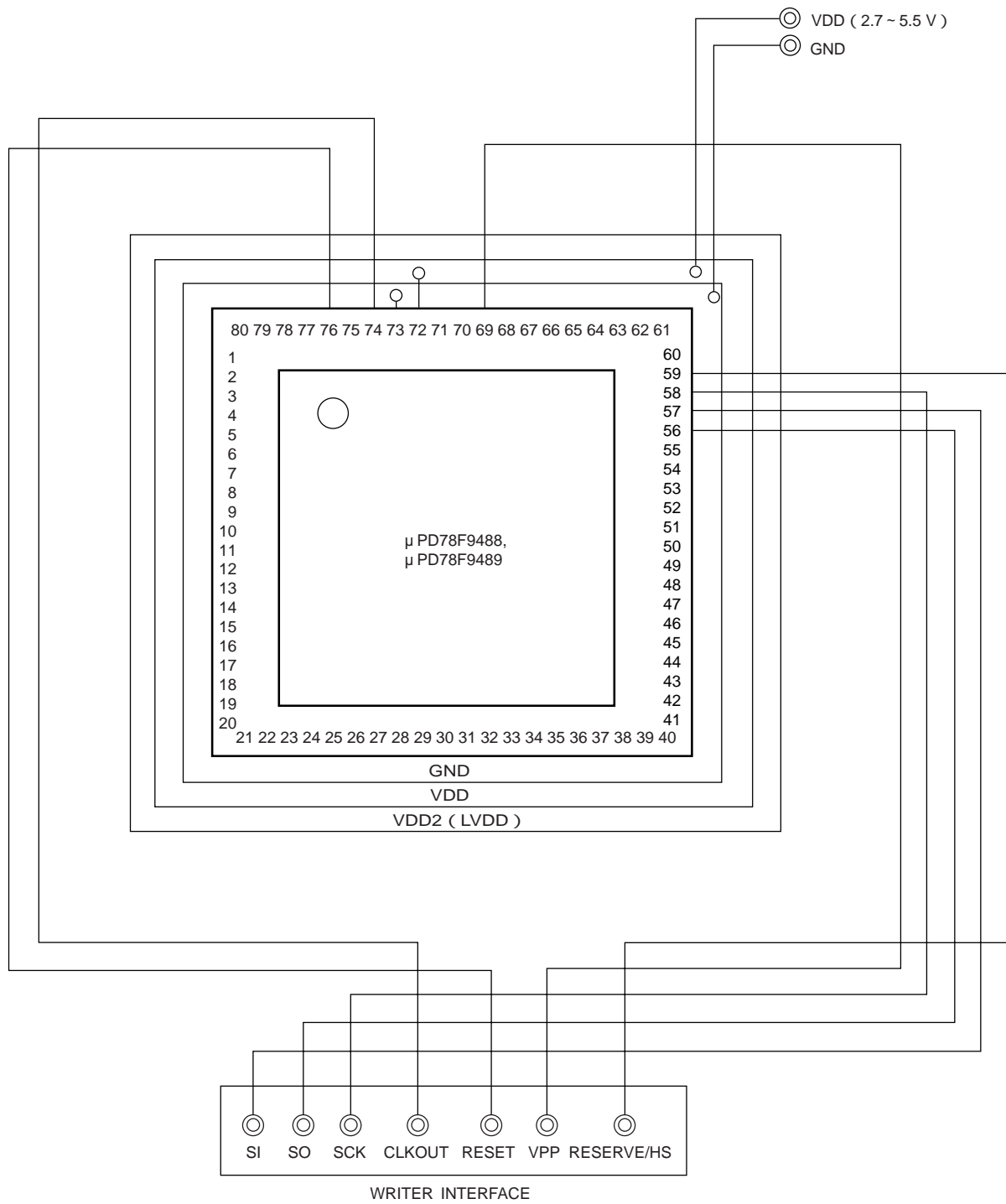
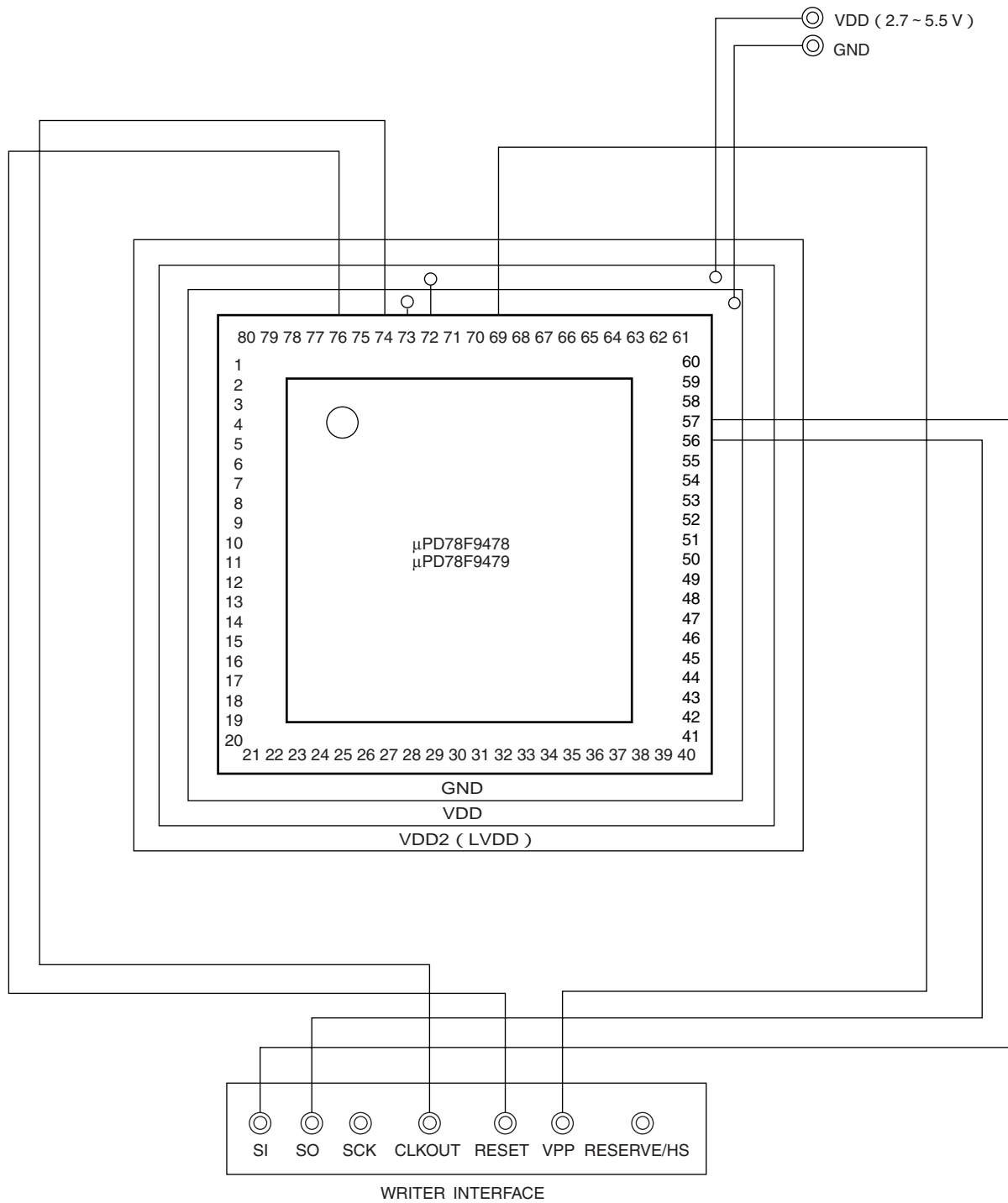


図19 - 10 UART方式でのフラッシュ書き込み用アダプタ配線例



19.2 μ PD78F9478, 78F9479の注意事項

(1) サブクロック4逓倍クロック使用時のHALTモードについて

フラッシュ品 (μ PD78F9478, 78F9479) で, CPUクロックとしてサブクロック4逓倍クロック選択時にHALTモードを使用するときは, 次の制限事項をお守りください。

- ・必ずHALT命令の直後に, 下表に示す数のNOP命令を入れてください。

使用温度条件	挿入NOP数
$T_A = -40 \sim +45$ のとき	2個
$T_A = -40 \sim +80$ のとき	3個
$T_A = -40 \sim +85$ のとき	4個

- ・HALT命令を実行する前に, Aレジスタの値を内部高速RAMエリアに退避させてください。
(HALT解除時にAレジスタの値が変化してしまう可能性があるため。)

第20章 マスク・オプション

μ PD789477, 789478, 789479には、次のマスク・オプションがあります。

端子機能

LCDのセグメント端子とポート7（入力ポート）をビット単位で選択可能

S (16 + n)

P7n (n = 0-3)

LCDのセグメント端子とポート8（入出力ポート）をビット単位で選択可能

S (20 + m)

P8m (m = 0-7)

サブシステム・クロック4通倍回路

サブシステム・クロック（32.768 kHz）を4通倍（131 kHz）にする4通倍回路の使用する / しないを選択可能

4通倍回路を使用する

4通倍回路を使用しない

プルアップ抵抗

ポート5（入出力ポート）の内蔵プルアップ抵抗の接続を1ビットごとに選択可能

プルアップ抵抗を接続する

プルアップ抵抗を接続しない

注意 フラッシュ・メモリ製品（ μ PD78F9478, 78F9479）にはマスク・オプションはありません。

第21章 命令セットの概要

μPD789479サブシリーズの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語（命令コード）については、78K/0Sシリーズ ユーザーズ・マニュアル 命令編（U11047J）を参照してください。

21.1 オペレーション

21.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様による）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、\$、[]の記号はキー・ワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・#：イミディエト・データ指定
- ・\$：相対アドレス指定
- ・!：絶対アドレス指定
- ・[]：間接アドレス指定

イミディエト・データのときは、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、\$、[]記号は必ず記述してください。

また、オペランドのレジスタの記述形式r、rpには、機能名称（X、A、Cなど）、絶対名称（下表の中のカッコ内の名称、R0、R1、R2など）のいずれの形式でも記述可能です。

表21-1 オペランドの表現形式と記述方法

表現形式	記 述 方 法
r	X (R0) , A (R1) , C (R2) , B (R3) , E (R4) , D (R5) , L (R6) , H (R7)
rp	AX (RP0) , BC (RP1) , DE (RP2) , HL (RP3)
sfr	特殊機能レジスタ略号
saddr	FE20H-FF1FH イミディエト・データまたはラベル
saddrp	FE20H-FF1FH イミディエト・データまたはラベル（偶数アドレスのみ）
addr16	0000H-FFFFH イミディエト・データまたはラベル （16ビット・データ転送命令時は偶数アドレスのみ）
addr5	0040H-007FH イミディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミディエト・データまたはラベル
byte	8ビット・イミディエト・データまたはラベル
bit	3ビット・イミディエト・データまたはラベル

備考 特殊機能レジスタの略号は表3-4 特殊機能レジスタ一覧を参照してください。

21. 1. 2 オペレーション欄の説明

A	: Aレジスタ ; 8ビット・アキュムレータ
X	: Xレジスタ
B	: Bレジスタ
C	: Cレジスタ
D	: Dレジスタ
E	: Eレジスタ
H	: Hレジスタ
L	: Lレジスタ
AX	: AXレジスタ・ペア ; 16ビット・アキュムレータ
BC	: BCレジスタ・ペア
DE	: DEレジスタ・ペア
HL	: HLレジスタ・ペア
PC	: プログラム・カウンタ
SP	: スタック・ポインタ
PSW	: プログラム・ステータス・ワード
CY	: キャリー・フラグ
AC	: 補助キャリー・フラグ
Z	: ゼロ・フラグ
IE	: 割り込み要求許可フラグ
()	: () 内のアドレスまたはレジスタの内容で示されるメモリの内容
x _H , x _L	: 16ビット・レジスタの上位8ビット, 下位8ビット
∧	: 論理積 (AND)
∨	: 論理和 (OR)
⊕	: 排他的論理和 (exclusive OR)
——	: 反転データ
addr16	: 16ビット・イミディエイト・データまたはレーベル
jdisp8	: 符号付き8ビット・データ (ディスプレースメント値)

21. 1. 3 フラグ動作欄の説明

(ブランク)	: 変化なし
0	: 0にクリアされる
1	: 1にセットされる
x	: 結果に従ってセット / クリアされる
R	: 以前に退避した値がストアされる

21.2 オペレーション一覧

二モニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOV	r, #byte	3	6	r byte			
	saddr, #byte	3	6	(saddr) byte			
	sfr, #byte	3	6	sfr byte			
	A, r 注1	2	4	A r			
	r, A 注1	2	4	r A			
	A, saddr	2	4	A (saddr)			
	saddr, A	2	4	(saddr) A			
	A, sfr	2	4	A sfr			
	sfr, A	2	4	sfr A			
	A, laddr16	3	8	A (addr16)			
	laddr16, A	3	8	(addr16) A			
	PSW, #byte	3	6	PSW byte	x	x	x
	A, PSW	2	4	A PSW			
	PSW, A	2	4	PSW A	x	x	x
	A, [DE]	1	6	A (DE)			
	[DE], A	1	6	(DE) A			
	A, [HL]	1	6	A (HL)			
	[HL], A	1	6	(HL) A			
	A, [HL + byte]	2	6	A (HL + byte)			
	[HL + byte], A	2	6	(HL + byte) A			
XCH	A, X	1	4	A X			
	A, r 注2	2	6	A r			
	A, saddr	2	6	A (saddr)			
	A, sfr	2	6	A sfr			
	A, [DE]	1	8	A (DE)			
	A, [HL]	1	8	A (HL)			
	A, [HL, byte]	2	8	A (HL + byte)			

注1. r = Aを除く。

2. r = A, Xを除く。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
MOVW	rp, #word	3	6	rp word			
	AX, saddrp	2	6	AX (saddrp)			
	saddrp, AX	2	8	(saddrp) AX			
	AX, rp 注	1	4	AX rp			
	rp, AX 注	1	4	rp AX			
XCHW	AX, rp 注	1	8	AX rp			
ADD	A, #byte	2	4	A, CY A + byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte	x	x	x
	A, r	2	4	A, CY A + r	x	x	x
	A, saddr	2	4	A, CY A + (saddr)	x	x	x
	A, laddr16	3	8	A, CY A + (addr16)	x	x	x
	A, [HL]	1	6	A, CY A + (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte)	x	x	x
ADDC	A, #byte	2	4	A, CY A + byte + CY	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) + byte + CY	x	x	x
	A, r	2	4	A, CY A + r + CY	x	x	x
	A, saddr	2	4	A, CY A + (saddr) + CY	x	x	x
	A, laddr16	3	8	A, CY A + (addr16) + CY	x	x	x
	A, [HL]	1	6	A, CY A + (HL) + CY	x	x	x
	A, [HL + byte]	2	6	A, CY A + (HL + byte) + CY	x	x	x
SUB	A, #byte	2	4	A, CY A - byte	x	x	x
	saddr, #byte	3	6	(saddr), CY (saddr) - byte	x	x	x
	A, r	2	4	A, CY A - r	x	x	x
	A, saddr	2	4	A, CY A - (saddr)	x	x	x
	A, laddr16	3	8	A, CY A - (addr16)	x	x	x
	A, [HL]	1	6	A, CY A - (HL)	x	x	x
	A, [HL + byte]	2	6	A, CY A - (HL + byte)	x	x	x

注 rp = BC, DE, HLのときのみ。

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
SUBC	A, #byte	2	4	A, CY A - byte - CY	×	×	×
	saddr, #byte	3	6	(saddr), CY (saddr) - byte - CY	×	×	×
	A, r	2	4	A, CY A - r - CY	×	×	×
	A, saddr	2	4	A, CY A - (saddr) - CY	×	×	×
	A, !addr16	3	8	A, CY A - (addr16) - CY	×	×	×
	A, [HL]	1	6	A, CY A - (HL) - CY	×	×	×
	A, [HL + byte]	2	6	A, CY A - (HL + byte) - CY	×	×	×
AND	A, #byte	2	4	A A ∧ byte	×		
	saddr, #byte	3	6	(saddr) (saddr) ∧ byte	×		
	A, r	2	4	A A ∧ r	×		
	A, saddr	2	4	A A ∧ (saddr)	×		
	A, !addr16	3	8	A A ∧ (addr16)	×		
	A, [HL]	1	6	A A ∧ (HL)	×		
	A, [HL + byte]	2	6	A A ∧ (HL + byte)	×		
OR	A, #byte	2	4	A A ∨ byte	×		
	saddr, #byte	3	6	(saddr) (saddr) ∨ byte	×		
	A, r	2	4	A A ∨ r	×		
	A, saddr	2	4	A A ∨ (saddr)	×		
	A, !addr16	3	8	A A ∨ (addr16)	×		
	A, [HL]	1	6	A A ∨ (HL)	×		
	A, [HL + byte]	2	6	A A ∨ (HL + byte)	×		
XOR	A, #byte	2	4	A A ⊕ byte	×		
	saddr, #byte	3	6	(saddr) (saddr) ⊕ byte	×		
	A, r	2	4	A A ⊕ r	×		
	A, saddr	2	4	A A ⊕ (saddr)	×		
	A, !addr16	3	8	A A ⊕ (addr16)	×		
	A, [HL]	1	6	A A ⊕ (HL)	×		
	A, [HL + byte]	2	6	A A ⊕ (HL + byte)	×		

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
CMP	A, #byte	2	4	A - byte	x	x	x
	saddr, #byte	3	6	(saddr) - byte	x	x	x
	A, r	2	4	A - r	x	x	x
	A, saddr	2	4	A - (saddr)	x	x	x
	A, laddr16	3	8	A - (addr16)	x	x	x
	A, [HL]	1	6	A - (HL)	x	x	x
	A, [HL + byte]	2	6	A - (HL + byte)	x	x	x
ADDW	AX, #word	3	6	AX, CY AX + word	x	x	x
SUBW	AX, #word	3	6	AX, CY AX - word	x	x	x
CMPW	AX, #word	3	6	AX - word	x	x	x
INC	r	2	4	r r + 1	x	x	
	saddr	2	4	(saddr) (saddr) + 1	x	x	
DEC	r	2	4	r r - 1	x	x	
	saddr	2	4	(saddr) (saddr) - 1	x	x	
INCW	rp	1	4	rp rp + 1			
DECW	rp	1	4	rp rp - 1			
ROR	A, 1	1	2	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1回			x
ROL	A, 1	1	2	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1回			x
RORC	A, 1	1	2	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1回			x
ROLC	A, 1	1	2	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1回			x
SET1	saddr.bit	3	6	(saddr.bit) 1			
	sfr.bit	3	6	sfr.bit 1			
	A.bit	2	4	A.bit 1			
	PSW.bit	3	6	PSW.bit 1	x	x	x
	[HL].bit	2	10	(HL).bit 1			
CLR1	saddr.bit	3	6	(saddr.bit) 0			
	sfr.bit	3	6	sfr.bit 0			
	A.bit	2	4	A.bit 0			
	PSW.bit	3	6	PSW.bit 0	x	x	x
	[HL].bit	2	10	(HL).bit 0			
SET1	CY	1	2	CY 1			1
CLR1	CY	1	2	CY 0			0

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{cpu}) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ		
					Z	AC	CY
NOT1	CY	1	2	$CY \leftarrow \overline{CY}$			x
CALL	laddr16	3	6	$(SP - 1) \leftarrow (PC + 3)_H, (SP - 2) \leftarrow (PC + 3)_L,$ $PC \leftarrow \text{addr16}, SP \leftarrow SP - 2$			
CALLT	[addr5]	1	8	$(SP - 1) \leftarrow (PC + 1)_H, (SP - 2) \leftarrow (PC + 1)_L,$ $PC_H \leftarrow (00000000, \text{addr5} + 1),$ $PC_L \leftarrow (00000000, \text{addr5}),$ $SP \leftarrow SP - 2$			
RET		1	6	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $SP \leftarrow SP + 2$			
RETI		1	8	$PC_H \leftarrow (SP + 1), PC_L \leftarrow (SP),$ $PSW \leftarrow (SP + 2), SP \leftarrow SP + 3$	R	R	R
PUSH	PSW	1	2	$(SP - 1) \leftarrow PSW, SP \leftarrow SP - 1$			
	rp	1	4	$(SP - 1) \leftarrow rp_H, (SP - 2) \leftarrow rp_L,$ $SP \leftarrow SP - 2$			
POP	PSW	1	4	$PSW \leftarrow (SP), SP \leftarrow SP + 1$	R	R	R
	rp	1	6	$rp_H \leftarrow (SP + 1), rp_L \leftarrow (SP),$ $SP \leftarrow SP + 2$			
MOVW	SP, AX	2	8	$SP \leftarrow AX$			
	AX, SP	2	6	$AX \leftarrow SP$			
BR	laddr16	3	6	$PC \leftarrow \text{addr16}$			
	\$addr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$			
	AX	1	6	$PC_H \leftarrow A, PC_L \leftarrow X$			
BC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 1			
BNC	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if CY = 0			
BZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 1			
BNZ	\$saddr16	2	6	$PC \leftarrow PC + 2 + \text{jdisp8}$ if Z = 0			
BT	saddr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if (saddr.bit) = 1			
	sfr.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if sfr.bit = 1			
	A.bit, \$addr16	3	8	$PC \leftarrow PC + 3 + \text{jdisp8}$ if A.bit = 1			
	PSW.bit, \$addr16	4	10	$PC \leftarrow PC + 4 + \text{jdisp8}$ if PSW.bit = 1			

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (fCPU) の1クロック分です。

ニモニック	オペランド	バイト	クロック	オペレーション	フラグ
					Z AC CY
BF	saddr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if (saddr.bit) = 0	
	sfr.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if sfr.bit = 0	
	A.bit, \$addr16	3	8	PC PC + 3 + jdisp8 if A.bit = 0	
	PSW.bit, \$addr16	4	10	PC PC + 4 + jdisp8 if PSW.bit = 0	
DBNZ	B, \$addr16	2	6	B B - 1, then PC PC + 2 + jdisp8 if B 0	
	C, \$addr16	2	6	C C - 1, then PC PC + 2 + jdisp8 if C 0	
	saddr, \$addr16	3	8	(saddr) (saddr) - 1, then PC PC + 3 + jdisp8 if (saddr) 0	
NOP		1	2	No Operation	
EI		3	6	IE 1 (Enable Interrupt)	
DI		3	6	IE 0 (Disable Interrupt)	
HALT		1	2	Set HALT Mode	
STOP		1	2	Set STOP Mode	

備考 命令の1クロックはプロセッサ・クロック・コントロール・レジスタ (PCC) で選択したCPUクロック (f_{CPU}) の1クロック分です。

21.3 アドレッシング別命令一覧

(1) 8ビット命令

MOV, XCH, ADD, ADDC, SUB, SUBC, AND, OR, XOR, CMP, INC, DEC, ROR, ROL, RORC,
ROL, PUSH, POP, DBNZ

第2オペランド	#byte	A	r	sfr	saddr	!addr16	PSW	[DE]	[HL]	[HL + byte]	\$addr16	1	なし
第1オペランド													
A	ADD ADDC SUB SUBC AND OR XOR CMP		MOV ^注 XCH ^注	MOV XCH	MOV XCH	MOV	MOV	MOV XCH	MOV XCH	MOV XCH		ROR ROL RORC ROL	
r	MOV	MOV											INC DEC
B, C											DBNZ		
sfr	MOV	MOV											
saddr	MOV ADD ADDC SUB SUBC AND OR XOR CMP	MOV									DBNZ		INC DEC
!addr16		MOV											
PSW	MOV	MOV											PUSH POP
[DE]		MOV											
[HL]		MOV											
[HL + byte]		MOV											

注 r = Aは除く。

(2) 16ビット命令

MOVW, XCHW, ADDW, SUBW, CMPW, PUSH, POP, INCW, DECW

第2オペランド 第1オペランド	#word	AX	rp ^注	saddrp	SP	なし
AX	ADDW SUBW CMPW		MOVW XCHW	MOVW	MOVW	
rp	MOVW	MOVW ^注				INCW DECW PUSH POP
saddrp		MOVW				
sp		MOVW				

注 rp = BC , DE , HLのときのみ。

(3) ビット操作命令

SET1, CLR1, NOT1, BT, BF

第2オペランド 第1オペランド	\$addr16	なし
A.bit	BT BF	SET1 CLR1
sfr.bit	BT BF	SET1 CLR1
saddr.bit	BT BF	SET1 CLR1
PSW.bit	BT BF	SET1 CLR1
[HL] .bit		SET1 CLR1
CY		SET1 CLR1 NOT1

(4) コール命令 / 分岐命令

CALL, CALLT, BR, BC, BNC, BZ, BNZ, DBNZ

第2オペランド 第1オペランド	AX	!addr16	[addr5]	\$addr16
基本命令	BR	CALL BR	CALLT	BR BC BNC BZ BNZ
複合命令				DBNZ

(5) その他の命令

RET, RETI, NOP, EI, DI, HALT, STOP

第22章 電気的特性

絶対最大定格 (T_A = 25)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} = AV _{DD}	- 0.3 ~ + 6.5	V
	AV _{DD}			
	V _{PP}	μ PD78F9478, 78F9479のみ 注1	- 0.3 ~ + 10.5	V
入力電圧	V _{I1}	P00-P07, P10, P11, P20-P25, P30-P34, P60-P67, P70-P73 ^{注2} , P80-P87 ^{注2} , X1, X2, XT1, XT2, RESET	- 0.3 ~ V _{DD} + 0.3 ^{注3}	V
	V _{I2}	P50-P53	- 0.3 ~ + 13	V
		N-chオープン・ドレイン時 ブルアップ抵抗内蔵時	- 0.3 ~ V _{DD} + 0.3 ^{注3}	V
出力電圧	V _O	P00-P07, P10, P11, P20-P25, P30-P34, P50-P53, P80-P87 ^{注2}	- 0.3 ~ V _{DD} + 0.3 ^{注3}	V
		S0-S15, S16-S27 ^{注2} , COM0-COM3	- 0.3 ~ V _{LC0} + 0.3	V
ハイ・レベル出力電流	I _{OH}	1端子	- 10	mA
		全端子合計	- 30	mA
ロウ・レベル出力電流	I _{OL}	1端子	30	mA
		全端子合計	160	mA
動作周囲温度	T _A	通常動作時	- 40 ~ + 85	
		フラッシュ・メモリ・プログラミング時	10 ~ 40	
保存温度	T _{stg}	μ PD789477, 789478, 789479	- 65 ~ + 150	
		μ PD78F9478, 78F9479	- 40 ~ + 125	

(注の説明は次頁にあります)

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。
つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

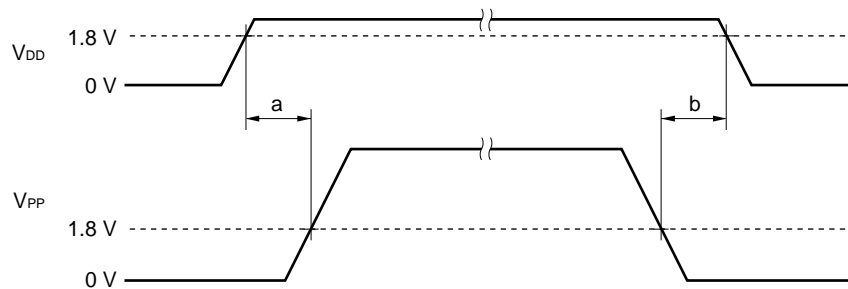
注1. フラッシュ・メモリ書き込み時、 V_{PP} の電圧印加タイミングについては、必ず次の条件を満たしてください。

・電源電圧立ち上がり時

V_{DD} が動作電圧範囲の下限電圧(1.8 V)に達してから10 μ s以上経過後、 V_{PP} が V_{DD} を越えること(下図のa)。

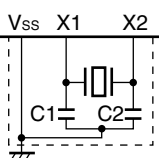
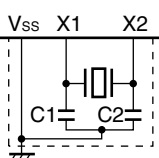
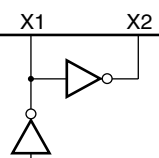
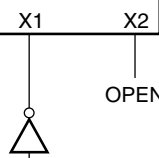
・電源電圧立ち下がり時

V_{PP} が V_{DD} の動作電圧範囲の下限電圧(1.8 V)を下回ってから10 μ s以上経過後、 V_{DD} を立ち下げること(下図のb)。



2. マスク・オプションまたはポート・ファンクション・レジスタにて選択時のみ
3. 6.5 V以下

メイン・システム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	V_{DD} が発振電圧範囲のMIN.に達したあと			4	ms
水晶振動子		発振周波数 (f_x) ^{注1}		1.0		5.0	MHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5 \text{ V}$			10	ms
			$V_{DD} = 1.8 \sim 5.5 \text{ V}$			30	ms
外部クロック		X1入力周波数 (f_x) ^{注1}		1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})		85		500	ns
		X1入力周波数 (f_x) ^{注1}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	1.0		5.0	MHz
		X1入力ハイ、ロウ・レベル幅 (t_{XH} , t_{XL})	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	85		500	ns

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. リセットまたはSTOPモード解除後、発振が安定するのに必要な時間です。

注意1. メイン・システム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. メイン・システム・クロックを停止させサブシステム・クロックで動作させているときに、再度メイン・システム・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

サブシステム・クロック発振回路特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

発振子	推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}	$V_{DD} = 4.5 \sim 5.5$ V		1.2	2	s
			$V_{DD} = 1.8 \sim 5.5$ V			10	
外部クロック		XT1入力周波数 (f_{XT}) ^{注1}		32		35	kHz
		XT1入力ハイ、ロウ・レベル幅 (t_{XTH} , t_{XTL})		14.3		15.6	μ s

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. V_{DD} が発振電圧範囲のMIN.に達したあと、発振が安定するのに必要な時間です。

注意1. サブシステム・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. サブシステム・クロック発振回路は、低消費電力にするために増幅度の低い設計になっており、ノイズによる誤動作がメイン・システム・クロック発振回路より起こりやすくなっています。したがって、サブシステム・クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (1/6)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ロウ・レベル出力電流	I _{OL}	1端子				10	mA
		全端子				80	mA
ハイ・レベル出力電流	I _{OH}	1端子				- 1	mA
		全端子				- 15	mA
ハイ・レベル入力電圧	V _{IH1}	P10, P11, P60-P67		V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH2}	P50-P53	N-chオープン・ドレイン時 ブルアップ抵抗内蔵時 ^{注1}	V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	12	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	12	V
				V _{DD} = 2.7 ~ 5.5 V	0.7 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH3}	RESET, P00-P07, P20-P25, P30-P34, P70-P73 ^{注2} , P80-P87 ^{注2}		V _{DD} = 2.7 ~ 5.5 V	0.8 V _{DD}	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0.9 V _{DD}	V _{DD}	V
	V _{IH4}	X1, X2, XT1, XT2		V _{DD} = 4.5 ~ 5.5 V	V _{DD} - 0.5	V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	V _{DD} - 0.1	V _{DD}	V
ロウ・レベル入力電圧	V _{IL1}	P10, P11, P60-P67		V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL2}	P50-P53		V _{DD} = 2.7 ~ 5.5 V	0	0.3 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL3}	RESET, P00-P07, P20-P25, P30-P34, P70-P73 ^{注2} , P80-P87 ^{注2}		V _{DD} = 2.7 ~ 5.5 V	0	0.2 V _{DD}	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1 V _{DD}	V
	V _{IL4}	X1, X2, XT1, XT2		V _{DD} = 4.5 ~ 5.5 V	0	0.4	V
				V _{DD} = 1.8 ~ 5.5 V	0	0.1	V
ハイ・レベル出力電圧	V _{OH}	V _{DD} = 4.5 ~ 5.5 V, I _{OH} = - 1 mA		V _{DD} - 1.0		V	
		V _{DD} = 1.8 ~ 5.5 V, I _{OH} = - 100 μA		V _{DD} - 0.5		V	
ロウ・レベル出力電圧	V _{OL1}	P00-P07, P10, P11, P20-P25, P30-P34, P80-P87 ^{注2}		4.5 V _{DD} ~ 5.5 V, I _{OL} = 10 mA		1.0	V
				1.8 V _{DD} < 4.5 V, I _{OL} = 400 μA		0.5	V
	V _{OL2}	P50-P53		4.5 V _{DD} ~ 5.5 V, I _{OL} = 10 mA		1.0	V
				1.8 V _{DD} < 4.5 V, I _{OL} = 1.6 mA		0.4	V

注1. $\mu\text{PD789477}$, 789478, 789479のみ

2. マスク・オプションまたはポート・ファンクション・レジスタにて選択時のみ

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$) (2/6)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
ハイ・レベル入力リーク電流	I _{LIH1}	V _I = V _{DD}	P00-P07, P10, P11, P20-P25, P30-P34, P60-P67, P70-73 ^{注1} , P80-87 ^{注1} , RESET			3	μA
	I _{LIH2}		X1, X2, XT1, XT2			20	μA
	I _{LIH3}	V _I = 12 V	P50-P53(N-chオープン・ドレイン時)			20	μA
ロウ・レベル入力リーク電流	I _{LIL1}	V _I = 0 V	P00-P07, P10, P11, P20-P25, P30-P34, P60-P67, P70-73 ^{注1} , P80-87 ^{注1} , RESET			- 3	μA
	I _{LIL2}		X1, X2, XT1, XT2			- 20	μA
	I _{LIL3}		P50-P53(N-chオープン・ドレイン時)			- 3 ^{注2}	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD}				3	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V				- 3	μA
ソフトウェア・プルアップ抵抗	R ₁	V _I = 0 V	P00-P07, P10, P11, P20-P25, P30-P34	50	100	200	k Ω
マスク・オプション・プルアップ抵抗 ^{注3}	R ₂	V _I = 0 V	P50-P53	10	30	60	k Ω

注1. マスク・オプションまたはポート・ファンクション・レジスタにて選択時のみ

2. P50-P53にプルアップ抵抗を内蔵しない場合（マスク・オプションで指定）で、P50-P53を入力モードに設定している場合にP50-P53に対して読み出し命令を実行したときの1サイクル・タイム間のみ、ロウ・レベル入力リーク電流が - 60 μA (MAX.) 流れます。これ以外では - 3 μA (MAX.) です。

3. マスク品のみ

備考 特に指定のないかぎり、兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (3/6)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1} (μ PD789477, 789478)	I _{DD1}	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		2	3.5	mA	
			V _{DD} = 3.0 V ± 10 % ^{注3}		0.4	1	mA	
			V _{DD} = 2.0 V ± 10 % ^{注3}		0.2	0.5	mA	
	I _{DD2}	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		0.96	1.92	mA	
			V _{DD} = 3.0 V ± 10 % ^{注3}		0.26	0.76	mA	
			V _{DD} = 2.0 V ± 10 % ^{注3}		0.1	0.34	mA	
	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		33	67	μ A	
			V _{DD} = 3.0 V ± 10 %		10	31	μ A	
			V _{DD} = 2.0 V ± 10 %		5	16	μ A	
		32.768 kHz水晶発振 4通倍動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		130	200	μ A	
			V _{DD} = 3.0 V ± 10 %		50	110	μ A	
	I _{DD4}	32.768 kHz 水晶発振 HALTモード ^{注4} (C3=C4=22pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	V _{DD} = 5.0 V ± 10 %		25	60	μ A
				V _{DD} = 3.0 V ± 10 %		8	28	μ A
				V _{DD} = 2.0 V ± 10 %		5	13	μ A
			LCD 動 作 時 ^{注6}	V _{DD} = 5.0 V ± 10 %		27	66	μ A
				V _{DD} = 3.0 V ± 10 %		9.8	33	μ A
				V _{DD} = 2.0 V ± 10 %		6.6	17	μ A
		32.768 kHz 水晶発振4通倍 HALTモード ^{注4} (C3=C4=22pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	V _{DD} = 5.0 V ± 10 %		25	60	μ A
				V _{DD} = 3.0 V ± 10 %		8	28	μ A
			LCD 動 作 時 ^{注6}	V _{DD} = 5.0 V ± 10 %		27	66	μ A
V _{DD} = 3.0 V ± 10 %					9.8	33	μ A	
I _{DD5}		STOPモード ^{注5}	V _{DD} = 5.0 V ± 10 %		0.1	10	μ A	
			V _{DD} = 3.0 V ± 10 %		0.05	5	μ A	
	V _{DD} = 2.0 V ± 10 %			0.05	3	μ A		
I _{DD6}	5.0 MHz 水晶発振A/D動作モード ^{注7} (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		3	5.2	mA		
		V _{DD} = 3.0 V ± 10 % ^{注3}		1.1	2	mA		
		V _{DD} = 2.0 V ± 10 % ^{注3}		0.7	1.5	mA		

注1. ポート電流（内蔵プルアップ抵抗に流れる電流も含む）は含みません。

2. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
3. 低速モード動作時（PCCを02Hに設定したとき）
4. メイン・システム・クロック停止時
5. LCD非動作時（LCDON0 = 0, LIPS0 = 0のとき）
6. LCD動作時（LCDON0 = 1, LIPS0 = 1のとき）
7. V_{DD}, AV_{DD}に流れるトータル電流です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V) (4/6)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1} (μ PD78F9478)	IDD1	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)	VDD = 5.0 V ± 10 % ^{注2}		5.5	9.0	mA	
			VDD = 3.0 V ± 10 % ^{注3}		1.3	2.3	mA	
			VDD = 2.0 V ± 10 % ^{注3}		0.8	1.6	mA	
	IDD2	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)	VDD = 5.0 V ± 10 % ^{注2}		1.5	2.1	mA	
			VDD = 3.0 V ± 10 % ^{注3}		0.41	0.85	mA	
			VDD = 2.0 V ± 10 % ^{注3}		0.2	0.43	mA	
	IDD3	32.768 kHz 水晶発振動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	VDD = 5.0 V ± 10 %		115	200	μ A	
			VDD = 3.0 V ± 10 %		85	140	μ A	
			VDD = 2.0 V ± 10 %		70	110	μ A	
		32.768 kHz水晶発振 4通倍動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	VDD = 5.0 V ± 10 %		315	480	μ A	
			VDD = 3.0 V ± 10 %		200	300	μ A	
	IDD4	32.768 kHz 水晶発振 HALTモード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	VDD = 5.0 V ± 10 %		25	65	μ A
				VDD = 3.0 V ± 10 %		7	29	μ A
				VDD = 2.0 V ± 10 %		4	20	μ A
		LCD 動 作 時 ^{注6}	VDD = 5.0 V ± 10 %		27	71	μ A	
			VDD = 3.0 V ± 10 %		8.8	34	μ A	
			VDD = 2.0 V ± 10 %		5.6	24	μ A	
		32.768 kHz 水晶発振4通倍 HALTモード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	VDD = 5.0 V ± 10 %		25	65	μ A
				VDD = 3.0 V ± 10 %		7	29	μ A
			LCD 動 作 時 ^{注6}	VDD = 5.0 V ± 10 %		27	71	μ A
VDD = 3.0 V ± 10 %					8.8	34	μ A	
IDD5		STOPモード ^{注5}	VDD = 5.0 V ± 10 %		0.1	10	μ A	
			VDD = 3.0 V ± 10 %		0.05	5	μ A	
	VDD = 2.0 V ± 10 %			0.05	3	μ A		
IDD6	5.0 MHz 水晶発振A/D動作モード ^{注7} (C1 = C2 = 22 pF)	VDD = 5.0 V ± 10 % ^{注2}		6.5	10.2	mA		
		VDD = 3.0 V ± 10 % ^{注3}		2.0	3.3	mA		
		VDD = 2.0 V ± 10 % ^{注3}		1.3	2.6	mA		

注1. ポート電流（内蔵プリアップ抵抗に流れる電流も含む）は含みません。

2. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
3. 低速モード動作時（PCCを02Hに設定したとき）
4. メイン・システム・クロック停止時
5. LCD非動作時（LCDON0 = 0, LIPS0 = 0のとき）
6. LCD動作時（LCDON0 = 1, LIPS0 = 1のとき）
7. VDD, AVDDに流れるトータル電流です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (5/6)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1} (μ PD789479)	I _{DD1}	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		2.5	5.0	mA	
			V _{DD} = 3.0 V ± 10 % ^{注3}		0.5	1.2	mA	
			V _{DD} = 2.0 V ± 10 % ^{注3}		0.3	0.6	mA	
	I _{DD2}	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		1.0	2.0	mA	
			V _{DD} = 3.0 V ± 10 % ^{注3}		0.35	0.8	mA	
			V _{DD} = 2.0 V ± 10 % ^{注3}		0.2	0.4	mA	
	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		38	100	μ A	
			V _{DD} = 3.0 V ± 10 %		13	50	μ A	
			V _{DD} = 2.0 V ± 10 %		7	25	μ A	
		32.768 kHz水晶発振 4通倍動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		150	250	μ A	
			V _{DD} = 3.0 V ± 10 %		75	160	μ A	
	I _{DD4}	32.768 kHz 水晶発振 HALTモード ^{注4} (C3=C4=22pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	V _{DD} = 5.0 V ± 10 %		25	70	μ A
				V _{DD} = 3.0 V ± 10 %		8	32	μ A
				V _{DD} = 2.0 V ± 10 %		5	15	μ A
			LCD 動 作 時 ^{注6}	V _{DD} = 5.0 V ± 10 %		27	76	μ A
				V _{DD} = 3.0 V ± 10 %		9.8	37	μ A
				V _{DD} = 2.0 V ± 10 %		6.6	24	μ A
		32.768 kHz 水晶発振4通倍 HALTモード ^{注4} (C3=C4=22pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	V _{DD} = 5.0 V ± 10 %		25	70	μ A
				V _{DD} = 3.0 V ± 10 %		8	32	μ A
			LCD 動 作 時 ^{注6}	V _{DD} = 5.0 V ± 10 %		27	76	μ A
V _{DD} = 3.0 V ± 10 %					9.8	37	μ A	
I _{DD5}		STOPモード ^{注5}	V _{DD} = 5.0 V ± 10 %		0.1	10	μ A	
			V _{DD} = 3.0 V ± 10 %		0.05	5	μ A	
	V _{DD} = 2.0 V ± 10 %			0.05	3	μ A		
I _{DD6}	5.0 MHz 水晶発振A/D動作モード ^{注7} (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		5.0	6.7	mA		
		V _{DD} = 3.0 V ± 10 % ^{注3}		1.5	2.2	mA		
		V _{DD} = 2.0 V ± 10 % ^{注3}		0.8	1.6	mA		

注1. ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

2. 高速モード動作時 (プロセッサ・クロック・コントロール・レジスタ (PCC) を00Hに設定したとき)
3. 低速モード動作時 (PCCを02Hに設定したとき)
4. メイン・システム・クロック停止時
5. LCD非動作時 (LCDON0 = 0, LIPS0 = 0のとき)
6. LCD動作時 (LCDON0 = 1, LIPS0 = 1のとき)
7. V_{DD}, AV_{DD}に流れるトータル電流です。

備考 特に指定のないかぎり, 兼用端子の特性はポート端子の特性と同じです。

DC特性 (T_A = -40 ~ +85 , V_{DD} = 1.8 ~ 5.5 V) (6/6)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位	
電源電流 ^{注1} (μ PD78F9479)	I _{DD1}	5.0 MHz 水晶発振動作モード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		6.0	12.0	mA	
			V _{DD} = 3.0 V ± 10 % ^{注3}		1.6	3.2	mA	
			V _{DD} = 2.0 V ± 10 % ^{注3}		1.0	2.5	mA	
	I _{DD2}	5.0 MHz 水晶発振HALTモード (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		1.6	3.0	mA	
			V _{DD} = 3.0 V ± 10 % ^{注3}		0.5	1.2	mA	
			V _{DD} = 2.0 V ± 10 % ^{注3}		0.3	0.6	mA	
	I _{DD3}	32.768 kHz 水晶発振動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		130	250	μ A	
			V _{DD} = 3.0 V ± 10 %		90	180	μ A	
			V _{DD} = 2.0 V ± 10 %		80	160	μ A	
		32.768 kHz水晶発振 4通倍動作モード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	V _{DD} = 5.0 V ± 10 %		330	550	μ A	
			V _{DD} = 3.0 V ± 10 %		250	400	μ A	
		I _{DD4}	32.768 kHz 水晶発振 HALTモード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)	LCD 非 動 作時 ^{注5}	V _{DD} = 5.0 V ± 10 %		25	70
	V _{DD} = 3.0 V ± 10 %					8	32	μ A
	V _{DD} = 2.0 V ± 10 %					5	25	μ A
	LCD 動 作 時 ^{注6}		V _{DD} = 5.0 V ± 10 %		27	76	μ A	
			V _{DD} = 3.0 V ± 10 %		9.8	37	μ A	
			V _{DD} = 2.0 V ± 10 %		6.6	24	μ A	
	32.768 kHz 水晶発振4通倍 HALTモード ^{注4} (C3 = C4 = 22 pF, R1 = 220 kΩ)		LCD 非 動 作時 ^{注5}	V _{DD} = 5.0 V ± 10 %		25	70	μ A
				V _{DD} = 3.0 V ± 10 %		8	32	μ A
			LCD 動 作 時 ^{注6}	V _{DD} = 5.0 V ± 10 %		27	76	μ A
				V _{DD} = 3.0 V ± 10 %		9.8	37	μ A
	I _{DD5}		STOPモード ^{注5}	V _{DD} = 5.0 V ± 10 %		0.1	10	μ A
				V _{DD} = 3.0 V ± 10 %		0.05	5	μ A
		V _{DD} = 2.0 V ± 10 %			0.05	3	μ A	
I _{DD6}	5.0 MHz 水晶発振A/D動作モード ^{注7} (C1 = C2 = 22 pF)	V _{DD} = 5.0 V ± 10 % ^{注2}		7.0	14.0	mA		
		V _{DD} = 3.0 V ± 10 % ^{注3}		2.3	4.2	mA		
		V _{DD} = 2.0 V ± 10 % ^{注3}		1.5	3.5	mA		

注1. ポート電流（内蔵プリアップ抵抗に流れる電流も含む）は含みません。

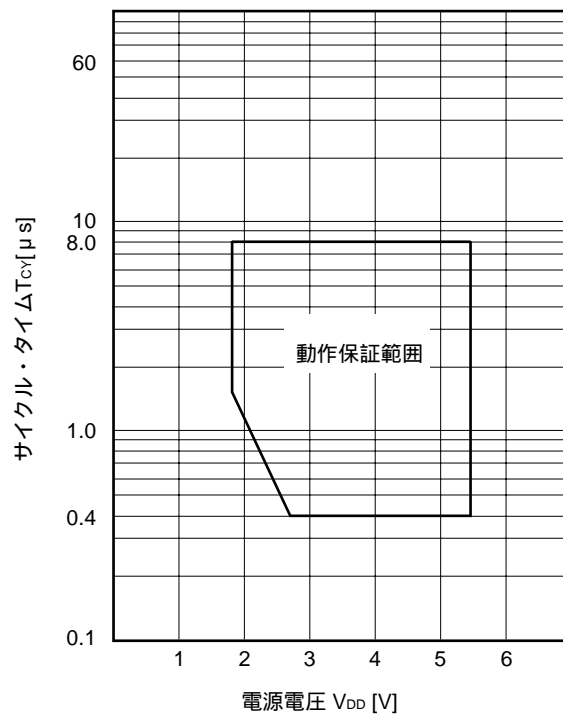
2. 高速モード動作時（プロセッサ・クロック・コントロール・レジスタ（PCC）を00Hに設定したとき）
3. 低速モード動作時（PCCを02Hに設定したとき）
4. メイン・システム・クロック停止時
5. LCD非動作時（LCDON0 = 0, LIPS0 = 0のとき）
6. LCD動作時（LCDON0 = 1, LIPS0 = 1のとき）
7. V_{DD}, AV_{DD}に流れるトータル電流です。

備考 特に指定のないかぎり，兼用端子の特性はポート端子の特性と同じです。

AC特性

(1) 基本動作 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
サイクル・タイム (最小命令実行時間)	T_{CY}	メイン・システム・クロック				
		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.4		8.0	μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.6		8.0	μs
		動作				
サブシステム・ クロック動作		原発振動作				
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	114	122	125	μs
		4通倍動作				
		$V_{DD} = 2.7 \sim 5.5 \text{ V}$	14.3	15.3	15.6	μs
キャプチャ入力 ハイ, ロウ・レベル幅	$t_{CPTH},$ t_{CPTL}	CPT20	10			μs
TMI60, TMI61入力周波数	f_{TI}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0		4	MHz
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	0		275	kHz
TMI60, TMI61入力 ハイ, ロウ・レベル幅	$t_{TIH},$ t_{TIL}	$V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.125			μs
		$V_{DD} = 1.8 \sim 5.5 \text{ V}$	1.8			μs
割り込み入力 ハイ, ロウ・レベル幅	$t_{INTH},$ t_{INTL}	INTP0-INTP3	10			μs
キー・リターン入力 ロウ・レベル幅	t_{KRL}	KR0-KR7 ($\mu\text{PD789477, 789478, 78F9478}$)	10			μs
		KR00-KR07, KR10-KR17	10			μs
		($\mu\text{PD789479, 78F9479}$)				
RESET ロウ・レベル幅	t_{RSL}		10			μs

 T_{CY} vs V_{DD} (メイン・システム・クロック)

(2) シリアル・インタフェース20 (SIO20) ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

(a) 3線式シリアル/Oモード (内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY1}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK20ハイ,ロウ・レベル幅	t _{KH1} , t _{KL1}	$V_{DD} = 2.7 \sim 5.5$ V	t _{KCY1} /2 - 50			ns
		$V_{DD} = 1.8 \sim 5.5$ V	t _{KCY1} /2 - 150			ns
SI20セットアップ時間 (対SCK20)	t _{SIK1}	$V_{DD} = 2.7 \sim 5.5$ V	150			ns
		$V_{DD} = 1.8 \sim 5.5$ V	500			ns
SI20ホールド時間 (対SCK20)	t _{KSI1}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK20 SO20出力遅延時間	t _{KSO1}	R = 1 k Ω , C = 100 pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	250	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアル/Oモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK20サイクル・タイム	t _{KCY2}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK20ハイ,ロウ・レベル幅	t _{KH2} , t _{KL2}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	1600			ns
SI20セットアップ時間 (対SCK20)	t _{SIK2}	$V_{DD} = 2.7 \sim 5.5$ V	100			ns
		$V_{DD} = 1.8 \sim 5.5$ V	150			ns
SI20ホールド時間 (対SCK20)	t _{KSI2}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK20 SO20出力遅延時間	t _{KSO2}	R = 1 k Ω , C = 100 pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	300	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns

注 R, CはSO20出力ラインの負荷抵抗, 負荷容量です。

(c) UARTモード (専用ボー・レート・ジェネレータ出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
転送レート		$V_{DD} = 2.7 \sim 5.5$ V			78125	bps
		$V_{DD} = 1.8 \sim 5.5$ V			19531	bps

(d) UARTモード (外部クロック入力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ASCK20サイクル・タイム	t _{KCY3}	V _{DD} = 2.7 ~ 5.5 V	800			ns
		V _{DD} = 1.8 ~ 5.5 V	3200			ns
ASCK20ハイ, ロウ・レベル幅	t _{KH3} ,	V _{DD} = 2.7 ~ 5.5 V	400			ns
	t _{KL3}	V _{DD} = 1.8 ~ 5.5 V	1600			ns
転送レート		V _{DD} = 2.7 ~ 5.5 V			39063	bps
		V _{DD} = 1.8 ~ 5.5 V			9766	bps
ASCK20立ち上がり時間, 立ち下がり時間	t _R , t _F				1	μs

(3) シリアル・インタフェース1A0 (SIO1A0) ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5$ V)

(a) 3線式シリアルI/Oモード, 自動送受信機能付き3線式シリアルI/Oモード (内部クロック出力)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK10サイクル・タイム	t _{KCY4}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK10ハイ, ロウ・レベル幅	t _{KH4} , t _{KL4}	$V_{DD} = 2.7 \sim 5.5$ V	t _{KCY4} /2 - 50			ns
		$V_{DD} = 1.8 \sim 5.5$ V	t _{KCY4} /2 - 150			ns
SI10セットアップ時間 (対SCK10)	t _{SIK4}	$V_{DD} = 2.7 \sim 5.5$ V	150			ns
		$V_{DD} = 1.8 \sim 5.5$ V	500			ns
SI10ホールド時間 (対SCK10)	t _{KSI4}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK10 SO10出力遅延時間	t _{KSO4}	R = 1 k Ω , C = 100 pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	250	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns

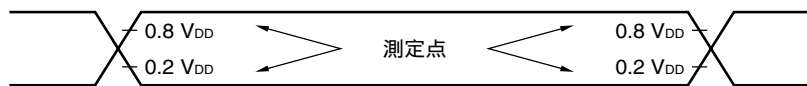
注 R, CはSO10出力ラインの負荷抵抗, 負荷容量です。

(b) 3線式シリアルI/Oモード, 自動送受信機能付き3線式シリアルI/Oモード (外部クロック入力)

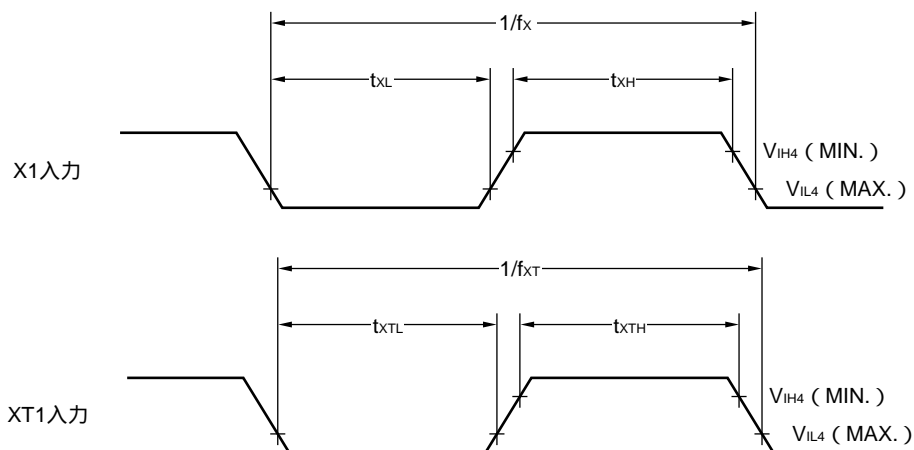
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
SCK10サイクル・タイム	t _{KCY5}	$V_{DD} = 2.7 \sim 5.5$ V	800			ns
		$V_{DD} = 1.8 \sim 5.5$ V	3200			ns
SCK10ハイ, ロウ・レベル幅	t _{KH5} , t _{KL5}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	1600			ns
SI10セットアップ時間 (対SCK10)	t _{SIK5}	$V_{DD} = 2.7 \sim 5.5$ V	100			ns
		$V_{DD} = 1.8 \sim 5.5$ V	150			ns
SI10ホールド時間 (対SCK10)	t _{KSI5}	$V_{DD} = 2.7 \sim 5.5$ V	400			ns
		$V_{DD} = 1.8 \sim 5.5$ V	600			ns
SCK10 SO10出力遅延時間	t _{KSO5}	R = 1 k Ω , C = 100 pF ^注	$V_{DD} = 2.7 \sim 5.5$ V	0	300	ns
			$V_{DD} = 1.8 \sim 5.5$ V	0	1000	ns

注 R, CはSO10出力ラインの負荷抵抗, 負荷容量です。

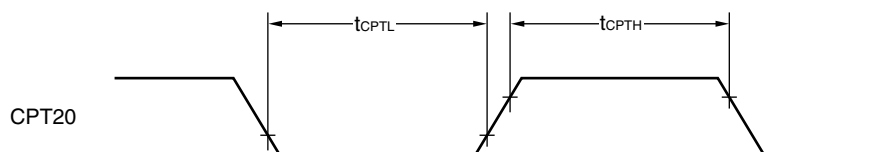
ACタイミング測定点 (X1, XT1入力を除く)



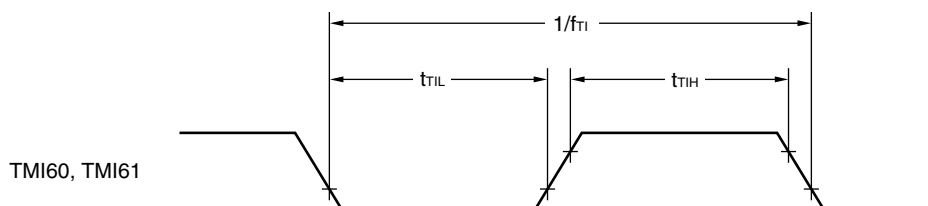
クロック・タイミング



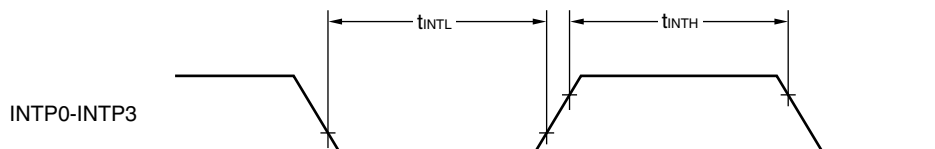
キャプチャ入力のタイミング



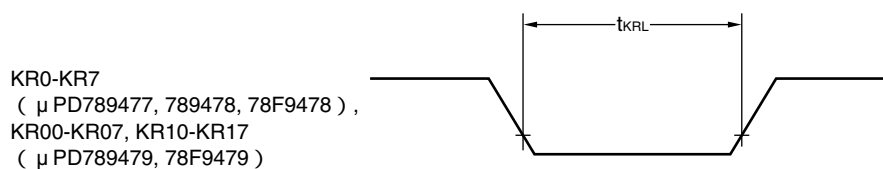
TMIタイミング



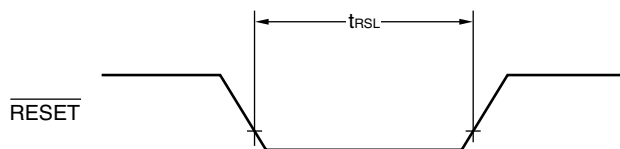
割り込み入力タイミング



キー・リターン入力タイミング

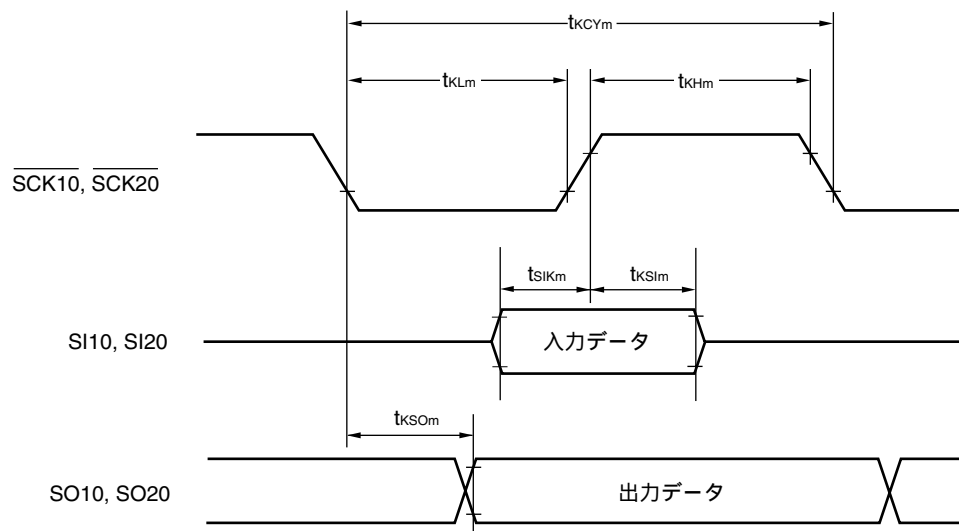


RESET入力タイミング

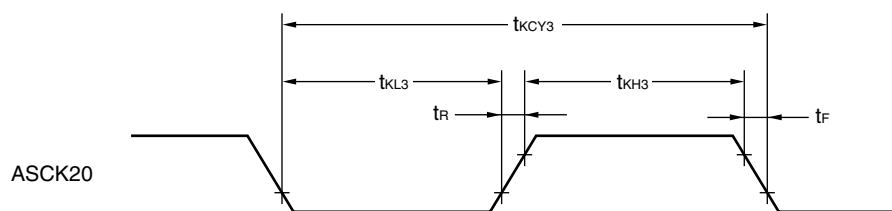


シリアル転送タイミング

3線式シリアルI/Oモード：

備考 $m = 1, 2, 4, 5$

UARTモード（外部クロック入力）：



8ビットA/Dコンバータ特性

(TA = -40 ~ +85 , 1.8 V AVDD = VDD 5.5 V , AVSS = VSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能			8	8	8	bit
総合誤差 ^{注1}		AVDD = 2.7 ~ 5.5 V			± 0.6	%FSR
		AVDD = 1.8 ~ 5.5 V			± 1.2	%FSR
変換時間	tCONV	AVDD = 2.7 ~ 5.5 V	14		100	μs
		AVDD = 1.8 ~ 5.5 V	28		100	μs
		サブシステム・クロック4逓倍クロック使用時 (ADSEL1 = 1) , AVDD = 2.7 ~ 5.5 V	132 ^{注2}			クロック
アナログ入力電圧	VIAN		0		AVDD	V

注1. 量子化誤差 (± 0.2 %) を含みません。

2. サブシステム・クロック4逓倍クロックのクロック数

備考 FSR : フルスケール・レンジ

LCD特性 (TA = -40 ~ +85 , VDD = 1.8 ~ 5.5 V)

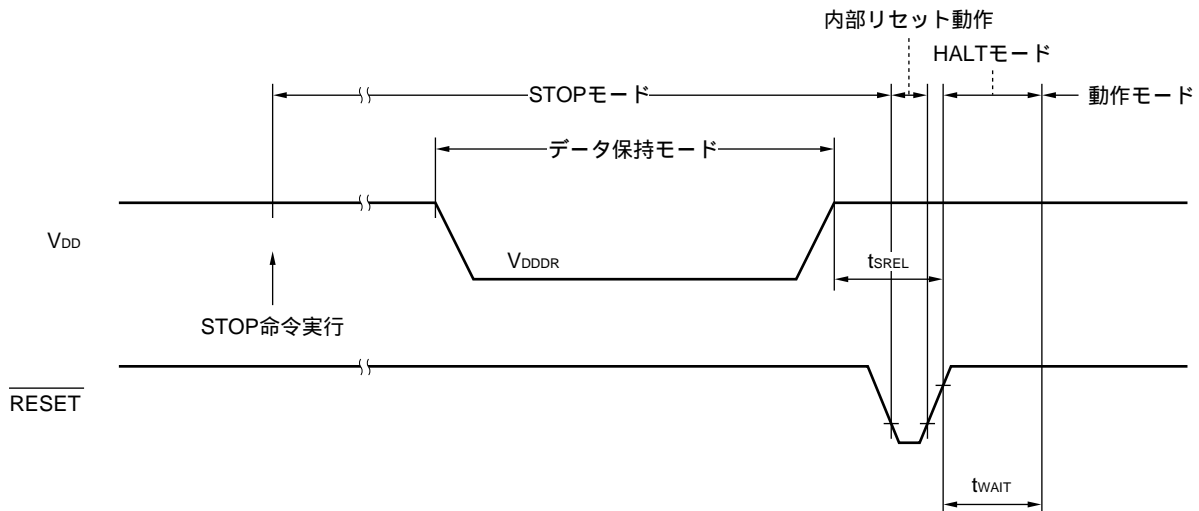
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
LCD駆動電圧	VLCD		2.7		VDD	V
LCD出力電圧偏差 ^注 (コモン)	VODC	Io = ± 5 μA	0		± 0.2	V
LCD出力電圧偏差 ^注 (セグメント)	VODS	Io = ± 1 μA	0		± 0.2	V

注 電圧偏差とは、セグメント、コモン信号出力の理想値に対する出力電圧との差です。

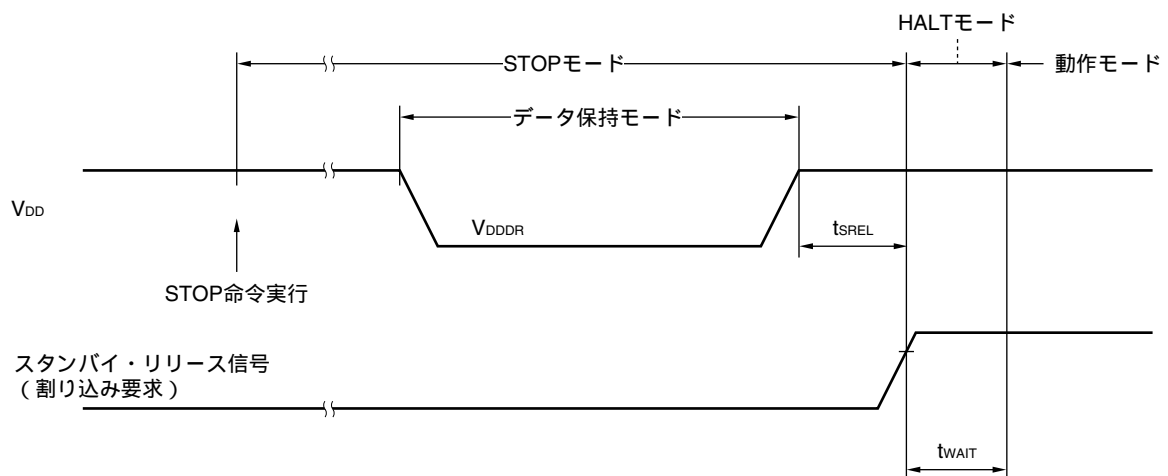
データ・メモリSTOPモード低電源電圧データ保持特性 ($T_A = -40 \sim +85$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
データ保持電源電圧	V_{DDDR}		1.8		5.5	V
リリース信号セット時間	t_{SREL}		0			μs

データ保持タイミング (RESETによるSTOPモード解除)



データ保持タイミング (スタンバイ・リリース信号：割り込み信号によるSTOPモード解除)

発振安定ウエイト時間 ($T_A = -40 \sim +85$, $V_{DD} = 1.8 \sim 5.5 V$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
発振安定ウエイト時間 ^{注1}	t_{WAIT}	RESETによる解除		$2^{15}/f_x$		s
		割り込みによる解除		注2		s

注1. 発振安定ウエイト時間内に発振安定する発振子または振動子を使用してください。

2. 発振安定時間選択レジスタ (OSTS) のビット0-2 (OSTS0-OSTS2) により, $2^{12}/f_x$, $2^{15}/f_x$, $2^{17}/f_x$ の選択が可能です。

備考 f_x : メイン・システム・クロック発振周波数

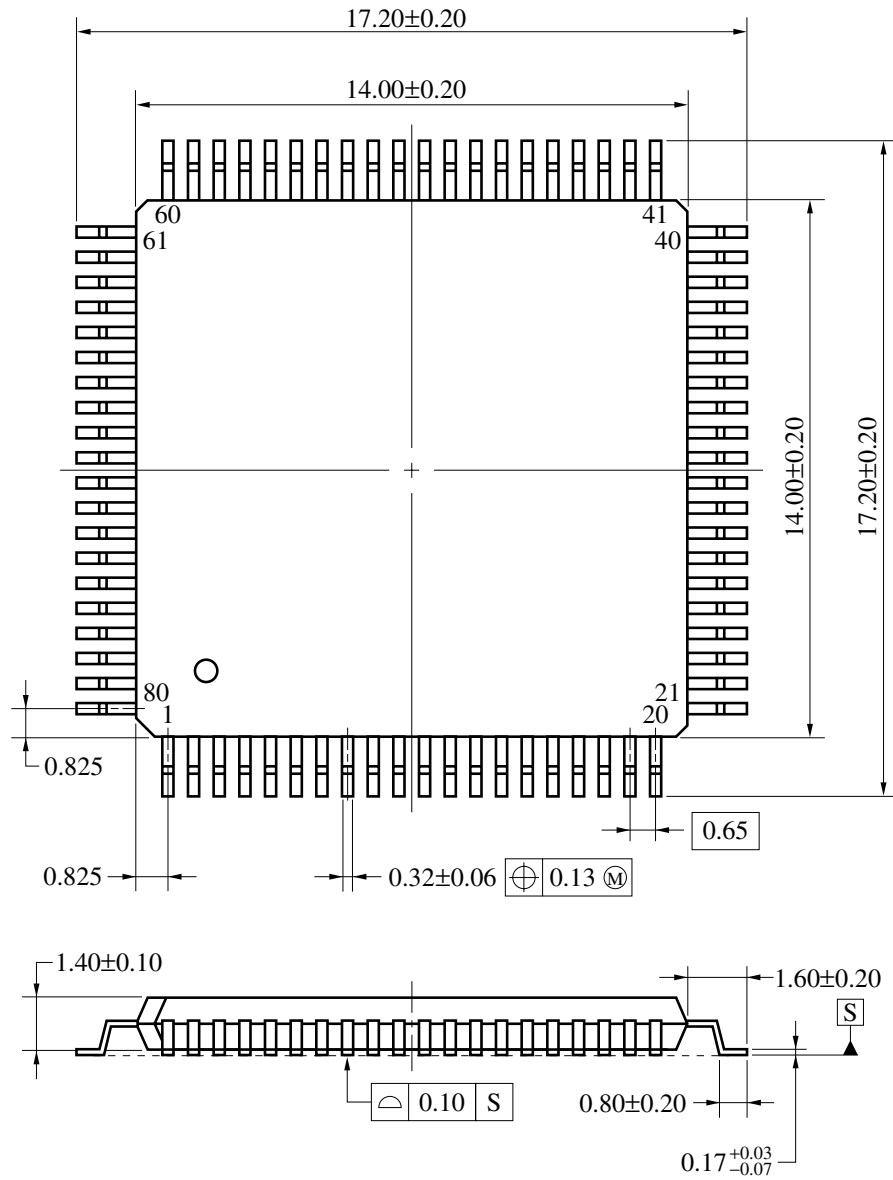
書き込み消去特性 ($T_A = 10 \sim 40$, $V_{DD} = 1.8 \sim 5.5$ V) (μ PD78F9478, 78F9479のみ)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
書き込み動作周波数	f _X	$V_{DD} = 2.7 \sim 5.5$ V	1.0		5	MHz
		$V_{DD} = 1.8 \sim 5.5$ V	1.0		1.25	MHz
書き込み電流 (V_{DD} 端子) ^注	I _{DDW}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			7	mA
書き込み電流 (V_{PP} 端子) ^注	I _{PPW}	V_{PP} 電源電圧 = V_{PP1} 時			13	mA
消去電流 (V_{DD} 端子) ^注	I _{DDE}	V_{PP} 電源電圧 = V_{PP1} 時 (5.0 MHz動作時)			7	mA
消去電流 (V_{PP} 端子) ^注	I _{PPE}	V_{PP} 電源電圧 = V_{PP1} 時			100	mA
単位消去時間	t _{er}		0.5	1	1	s
Total消去時間	t _{era}				20	s
書き換え回数		消去 / 書き込みを 1 サイクルとする			20	回
V_{PP} 電源電圧	V_{PP0}	通常モード時	0		0.2 V_{DD}	V
	V_{PP1}	フラッシュ・メモリ・プログラミング時	9.7	10.0	10.3	V

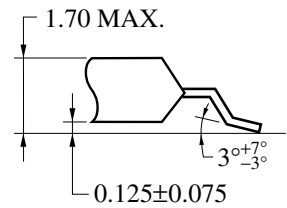
注 ポート電流 (内蔵プルアップ抵抗に流れる電流も含む) は含みません。

第23章 外形図

80ピン・プラスチック QFP (14x14) 外形図 (単位 : mm)



端子先端形状詳細図



P80GC-65-8BT-1

第24章 半田付け推奨条件

μPD789479サブシリーズの半田付け実装は、次の推奨条件で実施してください。

なお、推奨条件以外の半田付け方式および半田付け条件については、当社販売員にご相談ください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」(<http://www.necel.com/pkg/ja/jissou/index.html>)

表24 - 1 表面実装タイプの半田付け条件 (1/3)

(1) μPD789477GC- x x x -8BT : 80ピン・プラスチックQFP (14x14)

μPD789478GC- x x x -8BT : "

μPD789479GC- x x x -8BT : "

μPD78F9478GC-8BT : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上) , 回数: 2回以内	IR35-00-2
VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上) , 回数: 2回以内	VP15-00-2
ウェーブ・ソルダーリング	半田槽温度: 260 以下, 時間: 10秒以内, 回数1回, 予備加熱温度: 120 MAX. (パッケージ表面温度)	WS60-00-1
端子部分加熱	端子温度: 350 以下, 時間: 3秒以内 (デバイス一辺当たり)	-

(2) μPD789477GK- x x x -9EU : 80ピン・プラスチックTQFP (ファインピッチ) (12x12)

μPD789478GK- x x x -9EU : "

μPD789479GK- x x x -9EU : "

μPD78F9478GK-9EU : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上) , 回数: 2回以内 , 制限日数: 7日間 [※] (以降は125 プリベーク10~72時間必要) (留意事項) 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングができません。	IR35-107-2
VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上) , 回数: 2回以内 , 制限日数: 7日間 [※] (以降は125 プリベーク10~72時間必要) (留意事項) 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーキングができません。	VP15-107-2
端子部分加熱	端子温度: 350 以下, 時間: 3秒以内 (デバイスの一辺当たり)	-

注 ドライバック開封後の保管日数で、保管条件は25 , 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし、端子部分加熱方式は除く)。

表24 - 1 表面実装タイプの半田付け条件 (2/3)

(3) μ PD78F9479GC-8BT : 80ピン・プラスチックQFP (14x14)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上) , 回数: 2回以内, 制限日数: 7日間 ^注 (以降は125 プリベーク10~72時間必要) (留意事項) 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーク キングができません。	IR35-107-2
VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上) , 回数: 2回以内, 制限日数: 7日間 ^注 (以降は125 プリベーク10~72時間必要) (留意事項) 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーク キングができません。	VP15-107-2
ウェーブ・ソルダーリング	半田槽温度: 260 以下, 時間: 10秒以内, 回数1回, 予備加熱温度: 120 MAX. (パッケージ表面温度) , 制限日数: 7日間 ^注 (以降は125 プリベーク10~72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーク キングができません。	WS60-107-1
端子部分加熱	端子温度: 350 以下, 時間: 3秒以内 (デバイスの一辺当たり)	—

注 ドライバック開封後の保管日数で, 保管条件は25 , 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱方式は除く)。

(4) μ PD78F9479GK-9EU : 80ピン・プラスチックTQFP (ファインピッチ) (12x12)

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度: 235 , 時間: 30秒以内 (210 以上) , 回数: 2回以内, 制限日数: 3日間 ^注 (以降は125 プリベーク10~72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーク キングができません。	IR35-103-2
VPS	パッケージ・ピーク温度: 215 , 時間: 40秒以内 (200 以上) , 回数: 2回以内, 制限日数: 3日間 ^注 (以降は125 プリベーク10~72時間必要) <留意事項> 耐熱トレイ以外 (マガジン, テーピング, 非耐熱トレイ) は, 包装状態でのベーク キングができません。	VP15-103-2
端子部分加熱	端子温度: 350 以下, 時間: 3秒以内 (デバイスの一辺当たり)	—

注 ドライバック開封後の保管日数で, 保管条件は25 , 65 %RH以下。

注意 半田付け方式の併用はお避けください (ただし, 端子部分加熱方式は除く)。

表24 - 1 表面実装タイプの半田付け条件 (3/3)

(5) μ PD789477GC- x x x -8BT-A : 80ピン・プラスチックQFP (14x14)

μ PD789478GC- x x x -8BT-A : "

μ PD789479GC- x x x -8BT-A : "

μ PD78F9478GC-8BT-A : "

μ PD78F9479GC-8BT-A : "

μ PD789477GK- x x x -9EU-A : 80ピン・プラスチックTQFP (ファインピッチ) (12x12)

μ PD789478GK- x x x -9EU-A : "

μ PD789479GK- x x x -9EU-A : "

μ PD78F9478GK-9EU-A : "

μ PD78F9479GK-9EU-A : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260℃，時間：60秒以内（220℃以上），回数：3回以内， 制限日数：7日間 [※] （以降は125℃プリベーク20～72時間必要） （留意事項） 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
ウェーブ・ソルダリング	0.65mmピッチ以上のパッケージでは，ウェーブ・ソルダリングも対応可能です。詳細については，当社販売員にご相談ください。	-
端子部分加熱	端子温度：350℃以下，時間：3秒以内（デバイスの一辺当たり）	-

注 ドライバック開封後の保管日数で，保管条件は25℃，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱方式は除く）。

備考1．オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2．推奨条件以外の半田付け方式および半田付け条件については，当社販売員にご相談ください。

付録A 開発ツール

μPD789479サブシリーズを使用するシステム開発のために次のような開発ツールを用意しております。図A - 1に開発ツール構成を示します。

PC98-NXシリーズへの対応について

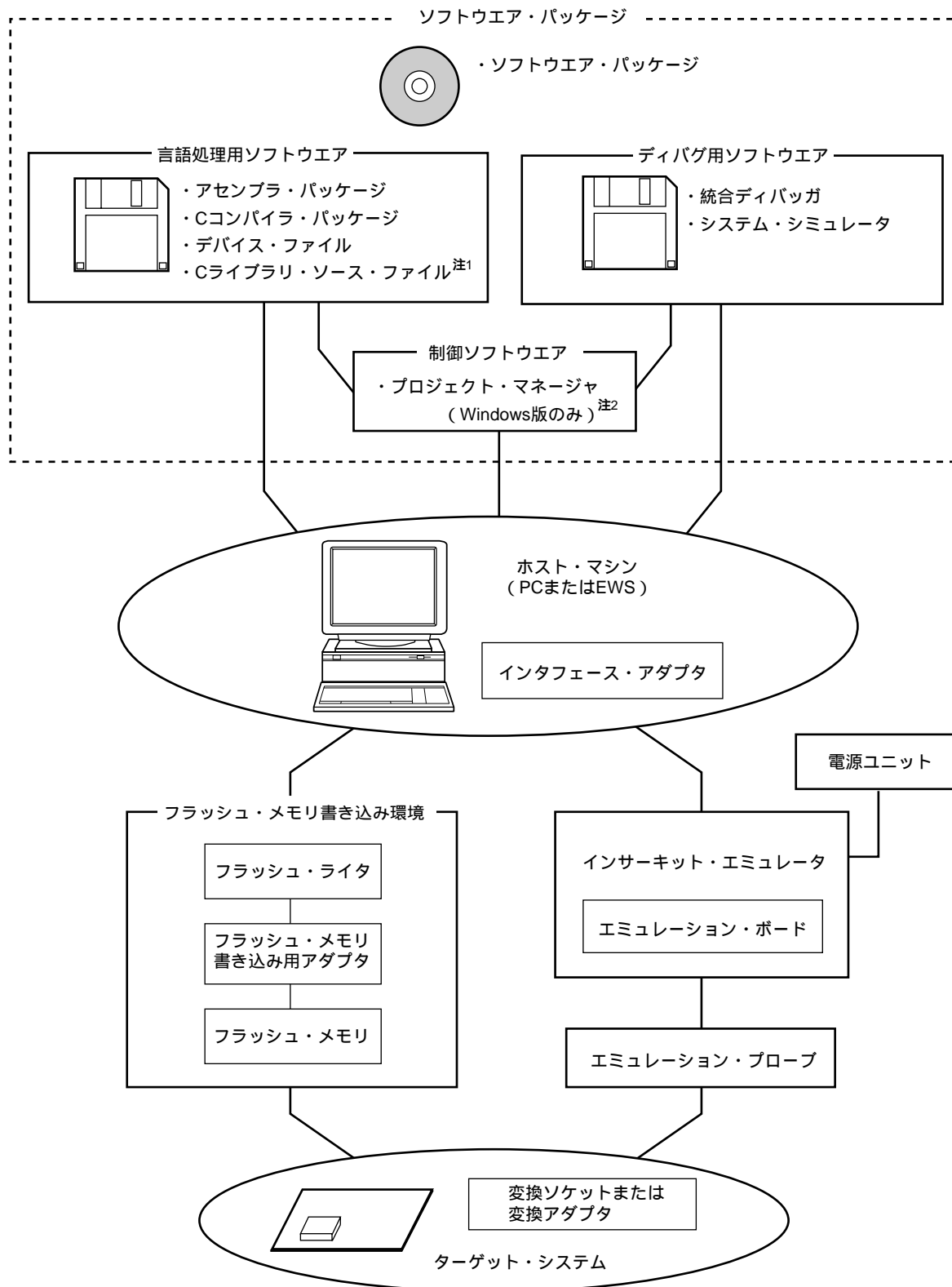
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

Windows[®] について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 3.1
- Windows 95
- Windows 98
- Windows 2000
- Windows NT[®] Version 4.0
- Windows XP[®]

図A - 1 開発ツール構成



注1. Cライブラリ・ソース・ファイルは、ソフトウェア・パッケージには含まれていません。

- プロジェクト・マネージャは、アセンブラ・パッケージに入っています。
また、Windows以外ではプロジェクト・マネージャは使用しません。

A. 1 ソフトウェア・パッケージ

SP78K0S ソフトウェア・パッケージ	78K/0Sシリーズ開発用の各種ソフトウェア・ツールを1つにパッケージングしたものです。 次のツールが入っています。 RA78K0S, CC78K0S, ID78K0S-NS, SM78K0S, デバイス・ファイル各種 オーダ名称: $\mu S \times \times \times \times$ SP78K0S
-------------------------	---

備考 オーダ名称の $\times \times \times \times$ は、使用するOSにより異なります。

$\mu S \times \times \times \times$ SP78K0S

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 2 言語処理用ソフトウェア

RA78K0S アセンブラ・パッケージ	<p>二モニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。別売のデバイス・ファイル (DF789488) と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称: $\mu S \times \times \times \times$ RA78K0S</p>
CC78K0S Cコンパイラ・パッケージ	<p>C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。</p> <p>別売のアセンブラ・パッケージ (RA78K0S) およびデバイス・ファイル (DF789488) と組み合わせて使用します。</p> <p><PC環境で使用する場合の注意></p> <p>Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ (アセンブラ・パッケージに含まれています) を使用することにより、Windows環境でも使用できます。</p> <p>オーダ名称: $\mu S \times \times \times \times$ CC78K0S</p>
DF789488 ^{注1} デバイス・ファイル	<p>デバイス固有の情報が入ったファイルです。</p> <p>別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。</p> <p>オーダ名称: $\mu S \times \times \times \times$ DF789488</p>
CC78K0S-L ^{注2} Cライブラリ・ソース・ファイル	<p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリを構成する関数のソース・ファイルです。</p> <p>Cコンパイラ・パッケージに含まれているオブジェクト・ライブラリをお客様の仕様にあわせて変更する場合に必要です。</p> <p>ソース・ファイルのため、動作環境はOSに依存しません。</p> <p>オーダ名称: $\mu S \times \times \times \times$ CC78K0S-L</p>

注1. DF789488は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

2. CC78K0S-Lは、ソフトウェア・パッケージ (SP78K0S) には含まれていません。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0S

μS××××CC78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	
3P17	HP9000シリーズ700 TM	HP-UX TM (Rel.10.10)	
3K17	SPARCstation TM	SunOS TM (Rel.4.1.4) ， Solaris TM (Rel.2.5.1)	

μS××××DF789488

μS××××CC78K0S-L

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ， IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
3P16	HP9000シリーズ700	HP-UX (Rel.10.10)	DAT
3K13	SPARCstation	SunOS (Rel.4.1.4) ，	3.5インチ2HD FD
3K15		Solaris (Rel.2.5.1)	1/4インチCGMT

A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から、エディタの起動、ビルド、ディバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+はアセンブラ・パッケージ (RA78K0S) の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 フラッシュ・メモリ書き込み用ツール

Flashpro (FL-PR3, PG-FP3) Flashpro (FL-PR4, PG-FP4) フラッシュ・ライタ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・ライタ
FA-80GC-8BT FA-80GK-9EU フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。Flashpro またはFlashpro に接続して使用します。 FA-80GC-8BT : 80ピン・プラスチックQFP (GC-8BTタイプ) 用 FA-80GK-9EU : 80ピン・プラスチックTQFP (GK-9EUタイプ) 用

備考 FL-PR3, FL-PR4, FA-80GC-8BT, FA-80GK-9EUは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所 (TEL (042) 750-4172)

A.5 ディバグ用ツール（ハードウェア）

IE-78K0S-NS インサーキット・エミュレータ	78K/0Sシリーズを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをディバグするためのインサーキット・エミュレータ。統合ディバガ（ID78K0S-NS）に対応しています。ACアダプタ、エミュレーション・プローブおよび、ホスト・マシンと接続するためのインタフェース・アダプタと組み合わせて使用します。
IE-78K0S-NS-A インサーキット・エミュレータ	IE-78K0S-NSの機能にカバレッジ機能が追加され、トレース機能、タイマ機能が強化されるなど、ディバグ機能がより強化されています。
IE-70000-MC-PS-B ACアダプタ	AC100～240 Vのコンセントから電源を供給するためのアダプタ
IE-70000-98-IF-C インタフェース・アダプタ	ホスト・マシンとしてPC-9800シリーズ（ノート型パソコンを除く）を使用するときに必要なアダプタ（Cバス対応）
IE-70000-CD-IF-A PCカード・インタフェース	ホスト・マシンとしてノート型パソコンを使用するときに必要なPCカードとインタフェース・ケーブル（PCMCIAソケット対応）
IE-70000-PC-IF-C インタフェース・アダプタ	ホスト・マシンとしてIBM PC/AT互換機を使用するときに必要なアダプタ（ISAバス対応）
IE-70000-PCI-IF-A インタフェース・アダプタ	ホスト・マシンとしてPCIバスを内蔵したパソコンを使用するときに必要なアダプタ
IE-789488-NS-EM1 エミュレーション・ボード	デバイスに固有な周辺ハードウェアをエミュレーションするためのボード。インサーキット・エミュレータと組み合わせて使用します。
NP-80GC エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。EV-9200GC-80と組み合わせて使用します。
EV-9200GC-80 変換ソケット	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板とNP-80GCを接続するための変換ソケット
NP-80GC-TQ NP-H80GC-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGC-080SBPと組み合わせて使用します。
TGC-080SBP 変換アダプタ	80ピン・プラスチックQFP（GC-8BTタイプ）を実装できるように作られたターゲット・システムの基板とNP-80GC-TQまたはNP-H80GC-TQを接続するための変換アダプタ
NP-80GK NP-H80GK-TQ エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのケーブルです。TGK-080SDWと組み合わせて使用します。
TGK-080SDW 変換アダプタ	80ピン・プラスチックTQFP（GK-9EUタイプ）を実装できるように作られたターゲット・システムの基板とNP-80GKまたはNP-H80GK-TQを接続するための変換アダプタ

備考1. NP-80GC, NP-80GC-TQ, NP-H80GC-TQ, NP-80GK, NP-H80GK-TQは株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

2. TGC-080SBP, TGK-080SDWは、東京エレテック株式会社の製品です。

問い合わせ先：東京エレテック株式会社（TEL（03）5295-1661）

A. 6 デバッグ用ツール（ソフトウェア）

ID78K0S-NS 統合ディバッガ	78K/0Sシリーズ用のインサーキット・エミュレータ IE-78K0S-NS, IE-78K0S-NS-Aに対応したディバッガです。ID78K0S-NSは、Windowsベースのソフトウェアです。 C言語対応のディバグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 別売のデバイス・ファイル（DF789488）と組み合わせて使用します。 オーダ名称：μS××××ID78K0S-NS
SM78K0S システム・シミュレータ	78K/0Sシリーズ用のシステム・シミュレータです。SM78K0Sは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのディバグが可能です。 SM78K0Sを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 別売のデバイス・ファイル（DF789488）と組み合わせて使用します。 オーダ名称：μS××××SM78K0S
DF789488 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売のRA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sと組み合わせて使用します。 オーダ名称：μS××××DF789488

注 DF789488は、RA78K0S, CC78K0S, ID78K0S-NS, SM78K0Sのすべての製品に共通に使用できます。

備考 オーダ名称の××××は、使用するOS、供給媒体により異なります。

μS××××ID78K0S-NS

μS××××SM78K0S

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ, IBM PC/AT互換機	日本語Windows	3.5インチ2HD FD
BB13		英語Windows	
AB17		日本語Windows	CD-ROM
BB17		英語Windows	

付録B ターゲット・システム設計上の注意

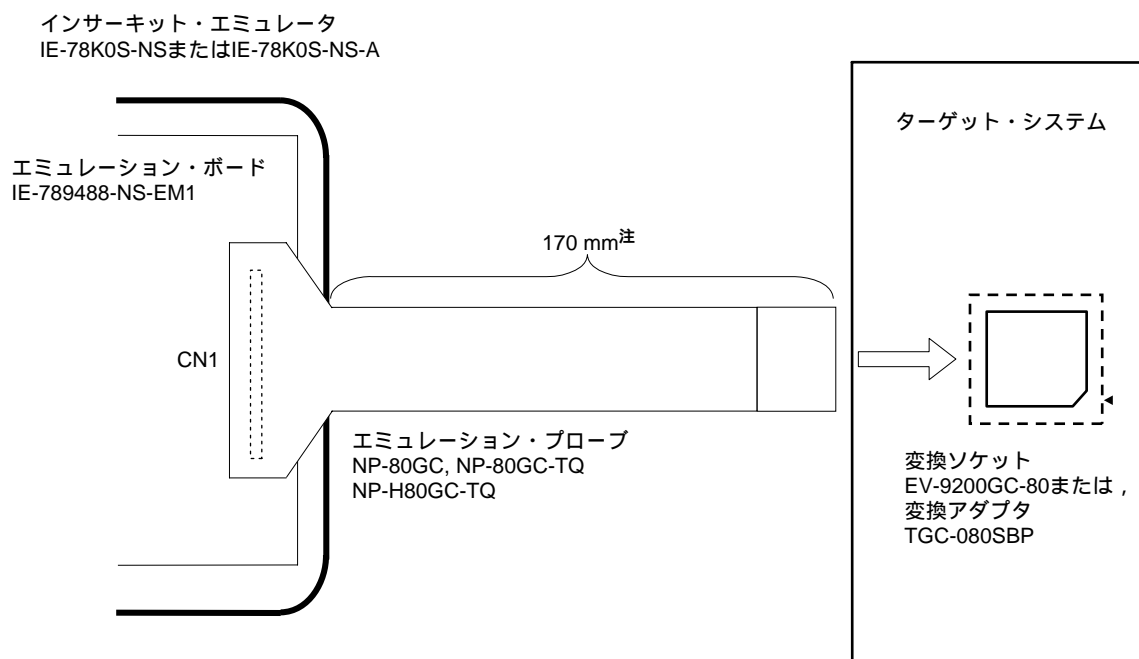
エミュレーション・プローブと変換ソケット，変換アダプタとの接続条件図を次に示します。ターゲット・システム上に実装する部品の形状などを考慮したうえで，この構成によってシステム設計を行ってください。

なお，この付録に記載されている製品名のうちNP-80GC，NP-80GC-TQ，NP-H80GC-TQ，NP-80GK，NP-H80GK-TQは株式会社内藤電誠町田製作所の製品です。

また，TGC-080SBP，TGK-080SDWは東京エレテック株式会社の製品です。

(1) NP-80GC, NP-80GC-TQ, およびNP-H80GC-TQの場合

図B - 1 インサーキット・エミュレータから変換ソケットまでの距離（80GCの場合）

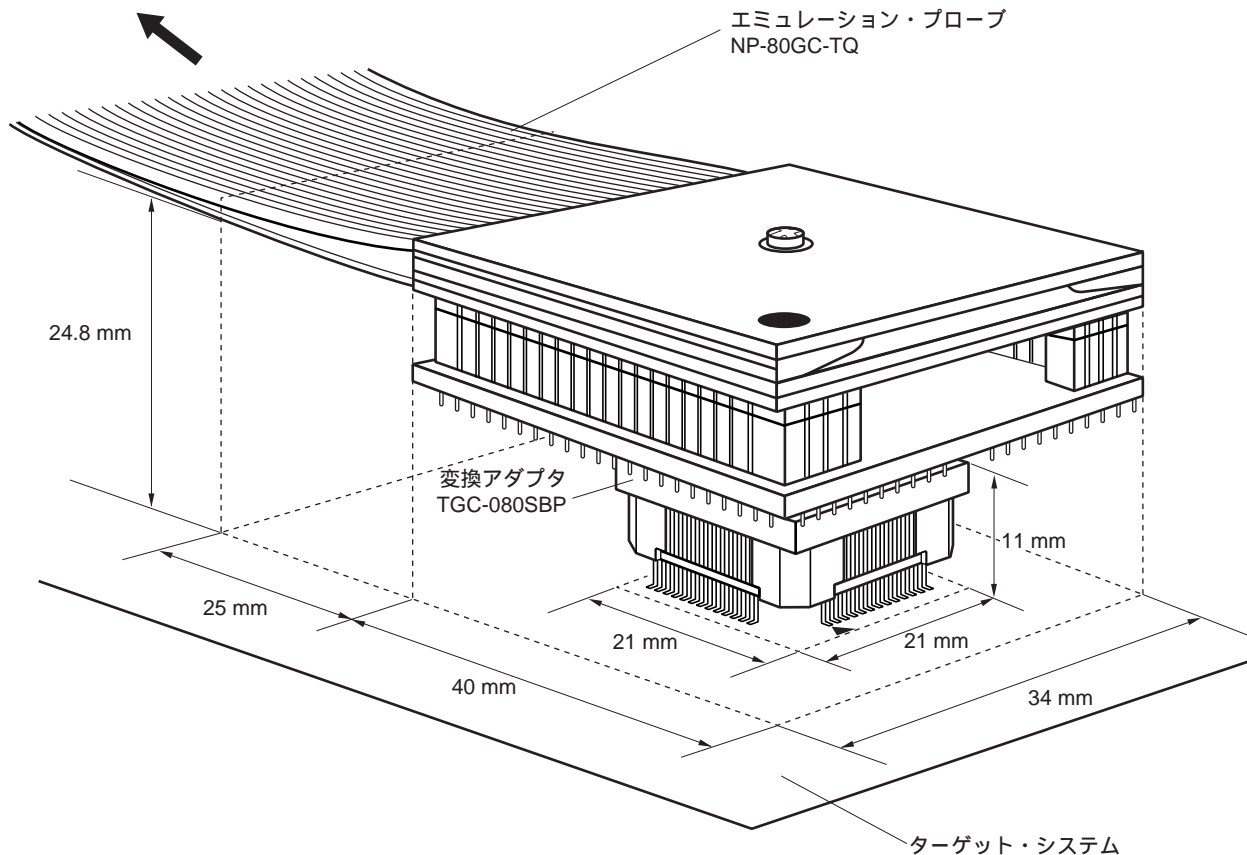


注 NP-H80GC-TQでは370 mmになります。

図B - 2 ターゲット・システムの接続条件 (NP-80GC-TQの場合)

エミュレーション・ボード
IE-789488-NS-EM1

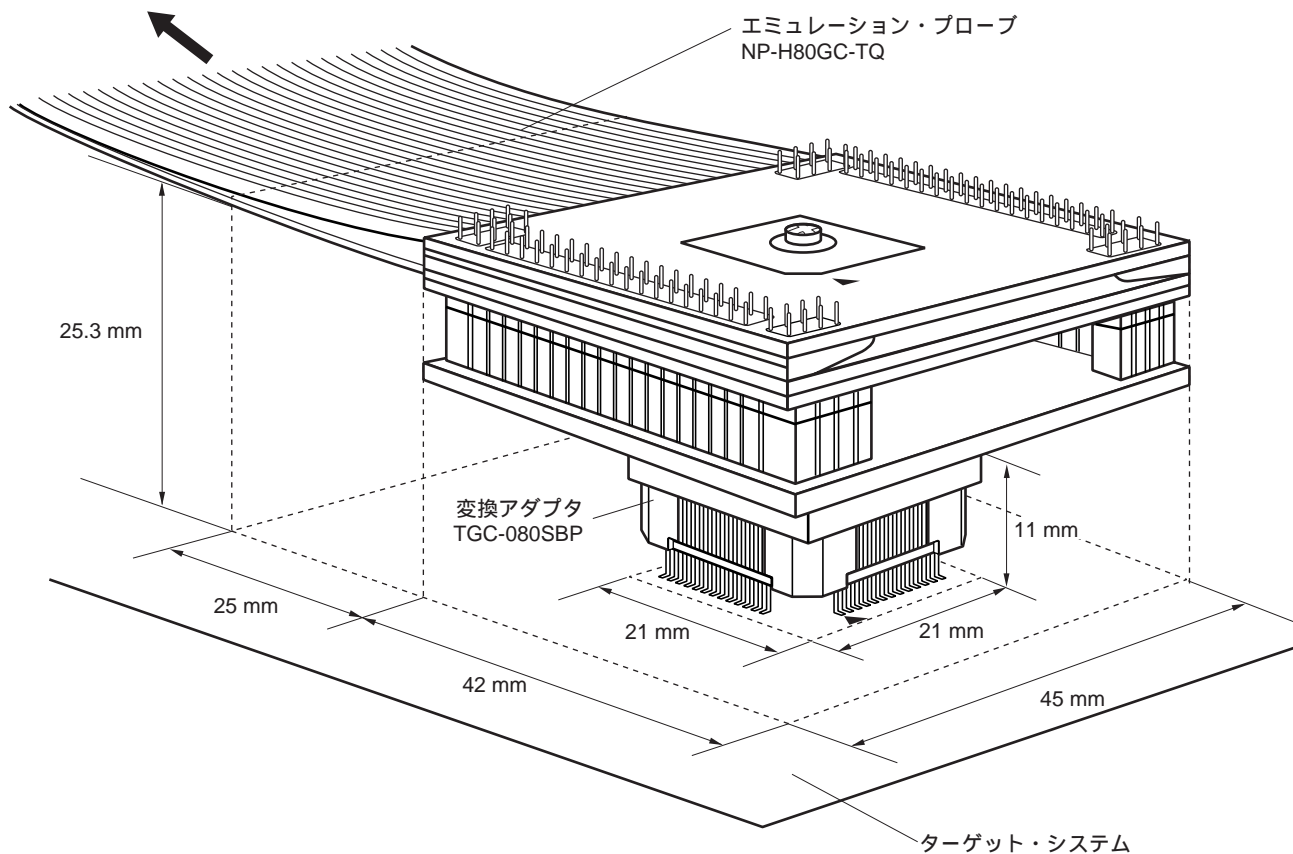
エミュレーション・プローブ
NP-80GC-TQ



図B - 3 ターゲット・システムの接続条件 (NP-H80GC-TQの場合)

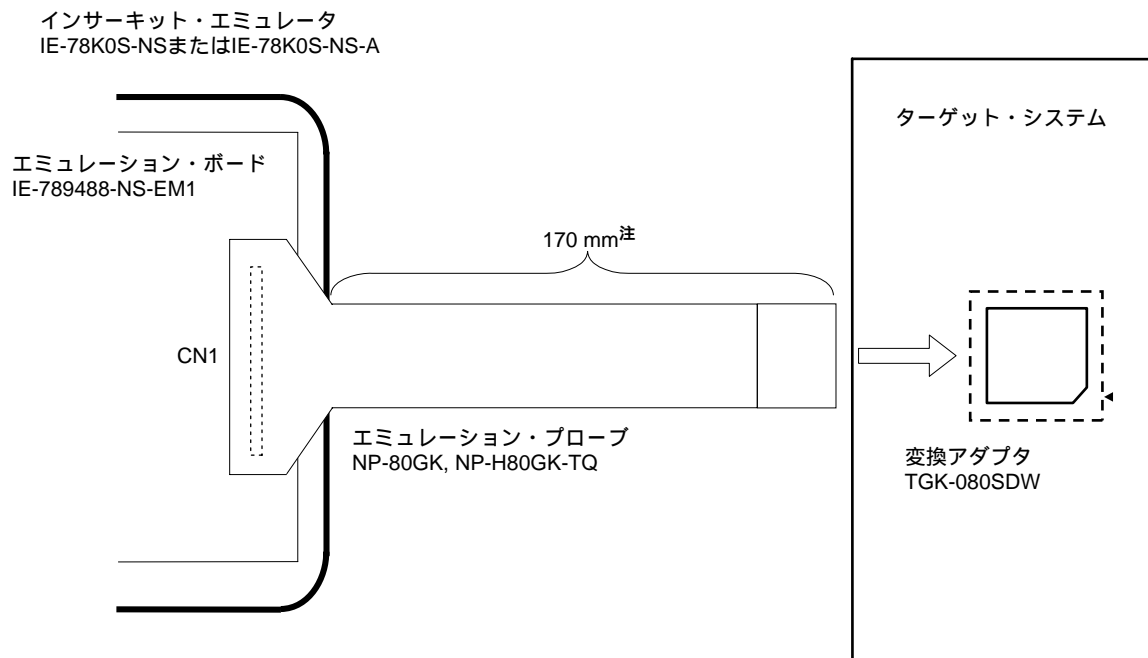
エミュレーション・ボード
IE-789488-NS-EM1

エミュレーション・プローブ
NP-H80GC-TQ



(2) NP-80GK, NP-H80GK-TQの場合

図B - 4 インサーキット・エミュレータから変換アダプタまでの距離 (80GKの場合)

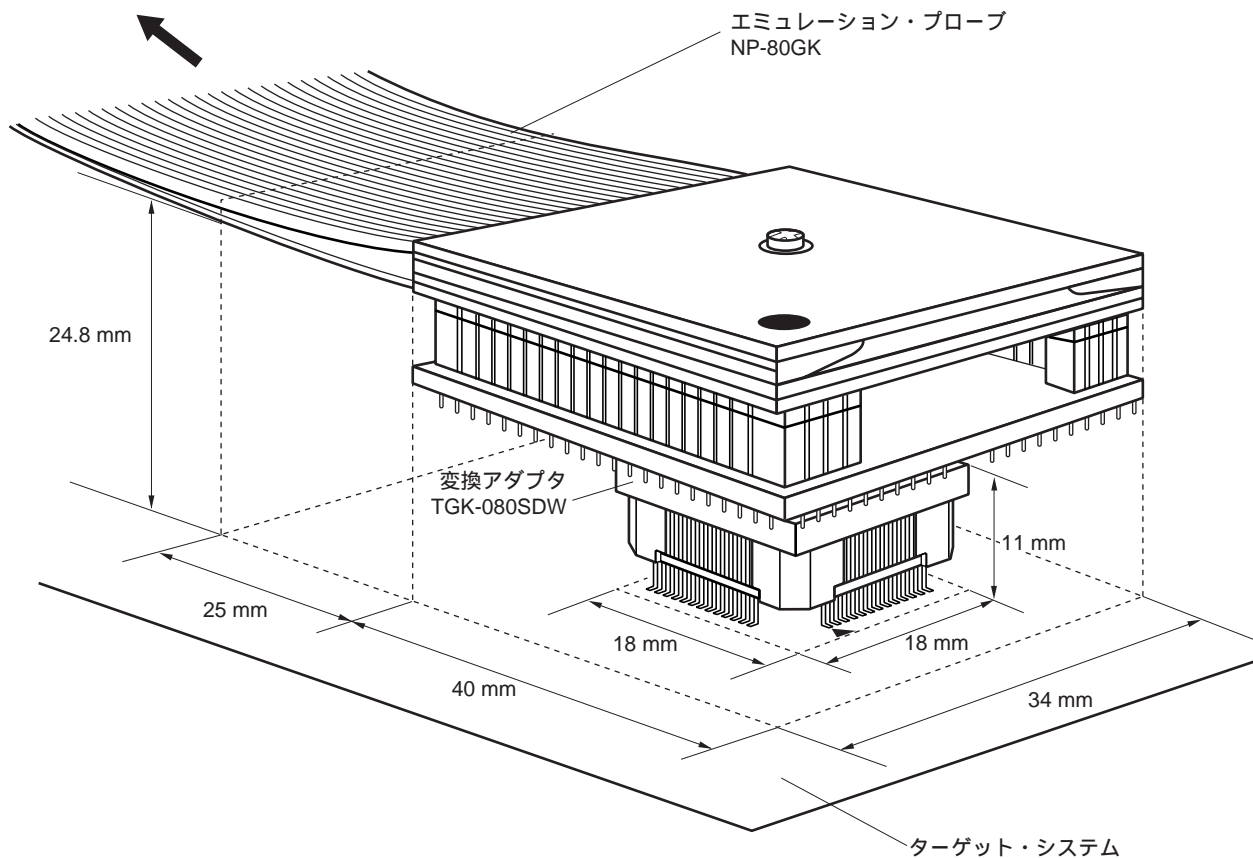


注 NP-H80GK-TQでは、370 mmになります。

図B - 5 ターゲット・システムの接続条件 (NP-80GKの場合)

エミュレーション・ボード
IE-789488-NS-EM1

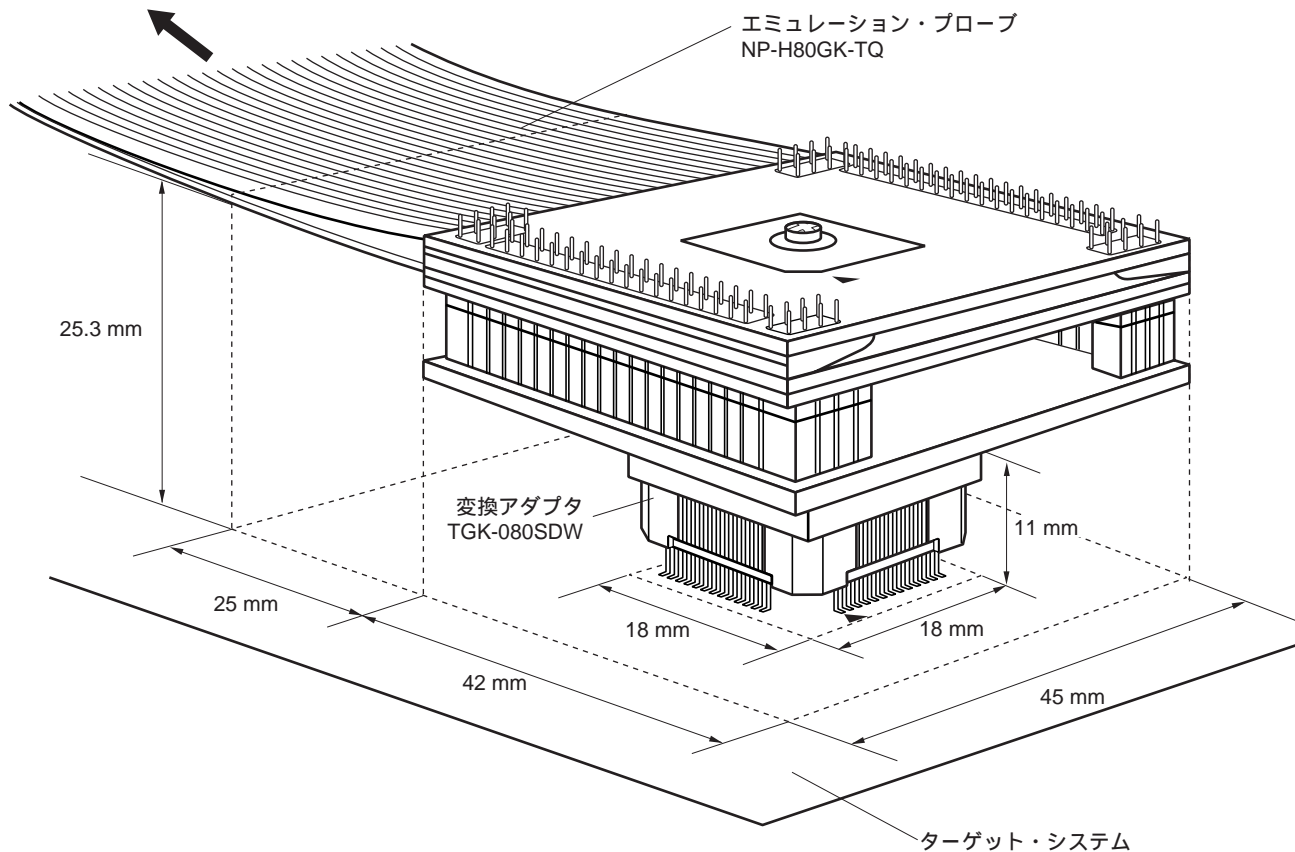
エミュレーション・プローブ
NP-80GK



図B - 6 ターゲット・システムの接続条件 (NP-H80GK-TQの場合)

エミュレーション・ボード
IE-789488-NS-EM1

エミュレーション・プローブ
NP-H80GK-TQ



付録C レジスタ索引

C.1 レジスタ索引 (50音順)

【あ行】

アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20 (ASIS20)	...	195
アシンクロナス・シリアル・インタフェース・モード・レジスタ20 (ASIM20)	...	193
アナログ入力チャネル指定レジスタ0 (ADS0)	...	179
ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)	...	170
ウォッチドッグ・タイマ・モード・レジスタ (WDTM)	...	171
A/Dコンバータ・モード・レジスタ0 (ADML0)	...	177
A/Dコンバータ・モード・レジスタ1 (ADML1)	...	178
A/D変換結果レジスタ0 (ADCRL0)	...	175
LCDクロック制御レジスタ0 (LCDC0)	...	256
LCD表示モード・レジスタ0 (LCDM0)	...	255

【か行】

外部割り込みモード・レジスタ0 (INTM0)	...	296
外部割り込みモード・レジスタ1 (INTM1)	...	296
キー・リターン・モード・レジスタ00 (KRM00)	...	298
キー・リターン・モード・レジスタ01 (KRM01)	...	299
キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60)	...	133

【さ行】

サブクロック・コントロール・レジスタ (CSS)	...	101
サブクロック選択レジスタ (SSCK)	...	102
サブ発振モード・レジスタ (SCKM)	...	101
自動データ送受信アドレス・ポイント0 (ADTP0)	...	220
自動データ送受信コントロール・レジスタ0 (ADTC0)	...	223
自動データ送受信転送間隔指定レジスタ0 (ADTI0)	...	224
16ビット・キャプチャ・レジスタ20 (TCP20)	...	111
16ビット・コンペア・レジスタ20 (CR20)	...	111
16ビット乗算結果格納レジスタL (MUL0L)	...	267
16ビット乗算結果格納レジスタH (MUL0H)	...	267
16ビット・タイマ・カウンタ20 (TM20)	...	111
16ビット・タイマ・モード・コントロール・レジスタ20 (TMC20)	...	112
受信バッファ・レジスタ20 (RXB20)	...	191
乗算器コントロール・レジスタ0 (MULC0)	...	269
乗算データ・レジスタA0 (MRA0)	...	267
乗算データ・レジスタB0 (MRB0)	...	267

シリアルI/Oシフト・レジスタ1A0 (SIO1A0) ...	220
シリアル動作モード・レジスタ1A0 (CSIM1A0) ...	221
シリアル動作モード・レジスタ20 (CSIM20) ...	192
送信シフト・レジスタ20 (TXS20) ...	191

【 た行 】

時計用タイマ・モード・コントロール・レジスタ (WTM) ...	164
時計用タイマ割り込み時間選択レジスタ (WTIM) ...	165

【 は行 】

8ビットH幅コンペア・レジスタ60 (CRH60) ...	129
8ビットH幅コンペア・レジスタ61 (CRH61) ...	129
8ビット・コンペア・レジスタ50 (CR50) ...	128
8ビット・コンペア・レジスタ60 (CR60) ...	128
8ビット・コンペア・レジスタ61 (CR61) ...	128
8ビット・タイマ・カウンタ50 (TM50) ...	129
8ビット・タイマ・カウンタ60 (TM60) ...	129
8ビット・タイマ・カウンタ61 (TM61) ...	129
8ビット・タイマ・モード・コントロール・レジスタ50 (TMC50) ...	130
8ビット・タイマ・モード・コントロール・レジスタ60 (TMC60) ...	131
8ビット・タイマ・モード・コントロール・レジスタ61 (TMC61) ...	134
発振安定時間選択レジスタ (OSTS) ...	307
ブルアップ抵抗オプション・レジスタB0 (PUB0) ...	94
ブルアップ抵抗オプション・レジスタB1 (PUB1) ...	94
ブルアップ抵抗オプション・レジスタB2 (PUB2) ...	94
ブルアップ抵抗オプション・レジスタB3 (PUB3) ...	94
プロセッサ・クロック・コントロール・レジスタ (PCC) ...	100
ポー・レート・ジェネレータ・コントロール・レジスタ20 (BRGC20) ...	196
ポート・ファンクション・レジスタ7 (PF7) ...	95
ポート・ファンクション・レジスタ8 (PF8) ...	95
ポート・モード・レジスタ0 (PM0) ...	92
ポート・モード・レジスタ1 (PM1) ...	92
ポート・モード・レジスタ2 (PM2) ...	92
ポート・モード・レジスタ3 (PM3) ...	92, 114, 135
ポート・モード・レジスタ5 (PM5) ...	92
ポート・モード・レジスタ8 (PM8) ...	92
ポート0 (P0) ...	78
ポート1 (P1) ...	79
ポート2 (P2) ...	80
ポート3 (P3) ...	85
ポート5 (P5) ...	87
ポート6 (P6) ...	88
ポート7 (P7) ...	90

ポート8 (P8) ... 91

【5行】

リモコン・シフト・レジスタ受信カウンタ・レジスタ (RMSCR) ... 273

リモコン受信エンド幅選択レジスタ (RMER) ... 276

リモコン受信シフト・レジスタ (RMSR) ... 272

リモコン受信GPHSコンペア・レジスタ (RMGPHS) ... 274

リモコン受信GPHLコンペア・レジスタ (RMGPHL) ... 274

リモコン受信制御レジスタ (RMCN) ... 277

リモコン受信DLSコンペア・レジスタ (RMDLS) ... 274

リモコン受信DLLコンペア・レジスタ (RMDLL) ... 274

リモコン受信DH0Sコンペア・レジスタ (RMDH0S) ... 275

リモコン受信DH0Lコンペア・レジスタ (RMDH0L) ... 275

リモコン受信DH1Sコンペア・レジスタ (RMDH1S) ... 275

リモコン受信DH1Lコンペア・レジスタ (RMDH1L) ... 275

リモコン受信データ・レジスタ (RMDR) ... 273

【わ行】

割り込みマスク・フラグ・レジスタ0 (MK0) ... 295

割り込みマスク・フラグ・レジスタ1 (MK1) ... 295

割り込みマスク・フラグ・レジスタ2 (MK2) ... 295

割り込み要求フラグ・レジスタ0 (IF0) ... 294

割り込み要求フラグ・レジスタ1 (IF1) ... 294

割り込み要求フラグ・レジスタ2 (IF2) ... 294

C.2 レジスタ索引（アルファベット順）

【A】

ADCRL0	: A/D変換結果レジスタ0 ...	175
ADML0	: A/Dコンバータ・モード・レジスタ0 ...	177
ADML1	: A/Dコンバータ・モード・レジスタ1 ...	178
ADS0	: アナログ入力チャネル指定レジスタ0 ...	179
ADTC0	: 自動データ送受信コントロール・レジスタ0 ...	223
ADTI0	: 自動データ送受信転送間隔指定レジスタ0 ...	224
ADTP0	: 自動データ送受信アドレス・ポインタ0 ...	220
ASIM20	: アシクロナス・シリアル・インタフェース・モード・レジスタ20 ...	193
ASIS20	: アシクロナス・シリアル・インタフェース・ステータス・レジスタ20 ...	195

【B】

BRGC20	: ボー・レート・ジェネレータ・コントロール・レジスタ20 ...	196
--------	-----------------------------------	-----

【C】

CR20	: 16ビット・コンペア・レジスタ20 ...	111
CR50	: 8ビット・コンペア・レジスタ50 ...	128
CR60	: 8ビット・コンペア・レジスタ60 ...	128
CR61	: 8ビット・コンペア・レジスタ61 ...	128
CRH60	: 8ビットH幅コンペア・レジスタ60 ...	129
CRH61	: 8ビットH幅コンペア・レジスタ61 ...	129
CSIM1A0	: シリアル動作モード・レジスタ1A0 ...	221
CSIM20	: シリアル動作モード・レジスタ20 ...	192
CSS	: サブクロック・コントロール・レジスタ ...	101

【I】

IF0	: 割り込み要求フラグ・レジスタ0 ...	294
IF1	: 割り込み要求フラグ・レジスタ1 ...	294
IF2	: 割り込み要求フラグ・レジスタ2 ...	294
INTM0	: 外部割り込みモード・レジスタ0 ...	296
INTM1	: 外部割り込みモード・レジスタ1 ...	296

【K】

KRM00	: キー・リターン・モード・レジスタ00 ...	298
KRM01	: キー・リターン・モード・レジスタ01 ...	299

【L】

LCDC0	: LCDクロック制御レジスタ0 ...	256
LCDM0	: LCD表示モード・レジスタ0 ...	255

【M】

MK0	: 割り込みマスク・フラグ・レジスタ0	...	295
MK1	: 割り込みマスク・フラグ・レジスタ1	...	295
MK2	: 割り込みマスク・フラグ・レジスタ2	...	295
MRA0	: 乗算データ・レジスタA0	...	267
MRB0	: 乗算データ・レジスタB0	...	267
MUL0H	: 16ビット乗算結果格納レジスタH	...	267
MUL0L	: 16ビット乗算結果格納レジスタL	...	267
MULC0	: 乗算器コントロール・レジスタ0	...	269

【O】

OSTS	: 発振安定時間選択レジスタ	...	307
------	----------------	-----	-----

【P】

P0	: ポート0	...	78
P1	: ポート1	...	79
P2	: ポート2	...	80
P3	: ポート3	...	85
P5	: ポート5	...	87
P6	: ポート6	...	88
P7	: ポート7	...	90
P8	: ポート8	...	91
PCC	: プロセッサ・クロック・コントロール・レジスタ	...	100
PF7	: ポート・ファンクション・レジスタ7	...	95
PF8	: ポート・ファンクション・レジスタ8	...	95
PM0	: ポート・モード・レジスタ0	...	92
PM1	: ポート・モード・レジスタ1	...	92
PM2	: ポート・モード・レジスタ2	...	92
PM3	: ポート・モード・レジスタ3	...	92, 114, 135
PM5	: ポート・モード・レジスタ5	...	92
PM8	: ポート・モード・レジスタ8	...	92
PUB0	: プルアップ抵抗オプション・レジスタB0	...	94
PUB1	: プルアップ抵抗オプション・レジスタB1	...	94
PUB2	: プルアップ抵抗オプション・レジスタB2	...	94
PUB3	: プルアップ抵抗オプション・レジスタB3	...	94

【R】

RCMN	: リモコン受信制御レジスタ	...	277
RMDH0L	: リモコン受信DH0Lコンペア・レジスタ	...	275
RMDH0S	: リモコン受信DH0Sコンペア・レジスタ	...	275
RMDH1L	: リモコン受信DH1Lコンペア・レジスタ	...	275
RMDH1S	: リモコン受信DH1Sコンペア・レジスタ	...	275
RMDLL	: リモコン受信DLLコンペア・レジスタ	...	274

RMDLS	: リモコン受信DLSコンペア・レジスタ ...	274
RMDR	: リモコン受信データ・レジスタ ...	273
RMER	: リモコン受信エンド幅選択レジスタ ...	276
RMGPHL	: リモコン受信GPHLコンペア・レジスタ ...	274
RMGPHS	: リモコン受信GPHSコンペア・レジスタ ...	274
RMSCR	: リモコン・シフト・レジスタ受信カウンタ・レジスタ ...	273
RMSR	: リモコン受信シフト・レジスタ ...	272
RXB20	: 受信バッファ・レジスタ20 ...	191

[S]

SCKM	: サブ発振モード・レジスタ ...	101
SIO1A0	: シリアルI/Oシフト・レジスタ1A0 ...	220
SSCK	: サブクロック選択レジスタ ...	102

[T]

TCA60	: キャリア・ジェネレータ出力コントロール・レジスタ60 ...	133
TCP20	: 16ビット・キャプチャ・レジスタ20 ...	111
TM20	: 16ビット・タイマ・カウンタ20 ...	111
TM50	: 8ビット・タイマ・カウンタ50 ...	129
TM60	: 8ビット・タイマ・カウンタ60 ...	129
TM61	: 8ビット・タイマ・カウンタ61 ...	129
TMC20	: 16ビット・タイマ・モード・コントロール・レジスタ20 ...	112
TMC50	: 8ビット・タイマ・モード・コントロール・レジスタ50 ...	130
TMC60	: 8ビット・タイマ・モード・コントロール・レジスタ60 ...	131
TMC61	: 8ビット・タイマ・モード・コントロール・レジスタ61 ...	134
TXS20	: 送信シフト・レジスタ20 ...	191

[W]

WDCS	: ウォッチドッグ・タイマ・クロック選択レジスタ ...	170
WDTM	: ウォッチドッグ・タイマ・モード・レジスタ ...	171
WTIM	: 時計用タイマ割り込み時間選択レジスタ ...	165
WTM	: 時計用タイマ・モード・コントロール・レジスタ ...	164

付録D 改版履歴

D.1 本版で改訂された主な箇所

(1/2)

箇所	内 容	分類
第1章 概説		
p.25	1.3 オーダ情報を変更	(d)
p.30	1.5 78K/0Sシリーズの展開を変更	(e)
第4章 ポート機能		
p.78	図4-2 P00-P07のブロック図を修正	(a)
第7章 8ビット・タイマ/イベント・カウンタ50, 60, 61		
p.125	図7-2 タイマ50のブロック図を修正	(c)
p.126	図7-3 タイマ60のブロック図を修正	(c)
p.128	図7-5 出力制御回路(タイマ60)のブロック図を修正	(a)
pp.128, 129	7.2 8ビット・タイマ50, 60, 61の構成の(2), (4)を変更	(c)
p.138	図7-11 8ビット分解能のインターバル・タイマ動作のタイミング(基本動作)を修正	(a)
p.139	図7-13 8ビット分解能のインターバル・タイマ動作のタイミング(CRnm = FFH設定時)を修正	(a)
p.141	図7-17 8ビット分解能の外部イベント・カウンタ動作のタイミングを修正	(c)
p.142	7.4.1 8ビット・タイマ・カウンタ・モードとしての動作の(3)のを修正	(a)
p.151	7.4.3 キャリア・ジェネレータとしての動作に , を追加	(c)
p.152	図7-22 キャリア・ジェネレータの動作タイミング(CR60 = N, CRH60 = M (M > N) 設定時)を修正	(c)
p.153	図7-23 キャリア・ジェネレータの動作タイミング(CR60 = N, CRH60 = M (M < N) 設定時)を修正	(c)
p.155	7.4.4 PWM出力モードとしての動作(タイマ50)を変更	(c)
p.159	7.4.5 PPG出力モードとしての動作(タイマ60, 61)を変更	(c)
p.161	7.5 8ビット・タイマ50, 60, 61の注意事項の(1)を変更	(c)
第10章 8ビットA/Dコンバータ		
p.175	図10-1 8ビットA/Dコンバータのブロック図を変更	(c)
p.184	10.5 8ビットA/Dコンバータの注意事項の(1)を変更	(c)
第11章 シリアル・インタフェース20		
p.189	図11-1 シリアル・インタフェース20のブロック図を変更	(a, c)
p.192	図11-3 シリアル動作モード・レジスタ20のフォーマットに注意3, 4を追加	(c)
p.196	図11-6 ボー・レート・ジェネレータ・コントロール・レジスタ20のフォーマットの注意2, 3を変更	(c)
p.197	表11-3 システム・クロックとボー・レートの関係例の注意を変更	(c)
p.201	11.4.2 アシンクロナス・シリアル・インタフェース(UART)モードの(a)に注意2を追加	(c)
p.204	11.4.2 アシンクロナス・シリアル・インタフェース(UART)モードの(d)の注意2, 3を変更	(c)

備考 表中の「分類」により、改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加/変更, (c) : 説明, 注意事項の追加/変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加/変更, (e) : 関連資料の追加/変更

(2/2)

箇所	内 容	分類
第11章 シリアル・インタフェース20		
p.205	表11 - 5 システム・クロックとポー・レートの関係例の注意を変更	(c)
p.213	11. 4. 3 3線式シリアルI/Oモードの(1)の(a)に注意2, 3を追加	(c)
第15章 リモコン受信回路		
p.272	図15 - 1 リモコン受信回路のブロック図を変更	(c)
p.278	図15 - 3 リモコン受信制御レジスタのフォーマット(2/2)を修正	(a)
第19章 フラッシュ・メモリ製品		
p.320	表19 - 2 通信方式一覧を変更, 注6を追加	(b, c)
p.327	図19 - 9 3線式シリアルI/O方式(ハンドシェークあり)でのフラッシュ書き込み用アダプタ配線例を修正	(a)
第22章 電気的特性		
p.342	μ PD789479, 78F9479の正式スペックを追加	(b)
第24章 半田付け推奨条件		
p.363	章を改訂	(d)
第23章 電気的特性(ターゲット)(μ PD789479, 78F9479)		
旧版	章を削除	(b)

備考 表中の「分類」により, 改訂内容を次のように区分しています。

- (a) : 誤記訂正, (b) : 仕様(スペック含む)の追加 / 変更, (c) : 説明, 注意事項の追加 / 変更,
 (d) : パッケージ, オーダ名称, 管理区分の追加 / 変更, (e) : 関連資料の追加 / 変更

D.2 前版までの改版履歴

これまでの改版履歴を次に示します。なお，適用箇所は各版での章を示します。

(1/2)

版 数	前版からの改版内容	適用箇所
第2版	μ PD789478を追加	全 般
	V _{PP} 端子の端子処理を変更	第2章 端子機能
	図3 - 2 メモリ・マップ(μ PD789478)，図3 - 5 データ・メモリのアドレスシグ(μ PD789478)の図を追加	第3章 CPUアーキテクチャ
	P23, P24のブロック図を変更	第4章 ポート機能
	フィードバック抵抗に関する注を追加	第5章 クロック発生回路
	6. 4. 1 タイマ割り込みとしての動作，6. 4. 2 タイマ出力としての動作の記述を修正	第6章 16ビット・タイマ20
	タイマ・モード・コントロール・レジスタ60, 61 (TMC60, TMC61) のビット0のビット名称を修正	第7章 8ビット・タイマ50, 60, 61
	キャリア・ジェネレータ出力コントロール・レジスタ60 (TCA60) の注意事項を追加	
	表7 - 8 タイマ61の方形波出力範囲の値を訂正	
	10. 5 (8) ANI0-ANI7端子の入力インピーダンスについての記述を追加	第10章 8ビットA/Dコンバータ
	図11 - 1 シリアル・インタフェース20のブロック図を修正	第11章 シリアル・インタフェース20
	図11 - 5 アシンクロナス・シリアル・インタフェース・ステータス・レジスタ20のフォーマットで，PE20フラグの説明を修正	
	UARTの受信データ読み出しの説明を追加	
	図13 - 2 LCDコントローラ/ドライバのブロック図を修正	第13章 LCDコントローラ/ドライバ
	フラッシュ・メモリ・プログラミングに関する内容を，19. 1 フラッシュ・メモリの特徴として全面改訂	第19章 μ PD78F9478
	電気的特性を追加	第22章 電気的特性
	外形図を追加	第23章 外形図
	半田付け推奨条件を追加	第24章 半田付け推奨条件
	開発ツールの内容を全面改訂	付録A 開発ツール
	組み込み用ソフトウェアを削除	
	改版履歴を追加	付録C 改版履歴

(2/2)

版 数	前版からの改版内容	適用箇所
第3版	μ PD789479, 78F9479を追加 80ピン・プラスチックTQFP（ファインピッチ）（12×12）の追加	全 般
	1. 5 78K/0Sシリーズの展開で，製品展開図を最新版に修正	第1章 概 説
	表3 - 3 内部高速RAM，内部低速RAM容量を追加	第3章 CPUアーキテクチャ
	図5 - 3 プロセッサ・クロック・コントロール・レジスタのフォーマット， 5. 5 クロック発生回路の動作で，最小命令実行時間の表示の仕方を修正 5. 4. 6 サブシステム・クロック4通倍回路を追加	第5章 クロック発生回路
	6. 5 16ビット・タイマ20の注意事項を追加	第6章 16ビット・タイマ20
	図13 - 2 LCDコントローラノドライバのブロック図を修正 13. 8 LCD駆動用電源の接続例を追加	第13章 LCDコントローラ ノドライバ
	キー・リターン・モード・レジスタ01（KRM01）の記述を追加	第16章 割り込み機能
	表19 - 2 通信方式一覧で，CPU CLOCKの記述を修正 図19 - 3 専用フラッシュ・ライタとの接続例で，注1の記述を変更	第19章 フラッシュ・メモリ 製品
	章を追加	第23章 電気的特性（ターゲット）（μ PD789479, 78F9479）
	A. 4 フラッシュ・メモリ書き込み用ツールで，Flashpro とFA-80GK- 9EUを追加 A. 5 デバッグ用ツール（ハードウェア）を修正	付録A 開発ツール
	章を追加	付録B ターゲット・システム設計上の注意

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL（アドレス） <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。
