

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りが無いことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

ユーザース・マニュアル

78K0R/Ix3

16ビット・シングルチップ・マイクロコントローラ

78K0R/IB3 : μ PD78F1201, 78F1203

78K0R/IC3 : μ PD78F1211, 78F1213, 78F1214, 78F1215

78K0R/ID3 : μ PD78F1223, 78F1224, 78F1225

78K0R/IE3 : μ PD78F1233, 78F1234, 78F1235

(メモ)

目次要約

第1章	概 説	...	19
第2章	端子機能	...	37
第3章	CPUアーキテクチャ	...	97
第4章	ポート機能	...	144
第5章	クロック発生回路	...	220
第6章	タイマ・アレイ・ユニットTAUS	...	263
第7章	インバータ制御機能	...	358
第8章	コンパレータ/プログラマブル・ゲイン・アンプ	...	517
第9章	リアルタイム・カウンタ	...	536
第10章	ウォッチドッグ・タイマ	...	556
第11章	クロック出力/ブザー出力制御回路	...	563
第12章	A/Dコンバータ	...	569
第13章	シリアル・アレイ・ユニット	...	599
第14章	シリアル・インタフェースIICA	...	743
第15章	乗除算器	...	821
第16章	DMAコントローラ	...	830
第17章	割り込み機能	...	850
第18章	スタンバイ機能	...	878
第19章	リセット機能	...	893
第20章	パワーオン・クリア回路	...	904
第21章	低電圧検出回路	...	909
第22章	レギュレータ	...	927
第23章	オプション・バイト	...	929
第24章	フラッシュ・メモリ	...	935
第25章	オンチップ・デバッグ機能	...	957
第26章	10進補正 (BCD) 回路	...	960
第27章	命令セットの概要	...	963
第28章	電気的特性	...	984
第29章	外形図	...	1031
付録A	開発ツール	...	1038

CMOSデバイスの一般的注意事項

- (1) 入力端子の印加波形：入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。CMOSデバイスの入力がノイズなどに起因して、VIL (MAX.) から VIH (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、VIL (MAX.) から VIH (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。
- (2) 未使用入力の処理：CMOSデバイスの未使用端子の入力レベルは固定してください。未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介してVDDまたはGNDに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。
- (3) 静電気対策：MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。
- (4) 初期化以前の状態 電源投入時、MOSデバイスの初期状態は不定です。電源投入時の端子の出力状態や出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。
- (5) 電源投入切断順序 内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。
- (6) 電源OFF時における入力信号 当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れしないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

EEPROMは、NECエレクトロニクス株式会社の登録商標です。

Windows、Windows NTおよびWindows XPは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

PC/ATは、米国IBM社の商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

注意：本製品はSilicon Storage Technology, Inc.からライセンスを受けたSuperFlash®を使用しています。

- ・本資料に記載されている内容は2009年11月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- ・文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- ・当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- ・本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- ・当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- ・当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

「標準水準」：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

「特別水準」：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

「特定水準」：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

注1. 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。

注2. 本事項において使用されている「当社製品」とは、注1において定義された当社の開発、製造製品をいう。

(M8E0909J)

はじめに

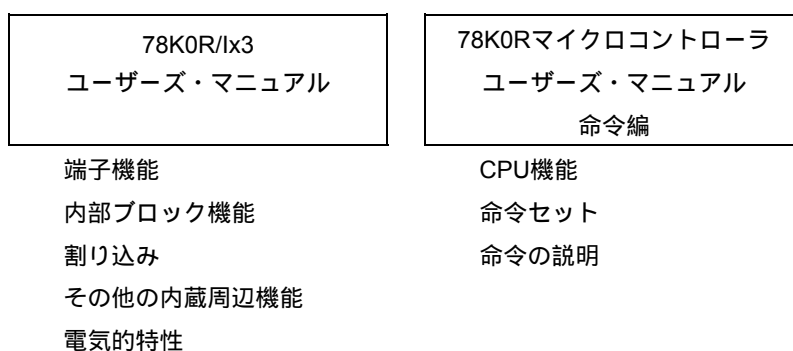
対象者 このマニュアルは78K0R/Ix3の機能を理解し、その応用システムや応用プログラムを設計、開発するユーザのエンジニアを対象としています。

対象製品は、次に示す各製品です。

- ・ 78K0R/IB3 : μ PD78F1201, 78F1203
- ・ 78K0R/IC3 : μ PD78F1211, 78F1213, 78F1214, 78F1215
- ・ 78K0R/ID3 : μ PD78F1223, 78F1224, 78F1225
- ・ 78K0R/IE3 : μ PD78F1233, 78F1234, 78F1235

目的 このマニュアルは、次の構成に示す機能をユーザに理解していただくことを目的としています。

構成 78K0R/Ix3のマニュアルは、このマニュアルと命令編（78K0Rマイクロコントローラ共通）の2冊に分かれています。



読み方 このマニュアルを読むにあたっては、電気、論理回路、マイクロコントローラの一般知識を必要とします。

一通りの機能を理解しようとするとき

目次に従って読んでください。

レジスタ・フォーマットの見方

ビット番号を で囲んでいるものは、そのビット名称がRA78K0Rでは予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。

78K0Rマイクロコントローラの命令機能の詳細を知りたいとき

別冊の78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編（U17792J）を参照してください。

凡例

データ表記の重み	: 左が上位桁, 右が下位桁
アクティブ・ロウの表記	: $\overline{\text{xxx}}$ (端子, 信号名称に上線)
注	: 本文中につけた注の説明
注意	: 気をつけて読んでいただきたい内容
備考	: 本文の補足説明
数の表記	: 2進数... xxxxB 10進数... xxxx 16進数... xxxxH

関連資料

関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

デバイスの関連資料

資料名	資料番号	
	和文	英文
78K0R/lx3 ユーザーズ・マニュアル	このマニュアル	U19678E
78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編	U17792J	U17792E

開発ツールの資料 (ユーザーズ・マニュアル)

資料名	資料番号		
	和文	英文	
CC78K0R Ver.2.00 Cコンパイラ	操作編	U18549J	U18549E
	言語編	U18548J	U18548E
RA78K0R Ver.1.20 アセンブラ・パッケージ	操作編	U18547J	U18547E
	言語編	U18546J	U18546E
SM+ システム・シミュレータ	操作編	U18601J	U18601E
PM+ Ver.6.30		U18416J	U18416E
ID78K0R-QB Ver.3.20 統合デバッガ	操作編	U17839J	U17839E

開発ツール (ハードウェア) の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E
QB-78K0RIX3 インサーキット・エミュレータ	U19228J	U19228E

フラッシュ・メモリ書き込み用の資料 (ユーザーズ・マニュアル)

資料名	資料番号	
	和文	英文
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

その他の資料

資料名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電 (ESD) 破壊対策ガイド	C11892J	C11892E
半導体 品質 / 信頼性ハンドブック	C12769J	-
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	-

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 ...	19
1.1 特 徴 ...	20
1.2 応用分野 ...	21
1.3 オーダ情報 ...	21
1.4 端子接続図 (Top View) ...	22
1.4.1 78K0R/IB3 ...	22
1.4.2 78K0R/IC3 ...	23
1.4.3 78K0R/ID3 ...	26
1.4.4 78K0R/IE3 ...	27
1.5 端子名称 ...	28
1.6 ブロック図 ...	29
1.6.1 78K0R/IB3 ...	29
1.6.2 78K0R/IC3 ...	30
1.6.3 78K0R/ID3 ...	33
1.6.4 78K0R/IE3 ...	34
1.7 機能概要 ...	35
第2章 端子機能 ...	37
2.1 端子機能一覧 ...	37
2.1.1 78K0R/IB3 ...	38
2.1.2 78K0R/IC3 ...	41
2.1.3 78K0R/ID3 ...	53
2.1.4 78K0R/IE3 ...	58
2.2 端子機能の説明 ...	63
2.2.1 P00, P01 (Port 0) ...	63
2.2.2 P10-P17 (Port 1) ...	64
2.2.3 P20-P27 (Port 2) ...	65
2.2.4 P30-P33 (Port 3) ...	66
2.2.5 P40-P43 (Port 4) ...	67
2.2.6 P50-P53 (Port 5) ...	68
2.2.7 P60, P61 (Port 6) ...	70
2.2.8 P70-P77 (Port 7) ...	70
2.2.9 P80-P83 (Port 8) ...	72
2.2.10 P120-P124 (Port 12) ...	73
2.2.11 P140, P141 (Port 14) ...	74
2.2.12 P150-P153 (Port 15) ...	75
2.2.13 AVREF ...	75
2.2.14 AVSS ...	76
2.2.15 $\overline{\text{RESET}}$...	76
2.2.16 REGC ...	76
2.2.17 VDD, EVDD ...	76
2.2.18 VSS, EVSS ...	76

- 2.2.19 FLMD0 ... 77
- 2.3 端子の入出力回路と未使用端子の処理 ... 78
 - 2.3.1 78K0R/IB3 ... 78
 - 2.3.2 78K0R/IC3 ... 80
 - 2.3.3 78K0R/ID3 ... 88
 - 2.3.4 78K0R/IE3 ... 91

第3章 CPUアーキテクチャ ... 97

- 3.1 メモリ空間 ... 97
 - 3.1.1 内部プログラム・メモリ空間 ... 103
 - 3.1.2 ミラー領域 ... 106
 - 3.1.3 内部データ・メモリ空間 ... 107
 - 3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域 ... 108
 - 3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域 ... 108
 - 3.1.6 データ・メモリ・アドレッシング ... 109
- 3.2 プロセッサ・レジスタ ... 113
 - 3.2.1 制御レジスタ ... 113
 - 3.2.2 汎用レジスタ ... 115
 - 3.2.3 ES, CSレジスタ ... 117
 - 3.2.4 特殊機能レジスタ (SFR : Special Function Register) ... 118
 - 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) ... 124
- 3.3 命令アドレスのアドレッシング ... 131
 - 3.3.1 レラティブ・アドレッシング ... 131
 - 3.3.2 イミディエト・アドレッシング ... 131
 - 3.3.3 テーブル・インダイレクト・アドレッシング ... 132
 - 3.3.4 レジスタ・ダイレクト・アドレッシング ... 133
- 3.4 処理データ・アドレスに対するアドレッシング ... 134
 - 3.4.1 インプライド・アドレッシング ... 134
 - 3.4.2 レジスタ・アドレッシング ... 134
 - 3.4.3 ダイレクト・アドレッシング ... 135
 - 3.4.4 ショート・ダイレクト・アドレッシング ... 136
 - 3.4.5 SFRアドレッシング ... 137
 - 3.4.6 レジスタ・インダイレクト・アドレッシング ... 138
 - 3.4.7 ベースト・アドレッシング ... 139
 - 3.4.8 ベースト・インデクスト・アドレッシング ... 142
 - 3.4.9 スタック・アドレッシング ... 143

第4章 ポート機能 ... 144

- 4.1 ポートの機能 ... 144
- 4.2 ポートの構成 ... 149
 - 4.2.1 ポート0 ... 151
 - 4.2.2 ポート1 ... 153
 - 4.2.3 ポート2 ... 155
 - 4.2.4 ポート3 ... 157
 - 4.2.5 ポート4 ... 161
 - 4.2.6 ポート5 ... 164
 - 4.2.7 ポート6 ... 168

4.2.8	ポート7	...	169
4.2.9	ポート8	...	177
4.2.10	ポート12	...	180
4.2.11	ポート14	...	185
4.2.12	ポート15	...	188
4.3	ポート機能を制御するレジスタ	...	190
4.4	ポート機能の動作	...	206
4.4.1	入出力ポートへの書き込み	...	206
4.4.2	入出力ポートからの読み出し	...	206
4.4.3	入出力ポートでの演算	...	206
4.4.4	異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法	...	207
4.5	兼用機能使用時のポート・モード・レジスタ, 出力ラッチの設定	...	209
4.6	ポート・レジスタ _n (P _n) に対する1ビット・メモリ操作命令に関する注意事項	...	219

第5章 クロック発生回路 ... 220

5.1	クロック発生回路の機能	...	220
5.2	クロック発生回路の構成	...	221
5.3	クロック発生回路を制御するレジスタ	...	224
5.4	システム・クロック発振回路	...	240
5.4.1	X1発振回路	...	240
5.4.2	XT1発振回路 (78K0R/IB3以外の製品)	...	240
5.4.3	高速内蔵発振回路	...	244
5.4.4	低速内蔵発振回路	...	244
5.4.5	プリスケータ	...	244
5.5	クロック発生回路の動作	...	245
5.6	クロックの制御	...	248
5.6.1	高速内蔵発振回路の設定例	...	248
5.6.2	40 MHz高速内蔵発振回路の設定例	...	248
5.6.3	X1発振回路の設定例	...	249
5.6.4	XT1発振回路の設定例 (78K0R/IB3以外の製品)	...	250
5.6.5	CPUクロック状態移行図	...	251
5.6.6	CPUクロックの移行前の条件と移行後の処理	...	259
5.6.7	CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間	...	261
5.6.8	クロック発振停止前の条件	...	262

第6章 タイマ・アレイ・ユニットTAUS ... 263

6.1	タイマ・アレイ・ユニットTAUSの機能	...	265
6.1.1	単独チャンネル動作機能	...	265
6.1.2	複数チャンネル連動動作機能	...	266
6.1.3	LIN-bus対応機能	...	268
6.2	タイマ・アレイ・ユニットTAUSの構成	...	269
6.3	タイマ・アレイ・ユニットTAUSを制御するレジスタ	...	277
6.4	複数チャンネル連動動作機能の基本ルール	...	305
6.5	チャンネル出力 (TOn端子) の制御	...	307
6.5.1	TOn端子の出力回路の構成 (インバータ制御機能を使用しない場合)	...	307
6.5.2	TOn端子の出力設定	...	308
6.5.3	チャンネル出力操作時の注意事項	...	308

6.5.4	TOnビットの一括操作	...	312
6.5.5	カウント動作開始時のタイマ割り込みとTOn端子出力について	...	313
6.6	チャンネル入力 (TIn端子) の制御	...	314
6.6.1	TInエッジ検出回路	...	314
6.7	タイマ・アレイ・ユニットTAUSの単独チャンネルでの動作	...	315
6.7.1	インターバル・タイマ/方形波出力としての動作	...	315
6.7.2	外部イベント・カウンタとしての動作	...	321
6.7.3	分周器としての動作 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ)	...	325
6.7.4	入力パルス間隔測定としての動作	...	329
6.7.5	入力信号のハイ/ロウ・レベル幅測定としての動作	...	333
6.8	タイマ・アレイ・ユニットTAUSの複数チャンネル連動動作機能	...	337
6.8.1	ワンショット・パルス出力機能としての動作	...	337
6.8.2	PWM機能としての動作	...	344
6.8.3	多重PWM出力機能としての動作	...	351

第7章 インバータ制御機能 ... 358

7.1	機能概要	...	358
7.2	インバータ制御機能の構成	...	361
7.3	タイマ・アレイ・ユニットTAUSとインバータ制御機能部を制御するレジスタ	...	365
7.4	リアルタイム出力機能の基本ルール	...	380
7.5	インバータ制御機能での動作	...	382
7.5.1	リアルタイム出力機能 (タイプ1) としての動作	...	382
7.5.2	リアルタイム出力機能 (タイプ2) としての動作	...	388
7.5.3	6相PWM出力機能としての動作	...	395
7.5.4	三角波PWM出力機能としての動作	...	402
7.5.5	デッド・タイム付き三角波PWM出力機能としての動作	...	409
7.5.6	6相三角波PWM出力機能としての動作	...	418
7.5.7	割り込み信号間引き機能	...	427
7.5.8	A/D変換トリガ出力機能 (タイプ1) としての動作	...	433
7.5.9	A/D変換トリガ出力機能 (タイプ2) としての動作	...	439
7.5.10	連動リアルタイム出力機能 (タイプ1) としての動作	...	447
7.5.11	連動リアルタイム出力機能 (タイプ2) としての動作	...	455
7.5.12	連動リアルタイム出力機能 (タイプ3) としての動作	...	464
7.5.13	非相補方式変調出力機能 (タイプ1) としての動作	...	473
7.5.14	非相補方式変調出力機能 (タイプ2) としての動作	...	484
7.5.15	相補方式変調出力機能としての動作	...	495
7.6	過電流検出機能	...	509

第8章 コンパレータ/プログラマブル・ゲイン・アンプ ... 517

8.1	コンパレータ/プログラマブル・ゲイン・アンプの機能	...	517
8.2	コンパレータ/プログラマブル・ゲイン・アンプの構成	...	521
8.3	コンパレータ/プログラマブル・ゲイン・アンプを制御するレジスタ	...	521
8.4	コンパレータ/プログラマブル・ゲイン・アンプの動作	...	529
8.4.1	コンパレータ/プログラマブル・ゲイン・アンプの動作開始	...	529
8.4.2	コンパレータ/プログラマブル・ゲイン・アンプの動作停止	...	534

第9章	リアルタイム・カウンタ	...	536
9.1	リアルタイム・カウンタの機能	...	536
9.2	リアルタイム・カウンタの構成	...	536
9.3	リアルタイム・カウンタを制御するレジスタ	...	538
9.4	リアルタイム・カウンタの動作	...	551
9.4.1	リアルタイム・カウンタの動作開始	...	551
9.4.2	動作開始後のSTOPモードへの移行	...	552
9.4.3	リアルタイム・カウンタのカウント読み出し/書き込み	...	553
9.4.4	リアルタイム・カウンタのアラーム設定	...	555
第10章	ウォッチドッグ・タイマ	...	556
10.1	ウォッチドッグ・タイマの機能	...	556
10.2	ウォッチドッグ・タイマの構成	...	557
10.3	ウォッチドッグ・タイマを制御するレジスタ	...	558
10.4	ウォッチドッグ・タイマの動作	...	559
10.4.1	ウォッチドッグ・タイマの動作制御	...	559
10.4.2	ウォッチドッグ・タイマのオーバフロー時間の設定	...	560
10.4.3	ウォッチドッグ・タイマのウインドウ・オープン期間の設定	...	561
10.4.4	ウォッチドッグ・タイマのインターバル割り込みの設定	...	562
第11章	クロック出力/ブザー出力制御回路	...	563
11.1	クロック出力/ブザー出力制御回路の機能	...	563
11.2	クロック出力/ブザー出力制御回路の構成	...	565
11.3	クロック出力/ブザー出力制御回路を制御するレジスタ	...	565
11.4	クロック出力/ブザー出力制御回路の動作	...	568
11.4.1	出力端子の動作	...	568
第12章	A/Dコンバータ	...	569
12.1	A/Dコンバータの機能	...	569
12.2	A/Dコンバータの構成	...	571
12.3	A/Dコンバータで使用するレジスタ	...	573
12.4	A/Dコンバータの動作	...	585
12.4.1	A/Dコンバータの基本動作	...	585
12.4.2	入力電圧と変換結果	...	587
12.4.3	トリガ・モードの選択	...	588
12.4.4	A/Dコンバータの動作モード	...	589
12.5	A/Dコンバータ特性表の読み方	...	592
12.6	A/Dコンバータの注意事項	...	595
第13章	シリアル・アレイ・ユニット	...	599
13.1	シリアル・アレイ・ユニットの機能	...	600
13.1.1	3線シリアルI/O (CSI00, CSI01, CSI10)	...	600
13.1.2	UART (UART0, UART1)	...	601

13.1.3	簡易I ² C (IIC10)	...	602
13.2	シリアル・アレイ・ユニットの構成	...	603
13.3	シリアル・アレイ・ユニットを制御するレジスタ	...	609
13.4	動作停止モード	...	632
13.4.1	ユニット単位で動作停止とする場合	...	633
13.4.2	チャンネルごとに動作停止とする場合	...	634
13.5	3線シリアルI/O (CSI00, CSI01, CSI10) 通信の動作	...	635
13.5.1	マスタ送信	...	636
13.5.2	マスタ受信	...	644
13.5.3	マスタ送受信	...	652
13.5.4	スレーブ送信	...	660
13.5.5	スレーブ受信	...	668
13.5.6	スレーブ送受信	...	674
13.5.7	転送クロック周波数の算出	...	682
13.5.8	3線シリアルI/O (CSI00, CSI01, CSI10) 通信時におけるエラー発生時の処理手順	...	685
13.6	UART (UART0, UART1) 通信の動作	...	686
13.6.1	UART送信	...	687
13.6.2	UART受信	...	696
13.6.3	LIN送信	...	703
13.6.4	LIN受信	...	706
13.6.5	ボー・レートの算出	...	713
13.6.6	UART (UART0, UART1) 通信時におけるエラー発生時の処理手順	...	717
13.7	簡易I ² C (IIC10) 通信の動作	...	718
13.7.1	アドレス・フィールド送信	...	719
13.7.2	データ送信	...	724
13.7.3	データ受信	...	727
13.7.4	ストップ・コンディション発生	...	731
13.7.5	転送レートの算出	...	732
13.7.6	簡易I ² C (IIC10) 通信時におけるエラー発生時の処理手順	...	735
13.8	レジスタの設定と端子の関係	...	736
13.8.1	チャンネル0のレジスタ設定と端子の関係	...	736
13.8.2	チャンネル1のレジスタ設定と端子の関係	...	738
13.8.3	チャンネル2のレジスタ設定と端子の関係	...	740
13.8.4	チャンネル3のレジスタ設定と端子の関係	...	742

第14章 シリアル・インタフェースIICA ... 743

14.1	シリアル・インタフェースIICAの機能	...	743
14.2	シリアル・インタフェースIICAの構成	...	746
14.3	シリアル・インタフェースIICAを制御するレジスタ	...	749
14.4	I ² Cバス・モードの機能	...	763
14.4.1	端子構成	...	763
14.4.2	IICWL, IICWHレジスタによる転送クロック設定方法	...	764
14.5	I ² Cバスの定義および制御方法	...	765
14.5.1	スタート・コンディション	...	765
14.5.2	アドレス	...	766
14.5.3	転送方向指定	...	766
14.5.4	アクノリッジ (ACK)	...	767

14.5.5	ストップ・コンディション	...	768
14.5.6	ウェイト	...	769
14.5.7	ウェイト解除方法	...	771
14.5.8	割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御	...	772
14.5.9	アドレスの一致検出方法	...	773
14.5.10	エラーの検出	...	773
14.5.11	拡張コード	...	774
14.5.12	アービトレーション	...	775
14.5.13	ウェイク・アップ機能	...	777
14.5.14	通信予約	...	780
14.5.15	その他の注意事項	...	784
14.5.16	通信動作	...	785
14.5.17	I ² C割り込み要求 (INTIICA) の発生タイミング	...	793
14.6	タイミング・チャート	...	814

第15章 乗除算器 ... 821

15.1	乗除算器の機能	...	821
15.2	乗除算器の構成	...	821
15.3	乗除算器を制御するレジスタ	...	826
15.4	乗除算器の動作	...	827
15.4.1	乗算動作	...	827
15.4.2	除算動作	...	828

第16章 DMAコントローラ ... 830

16.1	DMAコントローラの機能	...	830
16.2	DMAコントローラの構成	...	831
16.3	DMAコントローラを制御するレジスタ	...	834
16.4	DMAコントローラの動作	...	837
16.4.1	動作手順	...	837
16.4.2	転送モード	...	838
16.4.3	DMA転送の終了	...	838
16.5	DMAコントローラの設定例	...	839
16.5.1	CSI連続送信	...	839
16.5.2	A/D変換結果の連続取り込み	...	841
16.5.3	UART連続受信 + ACK送信	...	843
16.5.4	DWAITnによるDMA転送保留	...	845
16.5.5	ソフトウェアでの強制終了	...	846
16.6	DMAコントローラの注意事項	...	848

第17章 割り込み機能 ... 850

17.1	割り込み機能の種類	...	850
17.2	割り込み要因と構成	...	850
17.3	割り込み機能を制御するレジスタ	...	857
17.4	割り込み処理動作	...	870
17.4.1	マスクプル割り込み要求の受け付け動作	...	870
17.4.2	ソフトウェア割り込み要求の受け付け動作	...	873

- 17.4.3 多重割り込み処理 ... 873
- 17.4.4 割り込み要求の保留 ... 877

第18章 スタンバイ機能 ... 878

- 18.1 スタンバイ機能と構成 ... 878
 - 18.1.1 スタンバイ機能 ... 878
 - 18.1.2 スタンバイ機能を制御するレジスタ ... 879
- 18.2 スタンバイ機能の動作 ... 883
 - 18.2.1 HALTモード ... 883
 - 18.2.2 STOPモード ... 888

第19章 リセット機能 ... 893

- 19.1 リセット要因を確認するレジスタ ... 903

第20章 パワーオン・クリア回路 ... 904

- 20.1 パワーオン・クリア回路の機能 ... 904
- 20.2 パワーオン・クリア回路の構成 ... 905
- 20.3 パワーオン・クリア回路の動作 ... 905
- 20.4 パワーオン・クリア回路の注意事項 ... 907

第21章 低電圧検出回路 ... 909

- 21.1 低電圧検出回路の機能 ... 909
- 21.2 低電圧検出回路の構成 ... 910
- 21.3 低電圧検出回路を制御するレジスタ ... 910
- 21.4 低電圧検出回路の動作 ... 914
 - 21.4.1 リセットとして使用時の設定 ... 914
 - 21.4.2 割り込みとして使用時の設定 ... 919
- 21.5 低電圧検出回路の注意事項 ... 923

第22章 レギュレータ ... 927

- 22.1 レギュレータの概要 ... 927
- 22.2 レギュレータを制御するレジスタ ... 927

第23章 オプション・バイト ... 929

- 23.1 オプション・バイトの機能 ... 929
 - 23.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H) ... 929
 - 23.1.2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) ... 930
- 23.2 ユーザ・オプション・バイトのフォーマット ... 931
- 23.3 オンチップ・デバッグ・オプション・バイトのフォーマット ... 933
- 23.4 オプション・バイトの設定 ... 934

第24章	フラッシュ・メモリ	...	935
24.1	フラッシュ・メモリ・プログラマによる書き込み方法	...	935
24.2	プログラミング環境	...	943
24.3	通信方式	...	943
24.4	オンボード上の端子処理	...	944
24.4.1	FLMD0端子	...	944
24.4.2	TOOL0端子	...	945
24.4.3	RESET端子	...	945
24.4.4	ポート端子	...	946
24.4.5	REGC端子	...	946
24.4.6	X1, X2端子	...	946
24.4.7	電 源	...	946
24.5	フラッシュ・メモリを制御するレジスタ	...	947
24.6	プログラミング方法	...	947
24.6.1	フラッシュ・メモリ制御	...	947
24.6.2	フラッシュ・メモリ・プログラミング・モード	...	948
24.6.3	通信方式	...	948
24.6.4	通信コマンド	...	949
24.7	セキュリティ設定	...	950
24.8	セルフ書き込みによるフラッシュ・メモリ・プログラミング	...	952
24.8.1	ブート・スワップ機能	...	954
24.8.2	フラッシュ・シールド・ウインドウ機能	...	956

第25章 オンチップ・デバッグ機能 ... 957

25.1	QB-MINI2と78K0R/1x3の接続	...	957
25.2	オンチップ・デバッグ・セキュリティID	...	958
25.3	ユーザ資源の確保	...	958

第26章 10進補正 (BCD) 回路 ... 960

26.1	10進補正回路の機能	...	960
26.2	10進補正回路で使用するレジスタ	...	960
26.3	10進補正回路の動作	...	961

第27章 命令セットの概要 ... 963

27.1	凡 例	...	964
27.1.1	オペランドの表現形式と記述方法	...	964
27.1.2	オペレーション欄の説明	...	965
27.1.3	フラグ動作欄の説明	...	966
27.1.4	PREFIX命令	...	966
27.2	オペレーション一覧	...	967

第28章 電気的特性 ... 984

第29章 外形図 ... 1031

- 29.1 78K0R/IB3 ... 1031
- 29.2 78K0R/IC3 ... 1032
- 29.3 78K0R/ID3 ... 1035
- 29.4 78K0R/IE3 ... 1036

付録A 開発ツール ... 1038

- A.1 ソフトウェア・パッケージ ... 1041
- A.2 言語処理用ソフトウェア ... 1041
- A.3 制御ソフトウェア ... 1042
- A.4 フラッシュ・メモリ書き込み用ツール ... 1042
 - A.4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合 ... 1042
 - A.4.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 1043
- A.5 デバッグ用ツール(ハードウェア) ... 1044
 - A.5.1 インサーキット・エミュレータ QB-78K0RIX3を使用する場合 ... 1044
 - A.5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合 ... 1046
- A.6 デバッグ用ツール(ソフトウェア) ... 1046

第1章 概 説

78K0R/1x3は、78K0R CPUコアを使用し、ROM/RAM、多機能タイマ、多機能シリアル・インタフェース、A/Dコンバータ、プログラマブル・ゲイン・アンプ (PGA)、コンパレータ、リアルタイム・カウンタ、ウォッチドッグ・タイマなどの周辺機能を内蔵した16ビット・シングルチップ・マイクロコントローラです。

本製品は、1チップで簡単なシステム制御ができるインバータ制御系のアプリケーション用途に開発しました。様々なセットに対応可能なPWM生成機能をもつ多機能タイマ (タイマ・アレイ・ユニットTAUS) は、最速40 MHz分解能で動作し、デッド・タイム付きPWM (相補PWM×2チャンネル) 出力機能、デッド・タイム付き6相PWM出力機能、DCインバータ用リアルタイム出力機能などを有し、インバータ制御を実現することができます。さらに、この多機能タイマはコンパレータと連動し、PWM出力端子 (TO02-TO07) をハイ・インピーダンスにするフェイル・セーフ機能も内蔵しています。

また、高速内蔵発振器 (CPUクロック 20MHz、タイマ 40MHz) を搭載することにより、発振子が外れてしまう可能性があるアプリケーションでも安心して使用できます。

78K0R/1x3は、様々な場面で高いコスト・パフォーマンスをお客様にご提供できる製品です。

備考 製品により、搭載している機能が異なります。1.6 **ブロック図**、1.7 **機能概要**を参照してください。

1.1 特 徴

高速 (0.05 μ s : 高速システム・クロック20 MHz動作時) から超低速 (61 μ s : サブシステム・クロック32.768 kHz動作時) まで最小命令実行時間を変更可能

汎用レジスタ : 8ビット×32レジスタ (8ビット×8レジスタ×4バンク)

ROM, RAM容量

フラッシュ ROM	RAM	78K0R/IB3	78K0R/IC3				78K0R/ID3	78K0R/IE3
		30ピン	38ピン	44ピン	48ピン	52ピン	64ピン	
64 KB	3 KB ^注	-	-	-	μ PD78F1215	μ PD78F1225	μ PD78F1235	
48 KB	2 KB	-	-	-	μ PD78F1214	μ PD78F1224	μ PD78F1234	
32 KB	1.5 KB	μ PD78F1203	μ PD78F1213	μ PD78F1213	μ PD78F1213	μ PD78F1223	μ PD78F1233	
16 KB	1 KB	μ PD78F1201	μ PD78F1211	μ PD78F1211	-	-	-	

注 セルフ・プログラミング機能使用時は2 KB

高速内蔵発振クロック内蔵

- ・40 MHz高速内蔵発振クロック : 40 MHz (TYP.) (タイマ・アレイ・ユニット用)
: 20 MHz (TYP.) (CPUとタイマ・アレイ・ユニット以外の周辺機能)
- ・8 MHz高速内蔵発振クロック : 8 MHz (TYP.)

単電源のフラッシュ・メモリ内蔵 (チップ消去 / ブロック消去 / 書き込み禁止機能あり)

セルフ・プログラミング機能対応 (ブート・スワップ / フラッシュ・シールド・ウインドウ機能あり)

オンチップ・デバッグ機能内蔵

パワーオン・クリア (POC) 回路, 低電圧検出 (LVI) 回路内蔵

ウォッチドッグ・タイマ内蔵 (専用の低速内蔵発振クロックで動作可能)

乗除算器 (16ビット×16ビット, 32ビット÷32ビット) 内蔵

クロック出力 / ブザー出力制御回路内蔵

10進補正 (BCD) 回路内蔵

I/Oポート : 23本 ~ 55本 (N-chオープン・ドレイン : 2本)

タイマ

- ・16ビット・タイマ
- ・ウォッチドッグ・タイマ
- ・リアルタイム・カウンタ
- ・モータ制御用オプション・ユニット内蔵

コンパレータ / プログラマブル・ゲイン・アンプ機能内蔵

シリアル・インタフェース

- ・CSI
- ・UART / UART (LIN-bus対応)
- ・簡易I²C
- ・I²C

10ビット分解能A/Dコンバータ (AV_{REF} = 2.7 ~ 5.5 V) : 6 ~ 12チャンネル

電源電圧 : V_{DD} = 2.7 ~ 5.5 V

動作周囲温度 : T_A = -40 ~ +85

備考 製品により, 搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

1.2 応用分野

家電製品

- ・空気清浄機
- ・エアコン
- ・冷蔵庫
- ・食器洗い器

電動自転車

1.3 オーダ情報

・フラッシュ・メモリ製品（鉛フリー製品）

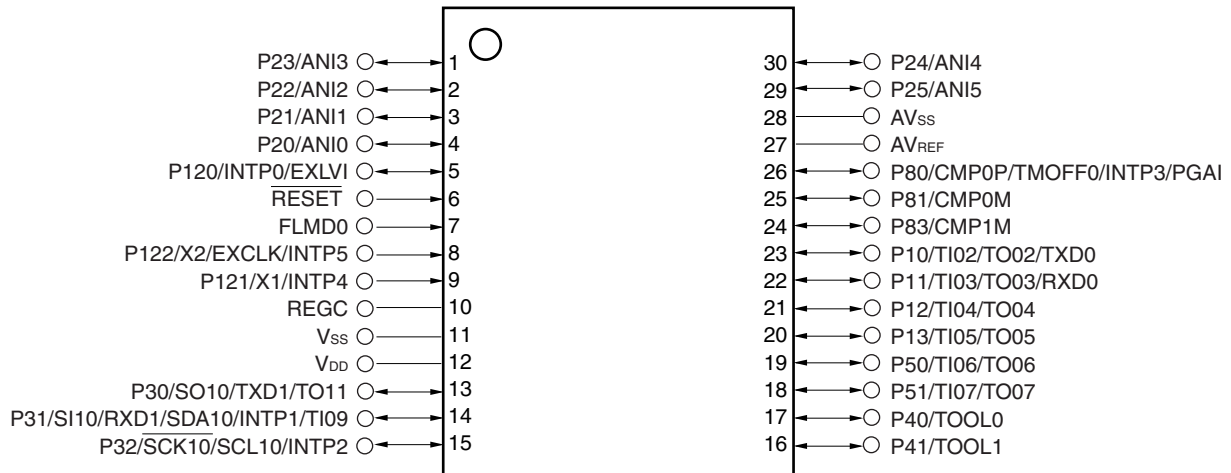
78K0R/1x3 マイクロコン トローラ	パッケージ	オーダ名称
78K0R/1B3	30ピン・プラスチックSSOP（7.62 mm（300））	μPD78F1201MC-CAB-AX, 78F1203MC-CAB-AX
78K0R/1C3	38ピン・プラスチックSSOP（7.62 mm（300））	μPD78F1211MC-GAA-AX, 78F1213MC-GAA-AX
	44ピン・プラスチックLQFP（10x10）	μPD78F1211GB-GAF-AX, 78F1213GB-GAF-AX
	48ピン・プラスチックTQFP（ファインピッチ）（7x7）	μPD78F1213GA-HAA-AX, 78F1214GA-HAA-AX, 78F1215GA-HAA-AX
78K0R/1D3	52ピン・プラスチックLQFP（10x10）	μPD78F1223GB-GAG-AX, 78F1224GB-GAG-AX, 78F1225GB-GAG-AX
78K0R/1E3	64ピン・プラスチックLQFP（12x12）	μPD78F1233GK-GAJ-AX, 78F1234GK-GAJ-AX, 78F1235GK-GAJ-AX
	64ピン・プラスチックLQFP（ファインピッチ）（10x10）	μPD78F1233GB-GAH-AX, 78F1234GB-GAH-AX, 78F1235GB-GAH-AX

注意 78K0R/1x3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

1.4 端子接続図 (Top View)

1.4.1 78K0R/IB3

・ 30ピン・プラスチックSSOP (7.62 mm (300))



注意 1. AV_{SS}端子はV_{SS}と同電位にしてください。

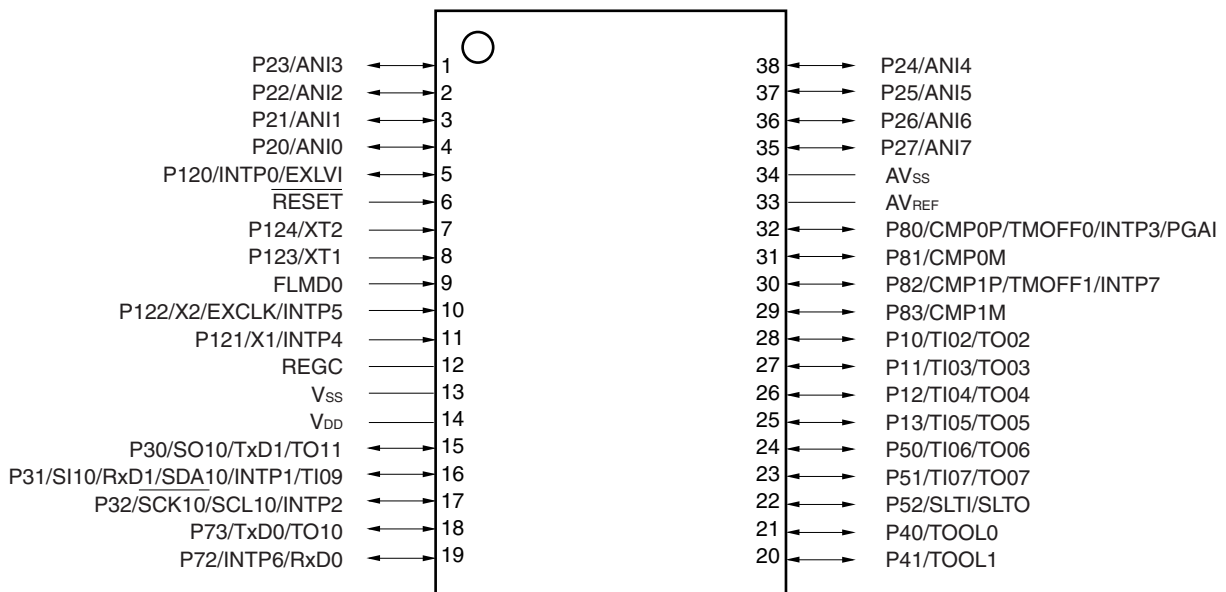
2. REGCはコンデンサ (0.47 ~ 1 μF) を介し, V_{SS}に接続してください。

3. P20/ANI0-P25/ANI5は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P25/ANI5, P24/ANI4, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P25/ANI5から設計してください (詳細は, 12.3 (7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

備考 端子名称は, 1.5 端子名称を参照してください。

1.4.2 78K0R/IC3

・38ピン・プラスチックSSOP (7.62 mm (300))



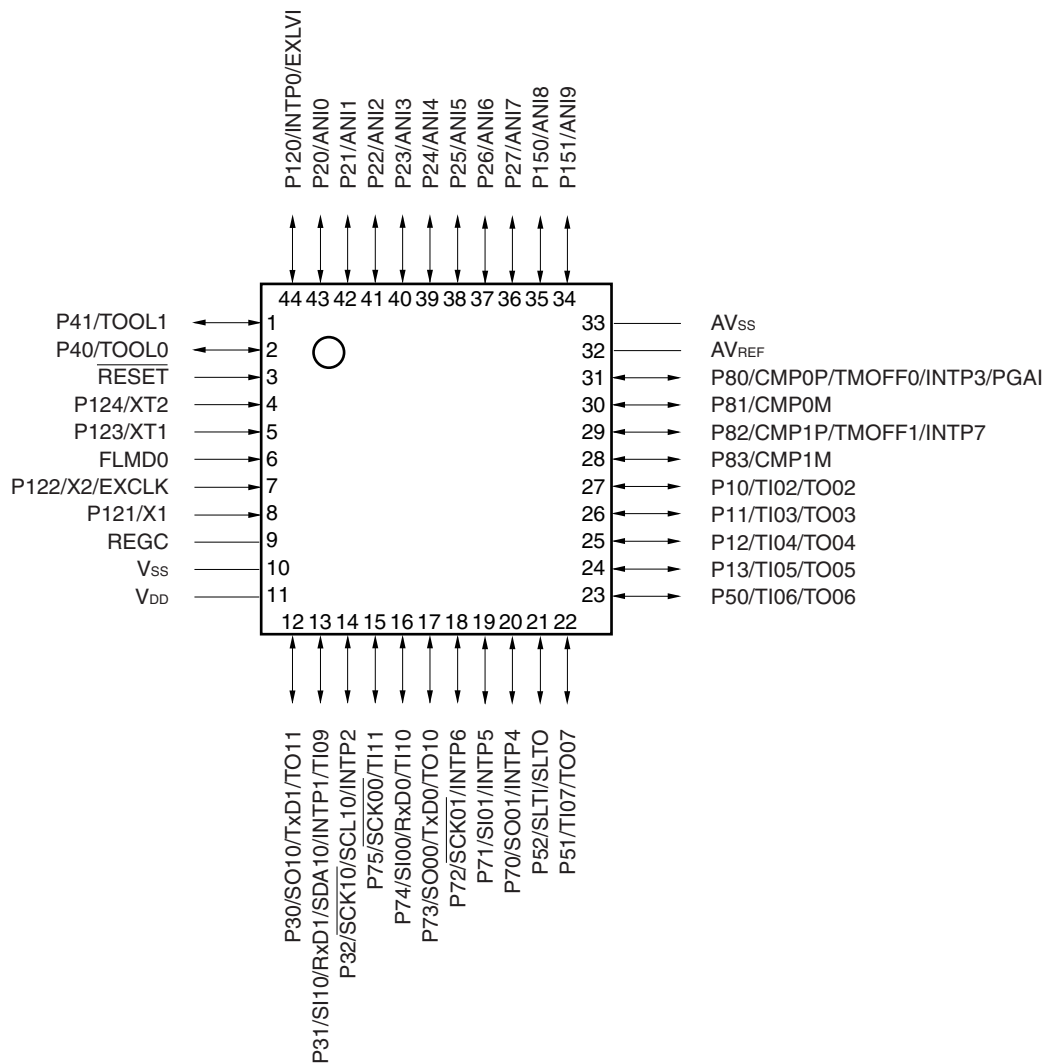
注意 1. AV_{SS}端子はV_{SS}と同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1 μF) を介し、V_{SS}に接続してください。

3. P20/ANI0-P27/ANI7は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P27/ANI7、P26/ANI6、..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P27/ANI7から設計してください (詳細は、12.3 (7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

備考 端子名称は、1.5 端子名称を参照してください。

・ 44ピン・プラスチックLQFP (10x10)



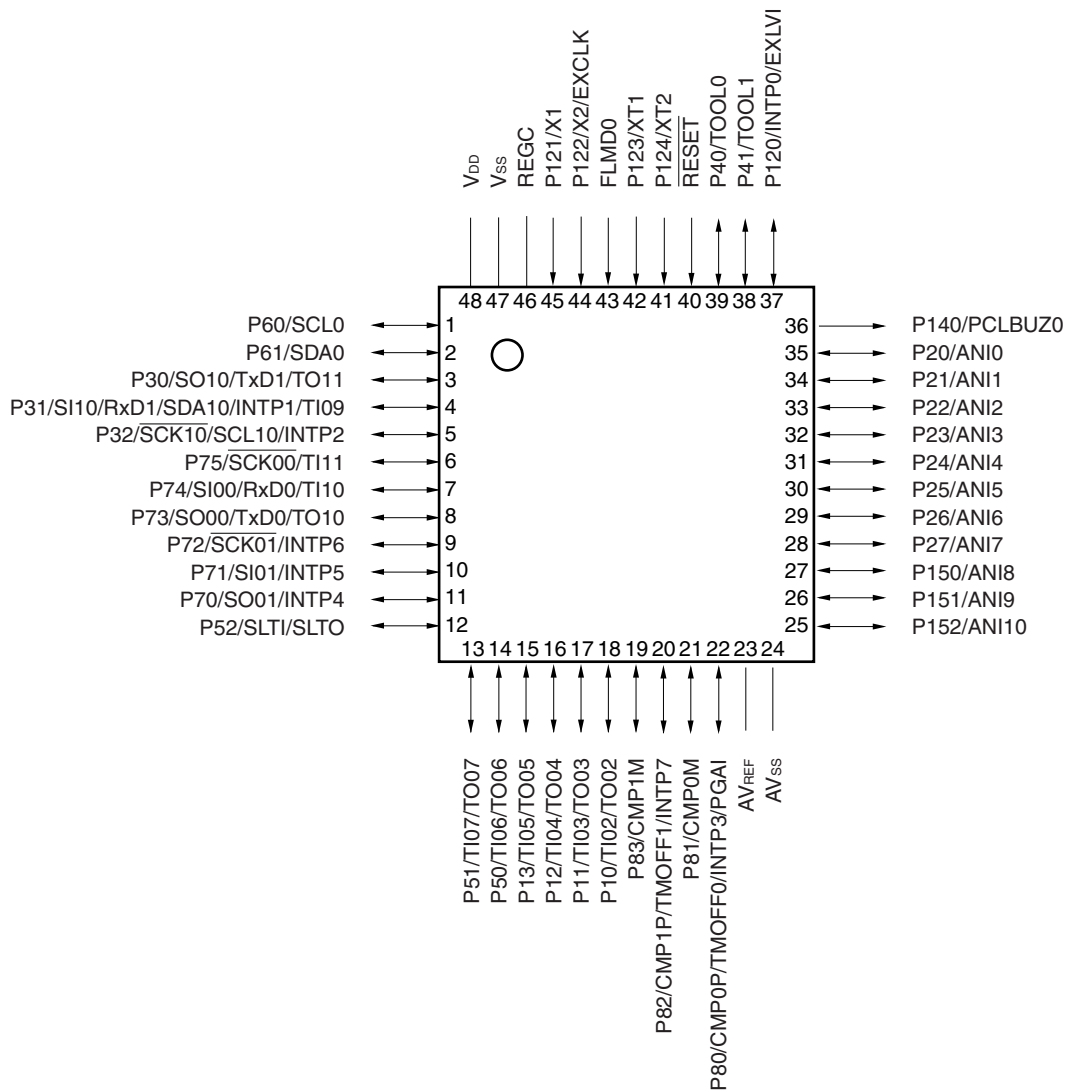
注意 1. AV_{ss}端子はV_{ss}と同電位にしてください。

2. REGCはコンデンサ (0.47 ~ 1 μF) を介し, V_{ss}に接続してください。

4. P20/ANI0-P27/ANI7, P150/ANI8, P151/ANI9は, A/Dポート・コンフィギュレーション・レジスタ (ADPC)により, P151/ANI9, P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P151/ANI9から設計してください (詳細は, 12. 3 (7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

備考 端子名称は, 1. 5 端子名称を参照してください。

・48ピン・プラスチックTQFP（ファインピッチ）（7x7）



注意 1. AV_{SS}端子はV_{SS}と同電位にしてください。

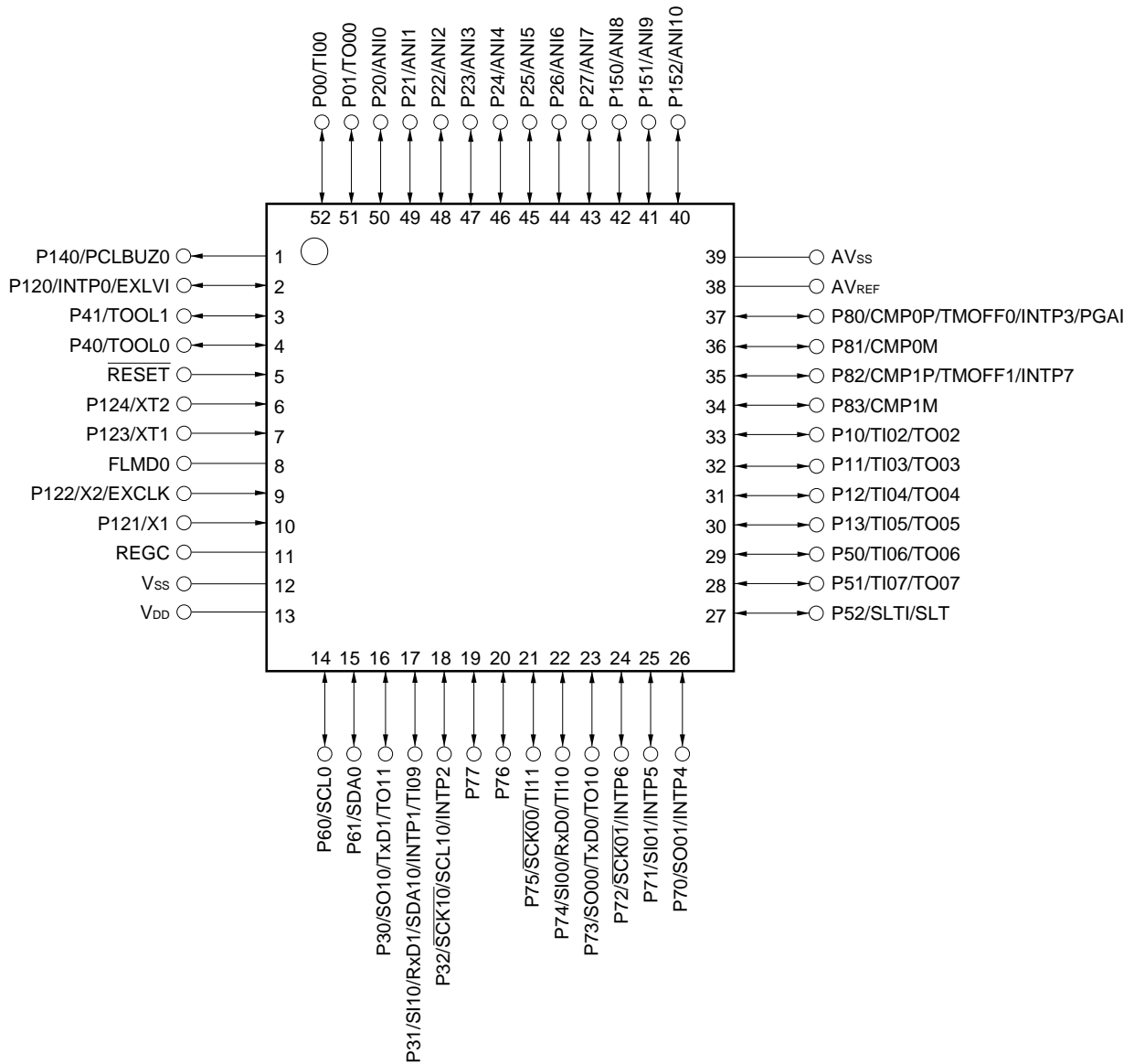
2. REGCはコンデンサ（0.47 ~ 1 μF）を介し、V_{SS}に接続してください。

4. P20/ANI0-P27/ANI7, P150/ANI8-P152/ANI10は、A/Dポート・コンフィギュレーション・レジスタ（ADPC）により、P152/ANI10,..., P150/ANI8, P27/ANI7,..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P152/ANI10から設計してください（詳細は、12. 3（7）A/Dポート・コンフィギュレーション・レジスタ（ADPC）参照）。

備考 端子名称は、1. 5 端子名称を参照してください。

1.4.3 78K0R/ID3

・52ピン・プラスチックLQFP (10x10)



注意 1. AV_{ss}端子は、V_{ss}と同電位にしてください。

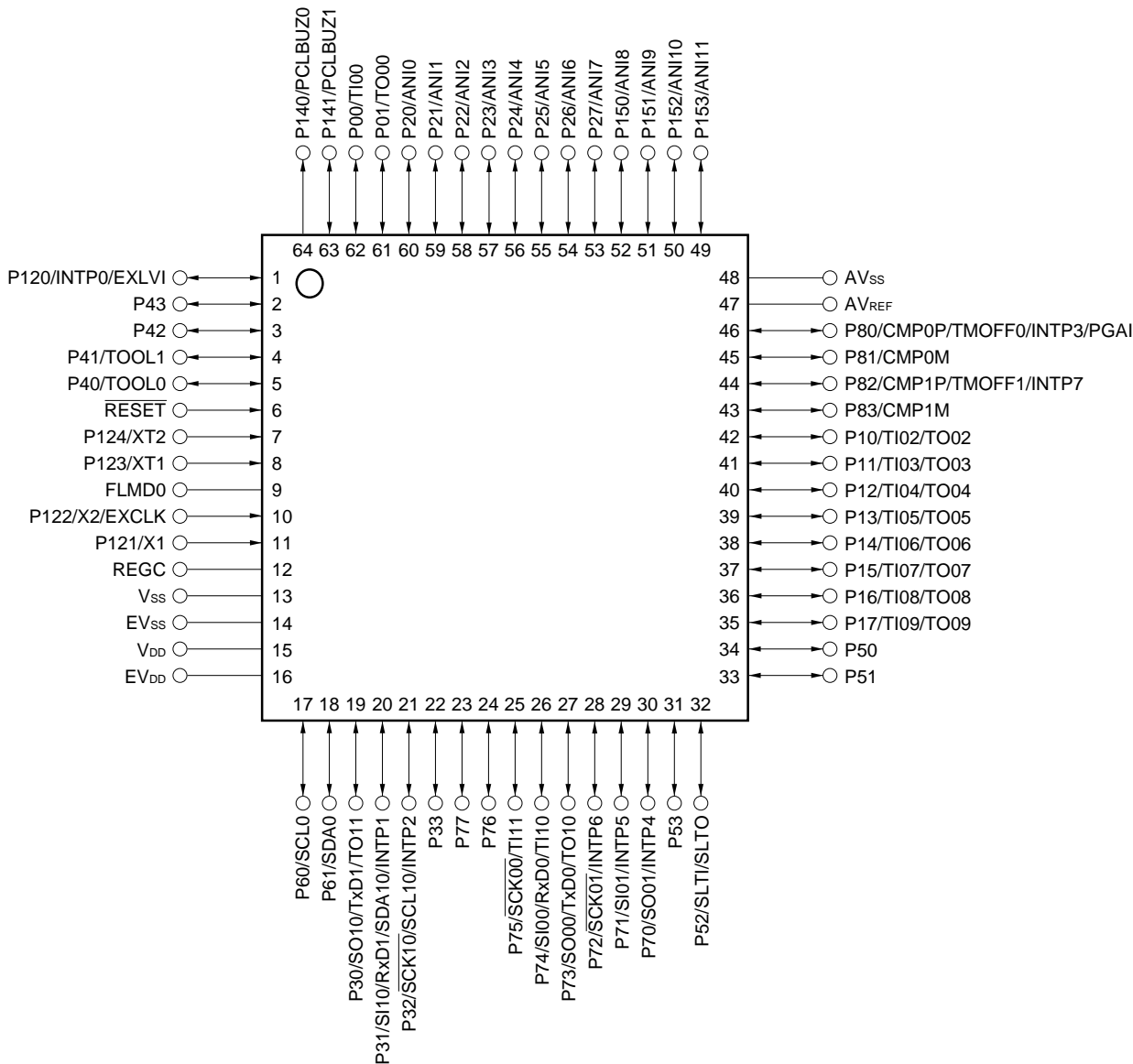
2. REGCはコンデンサ (0.47 ~ 1 μF) を介し、V_{ss}に接続してください。

4. P20/ANI0-P27/ANI7, P150/ANI8-P152/ANI10は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P152/ANI10,..., P150/ANI8, P27/ANI7,..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P152/ANI10から設計してください (詳細は、12.3(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

備考 端子名称は、1.5 端子名称を参照してください。

1.4.4 78K0R/IE3

- ・ 64ピン・プラスチックLQFP (12x12)
- ・ 64ピン・プラスチックLQFP (ファインピッチ) (10x10)



- 注意 1. AV_{SS}, EV_{SS}は、V_{SS}と同電位にしてください。
2. EV_{DD}は、V_{DD}と同電位にしてください。
3. REGCはコンデンサ (0.47 ~ 1 μF) を介し、V_{SS}に接続してください。
4. P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) により、P153/ANI11,..., P150/ANI8, P27/ANI7,..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は、P153/ANI11から設計してください (詳細は、12.3(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) 参照)。

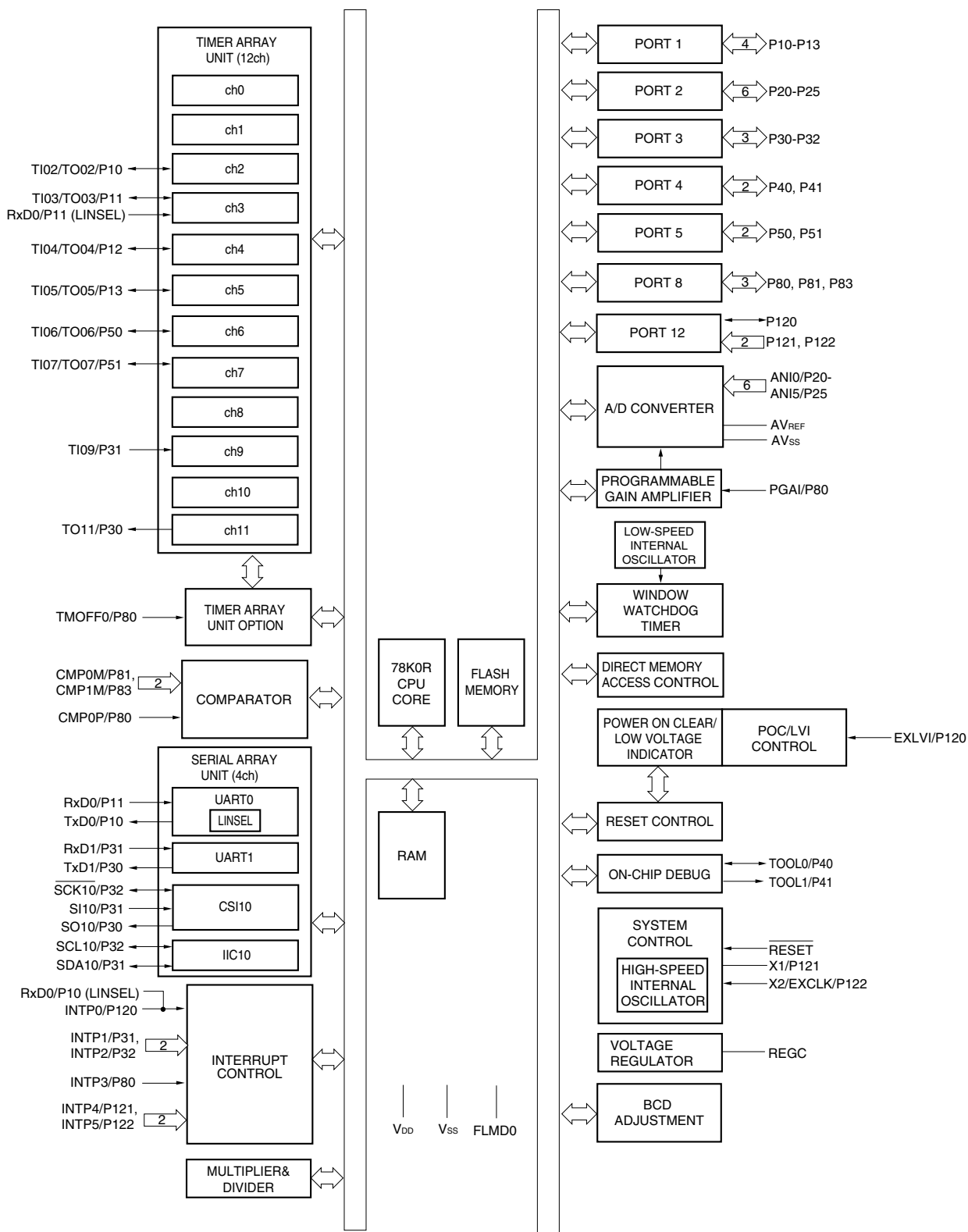
備考 端子名称は、1.5 端子名称を参照してください。

1.5 端子名称

ANI0-ANI11	: Analog Input	PCLBUZ0, PCLBUZ1	: Programmable Clock Output/ Buzzer Output
AV _{REF}	: Analog Reference Voltage	PGAI	: Programmable Gain Amplifier Input
AV _{SS}	: Analog Ground	REGC	: Regulator Capacitance
CMP0M, CMP1M	: Comparator Input (Minus)	$\overline{\text{RESET}}$: Reset
CMP0P, CMP1P	: Comparator Input (Plus)	RxD0, RxD1	: Receive Data
EV _{DD}	: Power Supply for Port	$\overline{\text{SCK00}}, \overline{\text{SCK01}}, \overline{\text{SCK10}}$: Serial Clock Input/Output
EV _{SS}	: Ground for Port	SCL0, SCL10	: Serial Clock Input/Output
EXCLK	: External Clock Input (Main System Clock)	SDA0, SDA10	: Serial Data Input/Output
EXLVI	: External potential Input for Low-voltage detector	SI00, SI01, SI10	: Serial Data Input
FLMD0	: Flash Programming Mode	SLTI	: Selectable Timer Input
INTP0-INTP7	: External Interrupt Input	SLTO	: Selectable Timer Output
P00, P01	: Port 0	SO00, SO01, SO10	: Serial Data Output
P10-P17	: Port 1	TI00, TI02-TI11	: Timer Input
P20-P27	: Port 2	TMOFF0, TMOFF1	: Timer Hi-Z control Input
P30-P33	: Port 3	TO00, TO02-TO11	: Timer Output
P40-P43	: Port 4	TOOL0	: Data Input/Output for Tool
P50-P53	: Port 5	TOOL1	: Clock Output for Tool
P60, P61	: Port 6	TxD0, TxD1	: Transmit Data
P70-P77	: Port 7	V _{DD}	: Power Supply
P80-P83	: Port 8	V _{SS}	: Ground
P120-P124	: Port 12	X1, X2	: Crystal Oscillator (Main System Clock)
P140, P141	: Port 14	XT1, XT2	: Crystal Oscillator (Subsystem Clock)
P150-P153	: Port 15		

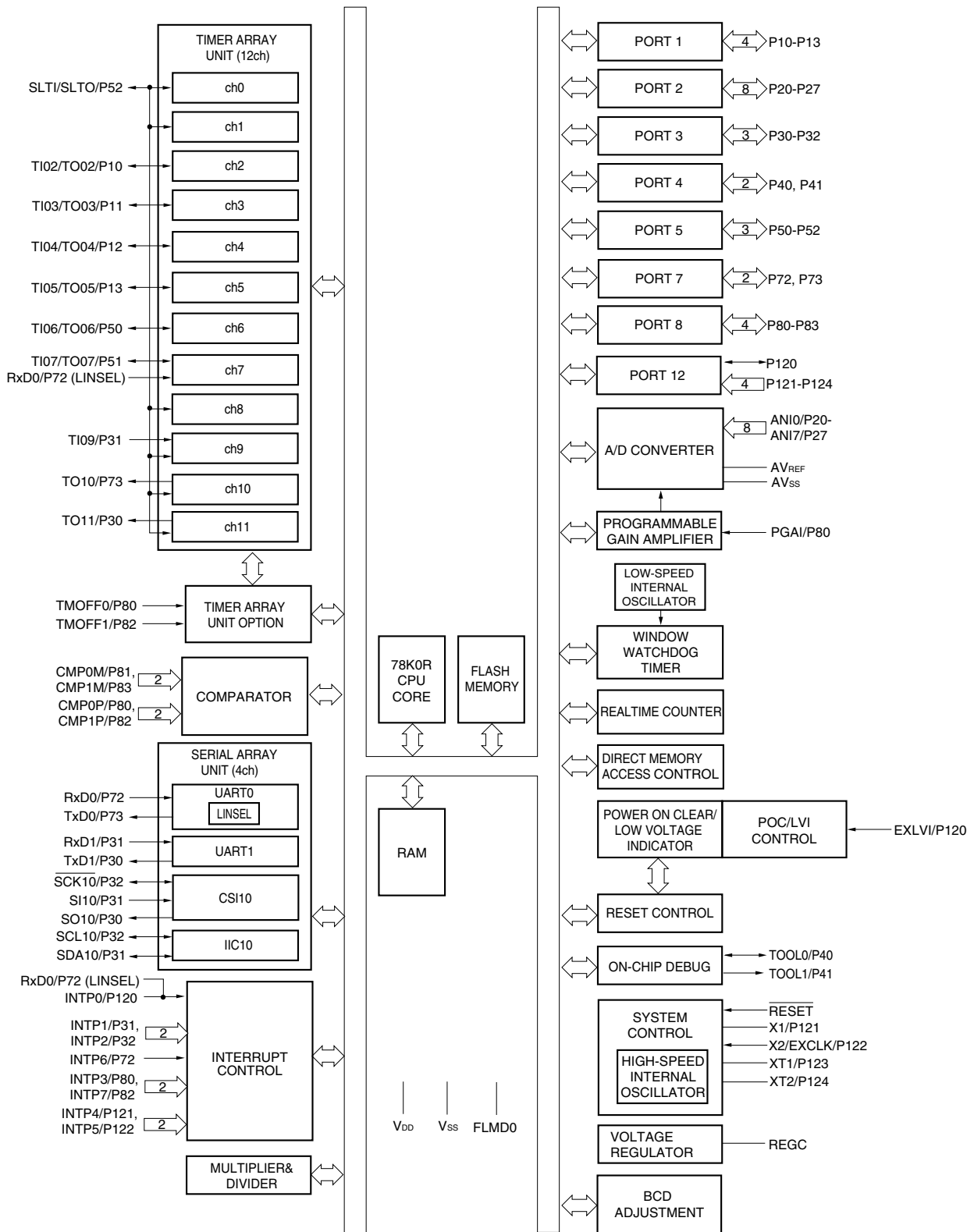
1.6 ブロック図

1.6.1 78K0R/IB3

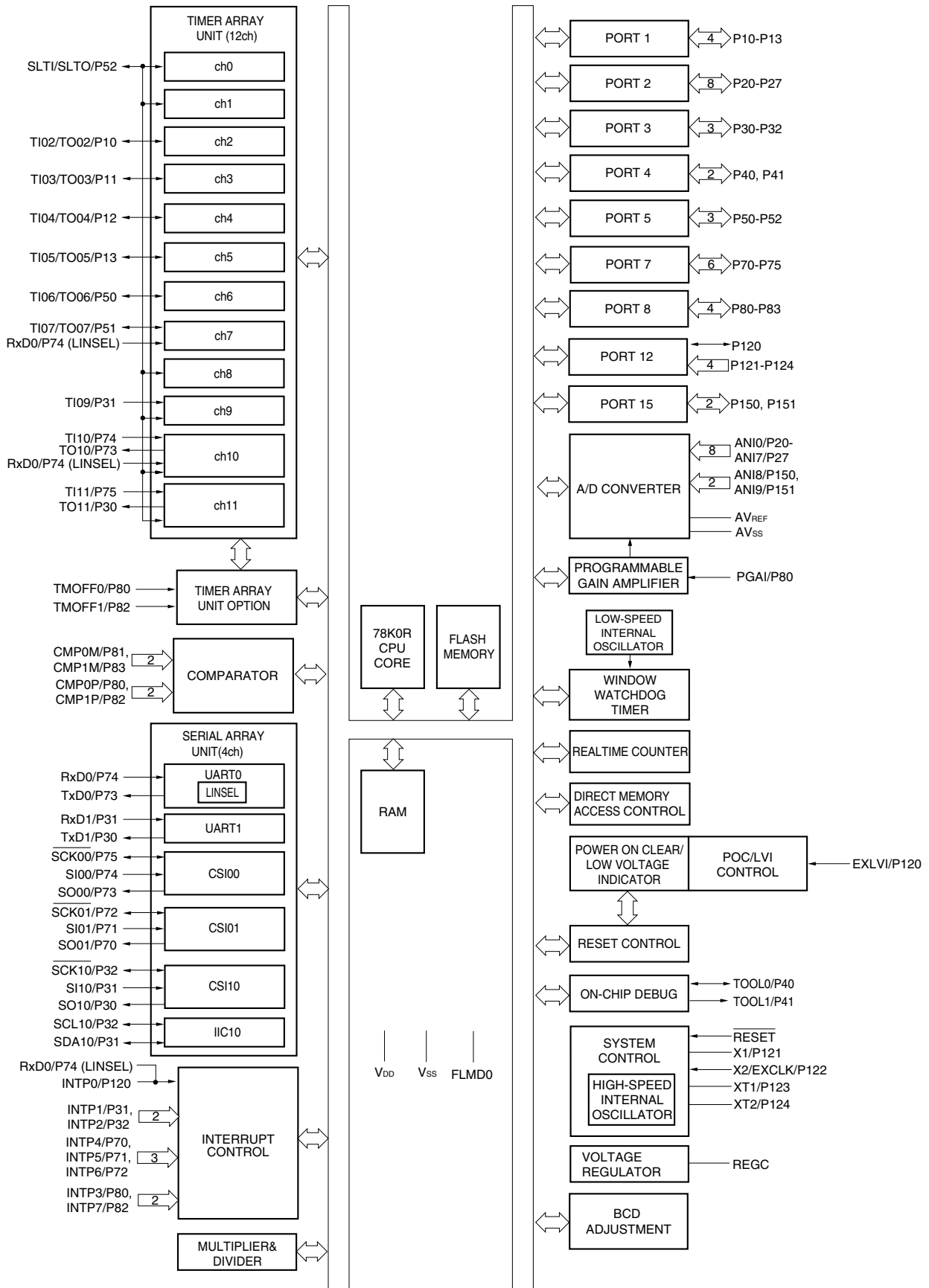


1.6.2 78K0R/IC3

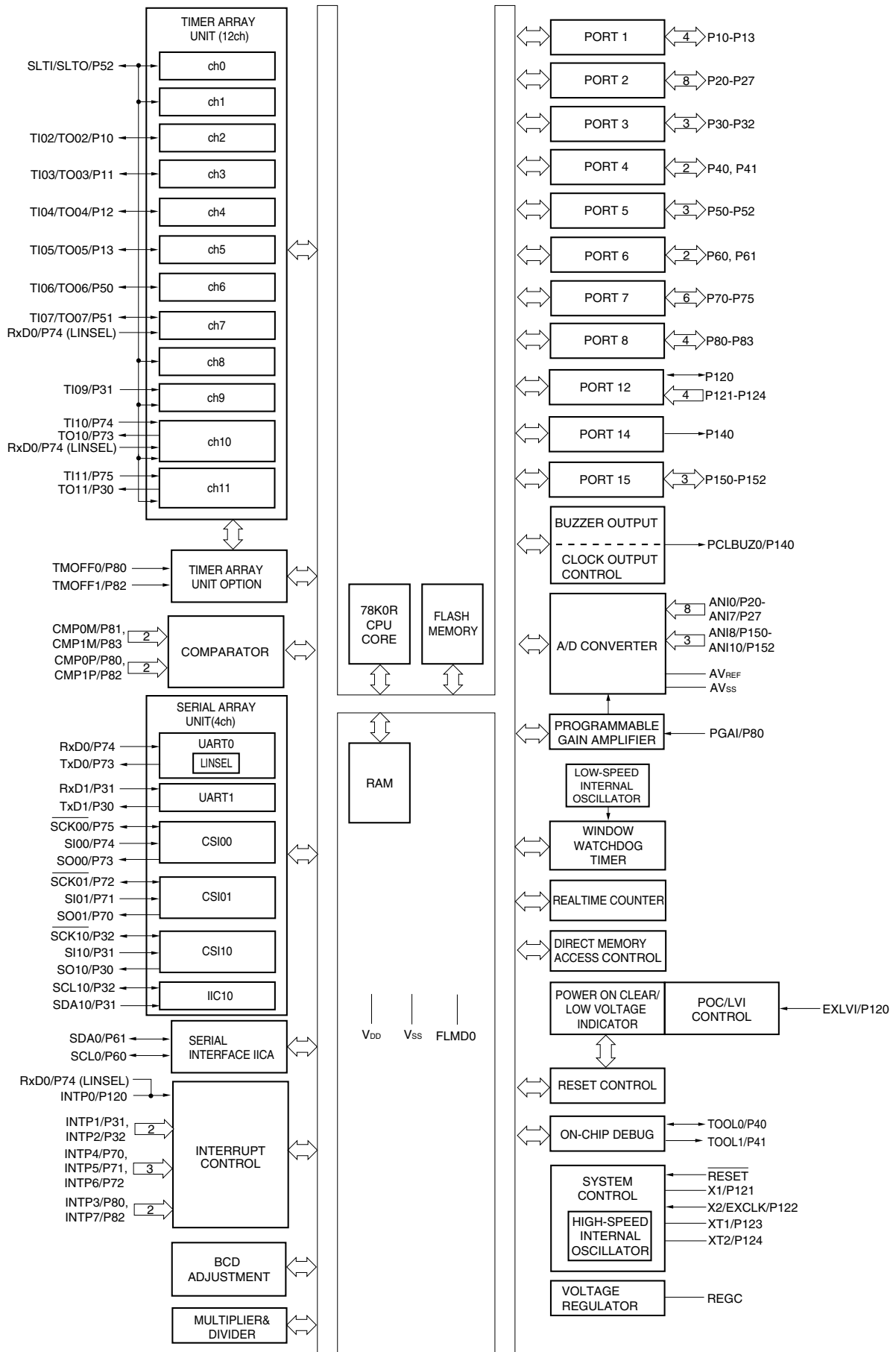
・38ピン製品



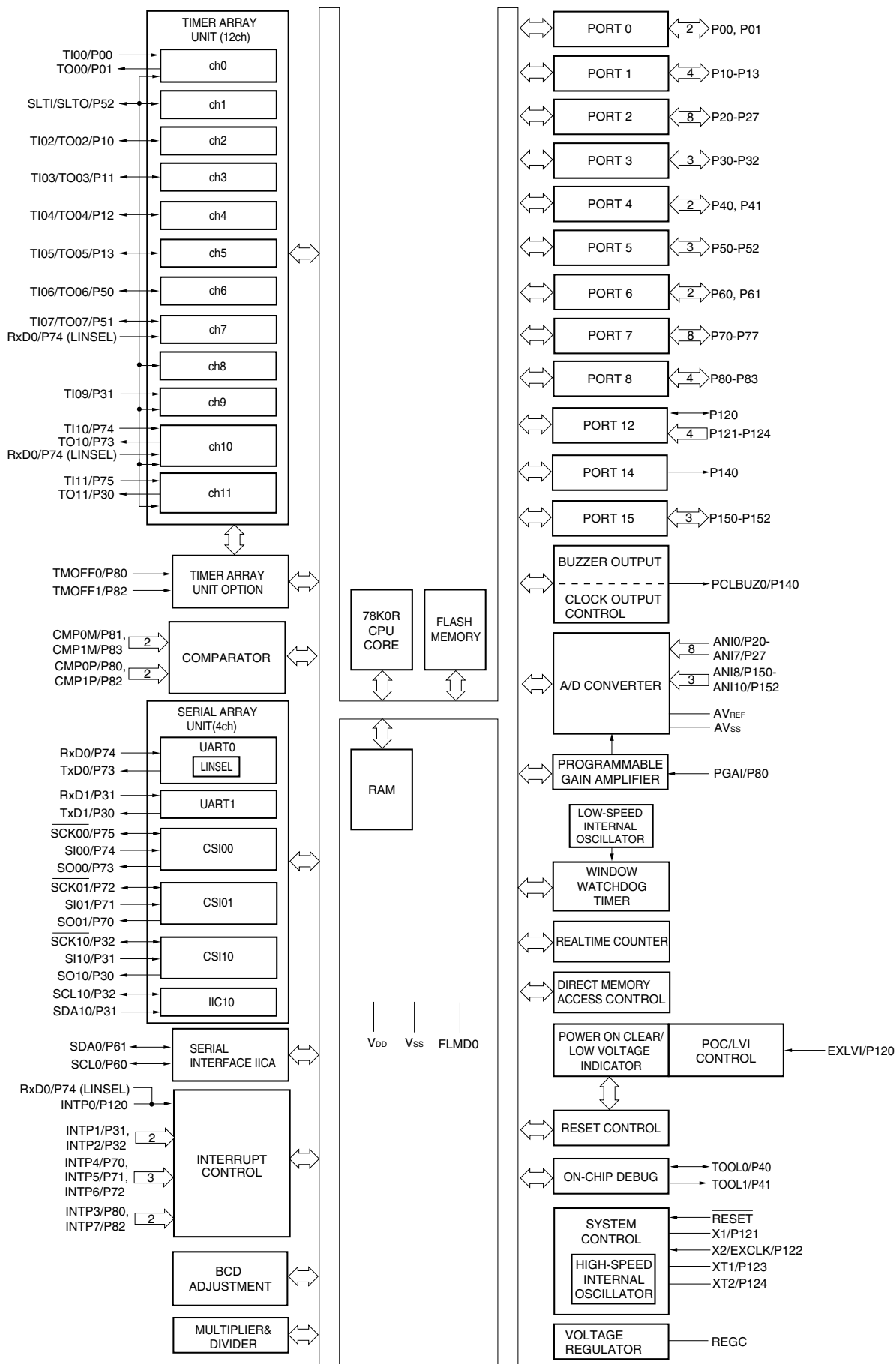
・ 44ピン製品



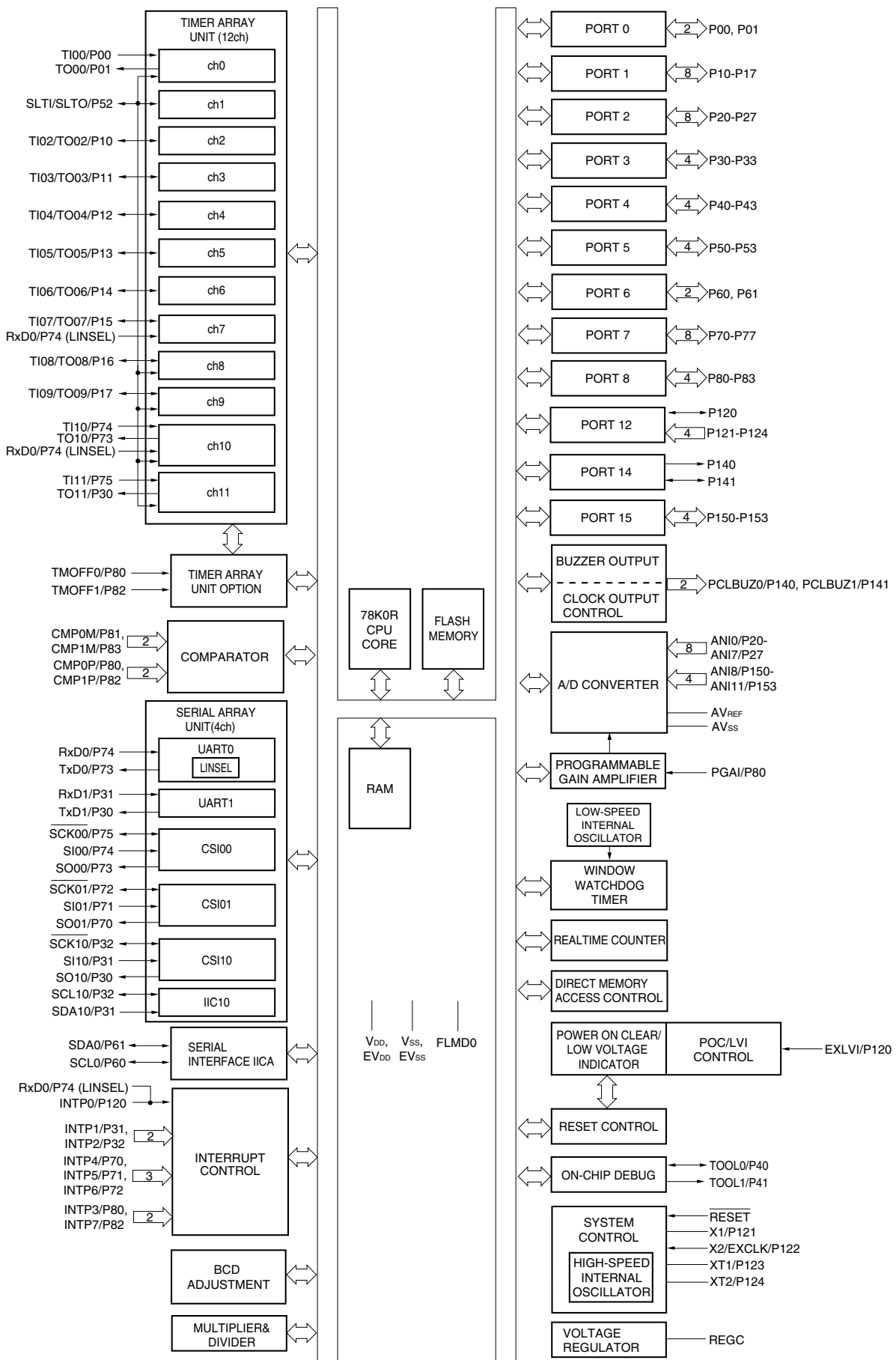
・ 48ピン製品



1.6.3 78K0R/ID3



1.6.4 78K0R/IE3



1.7 機能概要

(1/2)

項 目		78K0R/IB3		78K0R/IC3						78K0R/ID3			78K0R/IE3				
				38 ピン		44 ピン		48 ピン									
品 名		μPD78F1201	μPD78F1203	μPD78F1211	μPD78F1213	μPD78F1211	μPD78F1213	μPD78F1213	μPD78F1214	μPD78F1215	μPD78F1223	μPD78F1224	μPD78F1225	μPD78F1233	μPD78F1234	μPD78F1235	
内部メモリ	フラッシュ・メモリ (セルフ・プログラミング対応) (バイト)	16 K	32 K	16 K	32 K	16 K	32 K	32 K	48 K	64 K	32 K	48 K	64 K	32 K	48 K	64 K	
	RAM (バイト)	1 K	1.5K	1 K	1.5K	1 K	1.5K	1.5K	2 K	3K ^{注1}	1.5K	2 K	3K ^{注1}	1.5K	2 K	3K ^{注1}	
メモリ空間		1 Mバイト															
メイン・システム・クロック (発振周波数)	高速システム・クロック	X1 (水晶 / セラミック) 発振, 外部メイン・システム・クロック入力 (EXCLK) 2 ~ 20 MHz : V _{DD} = 2.7 ~ 5.5 V															
	高速内蔵発振クロック	内蔵発振 8 MHz (TYP.) : V _{DD} = 2.7 ~ 5.5 V															
	40 MHz高速内蔵発振クロック	内蔵発振 40 MHz (TYP.) : V _{DD} = 2.7 ~ 5.5 V															
サブシステム・クロック (発振周波数)	-	XT1 (水晶) 発振 32.768 kHz (TYP.) : V _{DD} = 2.7 ~ 5.5 V															
低速内蔵発振クロック (WDT専用)	内蔵発振 30 kHz (TYP.) : V _{DD} = 2.7 ~ 5.5 V																
汎用レジスタ	8ビット×32レジスタ (8ビット×8レジスタ×4バンク)																
最小命令実行時間	0.05 μs (高速システム・クロック : f _{MX} = 20 MHz動作時)																
	0.125 μs (高速内蔵発振クロック : f _{IH} = 8 MHz (TYP.) 動作時)																
	-	61 μs (サブシステム・クロック : f _{SUB} = 32.768 kHz動作時)															
命令セット	<ul style="list-style-type: none"> ・8ビット演算, 16ビット演算 ・乗算 (8ビット×8ビット) ・ビット操作 (セット, リセット, テスト, ブール演算) など 																
I/Oポート	合計	23	31	37	41	45	55										
	CMOS入出力	21	27	33	34	38	48										
	CMOS入力	2	4	4	4	4	4										
	CMOS出力	-	-	-	1	1	1										
	N-ch O.D入出力 (6 V耐圧)	-	-	-	2	2	2										
タイマ	16ビット・タイマ	12チャンネル															
	ウォッチドッグ・タイマ	1チャンネル															
	リアルタイム・カウンタ	-	1チャンネル														
	タイマ出力 (PWM出力 ^{注2})	7本 (7本)	9本 (9本)						10本 (9本)			12本 (11本)					

注1. セルフ・プログラミング機能使用時は2 Kバイト

2. 設定によって出力数は変わります。

項 目	78K0R/IB3		78K0R/IC3						78K0R/ID3			78K0R/IE3			
			38 ピン		44 ピン		48 ピン								
品 名	/μPD78F1201	/μPD78F1203	/μPD78F1211	/μPD78F1213	/μPD78F1211	/μPD78F1213	/μPD78F1213	/μPD78F1214	/μPD78F1215	/μPD78F1223	/μPD78F1224	/μPD78F1225	/μPD78F1233	/μPD78F1234	/μPD78F1235
クロック出力 / プザー出力	-						1本			2本			・ 2.44 kHz, 4.88 kHz, 9.76 kHz, 1.25 MHz, 2.5 MHz, 5 MHz, 10 MHz (周辺ハードウェア・クロック : $f_{MAIN} = 20$ MHz動作時) ・ 256 Hz, 512 Hz, 1.024 kHz, 2.048 kHz, 4.096 kHz, 8.192 kHz, 16.384 kHz, 32.768 kHz (サブシステム・クロック : $f_{SUB} = 32.768$ kHz動作時)		
10ビット分解能A/Dコンバータ ($AV_{REF} = 2.7 \sim 5.5$ V)	6チャンネル		8チャンネル		10チャンネル		11チャンネル			12チャンネル					
シリアル・インタフェース	【78K0R/IB3, 78K0R/IC3 (38ピン)】 ・ UART (LIN-bus対応) : 1チャンネル ・ CSI : 1チャンネル / UART 1チャンネル / 簡易 I^2C : 1チャンネル 【78K0R/IC3 (44ピン)】 ・ CSI : 2チャンネル / UART (LIN-bus対応) : 1チャンネル ・ CSI : 1チャンネル / UART 1チャンネル / 簡易 I^2C : 1チャンネル 【78K0R/IC3 (48ピン) , 78K0R/ID3, 78K0R/IE3】 ・ CSI : 2チャンネル / UART (LIN-bus対応) : 1チャンネル ・ CSI : 1チャンネル / UART 1チャンネル / 簡易 I^2C : 1チャンネル ・ I^2C : 1チャンネル														
乗除算器	16ビット×16ビット = 32ビット (乗算) 32ビット÷32ビット = 32ビット (除算)														
DMAコントローラ	2チャンネル														
ベクタ割り込み	内部		31		33		33		34		34		34		
要因	外部		6		8		8		8		8		8		
リセット	・ RESET端子によるリセット ・ ウォッチドッグ・タイマによる内部リセット ・ パワーオン・クリアによる内部リセット ・ 低電圧検出回路による内部リセット ・ 不正命令の実行による内部リセット ^注 ・ リセット処理のチェック・エラーによるリセット														
パワーオン・クリア回路	・ パワーオン・リセット : 1.61 ± 0.09 V ・ パワーダウン・リセット : 1.59 ± 0.09 V														
低電圧検出回路	2.84 V ~ 4.22 V (10段階)														
オンチップ・デバッグ機能	あり														
電源電圧	$V_{DD} = 2.7 \sim 5.5$ V														
動作周囲温度	$T_A = -40 \sim +85$														

注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第2章 端子機能

2.1 端子機能一覧

端子の入出力バッファ電源には、 AV_{REF} 、 EV_{DD} 、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表2 - 1 各端子の入出力バッファ電源 (78K0R/IB3)

- ・ 30ピン・プラスチックSSOP (7.62 mm (300))

電源	対応する端子
AV_{REF}	P20-P25, P80, P81, P83
V_{DD}	・ P20-P25, P80, P81, P83以外のポート端子 ・ ポート以外の端子

表2 - 2 各端子の入出力バッファ電源 (78K0R/IC3)

- ・ 38ピン・プラスチックSSOP (7.62 mm (300))
- ・ 44ピン・プラスチックLQFP (10x10)
- ・ 48ピン・プラスチックTQFP (ファインピッチ) (7x7)

電源	対応する端子
AV_{REF}	P20-P27, P150, P151 (44ピン製品) , P150-P152 (48ピン製品) , P80-P83
V_{DD}	・ P20-P27, P150-P152, P80-P83以外のポート端子 ・ ポート以外の端子

表2 - 3 各端子の入出力バッファ電源 (78K0R/ID3)

- ・ 52ピン・プラスチックLQFP (10x10)

電源	対応する端子
AV_{REF}	P20-P27, P150-P152, P80-P83
V_{DD}	・ P20-P27, P150-P152, P80-P83以外のポート端子 ・ ポート以外の端子

表2 - 4 各端子の入出力バッファ電源 (78K0R/IE3)

- ・ 64ピン・プラスチックLQFP (12x12)
- ・ 64ピン・プラスチックLQFP (ファインピッチ) (10x10)

電源	対応する端子
AV_{REF}	P20-P27, P150-P153, P80-P83
EV_{DD}	・ P20-P27, P150-P153, P80-P83, P121-P124以外のポート端子 ・ RESET端子, FLMD0端子
V_{DD}	・ P121-P124 ・ ポート以外の端子 (RESET端子, FLMD0端子を除く)

2.1.1 78K0R/IB3

(1) ポート機能 (1/2) : 78K0R/IB3

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI02/TO02/TxD0
P11				TI03/TO03/RxD0
P12				TI04/TO04
P13				TI05/TO05
P20-P25	入出力	ポート2。 6ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル 入力ポート	ANI0-ANI5
P30	入出力	ポート3。 3ビット入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1/TO11
P31				SI10/RxD1/SDA10/ INTP1/TI09
P32				SCK10/SCL10/ INTP2
P40 ^注	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P51				TI07/TO07
P80	入出力	ポート8。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 コンパレータ、プログラマブル・ゲイン・アンプ入力に設定可能	アナログ入 力	CMP0P/TMOFF0/ INTP3/PGAI
P81				CMP0M
P83				CMP1M
P120	入出力	ポート12。 1ビット入出力ポートと2ビット入力ポート。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1/INTP4
P122				X2/EXCLK/INTP5

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください(2.2.5 P40-P43 (Port 4) の注意文参照)。

(2) ポート以外の機能 (1/2) : 78K0R/IB3

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI5	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P20-P25
CMP0M	入力	コンパレータ0の(-)側入力電圧	アナログ入力	P81
CMP0P	入力	コンパレータ0の(+)側入力電圧		P80/TMOFF0/ INTP3/PGAI
CMP1M	入力	コンパレータ1の(-)側入力電圧		P83
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ)指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P31/SI10/RxD1/ SDA10/TI09
INTP2				P32/SCK10/SCL10
INTP3			アナログ入力	P80/CMP0P/ TMOFF0/PGAI
INTP4			入力ポート	P121/X1
INTP5				P122/X2/EXCLK
PGAI	入力	プログラマブル・ゲイン・アンプ入力	アナログ入力	P80/CMP0P/ TMOFF0/INTP3
REGC	-	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1μF)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P11/TI03/TO03
RxD1		UART1のシリアル・データ入力		P31/SI10/SDA10/ INTP1/TI09
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P32/SCL10/INTP2
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P32/SCK10/INTP2
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P31/SI10/RxD1/ INTP1/TI09
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P31/RxD1/SDA10/ INTP1/TI09
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P30/TxD1/TO11

(2) ポート以外の機能 (2/2) : 78K0R/IB3

機能名称	入出力	機能	リセット時	兼用機能
TI02	入力	16ビット・タイマ02への外部入力	入力ポート	P10/TO02/TxD0
TI03		16ビット・タイマ03への外部入力		P11/TO03/RxD0
TI04		16ビット・タイマ04への外部入力		P12/TO04
TI05		16ビット・タイマ05への外部入力		P13/TO05
TI06		16ビット・タイマ06への外部入力		P50/TO06
TI07		16ビット・タイマ07への外部入力		P51/TO07
TI09		16ビット・タイマ09への外部入力		P31/SI10/RxD1/ SDA10/INTP1
TMOFF0	入力	タイマ出力端子 (TO02-TO07) Hi-Z制御用入力	アナログ入力	P80/CMP0P/INTP3 /PGAI
TO02	出力	16ビット・タイマ02出力	入力ポート	P10/TO02/TxD0
TO03		16ビット・タイマ03出力		P11/TO03/RxD0
TO04		16ビット・タイマ04出力		P12/TO04
TO05		16ビット・タイマ05出力		P13/TO05
TO06		16ビット・タイマ06出力		P50/TO06
TO07		16ビット・タイマ07出力		P51/TO07
TO11		16ビット・タイマ11出力		P30/SO10/TxD1
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P10/TO02//TO02
TxD1	出力	UART1のシリアル・データ出力	入力ポート	P30/SO10/TO11
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/INTP4
X2	-		入力ポート	P122/EXCLK/ INTP5
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/INTP5
V _{DD}	-	正電源 (P20-P25, P80, P81, P83以外のポート部およびポート部以外)	-	-
AV _{REF}	-	・A/Dコンバータ, コンパレータの基準電圧入力 ・P20-P25, P80, P81, P83, A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータの正電源	-	-
V _{SS}	-	グランド電位 (P20-P25, P80, P81, P83以外のポート部およびポート部以外)	-	-
AV _{SS}	-	A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータ, P20-P25, P80, P81, P83のグランド電位。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	入力ポート	P40
TOOL1	出力	デバッグ用クロック出力	入力ポート	P41

2.1.2 78K0R/IC3

(1) 38ピン製品

(a) ポート機能 (1/2) : 78K0R/IC3 38ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI02/TO02
P11				TI03/TO03
P12				TI04/TO04
P13				TI05/TO05
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力ポート	ANI0-ANI7
P30	入出力	ポート3。 3ビット入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1/TO11
P31				SI10/RxD1/SDA10/ INTP1/TI09
P32				SCK10/SCL10/ INTP2
P40 ^注	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P51				TI07/TO07
P52				SLTI/SLTO
P72	入出力	ポート7。 2ビット入出力ポート。 P72の入力はTTLバッファに設定可能。 P73の出力はN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	INTP6/RxD0
P73				TxD0/TO10
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 コンパレータ、プログラマブル・ゲイン・アンプ入力に設定可能	アナログ入力	CMP0P/TMOFF0/ INTP3/PGA1
P81				CMP0M
P82				CMP1P/TMOFF1/ INTP7
P83				CMP1M

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P43 (Port 4) の注意文参照)。

(a) ポート機能 (2/2) : 78K0R/IC3 38ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと4ビット入力ポート。 P120のみ，入力 / 出力の指定が可能。 P120のみ，ソフトウェアの設定により，内蔵プルアップ抵抗を使用可能。		X1/INTP4
P122				X2/EXCLK/INTP5
P123				XT1
P124				XT2

(b) ポート以外の機能 (1/2) : 78K0R/IC3 38ピン製品

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P20-P27
CMP0M	入力	コンパレータ0の(-)側入力電圧	アナログ入力	P81
CMP0P	入力	コンパレータ0の(+)側入力電圧		P80/TMOFF0/ INTP3/PGAI
CMP1M	入力	コンパレータ1の(-)側入力電圧		P83
CMP1P	入力	コンパレータ1の(+)側入力電圧		P82/TMOFF1/ INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ) 指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P31/SI10/RxD1/ SDA10/TI09
INTP2				P32/SCK10/SCL10
INTP3			アナログ入力	P80/CMP0P/ TMOFF0/PGAI
INTP4			入力ポート	P121/X1
INTP5				P122/X2/EXCLK
INTP6				P72/RxD0
INTP7			アナログ入力	P82/CMP1P/ TMOFF1
PGAI	入力	プログラマブル・ゲイン・アンプ入力	アナログ入力	P80/CMP0P/ TMOFF0/INTP3
REGC	-	内部動作用レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P72/INTP6
RxD1		UART1のシリアル・データ入力		P31/SI10/SDA10/ INTP1/TI09
SCK10	入出力	CSI10のクロック入力/出力	入力ポート	P32/SCL10/INTP2
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P32/SCK10/INTP2
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P31/SI10/RxD1/ INTP1/TI09
SI10	入力	CSI10のシリアル・データ入力	入力ポート	P31/RxD1/SDA10/ INTP1/TI09
SLTI	入力	16ビット・タイマ00, 01, 08, 09, 10, 11入力	入力ポート	P52/SLTO
SLTO	出力	16ビット・タイマ00, 01, 08, 09, 10, 11出力	入力ポート	P52/SLTI
SO10	出力	CSI10のシリアル・データ出力	入力ポート	P30/TxD1/TO11

(b) ポート以外の機能 (2/2) : 78K0R/IC3 38ピン製品

機能名称	入出力	機能	リセット時	兼用機能
TI02	入力	16ビット・タイマ02への外部入力	入力ポート	P10/TO02
TI03		16ビット・タイマ03への外部入力		P11/TO03
TI04		16ビット・タイマ04への外部入力		P12/TO04
TI05		16ビット・タイマ05への外部入力		P13/TO05
TI06		16ビット・タイマ06への外部入力		P50/TO06
TI07		16ビット・タイマ07への外部入力		P51/TO07
TI09		16ビット・タイマ09への外部入力		P31/SI10/RxD1/ SDA10/INTP1
TMOFF0	入力	タイマ出力端子 (TO02-TO07) Hi-Z制御用入力	アナログ入力	P80/CMP0P/INTP3 /PGAI
TMOFF1				P82/CMP1P/INTP7
TO02	出力	16ビット・タイマ02出力	入力ポート	P10/TI02
TO03		16ビット・タイマ03出力		P11/TI03
TO04		16ビット・タイマ04出力		P12/TI04
TO05		16ビット・タイマ05出力		P13/TI05
TO06		16ビット・タイマ06出力		P50/TI06
TO07		16ビット・タイマ07出力		P51/TI07
TO10		16ビット・タイマ10出力		P73/TxD0
TO11		16ビット・タイマ11出力		P30/SO10/TxD1
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P73/TO10
TxD1		UART1のシリアル・データ出力		P30/SO10/TO11
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121/INTP4
X2	-		入力ポート	P122/EXCLK/ INTP5
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2/INTP5
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P20-P27, P80-P83以外のポート部およびポート部以外)	-	-
AV _{REF}	-	・A/Dコンバータ, コンパレータの基準電圧入力 ・P20-P27, P80-P83, A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータの正電源	-	-
V _{SS}	-	グランド電位 (P20-P27, P80-P83以外のポート部およびポート部以外)	-	-
AV _{SS}	-	A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータ, P20-P27, P80-P83のグランド電位	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッグ用データ入出力	入力ポート	P40
TOOL1	出力	デバッグ用クロック出力	入力ポート	P41

(2) 44ピン製品

(a) ポート機能 (1/2) : 78K0R/IC3 44ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI02/TO02
P11				TI03/TO03
P12				TI04/TO04
P13				TI05/TO05
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入 力ポート	ANI0-ANI7
P30	入出力	ポート3。 3ビット入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1/TO11
P31				SI10/RxD1/SDA10/ INTP1/TI09
P32				SCK10/SCL10/ INTP2
P40 ^注	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P51			入力ポート	TI07/TO07
P52			入力ポート	SLTI/SLTO
P70	入出力	ポート7。 6ビット入出力ポート。 P71, P72, P74, P75の入力はTTLバッファに設定可能。 P70, P72, P73, P75の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO01/INTP4
P71				SI01/INTP5
P72				SCK01/INTP6
P73				SO00/TxD0/TO10
P74				SI00/RxD0/TI10
P75				SCK00/TI11
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 コンパレータ、プログラマブル・ゲイン・アンプ入力に設定可能	アナログ入 力	CMP0P/TMOFF0/ INTP3/PGAI
P81				CMP0M
P82				CMP1P/TMOFF1/ INTP7
P83				CMP1M

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P43 (Port 4) の注意文参照)。

(a) ポート機能 (2/2) : 78K0R/IC3 44ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと4ビット入力ポート。 P120のみ, 入力 / 出力の指定が可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。		X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P150, P151	入出力	ポート15。 2ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力ポート	ANI8, ANI9

(b) ポート以外の機能 (1/2) : 78K0R/IC3 44ピン製品

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル入 力ポート	P20-P27
ANI8, ANI9				P150, P151
CMP0M	入力	コンパレータ0の(-)側入力電圧	アナログ入 力	P81
CMP0P	入力	コンパレータ0の(+)側入力電圧		P80/TMOFF0/ INTP3/PGAI
CMP1M	入力	コンパレータ1の(-)側入力電圧		P83
CMP1P	入力	コンパレータ1の(+)側入力電圧		P82/TMOFF1/ INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下 がりの両エッジ)指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P31/SI10/RxD1/ SDA10/TI09
INTP2				P32/SCK10/SCL10
INTP3			アナログ入 力	P80/CMP0P/ TMOFF0/PGAI
INTP4			入力ポート	P70/SO01
INTP5			P71/SI01	
INTP6			P72/SCK01	
INTP7			アナログ入 力	P82/CMP1P/ TMOFF1
PGAI	入力	プログラマブル・ゲイン・アンプ入力	アナログ入 力	P80/CMP0P/ TMOFF0/INTP3
REGC	-	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P74/SI00/TI10
RxD1		UART1のシリアル・データ入力		P31/SI10/SDA10/ INTP1/TI09
SCK00	入出力	CSI00, CSI01, CSI10のクロック入力/出力	入力ポート	P75/TI11
SCK01				P72/INTP6
SCK10				P32/SCL10/INTP2
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P32/SCK10/INTP2
SDA10	入出力	簡易I ² Cのシリアル・データ入出力	入力ポート	P31/SI10/RxD1/ INTP1/TI09
SI00	入力	CSI00, CSI01, CSI10のシリアル・データ入力	入力ポート	P74/RxD0/TI10
SI01				P71/INTP5
SI10				P31/RxD1/SDA10/ INTP1/TI09
SLTI	入力	16ビット・タイマ00, 01, 08, 09, 10, 11入力	入力ポート	P52/SLTO
SLTO	出力	16ビット・タイマ00, 01, 08, 09, 10, 11出力	入力ポート	P52/SLTI

(b) ポート以外の機能 (2/2) : 78K0R/IC3 44ピン製品

機能名称	入出力	機能	リセット時	兼用機能
SO00	出力	CSI00, CSI01, CSI10のシリアル・データ出力	入力ポート	P73/TxD0/TO10
SO01				P70/INTP4
SO10				P30/TxD1/TO11
TI02	入力	16ビット・タイマ02への外部入力	入力ポート	P10/TO02
TI03		16ビット・タイマ03への外部入力		P11/TO03
TI04		16ビット・タイマ04への外部入力		P12/TO04
TI05		16ビット・タイマ05への外部入力		P13/TO05
TI06		16ビット・タイマ06への外部入力		P50/TO06
TI07		16ビット・タイマ07への外部入力		P51/TO07
TI09		16ビット・タイマ09への外部入力		P31/SI10/RxD1/ SDA10/INTP1
TI10		16ビット・タイマ10への外部入力		P74/SI00/RxD0
TI11		16ビット・タイマ11への外部入力		P75/SCK00
TMOFF0		入力		タイマ出力端子 (TO02-TO07) Hi-Z制御用入力
TMOFF1	P82/CMP1P/INTP7			
TO02	出力	16ビット・タイマ02出力	入力ポート	P10/TI02
TO03		16ビット・タイマ03出力		P11/TI03
TO04		16ビット・タイマ04出力		P12/TI04
TO05		16ビット・タイマ05出力		P13/TI05
TO06		16ビット・タイマ06出力		P50/TI06
TO07		16ビット・タイマ07出力		P51/TI07
TO10		16ビット・タイマ10出力		P73/SO00/TxD0
TO11		16ビット・タイマ11出力		P30/SO10/TxD1
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P73/SO00/TO10
TxD1		UART1のシリアル・データ出力		P30/SO10/TO11
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P20-P27, P80-P83, P150, P151以外のポート部およびポート部以外)	-	-
AV _{REF}	-	・A/Dコンバータ, コンパレータの基準電圧入力 ・P20-P27, P80-P83, P150, P151, A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータの正電源	-	-
V _{SS}	-	グランド電位 (P20-P27, P80-P83, P150, P151以外のポート部およびポート部以外)	-	-
AV _{SS}	-	A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータ, P20-P27, P80-P83, P150, P151のグランド電位。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

(3) 48ピン製品

(a) ポート機能 (1/2) : 78K0R/IC3 48ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI02/TO02
P11				TI03/TO03
P12				TI04/TO04
P13				TI05/TO05
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入 力ポート	ANI0-ANI7
P30	入出力	ポート3。 3ビット入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1/TO11
P31				SI10/RxD1/SDA10/ INTP1/TI09
P32				SCK10/SCL10/ INTP2
P40 ^注	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P51				TI07/TO07
P52				SLTI/SLTO
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
P61				SDA0
P70	入出力	ポート7。 6ビット入出力ポート。 P71, P72, P74, P75の入力はTTLバッファに設定可能。 P70, P72, P73, P75の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO01/INTP4
P71				SI01/INTP5
P72				SCK01/INTP6
P73				SO00/TxD0/TO10
P74				SI00/RxD0/TI10
P75				SCK00/TI11
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 コンパレータ、プログラマブル・ゲイン・アンプ入力に設定可能	アナログ入 力	CMP0P/TMOFF0/ INTP3/PGAI
P81				CMP0M
P82				CMP1P/TMOFF1/ INTP7
P83				CMP1M

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P43 (Port 4) の注意文参照)。

(a) ポート機能 (2/2) : 78K0R/IC3 48ピン製品

機能名称	入出力	機能	リセット時	兼用機能
P120	入出力	ポート12。	入力ポート	INTP0/EXLVI
P121	入力	1ビット入出力ポートと4ビット入力ポート。 P120のみ, 入力 / 出力の指定が可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。		X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P140	出力	ポート14。 1ビット出力ポート。	出力ポート	PCLBUZ0
P150-P152	入出力	ポート15。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力ポート	ANI8-ANI10

(b) ポート以外の機能 (1/2) : 78K0R/IC3 48ピン製品

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P20-P27
ANI8-ANI10				P150-P152
CMP0M	入力	コンパレータ0の(-)側入力電圧	アナログ入力	P81
CMP0P	入力	コンパレータ0の(+)側入力電圧		P80/TMOFF0/ INTP3/PGAI
CMP1M	入力	コンパレータ1の(-)側入力電圧		P83
CMP1P	入力	コンパレータ1の(+)側入力電圧		P82/TMOFF1/ INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ)指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P31/SI10/RxD1/ SDA10/TI09
INTP2				P32/SCK10/SCL10
INTP3			アナログ入力	P80/CMP0P/ TMOFF0/PGAI
INTP4			入力ポート	P70/SO01
INTP5				P71/SI01
INTP6				P72/SCK01
INTP7			アナログ入力	P82/CMP1P/ TMOFF1
PCLBUZ0	出力	クロック出力/ブザー出力	出力ポート	P140
PGAI	入力	プログラマブル・ゲイン・アンプ入力	アナログ入力	P80/CMP0P/ TMOFF0/INTP3
REGC	-	内部動作用レギュレータ出力安定容量接続。 コンデンサ(0.47~1μF)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P74/SI00/TI10
RxD1		UART1のシリアル・データ入力		P31/SI10/SDA10/ INTP1/TI09
SCK00	入出力	CSI00, CSI01, CSI10のクロック入力/出力	入力ポート	P75/TI11
SCK01				P72/INTP6
SCK10				P32/SCL10/INTP2
SCL0	入出力	I ² Cのクロック入力/出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P32/SCK10/INTP2
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10		簡易I ² Cのシリアル・データ入出力		P31/SI10/RxD1/ INTP1/TI09
SI00	入力	CSI00, CSI01, CSI10のシリアル・データ入力	入力ポート	P74/RxD0/TI10
SI01				P71/INTP5
SI10				P31/RxD1/SDA10/ INTP1/TI09
SLTI	入力	16ビット・タイマ00, 01, 08, 09, 10, 11入力	入力ポート	P52/SLTO
SLTO	出力	16ビット・タイマ00, 01, 08, 09, 10, 11出力	入力ポート	P52/SLTI

(b) ポート以外の機能 (2/2) : 78K0R/IC3 48ピン製品

機能名称	入出力	機能	リセット時	兼用機能
SO00	出力	CSI00, CSI01, CSI10のシリアル・データ出力	入力ポート	P73/TxD0/TO10
SO01				P70/INTP4
SO10				P30/TxD1/TO11
TI02	入力	16ビット・タイマ02への外部入力	入力ポート	P10/TO02
TI03		16ビット・タイマ03への外部入力		P11/TO03
TI04		16ビット・タイマ04への外部入力		P12/TO04
TI05		16ビット・タイマ05への外部入力		P13/TO05
TI06		16ビット・タイマ06への外部入力		P50/TO06
TI07		16ビット・タイマ07への外部入力		P51/TO07
TI09		16ビット・タイマ09への外部入力		P31/SI10/RxD1/ SDA10/INTP1
TI10		16ビット・タイマ10への外部入力		P74/SI00/RxD0
TI11		16ビット・タイマ11への外部入力		P75/SCK00
TMOFF0		入力		タイマ出力端子 (TO02-TO07) Hi-Z制御用入力
TMOFF1	P82/CMP1P/INTP7			
TO02	出力	16ビット・タイマ02出力	入力ポート	P10/TI02
TO03		16ビット・タイマ03出力		P11/TI03
TO04		16ビット・タイマ04出力		P12/TI04
TO05		16ビット・タイマ05出力		P13/TI05
TO06		16ビット・タイマ06出力		P50/TI06
TO07		16ビット・タイマ07出力		P51/TI07
TO10		16ビット・タイマ10出力		P73/SO00/TxD0
TO11		16ビット・タイマ11出力		P30/SO10/TxD1
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P73/SO00/TO10
TxD1		UART1のシリアル・データ出力		P30/SO10/TO11
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P20-P27, P80-P83, P150-P152以外のポート部およびポート部以外)	-	-
AV _{REF}	-	・A/Dコンバータ, コンパレータの基準電圧入力 ・P20-P27, P80-P83, P150-P152, A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータの正電源	-	-
V _{SS}	-	グランド電位 (P20-P27, P80-P83, P150-P152以外のポート部およびポート部以外)	-	-
AV _{SS}	-	A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータ, P20-P27, P80-P83, P150-P152のグランド電位。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.1.3 78K0R/ID3

(1) ポート機能 (1/2) : 78K0R/ID3

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
P01				TO00
P10	入出力	ポート1。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI02/TO02
P11				TI03/TO03
P12				TI04/TO04
P13				TI05/TO05
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入 力ポート	ANI0-ANI7
P30	入出力	ポート3。 3ビット入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1/TO11
P31				SI10/RxD1/SDA10/ INTP1/TI09
P32				SCK10/SCL10/ INTP2
P40 ^注	入出力	ポート4。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P50	入出力	ポート5。 3ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI06/TO06
P51				TI07/TO07
P52				SLTI/SLTO
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
P61				SDA0
P70	入出力	ポート7。 8ビット入出力ポート。 P71, P72, P74, P75の入力はTTLバッファに設定可能。 P70, P72, P73, P75の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO01/INTP4
P71				SI01/INTP5
P72				SCK01/INTP6
P73				SO00/TxD0/TO10
P74				SI00/RxD0/TI10
P75				SCK00/TI11
P76				-
P77				-

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P43 (Port 4) の注意文参照)。

(1) ポート機能 (2/2) : 78K0R/ID3

機能名称	入出力	機 能	リセット時	兼用機能
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 コンパレータ, プログラマブル・ゲイン・アンプ入力に設定可能	アナログ入 力	CMP0P/TMOFF0/ INTP3/PGA1
P81				CMP0M
P82				CMP1P/TMOFF1/ INTP7
P83				CMP1M
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ, 入力 / 出力の指定が可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P140	出力	ポート14。 1ビット出力ポート。	出力ポート	PCLBUZ0
P150-P152	入出力	ポート15。 3ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入 力ポート	ANI8-ANI10

(2) ポート以外の機能 (1/3) : 78K0R/ID3

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P20-P27
ANI8-ANI10				P150-P152
CMP0M	入力	コンパレータ0の(-)側入力電圧	アナログ入力	P81
CMP0P	入力	コンパレータ0の(+)側入力電圧		P80/TMOFF0/ INTP3/PGAI
CMP1M	入力	コンパレータ1の(-)側入力電圧		P83
CMP1P	入力	コンパレータ1の(+)側入力電圧		P82/TMOFF1/ INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ)指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P31/SI10/RxD1/ SDA10/TI09
INTP2				P32/SCK10/SCL10
INTP3			アナログ入力	P80/CMP0P/ TMOFF0/PGAI
INTP4			入力ポート	P70/SO01
INTP5				P71/SI01
INTP6				P72/SCK01
INTP7			アナログ入力	P82/CMP1P/ TMOFF1
PCLBUZ0	出力	クロック出力/ブザー出力	出力ポート	P140
PGAI	入力	プログラマブル・ゲイン・アンプ入力	アナログ入力	P80/CMP0P/ TMOFF0/INTP3
REGC	-	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P74/SI00/TI10
RxD1		UART1のシリアル・データ入力		P31/SI10/SDA10/ INTP1/TI09
SCK00	入出力	CSI00, CSI01, CSI10のクロック入力/出力	入力ポート	P75/TI11
SCK01				P72/INTP6
SCK10				P32/SCL10/INTP2
SCL0	入出力	I ² Cのクロック入力/出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P32/SCK10/INTP2
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10		簡易I ² Cのシリアル・データ入出力		P31/SI10/RxD1/ INTP1/TI09
SI00	入力	CSI00, CSI01, CSI10のシリアル・データ入力	入力ポート	P74/RxD0/TI10
SI01				P71/INTP5
SI10				P31/RxD1/SDA10/ INTP1/TI09

(2) ポート以外の機能 (2/3) : 78K0R/ID3

機能名称	入出力	機能	リセット時	兼用機能		
SLTI	入力	16ビット・タイマ00, 01, 08, 09, 10, 11入力	入力ポート	P52/SLTO		
SLTO	出力	16ビット・タイマ00, 01, 08, 09, 10, 11出力	入力ポート	P52/SLTI		
SO00	出力	CSI00, CSI01, CSI10のシリアル・データ出力	入力ポート	P73/TxD0/TO10		
SO01				P70/INTP4		
SO10				P30/TxD1/TO11		
TI00	入力	16ビット・タイマ00への外部入力	入力ポート	P00		
TI02		16ビット・タイマ02への外部入力		P10/TO02		
TI03		16ビット・タイマ03への外部入力		P11/TO03		
TI04		16ビット・タイマ04への外部入力		P12/TO04		
TI05		16ビット・タイマ05への外部入力		P13/TO05		
TI06		16ビット・タイマ06への外部入力		P50/TO06		
TI07		16ビット・タイマ07への外部入力		P51/TO07		
TI09		16ビット・タイマ09への外部入力		P31/RxD1/SDA10/ INTP1		
TI10		16ビット・タイマ10への外部入力		P74/SI00/RxD0		
TI11		16ビット・タイマ11への外部入力		P75/SCK00		
TMOFF0		入力		タイマ出力端子 (TO02-TO07) Hi-Z制御用入力	アナログ入力	P80/CMP0P/INTP3 /PGAI
TMOFF1	P82/CMP1P/INTP7					
TO00	出力	16ビット・タイマ00出力	入力ポート	P01		
TO02		16ビット・タイマ02出力		P10/TI02		
TO03		16ビット・タイマ03出力		P11/TI03		
TO04		16ビット・タイマ04出力		P12/TI04		
TO05		16ビット・タイマ05出力		P13/TI05		
TO06		16ビット・タイマ06出力		P50/TI06		
TO07		16ビット・タイマ07出力		P51/TI07		
TO10		16ビット・タイマ10出力		P73/SO00/TxD0		
TO11		16ビット・タイマ11出力		P30/SO10/TxD1		
TxD0		出力		UART0のシリアル・データ出力	入力ポート	P73/SO00/TO10
TxD1				UART1のシリアル・データ出力		P30/SO10/TO11
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121		
X2	-		入力ポート	P122/EXCLK		
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2		
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123		
XT2	-		入力ポート	P124		
V _{DD}	-	正電源 (P20-P27, P80-P83, P150-P152以外のポート部およびポート部以外)	-	-		
AV _{REF}	-	・A/Dコンバータ, コンパレータの基準電圧入力 ・P20-P27, P80-P83, P150-P152, A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータの正電源	-	-		
V _{SS}	-	グランド電位 (P20-P27, P80-P83, P150-P152以外のポート部およびポート部以外)	-	-		
AV _{SS}	-	A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータ, P20-P27, P80-P83, P150-P152のグランド電位。	-	-		

(2) ポート以外の機能 (3/3) : 78K0R/ID3

機能名称	入出力	機 能	リセット時	兼用機能
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.1.4 78K0R/IE3

(1) ポート機能 (1/2) : 78K0R/IE3

機能名称	入出力	機能	リセット時	兼用機能
P00	入出力	ポート0。 2ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
P01				TO00
P10	入出力	ポート1。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI02/TO02
P11				TI03/TO03
P12				TI04/TO04
P13				TI05/TO05
P14				TI06/TO06
P15				TI07/TO07
P16				TI08/TO08
P17				TI09/TO09
P20-P27	入出力	ポート2。 8ビット入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入力ポート	ANI0-ANI7
P30	入出力	ポート3。 4ビット入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO10/TxD1/TO11
P31				SI10/RxD1/SDA10/ INTP1
P32				SCK10/SCL10/ INTP2
P33				-
P40 ^注	入出力	ポート4。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
P41				TOOL1
P42				-
P43				-
P50	入出力	ポート5。 4ビット入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	-
P51				-
P52				SLTI/SLTO
P53				-
P60	入出力	ポート6。 2ビット入出力ポート。 出力はN-chオープン・ドレイン出力 (6 V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
P61				SDA0

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください (2.2.5 P40-P43 (Port 4) の注意文参照)。

(1) ポート機能 (2/2) : 78K0R/IE3

機能名称	入出力	機能	リセット時	兼用機能
P70	入出力	ポート7。 8ビット入出力ポート。 P71, P72, P74, P75の入力はTTLバッファに設定可能。 P70, P72, P73, P75の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	SO01/INTP4
P71				SI01/INTP5
P72				SCK01/INTP6
P73				SO00/TxD0/TO10
P74				SI00/RxD0/TI10
P75				SCK00/TI11
P76				-
P77				-
P80	入出力	ポート8。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。 コンパレータ, プログラマブル・ゲイン・アンプ入力に設定可能	アナログ入力	CMP0P/TMOFF0/ INTP3/PGA1
P81				CMP0M
P82				CMP1P/TMOFF1/ INTP7
P83				CMP1M
P120	入出力	ポート12。 1ビット入出力ポートと4ビット入力ポート。 P120のみ, 入力 / 出力の指定が可能。 P120のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
P121	入力			X1
P122				X2/EXCLK
P123				XT1
P124				XT2
P140	出力	ポート14。 1ビット出力ポートと1ビット入出力ポート。 P141のみ, 入力 / 出力の指定が可能。 P141のみ, ソフトウェアの設定により, 内蔵プルアップ抵抗を使用可能。	出力ポート	PCLBUZ0
P141	入出力		入力ポート	PCLBUZ1
P150-P153	入出力	ポート15。 4ビット入出力ポート。 1ビット単位で入力 / 出力の指定可能。	デジタル入力ポート	ANI8-ANI11

(2) ポート以外の機能 (1/3) : 78K0R/IE3

機能名称	入出力	機能	リセット時	兼用機能
ANI0-ANI7	入力	A/Dコンバータのアナログ入力	デジタル入力ポート	P20-P27
ANI8-ANI11				P150-P153
CMP0M	入力	コンパレータ0の(-)側入力電圧	アナログ入力	P81
CMP0P	入力	コンパレータ0の(+)側入力電圧		P80/TMOFF0/ INTP3/PGAI
CMP1M	入力	コンパレータ1の(-)側入力電圧		P83
CMP1P	入力	コンパレータ1の(+)側入力電圧		P82/TMOFF1/ INTP7
EXLVI	入力	外部低電圧検出用電位入力	入力ポート	P120/INTP0
INTP0	入力	有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がり)の両エッジ)指定可能な外部割り込み要求入力	入力ポート	P120/EXLVI
INTP1				P31/SI10/RxD1/ SDA10
INTP2				P32/SCK10/SCL10
INTP3			アナログ入力	P80/CMP0P/ TMOFF0/PGAI
INTP4			入力ポート	P70/SO01
INTP5				P71/SI01
INTP6				P72/SCK01
INTP7			アナログ入力	P82/CMP1P/ TMOFF1
PCLBUZ0	出力	クロック出力/ブザー出力	出力ポート	P140
PCLBUZ1			入力ポート	P141
PGAI	入力	プログラマブル・ゲイン・アンプ入力	アナログ入力	P80/CMP0P/ TMOFF0/INTP3
REGC	-	内部動作レギュレータ出力安定容量接続。 コンデンサ(0.47~1 μ F)を介し, V _{SS} に接続してください。	-	-
RESET	入力	システム・リセット入力	-	-
RxD0	入力	UART0のシリアル・データ入力	入力ポート	P74/SI00/TI10
RxD1		UART1のシリアル・データ入力		P31/SI10/SDA10/ INTP1
SCK00	入出力	CSI00, CSI01, CSI10のクロック入力/出力	入力ポート	P75/TI11
SCK01				P72/INTP6
SCK10				P32/SCL10/INTP2
SCL0	入出力	I ² Cのクロック入力/出力	入力ポート	P60
SCL10	入出力	簡易I ² Cのクロック入力/出力	入力ポート	P32/SCK10/INTP2
SDA0	入出力	I ² Cのシリアル・データ入出力	入力ポート	P61
SDA10		簡易I ² Cのシリアル・データ入出力		P31/SI10/RxD1/ INTP1
SI00	入力	CSI00, CSI01, CSI10のシリアル・データ入力	入力ポート	P74/RxD0/TI10
SI01				P71/INTP5
SI10				P31/RxD1/SDA10/ INTP1

(2) ポート以外の機能 (2/3) : 78K0R/IE3

機能名称	入出力	機能	リセット時	兼用機能
SLTI	入力	16ビット・タイマ00, 01, 08, 09, 10, 11入力	入力ポート	P52/SLTO
SLTO	出力	16ビット・タイマ00, 01, 08, 09, 10, 11出力	入力ポート	P52/SLTI
SO00	出力	CSI00, CSI01, CSI10のシリアル・データ出力	入力ポート	P73/TxD0/TO10
SO01				P70/INTP4
SO10				P30/TxD1/TO11
TI00	入力	16ビット・タイマ00への外部入力	入力ポート	P00
TI02		16ビット・タイマ02への外部入力		P10/TO02
TI03		16ビット・タイマ03への外部入力		P11/TO03
TI04		16ビット・タイマ04への外部入力		P12/TO04
TI05		16ビット・タイマ05への外部入力		P13/TO05
TI06		16ビット・タイマ06への外部入力		P14/TO06
TI07		16ビット・タイマ07への外部入力		P15/TO07
TI08		16ビット・タイマ08への外部入力		P16/TO08
TI09		16ビット・タイマ09への外部入力		P17/TO09
TI10		16ビット・タイマ10への外部入力		P74/SI00/RxD0
TI11		16ビット・タイマ11への外部入力		P75/SCK00
TMOFF0	入力	タイマ出力端子 (TO02-TO07) Hi-Z制御用入力	アナログ入力	P80/CMP0P/INTP3 /PGAI
TMOFF1				P82/CMP1P/INTP7
TO00	出力	16ビット・タイマ00出力	入力ポート	P01
TO02		16ビット・タイマ02出力		P10/TO02
TO03		16ビット・タイマ03出力		P11/TO03
TO04		16ビット・タイマ04出力		P12/TO04
TO05		16ビット・タイマ05出力		P13/TO05
TO06		16ビット・タイマ06出力		P14/TO06
TO07		16ビット・タイマ07出力		P15/TO07
TO08		16ビット・タイマ08出力		P16/TO08
TO09		16ビット・タイマ09出力		P17/TO09
TO10		16ビット・タイマ10出力		P73/SO00/TxD0
TO11		16ビット・タイマ11出力		P30/SO10/TxD1
TxD0	出力	UART0のシリアル・データ出力	入力ポート	P73/SO00/TO10
TxD1		UART1のシリアル・データ出力		P30/SO10/TO11
X1	-	メイン・システム・クロック用発振子接続	入力ポート	P121
X2	-		入力ポート	P122/EXCLK
EXCLK	入力	メイン・システム・クロック用外部クロック入力	入力ポート	P122/X2
XT1	-	サブシステム・クロック用発振子接続	入力ポート	P123
XT2	-		入力ポート	P124
V _{DD}	-	正電源 (P121-P124およびポート部以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{DD}	-	ポート部 (P20-P27, P80-P83, P150-P153, P121-P124以外), RESET端子, FLMD0端子の正電源	-	-
AV _{REF}	-	・A/Dコンバータ, コンパレータの基準電圧入力 ・P20-P27, P80-P83, P150-P153, A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータの正電源	-	-

(2) ポート以外の機能 (3/3) : 78K0R/IE3

機能名称	入出力	機 能	リセット時	兼用機能
V _{SS}	-	グランド電位 (P121-P124およびポート以外の端子 (RESET端子, FLMD0端子を除く))	-	-
EV _{SS}	-	ポート部 (P20-P27, P80-P83, P150-P153, P121-P124以外) , RESET端子, FLMD0端子のグランド電位	-	-
AV _{SS}	-	A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータ, P20-P27, P80-P83, P150-P153のグランド電位。EV _{SS} , V _{SS} と同電位にしてください。	-	-
FLMD0	-	フラッシュ・メモリ・プログラミング・モード引き込み。	-	-
TOOL0	入出力	フラッシュ・メモリ・プログラマ/デバッガ用データ入出力	入力ポート	P40
TOOL1	出力	デバッガ用クロック出力	入力ポート	P41

2.2 端子機能の説明

備考 製品により、搭載している端子が異なります。1.4 端子接続図 (Top View) , 2.1 端子機能一覧を参照してください。

2.2.1 P00, P01 (Port 0)

入出力ポートです。入出力ポートのほかに、タイマの入出力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P00/TI00	-	-	-	-		
P01/TO00	-	-	-	-		

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ0 (PM0) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ0 (PU0) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI00

16ビット・タイマ00への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO00

16ビット・タイマ00のタイマ出力端子です。

2.2.2 P10-P17 (Port 1)

入出力ポートです。入出力ポートのほかに、タイマの入出力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P10/TI02/TO02/ TxD0		P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}
P11/TI03/TO03/ RxD0		P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}
P12/TI04/TO04						
P13/TI05/TO05						
P14/TI06/TO06	_注2	_注2	_注2	_注2	_注2	
P15/TI07/TO07	_注2	_注2	_注2	_注2	_注2	
P16/TI08/TO08	-	-	-	-	-	
P17/TI09/TO09	_注3	_注3	_注3	_注3	_注3	

- 注1. 78K0R/IC3の38ピン製品では、TxD0, RxD0はそれぞれP73, P72と兼用しています。
78K0R/IC3の44ピン製品, 78K0R/ID3, 78K0R/IE3では、TxD0, RxD0はそれぞれP73, P74と兼用しています。
2. 78K0R/IE3以外の製品では、TI06/TO06, TI07/TO07はそれぞれP50, P51と兼用しています。
3. 78K0R/IE3以外の製品では、TI09はP31と兼用しています。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ1 (PM1) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ1 (PU1) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力、シリアル・インタフェースのデータ入出力として機能します。

(a) TI02-TI09

16ビット・タイマ02-09への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO02-TO09

16ビット・タイマ02-09のタイマ出力端子です。

(c) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(d) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

2.2.3 P20-P27 (Port 2)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P20/ANI0						
P21/ANI1						
P22/ANI2						
P23/ANI3						
P24/ANI4						
P25/ANI5						
P26/ANI6	-					
P27/ANI7	-					

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ2 (PM2) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI0-ANI7) として機能します。アナログ入力端子として使用する場合、12.6 (5) ANI0/P20-ANI7/P27, ANI8/P150-ANI11/P153を参照してください。

注意 ANI0/P20-ANI7/P27は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.4 P30-P33 (Port 3)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、タイマ入出力機能があります。

P30, P31端子の入力は、ポート入力モード・レジスタ3 (PIM3) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P30-P32端子の出力は、ポート出力モード・レジスタ3 (POM3) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレーン出力 (V_{DD} 耐圧) に指定できます。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P30/SO10/TxD1/TO11						
P31/SI10/RxD1/SDA10/INTP1/TI09						P31/SI10/RxD1/SDA10/INTP1 ^注
P32/SCK10/SC L10/INTP2						
P33	-	-	-	-	-	

注 78K0R/IE3では、TI09はP17と兼用しています。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ3 (PM3) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ3 (PU3) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、タイマ入出力として機能します。

(a) SI10

シリアル・インタフェースCSI10のシリアル・データ入力端子です。

(b) SO10

シリアル・インタフェースCSI10のシリアル・データ出力端子です。

(c) SCK10

シリアル・インタフェースCSI10のシリアル・クロック入出力端子です。

(d) TxD1

シリアル・インタフェースUART1のシリアル・データ出力端子です。

(e) RxD1

シリアル・インタフェースUART1のシリアル・データ入力端子です。

(f) SDA10

シリアル・インタフェース簡易I²Cのシリアル・データ入出力端子です。

(g) SCL10

シリアル・インタフェース簡易I²Cのシリアル・クロック入出力端子です。

(h) INTP1, INTP2

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(i) TO11

16ビット・タイマ11のタイマ出力端子です。

(j) TI09

16ビット・タイマ09への外部カウント・クロック/キャプチャ・トリガ入力端子です。

2.2.5 P40-P43 (Port 4)

入出力ポートです。入出力ポートのほかにフラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力，クロック出力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P40/TOOL0						
P41/TOOL1						
P42	-	-	-	-	-	
P43	-	-	-	-	-	

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ4 (PM4) の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ4 (PU4) の設定により，内蔵プルアップ抵抗を使用できます。

P40はオンチップ・デバッグ許可 (オプション・バイトで設定) の場合は，必ず外部プルアップ抵抗を接続してください。

(2) コントロール・モード

フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力，クロック出力として機能します。

(a) TOOL0

フラッシュ・メモリ・プログラマ/デバッガ用のデータ入出力端子です。
オンチップ・デバッグ許可の場合は必ず外部でプルアップしてください(プルダウン禁止)。

(b) TOOL1

デバッガ用のクロック出力端子です。
オンチップ・デバッグ機能使用時には、P41/TOOL1端子はデバッガのモード設定により次のようになります。
1線モード : ポート (P41) として使用できます。
2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

注意 P40/TOOL0端子は、次に示す (a) ~ (c) の場合によって、端子機能が決まります。

(b) か (c) の場合には、該当する端子処理を行ってください。

(a) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ禁止 (OCDENSET = 0) 設定時
ポート機能 (P40) としてご使用ください。

(b) 通常動作モード時、かつ、

オプション・バイト (000C3H) でオンチップ・デバッグ許可 (OCDENSET = 1) 設定時
外部で抵抗を介してV_{DD}に接続し、リセット解除前から常にハイ・レベルを入力してください。

(c) オンチップ・デバッグ機能使用時、または、

フラッシュ・メモリ・プログラマによる書き込みモード時
TOOL0端子として使用します。
オンチップ・デバッグ・エミュレータやフラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してV_{DD}に接続することで、プルアップしてください。

2.2.6 P50-P53 (Port 5)

入出力ポートです。入出力ポートのほかにタイマの入出力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P50/TI06/TO06						P50 ^注
P51/TI07/TO07						P51 ^注
P52/SLTI/SLTO	-					
P53	-	-	-	-	-	

注 78K0R/IE3では、TI06/TO06, TI07/TO07はそれぞれP14, P15と兼用しています。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ5 (PM5) の設定により, 1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ5 (PU5) の設定により, 内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

タイマの入出力として機能します。

(a) TI06, TI07

16ビット・タイマ06, 07への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO06, TO07

16ビット・タイマ06, 07のタイマ出力端子です。

(c) SLTI

入力切り替え制御レジスタ (ISC) の設定により, 16ビット・タイマ00, 01, 08, 09, 10, 11への外部カウント・クロック/キャプチャ・トリガ入力端子として使用します。

(d) SLTO

入力切り替え制御レジスタ (ISC) の設定により, 16ビット・タイマ00, 01, 08, 09, 10, 11のタイマ出力端子として使用します。

2.2.7 P60, P61 (Port 6)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P60/SCL0	-	-	-			
P61/SDA0	-	-	-			

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ6 (PM6) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

P60, P61端子の出力はN-chオープン・ドレイン出力 (6 V耐圧) になっています。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力として機能します。

(a) SDA0

シリアル・インタフェースIICAのシリアル・データ入出力端子です。

(b) SCL0

シリアル・インタフェースIICAのシリアル・クロック入出力端子です。

2.2.8 P70-P77 (Port 7)

入出力ポートです。入出力ポートのほかにシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、タイマの入出力機能があります。

P71, P72, P74, P75端子の入力は、ポート入力モード・レジスタ7 (PIM7) の設定により、1ビット単位で通常入力バッファまたはTTL入力バッファに指定できます。

P70, P72, P73, P75端子の出力は、ポート出力モード・レジスタ7 (POM7) の設定により、1ビット単位で通常CMOS出力またはN-chオープン・ドレイン出力 (V_{DD} 耐圧) に指定できます。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P70/SO01/INTP4	_注1	_注1				
P71/SI01/INTP5	_注1	_注1				
P72/SCK01/INT P6	-	P72/INTP6/RxD0				
P73/SO00/TxD0 /TO10	_注2	P73/TxD0/TO10				
P74/SI00/RxD0/ TI10	_注2	_注3				
P75/SCK00/TI11	-	-				
P76	-	-	-	-		
P77	-	-	-	-		

- 注1. 78K0R/IB3と78K0R/IC3の38ピン製品では、INTP4、INTP5はそれぞれP121、P122と兼用しています。
 2. 78K0R/IB3では、TxD0、RxD0はそれぞれP10、P11と兼用しています。
 3. 78K0R/IC3の38ピン製品では、RxD0はP72と兼用しています。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ7 (PM7) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ7 (PU7) の設定により、内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

シリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、タイマの入出力として機能します。

(a) TI10, TI11

16ビット・タイマ10, 11への外部カウント・クロック/キャプチャ・トリガ入力端子です。

(b) TO10

16ビット・タイマ10のタイマ出力端子です。

(c) SI00, SI01

シリアル・インタフェースCSI00, CSI01のシリアル・データ入力端子です。

(d) SO00, SO01

シリアル・インタフェースCSI00, CSI01のシリアル・データ出力端子です。

(e) SCK00, SCK01

シリアル・インタフェースCSI00, CSI01のシリアル・クロック入出力端子です。

(f) TxD0

シリアル・インタフェースUART0のシリアル・データ出力端子です。

(g) RxD0

シリアル・インタフェースUART0のシリアル・データ入力端子です。

(h) INTP4-INTP6

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

2.2.9 P80-P83 (Port 8)

入出力ポートです。入出力ポートのほかにコンパレータ0, 1の（+）側入力電圧，コンパレータ0, 1の（-）側入力電圧，タイマ端子Hi-Z制御用入力，外部割り込み要求入力，プログラマブル・ゲイン・アンプの入力機能があります。

P80-P83端子の入力は，ポート入力モード・レジスタ8（PIM8）の設定により，1ビット単位でデジタル入力許可 / 禁止の設定が必要です。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P80/CMP0P/TM OFF0/INTP3/P GAI						
P81/CMP0M						
P82/CMP1P/TM OFF1/INTP7	-					
P83/CMP1M						

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ8（PM8）の設定により，1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

コンパレータ0, 1の（+）側入力電圧，コンパレータ0, 1の（-）側入力電圧，タイマ端子Hi-Z制御用入力，外部割り込み要求入力，プログラマブル・ゲイン・アンプの入力として機能します。

(a) CMP0P, CMP1P

コンパレータ0, 1の(+)側入力電圧端子です。

(b) CMP0M, CMP1M

コンパレータ0, 1の(-)側入力電圧端子です。

(c) TMOFF0, TMOFF1

タイマ出力端子(TO02-TO07) Hi-Z制御用入力端子です。

(d) INTP3, INTP7

有効エッジ(立ち上がり, 立ち下がり, 立ち上がりおよび立ち下がりの両エッジ)指定可能な外部割り込み要求入力端子です。

(e) PGAI

プログラマブル・ゲイン・アンプの入力端子です。

2.2.10 P120-P124 (Port 12)

P120は1ビットの入出力ポートです。P121-P124は4ビットの入力ポートです。そのほかに外部割り込み要求入力, 外部低電圧検出用電位入力, メイン・システム・クロック用発振子接続, サブシステム・クロック用発振子接続, メイン・システム・クロック用外部クロック入力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P120/INTP0/EXLVI						
P121/X1/INTP4			P121/X1 ^注	P121/X1 ^注	P121/X1 ^注	P121/X1 ^注
P122/X2/EXCLK/INTP5			P122/X2/EXCLK ^注	P122/X2/EXCLK ^注	P122/X2/EXCLK ^注	P122/X2/EXCLK ^注
P123/XT1	-					
P124/XT2	-					

注 78K0R/IB3と78K0R/IC3の38ピン製品以外では, INTP4, INTP5はそれぞれP70, P71と兼用しています。

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P120は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ12(PM12)の設定により, 入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ12(PU12)の設定により, 内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートとして機能します。

(2) コントロール・モード

外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力として機能します。

(a) INTP0, INTP4, INTP5

有効エッジ（立ち上がり，立ち下がり，立ち上がりおよび立ち下がりの両エッジ）指定可能な外部割り込み要求入力端子です。

(b) EXLVI

外部低電圧検出用電位入力端子です。

(c) X1, X2

メイン・システム・クロック用発振子接続端子です。

(d) XT1, XT2

サブシステム・クロック用発振子接続端子です。

(e) EXCLK

メイン・システム・クロック用外部クロック入力端子です。

2. 2. 11 P140, P141 (Port 14)

P140は1ビットの出力ポートです。P141は1ビットの入出力ポートです。そのほかにクロック/ブザー出力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P140/PCLBUZ0	-	-	-			
P141/PCLBUZ1	-	-	-	-	-	

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

P140は1ビットの出力ポートとして機能します。

P141は1ビットの入出力ポートとして機能します。ポート・モード・レジスタ14 (PM14) の設定により，入力ポートまたは出力ポートに指定できます。プルアップ抵抗オプション・レジスタ14 (PU14) の設定により，内蔵プルアップ抵抗を使用できます。

(2) コントロール・モード

クロック/ブザー出力機能として機能します。

(a) PCLBUZ0, PCLBUZ1

クロック/ブザー出力端子です。

2.2.12 P150-P153 (Port 15)

入出力ポートです。入出力ポートのほかにA/Dコンバータのアナログ入力機能があります。

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P150/ANI8	-	-				
P151/ANI9	-	-				
P152/ANI10	-	-	-			
P153/ANI11	-	-	-	-	-	

1ビット単位で次のような動作モードを指定できます。

(1) ポート・モード

入出力ポートとして機能します。ポート・モード・レジスタ15 (PM15) の設定により、1ビット単位で入力ポートまたは出力ポートに指定できます。

(2) コントロール・モード

A/Dコンバータのアナログ入力端子 (ANI8-ANI11) として機能します。アナログ入力端子として使用する場合、12.6 (5) ANI0/P20-ANI7/P27, ANI8/P150-ANI11/P153を参照してください。

注意 ANI8/P150-ANI11/P153は、リセット解除後はデジタル入力 (汎用ポート) モードになります。

2.2.13 AVREF

A/Dコンバータの基準電圧入力、およびP20-P27, P150-P153, P80-P83, A/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータの正電源供給端子です。

ポート2, 15, 8をすべてアナログ・ポートとして使用する場合は、2.7 V AV_{REF} V_{DD} となる電位にしてください。ポート2, 15, 8のうち、1本でもデジタル・ポートとして使用する場合、またはA/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータを使用しない場合は、 EV_{DD} , V_{DD} と同電位にしてください。

2.2.14 AV_{SS}

A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータおよびP20-P27, P150-P153, P80-P83のグランド電位端子です。A/Dコンバータ, プログラマブル・ゲイン・アンプ, コンパレータを使用しないときでも, 常にEV_{SS}, V_{SS}と同電位で使用してください。

2.2.15 RESET

ロウ・レベル・アクティブのシステム・リセット入力端子です。

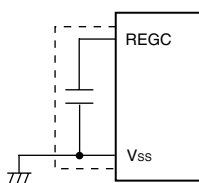
外部リセット端子を使用しない場合は, 直接または抵抗を介してEV_{DD}に接続してください。

外部リセット端子を使用する場合は, V_{DD}を基準に設計してください。

2.2.16 REGC

内部動作用レギュレータ出力安定容量接続端子です。コンデンサ (0.47 ~ 1 μ F) を介し, V_{SS}に接続してください。

また, 内部電圧の安定のために使用するため, 特性のよいコンデンサを使用してください。



注意 上図の破線部分の配線を極力短くしてください。

2.2.17 V_{DD}, EV_{DD}

V_{DD}は, P121-P124の正電源, およびポート部以外 (RESET端子, FLMD0端子を除く) の正電源供給端子です[※]。

EV_{DD}は, P20-P27, P150-P153, P80-P83, P121-P124以外のポート端子とRESET端子, FLMD0端子の正電源供給端子です。

注 EV_{DD}端子が搭載されていない製品では, V_{DD}をP20-P27, P150-P153, P80-P83以外のポート端子とポート以外の端子の正電源供給端子として使用してください。

2.2.18 V_{SS}, EV_{SS}

V_{SS}は, P121-P124のグランド電位, およびポート部以外 (RESET端子, FLMD0端子を除く) のグランド電位端子です[※]。

EV_{SS}は, P20-P27, P150-P153, P80-P83, P121-P124以外のポート端子とRESET端子, FLMD0端子のグランド電位端子です。

注 EV_{SS}端子が搭載されていない製品では, V_{SS}をP20-P27, P150-P153, P80-P83以外のポート部とポート以外の端子のグランド電位端子として使用してください。

2.2.19 FLMD0

フラッシュ・メモリ・プログラミング・モード引き込み用端子です。

次に示すいずれかの該当する端子処理を行ってください。

(a) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (24.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 kΩ以下の抵抗でプルダウンしてください。

また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(b) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

(c) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 kΩ ~ 200 kΩの抵抗でプルダウンしてください。

2.3 端子の入出力回路と未使用端子の処理

2.3.1 78K0R/IB3

各端子の入出力タイプと、未使用端子の処理を表2-5に示します。

表2-5 各端子の未使用端子処理 (78K0R/IB3) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P10/TI02/TO02/TxD0	8-R	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P11/TI03/TO03/RxD0			
P12/TI04/TO04			
P13/TI05/TO05			
P20/ANI0-P25/ANI5 ^{注1}	11-G		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30/SO10/TxD1/TO11	5-AG		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P31/SI10/RxD1/SDA10/ INTP1/TI09	5-AN	出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。	< N-chオープン・ドレイン設定時 > 出力時
P32/SCK10/SCL10/INTP2			
P40/TOOL0	8-R		< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P41/TOOL1			
P50/TI06/TO06			
P51/TI07/TO07			
P80/CMP0P/TMOFF0/ INTP3/PGAI ^{注2}	11-J		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P81/CMP0M ^{注2}	11-H		出力時：オープンにしてください。
P83/CMP1M ^{注2}			
P120/INTP0/EXLVI	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/INTP4 ^{注3}	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK/INTP5 ^{注3}			

注1. P20/ANI0-P25/ANI5は、リセット解除後はデジタル入力ポート・モードになります。

2. P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P83/CMP1Mは、リセット解除後はアナログ入力モードになります。

3. 未使用時は、入力ポート・モード (図5-3 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

表2 - 5 各端子の未使用端子処理 (78K0R/IB3) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
AV _{REF}	-	-	<p>< P20-P25, P80, P81, P83のうち, 1本でもデジタル・ポートとして設定時 ></p> <p>V_{DD}と同電位にしてください。</p> <p>< P20-P25, P80, P81, P83をすべてアナログ・ポートとして設定時 ></p> <p>2.7 V AV_{REF} V_{DD}となる電位にしてください。</p>
AV _{SS}	-	-	V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF : ターゲット) を介し, V _{SS} に接続してください。

2.3.2 78K0R/IC3

各端子の入出力タイプと、未使用端子の処理を表2 - 6 ~ 表2 - 8に示します。

(1) 38ピン製品

表2 - 6 各端子の未使用端子処理 (78K0R/IC3 38ピン製品) (1/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P10/TI02/TO02	8-R	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P11/TI03/TO03			
P12/TI04/TO04			
P13/TI05/TO05			
P20/ANI0-P27/ANI7 ^{注1}	11-G		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30/SO10/TxD1/TO11	5-AG		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P31/SI10/RxD1/SDA10/ INTP1/TI09	5-AN		
P32/SCK10/SCL10/INTP2			
P40/TOOL0	8-R		< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P41/TOOL1			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P50/TI06/TO06			
P51/TI07/TO07			
P52/SLTI/SLTO			
P72/INTP6/RxD0	5-AN		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P73/TxD0/TO10	8-R		
P80/CMP0P/TMOFF0/ INTP3/PGAI ^{注2}	11-J		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P81/CMP0M ^{注2}	11-H		
P82/CMP1P/TMOFF1/ INTP7 ^{注2}	11-I		
P83/CMP1M ^{注2}	11-H		

注1. P20/ANI0-P27/ANI7は、リセット解除後はデジタル入力ポート・モードになります。

2. P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P82/CMP1P/TMOFF1/INTP7, P83/CMP1Mは、リセット解除後はアナログ入力モードになります。

表2 - 6 各端子の未使用端子処理 (78K0R/IC3 38ピン製品) (2/2)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P120/INTP0/EXLVI	8-R	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1/INTP4 ^注	37-C	入力	個別に抵抗を介して，V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK/INTP5 ^注			
P123/XT1 ^注	37-B		
P124/XT2 ^注			
AV _{REF}	-	-	< P20-P27, P80-P83のうち，1本でもデジタル・ポートとして設定時 > V _{DD} と同電位にしてください。 < P20-P27, P80-P83をすべてアナログ・ポートとして設定時 > 2.7 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF : ターゲット) を介し，V _{SS} に接続してください。

注 未使用時は，入力ポート・モード (図5 - 3 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

(2) 44ピン製品

表2 - 7 各端子の未使用端子処理 (78K0R/IC3 44ピン製品) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P10/TI02/TO02	8-R	入出力	入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P11/TI03/TO03			
P12/TI04/TO04			
P13/TI05/TO05			
P20/ANI0-P27/ANI7 ^注	11-G		入力時：個別に抵抗を介して， AV_{REF} または AV_{SS} に接続してください。 出力時：オープンにしてください。
P30/SO10/TxD1/TO11	5-AG		入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。
P31/SI10/RxD1/SDA10/ INTP1/TI09	5-AN		
P32/SCK10/SCL10/INTP2			
P40/TOOL0	8-R		< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P41/TOOL1			入力時：個別に抵抗を介して， V_{DD} または V_{SS} に接続してください。 出力時：オープンにしてください。
P50/TI06/TO06			
P51/TI07/TO07			
P52/SLTI/SLTO			
P70/SO01/INTP4		8-R	

注 P20/ANI0-P27/ANI7は，リセット解除後はデジタル入力ポート・モードになります。

表2-7 各端子の未使用端子処理 (78K0R/IC3 44ピン製品) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P71/SI01/INTP5	5-AN	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P72/SCK01/INTP6			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P73/SO00/TxD0/TO10	8-R		出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P74/SI00/RxD0/TI10	5-AN		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P75/SCK00/TI11			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P80/CMP0P/TMOFF0/ INTP3/PGAI ^{注1}	11-J		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。
P81/CMP0M ^{注1}	11-H		出力時：オープンにしてください。
P82/CMP1P/TMOFF1/ INTP7 ^{注1}	11-I		
P83/CMP1M ^{注1}	11-H		
P120/INTP0/EXLVI	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1 ^{注2}	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^{注2}			
P123/XT1 ^{注2}	37-B		
P124/XT2 ^{注2}			
P150/ANI8, P151/ANI9 ^{注3}	11-G	入出力	入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。

注1. P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P82/CMP1P/TMOFF1/INTP7, P83/CMP1Mは、リセット解除後はアナログ入力モードになります。

2. 未使用時は、入力ポート・モード (図5-3 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

3. P150/ANI8, P151/ANI9は、リセット解除後はデジタル入力ポート・モードになります。

表2 - 7 各端子の未使用端子処理 (78K0R/IC3 44ピン製品) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
AV _{REF}	-	-	<p>< P20-P27, P150, P151, P80-P83のうち, 1本でもデジタル・ポートとして設定時 ></p> <p>V_{DD}と同電位にしてください。</p> <p>< P20-P27およびP150, P151およびP80-P83をすべてアナログ・ポートとして設定時 ></p> <p>2.7 V AV_{REF} V_{DD}となる電位にしてください。</p>
AV _{SS}	-	-	V _{SS} と同電位にしてください。
FLMDO	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF : ターゲット) を介し, V _{SS} に接続してください。

(3) 48ピン製品

表2-8 各端子の未使用端子処理 (78K0R/IC3 48ピン製品) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P10/TI02/TO02	8-R	入出力	入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P11/TI03/TO03			
P12/TI04/TO04			
P13/TI05/TO05			
P20/ANI0-P27/ANI7 ^注	11-G		入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30/SO10/TxD1/TO11	5-AG		入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P31/SI10/RxD1/SDA10/ INTP1/TI09	5-AN		
P32/SCK10/SCL10/INTP2			
P40/TOOL0	8-R		< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P41/TOOL1			入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P50/TI06/TO06			
P51/TI07/TO07			
P52/SLTI/SLTO			
P60/SCL0	13-R		入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。
P61/SDA0			
P70/SO01/INTP4	8-R		入力時：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して，V _{DD} またはV _{SS} に接続してください。

注 P20/ANI0-P27/ANI7は，リセット解除後はデジタル入力ポート・モードになります。

表2 - 8 各端子の未使用端子処理 (78K0R/IC3 48ピン製品) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P71/SI01/INTP5	5-AN	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P72/SCK01/INTP6			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P73/SO00/TxD0/TO10	8-R		出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P74/SI00/RxD0/TI10	5-AN		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P75/SCK00/TI11			入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P80/CMP0P/TMOFF0/ INTP3/PGAI ^{注1}	11-J		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P81/CMP0M ^{注1}	11-H		出力時：オープンにしてください。
P82/CMP1P/TMOFF1/ INTP7 ^{注1}	11-I		
P83/CMP1M ^{注1}	11-H		
P120/INTP0/EXLVI	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P121/X1 ^{注2}	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^{注2}			
P123/XT1 ^{注2}			
P124/XT2 ^{注2}			
P140/PCLBUZ0	3-C	出力	オープンにしてください。
P150/ANI8-P152/ANI10 ^{注3}	11-G	入出力	入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。

注1. P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P82/CMP1P/TMOFF1/INTP7, P83/CMP1Mは、リセット解除後はアナログ入力モードになります。

2. 未使用時は、入力ポート・モード (図5 - 3 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

3. P150/ANI8-P152/ANI10は、リセット解除後はデジタル入力ポート・モードになります。

表2 - 8 各端子の未使用端子処理 (78K0R/IC3 48ピン製品) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
AV _{REF}	-	-	<p><P20-P27, P150-P152, P80-P83のうち, 1本でもデジタル・ポートとして設定時> V_{DD}と同電位にしてください。</p> <p><P20-P27およびP150-P152およびP80-P83をすべてアナログ・ポートとして設定時> 2.7 V AV_{REF} V_{DD}となる電位にしてください。</p>
AV _{SS}	-	-	V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF : ターゲット) を介し, V _{SS} に接続してください。

2.3.3 78K0R/ID3

各端子の入出力タイプと、未使用端子の処理を表2-9に示します。

表2-9 各端子の未使用端子処理 (78K0R/ID3) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI00	8-R	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TO00	5-AG		
P10/TI02/TO02	8-R		
P11/TI03/TO03			
P12/TI04/TO04			
P13/TI05/TO05			
P20/ANI0-P27/ANI7 ^注	11-G		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30/SO10/TxD1/TO11	5-AG		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P31/SI10/RxD1/SDA10/ INTP1/TI09	5-AN		
P32/SCK10/SCL10/INTP2			
P40/TOOL0	8-R	< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	
P41/TOOL1		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。	
P50/TI06/TO06			
P51/TI07/TO07			
P52/SLTI/SLTO			

注 P20/ANI0-P27/ANI7は、リセット解除後はデジタル入力ポート・モードになります。

表2 - 9 各端子の未使用端子処理 (78K0R/ID3) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P60/SCL0	13-R	入出力	入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P61/SDA0			
P70/SO01/INTP4	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P71/SI01/INTP5	5-AN		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P72/SCK01/INTP6			
P73/SO00/TxD0/TO10	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P74/SI00/RxD0/TI10	5-AN		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。 <N-chオープン・ドレイン設定時> 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。
P75/SCK00/TI11			
P76	8-R		入力時：個別に抵抗を介して、V _{DD} またはV _{SS} に接続してください。 出力時：オープンにしてください。
P77			
P80/CMP0P/TMOFF0/INTP3/PGAI ^注	11-J		入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P81/CMP0M ^注	11-H		
P82/CMP1P/TMOFF1/INTP7 ^注	11-I		
P83/CMP1M ^注	11-H		
P120/INTP0/EXLVI	8-R		

注 P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P82/CMP1P/TMOFF1/INTP7, P83/CMP1Mは、リセット解除後はアナログ入力モードになります。

表2 - 9 各端子の未使用端子処理 (78K0R/ID3) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P121/X1 ^{注1}	37-C	入力	個別に抵抗を介して、V _{DD} またはV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P140/PCLBUZ0	3-C	出力	オープンにしてください。
P150/ANI8-P152/ANI10 ^{注2}	11-G	入出力	入力時：個別に抵抗を介して、AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
AV _{REF}	-	-	<P20-P27, P150-P152, P80-P83のうち、1本でもデジタル・ポートとして設定時> V _{DD} と同電位にしてください。 <P20-P27およびP150-P152およびP80-P83をすべてアナログ・ポートとして設定時> 2.7 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	V _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF : ターゲット) を介し、V _{SS} に接続してください。

注1. 未使用時は、入力ポート・モード (図5 - 3 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

2. P150/ANI8-P152/ANI10は、リセット解除後はデジタル入力ポート・モードになります。

2.3.4 78K0R/IE3

各端子の入出力タイプと、未使用端子の処理を表2 - 10に示します。

表2 - 10 各端子の未使用端子処理 (78K0R/IE3) (1/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P00/TI00	8-R	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01/TO00	5-AG		
P10/TI02/TO02	8-R		
P11/TI03/TO03			
P12/TI04/TO04			
P13/TI05/TO05			
P14/TI06/TO06			
P15/TI07/TO07			
P16/TI08/TO08			
P17/TI09/TO09			
P20/ANI0-P27/ANI7 ^注	11-G	入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。	
P30/SO10/TxD1/TO11	5-AG	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出力ラッチに0を設定：オープンにしてください。 ・ポートの出力ラッチに1を設定：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。	
P31/SI10/RxD1/SDA10/ INTP1	5-AN		
P32/SCK10/SCL10/INTP2			
P33	5-AG	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P40/TOOL0	8-R	< オンチップ・デバッグ許可設定時 > プルアップしてください (プルダウン禁止)。 < オンチップ・デバッグ禁止設定時 > 入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P41/TOOL1			
P42	5-AG	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P43			
P50	8-R	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。	
P51			
P52/SLTI/SLTO			
P53			
P53	5-AG		

注 P20/ANI0-P27/ANI7は，リセット解除後はデジタル入力ポート・モードになります。

表2 - 10 各端子の未使用端子処理 (78K0R/IE3) (2/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P60/SCL0	13-R	入出力	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。
P61/SDA0			
P70/SO01/INTP4	8-R		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。
P71/SI01/INTP5	5-AN		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P72/SCK01/INTP6			
P73/SO00/TxD0/TO10	8-R		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。
P74/SI00/RxD0/TI10	5-AN		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。 < N-chオープン・ドレイン設定時 > 出力時 ・ポートの出カラッチに0を設定：オープンにしてください。 ・ポートの出カラッチに1を設定：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。
P75/SCK00/TI11			
P76	8-R		入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P77			
P80/CMP0P/TMOFF0/INTP3/PGAI ^注	11-J		入力時：個別に抵抗を介して，AV _{REF} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P81/CMP0M ^注	11-H		
P82/CMP1P/TMOFF1/INTP7 ^注	11-I		
P83/CMP1M ^注	11-H		
P120/INTP0/EXLVI	8-R		

注 P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P82/CMP1P/TMOFF1/INTP7, P83/CMP1Mは，リセット解除後はアナログ入力モードになります。

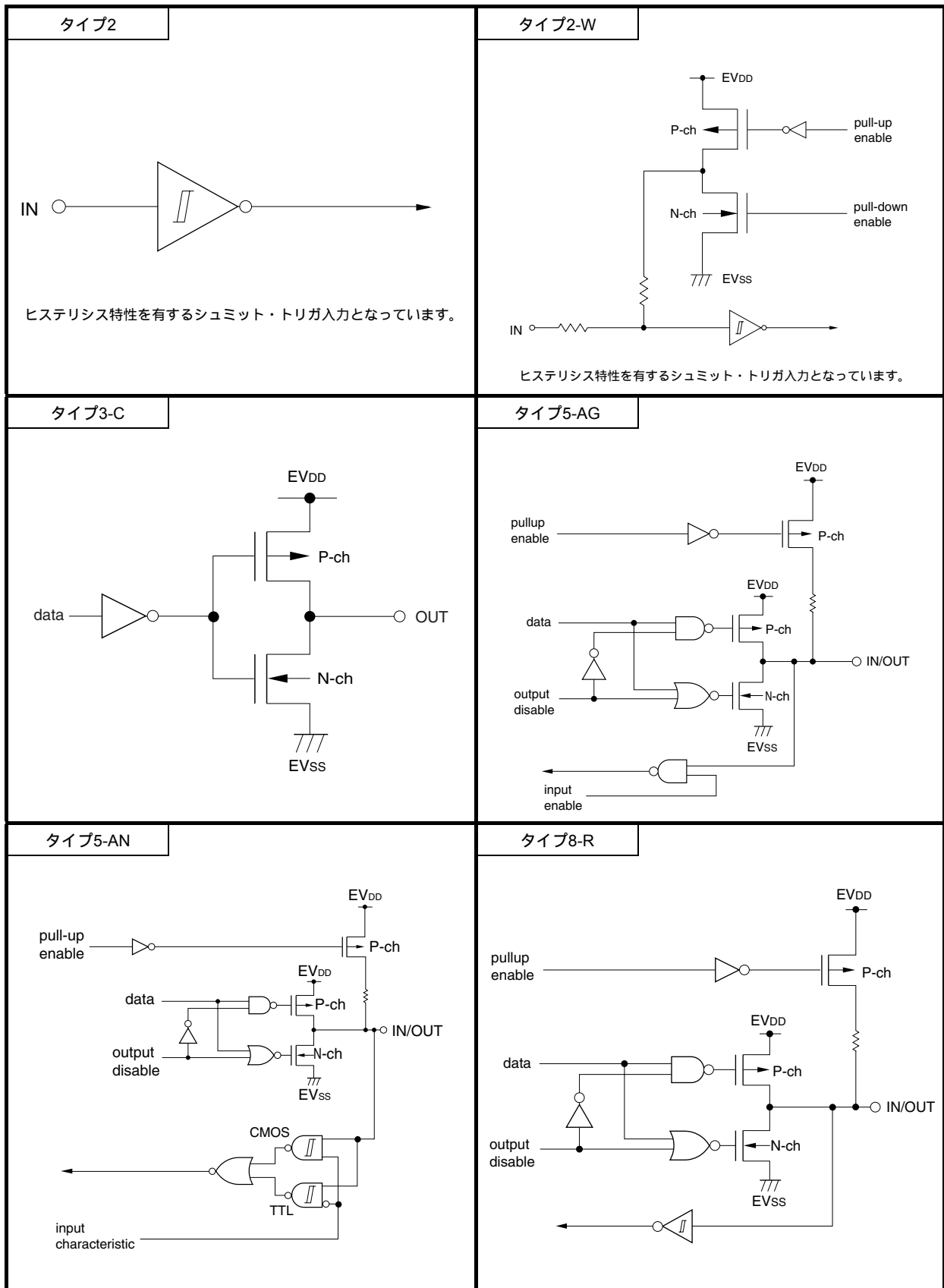
表2 - 10 各端子の未使用端子処理 (78K0R/IE3) (3/3)

端子名称	入出力回路タイプ	入出力	未使用時の推奨接続方法
P121/X1 ^{注1}	37-C	入力	個別に抵抗を介して、EV _{DD} またはEV _{SS} のいずれかに接続してください。
P122/X2/EXCLK ^{注1}			
P123/XT1 ^{注1}			
P124/XT2 ^{注1}			
P140/PCLBUZ0	3-C	出力	オープンにしてください。
P141/PCLBUZ1	5-AG	入出力	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P150/ANI8-P153/ANI11 ^{注2}			11-G
AV _{REF}	-	-	<P20-P27, P150-P153, P80-P83のうち、1本でもデジタル・ポートとして設定時> EV _{DD} , V _{DD} と同電位にしてください。 <P20-P27およびP150-P153およびP80-P83をすべてアナログ・ポートとして設定時> 2.7 V AV _{REF} V _{DD} となる電位にしてください。
AV _{SS}	-	-	EV _{SS} , V _{SS} と同電位にしてください。
FLMD0	2-W	-	オープンまたは100 k 以上の抵抗を介してV _{SS} に接続してください。
RESET	2	入力	EV _{DD} に直接接続または抵抗を介して接続してください。
REGC	-	-	コンデンサ (0.47 ~ 1 μF) を介し、V _{SS} に接続してください。

注1. 未使用時は、入力ポート・モード (図5-3 クロック動作モード制御レジスタ (CMC) のフォーマットを参照) で上記の推奨接続方法を行ってください。

2. P150/ANI8-P153/ANI11は、リセット解除後はデジタル入力ポート・モードになります。

図2 - 1 端子の入出力回路一覧 (1/3)



備考 EVDD, EVSS端子がない製品は, EVDDをVDDに, EVSSをVSSに置き換えてください。

図2-1 端子の入出力回路一覧 (2/3)

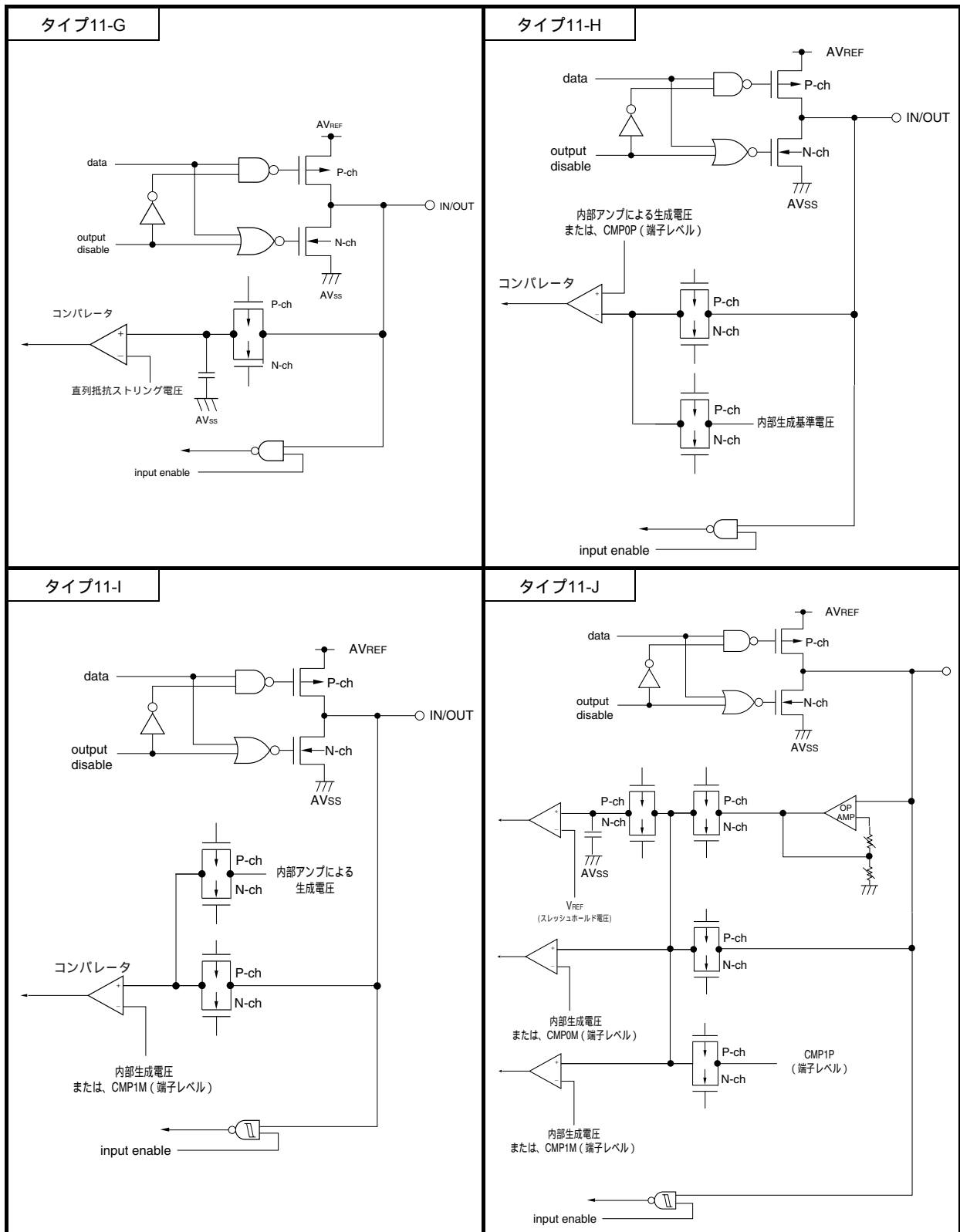
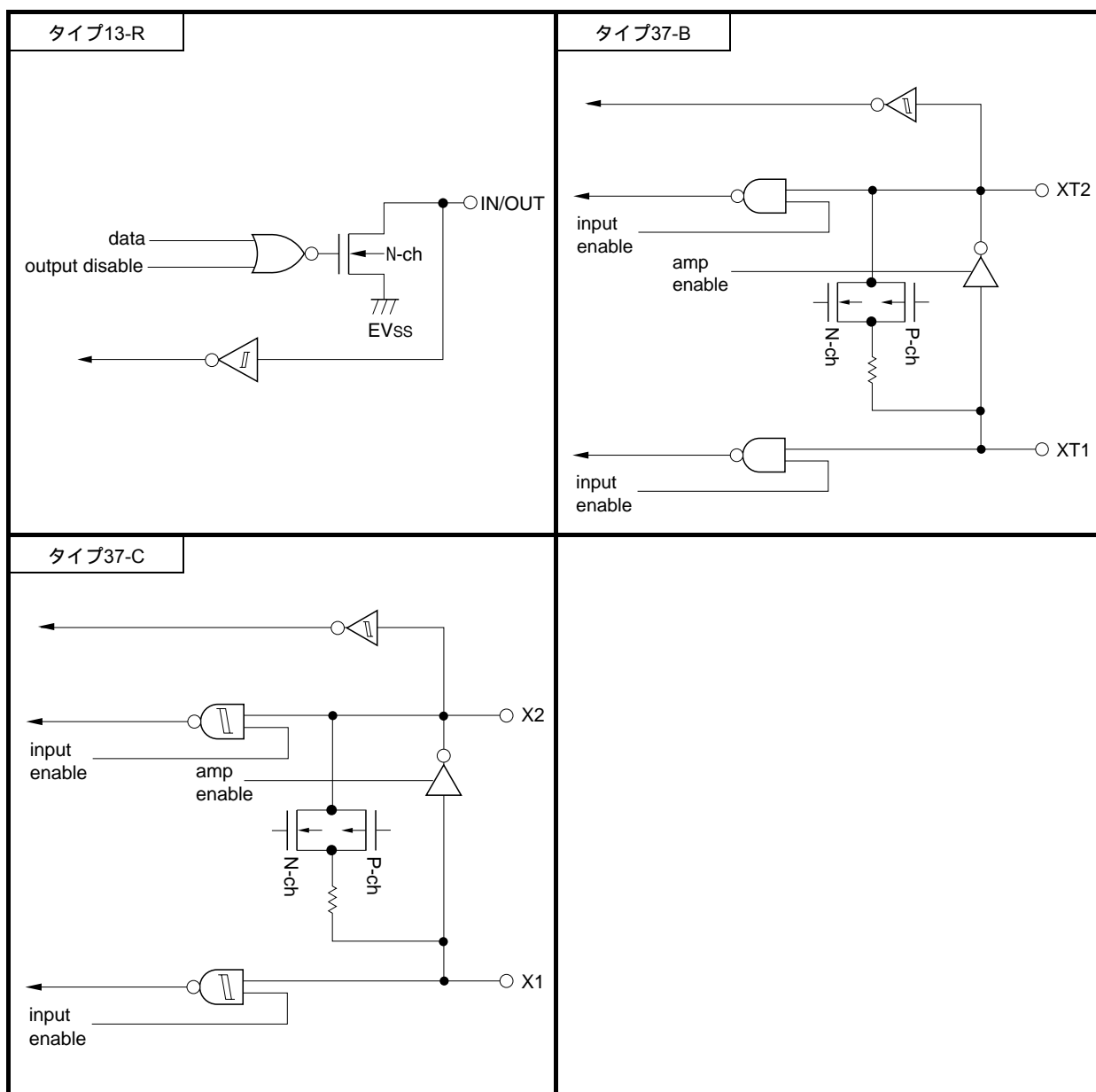


図2 - 1 端子の入出力回路一覧 (3/3)



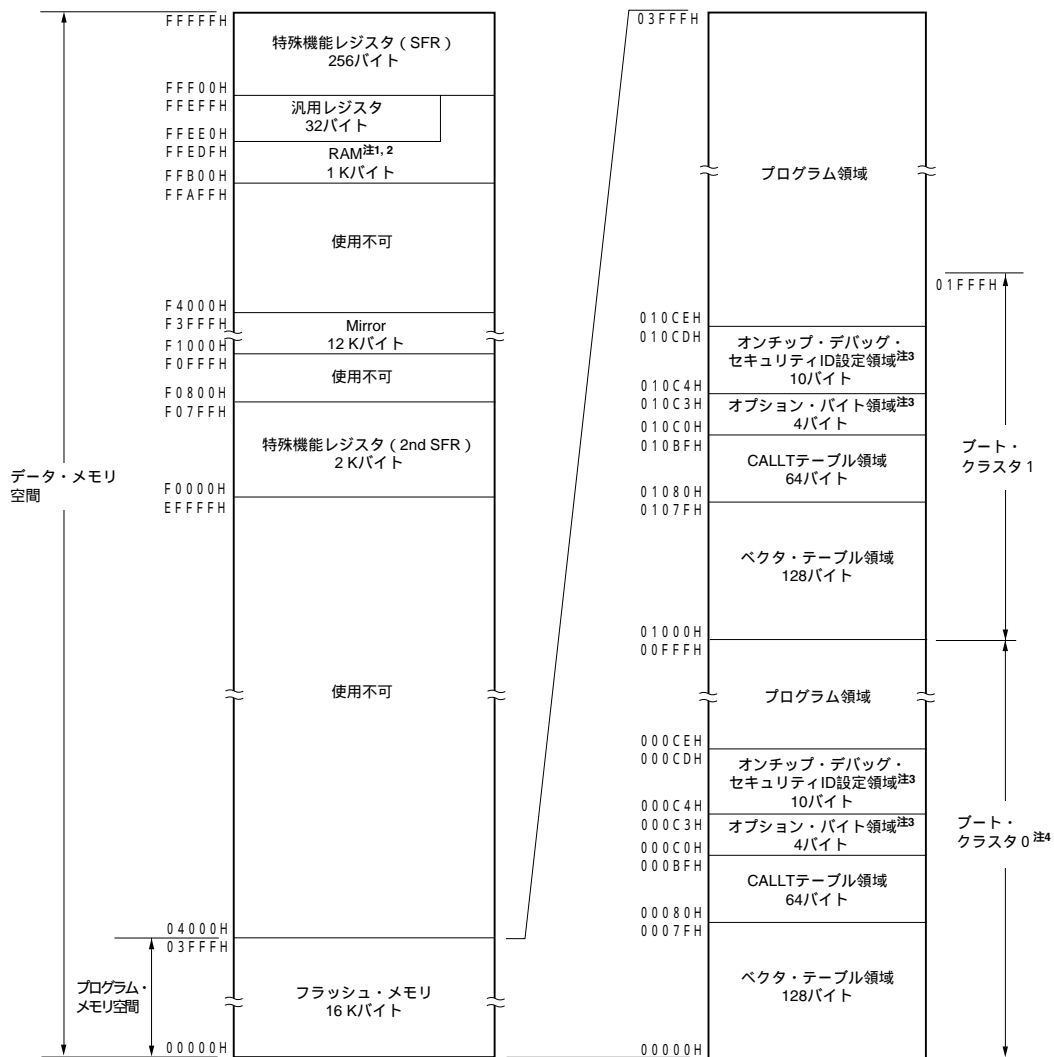
備考 EVss端子がない製品は、EVssをVssに置き換えてください。

第3章 CPUアーキテクチャ

3.1 メモリ空間

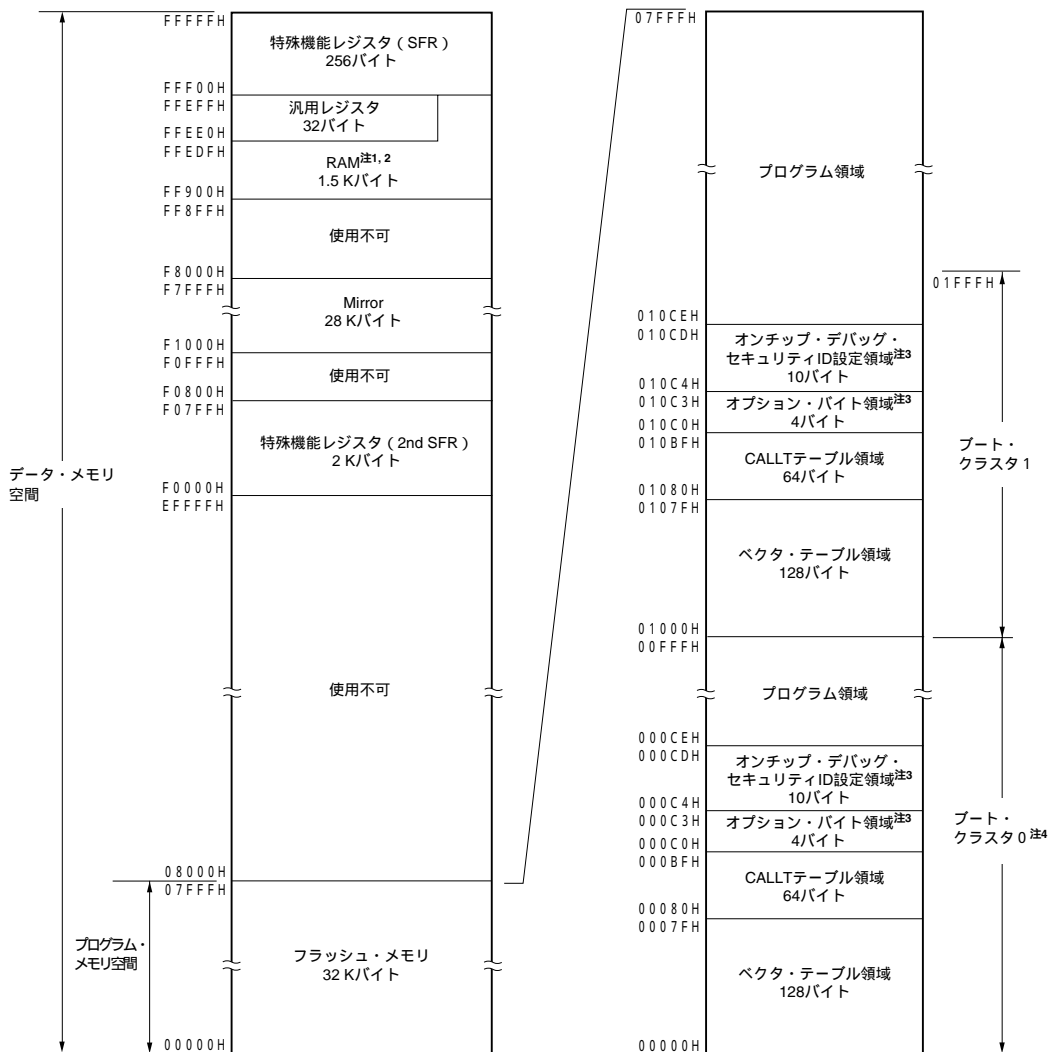
78K0R/Ix3は、1 Mバイトのメモリ空間をアクセスできます。図3 - 1から図3 - 4に、メモリ・マップを示します。

図3 - 1 メモリ・マップ (μ PD78F1201, 78F1211)



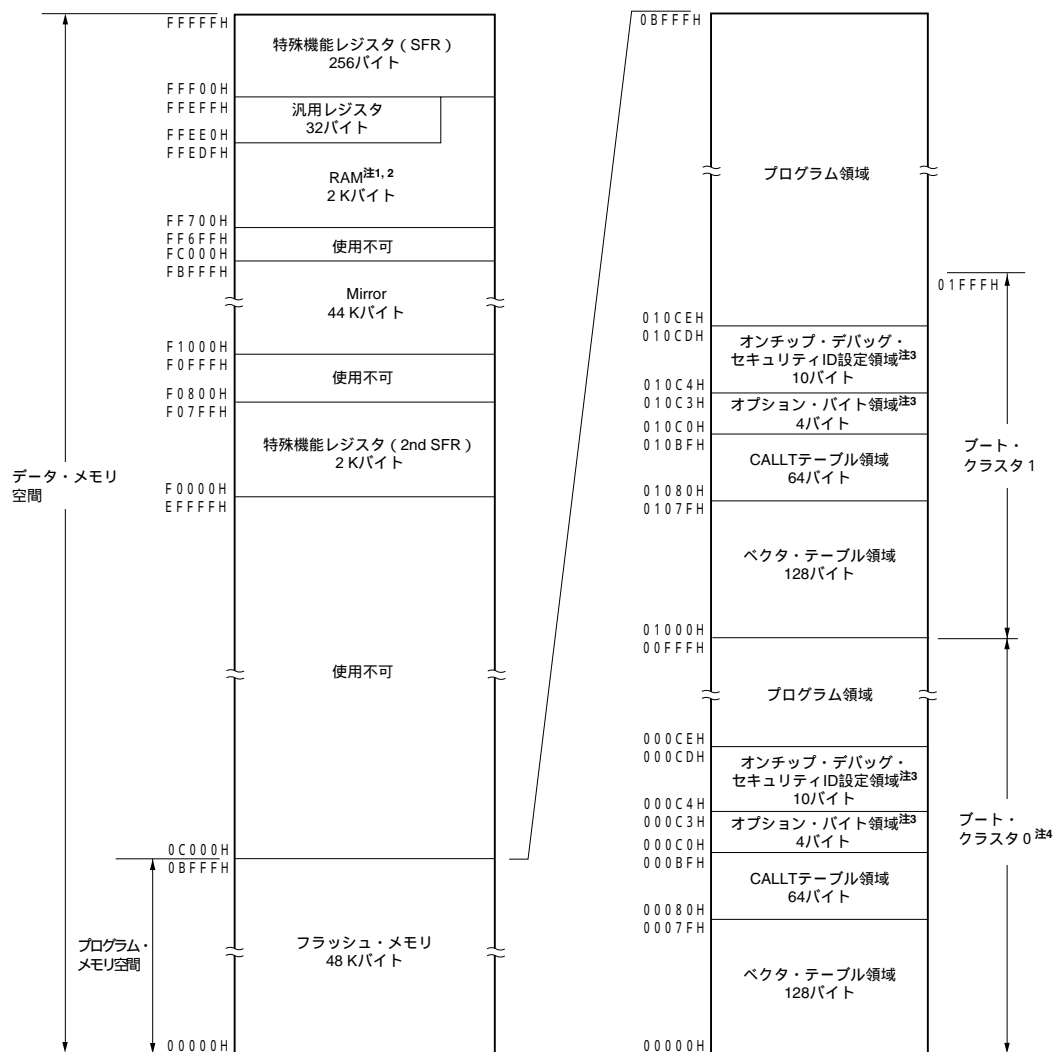
- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます (24.7 セキュリティ設定を参照)。

図3 - 2 メモリ・マップ (μ PD78F1203, 78F1213, 78F1223, 78F1233)



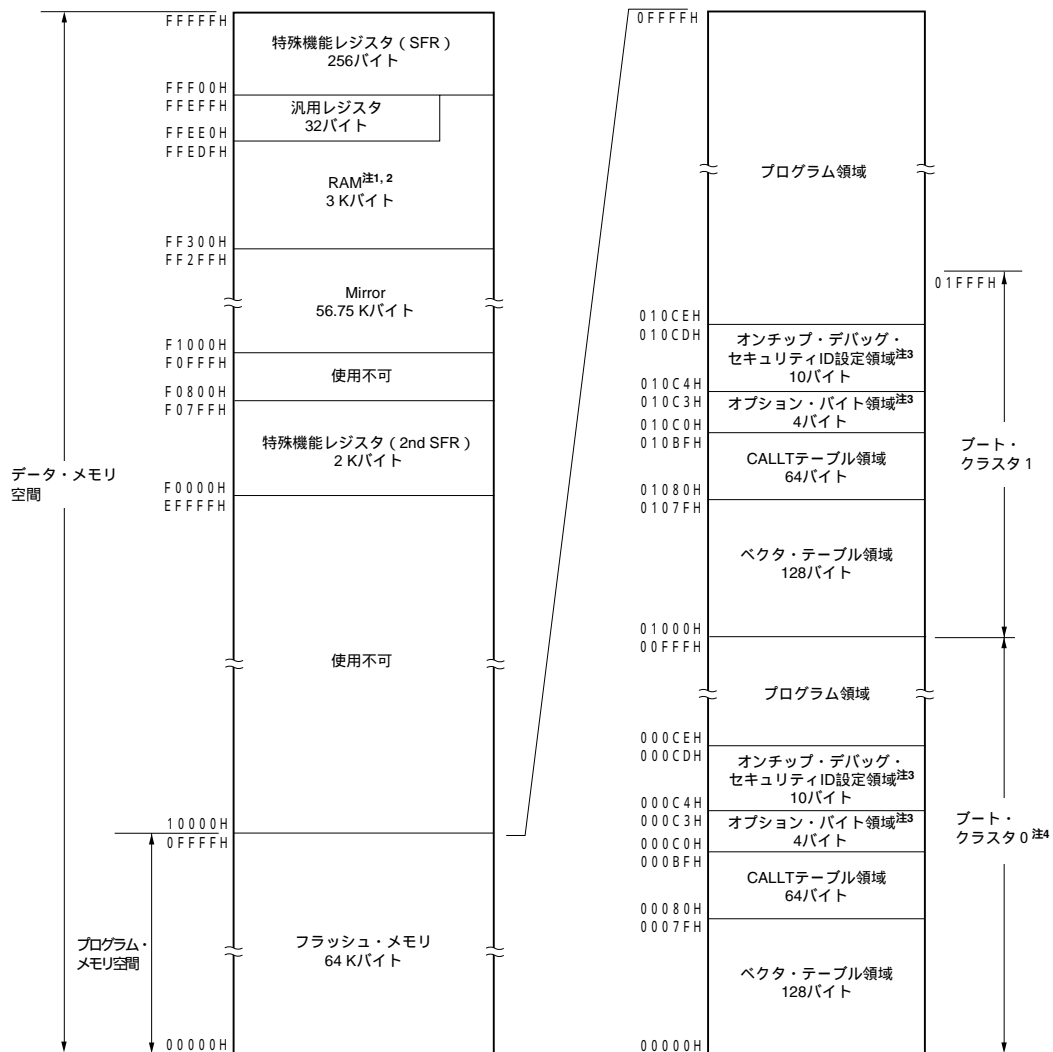
- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時 : 000C0H-000C3Hにオプション・バイト, 000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
ブート・スワップ使用時 : 000C0H-000C3H, 010C0H-010C3Hにオプション・バイト, 000C4H-000CDH, 010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(24.7 セキュリティ設定を参照)。

図3-3 メモリ・マップ (μ PD78F1214, 78F1224, 78F1234)



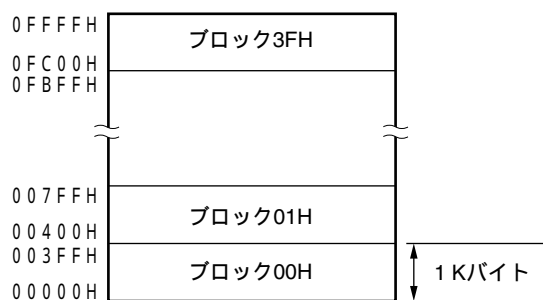
- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により、ブート・クラスタ0は書き換えを禁止することができます(24.7 セキュリティ設定を参照)。

図3-4 メモリ・マップ (μ PD78F1215, 78F1225, 78F1235)



- 注1. セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFF300H-FF6FFHの領域が使用禁止になります。
2. 汎用レジスタを除いたRAM領域から命令実行をすることができます。
3. ブート・スワップ未使用時：000C0H-000C3Hにオプション・バイト，000C4H-000CDHにオンチップ・デバッグ・セキュリティIDを設定
 ブート・スワップ使用時：000C0H-000C3H，010C0H-010C3Hにオプション・バイト，000C4H-000CDH，010C4H-010CDHにオンチップ・デバッグ・セキュリティID設定
4. セキュリティの設定により，ブート・クラスタ0は書き換えを禁止することができます(24.7 セキュリティ設定を参照)。

備考 フラッシュ・メモリはブロックごとに分かれています (1ブロック = 1 Kバイト)。アドレス値とブロック番号については、表3-1 フラッシュ・メモリのアドレス値とブロック番号の対応を参照してください。



(μ PD78F1215, 78F1225, 78F1235の場合)

フラッシュ・メモリのアドレス値とブロック番号の対応を次に示します。

表3 - 1 フラッシュ・メモリのアドレス値とブロック番号の対応

アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号	アドレス値	ブロック番号
00000H-003FFH	00H	04000H-043FFH	10H	08000H-083FFH	20H	0C000H-0C3FFH	30H
00400H-007FFH	01H	04400H-047FFH	11H	08400H-087FFH	21H	0C400H-0C7FFH	31H
00800H-00BFFH	02H	04800H-04BFFH	12H	08800H-08BFFH	22H	0C800H-0CBFFH	32H
00C00H-00FFFH	03H	04C00H-04FFFH	13H	08C00H-08FFFH	23H	0CC00H-0CFFFH	33H
01000H-013FFH	04H	05000H-053FFH	14H	09000H-093FFH	24H	0D000H-0D3FFH	34H
01400H-017FFH	05H	05400H-057FFH	15H	09400H-097FFH	25H	0D400H-0D7FFH	35H
01800H-01BFFH	06H	05800H-05BFFH	16H	09800H-09BFFH	26H	0D800H-0DBFFH	36H
01C00H-01FFFH	07H	05C00H-05FFFH	17H	09C00H-09FFFH	27H	0DC00H-0DFFFH	37H
02000H-023FFH	08H	06000H-063FFH	18H	0A000H-0A3FFH	28H	0E000H-0E3FFH	38H
02400H-027FFH	09H	06400H-067FFH	19H	0A400H-0A7FFH	29H	0E400H-0E7FFH	39H
02800H-02BFFH	0AH	06800H-06BFFH	1AH	0A800H-0ABFFH	2AH	0E800H-0EBFFH	3AH
02C00H-02FFFH	0BH	06C00H-06FFFH	1BH	0AC00H-0AFFFH	2BH	0EC00H-0EFFFH	3BH
03000H-033FFH	0CH	07000H-073FFH	1CH	0B000H-0B3FFH	2CH	0F000H-0F3FFH	3CH
03400H-037FFH	0DH	07400H-077FFH	1DH	0B400H-0B7FFH	2DH	0F400H-0F7FFH	3DH
03800H-03BFFH	0EH	07800H-07BFFH	1EH	0B800H-0BBFFH	2EH	0F800H-0FBFFH	3EH
03C00H-03FFFH	0FH	07C00H-07FFFH	1FH	0BC00H-0BFFFH	2FH	0FC00H-0FFFFH	3FH

備考 μ PD78F1201, 78F1211 : ブロック番号00H-0FH
 μ PD78F1203, 78F1213, 78F1223, 78F1233 : ブロック番号00H-1FH
 μ PD78F1214, 78F1224, 78F1234 : ブロック番号00H-2FH
 μ PD78F1215, 78F1225, 78F1235 : ブロック番号00H-3FH

3.1.1 内部プログラム・メモリ空間

内部プログラム・メモリ空間にはプログラムおよびテーブル・データなどを格納します。

78K0R/1x3は、次に示す内部ROM（フラッシュ・メモリ）を内蔵しています。

表3-2 内部ROM容量

製 品	内部ROM	
	構 造	容 量
μ PD78F1201, 78F1211	フラッシュ・メモリ	16384×8ビット (00000H-03FFFFH)
μ PD78F1203, 78F1213, 78F1223, 78F1233		32768×8ビット (00000H-07FFFFH)
μ PD78F1214, 78F1224, 78F1234		49152×8ビット (00000H-0BFFFFH)
μ PD78F1215, 78F1225, 78F1235		65536×8ビット (00000H-0FFFFFH)

内部プログラム・メモリ空間には、次に示す領域を割り付けています。

(1) ベクタ・テーブル領域

00000H-0007FHの128バイト領域はベクタ・テーブル領域として予約されています。ベクタ・テーブル領域には、リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておきます。また、ベクタ・コードは2バイトとしているため、割り込みの飛び先アドレスは00000H-0FFFFFHの64 Kアドレスとなります。

16ビット・アドレスのうち下位8ビットが偶数アドレスに、上位8ビットが奇数アドレスに格納されます。

表3 - 3 ベクタ・テーブル

ベクタ・テーブル・アドレス	割り込み要因	IB3	IC3			ID3	IE3
			(38ピン)	(44ピン)	(48ピン)		
00000H	RESET入力, POC, LVI, WDT, TRAP						
00004H	INTWDTI						
00006H	INTLVI						
00008H	INTP0						
0000AH	INTP1						
0000CH	INTP2						
0000EH	INTP3/INTTMOFF0						
00010H	INTP4						
00012H	INTP5						
00014H	INTTMAD						
00016H	INTCMP0						
00018H	INTCMP1						
0001AH	INTDMA0						
0001CH	INTDMA1						
0001EH	INTST0/INTCSI00	注	注				
00020H	INTSR0/INTCSI01	注	注				
00022H	INTSRE0						
00024H	INTST1/INTCSI10/INTIIC10						
00026H	INTSR1						
00028H	INTSRE1						
0002AH	INTIICA	-	-	-			
0002CH	INTTM00						
0002EH	INTTM01						
00030H	INTTM02						
00032H	INTTM03						
00034H	INTAD						
00036H	INTRTC	-					
00038H	INTRTCI	-					
0003CH	INTTMM0						
0003EH	INTTMV0						
00040H	INTMD						
00042H	INTTM04						
00044H	INTTM05						
00046H	INTTM06						
00048H	INTTM07						
0004AH	INTP6	-					
0004CH	INTP7/INTTMOFF1	-					
0004EH	INTTMM1						
00050H	INTTMV1						
00052H	INTTM08						
00054H	INTTM09						
00056H	INTTM10						
00058H	INTTM11						

注 INTST0, INTSR0のみ。

備考 : 搭載, x : 非搭載

(2) CALLT命令テーブル領域

00080H-000BFHの64バイト領域には、2バイト・コール命令（CALLT）のサブルーチン・エントリ・アドレスを格納することができます。サブルーチン・エントリ・アドレスは00000H-0FFFFH内の値を設定してください（アドレス・コードが2バイトのため）。

ブート・スワップを使用する際には、01080H-010BFHにもCALLT命令テーブルを設定してください。

(3) オプション・バイト領域

000C0H-000C3Hの4バイト領域にオプション・バイト領域を用意しています。ブート・スワップを使用する際には010C0H-010C3Hにもオプション・バイトを設定してください。詳細は**第23章 オプション・バイト**を参照してください。

(4) オンチップ・デバッグ・セキュリティID設定領域

000C4H-000CDH, 010C4H-010CDHの10バイト領域にオンチップ・デバッグ・セキュリティID設定領域を用意しています。ブート・スワップ未使用時には000C4H-000CDHに、ブート・スワップ使用時には000C4H-000CDHと010C4H-010CDHに10バイトのオンチップ・デバッグ・セキュリティIDを設定してください。詳細は**第25章 オンチップ・デバッグ機能**を参照してください。

3.1.2 ミラー領域

78K0R/1x3では、00000H-0FFFFHのデータ・フラッシュ・エリアをF0000H-FFFFFFHへミラーさせています（プロセッサ・モード・コントロール・レジスタ（PMC）で設定）。

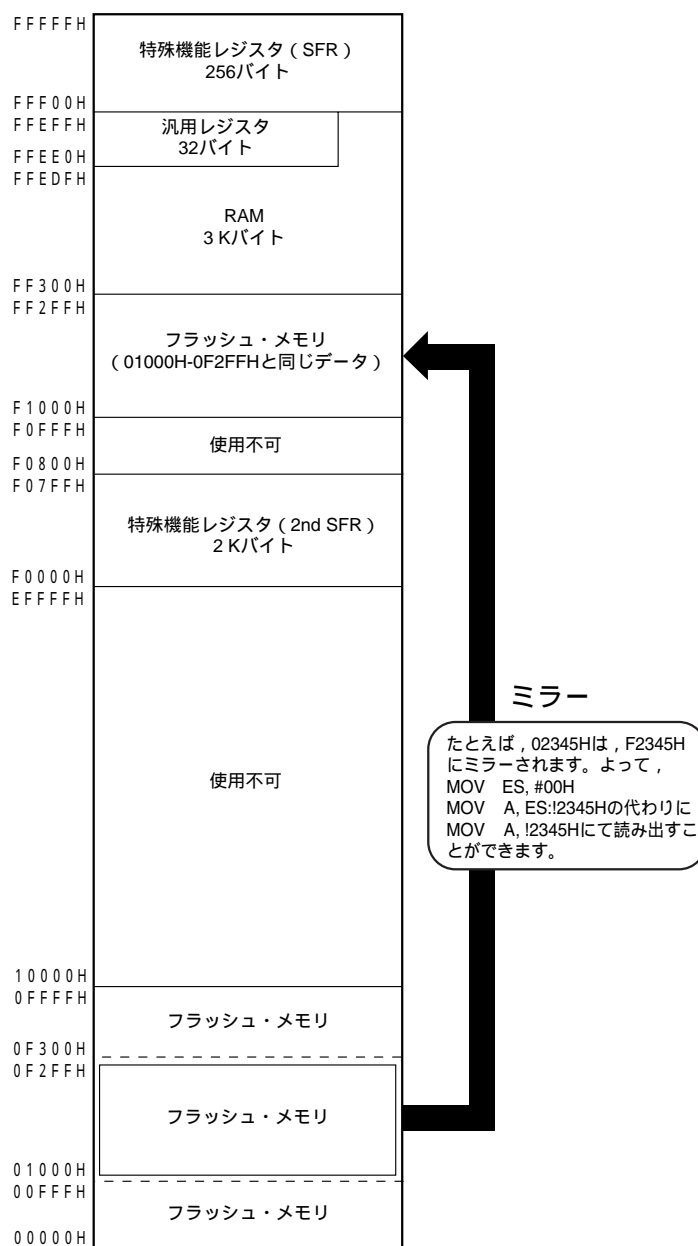
ミラー先のF0000H-FFFFFFHからデータを読み出すことにより、オペランドにESレジスタを持たない命令を使用することができるため、短いコードでデータ・フラッシュ内容の読み出しを行うことができます。ただし、SFR、拡張SFR、RAM領域、使用不可領域にはミラーされません。

各製品のミラー領域は、3.1 メモリ空間を参照してください。

ミラー領域は読み出しのみ可能で、命令フェッチはできません。

次に例を示します。

例 μ PD78F1215, 78F1225, 78F1235（フラッシュ・メモリ 64 Kバイト，RAM 3 Kバイト）の場合



次に、PMCレジスタについて説明します。

・プロセッサ・モード・コントロール・レジスタ (PMC)

F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定するレジスタです。
 PMCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により、00Hになります。

図3 - 5 プロセッサ・モード・コントロール・レジスタ (PMC) のフォーマット

アドレス : FFFFEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PMC	0	0	0	0	0	0	0	MAA

MAA	F0000H-FFFFFFHへミラーするフラッシュ・メモリ空間を設定
0	00000H-0FFFFHをF0000H-FFFFFFHへミラー
1	設定禁止

- 注意1. 必ずビット0 (MAA) を0 (初期値) でご使用ください。
- PMCの設定は、DMAコントローラを動作させる前に初期設定で1度だけ行ってください。初期設定以外でのPMCの書き替えは禁止です。
 - PMCの設定後、1命令以上空けてミラー領域にアクセスしてください。

3.1.3 内部データ・メモリ空間

78K0R/1x3は、次に示すRAMを内蔵しています。

表3 - 4 内部RAM容量

製 品	内部RAM
μ PD78F1201, 78F1211	1024×8ビット (FFB00H-FFEFFH)
μ PD78F1203, 78F1213, 78F1223, 78F1233	1536×8ビット (FF900H-FFEFFH)
μ PD78F1214, 78F1224, 78F1234	2048×8ビット (FF700H-FFEFFH)
μ PD78F1215, 78F1225, 78F1235	3072×8ビット (FF300H-FFEFFH)

データ領域として使用できるほか、プログラム領域として命令を書いて実行することができます。内部RAM領域のうちFFEE0H-FFEFFHの32バイトの領域には、8ビット・レジスタ8個を1バンクとする汎用レジスタが、4バンク割り付けられます。汎用レジスタでは命令実行できません。

また、スタック・メモリは内部RAMを使用します。

- 注意1. 汎用レジスタ (FFEE0H ~ FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。
- セルフ・プログラミング機能使用時は、FFE20H ~ FFEFFHの領域をスタック・メモリとして使用できません。また、μ PD78F1215, 78F1225, 78F1235ではFF300H ~ FF6FFHの領域もスタック・メモリとして使用できません。

3.1.4 特殊機能レジスタ (SFR : Special Function Register) 領域

FFF00H-FFFFFHの領域には、オン・チップ周辺ハードウェアの特殊機能レジスタ (SFR) が割り付けられています (3.2.4 特殊機能レジスタ (SFR : Special Function Register) の表3 - 5参照)。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) 領域

F0000H-F07FFHの領域には、オン・チップ周辺ハードウェアの拡張特殊機能レジスタ (2nd SFR) が割り付けられています (3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) の表3 - 6参照)。

SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

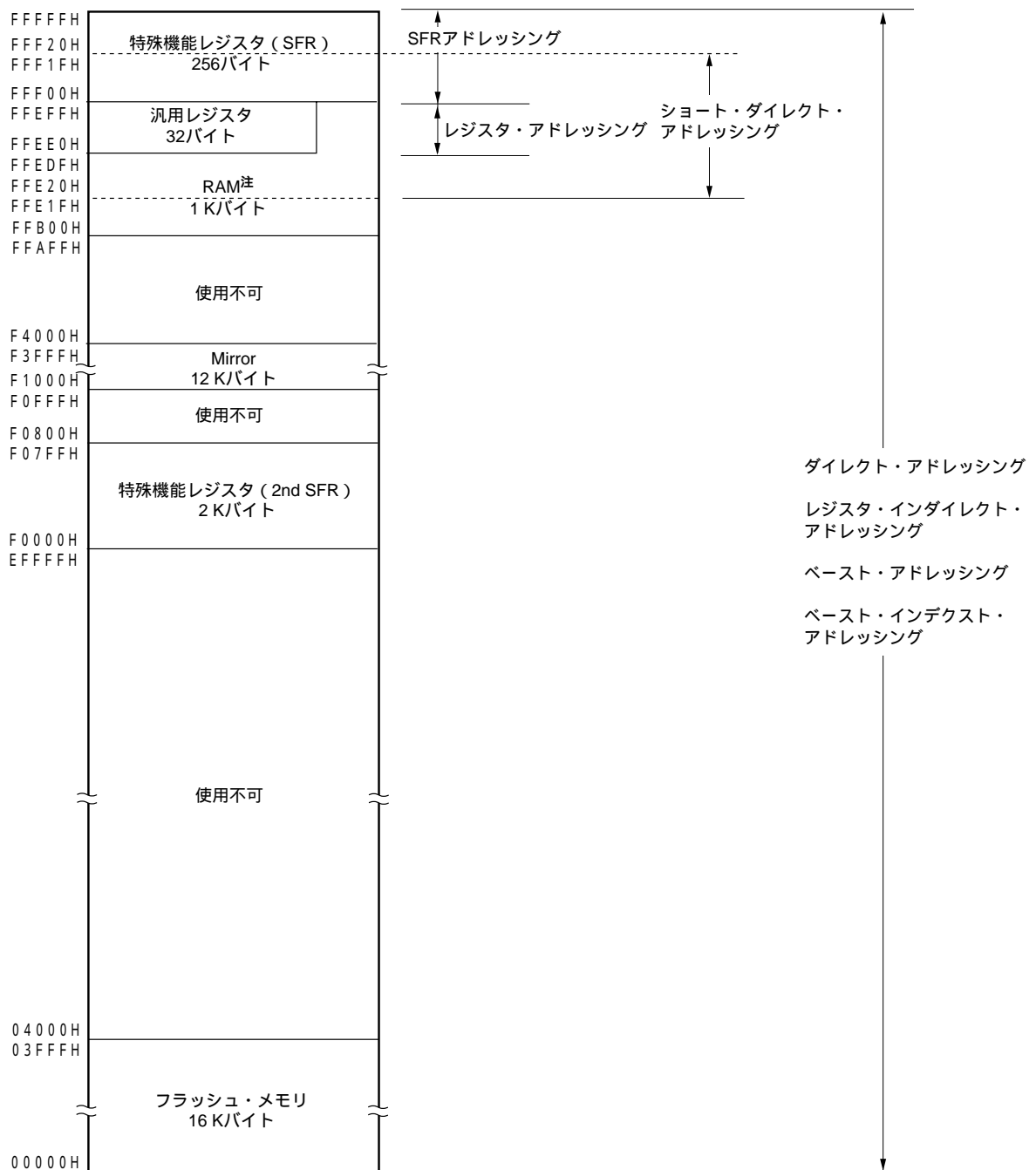
注意 拡張SFRが割り付けられていないアドレスにアクセスしないでください。

3.1.6 データ・メモリ・アドレッシング

次に実行する命令のアドレスを指定したり、命令を実行する際に操作対象となるレジスタやメモリなどのアドレスを指定したりする方法をアドレッシングといいます。

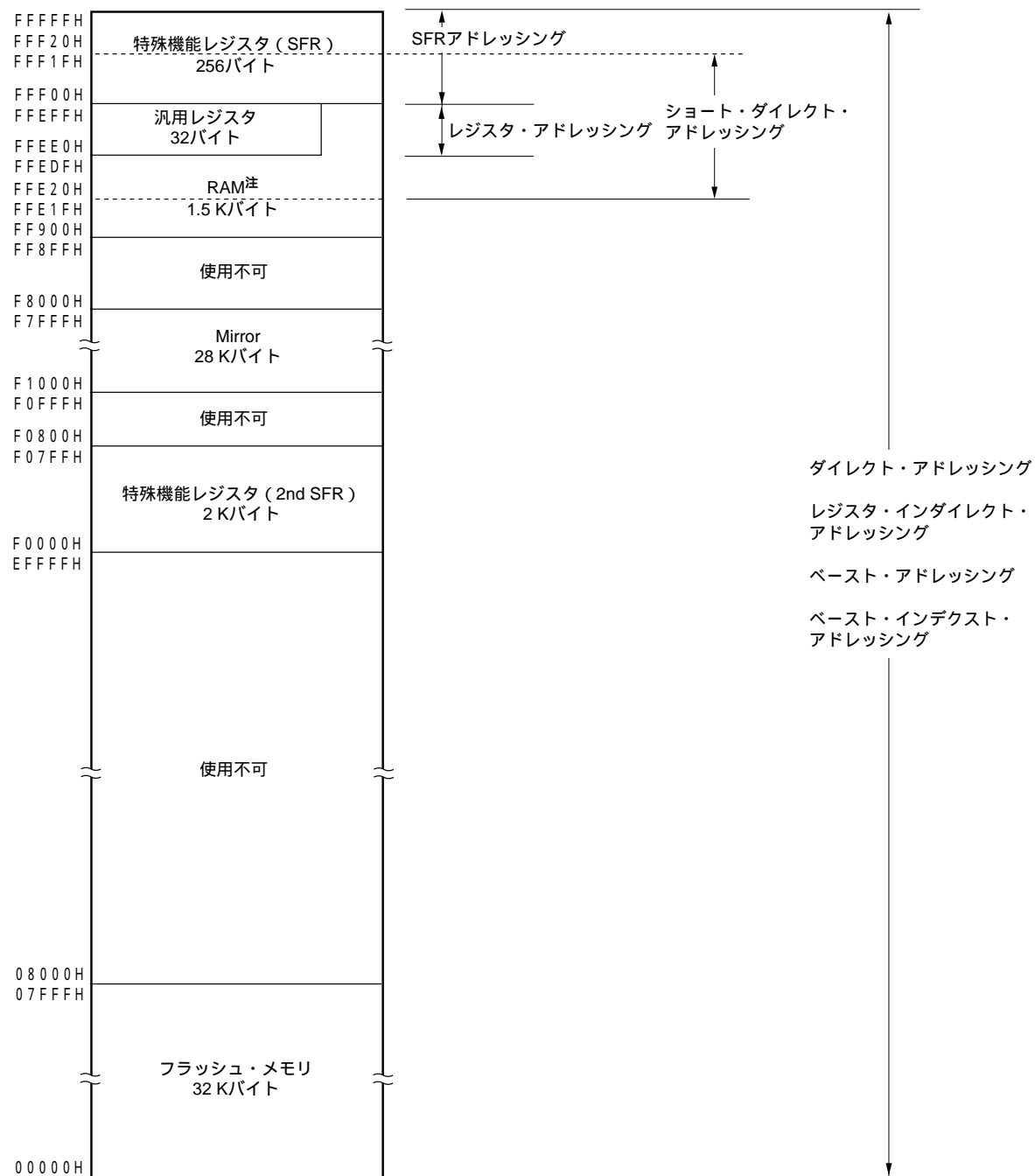
命令を実行する際に操作対象となるメモリのアドレッシングについて、78K0R/1x3では、その操作性などを考慮して豊富なアドレッシング・モードを備えました。特にデータ・メモリを内蔵している領域では、特殊機能レジスタ (SFR) や汎用レジスタなど、それぞれのもつ機能にあわせて特有のアドレッシングが可能です。図3-6から図3-9にデータ・メモリとアドレッシングの対応を示します。

図3-6 データ・メモリとアドレッシングの対応 (μ PD78F1201, 78F1211)



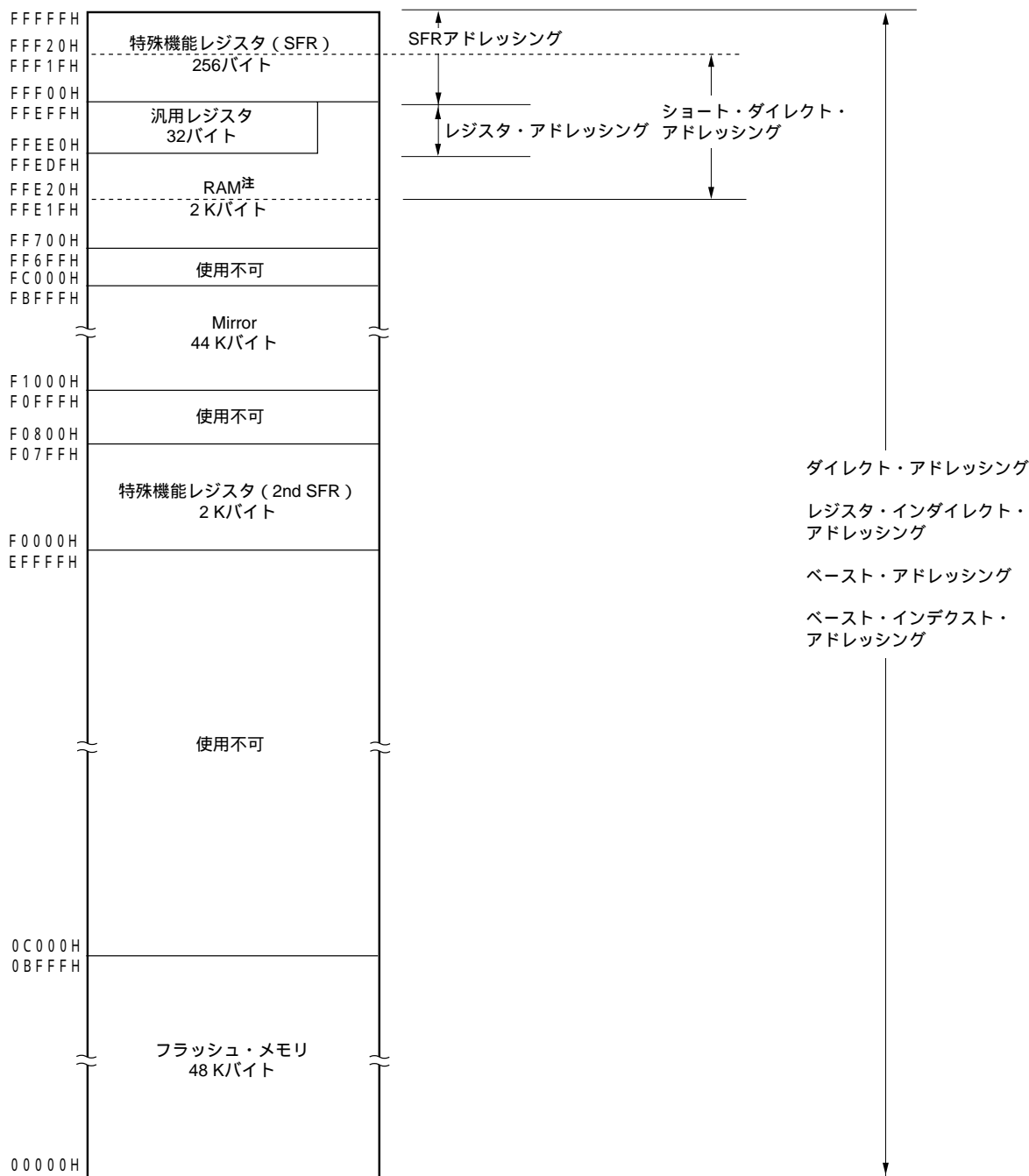
注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3-7 データ・メモリとアドレッシングの対応 (μ PD78F1203, 78F1213, 78F1223, 78F1233)



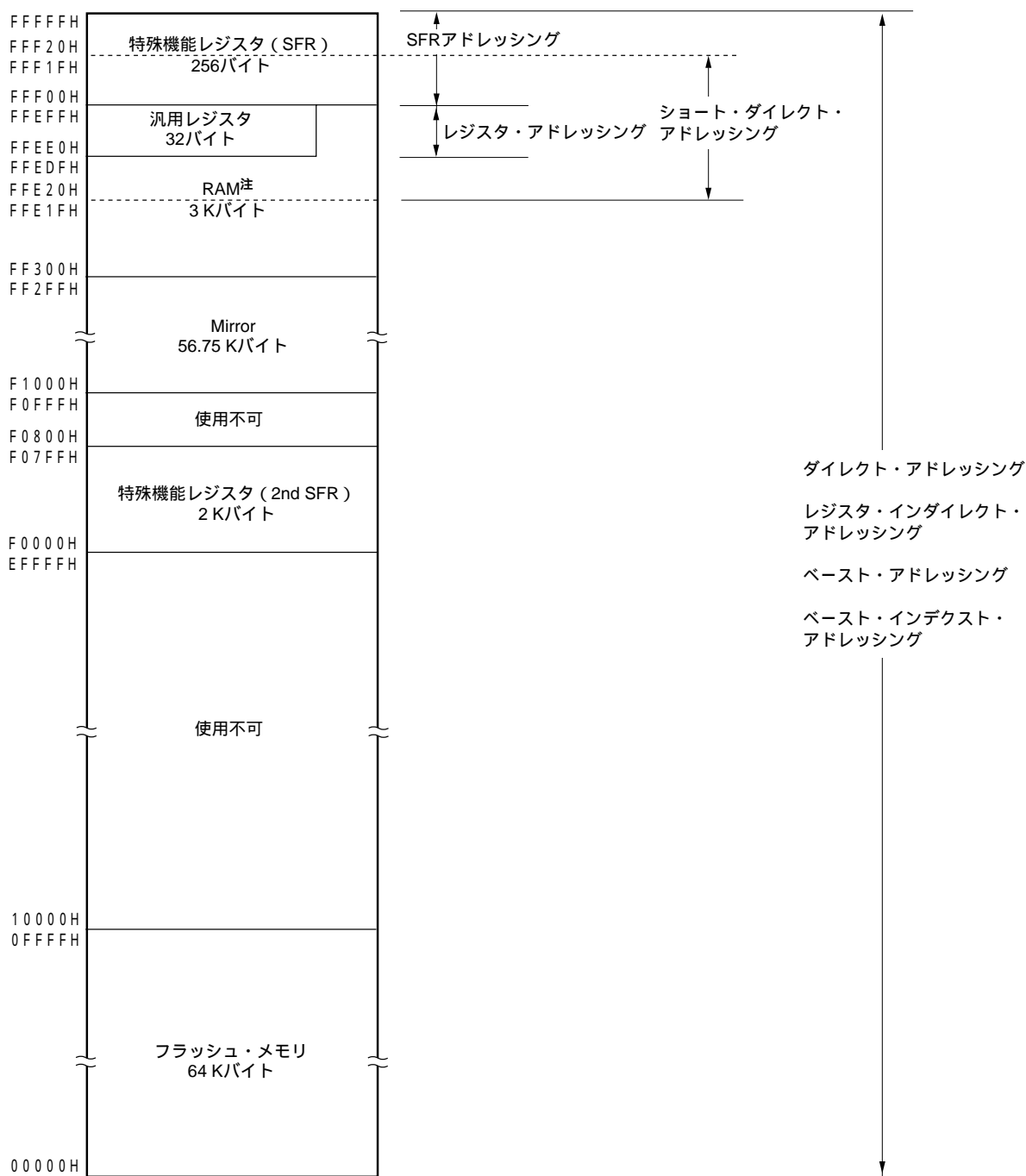
注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3-8 データ・メモリとアドレッシングの対応 (μ PD78F1214, 78F1224, 78F1234)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHの領域が使用禁止になります。

図3-9 データ・メモリとアドレッシングの対応 (μ PD78F1215, 78F1225, 78F1235)



注 セルフ・プログラミング機能使用時は、セルフ・プログラミング・ライブラリで使用するためFFE20H-FFEDFHとFF300H-FF6FFHの領域が使用禁止になります。

3.2 プロセッサ・レジスタ

78K0R/1x3は、次のプロセッサ・レジスタを内蔵しています。

3.2.1 制御レジスタ

プログラム・シーケンス、ステータス、スタック・メモリの制御など専用の機能を持ったレジスタです。制御レジスタには、プログラム・カウンタ（PC）、プログラム・ステータス・ワード（PSW）、スタック・ポインタ（SP）があります。

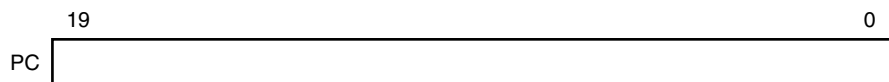
(1) プログラム・カウンタ（PC）

プログラム・カウンタは、次に実行するプログラムのアドレス情報を保持する20ビット・レジスタです。

通常動作時には、フェッチする命令のバイト数に応じて、自動的にインクリメントされます。分岐命令実行時には、イミディエト・データやレジスタの内容がセットされます。

リセット信号の発生により、0000Hと0001H番地のリセット・ベクタ・テーブルの値がプログラム・カウンタにセットされます。

図3 - 10 プログラム・カウンタの構成



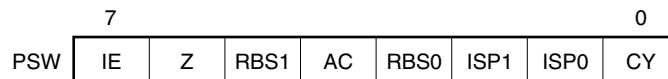
(2) プログラム・ステータス・ワード（PSW）

プログラム・ステータス・ワードは、命令の実行によってセット、リセットされる各種フラグで構成される8ビット・レジスタです。

プログラム・ステータス・ワードの内容は、ベクタ割り込み要求受け付け発生時およびPUSH PSW命令の実行時にスタック領域に格納され、RETB、RETI命令およびPOP PSW命令の実行時に復帰されます。

リセット信号の発生により、06Hになります。

図3 - 11 プログラム・ステータス・ワードの構成



(a) 割り込み許可フラグ（IE）

CPUの割り込み要求受け付け動作を制御するフラグです。

IE = 0のときは割り込み禁止（DI）状態となり、マスクブル割り込みはすべて禁止されます。

IE = 1のときは割り込み許可（EI）状態となります。このとき割り込み要求の受け付けは、インサービス・プライオリティ・フラグ（ISP1, ISP0）、各割り込み要因に対する割り込みマスク・フラグおよび優先順位指定フラグにより制御されます。

このフラグは、DI命令の実行または割り込みの受け付けでリセット（0）され、EI命令の実行によりセット（1）されます。

(b) ゼロ・フラグ (Z)

演算結果がゼロのときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(c) レジスタ・バンク選択フラグ (RBS0, RBS1)

4個のレジスタ・バンクのうちの1つを選択する2ビットのフラグです。

SEL RBn命令の実行によって選択されたレジスタ・バンクを示す2ビットの情報が格納されています。

(d) 補助キャリー・フラグ (AC)

演算結果で、ビット3からキャリーがあったとき、またはビット3へのポローがあったときセット (1) され、それ以外のときにリセット (0) されるフラグです。

(e) インサース・プライオリティ・フラグ (ISP1, ISP0)

受け付け可能なマスカブル・ベクタ割り込みの優先順位レベルを管理するフラグです。優先順位指定フラグ・レジスタ (PRn0L, PRn0H, PRn1L, PRn1H, PRn2L, PRn2H) (17.3(3)参照) でISP0, ISP1の値より低位に指定されたベクタ割り込み要求は受け付け禁止となります。なお、実際に割り込み要求が受け付けられるかどうかは、割り込み許可フラグ (IE) の状態により制御されます。

備考 n = 0, 1

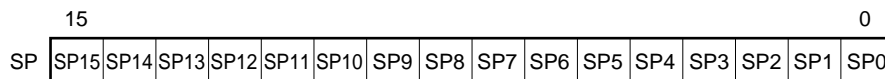
(f) キャリー・フラグ (CY)

加減算命令実行時のオーバフロー、アンダフローを記憶するフラグです。また、ローテート命令実行時はシフト・アウトされた値を記憶し、ビット演算命令実行時には、ビット・アキュムレータとして機能します。

(3) スタック・ポインタ (SP)

メモリのスタック領域の先頭アドレスを保持する16ビットのレジスタです。スタック領域としては内部RAM領域のみ設定可能です。

図3 - 12 スタック・ポインタの構成

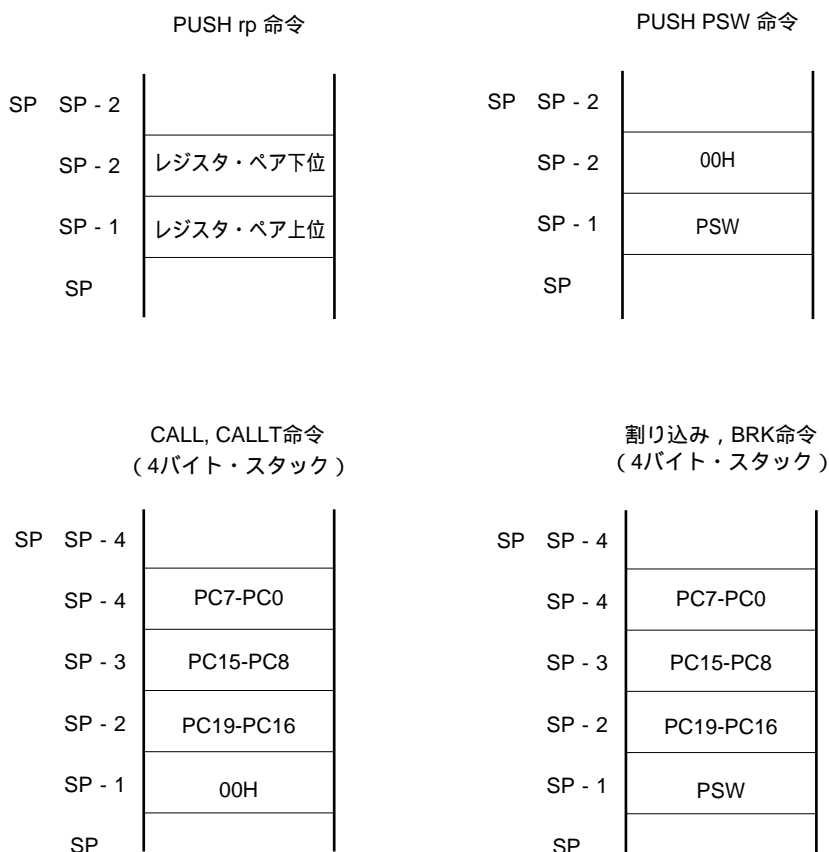


スタック・メモリへの書き込み (退避) 動作に先立ってデクリメントされ、スタック・メモリからの読み取り (復帰) 動作のあとインクリメントされます。

各スタック動作によって退避されるデータは図3 - 13のようになります。

- 注意1. SPの内容はリセット信号の発生により、不定になりますので、必ずスタック使用前にイニシャライズしてください。
2. 汎用レジスタ (FFEE0H ~ FFEFFH) の空間は、スタック領域としての使用を禁止します。
 3. セルフ・プログラミング機能使用時は、FFE20H ~ FFEFFHの領域をスタック・メモリとして使用できません。また、 μ PD78F1215, 78F1225, 78F1235では、FF300H ~ FF6FFHの領域をスタック・メモリとして使用できません。

図3 - 13 スタック・メモリへ退避されるデータ



3.2.2 汎用レジスタ

汎用レジスタは、データ・メモリの特定番地 (FFEE0H-FFEFFH) にマッピングされており、8ビット・レジスタ8個 (X, A, C, B, E, D, L, H) を1バンクとして4バンクのレジスタで構成されています。

各レジスタは、それぞれ8ビット・レジスタとして使用できるほか、2個の8ビット・レジスタをペアとして16ビット・レジスタとしても使用できます (AX, BC, DE, HL)。

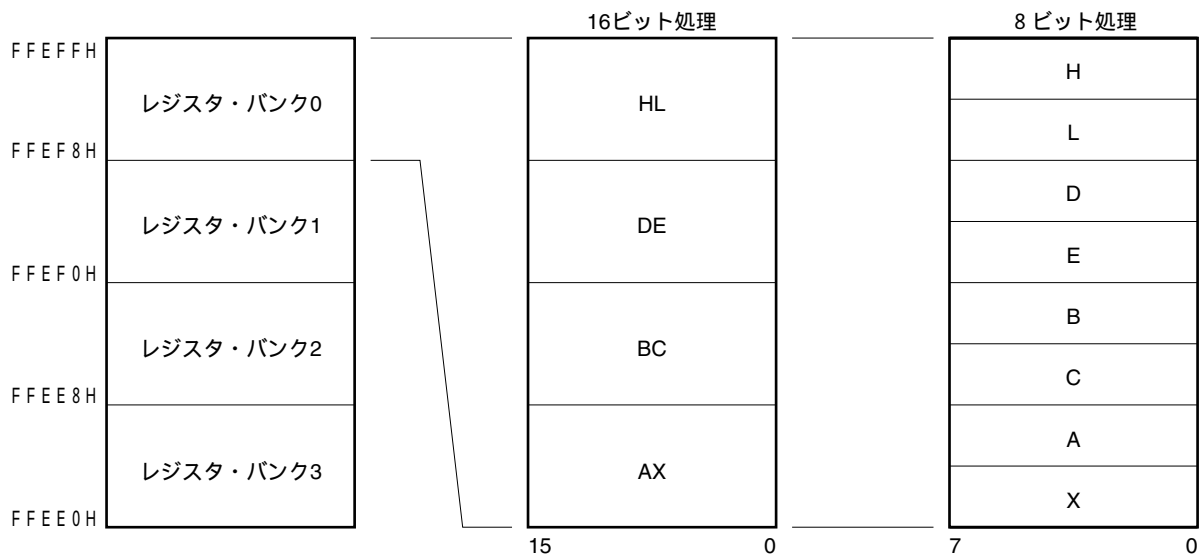
また、機能名称 (X, A, C, B, E, D, L, H, AX, BC, DE, HL) のほか、絶対名称 (R0-R7, RP0-RP3) でも記述できます。

命令実行時に使用するレジスタ・バンクは、CPU制御命令 (SEL RBn) によって設定します。4レジスタ・バンク構成になっていますので、通常処理で使用するレジスタと割り込み時で使用するレジスタをバンクごとに切り替えることにより、効率のよいプログラムを作成できます。

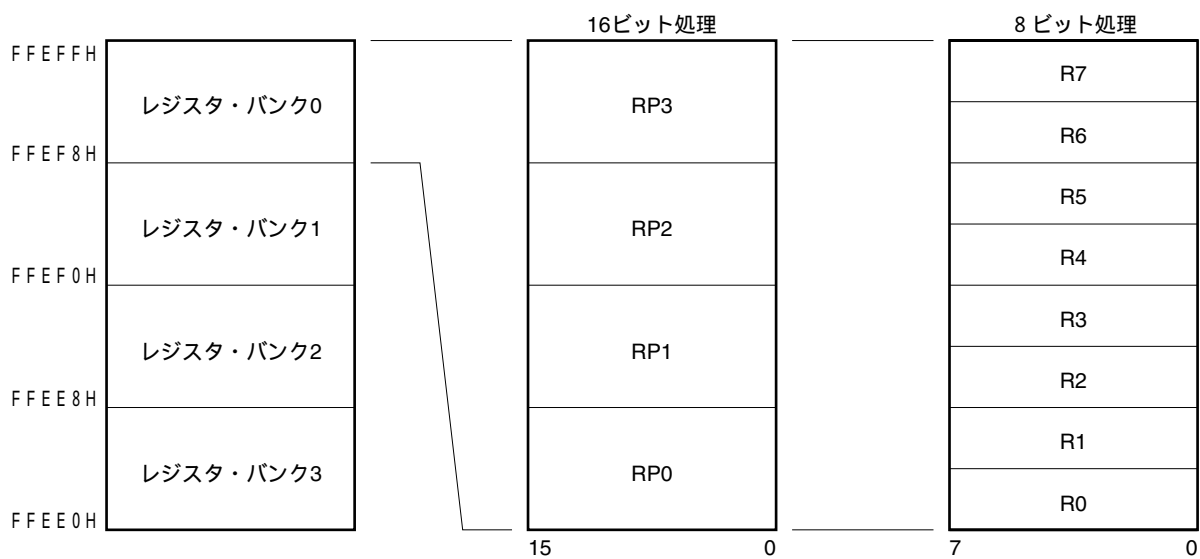
注意 汎用レジスタ (FFEE0H-FFEFFH) の空間は、命令フェッチやスタック領域としての使用を禁止します。

図3 - 14 汎用レジスタの構成

(a) 機能名称



(b) 絶対名称



3.2.3 ES, CSレジスタ

ESレジスタにてデータ・アクセス, CSレジスタにて分岐命令実行時の上位アドレスを指定できます。
ESのリセット後の初期値は0FH, CSのリセット後の初期値は00Hです。

図3 - 15 ES/CSレジスタの構成

	7	6	5	4	3	2	1	0
ES	0	0	0	0	ES3	ES2	ES1	ES0
CS	0	0	0	0	CS3	CP2	CP1	CP0

3.2.4 特殊機能レジスタ (SFR : Special Function Register)

SFRは、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

SFR空間は、FFF00H-FFFFFHの領域に割り付けられています。

SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

・1ビット操作

1ビット操作命令のオペランド (sfr.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・8ビット操作

8ビット操作命令のオペランド (sfr) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

・16ビット操作

16ビット操作命令のオペランド (sfrp) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 5にSFRの一覧を示します。表中の項目の意味は次のとおりです。

・略号

特殊機能レジスタのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R、ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

・R/W

該当する特殊機能レジスタが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

・操作可能ビット単位

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

・リセット時

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 拡張SFR (2nd SFR) については、3.2.5 **拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)** を参照してください。

表3 - 5 SFR一覧 (1/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
					1ビット	8ビット	16ビット							
FFF00H	ポート・レジスタ0	P0		R/W			-	00H	-	-	-	-		
FFF01H	ポート・レジスタ1	P1		R/W			-	00H						
FFF02H	ポート・レジスタ2	P2		R/W			-	00H						
FFF03H	ポート・レジスタ3	P3		R/W			-	00H						
FFF04H	ポート・レジスタ4	P4		R/W			-	00H						
FFF05H	ポート・レジスタ5	P5		R/W			-	00H						
FFF06H	ポート・レジスタ6	P6		R/W			-	00H	-	-	-			
FFF07H	ポート・レジスタ7	P7		R/W			-	00H	-					
FFF08H	ポート・レジスタ8	P8		R/W			-	00H						
FFF0CH	ポート・レジスタ12	P12		R/W			-	不定						
FFF0EH	ポート・レジスタ14	P14		R/W			-	00H	-	-	-			
FFF0FH	ポート・レジスタ15	P15		R/W			-	00H	-	-				
FFF10H	シリアル・データ・レジスタ00	TXD0/	SDR00	R/W	-			0000H	注	注				
FFF11H		SIO00			-	-								
FFF12H	シリアル・データ・レジスタ01	RXD0/	SDR01	R/W	-			0000H	注	注				
FFF13H		SIO01			-	-								
FFF18H	タイマ・データ・レジスタ00	TDR00		R/W	-	-		0000H						
FFF19H														
FFF1AH	タイマ・データ・レジスタ01	TDR01		R/W	-	-		0000H						
FFF1BH														
FFF1EH	10ビットA/D変換結果レジスタ	ADCR		R	-	-		0000H						
FFF1FH	8ビットA/D変換結果レジスタ	ADCRH		R	-	-		00H						
FFF20H	ポート・モード・レジスタ0	PM0		R/W			-	FFH	-	-	-	-		
FFF21H	ポート・モード・レジスタ1	PM1		R/W			-	FFH						
FFF22H	ポート・モード・レジスタ2	PM2		R/W			-	FFH						
FFF23H	ポート・モード・レジスタ3	PM3		R/W			-	FFH						
FFF24H	ポート・モード・レジスタ4	PM4		R/W			-	FFH						
FFF25H	ポート・モード・レジスタ5	PM5		R/W			-	FFH						
FFF26H	ポート・モード・レジスタ6	PM6		R/W			-	FFH	-	-	-			
FFF27H	ポート・モード・レジスタ7	PM7		R/W			-	FFH	-					
FFF28H	ポート・モード・レジスタ8	PM8		R/W			-	FFH						
FFF2CH	ポート・モード・レジスタ12	PM12		R/W			-	FFH						
FFF2EH	ポート・モード・レジスタ14	PM14		R/W			-	FEH	-	-	-	-	-	
FFF2FH	ポート・モード・レジスタ15	PM15		R/W			-	FFH	-	-				
FFF30H	A/Dコンバータ・モード・レジスタ	ADM		R/W			-	00H						
FFF31H	アナログ入力チャンネル指定レジスタ	ADS		R/W			-	00H						

注 TXD0, RXD0のみ。

表3 - 5 SFR一覧 (2/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
					1ビット	8ビット	16ビット							
FFF38H	外部割り込み立ち上がりエッジ許可レジスタ0	EGP0		R/W			-	00H						
FFF39H	外部割り込み立ち下がりエッジ許可レジスタ0	EGN0		R/W			-	00H						
FFF3CH	入力切り替え制御レジスタ	ISC		R/W			-	00H						
FFF3EH	タイマ入力選択レジスタ0	TIS0		R/W			-	00H	-					
FFF42H	A/Dコンバータ・モード・レジスタ1	ADM1		R/W			-	00H						
FFF44H	シリアル・データ・レジスタ02	TXD1/	SDR02	R/W	-			0000H						
FFF45H		SIO10			-	-								
FFF46H	シリアル・データ・レジスタ03	RXD1	SDR03	R/W	-			0000H						
FFF47H		-			-	-								
FFF50H	IICAシフト・レジスタ	IICA		R/W	-		-	00H	-	-	-			
FFF51H	IICAステータス・レジスタ	IICS		R			-	00H	-	-	-			
FFF52H	IICAフラグ・レジスタ	IICF		R/W			-	00H	-	-	-			
FFF64H	タイマ・データ・レジスタ02	TDR02		R/W	-	-		0000H						
FFF65H														
FFF66H	タイマ・データ・レジスタ03	TDR03		R/W	-	-		0000H						
FFF67H														
FFF68H	タイマ・データ・レジスタ04	TDR04		R/W	-	-		0000H						
FFF69H														
FFF6AH	タイマ・データ・レジスタ05	TDR05		R/W	-	-		0000H						
FFF6BH														
FFF6CH	タイマ・データ・レジスタ06	TDR06		R/W	-	-		0000H						
FFF6DH														
FFF6EH	タイマ・データ・レジスタ07	TDR07		R/W	-	-		0000H						
FFF6FH														
FFF70H	タイマ・データ・レジスタ08	TDR08		R/W	-	-		0000H						
FFF71H														
FFF72H	タイマ・データ・レジスタ09	TDR09		R/W	-	-		0000H						
FFF73H														
FFF74H	タイマ・データ・レジスタ10	TDR10		R/W	-	-		0000H						
FFF75H														
FFF76H	タイマ・データ・レジスタ11	TDR11		R/W	-	-		0000H						
FFF77H														
FFF90H	サブカウント・レジスタ	RSUBC		R	-	-		0000H	-					
FFF91H														
FFF92H	秒カウント・レジスタ	SEC		R/W	-		-	00H	-					
FFF93H	分カウント・レジスタ	MIN		R/W	-		-	00H	-					

表3 - 5 SFR一覧 (3/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R1B3	78K0R1C3 (38ピン)	78K0R1C3 (44ピン)	78K0R1C3 (48ピン)	78K0R1D3	78K0R1E3
				1ビット	8ビット	16ビット							
FFF94H	時カウント・レジスタ	HOUR	R/W	-		-	12H ^{注1}	-					
FFF95H	曜日カウント・レジスタ	WEEK	R/W	-		-	00H	-					
FFF96H	日カウント・レジスタ	DAY	R/W	-		-	01H	-					
FFF97H	月カウント・レジスタ	MONTH	R/W	-		-	01H	-					
FFF98H	年カウント・レジスタ	YEAR	R/W	-		-	00H	-					
FFF99H	時計誤差補正レジスタ	SUBCUD	R/W	-		-	00H	-					
FFF9AH	アラーム分レジスタ	ALARMWM	R/W	-		-	00H	-					
FFF9BH	アラーム時レジスタ	ALARMWH	R/W	-		-	12H	-					
FFF9CH	アラーム曜日レジスタ	ALARMWW	R/W	-		-	00H	-					
FFF9DH	リアルタイム・カウンタ・コントロール・レジスタ0	RTCC0	R/W			-	00H	-					
FFF9EH	リアルタイム・カウンタ・コントロール・レジスタ1	RTCC1	R/W			-	00H	-					
FFF9FH	リアルタイム・カウンタ・コントロール・レジスタ2	RTCC2	R/W			-	00H	-					
FFFA0H	クロック動作モード制御レジスタ	CMC	R/W	-		-	00H						
FFFA1H	クロック動作ステータス制御レジスタ	CSC	R/W			-	C0H						
FFFA2H	発振安定時間カウンタ状態レジスタ	OSTC	R			-	00H						
FFFA3H	発振安定時間選択レジスタ	OSTS	R/W	-		-	07H						
FFFA4H	クロック・コントロール・レジスタ	CKC	R/W			-	09H						
FFFA5H	クロック出力選択レジスタ0	CKS0	R/W			-	00H	-	-	-			
FFFA6H	クロック出力選択レジスタ1	CKS1	R/W			-	00H	-	-	-	-		
FFFA8H	リセット・コントロール・フラグ・レジスタ	RESF	R	-		-	00H ^{注2}						
FFFA9H	低電圧検出レジスタ	LVIM	R/W			-	00H ^{注3}						
FFFAAH	低電圧検出レベル選択レジスタ	LVIS	R/W			-	0EH ^{注4}						
FFFABH	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W	-		-	1A/9A ^{注5}						
FFFB0H	DMA SFRアドレス・レジスタ0	DSA0	R/W	-		-	00H						
FFFB1H	DMA SFRアドレス・レジスタ1	DSA1	R/W	-		-	00H						

注1. リセット後に、AMPMビット (RTCC0レジスタのビット3) に1をセットした場合は00Hとなります。

2. RESFのリセット値は、リセット要因により変化します。

3. LVIMのリセット値は、リセット要因により変化します。

4. LVISのリセット値は、リセット要因により変化します。

5. WDTEのリセット値は、オプション・バイトの設定で決定します。

表3 - 5 SFR一覧 (4/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
					1ビット	8ビット	16ビット							
FFFB2H	DMA RAMアドレス・レジスタ0L	DRA0L	DRA0	R/W	-			00H						
FFFB3H	DMA RAMアドレス・レジスタ0H	DRA0H		R/W	-			00H						
FFFB4H	DMA RAMアドレス・レジスタ1L	DRA1L	DRA1	R/W	-			00H						
FFFB5H	DMA RAMアドレス・レジスタ1H	DRA1H		R/W	-			00H						
FFFB6H	DMA バイト・カウント・レジスタ0L	DBC0L	DBC0	R/W	-			00H						
FFFB7H	DMA バイト・カウント・レジスタ0H	DBC0H		R/W	-			00H						
FFFB8H	DMA バイト・カウント・レジスタ1L	DBC1L	DBC1	R/W	-			00H						
FFFB9H	DMA バイト・カウント・レジスタ1H	DBC1H		R/W	-			00H						
FFFB AH	DMA モード・コントロール・レジスタ0	DMC0		R/W			-	00H						
FFFB BH	DMA モード・コントロール・レジスタ1	DMC1		R/W			-	00H						
FFFB CH	DMA 動作コントロール・レジスタ0	DRC0		R/W			-	00H						
FFFB DH	DMA 動作コントロール・レジスタ1	DRC1		R/W			-	00H						
FFFB EH	バック・グラウンド・イベント・コントロール・レジスタ	BECTL		R/W			-	00H						
FFFC0H	-	PFCMD ^注		-	-	-	-	不定						
FFFC2H	-	PFS ^注		-	-	-	-	不定						
FFFC4H	-	FLPMC ^注		-	-	-	-	不定						
FFFD0H	割り込み要求フラグ・レジスタ2L	IF2L	IF2	R/W				00H						
FFFD1H	割り込み要求フラグ・レジスタ2H	IF2H		R/W				00H						
FFFD4H	割り込みマスク・フラグ・レジスタ2L	MK2L	MK2	R/W				FFH						
FFFD5H	割り込みマスク・フラグ・レジスタ2H	MK2H		R/W				FFH						
FFFD8H	優先順位指定フラグ・レジスタ02L	PR02L	PR02	R/W				FFH						
FFFD9H	優先順位指定フラグ・レジスタ02H	PR02H		R/W				FFH						
FFFDCH	優先順位指定フラグ・レジスタ12L	PR12L	PR12	R/W				FFH						
FFDDH	優先順位指定フラグ・レジスタ12H	PR12H		R/W				FFH						
FFFE0H	割り込み要求フラグ・レジスタ0L	IF0L	IF0	R/W				00H						
FFFE1H	割り込み要求フラグ・レジスタ0H	IF0H		R/W				00H						
FFFE2H	割り込み要求フラグ・レジスタ1L	IF1L	IF1	R/W				00H						
FFFE3H	割り込み要求フラグ・レジスタ1H	IF1H		R/W				00H						

注 セルフ・プログラミング・ライブラリ内で使用するSFRのため、直接操作しないでください。

表3 - 5 SFR一覧 (5/5)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ビット)	78K0R/IC3 (44ビット)	78K0R/IC3 (48ビット)	78K0R/ID3	78K0R/IE3
					1ビット	8ビット	16ビット							
FFFE4H	割り込みマスク・フラグ・レジスタ0L	MK0L	MK0	R/W				FFH						
FFFE5H	割り込みマスク・フラグ・レジスタ0H	MK0H		R/W				FFH						
FFFE6H	割り込みマスク・フラグ・レジスタ1L	MK1L	MK1	R/W				FFH						
FFFE7H	割り込みマスク・フラグ・レジスタ1H	MK1H		R/W				FFH						
FFFE8H	優先順位指定フラグ・レジスタ00L	PR00L	PR00	R/W				FFH						
FFFE9H	優先順位指定フラグ・レジスタ00H	PR00H		R/W				FFH						
FFFEAH	優先順位指定フラグ・レジスタ01L	PR01L	PR01	R/W				FFH						
FFFEBH	優先順位指定フラグ・レジスタ01H	PR01H		R/W				FFH						
FFFECH	優先順位指定フラグ・レジスタ10L	PR10L	PR10	R/W				FFH						
FF FEDH	優先順位指定フラグ・レジスタ10H	PR10H		R/W				FFH						
FF FEEH	優先順位指定フラグ・レジスタ11L	PR11L	PR11	R/W				FFH						
FF FEFH	優先順位指定フラグ・レジスタ11H	PR11H		R/W				FFH						
FF FF0H	乗除算データ・レジスタA (L)	MDAL/MULA		R/W	-	-		0000H						
FF FF1H														
FF FF2H	乗除算データ・レジスタA (H)	MDAH/MULB		R/W	-	-		0000H						
FF FF3H														
FF FF4H	乗除算データ・レジスタB (H)	MDBH/MULOH		R/W	-	-		0000H						
FF FF5H														
FF FF6H	乗除算データ・レジスタB (L)	MDBL/MULOL		R/W	-	-		0000H						
FF FF7H														
FF FFEH	プロセッサ・モード・コントロール・レジスタ	PMC		R/W			-	00H						

備考 拡張SFR (2nd SFR) については、表3 - 6 拡張SFR (2nd SFR) 一覧を参照してください。

3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register)

拡張SFR (2nd SFR) は、汎用レジスタとは異なり、それぞれ特別な機能を持つレジスタです。

拡張SFR空間は、F0000H-F07FFHの領域です。SFR領域 (FFF00H-FFFFFH) 以外のSFRが割り付けられています。ただし、拡張SFR領域のアクセス命令はSFR領域より1バイト長くなります。

拡張SFRは、演算命令、転送命令、ビット操作命令などにより、汎用レジスタと同じように操作できます。操作可能なビット単位 (1, 8, 16) は、各拡張SFRで異なります。

操作ビット単位ごとの指定方法を次に示します。

- **1ビット操作**

1ビット操作命令のオペランド (!addr16.bit) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **8ビット操作**

8ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスでも指定できます。

- **16ビット操作**

16ビット操作命令のオペランド (!addr16) にアセンブラで予約されている略号を記述します。アドレスを指定するときは偶数アドレスを記述してください。

表3 - 6に拡張SFRの一覧を示します。表中の項目の意味は次のとおりです。

- **略号**

拡張SFRのアドレスを示す略号です。RA78K0Rで予約語に、CC78K0Rでは#pragma sfr指令で、sfr変数として定義されているものです。RA78K0R、ID78K0R-QBおよびSM+ for 78K0R使用時に命令のオペランドとして記述できます。

- **R/W**

該当する拡張SFRが読み出し (Read) / 書き込み (Write) 可能かどうかを示します。

R/W : 読み出し / 書き込みがともに可能

R : 読み出しのみ可能

W : 書き込みのみ可能

- **操作可能ビット単位**

操作可能なビット単位 (1, 8, 16) を で示します。 - は操作できないビット単位であることを示します。

- **リセット時**

リセット信号発生時の各レジスタの状態を示します。

注意 SFRが割り付けられていないアドレスにアクセスしないでください。

備考 SFR領域のSFRについては、3.2.4 **特殊機能レジスタ (SFR : Special Function Register)** を参照してください。

表3 - 6 拡張SFR (2nd SFR) 一覧 (1/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
				1ビット	8ビット	16ビット							
F0017H	A/Dポート・コンフィギュレーション・レジスタ	ADPC	R/W	-		-	10H						
F0030H	プルアップ抵抗オプション・レジスタ0	PU0	R/W			-	00H	-	-	-	-		
F0031H	プルアップ抵抗オプション・レジスタ1	PU1	R/W			-	00H						
F0033H	プルアップ抵抗オプション・レジスタ3	PU3	R/W			-	00H						
F0034H	プルアップ抵抗オプション・レジスタ4	PU4	R/W			-	00H						
F0035H	プルアップ抵抗オプション・レジスタ5	PU5	R/W			-	00H						
F0037H	プルアップ抵抗オプション・レジスタ7	PU7	R/W			-	00H	-					
F003CH	プルアップ抵抗オプション・レジスタ12	PU12	R/W			-	00H						
F003EH	プルアップ抵抗オプション・レジスタ14	PU14	R/W			-	00H	-	-	-	-	-	
F0043H	ポート入力モード・レジスタ3	PIM3	R/W			-	00H						
F0047H	ポート入力モード・レジスタ7	PIM7	R/W			-	00H	-					
F0048H	ポート入力モード・レジスタ8	PIM8	R/W			-	00H						
F0053H	ポート出力モード・レジスタ3	POM3	R/W			-	00H						
F0057H	ポート出力モード・レジスタ7	POM7	R/W			-	00H	-					
F0060H	ノイズ・フィルタ許可レジスタ0	NFEN0	R/W			-	00H						
F0061H	ノイズ・フィルタ許可レジスタ1	NFEN1	R/W			-	00H						
F0062H	ノイズ・フィルタ許可レジスタ2	NFEN2	R/W			-	00H						
F00E0H	乗除算データ・レジスタC (L)	MDCL	R	-	-		0000H						
F00E2H	乗除算データ・レジスタC (H)	MDCH	R	-	-		0000H						
F00E8H	乗除算コントロール・レジスタ	MDUC	R/W			-	00H						
F00F0H	周辺イネーブル・レジスタ0	PER0	R/W			-	00H						
F00F1H	周辺イネーブル・レジスタ1	PER1	R/W			-	00H						
F00F2H	周辺イネーブル・レジスタ2	PER2	R/W			-	00H						
F00F3H	動作スピード・モード制御レジスタ	OSMC	R/W	-		-	00H						
F00F4H	レギュレータ・モード制御レジスタ	RMC	R/W	-		-	00H						
F00F6H	40 MHz高速内蔵発振制御レジスタ	DSCCTL	R/W			-	00H						
F00FEH	BCD補正結果レジスタ	BCDADJ	R	-		-	00H						

表3 - 6 拡張SFR (2nd SFR) 一覧 (2/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
					1ビット	8ビット	16ビット							
F0100H	シリアル・ステータス・レジスタ00	SSR00L	SSR00	R	-			0000H						
F0101H		-			-	-								
F0102H	シリアル・ステータス・レジスタ01	SSR01L	SSR01	R	-			0000H						
F0103H		-			-	-								
F0104H	シリアル・ステータス・レジスタ02	SSR02L	SSR02	R	-			0000H						
F0105H		-			-	-								
F0106H	シリアル・ステータス・レジスタ03	SSR03L	SSR03	R	-			0000H						
F0107H		-			-	-								
F0108H	シリアル・フラグ・クリア・トリガ・レジスタ00	SIR00L	SIR00	R/W	-			0000H						
F0109H		-			-	-								
F010AH	シリアル・フラグ・クリア・トリガ・レジスタ01	SIR01L	SIR01	R/W	-			0000H						
F010BH		-			-	-								
F010CH	シリアル・フラグ・クリア・トリガ・レジスタ02	SIR02L	SIR02	R/W	-			0000H						
F010DH		-			-	-								
F010EH	シリアル・フラグ・クリア・トリガ・レジスタ03	SIR03L	SIR03	R/W	-			0000H						
F010FH		-			-	-								
F0110H	シリアル・モード・レジスタ00	SMR00		R/W	-	-		0020H						
F0111H														
F0112H	シリアル・モード・レジスタ01	SMR01		R/W	-	-		0020H						
F0113H														
F0114H	シリアル・モード・レジスタ02	SMR02		R/W	-	-		0020H						
F0115H														
F0116H	シリアル・モード・レジスタ03	SMR03		R/W	-	-		0020H						
F0117H														
F0118H	シリアル通信動作設定レジスタ00	SCR00		R/W	-	-		0087H						
F0119H														
F011AH	シリアル通信動作設定レジスタ01	SCR01		R/W	-	-		0087H						
F011BH														
F011CH	シリアル通信動作設定レジスタ02	SCR02		R/W	-	-		0087H						
F011DH														
F011EH	シリアル通信動作設定レジスタ03	SCR03		R/W	-	-		0087H						
F011FH														
F0120H	シリアル・チャンネル許可ステータス・レジスタ0	SE0L	SE0	R				0000H						
F0121H		-			-	-								
F0122H	シリアル・チャンネル開始レジスタ0	SS0L	SS0	R/W				0000H						
F0123H		-			-	-								
F0124H	シリアル・チャンネル停止レジスタ0	ST0L	ST0	R/W				0000H						
F0125H		-			-	-								

表3 - 6 拡張SFR (2nd SFR) 一覧 (3/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号		R/W	操作可能ビット範囲			リセット時	78K0R1/B3	78K0R1/C3 (38ビット)	78K0R1/C3 (44ビット)	78K0R1/C3 (48ビット)	78K0R1/D3	78K0R1/E3
					1ビット	8ビット	16ビット							
F0126H	シリアル・クロック選択レジスタ0	SPS0L	SPS0	R/W	-			0000H						
F0127H		-			-									
F0128H	シリアル出力レジスタ0	SO0		R/W	-	-		0F0FH						
F0129H														
F012AH	シリアル出力許可レジスタ0	SOE0L	SOE0	R/W				0000H						
F012BH		-			-									
F0134H	シリアル出力レベル・レジスタ0	SOL0L	SOL0	R/W	-			0000H						
F0135H		-			-									
F0180H	タイマ・カウンタ・レジスタ00	TCR00		R	-	-		FFFFH						
F0181H														
F0182H	タイマ・カウンタ・レジスタ01	TCR01		R	-	-		FFFFH						
F0183H														
F0184H	タイマ・カウンタ・レジスタ02	TCR02		R	-	-		FFFFH						
F0185H														
F0186H	タイマ・カウンタ・レジスタ03	TCR03		R	-	-		FFFFH						
F0187H														
F0188H	タイマ・カウンタ・レジスタ04	TCR04		R	-	-		FFFFH						
F0189H														
F018AH	タイマ・カウンタ・レジスタ05	TCR05		R	-	-		FFFFH						
F018BH														
F018CH	タイマ・カウンタ・レジスタ06	TCR06		R	-	-		FFFFH						
F018DH														
F018EH	タイマ・カウンタ・レジスタ07	TCR07		R	-	-		FFFFH						
F018FH														
F0190H	タイマ・モード・レジスタ00	TMR00		R/W	-	-		0000H						
F0191H														
F0192H	タイマ・モード・レジスタ01	TMR01		R/W	-	-		0000H						
F0193H														
F0194H	タイマ・モード・レジスタ02	TMR02		R/W	-	-		0000H						
F0195H														
F0196H	タイマ・モード・レジスタ03	TMR03		R/W	-	-		0000H						
F0197H														
F0198H	タイマ・モード・レジスタ04	TMR04		R/W	-	-		0000H						
F0199H														
F019AH	タイマ・モード・レジスタ05	TMR05		R/W	-	-		0000H						
F019BH														
F019CH	タイマ・モード・レジスタ06	TMR06		R/W	-	-		0000H						
F019DH														
F019EH	タイマ・モード・レジスタ07	TMR07		R/W	-	-		0000H						
F019FH														

表3 - 6 拡張SFR (2nd SFR) 一覧 (4/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
				1ビット	8ビット	16ビット							
F01A0H F01A1H	タイマ・ステータス・レジスタ00	TSR00	R	-	-		0000H						
F01A2H F01A3H	タイマ・ステータス・レジスタ01	TSR01	R	-	-		0000H						
F01A4H F01A5H	タイマ・ステータス・レジスタ02	TSR02	R	-	-		0000H						
F01A6H F01A7H	タイマ・ステータス・レジスタ03	TSR03	R	-	-		0000H						
F01A8H F01A9H	タイマ・ステータス・レジスタ04	TSR04	R	-	-		0000H						
F01AAH F01ABH	タイマ・ステータス・レジスタ05	TSR05	R	-	-		0000H						
F01ACH F01ADH	タイマ・ステータス・レジスタ06	TSR06	R	-	-		0000H						
F01AEH F01AFH	タイマ・ステータス・レジスタ07	TSR07	R	-	-		0000H						
F01B0H F01B1H	タイマ・チャンネル許可ステータス・レジスタ0	TE0	R	-	-		0000H						
F01B2H F01B3H	タイマ・チャンネル開始レジスタ0	TS0	R/W	-	-		0000H						
F01B4H F01B5H	タイマ・チャンネル停止レジスタ0	TT0	R/W	-	-		0000H						
F01B6H F01B7H	タイマ・クロック選択レジスタ0	TPS0	R/W	-	-		0000H						
F01B8H F01B9H	タイマ出力レジスタ0	TO0	R/W	-	-		0000H						
F01BAH F01BBH	タイマ出力許可レジスタ0	TOE0	R/W	-	-		0000H						
F01BCH F01BDH	タイマ出力レベル・レジスタ0	TOL0	R/W	-	-		0000H						
F01BEH F01BFH	タイマ出力モード・レジスタ0	TOM0	R/W	-	-		0000H						
F01C0H F01C1H	タイマ・カウンタ・レジスタ08	TCR08	R	-	-		FFFFH						
F01C2H F01C3H	タイマ・カウンタ・レジスタ09	TCR09	R	-	-		FFFFH						
F01C4H F01C5H	タイマ・カウンタ・レジスタ10	TCR10	R	-	-		FFFFH						
F01C6H F01C7H	タイマ・カウンタ・レジスタ11	TCR11	R	-	-		FFFFH						

表3 - 6 拡張SFR (2nd SFR) 一覧 (5/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
				1ビット	8ビット	16ビット							
F01C8H F01C9H	タイマ・モード・レジスタ08	TMR08	R/W	-	-		0000H						
F01CAH F01CBH	タイマ・モード・レジスタ09	TMR09	R/W	-	-		0000H						
F01CCH F01CDH	タイマ・モード・レジスタ10	TMR10	R/W	-	-		0000H						
F01CEH F01CFH	タイマ・モード・レジスタ11	TMR11	R/W	-	-		0000H						
F01D0H F01D1H	タイマ・ステータス・レジスタ08	TSR08	R	-	-		0000H						
F01D2H F01D3H	タイマ・ステータス・レジスタ09	TSR09	R	-	-		0000H						
F01D4H F01D5H	タイマ・ステータス・レジスタ10	TSR10	R	-	-		0000H						
F01D6H F01D7H	タイマ・ステータス・レジスタ11	TSR11	R	-	-		0000H						
F01E8H	タイマ三角波出力モード・レジスタ0	TOT0	R/W	-	-		0000H						
F01EAH	タイマ・リアルタイム出力許可レジスタ0	TRE0	R/W	-	-		0000H						
F01ECH	タイマ・リアルタイム出力レジスタ0	TRO0	R/W	-	-		0000H						
F01EEH	タイマ・リアルタイム制御レジスタ0	TRC0	R/W	-	-		0000H						
F01F0H	タイマ・モジュレーション出力許可レジスタ0	TME0	R/W	-	-		0000H						
F01F2H	タイマ・デッド・タイム出力許可レジスタ0	TDE0	R/W	-	-		0000H						
F0220H	TAUオプション・モード・レジスタ	OPMR	R/W	-	-		0000H						
F0222H	TAUオプション・ステータス・レジスタ	OPSR	R	-	-		0000H						
F0224H	TAUオプション・Hi-Zスタート・トリガ・レジスタ	OPHS	R/W	-	-		0000H						
F0226H	TAUオプション・Hi-Zストップ・トリガ・レジスタ	OPHT	R/W	-	-		0000H						
F0228H	TAUオプション・コントロール・レジスタ	OPCR	R/W	-	-		0000H						

表3 - 6 拡張SFR (2nd SFR) 一覧 (6/6)

アドレス	特殊機能レジスタ (SFR) 名称	略号	R/W	操作可能ビット範囲			リセット時	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
				1ビット	8ビット	16ビット							
F0230H	IICAコントロール・レジスタ0	IICCTL0	R/W			-	00H	-	-	-			
F0231H	IICAコントロール・レジスタ1	IICCTL1	R/W			-	00H	-	-	-			
F0232H	IICAロウ・レベル幅設定レジスタ	IICWL	R/W	-		-	FFH	-	-	-			
F0233H	IICAハイ・レベル幅設定レジスタ	IICWH	R/W	-		-	FFH	-	-	-			
F0234H	スレーブ・アドレス・レジスタ	SVA	R/W	-		-	00H	-	-	-			
F0240H	プログラマブル・ゲイン・アンプ制御レジスタ	OAM	R/W			-	00H						
F0241H	コンパレータ0制御レジスタ	C0CTL	R/W			-	00H						
F0242H	コンパレータ0内蔵基準電圧設定レジスタ	C0RVM	R/W			-	00H						
F0243H	コンパレータ1制御レジスタ	C1CTL	R/W			-	00H						
F0244H	コンパレータ1内蔵基準電圧設定レジスタ	C1RVM	R/W			-	00H						

備考 SFR領域のSFRについては、表3 - 5 SFR一覧を参照してください。

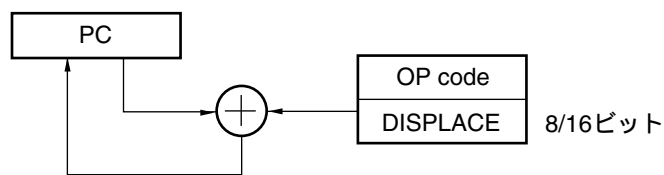
3.3 命令アドレスのアドレッシング

3.3.1 レラティブ・アドレッシング

【機能】

プログラム・カウンタ (PC) の値 (次に続く命令の先頭アドレス) に対し、命令語に含まれるディスプレイメント値 (符号付きの補数データ: -128 ~ +127 または -32768 ~ +32767) を加算した結果を、プログラム・カウンタ (PC) に格納し分岐先プログラム・アドレスを指定するアドレッシングです。レラティブ・アドレッシングは分岐命令のみに適用されます。

図3 - 16 レラティブ・アドレッシングの概略



3.3.2 イミーディエト・アドレッシング

【機能】

命令語中のイミーディエト・データをプログラム・カウンタに格納し、分岐先プログラム・アドレスを指定するアドレッシングです。

イミーディエト・アドレッシングには20ビットのアドレスを指定するCALL !!addr20 / BR !!addr20と、16ビットのアドレスを指定するCALL !addr16 / BR !addr16があります。16ビット・アドレスを指定する場合は上位4ビットには0000が入ります。

図3 - 17 CALL !!addr20/BR !!addr20の例

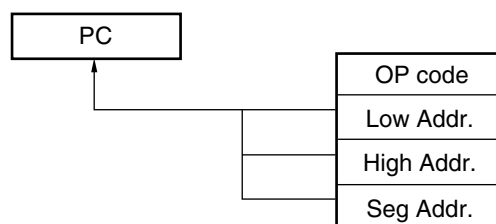
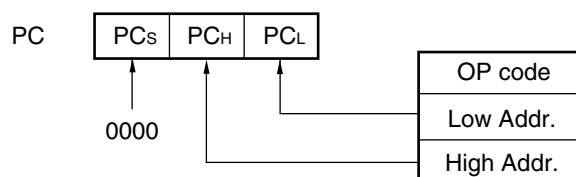


図3 - 18 CALL !addr16/BR !addr16の例



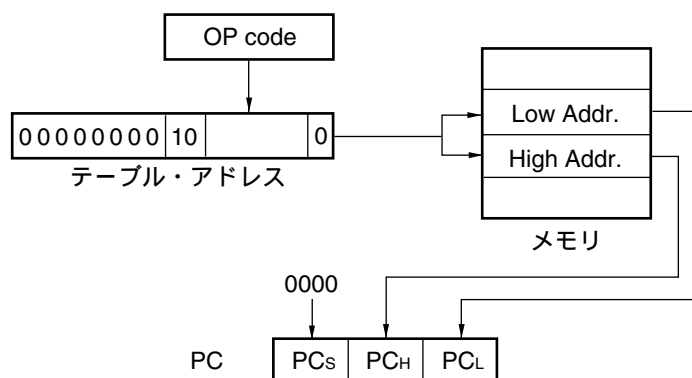
3.3.3 テーブル・インダイレクト・アドレッシング

【機能】

命令語中の5ビット・イミディエト・データによりCALLTテーブル領域(0080H-00BFH)内のテーブル・アドレスを指定し、その内容とそれに続くアドレスの内容を16ビット・データとしてプログラム・カウンタ(PC)に格納し、プログラム・アドレスを指定するアドレッシングです。テーブル・インダイレクト・アドレッシングはCALLT命令にのみ適用されます。

78K0Rマイクロコントローラでは、00000H-0FFFFHの64 Kバイト空間のみ分岐可能です。

図3 - 19 テーブル・インダイレクト・アドレッシングの概略

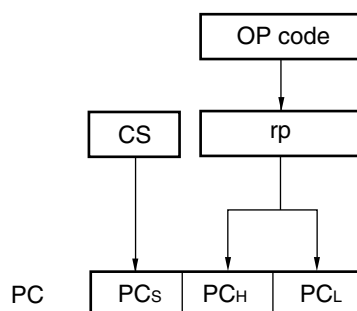


3.3.4 レジスタ・ダイレクト・アドレッシング

【機能】

命令語で指定されるカレント・レジスタ・バンク内の汎用レジスタ・ペア (AX/BC/DE/HL) とCSレジスタの内容を20ビット・データとしてプログラム・カウンタ (PC) に格納し、プログラム・アドレスを指定するアドレッシングです。レジスタ・ダイレクト・アドレッシングはCALL AX / BC / DE / HLとBR AX命令にのみ適用されます。

図3 - 20 レジスタ・ダイレクト・アドレッシングの概略



3.4 処理データ・アドレスに対するアドレッシング

3.4.1 インプライド・アドレッシング

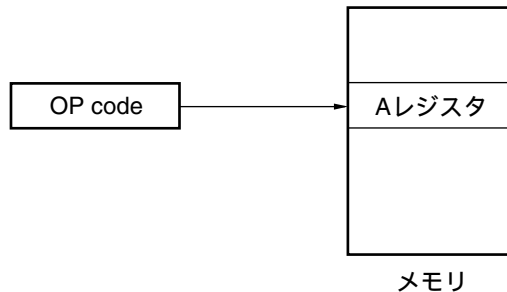
【機能】

アキュムレータなどの特別な機能を与えられたレジスタをアクセスする命令は、命令語中にはレジスタ指定フィールドを持たず命令語で直接指定します。

【オペランド形式】

命令により自動的に使用できるため特定のオペランド形式を持ちません。
インプライド・アドレッシングはMULU Xのみに適用されます。

図3 - 21 インプライド・アドレッシングの概略



3.4.2 レジスタ・アドレッシング

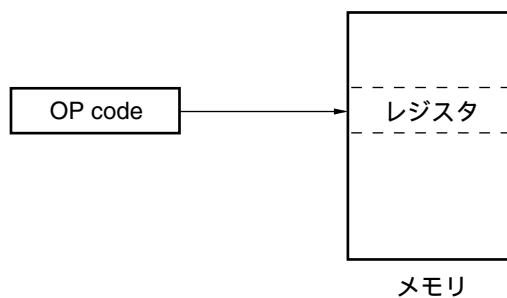
【機能】

汎用レジスタをオペランドとしてアクセスするアドレッシングです。8ビット・レジスタを指定する場合は命令語の3ビット、16ビット・レジスタを指定する場合は命令語の2ビットによりレジスタが選択されます。

【オペランド形式】

表現形式	記述方法
r	X, A, C, B, E, D, L, H
rp	AX, BC, DE, HL

図3 - 22 レジスタ・アドレッシングの概略



3.4.3 ダイレクト・アドレッシング

【機能】

命令語中のイミディエト・データがオペランド・アドレスとなり，対象となるアドレスを直接指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
ADDR16	ラベルまたは16ビット・イミディエト・データ (F0000H-FFFFFFH空間のみ指定可能)
ES:ADDR16	ラベルまたは16ビット・イミディエト・データ (ESレジスタにて上位4ビット・アドレス指定)

図3 - 23 ADDR16の例

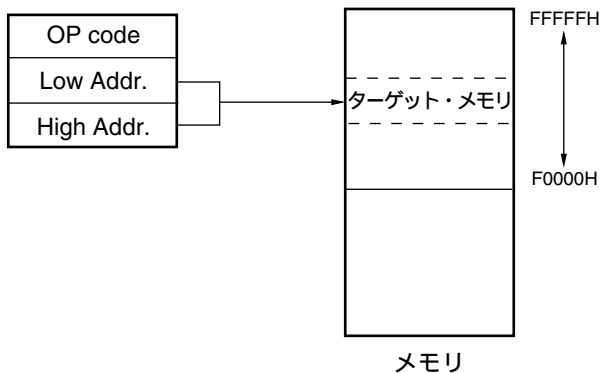
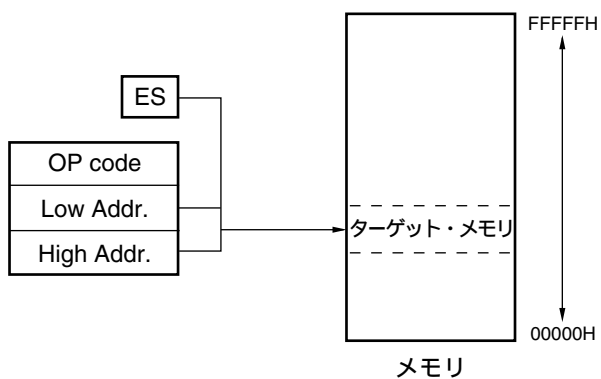


図3 - 24 ES:ADDR16の例



3.4.4 ショート・ダイレクト・アドレッシング

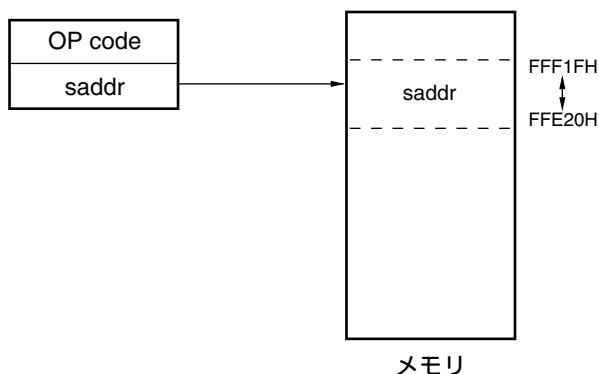
【機能】

命令語中の8ビット・データで対象となるアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFE20H-FFF1FHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SADDR	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (FFE20H-FFF1FH空間のみ指定可能)
SADDRP	ラベルまたはFFE20H-FFF1FHのイミューディエト・データまたは0FE20H-0FF1FHのイミューディエト・データ (偶数アドレスのみ) (FFE20H-FFF1FH空間のみ指定可能)

図3 - 25 ショート・ダイレクト・アドレッシングの概略



備考 SADDR, SADDRPは、(実アドレスの上位4ビット・アドレスを省略した) 16ビットのイミューディエト・データでFE20H-FF1FHの値を記述することができます。また、20ビットのイミューディエト・データでFFE20H-FFF1FHの値を記述することもできます。

ただし、どちらの形式で書いても、メモリはFFE20H-FFF1FH空間のアドレスが指定されます。

3.4.5 SFRアドレッシング

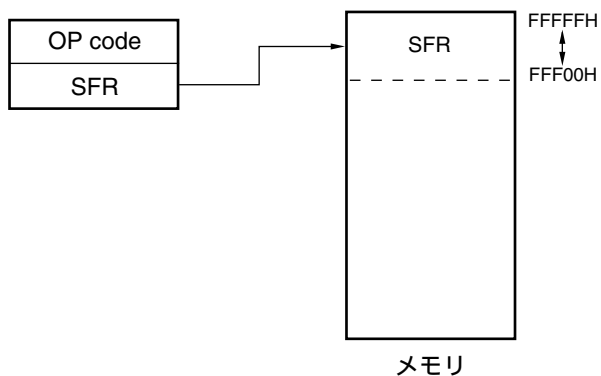
【機能】

命令語中の8ビット・データで対象となるSFRアドレスを直接指定するアドレッシングです。このアドレッシングが適用されるのはFFF00H-FFFFFHの空間に限られます。

【オペランド形式】

表現形式	記述方法
SFR	SFRレジスタ名
SFRP	16ビット操作可能なSFRレジスタ名（偶数アドレスのみ）

図3 - 26 SFRアドレッシングの概略



3.4.6 レジスタ・インダイレクト・アドレッシング

【機能】

命令語で指定されたレジスタ・ペアの内容がオペランド・アドレスになり，対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[DE] , [HL] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[DE] , ES:[HL] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 27 [DE] , [HL]の例

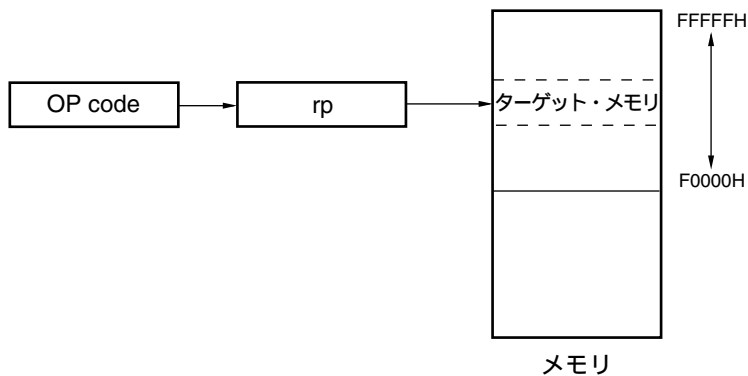
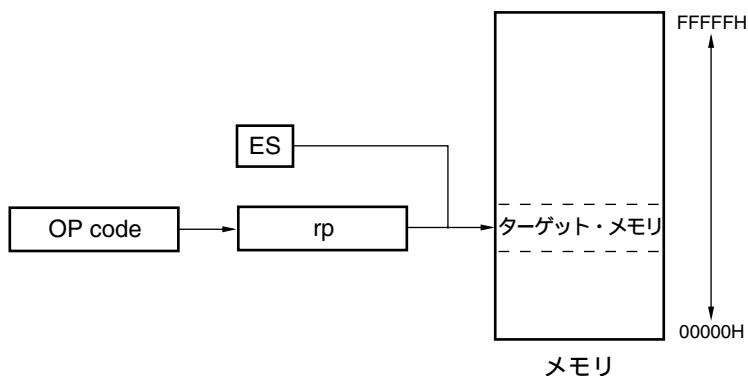


図3 - 28 ES:[DE] , ES:[HL]の例



3.4.7 ベース・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、8ビット・イミディエト・データまたは16ビット・イミディエト・データをオフセット・データとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + byte], [DE + byte], [SP + byte] (F0000H-FFFFFH空間のみ指定可能)
-	word[B], word[C] (F0000H-FFFFFH空間のみ指定可能)
-	word[BC] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + byte], ES:[DE + byte] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[B], ES:word[C] (ESレジスタにて上位4ビット・アドレス指定)
-	ES:word[BC] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 29 [SP+byte]の例

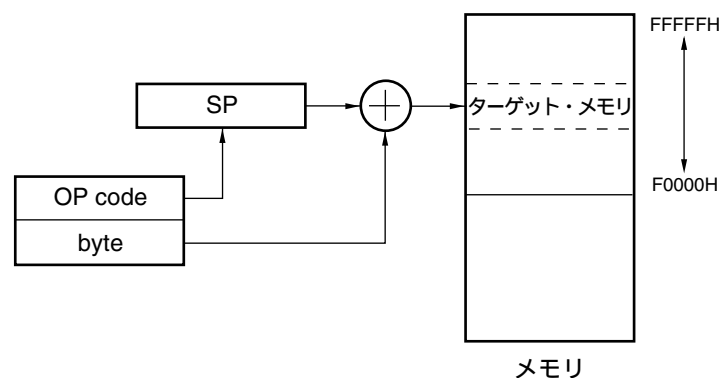


図3 - 30 [HL+byte] , [DE+byte]の例

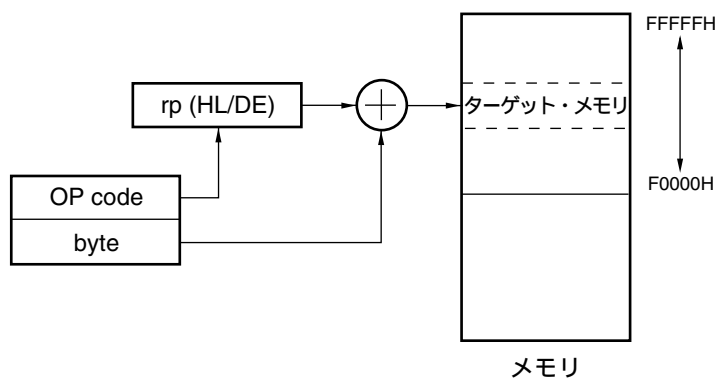


図3 - 31 word[B] , word[C]の例

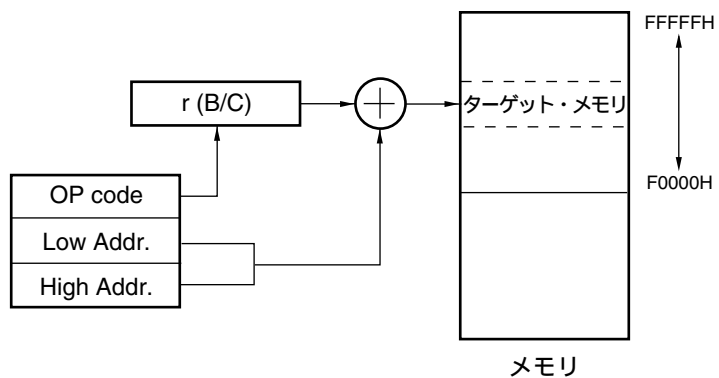


図3 - 32 word[BC]の例

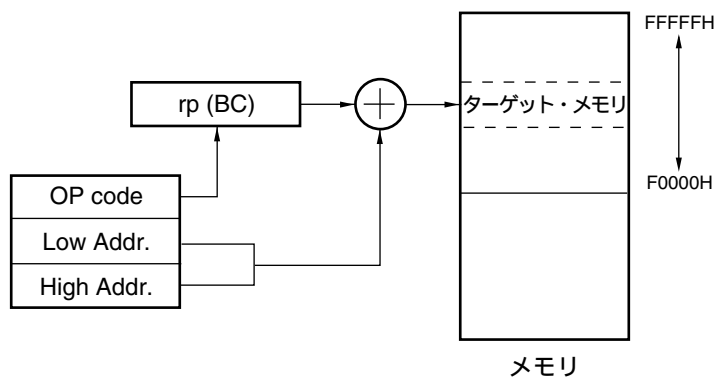


図3 - 33 ES:[HL+byte] , ES:[DE+byte]の例

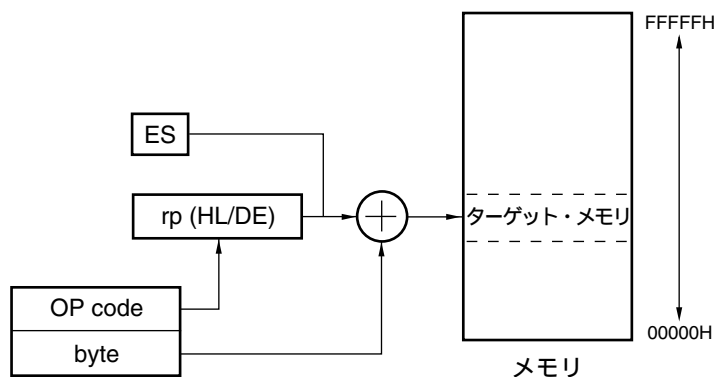


図3 - 34 ES:word[B] , ES:word[C]の例

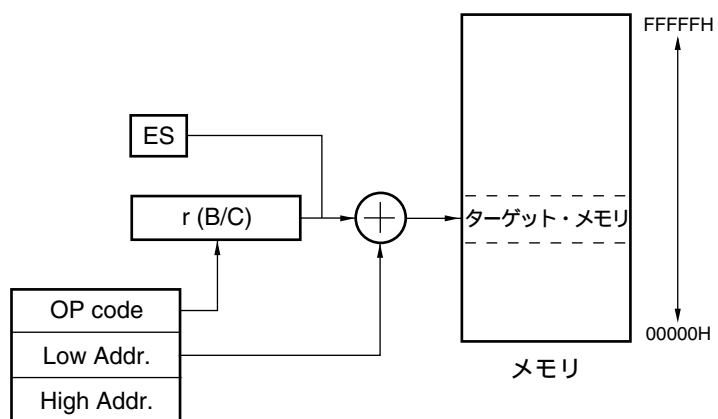
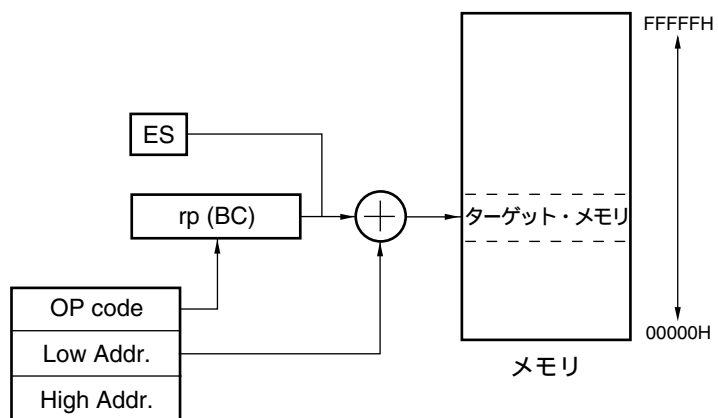


図3 - 35 ES:word[BC]の例



3.4.8 ベース・インデクスト・アドレッシング

【機能】

命令語で指定されるレジスタ・ペアの内容をベース・アドレスとし、同様に命令語で指定されるBレジスタまたはCレジスタの内容をオフセット・アドレスとしてベース・アドレスに加算した結果で、対象となるアドレスを指定するアドレッシングです。

【オペランド形式】

表現形式	記述方法
-	[HL + B] , [HL + C] (F0000H-FFFFFH空間のみ指定可能)
-	ES:[HL + B] , ES:[HL + C] (ESレジスタにて上位4ビット・アドレス指定)

図3 - 36 [HL+B] , [HL+C]の例

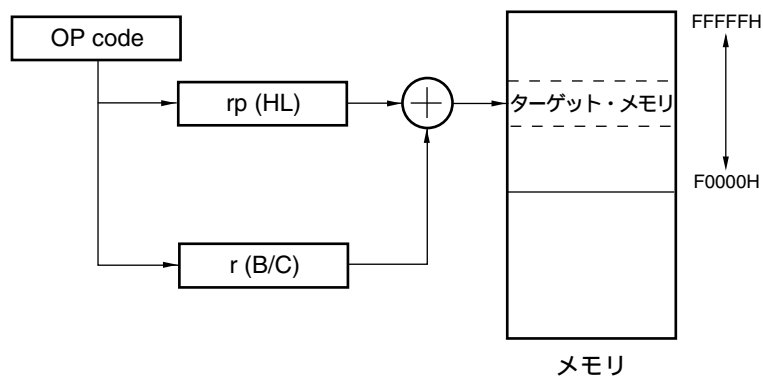
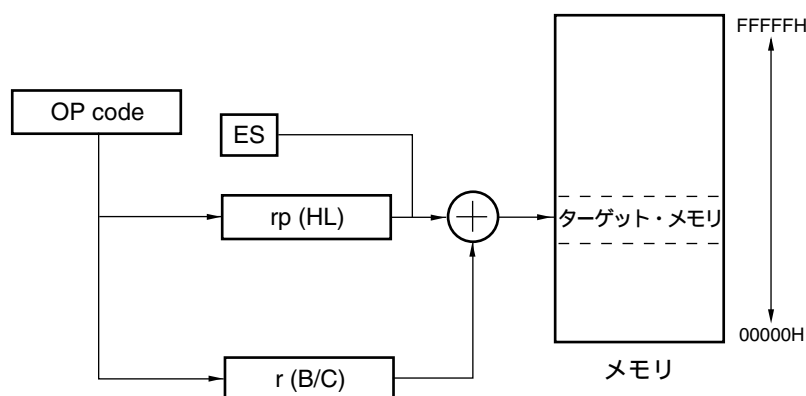


図3 - 37 ES:[HL+B] , ES:[HL+C]の例



3.4.9 スタック・アドレッシング

【機能】

スタック・ポインタ(SP)の内容によりスタック領域を間接的に指定するアドレッシングです。PUSH, POP, サブルーチン・コール, リターン命令の実行時, および割り込み要求発生によるレジスタの退避/復帰時に自動的に用いられます。

スタック・アクセスは内部RAMのみに用いられます。

【オペランド形式】

表現形式	記述方法
-	PUSH AX/BC/DE/HL POP AX/BC/DE/HL CALL/CALLT RET BRK RETB (割り込み要求発生) RETI

第4章 ポート機能

4.1 ポートの機能

ポート端子の入出力バッファ電源には、 AV_{REF} 、 EV_{DD} 、 V_{DD} の3系統があります。それぞれの電源と端子の関係を次に示します。

表4 - 1 各端子の入出力バッファ電源 (78K0R/IB3)

- ・ 30ピン・プラスチックSSOP (7.62 mm (300))

電源	対応する端子
AV_{REF}	P20-P25, P80, P81, P83
V_{DD}	・ P20-P25, P80, P81, P83以外のポート端子 ・ ポート以外の端子

表4 - 2 各端子の入出力バッファ電源 (78K0R/IC3)

- ・ 38ピン・プラスチックSSOP (7.62 mm (300))
- ・ 44ピン・プラスチックLQFP (10x10)
- ・ 48ピン・プラスチックTQFP (ファインピッチ) (7x7)

電源	対応する端子
AV_{REF}	P20-P27, P150, P151 (44ピン製品) , P150-P152 (48ピン製品) , P80-P83
V_{DD}	・ P20-P27, P150-P152, P80-P83以外のポート端子 ・ ポート以外の端子

表4 - 3 各端子の入出力バッファ電源 (78K0R/ID3)

- ・ 52ピン・プラスチックLQFP (10x10)

電源	対応する端子
AV_{REF}	P20-P27, P150-P152, P80-P83
V_{DD}	・ P20-P27, P150-P152, P80-P83以外のポート端子 ・ ポート以外の端子

表4 - 4 各端子の入出力バッファ電源 (78K0R/IE3)

- ・ 64ピン・プラスチックLQFP (12x12)
- ・ 64ピン・プラスチックLQFP (ファインピッチ) (10x10)

電源	対応する端子
AV_{REF}	P20-P27, P150-P153, P80-P83
EV_{DD}	・ P20-P27, P150-P153, P80-P83, P121-P124以外のポート端子 ・ \overline{RESET} 端子, FLMD0端子
V_{DD}	・ P121-P124 ・ ポート以外の端子 (\overline{RESET} 端子, FLMD0端子を除く)

78K0R/Ix3は、デジタル入出力ポートを備えており、多様な制御を行うことができます。各ポートの機能は表4-5のとおりです。

また、デジタル入出力ポートとしての機能以外に、各種兼用機能を備えています。兼用機能については、**第2章 端子機能**を参照してください。

表4 - 5 ポートの機能 (1/3)

IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3	機能名称	入出力	機能	リセット時	兼用機能
x	x	x	x			P00	入出力	ポート0。 入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TI00
x	x	x	x			P01				TO00
						P10	入出力	ポート1。 入出力ポート。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	【IB3】 TI02/TO02/TxD0 【上記以外】 TI02/TO02
						P11				【IB3】 TI03/TO03/RxD0 【上記以外】 TI03/TO03
						P12				TI04/TO04
						P13				TI05/TO05
x	x	x	x	x		P14				TI06/TO06
x	x	x	x	x		P15				TI07/TO07
x	x	x	x	x		P16				TI08/TO08
x	x	x	x	x		P17				TI09/TO09
						P20				入出力
						P21	ANI1			
						P22	ANI2			
						P23	ANI3			
						P24	ANI4			
						P25	ANI5			
x						P26	ANI6			
x						P27	ANI7			
						P30	入出力	ポート3。 入出力ポート。 P31, P32の入力はTTLバッファに設定可能。 P30-P32の出力はN-chオープン・ドレイン出力 (V _{DD} 耐圧) に設定可能。 1ビット単位で入力 / 出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	
						P31				【IE3】 SI10/RxD1/ SDA10/INTP1 【上記以外】 SI10/RxD1/ SDA10/INTP1/ TI09
						P32				SCK10/SCL10/ INTP2
x	x	x	x	x		P33				-

表4 - 5 ポートの機能 (2/3)

IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3	機能名称	入出力	機能	リセット時	兼用機能
						P40 ^注	入出力	ポート4。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	TOOL0
					P41	TOOL1				
x	x	x	x	x	P42	-				
x	x	x	x	x	P43	-				
						P50	入出力	ポート5。 入出力ポート。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	【IE3】 -
					P51	【上記以外】 TI06/TO06				
					P52	【IE3】 -				
x					P53	【上記以外】 TI07/TO07				
						P52				SLTI/SLTO
						P60	入出力	ポート6。 入出力ポート。 出力はN-chオープン・ドレイン出力(6V耐圧)。 1ビット単位で入力/出力の指定可能。	入力ポート	SCL0
					P61	SDA0				
						P70	入出力	ポート7。 入出力ポート。 P71, P72, P74, P75の入力はTTLバッファに設定可能。 P70, P72, P73, P75の出力はN-chオープン・ドレイン出力(V _{DD} 耐圧)に設定可能。 1ビット単位で入力/出力の指定可能。 ソフトウェアの設定により、内蔵プルアップ抵抗を使用可能。	入力ポート	SO01/INTP4
					P71	SI01/INTP5				
					P72	【IC3の38ピン製品】 INTP6/RxD0				
					P73	【上記以外】 SCK01/INTP6				
					P74	【IC3の38ピン製品】 TxD0/TO10				
					P75	【上記以外】 SO00/TxD0/TO10				
					P76	SI00/RxD0/TI10				
					P77	SCK00/TI11				
						P76				-
						P77				-

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をプルアップしてください(2.2.5 P40-P43 (Port 4)の注意文参照)。

表4 - 5 ポートの機能 (3/3)

IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3	機能名称	入出力	機能	リセット時	兼用機能
						P80	入出力	ポート8。 入出力ポート。 1ビット単位で入力/出力の指定可能。 コンパレータ、プログラマブル・ゲイン・アン プ入力に設定可能	アナログ入 力	CMP0P/TMOFF0/ INTP3/PGAI
					P81	CMP0M				
x					P82	CMP1P/TMOFF1/ INTP7				
					P83	CMP1M				
						P120	入出力	ポート12。 入出力ポートと入力ポート。 P120のみ、入力/出力の指定が可能。 P120のみ、ソフトウェアの設定により、内蔵ブ ルアップ抵抗を使用可能。	入力ポート	INTP0/EXLVI
					P121	【IB3とIC3の38ピ ン製品】 X1/INTP4 【上記以外】 X1				
					P122	【IB3とIC3の38ピ ン製品】 X2/EXCLK/INTP5 【上記以外】 X2/EXCLK				
x					P123	XT1				
x					P124	XT2				
x	x	x				P140	出力	ポート14。 出力ポートと入出力ポート。 P141のみ、入力/出力の指定が可能。 P141のみ、ソフトウェアの設定により、内蔵ブ ルアップ抵抗を使用可能。	出力ポート	PCLBUZ0
x	x	x	x	x	P141	入力ポート				PCLBUZ1
x	x					P150	入出力	ポート15。 入出力ポート。 1ビット単位で入力/出力の指定可能。	デジタル入 力ポート	ANI8
x	x				P151	ANI9				
x	x	x			P152	ANI10				
x	x	x	x	x	P153	ANI11				

注 オプション・バイトで「オンチップ・デバッグ許可」に設定した場合は、必ず外部でP40/TOOL0端子をブルアップしてください(2.2.5 P40-P43 (Port 4)の注意文参照)。

4.2 ポートの構成

ポートは、次のハードウェアで構成しています。

表4 - 6 ポートの構成 (1/2)

項 目	構 成
制御レジスタ	<ul style="list-style-type: none"> ・ 78K0R/IB3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM1-PM5, PM8, PM12) ポート・レジスタ (P1-P5, P8, P12) プルアップ抵抗オプション・レジスタ (PU1, PU3-PU5, PU12) ポート入力モード・レジスタ (PIM3, PIM8) ポート出力モード・レジスタ (POM3) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0R/IC3 (38ピン製品) <ul style="list-style-type: none"> ポート・モード・レジスタ (PM1-PM5, PM7, PM8, PM12) ポート・レジスタ (P1-P5, P7, P8, P12) プルアップ抵抗オプション・レジスタ (PU1, PU3-PU5, PU7, PU12) ポート入力モード・レジスタ (PIM3, PIM7, PIM8) ポート出力モード・レジスタ (POM3, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0R/IC3 (44ピン製品) <ul style="list-style-type: none"> ポート・モード・レジスタ (PM1-PM5, PM7, PM8, PM12, PM15) ポート・レジスタ (P1-P5, P7, P8, P12, P15) プルアップ抵抗オプション・レジスタ (PU1, PU3-PU5, PU7, PU12) ポート入力モード・レジスタ (PIM3, PIM7, PIM8) ポート出力モード・レジスタ (POM3, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0R/IC3 (48ピン製品) <ul style="list-style-type: none"> ポート・モード・レジスタ (PM1-PM8, PM12, PM15) ポート・レジスタ (P1-P8, P12, P14, P15) プルアップ抵抗オプション・レジスタ (PU1, PU3-PU5, PU7, PU12) ポート入力モード・レジスタ (PIM3, PIM7, PIM8) ポート出力モード・レジスタ (POM3, POM7) ・ 78K0R/ID3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0-PM8, PM12, PM15) ポート・レジスタ (P0-P8, P12, P14, P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12) ポート入力モード・レジスタ (PIM3, PIM7, PIM8) ポート出力モード・レジスタ (POM3, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC) ・ 78K0R/IE3 <ul style="list-style-type: none"> ポート・モード・レジスタ (PM0-PM8, PM12, PM14, PM15) ポート・レジスタ (P0-P8, P12, P14, P15) プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12, PU14) ポート入力モード・レジスタ (PIM3, PIM7, PIM8) ポート出力モード・レジスタ (POM3, POM7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

表4 - 6 ポートの構成 (2/2)

項 目	構 成
ポート	<ul style="list-style-type: none"> ・ 78K0R/IB3 : 合計 : 23本 (CMOS入出力 : 21本 , CMOS入力 : 2本) ・ 78K0R/IC3の38ピン製品 : 合計 : 31本 (CMOS入出力 : 27本 , CMOS入力 : 4本) ・ 78K0R/IC3の44ピン製品 : 合計 : 37本 (CMOS入出力 : 33本 , CMOS入力 : 4本) ・ 78K0R/IC3の48ピン製品 : 合計 : 41本 (CMOS入出力 : 34本 , CMOS入力 : 4本 , CMOS出力 : 1本 , N-chオープン・ドレ ン入出力 : 2本) ・ 78K0R/ID3 : 合計 : 45本 (CMOS入出力 : 38本 , CMOS入力 : 4本 , CMOS出力 : 1本 , N-chオープン・ドレ ン入出力 : 2本) ・ 78K0R/IE3 : 合計 : 55本 (CMOS入出力 : 48本 , CMOS入力 : 4本 , CMOS出力 : 1本 , N-chオープン・ドレ ン入出力 : 2本)
プルアップ抵抗	<ul style="list-style-type: none"> ・ 78K0R/IB3 合計 : 12本 ・ 78K0R/IC3の38ピン製品 合計 : 15本 ・ 78K0R/IC3の44ピン製品 合計 : 19本 ・ 78K0R/IC3の48ピン製品 合計 : 19本 ・ 78K0R/ID3 合計 : 23本 ・ 78K0R/IE3 合計 : 32本

4.2.1 ポート0

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P00/TI00	-	-	-	-		
P01/TO00	-	-	-	-		

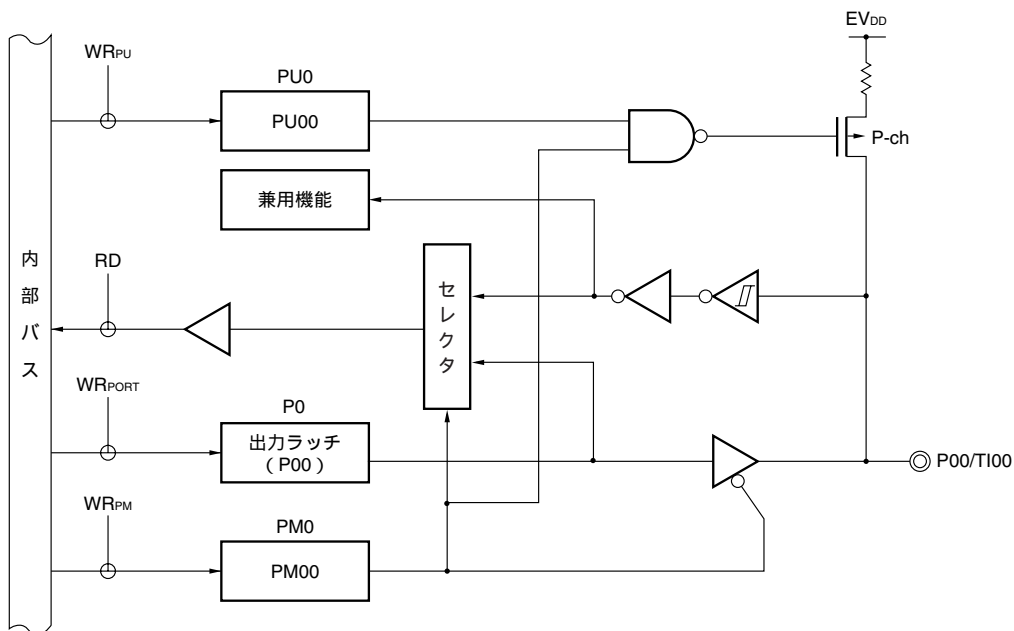
出力ラッチ付き入出力ポートです。ポート・モード・レジスタ0 (PM0) により1ビット単位で入力モード/出力モードの指定ができます。P00, P01端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ0 (PU0) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力があります。
リセット信号の発生により、入力モードになります。

図4 - 1, 図4 - 2にポート0のブロック図を示します。

- 注意1.** P01/TO00を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0) のビット0 (TO00) とタイマ出力許可レジスタ0 (TOE0) のビット0 (TOE00) を初期状態と同じ設定“0”で使用してください。
- 2.** インバータ制御機能において、山割り込み信号 (INTTMM0), 谷割り込み信号 (INTTMV0) を使用する場合は、タイマ・チャンネル0の出力を許可する必要があります (TOE00 = 1)。そのため、P01/TO00を汎用出力ポートとして使用することはできません。

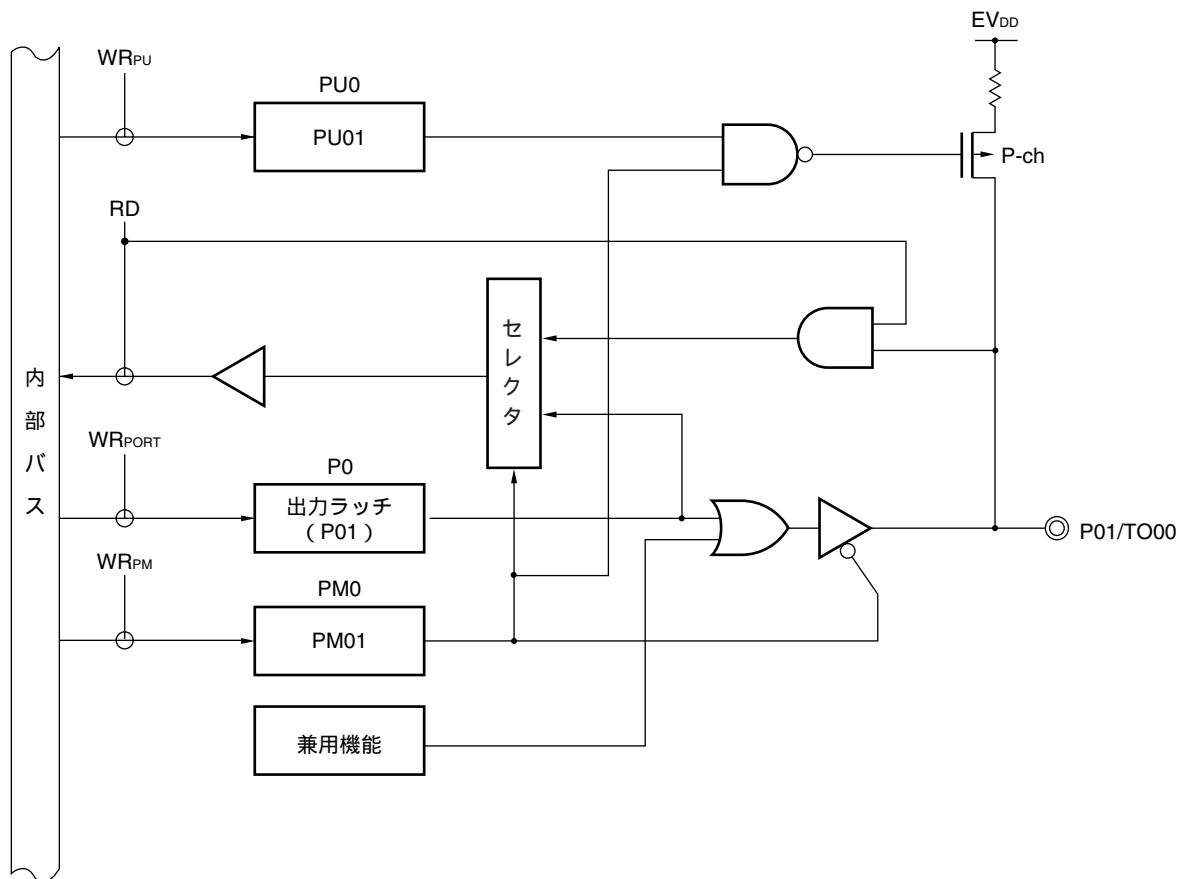
図4 - 1 P00のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は、EV_{DD}をV_{DD}に、EV_{SS}をV_{SS}に置き換えてください。

図4 - 2 P01のブロック図



- P0 : ポート・レジスタ0
- PU0 : プルアップ抵抗オプション・レジスタ0
- PM0 : ポート・モード・レジスタ0
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

4.2.2 ポート1

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P10/TI02/TO02/ TxD0		P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}	P10/TI02/TO02 ^{注1}
P11/TI03/TO03/ RxD0		P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}	P11/TI03/TO03 ^{注1}
P12/TI04/TO04						
P13/TI05/TO05						
P14/TI06/TO06	_注2	_注2	_注2	_注2	_注2	
P15/TI07/TO07	_注2	_注2	_注2	_注2	_注2	
P16/TI08/TO08	-	-	-	-	-	
P17/TI09/TO09	_注3	_注3	_注3	_注3	_注3	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ1 (PM1) により1ビット単位で入力モード/出力モードの指定ができます。P10-P17端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ1 (PU1) により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマの入出力、シリアル・インタフェースのデータ入出力があります。

リセット信号の発生により、入力モードになります。

図4-3にポート1のブロック図を示します。

- 注1. 78K0R/IC3の38ピン製品では、TxD0, RxD0はそれぞれP73, P72と兼用しています。
78K0R/IC3の44ピン製品, 78K0R/ID3, 78K0R/IE3では、TxD0, RxD0はそれぞれP73, P74と兼用しています。
2. 78K0R/IE3製品以外では、TI06/TO06, TI07/TO07はそれぞれP50, P51と兼用しています。
3. 78K0R/IE3製品以外では、TI09はP31と兼用しています。

- 注意1. P10/TI02/TO02 (P10/TI02/TO02/TxD0) , P11/TI03/TO03 (P11/TI03/TO03/RxD0) , P12/TI04/TO04, P13/TI05/TO05, P14/TI06/TO06, P15/TI07/TO07, P16/TI08/TO08, P17/TI09/TO09を汎用ポートとして使用する場合は、タイマ出力レジスタ0 (TO0) のビット2-9 (TO02-TO09) とタイマ出力許可レジスタ0 (TOE0) のビット2-9 (TOE02-TOE09) を初期状態と同じ設定“0”で使用してください。
2. インバータ制御機能において、山割り込み信号 (INTTMM1) , 谷割り込み信号 (INTTMV1) を使用する場合は、タイマ・チャンネル4の出力を許可する必要があります (TOE04 = 1) 。そのため、P12/TI04/TO04を汎用出力ポートとして使用することはできません。
3. 78K0R/IB3のP10/TI02/TO02/TxD0, P11/TI03/TO03/RxD0を汎用ポートとして使用する場合は、シリアル・アレィ・ユニットの設定に注意してください。詳細は、次の表を参照してください。
- ・表13-5 レジスタの設定と端子の関係 (チャンネル0 : UART0送信)
 - ・表13-8 レジスタの設定と端子の関係 (チャンネル1 : UART0受信)

4.2.3 ポート2

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P20/ANI0						
P21/ANI1						
P22/ANI2						
P23/ANI3						
P24/ANI4						
P25/ANI5						
P26/ANI6	-					
P27/ANI7	-					

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ2 (PM2) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P20/ANI0-P27/ANI7をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM2で入力モードに設定して、下位ビットから使用してください。

P20/ANI0-P27/ANI7をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM2で出力モードに設定してください。

P20/ANI0-P27/ANI7をアナログ入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、かつPM2で入力モードに設定して、上位ビットから使用してください。

表4 - 7 P20/ANI0-P27/ANI7端子機能の設定

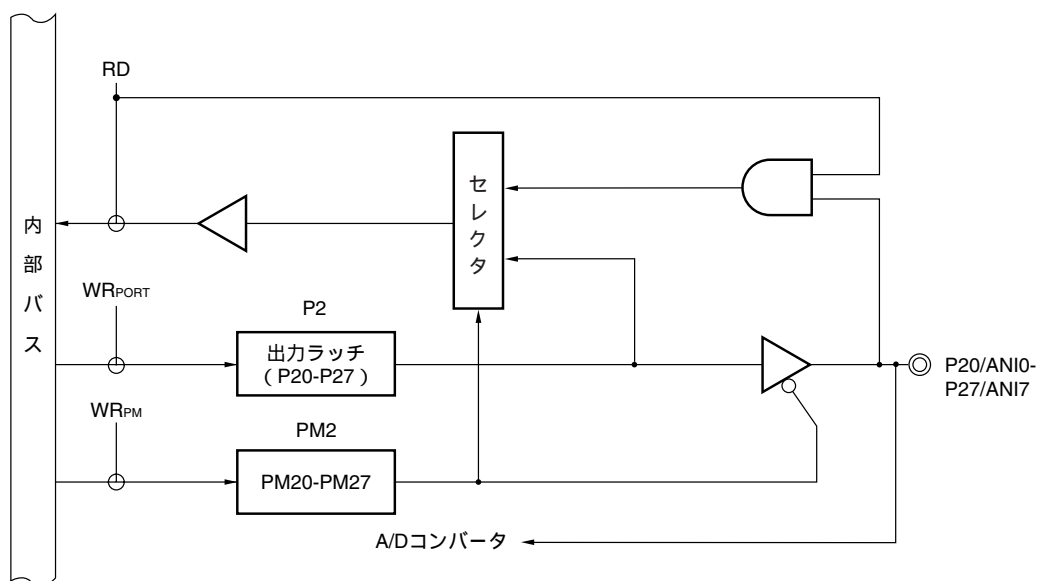
ADPC	PM2	ADS	P20/ANI0-P27/ANI7端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P20/ANI0-P27/ANI7はすべてデジタル入力になります。

図4 - 4にポート2のブロック図を示します。

注意 ポート2をデジタル・ポートとして使用する場合は、AVREFをVDD、EVDDと同電位にしてください。

図4 - 4 P20-P27のブロック図



- P2 : ポート・レジスタ2
- PM2 : ポート・モード・レジスタ2
- RD : リード信号
- WR_{xx} : ライト信号

4.2.4 ポート3

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P30/SO10/TxD1/TO11						
P31/SI10/RxD1/SDA10/INTP1/TI09						P31/SI10/RxD1/SDA10/INTP1 ^注
P32/SCK10/SC L10/INTP2						
P33	-	-	-	-	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ3 (PM3) により1ビット単位で入力モード/出力モードの指定ができます。P30-P33端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ3 (PU3) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P31, P32端子の入力は、ポート入力モード・レジスタ3(PIM3)の設定により1ビット単位で通常入力バッファ/TTL入力バッファの指定ができます。

P30-P32端子の出力は、ポート出力モード・レジスタ3 (POM3) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD} 耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、タイマ入出力があります。

リセット信号の発生により、入力モードになります。

図4-5-4-7にポート3のブロック図を示します。

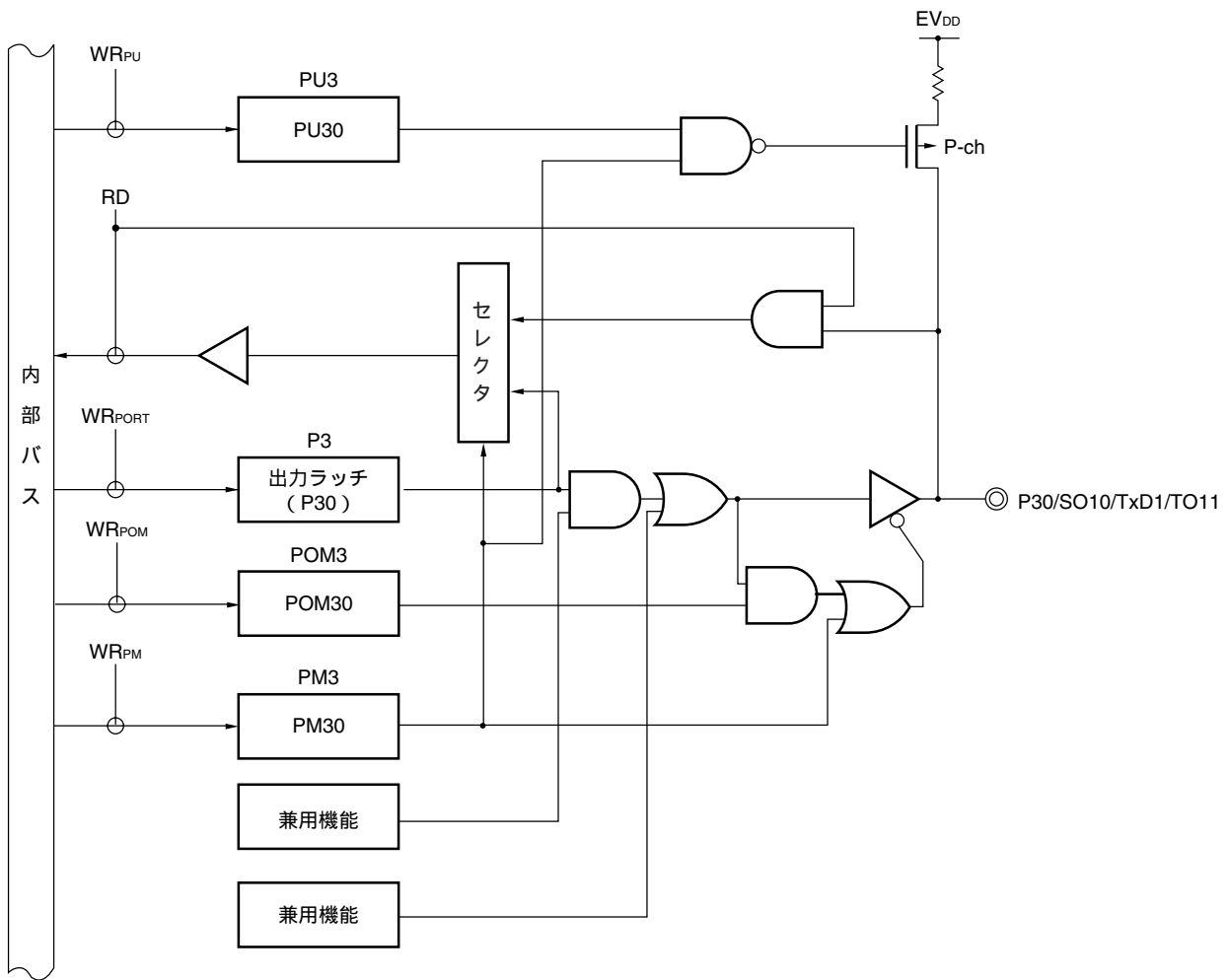
注 78K0R/IE3では、TI09はP17と兼用しています。

注意1. P30/SO10/TxD1/TO11を汎用ポートとして使用する場合、タイマ出力レジスタ1 (TO1) のビット1 (TO11) とタイマ出力許可レジスタ1 (TOE1) のビット1 (TOE11) を初期状態と同じ設定“0”で使用してください。

2. P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09 (78K0R/IE3の場合, P31/SI10/RxD1/SDA10/INTP1), P32/SCK10/SCL10/INTP2を汎用ポートとして使用する場合, シリアル・アレイ・ユニットの設定に注意してください。詳細は、次の表を参照してください。

- ・表13-11 レジスタの設定と端子の関係 (チャンネル2: CSI10, UART1送信, IIC10)
- ・表13-12 レジスタの設定と端子の関係 (チャンネル3: UART1受信)

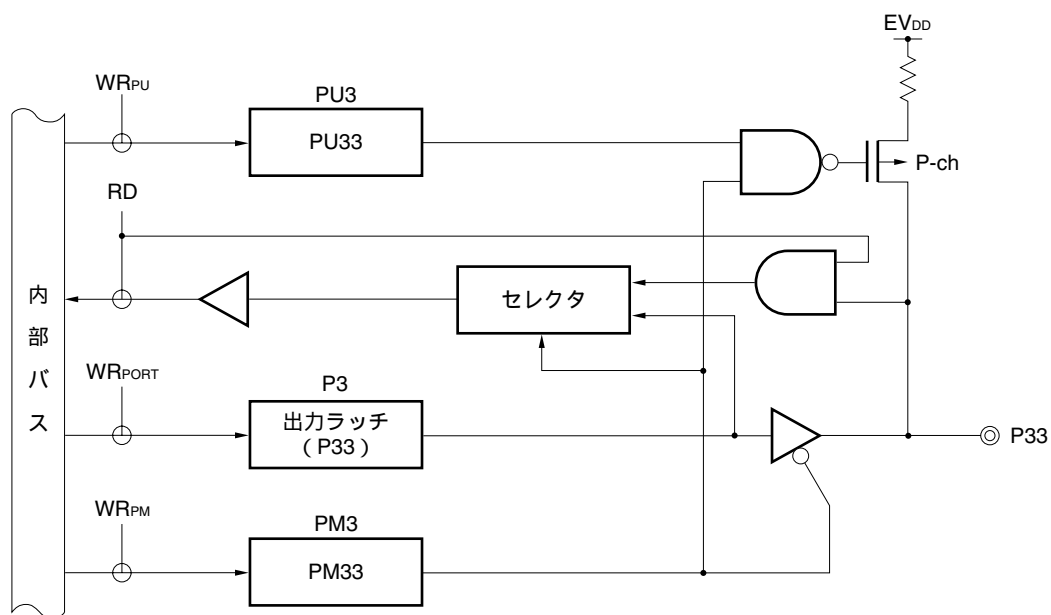
図4 - 5 P30のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- POM3 : ポート出力モード・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_{xx} : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図4 - 7 P33のブロック図



- P3 : ポート・レジスタ3
- PU3 : プルアップ抵抗オプション・レジスタ3
- PM3 : ポート・モード・レジスタ3
- RD : リード信号
- WR_x x : ライト信号

4.2.5 ポート4

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P40/TOOL0						
P41/TOOL1						
P42	-	-	-	-	-	
P43	-	-	-	-	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ4 (PM4) により1ビット単位で入力モード/出力モードの指定ができます。P40-P43端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ4 (PU4) により1ビット単位で内蔵プルアップ抵抗を使用できます[※]。

また、兼用機能としてフラッシュ・メモリ・プログラマ/デバッグ用データ入出力、クロック出力があります。

リセット信号の発生により、入力モードになります。

図4 - 8, 4 - 9にポート4のブロック図を示します。

注 P40, P41端子は、ツール接続時にはプルアップ抵抗は接続できません。

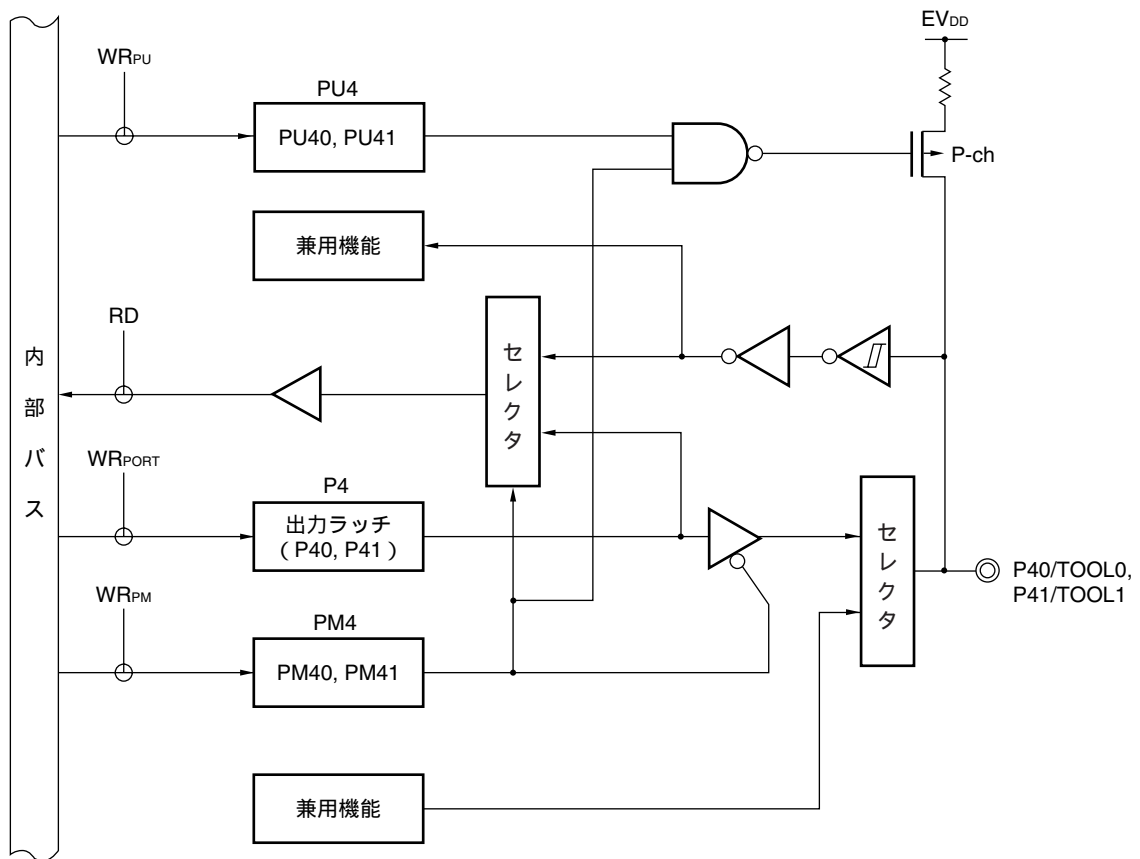
注意 P40端子は、ツール接続時はポート端子として使用できません。

P41端子は、オンチップ・デバッグ機能使用時には、デバッグのモード設定により次のようになります。

1線モード : ポート (P41) として使用できます。

2線モード : TOOL1端子として使用するためポート (P41) としては使用できません。

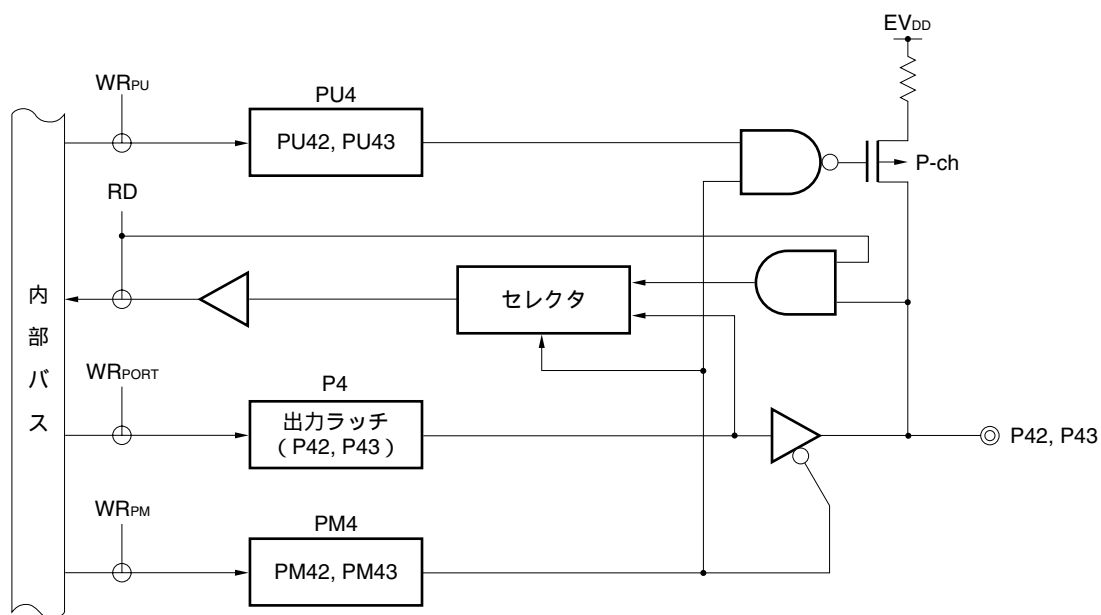
図4 - 8 P40, P41のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図4 - 9 P42, P43のブロック図



- P4 : ポート・レジスタ4
- PU4 : プルアップ抵抗オプション・レジスタ4
- PM4 : ポート・モード・レジスタ4
- RD : リード信号
- WR_x : ライト信号

4.2.6 ポート5

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P50/TI06/TO06						P50 ^注
P51/TI07/TO07						P51 ^注
P52/SLTI/SLTO	-					
P53	-	-	-	-	-	

出力ラッチ付き4ビット入出力ポートです。ポート・モード・レジスタ5 (PM5)により1ビット単位で入力モード/出力モードの指定ができます。P50-P53端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ5 (PU5)により1ビット単位で内蔵プルアップ抵抗を使用できます。

また、兼用機能としてタイマ入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 10 - 4 - 12にポート5のブロック図を示します。

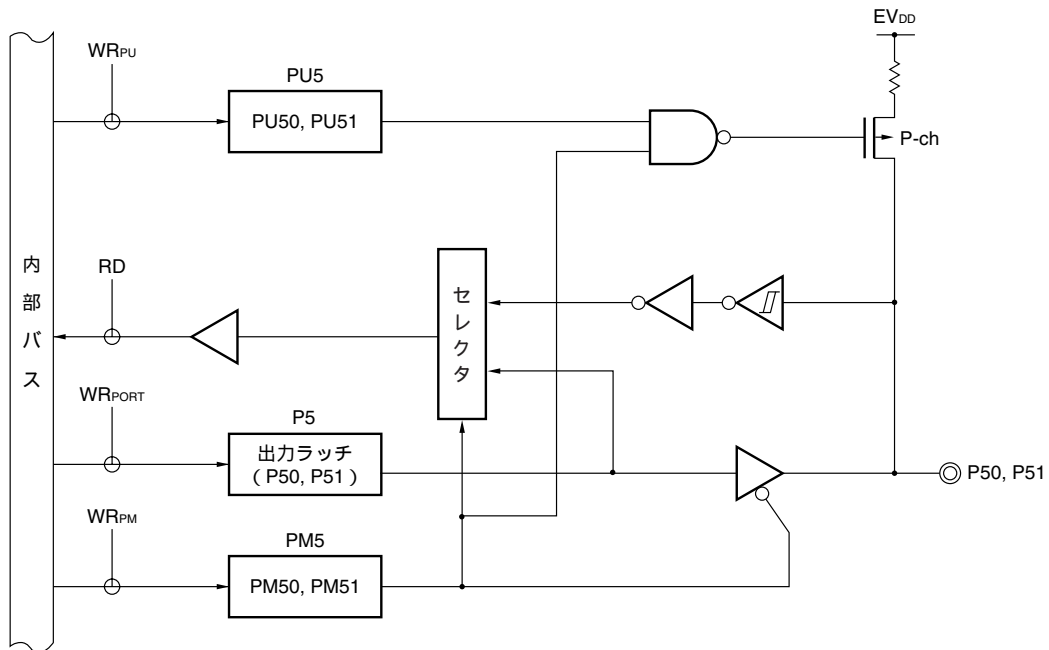
注 78K0R/IE3では、TI06/TO06, TI07/TO07はそれぞれP14, P15と兼用しています。

- 注意1. P50/TI06/TO06, P51/TI07/TO07を汎用ポートとして使用する場合、タイマ出力レジスタ0 (TO0)のビット6, 7 (TO06, TO07)とタイマ出力許可レジスタ0 (TOE0)のビット6, 7 (TOE06, TOE07)を初期状態と同じ設定“0”で使用してください。
2. P52/SLTI/SLTOを汎用ポートとして使用する場合、入力切り替え制御レジスタ (ISC)の設定で、どのチャンネルnのタイマ入力/出力端子として選択されているかを確認します (ISCレジスタの詳細については、6.3 (24) 入力切り替え制御レジスタ (ISC)参照)。そして、タイマ出力レジスタ0 (TO0)のビットn (TO_n)とタイマ出力許可レジスタ0 (TOE0)のビットn (TOE_n)を初期状態と同じ設定“0”で使用してください。

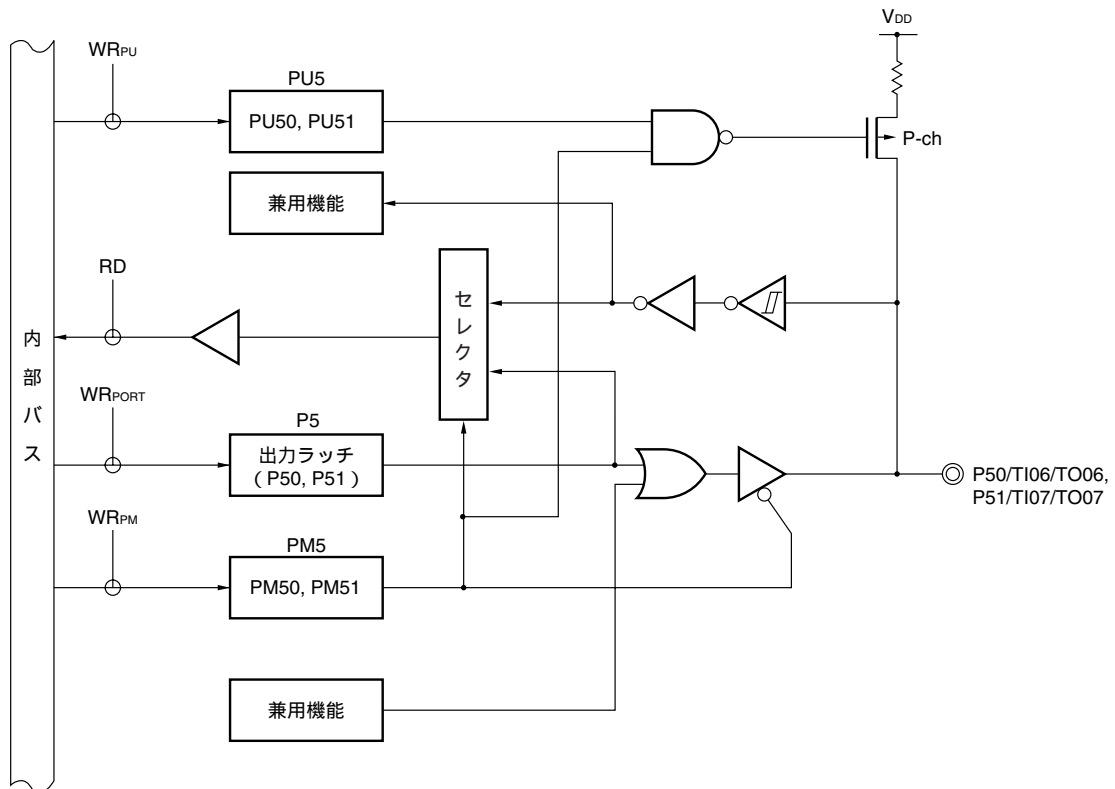
備考 n = 00, 01, 08-11

図4 - 10 P50, P51のブロック図

(1) 78K0R/IE3

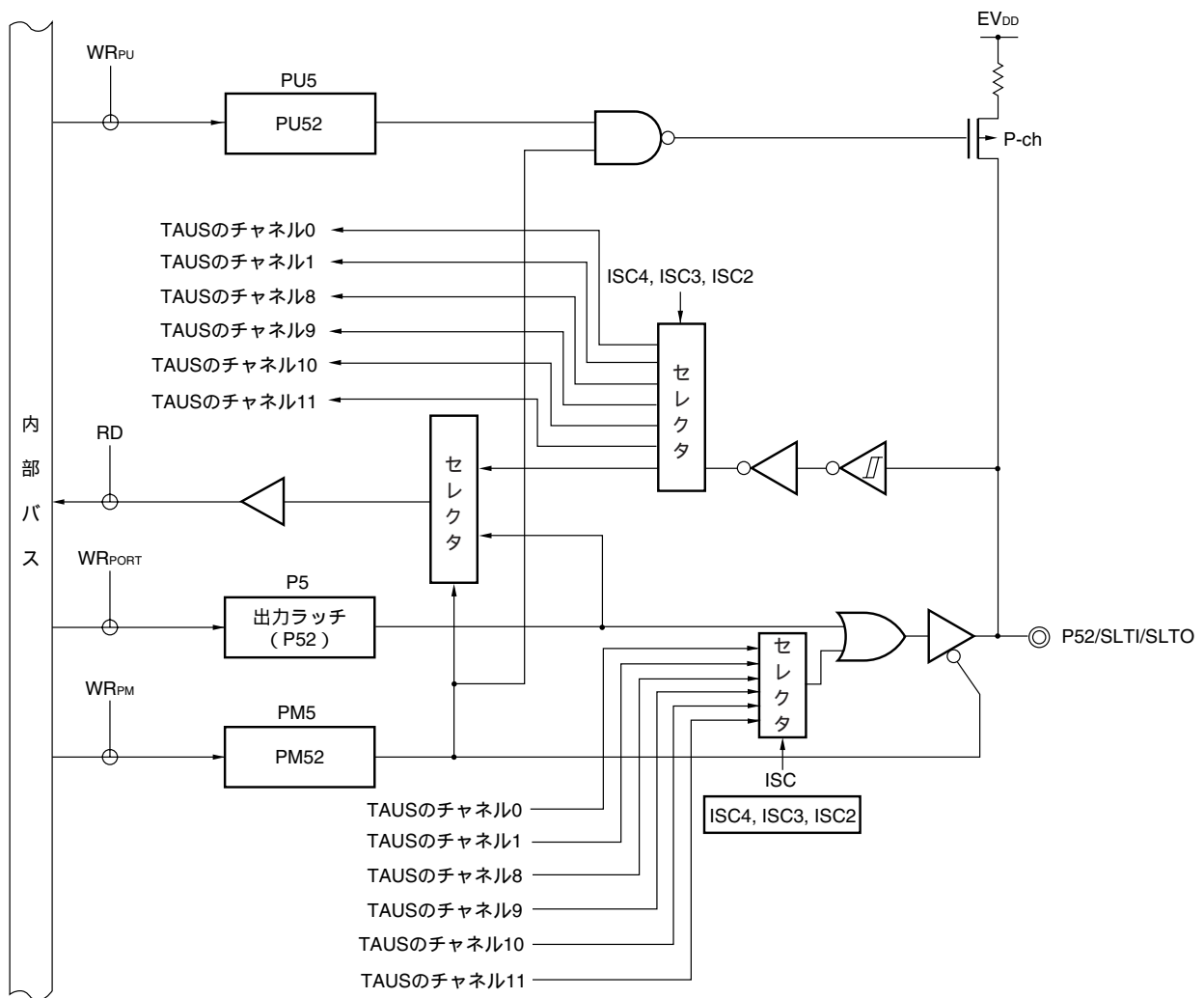


(2) 78K0R/IE3製品以外



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号

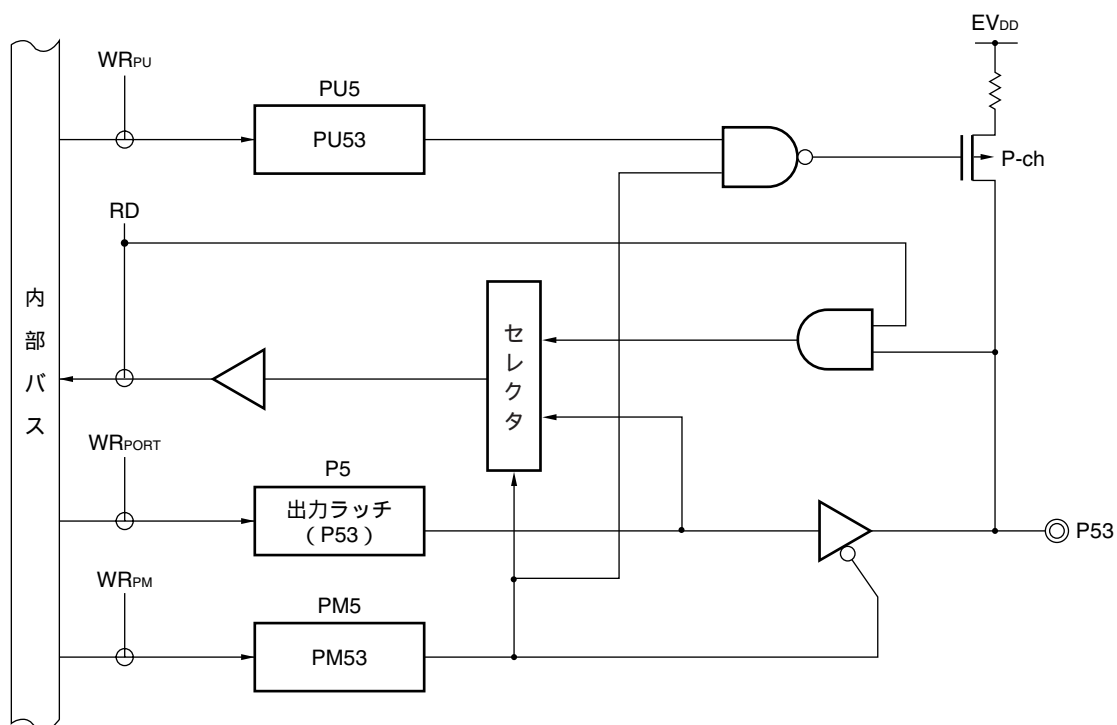
図4 - 11 P52のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_x : ライト信号
- ISC : 入力切り替え制御レジスタ

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図4 - 12 P53のブロック図



- P5 : ポート・レジスタ5
- PU5 : プルアップ抵抗オプション・レジスタ5
- PM5 : ポート・モード・レジスタ5
- RD : リード信号
- WR_{xx} : ライト信号

4.2.7 ポート6

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P60/SCL0	-	-	-			
P61/SDA0	-	-	-			

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ6 (PM6) により1ビット単位で入力モード / 出力モードの指定ができます。

P60, P61端子の出力は, N-chオープン・ドレイン出力 (6 V耐圧) です。

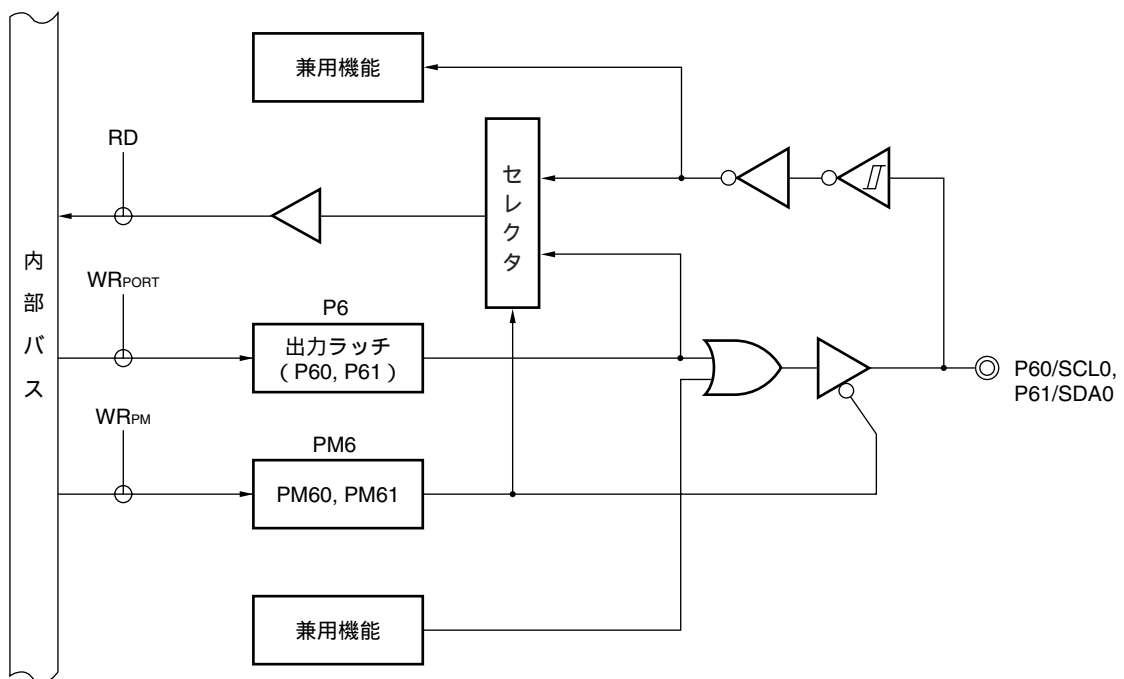
また, 兼用機能としてシリアル・インタフェースのデータ入出力, クロックの入出力があります。

リセット信号の発生により, 入力モードになります。

図4 - 13にポート6のブロック図を示します。

注意 P60/SCL0, P61/SDA0を汎用ポートとして使用する場合, シリアル・インタフェースIICAを動作停止にしてください。

図4 - 13 P60, P61のブロック図



- P6 : ポート・レジスタ6
- PM6 : ポート・モード・レジスタ6
- RD : リード信号
- WR_x : ライト信号

4.2.8 ポート7

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P70/SO01/INTP4	_注1	_注1				
P71/SI01/INTP5	_注1	_注1				
P72/SCK01/INT P6	-	P72/INTP6/RxD0				
P73/SO00/TxD0 /TO10	_注2	P73/TxD0/TO10				
P74/SI00/RxD0/ TI10	_注2	_注3				
P75/SCK00/TI11	-	-				
P76	-	-	-	-	-	
P77	-	-	-	-	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ7 (PM7) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ7 (PU7) により1ビット単位で内蔵プルアップ抵抗を使用できます。

P71, P72, P74, P75端子の入力は、ポート入力モード・レジスタ7 (PIM7) の設定により1ビット単位で通常入力バッファ / TTL入力バッファの指定ができます。

P70, P72, P73, P75端子の出力は、ポート出力モード・レジスタ7 (POM7) により1ビット単位でN-chオープン・ドレイン出力 (V_{DD}耐圧) に設定可能です。

また、兼用機能としてシリアル・インタフェースのデータ入出力、クロック入出力、外部割り込み要求入力、タイマの入出力があります。

リセット信号の発生により、入力モードになります。

図4 - 14 ~ 4 - 19にポート7のブロック図を示します。

- 注1. 78K0R/IB3と78K0R/IC3の38ピン製品では、INTP4, INTP5はそれぞれP121, P122と兼用しています。
 2. 78K0R/IB3では、TxD0, RxD0はそれぞれP10, P11と兼用しています。
 3. 78K0R/IC3の38ピン製品では、RxD0はP72と兼用しています。

注意1. P70/SO01/INTP4, P71/SI01/INTP5, P72/SCK01/INTP6, P73/SO00/TxD0/TO10, P74/SI00/RxD0/TI10, P75/SCK00/TI11 (78K0R/IC3の38ピン製品の場合は、P72/INTP6/RxD0, P73/TxD0/TO10) を汎用ポートとして使用する場合は、シリアル・アレイ・ユニットの設定に注意してください。詳細は、次の表を参照してください。

78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3の場合

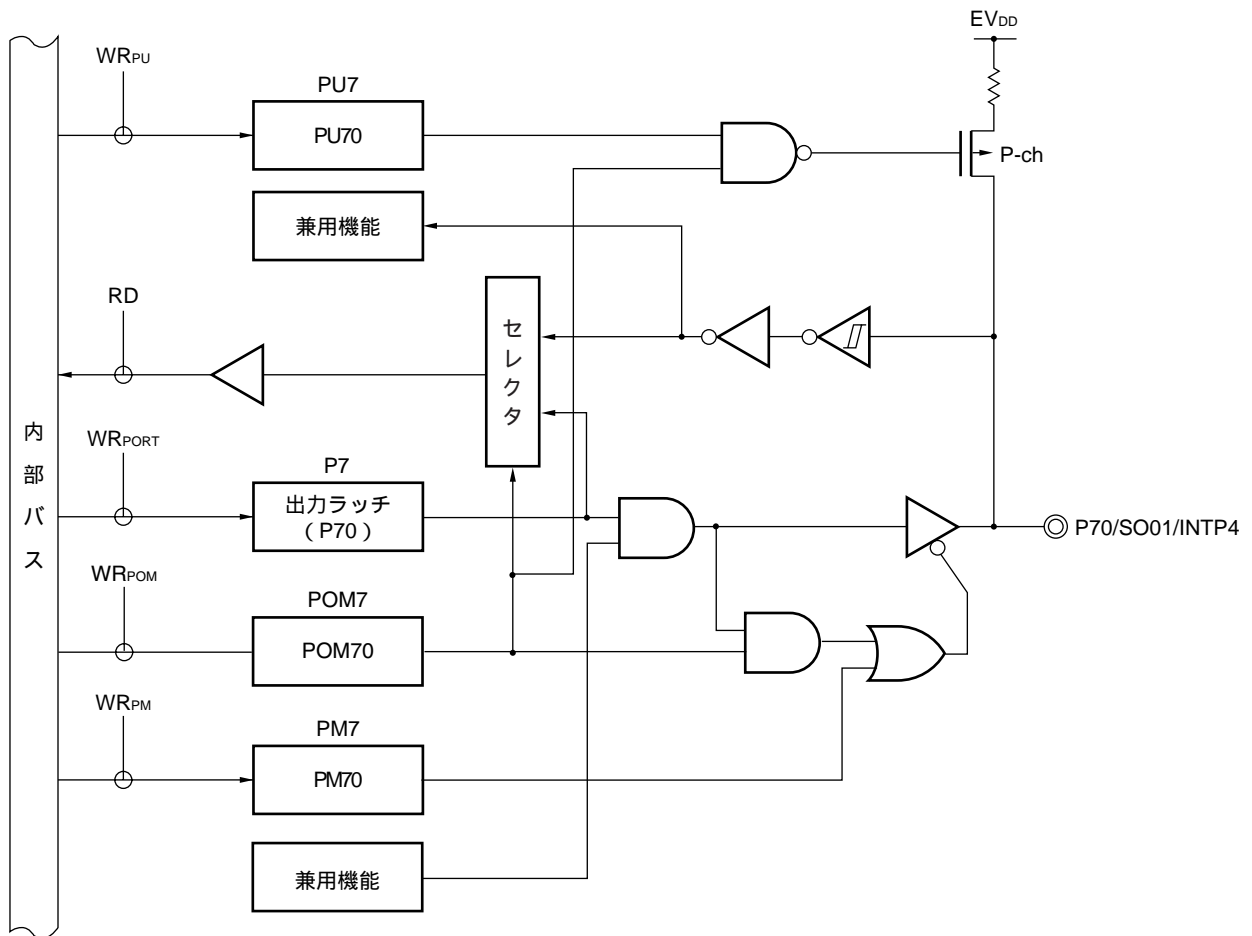
- ・表13 - 7 レジスタの設定と端子の関係 (チャンネル0 : CSI00, UART0送信)
- ・表13 - 10 レジスタの設定と端子の関係 (チャンネル1 : CSI01, UART0受信)

78K0R/IB3の場合

- ・表13 - 6 レジスタの設定と端子の関係 (チャンネル0 : UART0送信)
- ・表13 - 9 レジスタの設定と端子の関係 (チャンネル1 : UART0受信)

2. P73/SO00/TxD0/TO10 (78K0R/IC3の38ピン製品の場合は、P73/TxD0/TO10) を汎用ポートとして使用する場合は、タイマ出力レジスタ0 (TO0) のビット10 (TO10) とタイマ出力許可レジスタ0 (TOE0) のビット10 (TOE10) を初期状態と同じ設定 "0" で使用してください。

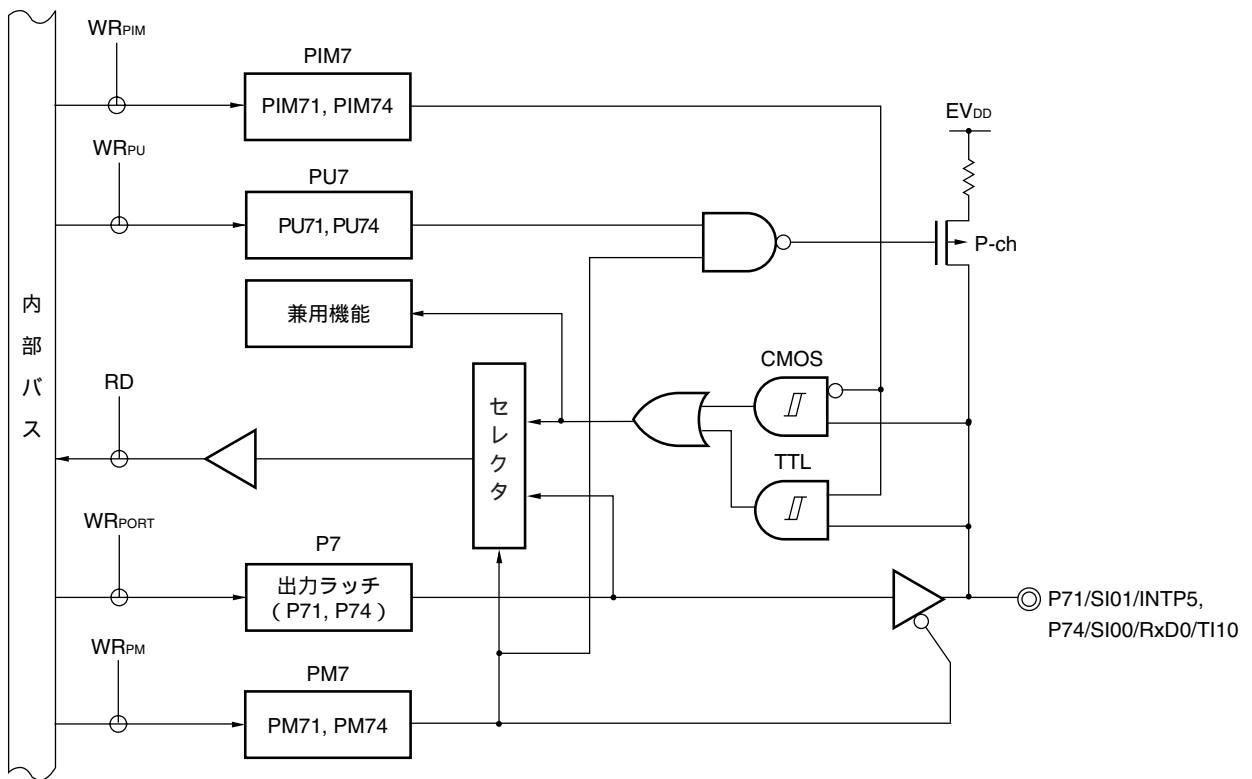
図4 - 14 P70のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図4 - 15 P71, P74のブロック図

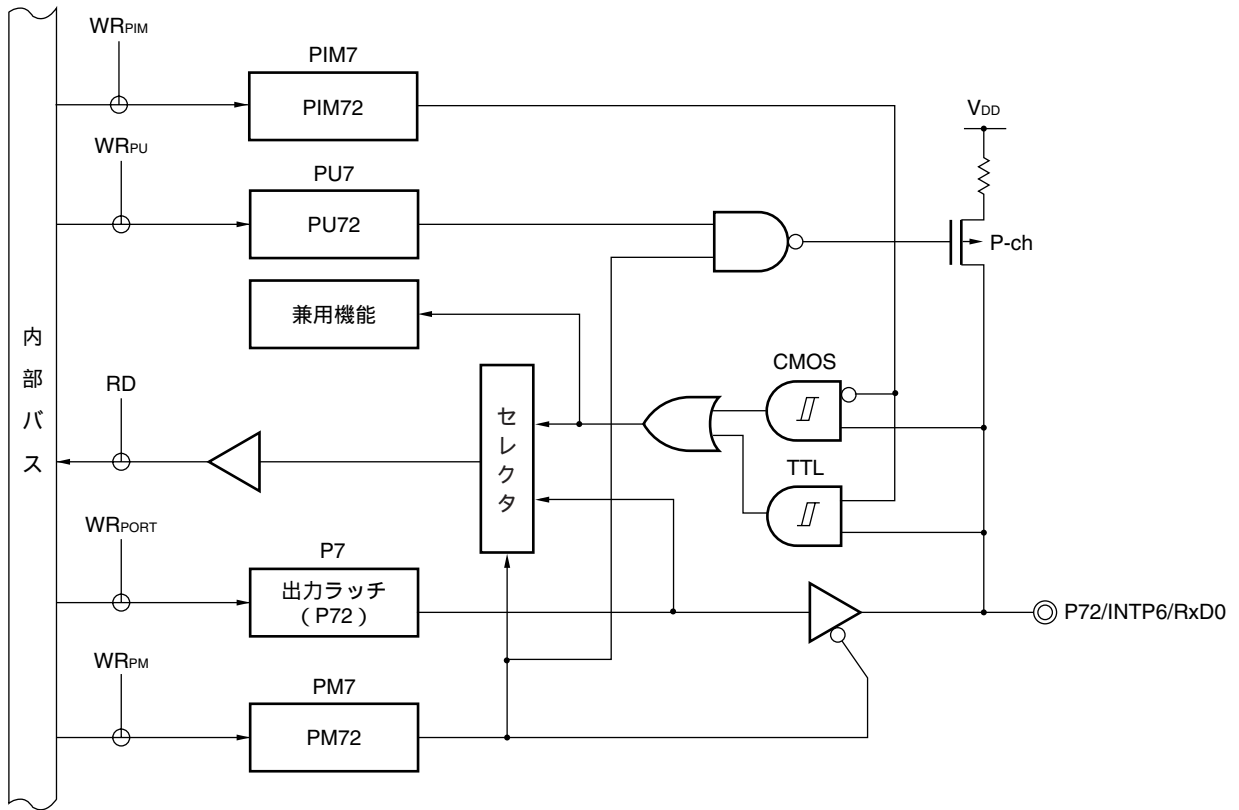


- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図4 - 16 P72のブロック図 (1/2)

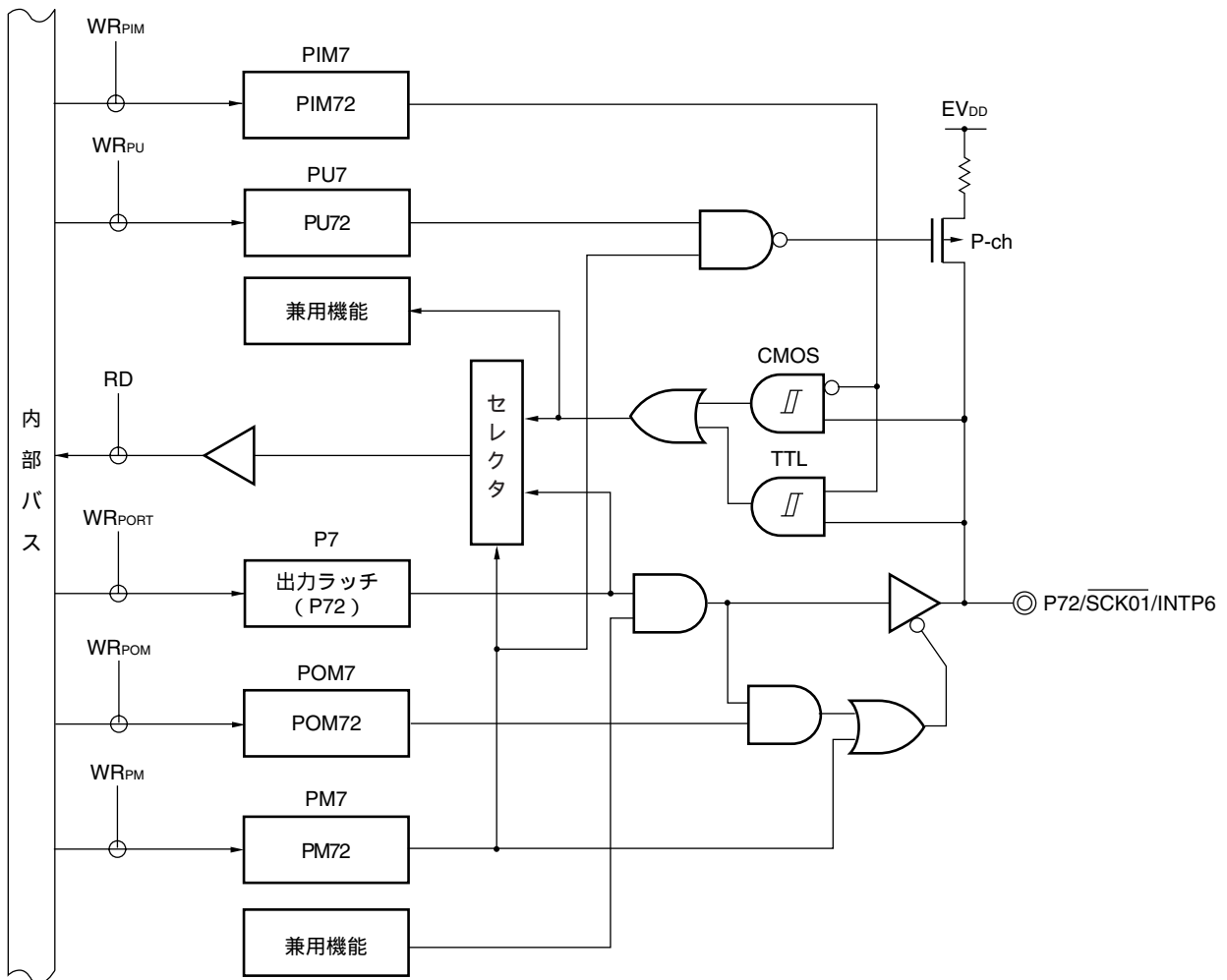
(1) 78K0R/IC3の38ピン製品



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 16 P72のブロック図 (2/2)

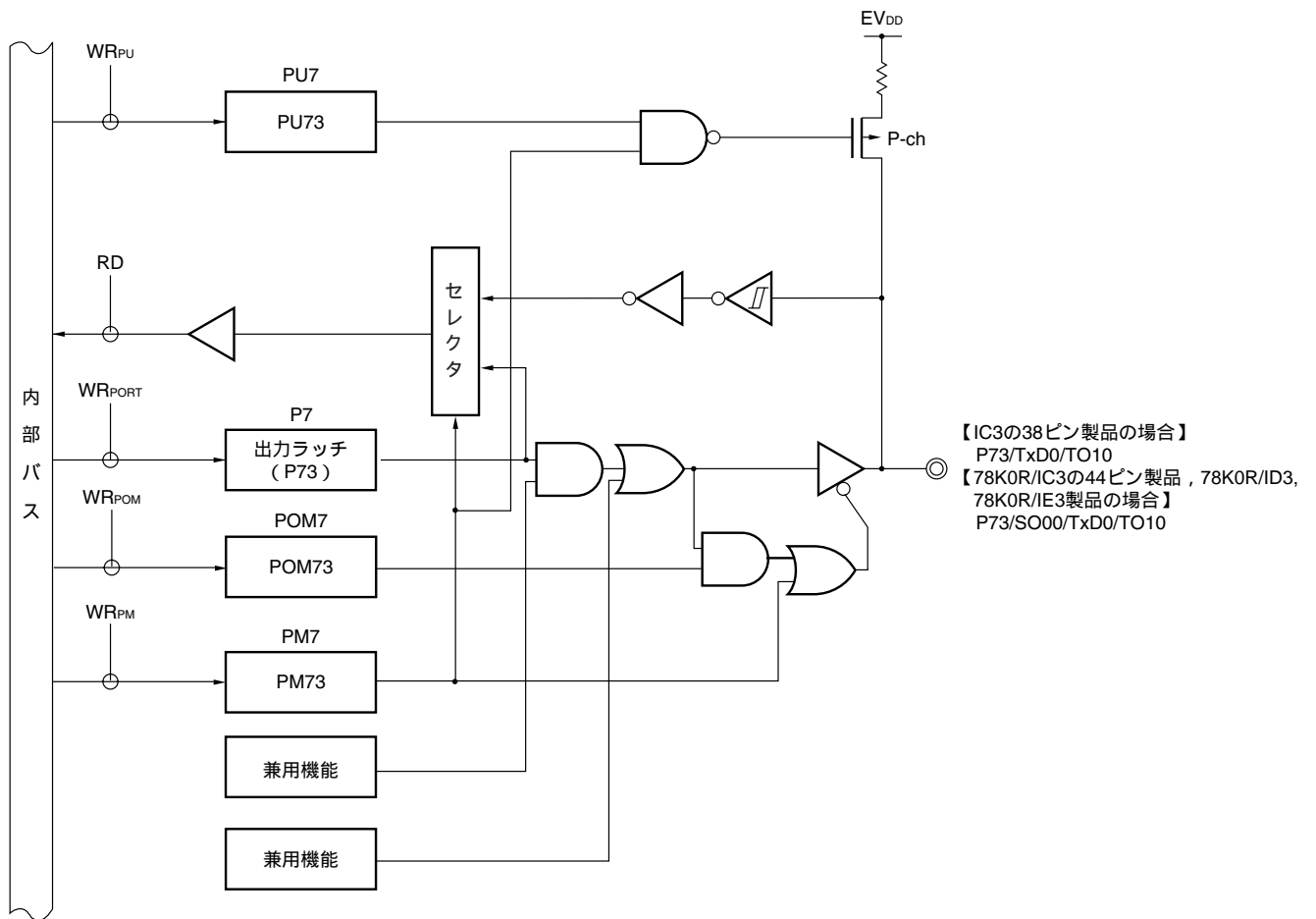
(2) 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3の場合



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

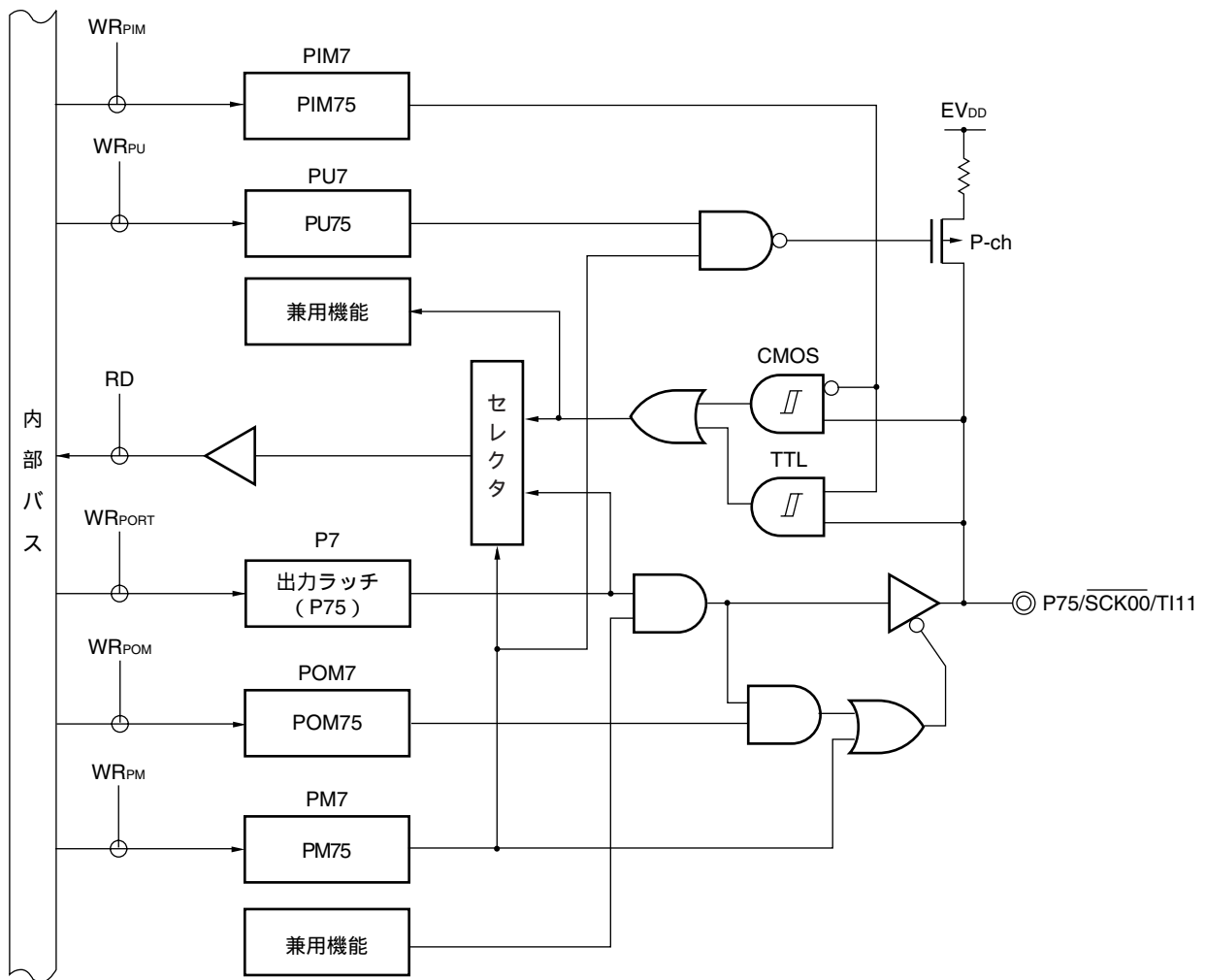
図4 - 17 P73のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

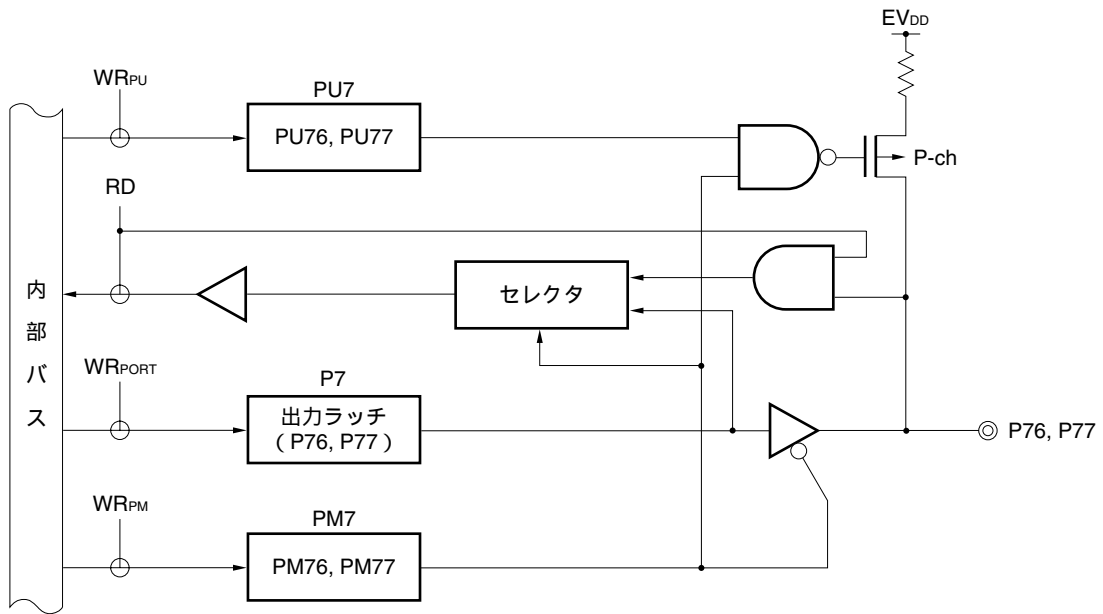
図4 - 18 P75のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- PIM7 : ポート入力モード・レジスタ7
- POM7 : ポート出力モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

備考 EV_{DD}, EV_{SS}端子がない製品は, EV_{DD}をV_{DD}に, EV_{SS}をV_{SS}に置き換えてください。

図4 - 19 P76, P77のブロック図



- P7 : ポート・レジスタ7
- PU7 : プルアップ抵抗オプション・レジスタ7
- PM7 : ポート・モード・レジスタ7
- RD : リード信号
- WR_x : ライト信号

4.2.9 ポート8

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P80/CMP0P/TM OFF0/INTP3/P GAI						
P81/CMP0M						
P82/CMP1P/TM OFF1/INTP7	-					
P83/CMP1M						

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ8 (PM8) により1ビット単位で入力モード / 出力モードの指定ができます。

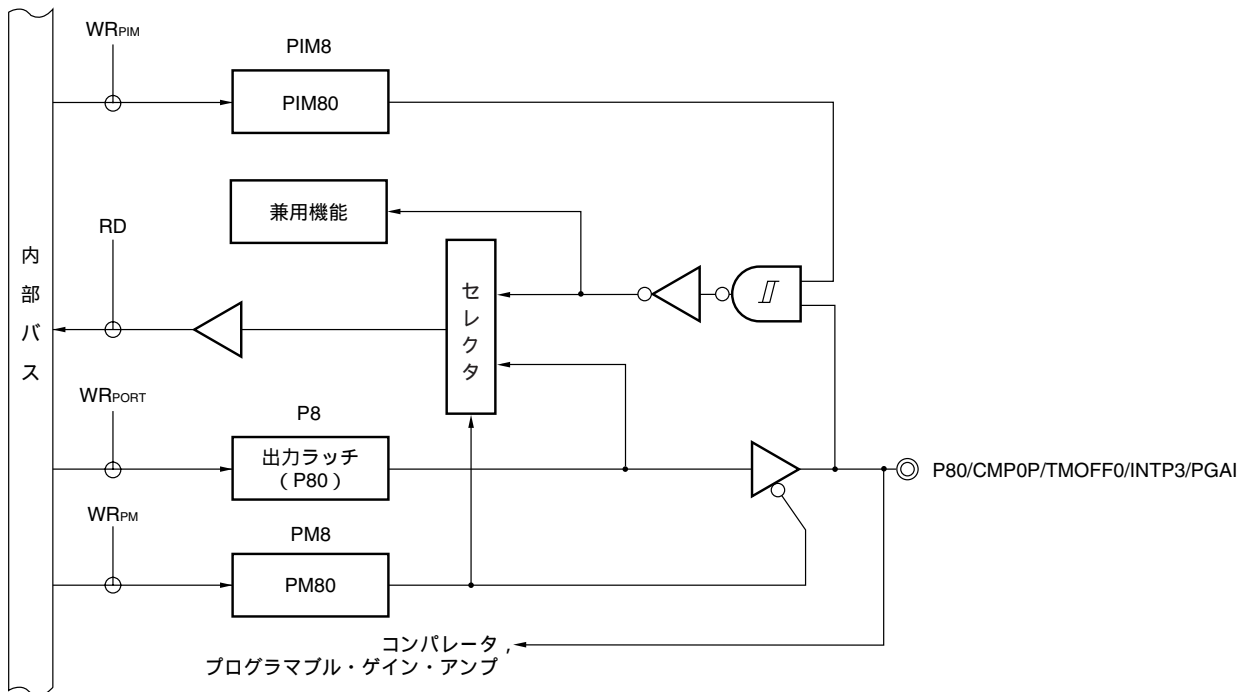
端子の入力は、ポート入力モード・レジスタ8 (PIM8) の設定により、1ビット単位でデジタル入力許可 / 禁止の設定が必要です。

また、兼用機能としてコンパレータ0, 1の (+) 側入力電圧, コンパレータ0, 1の (-) 側入力電圧, タイマ端子Hi-Z制御用入力, 外部割り込み要求入力, プログラマブル・ゲイン・アンプの入力があります。

リセット信号の発生により、アナログ入力モードになります。

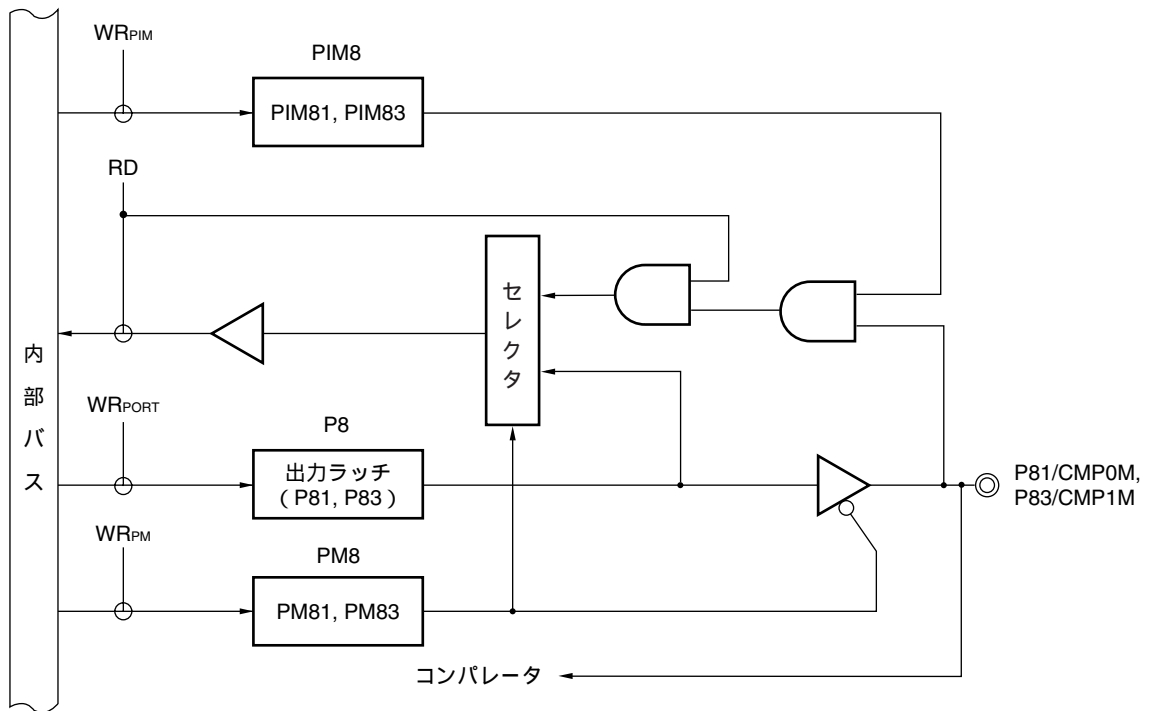
図4 - 20 ~ 4 - 22にポート8のブロック図を示します。

図4 - 20 P80のブロック図



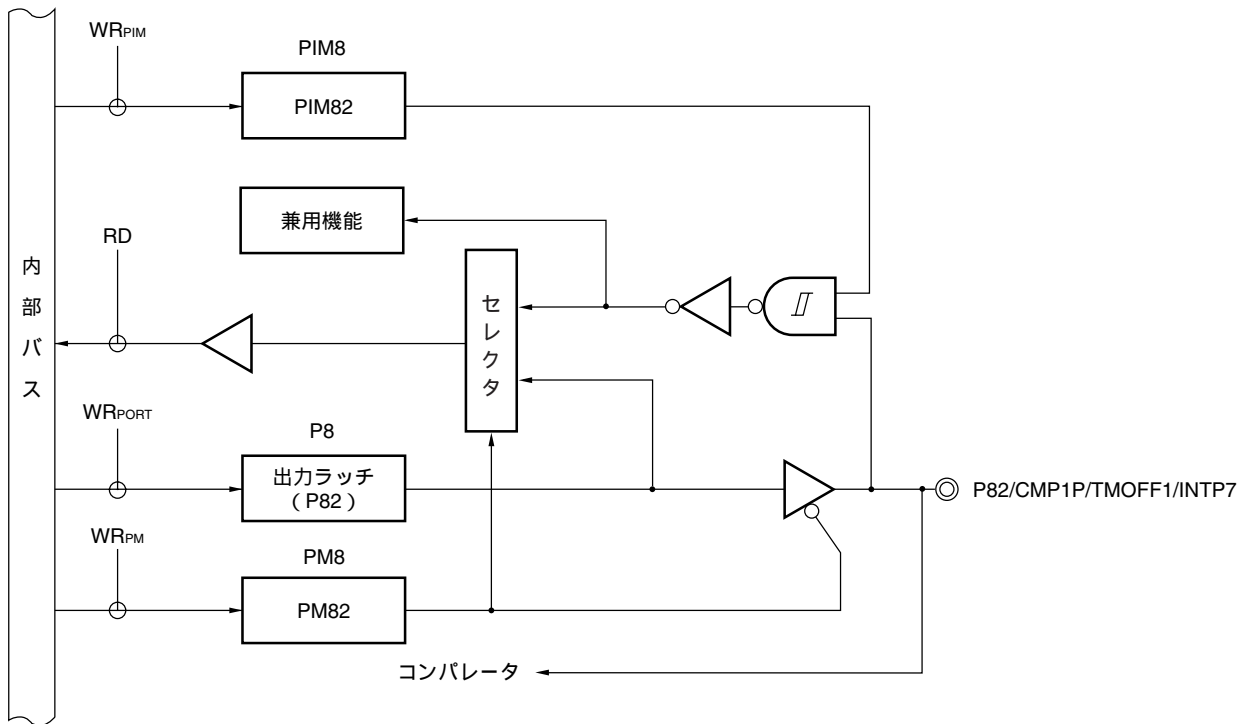
- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- PIM8 : ポート入力モード・レジスタ8
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 21 P81, P83のブロック図



- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- PIM8 : ポート入力モード・レジスタ8
- RD : リード信号
- WR_{xx} : ライト信号

図4 - 22 P82のブロック図



- P8 : ポート・レジスタ8
- PM8 : ポート・モード・レジスタ8
- PIM8 : ポート入力モード・レジスタ8
- RD : リード信号
- WR_{xx} : ライト信号

4.2.10 ポート12

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P120/INTP0/EX LVI						
P121/X1/INTP4			P121/X1 ^注	P121/X1 ^注	P121/X1 ^注	P121/X1 ^注
P122/X2/EXCLK/INTP5			P122/X2/EXCLK ^注	P122/X2/EXCLK ^注	P122/X2/EXCLK ^注	P122/X2/EXCLK ^注
P123/XT1	-					
P124/XT2	-					

P120は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ12 (PM12) により、1ビット単位で入力モード / 出力モードの指定ができます。P120端子を入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ12 (PU12) により内蔵プルアップ抵抗を使用できます。

P121-P124は4ビットの入力ポートです。

また兼用機能として外部割り込み要求入力，外部低電圧検出用電位入力，メイン・システム・クロック用発振子接続，サブシステム・クロック用発振子接続，メイン・システム・クロック用外部クロック入力があります。

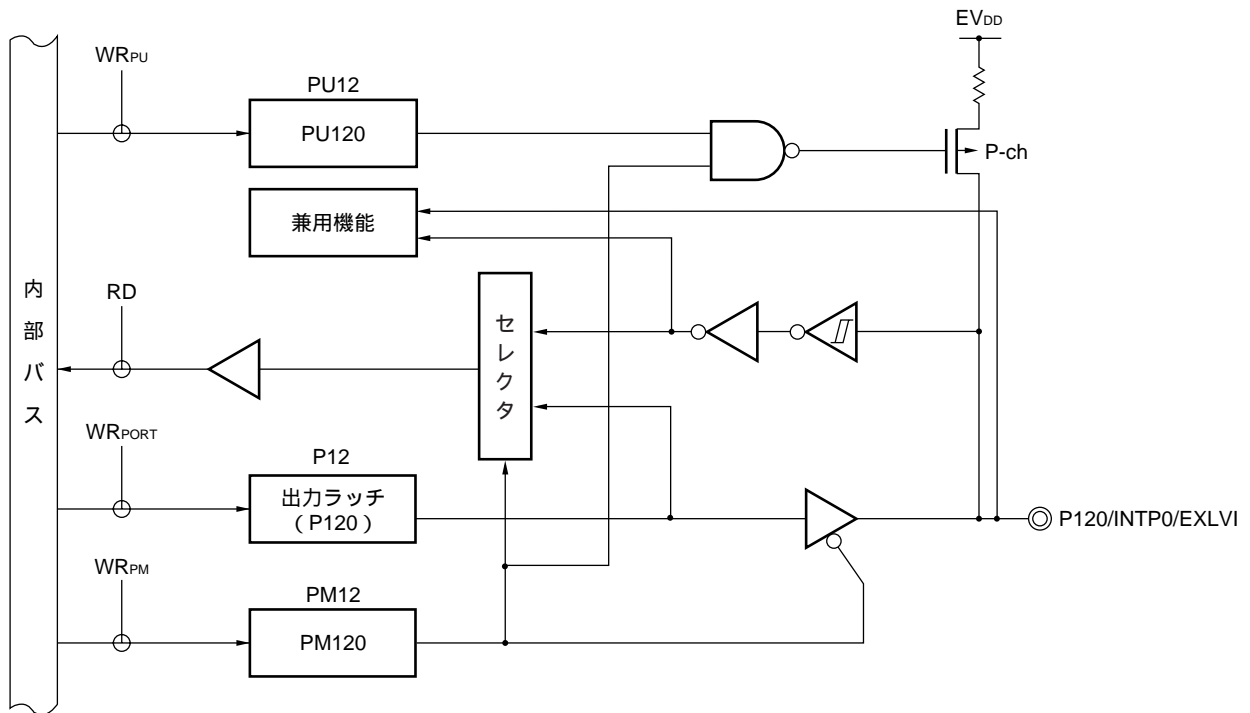
リセット信号の発生により，入力モードになります。

図4 - 23 ~ 4 - 25にポート12のブロック図を示します。

注 78K0R/IB3と78K0R/IC3の38ピン製品以外では，INTP4, INTP5はそれぞれP70, P71と兼用しています。

注意 P121-P124の機能設定は，リセット解除後1回のみ可能です。一度，発振子 / 発振器接続用に設定したポートは，リセットしないかぎり入力ポートとして使用できません。

図4 - 23 P120のブロック図

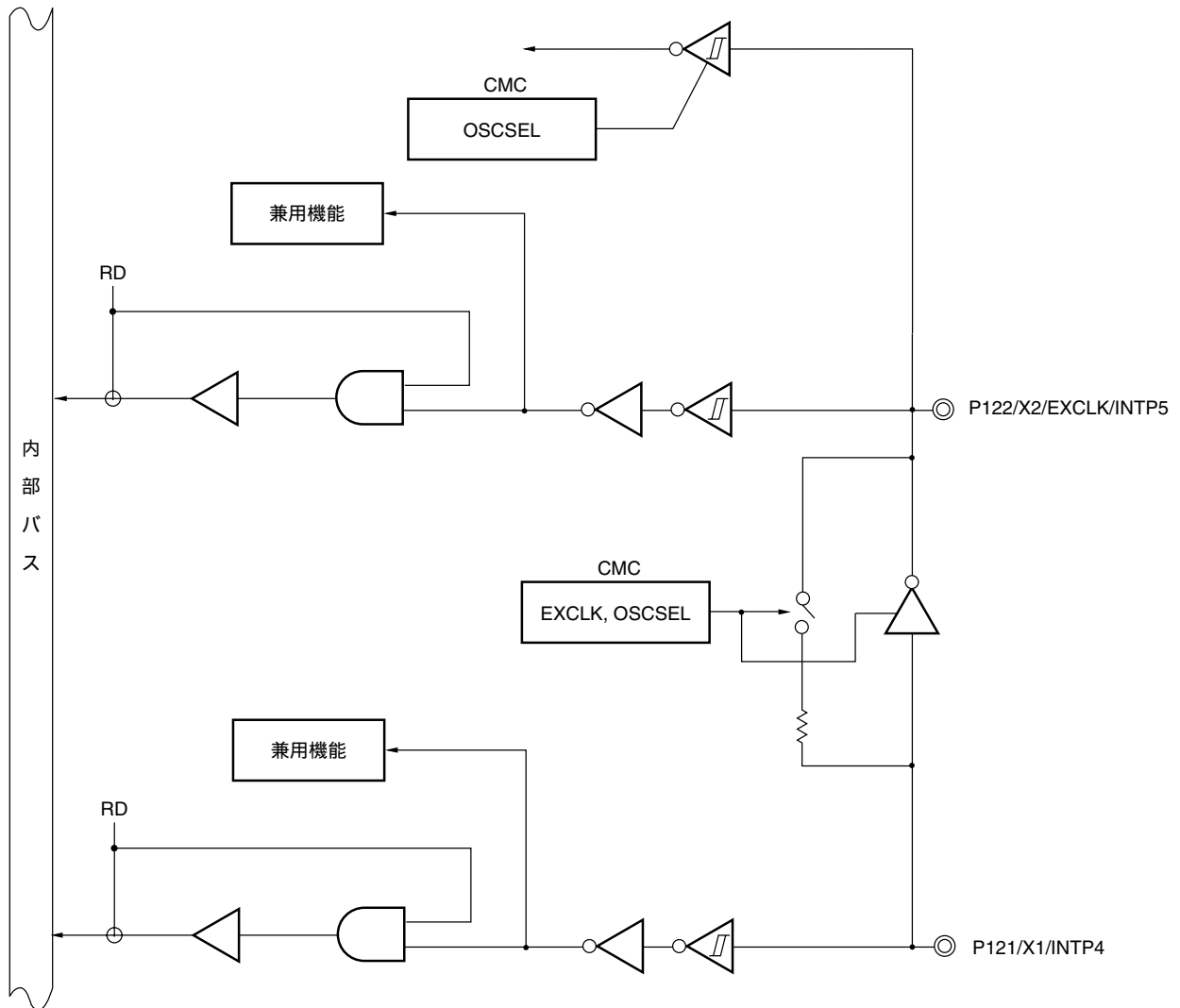


- P12 : ポート・レジスタ12
- PU12 : プルアップ抵抗オプション・レジスタ12
- PM12 : ポート・モード・レジスタ12
- RD : リード信号
- $WR_{x \times}$: ライト信号

備考 EV_{DD} , EV_{SS} 端子がない製品は, EV_{DD} を V_{DD} に, EV_{SS} を V_{SS} に置き換えてください。

図4 - 24 P121, P122のブロック図 (1/2)

(1) 78K0R/IB3と78K0R/IC3の38ピン製品

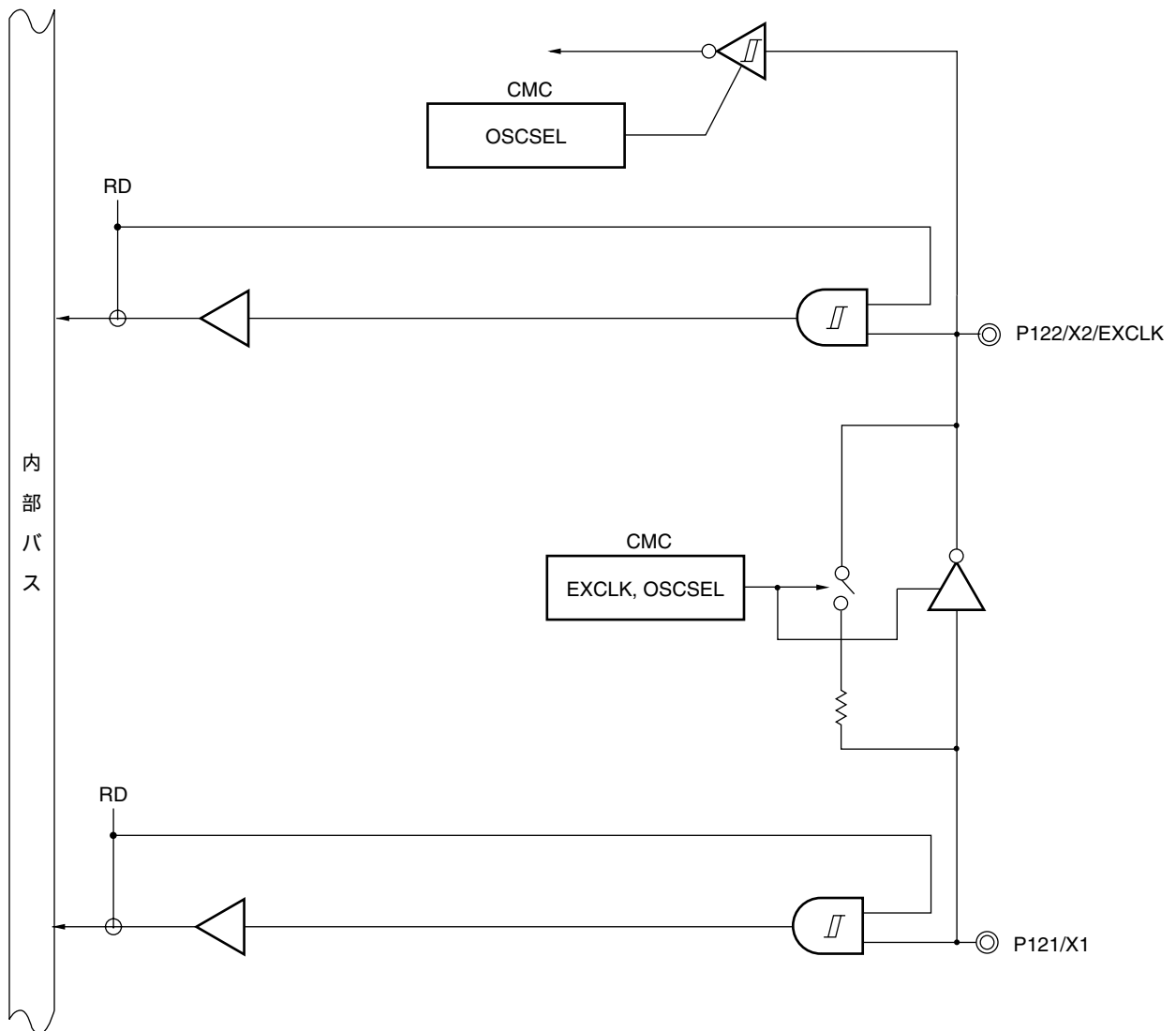


CMC : クロック動作モード制御レジスタ

RD : リード信号

図4 - 24 P121, P122のブロック図 (2/2)

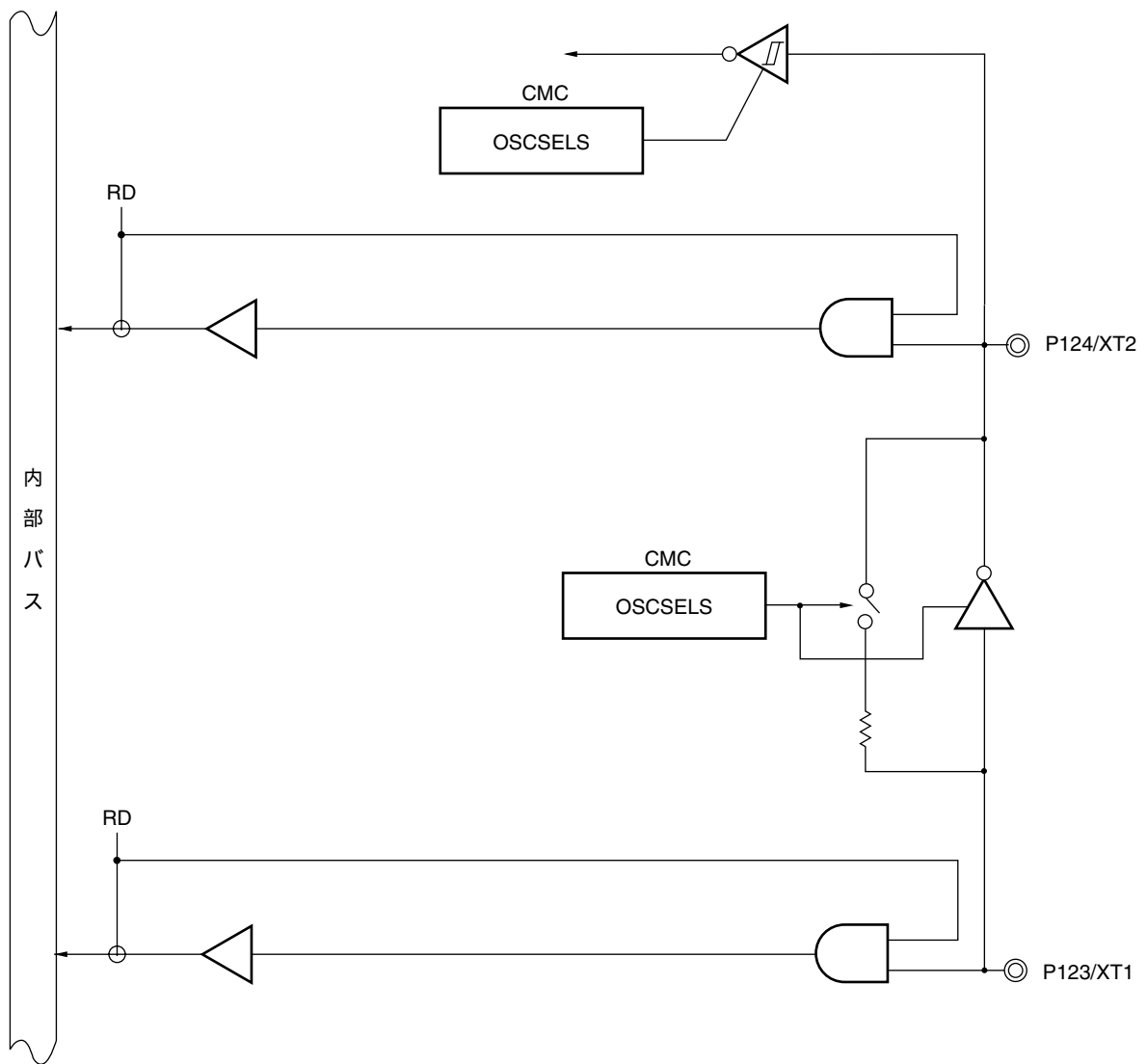
(2) 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3の場合



CMC : クロック動作モード制御レジスタ

RD : リード信号

図4 - 25 P123, P124のブロック図



CMC : クロック動作モード制御レジスタ
 RD : リード信号

4.2.11 ポート14

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P140/PCLBUZ0	-	-	-			
P141/PCLBUZ1	-	-	-	-	-	

P140は出力ラッチ付き出力ポートです。

P141は出力ラッチ付き入出力ポートです。ポート・モード・レジスタ14 (PM14) により1ビット単位で入力モード / 出力モードの指定ができます。入力ポートとして使用する場合は、プルアップ抵抗オプション・レジスタ14 (PU14) により1ビット単位で内蔵プルアップ抵抗を使用できます。

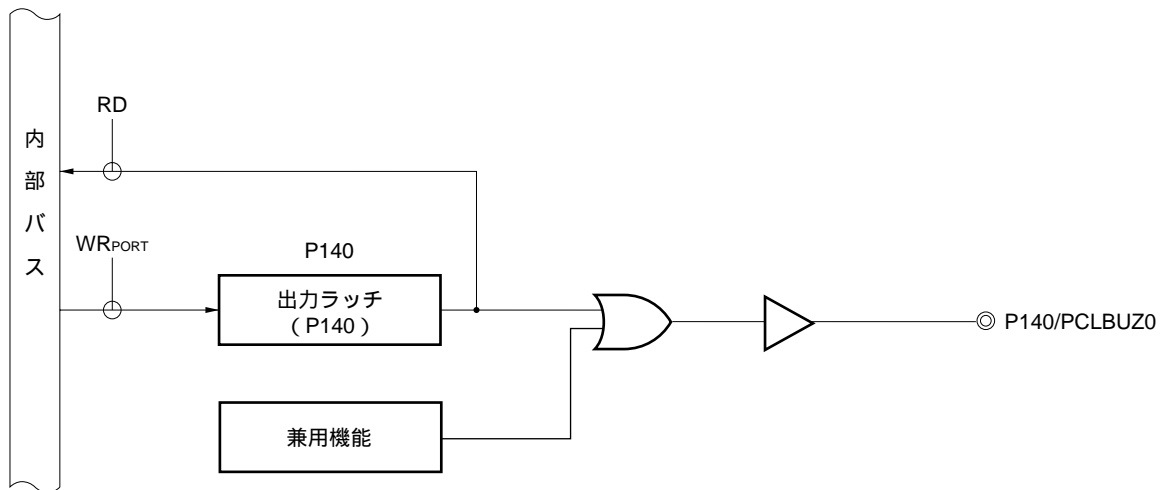
また、P140, P141は兼用機能としてクロック / ブザー出力があります。

P141は、リセット信号の発生により、入力モードになります。

図4 - 26, 4 - 27にポート14のブロック図を示します。

注意 P140/PCLBUZ0, P141/PCLBUZ1を汎用ポートとして使用する場合、クロック出力選択レジスタ0,1 (CKS0, CKS1) のビット7を初期状態と同じ設定“0”で使用してください。

図4 - 26 P140のブロック図



P14 : ポート・レジスタ14
 RD : リード信号
 WR_{xx} : ライト信号

備考 P140端子をポート機能として使用する場合、リセットがかかるとP140はロウ・レベルを出力します。リセットがかかる前にP140をハイ・レベル出力にした場合、P140からの出力をCPUのリセット信号として疑似的に出力するという使い方ができます。

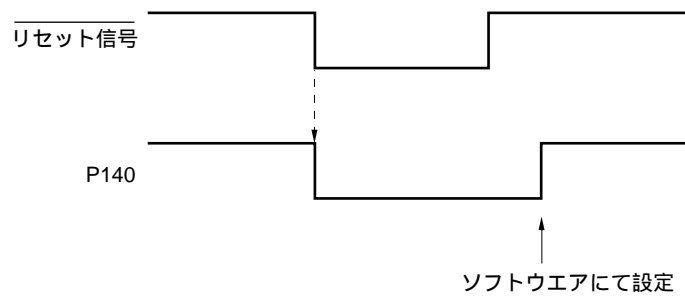
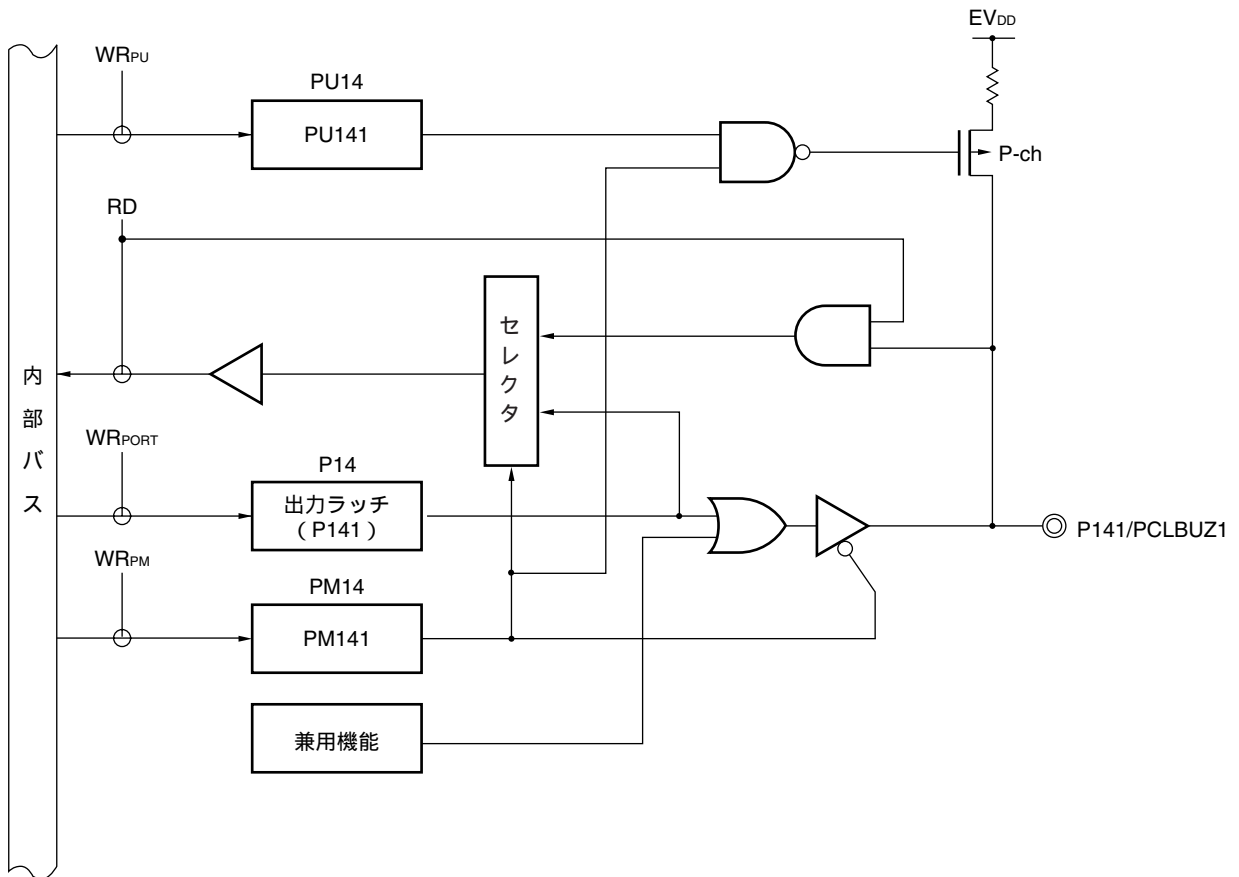


図4 - 27 P141のブロック図



- P14 : ポート・レジスタ14
- PU14 : プルアップ抵抗オプション・レジスタ14
- PM14 : ポート・モード・レジスタ14
- RD : リード信号
- WR_{xx} : ライト信号

4.2.12 ポート15

	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		(38ピン)	(44ピン)	(48ピン)		
P150/ANI8	-	-				
P151/ANI9	-	-				
P152/ANI10	-	-	-			
P153/ANI11	-	-	-	-	-	

出力ラッチ付き入出力ポートです。ポート・モード・レジスタ15 (PM15) により1ビット単位で入力モード / 出力モードの指定ができます。

また、兼用機能としてA/Dコンバータのアナログ入力があります。

P150/ANI8-P153/ANI11をデジタル入力として使用する場合は、A/Dポート・コンフィギュレーション・レジスタ (ADPC) でデジタル入出力に、かつPM15で入力モードに設定して、下位ビットから使用してください。

P150/ANI8-P153/ANI11をデジタル出力として使用する場合は、ADPCでデジタル入出力に、かつPM15で出力モードに設定してください。

表4 - 8 P150/ANI8-P153/ANI11端子機能の設定

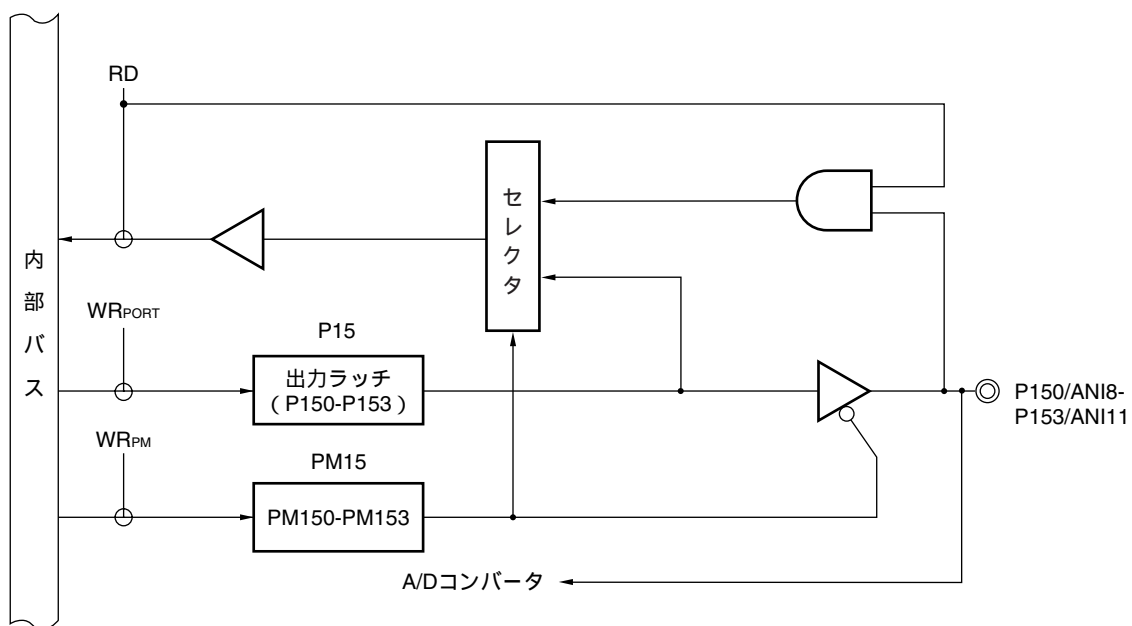
ADPC	PM15	ADS	P150/ANI8-P153/ANI11端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

リセット信号の発生により、P150/ANI8-P153/ANI11はすべてデジタル入力になります。

図4 - 28にポート15のブロック図を示します。

注意 ポート15をデジタル・ポートとして使用する場合は、AVREFをVDD、EVDDと同電位にしてください。

図4 - 28 P150-P153のブロック図



- P15 : ポート・レジスタ15
- PM15 : ポート・モード・レジスタ15
- RD : リード信号
- WR_{xx} : ライト信号

4.3 ポート機能を制御するレジスタ

ポートは、次の6種類のレジスタで制御します。

- ・ポート・モード・レジスタ (PMxx)
- ・ポート・レジスタ (Pxx)
- ・プルアップ抵抗オプション・レジスタ (PUxx)
- ・ポート入力モード・レジスタ (PIM3, PIM7, PIM8)
- ・ポート出力モード・レジスタ (POM3, POM7)
- ・A/Dポート・コンフィギュレーション・レジスタ (ADPC)

(1) ポート・モード・レジスタ (PMxx)

ポートの入力/出力を1ビット単位で設定するレジスタです。

ポート・モード・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFH (PM14はFEH) になります。

ポート端子を兼用機能の端子として使用する場合、4.5 兼用端子使用時のポート・モード・レジスタ、出力ラッチの設定を参照し、設定してください。

図4 - 29 ポート・モード・レジスタのフォーマット (78K0R/IB3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	1	1	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	1	PM51	PM50	FFF25H	FFH	R/W
PM8	1	1	1	1	PM83	1	PM81	PM80	FFF28H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 1-5, 8, 12; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 次のビットは必ず1を設定してください。

- PM1レジスタのビット4-7
- PM2レジスタのビット6, 7
- PM3レジスタのビット3-7
- PM4レジスタのビット2-7
- PM5レジスタのビット2-7
- PM8レジスタのビット2, 4-7
- PM12レジスタのビット1-7

図4 - 30 ポート・モード・レジスタのフォーマット (78K0R/IC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6 ^{注1}	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	1	1	PM75 ^{注2}	PM74 ^{注2}	PM73	PM72	PM71 ^{注2}	PM70 ^{注2}	FFF27H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM15 ^{注2}	1	1	1	1	1	PM152 ^{注1}	PM151	PM150	FFF2FH	FFH	R/W
PMmn	Pmn端子の入出力モードの選択 (m = 1-8, 12, 15; n = 0-7)										
0	出力モード (出力バッファ・オン)										
1	入力モード (出力バッファ・オフ)										

注1. 48ピン製品のみ

2. 44ピン / 48ピン製品のみ

注意 次のビットは必ず1を設定してください。

- PM1レジスタのビット4-7
- PM3レジスタのビット3-7
- PM4レジスタのビット2-7
- PM5レジスタのビット3-7
- PM6レジスタのビット2-7
- PM7レジスタのビット6, 7 (38ピン製品はビット0, 1, 4-7)
- PM8レジスタのビット4-7
- PM12レジスタのビット1-7
- PM15レジスタのビット3-7 (44ピン製品はビット2-7)

図4 - 31 ポート・モード・レジスタのフォーマット (78K0R/ID3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	1	1	1	1	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	1	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	1	1	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	1	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM15	1	1	1	1	1	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-8, 12, 15; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 次のビットは必ず1を設定してください。

- PM0レジスタのビット2-7
- PM1レジスタのビット4-7
- PM3レジスタのビット3-7
- PM4レジスタのビット2-7
- PM5レジスタのビット3-7
- PM6レジスタのビット2-7
- PM8レジスタのビット4-7
- PM12レジスタのビット1-7
- PM15レジスタのビット3-7

図4 - 32 ポート・モード・レジスタのフォーマット (78K0R/IE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PM0	1	1	1	1	1	1	PM01	PM00	FFF20H	FFH	R/W
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	FFF21H	FFH	R/W
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20	FFF22H	FFH	R/W
PM3	1	1	1	1	PM33	PM32	PM31	PM30	FFF23H	FFH	R/W
PM4	1	1	1	1	PM43	PM42	PM41	PM40	FFF24H	FFH	R/W
PM5	1	1	1	1	PM53	PM52	PM51	PM50	FFF25H	FFH	R/W
PM6	1	1	1	1	1	1	PM61	PM60	FFF26H	FFH	R/W
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	FFF27H	FFH	R/W
PM8	1	1	1	1	PM83	PM82	PM81	PM80	FFF28H	FFH	R/W
PM12	1	1	1	1	1	1	1	PM120	FFF2CH	FFH	R/W
PM14	1	1	1	1	1	1	PM141	0	FFF2EH	FEH	R/W
PM15	1	1	1	1	PM153	PM152	PM151	PM150	FFF2FH	FFH	R/W

PMmn	Pmn端子の入出力モードの選択 (m = 0-8, 12, 14, 15; n = 0-7)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注意 次のビットは必ず1を設定してください。

- PM0レジスタのビット2-7
- PM3レジスタのビット4-7
- PM4レジスタのビット4-7
- PM5レジスタのビット4-7
- PM6レジスタのビット2-7
- PM8レジスタのビット4-7
- PM12レジスタのビット1-7
- PM14レジスタのビット2-7
- PM15レジスタのビット4-7

また、PM14のビット0には必ず0を設定してください。

(2) ポート・レジスタ (Pxx)

ポート出力時にチップ外に出力するデータをライトするレジスタです。

リードする場合、入力モード時は端子レベルが、出力モード時はポートの出力ラッチの値が読み出されます^注。

ポート・レジスタは、それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注 P2, P15をA/Dコンバータのアナログ入力機能として設定した場合に、ポートを入力モード時にリードすると端子レベルではなく常に0が読み出されます。

図4 - 33 ポート・レジスタのフォーマット (78K0R/IB3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	0	0	0	0	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	0	0	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	P32	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	0	0	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	0	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P12	0	0	0	0	0	P122	P121	P120	FFF0CH	不定	R/W ^注

Pmn	m = 1-5, 8, 12 ; n = 0-5	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121, P122はRead Onlyです。

図4 - 34 ポート・レジスタのフォーマット (78K0R/IC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P1	0	0	0	0	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	P32	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	0	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6 ^{注1}	0	0	0	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	0	0	P75 ^{注2}	P74 ^{注2}	P73	P72	P71 ^{注2}	P70 ^{注2}	FFF07H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^{注3}
P14 ^{注1}	0	0	0	0	0	0	0	P140	FFF0EH	00H (出力ラッチ)	R/W
P15 ^{注2}	0	0	0	0	0	P152 ^{注1}	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 1-8, 12, 14, 15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

- 注1. 48ピン製品のみ
- 2. 44ピン / 48ピン製品のみ
- 3. P121-P124はRead Onlyです。

図4 - 35 ポート・レジスタのフォーマット (78K0R/ID3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	0	0	0	0	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	0	P32	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	0	0	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	0	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P14	0	0	0	0	0	0	0	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	0	0	0	0	0	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-8, 12, 15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

図4 - 36 ポート・レジスタのフォーマット (78K0R/IE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
P0	0	0	0	0	0	0	P01	P00	FFF00H	00H (出力ラッチ)	R/W
P1	P17	P16	P15	P14	P13	P12	P11	P10	FFF01H	00H (出力ラッチ)	R/W
P2	P27	P26	P25	P24	P23	P22	P21	P20	FFF02H	00H (出力ラッチ)	R/W
P3	0	0	0	0	P33	P32	P31	P30	FFF03H	00H (出力ラッチ)	R/W
P4	0	0	0	0	P43	P42	P41	P40	FFF04H	00H (出力ラッチ)	R/W
P5	0	0	0	0	P53	P52	P51	P50	FFF05H	00H (出力ラッチ)	R/W
P6	0	0	0	0	0	0	P61	P60	FFF06H	00H (出力ラッチ)	R/W
P7	P77	P76	P75	P74	P73	P72	P71	P70	FFF07H	00H (出力ラッチ)	R/W
P8	0	0	0	0	P83	P82	P81	P80	FFF08H	00H (出力ラッチ)	R/W
P12	0	0	0	P124	P123	P122	P121	P120	FFF0CH	不定	R/W ^注
P14	0	0	0	0	0	0	P141	P140	FFF0EH	00H (出力ラッチ)	R/W
P15	0	0	0	0	P153	P152	P151	P150	FFF0FH	00H (出力ラッチ)	R/W

Pmn	m = 0-8, 12, 14, 15 ; n = 0-7	
	出力データの制御 (出力モード時)	入力データの読み出し (入力モード時)
0	0を出力	ロウ・レベルを入力
1	1を出力	ハイ・レベルを入力

注 P121-P124はRead Onlyです。

(3) プルアップ抵抗オプション・レジスタ (PU_{xx})

内蔵プルアップ抵抗を使用するか、しないかを設定するレジスタです。プルアップ抵抗オプション・レジスタで内蔵プルアップ抵抗の使用を指定した端子で、入力モードに設定したビットにのみ、ビット単位で内部プルアップ抵抗が使用できます。出力モードに設定したビットは、プルアップ抵抗オプション・レジスタの設定にかかわらず、内蔵プルアップ抵抗は接続されません。兼用機能の出力端子として使用するときも同様です。

プルアップ抵抗オプション・レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図4 - 37 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/IB3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	0	0	PU51	PU50	F0035H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W

PU _m _n	P _m _n の内蔵プルアップ抵抗の選択 (m = 1, 3-5, 12 ; n = 0-3)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4 - 38 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/IC3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU1	0	0	0	0	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	0	PU52	PU51	PU50	F0035H	00H	R/W
PU7	0	0	PU75 ^注	PU74 ^注	PU73	PU72	PU71 ^注	PU70 ^注	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU _m n	P _m nの内蔵プルアップ抵抗の選択 (m = 1, 3-5, 7, 12 ; n = 0-5)										
0	内蔵プルアップ抵抗を接続しない										
1	内蔵プルアップ抵抗を接続する										

注 44ピン / 48ピン製品のみ

図4 - 39 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/ID3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	0	0	0	0	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	0	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	0	0	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	0	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W

PU _m n	P _m nの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

図4 - 40 プルアップ抵抗オプション・レジスタのフォーマット (78K0R/IE3)

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PU0	0	0	0	0	0	0	PU01	PU00	F0030H	00H	R/W
PU1	PU17	PU16	PU15	PU14	PU13	PU12	PU11	PU10	F0031H	00H	R/W
PU3	0	0	0	0	PU33	PU32	PU31	PU30	F0033H	00H	R/W
PU4	0	0	0	0	PU43	PU42	PU41	PU40	F0034H	00H	R/W
PU5	0	0	0	0	PU53	PU52	PU51	PU50	F0035H	00H	R/W
PU7	PU77	PU76	PU75	PU74	PU73	PU72	PU71	PU70	F0037H	00H	R/W
PU12	0	0	0	0	0	0	0	PU120	F003CH	00H	R/W
PU14	0	0	0	0	0	0	PU141	0	F003EH	00H	R/W

PUmn	Pmnの内蔵プルアップ抵抗の選択 (m = 0, 1, 3-5, 7, 12, 14 ; n = 0-7)
0	内蔵プルアップ抵抗を接続しない
1	内蔵プルアップ抵抗を接続する

(4) ポート入力モード・レジスタ (PIM3, PIM7, PIM8)

PIM3, PIM7は, P31, P32, P71, P72, P74, P75の入力バッファを1ビット単位で設定するレジスタです。異電位の外部デバイスとのシリアル通信時にTTL入力バッファを選択できます。

PIM8は, P80-P83のデジタル入力許可 / 禁止を1ビット単位で設定するレジスタです。コンパレータおよびプログラマブル・ゲイン・アンプを使用する場合は, ソフト処理にてデジタル入力禁止 (アナログ入力として使用) に設定します。

PIM8レジスタの初期状態はデジタル入力禁止 (アナログ入力として使用) となっているため, ポート機能, INTP3, INTP7, TMOFF0, TMOFF1を使用する場合は, デジタル入力許可に設定してください。

PIM3, PIM7, PIM8は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 41 ポート入力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
PIM3	0	0	0	0	0	PIM32	PIM31	0	F0043H	00H	R/W
PIM7 ^{注1}	0	0	PIM75 ^{注2}	PIM74 ^{注2}	0	PIM72	PIM71 ^{注2}	0	F0047H	00H	R/W
PIM8	0	0	0	0	PIM83	PIM82 ^{注1}	PIM81	PIM80	F0048H	00H	R/W

PIMmn	Pmn端子の入力バッファの選択 (m = 3, 7 ; n = 1, 2, 4, 5)
0	通常入力バッファ
1	TTL入力バッファ

PIM8n	P8n端子のデジタル入力許可 / 禁止の選択 (n = 0-3)
0	デジタル入力禁止 (アナログ入力として使用)
1	デジタル入力許可

注1. 78K0R/IB3は搭載していません。

2. 78K0R/IC3の38ピン製品は搭載していません。

(5) ポート出力モード・レジスタ (POM3, POM7)

P30-P32, P70, P72, P73, P75の出力モードを1ビット単位で設定するレジスタです。

異電位の外部デバイスとのシリアル通信時および同電位の外部デバイスとの簡易I²C通信時のSDA10端子にN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択できます。

POM3, POM7は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図4 - 42 ポート出力モード・レジスタのフォーマット

略号	7	6	5	4	3	2	1	0	アドレス	リセット時	R/W
POM3	0	0	0	0	0	POM32	POM31	POM30	F0053H	00H	R/W
POM7 ^{注1}	0	0	POM75 ^{注2}	0	POM73	POM72 ^{注2}	0	POM70 ^{注2}	F0057H	00H	R/W

POMmn	Pmn端子の出力モードの選択 (m = 3, 7 ; n = 0-3, 5)
0	通常出力モード
1	N-chオープン・ドレイン出力 (V _{DD} 耐圧) モード

注1. 78K0R/IB3は搭載していません。

2. 78K0R/IC3の38ピン製品は搭載していません。

4.4 ポート機能の動作

ポートの動作は、次に示すように入出力モードの設定によって異なります。

4.4.1 入出力ポートへの書き込み

(1) 出力モードの場合

転送命令により、出力ラッチに値を書き込みます。また、出力ラッチの内容が端子より出力されます。一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

転送命令により、出力ラッチに値を書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.2 入出力ポートからの読み出し

(1) 出力モードの場合

転送命令により、出力ラッチの内容が読み出せます。出力ラッチの内容は変化しません。

(2) 入力モードの場合

転送命令により、端子の状態が読み出せます。出力ラッチの内容は変化しません。

4.4.3 入出力ポートでの演算

(1) 出力モードの場合

出力ラッチの内容と演算を行い、結果を出力ラッチに書き込みます。また、出力ラッチの内容が端子より出力されます。

一度出力ラッチに書き込まれたデータは、もう一度出力ラッチにデータを書き込むまで保持されます。また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

(2) 入力モードの場合

端子レベルをリードし、その内容と演算を行います。演算結果を出力ラッチに書き込みます。しかし、出力バッファがオフしていますので、端子の状態は変化しません。

また、リセット信号が発生したときに、出力ラッチのデータはクリアされます。

4.4.4 異電位 (2.5 V系, 3 V系) 外部デバイスとの接続方法

ポート3, ポート7の一部は, $V_{DD} = 4.0\text{ V} \sim 5.5\text{ V}$ で動作時に, 2.5 V系, 3 V系の電圧で動作している外部デバイスとの入出力接続が可能です。

入力については, ポート入力モード・レジスタ (PIM3, PIM7) によりビットごとにCMOS/TTLを切り換え可能です。

また, 出力については, ポート出力モード・レジスタ (POM3, POM7) により, 出力バッファをN-chオープン・ドレイン (V_{DD} 耐圧) に切り換えることにより, 異電位に対応可能になります。

(1) UART0^{注1}, UART1, CSI00^{注2}, CSI01^{注2}, CSI10機能の入出力端子を使用する場合の設定手順

(a) 2.5 V系, 3 V系の入力ポートとして使用

リセット解除後, ポート・モードは入力モード (Hi-Z) になっています。

プルアップが必要な場合は, 使用する端子を外部でプルアップします (内蔵プルアップ抵抗は使用不可)。

UART0の場合 ^{注1}	: P72 (78K0R/IC3の38ピン製品), P74 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3)
UART1の場合	: P31
CSI00の場合 ^{注2}	: P74, P75
CSI01の場合 ^{注2}	: P71, P72
CSI10の場合	: P31, P32

PIMnレジスタの該当ビットを1に設定し, TTL入力バッファに切り換えます。

V_{IH}/V_{IL} が2.5 V系, 3 V系の動作電圧で動作します。

注1. 78K0R/IB3はUART0での異電位通信はできません。

2. 78K0R/IB3と78K0R/IC3の38ピン製品には, CSI00, CSI01はありません。

備考 n = 3, 7 (78K0R/IB3の場合は, n = 3)

(b) 2.5 V系, 3 V系の出力ポートとして使用

リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

UART0の場合 ^{注1}	: P73
UART1の場合	: P30
CSI00の場合 ^{注2}	: P73, P75
CSI01の場合 ^{注2}	: P70, P72
CSI10の場合	: P30, P32

該当するポートの出力ラッチに1を設定します。

POMnレジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。

PMnレジスタを操作して出力モードに設定します。

この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。
シリアル・アレイ・ユニットの動作状態にしたがってロウ・レベルでのみ動作します。

- 注1. 78K0R/IB3はUART0での異電位通信はできません。
2. 78K0R/IB3と78K0R/IC3の38ピン製品には，CSI00, CSI01はありません。

備考 n = 3, 7 (78K0R/IB3の場合は，n = 3)

(2) 簡易IIC10機能の入出力端子を使用する場合の設定手順

リセット解除後，ポート・モードは入力モード（Hi-Z）になっています。
使用する端子を外部でプルアップします（内蔵プルアップ抵抗は使用不可）。

簡易IIC10の場合：P31, P32

該当するポートの出力ラッチに1を設定します。

POM3レジスタの該当ビットを1に設定し，N-chオープン・ドレイン出力（V_{DD}耐圧）モードに設定します。

PM3レジスタの該当ビットを出力モードに設定します（出力モードのままデータ入出力可能）。

この時点では，出力データはハイ・レベルであるため，端子はHi-Z状態となっています。
シリアル・アレイ・ユニットを動作許可し，簡易I²Cモードに設定します。

4.5 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定

ポート端子を兼用機能の端子として使用する場合，ポート・モード・レジスタ，出力ラッチを表4-9～表4-12のように設定してください。

表4-9 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/IB3）（1/2）

端子名称	兼用機能	入出力	PIM8	PM××	P××
	名称				
P10	TI02	入力	-	1	×
	TO02	出力	-	0	0
	TxD0	出力	-	0	1
P11	TI03	入力	-	1	×
	TO03	出力	-	0	0
	RxD0	入力	-	1	×
P12	TI04	入力	-	1	×
	TO04	出力	-	0	0
P13	TI05	入力	-	1	×
	TO05	出力	-	0	0
P20-P25 ^注	ANI0-ANI5 ^注	入力	-	1	×
P30	SO10	出力	-	0	1
	TxD1	出力	-	0	1
	TO11	出力	-	0	0
P31	SI10	入力	-	1	×
	RxD1	入力	-	1	×
	SDA10	入出力	-	0	1
	INTP1	入力	-	1	×
	TI09	入力	-	1	×
P32	SCK10	入力	-	1	×
		出力	-	0	1
	SCL10	入出力	-	0	1
	INTP2	入力	-	1	×
P40	TOOL0	入出力	-	×	×
P41	TOOL1	出力	-	×	×
P50	TI06	入力	-	1	×
	TO06	出力	-	0	0
P51	TI07	入力	-	1	×
	TO07	出力	-	0	0

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

（注は，次ページにあります）

表4 - 9 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/IB3）（2/2）

端子名称	兼用機能	入出力	PIM8	PM××	P××
	名称				
P80	CMP0P	入力	PIM80 = 0	1	×
	TMOFF0	入力	PIM80 = 1	1	×
	INTP3	入力	PIM80 = 1	1	×
	PGAI	入力	PIM80 = 0	1	×
P81	CMP0M	入力	PIM81 = 0	1	×
P83	CMP1M	入力	PIM83 = 0	1	×
P120	INTP0	入力	-	1	×
	EXLVI	入力	-	1	×

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

注 ANI0/P20-ANI5/P25端子の機能は，ADPC，ADS，PM2の設定で決定します。

ADPC	PM2	ADS	ANI0/P20-ANI5/P25端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

表4 - 10 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/IC3）（1/2）

端子名称	兼用機能		PIM8	PM x x	P x x
	名 称	入出力			
P10	TI02	入力	-	1	x
	TO02	出力	-	0	0
P11	TI03	入力	-	1	x
	TO03	出力	-	0	0
P12	TI04	入力	-	1	x
	TO04	出力	-	0	0
P13	TI05	入力	-	1	x
	TO05	出力	-	0	0
P20-P27 ^{注1}	ANI0-ANI7 ^{注1}	入力	-	1	x
P30	SO10	出力	-	0	1
	TxD1	出力	-	0	1
	TO11	出力	-	0	0
P31	SI10	入力	-	1	x
	RxD1	入力	-	1	x
	SDA10	入出力	-	0	1
	INTP1	入力	-	1	x
	TI09	入力	-	1	x
P32	SCK10	入力	-	1	x
		出力	-	0	1
	SCL10	入出力	-	0	1
	INTP2	入力	-	1	x
P40	TOOL0	入出力	-	x	x
P41	TOOL1	出力	-	x	x
P50	TI06	入力	-	1	x
	TO06	出力	-	0	0
P51	TI07	入力	-	1	x
	TO07	出力	-	0	0
P52	SLTI	入力	-	1	x
	SLTO	出力	-	0	0
P60 ^{注2}	SCL0 ^{注2}	入出力	-	0	0
P61 ^{注2}	SDA0 ^{注2}	入出力	-	0	0

備考 x : don't care

PM x x : ポート・モード・レジスタ

P x x : ポートの出力ラッチ

（注1, 2は，次々ページにあります）

表4 - 10 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/IC3）（2/2）

端子名称	兼用機能		PIM8	PM × ×	P × ×
	名 称	入出力			
P70 ^{注3}	SO01	出力	-	0	1
	INTP4	入力	-	1	×
P71 ^{注3}	SI01	入力	-	1	×
	INTP5	入力	-	1	×
P72	SCK01 ^{注3}	入力	-	1	×
		出力	-	0	1
	INTP6	入力	-	1	×
	RxD0 ^{注4}	入力	-	1	×
P73	SO00 ^{注3}	出力	-	0	1
	TxD0	出力	-	0	1
	TO10	出力	-	0	0
P74 ^{注3}	SI00	入力	-	1	×
	RxD0	入力	-	1	×
	TI10	入力	-	1	×
P75 ^{注3}	SCK00	入力	-	1	×
		出力	-	0	1
	TI11	入力	-	1	×
P80	CMP0P	入力	PIM80 = 0	1	×
	TMOFF0	入力	PIM80 = 1	1	×
	INTP3	入力	PIM80 = 1	1	×
	PGAI	入力	PIM80 = 0	1	×
P81	CMP0M	入力	PIM81 = 0	1	×
P82	CMP1P	入力	PIM82 = 0	1	×
	TMOFF1	入力	PIM82 = 1	1	×
	INTP7	入力	PIM82 = 1	1	×
P83	CMP1M	入力	PIM83 = 0	1	×
P120	INTP0	入力	-	1	×
	EXLVI	入力	-	1	×
P121	INTP4 ^{注4}	入力	-	1	×
P122	INTP5 ^{注4}	入力	-	1	×
P140 ^{注2}	PCLBUZ0 ^{注2}	出力	-	0	0
P150-P152 ^{注1, 5}	ANI8-ANI10 ^{注1, 5}	入力	-	1	×

備考1. x : don't care
PM × × : ポート・モード・レジスタ
P × × : ポートの出力ラッチ

（注1, 2, 3, 4, 5は，次ページにあります）

注1. ANI0/P20-ANI7/P27, ANI8/P150-ANI10/152端子の機能は, ADPC, ADS, PM2, PM15の設定で決定します。

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI10/P152端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 38ピン製品 : ANI0/P20-ANI7/P27端子
(PM20-PM27)

44ピン製品 : ANI0/P20-ANI7/P27, ANI8/P150, ANI9/P151端子
(PM20-PM27, PM150, PM151)

48ピン製品 : ANI0/P20-ANI7/P27, ANI8/P150-ANI10/P152端子
(PM20-PM27, PM150-PM152)

2. 48ピン製品のみ

3. 44ピン / 48ピン製品のみ

4. 38ピン製品のみ

5. P150/ANI8, P151/ANI9 : 44ピン / 48ピン製品のみ

P152/ANI10 : 48ピン製品のみ

表4 - 11 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/ID3）（1/2）

端子名称	兼用機能		PIM8	PM××	P××
	名 称	入出力			
P00	TI00	入力	-	1	×
P01	TO00	出力	-	0	0
P10	TI02	入力	-	1	×
	TO02	出力	-	0	0
P11	TI03	入力	-	1	×
	TO03	出力	-	0	0
P12	TI04	入力	-	1	×
	TO04	出力	-	0	0
P13	TI05	入力	-	1	×
	TO05	出力	-	0	0
P20-P27 ^注	ANI0-ANI7 ^注	入力	-	1	×
P30	SO10	出力	-	0	1
	TxD1	出力	-	0	1
	TO11	出力	-	0	0
P31	SI10	入力	-	1	×
	RxD1	入力	-	1	×
	SDA10	入出力	-	0	1
	INTP1	入力	-	1	×
	TI09	入力	-	1	×
P32	SCK10	入力	-	1	×
		出力	-	0	1
	SCL10	入出力	-	0	1
	INTP2	入力	-	1	×
P40	TOOL0	入出力	-	×	×
P41	TOOL1	出力	-	×	×
P50	TI06	入力	-	1	×
	TO06	出力	-	0	0
P51	TI07	入力	-	1	×
	TO07	出力	-	0	0
P52	SLTI	入力	-	1	×
	SLTO	出力	-	0	0
P60	SCL0	入出力	-	0	0
P61	SDA0	入出力	-	0	0
P70	SO01	出力	-	0	1
	INTP4	入力	-	1	×
P71	SI01	入力	-	1	×
	INTP5	入力	-	1	×

備考 × : don't care

PM×× : ポート・モード・レジスタ

P×× : ポートの出力ラッチ

（注は次々ページあります）

表4 - 11 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/ID3）（2/2）

端子名称	兼用機能	入出力	PIM8	PM××	P××
	名称				
P72	SCK01	入力	-	1	×
		出力	-	0	1
	INTP6	入力	-	1	×
P73	SO00	出力	-	0	1
	TxD0	出力	-	0	1
	TO10	出力	-	0	0
P74	SI00	入力	-	1	×
	RxD0	入力	-	1	×
	TI10	入力	-	1	×
P75	SCK00	入力	-	1	×
		出力	-	0	1
	TI11	入力	-	1	×
P80	CMP0P	入力	PIM80 = 0	1	×
	TMOFF0	入力	PIM80 = 1	1	×
	INTP3	入力	PIM80 = 1	1	×
	PGAI	入力	PIM80 = 0	1	×
P81	CMP0M	入力	PIM81 = 0	1	×
P82	CMP1P	入力	PIM82 = 0	1	×
	TMOFF1	入力	PIM82 = 1	1	×
	INTP7	入力	PIM82 = 1	1	×
P83	CMP1M	入力	PIM83 = 0	1	×
P120	INTP0	入力	-	1	×
	EXLVI	入力	-	1	×
P140	PCLBUZ0	出力	-	0	0
P150-P152 ^注	ANI8-ANI10 ^注	入力	-	1	×

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

注 ANI0/P20-ANI7/P27, ANI8/P150-ANI10/152端子の機能は，ADPC，ADS，PM2, PM15の設定で決定します。

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI10/P152端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力（変換対象）
		ANI非選択	アナログ入力（非変換対象）
	出力モード	ANI選択	設定禁止
		ANI非選択	

表4 - 12 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/IE3）（1/2）

端子名称	兼用機能		PIM8	PM××	P××
	名 称	入出力			
P00	TI00	入力	-	1	×
P01	TO00	出力	-	0	0
P10	TI02	入力	-	1	×
	TO02	出力	-	0	0
P11	TI03	入力	-	1	×
	TO03	出力	-	0	0
P12	TI04	入力	-	1	×
	TO04	出力	-	0	0
P13	TI05	入力	-	1	×
	TO05	出力	-	0	0
P14	TI06	入力	-	1	×
	TO06	出力	-	0	0
P15	TI07	入力	-	1	×
	TO07	出力	-	0	0
P16	TI08	入力	-	1	×
	TO08	出力	-	0	0
P17	TI09	入力	-	1	×
	TO09	出力	-	0	0
P20-P27 ^注	ANI0-ANI7 ^注	入力	-	1	×
P30	SO10	出力	-	0	1
	TxD1	出力	-	0	1
	TO11	出力	-	0	0
P31	SI10	入力	-	1	×
	RxD1	入力	-	1	×
	SDA10	入出力	-	0	1
	INTP1	入力	-	1	×
P32	SCK10	入力	-	1	×
		出力	-	0	1
	SCL10	入出力	-	0	1
	INTP2	入力	-	1	×
P40	TOOL0	入出力	-	×	×
P41	TOOL1	出力	-	×	×

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

（注は次々ページあります）

表4 - 12 兼用機能使用時のポート・モード・レジスタ，出力ラッチの設定（78K0R/IE3）（2/2）

端子名称	兼用機能		PIM8	PM××	P××
	名称	入出力			
P52	SLTI	入力	-	1	×
	SLTO	出力	-	0	0
P60	SCL0	入出力	-	0	0
P61	SDA0	入出力	-	0	0
P70	SO01	出力	-	0	1
	INTP4	入力	-	1	×
P71	SI01	入力	-	1	×
	INTP5	入力	-	1	×
P72	SCK01	入力	-	1	×
		出力	-	0	1
	INTP6	入力	-	1	×
P73	SO00	出力	-	0	1
	TxD0	出力	-	0	1
	TO10	出力	-	0	0
P74	SI00	入力	-	1	×
	RxD0	入力	-	1	×
	TI10	入力	-	1	×
P75	SCK00	入力	-	1	×
		出力	-	0	1
	TI11	入力	-	1	×
P80	CMP0P	入力	PIM80 = 0	1	×
	TMOFF0	入力	PIM80 = 1	1	×
	INTP3	入力	PIM80 = 1	1	×
	PGAI	入力	PIM80 = 0	1	×
P81	CMP0M	入力	PIM81 = 0	1	×
P82	CMP1P	入力	PIM82 = 0	1	×
	TMOFF1	入力	PIM82 = 1	1	×
	INTP7	入力	PIM82 = 1	1	×
P83	CMP1M	入力	PIM83 = 0	1	×
P120	INTP0	入力	-	1	×
	EXLVI	入力	-	1	×
P140	PCLBUZ0	出力	-	0	0
P141	PCLBUZ1	出力	-	0	0
P150-P153 ^注	ANI8-ANI11 ^注	入力	-	1	×

備考 × : don't care
 PM×× : ポート・モード・レジスタ
 P×× : ポートの出力ラッチ

（注は次ページあります）

注 ANI0/P20-ANI7/P27, ANI8/P150-ANI11/153端子の機能は, ADPC, ADS, PM2, PM15の設定で決定します。

ADPC	PM2, PM15	ADS	ANI0/P20-ANI7/P27, ANI8/P150-ANI11/P153端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力(変換対象)
		ANI非選択	アナログ入力(非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

4.6 ポート・レジスタ_n (P_n) に対する1ビット・メモリ操作命令に関する注意事項

1つでも入力に設定している端子が存在しているポートに対して、1ビット・メモリ操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P10は出力ポート、P11-P17は入力ポート(端子状態はすべてハイ・レベル)で、かつポート1の出力ラッチの値が“00H”のとき、出力ポートP10の出力を1ビット・メモリ操作命令により“ロウ・レベル” “ハイ・レベル” とすると、ポート1の出力ラッチの値は、“FFH” になります。

説明：PM_nmビット = 1であるポートのP_nレジスタへの書き込みの対象は出力ラッチ、読み出しの対象は端子状態です。

1ビット・メモリ操作命令は78K0R/Ix3内部で、次の順序で行われます。

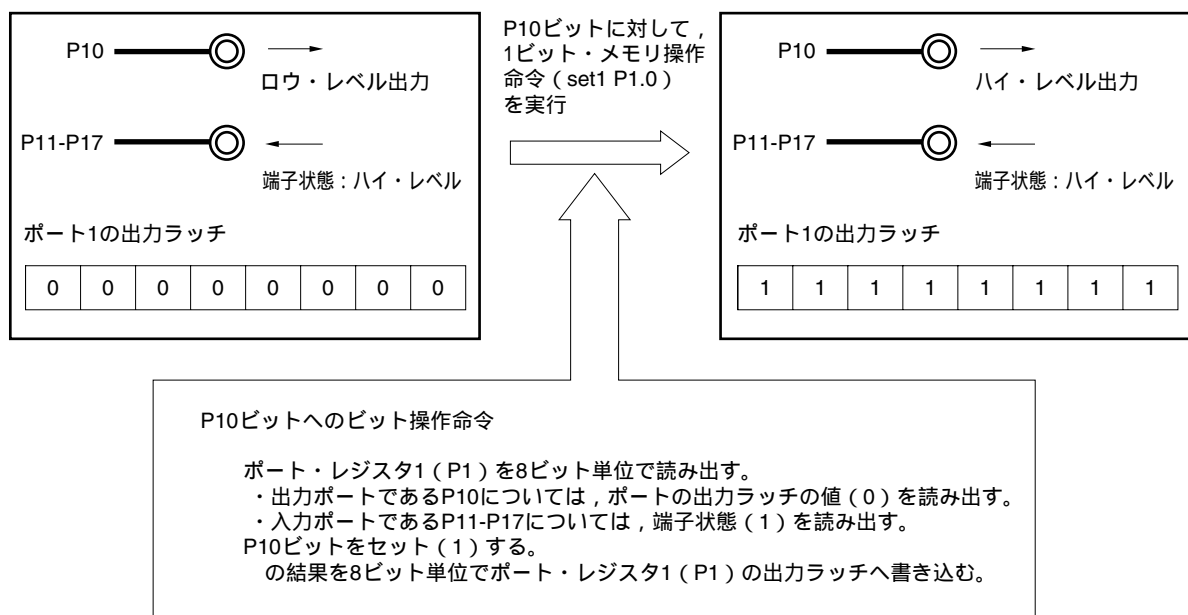
- <1> P_nレジスタを8ビット単位で読み出し
- <2> 対象の1ビットを操作
- <3> P_nレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP10は出力ラッチの値(0)を読み出し、入力ポートであるP11-P17は端子状態を読み出します。このときP11-P17の端子状態が“ハイ・レベル” とすると、読み出し値は“FEH” となります。

<2> の操作で、値は“FFH” となります。

<3> の操作で、出力ラッチに“FFH” が書き込まれます。

図4-44 1ビット・メモリ操作命令 (P10の場合)



第5章 クロック発生回路

5.1 クロック発生回路の機能

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。システム・クロックおよびクロック発振回路には、次の種類があります。

(1) メイン・システム・クロック

X1発振回路

X1, X2に発振子を接続することにより、 $f_x = 2 \sim 20$ MHzのクロックを発振させることができます。STOP命令の実行またはMSTOP（クロック動作ステータス制御レジスタ（CSC）のビット7）の設定により、発振を停止することができます。

高速内蔵発振回路

$f_{IH} = 8$ MHz（TYP.）のクロックを発振させることができます。リセット解除後、CPUは必ずこの高速内蔵発振クロックで動作を開始します。STOP命令の実行またはHIOSTOP（CSCのビット0）の設定により、発振を停止することができます。

40 MHz高速内蔵発振回路

$f_{IH40} = 40$ MHz（TYP.）のクロックを発振させることができます。40 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）を1に設定すると発振を開始します。DSCONを0に設定すると発振を停止することができます。

リセット解除後、8 MHzの高速内蔵発振回路が自動的に発振を開始します。その後、DSCCTLレジスタのDSCONビットを1に設定すると、40 MHzの高速内蔵発振回路は発振を開始します。

また、EXCLK/X2/P122端子から外部メイン・システム・クロック（ $f_{EX} = 2 \sim 20$ MHz）を供給することができます。STOP命令の実行またはMSTOPの設定により、外部メイン・システム・クロック入力を無効にすることができます。

メイン・システム・クロックは、MCM0（システム・クロック制御レジスタ（CKC）のビット4）の設定により、高速システム・クロック（X1クロックまたは外部メイン・システム・クロック）と高速内蔵発振クロックを切り替えられます。また、SELDSC（40 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット2）の設定により、40 MHz高速内蔵発振クロックに切り替えられます。

備考 f_x	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{IH40}	: 40 MHz高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数

(2) サブシステム・クロック^注

・XT1発振回路

XT1, XT2に32.768 kHzの発振子を接続することにより, $f_{SUB} = 32.768$ kHzのクロックを発振させることができます。XTSTOP (CSCのビット6) の設定により, 発振を停止することができます。

(3) 低速内蔵発振クロック (ウォッチドッグ・タイマ専用クロック)

・低速内蔵発振回路

$f_{IL} = 30$ kHz (TYP.) のクロックを発振させることができます。

低速内蔵発振クロックをCPUクロックとして使用することはできません。低速内蔵発振クロックで動作するハードウェアは, ウォッチドッグ・タイマのみです。

ウォッチドッグ・タイマ動作停止時は, 発振を停止します。

注 78K0R/IB3には, サブシステム・クロックはありません。

備考1. f_{SUB} : サブシステム・クロック周波数

f_{IL} : 低速内蔵発振クロック周波数

2. ウォッチドッグ・タイマは, 次の場合に動作停止します。

・ オプション・バイト (000C0H) のビット4 (WDTON) = 0の場合

・ オプション・バイト (000C0H) のビット4 (WDTON) = 1, ビット0 (WDSTBYON) = 0のときに, HALT命令またはSTOP命令を実行した場合

5.2 クロック発生回路の構成

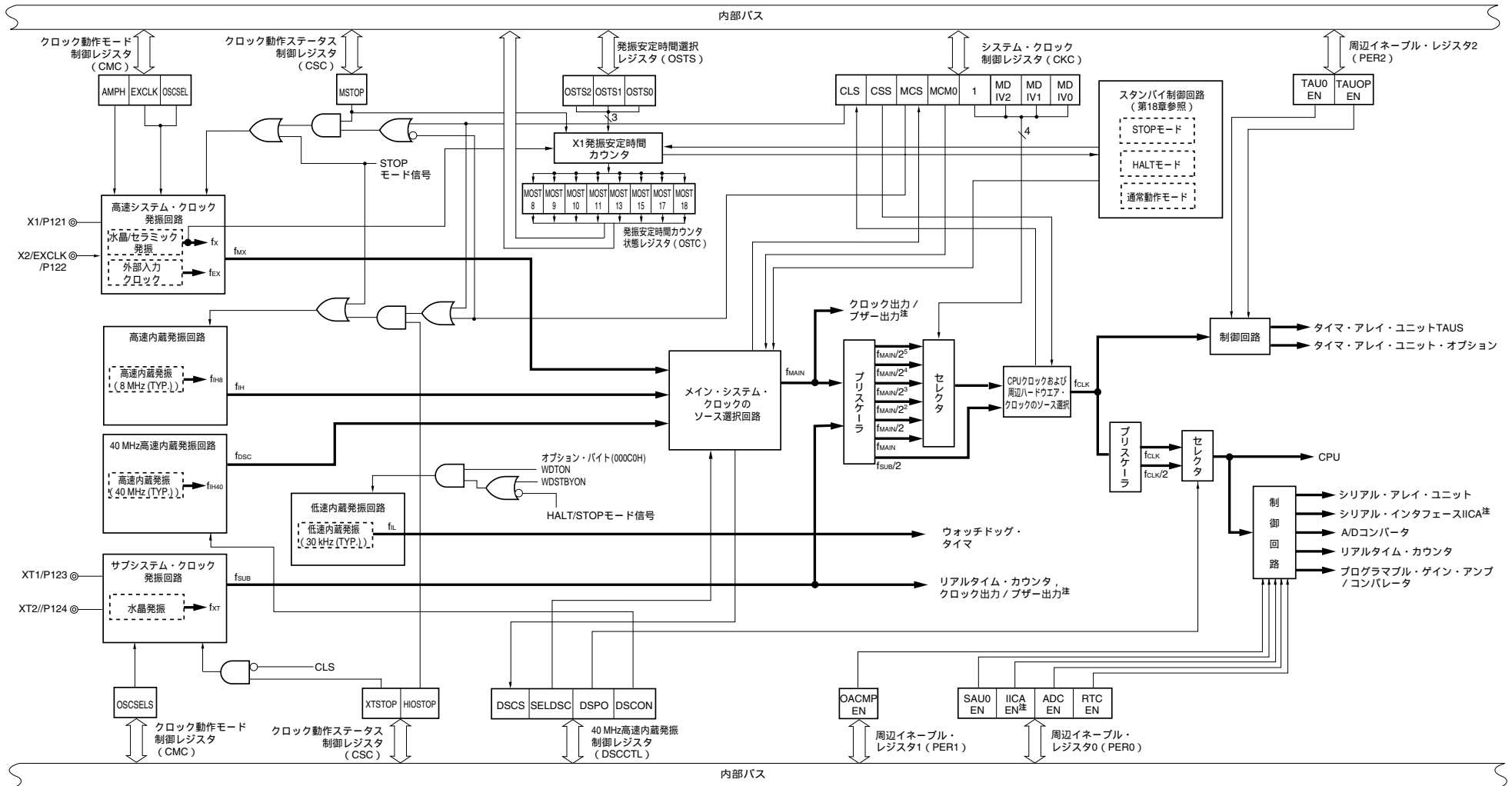
クロック発生回路は, 次のハードウェアで構成しています。

表5 - 1 クロック発生回路の構成

項 目	構 成
制御レジスタ	クロック動作モード制御レジスタ (CMC) システム・クロック制御レジスタ (CKC) クロック動作ステータス制御レジスタ (CSC) 発振安定時間カウンタ状態レジスタ (OSTC) 発振安定時間選択レジスタ (OSTS) 40 MHz高速内蔵発振制御レジスタ (DSCCTL) 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2) 動作スピード・モード制御レジスタ (OSMC)
発振回路	X1発振回路 XT1発振回路 ^注 高速内蔵発振回路 低速内蔵発振回路

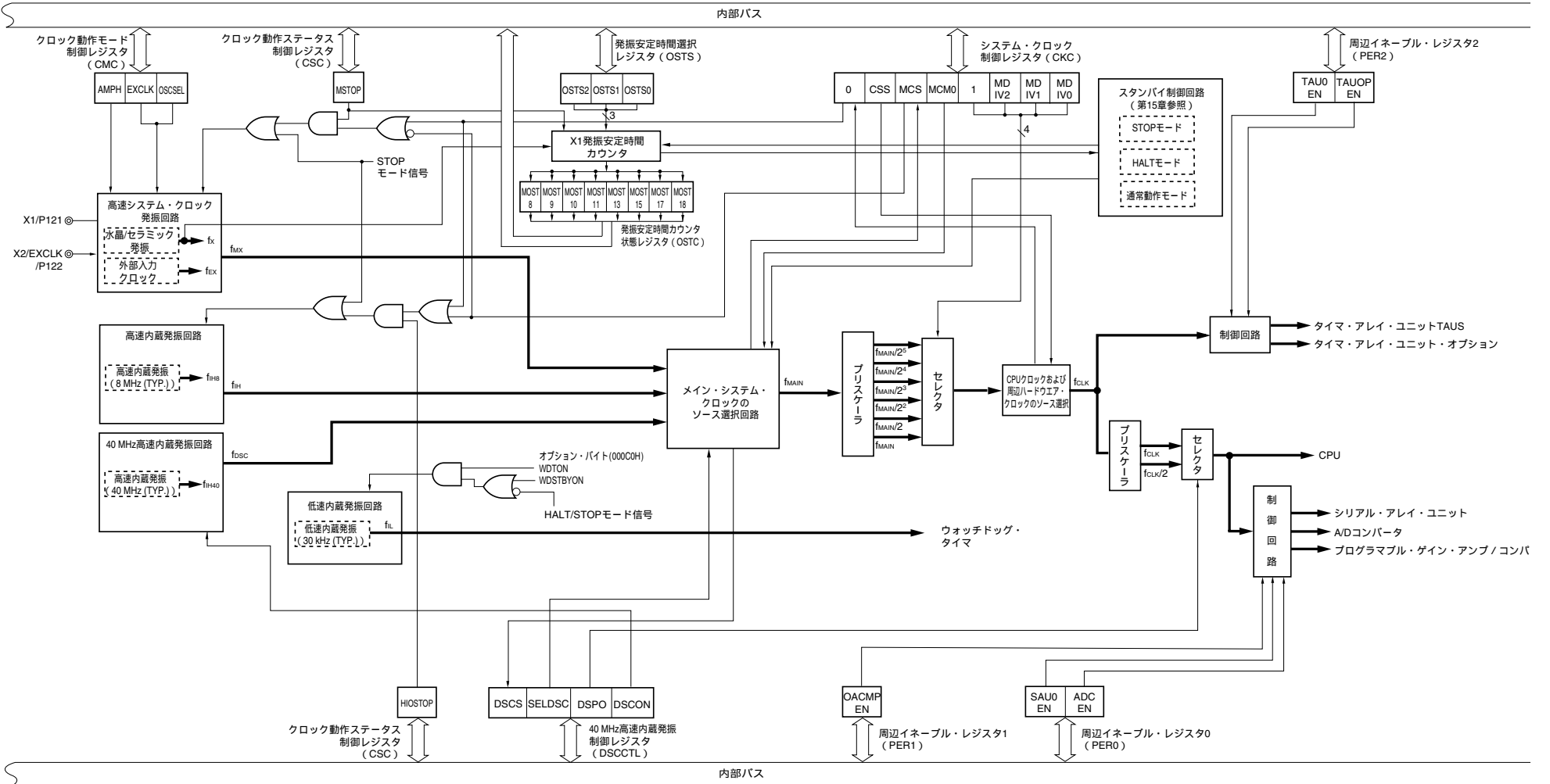
注 78K0R/IB3には, XT1発振回路 (サブシステム・クロック) はありません。

図5-1 クロック発生回路のブロック図 (78K0R/IC3, 78K0R/ID3, 78K0R/IE3)



注 78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3のみ。

図5-2 クロック発生回路のブロック図 (78K0R/IB3)



備考 f_x	: X1クロック発振周波数
f_{IH}	: 高速内蔵発振クロック周波数
f_{IH40}	: 40 MHz高速内蔵発振クロック周波数
f_{EX}	: 外部メイン・システム・クロック周波数
f_{MX}	: 高速システム・クロック周波数
f_{MAIN}	: メイン・システム・クロック周波数
f_{XT}	: XT1クロック発振周波数
f_{SUB}	: サブシステム・クロック周波数
f_{CLK}	: CPU / 周辺ハードウェア・クロック周波数
f_{IL}	: 低速内蔵発振クロック周波数

5.3 クロック発生回路を制御するレジスタ

クロック発生回路は、次の8種類のレジスタで制御します。

- ・クロック動作モード制御レジスタ (CMC)
- ・システム・クロック制御レジスタ (CKC)
- ・クロック動作ステータス制御レジスタ (CSC)
- ・発振安定時間カウンタ状態レジスタ (OSTC)
- ・発振安定時間選択レジスタ (OSTS)
- ・40 MHz高速内蔵発振制御レジスタ (DSCCTL)
- ・周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)
- ・動作スピード・モード制御レジスタ (OSMC)

(1) クロック動作モード制御レジスタ (CMC)

X1/P121, X2/EXCLK/P122端子およびXT1/P123, XT2/P124^注端子の動作モードの設定と、発振回路のゲインを選択するレジスタです。

CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。読み出す場合は、1ビット・メモリ操作命令、または8ビット・メモリ操作命令で操作可能です。

リセット信号の発生により、00Hになります。

注 78K0R/IB3には、XT1, XT2端子はありません。

図5 - 3 クロック動作モード制御レジスタ (CMC) のフォーマット

アドレス : FFFA0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL	0	OSCSELS ^注	0	0	0	AMPH

EXCLK	OSCSEL	高速システム・クロック端子の動作モード	X1/P121端子	X2/EXCLK/P122端子
0	0	入力ポート・モード	入力ポート	
0	1	X1発振モード	水晶 / セラミック発振子接続	
1	0	入力ポート・モード	入力ポート	
1	1	外部クロック入力モード	入力ポート	外部クロック入力

OSCSELS ^注	サブシステム・クロック端子の動作モード	XT1/P123端子	XT2/P124端子
0	入力ポート・モード	入力ポート	
1	XT1発振モード	水晶振動子接続	

AMPH	高速システム・クロック発振周波数の制御
0	2 MHz f_{MX} 10 MHz
1	10 MHz < f_{MX} 20 MHz

注 78K0R/IB3は、OSCSELSビットを搭載していません。78K0R/IB3の場合は、ビット4は0固定になります。

- 注意1. CMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- リセット解除後、クロック動作ステータス制御レジスタ (CSC) の設定でX1発振またはXT1発振を開始する前に、CMCを設定してください。
 - X1クロック発振周波数が10 MHzを越える場合は、必ずAMPHに1を設定してください。
 - CMCレジスタを初期値 (00H) のまま使用する場合、暴走時の誤動作を防止するためにリセット解除後は必ず00Hに設定してください。

(注意、備考は次ページに続きます。)

5. XT1発振回路は低消費電力を実現するために、増幅度が低い回路になっています。設計の際は、次の点に注意してください。
- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
 - ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
 - ・XT1発振回路の周辺には、できるかぎり V_{SS} と同電位のグランド・パターンを配置してください。
 - ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
 - ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
 - ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

備考 f_{MX} : 高速システム・クロック周波数

(2) システム・クロック制御レジスタ (CKC)

CPU / 周辺ハードウェア・クロックの選択, 分周比を設定するレジスタです。
 CKCは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により, 09Hになります。

図5 - 4 システム・クロック制御レジスタ (CKC) のフォーマット

アドレス : FFFA4H リセット時 : 09H R/W^{注1}

略号	7	6	5	4	3	2	1	0
CKC	CLS ^{注2}	CSS	MCS	MCM0	1	MDIV2	MDIV1	MDIV0

CLS ^{注2}	CPU / 周辺ハードウェア・クロック (f _{CLK}) のステータス
0	メイン・システム・クロック (f _{MAIN})
1	サブシステム・クロック (f _{SUB}) の2分周 (f _{SUB} /2)

MCS	メイン・システム・クロック (f _{MAIN}) のステータス
0	高速内蔵発振クロック (f _{IH}) または, 40 MHz高速内蔵発振クロック (f _{IH40})
1	高速システム・クロック (f _{MX})

MCM0	メイン・システム・クロック (f _{MAIN}) の動作制御
0	メイン・システム・クロック (f _{MAIN}) に高速内蔵発振クロック (f _{IH}) または, 40 MHz高速内蔵発振クロック (f _{IH40}) を選択
1	メイン・システム・クロック (f _{MAIN}) に高速システム・クロック (f _{MX}) を選択

CSS	MDIV2	MDIV1	MDIV0	CPU / 周辺ハードウェア・クロック (f _{CLK}) の選択
0	0	0	0	f _{MAIN}
	0	0	1	f _{MAIN} /2 (MCM0 = 0でこの設定が, デフォルト)
	0	1	0	f _{MAIN} /2 ²
	0	1	1	f _{MAIN} /2 ³
	1	0	0	f _{MAIN} /2 ⁴
1 ^{注4}	1	0	1	f _{MAIN} /2 ⁵ ^{注3}
	x	x	x	f _{SUB} /2
上記以外				設定禁止

注1. ビット7, 5は, Read Onlyです。

2. 78K0R/IB3は, CLSビットを搭載していません。78K0R/IB3の場合は, ビット7は0固定になります。
3. メイン・システム・クロック (f_{MAIN}) に高速システム・クロック (f_{MX}) を選択している場合, f_{MX} < 4 MHzのときは, 設定禁止です。
4. CSS = 1を設定した状態で, MCM0ビットの値を変更することは禁止です。

- 備考1. f_{IH} : 高速内蔵発振クロック周波数
 f_{IH40} : 40 MHz高速内蔵発振クロック周波数
 f_{MX} : 高速システム・クロック周波数
 f_{SUB} : サブシステム・クロック周波数
2. x : don't care

(注意1 ~ 3は, 次ページにあります)

- 注意1. ビット3には、必ず1を設定してください。
2. CSS, MCM0, MDIV2-MDIV0で設定したクロックは、CPUと周辺ハードウェアに供給されま
す。したがって、CPUクロックを変更すると、周辺ハードウェア・クロックも同時に変更
されます(リアルタイム・カウンタ、クロック出力/プザー出力、およびウォッチドッグ・
タイマは除く)。よって、CPU/周辺動作ハードウェア・クロックを変更する場合は、各
周辺機能を停止してください。
 3. 周辺ハードウェア・クロックがサブシステム・クロックの場合、A/Dコンバータ、IICAの動
作は保証できません。周辺ハードウェアの動作特性については、各周辺ハードウェアの章
および第28章 電気的特性を参照してください。

78K0R/lx3の一番速い命令はCPUクロック1クロックで実行されます。したがって、CPUクロック (f_{CLK})
と最小命令実行時間の関係は、表5 - 2のようになります。

表5 - 2 CPUクロックと最小命令実行時間の関係

CPUクロック (MDIV2-MDIV0 ビットで設定)	最小命令実行時間: $1/f_{CLK}$				
	メイン・システム・クロック (CSS = 0)				サブシステム・クロック ^{注1} (CSS = 1)
	高速システム・クロック (MCM0 = 1)		高速内蔵発振クロック (MCM0 = 0)		
	10 MHz動作時	20 MHz動作時	8 MHz (TYP.) 動作時	40 MHz (TYP.) 動作時	32.768 kHz動作時
f_{MAIN}	0.1 μ s	0.05 μ s	0.125 μ s (TYP.)	0.05 μ s (TYP.) ^{注2}	-
$f_{MAIN}/2$	0.2 μ s	0.1 μ s	0.25 μ s (TYP.) (デフォルト)	0.05 μ s (TYP.)	-
$f_{MAIN}/2^2$	0.4 μ s	0.2 μ s	0.5 μ s (TYP.)	0.1 μ s (TYP.)	-
$f_{MAIN}/2^3$	0.8 μ s	0.4 μ s	1.0 μ s (TYP.)	0.2 μ s (TYP.)	-
$f_{MAIN}/2^4$	1.6 μ s	0.8 μ s	2.0 μ s (TYP.)	0.4 μ s (TYP.)	-
$f_{MAIN}/2^5$	3.2 μ s	1.6 μ s	4.0 μ s (TYP.)	0.8 μ s (TYP.)	-
$f_{SUB}/2$	-		-		61 μ s

- 注1. 78K0R/IB3には、サブシステム・クロックはありません。
2. $f_{MAIN} = 40$ MHzを f_{CLK} として使用できるのは、タイマ・アレイ・ユニットTAUSとインバータ制御機能のみで
す。この場合CPUクロックには、DSCCTLレジスタのDSPOビットを1に設定することにより、 $f_{CLK}/2$ (20
MHz) が設定されます。

備考 f_{MAIN} : メイン・システム・クロック周波数 (f_{IH} , f_{IH40} または f_{MX})
 f_{SUB} : サブシステム・クロック周波数

(3) クロック動作ステータス制御レジスタ (CSC)

高速システム・クロック、高速内蔵発振クロック、サブシステム・クロック[※]の動作を制御するレジスタです (40 MHz高速内蔵発振クロック、低速内蔵発振クロックは除く)。

CSCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、C0Hになります。

注 78K0R/IB3には、サブシステム・クロックはありません。

図5 - 5 クロック動作ステータス制御レジスタ (CSC) のフォーマット

アドレス : FFFA1H リセット時 : C0H R/W

略号	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP ^{注1}	0	0	0	0	0	HIOSTOP

MSTOP	高速システム・クロックの動作制御		
	X1発振モード時	外部クロック入力モード時	入力ポート・モード時
0	X1発振回路動作	EXCLK端子からの外部クロック有効	入力ポート
1	X1発振回路停止	EXCLK端子からの外部クロック無効	

XTSTOP ^{注1}	サブシステム・クロックの動作制御	
	XT1発振モード時	入力ポート・モード時
0	XT1発振回路動作	入力ポート
1	XT1発振回路停止	

HIOSTOP	高速内蔵発振クロックの動作制御
0	高速内蔵発振回路動作
1	高速内蔵発振回路停止 ^{注2}

注1. 78K0R/IB3は、XTSTOPビットを搭載していません。78K0R/IB3の場合は、ビット6は0固定になります。

2. 8 MHz (TYP.) 高速内蔵発振クロックが停止します。40 MHz高速内蔵発振クロックが動作中 (DSCON = 1) の場合は、高速内蔵発振回路停止 (HIOSTOP = 1) に設定禁止です。40 MHz高速内蔵発振クロックを停止する場合は、HIOSTOPビットではなく40 MHz高速内蔵発振制御レジスタ (DSCCTL) で設定してください。

注意1. リセット解除後は、クロック動作モード制御レジスタ (CMC) を設定してからCSCレジスタを設定してください。

2. MSTOPの設定でX1発振を開始する場合、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。
3. XSTOPビットの設定でXT1発振を開始する場合は、サブシステム・クロックに必要な発振安定時間をソフトウェアにてウエイトしてください。
4. CPU周辺ハードウェア・クロック (f_{CLK}) に選択しているクロックは、CSCレジスタで停止させないでください。
5. クロック発振停止 (外部クロック入力無効) するためのレジスタのフラグ設定と停止前の条件は、表5 - 3のようになります。
6. リセット解除後MSTOPビットを0に設定する前に発振安定時間選択レジスタ (OSTS) を設定してください。ただしOSTSレジスタを初期値のまま使用の場合は、OSTSレジスタを設定する必要はありません。

表5 - 3 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	CSCレジスタのフラグ設定
X1クロック	CPU / 周辺ハードウェア・クロックが高速システム・クロック以外で動作 (CLS = 0かつMCS = 0, またはCLS = 1)	MSTOP = 1
外部メイン・システム・クロック		
サブシステム・クロック 注	CPU / 周辺ハードウェア・クロックがサブシステム・クロック以外で動作 (CLS = 0)	XTSTOP = 1
高速内蔵発振クロック	CPU / 周辺ハードウェア・クロックが高速内蔵発振クロック, 40 MHz高速内蔵発振クロック以外で動作 (CLS = 0かつMCS = 1, またはCLS = 1)	HIOSTOP = 1

注 78K0R/IB3には、サブシステム・クロックはありません。

(4) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウント状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生、STOP命令、MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

備考 発振安定時間カウンタは、次の場合にカウントを開始します。

- ・ X1クロック発振開始時 (EXCLK, OSCSEL = 0, 1 MSTOP = 0)
- ・ STOPモードを解除したとき

図5 - 6 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10\text{ MHz}$ 時	$f_x = 20\text{ MHz}$ 時	
0	0	0	0	0	0	0	0	$2^8/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

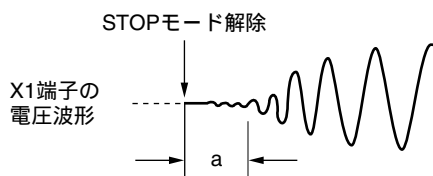
注意1. 上記時間経過後, MOST8から順番に“1”となっていき, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。

次のときには, OSTSの発振安定時間を, 発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。

- CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで, X1クロックの発振を開始する場合
- CPUクロックが高速内蔵発振クロックで, X1クロックも発振している状態でSTOPモードに移行し, その後, STOPモードを解除する場合
(したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(5) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間を自動でウェイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までを確認できます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図5 - 7 発振安定時間選択レジスタ (OSTS) のフォーマット

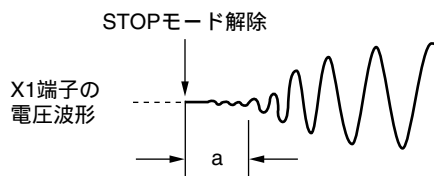
アドレス : FFFA3H リセット時 : 07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択	
				$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs	設定禁止
0	0	1	$2^9/f_x$	51.2 μs	25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs	51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs	102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs	409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms	1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms	6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms	13.11 ms

注意1 . CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSレジスタを設定しておいてください。

- 2 . 発振安定時間が20 μs 以下は設定禁止です。
- 3 . OSTSレジスタの設定を変更する場合は、クロック動作ステータス制御レジスタ (CSC) のMSTOPビットを0に設定する前に行ってください。
- 4 . X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
- 5 . 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。次のときには、OSTSの発振安定時間を、発振開始後にOSTCレジスタで確認したいカウント値より大きい値に設定してください。
 - ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロックで、X1クロックの発振を開始する場合
 - ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除する場合
(したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないので注意してください)
- 6 . X1クロックの発振安定時間は、クロック発振を開始するまでの時間 (下図a) は含みません。



備考 f_x : X1クロック発振周波数

(6) 40 MHz高速内蔵発振制御レジスタ (DSCCTL)

40 MHz高速内蔵発振クロック (DSC) 機能の制御を行うレジスタです。

40 MHz高速内蔵発振クロック (f_{IH40}) の発振と、CPU / 周辺ハードウェア・クロックとして40 MHz高速内蔵発振クロック (f_{IH40}) の供給を制御することができます。

DSCCTLは、1ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 8 40 MHz高速内蔵発振制御レジスタ (DSCCTL) のフォーマット

アドレス : F00F6H リセット時 : 00H R/W^注

略号	7	6	5	4	[3]	[2]	[1]	[0]
DSCCTL	0	0	0	0	DSCS	SELDSC	DSPO	DSCON

DSCS	40 MHz高速内蔵発振供給状態フラグ
0	供給していない
1	供給している (CPU/周辺ハードウェア・クロック (f _{CLK}) は40 MHz高速内蔵発振動作)

SELDSC	CPU / 周辺ハードウェア・クロック (f _{CLK}) への40 MHz高速内蔵発振選択
0	40 MHz高速内蔵発振を選択しない (システム・クロック制御レジスタ (CKC) で選択されたクロックがf _{CLK} へ供給)
1	40 MHz高速内蔵発振を選択 (40 MHz高速内蔵発振がf _{CLK} へ供給)

DSPO	40 MHz動作選択ビット
0	f _{CLK} = 40 MHz (TYP.) 時以外
1	f _{CLK} = 40 MHz (TYP.) 時 (40 MHz対応の周辺ハードウェアにはf _{CLK} のクロックを供給し、非対応のCPU / 周辺ハードウェアにf _{CLK} /2のクロックを供給)

DSCON	40 MHz高速内蔵発振クロック (f _{IH40}) の動作 / 停止
0	停止
1	動作

注 ビット3は、Read Onlyです。

注意1. V_{DD} 2.7 VでDSCONビットを設定後、100 μs経過後にDSPOビット、SELDSCビットの順で設定してください。

2. DSCON = 1のときは高速内蔵発振回路を動作(HIOSTOP = 0)させておく必要があります。

次にCPU / 周辺ハードウェア・クロック (f_{CLK}) の選択に関するビットの設定を示します。

表5 - 4 CPU / 周辺ハードウェア・クロック (f_{CLK}) クロックとビット設定の関係

CMC レジスタ			CSC レジスタ			CKC レジスタ		DSCCTLレジスタ			CPU / 周辺ハードウェア・ クロック (f_{CLK})
EXCLK	OSCSEL	OSCSELS 注1	MSTOP	XTSTOP 注1	HIOSTOP	CSS	MCM0	SELDSC	DSPO	DSCON	
0	1	x	0	x	x	0	1	0	0	x	高速システム・クロック (X1発振) (2~20 MHz)
1	1	x	0	x	x	0	1	0	0	x	高速システム・クロック (外部クロック入力) (2~20 MHz)
x	x	x	x	x	0	0	0	0	0	x	高速内蔵発振クロック (8 MHz (TYP.))
x	x	1	x	0	x	1	x注2	0	0	x	サブシステム・クロック注3 (32.768 kHz)
x	x	x	x	x	0	0	0	1	1	1	40 MHz高速内蔵発振クロック (40 MHz (TYP.))注4

注1. 78K0R/IB3は、このビットを搭載していません。

2. CSS = 1を設定した状態で、MCM0ビットの値を変更することは禁止です。

3. 78K0R/IB3には、サブシステム・クロックはありません。

4. 40 MHzに非対応のCPU / 周辺ハードウェアへのクロックは、DSPO (DSCCTLレジスタのビット1) = 1とすることで2分周 ($f_{CLK}/2$) されるので、20 MHzのクロックが供給されます。

備考 x : don't care

(7) 周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)

各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

このレジスタで制御される以下の周辺機能を使用する場合は、周辺機能の初期設定前に対応するビットをセット(1)してください。

- ・リアルタイム・カウンタ^{注1}
- ・A/Dコンバータ
- ・シリアル・インタフェースIICA^{注2}
- ・シリアル・アレイ・ユニットSAU
- ・コンパレータ/プログラマブル・ゲイン・アンプ
- ・タイマ・アレイ・ユニットTAUS
- ・タイマ・アレイ・ユニットTAUSによるインバータ制御機能

PER0, PER1, PER2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により、00Hになります。

注1. 78K0R/IB3には搭載していません。

2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品には搭載していません。

図5-9 周辺イネーブル・レジスタのフォーマット (1/2)

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN ^{注1}	0	ADCEN	IICAEN ^{注2}	0	SAU0EN	0	0

アドレス：F00F1H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	OACMPEN	0	0	0

アドレス：F00F2H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	0	0	0	TAUOPEN	TAU0EN

ビット7 (PER0)	RTCEN ^{注1}	リアルタイム・カウンタ (RTC) の入力クロック供給 ^{注3} の制御
	0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
	1	入力クロック供給許可 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

ビット5 (PER0)	ADCEN	A/Dコンバータの入力クロック供給の制御
	0	入力クロック供給停止 ・A/Dコンバータで使用するSFRへのライト不可 ・A/Dコンバータはリセット状態
	1	入力クロック供給許可 ・A/Dコンバータで使用するSFRへのリード/ライト可

- 注1. 78K0R/IB3は、RTCENビットを搭載していません。78K0R/IB3の場合は、PER0レジスタのビット7は0固定になります。
2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は、IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は、PER0レジスタのビット4は0固定になります。
3. RTCENで制御可能な入力クロックは、CPUからリアルタイム・カウンタ (RTC) で使用するレジスタにアクセスする場合に使用されます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意 次のビットは必ず0を設定してください。

- ・PER0レジスタのビット0, 1, 3, 6
(78K0R/IB3の場合は、ビット0, 1, 3, 4, 6, 7, 78K0R/IC3の38ピン, 44ピン製品の場合は、0, 1, 3, 4, 6)
- ・PER1レジスタのビット0-2, 4-7
- ・PER2レジスタのビット2-7

図5 - 9 周辺イネーブル・レジスタのフォーマット (2/2)

ビット4 (PER0)	IICAEN ^注	シリアル・インタフェースIICAの入カクロック供給の制御
	0	入カクロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
	1	入カクロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可
ビット2 (PER0)	SAU0EN	シリアル・アレイ・ユニットの入カクロック供給の制御
	0	入カクロック供給停止 ・シリアル・アレイ・ユニットで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットはリセット状態
	1	入カクロック供給許可 ・シリアル・アレイ・ユニットで使用するSFRへのリード/ライト可
ビット3 (PER1)	OACMPEN	コンパレータ/プログラマブル・ゲイン・アンプの入カクロック供給の制御
	0	入カクロック供給停止 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ/プログラマブル・ゲイン・アンプはリセット状態
	1	入カクロック供給許可 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのリード/ライト可
ビット1 (PER2)	TAUOPEN	インバータ制御機能の入カクロック供給の制御
	0	入カクロック供給停止 ・インバータ制御機能で使用するSFRへのライト不可 ・インバータ制御機能はリセット状態
	1	入カクロック供給許可 ・インバータ制御機能で使用するSFRへのリード/ライト可
ビット0 (PER2)	TAU0EN	タイマ・アレイ・ユニットTAUSの入カクロック供給の制御
	0	入カクロック供給停止 ・タイマ・アレイ・ユニットTAUSで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットTAUSはリセット状態
	1	入カクロック供給許可 ・タイマ・アレイ・ユニットTAUSで使用するSFRへのリード/ライト可

注 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は, IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は, PER0レジスタのビット4は0固定になります。

注意 次のビットは必ず0を設定してください。

- ・PER0レジスタのビット0, 1, 3, 6
(78K0R/IB3の場合は, ビット0, 1, 3, 4, 6, 7, 78K0R/IC3の38ピン, 44ピン製品の場合は, 0, 1, 3, 4, 6)
- ・PER1レジスタのビット0-2, 4-7
- ・PER2レジスタのビット2-7

(8) 動作スピード・モード制御レジスタ (OSMC)

フラッシュ・メモリの高速動作昇圧回路を制御するレジスタです。

10 MHz以上のシステム・クロックで動作する場合は、01Hに設定してください。

システム・クロックを10 MHz以下の低速で動作する際には、初期値00Hで使用するにより昇圧回路を停止できるので、消費電力を低減することができます。

OSMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図5 - 10 動作スピード・モード制御レジスタ (OSMC) のフォーマット

アドレス : F00F3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
OSMC	0	0	0	0	0	0	0	FSEL

FSEL	f _{CLK} の周波数選択
0	10 MHz以下の周波数で動作 (デフォルト)
1	10 MHzを越える周波数で動作

- 注意1. OSMCは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。
- FSELに“ 1 ”を書き込む場合は、必ず以下の2つの動作よりも前に行なってください。
 - ・ f_{CLK}を高速内蔵発振クロック f_{IH}以外に切り替える
 - ・ DMAコントローラを動作させる
 - FSELビットに“ 1 ”を書き込むと、CPUはウェイト (140.5クロック (f_{CLK})) します。ウェイト中に発生した割り込み要求は保留されます。
ただし、CPUウェイト中も、f_xの発振安定時間のカウンタは継続可能です。
 - f_{CLK}を10 MHz以上にする場合には、FSELを“ 1 ”にセットしてから、3クロック以上経過後に切り替えてください。
 - FSEL = 0に設定する場合は、10 MHz以下での動作時に設定してください。
 - V_{DD} = 2.7 VでSTOPモードに移行する場合は、FSEL = 0に設定してください。
 - OSMCレジスタのFSELビットに1を設定する場合、設定後3クロック以内はDMAを動作許可 (DENn = 1) にしないでください。

5.4 システム・クロック発振回路

5.4.1 X1発振回路

X1発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子 (2 ~ 20 MHz) によって発振します。

また、外部クロックを入力することができます。その場合はEXCLK端子にクロック信号を入力してください。

X1発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット7, 6 (EXCLK, OSCSEL) を次のように設定してください。

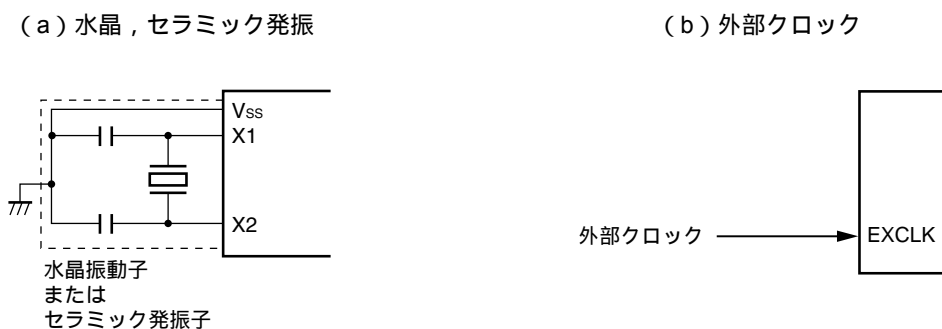
- ・水晶, セラミック発振 : EXCLK, OSCSEL = 0, 1
- ・外部クロック入力 : EXCLK, OSCSEL = 1, 1

X1発振回路を使用しない場合は、入力ポート・モード (EXCLK, OSCSEL = 0, 0) に設定してください。

さらに、入力ポートとしても使用しない場合は、表2 - 5 ~ 表2 - 10 各端子の未使用端子処理を参照してください。

図5 - 11にX1発振回路の外付け回路例を示します。

図5 - 11 X1発振回路の外付け回路例



注意を次ページに示します。

5.4.2 XT1発振回路 (78K0R/IB3以外の製品)

XT1発振回路はXT1, XT2端子に接続された水晶振動子 (標準: 32.768 kHz) によって発振します。

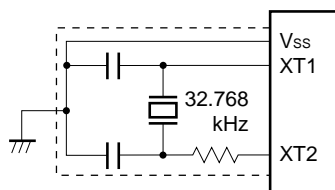
XT1発振回路を使用する場合、クロック動作モード制御レジスタ (CMC) のビット4 (OSCSELS) に1を設定してください。

XT1発振回路を使用しない場合は、入力ポート・モード (OSCSELS = 0) に設定してください。

さらに、入力ポートとしても使用しない場合は、表2 - 5 ~ 表2 - 10 各端子の未使用端子処理を参照してください。

図5 - 12にXT1発振回路の外付け回路例を示します。

図5 - 12 XT1発振回路の外付け回路例 (水晶発振)



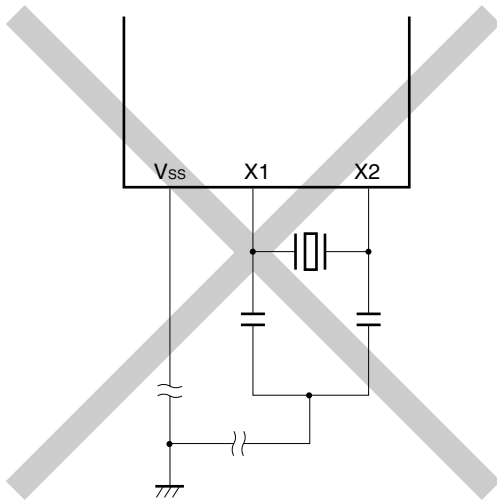
注意を次ページに示します。

注意 X1発振回路およびXT1発振回路を使用する場合は、配線容量などの影響を避けるために、図5 - 11、5 - 12の破線の部分を次のように配線してください。

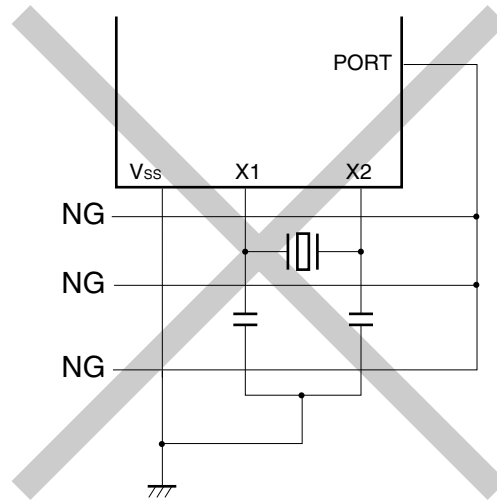
- ・配線は極力短くしてください。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させないでください。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにしてください。大電流が流れるグランド・パターンに接地しないでください。
- ・発振回路から信号を取り出さないでください。
- ・端子や回路基板には寄生容量が含まれています。したがって実際に使用する回路基板にて発振評価を行い、問題がないことを確認してください。
- ・回路基板は寄生容量、配線抵抗の少ない材質で回路を構成してください。
- ・XT1発振回路の周辺には、できるかぎり V_{SS} と同電位のグランド・パターンを配置してください。
- ・XT1端子、XT2端子と発振子の信号線は他の信号と交差させないでください。また、変化する大電流が流れる線と接近させないでください。
- ・高湿度環境における回路基板の吸湿や、基板上での結露によってXT1端子とXT2端子間のインピーダンスが低下し発振に障害が発生する場合があります。このような環境でご使用される場合は、回路基板をコーティングするなどの防湿対策を行ってください。
- ・回路基板上をコーティングする場合は、XT1端子、XT2端子間に容量やリークが生じない材料をご使用ください。

図5 - 13 発振子の接続の悪い例 (1/2)

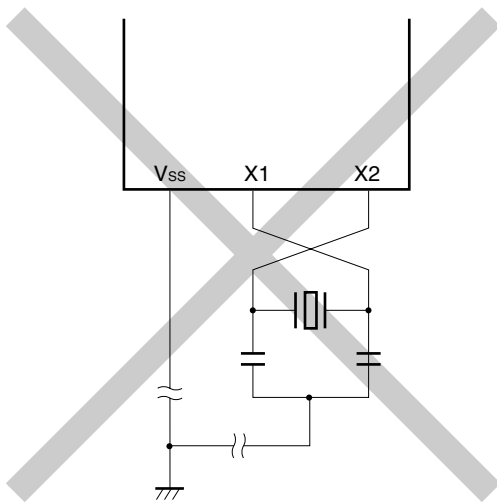
(a) 接続回路の配線が長い



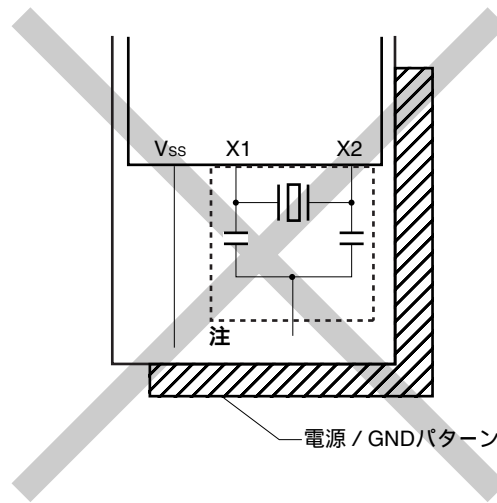
(b) 信号線が交差している



(c) X1, X2の信号線の配線が交差している



(d) X1, X2配線の下に電源/GNDパターンがある



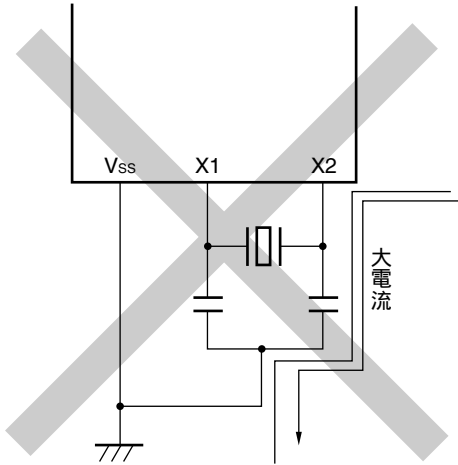
注 多層基板や両面基板において、X1, X2端子と発振子の配線部（図中の点線部分）の下には、電源/GNDパターンを配置しないでください。

容量成分の原因となり、発振特性に影響を与える配置はしないでください。

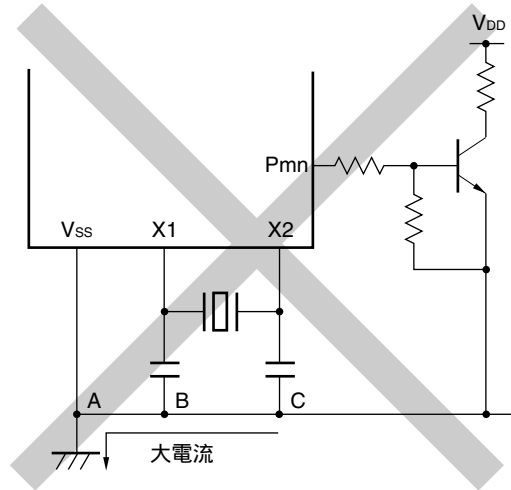
備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

図5 - 13 発振子の接続の悪い例 (2/2)

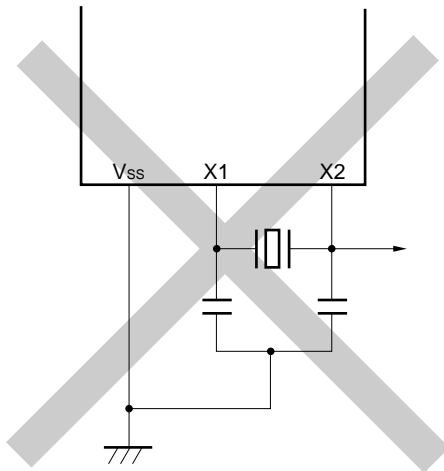
(e) 変化する大電流が信号線に近接している



(f) 発振回路部のグランド・ライン上に電流が流れる (A点, B点, C点の電位が変動する)



(g) 信号を取り出している



注意 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

5.4.3 高速内蔵発振回路

78K0R/IX3は、高速内蔵発振回路を内蔵しています（8, 40 MHz（TYP.））。クロック動作ステータス制御レジスタ（CSC）のビット0（HIOSTOP）、40 MHz高速内蔵発振制御レジスタ（DSCCTL）のビット0（DSCON）にて発振を制御できます。

リセット解除後、8 MHzの高速内蔵発振回路が自動的に発振を開始します。その後、DSCCTLレジスタのDSCONビットを1に設定すると、40 MHzの高速内蔵発振回路は発振を開始します。

5.4.4 低速内蔵発振回路

78K0R/IX3は、低速内蔵発振回路を内蔵しています。

低速内蔵発振クロックは、ウォッチドッグ・タイマのクロックとしてのみ使用します。CPUクロックとして使用できません。

リセット解除後、オプション・バイトで「ウォッチドッグ・タイマを動作許可」に設定した場合は、低速内蔵発振回路は自動的に発振を開始し、ウォッチドッグ・タイマを駆動します（30 kHz（TYP.））。

ウォッチドッグ・タイマ停止時以外では、低速内蔵発振回路の発振は継続します。ウォッチドッグ・タイマ動作時に、プログラムが暴走する場合においても、低速内蔵発振クロックが停止することはありません。

5.4.5 プリスケーラ

プリスケーラは、メイン・システム・クロックおよびサブシステム・クロックを分周し、CPU/周辺ハードウェア・クロックを生成します。

5.5 クロック発生回路の動作

クロック発生回路は次に示す各種クロックを発生し、かつ、スタンバイ・モードなどのCPUの動作モードを制御します（図5 - 1, 5 - 2を参照）。

メイン・システム・クロック f_{MAIN}
・高速システム・クロック f_{MX}
 X1クロック f_x
 外部メイン・システム・クロック f_{EX}
・高速内蔵発振クロック f_{IH}
・40 MHz高速内蔵発振クロック f_{IH40}
サブシステム・クロック f_{SUB} 注
低速内蔵発振クロック f_{IL}
CPU / 周辺ハードウェア・クロック f_{CLK}

注 78K0R/IB3には、サブシステム・クロックはありません。

78K0R/Ix3では、リセット解除後、CPUは高速内蔵発振回路の出力により動作を開始します。これにより次のことが可能となります。

(1) セーフティ機能の強化

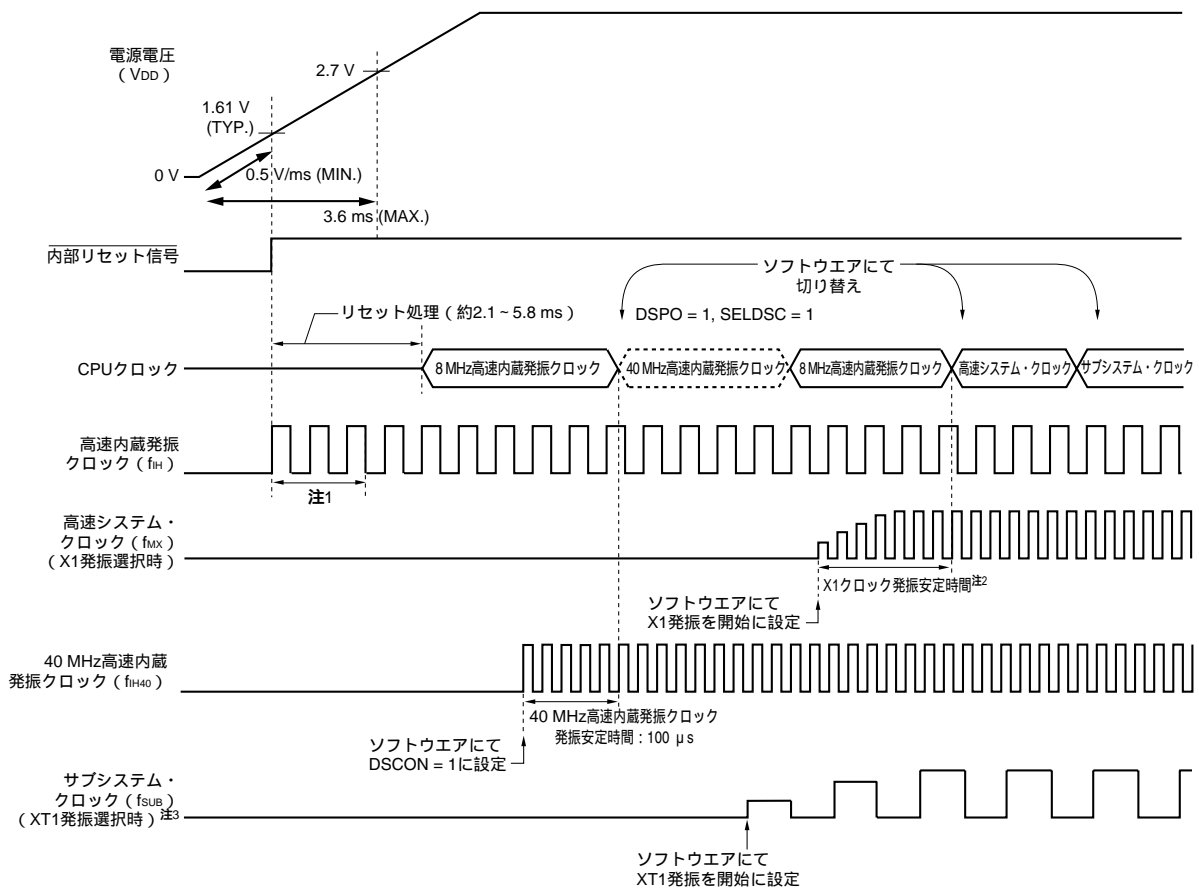
リセット解除後に破壊や接続不良などでX1クロックが動かないとき、デフォルトでCPUクロックがX1クロックの場合では、デバイスはその時点で動作不能となってしまいます。しかしCPUのスタート・クロックが高速内蔵発振クロックの場合、リセット解除後に高速内蔵発振クロックで起動することができます。これにより、リセットの要因をソフトウェアで認識したり、異常時にセーフティ処理を行うなどの最低限の処理をしてシステムを安全に終了することが可能となります。

(2) パフォーマンスの向上

X1クロックの発振安定時間を待たずにCPUを起動できるため、トータル・パフォーマンスの向上が可能です。

電源電圧投入時のクロック発生回路の動作を、図5 - 14に示します。

図5 - 14 電源電圧投入時のクロック発生回路の動作



電源投入後、パワーオン・クリア (POC) 回路による内部リセット信号が発生されます。

電源電圧が1.61 V (TYP.) を越えると、リセットが解除され、高速内蔵発振器が自動的に発振開始されます。リセット解除後に電源/レギュレータの電圧安定待ちなどのリセット処理が行われたのちに、CPUが高速内蔵発振クロックで動作開始します。

X1クロックまたはXT1クロック^{注3}は、ソフトウェアにて発振開始を設定してください (5.6.3 X1発振回路の設定例, 5.6.4 XT1発振回路の設定例 (78K0R/IB3以外の製品) を参照)。

40 MHz高速内蔵発振クロックに切り替える場合は、ソフトウェアにてDSCON = 1に設定し発振を開始してください。

CPUをX1クロックまたはXT1クロック^{注3}に切り替える場合は、クロックの発振安定待ち後に、ソフトウェアにて切り替えを設定してください (5.6.3 X1発振回路の設定例, 5.6.4 XT1発振回路の設定例 (78K0R/IB3以外の製品) を参照)。

40 MHz高速内蔵発振クロックに切り替える場合は、DSCONビット (40 MHz高速内蔵発振制御レジスタ (DSCCTL) のビット0) を設定したあと100 μsウエイトし、ソフトウェアにてDSPO = 1, SELDSC = 1に設定することでクロックが切り替わります。

注1. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。

2. リセット解除時は、X1クロックの発振安定時間を発振安定時間カウンタ状態レジスタ (OSTC) で確認してください。

3. 78K0R/IB3には、サブシステム・クロックはありません。

(注意、備考は次ページにあります。)

注意1. 電源投入から電圧が2.7 Vに達する時間は、3.6 ms以内にしてください。それよりも時間がかかる場合（0.5 V/ms (MIN.) よりも緩やかな場合）は、電源投入時から2.7 Vに達するまで、 $\overline{\text{RESET}}$ 端子にロウ・レベルを入力してください。2.7 Vに達するまで $\overline{\text{RESET}}$ 端子にロウ・レベルを入力したとき、 $\overline{\text{RESET}}$ 端子によるリセット解除後は、図5 - 14の以降と同様のタイミングで動作します。

電源電圧立ち上げ時間と電源電圧立ち上がり傾きについては、第28章 電気的特性を参照してください。

2. EXCLK端子からの外部クロック入力を使用する場合、発振安定待ち時間は不要です。

5.6 クロックの制御

5.6.1 高速内蔵発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速内蔵発振クロックで動作します。リセット解除後にシステム・クロック制御レジスタ (CKC) でCPU/周辺ハードウェア・クロックに供給する分周比を設定します。デフォルト ($f_{IH}/2 = 4 \text{ MHz}$) のまま使用する場合はCKCレジスタを設定する必要はありません。

【レジスタの設定】

CKCレジスタのMDIV2-MDIV0ビットでCPU/周辺ハードウェア・クロックの分周比を設定します。

	7	6	5	4	3	2	1	0
CKC	CLS ^注	CSS	MCS	MCM0		MDIV2	MDIV1	MDIV0
	0	0	0	0	1	0/1	0/1	0/1

注 78K0R/IB3は、このビットを搭載していません。78K0R/IB3の場合は0固定になります。

5.6.2 40 MHz高速内蔵発振回路の設定例

CPU/周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速内蔵発振クロックで動作します。その後、40 MHz高速内蔵発振クロックを使用する場合は、動作スピード・モード制御レジスタ (OSMC), 40 MHz高速内蔵発振制御レジスタ (DSCCTL) の順番で設定をします。

【レジスタの設定】 ~ の順で設定してください。

OSMCレジスタに10MHzを超える周波数の動作に設定します。

	7	6	5	4	3	2	1	0
OSMC								FSEL
	0	0	0	0	0	0	0	1

FSELビットをセット (1) してから10 μs ウェイトします。

DSCCTLレジスタのDSCONビットをセット (1) して40 MHz高速内蔵発振回路を動作させます。

	7	6	5	4	3	2	1	0
DSCCTL					DSCS	SELDSC	DSPO	DSCON
	0	0	0	0	0	0	0	1

DSCONビットをセット (1) してから100 μs ウェイトします。

DSCCTLレジスタのDSPOビットをセット (1) してタイマ・アレイ・ユニットTAUSとインバータ制御機能部に $f_{CLK} = 40 \text{ MHz}$, それ以外のCPU/周辺ハードウェアには $f_{CLK}/2$ を供給するように設定します。

	7	6	5	4	3	2	1	0
DSCCTL					DSCS	SELDSC	DSPO	DSCON
	0	0	0	0	0	0	1	1

DSCCTLレジスタのSELDSCビットをセット（1）して高速内蔵発振クロックを8 MHzから40 MHzに切り替えます。

	7	6	5	4	3	2	1	0
DSCCTL					DSCS	SELDSC	DSPO	DSCON
	0	0	0	0	0	1	1	1

DSCSビットが1になるまでウエイトします。

CKCレジスタのMDIV2-MDIV0ビットでCPU / 周辺ハードウェア・クロックの分周比を設定します。

	7	6	5	4	3	2	1	0
CKC	CLS ^注	CSS	MCS	MCM0		MDIV2	MDIV1	MDIV0
	0	0	0	0	1	0/1	0/1	0/1

注 78K0R/IB3は、このビットを搭載していません。78K0R/IB3の場合は0固定になります。

5.6.3 X1発振回路の設定例

CPU / 周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速内蔵発振クロックで動作します。その後、X1発振クロックに変更する場合、動作スピード・モード制御レジスタ (OSMC)、クロック動作モード制御レジスタ (CMC)、クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、発振安定時間カウンタ状態レジスタ (OSTC) で発振の安定待ちを行います。発振安定待ちが終了したあと、システム・クロック制御レジスタ (CKC) でX1発振クロックをf_{CLK}に設定します。

【レジスタ設定】 ~ の順に設定してください。

OSMCレジスタにCPU / 周辺ハードウェアの周波数の設定をします。

	7	6	5	4	3	2	1	0
OSMC								FSEL
	0	0	0	0	0	0	0	1

FSELビット：CPU / 周辺ハードウェア・クロックが10 MHz以下の場合は0を設定してください。

FSELビットをセット（1）してから10 μsウエイトします。

CMCレジスタのOSCSELビットをセット（1）してX1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL		OSCSELS ^注				AMPH
	0	1	0	0	0	0	0	1

AMPHビット：X1発振クロックが10 MHz以下の場合は0を設定してください。

OSCSELSビット^注：P122, P123をXT1発振モードにする場合に1を設定します。

CSCレジスタのMSTOPビットをクリア（0）してX1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP ^注						HIOSTOP
	0	1	0	0	0	0	0	0

XTSTOPビット^注：XT1発振回路を発振させる場合は0を設定してください。

OSTCレジスタでX1発振回路の発振安定待ちを行います。

例) 10 MHzの発振子で102.4 μ s以上までウェイトする場合は、以下の値になるまでウェイトしてください。

	7	6	5	4	3	2	1	0
OSTC	MOST8	MOST9	MOST10	MOST11	MOST13	MOST15	MOST17	MOST18
	1	1	1	0	0	0	0	0

CKCレジスタのMCM0ビットでX1発振クロックをCPU / 周辺ハードウェア・クロックに設定します。

MDIV2-MDIV0ビットで分周比を設定します。

	7	6	5	4	3	2	1	0
CKC	CLS ^注	CSS	MCS	MCM0		MDIV2	MDIV1	MDIV0
	0	0	0	1	1	0/1	0/1	0/1

注 78K0R/IB3は、このビットを搭載していません。78K0R/IB3の場合は0固定になります。

MCSビットが1になるまでウェイトします。

5.6.4 XT1発振回路の設定例 (78K0R/IB3以外の製品)

CPU / 周辺ハードウェア・クロック (f_{CLK}) はリセット解除後必ず高速内蔵発振クロックで動作します。その後、XT1発振クロックに変更する場合、動作スピード・モード制御レジスタ (OSMC), クロック動作モード制御レジスタ (CMC), クロック動作ステータス制御レジスタ (CSC) で発振回路の設定と発振開始を行い、システム・クロック制御レジスタ (CKC) でXT1発振クロックをf_{CLK}に設定します。

【レジスタ設定】 ~ の順に設定してください。

OSMCレジスタにCPU / 周辺ハードウェアの周波数の設定をします。

	7	6	5	4	3	2	1	0
OSMC								FSEL
	0	0	0	0	0	0	0	0

CMCレジスタのOSCSELSビットをセット (1) してXT1発振回路を動作させます。

	7	6	5	4	3	2	1	0
CMC	EXCLK	OSCSEL		OSCSELS				AMPH
	0	0	0	1	0	0	0	0

CSCレジスタのXTSTOPビットをクリア (0) してXT1発振回路の発振を開始します。

	7	6	5	4	3	2	1	0
CSC	MSTOP	XTSTOP						HIOSTOP
	1	0	0	0	0	0	0	0

タイマ機能などを用いて、サブシステム・クロックに必要な発振安定時間をソフトウェアでウェイトしてください。

CKCレジスタのCSSビットでXT1発振クロックをCPU / 周辺ハードウェア・クロックに設定します。

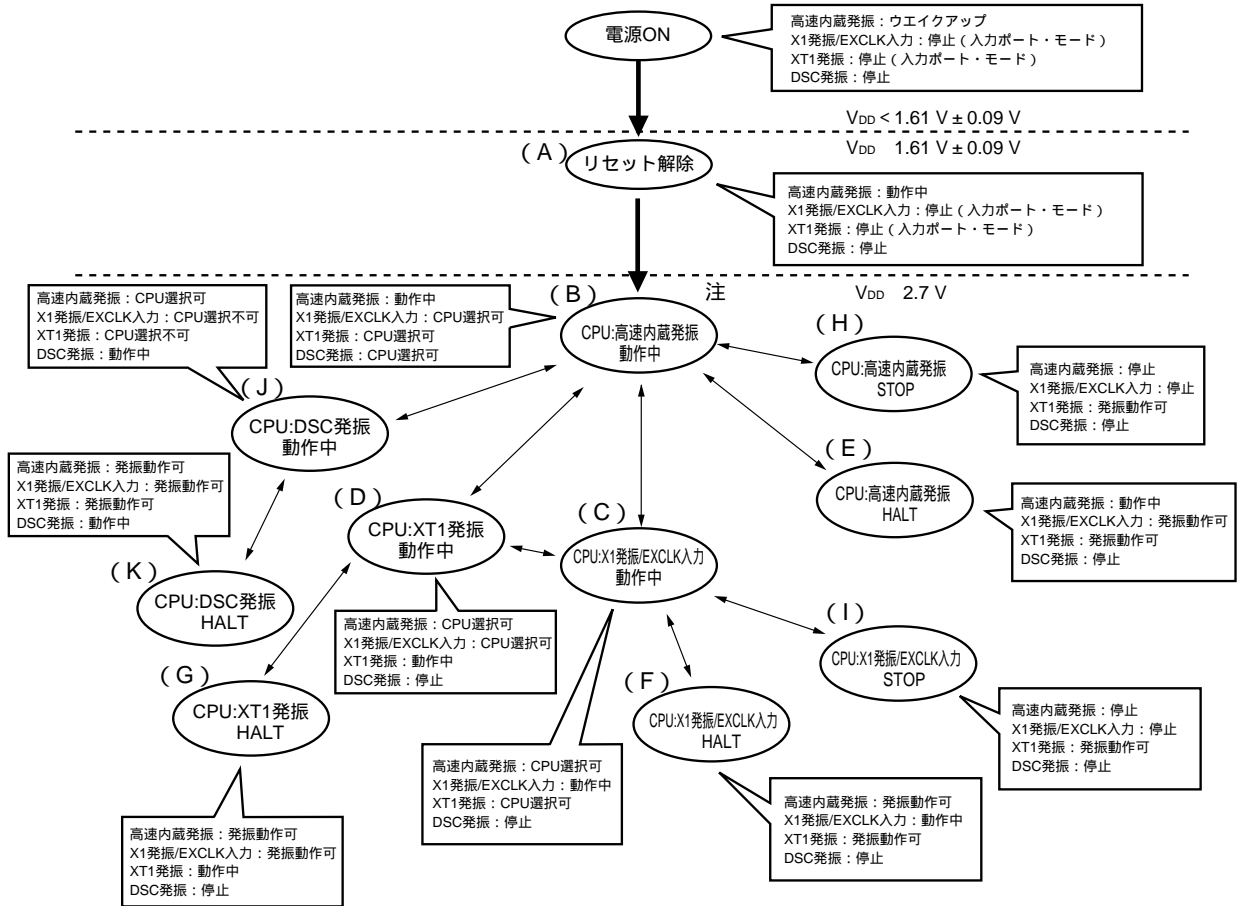
	7	6	5	4	3	2	1	0
CKC	CLS	CSS	MCS	MCM0		MDIV2	MDIV1	MDIV0
	0	1	0	0	1	0	0	0

CLSビットが1になるまでウェイトします。

5.6.5 CPUクロック状態移行図

この製品のCPUクロック状態移行図を図5 - 15, 5 - 16に示します。

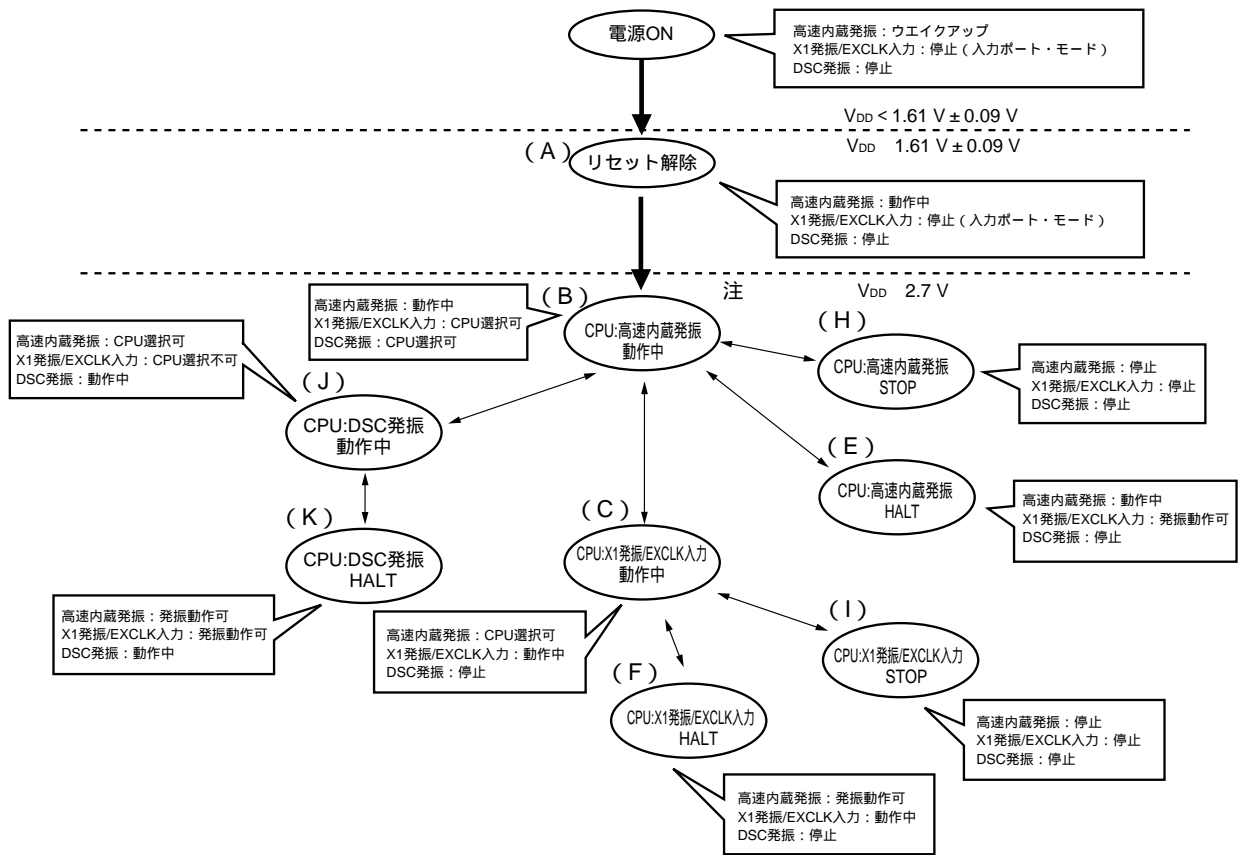
図5 - 15 CPUクロック状態移行図 (78K0R/IC3, ID3, IE3)



注 リセット解除後は、システム・クロック制御レジスタ (CKC) = 09Hにより、 $f_{CLK} = f_{IH}/2$ が選択されるため、4 MHz (8 MHz/2) の動作周波数で動作開始します。

備考 DSC : 40 MHz高速内蔵発振クロック

図5 - 16 CPUクロック状態移行図 (78K0R/IB3)



注 リセット解除後は、システム・クロック制御レジスタ (CKC) = 09Hにより、 $f_{CLK} = f_{IH}/2$ が選択されるため、4 MHz (8 MHz/2) の動作周波数で動作開始します。

備考 DSC : 40 MHz高速内蔵発振クロック

CPUクロックの移行とSFRレジスタの設定例などを表5 - 5に示します。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (1/6)

(1) リセット解除後 (A) に、CPUを高速内蔵発振クロック動作 (B) へ移行

状態遷移	SFRレジスタの設定
(A) (B)	SFRレジスタ設定不要 (リセット解除後の初期状態)

(2) リセット解除後 (A) に、CPUを高速システム・クロック動作 (C) へ移行

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSEL	AMPH	MSTOP	FSEL		MCM0
(A) (B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	0	0	確認 必要	1
(A) (B) (C) (X1クロック : 10 MHz < f_x 20 MHz)	0	1	1	0	1 ^{注2}	確認 必要	1
(A) (B) (C) (外部メイン・クロック)	1	1	0/1	0	0/1 ^{注2}	確認 不要	1

注1. CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

2. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

(3) リセット解除後 (A) に、CPUをサブシステム・クロック動作 (D) へ移行 (78K0R/IB3以外)

(リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^注	CSCレジスタ	発振安定待ち	CKCレジスタ
	OSCSELS	XTSTOP		CSS
(A) (B) (D)	1	0	必要	1

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

備考 表5 - 5の (A) - (K) は、図5 - 15、5 - 16の(A) - (K) と対応しています。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (2/6)

(4) リセット解除後 (A) に、CPUを40 MHz高速内蔵発振クロック動作 (J) へ移行
 (リセット解除直後、CPUは高速内蔵発振クロックで動作 (B))

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ			
	DSCCTL レジスタ	発振安定待ち	DSCCTL レジスタ	DSCCTL レジスタ
	DSCON			DSPO
(A) (B) (J)	1	必要 (100 μs)	1	1

(5) CPUを高速内蔵発振クロック動作 (B) から高速システム・クロック動作 (C) へ移行

(SFRレジスタの設定順序) →

状態遷移	CMCレジスタ ^{注1}			OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ
	EXCLK	OSCSSEL	AMPH		MSTOP	FSEL		MCM0
(B) (C) (X1クロック : 2 MHz f_x 10 MHz)	0	1	0	注2	0	0	確認 必要	1
(B) (C) (X1クロック : 10 MHz <math><f_x</math> 20 MHz)	0	1	1	注2	0	1 ^{注3}	確認 必要	1
(B) (C) (外部メイン・クロック)	1	1	0/1	注2	0	0/1	確認 不要	1

設定済みの場合は不要
 高速システム・クロック
動作中の場合は不要

注1. CMCレジスタは、リセット解除後、1回のみ設定可能です。設定済みの場合は不要です。

2. OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

3. $f_{CLK} > 10$ MHzのときは、FSEL = 1です。

$f_x > 10$ MHzのときでも、分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は、FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性を参照) に電源電圧が達してから、クロックを設定してください。

備考 表5 - 5の (A) - (K) は、図5 - 15, 5 - 16の(A) - (K) と対応しています。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (3/6)

(6) CPUを高速内蔵発振クロック動作 (B) から、サブシステム・クロック動作 (D) へ移行 (78K0R/IB3以外)

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CMCレジスタ ^注	CSCレジスタ	発振安定待ち	CKCレジスタ
		OSCSELS	XTSTOP		CSS
(B) (D)		1	0	必要	1

サブシステム・クロック動作中の場合は不要

注 CMCレジスタは、リセット解除後、8ビット・メモリ操作命令で1回のみ書き込み可能です。

(7) CPUを高速内蔵発振クロック動作 (B) から、40 MHz高速内蔵発振クロック動作 (J) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	DSCCTL レジスタ	発振安定待ち	DSCCTL レジスタ	DSCCTL レジスタ
		DSCON		DSPO	SELDSC
(B) (J)		1	必要 (100 μs)	1	1

40 MHz高速内蔵発振クロック
動作中の場合は不要

(8) CPUを高速システム・クロック動作 (C) から、高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序) →

状態遷移	SFRレジスタの設定フラグ	CSCレジスタ	発振精度安定待ち	CKCレジスタ
		HIOSTOP		MCM0
(C) (B)		0	10 μs	0

高速内蔵発振クロック
動作中の場合は不要

備考 表5 - 5の (A) - (K) は、図5 - 15, 5 - 16の(A) - (K) と対応しています。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (4/6)

(9) CPUを高速システム・クロック動作 (C) から, サブシステム・クロック動作 (D) へ移行 (78K0R/IB3以外)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		CSCレジスタ	発振安定待ち	CKCレジスタ
		XTSTOP		CSS
状態遷移	(C) (D)	0	必要	1

サブシステム・クロック動作中の場合は不要

(10) CPUをサブシステム・クロック動作 (D) から, 高速内蔵発振クロック動作 (B) へ移行 (78K0R/IB3以外)

(SFRレジスタの設定順序) →

SFRレジスタの設定フラグ		CSCレジスタ	CKCレジスタ	
		HIOSTOP	MCM0	CSS
状態遷移	(D) (B)	0	0	0

高速内蔵発振クロック動作中の場合は不要 設定済みの場合は不要

備考 表5 - 5の (A) - (K) は, 図5 - 15, 5 - 16の(A) - (K) と対応しています。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (5/6)

(11) CPUをサブシステム・クロック動作 (D) から高速システム・クロック動作 (C) へ移行 (78K0R/IB3以外)

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ 状態遷移	OSTS レジスタ	CSC レジスタ	OSMC レジスタ	OSTC レジスタ	CKC レジスタ	
		MSTOP	FSEL		MCM0	CSS
(D) (C) (X1クロック : 2 MHz f_x 10 MHz)	注1	0	0	確認 必要	1	0
(D) (C) (X1クロック : 10 MHz < f_x 20 MHz)	注1	0	1 ^{注2}	確認 必要	1	0
(D) (C) (外部メイン・クロック)	注1	0	0/1	確認 不要	1	0

高速システム・クロック
動作中の場合は不要

設定済みの場
合は不要

注1. OSTCの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTCで設定する発振安定時間

2. $f_{CLK} > 10$ MHzのときは, FSEL = 1です。

$f_x > 10$ MHzのときでも, 分周クロックを選択して $f_{CLK} = 10$ MHzとなる場合は, FSEL = 0で使用可能です。

注意 設定するクロックの動作可能電圧 (第28章 電気的特性を参照) に電源電圧が達してから, クロックを設定してください。

(12) CPUを40 MHz高速内蔵発振クロック動作 (J) から, 高速内蔵発振クロック動作 (B) へ移行

(SFRレジスタの設定順序)

SFRレジスタの設定フラグ 状態遷移	DSCCTLレジスタ		
	SELDSC	DSPO	DSCON
(J) (B)	0	0	0

備考 表5 - 5の (A) - (K) は, 図5 - 15, 5 - 16の(A) - (K) と対応しています。

表5 - 5 CPUクロックの移行とSFRレジスタの設定例 (6/6)

- (13) ・ CPUが高速内蔵発振クロック動作中 (B) にHALTモード (E) へ移行
 - ・ CPUが高速システム・クロック動作中 (C) にHALTモード (F) へ移行
 - ・ CPUがサブシステム・クロック動作中 (D) にHALTモード (G) へ移行 (78K0R/IB3以外)
 - ・ CPUが40 MHz高速内蔵発振クロック動作中 (J) にHALTモード (K) へ移行

状態遷移	設定内容
(B) (E) (C) (F) (D) (G) (J) (K)	HALT命令を実行する

- (14) ・ CPUが高速内蔵発振クロック動作中 (B) にSTOPモード (H) へ移行
 - ・ CPUが高速システム・クロック動作中 (C) にSTOPモード (I) へ移行

(設定順序) →

状態遷移		設定内容		
(B) (H)		STOPモード中に動作できない周辺機能を停止する	-	STOP命令を実行する
(C) (I)	X1発振		OSTSレジスタを設定する	
	外部クロック		-	

備考 表5 - 5の (A) - (K) は、図5 - 15, 5 - 16の(A) - (K) と対応しています。

5.6.6 CPUクロックの移行前の条件と移行後の処理

CPUクロックの移行前の条件と移行後の処理について、次に示します。

表5-6 CPUクロックの移行について(1/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
高速内蔵発振 クロック	X1クロック	X1発振が安定していること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後	高速内蔵発振器を停止 (HIOSTOP = 1) すると、動作電流を低減可能
	外部メイン・システム・クロック	EXCLK端子からの外部クロック入力を有効にすること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0	
	サブシステム・クロック ^注	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	
	40 MHz 高速内蔵発振クロック	DSC発振が安定していること ・ DSCON = 1に設定して発振安定時間(100 μ s) 経過後 ・ DSPO = 1, SELDSC = 1	-
X1クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP = 0	X1発振停止可能 (MSTOP = 1)
	外部メイン・システム・クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	サブシステム・クロック ^注	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	X1発振停止可能 (MSTOP = 1)
	40 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
外部メイン・システム・クロック	高速内蔵発振クロック	高速内蔵発振器が発振されていること ・ HIOSTOP = 0	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	X1クロック	移行不可 (変更したい場合は、いったんリセットしてから再設定してください。)	-
	サブシステム・クロック ^注	XT1発振が安定していること ・ OSCSELS = 1, XTSTOP = 0 ・ 発振安定時間経過後	外部メイン・システム・クロック入力を無効に設定可能 (MSTOP = 1)
	40 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

注 78K0R/IB3には、サブシステム・クロックはありません。

表5 - 6 CPUクロックの移行について (2/2)

CPUクロック		移行前の条件	移行後の処理
移行前	移行後		
サブシステム・クロック ^注	高速内蔵発振クロック	高速内蔵発振器が発振され、メイン・システム・クロックに高速内蔵発振クロックが選択されていること ・ HIOSTOP = 0, MCS = 0	XT1発振停止に設定可能 (XTSTOP = 1)
	X1クロック	X1発振が安定、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 0, MSTOP = 0 ・ 発振安定時間経過後 ・ MCS = 1	
	外部メイン・システム・クロック	EXCLK端子からの外部クロックが入力有効、かつメイン・システム・クロックに高速システム・クロックが選択されていること ・ OSCSEL = 1, EXCLK = 1, MSTOP = 0 ・ MCS = 1	
	40 MHz 高速内蔵発振クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
40 MHz 高速内蔵発振クロック	高速内蔵発振クロック	・ SELDSC = 0, DSPO = 0 (移行時に設定します)	40 MHz高速内蔵発振クロック停止に設定可能 (DSCON = 0)
	X1クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	外部メイン・システム・クロック	いったん高速内蔵発振クロックに切り替えないと移行できません。	-
	サブシステム・クロック ^注	いったん高速内蔵発振クロックに切り替えないと移行できません。	-

注 78K0R/IB3には、サブシステム・クロックはありません。

5.6.7 CPUクロックの切り替えとメイン・システム・クロックの切り替えに要する時間

システム・クロック制御レジスタ (CKC) のビット0-2, 4, 6 (MDIV0-MDIV2, MCM0, CSS) との設定により, CPUクロックの切り替え (メイン・システム・クロック サブシステム・クロック), メイン・システム・クロックの切り替え (高速内蔵発振クロック 高速システム・クロック) およびメイン・システム・クロックの分周比変更をすることができます。

実際の切り替え動作は, CKCを書き換えた直後ではなく, CKCを変更したのち, 数クロックは切り替え前のクロックで動作します (表5-7~表5-10参照)。

CPUクロックがメイン・システム・クロックで動作しているか, サブシステム・クロック^注で動作しているかは, CKCのビット7 (CLS) で判定できます。またメイン・システム・クロックが高速システム・クロックで動作しているか, 高速内蔵発振クロックで動作しているかは, CKCのビット5 (MCS) で判定できます。

CPUクロックを切り替えると, 周辺ハードウェア・クロックも同時に切り替わります。

表5-7 メイン・システム・クロックの切り替えに要する最大時間

クロックA	切り替え方向	クロックB	備考
f_{MAIN}	←→ (分周比変更)	f_{MAIN}	表5-8参照
f_{IH}	←→	f_{MX}	表5-9参照
f_{MAIN}	←→	f_{SUB}	表5-10参照

表5-8 $f_{MAIN} \leftrightarrow f_{MAIN}$ (分周比変更) で要する最大クロック数

切り替え前の設定値	切り替え後の設定値	
	クロックA	クロックB
クロックA		$1 + f_A/f_B$ クロック
クロックB	$1 + f_B/f_A$ クロック	

表5-9 $f_{IH} \leftrightarrow f_{MX}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
MCM0		MCM0	
		0 ($f_{MAIN} = f_{IH}$)	1 ($f_{MAIN} = f_{MX}$)
0 ($f_{MAIN} = f_{IH}$)	$f_{MX} > f_{IH}$		$1 + f_{IH}/f_{MX}$ クロック
	$f_{MX} < f_{IH}$		$2f_{IH}/f_{MX}$ クロック
1 ($f_{MAIN} = f_{MX}$)	$f_{MX} > f_{IH}$	$2f_{MX}/f_{IH}$ クロック	
	$f_{MX} < f_{IH}$	$1 + f_{MX}/f_{IH}$ クロック	

注 78K0R/IB3には, サブシステム・クロックはありません。

(備考は次ページにあります。)

表5 - 10 $f_{MAIN} \leftrightarrow f_{SUB}$ で要する最大クロック数

切り替え前の設定値		切り替え後の設定値	
CSS		CSS	
		0 ($f_{CLK} = f_{MAIN}$)	1 ($f_{CLK} = f_{SUB}$)
0 ($f_{CLK} = f_{MAIN}$)	$f_{MAIN} < f_{SUB}$		$2 + f_{MAIN}/f_{SUB}$ クロック
	$f_{MAIN} > f_{SUB}$		$1 + 2f_{MAIN}/f_{SUB}$ クロック
1 ($f_{CLK} = f_{SUB}$)	$f_{MAIN} < f_{SUB}$	$1 + 2f_{SUB}/f_{MAIN}$ クロック	
	$f_{MAIN} > f_{SUB}$	$2 + f_{SUB}/f_{MAIN}$ クロック	

備考1. 表5 - 8から表5 - 10のクロック数は、切り替え前のCPUクロックのクロック数です。

2. 表5 - 8から表5 - 10のクロック数は、小数点以下を切り上げてください。

例 メイン・システム・クロックを高速内蔵発振クロックから高速システム・クロックに切り替える場合 ($f_H = 8 \text{ MHz}$, $f_M = 10 \text{ MHz}$ 発振時)

$$1 + f_H/f_M = 1 + 8/10 = 1 + 0.8 = 1.8 \quad 2 \text{ クロック}$$

5.6.8 クロック発振停止前の条件

クロック発振停止（外部クロック入力無効）するためのレジスタのフラグ設定と停止前の条件を次に示します。

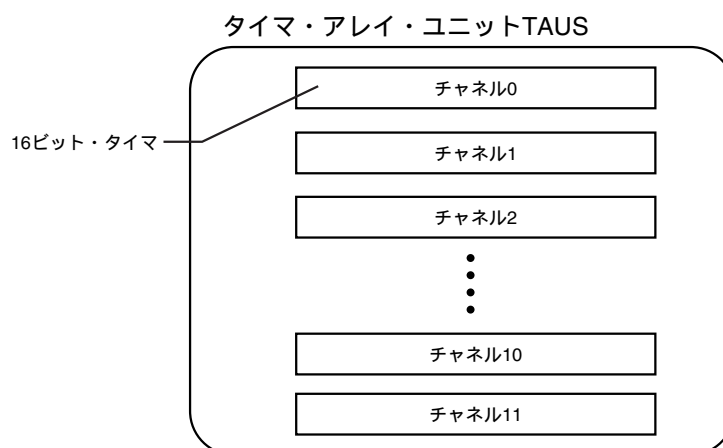
表5 - 11 クロック発振停止前の条件とフラグ設定

クロック	クロック停止（外部クロック入力無効）前条件	SFRレジスタのフラグ設定
高速内蔵発振クロック	MCS = 1またはCLS = 1 (CPUクロックが高速内蔵発振クロック以外で動作)	HIOSTOP = 1
X1クロック	MCS = 0またはCLS = 1 (CPUクロックが高速システム・クロック以外で動作)	MSTOP = 1
外部メイン・システム・クロック		
サブシステム・クロック ^注	CLS = 0 (CPUクロックがサブシステム・クロック以外で動作)	XTSTOP = 1
40 MHz高速内蔵発振クロック	SELDSC = 0, DSPO = 0 (メイン・システム・クロックが40 MHz高速内蔵発振クロック以外で動作)	DSCON = 0

注 78K0R/IB3には、サブシステム・クロックはありません。

第6章 タイマ・アレイ・ユニットTAUS

タイマ・アレイ・ユニットTAUSは12個の16ビット・タイマを搭載しています。各16ビット・タイマは「チャンネル」と呼び、それぞれを単独のタイマとして使用することはもちろん、複数のチャンネルを組み合わせるとして高度なタイマ機能として使用することもできます。



各機能の詳細については下記を参照下さい。

単独チャンネル動作機能 (本章で説明する機能)	複数チャンネル連動動作機能 (本章で説明する機能)	インバータ制御機能 (第7章 インバータ制御機能参照)
<ul style="list-style-type: none"> ・インターバル・タイマ (6. 6. 1参照) ・方形波出力 (6. 6. 2参照) ・外部イベント・カウンタ (6. 6. 3参照) ・分周器機能[※](6. 6. 4参照) ・入力パルス間隔測定 (6. 6. 5参照) ・入力信号のハイ/ロウ・レベル幅測定 (6. 6. 6参照) 	<ul style="list-style-type: none"> ・ワンショット・パルス出力 (6. 7. 1参照) ・PWM出力 (6. 7. 2参照) ・多重PWM出力 (6. 7. 3参照) 	<ul style="list-style-type: none"> ・リアルタイム出力機能(タイプ1) ・リアルタイム出力機能(タイプ2) ・6相PWM出力機能 ・三角波PWM出力機能 ・デッド・タイム付き三角波PWM出力機能 ・デッド・タイム付き6相三角波PWM波形出力機能 ・割り込み信号間引き機能 ・A/D変換トリガ出力機能(タイプ1) ・A/D変換トリガ出力機能(タイプ2) ・連動リアルタイム出力機能(タイプ1) ・連動リアルタイム出力機能(タイプ2) ・連動リアルタイム出力機能(タイプ3) ・非相補方式変調出力機能(タイプ1) ・非相補方式変調出力機能(タイプ2) ・相補方式変調出力機能

注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

またチャンネル7は, シリアル・アレイ・ユニットのUART0と連携し, LIN-bus受信処理を実現することができます。

タイマ・アレイ・ユニットの各チャンネルのタイマ入出力端子の有無は、製品によって異なります。

表6 - 1 各製品に搭載しているタイマ入出力端子

タイマ入出力端子	各製品の入出力端子の有無					
	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
TI00	-	-	-	-		
TI01	-	-	-	-	-	-
TI02						
TI03						
TI04						
TI05						
TI06						
TI07						
TI08	-	-	-	-	-	
TI09						
TI10	-	-				
TI11	-	-				
SLTI	-					
TO00	-	-	-	-		
TO01	-	-	-	-	-	-
TO02						
TO03						
TO04						
TO05						
TO06						
TO07						
TO08	-	-	-	-	-	
TO09	-	-	-	-	-	
TO10	-					
TO11						
SLTO	-					

備考 チャンネル0, 1, 8-11のタイマ入出力端子として、P52/SLTI/SLTO端子を使用できます。チャンネル0, 1, 8-11のどのチャンネルの入出力として使用するかの選択は、入力切り替え制御レジスタ（ISC）の設定によって行います。ISCレジスタの詳細については、6.3（24）入力切り替え制御レジスタ（ISC）を参照してください。78K0R/IB3はSLTI, SLTO端子を搭載しないため、この機能は使用できません。

6.1 タイマ・アレイ・ユニットTAUSの機能

タイマ・アレイ・ユニットTAUSには、次のような機能があります。

6.1.1 単独チャンネル動作機能

単独チャンネル動作機能は、他のチャンネルの動作モードに影響を受けることなく任意のチャンネルを独立して使用可能な機能です。

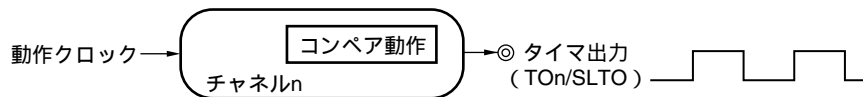
(1) インターバル・タイマ

一定間隔で割り込み (INTTMn) を発生する基準タイマとして利用できます。



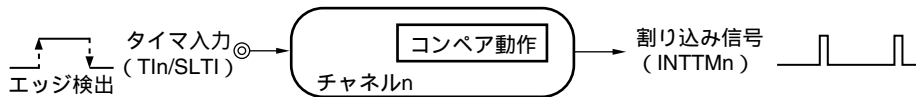
(2) 方形波出力

INTTMnの発生ごとにトグル動作を行い、デューティ50%の方形波をタイマ出力端子 (TON, SLTO) より出力します。



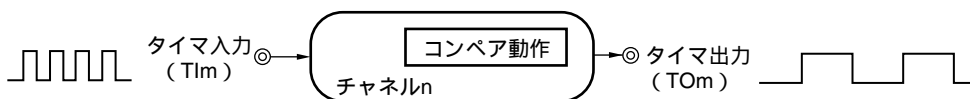
(3) 外部イベント・カウンタ

タイマ入力端子 (TIn, SLTI) に入力される信号の有効エッジをカウントし、規定回数に達したら割り込みを発生するイベント・カウンタとして利用できます。



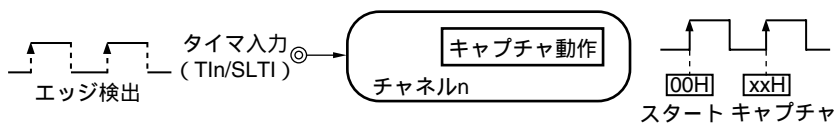
(4) 分周器機能 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ)

タイマ入力端子 (TIm) から入力されたクロックを分周して出力端子 (TOm) より出力します。



(5) 入力パルス間隔測定

タイマ入力端子 (TIn, SLTI) に入力されるパルス信号の有効エッジでカウントをスタートし、次のパルスの有効エッジでカウント値をキャプチャすることで、入力パルスの間隔を測定します。

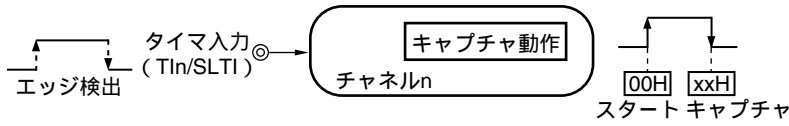


備考1. n = 00, 02-11, m = 00, 10, 11

2. チャンネル0, 1, 8-11のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-1 各製品に搭載しているタイマ入出力端子を参照してください。

(6) 入力信号のハイ/ロウ・レベル幅測定

タイマ入力端子 (Tin, SLTI) に入力される信号の片エッジでカウントをスタートし、もう一方の片エッジでカウント値をキャプチャすることで、入力信号のハイ・レベル幅、ロウ・レベル幅を測定します。



備考1. n = 00, 02-11

2. チャンネル0, 1, 8-11のタイマ入出力端子の有無は製品によって異なります。詳細は、表6 - 1 各製品に搭載しているタイマ入出力端子を参照してください。

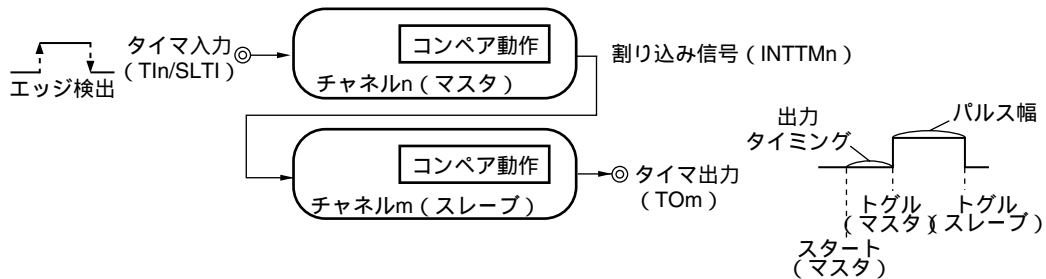
6.1.2 複数チャンネル連動動作機能

複数チャンネル連動動作機能は、マスタ・チャンネル (主に周期を制御する基準タイマ) とスレーブ・チャンネル (マスタ・チャンネルに従い動作するタイマ) を組み合わせて実現する機能です。

複数チャンネル連動動作機能は、次に示すモードとして利用できます。

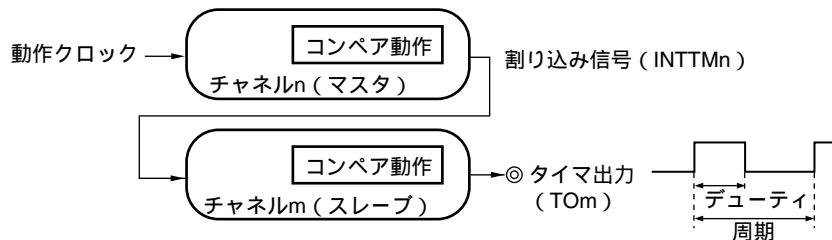
(1) ワンショット・パルス出力

2チャンネルをセットで使用し、ディレイとパルス幅を任意に設定できるワンショット・パルスを生成します。



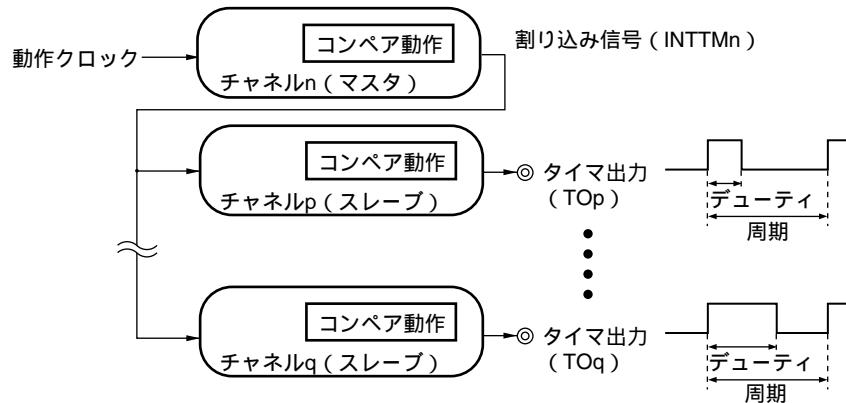
(2) PWM (Pulse Width Modulator) 出力

2チャンネルをセットで使用し、周期とデューティを任意に設定できるパルスを生成します。



(3) 多重PWM (Pulse Width Modulator) 出力

PWM機能を拡張し、1つのマスタ・チャンネルと複数のスレーブ・チャンネルとして使用することで、周期一定で任意のデューティのPWM信号を最大11種類生成することができます。



注意 複数チャンネル連動動作機能の使用にあたっては、いくつかのルールがあります。

- ・マスタ・チャンネルには、偶数チャンネル (チャンネル0, 2, 4...) のみ設定可能
- ・スレーブ・チャンネルはマスタ・チャンネルの下位のチャンネルのみ設定可能 (複数のスレーブ・チャンネルを設定可能)

など

複数チャンネル連動動作機能のルールの詳細については、6.4 複数チャンネル連動動作機能の基本ルールを参照してください。

6.1.3 LIN-bus対応機能

LIN-bus通信機能において、受信信号がLIN-busの通信フォーマットに適合しているかタイマ・アレイ・ユニットTAUSのチャンネル⁷を使ってチェックします。

注 タイマ・チャンネル7は78K0R/lx3の全製品でLIN-bus機能として使用できます。

また、RxD0とタイマ入力端子が兼用している場合は、兼用しているタイマ入力端子のチャンネルもLIN-bus機能として使用できます。各製品でチャンネル7以外に使用できるタイマ・チャンネルを次に示します。

78K0R/IB3 (P11/RxD0/TI01/TO03)	: TAUSのチャンネル3
78K0R/IC3の38ピン製品 (P72/INTP6/RxD0)	: なし
78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3,	
78K0R/IE3 (P74/RxD0/TI10/SI00)	: TAUSのチャンネル10

(1) ウェイクアップ信号の検出

UART0のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、ウェイクアップ信号と認識します。

(2) シンク・ブレイク・フィールドの検出

ウェイクアップ信号検出後、UART0のシリアル・データ入力端子 (RxD0) に入力される信号の立ち下がりエッジでカウントをスタートし、立ち上がりエッジでカウント値をキャプチャすることでロウ・レベル幅を測定します。そのロウ・レベル幅がある一定値以上であれば、シンク・ブレイク・フィールドと認識します。

(3) シンク・フィールドのパルス幅測定

シンク・ブレイク・フィールド検出後、UART0のシリアル・データ入力端子 (RxD0) に入力される信号のロウ・レベル幅とハイ・レベル幅を測定します。こうして測定されたシンク・フィールドのビット間隔からボー・レートを算出します。

備考 LIN-bus対応機能の動作設定については、6.3(24)入力切り替え制御レジスタ (ISC)、6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照してください。

6.2 タイマ・アレイ・ユニットTAUSの構成

タイマ・アレイ・ユニットTAUSは、次のハードウェアで構成されています。

表6-2 タイマ・アレイ・ユニットTAUSの構成

項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタn (TCRn)
レジスタ	タイマ・データ・レジスタn (TDRn)
タイマ入力	TI00, TI02-TI11, SLTI端子 ^{注1} , RxD0端子 (LIN-bus用)
タイマ出力	TO00, TO02-TO11, SLTO端子 ^{注1} , 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ2 (PER2) ・タイマ・クロック選択レジスタ0 (TPS0) ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0) ・タイマ・チャンネル開始レジスタ0 (TS0) ・タイマ・チャンネル停止レジスタ0 (TT0) ・タイマ入力選択レジスタ0 (TIS0)^{注2} ・タイマ出力許可レジスタ0 (TOE0) ・タイマ出力レジスタ0 (TO0) ・タイマ出力レベル・レジスタ0 (TOL0) ・タイマ出力モード・レジスタ0 (TOM0) ・タイマ三角波出力モード・レジスタ0 (TOT0)^{注3} ・タイマ・デッド・タイム出力許可レジスタ0 (TDE0)^{注3} ・タイマ・リアルタイム出力レジスタ0 (TRO0)^{注3} ・タイマ・リアルタイム出力許可レジスタ0 (TRE0)^{注3} ・タイマ・リアルタイム制御レジスタ0 (TRC0)^{注3} ・タイマ・モジュレーション出力許可レジスタ0 (TME0)^{注3} ・TAUオプション・モード・レジスタ (OPMR)^{注3} ・TAUオプション・ステータス・レジスタ (OPSR)^{注3} ・TAUオプションHi-Zスタート・トリガ・レジスタ (OPHS)^{注3} ・TAUオプションHi-Zストップ・トリガ・レジスタ (OPHT)^{注3} ・TAUオプション・コントロール・レジスタ (OPCR)^{注3} <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタn (TMRn) ・タイマ・ステータス・レジスタn (TSRn) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) ・ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7)^{注4} ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7)^{注4}

注1. チャンネル0, 1, 8-11のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-1 各製品に搭載しているタイマ入出力端子を参照してください。

2. 78K0R/IB3には搭載していません。

3. インバータ制御機能で使用するレジスタです。詳細は第7章 インバータ制御機能を参照してください。

4. PM0, P0レジスタは、78K0R/ID3, 78K0R/IE3のみ。PM7, P7レジスタは、78K0R/IB3にはありません。

備考 n: チャンネル番号 (n = 00-11)

・タイマ入出力端子の構成

チャンネル0, 1, 8-11のタイマ入出力端子として, P52/SLTI/SLTO端子を使用できます。チャンネル0, 1, 8, 11のどの入出力として使用するかの選択は, 入力切り替え制御レジスタ (ISC) の設定によって行います。ISCレジスタの詳細については, 6.3 (24) 入力切り替え制御レジスタ (ISC) を参照してください。

チャンネル0, 1, 8-11で選択できる入出力端子は次のとおりです。

78K0R/IB3はSLTI, SLTO端子を搭載しないため, この機能は使用できません。

表6 - 3 チャンネル0, 1, 8-11で選択できる入出力端子 (78K0R/IC3)

入出力端子選択可能 チャンネル	入力端子	出力端子
チャンネル0	・ P52/SLTI/SLTO端子	・ P52/SLTI/SLTO端子
チャンネル1	P52/SLTI/SLTO端子	P52/SLTI/SLTO端子
チャンネル8	・ P52/SLTI/SLTO端子	・ P52/SLTI/SLTO端子
チャンネル9	・ P31/TI09端子 ・ P52/SLTI/SLTO端子	・ P52/SLTI/SLTO端子
チャンネル10	・ P74/TI10端子 ・ P52/SLTI/SLTO端子	・ P73/TO10端子 ・ P52/SLTI/SLTO端子
チャンネル11	・ P75/TI11端子 ・ P52/SLTI/SLTO端子	・ P30/TO11端子 ・ P52/SLTI/SLTO端子

表6 - 4 チャンネル0, 1, 8-11で選択できる入出力端子 (78K0R/ID3)

入出力端子選択可能 チャンネル	入力端子	出力端子
チャンネル0	・ P00/TI00端子 ・ P52/SLTI/SLTO端子	・ P01/TO01端子 ・ P52/SLTI/SLTO端子
チャンネル1	P52/SLTI/SLTO端子	P52/SLTI/SLTO端子
チャンネル8	・ P52/SLTI/SLTO端子	・ P52/SLTI/SLTO端子
チャンネル9	・ P31/TI09端子 ・ P52/SLTI/SLTO端子	・ P52/SLTI/SLTO端子
チャンネル10	・ P74/TI10端子 ・ P52/SLTI/SLTO端子	・ P73/TO10端子 ・ P52/SLTI/SLTO端子
チャンネル11	・ P75/TI11端子 ・ P52/SLTI/SLTO端子	・ P30/TO11端子 ・ P52/SLTI/SLTO端子

表6 - 5 チャンネル0, 1, 8-11で選択できる入出力端子 (78K0R/IE3)

入出力端子選択可能 チャンネル	入力端子	出力端子
チャンネル0	・ P00/TI00端子 ・ P52/SLTI/SLTO端子	・ P01/TO01端子 ・ P52/SLTI/SLTO端子
チャンネル1	P52/SLTI/SLTO端子	P52/SLTI/SLTO端子
チャンネル8	・ P16/TI08端子 ・ P52/SLTI/SLTO端子	・ P16/TO08端子 ・ P52/SLTI/SLTO端子
チャンネル9	・ P17/TI09端子 ・ P52/SLTI/SLTO端子	・ P17/TO09端子 ・ P52/SLTI/SLTO端子
チャンネル10	・ P74/TI10端子 ・ P52/SLTI/SLTO端子	・ P73/TO10端子 ・ P52/SLTI/SLTO端子
チャンネル11	・ P75/TI11端子 ・ P52/SLTI/SLTO端子	・ P30/TO11端子 ・ P52/SLTI/SLTO端子

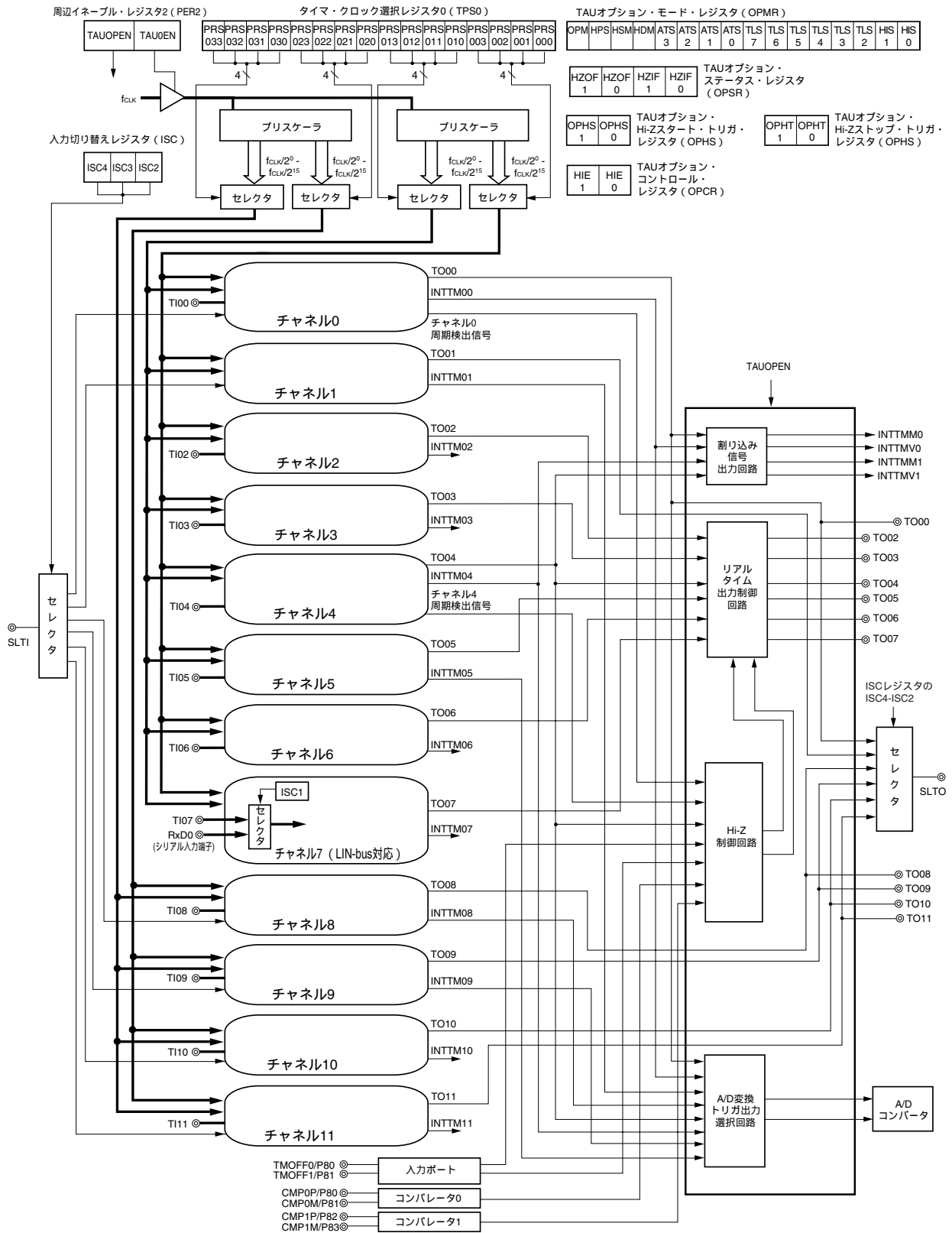
(注意, 備考は次ページにあります。)

注意 以降の説明では、タイマ入出力端子をTIn, TOn (n = xx) と記述しますが、これはSLTI, SLTO端子を選択した場合も含めた記述です。

- 備考**1. タイマ入力とタイマ出力が同一端子で兼用されている場合は、タイマ入力かタイマ出力のどちらかのみ使用可能です。
2. P52/SLTI/SLTO端子に割り当てることができるタイマ入出力端子は、上記チャンネルのどれか一つのみです。
 3. 上記以外のチャンネル(チャンネル2-7)では、SLTI, SLTO端子をタイマの入出力として選択することはできません。

図6 - 1に、図6 - 2にタイマ・アレイ・ユニットTAUSのブロック図を示します。

図6-1 タイマ・アレイ・ユニットTAUSの全体構成図 (例 78K0R/IE3の場合)



備考 図6-1の構成図は、インバータ制御機能で使用するレジスタ，端子も含めた図になっています。
インバータ制御機能の詳細は第7章 **インバータ制御機能**を参照してください。

(1) タイマ・カウンタ・レジスタ_n (TCR_n)

TCR_nは、カウント・クロックをカウントする16ビットのリード専用レジスタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメント/デクリメントします。

インクリメントかデクリメントかは、TMR_nのMD_{n4}-MD_{n0}ビットで動作モードを選択することで切り替わります (6.3 (3) タイマ・モード・レジスタ_n (TMR_n) 参照)。

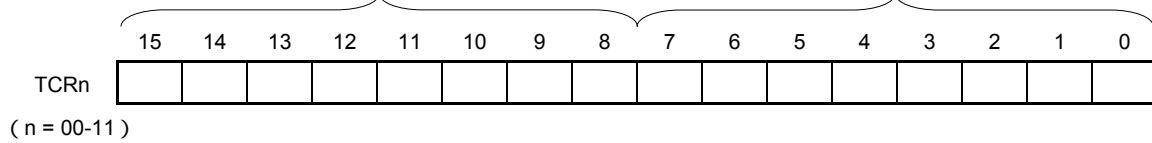
図6-3 タイマ・カウンタ・レジスタ_n (TCR_n) のフォーマット

アドレス : F0180H, F0181H (TCR00) - F018EH, F018FH (TCR07) リセット時 : FFFFH R

F01C0H, F01C1H (TCR08) - F01C6H, F01C7H (TCR11)

F0181H (TCR00の場合)

F0180H (TCR00の場合)



TCR_nをリードすることにより、カウント値をリードできます。

次の場合には、カウント値がFFFFHになります。

- ・リセット信号の発生時
- ・周辺イネーブル・レジスタ2 (PER2) のTAU0ENビットをクリアしたとき

また、次の場合には、カウント値は0000Hになります。

- ・キャプチャ・モード時に、スタート・トリガが入力されたとき
- ・キャプチャ・モード時で、キャプチャ完了時

注意 TCR_nをリードしても、TDR_nにはキャプチャしません。

TCRnレジスタ読み出し値は、動作モード変更や動作状態により次のように異なります。

表6 - 4 各動作モード時のTCRnレジスタ読み出し値

動作モード	カウント方式	TCRnレジスタの読み出し値 ^{注1}			
		リセット解除後に動作モード変更した場合の値	カウント動作を一時停止(TTn = 1)後、動作モード変更した場合の値	カウント動作を一時停止(TTn = 1)後、動作再開した場合の値	ワンカウント後のスタート・トリガ待ち状態時の値
インターバル・タイマ・モード	ダウン・カウント	FFFFH	不定	停止値	-
キャプチャ・モード	アップ・カウント	0000H	不定	停止値	-
イベント・カウンタ・モード	ダウン・カウント	FFFFH	不定	停止値	-
ワンカウント・モード	ダウン・カウント	FFFFH	不定	停止値	FFFFH
キャプチャ&ワンカウント・モード	アップ・カウント	0000H	不定	停止値	TDRnレジスタのキャプチャ値 + 1
アップ・ダウン・カウント・モード ^{注2}	アップ・ダウン・カウント	FFFFH	不定	停止値	-

- 注1. チャンネルnがタイマ動作停止状態 (TE_n = 0) かつカウント動作許可状態 (TS_n = 1) にした時点の、TCRnレジスタの読み出し値を示します。カウント動作開始までこの値がTCRnレジスタに保持されます。
2. インバータ制御機能で使用する動作モードです。インバータ制御機能については第7章 **インバータ制御機能**を参照してください。

備考 n = 00-11

(2) タイマ・データ・レジスタ_n (TDR_n)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能がコンペア機能かは、TMR_nのMD_{n4}-MD_{n0}ビットで動作モードを選択することで切り替わります。

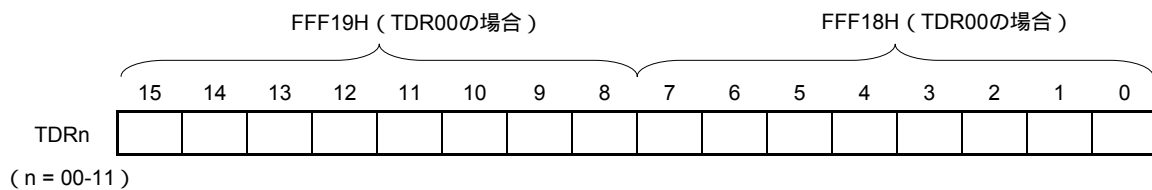
TDR_nは任意のタイミングで書き換えることができます。

16ビット単位でリード/ライト可能です。

リセット信号の発生により、TDR_nは0000Hになります。

図6 - 4 タイマ・データ・レジスタ_n (TDR_n) のフォーマット

アドレス : FFF18H, FFF19H (TDR00), FFF1AH, FFF1BH (TDR01), リセット時 : 0000H R/W
FFF64H, FFF65H (TDR02) - FFF76H, FFF77H (TDR11)

**(i) TDR_nをコンペア・レジスタとして使用するとき**

TDR_nに設定した値からダウン・カウントをスタートして、0000Hになったときに割り込み信号 (INTTM_n) を発生します。TDR_nは書き換えられるまで値を保持します。

注意 コンペア機能に設定したTDR_nはキャプチャ・トリガが入力されても、キャプチャ動作を行いません。

(ii) TDR_nをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TCR_nのカウント値をTDR_nにキャプチャします。

キャプチャ・トリガとして、Tin端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、TMR_nで設定します。

備考 n = 00-11 (78K0R/IB3のタイマ入力端子 (Tin) の場合 : n = 02-07, 09)

6.3 タイマ・アレイ・ユニットTAUSを制御するレジスタ

タイマ・アレイ・ユニットTAUSを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ2 (PER2)
- ・タイマ・クロック選択レジスタ0 (TPS0)
- ・タイマ・モード・レジスタn (TMRn)
- ・タイマ・ステータス・レジスタn (TSRn)
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- ・タイマ・チャンネル開始レジスタ0 (TS0)
- ・タイマ・チャンネル停止レジスタ0 (TT0)
- ・タイマ入力選択レジスタ0 (TIS0)^{注1}
- ・タイマ出力許可レジスタ0 (TOE0)
- ・タイマ出力レジスタ0 (TO0)
- ・タイマ出力レベル・レジスタ0 (TOL0)
- ・タイマ出力モード・レジスタ0 (TOM0)
- ・タイマ三角波出力モード・レジスタ0 (TOT0)^{注2}
- ・タイマ・デッド・タイム出力許可レジスタ0 (TDE0)^{注2}
- ・タイマ・リアルタイム出力レジスタ0 (TRO0)^{注2}
- ・タイマ・リアルタイム出力許可レジスタ0 (TRE0)^{注2}
- ・タイマ・リアルタイム制御レジスタ0 (TRC0)^{注2}
- ・タイマ・モジュレーション出力許可レジスタ0 (TME0)^{注2}
- ・TAUオプション・モード・レジスタ (OPMR)^{注2}
- ・TAUオプション・ステータス・レジスタ (OPSR)^{注2}
- ・TAUオプションHi-Zスタート・トリガ・レジスタ (OPHS)^{注2}
- ・TAUオプションHi-Zストップ・トリガ・レジスタ (OPHT)^{注2}
- ・TAUオプション・コントロール・レジスタ (OPCR)^{注2}
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)
- ・ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7)^{注3}
- ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7)^{注3}

注1. 78K0R/IB3には搭載していません。

2. インバータ制御機能で使用するレジスタです。詳細は第7章 インバータ制御機能を参照してください。

3. PM0, P0レジスタは, 78K0R/ID3, 78K0R/IE3のみ。PM7, P7レジスタは, 78K0R/IB3にはありません。

備考 n = 00-11

(1) 周辺イネーブル・レジスタ2 (PER2)

PER2は、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットTAUSを使用するときは、必ずビット0 (TAU0EN) を1に設定してください。インバータ制御機能を使用する場合は、必ずビット1 (TAUOPEN) も1に設定してください (インバータ制御機能の詳細は、第7章 **インバータ制御機能**を参照してください)。

PER2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER2は00Hになります。

図6-5 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	0	0	0	TAUOPEN	TAU0EN

TAU0EN	タイマ・アレイ・ユニットTAUSの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットTAUSで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットTAUSはリセット状態
1	入力クロック供給許可 ・タイマ・アレイ・ユニットTAUSで使用するSFRへのリード / ライト可

TAUOPEN	インバータ制御部の入カクロックの制御
0	入力クロック供給停止 ・インバータ制御部で使用するSFRへのライト不可 ・インバータ制御部はリセット状態
1	入力クロック供給許可 ・インバータ制御部で使用するSFRへのリード / ライト可

注意1. タイマ・アレイ・ユニットTAUSの設定をする際には、必ず最初にTAU0EN = 1の設定を行ってください。TAU0EN = 0の場合は、タイマ・アレイ・ユニットTAUSの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタ0 (TIS0), 入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2), ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7), ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7)は除く)。インバータ制御機能を使用する場合も同様に、最初にTAUOPEN = 1に設定してください。

2. PER2レジスタのビット2-7には必ず“0”を設定してください。

(2) タイマ・クロック選択レジスタ0 (TPS0)

TPS0は、各チャンネルに共通して供給される4種類の動作クロック (CK00, CK01, CK02, CK03) を選択する16ビット・レジスタです。

各ビットで設定できる動作クロックは次のようになります。

PRS000-PRS003 : CK00 (タイマ・チャンネル0-7に設定可能)

PRS010-PRS013 : CK01 (タイマ・チャンネル0-7に設定可能)

PRS020-PRS023 : CK02 (タイマ・チャンネル8-11に設定可能)

PRS030-PRS033 : CK03 (タイマ・チャンネル8-11に設定可能)

タイマ動作中のTPS0の書き換えは、次の場合のみ可能です。

PRS000-PRS003ビットが書き換え可能な場合：

動作クロックにCK00を選択 (CKSn = 0) しているチャンネルがすべて停止状態 (TE_n = 0) (n = 00-07)

PRS010-PRS013ビットが書き換え可能な場合：

動作クロックにCK01を選択 (CKSn = 1) しているチャンネルがすべて停止状態 (TE_n = 0) (n = 00-07)

PRS020-PRS023ビットが書き換え可能な場合：

動作クロックにCK02を選択 (CKSn = 0) しているチャンネルがすべて停止状態 (TE_n = 0) (n = 08-11)

PRS030-PRS033ビットが書き換え可能な場合：

動作クロックにCK03を選択 (CKSn = 1) しているチャンネルがすべて停止状態 (TE_n = 0) (n = 08-11)

TPS0は16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TPS0は0000Hになります。

図6 - 6 タイマ・クロック選択レジスタ0 (TPS0) のフォーマット

アドレス : F01B6H, F01B7H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPS0	PRS 033	PRS 032	PRS 031	PRS 030	PRS 023	PRS 022	PRS 021	PRS 020	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0m3	PRS 0m2	PRS 0m1	PRS 0m0	動作クロック (CK0m) の選択 ^注				
					f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	f _{CLK} = 40MHz
0	0	0	0	f _{CLK}	5 MHz	10 MHz	20 MHz	40 MHz
0	0	0	1	f _{CLK} /2	2.5 MHz	5 MHz	10 MHz	20 MHz
0	0	1	0	f _{CLK} /2 ²	1.25 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	1	f _{CLK} /2 ³	625 kHz	1.25 MHz	2.5 MHz	5 MHz
0	1	0	0	f _{CLK} /2 ⁴	312.5 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	1	f _{CLK} /2 ⁵	156.2 kHz	312.5 kHz	625 kHz	1.25 MHz
0	1	1	0	f _{CLK} /2 ⁶	78.1 kHz	156.2 kHz	312.5 kHz	625 kHz
0	1	1	1	f _{CLK} /2 ⁷	39.1 kHz	78.1 kHz	156.2 kHz	312.5 kHz
1	0	0	0	f _{CLK} /2 ⁸	19.5 kHz	39.1 kHz	78.1 kHz	156.2 kHz
1	0	0	1	f _{CLK} /2 ⁹	9.76 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	4.88 kHz	9.76 kHz	19.5 kHz	39.1 kHz
1	0	1	1	f _{CLK} /2 ¹¹	2.44 kHz	4.88 kHz	9.76 kHz	19.5 kHz
1	1	0	0	f _{CLK} /2 ¹²	1.22 kHz	2.44 kHz	4.88 kHz	9.76 kHz
1	1	0	1	f _{CLK} /2 ¹³	610 Hz	1.22 kHz	2.44 kHz	4.88 kHz
1	1	1	0	f _{CLK} /2 ¹⁴	305 Hz	610 Hz	1.22 kHz	2.44 kHz
1	1	1	1	f _{CLK} /2 ¹⁵	153 Hz	305 Hz	610 Hz	1.22 kHz

注 f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットTAUSを停止 (TT0 = 00FFH) させてください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

2. m = 0-3

(3) タイマ・モード・レジスタ_n (TMR_n)

TMR_nは、チャンネル_nの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択, カウント・クロックの選択, マスタ/スレーブの選択, スタート・トリガとキャプチャ・トリガの設定, タイマ入力の有効エッジ選択, 動作モード (インターバル, キャプチャ, イベント・カウンタ, ワンカウント, キャプチャ & ワンカウント, アップ・ダウン・カウント^注) 設定を行います。

TMR_nは、動作中 (TE0 = 1のとき) の書き換えは禁止です。ただし、ビット7, 6 (CIS_{n1}, CIS_{n0}) は、一部の機能で動作中 (TE0 = 1のとき) の書き換えが可能です (詳細は6.7 タイマ・アレイ・ユニットTAUSの単独チャンネル動作機能, 6.8 タイマ・アレイ・ユニットTAUSの複数チャンネル連動動作機能を参照)。

TMR_nは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TMR_nは0000Hになります。

注 インバータ制御機能で使用するモードです。インバータ制御機能については第7章 インバータ制御機能を参照してください。

図6-7 タイマ・モード・レジスタ_n (TMR_n) のフォーマット (1/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
F01C8H, F01C9H (TMR08) - F01CEH, F01CFH (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMR _n	CKS _n	0	CCS _{1n}	CCS _{0n}	MAS _{TERn}	STS _{n2}	STS _{n1}	STS _{n0}	CIS _{n1}	CIS _{n0}	0	MD _{n4}	MD _{n3}	MD _{n2}	MD _{n1}	MD _{n0}

CKS _n	チャンネル _n の動作クロック (f _{MCK}) の選択														
0	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK00 : タイマ・チャンネル0-7 タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK02 : タイマ・チャンネル8-11														
1	タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK01 : タイマ・チャンネル0-7 タイマ・クロック選択レジスタ0 (TPS0) で設定した動作クロックCK03 : タイマ・チャンネル8-11														
動作クロック (f _{MCK}) は、エッジ検出回路に使用されます。また、CCS _{1n} , CCS _{0n} ビットの設定によりサンプリング・クロックおよびカウント・クロック (f _{TCLK}) を生成します。															

CCS _{1n}	CCS _{0n}	チャンネル _n のカウント・クロック (f _{TCLK}) の選択													
0	0	CKS _n ビットで指定した動作クロック (f _{MCK})													
0	1	TIn端子からの入力信号の有効エッジ/サブシステム・クロックの4分周 (f _{SUB/4})													
1	0	マスタ・チャンネルのカウント・クロックを選択 (複数チャンネル連動動作機能のスレーブ・チャンネル時) ^注													
1	1	マスタ・チャンネルの割り込み信号を選択 (複数チャンネル連動動作機能のスレーブ・チャンネル時) ^注													
カウント・クロック (f _{TCLK}) は、タイマ・カウンタ, 出力制御回路, 割り込み制御回路に使用されます。															

注 インバータ制御機能で使用する設定です。インバータ制御機能については第7章 インバータ制御機能を参照してください。

注意 ビット14, 5には、必ず0を設定してください。

備考 n = 00-11 (78K0R/IB3のタイマ入力端子 (TIn) の場合 : n = 02-07, 09)

図6-7 タイマ・モード・レジスタn (TMRn) のフォーマット (2/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
 F01C8H, F01C9H (TMR08) - F01CEH, F01CFH (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRn	CKS n	0	CCS 1n	CCS 0n	MAS TERn	STS n2	STS n1	STS n0	CIS n1	CIS n0	0	MD n4	MD n3	MD n2	MD n1	MD n0

MAS TER n	チャンネルnの単独チャンネル動作 / 複数チャンネル連動動作 (スレーブ / マスタ) の選択															
0	単独チャンネル動作機能, または複数チャンネル連動動作機能でスレーブ・チャンネルとして動作															
1	複数チャンネル連動動作機能でマスタ・チャンネルとして動作															
偶数チャンネルのみマスタ・チャンネル (MASTERn = 1) に設定できます。 奇数チャンネルは必ずスレーブ・チャンネル (MASTERn = 0) として使用してください。 また, 単独チャンネル動作機能として使用するチャンネルは, MASTERn = 0 にします。																

STS n2	STS n1	STS n0	チャンネルnのスタート・トリガ, キャプチャ・トリガの設定													
0	0	0	ソフトウェア・トリガ・スタートのみ有効 (他のトリガ要因を非選択にする)													
0	0	1	TIn端子入力の有効エッジを, スタート・トリガ, キャプチャ・トリガの両方に使用													
0	1	0	TIn端子入力の両エッジを, スタート・トリガとキャプチャ・トリガに分けて使用													
1	0	0	マスタ・チャンネルの割り込み信号を使用 (複数チャンネル連動動作機能のスレーブ・チャンネル時)													
1	1	0	デッド・タイム制御トリガ生成チャンネルのトリガを使用 ^注													
1	1	1	マスタ・チャンネルのアップ / ダウン制御トリガを使用 ^注													
上記以外			設定禁止													

CIS n1	CIS n0	TIn端子の有効エッジ選択														
0	0	立ち下がりエッジ														
0	1	立ち上がりエッジ														
1	0	両エッジ (ロウ・レベル幅測定時) スタート・トリガ : 立ち下がりエッジ, キャプチャ・トリガ : 立ち上がりエッジ														
1	1	両エッジ (ハイ・レベル幅測定時) スタート・トリガ : 立ち上がりエッジ, キャプチャ・トリガ : 立ち下がりエッジ														
STSn2-STSn0ビット = 010B時以外で両エッジ指定を使用する場合は, CISn1-CISn0ビット = 10Bに設定してください。																

注 インバータ制御機能で使用する設定です。インバータ制御機能については第7章 インバータ制御機能を参照してください。

備考 n = 00-11 (78K0R/IB3のタイマ入力端子 (TIn) の場合 : n = 02-07, 09)

図6-7 タイマ・モード・レジスタn (TMRn) のフォーマット (3/3)

アドレス : F0190H, F0191H (TMR00) - F019EH, F019FH (TMR07) リセット時 : 0000H R/W
 F01C8H, F01C9H (TMR08) - F01CEH, F01CFH (TMR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRn	CKS	0	CCS	CCS	MAS	STS	STS	STS	CIS	CIS	0	MD	MD	MD	MD	MD
	n		1n	0n	TERn	n2	n1	n0	n1	n0		n4	n3	n2	n1	n0

MD	MD	MD	MD	MD	チャンネルnの動作モードの設定	TCRのカウンタ動作	単体動作
n4	n3	n2	n1	n0			
0	0	0	0	1/0	インターバル・タイマ・モード	ダウン・カウンタ	可
0	0	1	0	1/0	キャプチャ・モード	アップ・カウンタ	可
0	0	1	1	0	イベント・カウンタ・モード	ダウン・カウンタ	可
0	1	0	0	1/0	ワンカウント・モード	ダウン・カウンタ	不可
0	1	1	0	0	キャプチャ&ワンカウント・モード	アップ・カウンタ	可
1	0	0	1	0	アップ・ダウン・カウンタ・モード ^{注1}	アップ・ダウン・カウンタ	不可
上記以外					設定禁止		

MDn0ビットの動作は、各動作モードによって変わります（下表を参照）。

動作モード (MDn4-MDn1で設定(上表参照))	MD n0	カウンタ・スタートと割り込みの設定
・インターバル・タイマ・モード (0, 0, 0, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・キャプチャ・モード (0, 0, 1, 0)	1	カウンタ開始時にタイマ割り込みを発生する (タイマ出力も変化させる)。
・イベント・カウンタ・モード (0, 0, 1, 1)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。
・アップ・ダウン・カウンタ・モード ^{注1} (1, 0, 0, 1)		
・ワンカウント・モード ^{注2} (0, 1, 0, 0)	0	カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
	1	カウンタ動作中のスタート・トリガを有効とする ^{注3} 。 その際に割り込みも発生する。
・キャプチャ&ワンカウント・モード (0, 1, 1, 0)	0	カウンタ開始時にタイマ割り込みを発生しない (タイマ出力も変化しない)。 カウンタ動作中のスタート・トリガは無効とする。 その際に割り込みも発生しない。
上記以外		設定禁止

- 注1. インバータ制御機能で使用する設定です。インバータ制御機能については第7章 インバータ制御機能を参照してください。
2. ワンカウント・モードでは、カウンタ動作開始時の割り込み出力 (INTTMn), TOn出力は制御しません。
3. 動作中にスタート・トリガ (TSn = 1) が掛かると、カウンタをクリアし、割り込みを発生して再カウンタ・スタートします。

備考 n = 00-11

(4) タイマ・ステータス・レジスタ_n (TSR_n)

TSR_nは、チャンネル_nのカウンタのオーバフロー状況を表示するレジスタです。

TSR_nのOVFは、キャプチャ・モード (MD_{n4}-MD_{n1} = 0010B) とキャプチャ&ワンカウント・モード (MD_{n4}-MD_{n1} = 0110B) のみ有効です。それ以外のモードでセットされることはありません。

また、CSFは、アップ・ダウン・カウント・モード (MD_{n4}-MD_{n1} = 1001B)^{注1}のみ有効です。それ以外のモードでセットされることはありません。

各動作モードでのOVFビットの動作とセット/クリア条件は表6-5を参照してください。

TSR_nは、16ビット・メモリ操作命令で読み出します。

リセット信号の発生により、TSR_nは0000Hになります。

図6-8 タイマ・ステータス・レジスタ_n (TSR_n) のフォーマット

アドレス : F01A0H, F01A1H (TSR00) - F01AEH, F01AFH (TSR07) リセット時 : 0000H R
F01D0H, F01D1H (TSR08) - F01D6H, F01D7H (TSR11)

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSR _n	0	0	0	0	0	0	0	0	0	0	0	0	0	0	CSF 注1, 2	OVF

CSF 注1, 2	カウント・クロックのアップ・カウント/ダウン・カウント状況 (アップ・ダウン・カウント・モードのみ)
0	カウント・クロックがアップ・カウントしていることを示します。
1	カウント・クロックがダウン・カウントしていることを示します。

OVF	チャンネル _n のカウンタのオーバフロー状況 (キャプチャ・モードとキャプチャ&ワンカウント・モードのみ)
0	オーバフローなし
1	オーバフロー発生
OVF = 1のとき、次にオーバフローなしでキャプチャしたときにクリア (OVF = 0) されます。	

注1. インバータ制御機能で使用する動作モードまたはビットです。インバータ制御機能については第7章 インバータ制御機能を参照してください。

2. CSFは、上位マスタ・チャンネルのアップ・ダウン信号を元に生成しているため、上位にチャンネルを持たないチャンネル0は常に“0”固定となります。

表6-5 各動作モードにおけるOVFビットの動作とセット/クリア条件

タイマの動作モード	OVF	セット/クリア条件
・キャプチャ・モード	クリア	キャプチャ時にオーバフローが発生していない場合
・キャプチャ&ワンカウント・モード	セット	キャプチャ時にオーバフローが発生していた場合
・インターバル・タイマ・モード ・イベント・カウンタ・モード ・ワンカウント・モード ・アップ・ダウン・カウント・モード ^注	クリア セット	- (使用不可, セット/クリアされない)

注 インバータ制御機能で使用する動作モードです。詳細は第7章 インバータ制御機能を参照してください。

備考 OVFビットは、カウンタがオーバフローしてもすぐには変化せず、その後のキャプチャ時に変化します。

(5) タイマ・チャンネル許可ステータス・レジスタ0 (TE0)

TE0は、各チャンネルのタイマ動作許可 / 停止状態を表示するレジスタです。

タイマ・チャンネル開始レジスタ0 (TS0) の各ビットが1にセットされると、その対応ビットが1にセットされます。タイマ・チャンネル停止レジスタ0 (TT0) の各ビットが1にセットされると、その対応ビットが0にクリアされます。

TE0は、16ビット・メモリ操作命令で読み出します。

リセット信号の発生により、TE0は0000Hになります。

図6 - 9 タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のフォーマット

アドレス : F01B0H, F01B1H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TE0	0	0	0	0	TE11	TE10	TE09	TE08	TE07	TE06	TE05	TE04	TE03	TE02	TE01	TE00

TE _n	チャンネルnの動作許可 / 停止状態の表示
0	動作停止状態
1	動作許可状態

備考 n = 00-11

(6) タイマ・チャンネル開始レジスタ0 (TS0)

TS0は、タイマ・カウンタ (TCRn) をクリアし、カウント動作の開始をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TSn) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビット (TEn) が1にセットされます。TSnはトリガ・ビットなので、動作許可状態 (TEn = 1) になるとすぐTSnはクリアされます。

TS0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TS0は0000Hになります。

図6 - 10 タイマ・チャンネル開始レジスタ0 (TS0) のフォーマット

アドレス : F01B2H, F01B3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TS0	0	0	0	0	TS11	TS10	TS09	TS08	TS07	TS06	TS05	TS04	TS03	TS02	TS01	TS00

TSn	チャンネルnの動作許可 (スタート) トリガ
0	トリガ動作しない
1	TEnを1にセットし、カウント動作許可状態になる。 カウント動作許可状態におけるTCRnのカウント動作開始は、各動作モードにより異なります (表6 - 6参照)。

注意 ビット15-12には、必ず0を設定してください。

備考1. TS0レジスタの読み出し値は常に0となります。

2. n = 00-11

表6 - 6 カウント動作許可状態からTCRnのカウント・スタートまでの動作 (1/2)

タイマの動作モード	TSn = 1にセットしたときの動作
・インターバル・タイマ・モード	スタート・トリガ検出 (TSn = 1) 後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックでTDRnの値をTCRnにロードし、以降のカウント・クロックでダウン・カウント動作を行います (6. 3 (6) (a) インターバル・タイマ・モード、アップ・ダウン・カウント・モード時のスタート・タイミング参照)。
・イベント・カウンタ・モード	TSnビットに1を書き込むことにより、TDRnの値をTCRnにロードします。 以降のカウント・クロックでダウン・カウント動作を行います。 TMRnレジスタのSTS2-STS0ビットで選択した外部トリガ検出では、カウント動作を開始しません (6. 3 (6) (b) イベント・カウンタ・モード時のスタート・タイミング参照)。
・キャプチャ・モード	スタート・トリガ検出後、カウント・クロック発生まで何も動作しません。 最初のカウント・クロックで0000HをTCRnにロードし、以降のカウント・クロックでアップ・カウント動作を行います (6. 3 (6) (c) キャプチャ・モード時のスタート・タイミング参照)。

表6 - 6 カウント動作許可状態からTCRnのカウント・スタートまでの動作 (2/2)

タイマの動作モード	TSn = 1にセットしたときの動作
・ワンカウント・モード	<p>タイマ動作停止 (TEn = 0) の状態で, TSnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。</p> <p>スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。最初のカウント・クロックでTDRnの値をTCRnにロードし, 以降のカウント・クロックでダウン・カウント動作を行います (6. 3 (6) (d) ワンカウント・モード時のスタート・タイミング参照)。</p>
・キャプチャ&ワンカウント・モード	<p>タイマ動作停止 (TEn = 0) の状態で, TSnビットに1を書き込みむことによりスタート・トリガ待ち状態となります。</p> <p>スタート・トリガ検出後, カウント・クロック発生まで何も動作しません。最初のカウント・クロックで0000HをTCRnにロードし, 以降のカウント・クロックでアップ・カウント動作を行います (6. 3 (6) (e) キャプチャ&ワンカウント・モード時のスタート・タイミング参照)。</p>
・アップ・ダウン・カウント・モード ^注	<p>スタート・トリガ検出 (TSn = 1) 後, カウント・クロック発生まで何も動作しません。</p> <p>最初のカウント・クロックでTDRnの値をTCRnにロードし, 以降のカウント・クロックでダウン・カウント動作を行います (6. 3 (6) (a) インターバル・タイマ・モード, アップ・ダウン・カウント・モード時のスタート・タイミング参照)。</p>

注 インバータ制御機能で使用する動作モードです。インバータ制御機能については第7章 **インバータ制御機能**を参照してください。

(a) インターバル・タイマ・モード, アップ・ダウン・カウント・モード^注時のスタート・タイミング

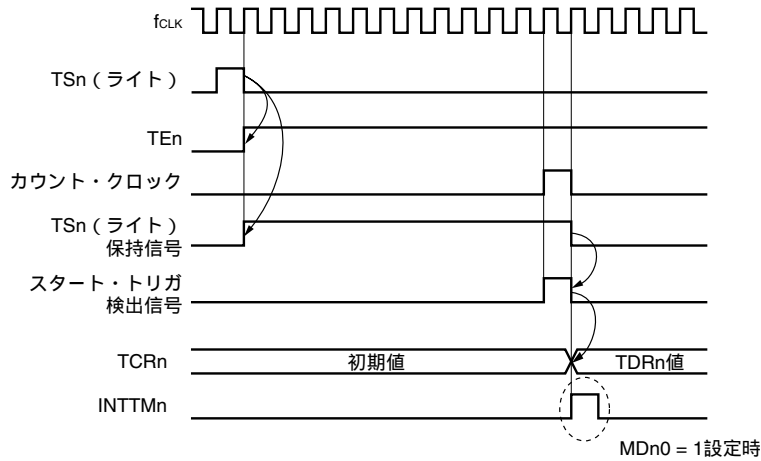
TSnへ1を書き込むことにより, 動作許可状態 (TEn = 1) となります。

TSnへの書き込み情報はカウント・クロック発生まで保持されます。

TCRnは, カウント・クロック発生まで初期値を保持しています。

カウント・クロック発生により, TDRnの値をTCRnにロードし, カウントを開始します。

図6 - 11 スタート・タイミング (インターバル・タイマ・モード, アップ・ダウン・カウント・モード^注時)



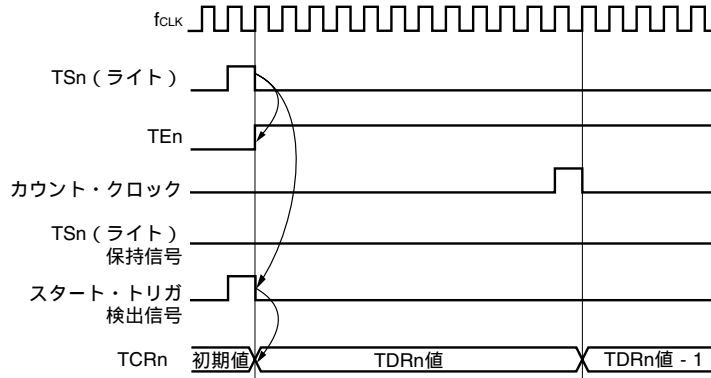
注 インバータ制御機能で使用する動作モードです。インバータ制御機能については第7章 インバータ制御機能を参照してください。

注意 カウント・クロックの1周期目の動作はTSn書き込み後, カウント・クロックが発生するまでカウント開始が遅れるため, 1周期目は最大でカウント・クロック1クロック分の誤差が生じます。また, カウント開始タイミングの情報が必要な場合は, MDn0 = 1に設定することで, カウント開始時に割り込みを発生させることができます。

(b) イベント・カウンタ・モード時のスタート・タイミング

動作停止状態 (TE_n = 0) の期間, TCR_nは, 初期値を保持します。
 TS_nへ1を書き込むことにより, 動作許可状態 (TE_n = 1) となります。
 TS_n = 1 TE_n = 1と同時に, TCR_nにTDR_nの値をロードし, カウントを開始します。
 以降はカウント・クロックに従い, TCR_nの値をダウン・カウントします。

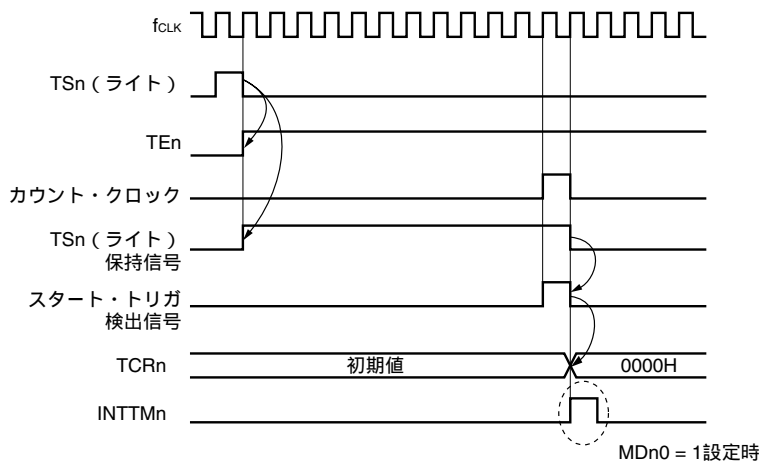
図6 - 12 スタート・タイミング (イベント・カウンタ・モード時)



(c) キャプチャ・モード時のスタート・タイミング

TS_nへ1を書き込むことにより, 動作許可状態 (TE_n = 1) となります。
 TS_nへの書き込み情報はカウント・クロック発生まで保持されます。
 TCR_nは, カウント・クロック発生まで初期値を保持しています。
 カウント・クロック発生により, 0000HをTCR_nにロードし, カウントを開始します。

図6 - 13 スタート・タイミング (キャプチャ・モード時)

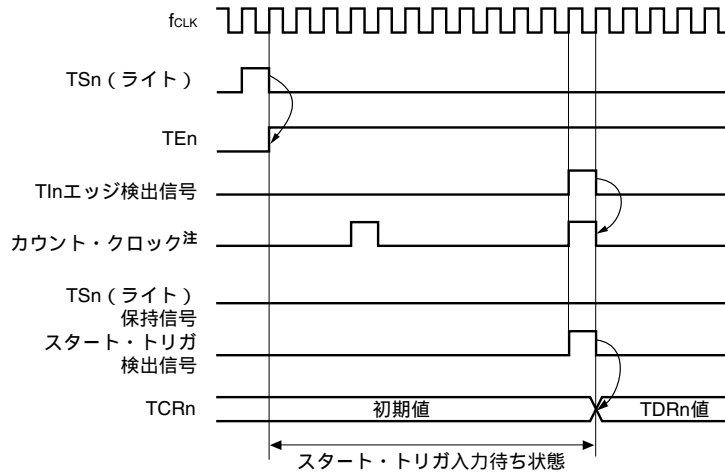


注意 カウント・クロックの1周期目の動作はTS_n書き込み後, カウント・クロックが発生するまでカウント開始が遅れるため, 1周期目は最大でカウント・クロック1クロック分の誤差が生じます。
 また, カウント開始タイミングの情報が必要な場合は, MD_n0 = 1に設定することで, カウント開始時に割り込みを発生させることができます。

(d) ワンカウント・モード時のスタート・タイミング

TSnへ1を書き込むことにより、動作許可状態 (TEn = 1) となります。
 スタート・トリガ入力待ち状態となり、TCRnは初期値を保持します。
 スタート・トリガ検出により、TDRnの値をTCRnにロードしカウントを開始します。

図6 - 14 スタート・タイミング (ワンカウント・モード時)



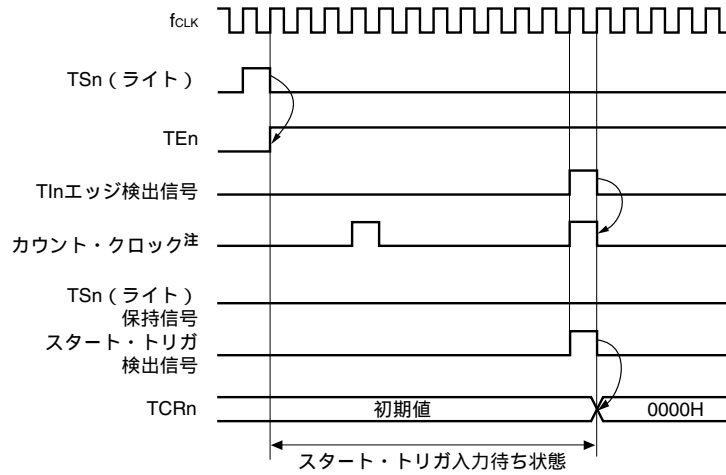
注 ワンカウント・モード設定時は、カウント・クロックとして動作クロック (fMCK) を選択します (CCS1n, CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TIn端子入力をスタート・トリガに使用する場合、カウント・クロック1クロック分の誤差となります)。

(e) キャプチャ&ワンカウント・モード時のスタート・タイミング

TSnへ1を書き込むことにより、動作許可状態 (TEn = 1) となります。
 スタート・トリガ入力待ち状態となり、TCRnは初期値を保持します。
 スタート・トリガ検出により、0000HをTCRnにロードしカウントを開始します。

図6 - 15 スタート・タイミング (キャプチャ&ワンカウント・モード時)



注 キャプチャ&ワンカウント・モード設定時は、カウント・クロックとして動作クロック (fMCK) を選択します (CCS1n, CCS0n = 0)。

注意 スタート・トリガ検出により動作を開始するため、入力信号のサンプリング誤差が発生します (TIn端子入力をスタート・トリガに使用する場合、カウント・クロック1クロック分の誤差となります)。

(7) タイマ・チャンネル停止レジスタ0 (TT0)

TT0は、タイマ・カウンタ (TCRn) をクリアし、カウント動作の停止をチャンネルごとに設定するトリガ・レジスタです。

各ビット (TTn) が1にセットされると、タイマ・チャンネル許可ステータス・レジスタ0 (TE0) の対応ビット (TEn) が0にクリアされます。TTnはトリガ・ビットなので、動作停止状態 (TEn = 0) になるとすぐTTnはクリアされます。

TT0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TT0は0000Hになります。

図6 - 16 タイマ・チャンネル停止レジスタ0 (TT0) のフォーマット

アドレス : F01B4H, F01B5H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT0	0	0	0	0	TT11	TT10	TT09	TT08	TT07	TT06	TT05	TT04	TT03	TT02	TT01	TT00

TTn	チャンネルnの動作停止トリガ
0	トリガ動作しない
1	動作停止 (停止トリガ発生)

注意 ビット15-12には、必ず0を設定してください。

備考1. TT0レジスタの読み出し値は常に0となります。

2. n = 00-11

(8) タイマ入力選択レジスタ0 (TIS0) (78K0R/IB3以外の製品のみ)

TIS0は、タイマ入力端子 (TIn) の入力信号か、サブシステム・クロックの4分周 ($f_{SUB}/4$) か、どちらを有効にするかをチャンネルごとに選択するレジスタです。

TIS0は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、TIS0は00Hになります。

図6 - 17 タイマ入力選択レジスタ0 (TIS0) のフォーマット

アドレス : FFF3EH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
TIS0	TIS07	TIS06	TIS05	TIS04	TIS03	TIS02	TIS01	TIS00

TISn	チャンネルnで使用するタイマ入力 / サブシステム・クロックの選択
0	タイマ入力端子 (TIn) の入力信号
1	サブシステム・クロックの4分周 ($f_{SUB}/4$)

備考 n = 00-07

(9) タイマ出力許可レジスタ0 (TOE0)

TOE0は、各チャンネルのタイマ出力許可 / 禁止を設定するレジスタです。

タイマ出力を許可したチャンネルnは、後述のタイマ出力レジスタ (TO0) のTONの値をソフトウェアによって書き換えできなくなり、カウント動作によるタイマ出力機能によって反映された値がタイマ出力端子 (TON) から出力されます。

TOE0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TOE0は0000Hになります。

図6 - 18 タイマ出力許可レジスタ0 (TOE0) のフォーマット

アドレス : F01BAH, F01BBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOE0	0	0	0	0	TOE11	TOE10	TOE09	TOE08	TOE07	TOE06	TOE05	TOE04	TOE03	TOE02	TOE01	TOE00

TOEn	チャンネルnのタイマ出力許可 / 禁止
0	カウント動作によるTON (タイマ・チャンネル出力ビット) の動作停止。 TONビットへの書き込みが可能。 TON端子がデータ出力機能となり、TONビットに設定したレベルがTON端子から出力される。 TON端子の出力レベルをソフトウェアで操作することができる。
1	カウント動作によるTON (タイマ・チャンネル出力ビット) の動作許可。 TONへの書き込み不可 (書き込みが無視される)。 TON端子がタイマ出力機能となり、タイマの動作によりセット / リセットされる。 TON端子からタイマ動作に合わせた方形波出力やPWM出力ができる。

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11 (78K0R/IB3のタイマ出力端子 (TON) の場合 : n = 02-07, 11)

(10) タイマ出力レジスタ0 (TO0)

TO0は、各チャネルのタイマ出力のバッファ・レジスタです。

このレジスタの各ビットの値が、各チャネルのタイマ出力端子 (TOn) から出力されます。

このレジスタのTOnビットのソフトウェアによる書き換えは、タイマ出力禁止時 (TOEn = 0) のみ可能です。タイマ出力許可時 (TOEn = 1) は、ソフトウェアによる書き換えは無視され、タイマ動作によってのみ値が変更されます (ソフトウェアによる書き換えの詳細は、6.5.4 TOnビットの一括操作参照)。

また、次に示すタイマ出力端子をポート機能として使用する場合は、該当するTOnビットに“0”を設定してください。

78K0R/IB3 : P10/TO02, P11/TO03, P12/TO04, P13/TO05, P50/TO06, P51/TO07, P30/TO11

78K0R/IC3 : P10/TO02, P11/TO03, P12/TO04, P13/TO05, P50/TO06, P51/TO07, P73/TO10,

P30/TO11, P52/SLTO

78K0R/ID3, 78K0R/IE3 : P10/TO02, P11/TO03, P12/TO04, P13/TO05, P14/TO06, P15/TO07,

P73/TO10, P30/TO11, P52/SLTO

TO0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TO0は0000Hになります。

図6 - 19 タイマ出力レジスタ0 (TO0) のフォーマット

アドレス : F01B8H, F01B9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TO0	0	0	0	0	TO 11	TO 10	TO 09	TO 08	TO 07	TO 06	TO 05	TO 04	TO 03	TO 02	TO 01	TO 00

TOn	チャネルnのタイマ出力
0	タイマ出力値が“0”
1	タイマ出力値が“1”

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11 (78K0R/IB3のタイマ出力端子 (TOn) の場合 : n = 02-07, 11)

(11) タイマ出力レベル・レジスタ0 (TOL0)

TOL0は、各チャンネルのタイマ出力レベルを制御するレジスタです。

このレジスタによる各チャンネルnの反転設定は、タイマ出力許可 (TOEn = 1)、複数チャンネル連動動作機能 (TOMn = 1)、デッド・タイム付き三角波PWM出力機能オフ (TDEn = 0)^注時にタイマ出力信号がセット、リセットされるタイミングで反映されます。マスタ・チャンネル出力モード (TOMn = 0) 時には、このレジスタの設定は無効となります。

TOL0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TOL0は0000Hになります。

図6-20 タイマ出力レベル・レジスタ0 (TOL0) のフォーマット

アドレス : F01BCH, F01BDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOL0	0	0	0	0	TOL 11	TOL 10	TOL 09	TOL 08	TOL 07	TOL 06	TOL 05	TOL 04	TOL 03	TOL 02	TOL 01	TOL 00

TOL n	チャンネルnのタイマ出力レベルの制御
0	正論理出力 (アクティブ・ハイ) タイマ・デッド・タイム出力許可レジスタ0 (TDE0) のTDEn = 1が1の場合は、正論理側にデッド・タイムを付加 ^注
1	反転出力 (アクティブ・ロウ) タイマ・デッド・タイム出力許可レジスタ0 (TDE0) のTDEn = 1が1の場合は、反転論理側にデッド・タイムを付加 ^注

注 インバータ制御機能で使用する設定です。インバータ制御機能については第7章 インバータ制御機能を参照してください。

注意1. ビット15-12には、必ず0を設定してください。

2. デッド・タイム付き三角波PWM出力機能、6相三角波PWM出力機能では、タイマ動作中にTOL0レジスタの書き換えはしないでください。書き換えが行われたPWM周期期間のTONの出力が不正波形となります。ただし、相補方式変調出力機能時は除きます (詳細は、第7章 インバータ制御機能を参照)。

備考1. タイマ動作中にこのレジスタの値を書き換えた場合、書き換えた直後のタイミングではなく、次にタイマ出力信号が変化するタイミングで、タイマ出力が反転出力になります。

2. n = 00-11

(12) タイマ出力モード・レジスタ0 (TOM0)

TOM0は、各チャンネルのタイマ出力モードを制御するレジスタです。

単独チャンネル動作機能として使用する場合、使用するチャンネルの対応ビットを0に設定します。

複数チャンネル連動動作機能として使用する場合、マスタ・チャンネルの対応ビットを0に設定し、スレーブ・チャンネルの対応ビットを1に設定します。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEn = 1) 時に有効になります^注。

TOM0は、タイマ動作停止状態 (TEEn = 0) のときに書き換えが可能です。

TOM0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TOM0は0000Hになります。

注 インバータ制御機能使用時の各チャンネルnの設定は、タイマ出力許可 (TOEn = 1) 設定時でTREN = 0のとき、またはTREN, TMEn = 1のときに有効になります。

図6 - 21 タイマ出力モード・レジスタ0 (TOM0) のフォーマット

アドレス : F01BEH, F01BFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOM0	0	0	0	0	TOM	TOM	TOM	TOM	TOM	TOM	TOM	TOM	TOM	TOM	TOM	TOM
					11	10	09	08	07	06	05	04	03	02	01	00

TOM n	チャンネルnのタイマ出力モードの制御
0	マスタ・チャンネル出力モード (タイマ割り込み要求信号 (INTTMn) によりトグル出力を行う)
1	スレーブ・チャンネル出力モード (タイマ三角波出力モード・レジスタ (TOT0) の設定により、出力モードを選択 ^注)

注 インバータ制御機能使用時は、タイマ三角波出力モード・レジスタ0 (TOT0) の設定により、スレーブ・チャンネル出力モードを選択。詳細は、第7章 インバータ制御機能を参照してください。

注意 ビット15-12には、必ず0を設定してください。

備考 n : チャンネル番号, m : スレーブ・チャンネル番号

n = 00-11 (マスタ・チャンネル時 : n = 00, 02, 04, 06, 08, 10)

n < m 11 (マスタ・チャンネル, スレーブ・チャンネルの関係についての詳細は、6. 4 複数チャンネル連動動作機能の基本ルールを参照してください)

- (13) タイマ三角波出力モード・レジスタ0 (TOT0)
- (14) タイマ・リアルタイム出力許可レジスタ0 (TRE0)
- (15) タイマ・リアルタイム出力レジスタ0 (TRO0)
- (16) タイマ・リアルタイム制御レジスタ0 (TRC0)
- (17) タイマ・デッド・タイム出力許可レジスタ0 (TDE0)
- (18) タイマ・モジュレーション出力許可レジスタ0 (TME0)
- (19) TAUオプション・モード・レジスタ (OPMR)
- (20) TAUオプション・ステータス・レジスタ (OPSR)
- (21) TAUオプション・Hi-Zスタート・トリガ・レジスタ (OPHS)
- (22) TAUオプション・Hi-Zストップ・トリガ・レジスタ (OPHT)
- (23) TAUオプション・コントロール・レジスタ (OPCR)

上記レジスタは、インバータ制御で使用するレジスタです。各レジスタの設定とインバータ制御についての詳細は、**第7章 インバータ制御機能**を参照してください。

(24) 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは、チャンネル7をシリアル・アレイ・ユニットと提携してLIN-bus通信動作を実現するときを使用します。ISC1ビットに1を設定すると、シリアル・データ入力端子 (RxD0) の入力信号がタイマ入力として選択されます。

ISC4-ISC2ビットは、タイマ・チャンネル0, 1, 8-11のタイマ入出力端子としてP52/SLTI/SLTO端子を選択する場合に設定します (78K0R/IB3には、このビットは搭載していません。)。

ISCは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、ISCは00Hになります。

図6 - 22 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4 ^{注1}	ISC3 ^{注1}	ISC2 ^{注1}	ISC1	ISC0

ISC4	ISC3	ISC2	P52/SLTI/SLTO端子をタイマ入出力端子として選択											
			チャンネル0		チャンネル1		チャンネル8		チャンネル9		チャンネル10		チャンネル11	
			入力端子	出力端子	入力端子	出力端子	入力端子	出力端子	入力端子	出力端子	入力端子	出力端子	入力端子	出力端子
0	0	0	P00/ TI00	P01/ TO00	P52/ SLTI	P52/ SLTO	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
0	0	1	P52/ SLTI	P52/ SLTO	-	-	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
0	1	0	P00/ TI00	P01/ TO00	-	-	P52/ SLTI	P52/ SLTO	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
0	1	1	P00/ TI00	P01/ TO00	-	-	P16/ TI08	P16/ TO08	P52/ SLTI	P52/ SLTO	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
1	0	0	P00/ TI00	P01/ TO00	-	-	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P52/ SLTI	P52/ SLTO	P75/ TI11	P30/ TO11
1	0	1	P00/ TI00	P01/ TO00	-	-	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P52/ SLTI	P52/ SLTO
上記以外			設定禁止											

ISC1	タイマ・アレイ・ユニットTAUSのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD0端子の入力信号をタイマ入力とする (ウエイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする (ウエイクアップ信号検出)

(注, 注意, 備考は次ページにあります。)

- 注1. 78K0R/IB3には、ISC2-ISC4ビットは搭載していません。このビットは、0固定になります。
2. 78K0R/IE3の場合P17/TI09端子となります。

注意1. ビット7-5には、必ず0を設定してください。

2. RxD0とタイマ入力端子が兼用している場合は、兼用しているタイマ入力端子のチャンネルもLIN-bus機能として使用できます。各製品でチャンネル7以外に使用できるタイマ・チャンネルを次に示します。

78K0R/IB3 (P11/RxD0/TI01/TO03)	: TAUSのチャンネル3
78K0R/IC3の38ピン製品 (P72/INTP6/RxD0)	: なし
78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3,	
78K0R/IE3 (P74/RxD0/TI10/SI00)	: TAUSのチャンネル10

備考1. LIN-bus通信を使用する場合は、ISC1 = 1に設定してRxD0端子の入力信号を選択しておいてください。

2. チャンネル0, 1, 8-11のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-1 各製品に搭載しているタイマ入出力端子または、表6-3~表6-5 チャンネル0, 1, 8-11で選択できる入出力端子を参照してください。チャンネル0, 1, 8-11にタイマ入出力端子のない製品は、P52/SLTI/SLTO端子のみタイマ入出力端子として選択可能です。

(25) ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)

NFEN1, NFEN2は、タイマ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

ノイズ除去が必要な端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、動作クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。ノイズ・フィルタ無効時は、動作クロック (f_{MCK}) で同期化だけ行います。

NFEN1, NFEN2は1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN1, NFEN2は00Hになります。

図6 - 23 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) のフォーマット (1/3)

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	0	TNFEN00

アドレス : F0062H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	TNFENSL	TNFEN11	TNFEN10	TNFEN09	TNFEN08

TNFENSL	SLTI/SLTO/P52端子入力信号のノイズ・フィルタ使用可否 (78K0R/IB3はSLTI, SLTO端子はなし)
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN11	T111/SCK00/P75端子入力信号のノイズ・フィルタ使用可否 (78K0R/IB3, 78K0R/IC3の38ピン製品はT111端子なし)
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN10	T110/SI00/RxD0/P74端子入力信号のノイズ・フィルタ使用可否 (78K0R/IB3, 78K0R/IC3の38ピン製品はT110端子なし)
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN09	次の端子入力信号のノイズ・フィルタ使用可否 78K0R/IB3, 78K0R/IC3, 78K0R/ID3 : TI09/SI10/RxD1/SDA10/INTP1/P31 78K0R/IE3 : TI09/TO09/P17
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN08	TI08/TO08/P16端子入力信号のノイズ・フィルタ使用可否 (78K0R/IB3, 78K0R/IC3, 78K0R/ID3はTI08端子なし)
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

図6 - 23 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) のフォーマット (2/3)

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	0	TNFEN00

アドレス : F0062H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	TNFENSL	TNFEN11	TNFEN10	TNFEN09	TNFEN08

TNFEN07	次の端子入力信号のノイズ・フィルタ使用可否 ^注 78K0R/IB3 : TI07/TO07/P51端子またはRxD0/TI03/TO03/P11端子 78K0R/IC3の38ピン製品 : TI07/TO07/P51端子またはRxD0/INTP6/P72端子 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3 : TI07/TO07/P51端子またはRxD0/SI00/TI10/P74端子 78K0R/IE3 : TI07/TO07/P15端子またはRxD0/SI00/TI10/P74端子
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN06	次の端子入力信号のノイズ・フィルタ使用可否 78K0R/IB3, 78K0R/IC3, 78K0R/ID3 : TI06/TO06/P50 78K0R/IE3 : TI06/TO06/P14
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN05	TI05/TO05/P13端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN04	TI04/TO04/P12端子入力信号のノイズ・フィルタ使用可否
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN03	次の端子入力信号のノイズ・フィルタ使用可否 78K0R/IB3 : TI03/TO03/RxD0/P11 78K0R/IC3, 78K0R/ID3, 78K0R/IE3 : TI03/TO03/P11
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

注 ISCレジスタのISC1を設定することにより, 適用する端子を切り替えることができます。

ISC1 = 0に設定 : TI07端子のノイズ・フィルタ使用可否選択が可能

ISC1 = 1に設定 : RxD0端子のノイズ・フィルタ使用可否選択が可能

図6 - 23 ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) のフォーマット (3/3)

アドレス : F0061H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN1	TNFEN07	TNFEN06	TNFEN05	TNFEN04	TNFEN03	TNFEN02	0	TNFEN00

アドレス : F0062H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN2	0	0	0	TNFENSL	TNFEN11	TNFEN10	TNFEN09	TNFEN08

TNFEN02	次の端子入力信号のノイズ・フィルタ使用可否 78K0R/IB3 : TI02/TO02/TxD0/P10 78K0R/IC3, 78K0R/ID3, 78K0R/IE3 : TI02/TO02/P10
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

TNFEN00	TI00/P00端子入力信号のノイズ・フィルタ使用可否 (78K0R/IB3, 78K0R/IC3はTI00端子なし)
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON

(26) ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7)^注

ポート0, 1, 3, 5, 7^注の入力/出力を1ビット単位で設定するレジスタです。

タイマ出力端子を兼用するポート (P12/TO04/TI04, P13/TO05/TI05, P30/TO11/SO10/TxD1など) をタイマ出力として使用するとき, 各ポートに対応するポート・モード・レジスタ (PMxx) のビットおよびポート・レジスタ (Pxx) のビットに0を設定してください。

例) P30/TO11/SO10/TxD1をタイマ出力として使用する場合

- ・ポート・モード・レジスタ3のPM30ビットを0に設定
- ・ポート・レジスタ3のP30ビットを0に設定

タイマ入力端子を兼用するポート (P12/TO04/TI04, P13/TO05/TI05, P31/TI09/SI10/RxD1/SDA10/INTP1など) をタイマ入力として使用するとき, 各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは, 0または1のどちらでもかまいません。

例) P31/TI09/SI10/RxD1/SDA10/INTP1をタイマ入力として使用する場合

- ポート・モード・レジスタ3のPM31ビットを1に設定
- ポート・レジスタ3のP31ビットを0または1に設定

PM0, PM1, PM3, PM5, PM7^注は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, PM0, PM1, PM3, PM5, PM7^注はFFHになります。

注 PM0, P0レジスタは, 78K0R/ID3, 78K0R/IE3のみ。PM7, P7レジスタは, 78K0R/IB3にはありません。

図6 - 24 ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7) のフォーマット (78K0R/IE3の場合)

アドレス :	FFF20H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM0	1	1	1	1	1	1	PM01	PM00	
アドレス :	FFF21H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM1	PM17	PM16	PM15	PM14	PM13	PM12	PM11	PM10	
アドレス :	FFF23H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM3	1	1	1	1	PM33	PM32	PM31	PM30	
アドレス :	FFF25H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM5	1	1	1	1	PM53	PM52	PM51	PM50	
アドレス :	FFF27H	リセット時 :	FFH	R/W					
略号	7	6	5	4	3	2	1	0	
PM7	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70	
PMmn	Pmn端子の入出力モードの選択 (m = 0, 1, 3, 5, 7; n = 0-7)								
0	出力モード (出力バッファ・オン)								
1	入力モード (出力バッファ・オフ)								

備考 上記は、78K0R/IE3のポート・モード・レジスタ0, 1, 3, 5, 7のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、4.3(1)ポート・モード・レジスタ (PMxx) を参照してください。

6.4 複数チャンネル連動動作機能の基本ルール

複数チャンネル連動動作機能は、マスタ・チャンネル（主に周期をカウントする基準タイマ）とスレーブ・チャンネル（マスタ・チャンネルに従い動作するタイマ）を組み合わせることで実現する機能で、使用にあたってはいくつかのルールがあります。

次に複数チャンネル連動動作機能の基本ルールを示します。

- (1) マスタ・チャンネルには、偶数チャンネル（チャンネル0, チャンネル2, チャンネル4, ...）のみ設定できます。
- (2) スレーブ・チャンネルには、チャンネル0を除くすべてのチャンネルを設定できます。
- (3) スレーブ・チャンネルには、マスタ・チャンネルの下位チャンネルのみ設定できます。

例 チャンネル2をマスタ・チャンネルにした場合、チャンネル3以降（チャンネル3, チャンネル4, チャンネル5, ...）をスレーブ・チャンネルに設定できます。

- (4) 1つのマスタ・チャンネルに対し、スレーブ・チャンネルは複数設定できます。
- (5) マスタ・チャンネルを複数使用する場合、マスタ・チャンネルをまたいだスレーブ・チャンネルの設定はできません。

例 チャンネル0, チャンネル4をマスタ・チャンネルにした場合、マスタ・チャンネル0は、チャンネル1-3までをスレーブ・チャンネルとして設定できます。マスタ・チャンネル0は、チャンネル5-7をスレーブ・チャンネルとして設定できません。

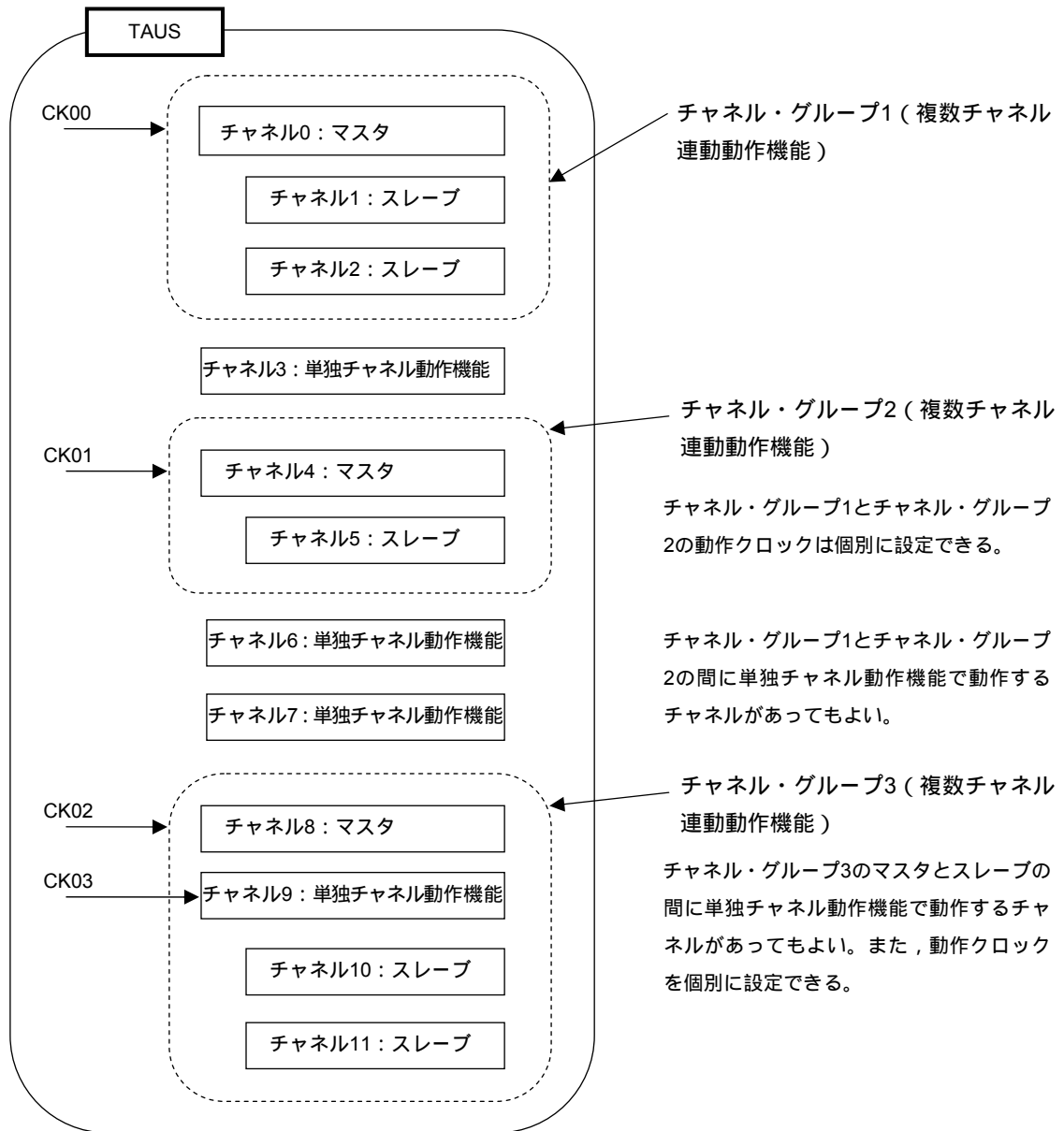
- (6) マスタ・チャンネルはINTTMn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを下位チャンネルに伝えることができます。
- (7) スレーブ・チャンネルはマスタ・チャンネルのINTTMn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用できますが、下位チャンネルに自身のINTTMn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックを伝えることはできません。
- (8) マスタ・チャンネルは、他の上位のマスタ・チャンネルからのINTTMn（割り込み）/スタート・ソフトウェア・トリガ/カウント・クロックをソース・クロックとして使用することはできません。
- (9) 連動させるチャンネルを同時スタートする必要があるため、連動させるチャンネルのチャンネル・スタート・トリガ・ビット（TSn）を同時に設定します。
- (10) 連動させるチャンネルを同時に停止する必要があるため、連動させるチャンネルのチャンネル・ストップ・トリガ・ビット（TTn）を同時に設定します。

備考 n = 00-11（ただし、マスタ・チャンネルの場合n = 00, 02, 04, 06, 08, 10）

複数チャンネル連動動作機能の基本ルールは、チャンネル・グループ（1つの複数チャンネル連動動作機能を形成するマスタ・チャンネルとスレーブ・チャンネルの集合）内に適用されるルールです。

それぞれが連動しない2つ以上のチャンネル・グループを設定した場合、チャンネル・グループ間には上記の基本ルールは適用されません。

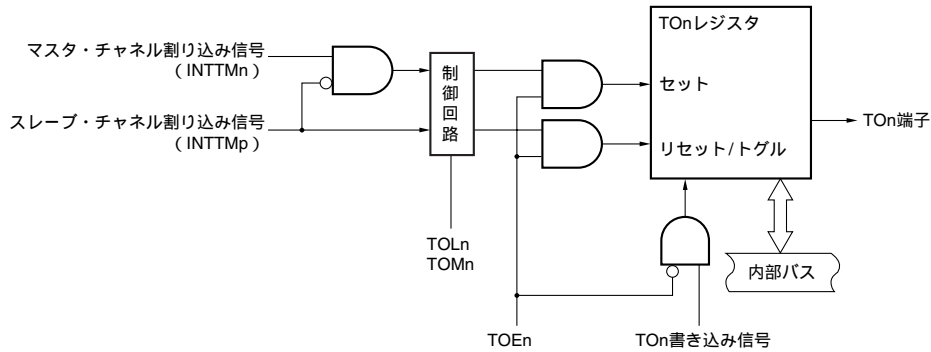
例



6.5 チャンネル出力 (TOn端子) の制御

6.5.1 TOn端子の出力回路の構成 (インバータ制御機能を使用しない場合)

図6 - 25 出力回路構成図



TOn端子の出力回路の説明を次に示します。

TOMn = 0 (マスタ・チャンネル出力モード) のときは、TOL0レジスタの設定値は無視され、INTTMp (スレーブ・チャンネル・タイマ割り込み) のみがTOnレジスタに伝えられます。

TOMn = 1 (スレーブ・チャンネル出力モード) のときは、INTTMn (マスタ・チャンネル・タイマ割り込み) とINTTMp (スレーブ・チャンネル・タイマ割り込み) がTOnレジスタに伝えられます。

このとき、TOL0レジスタが有効となり、次のように信号を制御します。

TOLn = 0の場合 : 正転動作 (INTTMn セット, INTTMp リセット)

TOLn = 1の場合 : 反転動作 (INTTMn リセット, INTTMp セット)

また、INTTMnとINTTMpが同時に発生した場合 (PWM出力の0%出力時) は、INTTMp (リセット信号) が優先され、INTTMn (セット信号) はマスクされます。

タイマ出力許可状態 (TOEn = 1) で、INTTMn (マスタ・チャンネル・タイマ割り込み) とINTTMp (スレーブ・チャンネル・タイマ割り込み) がTOnに伝えられます。TOnレジスタへの書き込み (TOnライト信号) は無効となります。

また、TOEn = 1のとき、割り込み信号以外でTOn端子の出力が変化することはありません。

TOn端子の出力レベルを初期化する場合は、タイマ動作停止 (TOEn = 0) に設定しTOnに値を書き込む必要があります。

タイマ出力禁止状態 (TOEn = 0) で、対象チャンネルのTOnビットへの書き込み (TOnライト信号) が有効となります。タイマ出力禁止状態 (TOEn = 0) のとき、INTTMn (マスタ・チャンネル・タイマ割り込み) とINTTMp (スレーブ・チャンネル・タイマ割り込み) はTOnレジスタに伝えられません。

TOnレジスタは常に読み出し可能であり、TOn端子の出力レベルを確認することができます。

備考 n : チャンネル番号, p : スレーブ・チャンネル番号

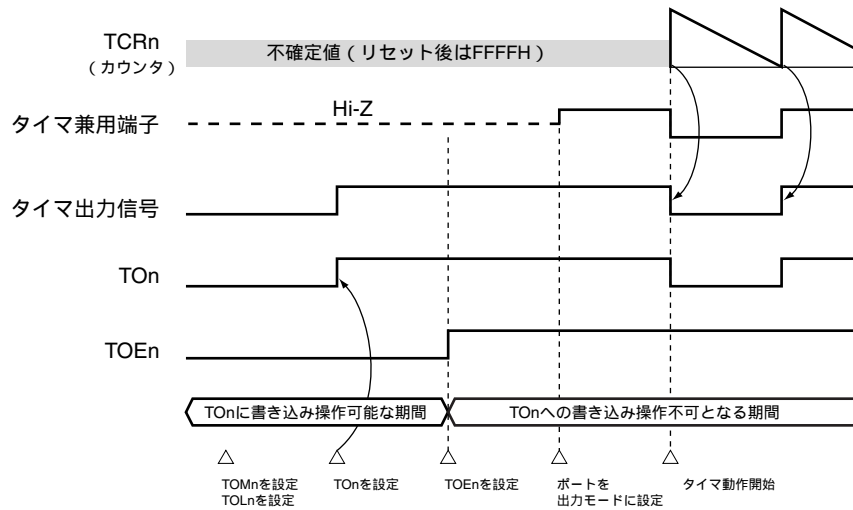
n = 00-11 (ただしマスタ・チャンネルの場合n = 00, 02, 04, 06, 08, 10, 78K0R/IBのタイマ入力端子 (TIn) の場合 : n = 02-07, 09, 78K0R/IBのタイマ出力端子 (TOn) の場合 : n = 02-07, 11,)

n < p 11 (マスタ・チャンネル, スレーブ・チャンネルの関係についての詳細は、6.4 複数チャンネル連動動作機能の基本ルールを参照してください)

6.5.2 TOn端子の出力設定

TOn出力端子の初期設定からタイマ動作開始までの手順と状態変化を次に示します。

図6 - 26 タイマ出力設定から動作開始までの状態変化



タイマ出力の動作モードを設定をします。

- ・ TOMnビット (0: マスタ・チャンネル出力モード, 1: スレーブ・チャンネル出力モード)
- ・ TOLnビット (0: 正転出力, 1: 反転出力)

TO0レジスタを設定することにより, タイマ出力信号が初期状態に設定されます。

TOEnに1を書き込み, タイマ出力動作を許可します(TO0レジスタへの書き込みは不可となります)。ポートの入出力設定を出力に設定します(6.3 (26) **ポート・モード・レジスタ0, 1, 3, 5, 7**参照)。タイマを動作許可にします(TSn = 1)。

備考 n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TOn) の場合: n = 02-07, 11)

6.5.3 チャンネル出力操作時の注意事項

(1) タイマ動作中のTO0, TOE0, TOL0, TOM0レジスタの設定値変更について

タイマ動作 (TCRn, TDRnの動作) は, TOn出力回路とは独立しています。よって, TO0, TOE0, TOL0, TOM0の設定値変更はタイマ動作に影響しないため, タイマ動作中に設定値の変更が可能です。ただし, 各タイマ動作において期待する波形をTOn端子から出力するためには, 各動作のレジスタ設定内容例の値に設定してください。

各チャンネルのタイマ割り込み (INTTMn) 近辺で, TO0を除くTOE0, TOL0, TOM0の設定値変更を行うと, タイマ割り込み (INTTMn) 信号発生タイミング直前に設定値変更が実施された場合と, タイマ割り込み (INTTMn) 信号発生タイミング直後に設定値変更が実施された場合とでは, TOn端子に出力される波形が異なる場合があります。

備考 n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TOn) の場合: n = 02-07, 11)

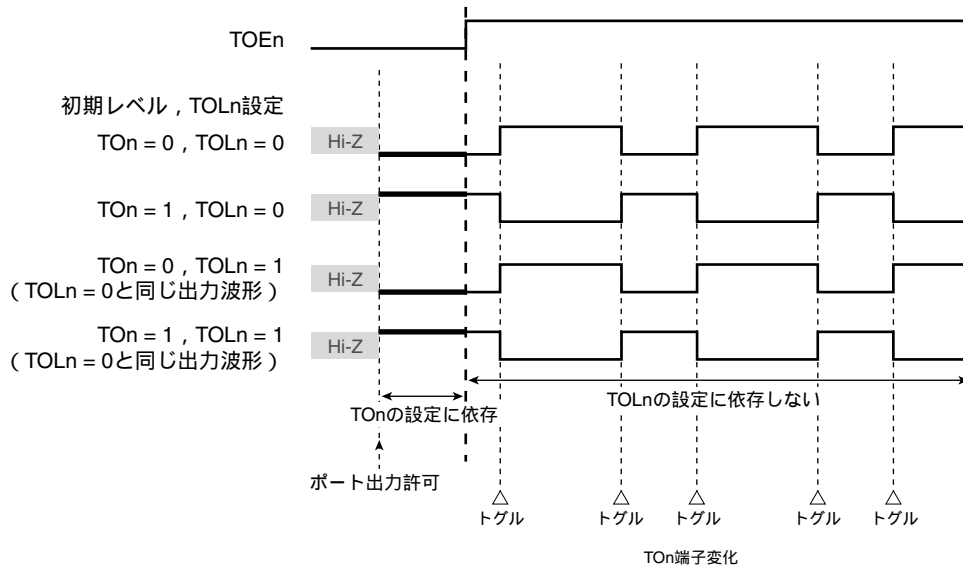
(2) TOn端子の初期レベルとタイマ動作開始後の出力レベルについて

ポート出力許可前に、タイマ出力禁止 (TOEn = 0) の状態でTO0レジスタに書き込みを行い、初期レベル変更後、タイマ出力許可状態 (TOEn = 1) に設定した場合のTOn端子出力レベルの変化を次に示します。

(a) マスタ・チャンネル出力モード (TOMn = 0) 設定で動作を開始した場合 (トグル出力)

マスタ・チャンネル出力モード (TOMn = 0) の時、TOLnレジスタの設定は無効となります。初期レベル設定後、タイマ動作を開始するとトグル信号発生によりTOn端子の出力レベルを反転します。

図6 - 27 トグル出力時 (TOMn = 0) のTOn端子出力状態



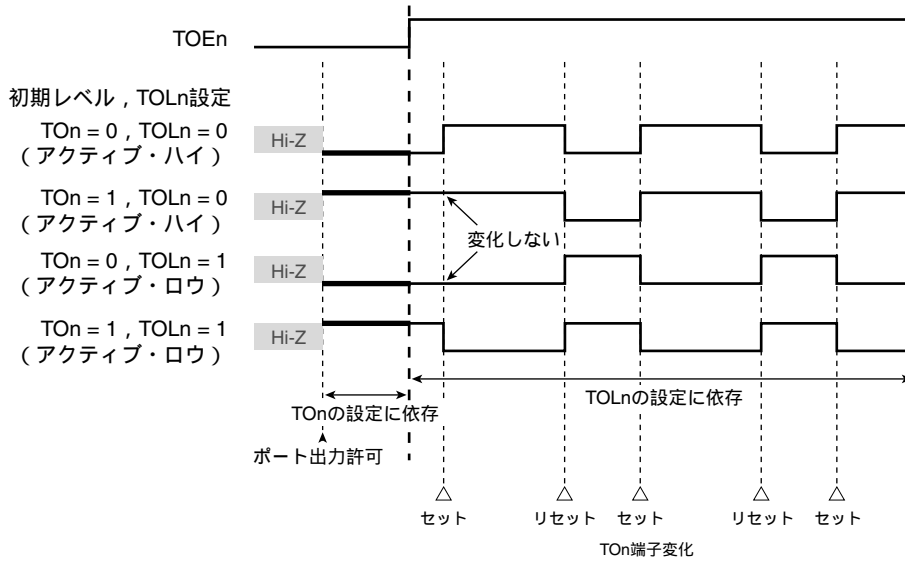
備考1. トグル : TOn端子の出力状態を反転

2. n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TOn) の場合 : n = 02-07, 11)

(b) スレーブ・チャンネル出力モード (TOMn = 1) 設定で動作を開始した場合 (PWM出力)

スレーブ・チャンネル出力モード (TOMn = 1) の時, TOLnの設定によりアクティブ・レベルを決定します。

図6 - 28 PWM出力時 (TOMn = 1) のTON端子出力状態



- 備考1. セット : TON端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TON端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
2. n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TON) の場合 : n = 02-07, 11)

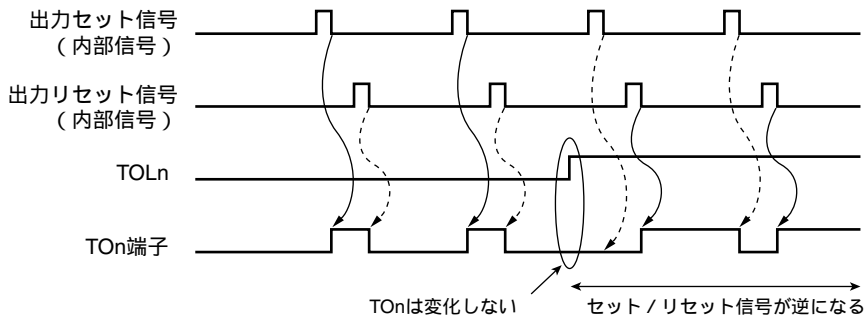
(3) TON端子のスレーブ・チャンネル出力モード (TOMn = 1) での動作について

(a) タイマ動作中にTOL0レジスタの設定を変更した場合

タイマ動作中にTOL0レジスタの設定を変更した場合, 設定が有効となるのはTON端子変化条件の発生タイミングです。TOL0レジスタの書き換えでは, TON端子の出力レベルは変化しません。

TOMn = 1で, タイマ動作中 (TEn = 1) にTOL0レジスタの値を変更した場合の動作を次に示します。

図6 - 29 タイマ動作中にTOL0レジスタを変更した場合の動作



- 備考1. セット : TON端子の出力信号が, インアクティブ・レベルからアクティブ・レベルに変化
 リセット : TON端子の出力信号が, アクティブ・レベルからインアクティブ・レベルに変化
2. n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TON) の場合 : n = 02-07, 11)

(b) セット/リセット・タイミング

PWM出力時に、0% / 100%出力を実現するため、マスタ・チャンネル・タイマ割り込み (INTTMn) 発生時のTON端子 / TONビットのセット・タイミングをスレーブ・チャンネルにて1カウント・クロック分遅らせています。

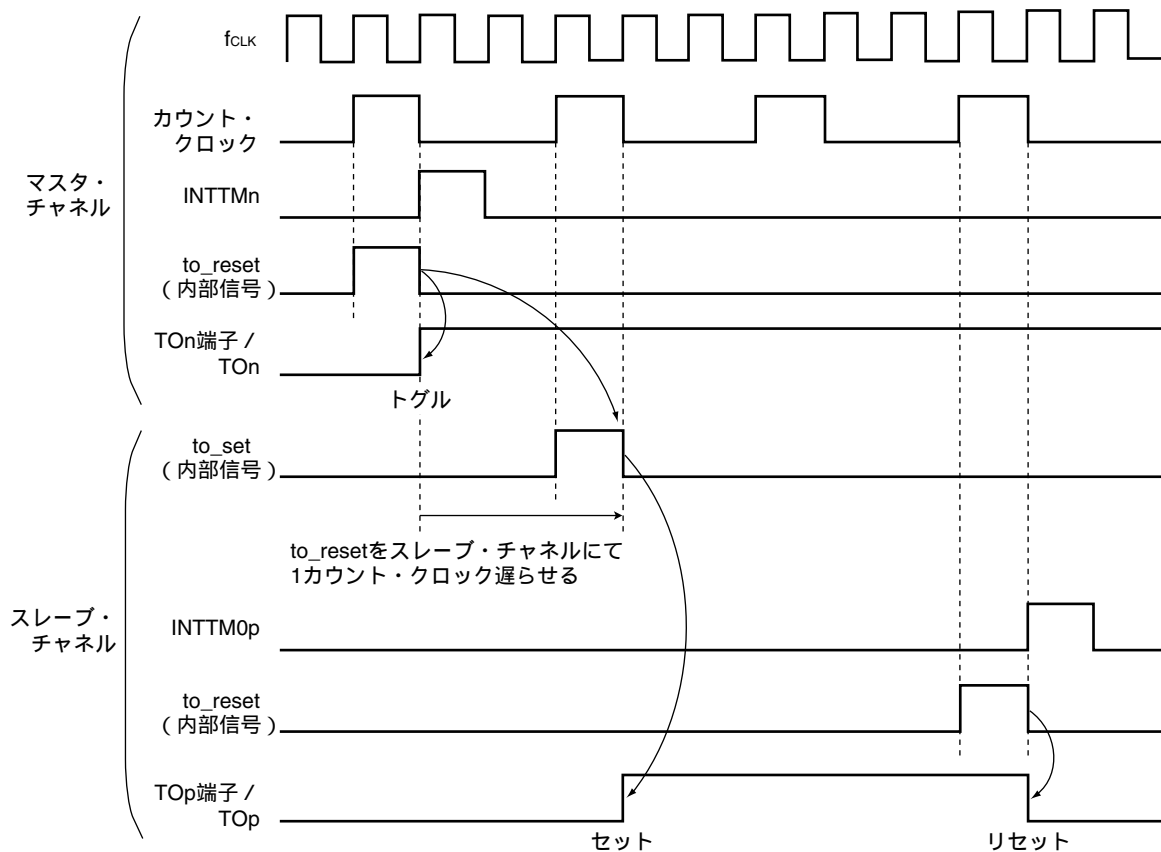
セット条件とリセット条件が同時に発生した場合、リセット条件が優先されます。

マスタ/スレーブ・チャンネルを次のように設定した場合のセット/リセット動作状態を図6 - 30に示します。

マスタ・チャンネル : TOEn = 1, TOMn = 0, TOLn = 0

スレーブ・チャンネル : TOEp = 1, TOMp = 1, TOLp = 0

図6 - 30 セット/リセット・タイミング動作状態



備考1. to_reset : TOn端子のリセット/トグル信号

to_set : TOn端子のセット信号

2. n : チャンネル番号, p : スレーブ・チャンネル番号

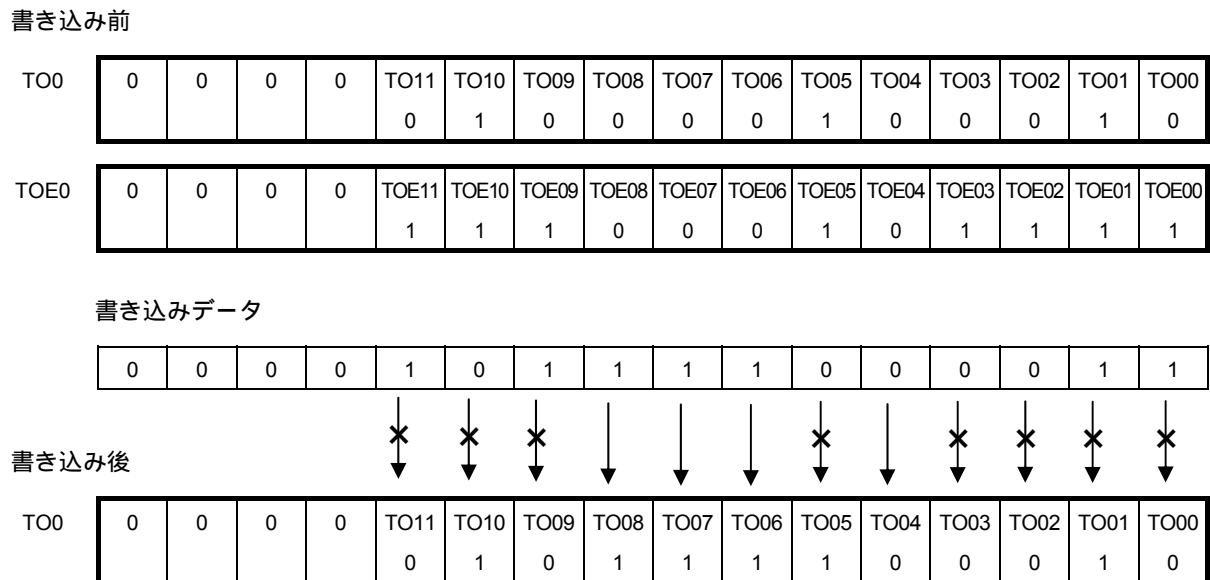
n = 00-11 (ただしマスタ・チャンネルの場合n = 00, 02, 04, 06, 08, 10, 78K0R/IB3のタイマ入力端子 (TIn) の場合 : n = 02-07, 09, 78K0R/IB3のタイマ出力端子 (TON) の場合 : n = 02-07, 11)

n < p 11 (マスタ・チャンネル, スレーブ・チャンネルの関係についての詳細は, 6.4 複数チャンネル連動動作機能の基本ルールを参照してください)

6.5.4 TOnビットの一括操作

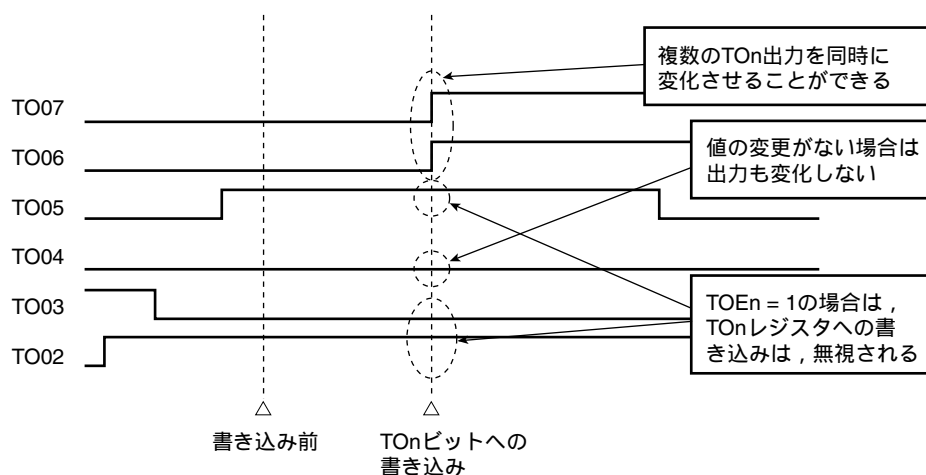
TO0レジスタには、TS0レジスタ（チャンネル・スタート・トリガ）と同様に、1レジスタに全チャンネル分の設定ビット（TOn）が配置されています。よって、全チャンネルのTOnを一括で操作することが可能です。また、操作対象としたいチャンネル出力（TOn）のみTOnビットへの書き込み可能（TOEn = 0）とすることによって任意のビットのみ操作することが可能です。

図6 - 31 TOnビットの一括操作例



TOEn = 0のTOnビットのみ書き込みが行われます。TOEn = 1のTOnビットへの書き込みは無視されます。
 TOEn = 1に設定されているTOn（チャンネル出力）は、書き込み操作による影響は受けません。TOnに書き込み操作が行われても無視し、タイマ動作による出力変化は正常に行われます。

図6 - 32 TOnビットの一括操作によるTOnの端子状態



注意 タイマ出力許可状態（TOEn = 1）において、各チャンネルのタイマ割り込み（INTTMn）による出力とTOnへの書き込みが競合しても、TOn端子は正常に出力動作が行われます。

備考 n = 00-11（ただし、78K0R/IB3のタイマ出力端子（TOn）の場合：n = 02-07, 11）

6.5.5 カウント動作開始時のタイマ割り込みとTOn端子出力について

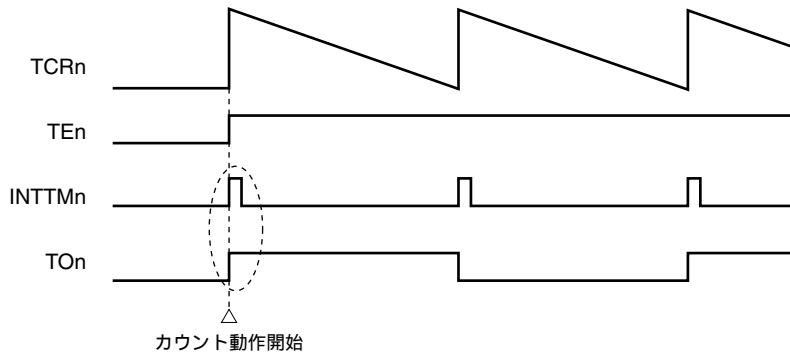
インターバル・タイマ・モード/キャプチャ・モードの場合、TMRnレジスタのMDn0ビットは、「カウント開始時にタイマ割り込みを発生する/しない」を設定するビットとなります。

MDn0 = 1に設定することで、タイマ割り込み (INTTMn) の発生によりカウント動作開始タイミングを知ることが可能です。

その他の動作モードでは、カウント動作開始時のタイマ割り込み、TOn出力は制御しません。

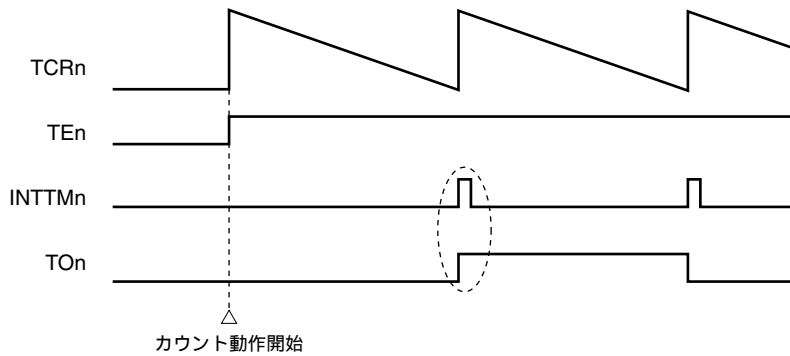
インターバル・タイマ・モード (TOEn = 1, TOMn = 0) に設定した場合の動作例を次に示します。

図6 - 33 MDn0 = 1に設定した場合



MDn0 = 1に設定した場合、カウント動作開始時にタイマ割り込み (INTTMn) が出力され、TOnがトグル動作します。

図6 - 34 MDn0 = 0に設定した場合



MDn0 = 0に設定した場合、カウント動作開始時にタイマ割り込み (INTTMn) を出力しません。TOnも変化しません。1周期をカウント後、INTTMnを出力し、TOnがトグル動作します。

備考 n = 00-11 (ただし、78K0R/IB3のタイマ出力端子 (TOn) の場合 : n = 02-07, 11)

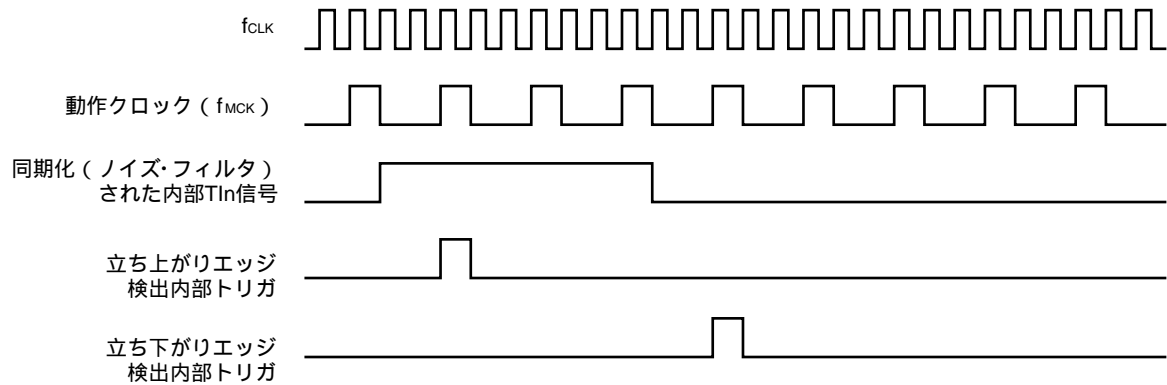
6.6 チャンネル入力 (TIn端子) の制御

6.6.1 TInエッジ検出回路

(1) エッジ検出基本動作タイミング

エッジ検出回路のサンプリングは動作クロック (f_{MCK}) に合わせて行われます。

図6 - 35 エッジ検出基本動作タイミング



備考 n = 00-11 (ただし, 78K0R/IB3のタイマ入力端子 (TIn) の場合 : n = 02-07, 09)

6.7 タイマ・アレイ・ユニットTAUSの単独チャンネルでの動作

6.7.1 インターバル・タイマ/方形波出力としての動作

(1) インターバル・タイマ

一定間隔でINTTMn (タイマ割り込み) を発生する基準タイマとして利用することができます。

割り込み発生周期は、次の式で求めることができます。

$$\text{INTTMn (タイマ割り込み) の発生周期} = \text{カウント・クロックの周期} \times (\text{TDRnの設定値} + 1)$$

78K0R/IB3以外の製品では、カウント・クロックにCK00-CK03のほかにサブシステム・クロックの4分周 ($f_{\text{SUB}}/4$) の選択ができます。これにより、 f_{CLK} の周波数 (メイン・システム・クロック, サブシステム・クロック) に関係なく、カウント・クロックを $f_{\text{SUB}}/4$ 固定でインターバル・タイマ動作が可能です。ただし、 f_{CLK} に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、タイマ・アレイ・ユニットTAUSの全チャンネルを停止 (タイマ・チャンネル停止レジスタ0 (TT0) = 0FFFH) させてから変更してください。

(2) 方形波出力としての動作

TOnは、INTTMn発生と同時にトグル動作を行い、デューティ50%の方形波を出力します。

TOn出力波形の周期と周波数は、次の式で求めることができます。

$$\cdot \text{TOnからの出力方形波の周期} = \text{カウント・クロックの周期} \times (\text{TDRnの設定値} + 1) \times 2$$

$$\cdot \text{TOnからの出力方形波の周波数} = \text{カウント・クロックの周波数} / \{ (\text{TDRnの設定値} + 1) \times 2 \}$$

TCRnはインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TSn) に1を設定後、最初のカウント・クロックでTCRnはTDRnの値をロードします。このときTMRnのMDn0 = 0ならば、INTTMnを出力せず、TOnはトグルしません。TMRnのMDn0 = 1ならば、INTTMnを出力して、TOnをトグルします。

その後、TCRnはカウント・クロックに合わせてダウン・カウントを行います。

TCRn = 0000Hとなったら、次のカウント・クロックでINTTMnを出力しTOnをトグルします。また、同タイミングで再びTCRnはTDRnの値をロードします。以降、同様の動作を継続します。

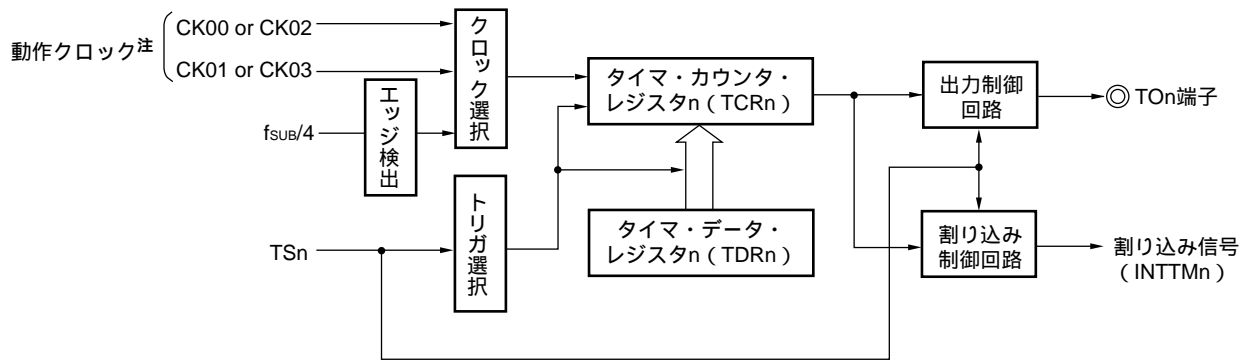
TDRnは任意のタイミングで書き換えることができます。書き換えたTDRnの値は、次の周期から有効となります。

備考1. n = 00-11 (ただし、78K0R/IB3のタイマ出力端子 (TOn) の場合: n = 02-07, 11)

2. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

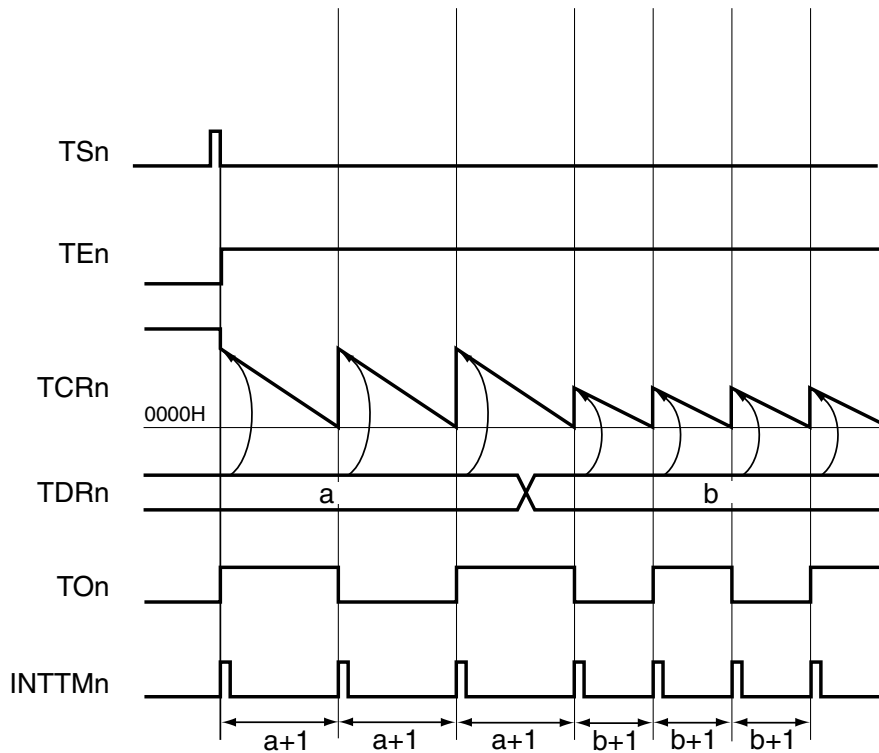
f_{SUB} : サブシステム・クロック発振周波数

図6 - 36 インターバル・タイマ/方形波出力としての動作のブロック図



注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

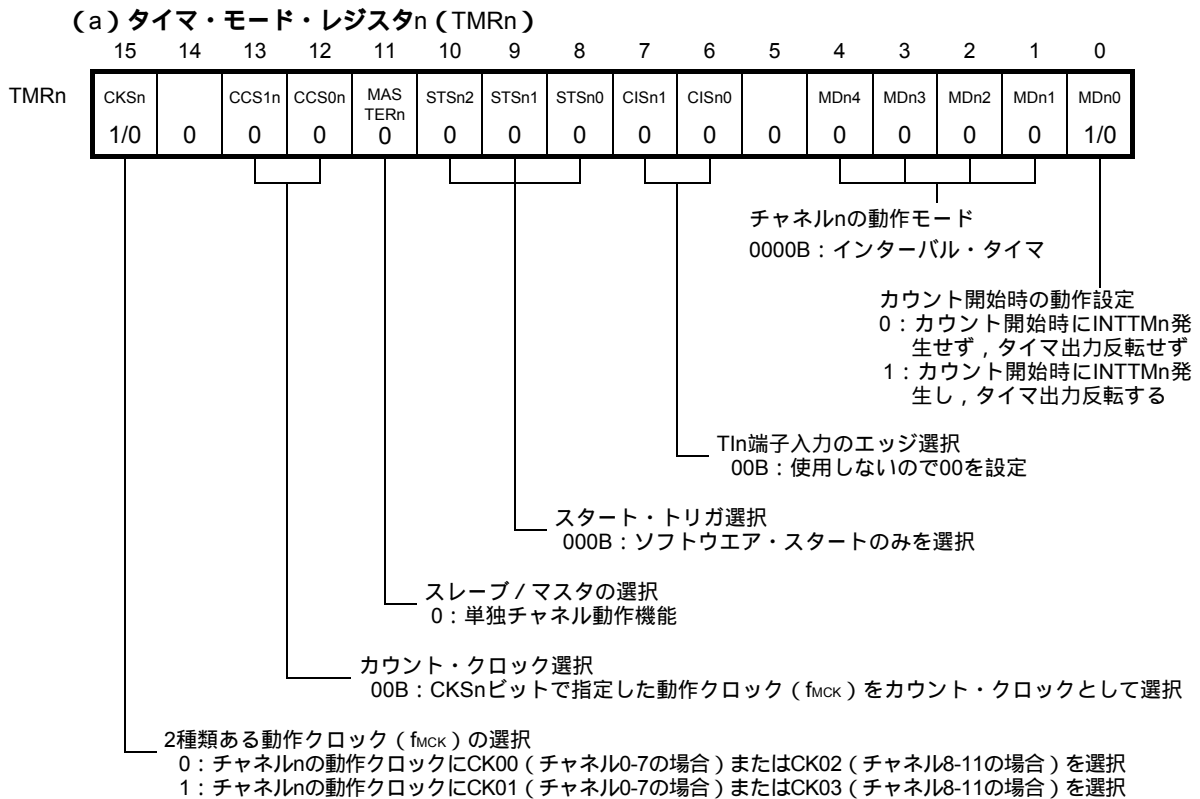
図6 - 37 インターバル・タイマ/方形波出力としての動作の基本タイミング例 (初期設定: TOn = 0, MDn0 = 1)



- 備考1. n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TOn) の場合: n = 02-07, 11)
2. TSn : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
 TEn : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
 TCRn : タイマ・カウンタ・レジスタn (TCRn)
 TDRn : タイマ・データ・レジスタn (TDRn)
 TOn : TOn端子出力信号

図6 - 38 インターバル・タイマ/方形波出力としての動作時のレジスタ設定内容例 (1/3)

(1) カウント・クロックにCK00, CK01を選択した場合



(b) タイマ出力レジスタ0 (TO0)

	ビットn	
TO0	TOn	0 : TOnより0を出力する
	1/0	1 : TOnより1を出力する

(c) タイマ出力許可レジスタ0 (TOE0)

	ビットn	
TOE0	TOEn	0 : カウント動作によるTOn出力動作停止
	1/0	1 : カウント動作によるTOn出力動作許可

(d) タイマ出力レベル・レジスタ0 (TOL0)

	ビットn	
TOL0	TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
	0	

(e) タイマ出力モード・レジスタ0 (TOM0)

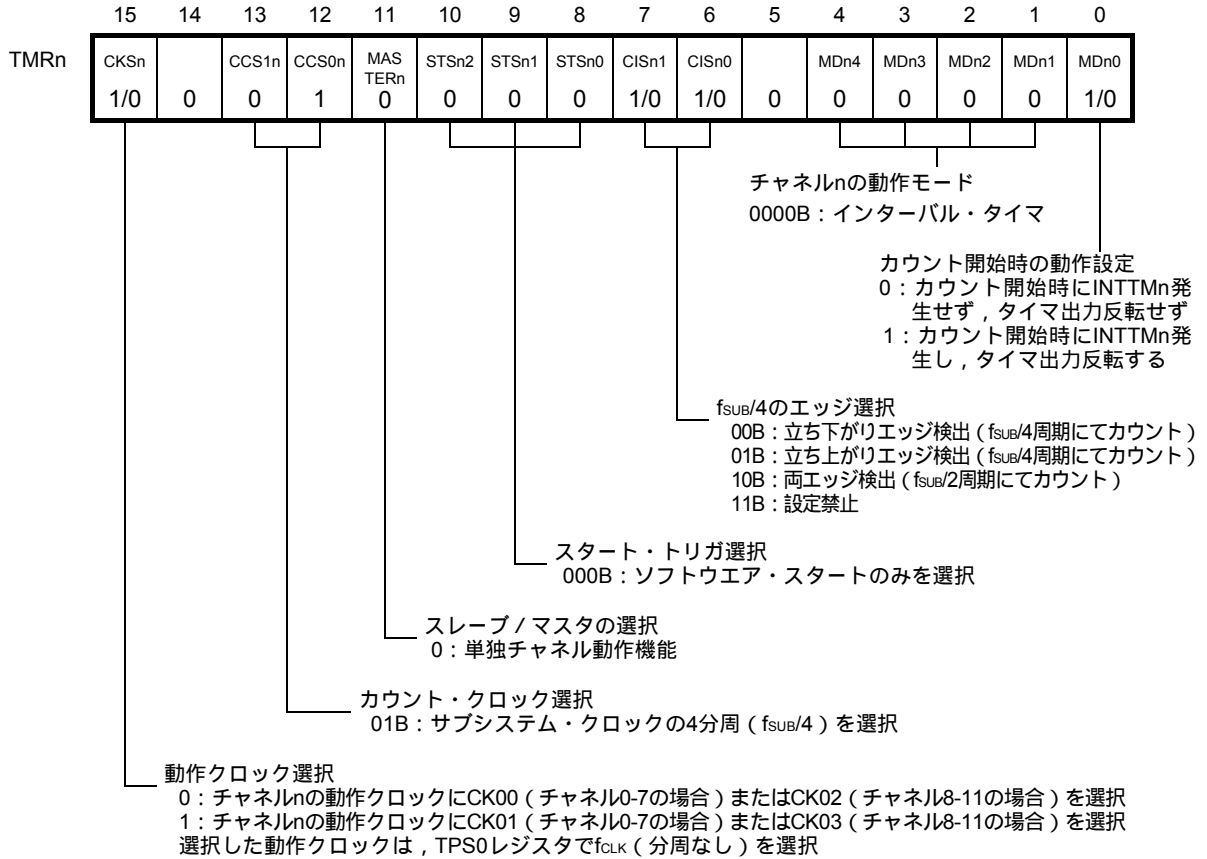
	ビットn	
TOM0	TOMn	0 : マスタ・チャンネル出力モードを設定
	0	

備考 n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子 (TOn) の場合 : n = 02-07, 11)

図6 - 38 インターバル・タイマ/方形波出力としての動作時のレジスタ設定内容例 (2/3)

(2) カウント・クロックに $f_{SUB}/4$ を選択した場合 (78K0R/IB3以外の製品のみ)

(a) タイマ・モード・レジスタ n (TMR n)



(b) タイマ・クロック選択レジスタ0 (TPS0)

ビット7-4, 3-0

PRRS0k3-PRRS0k0
0000

0000B : TMR n レジスタのCKSnビットで選択した動作クロックに, f_{CLK} (分周なし) を選択
 CK00選択時は $k = 0$ (ビット0-3), CK01選択時は $k = 1$ (ビット4-7), CK02選択時は $k = 2$ (ビット8-11), CK03選択時は $k = 3$ (ビット12-15)

(c) タイマ入力選択レジスタ0 (TIS0)

ビット n

TISn
1

1 : サブシステム・クロックの4分周 ($f_{SUB}/4$) を選択

(d) タイマ出力レジスタ0 (TO0)

ビット n

TO n
1/0

0 : TO n より0を出力する
 1 : TO n より1を出力する

備考1. $n = 00-11, k = 0-3$

2. f_{SUB} : サブシステム・クロック発振周波数

図6 - 38 インターバル・タイマ / 方形波出力としての動作時のレジスタ設定内容例 (3/3)

(2) カウント・クロックに $f_{SUB}/4$ を選択した場合 (続き)

(e) タイマ出力許可レジスタ0 (TOE0)

	ビットn	
TOE0	TOEn 1/0	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可

(f) タイマ出力レベル・レジスタ0 (TOL0)

	ビットn	
TOL0	TOLn 0	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定

(g) タイマ出力モード・レジスタ0 (TOM0)

	ビットn	
TOM0	TOMn 0	0 : マスタ・チャンネル出力モードを設定

備考 n = 00-11

図6 - 39 インターバル・タイマノ方形波出力機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	TMRnレジスタを設定する(チャンネルの動作モード確定) カウント・クロックに $f_{sub}/4$ を選択時は, TISnビットに 1 ($f_{sub}/4$) を設定する (78K0R/IB3以外の製品) TDRnレジスタにインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TOn出力を使用する場合, TOM0レジスタのTOMnビットに0(マスタ・チャンネル 出力モード)を設定する TOLnビットに0を設定する TOnビットを設定し, TOn出力の初期レベルを確定す る TOEnに1を設定し, TOnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を 設定する	TOn端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOnは変化しない TOn端子はTOn設定レベルを出力
動作 開始	(TOn出力を使用する場合で, かつ動作再開時のみ TOEnビットに1を設定する) TSnビットに1を設定する TSnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 1になり, カウント動作開始 カウント・クロック入力でTCRnはTDRnの値をロードす る。TMRnレジスタのMDn0ビットが1の場合は, INTTMn を発生し, TOnもトグル動作する。
	動作 中	TMRnレジスタ, TOMn, TOLnビットは, 設定値変更禁止 TDRnレジスタは, 任意に設定値変更が可能 TCRnレジスタは, 常に読み出し可能 TSRnレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能
動作 停止	TTnビットに1を設定する TTnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 0になり, カウント動作停止 TCRnはカウント値を保持して停止 TOn出力は初期化されず, 状態保持
	TOEnに0を設定し, TOnビットに値を設定する	TOn端子はTOn設定レベルを出力
TAUS 停止	TOn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOnビッ トに0を設定する	TOn端子出力レベルはポート機能により保持される。
	TOn端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOn端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOnビットが0になり, TOn端子はポート機能となる)

動作再開

備考 n = 00-11 (ただし, 78K0R/IB3のタイマ出力端子(TOn)の場合: n = 02-07, 11)

6.7.2 外部イベント・カウンタとしての動作

TIn端子入力の有効エッジ検出（外部イベント）をカウントし、規定カウント数に達したら割り込みを発生するイベント・カウンタとして利用することができます。規定カウント数は次の式で求めることができます。

$$\text{規定カウント数} = \text{TDRnの設定値} + 1$$

TCRn はイベント・カウンタ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) の任意のチャンネル・スタート・トリガ・ビット (TSn) に1を設定することによりTCRnはTDRnの値をロードします。

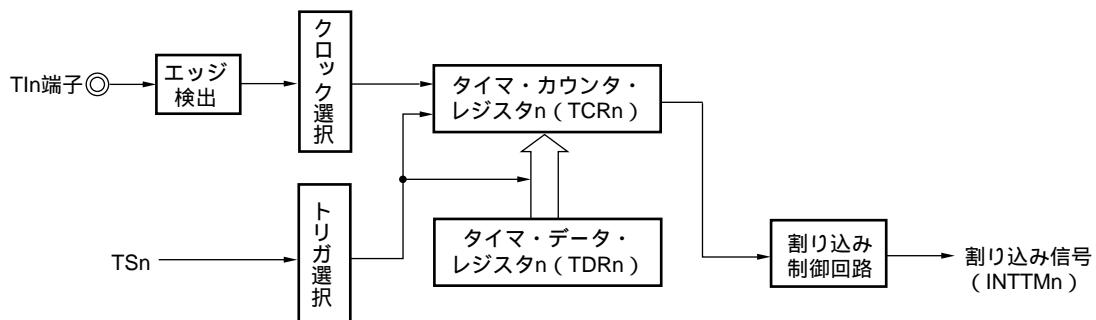
TCRnはTIn端子入力の有効エッジ検出に合わせてダウン・カウントを行い、TCRn = 0000Hとなったら、再びTDRnの値をロードして、INTTMnを出力します。

以降、同様の動作を継続します。

TO0端子出力は外部イベントに依存した不規則な波形となるため、タイマ出力許可レジスタα (TOE0) のTOEnビットに0を設定して出力動作を停止するようにしてください。

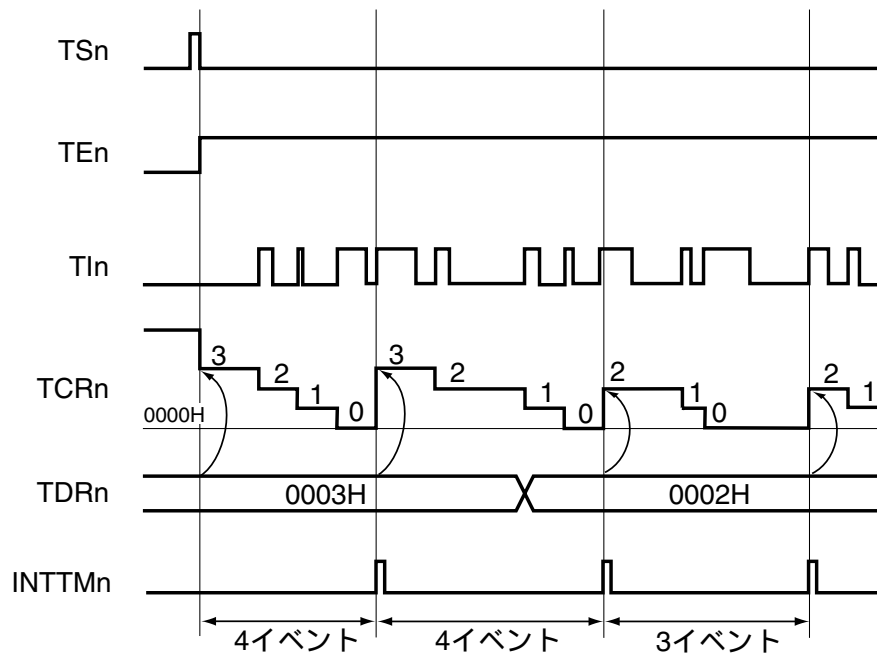
TDRnは任意のタイミングで書き換えることができます。書き換えたTDRnの値は次のカウント期間で有効になります。

図6 - 40 外部イベント・カウンタとしての動作のブロック図



備考 n = 00-11 (78K0R/IB3の場合は、n = 02-07, 09)

図6 - 41 外部イベント・カウンタとしての動作の基本タイミング例

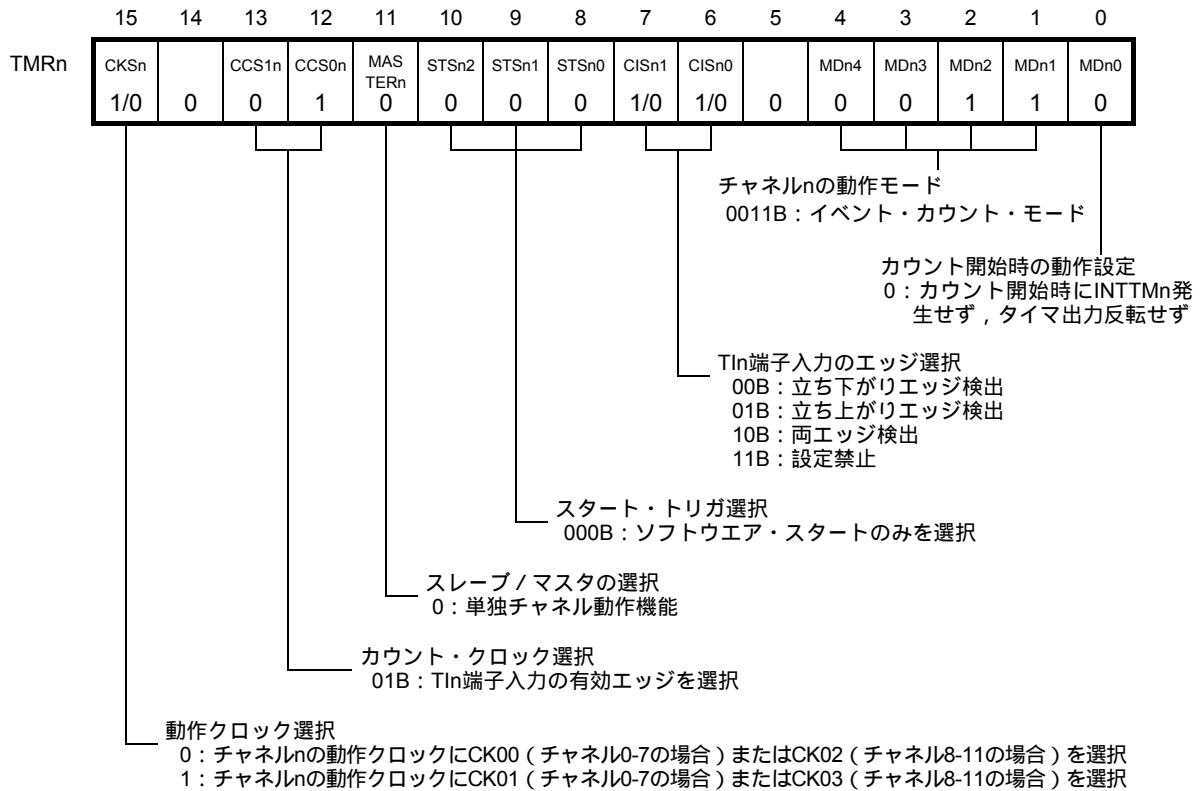


備考1. n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

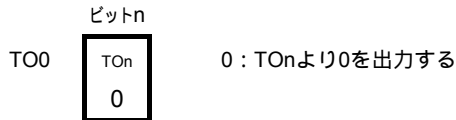
2. TSn : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TEn : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TIn : TIn端子入力信号
- TCRn : タイマ・カウンタ・レジスタn (TCRn)
- TDRn : タイマ・データ・レジスタn (TDRn)

図6 - 42 外部イベント・カウンタ・モード時のレジスタ設定内容例

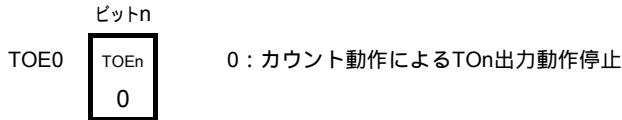
(a) タイマ・モード・レジスタn (TMRn)



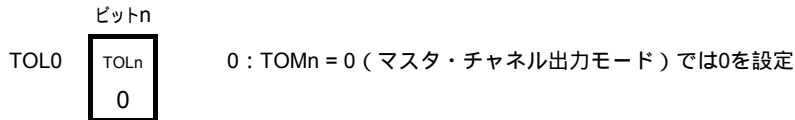
(b) タイマ出力レジスタ0 (TO0)



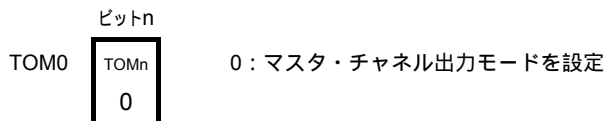
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

図6 - 43 外部イベント・カウンタ機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	TMRnレジスタを設定する(チャンネルの動作モード確定) TDRnレジスタにカウント数を設定する TOE0レジスタのTOEnビットに0を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開	動作 開始	TEn = 1になり, カウント動作開始 TCRnはTDRnの値をロードし, Tin端子入力のエッジ検出 待ち状態になる
	動作 中	TIn端子入力のエッジが検出されるごとに, カウンタ (TCRn)はダウン・カウント動作を行う。0000Hまでカウン トしたら, 再びTCRnはTDRnの値をロードし, カウント動作 を継続する。TCRn = 0000H検出でINTTMn出力を発生する。 以降, この動作を繰り返す。
	動作 停止	TEn = 0になり, カウント動作停止 TCRnはカウント値を保持して停止
TAUS 停止	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

備考 n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

6.7.3 分周器としての動作(78K0R/IC3の44ピン,48ピン製品,78K0R/ID3,78K0R/IE3のみ)

TInに入力されたクロックを分周し、TOnから出力する分周器として利用することができます。

TOn出力の分周クロック周波数は次の式で求めることができます。

・立ち上がりエッジ/立ち下がりエッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / \{ (\text{TDRn の設定値} + 1) \times 2 \}$$

・両エッジ選択時：

$$\text{分周クロック周波数} = \text{入力クロック周波数} / (\text{TDRn の設定値} + 1)$$

TCRnはインターバル・タイマ・モードでダウン・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TSn) に1を設定後、TInの有効エッジ検出でTCRnはTDRnの値をロードします。このときTMRnのMDn0 = 0ならば、INTTMnを出力せず、TOnはトグルしません。TMRnのMDn0 = 1ならば、INTTMnを出力して、TOnをトグルします。

その後、TInの有効エッジに合わせてダウン・カウントを行い、TCRn = 0000Hとなったら、TOnをトグルします。同時にTCRnはTDRnの値をロードして、カウントを続けます。

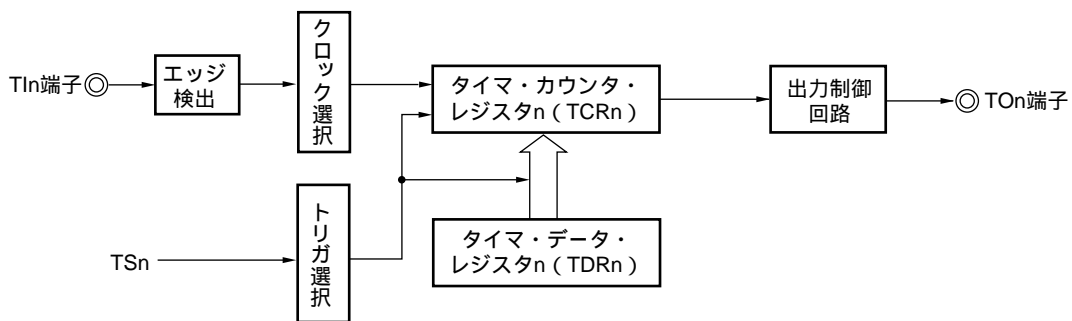
TInの両エッジ検出を選択すると、入力クロックのデューティ誤差がTOn出力の分周クロック周期に影響します。

TOnの出力クロックの周期には、動作クロック1周期分のサンプリング誤差が含まれます。

$$\text{TOn出力のクロック周期} = \text{理想のTOn出力クロック周期} \pm \text{動作クロック周期 (誤差)}$$

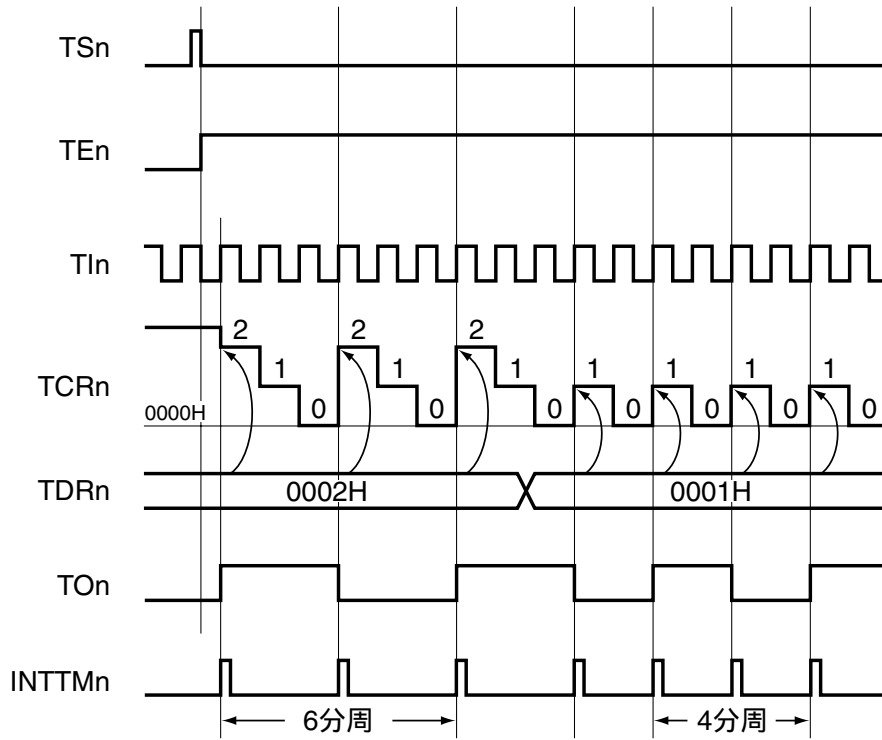
TDRnは任意のタイミングで書き換えることができます。書き換えたTDRnの値は次のカウント期間で有効となります。

図6 - 44 分周器としての動作のブロック図



備考 n = 00, 10, 11 (78K0R/IC3の44ピン製品,48ピン製品の場合, n = 10, 11)

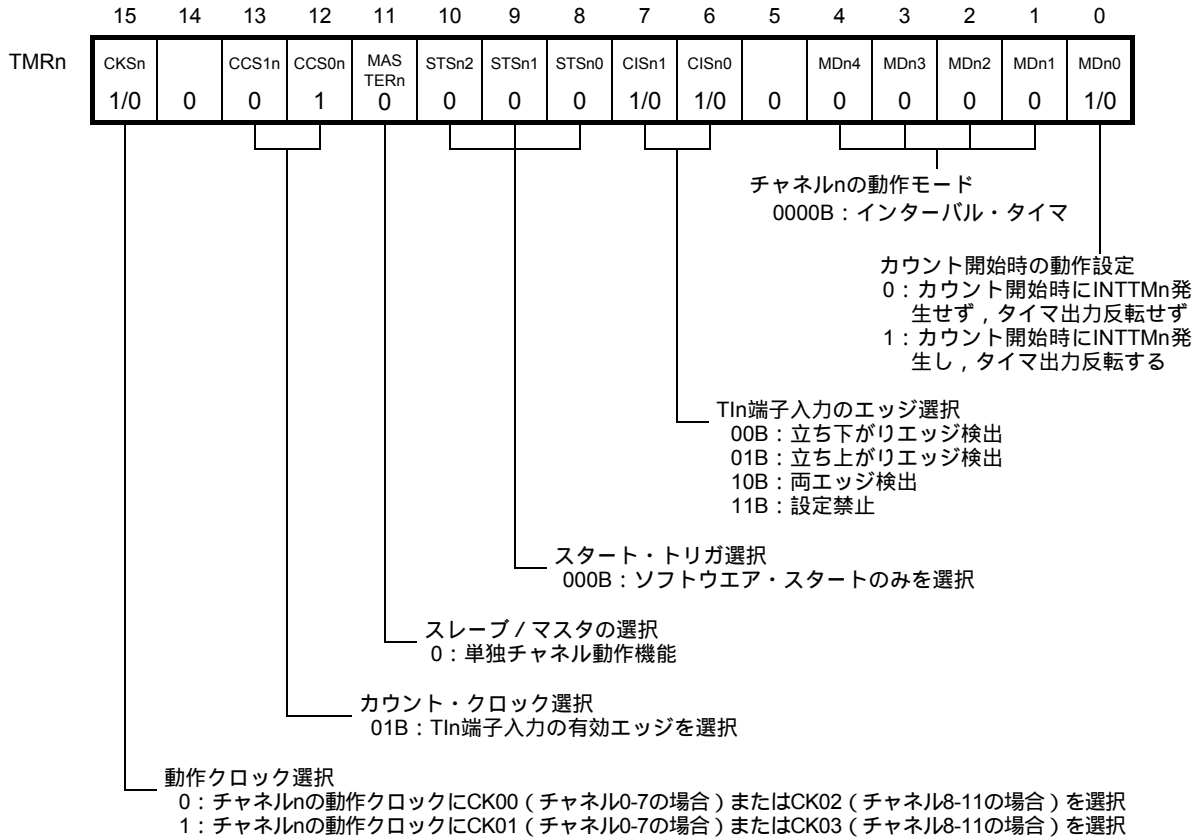
図6 - 45 分周器としての動作の基本タイミング例 (初期設定 : TOn = 0, MDn0 = 1)



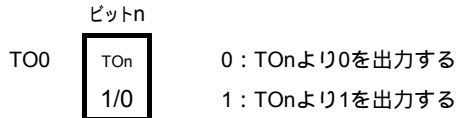
- 備考1. n = 00, 10, 11 (78K0R/IC3の44ピン製品, 48ピン製品の場合, n = 10, 11)
2. TSn : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
 TEn : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
 TIn : TIn端子入力信号
 TCRn : タイマ・カウンタ・レジスタn (TCRn)
 TDRn : タイマ・データ・レジスタn (TDRn)
 TOn : TOn端子出力信号

図6 - 46 分周器として動作時のレジスタ設定内容例

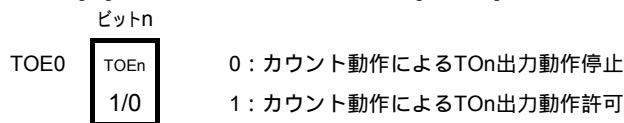
(a) タイマ・モード・レジスタ_n (TMR_n)



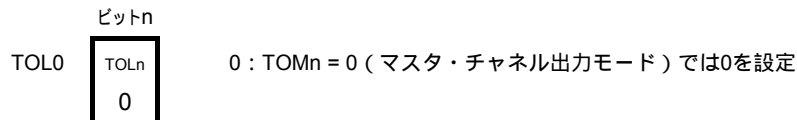
(b) タイマ出力レジスタ0 (TO0)



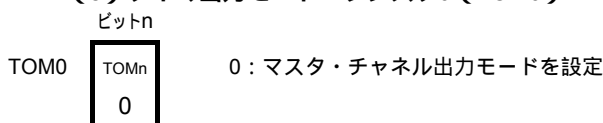
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00, 10, 11 (78K0R/IC3の44ピン製品, 48ピン製品の場合, n = 10, 11)

図6-47 分周器機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の 場合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	TMRnレジスタを設定する(チャンネルの動作モード確 定, 検出エッジの選択)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	TDRnレジスタにインターバル(周期)値を設定する	
	TOM0レジスタのTOMnビットに0(マスタ・チャンネル出 力モード)を設定する	TOn端子はHi-Z出力状態
	TOLnビットに0を設定する TOnビットを設定し, TOn出力の初期レベルを確定する	ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOn初期設定レベルが出力される。
	TOEnに1を設定し, TOnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設 定する	チャンネルは動作停止状態なので, TOnは変化しない TOn端子はTOn設定レベルを出力
動作 開始	TOEnに1を設定する(動作再開時のみ)	
	TSnビットに1を設定する TSnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 1になり, カウント動作開始 カウント・クロック入力でTCRnはTDRnの値をロードす る。TMRnレジスタのMDn0ビットが1の場合は, INTTMn を発生し, TOnもトグル動作する。
動作 中	TDRnレジスタは, 任意に設定値変更が可能	カウンタ(TCRn)はダウン・カウント動作を行い, 0000H までカウントしたら, 再びTCRnはTDRnの値をロードし, カ ウント・動作を継続する。TCRn = 0000H検出でINTTMnを発 生し, TOnはトグル動作する。
	TCRnレジスタは, 常に読み出し可能 TSRnレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能 TMRnレジスタ, TOMn, TOLnビットは, 設定値変更禁止	以降, この動作を繰り返す。
動作 停止	TTnビットに1を設定する TTnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 0になり, カウント動作停止 TCRnはカウント値を保持して停止 TOn出力は初期化されず, 状態保持
	TOEnに0を設定し, TOnビットに値を設定する	TOn端子はTOn設定レベルを出力
TAUS 停止	TOn端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOnビッ トに0を設定する	TOn端子出力レベルはポート機能により保持される。
	TOn端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOn端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOnビットが0になり, TOn端子はポート機能となる)

動作再開

備考 n = 00, 10, 11 (78K0R/IC3の44ピン製品, 48ピン製品の場合, n = 10, 11)

6.7.4 入力パルス間隔測定としての動作

TIn有効エッジでカウント値をキャプチャし、TIn入力パルスの間隔を測定することができます。パルス間隔は次の式で求めることができます。

$$\text{TIn入力パルス間隔} = \text{カウント} \cdot \text{クロックの周期} \times ((10000\text{H} \times \text{TSRn:OVF}) + (\text{TDRnのキャプチャ値} + 1))$$

注意 TIn端子入力は、TMRnレジスタのCKSnビットで選択した動作クロックでサンプリングされるため、最大で動作クロックの1クロック分の誤差が発生します。

TCRnはキャプチャ・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ (TSn) に1を設定するとTCRnはカウント・クロックに合わせて0000Hからアップ・カウントを開始します。

TIn端子入力の有効エッジを検出すると、TCRnレジスタのカウント値をTDRnに転送(キャプチャ)すると同時に、TCRnレジスタを0000Hにクリアして、INTTMnを出力します。このとき、カウンタのオーバーフローが発生していたら、TSRnレジスタのOVFビットが1にセットされ、オーバーフローが発生していなかったらOVFビットはクリアされます。以降、同様の動作を継続します。

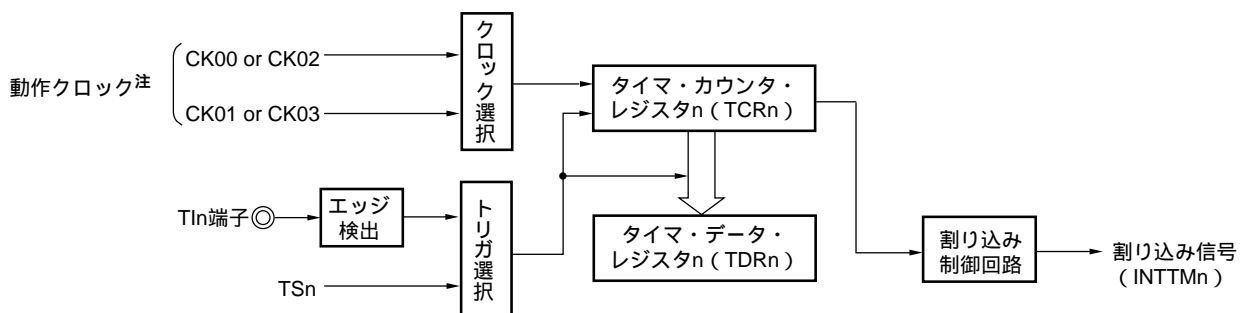
カウント値がTDRnレジスタにキャプチャされると同時に、測定期間のオーバーフロー有無に応じて、TSRnレジスタのOVFビットが更新され、キャプチャ値のオーバーフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバーフロー発生とみなされ、TSRnレジスタのOVFビットがセット(1)されます。しかし、OVFビットは、2回以上のオーバーフローが発生した場合は正常な間隔値を測定できません。

TMRnレジスタのSTSn2-STSn0 = 001Bに設定して、TIn有効エッジをスタート・トリガとキャプチャ・トリガに利用します。

TEn = 1のときは、TIn端子入力を使用せずに、ソフトウェア操作 (TSn = 1) をキャプチャ・トリガにすることもできます。

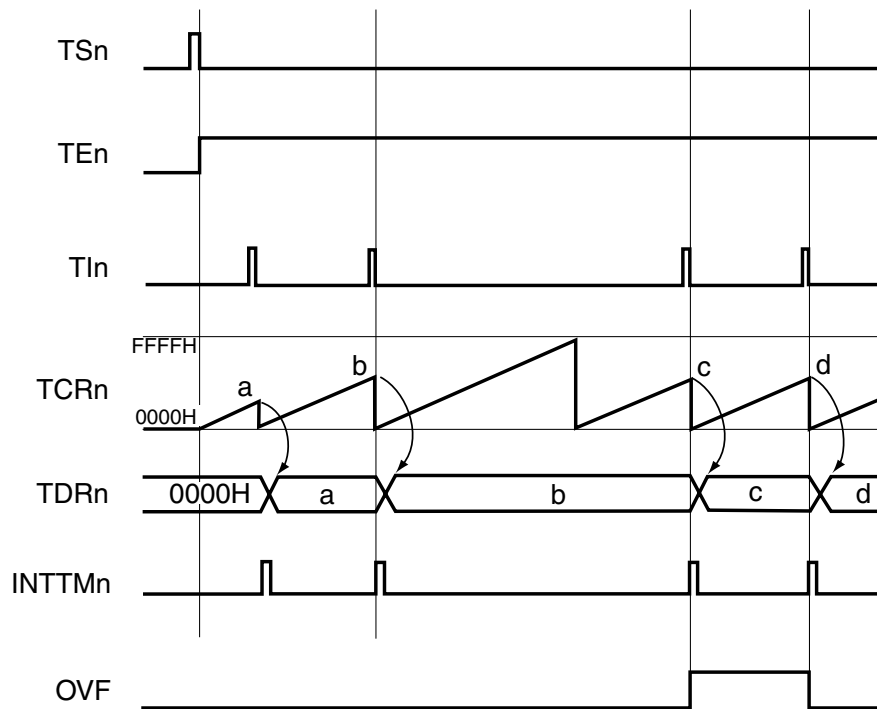
図6-48 入力パルス間隔測定としての動作のブロック図



注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

備考 n = 00-11 (78K0R/IB3の場合は、n = 02-07, 09)

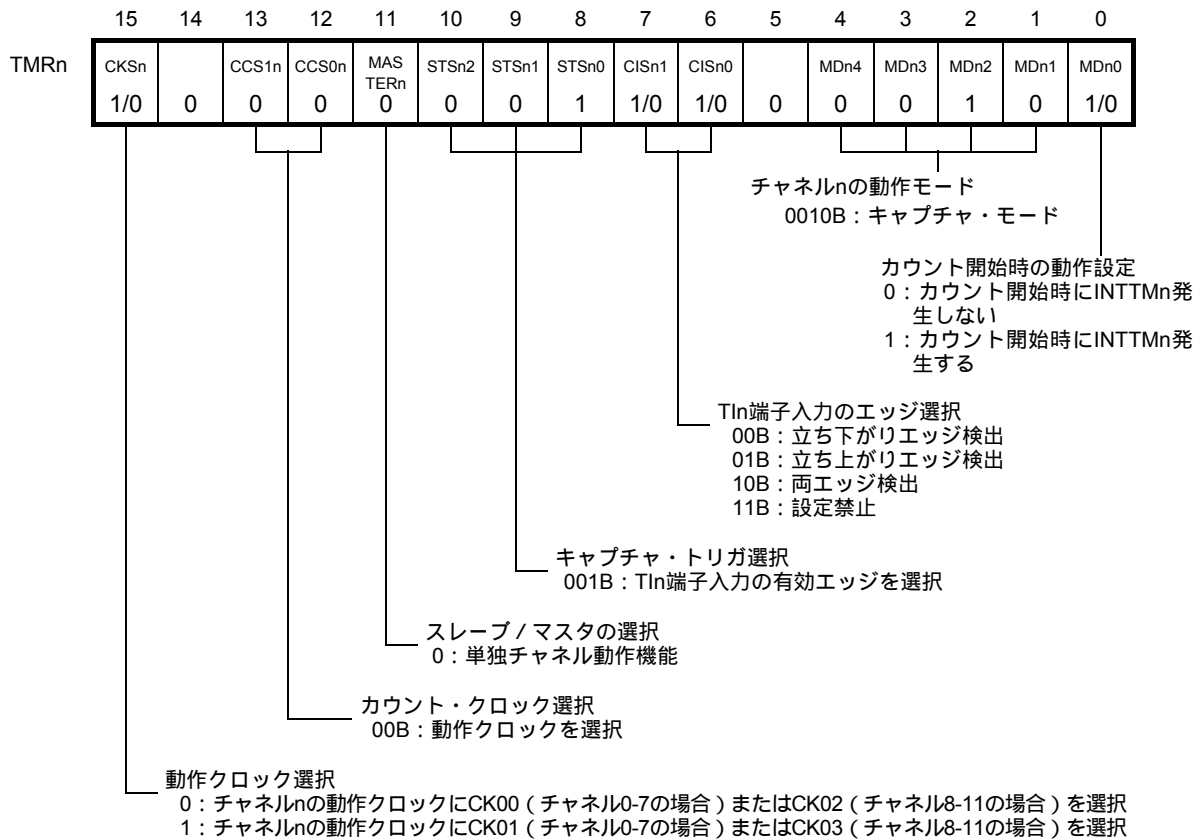
図6 - 49 入力パルス間隔測定としての動作の基本タイミング例 (初期設定 : MDn0 = 0)



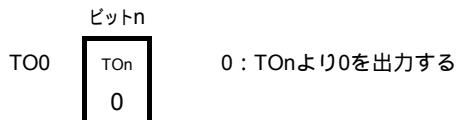
- 備考1. n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)
2. TSn : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
 TEn : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
 TIn : TIn端子入力信号
 TCRn : タイマ・カウンタ・レジスタn (TCRn)
 TDRn : タイマ・データ・レジスタn (TDRn)
 OVF : タイマ・ステータス・レジスタn (TSRn) のビット0

図6 - 50 入力パルス間隔測定時のレジスタ設定内容例

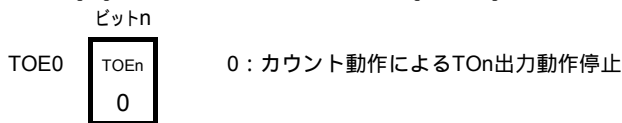
(a) タイマ・モード・レジスタn (TMRn)



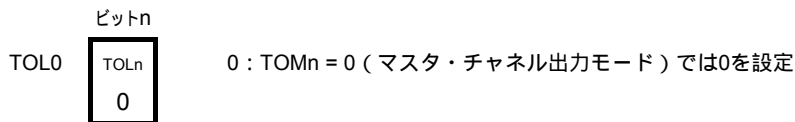
(b) タイマ出力レジスタ0 (TO0)



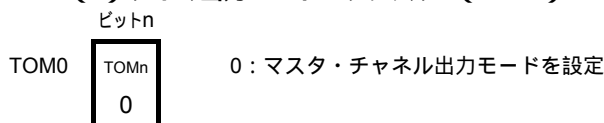
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

図6 - 51 入力パルス間隔測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態	
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)	
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)	
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する		
チャ ネル 初期 設定	TMRnレジスタを設定する(チャンネルの動作モード確定)	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)	
動作 再開	動作 開始	TSnビットに1を設定する TSnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 1になり, カウント動作開始 カウント・クロック入力でTCRnを0000Hにクリアする。 TMRnレジスタのMDn0ビットが1の場合は, INTTMnを発生 する。
	動作 中	TMRnレジスタは, ClSn1, ClSn0ビットのみ設定値変更 可能 TDRnレジスタは, 常に読み出し可能 TCRnレジスタは, 常に読み出し可能 TSRnレジスタは, 常に読み出し可能 TOMn, TOLn, TOn, TOEnビットは, 設定値変更禁止	カウンタ (TCRn) は0000Hからアップ・カウント動作を行 い, Tin端子入力の有効エッジが検出されたら, カウント値 をTDRnに転送(キャプチャ)する。同時に, TCRnを0000H にクリアし, INTTMnを発生する。 このときオーバフローが発生していたら, TSRnレジスタの OVFビットがセットされ, オーバフローが発生していなかつ たらOVFビットがクリアされる。 以降, この動作を繰り返す。
	動作 停止	TTnビットに1を設定する TTnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 0になり, カウント動作停止 TCRnはカウント値を保持して停止 TSRnレジスタのOVFビットも保持
TAUS 停止	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される	

備考 n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作

注意 LIN-bus対応機能として使用する場合は、入力切り替え制御レジスタ (ISC) のビット1 (ISC1) を1に設定してください。チャンネル7にRx/D0信号が入力されます。

また、Rx/D0とタイマ入力端子が兼用している場合は、兼用しているタイマ入力端子のチャンネルもLIN-bus機能として使用できます。各製品でチャンネル7以外に使用できるタイマ・チャンネルを次に示します。

78K0R/IB3 (P11/Rx/D0/TI01/TO03) : TAUSのチャンネル3

78K0R/IC3の38ピン製品 (P72/INTP6/Rx/D0) : なし

78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3,

78K0R/IE3 (P74/Rx/D0/TI10/SI00) : TAUSのチャンネル10

LIN-bus対応機能として使用する場合は、以降の説明で「Tin」を「Rx/D0」と読み替えてください。

Tinの片方のエッジでカウントをスタートし、もう片方のエッジでカウント数をキャプチャすることで、Tinの信号幅 (ハイ・レベル幅/ロウ・レベル幅) を測定することができます。Tinの信号幅は次の式で求めることができます。

$$\text{Tin入力の信号幅} = \text{カウント} \cdot \text{クロックの周期} \times \left((10000H \times \text{TSRn:OVF}) + (\text{TDRnのキャプチャ値} + 1) \right)$$

注意 Tin端子入力は、TMRnレジスタのCKSnビットで選択した動作クロックでサンプリングされるため、動作クロックの1クロック分の誤差が発生します。

TCRnはキャプチャ&ワンカウント・モードでアップ・カウンタとして動作します。

タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ (TSn) に1を設定すると、TEn = 1となりTin端子のスタート・エッジ検出待ち状態となります。

Tinのスタート・エッジ (ハイ・レベル幅測定ならTinの立ち上がりエッジ) を検出すると、カウント・クロックに合わせて0000Hからアップ・カウントを行います。その後、キャプチャ有効エッジ (ハイ・レベル幅測定ならTinの立ち下がりエッジ) を検出すると、カウンタ値をTDRnに転送すると同時にINTTMnを出力します。このとき、カウンタのオーバフローが発生していたら、TSRnレジスタのOVFビットがセットされ、オーバフローが発生していなかったらOVFビットはクリアされます。TCRnは、「TDRnに転送した値 + 1」の値で停止し、Tin端子のスタート・エッジ検出待ち状態となります。以降同様の動作を継続します。

カウンタ値がTDRnレジスタにキャプチャされると同時に、測定期間のオーバフロー有無に応じて、TSRnレジスタのOVFビットが更新され、キャプチャ値のオーバフロー状態を確認できます。

カウンタが2周期以上フルカウントした場合もオーバフロー発生とみなされ、TSRnレジスタのOVFビットがセット (1) されます。しかし、OVFビットは、2回以上のオーバフローが発生した場合は正常な間隔値を測定できません。

Tin端子入力のハイ・レベル幅を測定するか、ロウ・レベル幅を測定するかは、TMRnレジスタのCISn1, CISn0ビットにて設定することができます。

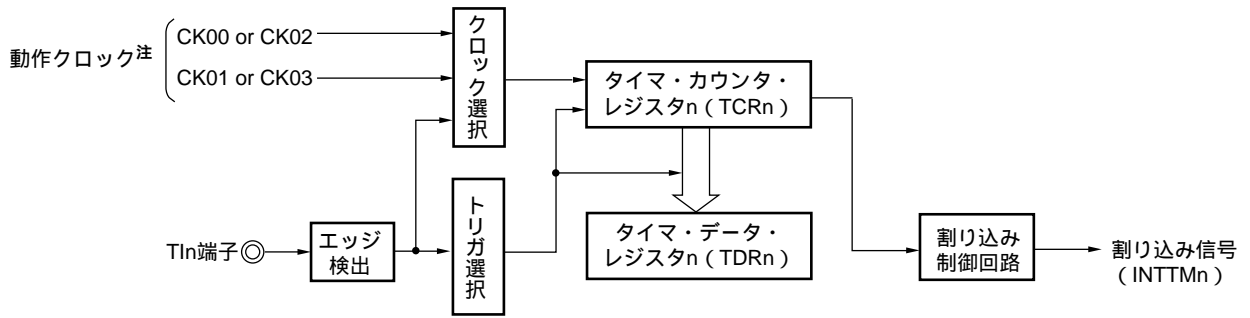
この機能は、Tin端子入力の信号幅測定を目的とするため、TEn = 1期間中のTSnのセット (1) は使用できません。

TMRnのCISn1, CISn0 = 10B : ロウ・レベル幅を測定する

TMRnのCISn1, CISn0 = 11B : ハイ・レベル幅を測定する

備考 n = 00-11 (78K0R/IB3の場合は、n = 02-07, 09)

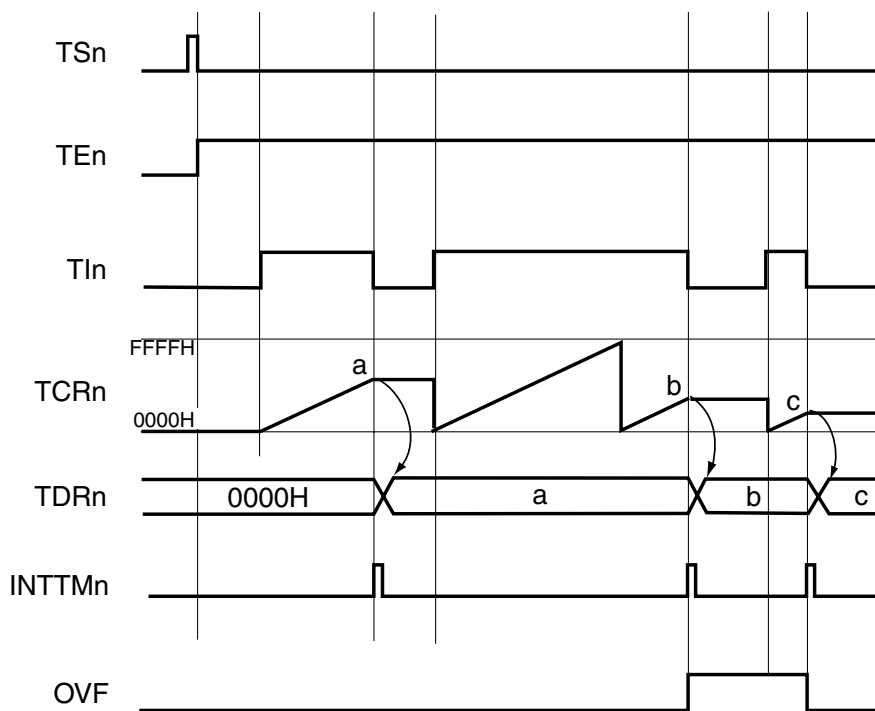
図6 - 52 入力信号のハイ/ロウ・レベル幅測定としての動作のブロック図



注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

備考 n = 00-11 (78K0R/IB3の場合は、n = 02-07, 09)

図6 - 53 入力信号のハイ・レベル幅測定としての動作の基本タイミング例

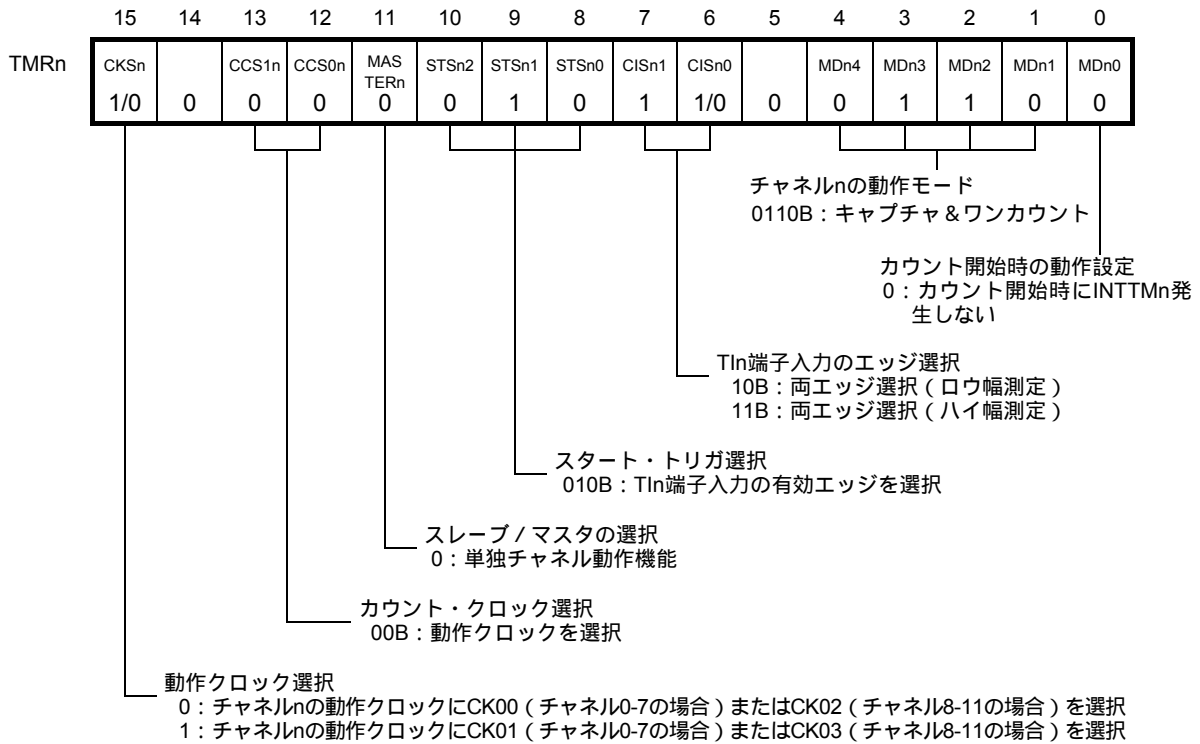


備考1. n = 00-11 (78K0R/IB3の場合は、n = 02-07, 09)

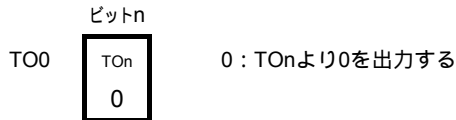
2. TSn : タイマ・チャンネル開始レジスタ0 (TS0) のビットn
- TEn : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn
- TIn : TIn端子入力信号
- TCRn : タイマ・カウンタ・レジスタn (TCRn)
- TDRn : タイマ・データ・レジスタn (TDRn)
- OVF : タイマ・ステータス・レジスタn (TSRn) のビット0

図6 - 54 入力信号のハイ/ロウ・レベル幅測定時のレジスタ設定内容例

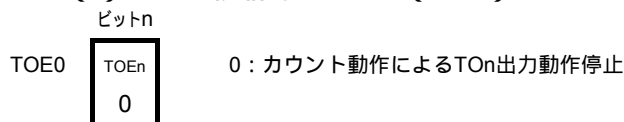
(a) タイマ・モード・レジスタ_n (TMR_n)



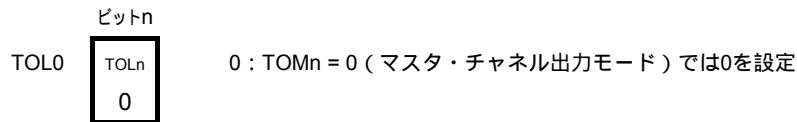
(b) タイマ出力レジスタ0 (TO0)



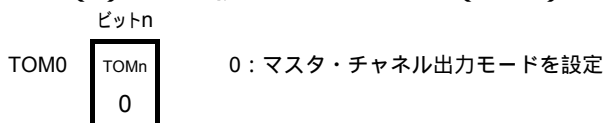
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

図6 - 55 入力信号のハイ/ロウ・レベル幅測定機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	TMRnレジスタを設定する(チャンネルの動作モード確定) TOEnに0を設定し, TOnの動作を停止	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 開始	TSnビットに1を設定する TSnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 1になり, TIn端子のスタート・エッジ検出待ち状態に なる
	TIn端子入力のカウント・スタート・エッジ検出	TCRnを0000Hにクリアし, カウント・アップ動作を開始 する
動作 中	TDRnレジスタは, 任意に設定値変更が可能 TCRnレジスタは, 常に読み出し可能 TSRnレジスタは, 使用しない TMRnレジスタ, TOMn, TOLn, TOn, TOEnビットは, 設 定値変更禁止	TIn端子のスタート・エッジ検出後, カウンタ(TCRn)は 0000Hからアップ・カウント動作を行う。TIn端子のキャプ チャ・エッジが検出されたら, カウント値をTDRnに転送し, INTTMnを発生する。 このときオーバフローが発生していたら, TSRnレジスタの OVFビットがセットされ, オーバフローが発生していなかつ たらOVFビットがクリアされる。TCRnは, 次のTIn端子のス タート・エッジ検出までカウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTnビットに1を設定する TTnビットはトリガ・ビットなので, 自動的に0に戻 る	TEn = 0になり, カウント動作停止 TCRnはカウント値を保持して停止 TSRnレジスタのOVFビットも保持
TAUS 停止	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

動作再開

備考 n = 00-11 (78K0R/IB3の場合は, n = 02-07, 09)

6.8 タイマ・アレイ・ユニットTAUSの複数チャネル連動動作機能

6.8.1 ワンショット・パルス出力機能としての動作

2チャネルをセットで使用して、Tin端子入力により任意のディレイ・パルス幅を持ったワンショット・パルスを生成することができます。

ディレイとパルス幅は次の式で求めることができます。

$\begin{aligned} \text{ディレイ} &= \{ \text{TDRn (マスタ) の設定値} + 2 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{パルス幅} &= \{ \text{TDRm (スレーブ) の設定値} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$

マスタ・チャネルは、ワンカウント・モードで動作し、ディレイをカウントします。マスタ・チャネルのTCRnは、スタート・トリガ検出により動作を開始し、TDRnから値をロードします。TCRnはロードしたTDRnの値からカウント・クロックに合わせてダウン・カウントを行い、TCRn = 0000HとなったらINTTMnを出力し、次のスタート・トリガ検出があるまで、カウントを停止します。

スレーブ・チャネルは、ワンカウント・モードで動作し、パルス幅をカウントします。スレーブ・チャネルのTCRmは、マスタ・チャネルのINTTMnをスタート・トリガとして動作を開始し、TDRmから値をロードします。TCRmはロードした値からカウント・クロックに合わせてダウン・カウントを行います。そしてカウンタ値 = 0000HとなったらINTTMnを出力して、次のスタート・トリガ(マスタ・チャネルのINTTMn)検出があるまで、カウントを停止します。TOMの出力レベルは、マスタ・チャネルのINTTMn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRm = 0000Hとなったらインアクティブ・レベルとなります。

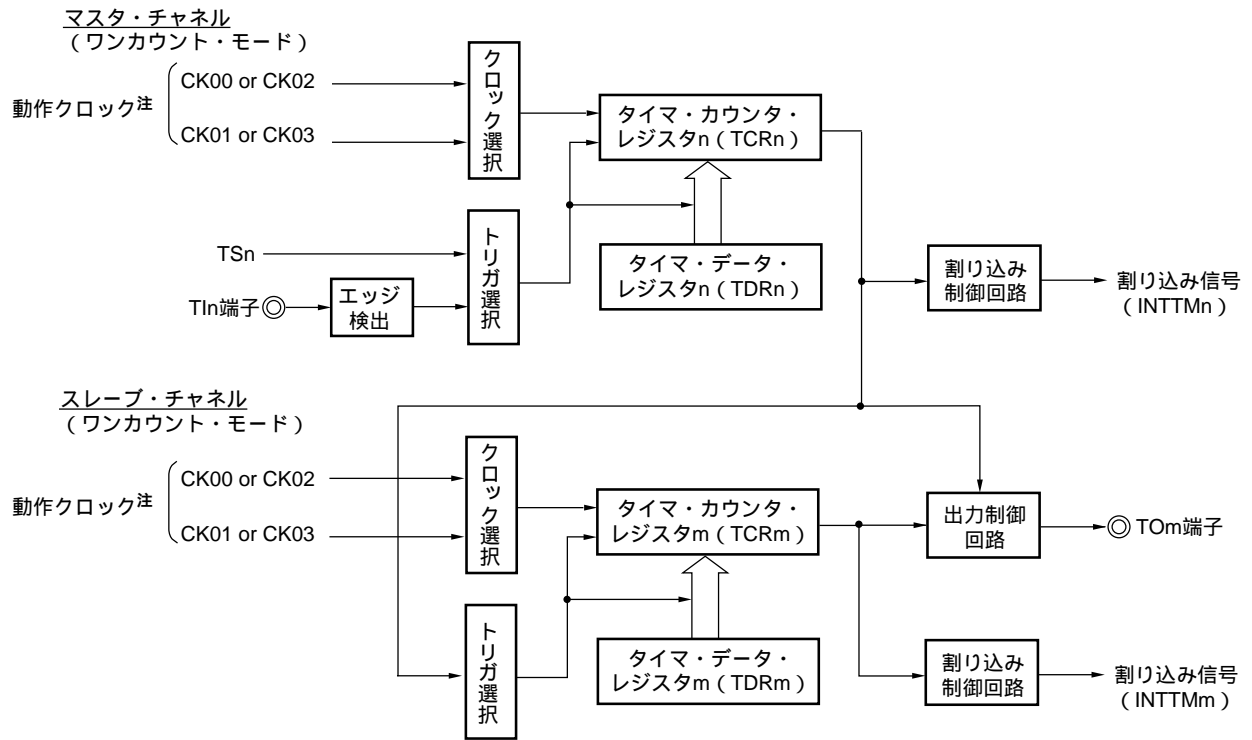
ワンショット・パルス出力は、Tin端子入力を使用せず、ソフトウェア操作(TSn = 1)をスタート・トリガにすることもできます。

注意 マスタ・チャネルのTDRnとスレーブ・チャネルのTDRmでは、ロード・タイミングが異なるため、動作中にTDRn、TDRmを書き換えると不正波形が出力されます。TDRnレジスタはINTTMn発生後に、TDRmレジスタはINTTMm発生後に書き換えてください。

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)

m = n+1

図6 - 56 ワンショット・パルス出力機能としての動作のブロック図

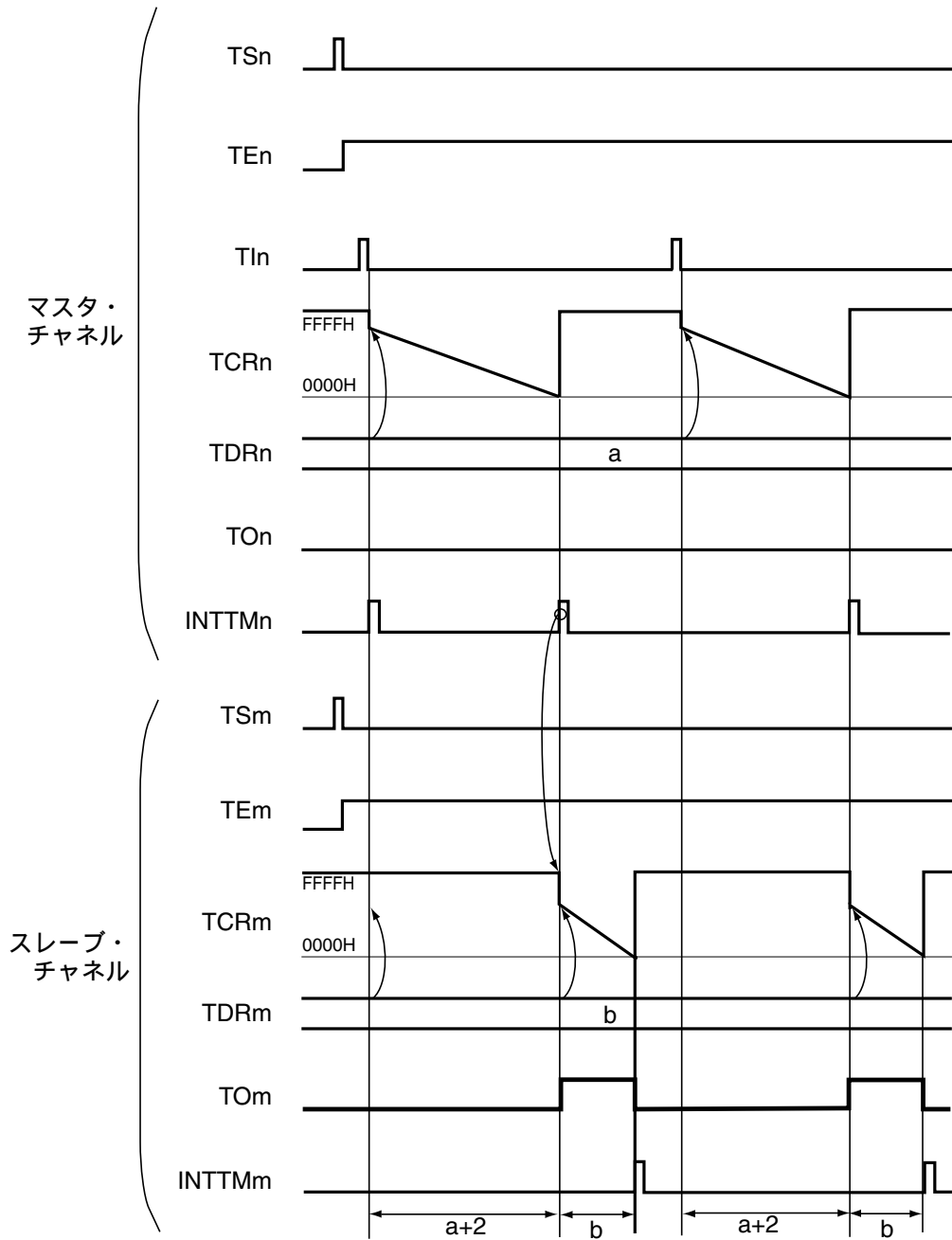


注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)

m = n+1

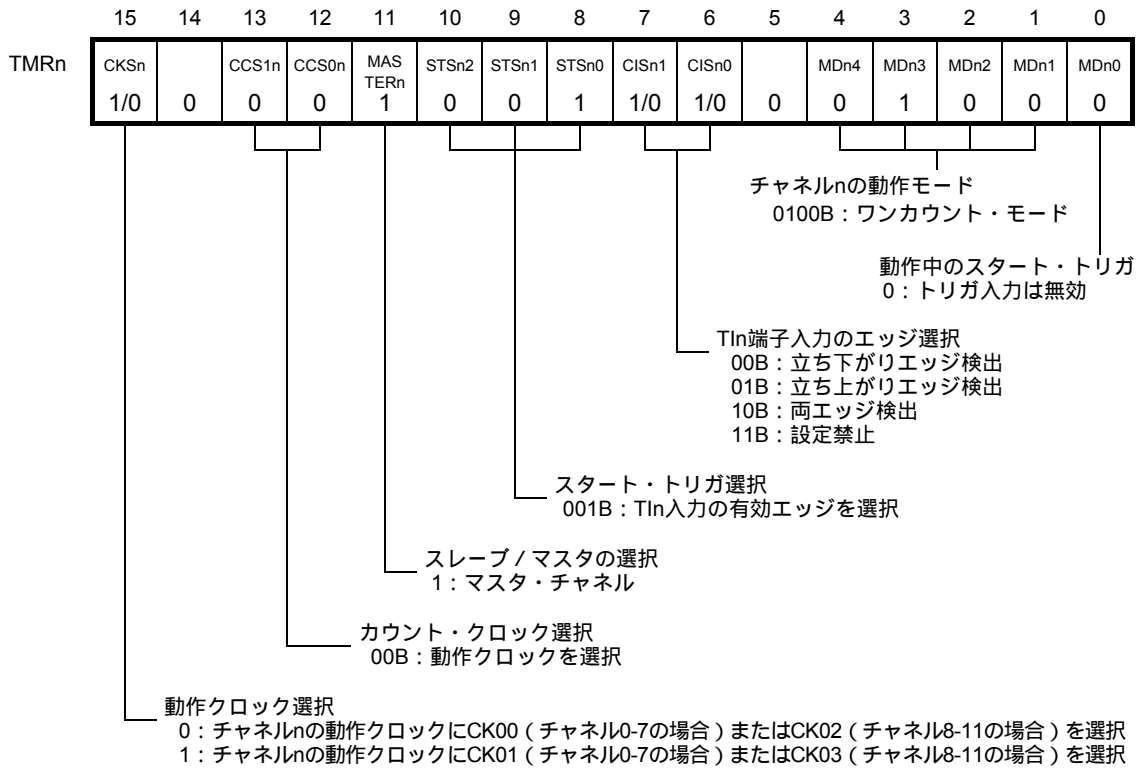
図6 - 57 ワンショット・パルス出力機能としての動作の基本タイミング例



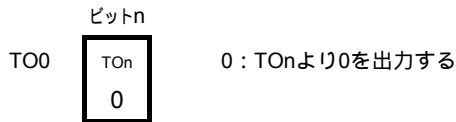
- 備考1.** n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)
m = n+1
- 2.** TSn, TSm : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, m
TEn, TEm : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, m
TIn, TIm : TIn, TIm端子入力信号
TCRn, TCRm : タイマ・カウンタ・レジスタn, m (TCRn, TCRm)
TDRn, TDRm : タイマ・データ・レジスタn, m (TDRn, TDRm)
TOn, TOm : TOn, TOm端子出力信号

図6 - 58 ワンショット・パルス出力機能時（マスタ・チャンネル）のレジスタ設定内容例

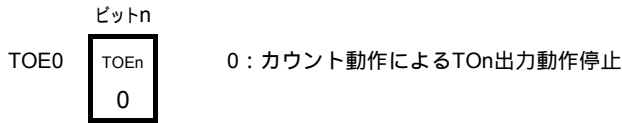
(a) タイマ・モード・レジスタ_n (TMR_n)



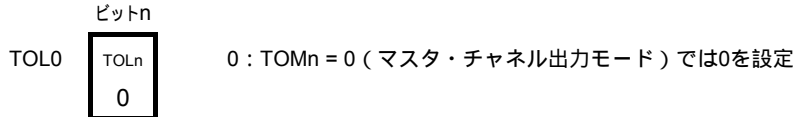
(b) タイマ出力レジスタ0 (TO0)



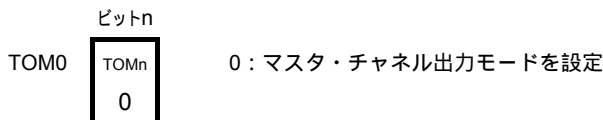
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



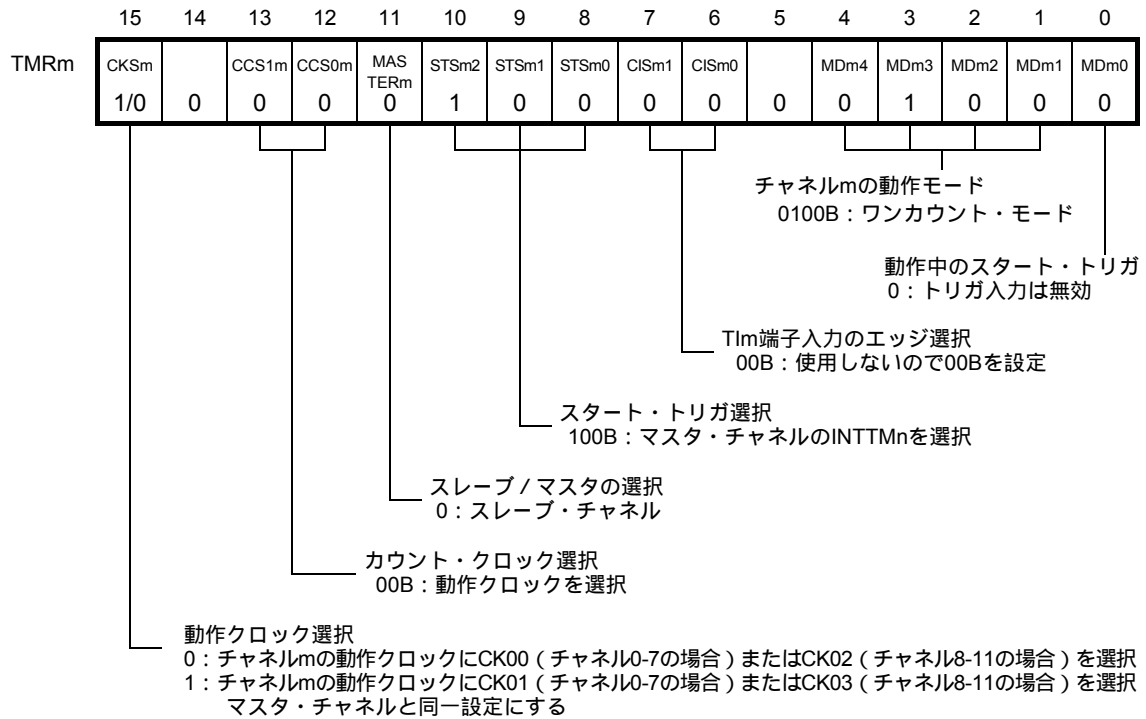
(e) タイマ出力モード・レジスタ0 (TOM0)



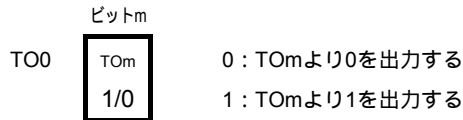
備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)

図6 - 59 ワンショット・パルス出力機能時 (スレーブ・チャンネル) のレジスタ設定内容例

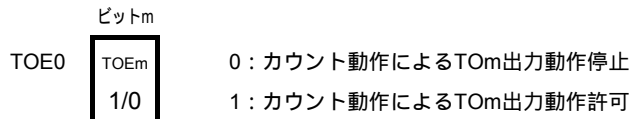
(a) タイマ・モード・レジスタ_m (TMR_m)



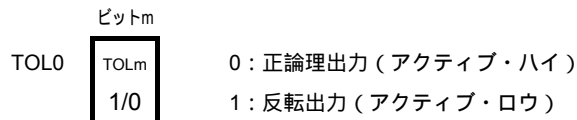
(b) タイマ出力レジスタ0 (TO0)



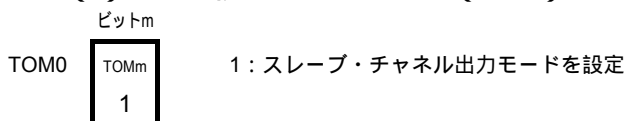
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)
 m = n+1

図6 - 60 ワンショット・パルス出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0ENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可) → パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMRn, TMRmレジスタを設定す る(チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタに出力遅延時間, スレ ープ・チャンネルのTDRmレジスタにパルス幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOMmビットに1(スレーブ・チャ ネル出力モード)を設定する TOLmビットを設定する TOMビットを設定し, TOM出力の初期レベルを確定する TOEmに1を設定し, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOM端子はHi-Z出力状態 → ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOM初期設定レベルが出力される。 → チャンネルは動作停止状態なので, TOMは変化しない → TOM端子はTOM設定レベルを出力
動作 開始	TOEm(スレーブ)に1を設定する(動作再開時のみ) TS0レジスタのTSn(マスタ), TSm(スレーブ) ビッ トに同時に1を設定する TSn, TSmビットはトリガ・ビットなので, 自動的に0 に戻る	→ TEn = 1, TEm = 1となり, マスタ・チャンネルはTin入力のエッ ジ検出待ち状態となる → カウンタはまだ停止状態のまま
	マスタ・チャンネルのTin端子入力の有効エッジ検出	→ マスタ・チャンネルがカウント動作開始
動作 中	TMRnレジスタは, CISn1, CISn0ビットのみ設定値変更 可能 TMRm, TDRn, TDRmレジスタ, TOMn, TOMm, TOLn, TOLmビットは, 設定値変更禁止 TCRn, TCRmレジスタは, 常に読み出し可能 TSRn, TSRmレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, Tin端子入力の有効エッジが検出され たら, TCRnはTDRnの値をロードし, ダウン・カウント動作 を行う。TCRn = 0000HまでカウントしたらINTTMn出力を発生 し, 次のTin端子入力までカウント動作を停止する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMnをトリ ガとして, TCRmはTDRmの値をロードし, カウンタはダ ウン・カウントを開始する。マスタ・チャンネルのINTTMn出 力から1カウント・クロック経過後にTOM出力レベルをアク ティブ・レベルとする。そしてTCRm = 0000Hまでカウント したらTOM出力レベルをインアクティブ・レベルにして, カ ウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTn(マスタ), TTm(スレーブ)ビットに同時に1を 設定する TTn, TTmビットはトリガ・ビットなので, 自動的に0 に戻る	→ TEn, TEm = 0になり, カウント動作停止 → TCRn, TCRmはカウント値を保持して停止 → TOM出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEmに0を設定し, TOMビット に値を設定する	→ TOM端子はTOM設定レベルを出力

動作再開

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10) m = n+1

図6 - 60 ワンショット・パルス出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 停止	TOm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmビットに0を設定する	TOm端子出力レベルはポート機能により保持される。
	TOm端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOm端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOmビットが0になり, TOm端子はポート機能となる)

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)

m = n+1

6.8.2 PWM機能としての動作

2チャンネルをセットで使用し、任意の周期およびデューティのパルスを生成することができます。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDRm (スレーブ) の設定値} \} / \{ \text{TDRn (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDRm (スレーブ) の設定値} = 0000\text{H} \\ 100 \% \text{出力} &: \text{TDRm (スレーブ) の設定値} = \{ \text{TDRn (マスタ) の設定値} + 1 \} \end{aligned}$$

備考 TDRm (スレーブの設定値) > { TDRn (マスタ) の設定値 + 1 } の場合は、デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルはインターバル・タイマ・モードとして動作させます。タイマ・チャンネル開始レジスタ0 (TS0) のチャンネル・スタート・トリガ・ビット (TSn) に1を設定すると、割り込み (INTTMn) を出力して、タイマ・データ・レジスタn (TDRn) に設定した値をタイマ・カウンタ・レジスタn (TCRn) にロードし、カウント・クロックに合わせてダウン・カウントを行います。カウントが0000Hになったところで、INTTMnを出力して、再びTDRnレジスタからTCRnレジスタに値をロードしてダウン・カウントを行います。以降、タイマ・チャンネル停止レジスタ0 (TT0) のチャンネル・ストップ・トリガ・ビット (TTn) に1を設定するまでこの動作を繰り返します。

PWM機能としての動作では、マスタ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOM) の周期となります。

スレーブ・チャンネルはワンカウント・モードとして動作させます。マスタ・チャンネルからのINTTMnをスタート・トリガとして、TDRmレジスタからTCRmレジスタに値をロードし、0000Hになるまでダウン・カウントを行います。カウントが0000HになったところでINTTMnを出力して、次のスタート・トリガ (マスタ・チャンネルからのINTTMn) が来るまで待機します。

PWM機能としての動作では、スレーブ・チャンネルがダウン・カウントして0000Hになるまでの期間がPWM出力 (TOM) のデューティとなります。

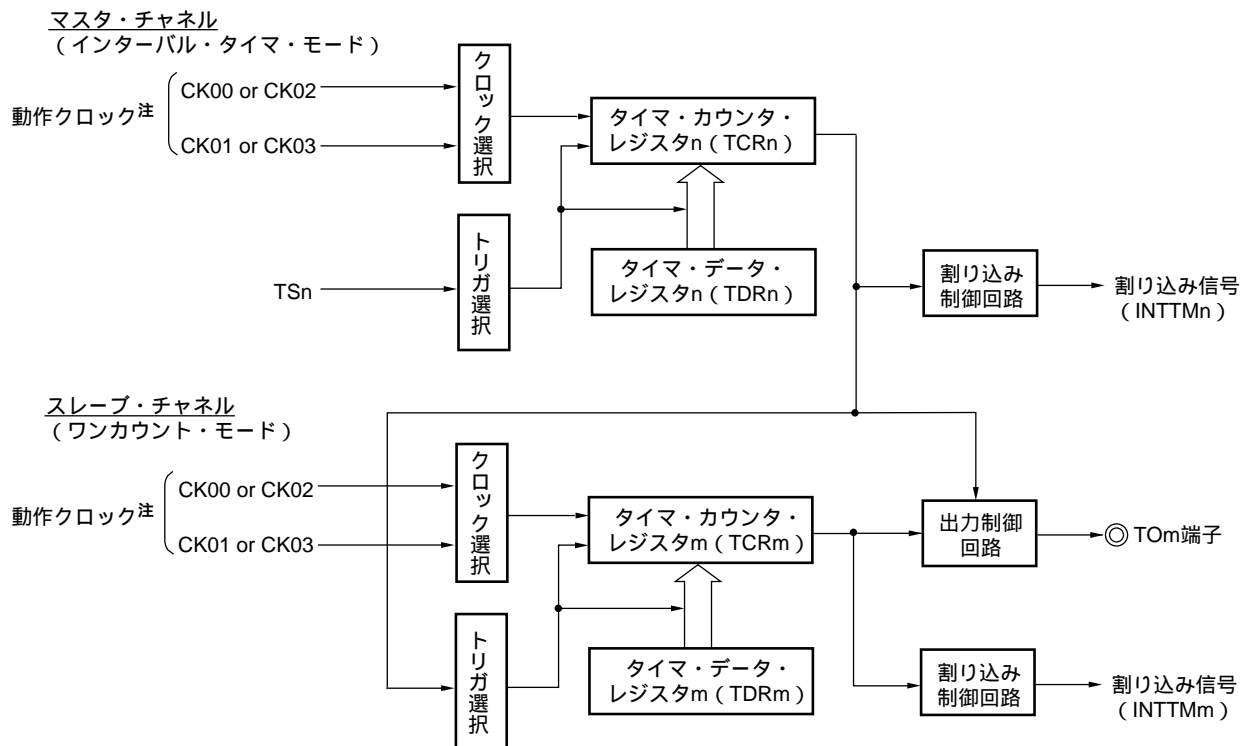
PWM出力 (TOM) は、マスタ・チャンネルのINTTMn発生から1クロック後にアクティブ・レベルとなり、スレーブ・チャンネルのTCRmレジスタが0000Hになったタイミングでインアクティブ・レベルになります。

注意 マスタ・チャンネルのTDRnとスレーブ・チャンネルのTDRmを両方とも書き換える場合、2回のライト・アクセスが必要となります。TCRn, TCRmにTDRn, TDRmの値がロードされるのは、マスタ・チャンネルのINTTMn発生時となります。そのため、書き換えがマスタ・チャンネルのINTTMn発生前と発生後に分かれて行われると、TOM端子は期待通りの波形を出力できません。したがって、マスタのTDRnとスレーブのTDRmを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMn発生直後に両方のレジスタを書き換えてください。

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合、n = 02, 04, 06, 10)

m = n+1

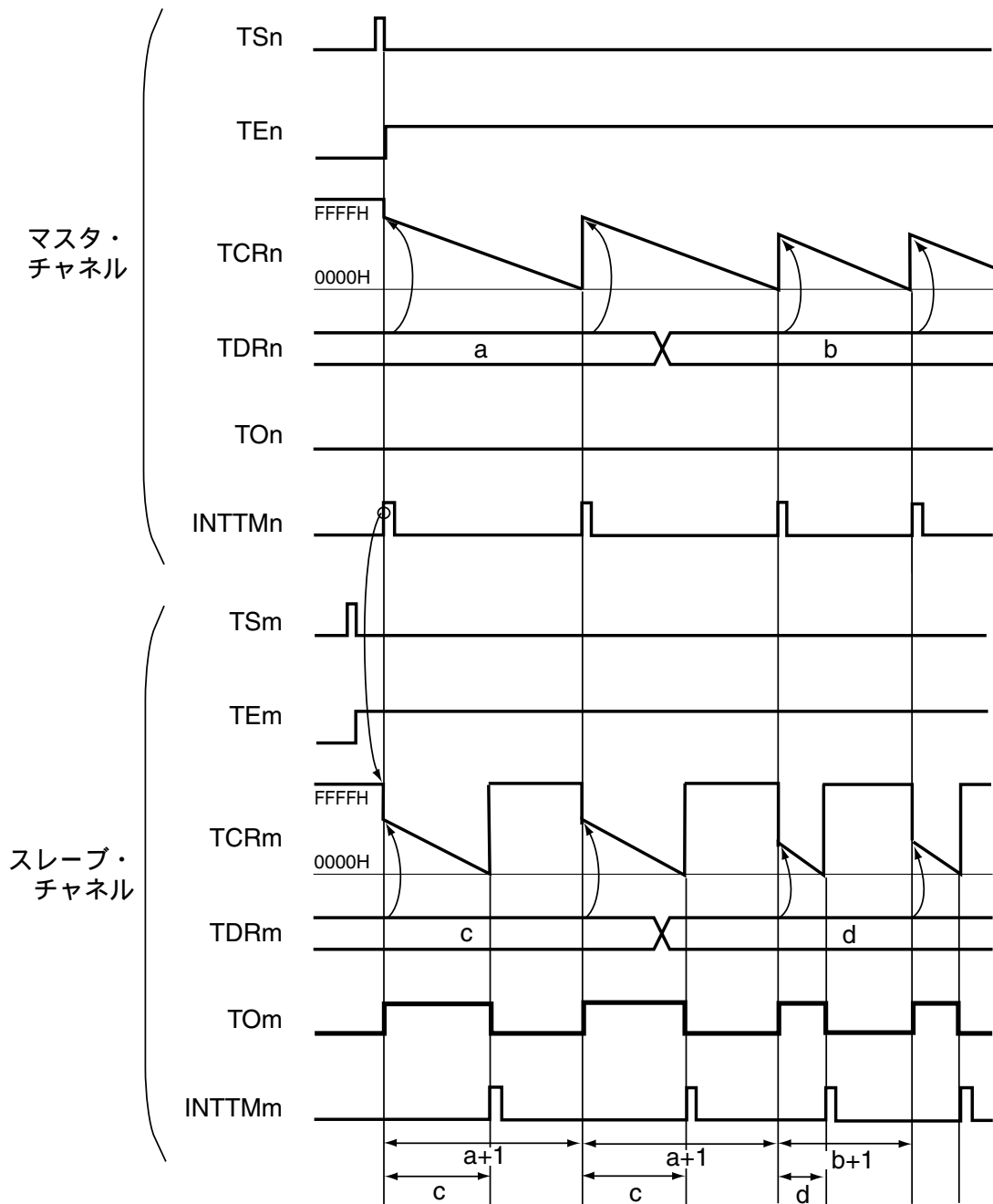
図6 - 61 PWM機能としての動作のブロック図



注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)
m = n+1

図6 - 62 PWM機能としての動作の基本タイミング例 (初期設定 : T0m = 0)



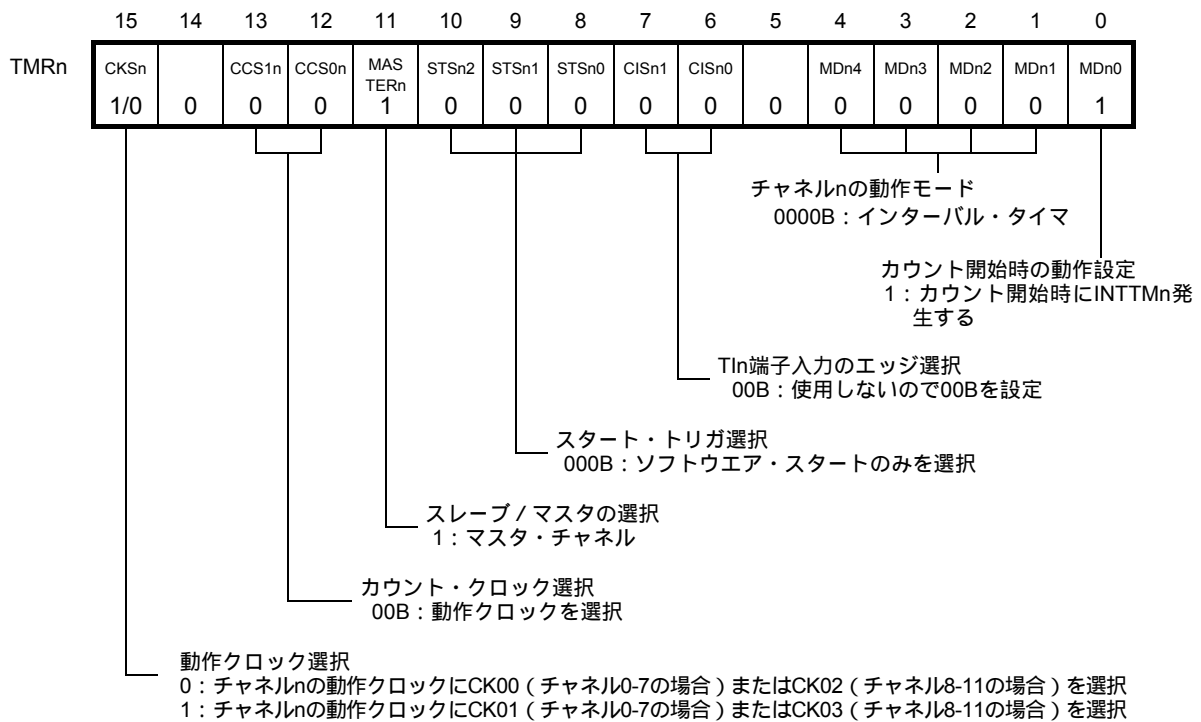
備考1. $n = 00, 02, 04, 06, 08, 10$ (78K0R/IB3の場合, $n = 02, 04, 06, 10$)

$m = n+1$

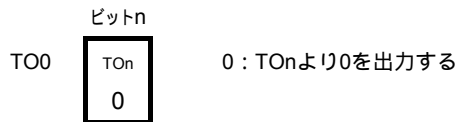
2. TSn, TSm : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, m
- TEEn, TEm : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, m
- TCRn, TCRm : タイマ・カウンタ・レジスタn, m (TCRn, TCRm)
- TDRn, TDRm : タイマ・データ・レジスタn, m (TDRn, TDRm)
- TOn, T0m : TOn, T0m端子出力信号

図6 - 63 PWM機能時 (マスタ・チャンネル) のレジスタ設定内容例

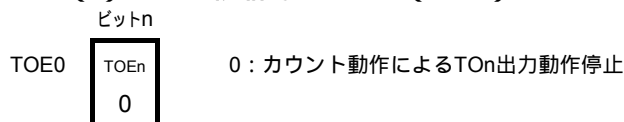
(a) タイマ・モード・レジスタ_n (TMR_n)



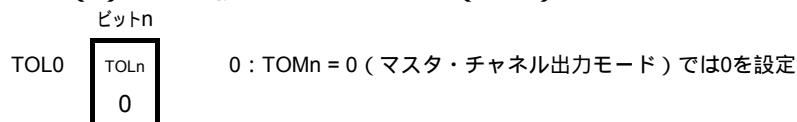
(b) タイマ出力レジスタ0 (TO0)



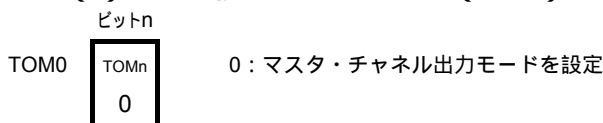
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



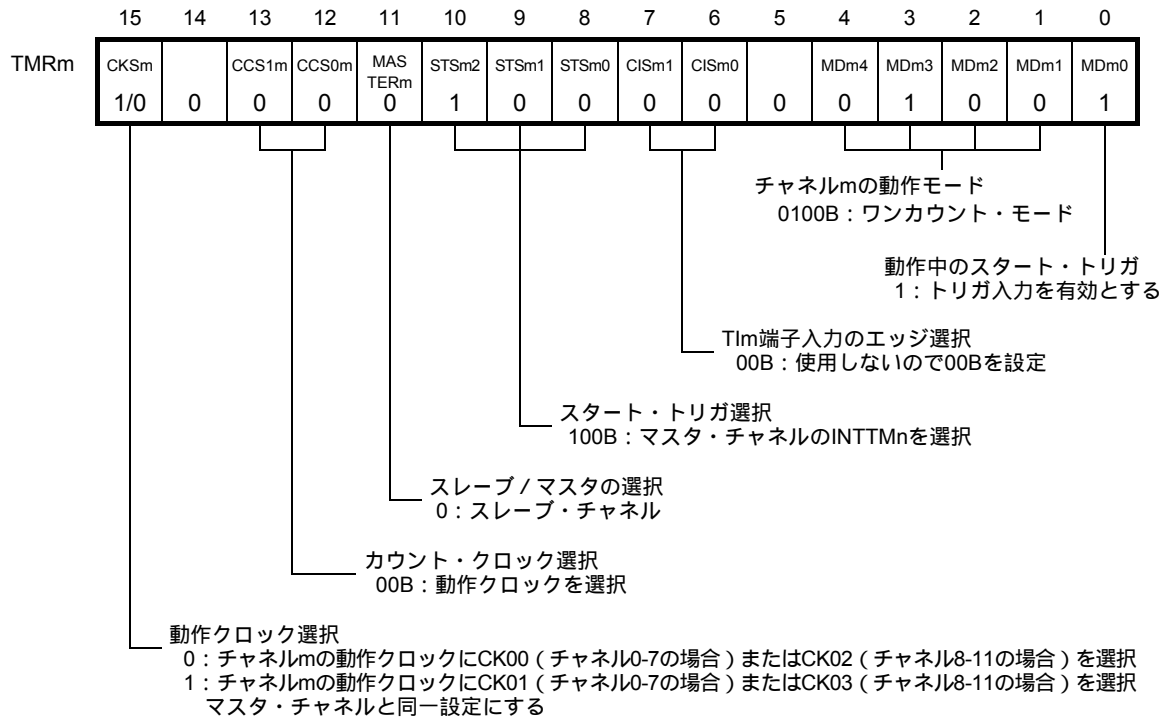
(e) タイマ出力モード・レジスタ0 (TOM0)



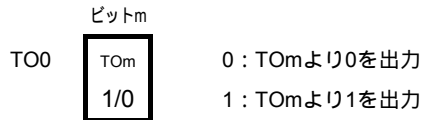
備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)

図6 - 64 PWM機能時 (スレーブ・チャンネル) のレジスタ設定内容例

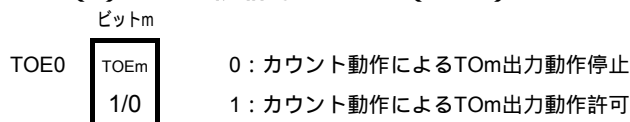
(a) タイマ・モード・レジスタ_m (TMR_m)



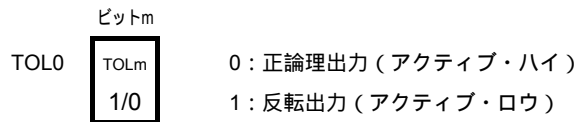
(b) タイマ出力レジスタ0 (TO0)



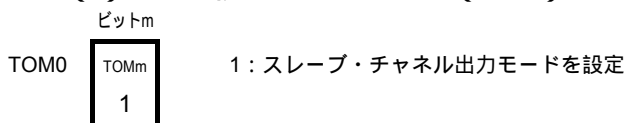
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)
m = n+1

図6 - 65 PWM機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMRn, TMRmレジスタを設定す る(チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタにインターバル(周 期)値, スレーブ・チャンネルのTDRmレジスタにデュー ティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOMmビットに1(スレーブ・チャ ネル出力モード)を設定する TOLmビットを設定する TOMビットを設定し, TOM出力の初期レベルを確定する TOEmに1を設定し, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOM端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOM初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOMは変化しない TOM端子はTOM設定レベルを出力
動作 開始	TOEm(スレーブ)に1を設定する(動作再開時のみ) TS0レジスタのTSn(マスタ), TSm(スレーブ)ピッ トに同時に1を設定する TSn, TSmビットはトリガ・ビットなので, 自動的に0 に戻る	TEn = 1, TEm = 1となる マスタ・チャンネルがカウント動作開始し, INTTMnを発生 する。それをトリガとしてスレーブ・チャンネルもカウント 動作開始する。
動作 中	TMRn, TMRmレジスタ, TOMn, TOMm, TOLn, TOLmピ ットは, 設定値変更禁止 TDRn, TDRmレジスタは, マスタ・チャンネルのINTTMn 発生後に設定値変更可能 TCRn, TCRmレジスタは, 常に読み出し可能 TSRn, TSRmレジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TCRnはTDRnの値をロードし, ダウン・カ ウント動作を行う。TCRn = 0000HまでカウントしたらINTTMnを発生 する。同時に, TCRnはTDRnの値をロードし, 再びダウン・カウ ントを開始する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTMnをトリガとし て, TCRmはTDRmの値をロードし, カウンタはダウン・カウント動 作を行う。マスタ・チャンネルのINTTMn出力から1カウント・クロッ ク経過後にTOM出力レベルをアクティブ・レベルとする。そして TCRm = 0000HまでカウントしたらTOM出力レベルをインアクティ ブ・レベルにして, カウント動作を停止する。 以降, この動作を繰り返す。
動作 停止	TTn(マスタ), TTm(スレーブ)ビットに同時に1を 設定する TTn, TTmビットはトリガ・ビットなので, 自動的に0 に戻る	TEn, TEm = 0になり, カウント動作停止 TCRn, TCRmはカウント値を保持して停止 TOM出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOEmに0を設定し, TOMピッ トに値を設定する	TOM端子はTOM設定レベルを出力

動作再開

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10) m = n+1

図6 - 65 PWM機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 停止	TOm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmビットに0を設定する	TOm端子出力レベルはポート機能により保持される。
	TOm端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOm端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0ENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOmビットが0になり, TOm端子はポート機能となる)

備考 n = 00, 02, 04, 06, 08, 10 (78K0R/IB3の場合, n = 02, 04, 06, 10)

m = n+1

6.8.3 多重PWM出力機能としての動作

PWM機能を拡張しスレーブ・チャンネルを複数使用することで、デューティの異なる多数のPWM出力を行う機能です。

たとえばスレーブ・チャンネルを2個使う場合は、出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDRn (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ1 [\%]} &= \{ \text{TDRp (スレーブ1) の設定値} \} / \{ \text{TDRn (マスタ) の設定値} + 1 \} \times 100 \\ \text{デューティ2 [\%]} &= \{ \text{TDRq (スレーブ2) の設定値} \} / \{ \text{TDRn (マスタ) の設定値} + 1 \} \times 100 \end{aligned}$$

備考 TDRp (スレーブ1) の設定値 > { TDRn (マスタ) の設定値 + 1 } の場合
または TDRq (スレーブ2) の設定値 > { TDRn (マスタ) の設定値 + 1 } の場合は、
デューティ値が100 %を越えますが、集約して100 %出力となります。

マスタ・チャンネルのTCRnは、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネル1のTCRpは、ワンカウント・モードで動作して、デューティをカウントし、TOp端子よりPWM波形を出力します。TCRpは、マスタ・チャンネルのINTTMnをスタート・トリガとして、TDRpの値をロードし、ダウン・カウントを行います。TCRp = 0000Hとなったら、INTTMpを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMn)が入力されるまでカウントを停止します。TOpの出力レベルは、マスタ・チャンネルのINTTMn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRp = 0000Hとなったらインアクティブ・レベルとなります。

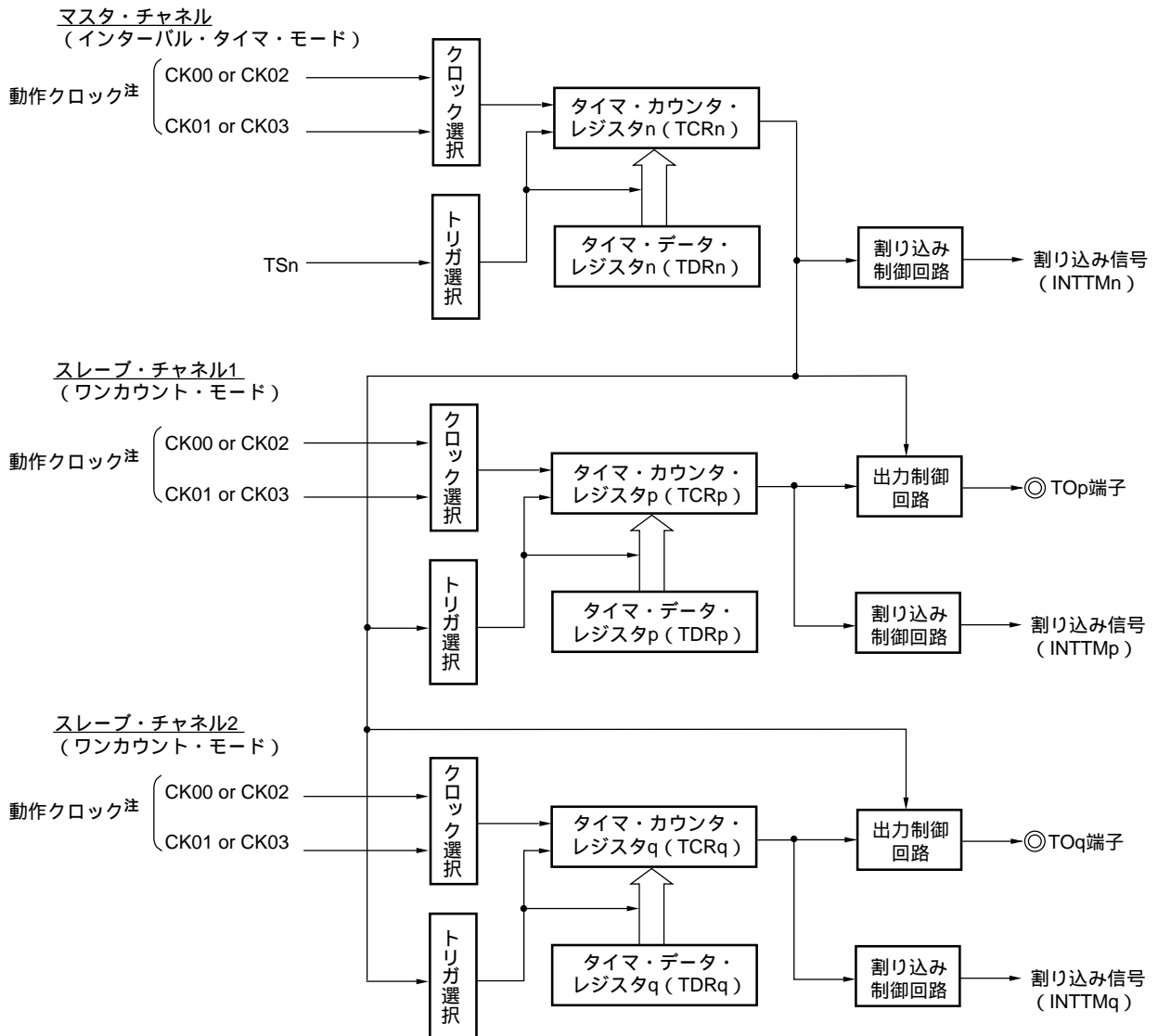
スレーブ・チャンネル2のTCRqも、スレーブ・チャンネル1のTCRpと同様に、ワンカウント・モードで動作して、デューティをカウントし、TOq端子よりPWM波形を出力します。TCRqは、マスタ・チャンネルのINTTMnをスタート・トリガとして、TDRqの値をロードし、ダウン・カウントを行います。TCRq = 0000Hとなったら、INTTMqを出力し、次のスタート・トリガ(マスタ・チャンネルのINTTMn)が入力されるまでカウントを停止します。TOqの出力レベルは、マスタ・チャンネルのINTTMn発生から1カウント・クロック経過後にアクティブ・レベルとなり、TCRq = 0000Hとなったらインアクティブ・レベルとなります。

このようにして、チャンネル0をマスタ・チャンネルとした場合は、最大11種のPWMを同時に出力できます。

注意 マスタ・チャンネルのTDRnとスレーブ・チャンネル1のTDRpを両方とも書き換える場合、最低2回のライト・アクセスが必要となります。TCRn, TCRpにTDRn, TDRpの値をロードするのは、マスタ・チャンネルのINTTMn発生後となるため、書き換えがマスタ・チャンネルのINTTMn発生前と発生後に分かれて行われると、TOp端子は、期待通りの波形を出力できません。したがって、マスタのTDRnとスレーブのTDRpを双方とも書き換える場合は、必ずマスタ・チャンネルのINTTMn発生直後に両方のレジスタを書き換えてください。(スレーブ・チャンネル2のTDRqの場合も同様です。)

備考 n = 00, 02, 04, 06, 08, 10
n < p < q 11
ただしp, qは、連続した整数

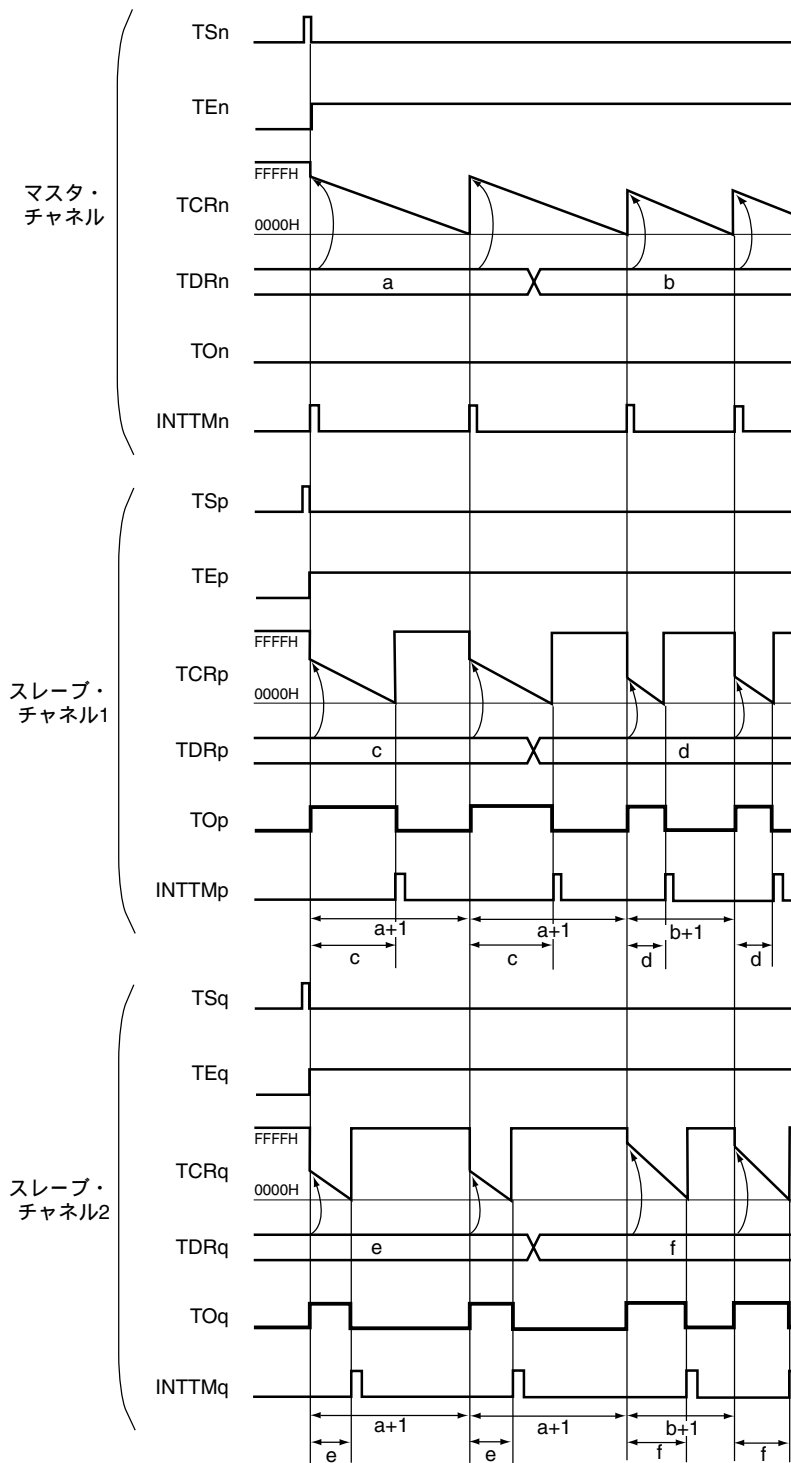
図6 - 66 多重PWM出力機能としての動作のブロック図 (2種類のPWMを出力する場合)



注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

備考 n = 00, 02, 04, 06, 08, 10
 n < p < q 11
 ただし p, q は、連続した整数

図6 - 67 多重PWM出力機能としての動作の基本タイミング例 (2種類のPWMを出力する場合) (初期設定 : $TOp, TOq = 0$)



備考1. $n = 00, 02, 04, 06, 08, 10$

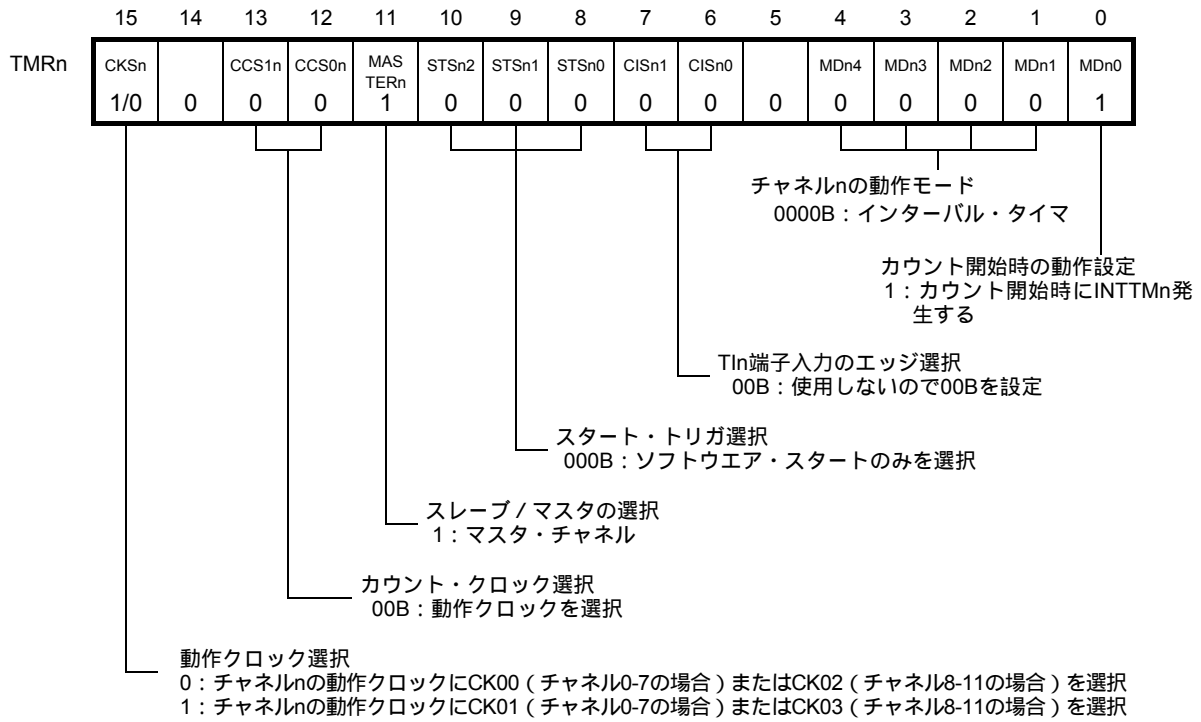
$n < p < q \leq 11$

ただしp, qは、連続した整数

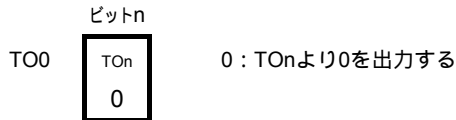
2. TSn, TSp, TSq : タイマ・チャンネル開始レジスタ0 (TS0) のビットn, p, q
- TEn, TEp, TEq : タイマ・チャンネル許可ステータス・レジスタ0 (TE0) のビットn, p, q
- $TCRn, TCRp, TCRq$: タイマ・カウンタ・レジスタn, p, q ($TCRn, TCRp, TCRq$)
- $TDRn, TDRp, TDRq$: タイマ・データ・レジスタn, p, q ($TDRn, TDRp, TDRq$)
- TOn, TOp, TOq : TOn, TOp, TOq 端子出力信号

図6 - 68 多重PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

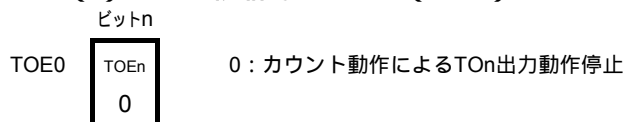
(a) タイマ・モード・レジスタ_n (TMR_n)



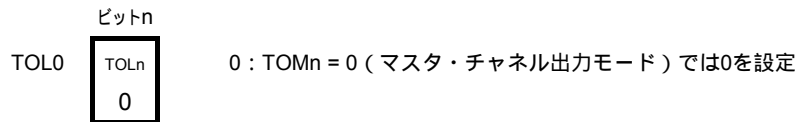
(b) タイマ出力レジスタ0 (TO0)



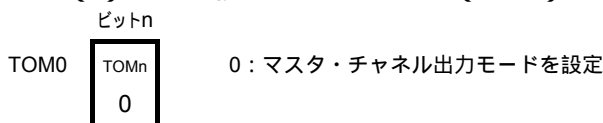
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)

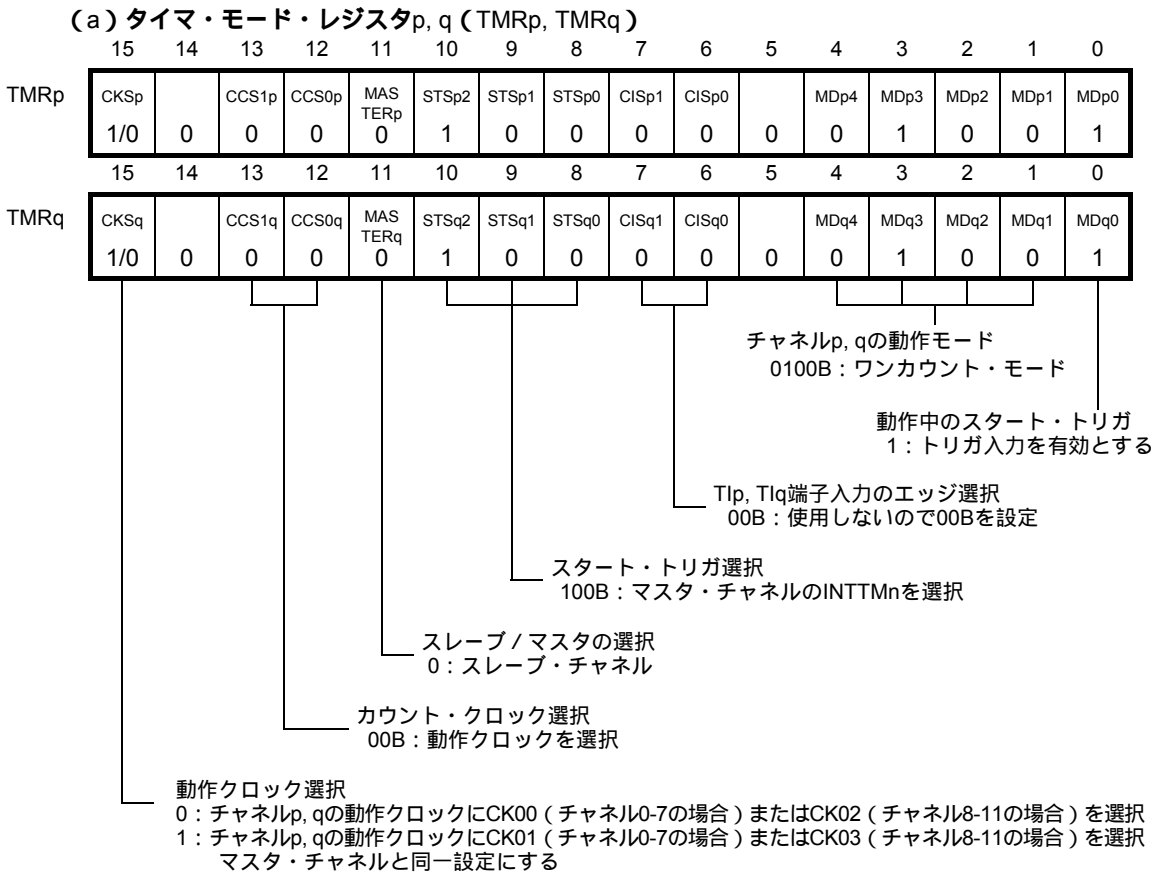


(e) タイマ出力モード・レジスタ0 (TOM0)

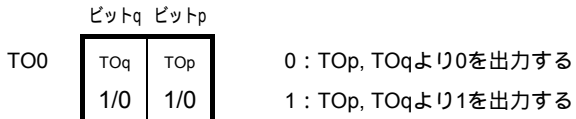


備考 n = 00, 02, 04, 06, 08, 10

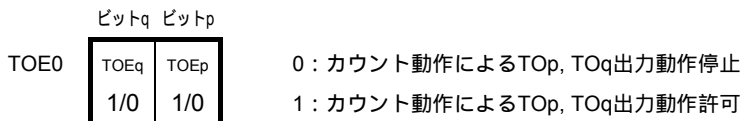
図6 - 69 多重PWM機能時（スレーブ・チャンネル）のレジスタ設定内容例（2種類のPWMを出力する場合）



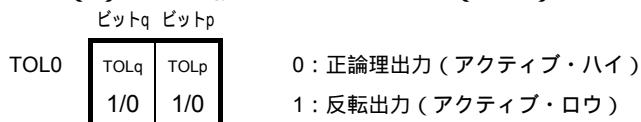
(b) タイマ出力レジスタ0 (TO0)



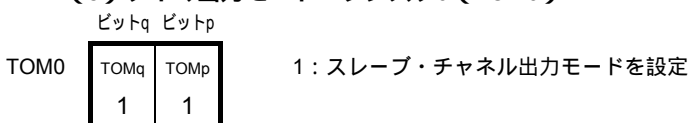
(c) タイマ出力許可レジスタ0 (TOE0)



(d) タイマ出力レベル・レジスタ0 (TOL0)



(e) タイマ出力モード・レジスタ0 (TOM0)



備考 n = 00, 02, 04, 06, 08, 10 n < p < q 11 (ただしp, qは, 連続した整数)

図6 - 70 多重PWM機能時の操作手順（2種類のPWMを出力する場合）（1/2）

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0ENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場 合はCK02, CK03のクロック周波数を確定する	
チャ ネル 初期 設定	使用する各チャンネルのTMRn, TMRp, TMRqレジスタを 設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタにインターバル (周 期) 値, スレーブ・チャンネルのTDRp, TDRqレジスタに デューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOMp, TOMqビットに1 (スレー ブ・チャンネル出力モード) を設定する TOLp, TOLqビットに0を設定する TOp, TOqビットを設定し, TOp, TOq出力の初期レベ ルを確定する	TOp, TOq端子はHi-Z出力状態
	TOEp, TOEqに1を設定し, TOp, TOqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOp, TOq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOp, TOqは変化しない TOp, TOq端子はTOp, TOq設定レベルを出力

備考 n = 00, 02, 04, 06, 08, 10

n < p < q 11

ただしp, qは, 連続した整数

図6 - 70 多重PWM機能時の操作手順 (2種類のPWMを出力する場合) (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開時	動作開始 (動作再開時のみTOE0p, TOE0q (スレーブ)ビットに1を設定する) TS0レジスタのTSn (マスタ), TSp, TSq (スレーブ)ビットに同時に1を設定する TSn, TSp, TSqビットはトリガ・ビットなので,自動的に0に戻る	TE _n = 1, TE _p , TE _q = 1となる マスタ・チャンネルがカウント動作開始し, INTTM _n を発生する。それをトリガとしてスレーブ・チャンネルもカウント動作開始する。
	動作中 TMR _n , TMR _p , TMR _q レジスタ, TOM _n , TOM _p , TOM _q , TOL _n , TOL _p , TOL _q ビットは, 設定値変更禁止 TDR _n , TDR _p , TDR _q レジスタは, マスタ・チャンネルのINTTM _n 発生後に設定値変更可能 TCR _n , TCR _p , TCR _q レジスタは, 常に読み出し可能 TSR _n , TSR _p , TSR _q レジスタは, 使用しない TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TCR _n はTDR _n の値をロードし, ダウン・カウント動作を行う。TCR _n = 0000HまでカウントしたらINTTM _n を発生する。同時に, TCR _n はTDR _n の値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル1では, マスタ・チャンネルのINTTM _n 信号をトリガとして, TDR _p レジスタ値をTCR _p に転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM _n 出力から1カウント・クロック経過後にTO _p 出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO _p 出力レベルをインアクティブ・レベルにして, カウント動作を停止する。 スレーブ・チャンネル2では, マスタ・チャンネルのINTTM _n 信号をトリガとして, TDR _q レジスタ値をTCR _q に転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM _n 出力から1カウント・クロック経過後にTO _q 出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTO _q 出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。
	動作停止 TT _n (マスタ), TT _p , TT _q (スレーブ)ビットに同時に1を設定する TT _n , TT _p , TT _q ビットはトリガ・ビットなので, 自動的に0に戻る	TE _n , TE _p , TE _q = 0になり, カウント動作停止 TCR _n , TCR _p , TCR _q はカウント値を保持して停止 TO _p , TO _q 出力は初期化されず, 状態保持
	スレーブ・チャンネルのTOE _p , TOE _q に0を設定し, TO _p , TO _q ビットに値を設定する	TO _p , TO _q 端子はTO _p , TO _q 設定レベルを出力
TAUS停止	TO _p , TO _q 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO _p , TO _q ビットに0を設定する TO _p , TO _q 端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER2レジスタのTAU0ENビットに0を設定する	TO _p , TO _q 端子出力レベルはポート機能により保持される。 TO _p , TO _q 端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO _p , TO _q ビットが0になり, TO _p , TO _q 端子はポート機能となる)

備考 n = 00, 02, 04, 06, 08, 10
n < p < q 11
ただしp, qは, 連続した整数

第7章 インバータ制御機能

7.1 機能概要

タイマ・アレイ・ユニットTAUS（以下TAUS）とTAUSオプション・ユニットにより、インバータ制御機能やモータ制御用として使用できます。動作クロックとして最大40 MHzの分解能で使用できます（高速内蔵発振クロックを使用の場合）。また、A/Dコンバータの起動タイミングを生成することができます。

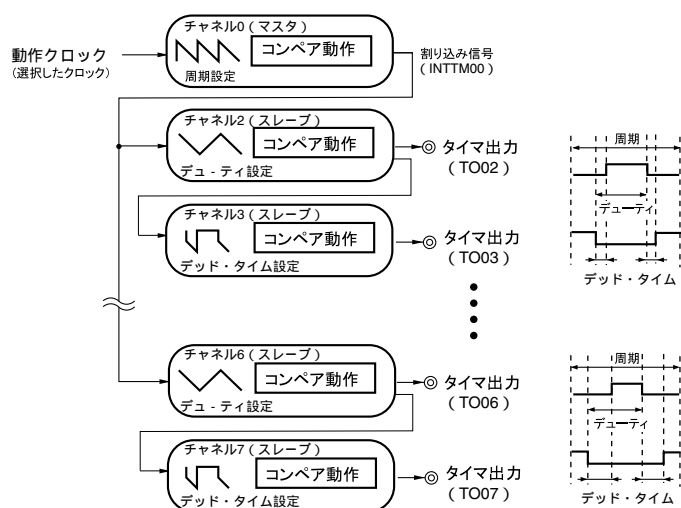
インバータ制御機能により、次のような動作を行うことができます。

(1) 相補PWM出力機能

- ・6相PWM出力機能（三角波変調 上アーム, 下アーム 出力6本）

TAUSの7チャンネルをセットで使用し、任意の周期、デューティ、デッド・タイムの波形生成が可能。

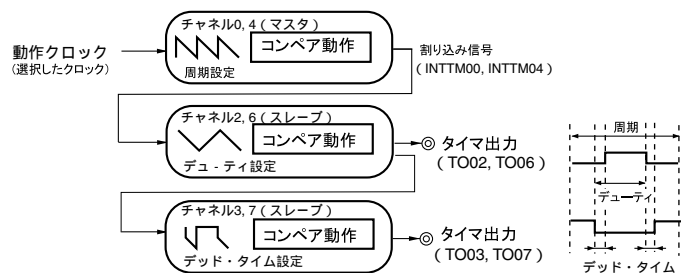
7.5.6 6相三角波PWM出力機能としての動作参照



- ・ハーフ・ブリッジ出力機能（出力2本×2）

TAUSの3チャンネルをセットで使用し、任意の周期、デューティ、デッド・タイムの波形生成が可能。

7.5.5 デッド・タイム付き三角波PWM出力機能としての動作参照



- ・フルブリッジ出力機能（出力4本）

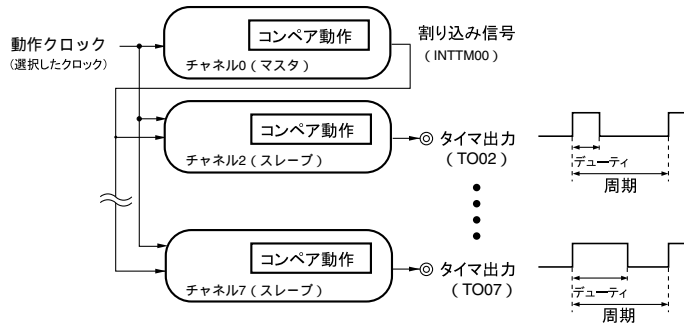
上記ハーフ・ブリッジ出力を用いた機能

(2) 非相補PWM出力機能

・6相PWM出力機能 (鋸波変調または三角波変調 出力6本)

TAUSの7チャンネルをセットで使用し, 任意の周波数, デューティ, デッド・タイムの無い波形生成が可能。

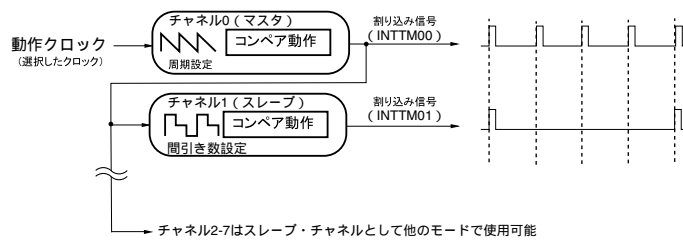
7.5.3 6相PWM出力機能としての動作参照



(3) 割り込み間引き機能

周期設定用のチャンネル0, 4の割り込みを間引くことが可能。

7.5.7 割り込み信号間引き機能参照



(4) 任意のデッド・タイム設定機能

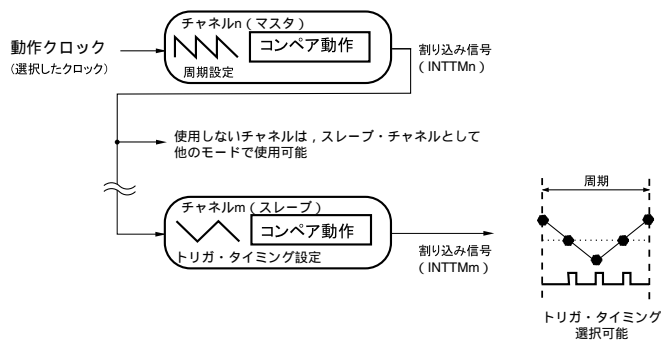
任意のデッド・タイムを設定することが可能。

(5) A/Dコンバータの起動タイミング設定機能 (4種類のタイミング生成が可能)

TAUSのチャンネル8, 9を使用してA/Dコンバータの起動タイミングを出力することが可能。

7.5.8 A/D変換トリガ出力機能 (タイプ1) としての動作参照

7.5.9 A/D変換トリガ出力機能 (タイプ2) としての動作参照



(6) 0% , 100%出力が可能

相補PWM機能, 非相補PWM機能の両機能で0% , 100%の出力が可能。

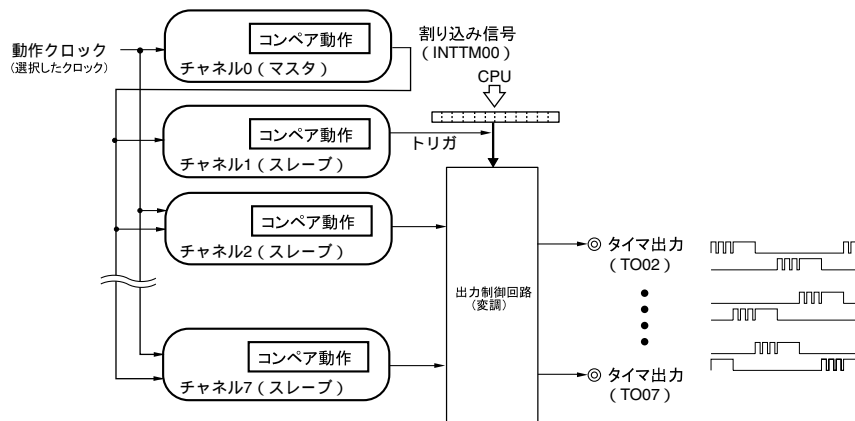
(7) 1端子ごとにタイマ出力の正転, 反転設定が可能

(8) リアルタイム出力機能 (本機能とPWM変調をすることが可能)

7. 5. 13 非相補方式変調出力機能 (タイプ1) としての動作参照

7. 5. 14 非相補方式変調出力機能 (タイプ2) としての動作参照

7. 5. 15 相補方式変調出力機能としての動作参照

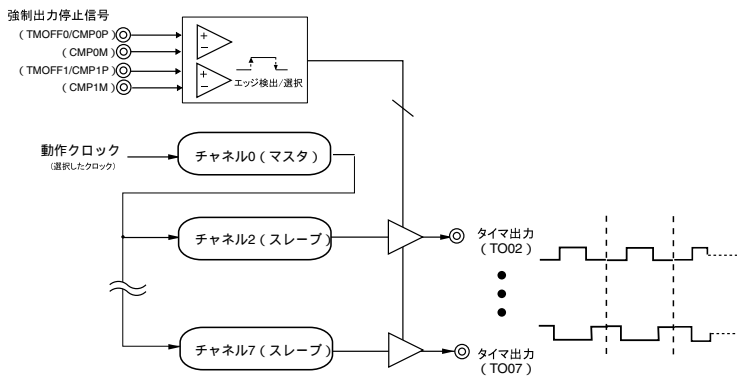


(9) 強制出力停止機能

内蔵コンパレータによる有効エッジ検出時にTO02-TO07の出力をハイ・インピーダンスにする事が可能。

外部端子入力 (TMOFF0, TMOFF1) による有効エッジ検出時にTO02-TO07の出力をハイ・インピーダンスにする事が可能。

7. 6 過電流検出機能参照



注意 78K0R/IB3にはTMOFF1端子がありません。そのため, TMOFF0端子でのHi-Z制御のみ行うことができます。

7.2 インバータ制御機能の構成

インバータ機能は、タイマ・アレイ・ユニットTAUSに機能を追加することにより実現することができます。次にタイマ・アレイ・ユニットTAUSとインバータ制御機能部のハードウェア構成を示します。

表7-1 タイマ・アレイ・ユニットTAUSとインバータ制御機能部の構成

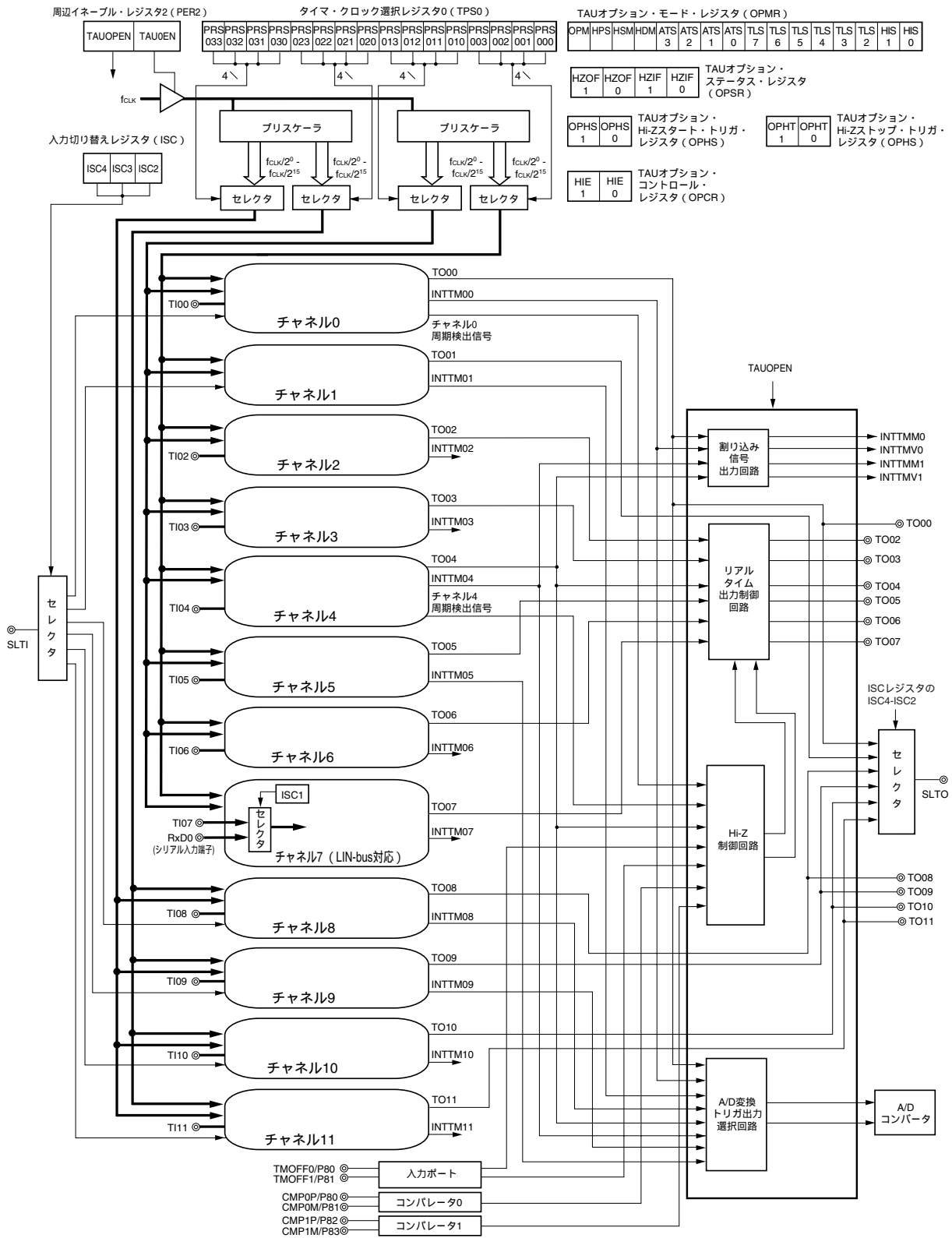
項目	構成
タイマ/カウンタ	タイマ・カウンタ・レジスタn (TCRn) ^{注1}
レジスタ	タイマ・データ・レジスタn (TDRn) ^{注1}
タイマ入力	TI00, TI02-TI11, SLTI端子 ^{注2} , RxD0端子 (LIN-bus用)
タイマ出力	TO00, TO02-TO11, SLTO端子 ^{注2} , 出力制御回路
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ2 (PER2) ^{注1} ・タイマ・クロック選択レジスタ0 (TPS0) ^{注1} ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0) ^{注1} ・タイマ・チャンネル開始レジスタ0 (TS0) ^{注1} ・タイマ・チャンネル停止レジスタ0 (TT0) ^{注1} ・タイマ入力選択レジスタ0 (TIS0) ^{注1, 3} ・タイマ出力許可レジスタ0 (TOE0) ^{注1} ・タイマ出力レジスタ0 (TO0) ^{注1} ・タイマ出力レベル・レジスタ0 (TOL0) ^{注1} ・タイマ出力モード・レジスタ0 (TOM0) ^{注1} ・タイマ三角波出力モード・レジスタ0 (TOT0) ・タイマ・デッド・タイム出力許可レジスタ0 (TDE0) ・タイマ・リアルタイム出力レジスタ0 (TRO0) ・タイマ・リアルタイム出力許可レジスタ0 (TRE0) ・タイマ・リアルタイム制御レジスタ0 (TRC0) ・タイマ・モジュレーション出力許可レジスタ0 (TME0) ・TAUオプション・モード・レジスタ (OPMR) ・TAUオプション・ステータス・レジスタ (OPSR) ・TAUオプションHi-Zスタート・トリガ・レジスタ (OPHS) ・TAUオプションHi-Zストップ・トリガ・レジスタ (OPHT) ・TAUオプション・コントロール・レジスタ (OPCR) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・タイマ・モード・レジスタn (TMRn) ^{注1} ・タイマ・ステータス・レジスタn (TSRn) ^{注1} ・入力切り替え制御レジスタ (ISC) ^{注1} LIN-bus対応の場合に使用 ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) ^{注1} ・ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7) ^{注1, 4} ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7) ^{注1, 4}

- 注1. インバータ制御機能は、タイマ・アレイ・ユニットTAUSにオプション機能を追加することにより実現することができます。この章では、インバータ制御機能で使用するレジスタの説明のみ記載しています。その他の、タイマ・アレイ・ユニットTAUSと共通で使用するレジスタは、第6章 タイマ・アレイ・ユニットTAUSを参照してください。
2. チャンネル0, 1, 8-11のタイマ入出力端子の有無は製品によって異なります。詳細は、表6-1 各製品に搭載しているタイマ入出力端子を参照してください。
3. 78K0R/IB3には搭載していません。
4. PM0, P0レジスタは、78K0R/ID3, 78K0R/IE3のみ。PM7, P7レジスタは、78K0R/IB3にはありません。

備考 n: チャンネル番号 (n = 00-11)

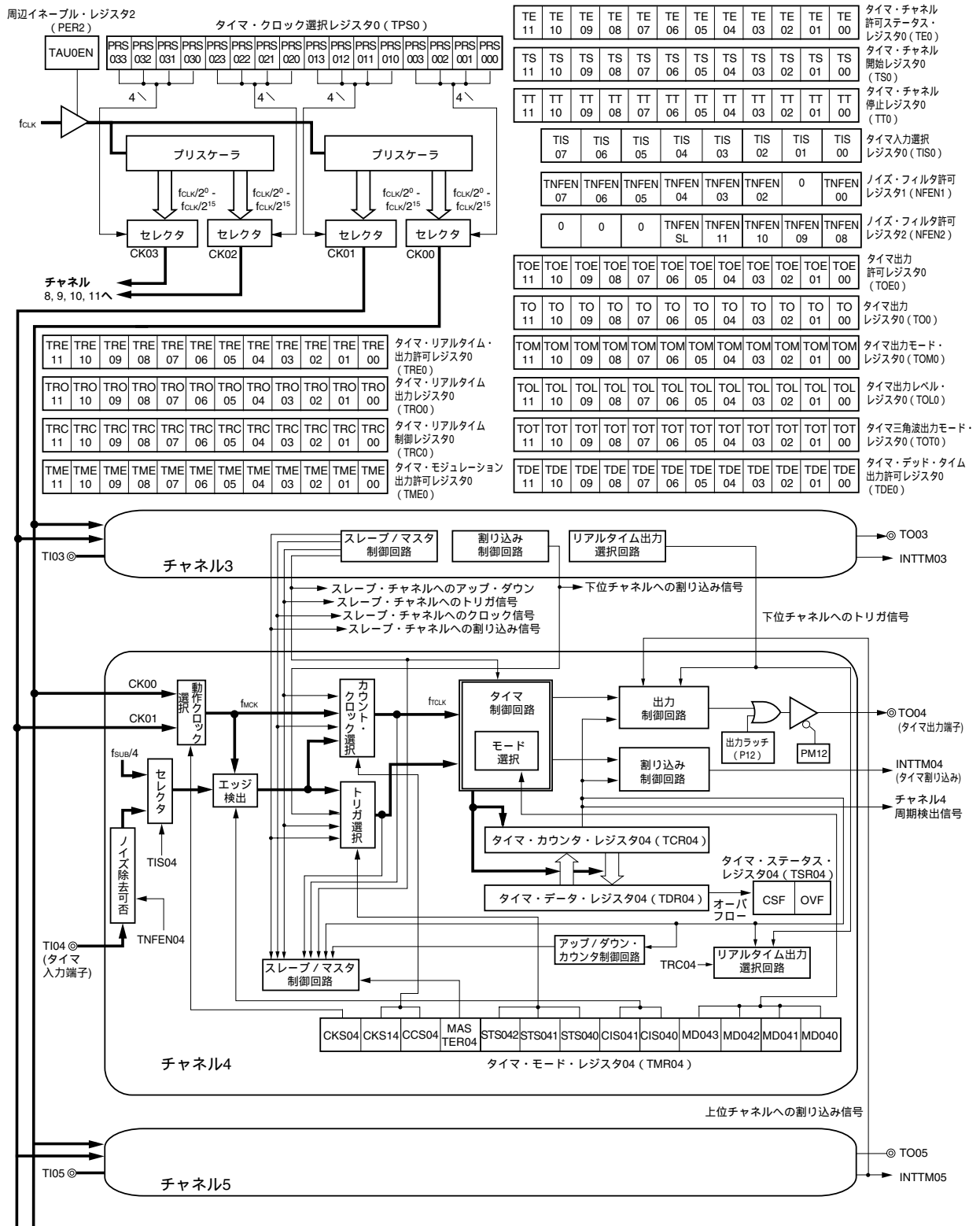
図7-1にブロック図を示します。

図7-1 タイマ・アレイ・ユニットTAUSとインバータ制御機能部の全体構成図 (例 78K0R/IE3の場合)



備考 図7-1の構成図は、タイマ・アレイ・ユニットTAUSと共通で使用するレジスタ、端子も含めた図になっています。タイマ・アレイ・ユニットTAUSの詳細は第6章 タイマ・アレイ・ユニットTAUSを参照してください。

図7-2 各チャンネルのブロック図(例 78K0R/IE3のチャンネル4)



備考 図7-2のブロック図は、タイム・アレイ・ユニットTAUSと共通で使用するレジスタ、端子も含めた図になっています。タイム・アレイ・ユニットTAUSの詳細は第6章 タイム・アレイ・ユニットTAUSを参照してください。

(1) タイマ・カウンタ・レジスタ_n (TCR_n)

(2) タイマ・データ・レジスタ_n (TDR_n)

上記レジスタは、タイマ・アレイ・ユニットTAUSと共通のレジスタです。
詳細は、6.2 タイマ・アレイ・ユニットTAUSの構成を参照してください。

7.3 タイマ・アレイ・ユニットTAUSとインバータ制御機能部を制御するレジスタ

タイマ・アレイ・ユニットTAUSとインバータ制御機能部を制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ2 (PER2)
- ・タイマ・クロック選択レジスタ0 (TPS0) ^{注1}
- ・タイマ・モード・レジスタn (TMRn) ^{注1}
- ・タイマ・ステータス・レジスタn (TSRn) ^{注1}
- ・タイマ・チャンネル許可ステータス・レジスタ0 (TE0) ^{注1}
- ・タイマ・チャンネル開始レジスタ0 (TS0) ^{注1}
- ・タイマ・チャンネル停止レジスタ0 (TT0) ^{注1}
- ・タイマ入力選択レジスタ0 (TIS0) ^{注1, 2}
- ・タイマ出力許可レジスタ0 (TOE0) ^{注1}
- ・タイマ出力レジスタ0 (TO0) ^{注1}
- ・タイマ出力レベル・レジスタ0 (TOL0) ^{注1}
- ・タイマ出力モード・レジスタ0 (TOM0) ^{注1}
- ・タイマ三角波出力モード・レジスタ0 (TOT0)
- ・タイマ・デッド・タイム出力許可レジスタ0 (TDE0)
- ・タイマ・リアルタイム出力レジスタ0 (TRO0)
- ・タイマ・リアルタイム出力許可レジスタ0 (TRE0)
- ・タイマ・リアルタイム制御レジスタ0 (TRC0)
- ・タイマ・モジュレーション出力許可レジスタ0 (TME0)
- ・TAUオプション・モード・レジスタ (OPMR)
- ・TAUオプション・ステータス・レジスタ (OPSR)
- ・TAUオプションHi-Zスタート・トリガ・レジスタ (OPHS)
- ・TAUオプションHi-Zストップ・トリガ・レジスタ (OPHT)
- ・TAUオプション・コントロール・レジスタ (OPCR)
- ・入力切り替え制御レジスタ (ISC) ^{注1}
- ・ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2) ^{注1}
- ・ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7) ^{注1, 3}
- ・ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7) ^{注1, 3}

注1. インバータ制御機能は、タイマ・アレイ・ユニットTAUSにオプション機能を追加することにより実現することができます。この章では、インバータ制御機能で使用するレジスタの説明のみ記載していません。その他の、タイマ・アレイ・ユニットTAUSと共通で使用するレジスタは、**第6章 タイマ・アレイ・ユニットTAUS**を参照してください。

2. 78K0R/IB3には搭載していません。

3. PM0, P0レジスタは、78K0R/ID3, 78K0R/IE3のみ。PM7, P7レジスタは、78K0R/IB3にはありません。

備考 n = 00-11

(1) 周辺イネーブル・レジスタ2 (PER2)

PER2は、各周辺ハードウェアへのクロック供給許可 / 禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

タイマ・アレイ・ユニットTAUS、インバータ制御機能を使用するときは、必ずビット0 (TAU0EN)、ビット1 (TAUOPEN) を1に設定してください。

PER2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER2は00Hになります。

図7-3 周辺イネーブル・レジスタ2 (PER2) のフォーマット

アドレス : F00F2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER2	0	0	0	0	0	0	TAUOPEN	TAU0EN

TAU0EN	タイマ・アレイ・ユニットTAUSの入カクロックの制御
0	入力クロック供給停止 ・タイマ・アレイ・ユニットTAUSで使用するSFRへのライト不可 ・タイマ・アレイ・ユニットTAUSはリセット状態
1	入力クロック供給許可 ・タイマ・アレイ・ユニットTAUSで使用するSFRへのリード / ライト可

TAUOPEN	インバータ制御部の入力クロックの制御
0	入力クロック供給停止 ・インバータ制御部で使用するSFRへのライト不可 ・インバータ制御部はリセット状態
1	入力クロック供給許可 ・インバータ制御部で使用するSFRへのリード / ライト可

注意1. タイマ・アレイ・ユニットTAUSとインバータ制御機能の設定をする際には、必ず最初にTAU0EN, TAUOPEN = 1の設定を行ってください。TAU0EN, TAUOPEN = 0の場合は、タイマ・アレイ・ユニットTAUS、インバータ制御機能部の制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります (タイマ入力選択レジスタ0 (TIS0)、入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)、ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7)、ポート・レジスタ0, 1, 3, 5, 7 (P0, P1, P3, P5, P7) は除く)。

2. PER2レジスタのビット2-7には必ず“0”を設定してください。

- (2) タイマ・クロック選択レジスタ0 (TPS0)
- (3) タイマ・モード・レジスタn (TMRn)
- (4) タイマ・ステータス・レジスタn (TSRn)
- (5) タイマ・チャンネル許可ステータス・レジスタ0 (TE0)
- (6) タイマ・チャンネル開始レジスタ0 (TS0)
- (7) タイマ・チャンネル停止レジスタ0 (TT0)
- (8) タイマ入力選択レジスタ0 (TIS0)
- (9) タイマ出力許可レジスタ0 (TOE0)
- (10) タイマ出力レジスタ0 (TO0)
- (11) タイマ出力レベル・レジスタ0 (TOL0)
- (12) タイマ出力モード・レジスタ0 (TOM0)

上記レジスタ (2) ~ (12) は、タイマ・アレイ・ユニットTAUSと共通のレジスタです。
詳細は、6.3 **タイマ・アレイ・ユニットTAUSを制御するレジスタ**を参照してください。

(13) タイマ三角波出力モード・レジスタ0 (TOT0)

TOT0は、TOM0レジスタのTOMm = 1に設定したスレーブ・チャンネルのタイマ出力モードを制御するレジスタです。

このレジスタによる各チャンネルmの設定は、タイマ出力許可 (TOEm = 1) 設定時かつTOMm = 1設定のときにTREm, TMEem = 0または、TREm, TMEem = 1のときに有効になります。

TOT0は、タイマ動作停止状態 (TEem = 0) のときに書き換えが可能です。

TOT0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TOT0は0000Hになります。

図7-4 タイマ三角波出力モード・レジスタ0 (TOT0) のフォーマット

アドレス : F01E8H, F01E9H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TOT0	0	0	0	0	TOT 11	TOT 10	TOT 09	TOT 08	TOT 07	TOT 06	TOT 05	TOT 04	TOT 03	TOT 02	TOT 01	TOT 00

TOT m	チャンネルmのスレーブ・チャンネル出力モードの選択
0	マスタ・チャンネルのタイマ割り込み要求信号 (INTTMn) でセット、スレーブ・チャンネルのタイマ割り込み要求信号 (INTTMm) でリセット動作する
1	ダウン・ステータス中のタイマ割り込み要求信号 (INTTMm) でセット、アップ・ステータス中のタイマ割り込み要求信号 (INTTMm) でリセット動作する ^注

注 三角波PWMを発生させたいときには、スレーブ・チャンネルをTOTm = 1に設定してください。

注意 ビット15-12には、必ず0を設定してください。

備考 n : マスタ・チャンネル番号, m : スレーブ・チャンネル番号

n = 00, 02, 04, 06, 08

n < m 11

(14) タイマ・リアルタイム出力許可レジスタ0 (TRE0)

TRE0は、リアルタイム出力機能使用時のタイマ出力の出力許可 / 停止をチャンネルごとに設定するレジスタです。

TRE0は、タイマ動作停止状態 (TEn = 0) のときに書き換えが可能です。

TRE0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRE0は0000Hになります。

図7-5 タイマ・リアルタイム出力許可レジスタ0 (TRE0) のフォーマット

アドレス : F01EAH, F01EBH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRE0	0	0	0	0	TRE	TRE	TRE	TRE	TRE	TRE	TRE	TRE	TRE	TRE	TRE	TRE
					11	10	09	08	07	06	05	04	03	02	01	00

TRE n	チャンネルnのリアルタイム出力の許可 / 停止														
0	リアルタイム出力停止														
1	リアルタイム出力許可														

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11

(15) タイマ・リアルタイム出力レジスタ0 (TRO0)

TRO0は、リアルタイム出力機能用のタイマ出力のバッファ・レジスタです。リアルタイム出力許可時には、このレジスタの各ビットの値が、各チャンネルのタイマ出力端子 (TOn) から出力されます。

リアルタイム出力停止 (TEn = 0) 時、TRO0の設定はタイマ動作に影響を与えません。リアルタイム出力許可 (TEn = 1) 時にリアルタイム出力とタイマ動作 (トリガ生成チャンネル) によりTOn端子の出力が変化します。

TRO0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRO0は0000Hになります。

図7-6 タイマ・リアルタイム出力レジスタ0 (TRO0) のフォーマット

アドレス : F01ECH, F01EDH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRO0	0	0	0	0	TRO	TRO	TRO	TRO	TRO	TRO	TRO	TRO	TRO	TRO	TRO	TRO
					11	10	09	08	07	06	05	04	03	02	01	00

TRO n	リアルタイム出力レベル														
0	ロウ・レベル														
1	ハイ・レベル														

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11

(16) タイマ・リアルタイム制御レジスタ (TRC0)

TRC0は、リアルタイム出力トリガの生成チャンネルを設定するレジスタです。

TRC0は、タイマ動作停止状態 (TE_n = 0) のときに書き換えが可能です。

TRC0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TRC0は0000Hになります。

図7-7 タイマ・リアルタイム制御レジスタ0 (TRC0) のフォーマット

アドレス : F01EEH, F01EFH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRC0	0	0	0	0	TRC	TRC	TRC	TRC	TRC	TRC	TRC	TRC	TRC	TRC	TRC	TRC
					11	10	09	08	07	06	05	04	03	02	01	00

TRC n	リアルタイム出力トリガ機能の選択
0	リアルタイム出力トリガ生成チャンネルとして動作しない。 上位チャンネルでTRC _n = 1に設定しているチャンネルのタイマ割り込み要求信号 (INTTM _n) がリアルタイム出力トリガとなる。
1	リアルタイム出力トリガ生成チャンネルとして動作する。 自チャンネルのタイマ割り込み要求信号 (INTTM _n) が下位チャンネルのリアルタイム出力トリガとなる。

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11

(17) タイマ・デッド・タイム出力許可レジスタ0 (TDE0)

TDE0は、各チャンネルのタイマ出力のデッド・タイム制御を許可/禁止を設定するレジスタです。

このレジスタによる各チャンネルnの設定は、タイマ出力許可 (TOEn = 1) 設定時かつTOMn, TOTn = 1設定のときに有効になります。

TDE0は、タイマ動作停止状態 (TEn = 0) のときに書き換えが可能です。

デッド・タイム制御は、偶数チャンネルと奇数チャンネル (偶数チャンネル+1) をセットで行うため、TDEnの値は、デッド・タイム制御を行う偶数チャンネルと奇数チャンネルで同一に設定する必要があります。

TDE0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TDE0は0000Hになります。

図7-8 タイマ・デッド・タイム出力許可レジスタ0 (TDE0) のフォーマット

アドレス : F01F2H, F01F3H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDE0	0	0	0	0	TDE 11	TDE 10	TDE 09	TDE 08	TDE 07	TDE 06	TDE 05	TDE 04	TDE 03	TDE 02	TDE 01	TDE 00

TDE n	デッド・タイム制御の選択
0	デッド・タイム制御禁止
1	デッド・タイム制御許可

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11

(18) タイマ・モジュレーション出力許可レジスタ0 (TME0)

TME0は、タイマ出力とリアルタイム出力の変調出力機能の動作許可/動作停止を制御するレジスタです。

TME0は、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、TME0は0000Hになります。

図7-9 タイマ・モジュレーション出力許可レジスタ0 (TME0) のフォーマット

アドレス：F01F0H, F01F1H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TME0	0	0	0	0	TME 11	TME 10	TME 09	TME 08	TME 07	TME 06	TME 05	TME 04	TME 03	TME 02	TME 01	TME 00

TME n	リアルタイム出力レベル
0	タイマ出力とリアルタイム出力の変調出力禁止
1	タイマ出力とリアルタイム出力の変調出力許可

注意 ビット15-12には、必ず0を設定してください。

備考 n = 00-11

(19) TAUオプション・モード・レジスタ (OPMR)

OPMRは、インバータ制御機能用オプション・ユニットの動作モードを設定するレジスタです。

OPMRの書き換えは、OPCRレジスタのHIE1, HIE0 = 00BかつTAUSのマスタ・チャンネル00, 04の動作停止状態 (TE00 = 0, TE04 = 0) の場合のみ可能です。

OPMRは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、OPMRは0000Hになります。

図7 - 10 TAUオプション・モード・レジスタ (OPMR) のフォーマット (1/2)

アドレス : F0220H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPMR	OPM	HPS	HSM	HDM	ATS 3	ATS 2	ATS 1	ATS 0	TLS 7	TLS 6	TLS 5	TLS 4	TLS 3	TLS 2	HIS 1	HIS 0

OPM	動作モードの選択
0	6相出力制御モード (Hi-Z制御の対象がTO02-TO07となり、Hi-Z制御、解除はHDMビットにより設定される)
1	ハーフ・ブリッジ出力制御モード (周期レジスタがチャンネル0とチャンネル4の場合) (TMOFF0端子または、内蔵コンパレータCMP0によりTO02-TO03をHi-Zにする。 TMOFF1端子または、内蔵コンパレータCMP1によりTO06-TO07をHi-Zにする。Hi-Zの解除はHSMビットにより設定される)

HPS	Hi-Z入力端子の選択
0	TMOFF0, TMOFF1端子をHi-Z制御信号として使用
1	内蔵コンパレータ出力信号をHi-Z制御信号として使用

HSM	Hi-Z解除の方法選択 (OPM = 1の場合)
0	内蔵コンパレータ (CMP0/CMP1) またはTMOFF0, TMOFF1のインアクティブ・エッジを検出後、周期に同期してHi-Zを解除することができる。
1	ソフトウェアの書き込みによるエッジを検出後、周期に同期してHi-Zを解除することができる。

HDM	Hi-Z解除の方法選択 (OPM = 0の場合)
0	2段階過電流検出モード (内蔵コンパレータ0 (CMP0側) またはTMOFF0のアクティブ・エッジ検出時にHi-Zにし、インアクティブ・エッジ検出後、周期に同期してHi-Zを解除する。また、内蔵コンパレータ1 (CMP1側) またはTMOFF1のアクティブ・エッジ検出時Hi-Zにし、ソフトウェアの書き込みによるエッジ検出後、周期に同期してHi-Zを解除する)
1	過電流 / 起電流検出モード (内蔵コンパレータ0の出力を反転するかTMOFF0のアクティブ・エッジ検出を通常と逆にすることで、過電流側 (高電位CMP1またはTMOFF1)、起電流側 (低電位CMP0またはTMOFF0) を検出しHi-Zにする。内蔵コンパレータ、またはTMOFF0, TMOFF1のインアクティブ・エッジ検出後、周期に同期してHi-Zを解除することができる)

注意 78K0R/IB3にはTMOFF1端子がありません。そのため、TMOFF1端子を使用したHi-Z制御を行うことはできません。

図7-10 TAUオプション・モード・レジスタ (OPMR) のフォーマット (2/2)

アドレス : F0220H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPMR	OPM	HPS	HSM	HDM	ATS	ATS	ATS	ATS	TLS	TLS	TLS	TLS	TLS	TLS	HIS	HIS
					3	2	1	0	7	6	5	4	3	2	1	0

ATS	ATS	A/D変換用タイム・トリガ信号1の選択 OPM = 0の場合 : 割り込み発生にチャンネル9を使用, OPM = 1の場合 : 割り込み発生にチャンネル5を使用
3	2	
0	0	マスタ・チャンネルのダウン・ステータス期間中の一致割り込みにA/Dトリガを発生
0	1	マスタ・チャンネルのアップ・ステータス期間中の一致割り込みにA/Dトリガを発生
1	0	マスタ・チャンネルのアップ/ダウン・ステータス期間中の一致割り込みにA/Dトリガを発生
1	1	マスタ・チャンネルのアップ/ダウン・ステータス期間中の一致割り込み+マスタ・チャンネルの谷割り込みにA/Dトリガを発生

ATS	ATS	A/D変換用タイム・トリガ信号0の選択 OPM = 0の場合 : 割り込み発生にチャンネル8を使用, OPM = 1の場合 : 割り込み発生にチャンネル1を使用
1	0	
0	0	マスタ・チャンネルのダウン・ステータス期間中の一致割り込みにA/Dトリガを発生
0	1	マスタ・チャンネルのアップ・ステータス期間中の一致割り込みにA/Dトリガを発生
1	0	マスタ・チャンネルのアップ/ダウン・ステータス期間中の一致割り込みにA/Dトリガを発生
1	1	マスタ・チャンネルのアップ/ダウン・ステータス期間中の一致割り込み+マスタ・チャンネルの谷割り込みにA/Dトリガを発生

TLSm	出力反転制御 (m = 2-7)
0	タイマ出力 (TO0m) を正転出力する。
1	タイマ出力 (TO0m) を反転出力する。

HIS1	TMOFF1の有効エッジの選択
0	立ち下がりエッジを有効とする。
1	立ち上がりエッジを有効とする。
HIS1の設定は、HPS = 0のときに有効です。	

HIS0	TMOFF0の有効エッジの選択
0	立ち下がりエッジを有効とする。
1	立ち上がりエッジを有効とする。
HIS0の設定は、HPS = 0のときに有効です。	

- 注意1. 78K0R/IB3にはTMOFF1端子はありません。
- TMOFF0, TMOFF1端子は、それぞれ外部割り込み要求入力INTP3, INTP7と兼用しています。そのため、INTP3, INTP7の有効エッジの選択は、TMOFF0, TMOFF1端子の有効エッジに合わせて選択してください (INTP3, INTP7の有効エッジ選択は17.3 (4) 参照)。
 - A/D変換トリガ出力機能 (タイプ1) (7.5.8参照) 使用時は、ATS1, ATS0 = 0, 1に設定してください。

備考 n = 02-07

(20) TAUオプション・ステータス・レジスタ (OPSR)

OPSRは、モータ制御用オプション・ユニットの各種ステータスを表示するレジスタです。

OPSRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、OPSRは0000Hになります。

図7 - 11 TAUオプション・ステータス・レジスタ (OPSR) のフォーマット

アドレス：F0222H リセット時：0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPSR	0	0	0	0	0	0	HZO F1	HZO F0	0	0	0	0	0	0	HZIF 1	HZIF 0

HZO F1	Hi-Z制御信号1 ^注 の動作状態
0	Hi-Z制御信号1がロウ・レベル (通常タイマ出力)
1	Hi-Z制御信号1がハイ・レベル (Hi-Z出力状態)

HZO F0	Hi-Z制御信号0 ^注 の動作状態
0	Hi-Z制御信号0がロウ・レベル (通常タイマ出力)
1	Hi-Z制御信号0がハイ・レベル (Hi-Z出力状態)

HZIF 1	TMOFF1端子入力信号 / 内蔵コンパレータ1出力信号の状態
0	OPMRのHPS = 0のとき、TMOFF1端子がロウ・レベル OPMRのHPS = 1のとき、内蔵コンパレータ1出力信号がロウ・レベル
1	OPMRのHPS = 0のとき、TMOFF1端子がハイ・レベル OPMRのHPS = 1のとき、内蔵コンパレータ1出力信号がハイ・レベル

HZIF 0	TMOFF0端子入力信号 / 内蔵コンパレータ0出力信号の状態
0	OPMRのHPS = 0のとき、TMOFF0端子がロウ・レベル OPMRのHPS = 1のとき、内蔵コンパレータ0出力信号がロウ・レベル
1	OPMRのHPS = 0のとき、TMOFF0端子がハイ・レベル OPMRのHPS = 1のとき、内蔵コンパレータ0出力信号がハイ・レベル

注 Hi-Z制御信号0, 1の制御対象端子は、OPMRレジスタのOPMビットの設定によって、次のようになります。

・OPM = 0のとき

Hi-Z制御信号0がTO02-TO07端子を制御する HZO F1で動作状態を確認

・OPM = 1のとき

Hi-Z制御信号0がTO02, TO03端子を制御する HZO F0で動作状態を確認

Hi-Z制御信号1がTO06, TO07端子を制御する HZO F1で動作状態を確認

注意 78K0R/IB3にはTMOFF1端子はありません。

(21) TAUオプション・Hi-Zスタート・トリガ・レジスタ (OPHS)

OPHSは、Hi-Z制御回路のソフトウェア・トリガを設定するレジスタです。ソフトウェア・トリガが有効になっているときに、TO02-TO07端子をHi-Z出力開始する場合に1を設定します。OPHS_nはトリガ・ビットのため、TO02-TO07端子がHi-Z出力状態 (HZOF_n = 1) になるとすぐにOPHS_nはクリアされます。

OPHSは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、OPHSは0000Hになります。

図7-12 TAUオプション・Hi-Zスタート・トリガ・レジスタ (OPHS) のフォーマット

アドレス：F0224H リセット時：0000H W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPHS	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OPH S1	OPH S0

OPH S1	Hi-Z制御出力信号1														
0	-														
1	OPMRのOPM = 0のとき：設定無効 OPMRのOPM = 1のとき：TO06, TO07端子がHi-Z出力														

OPH S0	Hi-Z制御出力信号0														
0	-														
1	OPMRのOPM = 0のとき：TO02, TO03端子がHi-Z出力 OPMRのOPM = 1のとき：TO02-TO07端子がHi-Z出力														

注意 ビット15-2には、必ず0を設定してください。

備考1. OPHSレジスタの読み出し値は常に0000Hとなります。

2. n = 0, 1

(22) TAUオプション・Hi-Zストップ・トリガ・レジスタ (OPHT)

OPHTは、Hi-Z制御回路のソフトウェア・トリガを設定するレジスタです。ソフトウェア・トリガが有効になっているときに、TO02-TO07端子をHi-Z解除する場合に1を設定します。OPHTnはトリガ・ビットなのでHi-Z解除要求信号を出した時点でクリアされます。

OPHTは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、OPHTは0000Hになります。

図7-13 TAUオプション・Hi-Zストップ・トリガ・レジスタ (OPHT) のフォーマット

アドレス：F0226H リセット時：0000H W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPHT	0	0	0	0	0	0	0	0	0	0	0	0	0	0	OPHT1	OPHT0

OPHT1	OPM	HSM	HZIF	Hi-Z制御出力信号1
0	-	-	-	-
1	1	1	0	TO06, TO07がPWM周期に同期してHi-Zを解除
			1	TO06, TO07のHi-Zを解除できない
OPM = 1, HSM = 1以外の設定時、本ビットは無効				

OPHT0	OPM	HDM	HSM	HZIF0	HZIF1	Hi-Z制御出力信号0
0	-	-	-	-	-	-
1	0	0	-	0	-	TO02-TO07がPWM周期に同期してHi-Zを解除
			-	1	-	TO02-TO07のHi-Zを解除できない
			1	-	0	TO02, TO03がPWM周期に同期してHi-Zを解除
			1	-	1	TO02, TO03のHi-Zを解除できない。
OPMRのOPM = 0, HDM = 0または、OPM = 1, HSM = 1以外の設定時、本ビットは無効						

注意 ビット15-2には、必ず0を設定してください。

備考1. OPHTレジスタの読み出し値は常に0000Hとなります。

2. OPM : TAUオプション・モード・レジスタ (OPMR) のビット15
 HSM : " ビット13
 HDM : " ビット12
 HZIF0, 1 : TAUオプション・ステータス・レジスタ (OPSR) のビット0, 1
3. n = 0, 1

(23) TAUオプション・コントロール・レジスタ (OPCR)

OPCRは、TMOFF0かTMOFF1または、コンパレータ出力信号0かコンパレータ出力信号1のどちらのエッジ検出を有効にするかを設定するレジスタです。

OPCRは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、OPCRは0000Hになります。

図7 - 14 TAUオプション・コントロール・レジスタ (OPCR) のフォーマット

アドレス：F0228H リセット時：0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OPCR	0	0	0	0	0	0	0	0	0	0	0	0	0	0	HIE 1	HIE 0

HIE1	TMOFF1, 内蔵コンパレータ1出力信号の入力エッジ検出の有効/無効
0	TMOFF1または内蔵コンパレータ1出力信号の入力エッジ検出を無効にする
1	HPSビットで設定した, TMOFF1またはコンパレータ出力信号1の入力エッジ検出を有効にする

HIE0	TMOFF0, 内蔵コンパレータ0出力信号の入力エッジ検出の有効/無効
0	TMOFF0または内蔵コンパレータ0出力信号の入力エッジ検出を無効にする
1	HPSビットで設定した, TMOFF0またはコンパレータ出力信号0の入力エッジ検出を有効にする

- 注意**
1. 78K0R/IB3にはTMOFF1端子はありません。
 2. ビット15-2には、必ず0を設定してください。

(24) 入力切り替え制御レジスタ (ISC)

(25) ノイズ・フィルタ許可レジスタ1, 2 (NFEN1, NFEN2)

(26) ポート・モード・レジスタ0, 1, 3, 5, 7 (PM0, PM1, PM3, PM5, PM7)

上記レジスタ (24) ~ (26) は、タイマ・アレイ・ユニットTAUSと共通のレジスタです。
詳細は、6.3 タイマ・アレイ・ユニットTAUSを制御するレジスタを参照してください。

7.4 リアルタイム出力機能の基本ルール

次にリアルタイム出力機能の基本的なルールを示します。

- (1) リアルタイム出力 (TROn設定値) をTOn出力に反映させるためには, TREnを“1”に設定します。
- (2) TROn設定値のTOn出力への反映タイミングは, トリガ生成チャンネルのINTTMn発生により制御される。
- (3) TROnを動作中に変更した場合, トリガ生成チャンネルのINTTMn発生で変更した値が, TOn出力に反映されません。トリガ生成チャンネルのINTTMn発生以外で, TROnの設定値がTOn出力に反映されることはありません。
- (4) トリガ生成チャンネルは, TRCnを“1”に設定しているチャンネルのことを示します。
トリガ生成チャンネルは, マスタ, スレーブに関わらず設定できます。
- (5) トリガ生成チャンネル (TRCn = 1) は, TRCn = 0設定されている下位チャンネルを制御します。トリガ生成チャンネルの上位チャンネルは制御できません。

例: TRC02, TRC05, TRC07を“1”に設定し, 他のTRCm (m = 03, 04, 06, 08-11) を“0”に設定した場合, チャンネル2, 5, 7がトリガ生成チャンネルとなる。

- ・チャンネル2は, 自チャンネルとTRC03, TRC04 = 0設定の下位チャンネル (チャンネル3, 4) を制御
- ・チャンネル5は, 自チャンネルとTRC06 = 0設定の下位チャンネル (チャンネル6) を制御
- ・チャンネル7は, 自チャンネルとTRC08-TRC11 = 0設定の下位チャンネル (チャンネル8-11) を制御

- (6) TREn = 0, TRCn = 1設定の場合でもTRCn = 1を設定したチャンネルがトリガ生成チャンネルとなります。
- (7) TREnを“1”に設定した場合でも, 自チャンネル, もしくは上位チャンネルにトリガ生成チャンネル (TRCn = 1) が無い場合は, リアルタイム出力ができません。

例: TRC00 = 0, TRC01=0, TRC02=1 設定の場合, トリガ生成チャンネルはチャンネル2となる。

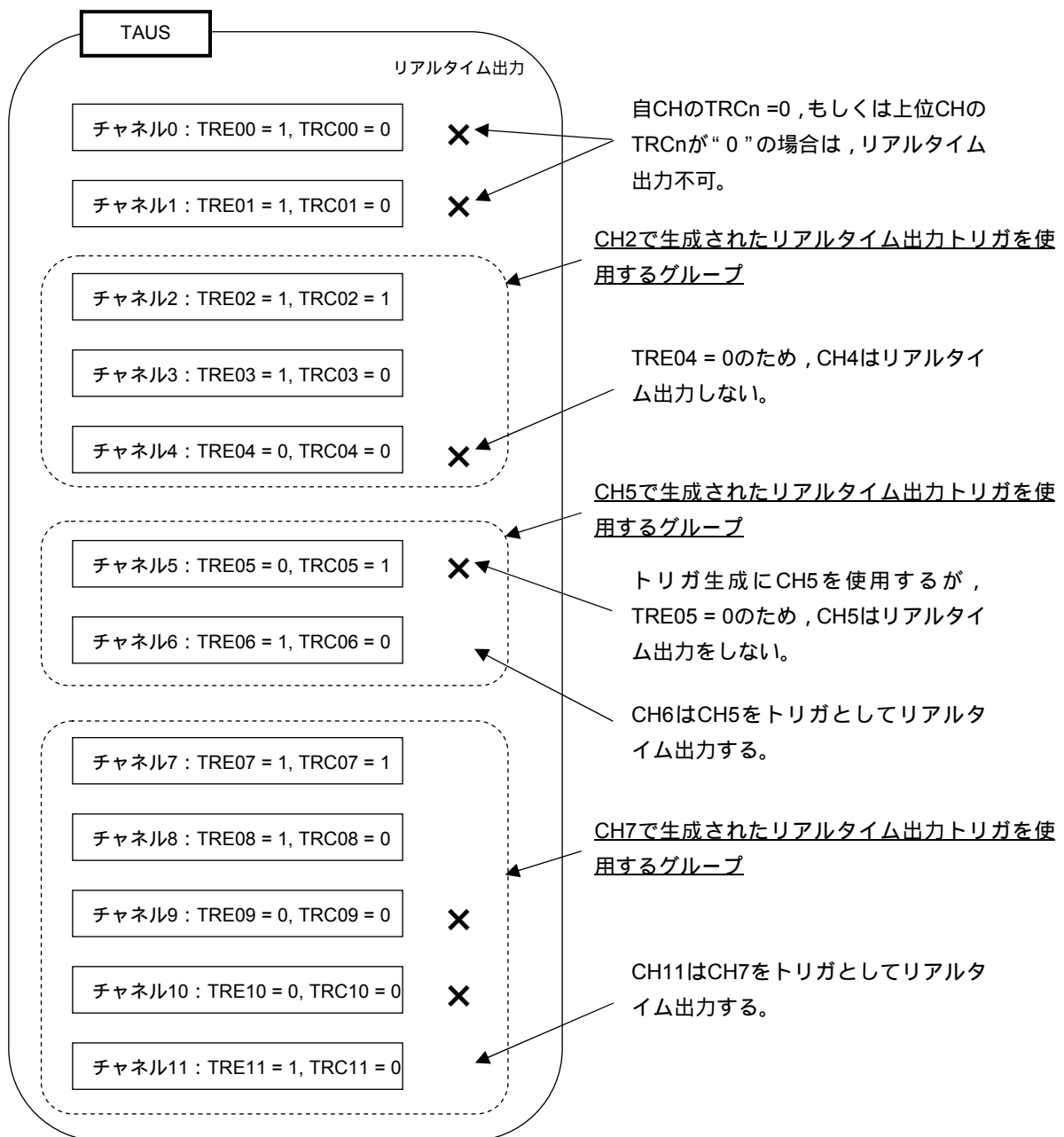
このとき, TRE00 = 0, TRE01 = 1, TRE02 = 1に設定すると

- ・チャンネル0はTRE00 = 0 のためリアルタイム出力しない。
- ・チャンネル1はTRE01 = 1 であるが自チャンネル, もしくは上位チャンネルにトリガ生成チャンネルが無い場合, リアルタイム出力しない。
- ・チャンネル2はTRE02 = 1で自チャンネルがトリガ生成チャンネルであるため, リアルタイム出力が利用できる。

- (8) チャンネル0のTRC00を“0”に設定した場合, チャンネル0の上位にトリガ生成チャンネルが無い場合, TRE00を“1”に設定しても, チャンネル0はリアルタイム出力ができません。

備考 n = 01-11 (トリガ生成チャンネルの場合 n = 01-10)

例



7.5 インバータ制御機能での動作

7.5.1 リアルタイム出力機能（タイプ1）としての動作

リアルタイム出力トリガ生成チャンネルのINTTMn出力によりTROn, TROmの値をTOm, TOmより出力することができます。

この機能は、6.7.1 インターバル・タイマ/方形波出力としての動作の拡張機能となります。

リアルタイム出力トリガ生成チャンネル（TRCn = 1に設定しているチャンネル）は、一定間隔でINTTMnを出力し、リアルタイム出力トリガを生成します。

リアルタイム出力チャンネル（TRCm = 0, TREm = 1に設定しているチャンネル）は、リアルタイム出力トリガによりTROm設定値をTOmより出力します。

リアルタイム出力トリガ生成チャンネルの割り込み発生周期は次の式で求めることができます。

$$\text{INTTMnの発生周期} = \text{カウント} \cdot \text{クロックの周期} \times (\text{TDRnの設定値} + 1)$$

TRCn = 1に設定したチャンネルが、リアルタイム出力トリガ生成チャンネルとなり、インターバル・タイマ・モードで動作します。

チャンネル・スタート・トリガ・ビット（TSn）に1を設定後、最初のカウント・クロックでTCRnはTDRnの値をロードします。このときTMRnのMDn0 = 0ならばINTTMnを出力せず、TOmはトグルしません。TMRnのMDn0 = 1ならばINTTMnを出力してトグルします。

その後、TCRnはカウント・クロックに合わせてダウン・カウントを行います。

TCRn = 0000Hとなったら、次のカウント・クロックでINTTMnを出力しTOmをトグルします。また同じタイミングで再びTCRnはTDRnの値をロードします。以降、同様の動作を続けます。

リアルタイム出力トリガ生成チャンネルのINTTMn出力タイミングで、TROnの設定値をTOmより出力します。

リアルタイム出力トリガ生成チャンネル（TRCn = 1）の下位チャンネル（リアルタイム出力チャンネル（TRCm = 0））のTOmは、TREmビット、TRCmビットにより制御されます。TROmを書き換えただけでは、TOmの出力レベルは変化しません。

リアルタイム出力チャンネル（TRCm = 0）のTREm = 1の場合、TOmはリアルタイム出力トリガ生成チャンネルのINTTMn出力タイミングでTROmの設定値を出力します。下位チャンネルのTREm = 0またはTRCm = 1の場合、TOmは、リアルタイム出力トリガ生成チャンネルのINTTMn出力タイミングではトグルしません。

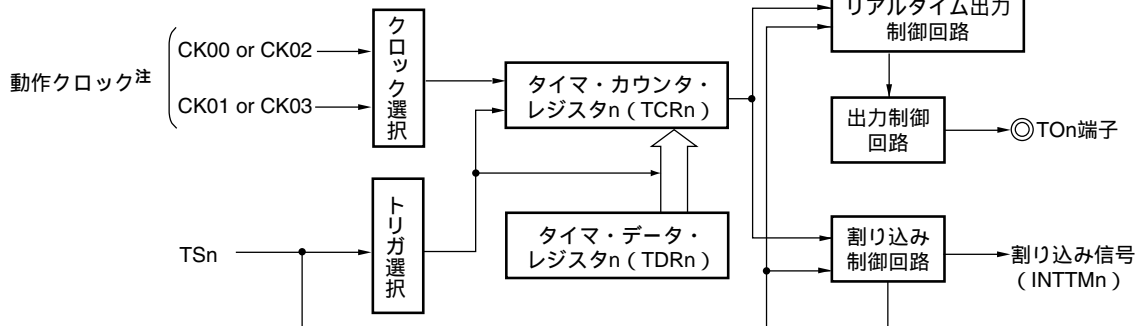
この機能を使用する場合、下位チャンネルのTCRm, TDRm, INTTMmは他の機能として動作させることができます。

備考 n = 01-10（78K0R/IB3の場合、n = 01-07）

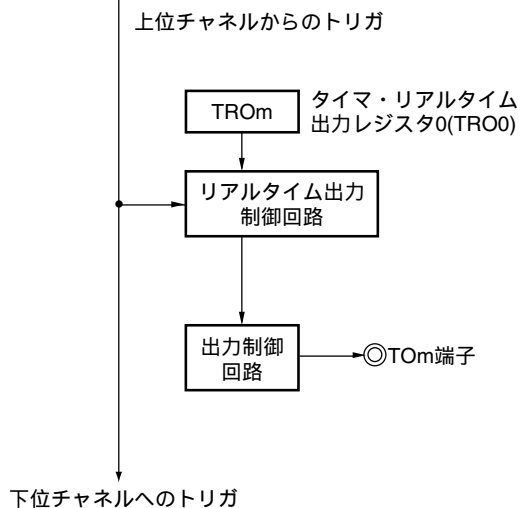
m = 02-11（78K0R/IB3の場合、m = 02-07）

図7-15 リアルタイム出力機能（タイプ1）としての動作のブロック図

リアルタイム出力トリガ生成チャンネル
 $TRCn = 1$
 (インターバル・タイマ・モード)



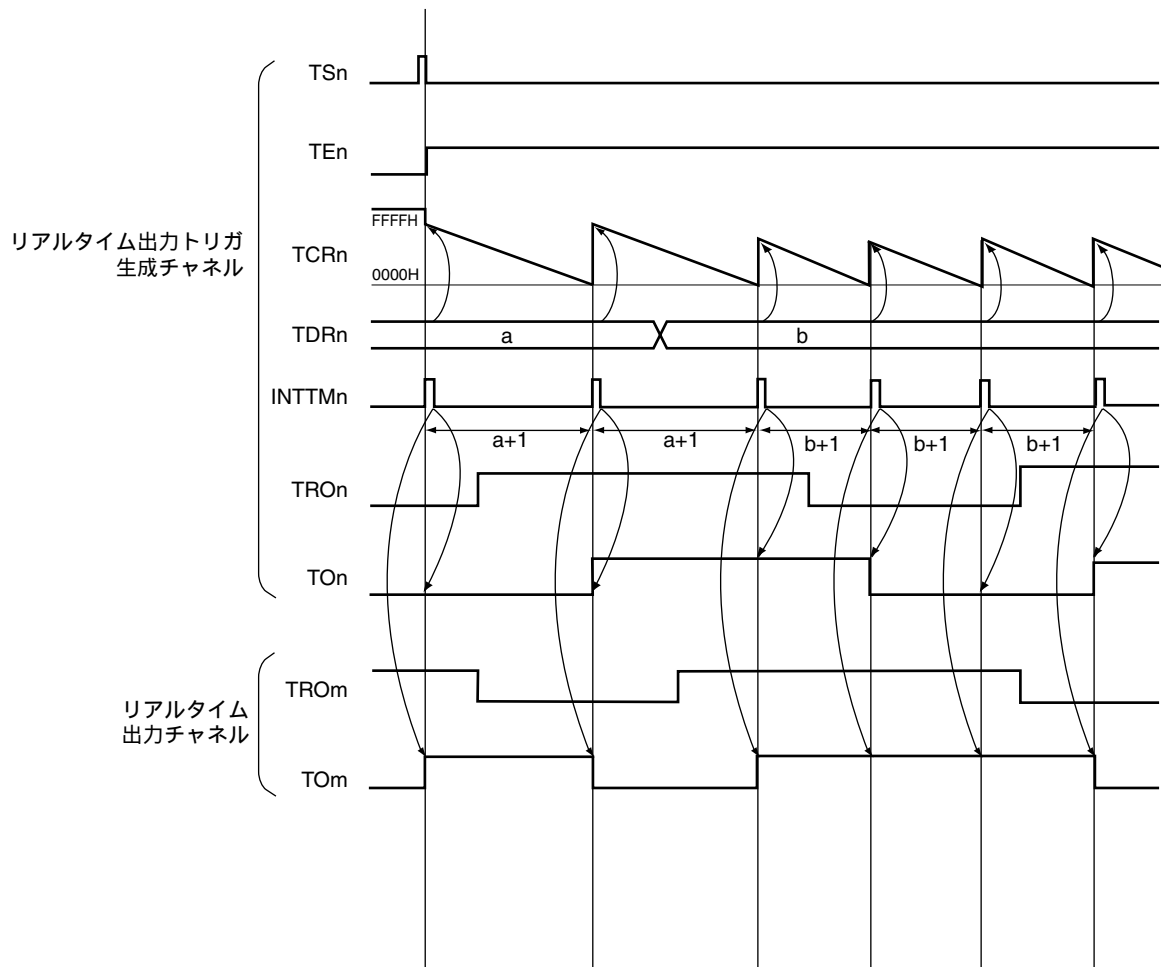
リアルタイム出力チャンネル
 $TRCm = 0$
 (任意のモード)



注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

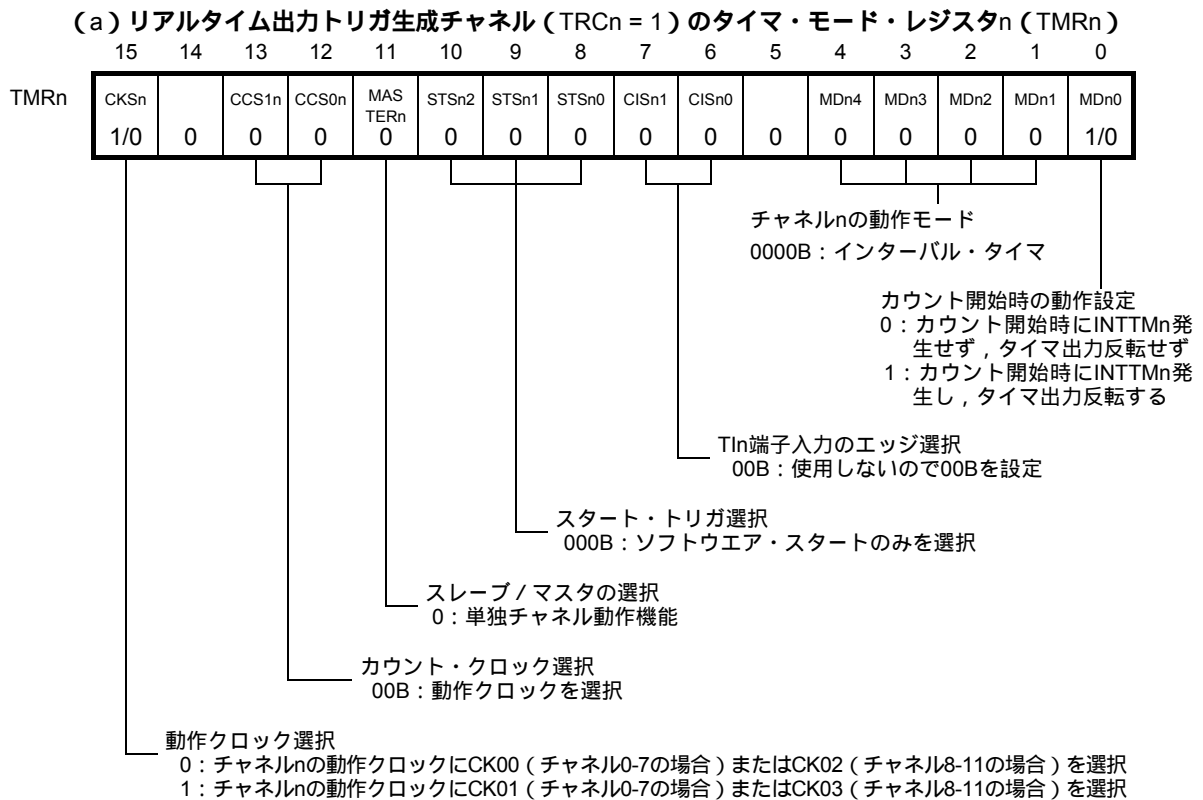
備考 $n = 01-10$ (78K0R/IB3の場合, $n = 01-07$)
 $m = 02-11$ (78K0R/IB3の場合, $m = 02-07$)

図7-16 リアルタイム出力機能（タイプ1）としての動作の基本タイミング例（初期設定：TOn, TOm = 0, MDn0 = 1）



備考 n = 01-10 (78K0R/IB3の場合, n = 01-07)
 m = 02-11 (78K0R/IB3の場合, m = 02-07)

図7 - 17 リアルタイム出力機能（タイプ1）としての動作時のレジスタ設定内容例（1/2）



(b) リアルタイム出力トリガ生成チャンネル（TRCn = 1）のその他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モード
TOT0 : TOTn	0 : TOMn = 0（マスタ・チャンネル出力モード）では0を設定
TOL0 : TOLn	0 : TOMn = 0（マスタ・チャンネル出力モード）では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止 1 : リアルタイム出力可能
TRO0 : TROn	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCn	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TMEn	0 : 変調出力停止

備考 n = 01-10（78K0R/IB3の場合，n = 01-07）

図7 - 17 リアルタイム出力機能（タイプ1）としての動作時のレジスタ設定内容例（2/2）

(c) リアルタイム出力チャンネル（TRCm = 0）のタイマ・モード・レジスタm（TMRm）

リアルタイム出力機能（タイプ1）では，TRCm = 0設定時のチャンネルのTMRmは任意に設定可能です。

(d) リアルタイム出力チャンネル（TRCm = 0）のその他のレジスタ

TOE0 : TOEm	0 : リアルタイム出力動作によるTOM出力動作停止 1 : リアルタイム出力動作によるTOM出力動作許可
TO0 : TOM	0 : TOMよりロウ・レベルを出力する 1 : TOMよりハイ・レベルを出力する
TOM0 : TOMm	0 : TREm = 1（リアルタイム出力許可）では0を設定
TOT0 : TOTm	0 : TOMm = 0（マスタ・チャンネル出力モード）では0を設定
TOL0 : TOLm	0 : TOMm = 0（マスタ・チャンネル出力モード）では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROm	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

備考 m = 02-11（78K0R/IB3の場合，m = 02-07）

図7-18 リアルタイム出力機能（タイプ1）時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場合はCK02, CK03のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	【リアルタイム出力トリガ生成チャンネル (TRCn = 1)】 TMRnレジスタを設定する (チャンネルの動作モード確定) TDRnレジスタにインターバル (周期) 値を設定する TRCmビットを1 (トリガ生成チャンネル) に設定する TREMビットを1 (リアルタイム出力許可) に設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TON, TOM端子はHi-Z出力状態
	【リアルタイム出力チャンネル (TRCm = 0)】 TRCmビットを0 (トリガ生成しないチャンネル) に設定する TREMビットを1 (リアルタイム出力許可) に設定する TOEn, TOEmビットを1に設定しTON, TOMの出力を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態なのでTON, TOMは変化しない TON, TOM端子はTON, TOM設定レベルを出力
動作 開始	TOEn, TOEmビットに1を設定する (動作再開時のみ) トリガ生成チャンネルのTSnビットに1を設定する TSnビットはトリガ・ビットなので, 自動的に0に戻る	【リアルタイム出力トリガ生成チャンネル (TRCn = 1)】 TEN = 1になり, カウント動作開始 カウント・クロック入力でTCRnはTDRnの値をロードする。 TMRnレジスタのMDn0ビットが1の場合は, INTTMnを発生する。
動作 中	TDRnレジスタは, 任意に設定値変更が可能 TCRnレジスタは, 常に読み出し可能 TRON, TROMビットは, 任意に設定値変更が可能	カウンタ (TCRn) はダウン・カウント動作を行い, 0000H までカウントしたら, 再びTCRnはTDRnの値をロードし, カ ウント動作を継続する。TCRn = 0000H検出でINTTMnを発生 する。以降, この動作を繰り返す。 INTTMn出力タイミングで, リアルタイム出力チャンネルの TROM設定値をTOMより出力する。
動作 停止	TTnビットに1を設定する TTnビットはトリガ・ビットなので, 自動的に0に戻る	TEN = 0になり, カウント動作停止 TCRnはカウント値を保持して停止 TON出力は初期化されず, 状態保持して停止
	TOEn, TOEmビットを0に設定し, TON, TOMに値を設定する	TON, TOM出力がTON, TOM設定値で初期化される
TAUS 停止	TON, TOM端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TON, TOMビットに0を設定する	TON, TOM端子出力レベルはポート機能により保持される。
	TON, TOM端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	TON, TOM端子出力レベルはHi-Z出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TON, TOMビットが0になり, TON, TOM端子はポート機能となる)

動作再開

備考 n = 01-10, m = 02-11 (78K0R/IB3の場合, n = 01-07, m = 02-07)

7.5.2 リアルタイム出力機能(タイプ2)としての動作

リアルタイム出力トリガ生成チャンネルのINTTMn出力によりTROn, TROmの値をTON, TOMより出力することができます。外部端子入力エッジ検出またはソフトウェアによるリアルタイム出力を行うことが可能です。

リアルタイム出力機能(タイプ2)は、「6.7.4 入力パルス間隔測定としての動作」の拡張機能となります。

リアルタイム出力トリガ生成チャンネル($TRCn = 1$ に設定しているチャンネル)は、TIn端子入力の有効エッジ検出またはチャンネル・スタート・トリガ(TSn)に1を設定することにより、INTTMnを出力し、リアルタイム出力トリガを生成します。

リアルタイム出力チャンネル($TRCm = 0$, $TREm = 1$ に設定しているチャンネル)は、リアルタイム出力トリガによりTROm設定値をTOMより出力します。INTTMnの発生のタイミングで、TCRnの値をTDRnにキャプチャしますが、このTDRnの値は意味を持ちません。

$TRCn = 1$ に設定したチャンネルが、リアルタイム出力トリガ生成チャンネルとなり、キャプチャ・モードでアップ・カウンタとして動作します。

$TEn = 0$ の状態チャンネル・スタート・トリガ(TSn)に1を設定またはTIn入力の有効エッジを検出すると、TCRnはカウント・クロックに合わせて0000Hからアップ・カウンタを開始します。

このときTMRnレジスタのMDn0 = 0ならば、INTTMnを出力せず、TONはトグルしません。TMRnレジスタのMDn0 = 1ならば、INTTMnを出力して、TONをトグルします。

TIn端子入力の有効エッジ検出またはチャンネル・スタート・トリガ(TSn)に1を設定すると、カウント値をTDRnに転送(キャプチャ)すると同時に、カウンタ(TCRn)を0000Hにクリアして、INTTMnを出力します。

リアルタイム出力トリガ生成チャンネルのINTTMn出力タイミングで、TROnの設定値をTONより出力します。

リアルタイム出力トリガ生成チャンネル($TRCn = 1$)の下位チャンネル(リアルタイム出力チャンネル)のTOMは、TREMビットにより制御されます。TROmを書き換えただけでは、TOMの出力レベルは変化しません。

リアルタイム出力チャンネル($TRCm = 0$)のTREM = 1の場合、TOMはリアルタイム出力トリガ生成チャンネルのINTTMn出力タイミングでTROmの設定値を出力します。下位チャンネルのTREM = 0または $TRCm = 1$ の場合、TOMは、リアルタイム出力トリガ生成チャンネルのINTTMn出力タイミングでリアルタイム出力しません。

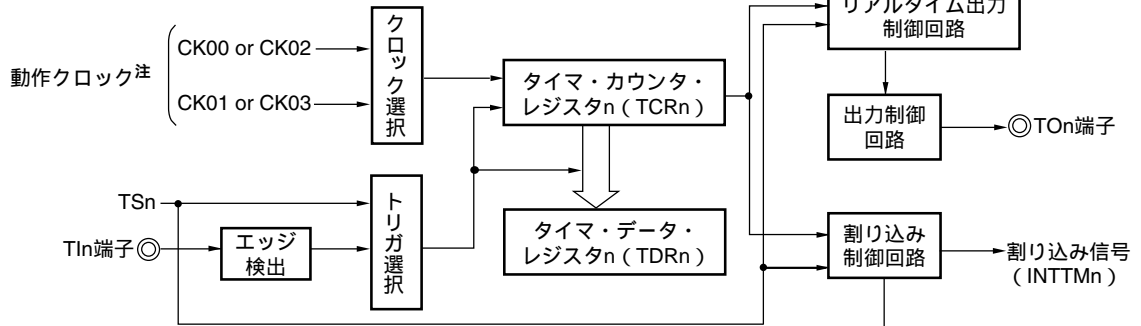
リアルタイム出力機能(タイプ2)を使用する場合、下位チャンネルのTCRm, TDRm, INTTMmは他の機能として動作させることができます。

備考 n = 01-10 (78K0R/IB3の場合, n = 01-07)

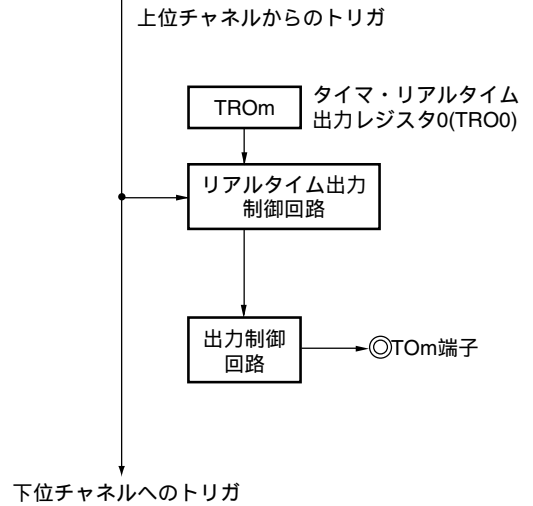
m = 02-11 (78K0R/IB3の場合, m = 02-07)

図7-19 リアルタイム出力機能（タイプ2）としての動作のブロック図

リアルタイム出力トリガ生成チャンネル
 $TRCn = 1$
 (キャプチャ・モード)



リアルタイム出力チャンネル
 $TRCm = 0$
 (任意のモード)

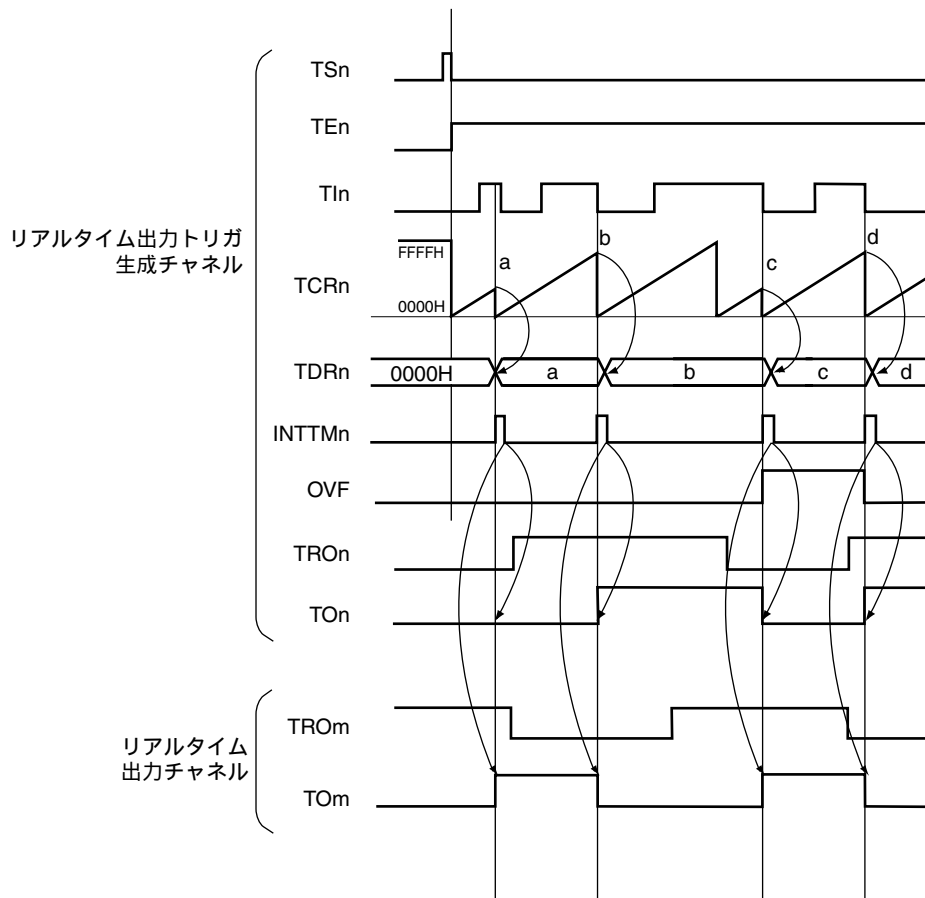


注 チャンネル0-7の場合は、CK00, CK01, チャンネル8-11の場合は、CK02, CK03から動作クロックを選択します。

備考 $n = 01-10$ (78K0R/IB3の場合, $n = 01-07$)

$m = 02-11$ (78K0R/IB3の場合, $m = 02-07$)

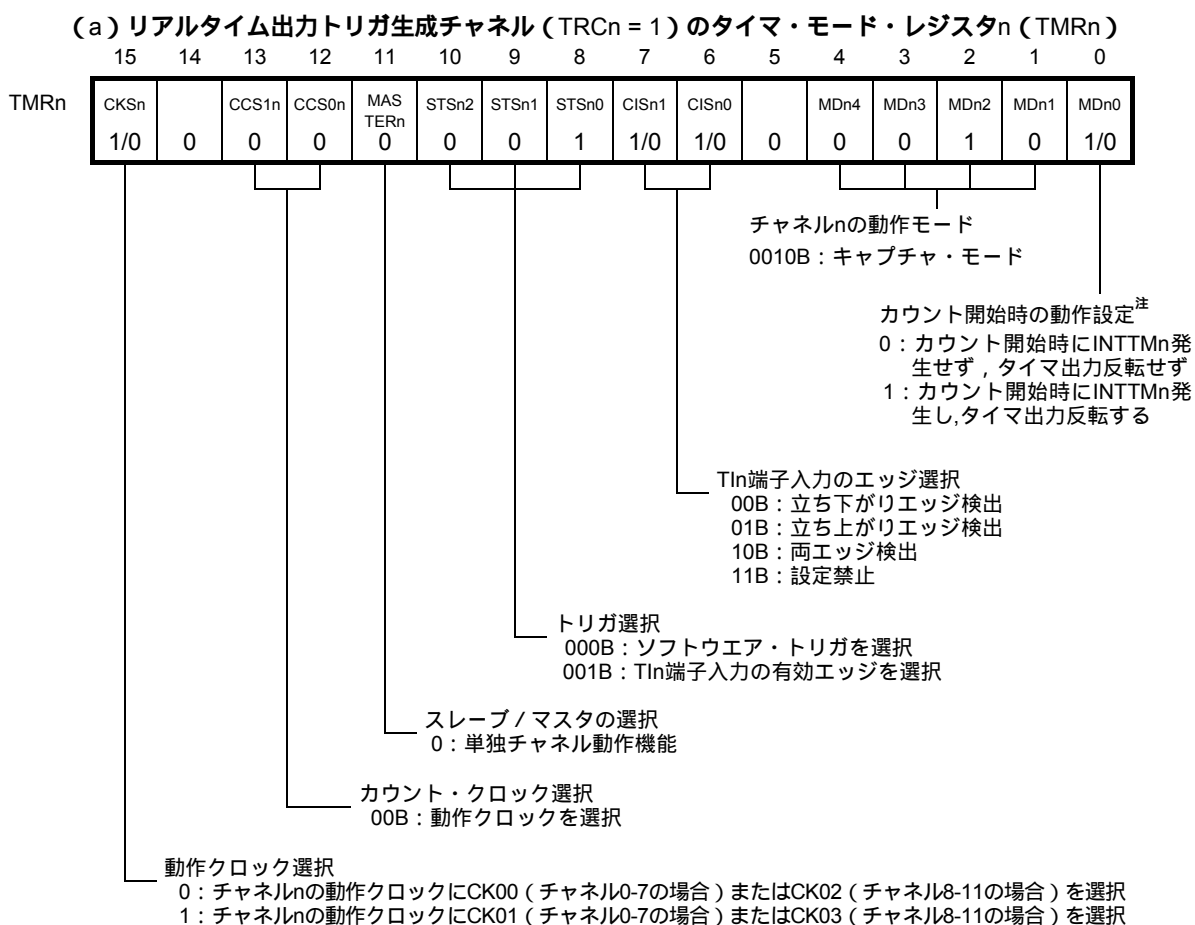
図7-20 リアルタイム出力機能（タイプ2）としての動作の基本タイミング例（初期設定：TOn, TOm = 0, MDn0 = 0）



備考 n = 01-10 (78K0R/IB3の場合, n = 01-07)

m = 02-11 (78K0R/IB3の場合, m = 02-07)

図7 - 21 リアルタイム出力機能（タイプ2）としての動作時のレジスタ設定内容例（1/2）



(b) リアルタイム出力トリガ生成チャンネル（TRCn = 1）のその他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モード
TOT0 : TOTn	0 : TOMn = 0（マスタ・チャンネル出力モード）では0を設定
TOL0 : TOLn	0 : TOMn = 0（マスタ・チャンネル出力モード）では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止 1 : リアルタイム出力可能
TRO0 : TROn	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCn	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TMEn	0 : 変調出力停止

注 STSn0-STSn2ビットでソフトウェア・トリガを選択した場合はMDn0 = 1を設定してください。

備考 n = 01-10（78K0R/IB3の場合、n = 01-07）

図7 - 21 リアルタイム出力機能（タイプ2）としての動作時のレジスタ設定内容例（2/2）

(c) リアルタイム出力チャンネル（TRCm = 0）のタイマ・モード・レジスタm（TMRm）

リアルタイム出力機能（タイプ2）では，TRCm = 0設定時のチャンネルのTMRmは任意に設定可能です。

(d) リアルタイム出力チャンネル（TRCm = 0）のその他のレジスタ

TOE0 : TOEm	0 : リアルタイム出力動作によるTOM出力動作停止 1 : リアルタイム出力動作によるTOM出力動作許可
TO0 : TOM	0 : TOMよりロウ・レベルを出力する 1 : TOMよりハイ・レベルを出力する
TOM0 : TOMm	0 : TREm = 1（リアルタイム出力許可）では0を設定
TOT0 : TOTm	0 : TOMm = 0（マスタ・チャンネル出力モード）では0を設定
TOL0 : TOLm	0 : TOMm = 0（マスタ・チャンネル出力モード）では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROm	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

備考 m = 02-11（78K0R/IB3の場合，m = 02-07）

図7 - 22 リアルタイム出力機能（タイプ2）時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する チャンネル0-7の場合はCK00, CK01, チャンネル8-11の場合はCK02, CK03のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	リアルタイム出力トリガ生成チャンネル (TRCn = 1) TMRnレジスタを設定する (チャンネルの動作モード確定) TRCmビットを1 (トリガ生成チャンネル) に設定する TREMビットを1 (リアルタイム出力許可) に設定する リアルタイム出力チャンネル (TRCm = 0) TRCmビットを0 (トリガ生成しないチャンネル) に設定する TREMビットを1 (リアルタイム出力許可) に設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TON, TOM端子はHi-Z出力状態
	TOEn, TOEmビットを1に設定しTON, TOMの出力を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態なのでTON, TOMは変化しない ▶製品のTON, TOM端子出力はTON, TOM設定レベルを出力
動作 開始	TOEn, TOEmビットに1を設定する (動作再開時のみ) トリガ生成チャンネルのTSnビットに1を設定する TSnビットはトリガ・ビットなので, 自動的に0に戻る	リアルタイム出力トリガ生成チャンネル (TRCn = 1) ▶TEn = 1になり, カウント動作開始 カウント・クロック入力でTCRnを0000Hにクリアする。 TMRnレジスタのMDn0ビットが1の場合は, INTTMnを発生する。
	TMRnレジスタは, CISn1, CISn0ビットのみ設定値変更可能 TRON, TROMビットは, 任意に設定値変更が可能	カウンタ (TCRn) は0000Hからアップ・カウント動作を行い, TIn端子入力の有効エッジが検出されたら, カウント値をTDRnに転送 (キャプチャ) する。同時に, TCRnを0000Hにクリアし, INTTMnを発生する。 このときオーバフローが発生していたら, TSRnレジスタのOVFビットがセットされ, オーバフローが発生していなかったらOVFビットがクリアされる。以降, この動作を繰り返す。 INTTMn出力タイミングで, リアルタイム出力チャンネルのTROM設定値をTOMより出力する。
動作 停止	TTnビットに1を設定する TTnビットはトリガ・ビットなので, 自動的に0に戻る	▶TEn = 0になり, カウント動作停止 TCRnはカウント値を保持して停止 TSRnレジスタのOVFビットも保持 TON出力は初期化されず, 状態保持して停止
	TOEn, TOEmビットに0を設定し, TON, TOMビットに値を設定する	▶TON, TOM端子はTON, TOM設定レベルを出力

動作再開

備考 n = 01-10 (78K0R/IB3の場合, n = 01-07)
m = 02-11 (78K0R/IB3の場合, m = 02-07)

図7 - 22 リアルタイム出力機能（タイプ2）時の操作手順（2/2）

	ソフトウェア操作	ハードウェアの状態
TAUS 停止	TOn, TOm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOp, TOqビットに0を設定する	▶TOn, TOm端子出力レベルはポート機能により保持される。
	TOn, TOm端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	▶TOn, TOm端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定 する	▶パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOn, TOmビットが0になり ,TOn, TOm端子はポート機能 となる)

備考 n = 01-10 (78K0R/IB3の場合, n = 01-07)

m = 02-11 (78K0R/IB3の場合, m = 02-07)

7.5.3 6相PWM出力機能としての動作

PWM機能を拡張し、7チャンネルをセットで使用することで、6本の鋸波変調のPWMを出力する機能です。

PWM出力信号をスレーブ・チャンネル2,スレーブ・チャンネル3,スレーブ・チャンネル4,スレーブ・チャンネル5,スレーブ・チャンネル6,スレーブ・チャンネル7より各1本,計6本のPWMを出力します。スレーブ・チャンネル1は,任意の動作モードで動作が可能です。

出力パルスの周期,デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期} &= \{ \text{TDR00 (マスタ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDRm (スレーブ) の設定値} \} / \{ \text{TDR00 (マスタ) の設定値} + 1 \} \times 100 \\ 0\% \text{出力} &: \text{TDRm (スレーブ) の設定値} = 0000\text{H} \\ 100\% \text{出力} &: \text{TDRm (スレーブ) の設定値} = \text{TDR00 (マスタ) の設定値} + 1 \end{aligned}$$

備考 TDRm (スレーブ) の設定値 > { TDR00 (マスタ) の設定値 + 1 } の場合は, デューティ値が100 %を越えますが,集約して100 %出力となります。

マスタ・チャンネルのTCR00は,インターバル・タイマ・モードで動作して,周期をカウントします。

スレーブ・チャンネル1は,6相PWM出力機能では,任意に設定可能です。

(変調出力機能を使用する場合,スレーブ・チャンネル1をリアルタイム出力トリガ生成チャンネルとして使用します。機能の詳細は「7.5.13 非相補変調出力機能(タイプ1)としての動作」を参照してください)。

スレーブ・チャンネル2~スレーブ・チャンネル7のTCRmは,ワンカウント・モードで動作して,デューティをカウントし,TOm端子よりPWM波形を出力します。TCRmは,マスタ・チャンネルのINTTM00をスタート・トリガとして,TCRmにTDRmの値をロードし,ダウン・カウントを行います。TCRm = 0000Hとなったら,INTTMmを出力し,次のスタート・トリガ(マスタ・チャンネルのINTTM00)が入力されるまでカウントを停止します。TOmの出力レベルは,マスタ・チャンネルのINTTM00発生から1カウント・クロック経過後にアクティブ・レベルとなり,TCRm = 0000Hとなったらインアクティブ・レベルとなります。

マスタ・チャンネルとスレーブ・チャンネルのTDR00, TDRmは,次の周期(マスタ・チャンネルのINTTM00発生)から有効となります。

- 注意1.** マスタ・チャンネルのTDR00とスレーブ・チャンネル2~7のTDRmを両方とも書き換える場合,最低2回のライト・アクセスが必要となります。TCR00, TCRmにTDR00, TDRmの値をロードするのは,マスタ・チャンネルのINTTM00発生後となるため,書き換えがマスタ・チャンネルのINTTM00発生前と発生後に分かれて行われると,TOm端子は,期待通りの波形を出力できません。したがって,マスタのTDR00とスレーブのTDRmを双方とも書き換える場合は,必ずマスタ・チャンネルのINTTM00発生直後に両方のレジスタを書き換えてください。
2. TE00 = 1, TEm = 1期間中,TS00, TSmへの“1”設定(強制再スタート)は使用できません。TE00 = 1, TEm = 1期間中にTS00, TSmを“1”に設定すると,カウンタ値(TCR00, TCRm)が不正となりTOmは期待波形を出力できません。

備考 m = 02-07

図7 - 23 6相PWM出力機能としての動作のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)

スレーブ・チャンネル2
(ワンカウント・モード)

スレーブ・チャンネル7
(ワンカウント・モード)

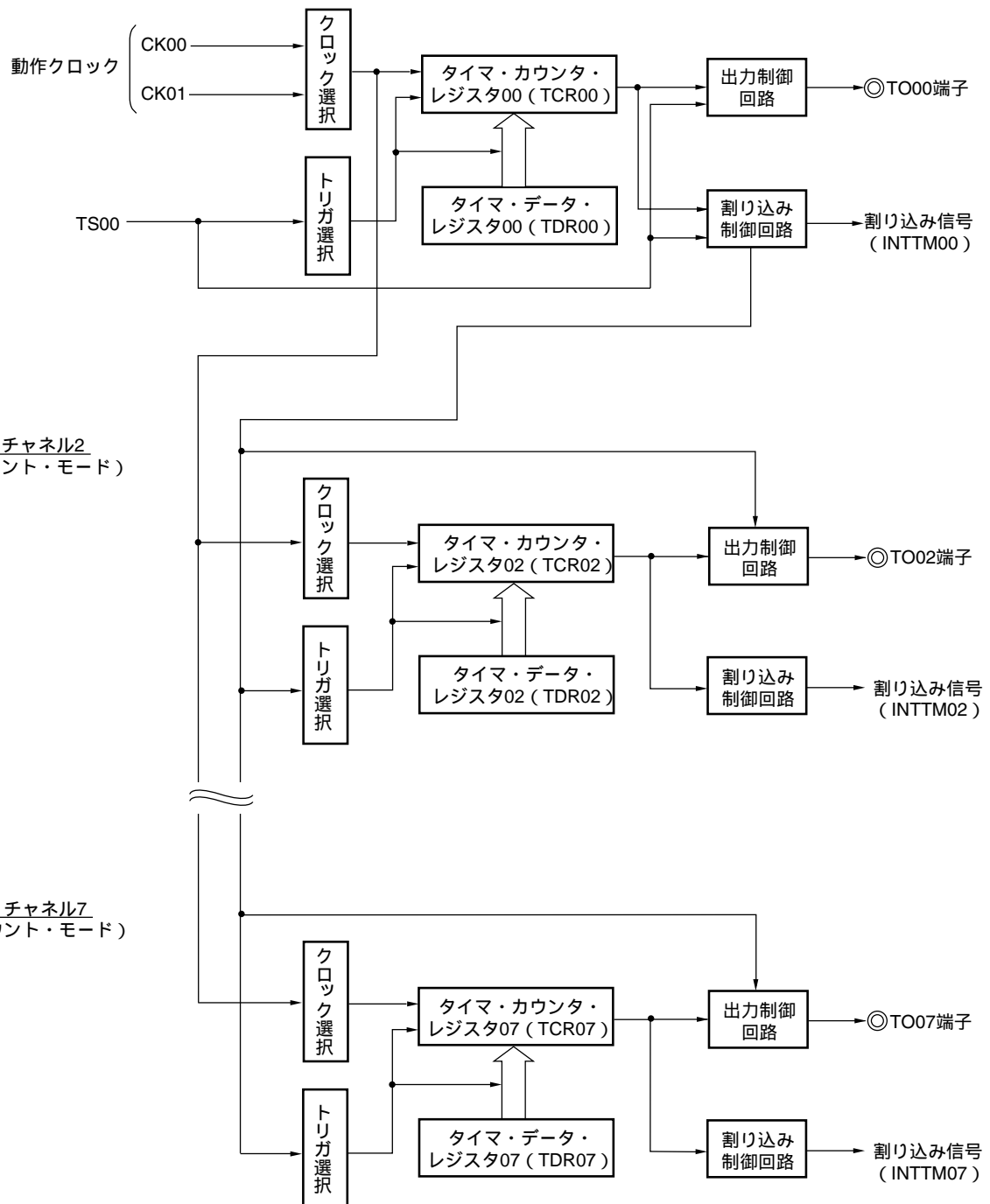
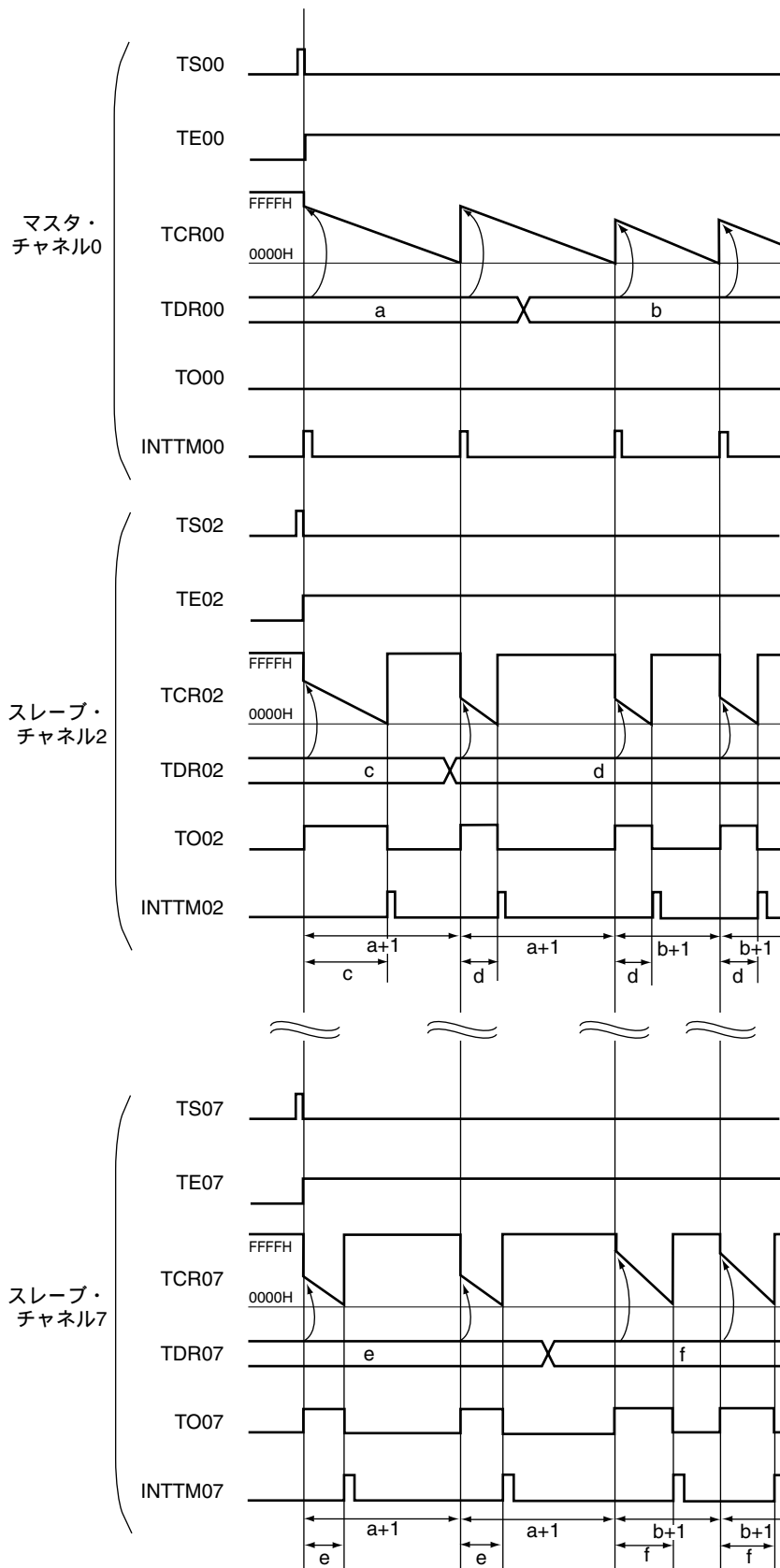


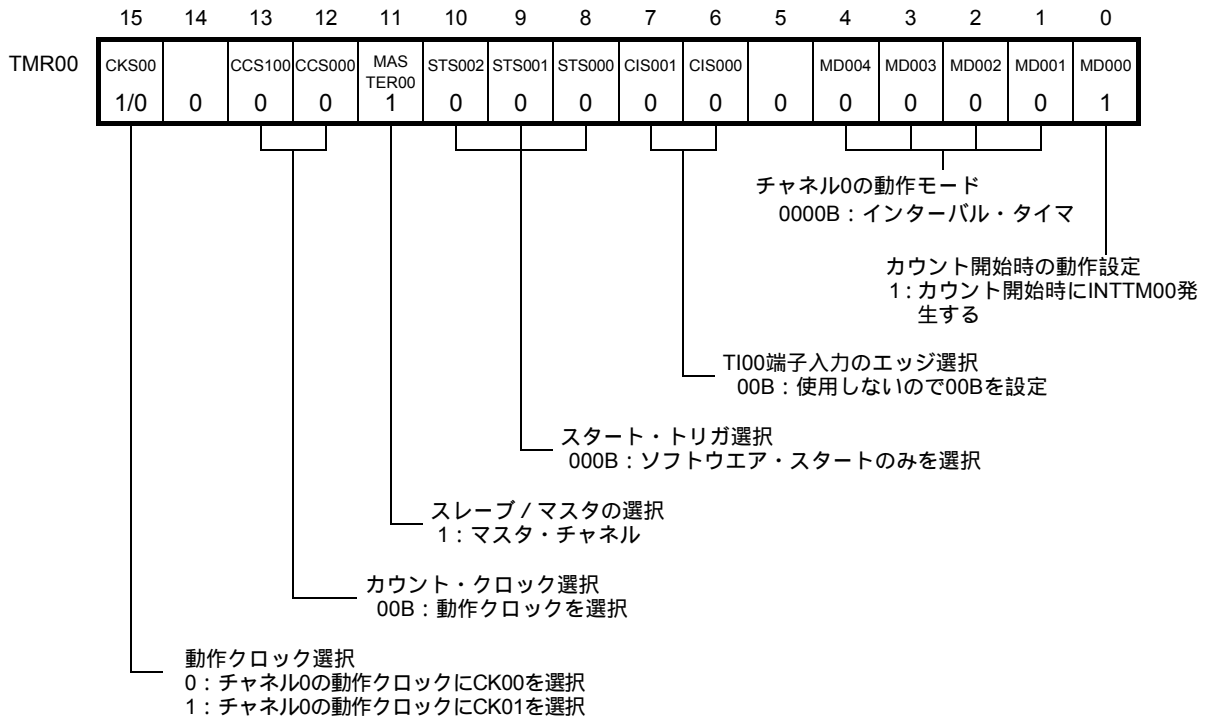
図7-24 6相PWM出力機能としての動作の基本タイミング例（初期設定：T0m = 0）



備考 m = 02-07

図7 - 25 6相PWM出力機能時 (マスタ・チャンネル) のレジスタ設定内容例

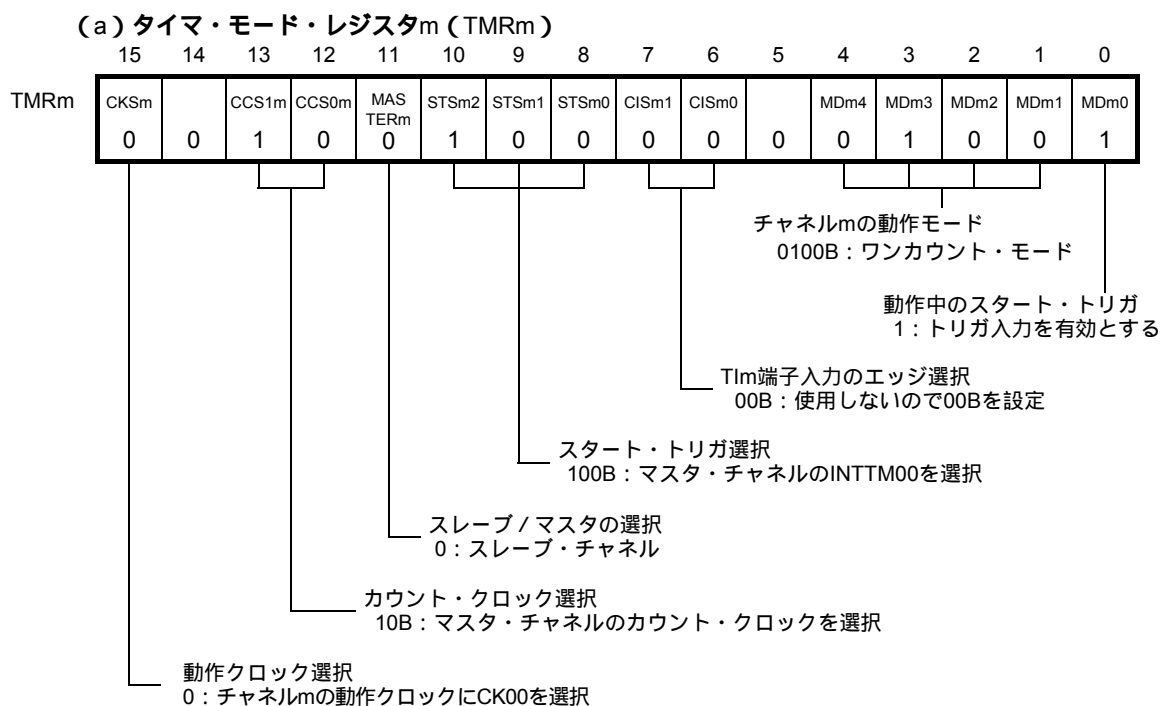
(a) タイマ・モード・レジスタ00 (TMR00)



(b) その他のレジスタ

TOE0 : TOE00	0 : カウント動作によるTO00出力動作停止
TO0 : TO00	0 : TO00よりロウ・レベルを出力する
TOM0 : TOM00	0 : TOE00 = 0 (カウント動作によるTO00出力動作停止) では0を設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

図7 - 26 6相PWM出力機能時（スレーブ・チャンネル2~7）のレジスタ設定内容例



(b) その他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTO _m 出力動作停止 1 : カウント動作によるTO _m 出力動作許可
TO0 : TOm	0 : TO _m よりロウ・レベルを出力する 1 : TO _m よりハイ・レベルを出力する
TOM0 : TOMm	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTm	0 : 三角波PWM出力以外を発生
TOL0 : TOLm	0 : 正論理出力（アクティブ・ハイ） 1 : 反転出力（アクティブ・ロウ）
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	0 : リアルタイム出力停止
TRO0 : TROm	0 : TRE _m = 0（リアルタイム出力停止）では0を設定
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME _m	0 : 変調出力停止

備考 m = 02-07

図7-27 6相PWM出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのTMR00, TMRmレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル(周期)値, スレーブ・チャンネル2~7のTDRmレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネル2~7の設定 TOMmビットに1(スレーブ・チャンネル出力モード)を設定する TOTmビットに0(三角波PWM出力以外を発生)を設定する TOLmビットを設定し, TOM出力のアクティブ・レベルを決定する TOMビットを設定し, TOM出力の初期レベルを確定する TOEmビットに1を設定し, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TOM端子はHi-Z出力状態 ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOM初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOMは変化しない TOM端子はTOM設定レベルを出力
動作 開始	TOEm(スレーブ2~7)に1を設定する(動作再開時のみ) TS0レジスタのTS00(マスタ), TSm(スレーブ2~7)ビットに同時に1を設定する TS00, TSmビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TEm = 1となる マスタ・チャンネルがカウント動作開始し, INTTM00を発生する。それをトリガとしてスレーブ・チャンネル2~7もカウント動作開始する。
動作 中	TDR00, TDRmレジスタは, マスタ・チャンネルのINTTM00発生後に設定値変更可能 TCR00, TCRmレジスタは, 常に読み出し可能 TOL0, TO0, TOE0レジスタは, 設定値変更可能	マスタ・チャンネルでは, TCR00はTDR00の値をロードし, ダウン・カウント動作を行う。TCR00 = 0000HまでカウントしたらINTTM00を発生する。同時に, TCR00はTDR00の値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル2~7では, マスタ・チャンネルのINTTM00信号をトリガとして, TDRmレジスタ値をTCRmに転送し, カウンタはダウン・カウントを開始する。マスタ・チャンネルのINTTM00出力から1カウント・クロック経過後にTOM出力レベルをアクティブ・レベルとする。そして0000HまでカウントしたらTOM出力レベルをインアクティブ・レベルにして, カウント動作を停止する。以降, この動作を繰り返す。

動作再開時(次ページより)

備考 m = 02-07

図7 - 27 6相PWM出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作 停止 動作再開時 (前ページへ)	TT00 (マスタ), TTm (スレーブ2~7) ビットに同時に1を設定する TT00, TTmビットはトリガ・ビットなので、自動的に0に戻る	TE00, TEm = 0になり, カウント動作停止 TCR00, TCRmはカウント値を保持して停止 TOm出力は初期化されず, 状態保持
	スレーブ・チャンネル2~7のTOEmビットに0を設定し, TOmビットに値を設定する	TOm端子はTOm設定レベルを出力
TAUS 停止	TOm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOmビットに0を設定する TOm端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TOm端子出力レベルはポート機能により保持される。 TOm端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00, TOmビットが0になり, TO00, TOm端子はポート機能となる)

備考 m = 02-07

7.5.4 三角波PWM出力機能としての動作

複数チャンネルをセットで使用し、三角波変調のPWMを出力する機能です。

マスタ・チャンネルにより周期を設定し、スレーブ・チャンネルより三角波変調のPWMを出力します。周期に対し複数の三角波変調のPWMを出力する場合、スレーブ・チャンネルを追加することで三角波変調のPWMの出力を追加することが可能です。

出力パルスの周期、デューティは次の式で求めることができます。

$$\begin{aligned} \text{パルス周期 (ダウン / アップ)} &= \{ \text{TDR00 (マスタ) の設定値} + 1 \} \times 2 \times \text{カウント} \cdot \text{クロック周期} \\ \text{デューティ [\%]} &= \{ \text{TDR00 (マスタ) の設定値} + 1 - \text{TDRm (スレーブ) の設定値} \} / \{ \text{TDR00 (マスタ) の設定値} + 1 \} \times 100 \\ 0 \% \text{出力} &: \text{TDRm (スレーブ) の設定値} = \{ \text{TDR00 (マスタ) の設定値} + 1 \} \\ 100 \% \text{出力} &: \text{TDRm (スレーブ) の設定値} = 0000\text{H} \end{aligned}$$

備考 TDRm (スレーブ) の設定値 > { TDR00 (マスタ) の設定値 + 1 } の場合は、デューティ値が0 %を越えますが、集約して0 %出力となります。

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。

チャンネル・スタート・トリガ・ビット (TS0) に1を設定後、最初のカウント・クロックでTCR00はTDR00の値をロードします。

その後、TCR00はカウント・クロックに合わせてダウン・カウントを行います。

TCR00 = 0000Hとなったら、次のカウント・クロックでINTTM00を出力しTO00をトグルします。また、同タイミングで再びTCR00はTDR00の値をロードします。以降、同様の動作を継続します。

マスタ・チャンネルのカウント2周期で、キャリア周期を生成します。

マスタ・チャンネルの1周期目をスレーブ・チャンネルのダウン・ステータス、2周期目をスレーブ・チャンネルのアップ・ステータスと定義し、スレーブ・チャンネルのカウント動作を制御します。

マスタ・チャンネルのTO00は、アップ・ダウン・ステータスを出力します。

アップ・ダウン・ステータス出力のため、TOE0レジスタのTOE00 = 0の状態ではTO0レジスタのTO00を操作し、初期レベルを設定する必要があります。

TMR00レジスタのMD000 = 0ならばTO0のTO00を1に、MD000 = 1ならば、TO00を0に設定します。

初期レベルを設定することでTO00から、ダウン・ステータス中はハイ・レベル、アップ・ステータス中はロウ・レベルを出力します。

スレーブ・チャンネルのTCRmは、アップ・ダウン・カウント・モードで動作して、デューティをカウントします。

チャンネル・スタート・トリガ・ビット (TSm) に1を設定後、最初のカウント・クロックでTCRmはTDRmの値をロードします。以降、マスタ・チャンネルの動作に従いダウン・カウント、アップ・カウントを切り替えて動作します。TCRm = 0000Hとなったら、INTTMmを出力します。

TOmの出力レベルは、TCRmがダウン・カウント中のINTTMm発生でアクティブ・レベルとなり、TCRmがアップ・カウント中のINTTMm発生でインアクティブ・レベルとなります。

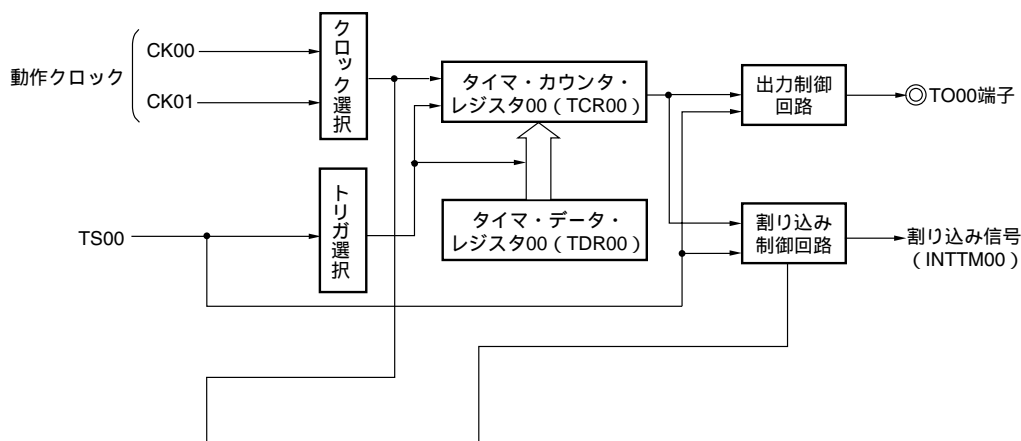
マスタ・チャンネルのアップ・ステータス (三角波の山) でのINTTM00発生により、再びTCRmはTDRmの値をロードします。以降、同様の動作を継続します。

備考 m = 02-07

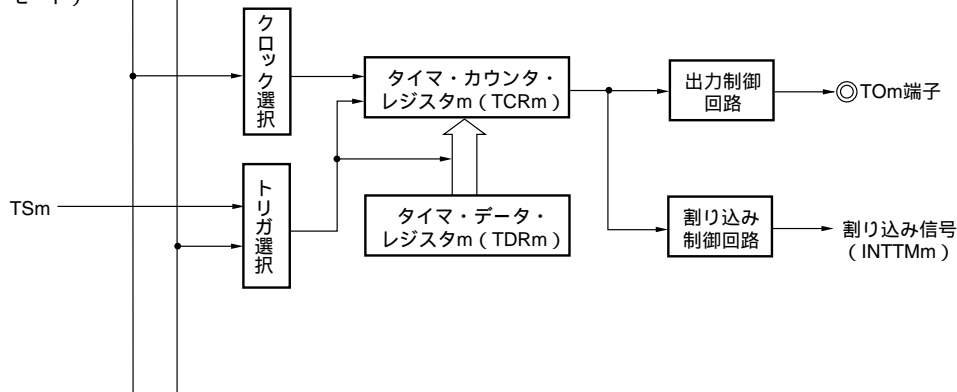
- 注意1. マスタ・チャンネルのTDR00を書き換える場合、必ずスレーブ・チャンネルのアップ・ステータス期間中に書き換えてください(カウント・ステータスはスレーブ・チャンネルのCSF (TSRmレジスタ)または、マスタ・チャンネルのTO00出力レベルにより判断します)。書き換えたマスタ・チャンネルのTDR00の値は次のダウン・ステータス期間中で有効となるため、書き換えがアップ・ステータス時とダウン・ステータス時に分かれて行われると、ダウン・ステータスとアップ・ステータスの周期期間が異なり、TO00端子は期待通りの波形を出力できません。
2. TE00 = 1, TEm = 1期間中、TS00, TSmへの“1”設定(強制再スタート)は使用できません。TE00 = 1, TEm = 1期間中にTS00, TSmを“1”に設定すると、カウンタ値(TCR00, TCRm)が不正となりTOmは期待波形を出力できません。

図7 - 28 三角波PWM出力機能としての動作のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)

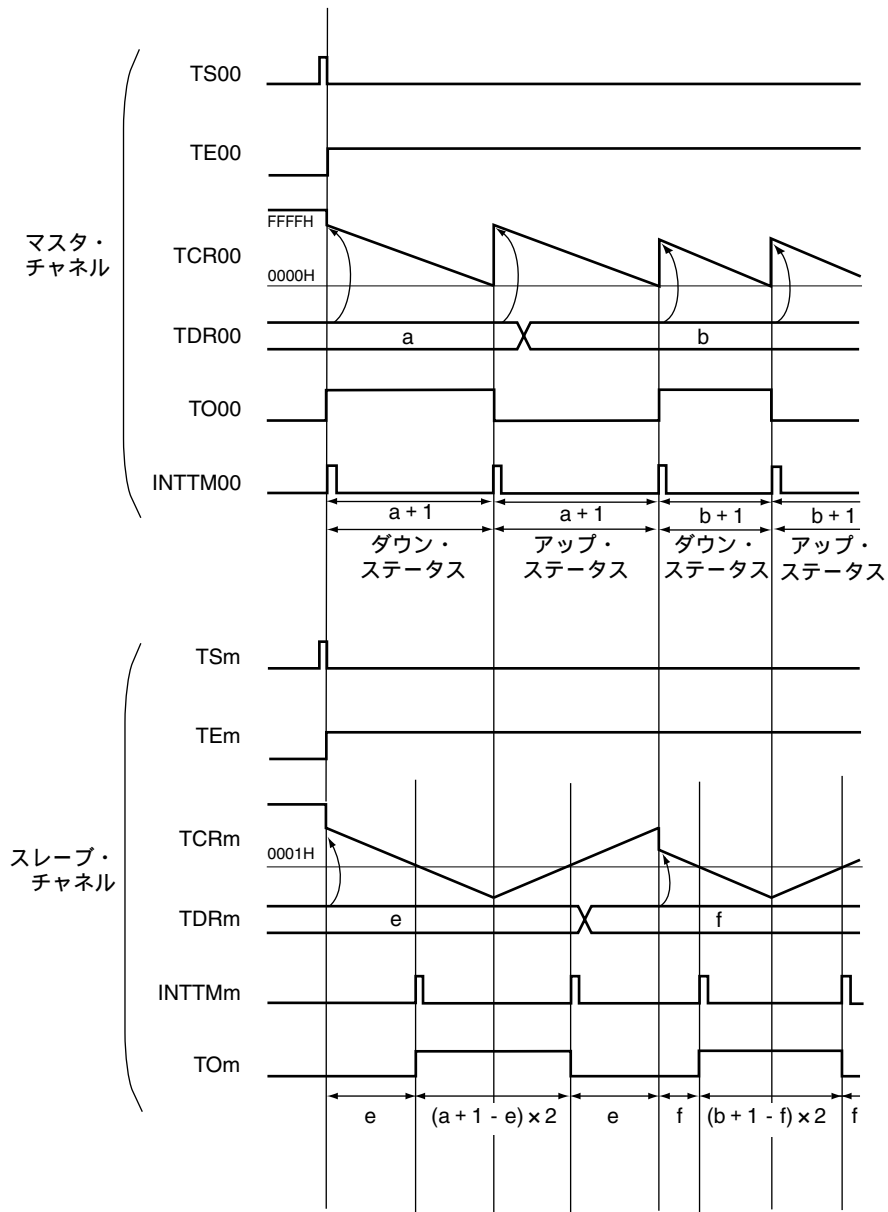


スレーブ・チャンネル
(アップ・ダウン・カウント・モード)



備考 m = 02-07

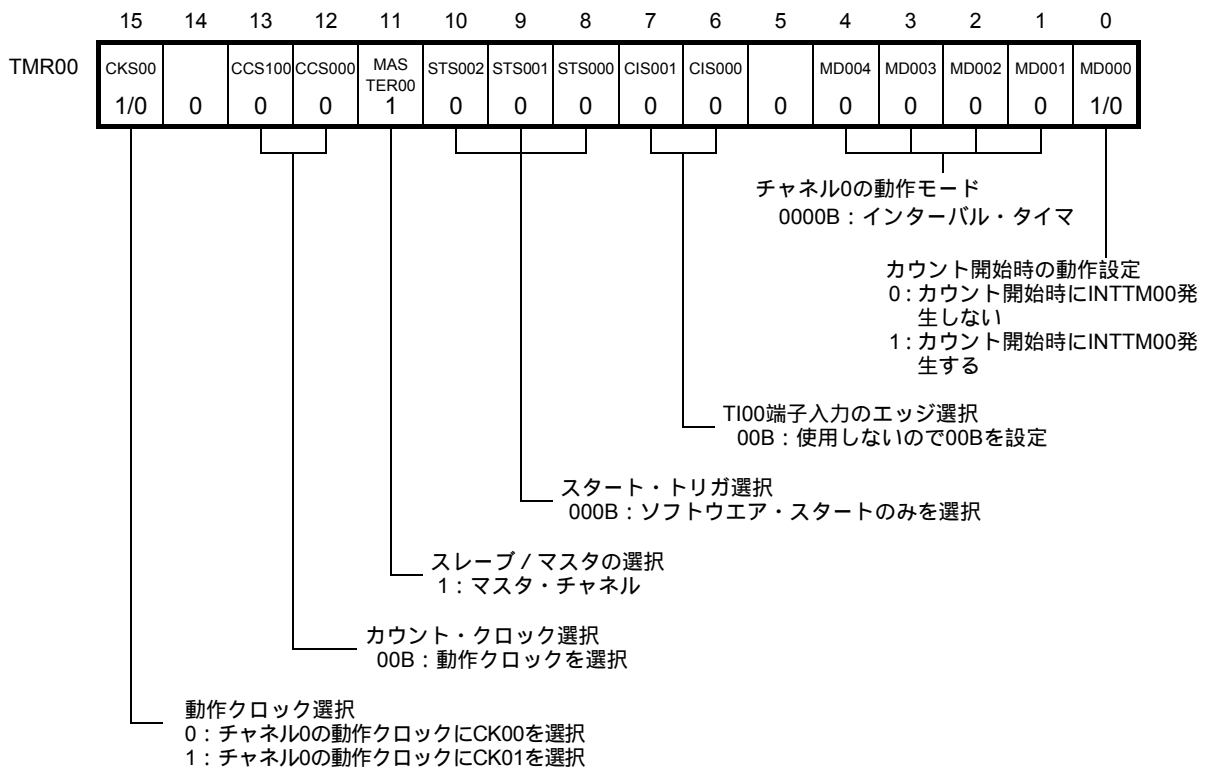
図7 - 29 三角波PWM出力機能としての動作の基本タイミング例 (初期設定 : TO00, T0m = 0, MD000 = 1)



備考 m = 02-07

図7 - 30 三角波PWM出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)



(b) その他のレジスタ

TOE0 : TOE00 <small>注1</small>	0 : カウント動作によるTO00出力動作停止 1 : カウント動作によるTO00出力動作許可
TO0 : TO00 ^{注2}	0 : TO00よりロウ・レベルを出力する 1 : TO00よりハイ・レベルを出力する
TOM0 : TOM00	0 : マスタ・チャンネル出力モードを設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

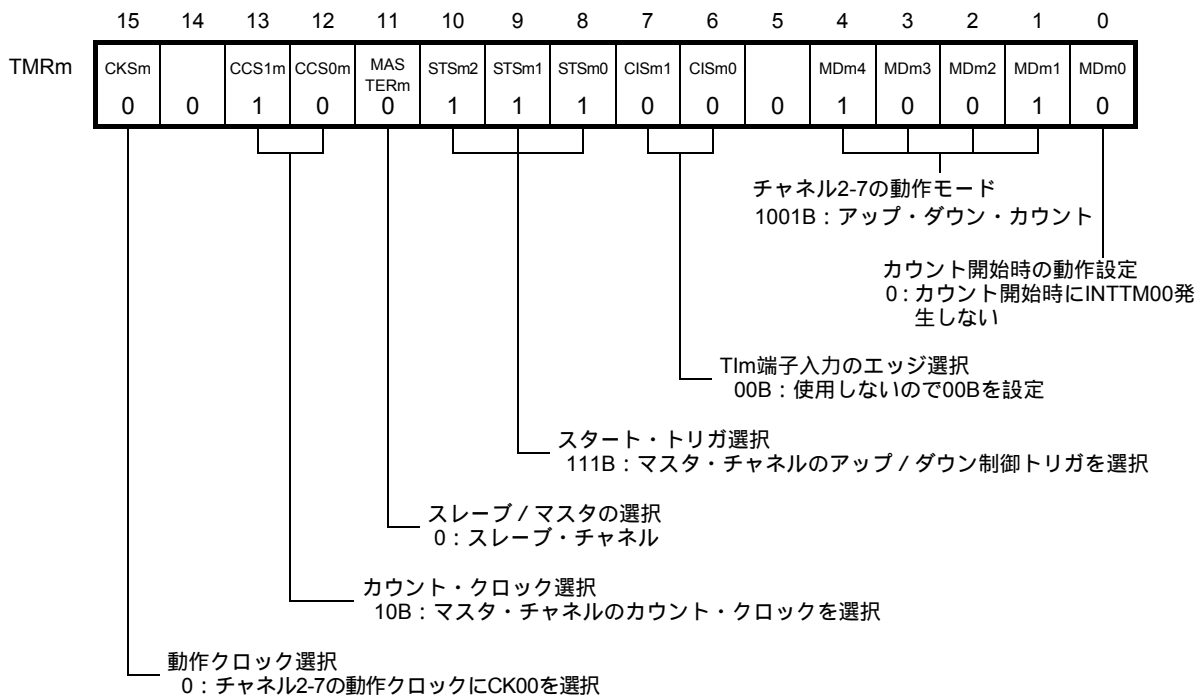
注1. 次の場合は、マスタ・チャンネルのTOE00を“1”に設定してください。

- ・ INTTMM0, INTTMV0, INTTMM1, INTTMV1割り込み信号の使用
- ・ OPMR, OPHS, OPHT, OPCRレジスタの制御による、Hi-Z出力制御、A/D変換トリガ選択

2. MD000 = 1のときTO00 = 0,
MD000 = 0のときTO00 = 1

図7 - 31 三角波PWM出力機能時（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ_m (TMR_m)



(b) その他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTOM出力動作停止 1 : カウント動作によるTOM出力動作許可
TO0 : TOM	0 : TOMよりロウ・レベルを出力する 1 : TOMよりハイ・レベルを出力する
TOM0 : TOMm	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTm	1 : 三角波PWM出力を設定
TOL0 : TOLm	0 : 正論理出力（アクティブ・ハイ） [※]
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	0 : リアルタイム出力停止
TRO0 : TROm	0 : TREm = 0（リアルタイム出力停止）では0を設定
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

注 反転出力したい場合は、OPMRレジスタのTLS7-TLS2ビットを1に設定してください。

備考 m = 02-07

図7 - 32 三角波PWM出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00, CK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用するチャンネルのTMR00, TMRmレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル(周 期)値, スレーブ・チャンネルのTDRmレジスタにデュー ティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	マスタ・チャンネルの設定 TOM0レジスタのTOM00ビットに0(マスタ・チャ ネル出力モード)を設定する スレーブ・チャンネルの設定 TOM0レジスタのTOMmビットに1(スレーブ・チャ ネル出力モード)を設定する TOT0レジスタのTOTmビットに1(三角波PMW出力) を設定する TOLmビットに0(正論理出力)を設定する TOMビットを設定し, TOM出力の初期レベルを確定する	TO00, TOM端子はHi-Z出力状態
	TOE00, TOEmビットに1を設定し, TO00, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタ が0の場合は, TOn初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO00, TOMは変化しない TO00, TOM端子はTO00, TOM設定レベルを出力
動作 開始	TOE00(マスタ), TOEm(スレーブ)ビットに1を設 定する(動作再開時のみ) TS0レジスタのTS00(マスタ), TSm(スレーブ)ビッ トに同時に1を設定する TS00, TSmビットはトリガ・ビットなので, 自動的に 0に戻る	TE00 = 1, TEm = 1となる マスタ・チャンネル, スレーブ・チャンネルがカウント動作開 始し, TMR00レジスタのMD000ビットが1の場合は INTTM00を発生する。
動作 中	TDR00(マスタ)レジスタは, アップ・ステータス期間 中の設定値変更が必要 TDRm(スレーブ)レジスタは, 任意に設定値変更可能 TCR00, TCRmレジスタは, 常に読み出し可能 TSRm(スレーブ)レジスタは, 常に読み出し可能	マスタ・チャンネルでは, 周期を生成し, スレーブ・チャンネルのカウン ト動作を制御する。TCR00はTDR00の値をロードし, ダウン・カウ ント動作を行う。TCR00 = 0000HまでカウントしたらINTTM00を発 生する。同時に, TCR00はTDR00の値をロードし, 再びダウン・カ ウントを開始する。 スレーブ・チャンネルでは, マスタ・チャンネルのINTTM00をトリガとし て, ダウン・カウント/アップ・カウントの切り替え動作をする。 TCRm = 0001H検出でINTTMmを発生し, TOMは, 三角波 PWMを出力する。 マスタ・チャンネルでは, アップ・ステータス中のINTTM00の発生によ り, 再びTCR00はTDR00の値をロードし, カウント動作を継続する。 以降, この動作を繰り返す。

動作再開時(次ページより)

備考 m = 02-07

図7 - 32 三角波PWM出力機能時の操作手順 (2/2)

動作再開時 (前ページへ)	ソフトウェア操作	ハードウェアの状態
動作停止	TT00 (マスタ), TTm (スレーブ) ビットに同時に1を設定する TT00, TTmビットはトリガ・ビットなので、自動的に0に戻る	TE00, TEm = 0になり, カウント動作停止 TCR00, TCRmはカウント値を保持して停止 TO00, TOm出力は初期化されず, 状態保持
	TOE00, TOEmビットに0を設定し, TO00, TOmビットに値を設定する	TO00, TOm端子はTO00, TOm設定レベルを出力
TAUS停止	TO00, TOm端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00, TOmビットに0を設定する	TO00, TOm端子出力レベルはポート機能により保持される。
	TO00, TOm端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TO00, TOm端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00, TOmビットが0になり, TO00, TOm端子はポート機能となる)

備考 m = 02-07

7.5.5 デッド・タイム付き三角波PWM出力機能としての動作

チャンネル0-3またはチャンネル4-7の4チャンネルをセットで使用し、三角波変調のPWM（デッド・タイム付き）を出力する機能です。

デッド・タイム付き三角波変調のPWMをスレーブ・チャンネル2, 3およびスレーブ・チャンネル6, 7より出力します。スレーブ・チャンネル1, 5は、任意の動作モードで動作が可能です。

出力パルスの周期、正相のアクティブ幅、逆相のアクティブ幅は次の式で求めることができます。

$$\begin{aligned} \text{パルス周期 (ダウン / アップ)} &= \{ \text{TDRn (マスタ) の設定値} + 1 \} \times 2 \times \text{カウント} \cdot \text{クロック周期} \\ \text{正相アクティブ幅} &= \{ \{ \text{TDRn (マスタ) の設定値} + 1 \} - \{ \text{TDRp (スレーブp) の設定値} \} \} \\ &\quad \times 2 - \{ \text{TDRq (スレーブq) の設定値} + 1 \} \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{逆相アクティブ幅} &= \{ \{ \text{TDRn (マスタ) の設定値} + 1 \} - \{ \text{TDRp (スレーブp) の設定値} \} \} \\ &\quad \times 2 + \{ \text{TDRq (スレーブq) の設定値} + 1 \} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

デッド・タイム機能を使用すると出力波形に誤差が生じます。正相側は出力幅がデッド・タイム分短くなり、逆相側は出力幅がデッド・タイム分長くなります。このため0%、100%出力近傍では誤差により出力変移のリア性が失われます。

$$\begin{aligned} 0\% \text{出力} &: \text{TDRp (スレーブp) の設定値} \quad \text{TDRn (マスタ) の設定値} + 1 \\ 100\% \text{出力} &: \text{TDRp (スレーブp) の設定値} = 0000\text{H} \end{aligned}$$

マスタ・チャンネルとしては、チャンネル0とチャンネル4を使用します。

TCRnはインターバル・タイマ・モードでダウン・カウンタとして動作します。

チャンネル・スタート・トリガ・ビット (TSn) に1を設定後、最初のカウント・クロックでTCRnはTDRnの値をロードします。

その後、TCRnはカウント・クロックに合わせてダウン・カウントを行います。

TCRn = 0000Hとなったら、次のカウント・クロックでINTTMnを出力しTONをトグルします。また、同タイミングで再びTCRnはTDRnの値をロードします。以降、同様の動作を継続します。

マスタ・チャンネルのカウント2周期で、キャリア周期を生成します。

マスタ・チャンネルの1周期目をスレーブ・チャンネルのダウン・ステータス、2周期目をスレーブ・チャンネルのアップ・ステータスと定義し、スレーブ・チャンネルのカウント動作を制御します。

マスタ・チャンネルのTONは、アップ・ダウン・ステータスを出力します。

アップ・ダウン・ステータス出力のため、TOE0レジスタのTOEn = 0の状態ではTO0レジスタのTONを操作し、初期レベルを設定する必要があります。

TMRnレジスタのMDn0 = 0ならばTO0レジスタのTONを1に、MDn0 = 1ならばTONを0に設定します。

初期レベルを設定することでTO00から、ダウン・ステータス中はハイ・レベル、アップ・ステータス中はロウ・レベルを出力します。

備考 n = 00, 04

p = 02, 06

q = 03, 07

スレーブ・チャンネル1, 5は、デッド・タイム付きPWM出力機能としては使用しません。

デッド・タイム制御は、スレーブ・チャンネル2, 6とスレーブ・チャンネル3, 7をセットとして行います。デッド・タイム付き三角波PWM出力機能では、マスタ・チャンネル0とスレーブ・チャンネル2とスレーブ・チャンネル3をセット、マスタ・チャンネル4とスレーブ・チャンネル6とスレーブ・チャンネル7をセットとして使用します。

スレーブ・チャンネル2, 6のTCRpは、アップ・ダウン・カウント・モードで動作して、デューティをカウントします。チャンネル・スタート・トリガ・ビット(TSp)に1を設定後、最初のカウント・クロックでTCRpはTDRpの値をロードします。以降、マスタ・チャンネルの動作に従いダウン・カウント、アップ・カウントを切り替えて動作します。TCRp = 0001Hとなったら、INTTMpを出力します。

マスタ・チャンネルのアップ・ステータスでのINTTMn発生により、再びTCRpはTDRpの値をロードします。以降、同様の動作を継続します。

スレーブ・チャンネル3, 7のTCRqは、ワンカウント・モードで動作して、デッド・タイムをカウントします。

TCRqは、カウント開始タイミングとスレーブ・チャンネル2, 6のINTTMpをスタート・トリガとして、TCRqにTDRqの値をロードし、ダウン・カウントを行います。TCRq = 0000Hとなったら、INTTMqを出力し、次のスタート・トリガ(スレーブ・チャンネル2, 6のINTTMp)が入力されるまでカウントを停止します。スレーブ・チャンネル3, 7のINTTMqは、キャリア周期期間内の発生回数が特定できない(0~3回発生)ため使用できません。

スレーブ・チャンネル2, 6(デューティ)とスレーブ・チャンネル3, 7(デッド・タイム)のカウント動作(INTTMp, INTTMq)によりTOp, TOqを変化させ、デッド・タイム付き三角波変調PWMを出力します。スレーブ・チャンネル2, 6およびスレーブ・チャンネル3, 7のTOL0レジスタのTOLp, TOLqビットを制御することで正相波形と逆相波形を出力します。

また、TOLp, TOLqの設定により正論理出力/反転論理出力のどちらにデッド・タイムを付加するかを選択できます。TOLp, TOLq = 0ではPWMデューティの正論理側にデッド・タイムを付加した正相波形を、TOLp, TOLq = 1ではPWMデューティの反転論理側にデッド・タイムを付加した逆相波形を出力します(TOLp = 0のときはTOLq = 1, TOLp = 1のときはTOLq = 0)。

TOp, TOqのアクティブ・レベルを変えたい場合は、OPMRレジスタのTLS2, 3, 6, 7ビットで設定してください。

TOp (TOLp = 0) のセット条件は、TCRpレジスタのダウン・カウント中のINTTMp発生をスタート・トリガとしたスレーブ・チャンネル3, 7の動作によるINTTMq発生です。TOp (TOLp = 0) のリセット条件は、TCRpがアップ・カウント中のスレーブ・チャンネル2, 6のINTTMp発生です。

TOq (TOLq = 1) のセット条件は、TCRpレジスタのダウン・カウント中のINTTMp発生です。TOq (TOLq = 0) のリセット条件は、TCRpがダウン・カウント中のINTTMp発生をスタート・トリガとしたスレーブ・チャンネル3, 7の動作によるINTTMq発生です。

TOp, TOqのセット条件とリセット条件が競合した場合、セット条件が優先されます。

スレーブ・チャンネル2, 6とスレーブ・チャンネル3, 7は、TOLp, TOLqの設定により、デッド・タイム付きPWM波形の正相/逆相を切り替えることができます。

注意1. マスタ・チャンネルのTDRnを書き換える場合は、必ずスレーブ・チャンネル2, 6のアップ・ステータス期間中に書き換えてください(カウント・ステータスはスレーブ・チャンネルのCSF(TSRpレジスタ)または、マスタ・チャンネルのTON出力レベルにより判断します)。書き換えたマスタ・チャンネルのTDRnの値は、次の周期で有効となるため、ダウン・ステータス期間中に書き換えると、ダウン・ステータスとアップ・ステータスの周期期間が異なり、期待通りの波形を出力できません。

2. TEn = 1, TEp = 1, TEq = 1期間中、TSn, TSp, TSqへの“1”設定(強制再スタート)は使用できません。TEn = 1, TEp = 1, TEq = 1期間中にTSn, TSp, TSqを“1”に設定すると、カウンタ値(TCRn, TCRp, TCRq)が不正となりTON, TOp, TOqは期待波形を出力できません。

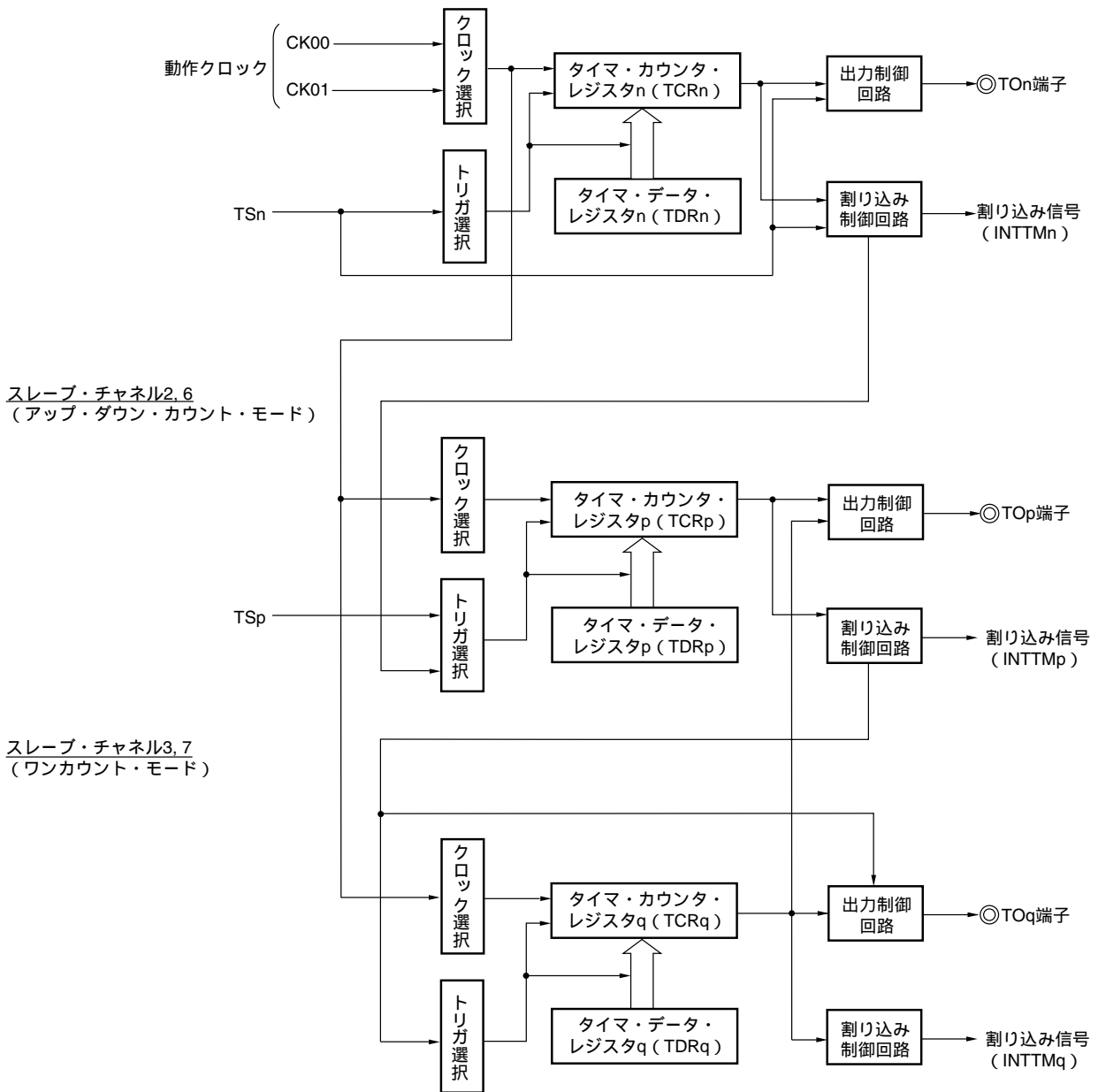
スレーブ・チャンネル2, 6のTDRpの値は, 次のキャリア周期 (アップ・ダウン・トリガ検出) から有効となります。

スレーブ・チャンネル3, 7のTDRqの値は, 次のスタート・タイミング (デッド・タイム制御トリガ検出) から有効となります。

スレーブ・チャンネル3, 7のTDRqの書き換えは, アップ・ステータス期間中のスレーブ・チャンネル2, 6のINTTMp検出後に行うことを推奨します。

図7 - 33 デッド・タイム付き三角波PWM出力機能としての動作のブロック図

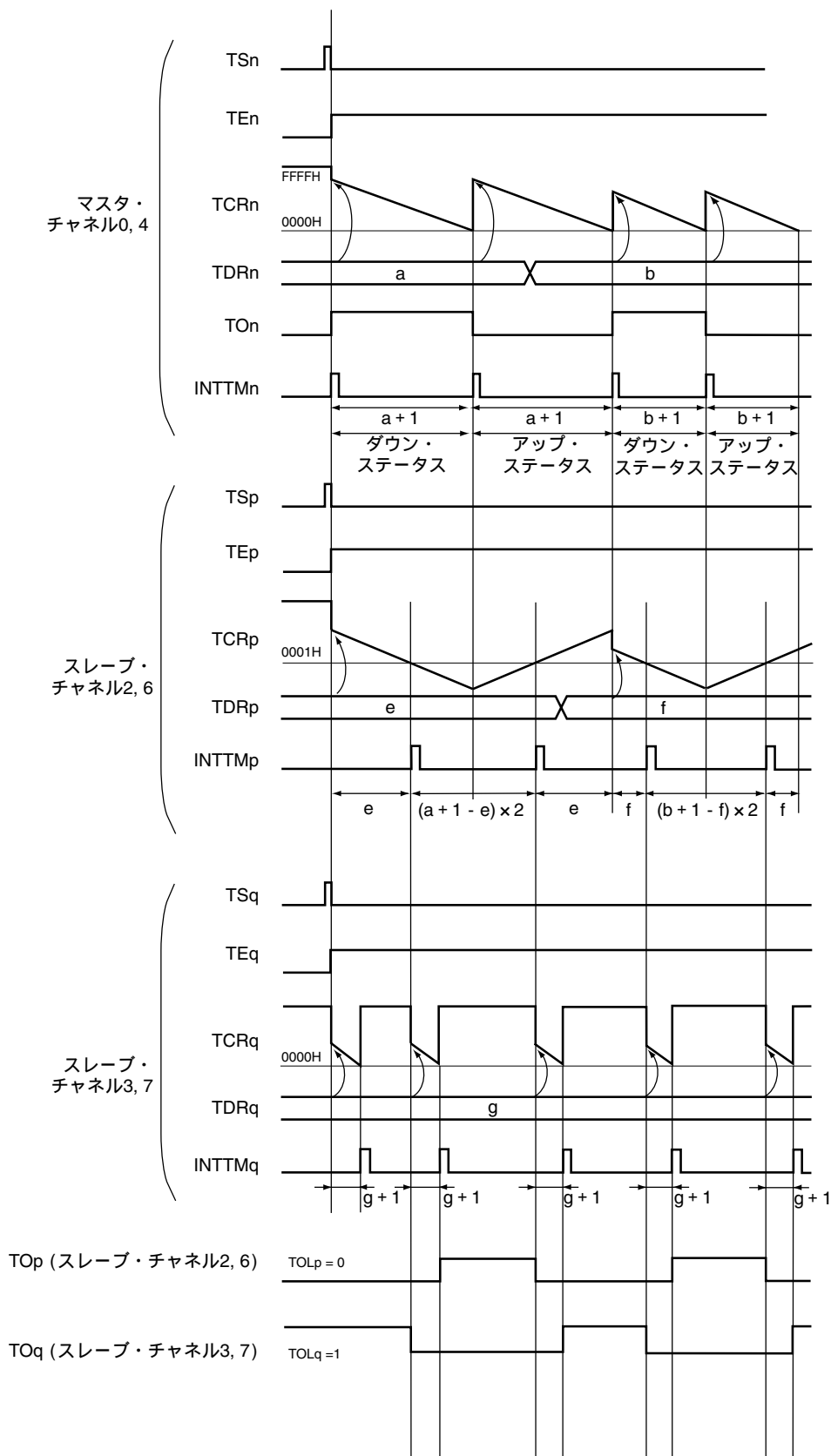
マスタ・チャンネル0, 4
(インターバル・タイマ・モード)



備考 n = 00, 04
p = 02, 06
q = 03, 07

図7-34 デッド・タイム付き三角波PWM出力機能としての動作の基本タイミング例

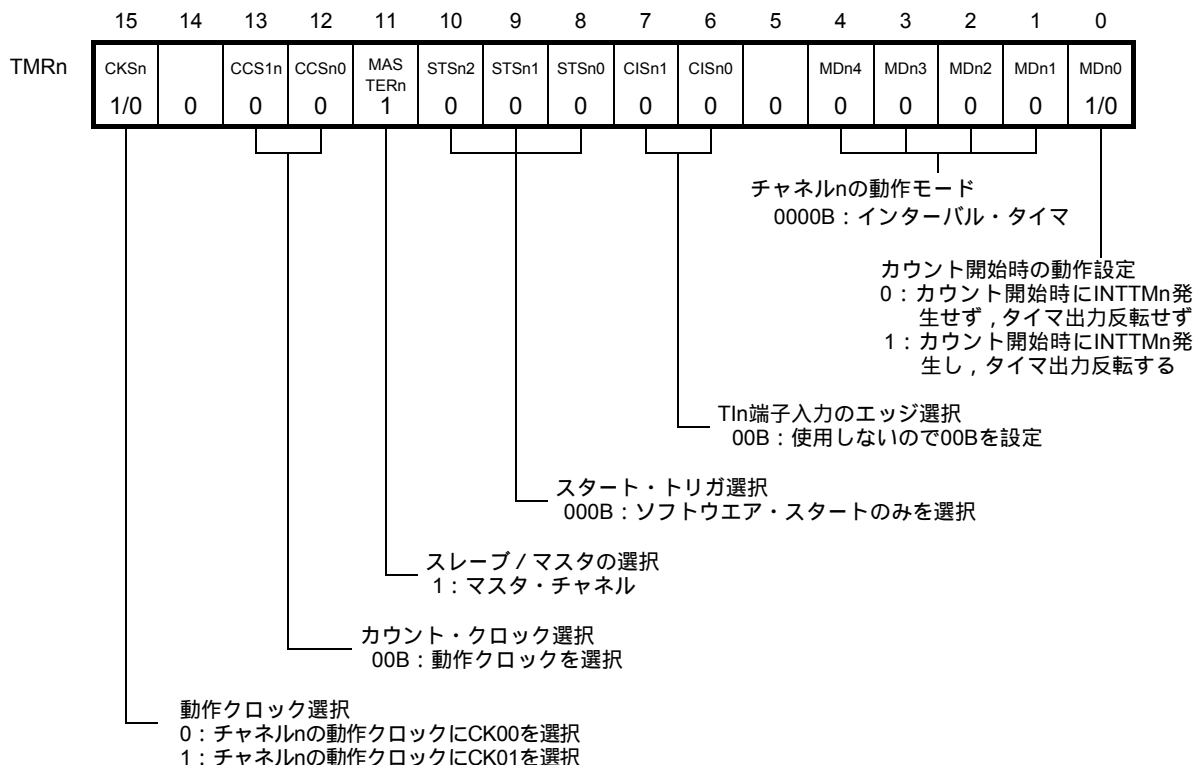
(初期設定 : $TOn, TOp = 0, TOq = 1, MDn0 = 1$)



備考 n = 00, 04
 p = 02, 06
 q = 03, 07

図7 - 35 デッド・タイム付き三角波PWM出力機能 (マスタ・チャンネル0, 4) のレジスタ設定内容例

(a) タイマ・モード・レジスタn (TMRn)



(b) その他のレジスタ

TOE0 : TOEn ^{注1}	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn ^{注2}	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モードを設定
TOT0 : TOTn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止
TRO0 : TROn	0 : TREn = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCn	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEn	0 : 変調出力停止

注1. 次の場合は, マスタ・チャンネルのTOEnを“1”に設定してください。

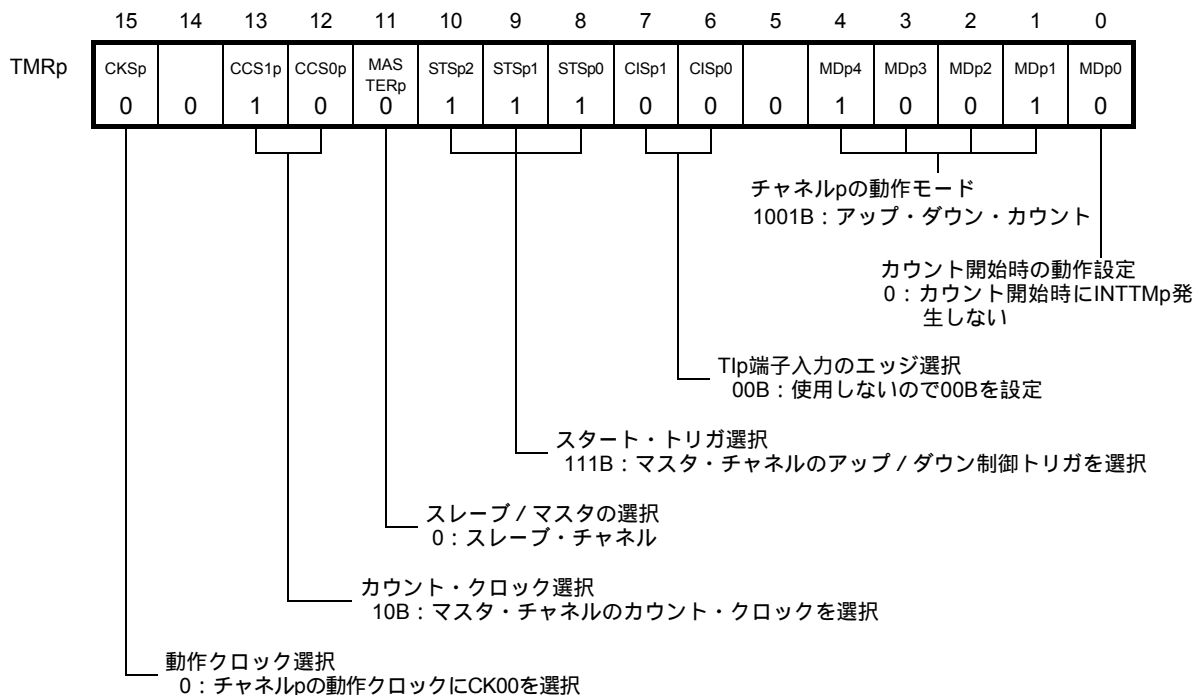
- ・ INTTMM0, INTTMV0, INTTMM1, INTTMV1割り込み信号の使用
- ・ OPMR, OPHS, OPHT, OPCRレジスタの制御による, Hi-Z出力制御, A/D変換トリガ選択

- MDn0 = 1のときTOn = 0,
MDn0 = 0のときTOn = 1

備考 n = 00, 04

図7 - 36 デッド・タイム付き三角波PWM出力機能（スレーブ・チャンネル2, 6）のレジスタ設定内容例

(a) タイマ・モード・レジスタp (TMRp)



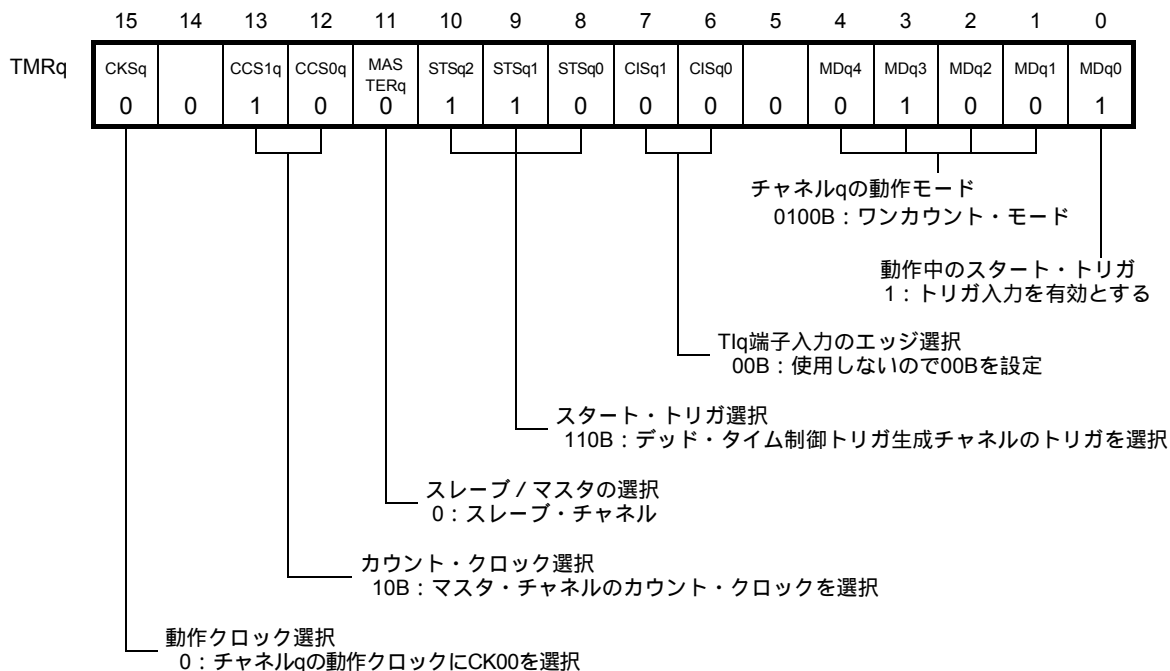
(b) その他のレジスタ

TOE0 : TOEp	0 : カウント動作によるTOp出力動作停止 1 : カウント動作によるTOp出力動作許可
TO0 : TOp	0 : TOpよりロウ・レベルを出力する 1 : TOpよりハイ・レベルを出力する
TOM0 : TOMp	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTp	1 : 三角波PWM出力を発生
TOL0 : TOLp	0 : 正論理出力 (アクティブ・ハイ) 1 : 反転出力 (アクティブ・ロウ)
TDE0 : TDEp	1 : デッド・タイム制御許可
TRE0 : TREp	0 : リアルタイム出力停止
TRO0 : TROp	0 : TREp = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCp	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEp	0 : 変調出力停止

備考 p = 02, 06

図7 - 37 デッド・タイム付き三角波PWM出力機能（スレーブ・チャンネル3, 7）のレジスタ設定内容例

(a) タイマ・モード・レジスタq (TMRq)



(b) その他のレジスタ

TOE0 : TOEq	0 : カウント動作によるTOq出力動作停止 1 : カウント動作によるTOq出力動作許可
TO0 : TOq	0 : TOqよりロウ・レベルを出力する 1 : TOqよりハイ・レベルを出力する
TOM0 : TOMq	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTq	1 : 三角波PWMを発生
TOL0 : TOLq	0 : 正論理出力 (アクティブ・ハイ) 1 : 反転出力 (アクティブ・ロウ)
TDE0 : TDEq	1 : デッド・タイム制御許可
TRE0 : TREq	0 : リアルタイム出力停止
TRO0 : TROq	0 : TREq = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCq	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEq	0 : 変調出力停止

備考 q = 03, 07

図7-38 デッド・タイム付き三角波PWM出力機能時の操作手順(1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00, CK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する4チャンネルのTMRn, TMRp, TMRqレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタにインターバル(周期)値, スレーブ・チャンネル2, 6のTDRpレジスタにデューティ値, スレーブ・チャンネル3, 7のTDRqレジスタにデッド・タイム幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネルの設定 TOM0レジスタのTOMp, TOMqビット, TOT0レジスタのTOTp, TOTqビットを1に設定する(三角波PWM発生)。 TOLp, TOLqビットを設定し, TOp, TOqの出力のアクティブ・レベルを決定する。 TDEp, TDEqビットを1に設定する(デッド・タイム制御許可)。	TO00, TOp, TOq端子はHi-Z出力状態
	TON, TOp, TOqビットを設定し, TON, TOp, TOqの初期レベルを確定する TOEn, TOEp, TOEqビットに1を設定し, TON, TOp, TOqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TON, TOp, TOq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TON, TOp, TOqは変化しない TON, TOp, TOq端子はTON, TOp, TOq設定レベルを出力
動作 開始	TOEm(マスタ), TOEp, TOEq(スレーブ)ビットに1を設定する(動作再開時のみ) TS0レジスタのTSn(マスタ), TSp, TSq(スレーブ)ビットに同時に1を設定する TSn, TSp, TSqビットはトリガ・ビットなので, 自動的に0に戻る	TEn = 1, TEp = 1, TEq = 1となる マスタ・チャンネルとスレーブ・チャンネル2, 6がカウント動作開始し, TMRnレジスタのMDn0ビットが1の場合はINTTMnを発生する。スレーブ・チャンネル3, 7は, スレーブ・チャンネル2, 6のINTTMp検出待ちとなる。
動作 中	TDRn(マスタ)レジスタは, スレーブ・チャンネル2, 6のアップ・ステータス期間中の設定値変更が必要 TDRp, TDRq(スレーブ)レジスタは, 任意に設定値変更可能 TCRn, TCRp, TCRqレジスタは, 常に読み出し可能 TSRp(スレーブ)レジスタは, 常に読み出し可能	マスタ・チャンネルでは, 周期を生成し, スレーブ・チャンネルのカウント動作を制御する。スレーブ・チャンネル2, 6ではPWMのデューティを生成し, スレーブ・チャンネル3, 7ではデッド・タイムを生成する。 スレーブ・チャンネル2, 6, スレーブ・チャンネル3, 7の組み合わせ動作により, TOp, TOq端子よりデッド・タイム付き三角波PWM波形を出力する。

動作再開時(次ページより)

備考 n = 00, 04
p = 02, 06
q = 03, 07

図7 - 38 デッド・タイム付き三角波PWM出力機能時の操作手順 (2/2)

動作再開時 (前ページへ)	ソフトウェア操作	ハードウェアの状態
動作停止	TTn (マスタ), TTp, TTq (スレーブ) ビットに同時に1を設定する TTn, TTp, TTq ビットはトリガ・ビットなので、自動的に0に戻る	TEn, TEp, TEq = 0 になり, カウント動作停止 TCRn, TCRp, TCRq はカウント値を保持して停止 TON, TOP, TOQ 出力は初期化されず, 状態保持
	TOEn, TOEp, TOEq ビットに0を設定し, TOn, TOP, TOQ ビットに値を設定する	TO00, TOP, TOQ 端子は TO00, TOP, TOQ 設定レベルを出力
TAUS 停止	TON, TOP, TOQ 端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOn, TOP, TOQ ビットに0を設定する。	TON, TOP, TOQ 端子出力レベルはポート機能により保持される。
	TON, TOP, TOQ 端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える PER2 レジスタの TAU0EN, TAUOPEN ビットに0を設定する	TON, TOP, TOQ 端子出力レベルは Hi-Z 出力になる。 パワーオフ状態 全回路が初期化され, 各チャンネルの SFR も初期化される (TON, TOP, TOQ ビットが0になり, TOn, TOP, TOQ 端子はポート状態となる)

備考 n = 00, 04
p = 02, 06
q = 03, 07

7.5.6 6相三角波PWM出力機能としての動作

7チャンネルをセットで使用し、6本の三角波変調PWM（デッド・タイム付き）を出力する機能です。

6相三角波PWM出力機能は「7.5.5 デッド・タイム付き三角波PWM出力機能としての動作」の拡張機能です。

6本の三角波変調PWMをスレーブ・チャンネル2、スレーブ・チャンネル3、スレーブ・チャンネル4、スレーブ・チャンネル5、スレーブ・チャンネル6、スレーブ・チャンネル7より出力します。スレーブ・チャンネル1は、任意の動作モードで動作が可能です。

出力パルスの周期，正相のアクティブ幅，逆相のアクティブ幅は次の式で求めることができます。

$$\begin{aligned} \text{パルス周期 (ダウン / アップ)} &= \{ \text{TDR00 (マスタ) の設定値} + 1 \} \times 2 \times \text{カウント} \cdot \text{クロック周期} \\ \text{正相アクティブ幅} &= \{ \{ \text{TDR00 (マスタ) の設定値} + 1 \} - \{ \text{TDRp (スレーブp) の設定値} \} \\ &\quad \times 2 - \{ \text{TDRq (スレーブq) の設定値} + 1 \} \} \times \text{カウント} \cdot \text{クロック周期} \\ \text{逆相アクティブ幅} &= \{ \{ \text{TDR00 (マスタ) の設定値} + 1 \} - \{ \text{TDRp (スレーブp) の設定値} \} \\ &\quad \times 2 + \{ \text{TDRq (スレーブq) の設定値} + 1 \} \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

デッド・タイム機能を使用すると出力波形に誤差が生じます。正相側は出力幅がデッド・タイム分短くなり，逆相側は出力幅がデッド・タイム分長くなります。このため0%，100%出力近傍では誤差により出力変移のリア性が失われます。

$$\begin{aligned} 0\% \text{出力} &: \text{TDRp (スレーブp) の設定値} \quad \text{TDR00 (マスタ) の設定値} + 1 \\ 100\% \text{出力} &: \text{TDRp (スレーブp) の設定値} = 0000\text{H} \end{aligned}$$

マスタ・チャンネルは，インターバル・タイマ・モードで動作して，周期をカウントします。

マスタ・チャンネルのカウント2周期で，キャリア周期を生成します。

マスタ・チャンネルの1周期目をスレーブ・チャンネルではダウン・ステータス，2周期目をスレーブ・チャンネルではアップ・ステータスと定義し，スレーブ・チャンネルのカウント動作を制御します。

マスタ・チャンネルのTO00は，アップ・ダウン・ステータスを出力します。

アップ・ダウン・ステータス出力のため，TOE0レジスタのTOE00 = 0の状態ではTO0レジスタのTO00を操作し，初期レベルを設定する必要があります。

TMR0レジスタのMD000 = 0ならばTO0レジスタのTO00を1に，MD000 = 1ならばTO00を0に設定します。

初期レベルを設定することでTO00から，ダウン・ステータス中はハイ・レベル，アップ・ステータス中はロウ・レベルを出力します。

スレーブ・チャンネル1は，6相三角波PWM出力機能としては使用しません。

（変調出力機能を使用する場合，スレーブ・チャンネル1をリアルタイム出力トリガ生成チャンネルとして使用しません。詳細は，「7.5.15 相補方式変調出力機能としての動作」を参照してください）。

デッド・タイム制御は，スレーブ・チャンネル2, 4, 6とスレーブ・チャンネル3, 5, 7をセットとして行います。6相三角波PWM出力機能では，スレーブ・チャンネル2とスレーブ・チャンネル3をセット，スレーブ・チャンネル4とスレーブ・チャンネル5をセット，スレーブ・チャンネル6とスレーブ・チャンネル7をセットとして使用します。次にTOpとTOqの出力動作を説明します。

スレーブ・チャンネル2, 4, 6のTCRpは、アップ・ダウン・カウント・モードで動作して、デューティをカウントします。チャンネル・スタート・トリガ・ビット (TSp) に1を設定後、最初のカウント・クロックでTCRpはTDRpの値をロードします。以降、マスタ・チャンネルの動作に従いダウン・カウント、アップ・カウントを切り替えて動作します。TCRp = 0001Hとなったら、INTTMpを出力します。

アップ・ステータスでのマスタ・チャンネルのINTTM00発生により、再びTCRpはTDRpの値をロードします。以降、同様の動作を継続します。

スレーブ・チャンネル3, 5, 7のTCRqは、ワンカウント・モードで動作して、デッド・タイムをカウントします。

TCRqは、カウント開始タイミングとスレーブ・チャンネル2, 4, 6のINTTMpをスタート・トリガとして、TCRqにTDRqの値をロードし、ダウン・カウントを行います。TCRq = 0000Hとなったら、INTTMqを出力し、次のスタート・トリガ(スレーブ・チャンネル3, 5, 7のINTTMq)が入力されるまでカウントを停止します。スレーブ・チャンネル3, 5, 7のINTTMqは、キャリア周期期間内の発生回数が特定できない(0~3回発生)ため使用できません。

スレーブ・チャンネル2, 4, 6(デューティ)とスレーブ・チャンネル3, 5, 7(デッド・タイム)のカウント動作(INTTMp, INTTMq)によりTOp, TOqを変化させ、6本の三角波変調PWMを出力します。スレーブ・チャンネル2, 4, 6およびスレーブ・チャンネル3, 5, 7のTOLレジスタのTOLp, TOLqビットを制御することで正相波形と逆相波形を出力します。

また、TOLp, TOLqの設定により正論理出力/反転論理出力のどちらにデッド・タイムを付加するかを選択できます。TOLp, TOLq = 0ではPWMデューティの正論理側にデッド・タイムを付加した正相波形を、TOLp, TOLq = 1ではPWMデューティの反転論理側にデッド・タイムを付加した逆相波形を出力します(TOLp = 0のときはTOLq = 1, TOLp = 1のときはTOLq = 0)。

TOp, TOqのアクティブ・レベルを変えたい場合は、OPMRレジスタのTLS2-7ビットで設定してください。

TOp (TOLp = 0) のセット条件は、TCRpレジスタのダウン・カウント中のINTTMp発生をスタート・トリガとしたスレーブ・チャンネル3, 5, 7の動作によるINTTMq発生です。TOp (TOLp = 0) のリセット条件は、TCRpがアップ・カウント中のスレーブ・チャンネル2, 4, 6のINTTMp発生です。

TOq (TOLq = 1) のセット条件は、TCRpレジスタのダウン・カウント中のINTTMp発生です。TOq (TOLq = 0) のリセット条件は、TCRpがアップ・カウント中のINTTMp発生をスタート・トリガとしたスレーブ・チャンネル3, 5, 7の動作によるINTTMq発生です。

TOp, TOqのセット条件とリセット条件が競合した場合、セット条件が優先されます。

スレーブ・チャンネル2, 4, 6とスレーブ・チャンネル3, 5, 7は、TOLp, TOLqの設定により、デッド・タイム付きPWM波形の正相/逆相を切り替えることができます。

注意1. マスタ・チャンネルのTDR00を書き換える場合は、スレーブ・チャンネル2, 4, 6のアップ・ステータス期間中に書き換えてください(カウント・ステータスはスレーブ・チャンネルのCSF (TSRpレジスタ) または、マスタ・チャンネルのTO00出力レベルにより判断します)。書き換えたマスタ・チャンネルのTDR00の値は、次の周期で有効となるため、ダウン・ステータス期間中に書き換えると、ダウン・ステータスとアップ・ステータスの周期期間が異なり、期待通りの波形を出力できません。

2. TE00 = 1, TEp = 1, TEq = 1期間中、TS00, TSp, TSqへの“1”設定(強制再スタート)は使用できません。TE00 = 1, TEp = 1, TEq = 1期間中にTS00, TSp, TSqを“1”に設定すると、カウンタ値(TCR00, TCRp, TCRq)が不正となりTO00, TOp, TOqは期待波形を出力できません。

備考 p = 02, 04, 06

q = 03, 05, 07

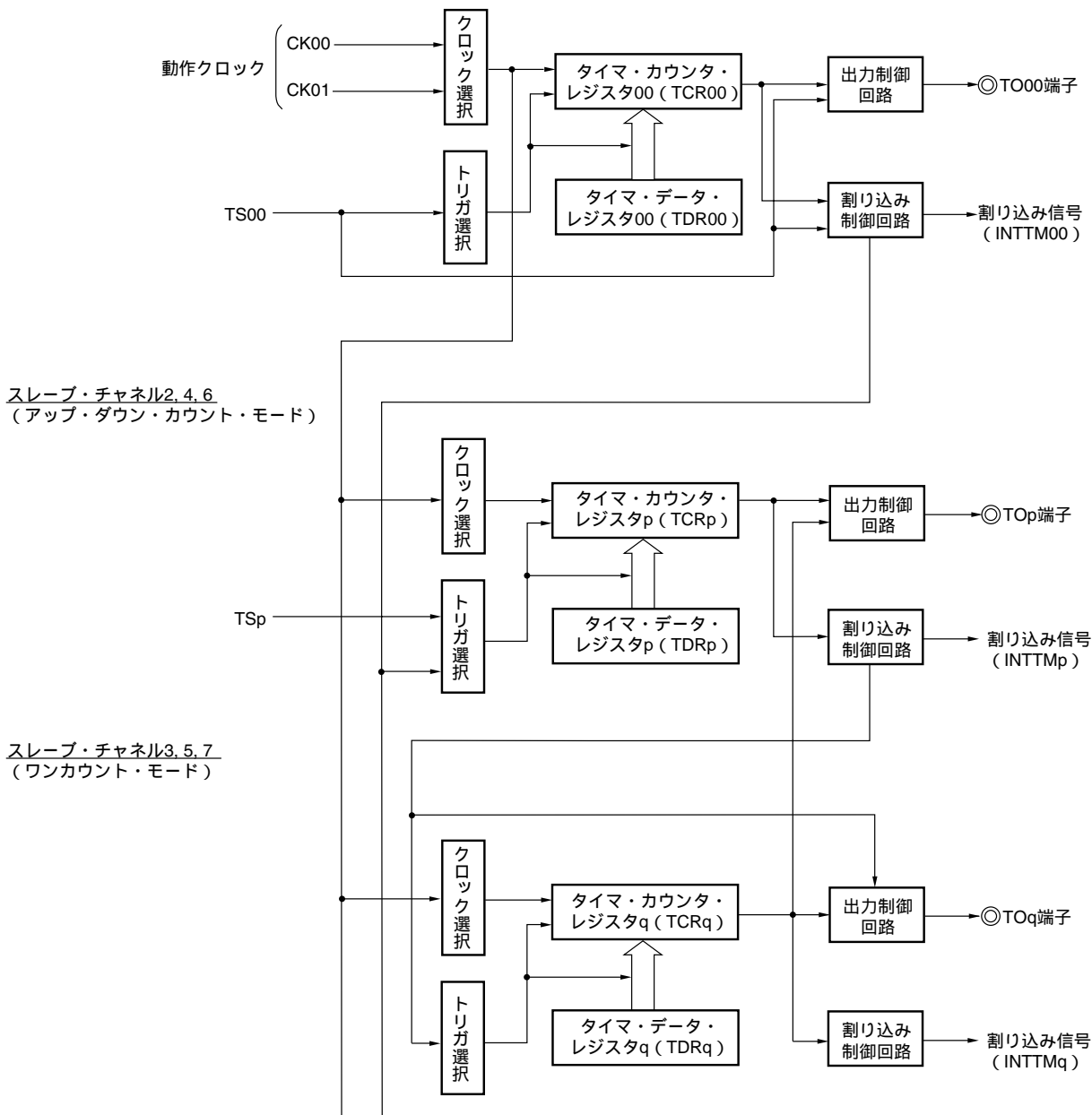
スレーブ・チャンネル2, 4, 6のTDRpの値は、次のキャリア周期（アップ・ダウン・トリガ検出）から有効となります。

スレーブ・チャンネル3, 5, 7のTDRqの値は、次のスタート・タイミング（デッド・タイム制御トリガ検出）から有効となります。

スレーブ・チャンネル3, 5, 7のTDRqの書き換えは、アップ・ステータス期間中のスレーブ・チャンネル2, 4, 6のINTTMp検出後に行うことを推奨します。

図7 - 39 6相三角波PWM出力機能としての動作のブロック図

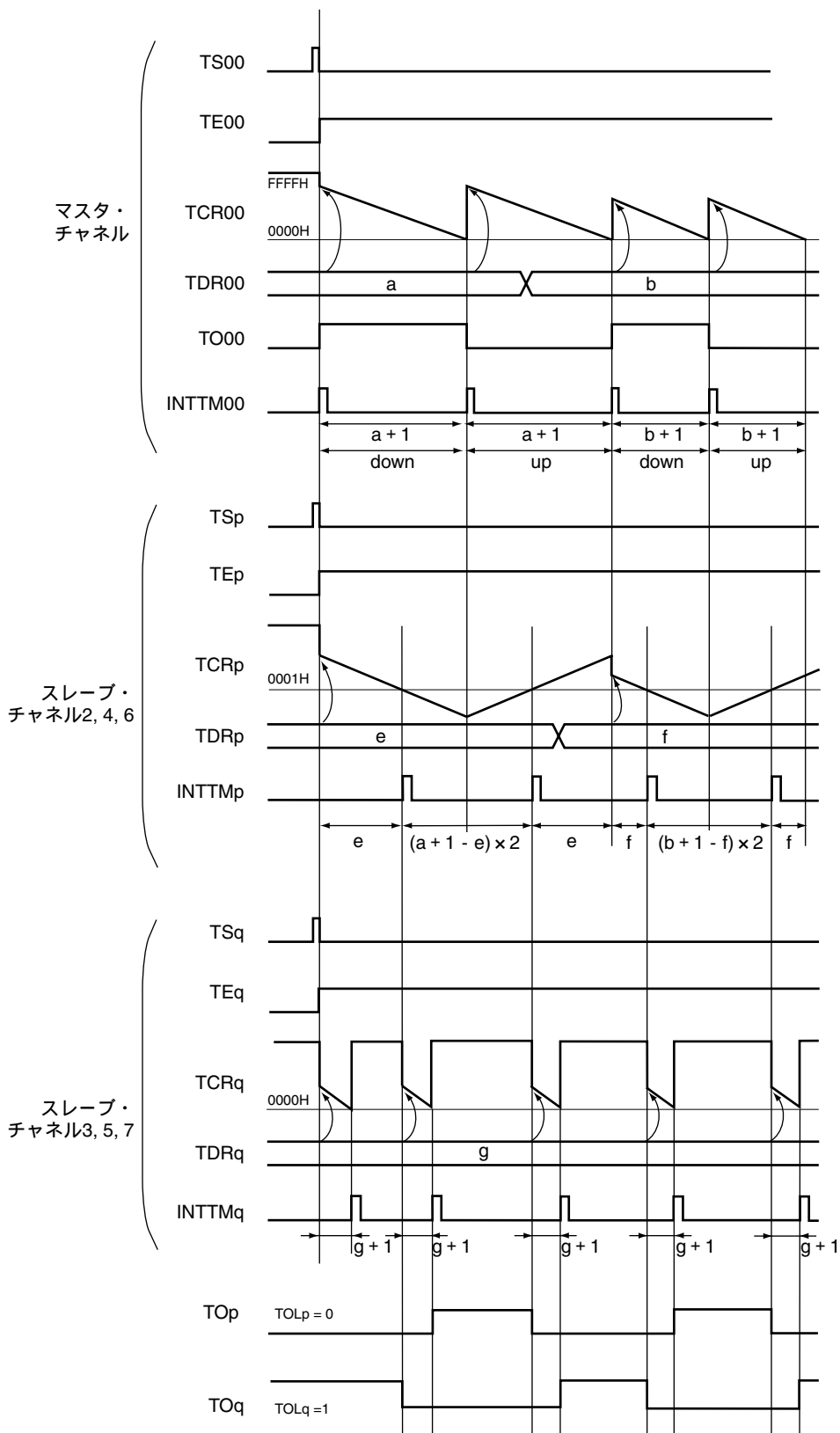
マスタ・チャンネル
(インターバル・タイマ・モード)



備考 p = 02, 04, 06

q = 03, 05, 07

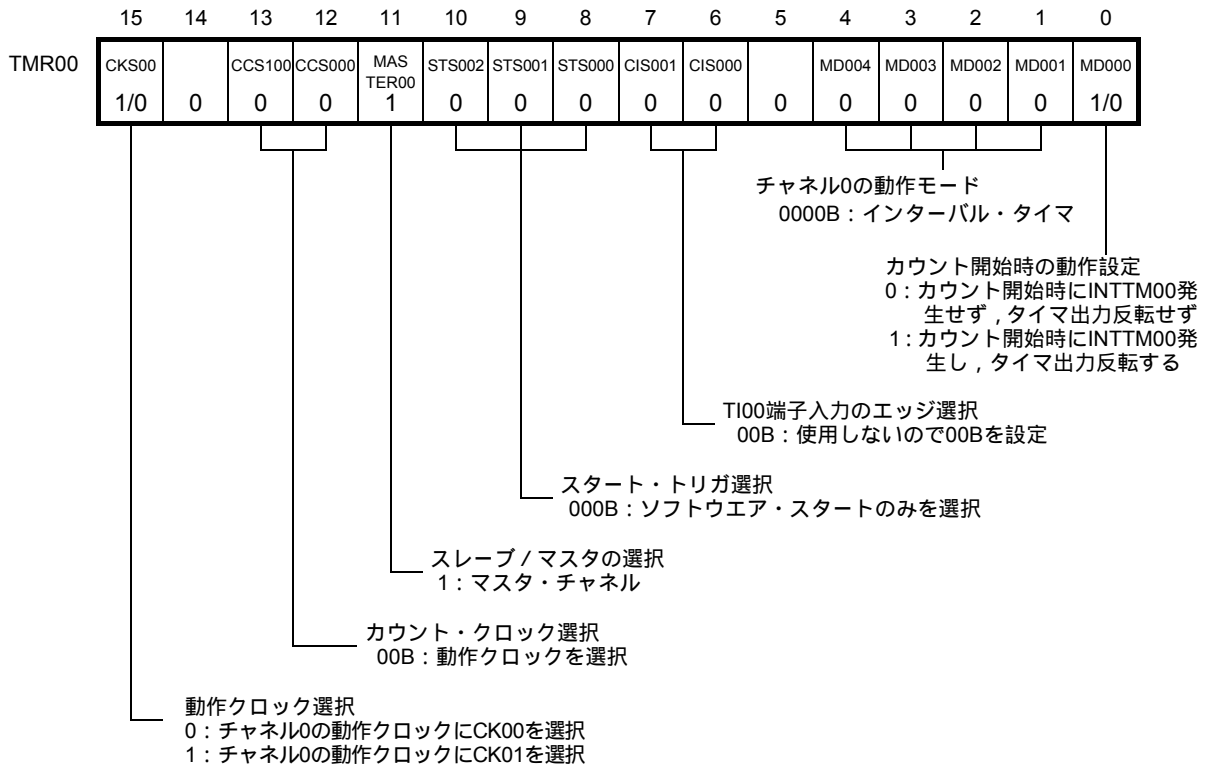
図7-40 6相三角波PWM出力機能としての動作の基本タイミング例（初期設定：TO00, TOp = 0, TOq = 1, MDn0 = 1）



備考 p = 02, 04, 06
q = 03, 05, 07

図7 - 41 6相三角波PWM出力機能 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)



(b) その他のレジスタ

TOE0 : TOE00 注1	0 : カウント動作によるTO00出力動作停止 1 : カウント動作によるTO00出力動作許可
TO0 : TO00 ^{注2}	0 : TO00よりロウ・レベルを出力する 1 : TO00よりハイ・レベルを出力する
TOM0 : TOM00	0 : マスタ・チャンネル出力モードを設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

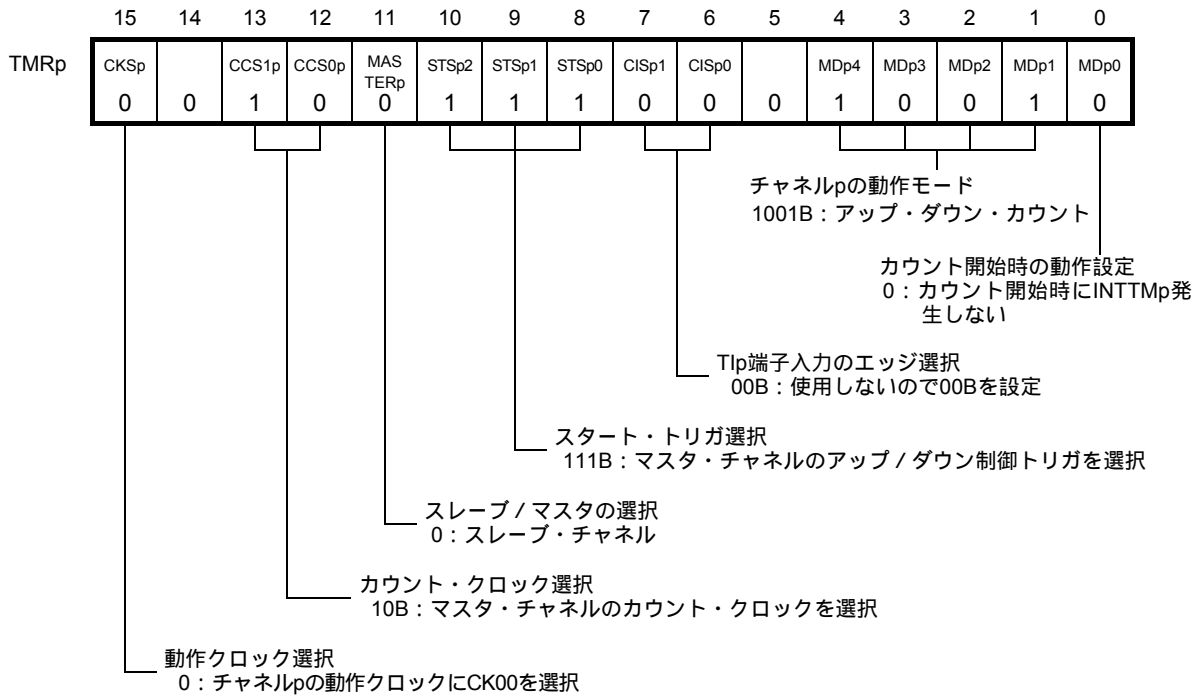
注1. 次の場合は, マスタ・チャンネルのTOE00を“1”に設定してください。

- ・ INTTMM0, INTTMV0, INTTMM1, INTTMV1割り込み信号の使用
- ・ OPMR, OPHS, OPHT, OPCRレジスタの制御による, Hi-Z出力制御, A/D変換トリガ選択

- MD000 = 1のときTO00 = 0,
MD000 = 0のときTO00 = 1

図7 - 42 6相三角波PWM出力機能（スレーブ・チャンネル2, 4, 6）のレジスタ設定内容例

(a) タイマ・モード・レジスタp (TMRp)



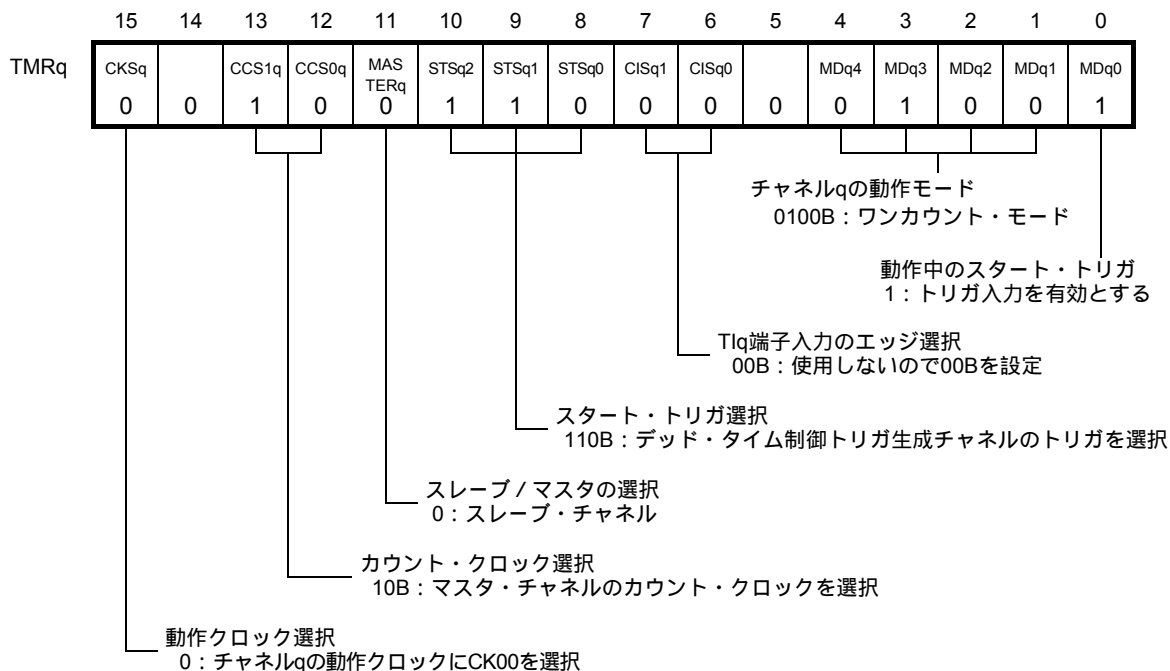
(b) その他のレジスタ

TOE0 : TOEp	0 : カウント動作によるTOp出力動作停止 1 : カウント動作によるTOp出力動作許可
TO0 : TOp	0 : TOpよりロウ・レベルを出力する 1 : TOpよりハイ・レベルを出力する
TOM0 : TOMp	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTp	1 : 三角波PWM出力を設定
TOL0 : TOLp	0 : 正論理出力 (アクティブ・ハイ) 1 : 反転出力 (アクティブ・ロウ)
TDE0 : TDEp	1 : デッド・タイム制御許可
TRE0 : TREp	0 : リアルタイム出力停止
TRO0 : TROp	0 : TREp = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCp	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEp	0 : 変調出力停止

備考 p = 02, 04, 06

図7 - 43 6相三角波PWM出力機能（スレーブ・チャンネル3, 5, 7）のレジスタ設定内容例

(a) タイマ・モード・レジスタq (TMRq)



(b) その他のレジスタ

TOE0 : TOEq	0 : カウント動作によるTOq出力動作停止 1 : カウント動作によるTOq出力動作許可
TO0 : TOq	0 : TOqよりロウ・レベルを出力する 1 : TOqよりハイ・レベルを出力する
TOM0 : TOMq	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTq	1 : 三角波PWM出力を設定
TOL0 : TOLq	0 : 正論理出力 (アクティブ・ハイ) 1 : 反転出力 (アクティブ・ロウ)
TDE0 : TDEq	1 : デッド・タイム制御許可
TRE0 : TREq	0 : リアルタイム出力停止
TRO0 : TROq	0 : TREq = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCq	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEq	0 : 変調出力停止

備考 q = 03, 05, 07

図7 - 44 6相三角波PWM出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用するチャンネルのTMR00, TMRp, TMRqレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル (周期) 値, スレーブ・チャンネル2, 4, 6のTDRpレジスタにデューティ値, スレーブ・チャンネル3, 5, 7のTDRqレジスタにデッド・タイム幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TO00, TOp, TOq端子はHi-Z出力状態
	スレーブ・チャンネルの設定 TOM0レジスタのTOMp, TOMqビット, TOT0レジスタのTOTp, TOTqビットを1 (三角波PWM出力) に設定する。 TOLp, TOLqビットを設定して, TOp, TOqのアクティブ・レベルを決定する。 TDE0レジスタのTDEp, TDEqビットを1に設定する (デッド・タイム制御許可)。	
	TO00, TOp, TOqビットを設定し, TO00, TOp, TOqの初期レベルを確定する TOE00, TOEp, TOEqビットに1を設定し, TO00, TOp, TOqの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00, TOp, TOq初期設定レベルが出力される。 チャンネルは動作停止状態なので, TO00, TOp, TOqは変化しない TO00, TOp, TOq端子はTOp, TOq設定レベルを出力
動作 開始	TOE00 (マスタ), TOEp, TOEq (スレーブ) ビットに1を設定する (動作再開時のみ) TS0レジスタのTS00 (マスタ), TSp, TSq (スレーブ) ビットに同時に1を設定する TS00, TSp, TSqビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TEp = 1, TEq = 1となる マスタ・チャンネル, スレーブ・チャンネル3, 5, 7がカウント動作開始し, TMR00レジスタのMD000ビットが1の場合はINTTM00を発生する。
動作 中	TDR00 (マスタ) レジスタは, アップ・ステータス期間中の設定値変更が必要 TDRp, TDRq (スレーブ) レジスタは, 任意に設定値変更可能 TCR00, TCRp, TCRqレジスタは, 常に読み出し可能 TSRp (スレーブ) レジスタは, 常に読み出し可能	マスタ・チャンネルでは, 周期を生成し, スレーブ・チャンネルのカウント動作を制御する。スレーブ・チャンネル2, 4, 6ではPWMのデューティを生成し, スレーブ・チャンネル3, 5, 7ではデッド・タイムを生成する。スレーブ・チャンネル2, 4, 6, スレーブ・チャンネル3, 5, 7の組み合わせ動作により, TOp, TOq端子よりデッド・タイム付き三角波PWM波形を出力する。

動作再開時 (次ページより)

備考 p = 02, 04, 06
q = 03, 05, 07

図7 - 44 6相三角波PWM出力機能時の操作手順 (2/2)

動作再開時(前ページへ)

	ソフトウェア操作	ハードウェアの状態
動作 停止	TT00 (マスタ), TTp, TTq (スレーブ) ビットに同時に1を設定する → TT00, TTp, TTqビットはトリガ・ビットなので、自動的に0に戻る	TE00, TEp, TEq = 0になり, カウント動作停止 TCR00, TCRp, TCRqはカウント値を保持して停止 TO00, TOp, TOq出力は初期化されず, 状態保持
	TOE00, TOEp, TOEq ビットに0を設定し, TO00, TOp, TOqビットに値を設定する →	TO00, TOp, TOq端子はTO00, TOp, TOq設定レベルを出力
TAUS 停止	TO00, TOp, TOq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00, TOp, TOqビットに0を設定する。 →	TO00, TOp, TOq端子出力レベルはポート機能により保持される。
	TO00, TOp, TOq端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える →	TO00, TOp, TOq端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する →	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00, TOp, TOqビットが0になり, TO00, TOp, TOq端子はポート状態となる)

備考 p = 02, 04, 06
q = 03, 05, 07

7.5.7 割り込み信号間引き機能

2チャンネルをセットで使用し、マスタ・チャンネルのINTTMnを指定回数間引いたINTTMmをスレーブ・チャンネルより出力する機能です。

割り込み信号間引き機能は、スレーブ・チャンネルを「7.5.6 6相三角波PWM出力機能としての動作」のサブ機能として使用することを想定しています。したがってマスタ・チャンネルは、「7.5.6 6相三角波PWM出力機能としての動作」と同一設定となります。割り込み間引き数は、次の式で求めることができます。

<p style="text-align: center;">割り込み間引き数 = TDRm (スレーブ・チャンネル) の設定値 マスタ・チャンネルのINTTMnを { TDRm (スレーブ) の設定値 + 1 } 回に1回スレーブ・チャンネルのINTTMmより出力</p>

マスタ・チャンネルのTCRnは、インターバル・タイマ・モードでダウン・カウントとして動作します。

チャンネル・スタート・トリガ・ビット (TSn) に1を設定することによりTCRnはTDRnの値をロードします。この時TMRnのMDn0 = 0ならば、INTTMnを出力せずTONはトグルしません。TMRnのMDn0 = 1ならばINTTMnを出力して、TONをトグルします。その後、TCRnはカウント・クロックに合わせてダウン・カウントを行います。TCRn = 0000Hとなったら、次のカウント・クロックでINTTMnを出力しTONをトグルします。また、同タイミングで再びTCRnは、TDRnの値をロードします。以降、同様の動作を継続します。

スレーブ・チャンネルはイベント・カウンタ・モードでダウン・カウンタとして動作し、マスタ・チャンネルのINTTMn信号の間引き制御を行います。

チャンネル・スタート・トリガ・ビット (TSm) に1を設定することによりTCRmはTDRmの値をロードします。

TCRmはマスタ・チャンネルのINTTMn出力に合わせてダウン・カウントを行い、TCRm = 0000Hとなったら、再びTDRmの値をロードして、INTTMmを出力します。以降、同様の動作を継続します。

TON, TOMは外部イベントに依存した不規則な波形となるため、TON, TOMは使用できません。

マスタ・チャンネルのTDRnは、次のスタート・タイミング (マスタ・チャンネルのINTTMn発生) から有効となります。

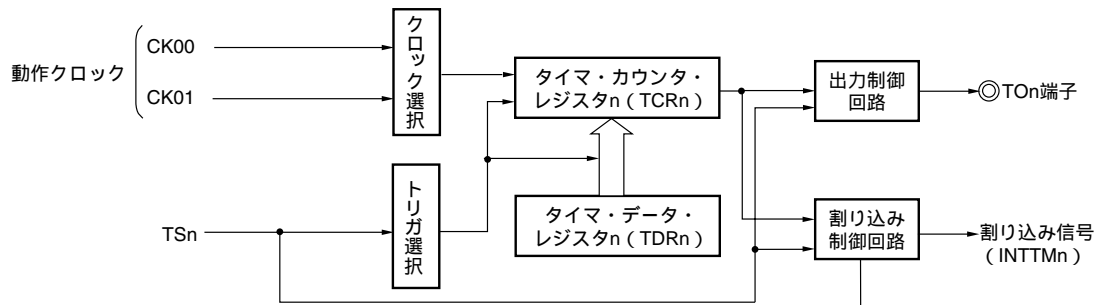
スレーブ・チャンネルのTDRmは、次のスタート・タイミング (スレーブ・チャンネルのINTTMm発生) から有効となります。

備考 n = 00

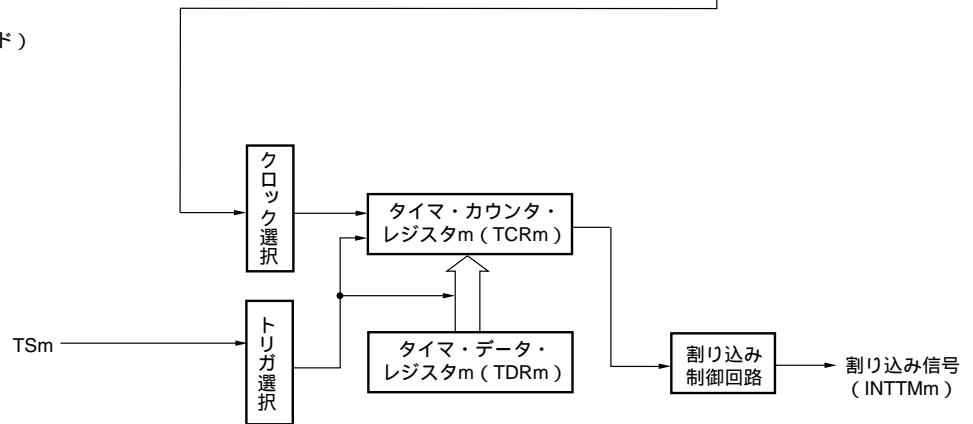
m = 01

図7 - 45 割り込み信号間引き機能としての動作のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)



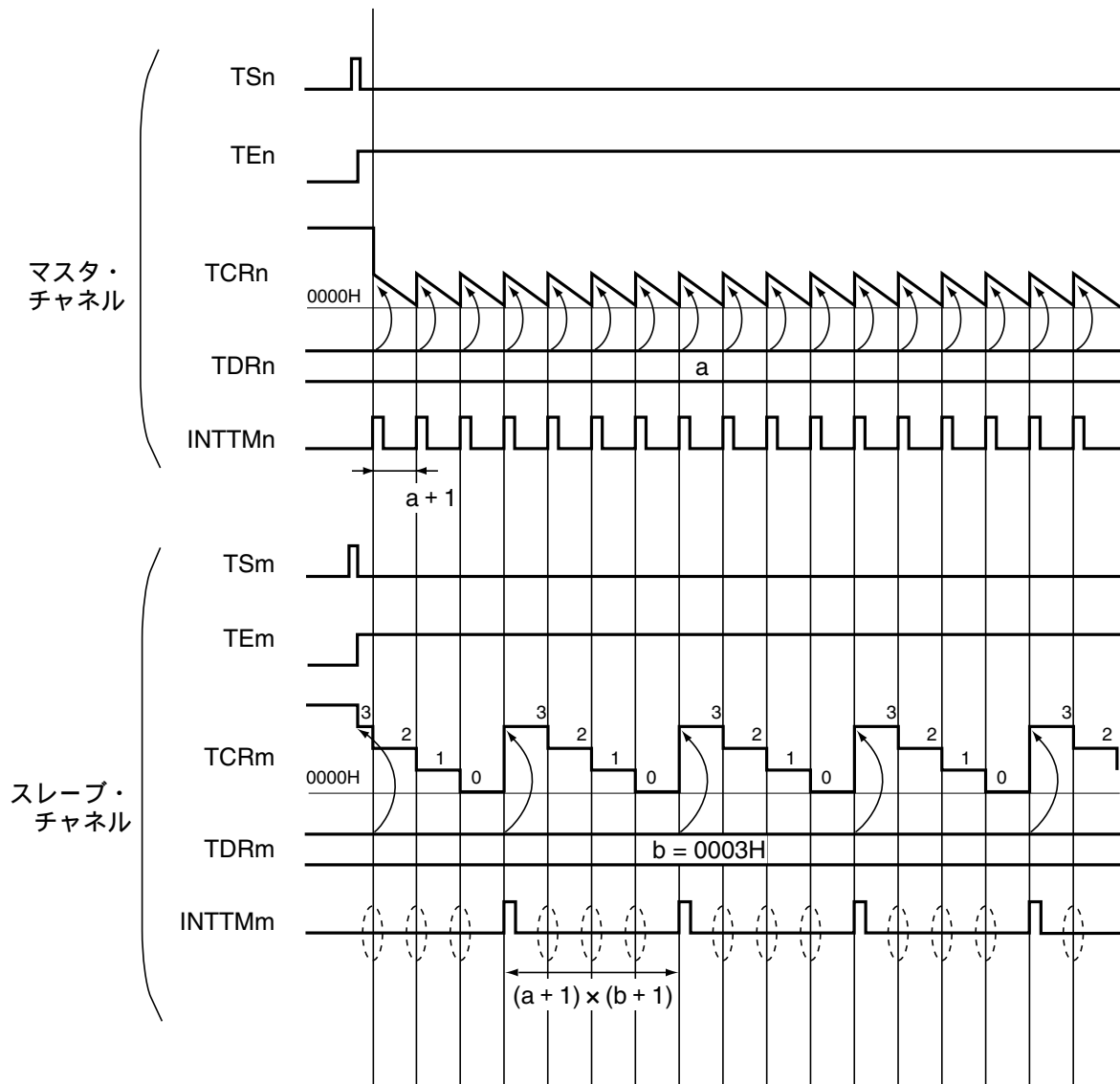
スレーブ・チャンネル
(イベント・カウント・モード)



備考 n = 00

m = 01

図7 - 46 割り込み信号間引き機能としての動作の基本タイミング例（初期設定：MDn0 = 1）

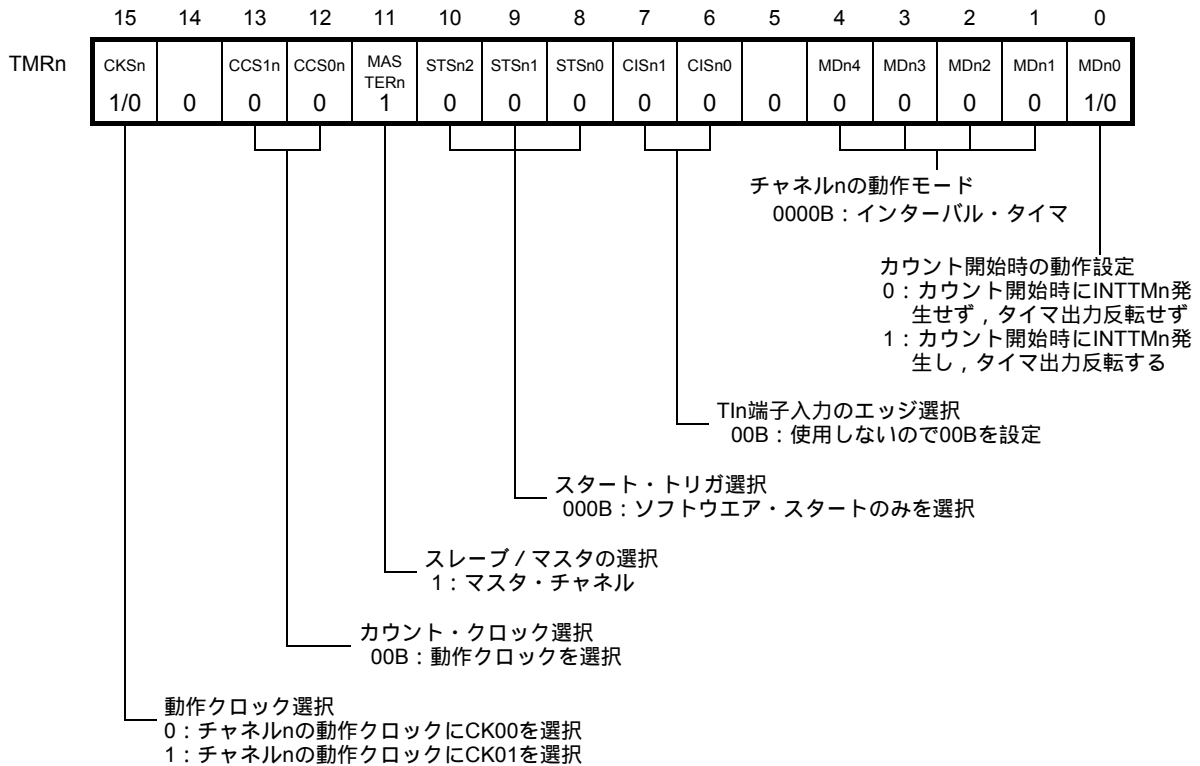


備考 n = 00

m = 01

図7 - 47 割り込み信号間引き機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ_n (TMR_n)



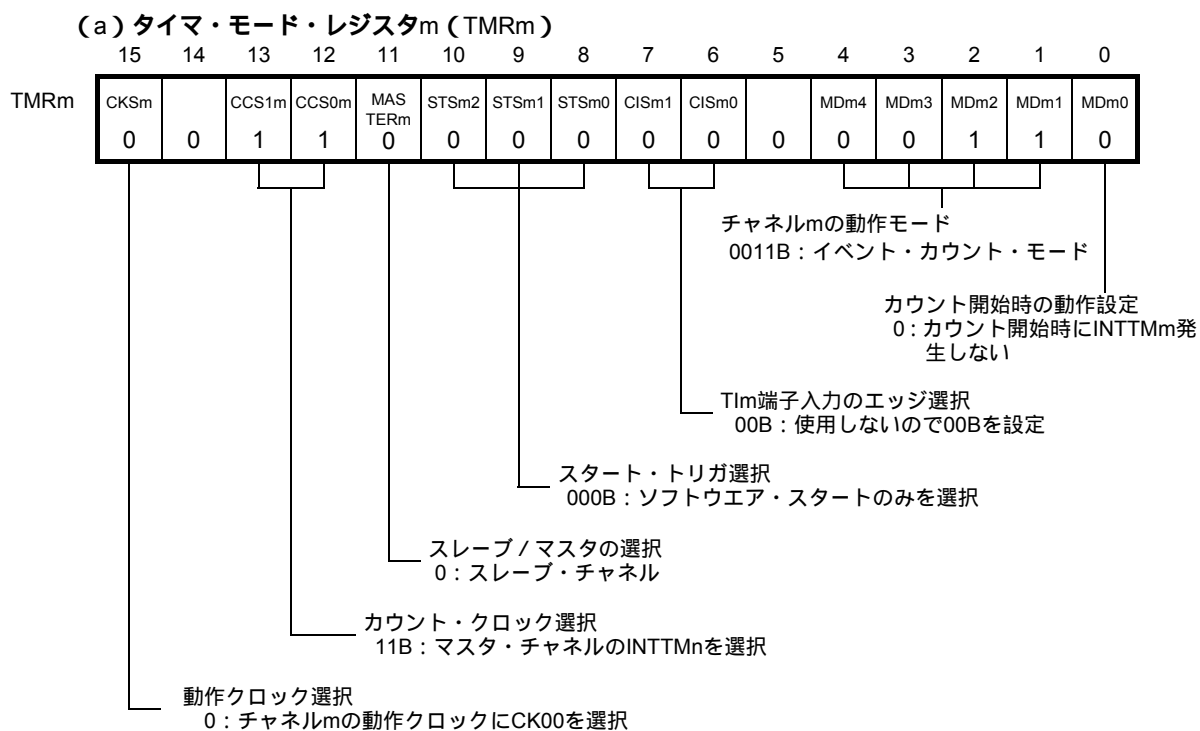
(b) その他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTO _n 出力動作停止 1 : カウント動作によるTO00出力動作許可
TO0 : TO _n ^注	0 : TO _n よりロウ・レベルを出力する 1 : TO00よりハイ・レベルを出力する
TOM0 : TOM _n	0 : マスタ・チャンネル出力モードを設定
TOT0 : TOT _n	0 : TOM _n = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL _n	0 : TOM _n = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE _n	0 : デッド・タイム制御停止
TRE0 : TRE _n	0 : リアルタイム出力停止
TRO0 : TRO _n	0 : TRE _n = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC _n	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME _n	0 : 変調出力停止

注 MD_n0 = 1のときTO_n = 0,
MD_n0 = 0のときTO_n = 1

備考 n = 00

図7 - 48 割り込み信号間引き機能時（スレーブ・チャンネル）のレジスタ設定内容例



(b) その他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTOM出力動作停止
TO0 : TOM	0 : TOMよりロウ・レベルを出力する
TOM0 : TOMm	0 : TOEm = 0 (カウント動作によるTOM動作停止) では0を設定
TOT0 : TOTm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	0 : リアルタイム出力停止
TRO0 : TROm	0 : TREm = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

備考 n = 00

m = 01

図7 - 49 割り込み信号間引き機能時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00, CK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する2チャンネルのTMRn, TMRmレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタにインターバル(周期)値, スレーブ・チャンネルのTDRmレジスタに間引き回数を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
動作 再開時	TOEnビット(マスタ・チャンネル)に1を設定する(動作再開時のみ) TSn(マスタ), TSm(スレーブ)ビットに同時に1を設定する TSn, TSmビットはトリガ・ビットなので, 自動的に0に戻る	TEn = 1, TEm = 1となる マスタ・チャンネルはカウント・クロック入力でTCRnにTDRnの値をロードする。TMRnレジスタのMDn0ビットが1の場合は, INTTMnを発生し, TOnもトグル動作する。 スレーブ・チャンネルは, TCRmにTDRmの値をロードし, マスタ・チャンネルのINTTMn出力検出待ち状態になる。
	TDRn, TDRmレジスタは, 任意に設定変更可能 TCRn, TCRmレジスタは, 常に読み出し可能	マスタ・チャンネルのカウンタ(TCRn)はダウン・カウント動作を行い, TCRn = 0000Hまでカウントしたら再びTCRnはTDRnの値をロードし, カウント動作を継続する。TCRn = 0000H検出でINTTMnを発生し, TOnはトグル動作する。 スレーブ・チャンネルのカウンタ(TCRm)は, マスタ・チャンネルのINTTMn信号を検出するごとにダウン・カウント動作を行う。TCRm = 0000Hまでカウントしたら再びTCRmはTDRmの値をロードし, カウント動作を継続する。TCRm = 0000H検出でINTTMnを発生する。
動作 停止	TTn(マスタ), TTm(スレーブ)ビットに同時に1を設定する TTn, TTmビットはトリガ・ビットなので, 自動的に0に戻る	TEn, TEm = 0になり, カウント動作停止 TCRn, TCRmはカウント値を保持して停止
TAUS 停止	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TOn, TOmビットが0になり, TOn, TOm端子はポート機能となる)

動作再開時

7.5.8 A/D変換トリガ出力機能（タイプ1）としての動作

2チャンネルをセットで使用し、A/D変換トリガを出力する機能です。

A/D変換トリガ信号をスレーブ・チャンネルより出力します。

スレーブ・チャンネルを複数チャンネル使用することで、A/D変換トリガの出力本数を追加することが可能です。

A/D変換トリガ出力機能は、マスタ・チャンネルを「7.5.3 6相PWM出力機能としての動作」のサブ機能として使用することを想定しています。したがって、マスタ・チャンネルは「7.5.3 6相PWM出力機能としての動作」と同じ設定になります。A/D変換トリガ・パルスの発生周期は、次の式で求めることができます。

$$\begin{aligned} & \text{A/D変換トリガ・パルス発生周期 (キャリア周期開始からINTTMn検出までの間隔)} \\ & = \{ \text{TDRm (スレーブ) の設定値} + 1 \} \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

マスタ・チャンネルのTCRnは、インターバル・タイマ・モードで動作して、周期をカウントします。

スレーブ・チャンネルのTCRmは、ワンカウント・モードで動作して、デューティをカウントします。TCRmは、マスタ・チャンネルのINTTMnをスタート・トリガとして、TDRmの値をロードし、ダウン・カウントを行います。TCRm = 0000Hとなったら、INTTMmを出力し、次のスタート・トリガ（マスタ・チャンネルのINTTMn）が入力されるまでカウントを停止します。

マスタ・チャンネルとスレーブ・チャンネルのTDRn, TDRmは、次の周期（マスタ・チャンネルのINTTMn発生）から有効となります。

- 注意1.** TEn = 1, TEm = 1期間中, TSn, TSmへの“1”設定(強制再スタート)は使用できません。TEn = 1, TEm = 1期間中にTSn, TSmを“1”に設定すると、カウンタ値 (TCRn, TCRm) が不正となります。
2. A/D変換トリガ出力機能（タイプ1）使用時は、ATS1, ATS0 = 0, 1に設定してください。

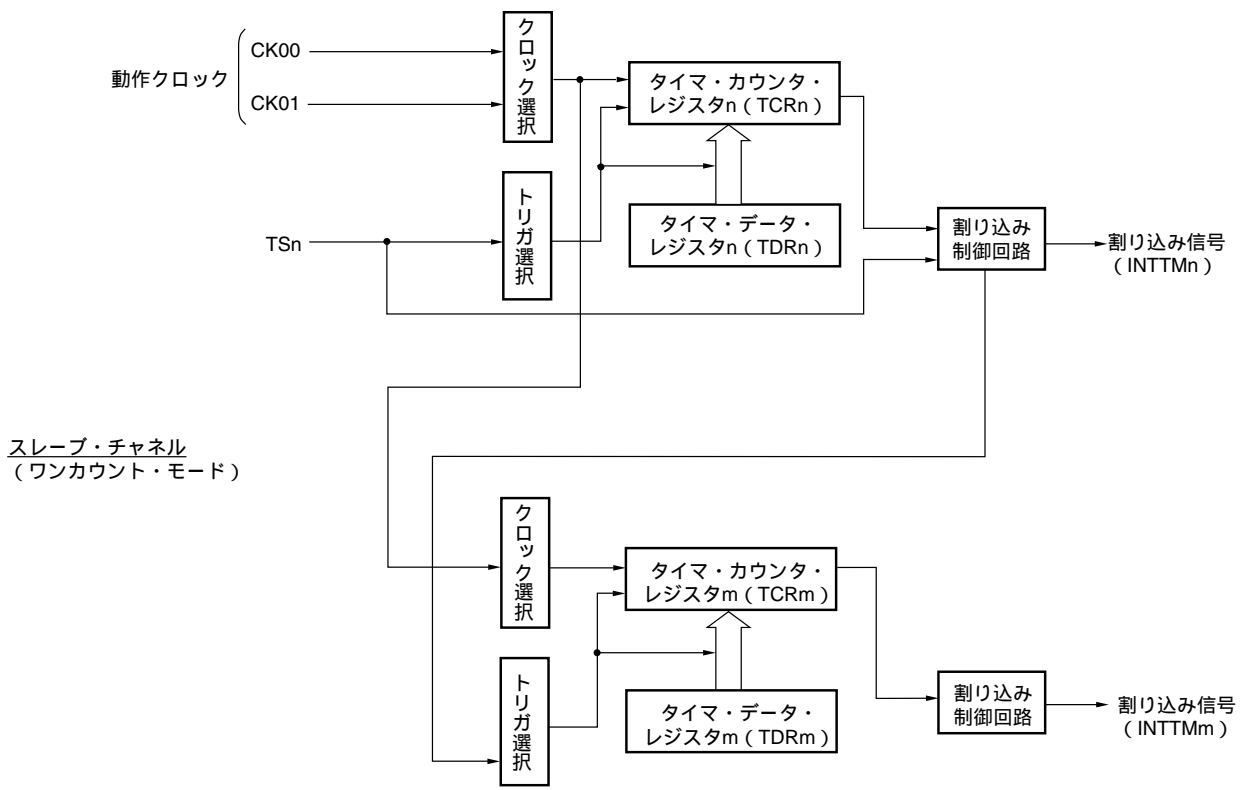
備考1. OPM = 0の場合 : n = 00, m = 08, 09

OPM = 1の場合 : n = 00, 04, m = 01, 05

2. OPM : TAUオプション・モード・レジスタ (OPMR) のビット15
3. ATS1, ATS0 : TAUオプション・モード・レジスタ (OPMR) のビット9, 8

図7 - 50 A/D変換トリガ出力機能（タイプ1）としての動作のブロック図

マスタ・チャンネル
（インターバル・タイマ・モード）

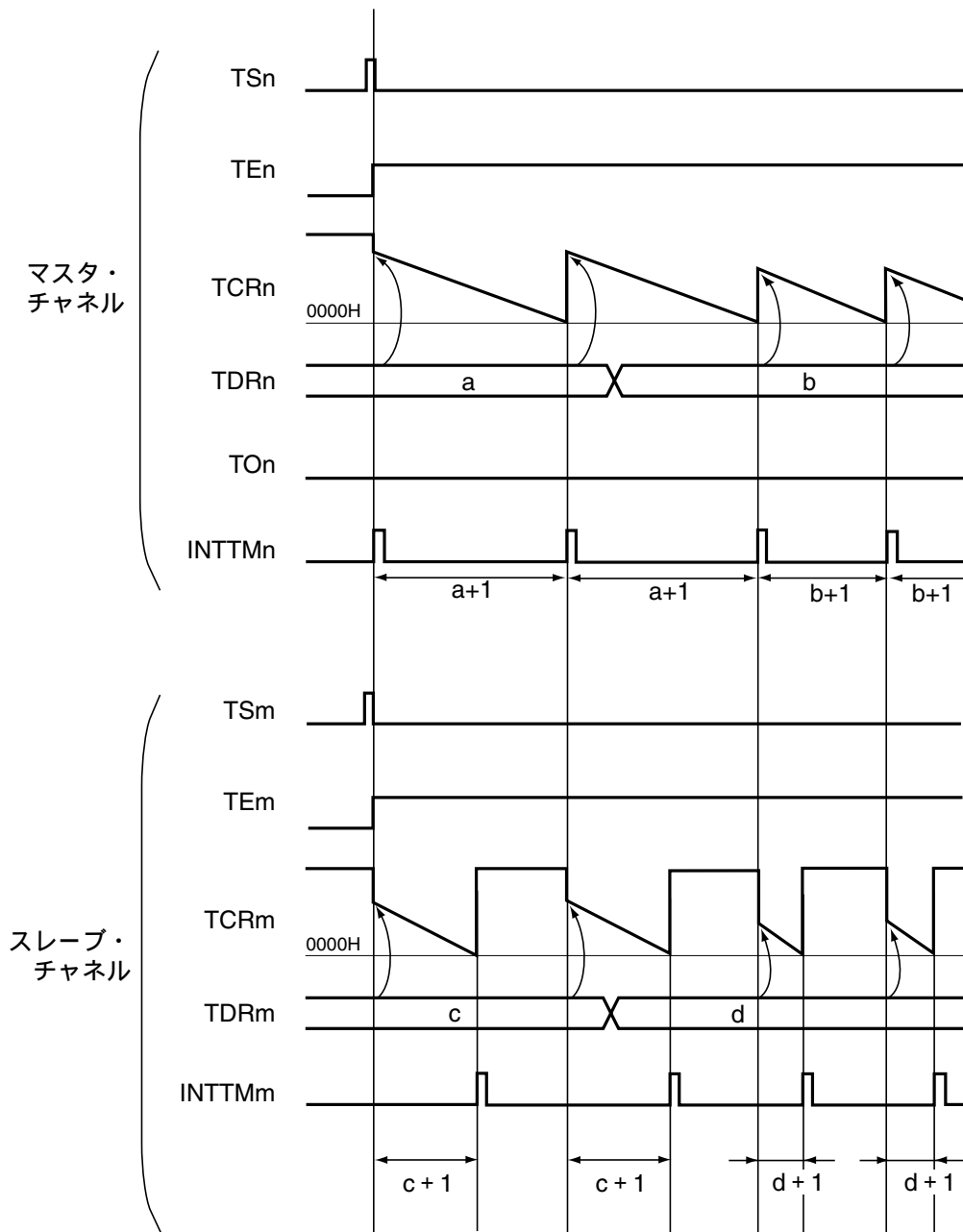


備考1. OPM = 0の場合 : n = 00, m = 08, 09

OPM = 1の場合 : n = 00, 04, m = 01, 05

2. OPM : TAUオプション・モード・レジスタ (OPMR) のビット15

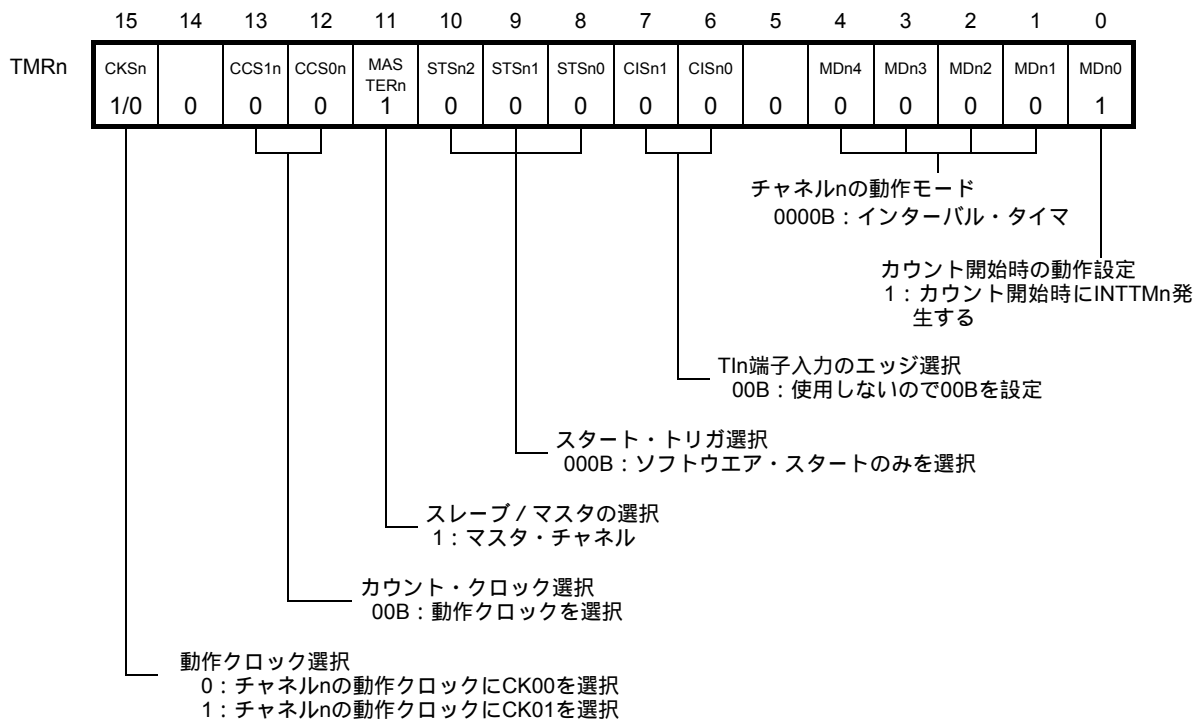
図7-51 A/D変換トリガ出力機能(タイプ1)としての動作の基本タイミング例



- 備考1. OPM = 0の場合 : $n = 00, m = 08, 09$
 OPM = 1の場合 : $n = 00, 04, m = 01, 05$
2. OPM : TAUオプション・モード・レジスタ(OPMR)のビット15

図7 - 52 A/D変換トリガ出力機能 (タイプ1) (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ_n (TMR_n)

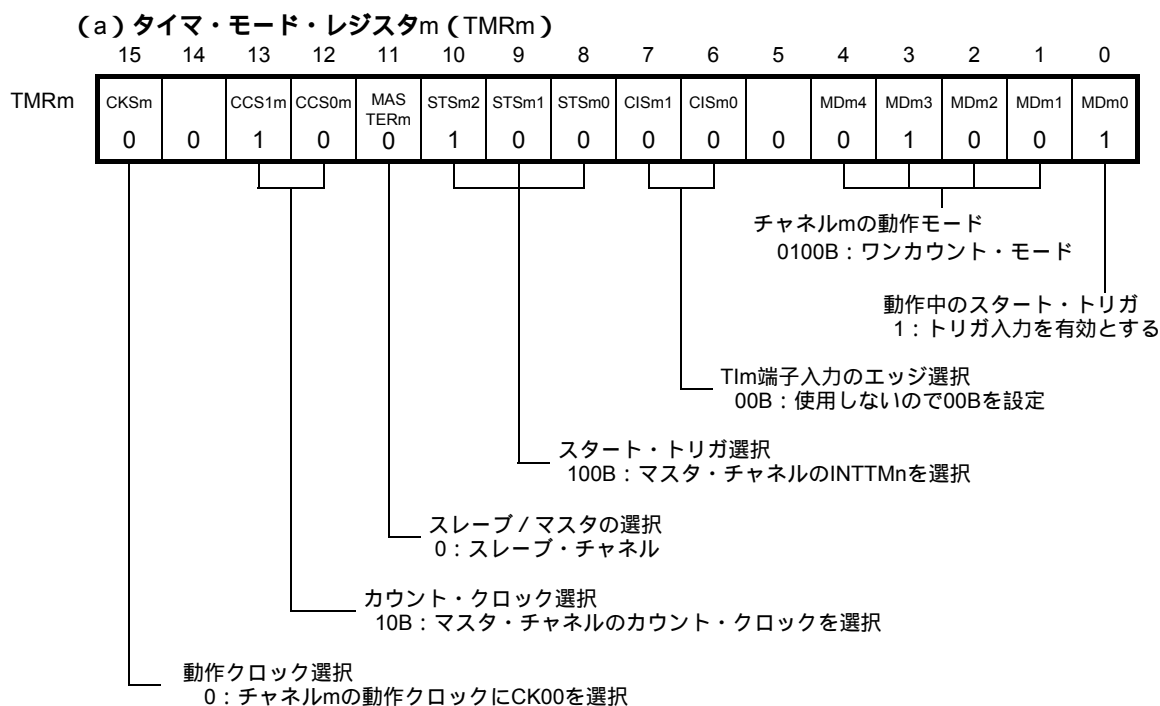


(b) その他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : TOEn = 0 (カウント動作によるTOn出力動作停止) では0を設定
TOT0 : TOTn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止
TRO0 : TROn	0 : TREn = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCn	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEn	0 : 変調出力停止

備考 n = 00, 04

図7 - 53 A/D変換トリガ出力機能（タイプ1）（スレーブ・チャンネル）のレジスタ設定内容例



(b) その他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTOM出力動作停止
TO0 : TOM	0 : TOMよりロウ・レベルを出力する
TOM0 : TOMm	0 : TOEm = 0 (カウント動作によるTOM出力動作停止) では0を設定
TOT0 : TOTm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	0 : リアルタイム出力停止
TRO0 : TROm	0 : TREm = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

- 備考1. OPM = 0の場合 : n = 00, m = 08, 09
 OPM = 1の場合 : n = 00, 04, m = 01, 05
2. OPM : TAUオプション・モード・レジスタ (OPMR) のビット15

図7 - 54 A/D変換トリガ出力機能（タイプ1）時の操作手順

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00, CK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する2チャンネルのTMRn, TMRmレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタにインターバル(周期)値, スレーブ・チャンネルのTDRmレジスタにデューティ値を設定する	チャンネルは動作状態 (クロック供給はされており, 多少の電力を消費する)
動作 再開時	動作 開始	TS0レジスタのTSn(マスタ), TSm(スレーブ)ビットに同時に1を設定する TSn, TSmビットはトリガ・ビットなので, 自動的に0に戻る
	動作 中	TDRn, TDRmレジスタは, マスタ・チャンネルのINTTMn発生後に設定値変更可能 TCRn, TCRmレジスタは, 常に読み出し可能
	動作 停止	TTn(マスタ), TTm(スレーブ)ビットに同時に1を設定する TTn, TTmビットはトリガ・ビットなので, 自動的に0に戻る
TAUS 停止	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される

- 備考1. OPM = 0の場合 : n = 00, m = 08, 09
 OPM = 1の場合 : n = 00, 04, m = 01, 05
2. OPM : TAUオプション・モード・レジスタ(OPMR)のビット15

7.5.9 A/D変換トリガ出力機能（タイプ2）としての動作

2チャンネルをセットで使用し、A/D変換トリガを出力する機能です。

A/D変換トリガ信号をスレーブ・チャンネルより出力します。

スレーブ・チャンネルを複数チャンネル使用することで、A/D変換トリガの出力本数を追加することが可能です。

A/D変換トリガ出力機能は、スレーブ・チャンネルを「7.5.6 6相三角波PWM出力機能としての動作」のサブ機能として使用することを想定しています。したがって、マスタ・チャンネルは「7.5.6 6相三角波PWM出力機能としての動作」と同じ設定になります。A/D変換トリガ・パルスの発生周期は、次の式で求めることができます。

A/D変換トリガ・パルス発生周期（キャリア周期開始からダウン・ステータス中のINTTMn検出までの間隔） = { TDRm（スレーブ）の設定値 + 1 } × カウント・クロック周期

TDRm（スレーブ）の設定範囲：0000H < TDRm（スレーブ） < { TDRn（マスタ）の設定値 + 1 }
 ダウン・ステータス中のINTTMm検出からアップ・ステータス中のINTTMm検出までの間隔
 = { { TDRn（マスタ）の設定値 + 1 } - { TDRm（スレーブ）の設定値 } } × 2 ×
 カウント・クロック周期

マスタ・チャンネルのTCRnは、インターバル・タイマ・モードで動作して、周期をカウントします。

チャンネル・スタート・トリガ・ビット（TSn）に1を設定することによりTCRnはTDRnの値をロードします。その後、TCRnはカウント・クロックに合わせてダウン・カウントを行います。TCRn = 0000Hとなったら、次のカウント・クロックでINTTMnを出力しTONをトグルします。また、同タイミングで再びTCRnは、TDRnの値をロードします。以降、同様の動作を継続します。

マスタ・チャンネルのカウント2周期で、キャリア周期を生成します。

マスタ・チャンネルの1周期目をスレーブ・チャンネルではダウン・ステータス、2周期目をスレーブ・チャンネルではアップ・ステータスと定義し、スレーブ・チャンネルのカウント動作を制御します。

マスタ・チャンネルのTONは、アップ・ダウン・ステータスを出力します。

アップ・ダウン・ステータス出力のため、TOE0レジスタのTOEn = 0の状態ではTO0レジスタのTONを操作し、初期レベルを設定する必要があります。

TMR0レジスタのMDn0 = 0ならばTO0レジスタのTONを1に、MDn0 = 1ならばTONを0に設定します。

初期レベルを設定することでTONから、ダウン・ステータス中はハイ・レベル、アップ・ステータス中はロウ・レベルを出力します。

スレーブ・チャンネルのTCRmは、アップ・ダウン・カウント・モードで動作して、デューティをカウントします。チャンネル・スタート・トリガ・ビット（TSm）に1を設定後、最初のカウント・クロックでTCRmはTDRmの値をロードします。以降、マスタ・チャンネルの動作に従いダウン・カウント、アップ・カウントを切り替えて動作します。TCRm = 0001Hとなったら、INTTMmを出力します。

マスタ・チャンネルのアップ・ステータスでのINTTMn発生により、再びTCRmはTDRmの値をロードします。以降、同様の動作を継続します。

備考1. OPM = 0の場合：n = 00, m = 08, 09

OPM = 1の場合：n = 00, 04, m = 01, 05

2. OPM：TAUオプション・モード・レジスタ（OPMR）のビット15

注意1. マスタ・チャンネルのTDRnを書き換える場合は、スレーブ・チャンネルのアップ・ステータス期間中に書き換えてください(カウント・ステータスはスレーブ・チャンネルのCSF (TSRmレジスタ) または、マスタ・チャンネルのTOn出力レベルにより判断します)。書き換えたマスタ・チャンネルのTDRnの値は、次の周期で有効となるため、ダウン・ステータス期間中に書き換えると、ダウン・ステータスとアップ・ステータスの周期期間が異なり、期待通りの波形を出力できません。

2. TEn = 1, TEm = 1期間中, TSn, TSmへの“1”設定(強制再スタート)は使用できません。TEn = 1, TEm = 1期間中にTSn, TSmを“1”に設定すると、カウンタ値(TCRn, TCRm)が不正となります。

スレーブ・チャンネルのTDRmは、次のキャリア周期(アップ・ダウン・トリガ検出)から有効となります。

また、A/D変換トリガ信号の発生タイミングは、OPMRレジスタのATS0-ATS3ビットにより次のように設定することができます。

- ・ マスタ・チャンネルのアップ・ステータス期間中の一致割り込み
- ・ マスタ・チャンネルのダウン・ステータス期間中の一致割り込み
- ・ マスタ・チャンネルのアップ/ダウン・ステータス期間中の一致割り込み
- ・ マスタ・チャンネルのアップ/ダウン・ステータス期間中の一致割り込みと谷割り込み

詳細は、「7.3(19)TAUオプション・モード・レジスタ(OPMR)」を参照してください。

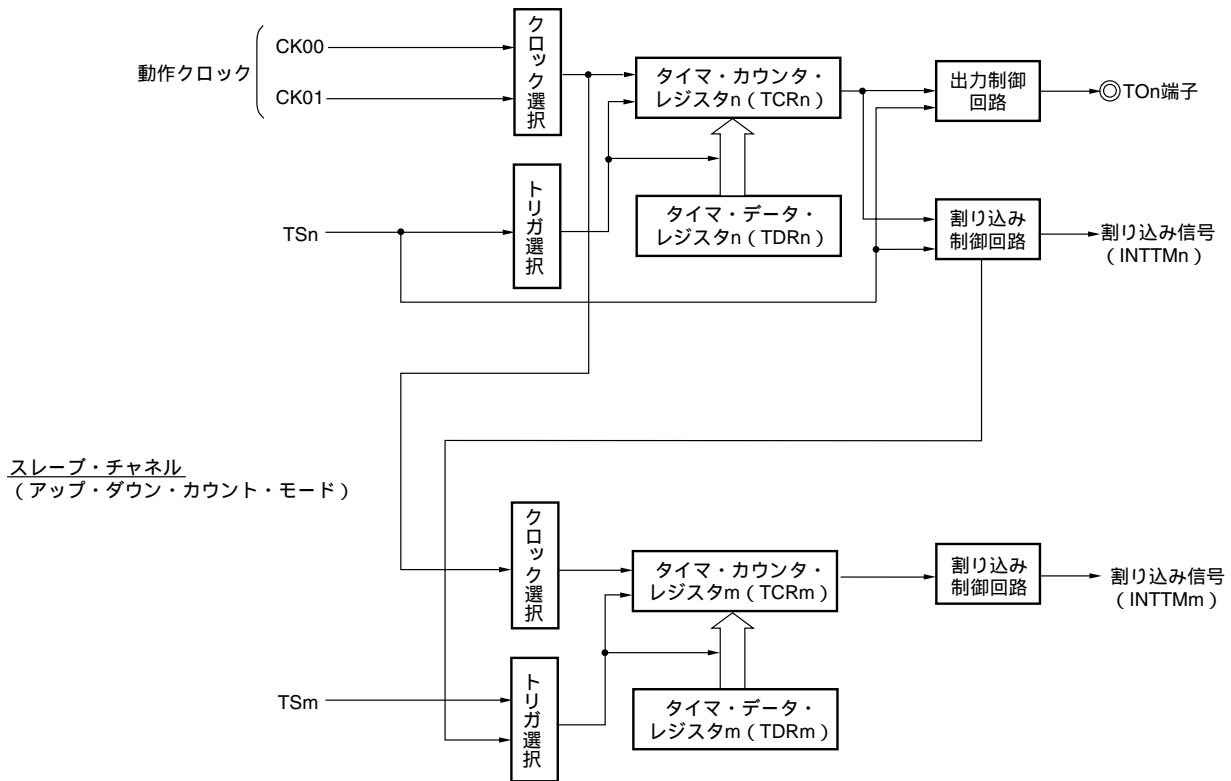
備考1. OPM = 0の場合 : n = 00, m = 08, 09

OPM = 1の場合 : n = 00, 04, m = 01, 05

2. OPM : TAUオプション・モード・レジスタ(OPMR)のビット15

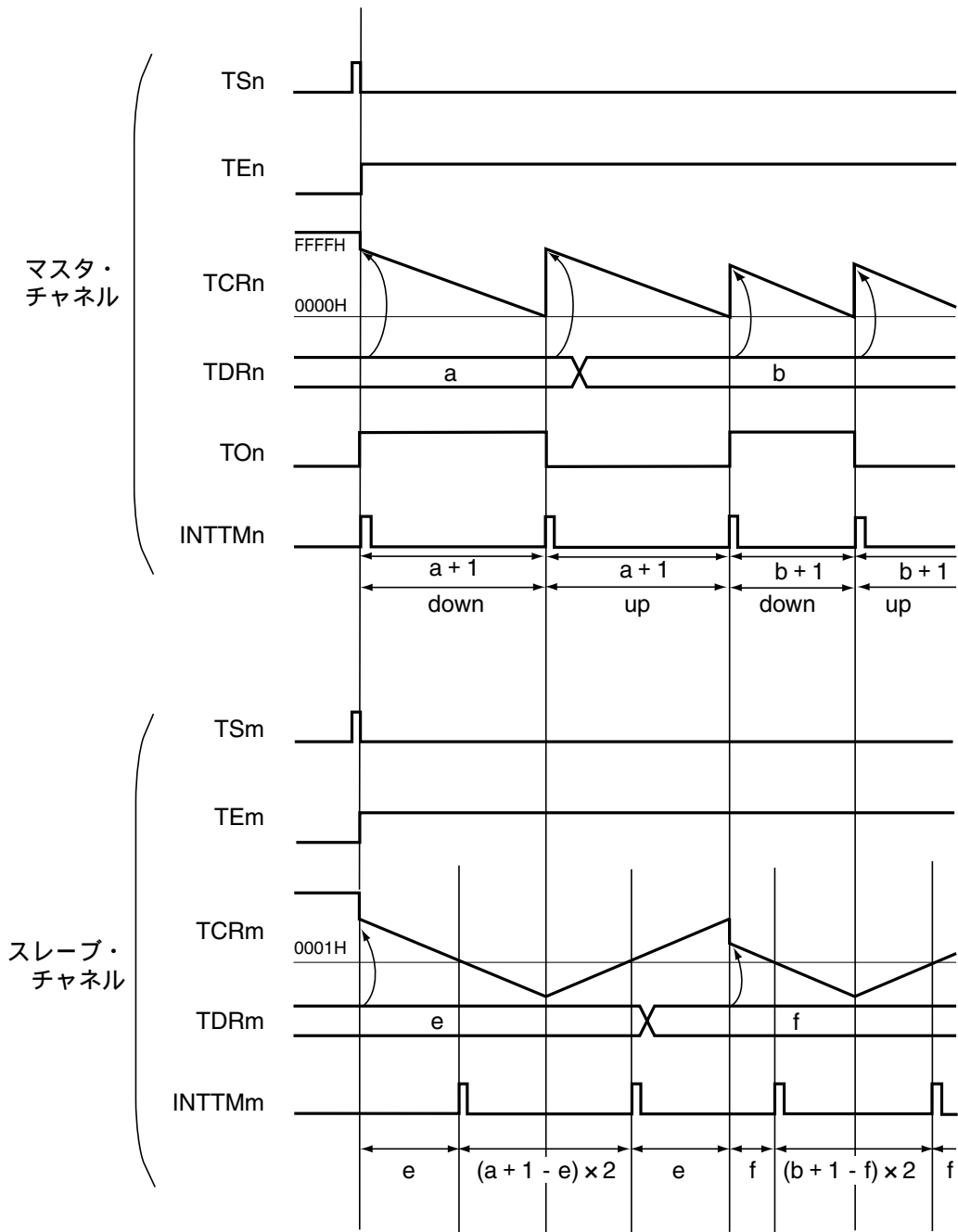
図7 - 55 A/D変換トリガ出力機能 (タイプ2) としての動作のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)



- 備考1. OPM = 0の場合 : n = 00, m = 08, 09
 OPM = 1の場合 : n = 00, 04, m = 01, 05
2. OPM : TAUオプション・モード・レジスタ (OPMR) のビット15

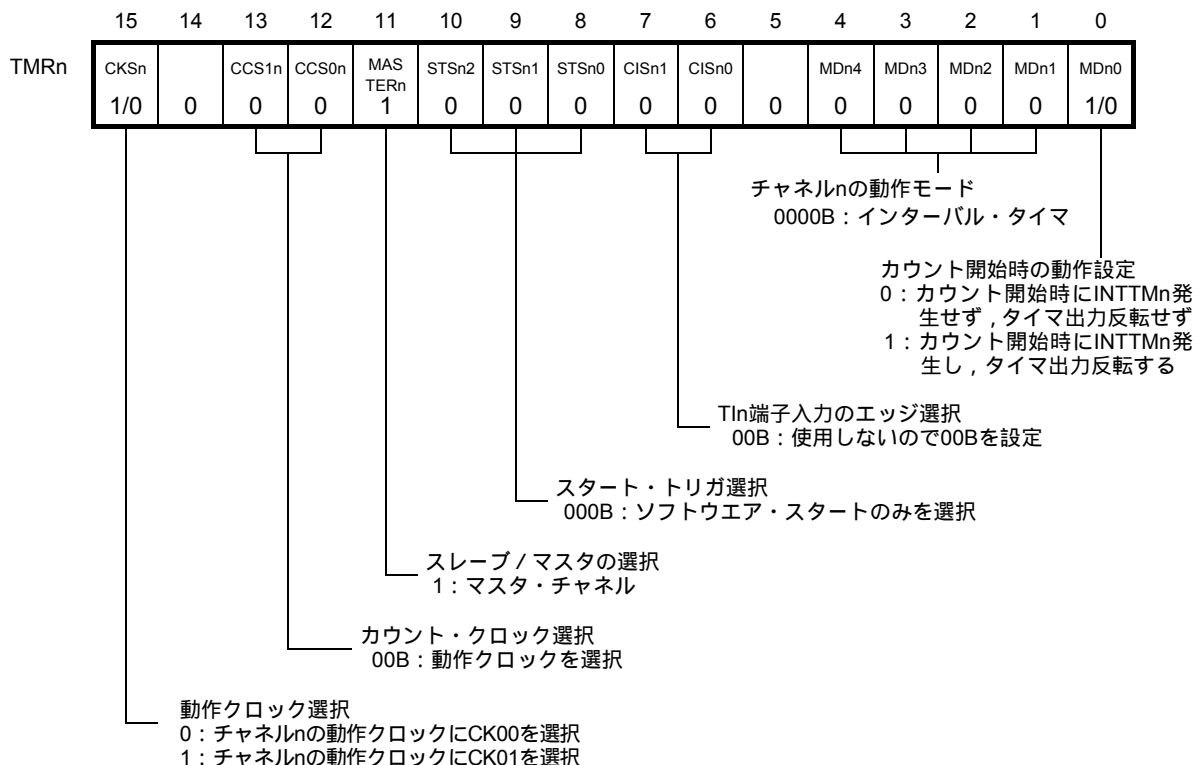
図7 - 56 A/D変換トリガ出力機能（タイプ2）としての動作の基本タイミング例（初期設定：TON = 0, MDn0 = 1）



- 備考1. OPM = 0の場合：n = 00, m = 08, 09
 OPM = 1の場合：n = 00, 04, m = 01, 05
2. OPM：TAUオプション・モード・レジスタ (OPMR) のビット15

図7 - 57 A/D変換トリガ出力機能 (タイプ2) (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタn (TMRn)



(b) その他のレジスタ

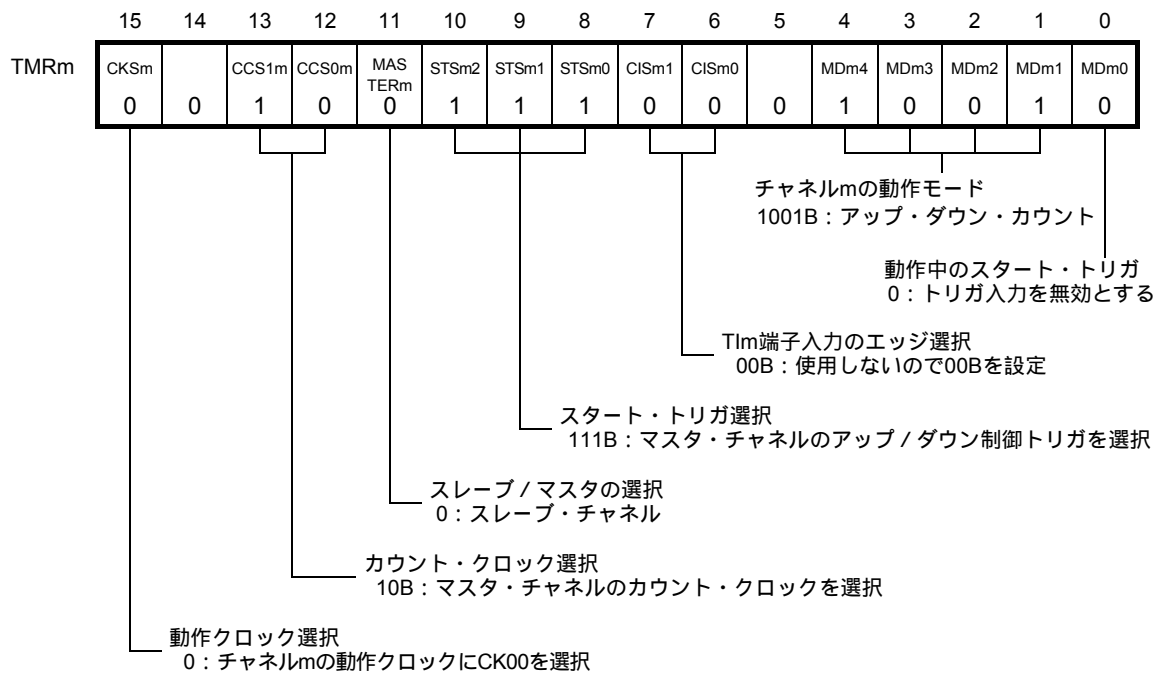
TOE0 : TOEn	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn ^注	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モードを設定
TOT0 : TOTn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止
TRO0 : TROn	0 : TREn = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCn	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEn	0 : 変調出力停止

注 MDn0 = 1のときTOn = 0,
MDn0 = 0のときTOn = 1

備考 n = 00, 04

図7 - 58 A/D変換トリガ出力機能（タイプ2）（スレーブ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ_m (TMR_m)



(b) その他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTOM出力動作停止
TO0 : TOm	0 : TOMよりロウ・レベルを出力する
TOM0 : TOMm	0 : TOEm = 0 (カウント動作によるTOn出力動作停止) では0を設定
TOT0 : TOTm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	0 : リアルタイム出力停止
TRO0 : TROm	0 : TREm = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

- 備考1. OPM = 0の場合 : n = 00, m = 08, 09
 OPM = 1の場合 : n = 00, 04, m = 01, 05
2. OPM : TAUオプション・モード・レジスタ (OPMR) のビット15

図7 - 59 A/D変換トリガ出力機能 (タイプ2) 時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00, CK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用するチャンネルのTMRn, TMRmレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDRnレジスタにインターバル(周期)値, スレーブ・チャンネルのTDRmレジスタに割り込み幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する) TOn端子はHi-Z出力状態
	マスタ・チャンネルの設定 TOM0レジスタのTOMnビットに0(マスタ・チャンネル出力モード)を設定する。 TDE0レジスタのTDEnビットを0に設定する(デッド・タイム制御許可)。	
	TOnビットを設定し, TOnビットの初期レベルを確定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOn初期設定レベルが出力される。
	TOEnビットに1を設定し, TOnの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態なので, TOnは変化しない TOn端子はTOn設定レベルを出力
動作 開始	TOEn(マスタ)ビットに1を設定する(動作再開時のみ) TS0レジスタのTSn(マスタ), TSm(スレーブ)ビットに同時に1を設定する TSn, TSmビットはトリガ・ビットなので, 自動的に0に戻る	TEn = 1, TEm = 1となる マスタ・チャンネル, スレーブ・チャンネルがカウント動作開始し, TMRnレジスタのMDn0ビットが1の場合はINTTMnを発生する。
動作 中	TDRn(マスタ)レジスタは, アップ・ステータス期間中の設定値変更が必要 TDRm(スレーブ)レジスタは, 任意に設定値変更可能 TCRn, TCRmレジスタは, 常に読み出し可能 TSRm(スレーブ)レジスタは, 常に読み出し可能	マスタ・チャンネルでは, TCRnはTDRnの値をロードし, ダウン・カウント動作を行う。TCRn = 0000HまでカウントしたらINTTMnを発生する。同時に, TCRnはTDRnの値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネルでは, TCRmはTDRmの値をロードし, マスタ・チャンネルの動作にしたがい, ダウン・カウント, アップ・カウントを切り替え動作する。TCRm = 0001H検出でINTTMnを発生しカウント動作を停止する。マスタ・チャンネルのアップ・ステータスでのINTTMn発生により, 再びTCRmはTDRmの値をロードし, カウント動作を継続する。

動作再開時(次ページより)

- 備考1. OPM = 0の場合 : n = 00, m = 08, 09
OPM = 1の場合 : n = 00, 04, m = 01, 05
2. OPM : TAUオプション・モード・レジスタ(OPMR)のビット15

図7 - 59 A/D変換トリガ出力機能（タイプ2）時の操作手順（2/2）

動作再開時（前ページへ）	ソフトウェア操作	ハードウェアの状態
動作 停止	TTn（マスタ）, TTm（スレーブ）ビットに同時に1を設定する → TTn, TTmビットはトリガ・ビットなので、自動的に0に戻る	TEn, TEm = 0になり、カウント動作停止 TCRn, TCRmはカウント値を保持して停止 TOn出力は初期化されず、状態保持
	TOEn（マスタ）ビットに0を設定し、TOnビットに値を設定する →	TOn端子はTOn設定レベルを出力
TAUS 停止	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する →	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TOnビットが0になり、TOn端子はポート状態となる)

- 備考1. OPM = 0の場合：n = 00, m = 08, 09
OPM = 1の場合：n = 00, 04, m = 01, 05
2. OPM：TAUオプション・モード・レジスタ（OPMR）のビット15

7.5.10 連動リアルタイム出力機能（タイプ1）としての動作

連動リアルタイム出力機能（タイプ1）では、マスタ・チャンネル0のINTTM00に対して、スレーブ・チャンネル1のINTTMnを遅延させる機能があります。この機能によって、スレーブ・チャンネル2~7（リアルタイム出力チャンネル）のTROmの値をマスタ・チャンネルのINTTM00から遅延させてTOmより出力することができます。

スレーブ・チャンネル1のTRCnを1に設定し、マスタ・チャンネルとの連動動作で発生したINTTMnがリアルタイム出力トリガとなります。スレーブ・チャンネル2~7のリアルタイム出力チャンネルは、リアルタイム出力トリガによりTROm設定値をTOmより出力します。

スレーブ・チャンネル1は、マスタ・チャンネルのINTTM00に対し遅延を付加してリアルタイム出力トリガを生成します。

マスタ・チャンネルのINTTM00に対する遅延値は、次の式で求めることができます。

$$\text{マスタ・チャンネルのINTTM00に対する遅延値} = (\text{TDRn (スレーブ1) の設定値} + 1) \times \text{カウン} \\ \text{ト・クロック周期}$$

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。

チャンネル・スタート・トリガ・ビット（TS00）に1を設定後、最初のカウン・クロックでTCR00はTDR00の値をロードします。このときTMR00のMD000 = 1によりINTTM00を出力します。

その後、TCR00はカウン・クロックに合わせてダウン・カウントを行います。

TCR00 = 0000Hとなったら、次のカウン・クロックでINTTM00を出力します。また、同タイミングで再びTCR00はTDR00の値をロードします。以降、同様の動作を続けます。

スレーブ・チャンネル1のTCRnはワンカウント・モードで動作し、リアルタイム出力トリガを生成します。TCRnは、マスタ・チャンネルのINTTM00をスタート・トリガとして、TCRnにTDRnの値をロードし、ダウン・カウントを行います。TCRn = 0000Hとなったら、INTTMnを出力し、次のスタート・トリガ（マスタ・チャンネルのINTTM00）が入力されるまでカウントを停止します。このスレーブ・チャンネル1のINTTMn出力タイミングで、TROn, TROmの設定値をTOm, TOmより出力します。

スレーブ・チャンネル1（TRCn = 1）の下位チャンネル（スレーブ・チャンネル2~7）のTOmは、TREmビット、TRCmビットにより制御されます。

下位チャンネル（TRCm = 0）がTREm = 1の場合、そのチャンネルはリアルタイム出力チャンネルとして動作し、TOmはスレーブ・チャンネル1のINTTMn出力タイミングでTROmの設定値を出力します。下位チャンネルがTREm = 0またはTRCm = 1の場合、TOmは、スレーブ・チャンネル1のINTTMn出力タイミングでTROmの設定値を出力しません。

この機能を使用する場合、下位チャンネルのTCRm, TDRm, INTTMmは他の機能として動作させることができます。

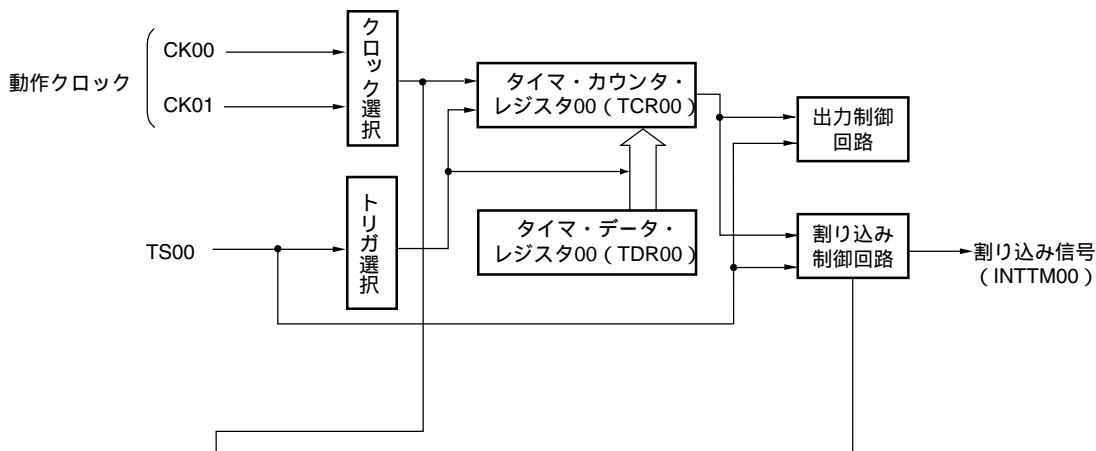
マスタ・チャンネルとスレーブ・チャンネル1のTDR00, TDRnは、次の周期（マスタ・チャンネルのINTTM00発生）から有効となります。

注意 TE00 = 1, TEn = 1期間中, TS00, TSnへの“1”設定（強制再スタート）は使用できません。TE00 = 1, TEn = 1期間中にTS00, TSnを“1”に設定すると、カウンタ値（TCR00, TCRn）が不正となりTOmは期待波形を出力できません。

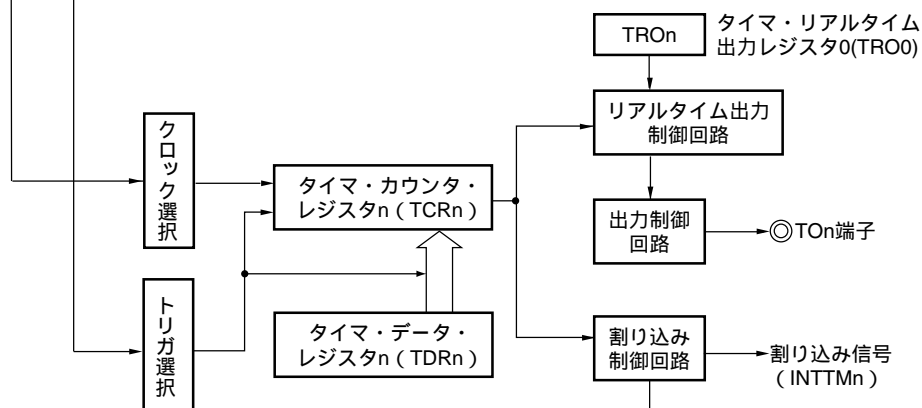
備考 n = 01, m = 02-07

図7 - 60 連動リアルタイム出力機能 (タイプ1) 時のブロック図

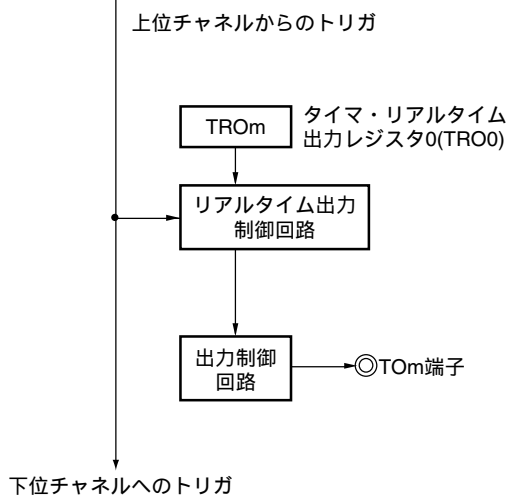
マスタ・チャンネル
(インターバル・タイマ・モード)



スレーブ・チャンネル1
TRCn = 1
(ワンカウント・モード)

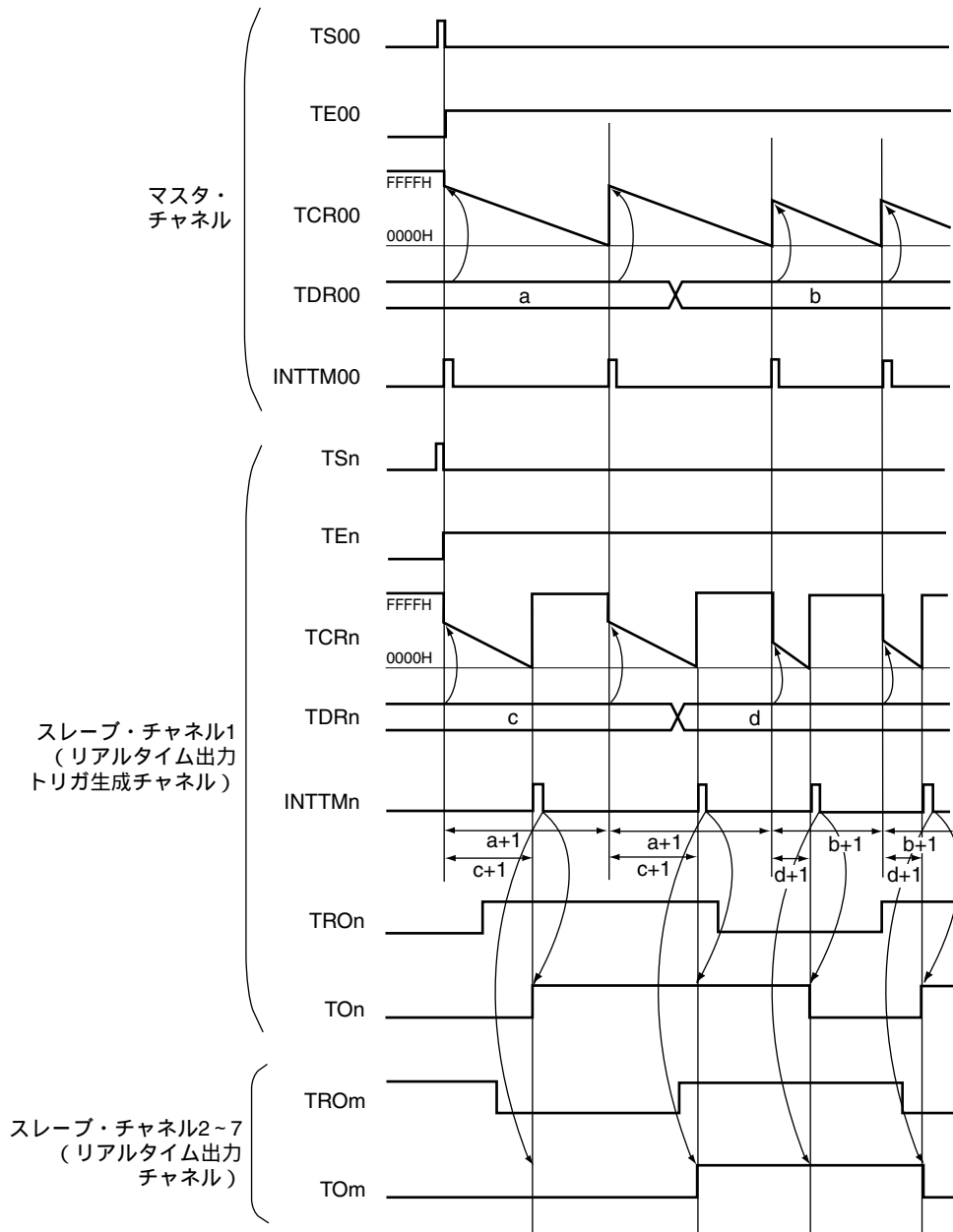


スレーブ・チャンネル2~7
TRCm = 0
(任意のモード)



備考 n = 01
m = 02-07

図7 - 61 連動リアルタイム出力機能 (タイプ1) 時の基本タイミング例 (初期設定 : $TON, TOM = 0$)

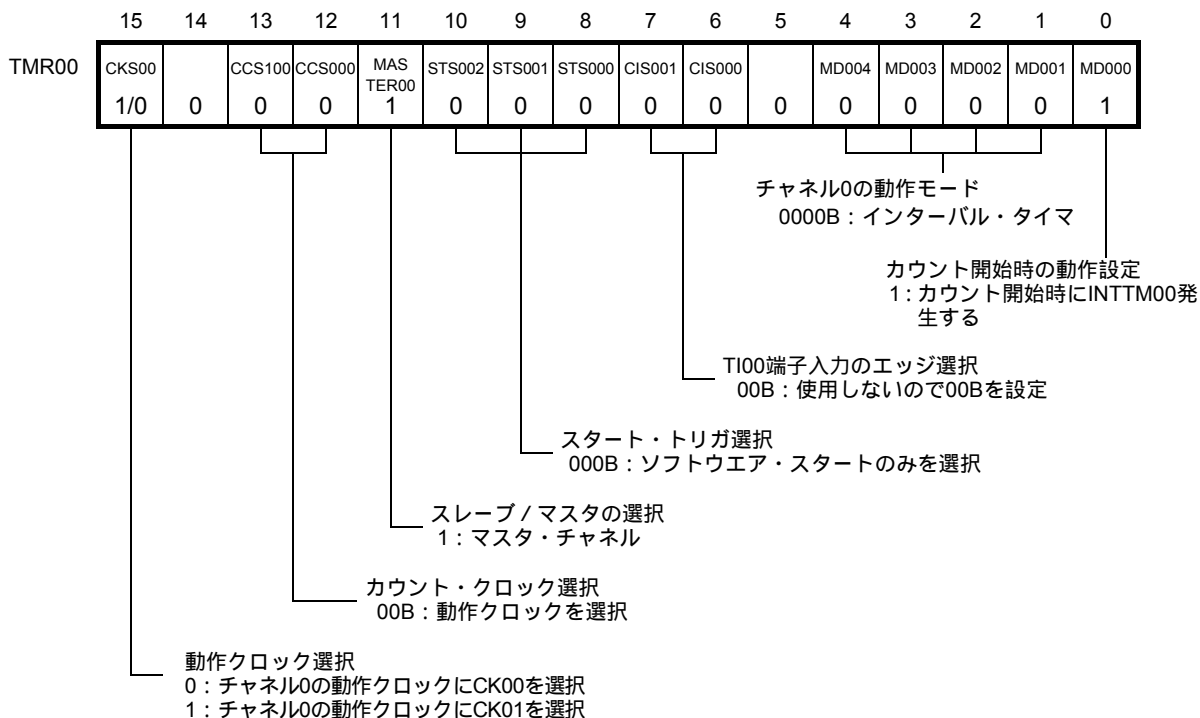


備考 $n = 01$

$m = 02-07$

図7 - 62 連動リアルタイム出力機能 (タイプ1) 時 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)

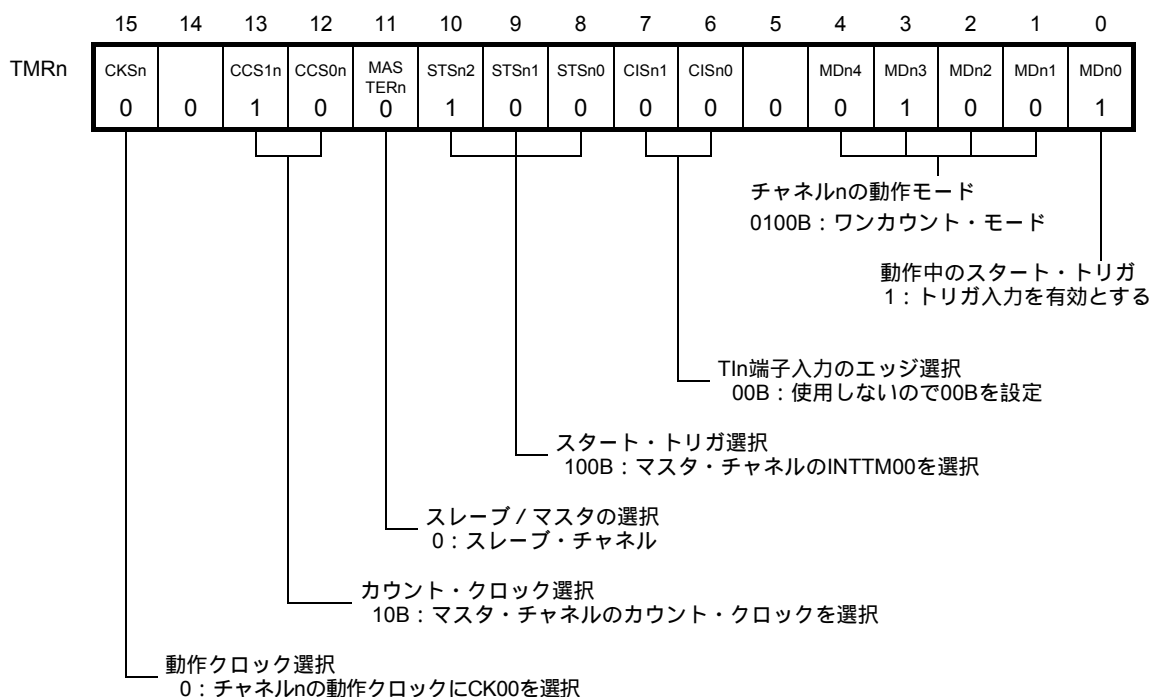


(b) その他のレジスタ

TOE0 : TOE00	0 : カウント動作によるTO00出力動作停止
TO0 : TO00	0 : TO00よりロウ・レベルを出力する
TOM0 : TOM00	0 : TOE00 = 0 (カウント動作によるTO00出力動作停止) では0を設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

図7 - 63 連動リアルタイム出力機能 (タイプ1) 時 (スレーブ・チャンネル1) のレジスタ設定内容例

(a) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRCn = 1) のタイマ・モード・レジスタn (TMRn)



(b) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRCn = 1) のその他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モード
TOT0 : TOTn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止 1 : リアルタイム出力可能
TRO0 : TROn	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCn	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TMEn	0 : 変調出力停止

備考 n = 01

図7 - 64 連動リアルタイム出力機能 (タイプ1) 時 (スレーブ・チャンネル2~7) のレジスタ設定内容例

(a) スレーブ・チャンネル2~7 (リアルタイム出力チャンネル) (TRCm = 0) のタイマ・モード・レジスタm (TMRm)

連動リアルタイム出力機能 (タイプ1) では, TRCm = 0設定時のチャンネルのTMRmは任意に設定可能です。

(b) スレーブ・チャンネル2~7 (リアルタイム出力チャンネル) (TRCm = 0) のその他のレジスタ

TOE0 : TOEm	0 : リアルタイム出力動作によるTOm出力動作停止 1 : リアルタイム出力動作によるTOm出力動作許可
TO0 : TOm	0 : TOmよりロウ・レベルを出力する 1 : TOmよりハイ・レベルを出力する
TOM0 : TOMm	0 : TREm = 1 (リアルタイム出力許可) では0を設定
TOT0 : TOTm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROm	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

備考 m = 02-07

図7 - 65 連動リアルタイム出力機能（タイプ1）時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのTMR00, TMRnレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタ, スレーブ・チャンネル1のTDRnレジスタにインターバル(周期)値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	【リアルタイム出力トリガ生成チャンネル(スレーブ1)】 TRCnビットを1(トリガ生成チャンネル)に設定する TRENビットを1(リアルタイム出力許可)に設定する 【リアルタイム出力チャンネル(スレーブ2~7)】 TRCmビットを0(トリガ生成しないチャンネル)に設定する TREMビットを1(リアルタイム出力許可)に設定する TOEn, TOEmビットに1を設定しTON, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TON, TOM端子はHi-Z出力状態 チャンネルは動作停止状態なので, TON, TOMは変化しない TON, TOM端子はTON, TOM設定レベルを出力
動作 開始	TOEn(スレーブ1), TOEm(スレーブ2~7)に1を設定する(動作再開時のみ) TS0レジスタのTS00(マスタ), TSn(スレーブ1)ビットに同時に1を設定する TS00, TSnビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TEn = 1となる マスタ・チャンネルがカウント動作開始し, INTTM00を発生する。それをトリガとしてスレーブ・チャンネル1もカウント動作開始する。
動作 中	TDR00, TDRnレジスタは, 任意に設定値変更可能 TCR00, TCRnレジスタは, 常に読み出し可能 TROM, TROMビットは, 任意に設定値変更可能	マスタ・チャンネルでは, TCR00はTDR00の値をロードし, ダウン・カウント動作を行う。TCR00 = 0000HまでカウントしたらINTTM00を発生する。同時に, TCR00はTDR00の値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル1では, マスタ・チャンネルのINTTM00信号をトリガとして, TDRnレジスタ値をTCRnに転送し, カウンタはダウン・カウントを開始する。そして0000HまでカウントしたらINTTMnを出力し, カウント動作を停止する。以降, この動作を繰り返す。INTTMn出力タイミングで, スレーブ・チャンネル2~7(リアルタイム出力チャンネル)のTROM設定値をTOMより出力する。

動作再開時(次ページより)

備考 n = 01

m = 02-07

図7 - 65 連動リアルタイム出力機能 (タイプ1) 時の操作手順 (2/2)

動作再開時 (前ページへ)	ソフトウェア操作	ハードウェアの状態
動作停止	TT00 (マスタ), TTn (スレーブ1) ビットに同時に1を設定する TT00, TTnビットはトリガ・ビットなので、自動的に0に戻る	TE00, TE _n = 0になり, カウント動作停止 TCR00, TCR _n はカウント値を保持して停止 TON, TOM出力は初期化されず, 状態保持して停止
	TOEn, TOEmビットに0を設定し, TOn, TOMビットに値を設定する	TON, TOM端子はTON, TOM設定レベルを出力
TAUS停止	TON, TOM端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TOn, TOMビットに0を設定する	TON, TOM端子出力レベルはポート機能により保持される。
	TON, TOM端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TON, TOM端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TON, TOMビットが0になり, TON, TOM端子はポート機能となる)

備考 n = 01
m = 02-07

7.5.11 連動リアルタイム出力機能（タイプ2）としての動作

連動リアルタイム出力機能（タイプ2）は、マスタ・チャンネル0のINTTM00を指定回数間引いた信号を、スレーブ・チャンネル1のINTTMnとして出力させる機能があります。この機能によって、スレーブ・チャンネル2~7（リアルタイム出力チャンネル）のTROmの値を、INTTMn（マスタ・チャンネルのINTTM00を指定回数間引いた信号）に同期してTOmより出力することができます。

スレーブ・チャンネル1のTRCnを1に設定し、マスタ・チャンネルのINTTM00を指定回数間引いたINTTMnがリアルタイム出力トリガとなります。スレーブ・チャンネル2~7のリアルタイム出力チャンネルは、リアルタイム出力トリガによりTROm設定値をTOmより出力します。

割り込み間引き数は、次の式で求めることができます。

$$\begin{aligned} \text{割り込み間引き数} &= \text{TDRn (スレーブ・チャンネル1) の設定値} \\ &\quad \text{マスタ・チャンネルのINTTM00を} \{ \text{TDRn (スレーブ1) の設定値} + 1 \} \text{ 回に1回スレーブ・チャンネルのINTTMnより出力} \end{aligned}$$

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。

チャンネル・スタート・トリガ・ビット（TS00）に1を設定後、最初のカウント・クロックでTCR00はTDR00の値をロードします。このときTMR00のMD000 = 1によりINTTM00を出力します。

その後、TCR00はカウント・クロックに合わせてダウン・カウントを行います。

TCR00 = 0000Hとなったら、次のカウント・クロックでINTTM00を出力します。また、同タイミングで再びTCR00はTDR00の値をロードします。以降、同様の動作を継続します。

スレーブ・チャンネル1は、リアルタイム出力トリガを生成します。マスタ・チャンネルのINTTM00をカウント・クロックとして、イベント・カウント・モードで動作することで、マスタ・チャンネルのINTTM00に間引き制御を実施したINTTMnを出力します。チャンネル・スタート・トリガ・ビット（TSn）に1を設定することによりTRCnはTDRnの値をロードします。TRCnはマスタ・チャンネルのINTTM00出力に合わせてダウン・カウントを行い、TRCn = 0000Hとなったら、再びTDRnの値をロードして、INTTMnを出力します。以降、同様の動作を継続します。このスレーブ・チャンネル1のINTTMn出力タイミングで、TROn, TROmの設定値をTOm, TOmより出力します。

スレーブ・チャンネル1（TRCn = 1）の下位チャンネル（スレーブ・チャンネル2~7）のTOmは、TREMビット、TRCmビットにより制御されます。

下位チャンネル（TRCm = 0）がTREM = 1の場合、そのチャンネルはリアルタイム出力チャンネルとして動作し、TOmはスレーブ・チャンネル1のINTTMn出力タイミングでTROmの設定値を出力します。下位チャンネルがTREM = 0またはTRCm = 1の場合、TOmは、スレーブ・チャンネル1のINTTMn出力タイミングではTROmの設定値を出力しません。

この機能を使用する場合、下位チャンネルのTCRm, TDRm, INTTMmは他の機能として動作させることができます。

マスタ・チャンネルのTDR00の値は、次のスタート・タイミング（マスタ・チャンネルのINTTM00発生）から有効となります。

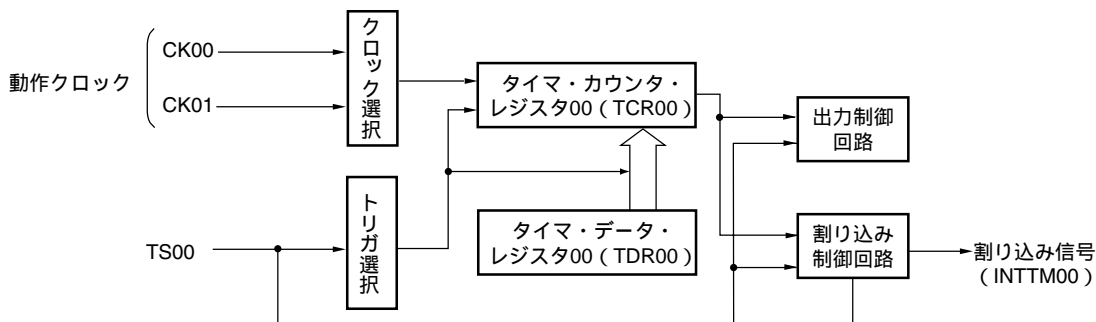
スレーブ・チャンネル1のTDRnの値は、次のスタート・タイミング（スレーブ・チャンネル1のINTTMn発生）から有効となります。

注意 TE00 = 1, TEn = 1期間中, TS00, TSnへの“1”設定（強制再スタート）は使用できません。TE00 = 1, TEn = 1期間中にTS00, TSnを“1”に設定すると、カウンタ値（TCR00, TCRn）が不正となりTOMは期待波形を出力できません。

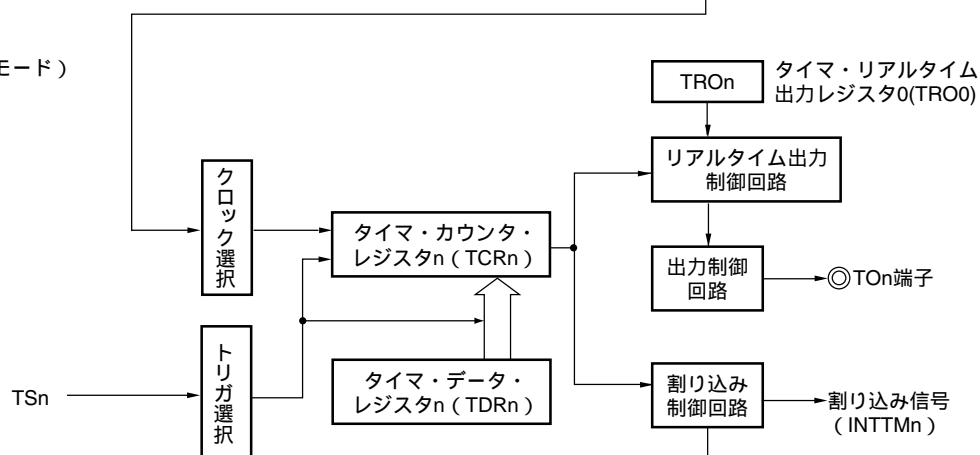
備考 n = 01, m = 02-07

図7 - 66 連動リアルタイム出力機能 (タイプ2) 時のブロック図

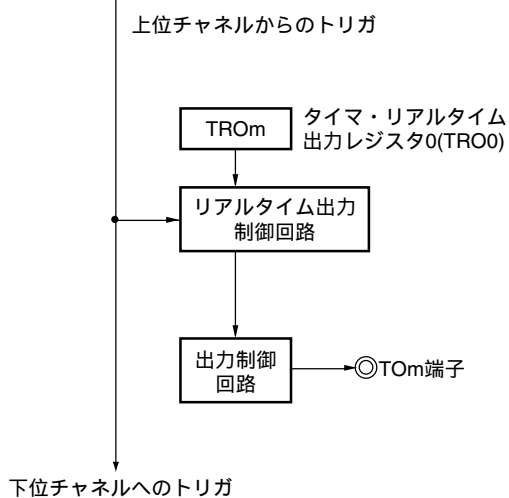
マスタ・チャンネル
(インターバル・タイマ・モード)



スレーブ・チャンネル1
TRCn = 1
(イベント・カウンタ・モード)

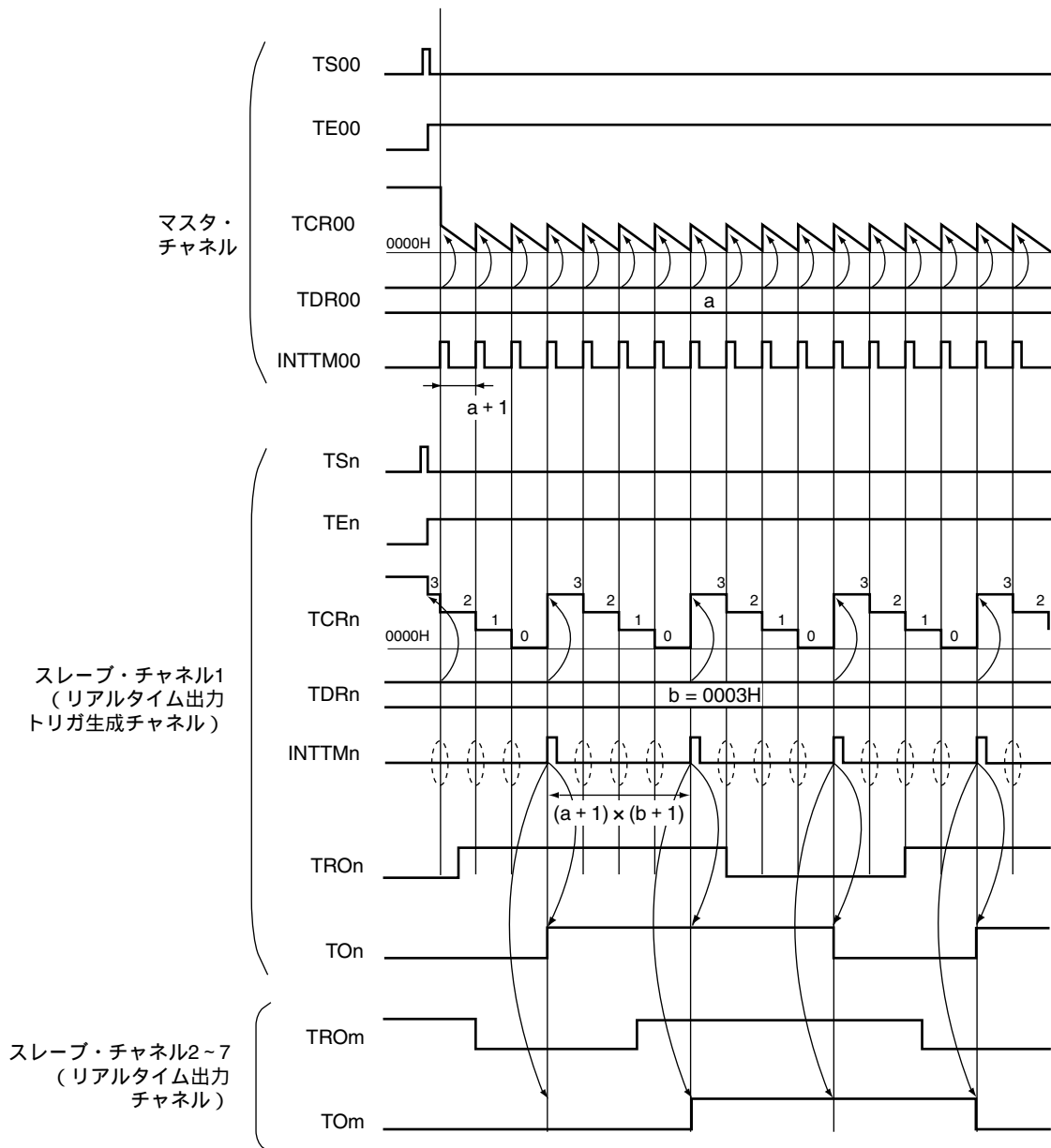


スレーブ・チャンネル2~7
TRCm = 0
(任意のモード)



備考 n = 01
m = 02-07

図7 - 67 連動リアルタイム出力機能 (タイプ2) 時の基本タイミング例 (初期設定 : $TO_n, TO_m = 0, MD000 = 1$)

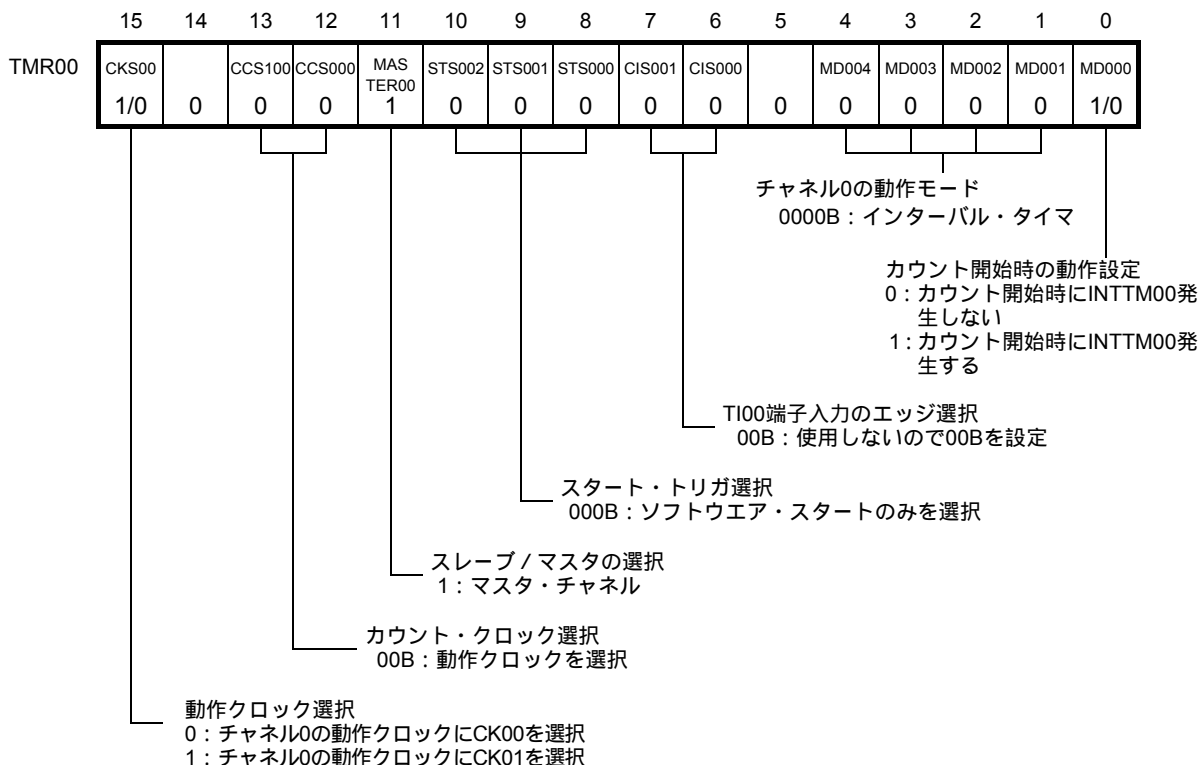


備考 n = 01

m = 02-07

図7 - 68 連動リアルタイム出力機能 (タイプ2) 時 (マスタ・チャンネル) のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)

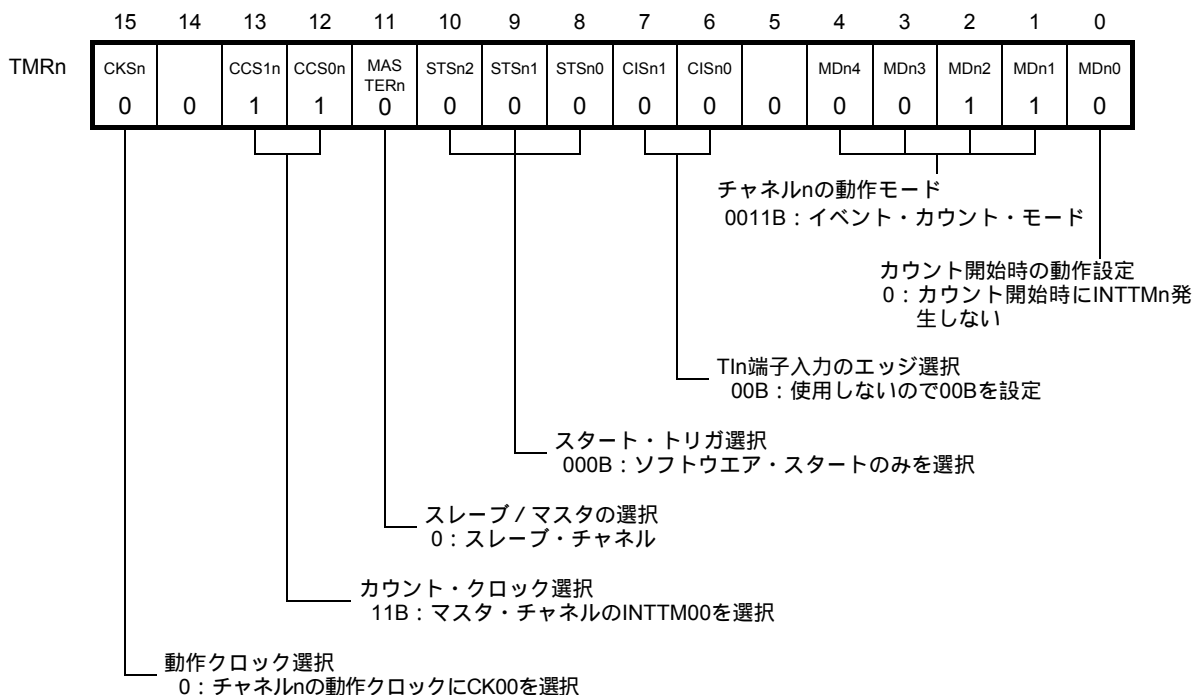


(b) その他のレジスタ

TOE0 : TOE00	0 : カウント動作によるTO00出力動作停止
TO0 : TO00	0 : TO00よりロウ・レベルを出力する
TOM0 : TOM00	0 : マスタ・チャンネル出力モード
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

図7 - 69 連動リアルタイム出力機能 (タイプ2) 時 (スレーブ・チャンネル1) のレジスタ設定内容例

(a) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRCn = 1) のタイマ・モード・レジスタn (TMRn)



(b) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRCn = 1) のその他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTON出力動作停止 1 : カウント動作によるTON出力動作許可
TO0 : TOn	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モード
TOT0 : TOTn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止 1 : リアルタイム出力可能
TRO0 : TROn	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCn	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TMEn	0 : 変調出力停止

備考 n = 01

図7 - 70 連動リアルタイム出力機能（タイプ2）時（スレーブ・チャンネル2～7）のレジスタ設定内容例

(a) スレーブ・チャンネル2～7（リアルタイム出力チャンネル）（TRCm = 0）のタイマ・モード・レジスタm（TMRm）

連動リアルタイム出力機能（タイプ2）では，TRCm = 0設定時のチャンネルのTMRmは任意に設定可能です。

(b) スレーブ・チャンネル2～7（リアルタイム出力チャンネル）（TRCm = 0）のその他のレジスタ

TOE0 : TOEm	0 : リアルタイム出力動作によるTOm出力動作停止 1 : リアルタイム出力動作によるTOm出力動作許可
TO0 : TOm	0 : TOmよりロウ・レベルを出力する 1 : TOmよりハイ・レベルを出力する
TOM0 : TOMm	0 : TREm = 1（リアルタイム出力許可）では0を設定
TOT0 : TOTm	0 : TOMm = 0（マスタ・チャンネル出力モード）では0を設定
TOL0 : TOLm	0 : TOMm = 0（マスタ・チャンネル出力モード）では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROm	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

備考 m = 02-07

図7-71 連動リアルタイム出力機能（タイプ2）時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのTMR00, TMRnレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル(周期)値, スレーブ・チャンネル1のTDRnレジスタに間引き回数を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	【リアルタイム出力トリガ生成チャンネル(スレーブ1)】 TRCnビットを1(トリガ生成チャンネル)に設定する TRENビットを1(リアルタイム出力許可)に設定する 【リアルタイム出力チャンネル(スレーブ2~7)】 TRCmビットを0(トリガ生成しないチャンネル)に設定する TREMビットを1(リアルタイム出力許可)に設定する TOEn, TOEmビットに1を設定しTON, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	TON, TOM端子はHi-Z出力状態 チャンネルは動作停止状態なので, TON, TOMは変化しない TON, TOM端子はTON, TOM設定レベルを出力
動作 開始	TOEn(スレーブ1), TOEm(スレーブ2~7)に1を設定する(動作再開時のみ) TS0レジスタのTS00(マスタ), TSn(スレーブ1)ビットに同時に1を設定する TS00, TSnビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TEn = 1となる マスタ・チャンネルはカウント・クロック入力でTCR00にTDR00の値をロードする。TMR00レジスタのMD000ビットが1の場合は, INTTM00を発生する。 スレーブ・チャンネル1は, TCRnにTDRnの値をロードし, マスタ・チャンネルのINTTM00出力検出待ち状態になる。
動作 中	TDR00, TDRnレジスタは, マスタ・チャンネルのINTTM00発生後に設定値変更可能 TCR00, TCRnレジスタは, 常に読み出し可能 TROn, TROmレジスタは, 任意に設定値変更可能	マスタ・チャンネルのカウント(TCR00)はダウン・カウント動作を行い, TCR00 = 0000Hまでカウントしたら再びTCR00はTDR00の値をロードし, カウント動作を継続する。TCR00 = 0000H検出でINTTM00を発生する。 スレーブ・チャンネル1のカウント(TCRn)は, マスタ・チャンネルのINTTM00信号を検出するごとにダウン・カウント動作を行う。TCRn = 0000Hまでカウントしたら再びTCRnはTDRnの値をロードし, カウント動作を継続する。TCRn = 0000H検出でINTTMnを発生する。以降, この動作を繰り返す。 INTTMn出力タイミングで, スレーブ・チャンネル2~7(リアルタイム出力チャンネル)のTROm設定値をTOMより出力する。

動作再開時(次ページより)

備考 n = 01

m = 02-07

図7-71 連動リアルタイム出力機能（タイプ2）時の操作手順（2/2）

動作再開時（前ページへ）	ソフトウェア操作	ハードウェアの状態
動作停止	TT00（マスタ）、TTn（スレーブ1）ビットに同時に1を設定する TT00, TTnビットはトリガ・ビットなので、自動的に0に戻る	TE00, TE _n = 0になり、カウント動作停止 TCR00, TCR _n はカウント値を保持して停止 TON, TOM出力は初期化されず、状態保持して停止
	TOEn, TOEmビットに0を設定し、TON, TOMビットに値を設定する	TON, TOM端子はTON, TOM設定レベルを出力
TAUS停止	TON, TOM端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TON, TOMビットに0を設定する	TON, TOM端子出力レベルはポート機能により保持される。
	TON, TOM端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TON, TOM端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TON, TOMビットが0になり、TON, TOM端子はポート機能となる)

備考 n = 01
m = 02-07

7.5.12 連動リアルタイム出力機能（タイプ3）としての動作

連動リアルタイム出力機能（タイプ3）は、マスタ・チャンネル0のINTTM00を指定回数間引いた信号を、スレーブ・チャンネル1のINTTMnとして出力させる機能があります。この機能によって、スレーブ・チャンネル2~7（リアルタイム出力チャンネル）のTROmの値を、INTTMn（マスタ・チャンネルのINTTM00を指定回数間引いた信号）に同期してTOmより出力することができます。連動リアルタイム出力機能（タイプ2）との違いは、ソフトウェアのトリガによってINTTM00のカウンタ動作を開始させることができます。指定回数後、カウンタ動作は停止し、ソフトウェアのトリガを待ちます。

スレーブ・チャンネル1のTRCnを1に設定し、マスタ・チャンネルとの連動動作で発生したINTTMnがリアルタイム出力トリガとなります。スレーブ・チャンネル2~7のリアルタイム出力チャンネルは、リアルタイム出力トリガによりTROm設定値をTOmより出力します。

この機能は、スレーブ・チャンネル1のカウント・クロックとしてマスタ・チャンネルのINTTM00を使用し、カウンタ動作開始をソフトウェア操作（TSn）で行います。TSn = 1設定後の割り込み発生周期は、次の式で求めることができます。

$$\begin{aligned} & \text{TSn} = 1 \text{ 設定から INTTMn 出力までの期間} \\ & = (\text{TDRn (スレーブ1) の設定値} + 1) \times \text{スレーブ1のカウント・クロックの周期} \\ & = (\text{TDRn (スレーブ1) の設定値} + 1) \times (\text{TDR00 (マスタ) の設定値} + 1) \times \text{マスタのカウント・クロック周期} \end{aligned}$$

備考 TSn = 1設定は、スレーブ・チャンネル1のカウント・クロック発生まで保留されるため、スレーブ・チャンネル1のカウント・クロック周期未満のサンプリング誤差が生じます。

マスタ・チャンネルは、インターバル・タイマ・モードで動作して、周期をカウントします。

チャンネル・スタート・トリガ・ビット（TS00）に1を設定後、最初のカウント・クロックでTCR00はTDR00の値をロードします。このときTMR00のMD000 = 1によりINTTM00を出力します。

その後、TCR00はカウント・クロックに合わせてダウン・カウントを行います。

TCR00 = 0000Hとなったら、次のカウント・クロックでINTTM00を出力します。また、同タイミングで再びTCR00はTDR00の値をロードします。以降、同様の動作を続けます。

スレーブ・チャンネル1のTCRnはワンカウント・モードで動作し、リアルタイム出力トリガを生成します。TCRnは、スレーブ・チャンネル1のTSn = 1設定をスタート・トリガとして、TCRnにTDRnの値をロードし、マスタ・チャンネルのINTTM00出力に合わせてダウン・カウントを行います。TCRn = 0000Hとなったら、INTTMnを出力し次のスタート・トリガ（TSn = 1）が入力されるまでカウントを停止します。スレーブ・チャンネル1動作中（TCRnがダウン・カウント中）に2回目のTSn = 1設定を行うと2回目のスタート・トリガは無視されます。TSn = 1設定はINTTMn出力以降に行ってください。このスレーブ・チャンネル1のINTTMn出力タイミングで、TROn, TROmの設定値をTOm, TOmより出力します。

備考 n = 01

m = 02-07

スレーブ・チャンネル1 (TRCn = 1) の下位チャンネル (スレーブ・チャンネル2~7) のTOMは、TREMビット、TRCmビットにより制御されます。

下位チャンネル (TRCm = 0) がTREM = 1の場合、そのチャンネルはリアルタイム出力チャンネルとして動作し、TOMはスレーブ・チャンネル1のINTTMn出力タイミングでTROMの設定値を出力します。下位チャンネルがTREM = 0またはTRCm = 1の場合、TOMは、スレーブ・チャンネル1のINTTMn出力タイミングではTROMの設定値を出力しません。

この機能を使用する場合、下位チャンネルのTCRm, TDRm, INTTMmは他の機能として動作させることができます。

マスタ・チャンネルのTDR00の値は、次のスタート・タイミング (マスタ・チャンネルのINTTM00発生) から有効となります。

スレーブ・チャンネル1のTDRnの値は、次のスタート・タイミング (スレーブ・チャンネル1のTSn = 1設定) から有効となります。

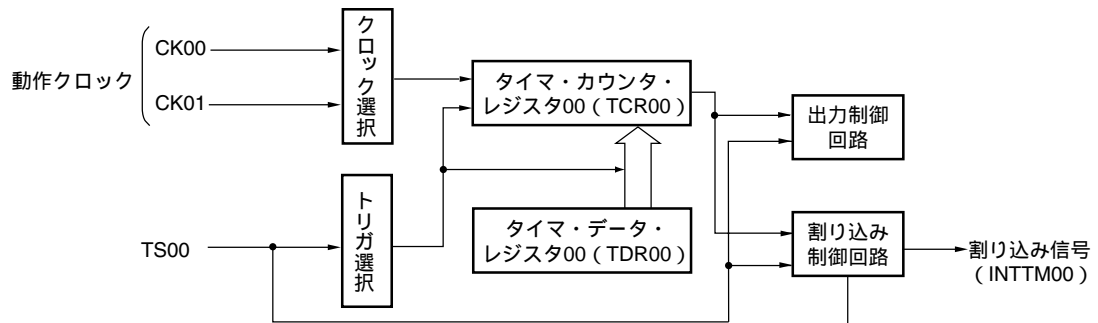
注意 TE00 = 1期間中、TS00への“1”設定 (強制再スタート) は使用できません。TE00 = 1期間中にTS00を“1”に設定すると、カウンタ値 (TCR00) が不正となりTOMは期待波形を出力できません。TE00 = 1, TEn = 1期間中、スレーブ・チャンネル1のTSnは操作可能です。

備考 n = 01

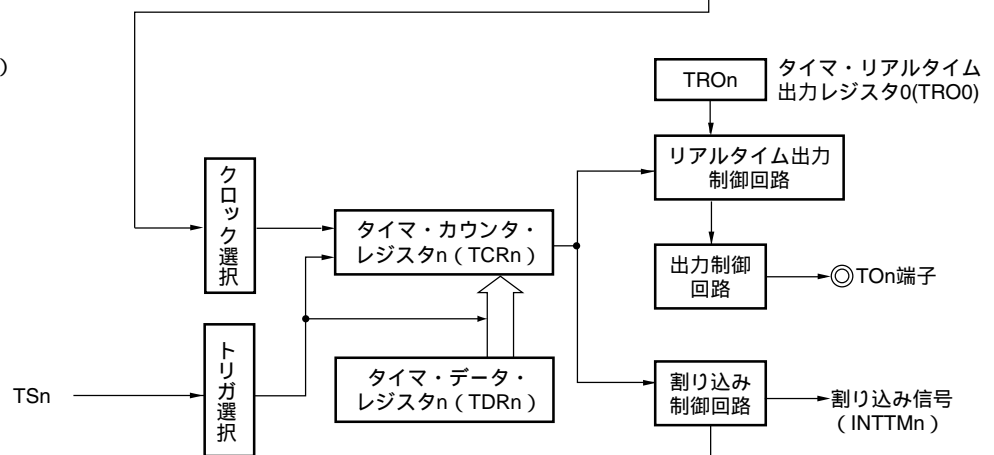
m = 02-07

図7-72 連動リアルタイム出力機能(タイプ3)時のブロック図

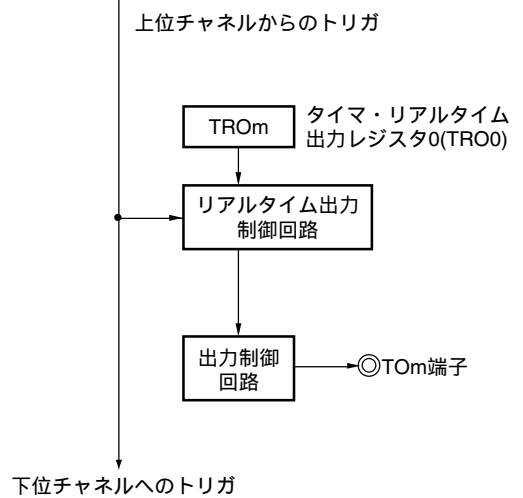
マスタ・チャンネル
(インターバル・タイマ・モード)



スレーブ・チャンネル1
TRCn = 1
(ワンカウント・モード)

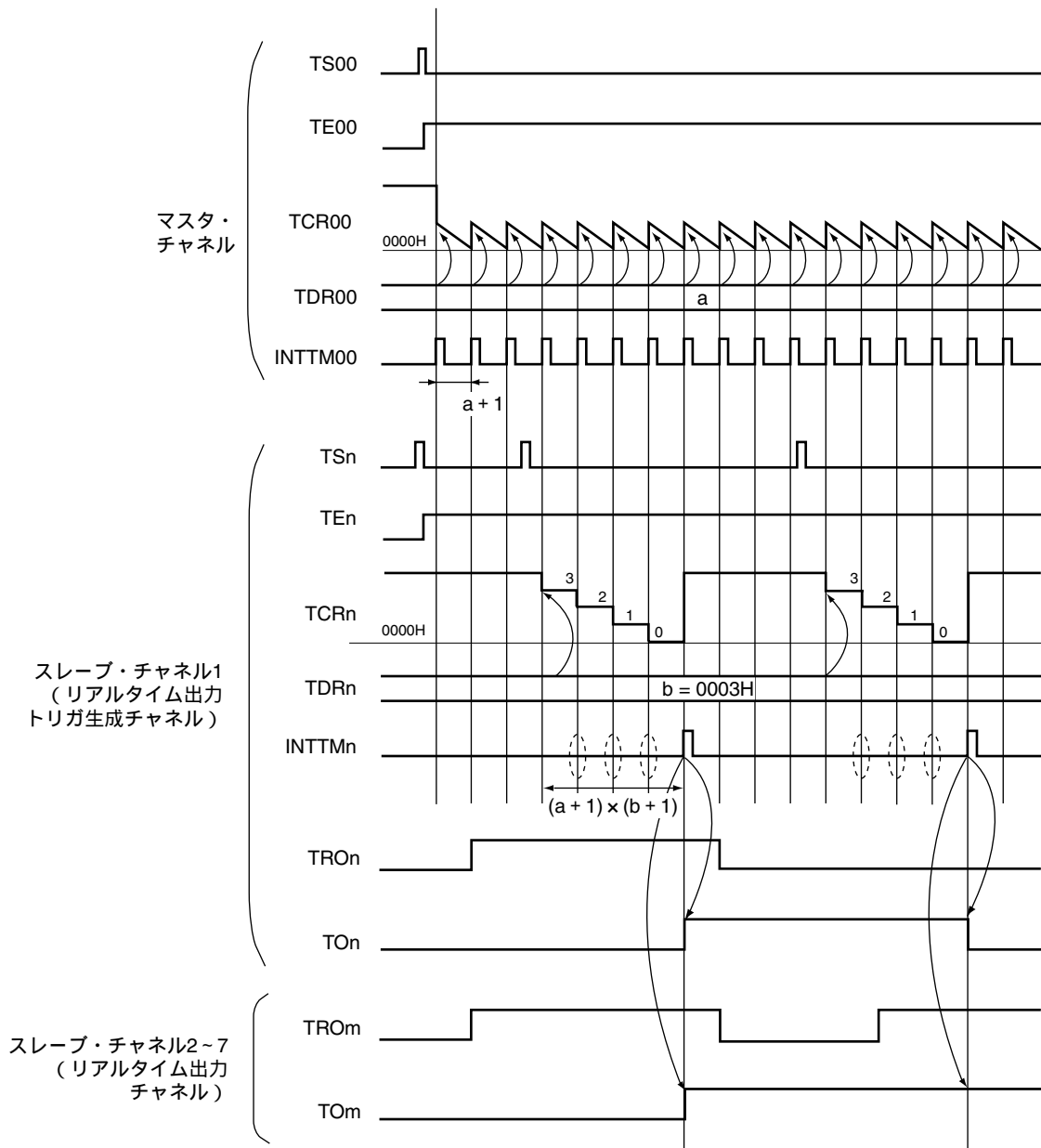


スレーブ・チャンネル2~7
TRCm = 0
(任意のモード)



備考 n = 01
m = 02-07

図7 - 73 連動リアルタイム出力機能（タイプ3）時の基本タイミング例（初期設定：TOn, TOm = 0, MD000 = 1）

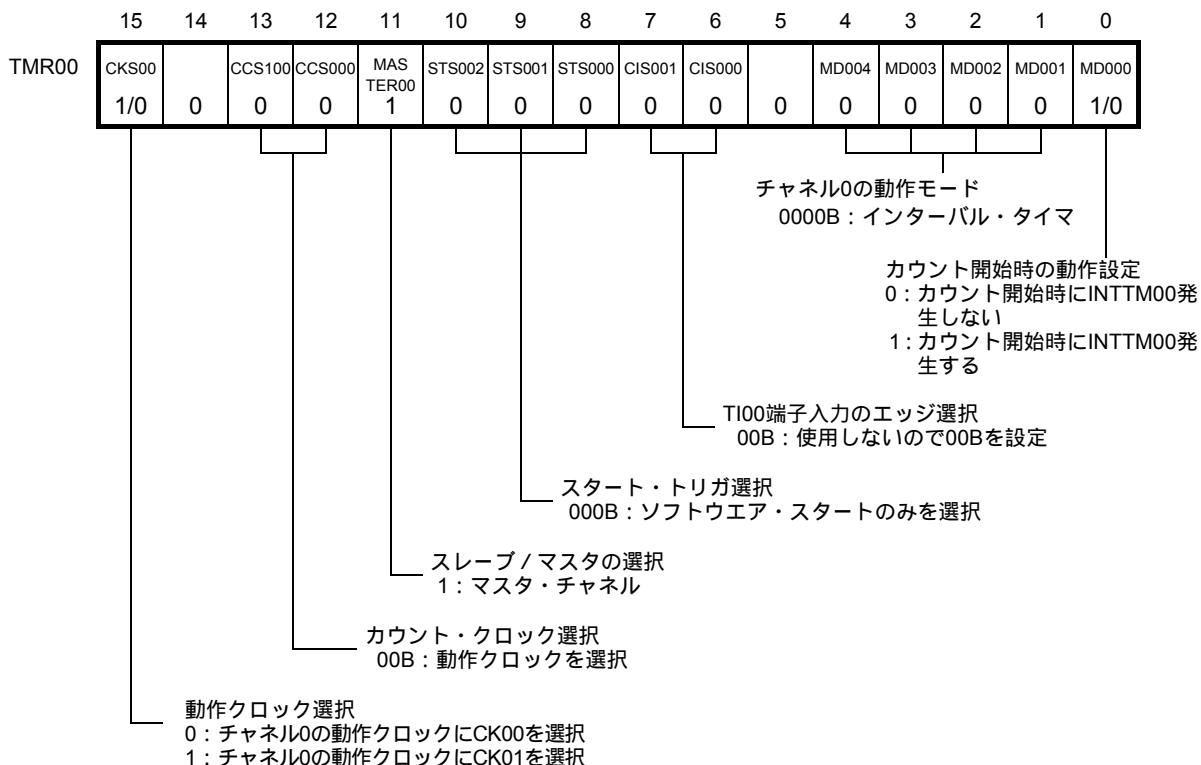


備考 $n = 01$

$m = 02-07$

図7-74 連動リアルタイム出力機能（タイプ3）時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)

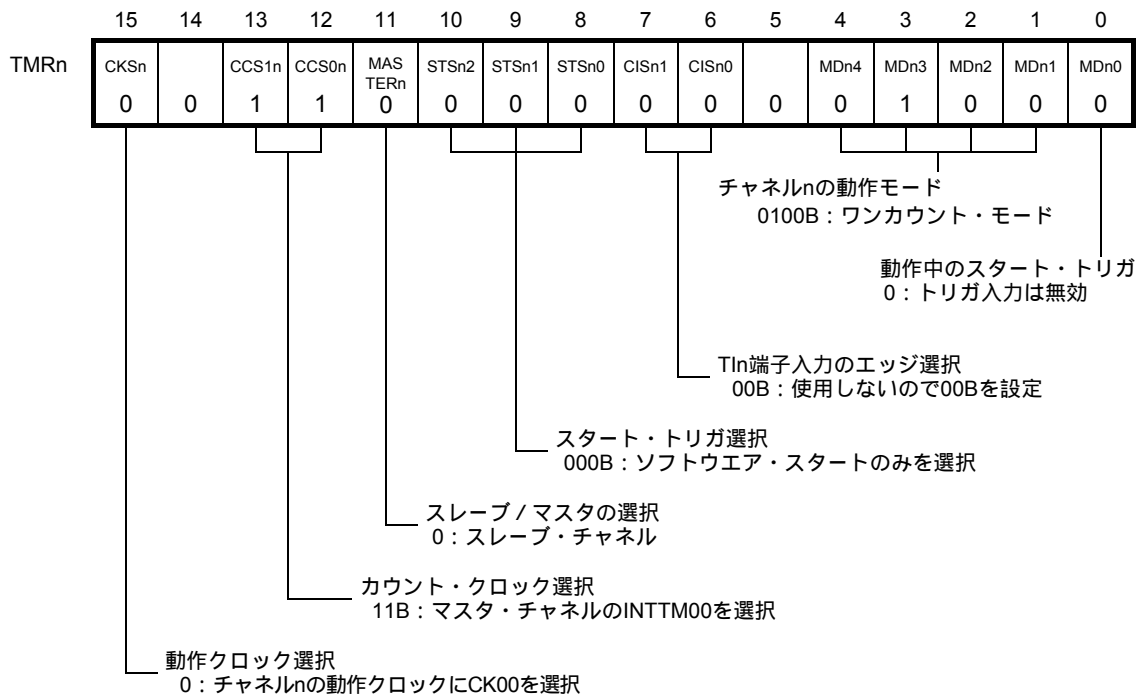


(b) その他のレジスタ

TOE0 : TOE00	0 : カウント動作によるTO00出力動作停止
TO0 : TO00	0 : TO00よりロウ・レベルを出力する
TOM0 : TOM00	0 : TOE00 = 0 (カウント動作によるTO00出力動作停止) では0を設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

図7-75 連動リアルタイム出力機能(タイプ3)時(スレーブ・チャンネル1)のレジスタ設定内容例

(a) スレーブ・チャンネル1(リアルタイム出力トリガ生成チャンネル)(TRCn = 1)のタイマ・モード・レジスタn(TMRn)



(b) スレーブ・チャンネル1(リアルタイム出力トリガ生成チャンネル)(TRCn = 1)のその他のレジスタ

TOE0 : TOEn	0 : カウント動作によるTOn出力動作停止 1 : カウント動作によるTOn出力動作許可
TO0 : TOn	0 : TOnよりロウ・レベルを出力する 1 : TOnよりハイ・レベルを出力する
TOM0 : TOMn	0 : マスタ・チャンネル出力モード
TOT0 : TOTn	0 : TOMn = 0 (マスタ・チャンネル出力モード)では0を設定
TOL0 : TOLn	0 : TOMn = 0 (マスタ・チャンネル出力モード)では0を設定
TDE0 : TDEn	0 : デッド・タイム制御停止
TRE0 : TREn	0 : リアルタイム出力停止 1 : リアルタイム出力可能
TRO0 : TROn	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCn	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TMEn	0 : 変調出力停止

備考 n = 01

図7 - 76 連動リアルタイム出力機能 (タイプ3) 時 (スレーブ・チャンネル2~7) のレジスタ設定内容例

(a) スレーブ・チャンネル2~7 (リアルタイム出力チャンネル) (TRCm = 0) のタイマ・モード・レジスタm (TMRm)

連動リアルタイム出力機能 (タイプ3) では, TRCm = 0設定時のチャンネルのTMRmは任意に設定可能です。

(b) スレーブ・チャンネル2~7 (リアルタイム出力チャンネル) (TRCm = 0) のその他のレジスタ

TOE0 : TOEm	0 : リアルタイム出力動作によるTOM出力動作停止 1 : リアルタイム出力動作によるTOM出力動作許可
TO0 : TOM	0 : TOMよりロウ・レベルを出力する 1 : TOMよりハイ・レベルを出力する
TOM0 : TOMm	0 : TREm = 1 (リアルタイム出力許可) では0を設定
TOT0 : TOTm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOLm	0 : TOMm = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROm	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止

備考 m = 02-07

図7-77 連動リアルタイム出力機能（タイプ3）時の操作手順（1/2）

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する各チャンネルのTMR00, TMRnレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル(周期)値, スレーブ・チャンネル1のTDRnレジスタにTSn = 1 入力からINTTMn出力までの期間を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	【リアルタイム出力トリガ生成チャンネル(スレーブ1)】 TRCnビットを1(トリガ生成チャンネル)に設定する TRENビットを1(リアルタイム出力許可)に設定する 【リアルタイム出力チャンネル(スレーブ2~7)】 TRCmビットを0(トリガ生成しないチャンネル)に設定する TREMビットを1(リアルタイム出力許可)に設定する	TON, TOM端子はHi-Z出力状態
動作 開始	TOEn, TOEmビットに1を設定しTON, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	チャンネルは動作停止状態なので, TON, TOMは変化しない TON, TOM端子はTON, TOM設定レベルを出力
	TOEn(スレーブ1), TOEm(スレーブ2~7)に1を設定する(動作再開時のみ) TS0レジスタのTS00(マスタ), TSn(スレーブ1)ビットに同時に1を設定する TS00, TSnビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TEn = 1となる マスタ・チャンネルがカウント動作開始し, INTTM00を発生する。 スレーブ・チャンネル1は, スタート・トリガ(TSn = 1)検出待ち状態になる。
動作 中	TDR00, TDRnレジスタは, 任意に設定値変更可能 TCR00, TCRnレジスタは, 常に読み出し可能 TROn, TROmレジスタは, 任意に設定値変更可能	マスタ・チャンネルでは, TCR00はTDR00の値をロードし, ダウン・カウント動作を行う。TCR00 = 0000HまでカウントしたらINTTM00を発生する。同時に, TCR00はTDR00の値をロードし, 再びダウン・カウントを開始する。 スレーブ・チャンネル1では, TSn = 1をスタート・トリガとして, TDRnレジスタ値をTCRnに転送し, カウンタはダウン・カウントを開始する。そして0000HまでカウントしたらINTTMnを出力し, カウント動作を停止する。以降, この動作を繰り返す。INTTMn出力タイミングで, スレーブ・チャンネル2~7(リアルタイム出力チャンネル)のTROm設定値をTOMより出力する。

動作再開時(次ページより)

備考 n = 01

m = 02-07

図7-77 連動リアルタイム出力機能（タイプ3）時の操作手順（2/2）

動作再開時（前ページへ）	ソフトウェア操作	ハードウェアの状態
動作停止	TT00（マスタ）、TTn（スレーブ1）ビットに同時に1を設定する TT00, TTnビットはトリガ・ビットなので、自動的に0に戻る	TE00, TE _n = 0になり、カウント動作停止 TCR00, TCR _n はカウント値を保持して停止 TON, TOM出力は初期化されず、状態保持して停止
	TOEn, TOEmビットに0を設定し、TON, TOMビットに値を設定する	TON, TOM端子はTON, TOM設定レベルを出力
TAUS停止	TON, TOM端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後、TON, TOMビットに0を設定する	TON, TOM端子出力レベルはポート機能により保持される。
	TON, TOM端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TON, TOM端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され、各チャンネルのSFRも初期化される (TON, TOMビットが0になり、TON, TOM端子はポート機能となる)

備考 n = 01
m = 02-07

7.5.13 非相補方式変調出力機能（タイプ1）としての動作

3相のブラシレスDCモータをインバータ制御する方式として、120度通電方式と呼ばれる駆動方式があります。非相補方式変調出力機能（タイプ1）は、この120度通電方式を実現するための機能です。非相補方式変調出力機能では、1つの周期に対し6つのデューティ幅を設定し、6本または3本のPWM出力を生成します。周期生成にチャンネル0、デューティ生成にチャンネル2-7を使用します（6相PWM出力機能）。6相PWM機能の詳細は、「7.5.3 6相PWM出力機能としての動作」を参照してください。

また、PWMを生成するTOM端子に対応するTROmの値により変調出力をするため、リアルタイム出力トリガ生成にチャンネル1を設定します。リアルタイム出力トリガの詳細は、「7.5.10 連動リアルタイム出力機能（タイプ1）としての動作」を参照してください。

6相PWM出力機能によるPWM、連動リアルタイム機能（タイプ1）によるTROm出力とタイマ・モジュレーション出力許可レジスタ0（TME0）のTMEmpビットの操作により、非相補方式変調出力を生成します。

マスタ・チャンネルは、インターバル・タイマ・モードで動作し周期をカウントします。

スレーブ・チャンネル1は、ワンカウント・モードで動作しリアルタイム出力トリガを生成します。リアルタイム出力トリガの発生タイミング（TROm反映タイミング）とスレーブ・チャンネル2～7で生成するPWMのアクティブ・タイミングをそろえるため、TDR01 = 0000Hに設定し動作させます。

スレーブ・チャンネル2～7は、ワンカウント・モードで動作しデューティをカウントし6相PWM波形を生成します。

また、TMEmpを操作することで変調出力を制御します。TMEmp = 1のとき、PWM出力とリアルタイム出力のANDした値をTOM端子より出力することで、非相補方式での変調出力が可能となります。TMEmp = 0の時は、リアルタイム出力の設定値（TROm）をTOM端子より出力します。

PWM出力とリアルタイム出力を変調してTOM端子より出力するため、スレーブ・チャンネル2～7のTOMの初期レベルは、ロウ・レベルで動作を開始する必要があります。スレーブ・チャンネル2～7のTOLmは“0”固定とし、反転制御が必要な場合はTLS2-TLS7（OPMRレジスタ）で対応します。

PWM出力とリアルタイム出力の変調制御は、TROm = 1（アクティブ・レベル：ハイ・レベル）のときに行います。TROm = 0の時はPWM出力の変調出力を行いません。

注意 TE00 = 1, TE01 = 1, TEm = 1期間中、TS00, TS01, TSmへの“1”設定（強制再スタート）は使用できません。TE00 = 1, TE01 = 1, TEm = 1期間中にTS00, TS01, TSmを“1”に設定すると、カウンタ値（TCR00, TCR01, TCRm）が不正となりTOMは期待波形を出力できません。

備考 m = 02-07

図7-78 非相補方式変調出力機能(タイプ1)時のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)

スレーブ・チャンネル1
TRC01 = 1
(ワンカウント・モード)

スレーブ・チャンネル2
TRC02 = 0
(ワンカウント・モード)

スレーブ・チャンネル7
TRC07 = 0
(ワンカウント・モード)

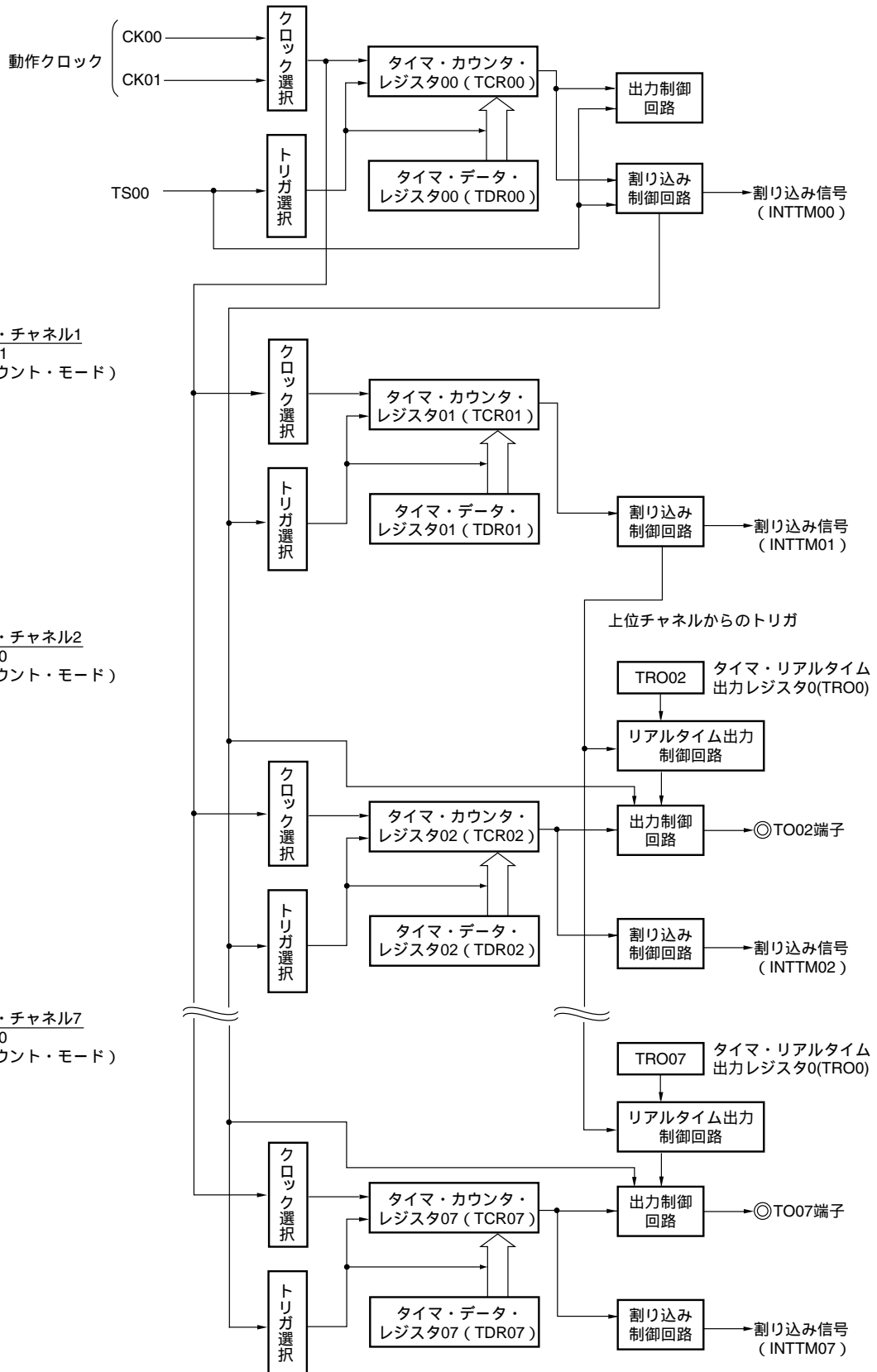
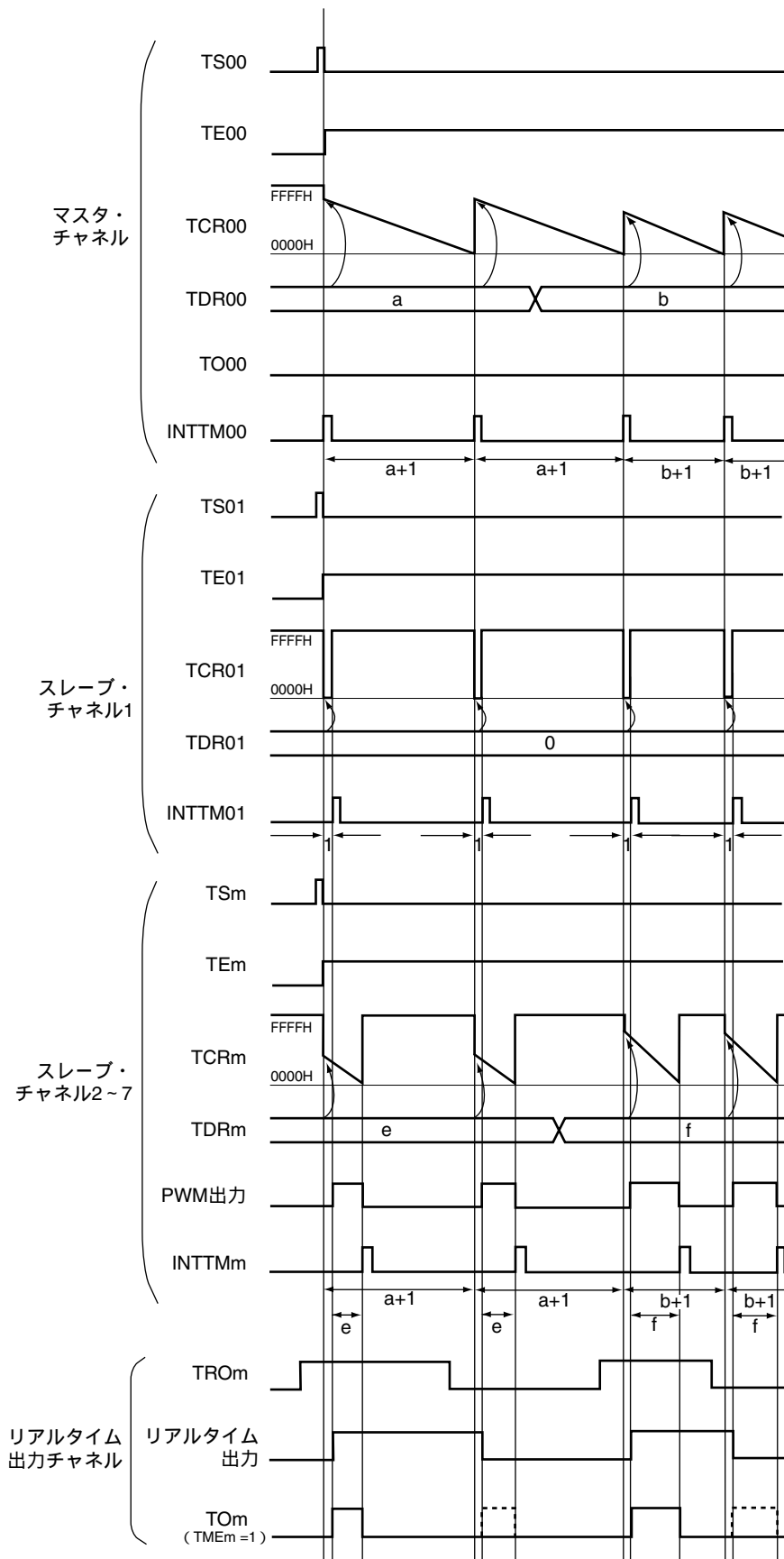


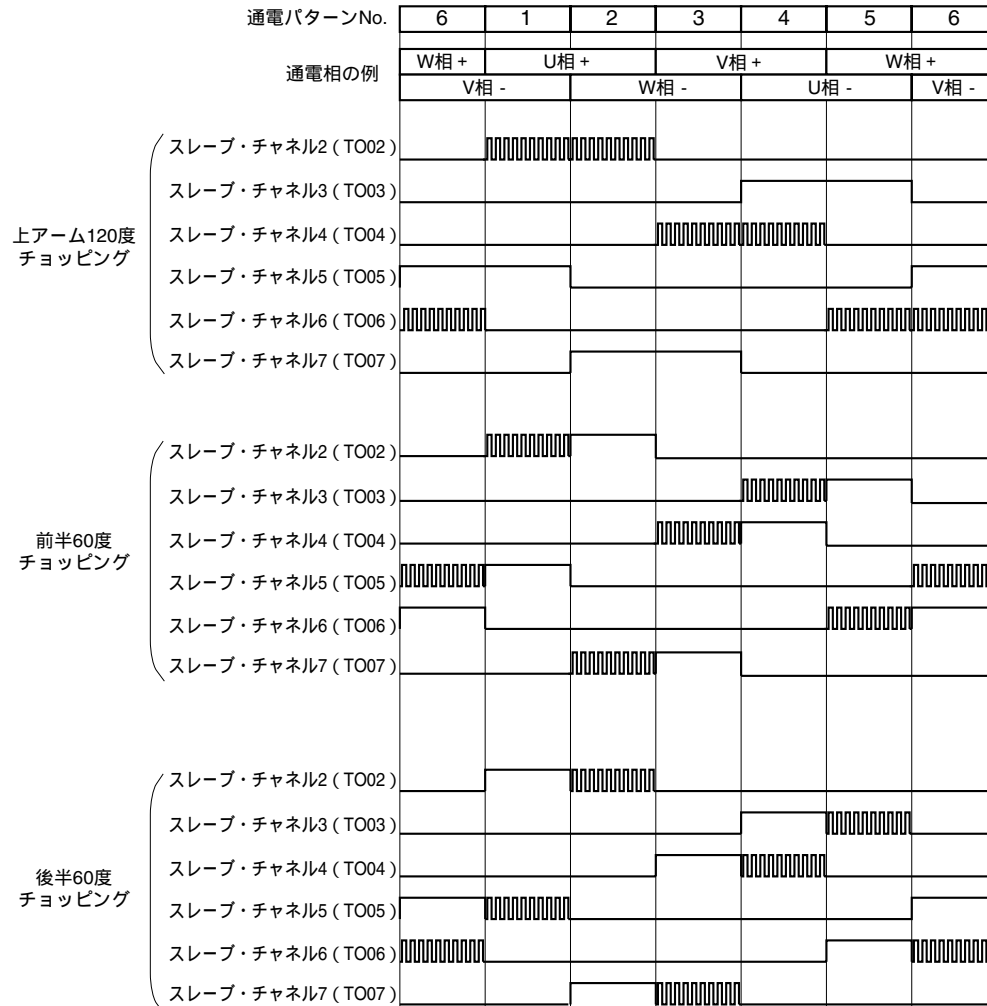
図7-79 非相補方式変調出力機能（タイプ1）時の基本タイミング例（初期設定：T0m = 0）



備考 m = 02-07

3相ブラシレスDCモータの120度通電制御時の非相補通電例をを図7 - 80に示します。

図7 - 80 3相ブラシレスDCモータの120度通電制御非相補通電例 (アクティブ・ハイ)



非相補方式変調出力機能(タイプ1)時のTROmとTME mの組み合わせ例を次に示します(アクティブ・ハイ)。
 120度チョッピング, 前半60度チョッピング, 後半60度チョッピングの通電パターンを切り換えるため, タイマ動作中にTROm, TME mを変更します。

表7-2 120度通電制御時の非相補方式出力例(上アーム120度チョッピング)

通電 パタン No.	制御 レジス タ	TROm, TME m設定値						TOm出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROm	1	0	0	1	0	0	PWM	Low	Low	High	Low	Low
	TME m	1	0	1	0	1	0						
2	TROm	1	0	0	0	0	1	PWM	Low	Low	Low	Low	High
	TME m	1	0	1	0	1	0						
3	TROm	0	0	1	0	0	1	Low	Low	PWM	Low	Low	High
	TME m	1	0	1	0	1	0						
4	TROm	0	1	1	0	0	0	Low	High	PWM	Low	Low	Low
	TME m	1	0	1	0	1	0						
5	TROm	0	1	0	0	1	0	Low	High	Low	Low	PWM	Low
	TME m	1	0	1	0	1	0						
6	TROm	0	0	0	1	1	0	Low	Low	Low	High	PWM	Low
	TME m	1	0	1	0	1	0						

表7-3 120度通電制御時の非相補方式出力例(前半60度チョッピング)

通電 パタン No.	制御 レジス タ	TROm, TME m設定値						TOm出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROm	1	0	0	1	0	0	PWM	Low	Low	High	Low	Low
	TME m	1	1	1	0	1	1						
2	TROm	1	0	0	0	0	1	High	Low	Low	Low	Low	PWM
	TME m	0	1	1	1	1	1						
3	TROm	0	0	1	0	0	1	Low	Low	PWM	Low	Low	High
	TME m	1	1	1	1	1	0						
4	TROm	0	1	1	0	0	0	Low	PWM	High	Low	Low	Low
	TME m	1	1	0	1	1	1						
5	TROm	0	1	0	0	1	0	Low	High	Low	Low	PWM	Low
	TME m	1	0	1	1	1	1						
6	TROm	0	0	0	1	1	0	Low	Low	Low	PWM	High	Low
	TME m	1	1	1	1	0	1						

備考 m = 02-07

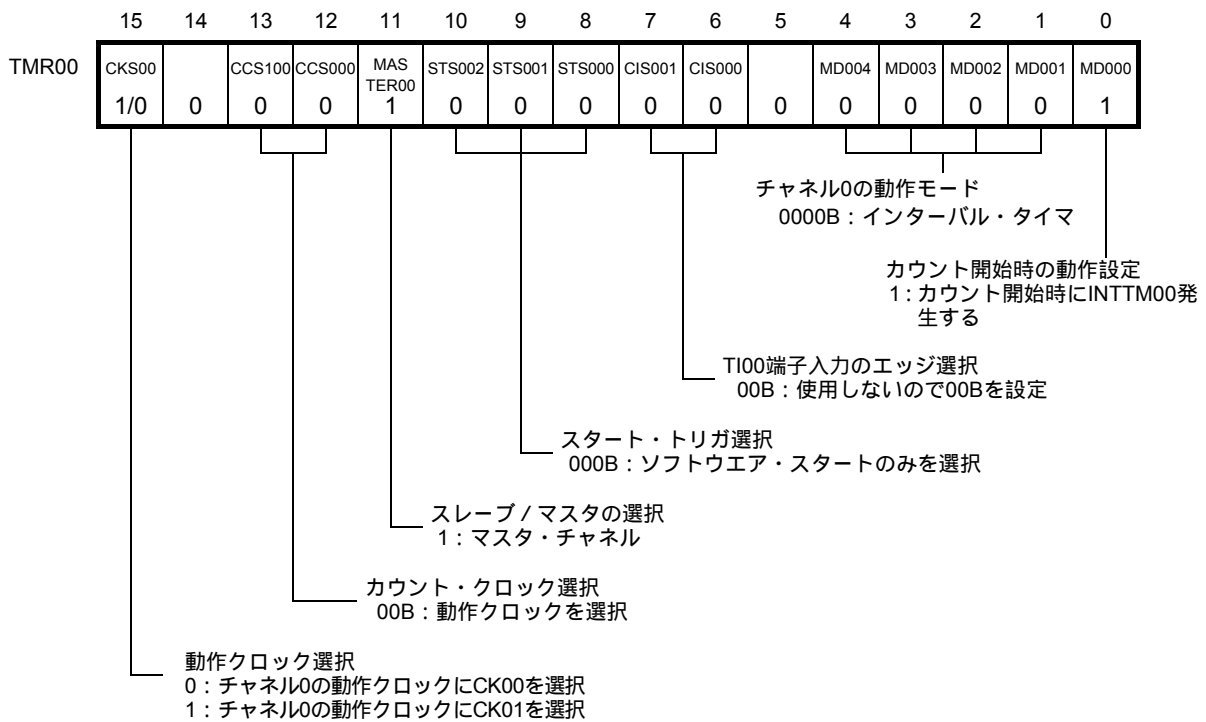
表7 - 4 120度通電制御時の非相補方式出力例（後半60度チョッピング）

通電 パタン No.	制御 レジス タ	TROm, TME m設定値						TOm出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROm	1	0	0	1	0	0	High	Low	Low	PWM	Low	Low
	TME m	0	0	0	1	0	0						
2	TROm	1	0	0	0	0	1	PWM	Low	Low	Low	Low	High
	TME m	1	0	0	0	0	0						
3	TROm	0	0	1	0	0	1	Low	Low	High	Low	Low	PWM
	TME m	0	0	0	0	0	1						
4	TROm	0	1	1	0	0	0	Low	High	PWM	Low	Low	Low
	TME m	0	0	1	0	0	0						
5	TROm	0	1	0	0	1	0	Low	PWM	Low	Low	High	Low
	TME m	0	1	0	0	0	0						
6	TROm	0	0	0	1	1	0	Low	Low	Low	High	PWM	Low
	TME m	0	0	0	0	1	0						

備考 m = 02-07

図7-81 非相補方式変調出力機能（タイプ1）時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)

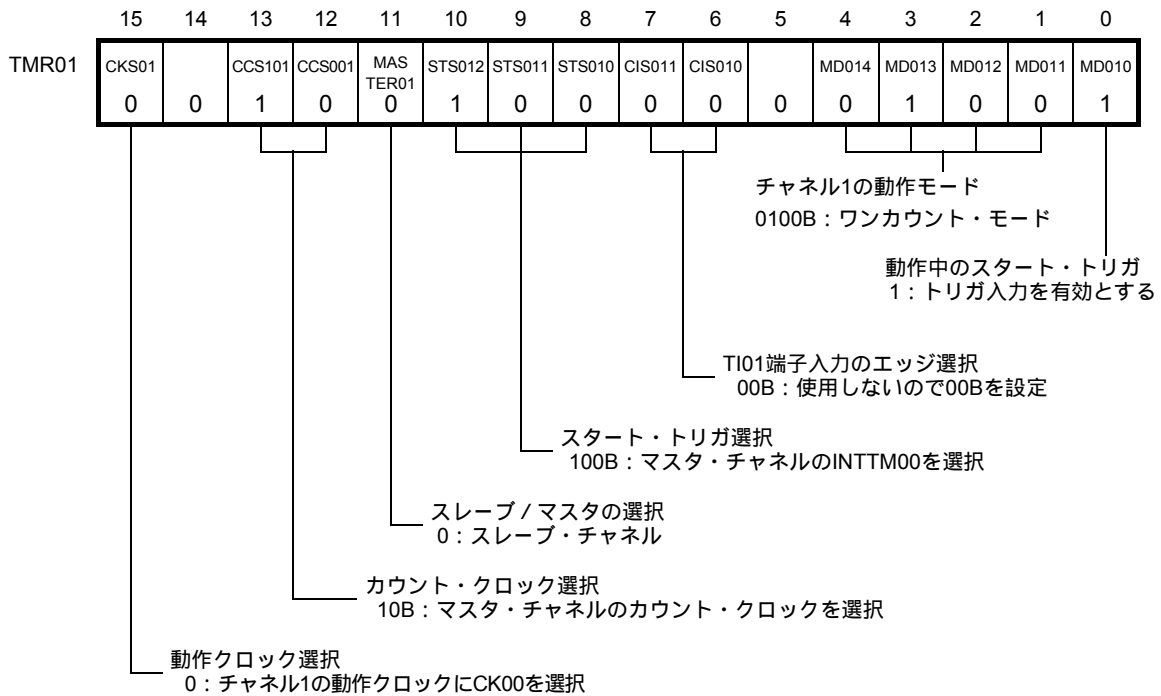


(b) その他のレジスタ

TOE0 : TOE00	0 : カウント動作によるTO00出力動作停止
TO0 : TO00	0 : TO00よりロウ・レベルを出力する
TOM0 : TOM00	0 : TOE00 = 0 (カウント動作によるTO00出力動作停止) では0を設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

図7 - 82 非相補方式変調出力機能 (タイプ1) 時 (スレーブ・チャンネル1) のレジスタ設定内容例

(a) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRC01 = 1) のタイマ・モード・レジスタ01 (TMR01)

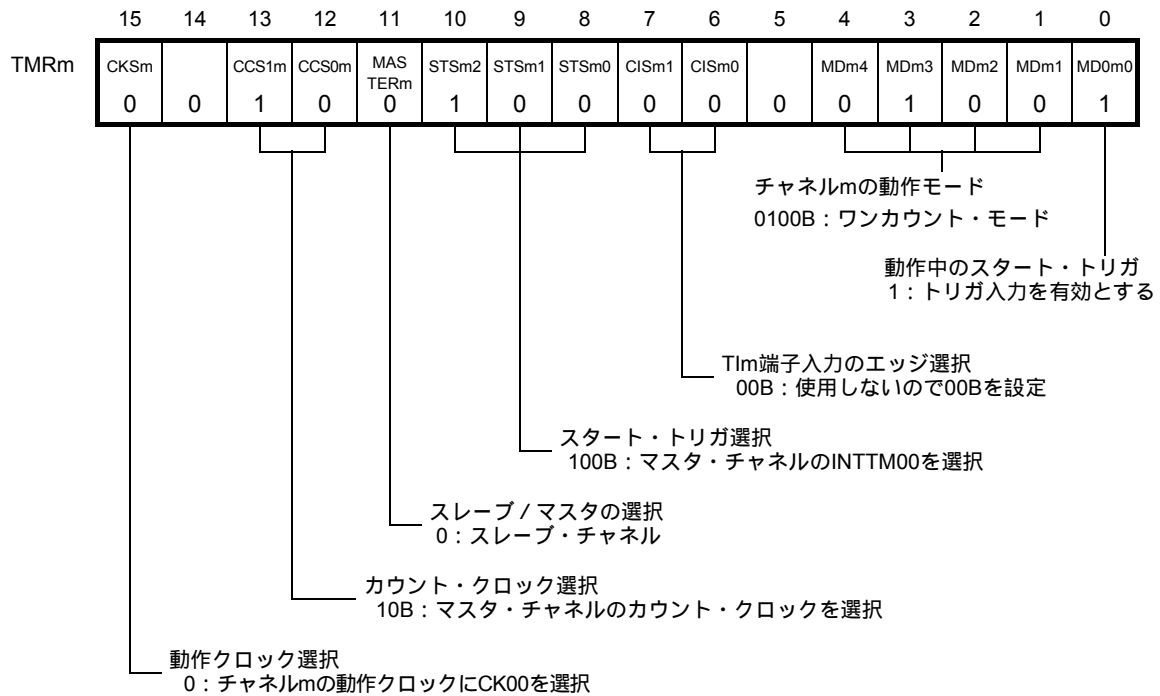


(b) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRC01 = 1) のその他のレジスタ

TOE0 : TOE01	0 : カウント動作によるTO01出力動作停止
TO0 : TO01	0 : TO01よりロウ・レベルを出力する
TOM0 : TOM01	0 : TOE01 = 0 (カウント動作によるTO01出力動作停止) では0を設定
TOT0 : TOT01	0 : TOM01 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL01	0 : TOM01 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE01	0 : デッド・タイム制御停止
TRE0 : TRE01	0 : リアルタイム出力停止
TRO0 : TRO01	0 : TRE01 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC01	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TME01	0 : 変調出力停止

図7 - 83 非相補方式変調出力機能（タイプ1）時（スレーブ・チャンネル2～7）のレジスタ設定内容例

(a) スレーブ・チャンネル2～7（リアルタイム出力チャンネル）（TRCm = 0）のタイマ・モード・レジスタ m（TMRm）



(b) スレーブ・チャンネル2～7（リアルタイム出力チャンネル）（TRCm = 0）のその他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTOM出力動作停止 1 : カウント動作によるTOM出力動作許可
TO0 : TOM	0 : TOMよりロウ・レベルを出力する 1 : TOMよりハイ・レベルを出力する
TOM0 : TOMm	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTm	0 : 三角波PWM出力以外を発生
TOL0 : TOLm	0 : 正論理出力（アクティブ・ハイ）
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROM	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止 1 : 変調出力許可

備考 m = 02-07

図7 - 84 非相補方式変調出力機能時 (タイプ1) の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する →	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する8チャンネルのTMR00, TMR01, TMRmレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル (周期) 値, スレーブ・チャンネル1のTDR01レジスタに0000H, スレーブ・チャンネル2~7のTDRmレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネル1の設定 TRC01ビットを1 (トリガ生成チャンネル) に設定する スレーブ・チャンネル2~7の設定 TOMmビットに1 (スレーブ・チャンネル出力モード) を設定する TOTmビットに0 (三角波PWM出力以外を発生) を設定する TOLmビットを設定し, TOm出力のアクティブ・レベルを決定する TDEmビットを0 (デッド・タイム制御停止) に設定する TREMビットを1 (リアルタイム出力許可) に設定する TROmビットにリアルタイム出力レベルを設定する TRCmビットを0 (トリガ生成しないチャンネル) に設定する TMEmビットを設定し, 変調出力制御を決定する	TOm端子はHi-Z出力状態
	TOmビットを設定し, TOm出力の初期レベルを確定する → TOEmビットに1を設定し, TOmの動作を許可 → ポート・レジスタとポート・モード・レジスタに0を設定する →	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOm初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOmは変化しない TOm端子はTOm設定レベルを出力
動作 開始	TOEm (スレーブ2~7) に1を設定する (動作再開時のみ) TS0レジスタのTS00 (マスタ), TS01 (スレーブ1), TSm (スレーブ2~7) ビットに同時に1を設定する → TS00, TS01, TSmビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TE01 = 1, TEm = 1となる マスタ・チャンネルがカウント動作開始し, INTTM00を発生する。それをトリガとしてスレーブ・チャンネル1~7もカウント動作開始する。

動作再開時 (次ページより)

備考 m = 02-07

図7 - 84 非相補方式変調出力機能時（タイプ1）の操作手順（2/2）

	ソフトウェア操作	ハードウェアの状態	
動作再開時（前ページへ）	動作中	<p>TDR00, TDR01, TDRmレジスタは、マスタ・チャンネルのINTTM00発生後に設定値変更可能</p> <p>TCR00, TCR01, TCRmレジスタは、常に読み出し可能</p> <p>TROm, TMEEmレジスタは、設定値変更可能</p>	<p>マスタ・チャンネルとスレーブ・チャンネル2～7で6相PWM出力動作する。</p> <p>スレーブ・チャンネル1は、マスタ・チャンネルのINTTM00信号をトリガとして、TDR01レジスタ値をTCR01に転送し、カウンタはダウン・カウントを開始する。</p> <p>スレーブ・チャンネル2～7は、スレーブ・チャンネル1のINTTM01信号でリアルタイム出力する。TMEEmの設定にしたがい、非相補方式でPWM出力とリアルタイム出力を変調出力する。以降、この動作を繰り返す。</p>
	動作停止	<p>TT00（マスタ）、TT01（スレーブ1）、TTm（スレーブ2～7）ビットに同時に1を設定する → TEO0, TEO1, TEm = 0になり、カウント動作停止</p> <p>TCR00, TCR01, TCRmはカウント値を保持して停止</p> <p>TOm出力は初期化されず、状態保持</p>	<p>スレーブ・チャンネル2～7のTOEmビットに0を設定し、TOmビットに値を設定する → TOm端子はTOm設定レベルを出力</p>
	TAUS停止	<p>TOm端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後、TOmビットに0を設定する → TOm端子出力レベルはポート機能により保持される。</p> <p>TOm端子の出力レベルを保持不要の場合</p> <p>ポート・モード・レジスタを入力モードに切り替える → TOm端子出力レベルはHi-Z出力になる。</p> <p>PER2レジスタのTAU0EN, TAUOPENビットに0を設定する → パワーオフ状態</p>	<p>全回路が初期化され、各チャンネルのSFRも初期化される（TOmビットが0になり、TOm端子はポート機能となる）</p>

備考 m = 02-07

7.5.14 非相補方式変調出力機能（タイプ2）としての動作

3相のブラシレスDCモータをインバータ制御する方式として、120度通電方式と呼ばれる駆動方式があります。非相補方式変調出力機能（タイプ2）は、この120度通電方式を実現するための機能です。非相補方式変調出力機能では、1つの周期に対し6つのデューティ幅を設定し、6本または3本の三角波変調PWM出力を生成します。周期生成にチャンネル0、デューティ生成にチャンネル2-7を使用します。三角波変調PWM機能の詳細は、「7.5.4 三角波PWM出力機能としての動作」を参照してください。

また、PWMを生成するTOM端子に対応するTROmの値により変調出力をするため、リアルタイム出力トリガ生成にチャンネル1を設定します。リアルタイム出力トリガの詳細は、「7.5.11 連動リアルタイム出力機能（タイプ2）としての動作」を参照してください。

三角波変調PWM出力機能によるPWM、連動リアルタイム機能（タイプ2）によるTROm出力とタイマ・モジュレーション出力許可レジスタ0（TME0）のTMEビットの操作により、非相補方式変調出力を生成します。

マスタ・チャンネルは、インターバル・タイマ・モードで動作し周期をカウントします。

スレーブ・チャンネル1は、イベント・カウント・モードで動作しリアルタイム出力トリガを生成します。マスタ・チャンネルのINTTM00出力回数を間引きして、リアルタイム出力トリガを生成します。

この機能では、INTTM0の間引き回数は、1, 3, 5・・・の奇数回を設定してください。

スレーブ・チャンネル2~7は、アップ・ダウン・カウント・モードで動作しデューティをカウントし三角波変調PWM波形を生成します。

また、TMEを操作することで変調出力を制御できます。TME = 1のとき、PWM出力とリアルタイム出力のANDした値をTOM端子より出力することで、非相補方式での変調出力が可能となります。TME = 0の時は、リアルタイム出力の設定値（TROm）をTOM端子より出力します。

PWM出力とリアルタイム出力を変調してTOM端子より出力するため、スレーブ・チャンネル2~7のTOMの初期レベルは、ロウ・レベルで動作を開始する必要があります。スレーブ・チャンネル2~7のTOLmは“0”固定とし、反転制御が必要な場合はTLS2-TLS7（OPMRレジスタ）で対応します。

PWM出力とリアルタイム出力の変調制御は、TROm = 1（アクティブ・レベル：ハイ・レベル）のときに行います。TROm = 0の時はPWM出力の変調出力を行いません。

注意 TE00 = 1, TE01 = 1, TEm = 1期間中、TS00, TS01, TSmへの“1”設定（強制再スタート）は使用できません。TE00 = 1, TE01 = 1, TEm = 1期間中にTS00, TS01, TSmを“1”に設定すると、カウンタ値（TCR00, TCR01, TCRm）が不正となりTOMは期待波形を出力できません。

備考 m = 02-07

図7 - 85 非相補方式変調出力機能 (タイプ2) 時のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)

スレーブ・チャンネル1
TRC01 = 1
(イベント・カウント・モード)

スレーブ・チャンネル2
TRC02 = 0
(アップ・ダウン・カウント・モード)

スレーブ・チャンネル7
TRC07 = 0
(アップ・ダウン・カウント・モード)

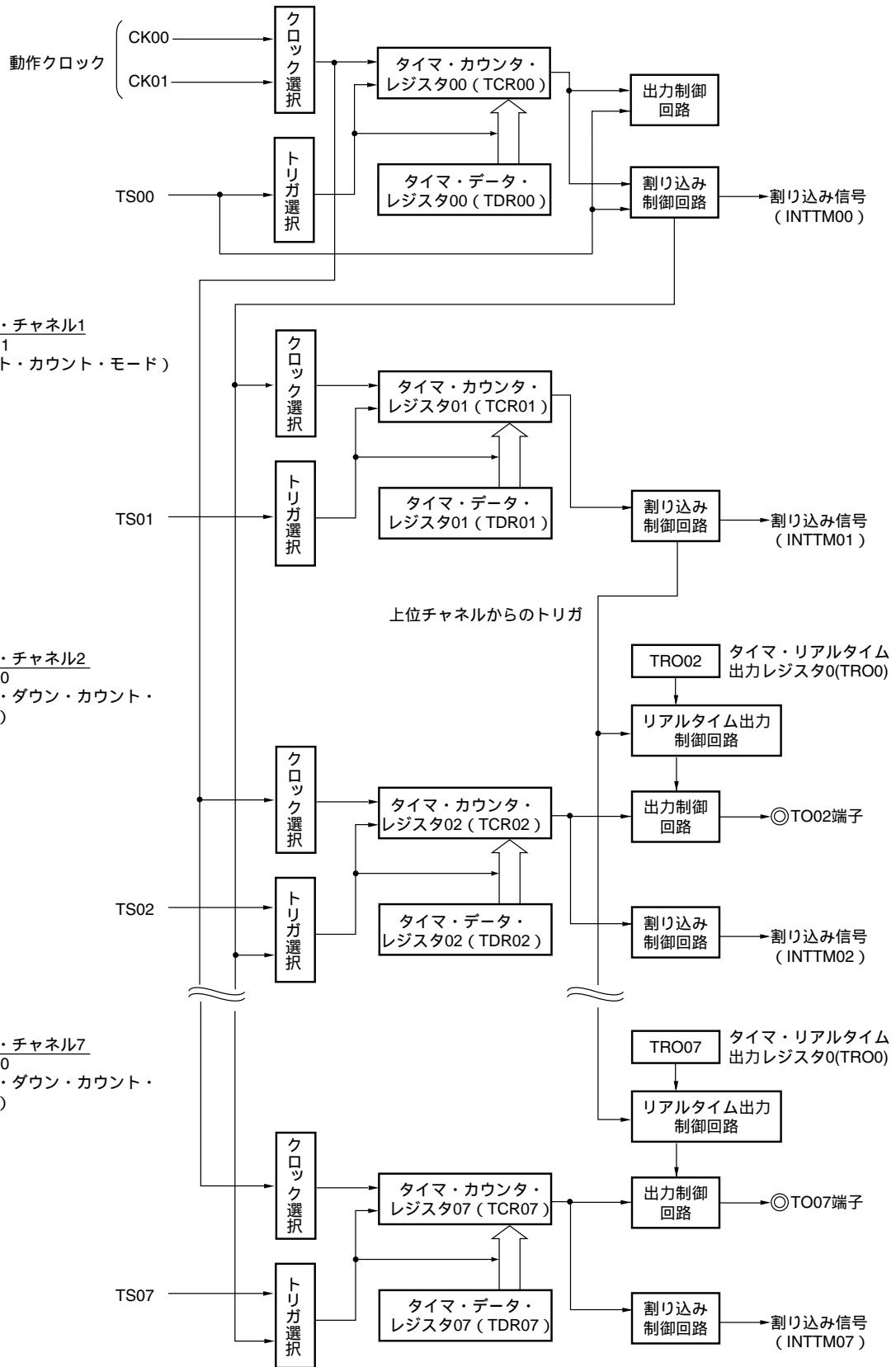
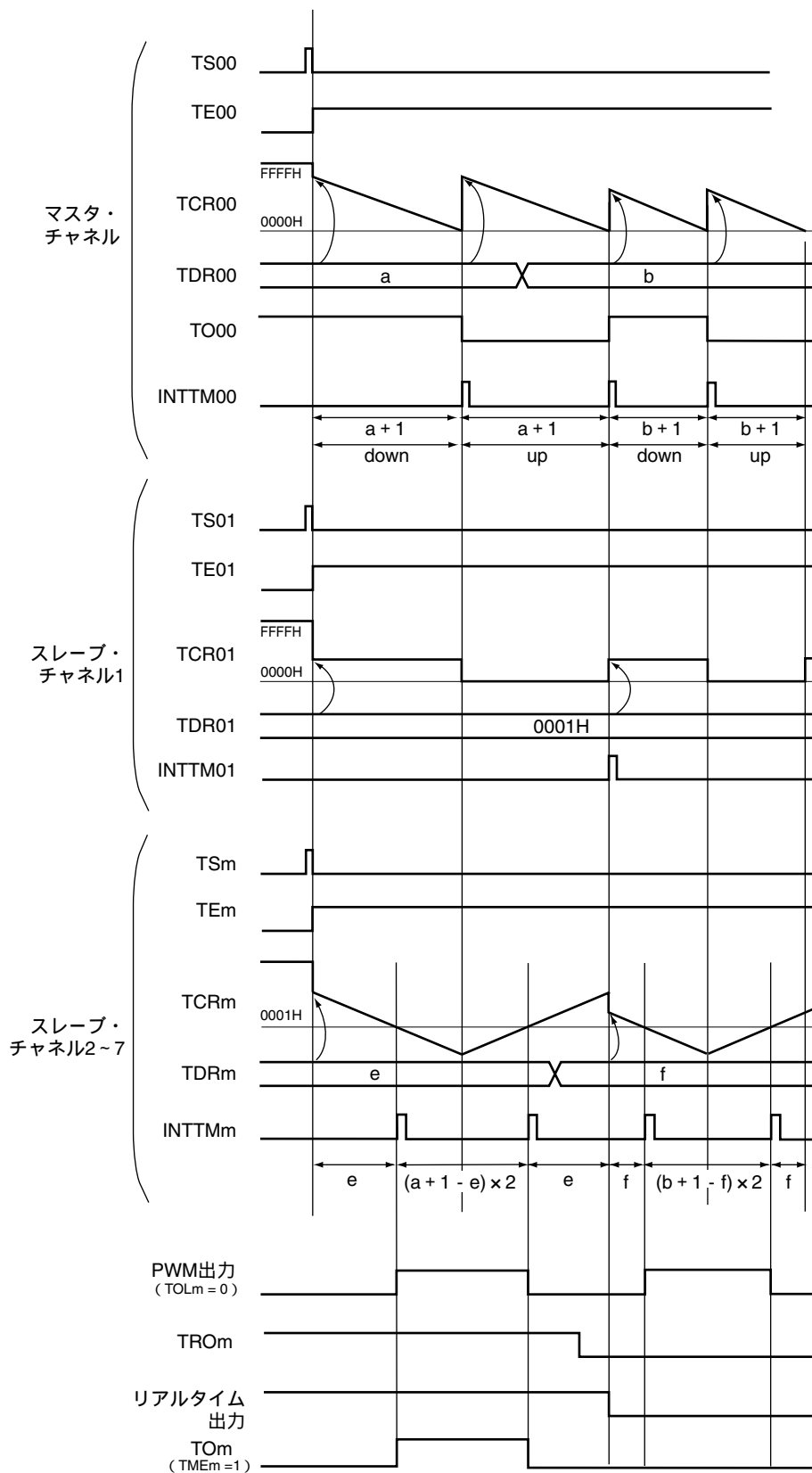


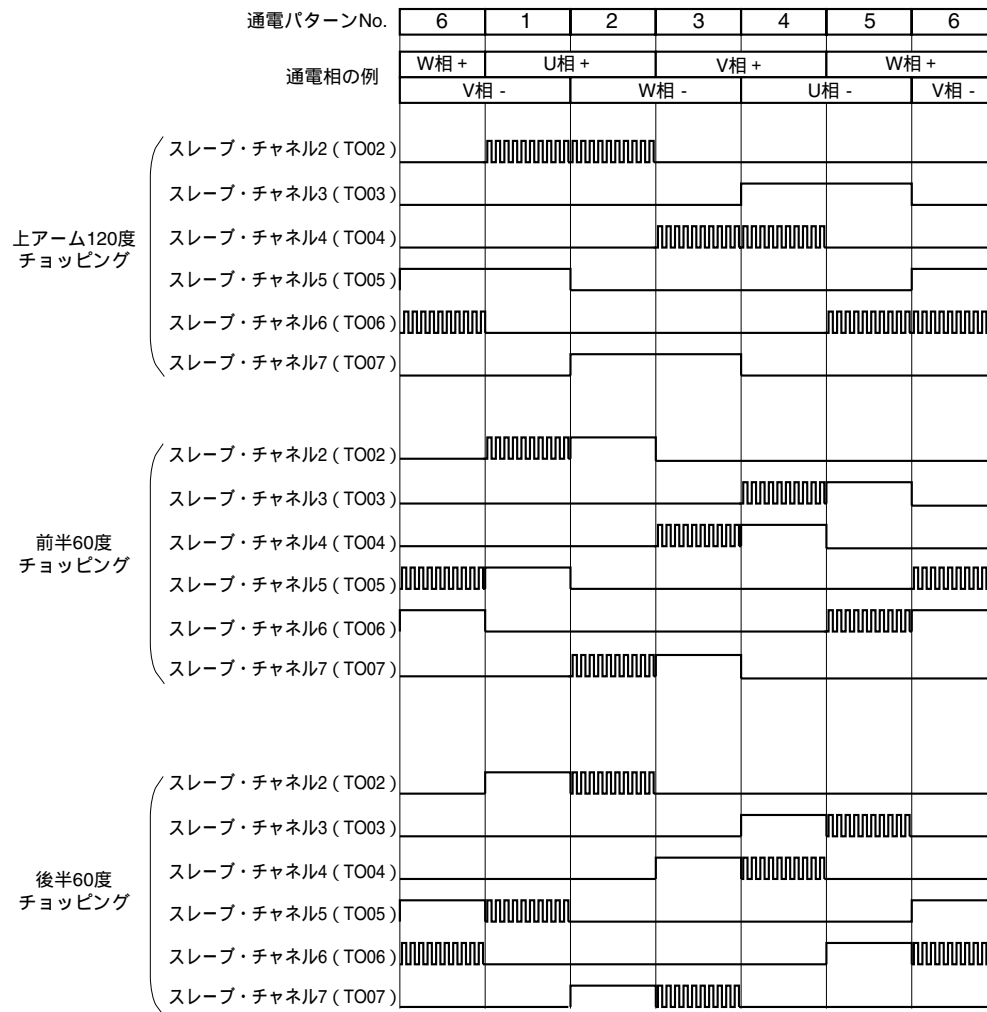
図7 - 86 非相補方式変調出力機能 (タイプ2) 時の基本タイミング例 (初期設定 : TO00 = 1, T0m = 0, MD000 = 0)



備考 m = 02-07

3相ブラシレスDCモータの120度通電制御時の非相補通電例をを図7 - 87に示します。

図7 - 87 3相ブラシレスDCモータの120度通電制御非相補通電例 (アクティブ・ハイ)



非相補方式変調出力機能(タイプ2)時のTROmとTME mの組み合わせ例を次に示します(アクティブ・ハイ)。120度チョッピング, 前半60度チョッピング, 後半60度チョッピングの通電パターンを切り換えるため, タイマ動作中にTROm, TME mを変更します。

表7-5 120度通電制御時の非相補方式出力例(上アーム120度チョッピング)

通電 パタン No.	制御 レジス タ	TROm, TME m設定値						TOm出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROm	1	0	0	1	0	0	PWM	Low	Low	High	Low	Low
	TME m	1	0	1	0	1	0						
2	TROm	1	0	0	0	0	1	PWM	Low	Low	Low	Low	High
	TME m	1	0	1	0	1	0						
3	TROm	0	0	1	0	0	1	Low	Low	PWM	Low	Low	High
	TME m	1	0	1	0	1	0						
4	TROm	0	1	1	0	0	0	Low	High	PWM	Low	Low	Low
	TME m	1	0	1	0	1	0						
5	TROm	0	1	0	0	1	0	Low	High	Low	Low	PWM	Low
	TME m	1	0	1	0	1	0						
6	TROm	0	0	0	1	1	0	Low	Low	Low	High	PWM	Low
	TME m	1	0	1	0	1	0						

表7-6 120度通電制御時の非相補方式出力例(前半60度チョッピング)

通電 パタン No.	制御 レジス タ	TROm, TME m設定値						TOm出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROm	1	0	0	1	0	0	PWM	Low	Low	High	Low	Low
	TME m	1	1	1	1	1	1						
2	TROm	1	0	0	0	0	1	High	Low	Low	Low	Low	PWM
	TME m	0	1	1	1	1	1						
3	TROm	0	0	1	0	0	1	Low	Low	PWM	Low	Low	High
	TME m	1	1	1	1	1	0						
4	TROm	0	1	1	0	0	0	Low	PWM	High	Low	Low	Low
	TME m	1	1	0	1	1	1						
5	TROm	0	1	0	0	1	0	Low	High	Low	Low	PWM	Low
	TME m	1	0	1	0	1	1						
6	TROm	0	0	0	1	1	0	Low	Low	Low	PWM	High	Low
	TME m	1	1	1	1	0	1						

備考 m = 02-07

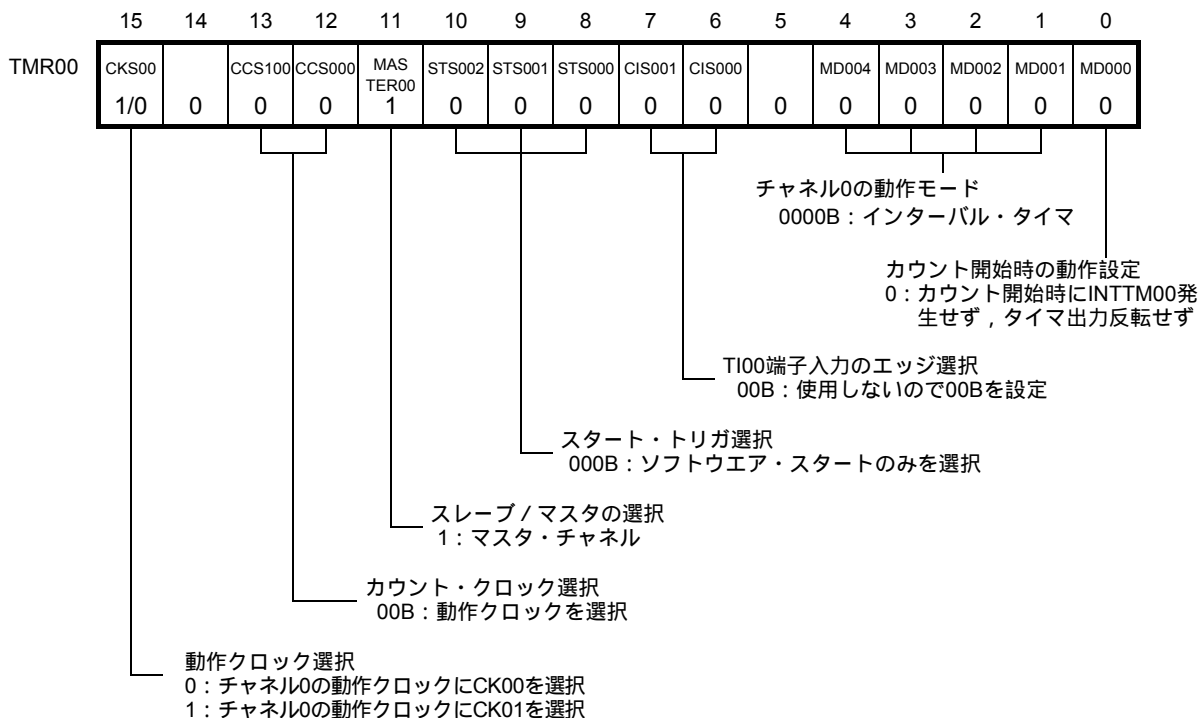
表7-7 120度通電制御時の非相補方式出力例（後半60度チョッピング）

通電 パタン No.	制御 レジス タ	TROm, TME m設定値						TOm出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROm	1	0	0	1	0	0	High	Low	Low	PWM	Low	Low
	TME m	0	1	1	1	1	1						
2	TROm	1	0	0	0	0	1	PWM	Low	Low	Low	Low	High
	TME m	1	1	1	1	1	0						
3	TROm	0	0	1	0	0	1	Low	Low	High	Low	Low	PWM
	TME m	1	1	1	1	1	1						
4	TROm	0	1	1	0	0	0	Low	High	PWM	Low	Low	Low
	TME m	1	0	1	1	1	1						
5	TROm	0	1	0	0	1	0	Low	PWM	Low	Low	High	Low
	TME m	1	1	1	1	0	1						
6	TROm	0	0	0	1	1	0	Low	Low	Low	High	PWM	Low
	TME m	1	1	1	0	1	1						

備考 m = 02-07

図7 - 88 非相補方式変調出力機能（タイプ2）時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)



(b) その他のレジスタ

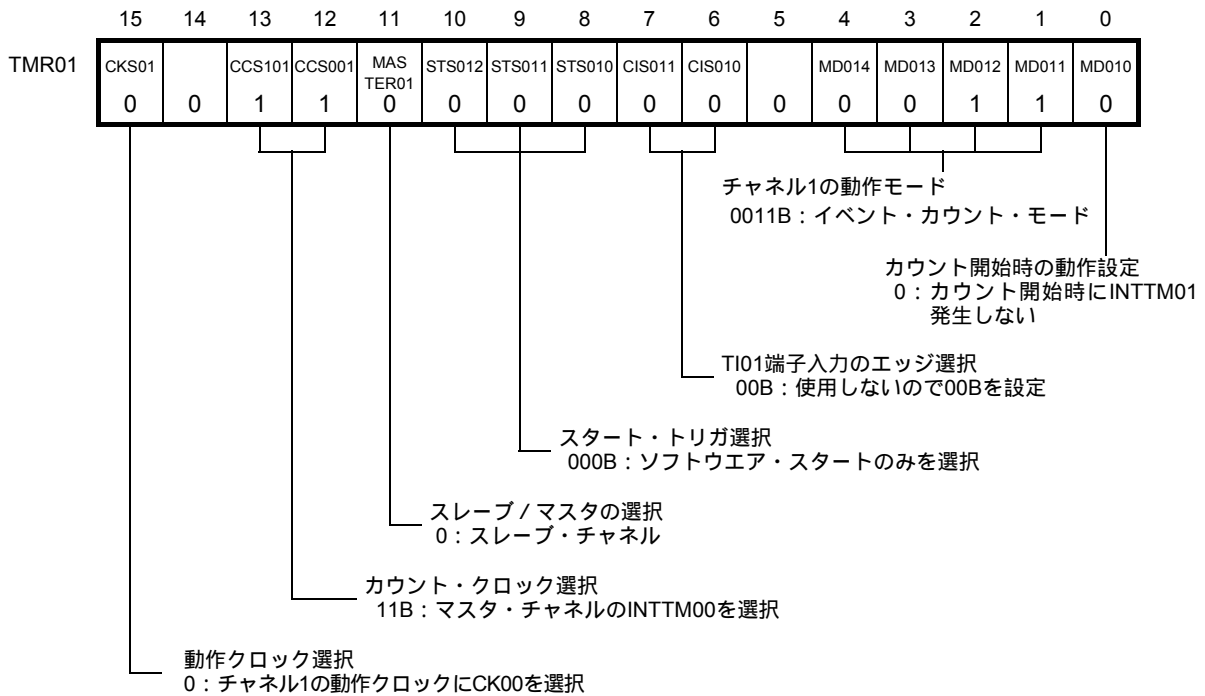
TOE0 : TOE00 <small>注</small>	0 : カウント動作によるTO00出力動作停止 1 : カウント動作によるTO00出力動作許可
TO0 : TO00	1 : TO00よりハイ・レベルを出力する
TOM0 : TOM00	0 : TOE00 = 0 (カウント動作によるTO00出力動作停止) では0を設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

注 次の場合は, マスタ・チャンネルのTOE00を“1”に設定してください。

- ・ INTTMM0, INTTMV0, INTTMM1, INTTMV1割り込み信号の使用
- ・ OPMR, OPHS, OPHTレジスタの制御による, Hi-Z出力制御, A/D変換トリガ選択

図7 - 89 非相補方式変調出力機能 (タイプ2) 時 (スレーブ・チャンネル1) のレジスタ設定内容例

(a) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRC01 = 1) のタイマ・モード・レジスタ01 (TMR01)

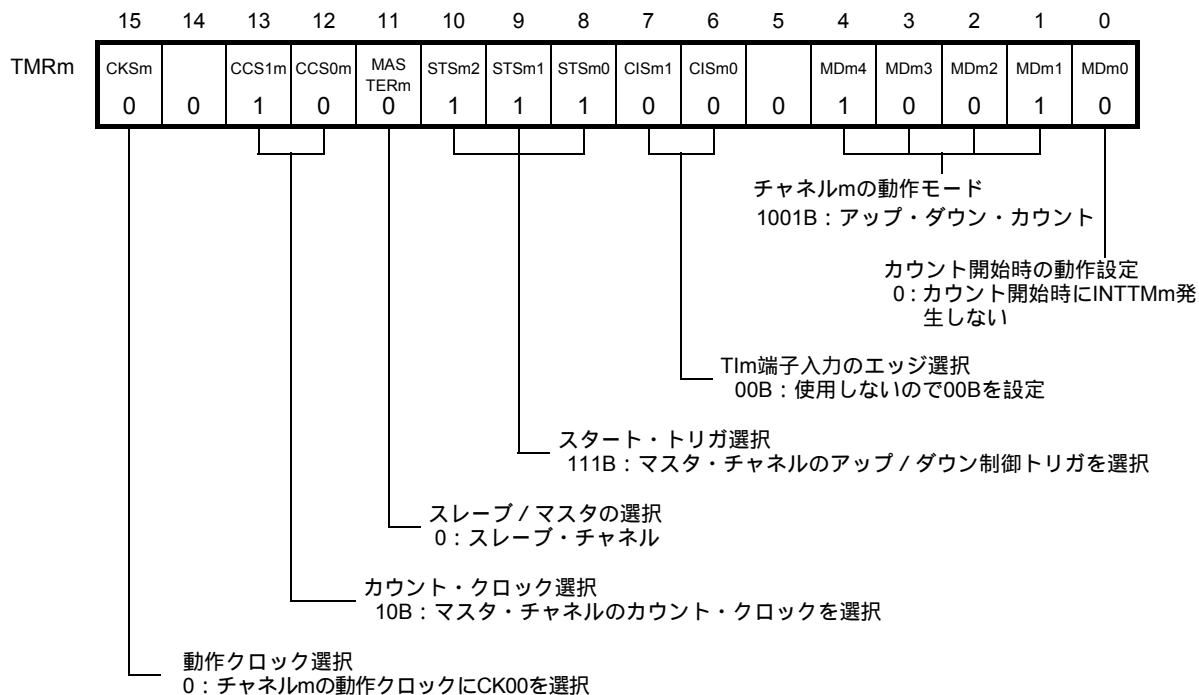


(b) スレーブ・チャンネル1 (リアルタイム出力トリガ生成チャンネル) (TRC01 = 1) のその他のレジスタ

TOE0 : TOE01	0 : カウント動作によるTO01出力動作停止
TO0 : TO01	0 : TO01よりロウ・レベルを出力する
TOM0 : TOM01	0 : TOE01 = 0 (カウント動作によるTO01出力動作停止) では0を設定
TOT0 : TOT01	0 : TOM01 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL01	0 : TOM01 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE01	0 : デッド・タイム制御停止
TRE0 : TRE01	0 : リアルタイム出力停止
TRO0 : TRO01	0 : TRE01 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC01	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TME01	0 : 変調出力停止

図7 - 90 非相補方式変調出力機能 (タイプ2) 時 (スレーブ・チャンネル2~7) のレジスタ設定内容例

(a) スレーブ・チャンネル2~7 (リアルタイム出力チャンネル) (TRCm = 0) のタイマ・モード・レジスタ m (TMRm)



(b) スレーブ・チャンネル2~7 (リアルタイム出力チャンネル) (TRCm = 0) のその他のレジスタ

TOE0 : TOEm	0 : カウント動作によるTOM出力動作停止 1 : カウント動作によるTOM出力動作許可
TO0 : TOM	0 : TOMよりロウ・レベルを出力する 1 : TOMよりハイ・レベルを出力する
TOM0 : TOMm	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTm	1 : 三角波PWM出力を設定
TOL0 : TOLm	0 : 正論理出力 (アクティブ・ハイ) ^注
TDE0 : TDEm	0 : デッド・タイム制御停止
TRE0 : TREm	1 : リアルタイム出力可能
TRO0 : TROM	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCm	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEm	0 : 変調出力停止 1 : 変調出力許可

注 反転出力したい場合は, OPMRレジスタのTLS7-TLS2ビットを1に設定してください。

備考 m = 02-07

図7 - 91 非相補方式変調出力機能時 (タイプ2) の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
チャ ネル 初期 設定	使用する8チャンネルのTMR00, TMR01, TMRmレジスタを設定する (チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル (周期) 値, スレープ・チャンネル1のTDR01レジスタに間引き回数, スレープ・チャンネル2~7のTDRmレジスタにデューティ値を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレープ・チャンネル1の設定 TRC01ビットを1 (トリガ生成チャンネル) に設定する スレープ・チャンネル2~7の設定 TOMmビットに1 (スレープ・チャンネル出力モード) を設定する TOTmビットに1 (三角波PWM出力) を設定する TOLmビットに0 (正論理出力) を設定する TDEmビットを0 (デッド・タイム制御停止) に設定する TREMビットを1 (リアルタイム出力許可) に設定する TROmビットにリアルタイム出力レベルを設定する TRCmビットを0 (トリガ生成しないチャンネル) に設定する TMEemビットを設定し, 変調出力制御を決定する	TOM端子はHi-Z出力状態
	TOMビットを設定し, TOM出力の初期レベルを確定する TOEmビットに1を設定し, TOMの動作を許可 ポート・レジスタとポート・モード・レジスタに0を設定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TOM初期設定レベルが出力される。 チャンネルは動作停止状態なので, TOMは変化しない TOM端子はTOM設定レベルを出力
動作 開始	TOE0 (マスタ), TOEm (スレープ2~7) に1を設定する (動作再開時のみ) TS0レジスタのTS00 (マスタ), TS01 (スレープ1), TSm (スレープ2~7) ビットに同時に1を設定する TS00, TS01, TSmビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TE01 = 1, TEm = 1となる マスタ・チャンネルがカウント動作開始し, INTTM00を発生する。それをトリガとしてスレープ・チャンネル1もカウント動作開始する。

動作再開時 (次ページより)

備考 m = 02-07

図7 - 91 非相補方式変調出力機能時 (タイプ2) の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態	
動作再開時(前ページへ)	動作中	<p>TDR00 (マスタ) レジスタは, アップ・ステータス期間中の設定値変更が必要</p> <p>TDRm (スレーブ2~7) レジスタは, 任意に設定値変更可能</p> <p>TCR00, TCR01, TCRmレジスタは, 常に読み出し可能</p> <p>TSRm (スレーブ) レジスタは, 常に読み出し可能</p> <p>TROm, TMEEmレジスタは, 設定値変更可能</p>	<p>マスタ・チャンネルとスレーブ・チャンネル2~7で三角波PWM出力動作する。</p> <p>スレーブ・チャンネル1は, マスタ・チャンネルのINTTM00信号をトリガとして, TDR01レジスタ値をTCR01に転送し, カウンタはダウン・カウントを開始する。</p> <p>スレーブ・チャンネル2~7は, スレーブ・チャンネル1のINTTM01信号でリアルタイム出力する。TMEEmの設定にしたがい, 非相補方式でPWM出力とリアルタイム出力を変調出力する。以降, この動作を繰り返す。</p>
	動作停止	<p>TT00 (マスタ), TT01 (スレーブ1), TTm (スレーブ2~7) ビットに同時に1を設定する → TE00, TE01, TEm = 0になり, カウント動作停止</p> <p>TT00, TT01, TTmビットはトリガ・ビットなので, 自動的に0に戻る</p> <p>TCR00, TCR01, TCRmはカウント値を保持して停止</p> <p>TOm出力は初期化されず, 状態保持</p>	
	スレーブ・チャンネル2~7のTOEmビットに0を設定し, TOmビットに値を設定する → TOm端子はTOm設定レベルを出力		
TAUS停止	<p>TOm端子の出力レベルを保持する場合</p> <p>ポート・レジスタに保持したい値を設定後, TOmビットに0を設定する → TOm端子出力レベルはポート機能により保持される。</p> <p>TOm端子の出力レベルを保持不要の場合</p> <p>ポート・モード・レジスタを入力モードに切り替える → TOm端子出力レベルはHi-Z出力になる。</p> <p>PER2レジスタのTAU0EN, TAUOPENビットに0を設定する →</p>	<p>パワーオフ状態</p> <p>全回路が初期化され, 各チャンネルのSFRも初期化される (TOmビットが0になり, TOm端子はポート機能となる)</p>	

備考 m = 02-07

7.5.15 相補方式変調出力機能としての動作

3相のブラシレスDCモータをインバータ制御する方式として、120度通電方式と呼ばれる駆動方式があります。相補方式変調出力機能は、この120度通電方式を実現するための機能です。相補方式により、制動も制御できるようになります。相補方式変調出力機能では、1つの周期に対し3つのデューティ幅を設定し、デッド・タイムを付加した3相の三角波変調PWM (TOP, TOQ) 出力を生成します。周期生成にチャンネル0, デューティ生成にチャンネル2, チャンネル4, チャンネル6, デッド・タイム生成チャンネルにチャンネル3, チャンネル5, チャンネル7を設定します(6相三角波PWM出力機能)。6相三角波変調PWM機能の詳細は、「7.5.6 6相三角波PWM出力機能としての動作」を参照してください。

また、PWMを生成するTOP, TOQ端子に対応するTROp, TROqの値により変調出力をするため、リアルタイム出力トリガ生成にチャンネル1を設定します。リアルタイム出力トリガの詳細は、「7.5.11 連動リアルタイム出力機能(タイプ2)としての動作」を参照してください。

6相三角波変調PWM出力機能によるPWM(TOP, TOQ), 連動リアルタイム機能(タイプ2)によるTROp, TROq出力とタイマ・モジュレーション出力許可レジスタ0 (TME0) のTMEp, TMEqビット, デッド・タイム付加を選択するTOLp, TOLqの操作により、相補方式変調出力を生成します。

マスタ・チャンネルは、インターバル・タイマ・モードで動作し周期をカウントします。

スレーブ・チャンネル1は、イベント・カウント・モードで動作しリアルタイム出力トリガを生成します。マスタ・チャンネルのINTTM00出力回数を間引きして、リアルタイム出力トリガを生成します。

この機能では、INTTM00の間引き回数は、1, 3, 5...の奇数回を設定してください。

スレーブ・チャンネル2, 4, 6は、アップ・ダウン・カウント・モードで動作しデューティをカウントします。

スレーブ・チャンネル3, 5, 7は、ワンカウント・モードで動作しデッド・タイムをカウントします。

スレーブ・チャンネル2, 4, 6(デューティ)とスレーブ・チャンネル3, 5, 7(デッド・タイム)のカウント動作(INTTMp, INTTMq)によりTOP, TOQを変化させ、6相三角波PWM波形を出力します。

また、TMEp, TMEqを操作することで変調出力を制御できます。TMEp, TMEq = 1のとき、PWM出力とリアルタイム出力を変調させてTOP, TOQ端子より出力します。TMEp, TMEq = 0の時は、リアルタイム出力の設定値(TROp, TROq)をTOP, TOQ端子より出力します。

PWM出力とリアルタイム出力を変調してTOP, TOQ端子より出力するため、スレーブ・チャンネル2~7のTOLp, TOLqの設定により、TOP, TOQ端子の初期レベルを決定します(初期レベルは、TOLp, TOLq = 0のとき、ロウ・レベル, TOLp, TOLq = 1のとき、ハイ・レベルとなります)。

相補方式変調出力では、スレーブ・チャンネル2とスレーブ・チャンネル3をセット、スレーブ・チャンネル4とスレーブ・チャンネル5をセット、スレーブ・チャンネル6とスレーブ・チャンネル7をセットとし、PWM変調波形を出力します。動作は次のようになります。

- ・TROp = 1, TOLp = 0, TROq = 0, TOLq = 1設定の場合、TOP端子より正相PWM, TOQ端子より逆相PWMを出力
 - ・TROp = 0, TOLp = 1, TROq = 1, TOLq = 0設定の場合、TOP端子より逆相PWM, TOQ端子より正相PWMを出力
- TROp = 1設定されているチャンネルのTOP端子から正相PWMを、TROp = 1設定されているチャンネルのペアとなるチャンネルのTOQ端子から逆相PWMを出力させます。

(注意、備考は、次ページにあります。)

- 注意1. TE00 = 1, TE_p = 1, TE_q = 1期間中, TS00, TSp, TSqへの“1”設定(強制再スタート)は使用できません。TE00 = 1, TE_p = 1, TE_q = 1期間中にTS00, TSp, TSqを“1”に設定すると,カウンタ値(TCR00, TCR_p, TCR_q)が不正となりTO_p, TO_qは期待波形を出力できません。
2. TOL_p, TOL_qを変更する場合は, TO_p, TO_q端子がともにロウ・レベル(インアクティブ・レベル)の期間中に書き換える必要があります。ただし, TRO_p, TRO_q = 0に設定したあと, リアルタイム出力トリガが出力されるまでは, TO_p, TO_q端子はロウ・レベルにならないので注意してください。この期間外で書き換えるとTO_p, TO_q端子が同一レベルを出力する可能性があります。また, TRO_p, TRO_q, TOL_p, TOL_q, TME_p, TME_qの書き換えは, リアルタイム出力トリガとして使用するINTTM01の割り込みで行うことを推奨します。

備考 p = 02, 04, 06

q = 03, 05, 07

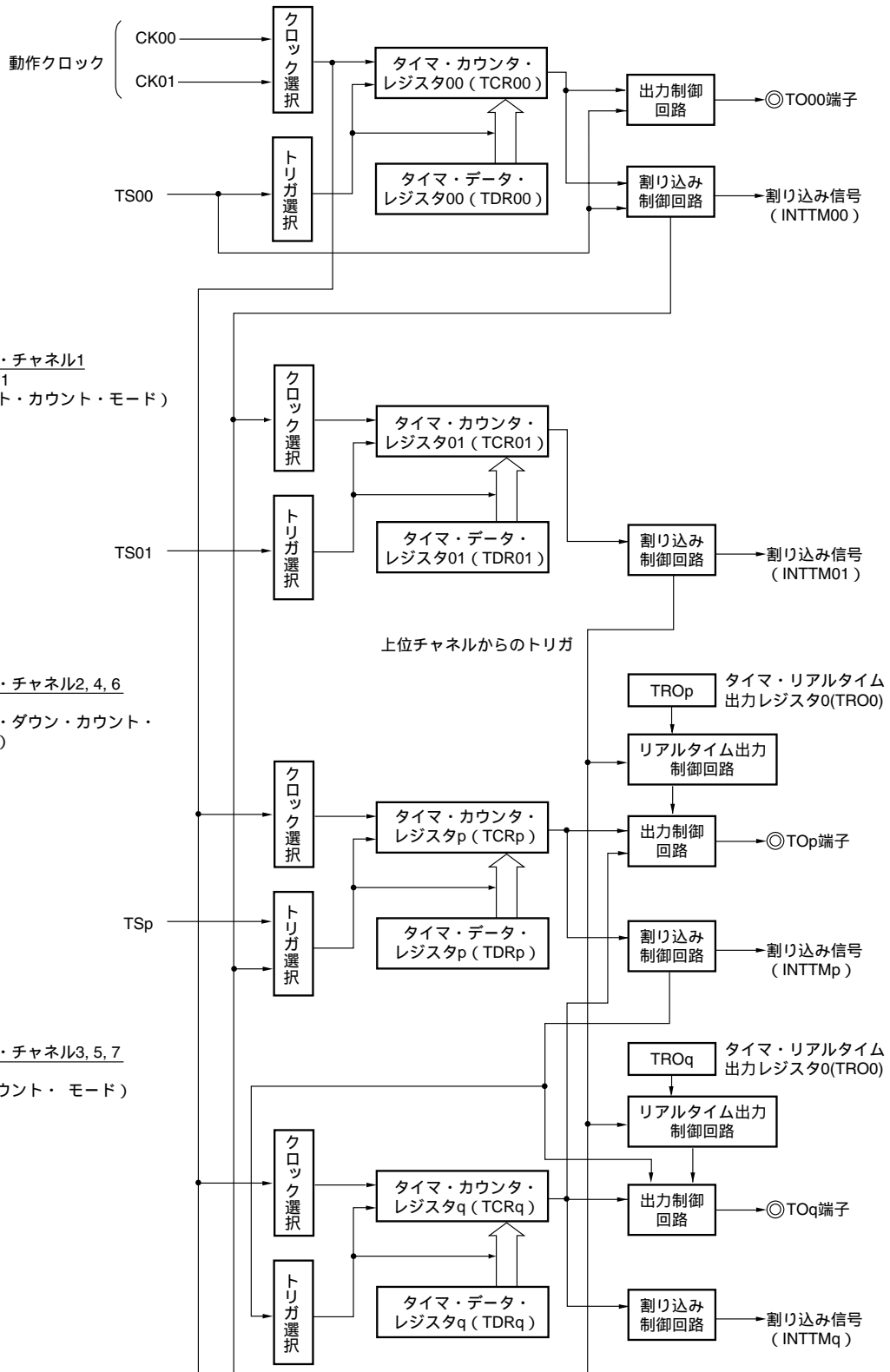
図7 - 92 相補方式変調出力機能時のブロック図

マスタ・チャンネル
(インターバル・タイマ・モード)

スレーブ・チャンネル1
TRC01 = 1
(イベント・カウント・モード)

スレーブ・チャンネル2, 4, 6
TRCp = 0
(アップ・ダウン・カウント・モード)

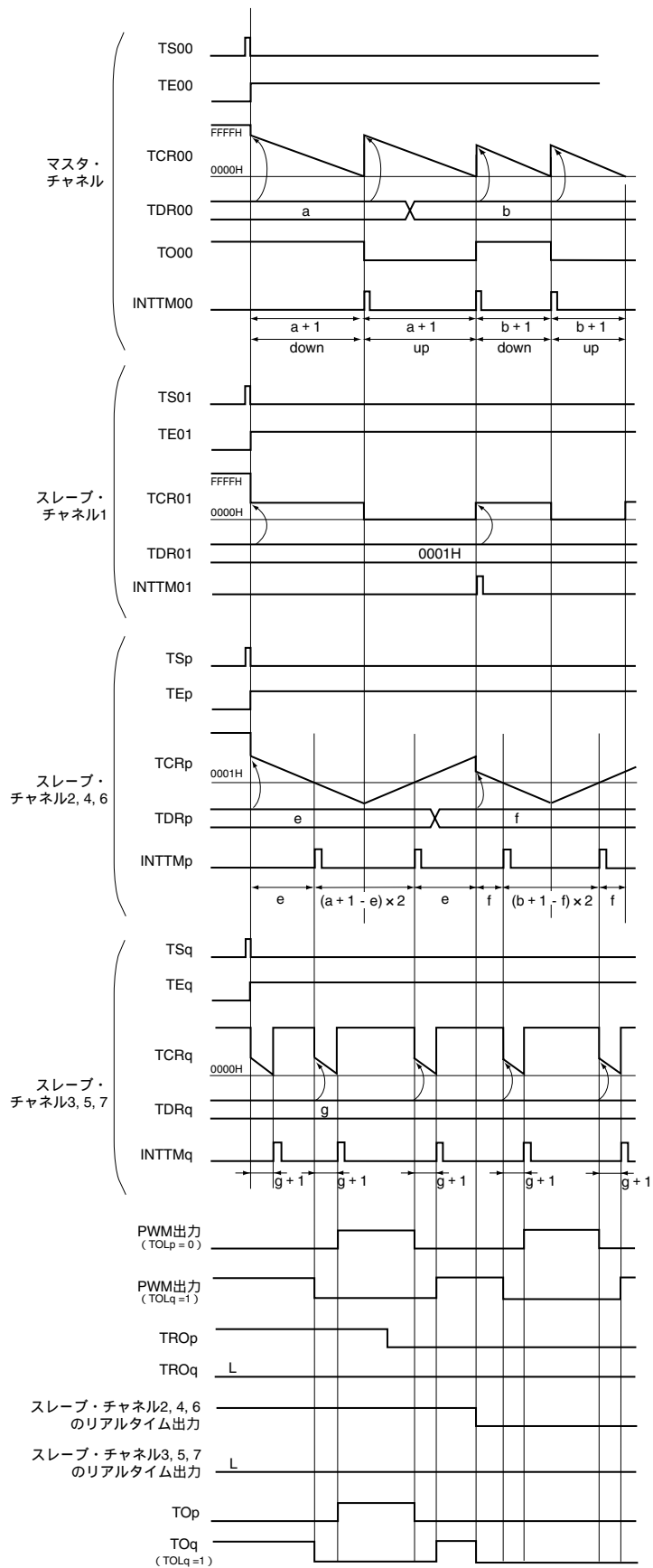
スレーブ・チャンネル3, 5, 7
TRCq = 0
(ワンカウント・モード)



備考 p = 02, 04, 06

q = 03, 05, 07

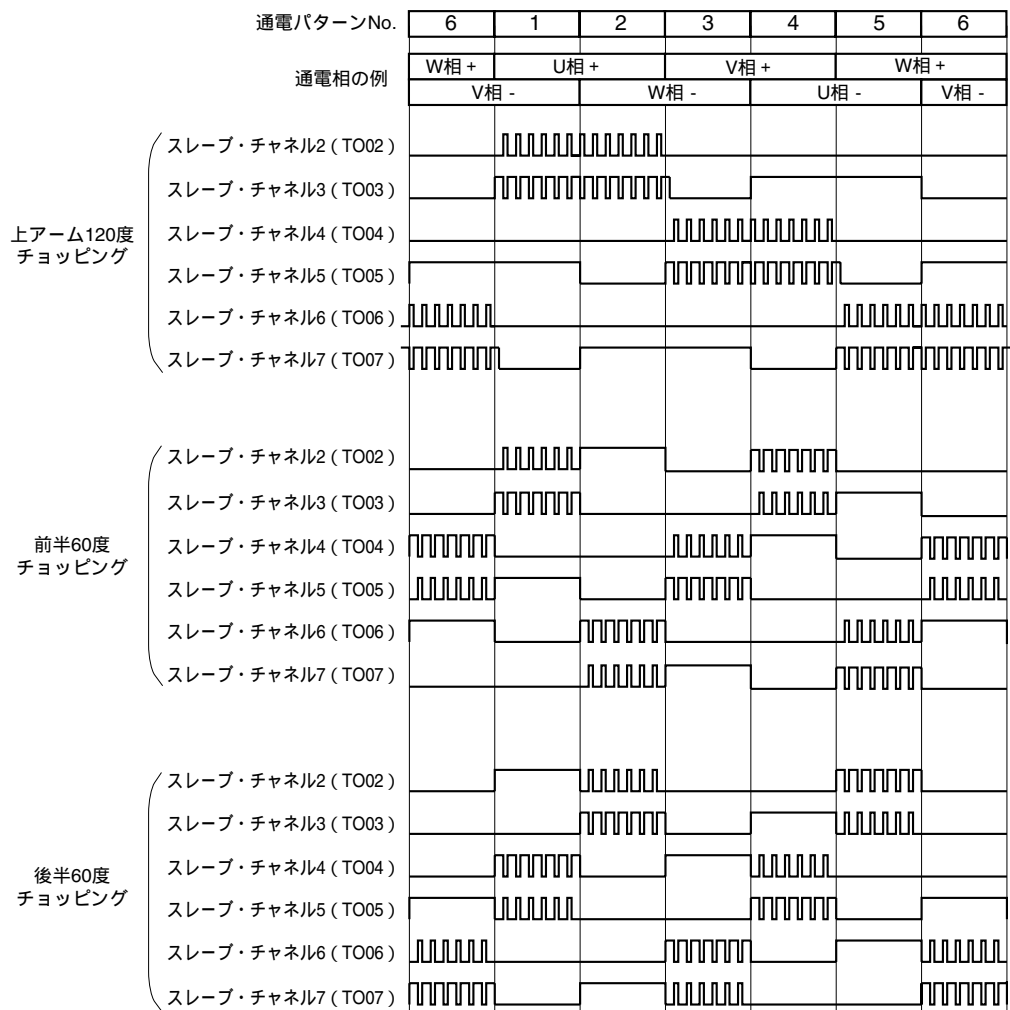
図7 - 93 相補方式変調出力機能時の基本タイミング例（初期設定：TO00 = 1, TOp = 0, TOq = 1, MD000 = 0）



備考 p = 02, 04, 06
q = 03, 05, 07

3相ブラシレスDCモータの120度通電制御時の相補通電例をを図7 - 94に示します。

図7 - 94 3相ブラシレスDCモータの120度通電制御非相補通電例 (アクティブ・ハイ)



相補方式変調出力機能時のTROp, TROqとTMEp, TMEqとTOLp, TOLqの組み合わせ例を次に示します（アクティブ・ハイ）。

120度チョッピング，前半60度チョッピング，後半60度チョッピングの通電パターンを切り換えるため，タイマ動作中にTROm, TMEmを変更します。

正相PWM，逆相PWMを切り換えるため，動作中にTOLp, TOLqを書き換えます。TOLp, TOLqを変更する場合は，TOp, TOq端子がともにロウ・レベル（インアクティブ・レベル）の期間中に書き換える必要があります。ただし，TROp, TROq = 0に設定したあと，リアルタイム出力トリガが出力されるまでは，TOp, TOq端子はロウ・レベルにならないので注意してください。

また，上アーム120度チョッピング，前半60度チョッピング，後半60度チョッピングを切り換えるため，動作中にTROp, TROq, TMEp, TMEqを書き換える必要があります。

表7 - 8 120度通電制御時の相補方式出力例（上アーム120度チョッピング）

通電 パタン No.	制御 レジスタ	TROp, TROq, TMEp, TMEq, TOLp, TOLq設定値						TOp, TOq出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレーブ 2	スレーブ 3	スレーブ 4	スレーブ 5	スレーブ 6	スレーブ 7
1	TROp, q	1	0	0	1	0	0	正相 PWM	逆相 PWM	Low	High	Low	Low
	TMEp, q	1	1	0	0	1	1						
	TOLp, q	0	1	1	0	1	0						
2	TROp, q	1	0	0	0	0	1	正相 PWM	逆相 PWM	Low	Low	Low	High
	TMEp, q	1	1	1	1	0	0						
	TOLp, q	0	1	0	1	1	0						
3	TROp, q	0	0	1	0	0	1	Low	Low	正相 PWM	逆相 PWM	Low	High
	TMEp, q	1	1	1	1	0	0						
	TOLp, q	1	0	0	1	1	0						
4	TROp, q	0	1	1	0	0	0	Low	High	正相 PWM	逆相 PWM	Low	Low
	TMEp, q	0	0	1	1	1	1						
	TOLp, q	1	0	0	1	0	1						
5	TROp, q	0	1	0	0	1	0	Low	High	Low	Low	正相 PWM	逆相 PWM
	TMEp, q	0	0	1	1	1	1						
	TOLp, q	1	0	1	0	0	1						
6	TROp, q	0	0	0	1	1	0	Low	Low	Low	High	正相 PWM	逆相 PWM
	TMEp, q	1	1	0	0	1	1						
	TOLp, q	0	1	1	0	0	1						

備考 TROp = 1かつTOLp = 0または，TROq = 1かつTOLq = 0のとき正相PWM

TROp = 0かつTOLp = 1または，TROq = 0かつTOLq = 1のとき逆相PWM

表7-9 120度通電制御時の相補方式出例（前半60度チョッピング）

通電 ボタン No.	制御 レジスタ	TROp, TROq, TMEp, TMEq, TOLp, TOLq設定値						TOp, TOq出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7
1	TROp, q	1	0	0	1	0	0	正相 PWM	逆相 PWM	Low	High	Low	Low
	TMEp, q	1	1	0	0	1	1						
	TOLp, q	0	1	1	0	1	0						
2	TROp, q	1	0	0	0	0	1	High	Low	Low	Low	逆相 PWM	正相 PWM
	TMEp, q	0	0	1	1	1	1						
	TOLp, q	0	1	0	1	1	0						
3	TROp, q	0	0	1	0	0	1	Low	Low	正相 PWM	逆相 PWM	Low	High
	TMEp, q	1	1	1	1	0	0						
	TOLp, q	1	0	0	1	1	0						
4	TROp, q	0	1	1	0	0	0	逆相 PWM	正相 PWM	High	Low	Low	Low
	TMEp, q	1	1	0	0	1	1						
	TOLp, q	1	0	0	1	0	1						
5	TROp, q	0	1	0	0	1	0	Low	High	Low	Low	正相 PWM	逆相 PWM
	TMEp, q	0	0	1	1	1	1						
	TOLp, q	1	0	1	0	0	1						
6	TROp, q	0	0	0	1	1	0	Low	Low	逆相 PWM	正相 PWM	High	Low
	TMEp, q	1	1	1	1	0	0						
	TOLp, q	0	1	1	0	0	1						

備考 TROp = 1かつTOLp = 0または, TROq = 1かつTOLq = 0のとき正相PWM

TROp = 0かつTOLp = 1または, TROq = 0かつTOLq = 1のとき逆相PWM

表7 - 10 120度通電制御時の相補方式出力例（後半60度チョッピング）

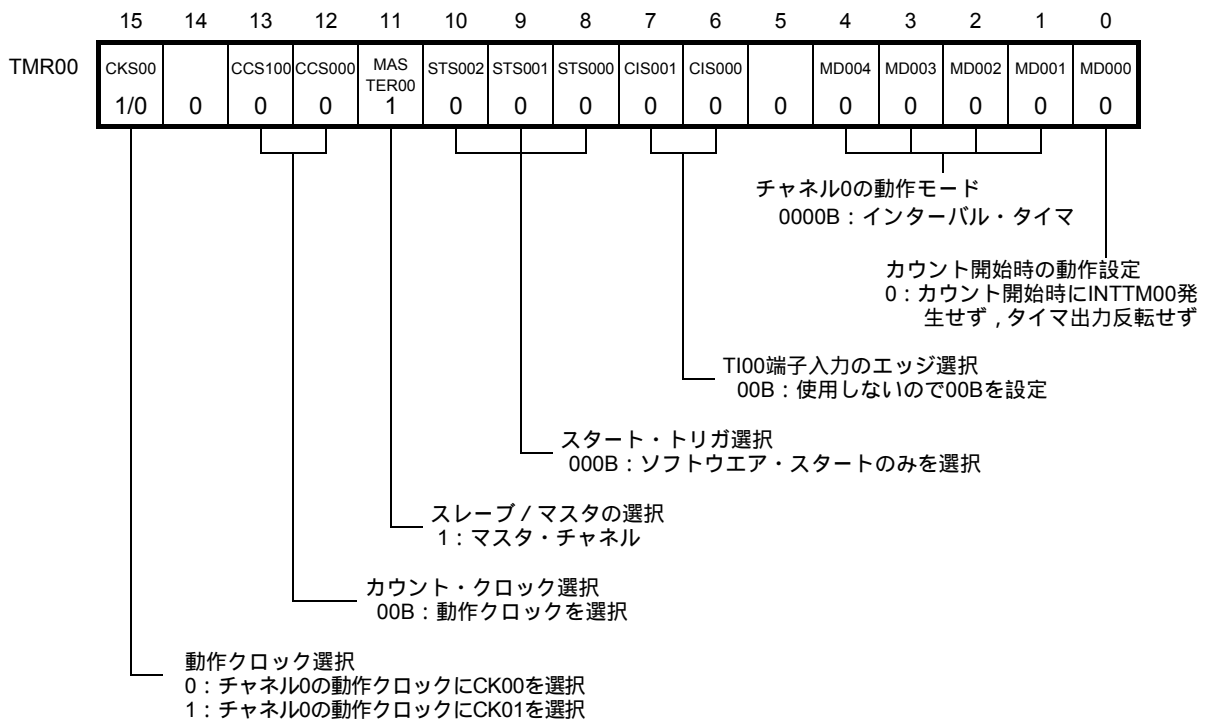
通電 ボタン No.	制御 レジスタ	TROp, TROq, TMEp, TMEq, TOLp, TOLq設定値						TOp, TOq出力					
		スレー ブ2	スレー ブ3	スレー ブ4	スレー ブ5	スレー ブ6	スレー ブ7	スレーブ 2	スレーブ 3	スレーブ 4	スレーブ 5	スレーブ 6	スレーブ 7
1	TROp, q	1	0	0	1	0	0	High	Low	逆相 PWM	正相 PWM	Low	Low
	TMEp, q	0	0	1	1	1	1						
	TOLp, q	0	1	1	0	1	0						
2	TROp, q	1	0	0	0	0	1	正相 PWM	逆相 PWM	Low	Low	Low	High
	TMEp, q	1	1	1	1	0	0						
	TOLp, q	0	1	0	1	1	0						
3	TROp, q	0	0	1	0	0	1	Low	Low	High	Low	逆相 PWM	正相 PWM
	TMEp, q	1	1	0	0	1	1						
	TOLp, q	1	0	0	1	1	0						
4	TROp, q	0	1	1	0	0	0	Low	High	正相 PWM	逆相 PWM	Low	Low
	TMEp, q	0	0	1	1	1	1						
	TOLp, q	1	0	0	1	0	1						
5	TROp, q	0	1	0	0	1	0	逆相 PWM	正相 PWM	Low	Low	High	Low
	TMEp, q	1	1	1	1	0	0						
	TOLp, q	1	0	1	0	0	1						
6	TROp, q	0	0	0	1	1	0	Low	Low	Low	High	正相 PWM	逆相 PWM
	TMEp, q	1	1	0	0	1	1						
	TOLp, q	0	1	1	0	0	1						

備考 TROp = 1かつTOLp = 0または, TROq = 1かつTOLq = 0のとき正相PWM

TROp = 0かつTOLp = 1または, TROq = 0かつTOLq = 1のとき逆相PWM

図7 - 95 相補方式変調出力機能時（マスタ・チャンネル）のレジスタ設定内容例

(a) タイマ・モード・レジスタ00 (TMR00)

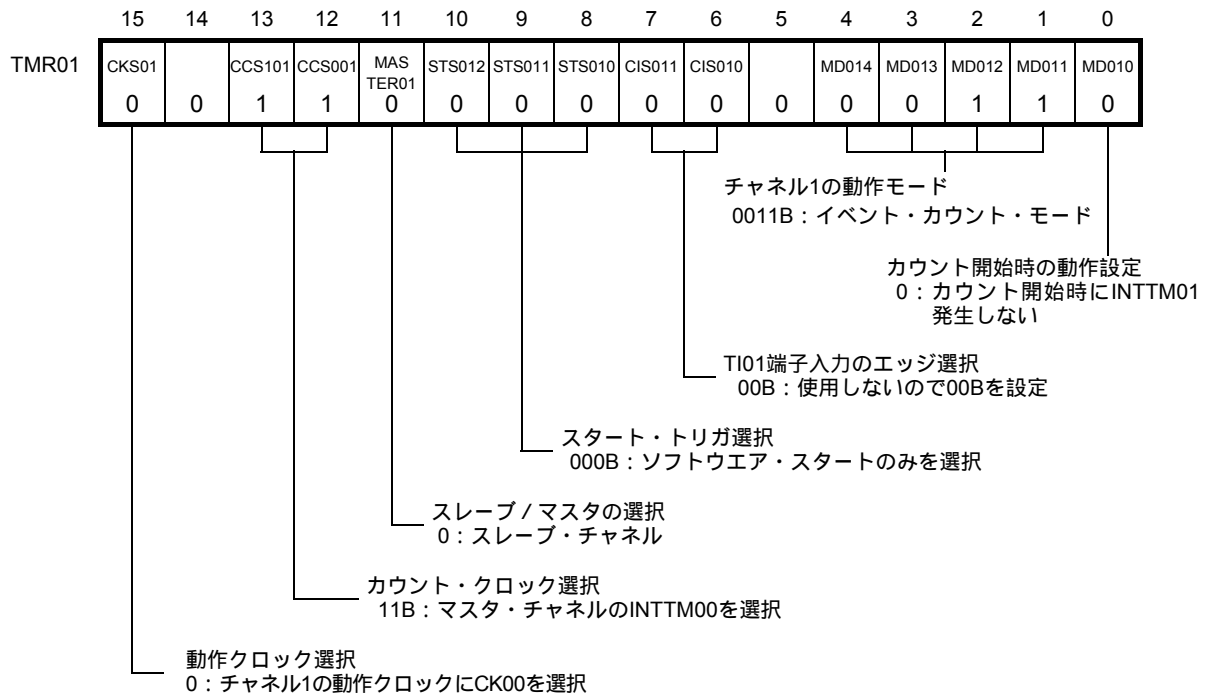


(b) その他のレジスタ

TOE0 : TOE00	0 : カウント動作によるTO00出力動作停止 1 : カウント動作によるTO00出力動作許可
TO0 : TO00	1 : TO00よりハイ・レベルを出力する
TOM0 : TOM00	0 : TOE00 = 0 (カウント動作によるTO00出力動作停止) では0を設定
TOT0 : TOT00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL00	0 : TOM00 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE00	0 : デッド・タイム制御停止
TRE0 : TRE00	0 : リアルタイム出力停止
TRO0 : TRO00	0 : TRE00 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC00	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TME00	0 : 変調出力停止

図7 - 96 相補方式変調出力機能時（スレーブ・チャンネル1）のレジスタ設定内容例

(a) スレーブ・チャンネル1（リアルタイム出力トリガ生成チャンネル）（TRC01 = 1）のタイマ・モード・レジスタ01（TMR01）

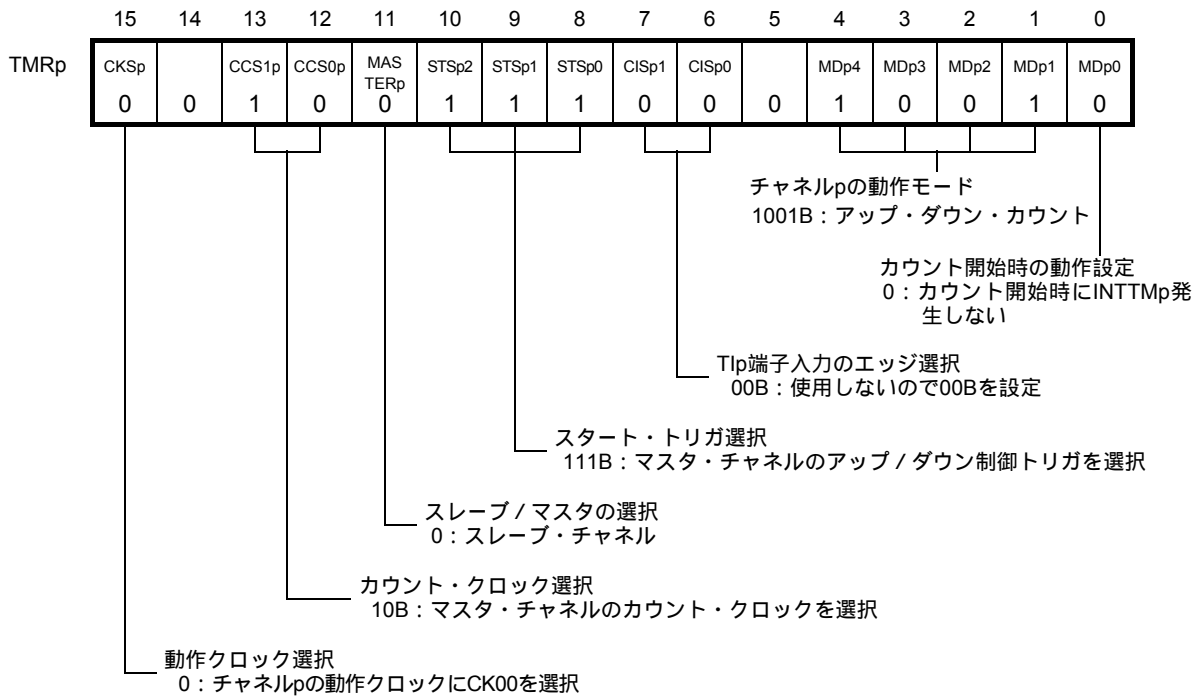


(b) スレーブ・チャンネル1（リアルタイム出力トリガ生成チャンネル）（TRC01 = 1）のその他のレジスタ

TOE0 : TOE01	0 : カウント動作によるTO01出力動作停止
TO0 : TO01	0 : TO01よりロウ・レベルを出力する
TOM0 : TOM01	0 : TOE01 = 0 (カウント動作によるTO01出力動作停止) では0を設定
TOT0 : TOT01	0 : TOM01 = 0 (マスタ・チャンネル出力モード) では0を設定
TOL0 : TOL01	0 : TOM01 = 0 (マスタ・チャンネル出力モード) では0を設定
TDE0 : TDE01	0 : デッド・タイム制御停止
TRE0 : TRE01	0 : リアルタイム出力停止
TRO0 : TRO01	0 : TRE01 = 0 (リアルタイム出力停止) では0を設定
TRC0 : TRC01	1 : リアルタイム出力トリガ生成チャンネルとして動作する
TME0 : TME01	0 : 変調出力停止

図7 - 97 相補方式変調出力機能時（スレーブ・チャンネル2, 4, 6）のレジスタ設定内容例

(a) スレーブ・チャンネル2, 4, 6（リアルタイム出力チャンネル）（TRCp = 0）のタイマ・モード・レジスタp（TMRp）



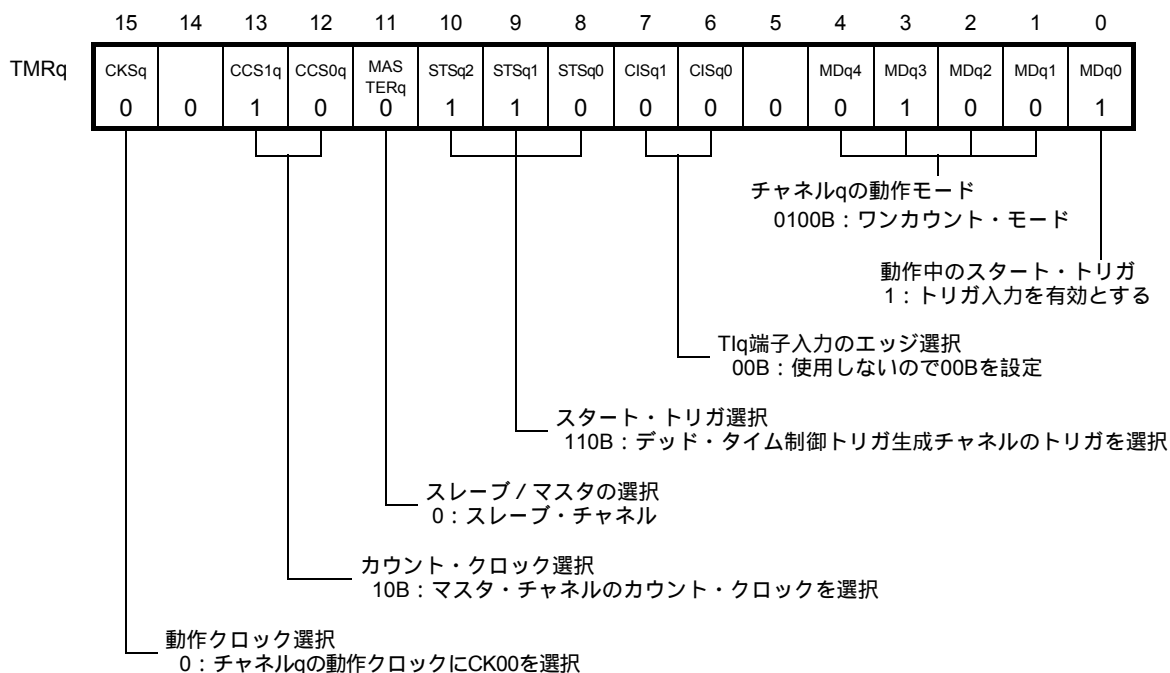
(b) スレーブ・チャンネル2, 4, 6（リアルタイム出力チャンネル）（TRCp = 0）のその他のレジスタ

TOE0 : TOEp	0 : カウント動作によるTOp出力動作停止 1 : カウント動作によるTOp出力動作許可
TO0 : TOp	0 : TOpよりロウ・レベルを出力する 1 : TOpよりハイ・レベルを出力する
TOM0 : TOMp	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTp	1 : 三角波PWM出力を設定
TOL0 : TOLp	0 : 正論理出力（アクティブ・ハイ） 1 : 反転出力（アクティブ・ロウ）
TDE0 : TDEp	1 : デッド・タイム制御許可
TRE0 : TREp	1 : リアルタイム出力可能
TRO0 : TROp	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCp	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEp	0 : 変調出力停止 1 : 変調出力許可

備考 p = 02, 04, 06

図7 - 98 相補方式変調出力機能時（スレーブ・チャンネル3, 5, 7）のレジスタ設定内容例

(a) スレーブ・チャンネル3, 5, 7（リアルタイム出力チャンネル）（TRCq = 0）のタイマ・モード・レジスタq（TMRq）



(b) スレーブ・チャンネル3, 5, 7（リアルタイム出力チャンネル）（TRCq = 0）のその他のレジスタ

TOE0 : TOEq	0 : カウント動作によるTOq出力動作停止 1 : カウント動作によるTOq出力動作許可
TO0 : TOq	0 : TOqよりロウ・レベルを出力する 1 : TOqよりハイ・レベルを出力する
TOM0 : TOMq	1 : スレーブ・チャンネル出力モードを設定
TOT0 : TOTq	1 : 三角波PWM出力を設定
TOL0 : TOLq	0 : 正論理出力（アクティブ・ハイ） 1 : 反転出力（アクティブ・ロウ）
TDE0 : TDEq	1 : デッド・タイム制御許可
TRE0 : TREq	1 : リアルタイム出力可能
TRO0 : TROq	0 : リアルタイム出力としてロウ・レベルを出力する 1 : リアルタイム出力としてハイ・レベルを出力する
TRC0 : TRCq	0 : リアルタイム出力トリガ生成チャンネルとして動作しない
TME0 : TMEq	0 : 変調出力停止 1 : 変調出力許可

備考 q = 03, 05, 07

図7 - 99 相補方式変調出力機能時の操作手順 (1/2)

	ソフトウェア操作	ハードウェアの状態
TAUS 初期 設定		パワーオフ状態 (クロック供給停止, 各レジスタへの書き込み不可)
	PER2レジスタのTAU0EN, TAUOPENビットに1を設定する	パワーオン状態, 各チャンネルは動作停止状態 (クロック供給開始, 各レジスタへの書き込み可能)
	TPS0レジスタを設定する CK00とCK01のクロック周波数を確定する	
チャ ネル 初期 設定	使用する8チャンネルのTMR00, TMR01, TMRp, TMRqレジスタを設定する(チャンネルの動作モード確定) マスタ・チャンネルのTDR00レジスタにインターバル(周期)値, スレーブ・チャンネル1のTDR01レジスタに間引き回数, スレーブ・チャンネル2, 4, 6のTDRpレジスタにデューティ値, スレーブ・チャンネル3, 5, 7のTDRqレジスタにデッド・タイム幅を設定する	チャンネルは動作停止状態 (クロック供給されており, 多少の電力を消費する)
	スレーブ・チャンネル1の設定 TRC01ビットを1(トリガ生成チャンネル)に設定する	TO00, TOp, TOq端子はHi-Z出力状態
	スレーブ・チャンネル2~7の設定 TOMp, TOMqビットに1(スレーブ・チャンネル出力モード)を設定する TOTp, TOTqビットに1(三角波PWM出力)を設定する TOLp, TOLqビットを設定して, TOp, TOqのアクティブ・レベルを決定する。 TDEp, TDEqビットを1(デッド・タイム制御許可)に設定する TREp, TREqビットを1(リアルタイム出力許可)に設定する TROp, TROqビットにリアルタイム出力レベルを設定する TRCp, TRCqビットを0(トリガ生成しないチャンネル)に設定する TMEp, TMEqビットを設定し, 変調出力制御を決定する	
TO00, TOp, TOqビットを設定し, TOm出力の初期レベルを確定する	ポート・モード・レジスタが出力モードでポート・レジスタが0の場合は, TO00, TOp, TOq初期設定レベルが出力される。	
TOE00, TOEp, TOEqビットに1を設定し, TO00, TOp, TOqの動作を許可	チャンネルは動作停止状態なので, TOp, TOqは変化しない	
ポート・レジスタとポート・モード・レジスタに0を設定する	TO00, TOp, TOq端子はTO00, TOp, TOq設定レベルを出力	

備考 p = 02, 04, 06

q = 03, 05, 07

図7 - 99 相補方式変調出力機能時の操作手順 (2/2)

	ソフトウェア操作	ハードウェアの状態
動作再開	動作開始 TOE00 (マスタ), TOEp, TOEq (スレーブ2~7) に1を設定する (動作再開時のみ) TS0レジスタのTS00 (マスタ), TS01 (スレーブ1), TSp, TSq (スレーブ2~7) ビットに同時に1を設定する TS00, TS01, TSp, TSqビットはトリガ・ビットなので, 自動的に0に戻る	TE00 = 1, TE01 = 1, TEp = 1, TEq = 1となる マスタ・チャンネルがカウント動作開始し, INTTM00を発生する。それをトリガとしてスレーブ・チャンネル1もカウント動作開始する。
	動作中 TDR00 (マスタ) レジスタは, アップ・ステータス期間中の設定値変更が必要 TDRp, TDRq (スレーブ2~7) レジスタは, 任意に設定値変更可能 TCR00, TCR01, TCRp, TCRqレジスタは, 常に読み出し可能 TOLp, TOLq, TROP, TROq, TMEp, TMEqレジスタは, 設定値変更可能	マスタ・チャンネルとスレーブ・チャンネル2~7で6相三角波PWM出力動作する。 スレーブ・チャンネル1は, マスタ・チャンネルのINTTM00信号をトリガとして, TDR01レジスタ値をTCR01に転送し, カウンタはダウン・カウントを開始する。 スレーブ・チャンネル2~7は, スレーブ・チャンネル1のINTTM01信号でリアルタイム出力する。TMEp, TMEqの設定にしたがい, 相補方式でPWM出力とリアルタイム出力を変調出力する。以降, この動作を繰り返す。
	動作停止 TT00 (マスタ), TT01 (スレーブ1), TTp, TTq (スレーブ2~7) ビットに同時に1を設定する TT00, TT01, TTp, TTqビットはトリガ・ビットなので, 自動的に0に戻る	TE00, TE01, TEp, TEq = 0になり, カウント動作停止 TCR00, TCR01, TCRp, TCRqはカウント値を保持して停止 TO00, TOp, TOq出力は初期化されず, 状態保持
	TOE00 (マスタ), TOEp, TOEq (スレーブ2~7) ビットに0を設定し, TO00, TOp, TOqビットに値を設定する	TO00, TOp, TOq端子はTO00, TOp, TOq設定レベルを出力
TAUS停止	TO00, TOp, TOq端子の出力レベルを保持する場合 ポート・レジスタに保持したい値を設定後, TO00, TOp, TOqビットに0を設定する	TO00, TOp, TOq端子出力レベルはポート機能により保持される。
	TO00, TOp, TOq端子の出力レベルを保持不要の場合 ポート・モード・レジスタを入力モードに切り替える	TO00, TOp, TOq端子出力レベルはHi-Z出力になる。
	PER2レジスタのTAU0EN, TAUOPENビットに0を設定する	パワーオフ状態 全回路が初期化され, 各チャンネルのSFRも初期化される (TO00, TOp, TOqビットが0になり, TO00, TOp, TOq端子はポート機能となる)

備考 p = 02, 04, 06

q = 03, 05, 07

7.6 過電流検出機能

TMOFF0, TMOFF1[※]端子入力によるHi-Z制御, またはプログラマブル・ゲイン・アンプとコンパレータを使用したHi-Z検出によって, 過電流時にタイマ出力端子 (TOn) をHi-Z状態にすることができます。

過電流検出機能には, 次の2種類があります。

- ・ 2段階過電流検出機能
- ・ 過電流 / 起電流検出機能

注意 78K0R/IB3にはTMOFF1端子がありません。そのため, TMOFF1端子を使用したHi-Z制御を行うことはできません。

(1) 2段階過電流検出機能

コンパレータ0の基準電圧 < 入力信号電圧 < コンパレータ1の基準電圧時

TOnの端子をHi-Z状態にします。

入力信号電圧がコンパレータ0の基準電圧より低くなった場合は, タイマの周期に同期して自動的にタイマ出力を再開します。

コンパレータ1の基準電圧 < 入力信号電圧時

TOnの端子をHi-Z状態にします。

入力信号がコンパレータ0の基準電圧より低くなった場合は, レジスタを設定することにより, 次のタイマ周期に同期してタイマ出力を再開します。

(2) 過電流 / 起電流検出機能

入力信号電圧 (起電流) < コンパレータ0, またはコンパレータ1 < 入力信号電圧 (過電流) 時

TOnの端子をHi-Z状態にします。

入力信号電圧がコンパレータ0の基準電圧より高くなった場合, またコンパレータ1の基準電圧より低くなった場合は, タイマの周期に同期して自動的にタイマ出力を再開します。

注意 78K0R/IB3は, コンパレータ1に+側入力端子がありません。過電流検出機能を使用する場合は, コンパレータ0, 1の+側入力に, プログラマブル・ゲイン・アンプ出力による同一の信号を入力して使用します。

備考 n: タイマ・チャンネル番号 (n = 02-07)

過電流検出機能は, OPMRレジスタとOPCRレジスタで設定します。各レジスタの設定と過電流検出機能動作の関係を次に示します。

表7 - 11 各レジスタの設定と過電流検出機能動作の関係

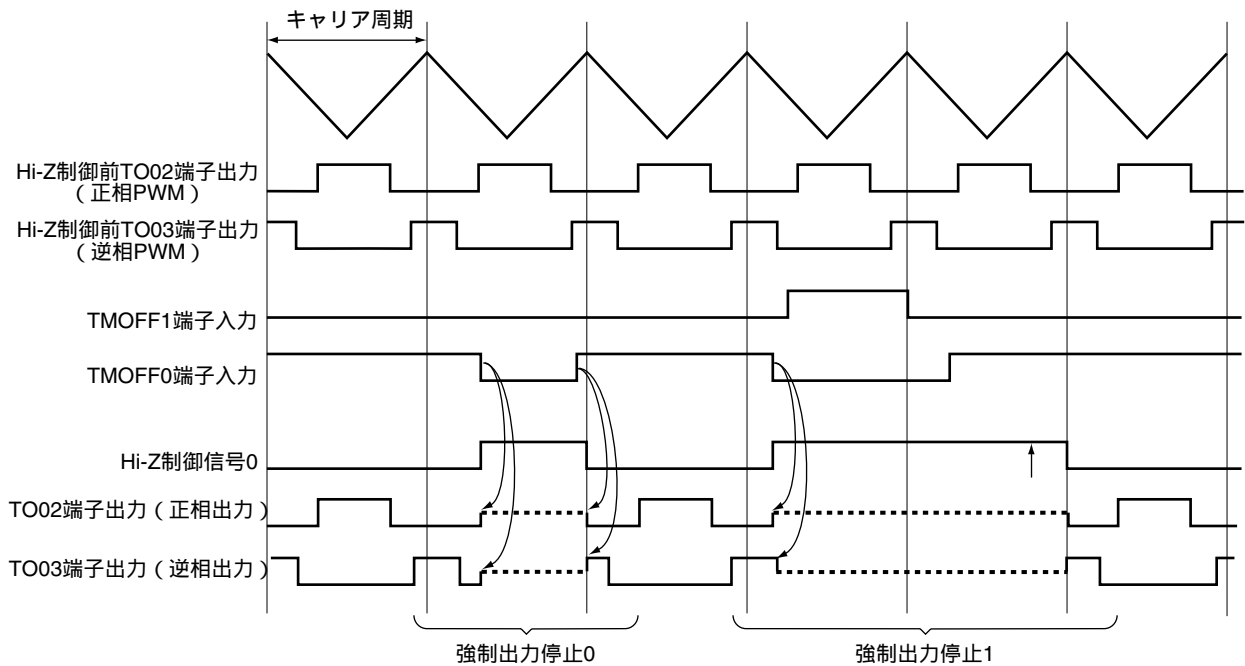
OPMRレジスタ				入力	ソフトウェア・ スタート・トリガ	ソフトウェア・ ストップ・トリガ	Hi-Z 出力端子	動作例		
OPM ビット	HPS ビット	HSM ビット	HDM ビット							
0	0	-	0	TMOFF0, TMOFF1	OPHS0	OPHT0	TO02- TO07	図7 - 100		
			1					-	図7 - 101	
	1	-	0	コンパレータ0 出力信号, コンパレータ1 出力信号			OPHT0	図7 - 102		
			1				-	図7 - 103		
1	0	0	-	TMOFF0	OPHS0	-	TO02, TO03	図7 - 104		
				TMOFF1	OPHS1	-			TO06, TO07	
			1	-	TMOFF0	OPHS0	OPHT0	TO02, TO03	図7 - 105	
					TMOFF1	OPHS1	OPHT1			TO06, TO07
	1	0	-	-	コンパレータ0 出力信号	OPHS0	-	TO02, TO03	図7 - 106	
					コンパレータ1 出力信号	OPHS1	-			TO06, TO07
				1	-	コンパレータ0 出力信号	OPHS0	OPHT0	TO02, TO03	図7 - 107
						コンパレータ1 出力信号	OPHS1	OPHT1		

注意1. 78K0R/IB3にはTMOFF1端子がありません。そのため、TMOFF1端子を使用したHi-Z制御を行うことはできません。

- 78K0R/IB3には、コンパレータ1に+側入力端子（CMP1P）がありません。コンパレータ1を使用するHi-Z制御時（図7 - 106，図7 - 107）は、コンパレータ1の+側入力には、プログラマブル・ゲイン・アンプからの出力信号を使用できます。コンパレータ0, 1の両方を使用した過電流検出機能（図7 - 102，図7 - 103）を使用する場合は、コンパレータ0, 1の+側入力に、プログラマブル・ゲイン・アンプ出力による同一の信号を入力して使用します。

図7 - 100 過電流検出機能動作例1

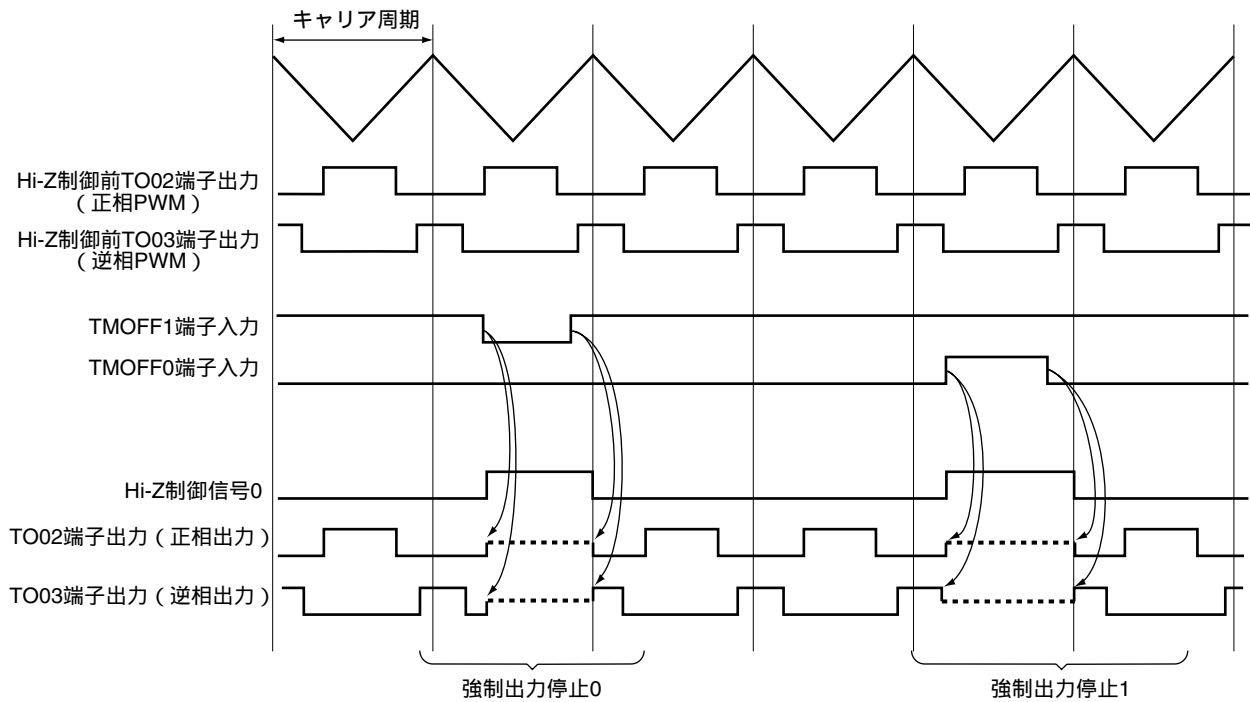
(TMOFF0 : 立ち下がりエッジ検出, TMOFF1 : 立ち上がりエッジ検出時, TO02, TO03端子の出力例)



- TMOFF0端子入力の立ち下がりエッジ検出で, TO02, TO03端子出力がHi-Z状態になる
- TMOFF0端子入力の立ち上がりエッジ検出後, タイマのキャリア周期に同期してTO02, TO03端子出力のHi-Z状態が解除される
- TMOFF1端子入力の立ち上がりまたは, TMOFF0端子入力の立ち下がりエッジ検出で, TO02, TO03端子出力がHi-Z状態になる
- TMOFF1端子入力の立ち下がりまたは, TMOFF0端子入力の立ち上がりエッジを検出しても, TO02, TO03端子出力のHi-Z状態は解除されない
- TMOFF0端子入力とTMOFF1端子入力がともにインアクティブ・レベルになったあと, OPHT0ビットに“1”を書き込む。
- キャリア周期に同期して, TO02, TO03端子出力のHi-Z状態が解除される

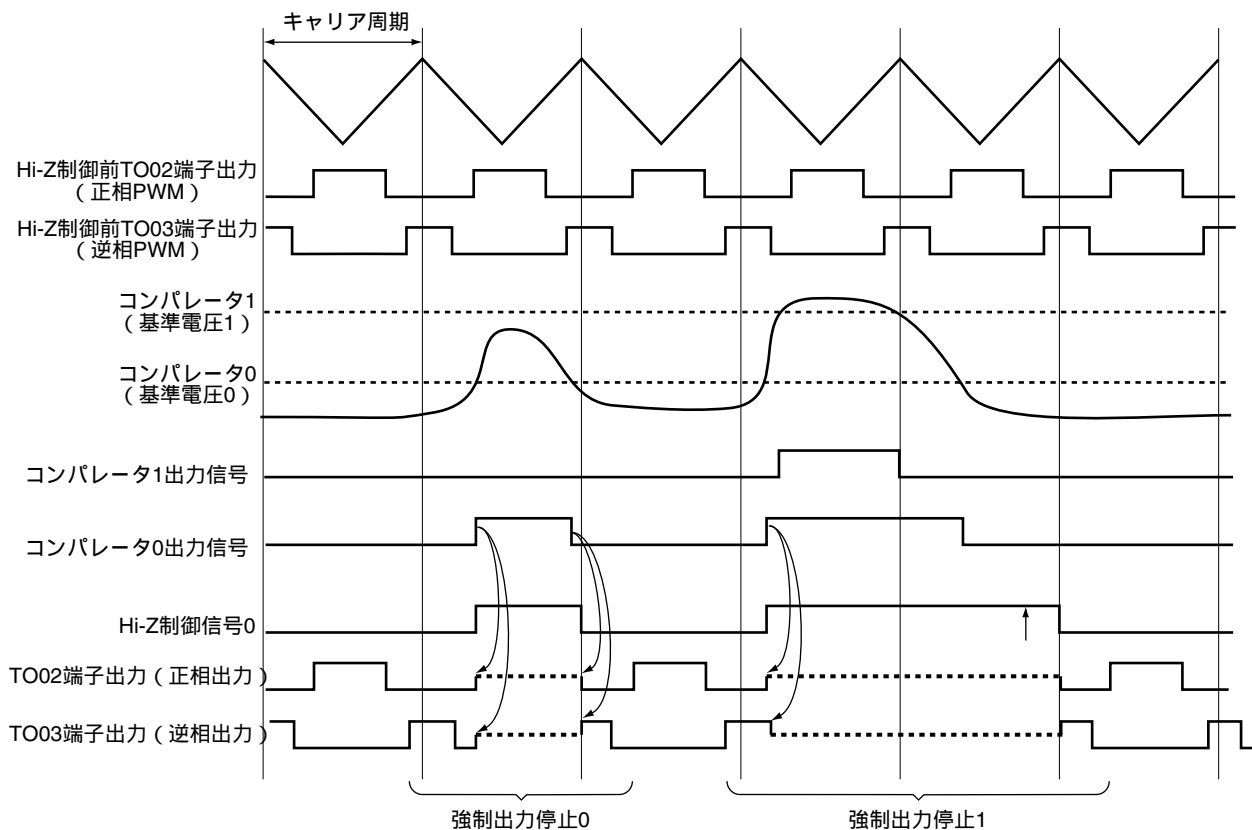
図7 - 101 過電流検出機能動作例2

(TMOFF0 : 立ち上がりエッジ検出 , TMOFF1 : 立ち下がりエッジ検出時 , TO02, TO03端子の出力例)



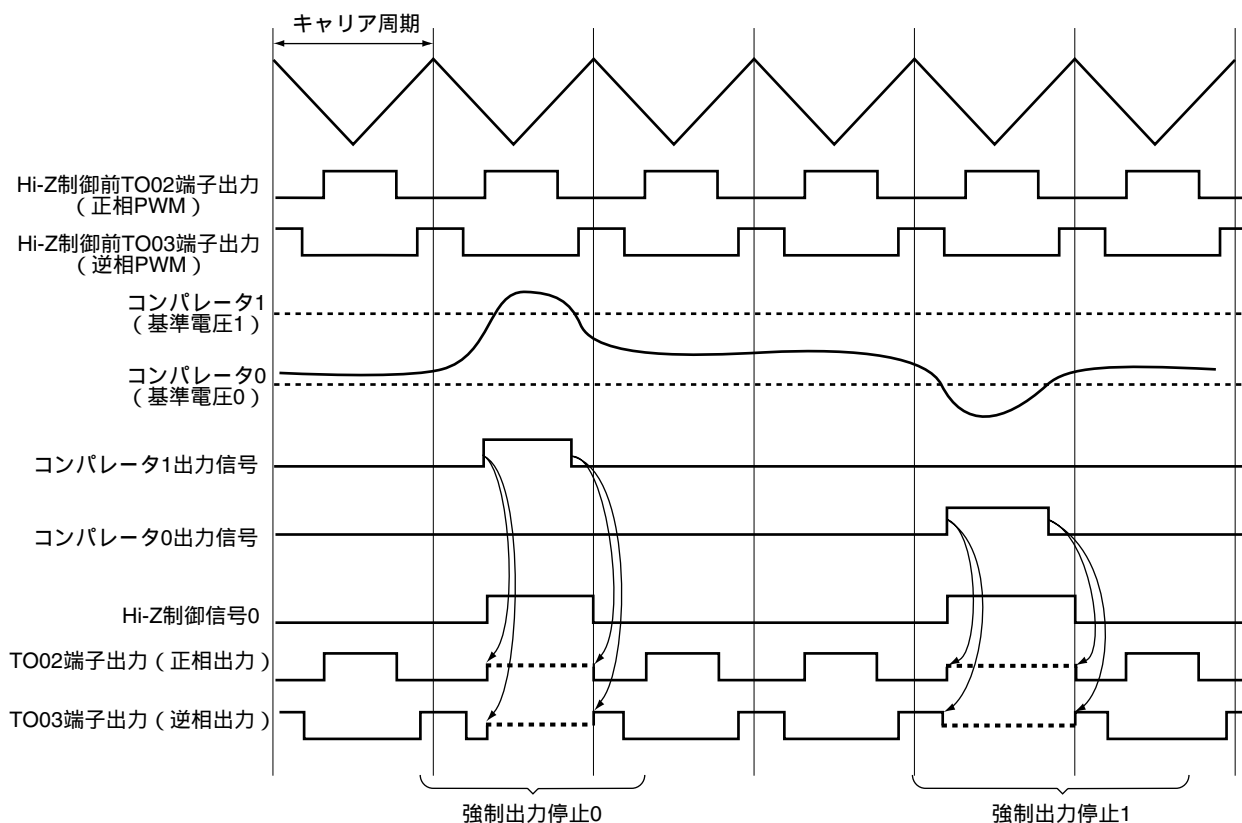
TMOFF1端子入力の立ち下がりエッジ検出で、TO02, TO03端子出力がHi-Z状態になる
 TMOFF1端子入力の立ち上がりエッジ検出後、タイマのキャリア周期に同期してTO02, TO03端子出力のHi-Z状態が解除される
 TMOFF0端子入力の立ち上がりエッジ検出で、TO02, TO03端子出力がHi-Z状態になる
 TMOFF0端子入力の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTO02, TO03端子出力のHi-Z状態が解除される

図7 - 102 過電流検出機能動作例3 (TO02, TO03端子の出力例)



コンパレータ0出力信号の立ち上がりエッジ検出で、TO02, TO03端子出力がHi-Z状態になる
 コンパレータ0出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTO02, TO03端子出力のHi-Z状態が解除される
 コンパレータ1出力信号の立ち上がりまたは、コンパレータ0出力信号の立ち上がりエッジ検出で、TO02, TO03端子出力がHi-Z状態になる
 コンパレータ1出力信号の立ち下がりまたは、コンパレータ0出力信号の立ち下がりエッジを検出しても、TO02, TO03端子出力のHi-Z状態は解除されない
 コンパレータ出力信号0とコンパレータ出力信号1がともにインアクティブ・レベルになったあと、OPHT0ビットに“1”を書き込む。
 キャリア周期に同期して、TO02, TO03端子出力のHi-Z状態が解除される

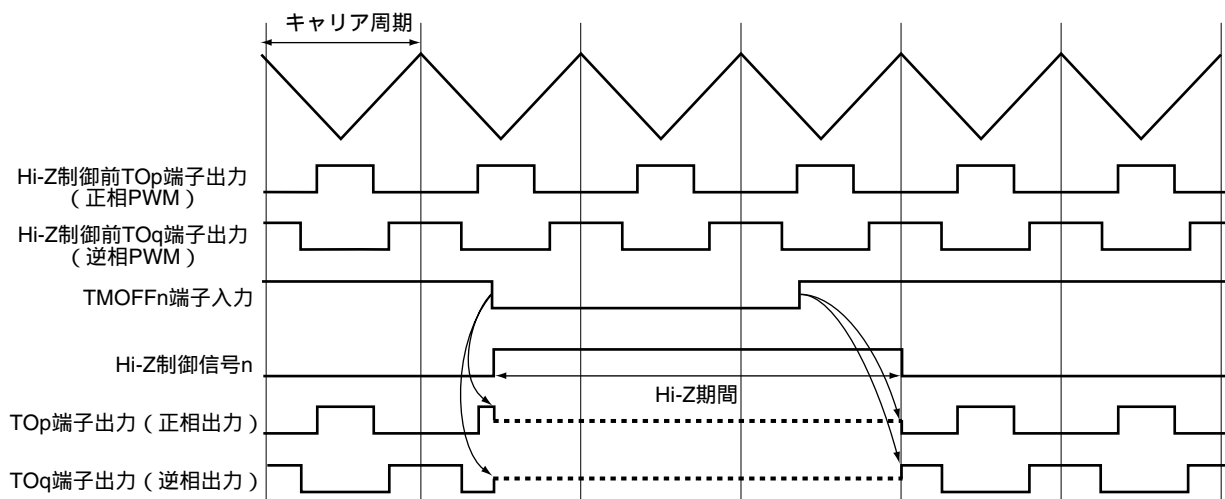
図7 - 103 過電流検出機能動作例4 (TO02, TO03端子の出力例)



コンパレータ1出力信号の立ち上がりエッジ検出で、TO02, TO03端子出力がHi-Z状態になる
 コンパレータ1出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTO02, TO03端子出力のHi-Z状態が解除される
 コンパレータ0出力信号の立ち上がりエッジ検出で、TO02, TO03端子出力がHi-Z状態になる
 コンパレータ0出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTO02, TO03端子出力のHi-Z状態が解除される

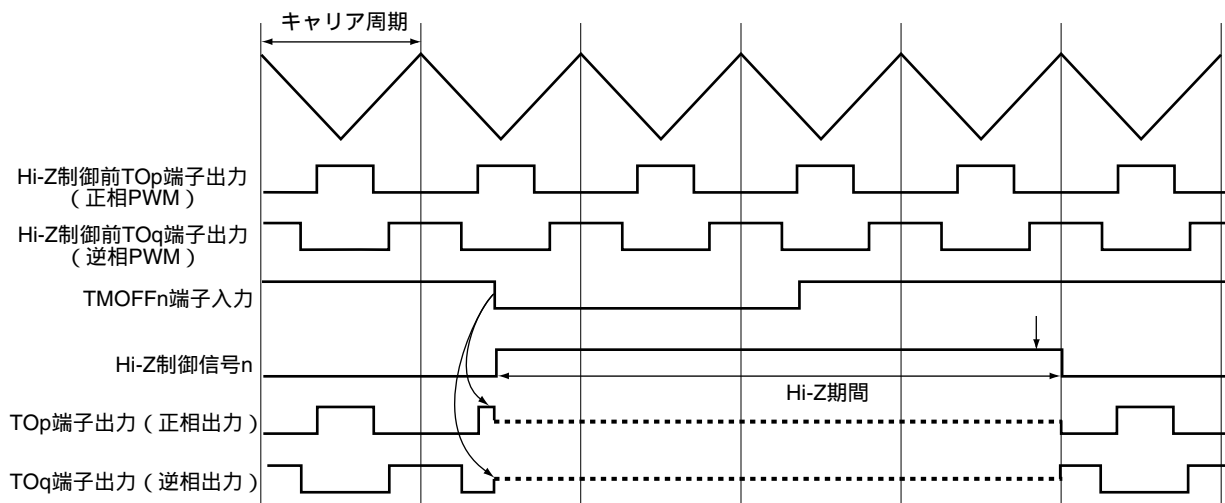
注意 コンパレータ出力信号0は、入力信号が基準0を下回ったときにハイ・レベル、上回ったときにロウ・レベルとなります(通常とは逆)。そのため、コンパレータ0制御レジスタ(C0CTL)のC0INVビットを1に設定(出力反転設定)してください。

図7 - 104 過電流検出機能動作例5 (TMOFFn : 立ち下がりエッジ検出時)



TMOFFn端子入力の立ち下がりエッジ検出で、T_{Op}、T_{Oq}端子出力がHi-Z状態になる
 TMOFFn端子入力の立ち上がりエッジ検出後、タイマのキャリア周期に同期してT_{Op}、T_{Oq}端子出力のHi-Z状態が解除される

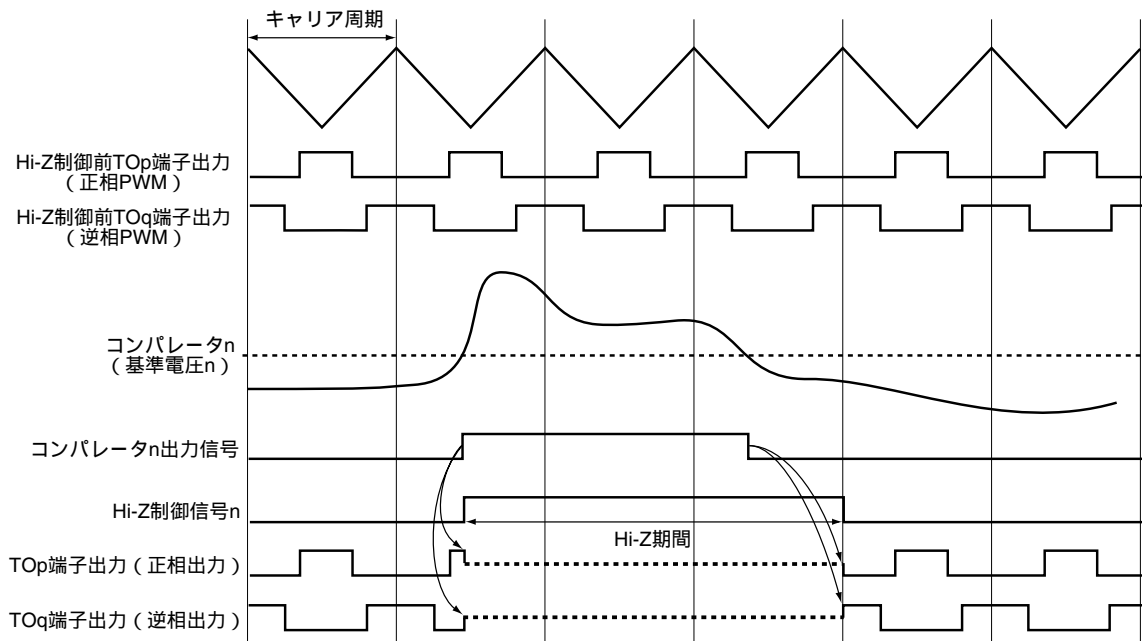
図7 - 105 過電流検出機能動作例6 (TMOFFn : 立ち下がりエッジ検出時)



TMOFFn端子入力の立ち下がりエッジ検出で、T_{Op}、T_{Oq}端子出力がHi-Z状態になる
 TMOFFn端子入力の立ち上がりエッジを検出しても、T_{Op}、T_{Oq}端子出力のHi-Z状態は解除されない
 OPHTnビットに“1”を書き込むことにより、タイマのキャリア周期に同期してT_{Op}、T_{Oq}端子出力のHi-Z状態が解除される

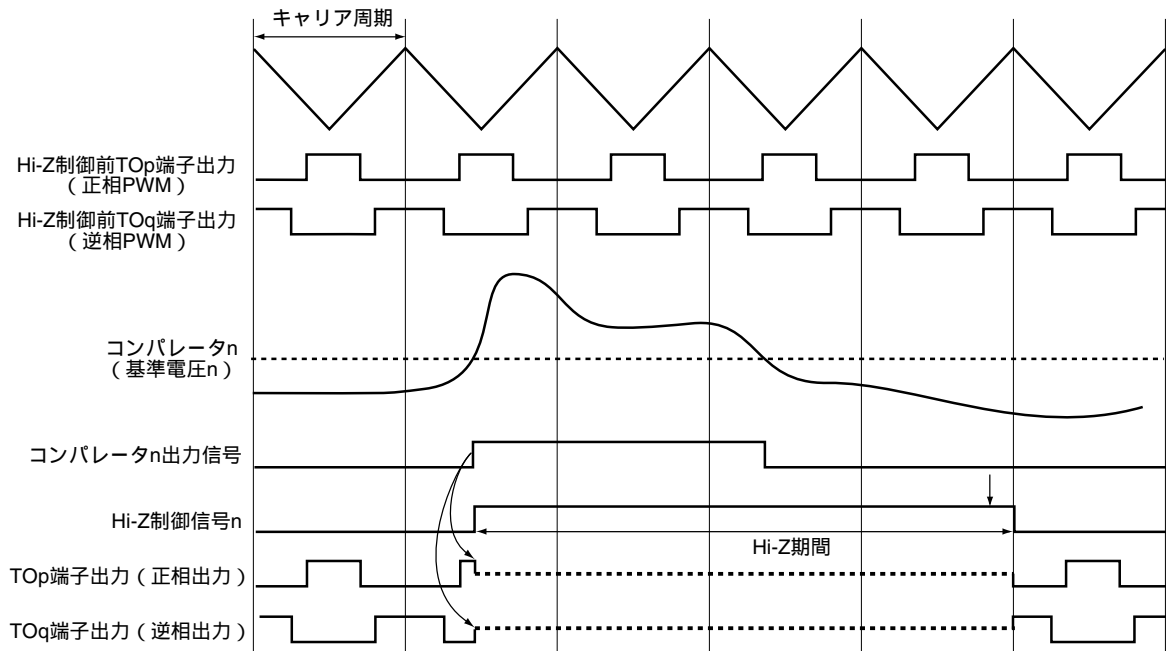
備考 n = 0のときp = 02, q = 03
 n = 1のときp = 06, q = 07

図7 - 106 過電流検出機能動作例7



コンパレータn出力信号の立ち上がりエッジ検出で、TOp, TOq端子出力がHi-Z状態になる
 コンパレータn出力信号の立ち下がりエッジ検出後、タイマのキャリア周期に同期してTOp, TOq端子出力のHi-Z状態が解除される

図7 - 107 過電流検出機能動作例8



コンパレータn出力信号の立ち上がりエッジ検出で、TOp, TOq端子出力がHi-Z状態になる
 コンパレータn出力信号の立ち下がりエッジを検出しても、TOp, TOq端子出力のHi-Z状態は解除されない
 OPHTnビットに“1”を書き込むことにより、タイマのキャリア周期に同期してTOp, TOq端子出力のHi-Z状態が解除される

備考 n = 0のときp = 02, q = 03
 n = 1のときp = 06, q = 07

第8章 コンパレータ / プログラマブル・ゲイン・アンプ

コンパレータの入力端子数は、製品によって異なります。

コンパレータ入力端子	78K0R/IB3	78K0R/IC3	78K0R/ID3	78K0R/IE3
CMP0P				
CMP0M				
CMP1P	-			
CMP1M				

8.1 コンパレータ / プログラマブル・ゲイン・アンプの機能

プログラマブル・ゲイン・アンプ、コンパレータには次の機能があります。

コンパレータ

- ・2チャンネル搭載 (CMP0, CMP1)
- ・-側入力端子 (CMP0M, CMP1M), +側入力端子 (CMP0P, CMP1P^注) が接続可能
- ・プログラマブル・ゲイン・アンプの出力信号を, コンパレータの+側入力信号とすることが可能 (この場合, コンパレータ0, 1の2チャンネルに同時に入力される)
- ・基準電圧としてCMP0M, CMP1M端子入力と内部生成基準電圧 (各コンパレータ6通り) を選択可能
- ・ノイズ除去デジタル・フィルタの除去幅が選択可能
- ・過電流検出時, 割り込み要求が発生 (INTCMP0, INTCMP1)
- ・コンパレータの出力信号は, タイマ・アレイ・ユニットに接続され, タイマ出力端子 (TOn) をHi-Z状態にする

プログラマブル・ゲイン・アンプ

- ・入力されたアナログ電圧を, 増幅して出力する。増幅率を5通りから選択可能
- ・プログラマブル・ゲイン・アンプの出力信号を, コンパレータの+側入力信号とすることが可能 (この場合, コンパレータ0, 1の2チャンネルに同時に入力される)
- ・プログラマブル・ゲイン・アンプの出力信号をA/Dコンバータのアナログ入力として選択可能

注意 78K0R/IBは, コンパレータ1に+側入力端子 (CMP1P) がありません。プログラマブル・ゲイン・アンプからの出力信号のみ入力電圧として使用可能です。

過電流検出機能

コンパレータを使用することで, 過電流時にタイマ出力端子 (TOn) をHi-Z状態にすることができます。また, 端子をHi-Z状態にする機能として次の2種類から選択可能です。

- ・2段階過電流検出機能
- ・過電流 / 起電流検出機能

どちらの機能も端子をHi-Z状態にする基準電圧を2値（コンパレータ0 < コンパレータ1）設定し、コンパレータ0, 1の+側入力に、同一の信号を入力して使用します[※]。

注 78K0R/IB3は、コンパレータ1に+側入力端子がありません。過電流検出機能を使用する場合は、コンパレータ0, 1の+側入力に、プログラマブル・ゲイン・アンプ出力による同一の信号を入力して使用します。

・2段階過電流検出機能

コンパレータ0の基準電圧 < 入力信号電圧 < コンパレータ1の基準電圧時

TOnの端子をHi-Z状態にします。

入力信号電圧がコンパレータ0の基準電圧より低くなった場合は、タイマの周期に同期して自動的にタイマ出力を再開します。

コンパレータ1の基準電圧時 < 入力信号電圧時

TOnの端子をHi-Z状態にします。

入力信号がコンパレータ0の基準電圧より低くなった場合は、レジスタを設定することにより、次のタイマ周期に同期してタイマ出力を再開します。

・過電流 / 起電流検出機能

入力信号電圧（起電流） < コンパレータ0, またはコンパレータ1 < 入力信号電圧（過電流）時

TOnの端子をHi-Z状態にします。

入力信号電圧がコンパレータ0の基準電圧より高くなった場合、またコンパレータ1の基準電圧より低くなった場合は、タイマの周期に同期して自動的にタイマ出力を再開します。

備考1. 過電流検出機能の詳細については、7.5 **過電流検出機能**を参照してください。

2. n : タイマ・チャンネル番号 (n = 02-07)

図8 - 1 コンパレータ/プログラマブル・ゲイン・アンプのブロック図 (78K0R/IC3, 78K0R/ID3, 78K0R/IE3)

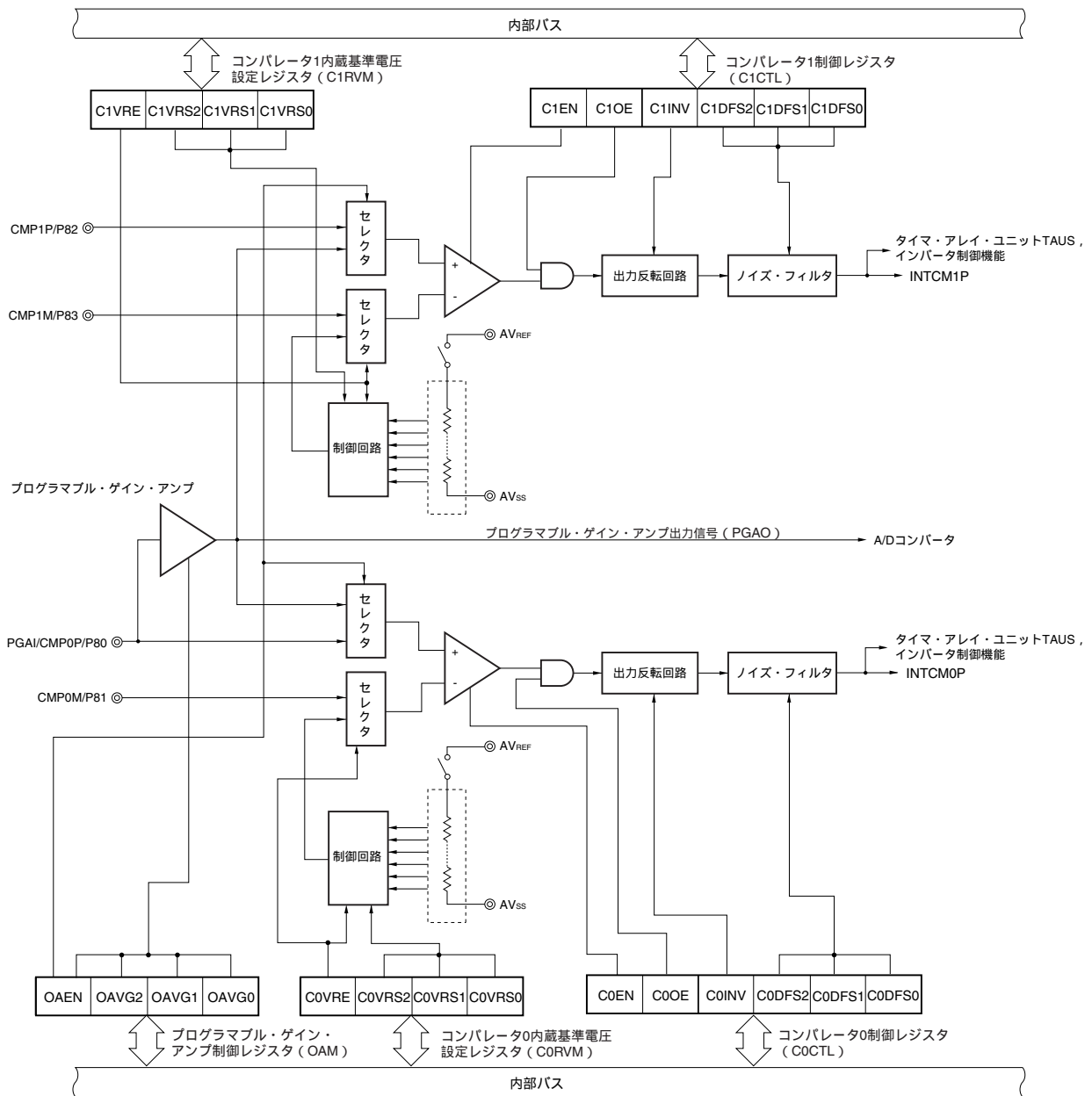
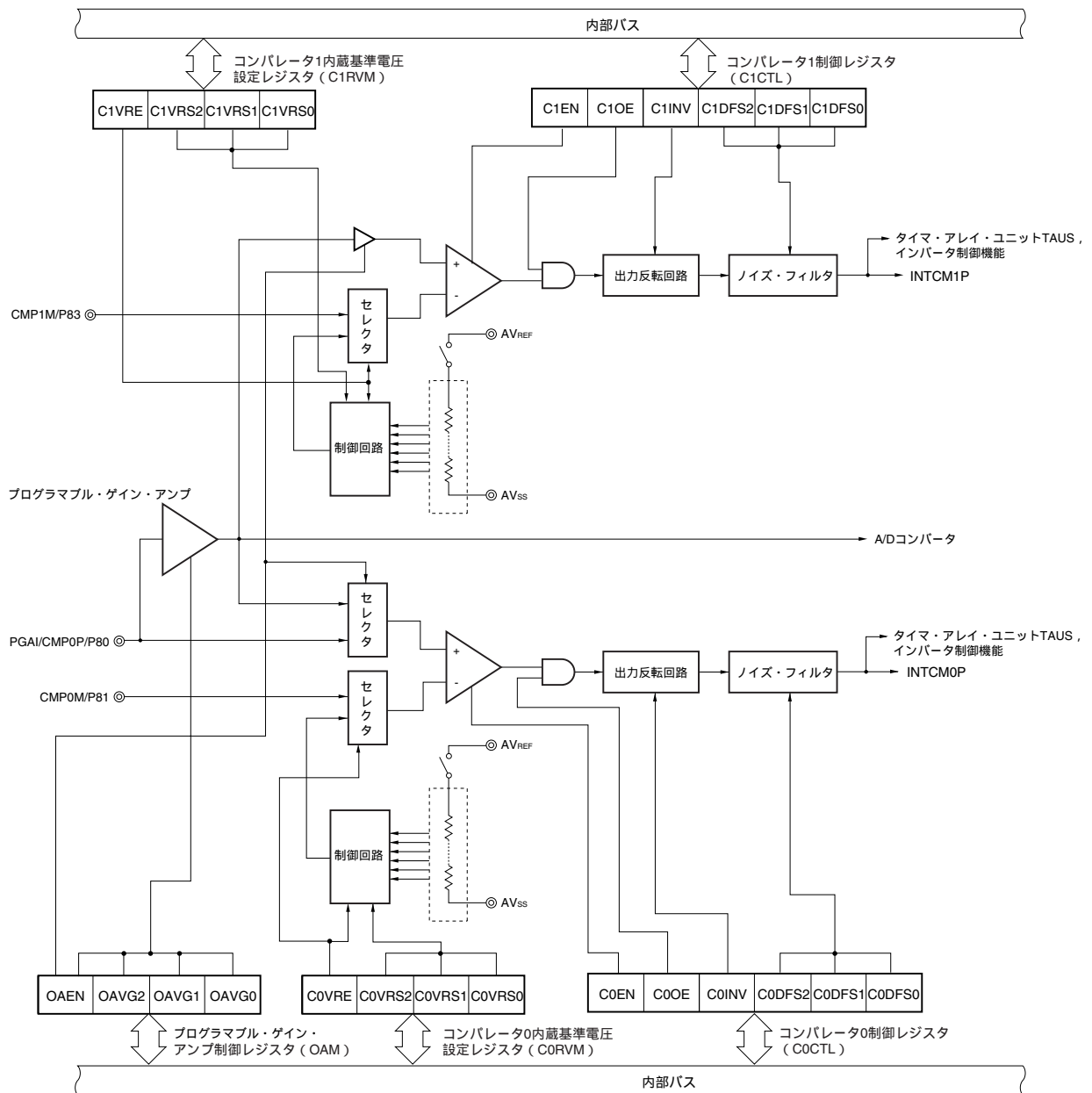


図8-2 コンパレータ/プログラマブル・ゲイン・アンプのブロック図 (78K0R/IB3)



8.2 コンパレータ/プログラマブル・ゲイン・アンプの構成

コンパレータ/プログラマブル・ゲイン・アンプは、次のハードウェアで構成しています。

表8-1 コンパレータ/プログラマブル・ゲイン・アンプの構成

項目	構成
制御レジスタ	周辺イネーブル・レジスタ1 (PER1) プログラマブル・ゲイン・アンプ制御レジスタ (OAM) コンパレータ0, 1制御レジスタ (C0CTL, C1CTL) コンパレータ0, 1内蔵基準電圧設定レジスタ (C0RVM, C1RVM) ポート入力モード・レジスタ8 (PIM8) ポート・モード・レジスタ8 (PM8)

8.3 コンパレータ/プログラマブル・ゲイン・アンプを制御するレジスタ

コンパレータ/プログラマブル・ゲイン・アンプは、次の8種類のレジスタを使用します。

- ・周辺イネーブル・レジスタ1 (PER1)
- ・プログラマブル・ゲイン・アンプ制御レジスタ (OAM)
- ・コンパレータ0, 1制御レジスタ (C0CTL, C1CTL)
- ・コンパレータ0, 1内蔵基準電圧設定レジスタ (C0RVM, C1RVM)
- ・ポート入力モード・レジスタ8 (PIM8)
- ・ポート・モード・レジスタ8 (PM8)

(1) 周辺イネーブル・レジスタ1 (PER1)

PER1は、各周辺ハードウェア・マクロへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

コンパレータ/プログラマブル・ゲイン・アンプを使用するときは、必ずビット3 (OACMPEN) を1に設定してください。

PER1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

注意1. コンパレータ/プログラマブル・ゲイン・アンプの設定をする際には、必ず最初にOACMPEN = 1の設定を行ってください。OACMPEN = 0の場合は、コンパレータ/プログラマブル・ゲイン・アンプの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. PER1レジスタのビット0-2, 4-7には必ず“0”を設定してください。

図8 - 3 周辺イネーブル・レジスタ1 (PER1) のフォーマット

アドレス : F00F1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER1	0	0	0	0	OACMPEN	0	0	0

OACMPEN	コンパレータ/プログラマブル・ゲイン・アンプの入カクロックの制御
0	入力クロック供給停止 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのライト不可 ・コンパレータ/プログラマブル・ゲイン・アンプはリセット状態
1	入力クロック供給許可 ・コンパレータ/プログラマブル・ゲイン・アンプで使用するSFRへのリード/ライト可

(2) プログラマブル・ゲイン・アンプ制御レジスタ (OAM)

プログラマブル・ゲイン・アンプの動作許可/禁止と増幅率を設定するレジスタです。

OAMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8-4 プログラマブル・ゲイン・アンプ制御レジスタ (OAM) のフォーマット

アドレス：F0240H リセット時：00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
OAM	OAEN	0	0	0	0	OAVG2	OAVG1	OAVG0

OAEN	プログラマブル・ゲイン・アンプの動作制御
0	動作停止
1	動作許可 プログラマブル・ゲイン・アンプ入力端子 (PGAI) からの外部入力許可 プログラマブル・ゲイン・アンプ出力信号をコンパレータ0, 1の+側入力電圧として、それぞれ入力

OAVG2	OAVG1	OAVG0	入力電圧の増幅率設定
0	0	1	4倍
0	1	0	6倍
0	1	1	8倍
1	0	0	10倍
1	0	1	12倍
上記以外			設定禁止

- 注意1. プログラマブル・ゲイン・アンプの動作を許可 (OAEN = 1) する前に増幅率を設定してください。動作許可状態 (OAEN = 1) での増幅率の設定変更は禁止です。
2. CnCTLレジスタは、OAMレジスタを設定したあとに設定してください。
3. プログラマブル・ゲイン・アンプ出力信号 (PGAO) をA/Dコンバータのアナログ入力に選択する場合は、OAEN = 1に設定後にソフトウェアで3 μ sのウェイトをしてからA/D変換開始 (ADCS = 1) してください。

備考 n = 0, 1

(3) コンパレータ_n制御レジスタ (CnCTL)

コンパレータ_nの動作制御，コンパレータ出力許可/禁止，出力反転，ノイズ除去幅を設定するレジスタです。

CnCTLは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図8 - 5 コンパレータ_n制御レジスタ (CnCTL) のフォーマット

アドレス：F0241H (C0CTL)，F0242H (C1CTL) リセット時：00H R/W

略号 7 6 5 4 3 2 1 0

CnCTL	CnEN	0	0	CnOE	CnINV	CnDFS2	CnDFS1	CnDFS0
-------	------	---	---	------	-------	--------	--------	--------

CnEN	コンパレータの動作制御
0	動作停止
1	動作許可 コンパレータ _n の+側および-側の外部端子入力許可 ^{※1,2}

CnOE	コンパレータ出力許可/禁止
0	出力禁止 (出力信号 = ロウ固定)
1	出力許可

CnINV	出力反転設定
0	正転
1	反転

CnDFS2	CnDFS1	CnDFS0	ノイズ除去幅設定 (f _{CLK} = 20 MHz)
0	0	0	ノイズ・フィルタ未使用
0	0	1	250 ns
0	1	0	500 ns
0	1	1	1 μs
1	0	0	2 μs
上記以外			設定禁止

(注，注意，備考は次ページにあります。)

- 注1. OAEN = 1 (プログラマブル・ゲイン・アンプ制御レジスタ (OAM) のビット7) の場合, CnENビットに1を設定するとコンパレータnの+側入力には, プログラマブル・ゲイン・アンプ出力信号が入力されます。
2. 78K0R/IB3には, コンパレータ1の+側外部入力端子はありません。コンパレータ1の+側外部入力にはプログラマブル・ゲイン・アンプ出力信号のみ使用できます。
- 注意1. CnINV, CnDFS2-CnDFS0の書き換えは, コンパレータの出力を禁止状態 (CnOE = 0) にしたあと行ってください。
2. ノイズ除去幅は, 設定値よりCPUクロック (f_{CLK}) の1クロック分多く除去されることがあります。
(例: $f_{CLK} = 20$ MHz, CnDFS2-CnDFS0 = 001時, ノイズ除去幅 = 250 ns ~ 300 ns)
3. プログラマブル・ゲイン・アンプと連動させる場合は, プログラマブル・ゲイン・アンプの動作設定を実施したあと, コンパレータの動作設定を行ってください (図8 - 11, 図8 - 12参照)。
4. CnRVMレジスタのCnVREをセット (1) した場合, コンパレータの動作許可/禁止 (CnEN) の値にかかわらず, コンパレータの - 側外部端子入力は遮断されます。
5. 割り込み信号は, CnEN = 1に設定後にソフトウェアで1 μ sのウェイトをしてから, 割り込み許可にしてください。
- 備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
2. $n = 0, 1$

(4) コンパレータ_n内蔵基準電圧選択レジスタ (CnRVM)

コンパレータ_nの内蔵基準電圧を設定するレジスタです。内蔵基準電圧として、AV_{REF}を利用した6通りの電圧から選択することが可能です。

CnRVMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 6 コンパレータ_n内蔵基準電圧選択レジスタ (CnRVM)

アドレス：F0243H (C0RVM), F0244H (C1RVM) リセット時：00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CnRVM	CnVRE	0	0	0	0	CnVRS2	CnVRS1	CnVRS0

CnVRE	内蔵基準電圧の動作制御
0	動作停止
1	動作許可 コンパレータ _n の - 側入力に内蔵基準電圧を接続

CnVRS2	CnVRS1	CnVRS0	基準電圧設定	
			コンパレータ0で設定可能な基準電圧 (n = 0)	コンパレータ1で設定可能な基準電圧 (n = 1)
0	0	0	設定禁止	
0	0	1	2AV _{REF} /16	3AV _{REF} /16
0	1	0	4AV _{REF} /16	5AV _{REF} /16
0	1	1	6AV _{REF} /16	7AV _{REF} /16
1	0	0	8AV _{REF} /16	9AV _{REF} /16
1	0	1	10AV _{REF} /16	11AV _{REF} /16
1	1	0	12AV _{REF} /16	13AV _{REF} /16
1	1	1	設定禁止	

- 注意1. 内蔵基準電圧が動作停止状態 (CnVRE = 0) の場合、コンパレータの動作制御はCnENによって制御されます。
- CnVREをセット(1)した場合、コンパレータの動作許可/禁止 (CnEN) の値にかかわらず、コンパレータの - 側外部端子入力は遮断されます。
 - 内蔵基準電圧の動作を許可 (CnVRE = 1) する前に基準電圧を設定してください。動作許可状態 (CnVRE = 1) での基準電圧の設定変更は禁止です。
 - CnRVMレジスタを変更する場合は、必ずCnEN = 0 (コンパレータ動作停止) の状態で行ってください。

備考 n = 0, 1

(5) ポート入力モード・レジスタ8 (PIM8)

ポート8のデジタル入力許可/禁止を1ビット単位で設定するレジスタです。

コンパレータおよびプログラマブル・ゲイン・アンプを使用する場合は、デジタル入力禁止（アナログ入力として使用）に設定します。初期状態ではデジタル入力禁止（アナログ入力として使用）となっているため、ポート機能または外部割り込み、タイマHi-Z制御機能を使用する場合は、デジタル入力許可に設定します。

PIM8は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図8 - 7 ポート入力モード・レジスタ8 (PIM8) のフォーマット

アドレス : F0048H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIM8	0	0	0	0	PIM83	PIM82 ^注	PIM81	PIM80

PIM8n	P8n端子のデジタル入力許可 / 禁止の選択 (n = 0-3)
0	デジタル入力禁止 (アナログ入力として使用)
1	デジタル入力許可

注 78K0R/IB3は、PIM82ビットを搭載していません。

(6) ポート・モード・レジスタ8 (PM8)

ポート8の入力/出力を1ビット単位で設定するレジスタです。

P80/CMP0P/TMOFF0/INTP3/PGAI, P81/CMP0M, P82/CMP1P/TMOFF1/INTP7, P83/CMP1M端子をコンパレータの+側または-側入力機能, またはプログラマブル・ゲイン・アンプ入力機能として使用する
とき, PM80-PM83ビットに1を設定してください。このときP80-P83の出力ラッチは, 0または1のどちら
でもかまいません。

PM80-PM83は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図8 - 8 ポート・モード・レジスタ8 (PM8) のフォーマット

アドレス : FFF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	1	1	PM83	PM82 ^注	PM81	PM80

PM8n	P8n端子の入出力モードの選択 (n = 0-3)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

注 78K0R/IB3は, PM82ビットを搭載していません。

注意1. コンパレータの+側入力にCMP0P, CMP1P端子が選択され, かつ-側に内蔵基準電圧
を使用している場合, CMP0M, CMP1M端子に兼用されているポート機能は, 入力モード
で使用可能です。ただし, 出力モードの使用は禁止です。

2. 78K0R/IB3には, P82/CMP1P/TMOFF1/INTP7端子はありません。

8.4 コンパレータ/プログラマブル・ゲイン・アンプの動作

8.4.1 コンパレータ/プログラマブル・ゲイン・アンプの動作開始

コンパレータ/プログラマブル・ゲイン・アンプの使用方法別の動作開始手順を次に示します。

コンパレータのみで使用する場合^注

- ・コンパレータの基準電圧に外部端子入力を使用 (図8 - 9)
- ・コンパレータの基準電圧に内蔵基準電圧を使用 (図8 - 10)

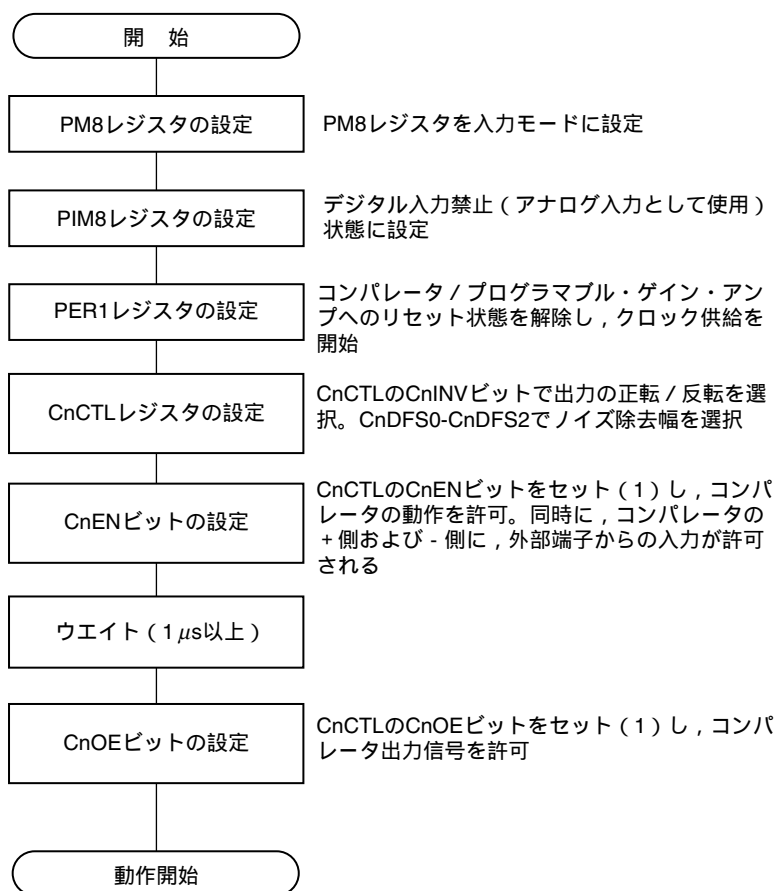
コンパレータ+プログラマブル・ゲイン・アンプで使用する場合 (プログラマブル・ゲイン・アンプの出力電圧をコンパレータの比較電圧入力として使用)

- ・コンパレータの基準電圧に外部端子入力を使用 (図8 - 11)
- ・コンパレータの基準電圧に内蔵基準電圧を使用 (図8 - 12)

プログラマブル・ゲイン・アンプの出力電圧をA/Dコンバータのアナログ入力として使用 (図8 - 13)

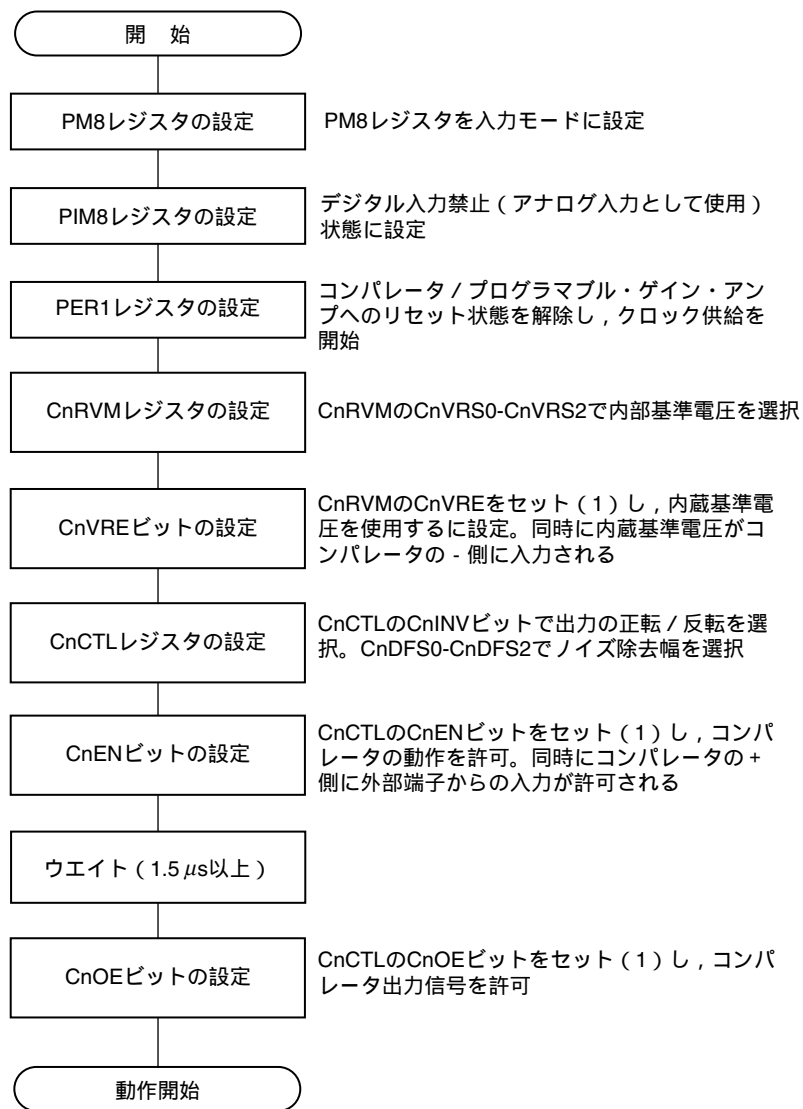
注 78K0R/IB3では、コンパレータのみで使用できるのはコンパレータ0のみです。コンパレータ1は+側入力端子がないため、コンパレータ+プログラマブル・ゲイン・アンプのみ使用することができます。

図8 - 9 コンパレータの基準電圧に外部端子入力を使用 (コンパレータのみで使用)



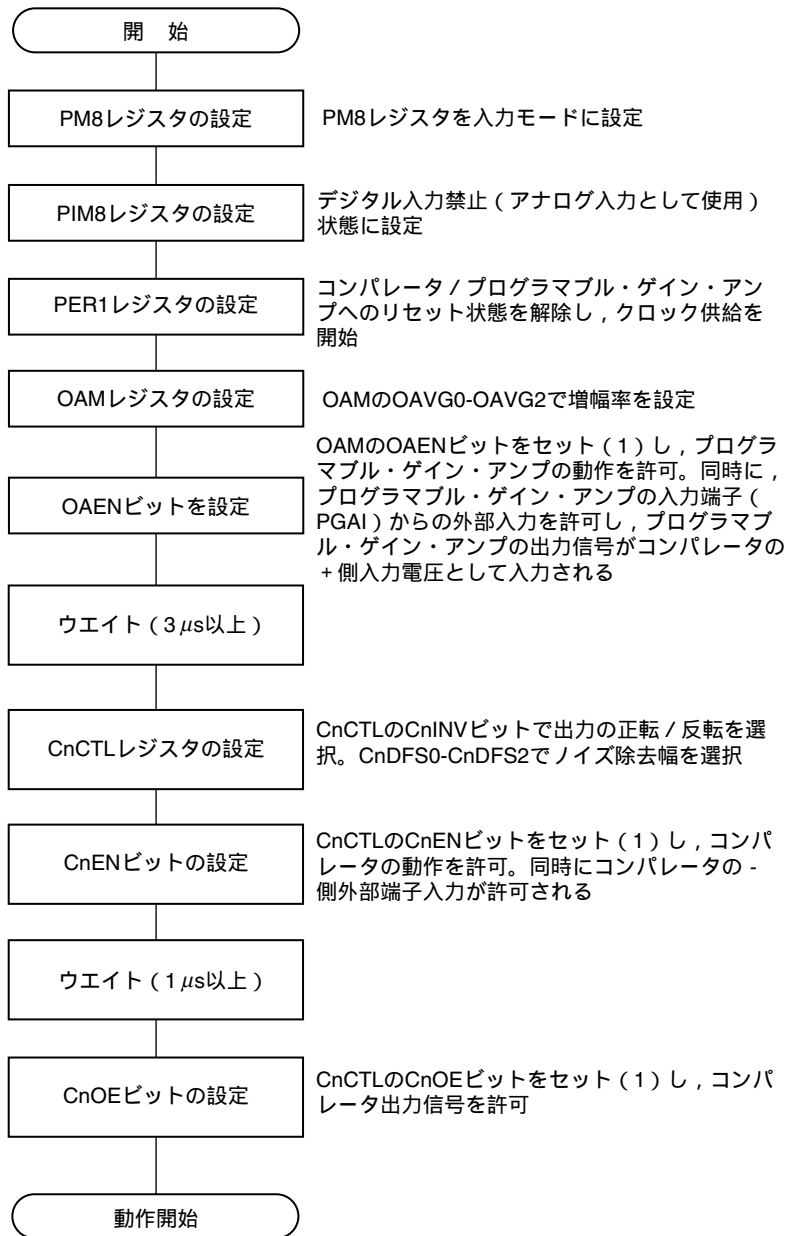
備考 n = 0, 1 (78K0R/IB3の場合, n = 0)

図8 - 10 コンパレータの基準電圧に内蔵基準電圧を使用する場合（コンパレータのみで使用）



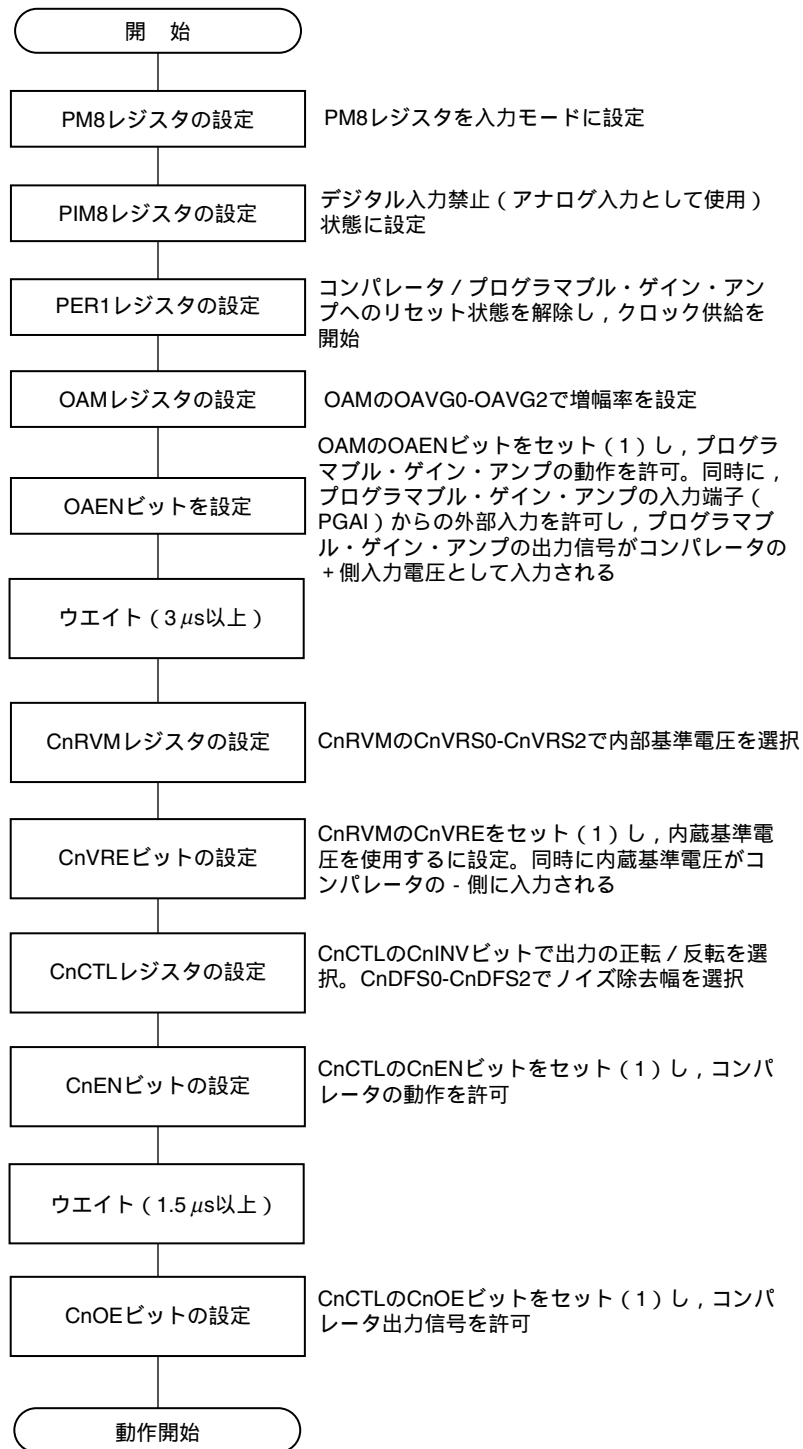
備考 n = 0, 1 (78K0R/IB3の場合, n = 0)

図8 - 11 コンパレータの基準電圧に外部端子入力を使用(コンパレータ+プログラマブル・ゲイン・アンプで使用)



備考 n = 0, 1

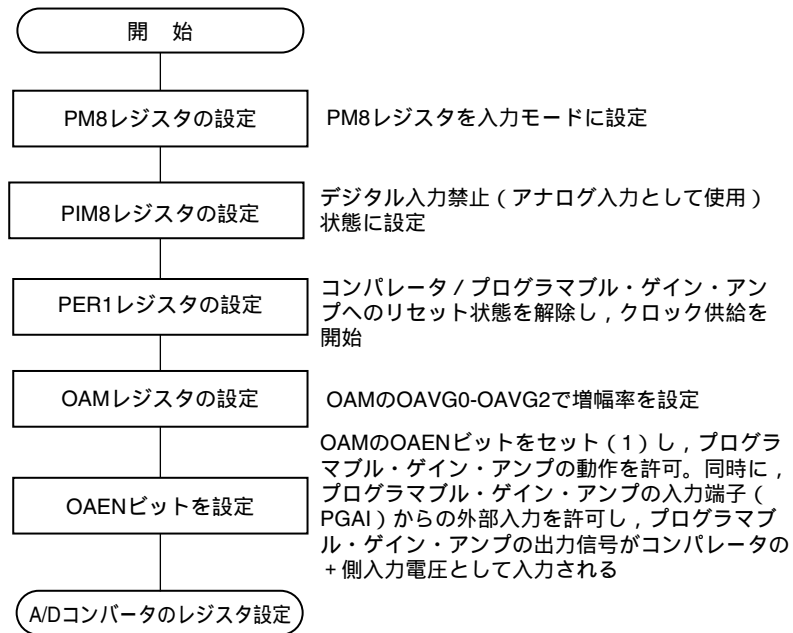
図8 - 12 コンパレータの基準電圧に内蔵基準電圧を使用する場合
(コンパレータ+プログラマブル・ゲイン・アンプで使用)



備考 n = 0, 1

A/Dコンバータのアナログ入力チャネル指定レジスタ (ADS) でプログラマブル・ゲイン・アンプの出力信号をアナログ入力として選択する前に、下記の設定を行います (12.4.1 A/Dコンバータの基本動作参照)。

図8 - 13 プログラマブル・ゲイン・アンプの出力電圧をA/Dコンバータのアナログ入力として使用



注意 A/Dコンバータの変換は、OAENビット設定後、3 μ s経過してから開始してください。

備考 n = 0, 1

8.4.2 コンパレータ/プログラマブル・ゲイン・アンプの動作停止

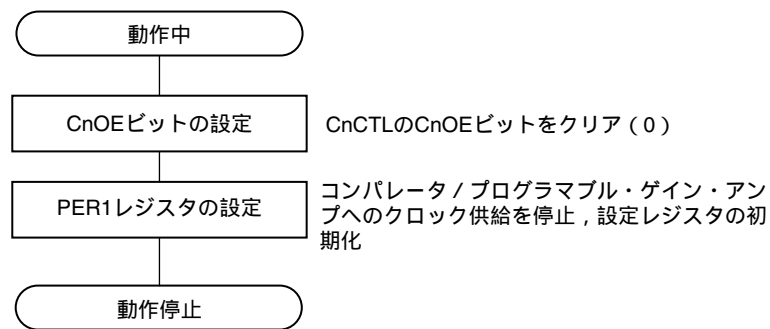
コンパレータ/プログラマブル・ゲイン・アンプの使用方法別の動作停止手順を次に示します。

コンパレータのみで使用している場合 (図8 - 14)

プログラマブル・ゲイン・アンプの出力電圧をコンパレータの比較電圧入力として使用している場合 (図8 - 15)

プログラマブル・ゲイン・アンプの出力電圧をA/Dコンバータのアナログ入力として使用している場合 (図8 - 16)

図8 - 14 コンパレータのみで使用している場合



備考 n = 0, 1 (78K0R/IB3の場合, n = 0)

図8 - 15 プログラマブル・ゲイン・アンプの出力電圧をコンパレータの比較電圧入力として使用している場合

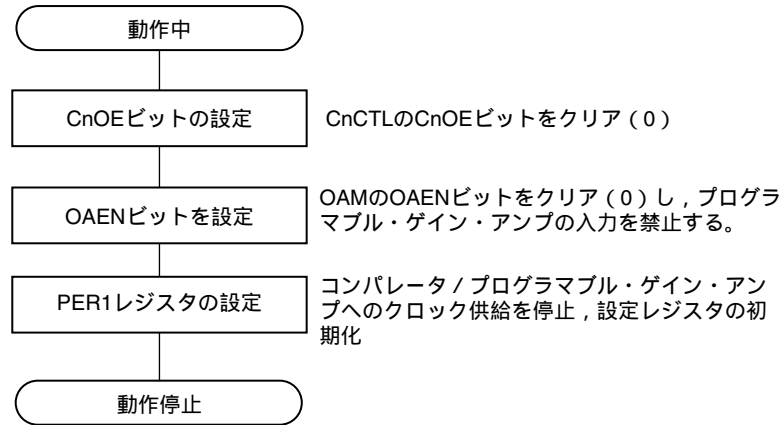
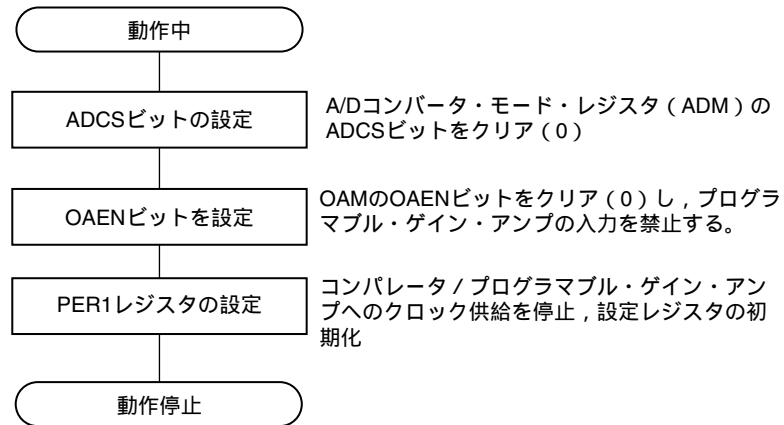


図8 - 16 プログラマブル・ゲイン・アンプの出力電圧をA/Dコンバータのアナログ入力として使用している場合



備考 n = 0, 1

第9章 リアルタイム・カウンタ

備考 リアルタイム・カウンタは78K0R/IB3には搭載されていません。

9.1 リアルタイム・カウンタの機能

リアルタイム・カウンタには、次のような機能があります。

- ・年，月，曜日，日，時，分，秒のカウンタを持ち，最長99年までカウント可能
- ・定周期割り込み機能（周期：1ヶ月～0.5秒）
- ・アラーム割り込み機能（アラーム：曜日・時・分）
- ・インターバル割り込み機能

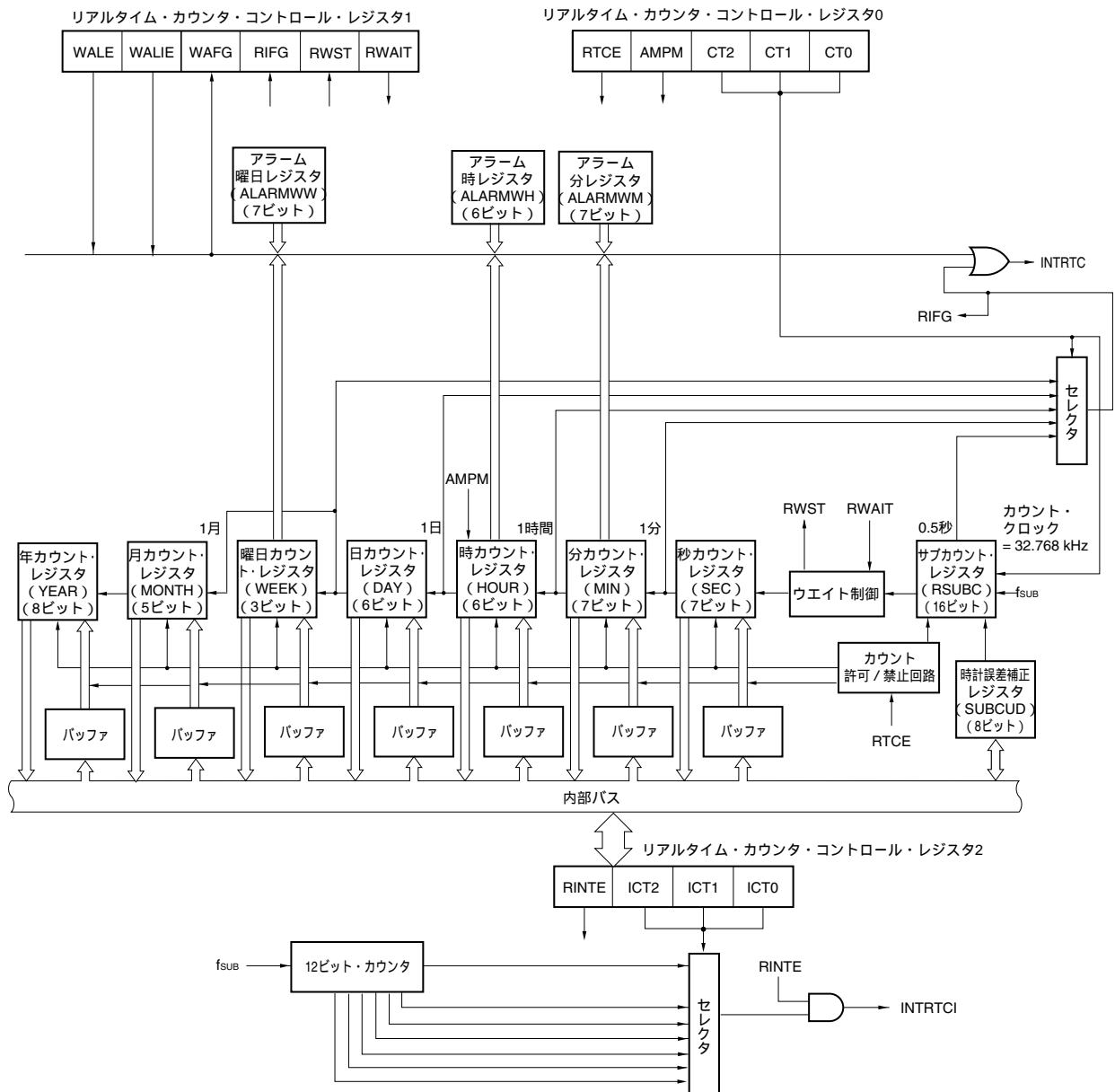
9.2 リアルタイム・カウンタの構成

リアルタイム・カウンタは，次のハードウェアで構成されています。

表9 - 1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	周辺イネーブル・レジスタ0 (PER0)
	リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
	リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
	リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
	サブカウント・レジスタ (RSUBC)
	秒カウント・レジスタ (SEC)
	分カウント・レジスタ (MIN)
	時カウント・レジスタ (HOUR)
	日カウント・レジスタ (DAY)
	曜日カウント・レジスタ (WEEK)
	月カウント・レジスタ (MONTH)
	年カウント・レジスタ (YEAR)
	時計誤差補正レジスタ (SUBCUD)
	アラーム分レジスタ (ALARMWM)
	アラーム時レジスタ (ALARMWH)
アラーム曜日レジスタ (ALARMWW)	

図9-1 リアルタイム・カウンタのブロック図



9.3 リアルタイム・カウンタを制御するレジスタ

リアルタイム・カウンタは、次の16種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)
- ・リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)
- ・リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)
- ・サブカウント・レジスタ (RSUBC)
- ・秒カウント・レジスタ (SEC)
- ・分カウント・レジスタ (MIN)
- ・時カウント・レジスタ (HOUR)
- ・日カウント・レジスタ (DAY)
- ・曜日カウント・レジスタ (WEEK)
- ・月カウント・レジスタ (MONTH)
- ・年カウント・レジスタ (YEAR)
- ・時計誤差補正レジスタ (SUBCUD)
- ・アラーム分レジスタ (ALARMWM)
- ・アラーム時レジスタ (ALARMWH)
- ・アラーム曜日レジスタ (ALARMWW)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

リアルタイム・カウンタを使用するときは、必ずビット7 (RTCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN	0	ADCEN	IICAEN ^{注1}	0	SAU0EN	0	0

RTCEN	リアルタイム・カウンタ (RTC) の入力クロック ^{注2} の制御
0	入力クロック供給停止 ・リアルタイム・カウンタ (RTC) で使用するSFRへのライト不可 ・リアルタイム・カウンタ (RTC) はリセット状態
1	入力クロック供給許可 ・リアルタイム・カウンタ (RTC) で使用するSFRへのリード/ライト可

注1. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は、IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は、PER0レジスタのビット4は0固定になります。

2. RTCENでは、CPUからリアルタイム・カウンタ (RTC) のレジスタにアクセスするときに使用されるクロックを供給、停止できます。RTCENで、RTCの動作クロック (f_{SUB}) の供給を制御することはできません。

注意1. リアルタイム・カウンタを使用する場合は、サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。RTCEN = 0の場合は、リアルタイム・カウンタの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります。

2. PER0レジスタのビット0, 1, 3, 6 (78K0R/IB3, 78K0R/IC3の38ピン, 44製品の場合は, 0, 1, 3, 4, 6) には必ず“0”を設定してください。

(2) リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0)

リアルタイム・カウンタ動作の開始/停止, 12/24時間制, 定周期割り込み機能を設定する8ビットのレジスタです。

RTCC0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 3 リアルタイム・カウンタ・コントロール・レジスタ0 (RTCC0) のフォーマット

アドレス : FFF9DH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
RTCC0	RTCE	0	0	0	AMPM	CT2	CT1	CT0

RTCE	リアルタイム・カウンタの動作制御
0	カウンタ動作停止
1	カウンタ動作開始

AMPM	12時間制 / 24時間制の選択
0	12時間制 (午前 / 午後を表示)
1	24時間制

・ AMPMの値を変更する場合は、RWAIT (RTCC1のビット0) = 1にしてから書き換え、時カウント・レジスタ (HOUR) を再設定してください。

・ 時間桁表示表を表9 - 2に示します。

CT2	CT1	CT0	定周期割り込み (INTRTC) の選択
0	0	0	定周期割り込み機能を使用しない
0	0	1	0.5秒に1度 (秒カウントアップに同期)
0	1	0	1秒に1度 (秒カウントアップと同時)
0	1	1	1分に1度 (毎分00秒)
1	0	0	1時間に1度 (毎時00分00秒)
1	0	1	1日に1度 (毎日00時00分00秒)
1	1	×	1月に1度 (毎月1日午前00時00分00秒)

カウンタ動作中 (RTCE = 1) にCT2-CT0の値を変更する場合は、INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また、書き換え後は、RIFGフラグ、RTCIFフラグをクリアしてから割り込み処理許可にしてください。

注意 ビット4-6には、必ず0を設定してください。

備考 × : don't care

(3) リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。
 RTCC1は，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
 リセット信号の発生により，00Hになります。

図9 - 4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (1/2)

アドレス：FFF9EH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RTCC1	WALE	WALIE	0	WAFG	RIFG	0	RWST	RWAIT

WALE	アラームの動作制御
0	一致動作無効
1	一致動作有効
カウンタ動作中 (RTCE = 1) かつWALIE = 1の時にWALEビットへ設定する場合は，INTRTCを割り込みマスク・フラグ・レジスタで割り込み処理禁止にしてから書き換えてください。また，書き換え後にWAFGフラグ，RTCIFフラグをクリアしてください。アラームの各レジスタ (RTCC1のWALIEフラグ，ALARMWMレジスタ，ALARMWHレジスタ，ALARMWWレジスタ) を設定する場合，WALEを一致動作無効 “0” にしてください。	

WALIE	アラーム割り込み (INTRTC) 機能の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

WAFG	アラーム検出ステータス・フラグ
0	アラーム不一致
1	アラームの一致検出
アラームとの一致検出を示すステータス・フラグです。WALE = 1のときのみ有効となり，アラーム一致検出し，1クロック (32.768 kHz) 後に “1” となります。 “0” を書き込むことでクリアされ，“1” の書き込みは無効となります。	

RIFG	定周期割り込みステータス・フラグ
0	定周期割り込み発生なし
1	定周期割り込み発生あり
定周期割り込み発生ステータス・フラグです。定周期割り込み発生により “1” となります。 “0” を書き込むことでクリアされ，“1” の書き込みは無効となります。	

RWST	リアルタイム・カウンタのウェイト状態フラグ
0	カウンタ動作中
1	カウンタ値の読み出し，書き込みモード中
RWAITの設定が有効であることを示すステータスです。 カウンタ値の読み出し，書き込みは，このレジスタの値が1になっていることを確認したあとに行ってください。	

図9 - 4 リアルタイム・カウンタ・コントロール・レジスタ1 (RTCC1) のフォーマット (2/2)

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	SEC ~ YEARカウンタ停止設定。カウンタ値読み出し、書き込みモード。

カウンタの動作を制御します。
 カウンタ値を読み出し、書き込みを行う際は必ず“1”を書き込んでください。
 RSUBCは動作を継続しますので、1秒以内に読み出し書き込みを完了後、0に戻してください。
 RWAIT = 1に設定後、カウンタ値の読み出し、書き込みが可能となるまで最大1クロック (32.768 kHz) の時間がかかります。
 RSUBCのオーバフローがRWAIT = 1のときに起きた場合は、RWAIT = 0になったあとにカウントアップします。ただし、秒カウント・レジスタへの書き込みを行った場合は、RSUBCがクリアされるためカウントアップしません。

注意 RTCC1レジスタに1ビット操作命令で書き込みを行うと、RIFGフラグ、WAFGフラグがクリアされることがあります。そのため、RTCC1レジスタへの書き込みは8ビット操作命令で設定してください。書き込み時に、RIFGフラグ、WAFGフラグをクリアしないようにするためには、該当ビットに書き込みが無効となる“1”を設定してください。なお、RIFGフラグ、WAFGフラグを使用せず値が書き変わっても問題ない場合は、RTCC1レジスタに1ビット操作命令で書き込みを行ってもかまいません。

備考 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

(4) リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2)

インターバル割り込み機能を制御する8ビットのレジスタです。

RTCC2は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 5 リアルタイム・カウンタ・コントロール・レジスタ2 (RTCC2) のフォーマット

アドレス : FFF9FH リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
RTCC2	RINTE	0	0	0	0	ICT2	ICT1	ICT0

RINTE	ICT2	ICT1	ICT0	インターバル割り込み (INTRTC1) の選択
0	x	x	x	インターバル割り込みを発生しない。
1	0	0	0	$2^6/f_{XT}$ (1.953125 ms)
1	0	0	1	$2^7/f_{XT}$ (3.90625 ms)
1	0	1	0	$2^8/f_{XT}$ (7.8125 ms)
1	0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	1	x	$2^{12}/f_{XT}$ (125 ms)

- 注意** 1. ICT2, ICT1, ICT0の変更は、RINTE = 0のときに行ってください。
 2. ビット3-6には、必ず0を設定してください。

(5) サブカウント・レジスタ (RSUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

RSUBCは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、0000Hになります。

- 注意1. SUBCUDレジスタにより補正を行う場合は、8000H以上の値になる場合があります。
2. このレジスタは、秒カウント・レジスタへのライトによってもクリアされます。
 3. このレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

図9 - 6 サブカウント・レジスタ (RSUBC) のフォーマット

アドレス : FFF90H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC7	SUBC6	SUBC5	SUBC4	SUBC3	SUBC2	SUBC1	SUBC0

アドレス : FFF91H リセット時 : 0000H R

略号	7	6	5	4	3	2	1	0
RSUBC	SUBC15	SUBC14	SUBC13	SUBC12	SUBC11	SUBC10	SUBC9	SUBC8

(6) 秒カウント・レジスタ (SEC)

0-59 (10進) までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

SECは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 7 秒カウント・レジスタ (SEC) のフォーマット

アドレス : FFF92H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
SEC	0	SEC40	SEC20	SEC10	SEC8	SEC4	SEC2	SEC1

(7) 分カウント・レジスタ (MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後に、カウンタへ書き込まれます。書き込み中に秒カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-59をBCDコードで設定してください。

MINは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9-8 分カウント・レジスタ (MIN) のフォーマット

アドレス : FFF93H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
MIN	0	MIN40	MIN20	MIN10	MIN8	MIN4	MIN2	MIN1

(8) 時カウント・レジスタ (HOUR)

00-23または01-12, 21-32 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に分カウント・レジスタからのオーバーフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の00-23または01-12, 21-32をBCDコードで設定してください。

HOURは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

図9-9 時カウント・レジスタ (HOUR) のフォーマット

アドレス : FFF94H リセット時 : 12H R/W

略号	7	6	5	4	3	2	1	0
HOUR	0	0	HOUR20	HOUR10	HOUR8	HOUR4	HOUR2	HOUR1

注意 HOURのビット5 (HOUR20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

AMPMビットの設定値，および時カウント・レジスタ（HOUR）値と時間の関係を表9 - 2に示します。

表9 - 2 時間桁表示表

24時間表示（AMPMビット = 1）		12時間表示（AMPMビット = 0）	
時間	HOURレジスタ	時間	HOURレジスタ
0時	00H	AM0時	12 H
1時	01 H	AM1時	01 H
2時	02 H	AM2時	02 H
3時	03 H	AM3時	03 H
4時	04 H	AM4時	04 H
5時	05 H	AM5時	05 H
6時	06 H	AM6時	06 H
7時	07 H	AM7時	07 H
8時	08 H	AM8時	08 H
9時	09 H	AM9時	09 H
10時	10 H	AM10時	10 H
11時	11 H	AM11時	11 H
12時	12 H	PM0時	32 H
13時	13 H	PM1時	21 H
14時	14 H	PM2時	22 H
15時	15 H	PM3時	23 H
16時	16 H	PM4時	24 H
17時	17 H	PM5時	25 H
18時	18 H	PM6時	26 H
19時	19 H	PM7時	27 H
20時	20 H	PM8時	28 H
21時	21 H	PM9時	29 H
22時	22 H	PM10時	30 H
23時	23 H	PM11時	31 H

HOURレジスタ値は，AMPMビットが“0”のときに12時間表示，“1”のときに24時間表示となります。

12時間表示の場合は，HOURレジスタの5ビット目で午前／午後を表示し，午前（AM）のときに0に，午後（PM）のときに1となります。

(9) 日カウント・レジスタ（DAY）

1-31（10進）までの値を取り，日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは，次に示すようにカウントします。

- ・ 01-31（1, 3, 5, 7, 8, 10, 12月）
- ・ 01-30（4, 6, 9, 11月）
- ・ 01-29（2月 うるう年）
- ・ 01-28（2月 通常年）

書き込みを行った場合は、バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に時カウント・レジスタからのオーバフローが発生しても無視し、書き込みをした値に設定されます。また設定する値は、10進の01-31をBCDコードで設定してください。

DAYは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、01Hになります。

図9 - 10 日カウント・レジスタ (DAY) のフォーマット

アドレス : FFF96H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
DAY	0	0	DAY20	DAY10	DAY8	DAY4	DAY2	DAY1

(10) 曜日カウント・レジスタ (WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

WEEKは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図9 - 11 曜日カウント・レジスタ (WEEK) のフォーマット

アドレス : FFF95H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
WEEK	0	0	0	0	0	WEEK4	WEEK2	WEEK1

注意 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、必ず次のように設定してください。

曜日	WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

(11) 月カウント・レジスタ (MONTH)

MONTHレジスタは1-12 (10進) までの値を取り, 月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に日カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の01-12をBCDコードで設定してください。

MONTHは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 01Hになります。

図9 - 12 月カウント・レジスタ (MONTH) のフォーマット

アドレス : FFF97H リセット時 : 01H R/W

略号	7	6	5	4	3	2	1	0
MONTH	0	0	0	MONTH10	MONTH8	MONTH4	MONTH2	MONTH1

(12) 年カウント・レジスタ (YEAR)

0-99 (10進) までの値を取り, 年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は, バッファに書き込まれ最大2クロック (32.768 kHz) 後にカウンタへ書き込まれます。書き込み中に月カウント・レジスタからのオーバーフローが発生しても無視し, 書き込みをした値に設定されます。また設定する値は, 10進の00-99をBCDコードで設定してください。

YEARは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 00Hになります。

図9 - 13 年カウント・レジスタ (YEAR) のフォーマット

アドレス : FFF98H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
YEAR	YEAR80	YEAR40	YEAR20	YEAR10	YEAR8	YEAR4	YEAR2	YEAR1

(13) 時計誤差補正レジスタ (SUBCUD)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより, 時計の進みや遅れをより高精度に補正することができるレジスタです。

SUBCUDは, 8ビット・メモリ操作命令で設定します

リセット信号の発生により, 00Hになります。

図9 - 14 時計誤差補正レジスタ (SUBCUD) のフォーマット

アドレス: FFF99H リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
SUBCUD	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	秒桁が00, 20, 40秒時 (20秒ごと) に時計誤差補正
1	秒桁が00秒時のみ (20秒ごと) に時計誤差補正
次に示すタイミングでのSUBCUDレジスタへの書き込みは禁止です。	
<ul style="list-style-type: none"> ・ DEV = 0設定時: SEC = 00H, 20H, 40Hの期間 ・ DEV = 1設定時: SEC = 00Hの期間 	

F6	時計誤差補正値の設定
0	{ (F5, F4, F3, F2, F1, F0) - 1 } × 2だけ増加
1	{ (/F5, /F4, /F3, /F2, /F1, /F0) + 1 } × 2だけ減少
(F6, F5, F4, F3, F2, F1, F0) = (*, 0, 0, 0, 0, 0, *) のときは, 時計誤差補正を行いません。*は0または1です。	
/F5 ~ /F0は, ビット反転した値 (111100のときは000011) となります。	
補正値の範囲: (F6=0のとき) 2, 4, 6, 8, ... 120, 122, 124	
(F6=1のとき) -2, -4, -6, -8, ... -120, -122, -124	

次に, 時計誤差補正レジスタ (SUBCUD) による補正可能範囲を示します。

	DEV = 0 (20秒ごとの補正)	DEV = 1 (60秒ごとの補正)
補正可能範囲	- 189.2 ppm ~ 189.2 ppm	- 63.1 ppm ~ 63.1 ppm
最大量子化誤差	± 1.53 ppm	± 0.51 ppm
最小分解能	± 3.05 ppm	± 1.02 ppm

備考 補正範囲が, - 63.1 ppm以下または63.1 ppm以上のときは, DEV = 0を設定してください。

(14) アラーム分レジスタ (ALARMWM)

アラームの分を設定するレジスタです。
ALARMWMは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

注意 設定する値は、10進の00～59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 15 アラーム分レジスタ (ALARMWM) のフォーマット

アドレス：FFF9AH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWM	0	WM40	WM20	WM10	WM8	WM4	WM2	WM1

(15) アラーム時レジスタ (ALARMWH)

アラームの時を設定するレジスタです。
ALARMWHは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、12Hになります。
ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

注意 設定する値は、10進の00～23または、01～12, 21～32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

図9 - 16 アラーム時レジスタ (ALARMWH) のフォーマット

アドレス：FFF9BH リセット時：12H R/W

略号	7	6	5	4	3	2	1	0
ALARMWH	0	0	WH20	WH10	WH8	WH4	WH2	WH1

注意 ALARMWHのビット5 (WH20) は、AMPM = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

(16) アラーム曜日レジスタ (ALARMWW)

アラームの曜日を設定するレジスタです。
ALARMWWは、8ビット・メモリ操作命令で設定します。
リセット信号の発生により、00Hになります。

図9 - 17 アラーム曜日レジスタ (ALARMWW) のフォーマット

アドレス：FFF9CH リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ALARMWW	0	WW6	WW5	WW4	WW3	WW2	WW1	WW0

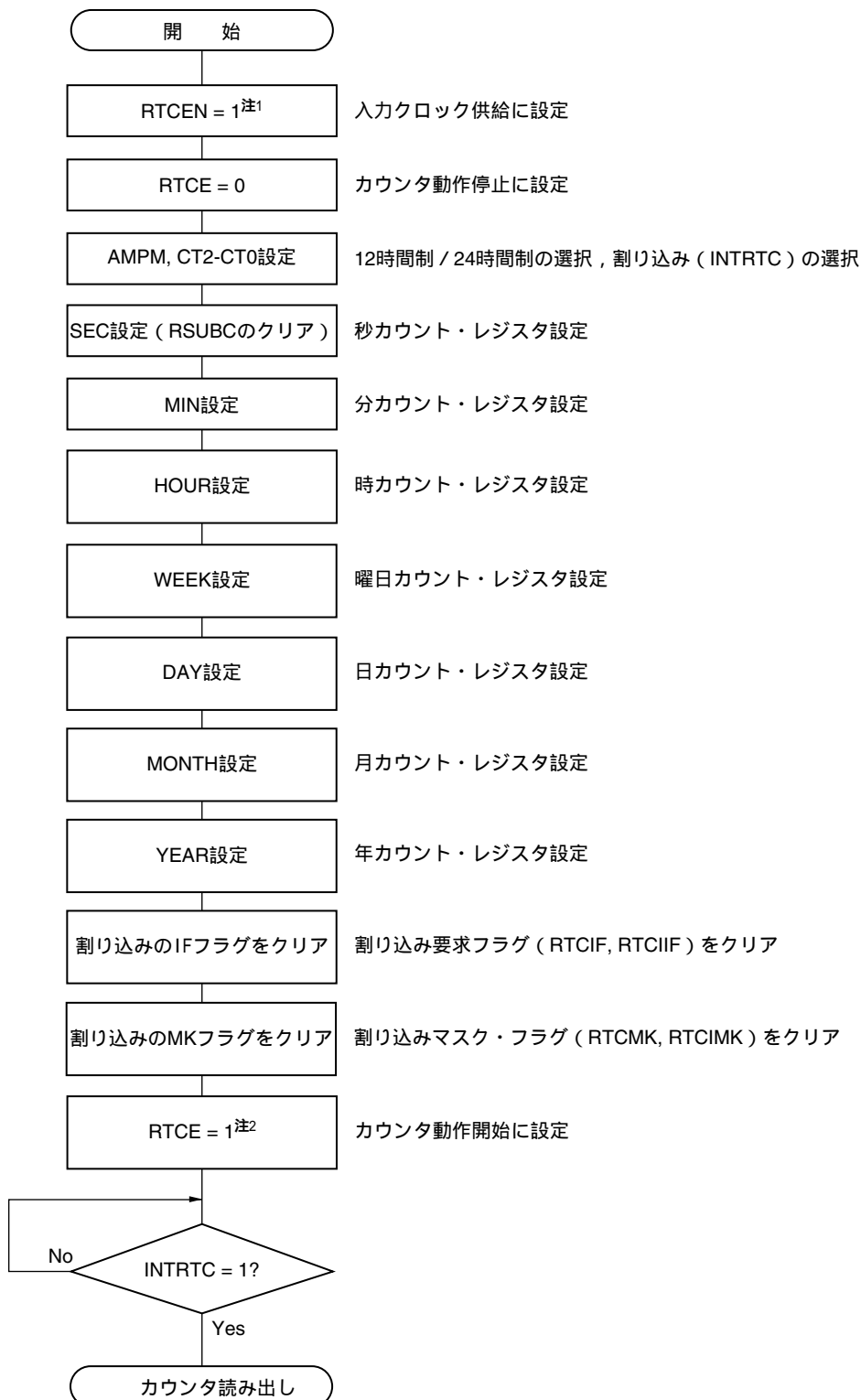
次にアラーム時刻の設定例を示します。

アラーム設定時刻	曜日							12時間表示				24時間表示			
	日	月	火	水	木	金	土	10時	1時	10分	1分	10時	1時	10分	1分
	W	W	W	W	W	W	W								
0	1	2	3	4	5	6									
毎日 午前0時00分	1	1	1	1	1	1	1	1	2	0	0	0	0	0	0
毎日 午前1時30分	1	1	1	1	1	1	1	0	1	3	0	0	1	3	0
毎日 午前11時59分	1	1	1	1	1	1	1	1	1	5	9	1	1	5	9
月～金 午後0時00分	0	1	1	1	1	1	0	3	2	0	0	1	2	0	0
日曜 午後1時30分	1	0	0	0	0	0	0	2	1	3	0	1	3	3	0
月水金 午後11時59分	0	1	0	1	0	1	0	3	1	5	9	2	3	5	9

9.4 リアルタイム・カウンタの動作

9.4.1 リアルタイム・カウンタの動作開始

図9-18 リアルタイム・カウンタの動作開始手順



注1. サブシステム・クロック (f_{SUB}) が発振安定状態において、最初にRTCEN = 1の設定を行ってください。

2. RTCE = 1のあとにINTRTC = 1を待たずにSTOPモードへ移行する場合は、9.4.2 **動作開始後のSTOPモードへの移行の手順を確認してください。**

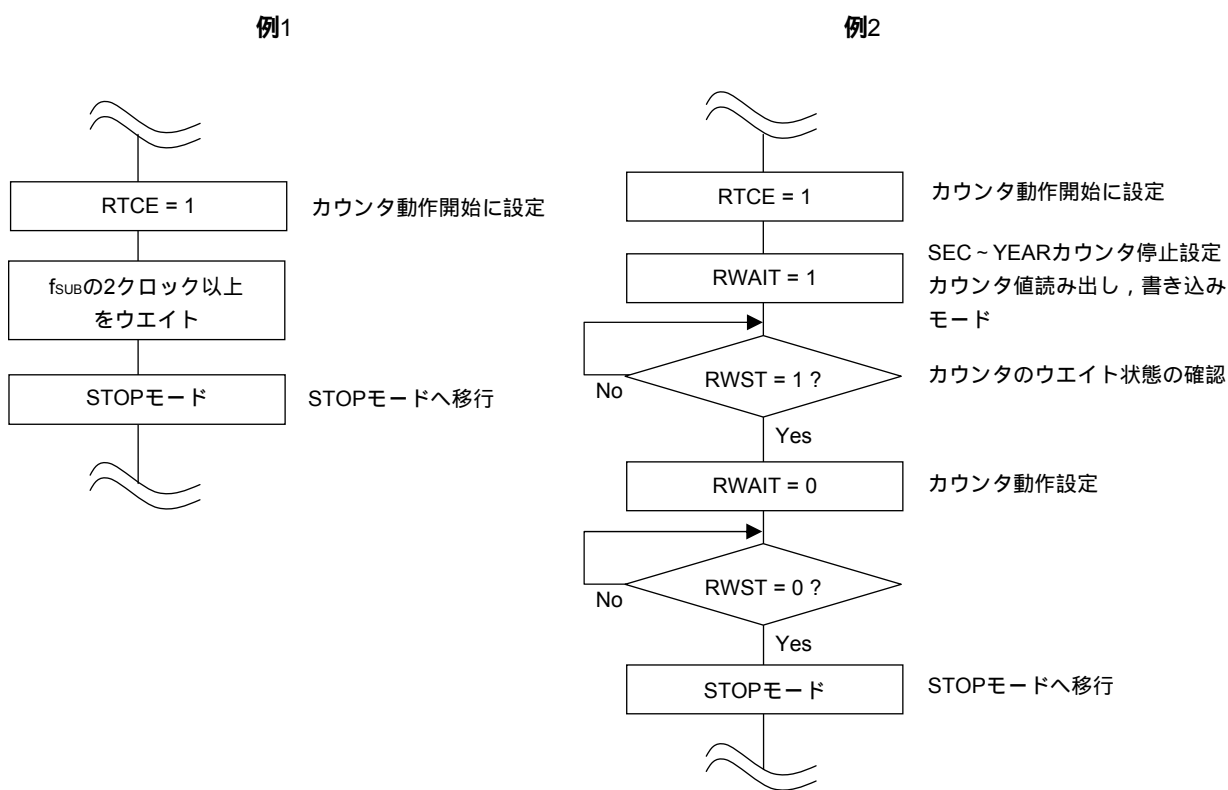
9.4.2 動作開始後のSTOPモードへの移行

RTCE = 1に設定直後にSTOPモードへ移行する場合は、次のどちらかの処理をしてください。

ただし、RTCE = 1に設定後、1回目のINTRTC割り込みの発生以降にSTOPモードへ移行する場合は、これらの処理は必要ありません。

- ・RTCE = 1に設定してから、サブシステム・クロック(f_{SUB})の2クロック分(約62 μs)以上経過後にSTOPモードへ移行する(図9-19 例1参照)。
- ・RTCE = 1に設定後、RWAIT = 1に設定し、RWSTが1になるのをポーリングで確認する。それから、RWAIT = 0に設定し、RWSTが0になったのを再度ポーリングで確認後にSTOPモードへ移行する(図9-19 例2参照)。

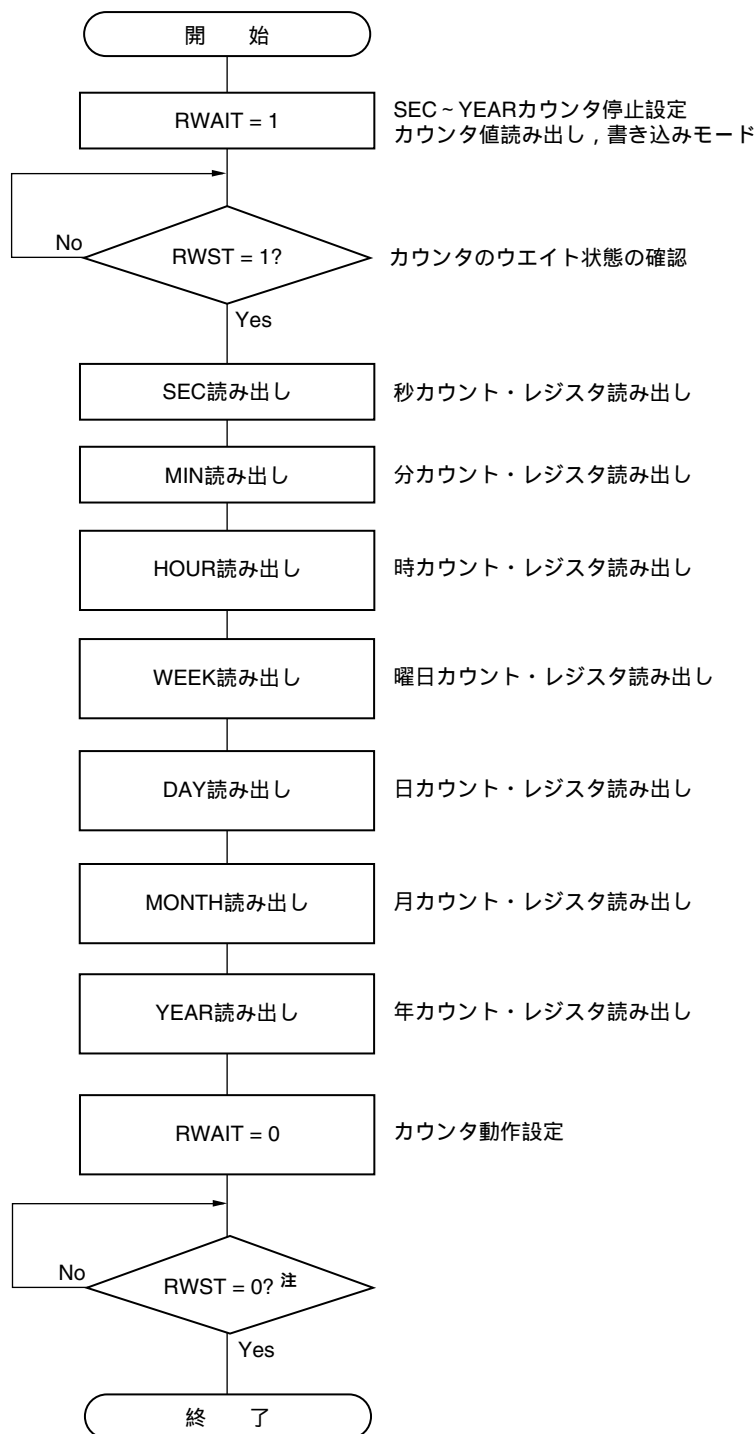
図9-19 RTCE = 1に設定後のSTOPモードへの移行手順



9.4.3 リアルタイム・カウンタのカウンタ読み出し / 書き込み

カウンタの読み出し / 書き込みは、最初にRWAIT = 1にしてから行ってください。

図9 - 20 リアルタイム・カウンタの読み出し手順

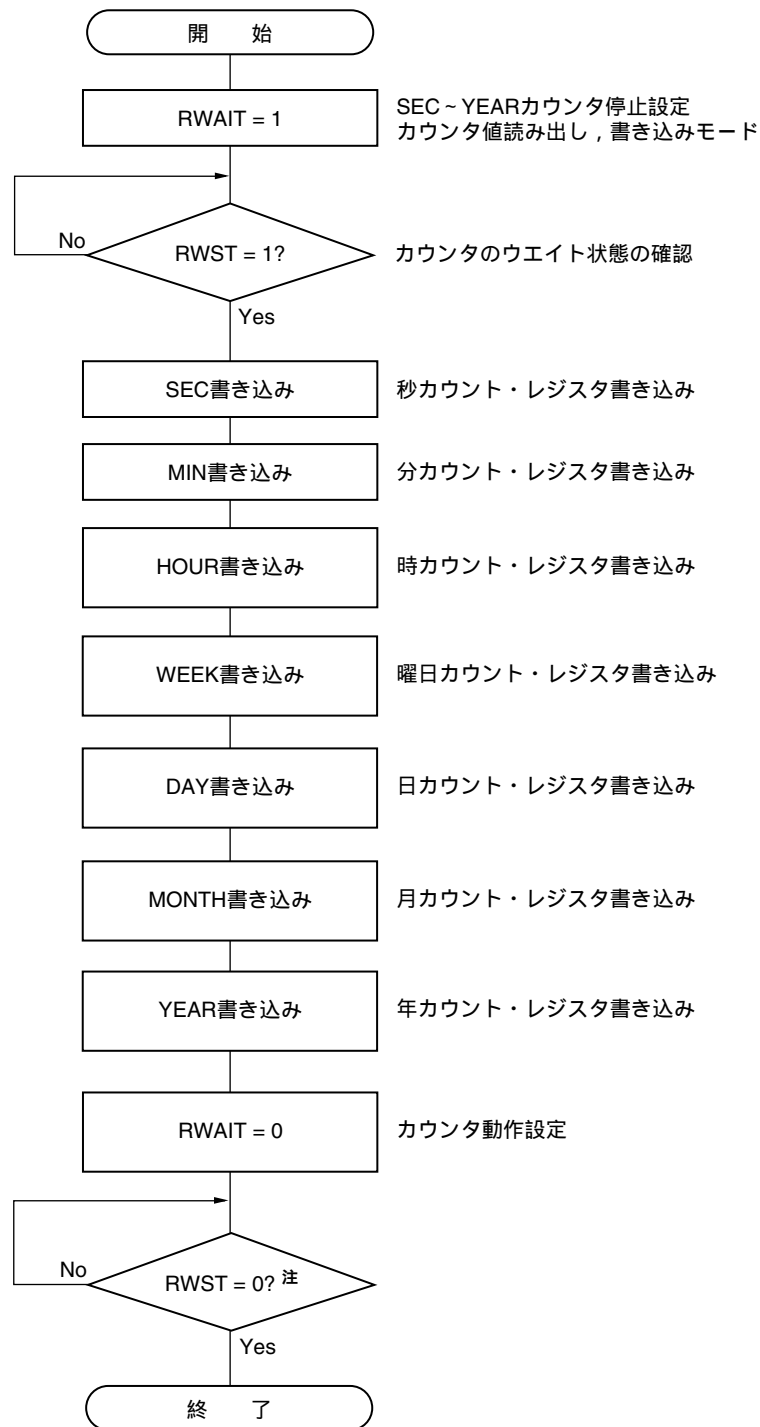


注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの読み出しの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを読み出しても構いません。

図9 - 21 リアルタイム・カウンタの書き込み手順



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

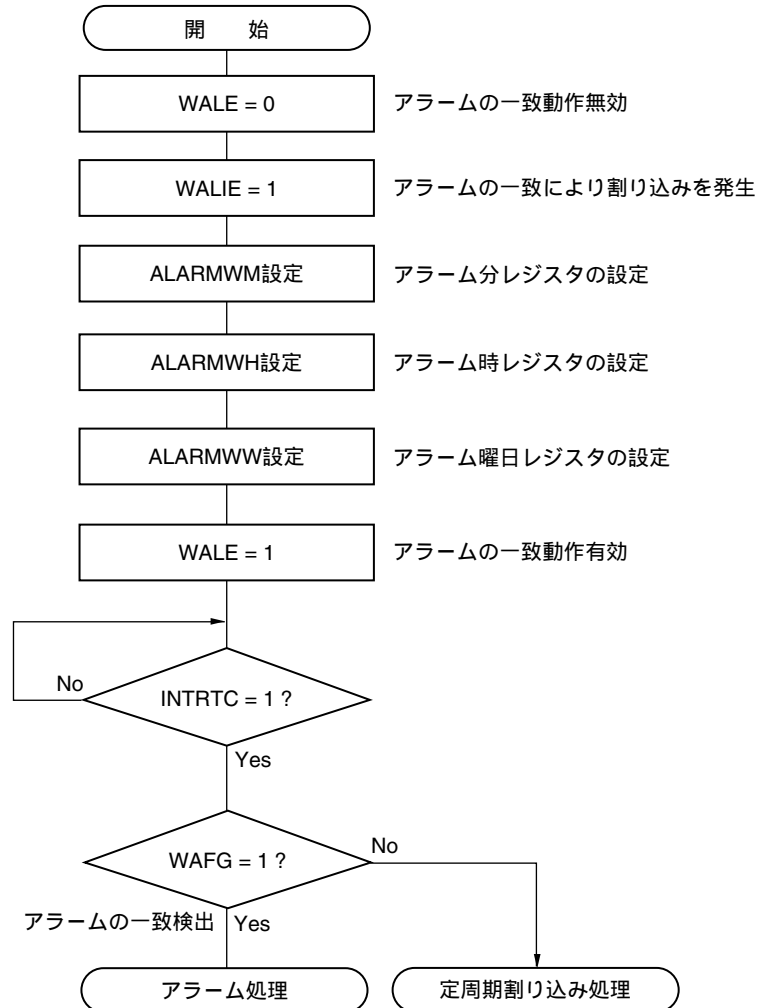
注意 RWAIT = 1からRWAIT = 0とするまでを1秒以内で行ってください。

備考 SEC, MIN, HOUR, WEEK, DAY, MONTH, YEARの書き込みの順番に制限はありません。
また、すべてのレジスタを設定する必要はなく、一部のレジスタのみを書き換えても構いません。

9.4.4 リアルタイム・カウンタのアラーム設定

アラーム時刻設定は、最初にWALE = 0にしてから行ってください。

図9 - 22 アラーム設定手順



備考1. ALARMWM, ALARMWH, ALARMWWの書き込みの順番に制限はありません。

2. 定周期割り込みとアラーム一致割り込みは、同一割り込み要因 (INTRTC) を使用しています。この2つの割り込みを同時に使用する場合は、INTRTCが発生した時点で、定周期割り込みステータス・フラグ (RIFG) とアラーム検出ステータス・フラグ (WAFG) を確認することで、どちらの割り込みが発生したかを判断することができます。

第10章 ウォッチドッグ・タイマ

10.1 ウォッチドッグ・タイマの機能

ウォッチドッグ・タイマは低速内蔵発振クロックで動作します。

ウォッチドッグ・タイマはプログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号を発生します。

次の場合、プログラムの暴走と判断します。

- ・ウォッチドッグ・タイマ・カウンタがオーバーフローした場合
- ・ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合
- ・ウインドウ・クローズ期間中にWDTEにデータを書き込んだ場合

ウォッチドッグ・タイマによるリセットが発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のビット4 (WDRF) がセット (1) されます。RESFの詳細については第19章 **リセット機能**を参照してください。

また、オーバーフロー時間の75%到達時にインターバル割り込みを発生することもできます。

10.2 ウォッチドッグ・タイマの構成

ウォッチドッグ・タイマは、次のハードウェアで構成されています。

表10-1 ウォッチドッグ・タイマの構成

項目	構成
制御レジスタ	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

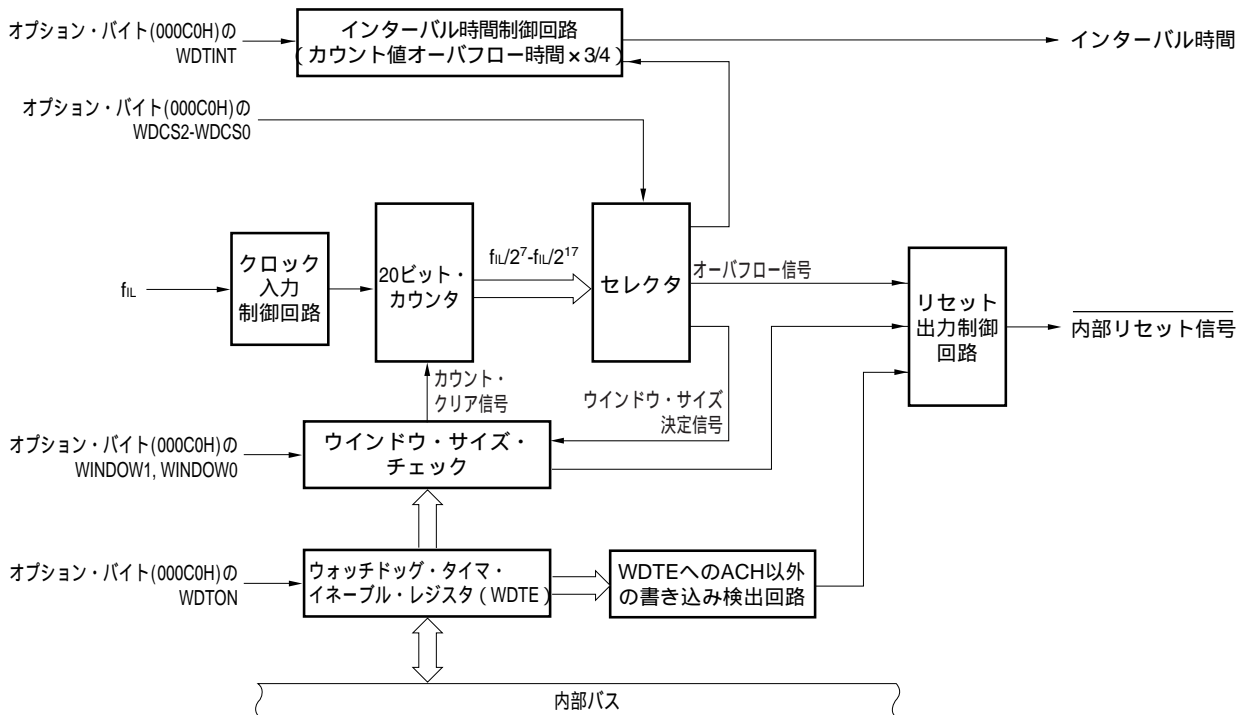
また、オプション・バイトで、カウンタの動作制御、オーバフロー時間の設定、ウインドウ・オープン期間の設定、インターバル割り込みの設定を行います。

表10-2 オプション・バイトとウォッチドッグの設定内容

ウォッチドッグ・タイマの設定内容	オプション・バイト (000C0H)
ウォッチドッグ・タイマのインターバル割り込みの設定	ビット7 (WDTINT)
ウインドウ・オープン期間設定	ビット6, 5 (WINDOW1, WINDOW0)
ウォッチドッグ・タイマのカウンタ動作制御	ビット4 (WDTON)
ウォッチドッグ・タイマのオーバフロー時間設定	ビット3-1 (WDCS2- WDCS0)
ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOP時)	ビット0 (WDSTBYON)

備考 オプション・バイトについては、第23章 オプション・バイトを参照してください。

図10-1 ウォッチドッグ・タイマのブロック図



備考 f_{IL} : 低速内蔵発振クロック周波数

10.3 ウォッチドッグ・タイマを制御するレジスタ

ウォッチドッグ・タイマは、ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) で制御します。

(1) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

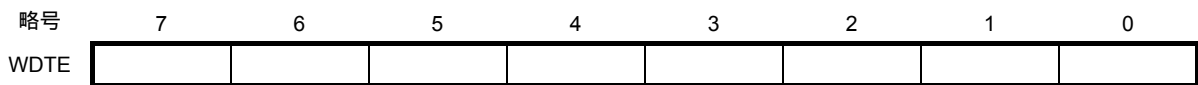
WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマのカウンタをクリアし、再びカウント開始します。

WDTEは8ビット・メモリ操作命令で設定します。

リセット信号の発生により、9AHまたは1AH^注になります。

図10-2 ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) のフォーマット

アドレス : FFFABH リセット時 : 9AH / 1AH^注 R/W



注 WDTEのリセット値は、オプション・バイト(000C0H)のWDTONの設定値によって、異なります。
ウォッチドッグ・タイマを動作する場合は、WDTONに1を設定してください。

WDTONの設定値	WDTEのリセット値
0 (ウォッチドッグ・タイマのカウント動作禁止)	1AH
1 (ウォッチドッグ・タイマのカウント動作許可)	9AH

注意1 . WDTEに“ACH”以外の値を書き込んだ場合、内部リセット信号を発生します。

2 . WDTEに1ビット・メモリ操作命令を実行した場合、内部リセット信号を発生します。

3 . WDTEのリード値は、“9AH / 1AH” (書き込んだ値 (“ACH”)とは異なる値) になります。

10.4 ウォッチドッグ・タイマの動作

10.4.1 ウォッチドッグ・タイマの動作制御

1. ウォッチドッグ・タイマを使用する場合、オプション・バイト（000C0H）で次の内容を設定します。

・オプション・バイト（000C0H）のビット4（WDTON）を1に設定し、ウォッチドッグ・タイマのカウント動作を許可（リセット解除後、カウンタは動作開始）にしてください（詳細は、第23章を参照）。

WDTON	ウォッチドッグ・タイマのカウンタ
0	カウント動作禁止（リセット解除後、カウント停止）
1	カウント動作許可（リセット解除後、カウント開始）

・オプション・バイト（000C0H）のビット3-1（WDGS2-WDGS0）で、オーバフロー時間を設定してください（詳細は、10.4.2および第23章を参照）。

・オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で、ウインドウ・オープン期間を設定してください（詳細は、10.4.3および第23章を参照）。

2. リセット解除後、ウォッチドッグ・タイマはカウント動作を開始します。
3. カウント動作開始したあと、オプション・バイトで設定したオーバフロー時間前に、WDTEに“ACH”を書き込むことにより、ウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
4. 以後、リセット解除後2回目以降のWDTEへの書き込みについては、ウインドウ・オープン期間中に行ってください。ウインドウ・クローズ期間中に書き込んだ場合、内部リセット信号を発生します。
5. WDTEに“ACH”を書き込まずに、オーバフロー時間を越えてしまった場合は、内部リセット信号を発生します。
また、次の場合も、内部リセット信号を発生します。

- ・ウォッチドッグ・タイマ・イネーブル・レジスタ（WDTE）に1ビット操作命令を使用した場合
- ・WDTEに“ACH”以外のデータを書き込んだ場合

- 注意1.** リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。
2. WDTEに“ACH”を書き込んで、ウォッチドッグ・タイマをクリアしたとき、実際のオーバフロー時間は、オプション・バイトで設定したオーバフロー時間より最大 $2/f_{IL}$ 秒の誤差が生じる場合があります。
 3. ウォッチドッグ・タイマのクリアは、カウント値がオーバフローする直前まで有効です。

<例> オーバフロー時間を $2^{10}/f_{IL}$ 設定時は、カウント値3FHまで“ACH”の書き込みが有効になります。

注意4. オプション・バイト (000C0H) のビット0 (WDSTBYON) の設定値により, ウォッチドッグ・タイマのHALTおよびSTOPモード時の動作は, 次のように異なります。

	WDSTBYON = 0	WDSTBYON = 1
HALTモード時	ウォッチドッグ・タイマ動作停止	ウォッチドッグ・タイマ動作継続
STOPモード時		

WDSTBYON = 0の場合, HALTおよびSTOPモード解除後は, ウォッチドッグ・タイマのカウントを再開します。このとき, カウンタはクリア (0) して, カウント開始します。

STOPモード解除後にX1発振クロックで動作する場合は, CPUは発振安定時間経過後に動作を開始します。

そのため, STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと, 発振安定時間中にオーバフローしてリセットが発生します。

よって, インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し, ウォッチドッグ・タイマをクリアする場合は, 発振安定時間経過後にクリアすることになるため, その時間を考慮してオーバフロー時間を設定してください。

- フラッシュ・メモリのセルフ・プログラミング時およびEEPROM[®]エミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

10.4.2 ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマのオーバフロー時間は, オプション・バイト (000C0H) のビット3-1 (WDCS2-WDCS0) で設定します。

オーバフロー時は, 内部リセット信号を発生します。オーバフロー時間前の, ウインドウ・オープン期間中にWDTEに“ACH”を書き込むことにより, カウントはクリアされ, 再度カウント動作を開始します。

設定するオーバフロー時間を次に示します。

表10-3 ウォッチドッグ・タイマのオーバフロー時間の設定

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 (f _{IL} = 33 kHz (MAX.) の場合)
0	0	0	2 ⁷ /f _{IL} (3.88 ms)
0	0	1	2 ⁸ /f _{IL} (7.76 ms)
0	1	0	2 ⁹ /f _{IL} (15.52 ms)
0	1	1	2 ¹⁰ /f _{IL} (31.03 ms)
1	0	0	2 ¹² /f _{IL} (124.12 ms)
1	0	1	2 ¹⁴ /f _{IL} (496.48 ms)
1	1	0	2 ¹⁵ /f _{IL} (992.97 ms)
1	1	1	2 ¹⁷ /f _{IL} (3971.88 ms)

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には, 割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

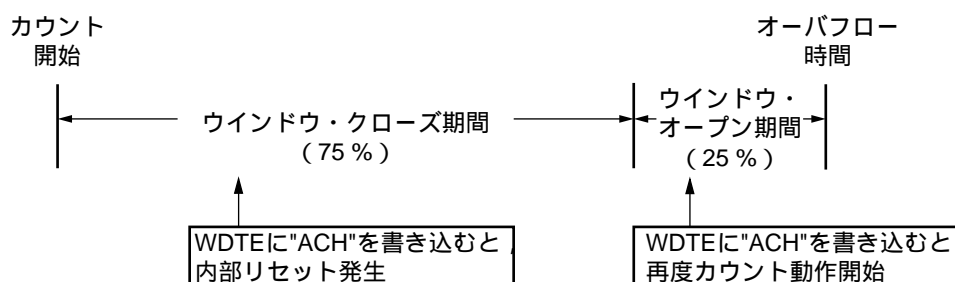
備考 f_{IL}: 低速内蔵発振クロック周波数

10.4.3 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのウインドウ・オープン期間は、オプション・バイト（000C0H）のビット6, 5（WINDOW1, WINDOW0）で設定します。ウインドウの概要は次のとおりです。

- ・ウインドウ・オープン期間中は、WDTEに“ACH”を書き込むと、ウォッチドッグ・タイマをクリアし、再度カウント動作を開始します。
- ・ウインドウ・クローズ期間中は、WDTEに“ACH”を書き込んでも、異常検出され、内部リセットを発生します。

例 ウインドウ・オープン期間が25%の場合



注意 リセット解除後1回目のWDTEへの書き込みだけは、ウインドウ・オープン時間に関係なく、オーバフロー時間前であればどのタイミングで行ってもウォッチドッグ・タイマはクリアされ、再度カウント動作を開始します。

設定するウインドウ・オープン期間を次に示します。

表10-4 ウォッチドッグ・タイマのウインドウ・オープン期間の設定

WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間
0	0	25 %
0	1	50 %
1	0	75 %
1	1	100 %

- 注意1.** フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも、ウォッチドッグ・タイマの動作は継続します。ただし、これらの処置中には、割り込みの受け付け時間が遅れるので、遅延を考慮し、オーバフロー時間およびウインドウ・サイズを設定してください。
2. オプション・バイト（000C0H）のビット0（WDSTBYON）= 0のときは、WINDOW1, WINDOW0の値に関係なく、ウインドウ・オープン期間100%となります。
 3. 次のどちらかの条件に該当する場合は、ウインドウ・オープン期間を25%に設定しないでください。

- ・STOPモードの使用、もしくはソフトウェアでメイン・システム・クロック（高速内蔵発振クロック，X1クロック，外部メイン・システム・クロック）をすべて停止する場合。
- ・低消費電流モード

備考1. オーバフロー時間を $2^{10}/f_{IL}$ に設定した場合、ウインドウ・クローズ時間とオープン時間は、次のようになります。

	ウインドウ・オープン期間の設定			
	25 %	50 %	75 %	100 %
ウインドウ・クローズ時間	0 ~ 28.44 ms	0 ~ 18.96 ms	0 ~ 9.48 ms	なし
ウインドウ・オープン時間	28.44 ~ 31.03 ms	18.96 ~ 31.03 ms	9.48 ~ 31.03 ms	0 ~ 31.03 ms

<ウインドウ・オープン期間25 %のとき>

・ オーバフロー時間 :

$$2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/33 \text{ kHz} (\text{MAX.}) = 31.03 \text{ ms}$$

・ ウインドウ・クローズ時間 :

$$0 \sim 2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) = 0 \sim 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.75 = 0 \sim 28.44 \text{ ms}$$

・ ウインドウ・オープン時間 :

$$2^{10}/f_{IL} (\text{MIN.}) \times (1 - 0.25) \sim 2^{10}/f_{IL} (\text{MAX.}) = 2^{10}/27 \text{ kHz} (\text{MIN.}) \times 0.75 \sim 2^{10}/33 \text{ kHz} (\text{MAX.}) = 28.44 \sim 31.03 \text{ ms}$$

2. f_{IL} : 低速内蔵発振クロック周波数

10.4.4 ウォッチドッグ・タイマのインターバル割り込みの設定

オプション・バイト (000C0H) のビット7 (WDTINT) の設定により、オーバフロー時間の75%到達時にインターバル割り込み (INTWDTI) を発生することができます。

表10 - 5 ウォッチドッグ・タイマのインターバル割り込みの設定

WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用
0	インターバル割り込みを使用しない
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する

注意 STOPモード解除後にX1発振クロックで動作する場合は、CPUは発振安定時間経過後に動作を開始します。

そのため、STOPモード解除後からウォッチドッグ・タイマがオーバフローするまでの時間が短いと、発振安定時間中にオーバフローしてリセットが発生します。

よって、インターバル割り込みによるSTOPモード解除後にX1発振クロックで動作し、ウォッチドッグ・タイマをクリアする場合は、発振安定時間経過後にクリアすることになるため、その時間を考慮してオーバフロー時間を設定してください。

備考 INTWDTI発生後も (WDTEレジスタにACHを書き込むまで) カウントを継続します。オーバフロー時間までにACHが書き込まれない場合は、内部リセット信号を発生します。

第11章 クロック出力/ブザー出力制御回路

クロック出力/ブザー出力制御回路の出力端子数は、製品によって異なります。また、78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品にクロック出力/ブザー制御回路は、搭載していません。

出力端子	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
PCLBUZ0	-	-	-	-	-	-
PCLBUZ1	-	-	-	-	-	-

11.1 クロック出力/ブザー出力制御回路の機能

クロック出力はリモコン送信時のキャリア出力や周辺ICに供給するクロックを出力する機能です。

また、ブザー出力はブザー周波数の方形波を出力する機能です。

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZn端子は、クロック出力選択レジスタn (CKSn) で選択したクロックを出力します。

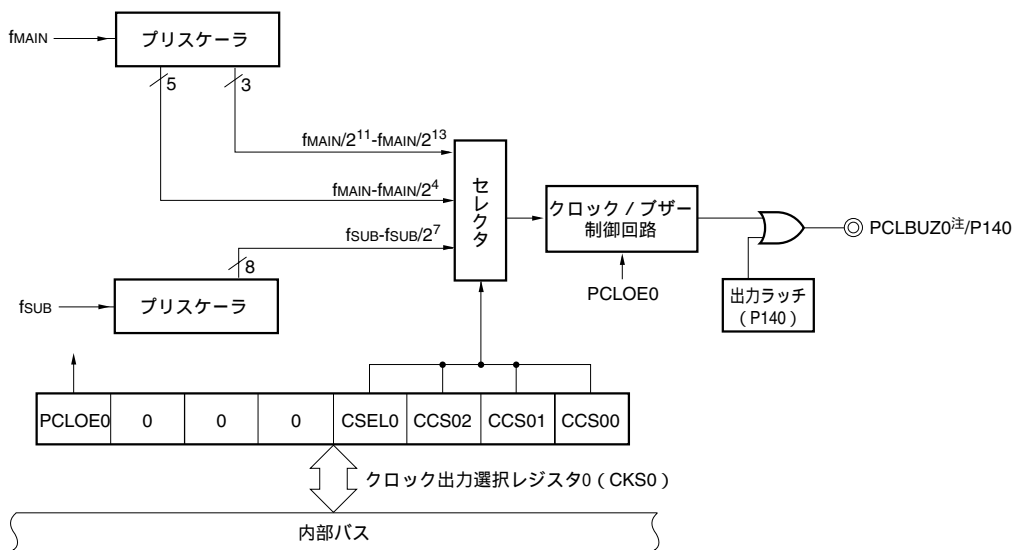
図11 - 1にクロック出力/ブザー出力制御回路のブロック図を示します。

備考 n = 0 : 78K0R/IC3 (48ピン製品) , 78K0R/ID3

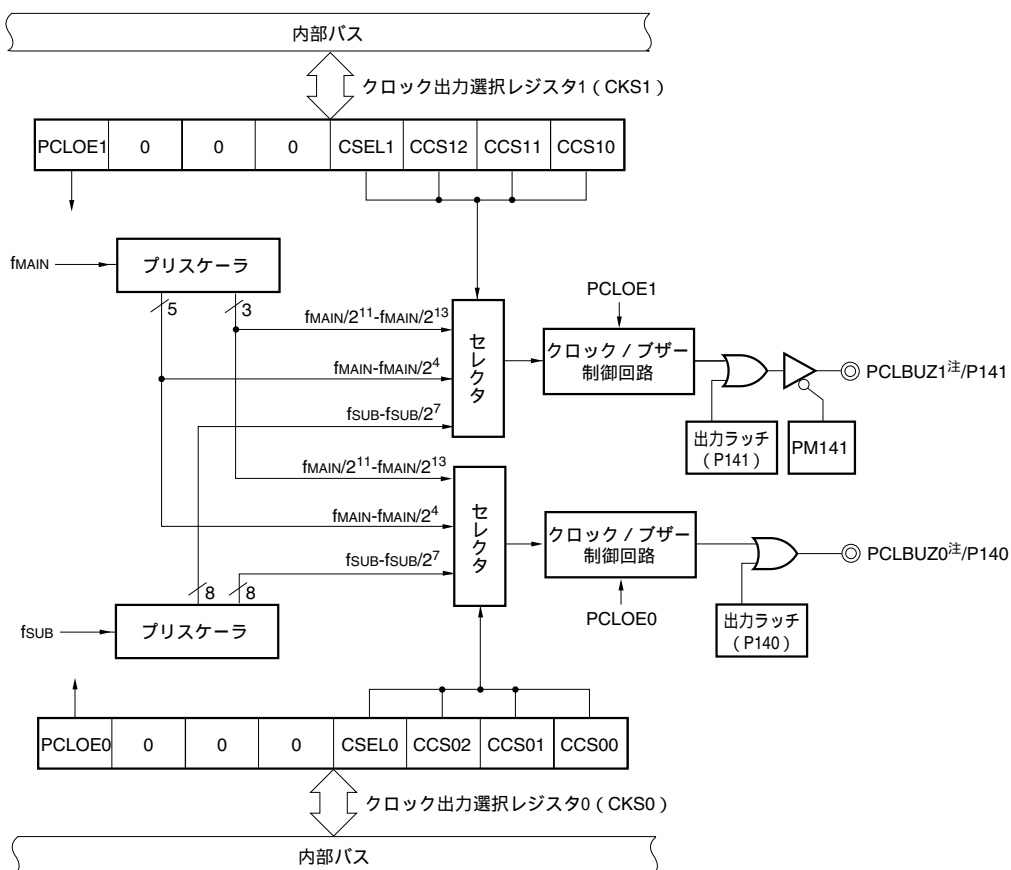
n = 0, 1 : 78K0R/IE3

図11-1 クロック出力/プザー出力制御回路のブロック図

・ 78K0R/IC3 (48ピン製品) , 78K0R/IDの場合



・ 78K0R/IE3の場合



注 PCLBUZ0, PCLBUZ1端子は, 2.7 V_{VD}で10 MHzまでのクロック出力が可能です。

備考 f_{MAIN} : メイン・システム・クロック周波数

f_{SUB} : サブシステム・クロック周波数

11.2 クロック出力/ブザー出力制御回路の構成

クロック出力/ブザー出力制御回路は、次のハードウェアで構成されています。

表11-1 クロック出力/ブザー出力制御回路の構成

項目	構成
制御レジスタ	クロック出力選択レジスタn (CKSn) ポート・モード・レジスタ14 (PM14) (78K0R/IE3のみ) ポート・レジスタ14 (P14)

備考 n = 0 : 78K0R/IC3 (48ピン製品) , 78K0R/ID3

n = 0, 1 : 78K0R/IE3

11.3 クロック出力/ブザー出力制御回路を制御するレジスタ

クロック出力/ブザー出力制御回路は、次の2種類のレジスタで制御します。

- ・クロック出力選択レジスタn (CKSn)
- ・ポート・モード・レジスタ14 (PM14) (78K0R/IE3のみ)

(1) クロック出力選択レジスタn (CKSn)

クロック出力またはブザー周波数出力の端子 (PCLBUZn) の出力許可/禁止、および出力クロックを設定するレジスタです。

CKSnレジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 n = 0 : 78K0R/IC3 (48ピン製品) , 78K0R/ID3

n = 0, 1 : 78K0R/IE3

図11-2 クロック出力選択レジスタn (CKSn) のフォーマット

アドレス : FFFA5H (CKS0), FFFA6H (CKS1) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	0
CKSn	PCLOEn	0	0	0	CSELn	CCSn2	CCSn1	CCSn0

PCLOEn	PCLBUZnの出力許可 / 禁止の指定
0	出力禁止 (デフォルト)
1	出力許可

CSELn	CCSn2	CCSn1	CCSn0	PCLBUZnの出力クロックの選択			
				f _{MAIN} = 10 MHz	f _{MAIN} = 20 MHz	f _{MAIN} = 40 MHz	
0	0	0	0	f _{MAIN}	10 MHz	設定禁止 ^注	設定禁止 ^注
0	0	0	1	f _{MAIN} /2	5 MHz	10 MHz	設定禁止 ^注
0	0	1	0	f _{MAIN} /2 ²	2.5 MHz	5 MHz	10 MHz
0	0	1	1	f _{MAIN} /2 ³	1.25 MHz	2.5 MHz	5 MHz
0	1	0	0	f _{MAIN} /2 ⁴	625 kHz	1.25 MHz	2.5 MHz
0	1	0	1	f _{MAIN} /2 ¹¹	4.88 kHz	9.77 kHz	19.5 kHz
0	1	1	0	f _{MAIN} /2 ¹²	2.44 kHz	4.88 kHz	9.77 kHz
0	1	1	1	f _{MAIN} /2 ¹³	1.22 kHz	2.44 kHz	4.88 kHz
1	0	0	0	f _{SUB}	32.768 kHz		
1	0	0	1	f _{SUB} /2	16.384 kHz		
1	0	1	0	f _{SUB} /2 ²	8.192 kHz		
1	0	1	1	f _{SUB} /2 ³	4.096 kHz		
1	1	0	0	f _{SUB} /2 ⁴	2.048 kHz		
1	1	0	1	f _{SUB} /2 ⁵	1.024 kHz		
1	1	1	0	f _{SUB} /2 ⁶	512 Hz		
1	1	1	1	f _{SUB} /2 ⁷	256 Hz		

注 出力クロックは、2.7 V V_{DD}で10 MHzを越えると設定禁止です。

- 注意1. 出力クロックの切り替えは、出力禁止 (PCLOEn = 0) にしてから行ってください。
2. メイン・システム・クロック選択時 (CSELn = 0) にSTOPモードに移行する場合は、STOP命令前にPCLOEn = 0にしてください。サブシステム・クロック選択時 (CSELn = 1) は、STOPモード時にクロック出力が可能のためPCLOEn = 1に設定可能です。

備考1. n = 0 : 78K0R/IC3 (48ピン製品) , 78K0R/ID3
n = 0, 1 : 78K0R/IE3

2. f_{MAIN} : メイン・システム・クロック周波数

3. f_{SUB} : サブシステム・クロック周波数

(2) ポート・モード・レジスタ14 (PM14) (78K0R/IE3のみ)

ポート141の入力/出力を1ビット単位で設定するレジスタです。

P140/PCLBUZ0, P141/PCLBUZ1端子をクロック出力/ブザー出力機能として使用するとき, PM141およびP140, P141の出力ラッチに0を設定してください。

PM14は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FEHになります。

図11-3 ポート・モード・レジスタ14 (PM14) のフォーマット

アドレス: FFF2EH リセット時: FEH R/W

略号	7	6	5	4	3	2	1	0
PM14	1	1	1	1	1	1	PM141	0

PM141	P141端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

11.4 クロック出力/ブザー出力制御回路の動作

1つの端子で、クロック出力用とブザー出力用のいずれかを選択して出力できます。

PCLBUZ0は、クロック出力選択レジスタ0 (CKS0) で選択したクロック/ブザーを出力します。

PCLBUZ1は、クロック出力選択レジスタ1 (CKS1) で選択したクロック/ブザーを出力します。

11.4.1 出力端子の動作

PCLBUZnは、次の手順で出力します。

PCLBUZn端子のクロック出力選択レジスタ (CKSn) のビット0-3 (CCSn0-CCSn2, CSELn) で出力周波数を選択する (出力は禁止の状態)。

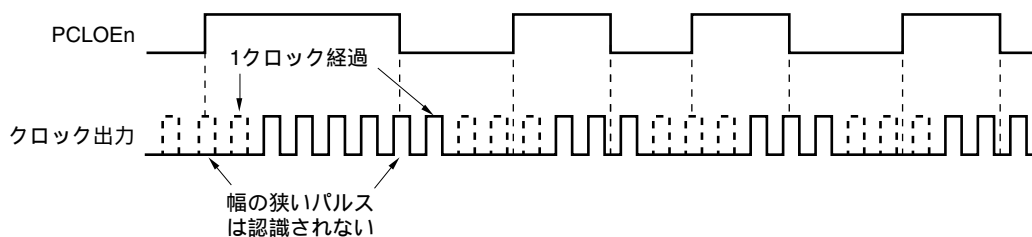
CKSnのビット7 (PCLOEn) に1を設定し、クロック出力/ブザー出力を許可する。

備考1. クロック出力用として使用するときの制御回路は、クロック出力の出力許可/禁止 (PCLOEn) を切り替えてから1クロック後にクロック出力を開始/停止します。このとき幅の狭いパルスは出力されません。PCLOEnによる出力の許可/停止とクロック出力のタイミングを図11-4に示します。

2. n = 0 : 78K0R/IC3 (48ピン製品) , 78K0R/ID3

n = 0, 1 : 78K0R/IE3

図11-4 リモコン出力応用例



第12章 A/Dコンバータ

A/Dコンバータのアナログ入力チャンネル数は、製品によって異なります。

	78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
アナログ入力 チャンネル	6ch (ANI0-ANI5)	8ch (ANI0-ANI7)	10ch (ANI0-ANI9)	11ch (ANI0-ANI10)	11ch (ANI0-ANI10)	12ch (ANI0-ANI11)

12.1 A/Dコンバータの機能

A/Dコンバータは、アナログ入力をデジタル値に変換する10ビット分解能のコンバータで、最大12チャンネルのA/Dコンバータ・アナログ入力 (ANI0-ANI11^註) と内蔵されたプログラマブル・ゲイン・アンプ出力信号 (PGAO) の計13チャンネルのアナログ入力を制御できる構成になっています。

A/Dコンバータには、次のような機能があります。

・10ビット分解能A/D変換

ANI0-ANI11^註からアナログ入力を1チャンネル選択し、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求 (INTAD) を発生します。

注 ANI0-ANI5 : 78K0R/IB3

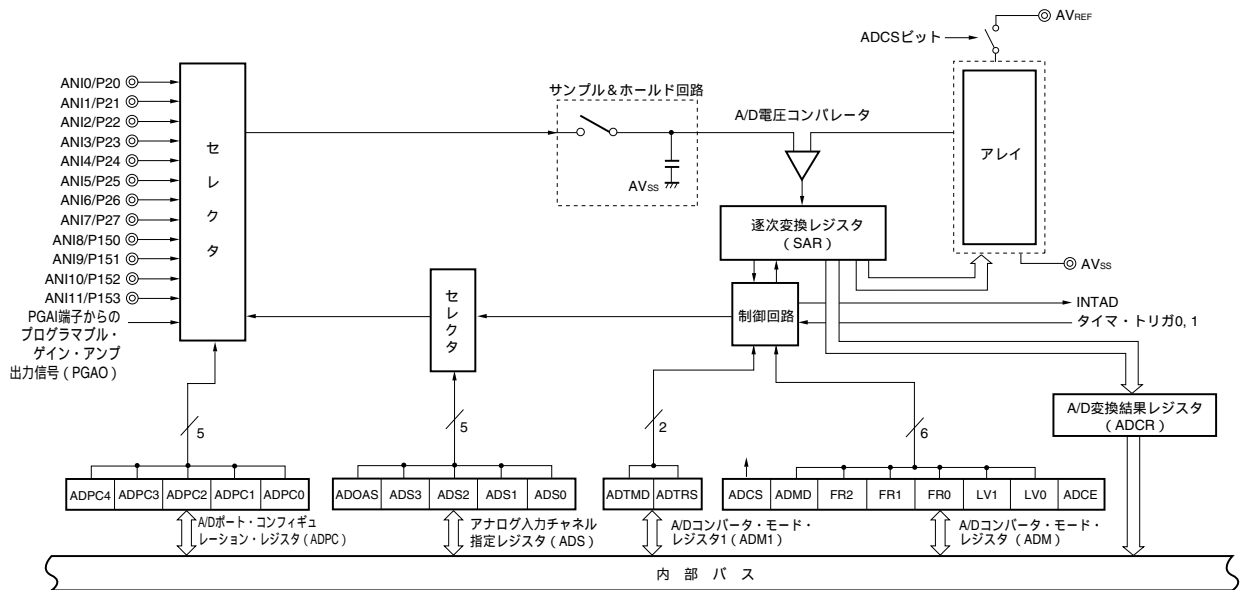
ANI0-ANI7 : 78K0R/IC3の38ピン製品

ANI0-ANI9 : 78K0R/IC3の44ピン製品

ANI0-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3

ANI0-ANI11 : 78K0R/IE3

図12 - 1 A/Dコンバータのブロック図



- 備考**
- ANI0-ANI5 : 78K0R/IB3
 - ANI0-ANI7 : 78K0R/IC3の38ピン製品
 - ANI0-ANI9 : 78K0R/IC3の44ピン製品
 - ANI0-ANI10 : 78K0R/IC3の48ピン製品 , 78K0R/ID3
 - ANI0-ANI11 : 78K0R/IE3

12.2 A/Dコンバータの構成

A/Dコンバータは、次のハードウェアで構成しています。

(1) ANI0-ANI11端子

A/Dコンバータの12チャンネルのアナログ入力端子です。A/D変換するアナログ信号を入力します。アナログ入力として選択した端子以外は、入出力ポートとして使用できます。

備考 ANI0-ANI5 : 78K0R/IB3

ANI0-ANI7 : 78K0R/IC3の38ピン製品

ANI0-ANI9 : 78K0R/IC3の44ピン製品

ANI0-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3

ANI0-ANI11 : 78K0R/IE3

(2) PGA0

PGA端子からのプログラマブル・ゲイン・アンプ出力信号です。A/Dコンバータでは、プログラマブル・ゲイン・アンプの出力信号をアナログ入力として選択し、A/D変換することができます。

(3) サンプル&ホールド回路

入力回路から順次送られてくるアナログ入力電圧を1つ1つサンプリングし、A/D電圧コンパレータに送ります。A/D変換動作中は、サンプリングしたアナログ入力電圧を保持します。

(4) A/D電圧コンパレータ

アレイの電圧タップから発生した電圧と、アナログ入力電圧をA/D電圧コンパレータで比較します。比較した結果、アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より大きい場合には、逐次変換レジスタ (SAR) の最上位ビット (MSB) をセットします。アナログ入力電圧がリファレンス電圧 ($1/2 AV_{REF}$) より小さい場合には、SARレジスタのMSBをリセットします。

次にSARレジスタのビット10が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット11の値によって、アレイの電圧タップが選択されます。

ビット11 = 0 : ($1/4 AV_{REF}$)

ビット11 = 1 : ($3/4 AV_{REF}$)

アレイの電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット10を操作します。

アナログ入力電圧 アレイの電圧タップ : ビット10 = 1

アナログ入力電圧 アレイの電圧タップ : ビット10 = 0

このような比較をSARレジスタのビット0まで続けます。

(5) アレイ

アナログ入力より入力された電圧の比較電圧を生成します。

(6) 逐次変換レジスタ (SAR : Successive Approximation Register)

SARレジスタは、アレイからの電圧タップの値がアナログ入力端子の電圧値と一致するデータを、最上位ビット (MSB) から1ビットずつ設定する12ビット・レジスタです。

SARレジスタの最下位ビット (LSB) まで設定すると (A/D変換終了)、そのSARレジスタの内容 (変換結果) は、A/D変換結果レジスタ (ADCR) に保持されます。また、指定されたすべてのA/D変換が終了すると、A/D変換終了割り込み要求信号 (INTAD) が発生します。

(7) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(8) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(9) 制御回路

A/D変換するアナログ入力の変換時間、変換動作の開始 / 停止などを制御します。A/D変換が終了した場合、INTADが発生します。

(10) AV_{REF}端子

A/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータの電源端子とA/Dコンバータ、コンパレータの基準電圧を入力する端子です。ポート2, 8, 15をすべてアナログ・ポートとして使用する場合は、2.7 V AV_{REF} V_{DD}となる電位にしてください。ポート2, 8, 15のうち、1本でもデジタル・ポートとして使用する場合は、V_{DD}と同電位にしてください。

AV_{REF}, AV_{SS}間にかかる電圧に基づいて ANI0-ANI11に入力されるアナログ信号をデジタル信号に変換します。

(11) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}と同電位で使用してください。

備考 ANI0-ANI5 : 78K0R/IB3

ANI0-ANI7 : 78K0R/IC3の38ピン製品

ANI0-ANI9 : 78K0R/IC3の44ピン製品

ANI0-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3

ANI0-ANI11 : 78K0R/IE3

12.3 A/Dコンバータで使用するレジスタ

A/Dコンバータは、次の8種類のレジスタを使用します。

- ・ 周辺イネーブル・レジスタ0 (PER0)
- ・ A/Dコンバータ・モード・レジスタ (ADM)
- ・ A/Dコンバータ・モード・レジスタ1 (ADM1)
- ・ A/Dポート・コンフィギュレーション・レジスタ (ADPC)
- ・ アナログ入力チャネル指定レジスタ (ADS)
- ・ ポート・モード・レジスタ2, 8, 15 (PM2, PM8, PM15)
- ・ 10ビットA/D変換結果レジスタ (ADCR)
- ・ 8ビットA/D変換結果レジスタ (ADCRH)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

A/Dコンバータを使用するときは、必ずビット5 (ADCEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-2 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN ^{#1}	0	ADCEN	IICAEN ^{#2}	0	SAU0EN	0	0

ADCEN	A/Dコンバータの入力クロックの制御
0	入力クロック供給停止 ・ A/Dコンバータで使用するSFRへのライト不可 ・ A/Dコンバータはリセット状態
1	入力クロック供給許可 ・ A/Dコンバータで使用するSFRへのリード/ライト可

注1. 78K0R/IB3は、RTCENビットを搭載していません。78K0R/IB3の場合は、PER0レジスタのビット7は0固定になります。

2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は、IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は、PER0レジスタのビット4は0固定になります。

注意1. A/Dコンバータの設定をする際には、必ず最初にADCEN = 1の設定を行ってください。ADCEN = 0の場合は、A/Dコンバータの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ2, 8, 15 (PM2, PM8, PM15)は除く)。

2. PER0レジスタのビット0, 1, 3, 6 (78K0R/IB3の場合は、ビット0, 1, 3, 4, 6, 7, 78K0R/IC3の38ピン, 44ピン製品の場合は、0, 1, 3, 4, 6) には必ず“0”を設定してください。

(2) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換するアナログ入力の変換時間、変換動作の開始/停止を設定するレジスタです。

ADMは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-3 A/Dコンバータ・モード・レジスタ (ADM) のフォーマット

アドレス：FFF30H リセット時：00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	LV1 ^{注1}	LV0 ^{注1}	ADCE

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	A/D変換動作モードを指定
0	セレクト・モード
1	スキャン・モード

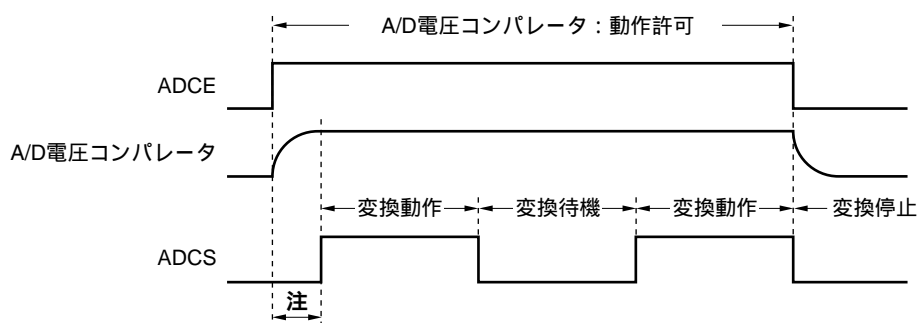
ADCE	A/D電圧コンパレータの動作制御 ^{注2}
0	A/D電圧コンパレータの動作停止
1	A/D電圧コンパレータの動作許可

- 注1. FR2-FR0, LV1, LV0およびA/D変換に関する詳細は、表12-2 A/D変換時間の選択を参照してください。
2. A/D電圧コンパレータはADCSとADCEで動作制御され、動作開始から安定するまでに、1 μsかかります。このため、ADCEに1を設定してから1 μs以上経過したあとに、ADCSに1を設定することで、最初の変換データより有効となります。1 μs以上ウエイトしないでADCSに1を設定した場合は、最初の変換データを無視してください。

表12-1 ADCSとADCEの設定

ADCS	ADCE	A/D変換動作
0	0	停止状態 (DC電力消費バスは存在しません)
0	1	変換待機モード (A/D電圧コンパレータのみ電力消費)
1	0	設定禁止
1	1	変換モード (A/D電圧コンパレータ：動作許可)

図12 - 4 A/D電圧コンパレータ使用時のタイミング・チャート



注 ADCEの立ち上がりから、ADCSの立ち上がりまでの時間は、内部回路安定のため、 $1 \mu\text{s}$ 以上必要です。

注意 FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止させたのちに行ってください。

表12-2 A/D変換時間の選択 (1/2)

(1) 4.0 V AVREF 5.5 V

A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	設定禁止	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs		f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	設定禁止		f _{CLK} /2
1	1	1				9.5 μs	設定禁止	設定禁止	f _{CLK}	
x	x	x	0	1	昇圧	設定禁止				-
0	0	0	1	0	高速1	設定禁止	64.4 μs	32.2 μs	16.1 μs	f _{CLK} /20
0	0	1				32.4 μs	16.2 μs	8.1 μs	f _{CLK} /10	
0	1	0				65.0 μs	26.0 μs	13.0 μs	6.5 μs	f _{CLK} /8
0	1	1				49.0 μs	19.6 μs	9.8 μs	4.9 μs	f _{CLK} /6
1	0	0				33.0 μs	13.2 μs	6.6 μs	3.3 μs	f _{CLK} /4
1	0	1				25.0 μs	10.0 μs	5.0 μs	2.5 μs	f _{CLK} /3
1	1	0				17.0 μs	6.8 μs	3.4 μs	設定禁止	f _{CLK} /2
1	1	1				9.0 μs	3.6 μs	設定禁止		f _{CLK}
0	0	0	1	1	高速2	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	3.5 μs	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	3.6 μs		f _{CLK} /2
1	1	1				9.5 μs	3.8 μs	設定禁止		f _{CLK}

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

表12-2 A/D変換時間の選択 (2/2)

(2) 2.7 V AVREF 5.5 V

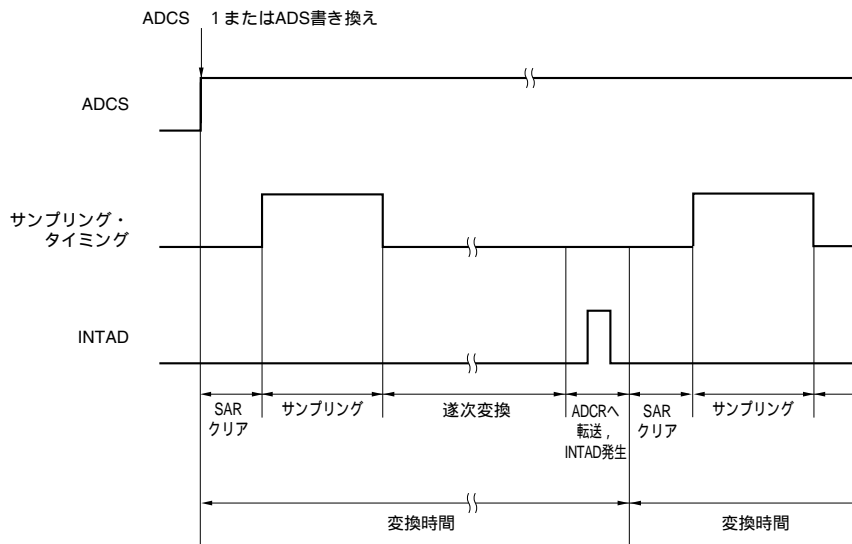
A/Dコンバータ・モード・レジスタ (ADM)					モード	変換時間の選択				変換 クロック (f _{AD})
FR2	FR1	FR0	LV1	LV0		f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz	
0	0	0	0	0	標準	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	設定禁止	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	f _{CLK} /6	
1	0	0				35.0 μs	14.0 μs	設定禁止	f _{CLK} /4	
1	0	1				26.5 μs	10.6 μs	設定禁止	f _{CLK} /3	
1	1	0				18.0 μs	設定禁止	設定禁止	f _{CLK} /2	
1	1	1				9.5 μs	設定禁止	設定禁止	f _{CLK}	
x	x	x	0	1	昇圧	設定禁止				-
x	x	x	1	0	高速1	設定禁止				-
0	0	0	1	1	高速2	設定禁止	設定禁止	34.2 μs	17.1 μs	f _{CLK} /20
0	0	1				34.4 μs	17.2 μs	8.6 μs	f _{CLK} /10	
0	1	0				27.6 μs	13.8 μs	6.9 μs	f _{CLK} /8	
0	1	1				52.0 μs	20.8 μs	10.4 μs	5.2 μs	f _{CLK} /6
1	0	0				35.0 μs	14.0 μs	7.0 μs	3.5 μs	f _{CLK} /4
1	0	1				26.5 μs	10.6 μs	5.3 μs	設定禁止	f _{CLK} /3
1	1	0				18.0 μs	7.2 μs	3.6 μs	設定禁止	f _{CLK} /2
1	1	1				9.5 μs	3.8 μs	設定禁止	設定禁止	f _{CLK}

注意1. FR2-FR0, LV1, LV0を同一データ以外に書き換える場合は、いったんA/D変換動作を停止 (ADCS = 0) させたのちに行ってください。

2. 前述の変換時間は、クロック周波数の誤差を含んでいませんので、クロック周波数の誤差を考慮して、変換時間を選択してください。

備考 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図12-5 A/DコンバータのサンプリングとA/D変換のタイミング



(3) A/Dコンバータ・モード・レジスタ1 (ADM1)

A/D変換起動トリガを設定するレジスタです。

ADM1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12 - 6 A/Dコンバータ・モード・レジスタ1 (ADM1) のフォーマット

アドレス : FFF42H リセット時 : 00H R/W

略号	[7]	6	5	4	3	2	1	[0]
ADM1	ADTMD	0	0	0	0	0	0	ADTRS

ADTMD	A/Dトリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	タイマ・トリガ・モード (ハードウェア・トリガ・モード)

ADTRS	A/D変換用タイマ・トリガ信号の選択
0	A/D変換用タイマ・トリガ信号0
1	A/D変換用タイマ・トリガ信号1

注意 A/D変換中にADM1を書き換えることは禁止です。変換動作停止時 (ADCS = 0) に書き換えてください。

備考 タイマ・トリガ信号の詳細は7. 4. 8 A/D変換トリガ出力機能 (タイプ1) としての動作, 7. 4. 9 A/D変換トリガ出力機能 (タイプ2) としての動作を参照してください。

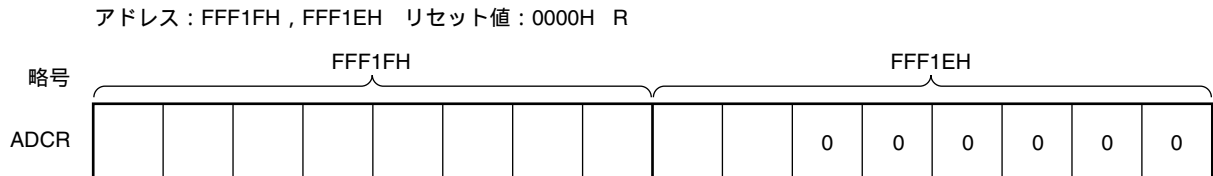
(4) 10ビットA/D変換結果レジスタ (ADCR)

セレクト・モード時にA/D変換結果を保持する16ビットのレジスタです。下位6ビットは“0”固定です。A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされます。変換結果の上位8ビットがFFF1FHに、下位2ビットがFFF1EHの上位2ビットに格納されます。

ADCRは、16ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、0000Hになります。

図12 - 7 10ビットA/D変換結果レジスタ (ADCR) のフォーマット



注意 A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCRの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(5) 8ビットA/D変換結果レジスタ (ADCRH)

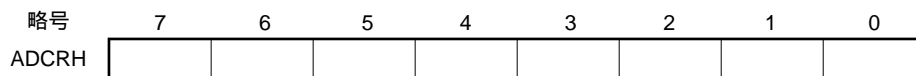
A/D変換結果を保持する8ビットのレジスタです。10ビット分解能の上位8ビットを格納します。

ADCRHは、8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、00Hになります。

図12 - 8 8ビットA/D変換結果レジスタ (ADCRH) のフォーマット

アドレス：FFF1FH リセット時：00H R



注意 A/Dコンバータ・モード・レジスタ (ADM) , アナログ入力チャネル指定レジスタ (ADS) , A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき , ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

(6) アナログ入力チャンネル指定レジスタ (ADS)

A/D変換するアナログ電圧の入力チャンネルを指定するレジスタです。

ADSiは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-9 アナログ入力チャンネル指定レジスタ (ADS) のフォーマット

アドレス：FFF31H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
ADS	0	ADOAS	0	0	ADS3	ADS2	ADS1	ADS0

		セレクト・モード (ADMD = 0)					アナログ入力 チャンネル	入力ソース			
IE3	ID3 IC3 (48 μ V)	IC3 (44 μ V)	IC3 (38 μ V)	IB3	ADOAS	ADS3	ADS2	ADS1	ADS0		
注1	注1	注1	注1	注1	0	0	0	0	0	ANI0	P20/ANI0端子
					0	0	0	0	1	ANI1	P21/ANI1端子
					0	0	0	1	0	ANI2	P22/ANI2端子
			注1	注1	0	0	0	1	1	ANI3	P23/ANI3端子
					0	0	1	0	0	ANI4	P24/ANI4端子
					0	0	1	0	1	ANI5	P25/ANI5端子
					0	0	1	1	0	ANI6	P26/ANI6端子
					0	0	1	1	1	ANI7	P27/ANI7端子
					0	1	0	0	0	ANI8	P150/ANI8端子
					0	1	0	0	1	ANI9	P151/ANI9端子
					0	1	0	1	0	ANI10	P152/ANI10端子
					0	1	0	1	1	ANI11	P153/ANI11端子
					1	x	x	x	x	PGAO	プログラマブル・ゲイン・アンプ出力信号
										上記以外	設定禁止

- 注1. 設定可
- 2. 設定不可

注意1. ビット4, 5, 7には必ず0を設定してください。

2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 8, 15 (PM2, PM8, PM15) で入力モードに選択してください。
3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。
4. PGAi端子からのプログラマブル・ゲイン・アンプ出力信号 (PGAO) をアナログ入力として選択する場合は、プログラマブル・ゲイン・アンプの動作設定後に選択してください (12.4.1 A/Dコンバータの基本動作参照)。

スキャン・モード (ADMD = 1)

	ADOAS	ADS3	ADS2	ADS1	ADS0	アナログ入力チャンネル			
						スキャン0	スキャン1	スキャン2	スキャン3
注1	0	0	0	0	0	ANI0	ANI1	ANI2	ANI3
注1	0	0	0	0	1	ANI1	ANI2	ANI3	ANI4
注1	0	0	0	1	0	ANI2	ANI3	ANI4	ANI5
注1	0	0	0	1	1	ANI3	ANI4	ANI5	ANI6
注2	0	0	1	0	0	ANI4	ANI5	ANI6	ANI7
注2	0	0	1	0	1	ANI5	ANI6	ANI7	ANI8
注2	0	0	1	1	0	ANI6	ANI7	ANI8	ANI9
注1	0	0	1	1	1	ANI7	ANI8	ANI9	ANI10
注1	1	0	0	0	0	PGA0	ANI0	ANI1	ANI2
注1	1	0	0	0	1	PGA0	ANI1	ANI2	ANI3
注1	1	0	0	1	0	PGA0	ANI2	ANI3	ANI4
注1	1	0	0	1	1	PGA0	ANI3	ANI4	ANI5
注1	1	0	1	0	0	PGA0	ANI4	ANI5	ANI6
注2	1	0	1	0	1	PGA0	ANI5	ANI6	ANI7
注2	1	0	1	1	0	PGA0	ANI6	ANI7	ANI8
注2	1	0	1	1	1	PGA0	ANI7	ANI8	ANI9
	上記以外					ANI0	ANI1	ANI2	ANI3

- 注1. 設定可
- 2. 設定不可

- 注意1. ビット4, 5, 7には必ず0を設定してください。
- 2. A/D変換で使用するチャンネルは、ポート・モード・レジスタ2, 8, 15 (PM2, PM8, PM15) で入力モードに選択してください。
 - 3. ADPCでデジタル入出力として設定する端子を、ADSで設定しないでください。
 - 4. PGA端子からのプログラマブル・ゲイン・アンプ出力信号 (PGA0) をアナログ入力として選択する場合は、プログラマブル・ゲイン・アンプの動作設定後に選択してください (12. 4. 1 A/Dコンバータの基本動作参照)。

(7) A/Dポート・コンフィギュレーション・レジスタ (ADPC)

ANI0/P20-ANI7/P27, ANI8/P150-ANI11/P153端子を, A/Dコンバータのアナログ入力 / ポートのデジタル入出力に切り替えるレジスタです。

ADPCは, 8ビット・メモリ操作命令で設定します。

リセット信号の発生により, 10Hになります。

図12 - 10 A/Dポート・コンフィギュレーション・レジスタ (ADPC) のフォーマット

アドレス : F0017H リセット時 : 10H R/W

略号	7	6	5	4	3	2	1	0
ADPC	0	0	0	ADPC4	ADPC3	ADPC2	ADPC1	ADPC0

IE3 ID3 IC3(48位), IC3(44位), IC3(38位), IB3	注1	注1	注1	注1	注1	アナログ入力 (A) / デジタル入出力 (D) の切り替え											
						ポート15						ポート2					
						ANI11/P153	ANI10/P152	ANI9/P151	ANI8/P150	ANI7/P27	ANI6/P26	ANI5/P25	ANI4/P24	ANI3/P23	ANI2/P22	ANI1/P21	ANI0/P20
	0	0	0	0	0	A	A	A	A	A	A	A	A	A	A	A	A
	0	0	0	0	1	A	A	A	A	A	A	A	A	A	A	A	D
	0	0	0	1	0	A	A	A	A	A	A	A	A	A	A	D	D
	0	0	0	1	1	A	A	A	A	A	A	A	A	D	D	D	D
	0	0	1	0	0	A	A	A	A	A	A	A	D	D	D	D	D
	0	0	1	1	0	A	A	A	A	A	A	D	D	D	D	D	D
	0	0	1	1	1	A	A	A	A	A	D	D	D	D	D	D	D
	0	1	0	0	0	A	A	A	A	D	D	D	D	D	D	D	D
	0	1	0	0	1	A	A	A	D	D	D	D	D	D	D	D	D
	0	1	0	1	0	A	A	D	D	D	D	D	D	D	D	D	D
	0	1	0	1	1	A	D	D	D	D	D	D	D	D	D	D	D
	1	0	0	0	0	D	D	D	D	D	D	D	D	D	D	D	D
	記以外					設定禁止											

- 注1. 設定可
- 2. 設定不可

注意1. A/D変換で使用するチャンネルは, ポート・モード・レジスタ2, 15 (PM2, PM15) で入力モードに選択してください。

- 2. ADPCでデジタル入出力として設定する端子を, ADSで設定しないでください。
- 3. P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11は, A/Dポート・コンフィギュレーション・レジスタ (ADPC) により, P153/ANI11, ..., P150/ANI8, P27/ANI7, ..., P20/ANI0の順にアナログ入力に設定されます。アナログ入力として使用する場合は, P153/ANI11から設計してください。

(8) ポート入力モード・レジスタ8 (PIM8)

ポート8のデジタル入力許可/禁止を1ビット単位で設定するレジスタです。

PGAI端子をアナログ入力として使用する場合は、デジタル入力禁止に設定します。初期状態ではデジタル入力禁止(アナログ入力として使用)となっているため、ポート機能または外部割り込み、タイマHi-Z制御機能を使用する場合は、デジタル入力許可に設定します。

PIM8は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図12-11 ポート入力モード・レジスタ8 (PIM8) のフォーマット

アドレス：F0048H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PIM8	0	0	0	0	PIM83	PIM82 ^注	PIM81	PIM80

PIM8n	P8n端子のデジタル入力許可/禁止の選択 (n = 0-3)
0	デジタル入力禁止 (アナログ入力として使用)
1	デジタル入力許可

注 78K0R/IB3は、PIM82ビットを搭載していません。

(9) ポート・モード・レジスタ2, 8, 15 (PM2, PM8, PM15)

ANIO/P20-ANI7/P27, ANI8/P150-ANI11/P153, PGAI/P80端子をアナログ入力ポートとして使用するとき、PM20-PM27, PM80, PM150-PM153にそれぞれ1を設定してください。このときP20-P27, P80, P150-P153の出力ラッチは、0または1のどちらでもかまいません。

PM20-PM27, PM80, PM150-PM153にそれぞれ0を設定した場合は、アナログ入力ポートとして使用することはできません。

PM2, PM8, PM15は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

注意 アナログ入力ポートとして設定した端子を読み出した場合は、端子レベルではなく常に0が読み出されます。

備考	P20/ANI0-P25/ANI5	: 78K0R/IB3
	P20/ANI0-P27/ANI7	: 78K0R/IC3 (38ピン製品)
	P20/ANI0-P27/ANI7, P150/ANI8, P151/ANI9	: 78K0R/IC3 (44ピン製品)
	P20/ANI0-P27/ANI7, P150/ANI8-P152/ANI10	: 78K0R/IC3 (48ピン製品), 78K0R/ID3
	P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11	: 78K0R/IE3

図12 - 12 ポート・モード・レジスタ2, 8, 15 (PM2, PM8, PM15) のフォーマット (78K0R/IE3の場合)

アドレス : FFF22H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM2	PM27	PM26	PM25	PM24	PM23	PM22	PM21	PM20

アドレス : FFF28H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM8	1	1	1	1	PM83	PM82	PM81	PM80

アドレス : FFF2FH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM15	1	1	1	1	PM153	PM152	PM151	PM150

PMmn	Pmn端子の入出力モードの選択 (mn = 20-27, 80-83, 150-153)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0R/IE3のポート・モード・レジスタ2, 8, 15のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、4.3(1)ポート・モード・レジスタ (PMxx) を参照してください。

ANI0/P20-ANI7/P27, PGAI/P80, ANI8/P150-ANI11/P153端子の機能は、ADPC, ADS, PM2, PM8, PM15の設定で決定します。

表12 - 3 ANI0/P20-ANI7/P27, PGAI/P80, ANI8/P150-ANI11/P153端子機能の設定

ADPC	PM2, PM8, PM15	ADS	ANI0/P20-ANI7/P27, PGAI/P80, ANI8/P150-ANI11/P153端子
デジタル入出力選択	入力モード	-	デジタル入力
	出力モード	-	デジタル出力
アナログ入力選択	入力モード	ANI選択	アナログ入力 (変換対象)
		ANI非選択	アナログ入力 (非変換対象)
	出力モード	ANI選択	設定禁止
		ANI非選択	

備考 P20/ANI0-P25/ANI5 : 78K0R/IB3
 P20/ANI0-P27/ANI7 : 78K0R/IC3 (38ピン製品)
 P20/ANI0-P27/ANI7, P150/ANI8, P151/ANI9 : 78K0R/IC3 (44ピン製品)
 P20/ANI0-P27/ANI7, P150/ANI8-P152/ANI10 : 78K0R/IC3 (48ピン製品), 78K0R/ID3
 P20/ANI0-P27/ANI7, P150/ANI8-P153/ANI11 : 78K0R/IE3

12.4 A/Dコンバータの動作

12.4.1 A/Dコンバータの基本動作

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADGEN) をセット (1) し、A/Dコンバータへの入力クロック供給を開始してください。

ADMのビット5-1 (FR2-FR0, LV1, LV0) でA/D変換時間を、ビット6 (ADMD) で動作モードを設定してください。

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1) し、A/D電圧コンパレータの動作を開始してください。

A/D変換するチャンネルをA/Dポート・コンフィギュレーション・レジスタ (ADPC) でアナログ入力に、ポート・モード・レジスタ (PM2, PM8, PM15) で入力モードに設定してください。

アナログ入力チャンネルにPGA端子からのプログラマブル・ゲイン・アンプ出力信号 (PGA0) を設定する場合は、プログラマブル・ゲイン・アンプ動作の設定を行ってください (8.4.1 コンパレータ/プログラマブル・ゲイン・アンプの動作開始参照)。

A/D変換するチャンネルをアナログ入力チャンネル指定レジスタ (ADS) で選択してください。

A/Dコンバータ・モード・レジスタ1 (ADM1) でトリガ・モードを設定してください。

ADMのビット7 (ADCS) をセット (1) し、変換動作を開始します。

でタイマ・トリガ・モードを設定している場合は、タイマ・トリガ待機状態となります。

(から までハードウェアでの動作)

選択したアナログ入力チャンネルに入力している電圧を、サンプル&ホールド回路でサンプリングします。一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、サンプリングされた電圧をA/D変換が終了するまで保持します。

逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは直列抵抗ストリングの電圧タップを (1/2) AVREFにします。

直列抵抗ストリングの電圧タップとサンプリングされた電圧との電圧差をA/D電圧コンパレータで比較します。もし、アナログ入力 (1/2) AVREFよりも大きければ、SARのMSBをセットしたままです。また、(1/2) AVREFよりも小さければ、MSBはリセットします。

次にSARのビット8が自動的にセットし、次の比較に移ります。ここではすでに結果がセットしているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップを選択します。

- ・ビット9 = 1 : (3/4) AVREF
- ・ビット9 = 0 : (1/4) AVREF

この電圧タップとサンプリングされた電圧を比較し、その結果でSARのビット8を次のように操作します。

- ・サンプリングされた電圧 > 電圧タップ : ビット8 = 1
- ・サンプリングされた電圧 < 電圧タップ : ビット8 = 0

このような比較をSARのビット0まで続けます。

10ビットの比較が終了したとき、SARには有効なデジタルの結果が残り、その値がA/D変換結果レジスタ (ADCR, ADCRH) に転送され、ラッチします。

同時に、A/D変換終了割り込み要求 (INTAD) を発生させることができます。

以降 から までの動作をADCS = 0になるまで繰り返します。

A/Dコンバータを停止する場合は、ADCS = 0にしてください。

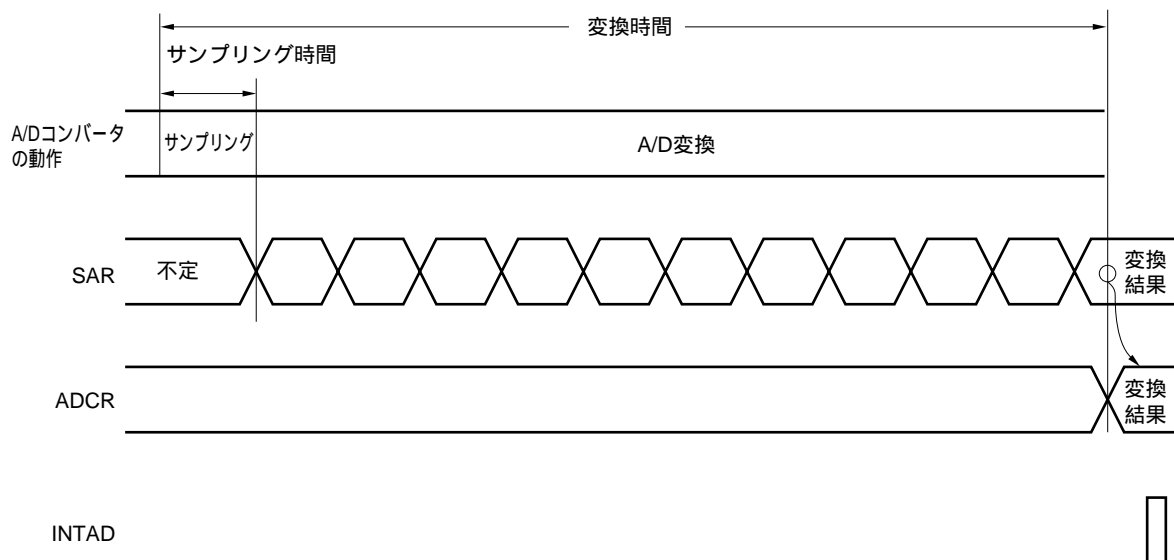
ADCE = 1の状態から、再度A/D変換する場合は、 から開始してください。ADCE = 0の状態から、再度A/D変換する場合は、ADCEをセット (1) し、1 μ s以上ウエイト後に、 を開始してください。また、A/D変換するチャンネルを変更する場合は、 から開始してください。

注意 から までの間は1 μ s以上空けてください。

備考 A/D変換結果レジスタは2種類あります。

- ・ ADCR (16ビット) : 10ビットのA/D変換値を格納します。
- ・ ADCRH (8ビット) : 8ビットのA/D変換値を格納します。

図12 - 13 A/Dコンバータの基本動作



A/D変換動作は、ソフトウェアによりA/Dコンバータ・モード・レジスタ (ADM) のビット7 (ADCS) をリセット (0) するまで連続的に行われます。

A/D変換動作中に、アナログ入力チャネル指定レジスタ (ADS) に対して書き込み操作を行うと、変換動作は初期化され、ADCSビットがセット (1) されていれば、最初から変換を開始します。

A/D変換結果レジスタ (ADCR, ADCRH) は、リセット信号の発生により0000Hまた00Hとなります。

12.4.2 入力電圧と変換結果

アナログ入力端子 (ANI0-ANI11, PGAI) に入力されたアナログ入力電圧と理論上のA/D変換結果 (10ビット A/D変換結果レジスタ (ADCR)) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{AIN}}{AV_{REF}} \times 1024 + 0.5 \right)$$

$$ADCR = SAR \times 64$$

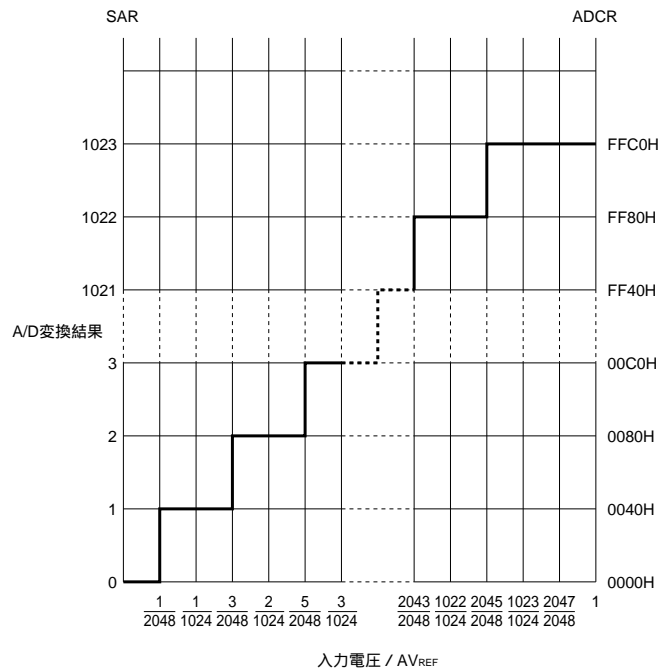
または、

$$\left(\frac{ADCR}{64} - 0.5 \right) \times \frac{AV_{REF}}{1024} < V_{AIN} < \left(\frac{ADCR}{64} + 0.5 \right) \times \frac{AV_{REF}}{1024}$$

- INT () : () 内の値の整数部を返す関数
- V_{AIN} : アナログ入力電圧
- AV_{REF} : AV_{REF} 端子電圧
- ADCR : A/D変換結果レジスタ (ADCR) の値
- SAR : 逐次変換レジスタ

図12 - 14にアナログ入力電圧とA/D変換結果の関係を示します。

図12 - 14 アナログ入力電圧とA/D変換結果の関係



- 備考**
- ANI0-ANI5 : 78K0R/IB3
 - ANI0-ANI7 : 78K0R/IC3の38ピン製品
 - ANI0-ANI9 : 78K0R/IC3の44ピン製品
 - ANI0-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3
 - ANI0-ANI11 : 78K0R/IE3

12.4.3 トリガ・モードの選択

A/D変換の開始タイミングを設定するトリガ・モードには、次の2つのモードがあります。これらのトリガ・モードは、ADM1レジスタで設定します。

- ・ソフトウェア・トリガ・モード
- ・タイマ・トリガ・モード（ハードウェア・トリガ・モード）

(1) ソフトウェア・トリガ・モード

ADCS = 1に設定することにより、アナログ入力チャンネル指定レジスタ（ADS）で選択したアナログ入力チャンネル（ANI0-ANI11, PGO）のA/D変換を開始するモードです。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

変換動作中にADM, ADM1, ADSレジスタに書き込みを行った場合、A/D変換は中断されます。その場合、セレクト・モードでは再度最初からA/D変換を行い、スキャン・モードではスキャン0からA/D変換を再開します。

(2) タイマ・トリガ・モード（ハードウェア・トリガ・モード）

ADCS = 1に設定後、タイマ・トリガ信号0, 1検出により、アナログ入力チャンネル指定レジスタ（ADS）で選択したアナログ入力チャンネル（ANI0-ANI11, PGO）のA/D変換を開始するモードです。

A/D変換終了後は、ADCSビット = 0に設定しない限り連続してA/D変換を繰り返し行います。

A/D変換中にタイマ・トリガ信号が発生した場合、または変換動作中にADM, ADM1, ADSレジスタに書き込みを行った場合、A/D変換は中断されます。その場合、セレクト・モードでは再度最初からA/D変換を行い、スキャン・モードではスキャン0からA/D変換を再開します。

備考 ANI0-ANI5 : 78K0R/IB3

ANI0-ANI7 : 78K0R/IC3の38ピン製品

ANI0-ANI9 : 78K0R/IC3の44ピン製品

ANI0-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3

ANI0-ANI11 : 78K0R/IE3

12.4.4 A/Dコンバータの動作モード

A/Dコンバータの動作モードは、セレクト・モードとスキャン・モードがあります。

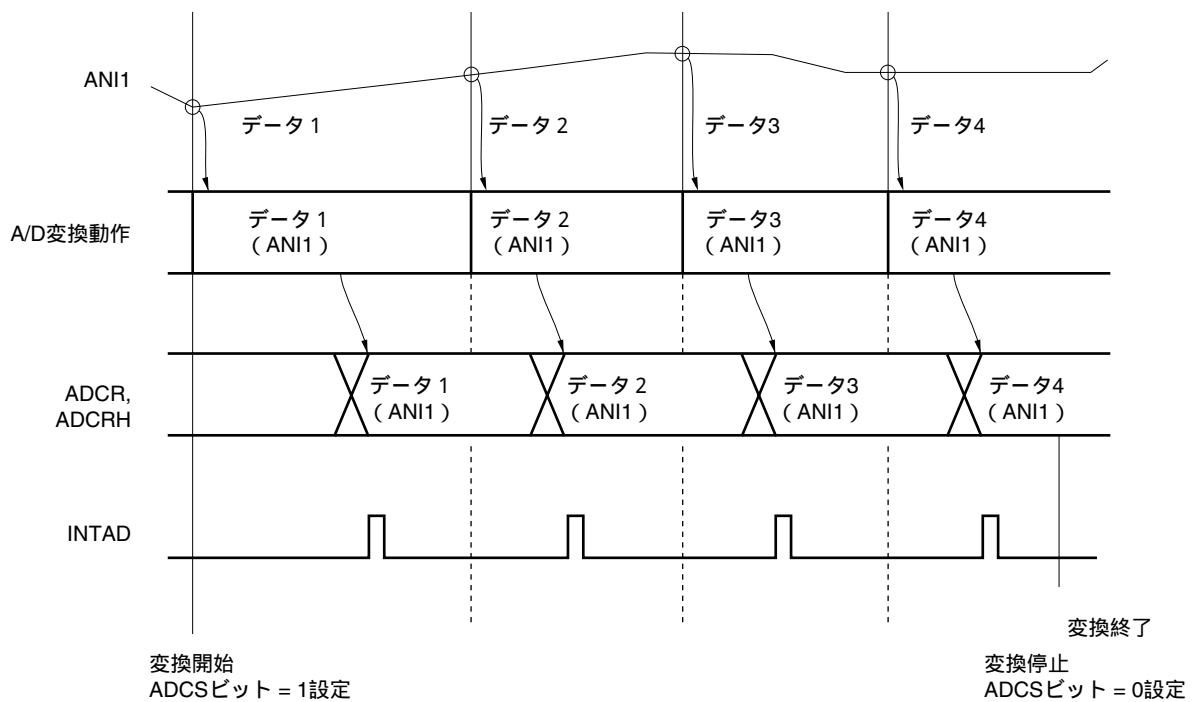
(1) セレクト・モード

A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 0の状態では、アナログ入力チャンネル指定レジスタ (ADS) で指定された1つのアナログ入力のA/D変換を行います。

A/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

変換動作中にADM, ADM1, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、ソフトウェア・トリガ・モード、タイマ・トリガ・モード (ハードウェア・トリガ・モード) にかかわらず再度最初からA/D変換を行います。

図12-15 セレクト・モード動作タイミング例



(2) スキャン・モード

A/Dコンバータ・モード・レジスタ (ADM) のADMDビット = 1の状態では、アナログ入力チャンネル指定レジスタ (ADS) で指定したスキャン0~スキャン3までの4つのアナログ入力チャンネルのA/D変換を連続して行います。A/D変換はスキャン0で指定されたアナログ入力チャンネルから順に行います。

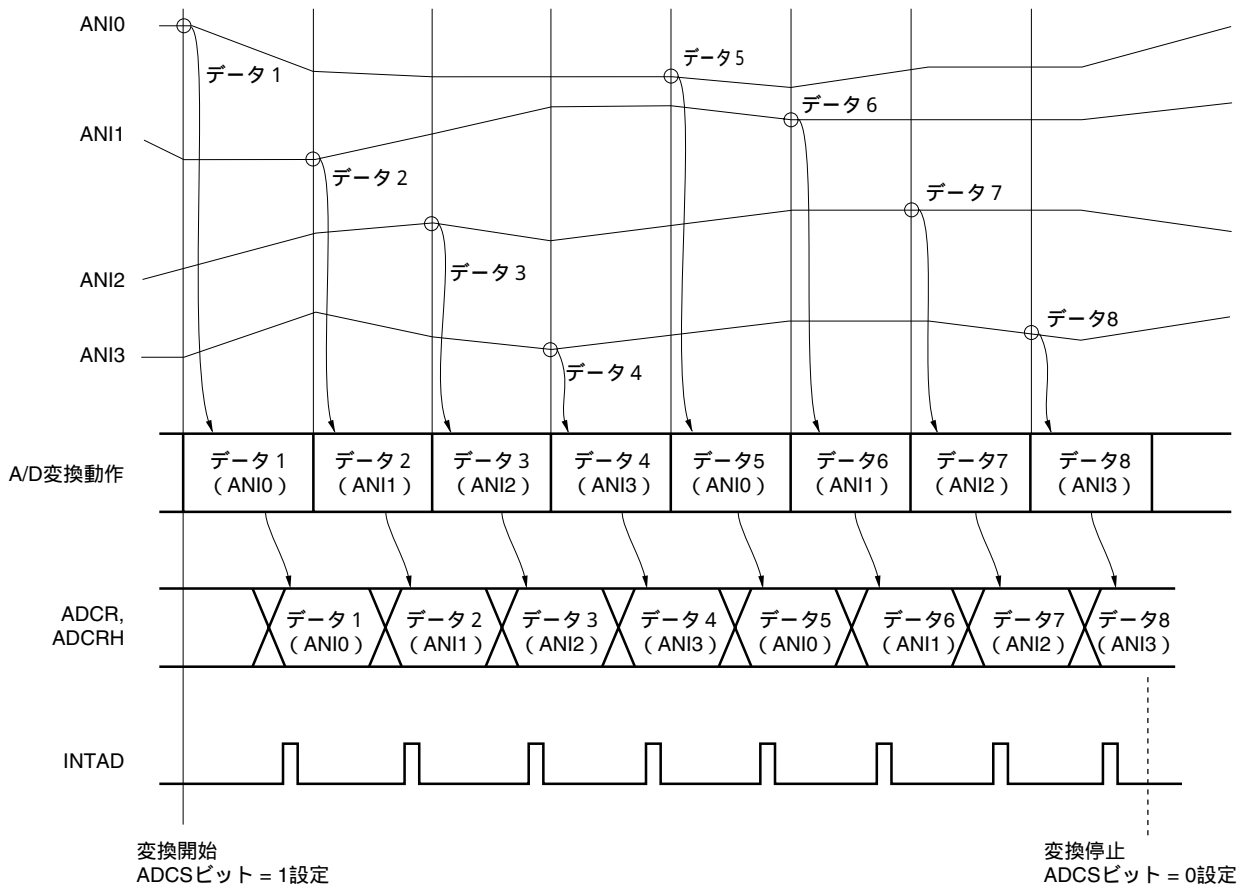
1つのアナログ入力のA/D変換が終了すると、変換結果をA/D変換結果レジスタ (ADCR) に格納し、A/D変換終了割り込み要求信号 (INTAD) を発生します。

なお、すべてのアナログ入力チャンネルのA/D変換結果は、ADCRに格納されるので、1つのアナログ入力チャンネルのA/D変換が終了したら、ADCRの内容をRAMなどに転送して退避することを推奨します。

トリガ・モードの設定にかかわらず、1回のA/D変換が終了すると、連続して次のA/D変換を開始します。

変換動作中にADM, ADM1, ADSに書き込みを行った場合、A/D変換は中断されます。その場合、ソフトウェア・トリガ・モード、タイマ・トリガ・モード (ハードウェア・トリガ・モード) にかかわらず再度スキャン0のアナログ入力チャンネルからA/D変換を行います。

図12 - 16 スキャン・モード動作タイミング例



次に設定方法を説明します。

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をセット (1)

ADMのビット5-1 (FR2-FR0, LV1, LV0) で変換時間を, ビット6 (ADMD) で動作モードを選択

A/Dコンバータ・モード・レジスタ (ADM) のビット0 (ADCE) をセット (1)

A/Dポート・コンフィギュレーション・レジスタ (ADPC) のビット4-0 (ADPC4-ADPC0), ポート・モード・レジスタ2 (PM2) のビット7-0 (PM27-PM20), ポート・モード・レジスタ8 (PM8) のビット0 (PM80), ポート・モード・レジスタ15 (PM15) のビット3-0 (PM153-PM150) で使用するチャンネルをアナログ入力に設定

アナログ入力チャンネルにPGA端子からのプログラマブル・ゲイン・アンプ出力信号 (PGA0) を設定する場合は, プログラマブル・ゲイン・アンプの動作を設定してください (8. 4. 1 コンパレータ/プログラマブル・ゲイン・アンプの動作開始参照)。

アナログ入力チャンネル指定レジスタ (ADS) のビット6, 3-0 (ADOAS, ADS3-ADS0) で使用するチャンネルを選択

A/Dコンバータ・モード・レジスタ1 (ADM1) のビット0, 7 (ADTRS, ADTMD) トリガ・モードを設定

ADMのビット7 (ADCS) をセット (1) し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

<チャンネルを変更する>

ADSのビット6, 3-0 (ADOAS, ADS3-ADS0) で, チャンネルを変更し, A/D変換動作開始

1回のA/D変換が終了し, 割り込み要求信号 (INTAD) 発生

A/D変換データをA/D変換結果レジスタ (ADCR, ADCRH) に転送

< A/D変換を終了する >

ADCSをクリア (0)

ADCEをクリア (0)

周辺イネーブル・レジスタ0 (PER0) のビット5 (ADCEN) をクリア (0)

- 注意1. から までの間は1 μ s以上空けてください。
2. は, から までの間に行っても, 問題ありません。
3. は省略可能です。ただし, この場合には のあと, 最初の変換データは無視してください。
4. から までの時間は, ADMのビット5-1 (FR2-FR0, LV1, LV0) で設定した変換時間とは異なります。 から までの時間が, FR2-FR0, LV1, LV0で設定した変換時間となります。

12.5 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧，つまり，デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。

分解能10ビットのとき

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \% \text{FSR} \end{aligned}$$

精度は分解能とは関係なく，総合誤差によって決まります。

(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお，特性表の総合誤差には量子化誤差は含まれていません。

(3) 量子化誤差

アナログ値をデジタル値に変換するとき，必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは， $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は，同じデジタル・コードに変換されるため，量子化誤差を避けることはできません。

なお，特性表の総合誤差，ゼロスケール誤差，フルスケール誤差，積分直線性誤差，微分直線性誤差には含まれていません。

図12 - 17 総合誤差

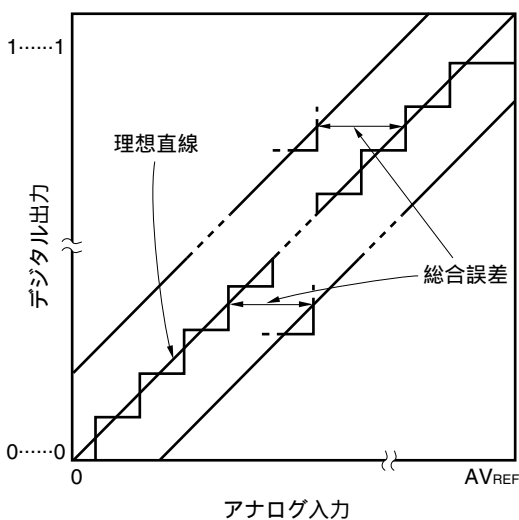
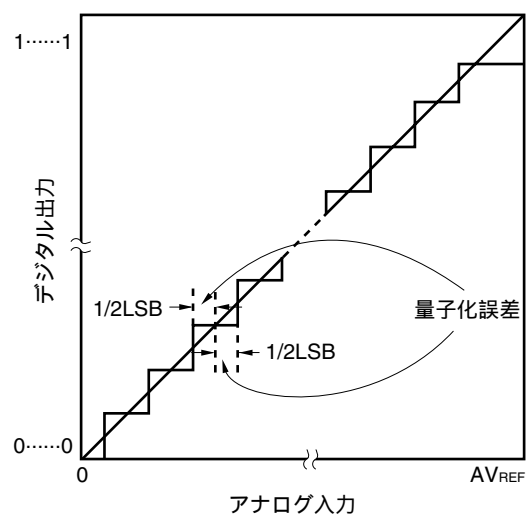


図12 - 18 量子化誤差



(4) ゼロスケール誤差

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 (1/2 LSB)との差を表します。実測値が理論値よりも大きい場合は、デジタル出力が0.....001から0.....010に変化するときの、アナログ入力電圧の実測値と理論値 (3/2 LSB)との差を表します。

(5) フルスケール誤差

デジタル出力が1.....110から1.....111に変化するときの、アナログ入力電圧の実測値と理論値 (フルスケール - 3/2 LSB)との差を表します。

(6) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を表します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

(7) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。

図12 - 19 ゼロスケール誤差

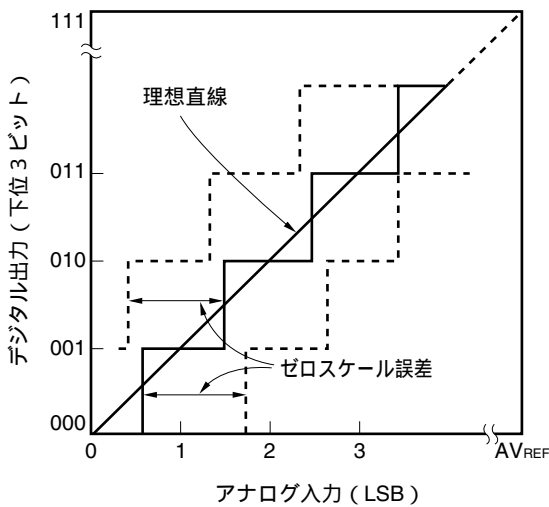


図12 - 20 フルスケール誤差

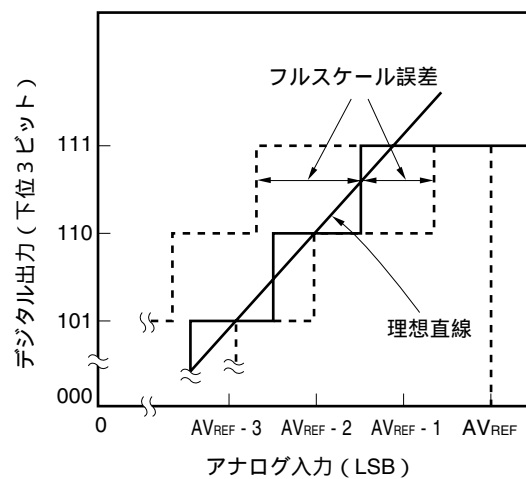


図12 - 21 積分直線性誤差

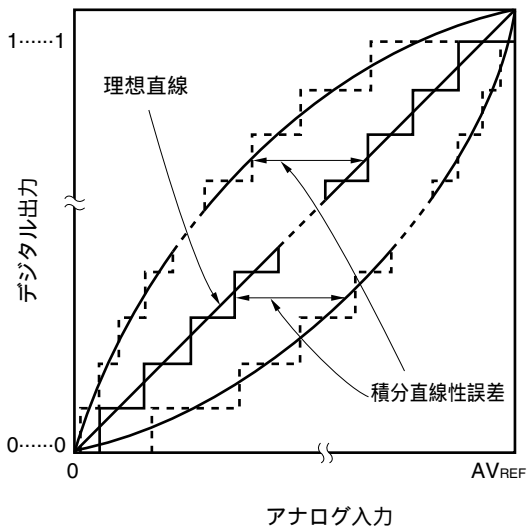
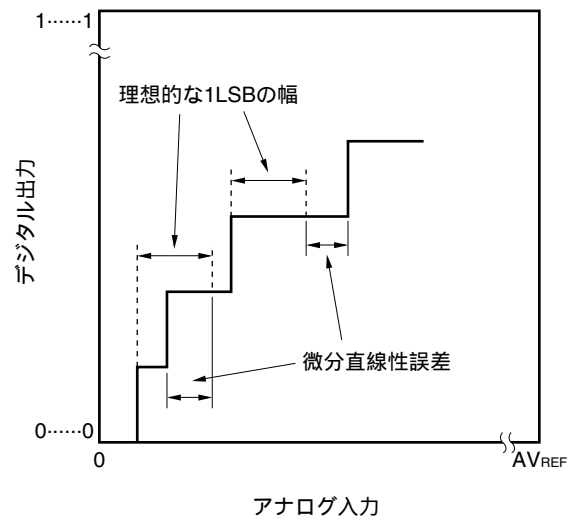


図12 - 22 微分直線性誤差

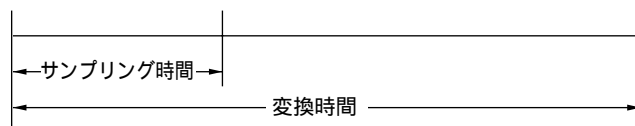


(8) 変換時間

サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。
 特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。



12.6 A/Dコンバータの注意事項

(1) STOPモード時の動作電流について

STOPモードに移行する場合は、A/Dコンバータを停止（A/Dコンバータ・モード・レジスタ（ADM）のビット7（ADCS）を0）させてから移行してください。このときA/Dコンバータ・モード・レジスタ（ADM）のビット0（ADCE）も0にすることにより、動作電流を低減させることができます。

スタンバイ状態から再度動作する場合、割り込み要求フラグ・レジスタ1L（IF1L）のビット0（ADIF）をクリア（0）してから、動作開始してください。

(2) ANI0-ANI11入力範囲について

ANI0-ANI11入力電圧は規格の範囲内でご使用ください。特に AV_{REF} 以上、 AV_{SS} 以下（絶対最大定格の範囲内でも）の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

変換終了時のA/D変換結果レジスタ（ADCR, ADCRH）へのライトと命令によるADCR, ADCRHリードとの競合

ADCR, ADCRHリードが優先されます。リードしたあと、新しい変換結果がADCR, ADCRHにライトされます。

変換終了時のADCR, ADCRHライトとA/Dコンバータ・モード・レジスタ（ADM）へのライト、アナログ入力チャンネル指定レジスタ（ADS）またはA/Dポート・コンフィギュレーション・レジスタ（ADPC）へのライトの競合

ADM, ADS, ADPCへのライトが優先されます。ADCR, ADCRHへのライトはされません。また、変換終了割り込み信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF} , ANI0-ANI11端子へのノイズに注意する必要があります。

電源には等価抵抗が小さく、周波数応答のよいコンデンサを接続してください。

アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図12-23のようにCを外付けすることを推奨します。

変換中においては、他の端子とスイッチングしないようにしてください。

変換開始直後にHALTモードに設定すると、精度が向上します。

備考 ANI0-ANI5 : 78K0R/IB3

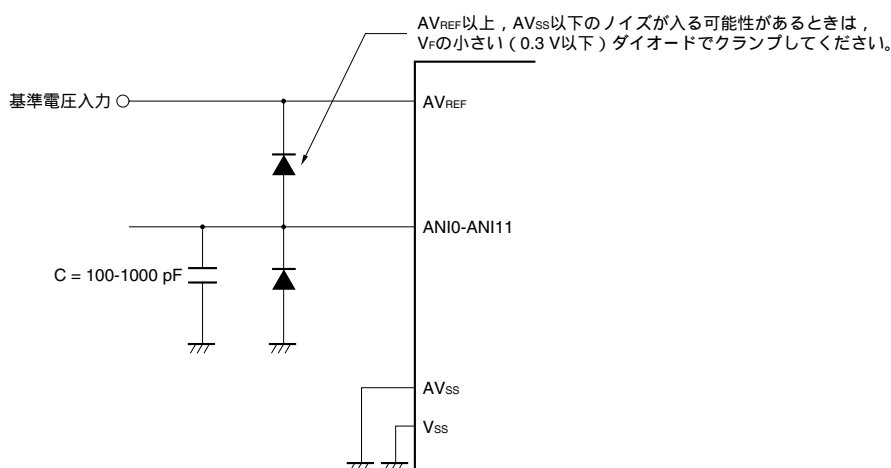
ANI0-ANI7 : 78K0R/IC3の38ピン製品

ANI0-ANI9 : 78K0R/IC3の44ピン製品

ANI0-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3

ANI0-ANI11 : 78K0R/IE3

図12 - 23 アナログ入力端子の処理



(5) ANIO/P20-ANI7/P27, ANI8/P150-ANI11/P153

アナログ入力 (ANIO-ANI7) 端子は入力ポート (P20-P27) 端子と兼用になっています。

アナログ入力 (ANI8-ANI11) 端子は入力ポート (P150-P153) 端子と兼用になっています。

ANIO-ANI11のいずれかを選択してA/D変換をする場合、変換中にP20-P27, P150-P153に対してアクセスしないでください。変換分解能が低下することがあります。またP20-P27, P150-P153として使用する端子の選択は、AVREFから最も遠いANIO/P20より行うことを推奨します。

A/D変換中の端子に隣接する端子へデジタル・パルス印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) ANIO-ANI11端子の入カインピーダンスについて

このA/Dコンバータでは、サンプリング時間で内部のサンプリング・コンデンサに充電して、サンプリングを行っています。

したがって、サンプリング中以外はリーク電流だけであり、サンプリング中にはコンデンサに充電するための電流も流れるので、入力インピーダンスはサンプリング中とそれ以外の状態で変動します。

ただし、十分にサンプリングするためには、アナログ入力源の出力インピーダンスを1k以下にし、出力インピーダンスが高いときはANIO-ANI11端子に100 pF程度のコンデンサを付けることを推奨します (図12 - 23参照)。

(7) AVREF端子の入カインピーダンスについて

AVREF端子とAVSS端子の間には数十kの直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、AVREF端子とAVSS端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

備考 ANIO-ANI5 : 78K0R/IB3

ANIO-ANI7 : 78K0R/IC3の38ピン製品

ANIO-ANI9 : 78K0R/IC3の44ピン製品

ANIO-ANI10 : 78K0R/IC3の48ピン製品, 78K0R/ID3

ANIO-ANI11 : 78K0R/IE3

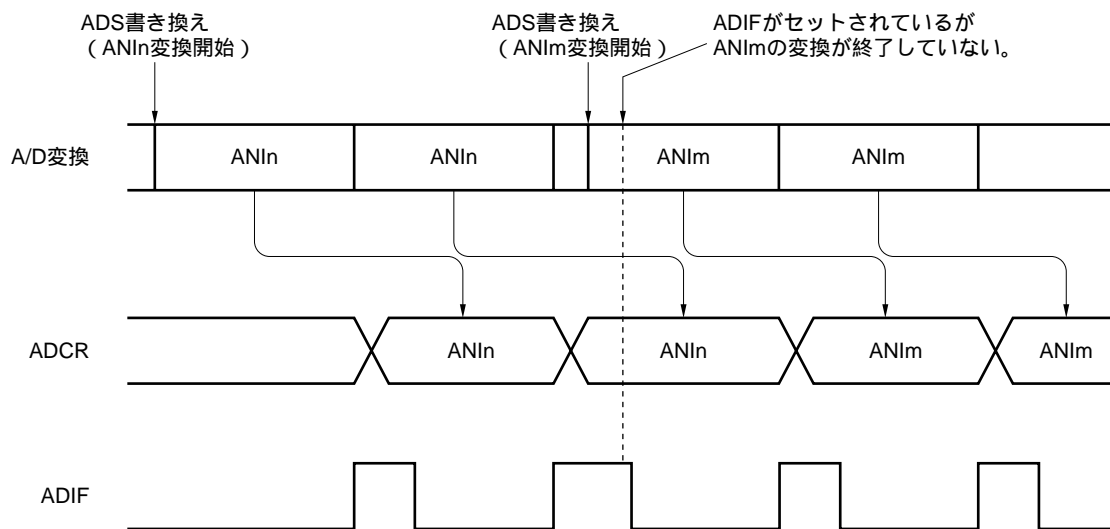
(8) 割り込み要求フラグ (ADIF) について

アナログ入力チャネル指定レジスタ (ADS) を変更しても割り込み要求フラグ (ADIF) はクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADS書き換え直前に、変更前のアナログ入力に対するA/D変換結果およびADIFがセットされている場合があります。ADS書き換え直後にADIFを読み出すと、変換後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFがセットされていることとなりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFをクリア (0) してください。

図12-24 A/D変換終了割り込み要求発生タイミング



備考 n = 0-5, m = 0-5 : 78K0R/IB3
 n = 0-7, m = 0-7 : 78K0R/IC3 (38ピン製品)
 n = 0-9, m = 0-9 : 78K0R/IC3 (44ピン製品)
 n = 0-10, m = 0-10 : 78K0R/IC3 (48ピン製品) , 78K0R/ID3
 n = 0-11, m = 0-11 : 78K0R/IE3

(9) A/D変換スタート直後の変換結果について

ADCEビット = 1にしてから、 $1\mu\text{s}$ 以内にADCSビット = 1にした場合、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(10) A/D変換結果レジスタ (ADCR, ADCRH) の読み出しについて

A/Dコンバータ・モード・レジスタ (ADM), A/Dコンバータ・モード・レジスタ1 (ADM1), アナログ入力チャネル指定レジスタ (ADS), A/Dポート・コンフィギュレーション・レジスタ (ADPC) に対して書き込み動作を行ったとき、ADCR, ADCRHの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADM1, ADS, ADPCに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されることがあります。

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図12 - 25 ANIn端子内部等価回路

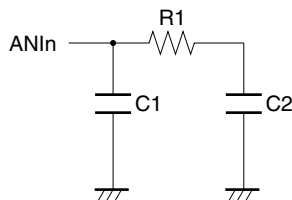


表12 - 4 等価回路の各抵抗と容量値 (参考値)

AVREF	モード	R1	C1	C2
4.0 V V _{DD} 5.5 V	標準	5.2 k	8 pF	6.3 pF
	高速1	5.2 k		
	高速2	7.8 k		
2.7 V V _{DD} < 4.0 V	標準	18.6 k		
	高速2	7.8 k		

備考1. 表12 - 4の各抵抗と容量値は保証値ではありません。

- 2. 78K0R/IB3 : n = 0-5
- 78K0R/IC3 (38ピン製品) : n = 0-7
- 78K0R/IC3 (44ピン製品) : n = 0-9
- 78K0R/IC3 (48ピン製品) , 78K0R/ID3 : n = 0-10
- 78K0R/IE3 : n = 0-11

第13章 シリアル・アレイ・ユニット

シリアル・アレイ・ユニットは4つのシリアル・チャンネルを持ち、各チャンネルは3線シリアル（CSI）、UART、簡易I²Cの通信機能を実現できます。

78K0R/Ix3で対応している、各チャンネルの機能割り当ては次のようになっています。

チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	CSI00 ^注	UART0（LIN-bus対応）	-
1	CSI01 ^注		-
2	CSI10	UART1	IIC10
3	-		-

チャンネル0, 1で「UART0」を使用するときは、CSI00^注やCSI01^注を使用することはできませんが、チャンネル2, 3のCSI10やUART1やIIC10は使用することができます。

注 78K0R/IC3の44ピン、48ピン製品、78K0R/ID3、78K0R/IE3のみ

13.1 シリアル・アレイ・ユニットの機能

78K0R/Ix3で対応している各シリアル・インタフェースの特徴を示します。

13.1.1 3線シリアルI/O (CSI00, CSI01, CSI10)

マスタから出力されるシリアル・クロック (SCK) に同期してデータの送信 / 受信を行います。

シリアル・クロック (SCK) 1本と送信, 受信のシリアル・データ (SO, SI) 2本の計3本の通信ラインを使用して通信を行うクロック同期式通信機能です。

具体的な設定例は, 「13.5 3線シリアルI/O (CSI00, CSI01, CSI10) 通信の動作」を参照してください。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時: Max. $f_{CLK}/4$, スレーブ通信時: Max. $f_{MCK}/6$ ^注

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし, \overline{SCK} サイクル・タイム (t_{CY}) の特性を満たす範囲内で使用してください (第28章 電氣的特性参照)

備考 CSI00, CSI01は, 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ搭載しています。

13.1.2 UART (UART0, UART1)

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して) データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットTAUSと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

具体的な設定例は、「13.6 UART (UART0, UART1) 通信の動作」を参照してください。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART0 (0, 1チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ シンク・ブレイク・フィールド (SBF) 検出
- ・ シンク・フィールド測定, ボー・レート算出

13.1.3 簡易I²C (IIC10)

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

具体的な設定例は、「13.7 簡易I²C (IIC10) 通信の動作」を参照して下さい。

[データ送受信]

- ・マスタ送信，マスタ受信 (シングル・マスタでのマスタ機能のみ)
- ・ACK出力機能^註，ACK検出機能
- ・8ビットのデータ長
(アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御)
- ・スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- ・転送完了割り込み

[エラー検出フラグ]

- ・パリティ・エラー (ACKエラー)

[簡易I²Cでサポートしていない機能]

- ・スレーブ送信，スレーブ受信
- ・アービトレーション負け検出機能
- ・ウェイト検出機能

注 最終データの受信時は，SOE02ビット (シリアル出力許可レジスタ0 (SOE0)) ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，13.7.3(2) **処理フロー**を参照してください。

備考 フル機能のI²Cバスをご使用の場合は，第14章 **シリアル・インタフェースIICA** (78K0R/IC3の48ピン製品，78K0R/ID3，78K0R/IE3のみ) を参照してください。

13.2 シリアル・アレイ・ユニットの構成

シリアル・アレイ・ユニットは、次のハードウェアで構成されています。

表13-1 シリアル・アレイ・ユニットの構成

項 目	構 成
シフト・レジスタ	8ビット
バッファ・レジスタ	シリアル・データ・レジスタ0n (SDR0n) の下位8ビット ^{注1}
シリアル・クロック 入出力	SCK00 ^{注2} , SCK01 ^{注2} , SCK10端子 (3線シリアルI/O用), SCL10端子 (簡易I ² C用)
シリアル・データ 入力	SI00 ^{注2} , SI01 ^{注2} , SI10端子 (3線シリアルI/O用), RxD0端子 (LIN-bus対応UART用), RxD1端子 (UART用)
シリアル・データ 出力	SO00 ^{注2} , SO01 ^{注2} , SO10端子 (3線シリアルI/O用), TxD0端子 (LIN-bus対応UART用), TxD1端子 (UART用), 出力制御回路
シリアル・データ 入出力	SDA10端子 (簡易I ² C用)
制御レジスタ	<p><ユニット設定部のレジスタ></p> <ul style="list-style-type: none"> ・周辺イネーブル・レジスタ0 (PER0) ・シリアル・クロック選択レジスタ0 (SPS0) ・シリアル・チャンネル許可レジスタ0 (SE0) ・シリアル・チャンネル開始レジスタ0 (SS0) ・シリアル・チャンネル停止レジスタ0 (ST0) ・シリアル出力許可レジスタ0 (SOE0) ・シリアル出力レジスタ0 (SO0) ・シリアル出力レベル・レジスタ0 (SOL0) ・入力切り替え制御レジスタ (ISC) ・ノイズ・フィルタ許可レジスタ0 (NFEN0) <p><各チャンネル部のレジスタ></p> <ul style="list-style-type: none"> ・シリアル・データ・レジスタ0n (SDR0n) ・シリアル・モード・レジスタ0n (SMR0n) ・シリアル通信動作設定レジスタ0n (SCR0n) ・シリアル・ステータス・レジスタ0n (SSR0n) ・シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) ・ポート入力モード・レジスタ3, 7 (PIM3, PIM7)^{注3} ・ポート出力モード・レジスタ3, 7 (POM3, POM7)^{注3} ・ポート・モード・レジスタ1, 3, 7 (PM1, PM3, PM7)^{注4} ・ポート・レジスタ1, 3, 7 (P1, P3, P7)^{注4}

(注, 備考は次ページにあります。)

注1. シリアル・データ・レジスタ0n (SDR0n) の下位8ビットは、通信方式により、次のSFR名称でリード/ライト可能です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
 - ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
 - ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
 - ・ IIC10通信時・・・SIO10 (IIC10データ・レジスタ)
2. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3製品のみ
 3. PIM7, POM7レジスタは, 78K0R/IB3にはありません。
 4. PM1, P1レジスタは, 78K0R/IB3のみ。PM7, P7レジスタは, 78K0R/IB3にはありません。

備考 n: チャネル番号 (n = 0-3) p: CSI番号 (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3)) q: UART番号 (q = 0, 1)

図13 - 1, 13 - 2にシリアル・アレイ・ユニットのブロック図を示します。

図13 - 1 シリアル・アレイ・ユニットのブロック図 (78K0R/IB3, 78K0R/IC3の38ピン製品)

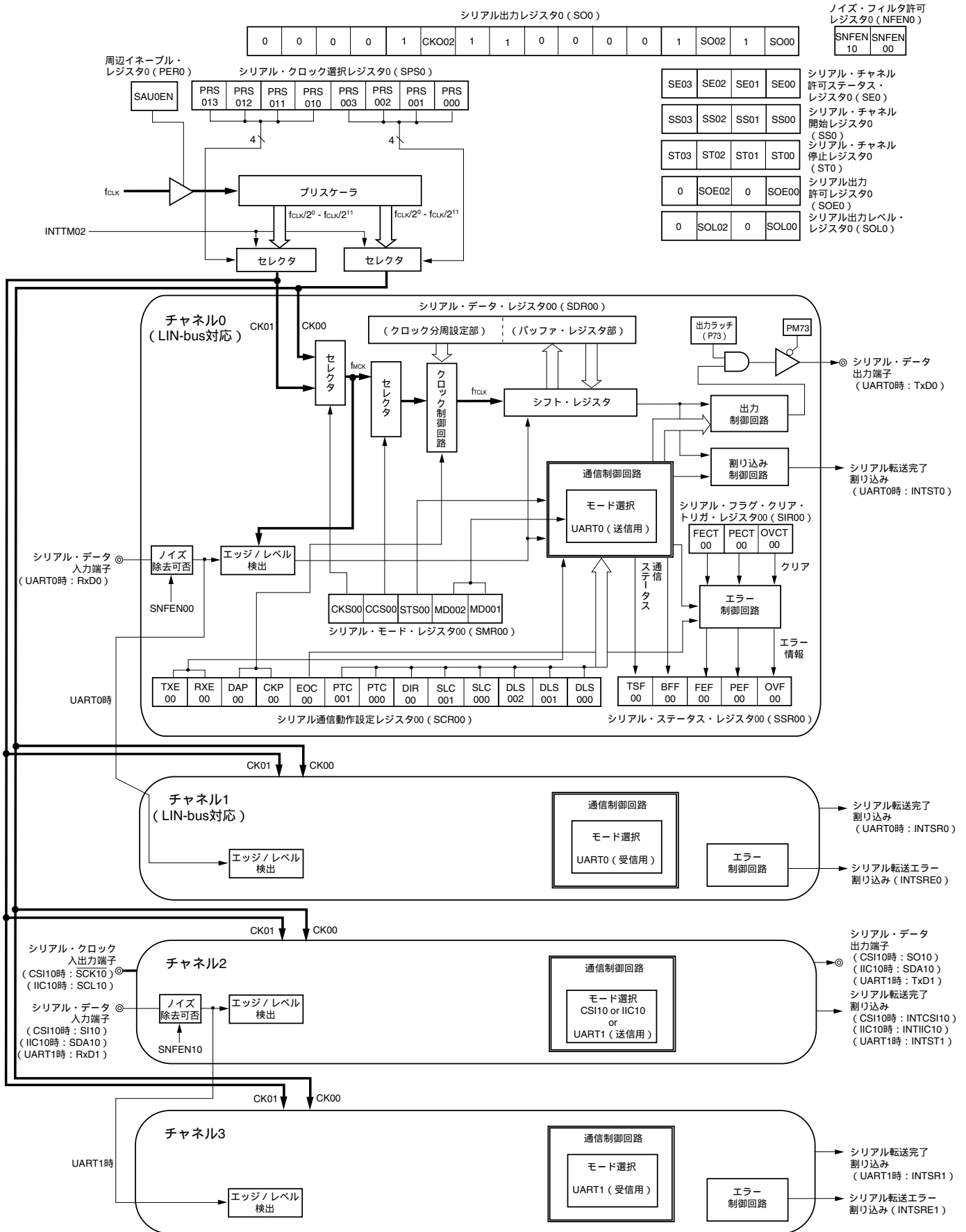
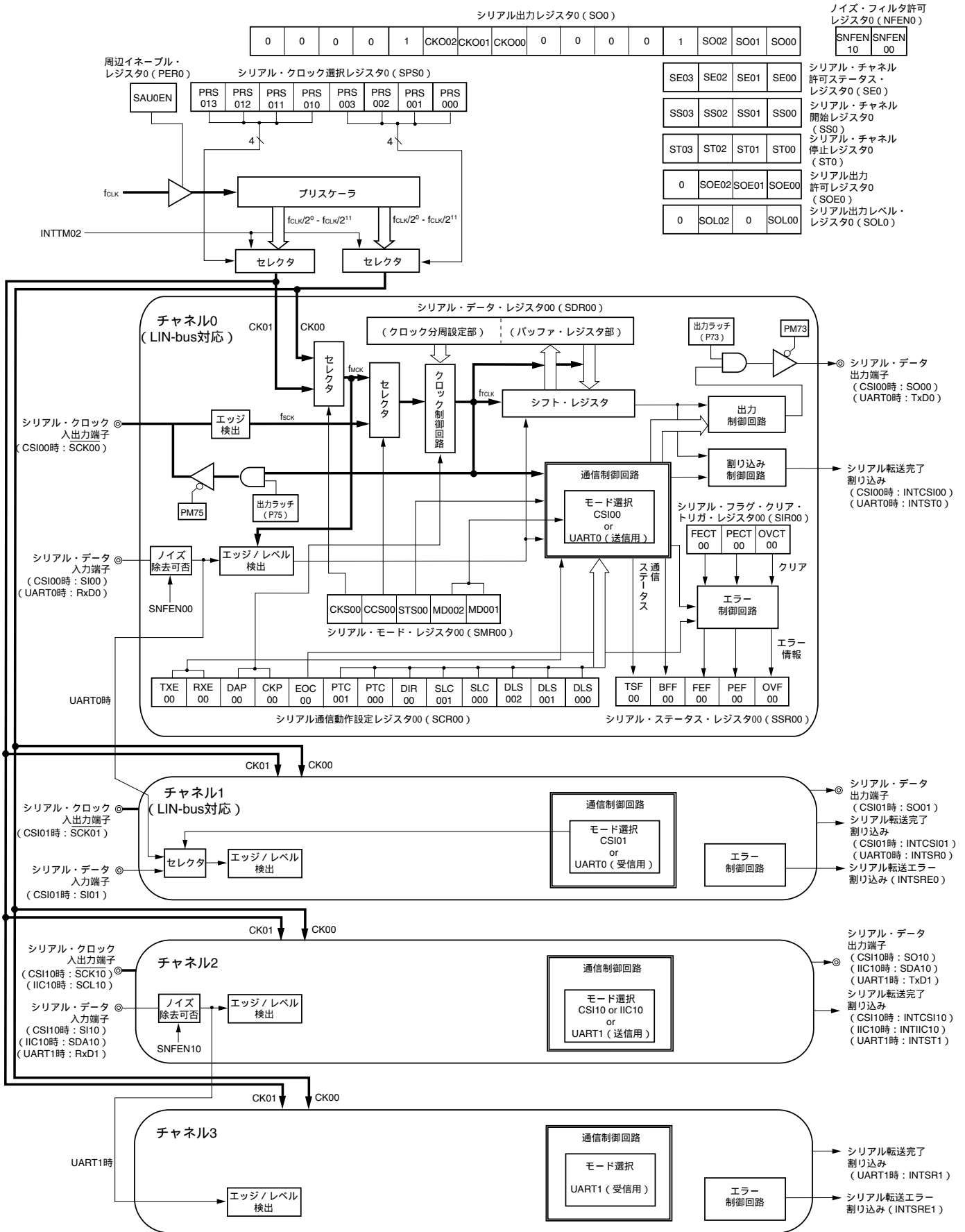


図13-2 シリアル・アレイ・ユニットのブロック図 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3)



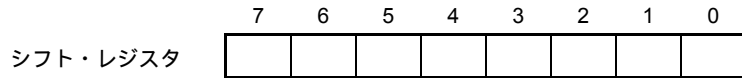
(1) シフト・レジスタ

パラレル シリアルの変換を行う8ビットのレジスタです。

受信時はシリアル入力端子に入力されたデータをパラレル・データに変換します。送信時はこのレジスタに転送された値をシリアル・データとしてシリアル出力端子から出力します。

シフト・レジスタをプログラムで直接操作することはできません。

シフト・レジスタのデータをリード/ライトするには、シリアル・データ・レジスタ0n (SDR0n) の下位8ビットを使用します。



(2) シリアル・データ・レジスタ0n (SDR0n) の下位8ビット

SDR0nレジスタは、チャンネルnの送受信データ・レジスタ (16ビット) です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック (f_{MCK}) の分周設定レジスタとして使われます。

受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納します。送信時は、シフト・レジスタに転送する送信データを下位8ビットに設定します。

下位8ビットに格納するデータは、データ出力順序に関わらず、シリアル通信動作設定レジスタ0n (SCR0n) のビット0-2 (DLS0n0-DLS0n2) の設定によって、次のようになります。

- ・ 5ビット・データ長 (SDR0nレジスタのビット0-4に格納) (UARTモード時のみ設定可)
- ・ 7ビット・データ長 (SDR0nレジスタのビット0-6に格納)
- ・ 8ビット・データ長 (SDR0nレジスタのビット0-7に格納)

SDR0nレジスタは16ビット単位でリード/ライト可能です。

またSDR0nレジスタの下位8ビットは、通信方式により、次のSFR名称で8ビット単位でリード/ライト可能[※]です。

- ・ CSIp通信時・・・SIOp (CSIpデータ・レジスタ)
- ・ UARTq受信時・・・RXDq (UARTq受信データ・レジスタ)
- ・ UARTq送信時・・・TXDq (UARTq送信データ・レジスタ)
- ・ IIC10通信時・・・SIO10 (IIC10データ・レジスタ)

注 ただし動作停止 (SE0n = 0) 時は、8ビット単位のライト禁止

リセット信号の発生により、SDR0nレジスタは0000Hになります。

- 備考1.** 受信完了後、ビット0-7内でデータ長を越える部分のビットには、“0”が格納されます。
2. n: チャンネル番号 (n = 0-3)
- p: CSI番号 (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ))
- q: UART番号 (q = 0, 1)

図13-3 シリアル・データ・レジスタ0n (SDR0n) のフォーマット

アドレス : FFF10H, FFF11H (SDR00) , FFF12H, FFF13H (SDR01) , リセット時 : 0000H R/W
 FFF44H, FFF45H (SDR02) , FFF46H, FFF47H (SDR03)



注意 ビット8は、必ず0を設定してください。

- 備考1.** SDR0nレジスタの上位7ビットの機能については、13.3 シリアル・アレイ・ユニットを制御するレジスタを参照してください。
2. n : チャネル番号 (n = 0-3)

13.3 シリアル・アレイ・ユニットを制御するレジスタ

シリアル・アレイ・ユニットを制御するレジスタを次に示します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・シリアル・クロック選択レジスタ0 (SPS0)
- ・シリアル・モード・レジスタ0n (SMR0n)
- ・シリアル通信動作設定レジスタ0n (SCR0n)
- ・シリアル・データ・レジスタ0n (SDR0n)
- ・シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n)
- ・シリアル・ステータス・レジスタ0n (SSR0n)
- ・シリアル・チャンネル開始レジスタ0 (SS0)
- ・シリアル・チャンネル停止レジスタ0 (ST0)
- ・シリアル・チャンネル許可ステータス・レジスタ0 (SE0)
- ・シリアル出力許可レジスタ0 (SOE0)
- ・シリアル出力レベル・レジスタ0 (SOL0)
- ・シリアル出力レジスタ0 (SO0)
- ・入力切り替え制御レジスタ (ISC)
- ・ノイズ・フィルタ許可レジスタ0 (NFEN0)
- ・ポート入力モード・レジスタ3, 7 (PIM3, PIM7) ^{注1}
- ・ポート出力モード・レジスタ3, 7 (POM3, POM7) ^{注1}
- ・ポート・モード・レジスタ1, 3, 7 (PM1, PM3, PM7) ^{注2}
- ・ポート・レジスタ1, 3, 7 (P1, P3, P7) ^{注2}

注1. PIM7, POM7レジスタは、78K0R/IB3にはありません。

2. PM1, P1レジスタは、78K0R/IB3のみ。PM7, P7レジスタは、78K0R/IB3にはありません。

備考 n: チャンネル番号 (n = 0-3)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニットを使用するときは、必ずビット2 (SAU0EN) に1を設定してください。

PER0レジスタは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、PER0レジスタは00Hになります。

図13-4 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス：F00F0H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN ^{注1}	0	ADCEN	IICAEN ^{注2}	0	SAU0EN	0	0

SAU0EN	シリアル・アレイ・ユニットの入力クロック供給の制御
0	入力クロック供給停止 ・シリアル・アレイ・ユニットで使用するSFRへのライト不可 ・シリアル・アレイ・ユニットはリセット状態
1	入力クロック供給許可 ・シリアル・アレイ・ユニットで使用するSFRへのリード/ライト可

注1. 78K0R/IB3は、RTCENビットを搭載していません。78K0R/IB3の場合は、PER0レジスタのビット7は0固定になります。

2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は、IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は、PER0レジスタのビット4は0固定になります。

注意1. シリアル・アレイ・ユニットの設定をする際には、必ず最初にSAU0EN = 1の設定を行ってください。SAU0EN = 0の場合は、シリアル・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出しでも値はすべて初期値となります（入力切り替え制御レジスタ (ISC)、ノイズ・フィルタ許可レジスタ (NFEN0)、ポート入力モード・レジスタ (PIM3, PIM7)、ポート出力モード・レジスタ (POM3, POM7)、ポート・モード・レジスタ (PM1, PM3, PM7)、ポート・レジスタ (P1, P3, P7) は除く)。

2. PER0レジスタのビット2 (SAU0EN) を “1” に設定後に、f_{CLK}の4クロック以上間隔をあげてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

3. PER0レジスタのビット0, 1, 3, 6 (78K0R/IB3の場合は、ビット0, 1, 3, 4, 6, 7, 78K0R/IC3の38ピン, 44ピン製品の場合は、0, 1, 3, 4, 6) には必ず“0”を設定してください。

(2) シリアル・クロック選択レジスタ0 (SPS0)

SPS0レジスタは、各チャンネルに共通して供給される2種類の動作クロック (CK00, CK01) を選択する16ビット・レジスタです。SPS0レジスタのビット7-4でCK01を、ビット3-0でCK00を選択します。

SPS0レジスタは、動作中 (SE0n = 1のとき) の書き換えは禁止です。

SPS0レジスタは16ビット・メモリ操作命令で設定します。

またSPS0レジスタの下位8ビットは、SPS0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SPS0レジスタは0000Hになります。

図13 - 5 シリアル・クロック選択レジスタ0 (SPS0) のフォーマット

アドレス : F0126H, F0127H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPS0	0	0	0	0	0	0	0	0	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000

PRS 0k3	PRS 0k2	PRS 0k1	PRS 0k0		動作クロック (CK0k) の選択 ^{注1}			
					f _{CLK} = 2 MHz	f _{CLK} = 5 MHz	f _{CLK} = 10 MHz	f _{CLK} = 20 MHz
0	0	0	0	f _{CLK}	2 MHz	5 MHz	10 MHz	20 MHz
0	0	0	1	f _{CLK} /2	1 MHz	2.5 MHz	5 MHz	10 MHz
0	0	1	0	f _{CLK} /2 ²	500 kHz	1.25 MHz	2.5 MHz	5 MHz
0	0	1	1	f _{CLK} /2 ³	250 kHz	625 kHz	1.25 MHz	2.5 MHz
0	1	0	0	f _{CLK} /2 ⁴	125 kHz	313 kHz	625 kHz	1.25 MHz
0	1	0	1	f _{CLK} /2 ⁵	62.5 kHz	156 kHz	313 kHz	625 kHz
0	1	1	0	f _{CLK} /2 ⁶	31.3 kHz	78.1 kHz	156 kHz	313 kHz
0	1	1	1	f _{CLK} /2 ⁷	15.6 kHz	39.1 kHz	78.1 kHz	156 kHz
1	0	0	0	f _{CLK} /2 ⁸	7.81 kHz	19.5 kHz	39.1 kHz	78.1 kHz
1	0	0	1	f _{CLK} /2 ⁹	3.91 kHz	9.77 kHz	19.5 kHz	39.1 kHz
1	0	1	0	f _{CLK} /2 ¹⁰	1.95 kHz	4.88 kHz	9.77 kHz	19.5 kHz
1	0	1	1	f _{CLK} /2 ¹¹	977 Hz	2.44 kHz	4.88 kHz	9.77 kHz
1	1	1	1	INTTM02 ^{注2}				
上記以外				設定禁止				

- 注1. f_{CLK}に選択しているクロックを変更 (システム・クロック制御レジスタ (CKC) の値を変更) する場合は、シリアル・アレイ・ユニット (SAU) の動作を停止 (シリアル・チャンネル停止レジスタ0 (ST0) = 000FH) させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニットTAUSも停止 (タイマ・チャンネル停止レジスタ0 (TT0) = 00FFH) させてください。
2. TAUSのチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし (タイマ入力選択レジスタ0 (TIS0) のTIS02ビットに“1”を設定)、SPS0レジスタでINTTM02を選択することにより、f_{CLK}の周波数 (メイン・システム・クロック、サブシステム・クロック) に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU, TAUSを停止させる必要があります。

注意1. ビット15-8には、必ず0を設定してください。

2. PER0レジスタのビット2 (SAU0EN) を“1”に設定後に、f_{CLK}の4クロック以上間隔を空けてからSPS0レジスタを設定してください。

備考1. f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

f_{SUB} : サブシステム・クロック周波数

2. k = 0, 1

(3) シリアル・モード・レジスタ0n (SMR0n)

SMR0nレジスタは、チャンネルnの動作モード設定レジスタです。動作クロック (f_{MCK}) の選択、シリアル・クロック (f_{SCK}) 入力の使用可否、スタート・トリガ設定、動作モード (CSI, UART, I²C) 設定、割り込み要因の選択を行います。またUARTモード時のみ、受信データのレベル反転の設定を行います。

SMR0nレジスタは、動作中 (SE0n = 1のとき) の書き換えは禁止です。ただしMD0n0ビットは、動作中でも書き換えをすることができます。

SMR0nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SMR0nレジスタは0020Hになります。

図13-6 シリアル・モード・レジスタ0n (SMR0n) のフォーマット (1/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR0n	CKS 0n	CCS 0n	0	0	0	0	0	STS 0n	0	SIS0 n0	1	0	0	MD 0n2	MD 0n1	MD 0n0

CKS 0n	チャンネルnの動作クロック (f_{MCK}) の選択
0	SPS0レジスタで設定したプリスケアラ出力クロックCK00
1	SPS0レジスタで設定したプリスケアラ出力クロックCK01
動作クロック (f_{MCK}) は、エッジ検出回路に使用されます。また、CCS0nビットとSDR0nレジスタの上位7ビットの設定により、転送クロック (f_{TCLK}) を生成します。	

CCS 0n	チャンネルnの転送クロック (f_{TCLK}) の選択
0	CKS0nビットで指定した動作クロック f_{MCK} の分周クロック
1	SCKp端子からの入力クロック f_{SCK} (CSIモードのスレーブ転送)
転送クロック f_{TCLK} は、シフト・レジスタ、通信制御回路、出力制御回路、割り込み制御回路、エラー制御回路に使用されます。CCS0n = 0の場合は、SDR0nレジスタの上位7ビットで動作クロック (f_{MCK}) の分周設定を行います。	

STS 0n	スタート・トリガ要因の選択
0	ソフトウェア・トリガのみ有効 (CSI, UART送信, 簡易I ² C時に選択)
1	RxDq端子の有効エッジ (UART受信時に選択)
SS0レジスタに1を設定後、上記の要因が満たされてから転送開始となります。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 n : チャンネル番号 (n = 0-3) , p : CSI番号 (p = 00, 01, 10) , q : UART番号 (q = 0, 1)

図13 - 6 シリアル・モード・レジスタ0n (SMR0n) のフォーマット (2/2)

アドレス : F0110H, F0111H (SMR00) - F0116H, F0117H (SMR03) リセット時 : 0020H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SMR0n	CKS 0n	CCS 0n	0	0	0	0	0	STS 0n	0	SIS 0n0	1	0	0	MD 0n2	MD 0n1	MD 0n0

SIS 0n0	UARTモードでのチャンネルnの受信データのレベル反転の制御
0	立ち下がりエッジをスタート・ビットとして検出します。 入力される通信データは、そのまま取り込まれます。
1	立ち上がりエッジをスタート・ビットとして検出します。 入力される通信データは、反転して取り込まれます。

MD 0n2	MD 0n1	チャンネルnの動作モードの設定
0	0	CSIモード
0	1	UARTモード
1	0	簡易I ² Cモード
1	1	設定禁止

MD 0n0	チャンネルnの割り込み要因の選択
0	転送完了割り込み
1	バッファ空き割り込み (転送データがSDR0nレジスタからシフト・レジスタに転送されたタイミングで発生)
連続送信時はMD0n0 = 1として、SDR0nデータが空になったら次送信データの書き込みを行う。	

注意 ビット13-9, 7, 4, 3には、必ず0を設定してください。ビット5には、必ず1を設定してください。

備考 n : チャンネル番号 (n = 0-3)

(4) シリアル通信動作設定レジスタ0n (SCR0n)

チャンネルnの通信動作設定レジスタです。データ送受信モード、データとクロックの位相、エラー信号のマスク可否、パリティ・ビット、先頭ビット、ストップ・ビット、データ長などの設定を行います。

SCR0nレジスタは、動作中 (SE0n = 1のとき) の書き換えは禁止です。

SCR0nレジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SCR0nレジスタは0087Hになります。

図13 - 7 シリアル通信動作設定レジスタ0n (SCR0n) のフォーマット (1/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR0n	TXE	RXE	DAP	CKP	0	EOC	PTC	PTC	DIR	0	SLC	SLC	0	DLS	DLS	DLS
	0n	0n	0n	0n		0n	0n1	0n0	0n		0n1	0n0		0n2	0n1	0n0

TXE	RXE	チャンネルnの動作モードの設定
0n	0n	
0	0	通信禁止
0	1	受信のみを行う
1	0	送信のみを行う
1	1	送受信を行う

DAP	CKP	CSIモードでのデータとクロックの位相選択	タイプ
0n	0n		
0	0		1
0	1		2
1	0		3
1	1		4

UARTモード, 簡易I²Cモード時には, 必ずDAP0n, CKP0n = 0, 0に設定してください。

EOC	エラー割り込み信号 (INTSREx (x = 0, 1)) のマスク可否の選択
0n	
0	エラー割り込みINTSRExをマスクする (INTSRxはマスクされない)
1	エラー割り込みINTSRExの発生を許可する (エラー発生時にINTSRxはマスクされる)

CSIモード, 簡易I²Cモード, UART送信時には, EOC0n = 0に設定してください^注。
UART受信時には, EOC0n = 1に設定してください。

注 CSI01をEOC01 = 0で使用しない場合, エラー割り込みINTSRE0が発生する場合があります。

注意 ビット3, 6, 11には, 必ず0を設定してください。ビット2には, 必ず1を設定してください。

備考 n : チャネル番号 (n = 0-3) p : CSI番号 (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ))

図13 - 7 シリアル通信動作設定レジスタ0n (SCR0n) のフォーマット (2/2)

アドレス : F0118H, F0119H (SCR00) - F011EH, F011FH (SCR03) リセット時 : 0087H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCR0n	TXE 0n	RXE 0n	DAP 0n	CKP 0n	0	EOC 0n	PTC 0n1	PTC 0n0	DIR0 n	0	SLC 0n1	SLC 0n0	0	DLS 0n2	DLS 0n1	DLS 0n0

PTC 0n1	PTC 0n0	UARTモードでのパリティ・ビットの設定	
		送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力 ^注	パリティ判定を行わない
1	0	偶数パリティを出力	偶数パリティとして判定を行う
1	1	奇数パリティを出力	奇数パリティとして判定を行う

CSIモード、簡易²Cモード時には、必ずPTC0n1, PTC0n0 = 0, 0に設定してください。

DIR0 n	CSI, UARTモードでのデータ転送順序の選択	
0	MSBファーストで入出力を行う	
1	LSBファーストで入出力を行う	

簡易²Cモード時には、必ずDIR0n = 0に設定してください。

SLC 0n1	SLC 0n0	UARTモードでのストップ・ビットの設定	
0	0	ストップ・ビットなし	
0	1	ストップ・ビット長 = 1ビット	
1	0	ストップ・ビット長 = 2ビット	
1	1	設定禁止	

転送完了割り込みを選択している場合は、全部のストップ・ビットが完了してから割り込みを発生します。
UART受信時、簡易²Cモード時には、1ビット (SLC0n1, SLC0n0 = 0, 1) に設定してください。
CSIモード時には、ストップ・ビットなし (SLC0n1, SLC0n0 = 0, 0) に設定してください。

DLS 0n2	DLS 0n1	DLS 0n0	CSI, UARTモードでのデータ長の設定	
1	0	0	5ビット・データ長 (SDR0nレジスタのビット0-4に格納) (UARTモード時のみ選択可)	
1	1	0	7ビット・データ長 (SDR0nレジスタのビット0-6に格納)	
1	1	1	8ビット・データ長 (SDR0nレジスタのビット0-7に格納)	
その他			設定禁止	

簡易²Cモード時には、必ずDLS0n0 = 1に設定してください。

注 データの内容にかかわらず必ず0が付加されます。

注意 ビット3, 6, 11には、必ず0を設定してください。ビット2には、必ず1を設定してください。

備考 n : チャネル番号 (n = 0-3)

(5) シリアル・データ・レジスタ0n (SDR0n) の上位7ビット

SDR0nレジスタは、チャンネルnの送受信データ・レジスタ（16ビット）です。ビット7-0は送受信バッファ・レジスタとして機能し、ビット15-9の部分は動作クロック（ f_{MCK} ）の分周設定レジスタとして使われます。

シリアル・モード・レジスタ0n (SMR0n) でCCS0nビットを0に設定した場合は、動作クロックをこのSDR0nレジスタの上位7ビットで分周設定したクロックが、転送クロックとして使用されます。

SDR0nレジスタの下位8ビットは、送受信バッファ・レジスタとして機能します。受信時には、シフト・レジスタで変換したパラレル・データを下位8ビットに格納し、送信時には、シフト・レジスタに転送する送信データを下位8ビット設定します。

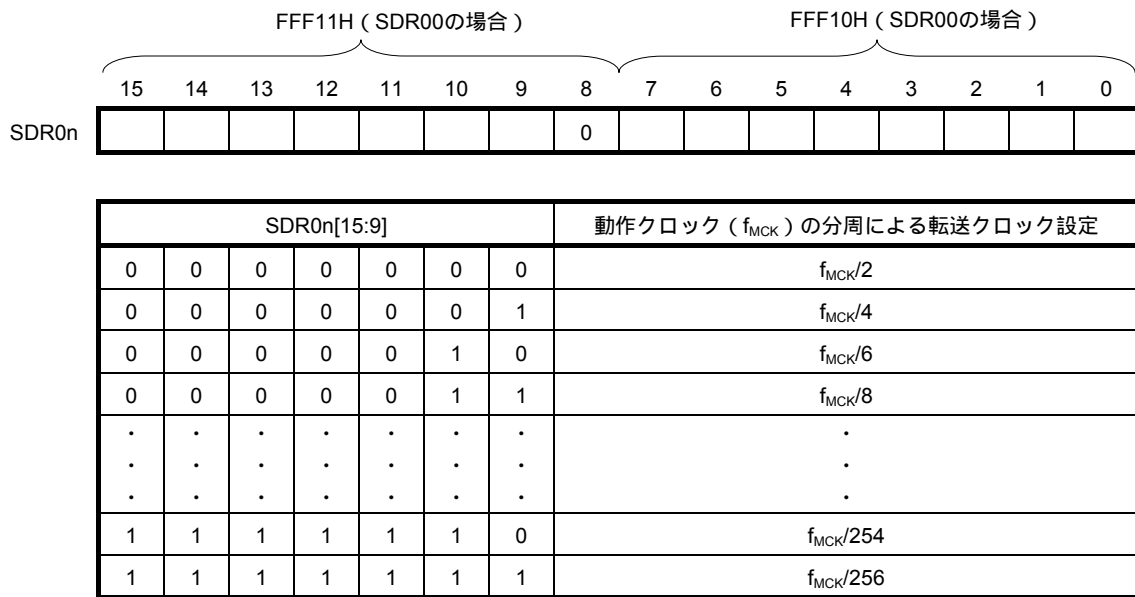
SDR0nレジスタは16ビット単位でリード/ライト可能です。

ただし上位7ビットへの書き込みおよび読み出しは動作停止状態（ $SE0n = 0$ ）のときのみ有効です。動作中（ $SE0n = 1$ ）にSDR0nレジスタに書き込みを行ったときは、下位8ビットのみ値が書き込まれます。動作中にSDR0nレジスタの読み出しを行ったときは、常に0が読み出されます。

リセット信号の発生により、SDR0nレジスタは0000Hになります。

図13 - 8 シリアル・データ・レジスタ0n (SDR0n) のフォーマット

アドレス：FFF10H, FFF11H (SDR00), FFF12H, FFF13H (SDR01), リセット時：0000H R/W
FFF44H, FFF45H (SDR02), FFF46H, FFF47H (SDR03)



注意1. ビット8は、必ず0を設定してください。

2. UART使用時は、SDR0n[15:9] = (0000000B, 0000001B) は設定禁止です。

3. 簡易I²C使用時は、SDR0n[15:9] = 0000000Bは設定禁止です。SDR0n[15:9] = 0000001B以上に設定してください。

4. 動作停止状態（ $SE0n = 0$ ）のときに、下位8ビットへ8ビット書き込みは行わないでください（上位7ビットが0にクリアされます）。

備考1. SDR0nレジスタの下位8ビットの機能については、13.2 シリアル・アレイ・ユニットの構成を参照してください。

2. n：チャンネル番号（n = 0-3）

(6) シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n)

チャンネルnの各エラー・フラグをクリアするためのトリガ・レジスタです。

各ビット (FECT0n, PECT0n, OVCT0n) を1にセットすると, シリアル・ステータス・レジスタ0n (SSR0n) の対応ビット (FEF0n, PEF0n, OVF0n) が0にクリアされます。SIR0nレジスタはトリガ・レジスタなので, SSR0nレジスタの対応ビットをクリアするとすぐSIR0nレジスタもクリアされます。

SIR0nレジスタは, 16ビット・メモリ操作命令で設定します。

またSIR0nレジスタの下位8ビットは, SIR0nLで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により, SIR0nレジスタは0000Hになります。

図13 - 9 シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) のフォーマット

アドレス : F0108H, F0109H (SIR00) - F010EH, F010FH (SIR03) リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIR0n	0	0	0	0	0	0	0	0	0	0	0	0	0	FEC T0n	PEC T0n	OVC T0n

FEC T0n	チャンネルnのフレーミング・エラー・フラグのクリア・トリガ														
0	クリアしない														
1	SSR0nレジスタのFEF0nビットを0にクリアする														

PEC T0n	チャンネルnのパリティ・エラー・フラグのクリア・トリガ														
0	クリアしない														
1	SSR0nレジスタのPEF0nビットを0にクリアする														

OVC T0n	チャンネルnのオーバーラン・エラー・フラグのクリア・トリガ														
0	クリアしない														
1	SSR0nレジスタのOVF0nビットを0にクリアする														

注意 ビット15-3には, 必ず0を設定してください。

備考1. n : チャンネル番号 (n = 0-3)

2. SIR0nレジスタの読み出し値は常に0000Hとなります。

(7) シリアル・ステータス・レジスタ0n (SSR0n)

SSR0nレジスタは、チャンネルnの通信ステータス、エラー発生状況を表示するレジスタです。表示するエラーは、フレーミング・エラー、パリティ・エラー、オーバラン・エラーです。

SSR0nレジスタは、16ビット・メモリ操作命令で読み出します。

またSSR0nレジスタの下位8ビットは、SSR0nLで8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SSR0nレジスタは0000Hになります。

図13 - 10 シリアル・ステータス・レジスタ0n (SSR0n) のフォーマット (1/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR0n	0	0	0	0	0	0	0	0	0	TSF 0n	BFF 0n	0	0	FEF 0n	PEF 0n	OVF 0n

TSF 0n	チャンネルnの通信状態表示フラグ
0	通信動作停止状態または通信動作待機状態
1	通信動作状態
<クリア条件> ・ ST0レジスタのST0nビットに1を設定時（通信停止状態）、もしくはSS0レジスタのSS0nビットに1を設定時（通信待機状態） ・ 通信動作が終了時	
<セット条件> ・ 通信動作を開始時	

BFF 0n	チャンネルnのバッファ・レジスタ状態表示フラグ
0	有効なデータがSDR0nレジスタに格納されていない
1	有効なデータがSDR0nレジスタに格納されている
<クリア条件> ・ 送信時においてSDR0nレジスタからシフト・レジスタへ送信データの転送が終了したとき ・ 受信時においてSDR0nレジスタから受信データの読み出しが終了したとき ・ ST0レジスタのST0nビットに1を設定時（通信停止状態）、SS0レジスタのSS0nビットに1を設定時（通信許可状態）。	
<セット条件> ・ SCR0nレジスタのTXE0nビット = 1（各通信モードでの送信、送受信モード時）の状態でSDR0nレジスタに送信データを書き込んだとき ・ SCR0nレジスタのRXE0nビット = 1（各通信モードでの受信、送受信モード時）の状態でSDR0nレジスタに受信データが格納されたとき ・ 受信エラー時	

注意 BFF0n = 1のときにSDR0nレジスタに書き込みをすると、格納されている送信 / 受信データが破壊され、オーバラン・エラー（OVE0n = 1）と検出されます。

備考 n : チャンネル番号 (n = 0-3)

図13 - 10 シリアル・ステータス・レジスタ0n (SSR0n) のフォーマット (2/2)

アドレス : F0100H, F0101H (SSR00) - F0106H, F0107H (SSR03) リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSR0n	0	0	0	0	0	0	0	0	0	TSF 0n	BFF 0n	0	0	FEF 0n	PEF 0n	OVF 0n

FEF 0n	チャンネルnのフレーミング・エラー検出フラグ															
0	エラーなし															
1	エラー発生 (UART受信時)															
<クリア条件>																
・SIR0nレジスタのFECT0nビットに1を書き込んだとき																
<セット条件>																
・UART受信完了時に、ストップ・ビットが検出されないとき																

PEF 0n	チャンネルnのパリティ・エラー検出フラグ															
0	エラーなし															
1	エラー発生 (UART受信時) , またはACK未検出発生 (I ² C送信時)															
<クリア条件>																
・SIR0nレジスタのPECT0nビットに1を書き込んだとき																
<セット条件>																
・UART受信完了時に、送信データのパリティとパリティ・ビットが一致しないとき (パリティ・エラー)																
・I ² C送信時に、ACK受信タイミングにスレーブ側からACK信号の応答がなかったとき (ACK未検出)																

OVF 0n	チャンネルnのオーバラン・エラー検出フラグ															
0	エラーなし															
1	エラー発生															
<クリア条件>																
・SIR0nレジスタのOVCT0nビットに1を書き込んだとき																
<セット条件>																
・SCR0nレジスタのRXE0nビット = 1 (各通信モードでの受信, 送受信モード時) の状態で、受信データがSDR0nレジスタに格納されているのに、読み出しをせずに送信データの書き込みもしくは次の受信データの書き込みをしたとき																
・CSIモードのスレーブ送信/送受信で、送信データが準備できていないとき																

備考 n : チャンネル番号 (n = 0-3)

(8) シリアル・チャンネル開始レジスタ0 (SS0)

SS0レジスタは、通信/カウント開始の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (SS0n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) の対応ビット (SE0n) が1にセット (動作許可状態) されます。SS0nビットはトリガ・ビットなので、SE0n = 1になるとすぐSS0nビットはクリアされます。

SS0レジスタは、16ビット・メモリ操作命令で設定します。

またSS0レジスタの下位8ビットは、SS0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SS0レジスタは0000Hになります。

図13 - 11 シリアル・チャンネル開始レジスタ0 (SS0) のフォーマット

アドレス : F0122H, F0123H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	0	0	0	0	0	0	0	0	0	0	0	0	SS0 3	SS0 2	SS0 1	SS0 0

SS0 n	チャンネルnの動作開始トリガ
0	トリガ動作せず
1	SE0nビットに1をセットし、通信待機状態に遷移する ^注

注 すでに通信動作中の場合は、通信動作を停止してください。

注意 ビット15-4には、必ず0を設定してください。

備考1. n : チャンネル番号 (n = 0-3)

2. SS0レジスタの読み出し値は常に0000Hとなります。

(9) シリアル・チャンネル停止レジスタ0 (ST0)

ST0レジスタは、通信 / カウント停止の許可をチャンネルごとに設定するトリガ・レジスタです。

各ビット (ST0n) に1を書き込むと、シリアル・チャンネル許可ステータス・レジスタ0 (SE0) の対応ビット (SE0n) が0にクリア (動作停止状態) されます。ST0nビットはトリガ・ビットなので、SE0n = 0になるとすぐST0nビットはクリアされます。

ST0レジスタは、16ビット・メモリ操作命令で設定します。

またST0レジスタの下位8ビットは、STOLで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、ST0レジスタは0000Hになります。

図13 - 12 シリアル・チャンネル停止レジスタ0 (ST0) のフォーマット

アドレス : F0124H, F0125H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0	0	0	0	0	0	0	0	0	0	0	0	0	ST03	ST02	ST01	ST00

ST0n	チャンネルnの動作停止トリガ
0	トリガ動作せず
1	SE0nビットを0にクリアし、通信動作を停止する ^注

注 制御レジスタ、シフト・レジスタの値、およびシリアル・クロック入出力端子、シリアル・データ出力端子、各エラー・フラグ (FEF0n : フレーミング・エラー・フラグ, PEF0n : パリティ・エラー・フラグ, OVF0n : オーバーラン・エラー・フラグ) は、状態を保持したまま停止します。

注意 ビット15-4には、必ず0を設定してください。

備考1. n : チャンネル番号 (n = 0-3)

2. ST0レジスタの読み出し値は常に0000Hとなります。

(10) シリアル・チャンネル許可ステータス・レジスタ0 (SE0)

SE0レジスタは、各チャンネルのシリアル送受信動作許可 / 停止状態を確認するレジスタです。

シリアル・チャンネル開始レジスタ0 (SS0) の各ビットに1を書き込むと、その対応ビットが1にセットされます。シリアル・チャンネル停止レジスタ0 (ST0) の各ビットに1を書き込むと、その対応ビットが0にクリアされます。

動作を許可したチャンネルnは、後述のシリアル出力レジスタ0 (SO0) のCKO0nビット (チャンネルnのシリアル・クロック出力) の値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・クロック端子から出力されます。

動作を停止したチャンネルnは、SO0レジスタのCKO0nビットの値をソフトウェアで設定することができ、その値をシリアル・クロック端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SE0レジスタは、16ビット・メモリ操作命令で読み出します。

またSE0レジスタの下位8ビットは、SE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出せます。

リセット信号の発生により、SE0レジスタは0000Hになります。

図13 - 13 シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のフォーマット

アドレス : F0120H, F0121H リセット時 : 0000H R

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0	0	0	0	0	0	0	0	0	0	0	0	0	SE0 3	SE0 2	SE0 1	SE0 0

SE0 n	チャンネルnの動作許可 / 停止状態の表示	
0	動作停止状態	
1	動作許可状態	

備考 n : チャンネル番号 (n = 0-3)

(11) シリアル出力許可レジスタ0 (SOE0)

SOE0レジスタは、各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタです。

シリアル出力を許可したチャンネルnは、後述のシリアル出力レジスタ0 (SO0) のSO0nビットの値をソフトウェアによって書き換えできなくなり、通信動作によって反映された値がシリアル・データ出力端子から出力されます。

シリアル出力を停止したチャンネルnは、SO0レジスタのSO0nビットの値をソフトウェアで設定することができ、その値をシリアル・データ出力端子から出力できます。これにより、スタート・コンディション / ストップ・コンディションなどの任意の波形をソフトウェアで作成することができます。

SOE0レジスタは、16ビット・メモリ操作命令で設定します。

またSOE0レジスタの下位8ビットは、SOE0Lで1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOE0レジスタは0000Hになります。

図13 - 14 シリアル出力許可レジスタ0 (SOE0) のフォーマット

アドレス : F012AH, F012BH リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE02	SOE01 [※]	SOE00

SOE0n	チャンネルnのシリアル出力許可 / 停止
0	シリアル通信動作による出力停止
1	シリアル通信動作による出力許可

注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

注意 ビット15-3 (78K0R/IB3, 78K0R/IC3の38ピン製品は、ビット15-3, 1) には、必ず0を設定してください。

備考 n : チャンネル番号 (n = 0-2)

(12) シリアル出力レジスタ0 (SO0)

SO0レジスタは、各チャンネルのシリアル出力のバッファ・レジスタです。

このレジスタのSO0nビットの値が、チャンネルnのシリアル・データ出力端子から出力されます。

このレジスタのCKO0nビットの値が、チャンネルnのシリアル・クロック出力端子から出力されます。

このレジスタのSO0nビットのソフトウェアによる書き換えは、シリアル出力禁止 (SOE0n = 0) 時のみ可能です。シリアル出力許可 (SOE0n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

このレジスタのCKO0nビットのソフトウェアによる書き換えは、チャンネル動作停止 (SE0n = 0) 時のみ可能です。チャンネル動作許可 (SE0n = 1) 時は、ソフトウェアによる書き換えは無視され、シリアル通信動作によってのみ値が変更されます。

また、次の端子をポート機能として使用する場合は、該当するCKO0n, SO0nビットに“1”を設定してください。

78K0R/IB3	: P10/TI02/TO02/TxD0, P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2
78K0R/IC3 (38ピン)	: P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P72/INTP6/RxD0, P73/TxD0/TO10
78K0R/IC3 (44ピン / 48ピン製品) :	P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P70/SO01/INTP4, P72/ $\overline{\text{SCK01}}$ /INTP6, P73/SO00/TxD0/TO10, P75/ $\overline{\text{SCK00}}$ /TI11
78K0R/ID3	: P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P70/SO01/INTP4, P72/ $\overline{\text{SCK01}}$ /INTP6, P73/SO00/TxD0/TO10, P75/ $\overline{\text{SCK00}}$ /TI11端子
78K0R/IE3	: P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P70/SO01/INTP4, P72/ $\overline{\text{SCK01}}$ /INTP6, P73/SO00/TxD0/TO10, P75/SCK00/TI11

SO0レジスタは、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、SO0レジスタは0F0FHになります。

図13 - 15 シリアル出力レジスタ0 (SO0) のフォーマット

アドレス : F0128H, F0129H リセット時 : 0F0FH R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0	0	0	0	0	1	CKO 02	CKO 01 ^注	CKO 00 ^注	0	0	0	0	1	SO 02	SO 01 ^注	SO 00

CKO 0n	チャンネルnのシリアル・クロック出力
0	シリアル・クロック出力値が“0”
1	シリアル・クロック出力値が“1”

SO 0n	チャンネルnのシリアル・データ出力
0	シリアル・データ出力値が“0”
1	シリアル・データ出力値が“1”

注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

注意 ビット11, 3 (78K0R/IB3, 78K0R/IC3の38ピン製品は, ビット11, 9, 8, 3, 1) には, 必ず1を設定してください。

また, ビット15-12, 7-4には, 必ず0を設定してください。

備考 n : チャネル番号 (n = 0-2)

(13) シリアル出力レベル・レジスタ0 (SOL0)

SOL0レジスタは、各チャンネルのデータ出力レベルの反転を設定するレジスタです。

このレジスタはUARTモード時のみ設定できます。CSIモード、簡易I²Cモード時は、必ず0000Hを設定してください。

このレジスタによる各チャンネルnの反転設定は、シリアル出力許可 (SOE0n = 1) 時のみ端子出力に反映されます。シリアル出力禁止 (SOE0n = 0) 時はSO0nビットの値がそのまま出力されます。

SOL0レジスタは、動作中 (SE0n = 1のとき) の書き換えは禁止です。

SOL0レジスタは、16ビット・メモリ操作命令で設定します。

またSOL0レジスタの下位8ビットは、SOL0Lで8ビット・メモリ操作命令で設定できます。

リセット信号の発生により、SOL0レジスタは0000Hになります。

図13 - 16 シリアル出力レベル・レジスタ0 (SOL0) のフォーマット

アドレス : F0134H, F0135H リセット時 : 0000H R/W

略号	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOL0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOL 02	0	SOL 00

SOL 0n	UARTモードでのチャンネルnの送信データのレベル反転の選択
0	通信データは、そのまま出力されます。
1	通信データは、反転して出力されます。

注意 ビット15-3, 1には、必ず0を設定してください。

備考 n : チャンネル番号 (n = 0, 2)

(14) 入力切り替え制御レジスタ (ISC)

ISCレジスタのISC1, ISC0ビットは, UART0でLIN-bus通信動作を実現するとき, 外部割り込みやタイマ・アレイ・ユニットTAUSと連携するために使用します。

ビット0に1を設定すると, シリアル・データ入力 (RxD0) 端子の入力信号が外部割り込み入力 (INTP0) として選択されます。これによって, ウェイクアップ信号をINTP0割り込みで検出できます。

ビット1に1を設定すると, シリアル・データ入力 (RxD0) 端子の入力信号がタイマ入力として選択されます。これによって, ウェイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅をタイマで測定できます。

ISC2-ISC4ビットは, タイマ・チャンネル0, 1, 8-11のタイマ入出力端子としてP52/SLTI/SLTO端子を選択する場合に設定します (78K0R/IB3には, このビットは搭載していません。)。

ISCレジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。
リセット信号の発生により, ISCレジスタは00Hになります。

図13 - 17 入力切り替え制御レジスタ (ISC) のフォーマット

アドレス : FFF3CH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
ISC	0	0	0	ISC4 ^{注1}	ISC3 ^{注1}	ISC2 ^{注1}	ISC1	ISC0

ISC4	ISC3	ISC2	P52/SLTI/SLTO端子をタイマ入出力端子として選択											
			チャンネル0		チャンネル1		チャンネル8		チャンネル9		チャンネル10		チャンネル11	
			入力端子	出力端子	入力端子	出力端子	入力端子	出力端子	入力端子	出力端子	入力端子	出力端子	入力端子	出力端子
0	0	0	P00/ TI00	P01/ TO00	P52/ SLTI	P52/ SLTO	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
0	0	1	P52/ SLTI	P52/ SLTO	-	-	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
0	1	0	P00/ TI00	P01/ TO00	-	-	P52/ SLTI	P52/ SLTO	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
0	1	1	P00/ TI00	P01/ TO00	-	-	P16/ TI08	P16/ TO08	P52/ SLTI	P52/ SLTO	P74/ TI10	P73/ TO10	P75/ TI11	P30/ TO11
1	0	0	P00/ TI00	P01/ TO00	-	-	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P52/ SLTI	P52/ SLTO	P75/ TI11	P30/ TO11
1	0	1	P00/ TI00	P01/ TO00	-	-	P16/ TI08	P16/ TO08	P31/ TI09 ^{注2}	P17/ TO09	P74/ TI10	P73/ TO10	P52/ SLTI	P52/ SLTO
上記以外			設定禁止											

ISC1	タイマ・アレイ・ユニットTAUSのチャンネル7の入力切り替え
0	TI07端子の入力信号をタイマ入力とする (通常動作)
1	RxD0端子の入力信号をタイマ入力とする (ウェイクアップ信号検出とシンク・ブレイク・フィールドのロウ幅とシンク・フィールドのパルス幅測定)

ISC0	外部割り込み (INTP0) の入力切り替え
0	INTP0端子の入力信号を外部割り込み入力とする (通常動作)
1	RxD0端子の入力信号を外部割り込み入力とする (ウェイクアップ信号検出)

(注, 注意は次ページにあります。)

- 注1. 78K0R/IB3には、ISC2-ISC4ビットは搭載していません。このビットは、0固定になります。
 2. 78K0R/IE3の場合P17/TI09端子となります。

注意 ビット7-5には、必ず0を設定してください。

備考 チャンネル0, 1, 8-11のタイマ入出力端子の有無は製品によって異なります。詳細は、表6 - 1 各製品に搭載しているタイマ入出力端子または、表6 - 3～表6 - 5 チャンネル0, 1, 8-11で選択できる入出力端子を参照してください。チャンネル0, 1, 8-11にタイマ入出力端子のない製品は、P52/SLTI/SLTO端子のみタイマ入出力端子として選択可能です。

(15) ノイズ・フィルタ許可レジスタ0 (NFEN0)

NFEN0レジスタは、シリアル・データ入力端子からの入力信号に対するノイズ・フィルタの使用可否をチャンネルごとに設定するレジスタです。

CSI, 簡易I²C通信に使用する端子は、対応するビットに0を設定して、ノイズ・フィルタを無効にしてください。

UART通信に使用する端子は、対応するビットに1を設定して、ノイズ・フィルタを有効にしてください。

ノイズ・フィルタ有効時は、動作クロック (f_{MCK}) で2クロックの一致検出と同期化を行います。

NFEN0レジスタは1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、NFEN0レジスタは00Hになります。

図13 - 18 ノイズ・フィルタ許可レジスタ0 (NFEN0) のフォーマット

アドレス : F0060H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
NFEN0	0	0	0	0	0	SNFEN10	0	SNFEN00

SNFEN10	次の端子のノイズ・フィルタ使用可否 78K0R/IB3, 78K0R/IC3, 78K0R/ID3 : RxD1/SDA10/SI10/INTP1/TI09/P31端子 78K0R/IE3 : RxD1/SDA10/SI10/INTP1/P31端子
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD1端子として使用するときは、SNFEN10 = 1に設定してください。 RxD1端子以外の兼用端子またはポート機能として使用するときは、SNFEN10 = 0に設定してください。	

SNFEN00	次の端子のノイズ・フィルタ使用可否 78K0R/IB3 : RxD0/TI03/TO03/P11端子 78K0R/IC3 (38ピン) : RxD0/INTP6/P72端子 78K0R/IC3 (44ピン, 48ピン), 78K0R/ID3, 78K0R/IE3 : RxD0/SI00/TI10/P74端子
0	ノイズ・フィルタOFF
1	ノイズ・フィルタON
RxD0端子として使用するときは、SNFEN00 = 1に設定してください。 RxD0端子以外の兼用端子またはポート機能として使用するときは、SNFEN00 = 0に設定してください。	

注意 ビット7-3, 1には、必ず0を設定してください。

(16) ポート入力モード・レジスタ3, 7 (PIM3, PIM7) ^{注1}

ポート3, 7の入力バッファを1ビット単位で設定するレジスタです。

PIM3, PIM7レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, PIM3, PIM7レジスタは00Hになります。

図13 - 19 ポート入力モード・レジスタ3, 7 (PIM3, PIM7) のフォーマット

アドレス : F0043H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIM3	0	0	0	0	0	PIM32	PIM31	0

アドレス : F0047H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PIM7	0	0	PIM75 ^{注2}	PIM74 ^{注2}	0	PIM72	PIM71 ^{注2}	0

PIMmn	Pmn端子の入力バッファの選択 (m = 3, 7 ; n = 1, 2, 4, 5)
0	通常入力バッファ
1	TTL入力バッファ

注1. 78K0R/IB3は, PIM7レジスタを搭載していません。

2. 78K0R/IC3の38ピン製品は, PIM71, PIM74, PIM75ビットを搭載していません。

(17) ポート出力モード・レジスタ3, 7 (POM3, POM7) ^{注1}

ポート3, 7の出力モードを1ビット単位で設定するレジスタです。

POM3, POM7レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, POM3, POM7レジスタは00Hになります。

図13 - 20 ポート出力モード・レジスタ3, 7 (POM3, POM7) のフォーマット

アドレス : F0053H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM3	0	0	0	0	0	POM32	POM31	POM30

アドレス : F0057H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
POM7	0	0	POM75 ^{注2}	0	POM73	POM72 ^{注2}	0	POM70 ^{注2}

POMmn	Pmn端子の出力モードの選択 (m = 3, 7 ; n = 0-3, 5)
0	通常出力モード
1	N-chオープン・ドレーン出力 (V _{DD} 耐圧) モード

注1. 78K0R/IB3は, POM7レジスタを搭載していません。

2. 78K0R/IC3の38ピン製品は, POM70, POM72, POM75ビットを搭載していません。

(18) ポート・モード・レジスタ1, 3, 7 (PM1, PM3, PM7)^注

ポート1, 3, 7^注の入力/出力を1ビット単位で設定するレジスタです。

シリアル・データ出力またはシリアル・クロック出力端子を兼用するポート (P30/SO10/TxD1/TO11, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2など) をシリアル・データ出力, シリアル・クロック出力として使用するとき, 各ポートに対応するポート・モード・レジスタ (PMxx) のビットに0を, ポート・レジスタ (Pxx) のビットに1を設定してください。

例) P30/SO10/TxD1/TO11をシリアル・データ出力として使用する場合

- ・ポート・モード・レジスタ3のPM30ビットを0に設定
- ・ポート・レジスタ3のP30ビットを1に設定

シリアル・データ入力またはシリアル・クロック入力端子を兼用するポート (P71/SI01/INTP5, P72/ $\overline{\text{SCK01}}$ /INTP6など) をシリアル・データ入力, シリアル・クロック入力として使用するとき, 各ポートに対応するポート・モード・レジスタ (PMxx) のビットに1を設定してください。このときポート・レジスタ (Pxx) のビットは, 0または1のどちらでもかまいません。

例) P71/SI01/INTP5をシリアル・データ入力として使用する場合

- ポート・モード・レジスタ7のPM71ビットを1に設定
- ポート・レジスタ7のP71ビットを0または1に設定

PM1, PM3, PM7^注レジスタは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, PM1, PM3, PM7^注レジスタはFFHになります。

注 PM1, P1レジスタは, 78K0R/IB3のみ。PM7, P7レジスタは, 78K0R/IB3にはありません。

図13 - 21 ポート・モード・レジスタ3, 7 (PM3, PM7) のフォーマット (78K0R/IE3の場合)

アドレス : FFF23H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM3	1	1	1	1	1	PM32	PM31	PM30

アドレス : FFF27H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM7	1	1	PM75	PM74	PM73	PM72	PM71	PM70

PMmn	Pmn端子の入出力モードの選択 (m = 3, 7 ; n = 0-5)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

備考 上記は、78K0R/IE3のポート・モード・レジスタ3, 7のフォーマットです。他の製品のポート・モード・レジスタのフォーマットについては、4.3(1)ポート・モード・レジスタ (PMxx) を参照してください。

13.4 動作停止モード

シリアル・アレイ・ユニットの各シリアル・インタフェースには、動作停止モードがあります。

動作停止モードでは、シリアル通信を行いません。したがって、消費電力を低減できます。

また動作停止モードでは、次の端子をポート機能として使用できます。

78K0R/IB3	: P10/TI02/TO02/TxD0, P11/TI03/TO03/RxD0, P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2
78K0R/IC3 (38ピン)	: P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P72/INTP6/RxD0, P73/TxD0/TO10
78K0R/IC3 (44ピン / 48ピン製品) :	P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P70/SO01/INTP4, P71/SI01/INTP5, P72/ $\overline{\text{SCK01}}$ /INTP6, P73/SO00/TxD0/TO10, P74/SI00/RxD0/TI10, P75/ $\overline{\text{SCK00}}$ /TI11
78K0R/ID3	: P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1/TI09, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P70/SO01/INTP4, P71/SI01/INTP5, P72/ $\overline{\text{SCK01}}$ /INTP6, P73/SO00/TxD0/TO10, P74/SI00/RxD0/TI10, P75/ $\overline{\text{SCK00}}$ /TI11
78K0R/IE3	: P30/SO10/TxD1/TO11, P31/SI10/RxD1/SDA10/INTP1, P32/ $\overline{\text{SCK10}}$ /SCL10/INTP2, P70/SO01/INTP4, P71/SI01/INTP5, P72/ $\overline{\text{SCK01}}$ /INTP6, P73/SO00/TxD0/TO10, P74/SI00/RxD0/TI10, P75/ $\overline{\text{SCK00}}$ /TI11

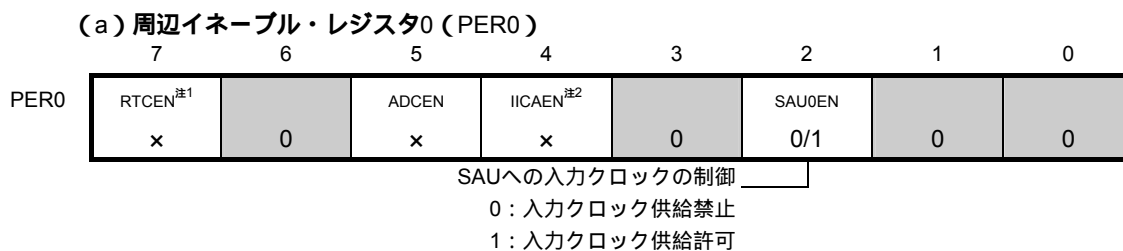
13.4.1 ユニット単位で動作停止とする場合

ユニット単位で動作停止とする場合の設定は、周辺イネーブル・レジスタ0 (PER0) で行います。

PER0レジスタは、各周辺ハードウェアへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・アレイ・ユニットを停止するときは、ビット2 (SAU0EN) に0を設定してください。

図13 - 22 ユニット単位で動作停止とする場合の周辺イネーブル・レジスタ0 (PER0) の設定



注1. 78K0R/IB3は、RTCENビットを搭載していません。78K0R/IB3の場合は、PER0レジスタのビット7は0固定になります。

2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は、IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は、PER0レジスタのビット4は0固定になります。

注意1. SAU0EN = 0の場合は、シリアル・アレイ・ユニットの制御レジスタへの書き込みは無視され、読み出しても値はすべて初期値となります (入力切り替え制御レジスタ (ISC), ノイズ・フィルタ許可レジスタ (NFEN0), ポート入力モード・レジスタ (PIM3, PIM7), ポート出力モード・レジスタ (POM3, POM7), ポート・モード・レジスタ (PM1, PM3, PM7), ポート・レジスタ (P1, P3, P7) は除く)。

2. PER0レジスタのビット0, 1, 3, 6(78K0R/IB3の場合は, ビット0, 1, 3, 4, 6, 7, 78K0R/IC3の38ピン, 44ピン製品の場合は, 0, 1, 3, 4, 6) には必ず“0”を設定してください。

備考 : 設定不可 (初期値を設定)

x : シリアル・アレイ・ユニットでは使用しないビット (他の周辺機能の設定による)

0/1 : ユーザの用途に応じて0または1に設定

13.4.2 チャンネルごとに動作停止とする場合

チャンネルごとに動作停止とする場合の設定は、次の各レジスタで行います。

図13-23 チャンネルごとに動作停止とする場合の各レジスタの設定

(a) シリアル・チャンネル停止レジスタ0 (ST0)

・・・各チャンネルの通信 / カウント停止の許可を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ST0													ST03	ST02	ST01	ST00
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

1 : SE0nビットを0にクリアし、通信動作を停止

ST0nビットはトリガ・ビットなので、SE0n = 0になるとすぐST0nビットはクリアされます。

(b) シリアル・チャンネル許可ステータス・レジスタ0 (SE0)

・・・各チャンネルのシリアル送受信動作許可 / 停止状態が表示されるレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SE0													SE03	SE02	SE01	SE00
	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1	0/1	0/1

0 : 動作停止状態

SE0レジスタはRead Onlyのステータス・レジスタであり、ST0レジスタにて動作停止にします。
動作を停止したチャンネルは、SO0レジスタのCKO0nビットの値をソフトウェアで設定できます。

(c) シリアル出力許可レジスタ0 (SOE0)

・・・各チャンネルのシリアル通信動作の出力許可 / 停止を設定するレジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0														SOE02	SOE01	SOE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	0/1 ^注	0/1

0 : シリアル通信動作による出力停止

シリアル出力を停止したチャンネルは、SO0レジスタのSO0nビットの値をソフトウェアで設定できます。

(d) シリアル出力レジスタ0 (SO0) ・・・各チャンネルのシリアル出力のバッファ・レジスタ

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SO0						CKO02	CKO01	CKO00						SO02	SO01	SO00
	0	0	0	0	1	0/1	0/1 ^注	0/1 ^注	0	0	0	0	1	0/1	0/1 ^注	0/1

1 : シリアル・クロック出力値が "1"

1 : シリアル・データ出力値が "1"

各チャンネルに対応した端子をポート機能として使用する場合は、該当するCKO0n, SO0nビットに "1" を設定してください。

注 78K0R/IC3の44ピン、48ピン製品、78K0R/ID3、78K0R/IE3のみ

備考 n : チャンネル番号 (n = 0-3)

■ : 設定不可 (初期値を設定) 0/1 : ユーザの用途に応じて0または1に設定

13.5 3線シリアルI/O (CSI00, CSI01, CSI10) 通信の動作

シリアル・クロック (SCK) とシリアル・データ (SI, SO) の3本のラインによる、クロック同期式通信機能です。

[データ送受信]

- ・ 7, 8ビットのデータ長
- ・ 送受信データの位相制御
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定

[クロック制御]

- ・ マスタ/スレーブの選択
- ・ 入出力クロックの位相制御
- ・ プリスケアラとチャンネル内カウンタによる転送周期の設定
- ・ 最大転送レート マスタ通信時：Max. f_{CLK}/4，スレーブ通信時：Max. f_{MCK}/6^注

[割り込み機能]

- ・ 転送完了割り込み/バッファ空き割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー

注 ただし、SCKサイクル・タイム (t_{KCY}) の特性を満たす範囲内で使用してください (第28章 電気的特性参照)

3線シリアルI/O (CSI00^注, CSI01^注, CSI10) に対応しているチャンネルは、SAUのチャンネル0-2です。

チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	CSI00 ^注	UART0 (LIN-bus対応)	-
1	CSI01 ^注		-
2	CSI10	UART1	IIC10
3	-		-

3線シリアルI/O (CSI00^注, CSI01^注, CSI10) の通信動作は、以下の6種類があります。

- ・ マスタ送信 (13.5.1項を参照)
- ・ マスタ受信 (13.5.2項を参照)
- ・ マスタ送受信 (13.5.3項を参照)
- ・ スレーブ送信 (13.5.4項を参照)
- ・ スレーブ受信 (13.5.5項を参照)
- ・ スレーブ送受信 (13.5.6項を参照)

注 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3, 78K0R/IE3のみ

13.5.1 マスタ送信

マスタ送信とは、この78K0R/Ix3が転送クロックを出力し、78K0R/Ix3から他デバイスヘデータを送信する動作です。

3線シリアルI/O	CSI00 ^{注1}	CSI01 ^{注1}	CSI10
対象チャンネル	SAUのチャンネル0	SAUのチャンネル1	SAUのチャンネル2
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10
割り込み	INTCSI00	INTCSI01	INTCSI10
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	なし		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^{注2} f_{CLK} : システム・クロック周波数		
データ位相	SCR0nレジスタのDAP0nビットにより選択可能 ・ DAP0n = 0の場合: シリアル・クロックの動作開始からデータ出力を開始 ・ DAP0n = 1の場合: シリアル・クロック動作開始の半クロック前からデータ出力を開始		
クロック位相	SCR0nレジスタのCKP0nビットにより選択可能 ・ CKP0n = 0の場合: 正転 ・ CKP0n = 1の場合: 反転		
データ方向	MSBファーストまたはLSBファースト		

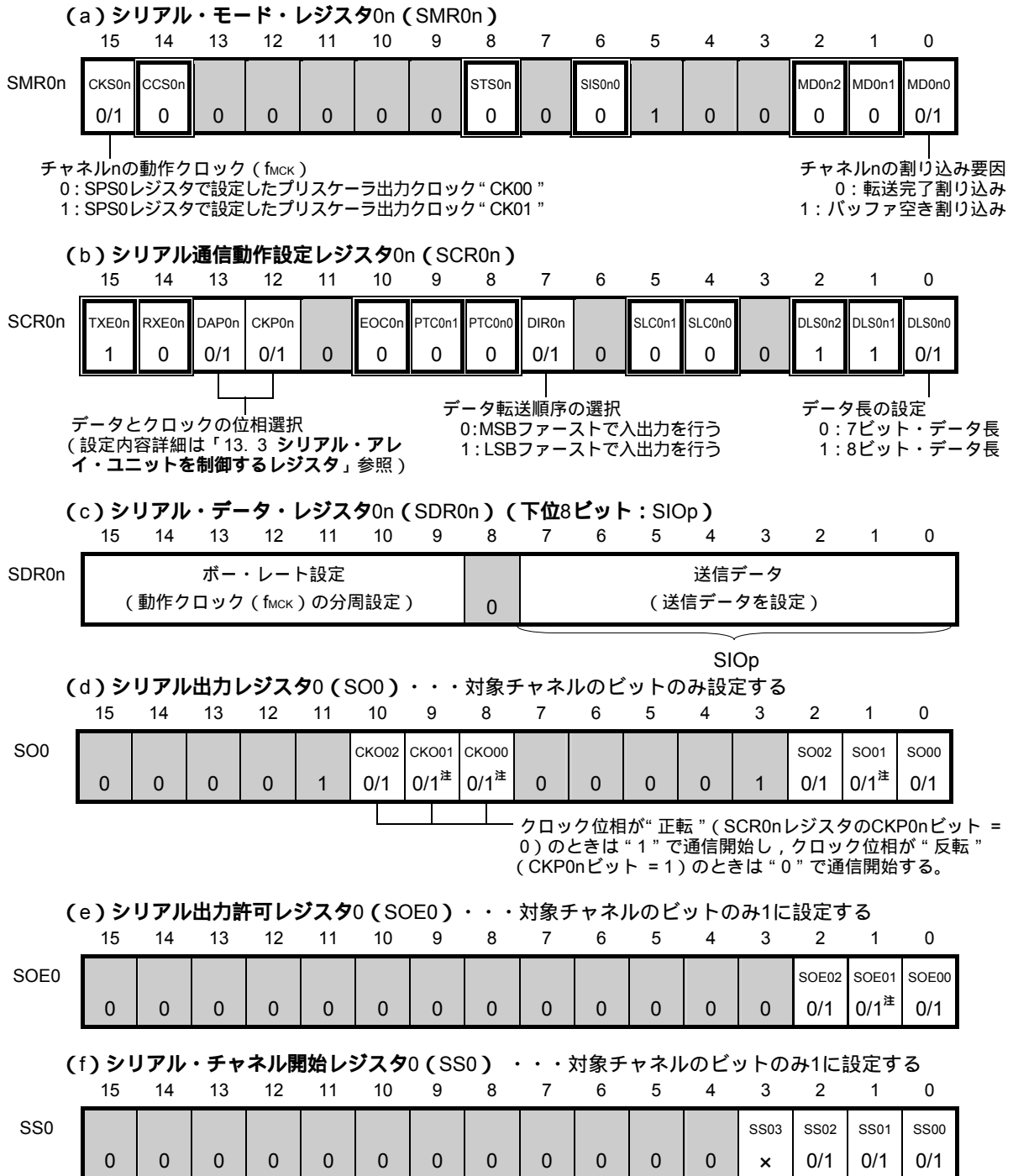
注1. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

- この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 n: チャンネル番号 (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

(1) レジスタ設定

図13 - 24 3線シリアルI/O (CSI00^注, CSI01^注, CSI10) のマスタ送信時のレジスタ設定内容例



注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n: チャンネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

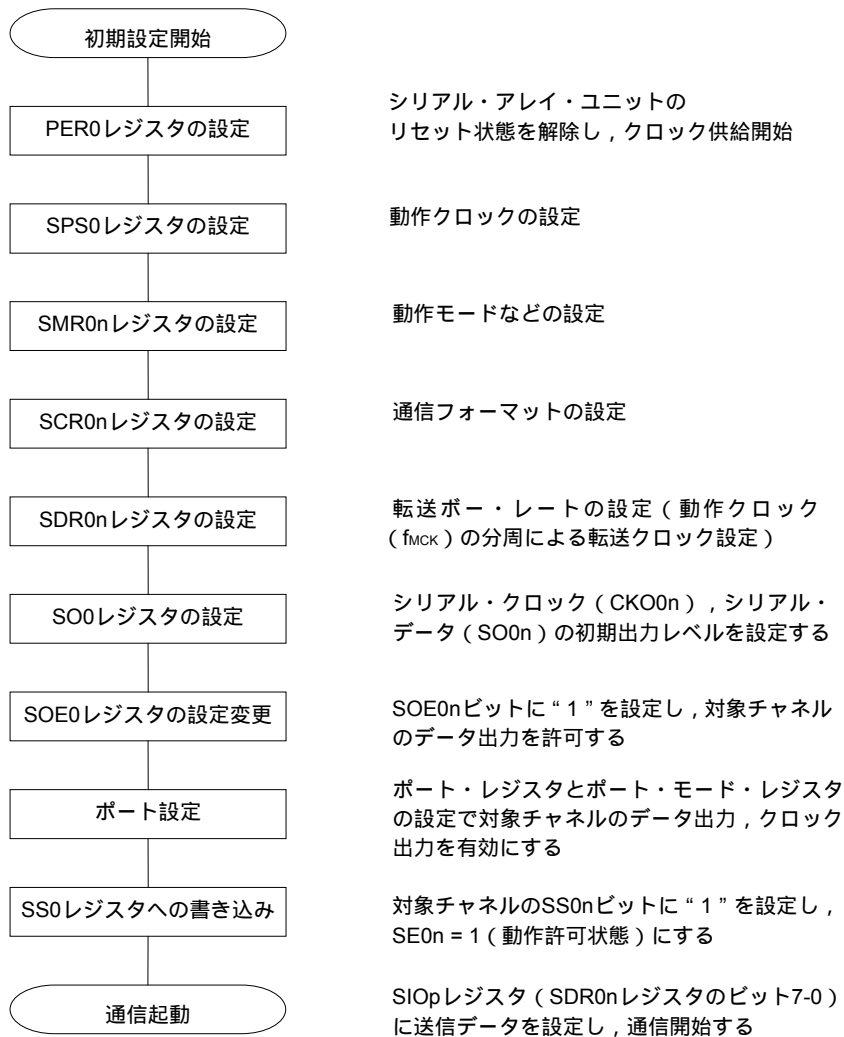
□: CSIマスタ送信モードでは設定固定 □: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

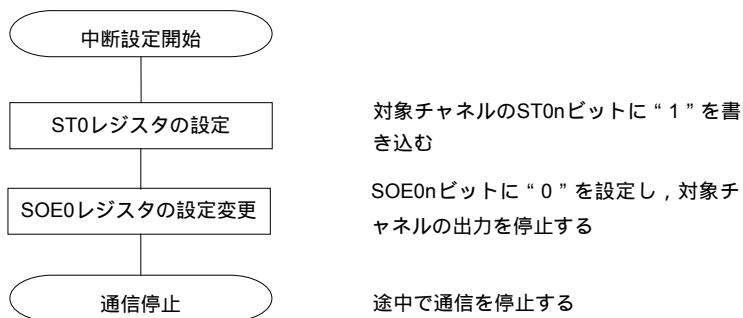
(2) 操作手順

図13 - 25 マスタ送信の初期設定手順



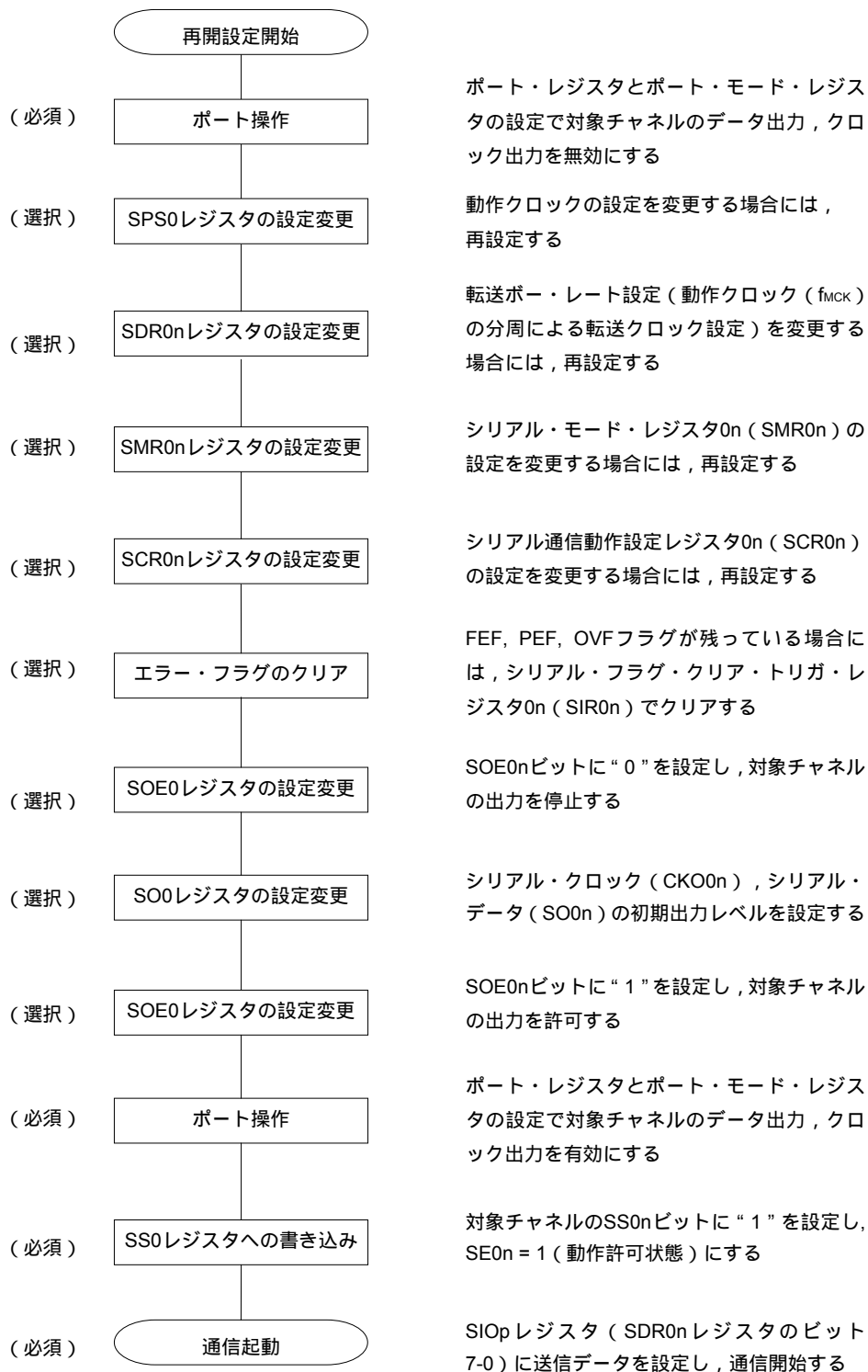
注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを "1" に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

図13 - 26 マスタ送信の中断手順



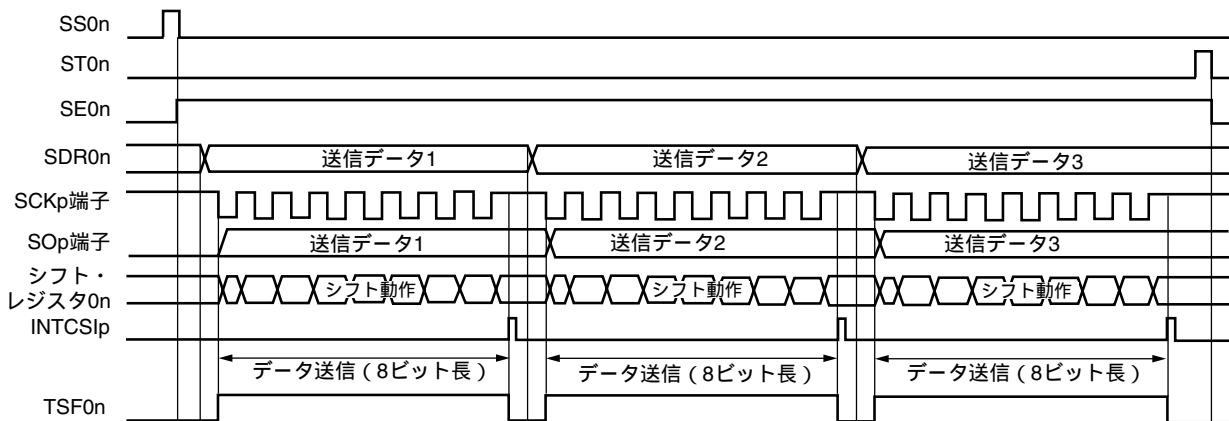
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ0 (SO0) を再設定してください (図13 - 27 マスタ送信の再開設定手順参照)。

図13 - 27 マスタ送信の再開設定手順



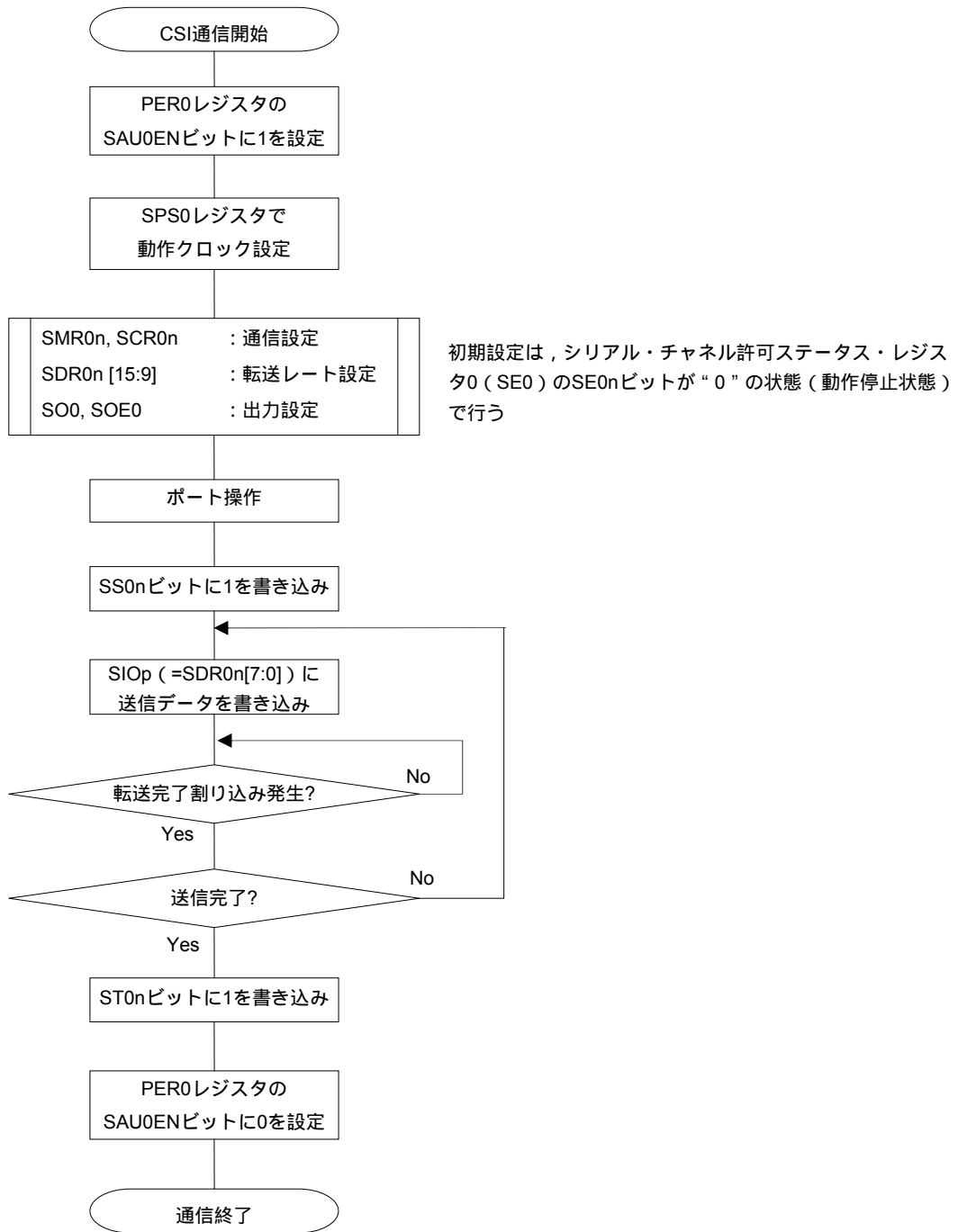
(3) 処理フロー (シングル送信モード時)

図13 - 28 マスタ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAP0n = 0, CKP0n = 0)



備考 n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))
 p : CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))

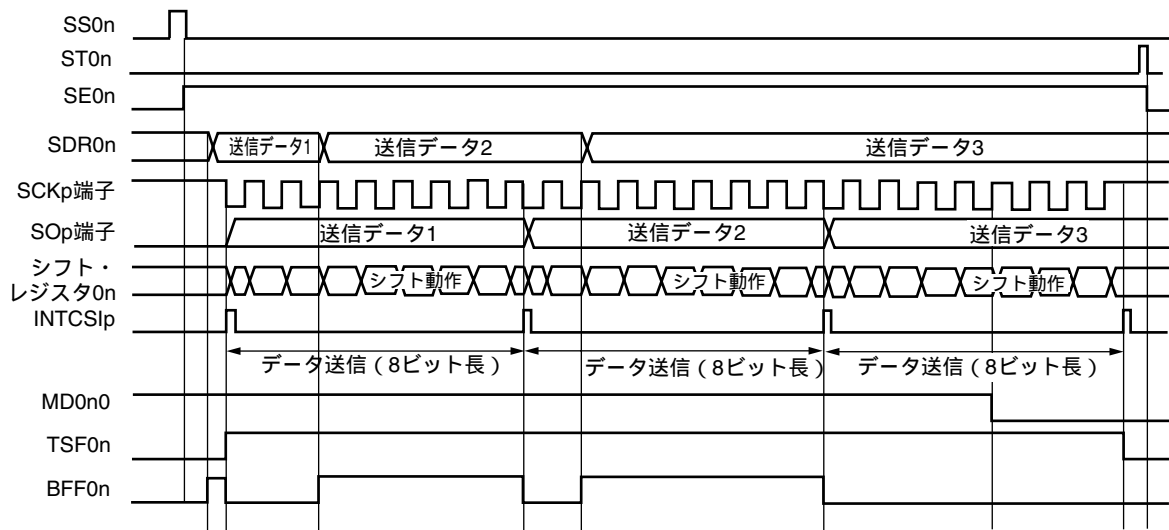
図13 - 29 マスタ送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(4) 処理フロー（連続送信モード時）

図13 - 30 マスタ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



(注)

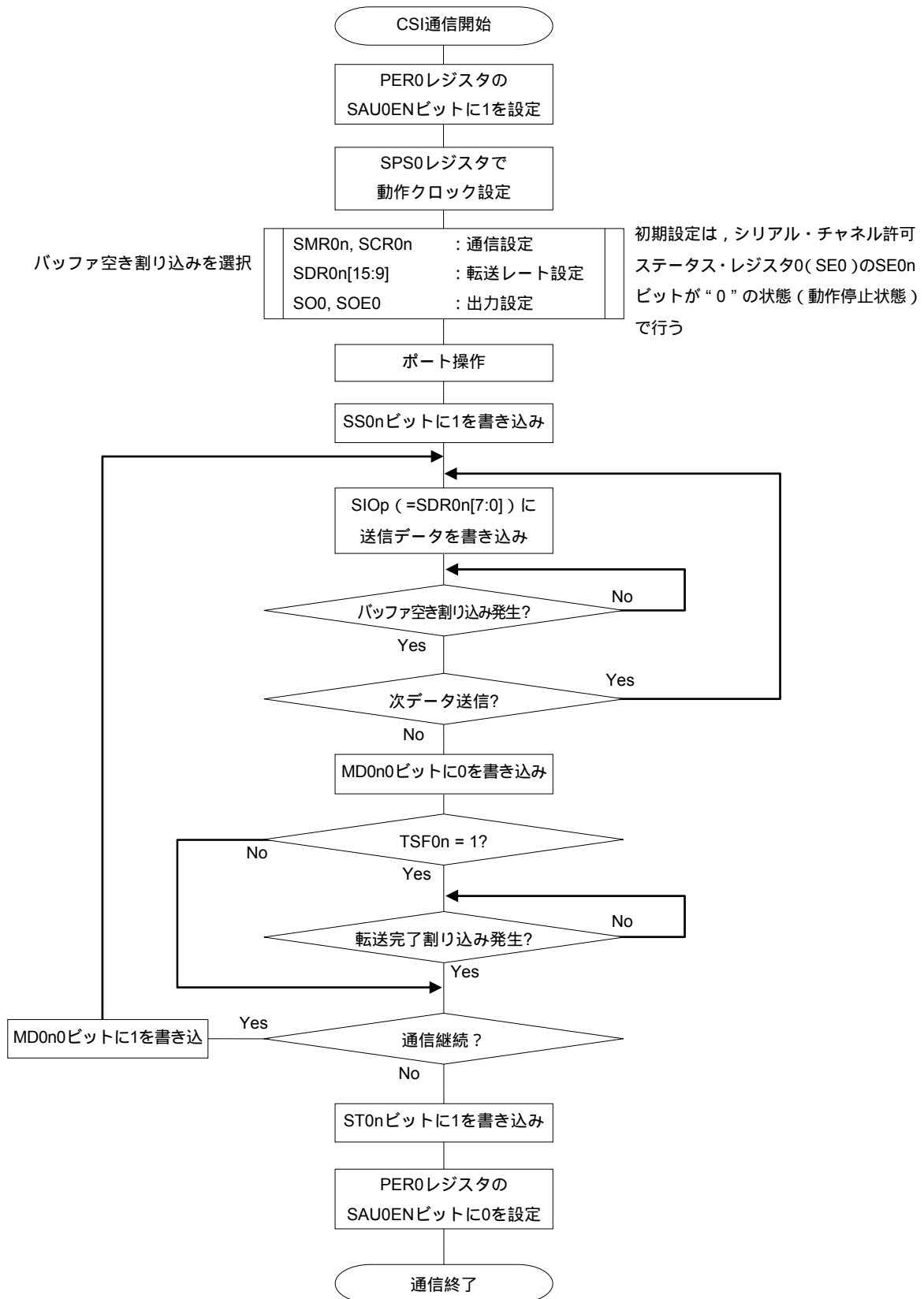
注 シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0n) に格納されているとき）にSDR0nレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ0n (SMR0n) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 n：チャンネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

図13 - 31 マスタ送信（連続送信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

備考 図中の ~ は、図13 - 30 マスタ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

13.5.2 マスタ受信

マスタ受信とは、この78K0R/Ix3が転送クロックを出力し、78K0R/Ix3が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00 ^{注1}	CSI01 ^{注1}	CSI10
対象チャンネル	SAUのチャンネル0	SAUのチャンネル1	SAUのチャンネル2
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10
割り込み	INTCSI00	INTCSI01	INTCSI10
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^{注2} f_{CLK} : システム・クロック周波数		
データ位相	SCR0nレジスタのDAP0nビットにより選択可能 <ul style="list-style-type: none"> ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始 		
クロック位相	SCR0nレジスタのCKP0nビットにより選択可能 <ul style="list-style-type: none"> ・ CKP0n = 0の場合：正転 ・ CKP0n = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

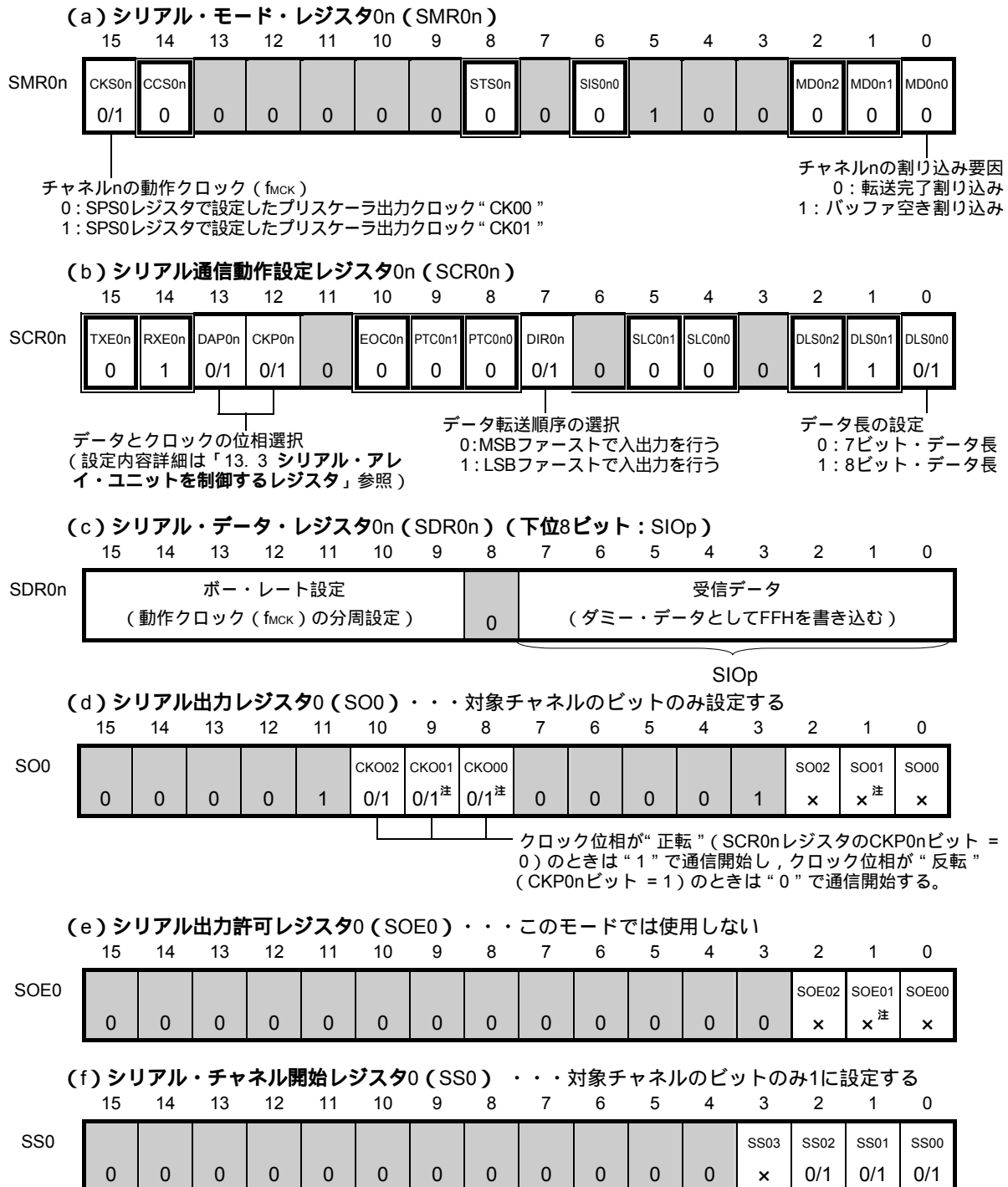
注1. 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3のみ

2. この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 n：チャンネル番号（n = 2（78K0R/IB3，78K0R/IC3の38ピン製品），n = 0-2（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3））

(1) レジスタ設定

図13 - 32 3線シリアルI/O (CSI00^注, CSI01^注, CSI10) のマスタ受信時のレジスタ設定内容例



注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n: チャンネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

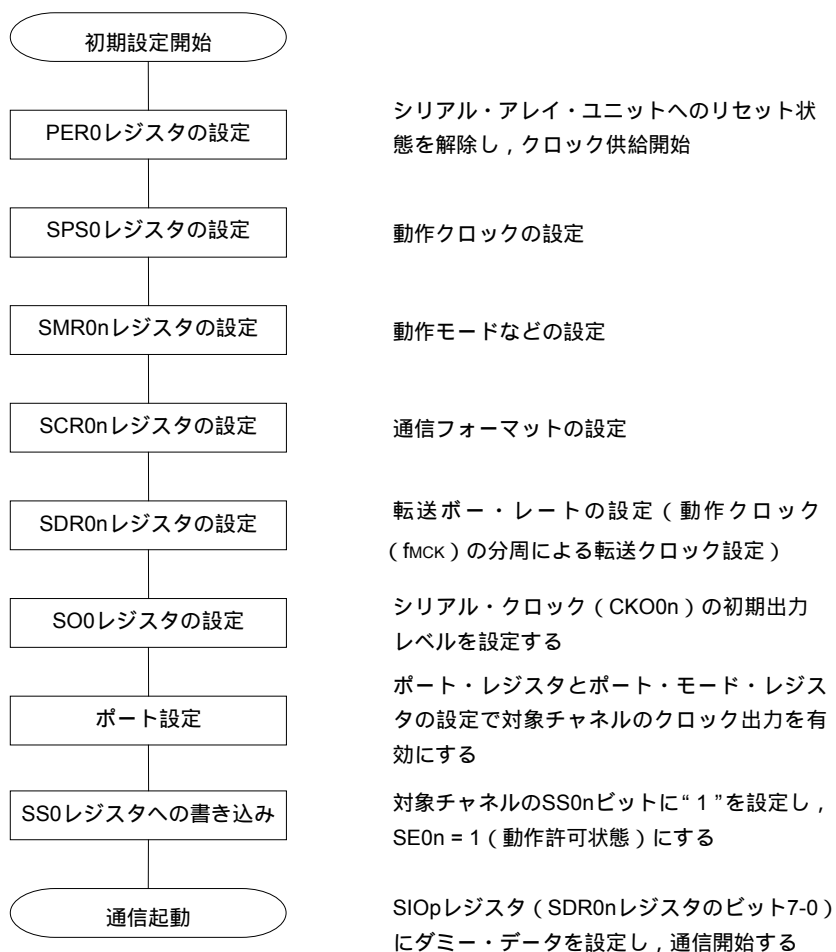
□: CSIマスタ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

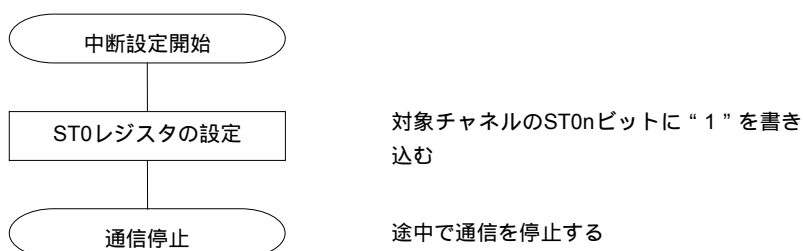
(2) 操作手順

図13 - 33 マスタ受信の初期設定手順



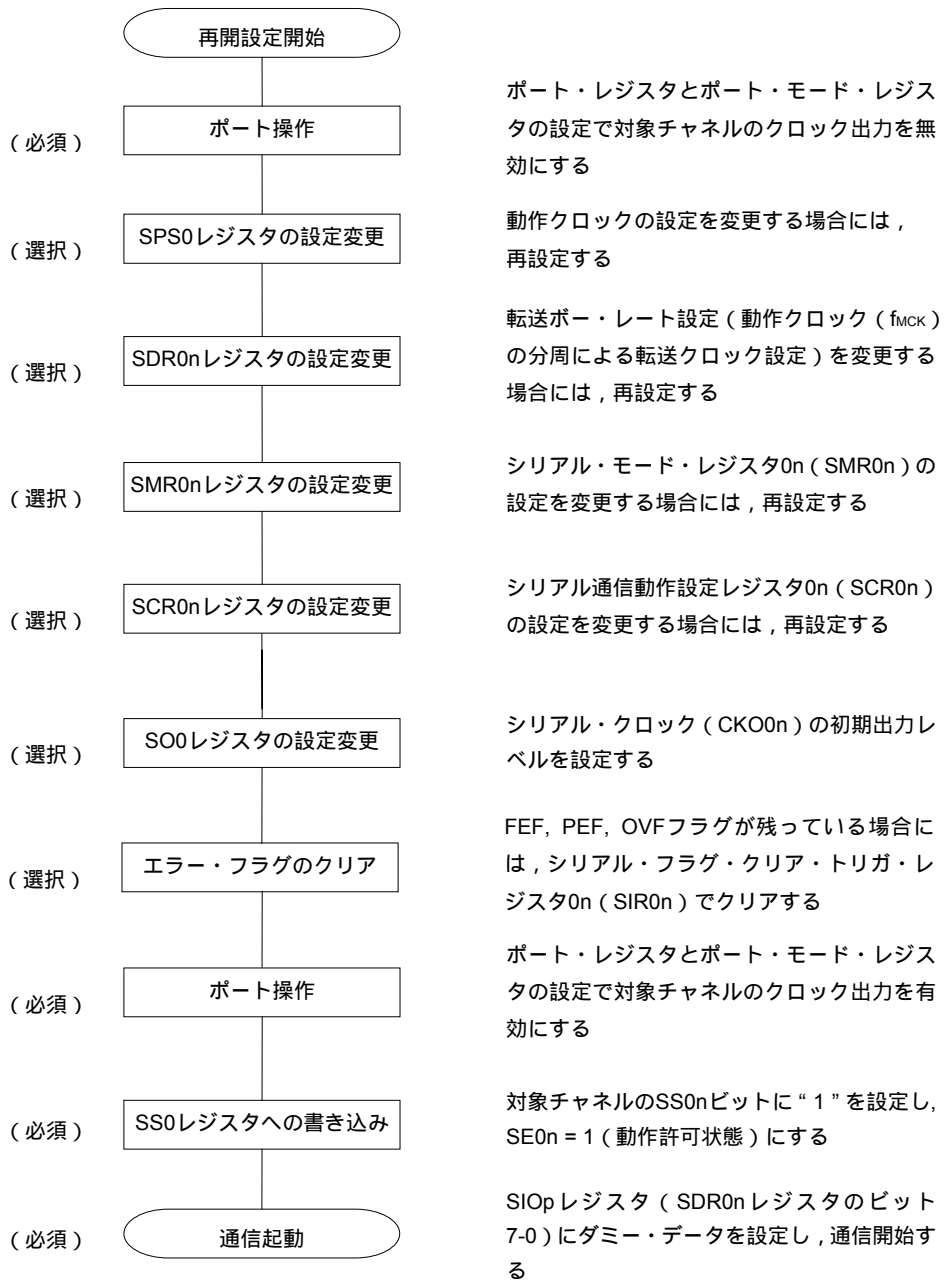
注意 周辺イネーブル・レジスタ0（PER0）のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0（SPS0）を設定してください。

図13 - 34 マスタ受信の中断手順



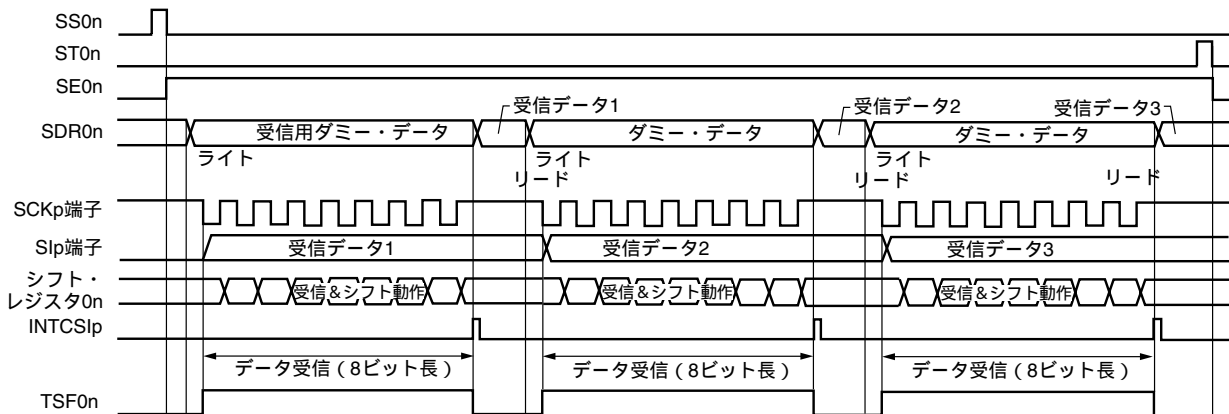
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ0（SO0）を再設定してください（図13 - 35 マスタ受信の再開設定手順参照）。

図13 - 35 マスタ受信の再開設定手順



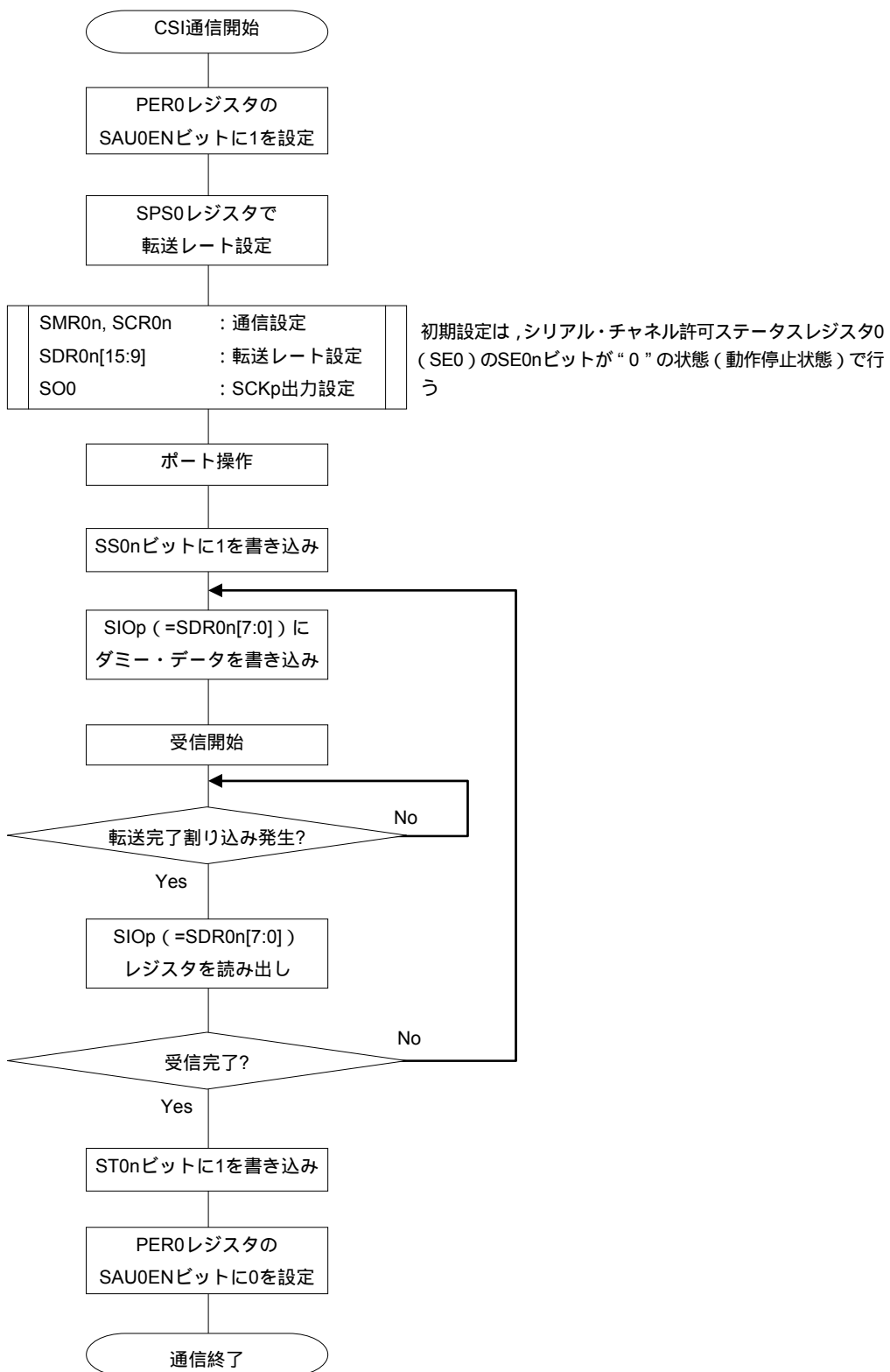
(3) 処理フロー (シングル受信モード時)

図13 - 36 マスタ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAP0n = 0, CKP0n = 0)



備考 n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))
 p : CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))

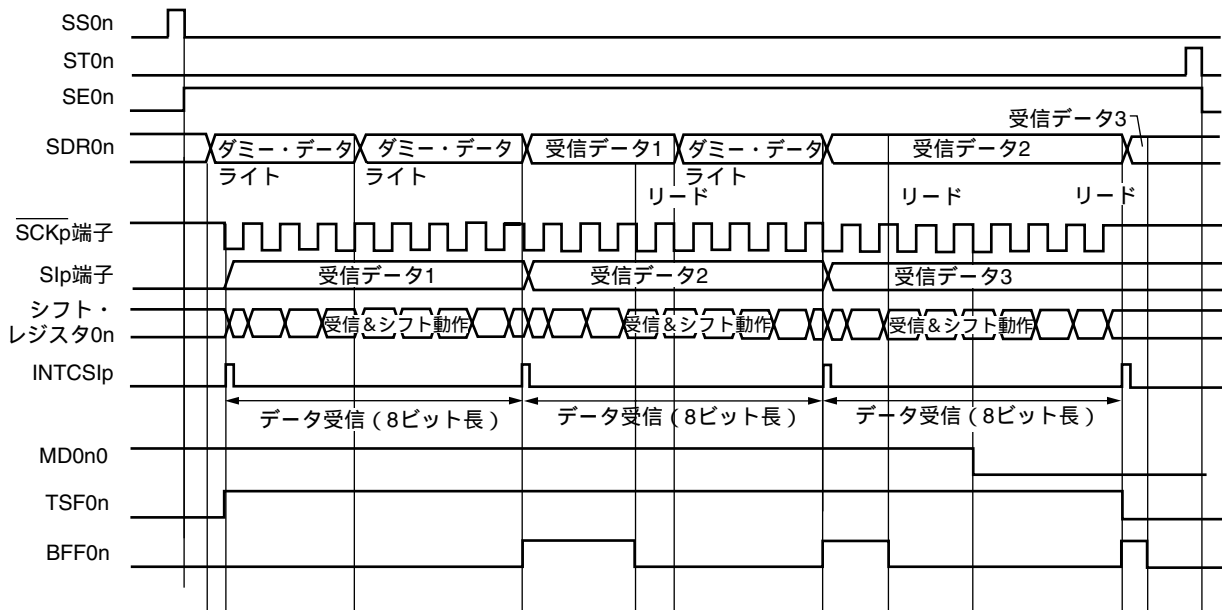
図13 - 37 マスタ受信 (シングル受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(4) 処理フロー（連続受信モード時）

図13 - 38 マスタ受信（連続受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）

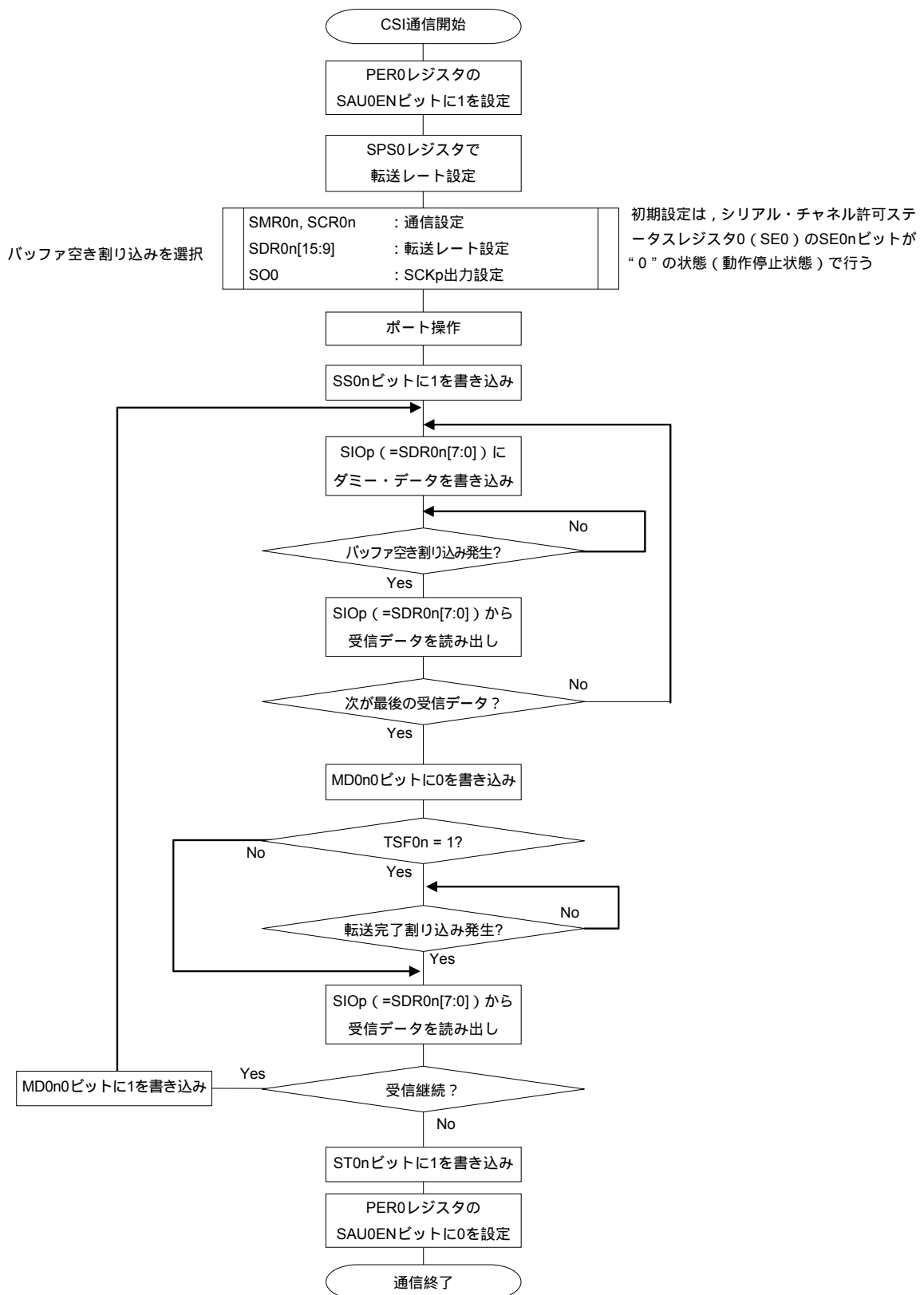


注意 シリアル・モード・レジスタ0n (SMR0n) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の受信データの転送完了割り込みに間に合わせるために、最終ビットの受信開始前までに書き換えてください。

備考1. 図中の ~ は、図13 - 39 マスタ受信（連続受信モード時）のフロー・チャートの ~ に対応しています。

2. n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))
- p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

図13 - 39 マスタ受信 (連続受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

備考 図中の ~ は、図13 - 38 マスタ受信 (連続受信モード時) のタイミング・チャートの ~ に対応しています。

13.5.3 マスタ送受信

マスタ送受信とは、この78K0R/lx3が転送クロックを出力し、78K0R/lx3と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00 ^{注1}	CSI01 ^{注1}	CSI10
対象チャンネル	SAUのチャンネル0	SAUのチャンネル1	SAUのチャンネル2
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10
割り込み	INTCSI00	INTCSI01	INTCSI10
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{CLK}/4$ [Hz], Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [Hz] ^{注2} f_{CLK} : システム・クロック周波数		
データ位相	SCR0nレジスタのDAP0nビットにより選択可能 <ul style="list-style-type: none"> ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 		
クロック位相	SCR0nレジスタのCKP0nビットにより選択可能 <ul style="list-style-type: none"> ・ CKP0n = 0の場合：正転 ・ CKP0n = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

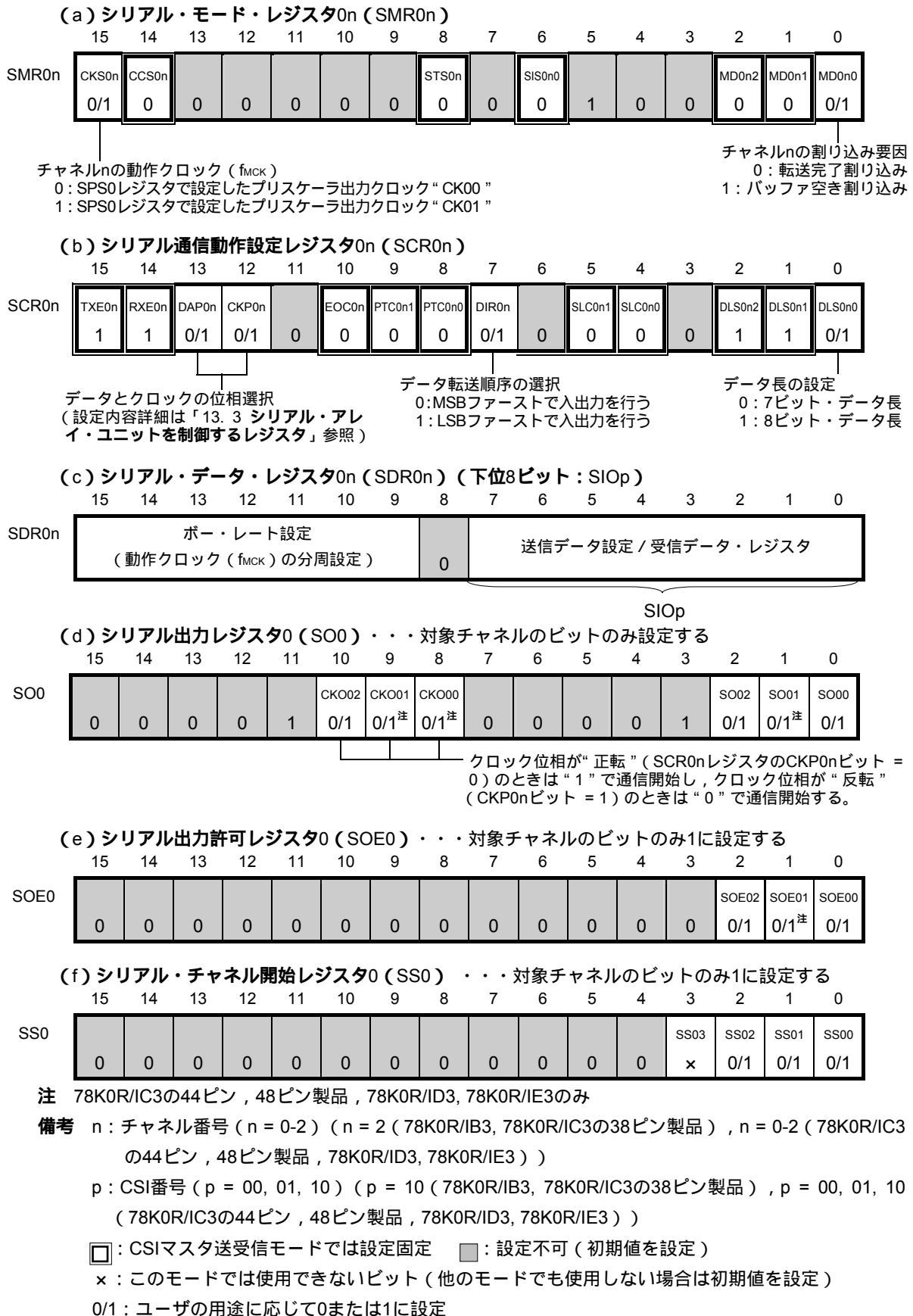
注1. 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3のみ

2. この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 n：チャンネル番号（n = 2（78K0R/IB3，78K0R/IC3の38ピン製品），n = 0-2（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3））

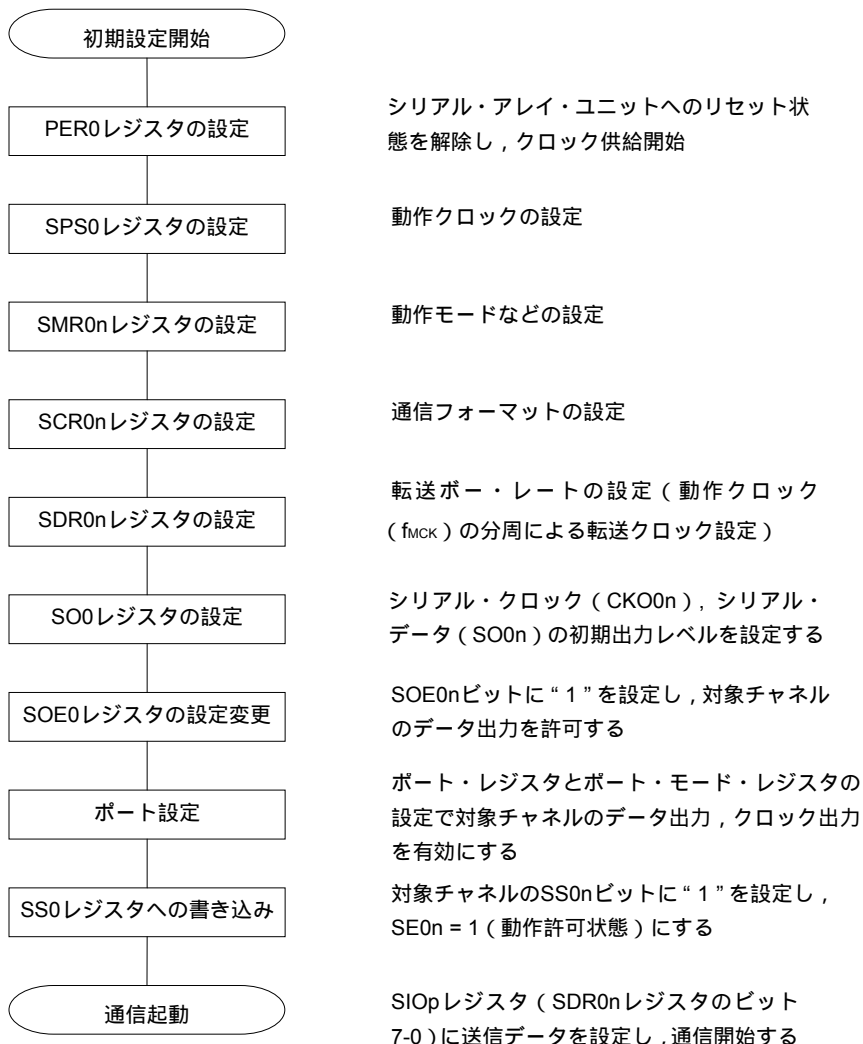
(1) レジスタ設定

図13-40 3線シリアルI/O (CSI00^註, CSI01^註, CSI10) のマスタ送受信時のレジスタ設定内容例



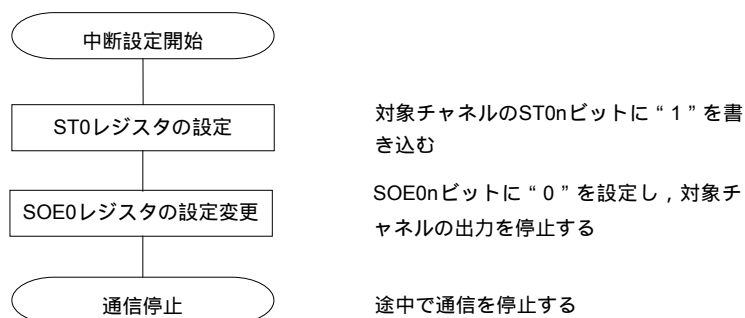
(2) 操作手順

図13 - 41 マスタ送受信の初期設定手順



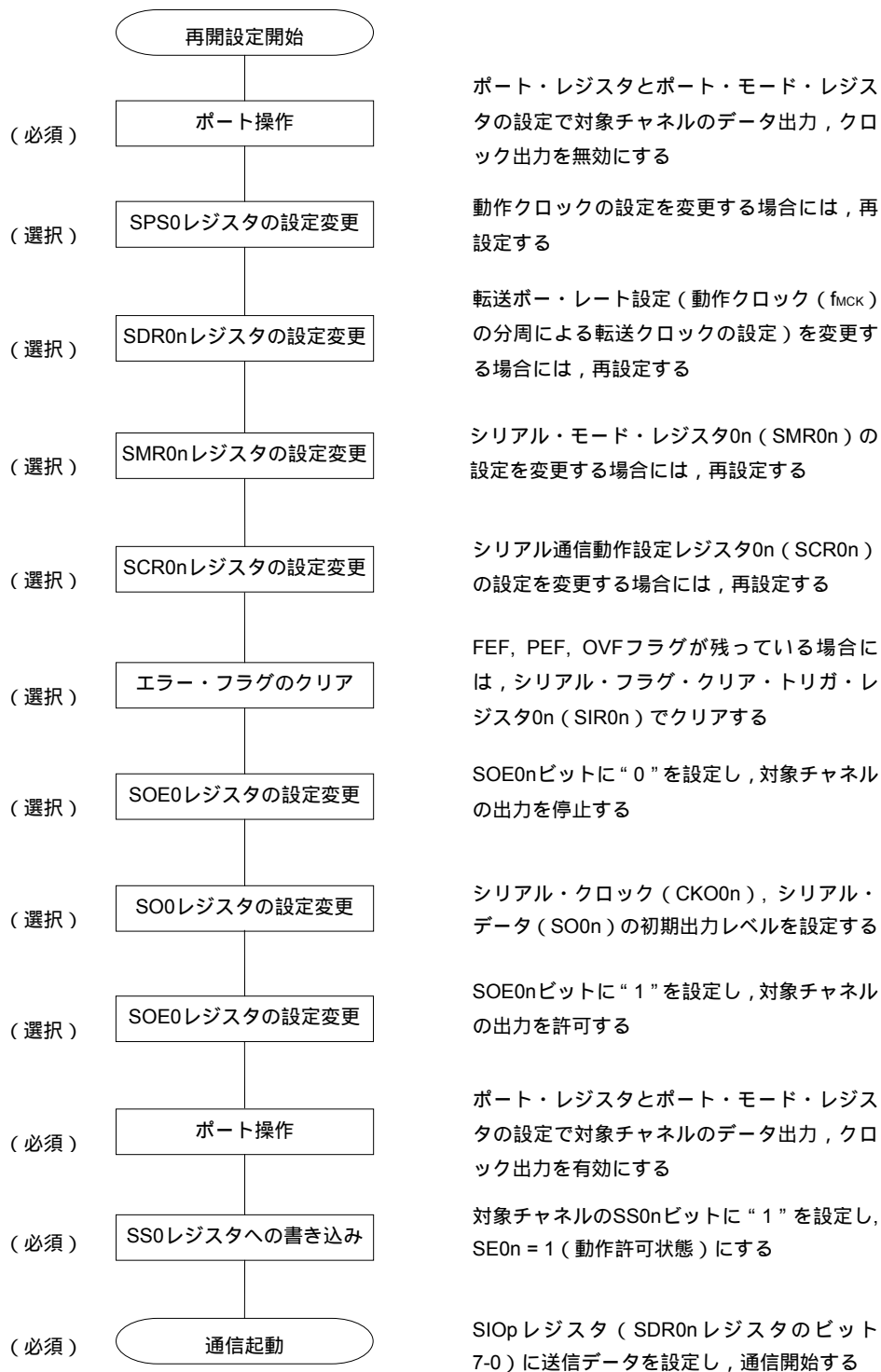
注意 周辺イネーブル・レジスタ0（PER0）のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0（SPS0）を設定してください。

図13 - 42 マスタ送受信の中断手順



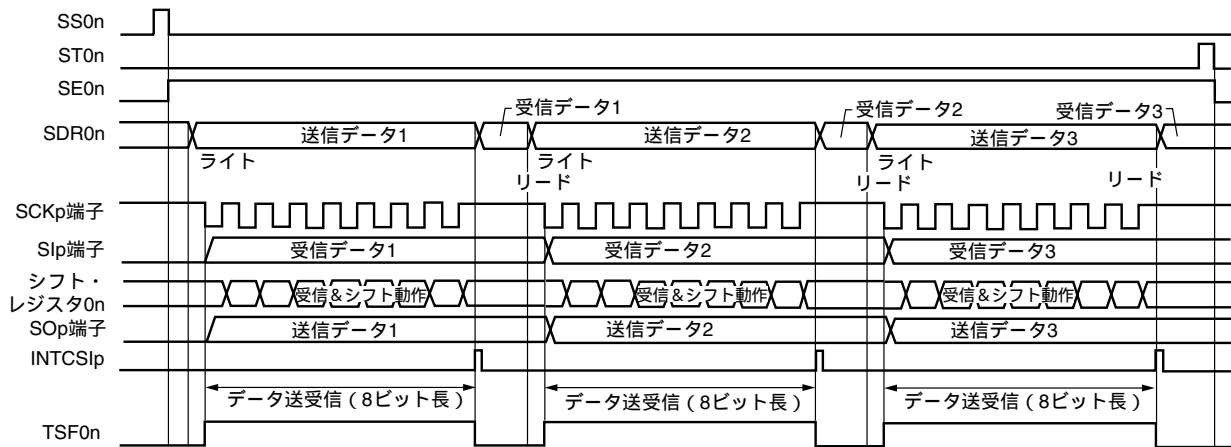
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ0（SO0）を再設定してください（図13 - 43 マスタ送受信の再開設定手順参照）。

図13 - 43 マスタ送受信の再開設定手順



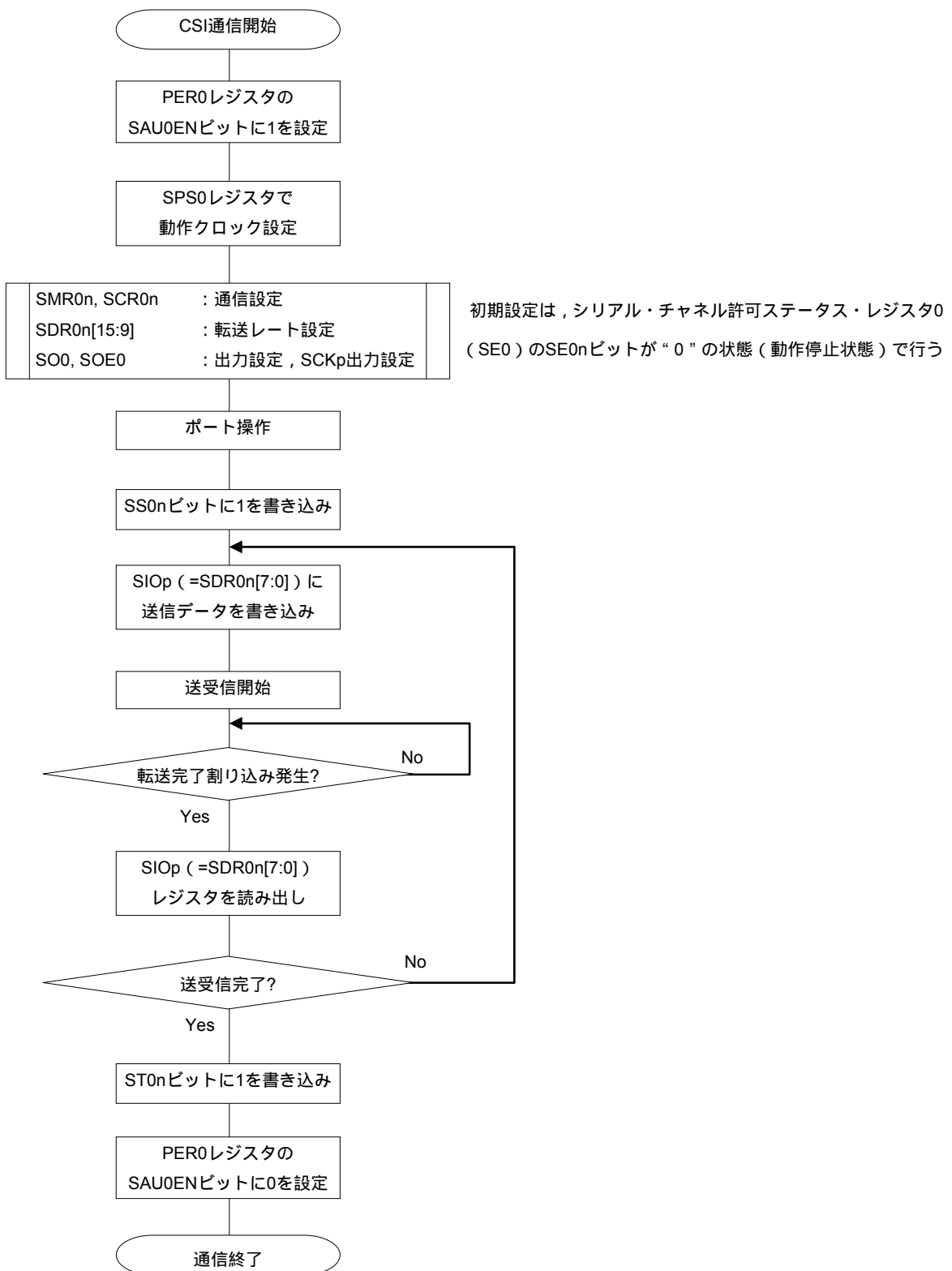
(3) 処理フロー (シングル送受信モード時)

図13 - 44 マスタ送受信 (シングル送受信モード時) のタイミング・チャート (タイプ1 : DAP0n = 0, CKP0n = 0)



備考 n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))
 p : CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))

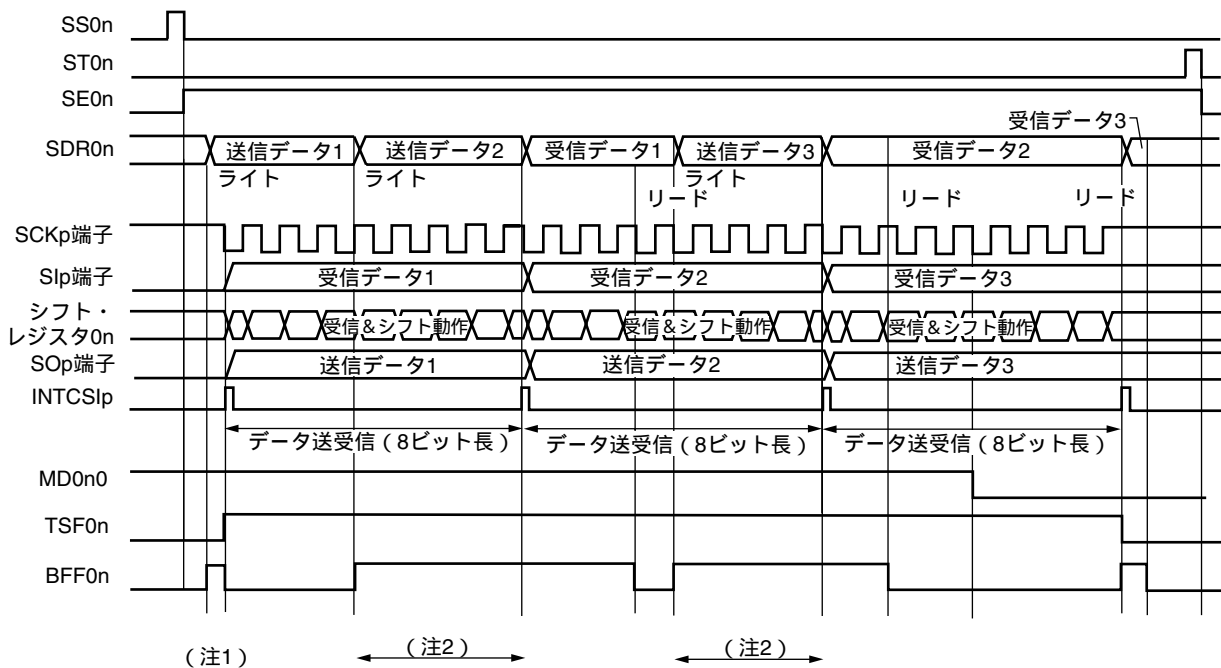
図13 - 45 マスタ送受信 (シングル送受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(4) 処理フロー（連続送受信モード時）

図13 - 46 マスタ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）

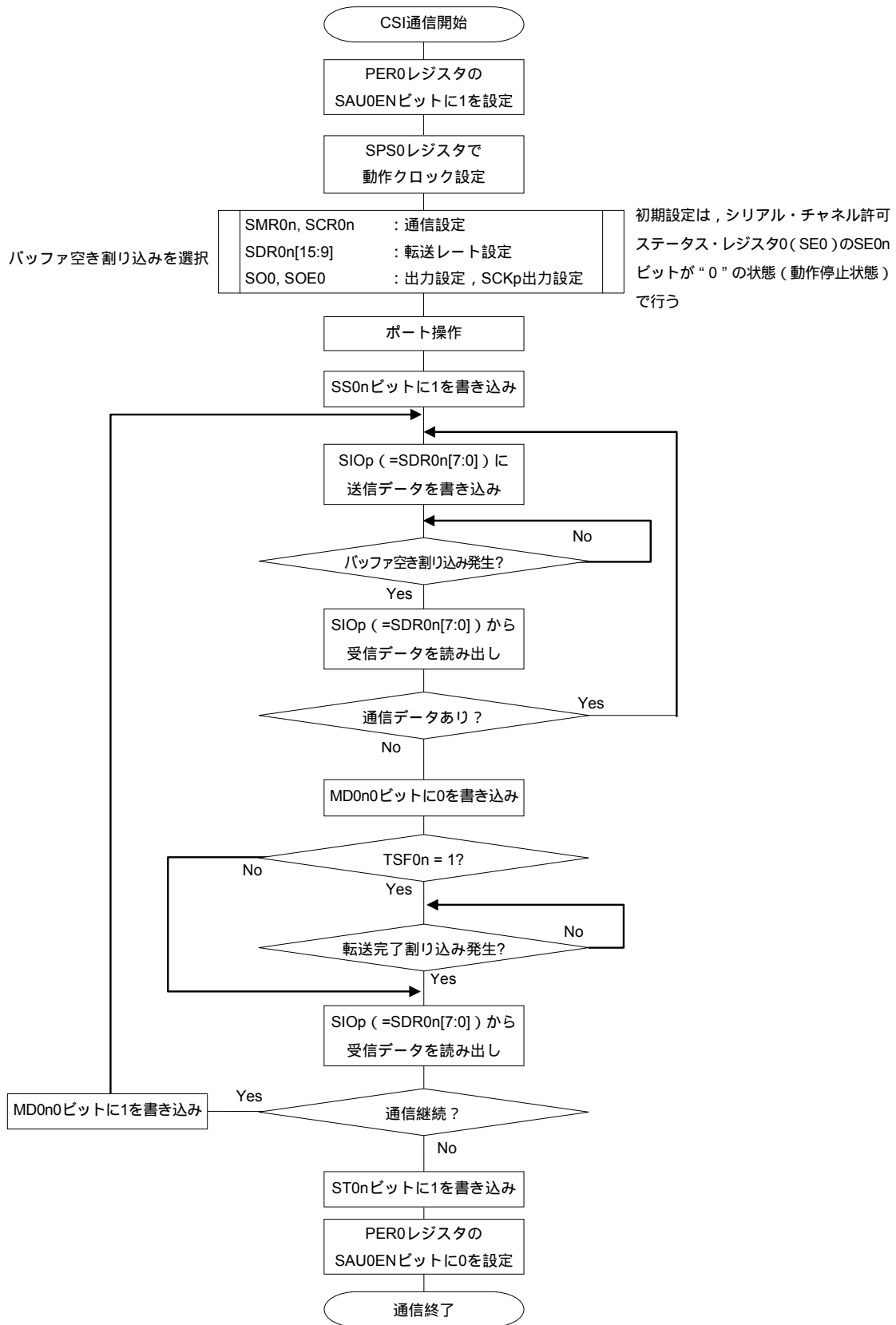


- 注1. シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0n) に格納されている時）にSDR0nレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDR0nレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ0n (SMR0n) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の ~ は、図13 - 47 マスタ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。
2. n: チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))
- p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

図13 - 47 マスタ送受信（連続送受信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを "1" に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

備考 図中の ~ は、図13 - 46 マスタ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

13.5.4 スレーブ送信

スレーブ送信とは、他デバイスから転送クロックを入力される状態で、78K0R/1x3から他デバイスヘデータを送信する動作です。

3線シリアルI/O	CSI00 ^{注1}	CSI01 ^{注1}	CSI10
対象チャンネル	SAUのチャンネル0	SAUのチャンネル1	SAUのチャンネル2
使用端子	SCK00, SO00	SCK01, SO01	SCK10, SO10
割り込み	INTCSI00	INTCSI01	INTCSI10
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注2, 3}		
データ位相	SCR0nレジスタのDAP0nビットにより選択可能 <ul style="list-style-type: none"> ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ出力を開始 		
クロック位相	SCR0nレジスタのCKP0nビットにより選択可能 <ul style="list-style-type: none"> ・ CKP0n = 0の場合：正転 ・ CKP0n = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3のみ

2. SCK00, SCK01, SCK10端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは $f_{MCK}/6$ [Hz]となります。
3. この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

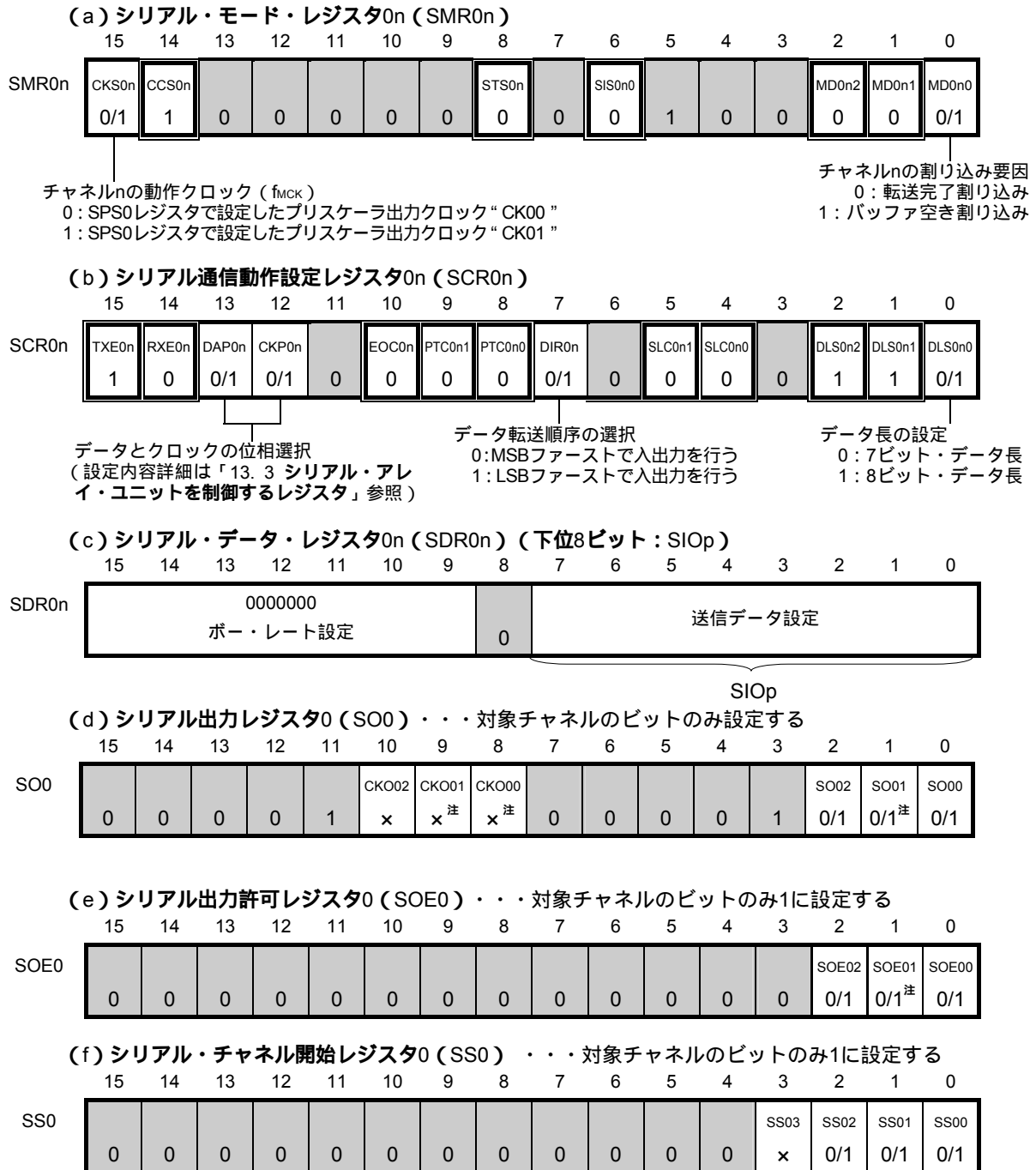
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. n：チャンネル番号（n = 2（78K0R/IB3，78K0R/IC3の38ピン製品），n = 0-2（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3））

(1) レジスタ設定

図13 - 48 3線シリアルI/O (CSI00[※], CSI01[※], CSI10) のスレーブ送信時のレジスタ設定内容例



注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n: チャンネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

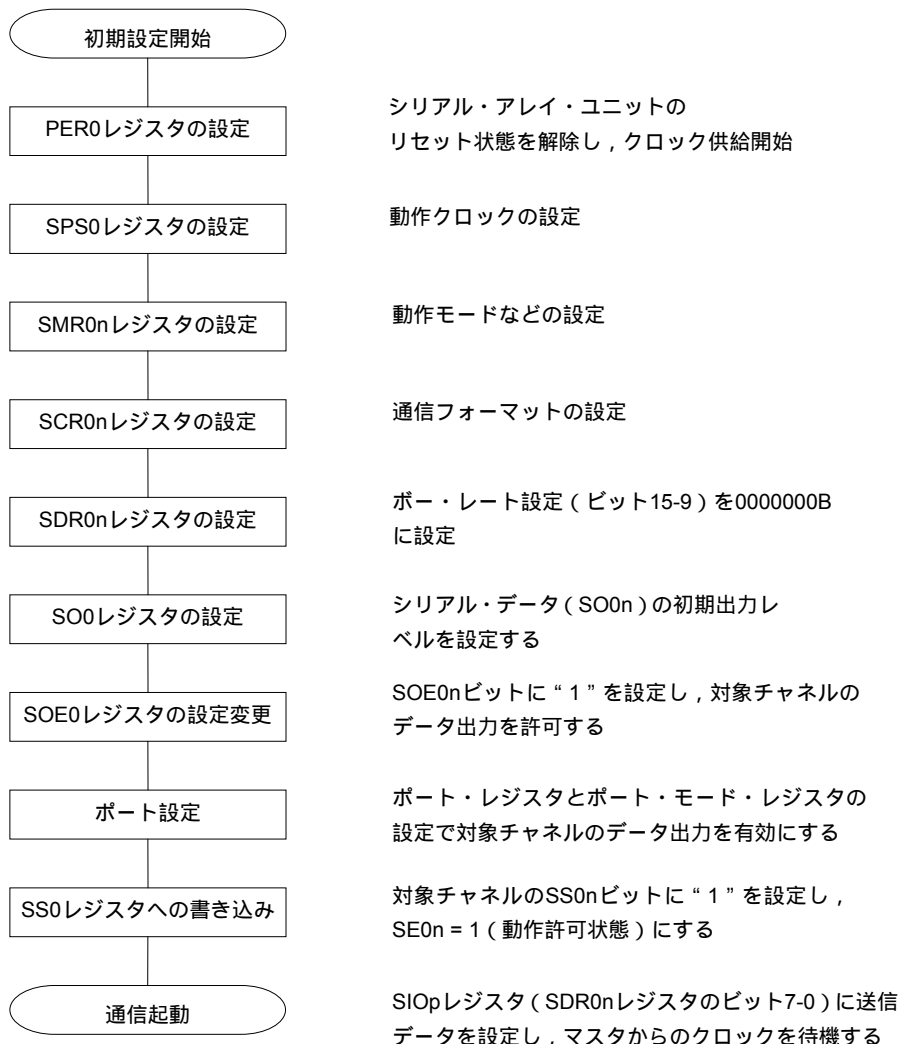
□: CSIスレーブ送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

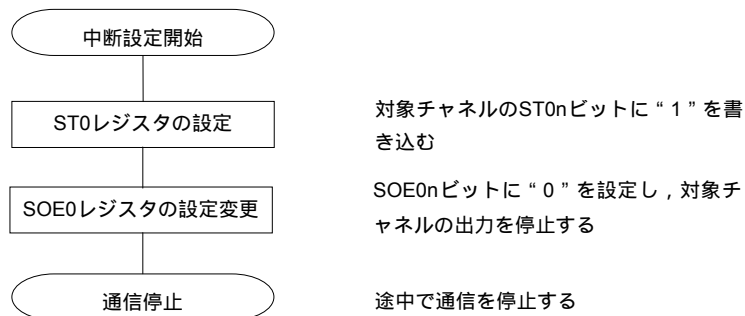
(2) 操作手順

図13 - 49 スレーブ送信の初期設定手順



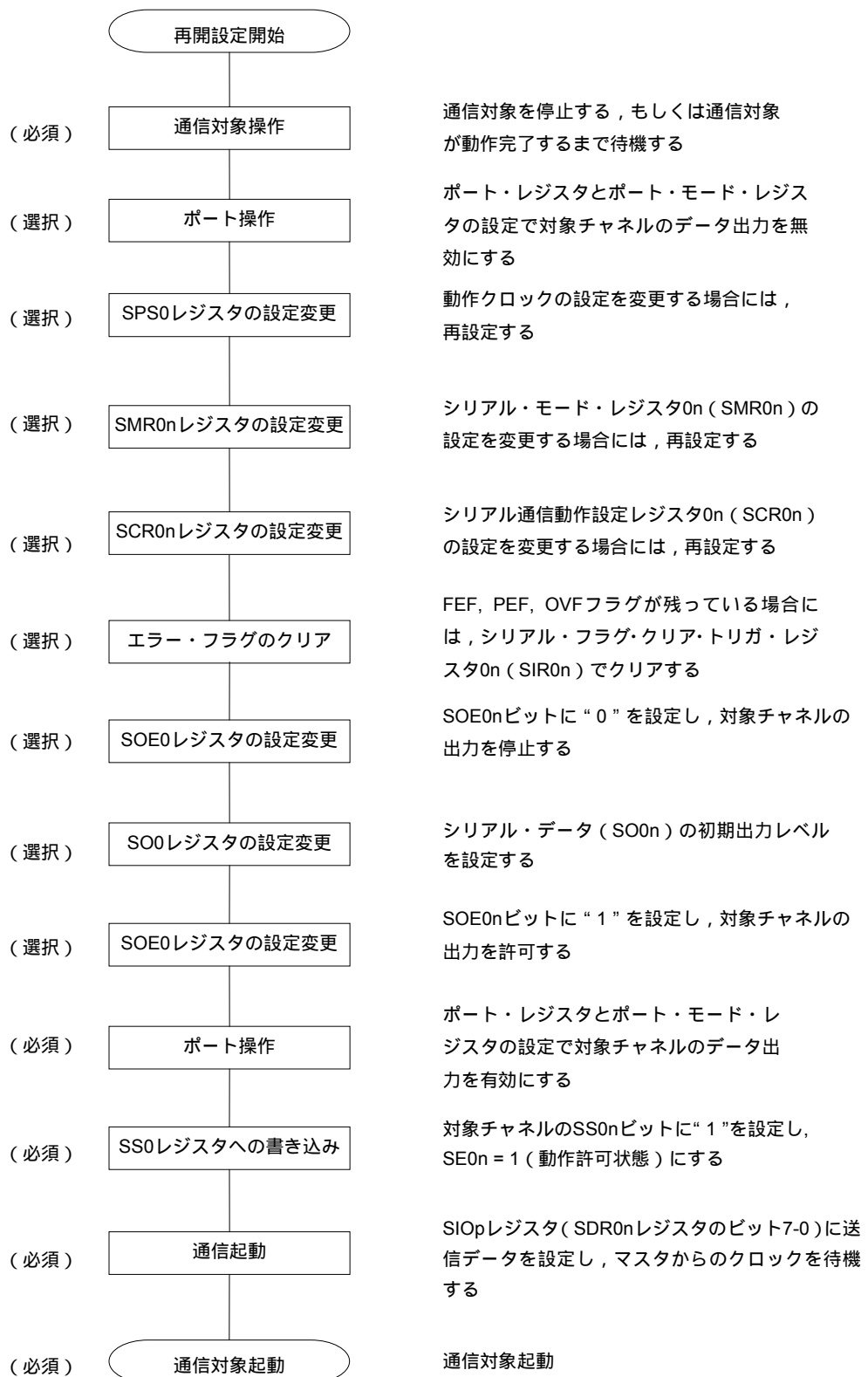
注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

図13 - 50 スレーブ送信の中断手順



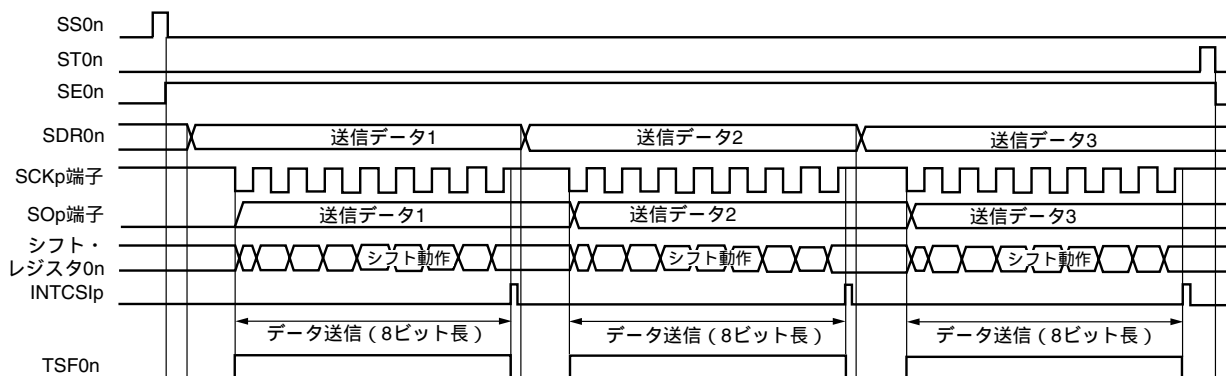
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ0 (SO0) を再設定してください (図13 - 51 スレーブ送信の再開設定手順参照)。

図13 - 51 スレーブ送信の再開設定手順



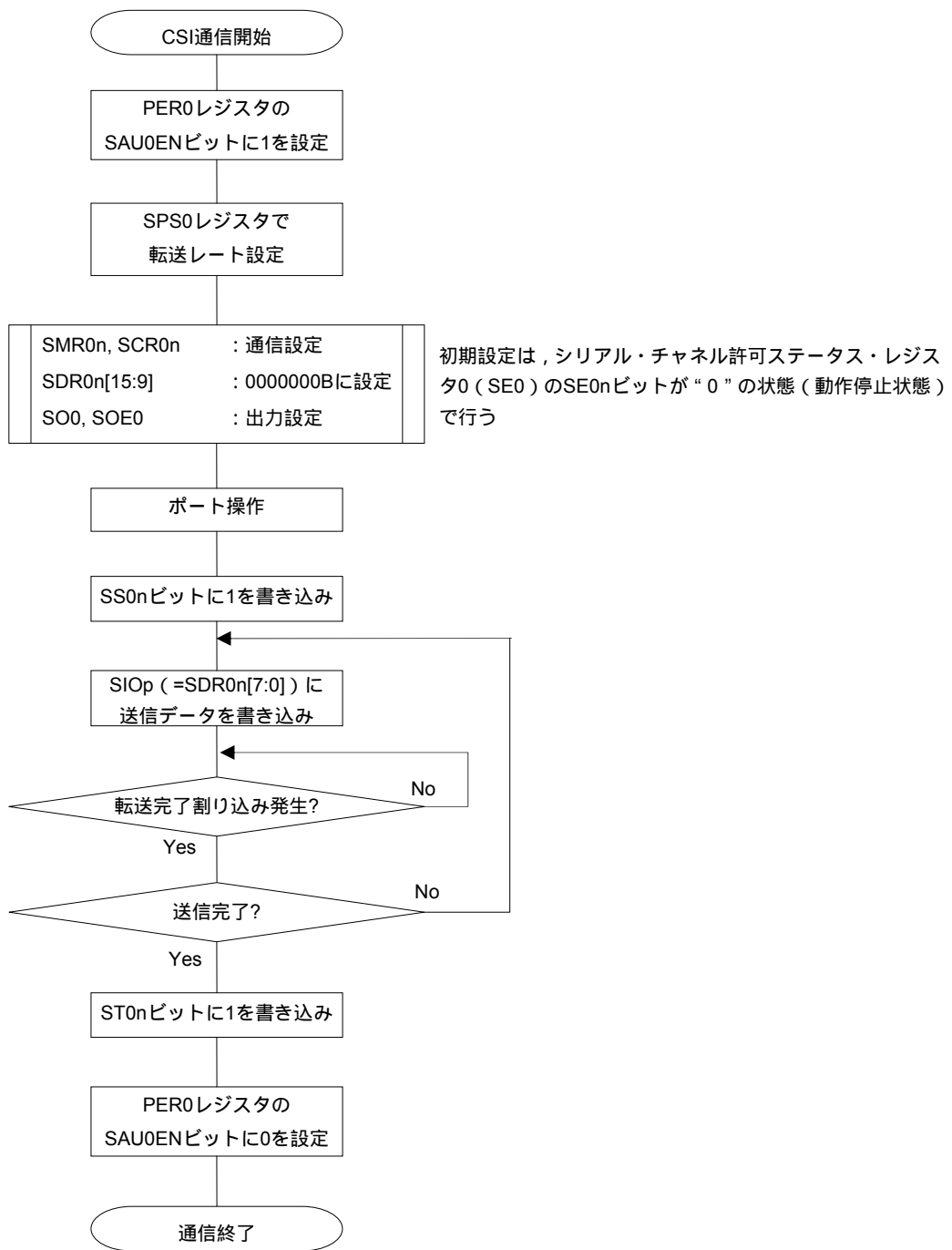
(3) 処理フロー (シングル送信モード時)

図13 - 52 スレーブ送信 (シングル送信モード時) のタイミング・チャート (タイプ1 : DAP0n = 0, CKP0n = 0)



備考 n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))
 p : CSI番号 (p = 00, 01, 10) (p = 10(78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10(78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))

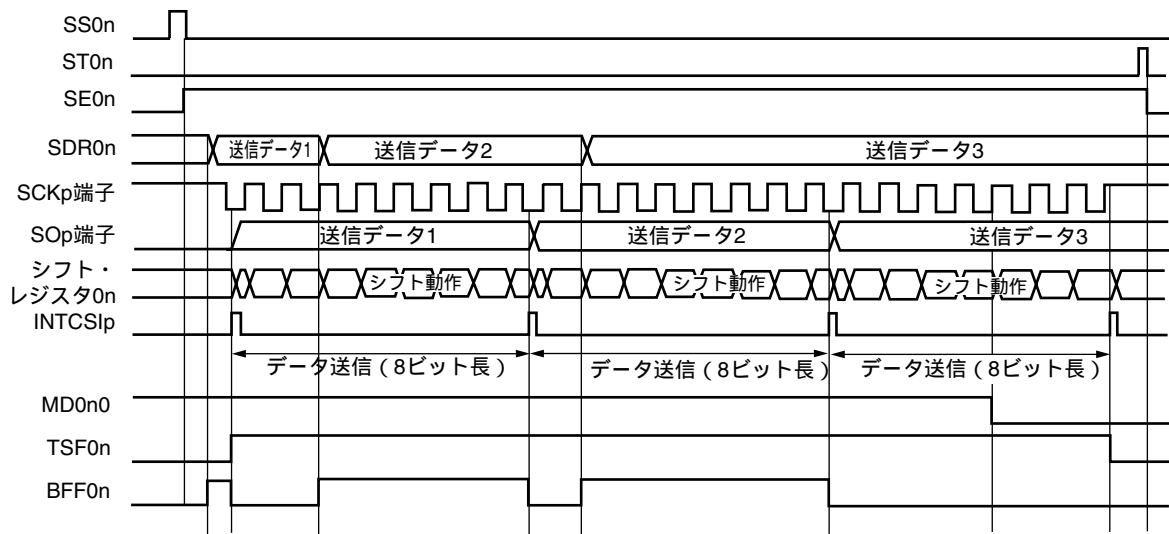
図13 - 53 スレーブ送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(4) 処理フロー（連続送信モード時）

図13 - 54 スレーブ送信（連続送信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）



(注)

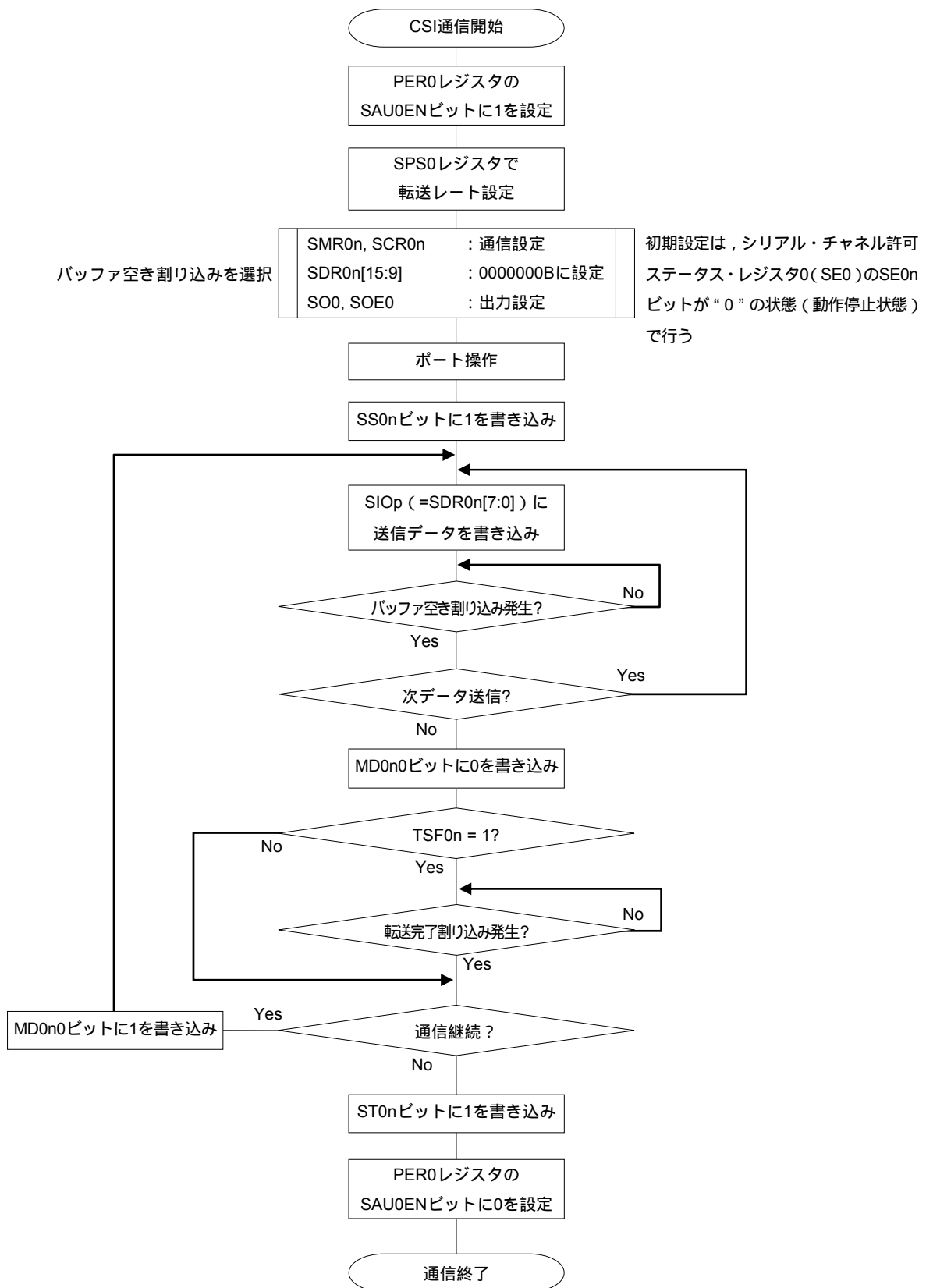
注 シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0n) に格納されているとき）にSDR0nレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ0n (SMR0n) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最終ビットの転送開始前までに書き換えてください。

備考 n：チャンネル番号（n = 0-2）（n = 2（78K0R/IB3, 78K0R/IC3の38ピン製品），n = 0-2（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3, 78K0R/IE3））

p：CSI番号（p = 00, 01, 10）（p = 10（78K0R/IB3, 78K0R/IC3の38ピン製品），p = 00, 01, 10（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3, 78K0R/IE3））

図13 - 55 スレーブ送信（連続送信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

備考 図中の ~ は、図13 - 54 スレーブ送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

13.5.5 スレーブ受信

スレーブ受信とは、他デバイスから転送クロックを入力される状態で、78K0R/1x3が他デバイスからデータを受信する動作です。

3線シリアルI/O	CSI00 ^{注1}	CSI01 ^{注1}	CSI10
対象チャンネル	SAUのチャンネル0	SAUのチャンネル1	SAUのチャンネル2
使用端子	SCK00, SI00	SCK01, SI01	SCK10, SI10
割り込み	INTCSI00	INTCSI01	INTCSI10
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注2,3}		
データ位相	SCR0nレジスタのDAP0nビットにより選択可能 ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入力を開始		
クロック位相	SCR0nレジスタのCKP0nビットにより選択可能 ・ CKP0n = 0の場合：正転 ・ CKP0n = 1の場合：反転		
データ方向	MSBファーストまたはLSBファースト		

注1. 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3のみ

2. SCK00, SCK01, SCK10端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは $f_{MCK}/6$ [Hz]となります。
3. この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

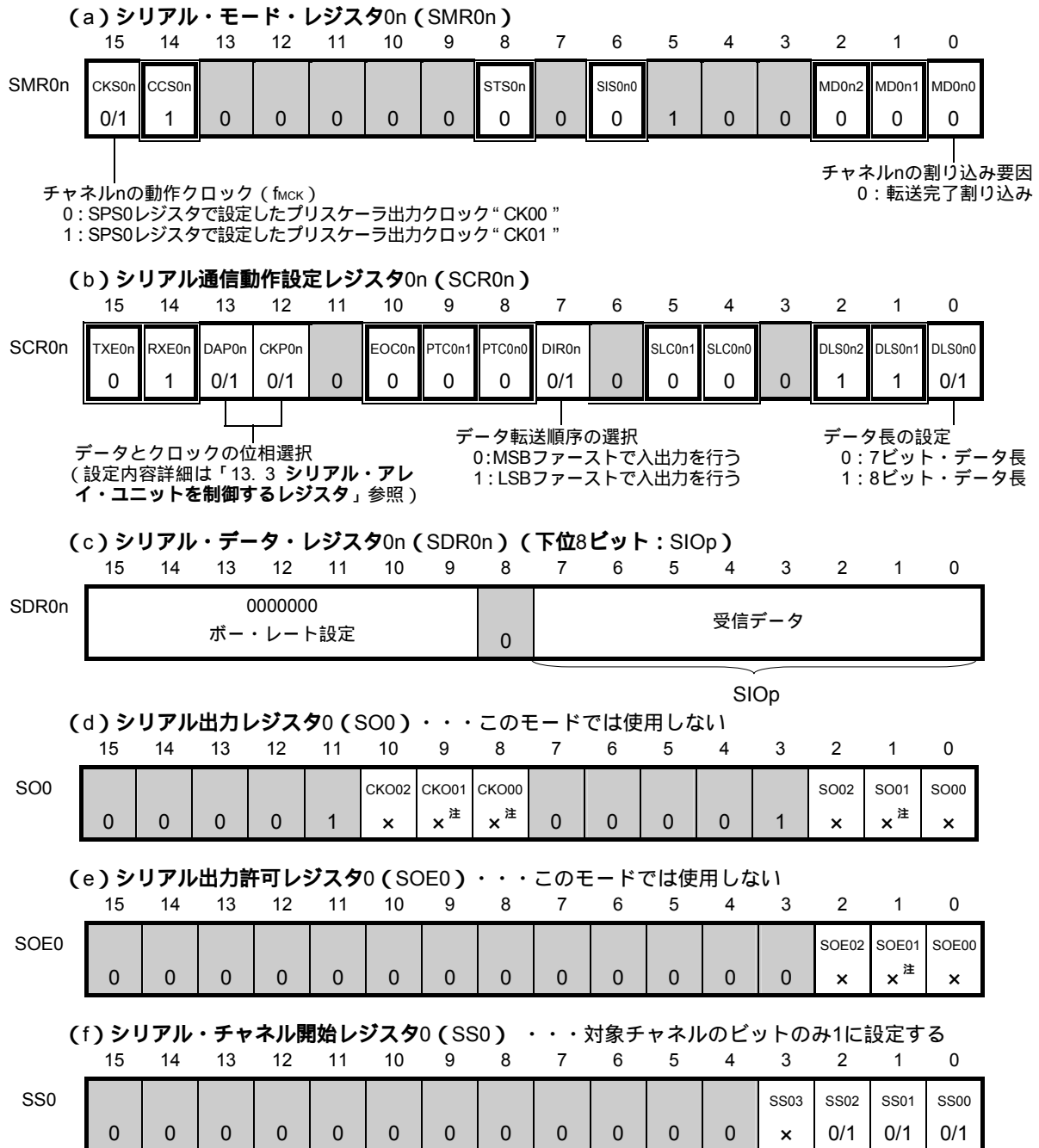
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. n：チャンネル番号（n = 2（78K0R/IB3，78K0R/IC3の38ピン製品）n = 0-2（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3））

(1) レジスタ設定

図13 - 56 3線シリアルI/O (CSI00^注, CSI01^注, CSI10) のスレーブ受信時のレジスタ設定内容例



注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n: チャンネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

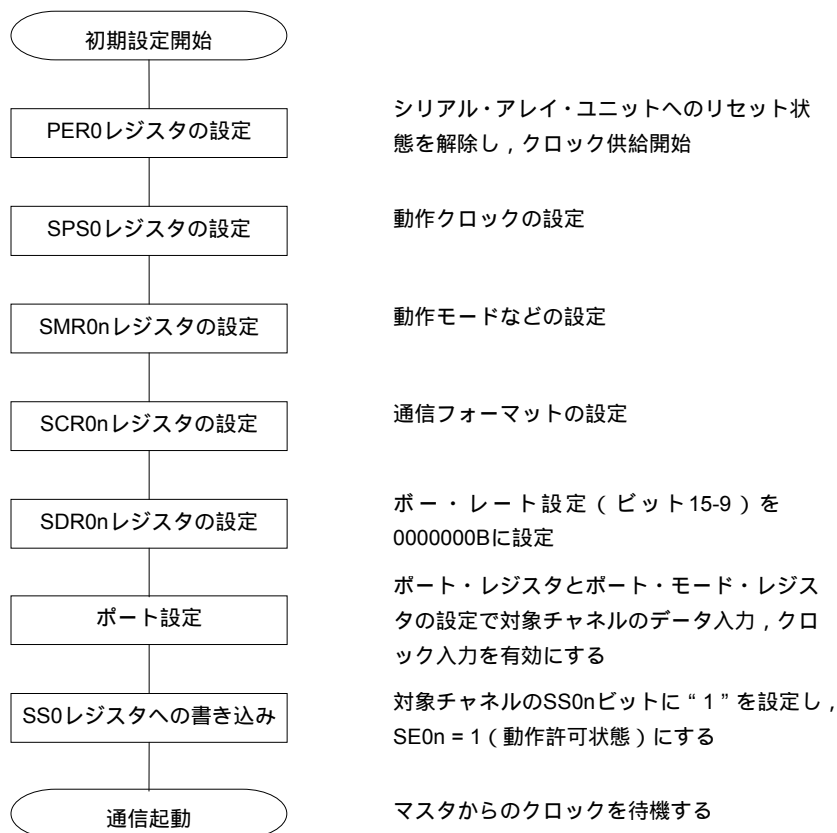
□: CSIスレーブ受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 57 スレーブ受信の初期設定手順



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

図13 - 58 スレーブ受信の中断手順

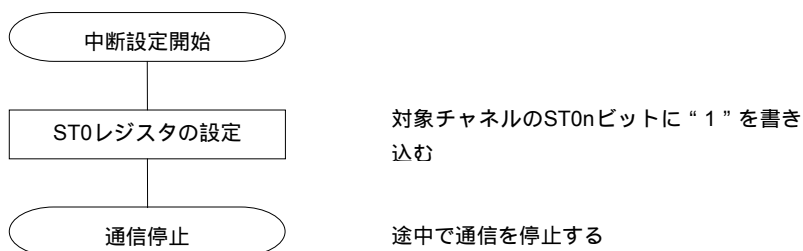
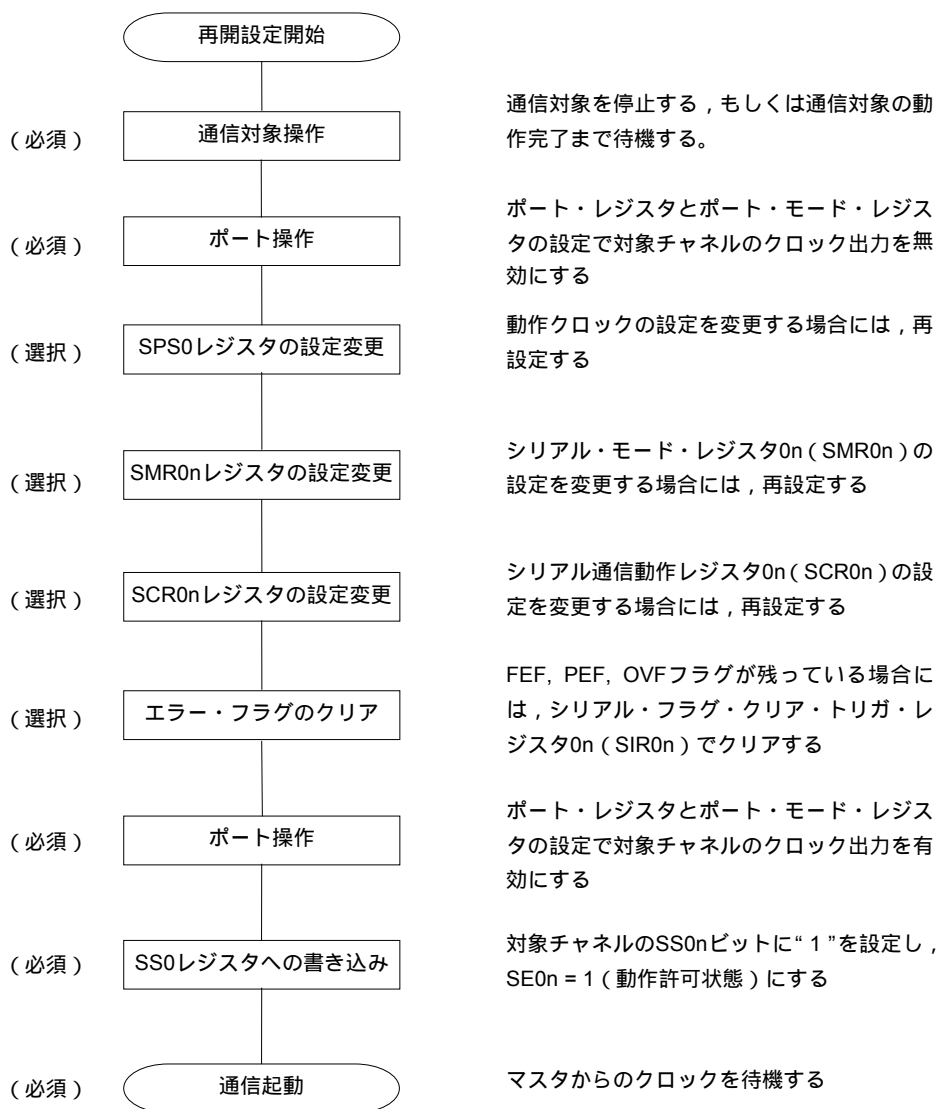
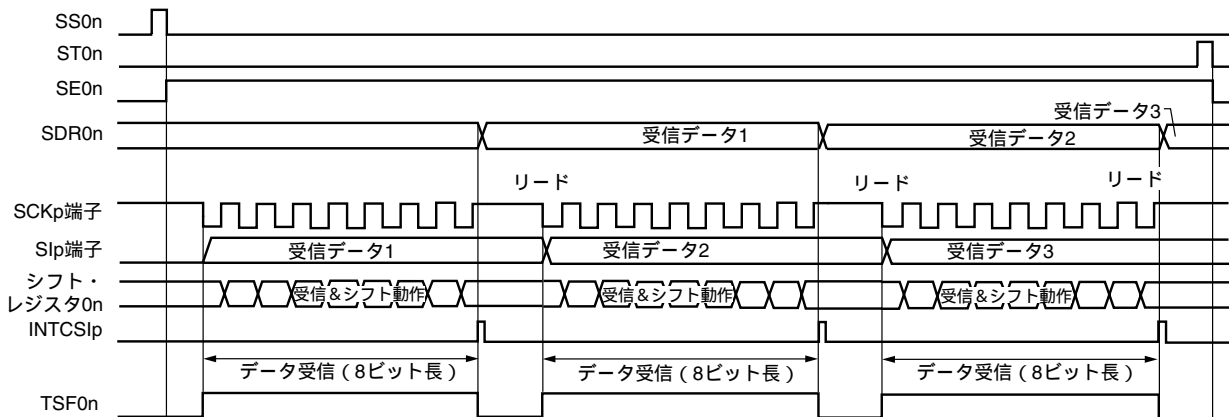


図13 - 59 スレーブ受信の再開設定手順



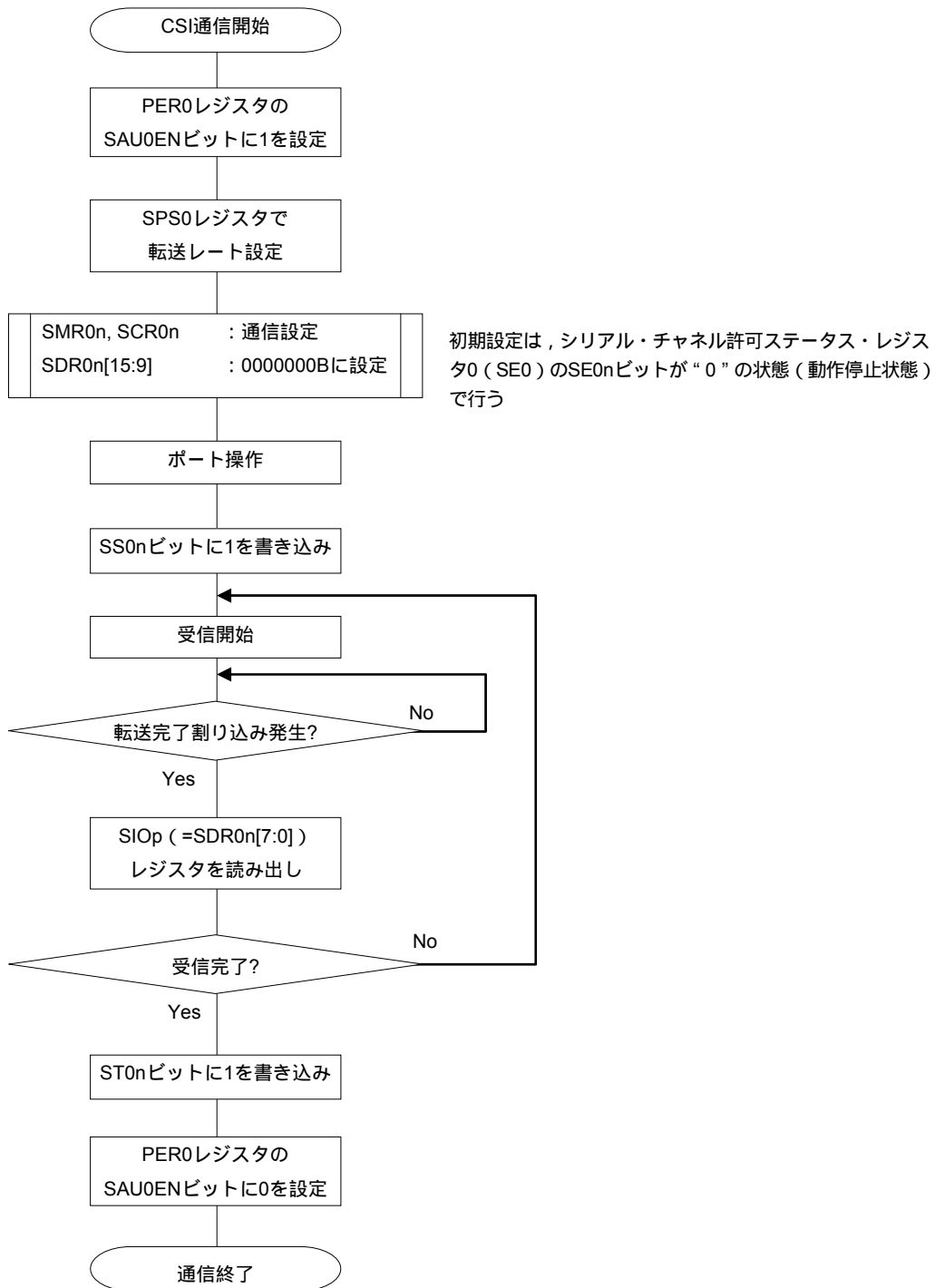
(3) 処理フロー (シングル受信モード時)

図13 - 60 スレーブ受信 (シングル受信モード時) のタイミング・チャート (タイプ1 : DAP0n = 0, CKP0n = 0)



備考 n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))
 p : CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))

図13 - 61 スレーブ受信 (シングル受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

13.5.6 スレーブ送受信

スレーブ送受信とは、他デバイスから転送クロックを入力される状態で、78K0R/IX3と他デバイスでデータを送受信する動作です。

3線シリアルI/O	CSI00 ^{注1}	CSI01 ^{注1}	CSI10
対象チャンネル	SAUのチャンネル0	SAUのチャンネル1	SAUのチャンネル2
使用端子	SCK00, SI00, SO00	SCK01, SI01, SO01	SCK10, SI10, SO10
割り込み	INTCSI00	INTCSI01	INTCSI10
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能		
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF0n）のみ		
転送データ長	7ビットまたは8ビット		
転送レート	Max. $f_{MCK}/6$ [Hz] ^{注2, 3}		
データ位相	SCR0nレジスタのDAP0nビットにより選択可能 <ul style="list-style-type: none"> ・ DAP0n = 0の場合：シリアル・クロックの動作開始からデータ入出力を開始 ・ DAP0n = 1の場合：シリアル・クロック動作開始の半クロック前からデータ入出力を開始 		
クロック位相	SCR0nレジスタのCKP0nビットにより選択可能 <ul style="list-style-type: none"> ・ CKP0n = 0の場合：正転 ・ CKP0n = 1の場合：反転 		
データ方向	MSBファーストまたはLSBファースト		

注1. 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3

2. SCK00, SCK01, SCK10端子に入力された外部シリアル・クロックは，内部でサンプリングして使用されるため，最大転送レートは $f_{MCK}/6$ [Hz]となります。
3. この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

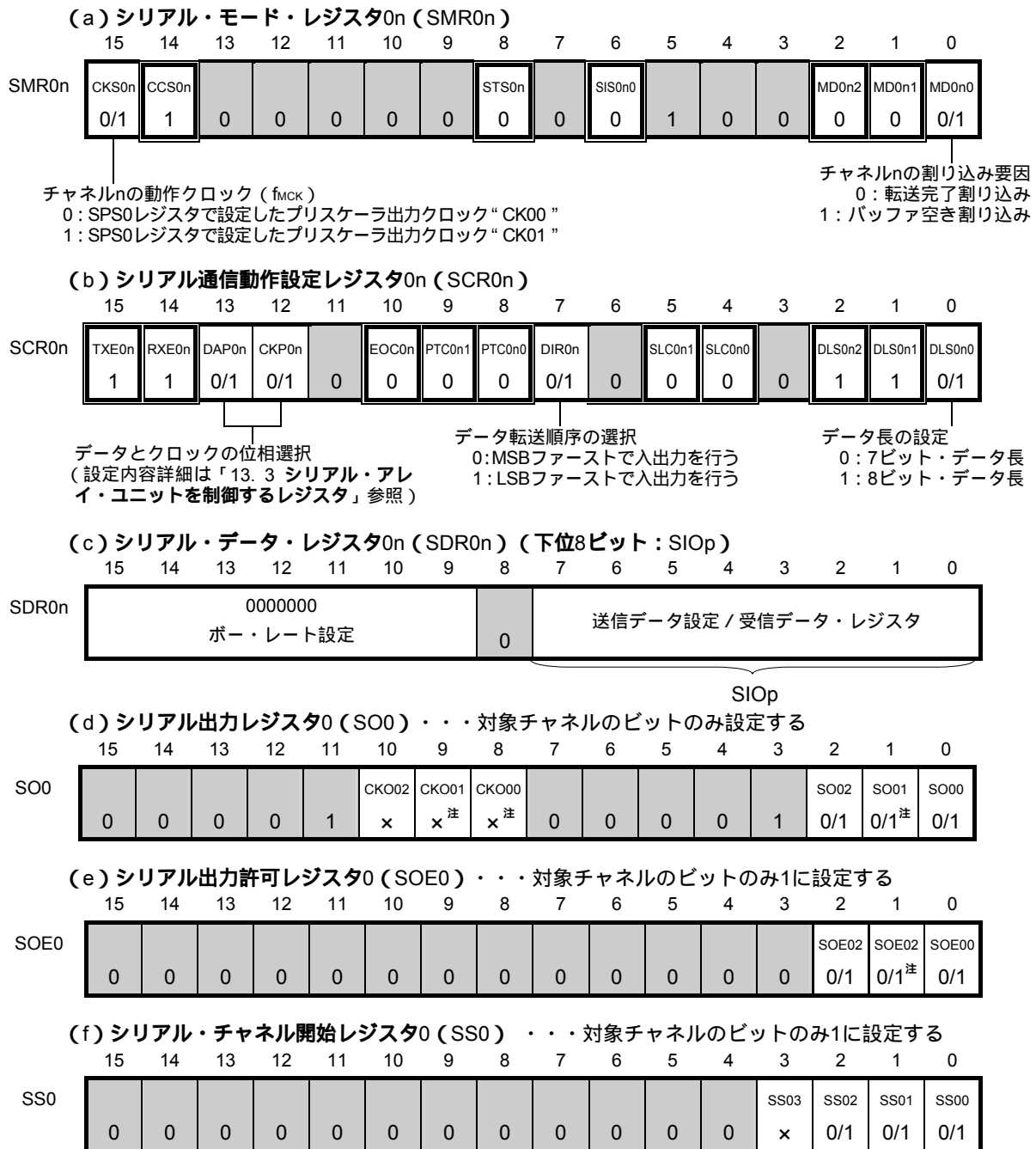
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. n：チャンネル番号（n = 2（78K0R/IB3，78K0R/IC3の38ピン製品），n = 0-2（78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3））

(1) レジスタ設定

図13 - 62 3線シリアルI/O (CSI00^注, CSI01^注, CSI10) のスレーブ送受信時のレジスタ設定内容例



注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n: チャンネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

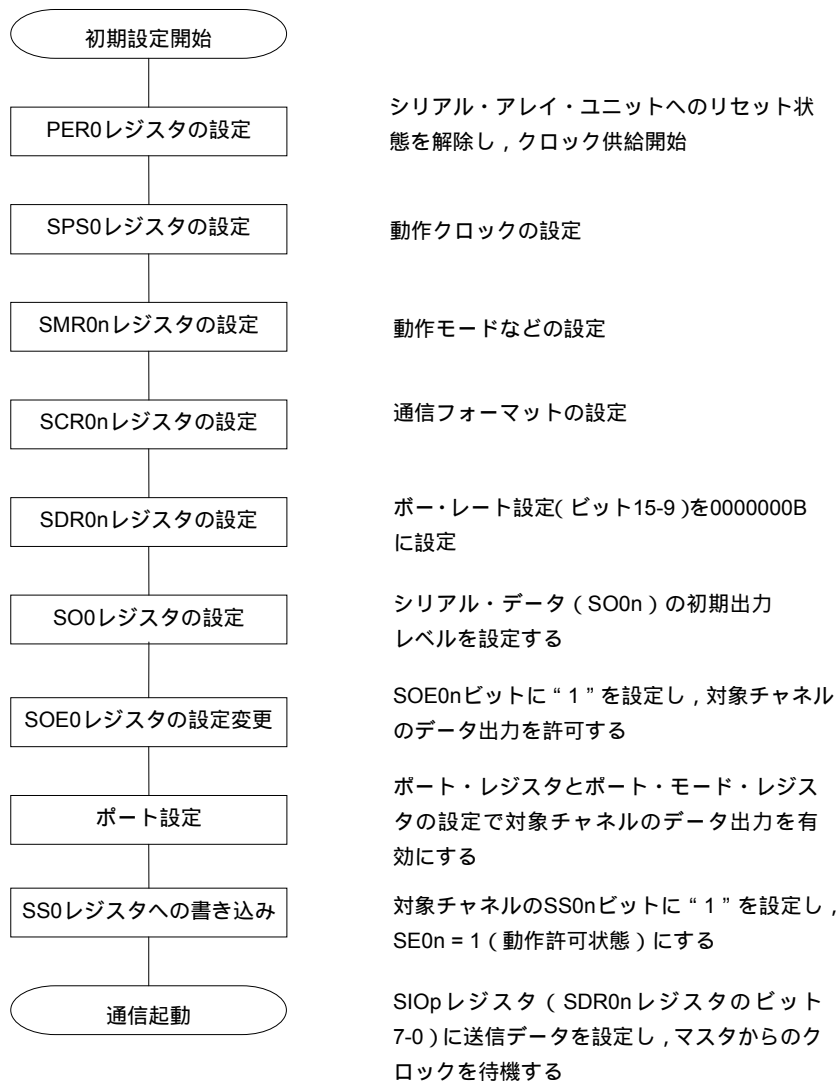
□: CSIスレーブ送受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

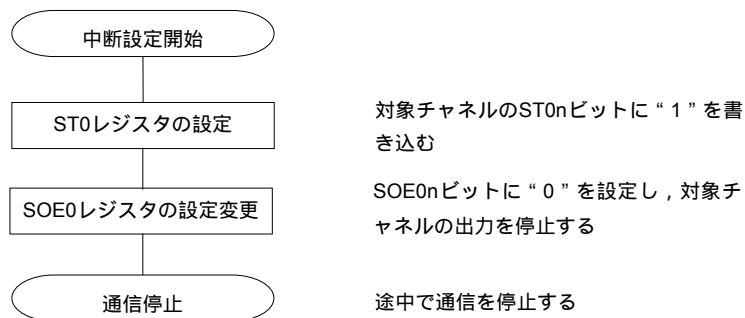
(2) 操作手順

図13 - 63 スレーブ送受信の初期設定手順



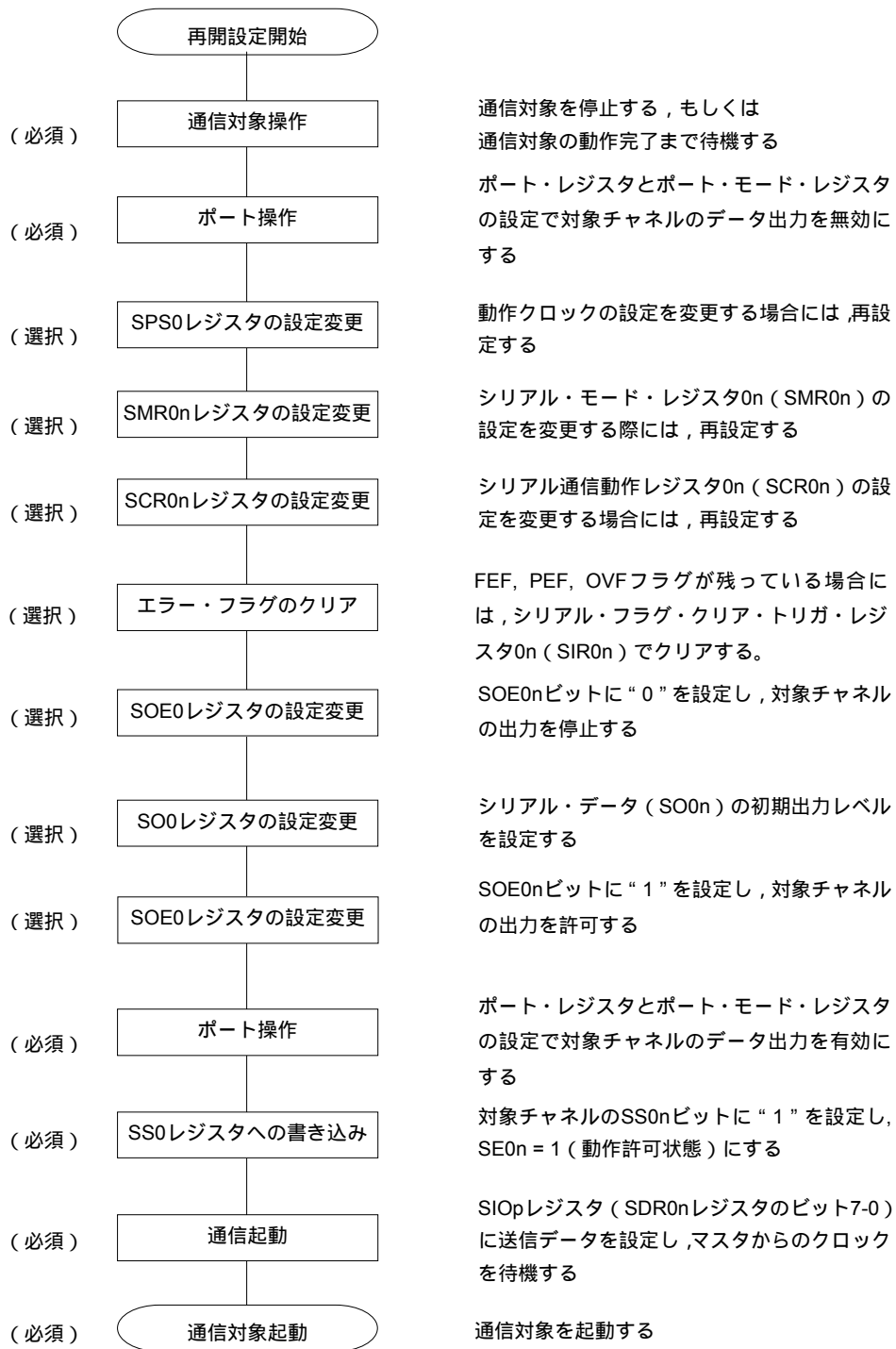
注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

図13 - 64 スレーブ送受信の中断手順



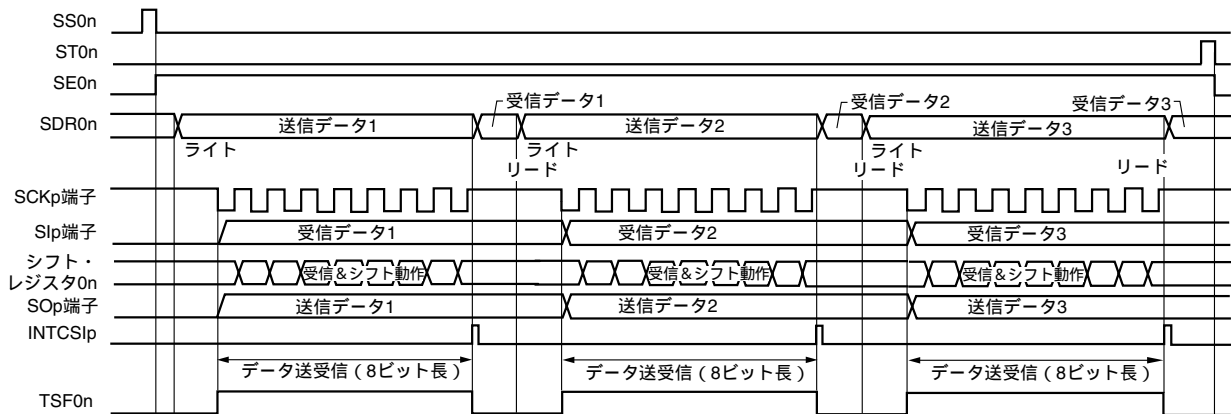
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ0 (SO0) を再設定してください (図13 - 65 スレーブ送受信の再開設定手順参照)。

図13 - 65 スレーブ送受信の再開設定手順



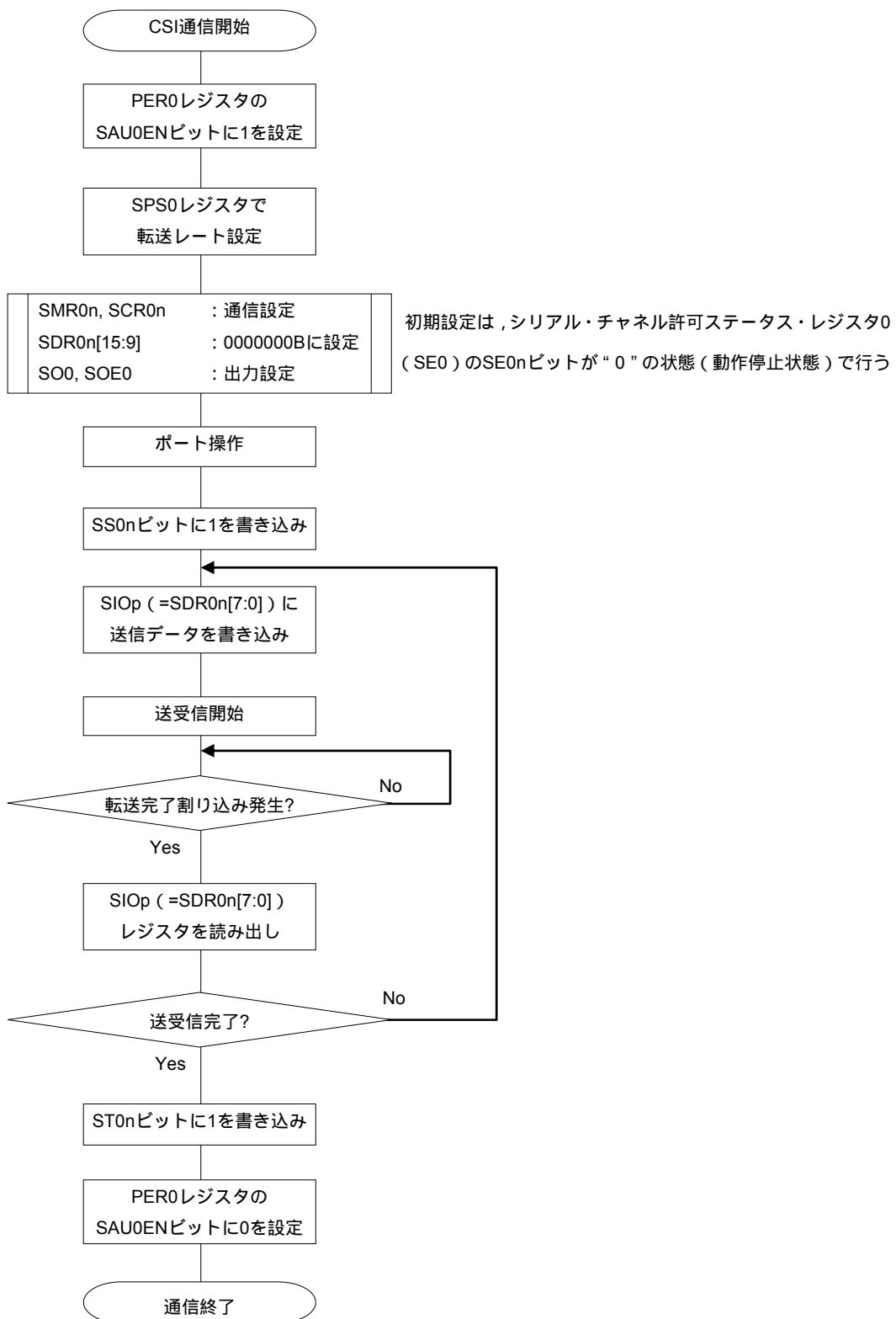
(3) 処理フロー (シングル送受信モード時)

図13 - 66 スレーブ送受信(シングル送受信モード時)のタイミング・チャート(タイプ1: DAP0n = 0, CKP0n = 0)



備考 n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))
 p : CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品) , p = 00, 01, 10 (78K0R/IC3の44ピン , 48ピン製品 , 78K0R/ID3, 78K0R/IE3))

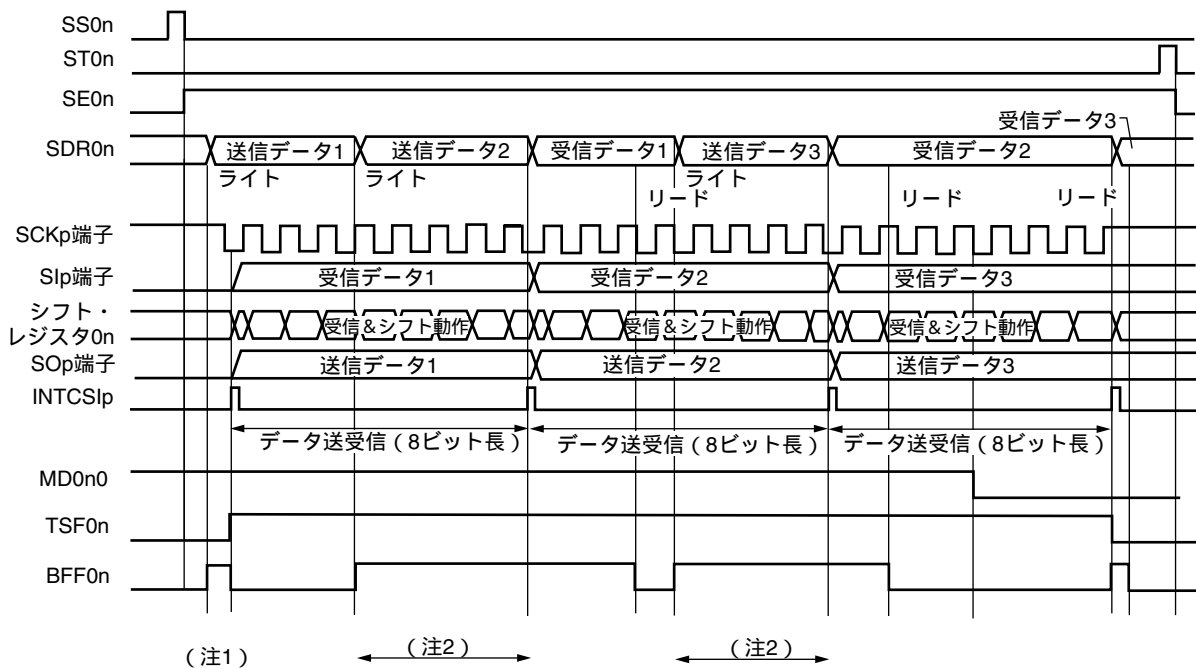
図13 - 67 スレーブ送受信 (シングル送受信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(4) 処理フロー（連続送受信モード時）

図13 - 68 スレーブ送受信（連続送受信モード時）のタイミング・チャート（タイプ1：DAP0n = 0, CKP0n = 0）

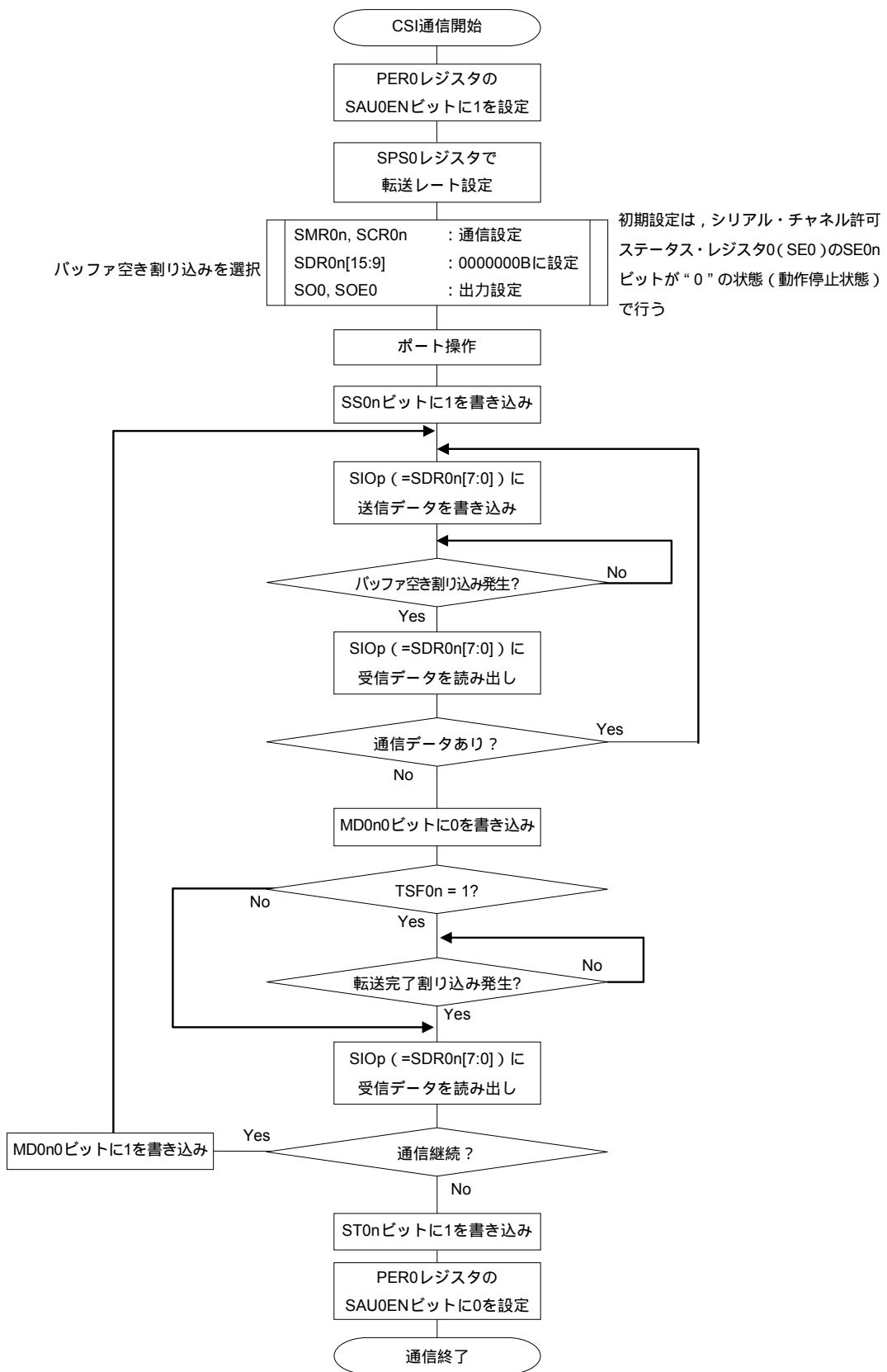


- 注1. シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0n) に格納されている時）にSDR0nレジスタに送信データを書き込むと、送信データが上書きされます。
2. この期間にSDR0nレジスタをリードすると、送信データを読み出すことができます。その際、転送動作には影響はありません。

注意 シリアル・モード・レジスタ0n (SMR0n) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

- 備考1. 図中の ~ は、図13 - 69 スレーブ送受信（連続送受信モード時）のフロー・チャートの ~ に対応しています。
2. n : チャネル番号 (n = 0-2) (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))
- p: CSI番号 (p = 00, 01, 10) (p = 10 (78K0R/IB3, 78K0R/IC3の38ピン製品), p = 00, 01, 10 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

図13 - 69 スレーブ送受信（連続送受信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

備考 図中の ~ は、図13 - 68 スレーブ送受信（連続送受信モード時）のタイミング・チャートの ~ に対応しています。

13.5.7 転送クロック周波数の算出

3線シリアルI/O (CSI00^{注1}, CSI01^{注1}, CSI10) 通信での転送クロック周波数は下記の計算式にて算出できます。

(1) マスタの場合

$$(\text{転送クロック周波数}) = \{ \text{対象チャネルの動作クロック (f}_{\text{MCK}}) \text{周波数} \} \div (\text{SDR0n}[15:9] + 1) \div 2 [\text{Hz}]$$

(2) スレーブの場合

$$(\text{転送クロック周波数}) = \{ \text{マスタが供給するシリアル・クロック (SCK) 周波数} \}^{\text{注2}} [\text{Hz}]$$

注1. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

2. ただし, 許容最大転送クロック周波数は $f_{\text{MCK}}/6$ となります。

備考1. SDR0n[15:9]は, シリアル・データ・レジスタ0n (SDR0n) のビット15-9の値 (0000000B-1111111B) なので, 0-127になります。

2. n: チャンネル番号 (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品), n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ0n (SMR0n) のビット15 (CKS0n) で決まります。

表13-2 動作クロックの選択

SMR0n レジスタ	SPS0レジスタ								動作クロック (f _{MCK}) ^{注1}	
	CKS0n	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	INTTM02 ^{注2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
		1	1	1	1	X	X	X	X	INTTM02 ^{注2}
上記以外									設定禁止	

(注, 備考は次ページにあります。)

- 注1. f_{CLK} に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ0（ST0） = 000FH）させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニットTAUSも停止（タイマ・チャンネル停止レジスタ0（TT0） = 00FFH）させてください。
2. TAUSのチャンネル2において、 $f_{SUB}/4$ をカウント・クロックに選択したインターバル・タイマ動作をし（タイマ入力選択レジスタ0（TIS0）のTIS02ビットに“1”を設定）、シリアル・クロック選択レジスタ0（SPS0）でINTTM02を選択することにより、 f_{CLK} の周波数（メイン・システム・クロック、サブシステム・クロック）に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし、 f_{CLK} を変更する場合は、上記の注1のようにSAU、TAUSを停止させる必要があります。

備考1. X : Don't care

2. n : チャンネル番号（n = 2（78K0R/IB3, 78K0R/IC3の38ピン製品）、n = 0-2（78K0R/IC3の44ピン、48ピン製品、78K0R/ID3, 78K0R/IE3））

13.5.8 3線シリアルI/O (CSI00, CSI01, CSI10)通信時におけるエラー発生時の処理手順

3線シリアルI/O (CSI00, CSI01, CSI10) 通信時にエラーが発生した場合の処理手順を図13 - 70に示します。

図13 - 70 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ0n (SDR0n) をリードする	SSR0nレジスタのBFF0nビットが“0”となり,チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ0n (SSR0n) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) に“1”をライトする	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで,読み出し時のエラーのみをクリアできる

備考 n : チャンネル番号 (n = 2 (78K0R/IB3, 78K0R/IC3の38ピン製品) , n = 0-2 (78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3))

13.6 UART (UART0, UART1) 通信の動作

シリアル・データ送信 (TxD) とシリアル・データ受信 (RxD) の2本のラインによる、調歩同期式通信機能です。この2本の通信ラインを使用し、スタート・ビット、データ、パリティ・ビット、ストップ・ビットからなる1データ・フレームごとに通信相手と非同期で (内部ボー・レートを使用して)、データを送受信します。送信専用 (偶数チャンネル) と受信専用 (奇数チャンネル) の2チャンネルを使用することで、全2重UART通信が実現できます。また、タイマ・アレイ・ユニットTAUSと外部割り込み (INTP0) を組み合わせてLIN-busにも対応可能です。

[データ送受信]

- ・ 5, 7, 8ビットのデータ長
- ・ MSB/LSBファーストの選択
- ・ 送受信データのレベル設定, 反転の選択
- ・ パリティ・ビット付加, パリティ・チェック機能
- ・ ストップ・ビット付加

[割り込み機能]

- ・ 転送完了割り込み / バッファ空き割り込み
- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラーによるエラー割り込み

[エラー検出フラグ]

- ・ フレーミング・エラー, パリティ・エラー, オーバラン・エラー

また, UART0 (ユニットの0, 1チャンネル) では, LIN-busに対応しています。

[LIN-bus機能]

- ・ ウェイクアップ信号検出
- ・ シンク・ブレイク・フィールド (SBF) 検出
- ・ シンク・フィールド測定, ボー・レート算出

UART0では, SAUのチャンネル0, 1を使用します。

UART1では, SAUのチャンネル2, 3を使用します。

チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	CSI00 ^注	UART0 (LIN-bus対応)	-
1	CSI01 ^注		-
2	CSI10	UART1	IIC10
3	-		-

注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

注意 UARTとして使用する場合は, 送信側 (偶数チャンネル) と受信側 (奇数チャンネル) のどちらのチャンネルもUARTとしてしか使用することはできません。

UARTの通信動作は, 以下の4種類があります。

- ・ UART送信 (13.6.1項を参照)
- ・ UART受信 (13.6.2項を参照)
- ・ LIN送信 (UART0のみ) (13.6.3項を参照)
- ・ LIN受信 (UART0のみ) (13.6.4項を参照)

13.6.1 UART送信

UART送信は、78K0R/Ix3から他デバイスへ、非同期（調歩同期）でデータを送信する動作です。

UART送信では、そのUARTに使用する2チャンネルのうち、偶数チャンネルのほうを使用します。

UART	UART0	UART1
対象チャンネル	SAUのチャンネル0	SAUのチャンネル2
使用端子	TxD0	TxD1
割り込み	INTST0	INTST1
	転送完了割り込み（シングル転送モード時）か、バッファ空き割り込み（連続転送モード時）かを選択可能	
エラー検出フラグ	なし	
転送データ長	5ビットまたは7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/6$ [bps] (SDR0n[15:9] = 2以上), Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加 	
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・1ビット付加 ・2ビット付加 	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

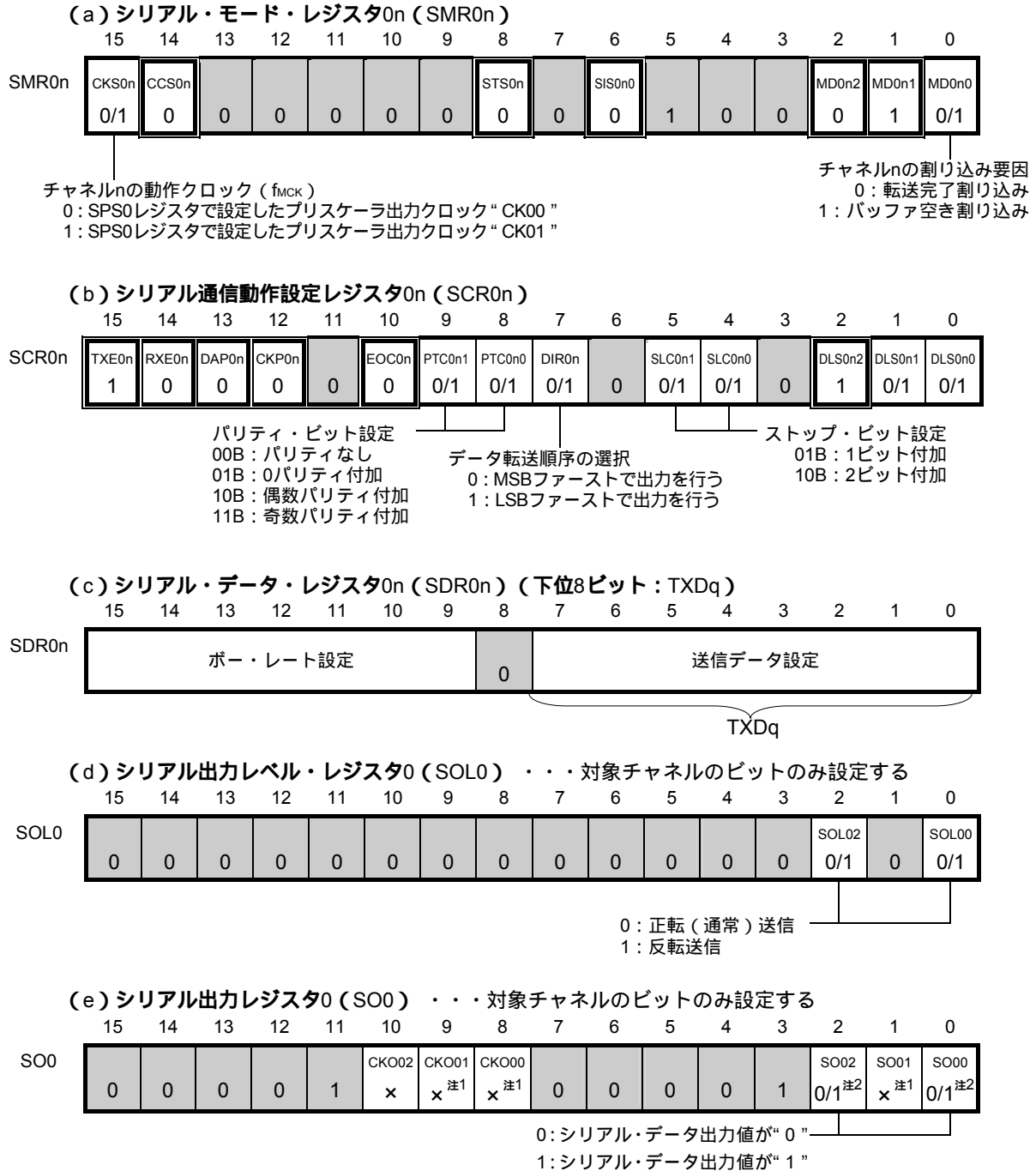
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. n ：チャンネル番号 ($n = 0, 2$)

(1) レジスタ設定

図13 - 71 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (1/2)



注1. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

2. 該当するチャンネルのSOL0nビットに0を設定している場合は“1”に, SOL0nビットに1を設定している場合は“0”を送信開始前に必ず設定してください。通信動作中は通信データにより値が変わります。

備考 n: チャンネル番号 (n=0, 2) q: UART番号 (q=0, 1)

□: UART送信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図13 - 71 UART (UART0, UART1) のUART送信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	SOE02	SOE01	SOE00
	0	0	0	0	0	0	0	0	0	0	0	0	0	0/1	x ^注	0/1

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS0	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	SS03	SS02	SS01	SS00
	0	0	0	0	0	0	0	0	0	0	0	0	x	0/1	x	0/1

注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n : チャネル番号 (n = 0, 2)

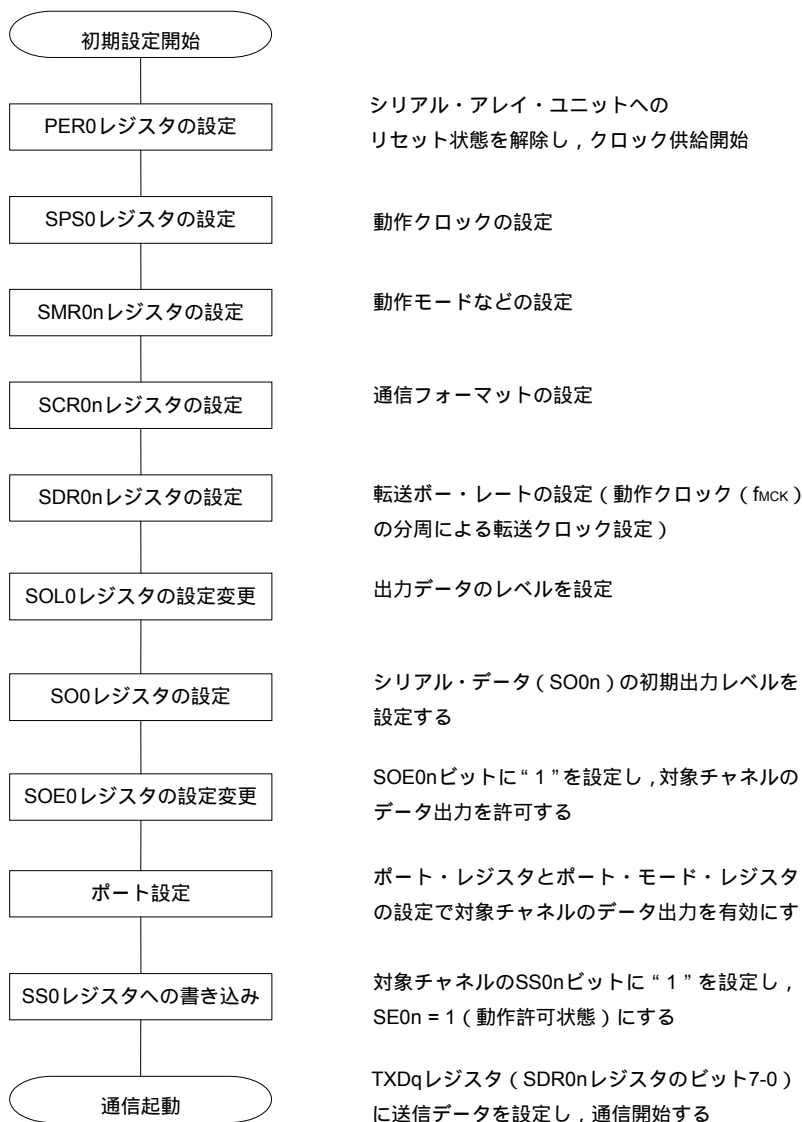
: UART送信モードでは設定固定 : 設定不可 (初期値を設定)

x : このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1 : ユーザの用途に応じて0または1に設定

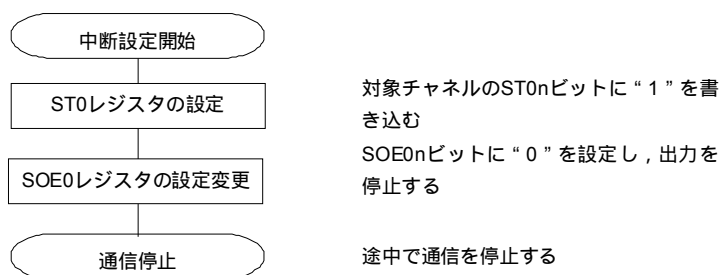
(2) 操作手順

図13 - 72 UART送信の初期設定手順



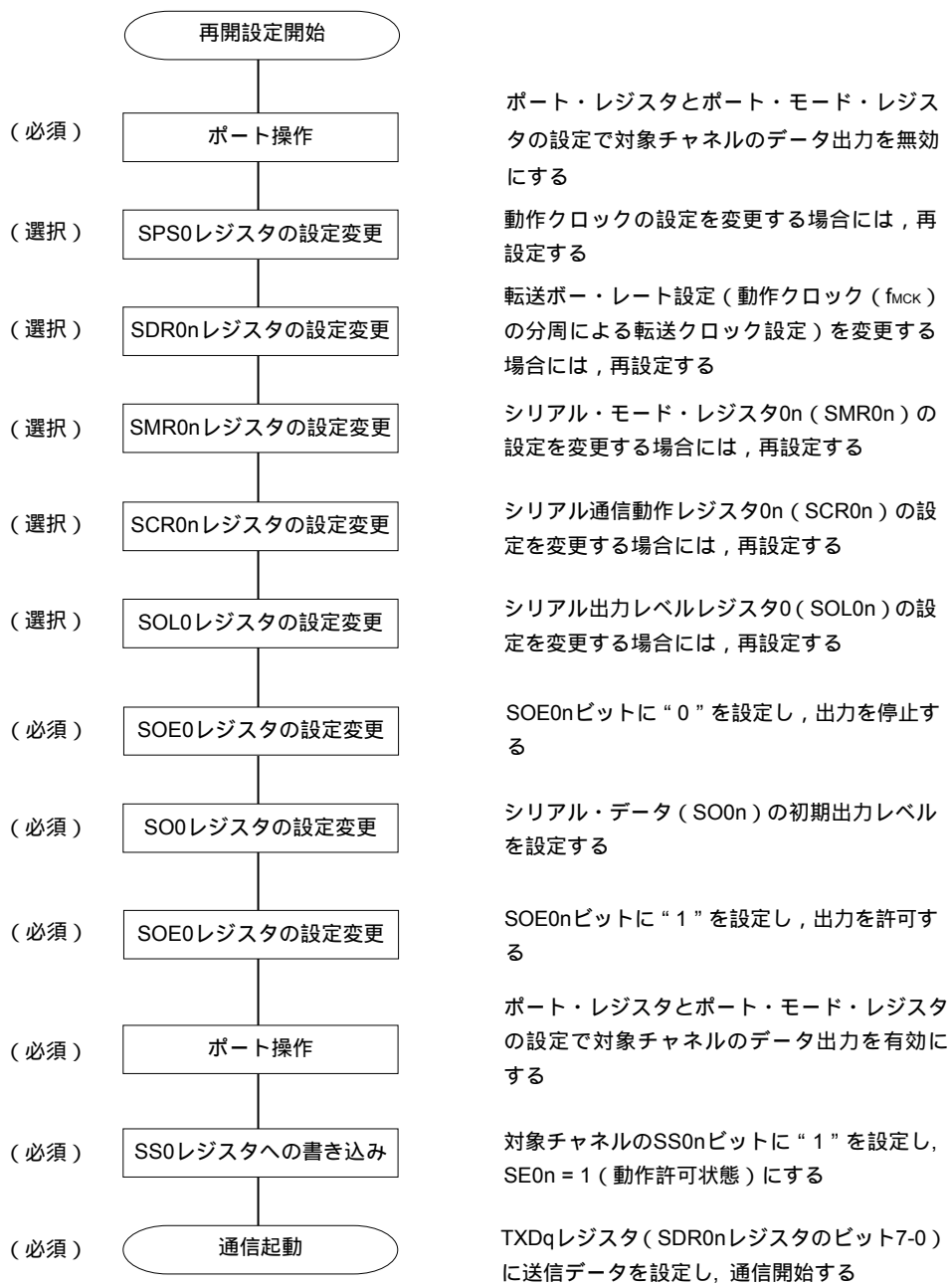
注意 周辺イネーブル・レジスタ0（PER0）のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0（SPS0）を設定してください。

図13 - 73 UART送信の中断手順



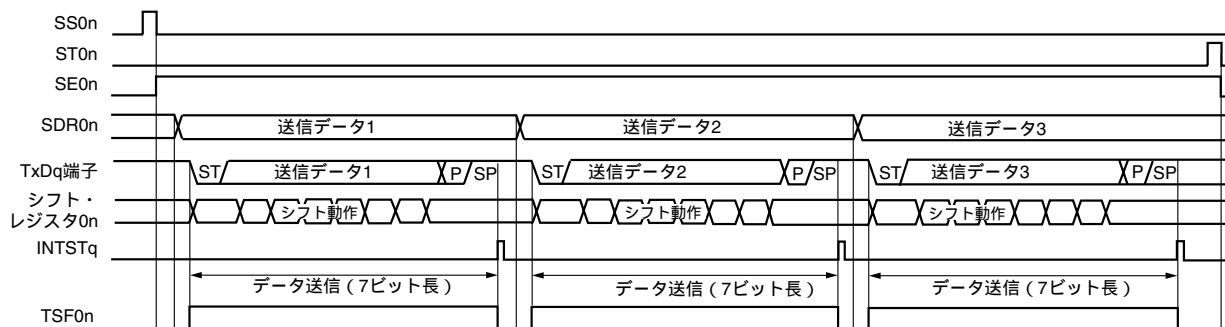
備考 中断後も端子レベルは保持されますので、動作を再開する際にはシリアル出力レジスタ0（SO0）を再設定してください（図13 - 74 UART送信の再開設定手順参照）。

図13 - 74 UART送信の再開設定手順



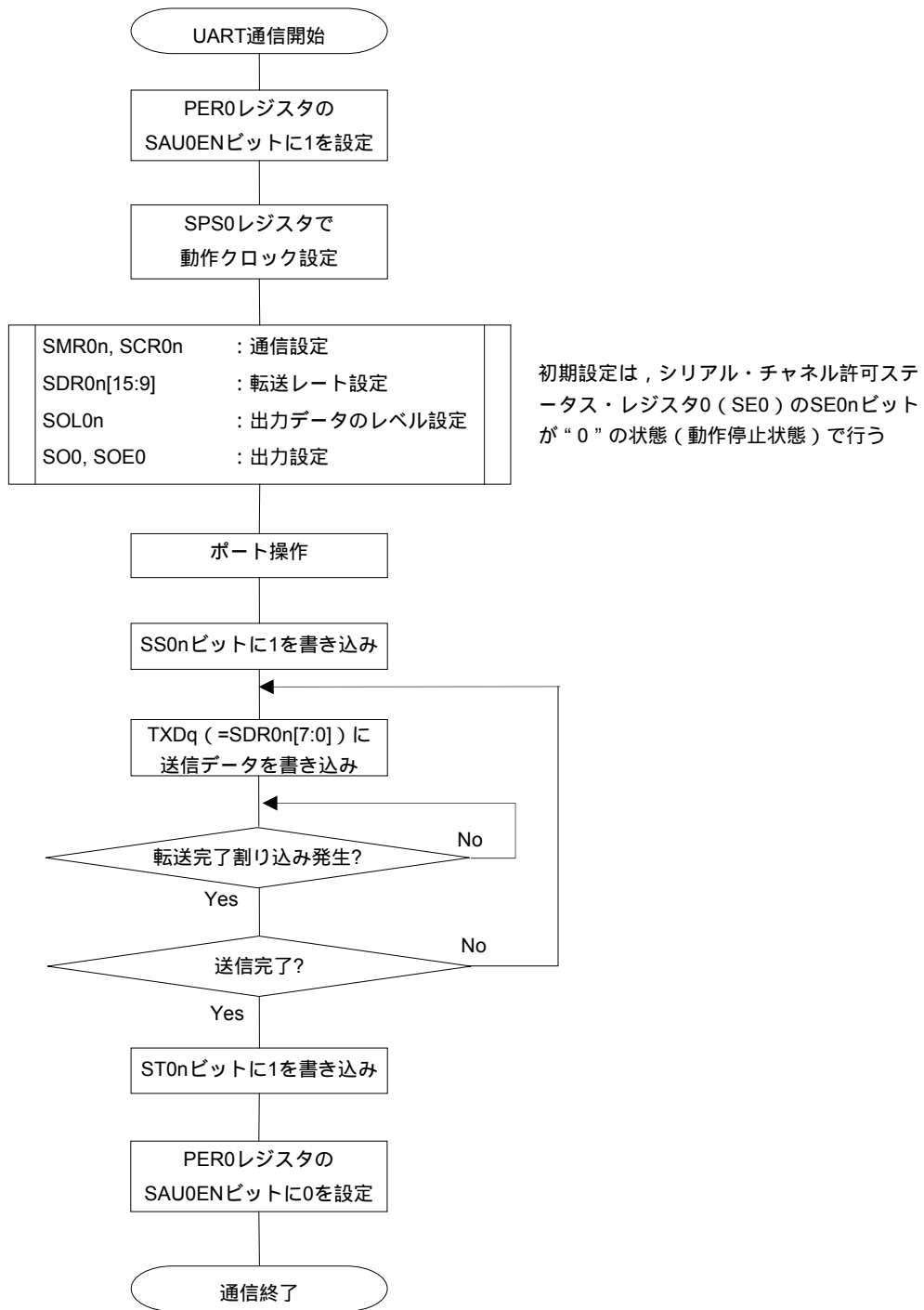
(3) 処理フロー (シングル送信モード時)

図13 - 75 UART送信 (シングル送信モード時) のタイミング・チャート



備考 n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 1)

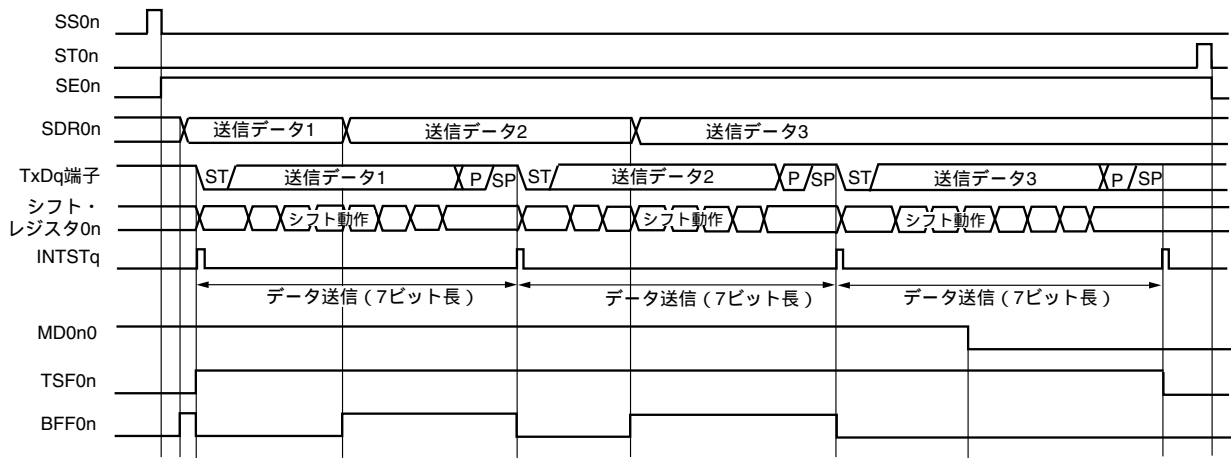
図13 - 76 UART送信 (シングル送信モード時) のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(4) 処理フロー（連続送信モード時）

図13 - 77 UART送信（連続送信モード時）のタイミング・チャート



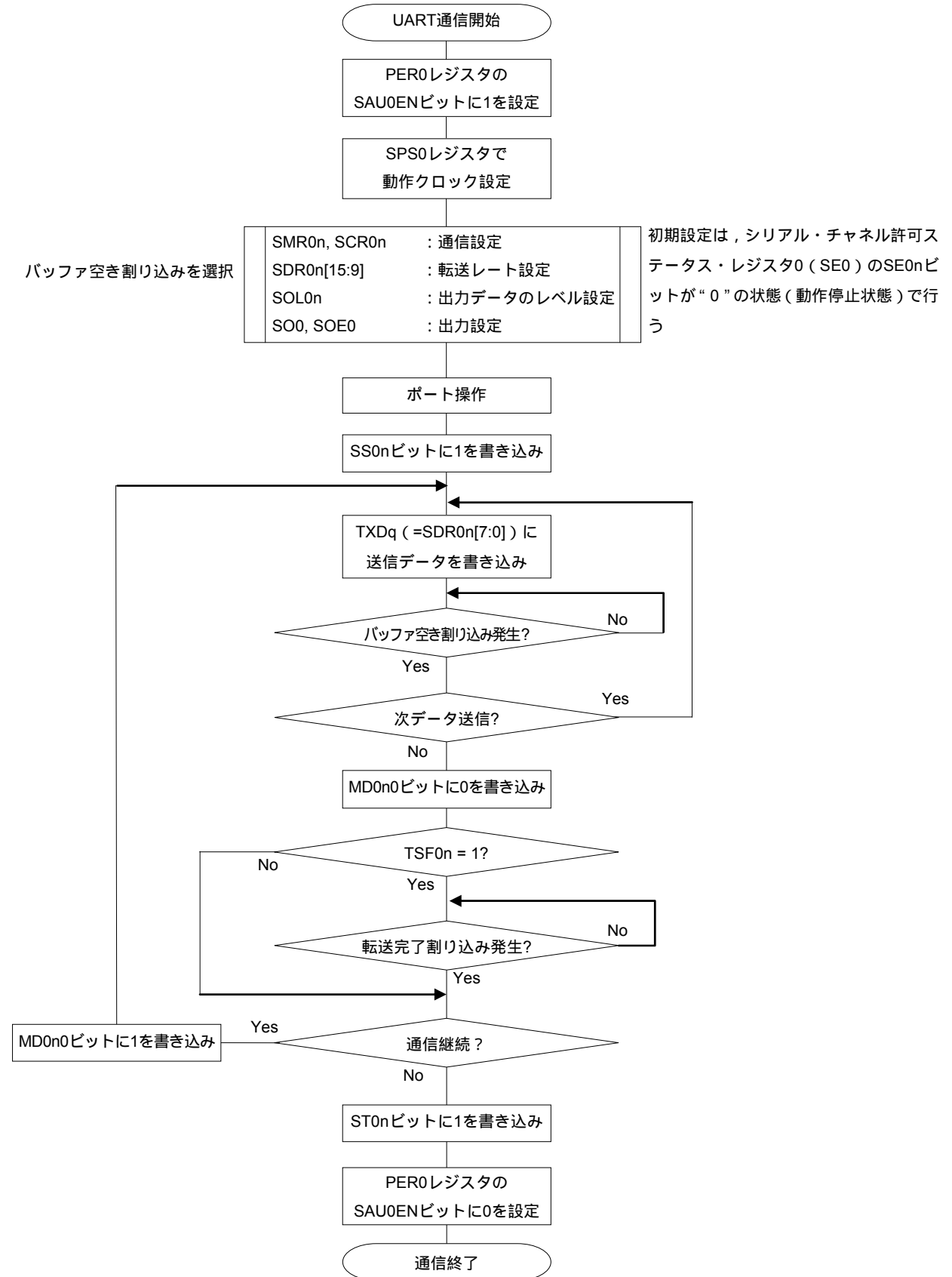
(注)

注 シリアル・ステータス・レジスタ0n (SSR0n) のBFF0nビットが“1”の期間（有効なデータがシリアル・データ・レジスタ0n (SDR0n) に格納されているとき）にSDR0nレジスタに送信データを書き込むと、送信データが上書きされます。

注意 シリアル・モード・レジスタ0n (SMR0n) のMD0n0ビットは、動作中でも書き換えることができます。ただし、最後の送信データの転送完了割り込みに間に合わせるために、最終ビットの転送開始前までに書き換えてください。

備考 n : チャネル番号 (n = 0, 2) q : UART番号 (q = 0, 1)

図13 - 78 UART送信（連続送信モード時）のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

備考 図中の ~ は、図13 - 77 UART送信（連続送信モード時）のタイミング・チャートの ~ に対応しています。

13.6.2 UART受信

UART受信は、他デバイスから78K0R/1x3が非同期（調歩同期）でデータを受信する動作です。

UART受信では、そのUARTに使用する2チャンネルのうち、奇数チャンネルのほうを使用します。ただし、SMRレジスタは、偶数チャンネルと奇数チャンネルの両方のレジスタを設定する必要があります。

UART	UART0	UART1
対象チャンネル	SAUのチャンネル1	SAUのチャンネル3
使用端子	RxD0	RxD1
割り込み	INTSR0	INTSR1
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE0	INTSRE1
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF0n） ・ パリティ・エラー検出フラグ（PEF0n） ・ オーバラン・エラー検出フラグ（OVF0n） 	
転送データ長	5ビットまたは7ビットまたは8ビット	
転送レート	Max. $f_{MCK}/6$ [bps]（SDR0n[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックなし） ・ 0パリティ・ビット付加（パリティ・チェックなし） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 	
ストップ・ビット	1ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし、かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

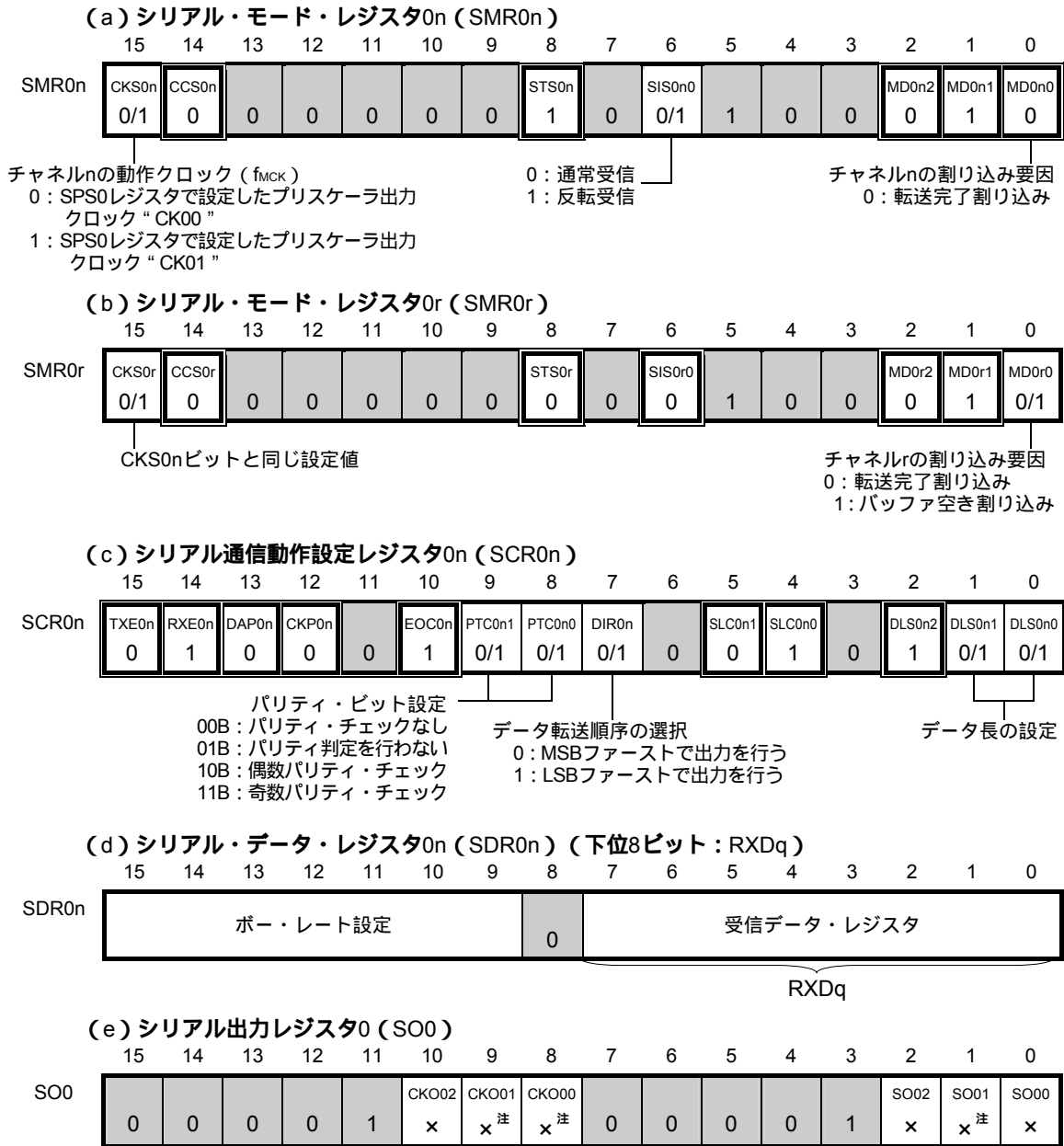
備考1. f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

2. n ：チャンネル番号（ $n = 1, 3$ ）

(1) レジスタ設定

図13 - 79 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (1/2)



注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

注意 UART受信時は, チャンネルnとペアになるチャンネルrのSMR0rレジスタも必ず設定してください。

備考 n: チャンネル番号 (n = 1, 3) r: チャンネル番号 (r = n - 1) q: UART番号 (q = 0, 1)

□: UART受信モードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

図13 - 79 UART (UART0, UART1) のUART受信時のレジスタ設定内容例 (2/2)

(f) シリアル出力許可レジスタ0 (SOE0) . . . このモードでは使用しない

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOE0	0	0	0	0	0	0	0	0	0	0	0	0	0	SOE02	SOE01	SOE00
														x	x ^注	x

(g) シリアル・チャンネル開始レジスタ0 (SS0) . . . 対象チャンネルのビットのみ1に設定する

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
SS0	0	0	0	0	0	0	0	0	0	0	0	0	0	SS03	SS02	SS01	SS00
														0/1	x	0/1	x

注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

注意 UART受信時は, チャンネルnとペアになるチャンネルrのSMR0rレジスタも必ず設定してください。

備考 n: チャンネル番号 (n = 1, 3) r: チャンネル番号 (r = n - 1) q: UART番号 (q = 0, 1)

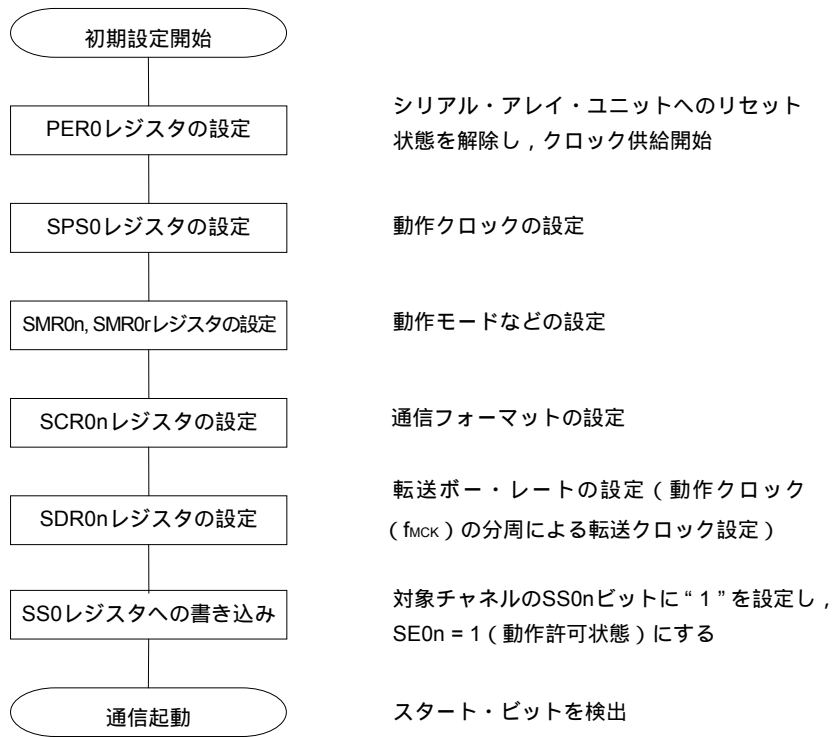
: UART受信モードでは設定固定 : 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 80 UART受信の初期設定手順



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

図13 - 81 UART受信の中断手順

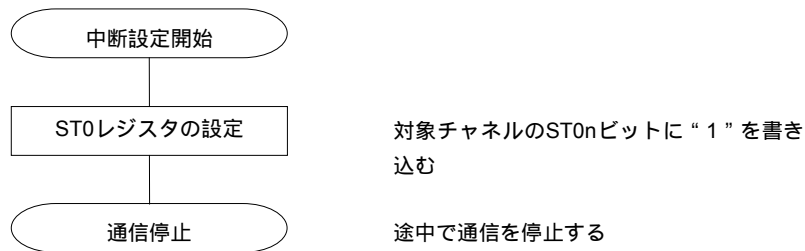
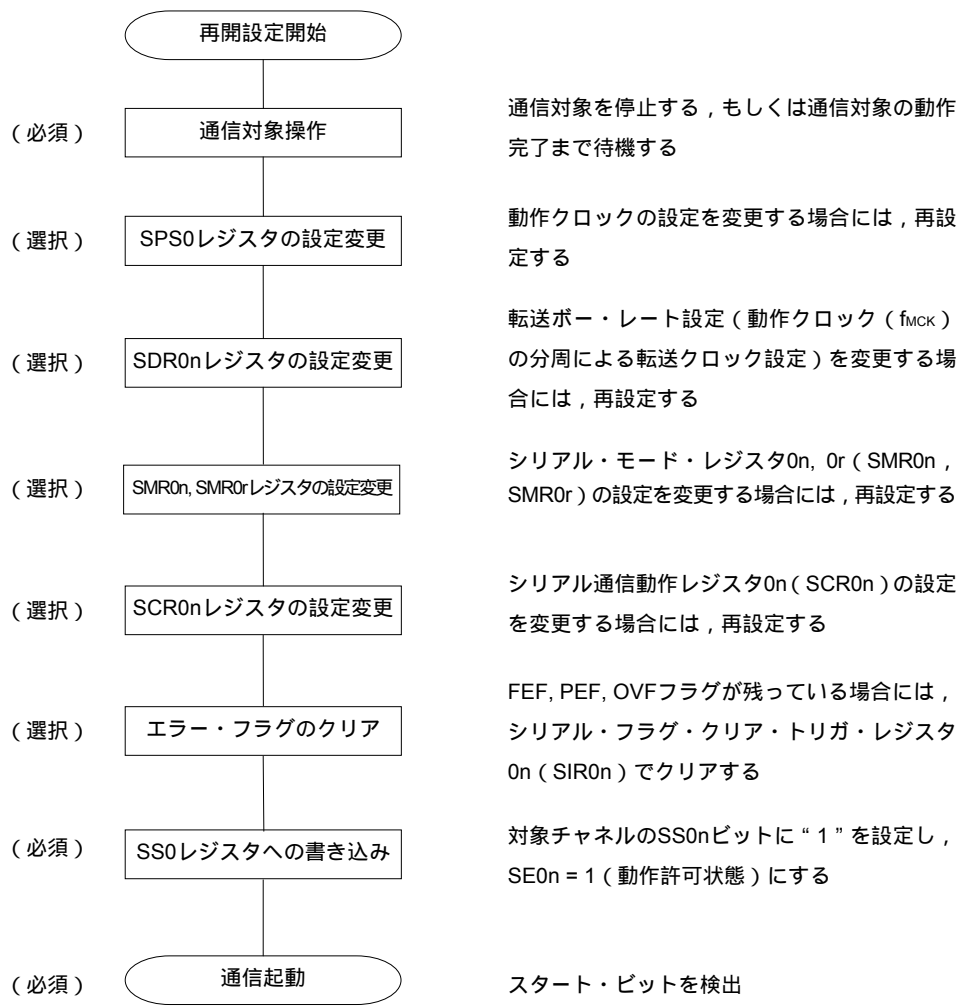
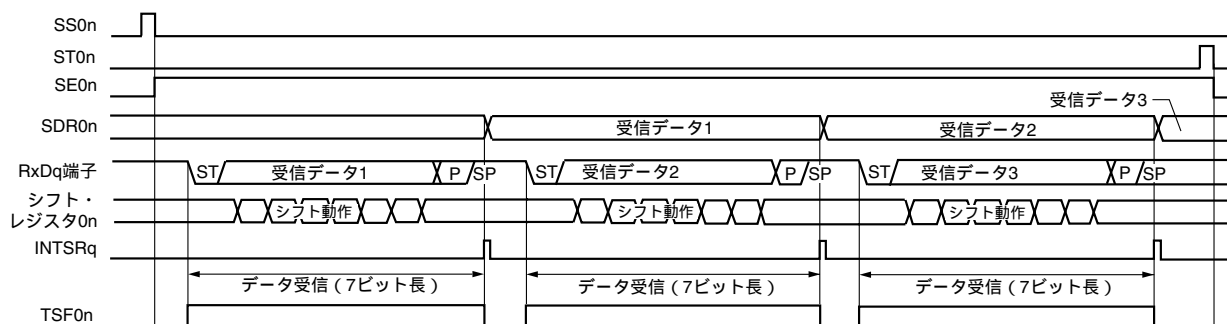


図13 - 82 UART受信の再開設定手順



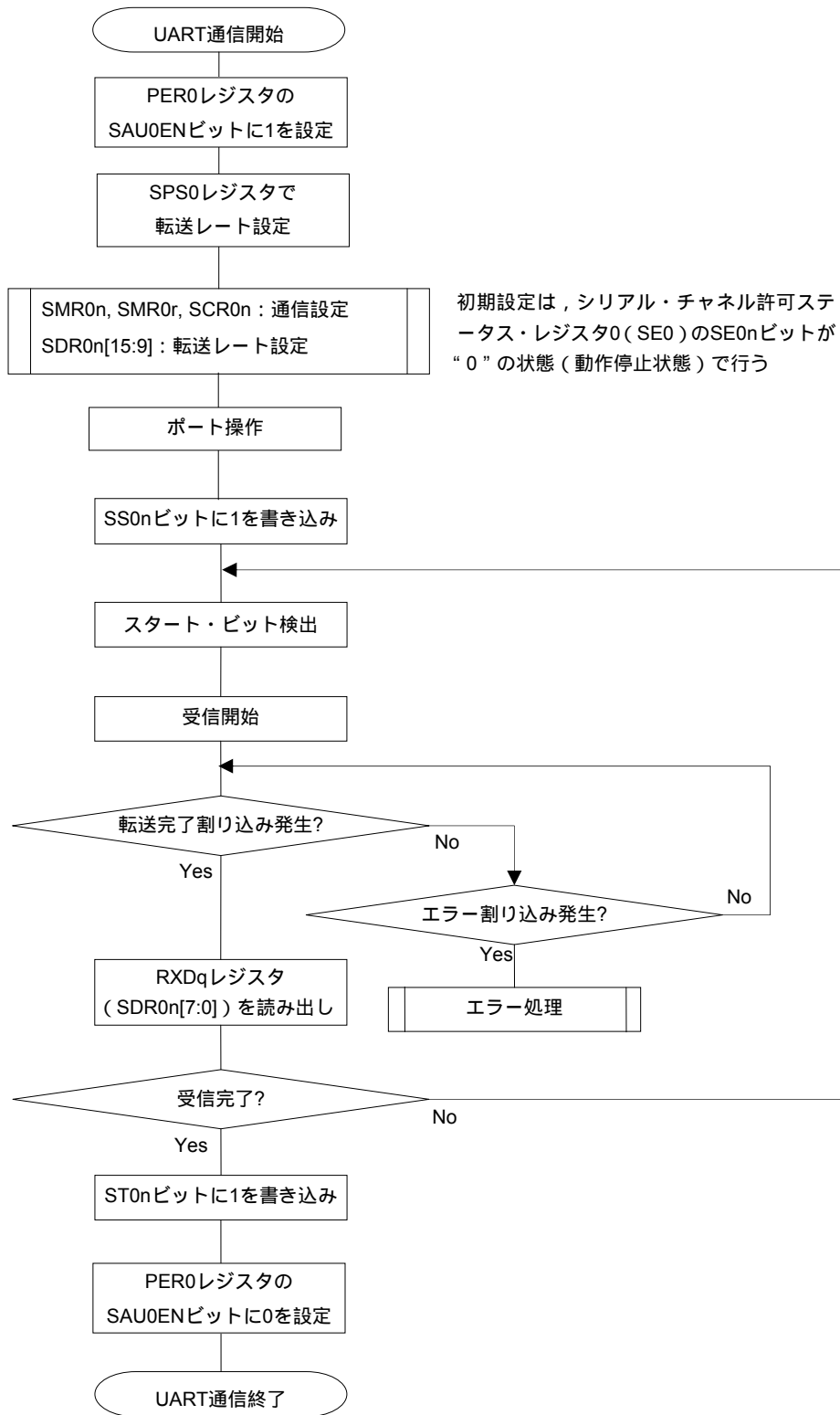
(3) 処理フロー

図13 - 83 UART受信のタイミング・チャート



備考 n : チャネル番号 (n = 1, 3) q : UART番号 (q = 0, 1)

図13 - 84 UART受信のフロー・チャート



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、 f_{CLK} の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

13.6.3 LIN送信

UART送信のうち，UART0はLIN通信に対応しています。

LIN送信では，ユニット（SAU）のチャンネル0を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャンネル	SAUのチャンネル0	-
使用端子	TxD0	-
割り込み	INTST0 転送完了割り込み（シングル転送モード時）か，バッファ空き割り込み（連続転送モード時）かを選択可能	-
エラー検出フラグ	なし	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/6$ [bps]（SDR00[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 ・パリティ・ビットなし ・0パリティ・ビット付加 ・偶数パリティ付加 ・奇数パリティ付加	
ストップ・ビット	以下の選択が可能 ・1ビット付加 ・2ビット付加	
データ方向	MSBファーストまたはLSBファースト	

注 この条件を満たし，かつ電氣的特性のAC特性（第28章 電氣的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINとは，Local Interconnect Networkの略称で，車載ネットワークのコストダウンを目的とする低速（1～20 kbps）のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で，1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは，スイッチ，アクチュエータ，センサなどの制御に使用され，これらがLINのネットワークを介してLINのマスタに接続されます。

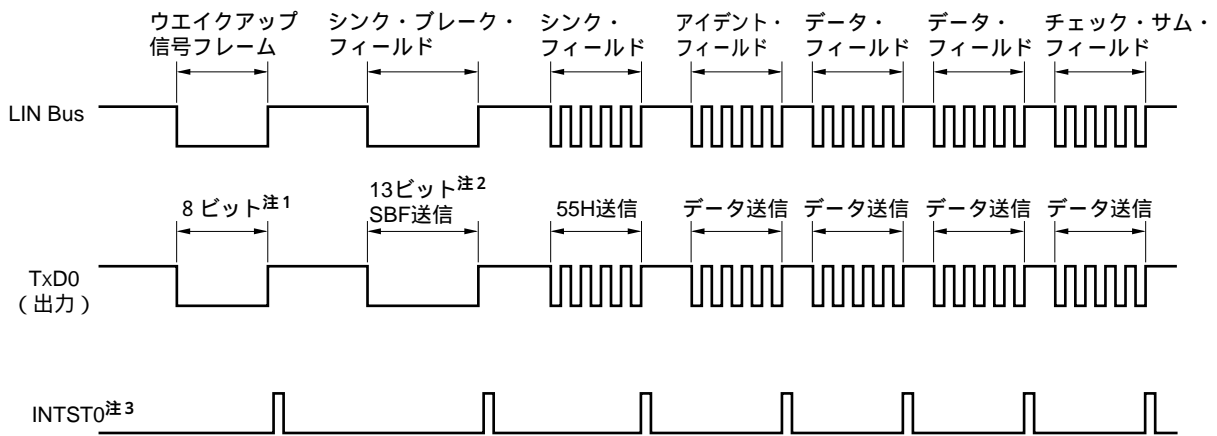
LINのマスタは通常，CAN（Controller Area Network）などのネットワークに接続されます。

また，LINバスはシングル・ワイヤ方式で，ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINのプロトコルでは，マスタはフレームにポー・レート情報をつけて送信し，スレーブはこれを受信してマスタとのポー・レート誤差を補正します。このため，スレーブのポー・レート誤差が±15 %以下であれば，通信可能です。

LINの送信操作の概略を，図13 - 85に示します。

図13 - 85 LINの送信操作



注1. ウェイクアップ信号の規定を満たせるようにポー・レートを設定し、00Hのデータ送信をすることで対応します。

2. シンク・ブレイク・フィールドは13ビット幅のロウ・レベル出力と規定されているので、メイン転送で使用するポー・レートをN [bps]とすると、シンク・ブレイク・フィールドで使用するポー・レートは次のようになります。

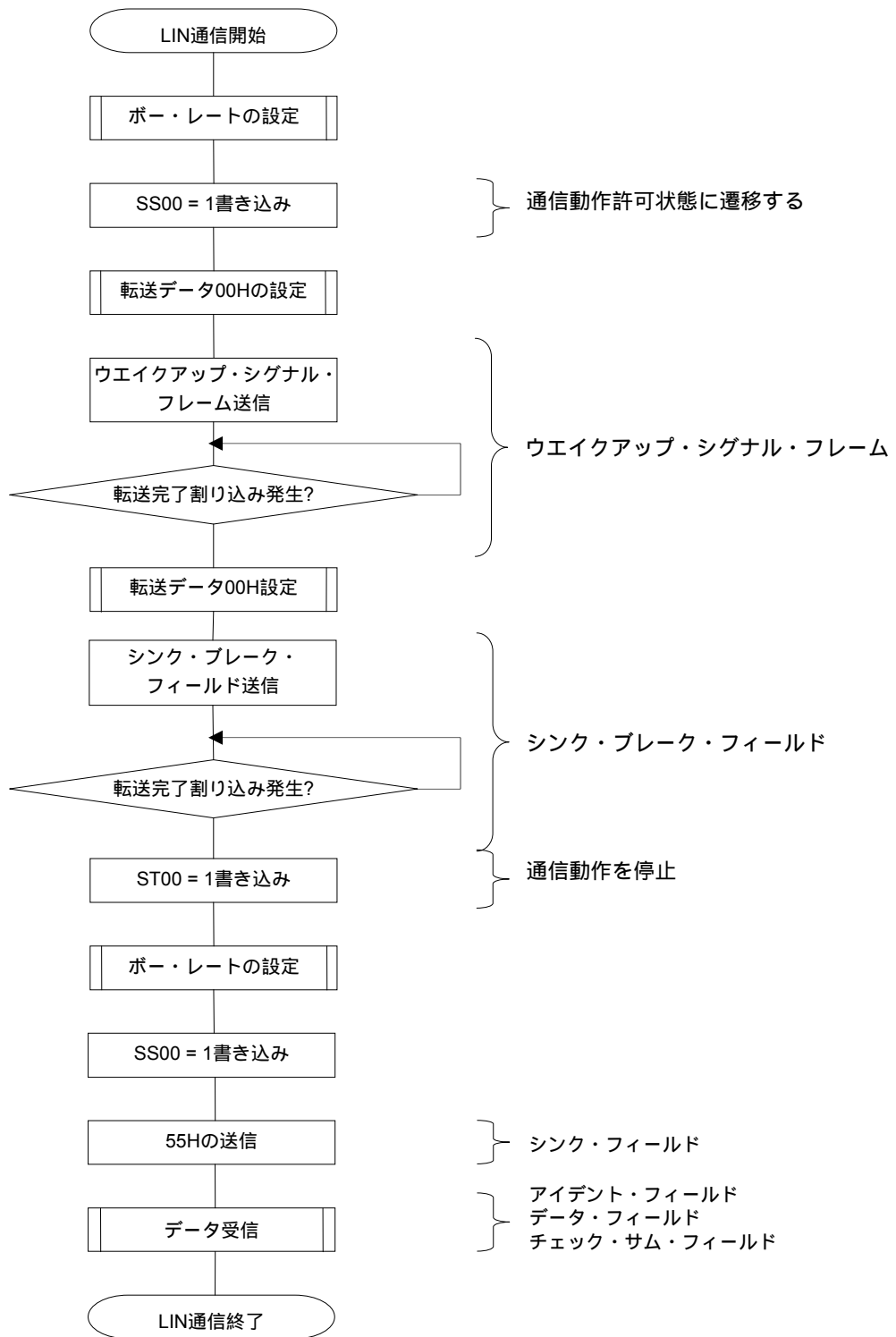
$$\boxed{(\text{シンク・ブレイク・フィールド時のポー・レート}) = 9/13 \times N}$$

このポー・レートで00Hのデータ送信をすることでシンク・ブレイク・フィールドを生成します。

3. 各送信終了時にはINTST0を出力します。またSBF送信時もINTST0を出力します。

備考 各フィールド間の間隔はソフトウェアで制御します。

図13 - 86 LIN送信のフロー・チャート



13.6.4 LIN受信

UART受信のうち，UART0はLIN通信に対応しています。

LIN受信では，ユニット（SAU）のチャンネル1を使用します。

UART	UART0	UART1
LIN通信対応	可	不可
対象チャンネル	SAUのチャンネル1	-
使用端子	RxD0	-
割り込み	INTSR0	-
	転送完了割り込みのみ（バッファ空き割り込みは設定禁止）	
エラー割り込み	INTSRE0	-
エラー検出フラグ	<ul style="list-style-type: none"> ・ フレーミング・エラー検出フラグ（FEF01） ・ パリティ・エラー検出フラグ（PEF01） ・ オーバラン・エラー検出フラグ（OVF01） 	
転送データ長	8ビット	
転送レート	Max. $f_{MCK}/6$ [bps]（SDR01[15:9] = 2以上），Min. $f_{CLK}/(2 \times 2^{11} \times 128)$ [bps] ^注	
データ位相	正転出力（デフォルト：ハイ・レベル） 反転出力（デフォルト：ロウ・レベル）	
パリティ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ パリティ・ビットなし（パリティ・チェックしない） ・ 0パリティ・ビット付加（パリティ・チェックしない） ・ 偶数パリティ・チェック ・ 奇数パリティ・チェック 	
ストップ・ビット	以下の選択が可能 <ul style="list-style-type: none"> ・ 1ビット付加 ・ 2ビット付加 	
データ方向	MSBファーストまたはLSBファースト	

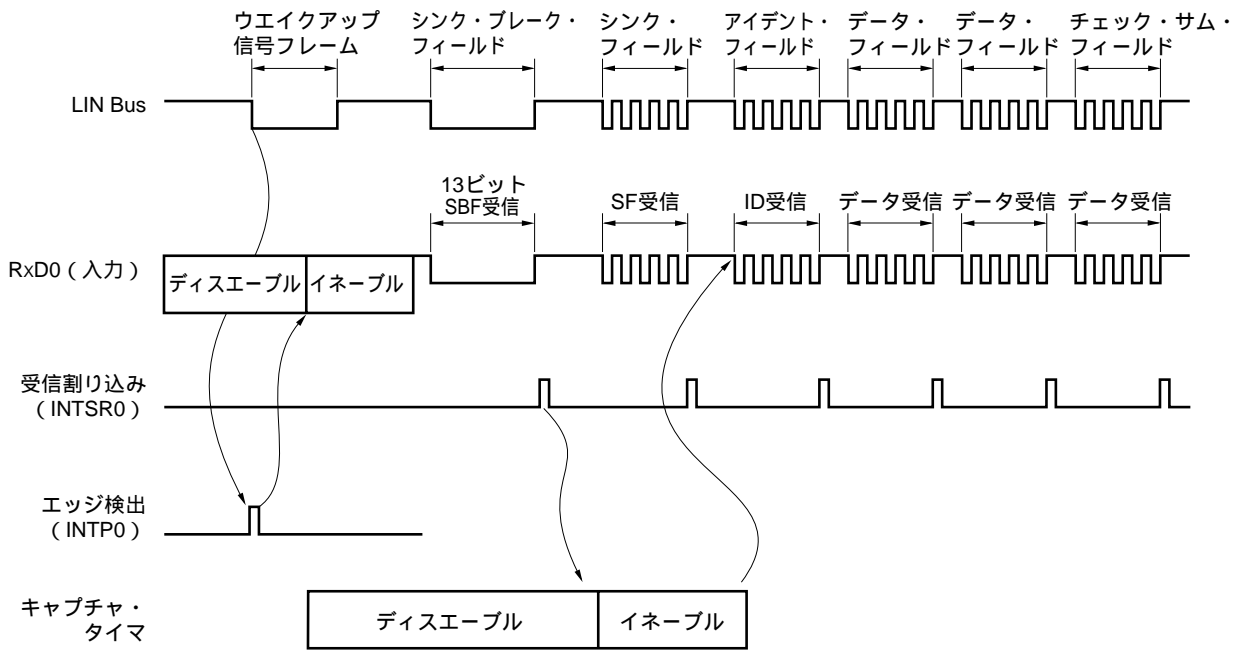
注 この条件を満たし，かつ電気的特性のAC特性（第28章 電気的特性参照）を満たす範囲内で使用してください。

備考 f_{MCK} ：対象チャンネルの動作クロック周波数

f_{CLK} ：システム・クロック周波数

LINの受信操作の概略を，図13 - 87に示します。

図13 - 87 LINの受信操作



受信処理の流れを次に示します。

ウェイクアップ信号の検出は、端子の割り込みエッジ検出 (INTP0) で行います。ウェイクアップ信号を検出したら、UART0の受信を許可 (RXE01 = 1) し、SBF受信待ち状態にします。

SBFのスタート・ビットが検出されたら、受信動作を開始し、設定されたボー・レートに合わせて、シリアル・データを順次、RXD0レジスタ (= シリアル・データ・レジスタ01 (SDR01) のビット7-0) に格納していきます。ストップ・ビットを受信したら、受信完了割り込み要求 (INTSR0) を発生します。そして、SBFとして11ビット以上のロウ・レベルのデータを検出したら、SBF受信を正常終了したと判断します。SBFとして11ビット未満のロウ・レベルのデータを検出した場合は、SBF受信エラーと判断し、SBF受信待ち状態に戻ります。SBF受信を正常終了した場合、タイマ・アレイ・ユニットTAUSのチャンネル7[※]を起動し、シンク・フィールドのビット間隔 (パルス幅) を測定してください (6.7.5 入力信号のハイ/ロウ・レベル幅測定としての動作を参照)。

シンク・フィールド (SF) のビット間隔からボー・レート誤差を算出します。そして、いったんUART0を動作停止にしてからボー・レートを調整 (再設定) してください。

チェック・サム・フィールドの区別はソフトウェアで行ってください。チェック・サム・フィールド受信後にUART0を初期化し、再びSBF受信待ちに設定する処理もソフトウェアにて行ってください。

注 タイマ・チャンネル7は78K0R/Ix3の全製品でLIN-bus機能として使用できます。

また、RxD0とタイマ入力端子が兼用している場合は、兼用しているタイマ入力端子のチャンネルもLIN-bus機能として使用できます。各製品でチャンネル7以外に使用できるタイマ・チャンネルを次に示します。

- 78K0R/IB3 (P11/RxD0/TI01/TO03) : TAUSのチャンネル3
- 78K0R/IC3の38ピン製品 (P72/INTP6/RxD0) : なし
- 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3,
- 78K0R/IE3 (P74/RxD0/TI10/SI00) : TAUSのチャンネル10

図13 - 88はLINの受信操作のポート構成図です。

LINのマスタから送信されるウェイクアップ信号の受信を、外部割り込み(INTP0)のエッジ検出にて行います。また、LINのマスタから送信されるシンク・フィールドの長さをタイマ・アレイ・ユニットTAUSの外部イベント・キャプチャ動作で計測し、ポー・レート誤差を算出することができます。

ポート入力切り替え制御 (ISC0/ISC1) により、外部で結線をせずに、受信用ポート入力 (RxD0) の入力ソースを外部割り込み (INTP0) およびタイマ・アレイ・ユニットTAUSへ入力することができます。

図13 - 88 LINの受信操作のポート構成図 (1/3)

・78K0R/IB3の場合

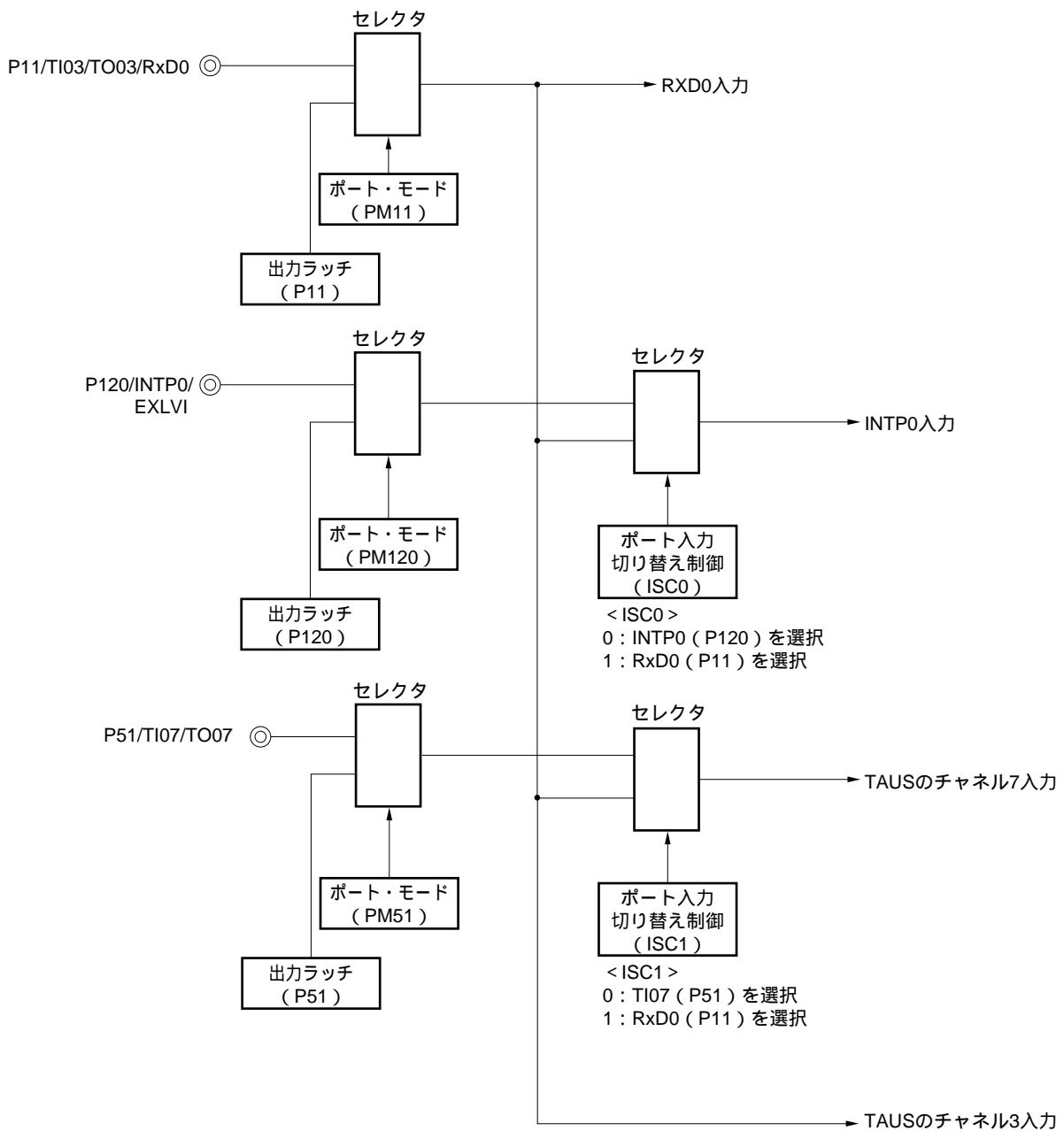
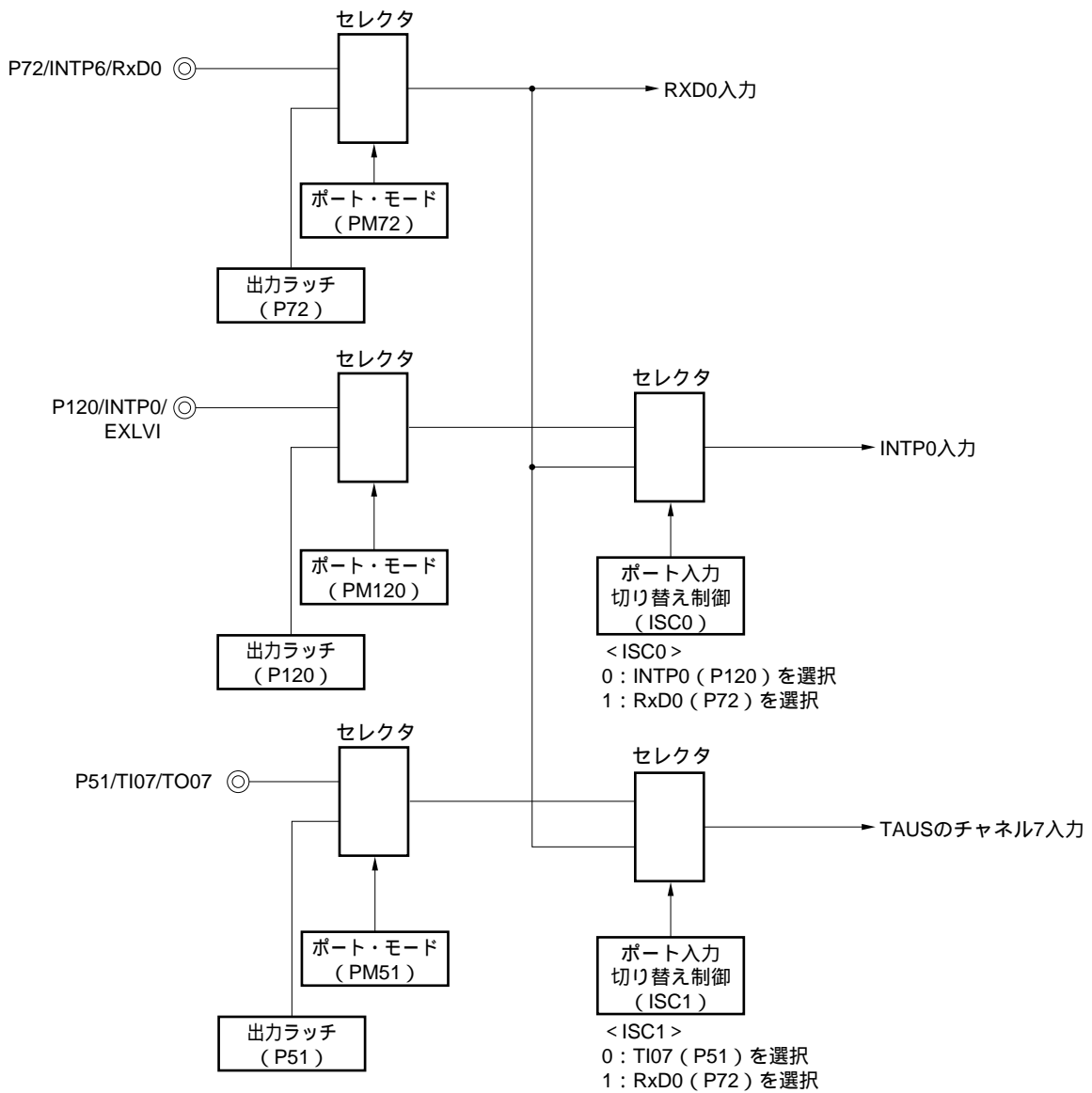


図13 - 88 LINの受信操作のポート構成図 (2/3)

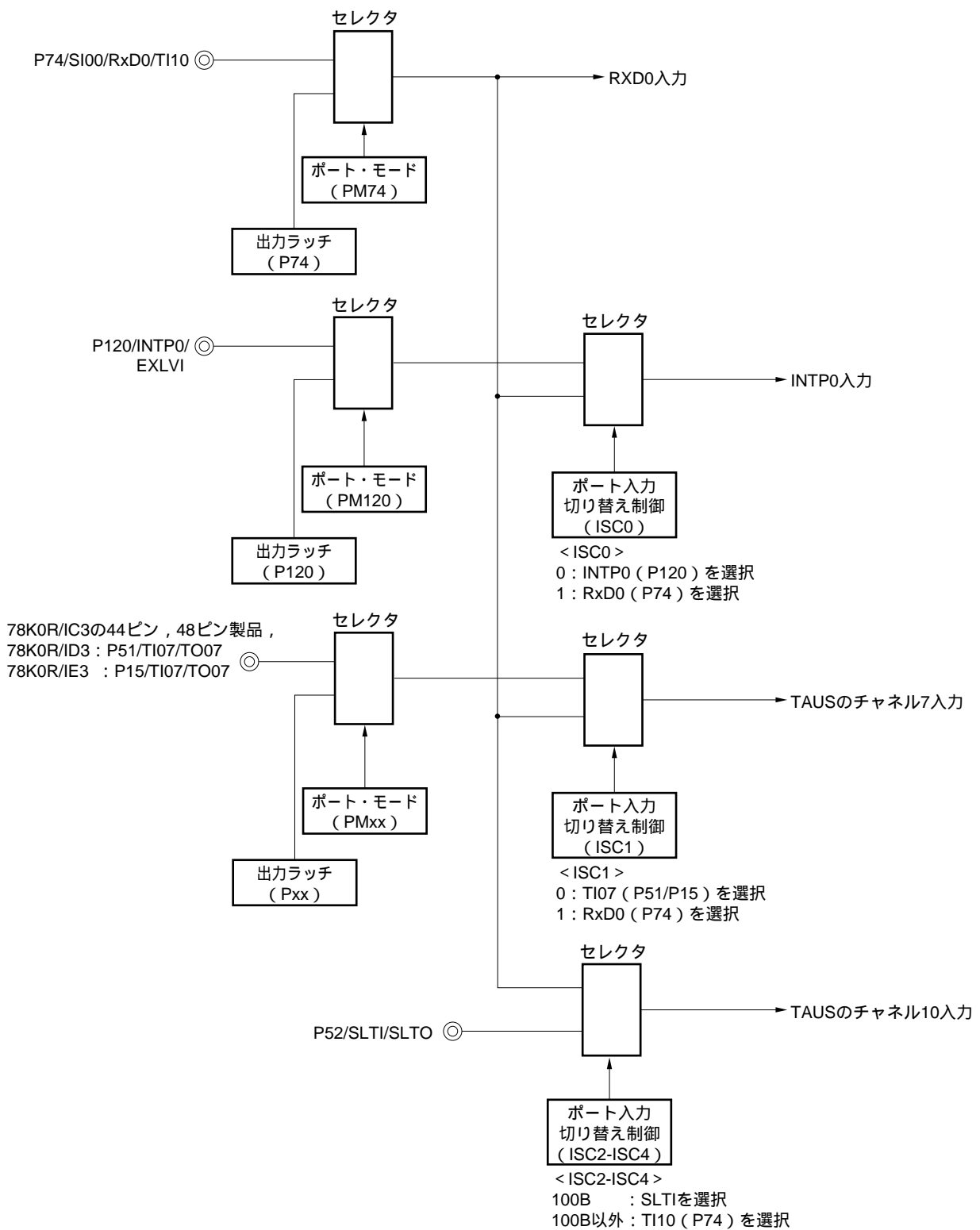
・78K0R/IC3の38ピン製品の場合



備考 ISC0-ISC4 : 入力切り替え制御レジスタ (ISC) のビット0-4 (図13 - 17参照)

図13 - 88 LINの受信操作のポート構成図 (3/3)

・78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3の場合



備考1. ISC0-ISC4 : 入力切り替え制御レジスタ (ISC) のビット0-4 (図13 - 17参照)

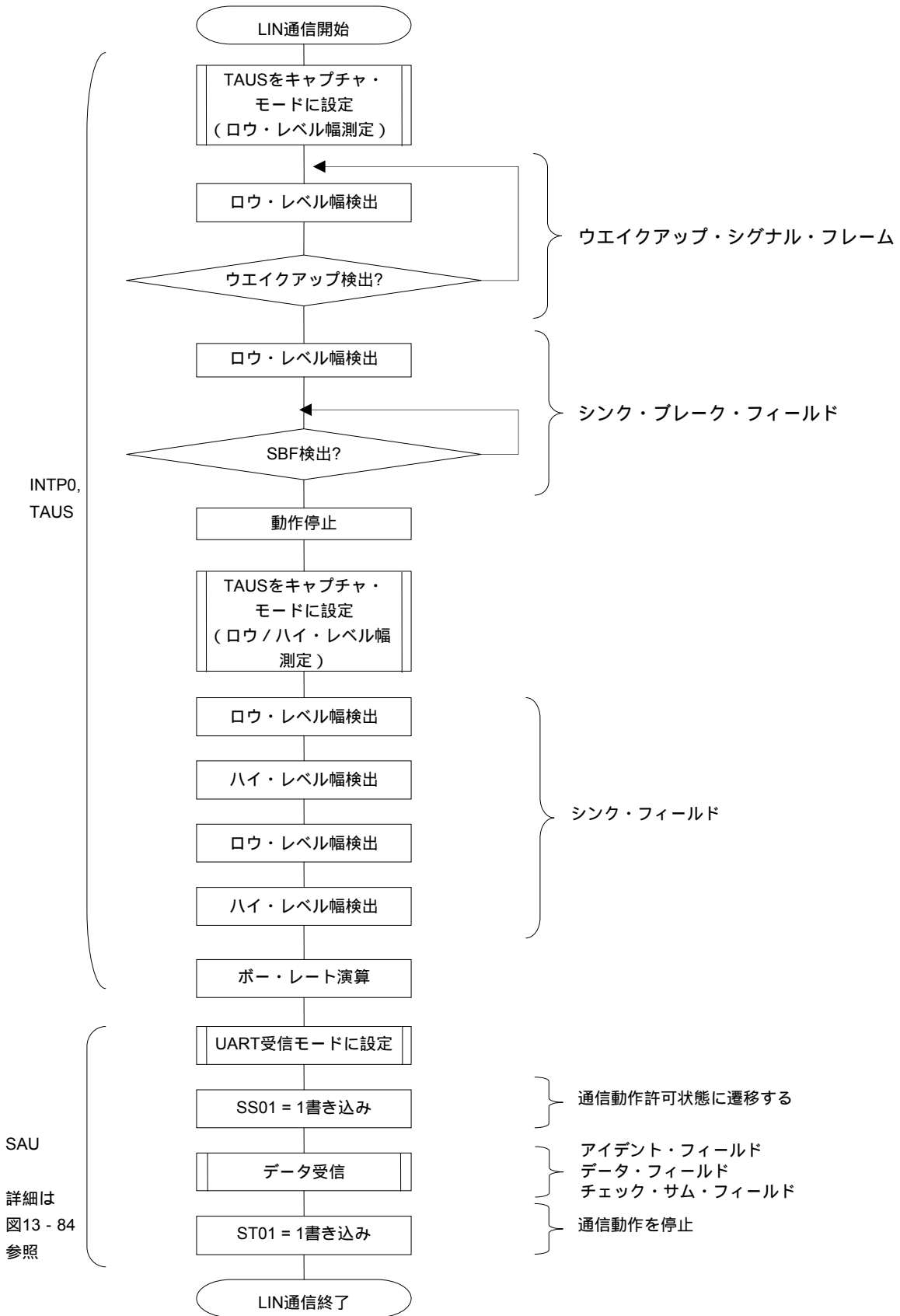
- 2. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3 : xx = 51
- 78K0R/IE3 : xx = 15

LIN通信動作で使用する周辺機能をまとめると、次のようになります。

<使用する周辺機能>

- ・外部割り込み (INTP0) ; ウェイクアップ信号検出
用途: ウェイクアップ信号のエッジを検出し, 通信開始を検出
- ・タイマ・アレイ・ユニットTAUSのLIN受信対応チャンネル; ボー・レート誤差検出
用途: シンク・フィールド (SF) の長さを検出し, ビット数で割ることでボー・レート誤差を検出 (RxD0
入力エッジの間隔をキャプチャ・モードで測定)
- ・シリアル・アレイ・ユニット (SAU) のチャンネル0, 1 (UART0)

図13 - 89 LIN受信のフロー・チャート



13.6.5 ボー・レートの算出

(1) ボー・レート算出式

UART (UART0, UART1) 通信でのボー・レートは下記の計算式にて算出できます。

$$(\text{ボー・レート}) = \{ \text{対象チャネルの動作クロック (f}_{\text{MCK}}) \text{周波数} \} \div (\text{SDR0n}[15:9] + 1) \div 2 \text{ [bps]}$$

注意 シリアル・データ・レジスタ0n (SDR0n) SDR0n[15:9] = (0000000B, 0000001B) は設定禁止です。

備考1. UART使用時は, SDR0n[15:9]はSDR0nレジスタのビット15-9の値 (0000010B-1111111B) なので, 2-127になります。

2. n: チャネル番号 (n = 0-3)

動作クロック (f_{MCK}) は, シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ0n (SMR0n) のビット15 (CKS0nビット) で決まります。

表13-3 動作クロックの選択

SMR0n レジスタ	SPS0レジスタ								動作クロック (f _{CLK}) ^{注1}		
	CKS0n	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000	f _{CLK} = 20 MHz 動作時	
0		X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
		X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
		X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
		X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
		X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
		X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
		X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
		X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
		X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
		X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
		X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
		X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	INTTM02 ^{注2}		
1		0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
		0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
		0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
		0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
		0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
		0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
		0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
		0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
		1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
		1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
		1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
		1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
	1	1	1	1	X	X	X	X	INTTM02 ^{注2}		
上記以外									設定禁止		

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ0（ST0） = 000FH）させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニットTAUSも停止（タイマ・チャンネル停止レジスタ0（TT0） = 00FFH）させてください。

2. TAUSのチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし（タイマ入力選択レジスタ0（TIS0）のTIS02ビットに“1”を設定）、シリアル・クロック選択レジスタ0（SPS0）でINTTM02を選択することにより、f_{CLK}の周波数（メイン・システム・クロック、サブシステム・クロック）に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU、TAUSを停止させる必要があります。

備考1. X : Don't care

2. n : チャンネル番号 (n = 0-3)

(2) 送信時のボー・レート誤差

UART (UART0, UART1) 通信での、送信時のボー・レート誤差は、下記の計算式にて算出できます。送信側のボー・レートが、受信側の許容ボー・レート範囲内に収まるように設定してください。

$$(\text{ボー・レート誤差}) = (\text{算出ボー・レート値}) \div (\text{目標ボー・レート値}) \times 100 - 100 [\%]$$

$f_{\text{CLK}} = 20 \text{ MHz}$ の場合のUARTボー・レート設定例を示します。

UARTボー・レート (目標ボー・レート)	$f_{\text{CLK}} = 20 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	SDR0n[15:9]	算出ボー・レート	目標ボー・レートとの誤差 ^注
300 bps	$f_{\text{CLK}}/2^9$	64	300.48 bps	+0.16 %
600 bps	$f_{\text{CLK}}/2^8$	64	600.96 bps	+0.16 %
1200 bps	$f_{\text{CLK}}/2^7$	64	1201.92 bps	+0.16 %
2400 bps	$f_{\text{CLK}}/2^6$	64	2403.85 bps	+0.16 %
4800 bps	$f_{\text{CLK}}/2^5$	64	4807.69 bps	+0.16 %
9600 bps	$f_{\text{CLK}}/2^4$	64	9615.38 bps	+0.16 %
19200 bps	$f_{\text{CLK}}/2^3$	64	19230.8 bps	+0.16 %
31250 bps	$f_{\text{CLK}}/2^3$	39	31250.0 bps	±0.0 %
38400 bps	$f_{\text{CLK}}/2^2$	64	38461.5 bps	+0.16 %
76800 bps	$f_{\text{CLK}}/2$	64	76923.1 bps	+0.16 %
153600 bps	f_{CLK}	64	153846 bps	+0.16 %
312500 bps	f_{CLK}	31	312500 bps	±0.0 %

注 X1発振回路、高速内蔵発振回路の発振精度による誤差は含まれていません。

備考 n: チャネル番号 (n = 0, 2)

(3) 受信時のボー・レート許容範囲

UART (UART0, UART1) 通信での、受信時のボー・レート許容範囲は、下記の計算式にて算出できます。受信側の許容ボー・レート範囲に送信側のボー・レートが収まるように設定してください。

$$\text{(受信可能な最大ボー・レート)} = \frac{2 \times k \times \text{Nfr}}{2 \times k \times \text{Nfr} - k + 2} \times \text{Brate}$$

$$\text{(受信可能な最小ボー・レート)} = \frac{2 \times k \times (\text{Nfr} - 1)}{2 \times k \times \text{Nfr} - k - 2} \times \text{Brate}$$

Brate : 受信側の算出ボー・レート値 (13.6.5 (1) ボー・レート算出式参照)

k : SDR0n[15:9] + 1

Nfr : 1データ・フレーム長 [ビット]

= (スタート・ビット) + (データ長) + (パリティ・ビット) + (ストップ・ビット)

備考 n : チャネル番号 (n = 1, 3)

図13-90 受信時の許容ボー・レート範囲 (1データ・フレーム長 = 11ビットの場合)

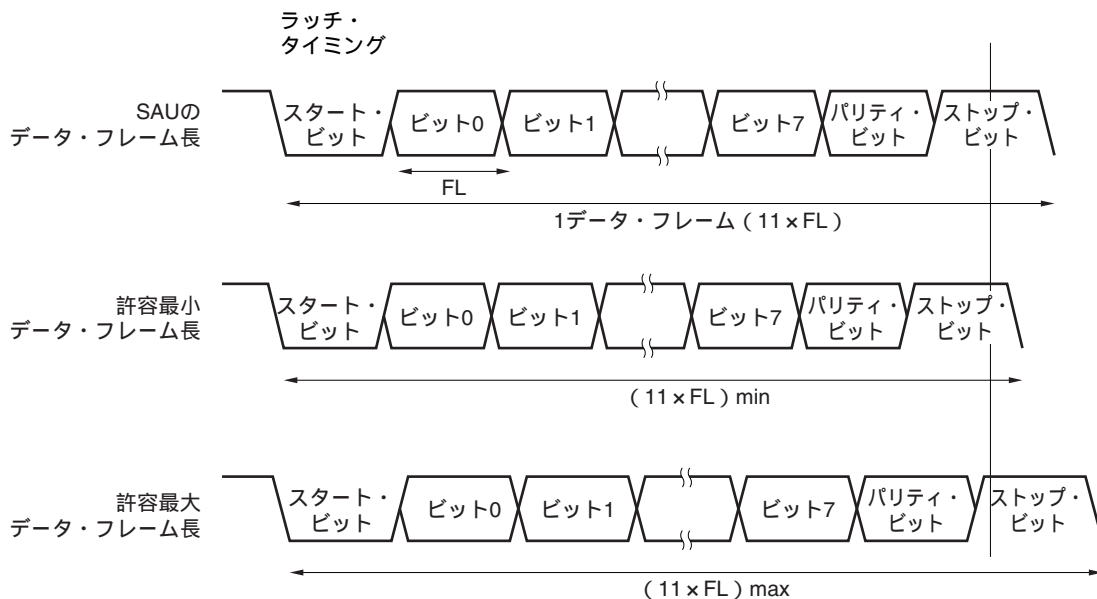


図13-90に示すように、スタート・ビット検出後はシリアル・データ・レジスタ0n (SDR0n) のビット15-9で設定した分周比により、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ (ストップ・ビット) までが間に合えば正常に受信できます。

13.6.6 UART (UART0, UART1) 通信時におけるエラー発生時の処理手順

UART (UART0, UART1) 通信時にエラーが発生した場合の処理手順を図13 - 91, 図13 - 92に示します。

図13 - 91 パリティ・エラーおよびオーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ0n (SDR0n) をリードする	SSR0nレジスタのBFF0nビットが“0”となり,チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ0n (SSR0n) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) に“1”をライトする	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで,読み出し時のエラーのみをクリアできる

図13 - 92 フレーミング・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ0n (SDR0n) をリードする	SSR0nレジスタのBFF0nビットが“0”となり,チャンネルnは受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ0n (SSR0n) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ0n (SIR0n) をライトする	エラー・フラグがクリアされる	SSR0nレジスタのリード値をそのままSIR0nレジスタに書き込むことで,読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ0 (ST0) のST0nビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のSE0nビットが“0”となり,チャンネルnは動作停止状態になる	
通信相手との同期処理を行う		スタートがずれているためにフレーミング・エラーが起きたと考えられるため,通信相手との同期を取り直して通信を再開する
シリアル・チャンネル開始レジスタ0 (SS0) のSS0nビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のSE0nビットが“1”となり,チャンネルnは動作許可状態になる	

備考 n: チャンネル番号 (n = 0-3)

13.7 簡易I²C (IIC10) 通信の動作

シリアル・クロック (SCL) とシリアル・データ (SDA) の2本のラインによる、複数デバイスとのクロック同期式通信機能です。この簡易I²Cでは、EEPROM、フラッシュ・メモリ、A/Dコンバータなどのデバイスとシングル通信を行うために設計されているので、マスタとしてのみ機能します。

スタート・コンディション、ストップ・コンディションは、制御レジスタの操作とともに、ACスペックを守るようにソフトウェアで処理してください。

[データ送受信]

- ・ マスタ送信，マスタ受信（シングル・マスタでのマスタ機能のみ）
- ・ ACK出力機能^注，ACK検出機能
- ・ 8ビットのデータ長
（アドレス送信時は，上位7ビットでアドレス指定し，最下位1ビットでR/W制御）
- ・ スタート・コンディション，ストップ・コンディション手動発生

[割り込み機能]

- ・ 転送完了割り込み

[エラー検出フラグ]

- ・ オーバラン・エラー
- ・ パリティ・エラー（ACKエラー）

[簡易I²Cでサポートしていない機能]

- ・ スレーブ送信，スレーブ受信
- ・ アービトレーション負け検出機能
- ・ ウェイト検出機能

注 最終データの受信時は，SOE02（SOE0レジスタ）ビットに0を書き込み，シリアル通信のデータ出力を停止することによりACKを出力しません。詳細は，13. 7. 3（2）**処理フロー**を参照してください。

簡易I²C（IIC10）に対応しているチャンネルは，SAUのチャンネル2です。

チャンネル	CSIとして使用	UARTとして使用	簡易I ² Cとして使用
0	CSI00 ^注	UART0（LIN-bus対応）	-
1	CSI01 ^注		-
2	CSI10	UART1	IIC10
3	-		-

注 78K0R/IC3の44ピン，48ピン製品，78K0R/ID3，78K0R/IE3のみ

簡易I²C（IIC10）の通信動作は，以下の4種類があります。

- ・ アドレス・フィールド送信 （13. 7. 1項を参照）
- ・ データ送信 （13. 7. 2項を参照）
- ・ データ受信 （13. 7. 3項を参照）
- ・ ストップ・コンディション発生 （13. 7. 4項を参照）

13.7.1 アドレス・フィールド送信

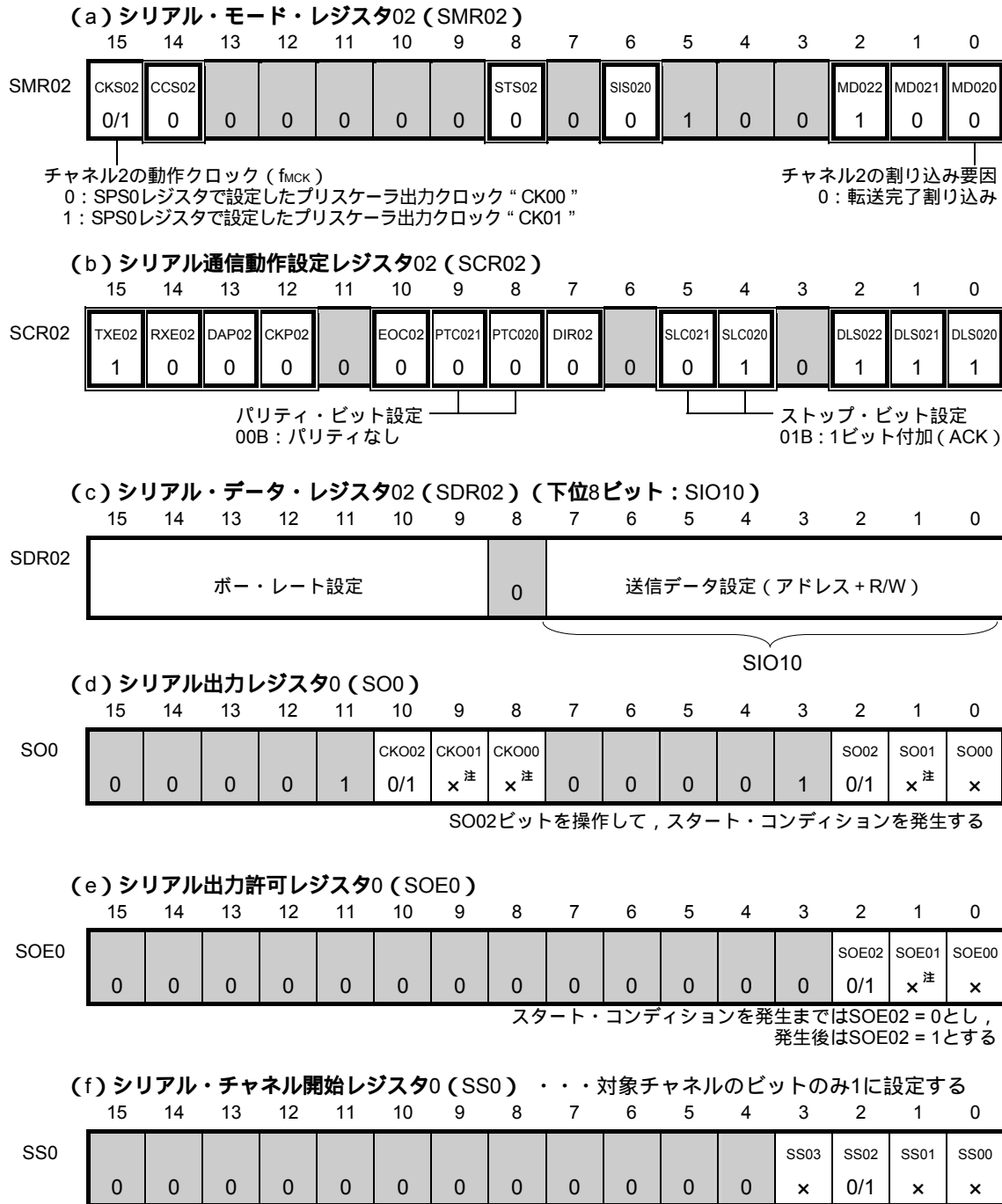
アドレス・フィールド送信は、転送対象（スレーブ）を特定するために、 I^2C 通信でまず最初に行う送信動作です。スタート・コンディションを発生したあとに、アドレス（7ビット）と転送方向（1ビット）を1フレームとして送信します。

簡易 I^2C	IIC10
対象チャンネル	SAUのチャンネル2
使用端子	SCL10, SDA10 ^註
割り込み	INTIIC10 転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	パリティ・エラー検出フラグ（PEF02）
転送データ長	8ビット（上位7ビットをアドレス，下位1ビットをR/W制御として送信）
転送レート	Max. $f_{MCK}/4$ [Hz]（SDR02[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック（ f_{MCK} ）周波数 ただし、 I^2C の各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK受信タイミング用）
データ方向	MSBファースト

注 簡易 I^2C による通信を行う場合は、ポート出力モード・レジスタ（POM3）にてN-chオープン・ドレイン出力（ V_{DD} 耐圧）モードを設定（POM31 = 1）してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10）も同様にN-chオープン・ドレイン出力（ V_{DD} 耐圧）モードを設定（POM32 = 1）してください（詳細は、4.4.4 **異電位（2.5V系，3V系）外部デバイスとの接続方法を参照**）。

(1) レジスタ設定

図13-93 簡易I²C (IIC10) のアドレス・フィールド送信時のレジスタ設定内容例

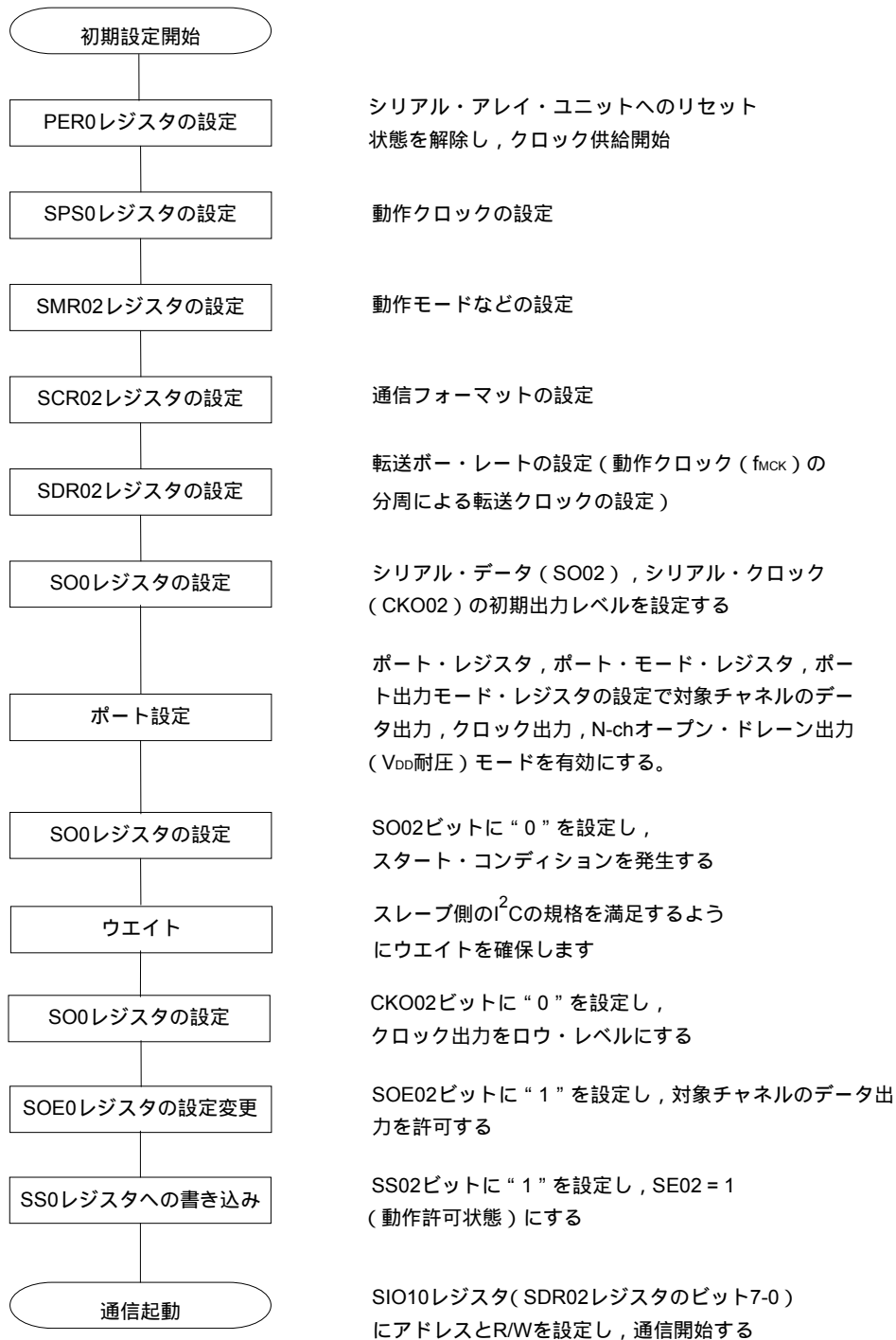


注 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)
 ×: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)
 0/1: ユーザの用途に応じて0または1に設定

(2) 操作手順

図13 - 94 アドレス・フィールド送信の初期設定手順



注意 周辺イネーブル・レジスタ0 (PER0) のSAU0ENビットを“1”に設定後に、f_{CLK}の4クロック以上間隔をあけてからシリアル・クロック選択レジスタ0 (SPS0) を設定してください。

(3) 処理フロー

図13 - 95 アドレス・フィールド送信のタイミング・チャート

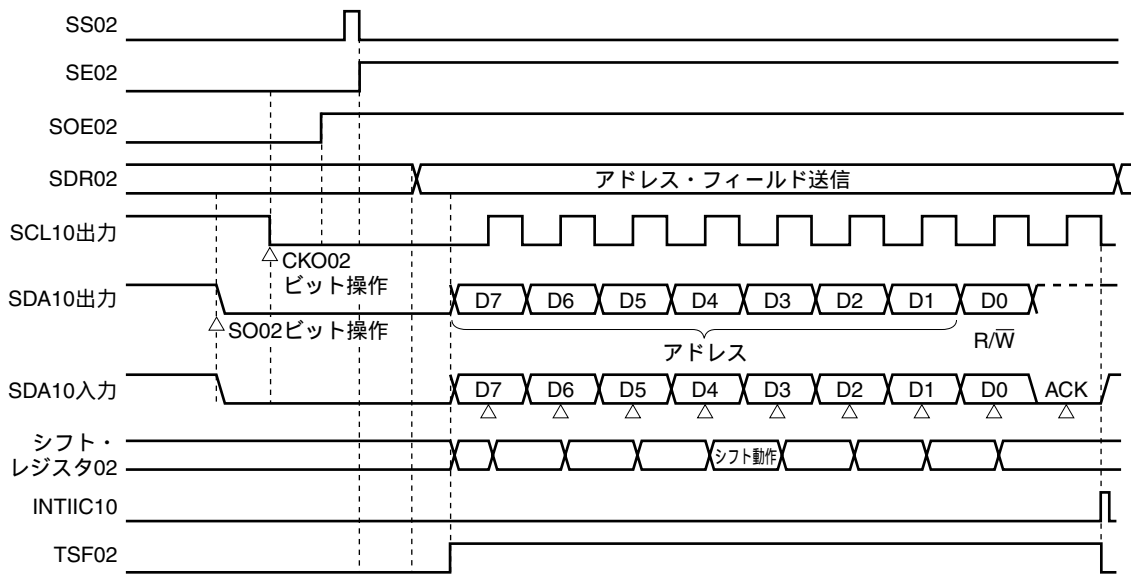
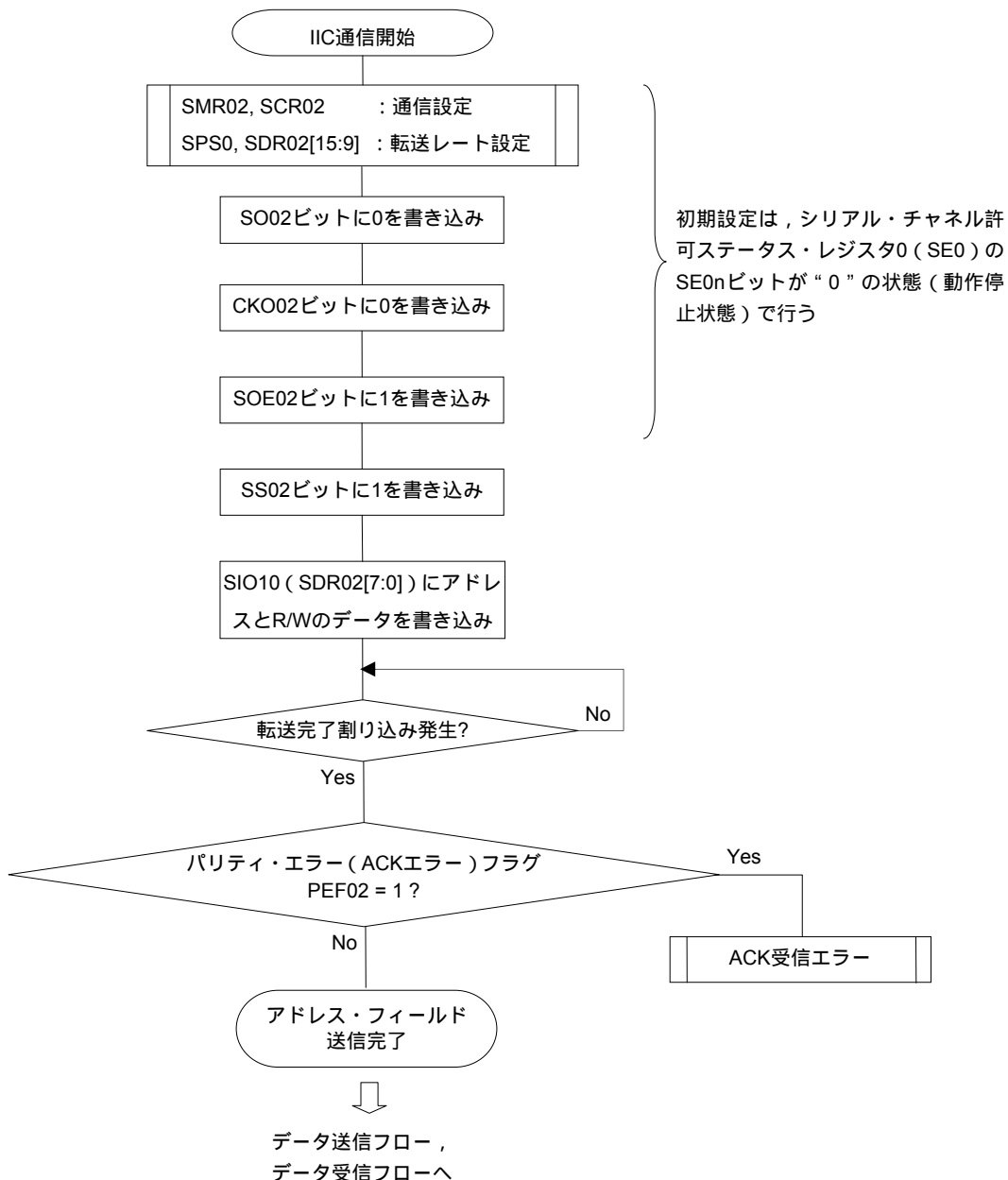


図13 - 96 アドレス・フィールド送信のフロー・チャート



13.7.2 データ送信

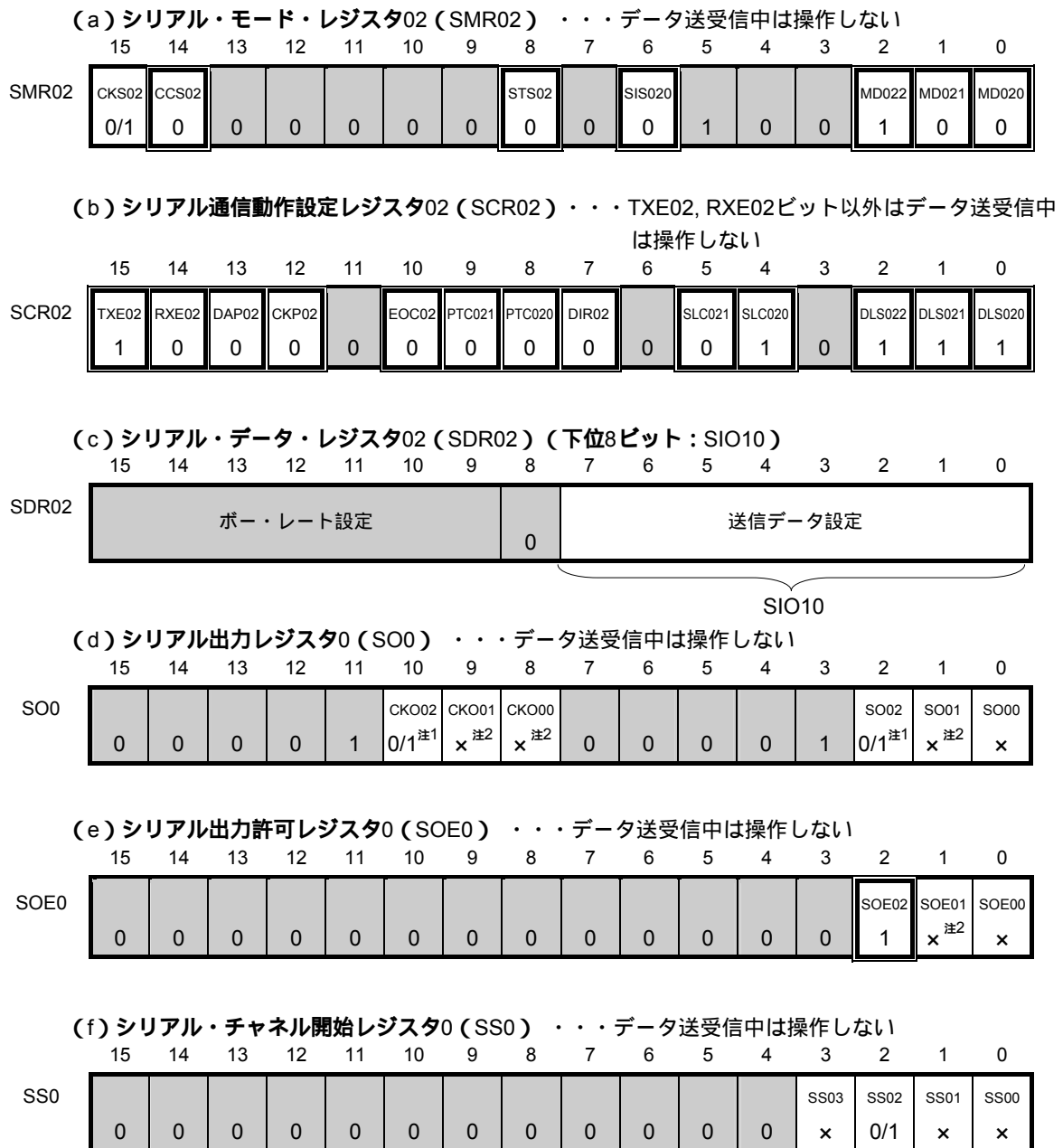
データ送信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを送信する動作です。対象スレーブにすべてのデータを送信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易I ² C	IIC10
対象チャンネル	SAUのチャンネル2
使用端子	SCL10, SDA10 [※]
割り込み	INTIIC10
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	パリティ・エラー検出フラグ（PEF02）
転送データ長	8ビット
転送レート	Max. $f_{MCK}/4$ [Hz]（SDR02[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック（ f_{MCK} ）周波数 ただし、I ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK受信タイミング用）
データ方向	MSBファースト

注 簡易I²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM3）にてN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM31 = 1）してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10）も同様にN-chオープン・ドレイン出力（V_{DD}耐圧）モードを設定（POM32 = 1）してください（詳細は、4.4.4 **異電位（2.5 V系、3 V系）外部デバイスとの接続方法を参照**）。

(1) レジスタ設定

図13 - 97 簡易²C (IIC10) のデータ送信時のレジスタ設定内容例



注1. 通信動作中は通信データにより値が変わります。

2. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 処理フロー

図13 - 98 データ送信のタイミング・チャート

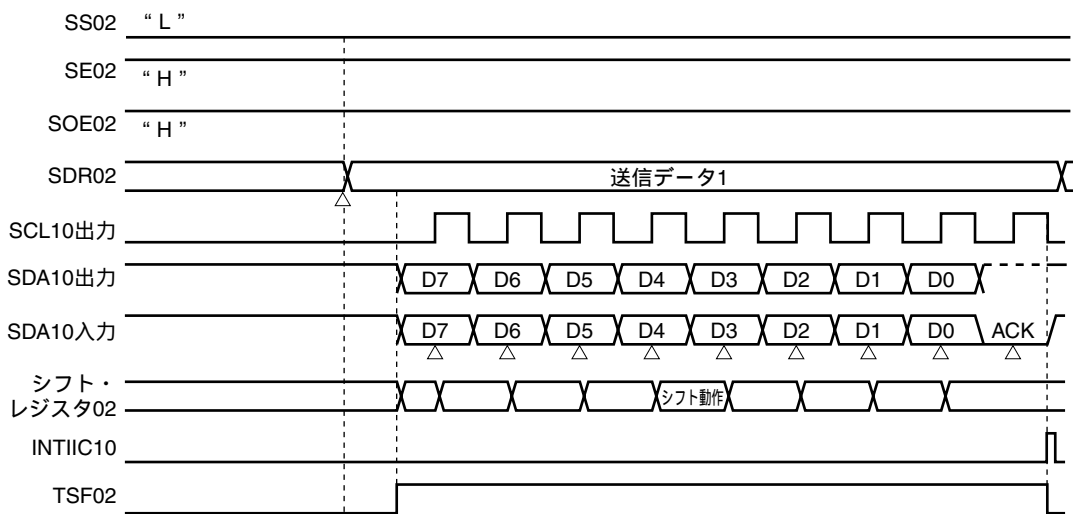
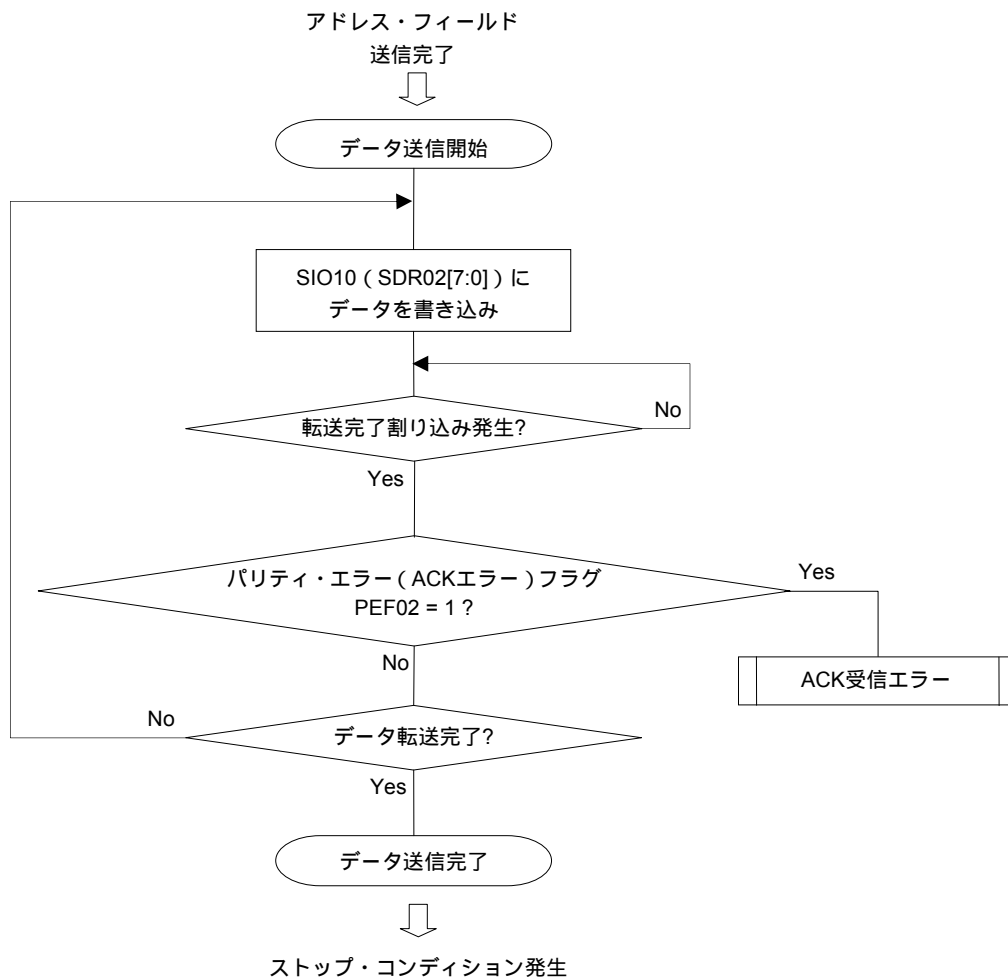


図13 - 99 データ送信のフロー・チャート



13.7.3 データ受信

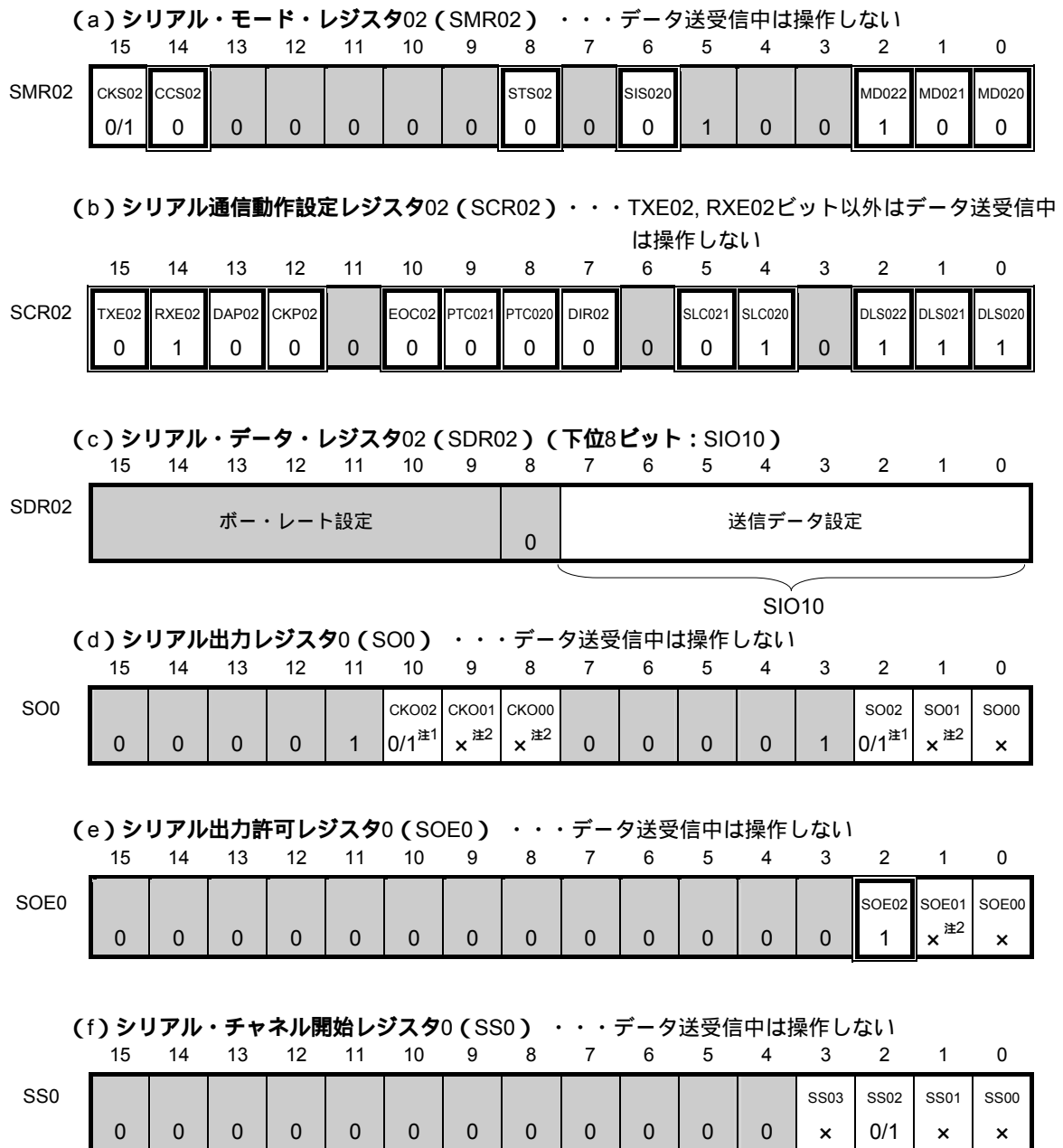
データ受信は、アドレス・フィールド送信後にその転送対象（スレーブ）にデータを受信する動作です。対象スレーブにすべてのデータを受信した後は、ストップ・コンディションを発生し、バスを開放します。

簡易 ² C	IIC10
対象チャンネル	SAUのチャンネル2
使用端子	SCL10, SDA10 [※]
割り込み	INTIIC10
	転送完了割り込みのみ（バッファ空き割り込みは選択不可）
エラー検出フラグ	オーバラン・エラー検出フラグ（OVF02）のみ
転送データ長	8ビット
転送レート	Max. $f_{MCK}/4$ [Hz]（SDR02[15:9] = 1以上） f_{MCK} ：対象チャンネルの動作クロック（ f_{MCK} ）周波数 ただし、 ² Cの各モードにより、以下の条件を満たしてください。 ・ Max. 400 kHz（ファースト・モード） ・ Max. 100 kHz（標準モード）
データ・レベル	正転出力（デフォルト：ハイ・レベル）
パリティ・ビット	パリティ・ビットなし
ストップ・ビット	1ビット付加（ACK送信）
データ方向	MSBファースト

注 簡易²Cによる通信を行う場合は、ポート出力モード・レジスタ（POM3）にてN-chオープン・ドレール出力（ V_{DD} 耐圧）モードを設定（POM31 = 1）してください（詳細は4.3 **ポート機能を制御するレジスタ**を参照）。異電位外部デバイスとの通信の場合は、クロック入力/出力端子（SCL10）も同様にN-chオープン・ドレール出力（ V_{DD} 耐圧）モードを設定（POM32 = 1）してください（詳細は、4.4.4 **異電位（2.5 V系、3 V系）外部デバイスとの接続方法を参照**）。

(1) レジスタ設定

図13 - 100 簡易I²C (IIC10) のデータ受信時のレジスタ設定内容例



注1. 通信動作中は通信データにより値が変わります。

2. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 □: IICモードでは設定固定 ■: 設定不可 (初期値を設定)

x: このモードでは使用できないビット (他のモードでも使用しない場合は初期値を設定)

0/1: ユーザの用途に応じて0または1に設定

(2) 処理フロー

図13 - 101 データ受信のタイミング・チャート

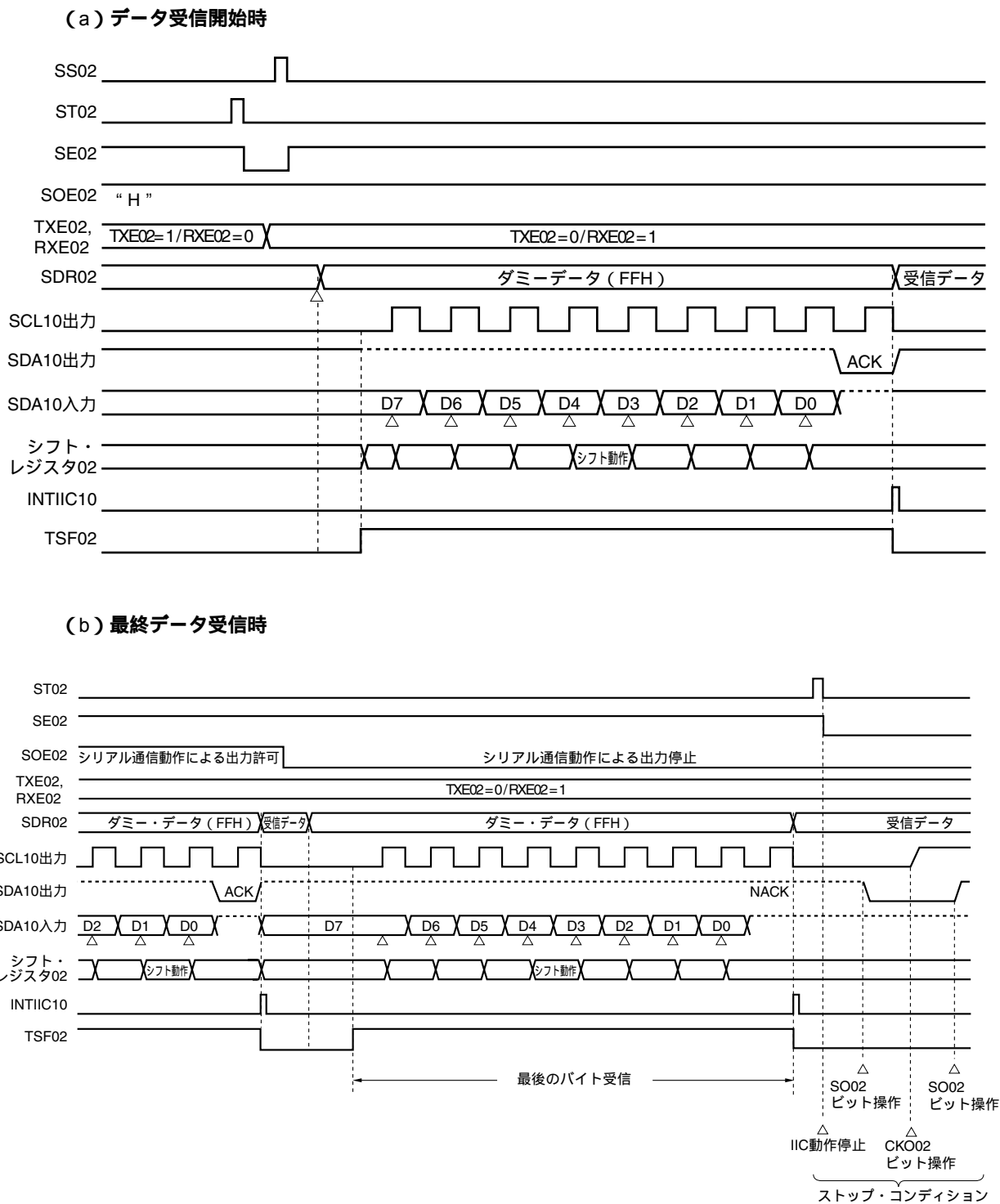
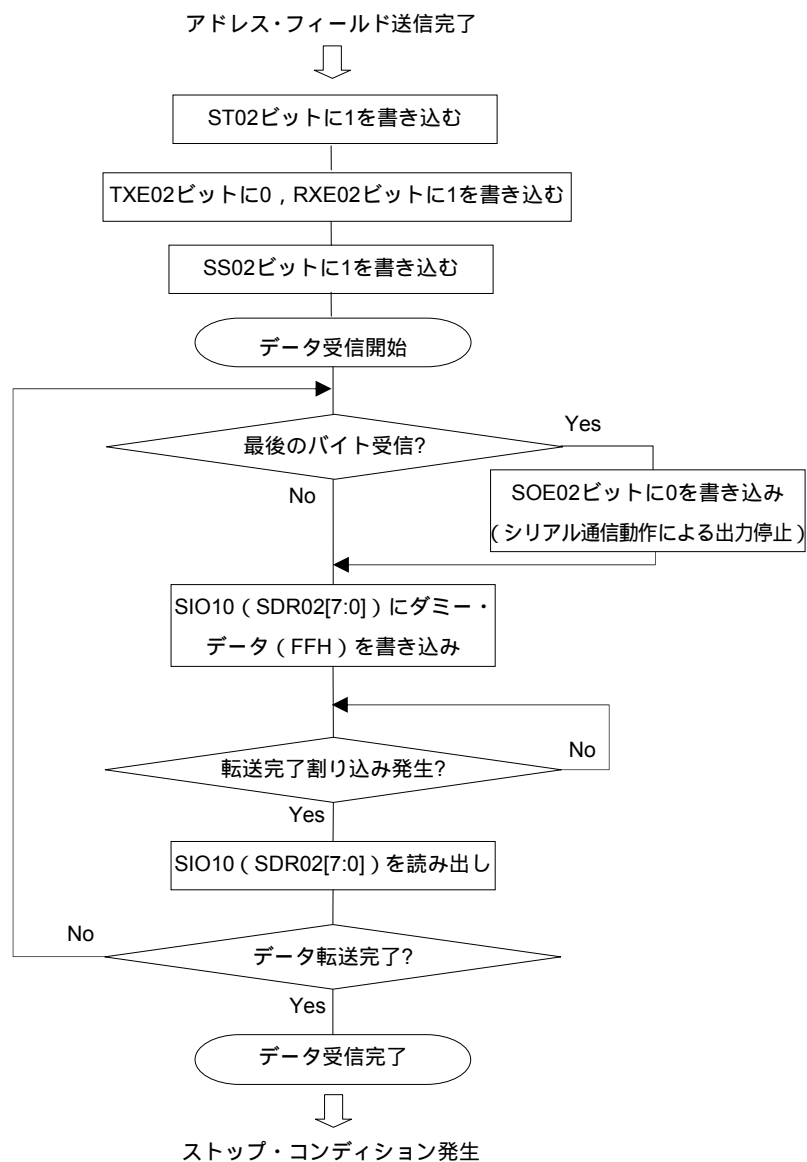


図13 - 102 データ受信のフロー・チャート



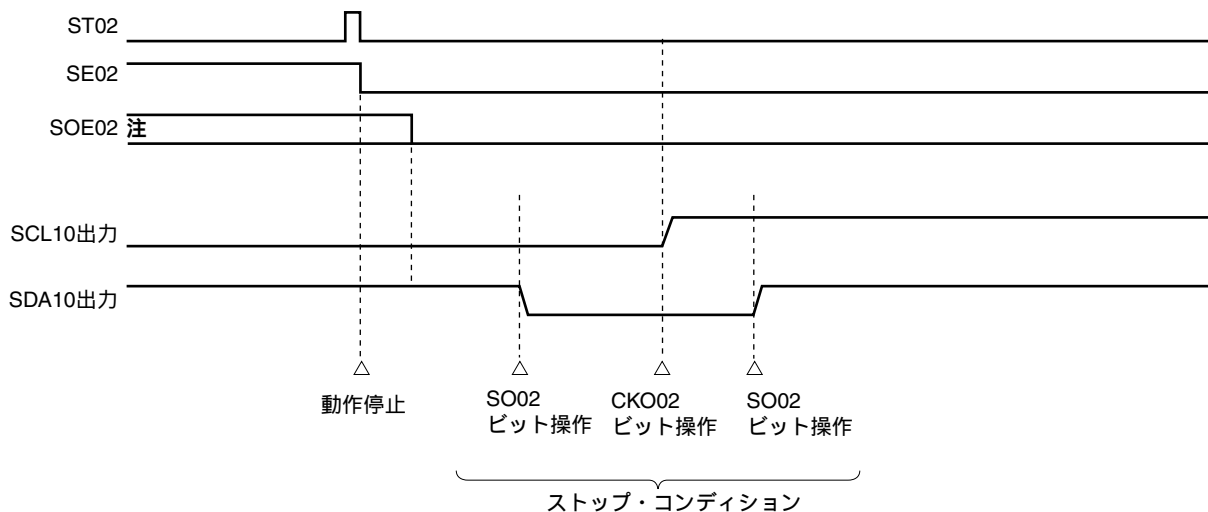
注意 最終データの受信時はACKを出力しません (NACK)。その後、シリアル・チャンネル停止レジスタ0 (ST0) のST02ビットに“1”を設定して動作停止としてから、ストップ・コンディションを発生することにより通信完了します。

13.7.4 ストップ・コンディション発生

対象スレーブにすべてのデータを送信 / 受信した後は、ストップ・コンディションを発生し、バスを開放します。

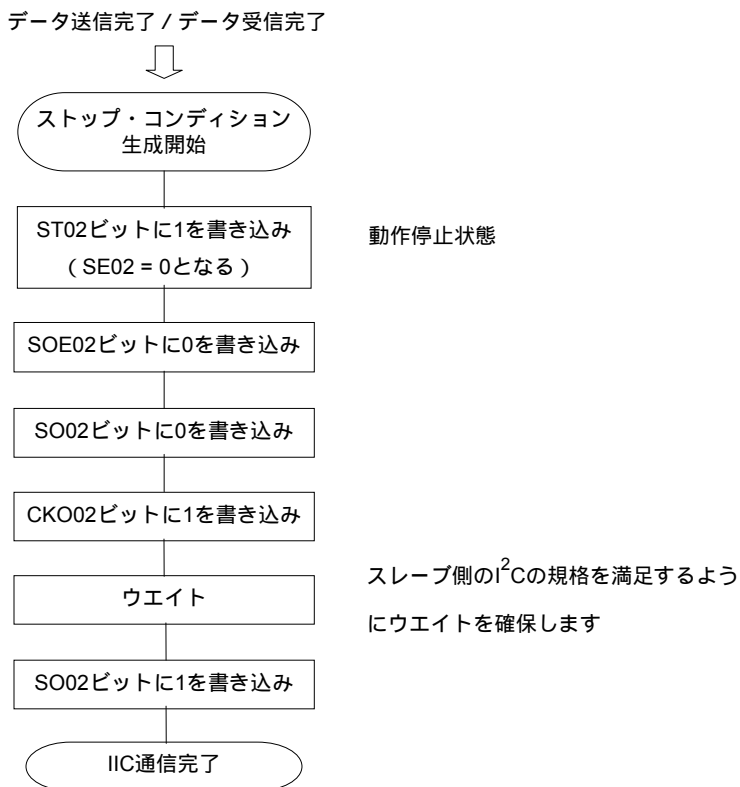
(1) 処理フロー

図13 - 103 ストップ・コンディション発生のタイミング・チャート



注 受信動作時は最終データを受信する前に、シリアル出力許可レジスタ0 (SOE0) のSOE02ビットを“0”に設定しています。

図13 - 104 ストップ・コンディション発生のフロー・チャート



13.7.5 転送レートの算出

簡易I²C (IIC10) 通信での転送レートは下記の計算式にて算出できます。

$$\text{(転送レート)} = \{ \text{対象チャネルの動作クロック (f}_{\text{MCK}}) \text{ 周波数} \} \div (\text{SDR02}[15:9] + 1) \div 2$$

注意 SDR02[15:9] = 0000000Bは**設定禁止**です。SDR02[15:9] = 0000001B以上に設定してください。

備考 (SDR02[15:9]) は、シリアル・データ・レジスタ02 (SDR02) のビット15-9の値 (0000001B-1111111B) なので、1-127になります。

動作クロック(f_{MCK})は、シリアル・クロック選択レジスタ0 (SPS0) とシリアル・モード・レジスタ02 (SMR02) のビット15 (CKS02ビット) で決まります。

表13-4 動作クロックの選択

SMR02 レジスタ	SPS0レジスタ								動作クロック (f _{CLK}) ^{注1}	
	CKS02	PRS 013	PRS 012	PRS 011	PRS 010	PRS 003	PRS 002	PRS 001	PRS 000	f _{CLK} = 20 MHz 動作時
0	X	X	X	X	0	0	0	0	f _{CLK}	20 MHz
	X	X	X	X	0	0	0	1	f _{CLK} /2	10 MHz
	X	X	X	X	0	0	1	0	f _{CLK} /2 ²	5 MHz
	X	X	X	X	0	0	1	1	f _{CLK} /2 ³	2.5 MHz
	X	X	X	X	0	1	0	0	f _{CLK} /2 ⁴	1.25 MHz
	X	X	X	X	0	1	0	1	f _{CLK} /2 ⁵	625 kHz
	X	X	X	X	0	1	1	0	f _{CLK} /2 ⁶	313 kHz
	X	X	X	X	0	1	1	1	f _{CLK} /2 ⁷	156 kHz
	X	X	X	X	1	0	0	0	f _{CLK} /2 ⁸	78.1 kHz
	X	X	X	X	1	0	0	1	f _{CLK} /2 ⁹	39.1 kHz
	X	X	X	X	1	0	1	0	f _{CLK} /2 ¹⁰	19.5 kHz
	X	X	X	X	1	0	1	1	f _{CLK} /2 ¹¹	9.77 kHz
	X	X	X	X	1	1	1	1	INTTM02 ^{注2}	
1	0	0	0	0	X	X	X	X	f _{CLK}	20 MHz
	0	0	0	1	X	X	X	X	f _{CLK} /2	10 MHz
	0	0	1	0	X	X	X	X	f _{CLK} /2 ²	5 MHz
	0	0	1	1	X	X	X	X	f _{CLK} /2 ³	2.5 MHz
	0	1	0	0	X	X	X	X	f _{CLK} /2 ⁴	1.25 MHz
	0	1	0	1	X	X	X	X	f _{CLK} /2 ⁵	625 kHz
	0	1	1	0	X	X	X	X	f _{CLK} /2 ⁶	313 kHz
	0	1	1	1	X	X	X	X	f _{CLK} /2 ⁷	156 kHz
	1	0	0	0	X	X	X	X	f _{CLK} /2 ⁸	78.1 kHz
	1	0	0	1	X	X	X	X	f _{CLK} /2 ⁹	39.1 kHz
	1	0	1	0	X	X	X	X	f _{CLK} /2 ¹⁰	19.5 kHz
	1	0	1	1	X	X	X	X	f _{CLK} /2 ¹¹	9.77 kHz
		1	1	1	1	X	X	X	X	INTTM02 ^{注2}
上記以外									設定禁止	

注1. f_{CLK}に選択しているクロックを変更（システム・クロック制御レジスタ（CKC）の値を変更）する場合は、シリアル・アレイ・ユニット（SAU）の動作を停止（シリアル・チャンネル停止レジスタ0（ST0） = 000FH）させてから変更してください。動作クロックにINTTM02を選択する場合は、タイマ・アレイ・ユニットTAUSも停止（タイマ・チャンネル停止レジスタ0（TT0） = 00FFH）させてください。

2. TAUSのチャンネル2において、f_{SUB}/4をカウント・クロックに選択したインターバル・タイマ動作をし（タイマ入力選択レジスタ0（TIS0）のTIS02ビットに“1”を設定）、シリアル・クロック選択レジスタ0（SPS0）でINTTM02を選択することにより、f_{CLK}の周波数（メイン・システム・クロック、サブシステム・クロック）に関係なくサブシステム・クロックの分周固定でSAUを動作させることが可能です。ただし、f_{CLK}を変更する場合は、上記の注1のようにSAU、TAUSを停止させる必要があります。

備考 X : Don't care

$f_{MCK} = f_{CLK} = 20 \text{ MHz}$ の場合のIIC転送レート設定例を示します。

IIC転送モード (希望転送レート)	$f_{CLK} = 20 \text{ MHz}$ 時			
	動作クロック (f_{MCK})	SDR02[15:9]	算出転送レート	希望転送レートとの誤差 [※]
100 kHz	f_{CLK}	99	100 kHz	0.0%
400 kHz	f_{CLK}	24	400 kHz	0.0%

注 X1発振回路，高速内蔵発振回路の発振精度による誤差は含まれていません。

13.7.6 簡易²C (IIC10) 通信時におけるエラー発生時の処理手順

簡易²C (IIC10) 通信時にエラーが発生した場合の処理手順を図13 - 105, 図13 - 106に示します。

図13 - 105 オーバラン・エラー発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ02 (SDR02) をリードする	SSR02レジスタのBFF02ビットが“0”となり,チャンネル2は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ02 (SSR02) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02) に“1”をライトする	エラー・フラグがクリアされる	SSR02レジスタのリード値をそのままSIR02レジスタに書き込むことで,読み出し時のエラーのみをクリアできる

図13 - 106 簡易²Cモード時のパリティ・エラー (ACKエラー) 発生時の処理手順

ソフトウェア操作	ハードウェアの状態	備考
シリアル・データ・レジスタ02 (SDR02) をリードする	SSR02レジスタのBFF02ビットが“0”となり,チャンネル2は受信可能状態になる	エラー処理中に次の受信を完了した場合にオーバラン・エラーになるのを防ぐために行う
シリアル・ステータス・レジスタ02 (SSR02) をリードする		エラーの種類の判別を行い,リード値はエラー・フラグのクリアに使用する
シリアル・フラグ・クリア・トリガ・レジスタ02 (SIR02) をライトする	エラー・フラグがクリアされる	SSR02レジスタのリード値をそのままSIR02レジスタに書き込むことで,読み出し時のエラーのみをクリアできる
シリアル・チャンネル停止レジスタ0 (ST0) のST02ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のSE02ビットが“0”となり,チャンネル2は動作停止状態になる	ACKが返信されていないので,スレーブの受信準備ができていない。そのため,ストップ・コンディションを作成してバスを開放し,再度スタート・コンディションから通信を開始する。もしくはリスタート・コンディションを生成し,アドレス送信からやり直すことも可能。
ストップ・コンディション作成		
スタート・コンディション作成		
シリアル・チャンネル開始レジスタ0 (SS0) のSS02ビットに“1”を設定する	シリアル・チャンネル許可ステータス・レジスタ0 (SE0) のSE02ビットが“1”となり,チャンネル2は動作許可状態になる	

13.8 レジスタの設定と端子の関係

シリアル・アレイ・ユニットのチャンネルごとのレジスタの設定と端子の関係を表13 - 5～表13 - 12に示します。

13.8.1 チャンネル0のレジスタ設定と端子の関係

(1) 78K0R/IB3の場合

表13 - 5 レジスタの設定と端子の関係 (チャンネル0 : UART0送信)

SE00 ^{注1}	MD002	MD001	SOE00	SO00	TXE00	RXE00	PM10	P10	動作モード	端子機能
										TxD0/TI02/TO02/P10
0	0	1	0	1	0	0	×	×	動作停止 モード	TI02/TO02/P10
1	0	1	1	0/1 ^{注3}	1	0	0	1	UART0 送信 ^{注4}	TxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ポート機能として設定することができます。
3. 通信動作に応じて、0または1となります。詳細は、13.3 (12) シリアル出力レジスタ0 (SO0) を参照してください。
4. UART0を送信と受信のペアで使用する場合は、チャンネル1をUART0受信に設定にしてください (表13 - 8 参照)。

備考 × : dont' care

(2) 78K0R/IC3の38ピン製品の場合

表13 - 6 レジスタの設定と端子の関係 (チャンネル0 : UART0送信)

SE00 ^{注1}	MD002	MD001	SOE00	SO00	TXE00	RXE00	PM73	P73	動作モード	端子機能
										TxD0/TO10/P73
0	0	1	0	1	0	0	×	×	動作停止 モード	TO10/P73
1	0	1	1	0/1 ^{注3}	1	0	0	1	UART0 送信 ^{注4}	TxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ポート機能として設定することができます。
3. 通信動作に応じて、0または1となります。詳細は、13.3 (12) シリアル出力レジスタ0 (SO0) を参照してください。
4. UART0を送信と受信のペアで使用する場合は、チャンネル1をUART0受信に設定にしてください (表13 - 9 参照)。

備考 × : dont' care

(3) 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3の場合

表13-7 レジスタの設定と端子の関係 (チャンネル0: CSI00, UART0送信)

SE 00 注1	MD 002	MD 001	SOE 00	SO 00	CKO 00	TXE 00	RXE 00	PM 75	P75	PM 74 注2	P74 注2	PM 73	P73	動作モード	端子機能			
															SCK00/ TI11/P75	SI00/ RxD0/TI10/ P74注2	SO00/ TxD0/TO10/ P73	
0	0	0	0	1	1	0	0	×	×	×	×	×	×	動作停止 モード	TI11/P75	TI10/P74	TO10/P73	
	0	1														RxD0/TI10/ P74		
1	0	0	0	1	1	0	1	1	×	1	×	×	×	スレーブCSI00 受信	SCK00 (入力)	SI00	TO10/P73	
			1	0/1 注4	1	1	0	1	×	×	×	0	1	スレーブCSI00 送信	SCK00 (入力)	TI10/P74	SO00	
			1	0/1 注4	1	1	1	1	×	1	×	0	1	スレーブCSI00 送受信	SCK00 (入力)	SI00	SO00	
			0	1	0/1 注4	0	1	0	1	1	×	×	×	×	マスタCSI00 受信	SCK00 (出力)	SI00	TO10/P73
			1	0/1 注4	0/1 注4	1	0	0	1	×	×	×	0	1	マスタCSI00 送信	SCK00 (出力)	TI10/P74	SO00
			1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	マスタCSI00 送受信	SCK00 (出力)	SI00	SO00	
	0	1	1	0/1 注4	1	1	0	×	×	×	×	0	1	UART0 送信注5	TI11/P75	RxD0/TI10/ P74	TxD0	

- 注1. シリアル・チャンネル許可ステータス・レジスタ0 (SE0) は, Read Onlyのステータス・レジスタであり, シリアル・チャンネル開始レジスタ0 (SS0) とシリアル・チャンネル停止レジスタ0 (ST0) にて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると, この端子はRxD0機能となります (表13-10参照)。その場合, ユニット0のチャンネル0は動作停止モードまたはUART0送信を必ず選択してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて, 0または1となります。詳細は, 13.3 (12) シリアル出力レジスタ0 (SO0) を参照してください。
5. UART0を送信と受信のペアで使用する場合は, ユニット0のチャンネル1をUART0受信に設定にしてください (表13-10参照)。

備考 × : don't care

13. 8. 2 チャンネル1のレジスタ設定と端子の関係

(1) 78K0R/IB3の場合

表13 - 8 レジスタの設定と端子の関係 (チャンネル1 : UART0受信)

SE01 ^{注1}	MD012	MD011	TXE01	RXE01	PM11	P11	動作 モード	端子機能
								TI03/TO03/RxD0/P11
0	0	1	0	0	x ^{注2}	x ^{注2}	動作停止 モード	TI03/TO03/P11
1	0	1	0	1	1	x	UART0 受信 ^{注3,4}	RxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ポート機能として設定することができます。
3. UART0を送信と受信のペアで使用する場合は、チャンネル0をUART0送信に設定にしてください (表13 - 5 参照)。
4. UART0受信時はチャンネル0のSMR00レジスタの設定も必要です。詳細は、13. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

(2) 78K0R/IC3の38ピン製品の場合

表13 - 9 レジスタの設定と端子の関係 (チャンネル1 : UART0受信)

SE01 ^{注1}	MD012	MD011	TXE01	RXE01	PM72	P72	動作 モード	端子機能
								INTP6/RxD0/P72
0	0	1	0	0	x ^{注2}	x ^{注2}	動作停止 モード	INTP6/P72
1	0	1	0	1	1	x	UART0 受信 ^{注3,4}	RxD0

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. ポート機能として設定することができます。
3. UART0を送信と受信のペアで使用する場合は、チャンネル0をUART0送信に設定にしてください (表13 - 6 参照)。
4. UART0受信時はチャンネル0のSMR00レジスタの設定も必要です。詳細は、13. 6. 2 (1) レジスタ設定を参照してください。

備考 x : dont' care

(3) 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3の場合

表13 - 10 レジスタの設定と端子の関係 (チャンネル1: CSI01, UART0受信)

SE 01 注1	MD 012	MD 011	SOE 01	SO 01	CKO 01	TXE 01	RXE 01	PM 72	P72	PM 71	P71	PM 70	P70	PM 74 注2	P74 注2	動作 モード	端子機能																					
																	SCK01/ INTP6/ P72	SI01/ INTP5/ P71	SO01/ INTP4 /P70	SI00/RxD0 /TI10/P74 注2																		
0	0	0	0	1	1	0	0	×	×	×	×	×	×	×	×	動作 停止 モード	INTP6/ P72	INTP5/ P71	INTP4 /P70	SI00/TI10/ P74																		
	0	1																																				
1	0	0	0	1	1	0	1	1	×	1	×	×	×	×	×	スレーブ CSI01 受信	SCK01 (入力)	SI01	INTP4 /P70	SI00/TI10/ P74																		
																					1	0/1 注4	1	1	0	1	×	×	×	0	1	×	×	スレーブ CSI01 送信	SCK01 (入力)	INTP5/ P71	SO01	SI00/TI10/ P74
																					1	0/1 注4	1	1	1	1	×	1	×	0	1	×	×	スレーブ CSI01 送受信	SCK01 (入力)	SI01	SO01	SI00/TI10/ P74
																					0	1	0/1 注4	0	1	0	1	1	×	×	×	×	×	マスタ CSI01 受信	SCK01 (出力)	SI01	INTP4 /P70	SI00/TI10/ P74
																					1	0/1 注4	0/1 注4	1	0	0	1	×	×	0	1	×	×	マスタ CSI01 送信	SCK01 (出力)	INTP5/ P71	SO01	SI00/TI10/ P74
																					1	0/1 注4	0/1 注4	1	1	0	1	1	×	0	1	×	×	マスタ CSI01 送受信	SCK01 (出力)	SI01	SO01	SI00/TI10/ P74
0	1	0	1	1	0	1	×	×	×	×	×	×	1	×	UART0 受信 注5,6	INTP6/ P72	INTP5/ P71	INTP4 /P70	RxD0																			

- 注1. シリアル・チャンネル許可ステータス・レジスタ0 (SE0) は, Read Onlyのステータス・レジスタであり, シリアル・チャンネル開始レジスタ0 (SS0) とシリアル・チャンネル停止レジスタ0 (ST0) にて設定します。
2. ユニット0のチャンネル1をUART0受信に設定すると, この端子はRxD0機能となります。その場合, ユニット0のチャンネル0は動作停止モードまたはUART0送信に設定してください (表13 - 7参照)。
また, ユニット0のチャンネル0をCSI00に設定すると, この端子はRxD0機能として使用できません。その場合, ユニット0のチャンネル1は動作停止モードまたはCSI01に設定してください。
3. ポート機能として設定することができます。
4. 通信動作に応じて, 0または1となります。詳細は, 13.3 (12) シリアル出力レジスタ0 (SO0) を参照してください。
5. UART0を送信と受信のペアで使用する場合は, ユニット0のチャンネル0をUART0送信に設定にしてください (表13 - 7参照)。
6. UART0受信時はユニット0のチャンネル0のシリアル・モード・レジスタ00 (SMR00) の設定も必要です。詳細は, 13.6.2 (1) レジスタ設定を参照してください。

備考 × : don't care

13.8.3 チャンネル2のレジスタ設定と端子の関係

表13-11 レジスタの設定と端子の関係 (チャンネル2 : CSI10, UART1送信, IIC10)

SE 02 注1	MD 022	MD 021	SOE 02	SO 02	CKO 02	TXE 02	RXE 02	PM 32	P32	PM 31 注2	P31 注2	PM 30	P30	動作モード	端子機能																	
															SCK10/ SCL10/ INTP2/P32	SI10/SDA10/ RxD1/INTP1 /TI09 ^{注8} /P31 ^{注2}	SO10/ TxD1/ TO11/P30															
0	0	0	0	1	1	0	0	x 注3	x 注3	x 注3	x 注3	x 注3	x 注3	動作停止 モード	INTP2/P32	INTP1/TI09 ^{注8}	TO11/P30															
																/P31																
																RxD1/INTP1 /TI09 ^{注8} /P31																
	0	1																														
	1	0																														
1	0	0	0	1	1	0	1	1	x	1	x	x 注3	x 注3	スレーブ CSI10受信	SCK10 (入力)	SI10	TO11/P30															
															INTP1/TI09 ^{注8}	SO10																
															RxD1/INTP1 /TI09 ^{注8} /P31																	
															1	0/1 注4	1	1	0	1	x	x 注3	x 注3	0	1	スレーブ CSI10送信	SCK10 (入力)	INTP1/TI09 ^{注8} /P31	SO10			
															1	0/1 注4	1	1	1	1	x	1	x	0	1	スレーブ CSI10送受信	SCK10 (入力)	SI10	SO10			
															0	1	0/1 注4	0	1	0	1	1	x	x 注3	x 注3	0	1	マスタCSI10 受信	SCK10 (出力)	SI10	TO11/P30	
1	0/1 注4	0/1 注4	1	0	0	1	x 注3	x 注3	0	1	マスタCSI10 送信	SCK10 (出力)	INTP1/TI09 ^{注8} /P31	SO10																		
1	0/1 注4	0/1 注4	1	1	0	1	1	x	0	1	マスタCSI10 送受信	SCK10 (出力)	SI10	SO10																		
	0	1	1	0/1 注4	1	1	0	x 注3	x 注3	x 注3	x 注3	0	1	UART1送信 注5	INTP2/P32	RxD1/INTP1 /TI09 ^{注8} /P31	TxD1															
0	1	0	0	0/1 注6	0/1 注6	0	0	0	1	0	1	x 注3	x 注3	IIC10 スタート・コ ンディション	SCL10	SDA10	TO11/P30															
																		1	0													
																		0	1													
1			1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC10アドレ ス・フィールド 送信	SCL10	SDA10	TO11/P30															
																		1	0/1 注4	0/1 注4	1	0	0	1	0	1	x 注3	x 注3	IIC10デー タ 送信	SCL10	SDA10	TO11/P30
																		1	0/1 注4	0/1 注4	0	1	0	1	0	1	x 注3	x 注3	IIC10デー タ 受信	SCL10	SDA10	TO11/P30
0			0	0/1 注7	0/1 注7	0	0	0	1	0	1	x 注3	x 注3	IIC10 ストップ・コ ンディション	SCL10	SDA10	TO11/P30															
																		1	0													
																		0	1													

(注、備考は次ページにあります。)

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. チャンネル3をUART1受信に設定すると、この端子はRxD1機能となります（表13 - 12参照）。その場合、チャンネル2は動作停止モードまたはUART1送信を必ず選択してください。
 3. ポート機能として設定することができます。
 4. 通信動作に応じて、0または1となります。詳細は、13.3(12)シリアル出力レジスタ0(SO0)を参照してください。
 5. UART1を送信と受信のペアで使用する場合は、チャンネル3をUART1受信に設定にしてください（表13 - 12参照）。
 6. CKO02ビットは、スタート・コンディション発生前は1にセットします。SO02ビットは、スタート・コンディション発生時に1 0にクリアします。
 7. CKO02ビットは、ストップ・コンディション発生前は1にセットします。SO02ビットは、ストップ・コンディション発生時に0 1にセットします。
 8. 78K0R/IE3では、TI09端子の兼用はありません。

備考 × : dont' care

13.8.4 チャンネル3のレジスタ設定と端子の関係

表13 - 12 レジスタの設定と端子の関係 (チャンネル3 : UART1受信)

SE03 ^{注1}	MD032	MD031	TXE03	RXE03	PM31 ^{注2}	P31 ^{注2}	動作 モード	端子機能
								SI10/SDA10/RxD1/INTP1/TI09 ^{注6} /P31 ^{注2}
0	0	1	0	0	x ^{注3}	x ^{注3}	動作停止 モード	SI10/SDA10/INTP1/TI09 ^{注6} /P31 ^{注2}
1	0	1	0	1	1	x	UART1 受信 ^{注4,5}	RxD1

- 注1. SE0レジスタは、Read Onlyのステータス・レジスタであり、SS0レジスタとST0レジスタにて設定します。
2. チャンネル3をUART1受信に設定すると、この端子はRxD1機能となります。その場合、チャンネル2は動作停止モードまたはUART1送信に設定してください(表13 - 11参照)。
また、チャンネル2をCSI10またはIIC10に設定すると、この端子はRxD1機能として使用できません。その場合、チャンネル3は動作停止モードに設定してください。
3. ポート機能として設定することができます。
4. UART1を送信と受信のペアで使用する場合は、チャンネル2をUART1送信に設定にしてください(表13 - 11参照)。
5. UART1受信時はチャンネル2のSMR02レジスタの設定も必要です。詳細は、13.6.2(1)レジスタ設定を参照してください。
6. 78K0R/IE3では、TI09端子の兼用はありません。

備考 x : dont' care

第14章 シリアル・インタフェースIICA

備考 シリアル・インタフェースIICAは78K0R/IC3の48ピン製品,78K0R/ID3, 78K0R/IE3のみ搭載されています。

14.1 シリアル・インタフェースIICAの機能

シリアル・インタフェースIICAには, 次の3種類のモードがあります。

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード(マルチマスタ対応)

シリアル・クロック(SCL0)とシリアル・データ・バス(SDA0)の2本のラインより, 複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており, マスタはスレーブに対して, シリアル・データ・バス上に“スタート・コンディション”, “アドレス”, “転送方向指定”, “データ”および“ストップ・コンディション”を生成できます。スレーブは, 受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

IICAでは, SCL0端子とSDA0端子はオープン・ドレイン出力で使用するため, シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

(3) ウェイクアップ・モード

STOPモード状態で, マスタからの拡張コードもしくは自局アドレスを受信した場合に, 割り込み要求信号(INTIICA)を発生しSTOPモードを解除することができます。IICAコントロール・レジスタ1(IICCTL1)のWUPビットにより設定します。

図14 - 1に, シリアル・インタフェースIICAのブロック図を示します。

図14-1 シリアル・インタフェースIICAのブロック図

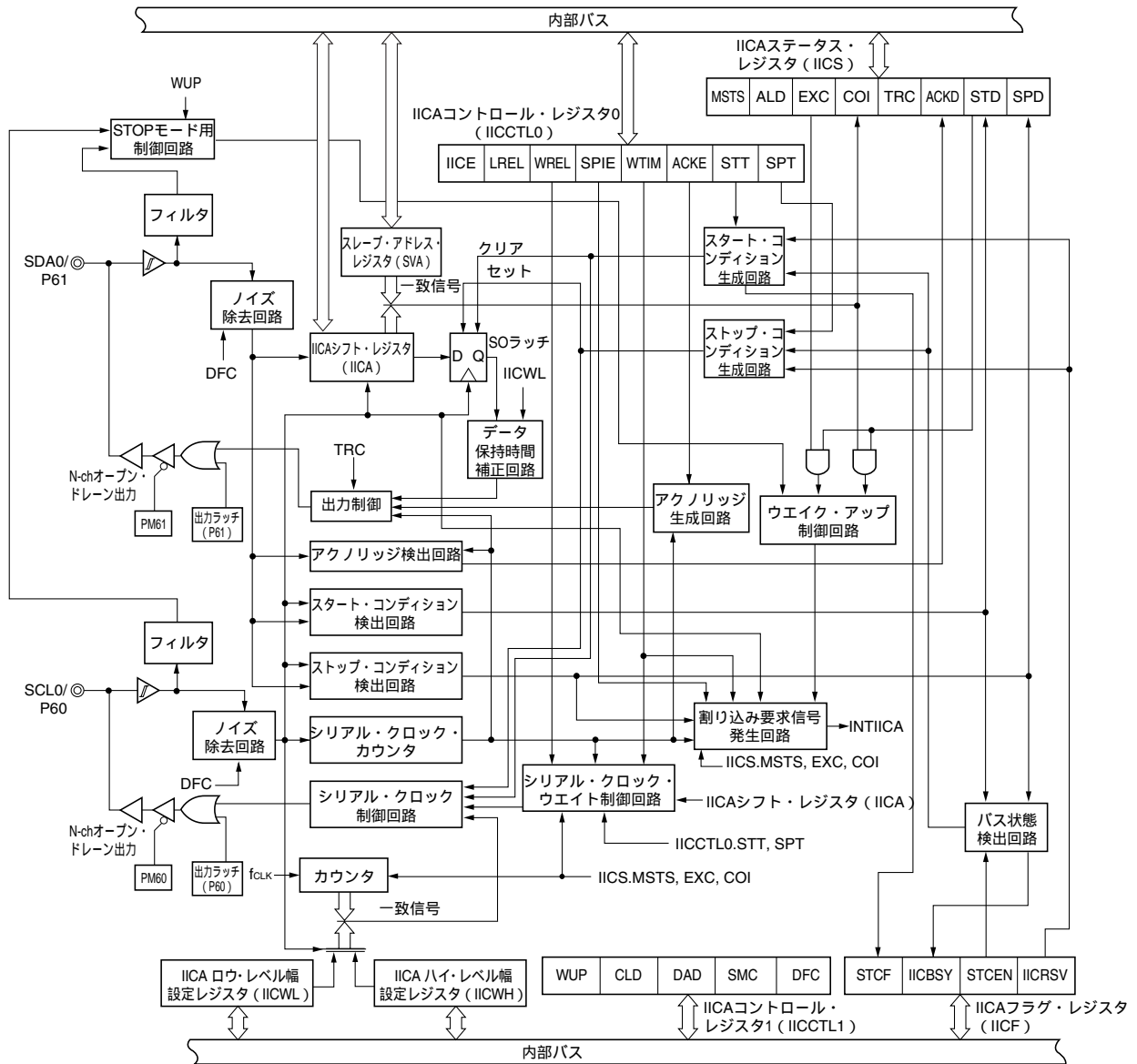
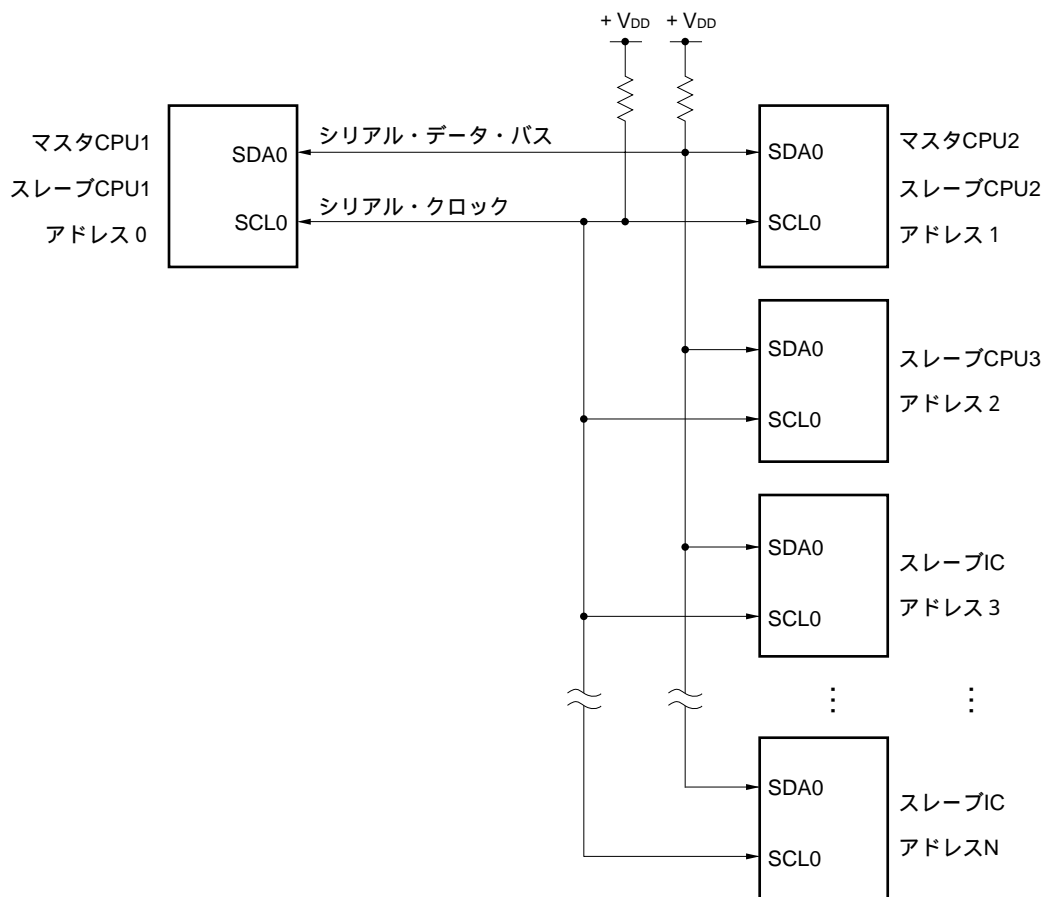


図14 - 2にシリアル・バス構成例を示します。

図14 - 2 I²Cバスによるシリアル・バス構成例



14.2 シリアル・インタフェースIICAの構成

シリアル・インタフェースIICAは、次のハードウェアで構成されています。

表14-1 シリアル・インタフェースIICAの構成

項目	構成
レジスタ	IICAシフト・レジスタ (IICA) スレーブ・アドレス・レジスタ (SVA)
制御レジスタ	周辺イネーブル・レジスタ0 (PER0) IICAコントロール・レジスタ0 (IICCTL0) IICAステータス・レジスタ (IICS) IICAフラグ・レジスタ (IICF) IICAコントロール・レジスタ1 (IICCTL1) IICAロウ・レベル幅設定レジスタ (IICWL) IICAハイ・レベル幅設定レジスタ (IICWH) ポート・モード・レジスタ6 (PM6) ポート・レジスタ6 (P6)

(1) IICAシフト・レジスタ (IICA)

IICAは、シリアル・クロックに同期して、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICAは送信および受信の両方に使用されます。

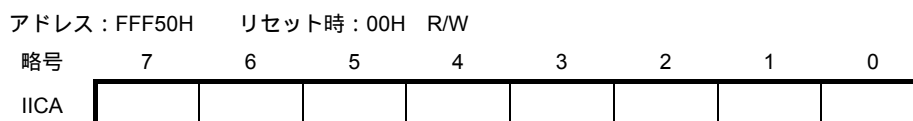
IICAに対する書き込み/読み出しにより、実際の送受信動作が制御できます。

ウェイト期間中のIICAへの書き込みにより、ウェイトを解除し、データ転送を開始します。

IICAは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14-3 IICAシフト・レジスタ (IICA) のフォーマット



- 注意1.** データ転送中はIICAにデータを書き込まないでください。
- IICAには、ウェイト期間中にだけ、書き込み/読み出しをしてください。ウェイト期間中を除く通信状態でのIICAへのアクセスは禁止です。ただし、マスタになる場合は、通信トリガ・ビット (STT) をセット (1) したあと、1回書き込みできます。
 - 通信予約時は、ストップ・コンディションによる割り込み検出のあとにIICAにデータを書き込んでください。

(2) スレーブ・アドレス・レジスタ (SVA)

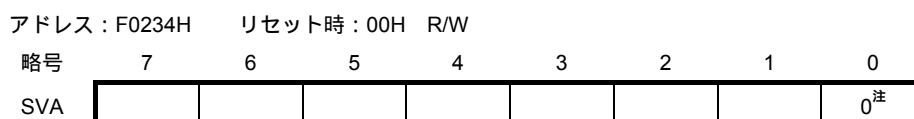
スレーブとして使用する場合に、自局アドレスを格納するレジスタです。

SVAは、8ビット・メモリ操作命令で設定します。

ただし、STD = 1 (スタート・コンディション検出) のときの書き換えは禁止です。

リセット信号の発生により、00Hになります。

図14 - 4 スレーブ・アドレス・レジスタ (SVA) のフォーマット



注 ビット0は0固定です。

(3) SOラッチ

SOラッチは、SDA0端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

スレーブ・アドレス・レジスタ (SVA) に設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求 (INTIICA) を発生させる回路です。

(5) シリアル・クロック・カウンタ

送信 / 受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(6) 割り込み要求信号発生回路

割り込み要求信号 (INTIICA) の発生を制御します。

I²C割り込み要求は、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (WTIMビットで設定)
- ・ストップ・コンディション検出による割り込み要求発生 (SPIEビットで設定)

備考 WTIMビット : IICAコントロール・レジスタ0 (IICCTL0) のビット3
 SPIEビット : " のビット4

(7) シリアル・クロック制御回路

マスタ・モード時に、SCL0端子に出力するクロックをサンプリング・クロックから生成します。

(8) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(9) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(10) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(11) スタート・コンディション生成回路

STTビットがセット(1)されるとスタート・コンディションを生成します。

ただし通信予約禁止状態(IICRSVビット = 1)で、かつバスが解放されていない(IICBSYビット = 1)場合には、スタート・コンディション要求は無視し、STCFビットをセット(1)します。

(12) ストップ・コンディション生成回路

SPTビットがセット(1)されるとストップ・コンディションを生成します。

(13) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、STCENビットにより、バス状態検出回路の初期状態を設定してください。

備考	STTビット	: IICAコントロール・レジスタ0 (IICCTL0)	のビット1
	SPTビット	: "	のビット0
	IICRSVビット	: IICAフラグ・レジスタ (IICF)	のビット0
	IICBSYビット	: "	のビット6
	STCFビット	: "	のビット7
	STCENビット	: "	のビット1

14.3 シリアル・インタフェースIICAを制御するレジスタ

シリアル・インタフェースIICAは、次の8種類のレジスタで制御します。

- ・周辺イネーブル・レジスタ0 (PER0)
- ・IICAコントロール・レジスタ0 (IICCTL0)
- ・IICAフラグ・レジスタ (IICF)
- ・IICAステータス・レジスタ (IICS)
- ・IICAコントロール・レジスタ1 (IICCTL1)
- ・IICAロウ・レベル幅設定レジスタ (IICWL)
- ・IICAハイ・レベル幅設定レジスタ (IICWH)
- ・ポート・モード・レジスタ6 (PM6)
- ・ポート・レジスタ6 (P6)

(1) 周辺イネーブル・レジスタ0 (PER0)

PER0は、各周辺ハードウェア・マクロへのクロック供給許可/禁止を設定するレジスタです。使用しないハードウェアへはクロック供給も停止させることで、低消費電力化とノイズ低減をはかります。

シリアル・インタフェースIICAを使用するときは、必ずビット4 (IICAEN) を1に設定してください。

PER0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図14 - 5 周辺イネーブル・レジスタ0 (PER0) のフォーマット

アドレス : F00F0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
PER0	RTCEN ^{注1}	0	ADCEN	IICAEN ^{注2}	0	SAU0EN	0	0

IICAEN	シリアル・インタフェースIICAの入カクロックの制御
0	入力クロック供給停止 ・シリアル・インタフェースIICAで使用するSFRへのライト不可 ・シリアル・インタフェースIICAはリセット状態
1	入力クロック供給許可 ・シリアル・インタフェースIICAで使用するSFRへのリード/ライト可

注1. 78K0R/IB3は、RTCENビットを搭載していません。78K0R/IB3の場合は、PER0レジスタのビット7は0固定になります。

2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品は、IICAENビットを搭載していません。78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品の場合は、PER0レジスタのビット4は0固定になります。

注意1. シリアル・インタフェースIICAの設定をする際には、必ず最初にIICAEN = 1の設定を行ってください。IICAEN = 0の場合は、シリアル・インタフェースIICAの制御レジスタへの書き込みは無視され、読み出し値もすべて初期値となります(ポート・モード・レジスタ6 (PM6), ポート・レジスタ6 (P6) は除く)。

2. PER0レジスタのビット0, 1, 3, 6 (78K0R/IB3の場合は、ビット0, 1, 3, 4, 6, 7, 78K0R/IC3の38ピン, 44ピン製品の場合は、0, 1, 3, 4, 6) には必ず“0”を設定してください。

(2) IICAコントロール・レジスタ0 (IICCTL0)

I²Cの動作許可/停止, ウェイト・タイミングの設定, その他I²Cの動作を設定するレジスタです。

IICCTL0は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、SPIE, WTIM, ACKEビットは、IICEビット = 0のとき、またはウェイト期間中に設定してください。またIICEビットを“0”から“1”に設定するときに、これらのビットを同時に設定できます。

リセット信号の発生により、00Hになります。

図14 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (1/4)

アドレス：F0230H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
IICCTL0	IICE	LREL	WREL	SPIE	WTIM	ACKE	STT	SPT

IICE	I ² Cの動作許可
0	動作停止。IICAステータス・レジスタ (IICS) をリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット (1) は、必ずSCL0, SDA0ラインがハイ・レベルの状態で行ってください。	
クリアされる条件 (IICE = 0)	セットされる条件 (IICE = 1)
・ 命令によるクリア ・ リセット時	・ 命令によるセット

LREL ^{注2,3}	通信退避
0	通常動作。
1	現在行っている通信から退避し、待機状態。実行後自動的にクリア (0) される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0, SDA0ラインはハイ・インピーダンス状態になる。 IICAコントロール・レジスタ0 (IICCTL0), IICAステータス・レジスタ (IICS) のうち、次のフラグがクリア (0) される。 ・ STT ・ SPT ・ MSTs ・ EXC ・ COI ・ TRC ・ ACKD ・ STD
次の通信参加条件が満たされるまでは、通信から退避した待機状態となる。	
・ ストップ・コンディション検出後、マスタとしての起動 ・ スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件 (LREL = 0)	セットされる条件 (LREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

WREL ^{注2,3}	ウェイト解除
0	ウェイトを解除しない。
1	ウェイトを解除する。ウェイト解除後、自動的にクリアされる。
送信状態 (TRC = 1) で、9クロック目のウェイト期間中にWRELをセット (ウェイトを解除) した場合、SDA0ラインをハイ・インピーダンス (TRC = 0) にします。	
クリアされる条件 (WREL = 0)	セットされる条件 (WREL = 1)
・ 実行後、自動的にクリア ・ リセット時	・ 命令によるセット

- 注1. リセットされるのは、IICAレジスタ、IICFレジスタのSTCF、IICBSYビット、IICCTL1レジスタのCLD、DADビットです。
2. IICE = 0の状態では、このビットの信号は無効になります。
3. LREL, WRELビットの読み出し値は常に0になります。

注意 SCL0ラインがハイ・レベル、SDA0ラインがロウ・レベルの状態かつ、デジタル・フィルタ・オン (IICCTL1レジスタのDFC = 1) のときに、I²Cを動作許可 (IICE = 1) した場合、直後にスタート・コンディションを検出してしまいます。この場合は、I²Cを動作許可 (IICE = 1) したあと、連続して1ビット・メモリ操作命令により、LRELをセット (1) してください。

図14 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (2/4)

SPIE ^{注1}	ストップ・コンディション検出による割り込み要求発生 of 許可 / 禁止	
0	禁止	
1	許可	
IICCTL1レジスタのWUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。		
クリアされる条件 (SPIE = 0)		セットされる条件 (SPIE = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

WTIM ^{注1}	ウエイトおよび割り込み要求発生 of 制御	
0	8クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
1	9クロック目の立ち下がり with 割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウエイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウエイト	
アドレス転送中はこのビット of 設定にかかわらず、9クロック目の立ち下がり with 割り込みが発生します。アドレス転送終了後このビット of 設定が有効になります。またマスタ時、アドレス転送中 is 9クロック of 立ち下がり to ウエイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がり with ウエイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がり with ウエイトに入ります。		
クリアされる条件 (WTIM = 0)		セットされる条件 (WTIM = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

ACKE ^{注1,2}	アクノリッジ制御	
0	アクノリッジを禁止。	
1	アクノリッジを許可。9クロック期間中にSDA0ラインをロウ・レベルにする。	
クリアされる条件 (ACKE = 0)		セットされる条件 (ACKE = 1)
<ul style="list-style-type: none"> ・命令によるクリア ・リセット時 		<ul style="list-style-type: none"> ・命令によるセット

- 注1. IICE = 0 of 状態では、このビット of 信号は無効になります。その期間にビット of 設定を行ってください。
2. アドレス転送中 with、かつ拡張コードでない場合、設定値は無効です。
 スレーブかつアドレスが一致した場合は、設定値に関係なくアクノリッジを生成します。

図14 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (3/4)

STT ^注	スタート・コンディション・トリガ	
0	スタート・コンディションを生成しない。	
1	バスが解放されているとき（待機状態，IICBSYが0のとき）： セット（1）すると，スタート・コンディションを生成する（マスタとしての起動）。 第三者が通信中のとき： ・通信予約機能許可の場合（IICRSV = 0） スタート・コンディション予約フラグとして機能する。セット（1）すると，バスが解放されたあと自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSV = 1） セット（1）してもSTTビットはクリアされ，STCFフラグがセット（1）される。スタート・コンディションは生成しない。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。	
セット・タイミングに関する注意 ・マスタ受信の場合：転送中のセット（1）は禁止です。ACKE = 0に設定し，受信の最後であることをスレーブに伝えたとのウェイト期間中にだけセット（1）可能です。 ・マスタ送信の場合：アクリッジ期間中は，正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・SPTと同時セット（1）することは禁止です。 ・STTをセット（1）後，クリア（0）される前に再度セット（1）することは禁止です。		
クリアされる条件（STT = 0）		セットされる条件（STT = 1）
・通信予約禁止状態でのSTTのセット（1） ・アービトレーションに負けたとき ・マスタでのスタート・コンディション生成 ・LREL = 1（通信退避）によるクリア ・IICE = 0（動作停止）のとき ・リセット時		・命令によるセット

注 IICE = 0の状態では，このビットの信号は無効になります。

備考1. ビット1（STT）は，データ設定後に読み出すと0になっています。

2. IICRSV : IICフラグ・レジスタ（IICF）のビット0
 STCF : " のビット7

図14 - 6 IICAコントロール・レジスタ0 (IICCTL0) のフォーマット (4/4)

SPT	ストップ・コンディション・トリガ	
0	ストップ・コンディションを生成しない。	
1	ストップ・コンディションを生成する(マスタとしての転送終了)。	
<p>セット・タイミングに関する注意</p> <ul style="list-style-type: none"> マスタ受信の場合：転送中のセット(1)は禁止です。 ACKE = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット(1)可能です。 マスタ送信の場合：アックノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック出力後のウェイト期間中にセットしてください。 STTと同時にセット(1)することは禁止です。 SPTのセット(1)は、マスタのときのみ行ってください。 WTIM = 0設定時に、8クロック出力後のウェイト期間中にSPTをセット(1)すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIM = 0 1に設定し、9クロック目出力後のウェイト期間中にSPTをセット(1)してください。 SPTをセット(1)後、クリア(0)する前に、再度セット(1)することは禁止です。 		
クリアされる条件 (SPT = 0)		セットされる条件 (SPT = 1)
<ul style="list-style-type: none"> アービトレーションに負けたとき ストップ・コンディション検出後、自動的にクリア LREL = 1 (通信退避) によるクリア IICE = 0 (動作停止) のとき リセット時 		<ul style="list-style-type: none"> 命令によるセット

注意 IICAステータス・レジスタ(IICS)のビット3(TRC) = 1(送信状態)のとき、9クロック目にIICCTL0レジスタのビット5(WREL)をセット(1)してウェイト解除すると、TRCビットをクリア(受信状態)してSDA0ラインをハイ・インピーダンスにします。TRC = 1(送信状態)におけるウェイト解除は、IICAシフト・レジスタへの書き込みで行ってください。

備考 ビット0(SPT)は、データ設定後に読み出すと0になっています。

図14 - 7 IICAステータス・レジスタ (IICS) のフォーマット (2/3)

EXC	拡張コード受信検出	
0	拡張コードを受信していない。	
1	拡張コードを受信している。	
クリアされる条件 (EXC = 0)		セットされる条件 (EXC = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信したアドレス・データの上位4ビットが "0000" または "1111" のとき (8クロック目の立ち上がりでセット)

COI	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COI = 0)		セットされる条件 (COI = 1)
<ul style="list-style-type: none"> ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 		<ul style="list-style-type: none"> ・受信アドレスが自局アドレス (スレーブ・アドレス・レジスタ (SVA)) と一致したとき (8クロック目の立ち上がりでセット)

TRC	送信 / 受信状態検出	
0	受信状態 (送信状態以外)。SDA0ラインをハイ・インピーダンスにする。	
1	送信状態。SDA0ラインにSO0ラッチの値が出力できるようにする (1バイト目の9クロック目の立ち下がり以降有効)。	
クリアされる条件 (TRC = 0)		セットされる条件 (TRC = 1)
<p>< マスタ, スレーブ共通 ></p> <ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・WREL = 1 (ウエイト解除) によるクリア^注 ・ALD = 0 1 (アービトレーション負け) のとき ・リセット時 ・通信不参加の場合 (MSTS, EXC, COI = 0) <p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・1バイト目のLSB (転送方向指定ビット) に "1" を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション検出時 ・1バイト目のLSB (転送方向指定ビット) に "0" を入力したとき 		<p>< マスタの場合 ></p> <ul style="list-style-type: none"> ・スタート・コンディション生成時 ・1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "0" (マスタ送信) を出力したとき <p>< スレーブの場合 ></p> <ul style="list-style-type: none"> ・マスタからの1バイト目 (アドレス転送時) のLSB (転送方向指定ビット) に "1" (スレーブ送信) が入力されたとき

注 IICAステータス・レジスタ (IICS) のビット3 (TRC) = 1 (送信状態) のとき, 9クロック目にIICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してウエイトを解除すると, TRCビットをクリア (受信状態) してSDA0ラインをハイ・インピーダンスにします。TRC = 1 (送信状態) におけるウエイト解除は, IICAシフト・レジスタへの書き込みで行ってください。

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
IICE : " のビット7

図14 - 7 IICAステータス・レジスタ (IICS) のフォーマット (3/3)

ACKD	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出している。	
	クリアされる条件 (ACKD = 0)	セットされる条件 (ACKD = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・SCL0の9クロック目の立ち上がり時にSDA0ラインがロウ・レベルであったとき

STD	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
	クリアされる条件 (STD = 0)	セットされる条件 (STD = 1)
	<ul style="list-style-type: none"> ・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LREL = 1 (通信退避) によるクリア ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・スタート・コンディション検出時

SPD	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放されている。	
	クリアされる条件 (SPD = 0)	セットされる条件 (SPD = 1)
	<ul style="list-style-type: none"> ・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICE = 1 0 (動作停止) のとき ・リセット時 	<ul style="list-style-type: none"> ・ストップ・コンディション検出時

備考 LREL : IICAコントロール・レジスタ0 (IICCTL0) のビット6
 IICE : " のビット7

(4) IICAフラグ・レジスタ (IICF)

I²Cの動作モードの設定と、I²Cバスの状態を表すレジスタです。

IICFは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、STCF、IICBSYビットは読み出しのみ可能です。

IICRSVビットにより、通信予約機能の禁止/許可を設定します。

またSTCENにより、IICBSYビットの初期値を設定します。

IICRSV、STCENはI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときのみ書き込み可能です。動作許可後、IICFは読み出し可能となります。

リセット信号の発生により、00Hになります。

図14 - 8 IICAフラグ・レジスタ (IICF) のフォーマット

アドレス : FFF52H リセット時 : 00H R/W^注

略号	7	6	5	4	3	2	1	0
IICF	STCF	IICBSY	0	0	0	0	STCEN	IICRSV

STCF	STTクリア・フラグ
0	スタート・コンディション発行。
1	スタート・コンディション発行できず，STTフラグ・クリア。
クリアされる条件 (STCF = 0)	
<ul style="list-style-type: none"> ・ STT = 1によるクリア ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (STCF = 1)	
<ul style="list-style-type: none"> ・ 通信予約禁止 (IICRSV = 1) 設定時にスタート・コンディション発行できず，STTがクリア (0) されたとき 	

IICBSY	I ² Cバス状態フラグ
0	バス解放状態 (STCEN = 1時の通信初期状態)。
1	バス通信状態 (STCEN = 0時の通信初期状態)。
クリアされる条件 (IICBSY = 0)	
<ul style="list-style-type: none"> ・ ストップ・コンディション検出時 ・ IICE = 0 (動作停止) のとき ・ リセット時 	
セットされる条件 (IICBSY = 1)	
<ul style="list-style-type: none"> ・ スタート・コンディション検出時 ・ STCEN = 0時のIICEのセット 	

STCEN	初期スタート許可トリガ
0	動作許可 (IICE = 1) 後，ストップ・コンディションの検出により，スタート・コンディションを生成許可。
1	動作許可 (IICE = 1) 後，ストップ・コンディションを検出せずに，スタート・コンディションを生成許可。
クリアされる条件 (STCEN = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ スタート・コンディション検出時 ・ リセット時 	
セットされる条件 (STCEN = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

IICRSV	通信予約機能禁止ビット
0	通信予約許可。
1	通信予約禁止。
クリアされる条件 (IICRSV = 0)	
<ul style="list-style-type: none"> ・ 命令によるクリア ・ リセット時 	
セットされる条件 (IICRSV = 1)	
<ul style="list-style-type: none"> ・ 命令によるセット 	

注 ビット6, 7はRead onlyです。

注意1. STCENへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

2. STCEN = 1とした場合，実際のバス状態にかかわらずバス解放状態 (IICBSY = 0) と認識しますので，1回目のスタート・コンディションを発行 (STT = 1) する場合は他の通信を破壊しないように第三者の通信が行われていないことを確認する必要があります。

3. IICRSVへの書き込みは動作停止 (IICE = 0) 時のみ行ってください。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 IICE : " のビット7

(5) IICAコントロール・レジスタ1 (IICCTL1)

I²Cの動作モードの設定やSCL0, SDA0端子状態を検出するためのレジスタです。

IICCTL1は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。ただし、CLD、DADビットは読み出しのみ可能です。

IICCTL1は、WUPを除きI²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、00Hになります。

図14 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (1/2)

アドレス : F0231H リセット時 : 00H R/W^{注1}

略号	7	6	5	4	3	2	1	0
IICCTL1	WUP	0	CLD	DAD	SMC	DFC	0	0

WUP	アドレス一致ウエイク・アップの制御				
0	STOPモード状態時のアドレス一致ウエイク・アップ機能動作停止				
1	STOPモード状態時のアドレス一致ウエイク・アップ機能動作許可				
<p>WUP = 1でSTOPモードに移行する場合は、WUPをセット (1) して3クロック以上経過後にSTOP命令を実行してください (図14 - 22 WUP = 1を設定する場合のフロー参照)。</p> <p>アドレス一致、または拡張コード受信後はWUPをクリア (0) してください。WUPをクリア (0) することで、その後の通信に参加する事ができます (ウエイト解除および送信データ書き込みは、WUPをクリア (0) したあとに行う必要があります)。</p> <p>WUP = 1の状態における、アドレス一致および拡張コード受信時の割り込みタイミングは、WUP = 0の場合の割り込みタイミングと同じです (クロックによるサンプリング誤差分の遅延差は生じます)。また、WUP = 1の場合には、SPIE = 1にしてもストップ・コンディション割り込みは発生しません。</p>					
<table border="1"> <tr> <th>クリアされる条件 (WUP = 0)</th> <th>セットされる条件 (WUP = 1)</th> </tr> <tr> <td>・命令によるクリア (アドレス一致もしくは拡張コード受信後)</td> <td>・命令によるセット (MSTS, EXC, COIが“0”であり, STDも“0” (通信に不参加である事) のとき) ^{注2}</td> </tr> </table>		クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)	・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS, EXC, COIが“0”であり, STDも“0” (通信に不参加である事) のとき) ^{注2}
クリアされる条件 (WUP = 0)	セットされる条件 (WUP = 1)				
・命令によるクリア (アドレス一致もしくは拡張コード受信後)	・命令によるセット (MSTS, EXC, COIが“0”であり, STDも“0” (通信に不参加である事) のとき) ^{注2}				

注1. ビット4, 5はRead Onlyです。

2. 次に示す期間に、IICAステータス・レジスタ (IICS) の状態を確認しセットする必要があります。

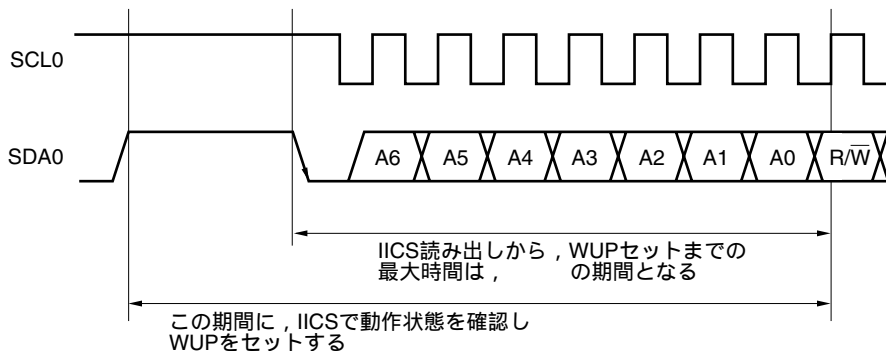


図14 - 9 IICAコントロール・レジスタ1 (IICCTL1) のフォーマット (2/2)

CLD	SCL0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SCL0端子がロウ・レベルであることを検出	
1	SCL0端子がハイ・レベルであることを検出	
クリアされる条件 (CLD = 0)		セットされる条件 (CLD = 1)
<ul style="list-style-type: none"> ・ SCL0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SCL0端子がハイ・レベルのとき

DAD	SDA0端子のレベル検出 (IICE = 1のときのみ有効)	
0	SDA0端子がロウ・レベルであることを検出	
1	SDA0端子がハイ・レベルであることを検出	
クリアされる条件 (DAD = 0)		セットされる条件 (DAD = 1)
<ul style="list-style-type: none"> ・ SDA0端子がロウ・レベルのとき ・ IICE = 0 (動作停止) のとき ・ リセット時 		<ul style="list-style-type: none"> ・ SDA0端子がハイ・レベルのとき

SMC	動作モードの切り替え	
0	標準モードで動作	
1	ファースト・モードで動作	

DFC	デジタル・フィルタの動作の制御	
0	デジタル・フィルタ・オフ	
1	デジタル・フィルタ・オン	
デジタル・フィルタは、ファースト・モード時にのみ使用できます。 ファースト・モード時はDFCのセット(1) / クリア(0)により、転送クロックが変化することはありません。 デジタル・フィルタは、ファースト・モード時にノイズ除去のために使用します。		

備考 IICE : IICAコントロール・レジスタ0 (IICCTL0) のビット7

(6) IICAロウ・レベル幅設定レジスタ (IICWL)

シリアル・インタフェースIICAが出力するSCL0端子信号のロウ・レベル幅を設定するレジスタです。

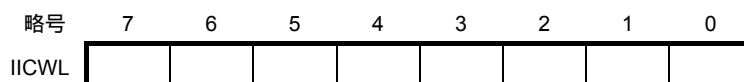
IICWLレジスタは、8ビット・メモリ操作命令で設定します。

IICWLレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図14 - 10 IICAロウ・レベル幅設定レジスタ (IICWL) のフォーマット

アドレス : F0232H リセット時 : FFH R/W



(7) IICAハイ・レベル幅設定レジスタ (IICWH)

シリアル・インタフェースIICAが出力するSCL0端子信号のハイ・レベル幅を設定するレジスタです。

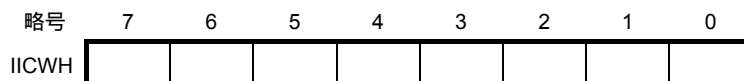
IICWHレジスタは、8ビット・メモリ操作命令で設定します。

IICWHレジスタは、I²Cが動作禁止 (IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) = 0) のときに設定してください。

リセット信号の発生により、FFHになります。

図14 - 11 IICAハイ・レベル幅設定レジスタ (IICWH) のフォーマット

アドレス : F0233H リセット時 : FFH R/W



備考 IICWL, IICWHレジスタによる転送クロックの設定方法は、14. 4. 2 IICWL, IICWHレジスタによる転送クロック設定方法を参照してください。

(8) ポート・モード・レジスタ6 (PM6)

ポート6の入力 / 出力を1ビット単位で設定するレジスタです。

P60/SCL0端子をクロック入出力, P61/SDA0端子をシリアル・データ入出力として使用するとき, PM60, PM61およびP60, P61の出力ラッチに0を設定してください。

IICE (IICAコントロール・レジスタ0 (IICCTL0) のビット7) が0の場合, P60/SCL0端子およびP61/SDA0端子はロウ・レベル出力 (固定) となるため, 出力モードへの切り替えは, IICEに1を設定してから, 行ってください。

PM6は, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

図14 - 12 ポート・モード・レジスタ6 (PM6) のフォーマット

アドレス : FFF26H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM6	1	1	1	1	1	1	PM61	PM60

PM6n	P6n端子の入出力モードの選択 (n = 0, 1)
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

14.4 I²Cバス・モードの機能

14.4.1 端子構成

シリアル・クロック端子 (SCL0) と、シリアル・データ・バス端子 (SDA0) の構成は、次のようになっています。

(1) SCL0.....シリアル・クロックを入出力するための端子。

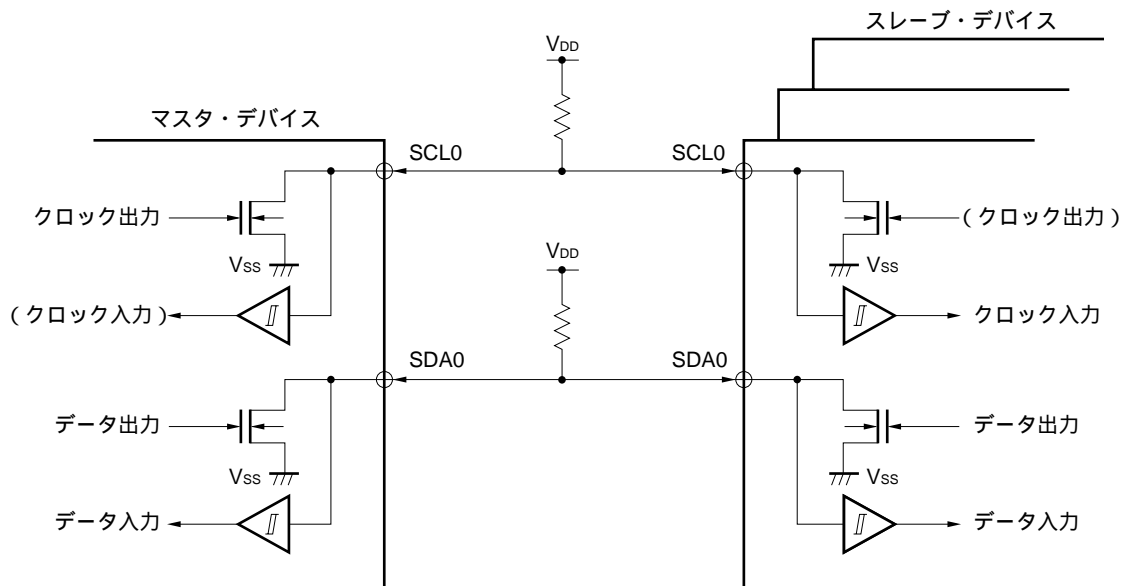
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

(2) SDA0.....シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図14 - 13 端子構成図



14.4.2 IICWL, IICWHレジスタによる転送クロック設定方法

(1) マスタ側の転送クロック設定方法

$$\text{転送クロック} = \frac{f_{\text{CLK}}}{\text{IICWL} + \text{IICWH} + f_{\text{CLK}} (t_{\text{R}} + t_{\text{F}})}$$

このとき、最適なIICWLとIICWHの設定値は次のようになります。

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = \frac{0.52}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.48}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = \frac{0.47}{\text{転送クロック}} \times f_{\text{CLK}}$$

$$\text{IICWH} = \left(\frac{0.53}{\text{転送クロック}} - t_{\text{R}} - t_{\text{F}} \right) \times f_{\text{CLK}}$$

(2) スレーブ側のIICWL, IICWH設定方法

(設定値はすべて小数点以下切り上げ)

・ファースト・モード時

$$\text{IICWL} = 1.3 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (1.2 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

・標準モード時

$$\text{IICWL} = 4.7 \mu\text{s} \times f_{\text{CLK}}$$

$$\text{IICWH} = (5.3 \mu\text{s} - t_{\text{R}} - t_{\text{F}}) \times f_{\text{CLK}}$$

注意 転送クロックを設定する場合は、 f_{CLK} の最低動作周波数に注意してください。シリアル・インタフェースIICAはモードによって f_{CLK} の最低動作周波数が決められています。

ファースト・モード時 : $f_{\text{CLK}} = 3.5 \text{ MHz (Min.)}$

標準モード時 : $f_{\text{CLK}} = 1 \text{ MHz (Min.)}$

備考1. SDA0, SCLA0信号の立ち上がり時間 (t_{R}) と立ち下がり時間 (t_{F}) は、プルアップ抵抗と配線容量によって異なるため、各自で算出してください。

2. IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_{F} : SDA0, SCL0信号の立ち下がり時間

t_{R} : SDA0, SCL0信号の立ち上がり時間

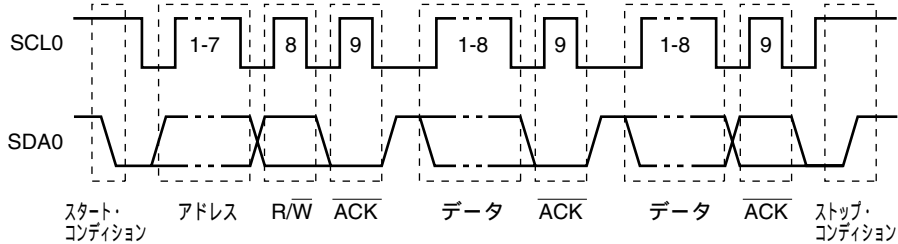
f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

14.5 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”、“アドレス”、“データ”および“ストップ・コンディション”の各転送タイミングを図14 - 14に示します。

図14 - 14 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション、スレーブ・アドレス、ストップ・コンディションはマスタが生成します。

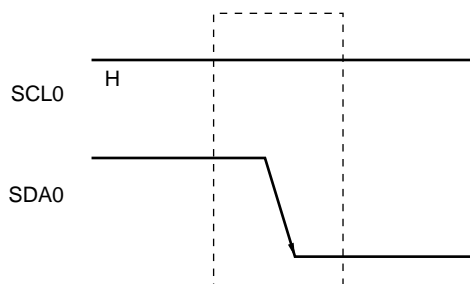
アクノリッジ ($\overline{\text{ACK}}$) は、マスタ、スレーブのどちらでも生成できます（通常、8ビット・データの受信側が出力します）。

シリアル・クロック (SCL0) は、マスタが出力し続けます。ただし、スレーブはSCL0のロウ・レベル期間を延長し、ウエイトを挿入できます。

14.5.1 スタート・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0端子、SDA0端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するとき生成する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図14 - 15 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態 (SPD: IICAステータス・レジスタ (IICS) のビット0 = 1) のときにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) をセット (1) すると出力されます。また、スタート・コンディションを検出すると、IICSのビット1 (STD) がセット (1) されます。

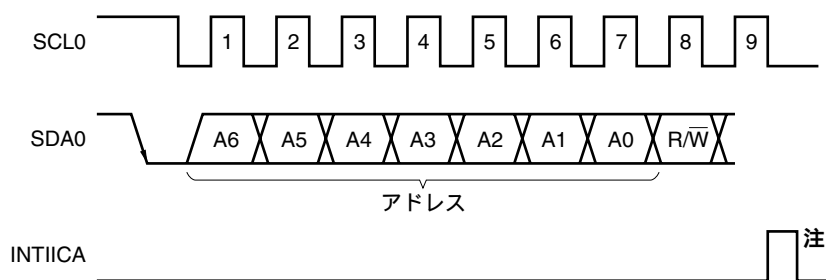
14.5.2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがスレーブ・アドレス・レジスタ (SVA) と一致しているかを調べます。このとき、7ビット・データとSVAの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図14 - 16 アドレス



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

アドレスは、スレーブのアドレスと14.5.3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICAシフト・レジスタ (IICA) に書き込むと出力します。また、受信したアドレスはIICAに書き込まれます。

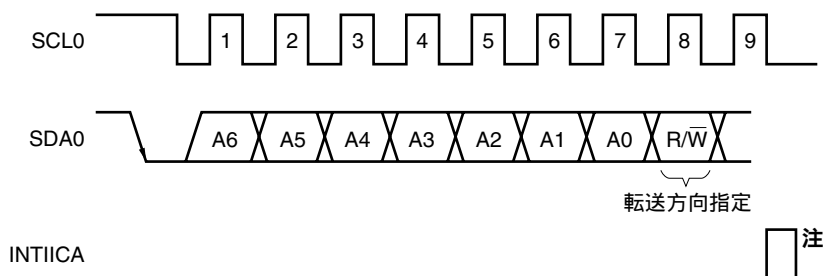
なお、スレーブのアドレスは、IICAの上位7ビットに割り当てられます。

14.5.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図14 - 17 転送方向指定



注 スレーブ動作時に自局アドレスまたは拡張コード以外を受信した場合は、INTIICAは発生しません。

14.5.4 アクノリッジ (ACK)

アクノリッジ ($\overline{\text{ACK}}$) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICAステータス・レジスタ (IICS) のビット2 (ACKD) で確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを出力し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

受信が正しく行われていない。

最終データの受信が終わっている。

アドレス指定した受信側が存在しない。

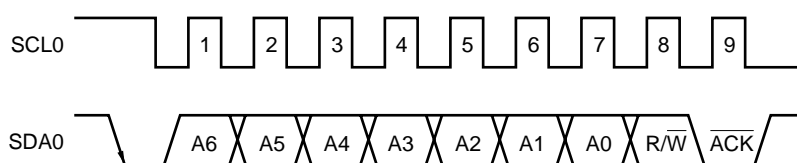
アクノリッジ生成は、受信側が9クロック目にSDA0ラインをロウ・レベルにすることによって行われます(正常受信)。

IICAコントロール・レジスタ0 (IICCTL0) のビット2 (ACKE) をセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSレジスタのビット3 (TRC) が設定されます。受信 (TRC = 0) の場合は、通常、ACKEをセット (1) してください。

スレーブ受信動作時 (TRC = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRC = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます (送信停止)。

図14 - 18 アクノリッジ



自局アドレス受信時は、ACKEの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEをセット (1) しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 0) :

ウェイト解除を行う前にACKEをセット (1) することによって、SCL0端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。

- ・9クロック・ウェイト選択時 (IICCTL0レジスタのビット3 (WTIM) = 1) :

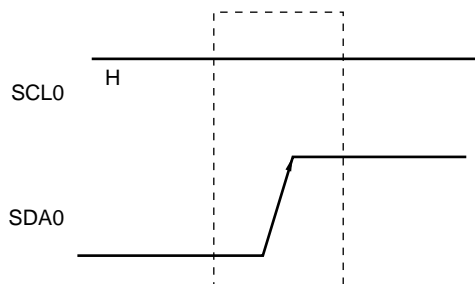
あらかじめACKEをセット (1) することによって、アクノリッジを生成します。

14.5.5 ストップ・コンディション

SCL0端子がハイ・レベルのときに、SDA0端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図14 - 19 ストップ・コンディション



ストップ・コンディションは、IICAコントロール・レジスタ0 (IICCTL0) のビット0 (SPT) をセット (1) すると発生します。また、ストップ・コンディションを検出するとIICAステータス・レジスタ (IICS) のビット0 (SPD) がセット (1) され、IICCTL0のビット4 (SPIE) がセット (1) されている場合にはINTIICAが発生します。

14.5.6 ウェイト

ウェイトによっては、マスタまたはスレーブがデータの送受信のための準備中（ウェイト状態）であることを相手に知らせます。

SCL0端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図14 - 20 ウェイト (1/2)

(1) マスタは9クロック・ウェイト，スレーブは8クロック・ウェイト時

(マスタ：送信，スレーブ：受信，ACKE = 1)

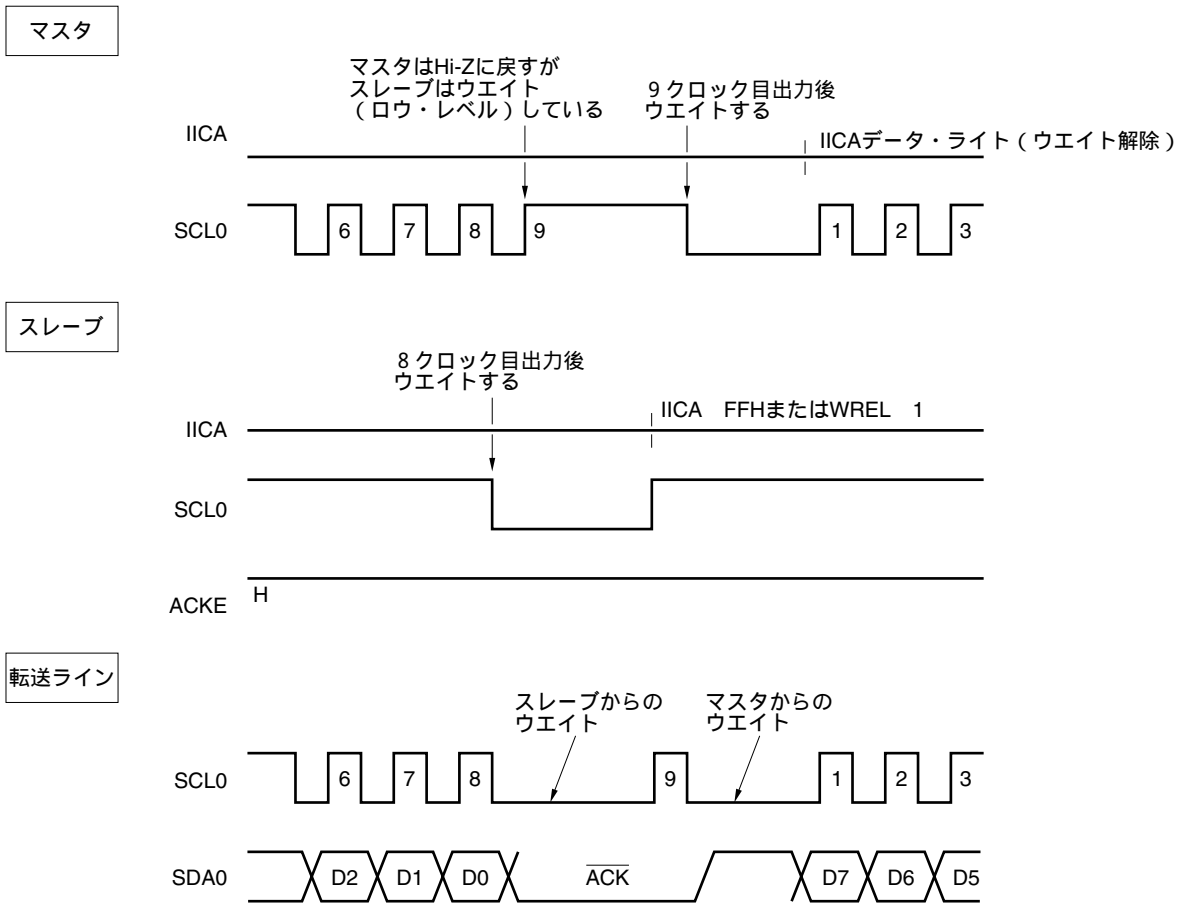
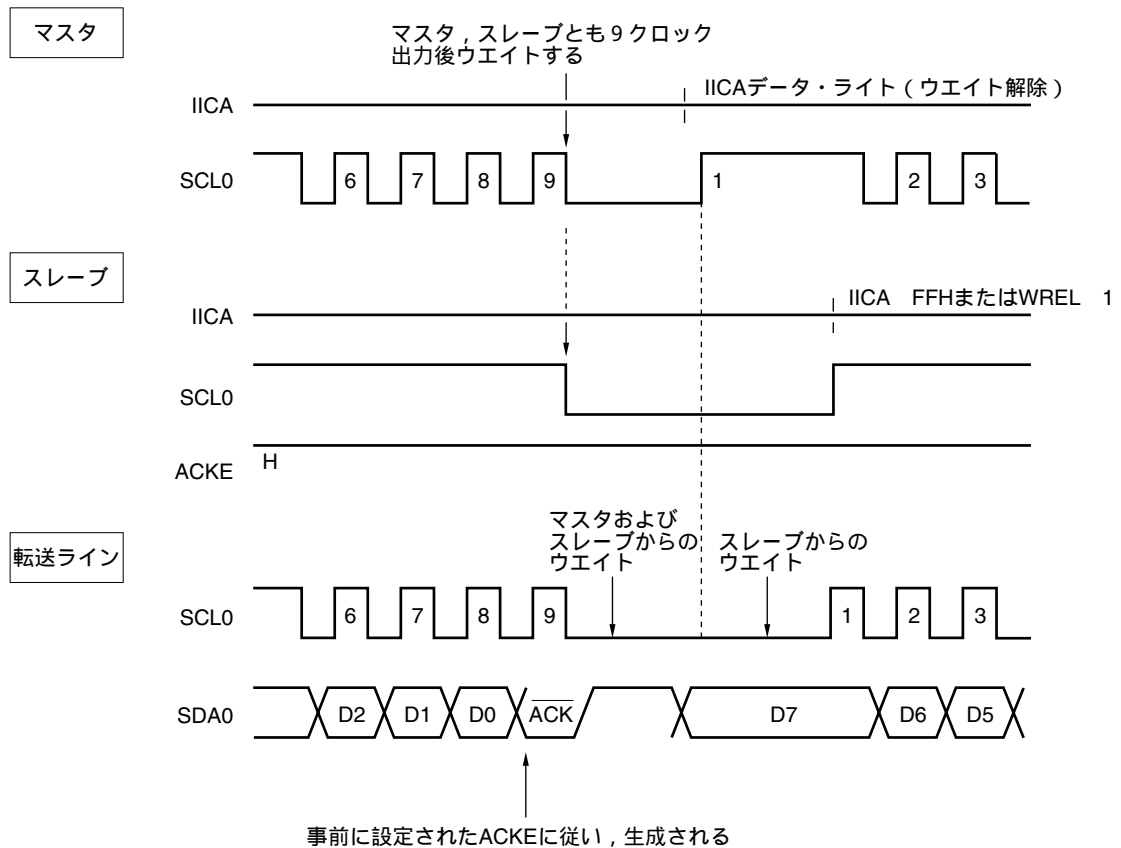


図14 - 20 ウェイト (2/2)

(2) マスタ, スレーブとも9クロック・ウェイト時

(マスタ: 送信, スレーブ: 受信, ACKE = 1)



備考 ACKE : IICAコントロール・レジスタ0 (IICCTL0) のビット2

WREL : " のビット5

ウェイトは, IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定により自動的に発生します。

通常, 受信側はIICCTL0のビット5 (WREL) = 1またはIICAシフト・レジスタ (IICA) にFFHを書き込むとウェイトを解除し, 送信側はIICAにデータを書き込むとウェイトを解除します。

マスタの場合は, 次の方法でもウェイトを解除できます。

- ・ IICCTL0のビット1 (STT) = 1
- ・ IICCTL0のビット0 (SPT) = 1

14.5.7 ウェイト解除方法

I²Cでは、通常、次のような処理でウェイトを解除できます。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

これらのウェイト解除処理を実行した場合、I²Cはウェイトを解除し、通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICAにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) をセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、IICCTL0のビット1 (STT) をセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、IICCTL0のビット0 (SPT) をセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELにセット (1) によるウェイト解除後、IICAへのデータ書き込みを実施した場合には、SDA0ラインの変化タイミングとIICAへの書き込みタイミングの競合により、SDA0への出力データが間違っただけになる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICEをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICCTL0のビット6 (LREL) をセット (1) すると通信から退避するので、ウェイトを解除できます。

注意 WUP = 1のときにウェイト解除処理を実行した場合、ウェイトは解除されません。

14.5.8 割り込み要求 (INTIICA) 発生タイミングおよびウェイト制御

IICAコントロール・レジスタ0 (IICCTL0) のビット3 (WTIM) の設定で、表14 - 2に示すタイミングでINTIICAが発生し、また、ウェイト制御を行います。

表14 - 2 INTIICA発生タイミングおよびウェイト制御

WTIM	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1,2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1,2}	9 ^{注2}	9 ^{注2}	9	9	9

- 注1. スレーブのINTIICA信号およびウェイトは、スレーブ・アドレス・レジスタ (SVA) に設定しているアドレスと一致したときにのみ、9クロック目の立ち下がりが発生します。
また、このとき、IICCTL0のビット2 (ACKE) の設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりですべてINTIICAが発生します。ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりですべてINTIICAが発生しますが、ウェイトは発生しません。
2. スレーブ・アドレス・レジスタ (SVA) と受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICAもウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりですべて発生します。

(2) データ受信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

- ・マスタ/スレーブ動作時：WTIMビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- ・ IICAシフト・レジスタ (IICA) へのデータ書き込み
- ・ IICAコントロール・レジスタ0 (IICCTL0) のビット5 (WREL) のセット (ウェイト解除)
- ・ IICCTL0レジスタのビット1 (STT) のセット (スタート・コンディションの生成)^注
- ・ IICCTL0レジスタのビット0 (SPT) のセット (ストップ・コンディションの生成)^注

注 マスタのみ。

8クロック・ウェイト選択 (WTIM = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

INTIICAは、ストップ・コンディションを検出すると発生します (SPIE = 1のときのみ)。

14.5.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致は、ハードウェアで自動的に検出できます。スレーブ・アドレス・レジスタ (SVA) に自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICA割り込み要求が発生します。

14.5.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス (SDA0) の状態が、送信しているデバイスのIICAシフト・レジスタ (IICA) にも取り込まれるため、送信開始前と送信終了後のIICAデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

14.5.11 拡張コード

(1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ(EXC)をセット(1)し、8クロック目の立ち下がりで割り込み要求(INTIICA)を発生します。

スレーブ・アドレス・レジスタ(SVA)に格納された自局アドレスは影響しません。

(2) 10ビット・アドレス転送で、SVAに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただし割り込み要求(INTIICA)は、8クロック目の立ち下がりで発生します。

・上位4ビット・データの一致 : EXC = 1

・7ビット・データの一致 : COI = 1

備考 EXC : IICAステータス・レジスタ(IICS)のビット5

COI : " のビット4

(3) 割り込み要求発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアで行います。

スレーブ動作時に、拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICAコントロール・レジスタ0(IICCTL0)のビット6(LREL) = 1に設定してください。次の通信待機状態にします。

表14-3 主な拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説明
0000 000	0	ジェネラル・コール・アドレス
1111 0xx	0	10ビット・スレーブ・アドレス指定(アドレス認証時)
1111 0xx	1	10ビット・スレーブ・アドレス指定(アドレス一致後、リード・コマンド発行時)

備考 上記以外の拡張コードについては、NXP社発行のI²Cバスの仕様書を参照してください。

14. 5. 12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合(STD = 1になる前にSTT = 1にしたとき) , データが異なるまでクロックの調整をしながら , マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは , アービトレーションに負けたタイミングで , IICAステータス・レジスタ (IICS) のアービトレーション負けフラグ (ALD) をセット (1) し , SCL0, SDA0ラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは , 次の割り込み要求発生タイミング (8または9クロック目 , ストップ・コンディション検出など) で , ソフトウェアでALD = 1になっていることで検出します。

割り込み要求発生タイミングについては , 14. 5. 8 **割り込み要求 (INTIICA) の発生タイミングおよびウェイト制御**を参照してください。

- 備考** STD : IICAステータス・レジスタ (IICS) のビット1
 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

図14 - 21 アービトレーション・タイミング例

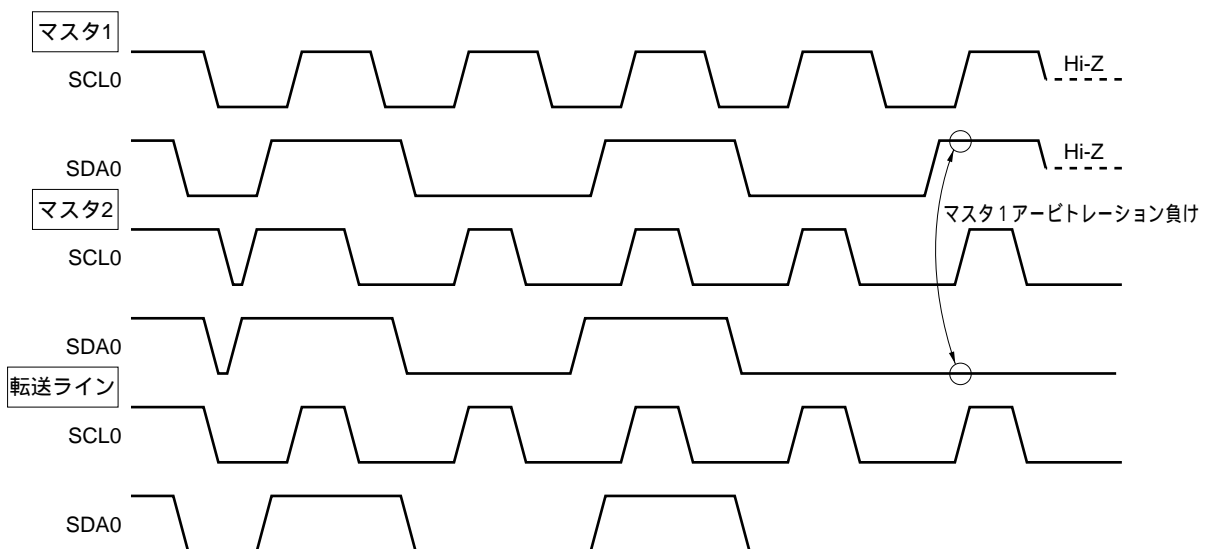


表14-4 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード/ライト情報	
拡張コード送信中	
拡張コード送信後のリード/ライト情報	
データ送信中	
データ送信後のアクノリッジ転送期間中	
データ転送中, リスタート・コンディション検出	
データ転送中, ストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIE = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがデータがロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0がロウ・レベル	

注1. WTIM (IICAコントロール・レジスタ0 (IICCTL0) のビット3) = 1の場合には, 9クロック目の立ち下がりタイミングで割り込み要求を発生します。WTIM = 0および拡張コードのスレーブ・アドレス受信時には, 8クロック目の立ち下がりタイミングで割り込み要求を発生します。

2. アービトレーションが起こる可能性がある場合, マスタ動作ではSPIE = 1に設定してください。

備考 SPIE : IICAコントロール・レジスタ0 (IICCTL0) のビット 4

14.5.13 ウェイク・アップ機能

I²Cのスレーブ機能で、自局アドレスと拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生する機能です。

アドレスが一致しないときは不要なINTIICA信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICAコントロール・レジスタ0 (IICCTL0) のビット4 (SPIE) の設定によって、割り込み要求の発生許可 / 禁止が決定します。

STOPモード状態時にウェイク・アップ機能を使用する場合には、WUP = 1に設定してください。動作クロックに関係なくアドレス受信を行う事ができます。この場合も、自局アドレスおよび拡張コードを受信したときに割り込み要求信号 (INTIICA) を発生します。この割り込み発生後に命令でWUPビットをクリア (0) することで通常動作に戻ります。

WUP = 1に設定する場合のフローを図14 - 22に、アドレス一致によりWUP = 0に設定する場合のフローを図14 - 23に示します。

図14 - 22 WUP = 1を設定する場合のフロー

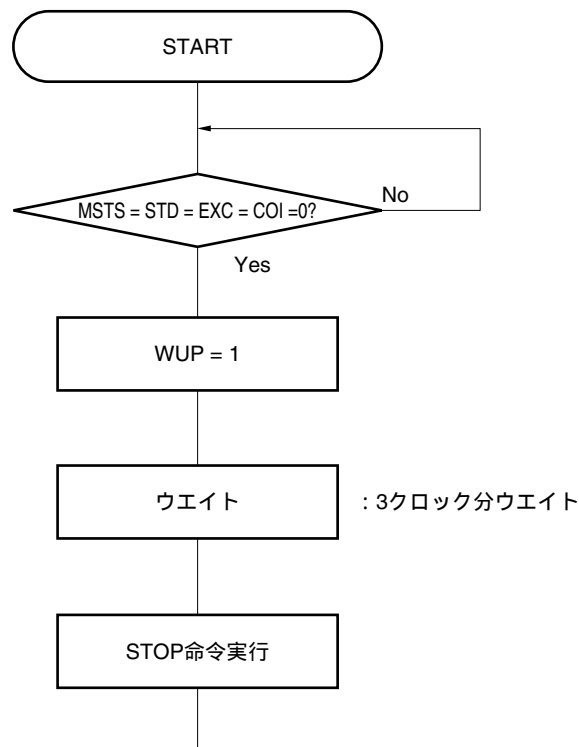
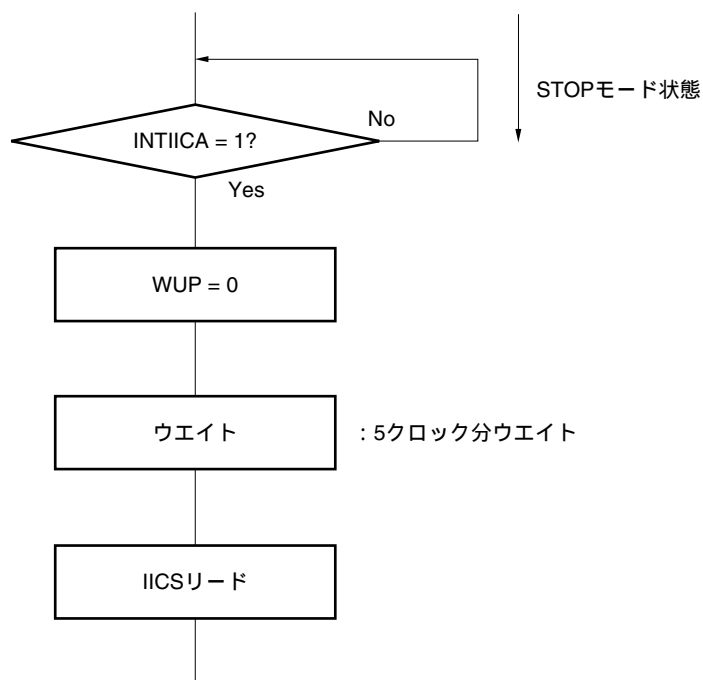


図14 - 23 アドレス一致によりWUP = 0に設定する場合のフロー（拡張コード受信含む）

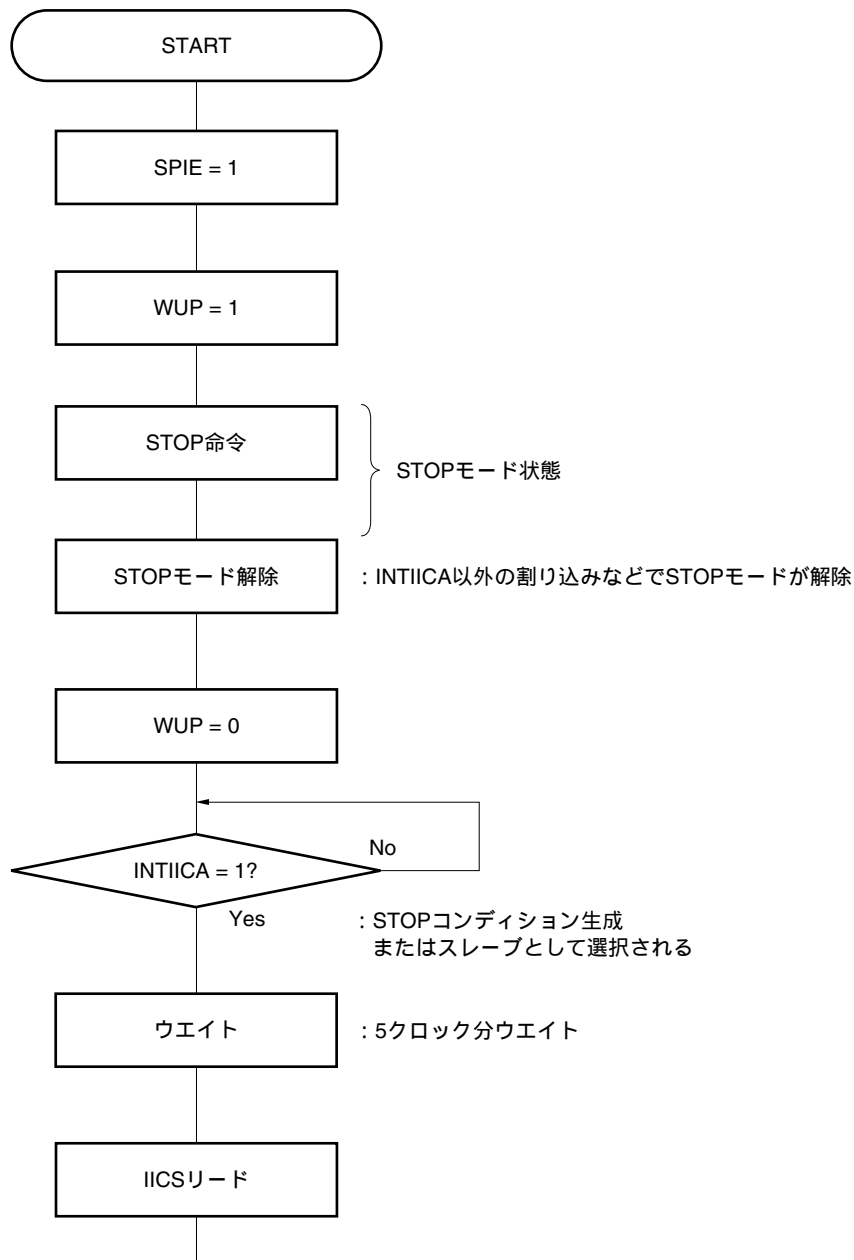


シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

また、シリアル・インタフェースIICAからの割り込み要求（INTIICA）以外でSTOPモードを解除する場合の処理は次のフローを行ってください。

- ・マスタとして動作させる場合 : 図14 - 24のフロー
- ・スレーブとして動作させる場合 : 図14 - 23のフローと同じになります。

図14 - 24 INTIICA以外でSTOPモードが解除後にマスタとして動作させる場合



シリアル・インタフェースIICAの動作状態を確認後、実行したい動作に合わせた処理を実行

14.5.14 通信予約

(1) 通信予約機能許可の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない (アクリッジを返さず、IICAコントロール・レジスタ0 (IICCTL0) のビット6 (LREL) = 1で通信退避してバスを解放した) とき

バスに不参加の状態、IICCTL0のビット1 (STT) をセット (1) すると、バスが解放されたあと (ストップ・コンディション検出時) に、自動的にスタート・コンディションを生成し、ウエイト状態になります。

IICCTL0のビット4 (SPIE) をセット (1) し、割り込み要求信号 (INTIICA) 発生でバスの解放を検出 (ストップ・コンディション検出) したあと、IICAシフト・レジスタ (IICA) にアドレスを書き込むと、自動的にマスタとしての通信を開始します。ストップ・コンディションを検出する前に、IICAに書き込まれたデータは、無効です。

STTをセット (1) したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

- ・バスが解放されているとき.....スタート・コンディション生成
- ・バスが解放されていないとき (待機状態)通信予約

通信予約として動作するかどうかは、STTをセット (1) し、ウエイト時間をとったあと、MSTS (IICAステータス・レジスタ (IICS) のビット7) で確認します。

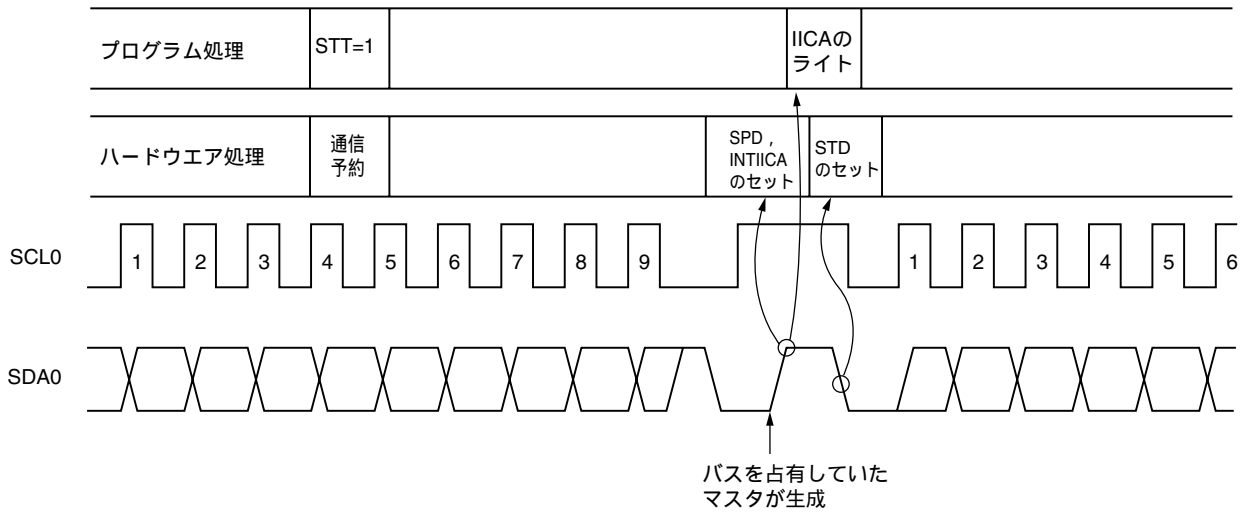
ウエイト時間は、次の式から算出した時間をソフトウェアにより確保してください。

<p>STT = 1からMSTSフラグ確認までのウエイト時間： $(\text{IICWLの設定値} + \text{IICWHの設定値} + 4) + t_f \times 2 \times f_{\text{CLK}}$ [クロック]</p>

- 備考**
- IICWL : IICAロウ・レベル幅設定レジスタ
 - IICWH : IICAハイ・レベル幅設定レジスタ
 - t_f : SDA0, SCL0信号の立ち下がり時間
 - f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

通信予約のタイミングを図14 - 25に示します。

図14 - 25 通信予約のタイミング



- 備考 IICA : IICAシフト・レジスタ
 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1
 STD : IICAステータス・レジスタ (IICS) のビット1
 SPD : " のビット0

通信予約は図14 - 26に示すタイミングで受け付けられます。IICAステータス・レジスタ (IICS) のビット1 (STD) = 1になったあと、ストップ・コンディション検出までにIICAコントロール・レジスタ0 (IICCTL0) のビット1 (STT) = 1で通信予約をします。

図14 - 26 通信予約受け付けタイミング

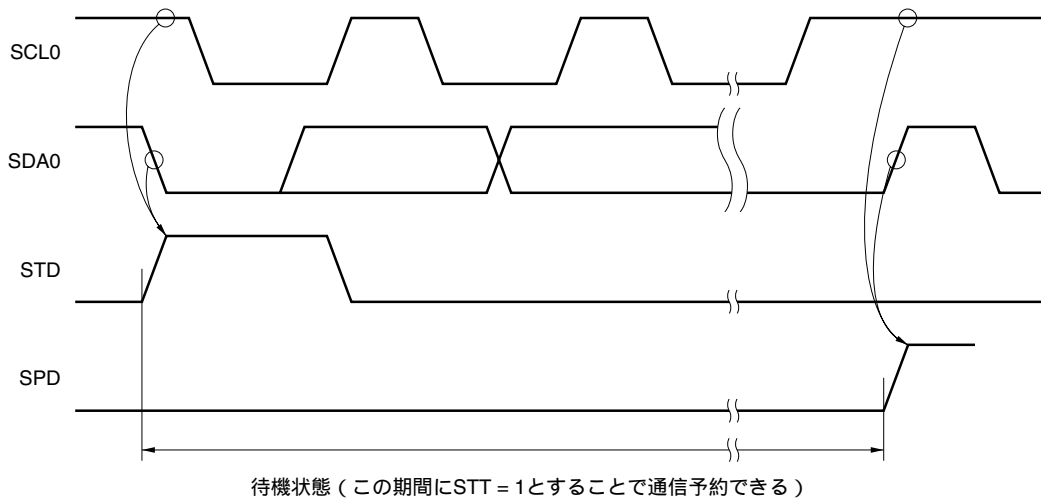
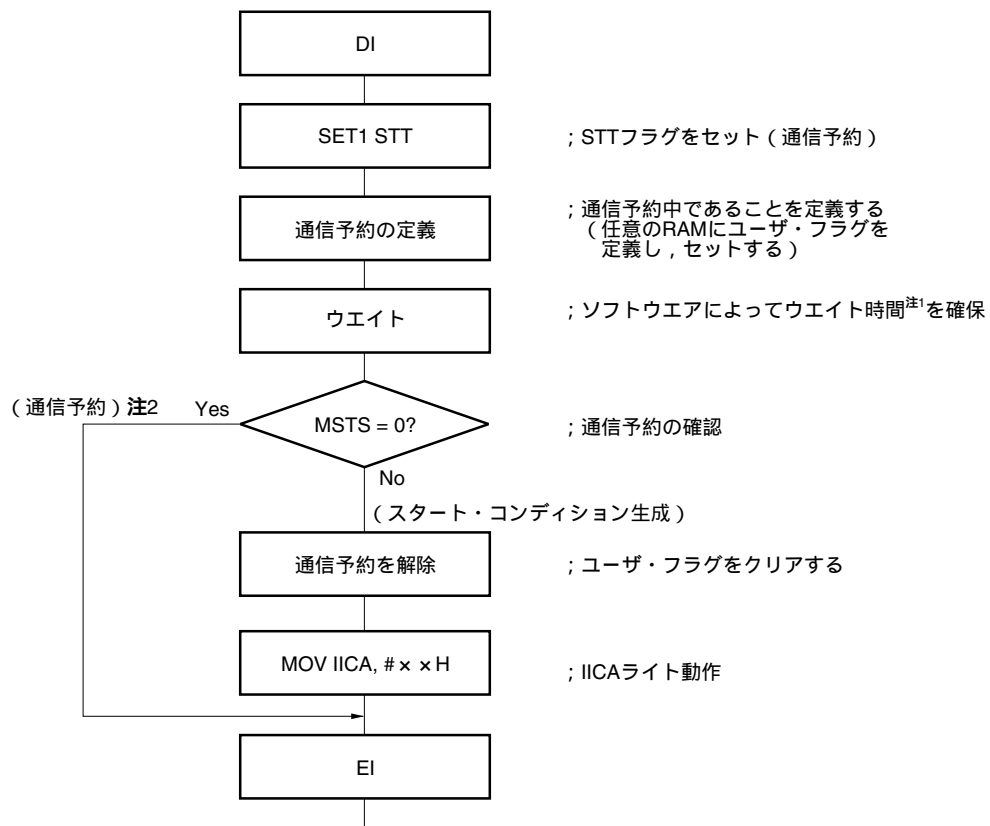


図14 - 27に通信予約の手順を示します。

図14 - 27 通信予約の手順



注1. ウエイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{CLK} \quad [\text{クロック}]$$

2. 通信予約動作時は, ストップ・コンディション割り込み要求でIICAシフト・レジスタ (IICA) への書き込みを実行します。

備考 STT : IICAコントロール・レジスタ0 (IICCTL0) のビット1

MSTS : IICAステータス・レジスタ (IICS) のビット7

IICA : IICAシフト・レジスタ

IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_F : SDA0, SCL0信号の立ち下がり時間

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

(2) 通信予約機能禁止の場合 (IICAフラグ・レジスタ (IICF) のビット0 (IICRSV) = 1)

バスが通信中で、この通信に不参加の状態(IICAコントロール・レジスタ0(IICCTL0)のビット1(STT))をセット(1)すると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない(アクノリッジを返さず、IICCTL0のビット6(LREL) = 1で通信退避してバスを解放した)とき。

スタート・コンディションが生成されたかまたは拒絶されたかは、STCF (IICFのビット7)で確認できます。STT = 1としてからSTCFがセット(1)されるまで5クロックの時間がかかりますので、ソフトウェアによりこの時間を確保してください。

14.5.15 その他の注意事項

(1) STCEN = 0の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず通信状態 (IICBSY = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

マルチマスタでは、バスが解放されていない(ストップ・コンディションを検出していない)状態では、マスタ通信を行うことができません。

ストップ・コンディションの生成は次の順番で行ってください。

IICAコントロール・レジスタ1 (IICCTL1) を設定する

IICAコントロール・レジスタ0 (IICCTL0) のビット7 (IICE) をセット (1) する

IICCTL0のビット0 (SPT) をセット (1) する

(2) STCEN = 1の場合

I²C動作許可 (IICE = 1) 直後、実際のバス状態にかかわらず解放状態 (IICBSY = 0) と認識しますので、1回目のスタート・コンディションを生成 (STT = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) すでに他者との間でI²C通信が行われている場合

SDA0端子がロウ・レベルで、かつSCL0端子がハイ・レベルのときに、I²C動作を許可して通信に途中参加すると、I²CのマクロはSDA0端子がハイ・レベルからロウ・レベルに変化したと認識 (スタート・コンディション検出) します。このときにバス上の値が拡張コードと認識できる値の場合は、アクノリッジを返し、他者との間のI²C通信を妨害してしまいます。これを回避するために、次の順番でI²Cを起動してください。

IICCTL0のビット4 (SPIE) をクリア (0) し、ストップ・コンディション検出による割り込み要求信号 (INTIICA) 発生を禁止する

IICCTL0のビット7 (IICE) をセット (1) し、I²Cの動作を許可する

スタート・コンディションを検出するまで待つ

アクノリッジを返すまで (IICEをセット (1) してから、4~80クロック中) に、IICCTL0のビット6 (LREL) をセット (1) にし、強制的に検出を無効とする

(4) STT, SPT (IICCTL0のビット1, 0) をセットしたあと、クリア (0) される前の再セットは禁止します。

(5) 送信予約をした場合には、SPIE (IICCTL0のビット4) をセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後に、IICAに通信データを書き込むことによって、転送が開始されます。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでMSTS (IICSのビット7) を検出する場合には、SPIEをセット (1) する必要はありません。

14.5.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cバスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²Cバスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

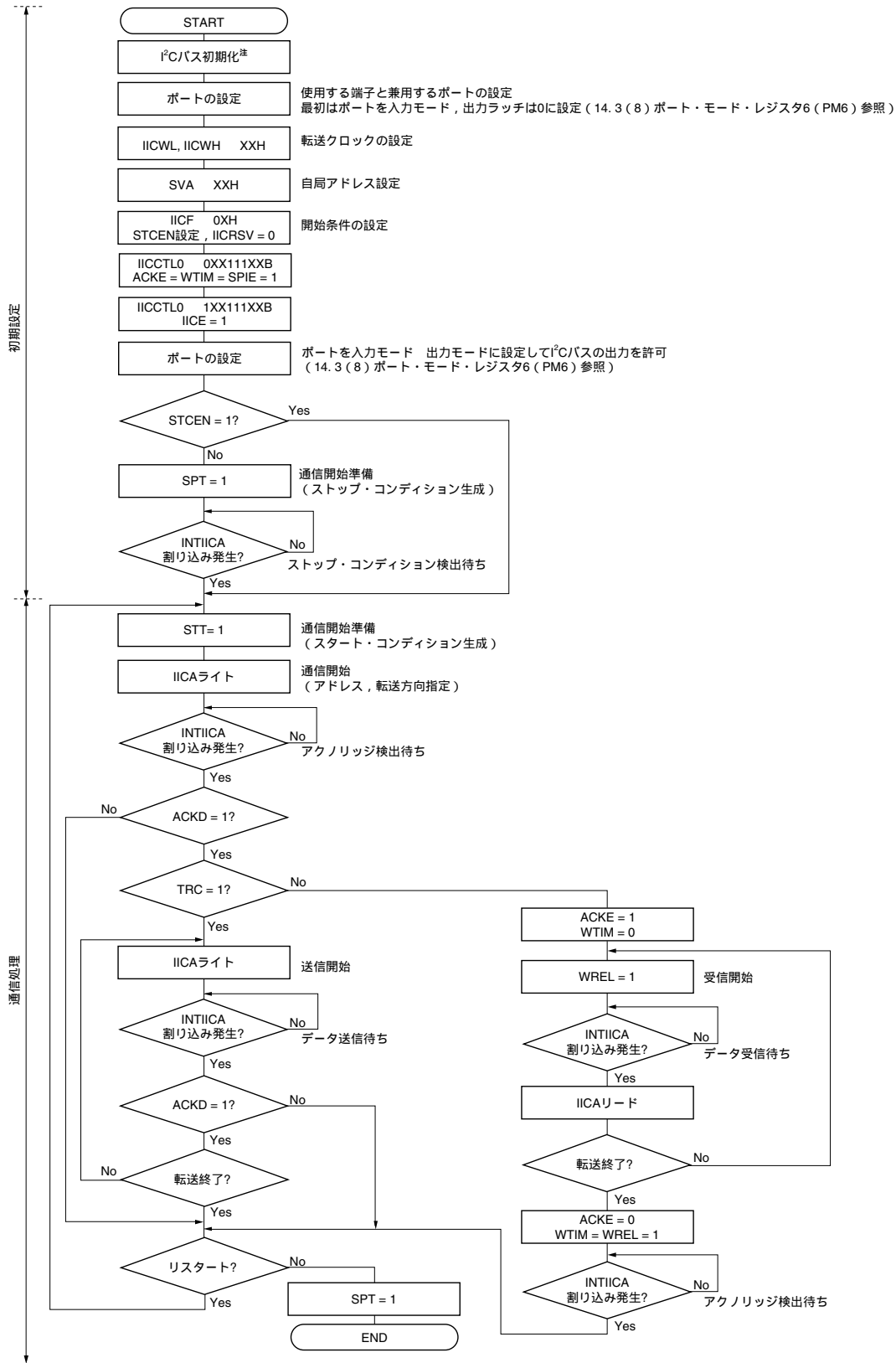
I²Cバスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICA割り込みの発生を待ちます。INTIICA割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

(1) シングルマスタ・システムでのマスタ動作

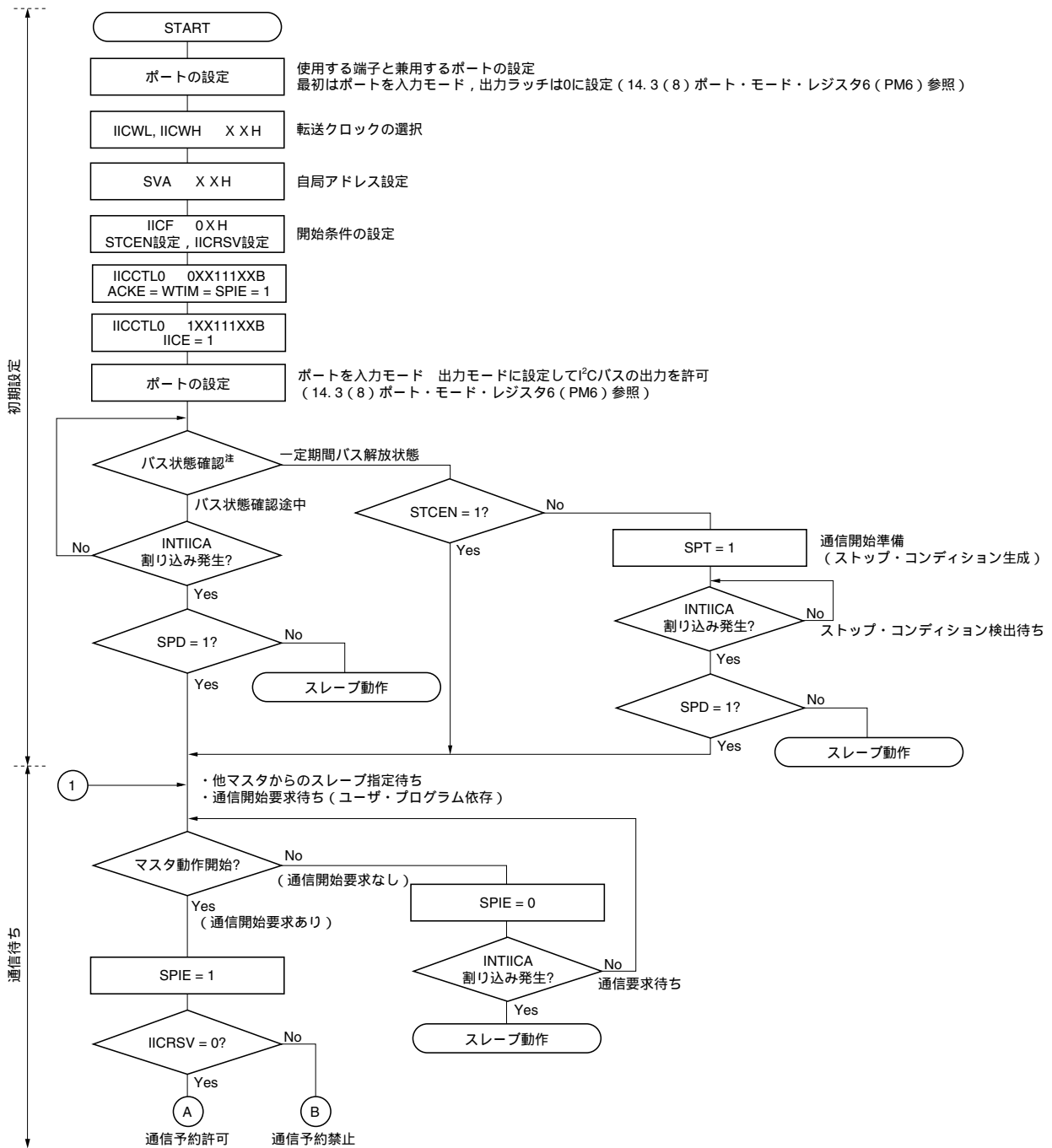
図14 - 28 シングルマスタ・システムでのマスタ動作



注 通信している製品の仕様に準拠し、I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) してください。たとえば、EEPROMがSDA0端子にロウ・レベルを出力した状態であれば、SCL0端子を出力ポートに設定し、SDA0端子が定常的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。
備考 送信および受信フォーマットは、通信している製品の仕様に準拠してください。

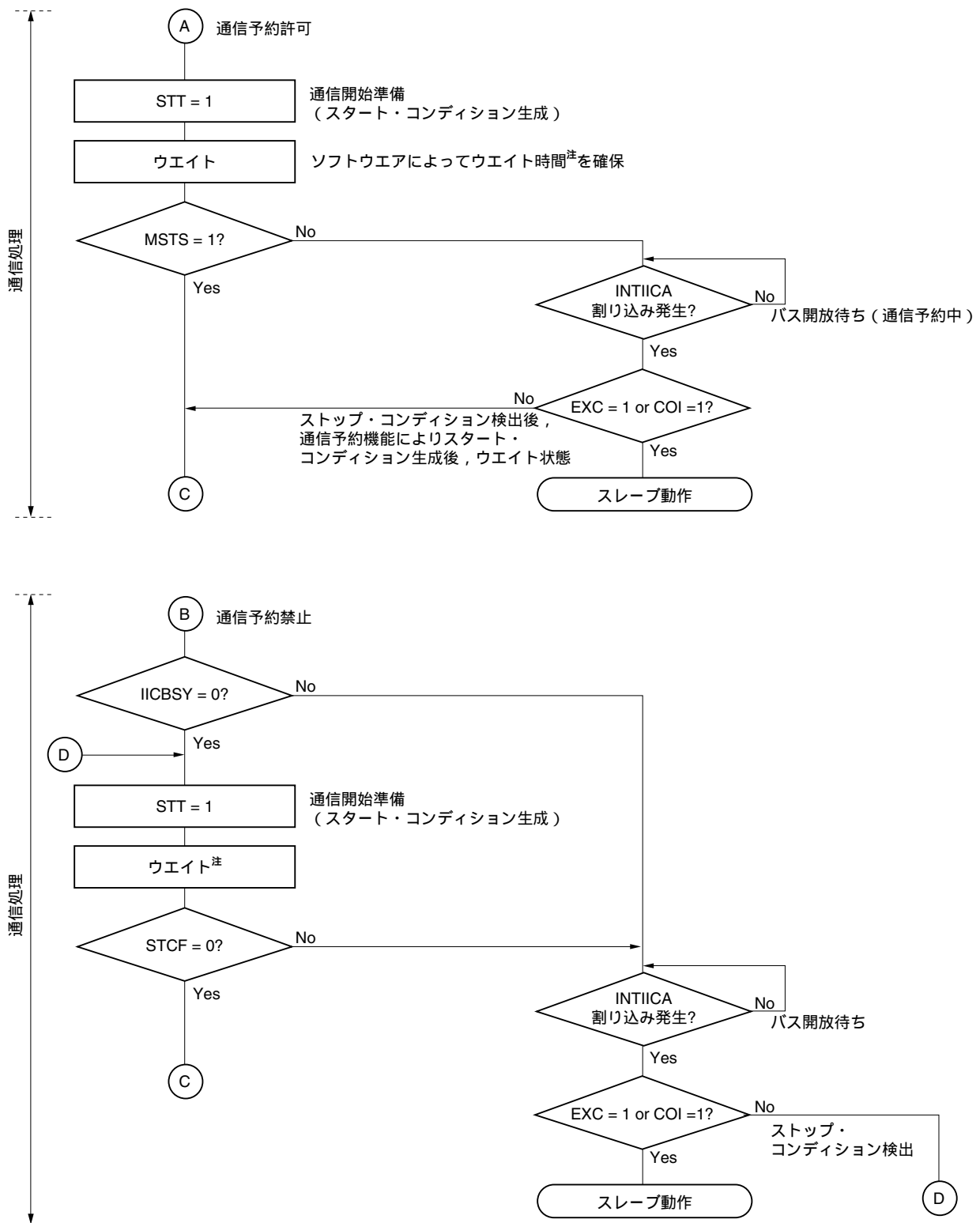
(2) マルチマスタ・システムでのマスタ動作

図14 - 29 マルチマスタ・システムでのマスタ動作 (1/3)



注 一定期間 (たとえば1フレーム分), バス解放状態 (CLDビット = 1, DADビット = 1) であることを確認してください。定常的にSDA0端子がロウ・レベルの場合は, 通信している製品の仕様に準拠し, I²Cバスを解放 (SCL0, SDA0端子 = ハイ・レベル) するか判断してください。

図14 - 29 マルチマスタ・システムでのマスタ動作 (2/3)



注 ウエイト時間は次のようになります。

$$(IICWL\text{の設定値} + IICWH\text{の設定値} + 4) + t_F \times 2 \times f_{CLK} \quad [\text{クロック}]$$

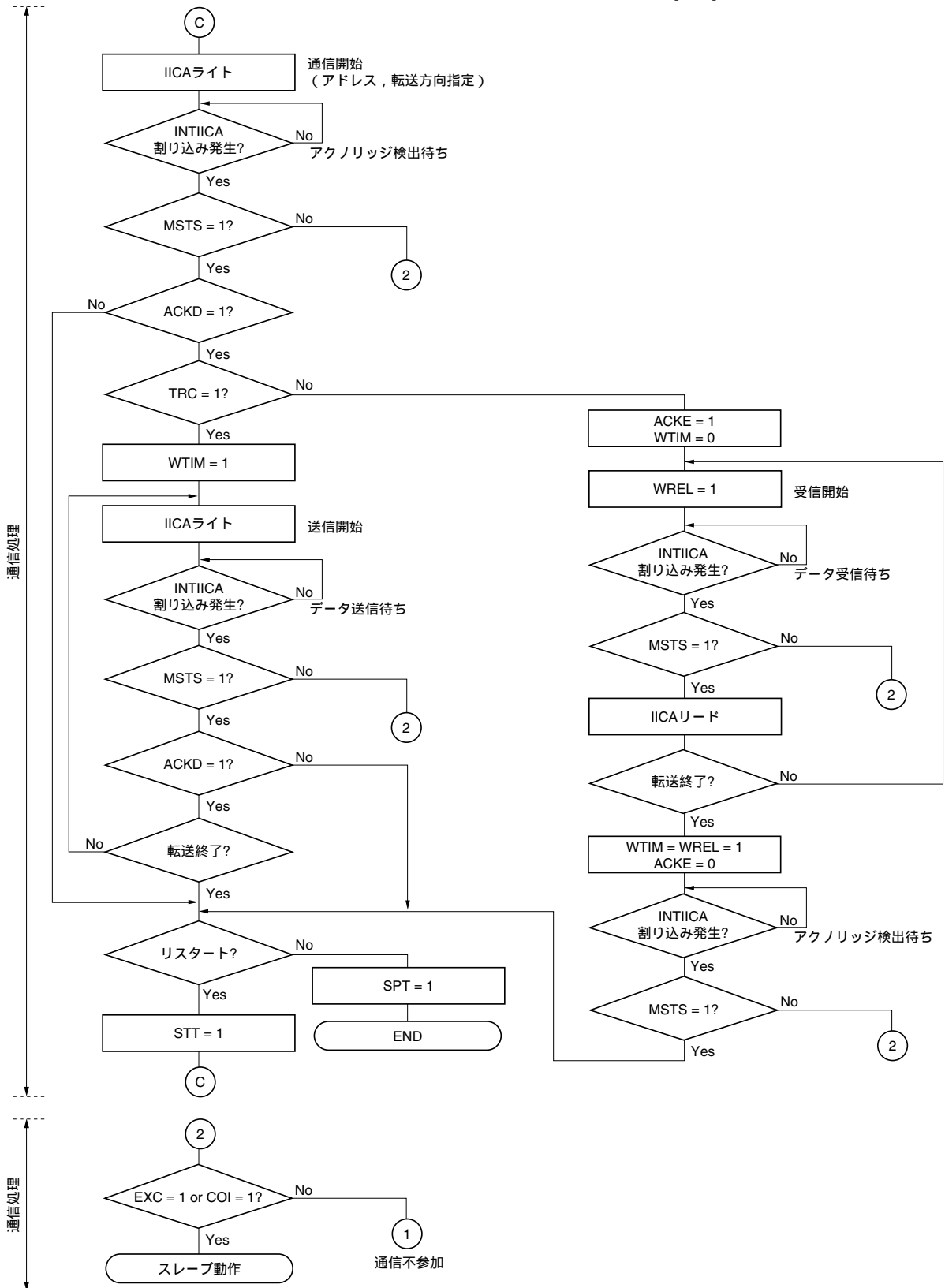
備考 IICWL : IICAロウ・レベル幅設定レジスタ

IICWH : IICAハイ・レベル幅設定レジスタ

t_F : SDA0, SCL0信号の立ち下がり時間 (第28章 電気的特性参照)

f_{CLK} : CPU / 周辺ハードウェア・クロック周波数

図14 - 29 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。

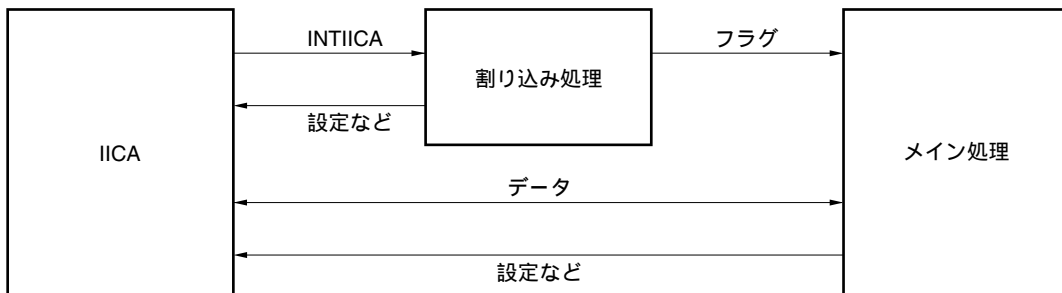
3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICA割り込み発生ごとにIICS、IICFレジスタでステータスを確認して次に行う処理を決定してください。

(3) スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICA割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICA割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。



このため、次の3つのフラグを準備し、これをINTIICAの代わりにメイン処理に渡すという方法で、データ通信処理を行います。

通信モード・フラグ

次の2つの通信状態を示します。

- ・クリア・モード：データ通信を行っていない状態
- ・通信モード：データ通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

レディ・フラグ

データ通信が可能になったことを示します。通常データ通信ではINTIICA割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータでは、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

通信方向フラグ

通信の方向を示します。TRCの値と同じです。

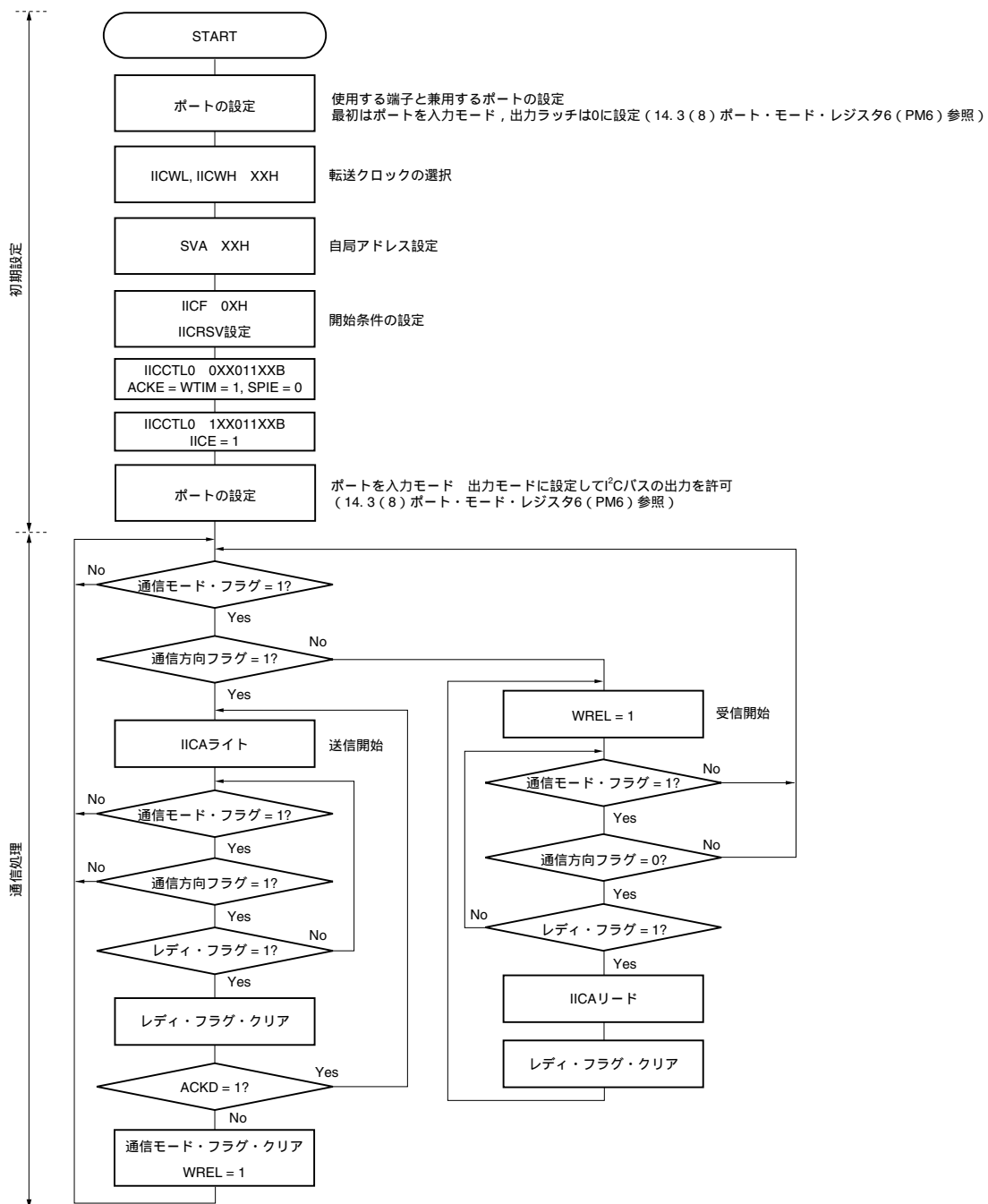
次にスレーブ動作でのメイン処理部の動作を示します。

シリアル・インタフェースIICAを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って通信を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで状態を確認します）。

送信ではマスタからアクノリッジがなくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら通信を完了します。

受信では必要な数のデータ受信し、通信完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図14 - 30 スレーブ動作手順（1）



備考 送信および受信フォーマットは通信している製品の仕様に準拠してください。

スレーブのINTIICA割り込みでの処理手順例を示します(ここでは拡張コードはないものとして処理します)。INTIICA割り込みではステータスを確認して、次のように行います。

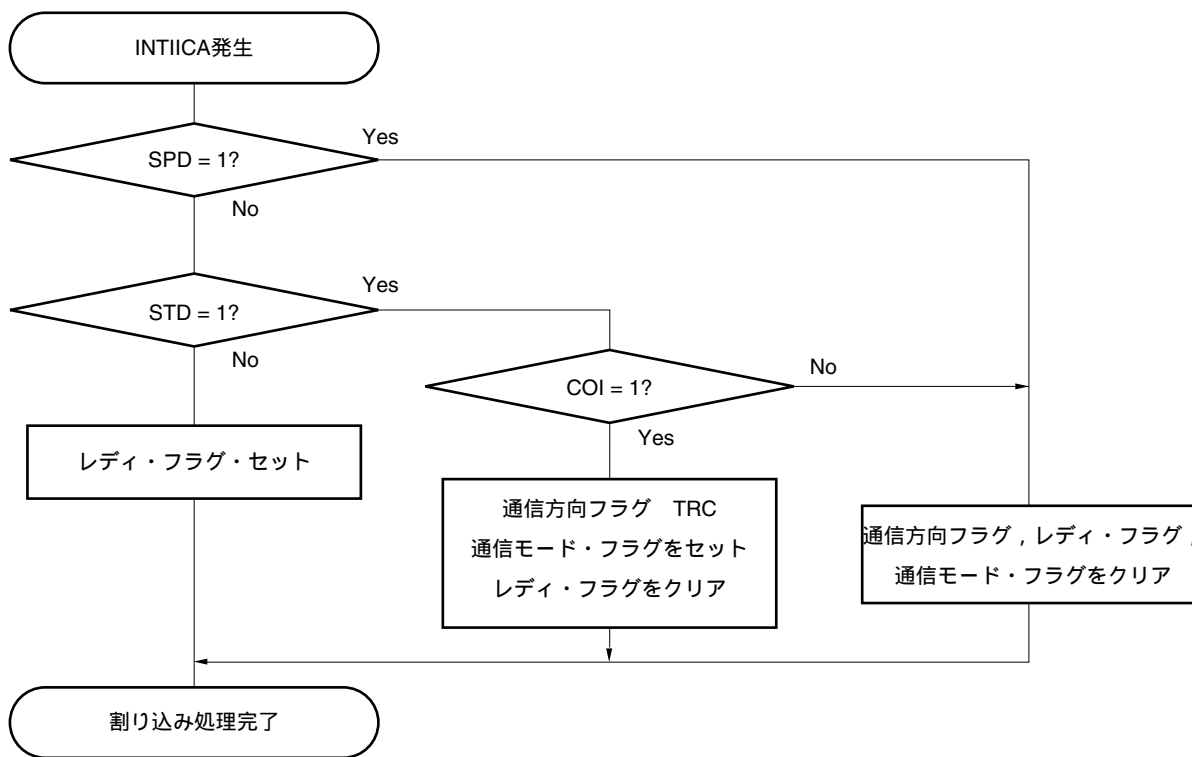
ストップ・コンディションの場合、通信を終了します。

スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります(レディ・フラグはクリアする)。

データ送受信の場合、レディ・フラグをセットするだけで、I²Cバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の ~ は、図14 - 31 スレーブ動作手順(2)の ~ と対応しています。

図14 - 31 スレーブ動作手順(2)



14. 5. 17 I²C割り込み要求 (INTIICA) の発生タイミング

次に、データの送受信、INTIICA割り込み要求信号発生タイミングと、INTIICA信号タイミングでのIICSレジスタの値を示します。

備考 ST : スタート・コンディション
AD6-AD0 : アドレス
R/ \overline{W} : 転送方向指定
 \overline{ACK} : アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション

(1) マスタ動作

(a) Start ~ Address ~ Data ~ Data ~ Stop (送受信)

(i) WTIM = 0のとき

SPT = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 000B
 3 : IICS = 1000 × 000B (WTIMをセット(1))^注
 4 : IICS = 1000 × × 00B (SPTをセット(1))
 5 : IICS = 00000001B

注 ストップ・コンディションを生成するために、WTIMをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき

SPT = 1								
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

1 : IICS = 1000 × 110B
 2 : IICS = 1000 × 100B
 3 : IICS = 1000 × × 00B (SPTをセット(1))
 4 : IICS = 00000001B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop (リスタート)

(i) WTIM = 0のとき

STT = 1						SPT = 1							
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP	
			1		2	3				4	5	6	7

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMをセット(1))^{注1)}
 3 : IICS = 1000 × × 00 B (WTIMをクリア(0))^{注2)}, STTをセット(1))
 4 : IICS = 1000 × 110 B
 5 : IICS = 1000 × 000 B (WTIMをセット(1))^{注3)}
 6 : IICS = 1000 × × 00 B (SPTをセット(1))
 7 : IICS = 00000001 B

注1. スタート・コンディションを生成するために、WTIMをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。
 2. 設定を元に戻すために、WTIMをクリア(0)してください。
 3. ストップ・コンディションを生成するために、WTIMをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき

STT = 1						SPT = 1						
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2					3	4	5

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × × 00 B (STTをセット(1))
 3 : IICS = 1000 × 110 B
 4 : IICS = 1000 × × 00 B (SPTをセット(1))
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Data ~ Stop (拡張コード送信)

(i) WTIM = 0のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4 5

1 : IICS = 1010 × 110 B
 2 : IICS = 1010 × 000 B
 3 : IICS = 1010 × 000 B (WTIMをセット(1) 注)
 4 : IICS = 1010 × × 00 B (SPTをセット(1))
 5 : IICS = 00000001 B

注 ストップ・コンディションを生成するために、WTIMをセット(1)し、INTIICA割り込み要求信号の発生タイミングを変更してください。

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3	4

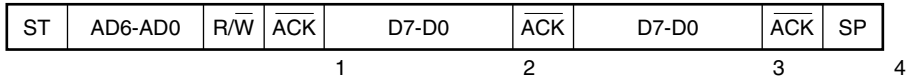
1 : IICS = 1010 × 110 B
 2 : IICS = 1010 × 100 B
 3 : IICS = 1010 × × 00 B (SPTをセット(1))
 4 : IICS = 00001001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(2) スレーブ動作 (スレーブ・アドレス受信時)

(a) Start ~ Address ~ Data ~ Data ~ Stop

(i) WTIM = 0のとき



1 : IICS = 0001 x 110 B

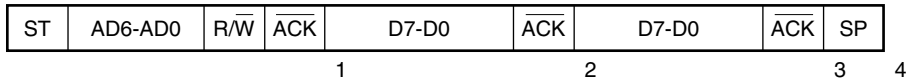
2 : IICS = 0001 x 000 B

3 : IICS = 0001 x 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 x 任意

(ii) WTIM = 1のとき



1 : IICS = 0001 x 110 B

2 : IICS = 0001 x 100 B

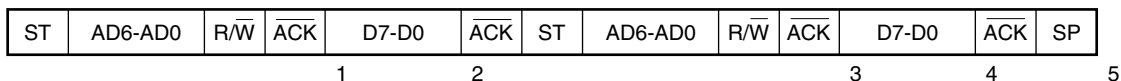
3 : IICS = 0001 x x 00 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 x 任意

(b) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0のとき (リスタート後, SVA一致)



1 : IICS = 0001 x 110 B

2 : IICS = 0001 x 000 B

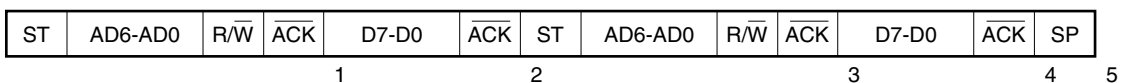
3 : IICS = 0001 x 110 B

4 : IICS = 0001 x 000 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき (リスタート後, SVA一致)



1 : IICS = 0001 x 110 B

2 : IICS = 0001 x x 00 B

3 : IICS = 0001 x 110 B

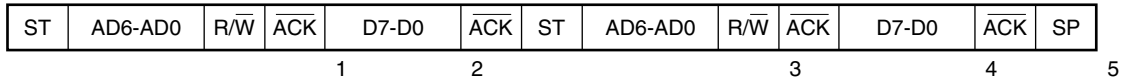
4 : IICS = 0001 x x 00 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(c) Start ~ Address ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICS = 0001 × 110 B

2 : IICS = 0001 × 000 B

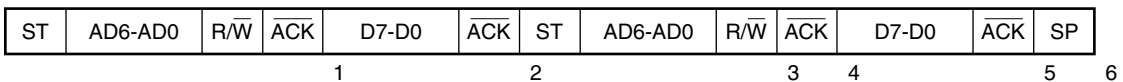
3 : IICS = 0010 × 010 B

4 : IICS = 0010 × 000 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき (リスタート後, アドレス不一致 (拡張コード))



1 : IICS = 0001 × 110 B

2 : IICS = 0001 × × 00 B

3 : IICS = 0010 × 010 B

4 : IICS = 0010 × 110 B

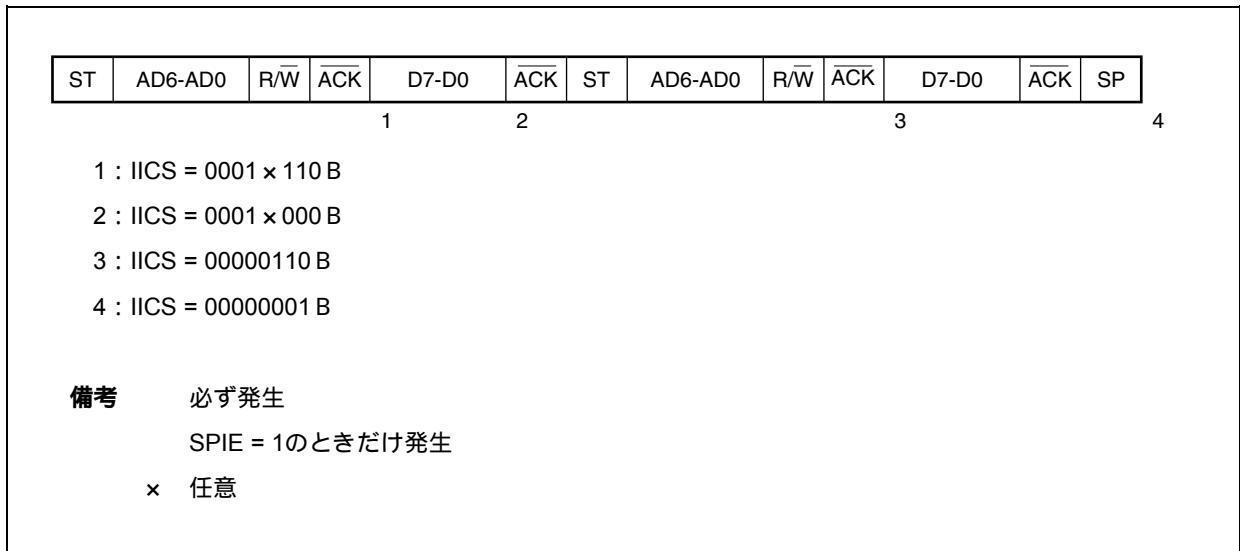
5 : IICS = 0010 × × 00 B

6 : IICS = 00000001 B

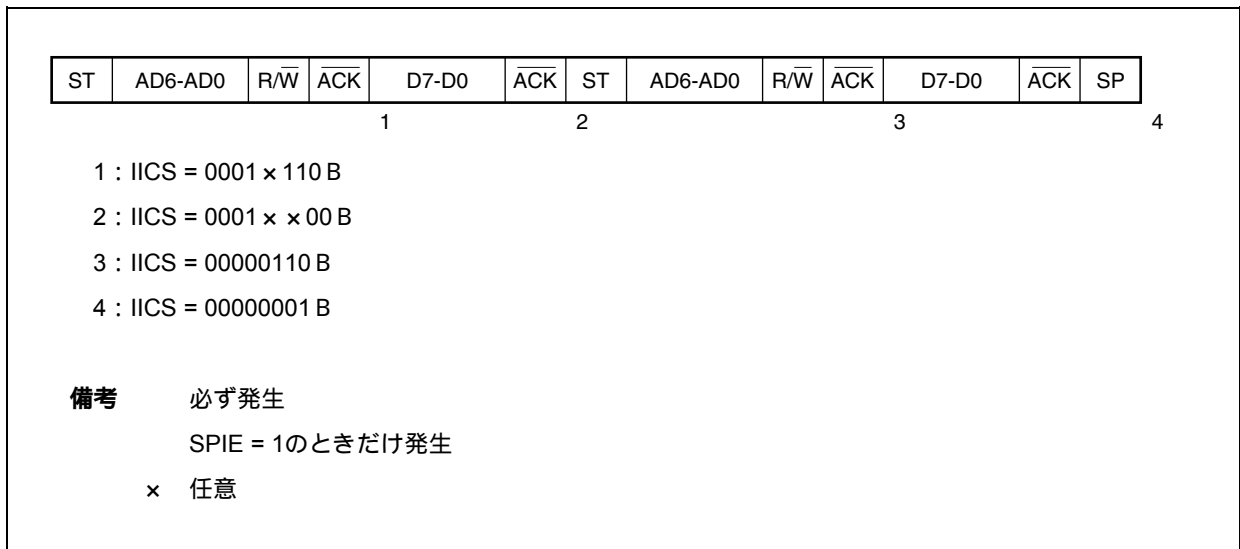
備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(d) Start ~ Address ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))



(ii) WTIM = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))

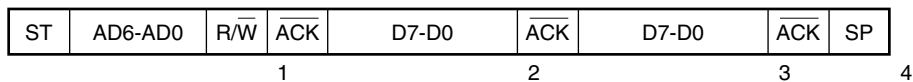


(3) スレーブ動作 (拡張コード受信時)

拡張コード受信時は、常に通信に参加しています

(a) Start ~ Code ~ Data ~ Data ~ Stop

(i) WTIM = 0のとき



1 : IICS = 0010 × 010 B

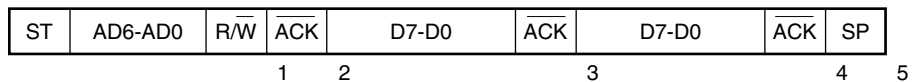
2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

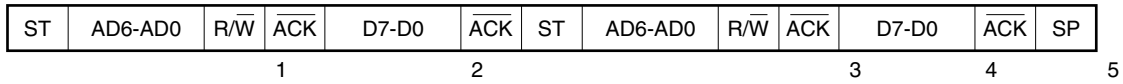
4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(b) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0のとき (リスタート後, SVA一致)



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 000 B

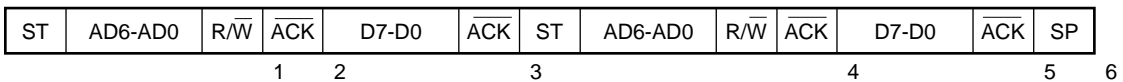
3 : IICS = 0001 × 110 B

4 : IICS = 0001 × 000 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき (リスタート後, SVA一致)



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × × 00 B

4 : IICS = 0001 × 110 B

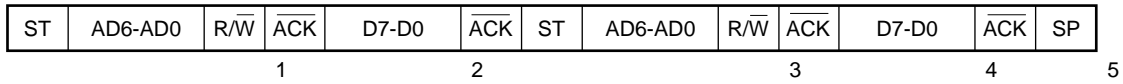
5 : IICS = 0001 × × 00 B

6 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(c) Start ~ Code ~ Data ~ Start ~ Code ~ Data ~ Stop

(i) WTIM = 0のとき (リスタート後, 拡張コード受信)



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 000 B

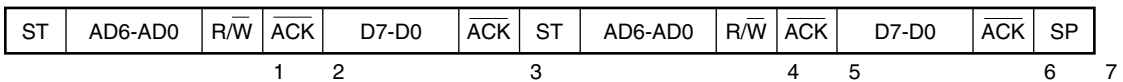
3 : IICS = 0010 × 010 B

4 : IICS = 0010 × 000 B

5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき (リスタート後, 拡張コード受信)



1 : IICS = 0010 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × × 00 B

4 : IICS = 0010 × 010 B

5 : IICS = 0010 × 110 B

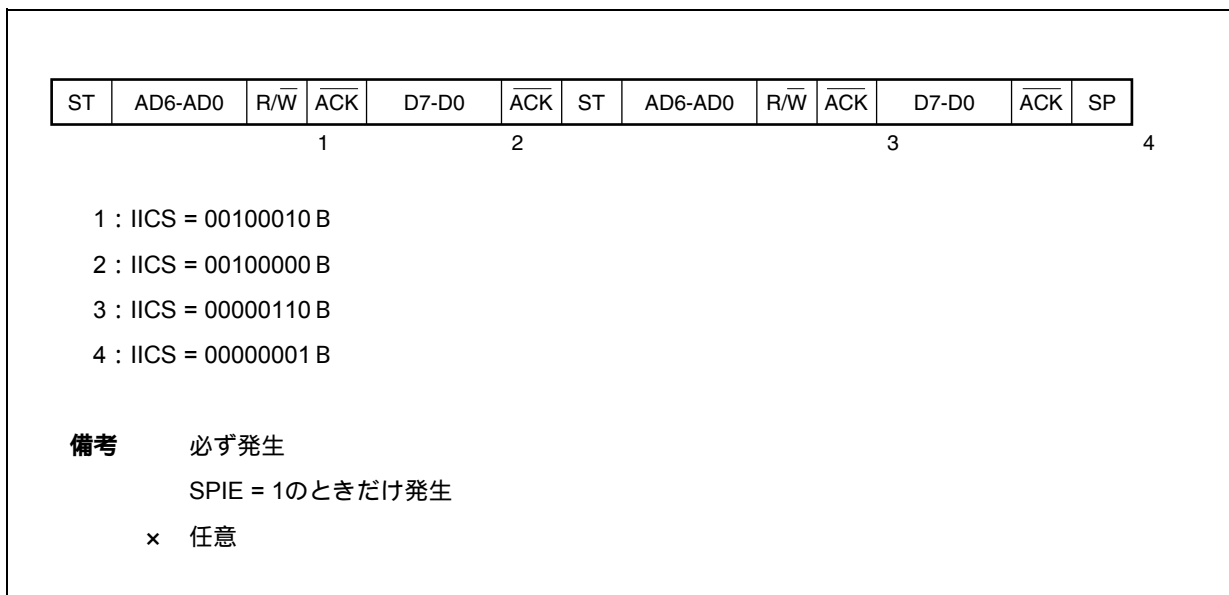
6 : IICS = 0010 × × 00 B

7 : IICS = 00000001 B

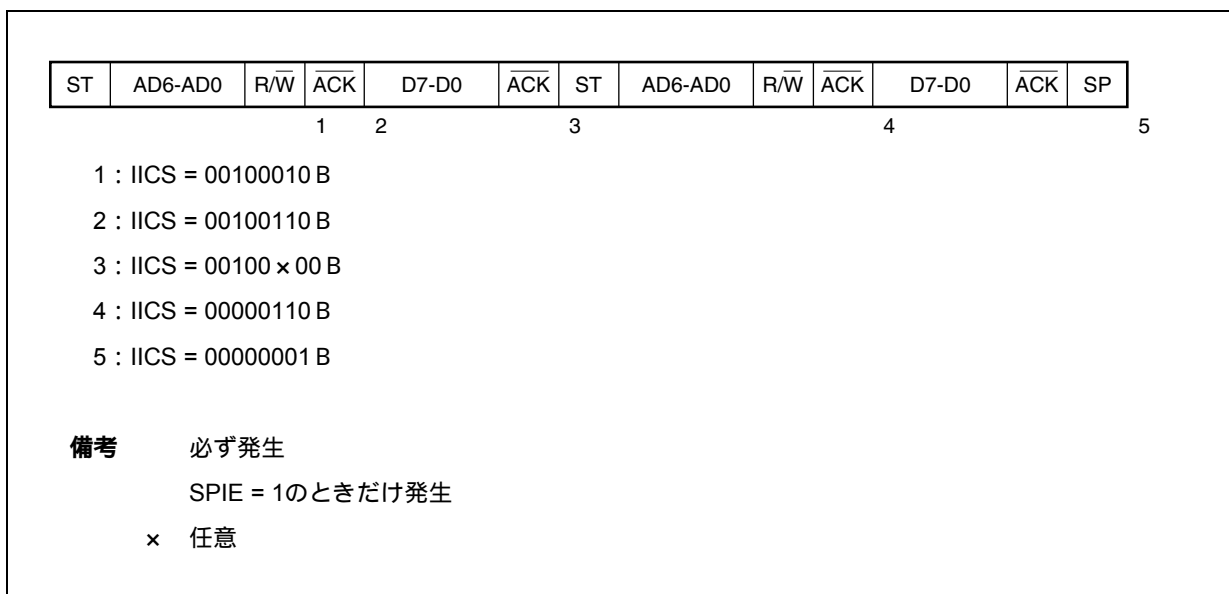
備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(d) Start ~ Code ~ Data ~ Start ~ Address ~ Data ~ Stop

(i) WTIM = 0のとき (リスタート後, アドレス不一致 (拡張コード以外))

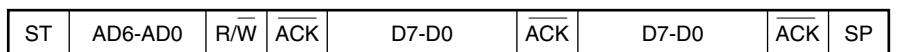


(ii) WTIM = 1のとき (リスタート後, アドレス不一致 (拡張コード以外))



(4) 通信不参加の動作

(a) Start ~ Code ~ Data ~ Data ~ Stop



1

1 : IICS = 00000001 B

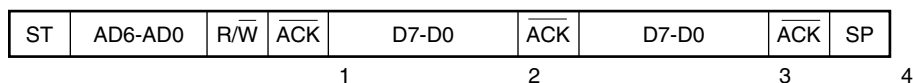
備考 SPIE = 1のときだけ発生

(5) アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)

マルチマスタ・システムでマスタとして使用する場合は、INTIICA割り込み要求信号の発生ごとにMSTSビットをリードし、アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

(i) WTIM = 0のとき



1 : IICS = 0101 × 110 B

2 : IICS = 0001 × 000 B

3 : IICS = 0001 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
SPIE = 1のときだけ発生
× 任意

(ii) WTIM = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0101 × 110 B

2 : IICS = 0001 × 100 B

3 : IICS = 0001 × × 00 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(b) 拡張コード送信中にアービトレーションに負けた場合

(i) WTIM = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3 4

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 000 B

3 : IICS = 0010 × 000 B

4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1 2		3		4	5

1 : IICS = 0110 × 010 B

2 : IICS = 0010 × 110 B

3 : IICS = 0010 × 100 B

4 : IICS = 0010 × × 00 B

5 : IICS = 00000001 B

- 備考** 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(6) アービトレーション負けの動作 (アービトレーション負けのあと, 不参加)

マルチマスタ・システムでマスタとして使用する場合は, INTIICA割り込み要求信号の発生ごとにMSTSビットをリードし, アービトレーション結果を確認してください。

(a) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合 (WTIM = 1のとき)

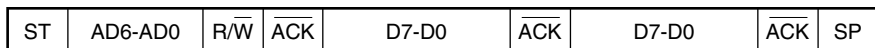
ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			1					2

1 : IICS = 01000110 B

2 : IICS = 00000001 B

- 備考** 必ず発生
 SPIE = 1のときだけ発生

(b) 拡張コード送信中にアービトレーションに負けた場合



1

2

1 : IICS = 0110 × 010 B

ソフトウェアでLREL = 1を設定

2 : IICS = 00000001 B

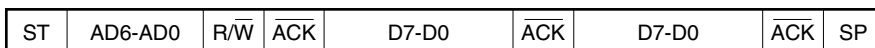
備考 必ず発生

SPIE = 1のときだけ発生

× 任意

(c) データ転送時にアービトレーションに負けた場合

(i) WTIM = 0のとき



1

2

3

1 : IICS = 10001110 B

2 : IICS = 01000000 B

3 : IICS = 00000001 B

備考 必ず発生

SPIE = 1のときだけ発生

(ii) WTIM = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1		2		3

1 : IICS = 10001110 B
 2 : IICS = 01000100 B
 3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生

(d) データ転送時にリスタート・コンディションで負けた場合

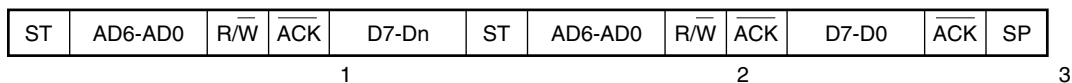
(i) 拡張コード以外 (例 SVA不一致)

ST	AD6-AD0	R/W	ACK	D7-Dn	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
				1					2		3

1 : IICS = 1000 × 110 B
 2 : IICS = 01000110 B
 3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意
 n = 6-0

(ii) 拡張コード



1 : IICS = 1000 × 110 B

2 : IICS = 01100010 B

ソフトウェアでLREL = 1を設定

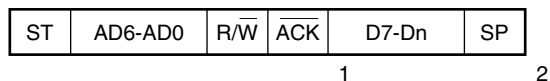
3 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生

× 任意

n = 6-0

(e) データ転送時にストップ・コンディションで負けた場合



1 : IICS = 10000110 B

2 : IICS = 01000001 B

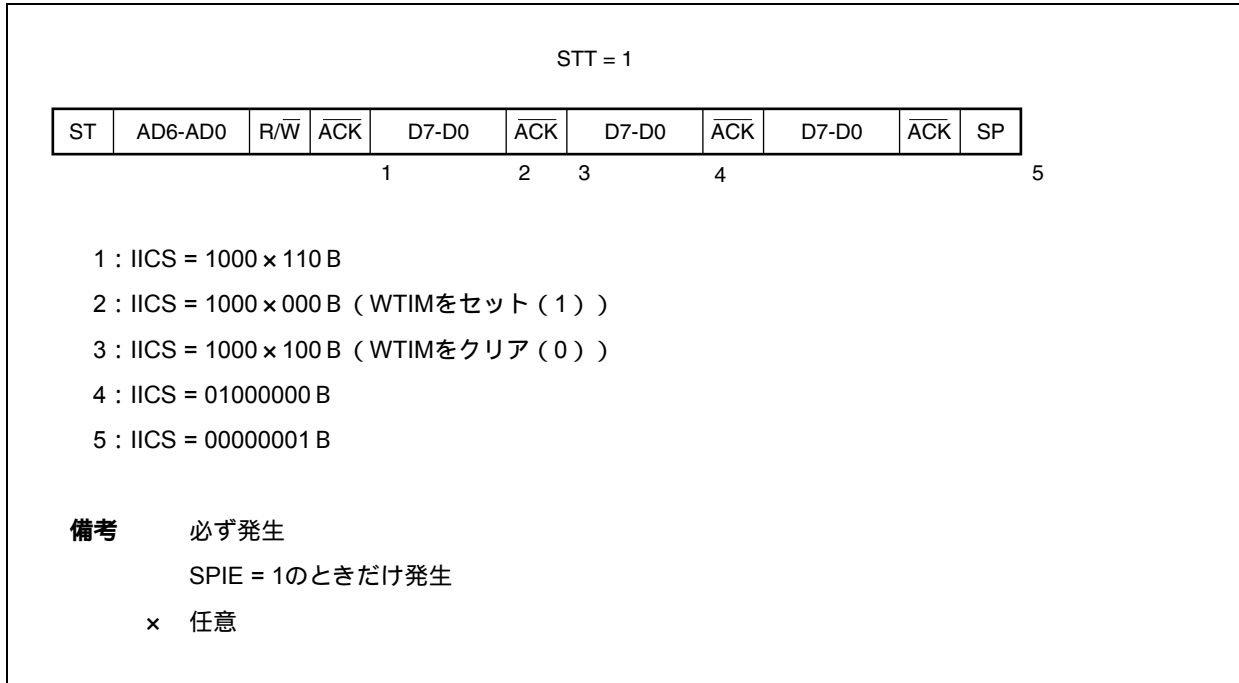
備考 必ず発生
 SPIE = 1のときだけ発生

× 任意

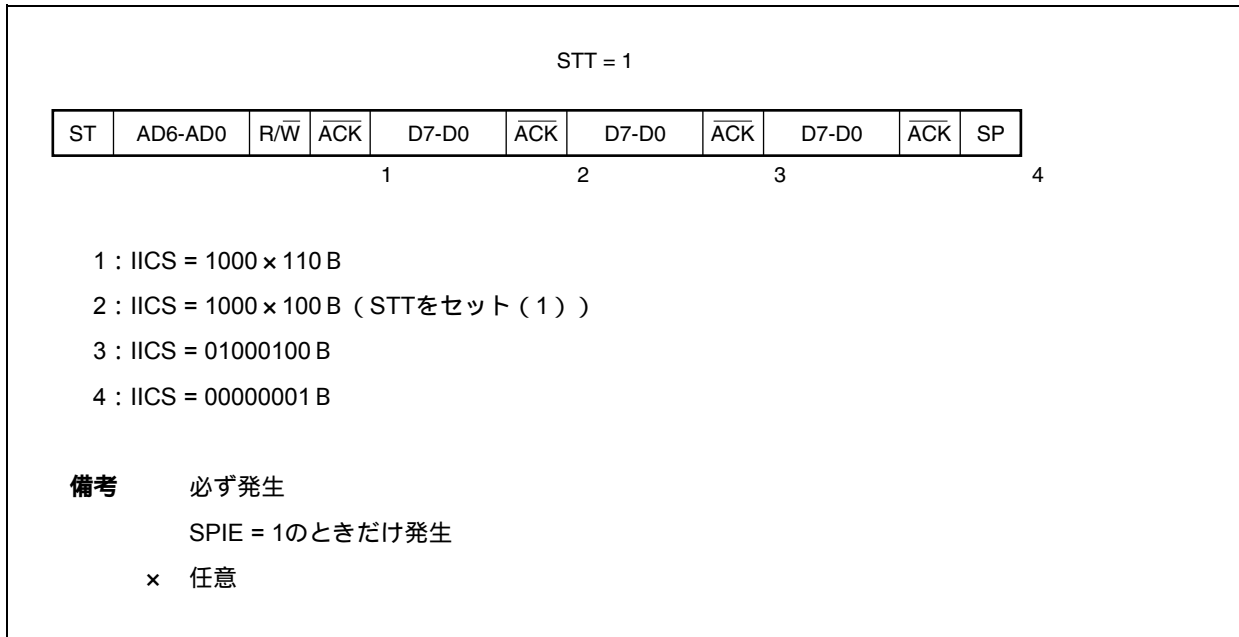
n = 6-0

(f) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0のとき



(ii) WTIM = 1のとき



(g) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

(i) WTIM = 0のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3 4

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMをセット(1))
 3 : IICS = 1000 × × 00 B (STTをセット(1))
 4 : IICS = 01000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき

STT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			1		2	3

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × × 00 B (STTをセット(1))
 3 : IICS = 01000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(h) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

(i) WTIM = 0のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2	3		4		5

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 000 B (WTIMをセット (1))
 3 : IICS = 1000 × 100 B (WTIMをクリア (0))
 4 : IICS = 01000100 B
 5 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

(ii) WTIM = 1のとき

SPT = 1

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	D7-D0	ACK	SP
				1	2		3			4

1 : IICS = 1000 × 110 B
 2 : IICS = 1000 × 100 B (SPTをセット (1))
 3 : IICS = 01000100 B
 4 : IICS = 00000001 B

備考 必ず発生
 SPIE = 1のときだけ発生
 × 任意

14.6 タイミング・チャート

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すTRCビット（IICAステータス・レジスタ（IICS）のビット3）を送信し、スレーブとのシリアル通信を開始します。

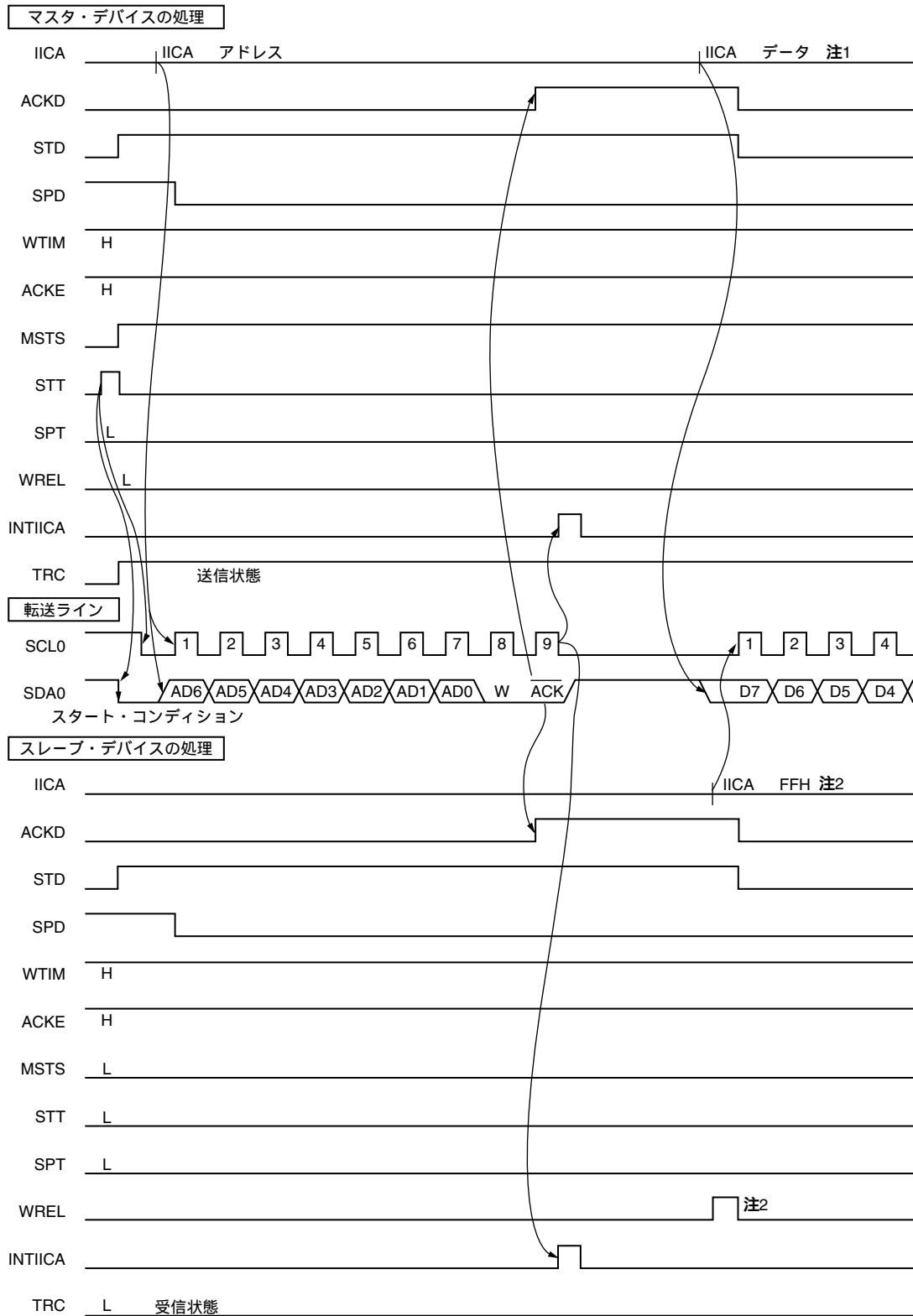
データ通信のタイミング・チャートを図14 - 32，図14 - 33に示します。

シリアル・クロック（SCL0）の立ち下がりに同期してIICAシフト・レジスタ（IICA）のシフト動作が行われ、送信データがSOラッチに転送され、SDA0端子からMSBファーストで出力されます。

また、SCL0の立ち上がりでSDA0端子に入力されたデータがIICAに取り込まれます。

図14 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (1/3)

(1) スタート・コンディション~アドレス

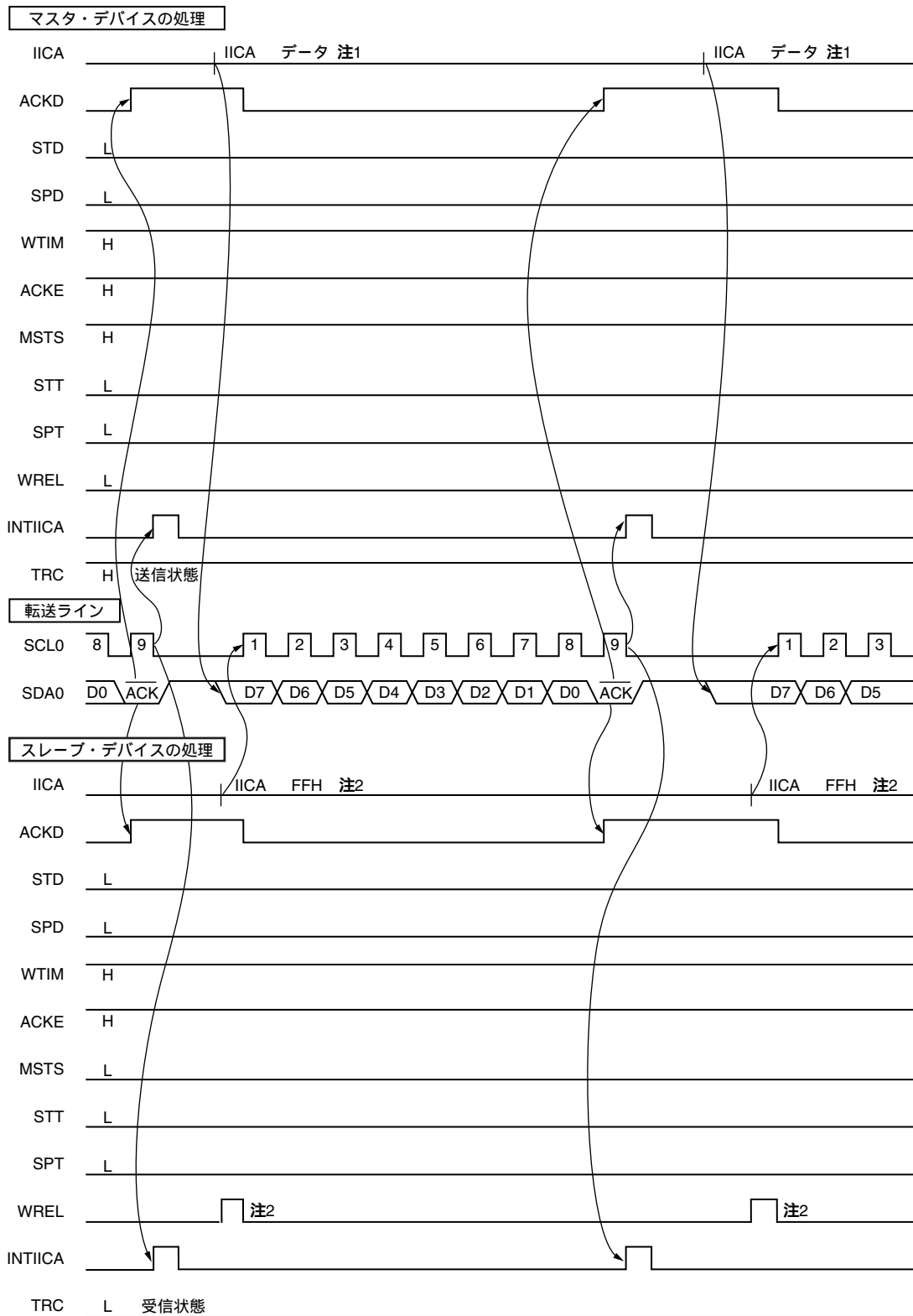


注1. マスタ送信時のウエイト解除は、WRELのセットではなく、IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA FFHまたはWRELのセットのどちらかで行ってください。

図14 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (2/3)

(2) データ

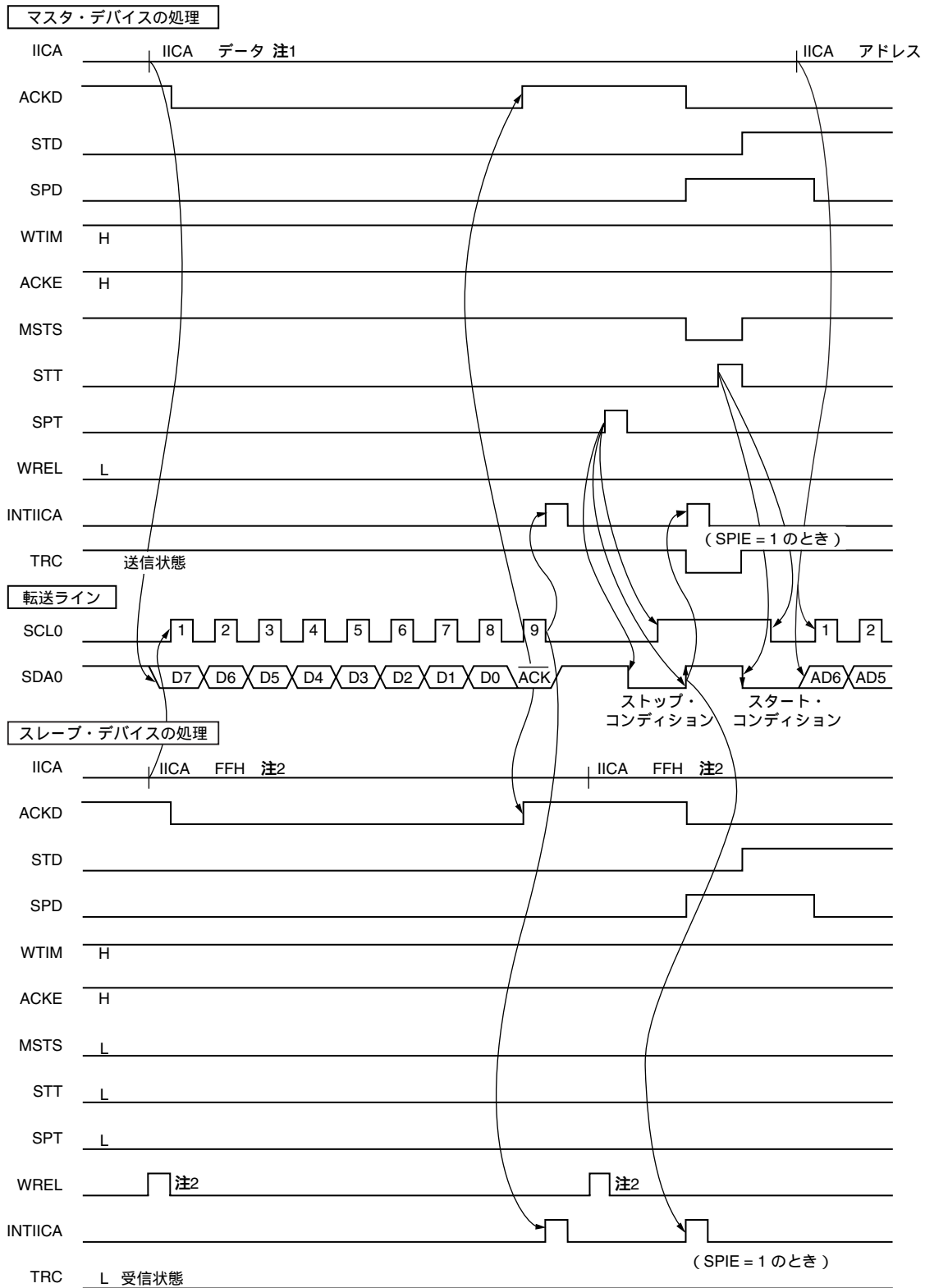


注1. マスタ送信時のウエイト解除は、WRELのセットではなく、IICAへのデータ書き込みで行ってください。

2. スレーブ・ウエイト解除は、IICA FFHまたはWRELのセットのどちらかで行ってください。

図14 - 32 マスタ スレーブ通信例 (マスタ, スレーブとも9クロック・ウエイト選択時) (3/3)

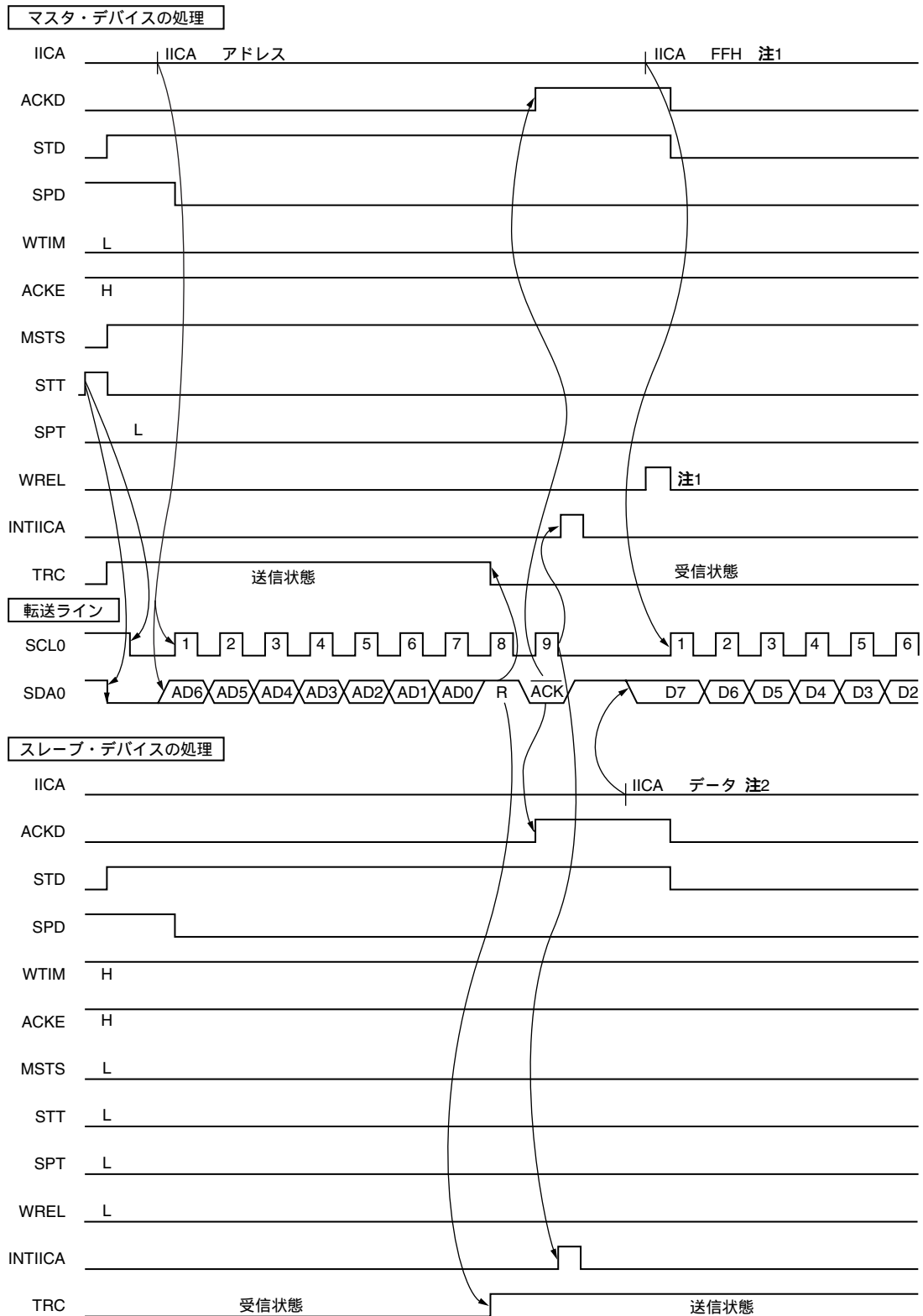
(3) ストップ・コンディション



- 注1. マスタ送信時のウエイト解除は、WRELのセットではなく、IICAへのデータ書き込みで行ってください。
- 2. スレーブ・ウエイト解除は、IICA FFHまたはWRELのセットのどちらかで行ってください。

図14 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウェイト選択時) (1/3)

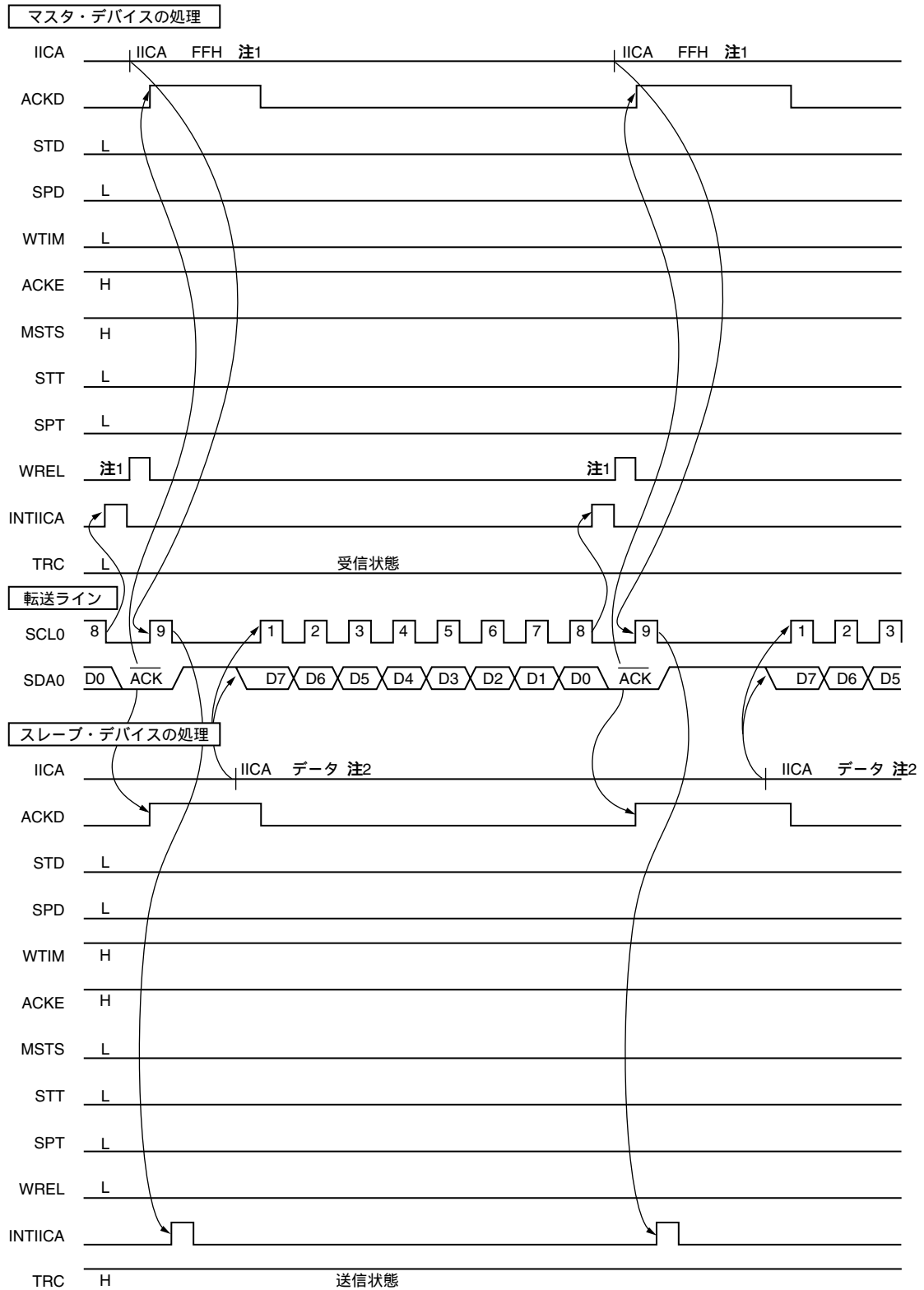
(1) スタート・コンディション~アドレス



- 注1. マスタ・ウェイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。
 2. スレーブ送信時のウェイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。

図14 - 33 スレーブ マスタ通信例 (マスタ: 8クロック, スレーブ: 9クロックでウエイト選択時) (2/3)

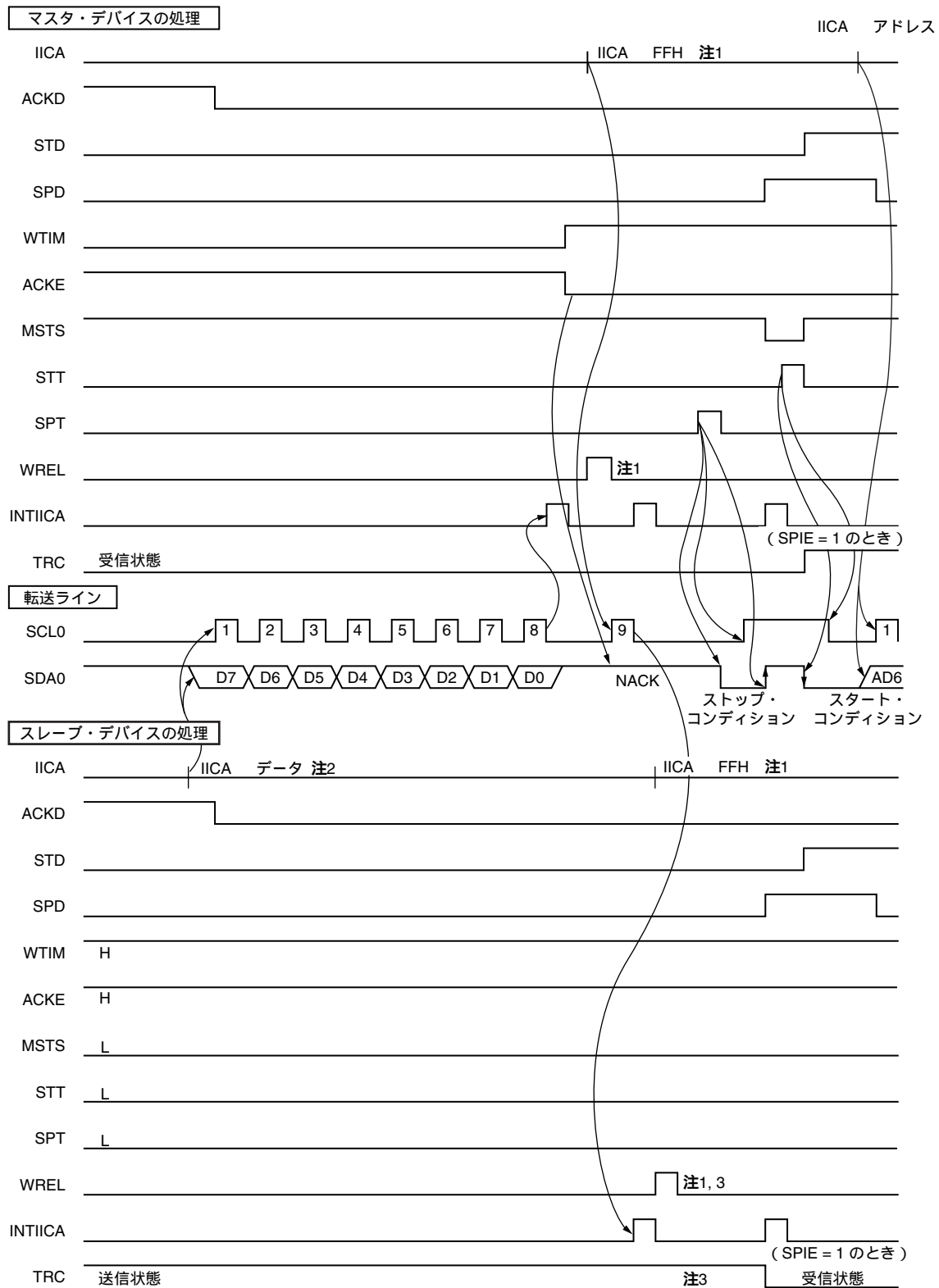
(2) データ



- 注1. マスタ・ウエイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。
 2. スレーブ送信時のウエイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。

図14 - 33 スレーブ マスタ通信例 (マスタ: 8 クロック, スレーブ: 9クロックでウエイト選択時) (3/3)

(3) ストップ・コンディション



- 注1. ウエイト解除は, IICA FFHまたはWRELのセットのどちらかで行ってください。
 2. スレーブ送信時のウエイト解除は, WRELのセットではなく, IICAへのデータ書き込みで行ってください。
 3. スレーブ送信時のウエイトをWRELのセットで解除すると, TRCはクリアされます。

第15章 乗除算器

15.1 乗除算器の機能

乗除算器には、次のような機能があります。

- ・ 16ビット×16ビット = 32ビット (乗算)
- ・ 32ビット÷32ビット = 32ビット 剰余32ビット (除算)

15.2 乗除算器の構成

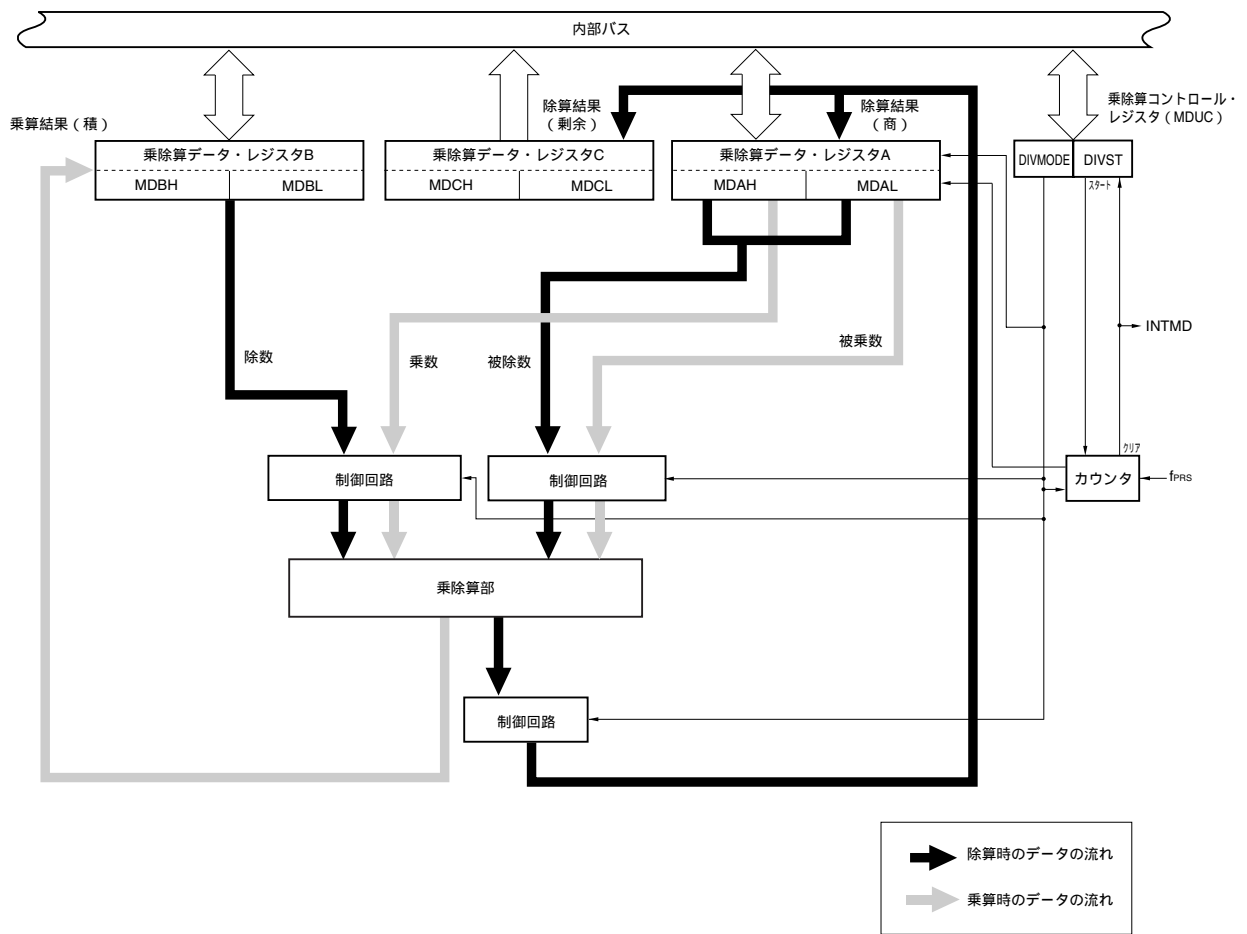
乗除算器は、次のハードウェアで構成されています。

表15 - 1 乗除算器の構成

項 目	構 成
レジスタ	乗除算データ・レジスタA (L) (MDAL) 乗除算データ・レジスタA (H) (MDAH) 乗除算データ・レジスタB (L) (MDBL) 乗除算データ・レジスタB (H) (MDBH) 乗除算データ・レジスタC (L) (MDCL) 乗除算データ・レジスタC (H) (MDCH)
制御レジスタ	乗除算コントロール・レジスタ (MDUC)

乗除算器のブロック図を図15 - 1に示します。

図15-1 乗除算器のブロック図



(1) 乗除算データ・レジスタA (MDAH, MDAL)

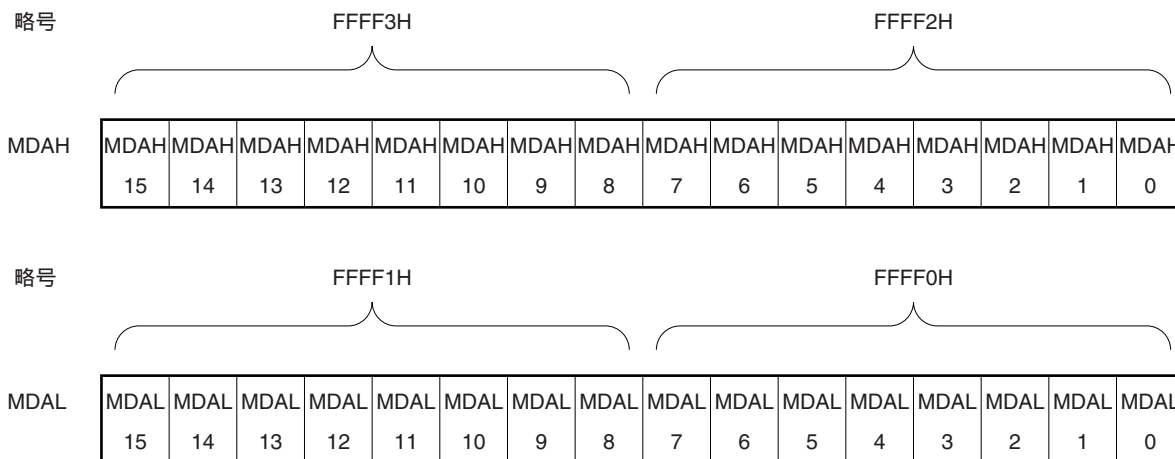
MDAH, MDALレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は乗数と被乗数データを設定し、除算モード時は被除数データを設定します。また、除算モード時は演算結果(商)がMDAH, MDALレジスタに格納されます。

MDAH, MDALは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図15 - 2 乗除算データ・レジスタA (MDAH, MDAL) のフォーマット

アドレス：FFFF0H, FFFF1H, FFFF2H, FFFF3H リセット時：0000H, 0000H R/W



- 注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81Hのとき)に、MDAH, MDALの値を書き換えないでください。この場合でも演算は実施しますが、演算結果は不定値となります。
2. 除算演算処理中(MDUCが81Hのとき)にMDAH, MDALの値を読み出した場合、その値は保証しません。

MDAH, MDALの演算実行時の機能を次に示します。

表15 - 2 MDAH, MDALの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	MDAH：乗数 MDAL：被乗数	-
1	除算モード	MDAH：被除数(上位16ビット) MDAL：被除数(下位16ビット)	MDAH：除算結果(商) 上位16ビット MDAL：除算結果(商) 下位16ビット

備考 DIVMODE : 乗除算コントロール・レジスタ(MDUC)のビット7

(2) 乗除算データ・レジスタB (MDBL, MDBH)

MDBH, MDBLレジスタは、乗除算の演算に利用する値を設定し、演算結果を格納するレジスタです。乗算モード時は演算結果(積)を格納し、除算モード時は除数データを設定します。

MDBH, MDBLは、16ビット操作命令で設定します。

リセット信号の発生により、0000Hになります。

図15-3 乗除算データ・レジスタB (MDBH, MDBL) のフォーマット

アドレス : FFFF6H, FFFF7H, FFFF4H, FFFF5H リセット時 : 0000H, 0000H R/W



- 注意1. 除算演算処理中(乗除算コントロール・レジスタ(MDUC)が81Hのとき)に、MDBH, MDBLの値をソフトウェアで書き換えしないでください。演算結果は不定値となります。
2. 除算モード時は、MDBH, MDBLに0000Hを設定しないでください。設定した場合、演算結果が不定値となります。

MDBH, MDBLの演算実行時の機能を次に示します。

表15-3 MDBH, MDBLの演算実行時の機能

DIVMODE	演算モード	設定	演算結果
0	乗算モード	-	MDBH : 乗算結果(積) 上位16ビット MDBL : 乗算結果(積) 下位16ビット
1	除算モード	MDBH : 除数(上位16ビット) MDBL : 除数(下位16ビット)	-

備考 DIVMODE : 乗除算コントロール・レジスタ(MDUC)のビット7

15.3 乗除算器を制御するレジスタ

乗除算器は、乗除算コントロール・レジスタ (MDUC) で制御します。

(1) 乗除算コントロール・レジスタ0 (MDUC)

MDUCは、乗除算器の動作を制御する8ビット・レジスタです。

MDUCは1ビット・メモリ命令または8ビット・メモリ命令で設定します。

リセット信号の発生により、00Hになります。

図15 - 5 乗除算コントロール・レジスタ (MDUC) のフォーマット

アドレス：F00E8H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
MDUC	DIVMODE	0	0	0	0	0	0	DIVST

DIVMODE	演算モード (乗算 / 除算) の選択
0	乗算モード
1	除算モード

DIVST ^注	除算演算動作の開始 / 停止
0	除算演算処理完了
1	除算演算開始 / 除算演算処理中

注 DIVSTは除算モード時にのみセット (1) 可能です。除算モード時、DIVSTをセット (1) すると除算演算動作を開始します。演算終了後は自動的にDIVSTがクリア (0) されます。乗算モード時は、MDAH, MDALに乗数、被乗数を設定することにより自動的に演算が開始されます。

- 注意1.** 演算処理中 (DIVSTが1のとき) に、DIVMODEを書き換えないでください。書き換えた場合、演算結果が不定値となります。
- 2.** 除算演算処理中 (DIVSTが1のとき) にDIVSTをソフトウェアでクリア (0) することはできません。

15.4 乗除算器の動作

15.4.1 乗算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) を0にする。

乗除算データ・レジスタA (L) (MDAL) に被乗数をセット

乗除算データ・レジスタA (H) (MDAH) に乗数をセット

(, のセットの順はどちらが先でも問題ありません。MDAH, MDALに乗数, 被乗数をセットすると自動的に乗算演算を開始します。)

・演算処理中

1クロック以上ウエイトします。演算は1クロックで終了します。

・演算終了

乗除算データ・レジスタB (L) (MDBL) から積 (下位16ビット) を読み出します。

乗除算データ・レジスタB (H) (MDBH) から積 (上位16ビット) を読み出します。

(, の読み出しの順はどちらが先でも問題ありません。)

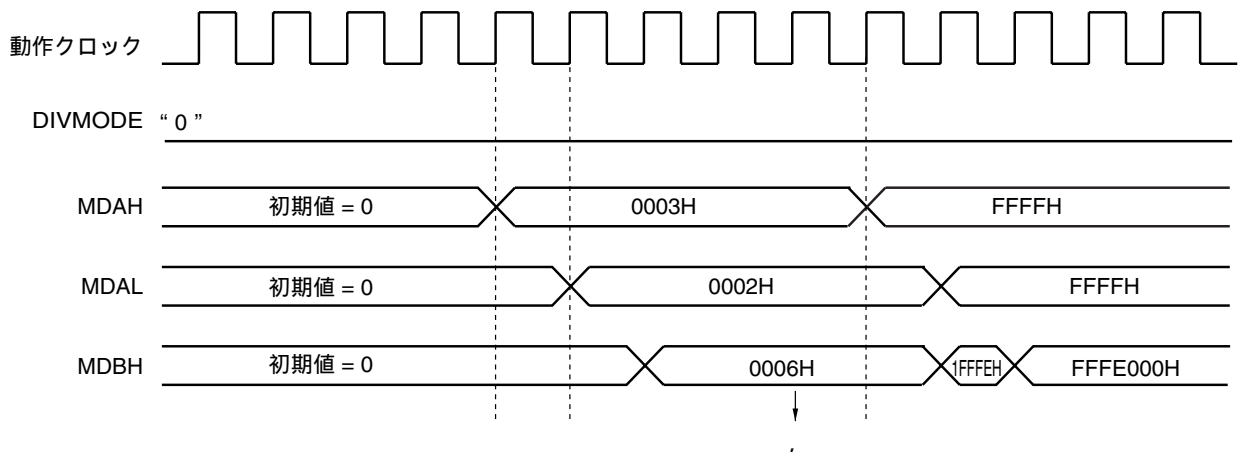
・次回演算

次に乗算を行う場合は, 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は, 15.4.2 除算動作の「初期設定」から行ってください。

備考 手順の ~ は, 図15-6の ~ に対応しています。

図15-6 乗算動作のタイミング図 (0003H×0002H)



15.4.2 除算動作

・初期設定

乗除算コントロール・レジスタ (MDUC) のビット7 (DIVMODE) に1をセットする。

乗除算データ・レジスタA (H) (MDAH) に被除数 (上位16ビット) をセット

乗除算データ・レジスタA (L) (MDAL) に被除数 (下位16ビット) をセット

乗除算データ・レジスタB (H) (MDBH) に除数 (上位16ビット) をセット

乗除算データ・レジスタB (L) (MDBL) に除数 (下位16ビット) をセット

MDUCのビット0 (DIVST) に1をセット

(~ の順はどれからセットしても問題ありません。)

・演算処理中

次のいずれかの処理が完了すれば演算が終了します。

・16クロック以上ウエイト (16クロックで演算は終了します。)

・DIVSTがクリアされたことを確認

・除算完了割り込み (INTMD) 発生

(演算処理中のMDBL, MDBH, MDCL, MDCHのリード値は保証しません。)

・演算終了

DIVSTがクリア (0) され, 割り込み要求信号 (INTMD) が発生します (演算終了)。

MDALから商 (下位16ビット) を読み出します。

MDAHから商 (上位16ビット) を読み出します。

乗除算データ・レジスタC (L) (MDCL) から剰余 (下位16ビット) を読み出します。

乗除算データ・レジスタC (H) (MDCH) から剰余 (上位16ビット) を読み出します。

(~ の順はどれから読み出しても問題ありません。)

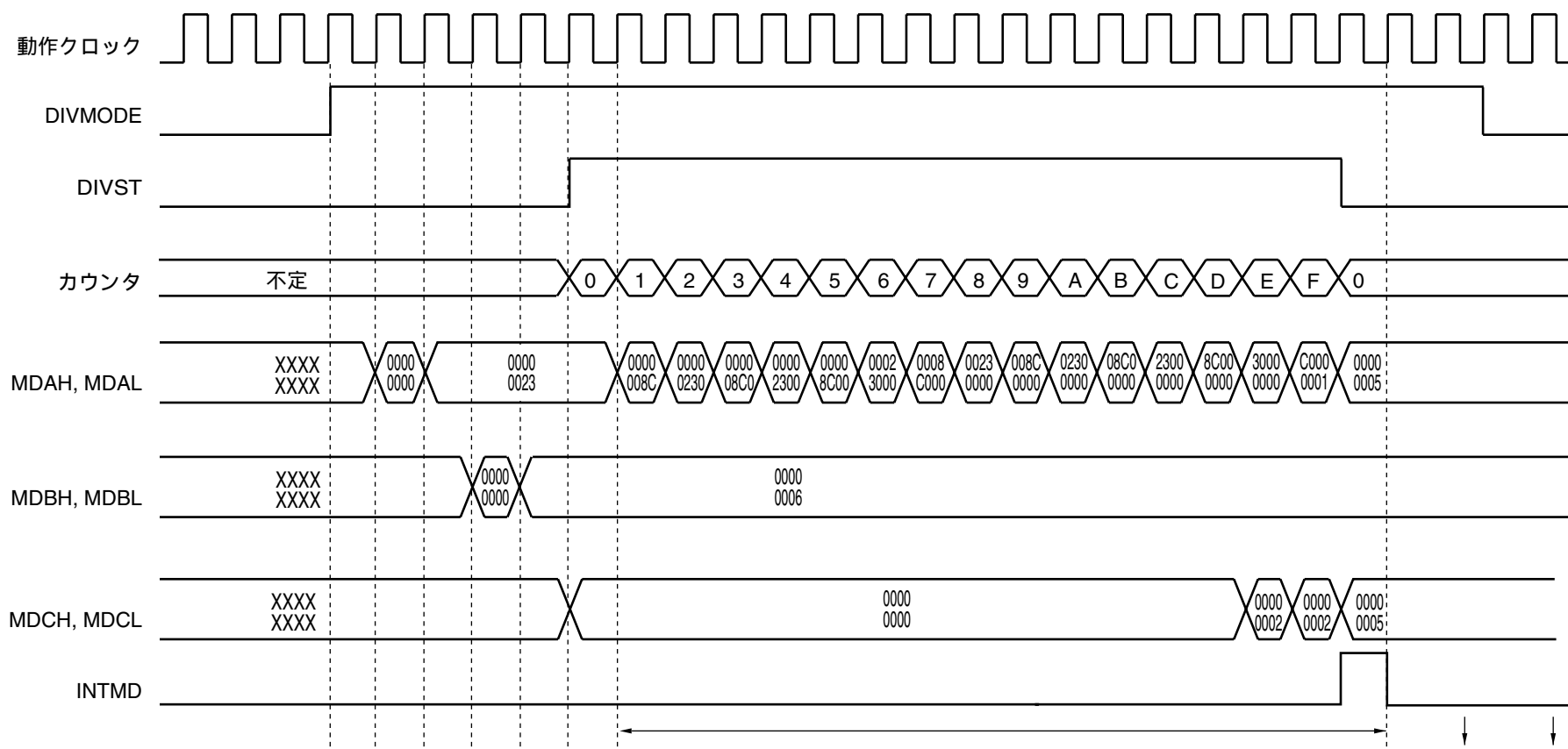
・次回演算

次に乗算を行う場合は, 15.4.1 乗算動作の「初期設定」から行ってください。

次に除算を行う場合は, 除算動作の「初期設定」から行ってください。

備考 手順の ~ は, 図15-7の ~ に対応しています。

図15-7 除算動作のタイミング図(例: 35 ÷ 6 = 5 余5)



第16章 DMAコントローラ

78K0R/Ix3は、DMA (Direct Memory Access) コントローラを内蔵しています。

DMAに対応している周辺ハードウェアのSFRと内蔵RAMの間は、CPUを介さずに自動でデータのやり取りをすることができます。

これにより、SFR 内蔵RAM間の転送を、通常のCPU内部の演算やデータ転送をしながら行えるため、大容量データの処理も可能になります。また、通信やタイマ、A/Dを駆使したりリアルタイム制御も実現できます。

16.1 DMAコントローラの機能

DMAチャンネル数：2チャンネル

転送単位：8ビット / 16ビット

最大転送単位：1024回

転送タイプ：2サイクル転送（1回の転送を2クロックで処理し、その間はCPU動作が停止します）

転送モード：シングル転送モード

転送要求：以下の周辺ハードウェア割り込みから選択

- ・A/Dコンバータ
- ・シリアル・インタフェース (CSI00^注, CSI01^注, CSI10, UART0, UART1, IIC10)
- ・タイマ (チャンネル0, 1, 4, 5)

転送対象：SFR 内蔵RAM

DMAを使った機能例は、次のようなものが考えられます。

- ・シリアル・インタフェースの連続転送
- ・アナログ・データをまとめて転送
- ・一定時間ごとにA/Dの変換結果を取り込む
- ・一定時間ごとにポートの値を取りこむ

注 78K0R/IC3の44ピン、48ピン製品、78K0R/ID3、78K0R/IE3のみ

16.2 DMAコントローラの構成

DMAコントローラは、次のハードウェアで構成されています。

表16 - 1 DMAコントローラの構成

項 目	構 成
アドレス・レジスタ	・DMA SFRアドレス・レジスタ0, 1 (DSA0, DSA1) ・DMA RAMアドレス・レジスタ0, 1 (DRA0, DRA1)
カウント・レジスタ	・DMAバイト・カウント・レジスタ0, 1 (DBC0, DBC1)
制御レジスタ	・DMAモード・コントロール・レジスタ0, 1 (DMC0, DMC1) ・DMA動作コントロール・レジスタ0, 1 (DRC0, DRC1)

(1) DMA SFRアドレス・レジスタ_n (DSA_n)

DMAチャンネル_nの転送元 / 転送先となるSFRアドレスを設定する8ビット・レジスタです。

SFRアドレスFFF00H- FFFFFHの下位8ビットを設定してください[※]。

このレジスタは自動的にインクリメント動作せず、固定値となります。

16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

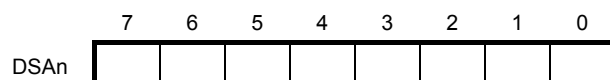
DSA_nは8ビット単位でリード / ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、00Hになります。

注 アドレスFFFFEHは、PMCレジスタのため、設定することはできません。

図16 - 1 DMA SFRアドレス・レジスタ_n (DSA_n) のフォーマット

アドレス : FFFB0H (DSA0), FFFB1H (DSA1) リセット時 : 00H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA RAMアドレス・レジスタ_n (DRAn)

DMAチャンネル_nの転送先/転送元となるRAMアドレスを設定する16ビット・レジスタです。

汎用レジスタ以外の内蔵RAM領域 (μ PD78F1203, PD78F1213, PD78F1223, PD78F1233では, FF900H-FFEDFH) のアドレスが設定可能です。

RAMアドレスの下位16ビットを設定してください。

このレジスタはDMA転送が始まると、自動的にインクリメントされます。8ビット転送モード時には+1され、16ビット転送モード時には+2されます。DMA転送はこのDRAnレジスタの設定アドレスから開始し、最終アドレスまで転送し終わると、DRAnは8ビット転送モード時には最終アドレス+1、16ビット転送モード時には最終アドレス+2になって停止します。

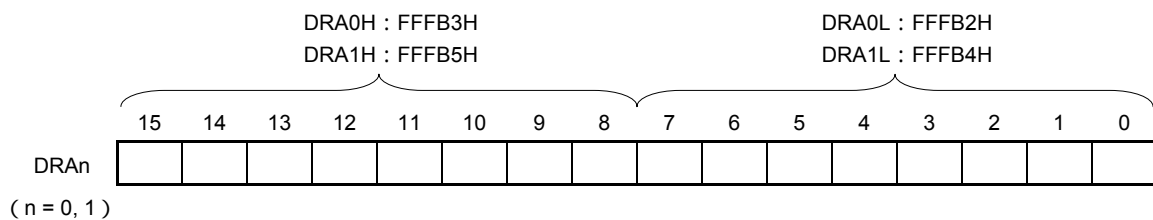
16ビット転送モード時には、最下位ビットは無視され、偶数番地として扱われます。

DRAnは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。

リセット信号の発生により、0000Hになります。

図16-2 DMA RAMアドレス・レジスタ_n (DRAn) のフォーマット

アドレス : FFFB2H, FFFB3H (DRA0), FFFB4H, FFFB5H (DRA1) リセット時 : 0000H R/W



備考 n : DMAチャンネル番号 (n = 0, 1)

(3) DMAバイト・カウント・レジスタ_n (DBC_n)

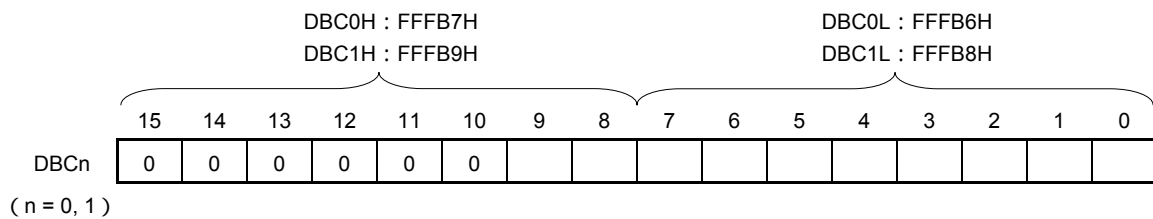
DMAチャネル_nの転送回数を設定する10ビット・レジスタです。必ずDMA転送前にこのDBC_nレジスタに連続転送回数を設定してください(最大1024回)。

DMA転送が1回実行されるたびに、自動的にデクリメントされます。DMA転送中にこのDBC_nレジスタを読み出すことで、残りの連続転送回数を知ることができます。

DBC_nは8/16ビット単位でリード/ライト可能です。ただし、DMA転送中には書き込みができません。リセット信号の発生により、0000Hになります。

図16 - 3 DMA バイト・カウント・レジスタ_n (DBC_n) のフォーマット

アドレス : FFFB6H, FFFB7H (DBC0), FFFB8H, FFFB9H (DBC1) リセット時 : 0000H R/W



DBC _n [9:0]	転送回数設定 (DBC _n ライト時)	残りの転送回数 (DBC _n リード時)
000H	1024回	転送完了または1024回のDMA転送待ち
001H	1回	残り1回のDMA転送待ち
002H	2回	残り2回のDMA転送待ち
003H	3回	残り3回のDMA転送待ち
⋮	⋮	⋮
3FEH	1022回	残り1022回のDMA転送待ち
3FFH	1023回	残り1023回のDMA転送待ち

注意1. ビット15-10は、必ず0を設定してください。

- 連続転送の結果、汎用レジスタを指定した場合や内蔵RAM空間を越えてしまった場合は、汎用レジスタやSFR空間へ書き込み/読み出しを行って、データを壊してしまいます。必ず内蔵RAM空間内に収まる転送回数を設定してください。

備考 n : DMAチャネル番号 (n = 0, 1)

16.3 DMAコントローラを制御するレジスタ

DMAコントローラを制御するレジスタを次に示します。

- ・DMAモード・コントロール・レジスタ n (DMC n)
- ・DMA動作コントロール・レジスタ n (DRC n)

備考 n : DMAチャンネル番号 ($n=0, 1$)

(1) DMAモード・コントロール・レジスタ n (DMC n)

DMC n は、DMAチャンネル n の転送モード設定レジスタです。転送方向、データ・サイズ、保留設定、起動要因の選択を行います。ビット7 (STG n) はDMA起動のソフトウェア・トリガとなります。

DMC n のビット6, 5, 3-0は、動作中 (DST $n = 1$ のとき) の書き換えは禁止です。

DMC n は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16-4 DMAモード・コントロール・レジスタ n (DMC n) のフォーマット (1/2)

アドレス: FFFBAH (DMC0), FFFBBH (DMC1) リセット時: 00H R/W

略号	7	6	5	4	3	2	1	0
DMC n	STG n	DRS n	DS n	DWAIT n	IFC n 3	IFC n 2	IFC n 1	IFC n 0

STG n ^注	DMA転送開始ソフトウェア・トリガ
0	ソフトウェア・トリガ動作しない
1	DMA動作許可 (DEN $n = 1$) 時に、DMA転送を開始する
DMA動作許可 (DEN $n = 1$) 時に、STG n に1を書き込むことでDMA転送を1回します。 このビットの読み出し値は常に0となります。	

DRS n	DMA転送方向の選択
0	SFR 内蔵RAM
1	内蔵RAM SFR

DS n	DMA転送での転送データ・サイズの指定
0	8ビット
1	16ビット

DWAIT n	DMA転送の保留
0	DMA起動要求によりDMA転送を行う (保留しない)
1	DMA起動要求が来ても保留する
DWAIT n の値を1 0にすることで、保留されているDMA転送を開始することができます。 また、DWAIT n の値を0 1に設定してから、実際に転送が保留されるまでは2クロック必要となります。	

注 ソフトウェア・トリガ (STG n) は、IFC n 3-IFC n 0の値に関係なく使用できます。

備考 n : DMAチャンネル番号 ($n=0, 1$)

図16 - 4 DMAモード・コントロール・レジスタ_n (DMCn) のフォーマット (2/2)

アドレス : FFFBAH (DMC0) , FFFBBH (DMC1) リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
DMCn	STGn	DRSn	DSn	DWAITn	IFCn3	IFCn2	IFCn1	IFCn0

IFCn 3	IFCn 2	IFCn 1	IFCn 0	DMA起動要因の選択 ^{注1}	
				トリガ信号	トリガ内容
0	0	0	0	-	割り込みによるDMA転送禁止 (ソフトウェア・トリガのみ可)
0	0	1	0	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ完了割り込み
0	0	1	1	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ完了割り込み
0	1	0	0	INTTM04	タイマ・チャンネル4のカウント完了またはキャプチャ完了割り込み
0	1	0	1	INTTM05	タイマ・チャンネル5のカウント完了またはキャプチャ完了割り込み
0	1	1	0	INTST0/INTCSI00 ^{注2}	UART0送信の転送完了, バッファ空き割り込み / CSI00の転送完了, バッファ空き割り込み ^{注2}
0	1	1	1	INTSR0/INTCSI01 ^{注2}	UART0受信の転送完了割り込み / CSI01の転送完了, バッファ空き割り込み ^{注2}
1	0	0	0	INTST1/INTCSI10/INTIIC10	UART1送信の転送完了, バッファ空き割り込み / CSI10の転送完了, バッファ空き割り込み / IIC10の転送完了割り込み
1	0	0	1	INTSR1	UART1受信の転送完了割り込み
1	1	0	0	INTAD	A/D変換終了割り込み
上記以外				設定禁止	

注1. ソフトウェア・トリガ (STGn) は, IFCn3-IFCn0の値に関係なく使用できます。

2. 78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

備考 n : DMAチャンネル番号 (n = 0, 1)

(2) DMA動作コントロール・レジスタ_n (DRC_n)

DRC_nは、DMAチャンネル_nの転送許可/禁止を設定するレジスタです。

DRC_nのビット7 (DEN_n) は、動作中 (DST_n = 1のとき) の書き換えは禁止です。

DRC_nは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図16 - 5 DMA動作コントロール・レジスタ_n (DRC_n) のフォーマット

アドレス : FFFBCH (DRC₀) , FFFBDH (DRC₁) リセット時 : 00H R/W

略号	<input checked="" type="checkbox"/>	6	5	4	3	2	1	<input type="checkbox"/>
DRC _n	DEN _n	0	0	0	0	0	0	DST _n

DEN _n	DMA動作許可フラグ
0	DMAチャンネル _n の動作禁止 (DMAの動作クロック停止)
1	DMAチャンネル _n の動作許可

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。

DST _n	DMA転送モード・フラグ
0	DMAチャンネル _n のDMA転送終了
1	DMAチャンネル _n のDMA転送未終了 (転送中)

DMA動作許可 (DEN_n = 1) にしてから、DST_n = 1にすることでDMAトリガ待ち状態になります。
 そしてソフトウェア・トリガ (STG_n) またはIFC_{n3}-IFC_{n0}で設定した起動要因トリガが入力されると、DMA転送を開始します。
 その後、DMA転送が終了すると自動的に0にクリアされます。
 DMA転送中に強制終了したい場合は、0を書き込みます。

注意1. DST_nフラグはDMA転送が終了すると自動的に0にクリアされます。

DEN_nフラグはDST_n = 0のときのみ書き込み許可となるため、DMA_nの割り込み (INTDMA_n) 発生を待たずに終了する場合は、DST_n = 0に設定してからDEN_n = 0としてください (詳細は16.5.5 ソフトウェアでの強制終了参照)。

2. OSMCレジスタのFSELビットに1を設定する場合、設定後3クロック以内はDMAを動作許可 (DEN_n = 1) にしないでください。

備考 n : DMAチャンネル番号 (n = 0, 1)

16.4 DMAコントローラの動作

16.4.1 動作手順

DENn = 1により、DMAコントローラの動作許可状態となります。他のレジスタへの書き込みは必ずDENn = 1としたあとに行ってください。8ビット操作命令で書き込む場合は、80Hを書き込みます。

DSAn, DRAn, DBCn, DMCnレジスタにDMA転送のSFRアドレス、RAMアドレス、転送回数、転送モードを設定します。

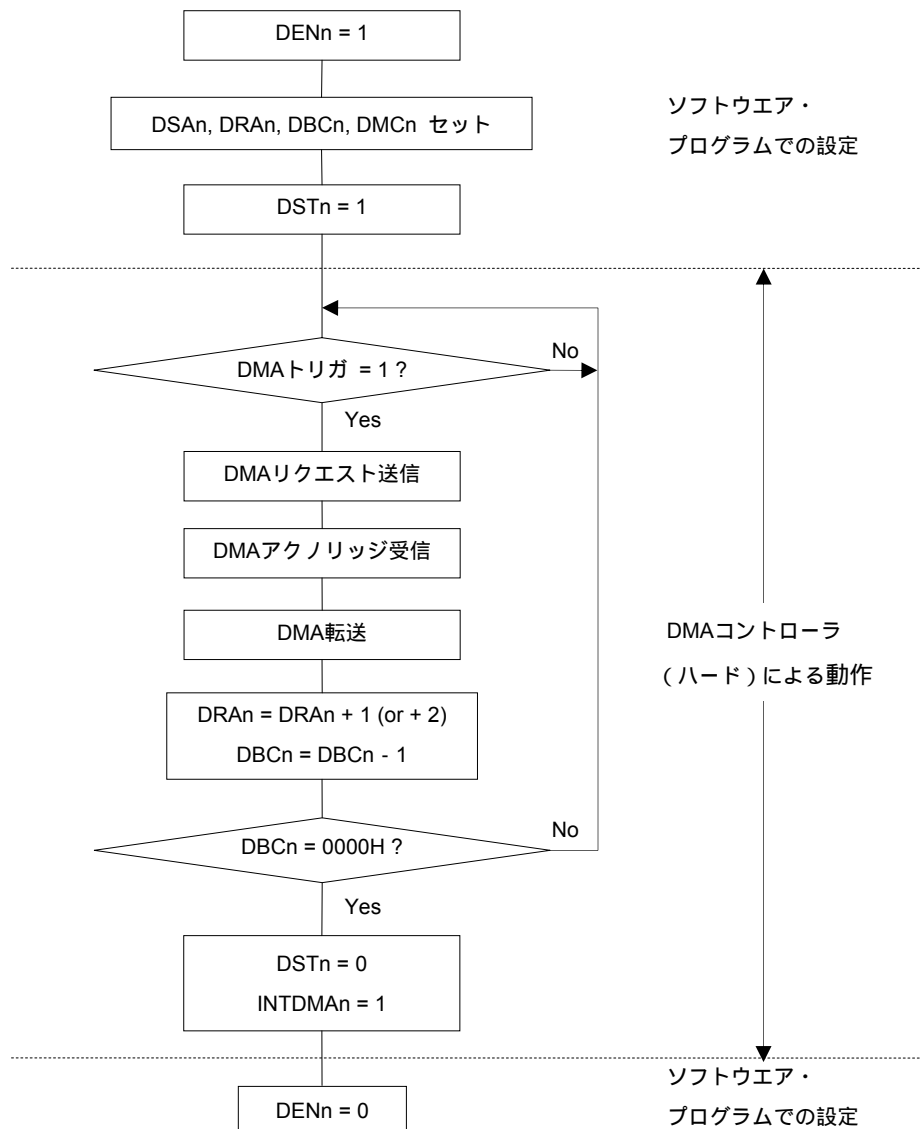
DSTn = 1とすることでDMAトリガ待ち状態になります。8ビット操作命令で書き込む場合は、81Hを書き込みます。

ソフトウェア・トリガ (STGn) またはIFCn3-IFCn0で設定した起動要因トリガが入力されると、DMA転送を開始します。

DBCnレジスタで設定した転送回数が0になると転送が完了し、割り込み (INTDMAn) の発生により自動的に転送が終了します。

その後DMAコントローラを使用しない場合はDENn = 0として動作停止状態としてください。

図16-6 動作手順



備考 n : DMAチャンネル番号 (n = 0, 1)

16.4.2 転送モード

DMA転送には、DMCnレジスタのビット6, 5 (DRSn, DS_n) の設定により、次の4つの転送モードを選択できます。

DRSn	DS _n	DMA転送モード
0	0	1バイト・データのSFR (アドレス固定) からRAM (アドレスは+1のインクリメント) への転送
0	1	2バイト・データのSFR (アドレス固定) からRAM (アドレスは+2のインクリメント) への転送
1	0	1バイト・データのRAM (アドレスは+1のインクリメント) からSFR (アドレス固定) への転送
1	1	2バイト・データのRAM (アドレスは+2のインクリメント) からSFR (アドレス固定) への転送

この転送モードを使用することによって、シリアル・インタフェースを使った最大1024バイトの連続データ転送、A/D変換結果の連続データ転送、タイマを使用した一定時間ごとのポート・データのスキャンなどができます。

16.4.3 DMA転送の終了

DBC_n = 00HとなりDMA転送が完了すると、自動的にDST_nビットがクリア (0) されます。そして割り込み要求 (INTDMA_n) の発生により転送が終了します。

強制終了するためにDST_nビットをクリア (0) すると、DBC_nレジスタとDRANレジスタは停止したときの値を保持します。

また、強制終了した場合は割り込み要求 (INTDMA_n) は発生しません。

備考 n : DMAチャネル番号 (n = 0, 1)

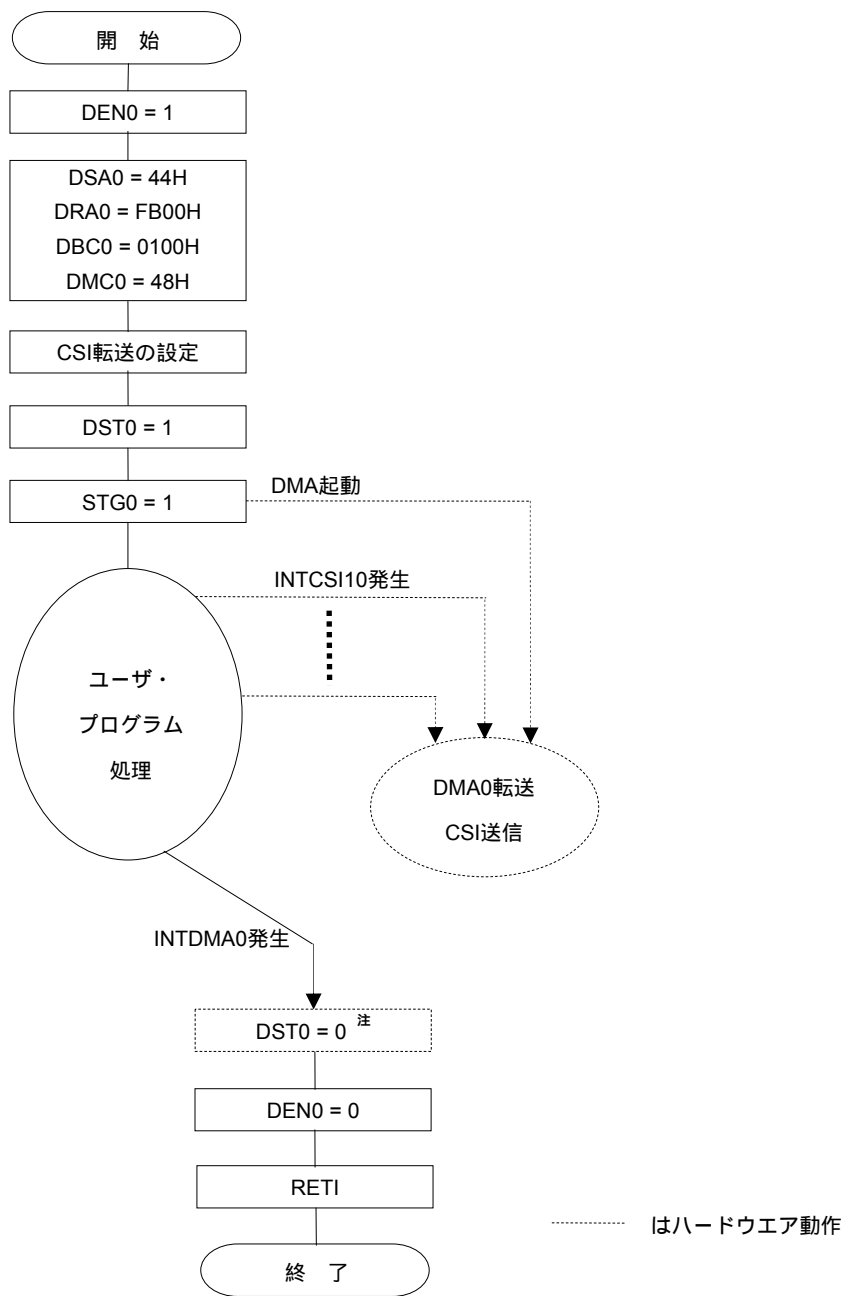
16.5 DMAコントローラの設定例

16.5.1 CSI連続送信

CSI連続送信の設定例のフロー・チャートを次に示します。

- ・ CSI10の連続送信
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：INTCSI10（最初の起動要因のみソフトウェア・トリガ（STG0））
- ・ CSI10の割り込みはIFC03-IFC00（DMC0レジスタのビット3-0）= 1000Bに割り当て
- ・ RAMのFFB00H-FFBFFH（256バイト）をCSIの送信バッファ（SIO10）のFFF44Hに転送

図16 - 7 CSI連続送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は16. 5. 5 ソフトウェアでの強制終了参照)。

連続送信の場合は1回目のトリガはCSIの割り込みでは起動されません。ソフトウェア・トリガにて起動してください。

2回目以降のCSI送信は自動的に転送されます。

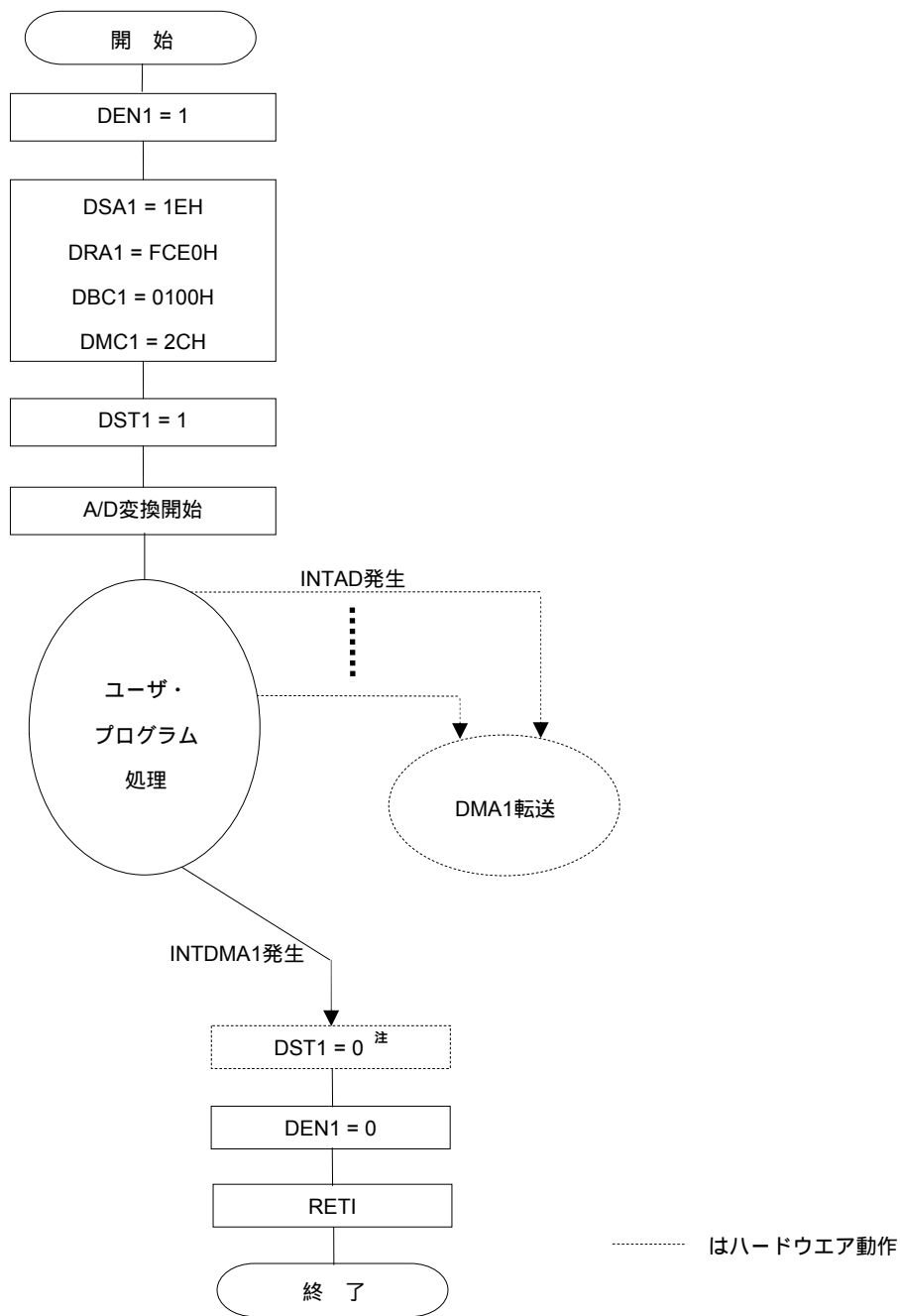
最終の送信バッファへの書き込みが終わった時点でDMA割り込み (INTDMA0) が発生します。この時点ではCSIの最終データを送信中となりますので、再度DMA転送を開始する場合は、CSIの転送が終了したあとに行ってください。

16.5.2 A/D変換結果の連続取り込み

A/D変換結果の連続取り込みの設定例のフロー・チャートを次に示します。

- A/D変換結果の連続取り込み
- DMAのチャンネル1をDMA転送に使用
- DMA起動要因：INTAD
- A/Dの割り込みはIFC13-IFC10 (DMC1レジスタのビット3-0) = 1100Bに割り当て
- 10ビットA/D変換結果レジスタのFFF1EHとFFF1FH (2バイト) をRAMのFFCE0H-FFEDFHの512バイトに転送

図16 - 8 A/D変換結果の連続取り込みの設定例



注 DST1フラグはDMA転送が終了すると自動的に0にクリアされます。

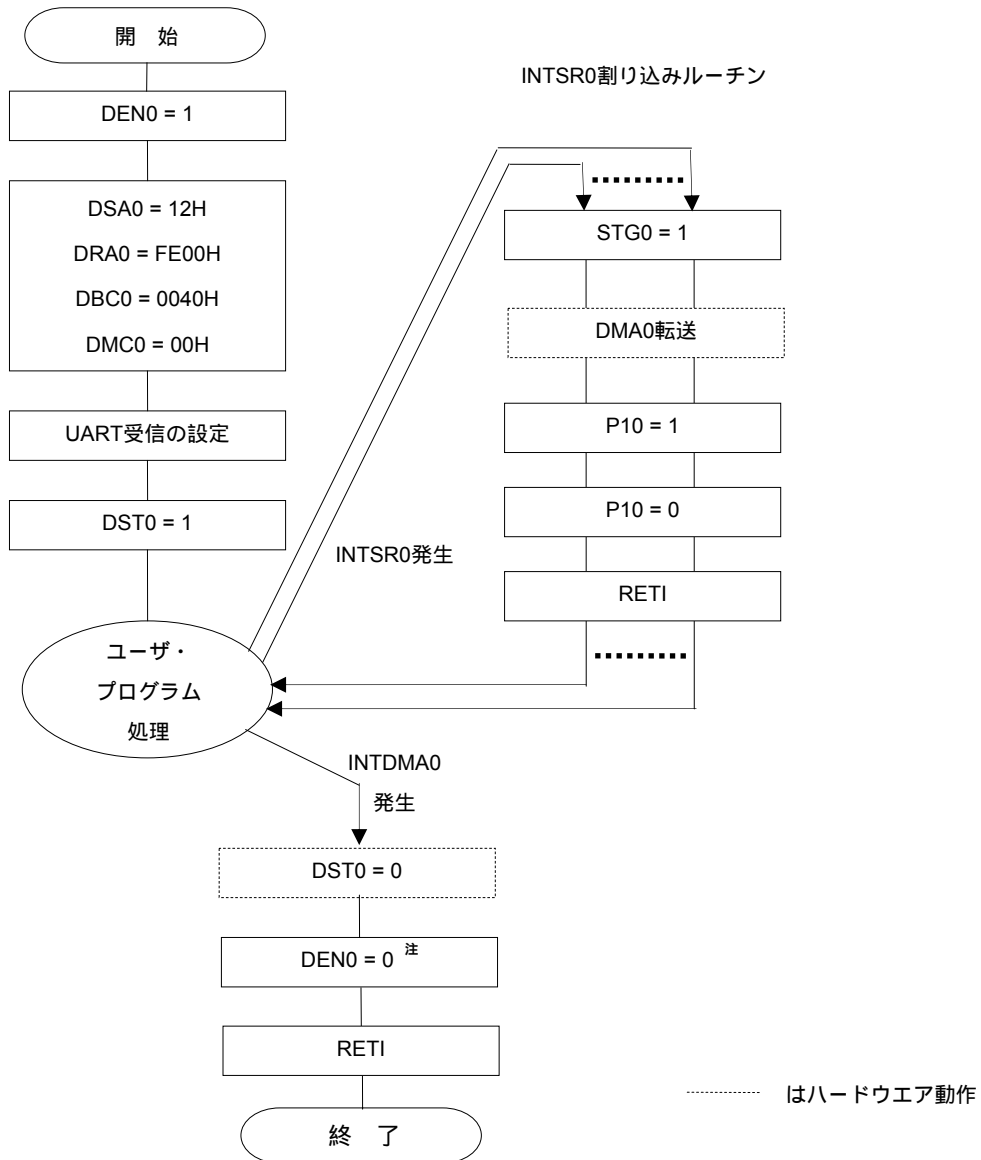
DEN1フラグはDST1 = 0のときのみ書き込み許可となるため、DMA1の割り込み (INTDMA1) 発生を待たずに終了する場合は、DST1 = 0に設定してからDEN1 = 0としてください (詳細は16. 5. 5 ソフトウェアでの強制終了参照)。

16.5.3 UART連続受信 + ACK送信

UART連続受信 + ACK送信の設定例のフロー・チャートを次に示します。

- ・ UART0の連続受信を行い，P10に受信完了のACKを出力
- ・ DMAのチャンネル0をDMA転送に使用
- ・ DMA起動要因：ソフトウェア・トリガ（割り込みによるDMA転送禁止）
- ・ UART受信データ・レジスタ0（RXD0）のFFF12HをRAMのFFE00H-FFE3FHの64バイトに転送

図16 - 9 UART連続受信 + ACK送信の設定例



注 DST0フラグはDMA転送が終了すると自動的に0にクリアされます。

DEN0フラグはDST0 = 0のときのみ書き込み許可となるため、DMA0の割り込み (INTDMA0) 発生を待たずに終了する場合は、DST0 = 0に設定してからDEN0 = 0としてください (詳細は16. 5. 5 ソフトウェアでの強制終了参照)。

備考 DMA起動要因にソフトウェア・トリガを使用した例です。

ACKを送信せずに、UART連続受信だけであれば、UART受信完了割り込み (INTSR0) をDMA起動要因に設定して、受信することもできます。

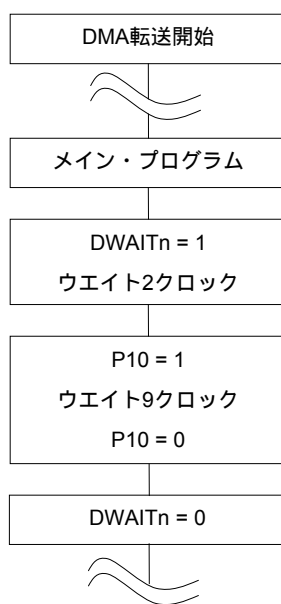
16.5.4 DWAITnによるDMA転送保留

DMA転送が開始されると命令実行中に転送が行われるため、そのときに2クロックCPUの動作が停止して遅れます。そのことがセット・システムの動作として問題となる場合は、DWAITn = 1とすることでDMA転送を保留できます。

一例として、P10端子より動作周波数の10クロック幅のパルスを出力する場合、DMA転送が途中で開始されると12クロック幅となってしまいます。その際はDWAITn = 1とすることでDMA転送を保留できます。

DWAITn = 1に設定後、DMA転送が保留されるまで2クロック必要となります。

図16 - 10 DWAITnによるDMA転送保留の設定例



注意 DMAを2チャンネルともに使用中でDMA転送を保留したい場合は、必ず両チャンネルのDMAを保留にしてください(DWAIT0 = DWAIT1 = 1)。片方のDMAが保留中にもう一方のDMA転送が実行されると、保留されない場合があります。

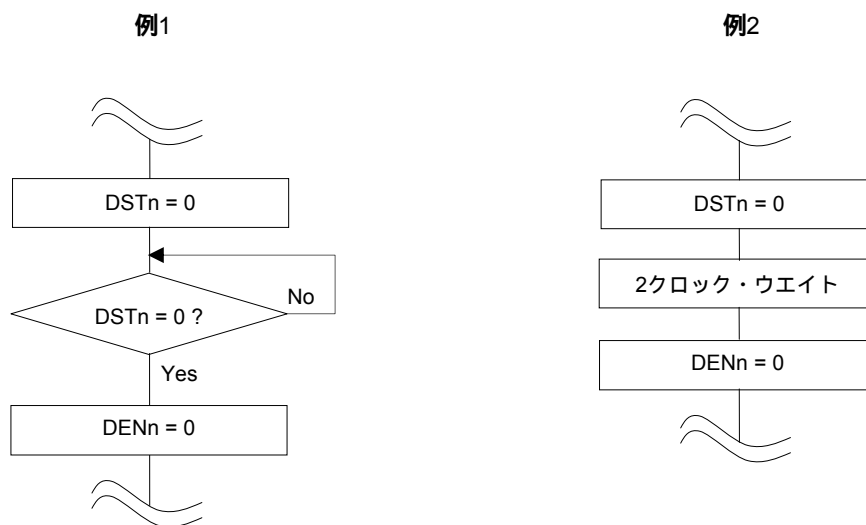
- 備考1.** n : DMAチャンネル番号 (n = 0, 1)
2. 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

16.5.5 ソフトウェアでの強制終了

ソフトウェアでDSTn = 0に設定してから、実際にDMA転送が停止し、DSTn = 0となるまでには最大で2クロックが必要となります。そのため、DMAの割り込み(INTDMA_n)発生を待たずにソフトウェアで強制的にDMA転送を終了する場合は、次のいずれかの処理をしてください。

- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、実際にDSTn が0になったことをポーリングで確認後、DENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・ソフトウェアでDSTn = 0 (バイト操作命令で書き込む場合はDRCn = 80H) にしてから、2クロック経過後にDENn = 0 (バイト操作命令で書き込む場合はDRCn = 00H) とする
- ・DMAを2チャンネルともに使用しているときにソフトウェアで強制終了 (DSTn = 0) する場合は、2チャンネルともにDWAIT0, DWAIT1ビットをセット(1)してDMA転送を保留してから、DSTnビットをクリア(0)する。その後、2チャンネルともにDWAIT0, DWAIT1ビットをクリア(0)し保留を解除してから、DENnビットをクリア(0)とする

図16 - 11 DMA転送の強制終了 (1/2)

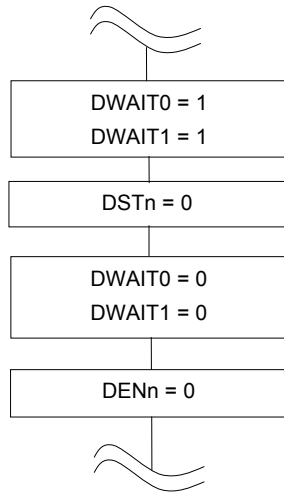


- 備考1. n : DMAチャンネル番号 (n = 0, 1)
 2. 1クロック : 1/f_{CLK} (f_{CLK} : CPUクロック)

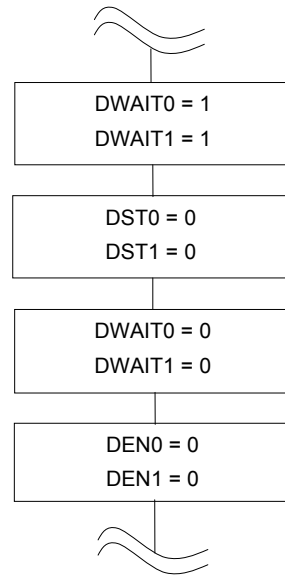
図16 - 11 DMA転送の強制終了 (2/2)

例3

・2チャンネルをともに使用時にどちらかのチャンネルを強制終了する手順



・2チャンネルをともに使用時に2チャンネルともに強制終了する手順



注意 例3では、DWAITnのセット(1)後とDSTnのクリア(0)後のウエイト2クロックは必要ありません。

備考 n : DMAチャンネル番号 (n = 0, 1)

16.6 DMAコントローラの注意事項

(1) DMAの優先順位

DMA転送中は、他のDMAチャネルの要求が発生しても保留されます。そしてDMA転送終了後に、保留していたDMA転送が開始されます。どちらかのDMAチャネルの要求が短い周期^注で連続して発生した場合は、連続転送が終了したあと、もう片方のDMAチャネルが実行されます。その場合、DMA転送と次のDMA転送の間に1~2命令が実行されます。

ただしDMA要求が同時に発生した場合は、DMAチャネル0 > DMAチャネル1の優先順位になります。

また、DMA要求と割り込み要求が同時に発生した場合はDMA転送が優先され、そのあとに割り込み処理が実行されます。

注 短い周期とはDMA要求がCPUクロックの8クロック以下の周期を示します。クロック周期の長さとはDMAの動作は次のとおりです。

- 1クロック周期 : 設定禁止です。DMA要求を受付できません。
- 2~4クロック周期 : 常に連続して発生しているチャネルのDMA転送が動作します。
- 5~8クロック周期 : CPUの命令実行数に依存して、連続して発生しているチャネルのDMA転送が動作するのか、もう片方のチャネルのDMA要求が実行されるのかが決まります。

(2) DMA応答時間

DMA転送における応答時間は、次のようになります。

表16 - 2 DMA転送における応答時間

	最小時間	最大時間
応答時間	3クロック	10クロック ^注

注 内部RAMからの命令実行の場合は、最大時間が16クロックになります。

注意1. 上記の応答時間には、DMA転送の2クロック分は含まれていません。

2. DMA保留命令(16.6(4)参照)実行の場合は、その保留する命令の実行時間分だけ応答時間が延びます。
3. 最大応答時間+1クロック以内での同一チャネルへの連続する転送トリガは、無視される可能性があるため設定しないでください。

備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

(3) スタンバイ時の動作

スタンバイ・モード時のDMAコントローラの動作は、次のようになります。

表16 - 3 スタンバイ・モード時のDMA動作

状態	DMA動作
HALTモード	通常動作。
STOPモード	動作停止。 DMA転送とSTOP命令が競合した場合、DMA転送が壊れることがありますので、STOP命令実行前にDMAを停止してください。

(4) DMA保留命令

DMA要求が発生しても、次の命令直後ではDMA転送は保留されます。

- ・ CALL !addr16
- ・ CALL &!addr16
- ・ CALL !!addr20
- ・ CALL rp
- ・ CALLT [addr5]
- ・ BRK
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H, PSWの各レジスタに対するビット操作命令とオペランドにESレジスタを含んだ8ビット操作命令

(5) 汎用レジスタ領域内または内蔵RAMの領域外のアドレスを指定した場合の動作

DMA転送中にDRA0nで示すアドレスがインクリメントされていき、汎用レジスタ領域内に入ってしまったら、内蔵RAMの領域を越えてしまった場合、以下に示す動作になります。

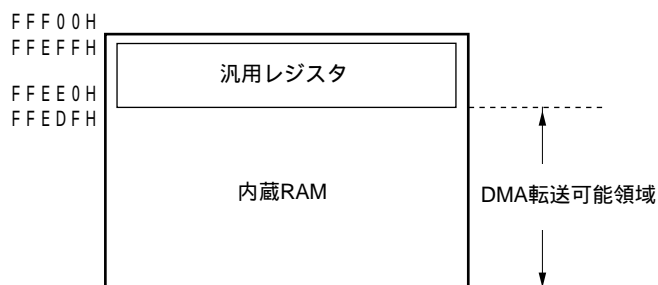
SFRからRAMへの転送モード時

そのアドレスのデータを破壊してしまいます。

RAMからSFRへの転送モード時

不定のデータがSFRへ転送されます。

いずれの場合も、誤動作やシステム破壊の原因となりますので、アドレスが汎用レジスタ以外の内蔵RAMの領域内に収まるよう、十分ご注意ください。



第17章 割り込み機能

割り込み要因数は、製品によって異なります。

		78K0R/IB3	78K0R/IC3 (38ピン)	78K0R/IC3 (44ピン)	78K0R/IC3 (48ピン)	78K0R/ID3	78K0R/IE3
マスカブル	外部	6	8	8	8	8	8
割り込み	内部	31	33	33	34	34	34

17.1 割り込み機能の種類

割り込み機能には、次の2種類があります。

(1) マスカブル割り込み

マスク制御を受ける割り込みです。優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) の設定により、割り込み優先順位を4段階のグループに分けることができます。高い優先順位の割り込みは、低い優先順位の割り込みに対して、多重割り込みをすることができます。また、同一優先順位を持つ複数の割り込み要求が同時に発生しているときは、ベクタ割り込み処理の優先順位 (プライオリティ) にしたがって処理されます。優先順位 (プライオリティ) については表17-1を参照してください。

スタンバイ・リリース信号を発生し、STOPモード、HALTモードを解除します。

マスカブル割り込みには、外部割り込み要求と内部割り込み要求があります。

(2) ソフトウェア割り込み

BRK命令の実行によって発生するベクタ割り込みです。割り込み禁止状態でも受け付けられます。また、割り込み優先順位制御の対象になりません。

17.2 割り込み要因と構成

割り込み要因には、マスカブル割り込み、ソフトウェア割り込みがあります。また、それ以外にリセット要因が最大で合計5要因あります (表17-1参照)。リセット、各割り込み要求発生により分岐するときのプログラム・スタート・アドレスを格納しておくベクタ・コードは、各2バイトとしているため割り込みの飛び先アドレスは00000H-0FFFFHの64 Kアドレスとなります。

表17-1 割り込み要因一覧(1/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成 ^{注2}	IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3		
		名称	トリガ											
マスクブル	0	INTWDTI	ウォッチドッグ・タイマのインターバル ^{注3} (オーバーフロー時間の75%)	内部	0004H	(A)								
	1	INTLVI	低電圧検出 ^{注4}		0006H									
	2	INTP0	端子入力エッジ検出	外部	0008H	(B)								
	3	INTP1			000AH									
	4	INTP2			000CH									
	5	INTP3/ INTTMOFF0			端子入力エッジ検出 / タイマ Hi-Z制御割り込み0		000EH							
	6	INTP4	端子入力エッジ検出	0010H										
	7	INTP5		0012H										
	8	INTTMAD	A/D変換タイマ・トリガ	内部	0014H	(A)								
	9	INTCMP0	CMP0検出		0016H									
	10	INTCMP1	CMP1検出		0018H									
	11	INTDMA0	DMA0の転送完了		001AH									
	12	INTDMA1	DMA1の転送完了		001CH									
	13	INTST0 /INTCSI00	UART0送信の転送完了, バッファ空き割り込み / CSI00の転送完了, バッファ空き割り込み		001EH				注5	注5				
	14	INTSR0 /INTCSI01	UART0受信の転送完了 / CSI01の転送完了, バッファ空き割り込み		0020H				注5	注5				
	15	INTSRE0	UART0受信の通信エラー発生		0022H									
	16	INTST1 /INTCSI10 /INTIIC10	UART1送信の転送完了, バッファ空き割り込み / CSI10の転送完了, バッファ空き割り込み / IIC10の転送完了		0024H									

- 注 1. デフォルト・プライオリティは、同一優先順位を持つ複数のマスクブル割り込みが発生している場合に、優先する順位です。0が最高順位、41が最低順位です。
2. 基本構成タイプの(A)-(C)は、それぞれ図17-1の(A)-(C)に対応しています。
3. オプション・バイト(000C0H)のビット7(WDTINT) = 1選択時。
4. 低電圧検出レジスタ(LVIM)のビット1(LVIMD) = 0選択時。
5. INTST0, INTSR0のみ。

表17-1 割り込み要因一覧(2/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成 ^{注2}	IB3	IC3(38ピン)	IC3(44ピン)	IC3(48ピン)	ID3	IE3
		名称	トリガ									
マスクابل	17	INTSR1	UART1受信の転送完了	内部	0026H	(A)						
	18	INTSRE1	UART1の通信エラー発生		0028H							
	19	INTIICA	IICA通信完了		002AH		-	-	-			
	20	INTTM00	タイマ・チャンネル0のカウント完了またはキャプチャ完了		002CH							
	21	INTTM01	タイマ・チャンネル1のカウント完了またはキャプチャ完了		002EH							
	22	INTTM02	タイマ・チャンネル2のカウント完了またはキャプチャ完了		0030H							
	23	INTTM03	タイマ・チャンネル3のカウント完了またはキャプチャ完了		0032H							
	24	INTAD	A/D変換終了		0034H							
	25	INTRTC	リアルタイム・カウンタの定周期信号 / アラーム一致検出		0036H		-					
	26	INTRTCI	リアルタイム・カウンタのインターバル信号検出		0038H		-					
	27	INTTMM0	タイマ・アレイ・ユニット山割り込み信号検出0		003CH							
	28	INTTMV0	タイマ・アレイ・ユニット谷割り込み信号検出0		003EH							
	29	INTMD	除算演算終了		0040H							
	30	INTTM04	タイマ・チャンネル4のカウント完了またはキャプチャ完了		0042H							

- 注 1. デフォルト・プライオリティは、同一優先順位を持つ複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位，41が最低順位です。
2. 基本構成タイプの(A) - (C)は、それぞれ図17-1の(A) - (C)に対応しています。

表17 - 1 割り込み要因一覧 (3/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成 ^{注2}	IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3
		名称	トリガ									
マスクابل	31	INTTM05	タイマ・チャンネル5のカウント完了またはキャプチャ完了	内部	0044H	(A)						
	32	INTTM06	タイマ・チャンネル6のカウント完了またはキャプチャ完了		0046H							
	33	INTTM07	タイマ・チャンネル7のカウント完了またはキャプチャ完了		0048H							
	34	INTP6	端子入力エッジ検出	外部	004AH	(B)	-					
	35	INTP7/ INTTMOFF1	端子入力エッジ検出 / タイマ Hi-Z制御割り込み1		004CH		-					
	36	INTTMM1	タイマ・アレイ・ユニット山割り込み信号検出1	内部	004EH	(A)						
	37	INTTMV1	タイマ・アレイ・ユニット谷割り込み信号検出1		0050H							
	38	INTTM08	タイマ・チャンネル8のカウント完了またはキャプチャ完了		0052H							
	39	INTTM09	タイマ・チャンネル9のカウント完了またはキャプチャ完了		0054H							
	40	INTTM10	タイマ・チャンネル10のカウント完了またはキャプチャ完了		0056H							
	41	INTTM11	タイマ・チャンネル11のカウント完了またはキャプチャ完了	0058H								

注 1. デフォルト・プライオリティは、同一優先順位を持つ複数のマスクابل割り込みが発生している場合に、優先する順位です。0が最高順位，41が最低順位です。

2. 基本構成タイプの (A) - (C) は、それぞれ図17 - 1の (A) - (C) に対応しています。

表17-1 割り込み要因一覧(4/4)

割り込みの処理	デフォルト・プライオリティ ^{注1}	割り込み要因		内部 / 外部	ベクタ・テーブル・アドレス	基本構成 ^{注2}	IB3	IC3 (38E7)	IC3 (44E7)	IC3 (48E7)	ID3	IE3
		名称	トリガ									
ソフトウェア	-	BRK	BRK命令の実行	-	007EH	(C)						
リセット	-	RESET	RESET端子入力	-	0000H	-						
		POC	パワーオン・クリア									
		LVI	低電圧検出 ^{注3}									
		WDT	ウォッチドッグ・タイマのオーバーフロー									
		TRAP	不正命令の実行 ^{注4}									

注 1. デフォルト・プライオリティは、同一優先順位を持つ複数のマスカブル割り込みが発生している場合に、優先する順位です。0が最高順位、41が最低順位です。

2. 基本構成タイプの(A)-(C)は、それぞれ図17-1の(A)-(C)に対応しています。

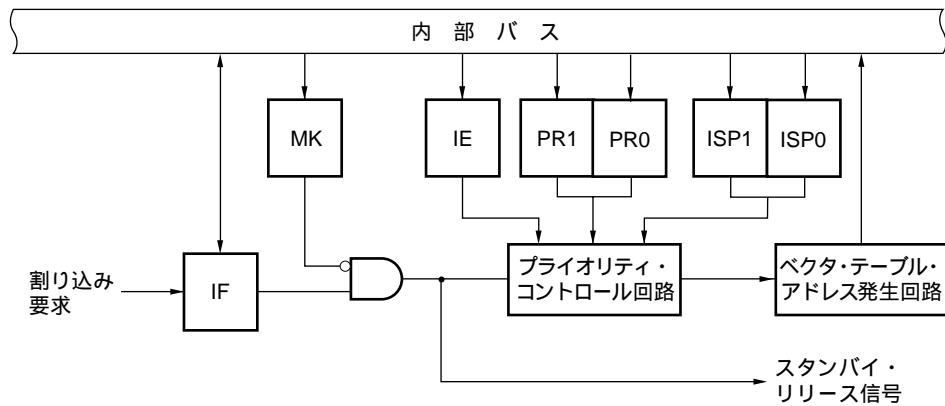
3. 低電圧検出レジスタ(LVIM)のビット1(LVIMD)=1選択時。

4. FFHの命令コードを実行したときに発生します。

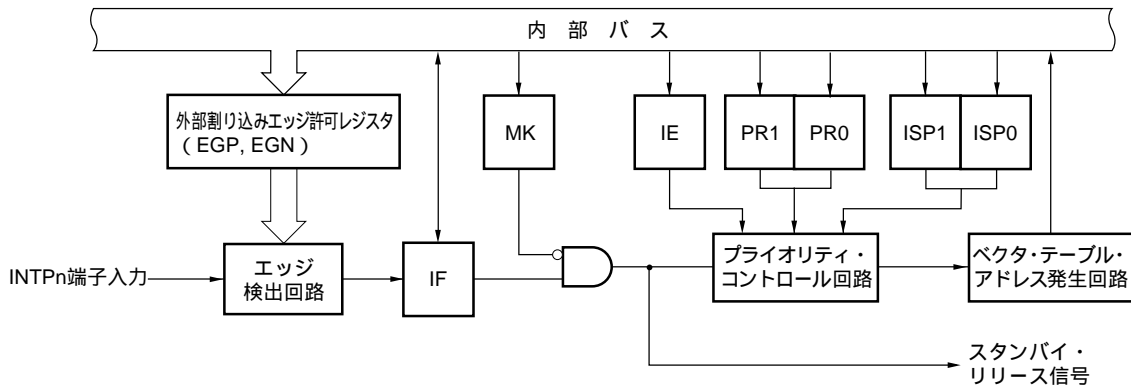
不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

図17-1 割り込み機能の基本構成

(A) 内部マスク割り込み



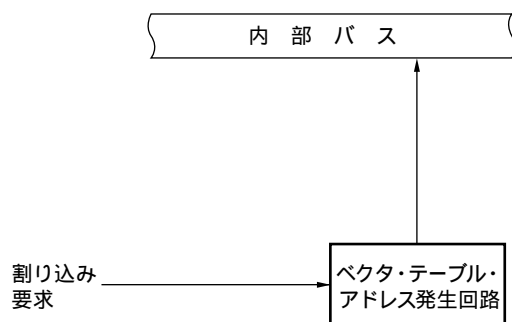
(B) 外部マスク割り込み (INTPn)



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサースビス・プライオリティ・フラグ0
- ISP1 : インサースビス・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

備考 n = 0-7

(C) ソフトウェア割り込み



- IF : 割り込み要求フラグ
- IE : 割り込み許可フラグ
- ISP0 : インサース・プライオリティ・フラグ0
- ISP1 : インサース・プライオリティ・フラグ1
- MK : 割り込みマスク・フラグ
- PR0 : 優先順位指定フラグ0
- PR1 : 優先順位指定フラグ1

17.3 割り込み機能を制御するレジスタ

割り込み機能は、次の6種類のレジスタで制御します。

- ・割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)
- ・割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)
- ・優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)
- ・外部割り込み立ち上がりエッジ許可レジスタ (EGP0)
- ・外部割り込み立ち下がりエッジ許可レジスタ (EGN0)
- ・プログラム・ステータス・ワード (PSW)

各割り込み要求ソースに対応する割り込み要求フラグ、割り込みマスク・フラグ、優先順位指定フラグ名称を表17 - 2に示します。

表17 - 2 割り込み要求ソースに対応する各種フラグ (1/3)

IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
								レジスタ		レジスタ		レジスタ
						INTWDTI	WDTIIF	IF0L	WDTIMK	MK0L	WDTIPR0, WDTIPR1	PR00L, PR10L
					INTLVI	LVIIIF	LVIMK		LVIPR0, LVIPR1			
					INTP0	PIF0	PMK0		PPR00, PPR10			
					INTP1	PIF1	PMK1		PPR01, PPR11			
					INTP2	PIF2	PMK2		PPR02, PPR12			
					INTP3 ^{注1, 2}	PIF3 ^{注1, 2}	PMK3 ^{注1, 2}		PPR03, PPR13 ^{注1, 2}			
					INTTMOFF0 ^{注1, 2}	TMOFFIF0 ^{注1, 2}	TMOFFMK0 ^{注1, 2}		TMOFFPR00, TMOFFPR10 ^{注1, 2}			
					INTP4	PIF4	PMK4		PPR04, PPR14			
					INTP5	PIF5	PMK5	PPR05, PPR15				
					INTTMAD	TMADIF	IF0H	TMADMK	MK0H	TMADPR0, TMADPR1	PR00H, PR10H	
					INTCMP0	CMPIF0		CMPMK0		CMPPR00, CMPPR10		
					INTCMP1	CMPIF1		CMPMK1		CMPPR01, CMPPR11		
					INTDMA0	DMAIF0		DMAMK0		DMAPR00, DMAPR10		
					INTDMA1	DMAIF1		DMAMK1		DMAPR01, DMAPR11		
					INTST0 ^{注3}	STIF0 ^{注3}		STMK0 ^{注3}		STPR00, STPR10 ^{注3}		
-	-				INTCSI00 ^{注3}	CSIIF00 ^{注3}		CSIMK00 ^{注3}		CSIPR000, CSIPR100 ^{注3}		
					INTSR0 ^{注4}	SRIF0 ^{注4}		SRMK0 ^{注4}		SRPR00, SRPR10 ^{注4}		
-	-				INTCSI01 ^{注4}	CSIIF01 ^{注4}		CSIMK01 ^{注4}		CSIPR001, CSIPR101 ^{注4}		
					INTSRE0	SREIF0		SREMK0		SREPR00, SREPR10		

- 注1. INTP3とINTTMOFF0は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP3とINTTMOFF0のうち、どちらかが発生したら、IF0Lのビット5はセット(1)されます。また、MK0L, PR00L, PR10Lのビット5は、両方の割り込み要因に対応しています。
2. INTP3は、TMOFF0と兼用しています。そのため、TMOFF0を使用する場合は、INTP3の有効エッジの選択をTMOFF0の有効エッジに合わせて選択してください (INTP3の有効エッジ選択は、17.3 (4) 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0) 参照。TMOFF0の有効エッジの選択は、7.3 (19) TAUオプション・モード・レジスタ (OPMR) 参照)。また、INTP3を使用する場合は、TMOFF0の入力エッジ検出を無効にしてください (OPCRレジスタのHIE0ビットを0に設定)。
3. UART0, CSI00は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST0, INTCSI00のうち、どちらかが発生したら、IF0Hのビット5はセット(1)されます。また、MK0H, PR00H, PR10Hのビット5は、両方の割り込み要因に対応しています。
4. UART0, CSI01は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTSR0, INTCSI01のうち、どちらかが発生したら、IF0Hのビット6はセット(1)されます。また、MK0H, PR00H, PR10Hのビット6は、両方の割り込み要因に対応しています。

表17-2 割り込み要求ソースに対応する各種フラグ (2/3)

IB3	IC3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	ID3	IE3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
								レジスタ		レジスタ		レジスタ
						INTST1 ^{注1}	STIF1 ^{注1}	IF1L	STMK1 ^{注1}	MK1L	STPR01, STPR11 ^{注1}	PR01L, PR11L
					INTCSI10 ^{注1}	CSIIF10 ^{注1}	CSIMK10 ^{注1}		CSIPR010, CSIPR110 ^{注1}			
					INTIIC10 ^{注1}	IICIF10 ^{注1}	IICMK10 ^{注1}		IICPR010, IICPR110 ^{注1}			
					INTSR1	SRIF1	SRMK1		SRPR01, SRPR11			
					INTSRE1	SREIF1	SREMK1		SREPR01, SREPR11			
-	-	-			INTIICA	IICAIF	IICAMK		IICAPR0, IICAPR1			
					INTTM00	TMIF00	TMMK00		TMPR000, TMPR100			
					INTTM01	TMIF01	TMMK01		TMPR001, TMPR101			
					INTTM02	TMIF02	TMMK02		TMPR002, TMPR102			
					INTTM03	TMIF03	TMMK03		TMPR003, TMPR103			
					INTAD	ADIF	IF1H	ADMK	MK1H	ADPR0, ADPR1	PR01H, PR11H	
-					INTRTC	RTCIF		RTCMK		RTCPR0, RTCPR1		
-					INTRTCI	RTCIF		RTCIMK		RTCIPR0, RTCIPR1		
					INTTMM0	TMMIF0		TMMM0		TMMPR00, MMPR10		
					INTTMV0	TMVIF0		TMVMK0		TMVPR00, TMVPR10		
					INTMD	MDIF		MDMK		MDPR0, MDPR1		
					INTTM04	TMIF04		TMMK04		TMPR004, TMPR104		
					INTTM05	TMIF05		IF2L		TMMK05		MK2L
					INTTM06	TMIF06	TMMK06		TMPR006, TMPR106			
					INTTM07	TMIF07	TMMK07		TMPR007, TMPR107			
-					INTP6	PIF6	PMK6		PPR06, PPR16			
-					INTP7 ^{注2, 3}	PIF7 ^{注2, 3}	PMK7 ^{注2, 3}		PPR07, PPR17 ^{注2, 3}			
-					INTTMOFF1 ^{注2, 3}	TMOFFIF1 ^{注2, 3}	TMOFFMK1 ^{注2, 3}		TMOFFPR01, TMOFFPR11 ^{注2, 3}			
					INTTMM1	TMMIF1	TMMM1		TMMPR01, MMPR11			
					INTTMV1	TMVIF1	TMVMK1		TMVPR01, TMVPR11			
					INTTM08	TMIF08	TMMK08	TMPR008, TMPR108				

- 注1. UART1, CSI10, IIC10は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTST1, INTCSI10, INTIIC10のうち、いずれかが発生したら、IF1Lのビット0はセット(1)されます。また、MK1L, PR01L, PR11Lのビット0は、3つすべての割り込み要因に対応しています。
2. INTP7とINTTMOFF1は、割り込み要求ソースに対する各種フラグを兼用しているため、同時に使用しないでください。割り込み要因INTP7とINTTMOFF1のうち、どちらかが発生したら、IF2Lのビット4はセット(1)されます。また、MK2L, PR02L, PR12Lのビット4は、両方の割り込み要因に対応しています。
3. INTP7は、TMOFF1と兼用しています。そのため、TMOFF1を使用する場合は、INTP7の有効エッジの選択をTMOFF1の有効エッジに合わせて選択してください (INTP7の有効エッジ選択は、17.3 (4) 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0)、外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0) 参照。TMOFF1端子の有効エッジの選択は、7.3 (19) TAUオプション・モード・レジスタ (OPMR) 参照)。また、INTP7を使用する場合は、TMOFF1の入力エッジ検出を無効にしてください (OPCRレジスタのHIE1ビットを0に設定)。

表17 - 2 割り込み要求ソースに対応する各種フラグ (3/3)

IB3	IC3 (38レジスタ)	IC3 (44レジスタ)	IC3 (48レジスタ)	ID3	IE3	割り込み要因	割り込み要求フラグ		割り込みマスク・フラグ		優先順位指定フラグ	
								レジスタ		レジスタ		レジスタ
						INTTM09	TMIF09	IF2H	TMMK09	MK2H	TMPR009, TMPR109	
					INTTM10	TMIF10	TMMK10		TMPR010, TMPR110			
					INTTM11	TMIF11	TMMK11		TMPR011, TMPR111			

(1) 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)

割り込み要求フラグは、対応する割り込み要求の発生または命令の実行によりセット (1) され、割り込み要求受け付け時、リセット信号発生時または命令の実行によりクリア (0) されるフラグです。

割り込みが受け付けられた場合、まず割り込み要求フラグが自動的にクリアされてから割り込みルーチンに入ります。

IF0L, IF0H, IF1L, IF1H, IF2L, IF2Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、IF0LとIF0H, IF1LとIF1H, IF2LとIF2Hをあわせて16ビット・レジスタIF0, IF1, IF2として使用するときには、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図17-2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (1/2)

アドレス : FFFE0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0L	PIF5	PIF4	PIF3 TMOFFIF0	PIF2	PIF1	PIF0	LVIIIF	WDTIIF

アドレス : FFFE1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF0H	SREIF0	SRIF0 CSIIIF01 ^{注1}	STIF0 CSIIIF00 ^{注1}	DMAIF1	DMAIF0	CMPIF1	CMPIF0	TMADIF

アドレス : FFFE2H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1L	TMIF03	TMIF02	TMIF01	TMIF00	IICAIIF ^{注2}	SREIF1	SRIF1	STIF1 CSIIIF10 IICIF10

アドレス : FFFE3H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF1H	TMIF04	MDIF	TMVIF0	TMMIF0	0	RTCIIF ^{注3}	RTCIF ^{注3}	ADIF

アドレス : FFFD0H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2L	TMIF08	TMVIF1	TMMIF1	PIF7 ^{注3} TMOFFIF1 ^{注3}	PIF6 ^{注3}	TMIF07	TMIF06	TMIF05

アドレス : FFFD1H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
IF2H	0	0	0	0	0	TMIF11	TMIF10	TMIF09

(注, 注意は次ページにあります。)

図17 - 2 割り込み要求フラグ・レジスタ (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H) のフォーマット (2/2)

XXIFX	割り込み要求フラグ
0	割り込み要求信号が発生していない
1	割り込み要求信号が発生し、割り込み要求状態

注1. 78K0R/IB3, 78K0R/IC3の38ピン製品にはありません。

- 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品にはありません。これらの製品の場合は, IF1Lレジスタのビット3に必ず0を設定してください。
- 78K0R/IB3にはありません。78K0R/IB3の場合は, IF1Hレジスタのビット1, 2, IF2Lレジスタのビット3, 4に必ず0を設定してください。

注意1. 次のビットは必ず0を設定してください。

78K0R/IB3 : IF1Lのビット3, IF1Hのビット1-3, IF2Lのビット3, 4, IF2Hのビット3-7

78K0R/IC3の38ピン, 44ピン製品 : IF1Lのビット3, IF1Hのビット3, IF2Hのビット3-7

78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3 : IF1Hのビット3, IF2Hのビット3-7

- タイマ, シリアル・インタフェース, A/Dコンバータなどをスタンバイ解除後に動作させる場合, いったん割り込み要求フラグをクリアしてから動作させてください。ノイズなどにより割り込み要求フラグがセットされる場合があります。
- 割り込み要求フラグ・レジスタのフラグ操作には, 1ビット・メモリ操作命令 (CLR1) を使用してください。C言語での記述の場合は, コンパイルされたアセンブラが1ビット・メモリ操作命令 (CLR1) になっている必要があるため, 「IF0L.0 = 0;」や「_asm("clr1 IF0L,0");」のようなビット操作命令を使用してください。

なお, C言語で「IF0L &= 0xfe;」のように8ビット・メモリ操作命令で記述した場合, コンパイルすると3命令のアセンブラになります。

```
mov a, IF0L
and a, #0FEH
mov IF0L, a
```

この場合, 「mov a, IF0L」後から「mov IF0L, a」の間のタイミングで, 同一の割り込み要求フラグ・レジスタ (IF0L) の他ビットの要求フラグがセット (1) されても, 「mov IF0L, a」でクリア (0) されます。したがって, C言語で8ビット・メモリ操作命令を使用する場合は注意が必要です。

(2) 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)

割り込みマスク・フラグは, 対応するマスカブル割り込み処理の許可 / 禁止を設定するフラグです。

MK0L, MK0H, MK1L, MK1H, MK2L, MK2Hは, 1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また, MK0LとMK0H, MK1LとMK1H, MK2LとMK2Hをあわせて16ビット・レジスタMK0, MK1, MK2として使用するとき, 16ビット・メモリ操作命令で設定します。

リセット信号の発生により, FFHになります。

備考 このレジスタへの書き込み命令を行った場合, 命令実行クロック数が2クロック長くなります。

図17-3 割り込みマスク・フラグ・レジスタ (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H) のフォーマット

アドレス : FFFE4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0L	PMK5	PMK4	PMK3 TMOFFMK0	PMK2	PMK1	PMK0	LVIMK	WDTIMK

アドレス : FFFE5H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK0H	SREMK0	SRMK0 CSIMK01 ^{注1}	STMK0 CSIMK00 ^{注1}	DMAMK1	DMAMK0	CMPMK1	CMPMK0	TMADMK

アドレス : FFFE6H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK1L	TMMK03	TMMK02	TMMK01	TMMK00	IICAMK ^{注2}	SREMK1	SRMK1	STMK1 CSIMK10 IICMK10

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	3	[2]	[1]	[0]
MK1H	TMMK04	MDMK	TMVMK0	TMMM00	1	RTCIMK ^{注3}	RTCMK ^{注3}	ADMK

アドレス : FFFD4H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
MK2L	TMMK08	TMVMK1	TMMM01	PMK7 ^{注3} TMOFFMK1 ^{注3}	PMK6 ^{注3}	TMMK07	TMMK06	TMMK05

アドレス : FFFD5H リセット時 : FFH R/W

略号	7	6	5	4	3	[2]	[1]	[0]
MK2H	1	1	1	1	1	TMMK11	TMMK10	TMMK09

XXMKX	割り込み処理の制御
0	割り込み処理許可
1	割り込み処理禁止

- 注1. 78K0R/IB3, 78K0R/IC3の38ピン製品にはありません。
2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品にはありません。これらの製品の場合は, MK1Lレジスタのビット3に必ず1を設定してください。
3. 78K0R/IB3にはありません。78K0R/IB3の場合は, MK1Hレジスタのビット1, 2, MK2Lレジスタのビット3, 4に必ず1を設定してください。

注意 次のビットは必ず0を設定してください。

78K0R/IB3 : MK1Lのビット3, MK1Hのビット1-3, MK2Lのビット3, 4, MK2Hのビット3-7

78K0R/IC3の38ピン, 44ピン製品 : MK1Lのビット3, MK1Hのビット3, MK2Hのビット3-7

78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3 : MK1Hのビット3, MK2Hのビット3-7

(3)優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H)

優先順位指定フラグは、対応するマスカブル割り込みの優先順位レベルを設定するフラグです。

PR0xyレジスタとPR1xyレジスタを組み合わせ、優先順位レベルを設定します(xy = 0L, 0H, 1L, 1H, 2L, 2H)。PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。また、PR00LとPR00H, PR01LとPR01H, PR02LとPR02H, PR10LとPR10H, PR11LとPR11H, PR12LとPR12Hをあわせて16ビット・レジスタPR00, PR01, PR02, PR10, PR11, PR12として使用するとき、16ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

備考 このレジスタへの書き込み命令を行った場合、命令実行クロック数が2クロック長くなります。

図17-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (1/2)

アドレス : FFFE8H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00L	PPR05	PPR04	PPR03 TMOFFPR00	PPR02	PPR01	PPR00	LVIPR0	WDTIPR0

アドレス : FFFECH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10L	PPR15	PPR14	PPR13 TMOFFPR10	PPR12	PPR11	PPR10	LVIPR1	WDTIPR1

アドレス : FFFE9H リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR00H	SREPR00	SRPR00 CSIPR001 ^{注1}	STPR00 CSIPR000 ^{注1}	DMAPR01	DMAPR00	CMPPR01	CMPPR00	TMADPR0

アドレス : FFFEDH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR10H	SREPR10	SRPR10 CSIPR101 ^{注1}	STPR10 CSIPR100 ^{注1}	DMAPR11	DMAPR10	CMPPR11	CMPPR10	TMADPR1

アドレス : FFFEAH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR01L	TMPR003	TMPR002	TMPR001	TMPR000	IICAPR0 ^{注2}	SREPR01	SRPR01	STPR01 CSIPR010 IICPR010

アドレス : FFFEEH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PR11L	TMPR103	TMPR102	TMPR101	TMPR100	IICAPR1 ^{注2}	SREPR11	SRPR11	STPR11 CSIPR110 IICPR110

図17-4 優先順位指定フラグ・レジスタ (PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12H) のフォーマット (2/2)

アドレス : FFFEBH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	3	[2]	[1]	[0]
PR01H	TMPR004	MDPR0	TMVPR00	TMMPR00	1	RTCIPR0 ^{注3}	RTCPR0 ^{注3}	ADPR0

アドレス : FFFE7H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	3	[2]	[1]	[0]
PR11H	TMPR104	MDPR1	TMVPR10	TMMPR10	1	RTCIPR1 ^{注3}	RTCPR1 ^{注3}	ADPR1

アドレス : FFFD8H リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR02L	TMPR008	TMVPR01	TMMPR01	PPR07 ^{注3} TMOFFPR01 ^{注3}	PPR06 ^{注3}	TMPR007	TMPR006	TMPR005

アドレス : FFFDCH リセット時 : FFH R/W

略号	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
PR12L	TMPR108	TMVPR11	TMMPR11	PPR17 ^{注3} TMOFFPR11 ^{注3}	PPR16 ^{注3}	TMPR107	TMPR106	TMPR105

アドレス : FFFD9H リセット時 : FFH R/W

略号	7	6	5	4	3	[2]	[1]	[0]
PR02H	1	1	1	1	1	TMPR011	TMPR010	TMPR009

アドレス : FFFDDH リセット時 : FFH R/W

略号	7	6	5	4	3	[2]	[1]	[0]
PR12H	1	1	1	1	1	TMPR111	TMPR110	TMPR109

XXPR1X	XXPR0X	優先順位レベルの選択
0	0	レベル0を指定 (高優先順位)
0	1	レベル1を指定
1	0	レベル2を指定
1	1	レベル3を指定 (低優先順位)

(注, 備考は次ページにあります。)

- 注1. 78K0R/IB3, 78K0R/IC3の38ピン製品にはありません。これらの製品の場合は, PR00H, PR10Hレジスタのビット5, 6に必ず1を設定してください。
2. 78K0R/IB3, 78K0R/IC3の38ピン, 44ピン製品にはありません。これらの製品の場合は, PR01L, PR11Lレジスタのビット3に必ず1を設定してください。
3. 78K0R/IB3にはありません。78K0R/IB3の場合は, PR01H, PR11Hレジスタのビット1, 2, PR02L, PR12Lレジスタのビット3, 4に必ず1を設定してください。

注意 次のビットは必ず0を設定してください。

78K0R/IB3 :

PR01L, PR11Lのビット3, PR01H, PR11Hのビット1-3, PR02L, PR12Lのビット3, 4, PR02H, PR12Hのビット3-7

78K0R/IC3の38ピン, 44ピン製品 :

PR01L, PR11Lのビット3, PR01H, PR11Hのビット3, PR02H, PR12Hのビット3-7

78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3 :

PR01H, PR11Hのビット3, PR02H, PR12Hのビット3-7

(4) 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0)

INTPnの有効エッジを設定するレジスタです。

EGP0, EGN0は, それぞれ1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。リセット信号の発生により, 00Hになります。

図17 - 5 外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0) , 外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0) のフォーマット

アドレス : FFF38H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGP0	EGP7 ^注	EGP6 ^注	EGP5	EGP4	EGP3	EGP2	EGP1	EGP0

アドレス : FFF39H リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
EGN0	EGN7 ^注	EGN6 ^注	EGN5	EGN4	EGN3	EGN2	EGN1	EGN0

EGPn	EGNn	INTPn端子の有効エッジの選択 (n = 0-7)
0	0	エッジ検出禁止
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	立ち上がり, 立ち下がりの両エッジ

注 78K0R/IB3は, EGN6, EGN7ビットを搭載していません。78K0R/IB3の場合は, ビット6, 7は0固定になります。

備考 n = 0-5 : 78K0R/IB3

n = 0-7 : 78K0R/IC3, 78K0R/ID3, 78K0R/IE3

EGPnとEGNnに対応するポートを表17 - 3に示します。

表17 - 3 EGPnとEGNnに対応するポート

検出許可レジスタ		エッジ検出ポート	割り込み要求信号
EGP0	EGN0	P120	INTP0
EGP1	EGN1	P31	INTP1
EGP2	EGN2	P32	INTP2
EGP3	EGN3	P80	INTP3 ^{注1}
EGP4	EGN4	【78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3】 P70 【78K0R/IB3, 78K0R/IC3の38ピン製品】 P121	INTP4
EGP5	EGN5	【78K0R/IC3の44ピン, 48ピン製品, 78K0R/ID3, 78K0R/IE3】 P71 【78K0R/IB3, 78K0R/IC3の38ピン製品】 P122	INTP5
EGP6 ^{注2}	EGN6	P72	INTP6
EGP7 ^{注2}	EGN7	P82	INTP7 ^{注1}

注1. INTP3, INTP7は,それぞれTMOFF0, TMOFF1端子と兼用しています。そのため, TMOFF0, TMOFF1端子を使用する場合は, INTP3, INTP7の有効エッジの選択をTMOFF0, TMOFF1端子の有効エッジに合わせて選択してください (TMOFF0, TMOFF1端子の有効エッジ選択は7. 3 (19) TAUオプション・モード・レジスタ (OPMR) 参照)。

2. 78K0R/IB3以外の製品のみ。

注意 外部割り込み機能からポート機能に切り替える場合に, エッジ検出を行う可能性があるため, EGPnとEGNnを0に設定してからポート・モードに切り替えてください。

備考 n = 0-5 : 78K0R/IB3

n = 0-7 : 78K0R/IC3, 78K0R/ID3, 78K0R/IE3

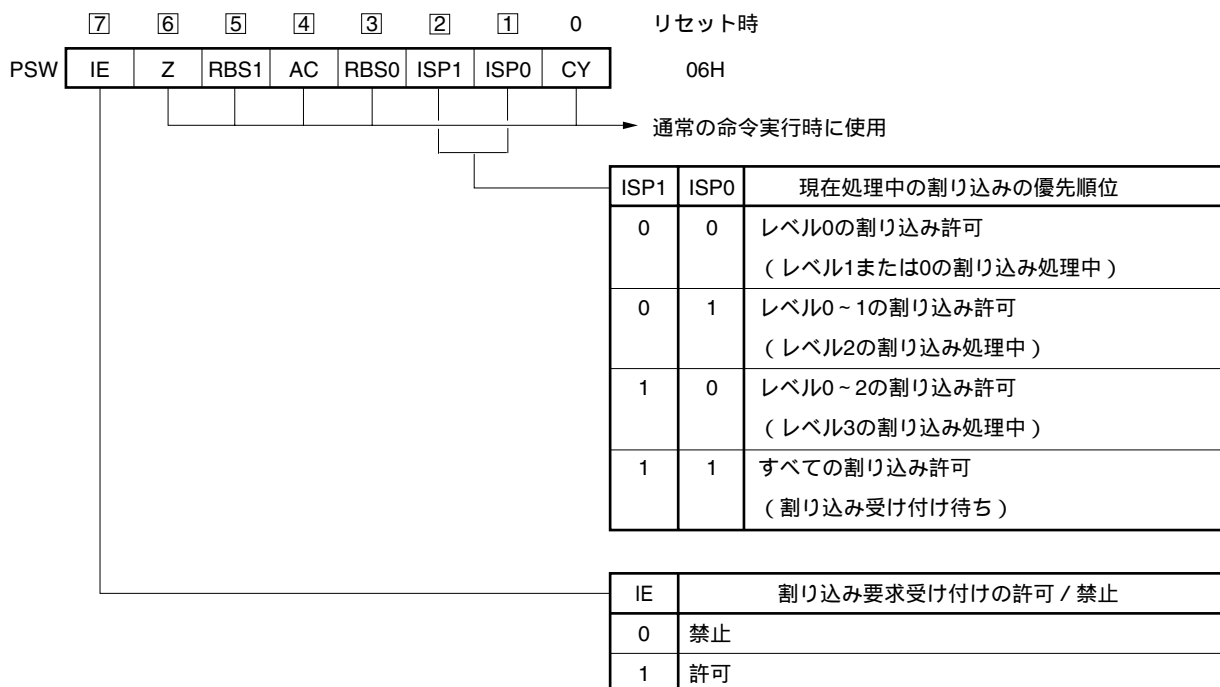
(5) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワードは、命令の実行結果や割り込み要求に対する現在の状態を保持するレジスタです。マスカブル割り込みの許可 / 禁止を設定するIEフラグと多重割り込み処理の制御を行うISP0, ISP1フラグがマッピングされています。

8ビット単位で読み出し / 書き込み操作ができるほか、ビット操作命令や専用命令 (EI, DI) により操作ができます。また、ベクタ割り込み要求受け付け時および、BRK命令実行時には、PSWの内容は自動的にスタックに退避され、IEフラグはリセット (0) されます。また、マスカブル割り込み要求受け付け時には、受け付けた割り込みの優先順位指定フラグの内容がISP0, ISP1フラグに転送されます。PUSH PSW命令によってもPSWの内容はスタックに退避されます。RETI, RETB, POP PSW命令により、スタックから復帰します。

リセット信号の発生により、PSWは06Hとなります。

図17-6 プログラム・ステータス・ワードの構成



17.4 割り込み処理動作

17.4.1 マスカブル割り込み要求の受け付け動作

マスカブル割り込み要求は、割り込み要求フラグがセット(1)され、その割り込み要求のマスク(MK)フラグがクリア(0)されていると受け付けが可能な状態になります。ベクタ割り込み要求は、割り込み許可状態(IEフラグがセット(1)されているとき)であれば受け付けます。ただし、優先順位の高い割り込みを処理中に低い優先順位に指定されている割り込み要求は受け付けられません。

マスカブル割り込み要求が発生してからベクタ割り込み処理が行われるまでの時間は表17-4のようになります。

割り込み要求の受け付けタイミングについては、[図17-8](#)、[17-9](#)を参照してください。

表17-4 マスカブル割り込み要求発生から処理までの時間

	最小時間	最大時間 ^注
処理時間	9クロック	14クロック

注 RET命令の直前に割り込み要求が発生したとき、ウエイトする時間が最大となります。

備考 1クロック： $1/f_{CLK}$ (f_{CLK} ：CPUクロック)

複数のマスカブル割り込み要求が同時に発生したときは、優先順位指定フラグで高優先順位に指定されているものから受け付けられます。また、優先順位指定フラグで同一優先順位に指定されているときは、デフォルト優先順位の高い割り込みから受け付けられます。

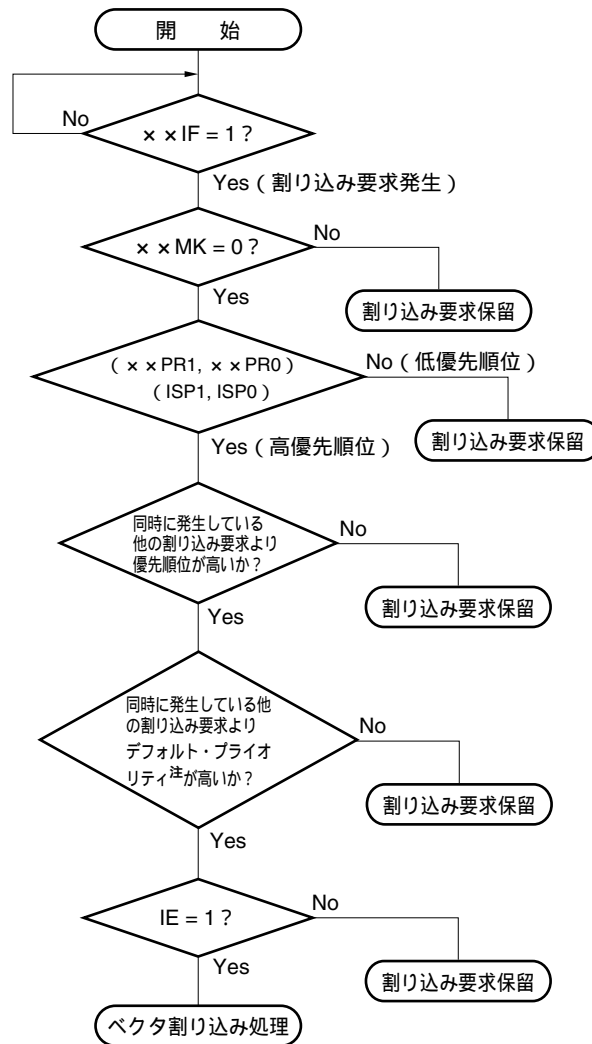
保留された割り込み要求は受け付け可能な状態になると受け付けられます。

割り込み要求受け付けのアルゴリズムを[図17-7](#)に示します。

マスカブル割り込み要求が受け付けられると、プログラム・ステータス・ワード(PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、受け付けた割り込みの優先順位指定フラグの内容をISP1、ISP0フラグへ転送します。さらに、割り込み要求ごとに決められたベクタ・テーブル中のデータをPCへロードし、分岐します。

RETI命令によって、割り込みから復帰できます。

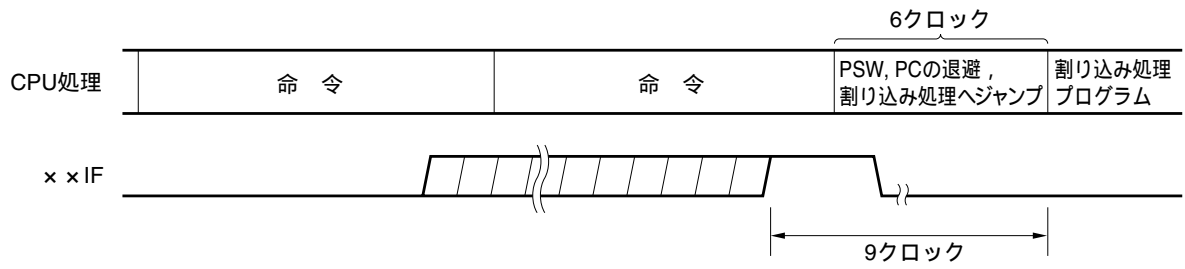
図17 - 7 割り込み要求受け付け処理アルゴリズム



- x x IF : 割り込み要求フラグ
- x x MK : 割り込みマスク・フラグ
- x x PR0 : 優先順位指定フラグ0
- x x PR1 : 優先順位指定フラグ1
- IE : マスカブル割り込み要求の受け付けを制御するフラグ (1 = 許可 , 0 = 禁止)
- ISP0, ISP1 : 現在処理中の割り込みの優先順位を示すフラグ (図17 - 6参照)

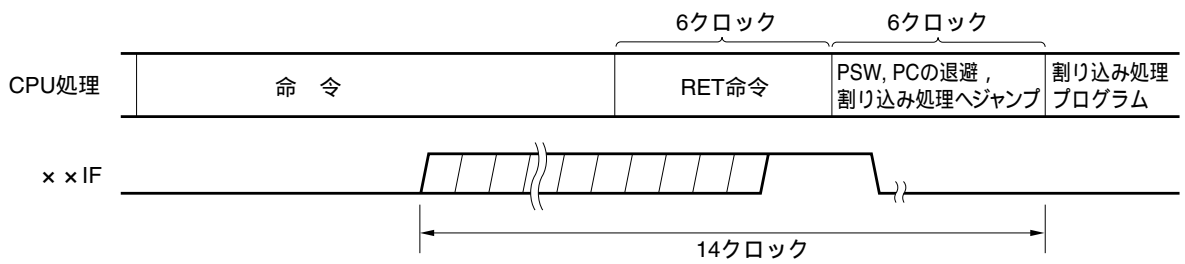
注 デフォルト・プライオリティは、表17 - 1 割り込み要因一覧を参照してください。

図17 - 8 割り込み要求の受け付けタイミング (最小時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

図17 - 9 割り込み要求の受け付けタイミング (最大時間)



備考 1クロック : $1/f_{CLK}$ (f_{CLK} : CPUクロック)

17.4.2 ソフトウェア割り込み要求の受け付け動作

ソフトウェア割り込み要求はBRK命令の実行により受け付けられます。ソフトウェア割り込みは禁止することはできません。

ソフトウェア割り込み要求が受け付けられると、プログラム・ステータス・ワード (PSW)、プログラム・カウンタ(PC)の順に内容をスタックに退避し、IEフラグをリセット(0)し、ベクタ・テーブル(0007EH, 0007FH)の内容をPCにロードして分岐します。

RETB命令によって、ソフトウェア割り込みから復帰できます。

注意 ソフトウェア割り込みからの復帰にRETI命令を使用しないでください。

17.4.3 多重割り込み処理

割り込み処理中に、さらに別の割り込み要求を受け付けることを多重割り込みといいます。

多重割り込みは、割り込み要求受け付け許可状態 (IE = 1) になっていなければ発生しません。割り込み要求を受け付けられた時点で、割り込み要求は受け付け禁止状態 (IE = 0) になります。したがって、多重割り込みを許可するには、割り込み処理中にEI命令によってIEフラグをセット (1) して、割り込み許可状態にする必要があります。

また、割り込み許可状態であっても、多重割り込みが許可されない場合がありますが、これは割り込みの優先順位によって制御されます。割り込みの優先順位には、デフォルト優先順位とプログラマブル優先順位の2つがありますが、多重割り込みの制御はプログラマブル優先順位制御により行われます。

割り込み許可状態で、現在処理中の割り込みより高い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられます。現在処理中の割り込みと同レベルか、より低い優先順位の割り込み要求が発生した場合には、多重割り込みとして受け付けられません。ただしレベル0の割り込み中にIEフラグをセット (1) した場合には、レベル0の他の割り込みも許可されます。

割り込み禁止、または低優先順位のために多重割り込みが許可されなかった割り込み要求は保留されます。そして、現在の割り込み処理終了後、メイン処理の命令を少なくとも1命令実行後に受け付けられます。

表17-5に多重割り込み可能な割り込み要求の関係を、図17-10に多重割り込みの例を示します。

表17 - 5 割り込み処理中に多重割り込み可能な割り込み要求の関係

多重割り込み要求 処理中の割り込み		マスカブル割り込み要求								ソフトウェア 割り込み要求
		優先順位レベル0 (PR = 00)		優先順位レベル1 (PR = 01)		優先順位レベル2 (PR = 10)		優先順位レベル3 (PR = 11)		
		IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	IE = 1	IE = 0	
マスカブル割り込み	ISP1 = 0 ISP0 = 0		x	x	x	x	x	x	x	
	ISP1 = 0 ISP0 = 1		x		x	x	x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x	x	x	
	ISP1 = 1 ISP0 = 0		x		x		x		x	
	ISP1 = 1 ISP0 = 1		x		x		x		x	
ソフトウェア割り込み			x		x		x		x	

備考1. : 多重割り込み可能。

2. x : 多重割り込み不可能。

3. ISP0, ISP1, IEはPSWに含まれるフラグです。

ISP1 = 0, ISP0 = 0 : レベル1またはレベル0の割り込み処理中

ISP1 = 0, ISP0 = 1 : レベル2の割り込み処理中

ISP1 = 1, ISP0 = 0 : レベル3の割り込み処理中

ISP1 = 1, ISP0 = 1 : 割り込み受け付け待ち

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

4. PRIはPR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hに含まれるフラグです。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

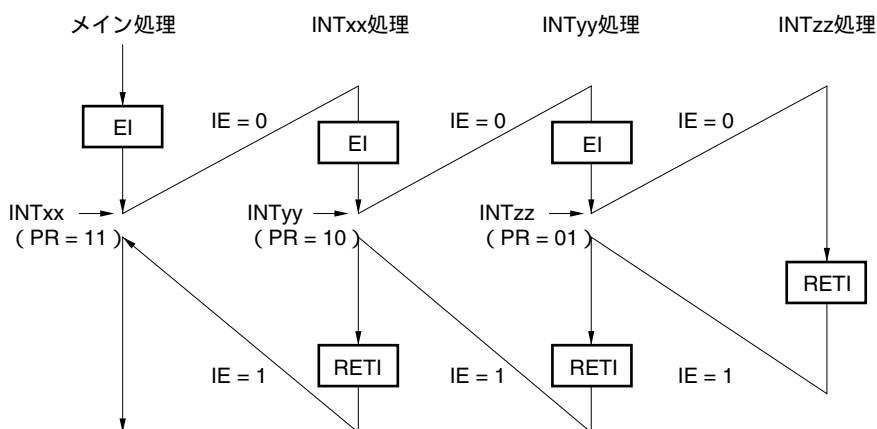
PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

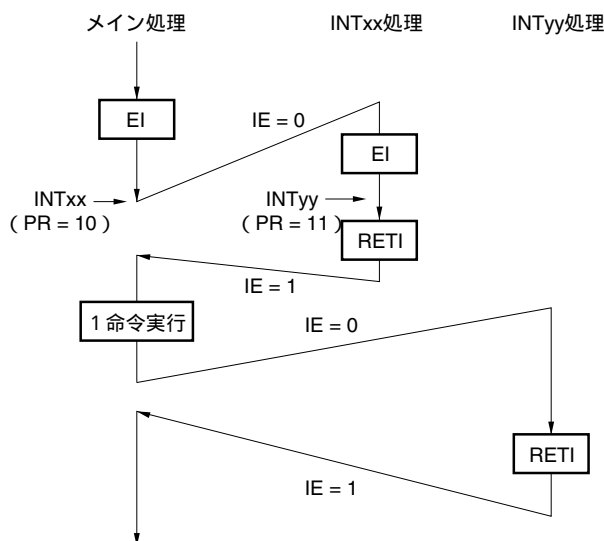
図17-10 多重割り込みの例(1/2)

例1. 多重割り込みが2回発生する例



割り込みINTxx処理中に、2つの割り込み要求INTyy, INTzzが受け付けられ、多重割り込みが発生する。各割り込み要求受け付けの前には、必ずEI命令を発行し、割り込み要求受け付け許可状態になっている。

例2. 優先順位制御により、多重割り込みが発生しない例

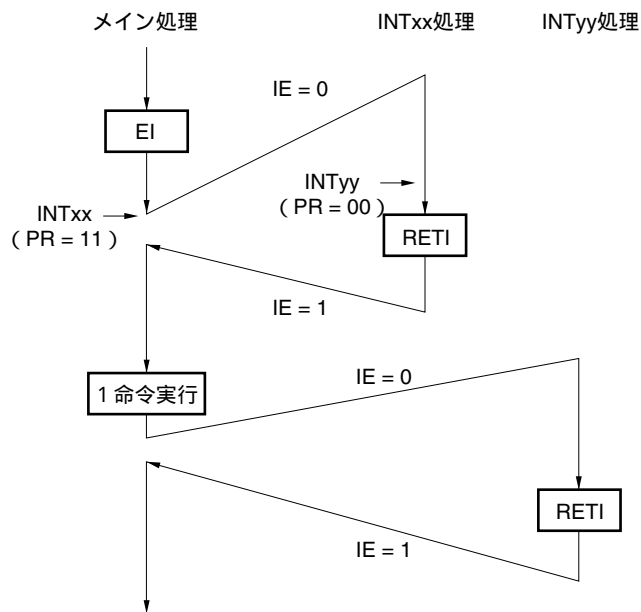


割り込みINTxx処理中に発生した割り込み要求INTyyは、割り込みの優先順位がINTxxより低いため受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

- PR = 00 : x × PR1 x = 0, x × PR0 x = 0でレベル0を指定 (高優先順位)
- PR = 01 : x × PR1 x = 0, x × PR0 x = 1でレベル1を指定
- PR = 10 : x × PR1 x = 1, x × PR0 x = 0でレベル2を指定
- PR = 11 : x × PR1 x = 1, x × PR0 x = 1でレベル3を指定 (低優先順位)
- IE = 0 : 割り込み要求受け付け禁止
- IE = 1 : 割り込み要求受け付け許可

図17 - 10 多重割り込みの例 (2/2)

例3 . 割り込みが許可されていないため、多重割り込みが発生しない例



割り込みINTxx処理では割り込みが許可されていない (EI命令が発行されていない) ので、割り込み要求INTyyは受け付けられず、多重割り込みは発生しない。INTyy要求は保留され、メイン処理1命令実行後に受け付けられる。

PR = 00 : x x PR1 x = 0, x x PR0 x = 0でレベル0を指定 (高優先順位)

PR = 01 : x x PR1 x = 0, x x PR0 x = 1でレベル1を指定

PR = 10 : x x PR1 x = 1, x x PR0 x = 0でレベル2を指定

PR = 11 : x x PR1 x = 1, x x PR0 x = 1でレベル3を指定 (低優先順位)

IE = 0 : 割り込み要求受け付け禁止

IE = 1 : 割り込み要求受け付け許可

17.4.4 割り込み要求の保留

命令の中には、実行中に割り込み要求が発生しても、次の命令の実行終了までその要求の受け付けを保留するものがあります。このような命令（割り込み要求の保留命令）を次に示します。

- ・ MOV PSW, # byte
- ・ MOV PSW, A
- ・ MOV1 PSW. bit, CY
- ・ SET1 PSW. bit
- ・ CLR1 PSW. bit
- ・ RETB
- ・ RETI
- ・ POP PSW
- ・ BTCLR PSW. bit, \$addr8
- ・ EI
- ・ DI
- ・ SKC
- ・ SKNC
- ・ SKZ
- ・ SKNZ
- ・ SKH
- ・ SKNH
- ・ IF0L, IF0H, IF1L, IF1H, IF2L, IF2H, MK0L, MK0H, MK1L, MK1H, MK2L, MK2H, PR00L, PR00H, PR01L, PR01H, PR02L, PR02H, PR10L, PR10H, PR11L, PR11H, PR12L, PR12Hの各レジスタに対する操作命令

注意 BRK命令は、上述の割り込み要求の保留命令ではありません。しかしBRK命令の実行により起動するソフトウェア割り込みでは、IEフラグが0にクリアされます。したがって、BRK命令実行中にマスクابل割り込み要求が発生しても、割り込み要求を受け付けません。

割り込み要求が保留されるタイミングを図17-11に示します。

図17 - 11 割り込み要求の保留



備考1 命令N：割り込み要求の保留命令

2. 命令M：割り込み要求の保留命令以外の命令

3. x × IF（割り込み要求）の動作は、x × PR（優先順位レベル）の値の影響を受けません。

第18章 スタンバイ機能

18.1 スタンバイ機能と構成

18.1.1 スタンバイ機能

スタンバイ機能は、システムの動作電流をより低減するための機能で、次の2種類のモードがあります。

(1) HALTモード

HALT命令の実行により、HALTモードとなります。HALTモードは、CPUの動作クロックを停止させるモードです。HALTモード設定前に高速システム・クロック発振回路、高速内蔵発振回路、40 MHz高速内蔵発振回路、サブシステム・クロック発振回路^注が動作している場合、それぞれのクロックは発振を続けます。このモードでは、STOPモードほどの動作電流の低減はできませんが、割り込み要求により、すぐに処理を再開したい場合や、頻繁に間欠動作をさせたい場合に有効です。

注 78K0R/IB3にはサブシステム・クロックはありません。

(2) STOPモード

STOP命令の実行により、STOPモードとなります。STOPモードは、高速システム・クロック発振回路、高速内蔵発振回路を停止させ、システム全体が停止するモードです。CPUの動作電流を、大幅に低減することができます。

さらに、割り込み要求によって解除できるため、間欠動作も可能です。ただし、X1クロックの場合、STOPモード解除時に発振安定時間確保のためのウェイト時間がとられるため、割り込み要求によって、すぐに処理を開始しなければならないときにはHALTモードを選択してください。

いずれのモードでも、スタンバイ・モードに設定される直前のレジスタ、フラグ、データ・メモリの内容はすべて保持されます。また、入出力ポートの出力ラッチ、出力バッファの状態も保持されます。

- 注意1** . STOPモードはCPUがメイン・システム・クロックで動作しているときだけ使用します。CPUがサブシステム・クロックで動作しているときは、STOPモードに設定できません。HALTモードはCPUがメイン・システム・クロック、サブシステム・クロックのいずれかの動作状態でも使用できます。
- 2 . STOPモードに移行するとき、メイン・システム・クロックで動作する周辺ハードウェアの動作を必ず停止させたのち、STOP命令を実行してください。
- 3 . A/Dコンバータ部の動作電流を低減させるためには、A/Dコンバータ・モード・レジスタ(ADM)のビット7(ADCS)とビット0(ADCE)を0にクリアし、A/D変換動作を停止させてから、STOP命令を実行してください。
- 4 . コンパレータ部の動作電流を低減させるためには、コンパレータ n 制御レジスタ(CnCTL)のビット7(CnEN)とコンパレータ n 内蔵基準電圧選択レジスタのビット7(CnVRE)を0にクリアし、コンパレータ動作を停止させてから、STOP命令を実行してください。

備考 $n = 0, 1$

- 注意5 . プログラマブル・ゲイン・アンプ部の動作電流を低減させるためには、プログラマブル・ゲイン・アンプ制御レジスタ (OAM) のビット7 (OAEN) を0にクリアし、プログラマブル・ゲイン・アンプ動作を停止させてから、STOP命令を実行してください。
- 6 . 低速内蔵発振回路をHALT, STOPモード時に発振継続/停止するかは、オプション・バイトで選択できます。詳細は第23章 オプション・バイトを参照してください。
- 7 . 40 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

18.1.2 スタンバイ機能を制御するレジスタ

STOPモード解除時の発振安定時間を制御するレジスタとして、次の2種類があります。

- ・ 発振安定時間カウンタ状態レジスタ (OSTC)
- ・ 発振安定時間選択レジスタ (OSTS)

備考 クロックの動作/停止, 切り替えを制御するレジスタについては、第5章 クロック発生回路を参照してください。

(1) 発振安定時間カウンタ状態レジスタ (OSTC)

X1クロックの発振安定時間カウンタのカウンタ状態を示すレジスタです。

次のときに、X1クロックの発振安定時間を確認することができます。

- ・ CPUクロックが高速内蔵発振クロックまたはサブシステム・クロック[※]で、X1クロックの発振を開始した場合
- ・ CPUクロックが高速内蔵発振クロックで、X1クロックも発振している状態でSTOPモードに移行し、その後、STOPモードを解除した場合

OSTCは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で読み出すことができます。

リセット信号の発生 ($\overline{\text{RESET}}$ 入力, POC, LVI, WDT, 不正命令の実行によるリセット), STOP命令, MSTOP (CSCレジスタのビット7) = 1により、00Hになります。

注 78K0R/IB3にはサブシステム・クロックはありません。

図18 - 1 発振安定時間カウンタ状態レジスタ (OSTC) のフォーマット

アドレス : FFFA2H リセット時 : 00H R

略号	7	6	5	4	3	2	1	0
OSTC	MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18

MOST 8	MOST 9	MOST 10	MOST 11	MOST 13	MOST 15	MOST 17	MOST 18	発振安定時間のステータス		
								$f_x = 10\text{MHz}$ 時	$f_x = 20\text{MHz}$ 時	
0	0	0	0	0	0	0	0	$2^9/f_x$ 未満	25.6 μs 未満	12.8 μs 未満
1	0	0	0	0	0	0	0	$2^9/f_x$ 以上	25.6 μs 以上	12.8 μs 以上
1	1	0	0	0	0	0	0	$2^9/f_x$ 以上	51.2 μs 以上	25.6 μs 以上
1	1	1	0	0	0	0	0	$2^{10}/f_x$ 以上	102.4 μs 以上	51.2 μs 以上
1	1	1	1	0	0	0	0	$2^{11}/f_x$ 以上	204.8 μs 以上	102.4 μs 以上
1	1	1	1	1	0	0	0	$2^{13}/f_x$ 以上	819.2 μs 以上	409.6 μs 以上
1	1	1	1	1	1	0	0	$2^{15}/f_x$ 以上	3.27 ms以上	1.64 ms以上
1	1	1	1	1	1	1	0	$2^{17}/f_x$ 以上	13.11 ms以上	6.55 ms以上
1	1	1	1	1	1	1	1	$2^{18}/f_x$ 以上	26.21 ms以上	13.11 ms以上

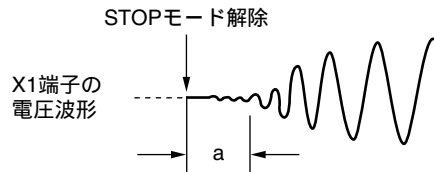
注意1. 上記時間経過後, MOST8から順番に“1”となっていく, そのまま“1”を保持します。

2. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に, STOPモードに入り, 解除するときは, OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって, STOPモード解除後のOSTCは, OSTSで設定している発振安定時間までのステータスしかセットされないのに注意してください。

3. X1クロックの発振安定時間は, クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

(2) 発振安定時間選択レジスタ (OSTS)

STOPモード解除時のX1クロックの発振安定時間を選択するレジスタです。

CPUクロックにX1クロックを選択した場合、STOPモード解除後は、OSTSで設定した時間をウエイトします。

CPUクロックに高速内蔵発振クロックを選択した場合、STOPモード解除後は、OSTCで発振安定時間が経過したかを確認してください。OSTCでは、あらかじめOSTSで設定した時間までを確認できます。

OSTSは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、07Hになります。

図18-2 発振安定時間選択レジスタ (OSTS) のフォーマット

アドレス：FFFA3H リセット時：07H R/W

略号	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間の選択	
			$f_x = 10 \text{ MHz}$ 時	$f_x = 20 \text{ MHz}$ 時
0	0	0	$2^8/f_x$	25.6 μs 設定禁止
0	0	1	$2^9/f_x$	51.2 μs 25.6 μs
0	1	0	$2^{10}/f_x$	102.4 μs 51.2 μs
0	1	1	$2^{11}/f_x$	204.8 μs 102.4 μs
1	0	0	$2^{13}/f_x$	819.2 μs 409.6 μs
1	0	1	$2^{15}/f_x$	3.27 ms 1.64 ms
1	1	0	$2^{17}/f_x$	13.11 ms 6.55 ms
1	1	1	$2^{18}/f_x$	26.21 ms 13.11 ms

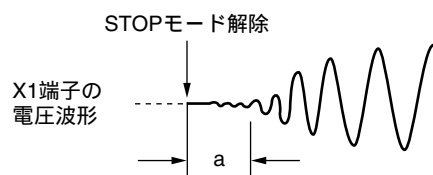
注意1. CPUクロックがX1クロック時にSTOPモードへ移行する場合は、STOP命令の実行よりも前にOSTSを設定しておいてください。

2. 発振安定時間が20 μs 以下は設定禁止です。
3. OSTSレジスタの設定を変更する場合は、変更前にOSTCレジスタのカウント動作が終了していることを確認してください。
4. X1クロックの発振安定時間中は、OSTSレジスタを変更しないでください。
5. 発振安定時間カウンタはOSTSで設定した発振安定時間までしかカウントしません。CPUクロックが高速内蔵発振クロック時に、STOPモードに入り、解除するときは、OSTSの発振安定時間を次のように設定してください。

・期待するOSTCの発振安定時間 OSTSで設定する発振安定時間

したがって、STOPモード解除後のOSTCは、OSTSで設定している発振安定時間までのステータスしかセットされないで注意してください。

6. X1クロックの発振安定時間は、クロック発振を開始するまでの時間(下図a)は含みません。



備考 f_x : X1クロック発振周波数

18.2 スタンバイ機能の動作

18.2.1 HALTモード

(1) HALTモード

HALTモードは、HALT命令の実行により設定されます。設定前のCPUクロックは、高速システム・クロック、高速内蔵発振クロック、40 MHz高速内蔵発振クロック、サブシステム・クロック^注のいずれの場合でも設定可能です。

次にHALTモード時の動作状態を示します。

注 78K0R/IB3にはサブシステム・クロックはありません。

表18 - 1 HALTモード時の動作状態 (1/2)

項目	HALTモード の設定	メイン・システム・クロックでCPU動作中のHALT命令実行時		
		高速内蔵発振クロック (f_{IH}) または40 MHz高速内蔵発振ク ロック (f_{IH40}) でCPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロッ ク (f_{EX}) でCPU動作時
システム・クロック		CPUへのクロック供給は停止		
メイン・システ ム・クロック	f_{IH}, f_{IH40}	動作継続 (停止不可)	HALTモード設定前の状態を継続	
	f_x	HALTモード設定前の状態を継続	動作継続 (停止不可)	動作不可
	f_{EX}		動作不可	動作継続 (停止不可)
サブシステ ム・クロック	f_{XT}	HALTモード設定前の状態を継続		
	f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU		動作停止		
フラッシュ・メモリ		動作停止		
RAM		保持		
ポート (ラッチ)		HALTモード設定前の状態を保持		
タイマ・アレイ・ユニットTAUS		動作可能		
インバータ制御機能				
リアルタイム・カウンタ (RTC)				
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力 / ブザー出力		動作可能		
A/Dコンバータ				
プログラマブル・ゲイン・アンプ				
コンパレータ				
シリアル・アレイ・ユニッ ト (SAU)				
シリアル・インタフェース (IICA)				
乗除算器				
DMAコントローラ				
パワーオン・クリア機能				
低電圧検出機能				
外部割り込み				

- 備考1. f_{IH} : 高速内蔵発振クロック
 f_{IH40} : 40 MHz高速内蔵発振クロック
 f_x : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

表18 - 1 HALTモード時の動作状態 (2/2)

HALTモードの設定		サブシステム・クロックでCPU動作中のHALT命令実行時	
項 目		XT1クロック (f _{XT}) でCPU動作時	
システム・クロック		CPUへのクロック供給は停止	
メイン・システム・クロック	f _H , f _{H40}	HALTモード設定前の状態を継続	
	f _X		
	f _{EX}		
サブシステム・クロック	f _{XT}	動作継続 (停止不可)	
f _{IL}		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止	
CPU		動作停止	
フラッシュ・メモリ		動作停止 (低消費電流モードで待機状態)	
RAM		保持	
ポート (ラッチ)		HALTモード設定前の状態を保持	
タイマ・アレイ・ユニットTAUS		動作可能	
インバータ制御機能		動作不可	
リアルタイム・カウンタ (RTC)		動作可能	
ウォッチドッグ・タイマ		オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止	
クロック出力 / ブザー出力		動作可能	
A/Dコンバータ		動作不可	
プログラマブル・ゲイン・アンプ		動作可能	
コンパレータ			
シリアル・アレイ・ユニット (SAU)			
シリアル・インタフェース (IICA)		動作不可	
乗除算器		動作可能	
DMAコントローラ			
パワーオン・クリア機能			
低電圧検出機能			
外部割り込み			

- 備考1. f_H : 高速内蔵発振クロック
 f_{H40} : 40 MHz高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図** , 1.7 **機能概要**を参照してください。

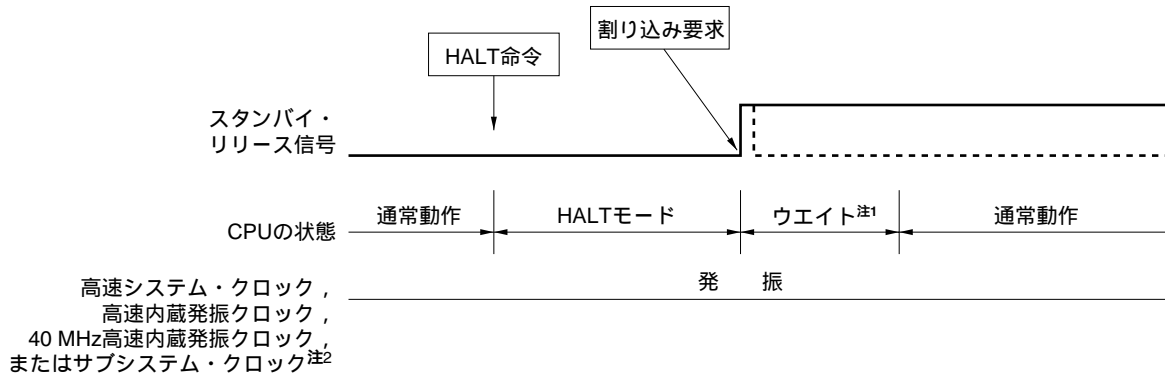
(2) HALTモードの解除

HALTモードは、次の2種類のソースによって解除できます。

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求が発生すると、HALTモードは解除されます。そして、割り込み受け付け許可状態であれば、ベクタ割り込み処理が行われます。割り込み受け付け禁止状態であれば、次のアドレスの命令が実行されます。

図18-3 HALTモードの割り込み要求発生による解除



注1. ウェイト時間は次のようになります。

- ・ベクタ割り込み処理を行う場合
 - メイン・システム・クロック時：10～12クロック
 - サブシステム・クロック時：8～10クロック
- ・ベクタ割り込み処理を行わない場合
 - メイン・システム・クロック時：5～6クロック
 - サブシステム・クロック時：3～4クロック

2. 78K0R/IB3にはサブシステム・クロックはありません。

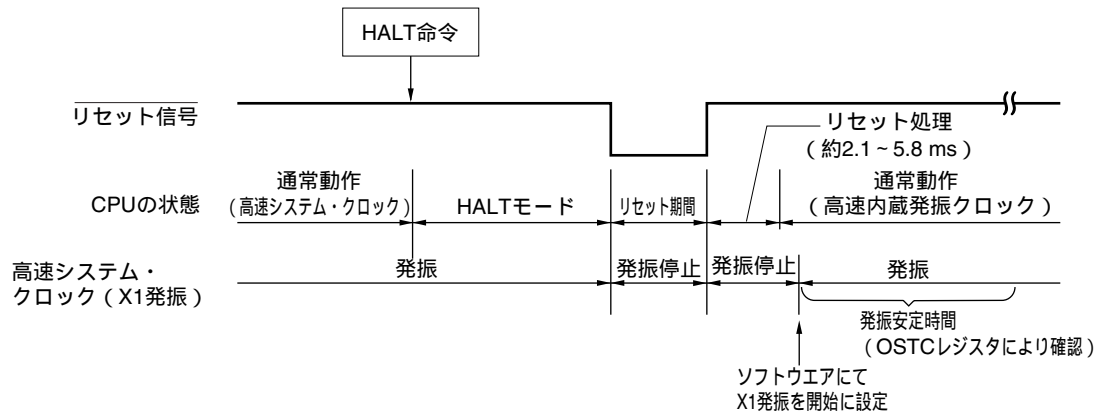
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

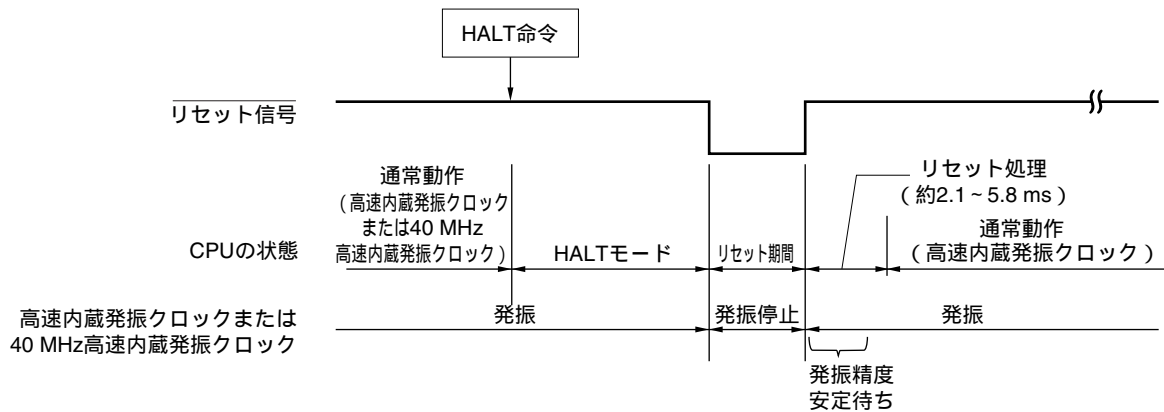
リセット信号の発生により、HALTモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18 - 4 HALTモードのリセットによる解除 (1/2)

(1) CPUクロックが高速システム・クロックの場合

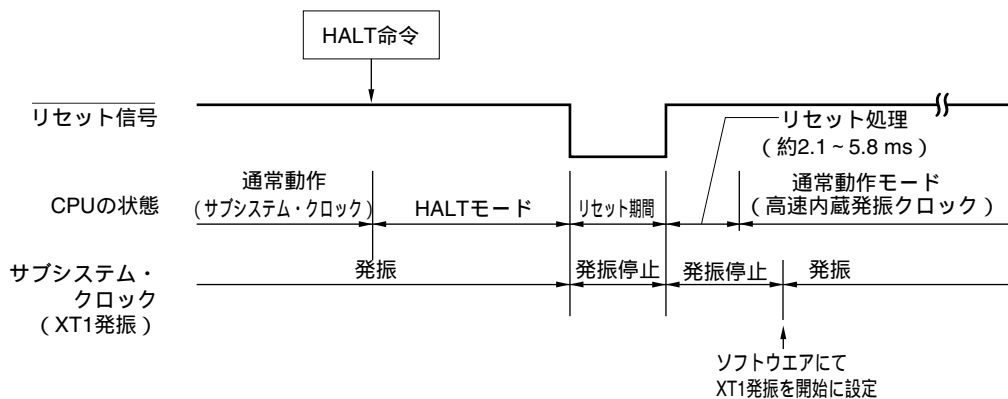


(2) CPUクロックが高速内蔵発振クロックまたは40 MHz高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

図18 - 4 HALTモードのリセットによる解除 (2/2)

(3) CPUクロックがサブシステム・クロックの場合^注

注 78K0R/IB3にはサブシステム・クロックはありません。

18.2.2 STOPモード

(1) STOPモードの設定および動作状態

STOPモードは、STOP命令の実行により設定されます。設定前のCPUクロックが、高速内蔵発振クロック、X1クロック、外部メイン・システム・クロックの場合のみ設定可能です。

- 注意1. 割り込み要求フラグがセット、割り込みマスク・フラグがリセットされている割り込みソースがある場合には、スタンバイ・モードの解除に割り込み要求信号が用いられるため、スタンバイ・モードに入ってもただちに解除されます。したがって、その状況でSTOP命令を実行しても、すぐにHALTモードに入り発振安定時間選択レジスタ(OSTS)による設定時間だけウェイトしたあと動作モードに戻ります。
2. 40 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

次にSTOPモード時の動作状態を示します。

表18-2 STOPモード時の動作状態

STOPモード の設定 項目	メイン・システム・クロックでCPU動作中のSTOP命令実行時		
	高速内蔵発振クロック (f_{IH}) で CPU動作時	X1クロック (f_x) でCPU動作時	外部メイン・システム・クロック (f_{EX}) でCPU動作時
システム・クロック	CPUへのクロック供給は停止		
メイン・システム・クロック	f_{IH}	停止	
	f_x		
	f_{EX}		
サブシステム・クロック	f_{XT}	STOPモード設定前の状態を継続	
f_{IL}	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 発振 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
CPU	動作停止		
フラッシュ・メモリ	動作停止		
RAM	保持		
ポート (ラッチ)	STOPモード設定前の状態を継続		
タイマ・アレイ・ユニットTAUS	動作不可		
インバータ制御機能			
リアルタイム・カウンタ (RTC)	動作可能		
ウォッチドッグ・タイマ	オプション・バイト (000C0H) のビット0 (WDSTBYON) , ビット4 (WDTON) にて設定 ・ WDTON = 0 : 停止 ・ WDTON = 1かつWDSTBYON = 1のとき : 動作 ・ WDTON = 1かつWDSTBYON = 0のとき : 停止		
クロック出力 / ブザー出力	カウント・クロックにサブシステム・クロック選択時のみ動作可能		
A/Dコンバータ	動作不可		
プログラマブル・ゲイン・アンプ			
コンパレータ			
シリアル・アレイ・ユニット (SAU)			
シリアル・アレイ・ユニット (IICA)	アドレス一致によるウエイク・アップ動作可能		
乗除算器	動作不可		
DMAコントローラ			
パワーオン・クリア機能	動作可能		
低電圧検出機能			
外部割り込み			

備考1. f_{IH} : 高速内蔵発振クロック

f_x : X1クロック

f_{EX} : 外部メイン・システム・クロック

f_{XT} : XT1クロック

f_{IL} : 低速内蔵発振クロック

2. 製品により、搭載している機能が異なります。1.6 **ブロック図** , 1.7 **機能概要**を参照してください。

- 注意1. STOPモード中に動作停止する周辺ハードウェア，および発振停止するクロックを選択している周辺ハードウェアをSTOPモード解除後に使用する場合は，周辺ハードウェアをリスタートしてください。
2. STOPモード中に低速内蔵発振クロックを停止したい場合は，オプション・バイトで「HALT/STOPモード時にウォッチドッグ・タイマ動作停止」に設定（000C0Hのビット0（WDSTBYON）= 0）してから，STOP命令を実行してください。
3. 高速システム・クロック（X1発振）でCPU動作していて，STOPモード解除後の発振安定時間を短縮したい場合は，次のSTOP命令実行前に，CPUクロックを一時的に高速内蔵発振クロックに切り替えることで実現できます。STOPモード解除後，CPUクロックを高速内蔵発振クロックから高速システム・クロック（X1発振）に切り替える場合は，発振安定時間カウンタ状態レジスタ（OSTC）で発振安定時間を確認してから，行ってください。
4. 40 MHz高速内蔵発振クロックで動作中にSTOP命令を実行することはできません。必ず高速内蔵発振クロック動作に移行してからSTOP命令を実行してください。

(2) STOPモードの解除

(a) マスクされていない割り込み要求による解除

マスクされていない割り込み要求による解除の場合，STOPモードを解除します。発振安定時間経過後，割り込み受け付け許可状態であれば，ベクタ割り込み処理を行います。割り込み受け付け禁止状態であれば，次のアドレスの命令を実行します。

図18 - 5 STOPモードの割り込み要求発生による解除 (1/2)

(1) CPUクロックが高速システム・クロック（X1発振）の場合

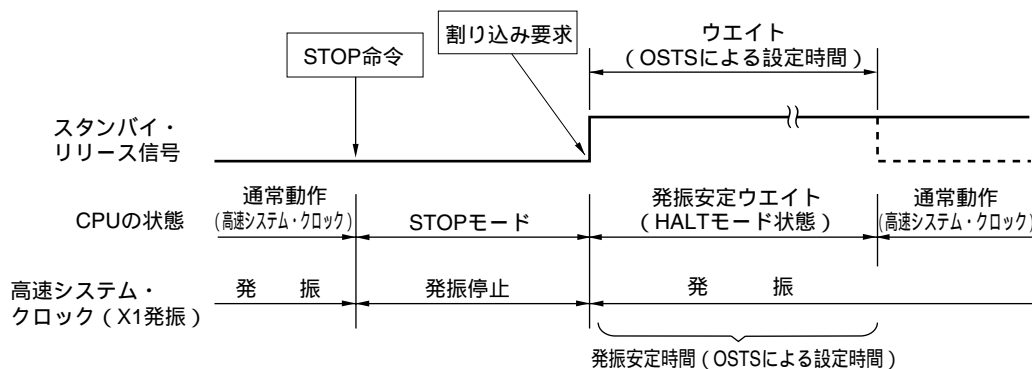
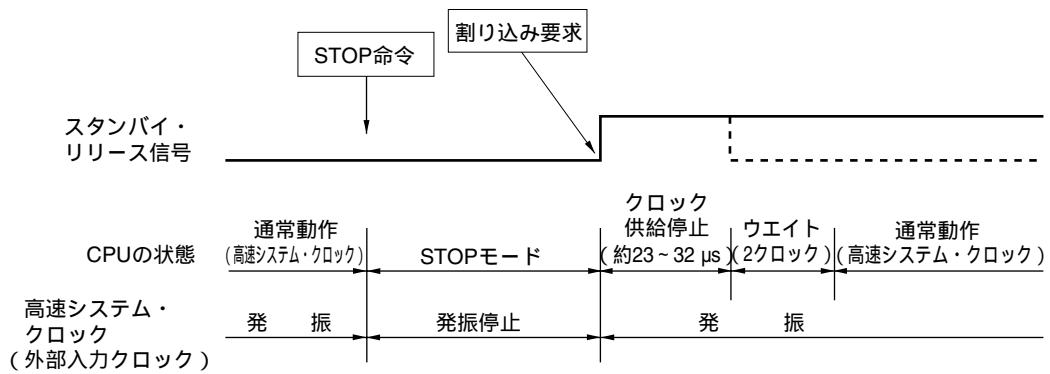


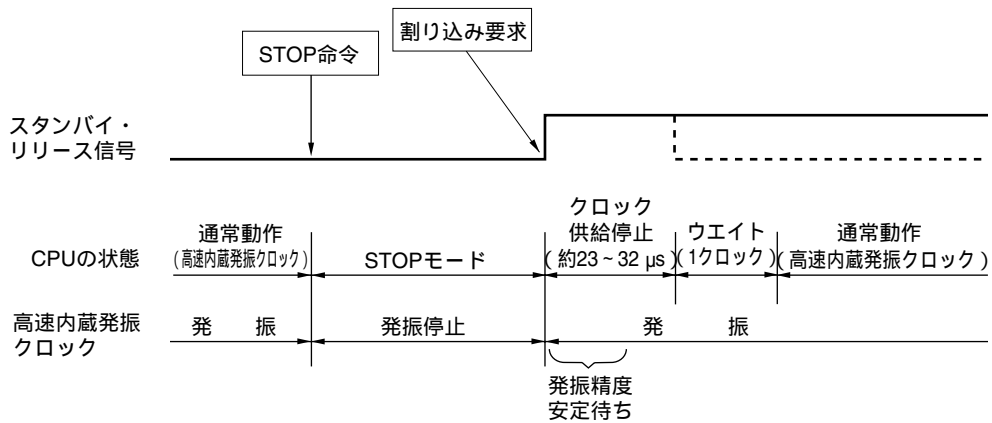
図18 - 5 STOPモードの割り込み要求発生による解除 (2/2)

(2) CPUクロックが高速システム・クロック (外部クロック入力) の場合



備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(3) CPUクロックが高速内蔵発振クロックの場合



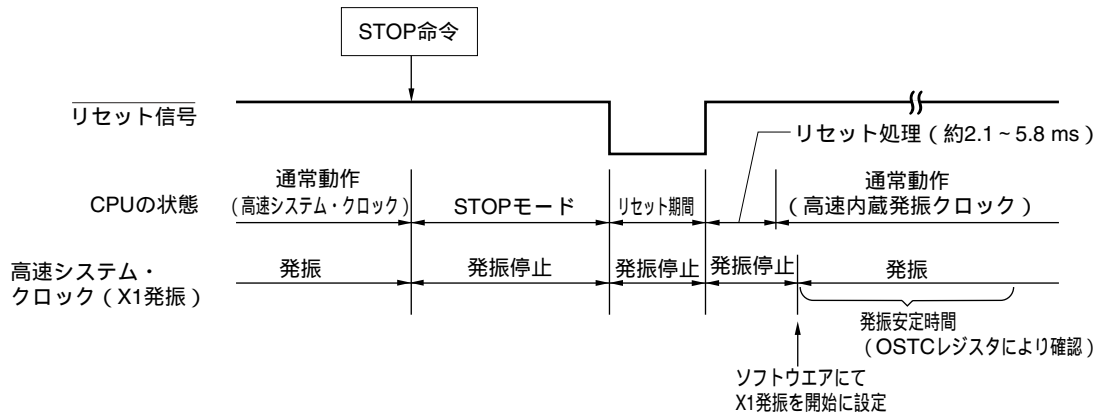
備考 破線は、スタンバイを解除した割り込み要求が受け付けられた場合です。

(b) リセット信号の発生による解除

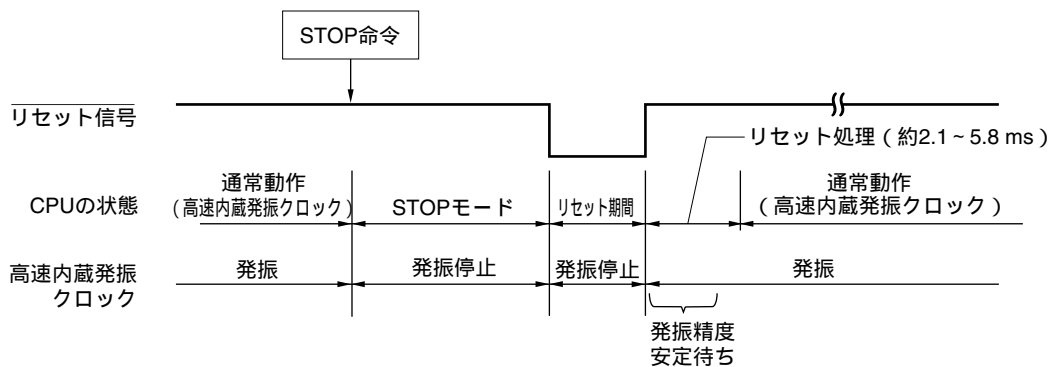
リセット信号の発生により、STOPモードは解除されます。そして、通常のリセット動作と同様にリセット・ベクタ・アドレスに分岐したあと、プログラムが実行されます。

図18 - 6 STOPモードのリセットによる解除

(1) CPUクロックが高速システム・クロックの場合



(2) CPUクロックが高速内蔵発振クロックの場合



備考 f_x : X1クロック発振周波数

第19章 リセット機能

リセット信号を発生させる方法には、次の5種類があります。

- (1) $\overline{\text{RESET}}$ 端子による外部リセット入力
- (2) ウォッチドッグ・タイマのプログラム暴走検出による内部リセット
- (3) パワーオン・クリア (POC) 回路の電源電圧と検出電圧との比較による内部リセット
- (4) 低電圧検出回路 (LVI) の電源電圧または外部入力端子からの入力電圧 (EXLVI) と検出電圧の比較による内部リセット
- (5) 不正命令の実行による内部リセット^{注1}
- (6) リセット処理のチェック・エラーによる内部リセット

外部リセットと内部リセットは同様に、リセット信号の発生により、0000H, 0001H番地に書かれてあるアドレスからプログラムの実行を開始します。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されるか、ウォッチドッグ・タイマがプログラム暴走を検出するか、POC回路、LVI回路の電圧検出、または不正命令の実行^{注1}により、リセットがかかり、各ハードウェアは表19 - 1, 表19 - 2に示すような状態になります。また、リセット信号発生中およびリセット解除直後の発振安定時間中の各端子の状態は、P140^{注2}のみロウ・レベル出力に、それ以外はハイ・インピーダンスとなっています。

$\overline{\text{RESET}}$ 端子にロウ・レベルが入力されて、リセットがかかり、 $\overline{\text{RESET}}$ 端子にハイ・レベルが入力されると、リセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します。ウォッチドッグ・タイマによるリセットは、自動的にリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (図19 - 2から図19 - 4参照)。POC回路、LVI回路の電源検出によるリセットは、リセット後 V_{DD} V_{POR} または V_{DD} V_{LVI} になったときにリセットが解除され、リセット処理後、高速内蔵発振クロックでプログラムの実行を開始します (第20章 パワーオン・クリア回路と第21章 低電圧検出回路参照)。

注1. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

2. 78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3のみ。

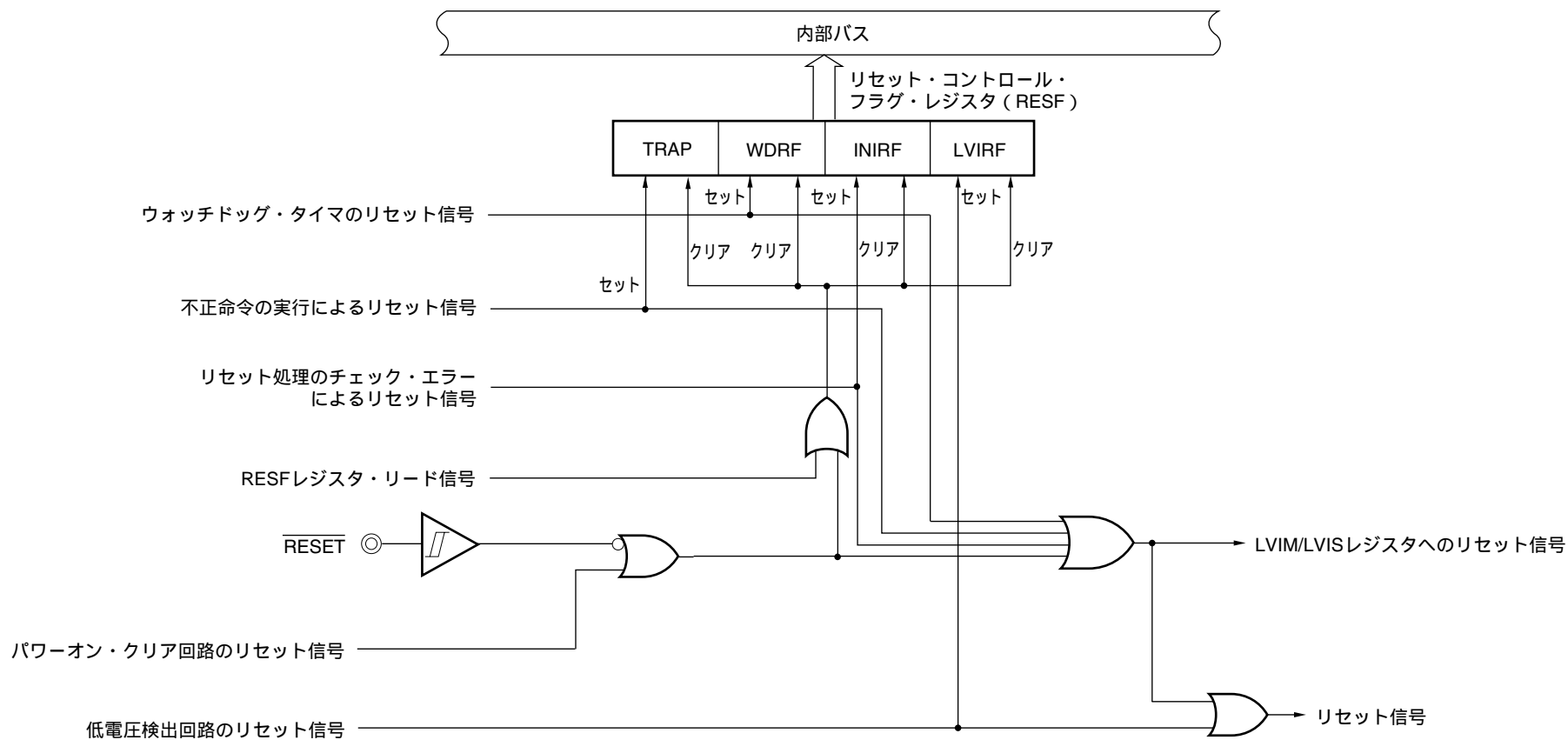
注意1. 外部リセットを行う場合、 $\overline{\text{RESET}}$ 端子に10 μ s以上のロウ・レベルを入力してください。

(電源立ち上げ時に外部リセットを行う場合は、動作電圧範囲内(V_{DD} 2.7V)の期間に10 μ s以上ロウ・レベルを継続する必要があります。)

2. リセット信号発生中では、X1クロック、XT1クロック (78K0R/IB3以外)、高速内蔵発振クロック、低速内蔵発振クロックの発振は停止します。また、外部メイン・システム・クロックの入力は無効となります。
3. リセットでSTOPモードを解除するとき、リセット入力中はSTOPモード時のRAMの内容を保持します。
4. リセットがかかると各SFRと2nd SFRは初期化されるため、ポート端子P140はロウ・レベル出力に、それ以外のポート端子はハイ・インピーダンスとなります。

備考 V_{POR} : POC電源立ち上がり検出電圧

図19 - 1 リセット機能のブロック図

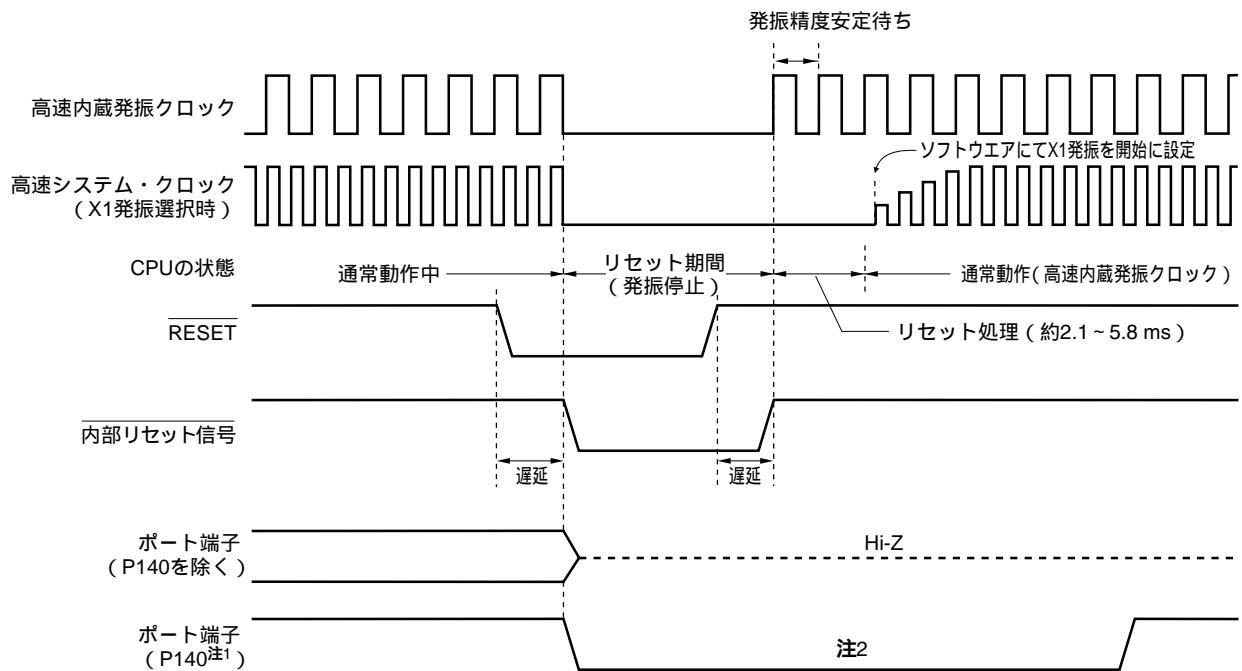


注意 LVI回路の内部リセットの場合、LVI回路はリセットされません。

備考1. LVIM：低電圧検出レジスタ

2. LVIS：低電圧検出レベル選択レジスタ

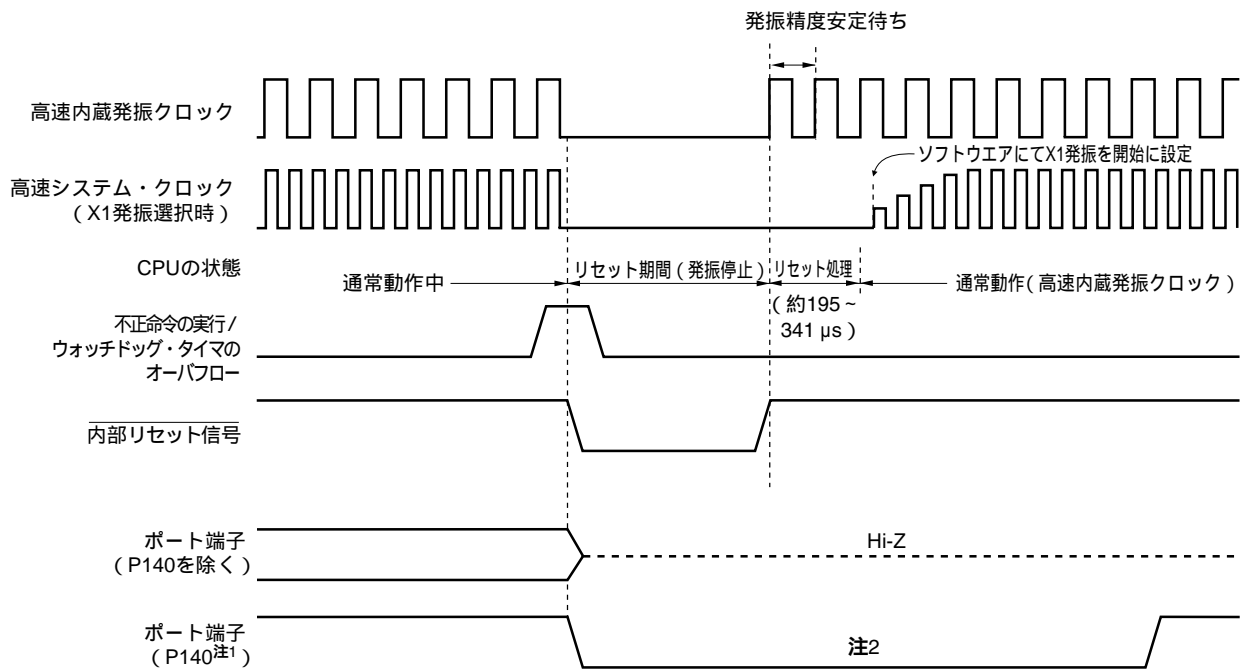
図19 - 2 RESET入力によるリセット・タイミング



注1. 78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3のみ。

- リセットがかかるとP140はロウ・レベルを出力するため、リセットがかかる前にP140をハイ・レベル出力にした場合、P140からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P140をソフトウェアでハイ・レベル出力にしてください。

図19 - 3 不正命令の実行/ウォッチドッグ・タイマのオーバーフローによるリセット・タイミング

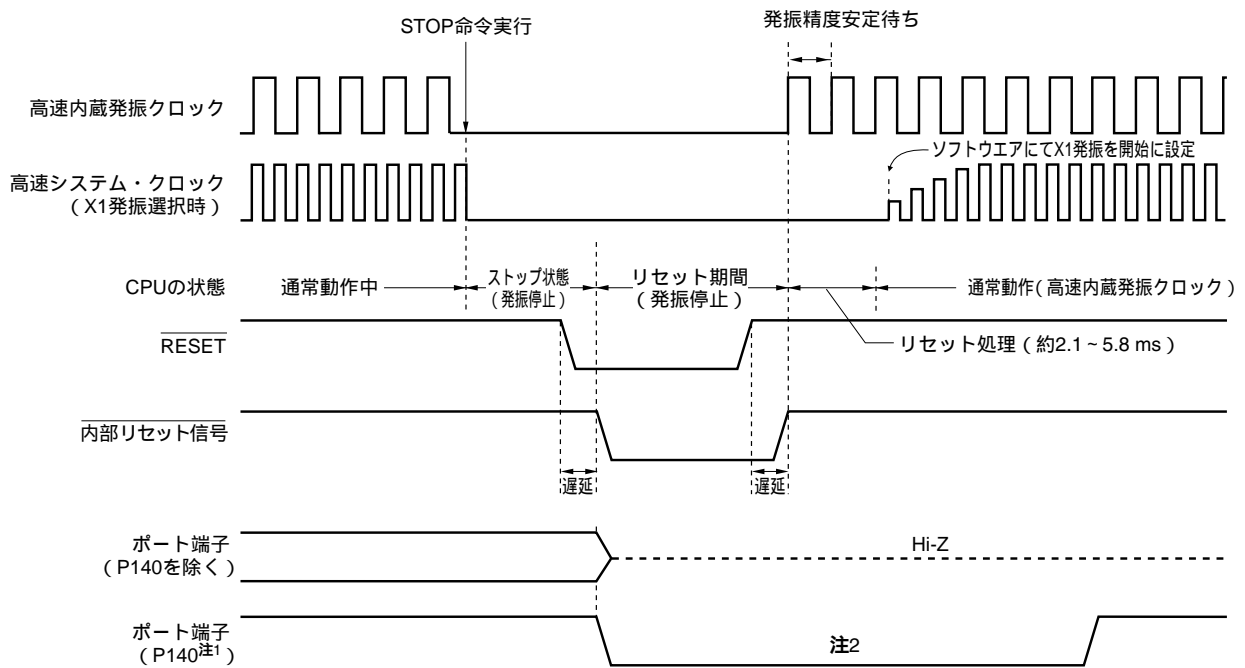


注1. 78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

2. リセットがかかるとP140はロウ・レベルを出力するため、リセットがかかる前にP140をハイ・レベル出力にした場合、P140からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には、P140をソフトウェアでハイ・レベル出力にしてください。

注意 ウォッチドッグ・タイマの内部リセットの場合、ウォッチドッグ・タイマもリセットされます。

図19-4 STOPモード中のRESET入力によるリセット・タイミング



注1. 78K0R/IC3の48ピン製品, 78K0R/ID3, 78K0R/IE3のみ

- リセットがかかるとP140はロウ・レベルを出力するため, リセットがかかる前にP140をハイ・レベル出力にした場合, P140からの出力を外部デバイスへのリセット信号として疑似的に出力するという使い方ができます。外部デバイスへのリセット信号を解除する場合には, P140をソフトウェアでハイ・レベル出力にしてください。

備考 パワーオン・クリア回路と低電圧検出回路のリセット・タイミングは, 第20章 パワーオン・クリア回路と第21章 低電圧検出回路を参照してください。

表19 - 1 リセット期間中の動作状態

項 目	リセット期間中	
システム・クロック	CPUへのクロック供給は停止	
メイン・システム・クロック	f_{IH}, f_{IH40}	動作停止
	f_X	動作停止 (X1, X2端子は入力ポート・モード)
	f_{EX}	クロックの入力無効 (端子は入力ポート・モード)
サブシステム・クロック	f_{XT}	動作停止 (XT1, XT2端子は入力ポート・モード)
f_{IL}	動作停止	
CPU		
フラッシュ・メモリ		
RAM	動作停止 (ただし, パワーオン・クリア検出電圧以上時では, 値を保持)	
ポート (ラッチ)	P140は, ロウ・レベル出力。P140以外は, ハイ・インピーダンス。	
タイマ・アレイ・ユニット TAUS	動作停止	
リアルタイム・カウンタ (RTC)		
ウォッチドッグ・タイマ		
クロック出力 / ブザー出力		
A/Dコンバータ		
プログラマブル・ゲイン・アンプ		
コンパレータ		
シリアル・アレイ・ユニット (SAU)		
シリアル・インタフェース (IICA)		
乗算器		
DMAコントローラ		
パワーオン・クリア機能		検出動作可能
低電圧検出機能		動作停止 (ただし, LVIリセット時は動作継続)
外部割り込み		動作停止

- 備考1. f_{IH} : 高速内蔵発振クロック
 f_{IH40} : 40 MHz高速内蔵発振クロック
 f_X : X1クロック
 f_{EX} : 外部メイン・システム・クロック
 f_{XT} : XT1クロック
 f_{IL} : 低速内蔵発振クロック

2. 製品により, 搭載している機能が異なります。1.6 **ブロック図**, 1.7 **機能概要**を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (1/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
プログラム・カウンタ (PC)		リセット・ベクタ・テーブル (0000H, 0001H) の内容がセットされる。
スタック・ポインタ (SP)		不定
プログラム・ステータス・ワード (PSW)		06H
RAM	データ・メモリ	不定 ^{注2}
	汎用レジスタ	不定 ^{注2}
プロセッサ・モード・コントロール・レジスタ (PMC)		00H
ポート・レジスタ (P0-P8, P12, P14, P15) (出力ラッチ)		00H
ポート・モード・レジスタ	PM0-PM8, PM12, PM15	FFH
	PM14	FEH
ポート入力モード・レジスタ (PIM3, PIM7, PIM8)		00H
ポート出力モード・レジスタ (POM3, POM7)		00H
プルアップ抵抗オプション・レジスタ (PU0, PU1, PU3-PU5, PU7, PU12, PU14)		00H
クロック動作モード制御レジスタ (CMC)		00H
クロック動作ステータス制御レジスタ (CSC)		C0H
システム・クロック制御レジスタ (CKC)		09H
40 MHz高速内蔵発振制御レジスタ (DSCCTL)		00H
発振安定時間カウンタ状態レジスタ (OSTC)		00H
発振安定時間選択レジスタ (OSTS)		07H
ノイズ・フィルタ許可レジスタ0, 1, 2 (NFEN0, NFEN1, NFEN2)		00H
周辺イネーブル・レジスタ0, 1, 2 (PER0, PER1, PER2)		00H
動作スピード・モード制御レジスタ (OSMC)		00H
タイマ・アレイ・ユニット (TAUS)	タイマ・データ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 10, 11 (TDR00, TDR01, TDR02, TDR03, TDR04, TDR05, TDR06, TDR07, TDR08, TDR09, TDR10, TDR11)	0000H
	タイマ・モード・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 10, 11 (TMR00, TMR01, TMR02, TMR03, TMR04, TMR05, TMR06, TMR07, TMR08, TMR09, TMR10, TMR11)	0000H
	タイマ・ステータス・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 10, 11 (TSR00, TSR01, TSR02, TSR03, TSR04, TSR05, TSR06, TSR07, TSR08, TSR09, TSR10, TSR11)	0000H
	タイマ入力選択レジスタ0 (TIS0)	00H
	タイマ・カウンタ・レジスタ00, 01, 02, 03, 04, 05, 06, 07, 08, 09, 10, 11 (TCR00, TCR01, TCR02, TCR03, TCR04, TCR05, TCR06, TCR07, TCR08, TCR09, TCR10, TCR11)	FFFFH
	タイマ・チャンネル許可ステータス・レジスタ0 (TE0)	0000H
	タイマ・チャンネル開始レジスタ0 (TS0)	0000H
	タイマ・チャンネル停止レジスタ0 (TT0)	0000H
	タイマ・クロック選択レジスタ0 (TPS0)	0000H
	タイマ出力レジスタ0 (TO0)	0000H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. スタンバイ・モード時でのリセット後の状態は保持となります。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 2. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 2. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (2/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
タイマ・アレイ・ユニット (TAUS)	タイマ出力許可レジスタ0 (TOE0)	0000H
	タイマ出力レベル・レジスタ0 (TOL0)	0000H
	タイマ出力モード・レジスタ0 (TOM0)	0000H
	タイマ三角波出力モード・レジスタ0 (TOT0)	0000H
	タイマ・リアルタイム出力許可レジスタ0 (TRE0)	0000H
	タイマ・リアルタイム出力レジスタ0 (TRO0)	0000H
	タイマ・リアルタイム制御レジスタ0 (TRC0)	0000H
	タイマ・モジュレーション出力許可レジスタ0 (TME0)	0000H
	タイマ・デッド・タイム出力許可レジスタ0 (TDE0)	0000H
	TAUオプション・モード・レジスタ (OPMR)	0000H
	TAUオプション・ステータス・レジスタ (OPSR)	0000H
	TAUオプション・Hi-Zスタート・トリガ・レジスタ (OPHS)	0000H
	TAUオプション・Hi-Zストップ・トリガ・レジスタ (OPHT)	0000H
	TAUオプション・コントロール・レジスタ (OPCR)	0000H
リアルタイム・カウンタ	サブ・カウント・レジスタ (RSUBC)	0000H
	秒カウント・レジスタ (SEC)	00H
	分カウント・レジスタ (MIN)	00H
	時カウント・レジスタ (HOUR)	12H
	曜日カウント・レジスタ (WEEK)	00H
	日カウント・レジスタ (DAY)	01H
	月カウント・レジスタ (MONTH)	01H
	年カウント・レジスタ (YEAR)	00H
	時計誤差補正レジスタ (SUBCUD)	00H
	アラーム分レジスタ (ALARMWM)	00H
	アラーム時レジスタ (ALARMWH)	12H
	アラーム曜日レジスタ (ALARMWW)	00H
	コントロール・レジスタ0 (RTCC0)	00H
	コントロール・レジスタ1 (RTCC1)	00H
コントロール・レジスタ2 (RTCC2)	00H	
ウォッチドッグ・タイマ	イネーブル・レジスタ (WDTE)	1AH/9AH ^{注2}
クロック出力 / ブザー出力 制御回路	クロック出力選択レジスタ0, 1 (CKS0, CKS1)	00H
A/Dコンバータ	10ビットA/D変換結果レジスタ (ADCR)	0000H
	8ビットA/D変換結果レジスタ (ADCRH)	00H
	モード・レジスタ (ADM)	00H
	モード・レジスタ1 (ADM1)	00H
	アナログ入力チャネル指定レジスタ (ADS)	00H
	A/Dポート・コンフィギュレーション・レジスタ (ADPC)	10H

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. WDTEのリセット値は、オプション・バイトの設定で決定します。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 2. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 2. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表19 - 2 各ハードウェアのリセット受け付け後の状態 (3/4)

ハードウェア		リセット受け付け後の状態 ^注
シリアル・アレイ・ユニット (SAU)	シリアル・データ・レジスタ00, 01, 02, 03 (SDR00, SDR01, SDR02, SDR03)	0000H
	シリアル・ステータス・レジスタ00, 01, 02, 03 (SSR00, SSR01, SSR02, SSR03)	0000H
	シリアル・フラグ・クリア・トリガ・レジスタ00, 01, 02, 03 (SIR00, SIR01, SIR02, SIR03)	0000H
	シリアル・モード・レジスタ00, 01, 02, 03 (SMR00, SMR01, SMR02, SMR03)	0020H
	シリアル通信動作設定レジスタ00, 01, 02, 03 (SCR00, SCR01, SCR02, SCR03)	0087H
	シリアル・チャンネル許可ステータス・レジスタ0 (SE0)	0000H
	シリアル・チャンネル開始レジスタ0 (SS0)	0000H
	シリアル・チャンネル停止レジスタ0 (ST0)	0000H
	シリアル・クロック選択レジスタ0 (SPS0)	0000H
	シリアル出力レジスタ0 (SO0)	0F0FH
	シリアル出力許可レジスタ0 (SOE0)	0000H
	シリアル出力レベル・レジスタ0 (SOL0)	0000H
	入力切り替え制御レジスタ (ISC)	00H
シリアル・インタフェース IICA	IICAシフト・レジスタ (IICA)	00H
	IICAステータス・レジスタ (IICS)	00H
	IICAフラグ・レジスタ (IICF)	00H
	IICAコントロール・レジスタ0 (IICCTL0)	00H
	IICAコントロール・レジスタ1 (IICCTL1)	00H
	IICAロウ・レベル幅設定レジスタ (IICWL)	FFH
	IICAハイ・レベル幅設定レジスタ (IICWH)	FFH
	スレーブ・アドレス・レジスタ (SVA)	00H
乗除算器	乗除算データ・レジスタA (L) (MDAL)	0000H
	乗除算データ・レジスタA (H) (MDAH)	0000H
	乗除算データ・レジスタB (L) (MDBL)	0000H
	乗除算データ・レジスタB (H) (MDBH)	0000H
	乗除算データ・レジスタC (L) (MDCL)	0000H
	乗除算データ・レジスタC (H) (MDCH)	0000H
	乗除算コントロール・レジスタ (MDUC)	00H

注 リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3. 2. 4 特殊機能レジスタ (SFR : Special Function Register) , 3. 2. 5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

表19-2 各ハードウェアのリセット受け付け後の状態 (4/4)

ハードウェア		リセット受け付け後の状態 ^{注1}
リセット機能	リセット・コントロール・フラグ・レジスタ (RESF)	00H ^{注2}
低電圧検出回路	低電圧検出レジスタ (LVIM)	00H ^{注3}
	低電圧検出レベル選択レジスタ (LVIS)	0EH ^{注2}
レギュレータ	レギュレータ・モード制御レジスタ (RMC)	00H
DMAコントローラ	SFRアドレス・レジスタ0, 1 (DSA0, DSA1)	00H
	RAMアドレス・レジスタ0L, 0H, 1L, 1H (DRA0L, DRA0H, DRA1L, DRA1H)	00H
	バイト・カウンタ・レジスタ0L, 0H, 1L, 1H (DBC0L, DBC0H, DBC1L, DBC1H)	00H
	モード・コントロール・レジスタ0, 1 (DMC0, DMC1)	00H
	動作コントロール・レジスタ0, 1 (DRC0, DRC1)	00H
割り込み	要求フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (IF0L, IF0H, IF1L, IF1H, IF2L, IF2H)	00H
	マスク・フラグ・レジスタ0L, 0H, 1L, 1H, 2L, 2H (MK0L, MK0H, MK1L, MK1H, MK2L, MK2H)	FFH
	優先順位指定フラグ・レジスタ00L, 00H, 01L, 01H, 02L, 02H, 10L, 10H, 11L, 11H, 12L, 12H (PR00L, PR00H, PR01L, PR01H, PR10L, PR10H, PR11L, PR11H, PR02L, PR02H, PR12L, PR12H)	FFH
	外部割り込み立ち上がりエッジ許可レジスタ0 (EGP0)	00H
	外部割り込み立ち下がりエッジ許可レジスタ0 (EGN0)	00H
プログラマブル・ゲイン・アンプ	プログラマブル・ゲイン・アンプ制御レジスタ (OAM)	00H
コンパレータ	コンパレータ0制御レジスタ (C0CTL)	00H
	コンパレータ0内蔵基準電圧設定レジスタ (C0RVM)	00H
	コンパレータ1制御レジスタ (C1CTL)	00H
	コンパレータ1内蔵基準電圧設定レジスタ (C1RVM)	00H
10進補正 (BCD) 回路	BCD補正結果レジスタ (BCDADJ)	不定

注1. リセット信号発生中および発振安定時間ウエイト中の各ハードウェアの状態は、PCの内容のみ不定となります。その他は、リセット後の状態と変わりありません。

2. リセット要因により、次のように異なります。

リセット要因 レジスタ		RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
RESF	TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
	WDRFビット			保持	セット (1)	保持	保持
	INIRFビット			保持	保持	セット (1)	保持
	LVIRFビット			保持	保持	保持	セット (1)
LVIS		クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	クリア (0EH)	保持

3. リセット要因およびオプション・バイトの設定により異なります。

備考 製品により、搭載している特殊機能レジスタ (SFR : Special Function Register) が異なります。3.2.4 特殊機能レジスタ (SFR : Special Function Register) , 3.2.5 拡張特殊機能レジスタ (2nd SFR : 2nd Special Function Register) を参照してください。

19.1 リセット要因を確認するレジスタ

78K0R/Ix3は内部リセット発生要因が多数存在します。リセット・コントロール・フラグ・レジスタ (RESF) は、どの要因から発生したリセット要求かを格納するレジスタです。

RESFは、8ビット・メモリ操作命令で、読み出すことができます。

$\overline{\text{RESET}}$ 入力、パワーオン・クリア (POC) 回路によるリセットおよびRESFのデータを読み出すことにより、TRAP, WDRF, INIRF, LVIRFはクリアされます。

図19-5 リセット・コントロール・フラグ・レジスタ (RESF) のフォーマット

アドレス : FFFA8H リセット時 : 00H^{注1} R

略号	7	6	5	4	3	2	1	0
RESF	TRAP	0	0	WDRF	0	0	INIRF	LVIRF

TRAP	不正命令の実行による内部リセット要求 ^{注2}
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

WDRF	ウォッチドッグ・タイマ (WDT) による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

INIRF	リセット処理のチェック・エラーによる内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

LVIRF	低電圧検出 (LVI) 回路による内部リセット要求
0	内部リセット要求は発生していない、またはRESFをクリアした
1	内部リセット要求は発生した

注1. リセット要因により異なります。

2. FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

注意 1ビット・メモリ操作命令でデータを読み出さないでください。

リセット要求時のRESFの状態を表19-3に示します。

表19-3 リセット要求時のRESFの状態

リセット要因 フラグ	RESET入力	POCによる リセット	不正命令の実行 によるリセット	WDTによる リセット	INIRFによる リセット	LVIによる リセット
TRAPビット	クリア (0)	クリア (0)	セット (1)	保持	保持	保持
WDRFビット			保持	セット (1)	保持	保持
INIRFビット			保持	保持	セット (1)	保持
LVIRFビット			保持	保持	保持	セット (1)

第20章 パワーオン・クリア回路

20.1 パワーオン・クリア回路の機能

パワーオン・クリア (POC) 回路は次のような機能を持ちます。

- ・電源投入時に内部リセット信号を発生します。
電源電圧 (V_{DD}) が $1.61\text{ V} \pm 0.09\text{ V}$ を越えた場合に、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

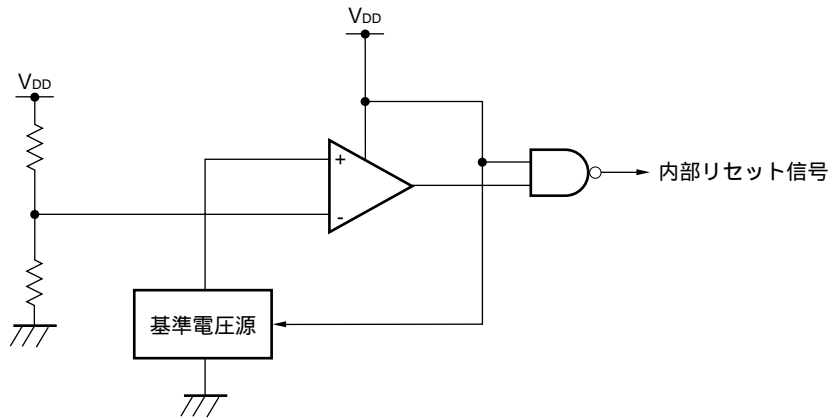
注意 POC回路で内部リセット信号が発生した場合、リセット・コントロール・フラグ・レジスタ (RESF) のTRAP, WDRF, INIRF, LVIRFがクリアされます。

備考 本製品には内部リセット信号を発生するハードウェアが複数内蔵されています。ウォッチドッグ・タイマ (WDT) / 低電圧検出 (LVI) 回路 / 不正命令の実行による内部リセット信号が発生した場合、そのリセット要因を示すためのフラグがリセット・コントロール・フラグ・レジスタ (RESF) に配置されています。RESFはWDT / LVIのいずれかによる内部リセット信号が発生した場合は、クリア (00H) されずフラグがセット (1) されます。RESFの詳細については、**第19章 リセット機能**を参照してください。

20.2 パワーオン・クリア回路の構成

パワーオン・クリア回路のブロック図を図20 - 1に示します。

図20 - 1 パワーオン・クリア回路のブロック図

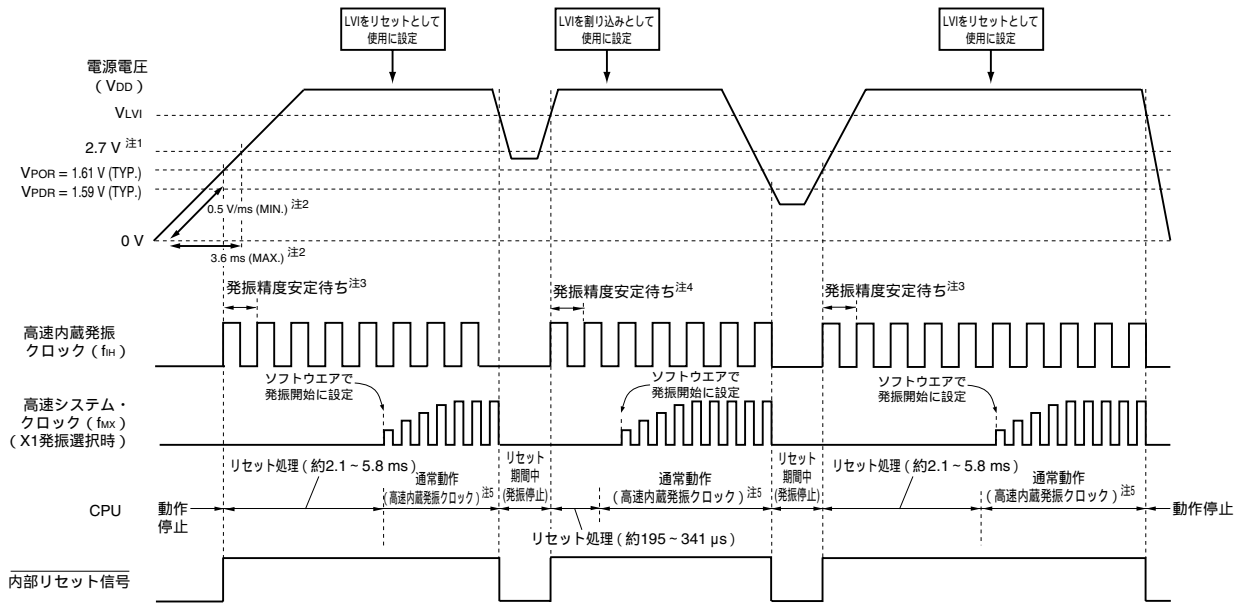


20.3 パワーオン・クリア回路の動作

- ・電源投入時に内部リセット信号を発生し、電源電圧 (V_{DD}) が検出電圧 ($V_{POR} = 1.61\text{ V} \pm 0.09\text{ V}$) を越えたら、リセットを解除します。
- ・電源電圧 (V_{DD}) と検出電圧 ($V_{PDR} = 1.59\text{ V} \pm 0.09\text{ V}$) を比較し、 $V_{DD} < V_{PDR}$ になったとき内部リセット信号を発生します。

パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミングを次に示します。

図20 - 2 パワーオン・クリア回路と低電圧検出回路の内部リセット信号発生タイミング



- 注1. 動作保証範囲は、2.7 V V_{DD} 5.5 Vです。必ず2.7 V以上になってから、通常動作を行ってください。電源立ち上がり時に2.7 V未満をリセット状態にしたい場合は、低電圧検出回路のリセット機能を使用、またはRESET端子にロウ・レベルを入力してください。
2. 電源投入から電圧が2.7 Vに達する時間は、3.6 ms以内にしてください。それよりも時間がかかる場合(0.5 V/ms (MIN.) よりも緩やかな場合は、電源投入時から2.7 Vに達するまで、RESET端子にロウ・レベルを入力してください(電源電圧立ち上げ時間と電源電圧立ち上がり傾きについては、第28章 電気的特性を参照してください。)
3. 高速内蔵発振クロックの発振精度安定待ち時間は、内部の電圧安定待ちなどのリセット処理時間に含まれます。
4. 高速内蔵発振クロックの発振精度安定待ち時間は、内部のリセット処理時間に含まれます。
5. CPUクロックを高速内蔵発振クロックから高速システム・クロックまたはサブシステム・クロック^{注6}に切り替え可能です。X1クロックを使用する場合はOSTCレジスタで、XT1クロック^{注6}を使用する場合はタイマ機能などを用いて、発振安定時間を確認してから、切り替えてください。
6. 78K0R/IB3には、サブシステム・クロック(XT1クロック)はありません。

注意 低電圧検出回路の設定は、リセット解除後にソフトウェアで設定してください(第21章 低電圧検出回路を参照)。

備考 V_{LVI} : LVI検出電圧
 V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

20.4 パワーオン・クリア回路の注意事項

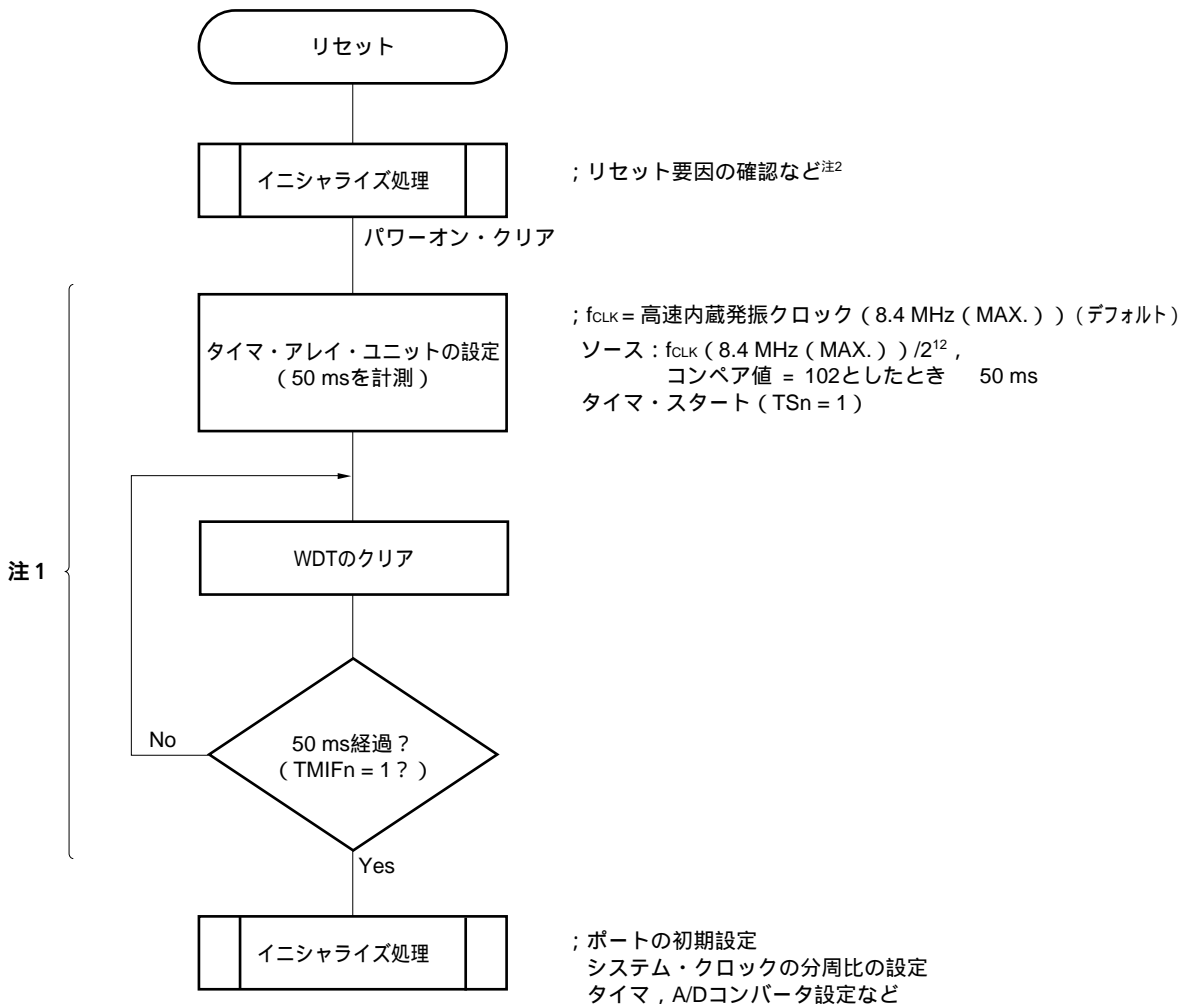
電源電圧 (V_{DD}) がPOC検出電圧 (V_{POR} , V_{PDR}) 付近で、ある期間ふらつくような構成のシステムでは、リセット状態 / リセット解除状態を繰り返すことがあります。次のように処置をすることによって、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください。

図20-3 リセット解除後のソフト処理例 (1/2)

・ POC検出電圧付近での電源電圧変動が50 ms以下の場合



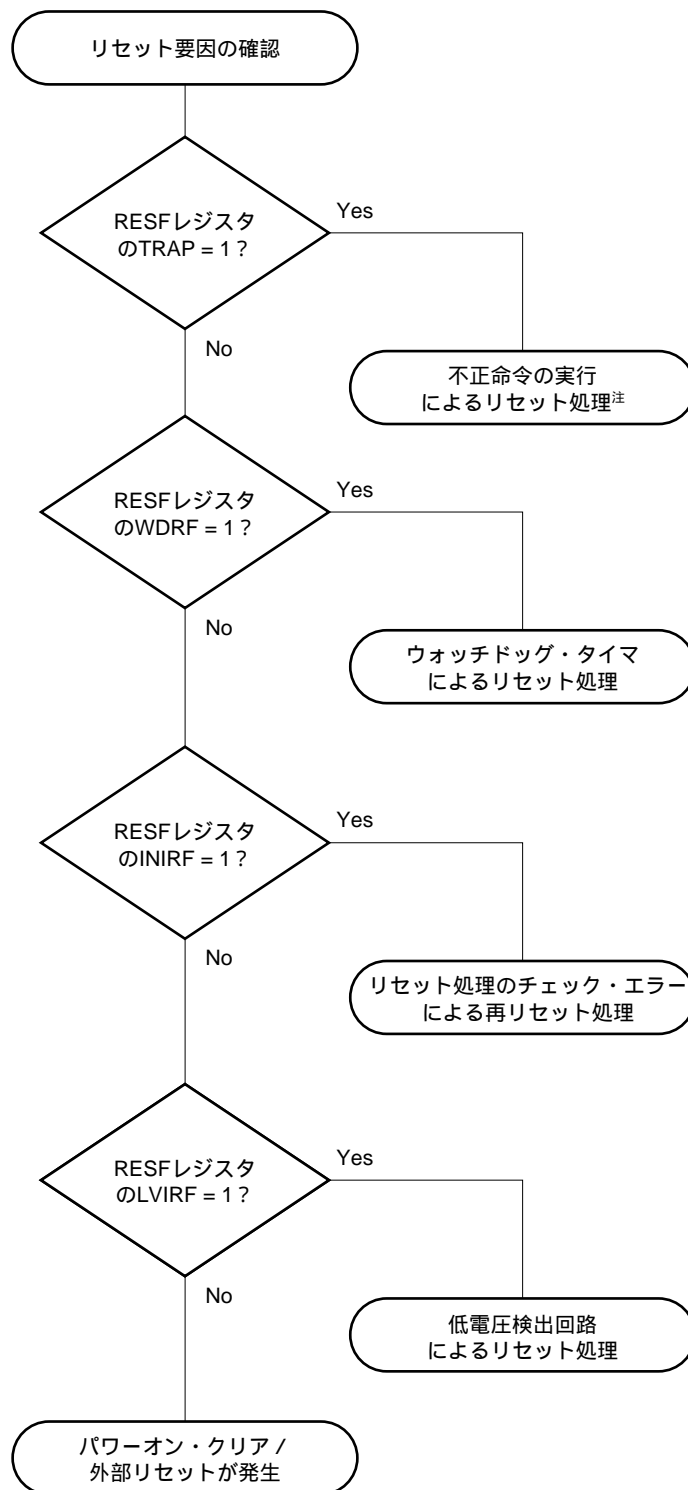
注1. この間に再度リセットが発生した場合、イニシャライズ処理 には移行しません。

2. 次ページにフロー・チャートを示します。

備考 n = 00-11

図20 - 3 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

第21章 低電圧検出回路

21.1 低電圧検出回路の機能

低電圧検出 (LVI) 回路は、次のような機能を持ちます。

- ・電源電圧 (V_{DD}) と検出電圧 (V_{LVI})、または外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、内部リセットまたは内部割り込み信号を発生します。
- ・検出対象を電源電圧 (V_{DD}) にするか、外部入力端子からの入力電圧 ($EXLVI$) にするかを、ソフトウェアにて選択できます。
- ・検出後にリセットを発生するか、割り込みを発生するかを、ソフトウェアにて選択できます。
- ・電源電圧の検出電圧 (V_{LVI}) は、ソフトウェアにて検出レベルを10段階より選択できます。
- ・STOPモード時においても動作可能です。

リセットと割り込み信号は、ソフトウェアの選択により、次のように発生します。

電源電圧 (V_{DD}) のレベル検出を選択 ($LVISEL = 0$)		外部入力端子からの入力電圧 ($EXLVI$) のレベル検出を選択 ($LVISEL = 1$)	
リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)	リセット選択 ($LVIMD = 1$)	割り込み選択 ($LVIMD = 0$)
$V_{DD} < V_{LVI}$ になったときに内部リセットを発生し、 $V_{DD} > V_{LVI}$ になったときに内部リセットを解除	電源電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電源電圧上昇時に $V_{DD} > V_{LVI}$ になったときに内部割り込み信号を発生	$EXLVI < V_{EXLVI}$ になったときに内部リセットを発生し、 $EXLVI > V_{EXLVI}$ になったときに内部リセットを解除	入力電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または入力電圧上昇時に $EXLVI > V_{EXLVI}$ になったときに内部割り込み信号を発生

備考 $LVISEL$: 低電圧検出レジスタ ($LVIM$) のビット2

$LVIMD$: $LVIM$ のビット1

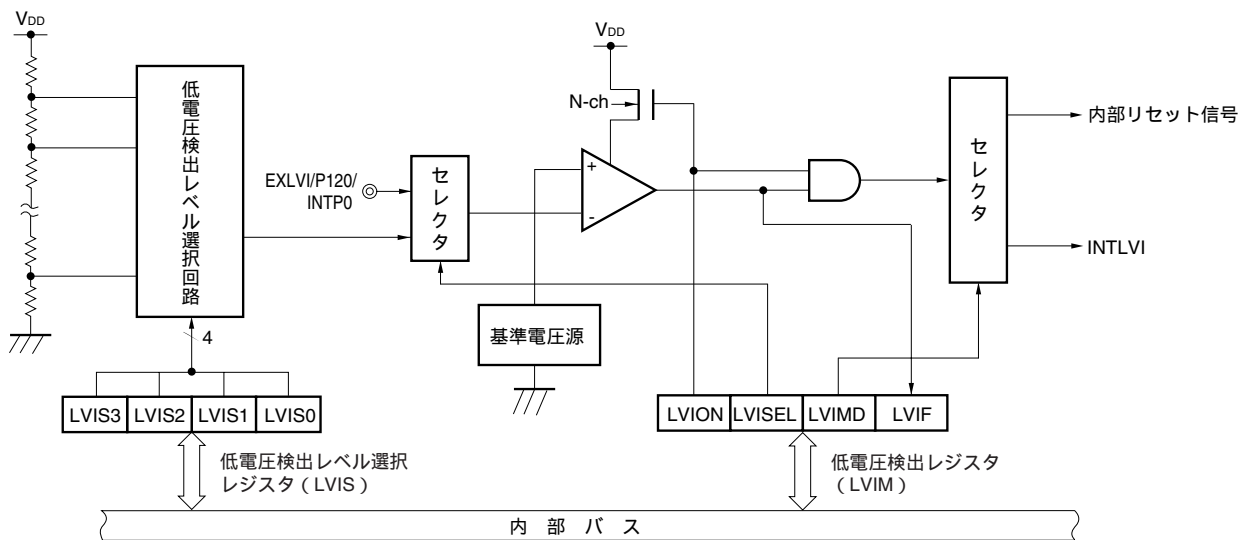
低電圧検出回路動作時では、低電圧検出フラグ ($LVIF$: $LVIM$ のビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

低電圧検出回路をリセットとして使用した場合、リセットが発生するとリセット・コントロール・フラグ・レジスタ ($RESF$) のビット0 ($LVIRF$) がセット (1) されます。 $RESF$ についての詳細は、**第19章 リセット機能** を参照してください。

21.2 低電圧検出回路の構成

低電圧検出回路のブロック図を図21 - 1に示します。

図21 - 1 低電圧検出回路のブロック図



21.3 低電圧検出回路を制御するレジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)
- ・ポート・モード・レジスタ12 (PM12)

(1) 低電圧検出レジスタ (LVIM)

低電圧検出，動作モードを設定するレジスタです。

LVIMは，1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により，00Hになります。

図21 - 2 低電圧検出レジスタ (LVIM) のフォーマット

アドレス : FFFA9H リセット時 : 00H^{注1} R/W^{注2}

略号	[7]	6	5	4	3	[2]	[1]	[0]
LVIM	LVION	0	0	0	0	LVISEL	LVIMD	LVIF

LVION ^{注3, 4}	低電圧検出動作許可
0	動作禁止
1	動作許可

LVISEL ^{注3}	電圧検出の選択
0	電源電圧 (V _{DD}) のレベルを検出
1	外部入力端子からの入力電圧 (EXLVI) のレベルを検出

LVIMD ^{注3}	低電圧検出の動作モード (割り込み/リセット) 選択
0	<ul style="list-style-type: none"> LVISEL = 0の場合, 電圧降下時に電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) になったとき, または, 電圧上昇時にV_{DD} = V_{LVI}になったとき内部割り込み信号を発生 LVISEL = 1の場合, 電圧降下時に外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) になったとき, または電圧上昇時にEXLVI = V_{EXLVI}になったときに割り込み信号発生
1	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) 時に内部リセット発生, V_{DD} = V_{LVI}時に内部リセット解除 LVISEL = 1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI}) 時に内部リセット発生, EXLVI = V_{EXLVI}時に内部リセット解除

LVIF	低電圧検出フラグ
0	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) = 検出電圧 (V_{LVI}), またはLVI動作禁止時 LVISEL = 1の場合, 外部入力端子からの入力電圧 (EXLVI) = 検出電圧 (V_{EXLVI}), またはLVI動作禁止時
1	<ul style="list-style-type: none"> LVISEL = 0の場合, 電源電圧 (V_{DD}) < 検出電圧 (V_{LVI}) LVISEL = 1の場合, 外部入力端子からの入力電圧 (EXLVI) < 検出電圧 (V_{EXLVI})

注1. リセット値は, リセット要因およびオプション・バイトの設定により変化します。

LVIRリセット時は, クリア (00H) されません。

2. ビット0はRead Onlyです。

3. LVION, LVIMD, LVISELはLVIリセット以外のリセット時にクリア (0) されます。LVIリセットではクリア (0) されません。

4. LVIONをセット (1) すると, LVI回路内のコンパレータの動作を開始します。LVIONをセット (1)してからLVIFで電圧を確認するまでに, 次の時間をソフトウェアでウェイトしてください。

・動作安定時間 (10 μs (MAX.))

・最小パルス幅 (200 μs (MIN.))

この期間のLVIFの値は電圧レベルによらず, セット/クリアされる可能性があり使用できません。

また, この期間は割り込み要求フラグのLVIIFフラグがセット (1) される可能性もあります。

(注意は, 次ページにあります)

- 注意1. LVIを停止する場合は、必ず1ビット・メモリ操作命令でLVIONをクリア(0)してください。
2. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。
3. LVIを割り込みモード (LVIMD = 0) で使用し、LVISEL = 0の場合は電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) 時 (LVISEL = 1の場合は外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI})) にLVI動作禁止 (LVIONをクリア) とすると割り込み要求信号 (INTLVI) が発生しLVIF = 1 となることがあります。
4. LVIMレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

低電圧検出レベルを選択するレジスタです。

LVISは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、0EHになります。

図21 - 3 低電圧検出レベル選択レジスタ (LVIS) のフォーマット

アドレス : FFFAAH リセット時 : 0EH^注 R/W

略号	7	6	5	4	3	2	1	0
LVIS	0	0	0	0	LVIS3	LVIS2	LVIS1	LVIS0

LVIS3	LVIS2	LVIS1	LVIS0	検出レベル
0	0	0	0	$V_{LV10} (4.22 \pm 0.1 V)$
0	0	0	1	$V_{LV11} (4.07 \pm 0.1 V)$
0	0	1	0	$V_{LV12} (3.92 \pm 0.1 V)$
0	0	1	1	$V_{LV13} (3.76 \pm 0.1 V)$
0	1	0	0	$V_{LV14} (3.61 \pm 0.1 V)$
0	1	0	1	$V_{LV15} (3.45 \pm 0.1 V)$
0	1	1	0	$V_{LV16} (3.30 \pm 0.1 V)$
0	1	1	1	$V_{LV17} (3.15 \pm 0.1 V)$
1	0	0	0	$V_{LV18} (2.99 \pm 0.1 V)$
1	0	0	1	$V_{LV19} (2.84 \pm 0.1 V)$
上記以外				設定禁止

注 リセット値は、リセット要因により変化します。

LVIによるリセットのときには、LVISレジスタの値はリセットされず、そのままの値を保持します。その他のリセットでは、“0EH” にリセットされます。

注意1. ビット7-4には必ず“0”を設定してください。

注意2. LVISの値を変更する場合は、次のいずれかの方法で行ってください。

・LVIを停止させて変更する場合

LVIを停止する (LVION = 0)。

LVISレジスタを変更する。

割り込みとして使用 (LVIMD = 0) モードにする。

LVISの割り込みをマスクする (LVIMK = 1)。

LVIを動作許可する (LVION = 1)。

LVISの割り込みマスクを解除する (LVIMK = 0) 場合は、LVI動作許可時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

・割り込みとして使用 (LVIMD = 0) モードに設定して変更する場合

LVISの割り込みをマスクする (LVIMK = 1)。

割り込みとして使用 (LVIMD = 0) モードにする

LVISレジスタを変更する。

LVISの割り込みマスクを解除する (LVIMK = 0) 場合は、LVISレジスタ変更時にLVIIIFフラグがセットされることがあるので、ソフトウェアでクリアしてから行う。

3. 外部入力端子からの入力電圧 (EXLVI) を検出する場合、検出電圧 (V_{EXLVI}) は固定です。したがって、LVISの設定は不要です。
4. LVIMレジスタに書き込み後、読み出す際は1クロック以上の時間を確保してください。

(3) ポート・モード・レジスタ12 (PM12)

P120/EXLVI/INTP0端子を外部低電圧検出用電位入力として使用するとき、PM120に1を設定してください。このときP120の出力ラッチは、0または1のどちらでもかまいません。

PM12は、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、FFHになります。

図21-4 ポート・モード・レジスタ12 (PM12) のフォーマット

アドレス : FFF2CH リセット時 : FFH R/W

略号	7	6	5	4	3	2	1	0
PM12	1	1	1	1	1	1	1	PM120

PM120	P120端子の入出力モードの選択
0	出力モード (出力バッファ・オン)
1	入力モード (出力バッファ・オフ)

21.4 低電圧検出回路の動作

低電圧検出回路は、次の2種類の動作モードがあります。

(1) リセットとして使用 (LVIMD = 1)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、 $V_{DD} < V_{LVI}$ のとき内部リセットを発生し、 $V_{DD} > V_{LVI}$ のとき内部リセットを解除します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 (V_{EXLVI}) を比較し、 $EXLVI < V_{EXLVI}$ のとき内部リセットを発生し、 $EXLVI > V_{EXLVI}$ のとき内部リセットを解除します。

(2) 割り込みとして使用 (LVIMD = 0)

- ・ LVISEL = 0の場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電圧降下時に $V_{DD} < V_{LVI}$ になったとき、または電圧上昇時に $V_{DD} > V_{LVI}$ になったとき、割り込み信号 (INTLVI) を発生します。
- ・ LVISEL = 1の場合、外部入力端子からの入力電圧 ($EXLVI$) と検出電圧 ($V_{EXLVI} = 1.21 V \pm 0.1 V$) を比較し、電圧降下時に $EXLVI < V_{EXLVI}$ になったとき、または電圧上昇時に $EXLVI > V_{EXLVI}$ になったとき、割り込み信号 (INTLVI) を発生します。

低電圧検出回路動作時では、低電圧検出フラグ (LVIF : LVIMのビット0) を読み出すことにより、電源電圧または外部入力端子からの入力電圧が、検出レベル以上か未満かを知ることができます。

備考 LVIMD : 低電圧検出レジスタ (LVIM) のビット1
LVISEL : LVIMのビット2

21.4.1 リセットとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する
LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間（合計210 μ s）をウエイトする。

- ・動作安定時間（10 μ s（MAX.））
- ・最小パルス幅（200 μ s（MIN.））

「電源電圧（ V_{DD} ） 検出電圧（ V_{LVI} ）」であることを、LVIMのビット0（LVIF）で確認するまで待つ

LVIMのビット1（LVIMD）に“1”（レベル検出時リセット発生）を設定する

図21 - 5に、 ~ と対応した低電圧検出回路の内部リセット信号発生のタイミングを示します。

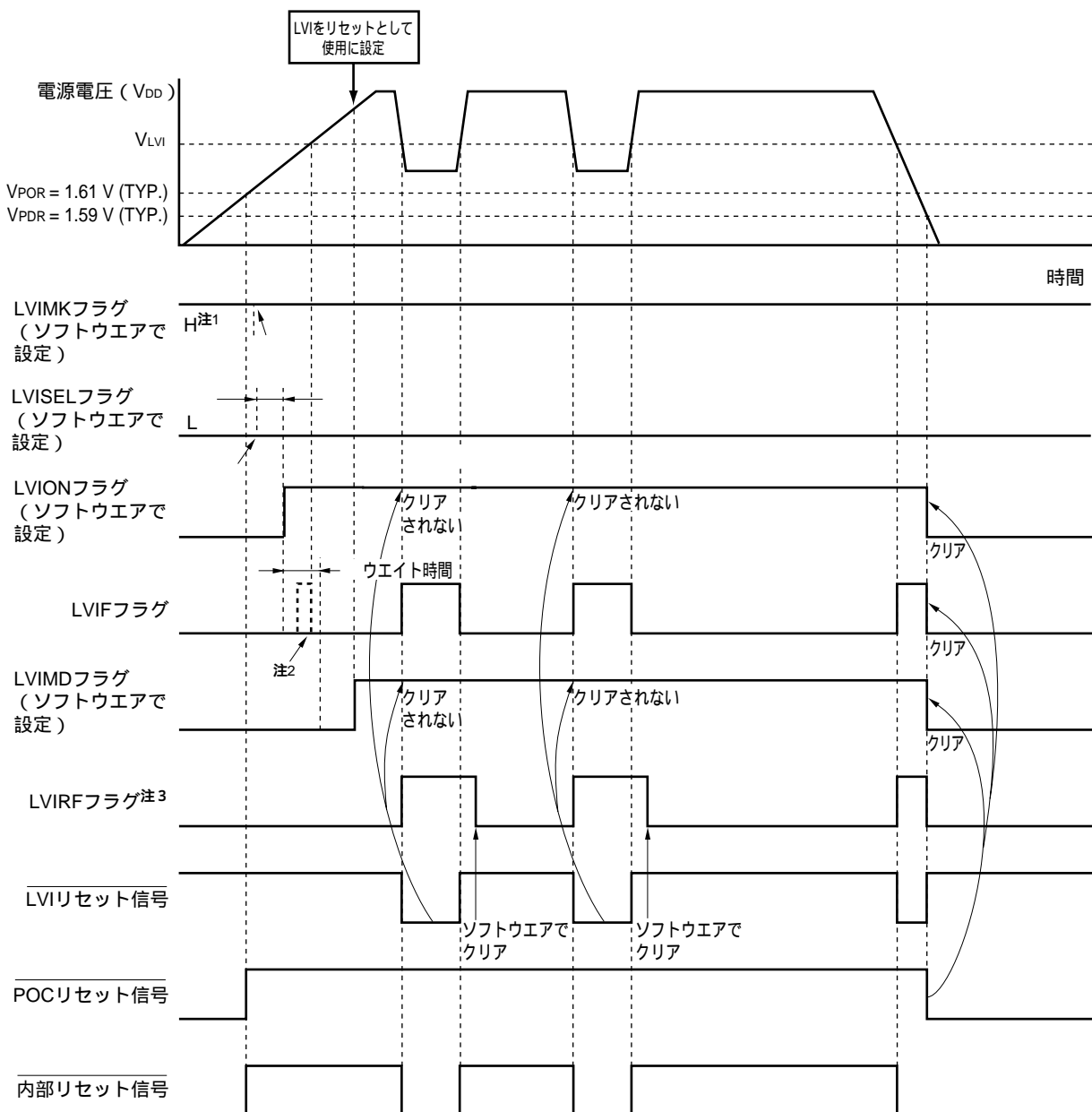
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「電源電圧（ V_{DD} ） 検出電圧（ V_{LVI} ）」であれば内部リセット信号は発生しません。

動作停止時

必ず1ビット・メモリ操作命令で、LVIMDクリア（0） LVIONクリア（0）を実行してください。

図21 - 5 内部リセット信号発生タイミング (ビット : LVISEL = 0)



注1. LVIMKフラグはリセット信号の発生により、“1”になっています。

2. LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが、セット(1)される可能性があります。

3. LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は、第19章 リセット機能を参照してください。

備考1. 図21 - 5の ~ は、21.4.1(1) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧

V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIMの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に "1" (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する

LVIMのビット7 (LVION) に "1" (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であることを、LVIMのビット0 (LVIF) で確認するまで待つ

LVIMのビット1 (LVIMD) に "1" (レベル検出時にリセット発生) を設定する

図21 - 6に、 ~ と対応した低電圧検出回路の内部リセット信号発生タイミングを示します。

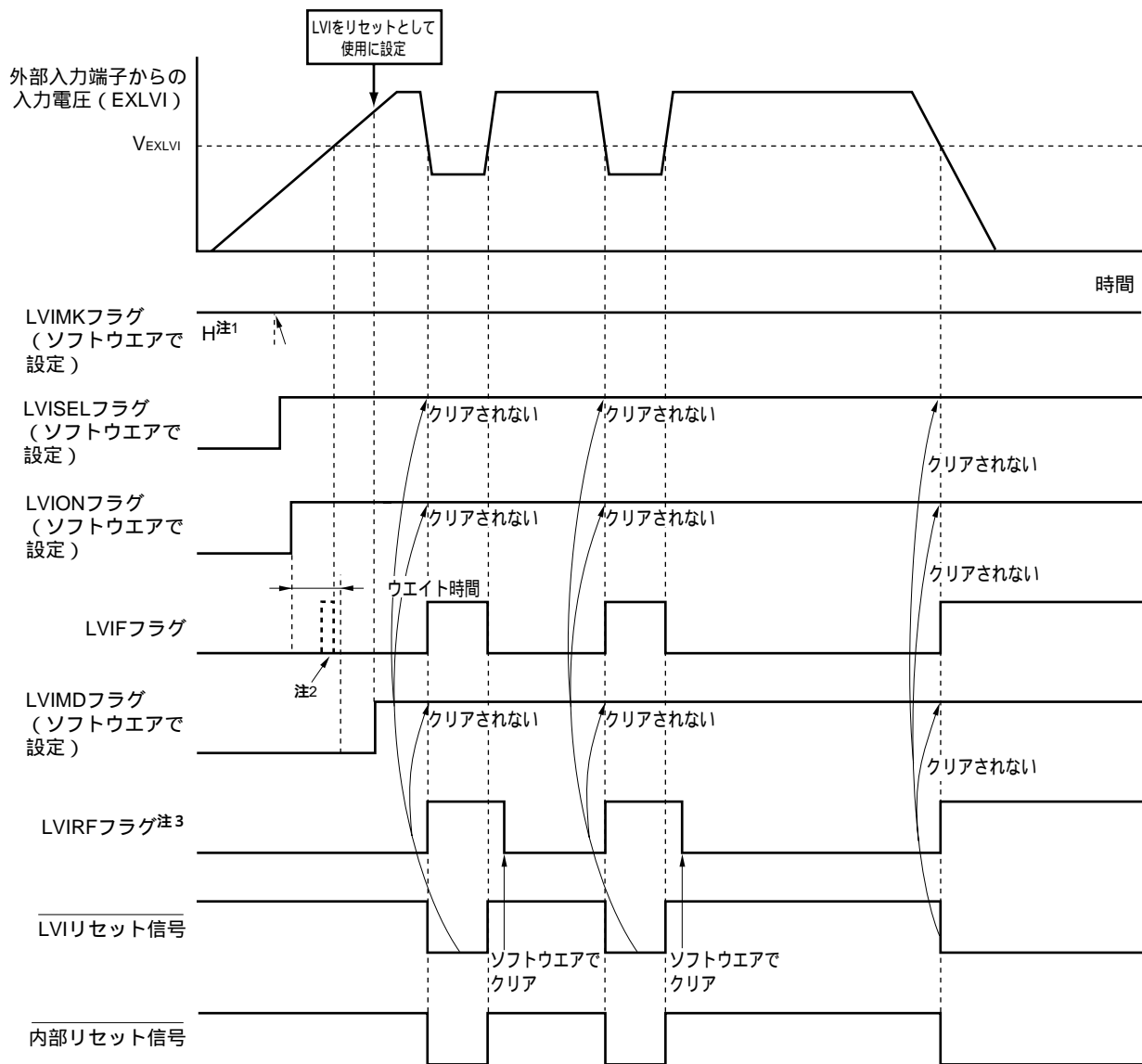
注意1. は必ず行ってください。LVIMK = 0になっている場合、 の処理を行った時点で割り込みが発生する場合があります。

2. LVIMD = 1とした時点で、「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」であれば内部リセット信号は発生しません。
3. 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令で、LVIMDクリア (0) LVIONクリア (0) を実行してください。

図21 - 6 内部リセット信号発生タイミング (ビット : LVISEL = 1)



注1 . LVIMKフラグはリセット信号の発生により, “1” になっています。

- 2 . LVIFフラグと割り込み要求フラグ・レジスタのLVIFフラグが, セット (1) される可能性があります。
- 3 . LVIRFはリセット・コントロール・フラグ・レジスタ (RESF) のビット0です。RESFについての詳細は, 第19章 リセット機能を参照してください。

備考 図21 - 6の ~ は, 21. 4. 1 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

21.4.2 割り込みとして使用時の設定

(1) 電源電圧 (V_{DD}) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする ($LVIMK = 1$)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “0” (電源電圧 (V_{DD}) のレベルを検出) を設定する (デフォルト値)

LVIMのビット1 (LVIMD) に “0” (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

低電圧検出レベル選択レジスタ (LVIS) のビット3-0 (LVIS3-LVIS0) で検出電圧を設定する

LVIMのビット7 (LVION) に “1” (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

立ち下がりを検出する場合は「電源電圧 (V_{DD}) 検出電圧 (V_{LVI})」を、立ち上がりを検出する場合は「電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})」を、LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIIIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

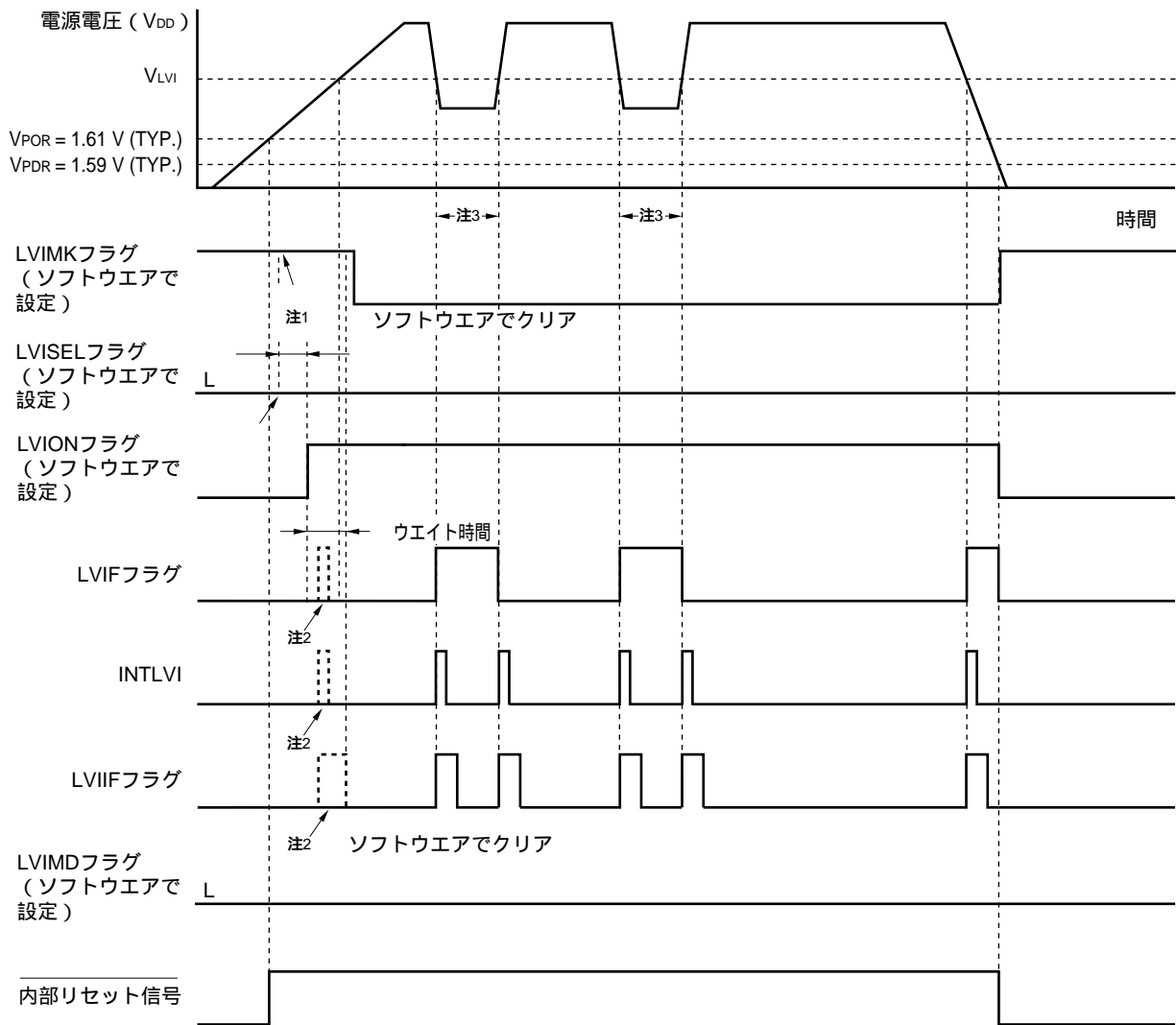
(ベクタ割り込みを使用する場合) EI命令を実行する

図21 - 7に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

図21 - 7 割り込み信号発生タイミング (ビット : LVISEL = 0)



- 注1. LVIMKフラグはリセット信号の発生により、“1”になっています。
2. 割り込み要求信号 (INTLVI) が発生し、LVIFフラグ、LVIIIFフラグがセット (1) される可能性があります。
3. 電源電圧 (V_{DD}) 検出電圧 (V_{LVI}) の時にLVI動作禁止 (LVIONをクリア) とすると、割り込み要求信号 (INTLVI) が発生しLVIIIF = 1となることがあります。

備考1. 図21 - 7の ~ は、21.4.2 (1) 動作開始時の ~ と対応しています。

2. V_{POR} : POC電源立ち上がり検出電圧
 V_{PDR} : POC電源立ち下がり検出電圧

(2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合

動作開始時

LVIの割り込みをマスクする (LVIMK = 1)

低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に "1" (外部入力端子からの入力電圧 (EXLVI) のレベルを検出) を設定する

LVIMのビット1 (LVIMD) に "0" (レベル検出時に割り込み信号発生) を設定する (デフォルト値)

LVIMのビット7 (LVION) に "1" (LVI動作許可) を設定する

ソフトウェアで次に示す時間 (合計210 μ s) をウェイトする。

- ・動作安定時間 (10 μ s (MAX.))
- ・最小パルス幅 (200 μ s (MIN.))

立ち下がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、立ち上がりを検出する場合は「外部入力端子からの入力電圧 (EXLVI) < 検出電圧 ($V_{EXLVI} = 1.21$ V (TYP.))」を、LVIMのビット0 (LVIF) で確認する

LVIの割り込み要求フラグ (LVIF) をクリア (0) する

LVIの割り込みマスク・フラグ (LVIMK) を解除する

(ベクタ割り込みを使用する場合) EI命令を実行する

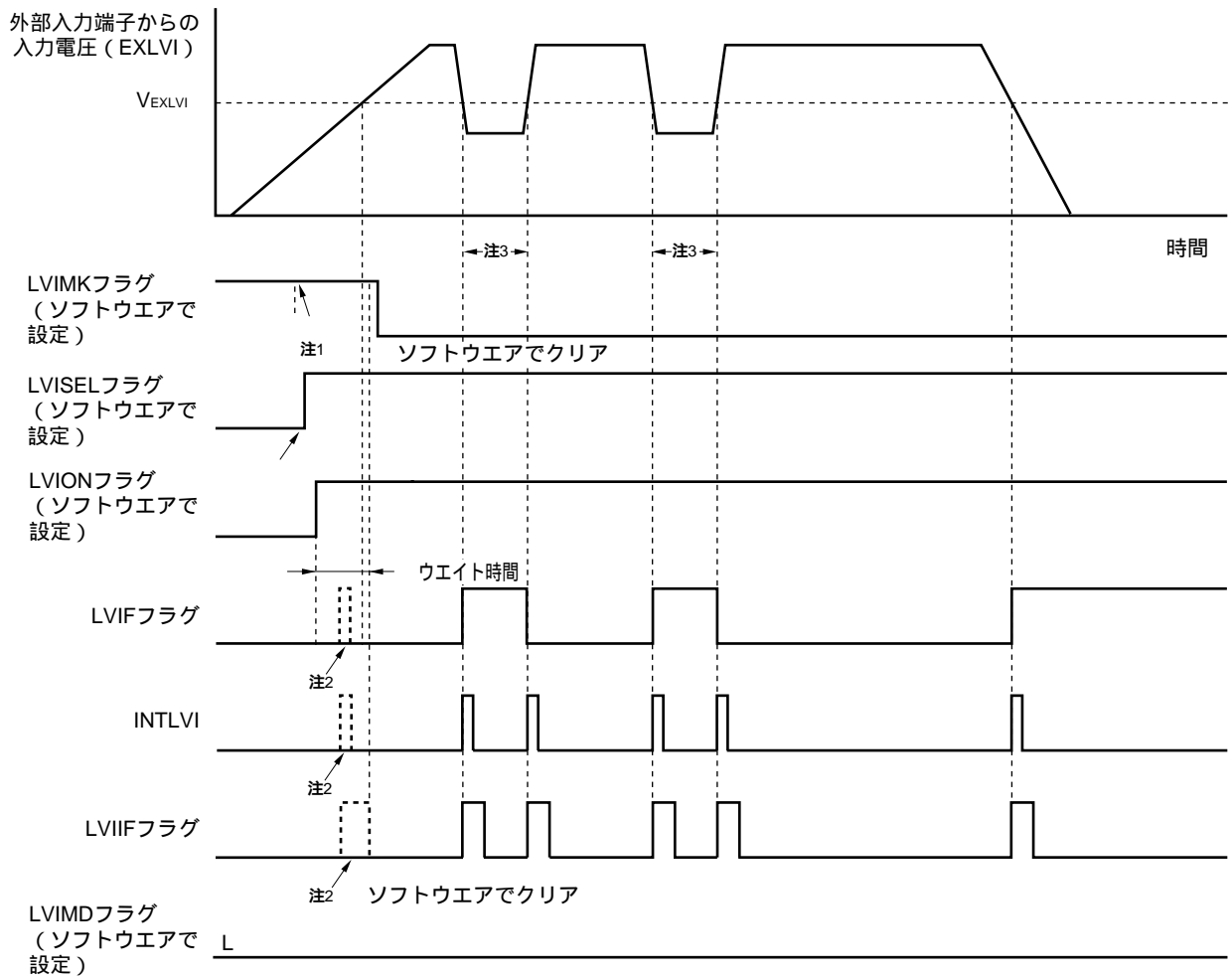
図21 - 8に、 ~ と対応した低電圧検出回路の割り込み信号発生のタイミングを示します。

注意 外部入力端子からの入力電圧 (EXLVI) は、 $EXLVI < V_{DD}$ でなければなりません。

動作停止時

必ず1ビット・メモリ操作命令でLVIONをクリア (0) してください。

図21 - 8 割り込み信号発生タイミング (ビット : LVISEL = 1)



- 注1 . LVIMKフラグはリセット信号の発生により，“1”になっています。
- 2 . 割り込み要求信号 (INTLVI) が発生し，LVIFフラグ，LVIIFフラグがセット (1) される可能性があります。
- 3 . 外部入力端子の入力電圧 (EXLVI) 検出電圧 (V_{EXLVI}) の時にLV動作禁止 (LVIONをクリア) とすると，割り込み要求信号 (INTLVI) が発生しLVIIF = 1となることがあります。

備考 図21 - 8の ~ は，21. 4. 2 (2) 外部入力端子からの入力電圧 (EXLVI) のレベルを検出する場合 動作開始時の ~ と対応しています。

21.5 低電圧検出回路の注意事項

(1) 電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で頻繁に変動をする場合の処置方法

電源電圧 (V_{DD}) がLVI検出電圧 (V_{LVI}) 付近で、ある期間ふらつくような構成のシステムでは、低電圧検出回路の使用方法により、次のような動作となります。

動作例1 : リセットとして使用する場合

リセット状態/リセット解除状態を繰り返すことがあります。

次の処置を行うことにより、リセット解除からマイコン動作開始までの時間を任意に設定できます。

< 処 置 >

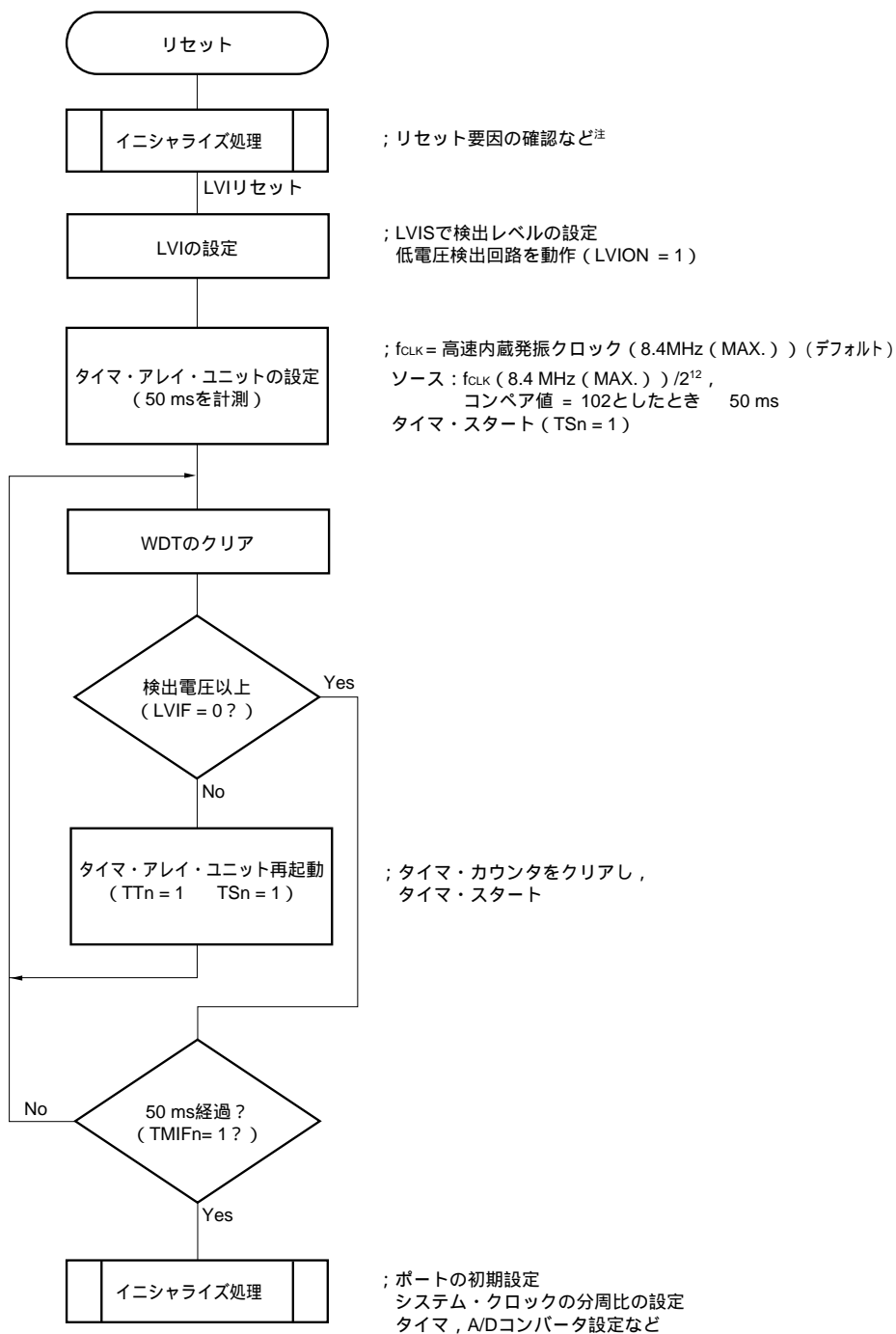
リセット解除後、タイマなどを使用するソフトウェア・カウンタにて、システムごとに異なる電源電圧変動期間をウエイトしてから、ポートなどを初期設定してください(図21-9を参照)。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21V$)

図21 - 9 リセット解除後のソフト処理例 (1/2)

・ LVI検出電圧付近での電源電圧変動が50 ms以下の場合



注 次ページにフロー・チャートを示します。

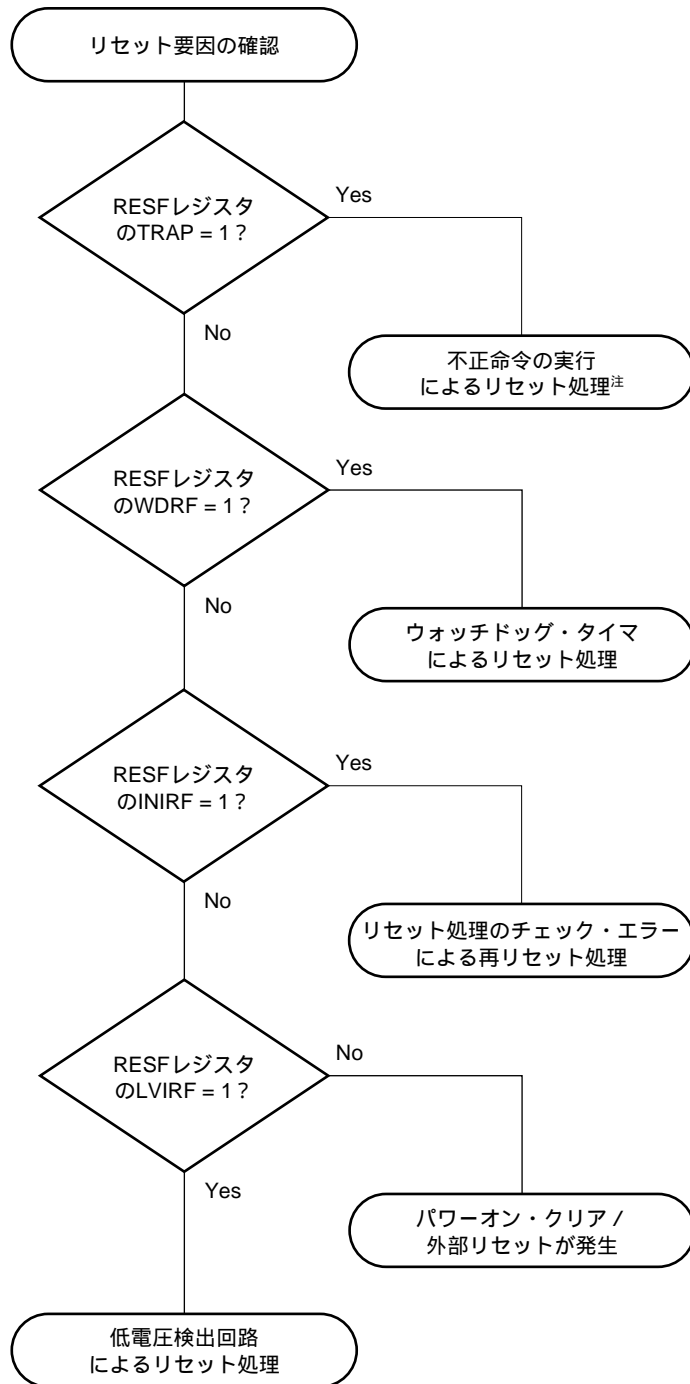
備考1. 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “ 1 ” を設定した場合は, 上記の語句を次のように読み替えてください。

- ・ 電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・ 検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

2. n = 00-11

図21 - 9 リセット解除後のソフト処理例 (2/2)

・リセット要因の確認



注 FFHの命令コードを実行したときに発生します。

不正命令の実行によるリセットは、インサーキット・エミュレータやオンチップ・デバッグ・エミュレータによるエミュレーションでは発生しません。

備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に “1” を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 (EXLVI)
- ・検出電圧 (V_{LVI}) 検出電圧 (V_{EXLVI} = 1.21 V)

動作例2 : 割り込みとして使用する場合

割り込み要求が頻繁に発生することがあります。

次の処置を行うようにしてください。

< 処 置 >

LVI割り込みの処理ルーチン内で、低電圧検出レジスタ (LVIM) のビット0 (LVIF) にて、立ち下がりを検出する場合は“電源電圧 (V_{DD}) 検出電圧 (V_{LVI})”を、立ち上がりを検出する場合は“電源電圧 (V_{DD}) < 検出電圧 (V_{LVI})”を確認し、割り込み要求フラグ・レジスタ0L (IF0L) のビット1 (LVIIF) をクリア (0) してください。

また、LVI検出電圧付近での電源電圧変動期間が長いシステムの場合は、電源電圧変動期間をウェイトしたあとにこれらの処置を行ってください。

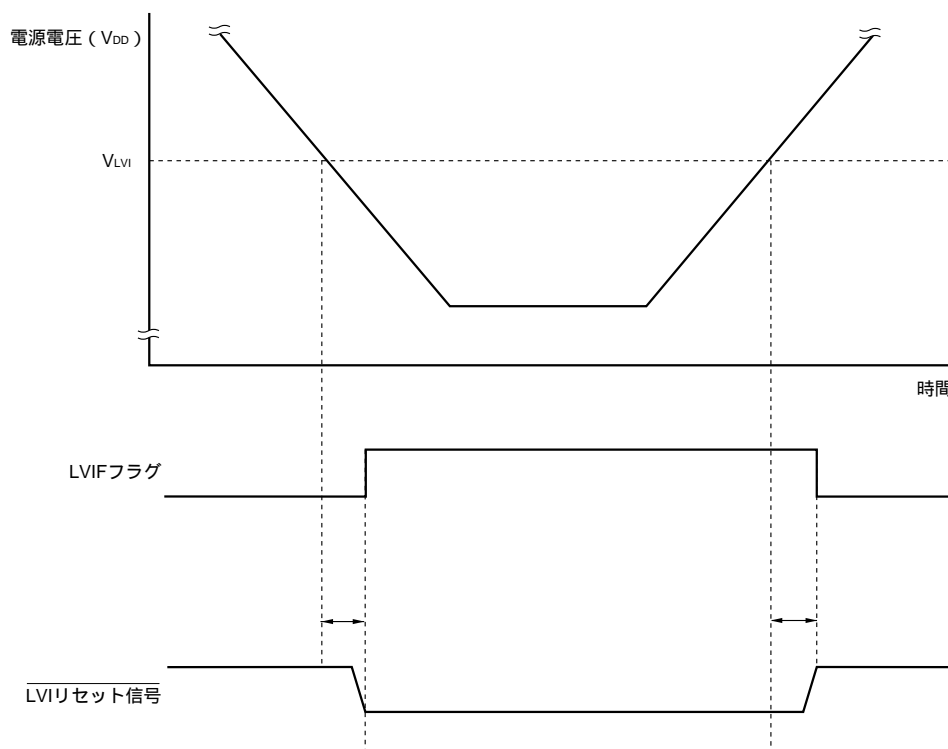
備考 低電圧検出レジスタ (LVIM) のビット2 (LVISEL) に“1”を設定した場合は、上記の語句を次のように読み替えてください。

- ・電源電圧 (V_{DD}) 外部入力端子からの入力電圧 ($EXLVI$)
- ・検出電圧 (V_{LVI}) 検出電圧 ($V_{EXLVI} = 1.21V$)

(2) LVIリセット要因発生からLVIリセットが発生または解除されるまでの遅延について

電源電圧 (V_{DD}) < LVI検出電圧 (V_{LVI}) になってから、LVIリセットが発生するまでには遅延が生じます。同じようにLVI検出電圧 (V_{LVI}) 電源電圧 (V_{DD}) になってから、LVIリセットが解除されるまでにも遅延が生じます (図21 - 10参照)。

図21 - 10 LVIリセット要因発生からLVIリセット発生または解除までの遅延



: 最小パルス幅 (200 μs (MIN.))

第22章 レギュレータ

22.1 レギュレータの概要

78K0R/lx3は、デバイス内部を定電圧動作させるための回路を内蔵しています。このときレギュレータ出力電圧を安定させるために、REGC端子にはレギュレータ安定として、コンデンサ(0.47~1 μ F)を介し、V_{SS}に接続してください。また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

レギュレータ出力電圧は、通常は2.4V(TYP.)、低消費電流モードでは1.8V(TYP.)です。

22.2 レギュレータを制御するレジスタ

(1) レギュレータ・モード制御レジスタ(RMC)

レギュレータの出力電圧を設定するレジスタです。

RMCは、8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図22-1 レギュレータ・モード制御レジスタ(RMC)のフォーマット

アドレス：F00F4H リセット時：00H R/W

略号	7	6	5	4	3	2	1	0
RMC								

RMC[7:0]	レギュレータの出力電圧の制御
5AH	低消費電流モード(1.8V)固定
00H	条件によって通常電流モード(2.4V)と低消費電流モード(1.8V)を切り替える(表22-1参照)
上記以外	設定禁止

注意1. 低消費電流モード固定の設定で使用する場合は、以下の場合にかぎり使用可能です。

<CPUクロックにX1クロック選択時>

f_x 5 MHzかつ f_{CLK} 1 MHz

<CPUクロックに高速内蔵発振クロック、外部入力クロック、サブシステム・クロック選択時>

f_{CLK} 1 MHz

2. 低消費電流モード時は、セルフ・プログラミング機能は使用できません。

表22 - 1 レギュレータ出力電圧条件

モード	出力電圧	条 件
低消費電流モード	1.8 V	RESET端子リセット期間中
		STOPモード時 (OCDモード中は除く)
		サブシステム・クロック (f_{XT}) でCPU動作中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) と40 MHz高速内蔵発振クロック (f_{IH40}) が共に停止 ^注
		サブシステム・クロック (f_{XT}) でCPU動作設定時のHALTモード中で、高速システム・クロック (f_{MX}) と高速内蔵発振クロック (f_{IH}) と40 MHz高速内蔵発振クロック (f_{IH40}) が共に停止 ^注
通常電流モード	2.4 V	上記以外

注 78K0R/IB3には、サブシステム・クロックはありません。この条件は、78K0R/IB3以外の製品に、適用されます。

第23章 オプション・バイト

23.1 オプション・バイトの機能

78K0R/ix3のフラッシュ・メモリの000C0H-000C3Hは、オプション・バイト領域です。

オプション・バイトは、ユーザ・オプション・バイト (000C0H-000C2H) とオンチップ・デバッグ・オプション・バイト (000C3H) で構成されています。

電源投入時またはリセットからの起動時に、自動的にオプション・バイトを参照して、指定された機能の設定を行います。製品使用の際には、必ずオプション・バイトにて次に示す機能の設定を行ってください。

また、セルフ・プログラミング時にブート・スワップ動作を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わるので、010C0H-010C3Hにも000C0H-000C3Hと同じ値を設定してください。

注意 000C2H (ブート・スワップ使用時は000C2H/010C2H) には、必ずFFHを設定してください。

23.1.1 ユーザ・オプション・バイト (000C0H-000C2H/010C0H-010C2H)

(1) 000C0H/010C0H

ウォッチドッグ・タイマの動作

- ・ HALT/STOPモード時の動作停止 / 可能

ウォッチドッグ・タイマのオーバフロー時間の設定

ウォッチドッグ・タイマの動作

- ・ 動作停止 / 可能

ウォッチドッグ・タイマのウインドウ・オープン期間の設定

ウォッチドッグ・タイマのインターバル割り込み

- ・ 使用する / 使用しない

注意 ブート・スワップ時は、000C0Hと010C0Hが切り替わるので、010C0Hにも000C0Hと同じ値を設定してください。

(2) 000C1H/010C1H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1HにもFFHを設定してください。

(3) 000C2H/010C2H

予約領域です。必ずFFHを設定してください。

注意 ブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

23. 1. 2 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H)

オンチップ・デバッグ動作制御

- ・オンチップ・デバッグ動作禁止 / 許可

セキュリティID認証失敗時のフラッシュ・メモリ・データの処理

- ・オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する / 消去しない

注意 ブート・スワップ時は、000C3Hと010C3Hが切り替わるので、010C3Hにも000C3Hと同じ値を設定してください。

23.2 ユーザ・オプション・バイトのフォーマット

図23 - 1 ユーザ・オプション・バイト (000C0H/010C0H) のフォーマット

アドレス : 000C0H/010C0H^{注1}

7	6	5	4	3	2	1	0
WDTINT	WINDOW1	WINDOW0	WDTON	WDCS2	WDCS1	WDCS0	WDSTBYON
WDTINT	ウォッチドッグ・タイマのインターバル割り込みの使用 / 不使用						
0	インターバル割り込みを使用しない						
1	オーバフロー時間の75%到達時にインターバル割り込みを発生する						
WINDOW1	WINDOW0	ウォッチドッグ・タイマのウインドウ・オープン期間 ^{注2}					
0	0	25 %					
0	1	50 %					
1	0	75 %					
1	1	100 %					
WDTON	ウォッチドッグ・タイマのカウンタの動作制御						
0	カウンタ動作禁止 (リセット解除後, カウント停止)						
1	カウンタ動作許可 (リセット解除後, カウント開始)						
WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマのオーバフロー時間 ($f_{IL} = 33 \text{ kHz (MAX.)}$ の場合)				
0	0	0	$2^7/f_{IL}$ (3.88 ms)				
0	0	1	$2^8/f_{IL}$ (7.76 ms)				
0	1	0	$2^9/f_{IL}$ (15.52 ms)				
0	1	1	$2^{10}/f_{IL}$ (31.03 ms)				
1	0	0	$2^{12}/f_{IL}$ (124.12 ms)				
1	0	1	$2^{14}/f_{IL}$ (496.48 ms)				
1	1	0	$2^{15}/f_{IL}$ (992.97 ms)				
1	1	1	$2^{17}/f_{IL}$ (3971.88 ms)				
WDSTBYON	ウォッチドッグ・タイマのカウンタ動作制御 (HALT/STOPモード時)						
0	HALT/STOPモード時, カウンタ動作停止 ^{注2}						
1	HALT/STOPモード時, カウンタ動作許可						

注1. ブート・スワップ時は, 000C0Hと010C0Hが切り替わるので, 010C0Hにも000C0Hと同じ値を設定してください。

2. WDSTBYON = 0のときは, WINDOW1, WINDOW0の値に関係なく, ウインドウ・オープン期間100%となります。

注意 フラッシュ・メモリのセルフ・プログラミング時およびEEPROMエミュレーション時でも, ウォッチドッグ・タイマの動作は継続します。ただし, これらの処置中には割り込みの受け付け時間が遅れるので, 遅延を考慮し, オーバフロー時間およびウインドウ・サイズを設定してください。

備考 f_{IL} : 低速内蔵発振クロック周波数

図23 - 2 ユーザ・オプション・バイト (000C1H/010C1H) のフォーマット

アドレス : 000C1H/010C1H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C1Hは予約領域なので、必ずFFHを設定してください。またブート・スワップ時は、000C1Hと010C1Hが切り替わるので、010C1HにもFFHを設定してください。

図23 - 3 ユーザ・オプション・バイト (000C2H/010C2H) のフォーマット

アドレス : 000C2H/010C2H^注

7	6	5	4	3	2	1	0
1	1	1	1	1	1	1	1

注 000C2Hは予約領域なので、必ずFFHを設定してください。またブート・スワップ時は、000C2Hと010C2Hが切り替わるので、010C2HにもFFHを設定してください。

23.3 オンチップ・デバッグ・オプション・バイトのフォーマット

オンチップ・デバッグ・オプション・バイトのフォーマットを次に示します。

図23-4 オンチップ・デバッグ・オプション・バイト (000C3H/010C3H) のフォーマット

アドレス : 000C3H/010C3H^注

	7	6	5	4	3	2	1	0
OCDENSET	0	0	0	0	0	1	0	OCDERSD

OCDENSET	OCDERSD	オンチップ・デバッグ動作制御
0	0	オンチップ・デバッグ動作禁止
0	1	設定禁止
1	0	オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去する
1	1	オンチップ・デバッグ動作許可, オンチップ・デバッグ・セキュリティID認証失敗時にフラッシュ・メモリのデータを消去しない

注 ブート・スワップ時は, 000C3Hと010C3Hが切り替わるので, 010C3Hにも000C3Hと同じ値を設定してください。

注意 ビット7, 0 (OCDENSET, OCDERSD) のみ, 値を指定できます。

ビット6-1には, 必ず000010Bを書き込んでください。

備考 ビット3-1は, オンチップ・デバッグ機能使用時に値が書き変わるので, 設定後は不定となります。

ただし, 設定時にはビット3-1にも, 必ず初期値 (0, 1, 0) を設定してください。

23.4 オプション・バイトの設定

ユーザ・オプション・バイトとオンチップ・デバッグ・オプション・バイトは、ソースへの記述による設定の他にRA78K0RまたはPM+のリンカ・オプションでも設定することができます。その場合、下記のようにソースに記述があってもリンカ・オプションでの設定内容が優先されます。

リンカ・オプションの設定方法については、RA78K0R **アセンブラ・パッケージ ユーザーズ・マニュアル**を参照してください。

オプション・バイト設定のソフトウェア記述例を次に示します。

OPT	CSEG	OPT_BYTE	
	DB	16H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間25%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB	0FFH	; 予約領域
	DB	0FFH	; 予約領域
	DB	85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

セルフ・プログラミング時にブート・スワップ機能を使用する際には、000C0H-000C3Hは010C0H-010C3Hと切り替わります。そのため010C0H-010C3Hにも000C0H-000C3Hと同じ値を、次のように記述してください。

OPT2	CSEG	AT	010C0H	
	DB		16H	; ウォッチドッグ・タイマのインターバル割り込みを使用しない, ; ウォッチドッグ・タイマ動作許可, ; ウォッチドッグ・タイマのウィンドウ・オープン期間25%, ; ウォッチドッグ・タイマのオーバフロー時間 $2^{10}/f_{IL}$, ; HALT/STOPモード時, ウォッチドッグ・タイマの動作停止
	DB		0FFH	; 予約領域
	DB		0FFH	; 予約領域
	DB		85H	; オンチップ・デバッグ動作許可, セキュリティID認証失敗時に ; フラッシュ・メモリのデータを消去しない。

注意 オプション・バイトをアセンブリ言語により指定する場合、CSEG疑似命令の再配置属性名はOPT_BYTEを使用してください。なお、ブート・スワップ機能を使用するために010C0H～010C3Hにオプション・バイトを指定する場合は、再配置属性ATを使用して絶対番地を指定してください。

第24章 フラッシュ・メモリ

78K0R/Ix3は、基板に実装した状態でプログラムの書き込み、消去、再書き込み可能なフラッシュ・メモリを内蔵しています。

24.1 フラッシュ・メモリ・プログラムによる書き込み方法

78K0R/Ix3の内蔵フラッシュ・メモリにデータを書き込むために、次の専用フラッシュ・メモリ・プログラムを使用できます。

- ・ PG-FP5, FL-PR5
- ・ QB-MINI2

(1) オンボード・プログラミング

ターゲット・システム上に78K0R/Ix3を実装後、フラッシュ・メモリの内容を書き換えます。ターゲット・システム上には、専用フラッシュ・メモリ・プログラムを接続するためのコネクタなどを実装しておいてください。

(2) オフボード・プログラミング

ターゲット・システム上に78K0R/Ix3を実装する前に専用プログラム・アダプタ (FAシリーズ) などでフラッシュ・メモリに書き込みます。

備考 FL-PR5, FAシリーズは、(株)内藤電誠町田製作所の製品です。

表24 - 1 78K0R/lx3と専用フラッシュ・メモリ・プログラムの配線表

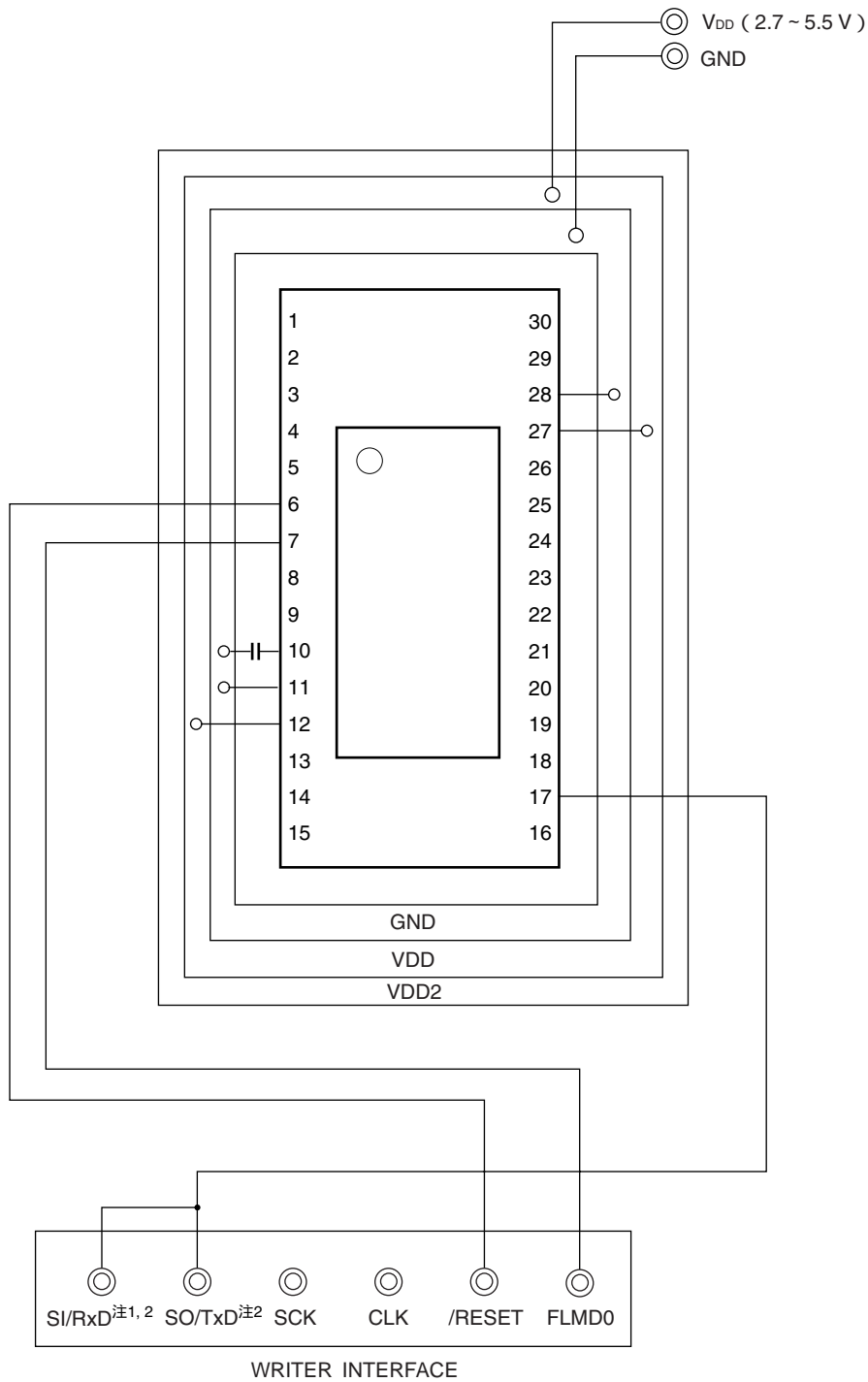
専用フラッシュ・メモリ・プログラムの接続端子			端子名	ピン番号					
信号名	入出力	端子機能		IB3 (38ピン)	IC3 (44ピン)	IC3 (48ピン)	IC3	ID3	IE3
SI/RxD ^{注1,2}	入力	受信信号	TOOL0/P40	17	21	2	39	4	5
SO/TxD ^{注2}	出力	送信信号							
SCK	出力	転送クロック	-	-	-	-	-	-	-
CLK	出力	クロック出力	-	-	-	-	-	-	-
/RESET	出力	リセット信号	RESET	6	6	3	40	5	6
FLMD0	出力	モード信号	FLMD0	7	9	6	43	8	9
V _{DD}	入出力	V _{DD} 電圧生成 / 電源監視	V _{DD}	12	14	11	48	13	15
			EV _{DD}	-	-	-	-	-	16
			AV _{REF}	27	33	32	23	38	47
GND	-	グラウンド	V _{SS}	11	13	10	47	12	13
			EV _{SS}	-	-	-	-	-	14
			AV _{SS}	28	34	33	24	39	48

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

フラッシュ書き込み用アダプタ使用時の推奨接続例を示します。

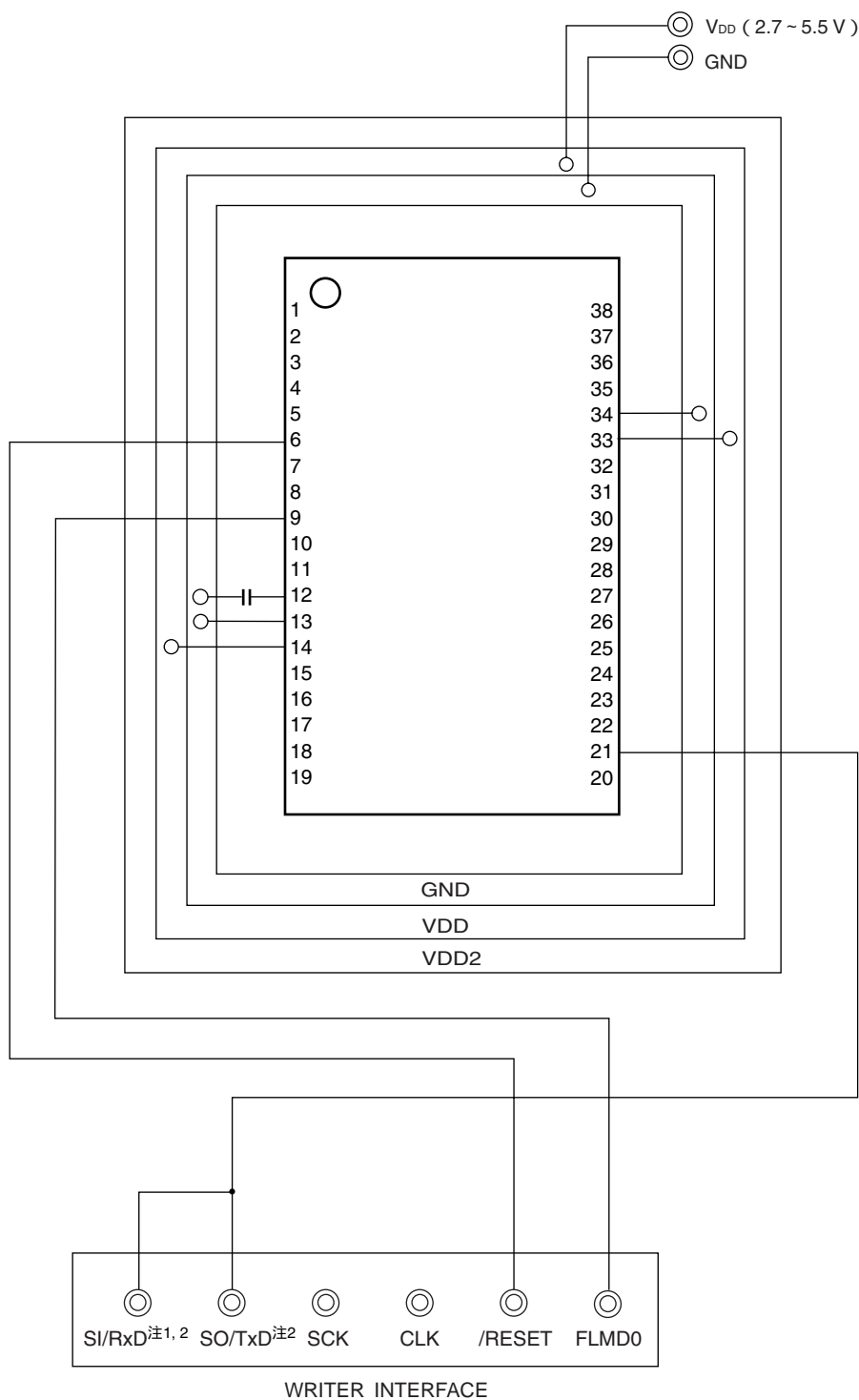
図24 - 1 フラッシュ書き込み用アダプタ配線例 (78K0R/IB3)



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

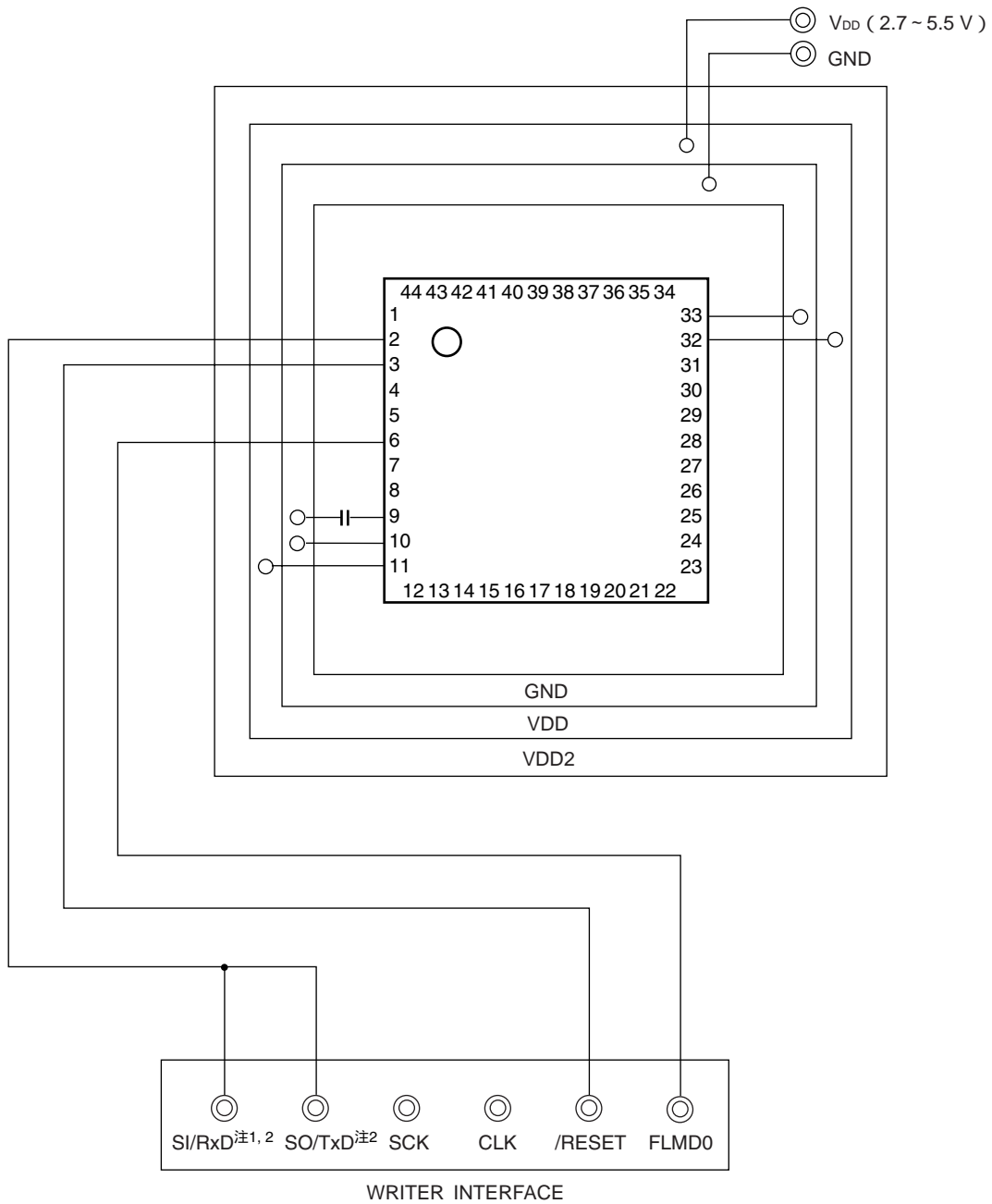
図24 - 2 フラッシュ書き込み用アダプタ配線例 (78K0R/IC3の38ピン製品)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

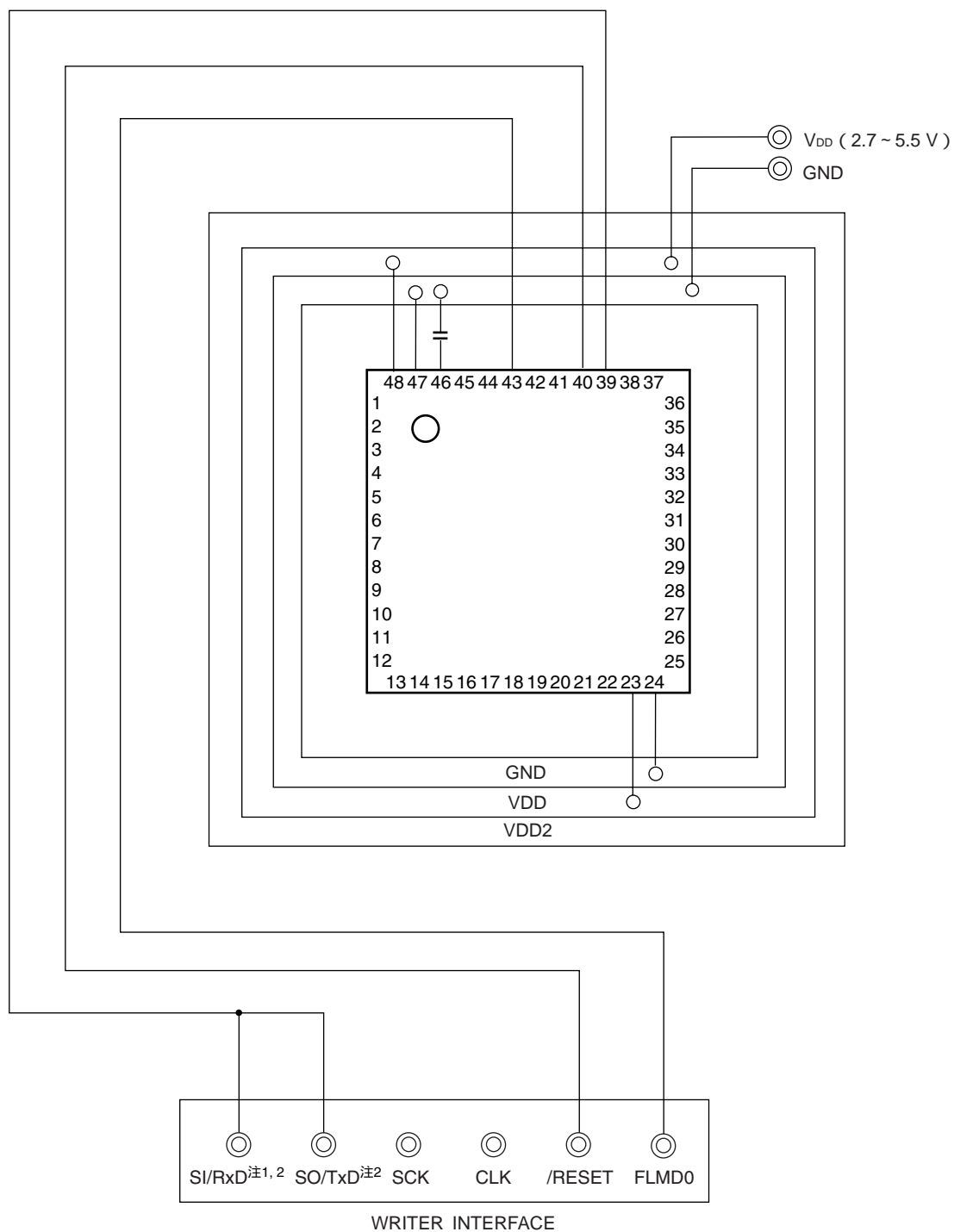
図24 - 3 フラッシュ書き込み用アダプタ配線例 (78K0R/IC3の44ピン製品)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

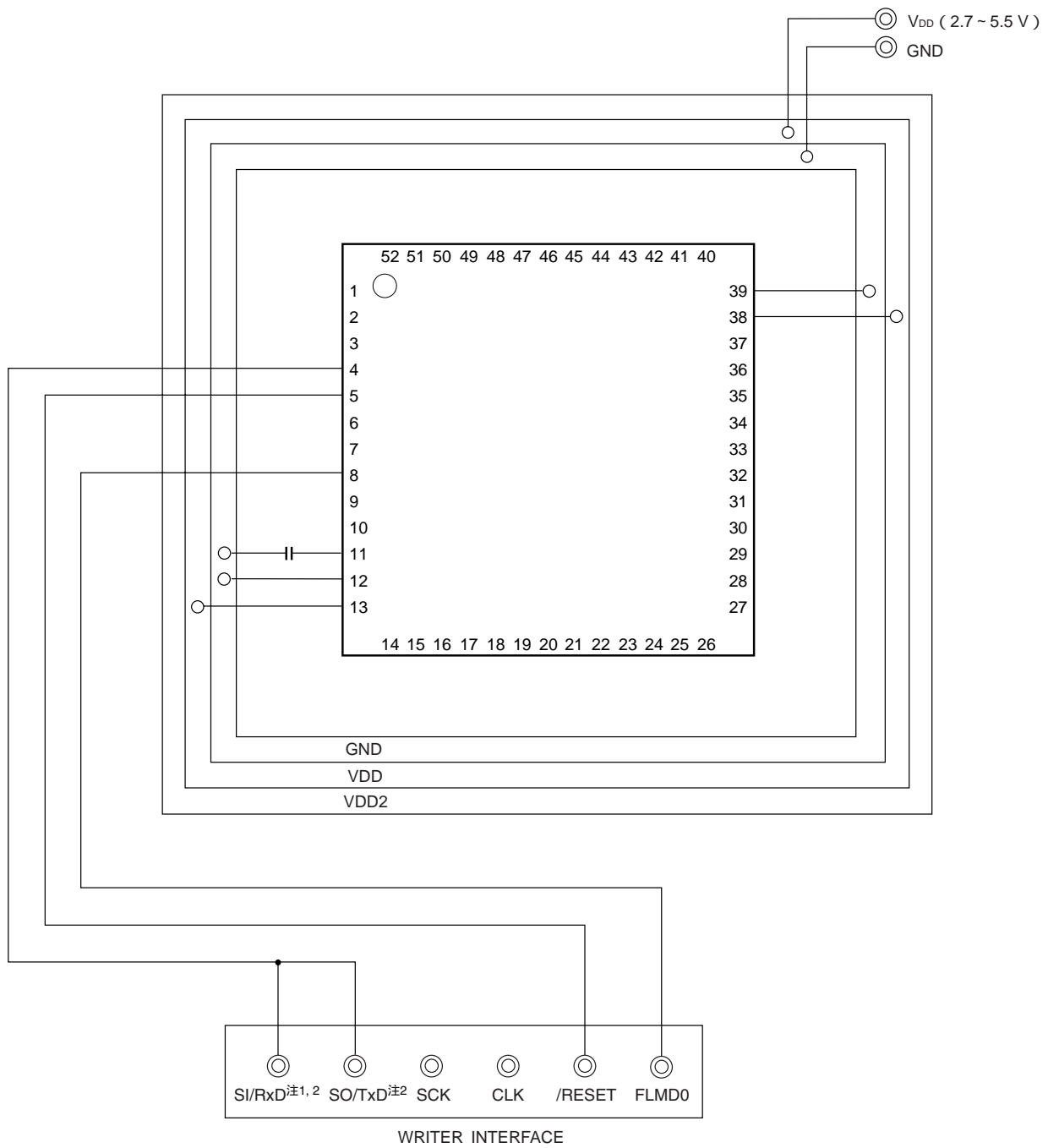
図24 - 4 フラッシュ書き込み用アダプタ配線例 (78K0R/IC3の48ピン製品)



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

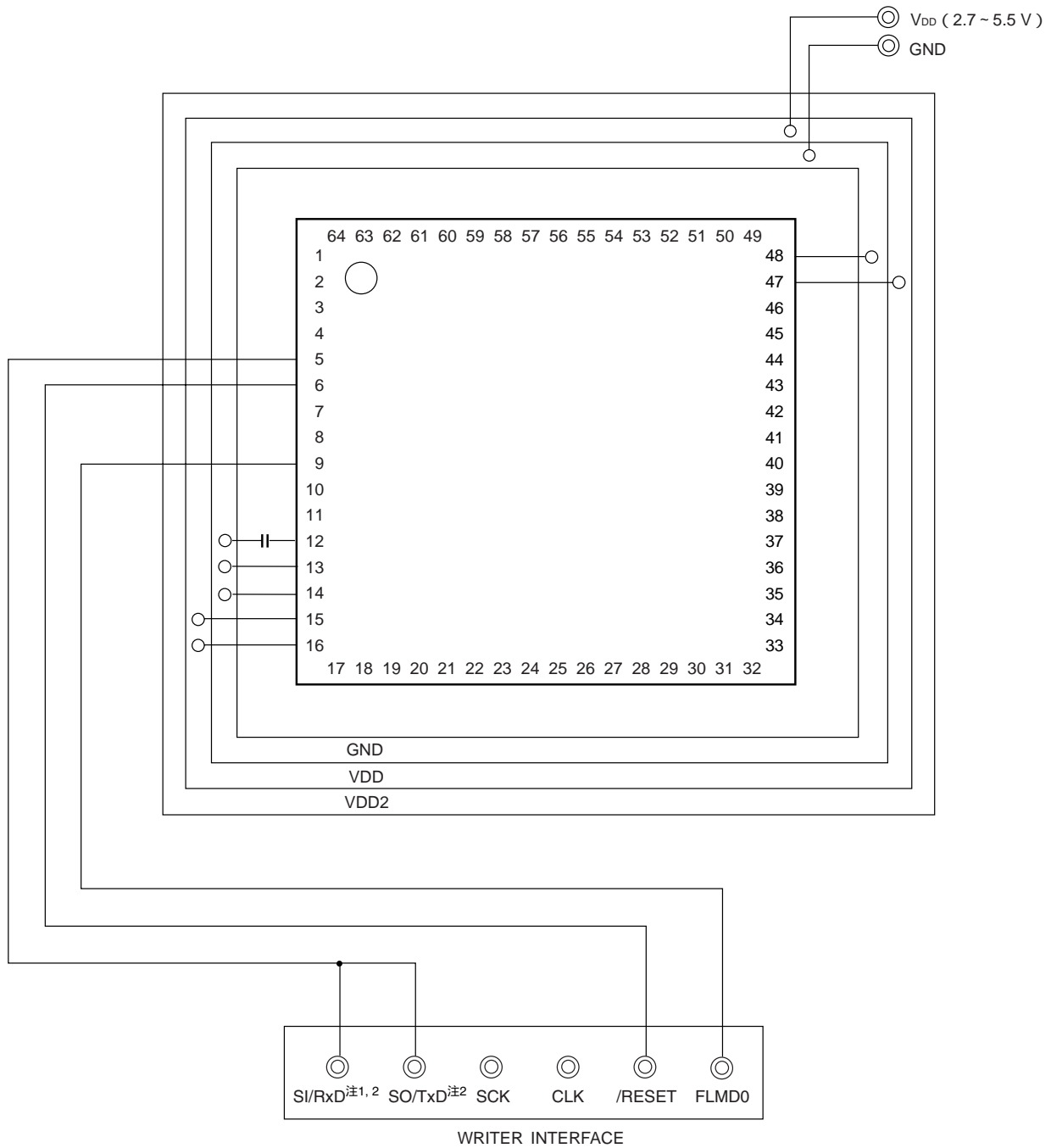
図24 - 5 フラッシュ書き込み用アダプタ配線例 (78K0R/ID3)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

図24 - 6 フラッシュ書き込み用アダプタ配線例 (78K0R/IE3)



注1. PG-FP5, FL-PR5使用時は, 接続の必要はありません。

2. QB-MINI2使用時は, SI/RxDかSO/TxDのどちらかを接続してください。

24.2 プログラミング環境

78K0R/Ix3のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図24 - 7 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。

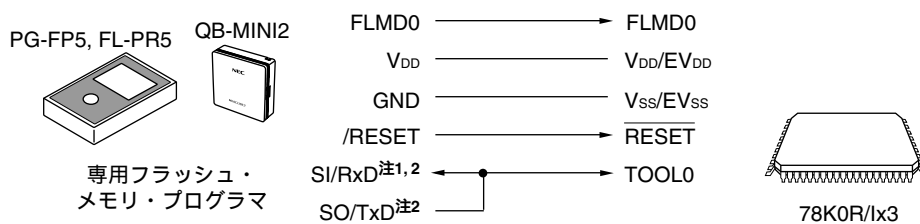
また、専用フラッシュ・メモリ・プログラマと78K0R/Ix3とのインタフェースはTOOL0端子を使用して、専用の単線UARTで書き込み/消去の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ (FAシリーズ) が必要です。

24.3 通信方式

専用フラッシュ・メモリ・プログラマと78K0R/Ix3との通信は、78K0R/Ix3のTOOL0端子を使用して、専用の単線UARTによるシリアル通信で行います。

転送レート：115200 bps ~ 1000000 bps

図24 - 8 専用フラッシュ・メモリ・プログラマとの通信



注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

専用フラッシュ・メモリ・プログラマは78K0R/Ix3に対して次の信号を生成します。詳細はPG-FP5, FL-PR5またはMINICUBE2のマニュアルを参照してください。

表24-2 端子接続一覧

専用フラッシュ・メモリ・プログラマ			78K0R/Ix3	接続時の処置
信号名	入出力	端子機能	端子名	
FLMD0	出力	モード信号	FLMD0	
V _{DD}	入出力	V _{DD} 電圧生成 / 電圧監視	V _{DD} , EV _{DD} , AV _{REF}	
GND	-	グランド	V _{SS} , EV _{SS} , AV _{SS}	
CLK	出力	クロック出力	-	x
/RESET	出力	リセット信号	$\overline{\text{RESET}}$	
SI/RxD ^{注1, 2}	入力	受信信号	TOOL0	
SO/TxD ^{注2}	出力	送信信号		
SCK	出力	転送クロック	-	x

注1. PG-FP5, FL-PR5使用時は、接続の必要はありません。

2. QB-MINI2使用時は、SI/RxDかSO/TxDのどちらかを接続してください。

備考 : 必ず接続してください。

x : 接続の必要はありません。

24.4 オンボード上の端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。また、オンボード上に通常動作モードからフラッシュ・メモリ・プログラミング・モードへの切り替え機能を設けてください。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

24.4.1 FLMD0端子

(1) フラッシュ・メモリ・プログラミング・モード時

フラッシュ・メモリ・プログラマによる書き込み時は、フラッシュ・メモリ・プログラマと直接接続してください。FLMD0端子にV_{DD}レベルの書き込み電圧を供給します。

リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。もし外部でもプルダウンするときは、1 k Ω ~ 200 k Ω の抵抗でプルダウンしてください。

(2) 通常動作モード時

通常動作時はオープンにすることを推奨します。

FLMD0端子はリセット解除前から常にV_{SS}レベルにしておく必要がありますが、リセットにより内部でプルダウンされるため、外部でプルダウンする必要はありません。ただし、バックグラウンド・イベント・コントロール・レジスタ (BECTL) のビット7 (FLMDPUP) をプルダウン選択 (初期値 "0") のままにしておく必要があります (24.5 (1) バックグラウンド・イベント・コントロール・レジスタ参照)。もし外部でもプルダウンするときは200 k Ω 以下の抵抗でプルダウンしてください。

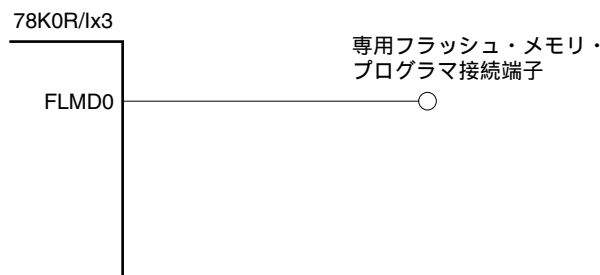
また、セルフ・プログラミングやプログラマによるフラッシュ・メモリの書き換えをハードにより禁止したい場合は、V_{SS}端子に直接接続することにより禁止することができます。

(3) セルフ・プログラミング・モード時

セルフ・プログラミング機能を使用する場合は、オープンにすることを推奨します。もし外部でもプルダウンするときは100 k ~ 200 k の抵抗でプルダウンしてください。

セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

図24 - 9 FLMD0端子の接続例



24.4.2 TOOL0端子

フラッシュ・メモリ・プログラミング・モード時は、専用フラッシュ・メモリ・プログラマに直接接続するか、外部で抵抗を介してV_{DD}に接続することでプルアップしてください。

通常動作モード時は、オンチップ・デバッグ許可の場合は外部で抵抗を介してV_{DD}に接続することでプルアップし、必ずリセット解除前から常にV_{DD}レベルを入力し続けてください（プルダウン禁止）。

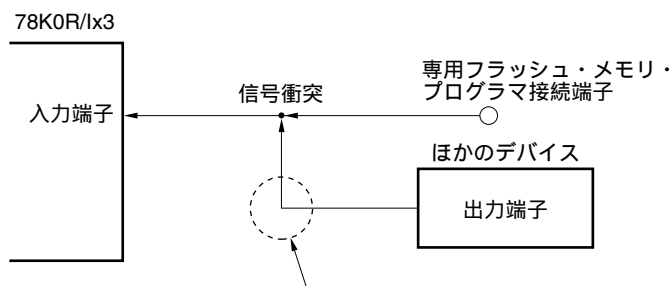
備考 78K0R/Ix3と専用フラッシュ・メモリ・プログラマとの通信には、単線UARTを使用するので、SAUやIICAの端子は使用しません。

24.4.3 RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラマのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図24 - 10 信号の衝突 (RESET端子)



フラッシュ・メモリ・プログラミング・モードでは、ほかのデバイスが出力する信号と専用フラッシュ・メモリ・プログラマから送り出される信号が衝突するため、ほかのデバイス側の信号をアイソレートしてください。

24.4.4 ポート端子

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

24.4.5 REGC端子

REGC端子は、通常動作時と同様に、コンデンサ (0.47 ~ 1 μ F) を介し、GNDに接続してください。
また、内部電圧の安定のために使用するため、特性のよいコンデンサを使用してください。

24.4.6 X1, X2端子

X1, X2は、通常動作モード時と同じ状態に接続してください。

備考 フラッシュ・メモリ・プログラミング・モード時は、高速内蔵発振クロック (f_{IH}) を使用します。

24.4.7 電 源

フラッシュ・メモリ・プログラムの電源出力を使用する場合は、V_{DD}端子はフラッシュ・メモリ・プログラムのV_{DD}に、V_{SS}端子はフラッシュ・メモリ・プログラムのGNDに、それぞれ接続してください。

オンボード上の電源を使用する場合は、通常動作モード時に準拠した接続にしてください。

ただし、オンボード上の電源を使用する場合においても、フラッシュ・メモリ・プログラムの電圧監視をするため、V_{DD}, V_{SS}端子はフラッシュ・メモリ・プログラムのV_{DD}, GNDと必ず接続してください。

その他の電源 (EV_{DD}, EV_{SS}, AV_{REF}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

24.5 フラッシュ・メモリを制御するレジスタ

(1) バックグラウンド・イベント・コントロール・レジスタ (BECTL)

BECTLレジスタにより、FLMD0端子を外部で制御しなくても、ソフトウェアで制御し、セルフ・プログラミング・モードに引き込むことができます。

ただし、FLMD0端子の端子処理によっては、ソフトウェアでセルフ・プログラミング・モードに引き込むことはできません。BECTLを使用する場合は、FLMD0端子をオープンにすることを推奨します。もし外部でプルダウンするときは100 k 以上の抵抗でプルダウンしてください。また、通常動作モード時は、プルダウン選択で使用してください。セルフ・プログラミング・モード時は、セルフ・プログラミング・ライブラリの中でプルアップ設定に切り替わります。

BECTLは、1ビット・メモリ操作命令または8ビット・メモリ操作命令で設定します。

リセット信号の発生により、00Hになります。

図24 - 11 バックグラウンド・イベント・コントロール・レジスタ (BECTL) のフォーマット

アドレス : FFFBEH リセット時 : 00H R/W

略号	7	6	5	4	3	2	1	0
BECTL	FLMDPUP	0	0	0	0	0	0	0

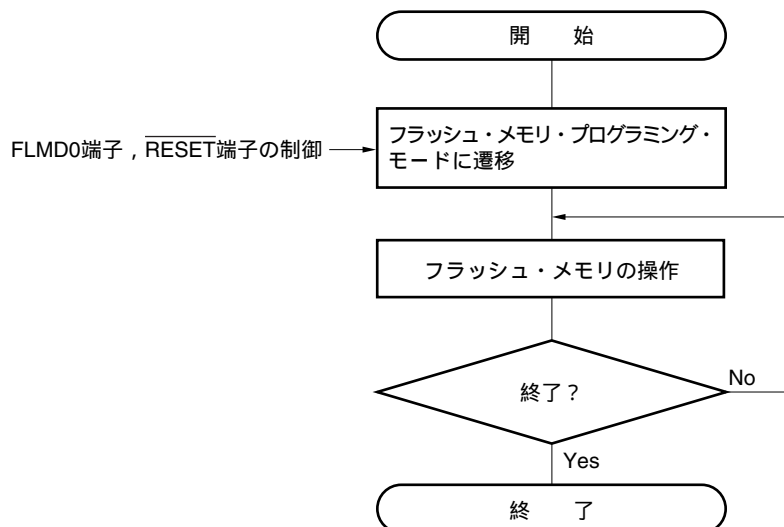
FLMDPUP	FLMD0端子のソフトウェア制御
0	プルダウン選択
1	プルアップ選択

24.6 プログラミング方法

24.6.1 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図24 - 12 フラッシュ・メモリの操作手順



24.6.2 フラッシュ・メモリ・プログラミング・モード

専用フラッシュ・メモリ・プログラマを使用してフラッシュ・メモリの内容を書き換えるときは、78K0R/Ix3をフラッシュ・メモリ・プログラミング・モードにしてください。モードへ遷移するには、FLMD0端子とTOOL0端子をV_{DD}設定後、リセットを解除します。

オンボード書き込みを行うときは、ジャンパ等でモードを切り替えてください。

図24 - 13 フラッシュ・メモリ・プログラミング・モード

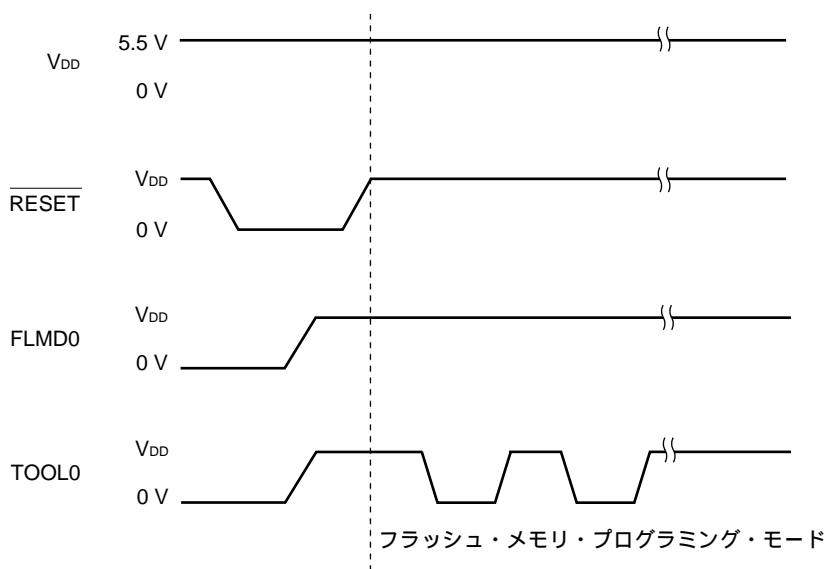


表24 - 3 リセット解除時のFLMD0端子の動作モードとの関係

FLMD0	動作モード
0 V	通常動作モード
V _{DD}	フラッシュ・メモリ・プログラミング・モード

24.6.3 通信方式

78K0R/Ix3の通信方式は、次のようになります。

表24 - 4 通信方式

通信方式	Standard設定 ^{注1}				使用端子
	Port	Speed	Frequency	Multiply Rate	
1線モード (単線UART)	UART	115200 bps, 250000 bps, 500000 bps, 1 Mbps ^{注2}	-	-	TOOL0

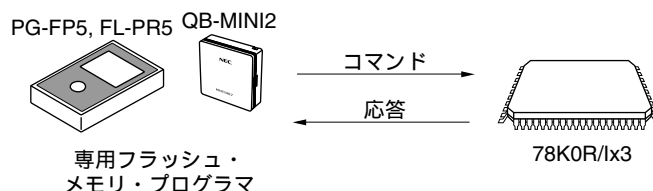
注1. フラッシュ・メモリ・プログラマのGUI上のStandard設定における設定項目です。

2. UART通信にはボー・レート誤差のほか、信号波形の鈍りなどが影響するため、評価のうえ使用してください。

24.6.4 通信コマンド

78K0R/Ix3と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマから78K0R/Ix3へ送られる信号を「コマンド」と呼び、78K0R/Ix3から専用フラッシュ・メモリ・プログラマへ送られる信号を「応答」と呼びます。

図24 - 14 通信コマンド



78K0R/Ix3のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、78K0R/Ix3がコマンドに対応した各処理を行います。

表24 - 5 フラッシュ・メモリ制御用コマンド

分類	コマンド名称	機能
ベリファイ	Verify	フラッシュ・メモリの指定された領域の内容とプログラマから送信されたデータを比較します。
消去	Chip Erase	全フラッシュ・メモリを消去します。
	Block Erase	指定された領域のフラッシュ・メモリを消去します。
ブランクチェック	Block Blank Check	指定されたブロックのフラッシュ・メモリの消去状態をチェックします。
書き込み	Programming	フラッシュ・メモリの指定された領域にデータを書き込みます。
情報取得	Silicon Signature	78K0R/Ix3情報（品名、フラッシュ・メモリ構成など）を取得します。
	Version Get	78K0R/Ix3ファームウェア・バージョンを取得します。
	Checksum	指定された領域のチェックサム・データを取得します。
セキュリティ	Security Set	セキュリティ情報を設定します。
その他	Reset	通信の同期検出に使用します。
	Baud Rate Set	UART選択時のボー・レートを設定します。

また、78K0R/Ix3は、専用フラッシュ・メモリ・プログラマから発行されたコマンドに対して、応答を返します。78K0R/Ix3が送出する応答名称を次に示します。

表24 - 6 応答名称

応答名称	機能
ACK	コマンド/データなどのアクノリッジ
NAK	不正なコマンド/データなどのアクノリッジ

24.7 セキュリティ設定

78K0R/1x3は、フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

Security Setコマンドを使用することにより、次の操作をすることができます。セキュリティの設定は、次のプログラミング・モードより有効になります。

- ・一括消去（チップ消去）禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ全ブロックに対してのブロック消去コマンド、および一括消去（チップ消去）コマンドの実行を禁止します。これを一度禁止に設定すると、一括消去（チップ消去）コマンドが実行できないため、すべての禁止設定（一括消去（チップ消去）禁止も含む）は解除できなくなります。

注意 一括消去のセキュリティの設定をした場合、以降、そのデバイスに対し消去はできなくなります。また、書き込みコマンドを実行しても、消去コマンドが無効になるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできなくなります。

- ・ブロック消去禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内のブロック消去コマンドの実行を禁止します。ただし、セルフ・プログラミング時でのブロック消去は可能です。

- ・書き込み禁止

オンボード / オフボード・プログラミング時に、フラッシュ・メモリ内の全ブロックに対しての書き込みコマンド、およびブロック消去コマンドの実行を禁止にします。ただし、セルフ・プログラミング時での書き込みは可能です。

- ・ブート・クラスタ0の書き換え禁止

フラッシュ・メモリ内のブート・クラスタ0（00000H-00FFFH）に対して、ブロック消去コマンド、書き込みコマンドの実行を禁止します。また、一括消去（チップ消去）コマンドの実行を禁止します。

出荷時の初期状態では、一括消去（チップ消去） / ブロック消去 / 書き込み / ブート・クラスタ0の書き換えはすべて許可になっています。セキュリティは、オンボード / オフボード・プログラミングおよびセルフ・プログラミングで設定できます。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

一括消去（チップ消去）コマンドの実行により、すべてのセキュリティ設定は解除されます。

78K0R/1x3のセキュリティ機能を有効にした場合の、消去、書き込みコマンドの関係を表24-7に示します。

備考 セルフ・プログラミング時の書き込み / 消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います（詳細は24.8.2を参照）。

表24 - 7 セキュリティ機能有効時とコマンドの関係

(1) オンボード/オフボード・プログラミング時

有効なセキュリティ	実行コマンド		
	一括消去 (チップ消去)	ブロック消去	書き込み
一括消去(チップ消去)禁止	一括消去できない	ブロック消去できない	書き込みできる ^注
ブロック消去禁止	一括消去できる		書き込みできる
書き込み禁止			書き込みできない
ブート・クラスタ0の書き換え禁止	一括消去できない	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

注 書き込み領域に、すでにデータが書き込まれていないことを確認してください。一括消去(チップ消去)禁止設定後は消去できないため、データが消去されていない場合は、データを書き込まないでください。

(2) セルフ・プログラミング時

有効なセキュリティ	実行コマンド	
	ブロック消去	書き込み
一括消去(チップ消去)禁止	ブロック消去できる	書き込みできる
ブロック消去禁止		
書き込み禁止		
ブート・クラスタ0の書き換え禁止	ブート・クラスタ0は消去できない	ブート・クラスタ0は書き込みできない

備考 セルフ・プログラミング時の書き込み/消去を禁止したい場合には、フラッシュ・シールド・ウィンドウ機能を使います(詳細は24.8.2を参照)。

表24 - 8 各プログラミング・モード時のセキュリティ設定方法

(1) オンボード/オフボード・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	専用フラッシュ・メモリ・プログラマのGUI上などで設定する	設定後、無効にできない
ブロック消去禁止		一括消去(チップ消去)コマンドを実行する
書き込み禁止		
ブート・クラスタ0の書き換え禁止		設定後、無効にできない

(2) セルフ・プログラミング

セキュリティ	セキュリティ設定方法	セキュリティ設定を無効にする方法
一括消去(チップ消去)禁止	セット・インフォメーション・ライブラリで設定する	設定後、無効にできない
ブロック消去禁止		オンボード/オフボード・プログラミングで、一括消去(チップ消去)コマンドを実行する(セルフ・プログラミングでは無効にできない)
書き込み禁止		
ブート・クラスタ0の書き換え禁止		

24.8 セルフ書き込みによるフラッシュ・メモリ・プログラミング

78K0R/Ix3は、ユーザ・プログラムでフラッシュ・メモリの書き換えを行うためのセルフ・プログラミング機能をサポートしています。この機能は78K0R/Ix3セルフ・プログラミング・ライブラリを利用することにより、ユーザ・アプリケーションでフラッシュ・メモリの書き換えが可能となるので、フィールドでのプログラムのアップグレードなどができるようになります。

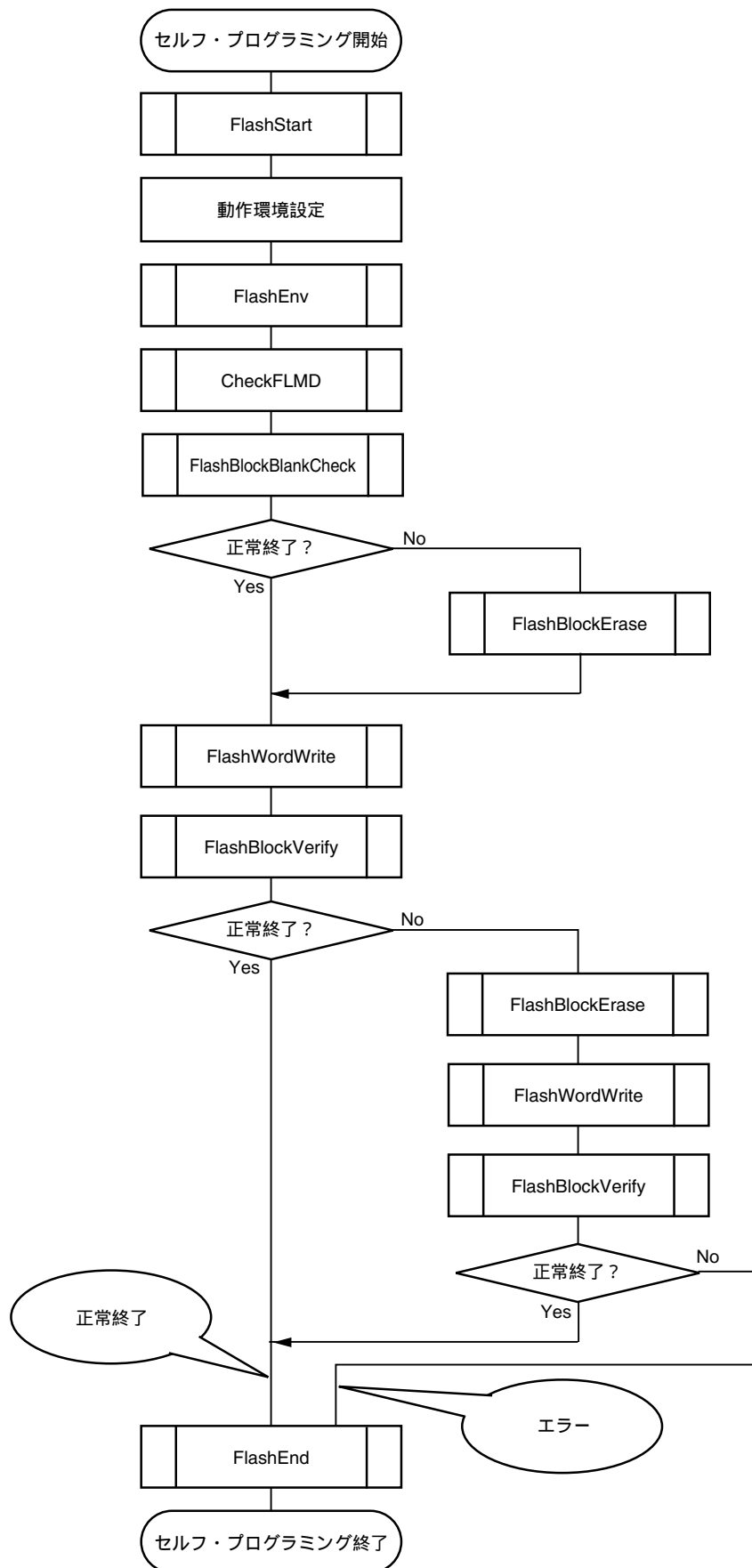
また、セルフ・プログラミング中に割り込みが発生した場合は、セルフ・プログラミングを一時中断して割り込み処理を実行することができます。EI状態でマスクされていない割り込み要求が発生すると、セルフ・プログラミング・ライブラリから、直接、割り込みルーチンに分岐します。その後、再びセルフ・プログラミング・モードに移行し、セルフ・プログラミングをレジュームすることができます。ただし、割り込み応答時間は、通常動作モード時と異なります。

注意1. CPUがサブシステム・クロック動作時(78K0R/IB3以外の製品のみ)の場合、セルフ・プログラミング機能は使用できません。

2. セルフ・プログラミング時は、セルフ・プログラミング・スタート・ライブラリ(FlashStart)を呼び出してください。
3. セルフ・プログラミング中に割り込みを禁止するためには、通常動作モード時と同様に、DI命令によりIEフラグがクリア(0)されている状態でセルフ・プログラミング・ライブラリを実行してください。
割り込みを許可する場合は、EI命令によりIEフラグがセット(1)されている状態で、受け付ける割り込みの割り込みマスク・フラグをクリア(0)して、セルフ・プログラミング・ライブラリを実行してください。
4. 低消費電流モード時は、セルフ・プログラミング機能は使用できません。低消費電流モードについては、第22章 レギュレータを参照してください。
5. セルフ・プログラミング・ライブラリ関数の実行中は、DMA動作を禁止(DENn = 0)してください。

次に、セルフ・プログラミング・ライブラリを利用してフラッシュ・メモリの書き換えを行う流れを示します。

図24 - 10 セルフ・プログラミング (フラッシュ・メモリの書き換え) の流れ



24. 8. 1 ブート・スワップ機能

セルフ・プログラミングにてブート領域の書き換え中に、電源の瞬断などにより書き換えが失敗した場合、ブート領域のデータが壊れて、リセットによるプログラムの再スタートや、再書き込みができなくなります。

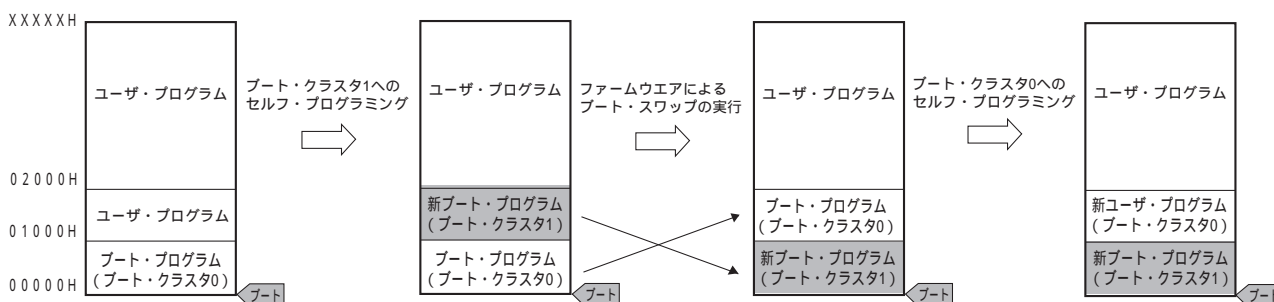
この問題を回避するために、ブート・スワップ機能があります。

セルフ・プログラミングにてブート・プログラム領域であるブート・クラスタ0^註の消去を行う前に、あらかじめ新しいブート・プログラムをブート・クラスタ1に書き込んでおきます。ブート・クラスタ1への書き込みが正常終了したら、78K0R/1x3内蔵のファームウェアのセット・インフォメーション機能で、このブート・クラスタ1とブート・クラスタ0をスワップし、ブート・クラスタ1をブート領域にします。このあと、本来のブート・プログラム領域であるブート・クラスタ0へ消去や書き込みを行います。

これによってブート・プログラミング領域の書き換え中に電源瞬断が発生しても、次のリセット・スタートは、スワップ対象のブート・クラスタ1からブートを行うため、正常にプログラムが動作します。

注 ブート・クラスタは4Kバイトの領域で、ブート・スワップによりブート・クラスタ0とブート・クラスタ1を置換します。

図24 - 11 ブート・スワップ機能

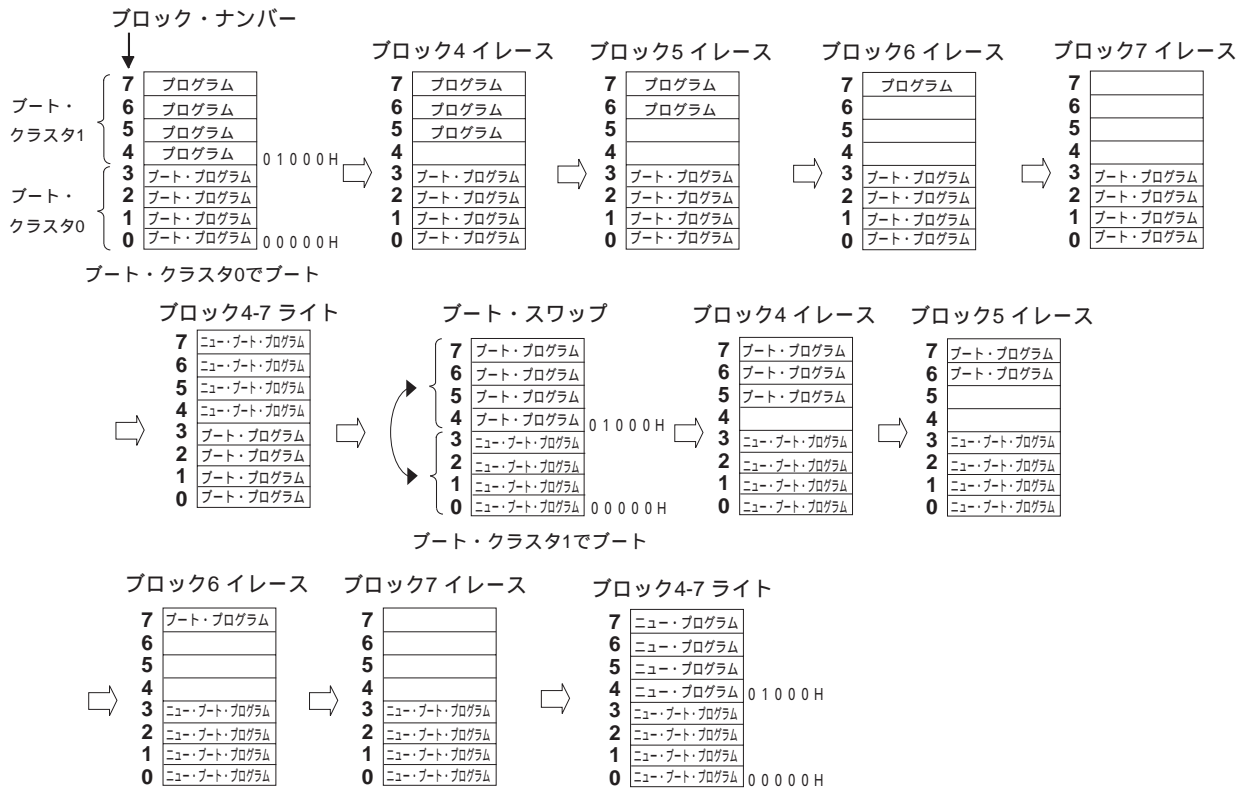


この図の例では、次のようになっています。

ブート・クラスタ0 : ブート・スワップ前のブート・プログラム領域です。

ブート・クラスタ1 : ブート・スワップ後のブート・プログラム領域です。

図24 - 12 ブート・スワップの実行例



24. 8. 2 フラッシュ・シールド・ウインドウ機能

セルフ・プログラミング時のセキュリティ機能の一つとして、フラッシュ・シールド・ウインドウ機能があります。フラッシュ・シールド・ウインドウ機能は、指定したウインドウ範囲以外の書き込みおよび消去を、セルフ・プログラミング時のみ禁止にするセキュリティ機能です。

ウインドウ範囲は、スタート・ブロックとエンド・ブロックを指定することで設定できます。ウインドウ範囲の指定は、オンボード / オフボード・プログラミングおよびセルフ・プログラミングの両方で設定 / 変更できます。

ウインドウ範囲以外の領域は、セルフ・プログラミング時には書き込み / 消去禁止となります。ただし、オンボード / オフボード・プログラミング時にはウインドウとして指定した範囲外にも書き込み / 消去可能です。

図24 - 13 フラッシュ・シールド・ウインドウの設定例

(対象デバイス：μ PD78F1215, PD78F1225, PD78F1235, スタート・ブロック：04H, エンド・ブロック：06Hの場合)



注意 フラッシュ・シールド・ウインドウのウインドウ範囲内にブート・クラスタ0の書き換え禁止領域が重なる場合は、ブート・クラスタ0の書き換え禁止が優先されます。

表24 - 9 フラッシュ・シールド・ウインドウ機能の設定 / 変更方法とコマンドの関係

プログラミング条件	ウインドウ範囲の設定 / 変更方法	実行コマンド	
		ブロック消去	書き込み
セルフ・プログラミング時	セット・インフォメーション・ライブラリで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲内のみブロック消去できる	ウインドウ範囲内のみ書き込みできる
オンボード / オフボード・プログラミング時	専用フラッシュ・メモリ・プログラマのGUIなどで、ウインドウの先頭ブロック, 最終ブロックを指定する	ウインドウ範囲外もブロック消去可能	ウインドウ範囲外も書き込み可能

備考 オンボード / オフボード・プログラミング時の書き込み / 消去を禁止したい場合には、24. 7 セキュリティ設定を参照してください。

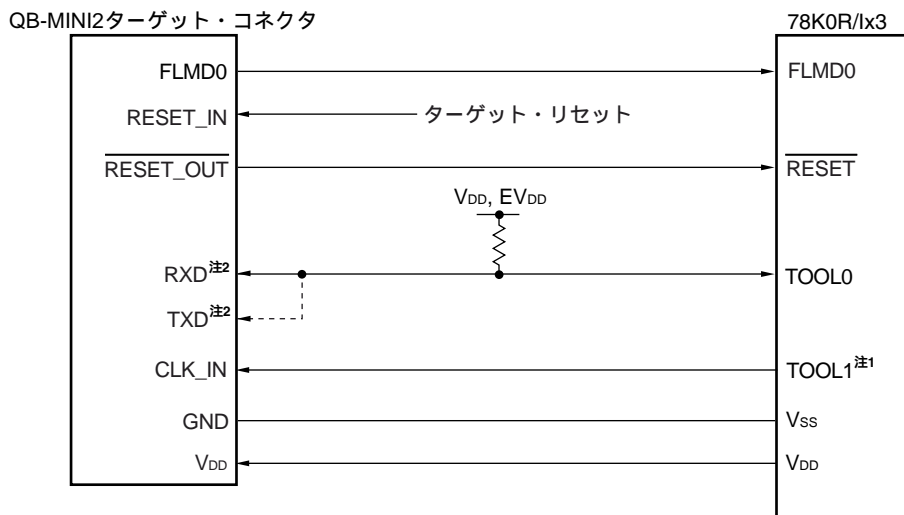
第25章 オンチップ・デバッグ機能

25.1 QB-MINI2と78K0R/Ix3の接続

78K0R/Ix3は、オンチップ・デバッグ対応のオンチップ・デバッグ・エミュレータ（QB-MINI2）を介して、ホスト・マシンとの通信を行う場合、 V_{DD} 、FLMD0、 $\overline{\text{RESET}}$ 、TOOL0、TOOL1^{注1}、 V_{SS} 端子を使用します。

注意 78K0R/Ix3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

図25 - 1 QB-MINI2と78K0R/Ix3の接続例



注1. 1線モードで通信を行う場合、接続する必要はありません。2線モードで通信を行う場合、接続してください。このとき、QB-MINI2未接続時には未使用端子となるため、表2-2 各端子の未使用端子処理に従って、端子処理をしてください。

2. QB-MINI2の場合、RXD、TXDはQB-MINI2内でショートされるため、点線部の接続は必要ありません。ただし、他のフラッシュ・プログラムを使用する場合、プログラム内部でRXDとTXDをショートできない場合があります。この場合、RXD、TXDをターゲット・システム上でショートする必要があります。

注意 2線モードで通信を行う場合、TOOL1端子からCPUクロック周波数の1/2のクロックが出力されます。そのクロックにより、電源に多少の揺れが生じた場合は、対策として抵抗やビーズ・フェライト等などの使用が有効です。

備考 オンチップ・デバッグでセルフ・プログラミングを行う場合、FLMD0端子はオープンにすることを推奨します。もし外部でプルダウンするときは100 kΩ以上の抵抗でプルダウンしてください。

シリアル通信としては、TOOL0端子を使用した1線モード（単線UART）またはTOOL0，TOOL1端子を使用した2線モードを使用します。フラッシュ・メモリ・プログラミングを行う場合、1線モードを使用します。オンチップ・デバッグを行う場合、1線モードまたは2線モードを使用します。1線モードと2線モードの違いを、表25-1に示します。

表25-1 1線モードと2線モードの違い

通信方式	フラッシュ・プログラミング機能	デバッグ機能
1線モード	使用可能	・疑似リアルタイムRAMモニタ（RRM）機能は未サポート
2線モード	なし	・疑似リアルタイムRAMモニタ（RRM）機能はサポート

備考 フラッシュ・プログラミング時に2線モードは使用しませんが、TOOL1端子をQB-MINI2のCLK_INに接続していたとしても問題なく正常に書き込みができます。

25.2 オンチップ・デバッグ・セキュリティID

78K0R/Ix3では、第三者からメモリの内容を読み取られないようにするために、フラッシュ・メモリの000C3Hにオンチップ・デバッグ動作制御ビット（第23章 オプション・バイトを参照）を、000C4H-000CDHにオンチップ・デバッグ・セキュリティID設定領域を用意しています。

セルフ・プログラミング時にブート・スワップ動作を使用する場合は、000C3H，000C4H-000CDHと010C3H，010C4H-010CDHが切り替わるので、あらかじめ010C3H，010C4H-010CDHにも同じ値を設定してください。

オンチップ・デバッグ・セキュリティIDの詳細につきましては、QB-MINI2 **プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル**（U18371J）を参照してください。

表25-2 オンチップ・デバッグ・セキュリティID

アドレス	オンチップ・デバッグ・セキュリティIDコード
000C4H-000CDH	10バイトの任意のIDコード
010C4H-010CDH	

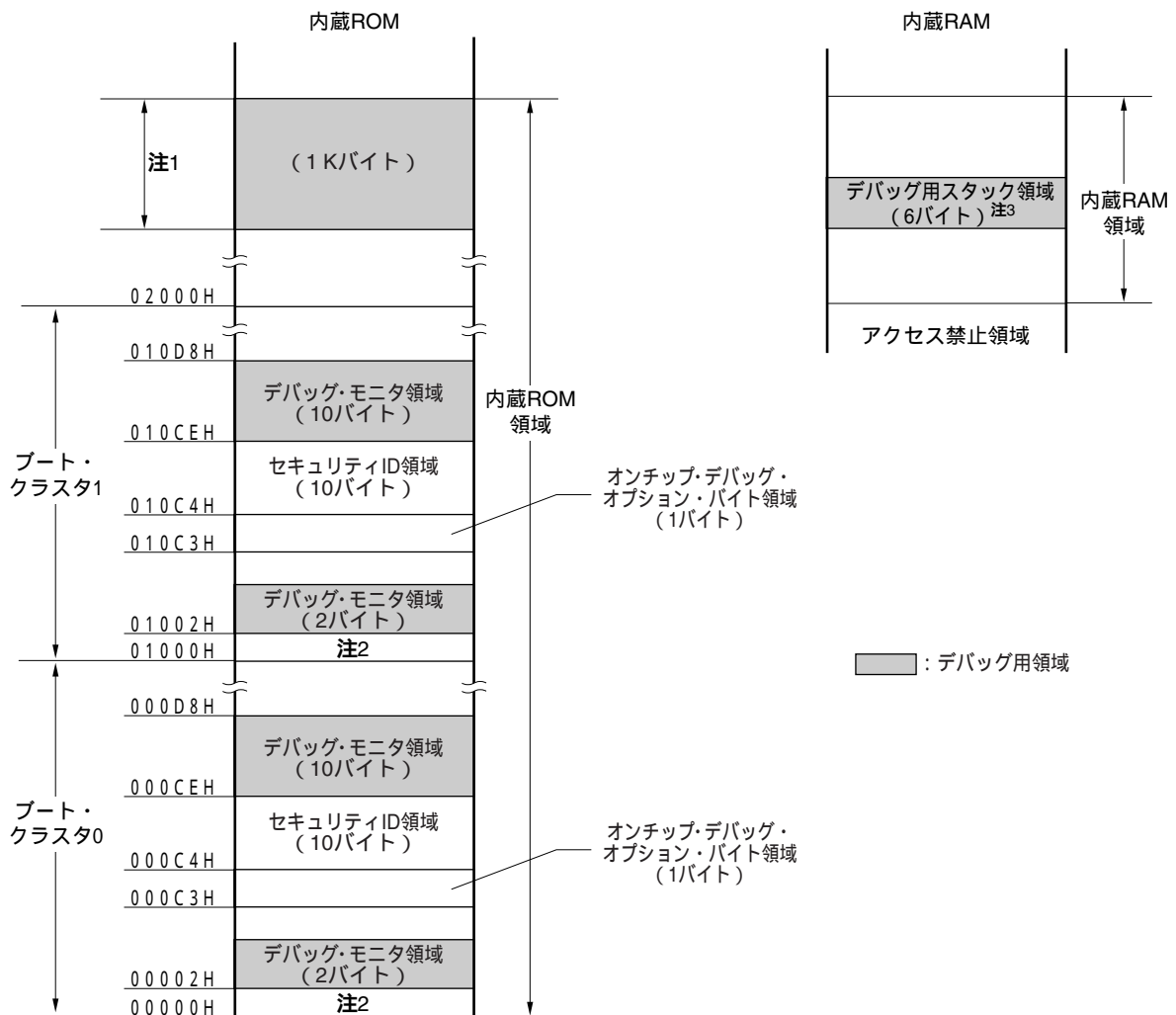
25.3 ユーザ資源の確保

78K0R/Ix3とQB-MINI2との通信、または各デバッグ機能を実現するためには、メモリ空間の確保を事前に行う必要があります。また、当社製アセンブラ RA78K0R，コンパイラ CC78K0Rを使用している場合は、リンカ・オプションで設定することもできます。

(1) メモリ空間の確保

図25-2のグレーで示す領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。オンチップ・デバッグ機能を使用する場合は、この空間を使用しないように領域を確保する必要があります。また、ユーザ・プログラム内でこの空間を書き換えないようにする必要があります。

図25 - 2 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって、次のようにアドレスが異なります。

製品 ()内は内蔵ROM	注1のアドレス
μ PD78F1201, PD78F1211 (16 Kバイト)	03C00H-03FFFFH
μ PD78F1203, PD78F1213, PD78F1223, PD78F1233 (32 Kバイト)	07C00H-07FFFFH
μ PD78F1214, PD78F1224, PD78F1234 (48 Kバイト)	0BC00H-0BFFFFH
μ PD78F1215, PD78F1225, PD78F1235 (64 Kバイト)	0FC00H-0FFFFFH

2. デバッグ時、リセット・ベクタはモニタ・プログラムの配置アドレスに書き換えられます。
3. この領域はスタック領域の直下に配置されるため、スタックの増減によりデバッグ用スタック領域のアドレスも変動します。つまり使用するスタック領域に対し、6バイト余分に消費します。

メモリ空間の確保方法の詳細は、QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ ユーザーズ・マニュアル (U18371J) を参照してください。

第26章 10進補正 (BCD) 回路

26.1 10進補正回路の機能

BCDコード (2進化10進数) とBCDコード (2進化10進数) の加減算結果を、BCDコード (2進化10進数) で求めることができます。

Aレジスタをオペランドに持つ加減算命令を行ったあと、さらにBCDADJレジスタを加減算することで10進補正演算結果が求められます。

26.2 10進補正回路で使用するレジスタ

10進補正回路は、次のレジスタを使用します。

- ・BCD補正結果レジスタ (BCDADJ)

(1) BCD補正結果レジスタ (BCDADJ)

BCDADJレジスタには、Aレジスタをオペランドにもつ加減算命令によって、BCDコードで加減算結果を求めるための補正值が格納されます。

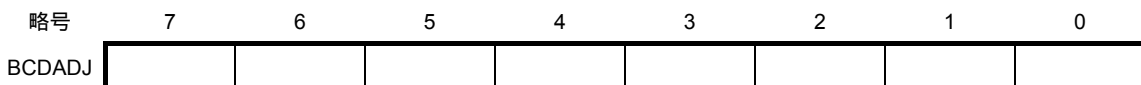
また、BCDADJレジスタの読み出し値は、読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。

BCDADJは、8ビット・メモリ操作命令で読み出します。

リセット信号の発生により、不定になります。

図26 - 1 BCD補正結果レジスタ (BCDADJ) のフォーマット

アドレス : F00FEH リセット時 : 不定 R



26.3 10進補正回路の動作

10進補正回路の基本動作を次に示します。

(1) 加算 BCDコード値とBCDコード値の加算結果を、BCDコード値で求める

加算したいBCDコード値 (被加算値) をAレジスタに格納する。

Aレジスタと第2オペランドの値 (もう1つの加算したいBCDコード値, 加算値) を, そのまま2進数で加算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での加算結果) とBCDADJレジスタの値 (補正値) を2進数で加算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例1 $99 + 89 = 188$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #99H ;	99H	-	-	-
ADD A, #89H ;	22H	1	1	66H
ADD A, !BCDADJ ;	88H	1	0	-

例2 $85 + 15 = 100$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #85H ;	85H	-	-	-
ADD A, #15H ;	9AH	0	0	66H
ADD A, !BCDADJ ;	00H	1	1	-

例3 $80 + 80 = 160$

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #80H ;	80H	-	-	-
ADD A, #80H ;	00H	1	0	60H
ADD A, !BCDADJ ;	60H	1	0	-

(2) 減算 BCDコード値からBCDコード値の減算結果を、BCDコード値で求める

減算されるBCDコード値 (被減算値) をAレジスタに格納する。

Aレジスタから第2オペランドの値 (減算するBCDコード値, 減算値) を, そのまま2進数で減算することにより, 2進数での演算結果がAレジスタに格納され, 補正値がBCDADJレジスタに格納される。

Aレジスタ (2進数での減算結果) からBCDADJレジスタの値 (補正値) を2進数で減算することにより10進補正演算を行い, AレジスタとCYフラグに補正結果が格納される。

注意 BCDADJレジスタの読み出し値は, 読み出し時のAレジスタとCYフラグおよびACフラグの値によって変わります。そのため, の命令のあとは, 他の命令を行わずに の命令を実施してください。割り込み許可状態でBCD補正を行う場合は, 割り込み関数内でAレジスタの退避, 復帰が必要となります。PSW (CYフラグ, ACフラグ) は, RETI命令によって復帰されます。

例を次に示します。

例 91 - 52 = 39

命 令	A レジスタ	CY フラグ	AC フラグ	BCDADJ レジスタ
MOV A, #91H ;	91H	-	-	-
SUB A, #52H ;	3FH	0	1	06H
SUB A, !BCDADJ ;	39H	0	0	-

第27章 命令セットの概要

78K0Rマイクロコントローラの命令セットを一覧表にして示します。なお、各命令の詳細な動作および機械語(命令コード)については、78K0Rマイクロコントローラ ユーザーズ・マニュアル 命令編(U17792J)を参照してください。

備考 表27 - 5 オペレーション一覧の表内の網掛けされている箇所は、78K0マイクロコントローラから追加されたものを示しています。

27.1 凡 例

27.1.1 オペランドの表現形式と記述方法

各命令のオペランド欄には、その命令のオペランド表現形式に対する記述方法に従ってオペランドを記述しています（詳細は、アセンブラ仕様によります）。記述方法の中で複数個あるものは、それらの要素の1つを選択します。大文字で書かれた英字および#、!、!!、\$、\$!、[]、ES:の記号はキーワードであり、そのまま記述します。記号の説明は、次のとおりです。

- ・# : イミーディエト・データ指定
- ・! : 16ビット絶対アドレス指定
- ・!! : 20ビット絶対アドレス指定
- ・\$: 8ビット相対アドレス指定
- ・\$! : 16ビット相対アドレス指定
- ・[] : 間接アドレス指定
- ・ES: : 拡張アドレス指定

イミーディエト・データの場合は、適当な数値またはラベルを記述します。ラベルで記述する際も#、!、!!、\$、\$!、[]、ES:記号は必ず記述してください。

また、オペランドのレジスタの記述形式r, rpには、機能名称（X, A, Cなど）、絶対名称（表27 - 1の中のカッコ内の名称, R0, R1, R2など）のいずれの形式でも記述可能です。

表27 - 1 オペランドの表現形式と記述方法

表現形式	記述方法
r	X(R0), A(R1), C(R2), B(R3), E(R4), D(R5), L(R6), H(R7)
rp	AX(RP0), BC(RP1), DE(RP2), HL(RP3)
sfr	特殊機能レジスタ略号（SFR略号）FFF00H-FFFFFH
sfrp	特殊機能レジスタ略号（16ビット操作可能なSFR略号。偶数アドレスのみ ^注 ）FFF00H-FFFFFH
saddr	FFE20H-FFF1FH イミーディエト・データまたはラベル
saddrp	FFE20H-FFF1FH イミーディエト・データまたはラベル（偶数アドレスのみ ^注 ）
addr20	00000H-FFFFFH イミーディエト・データまたはラベル
addr16	0000H-FFFFH イミーディエト・データまたはラベル （16ビット・データ時は偶数アドレスのみ ^注 ）
addr5	0080H-00BFH イミーディエト・データまたはラベル（偶数アドレスのみ）
word	16ビット・イミーディエト・データまたはラベル
byte	8ビット・イミーディエト・データまたはラベル
bit	3ビット・イミーディエト・データまたはラベル
RBn	RB0-RB3

注 奇数アドレスを指定した場合はビット0が“0”になります。

備考 特殊機能レジスタは、オペランドsfrに略号で記述することができます。特殊機能レジスタの略号は表3 - 5 SFR一覧を参照してください。

拡張特殊機能レジスタは、オペランド!addr16に略号で記述することができます。拡張特殊機能レジスタの略号は表3 - 6 拡張SFR（2nd SFR）一覧を参照してください。

27.1.2 オペレーション欄の説明

各命令のオペレーション欄には、その命令実行時の動作を次の記号を用いて表します。

表27-2 オペレーション欄の記号

記号	機能
A	Aレジスタ：8ビット・アキュムレータ
X	Xレジスタ
B	Bレジスタ
C	Cレジスタ
D	Dレジスタ
E	Eレジスタ
H	Hレジスタ
L	Lレジスタ
ES	ESレジスタ
CS	CSレジスタ
AX	AXレジスタ・ペア：16ビット・アキュムレータ
BC	BCレジスタ・ペア
DE	DEレジスタ・ペア
HL	HLレジスタ・ペア
PC	プログラム・カウンタ
SP	スタック・ポインタ
PSW	プログラム・ステータス・ワード
CY	キャリー・フラグ
AC	補助キャリー・フラグ
Z	ゼロ・フラグ
RBS	レジスタ・バンク選択フラグ
IE	割り込み要求許可フラグ
()	() 内のアドレスまたはレジスタの内容で示されるメモリの内容
X _H , X _L	16ビット・レジスタの場合はX _H =上位8ビット, X _L =下位8ビット
X _S , X _H , X _L	20ビット・レジスタの場合はX _S (ビット19-16), X _H (ビット15-8), X _L (ビット7-0)
	論理積 (AND)
	論理和 (OR)
	排他的論理和 (exclusive OR)
	反転データ
addr16	16ビット・イミディエト・データ
addr20	20ビット・イミディエト・データ
jdisp8	符号付き8ビット・データ (ディスプレイメント値)
jdisp16	符号付き16ビット・データ (ディスプレイメント値)

27.1.3 フラグ動作欄の説明

各命令のフラグ欄には、その命令実行時のフラグの変化を下記の記号を用いて表す。

表27 - 3 フラグ欄の記号

記号	フラグ変化
(ブランク)	変化なし
0	0にクリアされる
1	1にセットされる
x	結果にしたがってセット/リセットされる
R	以前に退避した値がリストアされる

27.1.4 PREFIX命令

ES:で示される命令は、PREFIX命令コードを頭に付けることで、アクセスできるデータ領域をF0000H-FFFFFFHの64 Kバイト空間から、ESレジスタの値を付加した00000H-FFFFFFHの1 Mバイト空間に拡張します。PREFIX命令コードは対象となる命令の先頭に付けることで、PREFIX命令コード直後の1命令だけをESレジスタの値を付加したアドレスとして実行します。

なお、PREFIX命令コードと直後の1命令の間に割り込みを受け付けることはありません。

表27 - 4 PREFIX命令コードの使用例

命令	命令コード				
	1	2	3	4	5
MOV !addr16, #byte	CFH	!addr16		#byte	-
MOV ES:!addr16, #byte	11H	CFH	!addr16		#byte
MOV A, [HL]	8BH	-	-	-	-
MOV A, ES:[HL]	11H	8BH	-	-	-

注意 ESレジスタの値は、PREFIX命令を実行するまでにMOV ES, Aなどで事前に設定しておいてください。

27.2 オペレーション一覧

表27-5 オペレーション一覧 (1/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット・データ転送	MOV	r, #byte	2	1	-	r byte				
		saddr, #byte	3	1	-	(saddr) byte				
		sfr, #byte	3	1	-	sfr byte				
		!addr16, #byte	4	1	-	(addr16) byte				
		A, r <small>注3</small>	1	1	-	A r				
		r, A <small>注3</small>	1	1	-	r A				
		A, saddr	2	1	-	A (saddr)				
		saddr, A	2	1	-	(saddr) A				
		A, sfr	2	1	-	A sfr				
		sfr, A	2	1	-	sfr A				
		A, !addr16	3	1	4	A (addr16)				
		!addr16, A	3	1	-	(addr16) A				
		PSW, #byte	3	3	-	PSW byte		x	x	x
		A, PSW	2	1	-	A PSW				
		PSW, A	2	3	-	PSW A		x	x	x
		ES, #byte	2	1	-	ES byte				
		ES, saddr	3	1	-	ES (saddr)				
		A, ES	2	1	-	A ES				
		ES, A	2	1	-	ES A				
		CS, #byte	3	1	-	CS byte				
		A, CS	2	1	-	A CS				
		CS, A	2	1	-	CS A				
		A, [DE]	1	1	4	A (DE)				
		[DE], A	1	1	-	(DE) A				
		[DE+byte], #byte	3	1	-	(DE + byte) byte				
		A, [DE+byte]	2	1	4	A (DE + byte)				
[DE+byte], A	2	1	-	(DE + byte) A						
A, [HL]	1	1	4	A (HL)						
[HL], A	1	1	-	(HL) A						
[HL+byte], #byte	3	1	-	(HL + byte) byte						

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (2/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	A, [HL+byte]	2	1	4	A (HL + byte)			
		[HL+byte], A	2	1	-	(HL + byte) A			
		A, [HL+B]	2	1	4	A (HL + B)			
		[HL+B], A	2	1	-	(HL + B) A			
		A, [HL+C]	2	1	4	A (HL + C)			
		[HL+C], A	2	1	-	(HL + C) A			
		word[B], #byte	4	1	-	(B + word) byte			
		A, word[B]	3	1	4	A (B + word)			
		word[B], A	3	1	-	(B + word) A			
		word[C], #byte	4	1	-	(C + word) byte			
		A, word[C]	3	1	4	A (C + word)			
		word[C], A	3	1	-	(C + word) A			
		word[BC], #byte	4	1	-	(BC + word) byte			
		A, word[BC]	3	1	4	A (BC + word)			
		word[BC], A	3	1	-	(BC + word) A			
		[SP+byte], #byte	3	1	-	(SP + byte) byte			
		A, [SP+byte]	2	1	-	A (SP + byte)			
		[SP+byte], A	2	1	-	(SP + byte) A			
		B, saddr	2	1	-	B (saddr)			
		B, !addr16	3	1	4	B (addr16)			
		C, saddr	2	1	-	C (saddr)			
		C, !addr16	3	1	4	C (addr16)			
		X, saddr	2	1	-	X (saddr)			
		X, !addr16	3	1	4	X (addr16)			
		ES:!addr16, #byte	5	2	-	(ES, addr16) byte			
		A, ES:!addr16	4	2	5	A (ES, addr16)			
		ES:!addr16, A	4	2	-	(ES, addr16) A			
		A, ES:[DE]	2	2	5	A (ES, DE)			
		ES:[DE], A	2	2	-	(ES, DE) A			
		ES:[DE+byte], #byte	4	2	-	((ES, DE) + byte) byte			
		A, ES:[DE+byte]	3	2	5	A ((ES, DE) + byte)			
		ES:[DE+byte], A	3	2	-	((ES, DE) + byte) A			
A, ES:[HL]	2	2	5	A (ES, HL)					
ES:[HL], A	2	2	-	(ES, HL) A					

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (3/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	MOV	ES:[HL+byte],#byte	4	2	-	((ES, HL) + byte) byte			
		A, ES:[HL+byte]	3	2	5	A ((ES, HL) + byte)			
		ES:[HL+byte], A	3	2	-	((ES, HL) + byte) A			
		A, ES:[HL+B]	3	2	5	A ((ES, HL) + B)			
		ES:[HL+B], A	3	2	-	((ES, HL) + B) A			
		A, ES:[HL+C]	3	2	5	A ((ES, HL) + C)			
		ES:[HL+C], A	3	2	-	((ES, HL) + C) A			
		ES:word[B], #byte	5	2	-	((ES, B) + word) byte			
		A, ES:word[B]	4	2	5	A ((ES, B) + word)			
		ES:word[B], A	4	2	-	((ES, B) + word) A			
		ES:word[C], #byte	5	2	-	((ES, C) + word) byte			
		A, ES:word[C]	4	2	5	A ((ES, C) + word)			
		ES:word[C], A	4	2	-	((ES, C) + word) A			
		ES:word[BC], #byte	5	2	-	((ES, BC) + word) byte			
		A, ES:word[BC]	4	2	5	A ((ES, BC) + word)			
		ES:word[BC], A	4	2	-	((ES, BC) + word) A			
		B, ES:!addr16	4	2	5	B (ES, addr16)			
		C, ES:!addr16	4	2	5	C (ES, addr16)			
	X, ES:!addr16	4	2	5	X (ES, addr16)				
	XCH	A, r ^{注3}	1 (r = X) 2 (r = X 以外)	1	-	A r			
		A, saddr	3	2	-	A (saddr)			
		A, sfr	3	2	-	A sfr			
		A, !addr16	4	2	-	A (addr16)			
		A, [DE]	2	2	-	A (DE)			
		A, [DE+byte]	3	2	-	A (DE + byte)			
		A, [HL]	2	2	-	A (HL)			
		A, [HL+byte]	3	2	-	A (HL + byte)			
		A, [HL+B]	2	2	-	A (HL + B)			
A, [HL+C]		2	2	-	A (HL + C)				

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . r = Aを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (4/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット・データ転送	XCH	A, ES:!addr16	5	3	-	A (ES, addr16)			
		A, ES:[DE]	3	3	-	A (ES, DE)			
		A, ES:[DE+byte]	4	3	-	A ((ES, DE) + byte)			
		A, ES:[HL]	3	3	-	A (ES, HL)			
		A, ES:[HL+byte]	4	3	-	A ((ES, HL) + byte)			
		A, ES:[HL+B]	3	3	-	A ((ES, HL) + B)			
		A, ES:[HL+C]	3	3	-	A ((ES, HL) + C)			
	ONEB	A	1	1	-	A 01H			
		X	1	1	-	X 01H			
		B	1	1	-	B 01H			
		C	1	1	-	C 01H			
		saddr	2	1	-	(saddr) 01H			
		!addr16	3	1	-	(addr16) 01H			
		ES:!addr16	4	2	-	(ES, addr16) 01H			
	CLR B	A	1	1	-	A 00H			
		X	1	1	-	X 00H			
		B	1	1	-	B 00H			
		C	1	1	-	C 00H			
		saddr	2	1	-	(saddr) 00H			
		!addr16	3	1	-	(addr16) 00H			
		ES:!addr16	4	2	-	(ES,addr16) 00H			
	MOVS	[HL+byte], X	3	1	-	(HL + byte) X	x		x
		ES:[HL+byte], X	4	2	-	(ES, HL + byte) X	x		x
16ビット・データ転送	MOVW	rp, #word	3	1	-	rp word			
		saddrp, #word	4	1	-	(saddrp) word			
		sfrp, #word	4	1	-	sfrp word			
		AX, saddrp	2	1	-	AX (saddrp)			
		saddrp, AX	2	1	-	(saddrp) AX			
		AX, sfrp	2	1	-	AX sfrp			
		sfrp, AX	2	1	-	sfrp AX			
		AX, rp <small>注3</small>	1	1	-	AX rp			
		rp, AX <small>注3</small>	1	1	-	rp AX			

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . rp = AXを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27 - 5 オペレーション一覧 (5/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, !addr16	3	1	4	AX (addr16)			
		!addr16, AX	3	1	-	(addr16) AX			
		AX, [DE]	1	1	4	AX (DE)			
		[DE], AX	1	1	-	(DE) AX			
		AX, [DE+byte]	2	1	4	AX (DE + byte)			
		[DE+byte], AX	2	1	-	(DE + byte) AX			
		AX, [HL]	1	1	4	AX (HL)			
		[HL], AX	1	1	-	(HL) AX			
		AX, [HL+byte]	2	1	4	AX (HL + byte)			
		[HL+byte], AX	2	1	-	(HL + byte) AX			
		AX, word[B]	3	1	4	AX (B + word)			
		word[B], AX	3	1	-	(B + word) AX			
		AX, word[C]	3	1	4	AX (C + word)			
		word[C], AX	3	1	-	(C + word) AX			
		AX, word[BC]	3	1	4	AX (BC + word)			
		word[BC], AX	3	1	-	(BC + word) AX			
		AX, [SP+byte]	2	1	-	AX (SP + byte)			
		[SP+byte], AX	2	1	-	(SP + byte) AX			
		BC, saddrp	2	1	-	BC (saddrp)			
		BC, !addr16	3	1	4	BC (addr16)			
		DE, saddrp	2	1	-	DE (saddrp)			
		DE, !addr16	3	1	4	DE (addr16)			
		HL, saddrp	2	1	-	HL (saddrp)			
		HL, !addr16	3	1	4	HL (addr16)			
		AX, ES:!addr16	4	2	5	AX (ES, addr16)			
		ES:!addr16, AX	4	2	-	(ES, addr16) AX			
		AX, ES:[DE]	2	2	5	AX (ES, DE)			
		ES:[DE], AX	2	2	-	(ES, DE) AX			
		AX, ES:[DE+byte]	3	2	5	AX ((ES, DE) + byte)			
		ES:[DE+byte], AX	3	2	-	((ES, DE) + byte) AX			
AX, ES:[HL]	2	2	5	AX (ES, HL)					
ES:[HL], AX	2	2	-	(ES, HL) AX					

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (6/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット・データ転送	MOVW	AX, ES:[HL+byte]	3	2	5	AX ((ES, HL) + byte)			
		ES:[HL+byte], AX	3	2	-	((ES, HL) + byte) AX			
		AX, ES:word[B]	4	2	5	AX ((ES, B) + word)			
		ES:word[B], AX	4	2	-	((ES, B) + word) AX			
		AX, ES:word[C]	4	2	5	AX ((ES, C) + word)			
		ES:word[C], AX	4	2	-	((ES, C) + word) AX			
		AX, ES:word[BC]	4	2	5	AX ((ES, BC) + word)			
		ES:word[BC], AX	4	2	-	((ES, BC) + word) AX			
		BC, ES:!addr16	4	2	5	BC (ES, addr16)			
		DE, ES:!addr16	4	2	5	DE (ES, addr16)			
	HL, ES:!addr16	4	2	5	HL (ES, addr16)				
	XCHW	AX, rp ^{注3}	1	1	-	AX rp			
	ONEW	AX	1	1	-	AX 0001H			
		BC	1	1	-	BC 0001H			
CLRW	AX	1	1	-	AX 0000H				
	BC	1	1	-	BC 0000H				
8ビット演算	ADD	A, #byte	2	1	-	A, CY A + byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY (saddr) + byte	x	x	x
		A, r ^{注4}	2	1	-	A, CY A + r	x	x	x
		r, A	2	1	-	r, CY r + A	x	x	x
		A, saddr	2	1	-	A, CY A + (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY A + (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY A + (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY A + (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY A + (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY A + (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY A + (ES, addr16)	x	x	x
		A, ES:[HL]	2	2	5	A, CY A + (ES, HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY A + ((ES, HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY A + ((ES, HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A, CY A + ((ES, HL) + C)	x	x	x

注1 . 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2 . プログラム・メモリ領域をアクセスしたとき。

3 . rp = AXを除く。

4 . r = Aを除く。

備考1 . 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2 . クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (7/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	ADDC	A, #byte	2	1	-	A, CY	A + byte + CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) + byte + CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A + r + CY	x	x	x
		r, A	2	1	-	r, CY	r + A + CY	x	x	x
		A, saddr	2	1	-	A, CY	A + (saddr) + CY	x	x	x
		A, !addr16	3	1	4	A, CY	A + (addr16) + CY	x	x	x
		A, [HL]	1	1	4	A, CY	A + (HL) + CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A + (HL + byte) + CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A + (HL + B) + CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A + (HL + C) + CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A + (ES, addr16) + CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A + (ES, HL) + CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A + ((ES, HL) + byte) + CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A + ((ES, HL) + B) + CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A + ((ES, HL) + C) + CY	x	x	x	
	SUB	A, #byte	2	1	-	A, CY	A - byte	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r	x	x	x
		r, A	2	1	-	r, CY	r - A	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C)	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16)	x	x	x
A, ES:[HL]		2	2	5	A, CY	A - (ES:HL)	x	x	x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (8/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
8ビット演算	SUBC	A, #byte	2	1	-	A, CY	A - byte - CY	x	x	x
		saddr, #byte	3	2	-	(saddr), CY	(saddr) - byte - CY	x	x	x
		A, r ^{注3}	2	1	-	A, CY	A - r - CY	x	x	x
		r, A	2	1	-	r, CY	r - A - CY	x	x	x
		A, saddr	2	1	-	A, CY	A - (saddr) - CY	x	x	x
		A, !addr16	3	1	4	A, CY	A - (addr16) - CY	x	x	x
		A, [HL]	1	1	4	A, CY	A - (HL) - CY	x	x	x
		A, [HL+byte]	2	1	4	A, CY	A - (HL + byte) - CY	x	x	x
		A, [HL+B]	2	1	4	A, CY	A - (HL + B) - CY	x	x	x
		A, [HL+C]	2	1	4	A, CY	A - (HL + C) - CY	x	x	x
		A, ES:!addr16	4	2	5	A, CY	A - (ES:addr16) - CY	x	x	x
		A, ES:[HL]	2	2	5	A, CY	A - (ES:HL) - CY	x	x	x
		A, ES:[HL+byte]	3	2	5	A, CY	A - ((ES:HL) + byte) - CY	x	x	x
		A, ES:[HL+B]	3	2	5	A, CY	A - ((ES:HL) + B) - CY	x	x	x
	A, ES:[HL+C]	3	2	5	A, CY	A - ((ES:HL) + C) - CY	x	x	x	
	AND	A, #byte	2	1	-	A	A byte	x		
		saddr, #byte	3	2	-	(saddr)	(saddr) byte	x		
		A, r ^{注3}	2	1	-	A	A r	x		
		r, A	2	1	-	r	r A	x		
		A, saddr	2	1	-	A	A (saddr)	x		
		A, !addr16	3	1	4	A	A (addr16)	x		
		A, [HL]	1	1	4	A	A (HL)	x		
		A, [HL+byte]	2	1	4	A	A (HL + byte)	x		
		A, [HL+B]	2	1	4	A	A (HL + B)	x		
		A, [HL+C]	2	1	4	A	A (HL + C)	x		
		A, ES:!addr16	4	2	5	A	A (ES:addr16)	x		
		A, ES:[HL]	2	2	5	A	A (ES:HL)	x		
		A, ES:[HL+byte]	3	2	5	A	A ((ES:HL) + byte)	x		
A, ES:[HL+B]		3	2	5	A	A ((ES:HL) + B)	x			
A, ES:[HL+C]	3	2	5	A	A ((ES:HL) + C)	x				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (9/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット 演算	OR	A, #byte	2	1	-	A A byte		x	
		saddr, #byte	3	2	-	(saddr) (saddr) byte		x	
		A, r ^{注3}	2	1	-	A A r		x	
		r, A	2	1	-	r r A		x	
		A, saddr	2	1	-	A A (saddr)		x	
		A, !addr16	3	1	4	A A (addr16)		x	
		A, [HL]	1	1	4	A A (HL)		x	
		A, [HL+byte]	2	1	4	A A (HL + byte)		x	
		A, [HL+B]	2	1	4	A A (HL + B)		x	
		A, [HL+C]	2	1	4	A A (HL + C)		x	
		A, ES:!addr16	4	2	5	A A (ES:addr16)		x	
		A, ES:[HL]	2	2	5	A A (ES:HL)		x	
		A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)		x	
		A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)		x	
	A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)		x		
	XOR	A, #byte	2	1	-	A A byte		x	
		saddr, #byte	3	2	-	(saddr) (saddr) byte		x	
		A, r ^{注3}	2	1	-	A A r		x	
		r, A	2	1	-	r r A		x	
		A, saddr	2	1	-	A A (saddr)		x	
		A, !addr16	3	1	4	A A (addr16)		x	
		A, [HL]	1	1	4	A A (HL)		x	
		A, [HL+byte]	2	1	4	A A (HL + byte)		x	
		A, [HL+B]	2	1	4	A A (HL + B)		x	
		A, [HL+C]	2	1	4	A A (HL + C)		x	
		A, ES:!addr16	4	2	5	A A (ES:addr16)		x	
A, ES:[HL]		2	2	5	A A (ES:HL)		x		
A, ES:[HL+byte]	3	2	5	A A ((ES:HL) + byte)		x			
A, ES:[HL+B]	3	2	5	A A ((ES:HL) + B)		x			
A, ES:[HL+C]	3	2	5	A A ((ES:HL) + C)		x			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. r = Aを除く。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (10/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
8ビット演算	CMP	A, #byte	2	1	-	A - byte	x	x	x
		saddr, #byte	3	1	-	(saddr) - byte	x	x	x
		A, r ^{注3}	2	1	-	A - r	x	x	x
		r, A	2	1	-	r - A	x	x	x
		A, saddr	2	1	-	A - (saddr)	x	x	x
		A, !addr16	3	1	4	A - (addr16)	x	x	x
		A, [HL]	1	1	4	A - (HL)	x	x	x
		A, [HL+byte]	2	1	4	A - (HL + byte)	x	x	x
		A, [HL+B]	2	1	4	A - (HL + B)	x	x	x
		A, [HL+C]	2	1	4	A - (HL + C)	x	x	x
		!addr16, #byte	4	1	4	(addr16) - byte	x	x	x
		A, ES:!addr16	4	2	5	A - (ES:addr16)	x	x	x
		A, ES:[HL]	2	2	5	A - (ES:HL)	x	x	x
		A, ES:[HL+byte]	3	2	5	A - ((ES:HL) + byte)	x	x	x
		A, ES:[HL+B]	3	2	5	A - ((ES:HL) + B)	x	x	x
		A, ES:[HL+C]	3	2	5	A - ((ES:HL) + C)	x	x	x
	ES:!addr16, #byte	5	2	5	(ES:addr16) - byte	x	x	x	
	CMP0	A	1	1	-	A - 00H	x	x	x
		X	1	1	-	X - 00H	x	x	x
		B	1	1	-	B - 00H	x	x	x
		C	1	1	-	C - 00H	x	x	x
		saddr	2	1	-	(saddr) - 00H	x	x	x
		!addr16	3	1	4	(addr16) - 00H	x	x	x
ES:!addr16		4	2	5	(ES:addr16) - 00H	x	x	x	
CMPS	X, [HL+byte]	3	1	4	X - (HL + byte)	x	x	x	
	X, ES:[HL+byte]	4	2	5	X - ((ES:HL) + byte)	x	x	x	

- 注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。
 3. r = Aを除く。

- 備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (11/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
16ビット演算	ADDW	AX, #word	3	1	-	AX, CY AX + word	x	x	x
		AX, AX	1	1	-	AX, CY AX + AX	x	x	x
		AX, BC	1	1	-	AX, CY AX + BC	x	x	x
		AX, DE	1	1	-	AX, CY AX + DE	x	x	x
		AX, HL	1	1	-	AX, CY AX + HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX + (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX + (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX + (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX + (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX + ((ES:HL) + byte)	x	x	x
	SUBW	AX, #word	3	1	-	AX, CY AX - word	x	x	x
		AX, BC	1	1	-	AX, CY AX - BC	x	x	x
		AX, DE	1	1	-	AX, CY AX - DE	x	x	x
		AX, HL	1	1	-	AX, CY AX - HL	x	x	x
		AX, saddrp	2	1	-	AX, CY AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX, CY AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX, CY AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX, CY AX - (ES:addr16)	x	x	x
		AX, ES: [HL+byte]	4	2	5	AX, CY AX - ((ES:HL) + byte)	x	x	x
	CMPW	AX, #word	3	1	-	AX - word	x	x	x
		AX, BC	1	1	-	AX - BC	x	x	x
		AX, DE	1	1	-	AX - DE	x	x	x
		AX, HL	1	1	-	AX - HL	x	x	x
		AX, saddrp	2	1	-	AX - (saddrp)	x	x	x
		AX, !addr16	3	1	4	AX - (addr16)	x	x	x
		AX, [HL+byte]	3	1	4	AX - (HL + byte)	x	x	x
		AX, ES:!addr16	4	2	5	AX - (ES:addr16)	x	x	x
AX, ES: [HL+byte]		4	2	5	AX - ((ES:HL) + byte)	x	x	x	
乗算	MULU	X	1	1	-	AX A x X			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (12/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
増減	INC	r	1	1	-	r r + 1	x	x	
		saddr	2	2	-	(saddr) (saddr) + 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) + 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1	x	x	
	DEC	r	1	1	-	r r - 1	x	x	
		saddr	2	2	-	(saddr) (saddr) - 1	x	x	
		!addr16	3	2	-	(addr16) (addr16) - 1	x	x	
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1	x	x	
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1	x	x	
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1	x	x	
	INCW	rp	1	1	-	rp rp + 1			
		saddrp	2	2	-	(saddrp) (saddrp) + 1			
		!addr16	3	2	-	(addr16) (addr16) + 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) + 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) + 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) + 1			
	DECW	rp	1	1	-	rp rp - 1			
		saddrp	2	2	-	(saddrp) (saddrp) - 1			
		!addr16	3	2	-	(addr16) (addr16) - 1			
		[HL+byte]	3	2	-	(HL + byte) (HL + byte) - 1			
		ES:!addr16	4	3	-	(ES, addr16) (ES, addr16) - 1			
		ES: [HL+byte]	4	3	-	((ES:HL) + byte) ((ES:HL) + byte) - 1			
シフト	SHR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ 0) × cnt			x
	SHRW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ 0) × cnt			x
	SHL	A, cnt	2	1	-	(CY A ₇ , A _m A _{m-1} , A ₀ 0) × cnt			x
		B, cnt	2	1	-	(CY B ₇ , B _m B _{m-1} , B ₀ 0) × cnt			x
		C, cnt	2	1	-	(CY C ₇ , C _m C _{m-1} , C ₀ 0) × cnt			x
	SHLW	AX, cnt	2	1	-	(CY AX ₁₅ , AX _m AX _{m-1} , AX ₀ 0) × cnt			x
		BC, cnt	2	1	-	(CY BC ₁₅ , BC _m BC _{m-1} , BC ₀ 0) × cnt			x
	SAR	A, cnt	2	1	-	(CY A ₀ , A _{m-1} A _m , A ₇ A ₇) × cnt			x
SARW	AX, cnt	2	1	-	(CY AX ₀ , AX _{m-1} AX _m , AX ₁₅ AX ₁₅) × cnt			x	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。
 3. cntはビット・シフト数です。

表27-5 オペレーション一覧 (13/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ローテート	ROR	A, 1	2	1	-	(CY, A ₇ A ₀ , A _{m-1} A _m) × 1			×
	ROL	A, 1	2	1	-	(CY, A ₀ A ₇ , A _{m+1} A _m) × 1			×
	RORC	A, 1	2	1	-	(CY A ₀ , A ₇ CY, A _{m-1} A _m) × 1			×
	ROLC	A, 1	2	1	-	(CY A ₇ , A ₀ CY, A _{m+1} A _m) × 1			×
	ROLWC	AX, 1	2	1	-	(CY AX ₁₅ , AX ₀ CY, AX _{m+1} AX _m) × 1			×
		BC, 1	2	1	-	(CY BC ₁₅ , BC ₀ CY, BC _{m+1} BC _m) × 1			×
ビット操作	MOV1	CY, saddr.bit	3	1	-	CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY sfr.bit			×
		CY, A.bit	2	1	-	CY A.bit			×
		CY, PSW.bit	3	1	-	CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY (HL).bit			×
		saddr.bit, CY	3	2	-	(saddr).bit CY			
		sfr.bit, CY	3	2	-	sfr.bit CY			
		A.bit, CY	2	1	-	A.bit CY			
		PSW.bit, CY	3	4	-	PSW.bit CY	×	×	
		[HL].bit, CY	2	2	-	(HL).bit CY			
		CY, ES:[HL].bit	3	2	5	CY (ES, HL).bit			×
		ES:[HL].bit, CY	3	3	-	(ES, HL).bit CY			
	AND1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
		CY, A.bit	2	1	-	CY CY A.bit			×
		CY, PSW.bit	3	1	-	CY CY PSW.bit			×
		CY, [HL].bit	2	1	4	CY CY (HL).bit			×
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			×
	OR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			×
		CY, sfr.bit	3	1	-	CY CY sfr.bit			×
CY, A.bit		2	1	-	CY CY A.bit			×	
CY, PSW.bit		3	1	-	CY CY PSW.bit			×	
CY, [HL].bit		2	1	4	CY CY (HL).bit			×	
CY, ES:[HL].bit		3	2	5	CY CY (ES, HL).bit			×	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍+3クロックになります。

表27-5 オペレーション一覧 (14/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
ビット操作	XOR1	CY, saddr.bit	3	1	-	CY CY (saddr).bit			x
		CY, sfr.bit	3	1	-	CY CY sfr.bit			x
		CY, A.bit	2	1	-	CY CY A.bit			x
		CY, PSW.bit	3	1	-	CY CY PSW.bit			x
		CY, [HL].bit	2	1	4	CY CY (HL).bit			x
		CY, ES:[HL].bit	3	2	5	CY CY (ES, HL).bit			x
	SET1	saddr.bit	3	2	-	(saddr).bit 1			
		sfr.bit	3	2	-	sfr.bit 1			
		A.bit	2	1	-	A.bit 1			
		!addr16.bit	4	2	-	(addr16).bit 1			
		PSW.bit	3	4	-	PSW.bit 1	x	x	x
		[HL].bit	2	2	-	(HL).bit 1			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 1			
		ES:[HL].bit	3	3	-	(ES, HL).bit 1			
	CLR1	saddr.bit	3	2	-	(saddr).bit 0			
		sfr.bit	3	2	-	sfr.bit 0			
		A.bit	2	1	-	A.bit 0			
		!addr16.bit	4	2	-	(addr16).bit 0			
		PSW.bit	3	4	-	PSW.bit 0	x	x	x
		[HL].bit	2	2	-	(HL).bit 0			
		ES:!addr16.bit	5	3	-	(ES, addr16).bit 0			
		ES:[HL].bit	3	3	-	(ES, HL).bit 0			
	SET1	CY	2	1	-	CY 1			1
	CLR1	CY	2	1	-	CY 0			0
	NOT1	CY	2	1	-	CY \overline{CY}			x

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。
 2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。
 2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (15/17)

命令群	ニモニック	オペランド	バイト	クロック		オペレーション	フラグ			
				注1	注2		Z	AC	CY	
コール・リターン	CALL	rp	2	3	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC CS, rp, SP SP - 4				
		!addr20	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC PC + 3 + jdisp16, SP SP - 4				
		!addr16	3	3	-	(SP - 2) (PC + 3) _s , (SP - 3) (PC + 3) _H , (SP - 4) (PC + 3) _L , PC 0000, addr16, SP SP - 4				
		!!addr20	4	3	-	(SP - 2) (PC + 4) _s , (SP - 3) (PC + 4) _H , (SP - 4) (PC + 4) _L , PC addr20, SP SP - 4				
		CALLT	[addr5]	2	5	-	(SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0000, addr5 + 1), PC _L (0000, addr5), SP SP - 4			
		BRK	-	2	5	-	(SP - 1) PSW, (SP - 2) (PC + 2) _s , (SP - 3) (PC + 2) _H , (SP - 4) (PC + 2) _L , PC _s 0000, PC _H (0007FH), PC _L (0007EH), SP SP - 4, IE 0			
		RET	-	1	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), SP SP + 4			
	RETI	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	
	RETB	-	2	6	-	PC _L (SP), PC _H (SP + 1), PC _s (SP + 2), PSW (SP + 3), SP SP + 4	R	R	R	

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (16/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
スタック操作	PUSH	PSW	2	1	-	(SP - 1) PSW, (SP - 2) 00H, SP SP - 2			
		rp	1	1	-	(SP - 1) rpH, (SP - 2) rPL, SP SP - 2			
	POP	PSW	2	3	-	PSW (SP + 1), SP SP + 2	R	R	R
		rp	1	1	-	rPL (SP), rpH (SP + 1), SP SP + 2			
	MOVW	SP, #word	4	1	-	SP word			
		SP, AX	2	1	-	SP AX			
		AX, SP	2	1	-	AX SP			
		HL, SP	3	1	-	HL SP			
		BC, SP	3	1	-	BC SP			
		DE, SP	3	1	-	DE SP			
ADDW	SP, #byte	2	1	-	SP SP + byte				
SUBW	SP, #byte	2	1	-	SP SP - byte				
無条件分岐	BR	AX	2	3	-	PC CS, AX			
		\$addr20	2	3	-	PC PC + 2 + jdisp8			
		\$!addr20	3	3	-	PC PC + 3 + jdisp16			
		!addr16	3	3	-	PC 0000, addr16			
		!!addr20	4	3	-	PC addr20			
条件付き分岐	BC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 1			
	BNC	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if CY = 0			
	BZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 1			
	BNZ	\$addr20	2	2/4 ^{注3}	-	PC PC + 2 + jdisp8 if Z = 0			
	BH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=0			
	BNH	\$addr20	3	2/4 ^{注3}	-	PC PC+3+jdisp8 if (Z CY)=1			
	BT	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1			
[HL].bit, \$addr20		3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 1				
ES:[HL].bit, \$addr20		4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 1				

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。

3. クロック数は“条件不成立時/条件成立時”を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{CLK}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。

表27-5 オペレーション一覧 (17/17)

命令群	二モニック	オペランド	バイト	クロック		オペレーション	フラグ		
				注1	注2		Z	AC	CY
条件付き分岐	BF	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 0			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 0			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 0			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 0			
		[HL].bit, \$addr20	3	3/5 ^{注3}	6/7	PC PC + 3 + jdisp8 if (HL).bit = 0			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	7/8	PC PC + 4 + jdisp8 if (ES, HL).bit = 0			
	BTCLR	saddr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if (saddr).bit = 1 then reset (saddr).bit			
		sfr.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if sfr.bit = 1 then reset sfr.bit			
		A.bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if A.bit = 1 then reset A.bit			
		PSW.bit, \$addr20	4	3/5 ^{注3}	-	PC PC + 4 + jdisp8 if PSW.bit = 1 then reset PSW.bit	x	x	x
		[HL].bit, \$addr20	3	3/5 ^{注3}	-	PC PC + 3 + jdisp8 if (HL).bit = 1 then reset (HL).bit			
		ES:[HL].bit, \$addr20	4	4/6 ^{注3}	-	PC PC + 4 + jdisp8 if (ES, HL).bit = 1 then reset (ES, HL).bit			
条件付きスキップ	SKC	-	2	1	-	Next instruction skip if CY = 1			
	SKNC	-	2	1	-	Next instruction skip if CY = 0			
	SKZ	-	2	1	-	Next instruction skip if Z = 1			
	SKNZ	-	2	1	-	Next instruction skip if Z = 0			
	SKH	-	2	1	-	Next instruction skip if (Z CY)=0			
	SKNH	-	2	1	-	Next instruction skip if (Z CY)=1			
CPU制御	SEL	RbN	2	1	-	RBS[1:0] n			
	NOP	-	1	1	-	No Operation			
	EI	-	3	4	-	IE 1(Enable Interrupt)			
	DI	-	3	4	-	IE 0(Disable Interrupt)			
	HALT	-	2	3	-	Set HALT Mode			
	STOP	-	2	3	-	Set STOP Mode			

注1. 内部RAM領域, SFR領域および拡張SFR領域をアクセスしたとき, またはデータ・アクセスをしない命令のとき。

2. プログラム・メモリ領域をアクセスしたとき。
3. クロック数は “ 条件不成立時 / 条件成立時 ” を表しています。

備考1. 命令の1クロックはシステム・クロック制御レジスタ (CKC) で選択したCPUクロック (f_{clk}) の1クロック分です。

2. クロック数は内部ROM (フラッシュ・メモリ) 領域にプログラムがある場合です。内部RAM領域から命令フェッチする場合, 最大2倍 + 3クロックになります。
3. nはレジスタ・バンク数です (n = 0-3)。

第28章 電気的特性

注意1. 78K0R/1x3には開発/評価用にオンチップ・デバッグ機能が搭載されています。オンチップ・デバッグ機能を使用した場合、フラッシュ・メモリの保証書き換え回数を超えてしまう可能性があり、製品の信頼性が保証できませんので、量産用の製品には本機能を使用しないでください。オンチップ・デバッグ機能を使用した製品については、クレーム受け付け対象外となります。

2. 製品により、搭載している端子が次のようになります。

(1) ポート機能

ポート	78K0R/1B3	78K0R/1C3			78K0R/1D3	78K0R/1E3	
		38ピン	44ピン	48ピン			
ポート0	-				P00, P01		
ポート1	P10-P13				P10-P17		
ポート2	P20-P25	P20-P27					
ポート3	P30-P32				P30-P33		
ポート4	P40, P41				P40-P43		
ポート5	P50, P51	P50-P52				P50-P53	
ポート6	-			P60, P61			
ポート7	-	P72, P73	P70-P75		P70-P77		
ポート8	P80, P81, P83	P80-P83					
ポート12	P120-P122	P120-P124					
ポート14	-			P140	P140	P140, P141	
ポート15	-	P150, P151	P150-P152		P150-P153		

(2) ポート以外の端子 (1/2)

機能	78K0R/1B3	78K0R/1C3			78K0R/1D3	78K0R/1E3
		38ピン	44ピン	48ピン		
電源, グランド	VDD, AVREF, VSS, AVSS				VDD, EVDD, AVREF, VSS, EVSS, AVSS	
レギュレータ	REGC					
リセット	$\overline{\text{RESET}}$					
クロック発振	X1, X2, EXCLK	X1, X2, XT1, XT2, EXCLK				
フラッシュ書き込み	FLMD0					
割り込み	INTP0-INTP5	INTP0-INTP7				
タイマ	TI02-TI07, TI09, TO02-TO07, TO11	SLTI, SLTO, TI02-TI07, TI09, TO02-TO07, TO10, TO11	SLTI, SLTO, TI02-TI07, TI09-TI11, TO02-TO07, TO10, TO11	SLTI, SLTO, TI00, TI02-TI07, TI09-TI11, TO00, TO02-TO07, TO10, TO11	SLTI, SLTO, TI00, TI02-TI11, TO00, TO02-TO11	

(2) ポート以外の端子 (2/2)

機能	78K0R/IB3	78K0R/IC3			78K0R/ID3	78K0R/IE3
		38ピン	44ピン	48ピン		
リアルタイム・カウンタ	-	RTCDIV, RTCCL, RTC1HZ				
コンパレータ	CMP0M, CMP0P, CMP1P	CMP0M, CMP0P, CMP1M, CMP1P				
プログラマブル・ゲイン・アンプ	PGAI					
シリアル・インタフェース	UART0	RxD0, TxD0				
	UART1	RxD1, TxD1				
	CSI00	-	SCK00, SI00, SO00			
	CSI01	-	SCK01, SI01, SO01			
	CSI10	SCK10, SI10, SO10				
	IIC10	SCL10, SDA10				
	IICA	-	SCL0, SDA0			
A/Dコンバータ	ANI0-ANI5	ANI0-ANI7	ANI0-ANI9	ANI0-ANI10	ANI0-ANI10	ANI0-ANI11
ブザー出力/クロック出力	-			PCLBUZ0		PCLBUZ0, PCLBUZ1
LVI回路	EXLVI					
オンチップ・デバッグ機能	TOOL0, TOOL1					

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (1/2)

項目	略号	条件	定格	単位
電源電圧	V _{DD}		- 0.5 ~ + 6.5	V
	EV _{DD}		- 0.5 ~ + 6.5	V
	V _{SS}		- 0.5 ~ + 0.3	V
	EV _{SS}		- 0.5 ~ + 0.3	V
	AV _{REF}		- 0.5 ~ V _{DD} + 0.3 ^{注1}	V
	AV _{SS}		- 0.5 ~ + 0.3	V
REGC端子入力電圧	V _I REGC	REGC	- 0.3 ~ + 3.6 かつ - 0.3 ~ V _{DD} + 0.3 ^{注2}	V
入力電圧	V _{I1}	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P70-P77, P120-P124, P141, EXCLK, RESET, FLMD0	- 0.3 ~ EV _{DD} + 0.3 ^{注1} かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
	V _{I2}	P60, P61 (N-chオープン・ドレイン)	- 0.3 ~ + 6.5	V
	V _{I3}	P20-P27, P80-P83, P150-P153	- 0.3 ~ AV _{REF} + 0.3 ^{注1} かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V
出力電圧	V _{O1}	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P60, P61, P70-P77, P120, P140, P141	- 0.3 ~ EV _{DD} + 0.3 ^{注1}	V
	V _{O2}	P20-P27, P80-P83, P150-P153	- 0.3 ~ AV _{REF} + 0.3	V
アナログ入力電圧	V _{AN}	ANI0-ANI11, PGAI, CMP0M, CMP0P, CMP1M, CMP1P	- 0.3 ~ AV _{REF} + 0.3 ^{注1} かつ - 0.3 ~ V _{DD} + 0.3 ^{注1}	V

注1. 6.5 V以下であること。

2. REGC端子にはコンデンサ (0.47 ~ 1 μF) を介してV_{SS}に接続してください。この値は、REGC端子の絶対最大定格を規定するものです。電圧印加して使用しないでください。

注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

絶対最大定格 (TA = 25) (2/2)

項目	略号	条件		定格	単位
ハイ・レベル出力電流	IOH1	1端子	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P70-P77, P120, P140, P141	- 10	mA
		端子合計 - 80 mA	P00, P01, P40-P43, P120, P140, P141	- 25	mA
			P10-P17, P30-P33, P50-P53, P70-P77	- 55	mA
	IOH2	1端子	P20-P27, P80-P83, P150-P153	- 0.5	mA
		端子合計		- 2	mA
ロウ・レベル出力電流	IOL1	1端子	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P60, P61, P70-P77, P120, P140, P141	30	mA
		端子合計 200 mA	P00, P01, P40-P43, P120, P140, P141	60	mA
			P10-P17, P30-P33, P50-P53, P60, P61, P70-P77	140	mA
	IOL2	1端子	P20-P27, P80-P83, P150-P153	1	mA
		端子合計		5	mA
	動作周囲温度	TA	通常動作時		- 40 ~ + 85
		フラッシュ・メモリ・プログラミング時			
保存温度	Tstg			- 65 ~ + 150	

注 6.5 V以下であること。

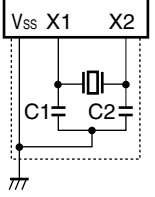
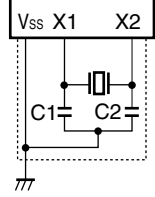
注意 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。必ずこの定格値を越えない状態で、製品をご使用ください。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

X1発振回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
セラミック発振子		X1クロック発振周波数 (f_x) ^注	2.7 V V_{DD} 5.5 V	2.0		20.0	MHz
水晶振動子		X1クロック発振周波数 (f_x) ^注	2.7 V V_{DD} 5.5 V	2.0		20.0	MHz

注 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. X1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. リセット解除後は、高速内蔵発振クロックによりCPUが起動されるため、X1クロックの発振安定時間は発振安定時間カウンタ状態レジスタ(OSTC)でユーザにて確認してください。また使用する発振子で発振安定時間を十分に評価してから、OSTCレジスタ、発振安定時間選択レジスタ(OSTS)の発振安定時間を決定してください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

内蔵発振回路特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	略号	条件		MIN.	TYP.	MAX.	単位
高速内蔵発振器発振周波数 ^{注1}	f _{IH}			7.856	8	8.144	MHz
	f _{IH40}			38.38	40	41.16	MHz
低速内蔵発振器発振周波数	f _{IL}	通常電流モード	2.7 V V_{DD} 5.5 V	27	30	33	kHz
		低消費電流モード ^{注2}		25.5	30	34.5	kHz

注1. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

2. レギュレータ出力が低消費電流モードとなるのは、次に示す場合です。

- ・RMCレジスタに5AH設定時
- ・RESET端子リセット期間中
- ・STOPモード時（OCDモード中は除く）
- ・サブシステム・クロック（f_{XT}）でのCPU動作中に、高速システム・クロック（f_{MX}）と高速内蔵発振クロック（f_{IH}）と40 MHz高速内蔵発振クロック（f_{IH40}）が共に停止した場合
- ・CPU動作設定時のHALTモード中（CPUはサブシステム・クロック（f_{XT}）で動作）に、高速システム・クロック（f_{MX}）と高速内蔵発振クロック（f_{IH}）と40 MHz高速内蔵発振クロック（f_{IH40}）が共に停止した場合

備考 レギュレータ出力電圧による通常電流モード、低消費電流モードについては、第22章 レギュレータを参照してください。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

XT1発振回路特性^注

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

発振子	推奨回路	項目	条件	MIN.	TYP.	MAX.	単位
水晶振動子		XT1クロック発振周波数 (f_{XT}) ^{注2}		32	32.768	35	kHz

注1. 78K0R/IB3には、XT1発振回路はありません。

2. 発振回路の特性だけを示すものです。命令実行時間は、AC特性を参照してください。

注意1. XT1発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

2. XT1発振回路は、低消費電力にするために増幅度の低い回路になっており、ノイズによる誤動作がXT1発振回路よりも起こりやすくなっています。したがって、XT1クロックを使用する場合は、配線方法について特にご注意ください。

備考 発振子の選択および発振回路定数についてはお客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (1/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, 2.7 V AV_{REF} $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P70-P77, P120, P140, P141	4.0 V V_{DD} 5.5 V			- 3.0	mA
			2.7 V $V_{DD} < 4.0$ V			- 1.0	mA
	1端子	P00, P01, P40-P43, P120, P140, P141	4.0 V V_{DD} 5.5 V			- 20.0	mA
		合計 (デューティ = 70 %時 ^{注2})	2.7 V $V_{DD} < 4.0$ V			- 10.0	mA
	P10-P17, P30-P33, P50-P53, P70-P77	4.0 V V_{DD} 5.5 V			- 30.0	mA	
		合計 (デューティ = 70 %時 ^{注2})	2.7 V $V_{DD} < 4.0$ V			- 19.0	mA
	全端子合計 (デューティ = 60 %時 ^{注2})	4.0 V V_{DD} 5.5 V			- 50.0	mA	
		2.7 V $V_{DD} < 4.0$ V			- 29.0	mA	
	I _{OH2}	P20-P27, P80-P83, P150-P153	$AV_{REF} = V_{DD}$			- 0.1	mA
		1端子					

- 注1. V_{DD} (78K0R/IE3の場合は、 EV_{DD})端子から出力端子に流れ出しても、デバイスの動作を保証する電流値です。
 2. デューティ = 60 %または70 %の条件でのスペックです。
 デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

・ 端子合計の出力電流 = $(I_{OH} \times 0.7) / (n \times 0.01)$

< 計算例 > $I_{OH} = -20.0$ mAの場合, $n = 50$ %

端子合計の出力電流 = $(-20.0 \times 0.7) / (50 \times 0.01) = -28.0$ mA

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

注意 P30-P32, P70, P72, P73, P75は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (2/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} 5.5 V, 2.7 V$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
ロウ・レベル出力電流 ^{注1}	I _{OL1}	P00, P01, P16, P17, P30, P33, P40-P43, P52, P53, P70-P77, P120, P140, P141 1端子	4.0 V $V_{DD} 5.5 V$		8.5	mA
			2.7 V $V_{DD} < 4.0 V$		1.0	mA
		P31, P32	4.0 V $V_{DD} 5.5 V$		8.5	mA
			2.7 V $V_{DD} < 4.0 V$		1.5	mA
		P10-P15, P50, P51 1端子	4.0 V $V_{DD} 5.5 V$		8.5	mA
			2.7 V $V_{DD} < 4.0 V$		1.0	mA
		P60, P61 1端子	4.0 V $V_{DD} 5.5 V$		15.0	mA
			2.7 V $V_{DD} < 4.0 V$		3.0	mA
		P00, P01, P40-P43, P120, P140, P141 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} 5.5 V$		20.0	mA
			2.7 V $V_{DD} < 4.0 V$		15.0	mA
		P10-P17, P30-P33, P50-P53, P60, P61, P70-P77 合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} 5.5 V$		45.0	mA
			2.7 V $V_{DD} < 4.0 V$		35.0	mA
		全端子合計 (デューティ = 70 %時 ^{注2})	4.0 V $V_{DD} 5.5 V$		65.0	mA
			2.7 V $V_{DD} < 4.0 V$		40.0	mA
I _{OL2}	P20-P27, P80-P83, P150-P153 1端子	$AV_{REF} = V_{DD}$			0.4	mA

注1. 出力端子からEV_{SS}, V_{SS}, AV_{SS}端子に流れ込んでも、デバイスの動作を保證する電流値です。

2. デューティ = 60 %または70 %の条件でのスペックです。

デューティ比を変更した出力電流の値は、次の計算式で求めることができます(70 %のデューティをn %に変更する場合)。

$$\cdot \text{端子合計の出力電流} = (I_{OL} \times 0.7) / (n \times 0.01)$$

< 計算例 > I_{OL} = 20.0 mAの場合, n = 50 %

$$\text{端子合計の出力電流} = (20.0 \times 0.7) / (50 \times 0.01) = 28.0 \text{ mA}$$

ただし、1端子あたりに流せる電流は、デューティによって変わることはありません。また、絶対最大定格以上の電流は流せません。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (3/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} 5.5\text{ V}, 2.7\text{ V}$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力電圧	V _{IH1}	P01, P30, P33, P42, P43, P53, P123, P124, P141	0.7V _{DD}		V _{DD}	V	
	V _{IH2}	P00, P10-P17, P31, P32, P40, P41, P50-P52, P70-P77, P120-P122, EXCLK, RESET	通常入力バッファ 0.8V _{DD}		V _{DD}	V	
	V _{IH3}	P31, P32, P71, P72, P74, P75	TTL入力バッファ 4.0 V $V_{DD} 5.5\text{ V}$	2.2		V _{DD}	V
			TTL入力バッファ 2.7 V $V_{DD} < 4.0\text{ V}$	2.0		V _{DD}	V
	V _{IH4}	P20-P27, P81, P83, P150-P153	AV _{REF} = V _{DD}	0.7AV _{REF}		AV _{REF}	V
	V _{IH5}	P80, P82	AV _{REF} = V _{DD}	0.8AV _{REF}		AV _{REF}	V
	V _{IH6}	P60, P61		0.7V _{DD}		6.0	V
V _{IH7}	FLMD0		0.9V _{DD} ^{注1}		V _{DD}	V	
ロウ・レベル入力電圧	V _{IL1}	P01, P30, P33, P42, P43, P53, P123, P124, P141	0		0.3V _{DD}	V	
	V _{IL2}	P00, P10-P17, P31, P32, P40, P41, P50-P52, P70-P77, P120-P122, EXCLK, RESET	通常入力バッファ 0		0.2V _{DD}	V	
	V _{IL3}	P31, P32, P71, P72, P74, P75	TTL入力バッファ 4.0 V $V_{DD} 5.5\text{ V}$	0		0.8	V
			TTL入力バッファ 2.7 V $V_{DD} < 4.0\text{ V}$	0		0.5	V
	V _{IL4}	P20-P27, P81, P83, P150-P153	AV _{REF} = V _{DD}	0		0.3AV _{REF}	V
	V _{IL5}	P80, P82	AV _{REF} = V _{DD}	0		0.2AV _{REF}	V
	V _{IL6}	P60, P61		0		0.3V _{DD}	V
V _{IL7}	FLMD0 ^{注2}		0		0.1V _{DD}	V	

注1. フラッシュ・メモリ・プログラミング・モードで使用するときには、0.9V_{DD}以上にする必要があります。

2. フラッシュ・メモリを書き換え禁止にする場合は、FLMD0端子処理を直接V_{SS}へ接続し、0.1V_{DD}以下の電圧を保つようにしてください。

注意 P30-P32, P70, P72, P73, P75は、N-chオープン・ドレイン・モード時でもV_{IH}の最大値 (MAX.) はV_{DD}です。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (4/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} 5.5 V, 2.7 V$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル出力電圧	V _{OH1}	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P70-P77, P120, P140, P141	4.0 V $V_{DD} 5.5 V,$ $I_{OH1} = -3.0 \text{ mA}$	$V_{DD} - 0.7$			V
			2.7 V $V_{DD} 5.5 V,$ $I_{OH1} = -1.0 \text{ mA}$	$V_{DD} - 0.5$			V
	V _{OH2}	P20-P27, P80-P83, P150-P153	$AV_{REF} = V_{DD},$ $I_{OH2} = -0.1 \text{ mA}$	$AV_{REF} -$ 0.5			V
ロウ・レベル出力電圧	V _{OL1}	P00, P01, P16, P17, P30, P33, P40-P43, P52, P53, P70-P77, P120, P140, P141	4.0 V $V_{DD} 5.5 V,$ $I_{OL1} = 8.5 \text{ mA}$			0.7	V
			2.7 V $V_{DD} 5.5 V,$ $I_{OL1} = 1.0 \text{ mA}$			0.5	V
		P31, P32	4.0 V $V_{DD} 5.5 V,$ $I_{OL1} = 8.5 \text{ mA}$			0.7	V
			2.7 V $V_{DD} 5.5 V,$ $I_{OL1} = 1.5 \text{ mA}$			0.5	V
		P10-P15, P50, P51	4.0 V $V_{DD} 5.5 V,$ $I_{OL1} = 8.5 \text{ mA}$			0.7	V
			2.7 V $V_{DD} 5.5 V,$ $I_{OL1} = 1.0 \text{ mA}$			0.5	V
	V _{OL2}	P20-P27, P80-P83, P150-P153	$AV_{REF} = V_{DD},$ $I_{OL2} = 0.4 \text{ mA}$			0.4	V
	V _{OL3}	P60, P61	4.0 V $V_{DD} 5.5 V,$ $I_{OL1} = 15.0 \text{ mA}$			2.0	V
			4.0 V $V_{DD} 5.5 V,$ $I_{OL1} = 5.0 \text{ mA}$			0.4	V
			2.7 V $V_{DD} 5.5 V,$ $I_{OL1} = 3.0 \text{ mA}$			0.4	V

注意 P30-P32, P70, P72, P73, P75は、N-chオープン・ドレイン・モード時には、ハイ・レベル出力しません。

備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (5/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位	
ハイ・レベル入力リーク電流	I _{LIH1}	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P60, P61, P70-P77, P120, P141, FLMD0, <u>RESET</u>	$V_i = V_{DD}$			1	μ A
	I _{LIH2}	P20-P27, P80-P83, P150-P153	$V_i = AV_{REF}$, $AV_{REF} = V_{DD}$			1	μ A
	I _{LIH3}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{DD}$ 入力ポート時				1
発振子接続時						10	μ A
ロウ・レベル入力リーク電流	I _{LIL1}	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P60, P61, P70-P77, P120, P141, FLMD0, <u>RESET</u>	$V_i = V_{SS}$			- 1	μ A
	I _{LIL2}	P20-P27, P80-P83, P150-P153	$V_i = V_{SS}$, $AV_{REF} = V_{DD}$			- 1	μ A
	I _{LIL4}	P121-P124 (X1, X2, XT1, XT2)	$V_i = V_{SS}$ 入力ポート時				- 1
発振子接続時						- 10	μ A

備考 特に指定がないかぎり，兼用端子の特性はポート端子の特性と同じです。

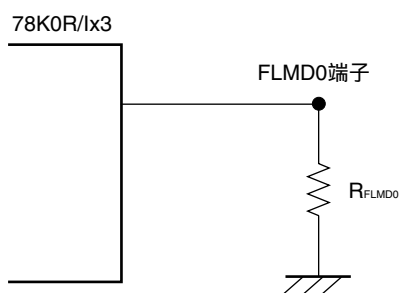
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (6/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = 5.5$ V, 2.7 V $AV_{REF} = V_{DD}$, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
内蔵プルアップ抵抗	R_U	P00, P01, P10-P17, P30-P33, P40-P43, P50-P53, P70-P77, P120, P141 $V_i = V_{SS}$, 入力ポート時	10	20	100	k
FLMD0端子 外付けプルダウン抵抗 ^注	R_{FLMD0}	ソフトウェアでのセルフ・プログラミング・モード設定を有効にする場合	100			k

注 FLMD0端子はオープンにすることを推奨します。もし、外部でもプルダウンする必要がある場合は、 R_{FLMD0} を100 k 以上にしてください。



備考 特に指定がないかぎり、兼用端子の特性はポート端子の特性と同じです。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (7/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, 2.7 V AV_{REF} $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
電源電流	IDD1 ^{注1}	動作モード	f _{MX} = 20 MHz ^{注2} , V _{DD} = 5.0 V	方形波入力	5.0	7.1	mA
				発振子接続	5.3	7.4	
			f _{MX} = 20 MHz ^{注2} , V _{DD} = 3.0 V	方形波入力	5.0	7.1	mA
				発振子接続	5.3	7.4	
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 5.0 V	方形波入力	2.9	4.2	mA
				発振子接続	3.0	4.3	
			f _{MX} = 10 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力	2.9	4.2	mA
				発振子接続	3.0	4.3	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 3.0 V	方形波入力	1.6	2.5	mA
				発振子接続	1.7	2.6	
			f _{MX} = 5 MHz ^{注2,3} , V _{DD} = 2.0 V	方形波入力	1.2	2.1	mA
				発振子接続	1.2	2.1	
			f _{IH40} = 40 MHz ^{注4}	V _{DD} = 5.0 V	5.5	8.4	mA
				V _{DD} = 3.0 V	5.5	8.4	
			f _{IH} = 8 MHz ^{注4}	V _{DD} = 5.0 V	2.4	3.5	mA
				V _{DD} = 3.0 V	2.4	3.5	
	f _{SUB} = 32.768 kHz ^{注5} , T _A = -40 ~ +50	V _{DD} = 5.0 V	3.7	7.5	μA		
		V _{DD} = 3.0 V	3.7	7.5			
	f _{SUB} = 32.768 kHz ^{注5} , T _A = -40 ~ +70	V _{DD} = 5.0 V	3.7	9.4	μA		
		V _{DD} = 3.0 V	3.7	9.4			
	f _{SUB} = 32.768 kHz ^{注5} , T _A = -40 ~ +85	V _{DD} = 5.0 V	3.7	11.7	μA		
		V _{DD} = 3.0 V	3.7	11.7			

注1. V_{DD}, EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。

2. 高速内蔵発振、40 MHz高速内蔵発振、サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. 高速システム・クロック、サブシステム・クロックは停止時。
5. 高速内蔵発振、40 MHz高速内蔵発振、高速システム・クロックは停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH40} : 40 MHz高速内蔵発振クロック周波数

f_{IH} : 高速内蔵発振クロック周波数

f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

RMC : レギュレータ・モード制御レジスタ

2. TYP.値の温度条件は、T_A = 25 です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (8/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} 5.5 V, 2.7 V$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I_{DD2} ^{注1}	HALTモード	$f_{MX} = 20 \text{ MHz}$ ^{注2} , $V_{DD} = 5.0 \text{ V}$	方形波入力		1.1	3.2	mA
				発振子接続		1.4	3.5	
			$f_{MX} = 20 \text{ MHz}$ ^{注2} , $V_{DD} = 3.0 \text{ V}$	方形波入力		1.1	3.2	mA
				発振子接続		1.4	3.5	
			$f_{MX} = 10 \text{ MHz}$ ^{注2,3} , $V_{DD} = 5.0 \text{ V}$	方形波入力		0.65	2.0	mA
				発振子接続		0.75	2.1	
			$f_{MX} = 10 \text{ MHz}$ ^{注2,3} , $V_{DD} = 3.0 \text{ V}$	方形波入力		0.65	2.0	mA
				発振子接続		0.75	2.1	
			$f_{MX} = 5 \text{ MHz}$ ^{注2,3} , $V_{DD} = 3.0 \text{ V}$	方形波入力		0.39	1.7	mA
				発振子接続		0.44	1.7	
			$f_{IH40} = 40 \text{ MHz}$ ^{注4}	$V_{DD} = 5.0 \text{ V}$		1.6	4.5	mA
				$V_{DD} = 3.0 \text{ V}$		1.6	4.5	
$f_{IH} = 8 \text{ MHz}$ ^{注4}	$V_{DD} = 5.0 \text{ V}$		0.45	1.6	mA			
	$V_{DD} = 3.0 \text{ V}$		0.45	1.6				

注1. V_{DD} , EV_{DD} , AV_{REF} に流れるトータル電流です。入力端子を V_{DD} または V_{SS} に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振、40 MHz高速内蔵発振、サブシステム・クロックは停止時。
3. AMPH (クロック動作モード制御レジスタ (CMC) のビット0) = 0, FSEL (動作スピード・モード制御レジスタ (OSMC) のビット0) = 0設定時。
4. 高速システム・クロック, サブシステム・クロックは停止時。

備考1. f_{MX} : 高速システム・クロック周波数 (X1クロック発振周波数または外部メイン・システム・クロック周波数)

f_{IH40} : 40 MHz高速内蔵発振クロック周波数

f_{IH} : 高速内蔵発振クロック周波数

RMC : レギュレータ・モード制御レジスタ

2. TYP.値の温度条件は, $T_A = 25$ です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (9/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} 5.5 V, 2.7 V$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
電源電流	I _{DD2} ^{注1}	HALTモード	f _{SUB} = 32.768 kHz ^{注2} , T _A = -40 ~ +50	V _{DD} = 5.0 V		0.9	2.9	μA
				V _{DD} = 3.0 V		0.9	2.9	μA
			f _{SUB} = 32.768 kHz ^{注2} , T _A = -40 ~ +70	V _{DD} = 5.0 V		0.9	4.8	μA
				V _{DD} = 3.0 V		0.9	4.8	μA
			f _{SUB} = 32.768 kHz ^{注2} , T _A = -40 ~ +85	V _{DD} = 5.0 V		0.9	7.1	μA
				V _{DD} = 3.0 V		0.9	7.1	μA
	I _{DD3} ^{注3}	STOPモード	T _A = -40 ~ +50			0.33	2.1	μA
			T _A = -40 ~ +70			0.33	4	μA
			T _A = -40 ~ +85			0.33	6.2	μA

注1. V_{DD}, EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。フラッシュ・メモリでのHALT命令実行時。

2. 高速内蔵発振，40 MHz高速内蔵発振，高速システム・クロックは停止時。全周辺機能停止時。

3. V_{DD}, EV_{DD}, AV_{REF}に流れるトータル電流です。入力端子をV_{DD}またはV_{SS}に固定した状態での入力リーク電流を含みます。またMAX.値には周辺動作電流を含みます。ただし、A/Dコンバータ、プログラマブル・ゲイン・アンプ、コンパレータ、LVI回路、I/Oポート、内蔵プルアップ/プルダウン抵抗に流れる電流は含みません。サブシステム・クロック停止時。ウォッチドッグ・タイマは停止時。

備考1. f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)

2. TYP.値の温度条件は，T_A = 25 です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

DC特性 (10/10)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} 5.5 V, 2.7 V$ $AV_{REF} V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
RTC動作電流	I_{RTC} 注1, 2	$f_{SUB} = 32.768 \text{ kHz}$	$V_{DD} = 3.0 \text{ V}$		0.2	1.0	μA	
ウォッチドッグ・タイマ動作電流	I_{WDT} 注2, 3	$f_{IL} = 30 \text{ kHz}$			0.31	0.35	μA	
A/Dコンバータ動作電流	I_{ADC} ^{注4}	最高速変換時	高速モード1	$AV_{REF} = V_{DD} = 5.0 \text{ V}$		1.72	3.2	mA
			高速モード2	$AV_{REF} = V_{DD} = 3.0 \text{ V}$		0.72	1.6	mA
			通常モード	$AV_{REF} = V_{DD} = 5.0 \text{ V}$		0.86	1.9	mA
			昇圧モード	$AV_{REF} = V_{DD} = 3.0 \text{ V}$		0.37	0.8	mA
プログラマブル・ゲイン・アンプ動作電流	I_{AMP} ^{注5}				0.56	1.2	mA	
コンパレータ動作電流	I_{CMP} ^{注6}	内蔵基準電圧未使用時 1チャンネルあたり	$AV_{REF} = V_{DD} = 5.0 \text{ V}$		120	240	μA	
			$AV_{REF} = V_{DD} = 3.0 \text{ V}$			120	μA	
		内蔵基準電圧使用時 1チャンネルあたり	$AV_{REF} = V_{DD} = 5.0 \text{ V}$		160	300	μA	
			$AV_{REF} = V_{DD} = 3.0 \text{ V}$			150	μA	
LVI動作電流	I_{LVI} ^{注7}				9	18	μA	

- 注1. リアルタイム・カウンタにのみ流れる電流です (XT1発振器の動作電流は含みません)。HALTモード時にリアルタイム・カウンタが動作中の場合、78K0R/Ix3の電流の値に I_{RTC} の値を加算した値となります。
2. 高速内蔵発振、40 MHz高速内蔵発振、高速システム・クロックは停止時。
3. ウォッチドッグ・タイマにのみ流れる電流です (30 kHz内蔵発振器の動作電流を含みます)。 $f_{CLK} = f_{SUB}/2$ 時またはSTOPモード時にウォッチドッグ・タイマが動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{WDT} を加算した値が、78K0R/Ix3の電流値となります。
4. A/Dコンバータ (AV_{REF} 端子) にのみ流れる電流です。動作モードまたはHALTモード時にA/Dコンバータが動作中の場合、 I_{DD1} または I_{DD2} に I_{ADC} を加算した値が、78K0R/Ix3の電流値となります。
5. プログラマブル・ゲイン・アンプ (AV_{REF} 端子) にのみ流れる電流です。動作モードまたはHALTモード時にプログラマブル・ゲイン・アンプが動作中の場合、 I_{DD1} または I_{DD2} に I_{AMP} を加算した値が、78K0R/Ix3の電流値となります。
6. コンパレータ (AV_{REF} 端子) にのみ流れる電流です。動作モードまたはHALTモード時にコンパレータが動作中の場合、 I_{DD1} または I_{DD2} に I_{CMP} を加算した値が、78K0R/Ix3の電流値となります。
7. LVI回路にのみ流れる電流です。動作モードまたはHALTモードまたはSTOPモード時にLVI回路が動作中の場合、 I_{DD1} または I_{DD2} または I_{DD3} に I_{LVI} を加算した値が、78K0R/Ix3の電流値となります。

- 備考1. f_{IL} : 低速内蔵発振クロック周波数
 f_{SUB} : サブシステム・クロック周波数 (XT1クロック発振周波数)
 f_{CLK} : CPU / 周辺ハードウェア・クロック周波数
2. TYP.値の温度条件は、 $T_A = 25$ です。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

AC特性

(1) 基本動作 (1/6)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, 2.7 V AV_{REF} V_{DD} , $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
命令サイクル (最小命令実行時間)	T_{CY}	メイン・システム・クロック (f_{MAIN})動作	通常電流モード	2.7 V V_{DD} 5.5 V	0.05		8	μs
			低消費電流モード		1		8	μs
		サブシステム・クロック (f_{SUB})動作 ^註			57.2	61	62.5	μs
		セルフ・プログラミング時	通常電流モード	2.7 V V_{DD} 5.5 V	0.05		0.5	μs
外部メイン・システム・クロック周波数	f_{EX}	2.7 V V_{DD} 5.5 V		2.0		20.0	MHz	
外部メイン・システム・クロック入力ハイ, ロウ・レベル幅	t_{EXH}	2.7 V V_{DD} 5.5 V		24			ns	
	t_{EXL}							
TI00, TI02-TI11, SLTI入力ハイ・レベル幅, ロウ・レベル幅	t_{TIH}	$f_{MCK} = f_{IH40}$		$2/f_{MCK} +$			ns	
	t_{TIL}	上記以外		$1/f_{MCK} +$				
TO00, TO02-TO11, SLTO出力周波数	f_{TO}	2.7 V V_{DD} 5.5 V				10	MHz	
PCLBUZ0, PCLBUZ1出力周波数	f_{PCL}	2.7 V V_{DD} 5.5 V				10	MHz	
割り込み入力ハイ・レベル幅, ロウ・レベル幅	t_{INTH}			1			μs	
	t_{INTL}							
RESETロウ・レベル幅	t_{RSL}			10			μs	

注 78K0R/IB3にはサブシステム・クロックはありません。

備考1. f_{MCK} : タイマ・アレイ・ユニットの動作クロック周波数。

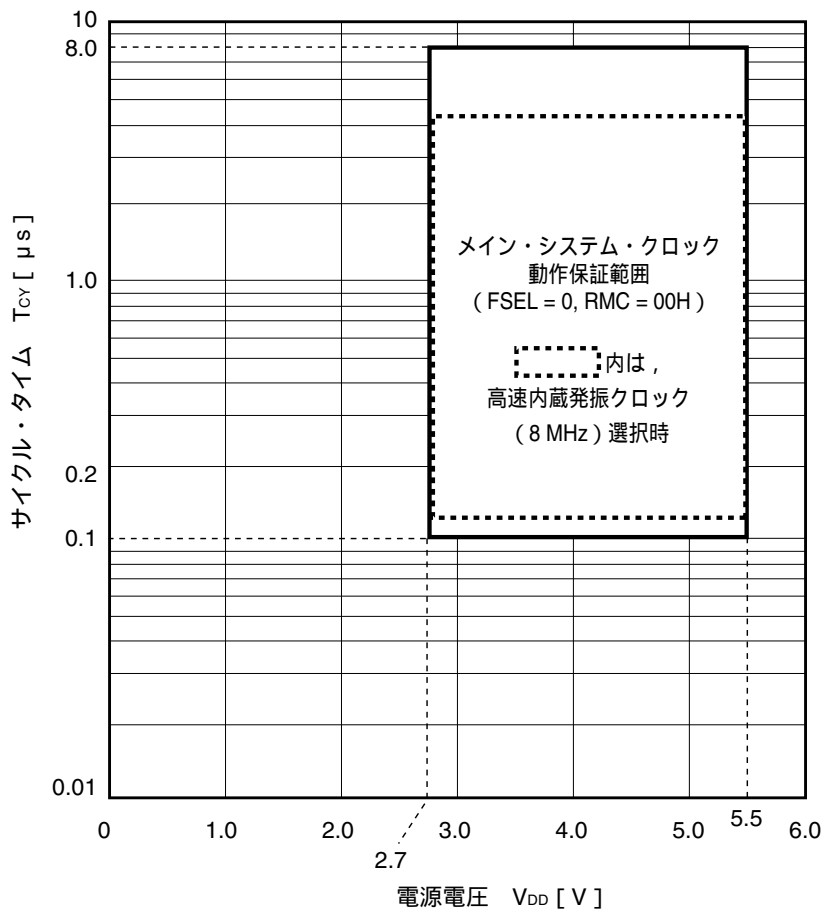
(TMRnレジスタのCKSnビットで設定する動作クロック。n : チャネル番号 (n = 00-11))

- レギュレータ出力電圧による通常電流モード, 低消費電流モードについては, 第22章 レギュレータを参照してください。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (2/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 00H)



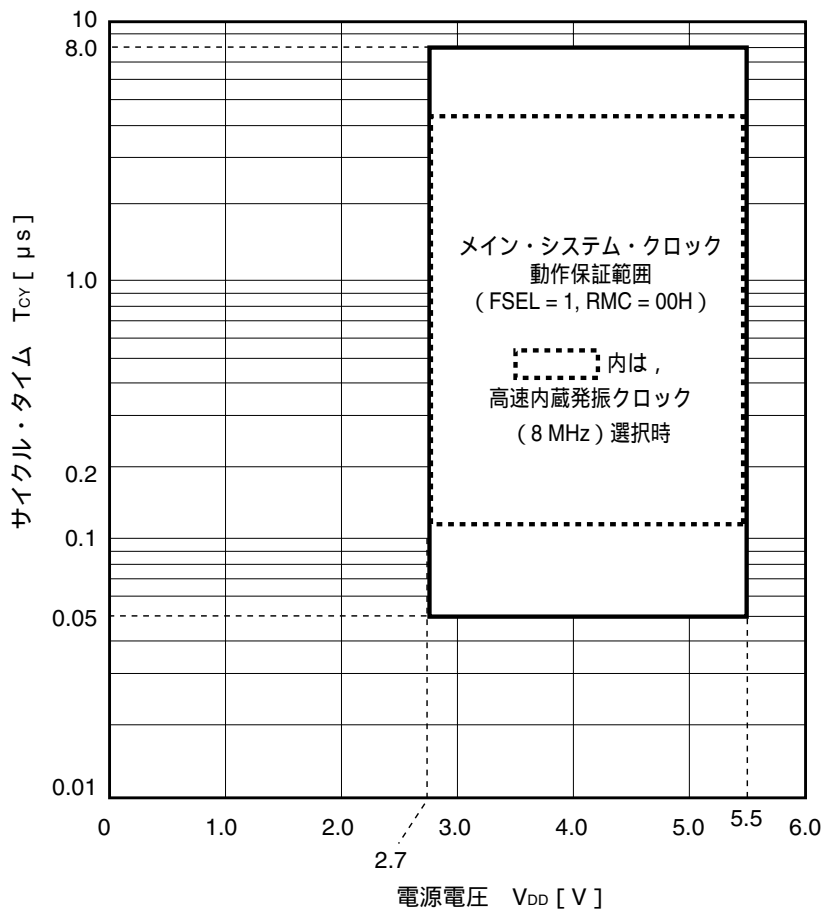
備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (3/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 1, RMC = 00H)



注意 $V_{DD} = 2.7$ VでSTOPモードに移行する場合は、FSEL = 0にしてください。

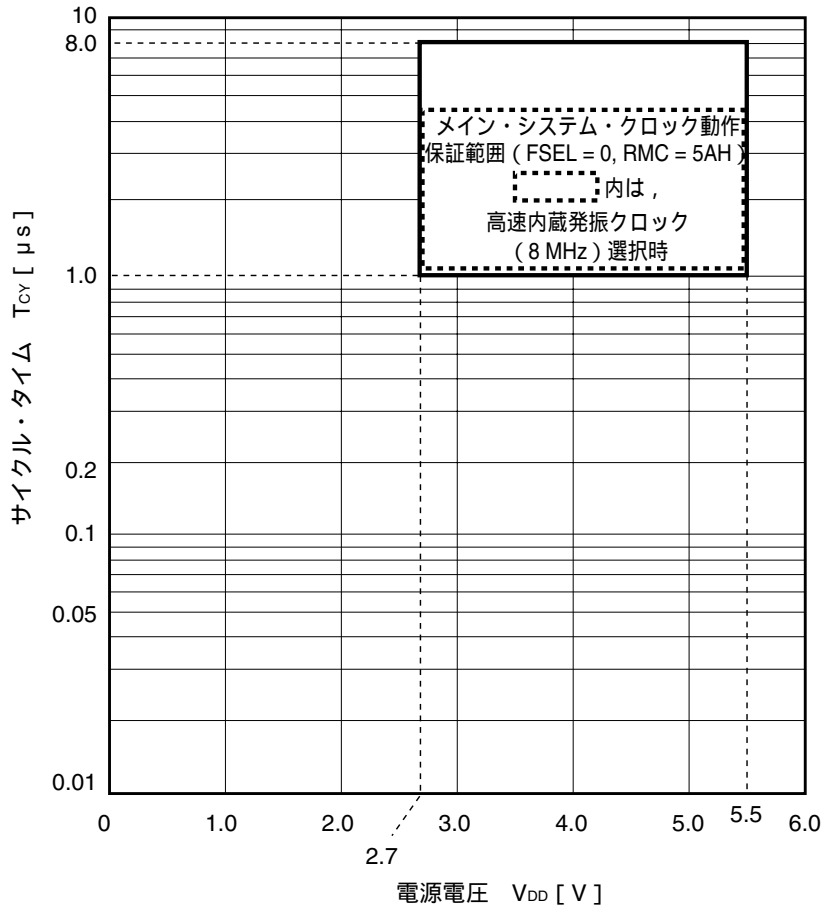
備考 FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0

RMC : レギュレータ・モード制御レジスタ

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (4/6)

メイン・システム・クロック動作時の最小命令実行時間 (FSEL = 0, RMC = 5AH)

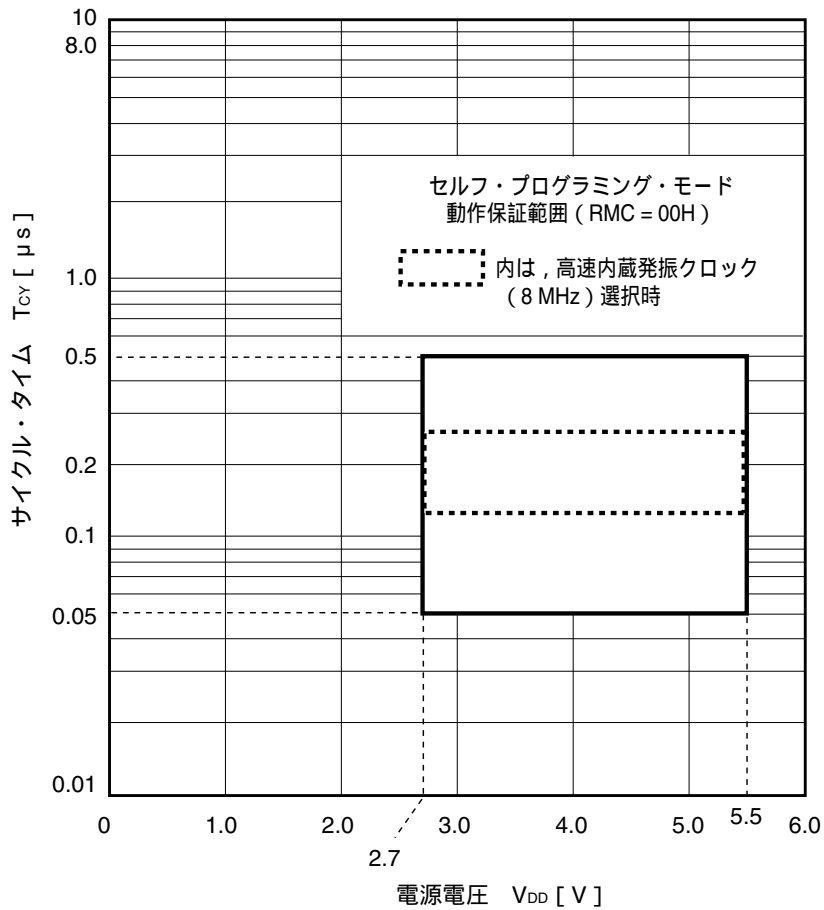


- 備考1. FSEL : 動作スピード・モード制御レジスタ (OSMC) のビット0
 RMC : レギュレータ・モード制御レジスタ
2. RMC = 5AH時は, 全電圧範囲で1 MHz (MAX.) となります。

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (5/6)

セルフ・プログラミング・モード時の最小命令実行時間 (RMC = 00H)



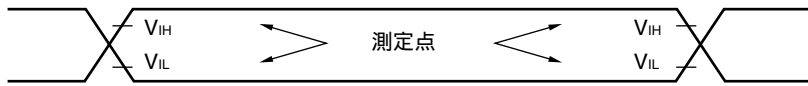
備考1. RMC : レギュレータ・モード制御レジスタ

2. RMC = 5AH時および、CPUがサブシステム・クロック動作時は、セルフ・プログラミング機能を使用できません。

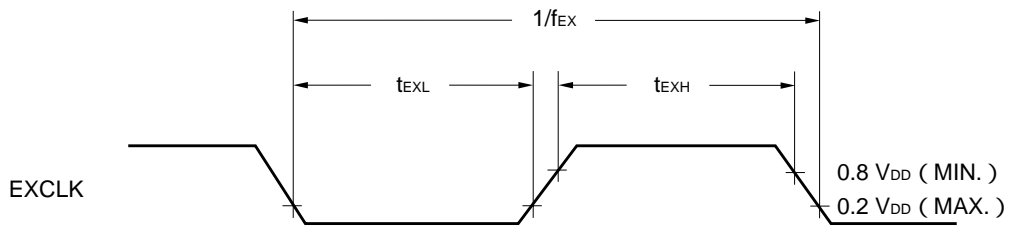
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(1) 基本動作 (6/6)

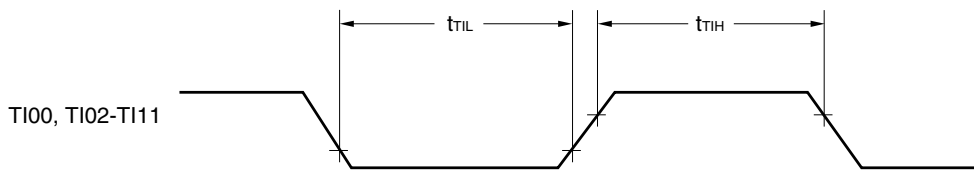
ACタイミング測定点



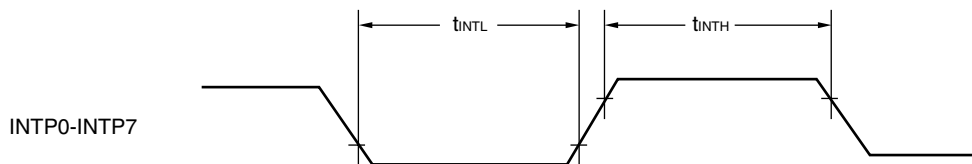
外部メイン・システム・クロック・タイミング



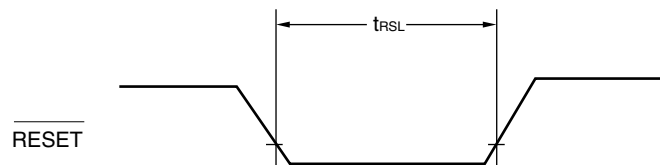
TIタイミング



割り込み要求入力タイミング



RESET入力タイミング



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

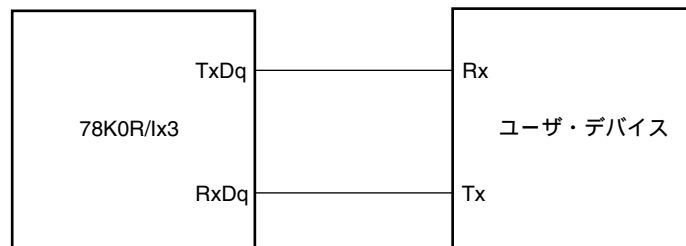
(2) シリアル・インタフェース：シリアル・アレイ・ユニット (1/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD} = 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

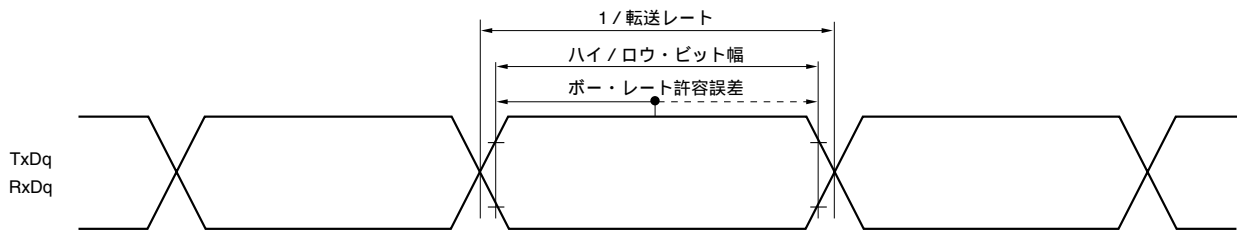
(a) 同電位通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート					$f_{MCK}/6$	bps
		$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			3.3	Mbps

UARTモード接続図 (同電位通信時)



UARTモードのビット幅 (同電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqは通常入力バッファ、TxDqは通常出力モードを選択。

備考1. q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 3, 7)

2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-3))

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (2/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(b) 同電位通信時 (CSIモード) (マスタ・モード, $\overline{\text{SCKp}}$...内部クロック出力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	4.0 V $V_{DD} \leq 5.5\text{ V}$	200 ^{注1}			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	300 ^{注1}			ns
SCKpハイ, ロウ・レベル幅	t _{KH1}	4.0 V $V_{DD} \leq 5.5\text{ V}$	t _{KCY1} /2 - 20			ns
	t _{KL1}	2.7 V $V_{DD} < 4.0\text{ V}$	t _{KCY1} /2 - 35			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{SIK1}	4.0 V $V_{DD} \leq 5.5\text{ V}$	70			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	100			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注2}	t _{KS1}		30			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注3}	t _{KSO1}	C = 30 pF ^{注4}			40	ns

注1. $\frac{1}{4}f_{CLK}$ 以上に設定してください。

- DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
- DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
- Cは、 $\overline{\text{SCKp}}$, SOp出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで、Slpは通常入力バッファ, SOpと $\overline{\text{SCKp}}$ は通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)

2. n : チャネル番号 (n = 0-2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (3/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(c) 同電位通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件		MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	4.0 V $V_{DD} \leq 5.5\text{ V}$		$6/f_{\text{MCK}}$			ns
		2.7 V $V_{DD} < 4.0\text{ V}$	$16\text{ MHz} < f_{\text{MCK}}$	$8/f_{\text{MCK}}$			ns
			$f_{\text{MCK}} \leq 16\text{ MHz}$	$6/f_{\text{MCK}}$			ns
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}			$t_{\text{KCY2}}/2$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{SIK2}			80			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{KSI2}			$1/f_{\text{MCK}} +$ 50			ns
$\overline{\text{SCKp}}$ SOp出力遅延時間 ^{注2}	t_{KSO2}	$C = 30\text{ pF}$ ^{注3}	4.0 V $V_{DD} \leq 5.5\text{ V}$			$2/f_{\text{MCK}} + 45$	ns
			2.7 V $V_{DD} < 4.0\text{ V}$			$2/f_{\text{MCK}} + 57$	ns

- 注1. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
2. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のときは“対 $\overline{\text{SCKp}}$ ”となります。
3. Cは、 $\overline{\text{SCKp}}$, SOp出力ラインの負荷容量です。

注意 PIMgレジスタとPOMgレジスタで、Slpと $\overline{\text{SCKp}}$ は通常入力バッファ, SOpは通常出力モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)

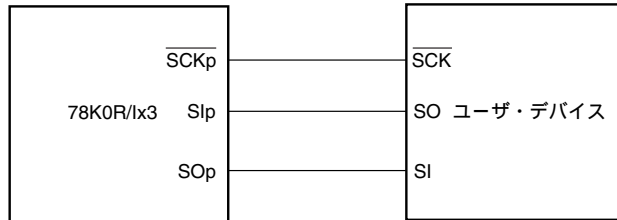
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-2))

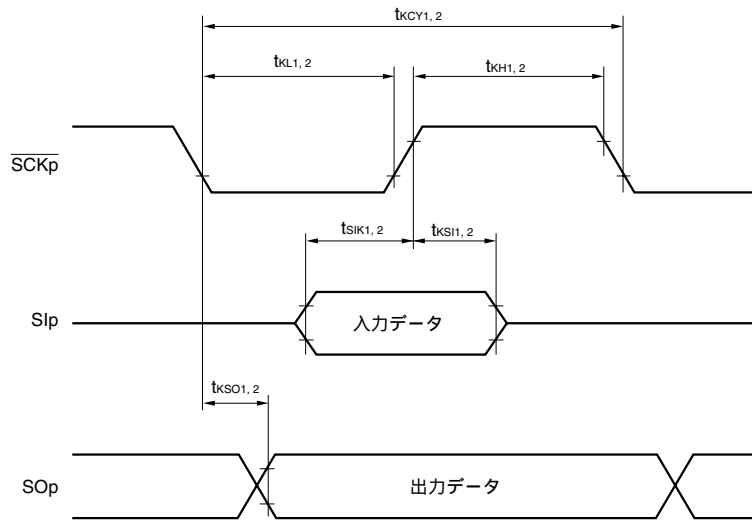
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (4/17)

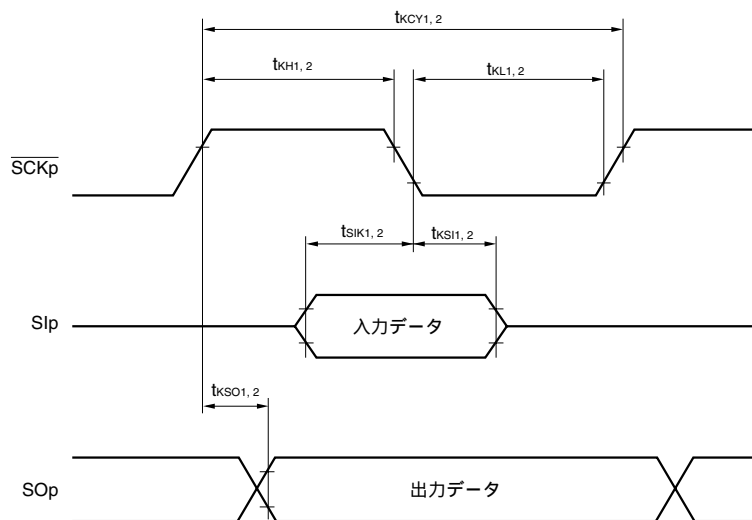
CSIモード接続図 (同電位通信時)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき)



CSIモード・シリアル転送タイミング (同電位通信時)
(DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のとき)



備考1. p : CSI番号 (p = 00, 01, 10)
2. n : チャネル番号 (n = 0-2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

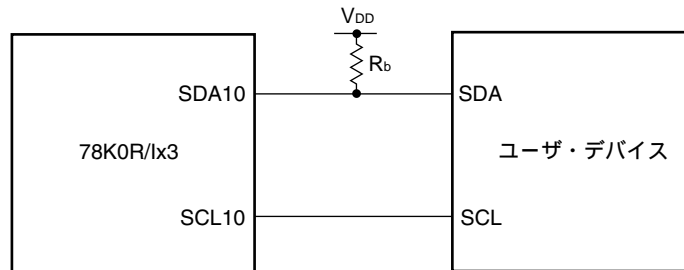
(2) シリアル・インタフェース：シリアル・アレィ・ユニット (5/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

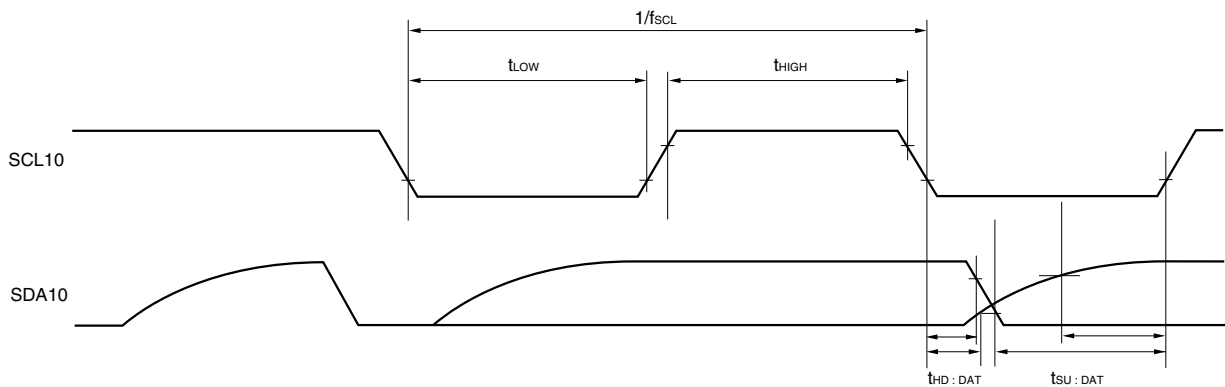
(d) 同電位通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCL10クロック周波数	f _{SCL}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 k		400	kHz
SCL10 = "L"のホールド・タイム	t _{LOW}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 k	1200		ns
SCL10 = "H"のホールド・タイム	t _{HIGH}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 k	1200		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V	1/f _{MCK} + 120		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	2.7 V ≤ V _{DD} ≤ 5.5 V, C _b = 100 pF, R _b = 3 k	0	660	ns

簡易I²Cモード接続図 (同電位通信時)



簡易I²Cモード・シリアル転送タイミング (同電位通信時)



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (6/17)

注意 PIM3レジスタとPOM3レジスタで、SDA10は通常入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCL10は通常出力モードを選択。

- 備考1. R_b [] : 通信ライン (SDA10) プルアップ抵抗値, C_b [F] : 通信ライン (SCL10, SDA10) 負荷容量値
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR02レジスタのCKS02ビットで設定する動作クロック)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (7/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (1/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位	
転送レート		受信	4.0 V V_{DD} 5.5 V,	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			$f_{MCK}/6$	bps
			2.7 V V_b 4.0 V				3.3	Mbps
			2.7 V $V_{DD} < 4.0\text{ V}$,	$f_{CLK} = 20\text{ MHz}$, $f_{MCK} = f_{CLK}$			$f_{MCK}/6$	bps
			2.3 V V_b 2.7 V				3.3	Mbps

注意 PIMgレジスタとPOMgレジスタで, RxDqはTTL入力バッファ, TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

備考1. q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 3, 7)

2. $V_b [V]$: 通信ライン電圧

3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数

(SMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-3))

4. シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (8/17)

(TA = -40 ~ +85 , 2.7 V VDD = EVDD 5.5 V, VSS = EVSS = AVSS = 0 V)

(e) 異電位 (2.5 V系, 3 V系) 通信時 (UARTモード) (専用ポー・レート・ジェネレータ出力) (2/2)

項目	略号	条件		MIN.	TYP.	MAX.	単位
転送レート	送信	4.0 V VDD 5.5 V, 2.7 V Vb 4.0 V				注1	bps
			fCLK = 16.8 MHz, fMCK = fCLK, Cb = 50 pF, Rb = 1.4 k , Vb = 2.7 V			2.8 ^{注2}	Mbps
		2.7 V VDD < 4.0 V, 2.3 V Vb 2.7 V				注3	bps
			fCLK = 19.2 MHz, fMCK = fCLK, Cb = 50 pF, Rb = 2.7 k , Vb = 2.3 V			1.2 ^{注4}	Mbps

注1. fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
4.0 V VDD = EVDD 5.5 V, 2.7 V Vb 4.0 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.2}{V_b}) \} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.2}{V_b}) \}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注1により算出してください。
- fMCK/6または次の計算式で求められる最大転送レートのどちらか小さい方が、有効な最大転送レートとなります。
2.7 V VDD = EVDD < 4.0 V, 2.3 V Vb 2.7 V時の転送レート計算式

$$\text{最大転送レート} = \frac{1}{\{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \} \times 3} \text{ [bps]}$$

$$\text{ポー・レート許容誤差(理論値)} = \frac{\frac{1}{\text{転送レート} \times 2} - \{ -C_b \times R_b \times \ln(1 - \frac{2.0}{V_b}) \}}{(\frac{1}{\text{転送レート}}) \times \text{転送ビット数}} \times 100 \text{ [%]}$$

この値は送信側と受信側の相対差の理論値となります。

- この値は、一例として、条件欄に書かれた条件の場合に算出される値を示したものです。お客様の条件での最大転送レートは注3により算出してください。

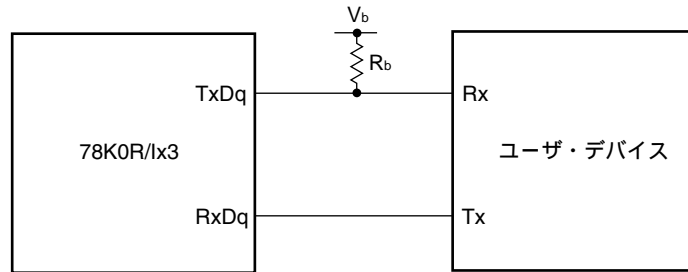
注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (VDD耐圧) モードを選択。

- 備考1. Rb[] : 通信ライン (TxDq) プルアップ抵抗値, Cb[F] : 通信ライン (TxDq) 負荷容量値, Vb [V] : 通信ライン電圧
- q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 3, 7)
 - fMCK : シリアル・アレイ・ユニットの動作クロック周波数
(SMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-3))
 - シリアル・アレイ・ユニットのUARTモードの異電位通信時のAC特性は下記のVIHとVILを観測点としています。
4.0 V VDD 5.5 V, 2.7 V Vb 4.0 Vのとき : VIH = 2.2 V, VIL = 0.8 V
2.7 V VDD 4.0 V, 2.3 V Vb 2.7 Vのとき : VIH = 2.0 V, VIL = 0.5 V
 - 78K0R/IB3のUART0は、異電位通信できません。

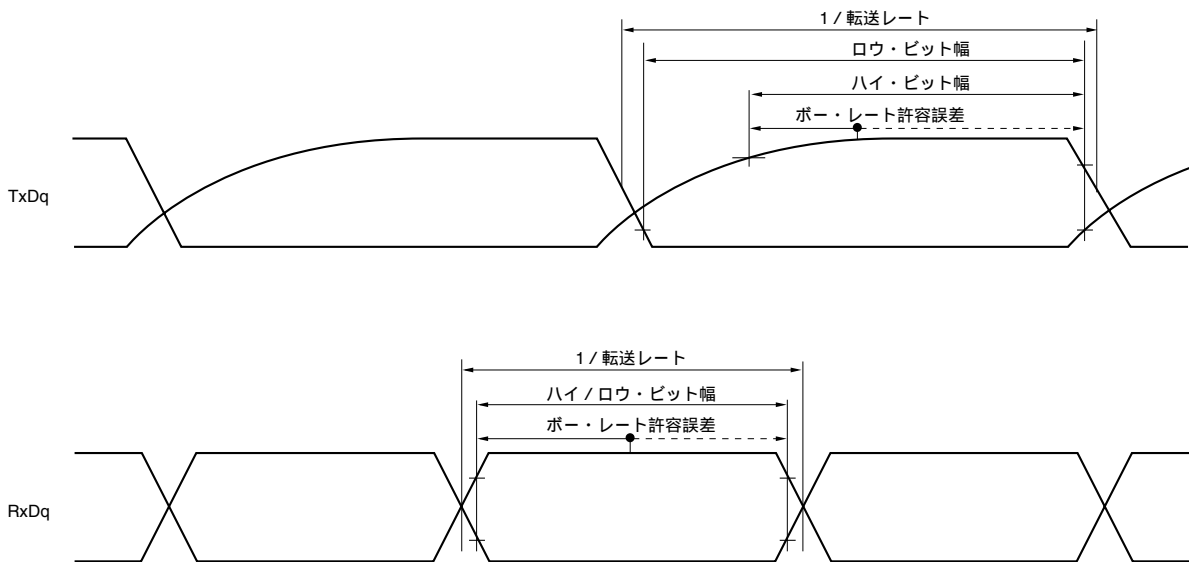
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (9/17)

UARTモード接続図 (異電位通信時)



UARTモードのビット幅 (異電位通信時) (参考)



注意 PIMgレジスタとPOMgレジスタで、RxDqはTTL入力バッファ、TxDqはN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. R_b [] : 通信ライン (TxDq) プルアップ抵抗値, V_b [V] : 通信ライン電圧
 2. q : UART番号 (q = 0, 1) , g : PIM, POM番号 (g = 3, 7)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (10/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, $V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (1/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t _{KCY1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	400 ^{注1}			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	800 ^{注1}			ns
SCKpハイ・レベル幅	t _{KH1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	t _{KCY1} /2 - 75			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	t _{KCY1} /2 - 170			ns
SCKpロウ・レベル幅	t _{KL1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	t _{KCY1} /2 - 20			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	t _{KCY1} /2 - 35			ns
Slpセットアップ時間 (対 \overline{SCKp}) ^{注2}	t _{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	150			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	275			ns
Slpホールド時間 (対 \overline{SCKp}) ^{注2}	t _{KSH1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k	30			ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k	30			ns
SCKp SOp出力遅延時間 ^{注2}	t _{KSO1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, C _b = 30 pF, R _b = 1.4 k			120	ns
		2.7 V $V_{DD} < 4.0$ V, 2.3 V V_b 2.7 V, C _b = 30 pF, R _b = 2.7 k			215	ns

注1. $\frac{1}{4}f_{CLK}$ 以上に設定してください。

2. DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき。

注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)

2. n : チャネル番号 (n = 0-2)

3. R_b [] : 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp, \overline{SCKp}) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記のV_{IH}とV_{IL}を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : V_{IH} = 2.2 V, V_{IL} = 0.8 V

2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : V_{IH} = 2.0 V, V_{IL} = 0.5 V

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (11/17)

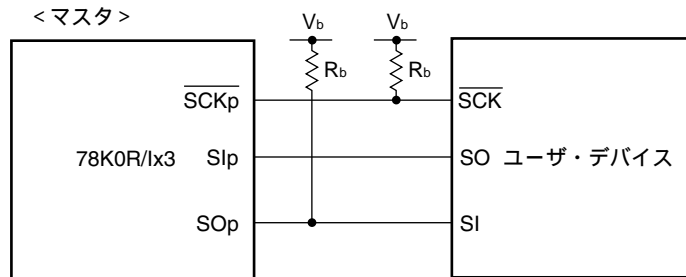
($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(f) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (マスタ・モード, \overline{SCKp} ...内部クロック出力) (2/2)

項目	略号	条件	MIN.	TYP.	MAX.	単位
Slpセットアップ時間 (対 \overline{SCKp}) ^注	t_{SIK1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$	70			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$	100			ns
Slpホールド時間 (対 \overline{SCKp}) ^注	t_{KSI1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$	30			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$	30			ns
\overline{SCKp} SOp出力遅延時間 ^注	t_{KSO1}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$			40	ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$			40	ns

注 DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のとき。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,SlpはTTL入力バッファ,SOpと \overline{SCKp} はN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)

2. n : チャネル番号 (n = 0-2)

3. R_b [] : 通信ライン (\overline{SCKp} , SOp) プルアップ抵抗値, C_b [F] : 通信ライン (SOp, \overline{SCKp}) 負荷容量値, V_b [V] : 通信ライン電圧

4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 Vのとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$

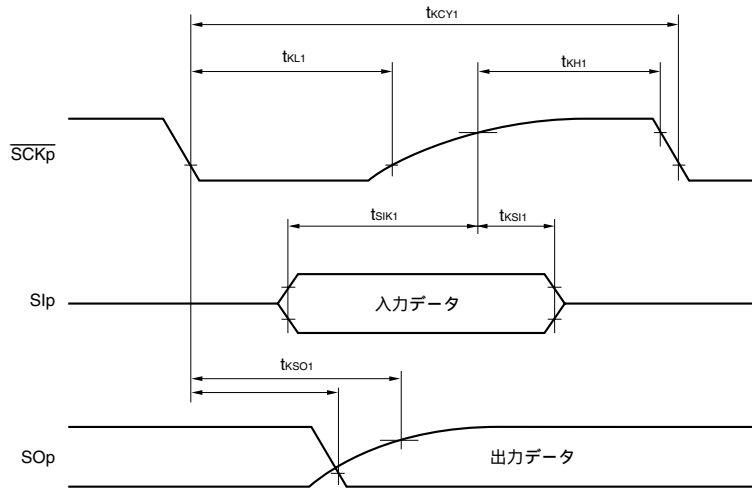
2.7 V V_{DD} 4.0 V, 2.3 V V_b 2.7 Vのとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (12/17)

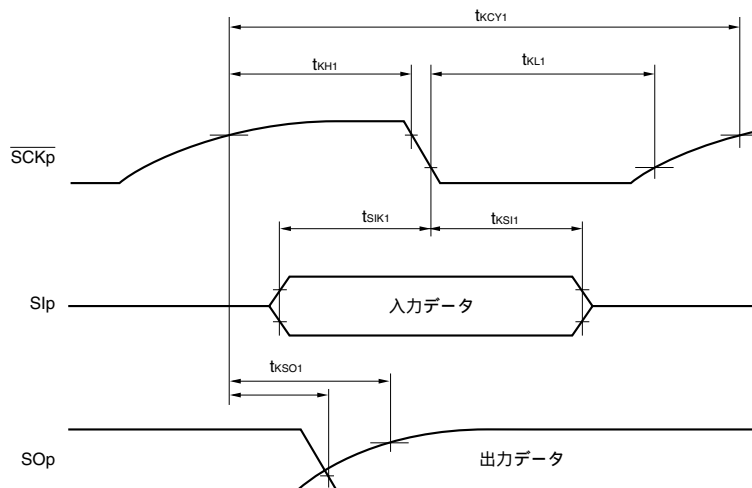
CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき）



CSIモード・シリアル転送タイミング：マスタ・モード（異電位通信時）

（DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のとき）



注意 PIMgレジスタとPOMgレジスタで、SlpはTTL入力バッファ、SOpとSCKpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)

2. n : チャネル番号 (n = 0-2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (13/17)

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V , $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

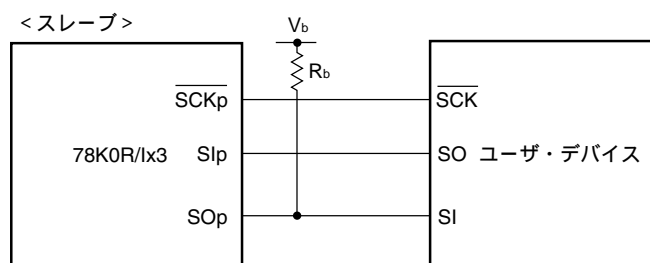
(g) 異電位 (2.5 V系, 3 V系) 通信時 (CSIモード) (スレーブ・モード, $\overline{\text{SCKp}}$...外部クロック入力)

項目	略号	条件	MIN.	TYP.	MAX.	単位
SCKpサイクル・タイム	t_{KCY2}	4.0 V V_{DD} 5.5 V, $13.6\text{ MHz} < f_{\text{MCK}}$	$10/f_{\text{MCK}}$			ns
		2.7 V V_b 4.0 V, $6.8\text{ MHz} < f_{\text{MCK}} < 13.6\text{ MHz}$	$8/f_{\text{MCK}}$			ns
		$f_{\text{MCK}} < 6.8\text{ MHz}$	$6/f_{\text{MCK}}$			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, $18.5\text{ MHz} < f_{\text{MCK}}$	$16/f_{\text{MCK}}$			ns
		2.3 V V_b 2.7 V, $14.8\text{ MHz} < f_{\text{MCK}} < 18.5\text{ MHz}$	$14/f_{\text{MCK}}$			ns
		$11.1\text{ MHz} < f_{\text{MCK}} < 14.8\text{ MHz}$	$12/f_{\text{MCK}}$			ns
		$7.4\text{ MHz} < f_{\text{MCK}} < 11.1\text{ MHz}$	$10/f_{\text{MCK}}$			ns
		$3.7\text{ MHz} < f_{\text{MCK}} < 7.4\text{ MHz}$	$8/f_{\text{MCK}}$			ns
		$f_{\text{MCK}} < 3.7\text{ MHz}$	$6/f_{\text{MCK}}$			ns
SCKpハイ, ロウ・レベル幅	t_{KH2} , t_{KL2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V	$t_{\text{KCY2}}/2 - 20$			ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V	$t_{\text{KCY2}}/2 - 35$			ns
Slpセットアップ時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{SIK2}		90			ns
Slpホールド時間 (対 $\overline{\text{SCKp}}$) ^{注1}	t_{KSI2}		$1/f_{\text{MCK}} + 50$			ns
SCKp SOP出力遅延時間 ^{注2}	t_{KSO2}	4.0 V V_{DD} 5.5 V, 2.7 V V_b 4.0 V, $C_b = 30\text{ pF}$, $R_b = 1.4\text{ k}$			$2/f_{\text{MCK}} + 120$	ns
		2.7 V $V_{DD} < 4.0\text{ V}$, 2.3 V V_b 2.7 V, $C_b = 30\text{ pF}$, $R_b = 2.7\text{ k}$			$2/f_{\text{MCK}} + 230$	ns

注1. $DAP0n = 0$, $CKP0n = 0$ または $DAP0n = 1$, $CKP0n = 1$ のとき。 $DAP0n = 0$, $CKP0n = 1$ または $DAP0n = 1$, $CKP0n = 0$ のときは“対 $\overline{\text{SCKp}}$ ”となります。

2. $DAP0n = 0$, $CKP0n = 0$ または $DAP0n = 1$, $CKP0n = 1$ のとき。 $DAP0n = 0$, $CKP0n = 1$ または $DAP0n = 1$, $CKP0n = 0$ のときは“対 $\overline{\text{SCKp}}$ ”となります。

CSIモード接続図 (異電位通信時)



注意 PIMgレジスタとPOMgレジスタで,Slpと $\overline{\text{SCKp}}$ はTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD} 耐圧)モードを選択。

(備考は次ページにあります。)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (14/17)

備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)

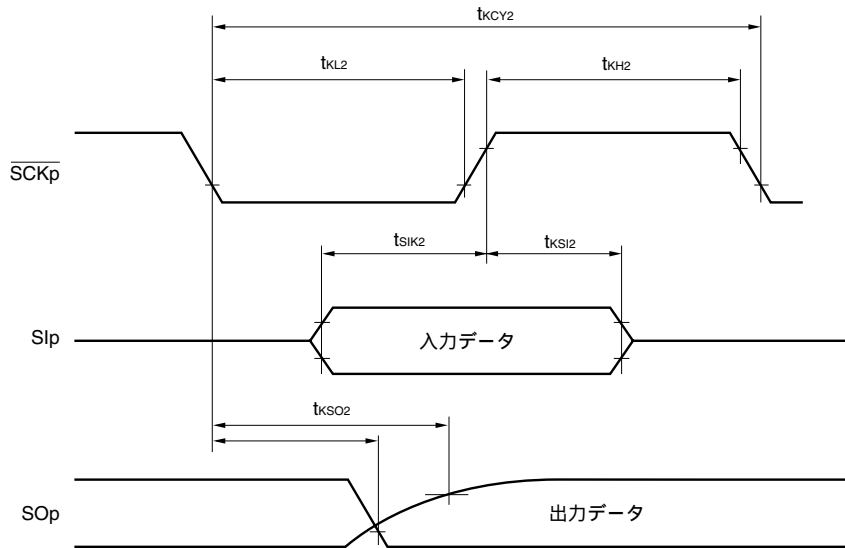
2. R_b [] : 通信ライン (SO_p) プルアップ抵抗値, C_b [F] : 通信ライン (SO_p) 負荷容量値, V_b [V] : 通信ライン電圧
3. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数
(SMR0nレジスタのCKS0nビットで設定する動作クロック。n : チャネル番号 (n = 0-2))
4. シリアル・アレイ・ユニットのCSIモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。

4.0 V	V_{DD}	5.5 V, 2.7 V	V_b	4.0 Vのとき : $V_{IH} = 2.2$ V, $V_{IL} = 0.8$ V
2.7 V	V_{DD}	4.0 V, 2.3 V	V_b	2.7 Vのとき : $V_{IH} = 2.0$ V, $V_{IL} = 0.5$ V

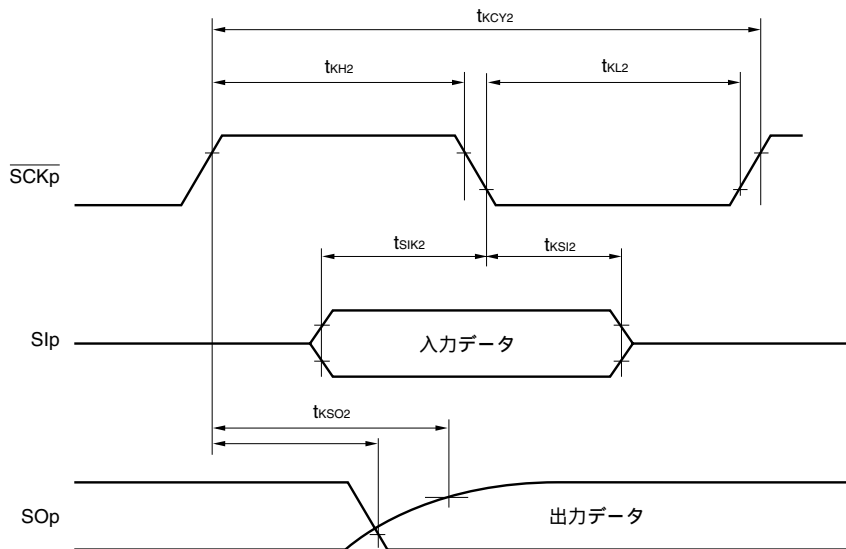
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (15/17)

CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 （DAP0n = 0, CKP0n = 0またはDAP0n = 1, CKP0n = 1のとき）



CSIモード・シリアル転送タイミング：スレーブ・モード（異電位通信時）
 （DAP0n = 0, CKP0n = 1またはDAP0n = 1, CKP0n = 0のとき）



注意 PIMgレジスタとPOMgレジスタで,SlpとSCKpはTTL入力バッファ,SOpはN-chオープン・ドレイン出力(V_{DD}耐圧)モードを選択。

- 備考1. p : CSI番号 (p = 00, 01, 10) , g : PIM, POM番号 (g = 3, 7)
 2. n : チャネル番号 (n = 0-2)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (16/17)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(h) 異電位 (2.5 V系, 3 V系) 通信時 (簡易I²Cモード)

項目	略号	条件	MIN.	MAX.	単位
SCL10クロック周波数	f _{SCL}	4.0 V $V_{DD} = 5.5\text{ V}$, 2.7 V $V_b = 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$		400	kHz
		2.7 V $V_{DD} = 4.0\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$		400	kHz
SCL10 = "L"のホールド・タイム	t _{LOW}	4.0 V $V_{DD} = 5.5\text{ V}$, 2.7 V $V_b = 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	1275		ns
		2.7 V $V_{DD} = 4.0\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	1275		ns
SCL10 = "H"のホールド・タイム	t _{HIGH}	4.0 V $V_{DD} = 5.5\text{ V}$, 2.7 V $V_b = 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	655		ns
		2.7 V $V_{DD} = 4.0\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	655		ns
データ・セットアップ時間 (受信時)	t _{SU : DAT}	4.0 V $V_{DD} = 5.5\text{ V}$, 2.7 V $V_b = 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	$1/f_{MCK} + 190$		ns
		2.7 V $V_{DD} = 4.0\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	$1/f_{MCK} + 190$		ns
データ・ホールド時間 (送信時)	t _{HD : DAT}	4.0 V $V_{DD} = 5.5\text{ V}$, 2.7 V $V_b = 4.0\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 1.4\text{ k}$	0	640	ns
		2.7 V $V_{DD} = 4.0\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$, $C_b = 100\text{ pF}$, $R_b = 2.7\text{ k}$	0	660	ns

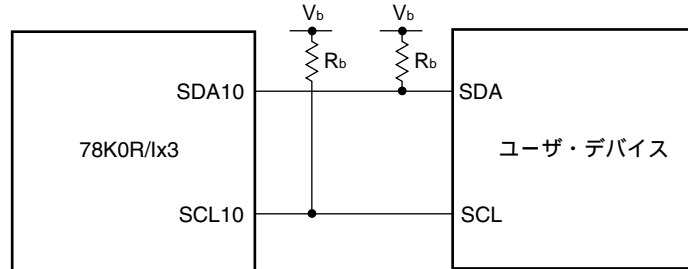
注意 PIM3レジスタとPOM3レジスタで、SDA10はTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択、SCL10はN-chオープン・ドレイン出力 (V_{DD} 耐圧) モードを選択。

- 備考1. R_b [] : 通信ライン (SDA10, SCL10) プルアップ抵抗値, C_b [F] : 通信ライン (SDA10, SCL10) 負荷容量値, V_b [V] : 通信ライン電圧
2. f_{MCK} : シリアル・アレイ・ユニットの動作クロック周波数 (SMR02レジスタのCKS02ビットで設定する動作クロック。)
3. シリアル・アレイ・ユニットの簡易I²Cモードの異電位通信時のAC特性は下記の V_{IH} と V_{IL} を観測点としています。
- 4.0 V $V_{DD} = 5.5\text{ V}$, 2.7 V $V_b = 4.0\text{ V}$ のとき : $V_{IH} = 2.2\text{ V}$, $V_{IL} = 0.8\text{ V}$
- 2.7 V $V_{DD} = 4.0\text{ V}$, 2.3 V $V_b = 2.7\text{ V}$ のとき : $V_{IH} = 2.0\text{ V}$, $V_{IL} = 0.5\text{ V}$

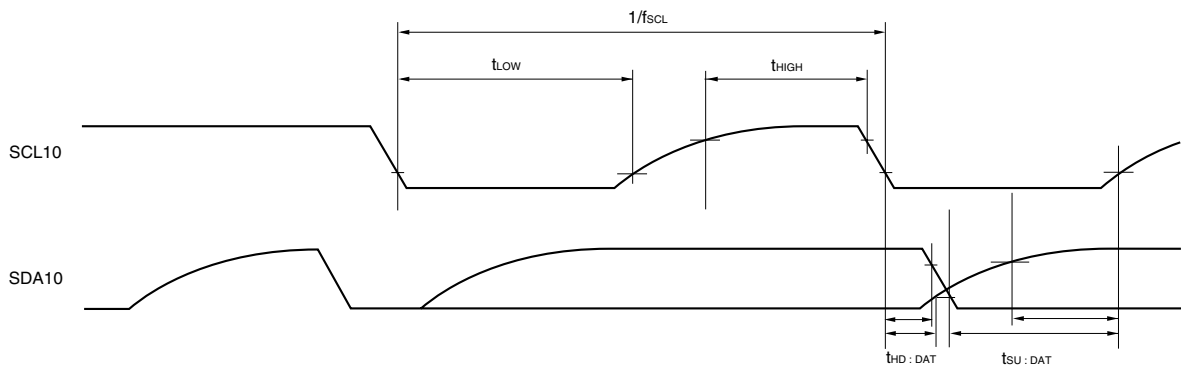
注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(2) シリアル・インタフェース：シリアル・アレイ・ユニット (17/17)

簡易I²Cモード接続図 (異電位通信時)



簡易I²Cモード・シリアル転送タイミング (異電位通信時)



注意 PIM3レジスタとPOM3レジスタで、SDA10はTTL入力バッファ、N-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択、SCL10はN-chオープン・ドレイン出力 (V_{DD}耐圧) モードを選択。

備考 R_b [] : 通信ライン (SDA10, SCL10) プルアップ抵抗値, V_b [V] : 通信ライン電圧

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(3) シリアル・インタフェース：IICA

($T_A = -40 \sim +85$, $2.7 V \leq V_{DD} = EV_{DD} \leq 5.5 V$, $V_{SS} = EV_{SS} = AV_{SS} = 0 V$)

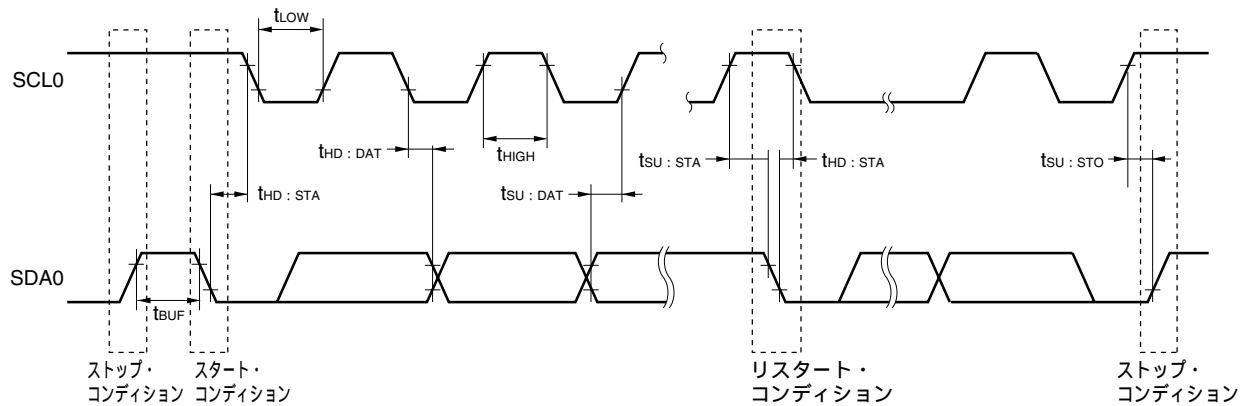
(a) IICA

項目	略号	条件	標準モード		高速モード		単位
			MIN.	MAX.	MIN.	MAX.	
SCL0クロック周波数	f_{SCL}	高速モード： $f_{CLK} \leq 3.5 \text{ MHz}$ 標準モード： $f_{CLK} \leq 1 \text{ MHz}$	0	100	0	400	kHz
リスタート・コンディションのセットアップ時間 ^{注1}	$t_{SU:STA}$		4.7		0.6		μs
ホールド時間	$t_{HD:STA}$		4.0		0.6		μs
SCL0 = "L"のホールド・タイム	t_{LOW}		4.7		1.3		μs
SCL0 = "H"のホールド・タイム	t_{HIGH}		4.0		0.6		μs
データ・セットアップ時間（受信時）	$t_{SU:DAT}$		250		100		ns
データ・ホールド時間（送信時） ^{注2}	$t_{HD:DAT}$		0	3.45	0	0.9	μs
ストップ・コンディションのセットアップ時間	$t_{SU:STO}$		4.0		0.6		μs
バス・フリー時間	t_{BUF}		4.7		1.3		μs

注1. スタート・コンディション、リスタート・コンディション時は、この期間のあと最初のクロック・パルスが生成されます。

2. $t_{HD:DAT}$ の最大値（MAX.）は、通常転送時の数値であり、 \overline{ACK} （アクノリッジ）タイミングでは、ウエイトがかかります。

IICAシリアル転送タイミング



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

(4) シリアル・インタフェース：オンチップ・デバッグ (UART)

($T_A = -40 \sim +85$, $2.7\text{ V} \leq V_{DD} = EV_{DD} \leq 5.5\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

(a) オンチップ・デバッグ (UART)

項目	略号	条件	MIN.	TYP.	MAX.	単位
転送レート			$f_{CLK}/2^{12}$		$f_{CLK}/6$	bps
		フラッシュ・メモリ・プログラミング・モード			3.33	Mbps
TOOL1出力周波数	f_{TOOL1}	$2.7\text{ V} \leq V_{DD} \leq 5.5\text{ V}$			10	MHz

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

A/Dコンバータ特性

($T_A = -40 \sim +85$, 2.7 V $V_{DD} = EV_{DD}$ 5.5 V, 2.7 V AV_{REF} $V_{DD}, V_{SS} = EV_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
分解能	RES					10	bit
総合誤差 ^{注1,2}	AINL					± 0.35	%FSR
変換時間	t_{CONV}	4.0 V AV_{REF} 5.5 V	高速モード1	2.5		66.6	μ s
			通常モード	5.2		66.6	μ s
		2.7 V $AV_{REF} < 5.5$ V	高速モード2	3.5		66.6	μ s
			通常モード	8.6		66.6	μ s
ゼロスケール誤差 ^{注1,2}	EZS					± 0.25	%FSR
フルスケール誤差 ^{注1,2}	EFS					± 0.25	%FSR
積分直線性誤差 ^{注1}	ILE					± 2.5	LSB
微分直線性誤差 ^{注1}	DLE					± 1.5	LSB
アナログ入力電圧	V_{AIN}	2.7 V AV_{REF} 5.5 V		AV_{SS}		AV_{REF}	V

注1. 量子化誤差 (± 1/2 LSB) を含みません。

2. フルスケール値に対する比率 (%FSR) で表します。

プログラマブル・ゲイン・アンプ特性

($T_A = -40 \sim +85$, 2.7 V V_{DD} 5.5 V, 2.7 V AV_{REF} $V_{DD}, V_{SS} = AV_{SS} = 0$ V)

項目	略号	条件		MIN.	TYP.	MAX.	単位
入力オフセット電圧	V_{IOAMP}				± 5	± 10	mV
入力電圧範囲	V_{IAMP}			0.1 AV_{REF} /ゲイン		0.9 AV_{REF} /ゲイン	V
最大出力電圧	V_{OAMP}			0.1 AV_{REF}		0.9 AV_{REF}	V
スルー・レート	SR_F	立ち上がり	4.0 V AV_{REF} 5.5 V	3.5			V/μ s
			2.7 V $AV_{REF} < 4.0$ V	2			V/μ s
	SR_R	立ち下がり	4.0 V AV_{REF} 5.5 V	4			V/μ s
			2.7 V $AV_{REF} < 4.0$ V	2.5			V/μ s
ゲイン	RG			4 ~ 12		倍	
動作安定待ち時間	t_{AMP}					3	μ s

備考 スルー・レート：出力電圧の立ち上がり，立ち下がりの時間に対する変化

V/μ s：1 μ sあたりの電圧の変化

動作安定待ち時間：プログラマブル・ゲイン・アンプの動作許可 (OAMレジスタのOAEN = 1) から，プログラマブル・ゲイン・アンプがDC/AC特性を満足できる状態になるまでの時間

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

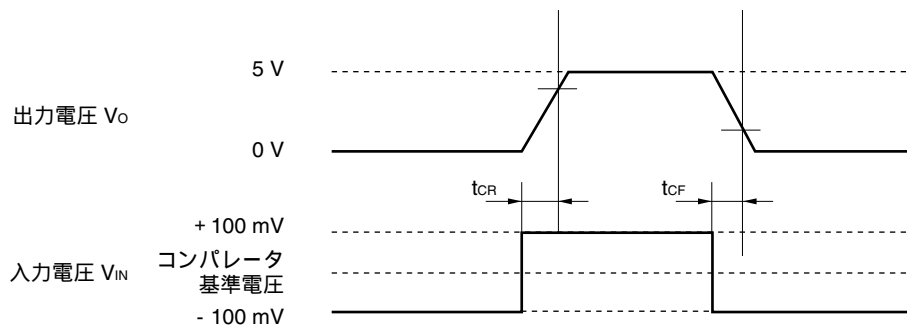
コンパレータ特性

($T_A = -40 \sim +85$, $2.7\text{ V } V_{DD} 5.5\text{ V}, 2.7\text{ V } AV_{REF} V_{DD}, V_{SS} = AV_{SS} = 0\text{ V}$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
入力オフセット電圧	$V_{IO_{CMP}}$			± 5	± 40	mV
入力電圧範囲	$V_{I_{CMP}}$		$0.1AV_{REF}$		$0.9AV_{REF}$	V
内蔵基準電圧偏差	$V_{I_{REF}}$			2.5	10	%
応答時間	t_{CR}	入力振幅 = $\pm 100\text{ mV}$, 立ち上がり ^{注1}		150	300	ns
	t_{CF}	入力振幅 = $\pm 100\text{ mV}$, 立ち下がり ^{注2}		150	300	ns
動作安定待ち時間	t_{CMP}				1	$\mu\text{ s}$
基準電圧安定待ち時間	t_{VR}				1	$\mu\text{ s}$

注1 . CMP0P, CMP1P入力またはプログラブル・ゲイン・アンプ出力が, コンパレータ基準電圧 - 100 mVからコンパレータ基準電圧 + 100 mVに変化する時のパルス応答特性

2 . CMP0P, CMP1P入力またはプログラブル・ゲイン・アンプ出力が, コンパレータ基準電圧 + 100 mVからコンパレータ基準電圧 - 100 mVに変化する時のパルス応答特性



備考 動作安定待ち時間 : コンパレータの動作許可(C_nCTL レジスタの $C_nEN = 1$)から, コンパレータがDC/AC特性を満足できる状態になるまでの時間 ($n = 0, 1$)

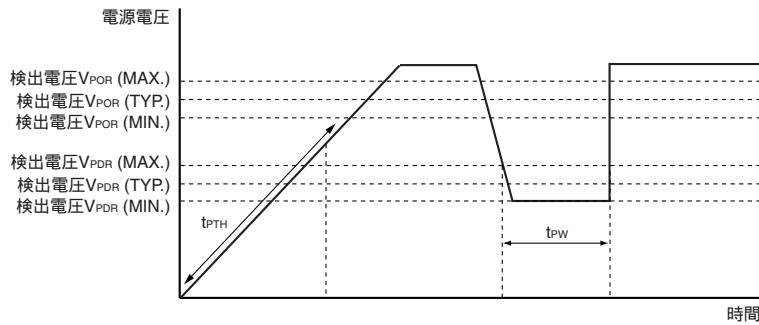
基準電圧安定待ち時間 : 内蔵基準電圧動作許可 (C_nRVM レジスタの $C_nVRE = 1$) から, 内蔵基準電圧回路の電圧レベルが理想値の99%に達するまでの時間 ($n = 0, 1$)

注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

POC回路特性 ($T_A = -40 \sim +85$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	V_{POR}	電源立ち上がり時	1.52	1.61	1.70	V
	V_{PDR}	電源立ち下がり時	1.5	1.59	1.68	V
電源電圧立ち上がり傾き	t_{PTH}	$V_{DD} : 0V$ V_{POR} の変化傾き	0.5			V/ms
最小パルス幅	t_{PW}	電源降下時	200			μs
検出遅延					200	μs

POC回路タイミング



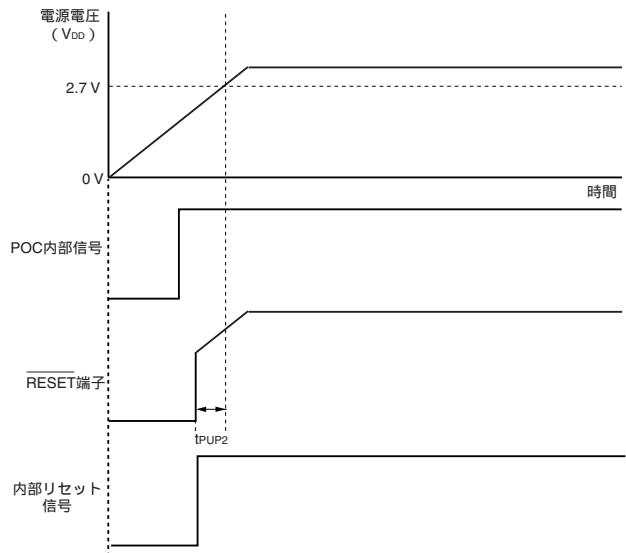
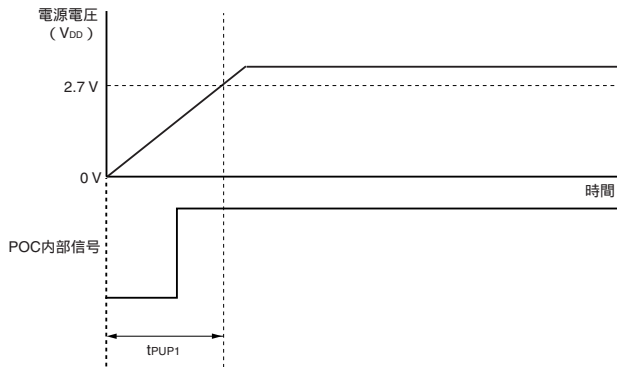
電源電圧立ち上げ時間 ($T_A = -40 \sim +85$, $V_{SS} = 0V$)

項目	略号	条件	MIN.	TYP.	MAX.	単位
2.7V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 ($V_{DD} : 0V \sim 2.7V$)	t_{PUP1}	RESET入力未使用時			3.6	ms
2.7V (V_{DD} (MIN.)) までの立ち上げ最大時間 ^注 (RESET入力解除 $V_{DD} : 2.7V$)	t_{PUP2}	RESET入力使用時			1.88	ms

注 この時間より短い時間で電源を立ち上げるようにしてください。

電源電圧立ち上げ時間のタイミング

- ・ RESET端子入力未使用時
- ・ RESET端子入力使用時 (POC解除後, RESET端子による外部リセットが解除される場合)



注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

LVI回路特性 ($T_A = -40 \sim +85$, $V_{PDR} = V_{DD} = EV_{DD} = 5.5 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

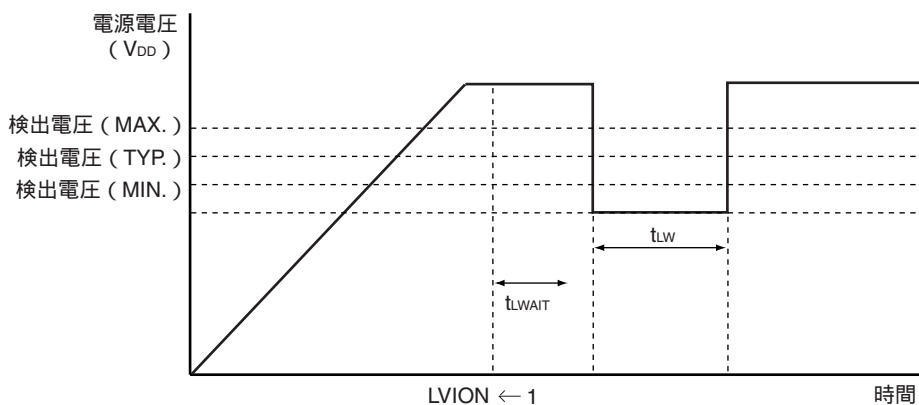
項目	略号	条件	MIN.	TYP.	MAX.	単位
検出電圧	電源電圧レベル	V_{LVI0}	4.12	4.22	4.32	V
		V_{LVI1}	3.97	4.07	4.17	V
		V_{LVI2}	3.82	3.92	4.02	V
		V_{LVI3}	3.66	3.76	3.86	V
		V_{LVI4}	3.51	3.61	3.71	V
		V_{LVI5}	3.35	3.45	3.55	V
		V_{LVI6}	3.20	3.30	3.40	V
		V_{LVI7}	3.05	3.15	3.25	V
		V_{LVI8}	2.89	2.99	3.09	V
		V_{LVI9}	2.74	2.84	2.94	V
	外部入力端子 ^{注1}	$V_{EXLVI} < V_{DD}, 2.7 \text{ V}$ $V_{DD} = 5.5 \text{ V}$	1.11	1.21	1.31	V
最小パルス幅	t_{LW}		200			μs
検出遅延					200	μs
動作安定待ち時間 ^{注2}	t_{LWAIT}				10	μs

注1. EXLVI/P120/INTP0端子を使用します。

2. 低電圧検出レジスタ (LVIM) のビット7 (LVION) に1を設定してから動作が安定するまでの時間です。

備考 $V_{LVI(n-1)} > V_{LVI n} : n = 1-9$

LVI回路タイミング

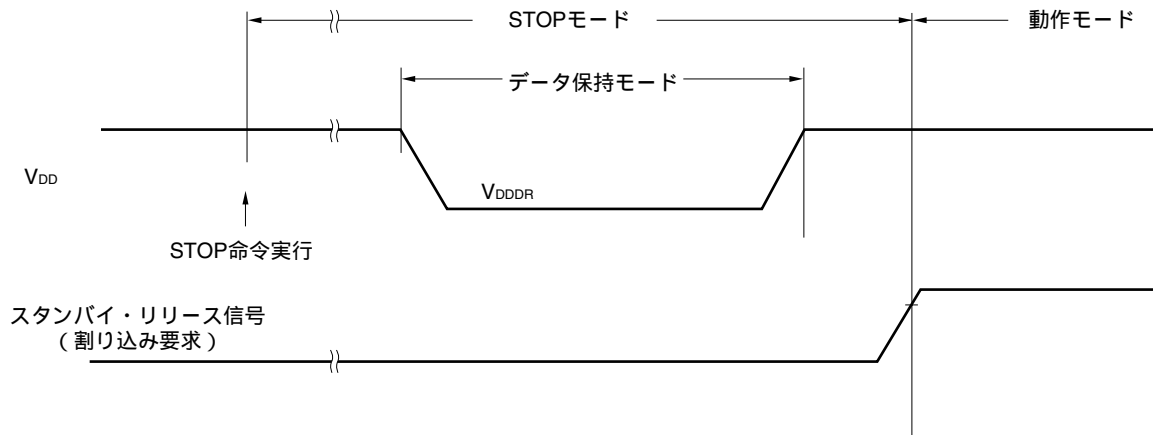


注意 製品により搭載している端子が異なります。この章の冒頭の注意2にある表を参照してください。

データ・メモリSTOPモード低電源電圧データ保持特性 (TA = -40 ~ +85)

項目	略号	条件	MIN.	TYP.	MAX.	単位
データ保持電源電圧	V _{DDDR}		1.5 ^註		5.5	V

注 POC検出電圧に依存します。電圧降下時、POCリセットがかかるまではデータを保持しますが、POCリセットがかかった場合のデータは保持されません。



フラッシュ・メモリ・プログラミング特性

(TA = -40 ~ +85 , 2.7 V V_{DD} = EV_{DD} 5.5 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V)

項目	略号	条件	MIN.	TYP.	MAX.	単位
V _{DD} 電源電流	I _{DD}	TYP. = 10 MHz, MAX. = 20 MHz		6	20	mA
書き換え回数(ブロックごとの消去回数)	C _{enwr}	プログラム更新用途 フラッシュ・メモリ・プログラマ 使用時および当社提供のセルフ・ プログラミング・ライブラリを使用時	保持 15年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレー ション・ライブラリ使用時。	保持 5年	10,000		回

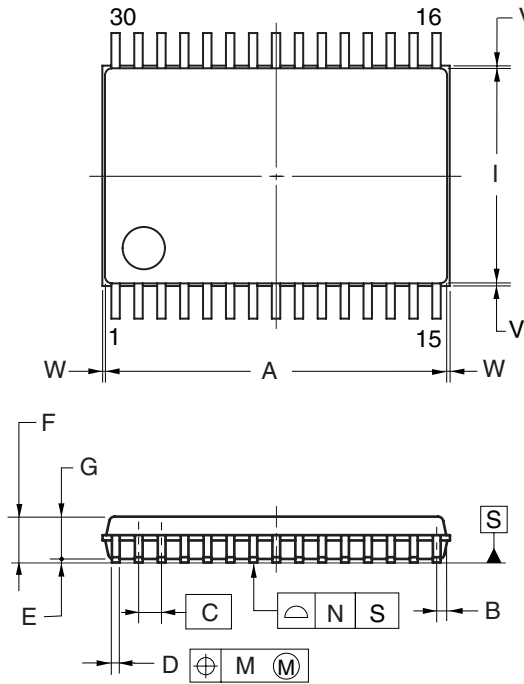
備考 データを複数回更新する場合は、データ更新用途として使用してください。

第29章 外形図

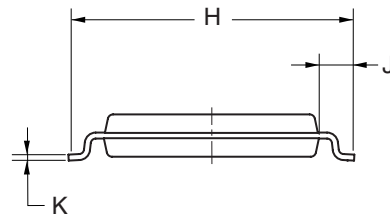
29.1 78K0R/IB3

μ PD78F1201MC-CAB-AX, 78F1203MC-CAB-AX

30-PIN PLASTIC SSOP (7.62mm (300))



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
A	9.70±0.10
B	0.30
C	0.65 (T.P.)
D	0.22 ^{+0.10} _{-0.05}
E	0.10±0.05
F	1.30±0.10
G	1.20
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.05} _{-0.01}
L	0.50
M	0.13
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P30MC-65-CAB

NOTE

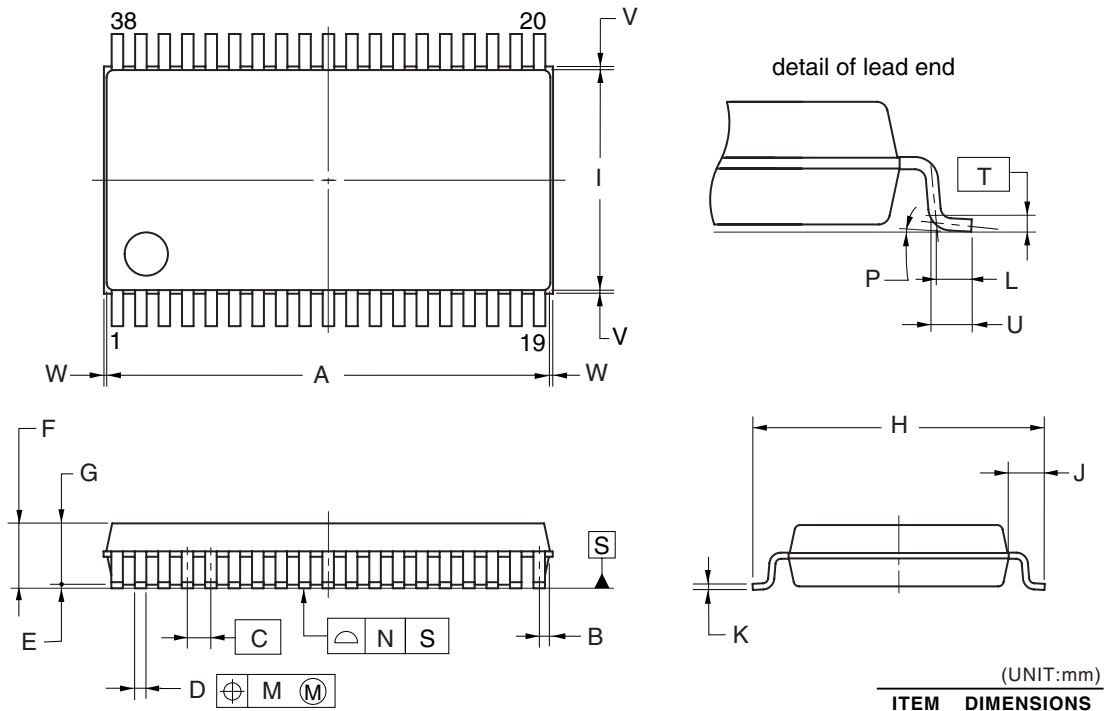
Each lead centerline is located within 0.13 mm of its true position (T.P.) at maximum material condition.

© NEC Electronics Corporation 2005

29.2 78K0R/IC3

μPD78F1211MC-GAA-AX, 78F1213MC-GAA-AX

38-PIN PLASTIC SSOP (7.62mm (300))



NOTE

Each lead centerline is located within 0.10 mm of its true position (T.P.) at maximum material condition.

(UNIT:mm)

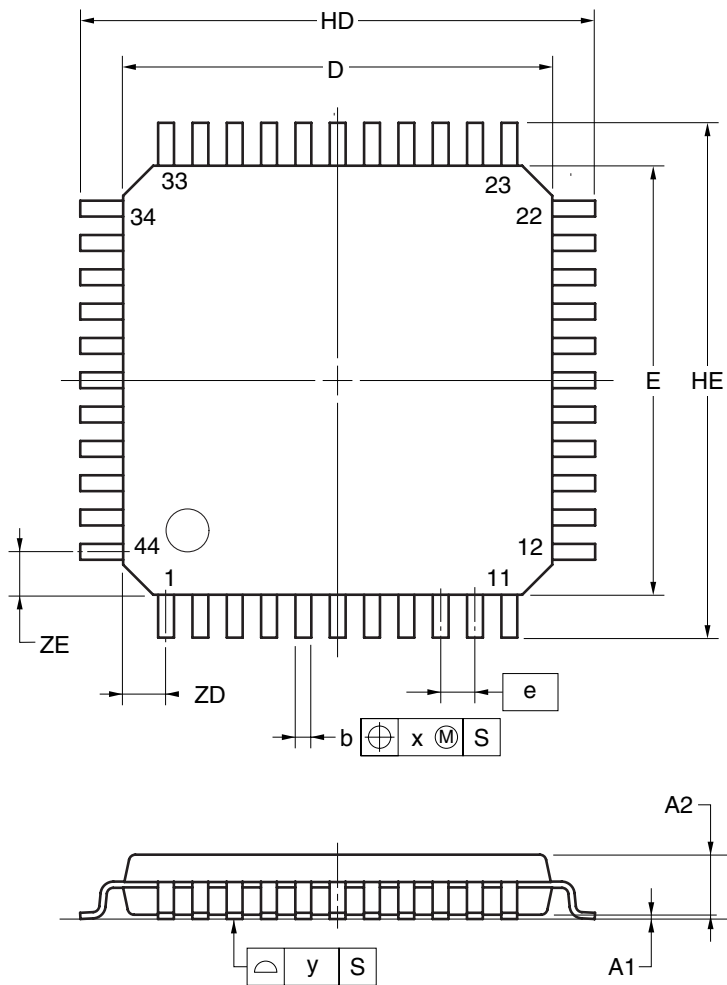
ITEM	DIMENSIONS
A	12.30±0.10
B	0.30
C	0.65 (T.P.)
D	0.30 ^{+0.10} _{-0.05}
E	0.125±0.075
F	2.00 MAX.
G	1.70±0.10
H	8.10±0.20
I	6.10±0.10
J	1.00±0.20
K	0.15 ^{+0.10} _{-0.05}
L	0.50
M	0.10
N	0.10
P	3° ^{+5°} _{-3°}
T	0.25(T.P.)
U	0.60±0.15
V	0.25 MAX.
W	0.15 MAX.

P38MC-65-GAA

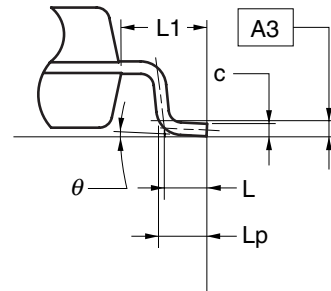
© NEC Electronics Corporation 2005

μPD78F1211GB-GAF-AX, 78F1213GB-GAF-AX

44-PIN PLASTIC LQFP (10x10)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	10.00±0.20
E	10.00±0.20
HD	12.00±0.20
HE	12.00±0.20
A	1.60 MAX.
A1	0.10±0.05
A2	1.40±0.05
A3	0.25
b	0.35 ^{+0.08} _{-0.04}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.80
x	0.20
y	0.10
ZD	1.00
ZE	1.00

NOTE

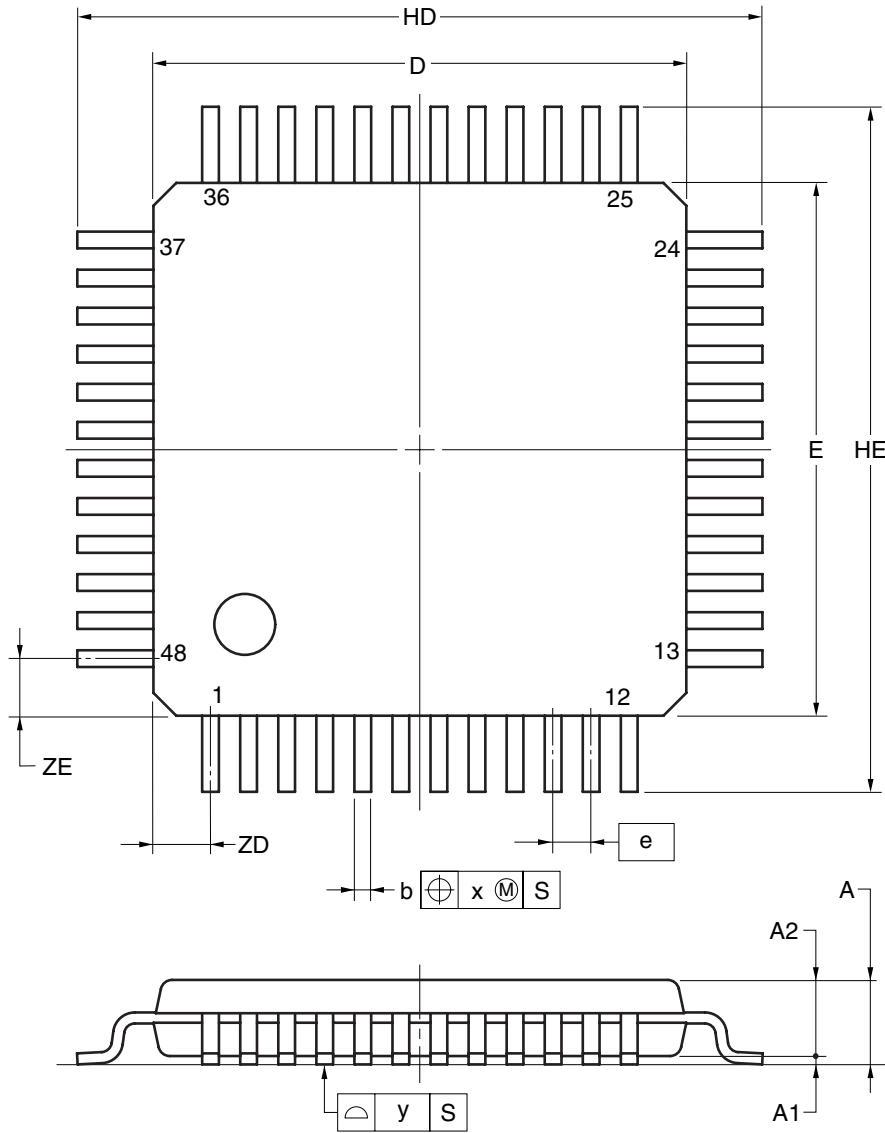
Each lead centerline is located within 0.20 mm of its true position at maximum material condition.

P44GB-80-GAF

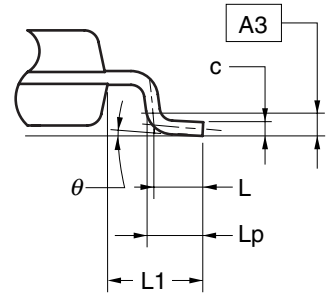
© NEC Electronics Corporation 2005

μPD78F1213GA-HAA-AX, 78F1214GA-HAA-AX, 78F1215GA-HAA-AX

48-PIN PLASTIC TQFP (FINE PITCH) (7x7)



detail of lead end



(UNIT:mm)

ITEM	DIMENSIONS
D	7.00±0.20
E	7.00±0.20
HD	9.00±0.20
HE	9.00±0.20
A	1.20 MAX.
A1	0.10±0.05
A2	1.00±0.05
A3	0.25
b	0.20 ^{+0.07} _{-0.03}
c	0.125 ^{+0.075} _{-0.025}
L	0.50
Lp	0.60±0.15
L1	1.00±0.20
θ	3° ^{+5°} _{-3°}
e	0.50
x	0.08
y	0.08
ZD	0.75
ZE	0.75

P48GA-50-HAA

NOTE

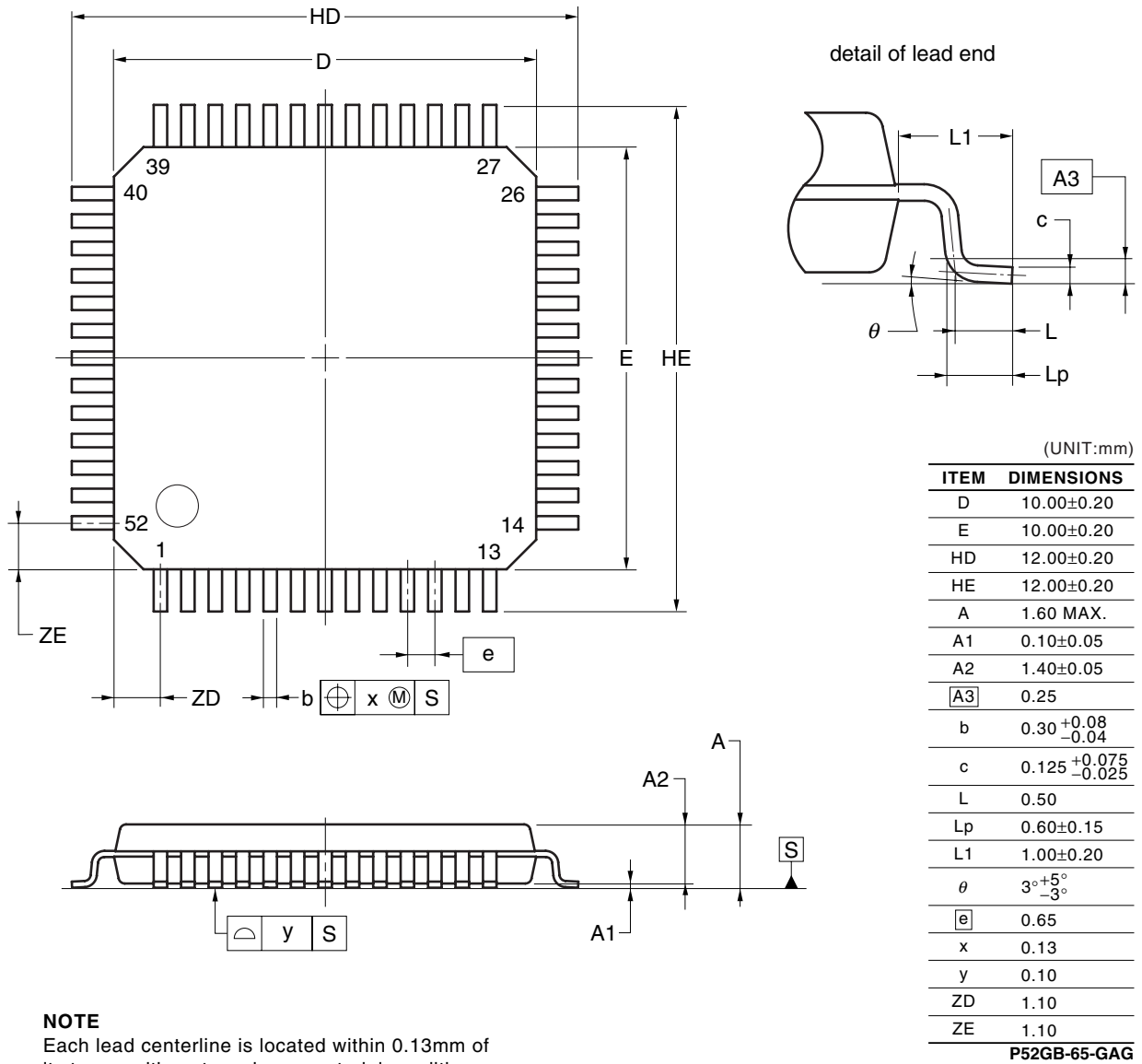
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

29.3 78K0R/ID3

μPD78F1223GB-GAG-AX, 78F1224GB-GAG-AX, 78F1225GB-GAG-AX

52-PIN PLASTIC LQFP (10x10)



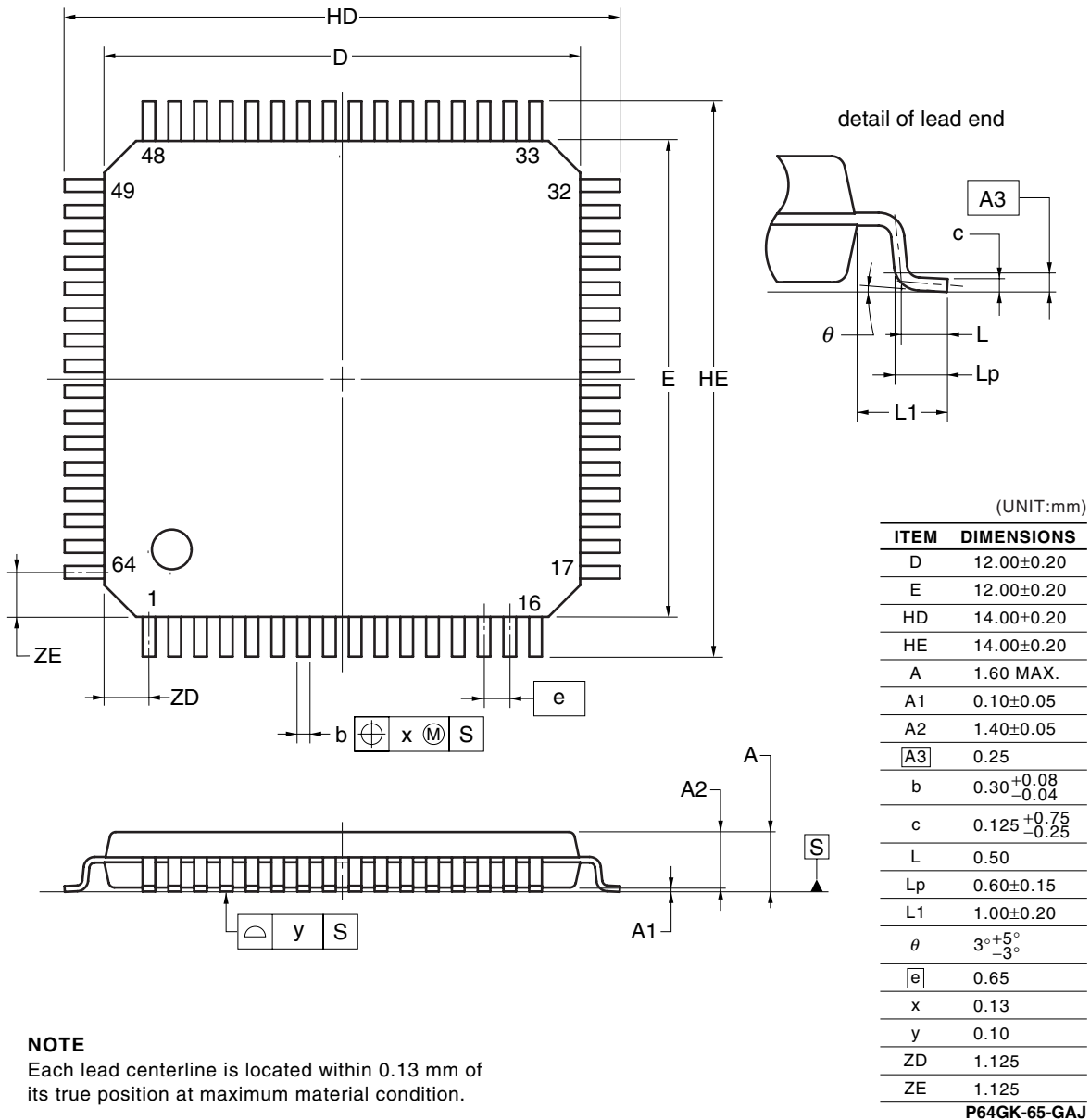
NOTE
Each lead centerline is located within 0.13mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

29.4 78K0R/IE3

μPD78F1233GK-GAJ-AX, 78F1234GK-GAJ-AX, 78F1235GK-GAJ-AX

64-PIN PLASTIC LQFP (12x12)



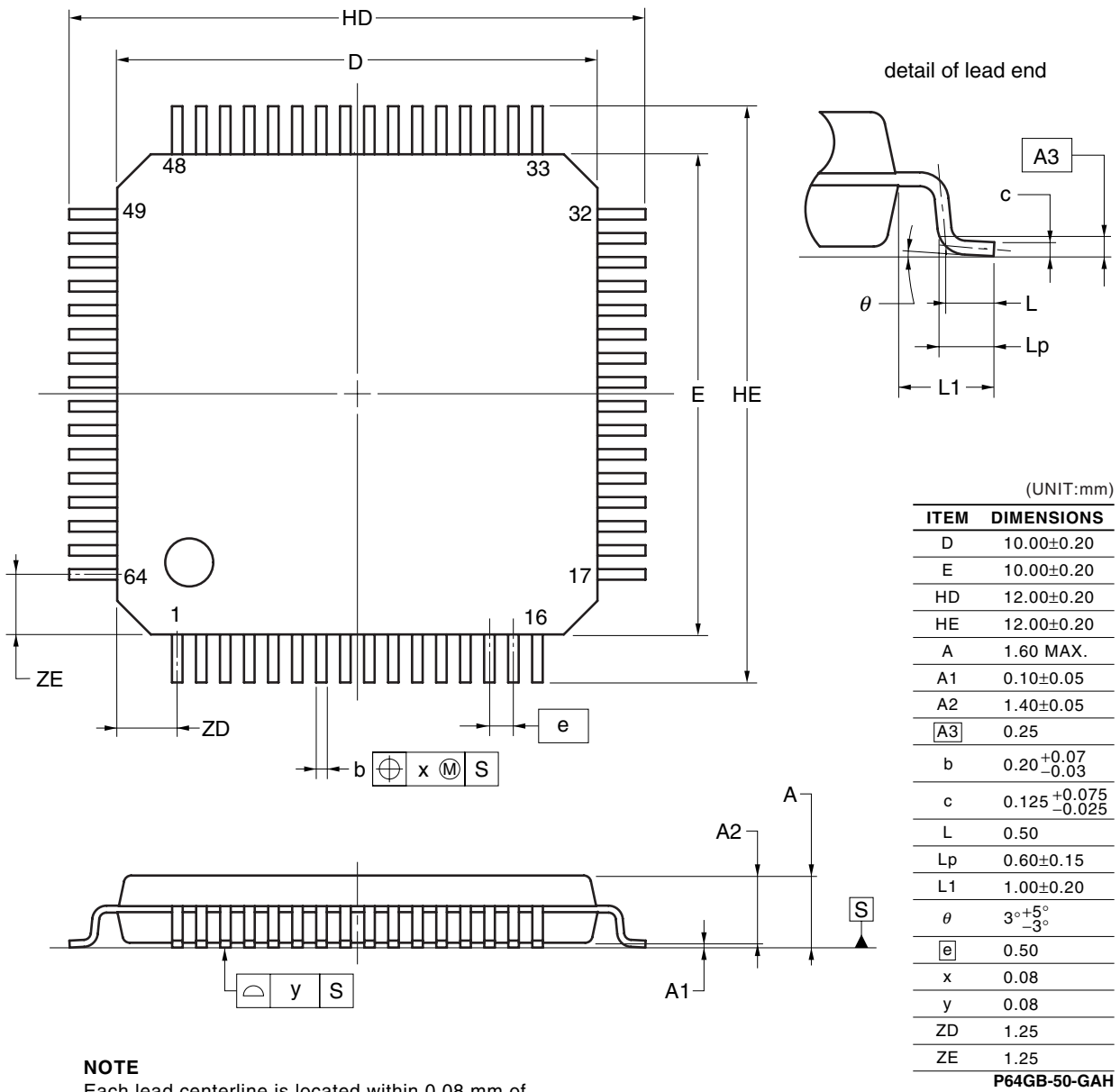
NOTE

Each lead centerline is located within 0.13 mm of its true position at maximum material condition.

© NEC Electronics Corporation 2005

μPD78F1233GB-GAH-AX, 78F1234GB-GAH-AX, 78F1235GB-GAH-AX

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)



NOTE
Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

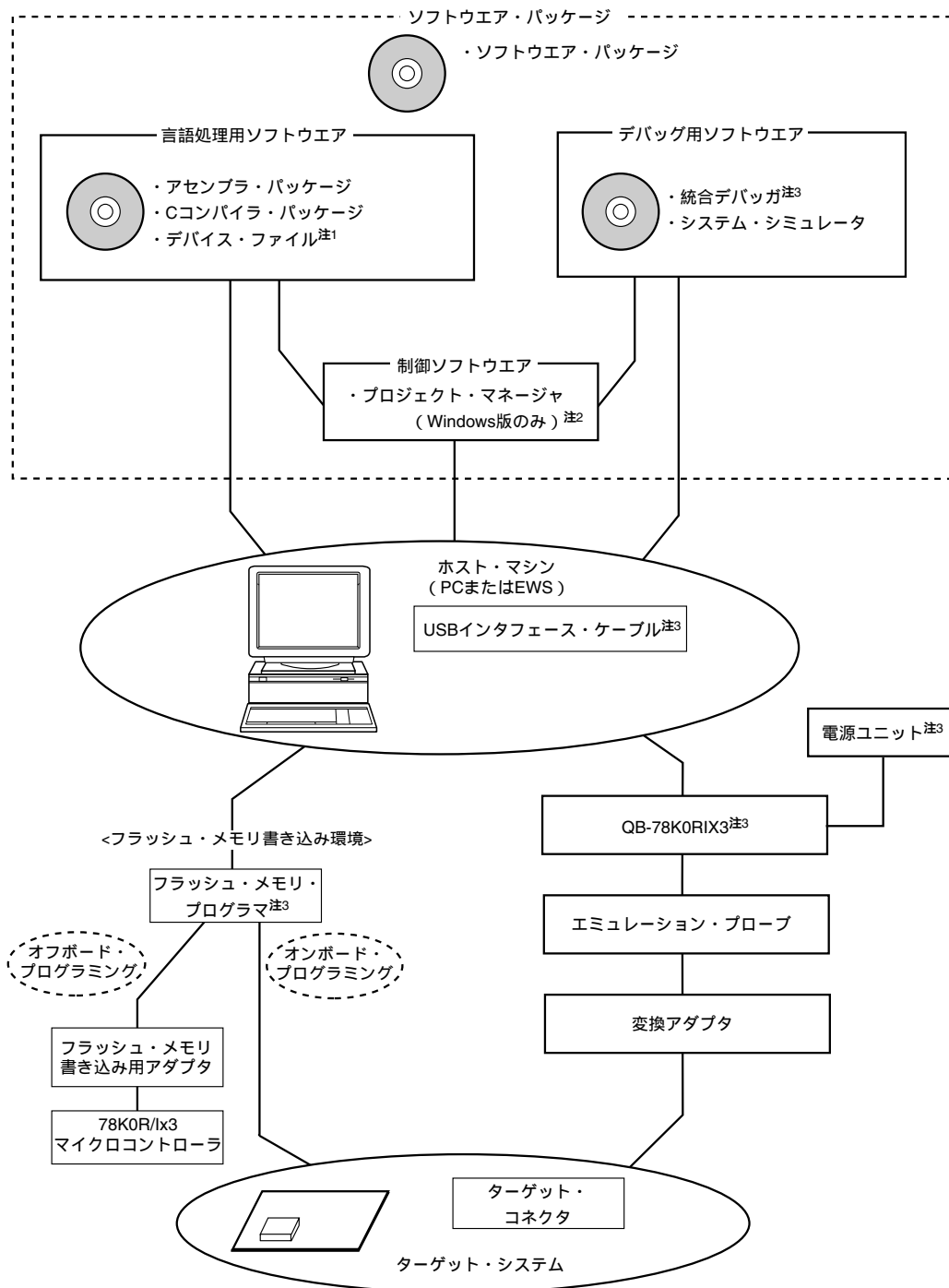
© NEC Electronics Corporation 2005

付録A 開発ツール

78K0R/1x3を使用するシステム開発のために次のような開発ツールを用意しています。
図A - 1に開発ツール構成を示します。

図A - 1 開発ツール構成 (1/2)

(1) インサーキット・エミュレータ QB-78K0RIX3を使用する場合



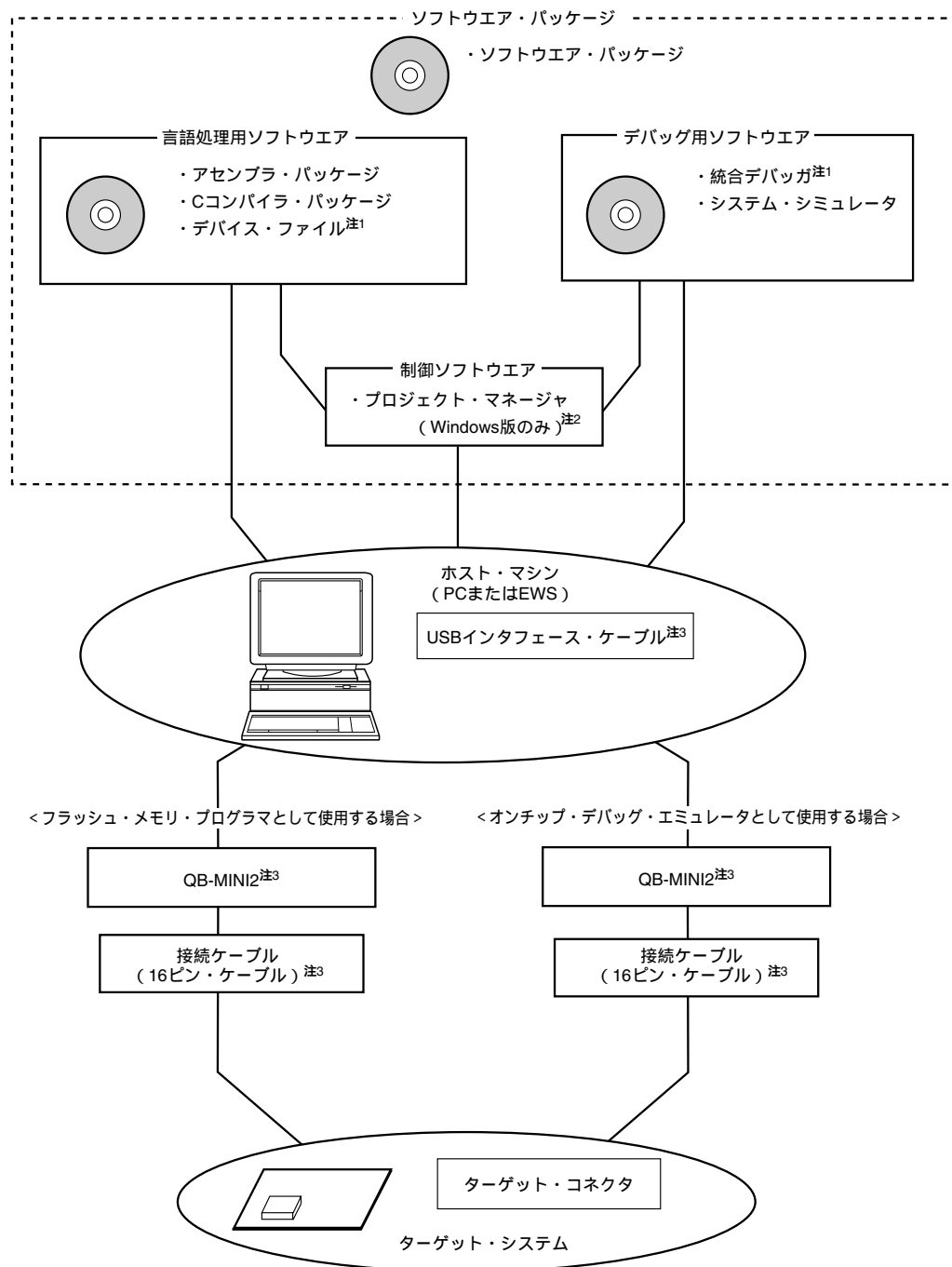
注1 . 78K0R/lx3用のデバイス・ファイル (DF781235) は, 開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は, アセンブラ・パッケージに入っています。また, Windows[®]以外ではPM+は使用しません。

3 . QB-78K0RIX3は, 統合デバッガ ID78K0R-QB, プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2, 電源ユニットとUSBインタフェース・ケーブルを添付しています。それ以外の製品はオプションです。

図A-1 開発ツール構成 (2/2)

(2) プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を使用する場合



注1 . 78K0R/1x3用のデバイス・ファイル (DF781235) および統合デバッガ ID78K0R-QBは、開発ツールのダウンロード・サイト (<http://www.necel.com/micro/ods/jpn/index.html>) より入手してください。

2 . プロジェクト・マネージャ PM+は、アセンブラ・パッケージに入っています。
また、Windows以外ではPM+は使用しません。

3 . QB-MINI2は、USBインタフェース・ケーブル、接続ケーブル(10ピン・ケーブル、16ピン・ケーブル)、78K0-OCDボードを添付しています。それ以外の製品はオプションです。

また、QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ

(<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A.1 ソフトウェア・パッケージ

SP78K0R 78K0Rマイクロコントローラ・ソフトウェア・パッケージ	78K0Rマイクロコントローラ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： $\mu S \times \times \times \times$ SP78K0R
---	--

備考 オーダ名称の $\times \times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times \times$ SP78K0R

$\times \times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ、	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

RA78K0R アセンブラ・パッケージ	ニモニックで書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 このほかに、シンボル・テーブルの生成、分岐命令の最適化処理などを自動的に行う機能を備えています。 デバイス・ファイル（DF781235）と組み合わせて使用します。 <PC環境で使用する場合の注意> アセンブラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times$ RA78K0R
CC78K0R Cコンパイラ・パッケージ	C言語で書かれたプログラムをマイコンの実行可能なオブジェクト・コードに変換するプログラムです。 別売のアセンブラ・パッケージおよびデバイス・ファイルと組み合わせて使用します。 <PC環境で使用する場合の注意> Cコンパイラ・パッケージはDOSベースのアプリケーションですが、Windows上でプロジェクト・マネージャ（アセンブラ・パッケージに含まれています）を使用することにより、Windows環境でも使用できます。 オーダ名称： $\mu S \times \times \times \times$ CC78K0R
DF781235 ^注 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 別売の各ツール（RA78K0R、CC78K0R、SM+ for 78K0R、ID78K0R-QB）と組み合わせて使用します。対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。 オーダ名称： $\mu S \times \times \times \times$ DF781235

注 DF781235は、RA78K0R、CC78K0R、SM+ for 78K0R、ID78K0R-QBのすべての製品に共通に使用できます。開発ツールのダウンロード・サイト（<http://www.necel.com/micro/ods/jpn/index.html>）より入手してください。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××RA78K0R

μS××××CC78K0R

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

μS××××DF781235

××××	ホスト・マシン	OS	供給媒体
AB13	PC-9800シリーズ,	日本語Windows	3.5インチ2HD FD
BB13	IBM PC/AT互換機	英語Windows	

A. 3 制御ソフトウェア

PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。プロジェクト・マネージャ上から、エディタの起動、ビルド、デバッガの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> プロジェクト・マネージャはアセンブラ・パッケージ（RA78K0R）の中に入っています。 Windows以外の環境では使用できません。
---------------------	---

A. 4 フラッシュ・メモリ書き込み用ツール

A. 4.1 フラッシュ・メモリ・プログラマ PG-FP5, FL-PR5を使用する場合

PG-FP5, FL-PR5 フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
FA-78F1235GB-GAH-RX ^注 (RoHS対応) フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです。フラッシュ・メモリ・プログラマに接続して使用します。

注 78K0R/IE3用のフラッシュ・メモリ書き込み用アダプタです。78K0R/IE3以外の製品のフラッシュ・メモリ書き込み用アダプタは、開発中です。

備考1. FL-PR5, FA-78F1235GB-GAH-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（<http://www.ndk-m.co.jp/>）（TEL（042）750-4172）

2. フラッシュ・メモリ書き込み用アダプタは、最新のものをお使いください。

A. 4. 2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。78K0R/Ix3マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。78K0R/Ix3を使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ
(<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 5 デバッグ用ツール（ハードウェア）

A. 5.1 インサーキット・エミュレータ QB-78K0RIX3を使用する場合

QB-78K0RIX3 ^注 インサーキット・エミュレータ	78K0R/lx3マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ（ID78K0R-QB）に対応しています。電源ユニット、およびエミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は、USBを使用します。
QB-144-CA-01 チェック・ピン・アダプタ	オシロスコープなどで波形観測を行う際に使用するアダプタです。
QB-80-EP-01T エミュレーション・プローブ	インサーキット・エミュレータとターゲット・システムを接続するためのフレキシブル・タイプのプローブです。
QB-xxxx-EA-xxx ^注 エクステンジ・アダプタ	インサーキット・エミュレータからターゲット・コネクタへピン変換を行うアダプタです。
QB-xxxx-YS-xxx ^注 スペース・アダプタ	ターゲット・システムとインサーキット・エミュレータ間の高さを必要に応じて調節するアダプタです。
QB-xxxx-YQ-xxx ^注 YQコネクタ	ターゲット・コネクタとエクステンジ・アダプタを接続するコネクタです。
QB-xxxx-HQ-xxx ^注 マウント・アダプタ	対象デバイスをソケット実装するためのアダプタです。
QB-xxxx-NQ-xxx ^注 ターゲット・コネクタ	ターゲット・システムへ実装するためのコネクタです。

注 エクステンジ・アダプタ、スペース・アダプタ、YQコネクタ、マウント・アダプタ、ターゲット・コネクタの製品名と対象デバイスのパッケージは、次のとおりです。

対象デバイスのパッケージ		エクステンジ・ アダプタ	スペース・ アダプタ	YQコネクタ	マウント・ アダプタ	ターゲット・ コネクタ
78K0R/IB3	30ピン・プラスチックSSOP (MC-CABタイプ)	QB-30MC- EA-05T	QB-30MC- YS-01T	QB-30MC- YQ-01T	QB-30MC- HQ-01T	QB-30MC- -NQ-01T
78K0R/IC3	38ピン・プラスチックSSOP (MC-GAAタイプ)	QB-38MC- EA-03T	QB-38MC- YS-01T	QB-38MC- YQ-01T	QB-38MC- HQ-01T,	QB-38MC- -NQ-01T,
	44ピン・プラスチックLQFP (GB-GAFタイプ)	QB-44GB- EA-04T	QB-44GB- YS-01T	QB-44GB- YQ-01T	QB-44GB- HQ-01T	QB-44GB- NQ-01T
	48ピン・プラスチックTQFP (GA-HAAタイプ)	QB-48GA- EA-04T	QB-48GA- YS-01T	QB-48GA- YQ-01T	QB-48GA- HQ-01T	QB-48GA- NQ-01T
78K0R/ID3	52ピン・プラスチックLQFP (GB-GAGタイプ)	QB-52GB- EA-04T	QB-52GB- YS-01T	QB-52GB- YQ-01T	QB-52GB- HQ-01T	QB-52GB- NQ-01T
78K0R/IE3	64ピン・プラスチックLQFP (GB-GAHタイプ)	QB-64GB-EA- 04T	QB-64GB-Y S-01T	QB-64GB-Y Q-01T	QB-64GB- HQ-01T	QB-64GB- NQ-01T
	64ピン・プラスチックLQFP (GK-GAJタイプ)	QB-64GK-EA- 04T	QB-64GK-Y S-01T	QB-64GK-Y Q-01T	QB-64GK- HQ-01T	QB-64GK- NQ-01T

（備考は、次ページにあります）

備考1. QB-78K0RIX3は、電源ユニットとUSBインタフェース・ケーブルを添付しています。また、コントロール・ソフトウェアとして、統合デバッガ ID78K0R-QB、プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2を添付しています。

2. オーダ名称により、QB-78K0RIX3の梱包内容は次のように異なります。

オーダ名称	梱包内容 インサートキット・ エミュレータ	エミュレーション・ プローブ	エクステンジ・ アダプタ	YQコネクタ	ターゲット・ コネクタ
QB-78K0RIX3-ZZZ	QB-78K0RIX3	なし			
QB-78K0RIX3-T30MC		QB-80-EP-01T	QB-30MC-EA-05T	QB-30MC-YQ-01T	QB-30MC-NQ-01T
QB-78K0RIX3-T38MC			QB-38MC-EA-03T	QB-38MC-YQ-01T	QB-38MC-NQ-01T
QB-78K0RIX3-T44GB			QB-44GB-EA-04T	QB-44GB-YQ-01T	QB-44GB-NQ-01T
QB-78K0RIX3-T48GA			QB-48GA-EA-04T	QB-48GA-YQ-01T	QB-48GA-NQ-01T
QB-78K0RIX3-T52GB			QB-52GB-EA-04T	QB-52GB-YQ-01T	QB-52GB-NQ-01T
QB-78K0RIX3-T64GB			QB-64GB-EA-04T	QB-64GB-YQ-01T	QB-64GB-NQ-01T
QB-78K0RIX3-T64GK			QB-64GK-EA-04T	QB-64GK-YQ-01T	QB-64GK-NQ-01T

A. 5.2 プログラミング機能付きオンチップ・デバッグ・エミュレータ QB-MINI2 を使用する場合

QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	78K0R/Ix3マイクロコントローラを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・デバッグ・エミュレータです。フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマとしても使用できます。 USBインタフェース・ケーブル、接続ケーブル（10ピン・ケーブル、16ピン・ケーブル）、78K0-OCDボードを添付しています。78K0R/Ix3を使用する場合、USBインタフェース・ケーブルと16ピン接続ケーブルを使用してください。
--	--

備考 QB-MINI2を操作するためのソフトウェアを、MINICUBE2のホームページ
(<http://www.necel.com/micro/ja/development/asia/minicube2/minicube2.html>) より入手してください。

A. 6 デバッグ用ツール(ソフトウェア)

SM+ for 78K0R システム・シミュレータ	SM+ for 78K0Rは、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for 78K0Rを使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。 デバイス・ファイル（DF781235）と組み合わせて使用します。 オーダ名称： $\mu S \times \times \times SM781000$
ID78K0R-QB 統合デバッガ	78K0Rマイクロコントローラ用のインサーキット・エミュレータに対応したデバッガです。 ID78K0R-QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウィンドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイル（DF781235）と組み合わせて使用します。 オーダ名称： $\mu S \times \times \times ID78K0R-QB$

備考 オーダ名称の $\times \times \times$ は、使用するホスト・マシン、OSにより異なります。

$\mu S \times \times \times SM781000$
 $\mu S \times \times \times ID78K0R-QB$

$\times \times \times$	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

(メモ)

【発行】NECエレクトロニクス株式会社 (<http://www.necel.co.jp/>)

【問い合わせ先】 <http://www.necel.com/contact/ja/>