

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）
特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社とその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

H8SX/1663 グループ

ハードウェアマニュアル

ルネサス32ビットCISC マイクロコンピュータ

H8SXファミリ / H8SX/1600 シリーズ

H8SX/1663

R5F61663

H8SX/1664

R5F61664

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご注意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジー製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジーが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジーは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジーは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジー半導体製品のご購入に当たりましては、事前にルネサス テクノロジー、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジーホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したのですが万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジーはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジーは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジー、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジーの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気付きの点がございましたらルネサス テクノロジー、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC(Non-Connection)端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

本書の構成

本書は、以下の構成で制作しています。

1. 製品に関する一般的な注意事項
2. 本書の構成
3. はじめに
4. 目次
5. 概要
6. 各機能モジュールの説明
 - ・CPU およびシステム制御系
 - ・内蔵周辺モジュール

各モジュールの機能説明の構成は、モジュール毎に異なりますが、一般的には、①特長、②入出力端子、③レジスタの説明、④動作説明、⑤使用上の注意事項等の節で構成されています。

本 LSI を用いた応用システムを設計する際、注意事項を十分確認の上設計してください。各章の本文中には説明に対する注意事項と、各章の最後には使用上の注意事項があります。必ずお読みください（使用上の注意事項は必要により記載されます）。

7. レジスタ一覧
8. 電気的特性
9. 付録
10. 本版で改訂または追加された主な箇所（改訂版のみ適用）

改定来歴は、前版の記載内容について訂正・追加された主な箇所についてまとめたものです。改定内容の全てについて記載したものではありませんので、詳細については、本書の本文上でご確認ください。

11. 索引

はじめに

H8SX/1663 は、H8/300、H8/300H、H8S の各 CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の H8SX CPU を核としたマイクロコンピュータです。

対象者 このマニュアルは、H8SX/1663 を用いた応用システムを設計するユーザーを対象としています。このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、H8SX/1663 のハードウェア機能と電気的特性をユーザに理解して頂くことを目的にしています。なお、実行命令の詳細については、「H8SX ファミリ ソフトウェアマニュアル」に記載していますので併せて御覧ください。

読み方

- 機能全体を理解しようとするとき

→ 目次に従って読んでください。

本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。

- CPU機能の詳細を理解したいとき

→ 別冊の「H8SXファミリ ソフトウェアマニュアル」を参照してください。

- レジスタ名が判っていて、詳細機能を知りたいとき

→ 本書の後ろに「索引」があります。索引からページ番号を検索してください。

「24. レジスタ一覧」にアドレス、ビット内容、初期化についてまとめています。

凡例 レジスタ表記 : 16 ビットタイマパルスユニット、シリアルコミュニケーションインタフェースなど、同一または類似した機能が複数チャンネルに存在する場合に次の表記を使用します。

XXX_N (XXX は基本レジスタ名称、N はチャンネル番号)

ビット表記順 : 左側が上位ビット、右側が下位ビット

数字の表記 : 2 進数は B'xxxx、16 進数は H'xxxx、10 進数は xxxx

信号の表記 : ローアクティブの信号にはオーバーバーを付けます。 $\overline{\text{xxxx}}$

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。

(<http://japan.renesas.com/>)

- H8SX/1663グループに関するユーザーズマニュアル

資料名	資料番号
H8SX/1663 グループ ハードウェアマニュアル	本マニュアル
H8SX ファミリ ソフトウェアマニュアル	RJJ09B0048

目次

1. 概要	1-1
1.1 特長	1-1
1.2 内部ブロック図	1-2
1.3 端子説明	1-3
1.3.1 ピン配置図	1-3
1.3.2 動作モード別ピン配置一覧	1-4
1.3.3 端子機能	1-9
2. CPU	2-1
2.1 特長	2-1
2.2 CPU動作モード	2-3
2.2.1 ノーマルモード	2-3
2.2.2 ミドルモード	2-5
2.2.3 アドバンスモード	2-6
2.2.4 マキシマムモード	2-8
2.3 命令フェッチ	2-9
2.4 アドレス空間	2-10
2.5 レジスタ構成	2-11
2.5.1 汎用レジスタ	2-12
2.5.2 プログラムカウンタ (PC)	2-13
2.5.3 コンディションコードレジスタ (CCR)	2-14
2.5.4 エクステンドレジスタ (EXR)	2-15
2.5.5 ベクタベースレジスタ (VBR)	2-15
2.5.6 ショートアドレスベースレジスタ (SBR)	2-15
2.5.7 積和レジスタ (MAC)	2-15
2.5.8 CPU 内部レジスタの初期値	2-15
2.6 データ形式	2-16
2.6.1 汎用レジスタのデータ形式	2-16
2.6.2 メモリ上でのデータ形式	2-17
2.7 命令セット	2-18
2.7.1 命令とアドレッシングモードの組み合わせ	2-20
2.7.2 命令の機能別一覧	2-24
2.7.3 命令の基本フォーマット	2-33
2.8 アドレッシングモードと実効アドレスの計算方法	2-34

2.8.1	レジスタ直接 Rn	2-34
2.8.2	レジスタ間接 @ERn	2-35
2.8.3	ディスプレースメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)	2-35
2.8.4	ディスプレースメント付インデックスレジスタ間接 @(d:16,RnL.B)/ @(d:32,RnL.B)/ @(d:16,Rn.W)/@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)	2-35
2.8.5	プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-	2-35
2.8.6	絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32	2-36
2.8.7	イミディエイト #xx	2-37
2.8.8	プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)	2-37
2.8.9	プログラムカウンタインデックス相対 @ (RnL.B, PC) /@ (Rn.W, PC) /@ (ERn.L, PC)	2-38
2.8.10	メモリ間接 @@aa:8	2-38
2.8.11	拡張メモリ間接 @@vec:7	2-39
2.8.12	実効アドレスの計算方法	2-39
2.8.13	MOVA 命令	2-41
2.9	処理状態	2-42
3.	MCU 動作モード	3-1
3.1	動作モードの選択	3-1
3.2	レジスタの説明	3-2
3.2.1	モードコントロールレジスタ (MDCR)	3-2
3.2.2	システムコントロールレジスタ (SYSCR)	3-3
3.3	動作モードの説明	3-5
3.3.1	モード 2	3-5
3.3.2	モード 4	3-5
3.3.3	モード 5	3-5
3.3.4	モード 6	3-5
3.3.5	モード 7	3-5
3.3.6	端子機能	3-6
3.4	アドレスマップ	3-7
3.4.1	アドレスマップ	3-7
4.	例外処理	4-1
4.1	例外処理の種類と優先度	4-1
4.2	例外処理要因とベクタテーブル	4-2
4.3	リセット	4-4
4.3.1	リセット例外処理	4-4
4.3.2	リセット直後の割り込み	4-4
4.3.3	リセット解除後の内蔵周辺機能	4-4
4.4	トレース例外処理	4-7
4.5	アドレスエラー	4-8

4.5.1	アドレスエラー発生要因.....	4-8
4.5.2	アドレスエラー例外処理.....	4-9
4.6	割り込み.....	4-10
4.6.1	割り込み要因.....	4-10
4.6.2	割り込み例外処理.....	4-10
4.7	命令による例外処理.....	4-11
4.7.1	トラップ命令例外処理.....	4-11
4.7.2	スリープ命令例外処理.....	4-12
4.7.3	不当命令例外処理.....	4-13
4.8	例外処理後のスタックの状態.....	4-14
4.9	使用上の注意事項.....	4-14
5.	割り込みコントローラ.....	5-1
5.1	特長.....	5-1
5.2	入出力端子.....	5-2
5.3	レジスタの説明.....	5-3
5.3.1	割り込みコントロールレジスタ (INTCR)	5-3
5.3.2	CPU プライオリティコントロールレジスタ (CPUPCR)	5-4
5.3.3	インタラプトプライオリティレジスタ A~I、K、L、Q、R (IPRA~IPRI、IPRK、IPRL、IPRQ、IPRR)	5-5
5.3.4	IRQ イネーブルレジスタ (IER)	5-7
5.3.5	IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)	5-8
5.3.6	IRQ ステータスレジスタ (ISR)	5-11
5.3.7	ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)	5-13
5.4	割り込み要因.....	5-14
5.4.1	外部割り込み要因.....	5-14
5.4.2	内部割り込み.....	5-15
5.5	割り込み例外処理ベクタテーブル.....	5-15
5.6	割り込み制御モードと割り込み動作.....	5-21
5.6.1	割り込み制御モード 0.....	5-21
5.6.2	割り込み制御モード 2.....	5-23
5.6.3	割り込み例外処理シーケンス.....	5-25
5.6.4	割り込み応答時間.....	5-26
5.6.5	割り込みによる DTC、DMAC の起動.....	5-27
5.7	CPU に対する DTC、DMAC の優先レベル制御機能.....	5-30
5.8	使用上の注意事項.....	5-32
5.8.1	割り込みの発生とディスエーブルとの競合.....	5-32
5.8.2	割り込みを禁止している命令.....	5-33
5.8.3	割り込み禁止期間.....	5-33
5.8.4	EPMOV 命令実行中の割り込み.....	5-33
5.8.5	MOVMD、MOVSD 命令実行中の割り込み.....	5-33

5.8.6	周辺モジュールの割り込み要因フラグ	5-33
6.	バスコントローラ (BSC)	6-1
6.1	特長	6-1
6.2	レジスタの説明	6-4
6.2.1	バス幅コントロールレジスタ (ABWCR)	6-5
6.2.2	アクセスステートコントロールレジスタ (ASTCR)	6-6
6.2.3	ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)	6-7
6.2.4	リードストロープタイミングコントロールレジスタ (RDNCR)	6-11
6.2.5	$\overline{\text{CS}}$ アサート期間コントロールレジスタ (CSACR)	6-13
6.2.6	アイドルコントロールレジスタ (IDLCR)	6-14
6.2.7	バスコントロールレジスタ 1 (BCR1)	6-16
6.2.8	バスコントロールレジスタ 2 (BCR2)	6-18
6.2.9	エンディアンコントロールレジスタ (ENDIANCR)	6-19
6.2.10	SRAM モードコントロールレジスタ (SRAMCR)	6-19
6.2.11	バースト ROM インタフェースコントロールレジスタ (BROMCR)	6-20
6.2.12	アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)	6-22
6.2.13	DRAM コントロールレジスタ (DRAMCR)	6-23
6.2.14	DRAM アクセスコントロールレジスタ (DRACCR)	6-27
6.2.15	シンクロナス DRAM コントロールレジスタ (SDCR)	6-28
6.2.16	リフレッシュコントロールレジスタ (REFCR)	6-29
6.2.17	リフレッシュタイマカウンタ (RTCNT)	6-33
6.2.18	リフレッシュタイムコンスタントレジスタ (RTCOR)	6-33
6.3	バス構成	6-34
6.4	マルチクロック機能とアクセスステート数	6-34
6.5	外部バス	6-38
6.5.1	入出力端子	6-38
6.5.2	エリア分割	6-41
6.5.3	チップセレクト信号	6-42
6.5.4	外部バスインタフェース	6-43
6.5.5	エリアと外部バスインタフェース	6-48
6.5.6	エンディアンとデータアライメント	6-52
6.6	基本バスインタフェース	6-55
6.6.1	データバス	6-55
6.6.2	基本バスインタフェース入出力端子	6-55
6.6.3	基本タイミング	6-56
6.6.4	ウェイト制御	6-62
6.6.5	リードストロープ ($\overline{\text{RD}}$) タイミング	6-64
6.6.6	チップセレクト ($\overline{\text{CS}}$) アサート期間拡張	6-65
6.6.7	$\overline{\text{DACK}}$ 信号の出力タイミング	6-66

6.7	バイト制御SRAMインタフェース	6-67
6.7.1	バイト制御 SRAM 空間の設定	6-67
6.7.2	データバス	6-67
6.7.3	バイト制御 SRAM インタフェースの入出力端子	6-68
6.7.4	基本タイミング	6-69
6.7.5	ウェイト制御	6-71
6.7.6	リードストロープ (\overline{RD})	6-73
6.7.7	チップセレクト (\overline{CS}) アサート期間延長	6-73
6.7.8	\overline{DACK} 信号の出力タイミング	6-73
6.8	バーストROMインタフェース	6-75
6.8.1	バースト ROM 空間の設定	6-75
6.8.2	データバス	6-75
6.8.3	バースト ROM インタフェースの入出力端子	6-75
6.8.4	基本タイミング	6-76
6.8.5	ウェイト制御	6-78
6.8.6	リードストロープタイミング	6-78
6.8.7	チップセレクトアサート期間延長	6-78
6.9	アドレス/データマルチプレクスI/Oインタフェース	6-79
6.9.1	アドレス/データマルチプレクス I/O 空間の設定	6-79
6.9.2	アドレス/データマルチプレクス	6-79
6.9.3	データバス	6-79
6.9.4	アドレス/データマルチプレクス I/O インタフェースの入出力端子	6-80
6.9.5	基本タイミング	6-81
6.9.6	アドレスサイクル制御	6-83
6.9.7	ウェイト制御	6-84
6.9.8	リードストロープ (\overline{RD}) タイミング	6-84
6.9.9	データサイクルのチップセレクト (\overline{CS}) アサート期間拡張	6-85
6.9.10	\overline{DACK} 信号の出力タイミング	6-87
6.10	DRAMインタフェース	6-88
6.10.1	DRAM 空間の設定	6-88
6.10.2	アドレスマルチプレクス	6-88
6.10.3	データバス	6-89
6.10.4	DRAM インタフェースの入出力端子	6-89
6.10.5	基本タイミング	6-90
6.10.6	カラムアドレス出力サイクル制御	6-91
6.10.7	ロウアドレス出力ステート制御	6-92
6.10.8	プリチャージステート制御	6-94
6.10.9	ウェイト制御	6-95
6.10.10	バイト/ワードアクセス制御	6-98
6.10.11	バースト動作	6-100
6.10.12	リフレッシュ制御	6-104

6.10.13	DMAC のシングルアドレス転送と DRAM インタフェース.....	6-109
6.11	シンクロナス DRAM インタフェース.....	6-112
6.11.1	シンクロナス DRAM 空間の設定.....	6-112
6.11.2	アドレスマルチプレクス.....	6-112
6.11.3	データバス.....	6-113
6.11.4	シンクロナス DRAM インタフェースの入出力端子.....	6-114
6.11.5	基本タイミング.....	6-115
6.11.6	CAS レイテンシ制御.....	6-117
6.11.7	ロウアドレス出力ステート制御.....	6-119
6.11.8	プリチャージステート制御.....	6-121
6.11.9	クロックサスペンド挿入制御.....	6-123
6.11.10	ライトプリチャージ遅延制御.....	6-124
6.11.11	バイト/ワードアクセス制御.....	6-124
6.11.12	高速ページアクセス動作.....	6-127
6.11.13	リフレッシュ制御.....	6-133
6.11.14	シンクロナス DRAM モードレジスタの設定.....	6-139
6.11.15	DMAC のシングルアドレス転送とシンクロナス DRAM インタフェース.....	6-140
6.12	アイドルサイクル.....	6-149
6.12.1	動作説明.....	6-149
6.12.2	アイドルサイクルでの端子状態.....	6-161
6.13	バス解放.....	6-162
6.13.1	動作説明.....	6-162
6.13.2	外部バス権解放状態での端子状態.....	6-163
6.13.3	遷移タイミング.....	6-164
6.14	内部バス.....	6-166
6.14.1	内部アドレス空間へのアクセス.....	6-166
6.15	ライトデータバッファ機能.....	6-167
6.15.1	外部ライトデータバッファ機能.....	6-167
6.15.2	周辺モジュールライトデータバッファ機能.....	6-168
6.16	バスアービトレーション.....	6-169
6.16.1	動作説明.....	6-169
6.16.2	バス権移行タイミング.....	6-169
6.16.3	バス権移行タイミング.....	6-170
6.17	リセットとバスコントローラ.....	6-171
6.18	使用上の注意事項.....	6-172
7.	DMA コントローラ (DMAC).....	7-1
7.1	特長.....	7-1
7.2	入出力端子.....	7-3
7.3	レジスタの説明.....	7-3

7.3.1	DMA ソースアドレスレジスタ (DSAR)	7-4
7.3.2	DMA デスティネーションアドレスレジスタ (DDAR)	7-5
7.3.3	DMA オフセットレジスタ (DOFR)	7-6
7.3.4	DMA 転送カウントレジスタ (DTCR)	7-6
7.3.5	DMA ブロックサイズレジスタ (DBSR)	7-7
7.3.6	DMA モードコントロールレジスタ (DMDR)	7-8
7.3.7	DMA アドレスコントロールレジスタ (DACR)	7-14
7.3.8	DMA モジュールリクエストセレクトレジスタ (DMRSR)	7-19
7.4	転送モード	7-19
7.5	動作説明	7-20
7.5.1	アドレスモード	7-20
7.5.2	転送モード	7-23
7.5.3	起動要因	7-28
7.5.4	バスモード	7-29
7.5.5	拡張リピートエリア機能	7-31
7.5.6	オフセットを使ったアドレス更新機能	7-33
7.5.7	DMA 転送中のレジスタ	7-37
7.5.8	チャンネルの優先順位	7-41
7.5.9	基本バスサイクル	7-42
7.5.10	デュアルアドレスモードのバスサイクル	7-43
7.5.11	シングルアドレスモードのバスサイクル	7-52
7.6	DMA転送終了	7-57
7.7	DMACと他のバスマスタの関係	7-59
7.7.1	CPU に対する DMAC の優先レベル制御機能	7-59
7.7.2	他のバスマスタとのバス権の調停	7-59
7.8	割り込み要因	7-61
7.9	使用上の注意事項	7-64
8.	データトランスファコントローラ (DTC)	8-1
8.1	特長	8-1
8.2	レジスタの説明	8-3
8.2.1	DTC モードレジスタ A (MRA)	8-4
8.2.2	DTC モードレジスタ B (MRB)	8-5
8.2.3	DTC ソースアドレスレジスタ (SAR)	8-6
8.2.4	DTC デスティネーションアドレスレジスタ (DAR)	8-6
8.2.5	DTC 転送カウントレジスタ A (CRA)	8-6
8.2.6	DTC 転送カウントレジスタ B (CRB)	8-7
8.2.7	DTC イネーブルレジスタ A~E、G、H (DTCERA~DTCERE、DTCERG、DTCERH)	8-7
8.2.8	DTC コントロールレジスタ (DTCCR)	8-8
8.2.9	DTC ベクタベースレジスタ (DTCVBR)	8-9

8.3	起動要因	8-10
8.4	転送情報の配置とDTCベクタテーブル	8-10
8.5	動作説明	8-14
8.5.1	バスサイクルの分割	8-16
8.5.2	転送情報リードスキップ機能	8-18
8.5.3	転送情報ライトバックスキップ機能	8-18
8.5.4	ノーマル転送モード	8-19
8.5.5	リピート転送モード	8-19
8.5.6	ブロック転送モード	8-20
8.5.7	チェイン転送	8-21
8.5.8	動作タイミング	8-22
8.5.9	DTCの実行ステート	8-24
8.5.10	DTCのバス権解放タイミング	8-25
8.5.11	CPUに対するDTCの優先レベル制御	8-25
8.6	割り込みによるDTCの起動	8-26
8.7	DTC使用例	8-27
8.7.1	ノーマル転送	8-27
8.7.2	チェイン転送	8-27
8.7.3	カウンタ=0のときのチェイン転送	8-28
8.8	割り込み要因	8-29
8.9	使用上の注意	8-30
8.9.1	モジュールストップ機能の設定	8-30
8.9.2	内蔵RAM	8-30
8.9.3	DMAC転送終了割り込み	8-30
8.9.4	DTCEビットの設定	8-30
8.9.5	チェイン転送	8-30
8.9.6	転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス	8-30
8.9.7	転送情報の書き換え	8-31
8.9.8	エンディアン	8-31
9.	I/Oポート	9-1
9.1	レジスタの説明	9-7
9.1.1	データディレクションレジスタ (PnDDR) (n=1, 2, 3, 6, A, B, C, D~F, H, I, M)	9-7
9.1.2	データレジスタ (PnDR) (n=1, 2, 3, 6, A, B, C, D~F, H, I, M)	9-8
9.1.3	ポートレジスタ (PORTn) (n=1, 2, 3, 5, 6, A, B, C, D~F, H, I, M)	9-8
9.1.4	入力バッファコントロールレジスタ (PnICR) (n=1, 2, 3, 5, 6, A, B, C, D~F, H, I, M)	9-9
9.1.5	プルアップMOSコントロールレジスタ (PnPCR) (n=D~F, H, I)	9-9
9.1.6	オープンドレインコントロールレジスタ (PnODR) (n=2, F)	9-10
9.2	出力バッファ制御	9-11
9.2.1	ポート1	9-11

9.2.2	ポート 2	9-14
9.2.3	ポート 3	9-16
9.2.4	ポート 5	9-19
9.2.5	ポート 6	9-20
9.2.6	ポート A	9-22
9.2.7	ポート B	9-26
9.2.8	ポート C	9-30
9.2.9	ポート D	9-31
9.2.10	ポート E	9-31
9.2.11	ポート F	9-32
9.2.12	ポート H	9-35
9.2.13	ポート I	9-36
9.2.14	ポート M	9-36
9.3	ポートファンクションコントローラ	9-44
9.3.1	ポートファンクションコントロールレジスタ 0 (PFCR0)	9-44
9.3.2	ポートファンクションコントロールレジスタ 1 (PFCR1)	9-45
9.3.3	ポートファンクションコントロールレジスタ 2 (PFCR2)	9-46
9.3.4	ポートファンクションコントロールレジスタ 4 (PFCR4)	9-47
9.3.5	ポートファンクションコントロールレジスタ 6 (PFCR6)	9-48
9.3.6	ポートファンクションコントロールレジスタ 7 (PFCR7)	9-49
9.3.7	ポートファンクションコントロールレジスタ 9 (PFCR9)	9-50
9.3.8	ポートファンクションコントロールレジスタ B (PFCRB)	9-51
9.3.9	ポートファンクションコントロールレジスタ C (PFCRC)	9-52
9.4	使用上の注意事項	9-53
9.4.1	入力バッファコントロールレジスタ (ICR) の設定	9-53
9.4.2	ポートファンクションコントロールレジスタ (PFCR) の設定	9-53
10.	16 ビットタイムパルスユニット (TPU)	10-1
10.1	特長	10-1
10.2	入出力端子	10-5
10.3	レジスタの説明	10-6
10.3.1	タイマコントロールレジスタ (TCR)	10-8
10.3.2	タイマモードレジスタ (TMDR)	10-12
10.3.3	タイマ I/O コントロールレジスタ (TIOR)	10-13
10.3.4	タイマインタラプトイネーブルレジスタ (TIER)	10-31
10.3.5	タイマステータスレジスタ (TSR)	10-32
10.3.6	タイマカウンタ (TCNT)	10-35
10.3.7	タイマジェネラルレジスタ (TGR)	10-35
10.3.8	タイマスタートレジスタ (TSTR)	10-36
10.3.9	タイマシンクロレジスタ (TSYR)	10-36

10.4	動作説明	10-38
10.4.1	基本動作	10-38
10.4.2	同期動作	10-43
10.4.3	バッファ動作	10-45
10.4.4	カスケード接続動作	10-48
10.4.5	PWM モード	10-50
10.4.6	位相計数モード	10-55
10.5	割り込み要因	10-60
10.6	DTCの起動	10-62
10.7	DMACの起動	10-62
10.8	A/D変換器の起動	10-62
10.9	動作タイミング	10-63
10.9.1	入出力タイミング	10-63
10.9.2	割り込み信号タイミング	10-67
10.10	使用上の注意事項	10-71
10.10.1	モジュールストップ状態への設定	10-71
10.10.2	入力クロックの制限事項	10-71
10.10.3	周期設定上の注意事項	10-72
10.10.4	TCNT のライトとクリアの競合	10-72
10.10.5	TCNT のライトとカウントアップの競合	10-73
10.10.6	TGR のライトとコンペアマッチの競合	10-73
10.10.7	バッファレジスタのライトとコンペアマッチの競合	10-74
10.10.8	TGR のリードとインプットキャプチャの競合	10-74
10.10.9	TGR のライトとインプットキャプチャの競合	10-75
10.10.10	バッファレジスタのライトとインプットキャプチャの競合	10-75
10.10.11	オーバフロー／アンダフローとカウンタクリアの競合	10-76
10.10.12	TCNT のライトとオーバフロー／アンダフローの競合	10-76
10.10.13	入出力端子の兼用	10-77
10.10.14	モジュールストップ時の割り込み	10-77
11.	プログラマブルパルスジェネレータ (PPG)	11-1
11.1	特長	11-1
11.2	入出力端子	11-2
11.3	レジスタの説明	11-2
11.3.1	ネクストデータタイナブルレジスタ H、L (NDERH、NDERL)	11-3
11.3.2	アウトプットデータレジスタ H、L (PODRH、PODRL)	11-4
11.3.3	ネクストデータレジスタ H、L (NDRH、NDRL)	11-5
11.3.4	PPG 出力コントロールレジスタ (PCR)	11-7
11.3.5	PPG 出力モードレジスタ (PMR)	11-8
11.4	動作説明	11-9

11.4.1	出力タイミング	11-10
11.4.2	通常動作のパルス出力設定手順例	11-11
11.4.3	パルス出力通常動作例（5相パルス出力例）	11-12
11.4.4	パルス出力ノンオーバーラップ動作	11-13
11.4.5	ノンオーバーラップ動作のパルス出力設定手順例	11-14
11.4.6	パルス出力ノンオーバーラップ動作例（4相の相補ノンオーバーラップ出力例）	11-15
11.4.7	パルス反転出力	11-17
11.4.8	インプットキャプチャによるパルス出力	11-18
11.5	使用上の注意事項	11-18
11.5.1	モジュールストップ機能の設定	11-18
11.5.2	パルス出力端子の動作	11-18
12.	8ビットタイマ（TMR）	12-1
12.1	特長	12-1
12.2	入出力端子	12-6
12.3	レジスタの説明	12-7
12.3.1	タイマカウンタ（TCNT）	12-9
12.3.2	タイムコンスタントレジスタ A（TCORA）	12-9
12.3.3	タイムコンスタントレジスタ B（TCORB）	12-9
12.3.4	タイマコントロールレジスタ（TCR）	12-10
12.3.5	タイマカウンタコントロールレジスタ（TCCR）	12-11
12.3.6	タイマコントロール/ステータスレジスタ（TCSR）	12-14
12.4	動作説明	12-17
12.4.1	パルス出力	12-17
12.4.2	リセット入力	12-17
12.5	動作タイミング	12-18
12.5.1	TCNT のカウントタイミング	12-18
12.5.2	コンペアマッチ時の CMFA、CMFB フラグのセットタイミング	12-19
12.5.3	コンペアマッチ時のタイマ出力タイミング	12-19
12.5.4	コンペアマッチによるカウンタクリアタイミング	12-20
12.5.5	TCNT の外部リセットタイミング	12-20
12.5.6	オーバフローフラグ（OVF）のセットタイミング	12-21
12.6	カスケード接続時の動作	12-22
12.6.1	16ビットカウントモード	12-22
12.6.2	コンペアマッチカウントモード	12-22
12.7	割り込み要因	12-23
12.7.1	割り込み要因と DTC 起動	12-23
12.7.2	A/D 変換器の起動	12-24
12.8	使用上の注意	12-24
12.8.1	周期設定上の注意	12-24

12.8.2	TCNT のライトとカウンタクリアの競合	12-24
12.8.3	TCNT のライトとカウントアップの競合	12-25
12.8.4	TCOR のライトとコンペアマッチの競合	12-26
12.8.5	コンペアマッチ A、B の競合	12-26
12.8.6	内部クロックの切り替えと TCNT の動作	12-27
12.8.7	カスケード接続時のモード設定	12-28
12.8.8	モジュールストップ機能の設定	12-28
12.8.9	モジュールストップ状態時の割り込み	12-28
13.	32K タイマ (TM32K)	13-1
13.1	特長	13-1
13.2	レジスタの説明	13-2
13.2.1	タイマカウンタ (TCNT32K)	13-2
13.2.2	タイマコントロールレジスタ (TCR32K)	13-2
13.3	動作説明	13-3
13.4	割り込み要因	13-4
13.5	使用上の注意事項	13-4
13.5.1	CKS1、CKS0 ビットの書き換え	13-4
13.5.2	32K タイマ使用上の注意	13-4
13.5.3	タイマカウンタリード時の注意	13-4
13.5.4	レジスタ初期化の注意	13-4
14.	ウォッチドッグタイマ (WDT)	14-1
14.1	特長	14-1
14.2	入出力端子	14-2
14.3	レジスタの説明	14-3
14.3.1	タイマカウンタ (TCNT)	14-3
14.3.2	タイマコントロール/ステータスレジスタ (TCSR)	14-3
14.3.3	リセットコントロール/ステータスレジスタ (RSTCSR)	14-5
14.4	動作説明	14-6
14.4.1	ウォッチドッグタイマモード	14-6
14.4.2	インターバルタイマモード	14-7
14.5	割り込み要因	14-8
14.6	使用上の注意事項	14-8
14.6.1	レジスタアクセス時の注意	14-8
14.6.2	タイマカウンタ (TCNT) のライトとカウントアップの競合	14-9
14.6.3	CKS2~CKS0 ビットの書き換え	14-10
14.6.4	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	14-10
14.6.5	ウォッチドッグタイマモードでの内部リセット	14-10
14.6.6	$\overline{\text{WDTOVF}}$ 信号によるシステムのリセット	14-11

14.6.7	ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移	14-11
15.	シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)	15-1
15.1	特長	15-1
15.2	入出力端子	15-6
15.3	レジスタの説明	15-6
15.3.1	レシーブシフトレジスタ (RSR)	15-8
15.3.2	レシーブデータレジスタ (RDR)	15-8
15.3.3	トランスミットデータレジスタ (TDR)	15-9
15.3.4	トランスミットシフトレジスタ (TSR)	15-9
15.3.5	シリアルモードレジスタ (SMR)	15-9
15.3.6	シリアルコントロールレジスタ (SCR)	15-12
15.3.7	シリアルステータスレジスタ (SSR)	15-16
15.3.8	スマートカードモードレジスタ (SCMR)	15-22
15.3.9	ビットレートレジスタ (BRR)	15-23
15.3.10	シリアル拡張モードレジスタ_2 (SEMR_2)	15-29
15.3.11	シリアル拡張モードレジスタ_5、6 (SEMR_5、6)	15-30
15.3.12	IrDA コントロールレジスタ (IrCR)	15-36
15.4	調歩同期式モードの動作	15-37
15.4.1	送受信フォーマット	15-37
15.4.2	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-39
15.4.3	クロック	15-40
15.4.4	SCI の初期化 (調歩同期式)	15-41
15.4.5	シリアルデータ送信 (調歩同期式)	15-42
15.4.6	シリアルデータ受信 (調歩同期式)	15-44
15.5	マルチプロセッサ通信機能	15-47
15.5.1	マルチプロセッサシリアルデータ送信	15-48
15.5.2	マルチプロセッサシリアルデータ受信	15-49
15.6	クロック同期式モードの動作 (SCI_0、1、2、4のみ)	15-52
15.6.1	クロック	15-52
15.6.2	SCI の初期化 (クロック同期式) (SCI_0、1、2、4のみ)	15-53
15.6.3	シリアルデータ送信 (クロック同期式) (SCI_0、1、2、4のみ)	15-54
15.6.4	シリアルデータ受信 (クロック同期式) (SCI_0、1、2、4のみ)	15-56
15.6.5	シリアルデータ送受信同時動作 (クロック同期式) (SCI_0、1、2、4のみ)	15-58
15.7	スマートカードインタフェースの動作説明	15-60
15.7.1	接続例	15-60
15.7.2	データフォーマット (ブロック転送モード時を除く)	15-61
15.7.3	ブロック転送モード	15-62
15.7.4	受信データサンプリングタイミングと受信マージン	15-63
15.7.5	初期設定	15-64

15.7.6	データ送信（ブロック転送モードを除く）	15-65
15.7.7	シリアルデータ受信（ブロック転送モードを除く）	15-68
15.7.8	クロック出力制御	15-70
15.8	IrDA動作	15-71
15.9	割り込み要因	15-74
15.9.1	通常のシリアルコミュニケーションインタフェースモードにおける割り込み	15-74
15.9.2	スマートカードインタフェースモードにおける割り込み	15-75
15.10	使用上の注意事項	15-76
15.10.1	モジュールストップ機能の設定	15-76
15.10.2	ブレークの検出と処理について	15-76
15.10.3	マーク状態とブレークの送出	15-76
15.10.4	受信エラーフラグと送信動作について（クロック同期式モードのみ）	15-76
15.10.5	TDR へのライトと TDRE フラグの関係について	15-76
15.10.6	DMAC または DTC 使用上の制約事項	15-77
15.10.7	低消費電力状態時の動作について	15-77
15.11	CRC演算器	15-81
15.11.1	特長	15-81
15.11.2	レジスタの説明	15-81
15.11.3	CRC 演算器の動作説明	15-84
15.11.4	CRC 演算器使用上の注意事項	15-87
16.	USB ファンクションモジュール (USB)	16-1
16.1	特長	16-1
16.2	入出力端子	16-2
16.3	レジスタの説明	16-3
16.3.1	割り込みフラグレジスタ 0 (IFR0)	16-4
16.3.2	割り込みフラグレジスタ 1 (IFR1)	16-5
16.3.3	割り込みフラグレジスタ 2 (IFR2)	16-6
16.3.4	割り込み選択レジスタ 0 (ISR0)	16-8
16.3.5	割り込み選択レジスタ 1 (ISR1)	16-8
16.3.6	割り込み選択レジスタ 2 (ISR2)	16-9
16.3.7	割り込みイネーブルレジスタ 0 (IER0)	16-9
16.3.8	割り込みイネーブルレジスタ 1 (IER1)	16-10
16.3.9	割り込みイネーブルレジスタ 2 (IER2)	16-10
16.3.10	EP0i データレジスタ (EPDR0i)	16-11
16.3.11	EP0o データレジスタ (EPDR0o)	16-11
16.3.12	EP0s データレジスタ (EPDR0s)	16-12
16.3.13	EP1 データレジスタ (EPDR1)	16-12
16.3.14	EP2 データレジスタ (EPDR2)	16-12
16.3.15	EP3 データレジスタ (EPDR3)	16-13

16.3.16	EP0o 受信データサイズレジスタ (EPSZ0o)	16-13
16.3.17	EP1 受信データサイズレジスタ (EPSZ1)	16-14
16.3.18	トリガレジスタ (TRG)	16-14
16.3.19	データステータスレジスタ (DASTS)	16-15
16.3.20	FIFO クリアレジスタ (FCLR)	16-16
16.3.21	DMA 転送設定レジスタ (DMA)	16-17
16.3.22	エンドポイントストールレジスタ (EPSTL)	16-18
16.3.23	コンフィグレーションバリュeregレジスタ (CVR)	16-19
16.3.24	コントロールレジスタ (CTRL)	16-19
16.3.25	エンドポイント情報レジスタ (EPIR)	16-21
16.3.26	トランシーバテストレジスタ 0 (TRNTREG0)	16-25
16.3.27	トランシーバテストレジスタ 1 (TRNTREG1)	16-26
16.4	割り込み要因	16-27
16.5	動作説明	16-29
16.5.1	ケーブル接続時	16-29
16.5.2	ケーブル切断時	16-30
16.5.3	サスペンド/レジューム	16-31
16.5.4	コントロール転送	16-36
16.5.5	EP1 バルクアウト転送 (2 面 FIFO)	16-43
16.5.6	EP2 バルクイン転送 (2 面 FIFO)	16-44
16.5.7	EP3 インタラプトイン転送	16-46
16.6	USB標準コマンドとクラス/ベンダーコマンドの処理	16-47
16.6.1	コントロール転送で送信されるコマンドの処理	16-47
16.7	ストール動作	16-48
16.7.1	概要	16-48
16.7.2	アプリケーションが強制的にストールさせたい場合	16-48
16.7.3	USB ファンクションモジュールが自動的にストールさせる場合	16-50
16.8	DMA転送動作	16-51
16.8.1	概要	16-51
16.8.2	エンドポイント 1 に対する DMA 転送	16-51
16.8.3	エンドポイント 2 に対する DMA 転送	16-52
16.9	USB外部回路例	16-53
16.10	使用上の注意事項	16-55
16.10.1	セットアップデータ受信について	16-55
16.10.2	FIFO のクリアについて	16-55
16.10.3	データレジスタのオーバーリード/ライトについて	16-55
16.10.4	EP0 に関する割り込み要因の割り当てについて	16-55
16.10.5	DMA 転送設定時の FIFO クリアについて	16-56
16.10.6	TR 割り込み使用時の注意事項	16-56
16.10.7	周辺モジュールクロック (Pφ) の動作周波数の制約について	16-56

17.	I ² C バスインタフェース 2 (IIC2)	17-1
17.1	特長	17-1
17.2	入出力端子	17-3
17.3	レジスタの説明	17-3
17.3.1	I ² C バスコントロールレジスタ A (ICCRA)	17-4
17.3.2	I ² C バスコントロールレジスタ B (ICCRB)	17-6
17.3.3	I ² C バスモードレジスタ (ICMR)	17-7
17.3.4	I ² C バスインタラプトイネーブルレジスタ (ICIER)	17-8
17.3.5	I ² C バスステータスレジスタ (ICSR)	17-9
17.3.6	スレーブアドレスレジスタ (SAR)	17-11
17.3.7	I ² C バス送信データレジスタ (ICDRT)	17-12
17.3.8	I ² C バス受信データレジスタ (ICDRR)	17-12
17.3.9	I ² C バスシフトレジスタ (ICDRS)	17-12
17.4	動作説明	17-13
17.4.1	I ² C バスフォーマット	17-13
17.4.2	マスタ送信動作	17-14
17.4.3	マスタ受信動作	17-16
17.4.4	スレーブ送信動作	17-18
17.4.5	スレーブ受信動作	17-20
17.4.6	ノイズ除去回路	17-22
17.4.7	使用例	17-23
17.5	割り込み要求	17-27
17.6	ビット同期回路	17-27
17.7	使用上の注意事項	17-28
18.	A/D 変換器	18-1
18.1	特長	18-1
18.2	入出力端子	18-3
18.3	レジスタの説明	18-3
18.3.1	A/D データレジスタ A~H (ADDRA~ADDRH)	18-4
18.3.2	A/D コントロール/ステータスレジスタ (ADCSR)	18-4
18.3.3	A/D コントロールレジスタ (ADCR)	18-6
18.4	動作説明	18-7
18.4.1	シングルモード	18-7
18.4.2	スキャンモード	18-8
18.4.3	入力サンプリングと A/D 変換時間	18-9
18.4.4	外部トリガ入力タイミング	18-10
18.5	割り込み要因	18-11
18.6	A/D変換精度の定義	18-11
18.7	使用上の注意事項	18-13

18.7.1	モジュールストップ状態への設定.....	18-13
18.7.2	許容信号源インピーダンスについて.....	18-13
18.7.3	絶対精度への影響.....	18-13
18.7.4	アナログ電源端子他の設定範囲.....	18-14
18.7.5	ボード設計上の注意.....	18-14
18.7.6	ノイズ対策上の注意.....	18-14
18.7.7	ソフトウェアスタンバイ時の A/D 変換保持機能.....	18-15
19.	D/A 変換器.....	19-1
19.1	特長.....	19-1
19.2	入出力端子.....	19-2
19.3	レジスタの説明.....	19-2
19.3.1	D/A データレジスタ 0、1 (DADR0、DADR1).....	19-2
19.3.2	D/A コントロールレジスタ 01 (DACR01).....	19-2
19.4	動作説明.....	19-4
19.5	使用上の注意事項.....	19-5
19.5.1	モジュールストップ機能の設定.....	19-5
19.5.2	ソフトウェアスタンバイモード時の D/A 出力保持機能.....	19-5
20.	RAM.....	20-1
21.	フラッシュメモリ (0.18μm F-ZTAT 版).....	21-1
21.1	特長.....	21-1
21.2	モード遷移図.....	21-3
21.3	ブロック構成.....	21-4
21.3.1	H8SX/1663 のブロック図.....	21-4
21.3.2	H8SX/1664 のブロック図.....	21-5
21.4	書き込み/消去インタフェース.....	21-6
21.5	入出力端子.....	21-8
21.6	レジスタの説明.....	21-8
21.6.1	書き込み/消去インタフェースレジスタ.....	21-10
21.6.2	書き込み/消去インタフェースパラメータ.....	21-14
21.6.3	RAM エミュレーションレジスタ (RAMER).....	21-24
21.7	オンボードプログラミング.....	21-25
21.7.1	SCI ブートモード.....	21-25
21.7.2	USB ブートモード.....	21-29
21.7.3	ユーザプログラムモード.....	21-31
21.7.4	内蔵プログラム、書き込みデータの格納可能領域.....	21-40
21.8	プロテクト.....	21-43
21.8.1	ハードウェアプロテクト.....	21-43

21.8.2	ソフトウェアプロテクト.....	21-43
21.8.3	エラープロテクト.....	21-44
21.9	RAMによるフラッシュメモリのエミュレーション.....	21-45
21.10	ライターモード.....	21-48
21.11	ブートモードの標準シリアル通信インタフェース仕様.....	21-48
21.12	使用上の注意事項.....	21-70
22.	クロック発振器.....	22-1
22.1	レジスタの説明.....	22-3
22.1.1	システムクロックコントロールレジスタ (SCKCR).....	22-3
22.1.2	サブクロックコントロールレジスタ (SUBCKCR).....	22-5
22.2	発振器.....	22-7
22.2.1	水晶発振子を接続する方法.....	22-7
22.2.2	外部クロックを入力する方法.....	22-8
22.3	PLL回路.....	22-8
22.4	分周器.....	22-9
22.5	サブクロック発振器.....	22-9
22.5.1	32.768kHz 水晶発振子を接続する方法.....	22-9
22.5.2	サブクロックを使用しない場合の端子処理.....	22-9
22.6	使用上の注意事項.....	22-10
22.6.1	クロック発振器に関する使用上の注意事項.....	22-10
22.6.2	発振子に関する注意事項.....	22-11
22.6.3	ボード設計上の注意.....	22-11
23.	低消費電力.....	23-1
23.1	特長.....	23-1
23.2	レジスタの説明.....	23-4
23.2.1	スタンバイコントロールレジスタ (SBYCR).....	23-4
23.2.2	モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB).....	23-6
23.2.3	モジュールストップコントロールレジスタ C (MSTPCRC).....	23-8
23.3	マルチクロック機能.....	23-9
23.3.1	メインクロックの切り替え.....	23-9
23.3.2	サブクロックへの切り替え.....	23-10
23.4	モジュールストップ機能.....	23-10
23.4.1	モジュールストップ機能.....	23-10
23.5	スリープモード.....	23-11
23.5.1	スリープモードへの遷移.....	23-11
23.5.2	スリープモードの解除.....	23-11
23.6	全モジュールクロックストップモード.....	23-11
23.7	ソフトウェアスタンバイモード.....	23-12

23.7.1	ソフトウェアスタンバイモードへの遷移	23-12
23.7.2	ソフトウェアスタンバイモードの解除	23-12
23.7.3	ソフトウェアスタンバイモード解除後の発振安定時間の設定	23-13
23.7.4	ソフトウェアスタンバイモードの応用例	23-14
23.8	ハードウェアスタンバイモード	23-15
23.8.1	ハードウェアスタンバイモードへの遷移	23-15
23.8.2	ハードウェアスタンバイモードの解除	23-15
23.8.3	ハードウェアスタンバイモードのタイミング	23-15
23.8.4	電源投入時のタイミング	23-16
23.9	スリープ命令例外処理	23-16
23.10	φクロック出力制御	23-19
23.11	使用上の注意事項	23-20
23.11.1	I/O ポートの状態	23-20
23.11.2	発振安定待機中の消費電流	23-20
23.11.3	DMAC、DTC のモジュールストップ	23-20
23.11.4	内蔵周辺モジュールの割り込み	23-20
23.11.5	MSTPCRA、MSTPCRB、MSTPCRC のライト	23-20
24.	レジスタ一覧	24-1
24.1	レジスタアドレス一覧（アドレス順）	24-2
24.2	レジスタビット一覧	24-14
24.3	各動作モードにおけるレジスタの状態	24-30
25.	電气的特性	25-1
25.1	絶対最大定格	25-1
25.2	DC特性	25-2
25.3	AC特性	25-4
25.3.1	クロックタイミング	25-5
25.3.2	制御信号タイミング	25-7
25.3.3	バスタイミング	25-9
25.3.4	DMAC タイミング	25-36
25.3.5	内蔵周辺モジュールタイミング	25-39
25.4	USB特性	25-43
25.5	A/D変換特性	25-44
25.6	D/A変換特性	25-45
25.7	フラッシュメモリ特性	25-45
25.7.1	H8SX/1663	25-45
25.7.2	H8SX/1664	25-46

付録	付録-1
A. 各処理状態におけるポートの状態.....	付録-1
B. 型名一覧.....	付録-5
C. 外形寸法図.....	付録-6
D. 未使用端子の処理について.....	付録-7
索引	索引-1

図目次

1. 概要	
図1.1 内部ブロック図.....	1-2
図1.2 ピン配置図.....	1-3
2. CPU	
図2.1 CPU動作モード.....	2-3
図2.2 例外処理ベクタテーブル（ノーマルモード）.....	2-4
図2.3 スタック構造（ノーマルモード）.....	2-4
図2.4 例外処理ベクタテーブル（ミドルモード、アドバンストモード）.....	2-6
図2.5 スタック構造（ミドルモード、アドバンストモード）.....	2-7
図2.6 例外処理ベクタテーブル（マキシマムモード）.....	2-8
図2.7 スタック構造（マキシマムモード）.....	2-9
図2.8 メモリマップ.....	2-10
図2.9 CPU内部レジスタ構成.....	2-11
図2.10 汎用レジスタの使用方法.....	2-12
図2.11 スタックの状態.....	2-13
図2.12 汎用レジスタのデータ形式.....	2-16
図2.13 メモリ上でのデータ形式.....	2-17
図2.14 命令フォーマットの例.....	2-33
図2.15 メモリ間接による分岐アドレスの指定.....	2-38
図2.16 状態遷移図.....	2-43
3. MCU 動作モード	
図3.1 H8SX/1663の各動作モードのアドレスマップ（1）.....	3-7
図3.1 H8SX/1663の各動作モードのアドレスマップ（2）.....	3-8
図3.2 H8SX/1664の各動作モードのアドレスマップ（1）.....	3-9
図3.2 H8SX/1664の各動作モードのアドレスマップ（2）.....	3-10
4. 例外処理	
図4.1 リセットシーケンス（アドバンストモード／内蔵ROM有効）.....	4-5
図4.2 リセットシーケンス（アドバンストモード／内蔵ROM無効／ 外部16ビットアクセス空間）.....	4-6
図4.3 例外処理終了後のスタックの状態.....	4-14
図4.4 SPを奇数に設定したときの動作.....	4-15
5. 割り込みコントローラ	
図5.1 割り込みコントローラのブロック図.....	5-2
図5.2 IRQ _n 割り込みのブロック図.....	5-14
図5.3 割り込み制御モード0の割り込み受け付けまでのフロー.....	5-22
図5.4 割り込み制御モード2の割り込み受け付けまでのフロー.....	5-24
図5.5 割り込み例外処理.....	5-25
図5.6 DTC、DMACと割り込みコントローラ.....	5-27

図5.7	割り込みの発生とディスエーブルの競合	5-32
6.	バスコントローラ (BSC)	
図6.1	バスコントローラのブロック図	6-3
図6.2	リードストロブネゲートタイミング (3ステートアクセス空間)	6-12
図6.3	\overline{CS} 、アドレスアサート期間拡張 (基本バスインタフェース、 3ステートアクセス空間、 $RDN_n=0$)	6-14
図6.4	\overline{RAS} 信号アサートタイミング (カラムアドレス出力サイクル2ステート、フルアクセス)	6-26
図6.5	内部バス構成	6-34
図6.6	システムクロック：外部バスクロック=4：1、外部2ステートアクセス	6-36
図6.7	システムクロック：外部バスクロック=2：1、外部3ステートアクセス	6-37
図6.8	アドレス空間のエリア分割	6-41
図6.9	\overline{CS}_n 信号出力タイミング ($n=0\sim7$)	6-42
図6.10	\overline{CS} を同一端子に出力したときのタイミング	6-43
図6.11	8ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)	6-52
図6.12	8ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)	6-53
図6.13	16ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)	6-54
図6.14	16ビットアクセス空間へのアクセスサイズとデータアライメント制御 (リトルエンディアン)	6-54
図6.15	16ビット2ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-56
図6.16	16ビット2ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-57
図6.17	16ビット2ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)	6-58
図6.18	16ビット3ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)	6-59
図6.19	16ビット3ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)	6-60
図6.20	16ビット3ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)	6-61
図6.21	ウェイトステート挿入タイミング例	6-63
図6.22	リードストロブタイミング例	6-64
図6.23	チップセレクトアサート期間拡張時タイミング例	6-65
図6.24	\overline{DACK} 信号の出力タイミング	6-66
図6.25	16ビット2ステートアクセス空間のバスタイミング	6-69
図6.26	16ビット3ステートアクセス空間のバスタイミング	6-70
図6.27	ウェイトステート挿入のタイミング例	6-72
図6.28	\overline{DACK} 信号の出力タイミング	6-74
図6.29	バーストROMアクセスタイミング例 ($AST_n=1$ 、バーストサイクル2ステート) ...	6-76
図6.30	バーストROMアクセスタイミング例 ($AST_n=0$ 、バーストサイクル1ステート) ...	6-77
図6.31	8ビットアクセス空間へのアクセスタイミング ($ABWH_n=1$ 、 $ABWL_n=1$)	6-81
図6.32	16ビットアクセス空間へのアクセスタイミング ($ABWH_n=0$ 、 $ABWL_n=1$)	6-82

図6.33	アドレスサイクル3サイクルのアクセスタイミング例 (ADDEX=1)	6-83
図6.34	リードストロブタイミング例	6-84
図6.35	データサイクルのチップセレクトアサート期間拡張タイミング例	6-85
図6.36	同一エリアのアドレス/データマルチプレクスI/O空間連続リード	6-86
図6.37	$\overline{\text{DACK}}$ 信号の出力タイミング	6-87
図6.38	DRAM基本アクセスタイミング (RAST=0、CAST=0)	6-90
図6.39	カラムアドレス出力サイクル3ステートの場合のアクセスタイミング例 (RAST=0)	6-91
図6.40	RAS信号がTrステートの先頭からLowレベルとなる場合のアクセスタイミング例 (CAST=0)	6-92
図6.41	ロウアドレス出力保持ステート数が1ステート時のタイミング例 (RAST=0、CAST=0)	6-93
図6.42	プリチャージサイクル2ステート時のタイミング例 (RAST=0、CAST=0)	6-94
図6.43	ウェイトステート挿入タイミング例 (カラムアドレス出力2ステート)	6-96
図6.44	ウェイトステート挿入タイミング例 (カラムアドレス出力3ステート)	6-97
図6.45	CAS2本方式のバイト制御タイミング (アドレス下位1ビットがB'0のときの ライトアクセス、RAST=0、CAST=0)	6-98
図6.46	CAS2本方式のワード制御タイミング (アドレス下位1ビットがB'0のときの リードアクセス、RAST=0、CAST=0)	6-99
図6.47	CAS2本方式の接続例	6-100
図6.48	高速ページモードの動作タイミング (RAST=0、CAST=0)	6-101
図6.49	高速ページモードの動作タイミング (RAST=0、CAST=1)	6-102
図6.50	RASダウンモードの動作タイミング例 (RAST=0、CAST=0)	6-103
図6.51	RASアップモードの動作タイミング例 (RAST=0、CAST=0)	6-104
図6.52	RTCNTの動作	6-105
図6.53	コンペアマッチのタイミング	6-105
図6.54	CBRリフレッシュタイミング	6-105
図6.55	CBRリフレッシュタイミング (RCW1=0、RCW0=1、RLW2=0、RLW1=0、 RLW0=0)	6-106
図6.56	セルフリフレッシュタイミング	6-107
図6.57	セルフリフレッシュ直後のプリチャージ時間を1ステート増加した場合の タイミング例	6-108
図6.58	DDS=1のときの $\overline{\text{DACK}}$ 出力タイミング例 (RAST=0、CAST=0)	6-110
図6.59	DDS=0のときの $\overline{\text{DACK}}$ 出力タイミング例 (RAST=0、CAST=1)	6-111
図6.60	シンクロナスDRAM基本リードアクセスタイミング (CASレイテンシ2)	6-115
図6.61	シンクロナスDRAM基本ライトアクセスタイミング	6-116
図6.62	CASレイテンシ制御タイミング例 (CASレイテンシ3)	6-118
図6.63	ロウアドレス出力保持ステート数が1ステート時のリードタイミング例 (RCD1=0、RCD0=1、CASレイテンシ2)	6-119
図6.64	ロウアドレス出力保持ステート数が1ステートのときのライトタイミング例 (RCD1=0、RCD0=1)	6-120
図6.65	プリチャージサイクル2ステート時のリードタイミング例 (TPC1=0、TPC0=1、CASレイテンシ2)	6-121
図6.66	プリチャージサイクル2ステート時のライトタイミング例 (TPC1=0、TPC0=1)	6-122
図6.67	CKSPE=1のときのリードタイミング例 (CASレイテンシ2)	6-123
図6.68	ライトプリチャージ遅延ステート挿入時のライトタイミング例 (TRWL=1)	6-124

図6.69	16ビットアクセス空間時のDQMによるバイト制御タイミング (アドレス下位1ビットがB'0のときのリードアクセス)	6-125
図6.70	16ビットアクセス空間時のDQMによるワード制御タイミング (下位アドレス1ビットがB'0のときのリードアクセス、CASレイテンシ2)	6-126
図6.71	DQMによるバイト/ワード制御の接続例	6-127
図6.72	16ビットアクセス空間時のロングワードライトタイミング (BE=1、RCDM=0)	6-128
図6.73	8ビットアクセス空間時のワードリードタイミング (BE=1、RCDM=0、CASレイテンシ2)	6-129
図6.74	RASダウンモード時の動作タイミング例 (BE=1、RCDM=1、CASレイテンシ2)	6-131
図6.75	RASダウンモードの動作タイミング例 (BE=1、RCDM=1、CASレイテンシ2)	6-132
図6.76	オートリフレッシュタイミング	6-134
図6.77	オートリフレッシュタイミング (TPC1=0、TPC0=1)	6-135
図6.78	オートリフレッシュタイミング (TPC1=0、TPC0=0、RLW2=0、RLW1=0、RLW0=1)	6-136
図6.79	セルフリフレッシュタイミング (TPC1=0、TPC0=0、RCW1=0、RCW0=0、RLW1=0、RLW0=0の場合)	6-137
図6.80	セルフリフレッシュ直後のプリチャージ時間を1ステート増加した場合の タイミング例 (TPCS2~TPCS0=H'1、TPC1=0、TPC0=0)	6-138
図6.81	シンクロナスDRAMモード設定タイミング	6-139
図6.82	DDS=1のときのDACK出力タイミング例 (ライトアクセス時)	6-141
図6.83	DDS=1のときのDACK出力タイミング例 (リードアクセス時、CASレイテンシ2)	6-142
図6.84	DDS=0のときのDACK出力タイミング例 (ライトアクセス時)	6-143
図6.85	DDS=0の場合のDACK出力タイミング例 (リードアクセス時、CASレイテンシ2)	6-144
図6.86	TRWL=1のときのDACK出力タイミング例 (ライトアクセス時)	6-145
図6.87	CKSPE=1のときのDACK出力タイミング例 (リードアクセス時、CASレイテンシ2)	6-146
図6.88	DKC=1、DDS=1のときのDACK出力タイミング例 (ライトアクセス時)	6-147
図6.89	DKC=1、DDS=0のときのDACK出力タイミング例 (ライトアクセス時)	6-148
図6.90	アイドルサイクル動作例 (異なるエリア間での連続リード)	6-151
図6.91	アイドルサイクル動作例 (リード後のライト)	6-152
図6.92	アイドルサイクル動作例 (ライト後のリード)	6-153
図6.93	アイドルサイクル動作例 (シングルアドレス転送ライト後のライト)	6-154
図6.94	アイドルサイクル挿入例	6-155
図6.95	チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係	6-156
図6.96	外部リード後のDRAMフルアクセス例 (CAST=0)	6-157
図6.97	外部リード後のシンクロナスDRAMフルアクセス例 (CASレイテンシ2)	6-158
図6.98	RASダウンモード時のアイドルサイクル動作例 (リード後のライト)	6-159
図6.99	バス権解放状態遷移タイミング (シンクロナスDRAMインタフェースを使用しない場合)	6-164
図6.100	バス権解放状態遷移タイミング (シンクロナスDRAMインタフェースを使用した場合)	6-165
図6.101	外部ライトデータバッファ機能使用時のタイミング例	6-167
図6.102	周辺モジュールライトデータバッファ機能使用時のタイミング例	6-168

7. DMA コントローラ (DMAC)	
図7.1 DMACのブロック図	7-2
図7.2 デュアルアドレスモードのタイミング例	7-20
図7.3 デュアルアドレスモードの動作	7-21
図7.4 シングルアドレスモードでのデータの流れ	7-22
図7.5 シングルアドレスモードのタイミング例	7-22
図7.6 シングルアドレスモードの動作	7-23
図7.7 ノーマル転送モードのタイミング例	7-23
図7.8 ノーマル転送モードの動作	7-24
図7.9 リピート転送モードの動作	7-25
図7.10 ブロック転送モードの例	7-26
図7.11 シングルアドレスモードのブロック転送モード (ブロックエリアの指定あり)の動作	7-26
図7.12 デュアルアドレスモードのブロック転送モード (ブロックエリアの指定なし)の動作	7-27
図7.13 サイクルスチールモードのタイミング例	7-30
図7.14 バーストモードのタイミング例	7-30
図7.15 拡張リピートエリア機能の例	7-31
図7.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例	7-32
図7.17 アドレスの更新方法	7-33
図7.18 オフセット更新機能の動作	7-34
図7.19 リピート転送モード+オフセット加算によるXY変換のときの動作	7-35
図7.20 リピート転送モード+オフセット加算によるXY変換のフロー	7-36
図7.21 動作中のチャンネルのレジスタ設定を変更するときの手順	7-39
図7.22 チャンネルの優先順位のタイミング例	7-41
図7.23 DMA転送バスタイミング例	7-42
図7.24 ノーマル転送モードかつサイクルスチールモードの転送例	7-43
図7.25 ノーマル転送モードかつサイクルスチールモードの転送例 (転送元DSAR=奇数アドレス、ソースアドレス増加)	7-44
図7.26 ノーマル転送モードかつサイクルスチールモードの転送例 (転送先DDAR=奇数アドレス、デスティネーションアドレス減少)	7-44
図7.27 ノーマル転送モードかつバーストモードの転送例	7-45
図7.28 ブロック転送モードの転送例	7-46
図7.29 \overline{DREQ} 立ち下がりエッジ起動時のノーマル転送モードの転送例	7-47
図7.30 \overline{DREQ} 立ち下がりエッジ起動時のブロック転送モードの転送例	7-48
図7.31 \overline{DREQ} レベル起動時のノーマル転送モードの転送例	7-49
図7.32 \overline{DREQ} レベル起動時のブロック転送モードの転送例	7-50
図7.33 $NRD=1$ のときの \overline{DREQ} Lowレベル起動時のノーマル転送モードの転送例	7-51
図7.34 シングルアドレスモード (バイトリード) の転送例	7-52
図7.35 シングルアドレスモード (バイトライト) の転送例	7-53
図7.36 \overline{DREQ} 立ち下がりエッジ起動時のシングルアドレスモードの転送例	7-54
図7.37 \overline{DREQ} Lowレベル起動時のシングルアドレスモードの転送例	7-55
図7.38 $NRD=1$ のときの \overline{DREQ} Lowレベル起動時のシングルアドレスモードの転送例	7-56
図7.39 割り込みと割り込み要因	7-62
図7.40 割り込みを解除して、転送を再開する手順例	7-63

8.	データトランスファコントローラ (DTC)	
図8.1	DTCのブロック図	8-2
図8.2	データ領域上での転送情報の配置	8-10
図8.3	DTCベクタテーブルと転送情報の対応	8-11
図8.4	DTC動作フローチャート	8-15
図8.5	バスサイクルが分割される例	8-17
図8.6	転送情報リードスキップのタイミングチャート	8-18
図8.7	ノーマル転送モードのメモリマップ	8-19
図8.8	リピート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)	8-20
図8.9	ブロック転送モードのメモリマップ (転送先をブロックエリアに指定した場合)	8-21
図8.10	チェイン転送の動作	8-22
図8.11	DTCの動作タイミング例 (ショートアドレスモード、ノーマル転送モード、 リピート転送モード)	8-22
図8.12	DTCの動作タイミング例 (ショートアドレスモード、ブロック転送モード、 ブロックサイズ=2)	8-23
図8.13	DTCの動作タイミング例 (ショートアドレスモード、チェイン転送)	8-23
図8.14	DTCの動作タイミング例 (フルアドレスモード、ノーマル転送モード、 リピート転送モード)	8-23
図8.15	割り込みによるDTC起動手順	8-26
図8.16	カウンタ=0時のチェイン転送	8-29
10.	16ビットタイマパルスユニット (TPU)	
図10.1	TPUのブロック図	10-4
図10.2	カウンタ動作設定手順例	10-38
図10.3	フリーランニングカウンタの動作	10-39
図10.4	周期カウンタの動作	10-40
図10.5	コンペアマッチによる波形出力動作例	10-40
図10.6	0出力/1出力の動作例	10-41
図10.7	トグル出力の動作例	10-41
図10.8	インプットキャプチャ動作の設定例	10-42
図10.9	インプットキャプチャ動作例	10-43
図10.10	同期動作の設定手順例	10-44
図10.11	同期動作の動作例	10-45
図10.12	コンペアマッチバッファ動作	10-46
図10.13	インプットキャプチャバッファ動作	10-46
図10.14	バッファ動作の設定手順例	10-46
図10.15	バッファ動作例 (1)	10-47
図10.16	バッファ動作例 (2)	10-48
図10.17	カスケード接続動作設定手順例	10-49
図10.18	カスケード接続動作例 (1)	10-49
図10.19	カスケード接続動作例 (2)	10-50
図10.20	PWMモードの設定手順例	10-52
図10.21	PWMモードの動作例 (1)	10-52
図10.22	PWMモードの動作例 (2)	10-53
図10.23	PWMモード動作例 (3)	10-54
図10.24	位相計数モードの設定手順例	10-55
図10.25	位相計数モード1の動作例	10-56

図10.26	位相計数モード2の動作例	10-57
図10.27	位相計数モード3の動作例	10-58
図10.28	位相計数モード4の動作例	10-59
図10.29	位相計数モードの応用例	10-60
図10.30	内部クロック動作時のカウントタイミング	10-63
図10.31	外部クロック動作時のカウントタイミング	10-63
図10.32	アウトプットコンペア出力タイミング	10-64
図10.33	インプットキャプチャ入力信号タイミング	10-64
図10.34	カウンタクリアタイミング (コンペアマッチ)	10-65
図10.35	カウンタクリアタイミング (インプットキャプチャ)	10-65
図10.36	バッファ動作タイミング (コンペアマッチ)	10-66
図10.37	バッファ動作タイミング (インプットキャプチャ)	10-66
図10.38	TGI割り込みタイミング (コンペアマッチ)	10-67
図10.39	TGI割り込みタイミング (インプットキャプチャ)	10-68
図10.40	TCIV割り込みのセットタイミング	10-68
図10.41	TCIU割り込みのセットタイミング	10-69
図10.42	CPUによるステータスフラグのクリアタイミング	10-69
図10.43	DTC/DMACの起動によるステータスフラグのクリアタイミング例 (1)	10-70
図10.44	DTC/DMACの起動によるステータスフラグのクリアタイミング例 (2)	10-70
図10.45	位相計数モード時の位相差、オーバーラップ、およびパルス幅	10-71
図10.46	TCNTのライトとクリアの競合	10-72
図10.47	TCNTのライトとカウントアップの競合	10-73
図10.48	TGRのライトとコンペアマッチの競合	10-73
図10.49	バッファレジスタのライトとコンペアマッチの競合	10-74
図10.50	TGRのリードとインプットキャプチャの競合	10-74
図10.51	TGRのライトとインプットキャプチャの競合	10-75
図10.52	バッファレジスタのライトとインプットキャプチャの競合	10-75
図10.53	オーバフローとカウンタクリアの競合	10-76
図10.54	TCNTのライトとオーバフローの競合	10-76
11. プログラマブルパルスジェネレータ (PPG)		
図11.1	PPGのブロック図	11-1
図11.2	PPG概要図	11-9
図11.3	NDRの内容が転送・出力されるタイミング例	11-10
図11.4	パルス出力通常動作の設定手順例	11-11
図11.5	パルス出力通常動作例 (5相パルス出力例)	11-12
図11.6	パルス出力ノンオーバーラップ動作	11-13
図11.7	ノンオーバーラップ動作とNDRライトタイミング	11-13
図11.8	パルス出力ノンオーバーラップ動作の設定手順例	11-14
図11.9	パルス出力ノンオーバーラップ動作例 (4相の相補ノンオーバーラップ出力)	11-15
図11.10	パルス反転出力例	11-17
図11.11	インプットキャプチャによるパルス出力例	11-18
12. 8ビットタイマ (TMR)		
図12.1	8ビットタイマ (ユニット0) のブロック図	12-2
図12.2	8ビットタイマ (ユニット1) のブロック図	12-3
図12.3	8ビットタイマ (ユニット2) のブロック図	12-4
図12.4	8ビットタイマ (ユニット3) のブロック図	12-5

図12.5	パルス出力例.....	12-17
図12.6	リセット入力例.....	12-18
図12.7	内部クロック動作時のカウントタイミグ.....	12-18
図12.8	外部クロック動作時のカウントタイミグ.....	12-19
図12.9	コンペアマッチ時のCMFフラグのセットタイミグ.....	12-19
図12.10	コンペアマッチA信号によるトグル出力のタイマ出力タイミグ.....	12-20
図12.11	コンペアマッチによるカウンタクリアタイミグ.....	12-20
図12.12	外部リセット入力によるクリアタイミグ（立ち上がりエッジ）.....	12-20
図12.13	外部リセット入力によるクリアタイミグ（ハイレベル）.....	12-21
図12.14	OVFフラグのセットタイミグ.....	12-21
図12.15	TCNTのライトとクリアの競合.....	12-24
図12.16	TCNTのライトとカウントアップの競合.....	12-25
図12.17	TCORのライトとコンペアマッチの競合.....	12-26
13. 32K タイマ (TM32K)		
図13.1	TM32Kのブロック図.....	13-1
図13.2	32Kタイマの動作.....	13-3
14. ウォッチドッグタイマ (WDT)		
図14.1	WDTのブロック図.....	14-2
図14.2	ウォッチドッグタイマモード時の動作.....	14-7
図14.3	インターバルタイマモード時の動作.....	14-7
図14.4	TCNT、TCSR、RSTCSRへのライト.....	14-9
図14.5	TCNTのライトとカウントアップの競合.....	14-10
図14.6	WDTOVF信号によるシステムのリセット回路例.....	14-11
15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)		
図15.1	SCI_0、1、2、4のブロック図.....	15-4
図15.2	SCI_5、6のブロック図.....	15-5
図15.3	平均転送レートが選択されたときの基本クロック例 (1).....	15-32
図15.3	平均転送レートが選択されたときの基本クロック例 (2).....	15-33
図15.3	平均転送レートが選択されたときの基本クロック例 (3).....	15-34
図15.4	TMRクロック入力時の平均転送レート設定例.....	15-35
図15.5	調歩同期式通信のデータフォーマット (8ビットデータ/パリティあり/ 2ストップビットの例).....	15-37
図15.6	調歩同期式モードの受信データサンプリングタイミグ.....	15-39
図15.7	出力クロックと送信データの位相関係 (調歩同期式モード).....	15-40
図15.8	SCIの初期化フローチャートの例.....	15-41
図15.9	調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/ 1ストップビットの例).....	15-42
図15.10	シリアル送信のフローチャートの例.....	15-43
図15.11	SCIの受信時の動作例 (8ビットデータ/パリティあり/ 1ストップビットの例).....	15-44
図15.12	シリアル受信のフローチャートの例 (1).....	15-45
図15.12	シリアル受信のフローチャートの例 (2).....	15-46
図15.13	マルチプロセッサフォーマットを使用した通信例 (受信局AへのデータH'AAの送信の例).....	15-47
図15.14	マルチプロセッサシリアル送信のフローチャートの例.....	15-48

図15.15	SCIの受信時の動作例（8ビットデータ／マルチプロセッサビットあり／1ストップビットの例）	15-49
図15.16	マルチプロセッサシリアル受信のフローチャートの例（1）	15-50
図15.16	マルチプロセッサシリアル受信のフローチャートの例（2）	15-51
図15.17	クロック同期式通信のデータフォーマット（LSBファーストの場合）	15-52
図15.18	SCIの初期化フローチャートの例	15-53
図15.19	クロック同期式モードの送信時の動作例	15-54
図15.20	シリアル送信のフローチャートの例	15-55
図15.21	SCIの受信時の動作例	15-56
図15.22	シリアル受信のフローチャートの例	15-57
図15.23	シリアル送受信同時動作のフローチャートの例	15-59
図15.24	スマートカードインタフェース端子接続概要	15-60
図15.25	通常のスマートカードインタフェースのデータフォーマット	15-61
図15.26	ダイレクトコンベンション（SDIR=SINV=0/ \bar{E} =0）	15-62
図15.27	インバースコンベンション（SDIR=SINV=0/ \bar{E} =1）	15-62
図15.28	スマートカードインタフェースモード時の受信データサンプリングタイミング（372倍のクロック使用時）	15-63
図15.29	SCI送信モードの場合の再転送動作	15-66
図15.30	送信動作時のTENDフラグ発生タイミング	15-66
図15.31	送信処理フローの例	15-67
図15.32	SCI受信モードの場合の再転送動作	15-68
図15.33	受信フローの例	15-69
図15.34	クロック出力固定タイミング	15-70
図15.35	クロック停止・再起動手順	15-71
図15.36	IrDAブロック図	15-72
図15.37	IrDAの送信／受信動作	15-72
図15.38	DTCによるクロック同期式送信時の例	15-77
図15.39	送信時のソフトウェアスタンバイモード遷移フローチャートの例	15-78
図15.40	ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信）	15-79
図15.41	ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信）（SCI_5、6では設定禁止です）	15-79
図15.42	受信時のソフトウェアスタンバイモード遷移フローチャートの例	15-80
図15.43	CRC演算器のブロック図	15-81
図15.44	LSBファーストでのデータ送信	15-84
図15.45	MSBファーストでのデータ送信	15-84
図15.46	LSBファーストでのデータ受信	15-85
図15.47	MSBファーストでのデータ受信	15-86
図15.48	LSBファーストとMSBファーストの送信データ	15-87
16. USB ファンクションモジュール（USB）		
図16.1	USBのブロック図	16-2
図16.2	ケーブル接続時の動作	16-29
図16.3	ケーブル切断時の動作	16-30
図16.4	サスペンド時の動作	16-31
図16.5	アップストリームからのレジェーム時の動作	16-32
図16.6	ソフトウェアスタンバイへの遷移解除フロー	16-33

図16.7	ソフトウェアスタンバイへの遷移、解除タイミング	16-34
図16.8	リモートウェイクアップ時の動作	16-35
図16.9	コントロール転送における各転送ステージ	16-36
図16.10	セットアップステージの動作	16-37
図16.11	データステージ（コントロールイン時）の動作	16-38
図16.12	データステージ（コントロールアウト時）の動作	16-40
図16.13	ステータスステージ（コントロールイン時）の動作	16-41
図16.14	ステータスステージ（コントロールアウト時）の動作	16-42
図16.15	EP1バルクアウト転送の動作	16-43
図16.16	EP2バルクイン転送の動作	16-44
図16.17	EP3インタラプトイン転送の動作	16-46
図16.18	アプリケーションで強制的にストールさせたい場合	16-49
図16.19	USBファンクションモジュールが自動的にストールさせた場合	16-50
図16.20	EP1のRDFN操作	16-51
図16.21	EP2のPKTEビット操作	16-52
図16.22	バスパワーモード時の回路例	16-53
図16.23	セルフパワーモード時の回路例	16-54
図16.24	TR割り込みフラグのセットタイミング	16-56
17. I ² C バスインタフェース 2 (IIC2)		
図17.1	I ² Cバスインタフェース2のブロック図	17-2
図17.2	入出力端子の外部回路接続例	17-3
図17.3	I ² Cバスフォーマット	17-13
図17.4	I ² Cバスタイミング	17-13
図17.5	マスタ送信モード動作タイミング1	17-15
図17.6	マスタ送信モード動作タイミング2	17-15
図17.7	マスタ受信モード動作タイミング1	17-17
図17.8	マスタ受信モード動作タイミング2	17-17
図17.9	スレーブ送信モード動作タイミング1	17-19
図17.10	スレーブ送信モード動作タイミング2	17-20
図17.11	スレーブ受信モード動作タイミング1	17-21
図17.12	スレーブ受信モード動作タイミング2	17-21
図17.13	ノイズ除去回路のブロック図	17-22
図17.14	マスタ送信モードのフローチャート例	17-23
図17.15	マスタ受信モードのフローチャート例	17-24
図17.16	スレーブ送信モードフローチャート例	17-25
図17.17	スレーブ受信モードフローチャート例	17-26
図17.18	ビット同期回路のタイミング	17-27
18. A/D 変換器		
図18.1	A/D変換器のブロック図	18-2
図18.2	A/D変換器の動作例（シングルモード、チャンネル1選択時）	18-7
図18.3	A/D変換器の動作例（スキャンモード、AN0～AN2の3チャンネル選択時）	18-8
図18.4	A/D変換タイミング	18-9
図18.5	外部トリガ入力タイミング	18-10
図18.6	A/D変換精度の定義	18-12
図18.7	A/D変換精度の定義	18-12
図18.8	アナログ入力回路の例	18-13

図18.9	アナログ入力保護回路の例	18-15
図18.10	アナログ入力端子等価回路	18-15
19. D/A 変換器		
図19.1	D/A変換器のブロック図	19-1
図19.2	D/A変換器の動作例	19-4
21. フラッシュメモリ (0.18 μ m F-ZTAT 版)		
図21.1	フラッシュメモリのブロック図	21-2
図21.2	フラッシュメモリに関する状態遷移	21-3
図21.3	ユーザマットのブロック構成	21-4
図21.4	ユーザマットのブロック構成	21-5
図21.5	手続きプログラムの作成手順	21-6
図21.6	SCIブートモードのシステム構成図	21-25
図21.7	ビットレートの自動合わせ込み	21-26
図21.8	SCIブートモードの状態遷移図	21-27
図21.9	USBブートモードのシステム構成図	21-29
図21.10	USBブートモードの状態遷移	21-30
図21.11	書き込み/消去フロー	21-31
図21.12	書き込み/消去実行時のRAMマップ	21-32
図21.13	ユーザプログラムモードでの書き込み手順	21-33
図21.14	ユーザプログラムモードでの消去手順	21-37
図21.15	ユーザプログラムモードでの消去、書き込み、RAMエミュレーション手順	21-39
図21.16	エラープロテクト状態への状態遷移図	21-44
図21.17	RAMによるエミュレーションフロー	21-45
図21.18	RAMのオーバラップ動作例 (H8SX/1663)	21-46
図21.19	チューニング終了データの書き込み (H8SX/1663)	21-47
図21.20	ブートプログラムのステータス	21-49
図21.21	ビットレート合わせ込みのシーケンス	21-50
図21.22	通信プロトコルフォーマット	21-51
図21.23	新ビットレート選択のシーケンス	21-60
図21.24	書き込みシーケンス	21-63
図21.25	消去シーケンス	21-63
22. クロック発振器		
図22.1	クロック発振器のブロック図	22-2
図22.2	水晶発振子の接続例	22-7
図22.3	水晶発振子の等価回路	22-7
図22.4	外部クロックの接続例	22-8
図22.5	外部クロック入力タイミング	22-8
図22.6	32.768kHz水晶発振子の接続例	22-9
図22.7	32.768kHz水晶発振子の等価回路	22-9
図22.8	サブクロックを使用しない場合の端子処理	22-10
図22.9	クロック変更タイミング	22-11
図22.10	発振回路部のボード設計に関する注意事項	22-11
図22.11	PLL回路の外付け推奨回路	22-12

23. 低消費電力	
図23.1 モード遷移図	23-3
図23.2 ソフトウェアスタンバイモードの応用例	23-14
図23.3 ハードウェアスタンバイモードのタイミング	23-15
図23.4 電源投入時のタイミング	23-16
図23.5 SLEEP命令実行後に解除要因割り込みが発生した場合	23-17
図23.6 SLEEP命令実行直前に解除要因割り込みが発生した場合 (スリープ命令例外処理が発生しない場合)	23-17
図23.7 SLEEP命令実行直前に解除要因割り込みが発生した場合 (スリープ命令例外処理が発生する場合)	23-18
25. 電気的特性	
図25.1 出力負荷回路	25-4
図25.2 外部バスクロックタイミング	25-5
図25.3 ソフトウェアスタンバイ発振安定時間タイミング	25-6
図25.4 発振安定時間タイミング	25-6
図25.5 外部入力クロックタイミング	25-6
図25.6 リセット入力タイミング	25-7
図25.7 割り込み入力タイミング	25-8
図25.8 基本バスタイミング/2ステートアクセス	25-13
図25.9 基本バスタイミング/3ステートアクセス	25-14
図25.10 基本バスタイミング/3ステートアクセス1ウェイト	25-15
図25.11 基本バスタイミング/2ステートアクセス (\overline{CS} アサート期間延長)	25-16
図25.12 基本バスタイミング/3ステートアクセス (\overline{CS} アサート期間延長)	25-17
図25.13 バイト制御SRAM 2ステートリード/ライトアクセス	25-18
図25.14 バイト制御SRAM 3ステートリード/ライトアクセス	25-19
図25.15 バーストROMアクセスタイミング/1ステートバーストアクセス	25-20
図25.16 バーストROMアクセスタイミング/2ステートバーストアクセス	25-21
図25.17 アドレス/データマルチプレクス・アクセスタイミング (ノーウェイト) (−基本・4ステートアクセス)	25-22
図25.18 アドレス/データマルチプレクス・アクセスタイミング (ウェイト制御) (−アドレスサイクルプログラムウェイト×1 +データサイクル プログラムウェイト×1+データサイクル端子ウェイト×1の場合)	25-23
図25.19 DRAMアクセスタイミング/2ステートアクセス	25-24
図25.20 DRAMアクセスタイミング/2ステートアクセス1ウェイト	25-25
図25.21 DRAMアクセスタイミング/2ステートバーストアクセス	25-26
図25.22 DRAMアクセスタイミング/3ステートアクセス (RAST=1のとき)	25-27
図25.23 DRAMアクセスタイミング/3ステートアクセス1ウェイト	25-28
図25.24 DRAMアクセスタイミング/3ステートバーストアクセス	25-29
図25.25 CASビフォアRASリフレッシュタイミング	25-30
図25.26 CASビフォアRASリフレッシュタイミング (ウェイトサイクル挿入)	25-30
図25.27 セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時： RAST=0のとき)	25-30
図25.28 セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時： RAST=1のとき)	25-31
図25.29 シンクロナスDRAM基本リードアクセスタイミング (CASレイテンシ2の場合)	25-32

図25.30	シンクロナスDRAM基本ライトアクセスタイミング (CASレイテンシ2の場合)	25-33
図25.31	リードデータを拡張した場合 (CASレイテンシ2の場合)	25-34
図25.32	シンクロナスDRAMセルフリフレッシュタイミング	25-35
図25.33	外部バス権開放タイミング	25-35
図25.34	外部バス権要求出力タイミング	25-36
図25.35	DMAC、 $\overline{\text{DREQ}}$ 入力タイミング	25-36
図25.36	DMAC、 $\overline{\text{TEND}}$ 出力タイミング	25-36
図25.37	DMACシングルアドレス転送タイミング (2ステートアクセス)	25-37
図25.38	DMACシングルアドレス転送タイミング (3ステートアクセス)	25-38
図25.39	I/Oポート入出力タイミング	25-40
図25.40	TPU入出力タイミング	25-40
図25.41	TPUクロック入力タイミング	25-41
図25.42	PPG出力タイミング	25-41
図25.43	8ビットタイマ出力タイミング	25-41
図25.44	8ビットタイマリセット入力タイミング	25-41
図25.45	8ビットタイマクロック入力タイミング	25-41
図25.46	WDT出力タイミング	25-42
図25.47	SCKクロック入力タイミング	25-42
図25.48	SCI入出力タイミング/クロック同期式モード	25-42
図25.49	A/D変換器外部トリガ入力タイミング	25-42
図25.50	I ² Cバスインタフェース2入出力タイミング【オプション】	25-43
図25.51	データ信号タイミング	25-44
図25.52	負荷条件	25-44

付録

図C.1	外形寸法図 (FP-144LV)	付録-6
------	------------------	------

表目次

1. 概要	
表1.1 動作モード別ピン配置一覧.....	1-4
表1.2 端子機能.....	1-9
2. CPU	
表2.1 命令の分類.....	2-18
表2.2 命令とアドレッシングモードの組み合わせ (1)	2-20
表2.2 命令とアドレッシングモードの組み合わせ (2)	2-23
表2.3 オペレーションの記号.....	2-24
表2.4 データ転送命令.....	2-25
表2.5 ブロック転送命令.....	2-25
表2.6 算術演算命令.....	2-26
表2.7 論理演算命令.....	2-28
表2.8 シフト命令.....	2-28
表2.9 ビット操作命令.....	2-29
表2.10 分岐命令.....	2-31
表2.11 システム制御命令.....	2-32
表2.12 アドレッシングモード一覧表.....	2-34
表2.13 絶対アドレスのアクセス範囲.....	2-37
表2.14 転送／演算命令の実効アドレスの計算方法.....	2-40
表2.15 分岐命令の実効アドレスの計算方法.....	2-41
3. MCU 動作モード	
表3.1 MCU動作モードの選択.....	3-1
表3.2 MCU動作モードに対するSDRAMインタフェース設定選択.....	3-1
表3.3 MDS3～MDS0ビットの値.....	3-3
表3.4 各動作モードにおける端子機能（アドバンスモード）.....	3-6
4. 例外処理	
表4.1 例外処理の種類と優先度.....	4-1
表4.2 例外処理ベクタテーブル.....	4-2
表4.3 例外処理ベクタテーブルアドレスの算出法.....	4-3
表4.4 トレース例外処理後のCCR、EXRの状態.....	4-7
表4.5 バスサイクルとアドレスエラー.....	4-8
表4.6 アドレスエラー例外処理後のCCR、EXRの状態.....	4-9
表4.7 割り込み要因.....	4-10
表4.8 トラップ命令例外処理後のCCR、EXRの状態.....	4-11
表4.9 スリープ命令例外処理とのCCR、EXRの状態.....	4-12
表4.10 不当命令例外処理後のCCR、EXRの状態.....	4-13
5. 割り込みコントローラ	
表5.1 端子構成.....	5-2

表5.2	割り込み要因とベクタアドレスオフセットおよび割り込み優先順位.....	5-16
表5.3	割り込み制御モード.....	5-21
表5.4	割り込み応答時間.....	5-26
表5.5	割り込み例外処理の実行状態のステート数.....	5-26
表5.6	割り込み要因の選択とクリア制御.....	5-29
表5.7	CPUの優先レベルの制御.....	5-31
表5.8	CPUに対するDTC、DMACの優先レベル制御機能の設定例とそのときの制御状態.....	5-31
6. バスコントローラ (BSC)		
表6.1	同期クロックと対応する機能.....	6-35
表6.2	端子構成.....	6-38
表6.3	各インタフェースと端子の対応.....	6-40
表6.4	各インタフェースの名称と説明、および設定したエリアの名称.....	6-43
表6.5	各インタフェースの設定可能なエリア.....	6-44
表6.6	アクセスステート数.....	6-47
表6.7	エリア0の外部インタフェース.....	6-48
表6.8	エリア1の外部インタフェース.....	6-49
表6.9	エリア2の外部インタフェース.....	6-49
表6.10	エリア3の外部インタフェース.....	6-50
表6.11	エリア4の外部インタフェース.....	6-50
表6.12	エリア5の外部インタフェース.....	6-51
表6.13	エリア6の外部インタフェース.....	6-51
表6.14	エリア7の外部バスインタフェース.....	6-52
表6.15	基本バスインタフェースの入出力端子.....	6-55
表6.16	バイト制御SRAMインタフェースの入出力端子.....	6-68
表6.17	バーストROMインタフェースの入出力端子.....	6-75
表6.18	アドレス/データマルチプレクス一覧.....	6-79
表6.19	アドレス/データマルチプレクスI/Oインタフェースの入出力端子.....	6-80
表6.20	DRAMEビットとDTYPEビットの設定値とDRAM空間の関係.....	6-88
表6.21	MXC1、MXC0ビットとアドレスマルチプレクスの関係.....	6-88
表6.22	DRAMインタフェースの入出力端子.....	6-89
表6.23	DRAMリフレッシュサイクルでの端子状態.....	6-106
表6.24	DRAME、DTYPEの設定値とエリア2のインタフェース機能の関係.....	6-112
表6.25	MXC1、MXC0ビットとアドレスマルチプレクスの関係.....	6-113
表6.26	シンクロナスDRAMインタフェースの入出力端子.....	6-114
表6.27	CASレイテンシの設定.....	6-117
表6.28	各エリアのアイドルサイクル挿入数選択一覧.....	6-150
表6.29	アイドルサイクルの挿入数一覧.....	6-150
表6.30	通常空間とDRAM空間/シンクロナスDRAM空間を混在して アクセスするときのアイドルサイクル.....	6-160
表6.31	アイドルサイクルでの端子状態.....	6-161
表6.32	バス権解放状態での端子状態.....	6-163
表6.33	内蔵メモリ空間のアクセスサイクル数.....	6-166
表6.34	内蔵周辺モジュールレジスタ空間のアクセスサイクル数.....	6-166
7. DMA コントローラ (DMAC)		
表7.1	端子構成.....	7-3
表7.2	データアクセスサイズと有効ビット、設定可能サイズの対応.....	7-7

表7.3	拡張リピートエリアの設定と範囲	7-18
表7.4	転送モード	7-19
表7.5	DMAC内蔵モジュール割り込み一覧	7-29
表7.6	DMACのチャンネル間の優先順位	7-41
表7.7	割り込み要因と優先度	7-61
8.	データトランスファコントローラ (DTC)	
表8.1	割り込み要因とDTCベクタアドレスおよび対応するDTCE	8-12
表8.2	DTCの転送モード	8-14
表8.3	チェーン転送の条件	8-16
表8.4	バスサイクル分割数とアクセスサイズ	8-16
表8.5	転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ	8-18
表8.6	ノーマル転送モードのレジスタ機能	8-19
表8.7	リピート転送モードのレジスタ機能	8-20
表8.8	ブロック転送モードのレジスタ機能	8-21
表8.9	DTCの実行状態	8-24
表8.10	実行状態に必要なステート数	8-24
9.	I/O ポート	
表9.1	ポート機能一覧	9-2
表9.2	各ポートのレジスタ構成	9-7
表9.3	起動モードと初期値	9-8
表9.4	入力プルアップMOSの状態	9-10
表9.5	各ポートの出力信号有効設定一覧	9-38
10.	16ビットタイマパルスユニット (TPU)	
表10.1	TPUの機能一覧	10-2
表10.2	端子構成	10-5
表10.3	CCLR2~CCLR0 (チャンネル0、3)	10-9
表10.4	CCLR2~CCLR0 (チャンネル1、2、4、5)	10-9
表10.5	入力クロックエッジ選択	10-9
表10.6	TPSC2~TPSC0 (チャンネル0)	10-10
表10.7	TPSC2~TPSC0 (チャンネル1)	10-10
表10.8	TPSC2~TPSC0 (チャンネル2)	10-10
表10.9	TPSC2~TPSC0 (チャンネル3)	10-11
表10.10	TPSC2~TPSC0 (チャンネル4)	10-11
表10.11	TPSC2~TPSC0 (チャンネル5)	10-11
表10.12	MD3~MD0	10-13
表10.13	TIORH_0	10-15
表10.14	TIORL_0	10-16
表10.15	TIOR_1	10-17
表10.16	TIOR_2	10-18
表10.17	TIORH_3	10-19
表10.18	TIORL_3	10-20
表10.19	TIOR_4	10-21
表10.20	TIOR_5	10-22
表10.21	TIORH_0	10-23
表10.22	TIORL_0	10-24

表10.23	TIOR_1.....	10-25
表10.24	TIOR_2.....	10-26
表10.25	TIORH_3.....	10-27
表10.26	TIORL_3.....	10-28
表10.27	TIOR_4.....	10-29
表10.28	TIOR_5.....	10-30
表10.29	レジスタの組み合わせ.....	10-45
表10.30	カスケード接続組み合わせ.....	10-48
表10.31	各PWM出力のレジスタと出力端子.....	10-51
表10.32	位相計数モードクロック入力端子.....	10-55
表10.33	位相計数モード1のアップ/ダウンカウント条件.....	10-56
表10.34	位相計数モード2のアップ/ダウンカウント条件.....	10-57
表10.35	位相計数モード3のアップ/ダウンカウント条件.....	10-58
表10.36	位相計数モード4のアップ/ダウンカウント条件.....	10-59
表10.37	TPU割り込み一覧.....	10-61
11. プログラマブルパルスジェネレータ (PPG)		
表11.1	PPGの入出力端子.....	11-2
12. 8ビットタイマ (TMR)		
表12.1	端子構成.....	12-6
表12.2	TCNTに入力するクロックとカウント条件 (ユニット0、1).....	12-12
表12.3	TCNTに入力するクロックとカウント条件 (ユニット2、3).....	12-13
表12.4	8ビットタイマTMR_0、TMR_1の割り込み要因 (ユニット0、1).....	12-23
表12.5	8ビットタイマTMR_4、TMR_5の割り込み要因 (ユニット2、3).....	12-23
表12.6	タイマ出力の優先順位.....	12-26
表12.7	内部クロックの切り替えとTCNTの動作.....	12-27
13. 32K タイマ (TM32K)		
表13.1	TM32Kの割り込み要因.....	13-4
14. ウォッチドッグタイマ (WDT)		
表14.1	端子構成.....	14-2
表14.2	WDTの割り込み要因.....	14-8
15. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)		
表15.1	SCIチャネル別機能一覧.....	15-3
表15.2	端子構成.....	15-6
表15.3	BRRの設定値NとビットレートBの関係.....	15-23
表15.4	ビットレートに対するBRRの設定例 [調歩同期式モード] (1).....	15-24
表15.4	ビットレートに対するBRRの設定例 [調歩同期式モード] (2).....	15-25
表15.5	各動作周波数における最大ビットレート (調歩同期式モード).....	15-26
表15.6	外部クロック入力時の最大ビットレート (調歩同期式モード).....	15-26
表15.7	ビットレートに対するBRRの設定例 [クロック同期式モード].....	15-27
表15.8	外部クロック入力時の最大ビットレート (クロック同期式モード).....	15-27
表15.9	ビットレートに対するBRRの設定例 (スマートカードインタフェースモードでn=0、S=372のとき).....	15-28

表15.10	各動作周波数における最大ビットレート (スマートカードインタフェースモードでS=372のとき)	15-28
表15.11	シリアル送信/受信フォーマット (調歩同期式モード)	15-38
表15.12	SSRのステータスフラグの状態と受信データの処理	15-45
表15.13	IrCKS2~IrCKS0ビットの設定	15-73
表15.14	SCI割り込み要因 (SCI_0、1、2、4)	15-74
表15.15	SCI割り込み要因 (SCI_5、6)	15-74
表15.16	SCI割り込み要因 (SCI_0、1、2、4)	15-75
表15.17	SCI割り込み要因 (SCI_5、6)	15-75
16. USB ファンクションモジュール (USB)		
表16.1	端子構成	16-2
表16.2	設定可能値の制約一覧	16-23
表16.3	設定例	16-24
表16.4	TRNTREG0設定と端子出力値の関係	16-25
表16.5	端子入力値とTRNTREG1モニタの関係	16-26
表16.6	割り込み信号一覧	16-27
表16.7	アプリケーション側でのコマンドデコード	16-47
表16.8	USB接続時の周辺モジュールクロック (Pφ) の選択	16-56
17. I ² C バスインタフェース 2 (IIC2)		
表17.1	端子構成	17-3
表17.2	転送レート	17-5
表17.3	割り込み要求一覧	17-27
表17.4	SCLをモニタする時間	17-28
18. A/D 変換器		
表18.1	端子構成	18-3
表18.2	アナログ入力チャネルとADDRの対応	18-4
表18.3	A/D変換特性 (シングルモード)	18-10
表18.4	A/D変換時間 (スキャンモード)	18-10
表18.5	A/D変換器の割り込み要因	18-11
表18.6	アナログ端子の規格	18-15
19. D/A 変換器		
表19.1	端子構成	19-2
表19.2	D/A変換の制御	19-3
21. フラッシュメモリ (0.18μm F-ZTAT 版)		
表21.1	ブートモード、ユーザプログラムモード、ライターモードの相違点	21-3
表21.2	端子構成	21-8
表21.3	使用レジスタ/パラメータと対象モード	21-9
表21.4	使用パラメータと対象モード	21-14
表21.5	オンボードプログラミングモードの設定方法	21-25
表21.6	ビットレート自動合わせ込みが可能なシステムクロック周波数	21-26
表21.7	エニユメレーション情報	21-29
表21.8	実行可能なメモリマップ	21-40
表21.9	ユーザプログラムモードでの書き込み処理で使用可能エリア	21-41

表21.10	ユーザプログラムモードでの消去処理で使用可能エリア	21-42
表21.11	ハードウェアプロテクト	21-43
表21.12	ソフトウェアプロテクト	21-43
表21.13	ライターモードでサポートするデバイスタイプ	21-48
表21.14	問い合わせ選択コマンド一覧	21-52
表21.15	書き込み/消去コマンド一覧	21-62
表21.16	ステータスコード	21-69
表21.17	エラーコード	21-69
22. クロック発振器		
表22.1	クロック発振器の選択	22-2
表22.2	ダンピング抵抗値	22-7
表22.3	水晶発振子の特性	22-7
23. 低消費電力		
表23.1	動作状態	23-2
表23.2	発振安定時間の設定	23-13
表23.3	各処理状態におけるφ端子（PA7）の状態	23-19
表23.4	各処理状態におけるφ端子（PB7）の状態（SDRAMインタフェース有効時）	23-19
25. 電気的特性		
表25.1	絶対最大定格	25-1
表25.2	DC特性（1）	25-2
表25.2	DC特性（2）	25-3
表25.3	出力許容電流値	25-4
表25.4	クロックタイミング	25-5
表25.5	制御信号タイミング	25-7
表25.6	バスタイミング（1）	25-9
表25.6	バスタイミング（2）	25-10
表25.6	バスタイミング（3）	25-11
表25.6	バスタイミング（4）	25-12
表25.7	DMACタイミング	25-36
表25.8	内蔵周辺モジュールタイミング	25-39
表25.9	内蔵USBトランシーバ使用時のUSB特性（USD+、USD-端子特性）	25-43
表25.10	A/D変換特性	25-44
表25.11	D/A変換特性	25-45
表25.12	フラッシュメモリ特性	25-45
表25.13	フラッシュメモリ特性	25-46
付録		
表A.1	各処理状態におけるポートの状態	付録-1
表D.1	未使用端子の処理例	付録-7

1. 概要

1.1 特長

- 32ビット高速H8SX CPU
H8/300 CPU、H8/300H CPUおよびH8S CPUとオブジェクトレベルで上位互換
汎用レジスタ：16ビット×16本
基本命令：87種類
- 豊富な周辺機能
DMAコントローラ（DMAC）
データトランスファコントローラ（DTC）
16ビットタイマパルスユニット（TPU）
プログラマブルパルスジェネレータ（PPG）
8ビットタイマ（TMR）
ウォッチドッグタイマ（WDT）
調歩同期式またはクロック同期式シリアルコミュニケーションインタフェース（SCI）
ユニバーサルシリアルバスインタフェース（USB）
I²Cバスインタフェース2（IIC2）
10ビットA/D変換器
8ビットD/A変換器
クロック発振器
- 内蔵メモリ

製品分類		製品型名	ROM	RAM
フラッシュメモリ版	H8SX/1663	R5F61663	384K バイト	40K バイト
	H8SX/1664	R5F61664	512K バイト	40K バイト

- 汎用入出力ポート
入出力ポート：92本
入力ポート：9本
- 各種低消費電力モードをサポート

1. 概要

- 小型パッケージ

パッケージ	コード	ボディサイズ	ピンピッチ
LQFP-144	FP-144LV*	20.0×20.0mm	0.50mm

【注】 * Pbフリー版

1.2 内部ブロック図

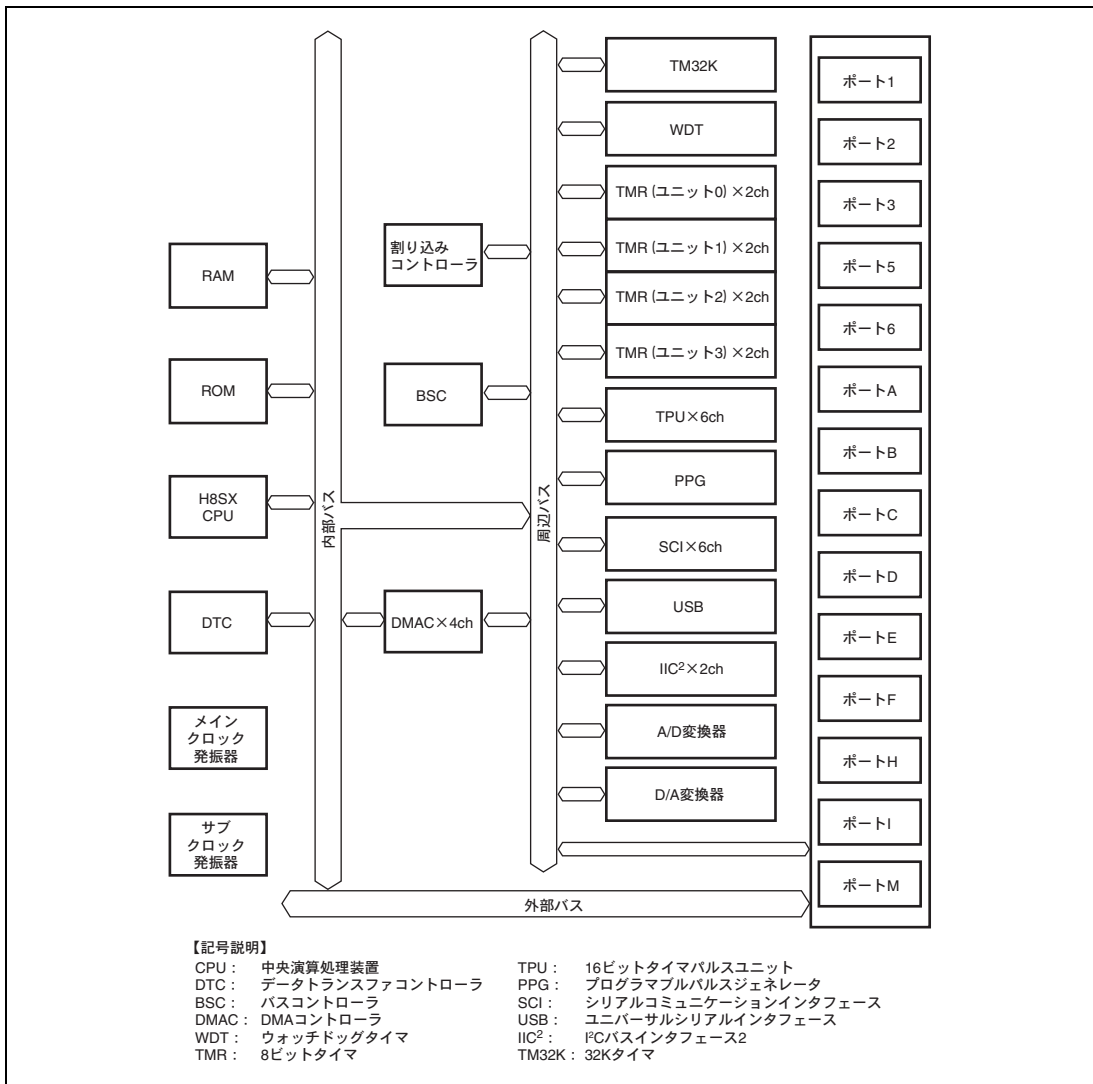


図 1.1 内部ブロック図

1.3 端子説明

1.3.1 ピン配置図

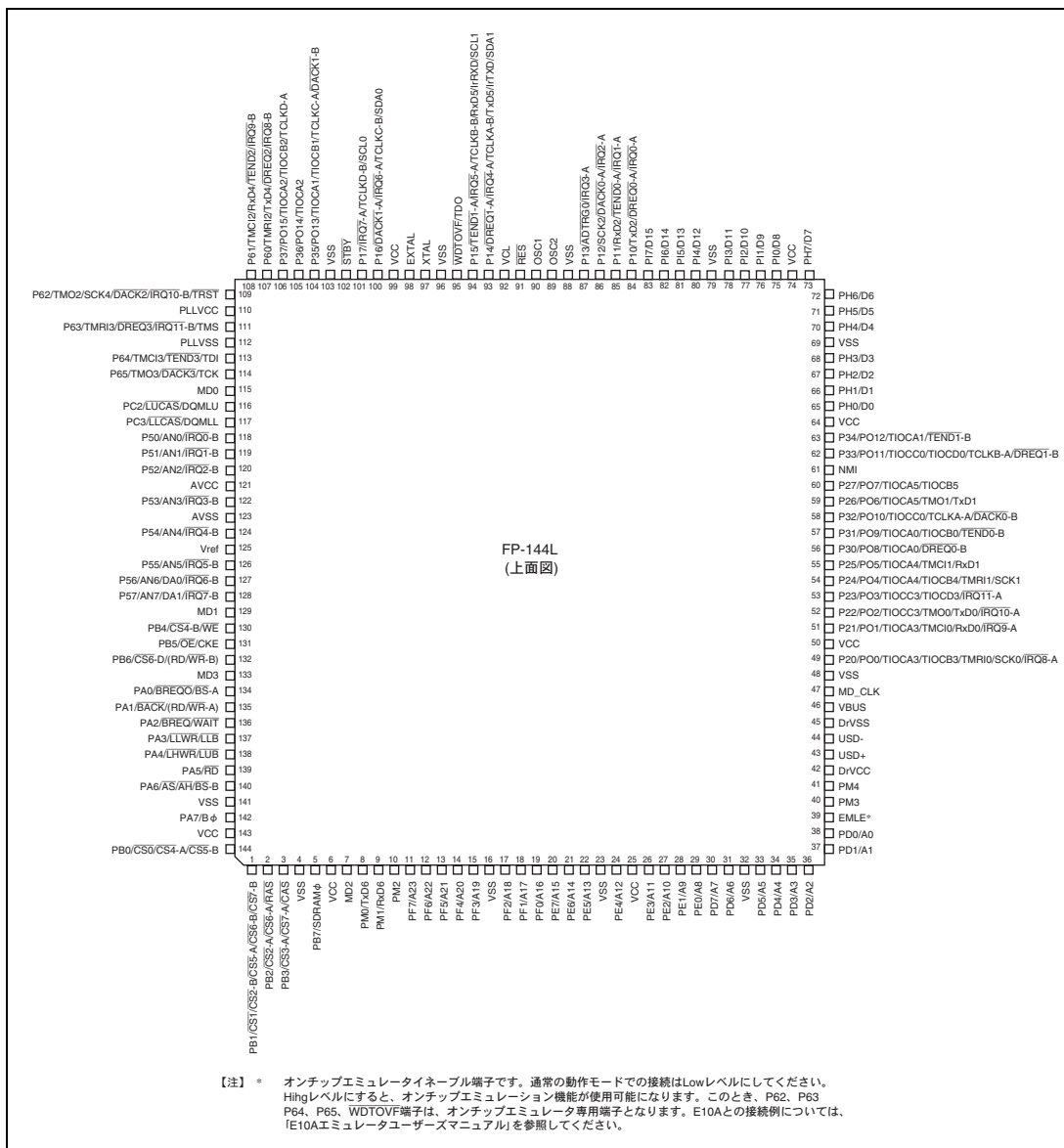


図 1.2 ピン配置図

1. 概要

1.3.2 動作モード別ピン配置一覧

表 1.1 動作モード別ピン配置一覧

ピン番号	端子名	
	モード 2、6、7	モード 4、5
1	PB1/CS1/CS2-B/CS5-A/CS6-B/CS7-B	PB1/CS1/CS2-B/CS5-A/CS6-B/CS7-B
2	PB2/CS2-A/CS6-A/RAS	PB2/CS2-A/CS6-A/RAS
3	PB3/CS3-A/CS7-A/CAS	PB3/CS3-A/CS7-A/CAS
4	VSS	VSS
5	PB7/SDRAMφ	PB7/SDRAMφ
6	VCC	VCC
7	MD2	MD2
8	PM0/TxD6	PM0/TxD6
9	PM1/RxD6	PM1/RxD6
10	PM2	PM2
11	PF7/A23	PF7/A23
12	PF6/A22	PF6/A22
13	PF5/A21	PF5/A21
14	PF4/A20	PF4/A20
15	PF3/A19	PF3/A19
16	VSS	VSS
17	PF2/A18	PF2/A18
18	PF1/A17	PF1/A17
19	PF0/A16	PF0/A16
20	PE7/A15	PE7/A15
21	PE6/A14	PE6/A14
22	PE5/A13	PE5/A13
23	VSS	VSS
24	PE4/A12	PE4/A12
25	VCC	VCC
26	PE3/A11	PE3/A11
27	PE2/A10	PE2/A10
28	PE1/A9	PE1/A9
29	PE0/A8	PE0/A8
30	PD7/A7	PD7/A7

ピン番号	端子名	
	モード 2、6、7	モード 4、5
31	PD6/A6	PD6/A6
32	VSS	VSS
33	PD5/A5	PD5/A5
34	PD4/A4	PD4/A4
35	PD3/A3	PD3/A3
36	PD2/A2	PD2/A2
37	PD1/A1	PD1/A1
38	PD0/A0	PD0/A0
39	EMLE	EMLE
40	PM3	PM3
41	PM4	PM4
42	DrVCC	DrVCC
43	USD+	USD+
44	USD-	USD-
45	DrVSS	DrVSS
46	VBUS	VBUS
47	MD_CLK	MD_CLK
48	VSS	VSS
49	P20/PO0/TIOCA3/TIOCB3/TMRI0/SCK0/IRQ8-A	P20/PO0/TIOCA3/TIOCB3/TMRI0/SCK0/IRQ8-A
50	VCC	VCC
51	P21/PO1/TIOCA3/TMCI0/RxD0/IRQ9-A	P21/PO1/TIOCA3/TMCI0/RxD0/IRQ9-A
52	P22/PO2/TIOCC3/TMO0/TxD0/IRQ10-A	P22/PO2/TIOCC3/TMO0/TxD0/IRQ10-A
53	P23/PO3/TIOCC3/TIOCD3/IRQ11-A	P23/PO3/TIOCC3/TIOCD3/IRQ11-A
54	P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1	P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1
55	P25/PO5/TIOCA4/TMCI1/RxD1	P25/PO5/TIOCA4/TMCI1/RxD1
56	P30/PO8/TIOCA0/DREQ0-B	P30/PO8/TIOCA0/DREQ0-B
57	P31/PO9/TIOCA0/TIOCB0/TEND0-B	P31/PO9/TIOCA0/TIOCB0/TEND0-B
58	P32/PO10/TIOCC0/TCLKA-A/DACK0-B	P32/PO10/TIOCC0/TCLKA-A/DACK0-B
59	P26/PO6/TIOCA5/TMO1/TxD1	P26/PO6/TIOCA5/TMO1/TxD1
60	P27/PO7/TIOCA5/TIOCB5	P27/PO7/TIOCA5/TIOCB5

1. 概要

ピン番号	端子名	
	モード 2、6、7	モード 4、5
61	NMI	NMI
62	P33/PO11/TIOCC0/TIOCD0/TCLKB-A/DREQ1-B	P33/PO11/TIOCC0/TIOCD0/TCLKB-A/DREQ1-B
63	P34/PO12/TIOCA1/TEND1-B	P34/PO12/TIOCA1/TEND1-B
64	VCC	VCC
65	PH0/D0	PH0/D0
66	PH1/D1	PH1/D1
67	PH2/D2	PH2/D2
68	PH3/D3	PH3/D3
69	VSS	VSS
70	PH4/D4	PH4/D4
71	PH5/D5	PH5/D5
72	PH6/D6	PH6/D6
73	PH7/D7	PH7/D7
74	VCC	VCC
75	PI0/D8	PI0/D8
76	PI1/D9	PI1/D9
77	PI2/D10	PI2/D10
78	PI3/D11	PI3/D11
79	VSS	VSS
80	PI4/D12	PI4/D12
81	PI5/D13	PI5/D13
82	PI6/D14	PI6/D14
83	PI7/D15	PI7/D15
84	P10/TxD2/DREQ0-A/IRQ0-A	P10/TxD2/DREQ0-A/IRQ0-A
85	P11/RxD2/TEND0-A/IRQ1-A	P11/RxD2/TEND0-A/IRQ1-A
86	P12/SCK2/DACK0-A/IRQ2-A	P12/SCK2/DACK0-A/IRQ2-A
87	P13/ADTRG0/IRQ3-A	P13/ADTRG0/IRQ3-A
88	VSS	VSS
89	OSC2	OSC2
90	OSC1	OSC1

ピン番号	端子名	
	モード 2、6、7	モード 4、5
91	RES	RES
92	VCL	VCL
93	P14/DREQ1-A/IRQ4-A/TCLKA-B/TxD5/IrTXD/SDA1	P14/DREQ1-A/IRQ4-A/TCLKA-B/TxD5/IrTXD/SDA1
94	P15/TEND1-A/IRQ5-A/TCLKB-B/RxD5/IrRXD/SCL1	P15/TEND1-A/IRQ5-A/TCLKB-B/RxD5/IrRXD/SCL1
95	WDOVF/TDO	WDOVF/TDO
96	VSS	VSS
97	XTAL	XTAL
98	EXTAL	EXTAL
99	VCC	VCC
100	P16/DACK1-A/IRQ6-A/TCLKC-B/SDA0	P16/DACK1-A/IRQ6-A/TCLKC-B/SDA0
101	P17/IRQ7-A/TCLKD-B/SCL0	P17/IRQ7-A/TCLKD-B/SCL0
102	STBY	STBY
103	VSS	VSS
104	P35/PO13/TIOCA1/TIOCB1/TCLKC-A/DACK1-B	P35/PO13/TIOCA1/TIOCB1/TCLKC-A/DACK1-B
105	P36/PO14/TIOCA2	P36/PO14/TIOCA2
106	P37/PO15/TIOCA2/TIOCB2/TCLKD-A	P37/PO15/TIOCA2/TIOCB2/TCLKD-A
107	P60/TMRI2/TxD4/DREQ2/IRQ8-B	P60/TMRI2/TxD4/DREQ2/IRQ8-B
108	P61/TMCI2/RxD4/TEND2/IRQ9-B	P61/TMCI2/RxD4/TEND2/IRQ9-B
109	P62/TMO2/SCK4/DACK2/IRQ10-B/TRST	P62/TMO2/SCK4/DACK2/IRQ10-B/TRST
110	PLLVCC	PLLVCC
111	P63/TMRI3/DREQ3/IRQ11-B/TMS	P63/TMRI3/DREQ3/IRQ11-B/TMS
112	PLLVSS	PLLVSS
113	P64/TMCI3/TEND3/TDI	P64/TMCI3/TEND3/TDI
114	P65/TMO3/DACK3/TCK	P65/TMO3/DACK3/TCK
115	MD0	MD0
116	PC2/LUCAS/DQMLU	PC2/LUCAS/DQMLU
117	PC3/LLCAS/DQMLL	PC3/LLCAS/DQMLL
118	P50/AN0/IRQ0-B	P50/AN0/IRQ0-B
119	P51/AN1/IRQ1-B	P51/AN1/IRQ1-B
120	P52/AN2/IRQ2-B	P52/AN2/IRQ2-B

1. 概要

ピン番号	端子名	
	モード 2、6、7	モード 4、5
121	AVCC	AVCC
122	P53/AN3/IRQ3-B	P53/AN3/IRQ3-B
123	AVSS	AVSS
124	P54/AN4/IRQ4-B	P54/AN4/IRQ4-B
125	Vref	Vref
126	P55/AN5/IRQ5-B	P55/AN5/IRQ5-B
127	P56/AN6/DA0/IRQ6-B	P56/AN6/DA0/IRQ6-B
128	P57/AN7/DA1/IRQ7-B	P57/AN7/DA1/IRQ7-B
129	MD1	MD1
130	PB4/CS4-B/WE	PB4/CS4-B/WE
131	PB5/OE/CKE	PB5/OE/CKE
132	PB6/CS6-D/(RD/WR-B)	PB6/CS6-D/(RD/WR-B)
133	MD3	MD3
134	PA0/BREQO/BS-A	PA0/BREQO/BS-A
135	PA1/BACK/(RD/WR-A)	PA1/BACK/(RD/WR-A)
136	PA2/BREQ/WAIT	PA2/BREQ/WAIT
137	PA3/LLWR/LLB	PA3/LLWR/LLB
138	PA4/LHWR/LUB	PA4/LHWR/LUB
139	PA5/RD	PA5/RD
140	PA6/AS/AH/BS-B	PA6/AS/AH/BS-B
141	VSS	VSS
142	PA7/Bφ	PA7/Bφ
143	VCC	VCC
144	PB0/CS0/CS4-A/CS5-B	PB0/CS0/CS4-A/CS5-B

1.3.3 端子機能

表 1.2 端子機能

分類	記号	ピン番号	入出力	機能
		FP-144LV		
電源	V _{CC}	6、25、50、 64、74、99、 143	入力	電源端子です。システムの電源に接続してください。
	V _{CL}	92	入力	0.1μFのコンデンサを介してV _{SS} に接続してください(コンデンサは端子近くに配置してください)。
	V _{SS}	4、16、23、 32、48、69、 79、88、96、 103、141	入力	グランド端子です。システムの電源(0V)に接続してください。
	PLL _{CC}	110	入力	PLL回路用の電源端子です。システムの電源に接続してください。
	PLL _{SS}	112	入力	PLL回路用のグランド端子です。
	DrVCC	42	入力	USB内蔵トランシーバの電源端子です。システムの電源に接続してください。
	DrVSS	45	入力	USB内蔵トランシーバのグランド端子です。
クロック	XTAL	97	入力	水晶発振子接続端子です。また、EXTAL端子は外部クロックを入力することもできます。接続例は、「22. クロック発振器」を参照してください。
	EXTAL	98	入力	
	OSC1	90	入力	32.768kHzの水晶発振子を接続します。
	OSC2	89	入力	32.768kHzの水晶発振子を接続します。
	Bφ	142	出力	外部デバイスにシステムクロックを供給します。
	SDRAMφ	5	出力	シンクロナス DRAM を接続する場合にシンクロナス DRAM の CLK 端子に接続します。詳細は「第 6 章 バスコントローラ (BSC)」参照してください。
動作モードコントロール	MD3	133	入力	動作モードを設定します。これらの端子は、動作中に変化させないでください。
	MD2	7		
	MD1	129		
	MD0	115		
	MD_CLK	47	入力	クロック発振器の通倍率を切り換える端子です。動作中に変化させないでください。
システム制御	$\overline{\text{RES}}$	91	入力	リセット端子です。この端子が Low レベルになると、リセット状態となります。
	$\overline{\text{STBY}}$	102	入力	この端子が Low レベルになると、ハードウェアスタンバイモードに移ります。

1. 概要

分類	記号	ピン番号	入出力	機能
		FP-144LV		
システム制御	EMLE	39	入力	オンチップエミュレータイネーブル端子です。オンチップエミュレータを使用する場合は、High レベルにしてください。オンチップエミュレータを使用しない場合は、Low レベルにしてください。
オンチップ エミュレータ	$\overline{\text{TRST}}$	109	入力	オンチップエミュレータ用端子です。 EMLE 端子を High レベルにするとオンチップエミュレータ専用端子になります。
	TMS	111	入力	
	TDI	113	入力	
	TCK	114	入力	
	TDO	95	出力	
アドレスバス	A23 A22 A21 A20 A19 A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0	11 12 13 14 15 17 18 19 20 21 22 24 26 27 28 29 30 31 33 34 35 36 37 38	出力	アドレス出力端子です。

分類	記号	ピン番号	入出力	機能
		FP-144LV		
データバス	D15	83	入出力	双方向データバスです。 アドレス/データマルチプレクス I/O 空間アクセス時は、 アドレスも出力されます。
	D14	82		
	D13	81		
	D12	80		
	D11	78		
	D10	77		
	D9	76		
	D8	75		
	D7	73		
	D6	72		
	D5	71		
	D4	70		
	D3	68		
	D2	67		
	D1	66		
	D0	65		
バス制御	$\overline{\text{BREQ}}$	136	入力	バス権を外部に解放することを要求するリクエスト信号です。
	$\overline{\text{BREQO}}$	134	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号です。
	$\overline{\text{BACK}}$	135	出力	バス権を解放したことを示すアクノレッジ信号です。
	$\overline{\text{BS-A}}/\overline{\text{BS-B}}$	134/140	出力	バスサイクルの開始を示します。
	$\overline{\text{AS}}$	140	出力	基本バスインタフェース空間、またはバイト制御 SRAM インタフェース空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
	$\overline{\text{AH}}$	140	出力	アドレス/データマルチプレクス I/O インタフェース空間をアクセス中で、アドレスをホールドするための信号です。
	$\overline{\text{RD}}$	139	出力	基本バスインタフェース空間をリード中であることを示すストロープ信号です。
	$\text{RD}/\overline{\text{WR-A}}/\text{RD}/\overline{\text{WR-B}}$	135/132	出力	データバスの入出力を示す信号です。
	$\overline{\text{LHWR}}$	138	出力	基本バスインタフェース空間をライト中で、上位バイト (D15~D8) が有効であることを示すストロープ信号です。
	$\overline{\text{LLWR}}$	137	出力	基本バスインタフェース空間をライト中で、下位バイト (D7~D0) が有効であることを示すストロープ信号です。
$\overline{\text{LUB}}$	138	出力	バイト制御 SRAM インタフェース空間をアクセス中で、上位バイト (D15~D8) が有効であることを示すストロープ信号です。	

1. 概要

分類	記号	ピン番号	入出力	機能
		FP-144LV		
バス制御	LLB	137	出力	バイト制御 SRAM インタフェース空間をアクセス中で、下位バイト (D7~D0) が有効であることを示すストロープ信号です。
	CS0	144	出力	エリア 7~0 の選択信号です。
	CS1	1		
	CS2-A/CS2-B	2/1		
	CS3-A	3		
	CS4-A/CS4-B	144/130		
	CS5-A/CS5-B	1/144		
	CS6-A/CS6-B/CS6-D	2/1/132		
	CS7-A/CS7-B	3/1		
	WAIT	136	入力	外部空間をアクセスするときのウェイト要求信号です。
RAS	2	出力	エリア 2 が DRAM インタフェース空間のときの DRAM のロウアドレスストロープ信号/エリア 2 がシンクロナス DRAM インタフェース空間のときのシンクロナス DRAM のロウアドレスストロープ信号	
CAS	3	出力	エリア 2 がシンクロナス DRAM インタフェース空間のときのシンクロナス DRAM のカラムアドレスストロープ信号	
WE	130	出力	DRAM 空間のライトイネーブル信号/エリア 2 がシンクロナス DRAM インタフェース空間のときのシンクロナス DRAM のライトイネーブル信号	
OE/CKE	131	出力	<ul style="list-style-type: none"> DRAM インタフェース空間のアウトプットイネーブル信号 シンクロナス DRAM インタフェース空間のクロックイネーブル信号 	
LUCAS/DQMLU	116	出力	<ul style="list-style-type: none"> 16 ビット DRAM インタフェース空間のアップーカラムアドレスストロープ信号 16 ビットシンクロナス DRAM インタフェース空間のアップーデータマスクイネーブル信号 	
LLCAS/DQMLL	117	出力	<ul style="list-style-type: none"> 16 ビット DRAM インタフェース空間のロウアーカラムアドレスストロープ信号/8 ビット DRAM インタフェース空間のカラムアドレスストロープ信号 16 ビットシンクロナス DRAM インタフェース空間のロウアーデータマスクイネーブル信号/8 ビットシンクロナス DRAM インタフェース空間のデータマスクイネーブル信号 	
割り込み	NMI	61	入力	ノンマスクブル割り込み要求端子です。未使用の場合は High レベルに固定してください。

分類	記号	ピン番号	入出力	機能
		FP-144LV		
割り込み	$\overline{\text{IRQ11-A}}/\overline{\text{IRQ11-B}}$	53/111	入力	マスク可能な割り込みを要求します。
	$\overline{\text{IRQ10-A}}/\overline{\text{IRQ10-B}}$	52/109		
	$\overline{\text{IRQ9-A}}/\overline{\text{IRQ9-B}}$	51/108		
	$\overline{\text{IRQ8-A}}/\overline{\text{IRQ8-B}}$	49/107		
	$\overline{\text{IRQ7-A}}/\overline{\text{IRQ7-B}}$	101/128		
	$\overline{\text{IRQ6-A}}/\overline{\text{IRQ6-B}}$	100/127		
	$\overline{\text{IRQ5-A}}/\overline{\text{IRQ5-B}}$	94/126		
	$\overline{\text{IRQ4-A}}/\overline{\text{IRQ4-B}}$	93/124		
	$\overline{\text{IRQ3-A}}/\overline{\text{IRQ3-B}}$	87/122		
	$\overline{\text{IRQ2-A}}/\overline{\text{IRQ2-B}}$	86/120		
	$\overline{\text{IRQ1-A}}/\overline{\text{IRQ1-B}}$	85/119		
	$\overline{\text{IRQ0-A}}/\overline{\text{IRQ0-B}}$	84/118		
DMA コントローラ (DMAC)	$\overline{\text{DREQ0-A}}/\overline{\text{DREQ0-B}}$	84/56	入力	DMAC の起動を要求します。
	$\overline{\text{DREQ1-A}}/\overline{\text{DREQ1-B}}$	93/62		
	$\overline{\text{DREQ2}}$	107		
	$\overline{\text{DREQ3}}$	111		
	$\overline{\text{DACK0-A}}/\overline{\text{DACK0-B}}$	86/58	出力	DMAC のシングルアドレス転送アクノレッジ端子です。
	$\overline{\text{DACK1-A}}/\overline{\text{DACK1-B}}$	100/104		
	$\overline{\text{DACK2}}$	109		
	$\overline{\text{DACK3}}$	114		
	$\overline{\text{TEND0-A}}/\overline{\text{TEND0-B}}$	85/57	出力	DMAC のデータ転送終了を示します。
	$\overline{\text{TEND1-A}}/\overline{\text{TEND1-B}}$	94/63		
	$\overline{\text{TEND2}}$	108		
	$\overline{\text{TEND3}}$	113		
16 ビットタイムパルスユニット (TPU)	$\text{TCLKA-A}/\text{TCLKA-B}$	58/93	入力	外部クロックを入力します。
	$\text{TCLKB-A}/\text{TCLKB-B}$	62/94		
	$\text{TCLKC-A}/\text{TCLKC-B}$	104/100		
	$\text{TCLKD-A}/\text{TCLKD-B}$	106/101		
	TIOCA0	56、 57	入出力	TGRA0~TGRD0 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB0	57		
	TIOCC0	58、 62		
	TIOCD0	62		
	TIOCA1	63、 104	入出力	TGRA_1、 TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。
	TIOCB1	104		
TIOCA2	105、 106	入出力	TGRA_2、 TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/PWM 出力端子です。	
TIOCB2	106			

1. 概要

分類	記号	ピン番号	入出力	機能
		FP-144LV		
16ビットタイム パルスユニット (TPU)	TIOCA3	49、51	入出力	TGRA_3~TGRD_3のインプットキャプチャ入力/アウト プットコンペア出力/PWM出力端子です。
	TIOCB3	49		
	TIOCC3	52、53		
	TIOCD3	53	入出力	TGRA_4、TGRB_4のインプットキャプチャ入力/アウト プットコンペア出力/PWM出力端子です。
	TIOCA4	54、55		
	TIOCB4	54		
	TIOCA5	59、60	入出力	TGRA_5、TGRB_5のインプットキャプチャ入力/アウト プットコンペア出力/PWM出力端子です。
	TIOCB5	60		
プログラマブル パルスジェネ レータ (PPG)	PO15	106	出力	パルス出力端子です。
	PO14	105		
	PO13	104		
	PO12	63		
	PO11	62		
	PO10	58		
	PO9	57		
	PO8	56		
	PO7	60		
	PO6	59		
	PO5	55		
	PO4	54		
	PO3	53		
	PO2	52		
	PO1	51		
	PO0	49		
8ビットタイム (TMR)	TMO0	52	出力	コンペアマッチ出力端子です。
	TMO1	59		
	TMO2	109		
	TMO3	114		
	TMCI0	51	入力	カウンタに入力する外部クロックの入力端子です。
	TMCI1	55		
	TMCI2	108		
	TMCI3	113		
	TMRI0	49	入力	カウンタリセット入力端子です。
	TMRI1	54		
	TMRI2	107		
	TMRI3	111		

分類	記号	ピン番号	入出力	機能
		FP-144LV		
ウォッチドッグ タイマ (WDT)	WDTOVF	95	出力	ウォッチドッグタイマモード時のカウンタオーバフロー 信号出力端子です。
シリアルコミュ ニケーション インタフェース (SCI)	TxD0	52	出力	送信データ出力端子です。
	TxD1	59		
	TxD2	84		
	TxD4	107		
	TxD5	93		
	TxD6	8		
	RxD0	51	入力	受信データ入力端子です。
	RxD1	55		
	RxD2	85		
	RxD4	108		
	RxD5	94		
	RxD6	9		
SCK0	49	入出力	クロック入出力端子です。	
SCK1	54			
SCK2	86			
SCK4	109			
IrDA 付き SCI (SCI)	IrTxD	93	出力	IrDA 用にエンコードされたデータの出力端子です。
	IrRxD	94	入力	IrDA 用にエンコードされたデータの入力端子です。
I ² C バスインタ フェース 2(IIC2)	SCL0、SCL1	101、94	入出力	IIC2 のクロック入出力端子です。NMOS オープンドレイン 出力でバスを直接駆動できます。
	SDA0、SDA1	100、93	入出力	IIC2 のデータ入出力端子です。NMOS オープンドレイン出 力でバスを直接駆動できます。
ユニバーサル シリアルバス インタフェース (USB)	USD+	43	入出力	USB データの入出力端子です。
	USD-	44		
	VBUS	46	入力	USB ケーブルの接続/切断検出入力端子です。

1. 概要

分類	記号	ピン番号	入出力	機能
		FP-144LV		
A/D 変換器	AN7	128	入力	A/D 変換器のアナログ入力端子です。
	AN6	127		
AN5	126			
AN4	124			
AN3	122			
AN2	120			
AN1	119			
AN0	118			
	$\overline{\text{ADTRG0}}$	87	入力	A/D 変換開始のための外部トリガ入力端子です。
D/A 変換器	DA1	128	出力	D/A 変換器のアナログ出力端子です。
	DA0	127		
A/D 変換器、 D/A 変換器	AV_{cc}	121	入力	A/D 変換器および D/A 変換器のアナログ電源端子です。A/D 変換器および D/A 変換器を使用しない場合は、システムの電源に接続してください。
	AV_{ss}	123	入力	A/D 変換器および D/A 変換器のグランド端子です。システムの電源 (0V) に接続してください。
	Vref	125	入力	A/D 変換器および D/A 変換器の基準電源端子です。A/D 変換器および D/A 変換器を使用しない場合は、システムの電源に接続してください。
I/O ポート	P17	101	入出力	8 ビットの入出力端子です。
	P16	100		
	P15	94		
	P14	93		
	P13	87		
	P12	86		
	P11	85		
	P10	84		
	P27	60	入出力	8 ビットの入出力端子です。
	P26	59		
	P25	55		
	P24	54		
	P23	53		
	P22	52		
	P21	51		
P20	49			

分類	記号	ピン番号	入出力	機能
		FP-144LV		
I/O ポート	P37	106	入出力	8 ビットの入出力端子です。
	P36	105		
	P35	104		
	P34	63		
	P33	62		
	P32	58		
	P31	57		
	P30	56		
	P57	128	入力	8 ビットの入力端子です。
	P56	127		
	P55	126		
	P54	124		
	P53	122		
	P52	120		
	P51	119		
	P50	118		
	P65	114	入出力	6 ビットの入出力端子です。
	P64	113		
	P63	111		
	P62	109		
P61	108			
P60	107			
PA7	142	入力	入力専用端子です。	
PA6	140	入出力	7 ビットの入出力端子です。	
PA5	139			
PA4	138			
PA3	137			
PA2	136			
PA1	135			
PA0	134			

1. 概要

分類	記号	ピン番号	入出力	機能
		FP-144LV		
I/O ポート	PB7	5	入出力	8 ビットの入出力端子です。
	PB6	132		
	PB5	131		
	PB4	130		
	PB3	3		
	PB2	2		
	PB1	1		
	PB0	144		
	PC3	117	入出力	2 ビットの入出力端子です。
	PC2	116		
	PD7	30	入出力	8 ビットの入出力端子です。
	PD6	31		
	PD5	33		
	PD4	34		
	PD3	35		
	PD2	36		
	PD1	37		
	PD0	38		
	PE7	20	入出力	8 ビットの入出力端子です。
	PE6	21		
	PE5	22		
	PE4	24		
	PE3	26		
	PE2	27		
	PE1	28		
	PE0	29		
	PF7	11	入出力	8 ビットの入出力端子です。
	PF6	12		
PF5	13			
PF4	14			
PF3	15			
PF2	17			
PF1	18			
PF0	19			

分類	記号	ピン番号	入出力	機能
		FP-144LV		
I/O ポート	PH7	73	入出力	8 ビットの入出力端子です。
	PH6	72		
	PH5	71		
	PH4	70		
	PH3	68		
	PH2	67		
	PH1	66		
	PH0	65		
	PI7	83	入出力	8 ビットの入出力端子です。
	PI6	82		
	PI5	81		
	PI4	80		
	PI3	78		
	PI2	77		
	PI1	76		
	PI0	75		
	PM4	41	入出力	5 ビットの入出力端子です。
	PM3	40		
	PM2	10		
	PM1	9		
	PM0	8		

1. 概要

2. CPU

H8SX CPU は、H8/300 CPU、H8/300H CPU および H8S CPU の上位互換のアーキテクチャを持つ内部 32 ビット構成の高速 CPU です。

H8SX CPU は、16 ビット×16 本の汎用レジスタを持ち、4G バイトのリニアなアドレス空間を扱うことができ、リアルタイム制御に最適です。

2.1 特長

- H8/300 CPU、H8/300H CPU および H8S CPU の上位互換
これらの CPU のオブジェクトプログラムを実行可能
- 汎用レジスタ：16 ビット×16 本
8 ビット×16 本、32 ビット×8 本としても使用可能
- 基本命令：87 種類
8/16/32 ビット演算命令
乗除算命令
ビットフィールド転送命令
強力なビット操作命令
ビット条件分岐命令
積和演算命令
- アドレッシングモード：11 種類
レジスタ直接 Rn
レジスタ間接 @ERn
ディスプレイメント付レジスタ間接 @(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
ディスプレイメント付インデックスレジスタ間接 @(d:16,RnL.B)/@(d:32,RnL.B)/@(d:16,Rn.W)/
@(d:32,Rn.W)/@(d:16,ERn.L)/@(d:32,ERn.L)
プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+/@-ERn/@+ERn/@ERn-
絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32
イミディエイト #xx:3/#xx:4/#xx:8/#xx:16/#xx:32
プログラムカウンタ相対 @(d:8,PC)/@(d:16,PC)
プログラムカウンタインデックス相対 @(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
メモリ間接 @@aa:8
拡張メモリ間接 @@vec:7

2. CPU

- ベースレジスタ：2本
ベクタベースレジスタ
ショートアドレスベースレジスタ
- アドレス空間：4Gバイト
プログラム : 4Gバイト
データ : 4Gバイト
- 高速動作
頻出命令をすべて1~2ステートで実行
8/16/32ビットレジスタ間加減算 : 1ステート
8×8ビットレジスタ間乗算 : 1ステート (乗算器サポート時)
16÷8ビットレジスタ間除算 : 10ステート (除算器サポート時)
16×16ビットレジスタ間乗算 : 1ステート (乗算器サポート時)
32÷16ビットレジスタ間除算 : 18ステート (除算器サポート時)
32×32ビットレジスタ間乗算 : 5ステート (乗算器サポート時)
32÷32ビットレジスタ間除算 : 18ステート (除算器サポート時)
- CPU動作モード：4種類
ノーマルモード
ミドルモード
アドバンスモード
マキシマムモード
- 低消費電力状態
SLEEP命令により低消費電力状態に遷移
CPU動作クロックを選択可能

2.2 CPU 動作モード

H8SX CPU は、アドレス空間について、ノーマルモード、ミドルモード、アドバンスモードおよびマキシマムモードの4種類のCPU動作モードを持っています。各モードはLSIのモード端子などによって選択されます。

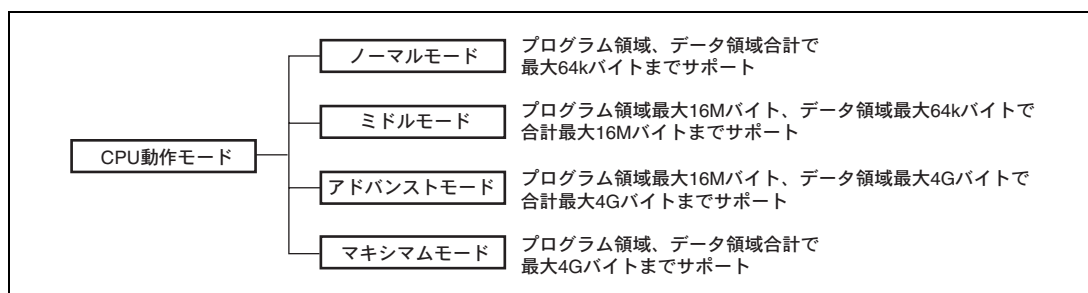


図 2.1 CPU 動作モード

2.2.1 ノーマルモード

ノーマルモードでは例外処理ベクタ、スタックの構造が H8/300 CPU と同一です。

- アドレス空間

最大 64k バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (プリ/ポストインクリメント/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。実効アドレス (EA) の下位 16 ビットのみが有効となります。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ノーマルモードでは、H'0000 から始まる先頭領域に例外処理ベクタテーブル領域が割り当てられており、各 16 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.2 に示します。

2. CPU

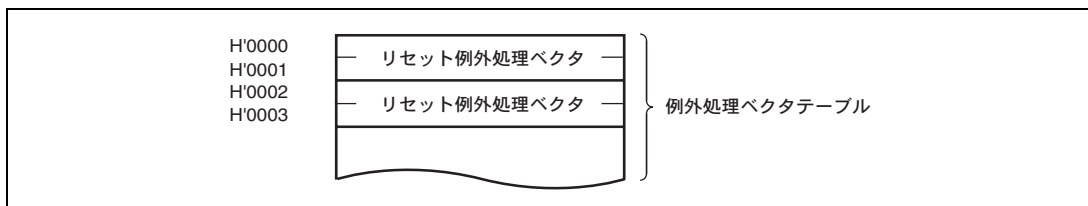


図 2.2 例外処理ベクタテーブル（ノーマルモード）

メモリ間接（@@aa:8）および拡張メモリ間接（@@ vec:7）は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.3 に示します。PC は 16 ビットで退避／復帰されます。

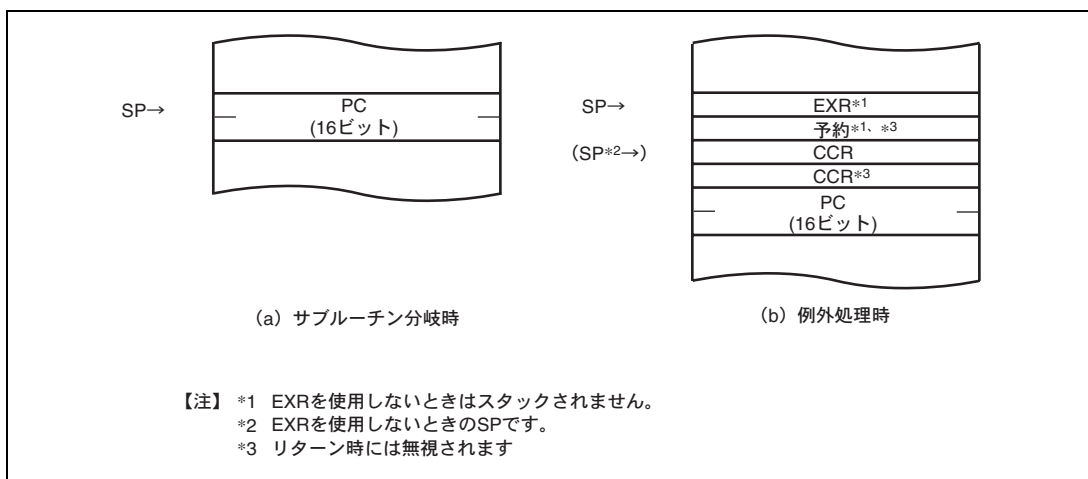


図 2.3 スタック構造（ノーマルモード）

2.2.2 ミドルモード

ノーマルモードに対して、プログラム領域を 16M バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 64k バイトで合計最大 16M バイトをアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタの上位 16 ビットとして使用できます。

拡張レジスタ En は、対応する汎用レジスタ Rn をデータ用のアドレスレジスタとして使用している場合でも、16 ビットレジスタとして任意の値を設定することができます (JMP および JSR 命令は除きます。また、プリ/ポストア_INCREMENT/デクリメントレジスタ間接により汎用レジスタ Rn が参照された場合、キャリ/ポローが発生すると、対応する拡張レジスタ En の内容に伝播しますので注意してください)。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。データ用の実効アドレス (EA) は下位 16 ビットのみが有効となり、上位 8 ビットは符号拡張されます。

- 例外処理ベクタテーブルおよびメモリ間接の分岐アドレス

ミドルモードでは、H'000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

メモリ間接 (@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

ミドルモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

- スタック構造

サブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.5 に示します。PC は 24 ビットで退避/復帰されます。

2.2.3 アドバンストモード

ミドルモードに対して、データ領域を 4G バイトに拡張しています。

- アドレス空間

プログラム領域最大 16M バイト、データ領域最大 4G バイト、合計最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

アドバンストモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、上位 8 ビットは無視され、24 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.4 に示します。

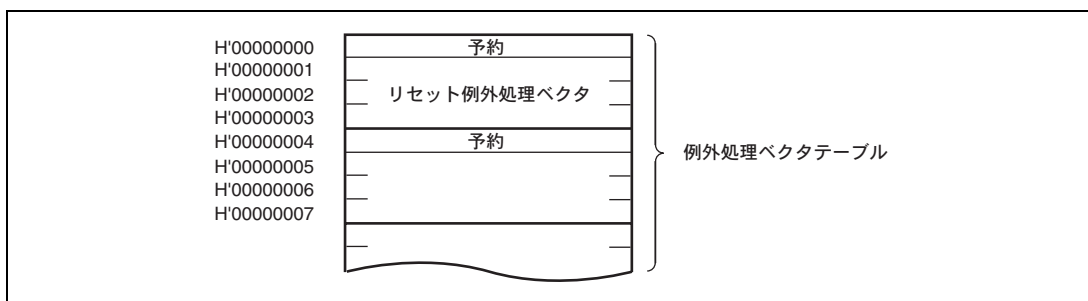


図 2.4 例外処理ベクタテーブル (ミドルモード、アドバンストモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

アドバンストモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。このうち上位 8 ビットは予約領域となっており、H'00 と見なされます。

- スタック構造

アドバンスモード時のサブルーチン分岐時のPCのスタック構造と、例外処理時のPCとCCRのスタック構造を図2.5に示します。PCは24ビットで退避／復帰されます。

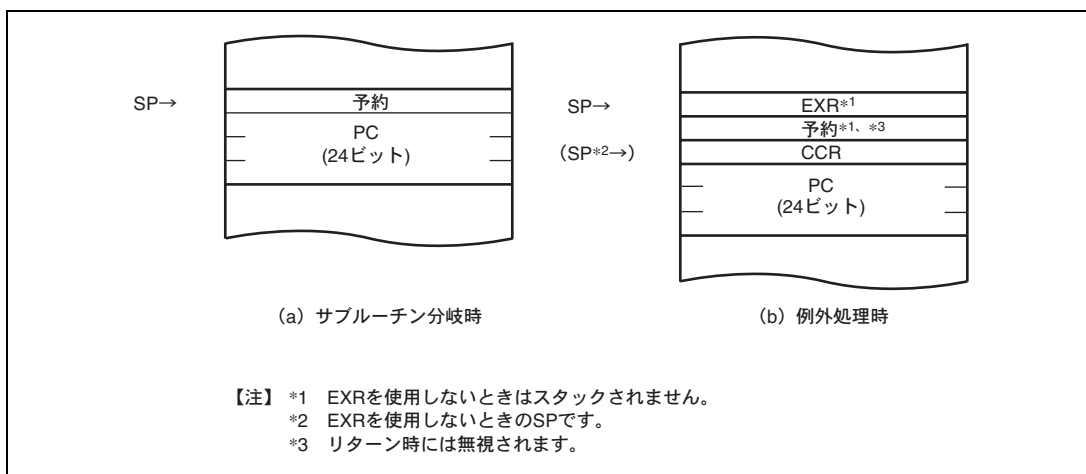


図 2.5 スタック構造（ミドルモード、アドバンスモード）

2.2.4 マキシマムモード

アドバンストモードに対して、プログラム領域を 4G バイトに拡張しています。

- アドレス空間

最大 4G バイトをリニアにアクセス可能です。

- 拡張レジスタ (En)

拡張レジスタ (E0~E7) は、16 ビットレジスタとして、または 32 ビットレジスタあるいはアドレスレジスタの上位 16 ビットとして使用できます。

- 命令セット

命令およびアドレッシングモードはすべて使用できます。

- 例外処理ベクタテーブル、メモリ間接の分岐アドレス

マキシマムモードでは、H'00000000 から始まる先頭領域に 32 ビット単位で例外処理ベクタテーブル領域が割り当てられており、32 ビットの分岐先アドレスを格納します。例外処理ベクタテーブルの構造を図 2.6 に示します。

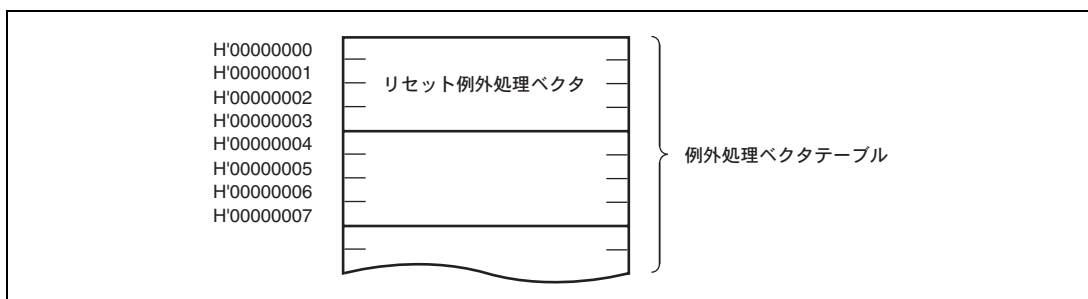


図 2.6 例外処理ベクタテーブル (マキシマムモード)

メモリ間接 (@@aa:8) および拡張メモリ間接 (@@vec:7) は、JMP および JSR 命令で使用されます。命令コードに含まれる 8 ビット絶対アドレスによりメモリ上のオペランドを指定し、この内容が分岐先アドレスとなります。

マキシマムモードでは、オペランドは 32 ビット (ロングワード) となり、この 32 ビットが分岐先アドレスとなります。

- スタック構造

マキシマムモード時のサブルーチン分岐時の PC のスタック構造と、例外処理時の PC と CCR のスタック構造を図 2.7 に示します。PC は 32 ビットで退避／復帰されます。EXR の使用／不使用によらず、EXR は退避／復帰されます。

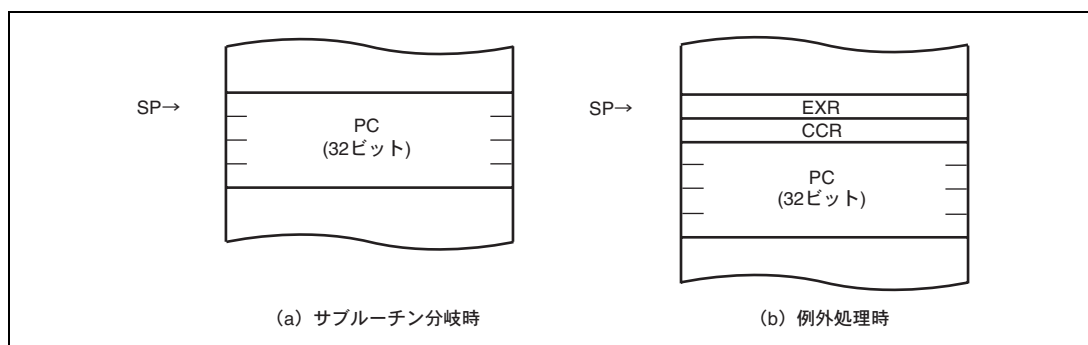


図 2.7 スタック構造 (マキシマムモード)

2.3 命令フェッチ

H8SX CPU は、命令フェッチについて、16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。

命令フェッチの 16 ビットモード／32 ビットモードの選択は、命令フェッチ以外のデータアクセスなどには影響しません。詳細は当該製品のハードウェアマニュアルを参照してください。

2.4 アドレス空間

H8SX CPU のメモリマップを図 2.8 に示します。H8SX CPU のアドレス空間は、CPU 動作モードによって異なります。

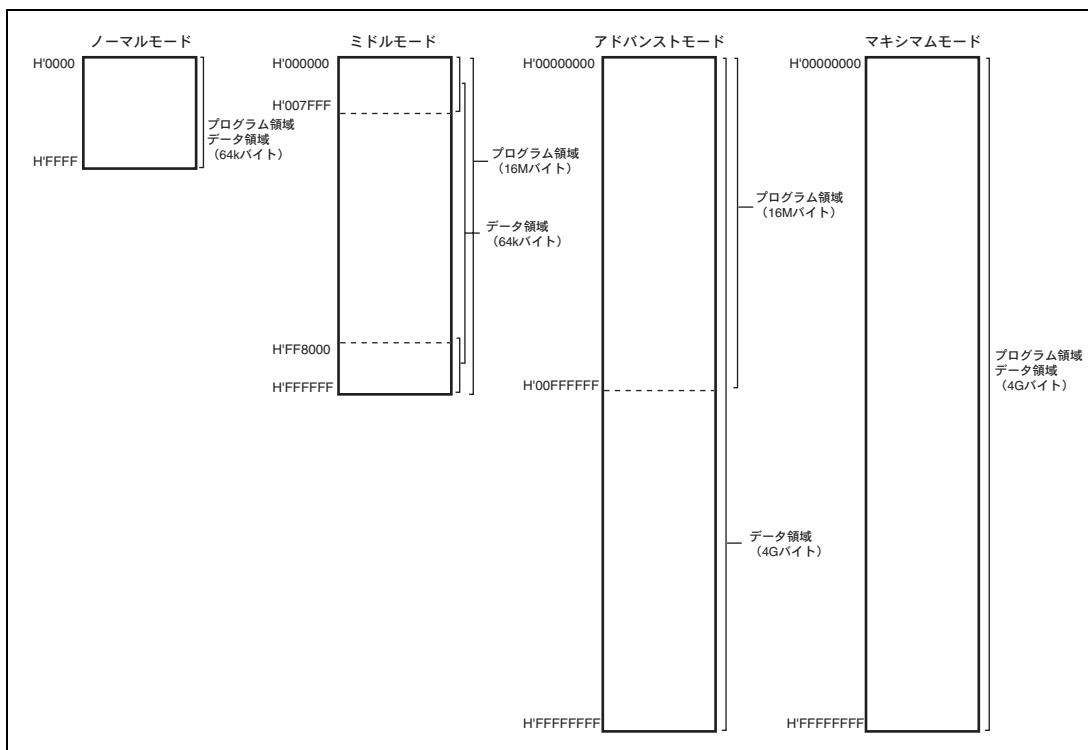


図 2.8 メモリマップ

2.5 レジスタ構成

H8SX CPU の内部レジスタ構成を図 2.9 に示します。これらのレジスタは、汎用レジスタとコントロールレジスタの 2 つに分類することができます。コントロールレジスタには、32 ビットのプログラムカウンタ (PC)、8 ビットのエクステンドレジスタ (EXR)、8 ビットのコンディションコードレジスタ (CCR)、32 ビットのベクタベースレジスタ (VBR)、32 ビットのショートアドレスベースレジスタ (SBR)、および 64 ビットの積和レジスタ (MAC) があります。

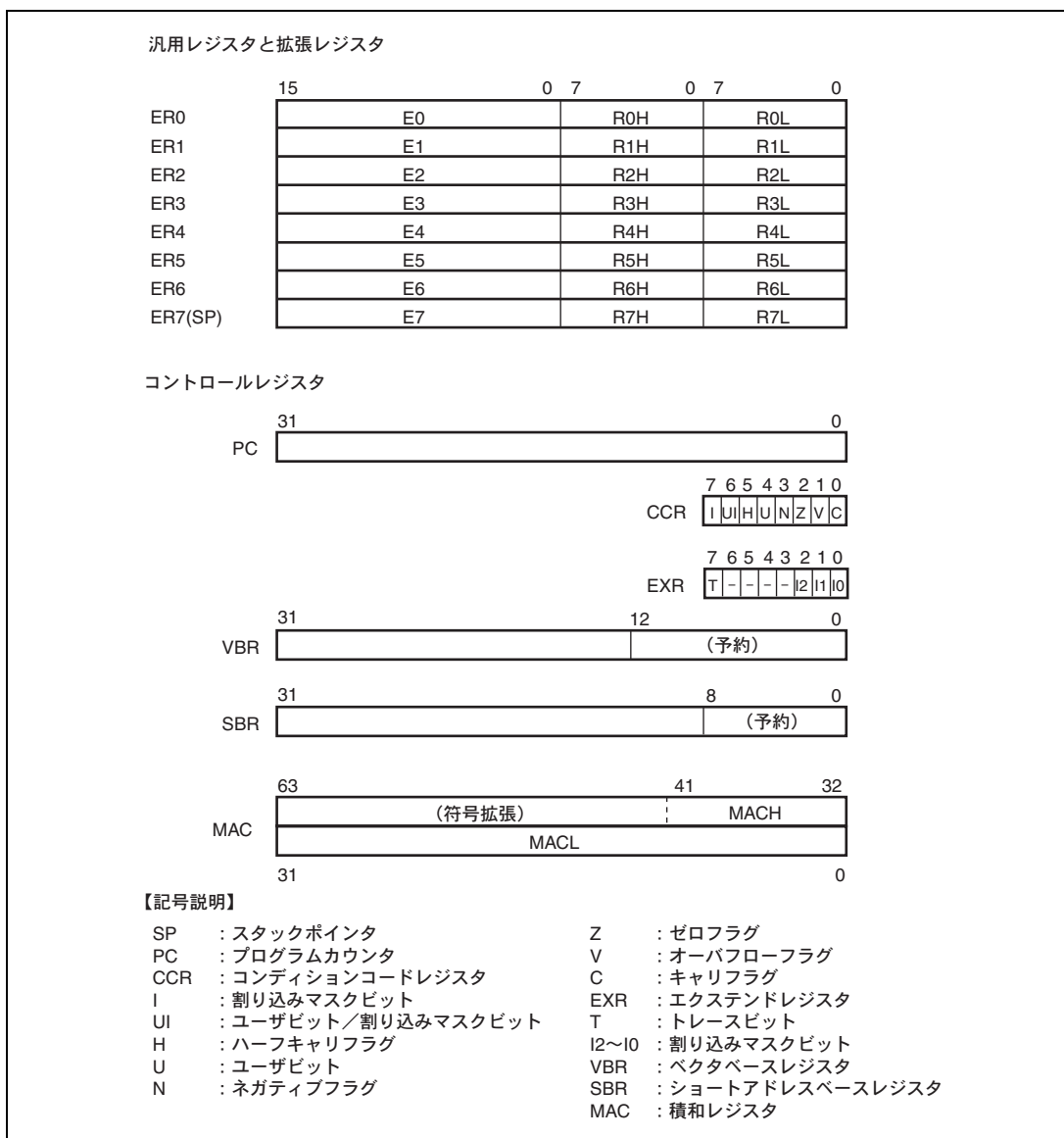


図 2.9 CPU 内部レジスタ構成

2.5.1 汎用レジスタ

H8SX CPU は、32 ビット長の汎用レジスタを 8 本持っています。汎用レジスタは、すべて同じ機能を持っており、アドレスレジスタまたはデータレジスタとして使用することができます。データレジスタとしては 32 ビット、16 ビット、または 8 ビットレジスタとして使用できます。汎用レジスタの使用方法を図 2.10 に示します。

アドレスレジスタまたは 32 ビットレジスタの場合は、一括して汎用レジスタ ER (ER0~ER7) として使用します。

16 ビットレジスタの場合は、汎用レジスタ ER を分割して汎用レジスタ E (E0~E7)、汎用レジスタ R (R0~R7) として使用します。これらは同等の機能を持っており、16 ビットレジスタを最大 16 本まで使用することができます。なお、汎用レジスタ E (E0~E7) を特に拡張レジスタと呼ぶ場合があります。

8 ビットレジスタの場合は、汎用レジスタ R を分割して汎用レジスタ RH (RH0~RH7)、汎用レジスタ RL (RL0~RL7) として使用します。これらは同等の機能を持っており、8 ビットレジスタを最大 16 本まで使用することができます。

インデックスレジスタとしては、汎用レジスタ ER (ER0~ER7)、汎用レジスタ R (R0~R7)、汎用レジスタ RL (RL0~RL7) を使用します。これらはアドレッシングモード中のインデックスレジスタのサイズで指定します。

各レジスタ独立に使用方法を選択することができます。

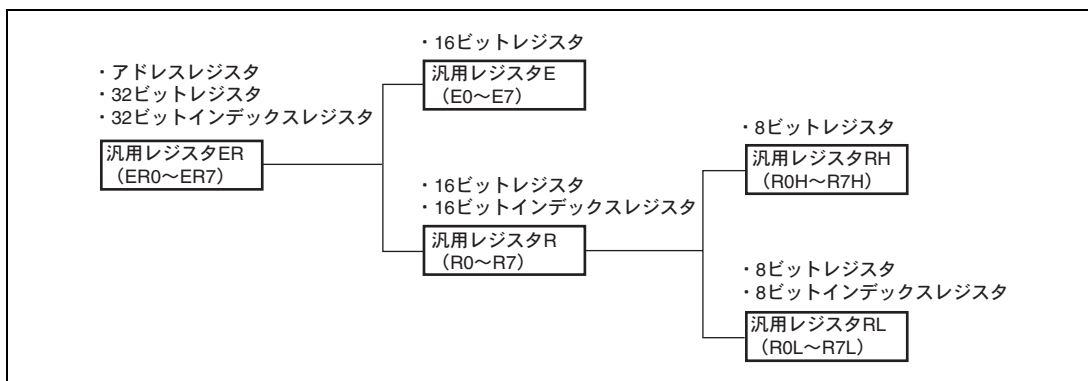


図 2.10 汎用レジスタの使用法

汎用レジスタ ER7 には、汎用レジスタとしての機能に加えて、スタックポインタ (SP) としての機能が割り当てられており、例外処理やサブルーチン分岐などで暗黙的に使用されます。スタックの状態を図 2.11 に示します。

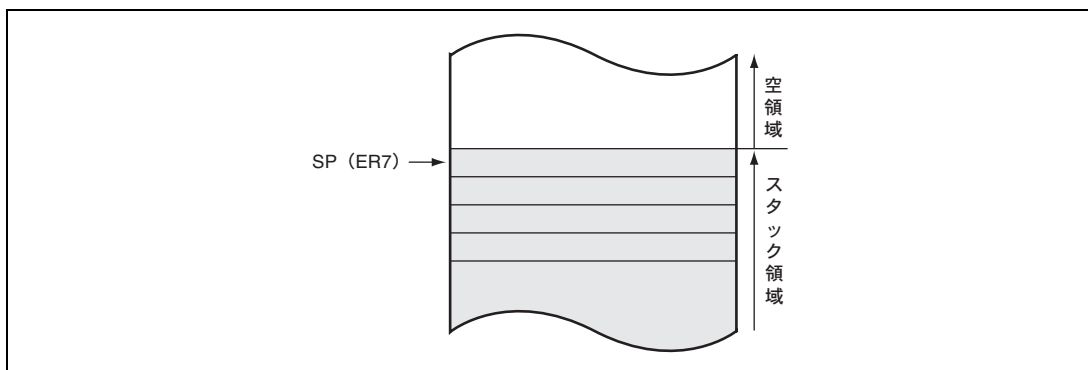


図 2.11 スタックの状態

2.5.2 プログラムカウンタ (PC)

PC は 32 ビットのカウンタで、CPU が次に実行する命令のアドレスを示しています。CPU の命令は、すべて 2 バイト (ワード) を単位としているため、最下位ビットは無効です (命令コードのリード時には最下位ビットは 0 とみなされます)。

2.5.3 コンディションコードレジスタ (CCR)

CCR は、8 ビットのレジスタで、CPU の内部状態を示しています。割り込みマスクビット (I)、ユーザビット (UI、U) とハーフキャリ (H)、ネガティブ (N)、ゼロ (Z)、オーバーフロー (V)、キャリ (C) の各フラグを含む 8 ビットで構成されています。

CCR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。また、N、Z、V、C の各フラグは、条件分岐命令 (Bcc) で使用されます。

ビット	ビット名	初期値	R/W	説明
7	I	1	R/W	割り込みマスクビット このビットが 1 にセットされると、割り込みがマスクされます。例外処理の実行が開始されたときに 1 にセットされます。
6	UI	不定	R/W	ユーザビット/割り込みマスクビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。割り込みマスクビットとしても使用可能です。
5	H	不定	R/W	ハーフキャリフラグ ADD.B、ADDX.B、SUB.B、SUBX.B、CMP.B、NEG.B 命令の実行により、ビット 3 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。また、ADD.W、SUB.W、CMP.W、NEG.W 命令の実行により、ビット 11 にキャリまたはボローが生じたとき、もしくは ADD.L、SUB.L、CMP.L、NEG.L 命令の実行により、ビット 27 にキャリまたはボローが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。
4	U	不定	R/W	ユーザビット ソフトウェア (LDC、STC、ANDC、ORC、XORC 命令) でリード/ライトできます。
3	N	不定	R/W	ネガティブフラグ データの最上位ビットを符号ビットとみなし、最上位ビットの値を格納します。
2	Z	不定	R/W	ゼロフラグ データがゼロのとき 1 にセットされ、ゼロ以外のとき 0 にクリアされます。
1	V	不定	R/W	オーバーフローフラグ 算術演算命令の実行により、オーバーフローが生じたとき 1 にセットされます。それ以外のとき 0 にクリアされます。
0	C	不定	R/W	キャリフラグ 演算の実行により、キャリが生じたとき 1 にセットされ、生じなかったとき 0 にクリアされます。キャリには次の種類があります。 <ul style="list-style-type: none"> • 加算結果のキャリ • 減算結果のボロー • シフト/ローテートのキャリ また、キャリフラグにはビットアキュムレータ機能があり、ビット操作命令で使用されます。

2.5.4 エクステンドライジスタ (EXR)

EXR は、8 ビットのレジスタで、トレースビット (T)、割り込みマスクビット (I2~I0) を含んでいます。

EXR は、LDC、STC、ANDC、ORC、XORC 命令で操作することができます。詳細は当該製品のハードウェアマニュアルを参照してください。

ビット	ビット名	初期値	R/W	説明
7	T	0	R/W	トレースビット このビットが1にセットされているときは、1命令実行することにトレース例外処理を開始します。0にクリアされているときは、命令を順次実行します。
6~3	—	すべて1	R/W	リザーブビットです。リードすると常に1がリードされます。
2~0	I2	1	R/W	割り込み要求マスクレベル (0~7) を指定します。
	I1	1	R/W	
	I0	1	R/W	

2.5.5 ベクタベースレジスタ (VBR)

VBR は 32 ビットのレジスタで、上位 20 ビットが有効です。リードすると下位 12 ビットは 0 が読み出されます。リセットと CPU アドレスエラー以外の例外処理のベクタ領域のベースアドレスになります (拡張メモリ間接は対象外です)。VBR の初期値は、H'00000000 です。

VBR は、LDC、STC 命令で操作することができます。

2.5.6 ショートアドレスベースレジスタ (SBR)

SBR は 32 ビットのレジスタで、上位 24 ビットが有効です。リードすると下位 8 ビットは 0 が読み出されます。絶対アドレス 8 ビット (@aa:8) 使用時の上位アドレスになります。SBR の初期値は、H'FFFFFF00 です。

SBR は、LDC、STC 命令で操作することができます。

2.5.7 積和レジスタ (MAC)

MAC は 64 ビットのレジスタで、積和演算結果を格納します。32 ビットの MACH、MACL から構成されます。MACH は下位 10 ビットが有効で、上位は符号拡張されています。

MAC は、MAC、CLRMAC、LDMAC、STMAC 命令で操作することができます。

2.5.8 CPU 内部レジスタの初期値

CPU 内部レジスタのうち PC は、リセット例外処理によってベクタアドレスからスタートアドレスをロードすることにより初期化されます。また、EXR の T ビットは 0 にクリアされ、EXR、CCR の I ビットは 1 にセットされますが、汎用レジスタ、MAC、CCR の他のビットは初期化されません。SP (ER7) の初期値も不定です。したがって、リセット直後に MOV.L 命令を使用して、SP の初期化を行ってください。

2.6 データ形式

H8SX CPU は、1 ビット、4 ビット BCD、8 ビット（バイト）、16 ビット（ワード）、および 32 ビット（ロングワード）のデータを扱うことができます。

1 ビットデータはビット操作命令で扱われ、オペランドデータ（バイト）の第 n ビット ($n=0, 1, 2, \dots, 7$) という形式でアクセスされます。なお、DAA および DAS の 10 進補正命令では、バイトデータは 2 桁の 4 ビット BCD データとなります。

2.6.1 汎用レジスタのデータ形式

汎用レジスタのデータ形式を図 2.12 に示します。

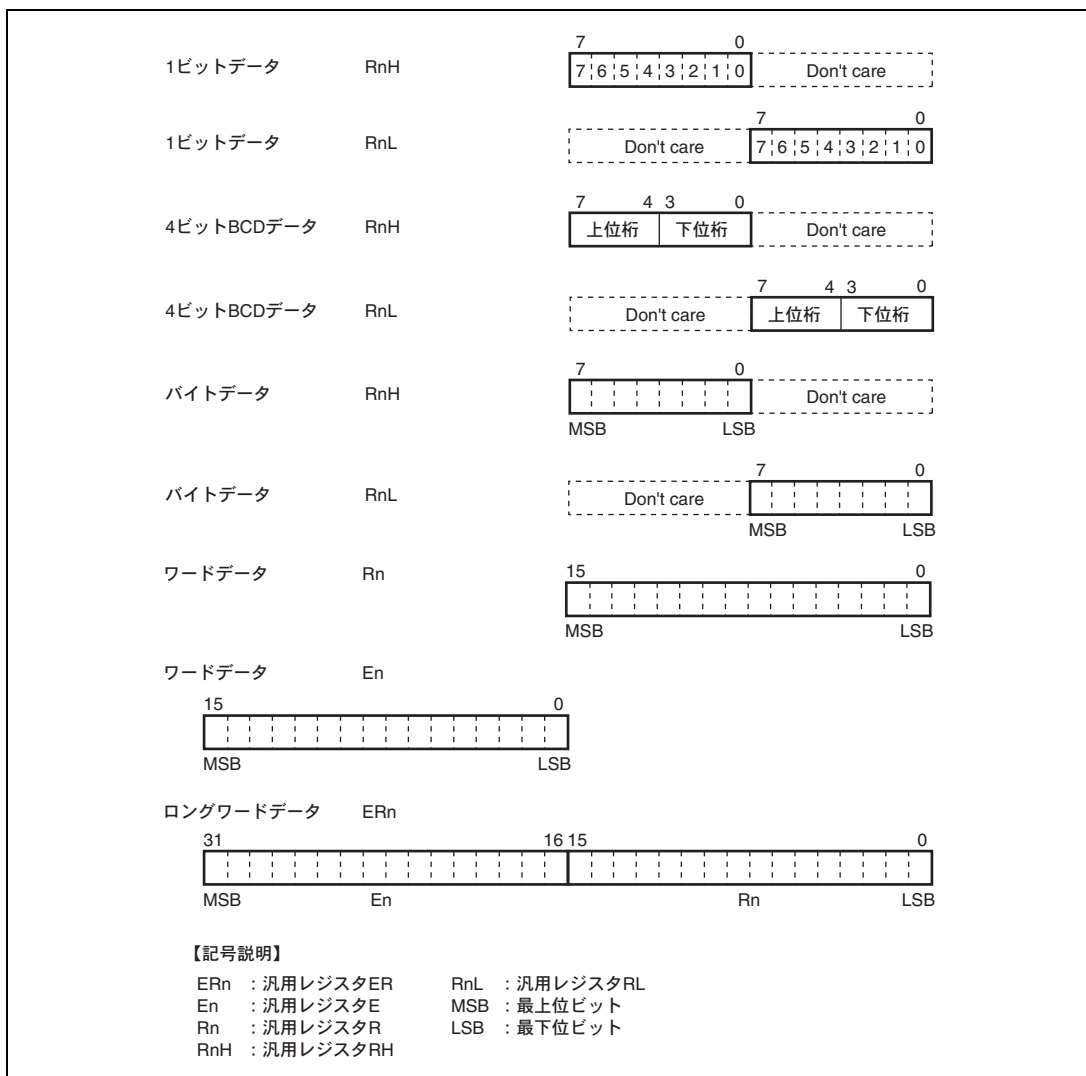


図 2.12 汎用レジスタのデータ形式

2.6.2 メモリ上でのデータ形式

メモリ上でのデータ形式を図 2.13 に示します。

H8SX CPU は、メモリ上のワードデータ/ロングワードデータをアクセスすることができます。これらは、任意のアドレスに配置することができます。ワードデータが偶数番地、ロングワードデータが4の倍数番地から始まらない場合は、複数回に分割してアクセスします。例えば、奇数番地から始まる場合、ロングワードデータは、バイトワードバイトに分割されてバスサイクルが生成されます。この場合、バス制御においては別々のバスサイクルとして認識されます。

また、命令リード、スタック操作、分岐テーブル、およびブロック転送命令、MAC 命令におけるワードデータ/ロングワードデータは、偶数番地から配置してください。

なお、SP (ER7) をアドレスレジスタとしてスタックをアクセスするときは、必ずワードサイズまたはロングワードサイズでアクセスしてください。

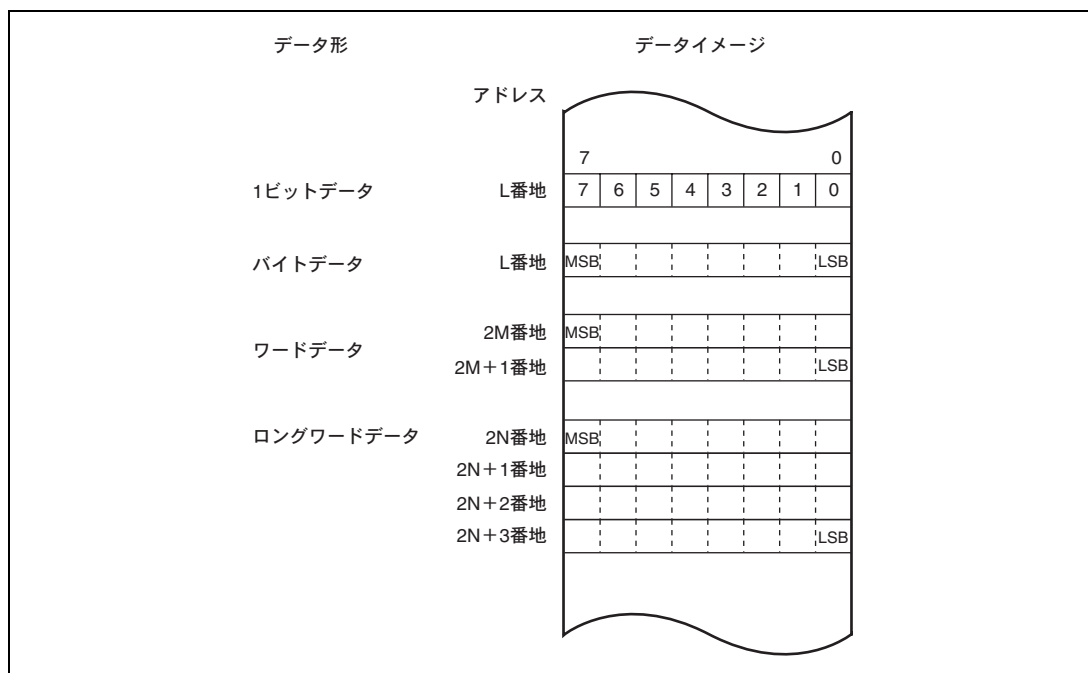


図 2.13 メモリ上でのデータ形式

2. CPU

2.7 命令セット

H8SX CPU の命令は合計 87 種類あり、各命令のもつ機能によって表 2.1 に示すように分類されます。

【注】 算術演算命令、論理演算命令、シフト命令、ビット操作命令を総称して演算命令と呼ぶ場合があります。

表 2.1 命令の分類

分類	命令	サイズ	種類
データ転送命令	MOV	B/W/L	6
	MOVFP, MOVTP	B	
	POP, PUSH* ¹	W/L	
	LDM, STM	L	
	MOVA	B/W* ²	
ブロック転送命令	EEPMOV	B	3
	MOVMD	B/W/L	
	MOVSD	B	
算術演算命令	ADD, ADDX, SUB, SUBX, CMP, NEG, INC, DEC	B/W/L	27
	DAA, DAS	B	
	ADDS, SUBS	L	
	MULXU, DIVXU, MULXS, DIVXS	B/W	
	MULU, DIVU, MULS, DIVS	W/L	
	MULU/U* ⁶ , MULS/U* ⁶	L	
	EXTU, EXT	W/L	
	TAS	B	
	MAC* ⁶	—	
	LDMAC* ⁶ , STMAC* ⁶	—	
	CLRMAC* ⁶	—	
論理演算命令	AND, OR, XOR, NOT	B/W/L	4
シフト命令	SHLL, SHLR, SHAL, SHAR, ROTL, ROTR, ROTXL, ROTXR	B/W/L	8
ビット操作命令	BSET, BCLR, BNOT, BTST, BAND, BIAND, BOR, BIOR, BXOR, BIXOR, BLD, BILD, BST, BIST	B	20
	BSET/EQ, BSET/NE, BCLR/EQ, BCLR/NE, BSTZ, BISTZ	B	
	BFLD, BFST	B	
分岐命令	BRA/BS, BRA/BC, BSR/BS, BSR/BC	B* ³	9
	Bcc* ⁴ , JMP, BSR, JSR, RTS	—	
	RTS/L	L* ⁵	
	BRA/S	—	
システム制御命令	TRAPA, RTE, SLEEP, NOP	—	10
	RTE/L	L* ⁵	
	LDC, STC, ANDC, ORC, XORC	B/W/L	

合計 87

【記号説明】

B : バイトサイズ

W : ワードサイズ

L : ロングワードサイズ

- 【注】**
- *1 POP.W Rn, PUSH.W Rn は MOV.W @SP+,Rn, MOV.W Rn, @-SP と同一です。また、POP.L ERn, PUSH.L ERn は MOV.L @SP+,ERn, MOV.L ERn, @-SP と同一です。
 - *2 ディスプレースメントに加算するデータの指定方法
 - *3 条件として指定するデータのサイズ
 - *4 Bcc は条件分岐命令の総称です。
 - *5 復帰する汎用レジスタのサイズ
 - *6 乗算器サポート時のみ

2. CPU

2.7.1 命令とアドレッシングモードの組み合わせ

H8SX CPU で使用できる命令とアドレッシングモードの組み合わせを表 2.2 に示します。

表 2.2 命令とアドレッシングモードの組み合わせ (1)

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.LB/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
データ 転送命令	MOV	B/W/L	S	SD	SD	SD	SD	SD		SD		
		B		S/D					S/D			
	MOVFP,MOVTP	B		S/D						S/D ^{*1}		
	POP,PUSH	W/L		S/D				S/D ^{*2}				
	LDM,STM	L		S/D				S/D ^{*2}				
	MOVA ^{*4}	B/W		S	S	S	S	S		S		
ブロック 転送命令	EPMOV	B									SD ^{*3}	
	MOVMD	B/W/L									SD ^{*3}	
	MOVSD	B									SD ^{*3}	
算術演算命令	ADD,CMP	B	S	D	D	D	D	D	D	D		
		B		S	D	D	D	D	D	D		
		B		D	S	S	S	S	S	S		
		B			SD	SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD	SD		SD	
	SUB	B	S		D	D	D	D	D	D	D	
		B		S	D	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	S	
		B			SD	SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD	SD		SD	
	ADDX,SUBX	B/W/L	S	SD								
		B/W/L	S		SD							
		B/W/L	S						SD ^{*5}			
	INC,DEC	B/W/L		D								
	ADDS,SUBS	L		D								
	DAA,DAS	B		D								
	MULXU,DIVXU	B/W	S : 4	SD								
MULU,DIVU	W/L	S : 4	SD									
MULXS,DIVXS	B/W	S : 4	SD									
MULS,DIVS	W/L	S : 4	SD									

分類	命令	サイズ	アドレッシングモード								
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.LB/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—
算術演算命令	NEG	B		D	D	D	D	D	D	D	
		W/L		D	D	D	D	D		D	
	EXTU,EXTS	W/L		D	D	D	D	D		D	
	TAS	B			D						
	MAC* ¹²	—									
	CLRMAC* ¹²	—									○
	LDMAC* ¹²	—		S							
STMAC* ¹²	—		D								
論理演算命令	AND,OR,XOR	B		S	D	D	D	D	D	D	
		B		D	S	S	S	S	S	S	
		B			SD	SD	SD	SD		SD	
		W/L	S	SD	SD	SD	SD	SD		SD	
	NOT	B		D	D	D	D	D	D	D	
		W/L		D	D	D	D	D		D	
シフト命令	SHLL,SHLR	B		D	D	D	D	D	D	D	
		W/L* ⁶		D	D	D	D	D		D	
		B/W/L* ⁷		D							
	SHAL,SHAR,ROTL, ROTR,ROTXL, ROTXR	B		D	D	D	D	D	D	D	
		W/L		D	D	D	D	D		D	
ビット 操作命令	BSET,BCLR,BNOT, BTST,BSET/cc, BCLR/cc	B		D	D					D	D
	BAND,BIAND,BOR, BIOR,BXOR, BIXOR, BLD,BILD, BST,BIST,BSTZ, BISTZ	B		D	D					D	D
	BFLD	B		D	S					S	S
	BFST	B		S	D					D	D
	BRA/BS,BRA/BC* ⁸	B				S				S	S
	BSR/BS,BSR/BC* ⁸	B				S				S	S
システム制御 命令	LDC (CCR,EXR)	B/W* ⁹	S	S	S	S			S* ¹⁰		S
	LDC (VBR,SBR)	L		S							
	STC (CCR,EXR)	B/W* ⁹		D	D	D			D* ¹¹		D

2. CPU

分類	命令	サイズ	アドレッシングモード									
			#xx	Rn	@ERn	@ (d,ERn)	@(d, Rn.LB/ Rn.W/ ERn.L)	@-ERn/ @ERn+/ @ERn-/ @+ERn	@aa:8	@aa:16/ @aa:32	—	
システム制御	STC (VBR,SBR)	L		D								
命令	ANDC,ORC,XORC	B	S									
	SLEEP	—										○
	NOP	—										○

【記号説明】

- d: d: 16 または d: 32
- S: ソースとして指定可能
- D: デスティネーションとして指定可能
- SD: ソースまたはデスティネーションの一方または両方として指定可能
- S/D: ソースまたはデスティネーションの一方として指定可能
- S:4: ソースとして4ビットイミディエイトデータを指定可能

【注】

- *1 @aa:16のみ
- *2 ソースのとき@ERn+, デスティネーションのとき@-ERn
- *3 データ転送のソースのアドレスはER5、デスティネーションのアドレスはER6
- *4 ディスプレースメントに加算するデータの指定方法
- *5 @ERnのみ
- *6 シフトビット数が1、2、4、8または16ビットのとき
- *7 シフトビット数を5ビットイミディエイトデータまたは汎用レジスタで指定するとき
- *8 条件として指定するデータの指定方法
- *9 イミディエイトまたはレジスタ直接のときバイト、そのほかのときワード
- *10 @ERn+のみ
- *11 @-ERnのみ
- *12 乗算器サポート時のみ

表 2.2 命令とアドレッシングモードの組み合わせ (2)

分類	命令	サイズ	アドレッシングモード							
			@ERn	@(d,PC)	@(RnL,B/ Rn,W/ ERn.L,PC)	@aa:24	@aa:32	@@aa:8	@@vec:7	—
分岐命令	BRA/BS、BRA/BC	—		○						
	BSR/BS、BSR/BC	—		○						
	Bcc	—		○						
	BRA	—		○	○					
	BRA/S	—		○*						
	JMP	—	○			○	○	○	○	
	BSR	—		○						
	JSR	—	○			○	○	○	○	
	RTS、RTS/L	—								○
システム制御命令	TRAPA	—								○
	RTE、RTE/L	—								○

【記号説明】

d: d:8 または d:16

【注】 * @(d:8,PC)のみ

2. CPU

2.7.2 命令の機能別一覧

各命令の機能を表 2.4～表 2.11 に示します。各表で使用しているオペレーションの記号の意味を表 2.3 に示します。

表 2.3 オペレーションの記号

記号	説明
Rd	汎用レジスタ（デスティネーション側）*
Rs	汎用レジスタ（ソース側）*
Rn	汎用レジスタ*
ERn	汎用レジスタ（32 ビットレジスタ）
(EAd)	デスティネーションオペランド
(EAs)	ソースオペランド
EXR	エクステンドレジスタ
CCR	コンディションコードレジスタ
VBR	ベクタベースレジスタ
SBR	ショートアドレスベースレジスタ
N	CCR の N（ネガティブ）フラグ
Z	CCR の Z（ゼロ）フラグ
V	CCR の V（オーバフロー）フラグ
C	CCR の C（キャリ）フラグ
PC	プログラムカウンタ
SP	スタックポインタ
#IMM	イミディエイトデータ
disp	ディスプレースメント
+	加算
-	減算
×	乗算
÷	除算
∧	論理積
∨	論理和
⊕	排他的論理和
→	転送
~	反転論理（論理的補数）
:8/:16/:24/:32	8/16/24/32 ビット長

【注】 * 汎用レジスタは、8 ビット（R0H～R7H、R0L～R7L）、16 ビット（R0～R7、E0～E7）、または 32 ビットレジスタ（ER0～ER7）です。

表 2.4 データ転送命令

命令	サイズ	機能
MOV	B/W/L	#IMM→(EAd)、(EAs)→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータ転送を行います。
MOVFPPE	B	(EAs)→Rd
MOVTPPE	B	Rs→(EAs)
POP	W/L	@SP+→Rn スタックから汎用レジスタへその内容を復帰します。
PUSH	W/L	Rn→@-SP 汎用レジスタの内容をスタックに退避します。
LDM	L	@SP+→Rn (レジスタ群) スタックから複数の汎用レジスタへその内容を復帰します。連続した番号の2、3または4本の汎用レジスタを指定できます。
STM	L	Rn (レジスタ群)→@-SP 複数の汎用レジスタの内容をスタックに退避します。連続した番号の2、3または4本の汎用レジスタを指定できます。
MOVA	B/W	EA→Rd 指定した汎用レジスタまたはメモリのデータをゼロ拡張およびシフトして、ディスプレースメントに加算し、結果を汎用レジスタに格納します。

表 2.5 ブロック転送命令

命令	サイズ	機能
EEPMOV.B EEPMOV.W	B	ブロック転送命令です。ER5で示されるアドレスから始まり、R4またはR4Lで指定される数のバイトデータを、ER6で示されるアドレスへ転送します。
MOVMD.B	B	ブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のバイトデータを、ER6で示されるアドレスへ転送します。
MOVMD.W	W	ブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のワードデータを、ER6で示されるアドレスへ転送します。
MOVMD.L	L	ブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のロングワードデータを、ER6で示されるアドレスへ転送します。
MOVSD.B	B	ゼロデータ検出付きのブロック転送命令です。ER5で示されるアドレスから始まり、R4で指定される数のバイトデータを、ER6で示されるアドレスへ転送します。途中でゼロデータが検出されると、データ転送を打ち切り、指定したアドレスに分岐します。

2. CPU

表 2.6 算術演算命令

命令	サイズ	機能
ADD SUB	B/W/L	(EAd) ±#IMM→(EAd)、(EAd) ±(EAs)→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの加減算を行います。バイトサイズでの汎用レジスタとイミディエイトデータの減算はできません。
ADDX SUBX	B/W/L	(EAd) ±#IMM±C→(EAd)、(EAd) ±(EAs)±C→(EAd) イミディエイトデータ、汎用レジスタ、またはメモリの間でデータのキャリ付きの加減算を行います。メモリを指定するアドレッシングモードは、レジスタ間接、ポストデクリメントレジスタ間接です。
INC DEC	B/W/L	Rd±1→Rd、Rd±2→Rd 汎用レジスタに 1 または 2 を加減算します (バイトサイズでは 1 の加減算のみ可能です)。
ADDS SUBS	L	Rd±1→Rd、Rd±2→Rd、Rd±4→Rd 汎用レジスタに 1、2 または 4 を加減算します。
DAA DAS	B	Rd (10 進補正)→Rd 汎用レジスタ上の加減算結果を CCR を参照して 4 ビット 2 桁 BCD データに補正します。
MULXU	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULU	W/L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号なし乗算を行います。 16 ビット×16 ビット→16 ビット、32 ビット×32 ビット→32 ビットの乗算が可能です。
MULU/U*	L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の 32 ビット×32 ビットの符号なし乗算を行い、結果の上位 32 ビットを得ます。
MULXS	B/W	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 8 ビット×8 ビット→16 ビット、16 ビット×16 ビット→32 ビットの乗算が可能です。
MULS	W/L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の符号付き乗算を行います。 16 ビット×16 ビット→16 ビット、32 ビット×32 ビット→32 ビットの乗算が可能です。
MULS/U*	L	Rd×Rs→Rd 汎用レジスタと汎用レジスタの間の 32 ビット×32 ビットの符号付き乗算を行い、結果の上位 32 ビットを得ます。
DIVXU	B/W	Rd÷Rs→Rd 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16 ビット÷8 ビット→商 8 ビット余り 8 ビット、32 ビット÷16 ビット→商 16 ビット余り 16 ビットの除算が可能です。

命令	サイズ	機 能
DIVU	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号なし除算を行います。 16ビット÷16ビット→商16ビット、32ビット÷32ビット→商32ビットの除算が可能です。
DIVXS	B/W	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16ビット÷8ビット→商8ビット余り8ビット、32ビット÷16ビット→商16ビット余り16ビットの除算が可能です。
DIVS	W/L	$Rd \div Rs \rightarrow Rd$ 汎用レジスタと汎用レジスタの間の符号付き除算を行います。 16ビット÷16ビット→商16ビット、32ビット÷32ビット→商32ビットの除算が可能です。
CMP	B/W/L	$(EAd) - \#IMM, (EAd) - (EAs)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの比較を行い、その結果をCCRに格納します。
NEG	B/W/L	$0 - (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の2の補数（算術的補数）を取ります。
EXTU	W/L	$(EAd) \text{ (ゼロ拡張)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの下位8ビットまたは16ビットを、ワードサイズまたはロングワードサイズにゼロ拡張します。 下位8ビット→ワードサイズ、下位8ビット→ロングワードサイズ、下位16ビット→ロングワードサイズのゼロ拡張が可能です。
EXTS	W/L	$(EAd) \text{ (符号拡張)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの下位8ビットまたは16ビットを、ワードサイズまたはロングワードサイズに符号拡張します。 下位8ビット→ワードサイズ、下位8ビット→ロングワードサイズ、下位16ビット→ロングワードサイズの符号拡張が可能です。
TAS	B	$@ERd - 0, 1 \rightarrow (<ビット7>of EAd)$ メモリの内容をテストした後、最上位ビット（ビット7）を1にセットします。
MAC*	—	$(EAd) \times (EAs) + MAC \rightarrow MAC$ メモリとメモリの間の符号付乗算を行い、結果をMACに加算します。
CLRMAC*	—	$0 \rightarrow MAC$ MACをゼロクリアします。
LDMAC*	—	$Rs \rightarrow MAC$ 汎用レジスタの内容をMACに転送します。
STMAC*	—	$MAC \rightarrow Rd$ MACの内容を汎用レジスタに転送します。

【注】 * 乗算器サポート時のみ

2. CPU

表 2.7 論理演算命令

命令	サイズ	機能
AND	B/W/L	$(EAd) \wedge \#IMM \rightarrow (EAd)$ 、 $(EAd) \wedge (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理積を取ります。
OR	B/W/L	$(EAd) \vee \#IMM \rightarrow (EAd)$ 、 $(EAd) \vee (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの論理和を取ります。
XOR	B/W/L	$(EAd) \oplus \#IMM \rightarrow (EAd)$ 、 $(EAd) \oplus (EAs) \rightarrow (EAd)$ イミディエイトデータ、汎用レジスタ、またはメモリの間でデータの排他的論理和を取ります。
NOT	B/W/L	$\sim (EAd) \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容の1の補数（論理的補数）を取ります。

表 2.8 シフト命令

命令	サイズ	機能
SHLL SHLR	B/W/L	$(EAd) \text{ (シフト処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を論理的にシフトします。汎用レジスタまたはメモリに対して1、2、4、8または16ビットのシフトが可能です。汎用レジスタに対しては、任意ビットのシフトが可能です。この場合、シフトビット数は、5ビットのイミディエイトデータまたは汎用レジスタの内容下位5ビットで指定します。
SHAL SHAR	B/W/L	$(EAd) \text{ (シフト処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容を算術的にシフトします。1または2ビットのシフトが可能です。
ROTL ROTR	B/W/L	$(EAd) \text{ (ローテート処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をローテートします。1または2ビットのシフトが可能です。
ROTXL ROTXR	B/W/L	$(EAd) \text{ (ローテート処理)} \rightarrow (EAd)$ 汎用レジスタまたはメモリの内容をキャリフラグを含めてローテートします。1または2ビットのシフトが可能です。

表 2.9 ビット操作命令

命令	サイズ	機能
BSET	B	1→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BSET/cc	B	if cc, 1→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された 1 ビットを 1 にセットします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。条件は、Z=1、Z=0 が指定可能です。
BCLR	B	0→ (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BCLR/cc	B	if cc, 0→ (<ビット番号>of<EAd>) 指定した条件が成立しているとき、メモリの指定された 1 ビットを 0 にクリアします。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。条件は、Z=1、Z=0 が指定可能です。
BNOT	B	~ (<ビット番号>of<EAd>) → (<ビット番号>of<EAd>) 汎用レジスタまたはメモリの指定された 1 ビットを反転します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BTST	B	~ (<ビット番号>of<EAd>) → Z 汎用レジスタまたはメモリの指定された 1 ビットをテストし、ゼロフラグに反映します。ビット番号は、3 ビットのイミディエイトデータまたは汎用レジスタの内容下位 3 ビットで指定します。
BAND	B	C∧ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BIAND	B	C∧[~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された 1 ビットを反転し、キャリフラグとの論理積をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BOR	B	C∨ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BIOR	B	C∨[~ (<ビット番号>of<EAd>)] → C 汎用レジスタまたはメモリの指定された 1 ビットを反転し、キャリフラグとの論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。
BXOR	B	C⊕ (<ビット番号>of<EAd>) → C 汎用レジスタまたはメモリの指定された 1 ビットとキャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3 ビットのイミディエイトデータで指定します。

2. CPU

命令	サイズ	機能
BIXOR	B	$C \oplus [\sim (\text{ビット番号} > \text{of} < \text{EAd} >)] \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグとの排他的論理和をとり、結果をキャリフラグに格納します。ビット番号は、3ビットのイミディエイトデータで指定します。
BLD	B	$(\text{ビット番号} > \text{of} < \text{EAd} >) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットをキャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BILD	B	$\sim (\text{ビット番号} > \text{of} < \text{EAd} >) \rightarrow C$ 汎用レジスタまたはメモリの指定された1ビットを反転し、キャリフラグに転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BST	B	$C \rightarrow (\text{ビット番号} > \text{of} < \text{EAd} >)$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BSTZ	B	$Z \rightarrow (\text{ビット番号} > \text{of} < \text{EAd} >)$ メモリの指定された1ビットに、ゼロフラグの内容を転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BIST	B	$\sim C \rightarrow (\text{ビット番号} > \text{of} < \text{EAd} >)$ 汎用レジスタまたはメモリの指定された1ビットに、キャリフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BISTZ	B	$\sim Z \rightarrow (\text{ビット番号} > \text{of} < \text{EAd} >)$ メモリの指定された1ビットに、ゼロフラグを反転して転送します。ビット番号は、3ビットのイミディエイトデータで指定します。
BFLD	B	$(\text{EAs}) (\text{ビットフィールド}) \rightarrow \text{Rd}$ メモリのオペランドの指定したビットフィールドを、指定した汎用レジスタの下位側に転送します。
BFST	B	$\text{Rs} \rightarrow (\text{EAd}) (\text{ビットフィールド})$ メモリのオペランドの指定したビットフィールドへ、指定した汎用レジスタの下位側を転送します。

表 2.10 分岐命令

命令	サイズ	機能
BRA/BS BRA/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BSR/BS BSR/BC	B	メモリのオペランドの指定したビットをテストし、指定した条件が成立しているとき、指定されたアドレスへサブルーチン分岐します。
Bcc	—	指定した条件が成立しているとき、指定されたアドレスへ分岐します。
BRA/S	—	次の命令を実行した後、指定されたアドレスに無条件に分岐します。次の命令は 1 ワード命令で、かつブロック転送命令、分岐命令以外に限定されます。
JMP	—	指定されたアドレスへ無条件に分岐します。
BSR	—	指定されたアドレスへサブルーチン分岐します。
JSR	—	指定されたアドレスへサブルーチン分岐します。
RTS	—	サブルーチンから復帰します。
RTS/L	—	スタックから複数の汎用レジスタへその内容を復帰し、サブルーチンから復帰します。

2. CPU

表 2.11 システム制御命令

命令	サイズ	機能
TRAPA	—	命令トラップ例外処理を行います。
RTE	—	例外処理ルーチンから復帰します。
RTE/L	—	スタックから複数の汎用レジスタへその内容を復帰し、例外処理ルーチンから復帰します。
SLEEP	—	低消費電力状態に遷移します。
LDC	B/W	#IMM→CCR、(EAs)→CCR、#IMM→EXR、(EAs)→EXR イミディエイトデータ、汎用レジスタまたはメモリの内容を CCR、EXR へ転送します。CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	Rs→VBR、Rs→SBR 汎用レジスタの内容を VBR、SBR へ転送します。
STC	B/W	CCR→(EAd)、EXR→(EAd) CCR、EXR の内容を汎用レジスタまたはメモリへ転送します。 CCR、EXR は 8 ビットですが、メモリとの転送はワードサイズで行われ、上位 8 ビットが有効です。
	L	VBR→Rd、SBR→Rd VBR、SBR の内容を汎用レジスタへ転送します。
ANDC	B	CCR∧#IMM→CCR、EXR∧#IMM→EXR CCR、EXR とイミディエイトデータの論理積をとります。
ORC	B	CCR∨#IMM→CCR、EXR∨#IMM→EXR CCR、EXR とイミディエイトデータの論理和をとります。
XORC	B	CCR⊕#IMM→CCR、EXR⊕#IMM→EXR CCR、EXR とイミディエイトデータの排他的論理和をとります。
NOP	—	PC+2→PC PC のインクリメントだけを行います。

2.7.3 命令の基本フォーマット

H8SX CPU の命令は、2 バイト（ワード）を単位にしています。各命令はオペレーションフィールド（op）、レジスタフィールド（r）、EA 拡張部（EA）、およびコンディションフィールド（cc）から構成されています。

図 2.14 に命令フォーマットの例を示します。

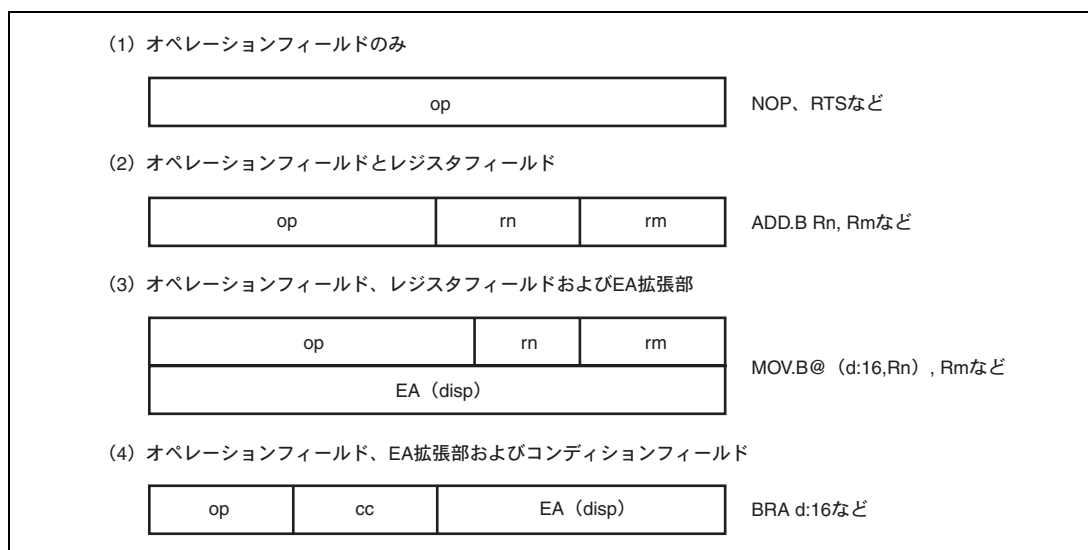


図 2.14 命令フォーマットの例

- オペレーションフィールド

命令の機能を表し、アドレッシングモードの指定、オペランドの処理内容を指定します。命令の先頭 4 ビットを必ず含みます。2つのオペレーションフィールドを持つ場合もあります。

- レジスタフィールド

汎用レジスタを指定します。アドレスレジスタのとき 3 ビット、データレジスタのとき 3 ビットまたは 4 ビットです。2つのレジスタフィールドを持つ場合、またはレジスタフィールドを持たない場合もあります。

- EA拡張部

イミディエイトデータ、絶対アドレスまたはディスプレースメントを指定します。8 ビット、16 ビット、または 32 ビットです。

- コンディションフィールド

Bcc 命令の分岐条件を指定します。

2.8 アドレッシングモードと実効アドレスの計算方法

H8SX CPU は表 2.12 に示すように、11 種類のアドレッシングモードをサポートしています。命令ごとに、使用できるアドレッシングモードは異なります。

ビット操作命令では、オペランドの指定にレジスタ直接、レジスタ間接、および絶対アドレスが使用できます。さらに、オペランド中のビット番号を指定するためにレジスタ直接（BSET、BCLR、BNOT、BTST の各命令）、およびイミディエイト（3 ビット）が独立して使用できます。

表 2.12 アドレッシングモード一覧表

No.	アドレッシングモード	記号
1	レジスタ直接	Rn
2	レジスタ間接	@ERn
3	ディスプレイースメント付レジスタ間接	@(d:2,ERn)/@(d:16,ERn)/@(d:32,ERn)
4	ディスプレイースメント付インデックスレジスタ間接	@(d:16,RnL.B)/@(d:16,Rn.W)/@(d:16,ERn.L) @(d:32,RnL.B)/@(d:32,Rn.W)/@(d:32,ERn.L)
5	ポストインクリメントレジスタ間接 プリデクリメントレジスタ間接 プリインクリメントレジスタ間接 ポストデクリメントレジスタ間接	@ERn+ @-ERn @+ERn @ERn-
6	絶対アドレス	@aa:8/@aa:16/@aa:24/@aa:32
7	イミディエイト	#xx:3/#xx:4/#xx:8/#xx:16/#xx:32
8	プログラムカウンタ相対	@(d:8,PC)/@(d:16,PC)
9	プログラムカウンタインデックスレジスタ相対	@(RnL.B,PC)/@(Rn.W,PC)/@(ERn.L,PC)
10	メモリ間接	@@aa:8
11	拡張メモリ間接	@@ vec:7

2.8.1 レジスタ直接 Rn

命令コードのレジスタフィールドで指定されるレジスタ（8 ビット、16 ビットまたは 32 ビット）が、オペランドとなります。

8 ビットレジスタとしては、R0H～R7H、R0L～R7L を指定可能です。

16 ビットレジスタとしては、R0～R7、E0～E7 を指定可能です。

32 ビットレジスタとしては、ER0～ER7 を指定可能です。

2.8.2 レジスタ間接 @ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。

アドバンスモードのとき、分岐命令では下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.3 ディスプレースメント付レジスタ間接 @ (d:2,ERn) /@ (d:16,ERn) /@ (d:32,ERn)

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容に、命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容をアドレスとしてメモリ上のオペランドを指定します。加算に際して、16 ビットディスプレースメントは符号拡張されます。

また、データのサイズがバイトの場合は、ディスプレースメントが 1、2、3 のとき短縮形@ (d:2,ERn) が用意されています。同様に、ワードの場合は 2、4、6 のとき、ロングワードの場合は 4、8、12 のとき、それぞれ短縮形@ (d:2,ERn) が用意されています。

2.8.4 ディスプレースメント付インデックスレジスタ間接 @ (d:16,RnL.B) /@ (d:32,RnL.B) /@ (d:16,Rn.W) /@ (d:32,Rn.W) /@ (d:16,ERn.L) /@ (d:32,ERn.L)

命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、1、2 または 4 を乗算し、乗算結果と命令コード中に含まれる 16 ビットディスプレースメント、または 32 ビットディスプレースメントを加算した内容を、アドレスとしてメモリ上のオペランドを指定します。指定するメモリ上のオペランドサイズに応じて、バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ乗算されます。加算に際して、16 ビットディスプレースメントは符号拡張されます。

2.8.5 プリ/ポストインクリメント/デクリメントレジスタ間接 @ERn+ /@-ERn /@+ERn /@ERn-

(1) ポストインクリメントレジスタ間接 @ERn+

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に 1、2 または 4 が加算され、加算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ加算されます。

(2) プリデクリメントレジスタ間接 @-ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を減算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、減算結果がアドレスレジスタに格納されます。バイトサイズでは 1、ワードサイズでは 2、ロングワードサイズでは 4 が、それぞれ減算されます。

(3) プリインクリメントレジスタ間接 @+ERn

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容から、1、2 または 4 を加算した内容を、アドレスとしてメモリ上のオペランドを指定します。その後、加算結果がアドレスレジスタに格納さ

2. CPU

れます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ加算されます。

(4) ポストデクリメントレジスタ間接 @ERn-

命令コードのレジスタフィールドで指定されるアドレスレジスタ (ERn) の内容を、アドレスとしてメモリ上のオペランドを指定します。その後、アドレスレジスタの内容に1、2または4が減算され、減算結果がアドレスレジスタに格納されます。バイトサイズでは1、ワードサイズでは2、ロングワードサイズでは4が、それぞれ減算されます。

以上の(1)~(4)の場合、アドレスレジスタで指定した汎用レジスタをデータレジスタとして、メモリへのライトを行う場合、実効アドレス計算後の汎用レジスタの内容がライトされます。また、同一の汎用レジスタを指定して2つの実効アドレス計算を行う場合、1回目の実効アドレス計算後の汎用レジスタの内容が、2回目の実効アドレス計算に用いられます。

例1 MOV.W R0, @ER0+

実行前のER0がH'12345678のときH'12345678番地にH'567Aがライトされます。

例2 MOV.B @ER0+, @ER0+

実行前のER0がH'00001000のときH'00001000番地をリードし、H'00001001番地へライトします。

実行後のER0はH'00001002です。

2.8.6 絶対アドレス @aa:8/@aa:16/@aa:24/@aa:32

命令コード中に含まれる絶対アドレスで、メモリ上のオペランドを指定します。

絶対アドレスは8ビット (@aa:8)、16ビット (@aa:16)、24ビット (@aa:24)、または32ビット (@aa:32)です。

データ領域としては、8ビット (@aa:8)、16ビット (@aa:16)、または32ビット (@aa:32)を使用します。8ビット絶対アドレスの場合、上位24ビットはSBRで指定されず、16ビット絶対アドレスの場合、上位16ビットは符号拡張されます。32ビット絶対アドレスの場合、全アドレス空間をアクセスできます。

プログラム領域としては24ビット (@aa:24)、または32ビット (@aa:32)を使用します。24ビット (@aa:24)のとき上位8ビットはすべて0 (H'00) となります。

絶対アドレスのアクセス範囲を表2.13に示します。

表 2.13 絶対アドレスのアクセス範囲

絶対アドレス		ノーマルモード	ミドルモード	アドバンスモード	マキシマムモード
データ領域	8 ビット (@aa:8)	SBR を上位アドレスとした任意の連続した 256 バイト			
	16 ビット (@aa:16)	H'0000~H'FFFF	H'000000~ H'007FFF、 H'FF8000~ H'FFFFFF	H'00000000~H'00007FFF、 H'FFFF8000~H'FFFFFFF	
	32 ビット (@aa:32)			H'00000000~H'FFFFFFF	
プログラム領域	24 ビット (@aa:24)	H'000000~ H'FFFFFF	H'000000~ H'FFFFFF	H'00000000~H'00FFFFFF	
	32 ビット (@aa:32)			H'00000000~ H'00FFFFFF	H'00000000~ H'FFFFFFF

2.8.7 イミディエイト #xx

命令コード中に含まれる 8 ビット (#xx:8)、16 ビット (#xx:16)、または 32 ビット (#xx:32) のデータを直接オペランドとして使用します。

短縮形として、3 ビットまたは 4 ビットのイミディエイトデータを使用可能な場合があります。

データのサイズ (バイト/ワード/ロングワード) より、イミディエイトデータのビット数が小さい場合にはゼロ拡張されます。

なお、ADDS、SUBS、INC、DEC 命令では、イミディエイトデータが命令コード中に暗黙的に含まれます。ビット操作命令では、ビット番号を指定するための 3 ビットのイミディエイトデータが命令コード中に含まれる場合があります。BFLD、BFST 命令では、ビットフィールドを指定するための 8 ビットのイミディエイトデータが命令コードの中に含まれます。また、TRAPA 命令では、ベクタアドレスを指定するための 2 ビットのイミディエイトデータが命令コードの中に含まれます。

2.8.8 プログラムカウンタ相対 @ (d:8, PC) /@ (d:16, PC)

Bcc、BSR 命令で使用されます。PC の内容で指定される 32 ビットのアドレスに、命令コード中に含まれる 8 ビット、または 16 ビットディスプレースメントを加算して、32 ビットの分岐アドレスを生成します。加算に際して、ディスプレースメントは 32 ビットに符号拡張されます。また、加算される PC の内容は、次の命令の先頭アドレスとなっていますので、分岐可能範囲は分岐命令に対して、-126~+128 バイト (-63~+64 ワード)、または -32766~+32768 バイト (-16383~+16384 ワード) です。このとき、加算結果が偶数となるようにしてください。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.9 プログラムカウンタインデックス相対 @ (RnL,B, PC) /@ (Rn,W, PC) / @ (ERn,L, PC)

Bcc、BSR 命令で使用されます。命令コードのレジスタフィールドで指定されるアドレスレジスタの指定されたビット数 (RnL、Rn、ERn) の内容を 32 ビットにゼロ拡張し、2 を乗算し、乗算結果と PC の内容で指定される 32 ビットのアドレスを加算して、32 ビットの分岐アドレスを生成します。加算される PC の内容は、次の命令の先頭アドレスとなっています。アドバンスモードのとき、加算結果は下位 24 ビットが有効になり、上位 8 ビットはすべて 0 (H'00) と見なされます。

2.8.10 メモリ間接 @@aa:8

JMP、JSR 命令で使用されます。命令コード中に含まれる 8 ビット絶対アドレスでメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

8 ビット絶対アドレスの上位ビットはすべて 0 となりますので、分岐アドレスを格納できるのは、0~255 (ノーマルモードのとき H'0000~H'00FF、ノーマルモード以外のとき H'000000~H'0000FF) 番地です。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) とみなされます。

ただし、分岐アドレスを格納可能なアドレスの先頭領域は、例外処理ベクタ領域と共通になっていますので注意してください。なお、リセットおよび CPU アドレスエラー以外の例外処理ベクタのアドレスは VBR で変更できます。

メモリ間接による分岐アドレスの指定を図 2.15 に示します。

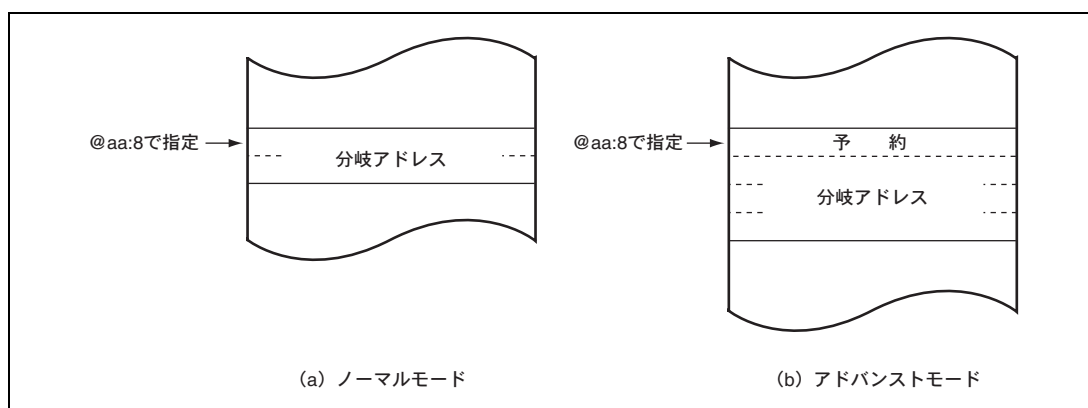


図 2.15 メモリ間接による分岐アドレスの指定

2.8.11 拡張メモリ間接 @@vec:7

JMP、JSR 命令で使用されます。命令コード中に含まれる 7 ビットのデータに H'80 を加算し、2 または 4 を乗算し、乗算結果でメモリ上のオペランドを指定し、この内容を分岐アドレスとして分岐します。

分岐アドレスを格納できるのは、ノーマルモードのとき H'0100~H'01FF、ノーマルモード以外のとき H'000200~H'0003FF 番地です。なお、アセンブラ表記上は、分岐アドレスを格納するアドレスを指定します。

ノーマルモードの場合は、メモリ上のオペランドはワードサイズで指定し、16 ビットの分岐アドレスを生成します。

そのほかの場合は、メモリ上のオペランドはロングワードサイズで指定します。ミドルモードとアドバンスドモードの場合は、このうち先頭の 1 バイトはすべて 0 (H'00) と見なされます。

2.8.12 実効アドレスの計算方法

各アドレッシングモードにおける実効アドレス (EA : Effective Address) の計算法を表 2.14、表 2.15 に示します。

CPU 動作モードに応じて、実効アドレス計算結果の下位ビットが有効になり、上位ビットは無視 (ゼロ拡張、または符号拡張) されます。

例えばミドルモードのとき、

1. 転送命令、演算命令の実効アドレスの下位 16 ビットが有効になり、上位 16 ビットは符号拡張されます。
2. 分岐命令では、実効アドレスの下位 24 ビットが有効になり、上位 8 ビットはゼロ拡張されます。

2. CPU

表 2.14 転送/演算命令の実効アドレスの計算方法






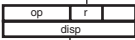
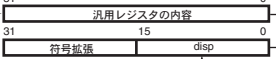
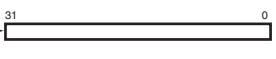

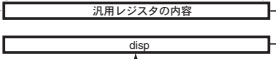
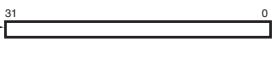

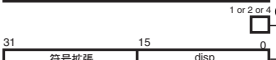
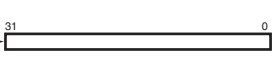

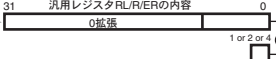


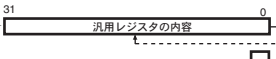
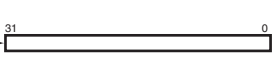

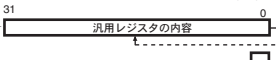
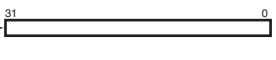

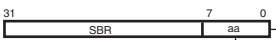
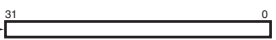






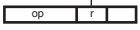



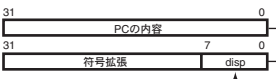

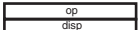
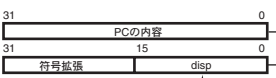


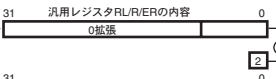


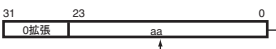


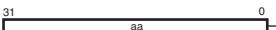

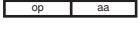
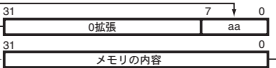

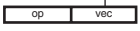
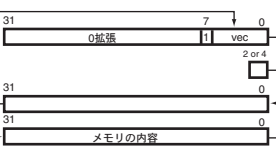

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	イミディエイト 		
2	レジスタ直接 		
3	レジスタ間接 		
4	・16ビットディスプレースメント付きレジスタ間接 		
	・32ビットディスプレースメント付きレジスタ間接 		
5	・16ビットディスプレースメントインデックスレジスタ間接 		
	・32ビットディスプレースメントインデックスレジスタ間接 		
6	・ポストインクリメント/デクリメントレジスタ間接 		
	・プリインクリメント/デクリメントレジスタ間接 		
7	・8ビット絶対アドレス 		
	・16ビット絶対アドレス 		
	・32ビット絶対アドレス 		

表 2.15 分岐命令の実効アドレスの計算方法

No.	アドレッシングモード・命令フォーマット	実効アドレスの計算方法	実効アドレス (EA)
1	レジスタ間接 	汎用レジスタの内容 	
2	・プログラムカウンタ相対ディスペースメント8ビット 		
	・プログラムカウンタ相対ディスペースメント16ビット 		
3	プログラムカウンタインデックスレジスタ相対 		
4	・24ビット絶対アドレス 		
	・32ビット絶対アドレス 		
5	メモリ間接 		
6	拡張メモリ間接 		

2.8.13 MOVA 命令

MOVA 命令は、実効アドレスを汎用レジスタに格納します。

- 表2.14のNo.2のアドレッシングモードでデータを取得します。
- 次に、このデータを表2.14のNo.5の汎用レジスタの代わりにインデックスとした実効アドレス計算を行い、その結果を汎用レジスタに格納します。

詳細は、「H8SX ファミリー ソフトウェアマニュアル」を参照してください。

2.9 処理状態

H8SX CPU の処理状態には、リセット状態、例外処理状態、プログラム実行状態、バス権解放状態、およびプログラム停止状態の 5 種類があります。処理状態間の状態遷移図を図 2.16 に示します。

- リセット状態

CPU および内蔵周辺モジュールがすべて初期化され、停止している状態です。リセット端子がLowレベルになると、実行中の処理はすべて中止され、CPUはリセット状態になります。リセット状態ではすべての割り込みが禁止されます。リセット端子をLowレベルからHighレベルにすると、リセット例外処理を開始します。リセットの詳細は「4. 例外処理」を参照してください。ウォッチドッグタイマを内蔵する製品では、ウォッチドッグタイマのオーバフローによってもリセットすることもできます。

- 例外処理状態

例外処理状態は、リセット、トレース、割り込み、またはトラップ命令の例外処理要因によってCPUが通常の処理状態の流れを変え、例外処理ベクタテーブルからスタートアドレス（ベクタ）を取り出してそのスタートアドレスに分岐する過渡的な状態です。詳細は「4. 例外処理」を参照してください。

- プログラム実行状態

CPUがプログラムを順次実行している状態です。

- バス権解放状態

CPU以外のバスマスタからのバス権要求に対してバス権を解放した状態です。バス権解放状態ではCPUは動作を停止します。

- プログラム停止状態

CPUが動作を停止し、消費電力を低下させた状態です。SLEEP命令の実行、またはハードウェアスタンバイモードへの遷移でCPUはプログラム停止状態になります。詳細は「23. 低消費電力」を参照してください。

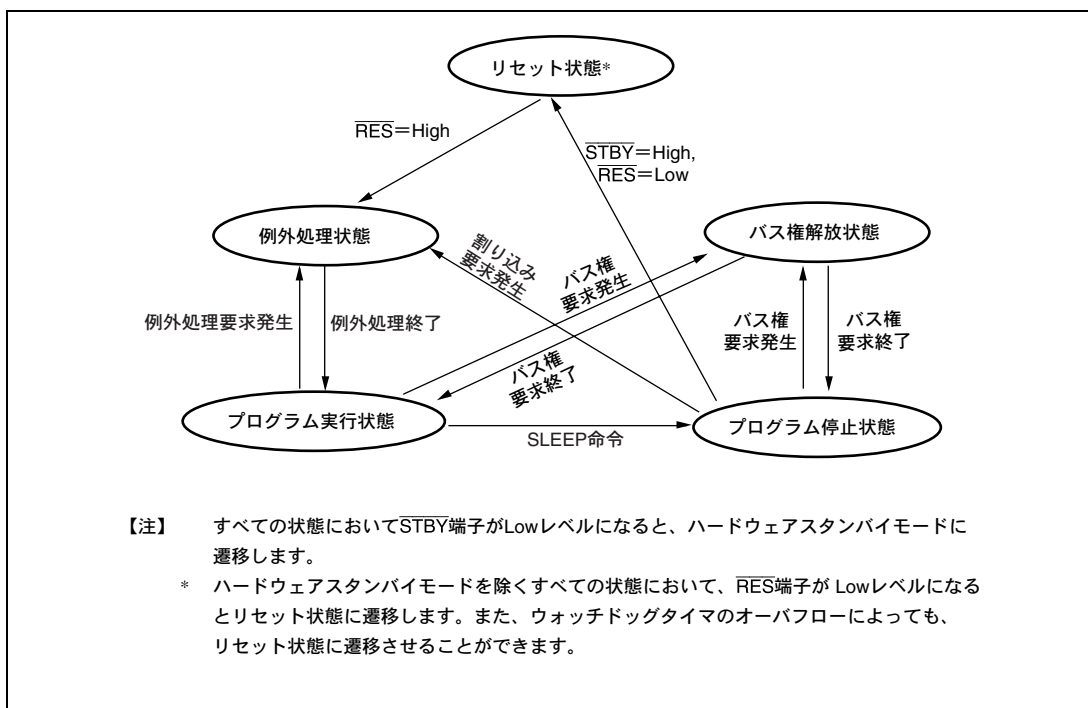


図 2.16 状態遷移図

2. CPU

3. MCU 動作モード

3.1 動作モードの選択

本 LSI には、5 種類の動作モード（2、4、5、6、7）があります。動作モードは、モード端子（MD2～MD0）の設定で決まります。各動作モードに対して、MD3 の設定で SDRAM インタフェースの有効無効を選択できます。表 3.1 に MCU 動作モードの選択を示します。

表 3.1 MCU 動作モードの選択

MCU 動作モード	MD2	MD1	MD0	CPU 動作モード	アドレス 空間	内容	内蔵 ROM	外部データバス	
								初期値	最大値
2	0	1	0	アドバンスト	16Mバイト	ブートモード	有効	8	16
4	1	0	0			内蔵 ROM 無効 拡張モード	無効	16	16
5	1	0	1			無効	8	16	
6	1	1	0			内蔵 ROM 有効 拡張モード	有効	8	16
7	1	1	1			シングルチップモード	有効	8	16

表 3.2 MCU 動作モードに対する SDRAM インタフェース設定選択

MD3	SDRAM インタフェース
0	無効
1	有効

CPU 動作モードはアドバンストモード、アドレス空間は 16M バイト、初期外部バス幅は 8 ビットまたは 16 ビットです。起動モードは、外部拡張、内蔵 ROM 起動、シングルチップ起動が選択できます。

モード 2 は、フラッシュメモリに書き込み／消去を行えるブートモードです。ブートモードについては、「21. フラッシュメモリ」を参照してください。

モード 7 は、シングルチップ起動モードです。初期状態では、すべてのエリアは 8 ビットアクセス空間となっています。すべての I/O ポートを入出力ポートとして使用できます。初期状態では外部アドレス空間を使用できませんが、システムコントロールレジスタ（SYSCR）の EXPE ビットの設定により、外部アドレス空間を使用することができます。外部アドレス空間を有効とした場合、各ポートのデータディレクションレジスタ（DDR）の設定により、ポート D、E、F をアドレス出力、ポート H、I をデータバスとすることができます。

モード 4、5、6 は、外部メモリおよび周辺デバイスをアクセスできる外部拡張モードです。外部拡張モードでは、プログラム実行開始後バスコントローラの設定により、外部アドレス空間をエリアごとに 8 ビット、16 ビットに設定できます。また、いずれか 1 つのエリアを 16 ビットアドレス空間にすると 16 ビットバスモードとなり、すべてのエリアを 8 ビットアクセス空間にすると 8 ビットバスモードとなります。

3. MCU 動作モード

3.2 レジスタの説明

動作モードに関連するレジスタには以下のものがあります。

- モードコントロールレジスタ (MDCR)
- システムコントロールレジスタ (SYSCR)

3.2.1 モードコントロールレジスタ (MDCR)

MDCR は、現在の動作モードのモニタ表示を行いません。MDCR をリードすると、MD3～MD0 端子の入カレベルがラッチされます。このラッチは、リセットで解除されます。

ビット	15	14	13	12	11	10	9	8
ビット名	MDS7	—	—	—	MDS3	MDS2	MDS1	MDS0
初期値:	不定*	1	0	1	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	不定*	1	0	1	不定*	不定*	不定*	不定*
R/W:	R	R	R	R	R	R	R	R

【注】 * MD3～MD0端子の設定により決定されます。

ビット	ビット名	初期値	R/W	説明
15	MDS7	不定*	R	モード端子 (MD3) により設定された値を示します。 MDCR をリードすると MD3 端子の入カレベルがラッチされます。このラッチはリセットで解除されます。
14	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
13	—	0	R	
12	—	1	R	
11	MDS3	不定*	R	モードセレクト 3～0 モード端子 (MD2～MD0) により設定された動作モードに対応した値を示します (表 3.2 参照)。MDCR をリードすると、MD2～MD0 端子の入カレベルがこれらのビットにラッチされます。このラッチはリセットで解除されます。
10	MDS2	不定*	R	
9	MDS1	不定*	R	
8	MDS0	不定*	R	
7	—	不定*	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
6	—	1	R	
5	—	0	R	
4	—	1	R	
3	—	不定*	R	
2	—	不定*	R	
1	—	不定*	R	
0	—	不定*	R	

【注】 * MD3～MD0 端子の設定により決定されます。

表 3.3 MDS3～MDS0 ビットの値

MCU 動作モード	モード端子			MDCR			
	MD2	MD1	MD0	MDS3	MDS2	MDS1	MDS0
2	0	1	0	1	1	0	0
4	1	0	0	0	0	1	0
5	1	0	1	0	0	0	1
6	1	1	0	0	1	0	1
7	1	1	1	0	1	0	0

3.2.2 システムコントロールレジスタ (SYSCR)

SYSCR は、MAC 飽和演算制御、命令フェッチでのバス幅モードの選択、外部バスモードの設定、内蔵 RAM の有効/無効、DTC のアドレスマップの選択を行ないます。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	MACS	—	FETCHMD	—	EXPE	RAME
初期値:	1	1	0	1	0	不定*	不定*	1
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	DTCMD	—
初期値:	0	0	0	0	0	0	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、起動動作モードにより変わります。

ビット	ビット名	初期値	R/W	説明
15	—	1	R/W	リザーブビット
14	—	1	R/W	リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
13	MACS	0	R/W	MAC 飽和演算制御 MAC 命令の飽和演算、非飽和演算を選択します。 0 : MAC 命令は非飽和演算 1 : MAC 命令は飽和演算
12	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。

3. MCU 動作モード

ビット	ビット名	初期値	R/W	説 明
11	FETCHMD	0	R/W	命令フェッチモードセレクト H8SX CPU は命令フェッチについて 16 ビットモードと 32 ビットモードの 2 つのモードを持っています。プログラムを格納するメモリのバス幅に合わせて設定することを推奨します。*1 0 : 32 ビットモード 1 : 16 ビットモード
10	—	不定*2	R	リザーブビット 内蔵 ROM 有効モードでは、1 に固定されており、内蔵 ROM 無効モードでは、0 に固定されています。ライトは無効です。
9	EXPE	不定*2	R/W	外部バスモードイネーブル 外部バスモードを設定します。外部拡張モードでは、1 に固定されており、ライトは無効です。シングルチップモードでは、初期値が 0 で、リード/ライトできます。EXPE=1 の状態をリード後、0 をライトするときは、外部バスサイクルが実行されていない状態で行なってください。ライトデータバッファ機能などにより、外部バスと内部バスが並列に実行される場合があります。 0 : 外部バス無効 1 : 外部バス有効
8	RAME	1	R/W	RAM イネーブル 内蔵 RAM の有効または無効を選択します。このビットは、リセットを解除したとき初期化されます。内蔵 RAM アクセス中に 0 ライトを行わないでください。 0 : 内蔵 RAM 無効 1 : 内蔵 RAM 有効
7~2	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
1	DTCMD	1	R/W	DTC モードセレクト DTC の動作モードを選択します。 0 : DTC はフルアドレスモード 1 : DTC はショートアドレスモード
0	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。

- 【注】
1. 命令フェッチモードの詳細は「2.3 命令フェッチ」を参照してください。
 2. 初期値は、起動動作モードにより変わります。

3.3 動作モードの説明

3.3.1 モード 2

フラッシュメモリのブートモードです。フラッシュメモリへの書き込み/消去以外は、モード 7 と同様の動作となります。詳細は「21. フラッシュメモリ (0.18 μ m F-ZTAT 版)」を参照してください。

3.3.2 モード 4

CPU 動作モードはアドバンスモードで、アドレス空間は 16Mバイトです。内蔵 ROM は無効です。リセット直後は 16 ビットバスモードで、すべてのエリアは 16 ビットアクセス空間となります。ポート D、E、F がアドレスバス、ポート H、I がデータバス、ポート A、B の一部がバス制御信号となります。ただし、バスコントローラにより、すべてのエリアを 8 ビットアドレス空間に設定すると 8 ビットバスモードとなり、ポート H がデータバスとなります。

3.3.3 モード 5

CPU 動作モードはアドバンスモードで、アドレス空間は 16Mバイトです。内蔵 ROM は無効です。リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ポート D、E、F がアドレスバス、ポート H がデータバス、ポート A、B の一部がバス制御信号となります。ただし、バスコントローラにより、いずれか 1 つのエリアを 16 ビットアドレス空間に設定すると 16 ビットバスモードとなり、ポート H、I がデータバスとなります。

3.3.4 モード 6

CPU 動作モードはアドバンスモードで、アドレス空間は 16Mバイトです。内蔵 ROM は有効です。リセット直後は 8 ビットバスモードで、すべてのエリアは 8 ビットアクセス空間となります。ポート D、E、F は入力ポートになっていますが、各ポートのデータディレクションレジスタ (DDR) の設定により、アドレスバスとすることができます。詳細は「9. I/O ポート」を参照してください。ポート H がデータバス、ポート A、B の一部がバス制御信号となります。ただし、バスコントローラにより、いずれか 1 つのエリアを 16 ビットアドレス空間に設定すると 16 ビットバスモードとなり、ポート H、I がデータバスとなります。

3.3.5 モード 7

CPU 動作モードはアドバンスモードで、アドレス空間は 16Mバイトです。内蔵 ROM は有効です。初期状態では、すべてのエリアは 8 ビットアクセス空間となっています。すべての I/O ポートを入出力ポートとして使用できます。初期状態では外部アドレス空間を使用できませんが、SYSCR の EXEP ビットの設定により、外部アドレス空間を使用することができます。外部アドレス空間を有効とした場合、各ポートのデータディレクションレジスタ (DDR) の設定により、ポート D、E、F をアドレス出力、ポート H、I をデータバスとすることができます。詳細は、「9. I/O ポート」を参照してください。

3. MCU 動作モード

3.3.6 端子機能

各動作モードにおける端子機能の一覧を表 3.4 に示します。

表 3.4 各動作モードにおける端子機能（アドバンスモード）

MCU 動作 モード	ポート A			ポート B		ポート C	ポート D	ポート E	ポート F		ポート H	ポート I
	PA7	PA6-3	PA2-0	PB7-1	PB0	PC3-2			PF4-0	PF7-5		
2	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D
4	P/C*	P/C*	P*/C	P*/C	P/C*	P*/C	A	A	A	P*/A	D	P/D*
5	P/C*	P/C*	P*/C	P*/C	P/C*	P*/C	A	A	A	P*/A	D	P*/D
6	P/C*	P/C*	P*/C	P*/C	P*/C	P*/C	P*/A	P*/A	P*/A	P*/A	D	P*/D
7	P*/C	P*/C	P*/C	P*/C	P*/C	P*/C	P*/A	P*/A	P*/A	P*/A	P*/D	P*/D

【記号説明】

P：入出力ポート

A：アドレスバス出力

D：データバス入出力

C：制御信号／クロック入出力

*：リセット直後

3.4 アドレスマップ

3.4.1 アドレスマップ

各動作モードのアドレスマップを図 3.1、図 3.2 に示します。

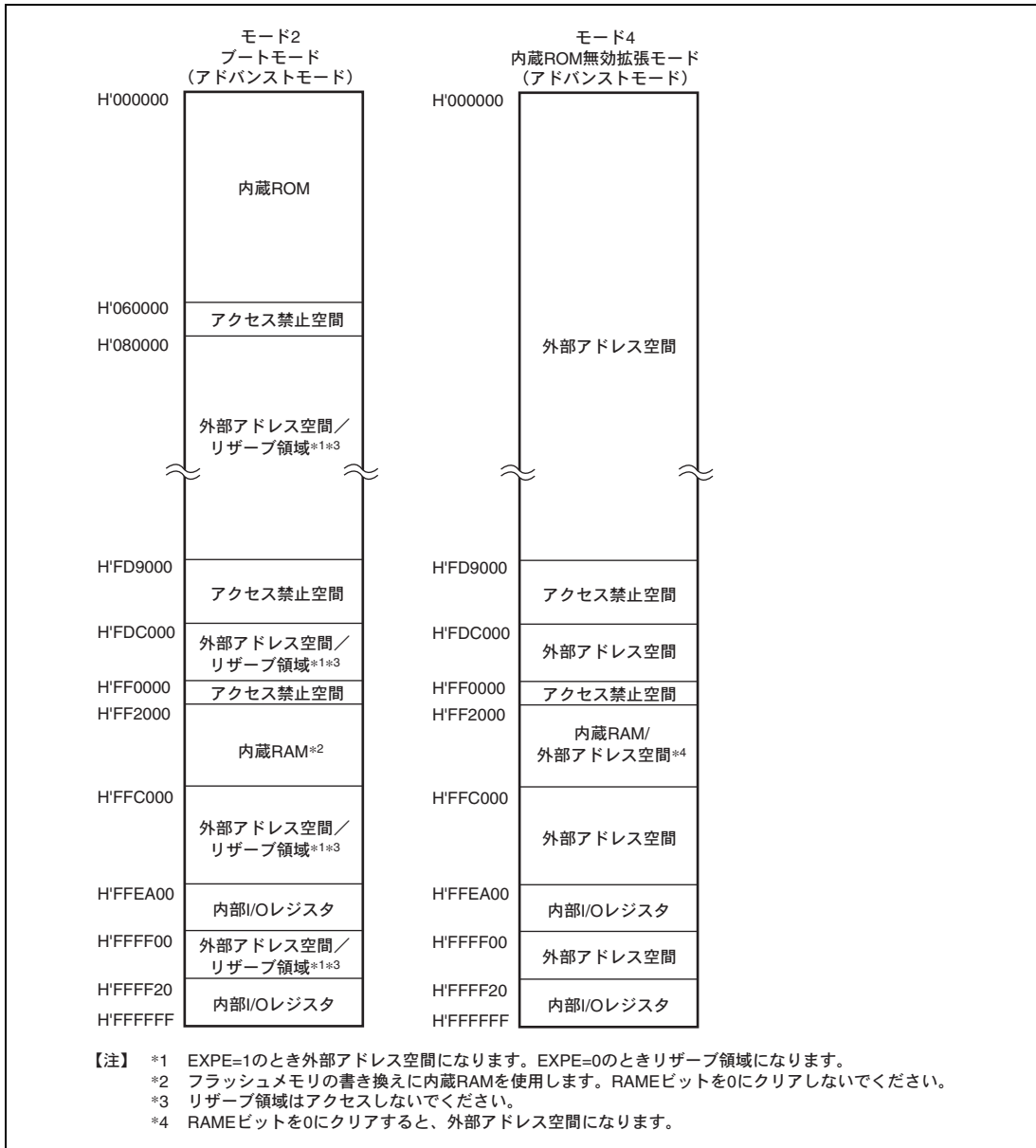


図 3.1 H8SX/1663 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

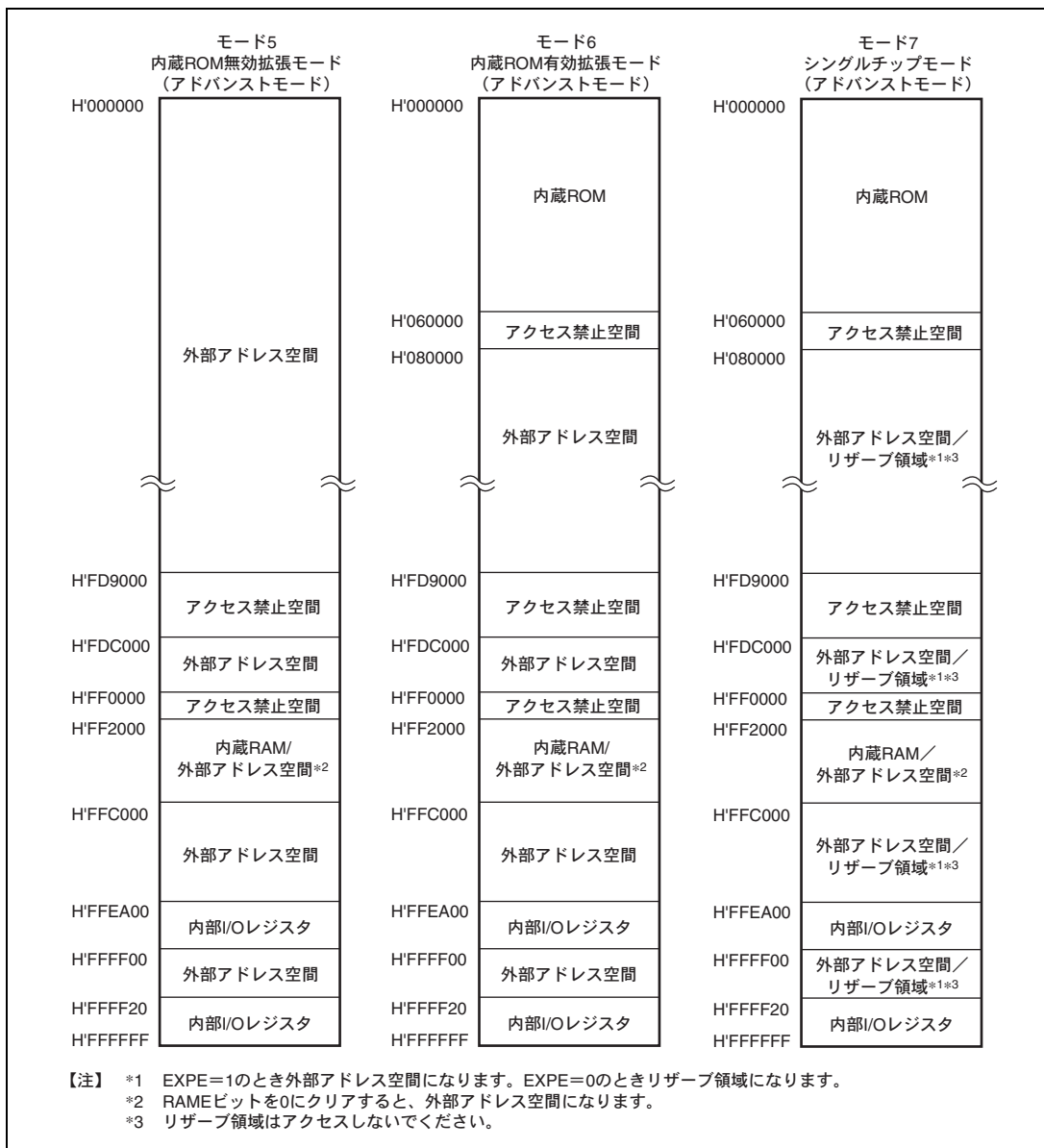


図 3.1 H8SX/1663 の各動作モードのアドレスマップ (2)

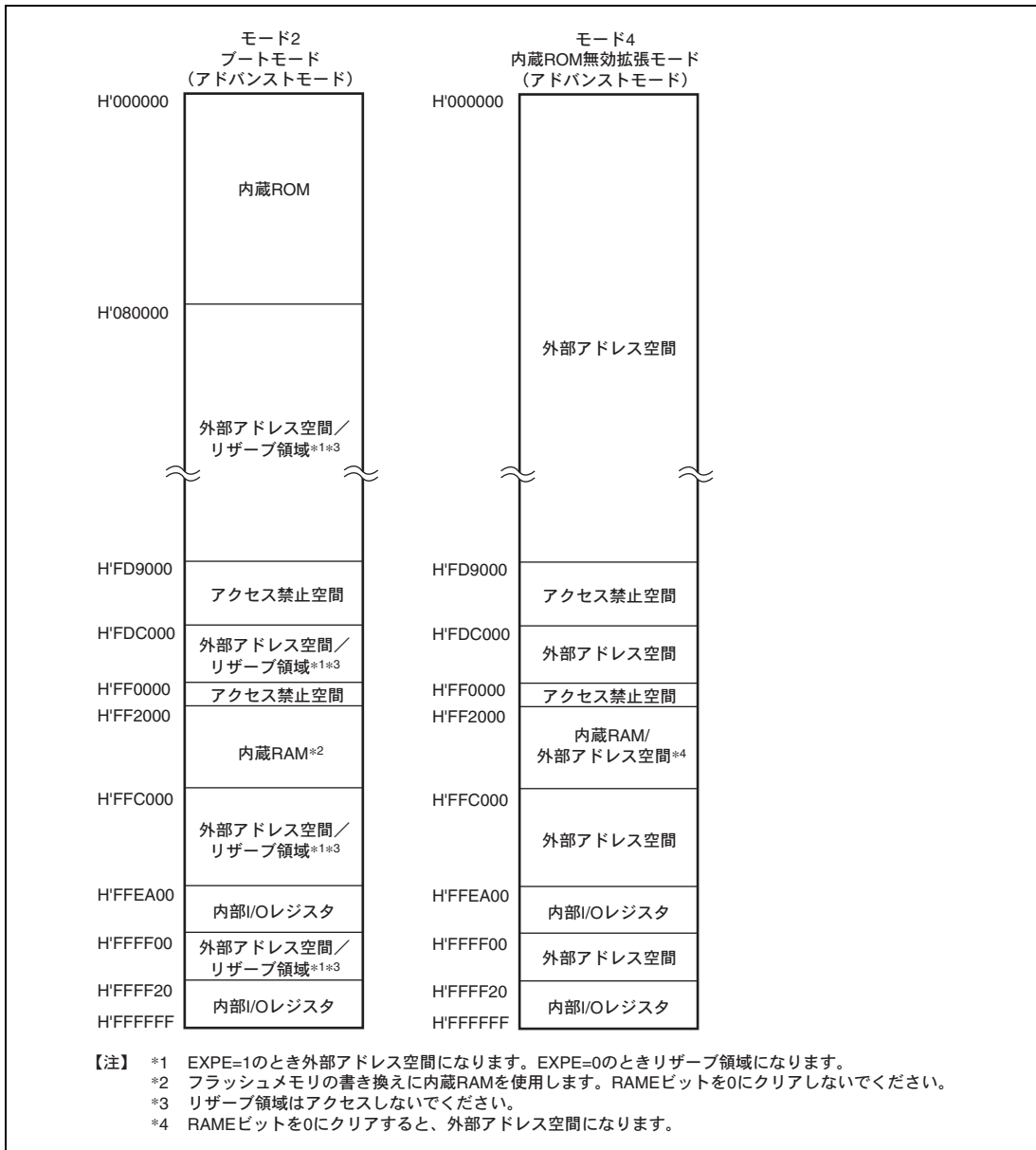


図 3.2 H8SX/1664 の各動作モードのアドレスマップ (1)

3. MCU 動作モード

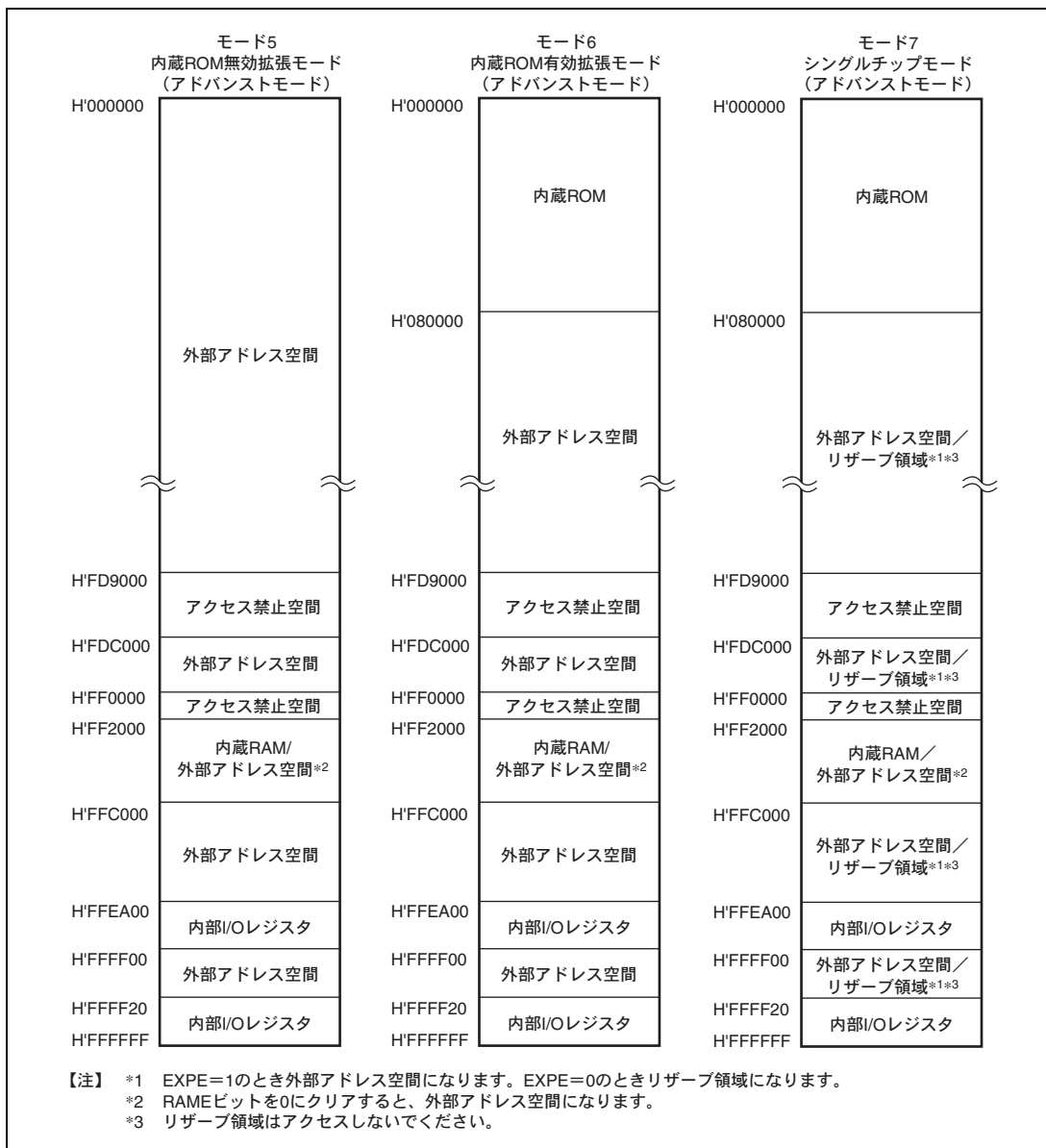


図 3.2 H8SX/1664 の各動作モードのアドレスマップ (2)

4. 例外処理

4.1 例外処理の種類と優先度

例外処理要因には、表 4.1 に示すように、リセット、トレース、アドレスエラー、割り込み、トラップ命令、スリープ命令、および不当命令（一般不当命令、スロット不当命令）があります。これらの例外処理要因には、表 4.1 のように優先順位が設けられており、複数の例外処理要因が同時に発生した場合は、この優先度に従って受け付けられます。例外処理は割り込み制御モードによって、例外処理要因やスタックの構造、CPU の動作が異なります。割り込み制御モードの詳細については、「5. 割り込みコントローラ」を参照してください。

表 4.1 例外処理の種類と優先度

優先度	例外処理の種類	例外処理開始タイミング
↑ 高	リセット	RES 端子の Low レベルから High レベルへの変化、または、ウォッチドッグタイマのオーバーフローにより開始します。RES 端子が Low レベルのときリセット状態になります。
	不当命令	未定義コードが実行されると開始します。
	トレース* ¹	EXR のトレース (T) ビット=1 の状態で、実行中の命令または例外処理の完了後開始します。
	アドレスエラー	アドレスエラーのバスサイクルが発生後、命令実行終了時に例外処理を開始します。
	割り込み	割り込み要求が発生すると、実行中の命令または例外処理の完了後開始します。* ²
	スリープ命令	SBYCR の SSBY ビット=0、SLPIE ビット=1 の状態でスリープ (SLEEP) 命令を実行すると、例外処理を開始します。
低	トラップ命令* ³	トラップ (TRAPA) 命令の実行により開始します。

【注】 *1 トレースは割り込み制御モード 2 でのみ有効です。トレース例外処理は、RTE 命令の実行終了後には実行しません。

*2 ANDC、ORC、XORC、LDC 命令の実行終了時点、またはリセット例外処理の終了時点では割り込みの検出を行いません。

*3 トラップ命令例外処理、スリープ命令例外処理は、プログラム実行状態で常に受け付けられます。

4. 例外処理

4.2 例外処理要因とベクタテーブル

例外処理要因には、それぞれ異なるベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、ベクタベースレジスタ（VBR）の値と対応するベクタ番号のベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

例外処理要因と、ベクタテーブルアドレスオフセットとの対応を表 4.2 に示します。例外処理ベクタテーブルアドレスの算出法を表 4.3 に示します。

表 4.2 例外処理ベクタテーブル

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット*1	
		ノーマルモード*2	アドバンストモード ミドルモード*2 マキシマムモード*2
リセット	0	H'0000~H'0001	H'0000~H'0003
システム予約	1	H'0002~H'0003	H'0004~H'0007
	2	H'0004~H'0005	H'0008~H'000B
	3	H'0006~H'0007	H'000C~H'000F
不当命令	4	H'0008~H'0009	H'0010~H'0013
トレース	5	H'000A~H'000B	H'0014~H'0017
システム予約	6	H'000C~H'000D	H'0018~H'001B
割り込み（NMI）	7	H'000E~H'000F	H'001C~H'001F
トラップ命令（#0）	8	H'0010~H'0011	H'0020~H'0023
トラップ命令（#1）	9	H'0012~H'0013	H'0024~H'0027
トラップ命令（#2）	10	H'0014~H'0015	H'0028~H'002B
トラップ命令（#3）	11	H'0016~H'0017	H'002C~H'002F
CPU アドレスエラー	12	H'0018~H'0019	H'0030~H'0033
DMA アドレスエラー*3	13	H'001A~H'001B	H'0034~H'0037
システム予約	14	H'001C~H'001D	H'0038~H'003B
	17	H'0022~H'0023	H'0044~H'0047
スリープ命令	18	H'0024~H'0025	H'0048~H'004B
システム予約	19	H'0026~H'0027	H'004C~H'004F
	23	H'002E~H'002F	H'005C~H'005F
ユーザエリア （空き領域）	24	H'0030~H'0031	H'0060~H'0063
	63	H'007E~H'007F	H'00FC~H'00FF

例外処理要因	ベクタ番号	ベクタテーブルアドレスオフセット*1	
		ノーマルモード*2	アドバンストモード ミドルモード*2 マキシマムモード*2
外部割り込み IRQ0	64	H'0080~H'0081	H'0100~H'0103
外部割り込み IRQ1	65	H'0082~H'0083	H'0104~H'0107
外部割り込み IRQ2	66	H'0084~H'0085	H'0108~H'010B
外部割り込み IRQ3	67	H'0086~H'0087	H'010C~H'010F
外部割り込み IRQ4	68	H'0088~H'0089	H'0110~H'0113
外部割り込み IRQ5	69	H'008A~H'008B	H'0114~H'0117
外部割り込み IRQ6	70	H'008C~H'008D	H'0118~H'011B
外部割り込み IRQ7	71	H'008E~H'008F	H'011C~H'011F
外部割り込み IRQ8	72	H'0090~H'0091	H'0120~H'0123
外部割り込み IRQ9	73	H'0092~H'0093	H'0124~H'0127
外部割り込み IRQ10	74	H'0094~H'0095	H'0128~H'012B
外部割り込み IRQ11	75	H'0096~H'0097	H'012C~H'012F
システム予約	76	H'0098~H'0099	H'0130~H'0133
	79	H'009E~H'009F	H'013C~H'013F
内部割り込み*4	80	H'00A0~H'00A1	H'0140~H'0143
	255	H'01FE~H'01FF	H'03FC~H'03FF

【注】 *1 先頭アドレスの下位 16 ビットを示しています。

*2 本 LSI では使用できません。

*3 DMA アドレスエラーの要因発生元は、DTC と DMAC です。

*4 割り込みのベクタテーブルは、「5.5 割り込み例外処理ベクタテーブル」を参照してください。

表 4.3 例外処理ベクタテーブルアドレスの算出法

例外処理要因	ベクタテーブルアドレス算出法
リセット、CPU アドレスエラー	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット)
上記以外	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット)

【注】 VBR : ベクタベースレジスタ

ベクタテーブルアドレスオフセット : 表 4.2 を参照

4.3 リセット

リセットは、最も優先順位の高い例外処理です。

$\overline{\text{RES}}$ 端子が Low レベルになると、実行中の処理はすべて打ち切れ、本 LSI はリセット状態になります。本 LSI を確実にリセットするために、電源投入時は $\overline{\text{STBY}}$ 端子を High レベルにし、最低 20ms の間、 $\overline{\text{RES}}$ 端子を Low レベルに保持してください。動作中は $\overline{\text{RES}}$ 端子を最低 20 ステートの間、Low レベルに保持してください。

また、ウォッチドッグタイマのオーバフローによって、リセット状態とすることもできます。詳細は「14. ウォッチドッグタイマ (WDT)」を参照してください。

リセットによって、CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化されます。リセット直後は、割り込み制御モードは 0 になっています。

4.3.1 リセット例外処理

$\overline{\text{RES}}$ 端子が一定期間 Low レベルの後 High レベルになると、リセット例外処理を開始し、本 LSI は次のように動作します。

1. CPU の内部状態と内蔵周辺モジュールの各レジスタが初期化され、VBR が H'00000000 にクリアされ、EXR の T ビットが 0 にクリアされます。EXR、CCR の 1 ビットは 1 にセットされます。
2. リセット例外処理ベクタアドレスをリードして PC に転送した後、PC で示されるアドレスからプログラムの実行を開始します。

リセットシーケンスの例を図 4.1、図 4.2 に示します。

4.3.2 リセット直後の割り込み

リセット直後、スタックポインタ (SP) を初期化する前に割り込みを受け付けると、PC と CCR の退避が正常に行われなため、プログラムの暴走につながります。これを防ぐため、リセット例外処理が実行された直後は、NMI を含めたすべての割り込み要求が禁止されます。すなわち、リセット直後はプログラムの先頭 1 命令が必ず実行されますので、プログラム先頭命令は SP を初期化する命令としてください (例: MOV.L #xx, SP)。

4.3.3 リセット解除後の内蔵周辺機能

リセット解除後、MSTPCRA は H'0FFF、MSTPCRB は H'FFFF に初期化され、DMAC と DTC を除くすべてのモジュールがモジュールストップ状態になっています。そのため、各内蔵周辺モジュールのレジスタは、リード/ライトできません。モジュールストップ状態を解除することにより、レジスタのリード/ライトが可能となります。

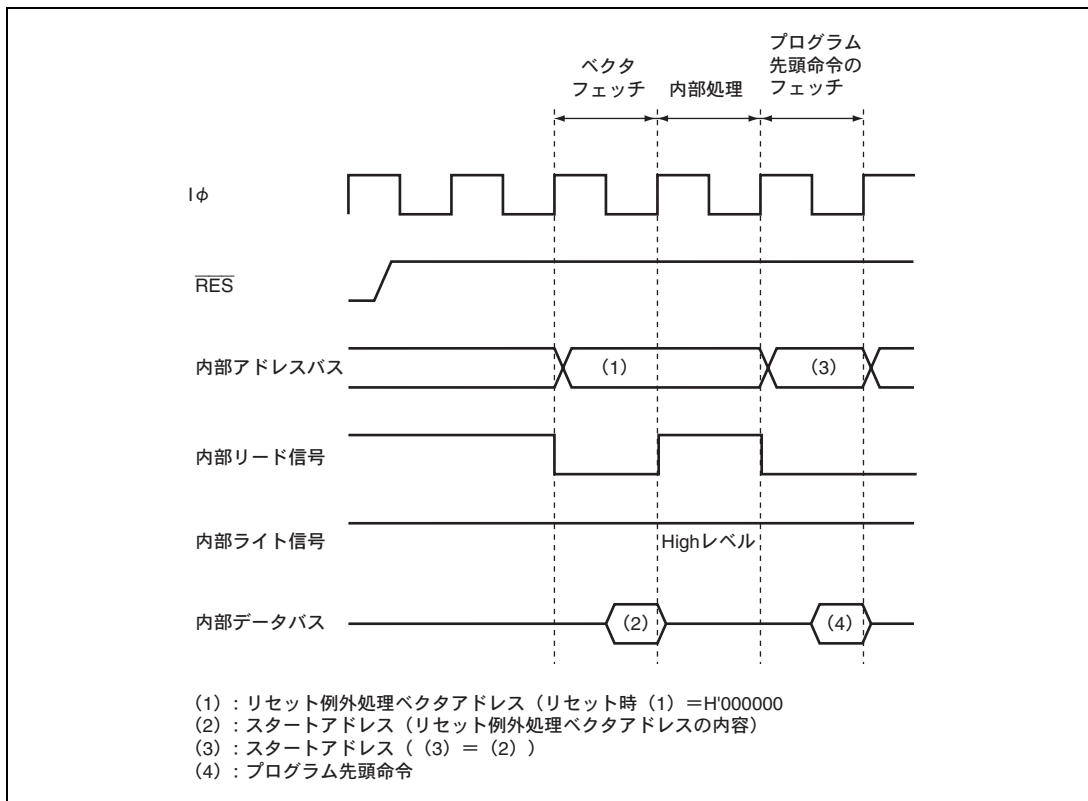


図 4.1 リセットシーケンス (アドバンスモード/内蔵 ROM 有効)

4. 例外処理

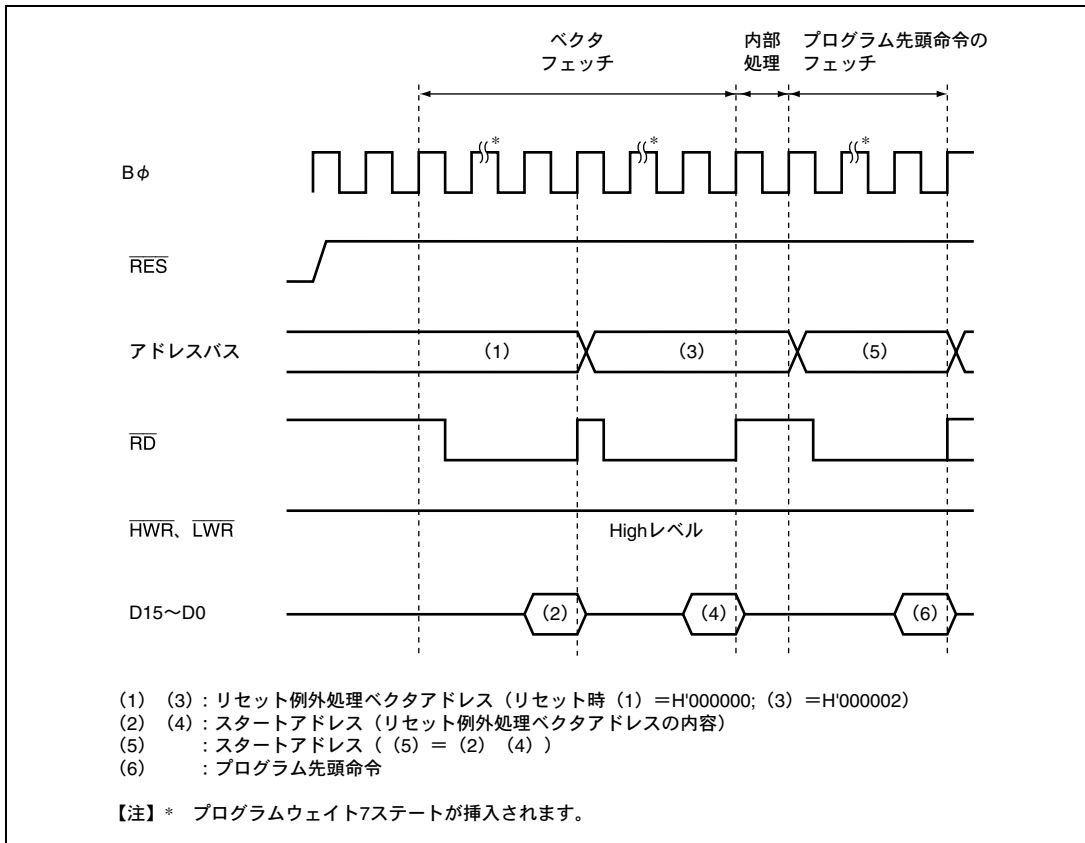


図 4.2 リセットシーケンス (アドバンスモード/内蔵 ROM 無効/外部 16 ビットアクセス空間)

4.4 トレース例外処理

トレースは、割り込み制御モード2で有効です。割り込み制御モード0では、Tビットの状態にかかわらず、トレースモードにはなりません。割り込み制御モードを変更する場合は、Tビット=0の状態で行ってください。割り込み制御モードについては、「5. 割り込みコントローラ」を参照してください。

EXRのTビットを1にセットすると、トレースモードになります。トレースモードではCPUが1命令の実行を完了するたびにトレース例外処理を開始します。トレース例外処理はCCRの割り込みマスクビットの影響を受けません。表4.4にトレース例外処理後のCCR、EXRの状態を示します。トレース例外処理によってEXRのTビットが0にクリアされてトレースモードが解除されますが、スタックに退避されたTビットは1を保持しており、RTE命令によってトレース例外処理ルーチンから復帰した後は再びトレースモードになります。RTE命令の実行ではトレース例外処理を行いません。

トレース例外処理ルーチンでも割り込みを受け付けます。

表 4.4 トレース例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	トレース例外処理は使用できません。			
2	1	—	0	—

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.5 アドレスエラー

4.5.1 アドレスエラー発生要因

アドレスエラーは、表 4.5 に示すように命令フェッチ、スタック操作、データ読み出し／書き込み時に発生します。

表 4.5 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*1 以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*1 から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
		アクセス禁止空間*2 から命令をフェッチ	アドレスエラー発生
スタック操作	CPU	スタックポインタの値が偶数アドレスでスタックをアクセス	なし（正常）
		スタックポインタの値が奇数アドレスでスタックをアクセス	アドレスエラー発生
データ読み出し ／書き込み	CPU	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間*2 をアクセス	アドレスエラー発生
データ読み出し ／書き込み	DTC/ DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	なし（正常）
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生
		アクセス禁止空間*2 をアクセス	アドレスエラー発生
シングルアドレス 転送	DMAC	シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間	なし（正常）
		シングルアドレス転送時にアドレスアクセス空間が外部メモリ空間以外の空間	アドレスエラー発生

【注】 *1 内蔵周辺モジュール空間については、「6. バスコントローラ（BSC）」を参照してください。

*2 アクセス禁止空間については、「3.4 アドレスマップ」の図 3.1 を参照してください。

4.5.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生したアドレスエラーに対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

アドレスエラー例外処理に遷移するときにアドレスエラーが発生した場合、そのときのアドレスエラーは受け付けません。これは例外処理のスタッキングで発生するアドレスエラーを回避して、無限にアドレスエラー例外処理によるスタッキングが続かないようにするためです。

アドレスエラー例外処理が発生したときにSPが2の倍数になっていない場合、スタックされた値（PC、CCR、EXR）は不定です。

また、アドレスエラーが発生すると、DTC、DMACを停止させるために次の制御を行います。

- DTCのDTCCRのERRビットを1にセット
- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

表 4.6 にアドレスエラー例外処理後の CCR、EXR の状態を示します。

表 4.6 アドレスエラー例外処理後の CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	7

【記号説明】

1：1 にセットされます。

0：0 にクリアされます。

—：実行前の値が保持されます。

4. 例外処理

4.6 割り込み

4.6.1 割り込み要因

割り込み例外処理を起動させる要因には、表 4.7 に示すように NMI、IRQ0～IRQ11、内蔵周辺モジュールがあります。

表 4.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
IRQ0～IRQ11	IRQ0～IRQ11 端子 (外部からの入力)	12
内蔵周辺モジュール	DMA コントローラ (DMAC)	8
	ウォッチドックタイマ (WDT)	1
	A/D 変換器	1
	16 ビットタイマパルスユニット (TPU)	26
	8 ビットタイマ (TMR)	16
	シリアルコミュニケーションインタフェース (SCI)	24
	I ² C バスインタフェース 2 (IIC2)	2
USB ファンクションモジュール (USB)	5	

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「5. 割り込みコントローラ」の「表 5.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位」を参照してください。

4.6.2 割り込み例外処理

割り込みは、割り込みコントローラによって制御されます。割り込み制御には、2つの割り込み制御モードがあり、NMI 以外の割り込みに 8 レベルの優先順位/マスクレベルを設定して、多重割り込みの制御を行うことができます。割り込み例外処理を開始させる要因とベクタアドレスは製品によって異なります。詳細は「5. 割り込みコントローラ」を参照してください。

割り込み例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 割り込み要因に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

4.7 命令による例外処理

例外処理を起動する命令には、トラップ命令、スリープ命令、不当命令があります。

4.7.1 トラップ命令例外処理

トラップ命令例外処理は、TRAPA 命令を実行すると例外処理を開始します。トラップ命令例外処理はプログラム実行状態で常に実行可能です。

トラップ命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. TRAPA命令で指定したベクタ番号に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

TRAPA 命令は、命令コード中で指定した0~3のベクタ番号に対応するベクタテーブルからスタートアドレスを取り出します。

トラップ命令例外処理実行後のCCR、EXRの状態を表4.8に示します。

表 4.8 トラップ命令例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.7.2 スリープ命令例外処理

スリープ命令例外処理は、SBYCR の SSBY ビット=0、SLPIE ビット=1 の状態で、スリープ (SLEEP) 命令を実行すると、例外処理を開始します。スリープ命令例外処理はプログラム実行状態で常に実行可能です。

このとき、CPU は次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. SLEEP命令に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

SLEEP 命令実行後、CPU 以外のバスマスタがバス権を取る場合があります。このとき、SLEEP 命令実行後、CPU 以外のバスマスタの動作が終了し、CPU がバス権を取った時点で、スリープ命令例外処理を開始します。

表 4.9 にスリープ命令例外処理後の CCR、EXR の状態を示します。

表 4.9 スリープ命令例外処理との CCR、EXR の状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	7

【記号説明】

- 1 : 1 にセットされます。
- 0 : 0 にクリアされます。
- : 実行前の値が保持されます。

4.7.3 不当命令例外処理

不当命令には、一般不当命令とスロット不当命令があります。

一般不当命令例外処理は、未定義コードを実行すると例外処理を開始します。

スロット不当命令例外処理は、遅延スロットの命令（遅延分岐命令の直後の命令）として、2ワード以上の命令、またはPCを書き換える命令を実行すると例外処理を開始します。

一般不当命令例外処理、およびスロット不当命令例外処理は、プログラム実行状態で常に実行可能です。

一般不当命令例外処理、およびスロット不当命令例外処理は、次のように動作します。

1. PCとCCR、EXRの内容をスタックに退避します。
2. 割り込みマスクビットを更新し、Tビットを0にクリアします。
3. 発生した例外に対応する例外処理ベクタテーブルアドレスを生成し、ベクタテーブルから例外サービスルーチンスタートアドレスをPCにロードして、その番地からプログラムの実行を開始します。

表4.10に不当命令例外処理後のCCR、EXRの状態を示します。

表 4.10 不当命令例外処理後のCCR、EXRの状態

割り込み制御モード	CCR		EXR	
	I	UI	T	I2~I0
0	1	—	—	—
2	1	—	0	—

【記号説明】

- 1 : 1にセットされます。
- 0 : 0にクリアされます。
- : 実行前の値が保持されます。

4. 例外処理

4.8 例外処理後のスタックの状態

例外処理後のスタックの状態を図 4.3 に示します。

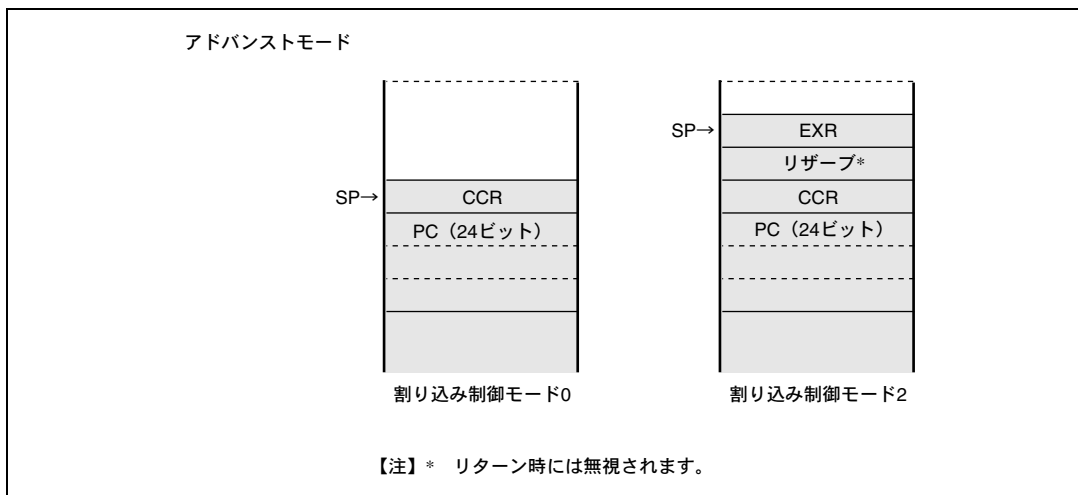


図 4.3 例外処理終了後のスタックの状態

4.9 使用上の注意事項

スタックを操作するアクセスを行う場合は、アドレスの最下位ビットは 0 と見なされます。スタック領域に対するアクセスは、常にワードサイズまたはロングワードサイズで行い、スタックポインタ (SP : ER7) の内容は奇数にしないでください。

すなわち、レジスタの退避は、

```
PUSH.W Rn (MOV.W Rn, @-SP)
```

```
PUSH.L ERn (MOV.L ERn, @-SP)
```

また、レジスタの復帰は、

```
POP.W Rn (MOV.W @SP+, Rn)
```

```
POP.L ERn (MOV.L @SP+, ERn)
```

を使用してください。

SP を奇数に設定した状態でスタック操作を行うとアドレスエラーが発生します。SP を奇数に設定した場合の動作例を図 4.4 に示します。

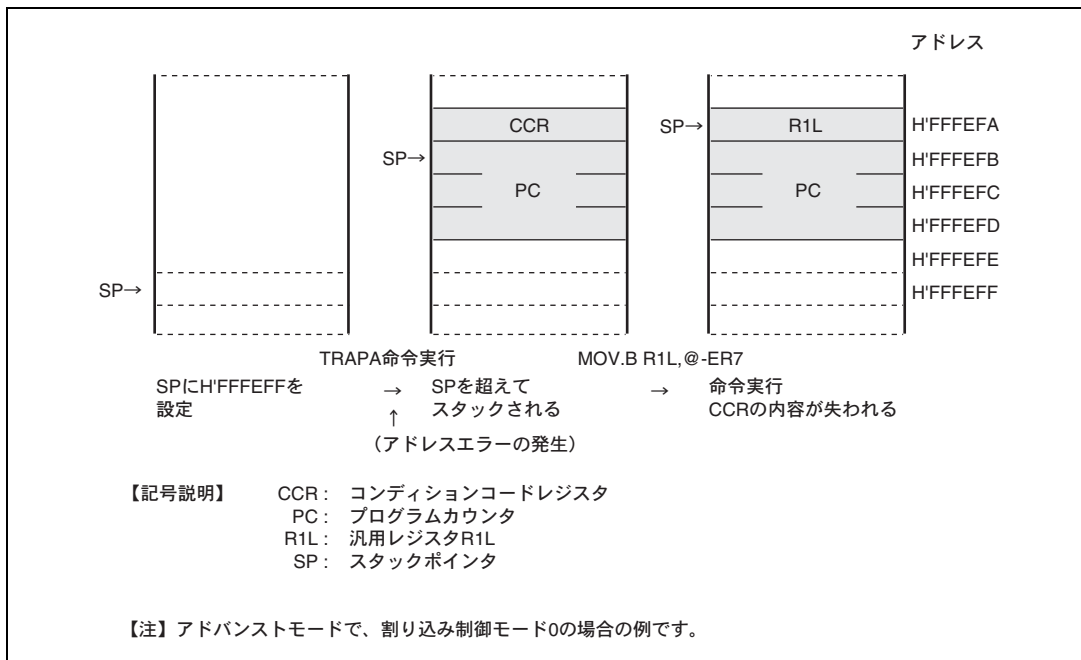


図 4.4 SP を奇数に設定したときの動作

4. 例外处理

5. 割り込みコントローラ

5.1 特長

- 2種類の割り込み制御モード

割り込みコントロールレジスタ (INTCR) のINTM1、INTM0ビットにより、2種類の割り込み制御モードを選択できます。

- インタラプトプライオリティレジスタ (IPR) により、優先順位を設定可能

IPRにより、以下に示した割り込み要求以外は、モジュールごとに8レベルの優先順位を設定できます。(1)～(7)の要求は、最優先のレベル8の割り込みとして常に受け付けられます。

- (1) NMI
- (2) 不当命令
- (3) トレース
- (4) トラップ命令
- (5) CPUアドレスエラー
- (6) DMAアドレスエラー*
- (7) スリープ命令

【注】* DMA アドレスエラーの要因発生元は、DTC と DMAC です。

- 独立したベクタアドレス

すべての割り込み要因には独立したベクタアドレスが割り当てられており、割り込み処理ルーチンで要因を判別する必要がありません。

- 13本の外部割り込み端子

NMIは最優先の割り込みで常に受け付けられます。NMIは立ち上がりエッジ、または立ち下がりエッジを選択できます。 $\overline{\text{IRQ11}}\sim\overline{\text{IRQ0}}$ は立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかをそれぞれ独立に選択できます。

- DTC、DMACの制御

割り込み要求により、DTCおよびDMACを起動することができます。

- CPUの優先レベル制御機能

CPUと、DTC、DMACとの間の優先レベルを設定できます。CPUの優先レベルは例外処理により自動設定することが可能で、CPUの割り込み例外処理などをDTC、DMACの転送処理よりも優先させることができます。

5. 割り込みコントローラ

割り込みコントローラのブロック図を図 5.1 に示します。

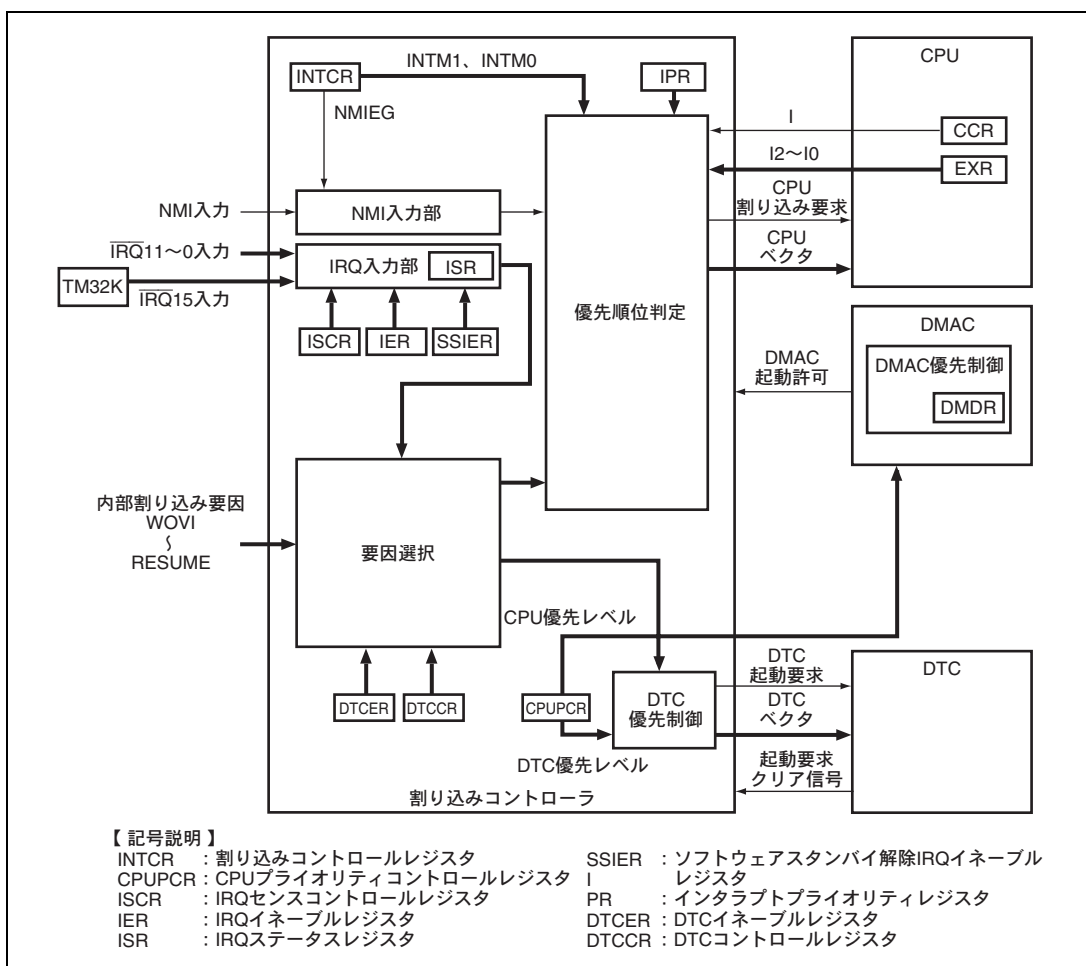


図 5.1 割り込みコントローラのブロック図

5.2 入出力端子

割り込みコントローラの端子構成を表 5.1 に示します。

表 5.1 端子構成

名称	入出力	機能
NMI	入力	ノンマスク外部割り込み端子 立ち上がりエッジ、または立ち下がりエッジを選択できます。
IRQ11~IRQ0	入力	マスク可能な外部割り込み端子 立ち下がりエッジ、立ち上がりエッジ、両エッジ、レベルセンスのいずれかを独立に選択できます。

5.3 レジスタの説明

割り込みコントローラには以下のレジスタがあります。

- 割り込みコントロールレジスタ (INTCR)
- CPUプライオリティコントロールレジスタ (CPUPCR)
- インタラプトプライオリティレジスタA~C、E~I、K、L、Q、R
(IPRA~IPRC、IPRE~IPRI、IPRK、IPRL、IPRQ、IPRR)
- IRQイネーブルレジスタ (IER)
- IRQセンスコントロールレジスタH、L (ISCRH、ISCRL)
- IRQステータスレジスタ (ISR)
- ソフトウェアスタンバイ解除IRQイネーブルレジスタ (SSIER)

5.3.1 割り込みコントロールレジスタ (INTCR)

INTCR は、割り込み制御モードの選択、NMI の検出エッジの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	INTM1	INTM0	NMIEG	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R	R	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	INTM1	0	R/W	割り込み制御選択モード 1、0 割り込みコントローラの割り込み制御モードを選択します。 00: 割り込み制御モード 0 CCR の 1 ビットで割り込みを制御します。 01: 設定禁止 10: 割り込み制御モード 2 EXR の 12~10 ビットと IPR で割り込みを制御します。 11: 設定禁止
4	INTM0	0	R/W	
3	NMIEG	0	R/W	NMI エッジセレクト NMI 端子の入力エッジ選択を行います。 0: NMI 入力の立ち下がりエッジで割り込み要求を発生 1: NMI 入力の立ち上がりエッジで割り込み要求を発生
2~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

5. 割り込みコントローラ

5.3.2 CPU プライオリティコントロールレジスタ (CPUPCR)

CPUPCR は、DTC、DMAC に対して CPU の優先レベルを設定します。CPU の割り込み例外処理などを DTC、DMAC の転送処理よりも優先させることができます。DTC の優先レベルは、CPUPCR の DTCP2~DTCP0 ビットで設定します。DMAC の優先レベルは、各チャンネルごとに DMAC のコントロールレジスタで設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	CPUPCE	DTCP2	DTCP1	DTCP0	IPSETE	CPUP2	CPUP1	CPUP0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*

【注】 * IPSETEビットが1にセットされると、自動更新になるためライトは無効です。

ビット	ビット名	初期値	R/W	説明
7	CPUPCE	0	R/W	CPU プライオリティコントロールイネーブル CPU の優先レベル制御機能を制御します。このビットを 1 にセットすると、DTC、DMAC に対して CPU の優先レベル制御が有効になります。 0 : CPU は常に優先レベル最低 1 : CPU の優先レベル制御は有効
6	DTCP2	0	R/W	DTC プライオリティレベル 2~0
5	DTCP1	0	R/W	DTC の優先レベルを設定します。
4	DTCP0	0	R/W	000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)
3	IPSETE	0	R/W	インタラプトプライオリティセットイネーブル 割り込み優先順位を、自動的に CPU の優先レベルに設定する機能を制御します。このビットを 1 にセットすると、CPU の割り込みマスクビット (CCR の I、EXR の I2~I0) の値により、CPUP2~CPUP0 ビットを自動的に設定します。 0 : CPUP2~CPUP0 ビットは自動更新しない 1 : 割り込みマスクビットの値を CPUP2~CPUP0 ビットに反映する

ビット	ビット名	初期値	R/W	説明
2	CPUP2	0	R/(W)*	CPU プライオリティレベル 2~0 CPU の優先レベルを設定します。CPUPCE ビットが 1 のとき、DTC、DMAC に対して CPU の優先レベル制御が有効になり、これらのビットの設定に従って CPU の処理の優先レベルが設定されます。 000：優先レベル 0（最低） 001：優先レベル 1 010：優先レベル 2 011：優先レベル 3 100：優先レベル 4 101：優先レベル 5 110：優先レベル 6 111：優先レベル 7（最高）
1	CPUP1	0	R/(W)*	
0	CPUP0	0	R/(W)*	

【注】 * IPSETE ビットが 1 にセットされると、自動更新になるためライトは無効です。

5.3.3 インタラプトプライオリティレジスタ A~I、K、L、Q、R (IPRA~IPRI、IPRK、IPRL、IPRQ、IPRR)

IPR は、NMI を除く割り込み要因の優先順位（レベル 0~7）を設定します。ビット 14~12、ビット 10~8、ビット 6~4、ビット 2~0 の各 3 ビットに B'000 から B'111 の範囲の値を設定することによって、対応する割り込み要求の優先順位が決まります。各割り込み要因と IPR の対応については、表 5.2 参照してください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	IPR14	IPR13	IPR12	—	IPR10	IPR9	IPR8
初期値：	0	1	1	1	0	1	1	1
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	IPR6	IPR5	IPR4	—	IPR2	IPR1	IPR0
初期値：	0	1	1	1	0	1	1	1
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	IPR14	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
13	IPR13	1	R/W	
12	IPR12	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	IPR10	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
9	IPR9	1	R/W	
8	IPR8	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	IPR6	1	R/W	対応する割り込み要因の優先順位を設定します。 000: 優先レベル 0 (最低) 001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)
5	IPR5	1	R/W	
4	IPR4	1	R/W	
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
2	IPR2	1	R/W	対応する割り込み要因の優先順位を設定します。
1	IPR1	1	R/W	000: 優先レベル 0 (最低)
0	IPR0	1	R/W	001: 優先レベル 1 010: 優先レベル 2 011: 優先レベル 3 100: 優先レベル 4 101: 優先レベル 5 110: 優先レベル 6 111: 優先レベル 7 (最高)

5.3.4 IRQ イネーブルレジスタ (IER)

IER は、IRQ15、IRQ11~IRQ0 割り込み要求をイネーブルにします。

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15E	—	—	—	IRQ11E	IRQ10E	IRQ9E	IRQ8E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	IRQ15E	0	R/W	IRQ15 イネーブル このビットが 1 のとき IRQ15 割り込み要求がイネーブルになります。 IRQ15 は、内部で TM32K の 32KOVI 割り込みに接続されています。
14~12	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
11	IRQ11E	0	R/W	IRQ11 イネーブル このビットが 1 のとき IRQ11 割り込み要求がイネーブルになります。
10	IRQ10E	0	R/W	IRQ10 イネーブル このビットが 1 のとき IRQ10 割り込み要求がイネーブルになります。
9	IRQ9E	0	R/W	IRQ9 イネーブル このビットが 1 のとき IRQ9 割り込み要求がイネーブルになります。
8	IRQ8E	0	R/W	IRQ8 イネーブル このビットが 1 のとき IRQ8 割り込み要求がイネーブルになります。
7	IRQ7E	0	R/W	IRQ7 イネーブル このビットが 1 のとき IRQ7 割り込み要求がイネーブルになります。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
6	IRQ6E	0	R/W	IRQ6 イネーブル このビットが1のとき IRQ6 割り込み要求がイネーブルになります。
5	IRQ5E	0	R/W	IRQ5 イネーブル このビットが1のとき IRQ5 割り込み要求がイネーブルになります。
4	IRQ4E	0	R/W	IRQ4 イネーブル このビットが1のとき IRQ4 割り込み要求がイネーブルになります。
3	IRQ3E	0	R/W	IRQ3 イネーブル このビットが1のとき IRQ3 割り込み要求がイネーブルになります。
2	IRQ2E	0	R/W	IRQ2 イネーブル このビットが1のとき IRQ2 割り込み要求がイネーブルになります。
1	IRQ1E	0	R/W	IRQ1 イネーブル このビットが1のとき IRQ1 割り込み要求がイネーブルになります。
0	IRQ0E	0	R/W	IRQ0 イネーブル このビットが1のとき IRQ0 割り込み要求がイネーブルになります。

5.3.5 IRQ センسコントロールレジスタ H、L (ISCRH、ISCRL)

ISCR は、IRQ15、IRQ11~IRQ0 入力から割り込み要求を発生させる要因を選択します。

ISCR の設定変更時に、内部動作により ISR の IRQnF (n=0~11、15) が意図しないで1にセットされる場合があります。このとき、IRQn 割り込み要求が許可されていると割り込み例外処理を実行します。この意図しない割り込みを防ぐには、ISCR の設定変更を IRQn 割り込みを禁止した状態で行い、その後 ISR の IRQnF を0にクリアしてください。

・ ISCRH

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15SR	IRQ15SF	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ ISCRL

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• ISCRH

ビット	ビット名	初期値	R/W	説明
15 14	IRQ15SR IRQ15SF	0 0	R/W R/W	IRQ15 センスコントロールライズ IRQ15 センスコントロールフォール IRQ15 は、TM32K の 32KOV1 割り込みに使用します。使用時は、立ち下がりエッジ割り込み要求に設定してください。 00: 初期値 01: $\overline{\text{IRQ15}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: 設定禁止 11: 設定禁止
13~8	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
7 6	IRQ11SR IRQ11SF	0 0	R/W R/W	IRQ11 センスコントロールライズ IRQ11 センスコントロールフォール 00: $\overline{\text{IRQ11}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ11}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ11}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ11}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
5 4	IRQ10SR IRQ10SF	0 0	R/W R/W	IRQ10 センスコントロールライズ IRQ10 センスコントロールフォール 00: $\overline{\text{IRQ10}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ10}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ10}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ10}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
3 2	IRQ9SR IRQ9SF	0 0	R/W R/W	IRQ9 センスコントロールライズ IRQ9 センスコントロールフォール 00: $\overline{\text{IRQ9}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ9}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ9}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ9}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1 0	IRQ8SR IRQ8SF	0 0	R/W R/W	IRQ8 センスコントロールライズ IRQ8 センスコントロールフォール 00: $\overline{\text{IRQ8}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ8}}$ 入力の立ち下がりエッジで割り込み要求を発生 10: $\overline{\text{IRQ8}}$ 入力の立ち上がりエッジで割り込み要求を発生 11: $\overline{\text{IRQ8}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5. 割り込みコントローラ

• ISCRL

ビット	ビット名	初期値	R/W	説明
15	IRQ7SR	0	R/W	IRQ7 センスコントロールライズ IRQ7 センスコントロールフォール 00: $\overline{\text{IRQ7}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ7}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ7}}$ 入力の立ち上リエッジで割り込み要求を発生 11: $\overline{\text{IRQ7}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
14	IRQ7SF	0	R/W	
13	IRQ6SR	0	R/W	IRQ6 センスコントロールライズ IRQ6 センスコントロールフォール 00: $\overline{\text{IRQ6}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ6}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ6}}$ 入力の立ち上リエッジで割り込み要求を発生 11: $\overline{\text{IRQ6}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
12	IRQ6SF	0	R/W	
11	IRQ5SR	0	R/W	IRQ5 センスコントロールライズ IRQ5 センスコントロールフォール 00: $\overline{\text{IRQ5}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ5}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ5}}$ 入力の立ち上リエッジで割り込み要求を発生 11: $\overline{\text{IRQ5}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
10	IRQ5SF	0	R/W	
9	IRQ4SR	0	R/W	IRQ4 センスコントロールライズ IRQ4 センスコントロールフォール 00: $\overline{\text{IRQ4}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ4}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ4}}$ 入力の立ち上リエッジで割り込み要求を発生 11: $\overline{\text{IRQ4}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
8	IRQ4SF	0	R/W	
7	IRQ3SR	0	R/W	IRQ3 センスコントロールライズ IRQ3 センスコントロールフォール 00: $\overline{\text{IRQ3}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ3}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ3}}$ 入力の立ち上リエッジで割り込み要求を発生 11: $\overline{\text{IRQ3}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
6	IRQ3SF	0	R/W	
5	IRQ2SR	0	R/W	IRQ2 センスコントロールライズ IRQ2 センスコントロールフォール 00: $\overline{\text{IRQ2}}$ 入力の Low レベルで割り込み要求を発生 01: $\overline{\text{IRQ2}}$ 入力の立ち下がリエッジで割り込み要求を発生 10: $\overline{\text{IRQ2}}$ 入力の立ち上リエッジで割り込み要求を発生 11: $\overline{\text{IRQ2}}$ 入力の立ち下がり、立ち上りの両エッジで割り込み要求を発生
4	IRQ2SF	0	R/W	

ビット	ビット名	初期値	R/W	説明
3	IRQ1SR	0	R/W	IRQ1 センスコントロールライズ
2	IRQ1SF	0	R/W	IRQ1 センスコントロールフォール 00 : $\overline{\text{IRQ1}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ1}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ1}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ1}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生
1	IRQ0SR	0	R/W	IRQ0 センスコントロールライズ
0	IRQ0SF	0	R/W	IRQ0 センスコントロールフォール 00 : $\overline{\text{IRQ0}}$ 入力の Low レベルで割り込み要求を発生 01 : $\overline{\text{IRQ0}}$ 入力の立ち下がりエッジで割り込み要求を発生 10 : $\overline{\text{IRQ0}}$ 入力の立ち上がりエッジで割り込み要求を発生 11 : $\overline{\text{IRQ0}}$ 入力の立ち下がり、立ち上がりの両エッジで割り込み要求を発生

5.3.6 IRQ ステータスレジスタ (ISR)

ISR は、IRQ15、IRQ11~IRQ0 割り込み要求レジスタです。

ビット	15	14	13	12	11	10	9	8
ビット名	IRQ15F	—	—	—	IRQ11F	IRQ10F	IRQ9F	IRQ8F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット	7	6	5	4	3	2	1	0
ビット名	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。
フラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

5. 割り込みコントローラ

ビット	ビット名	初期値	R/W	説明
15	IRQ15F	0	R/(W) *	[セット条件] • ISCR で選択した割り込み要因が発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • 立ち下がりエッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき (n=15)
14~12	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
11	IRQ11F	0	R/(W) *	[セット条件] • ISCR で選択した割り込み要因が発生したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき • Low レベル検出設定の状態、かつ $\overline{\text{IRQn}}$ 入力が High レベルの状態での割り込み例外処理を実行したとき (n=11~0) • 立ち下がりエッジ、立ち上がりエッジ、両エッジ検出設定時の状態で IRQn 割り込み例外処理を実行したとき • IRQn 割り込みにより DTC が起動され、DTC の MRB の DISEL が 0 のとき
10	IRQ10F	0	R/(W) *	
9	IRQ9F	0	R/(W) *	
8	IRQ8F	0	R/(W) *	
7	IRQ7F	0	R/(W) *	
6	IRQ6F	0	R/(W) *	
5	IRQ5F	0	R/(W) *	
4	IRQ4F	0	R/(W) *	
3	IRQ3F	0	R/(W) *	
2	IRQ2F	0	R/(W) *	
1	IRQ1F	0	R/(W) *	
0	IRQ0F	0	R/(W) *	

【注】 * フラグをクリアするための 0 ライトのみ可能です。

5.3.7 ソフトウェアスタンバイ解除 IRQ イネーブルレジスタ (SSIER)

SSIER は、ソフトウェアスタンバイ状態から復帰するために使用する IRQ 割り込みを設定します。

ソフトウェアスタンバイ状態から復帰するために使用する IRQ 割り込みは、DTC 起動要因として設定しないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	SSI15	—	—	—	SSI11	SSI10	SSI9	SSI8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSI15	0	R/W	ソフトウェアスタンバイ解除 IRQ 設定 SSIn ビットは、ソフトウェアスタンバイ状態から復帰するために使用する IRQn 割り込みを設定します (n=15)。 0: IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません。 1: ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します。
14~12	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
11	SSI11	0	R/W	ソフトウェアスタンバイ解除 IRQ 設定 SSIn ビットは、ソフトウェアスタンバイ状態から復帰するために使用する IRQn 割り込みを設定します (n=11~0)。 0: IRQn 割り込み要求は、ソフトウェアスタンバイ状態ではサンプリングされません。 1: ソフトウェアスタンバイ状態で IRQn 割り込み要求があると、発振安定時間を経てソフトウェアスタンバイ状態から復帰します。
10	SSI10	0	R/W	
9	SSI9	0	R/W	
8	SSI8	0	R/W	
7	SSI7	0	R/W	
6	SSI6	0	R/W	
5	SSI5	0	R/W	
4	SSI4	0	R/W	
3	SSI3	0	R/W	
2	SSI2	0	R/W	
1	SSI1	0	R/W	
0	SSI0	0	R/W	

5.4 割り込み要因

5.4.1 外部割り込み要因

外部割り込みには、NMI、IRQ11～IRQ0 の 13 要因があります。このうち、外部割り込みはソフトウェアスタンバイモードからの復帰に使用できます。

(1) NMI 割り込み

ノンマスクابل割り込み要求 NMI は最優先の外部割り込み要求で、割り込み制御モードや CPU の割り込みマスキットの状態にかかわらず常に受け付けられます。NMI 割り込み要求を NMI 入力の立ち上がりエッジと、立ち下がりエッジのどちらで発生させるかは、INTCR の NMIEG ビットで選択できます。

NMI 割り込みが発生すると、割り込みコントローラはエラー発生と見なして次の制御を行います。

- DTCのDTCCRのERRビットを1にセット
- DMACのDMDR_0のERRFビットを1にセット
- DMACの全チャンネルのDMDRのDTEビットを0にクリア、および強制転送終了

(2) IRQn 割り込み

IRQn 割り込みは、 $\overline{\text{IRQn}}$ 入力により割り込み要求を発生します (n=11～0)。

IRQn 割り込みには以下の特長があります。

- $\overline{\text{IRQn}}$ 入力の Low レベル、立ち下がりエッジ、立ち上がりエッジおよび両エッジのいずれで割り込み要求を発生させるか、ISCR で選択できます。
- IRQn 割り込み要求は、IER により選択できます。
- IPR により、割り込み要因の優先順位を設定できます。
- IRQn 割り込み要求のステータスは、ISR に表示されます。ISR のフラグは、ソフトウェアで 0 にクリアすることができます。ISR のフラグのクリアは、ビット操作命令、またはメモリ演算命令を使用してください。

IRQn 割り込みの検出は P1ICR、P2ICR、P5ICR の設定により有効となり、当該端子の出力の設定に依存しません。したがって、外部割り込み入力端子として使用する場合には、対応する DDR を 0 にクリアして、そのほかの機能の入出力端子として使用しないでください。

IRQn 割り込みのブロック図を図 5.2 に示します。

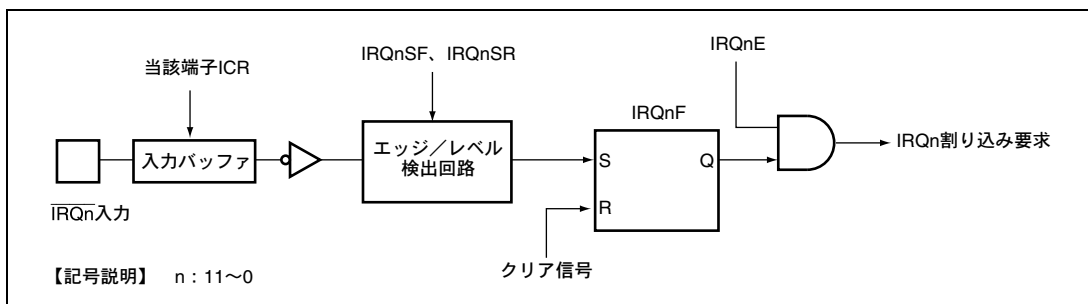


図 5.2 IRQn 割り込みのブロック図

IRQn 割り込み要求を ISCR の設定により $\overline{\text{IRQn}}$ 入力の Low レベルで発生するようにした場合、割り込み要求時には当該 $\overline{\text{IRQn}}$ 入力を割り込み処理が開始されるまで Low レベルに保持してください。その後、割り込み処理ルーチン内で、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻し、かつ IRQnF を 0 にクリアしてください。割り込み処理が開始される前に、当該 $\overline{\text{IRQn}}$ 入力を High レベルに戻すと、当該割り込みが実行されない場合があります。

5.4.2 内部割り込み

内蔵周辺モジュールからの内部割り込み要因には以下の特長があります。

- 各内蔵周辺モジュールには、割り込み要求のステータスを表示するフラグとこれらの割り込みイネーブルビットがあり、独立に制御することができます。イネーブルビットが1のとき、割り込み要求が割り込みコントローラに送られます。
- IPRによって、割り込み要因の優先順位を設定できます。
- TPU、SCIなどの割り込み要求により、DTC、DMACを起動することができます。
- DTC、DMACの起動は、CPUに対するDTC、DMACの優先レベル制御機能により優先レベルを設定できます。

5.5 割り込み例外処理ベクタテーブル

割り込み例外処理要因とベクタテーブルアドレスオフセットおよび割り込み優先順位の一覧を表 5.2 に示します。デフォルトの優先順位はベクタ番号の小さいものほど高くなっています。割り込み制御モード 2 に設定されている場合、優先順位は IPR 設定単位ごとに IPR により変更することができます。同一優先順位の IPR に設定された割り込み要因は、デフォルトの優先順位に従います。同一優先順位の IPR 設定単位内の優先順位は固定されています。

5. 割り込みコントローラ

表 5.2 割り込み要因とベクタアドレスオフセットおよび割り込み優先順位

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード、 ミドルモード、 マキシマムモード				
外部端子	NMI	7	H'001C	—	↑ 高	—	—
	IRQ0	64	H'0100	IPRA14~IPRA12		○	—
	IRQ1	65	H'0104	IPRA10~IPRA8		○	—
	IRQ2	66	H'0108	IPRA6~IPRA4		○	—
	IRQ3	67	H'010C	IPRA2~IPRA0		○	—
	IRQ4	68	H'0110	IPRB14~IPRB12		○	—
	IRQ5	69	H'0114	IPRB10~IPRB8		○	—
	IRQ6	70	H'0118	IPRB6~IPRB4		○	—
	IRQ7	71	H'011C	IPRB2~IPRB0		○	—
	IRQ8	72	H'0120	IPRC14~IPRC12		○	—
	IRQ9	73	H'0124	IPRC10~IPRC8		○	—
	IRQ10	74	H'0128	IPRC6~IPRC4		○	—
IRQ11	75	H'012C	IPRC2~IPRC0	○	—		
—	システム予約	76	H'0130	—	—	—	
		77	H'0134		—	—	
		78	H'0138		—	—	
TM32K	32KOVI(IRQ15)	79	H'013C	IPRD2~IPRD0	—	—	
—	システム予約	80	H'0140	—	—	—	
WDT	WOVI	81	H'0144	IPRE10~IPRE8	—	—	
—	システム予約	82	H'0148	—	—	—	
リフレッシュ コントローラ	CMI	83	H'014C	IPRE2~IPRE0	—	—	
—	システム予約	84	H'0150	—	—	—	
		85	H'0154		—	—	
A/D	ADI	86	H'0158	IPRF10~IPRF8	○	○	
—	システム予約	87	H'015C	—	—	—	
TPU_0	TGI0A	88	H'0160	IPRF6~IPRF4	○	○	
	TGI0B	89	H'0164		○	—	
	TGI0C	90	H'0168		○	—	
	TGI0D	91	H'016C		○	—	
					↓ 低		

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンストモード、 ミドルモード、 マキシマムモード				
TMR_3	CMI3A	125	H'01F4	IPRH2~IPRH0	↑ 高	○	—
	CMI3B	126	H'01F8			○	—
	OV3I	127	H'01FC			—	—
DMAC	DMTEND0	128	H'0200	IPRI14~IPRI12		○	—
	DMTEND1	129	H'0204	IPRI10~IPRI8		○	—
	DMTEND2	130	H'0208	IPRI6~IPRI4		○	—
	DMTEND3	131	H'020C	IPRI2~IPRI0		○	—
—	システム予約	132	H'0210	—		—	—
		133	H'0214			—	—
		134	H'0218			—	—
		135	H'021C		—	—	
DMAC	DMEEND0	136	H'0220	IPRK14~IPRK12	○	—	
	DMEEND1	137	H'0224		○	—	
	DMEEND2	138	H'0228		○	—	
	DMEEND3	139	H'022C		○	—	
—	システム予約	140	H'0230	—	—	—	
		141	H'0234		—	—	
		142	H'0238		—	—	
		143	H'023C		—	—	
SCI_0	ERI0	144	H'0240	IPRK6~IPRK4	—	—	
	RXIO	145	H'0244		○	○	
	TXIO	146	H'0248		○	○	
	TEIO	147	H'024C		—	—	
SCI_1	ERI1	148	H'0250	IPRK2~IPRK0	—	—	
	RX11	149	H'0254		○	○	
	TX11	150	H'0258		○	○	
	TE11	151	H'025C		—	—	
SCI_2	ERI2	152	H'0260	IPRL14~IPRL12	—	—	
	RX12	153	H'0264		○	○	
	TX12	154	H'0268		○	○	
	TEI2	155	H'026C		—	—	
					↓ 低		

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンストモード、 ミドルモード、 マキシマムモード				
-	システム予約	156	H'0270	-	↑ 高	-	-
		157	H'0274			-	-
		158	H'0278			-	-
		159	H'027C			-	-
SCL_4	ERI4	160	H'0280	IPRL6~IPRL4		-	-
	RXI4	161	H'0284			○	○
	TXI4	162	H'0288			○	○
	TEI4	163	H'028C			-	-
-	システム予約	164	H'0290	-		-	-
						-	-
IIC2	IIC10	216	H'0360	IPRQ6~IPRQ4	-	-	
	システム予約	217	H'0364		-	-	
	IIC11	218	H'0368		-	-	
	システム予約	219	H'036C		-	-	
SCL_5	RXI5	220	H'0370	IPRQ2~IPRQ0	-	○	
	TXI5	221	H'0374		-	○	
	ERI5	222	H'0378		-	-	
	TEI5	223	H'037C		-	-	
SCL_6	RXI6	224	H'0380	IPRR14~IPRR12	-	○	
	TXI6	225	H'0384		-	○	
	ERI6	226	H'0388		-	-	
	TEI6	227	H'038C		-	-	
TMR_4	CMIA4 or CMIB4	228	H'0390	IPRR10~IPRR8	-	-	
TMR_5	CMIA5 or CMIB5	229	H'0394		-	-	
TMR_6	CMIA6 or CMIB6	230	H'0398		-	-	
TMR_7	CMIA7 or CMIB7	231	H'039C		-	-	
USB	USBINTN0	232	H'03A0	IPRR6~IPRR4	-	○	
	USBINTN1	233	H'03A4		-	○	
	USBINTN2	234	H'03A8		-	-	
	USBINTN3	235	H'03AC		-	-	
					↓ 低		

5. 割り込みコントローラ

割り込み要因 発生元	名称	ベクタ 番号	ベクタテーブル アドレス オフセット*	IPR	優先 順位	DTC 起動	DMAC 起動
			アドバンスモード、 ミドルモード、 マキシマムモード				
-	システム予約	236	H'03B0	IPRR2~IPRR0	高 ↑ 低	-	-
		237	H'03B4			-	-
USB	resume	238	H'03B8			-	-
-	システム予約	239	H'03BC	-		-	-
					-	-	
		255	H'03FC			-	-

【注】 * 先頭アドレスの下位 16 ビットを示しています。

5.6 割り込み制御モードと割り込み動作

割り込みコントローラには、割り込み制御モード0と割り込み制御モード2の2種類の割り込み制御モードがあります。割り込み制御モードの選択は、INTCRで行います。割り込み制御モード0と割り込み制御モード2の相違点を表5.3に示します。

表 5.3 割り込み制御モード

割り込み制御モード	割り込み優先順位	割り込みマスクビット	説明
0	デフォルト	I	各割り込み要因の優先順位は、デフォルトで固定されています。NMIを除く割り込み要因は、Iビットによりマスクされます。
2	IPR	I2~I0	IPRにより、NMIを除く各割り込み要因に8レベルの優先順位を設定できます。I2~I0ビットにより、8レベルの割り込みマスク制御を行います。

5.6.1 割り込み制御モード0

割り込み制御モード0では、NMIを除く割り込み要求は、CPUのCCRのIビットによってマスクされます。割り込み受け付け動作のフローチャートを図5.3に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. CCRのIビットが1にセットされているときは、割り込みコントローラはNMI以外の割り込み要求を保留します。Iビットが0にクリアされているときは、割り込み要求を受け付けます。
3. 複数の割り込み要求があるときは、割り込みコントローラは優先順位に従って最も優先度の高い割り込み要求を選択して、CPUに対して割り込み処理を要求し、その他は保留します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PCとCCRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. CCRのIビットを1にセットします。これにより、NMIを除く割り込みがマスクされます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

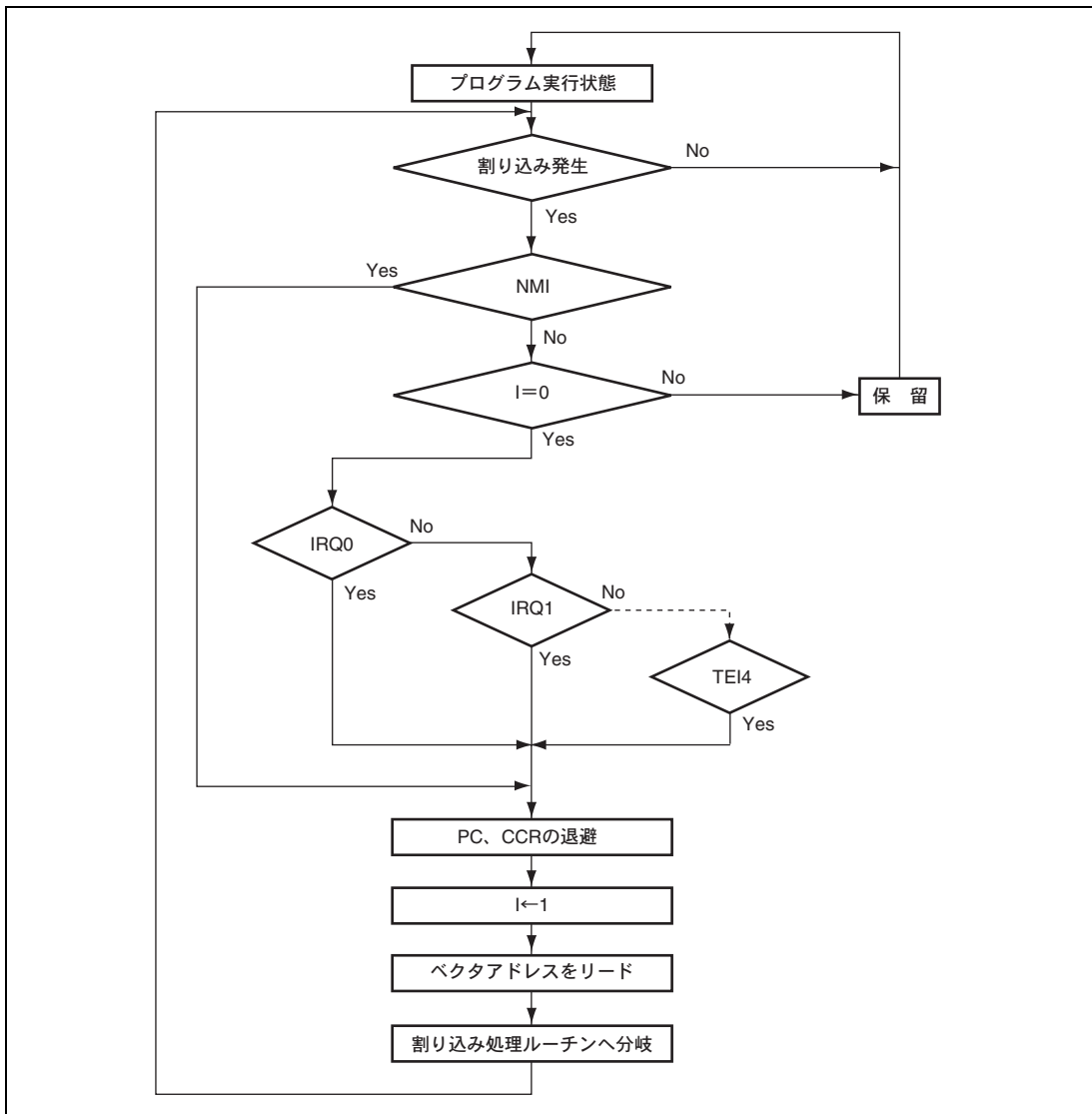


図 5.3 割り込み制御モード 0 の割り込み受け付けまでのフロー

5.6.2 割り込み制御モード2

割り込み制御モード2では、NMIを除く割り込み要求は、CPUのEXRの割り込みマスクレベル（I2～I0ビット）とIPRとの比較によって8レベルのマスク制御を行います。割り込み受け付け動作のフローチャートを図5.4に示します。

1. 割り込みイネーブルビットが1にセットされている割り込み要因が発生すると、割り込み要求が割り込みコントローラに送られます。
2. 複数の割り込み要求があるときは、割り込みコントローラはIPRに設定された割り込み要因の優先順位に従って最も優先レベルの高い割り込みを選択し、それよりも優先レベルの低い割り込み要求は保留します。優先レベルが同一の場合は、表5.2に示すデフォルトの優先順位に従って割り込み要求を選択します。
3. 選択した割り込み要求の優先順位とEXRの割り込みマスクレベルとを比較します。設定されていたマスクレベル以下であれば保留し、割り込みマスクレベルより優先順位が高ければCPUに対して割り込み処理を要求します。
4. CPUは割り込み要求を受け付けると、実行中の命令の処理が終了した後、割り込み例外処理を開始します。
5. 割り込み例外処理によって、PC、CCR、およびEXRがスタック領域に退避されます。PCにはリターン後に実行する最初の命令のアドレスが退避されます。
6. EXRのTビットが0にクリアされます。割り込みマスクレベルは受け付けた割り込みの優先レベルに書き換えられます。受け付けた割り込みがNMIのときは割り込みマスクレベルはH7に設定されます。
7. CPUは受け付けた割り込み要求に対応するベクタアドレスを生成し、ベクタテーブルから割り込みルーチン開始アドレスを読み取って割り込み処理を開始します。

5. 割り込みコントローラ

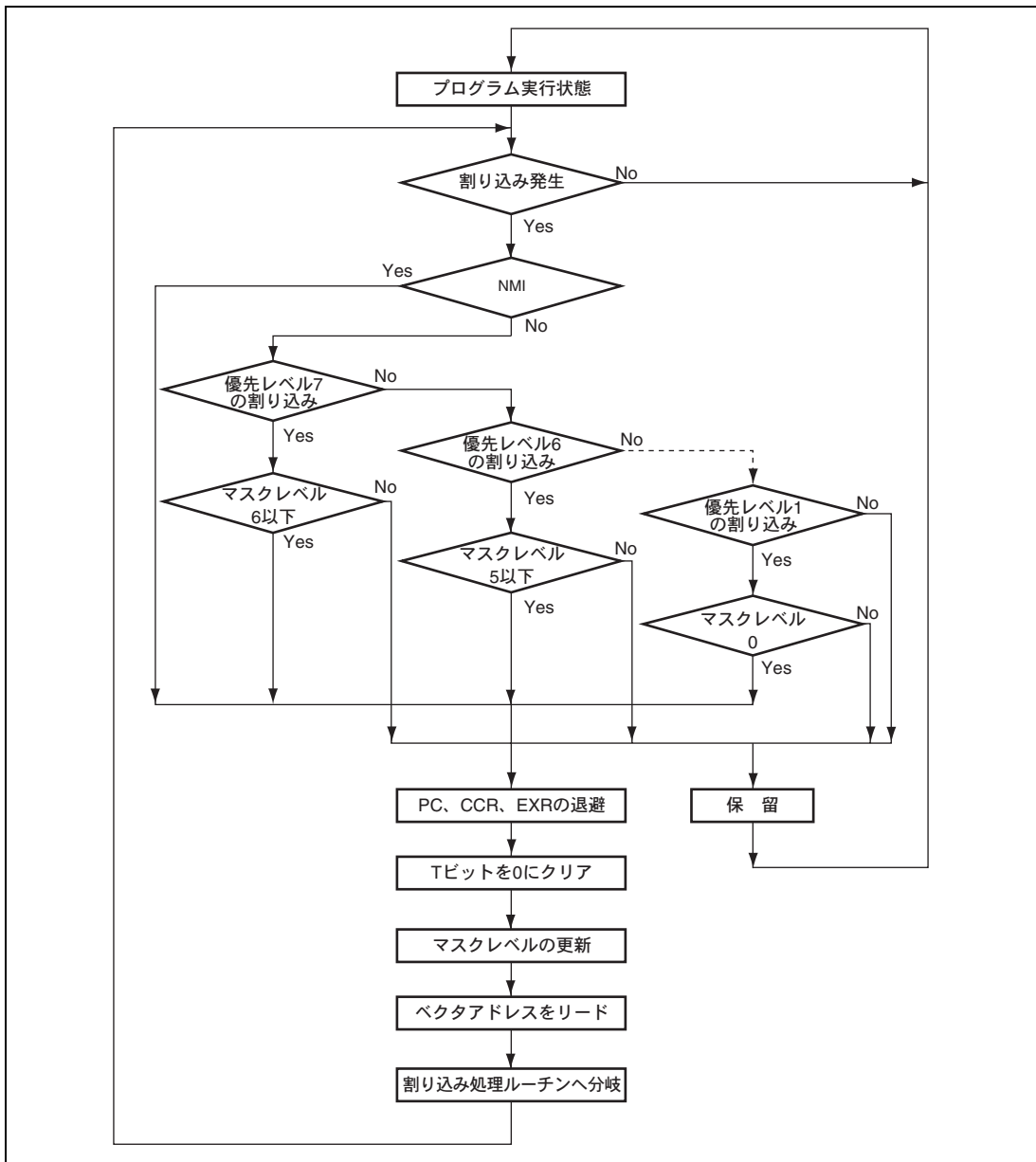


図 5.4 割り込み制御モード 2 の割り込み受け付けまでのフロー

5.6.3 割り込み例外処理シーケンス

割り込み例外処理シーケンスを図 5.5 に示します。マキシマムモードで割り込み制御モード 0、プログラム領域およびスタック領域が内蔵メモリの場合の例です。

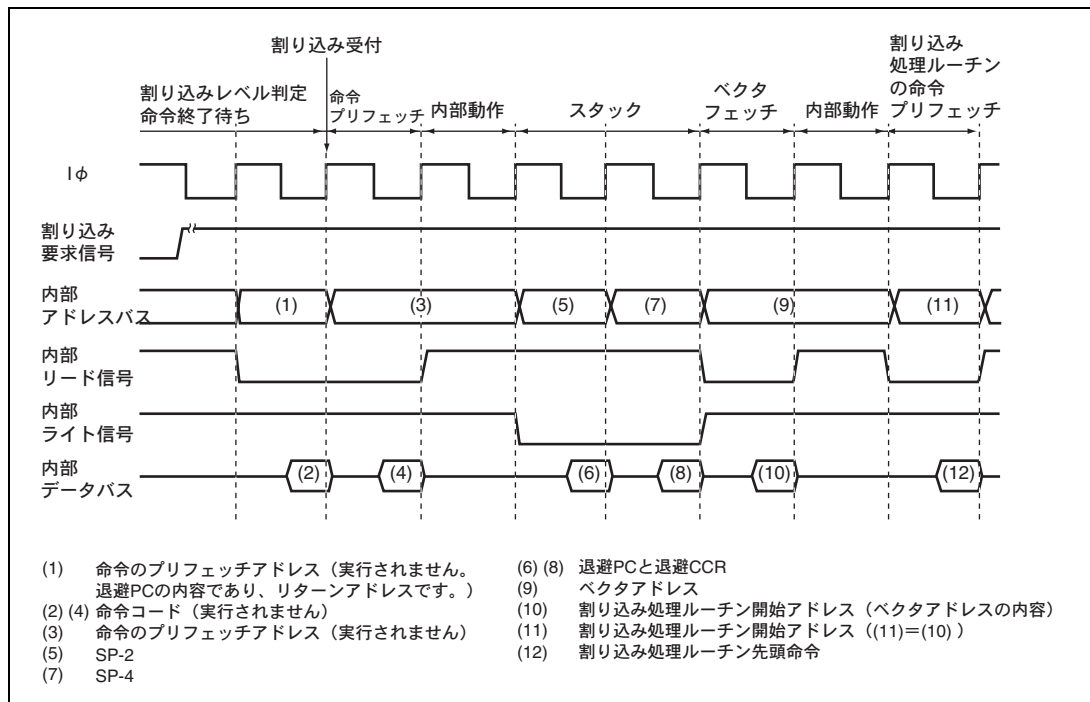


図 5.5 割り込み例外処理

5. 割り込みコントローラ

5.6.4 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理ルーチンの先頭命令が実行されるまでの割り込み応答時間を表 5.4 に示します。表 5.4 の実行状態の記号については表 5.5 を参照してください。本 LSI は内蔵メモリに対して高速ワードアクセスが可能のため、プログラム領域を内蔵 ROM、スタック領域を内蔵 RAM に設けることで処理速度の向上が図れます。

表 5.4 割り込み応答時間

No.	実行状態	ノーマルモード*5		アドバンスモード		マキシマムモード*5	
		割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2	割り込み制御 モード 0	割り込み制御 モード 2
1	割り込み優先順位判定*1	3					
2	実行中の命令が終了するまでの待ちステート数*2	$1 \sim 19 + 2 \cdot S_i$					
3	PC、CCR および EXR のスタック	$S_k \sim 2 \cdot S_k$ *6	$2 \cdot S_k$	$S_k \sim 2 \cdot S_k$ *6	$2 \cdot S_k$	$2 \cdot S_k$	$2 \cdot S_k$
4	ベクタフェッチ	S_h					
5	命令フェッチ*3	$2 \cdot S_i$					
6	内部処理*4	2					
合計 (内蔵メモリ使用時)		10~31	11~31	10~31	11~31	11~31	11~31

【注】 *1 内部割り込みの場合 2 ステートとなります。

*2 MULXS、DIVXS 命令について示しています。

*3 割り込み受け付け後のプリフェッチおよび割り込み処理ルーチンのプリフェッチです。

*4 割り込み受け付け後の内部処理およびベクタフェッチ後の内部処理です。

*5 本 LSI では使用できません。

*6 SP の値を $4n$ に設定すると S_k 、 $4n+2$ に設定すると $2 \cdot S_k$ となります。

表 5.5 割り込み例外処理の実行状態のステート数

記号	アクセス対象	アクセス対象				
		内部メモリ	外部デバイス			
			8 ビットバス		16 ビットバス	
			2 ステート アクセス	3 ステート アクセス	2 ステート アクセス	3 ステート アクセス
ベクタフェッチ	S_h	1	8	$12 + 4m$	4	$6 + 2m$
命令フェッチ	S_i	1	4	$6 + 2m$	2	$3 + m$
スタック操作	S_k	1	8	$12 + 4m$	4	$6 + 2m$

【記号説明】

m : 外部デバイスアクセス時のウェイトステート数

5.6.5 割り込みによる DTC、DMAC の起動

割り込み要求により、DTC、DMAC を起動することができます。この場合、次の選択を行うことができます。

1. CPUに対する割り込み要求
2. DTCに対する起動要求
3. DMACに対する起動要求
4. 1.~3.の複数の選択

なお、DTC、DMAC を起動できる割り込み要求については、表 5.2 および「7. DMA コントローラ (DMAC)」、
「8. データ転送コントローラ (DTC)」を参照してください。

図 5.6 に、DTC、DMAC と割り込みコントローラのブロック図を示します。

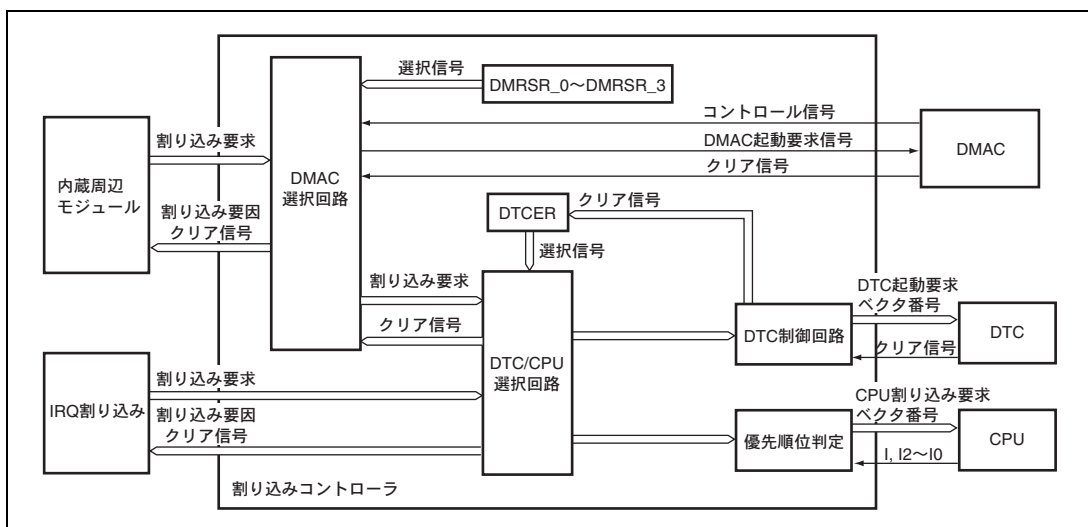


図 5.6 DTC、DMAC と割り込みコントローラ

5. 割り込みコントローラ

(1) 割り込み要因の選択

DMAC の各チャンネルの起動要因は、DMRSR により選択します。選択した起動要因は、選択回路を経由して DMAC に入力されます。内蔵モジュール割り込みによる転送が有効になるように設定（DMDR のビット設定：DTF1=1、DTF0=0、DTE=1）、DMDR の DTA ビットが 1 にセットされていると、その DMAC の起動要因になった割り込み要因は DMAC が管理することになり、DTC の起動要因および CPU の割り込み要因になりません。

DMAC に管理されている割り込み以外の割り込み要因は、DTC の DTCERA～DTCERH の DTCE ビットにより、DTC 起動要因とするか、CPU 割り込み要因とするかを選択します。

DTC の MRB の DISEL ビットの指定により、DTC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求することができます。

なお、DTC が所定回数のデータ転送を行い、転送カウンタが 0 になった場合には、DTC、DMAC のデータ転送後、DTCE ビットを 0 にクリアして、CPU に割り込みを要求します。

同じ割り込み要因を、DTC、DMAC の起動要因と CPU の割り込み要因に同時に設定する場合、DTC 優先レベルより CPU の優先レベルを高く設定しないでください。CPUPCR の IPSETE ビットを 1 にセットしている場合は、割り込み要因に該当する IPR のレベルの設定が対象になります。必ず、(DTCP、DMAP) ≥ (CPUP または割り込み要因に該当する IPR) となるように設定してください。CPU の優先レベルが高くなると、DTC、DMAC が起動されずに転送が行われなくなる場合があります。

(2) 優先順位判定

DTC の起動要因は、デフォルトの優先順位に従って選択されます。マスクレベルや優先レベルなどの影響を受けません。それぞれの優先順位は「表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE」を参照してください。

(3) 動作順序

同一の割り込みを DTC の起動要因と CPU の割り込み要因に選択した場合、DTC のデータ転送終了後、CPU の割り込み例外処理を行います。同一の割り込みを DTC、DMAC の起動要因、または CPU の割り込み要因に選択した場合、各々独立に動作を行います。

表 5.6 に、DMAC の DMDR の DTA ビット、DTC の DTCERA～DTCERH の DTCE ビット、および MRB の DISEL ビットの設定による割り込み要因の選択と割り込み要因クリア制御を示します。

表 5.6 割り込み要因の選択とクリア制御

設定内容			割り込み要因選択/クリア制御		
DMAC	DTC				
DTA	DTCE	DISEL	DMAC	DTC	CPU
0	0	*	○	×	◎
	1	0	○	◎	×
		1	○	○	◎
1	*	*	◎	×	×

【記号説明】

- ◎ : 当該割り込みを使用します。割り込み要因のクリアを行います。
(CPUは割り込み処理ルーチンで、要因フラグをクリアしてください。)
- : 当該割り込みを使用します。割り込み要因をクリアしません。
- ×
- * : Don't care

(4) 使用上の注意

SCI、および A/D 変換器の割り込み要因は、DTC、または DMAC が所定のレジスタをリード/ライトすると表 5.6 の設定に従ってクリアされます。

同一の割り込みで、DTC、DMAC の複数のチャンネルを起動する場合は、同じプライオリティ (DTCP=DMAP) に設定してください。

5.7 CPU に対する DTC、DMAC の優先レベル制御機能

割り込みコントローラには、CPU の優先レベルに対して、DTC、DMAC 各々に優先レベルを設定することにより、DTC、DMAC と CPU との間の優先レベルを制御する機能があります。CPU の優先レベルは例外処理により自動設定することが可能で、CPU の割り込み例外処理など DTC、DMAC の転送処理よりも優先して実行することができます。

CPU の優先レベルは、CPUPCR の CPUP2～CPUP0 ビットで設定します。DTC の優先レベルは、CPUPCR の DTCP2～DTCP0 ビットで設定します。DMAC の優先レベルは、チャンネルごとに DMDR の DMAP2～DMAPO ビットで設定します。

CPU に対する DTC、DMAC の優先レベル制御機能は、CPUPCR の CPUPCE ビットを 1 にセットすると有効になります。CPUPCE ビットが 1 のとき、DTC、DMAC の起動要因は各々の優先レベルによって制御します。

DTC の起動要因は、CPUP2～CPUP0 ビットで示される CPU の優先レベルと、DTCP2～DTCP0 ビットで示される DTC の優先レベルにより制御します。CPU の優先レベルが高い場合は、DTC の起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2～0>DTCP2～0) が解除されると DTC を起動します。DTC の優先レベルは、起動要因の区別がなく、DTCP2～DTCP0 ビットで設定します。

DMAC の優先レベルは、チャンネルごとに設定できます。DMAC の起動要因は、対応するチャンネルの DMAP2～DMAPO ビットで設定される DMAC の優先レベルと、CPU の優先レベルにより制御します。CPU の優先レベルが高い場合は、当該チャンネルの起動要因は保留されます。保留された起動要因は、保留されている条件 (CPUPCE=1 かつ CPUP2～0>DMAP2～0) が解除されると有効になります。チャンネルごとに優先レベルを異なる値に設定した場合は、優先レベルの高いチャンネルは転送処理を継続して実行し、CPU よりも優先レベルが低いチャンネルのみが起動要因を保留されます。

CPU の優先レベルを設定する方法は、CPUPCR の IPSETE ビットにより 2 種類の方法を選択できます。IPSETE ビットを 1 にセットすると、CPU の割り込みマスクビットを自動的に優先レベルに設定する機能が有効になります。IPSETE ビットを 0 にクリアすると、優先レベルは自動更新されなくなり、CPUP2～CPUP0 ビットを直接ソフトウェアで書き換えて設定します。IPSETE ビットが 1 のときも CPU の割り込みマスクビット (CCR の I ビットまたは EXR の I2～I0 ビット) をソフトウェアで書き換えることで CPU の優先レベルを設定できます。

IPSETE ビットが 1 のときに自動設定する優先レベルは、割り込み制御モードにより値が異なります。割り込み制御モード 0 の場合、CPU の CCR の I ビットの値を CPUP2 ビットに反映します。CPUP1、CPUP0 ビットは 0 に固定です。割り込み制御モード 2 の場合、CPU の EXR の I2～I0 ビットの値を CPUP2～CPUP0 ビットに反映します。

CPU の優先レベルの制御を表 5.7 に示します。

表 5.7 CPU の優先レベルの制御

割り込み制御 モード	割り込み優先 順位	割り込み マスクビット	CPUPCR の IPSETE	制御状態	
				CPUP2~CPUP0 の値	CPUP2~CPUP0 の書き換え
0	デフォルト	l = 任意	0	B'111~B'000	書き換え可
		l = 0	1	B'000	無効
		l = 1		B'100	
2	IPR の設定	l2~l0	0	B'111~B'000	書き換え可
			1	l2~l0	無効

CPU に対する DTC、DMAC の優先レベル制御機能の設定例と、そのときの転送要求制御状態を表 5.8 に示します。DMAC はチャンネルごとに独立して優先レベルを設定できますが、表中では 1 チャンネル分を示しています。DMAC は各チャンネルに異なる優先レベルを設定して独立に転送制御を行うことが可能です。

表 5.8 CPU に対する DTC、DMAC の優先レベル制御機能の設定例とそのときの制御状態

割り込み制御 モード	CPUPCR の CPUPCE	CPUP2~ CPUP0 の値	DTCP2~ DTCP0 の値	DMAP2~ DMAP0 の値	転送要求制御状態	
					DTC	DMAC
0	0	任意	任意	任意	許可	許可
	1	B'000	B'000	B'000	許可	許可
		B'100	B'000	B'000	マスク	マスク
		B'100	B'000	B'011	マスク	マスク
		B'100	B'111	B'101	許可	許可
		B'000	B'111	B'101	許可	許可
2	0	任意	任意	任意	許可	許可
	1	B'000	B'000	B'000	許可	許可
		B'000	B'011	B'101	許可	許可
		B'011	B'011	B'101	許可	許可
		B'100	B'011	B'101	マスク	許可
		B'101	B'011	B'101	マスク	許可
		B'110	B'011	B'101	マスク	マスク
		B'111	B'011	B'101	マスク	マスク
		B'101	B'011	B'101	マスク	許可
		B'101	B'110	B'101	許可	許可

5.8 使用上の注意事項

5.8.1 割り込みの発生とディスエーブルとの競合

割り込みイネーブルビットをクリアして割り込み要求をマスクする場合、割り込みのマスクはその命令実行終了後に有効になります。BCLR 命令、MOV 命令などで割り込みイネーブルビットをクリアする場合、命令実行中にその割り込みが発生すると、命令実行終了時点では当該割り込みはイネーブル状態にあるため、命令実行終了後にその割り込み例外処理を開始します。ただし、その割り込みより優先順位の高い割り込み要求がある場合には優先順位の高い割り込み例外処理を実行し、その割り込みは無視されます。割り込み要因フラグを 0 にクリアする場合も同様です。TPU の TIER の TCIEV ビットを 0 にクリアする場合の例を図 5.7 に示します。なお、割り込みをマスクした状態でイネーブルビットまたは割り込み要因フラグを 0 にクリアすれば、上記の競合は発生しません。

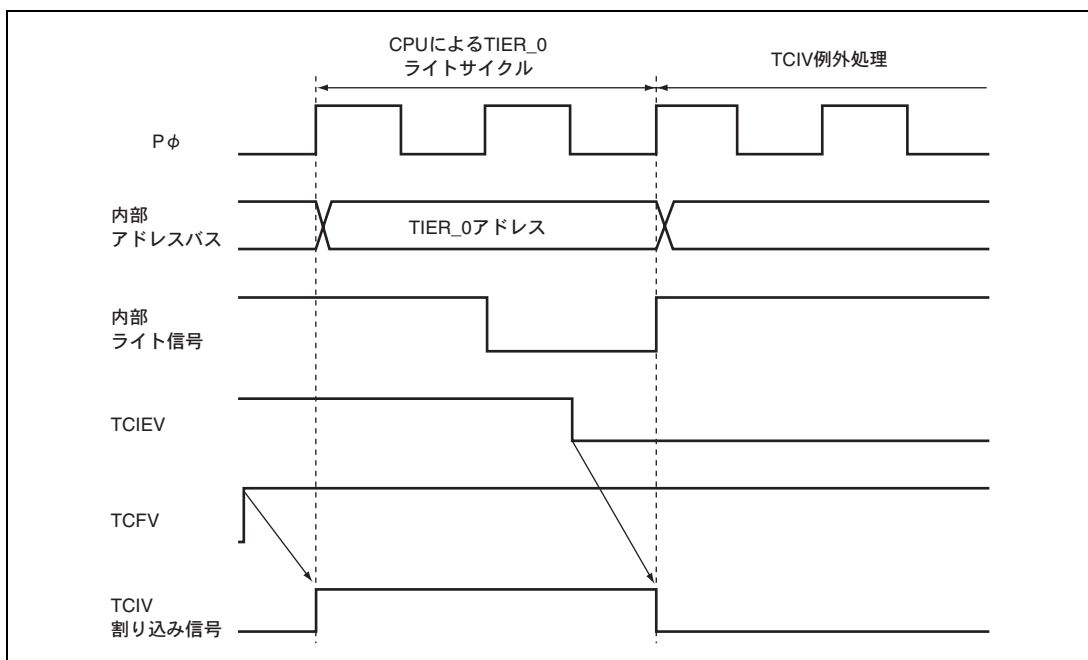


図 5.7 割り込みの発生とディスエーブルの競合

同様に DTC を起動する場合、DTC イネーブルビットの書き換え直前に割り込みが発生すると DTC の起動と CPU の割り込み例外処理を両方実行します。DTC イネーブルビットを変更する場合は、対応する割り込み要求を発生しない状態で行ってください。

5.8.2 割り込みを禁止している命令

実行直後に割り込み要求を受け付けられない命令として、LDC、ANDC、ORC、XORC 命令があります。これらの命令実行終了後は NMI 割り込みを含めて割り込みが禁止され、必ず次の命令を実行します。これらの命令により I ビットを設定した場合、命令実行終了の 2 ステート後に新しい値が有効になります。

5.8.3 割り込み禁止期間

割り込みコントローラには割り込み要求の受け付けを禁止している期間があります。割り込みコントローラは、CPU が LDC、ANDC、ORC、XORC 命令によってマスクレベルを更新した後の 3 ステート期間、および割り込みコントローラのレジスタにライトしている期間は、割り込み要求を受け付けません。

5.8.4 EEPMOV 命令実行中の割り込み

EEPMOV.B 命令と EEPMOV.W 命令では、割り込み動作が異なります。

EEPMOV.B 命令によるデータ転送中に NMI を含めた割り込み要求があっても、転送終了まで割り込みを受け付けません。

EEPMOV.W 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、次の命令のアドレスとなります。このため、EEPMOV.W 命令実行中に割り込みが発生する場合には、以下のプログラムとしてください。

```
L1:  EEPMOV.W
      MOV.W  R4,R4
      BNE   L1
```

5.8.5 MOVMD、MOVSD 命令実行中の割り込み

MOVMD 命令、または MOVSD 命令によるデータ転送中に割り込み要求があった場合、転送サイクルの切れ目で割り込み例外処理が開始されます。このときスタックされる PC の値は、MOVMD 命令、または MOVSD 命令のアドレスとなります。割り込み処理ルーチンからの復帰後に、残りのデータ転送を継続します。

5.8.6 周辺モジュールの割り込み要因フラグ

CPU によって周辺モジュールの割り込み要因フラグをクリアするときは、周辺モジュールと同期を取るために、割り込み処理ルーチン内でフラグをクリアした後に必ず当該フラグをリードしてください。詳細は、「22.6.1 クロック発振器に関する使用上の注意事項」を参照してください。

6. バスコントローラ (BSC)

本 LSI はバスコントローラ (BSC) を内蔵しており、外部アドレス空間を 8 つのエリアに分割して管理します。バスコントローラはバス権調停機能をもっており、内部バスマスタである CPU、DMAC および DTC の動作を制御します。

6.1 特長

- 外部アドレス空間をエリア単位で管理
 - 外部アドレス空間を8つのエリアに分割して管理
 - エリアごとにチップセレクト ($\overline{CS0} \sim \overline{CS7}$) を出力可能
 - エリアごとにバス仕様を設定可能
 - エリアごとに8ビットアクセス空間/16ビットアクセス空間を選択可能
 - バーストROM、バイト制御SRAM、アドレス/データマルチプレクスI/Oインタフェースを設定可能
 - リトルエンディアンのデバイスを接続するためのエンディアン変換機能
- 基本バスインタフェース
 - SRAMやROMを接続可能なインタフェース
 - エリアごとに2ステートアクセス空間/3ステートアクセス空間を選択可能
 - エリアごとにプログラムウェイトステートを挿入可能
 - \overline{WAIT} 端子による端子ウェイトを挿入可能
 - エリアごとに \overline{CSn} アサート期間拡張ステートを挿入可能 (n=0~7)
 - リードストロープ (\overline{RD}) のネゲートタイミングを変更可能
- バイト制御SRAMインタフェース
 - エリア0~7をバイト制御SRAMインタフェースに設定可能
 - バイト制御端子を持つSRAMを直結可能
- バーストROMインタフェース
 - エリア0、エリア1をバーストROMインタフェースに設定可能
 - エリア0、エリア1のバーストROMインタフェースの仕様を独立に設定可能
- アドレス/データマルチプレクスI/Oインタフェース
 - エリア3~7をアドレス/データマルチプレクスI/Oインタフェースに設定可能
- DRAMインタフェース
 - エリア2をDRAMインタフェースに設定可能

6. バスコントローラ (BSC)

ロウアドレス/カラムアドレスのマルチプレクス出力 (8ビット/9ビット/10ビット/11ビット)

16ビットバス : $\overline{\text{CAS}}$ 2本方式によるバイト制御

$\overline{\text{CAS}}$ アサート期間に対してプログラムウェイト、端子ウェイトを挿入可能

高速ページモードによるバースト動作が可能

RASプリチャージタイム確保のためのTpサイクル挿入

CASビフォRASリフレッシュ (CBRリフレッシュ) とセルフリフレッシュを選択可能

- シンクロナスDRAMインタフェース

エリア2をシンクロナスDRAMインタフェースに設定可能

ロウアドレス/カラムアドレスのマルチプレクス出力 (8ビット/9ビット/10ビット/11ビット)

16ビットバス : DQMによるバイト制御

オートリフレッシュとセルフリフレッシュを選択可能

CASレイテンシを2~4に設定可能

- アイドルサイクル挿入

異なるエリア間の外部リードサイクルが連続する場合、アイドルサイクルを挿入可能

外部リードサイクル後に外部ライトサイクルが連続する場合、アイドルサイクルを挿入可能

外部ライトサイクル後に外部リードサイクルが連続する場合、アイドルサイクルを挿入可能

DMACのシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、アイドルサイクルを挿入可能

- ライトバッファ機能

外部ライトサイクルと内部アクセスを並列に実行可能

内蔵周辺モジュールへのライトアクセスと内蔵メモリアccessを並列に実行可能

DMACのシングルアドレス転送と内部アクセスを並列に実行可能

- 外部バス権解放機能

- バス権調停機能 (バスアービトレーション)

バスアービタを内蔵し、CPU、DMAC、DTCおよび外部バスマスタのバス権要求を調停

- マルチクロック機能

内部周辺機能は、周辺モジュールクロック (Pφ) に同期して動作可能

外部空間は、外部バスクロック (Bφ) に同期して動作可能

- バススタート ($\overline{\text{BS}}$)、リード/ライト ($\text{RD}/\overline{\text{WR}}$) 信号出力可能

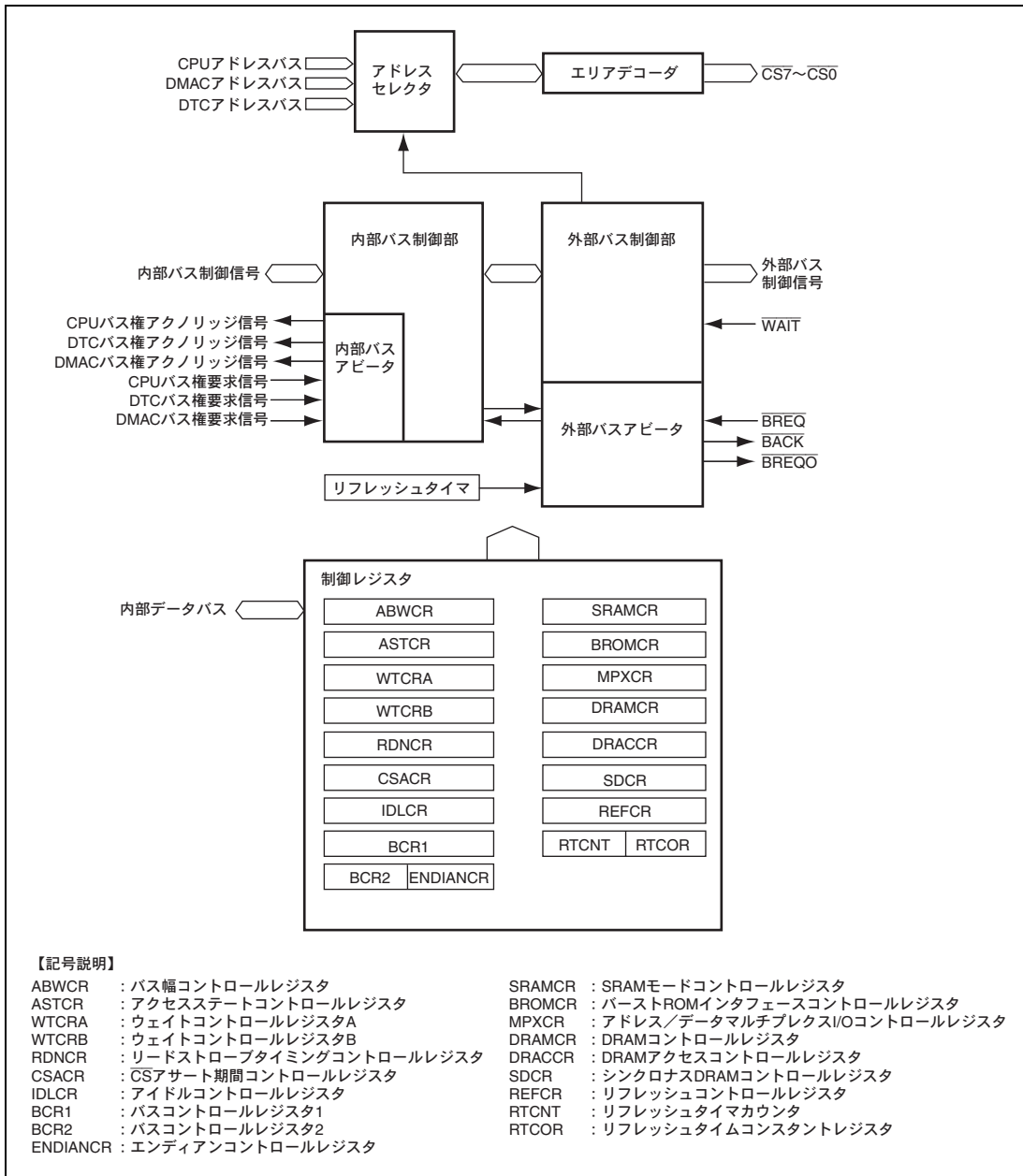


図 6.1 バスコントローラのブロック図

6.2 レジスタの説明

バスコントローラには以下のレジスタがあります。

- バス幅コントロールレジスタ (ABWCR)
- アクセスステートコントロールレジスタ (ASTCR)
- ウェイトコントロールレジスタA (WTCRA)
- ウェイトコントロールレジスタB (WTCRB)
- リードストロブタイミングコントロールレジスタ (RDNCR)
- \overline{CS} アサート期間コントロールレジスタ (CSACR)
- アイドルコントロールレジスタ (IDLCR)
- バスコントロールレジスタ1 (BCR1)
- バスコントロールレジスタ2 (BCR2)
- エンディアンコントロールレジスタ (ENDIANCR)
- SRAMモードコントロールレジスタ (SRAMCR)
- バーストROMインタフェースコントロールレジスタ (BROMCR)
- アドレス/データマルチプレクスI/Oコントロールレジスタ (MPXCR)
- DRAMコントロールレジスタ (DRAMCR)
- DRAMアクセスコントロールレジスタ (DRACCR)
- シンクロナスDRAMコントロールレジスタ (SDCR)
- リフレッシュコントロールレジスタ (REFCR)
- リフレッシュタイマカウンタ (RTCNT)
- リフレッシュタイムコンスタントレジスタ (RTCOR)

6.2.1 バス幅コントロールレジスタ (ABWCR)

ABWCR は、外部アドレス空間の各エリアのデータバス幅を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0
初期値*	1	1	1	1	1	1	1	1/0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0
初期値*	1	1	1	1	1	1	1	1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 初期値は、16ビットバス起動 H'FEFF、8ビットバス起動 H'FFFFとなります。

ビット	ビット名	初期値* ¹	R/W	説 明
15	ABWH7	1	R/W	エリア 7~0 バス幅コントロール 対応するエリアを 8 ビットアクセス空間にするか、16 ビットアクセス空間にするかを選択します。 ABWHn ABWLn (n=7~0) x 0 : 設定禁止 0 1 : エリア n を 16 ビットアクセス空間に設定 1 1 : エリア n を 8 ビットアクセス空間に設定* ²
14	ABWH6	1	R/W	
13	ABWH5	1	R/W	
12	ABWH4	1	R/W	
11	ABWH3	1	R/W	
10	ABWH2	1	R/W	
9	ABWH1	1	R/W	
8	ABWH0	1/0	R/W	
7	ABWL7	1	R/W	
6	ABWL6	1	R/W	
5	ABWL5	1	R/W	
4	ABWL4	1	R/W	
3	ABWL3	1	R/W	
2	ABWL2	1	R/W	
1	ABWL1	1	R/W	
0	ABWL0	1	R/W	

【記号説明】 x : Don't care

【注】 *¹ 初期値は、16 ビットバス起動 H'FEFF、8 ビットバス起動 H'FFFF となります。

*² バイト制御 SRAM インタフェースに設定した空間は、8 ビットアクセス空間に設定しないでください。

6. バスコントローラ (BSC)

6.2.2 アクセスステートコントロールレジスタ (ASTCR)

ASTCR は、外部アドレス空間の各エリアを 2 ステートアクセス空間、または 3 ステートアクセス空間のいずれかに設定します。同時にウェイトステート挿入の許可/禁止を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	AST7	1	R/W	エリア 7~0 アクセスステートコントロール 対応するエリアを 2 ステートアクセス空間にするか、3 ステートアクセス空間にするかを選択します。同時にウェイトステートの挿入を許可または禁止します。 0: エリア n を 2 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を禁止 1: エリア n を 3 ステートアクセス空間に設定 エリア n のアクセスにウェイトステートの挿入を許可 (n=7~0)
14	AST6	1	R/W	
13	AST5	1	R/W	
12	AST4	1	R/W	
11	AST3	1	R/W	
10	AST2	1	R/W	
9	AST1	1	R/W	
8	AST0	1	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.3 ウェイトコントロールレジスタ A、B (WTCRA、WTCRB)

WTCRA、WTCRB は、外部アドレス空間の各エリアのプログラムウェイトステート数を選択します。

・ WTCRA

ビット	15	14	13	12	11	10	9	8
ビット名	—	W72	W71	W70	—	W62	W61	W60
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	W52	W51	W50	—	W42	W41	W40
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

・ WTCRB

ビット	15	14	13	12	11	10	9	8
ビット名	—	W32	W31	W30	—	W22	W21	W20
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	W12	W11	W10	—	W02	W01	W00
初期値:	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

6. バスコントローラ (BSC)

• WTCRA

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W72	1	R/W	エリア7ウェイトコントロール2~0 ASTCRのAST7=1のとき、エリア7をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
13	W71	1	R/W	
12	W70	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
10	W62	1	R/W	エリア6ウェイトコントロール2~0 ASTCRのAST6=1のとき、エリア6をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
9	W61	1	R/W	
8	W60	1	R/W	
7	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	W52	1	R/W	エリア5ウェイトコントロール2~0 ASTCRのAST5=1のとき、エリア5をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを1ステート挿入 010: プログラムウェイトを2ステート挿入 011: プログラムウェイトを3ステート挿入 100: プログラムウェイトを4ステート挿入 101: プログラムウェイトを5ステート挿入 110: プログラムウェイトを6ステート挿入 111: プログラムウェイトを7ステート挿入
5	W51	1	R/W	
4	W50	1	R/W	

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
3	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
2	W42	1	R/W	エリア 4 ウェイトコントロール 2~0 ASTCR の AST4=1 のとき、エリア 4 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
1	W41	1	R/W	
0	W40	1	R/W	

• WTCRB

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
14	W32	1	R/W	エリア 3 ウェイトコントロール 2~0 ASTCR の AST3=1 のとき、エリア 3 をアクセスするときのプログラムウェイトステート数を選択します。 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入
13	W31	1	R/W	
12	W30	1	R/W	
11	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明	
10	W22	1	R/W	エリア 2 ウェイトコントロール 2~0	
9	W21	1	R/W	ASTCR の AST2=1 のとき、エリア 2 をアクセスするときのプログラムウェイトステート数を選択します。また、シンクロナス DRAM 接続時は CAS レイテンシの設定を行います。そのとき W22 は無視されます。ASTCR のウェイトステート挿入/禁止の設定によらず、CAS レイテンシの設定が可能です。 <ul style="list-style-type: none"> • プログラムウェイトステート数の選択 <ul style="list-style-type: none"> 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入 • CAS レイテンシの設定 (W22 は無視) <ul style="list-style-type: none"> 00 : (設定禁止) 01 : CAS レイテンシ 2 のシンクロナス DRAM を接続 10 : CAS レイテンシ 3 のシンクロナス DRAM を接続 11 : CAS レイテンシ 4 のシンクロナス DRAM を接続 	
8	W20	1	R/W		
7	—	0	R		リザーブビット このビットはリードのみ有効で、ライトは無効です。
6	W12	1	R/W	エリア 1 ウェイトコントロール 2~0	
5	W11	1	R/W	ASTCR の AST1=1 のとき、エリア 1 をアクセスするときのプログラムウェイトステート数を選択します。 <ul style="list-style-type: none"> 000 : プログラムウェイトを挿入しない 001 : プログラムウェイトを 1 ステート挿入 010 : プログラムウェイトを 2 ステート挿入 011 : プログラムウェイトを 3 ステート挿入 100 : プログラムウェイトを 4 ステート挿入 101 : プログラムウェイトを 5 ステート挿入 110 : プログラムウェイトを 6 ステート挿入 111 : プログラムウェイトを 7 ステート挿入 	
4	W10	1	R/W		
3	—	0	R		リザーブビット このビットはリードのみ有効で、ライトは無効です。

ビット	ビット名	初期値	R/W	説明
2	W02	1	R/W	エリア 0 ウェイトコントロール 2~0 ASTCR の AST0=1 のとき、エリア 0 をアクセスするときのプログラムウェイト ステート数を選択します。 000: プログラムウェイトを挿入しない 001: プログラムウェイトを 1 ステート挿入 010: プログラムウェイトを 2 ステート挿入 011: プログラムウェイトを 3 ステート挿入 100: プログラムウェイトを 4 ステート挿入 101: プログラムウェイトを 5 ステート挿入 110: プログラムウェイトを 6 ステート挿入 111: プログラムウェイトを 7 ステート挿入
1	W01	1	R/W	
0	W00	1	R/W	

6.2.4 リードストロープタイミングコントロールレジスタ (RDNCR)

RDNCR は、基本バスインタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定した外部アドレス空間のリードアクセス時のリードストロープ信号 (\overline{RD}) のネゲートタイミングを設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	RDN7	0	R/W	リードストロープタイミングコントロール 対応するエリアをリードアクセスするとき \overline{RD} のネゲートタイミングを 設定します。図 6.2 に示すように、 $RDNn=1$ に設定したエリアの \overline{RD} は、 $RDNn=0$ に設定したときに比べて半ステート早くネゲートします。同様に リードデータのセットアップ/ホールドの規定も半ステート早くなります。 0: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリード サイクルの終わり 1: エリア n のリードアクセス時、 \overline{RD} のネゲートタイミングはリード サイクルの終わりから半ステート手前 (n=7~0)
14	RDN6	0	R/W	
13	RDN5	0	R/W	
12	RDN4	0	R/W	
11	RDN3	0	R/W	
10	RDN2	0	R/W	
9	RDN1	0	R/W	
8	RDN0	0	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6. バスコントローラ (BSC)

- 【注】
1. バイト制御 SRAM インタフェースに設定した外部アドレス空間では、RDNCR の設定は無視され、常に RDNn=1 を設定した場合と同じ動作になります。
 2. バースト ROM インタフェースに設定した外部アドレス空間は、CPU のリードアクセス時 RDNCR の設定は無視され、常に RDNn=0 を設定したときと同様の動作になります。

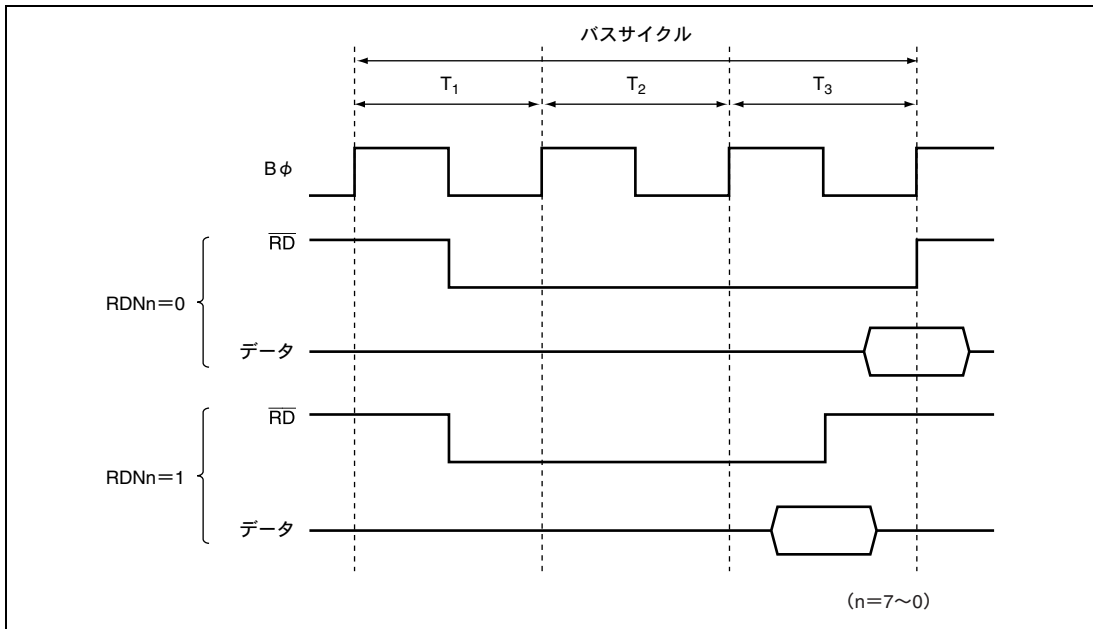


図 6.2 リードストロブネゲートタイミング (3ステートアクセス空間)

6.2.5 \overline{CS} アサート期間コントロールレジスタ (CSACR)

CSACR は、基本バスインタフェース、バイト制御 SRAM インタフェース、バースト ROM インタフェース、アドレス/データマルチプレクス I/O インタフェースのチップセレクト信号 (\overline{CSn})、およびアドレス信号のアサート期間を拡張するか否かを選択します。 \overline{CSn} 、アドレス信号のアサート期間を拡張することにより、リードストロープ (\overline{RD}) やライトストロープ ($\overline{LHWR/LLWR}$) のセットアップ時間、およびホールド時間を確保することができます。また、ライト時に、ライトストロープに対するライトデータのセットアップ時間、ホールド時間を緩和することができます。

ビット	15	14	13	12	11	10	9	8
ビット名	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	CSXH7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 1 T_h サイクルを挿入するか否かを選択します (図 6.3 参照)。CSX $Hn=1$ に設定したエリアをアクセスすると、通常のアクセスサイクルの前に \overline{CSn} とアドレスがアサートされる T_h サイクルが 1 ステート挿入されます。 0: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (T_h) を拡張しない 1: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (T_h) を拡張する ($n=7\sim 0$)
14	CSXH6	0	R/W	
13	CSXH5	0	R/W	
12	CSXH4	0	R/W	
11	CSXH3	0	R/W	
10	CSXH2	0	R/W	
9	CSXH1	0	R/W	
8	CSXH0	0	R/W	
7	CSXT7	0	R/W	\overline{CS} 、アドレス信号アサート期間コントロール 2 T_t サイクルを挿入するか否かを選択します (図 6.3 参照)。CSXT $n=1$ に設定したエリアをアクセスすると、通常のアクセスサイクルの後に \overline{CSn} とアドレスが保持される T_t サイクルが 1 ステート挿入されます。 0: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (T_t) を拡張しない 1: エリア n のアクセス時、 \overline{CSn} 、アドレスアサート期間 (T_t) を拡張する ($n=7\sim 0$)
6	CSXT6	0	R/W	
5	CSXT5	0	R/W	
4	CSXT4	0	R/W	
3	CSXT3	0	R/W	
2	CSXT2	0	R/W	
1	CSXT1	0	R/W	
0	CSXT0	0	R/W	

【注】 バースト ROM インタフェースでは、CPU のリードアクセス時 CSXT n の設定は無視されます。

6. バスコントローラ (BSC)

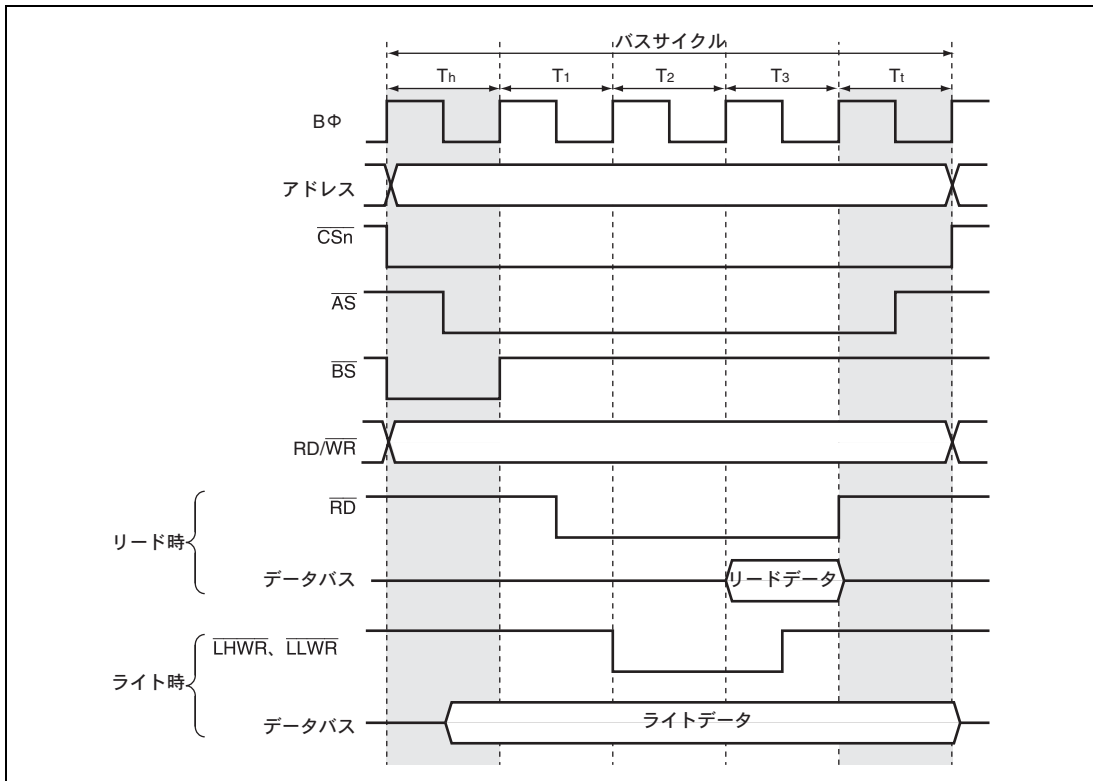


図 6.3 CS、アドレスアサート期間拡張
(基本バスインタフェース、3 ステートアクセス空間、RDn=0)

6.2.6 アイドルコントロールレジスタ (IDLCR)

IDLCR は、アイドルサイクルの挿入条件、およびアイドルサイクル数の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
15	IDLS3	1	R/W	<p>アイドルサイクル挿入 3</p> <p>DMAC のシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
14	IDLS2	1	R/W	<p>アイドルサイクル挿入 2</p> <p>外部ライトサイクル後に外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
13	IDLS1	1	R/W	<p>アイドルサイクル挿入 1</p> <p>異なるエリアの外部リードサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
12	IDLS0	1	R/W	<p>アイドルサイクル挿入 0</p> <p>外部リードサイクル後に外部ライトサイクルが連続する場合、バスサイクルの間にアイドルサイクルを挿入することができます。</p> <p>0 : アイドルサイクルを挿入しない 1 : アイドルサイクルを挿入する</p>
11	IDLCB1	1	R/W	<p>アイドルサイクルステート数選択 B</p> <p>IDLS1、IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。</p> <p>00 : アイドルサイクルを挿入しない 01 : アイドルサイクルの挿入ステートは 2 ステート 10 : アイドルサイクルの挿入ステートは 3 ステート 11 : アイドルサイクルの挿入ステートは 4 ステート</p>
10	IDLCB0	1	R/W	
9	IDLCA1	1	R/W	<p>アイドルサイクルステート数選択 A</p> <p>IDLS3~IDLS0 で選択されたアイドル条件に対して、挿入するステート数を選択します。</p> <p>00 : アイドルサイクルの挿入ステートは 1 ステート 01 : アイドルサイクルの挿入ステートは 2 ステート 10 : アイドルサイクルの挿入ステートは 3 ステート 11 : アイドルサイクルの挿入ステートは 4 ステート</p>
8	IDLCA0	1	R/W	

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
7	IDLSEL7	0	R/W	アイドルサイクル数選択 IDLS1、IDLS0 で選択されたアイドル挿入条件で、挿入するアイドルステート数を各エリア毎に選択します。 0 : エリア n に挿入するアイドルサイクルのステート数を IDLCA1、IDLCA0 で指定する 1 : エリア n に挿入するアイドルサイクルのステート数を IDLCB1、IDLCB0 で指定する (n=7~0)
6	IDLSEL6	0	R/W	
5	IDLSEL5	0	R/W	
4	IDLSEL4	0	R/W	
3	IDLSEL3	0	R/W	
2	IDLSEL2	0	R/W	
1	IDLSEL1	0	R/W	
0	IDLSEL0	0	R/W	

6.2.7 バスコントロールレジスタ 1 (BCR1)

BCR1 は、外部バス解放状態のプロトコル、ライトデータバッファ機能の許可/禁止、 $\overline{\text{WAIT}}$ 端子入力の許可/禁止の設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	BRLE	BREQOE	—	—	—	—	WDBE	WAITE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DKC	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説 明
15	BRLE	0	R/W	外部バス解放イネーブル 外部バス権の解放を許可または禁止します。 0 : 外部バス権の解放を禁止 $\overline{\text{BREQ}}$ 、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQO}}$ は入出力ポートとして使用可能 1 : 外部バス権の解放を許可 詳細は「9. I/O ポート」を参照してください。
14	BREQOE	0	R/W	$\overline{\text{BREQO}}$ 端子イネーブル 外部バス解放状態のとき、内部バスマスタが外部アドレス空間をアクセスするとき、外部バスマスタに対してバス権要求信号 ($\overline{\text{BREQO}}$) の出力を許可または禁止します。 0 : $\overline{\text{BREQO}}$ 信号出力禁止 $\overline{\text{BREQO}}$ 端子は入出力ポートとして使用可能 1 : $\overline{\text{BREQO}}$ 信号出力許可

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
13	—	0	R	リザーブビット
12	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
11	—	0	R/W	リザーブビット
10	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
9	WDBE	0	R/W	ライトデータバッファイネーブル 外部ライトサイクル、または DMAC のシングルアドレス転送サイクルのとき、ライトデータバッファ機能を使用できます。 設定値を変更する場合は、変更内容が直後の外部アクセスに反映されない場合があります。 0: ライトデータバッファ機能を使用しない 1: ライトデータバッファ機能を使用する
8	WAITE	0	R/W	WAIT 端子イネーブル WAIT 端子によるウェイト入力の許可または禁止を選択します。 0: WAIT 端子によるウェイト入力を禁止 WAIT 端子は入出力ポートとして使用可能 1: WAIT 端子によるウェイト入力を許可 詳細は「9. I/O ポート」を参照してください。
7	DKC	0	R/W	DACK コントロールビット DMAC の転送アクノレッジ信号のアサートタイミングを選択します。 0: DACK 信号のアサートタイミングは、Bφの立ち下がリエッジ 1: DACK 信号のアサートタイミングは、Bφの立ち上がりエッジ
6	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5~0	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 外部バス解放を許可、または WAIT 端子入力を許可に設定する場合は、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

6. バスコントローラ (BSC)

6.2.8 バスコントロールレジスタ 2 (BCR2)

BCR2は、CPU、DMAC および DTC のバスアービトレーション制御、周辺モジュールへのライトデータバッファ機能の許可/禁止の設定を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	IBCCS	—	—	—	PWDBE
初期値 :	0	0	0	0	0	0	1	0
R/W :	R	R	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
4	IBCCS	0	R/W	内部バスサイクルコントロールセレクト 内部バスアービタの機能を選択します。 0 : 優先順位に従ってバス権を解放 1 : DMAC、または DTC のバス権要求と CPU のバス権要求が競合したとき、交互にバスサイクルを実行します。
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
1	—	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
0	PWDBE	0	R/W	周辺モジュールライトデータバッファイネーブル 周辺モジュールへのライトサイクルのとき、ライトデータバッファ機能を使用できます。 0 : ライトデータバッファ機能を使用しない 1 : ライトデータバッファ機能を使用する

6.2.9 エンディアンコントロールレジスタ (ENDIANCR)

ENDIANCR は、外部アドレス空間の各エリアのエンディアン形式を選択します。本 LSI のデータ形式はビッグエンディアンですが、外部空間へのアクセス時にエンディアン形式をリトルエンディアンにして転送することができます。

プログラム領域として使用するエリア、およびスタック領域として使用するエリアのデータ形式は、ビッグエンディアンにしてください。

ビット	7	6	5	4	3	2	1	0
ビット名	LE7	LE6	LE5	LE4	LE3	LE2	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	LE7	0	R/W	リトルエンディアン選択 対応するエリアのエンディアン形式を選択します。 0: エリア n のエンディアン形式はビッグエンディアン 1: エリア n のエンディアン形式はリトルエンディアン (n=7~2)
6	LE6	0	R/W	
5	LE5	0	R/W	
4	LE4	0	R/W	
3	LE3	0	R/W	
2	LE2	0	R/W	
1	—	0	R	リザーブビット
0	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

6.2.10 SRAM モードコントロールレジスタ (SRAMCR)

SRAMCR は、外部アドレス空間の各エリアのバスインタフェースを基本バスインタフェース、またはバイト制御 SRAM インタフェースに設定します。

ABWCR によって 8 ビットアクセス空間に設定されているエリアでは、SRAMCR の設定は無効となり、バイト制御 SRAM インタフェースを設定することはできません。

ビット	15	14	13	12	11	10	9	8
ビット名	BCSEL7	BCSEL6	BCSEL5	BCSEL4	BCSEL3	BCSEL2	BCSEL1	BCSEL0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
15	BCSEL7	0	R/W	バイト制御 SRAM インタフェース選択 対応するエリアのバスインタフェースを選択します。 エリア n ビットを 1 にセットする場合は、BROMCR、MPXCR にある対応するエリアのバスインタフェース選択ビットは 0 にクリアしてください。 0 : エリア n は基本バスインタフェース 1 : エリア n はバイト制御 SRAM インタフェース (n=7~0)
14	BCSEL6	0	R/W	
13	BCSEL5	0	R/W	
12	BCSEL4	0	R/W	
11	BCSEL3	0	R/W	
10	BCSEL2	0	R/W	
9	BCSEL1	0	R/W	
8	BCSEL0	0	R/W	
7~0	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

6.2.11 バースト ROM インタフェースコントロールレジスタ (BROMCR)

BROMCR は、バースト ROM インタフェースの設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	BSRM0	BSTS02	BSTS01	BSTS00	—	—	BSWD01	BSWD00
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	BSRM1	BSTS12	BSTS11	BSTS10	—	—	BSWD11	BSWD10
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R	R	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	BSRM0	0	R/W	エリア 0 バースト ROM インタフェース選択 エリア 0 のバスインタフェースを選択します。このビットを 1 にセットする場合は、SRAMCR の BCSEL0 は 0 にクリアしてください。 0 : 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : バースト ROM インタフェース

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
14	BSTS02	0	R/W	エリア 0 バーストサイクルセレクト
13	BSTS01	0	R/W	エリア 0 のバーストサイクルのステート数を選択します。
12	BSTS00	0	R/W	000 : 1 ステート 001 : 2 ステート 010 : 3 ステート 011 : 4 ステート 100 : 5 ステート 101 : 6 ステート 110 : 7 ステート 111 : 8 ステート
11	—	0	R	リザーブビット
10	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
9	BSWD01	0	R/W	エリア 0 バーストワード数セレクト
8	BSWD00	0	R/W	エリア 0 のバースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 00 : 最大 4 ワード (8 バイト) 01 : 最大 8 ワード (16 バイト) 10 : 最大 16 ワード (32 バイト) 11 : 最大 32 ワード (64 バイト)
7	BSRM1	0	R/W	エリア 1 バースト ROM インタフェース選択 エリア 1 のバスインタフェースを選択します。このビットを 1 にセットする場合は、SRAMCR の BCSEL1 は 0 にクリアしてください。 0 : 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1 : バースト ROM インタフェース
6	BSTS12	0	R/W	エリア 1 バーストサイクルセレクト
5	BSTS11	0	R/W	エリア 1 のバーストサイクルのステート数を選択します。
4	BSTS10	0	R/W	000 : 1 ステート 001 : 2 ステート 010 : 3 ステート 011 : 4 ステート 100 : 5 ステート 101 : 6 ステート 110 : 7 ステート 111 : 8 ステート
3	—	0	R	リザーブビット
2	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
1	BSWD11	0	R/W	エリア 1 バーストワード数セレクト
0	BSWD10	0	R/W	エリア 1 のバースト ROM インタフェースのバーストアクセス可能なワード数を選択します。 00: 最大 4 ワード (8 バイト) 01: 最大 8 ワード (16 バイト) 10: 最大 16 ワード (32 バイト) 11: 最大 32 ワード (64 バイト)

6.2.12 アドレス/データマルチプレクス I/O コントロールレジスタ (MPXCR)

MPXCR は、アドレス/データマルチプレクス I/O インタフェースの設定を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	MPXE7	MPXE6	MPXE5	MPXE4	MPXE3	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	ADDEX
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	MPXE7	0	R/W	アドレス/データマルチプレクス I/O インタフェース選択
14	MPXE6	0	R/W	対応するエリアのバスインタフェースを選択します。
13	MPXE5	0	R/W	エリア n のビットを 1 にセットする場合は SRAMCR の BCSELn ビットを 0 にクリアしてください。
12	MPXE4	0	R/W	
11	MPXE3	0	R/W	0: エリア n は基本バスインタフェースまたはバイト制御 SRAM インタフェース 1: エリア n はアドレス/データマルチプレクス I/O インタフェース (n=7~3)
10~1	—	すべて 0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	ADDEX	0	R/W	アドレス出力サイクル拡張 アドレス/データマルチプレクス I/O インタフェースのアドレス出力サイクルにウェイトステートを挿入するか否かを選択します。 0: アドレス出力サイクルにウェイトを挿入しない 1: アドレス出力サイクルに 1 ステートのウェイトを挿入する

6.2.13 DRAM コントロールレジスタ (DRAMCR)

DRAMCR は、DRAM/シンクロナス DRAM インタフェースの設定を行います。

DRAM/シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。

ビット	15	14	13	12	11	10	9	8
ビット名	DRAME	DTYPE	—	—	OEE	RAST	—	CAST
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	BE	RCDM	DDS	—	—	—	MXC1	MXC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	DRAME	0	R/W	<p>エリア 2 DRAM インタフェース選択</p> <p>エリア 2 を DRAM/シンクロナス DRAM インタフェースとするか否かを選択します。このビットを 1 にセットするときは、エリア 2 に接続する DRAM の種類を DTYPE ビットで選択してください。このビットを 1 にセットする場合は、SRAMCR の BCSEL2 は 0 に設定してください。</p> <p>0: 基本バスインタフェースまたはバイト制御 SRAM インタフェース 1: DRAM/シンクロナス DRAM インタフェース</p>
14	DTYPE	0	R/W	<p>DRAM 選択</p> <p>エリア 2 に接続する DRAM を選択します。</p> <p>0: DRAM をエリア 2 に接続する 1: シンクロナス DRAM をエリア 2 に接続する</p>
13	—	0	R	リザーブビット
12	—	0	R	初期値を変更しないでください。
11	OEE	0	R/W	<p>\overline{OE} 出力イネーブル</p> <p>EDO ページモードを備えた DRAM に接続するときに \overline{OE} 信号を出力することができます。シンクロナス DRAM に接続するときには、CKE 信号を出力することができます。</p> <p>0: \overline{OE}/CKE 信号出力禁止 (\overline{OE}/CKE 端子は入出力ポートとして使用可能) 1: \overline{OE}/CKE 信号出力許可</p>

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
10	RAST	0	R/W	<p>$\overline{\text{RAS}}$ アサートタイミング選択</p> <p>DRAM アクセス時の $\overline{\text{RAS}}$ 信号を Tr サイクルの先頭 (Bϕ立ち上がりエッジ) からアサートするか、Bϕ立ち下がりエッジからアサートするかを選択します。図 6.4 に RAST ビットの設定と $\overline{\text{RAS}}$ アサートタイミングの関係を示します。</p> <p>シンクロナス DRAM 空間に設定した場合、このビットの設定内容は動作に影響を与えません。</p> <p>0: $\overline{\text{RAS}}$ を Tr サイクルの Bϕ立ち下がりエッジでアサート 1: $\overline{\text{RAS}}$ を Tr サイクルの先頭からアサート</p>
9	—	0	R	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
8	CAST	0	R/W	<p>カラムアドレス出力サイクル数選択</p> <p>DRAM アクセス時のカラムアドレス出力サイクルを 2 ステートにするか、3 ステートにするか選択します。</p> <p>シンクロナス DRAM 空間に設定した場合、このビットの設定内容は動作に影響を与えません。</p> <p>0: カラムアドレス出力サイクルは 2 ステート 1: カラムアドレス出力サイクルは 3 ステート</p>
7	BE	0	R/W	<p>バーストアクセスイネーブル</p> <p>DRAM 空間/シンクロナス DRAM 空間へのバーストアクセスの許可または禁止を選択します。DRAM 空間/シンクロナス DRAM 空間のアクセスは、高速ページモードとなります。EDO ページモード DRAM を使用する場合、$\overline{\text{OE}}$ 信号を DRAM の $\overline{\text{OE}}$ 端子に接続してください。</p> <p>0: DRAM 空間/シンクロナス DRAM 空間のアクセスは常にフルアクセス 1: DRAM 空間/シンクロナス DRAM 空間アクセス時、高速ページモードでアクセス</p>

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
6	RCDM	0	R/W	<p>RAS ダウンモード</p> <p>通常バス空間へのアクセス、内部 I/O レジスタへのアクセスにより、DRAM 空間へのアクセスが途切れたときに、$\overline{\text{RAS}}$ 信号を Low レベルにしたまま次の DRAM へのアクセスを待つか (RAS ダウンモード)、$\overline{\text{RAS}}$ 信号を High レベルに戻すか (RAS アップモード) を選択します。</p> <p>このビットの設定は BE=1 のとき有効となります。また、RCDM=1 の状態で、RAS ダウン中にこのビットを 0 にクリアすると、RAS ダウン状態は解除され、RAS は High レベルとなります。</p> <p>シンクロナス DRAM インタフェースで RAS ダウンモードに設定した場合、アクセスするロウアドレスが一致すると ACTV コマンドを発行せずに READ/WRITE コマンドを発行します。</p> <p>0 : DRAM 空間/シンクロナス DRAM 空間アクセス時、RAS アップモードを選択</p> <p>1 : DRAM 空間/シンクロナス DRAM 空間アクセス時、RAS ダウンモードを選択</p>
5	DDS	0	R/W	<p>DMAC シングルアドレス転送時オプション</p> <p>DRAM/シンクロナス DRAM インタフェースで DMAC シングルアドレス転送を行う場合、フルアクセスを行うか、高速ページアクセスを許可するかを選択します。</p> <p>BE=0 に設定して、DRAM/シンクロナス DRAM の高速ページアクセスを禁止した場合、このビットの設定にかかわらず、DMAC のシングルアドレス転送はフルアクセスになります。このビットは、他のバスマスタの外部アクセス、DMAC デュアルアドレス転送には影響を与えません。</p> <p>また、このビットを 1 にセットすると、$\overline{\text{DACK}}$ の出カタイミグが変更されます。</p> <p>0 : DRAM 空間/シンクロナス DRAM 空間に対して DMAC シングルアドレス転送を行う場合、フルアクセスを実行</p> <p>1 : DRAM 空間/シンクロナス DRAM 空間に対して DMAC シングルアドレス転送を行う場合も高速ページアクセス可能</p>

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
4	—	0	R/W	リザーブビット
3	—	0	R	初期値を変更しないでください。
2	—	0	R/W	
1	MXC1	0	R/W	アドレスマルチプレクス選択
0	MXC0	0	R/W	<p>ロウアドレス/カラムアドレスのマルチプレクスに対するロウアドレスの下位側へのシフト量を選択します。同時に DRAM/シンクロナス DRAM インタフェースのバースト動作時に比較するロウアドレスを選択します。</p> <p>00: 8 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A8</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A9</p> <p>01: 9 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A9</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A10</p> <p>10: 10 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A10</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A11</p> <p>11: 11 ビットシフト</p> <p>8 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A11</p> <p>16 ビットアクセス空間設定時: 比較対象ロウアドレスは A23~A12</p>

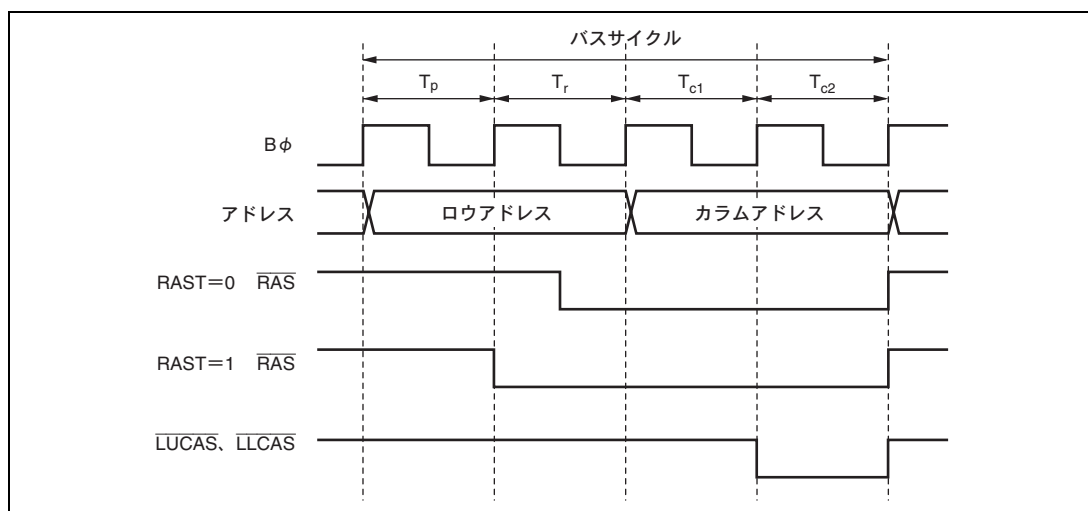


図 6.4 RAS 信号アサートタイミング
(カラムアドレス出力サイクル 2 ステート、フルアクセス)

6.2.14 DRAM アクセスコントロールレジスタ (DRACCR)

DRACCR は、DRAM/シンクロナス DRAM インタフェースのバス仕様を設定します。

DRAM/シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。

ビット	15	14	13	12	11	10	9	8
ビット名	—	—	TPC1	TPC0	—	—	RCD1	RCD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15	—	0	R	リザーブビット
14	—	0	R	初期値を変更しないでください。
13	TPC1	0	R/W	プリチャージステート制御
12	TPC0	0	R/W	通常アクセス時、およびリフレッシュ時の RAS プリチャージサイクルのステート数を選択します。 00: RAS プリチャージサイクルは 1 ステート 01: RAS プリチャージサイクルは 2 ステート 10: RAS プリチャージサイクルは 3 ステート 11: RAS プリチャージサイクルは 4 ステート
11	—	0	R	リザーブビット
10	—	0	R	初期値を変更しないでください。
9	RCD1	0	R/W	$\overline{\text{RAS}}$ ・ $\overline{\text{CAS}}$ 間ウェイト制御
8	RCD0	0	R/W	$\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを挿入するかかを選択します。 00: $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを挿入しない 01: $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを 1 ステート挿入する 10: $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを 2 ステート挿入する 11: $\overline{\text{RAS}}$ アサートサイクルと $\overline{\text{CAS}}$ アサートサイクルの間にウェイトサイクルを 3 ステート挿入する
7~0	—	すべて 0	R	リザーブビット 初期値を変更しないでください。

6. バスコントローラ (BSC)

6.2.15 シンクロナス DRAM コントロールレジスタ (SDCR)

SDCR は、シンクロナス DRAM インタフェース (DRAMCR の DTYPE=1 のとき) のバス仕様を設定します。

シンクロナス DRAM 空間をアクセスしていない状態で書き換えを行ってください。また、シンクロナス DRAM インタフェースを使用しない場合は、必ず初期値状態としてください。

ビット	15	14	13	12	11	10	9	8
ビット名	MRSE	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R/W	R/W	R	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	CKSPE	—	—	—	—	—	—	TRWL
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	MRSE	0	R/W	モードレジスタセットイネーブル シンクロナス DRAM のモードレジスタ設定を有効にします。「6.11.14 シンクロナス DRAM モードレジスタの設定」を参照してください。 0 : シンクロナス DRAM のモードレジスタの設定禁止 1 : シンクロナス DRAM のモードレジスタの設定許可
14~12	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。初期値を変更しないでください。
11, 10	—	0	R/W	リザーブビット 初期値を変更しないでください。
9	—	0	R	リザーブビット
8	—	0	R/W	初期値を変更しないでください。
7	CKSPE	0	R/W	クロックサスペンドイネーブル リードデータを拡張するためのクロックサスペンドモードを有効にします。このビットを 1 にセットすると、シンクロナス DRAM のリードデータを 1 サイクル拡張することができます。 0 : クロックサスペンドモードを禁止する 1 : クロックサスペンドモードを有効にする
6~1	—	すべて 0	R	リザーブビット 初期値を変更しないでください。

ビット	ビット名	初期値	R/W	説明
0	TRWL	0	R/W	ライト-プリチャージ遅延制御 シンクロナス DRAM へライトコマンドを発行した後、プリチャージコマンドを発行するまでの時間を設定します。このビットを1にセットすると、ライトコマンド発行後に1サイクルのウェイトが挿入されます。 0: ウェイトサイクルを挿入しない 1: ライトコマンド発行後にウェイトサイクルを1ステート挿入する

6.2.16 リフレッシュコントロールレジスタ (REFCR)

REFCR は、DRAM/シンクロナス DRAM インタフェースのリフレッシュの制御を設定します。

ビット	15	14	13	12	11	10	9	8
ビット名	CMF	CMIE	RCW1	RCW0	—	RTCK2	RTCK1	RTCK0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	RFSHE	RLW2	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアのための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
15	CMF	0	R/(W)*	コンペアマッチフラグ リフレッシュタイムカウンタ (RTCNT) とリフレッシュタイムコンスタントレジスタ (RTCOR) の値が一致したことを示すステータスフラグです。 [クリア条件] • RFSHE=0 の状態で、CMF=1 をリードした後、CMF=0 をライトしたとき • RFSHE=1 の状態で、CBR リフレッシュが実行されたとき [セット条件] • RTCNT=RTCOR となったとき

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
14	CMIE	0	R/W	<p>コンペアマッチ割込みイネーブル</p> <p>CMF フラグが 1 にセットされたとき、CMF フラグによる割り込み要求 (CMI) を許可または禁止します。</p> <p>このビットは、RFSHE ビットが 0 にクリアされ、リフレッシュ制御を行わないときに有効となります。RFSHE ビットが 1 にセットされ、リフレッシュ制御を行っているときは、このビットは常に 0 にクリアされており、ライトは無効です。</p> <p>0 : CMF フラグによる割込み要求を禁止 1 : CMF フラグによる割込み要求を許可</p>
13	RCW1	0	R/W	<p>CAS・RAS 間ウェイト制御</p> <p>DRAM リフレッシュサイクルの $\overline{\text{CAS}}$ アサートサイクルと $\overline{\text{RAS}}$ アサートサイクルの間にウェイトサイクルを挿入するか否かを選択します。</p> <p>シンクロナス DRAM 空間に設定した場合、このビットはリード/ライト可能ですが、設定内容は動作に影響を与えません。</p> <p>00 : リフレッシュサイクルの CAS、RAS 間にウェイトステートを挿入しない 01 : リフレッシュサイクルの $\overline{\text{CAS}}$、$\overline{\text{RAS}}$ 間にウェイトステートを 1 ステート挿入する 10 : リフレッシュサイクルの $\overline{\text{CAS}}$、$\overline{\text{RAS}}$ 間にウェイトステートを 2 ステート挿入する 11 : リフレッシュサイクルの $\overline{\text{CAS}}$、$\overline{\text{RAS}}$ 間にウェイトステートを 3 ステート挿入する</p>
12	RCW0	0	R/W	
11	—	0	R	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>
10	RTCK2	0	R/W	<p>リフレッシュカウンタクロックセレクト</p> <p>周辺モジュールクロック (Pϕ) を分周した 7 種類の内部クロックから、リフレッシュカウンタのカウントアップに使用するクロックを選択します。入カクロックを選択すると、リフレッシュカウンタがカウントアップを開始します。</p> <p>000 : カウント動作停止 001 : Pϕ/2 でカウント 010 : Pϕ/8 でカウント 011 : Pϕ/32 でカウント 100 : Pϕ/128 でカウント 101 : Pϕ/512 でカウント 110 : Pϕ/2048 でカウント 111 : Pϕ/4096 でカウント</p>
9	RTCK1	0	R/W	
8	RTCK0	0	R/W	

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説明
7	RFSHE	0	R/W	<p>リフレッシュ制御</p> <p>リフレッシュ制御を行うか否かを選択します。リフレッシュ制御を行わないときには、リフレッシュタイマをインターバルタイマとして使用することができます。</p> <p>シングルチップ起動モードの場合は、このビットの設定は SYSCR の EXPE ビットを 1 にセットしてから行ってください。SYSCR については「3. MCU 動作モード」を参照してください。</p> <p>0 : リフレッシュ制御を行わない 1 : リフレッシュ制御を行う</p>
6 5 4	RLW2 RLW1 RLW0	0 0 0	R/W R/W R/W	<p>リフレッシュサイクルウェイト制御</p> <p>DRAM インタフェースの CAS ビフォ RAS リフレッシュサイクル、シンクロナス DRAM インタフェースのオートリフレッシュに対して、挿入するウェイトステート数を選択します。</p> <p>000 : CBR リフレッシュ/オートリフレッシュにウェイトステートを挿入しない 001 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 1 ステート挿入する 010 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 2 ステート挿入する 011 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 3 ステート挿入する 100 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 4 ステート挿入する。 101 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 5 ステート挿入する。 110 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 6 ステート挿入する。 111 : CBR リフレッシュ/オートリフレッシュにウェイトステートを 7 ステート挿入する。</p>
3	SLFRF	0	R/W	<p>セルフリフレッシュイネーブル</p> <p>ソフトウェアスタンバイモードに遷移するとき、このビットが 1 にセットされていると DRAM/シンクロナス DRAM に対してセルフリフレッシュモードを設定します。RFSHE ビットを 1 にセットしてリフレッシュ動作を行う場合に有効です。</p> <p>シンクロナス DRAM インタフェース設定時にセルフリフレッシュを行う場合は、DRAMCR の OEE ビットを 1 にセットし、CKE の出力を有効にしてください。</p> <p>0 : ソフトウェアスタンバイ時セルフリフレッシュを禁止 1 : ソフトウェアスタンバイ時セルフリフレッシュを許可</p>

6. バスコントローラ (BSC)

ビット	ビット名	初期値	R/W	説 明
2	TPCS2	0	R/W	セルフリフレッシュ時プリチャージサイクル制御
1	TPCS1	0	R/W	セルフリフレッシュ直後のプリチャージサイクルのステート数を設定します。セルフリフレッシュ直後のプリチャージサイクルのステート数は、DRACCR の TPC1、TPC0 ビットで設定したステート数との加算になります。 000 : セルフリフレッシュ直後にウェイトステートを挿入しない。 001 : セルフリフレッシュ直後にウェイトステートを 1 ステート挿入する。 010 : セルフリフレッシュ直後にウェイトステートを 2 ステート挿入する。 011 : セルフリフレッシュ直後にウェイトステートを 3 ステート挿入する。 100 : セルフリフレッシュ直後にウェイトステートを 4 ステート挿入する。 101 : セルフリフレッシュ直後にウェイトステートを 5 ステート挿入する。 110 : セルフリフレッシュ直後にウェイトステートを 6 ステート挿入する。 111 : セルフリフレッシュ直後にウェイトステートを 7 ステート挿入する。
0	TPCS0	0	R/W	

【注】 * フラグをクリアするための 0 ライトのみ可能です

6.2.17 リフレッシュタイムカウンタ (RTCNT)

RTCNT は、REFCR の RTCK2~RTCK0 ビットで選択された内部クロックにより、カウントアップします。

RTCNT が RTCOR に一致 (コンペアマッチ) すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。このとき、REFCR の RFSHE ビットが 1 にセットされていると、リフレッシュサイクルが起動されます。また、RFSHE ビットが 0 にクリアされている場合、REFCR の CMIE ビットが 1 にセットされているとき、コンペアマッチ割込み (CMI) が発生します。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6.2.18 リフレッシュタイムコンスタントレジスタ (RTCOR)

RTCOR は、RTCNT とのコンペアマッチ周期を設定します。

RTCOR と RTCNT の値は常に比較されており、両方の値が一致すると、REFCR の CMF フラグが 1 にセットされ、RTCNT は H'00 にクリアされます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

6. バスコントローラ (BSC)

6.3 バス構成

本 LSI の内部バス構成を図 6.5 に示します。バス構成は、以下に示す 3 種類で構成されています。

1. 内部システムバス：CPU、DTC、DMACと、内蔵RAM、内蔵ROM、内部周辺バスおよび外部アクセスバスを接続するバス
2. 内部周辺バス：バスコントローラ、割り込みコントローラ、DMACなどのレジスタと、SCIやタイマなどの周辺モジュールのレジスタをアクセスするバス
3. 外部アクセスバス：外部バスインタフェースを介して外部のデバイスへアクセスするバス

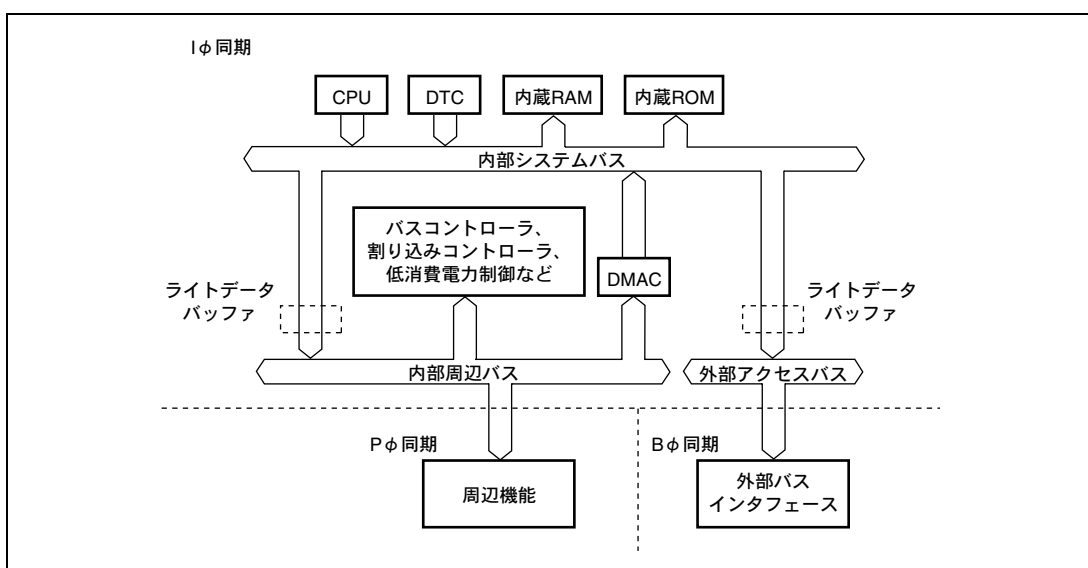


図 6.5 内部バス構成

6.4 マルチクロック機能とアクセスステート数

本 LSI の内蔵機能は、システムクロック (Iφ)、周辺モジュールクロック (Pφ)、外部バスクロック (Bφ) のいずれかのクロックに同期して動作します。表 6.1 にそれぞれの同期クロックと対応する機能を示します。

表 6.1 同期クロックと対応する機能

同期クロック	機能名
Iφ	MCU 動作モード 割り込みコントローラ バスコントローラ CPU DTC DMAC 内蔵メモリ クロック発振器 低消費電力制御
Pφ	I/O ポート TPU PPG TMR WDT SCI A/D D/A IIC2 USB
Bφ	外部バスインタフェース

各同期クロック (Iφ、Pφ、Bφ) の周波数は、システムクロックコントロールレジスタ (SCKCR) の設定により独立に制御することが可能です。詳細は「22. クロック発振器」を参照してください。

SCKCR の設定により、PφおよびBφの周波数がIφの周波数に等しい場合と、異なる場合が生じます。いずれの場合においても、内部周辺機能と外部空間に対するアクセスサイクルは、それぞれPφとBφに同期して動作します。

例えば、IφとBφの周波数の比が $n:1$ における外部アクセスは常にBφに同期して動作し、そのアクセスステート数をIφを基準として数えた場合、外部2ステートアクセス空間では $2n$ ステートとなり、同様に外部3ステートアクセス空間では $3n$ ステート (ウェイトステートを挿入しない場合) となります。

また、IφとPφ、Bφの周波数が異なる場合、バスサイクルの起動されるタイミングによっては、その先頭がPφまたはBφに同期しない場合があります。この場合、各バスサイクルに先立ち、クロック同期化サイクル (T_{sy}) が挿入されます。

例えば、IφとBφの周波数の比が $n:1$ において外部アクセスが発生した場合、 T_{sy} が $0\sim n-1$ ステート挿入されることがあります。また、IφとPφの周波数の比が $m:1$ のときに内部周辺モジュールに対するアクセスが発生した場合、同様に T_{sy} が $0\sim m-1$ ステート挿入されることがあります。

図 6.6 にIφとBφの周波数の比が $4:1$ の外部2ステートアクセス、図 6.7 にIφとBφの周波数の比が $2:1$ の外部3ステートアクセスタイミングを示します。

6. バスコントローラ (BSC)

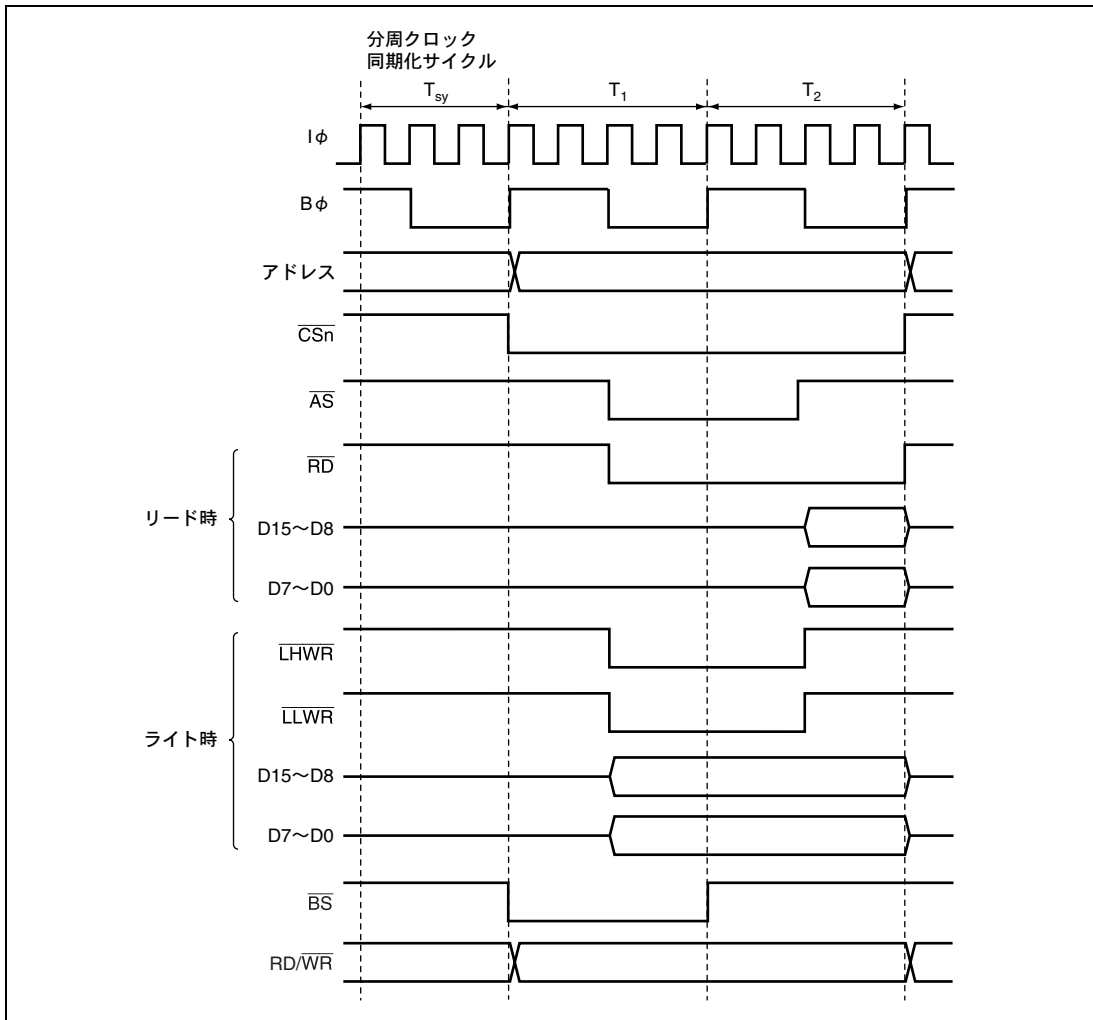


図 6.6 システムクロック：外部バスクロック=4：1、外部 2 ステートアクセス

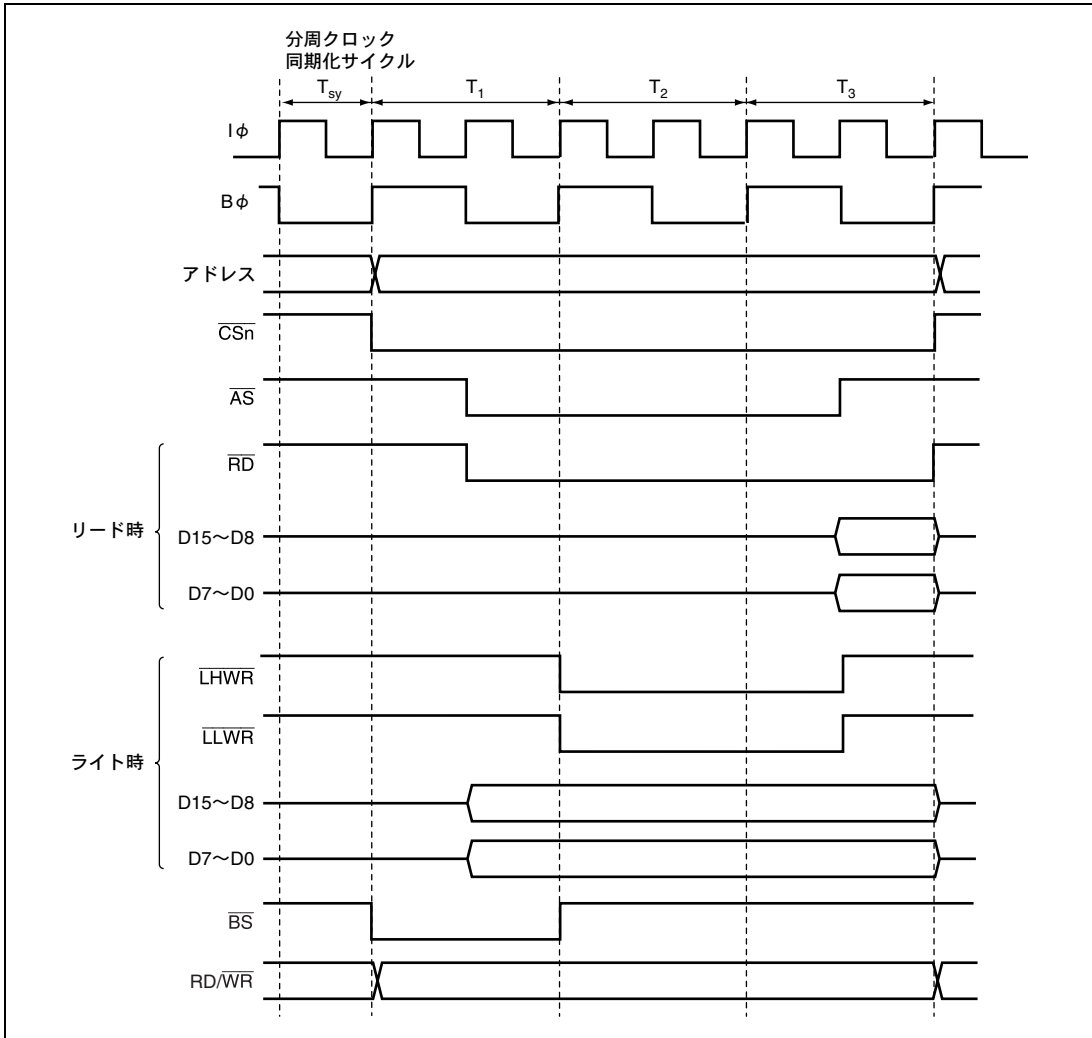


図 6.7 システムクロック : 外部バスクロック=2 : 1、外部 3 ステートアクセス

6. バスコントローラ (BSC)

6.5 外部バス

6.5.1 入出力端子

表 6.2 にバスコントローラの端子構成を、表 6.3 に各インタフェースでの端子機能一覧を示します。

表 6.2 端子構成

名称	記号	入出力	機能
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号
アドレスストロープ/ アドレスホールド	AS/AH	出力	<ul style="list-style-type: none"> 基本バス空間、バイト制御 SRAM 空間、またはバースト ROM 空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロープ信号 アドレス/データマルチプレクス I/O インタフェースのアドレスホールド信号
リードストロープ	RD	出力	基本バス空間、バイト制御 SRAM 空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をリード中であることを示すストロープ信号
リード/ライト	RD/WR	出力	<ul style="list-style-type: none"> データバスの入出力方向指示信号 バイト制御 SRAM 空間をアクセス中であることを示す SRAM のライトイネーブル信号
ロウハイライト/ ロウアーアッパーバイトセレクト	LHWR/ LUB	出力	<ul style="list-style-type: none"> 基本バス空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をライト中で、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号 バイト制御 SRAM 空間をアクセス中で、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号
ロウロウライト/ ロウアーロウアーバイトセレクト	LLWR/ LLB	出力	<ul style="list-style-type: none"> 基本バス空間、バースト ROM 空間、またはアドレス/データマルチプレクス I/O 空間をライト中で、データバスの下位バイト (D7~D0) が有効であることを示すストロープ信号 バイト制御 SRAM 空間をアクセス中で、データバスの下位 (D7~D0) が有効であることを示すストロープ信号
チップセレクト 0	CS0	出力	エリア 0 が選択されていることを示すストロープ信号
チップセレクト 1	CS1	出力	エリア 1 が選択されていることを示すストロープ信号
チップセレクト 2	CS2	出力	エリア 2 が選択されていることを示すストロープ信号
チップセレクト 3	CS3	出力	エリア 3 が選択されていることを示すストロープ信号
チップセレクト 4	CS4	出力	エリア 4 が選択されていることを示すストロープ信号
チップセレクト 5	CS5	出力	エリア 5 が選択されていることを示すストロープ信号
チップセレクト 6	CS6	出力	エリア 6 が選択されていることを示すストロープ信号
チップセレクト 7	CS7	出力	エリア 7 が選択されていることを示すストロープ信号
ロウアドレスストロープ	RAS	出力	エリア 2 が DRAM 空間のときのロウアドレスストロープ信号/エリア 2 がシンクロナス DRAM 空間のときのロウアドレスストロープ信号

6. バスコントローラ (BSC)

名称	記号	入出力	機能
カラムアドレスストロープ	$\overline{\text{CAS}}$	出力	エリア 2 がシンクロナス DRAM 空間のときのカラムアドレスストロープ信号
ライトイネーブル	$\overline{\text{WE}}$	出力	DRAM 空間のライトイネーブル信号/エリア 2 がシンクロナス DRAM 空間のときのライトイネーブル信号
ロウアーアッパーカラムアドレスストロープ/ロウアーアッパーマスクイネーブル	$\overline{\text{LUCAS}}/$ $\overline{\text{DQMLU}}$	出力	<ul style="list-style-type: none"> 32 ビット DRAM 空間のロウアーアッパーカラムアドレスストロープ信号/16 ビット DRAM 空間のアッパーカラムアドレスストロープ信号 32 ビットシンクロナス DRAM 空間のロウアーアッパーマスクイネーブル信号/16 ビットシンクロナス DRAM 空間のアッパーデータマスクイネーブル信号
ロウアーロウアーカラムアドレスストロープ/ ロウアーロウアーマスクイネーブル	$\overline{\text{LLCAS}}/$ $\overline{\text{DQMLL}}$	出力	<ul style="list-style-type: none"> 32 ビット DRAM 空間のロウアーロウアーカラムアドレスストロープ信号/16 ビット DRAM 空間のロウアーカラムアドレスストロープ信号/8 ビット DRAM 空間のカラムアドレスストロープ信号 32 ビットシンクロナス DRAM 空間のロウアーロウアーマスクイネーブル信号/16 ビットシンクロナス DRAM 空間のロウアーデータマスクイネーブル信号/8 ビットシンクロナス DRAM 空間のデータマスクイネーブル信号
アウトプットイネーブル/ クロックイネーブル	$\overline{\text{OE}}/\text{CKE}$	出力	<ul style="list-style-type: none"> DRAM 空間のアウトプットイネーブル信号 シンクロナス DRAM 空間のクロックイネーブル信号
SDRAM ϕ	$\text{SD}\phi$	出力	シンクロナス DRAM 専用クロック
ウェイト	$\overline{\text{WAIT}}$	入力	外部空間をアクセスするときのウェイト要求信号
バス権要求	$\overline{\text{BREQ}}$	入力	バス権を外部に解放することを要求するリクエスト信号
バス権要求アクノレッジ	$\overline{\text{BACK}}$	出力	バス権を解放したことを示すアクノレッジ信号
バス権要求出力	$\overline{\text{BREQO}}$	出力	外部バス権解放状態で、内部バスマスタが外部空間をアクセスするときの外部バス権要求信号
データ転送アクノレッジ 3 (DMAC_3)	$\overline{\text{DACK3}}$	出力	DMAC_3 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 2 (DMAC_2)	$\overline{\text{DACK2}}$	出力	DMAC_2 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 1 (DMAC_1)	$\overline{\text{DACK1}}$	出力	DMAC_1 のシングルアドレス転送時のデータ転送アクノレッジ信号
データ転送アクノレッジ 0 (DMAC_0)	$\overline{\text{DACK0}}$	出力	DMAC_0 のシングルアドレス転送時のデータ転送アクノレッジ信号
外部バスクロック	$\text{B}\phi$	出力	外部バスクロック

6. バスコントローラ (BSC)

表 6.3 各インタフェースと端子の対応

端子名	初期状態			基本バス		バイト制御 SRAM	バースト ROM		アドレス/データ マルチプレクスI/O		備 考
	16	8	シングル	16	8	16	16	8	16	8	
Bφ	出力	出力	-	○	○	○	○	○	○	○	
CS0	出力	出力	-	○	○	○	○	○	-	-	
CS1	-	-	-	○	○	○	○	○	-	-	
CS2	-	-	-	○	○	○	-	-	-	-	
CS3	-	-	-	○	○	○	-	-	○	○	
CS4	-	-	-	○	○	○	-	-	○	○	
CS5	-	-	-	○	○	○	-	-	○	○	
CS6	-	-	-	○	○	○	-	-	○	○	
CS7	-	-	-	○	○	○	-	-	○	○	
BS	-	-	-	○	○	○	○	○	○	○	
RD/WR	-	-	-	○	○	○	○	○	○	○	
AS	出力	出力	-	○	○	○	○	○	-	-	
AH	-	-	-	-	-	-	-	-	○	○	
RD	出力	出力	-	○	○	○	○	○	○	○	
LHWR/LUB	出力	出力	-	○	-	○	○	-	○	-	
LLWR/LLB	出力	出力	-	○	○	○	○	○	○	○	
WAIT	-	-	-	○	○	○	○	○	○	○	WAITEにて制御

【記号説明】

- ：バス制御信号として使用
- ：バス制御信号として未使用（初期状態ではポート入力となる）

6.5.2 エリア分割

バスコントローラは、16Mバイトのアドレス空間を8つのエリアに分割し、エリア単位で外部アドレス空間のバス制御を行います。各エリアごとにチップセレクト信号 ($\overline{CS0} \sim \overline{CS7}$) を出力することができます。

図 6.8 に 16Mバイト空間のエリア分割を示します。アドレスマップについては、「3. MCU 動作モード」を参照してください。

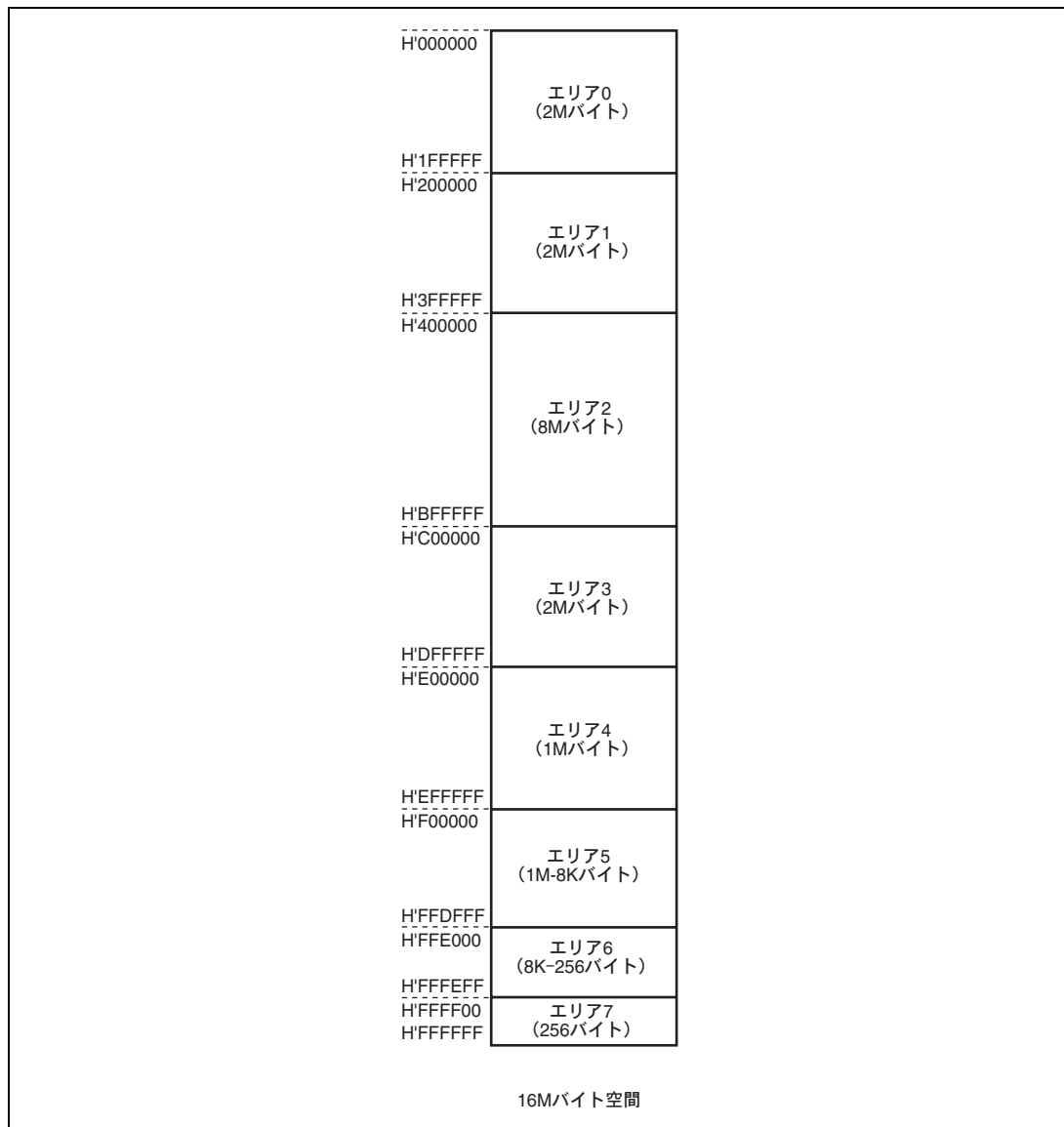


図 6.8 アドレス空間のエリア分割

6. バスコントローラ (BSC)

6.5.3 チップセレクト信号

本 LSI は、エリア 0~7 に対してそれぞれチップセレクト信号 ($\overline{CS0}\sim\overline{CS7}$) を出力することができ、当該エリアの外部空間をアクセスすると Low レベルを出力します。図 6.9 に \overline{CSn} ($n=0\sim7$) 出力タイミング例を示します。

\overline{CSn} 出力の許可または禁止は、ポートファンクションコントロールレジスタ (PFCR) により設定します。詳細は「9.3 ポートファンクションコントローラ」を参照してください。

ROM 無効拡張モードのとき、 $\overline{CS0}$ 端子はリセット後は出力状態になっています。 $\overline{CS1}\sim\overline{CS7}$ 端子はリセット後は入力状態になっていますので、 $\overline{CS1}\sim\overline{CS7}$ を出力する場合には対応する PFCR を 1 にセットしてください。

ROM 有効拡張モードのとき、 $\overline{CS0}\sim\overline{CS7}$ 端子はリセット後は入力状態になっていますので、 $\overline{CS0}\sim\overline{CS7}$ を出力する場合には対応する PFCR を 1 にセットしてください

PFCR は、一つの端子に複数の \overline{CS} 出力の設定ができます。PFCR で一つの端子に複数の \overline{CSn} 出力を設定すると、出力される \overline{CS} は設定したすべての \overline{CS} を合わせた信号となります。このとき同一端子に出力する \overline{CSn} に対応する外部バスインタフェースは同一の設定にしてください。図 6.10 にエリア 5 とエリア 6 の \overline{CS} 信号を同一端子に出力した場合のタイミングを示します。

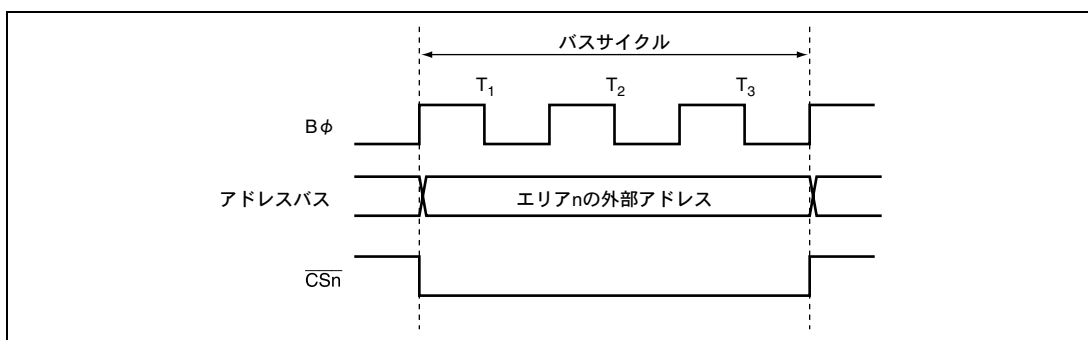
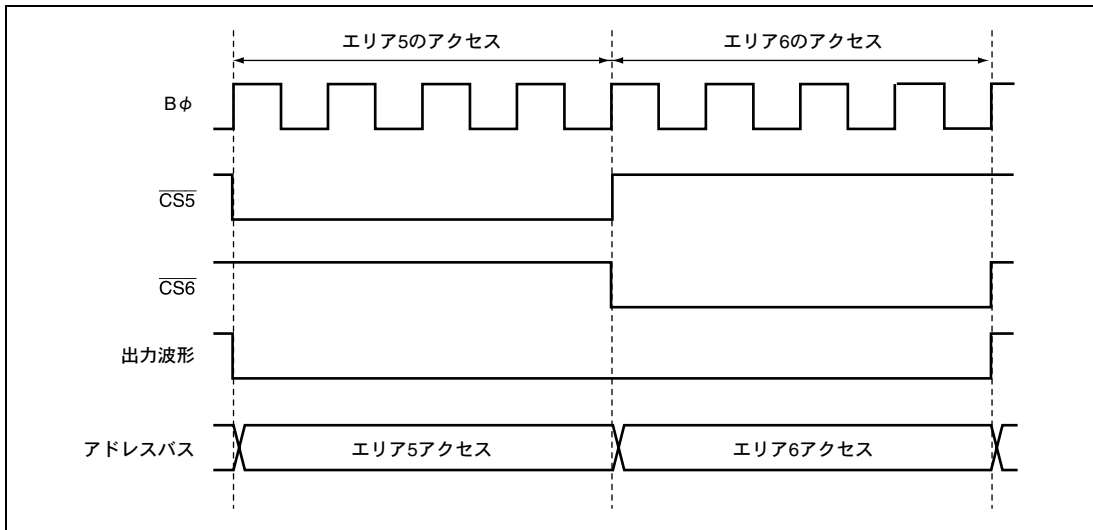


図 6.9 \overline{CSn} 信号出力タイミング ($n=0\sim7$)

図 6.10 \overline{CS} を同一端子に出力したときのタイミング

6.5.4 外部バスインタフェース

外部アドレス空間は、エリアごとに (1) 外部バスインタフェースの種類、(2) バス幅、(3) エンディアン形式、(4) アクセスステート数、(5) ストローブアサート/ネゲートタイミングを設定することができます。

内蔵メモリ、内部 I/O レジスタは、バス幅、アクセスステート数は固定で、外部バス仕様の設定に影響されません。

(1) 外部バスインタフェースの種類

外部バスインタフェースには 6 種類のインタフェースがあり、エリア単位で選択することができます。表 6.4 に各インタフェースの名称とその説明、およびそれぞれのインタフェースに設定されたエリアの名称を、表 6.5 に各インタフェースの設定可能なエリアを示します。各エリアの初期状態は、基本バスインタフェースになっています。

表 6.4 各インタフェースの名称と説明、および設定したエリアの名称

インタフェース	説明	設定したエリアの名称
基本バスインタフェース	ROM、RAM などの直結が可能	基本バス空間
バイト制御 SRAM インタフェース	バイト制御端子を持つ SRAM の直結が可能	バイト制御 SRAM 空間
バースト ROM インタフェース	ページアクセス可能な ROM の直結が可能	バースト ROM 空間
アドレス/データマルチプレクス I/O インタフェース	アドレス/データマルチプレクスが必要な周辺 LSI の直結が可能	アドレス/データマルチプレクス I/O 空間
DRAM インタフェース	DRAM の直結が可能	DRAM 空間
シンクロナス DRAM インタフェース	シンクロナス DRAM の直結が可能	シンクロナス DRAM 空間

6. バスコントローラ (BSC)

表 6.5 各インタフェースの設定可能なエリア

インタフェース	関連レジスタ	エリア							
		0	1	2	3	4	5	6	7
基本バスインタフェース	SRAMCR	○	○	○	○	○	○	○	○
バイト制御 SRAM インタフェース		○	○	○	○	○	○	○	○
バースト ROM インタフェース	BROMCR	○	○	-	-	-	-	-	-
アドレス/データマルチプレクス I/O インタフェース	MPXCR	-	-	-	○	○	○	○	○
DRAM インタフェース	DRAMCR	-	-	○	-	-	-	-	-
シンクロナス DRAM インタフェース		-	-	○	-	-	-	-	-

(2) バス幅

各エリアのバス幅は、ABWCR により 8 ビット、または 16 ビットに設定します。8 ビットバスに設定したエリアは 8 ビットアクセス空間、16 ビットバスに設定したエリアは 16 ビットアクセス空間となります。なお、アドレス/データマルチプレクス I/O 空間のバス幅は 8 ビットまたは 16 ビット、バイト制御 SRAM 空間のバス幅は 16 ビットのみ設定可能です。

バス幅の初期状態は動作モードで設定します。

すべてのエリアを 8 ビットアクセス空間に設定すると 8 ビットバスモードに、すべてのエリアを 16 ビットアクセス空間に設定しないでいずれかのエリアを 16 ビットアクセス空間に設定すると 16 ビットバスモードになります。

(3) エンディアン形式

本 LSI のエンディアン形式はビッグエンディアンですが、外部空間のリード/ライト時にデータの並びをリトルエンディアン形式に並べ替えて転送することができます。

ENDIANCR の LE7~LE2 ビットにより、エリア 7 からエリア 2 はビッグエンディアン形式とリトルエンディアン形式を選択可能です。

各エリアの初期状態は、ビッグエンディアン形式になっています。

プログラム領域、スタック領域として使用するエリアは、必ずビッグエンディアン形式にしてください。

(4) アクセスステート数

(a) 基本バスインタフェース

基本バスインタフェースのアクセスステート数は、ASTCR により 2 ステート、または 3 ステートに設定できます。2 ステートアクセスに設定したエリアは 2 ステートアクセス空間、3 ステートアクセスに設定したエリアは 3 ステートアクセス空間となります。

2 ステートアクセス空間に設定すると、ウェイトステートの挿入が禁止されます。3 ステートアクセス空間に設定すると、WTCRA、WTCRB によるプログラムウェイト (0~7 ステート) と、 $\overline{\text{WAIT}}$ 端子による外部ウェイトを挿入することができます。

また、CSACR によりチップセレクト信号およびアドレス信号のアサート期間を拡張することができます。

基本バスインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)
+CS拡張ステート数 (0, 1, 2) [+WAIT端子による外部ウェイト数]

(b) バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースのアクセスステート数の設定は、基本バスインタフェースと同様です。

バイト制御SRAMインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)
+CS拡張ステート数 (0, 1, 2) [+WAIT端子による外部ウェイト数]

(c) パースト ROM インタフェース

パースト ROM インタフェースでは、フルアクセスのアクセスステート数の設定は基本バスインタフェースと同様で、パーストアクセスのアクセスステート数は BROMCR の BSTS ビットにより 1 から 8 ステートに設定できます。

パーストROMインタフェースアクセスステート数

=基本ステート数 (2, 3) +プログラムウェイト数 (0~7)
+CS拡張ステート数 (0, 1) [+WAIT端子による外部ウェイト数]
+パーストアクセスステート数 (1~8) ×パーストアクセス回数 (0~63)

(d) アドレス/データマルチプレクス I/O インタフェース

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルのアクセスステート数の設定は基本バスインタフェースと同様で、アドレスサイクルは MPXCR の ADDEX ビットにより 2 ステートまたは 3 ステートに設定できます。

アドレス/データマルチプレクスI/Oインタフェースアクセスステート数

=アドレス出カステート数 (2, 3) +データ出カステート数 (2, 3)
+プログラムウェイト数 (0~7) +CS拡張ステート数 (0, 1, 2) [+WAIT端子による外部ウェイト数]

(e) DRAM インタフェース

DRAM インタフェースでは、プリチャージサイクル、ロウアドレス出力サイクル、カラムアドレス出力サイクルのステート数を設定できます。

DRACCR の TPC1、TPC0 ビットにより、プリチャージサイクルのステート数を 1 から 4 ステートに設定できます。DRACCR の RCD1、RCD0 ビットにより、ロウアドレス出力サイクルのステート数を 1 から 4 ステートに設定できます。DRAMCR の CAST ビットにより、カラムアドレス出力サイクルのステート数を 2 ステートまたは 3 ステートに設定できます。カラムアドレス出力サイクルには、WTCRB によりプログラムウェイト (0~7 ステート) と、WAIT 端子による外部ウェイトを挿入することができます。

DRAMインタフェースアクセスステート数

6. バスコントローラ (BSC)

=プリチャージサイクル数 (1~4) +ロウアドレス出力サイクル数 (1~4)
+カラムアドレス出力サイクル数 (2, 3) +プログラムウェイト数 (0~7)
[+WAIT端子による外部ウェイト数]

(f) シンクロナス DRAM インタフェース

シンクロナス DRAM インタフェースでは、プリチャージサイクル、ロウアドレス出力サイクル、カラムアドレス出力サイクルのステート数とクロックサスペンド、ライトープリチャージ遅延の設定ができます。

DRACCR の TPC1、TPC0 ビットにより、プリチャージサイクルのステート数を 1 から 4 ステートに設定できます。DRACCR の RCD1、RCD0 ビットにより、ロウアドレス出力サイクルのステート数を 1 から 4 ステートに設定できます。WTCRB の W21、W20 ビットにより、リードアクセス時のカラムアドレス出力サイクル数を 2 から 4 に設定できます。

SDCR の CKSPE、TRWL ビットにより、クロックサスペンドサイクルとライトープリチャージ遅延サイクルを挿入できます。

シンクロナスDRAMインタフェースアクセスステート数

=プリチャージサイクル数 (1~4) +ロウアドレス出力サイクル数 (1~4)
+カラムアドレス出力サイクル数 (リード : 2~4、ライト : 2)
+クロックサスペンドサイクル数 (リード時のみ有効 : 0、1)
+ライトープリチャージ遅延サイクル数 (ライト時のみ有効 : 0、1)

表 6.6 に各インタフェースのアクセスステート数を示します。

表 6.6 アクセスステート数

基本バスインタフェース	=	Th	+T1	+T2				+Tt		
		[0,1]	[1]	[1]				[0,1]		[2~4]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt		
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]		[3~12+n]
バイト制御SRAMインタフェース	=	Th	+T1	+T2				+Tt		
		[0,1]	[1]	[1]				[0,1]		[2~4]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt		
		[0,1]	[1]	[1]	[0~7]	[n]	[1]	[0,1]		[3~12+n]
バーストROMインタフェース	=	Th	+T1	+T2					+Tb	
		[0,1]	[1]	[1]					[(1~8)×m]	[(2~3)+(1~8)×m]
	=	Th	+T1	+T2	+Tpw	+Ttw	+T3		+Tb	
		[0,1]	[1]	[1]	[0~7]	[n]	[1]		[(1~8)×m]	[(3~11+n)+(1~8)×m]
アドレス/データマルチプレクスI/O インタフェース	=Tma	+Th	+T1	+T2				+Tt		
		[2,3]	[0,1]	[1]	[1]			[0,1]		[4~7]
	=Tma	+Th	+T1	+T2	+Tpw	+Ttw	+T3	+Tt		
		[2,3]	[0,1]	[1]	[1]	[n]	[1]	[0,1]		[5~15+n]
DRAM インタフェース	フルアクセス	=Tp	+Tr	+Trw	+Tc1	+Tpw	+Ttw	+Tc2	+Tc3	
		[1~4]	[1]	[0~3]	[1]	[0~7]	[n]	[1]	[0,1]	[4~18+n]
	高速ページ	=			Tc1	+Tpw	+Ttw	+Tc2	+Tc3	
					[1]	[0~7]	[n]	[1]	[0,1]	[2~10+n]
	リフレッシュ	=TRp	+TRrw	+TRr	+TRc1	+TRcw	+TRc2			
		[1~4]	[0~3]	[1]	[1]	[0~7]	[1]			[4~17]
	セルフリフレッシュ	=TRp	+TRrw	+TRr	+ソフトウェア スタンバイモード [1+s]		+TRc3	+TRc4	+TRp	
		[1~4]	[0~3]	[1]			[1]	[1]	[0~7]	[5~18+s]
シンクロナス DRAM	モードレジスタ設定	=	Tp	+Tr	+Trw	+Tc1		+Tc2	+Trwl	
			[1~4]	[1]	[0~3]	[1]		[1]	[0,1]	[4~11]
	フルアクセス (リード)	=	Tp	+Tr	+Trw	+Tc1	+Tcl	+Tsp	+Tc2	
			[1~4]	[1]	[0~3]	[1]	[1~3]	[0,1]	[1]	[5~14]
	フルアクセス (ライト)	=	Tp	+Tr	+Trw	+Tc1			+Tc2	+Trwl
			[1~4]	[1]	[0~3]	[1]			[1]	[0,1]
	ページアクセス (リード)	=				Tc1	+Tcl	+Tsp	+Tc2	
						[1]	[1~3]	[0,1]	[1]	[3~6]
	ページアクセス (ライト)	=				Tc1			+Tc2	+Trwl
						[1]			[1]	[0,1]
	リフレッシュ	=	TRp	+TRr	+TRc1	+TRcw	+TRc2			
			[1~4]	[1]	[1]	[0~7]	[1]			[4~14]
	セルフリフレッシュ	=	TRp	+TRr	+ソフトウェア スタンバイモード [1+s]	+TRc2	+TRc3	+TRp		
			[1~4]	[1]		[1]	[1]	[0~7]		[5~15+s]

記号：[数字]：アクセスステート数
n：端子ウェイト (0~∞)
m：バーストアクセス回数 (0~63)
s：ソフトウェアスタンバイモード期間

(5) ストローブアサート/ネゲートタイミング

アクセスステート数の変更に加え、ストローブ信号のアサート/ネゲートタイミングを変更できます。

- 基本バスインタフェースのリードストローブ (\overline{RD})
- 基本バスインタフェースのチップセレクトアサート期間拡張ステート
- DMACのシングルアドレス転送時に出力されるデータ転送アックノレッジ ($\overline{DACK3} \sim \overline{DACK0}$)

6. バスコントローラ (BSC)

6.5.5 エリアと外部バスインタフェース

(1) エリア 0

エリア 0 は内蔵 ROM を含んでおり、ROM 無効拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM を除いた空間が外部空間となります。

エリア 0 の外部空間をアクセスすると、 $\overline{CS0}$ 信号を出力します。

エリア 0 は、BROMCR の BSRM0 ビットと SRAMCR の BCSEL0 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはバースト ROM インタフェースに設定することができます。表 6.7 にエリア 0 の外部インタフェースを示します。

表 6.7 エリア 0 の外部インタフェース

インタフェース	レジスタの設定	
	BROMCR の BSRM0	SRAMCR の BCSEL0
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
バースト ROM インタフェース	1	0
設定禁止	1	1

(2) エリア 1

エリア 1 は、外部拡張モードのときすべての空間が外部空間となり、ROM 有効拡張モードのとき内蔵 ROM を除いた空間が外部空間となります。

エリア 1 の外部空間をアクセスすると、 $\overline{CS1}$ 信号を出力します。

エリア 1 は、BROMCR の BSRM1 ビットと SRAMCR の BCSEL1 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはバースト ROM インタフェースに設定することができます。表 6.8 にエリア 1 の外部インタフェースを示します。

表 6.8 エリア 1 の外部インタフェース

インタフェース	レジスタの設定	
	BROMCR の BSRM1	SRAMCR の BCSEL1
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
バースト ROM インタフェース	1	0
設定禁止	1	1

(3) エリア 2

エリア 2 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 2 の外部空間をアクセスすると、 $\overline{CS2}$ 信号を出力します。

エリア 2 は、DRAMCR の DRAME、DTYPE ビットと SRAMCR の BCSEL2 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、DRAM インタフェースまたはシンクロナス DRAM インタフェースに設定することができます。表 6.9 にエリア 2 の外部インタフェースを示します。

表 6.9 エリア 2 の外部インタフェース

インタフェース	レジスタの設定		
	DRAMCR の DRAME	DRAMCR の DTYPE	SRAMCR の BCSEL2
基本バスインタフェース	0	*	0
バイト制御 SRAM インタフェース	0	*	1
DRAM インタフェース	1	0	0
SDRAM インタフェース	1	1	0
設定禁止	1	*	1

(4) エリア 3

エリア 3 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 3 の外部空間をアクセスすると、 $\overline{CS3}$ 信号を出力します。

エリア 3 は、MPXCR の MPXE3 ビットと SRAMCR の BCSEL3 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.10 にエリア 3 の外部インタフェースを示します。

6. バスコントローラ (BSC)

表 6.10 エリア 3 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE3	SRAMCR レジスタ BCSEL3
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(5) エリア 4

エリア 4 は、外部拡張モードのときすべての空間が外部空間となります。

エリア 4 の外部空間をアクセスすると、 $\overline{CS4}$ 信号を出力します。

エリア 4 は、MPXCR の MPXE4 ビットと SRAMCR の BCSEL4 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.11 にエリア 4 の外部インタフェースを示します。

表 6.11 エリア 4 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE4	SRAMCR の BCSEL4
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(6) エリア 5

エリア 5 は内蔵 RAM、アクセス禁止空間を含んでおり、外部拡張モードのときは内蔵 RAM、アクセス禁止空間を除いた空間が外部空間となります。なお、内蔵 RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットを 1 にセットしたとき有効となり、0 にクリアすると内蔵 RAM は無効となり対応するアドレスは外部空間になります。詳細は「3. MCU 動作モード」を参照してください。

エリア 5 の外部空間をアクセスすると、 $\overline{CS5}$ 信号を出力します。

エリア 5 は、MPXCR の MPXE5 ビットと SRAMCR の BCSEL5 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.12 にエリア 5 の外部インタフェースを示します。

表 6.12 エリア 5 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE5	SRAMCR の BCSEL5
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(7) エリア 6

エリア 6 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

エリア 6 の外部空間をアクセスすると、 $\overline{CS6}$ 信号を出力します。

エリア 6 は、MPXCR の MPXE6 ビットと SRAMCR の BCSEL6 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.13 にエリア 6 の外部インタフェースを示します。

表 6.13 エリア 6 の外部インタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE6	SRAMCR の BCSEL6
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

(8) エリア 7

エリア 7 は内部 I/O レジスタを含んでおり、外部拡張モードのとき内部 I/O レジスタ空間を除いた空間が外部空間となります。

エリア 7 の外部空間をアクセスすると、 $\overline{CS7}$ 信号を出力します。

エリア 7 は、MPXCR の MPXE7 ビットと SRAMCR の BCSEL7 ビットにより、基本バスインタフェース、バイト制御 SRAM インタフェース、またはアドレス/データマルチプレクス I/O インタフェースに設定することができます。表 6.14 にエリア 7 の外部インタフェースを示します。

6. バスコントローラ (BSC)

表 6.14 エリア 7 の外部バスインタフェース

インタフェース	レジスタの設定	
	MPXCR の MPXE7	SRAMCR の BCSEL7
基本バスインタフェース	0	0
バイト制御 SRAM インタフェース	0	1
アドレス/データマルチプレクス I/O インタフェース	1	0
設定禁止	1	1

6.5.6 エンディアンとデータアライメント

CPU、およびその他の内部バスマスタのデータサイズには、バイト、ワード、およびロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき上位側データバス (D15~D8)、下位側データバス (D7~D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間) とデータサイズ、およびエンディアン形式によって制御します。

(1) 8 ビットアクセス空間

8 ビットアクセス空間では、常に最下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は 1 バイトで、ワードアクセスでは 2 回、ロングワードアクセスは 4 回のバイトアクセスを実行します。

図 6.11、図 6.12 に 8 ビットアクセス空間へのデータアライメント制御を示します。図 6.11 はデータのエンディアン形式をビッグエンディアンにした場合、図 6.12 はデータのエンディアン形式をリトルエンディアンにした場合です。

データサイズ	アクセス番地	アクセス回数	バスサイクル	データ量	ストロープ信号	
					CHWR/LUB	LLWR/LLB
					RD	
					データバス	
					D15	D8/D7
					D0	
バイト	n	1回	1回目	バイト	7	0
ワード	n	2回	1回目	バイト	15	8
			2回目	バイト	7	0
ロングワード	n	4回	1回目	バイト	31	24
			2回目	バイト	23	16
			3回目	バイト	15	8
			4回目	バイト	7	0

図 6.11 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御 (ビッグエンディアン)

データ サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストロープ信号		
				LHWR/LUB	LLWR/LLB	
				RD		
				データバス		
				D15	D8/D7	D0
バイト	n	1回	1回目 バイト	7	10	
ワード	n	2回	1回目 バイト	7	10	
			2回目 バイト	15	18	
ロングワード	n	4回	1回目 バイト	7	10	
			2回目 バイト	15	18	
			3回目 バイト	23	16	
			4回目 バイト	31	24	

図 6.12 8 ビットアクセス空間へのアクセスサイズとデータアライメント制御
(リトルエンディアン)

(2) 16 ビットアクセス空間

16 ビットアクセス空間では、上位側データバス (D15~D8)、および下位側データバス (D7~D0) を使ってアクセスを行います。一回にアクセスできるデータ量は1バイト、または1ワードです。

図 6.13、図 6.14 に 16 ビットアクセス空間へのデータアライメント制御を示します。図 6.13 はデータのエンディアン形式をビッグエンディアンにした場合、図 6.14 はデータのエンディアン形式をリトルエンディアンにした場合です。

ビッグエンディアン形式のときは、偶数アドレスに対するバイトアクセスは上位側データバスを使用し、奇数アドレスに対するバイトアクセスは最下位側データバスを使用します。

リトルエンディアン形式のときは、偶数アドレスに対するバイトアクセスは最下位側データバスを使用し、奇数アドレスに対するバイトアクセスは3バイト目データバスを使用します。

6. バスコントローラ (BSC)

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストローブ信号	
				LHWR/LUB	LLWR/LLB
				RD	
				データバス	
				D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目 バイト	7 1 1 1 1 1 1 0	
	奇数 (2n+1)	1回	1回目 バイト	7 1 1 1 1 1 1 0	
ワード	偶数 (2n)	1回	1回目 ワード	15 1 1 1 1 1 1 8	7 1 1 1 1 1 1 0
	奇数 (2n+1)	2回	1回目 バイト	15 1 1 1 1 1 1 8	
			2回目 バイト	7 1 1 1 1 1 1 0	
ロングワード	偶数 (2n)	2回	1回目 ワード	31 1 1 1 1 1 1 24	23 1 1 1 1 1 1 16
			2回目 ワード	15 1 1 1 1 1 1 8	7 1 1 1 1 1 1 0
	奇数 (2n+1)	3回	1回目 バイト	31 1 1 1 1 1 1 24	
			2回目 ワード	23 1 1 1 1 1 1 16	15 1 1 1 1 1 1 8
			3回目 バイト	7 1 1 1 1 1 1 0	

図 6.13 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御
(ビッグエンディアン)

アクセス サイズ	アクセス 番地	アクセス 回数	バス サイクル データ量	ストローブ信号	
				LHWR/LUB	LLWR/LLB
				RD	
				データバス	
				D15	D8 D7 D0
バイト	偶数 (2n)	1回	1回目 バイト	7 1 1 1 1 1 1 0	
	奇数 (2n+1)	1回	1回目 バイト	7 1 1 1 1 1 1 0	
ワード	偶数 (2n)	1回	1回目 ワード	15 1 1 1 1 1 1 8	7 1 1 1 1 1 1 0
	奇数 (2n+1)	2回	1回目 バイト	7 1 1 1 1 1 1 0	
			2回目 バイト	15 1 1 1 1 1 1 8	
ロングワード	偶数 (2n)	2回	1回目 ワード	15 1 1 1 1 1 1 8	7 1 1 1 1 1 1 0
			2回目 ワード	31 1 1 1 1 1 1 24	23 1 1 1 1 1 1 16
	奇数 (2n+1)	3回	1回目 バイト	7 1 1 1 1 1 1 0	
			2回目 ワード	23 1 1 1 1 1 1 16	15 1 1 1 1 1 1 8
			3回目 バイト	31 1 1 1 1 1 1 24	

図 6.14 16 ビットアクセス空間へのアクセスサイズとデータアライメント制御
(リトルエンディアン)

6.6 基本バスインタフェース

基本バスインタフェースは、ROM、SRAM との直結が可能です。

ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、CSACR、ENDIANCR によってバス仕様を設定できます。

6.6.1 データバス

CPU、およびその他の内部バスマスタのデータサイズには、バイト、ワード、ロングワードがあります。バスコントローラはデータアライメント機能を持っており、外部空間をアクセスするとき、上位側データバス (D15～D8)、下位側データバス (D7～D0) のどれを使用するかを、アクセスするエリアのバス仕様 (8 ビットアクセス空間、16 ビットアクセス空間) とデータサイズ、およびエンディアン形式によって制御します。詳細は「6.5.6 エンディアンとデータアライメント」を参照してください。

6.6.2 基本バスインタフェース入出力端子

表 6.15 に基本バスインタフェースの入出力端子を示します。

表 6.15 基本バスインタフェースの入出力端子

名称	記号	入出力	機能
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号です。
アドレスストロープ	\overline{AS}^*	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
リードストロープ	RD	出力	リードアクセス中であることを示すストロープ信号です。
リード/ライト	RD/WR	出力	データバスの入出力方向指示信号です。
ロウハイライト	LHWR	出力	ライトアクセス中であり、データバスの上位バイト (D15～D8) が有効であることを示すストロープ信号です。
ロウロウライト	LLWR	出力	ライトアクセス中であり、データバスの下位バイト (D7～D0) が有効であることを示すストロープ信号です。
チップセレクト 0～7	$\overline{CS0} \sim \overline{CS7}$	出力	エリアが選択されていることを示すストロープ信号です。
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号です。

【注】 * アドレス/データマルチプレクス I/O に設定した時点で \overline{AH} 出力端子となり、 \overline{AS} 出力端子としては使用できません。

6.6.3 基本タイミング

データのエンディアン形式をビックエンディアンにした場合の基本タイミングについて説明します。

(1) 16 ビット 2 ステートアクセス空間

図 6.15～図 6.17 に 16 ビット 2 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15～D8)、奇数アドレスに対しては下位側 (D7～D0) を使用します。ウェイトステートを挿入することはできません。

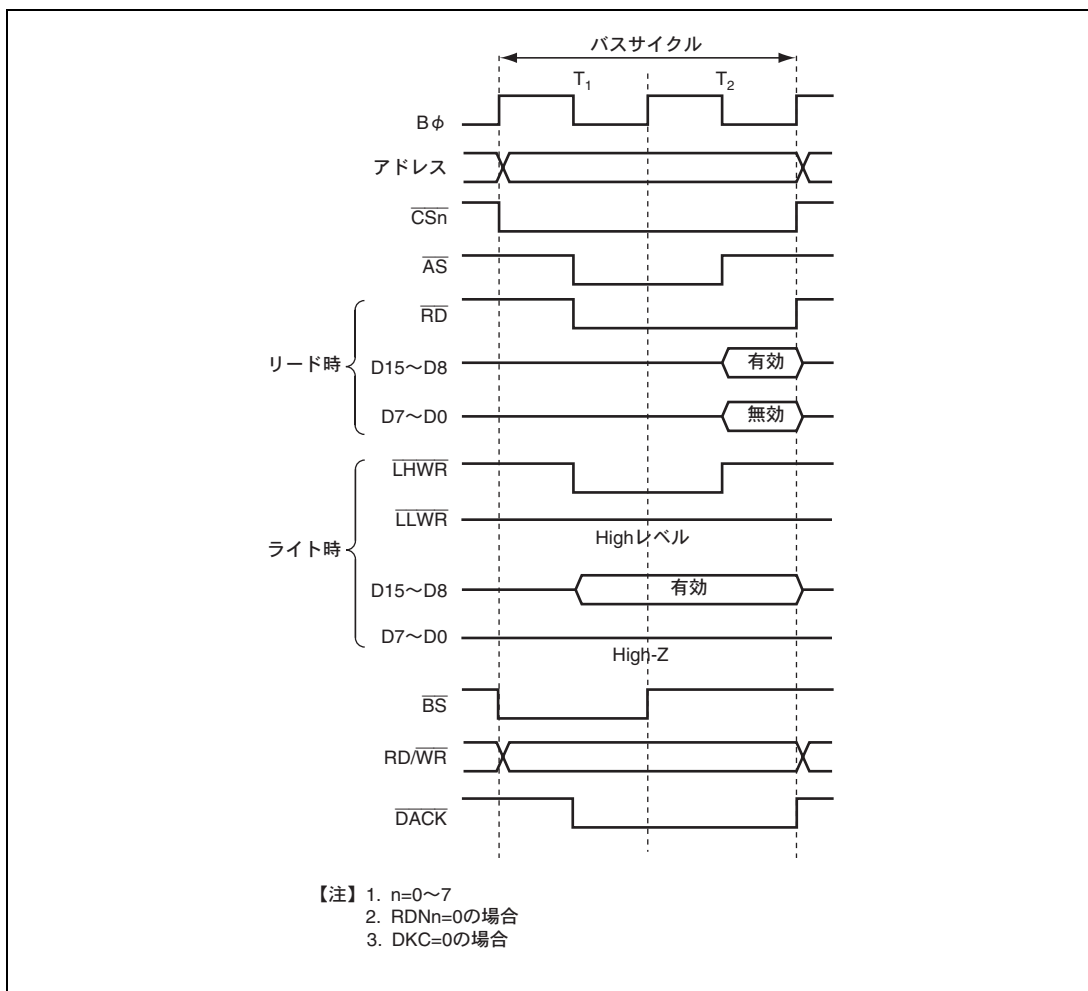


図 6.15 16 ビット 2 ステートアクセス空間のバスタイミング
(偶数アドレスバイトアクセス)

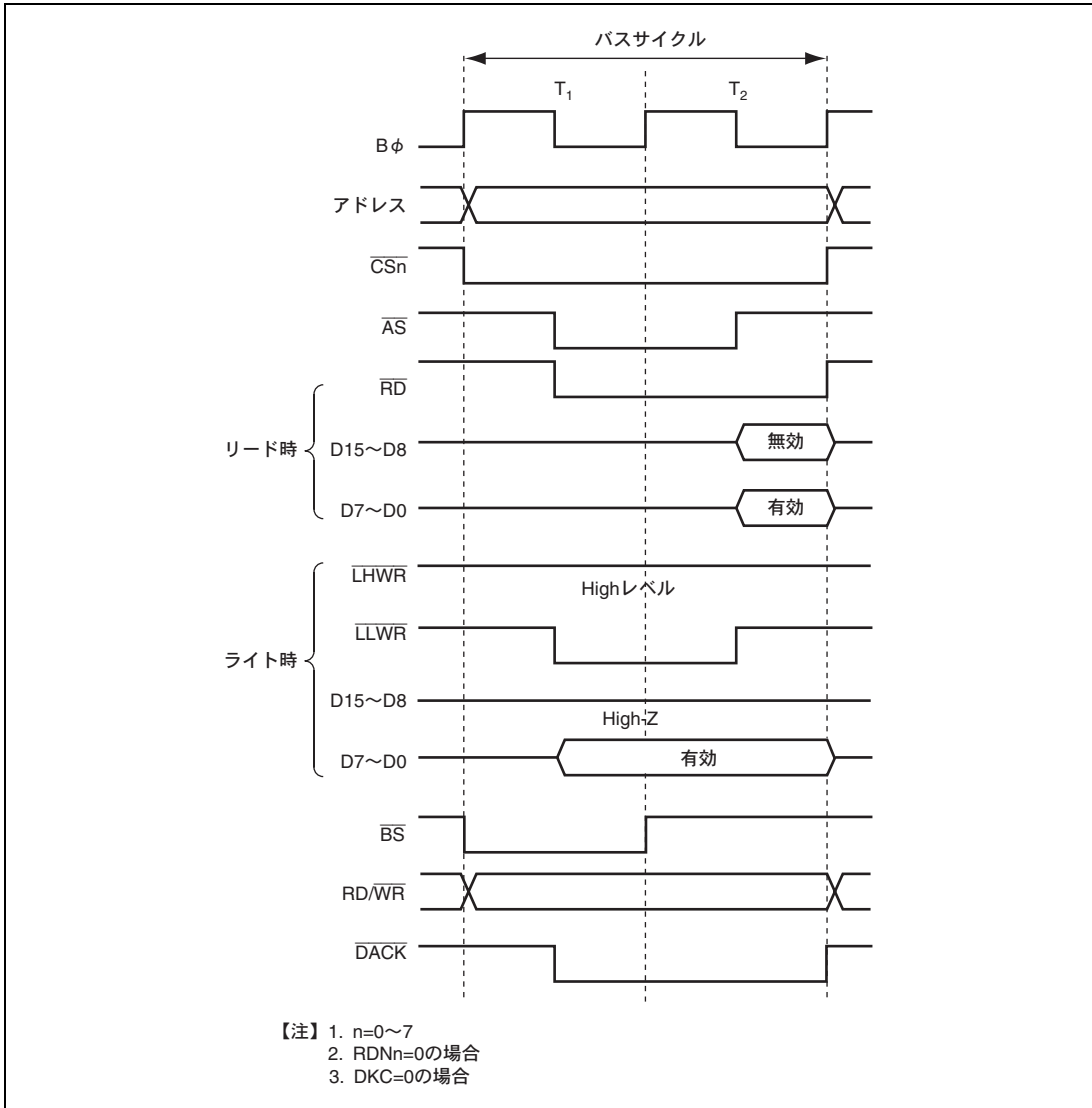


図 6.16 16ビット2ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

6. バスコントローラ (BSC)

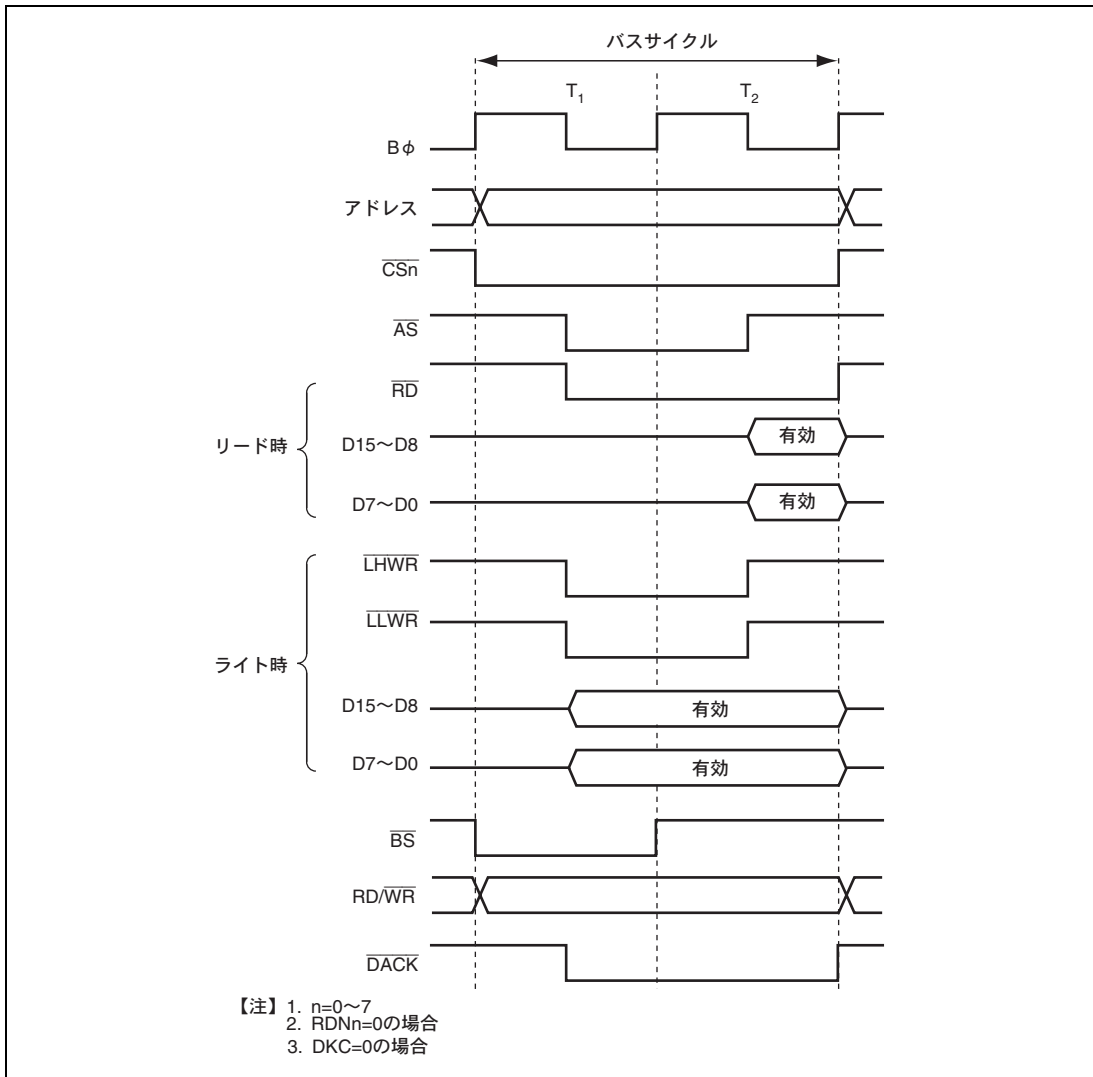


図 6.17 16 ビット 2 ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)

(2) 16 ビット 3 ステートアクセス空間

図 6.18～図 6.20 に 16 ビット 3 ステートアクセス空間のバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき、偶数アドレスに対しては上位側 (D15～D8)、奇数アドレスに対しては下位側 (D7～D0) を使用します。ウェイトステートを挿入することができます。

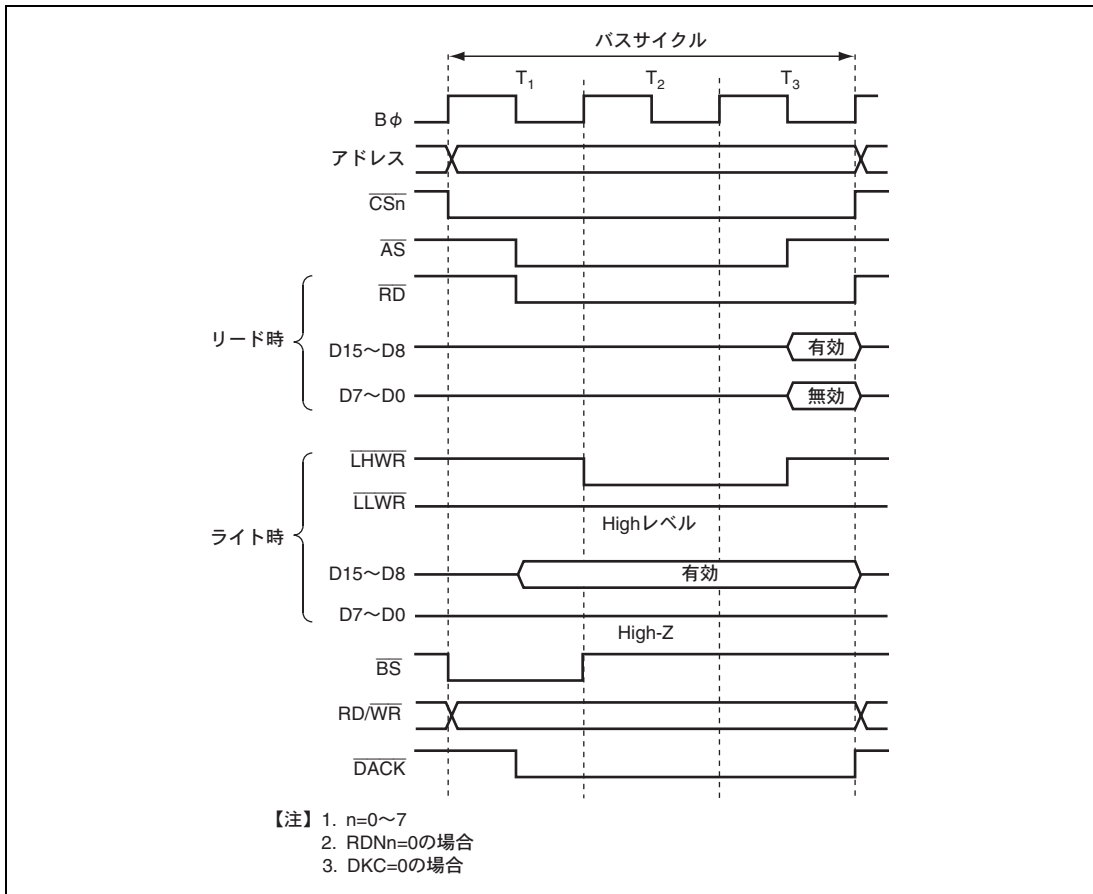


図 6.18 16 ビット 3 ステートアクセス空間のバスタイミング (偶数アドレスバイトアクセス)

6. バスコントローラ (BSC)

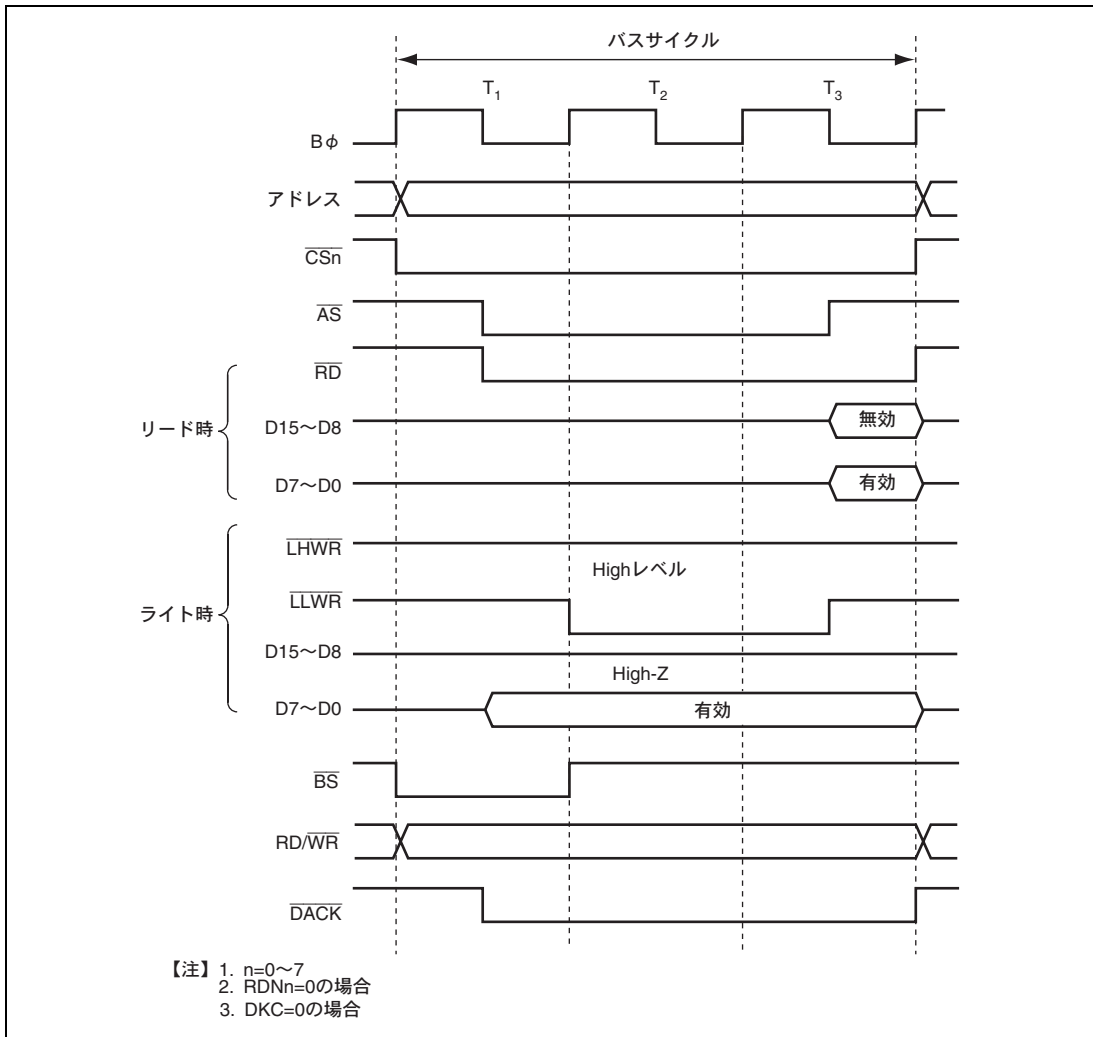


図 6.19 16 ビット 3 ステートアクセス空間のバスタイミング (奇数アドレスバイトアクセス)

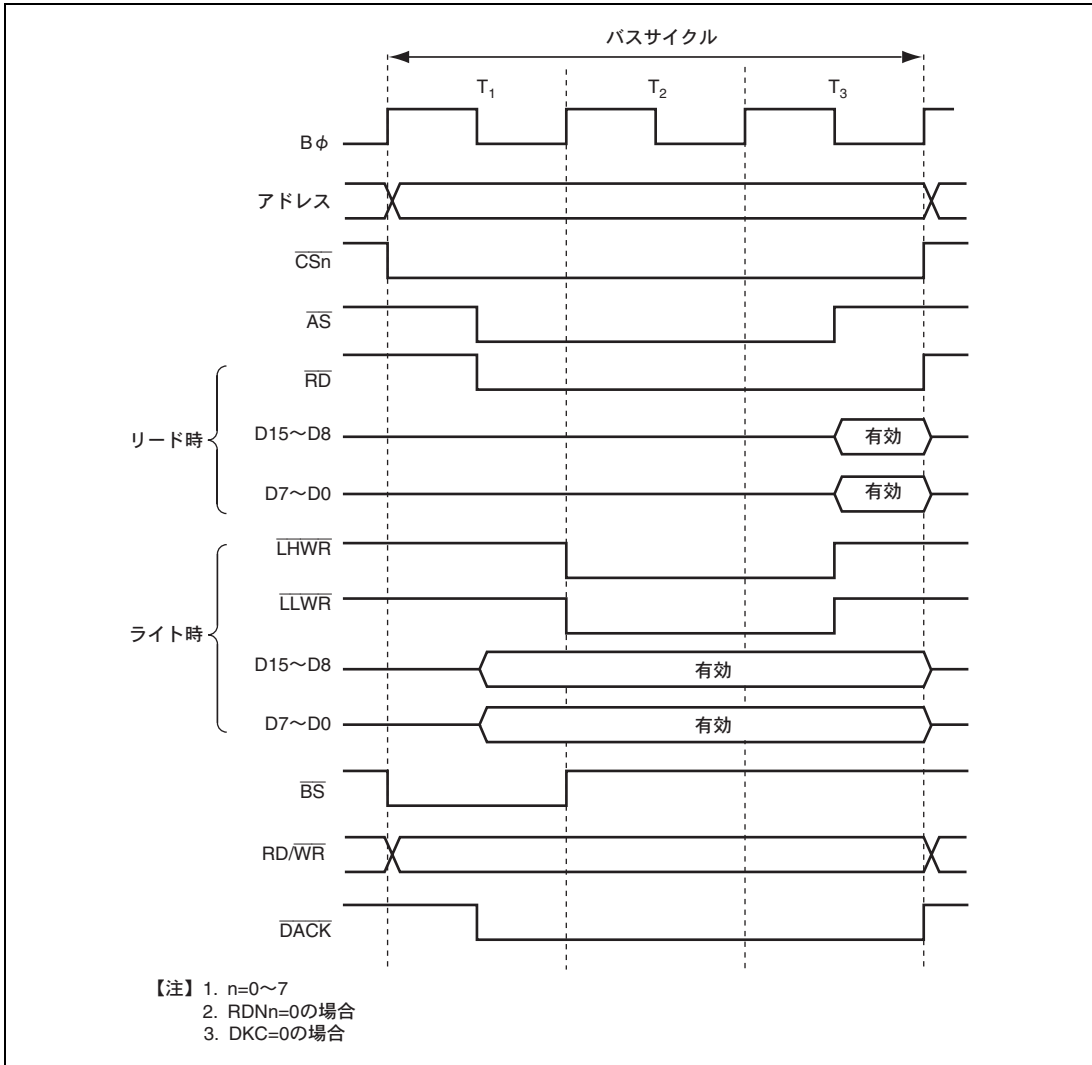


図 6.20 16ビット3ステートアクセス空間のバスタイミング (偶数アドレスワードアクセス)

6. バスコントローラ (BSC)

6.6.4 ウェイト制御

本 LSI は、外部空間をアクセスするときウェイトステート (Tw) を挿入してバスサイクルを引き伸ばすことができます。ウェイトステートを挿入する方法にはプログラムウェイト (Tpw) の挿入、および $\overline{\text{WAIT}}$ 端子による端子ウェイト (Ttw) の挿入があります。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

3 ステートアクセス空間で BCR1 の WAITE ビットを 1 にセットし、該当する端子の ICR のビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力 that 有効になります。この状態で外部空間をアクセスすると、まず WTCRA、WTCRB の設定に従ってプログラムウェイトが挿入されます。続いて T2 または Tpw の最後のステートの Bφ の立ち上がりのタイミングで $\overline{\text{WAIT}}$ 端子が Low レベルであると、さらに Ttw が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで Ttw が挿入されます。7 ステート以上の Tw を挿入する場合や、外部デバイスごとに挿入する Tw 数を変える場合などに有効です。WAITE ビットはすべてのエリアに対して共通です。

ICR については「9. I/O ポート」を参照してください。

図 6.21 にウェイトステート挿入のタイミング例を示します。

リセット後は、3 ステートアクセスかつプログラムウェイトを 7 ステート挿入、 $\overline{\text{WAIT}}$ 入力禁止状態となっています。

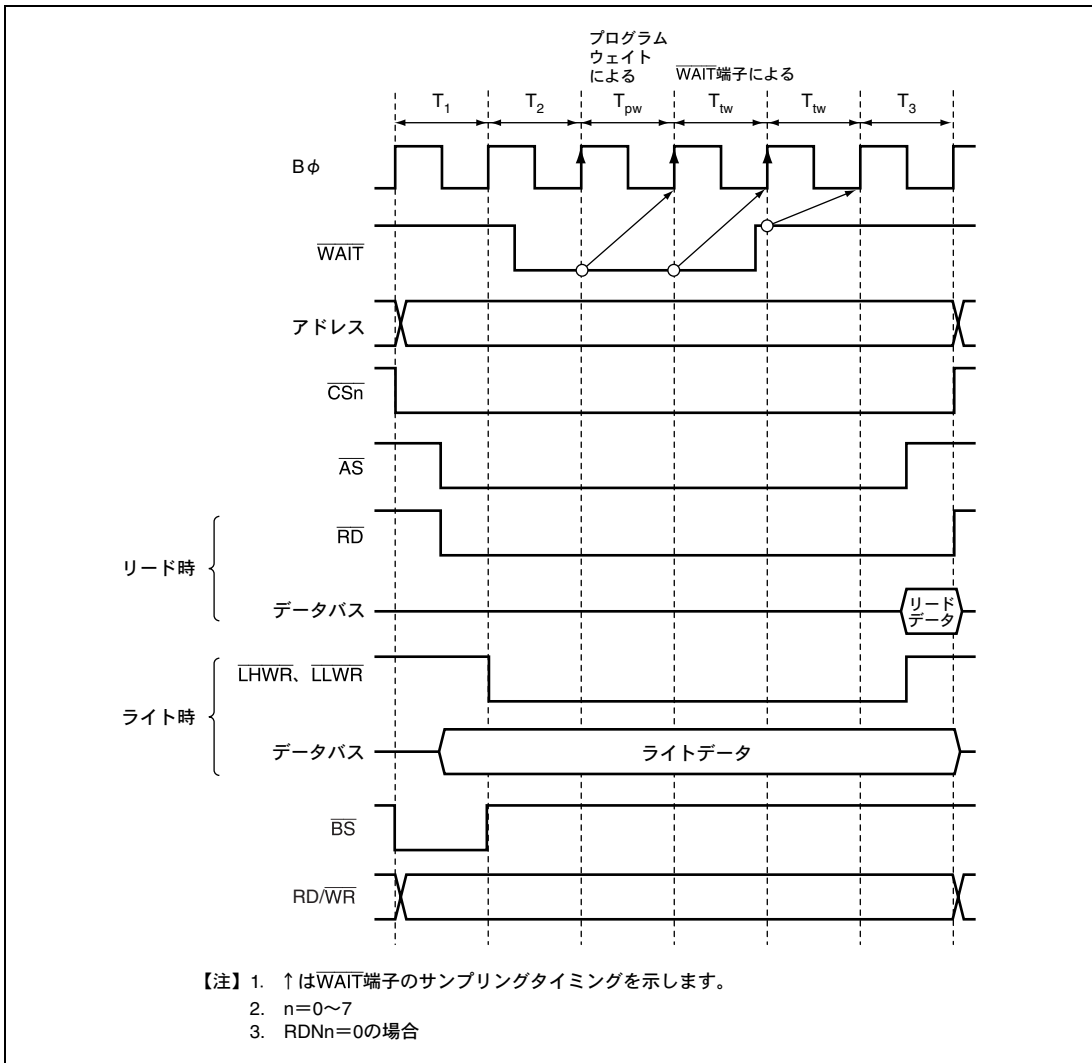


図 6.21 ウェイトステート挿入タイミング例

6. バスコントローラ (BSC)

6.6.5 リードストロープ (\overline{RD}) タイミング

RDNCR の RDN7~RDN0 ビットを 1 にセットすると、エリア単位にリードストロープタイミングを変更することができます。

DMAC をシングルアドレスモードで使用している場合、 $RDN_n=1$ にしてリードストロープタイミングを変更すると、 \overline{DACK} の立ち上がりに対して \overline{RD} のタイミングが変化するので注意が必要です。

図 6.22 に基本バス 3 ステートアクセス空間でリードストロープタイミングを変更した場合のタイミング例を示します。

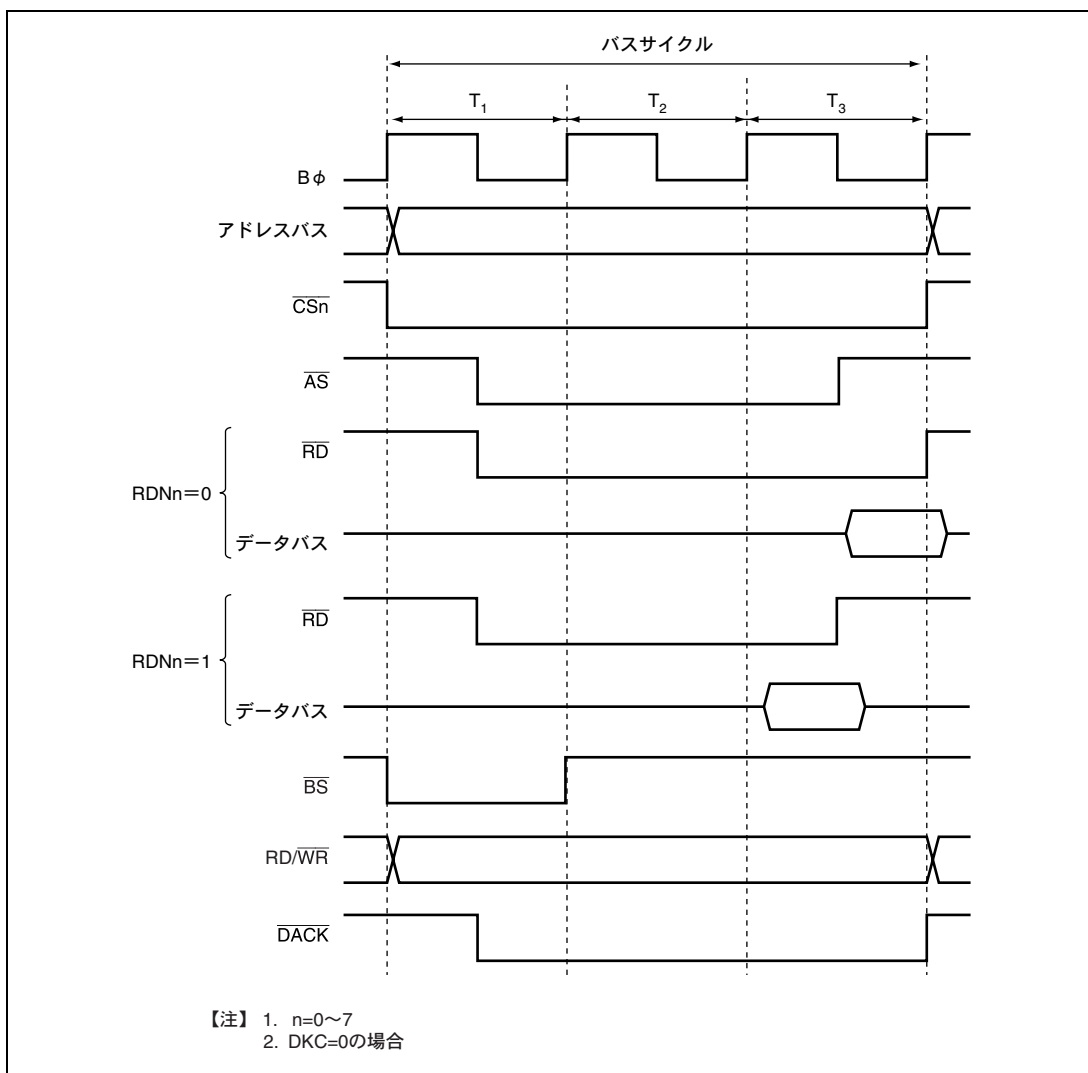


図 6.22 リードストロープタイミング例

6.6.6 チップセレクト (\overline{CS}) アサート期間拡張

外部 I/O デバイスには、 \overline{CS} 、アドレス信号と、 \overline{RD} 、 \overline{LHWR} 、 \overline{LLWR} などのストロブ信号間のセットアップ時間、およびホールド時間の確保が必要な場合があります。

CSACR の設定により、基本バス空間のアクセスサイクルの前後に \overline{CS} と \overline{AS} 、アドレス信号がアサートされるステートを挿入することができます。 \overline{CS} アサート期間の拡張はエリア単位に設定可能です。また、ライトアクセス時の \overline{CS} アサート拡張期間では、データバスにライトデータが出力されるのでデータのセットアップ時間、およびホールド時間が緩和されます。

図 6.23 に基本バス 3 ステートアクセス空間に \overline{CS} アサート期間を拡張した場合のタイミング例を示します。

基本バスサイクルの手前に挿入される拡張ステート (T_h) と、基本バスサイクルの後に挿入される拡張ステート (T_t) の両方、もしくは一方だけをエリア単位に指定することが可能です。CSACR の上位 8 ビットの CSXH7 ~ CSXH0 ビットで T_h ステート、下位 8 ビットの CSXT7 ~ CSXT0 ビットで T_t ステートの挿入の有無を設定することができます。

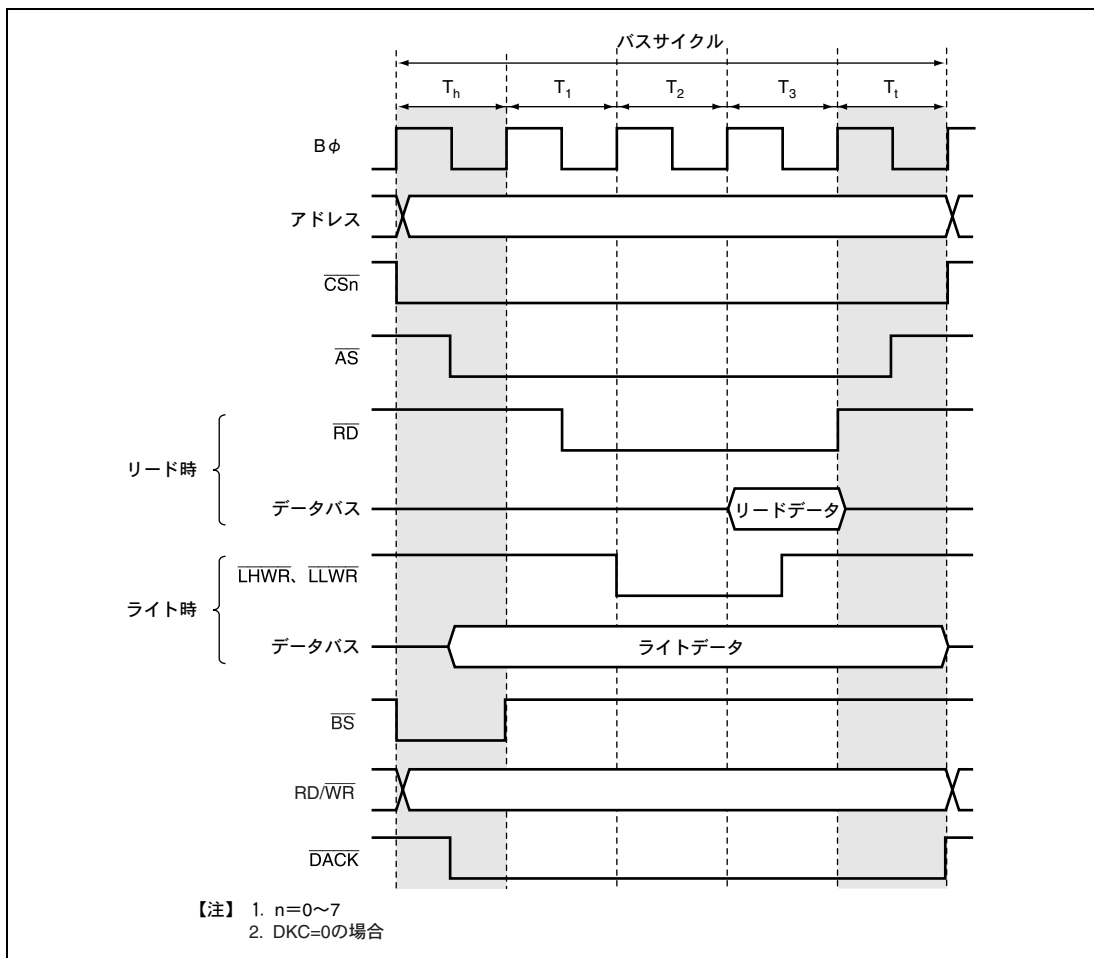


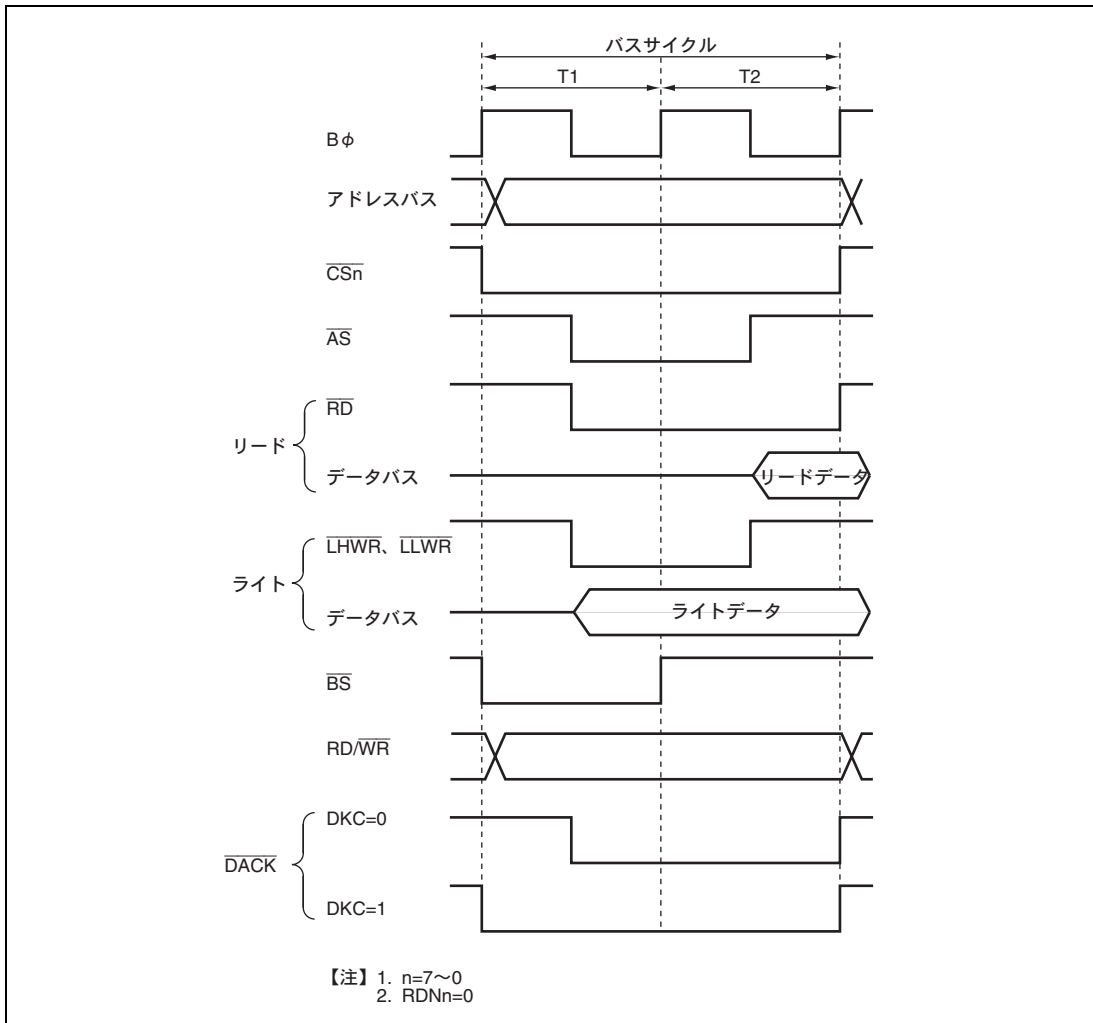
図 6.23 チップセレクトアサート期間拡張時タイミング例

6. バスコントローラ (BSC)

6.6.7 $\overline{\text{DACK}}$ 信号の出力タイミング

DMAC のシングルアドレス転送を行う場合、BCR1 の DKC ビットによって $\overline{\text{DACK}}$ 信号のアサートタイミングを変更することができます。

図 6.24 に $\overline{\text{DACK}}$ 信号の出力タイミングを示します。DKC ビットを 1 にセットすることにより、 $\overline{\text{DACK}}$ 信号は半サイクル早くアサートします。



6.7 バイト制御 SRAM インタフェース

バイト制御 SRAM インタフェースは、リード/ライトいずれのバスサイクルでもバイトセレクトストロープを出力するメモリインタフェースです。このインタフェースには、16 ビットのデータ入出力端子を持ち、 \overline{UB} 、 \overline{LB} のような上位バイトセレクトストロープ、下位バイトセレクトストロープ機能のある SRAM を接続することができます。

ライトストロープ出力端子 (\overline{LHWR} 、 \overline{LLWR}) からバイトセレクトストロープ (\overline{LUB} 、 \overline{LLB}) が出力されること、リードストロープ (\overline{RD}) のネゲートタイミングが RDNCR の設定によらず基本バスインタフェースの RDNn=0 に設定したときより半サイクル前になっていること、ライトイネーブルとして RD/ \overline{WR} 信号を使用することを除けば、基本バスインタフェースと同様の動作となります。

6.7.1 バイト制御 SRAM 空間の設定

バイト制御 SRAM インタフェースは、エリア 0~7 に設定することができます。SRAMCR の BCSELn (n=0~7) ビットにより、各エリアをバイト制御 SRAM 空間に設定できます。パースト ROM インタフェース、アドレス/データマルチプレクス I/O インタフェースに設定されているエリアでは、SRAMCR の設定は無効となりバイト制御 SRAM インタフェースを使用することはできません。

6.7.2 データバス

バイト制御 SRAM 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=0~7) により、当該エリアを 16 ビットバイト制御 SRAM 空間に設定できます。8 ビットアクセス空間に設定したエリアは、バイト制御 SRAM 空間に設定できません。

16 ビットバイト制御 SRAM 空間では D15~D0 のデータバスが有効となります。

アクセスサイズとデータアライメントは、基本バスインタフェースと同様です。詳細は「6.5.6 エンディアンとデータアライメント」を参照してください。

6. バスコントローラ (BSC)

6.7.3 バイト制御 SRAM インタフェースの入出力端子

表 6.16 にバイト制御 SRAM インタフェースの入出力端子を示します。

バイト制御 SRAM インタフェースでは、ライトストロープ端子 ($\overline{\text{LHWR}}$ 、 $\overline{\text{LLWR}}$) からバイトセレクトストロープを出力します。また、ライトイネーブル信号として、 $\text{RD}/\overline{\text{WR}}$ 信号を使用します。

表 6.16 バイト制御 SRAM インタフェースの入出力端子

端子	バイト制御 SRAM 設定時	名称	入出力	機能
$\overline{\text{AS/AH}}$	AS	アドレスストロープ	出力	基本バス空間、またはバイト制御 SRAM 空間をアクセス中で、アドレスバス上のアドレス出力が有効であることを示すストロープ信号
$\overline{\text{CSn}}$	$\overline{\text{CSn}}$	チップセレクト	出力	エリア n が選択されていることを示すストロープ信号
$\overline{\text{RD}}$	$\overline{\text{RD}}$	リードストロープ	出力	バイト制御 SRAM 空間アクセス中の SRAM のアウトプットイネーブル
$\text{RD}/\overline{\text{WR}}$	$\text{RD}/\overline{\text{WR}}$	リード/ライト	出力	バイト制御 SRAM 空間アクセス中の SRAM のライトイネーブル信号
$\overline{\text{LHWR/LUB}}$	$\overline{\text{LUB}}$	ロウアーアッパーバイトセレクト	出力	16 ビットバイト制御 SRAM 空間アクセス中のアッパーバイトセレクト
$\overline{\text{LLWR/LLB}}$	$\overline{\text{LLB}}$	ロウアーロウアーバイトセレクト	出力	16 ビットバイト制御 SRAM 空間アクセス中のロウアーバイトセレクト
WAIT	WAIT	ウェイト	入力	外部空間をアクセスするときのウェイト要求信号
A23~A0	A23~A0	アドレス端子	出力	アドレス出力端子
D15~D0	D15~D0	データ端子	入出力	データ入出力端子

6.7.4 基本タイミング

(1) 2 ステートアクセス空間

図 6.25 にバイト制御 SRAM 空間を 2 ステートアクセス空間としたときのバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき使用するデータバスは、基本バスインタフェースと同様になります。ウェイトステートを挿入することはできません。

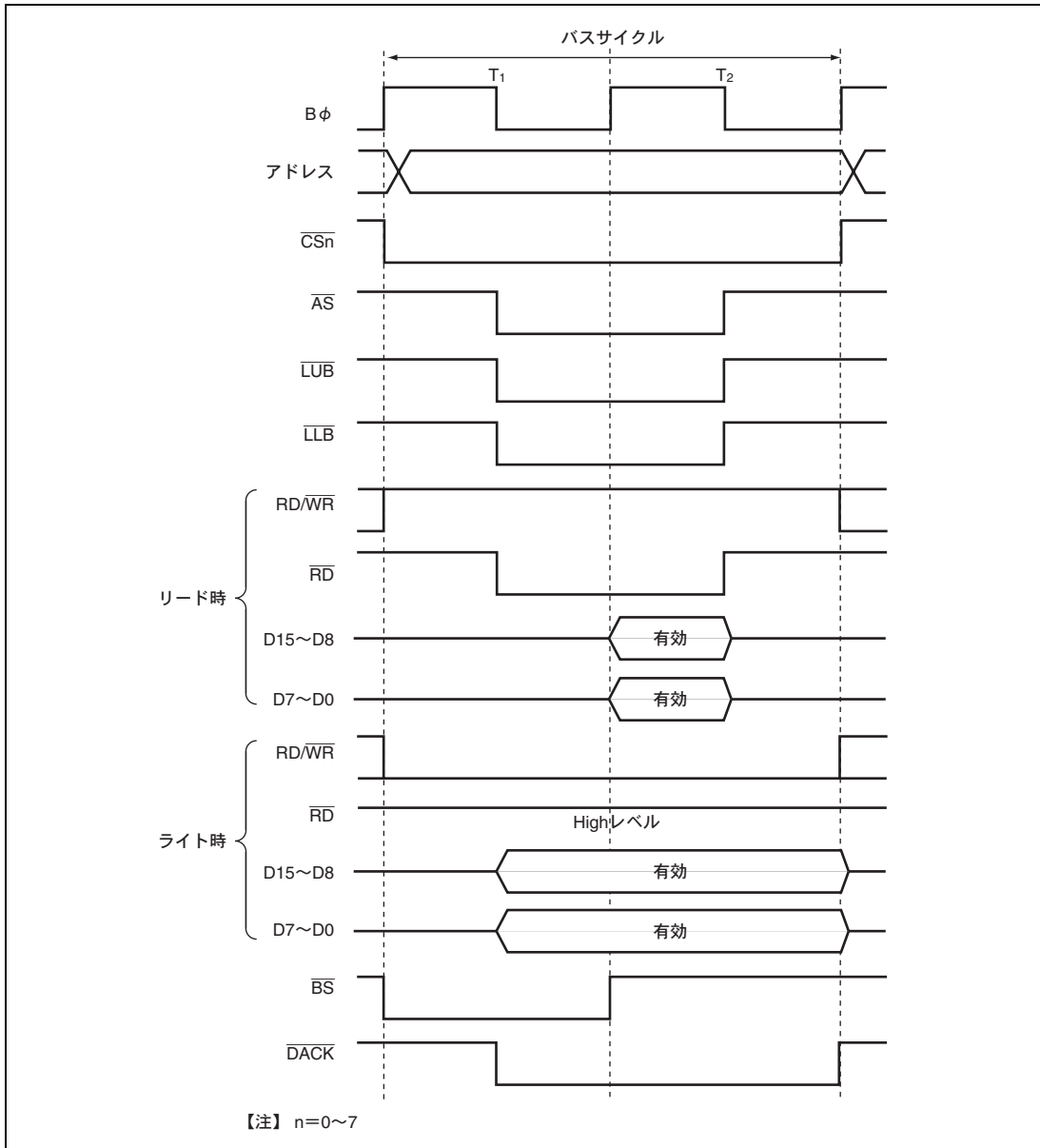


図 6.25 16 ビット 2 ステートアクセス空間のバスタイミング

6. バスコントローラ (BSC)

(2) 3 ステートアクセス空間

図 6.26 にバイト制御 SRAM 空間を 3 ステートアクセス空間としたときのバスタイミングを示します。

16 ビットアクセス空間をアクセスするとき使用するデータバスは、基本バスインタフェースと同様になります。ウェイトステートを挿入することができます。

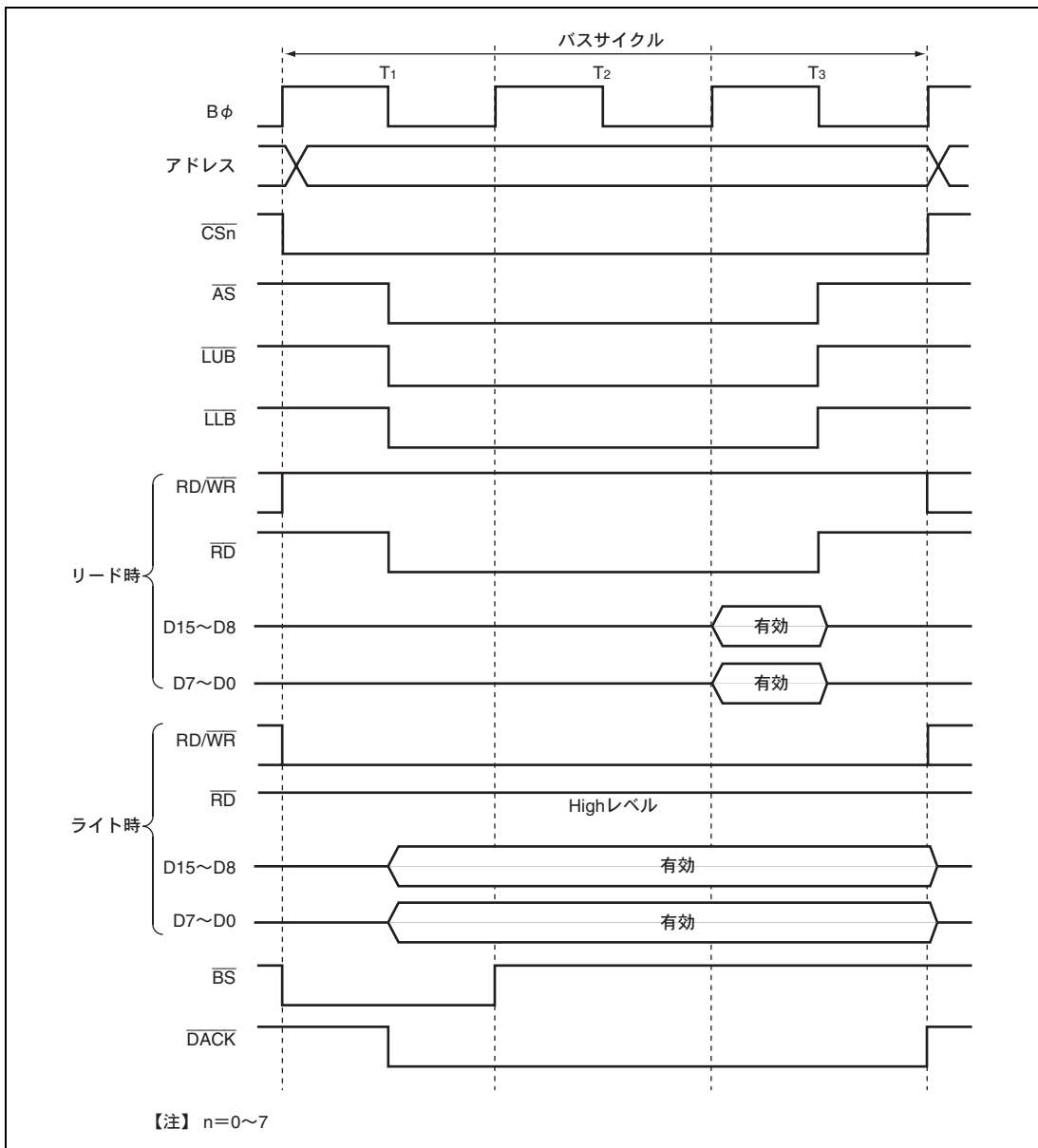


図 6.26 16 ビット 3 ステートアクセス空間のバスタイミング

6.7.5 ウェイト制御

バイト制御 SRAM インタフェースにおいても、基本バスインタフェースと同様にウェイトステートを挿入してバスサイクルを引き伸ばすことができます。

(1) プログラムウェイトの挿入

WTCRA、WTCRB の設定により、3 ステートアクセス空間に対してエリア単位で 0~7 ステートのウェイトステートを自動的に T2 ステートと T3 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

3 ステートアクセス空間で BCR1 の WAITE ビットを 1 にセットし、該当する端子の DDR のビットを 0 にクリアして、ICR のビットを 1 にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。

DDR、ICR については「9. I/O ポート」を参照してください。

図 6.27 にウェイトステート挿入のタイミング例を示します。

6. バスコントローラ (BSC)

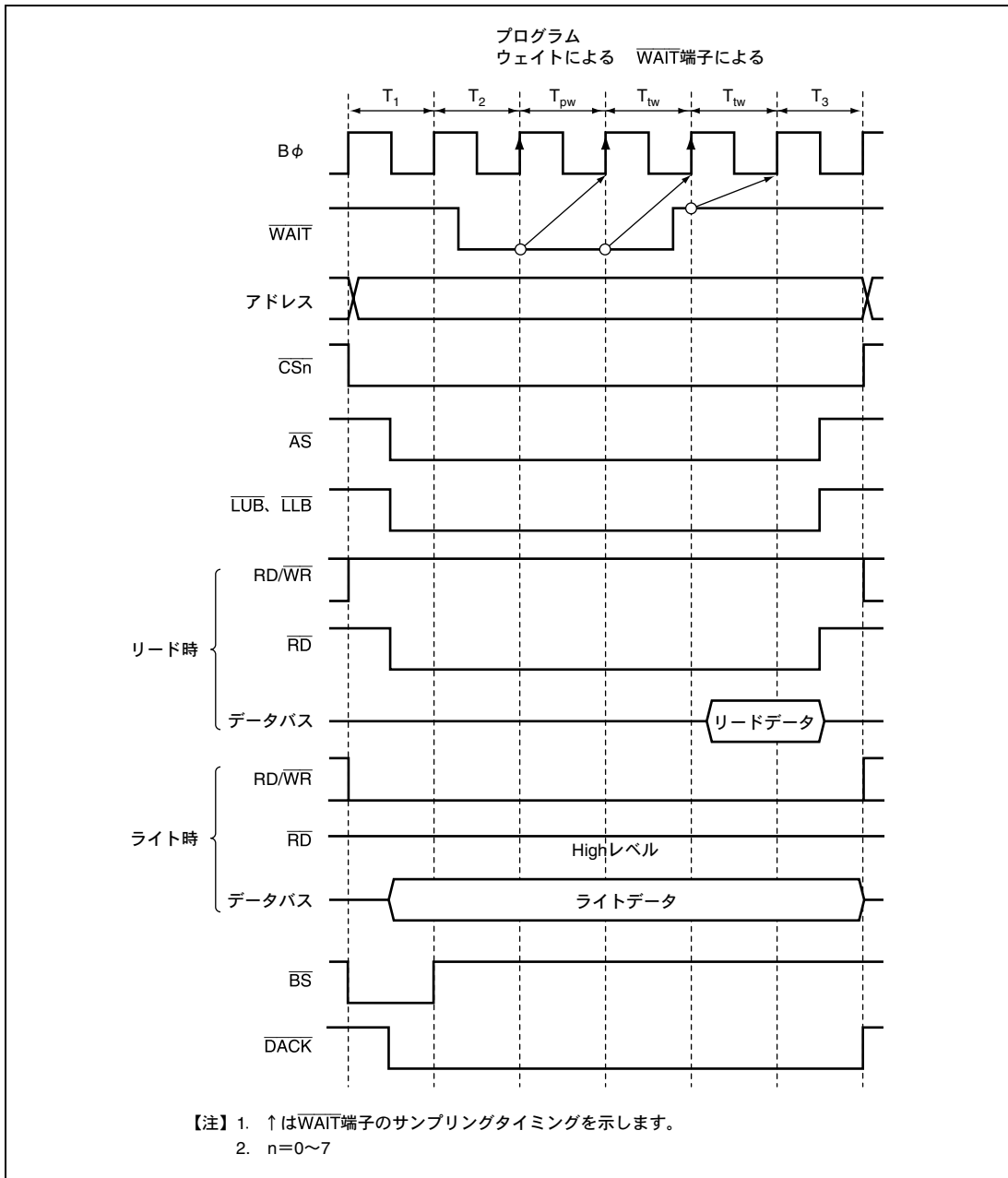


図 6.27 ウェイトステート挿入のタイミング例

6.7.6 リードストローブ (\overline{RD})

バイト制御 SRAM 空間を設定すると、当該空間では RDNCR の設定は無効となります。

バイト制御 SRAM インタフェースのリードストローブネゲートタイミングは、基本バスインタフェースにおいて RDNn=1 の設定をしたときと同じタイミングです。 \overline{DACK} の立ち上がりに対して、 \overline{RD} のタイミングが異なりますので注意してください。

6.7.7 チップセレクト (\overline{CS}) アサート期間延長

バイト制御 SRAM インタフェースにおいても、基本バスインタフェースと同様にバスサイクルの前後に拡張ステートを挿入することができます。詳細については、「6.6.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。

6.7.8 \overline{DACK} 信号の出力タイミング

DMAC のシングルアドレス転送を行う場合、BCR1 の DKC ビットによって \overline{DACK} 信号のアサートタイミングを変更することができます。

図 6.28 に \overline{DACK} 信号の出力タイミングを示します。DKC ビットを 1 にセットすることにより、 \overline{DACK} 信号は半サイクル早くアサートします。

6. バスコントローラ (BSC)

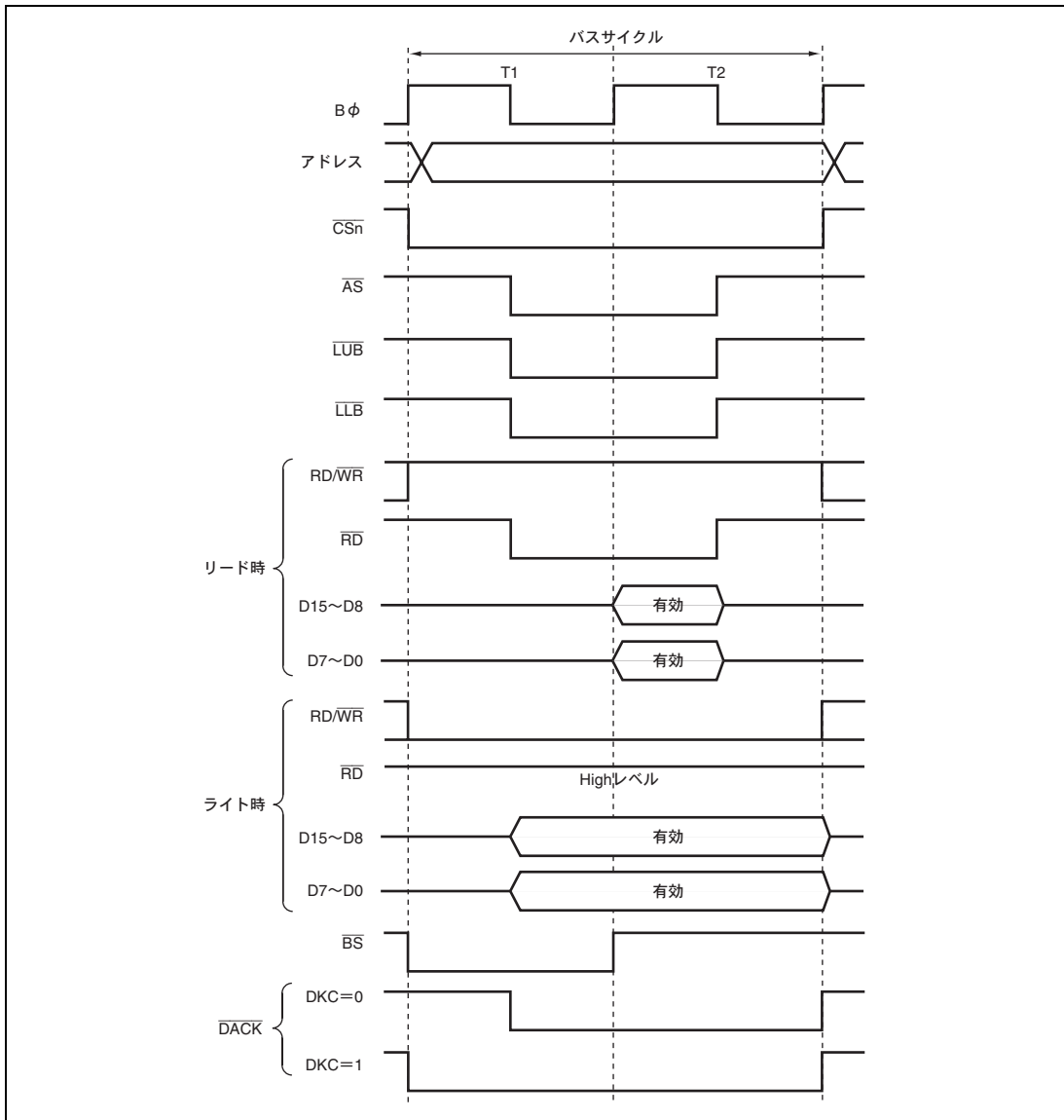


図 6.28 DACK 信号の出カタイミング

6.8 バースト ROM インタフェース

本 LSI は、エリア 0 およびエリア 1 の外部空間をバースト ROM 空間に設定すると、バースト ROM インタフェースを行うことができます。バースト ROM インタフェースでは、ページアクセス可能な ROM を高速にアクセスすることができます。

BROMCR の BSRM1、BSRM0 ビットにより、エリア 1 およびエリア 0 をバースト ROM 空間に設定します。BROMCR の BSWDn1、BSWDn0 (n=0, 1) ビットの設定により、最大 32 ワードの連続バーストアクセスを行うことができます。バーストアクセスは 1 ステートから 8 ステートを選択できます。

エリア 0 およびエリア 1 を独立に設定することができます。

バースト ROM インタフェースでは、CPU によるリードアクセスのみがバーストアクセスの対象となります。その他のアクセスは基本バスインタフェース相当になります。

6.8.1 バースト ROM 空間の設定

バースト ROM インタフェースは、エリア 0、1 に設定することができます。BROMCR の BSRMn (n=0, 1) ビットにより、エリア 0、1 をバースト ROM 空間に設定できます。

6.8.2 データバス

バースト ROM 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=0, 1) により、当該エリアを 8 ビットバースト ROM 空間、16 ビットバースト ROM 空間に設定できます。

8 ビットバス幅では D7~D0、16 ビットバス幅では D15~D0 のデータバスが有効になります。

アクセスサイズとデータアライメントは基本バスインタフェースのビッグエンディアンのとときと同様です。詳細は「6.5.6 エンディアンとデータアライメント」を参照してください。

6.8.3 バースト ROM インタフェースの入出力端子

表 6.17 にバースト ROM インタフェースの入出力端子を示します。

表 6.17 バースト ROM インタフェースの入出力端子

名称	記号	入出力	機能
バスサイクル開始	BS	出力	バスサイクルの開始を示す信号です。
アドレスストロープ	AS	出力	アクセス中、アドレスバス上のアドレス出力が有効であることを示すストロープ信号です。
リードストロープ	RD	出力	リードアクセス中であることを示すストロープ信号です。
リード/ライト	RD/WR	出力	データバスの入出力方向指示信号です。
ロウハilight	LHWR	出力	ライトアクセス中であり、データバスの上位バイト (D15~D8) が有効であることを示すストロープ信号です。
ロウロウライト	LLWR	出力	ライトアクセス中であり、データバスの下位バイト (D7~D0) が有効であることを示すストロープ信号です。
チップセレクト 0、1	CS0、CS1	出力	エリアが選択されていることを示すストロープ信号です。
ウェイト	WAIT	入力	外部空間をアクセスするときのウェイト要求信号です。

6. バスコントローラ (BSC)

6.8.4 基本タイミング

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) のアクセスステート数は、ABWCR、ASTCR、WTCRA、WTCRB と CSACR の CSXH_n (n=0~7) ビットによる基本バスインタフェースの設定に従います。エリア 0 またはエリア 1 をバースト ROM 空間に設定した場合、CPU によるリードアクセス時は RDNCR と CSACR の CSXT_n (n=0~7) ビットの設定は無視されます。

バーストサイクルは、BROMCR の BSTS02~BSTS00、BSTS12~BSTS10 ビットの設定により、1 ステートから 8 ステートの選択が可能です。ウェイトステートは挿入できません。また、BROMCR の BSTS01、BSTS00、BSTS11、BSTS10 ビットの設定により、4 ワード/8 ワード/16 ワード/32 ワードの連続バーストアクセスを行います。

図 6.29、図 6.30 にバースト ROM 空間の基本アクセスタイミング例を示します。

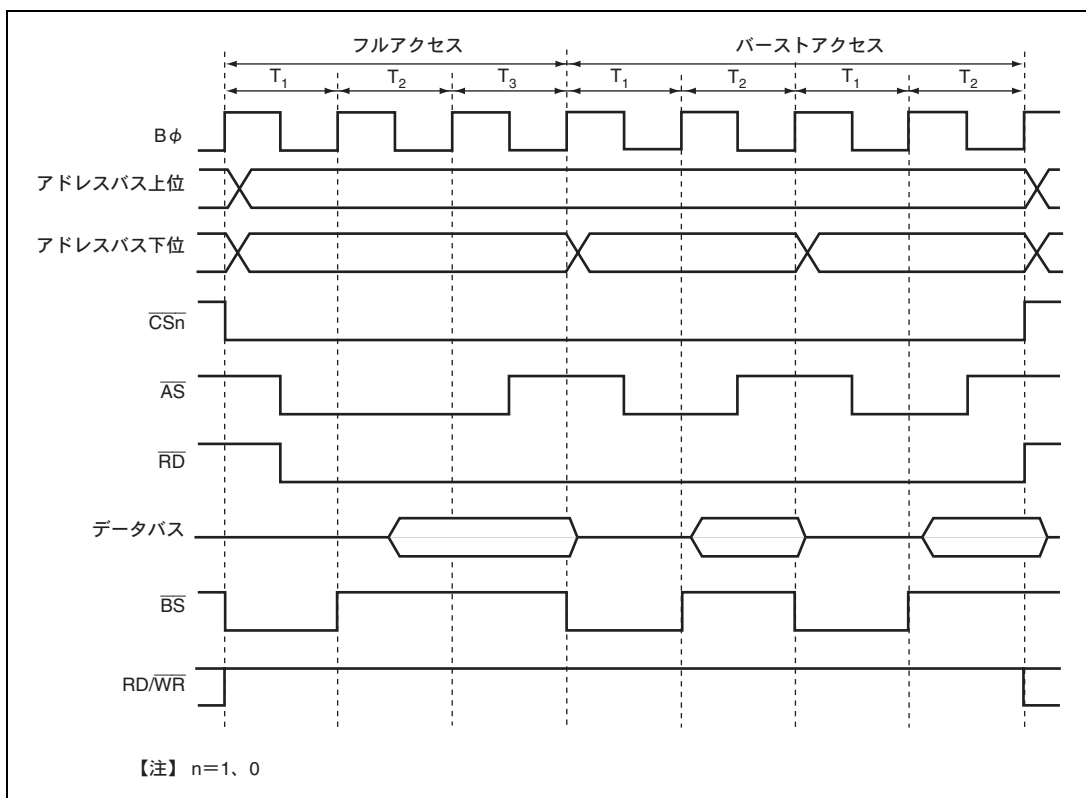


図 6.29 バースト ROM アクセスタイミング例 (AST_n=1、バーストサイクル 2 ステート)

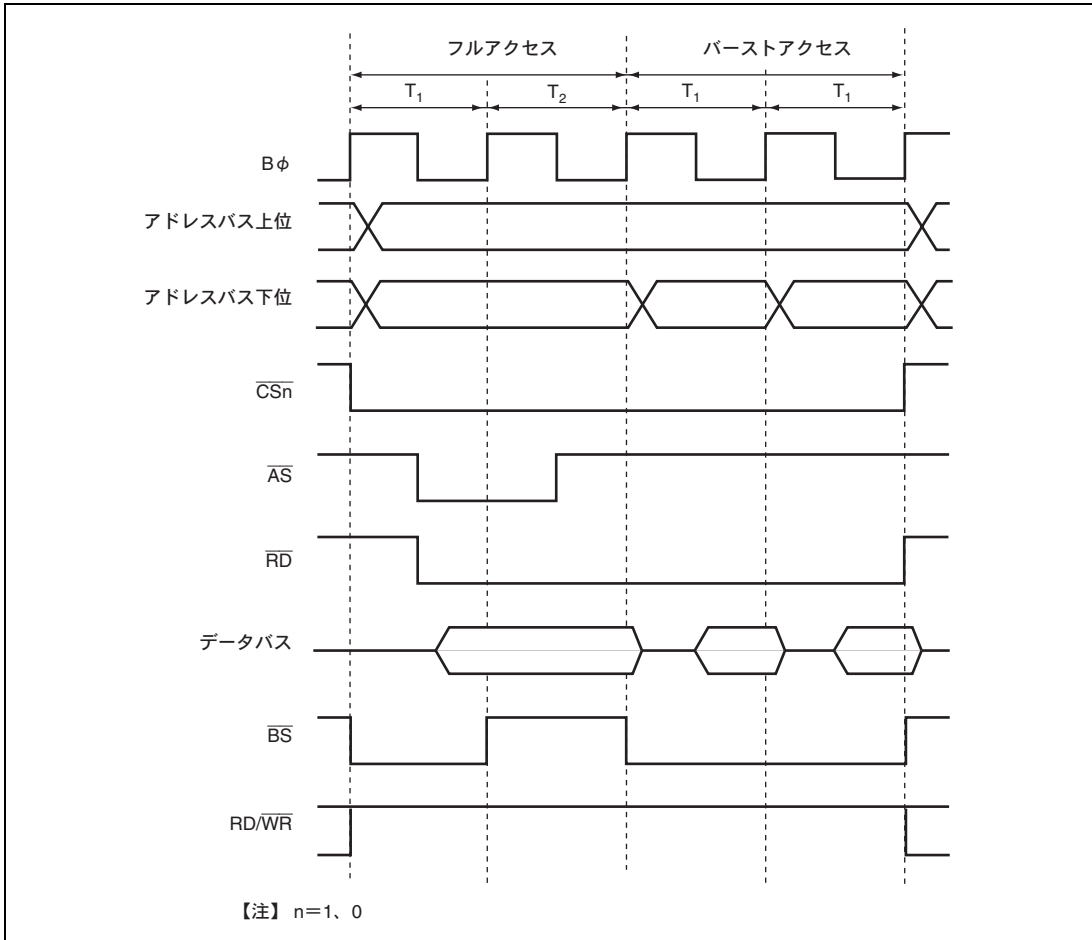


図 6.30 バースト ROM アクセスタイミング例 (ASTn=0、バーストサイクル1 ステート)

6. バスコントローラ (BSC)

6.8.5 ウェイト制御

バースト ROM インタフェースのイニシャルサイクル (フルアクセス) には、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「6.6.4 ウェイト制御」を参照してください。

バーストサイクルには、ウェイトステートを挿入することはできません。

6.8.6 リードストロープタイミング

バースト ROM 空間にすると、当該空間では CPU によるリードアクセス時は RDNCR の設定は無効となります。

バースト ROM インタフェースのリードストロープネゲートタイミングは、基本バスインタフェースにおいて RDNn=0 の設定のときと同じタイミングです。

6.8.7 チップセレクトアサート期間延長

バースト ROM インタフェースにおいても、基本バスインタフェースと同様にバースト ROM 空間アクセスサイクルに拡張サイクルを挿入することができます。

バースト ROM 空間に対しては、CPU によるリードアクセス時のみバーストアクセス可能です。このときの CSACR の当該 CSXTn の設定は無視され、フルアクセスサイクルの前にのみ拡張サイクルを挿入することができます。バーストアクセスサイクルの前後には拡張サイクルは挿入されません。

CPU によるリード以外のアクセスについては、バースト ROM 空間が基本バスインタフェース相当となるため、バースト ROM 空間アクセスサイクルの前後に拡張サイクルを挿入することができます。

6.9 アドレス/データマルチプレクス I/O インタフェース

本 LSI は、エリア 3 からエリア 7 の外部空間をアドレス/データマルチプレクス I/O 空間に設定すると、アドレス/データマルチプレクス I/O インタフェースを行うことができます。アドレス/データマルチプレクス I/O インタフェースでは、アドレス/データマルチプレクスが必要な周辺 LSI を本 LSI に直結できます。

6.9.1 アドレス/データマルチプレクス I/O 空間の設定

アドレス/データマルチプレクス I/O インタフェースは、エリア 3～7 に設定することができます。MPXCR の MPXEn (n=7～3) ビットにより、各エリアをアドレス/データマルチプレクス I/O 空間に設定できます。

6.9.2 アドレス/データマルチプレクス

アドレス/データマルチプレクス I/O 空間では、データバスがアドレスバスとマルチプレクスされています。表 6.18 にバス幅に対応するアドレス出力の関係を示します。

表 6.18 アドレス/データマルチプレクス一覧

バス幅	サイクル	データ端子															
		PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
8 ビット	アドレス	—	—	—	—	—	—	—	—	A7	A6	A5	A4	A3	A2	A1	A0
	データ	—	—	—	—	—	—	—	—	D7	D6	D5	D4	D3	D2	D1	D0
16 ビット	アドレス	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
	データ	D15	D14	D13	D12	D11	D10	D9	D8	D7	D6	D5	D4	D3	D2	D1	D0

6.9.3 データバス

アドレス/データマルチプレクス I/O 空間のバス幅は、ABWCR の ABWHn、ABWLn ビット (n=7～3) により、当該エリアを 8 ビットアクセス空間または 16 ビット空間に設定できます。

8 ビットアクセス空間に設定した場合はアドレス/データともに D7～D0 が有効となり、16 ビットアクセス空間に設定した場合はアドレス/データともに D15～D0 が有効となります。アドレス/データマルチプレクス I/O 空間がアクセスされた場合においても、アドレスバスには対応するアドレスが出力されます。

アクセスサイズとデータアライメントについては、「6.5.6 エンディアンとデータアライメント」を参照してください。

6. バスコントローラ (BSC)

6.9.4 アドレス/データマルチプレクス I/O インタフェースの入出力端子

表 6.19 にアドレス/データマルチプレクス I/O インタフェースの入出力端子を示します。

表 6.19 アドレス/データマルチプレクス I/O インタフェースの入出力端子

端子	アドレス/データ マルチプレクス I/O 設定時	名称	入出力	機能
\overline{CS}_n	CS	チップセレクト	出力	エリア n をアドレス/データマルチプレクス I/O 空間に設定したときのチップセレクト (n=3~7)
$\overline{AS}/\overline{AH}$	\overline{AH}^*	アドレスホールド	出力	アドレス/データマルチプレクス I/O 空間に設定したときのアドレスホールド信号
\overline{RD}	\overline{RD}	リードストロープ	出力	アドレス/データマルチプレクス I/O 空間をリード中であることを示す信号
LHWR/LUB	LHWR	ロウハイライト	出力	アドレス/データマルチプレクス I/O 空間をライト中で、データバスの上位 (D15~D8) が有効であることを示すストロープ信号
LLWR/LLB	LLWR	ロウロウライト	出力	アドレス/データマルチプレクス I/O 空間をライト中で、データバスの下位 (D7~D0) が有効であることを示すストロープ信号
D15~D0	D15~D0	アドレス/データ	入出力	アドレス/データマルチプレクス I/O 空間のアドレス/データのマルチプレクス 8 ビット空間に設定した場合は D7~D0 のみ有効 16 ビット空間に設定した場合は D15~D0 が有効
A23~A0	A23~A0	アドレス端子	出力	アドレス出力
WAIT	WAIT	ウェイト	入力	外部空間をアクセスするときのウェイト要求信号
\overline{BS}	\overline{BS}	バスサイクル開始	出力	バスサイクルの開始を示す信号
$\overline{RD}/\overline{WR}$	$\overline{RD}/\overline{WR}$	リード/ライト	出力	データバスの入出力方向指示信号

【注】 * \overline{AH} 出力端子は、 \overline{AS} 出力端子と兼用されています。いずれか一つのエリアをアドレス/データマルチプレクス I/O に設定した時点で \overline{AH} 出力端子となり、 \overline{AS} 出力端子としては使用できなくなります。他の基本バスインタフェースのエリアをアクセスしても \overline{AS} 信号は出力されません。ただし、アドレス/データマルチプレクス I/O に設定するまでは、 \overline{AS} 出力端子となっています。

6.9.5 基本タイミング

アドレスデータマルチプレクス I/O インタフェースのバスサイクルは、アドレスサイクルとデータサイクルからなります。データサイクルは ABWCR、ASTCR、WTCRA、WTCRB、RDNCR、CSACR による基本バスインタフェースの設定に従います。

図 6.31、図 6.32 に基本アクセスタイミングを示します。

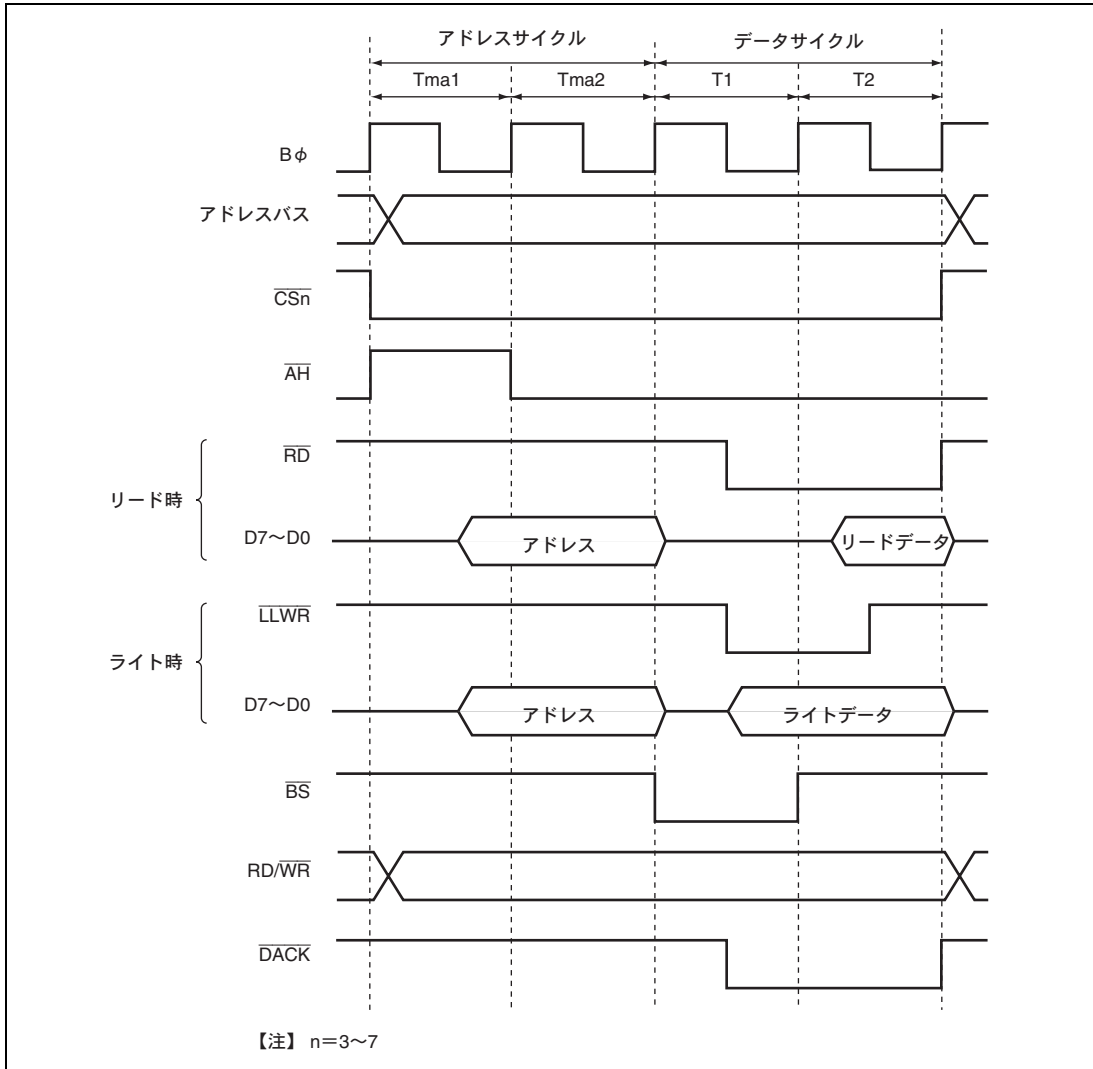


図 6.31 8 ビットアクセス空間へのアクセスタイミング (ABWHn=1、ABWLn=1)

6. バスコントローラ (BSC)

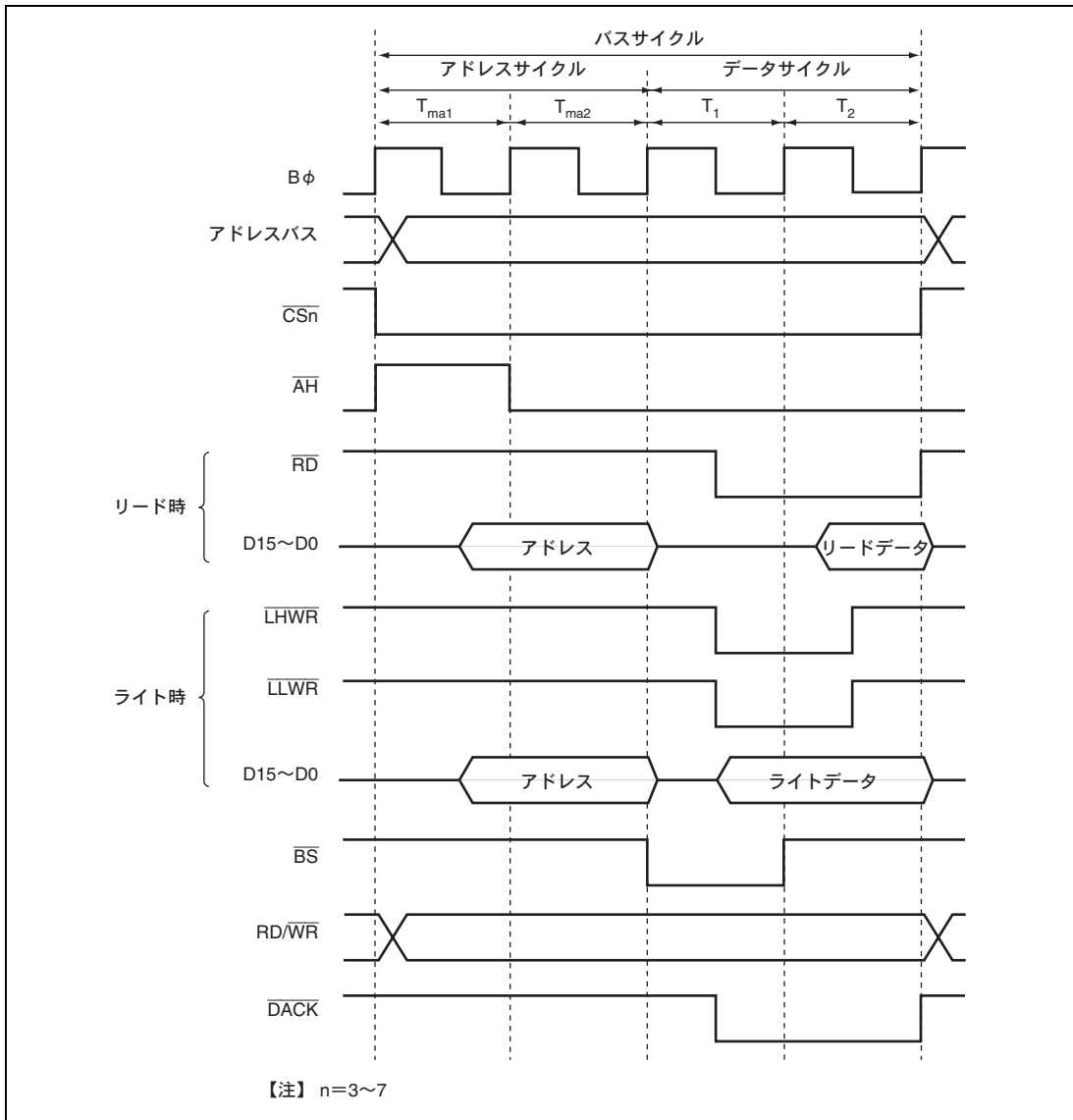


図 6.32 16 ビットアクセス空間へのアクセスタイミング (ABWHn=0、ABWLn=1)

6.9.6 アドレスサイクル制御

MPXCR の ADDEX ビットを 1 にセットすることにより、T_{ma1} サイクルと T_{ma2} サイクルの間に \overline{AH} 信号の出力期間を拡張するステート (T_{maw}) を 1 ステート挿入することができます。T_{maw} ステートの挿入により、 \overline{AH} に対するアドレスのセットアップと \overline{AH} の最小パルス幅を確保することができます。

図 6.33 にアドレスサイクルが 3 サイクルになる場合のアクセスタイミング例を示します。

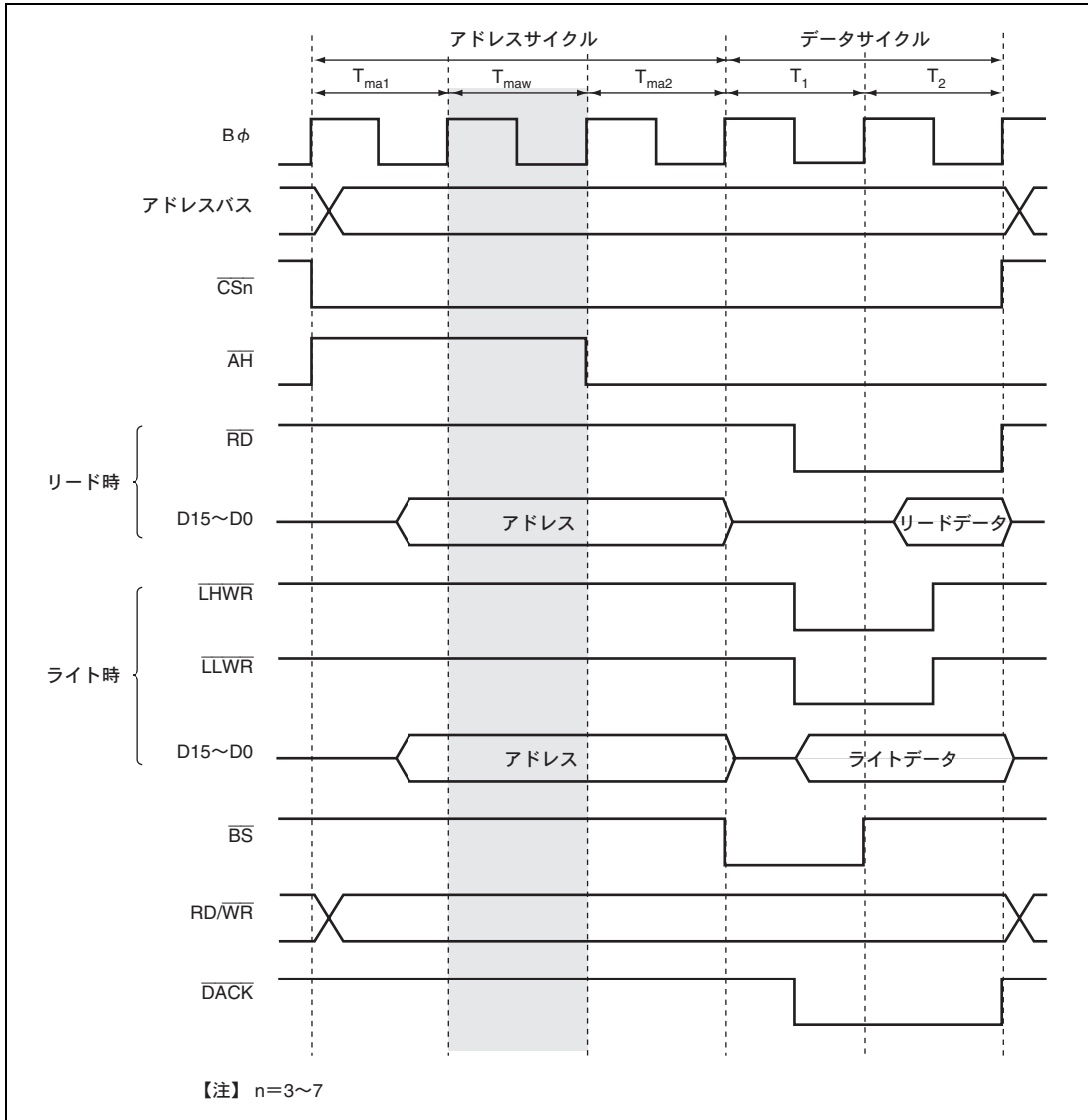


図 6.33 アドレスサイクル 3 サイクルのアクセスタイミング例 (ADDEX=1)

6. バスコントローラ (BSC)

6.9.7 ウェイト制御

アドレス/データマルチプレクス I/O インタフェースのデータサイクルには、基本バスインタフェースと同様にプログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入が可能です。詳細は「6.6.4 ウェイト制御」を参照してください。

ウェイト制御の設定は、アドレスサイクルに影響を与えません。

6.9.8 リードストロープ ($\overline{\text{RD}}$) タイミング

アドレス/データマルチプレクス I/O インタフェースでは、基本バスインタフェースと同様にデータサイクルのリードストロープのタイミングを変更することが可能です。詳細は「6.6.5 リードストロープ ($\overline{\text{RD}}$) タイミング」を参照してください。

図 6.34 にリードストロープのタイミングを変更した場合のタイミング例を示します。

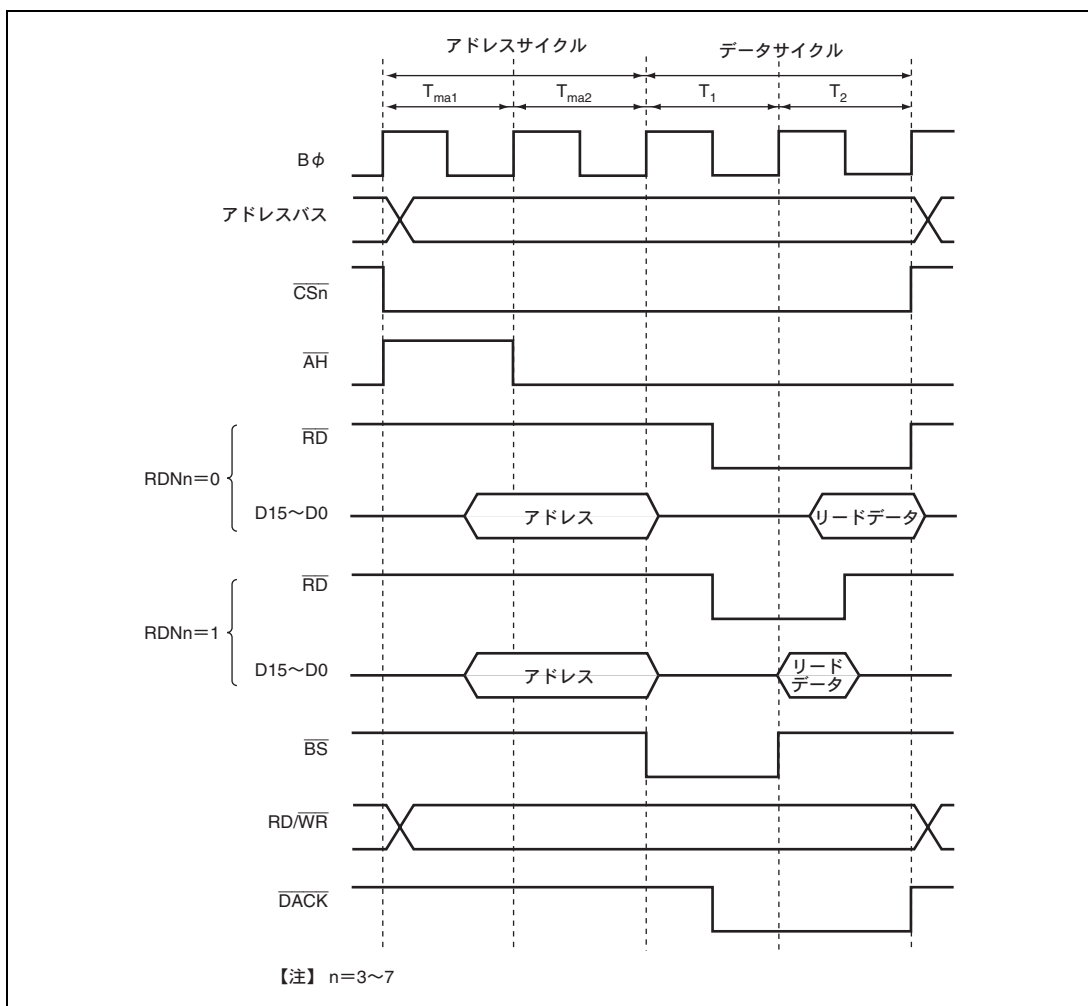


図 6.34 リードストロープタイミング例

6.9.9 データサイクルのチップセレクト (\overline{CS}) アサート期間拡張

アドレス/データマルチプレクス I/O インタフェースでは、データサイクルの前後に拡張ステートを挿入することができます。詳細は「6.6.6 チップセレクト (\overline{CS}) アサート期間拡張」を参照してください。

図 6.35 にデータサイクルのチップセレクトアサート期間拡張タイミング例を示します。

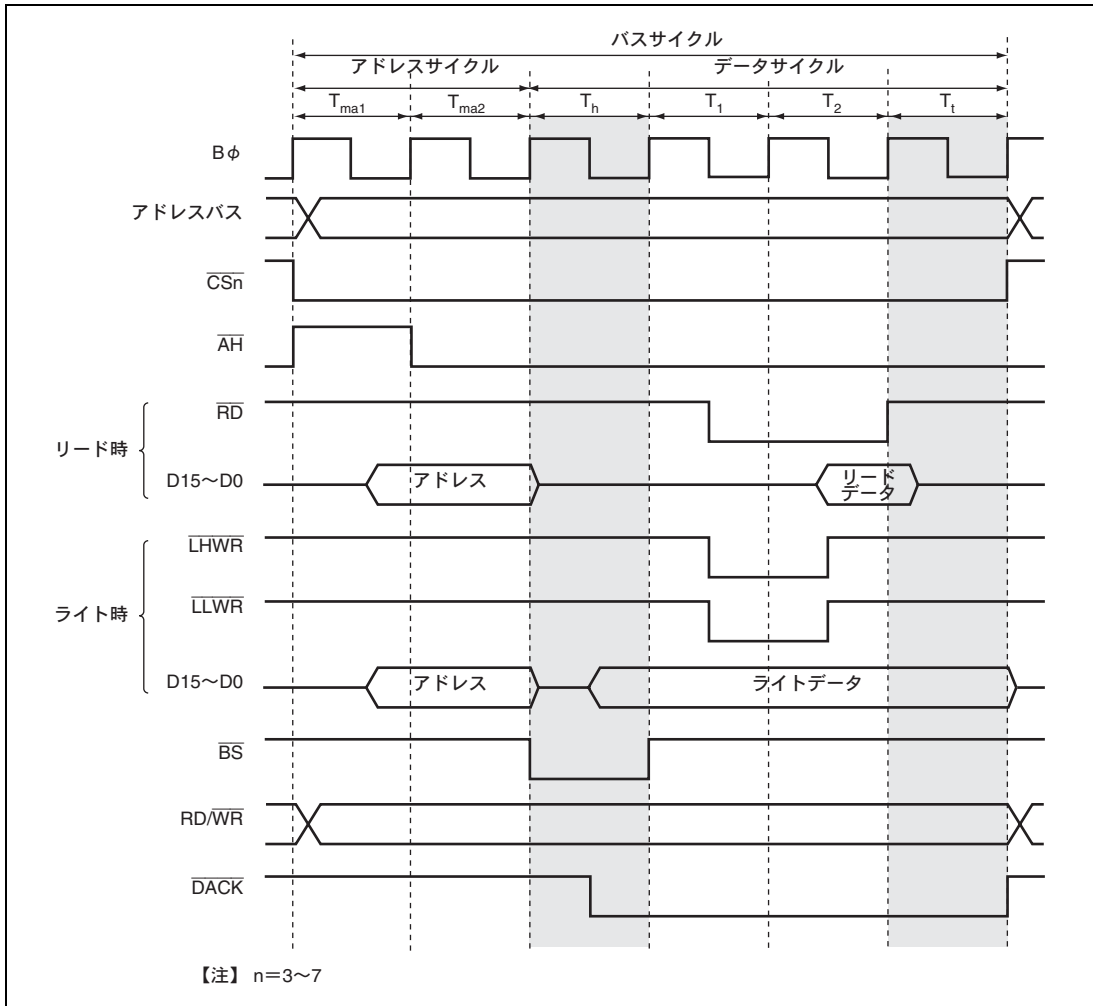


図 6.35 データサイクルのチップセレクトアサート期間拡張タイミング例

6. バスコントローラ (BSC)

出力フローティング時間の大きい周辺 LSI が、接続されている同一エリアへの連続リードが発生した場合は、周辺 LSI のデータ出力と本 LSI のアドレス出力が衝突する可能性があります。この場合は、 \overline{CS} 拡張ステートをアクセスサイクルの後に挿入することにより、データ衝突を回避することができます。

図 6.36 に動作例を示します。バスサイクル A、バスサイクル B はともに同一エリアへのアドレス/データマルチプレクス I/O 空間へのリードサイクルです。(a) は \overline{CS} 拡張ステートを挿入しない場合で、出力フローティング時間の大きい周辺 LSI のデータ出力と本 LSI のアドレス出力の衝突が発生しています。これに対し (b) は \overline{CS} 拡張ステートを挿入した場合で、データの衝突を回避しています。

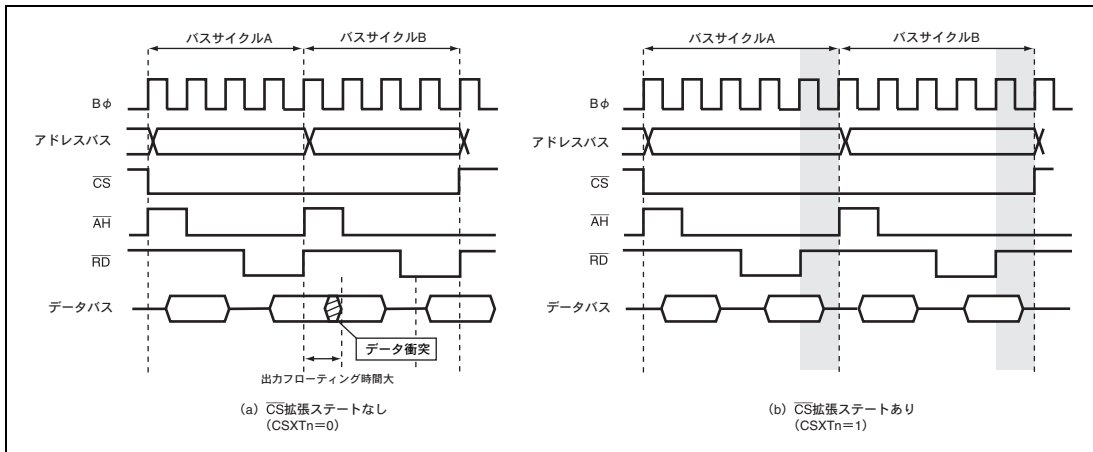


図 6.36 同一エリアのアドレス/データマルチプレクス I/O 空間連続リード

6.9.10 $\overline{\text{DACK}}$ 信号の出カタイミグ

DMAC のシングルアドレス転送を行う場合、BCR1 の DKC ビットによって $\overline{\text{DACK}}$ 信号のアサートタイミグを変更することができます。

図 6.37 に $\overline{\text{DACK}}$ 信号の出カタイミグを示します。DKC ビットを 1 にセットすることにより、 $\overline{\text{DACK}}$ 信号は半サイクル早くアサートします。

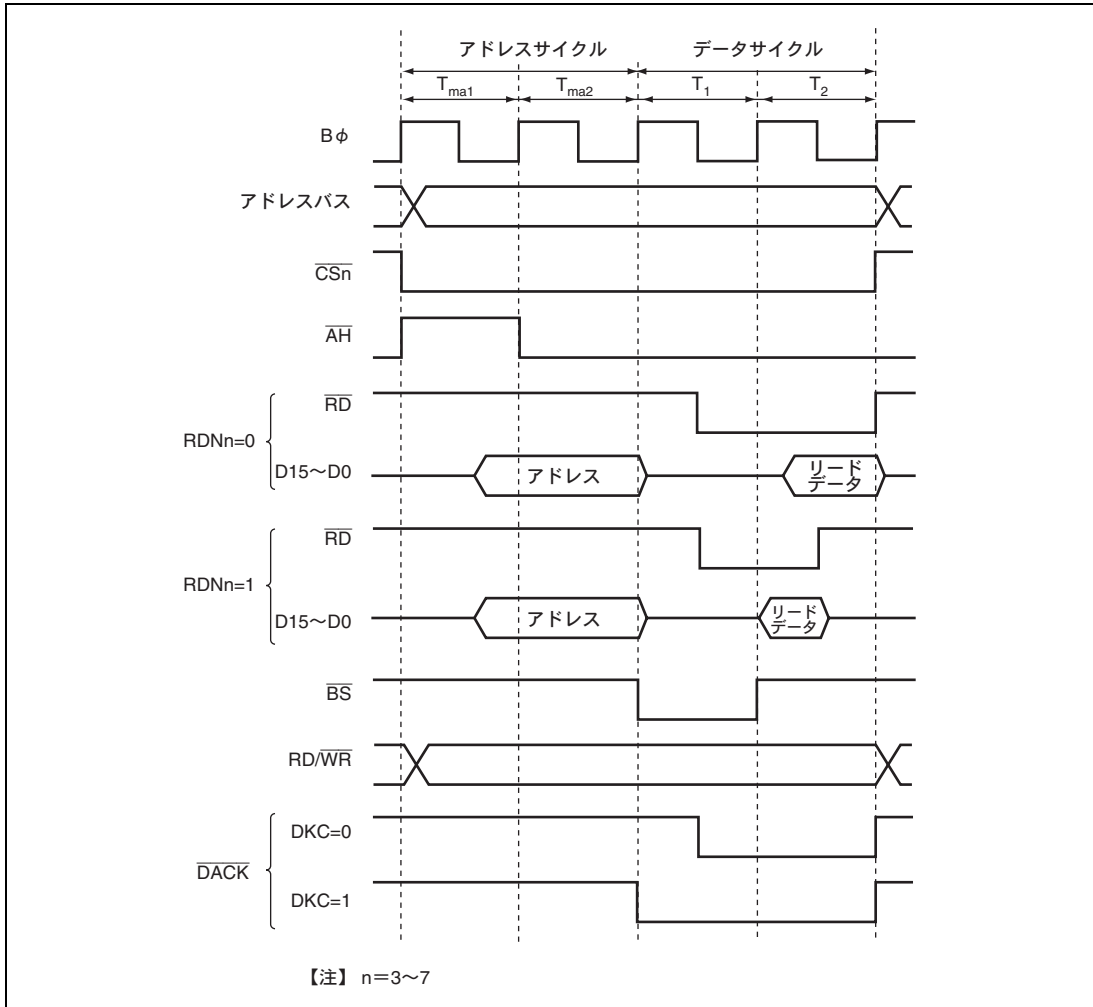


図 6.37 $\overline{\text{DACK}}$ 信号の出カタイミグ

6. バスコントローラ (BSC)

6.10 DRAM インタフェース

本 LSI は、エリア 2 の外部空間を DRAM 空間に設定すると、DRAM インタフェースを行うことができます。DRAM インタフェースでは、最大 8M バイトの DRAM を直結することができます。

6.10.1 DRAM 空間の設定

エリア 2 は、DRAMCR の DRAME ビットと DTYPE ビットにより DRAM 空間に設定にできます。表 6.20 に DRAME ビットと DTYPE ビットの設定値と、エリア 2 のインタフェース機能の関係を示します。

バス幅、ウェイトステート数など DRAM 空間のバス仕様は、エリア 2 の設定に従います。

表 6.20 DRAME ビットと DTYPE ビットの設定値と DRAM 空間の関係

DRAME	DTYPE	エリア 2 のインタフェース
0	x	基本バス空間 (初期値) / バイト制御 SRAM 空間
1	0	DRAM 空間
1	1	シンクロナス DRAM 空間

【記号説明】 x : don't care

6.10.2 アドレスマルチプレクス

DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、DRAMCR の MXC1、MXC0 ビットによりロウアドレスのシフト量を選択します。表 6.21 に MXC1、MXC0 ビットの設定値とシフト量の関係を示します。

表 6.21 MXC1、MXC0 ビットとアドレスマルチプレクスの関係

DRAMCR MXC1	MXC0	シフト量	データバス幅	アドレス	外部アドレス端子																													
					A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
0	0	8ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0			
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
0	1	9ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0		
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
1	0	10ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	—	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											
1	1	11ビット	8/16ビット	ロウアドレス	A23~A18	A17	—	—	—	—	A23	A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
				カラムアドレス	A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0											

6.10.3 データバス

DRAM 空間のバス幅は、ABWCR の ABWH2 ビットと ABWL2 ビットにより、当該エリアを 8 ビット、16 ビット DRAM 空間に設定できます。16 ビット DRAM 空間では×16 ビット構成の DRAM を直結することができます。

8 ビット DRAM 空間では D7～D0 のデータバスが有効となり、16 ビット DRAM 空間では D15～D0 のデータバスが有効になります。

ENDIANCR の LE2 ビットにより、データのエンディアン形式を選択できます。アクセスサイズとデータアライメントについては、「6.5.6 エンディアンとデータアライメント」を参照してください。

6.10.4 DRAM インタフェースの入出力端子

表 6.22 に DRAM インタフェースの入出力端子を示します。

表 6.22 DRAM インタフェースの入出力端子

端子	DRAM 設定時	名称	入出力	機能
\overline{WE}	\overline{WE}	ライトイネーブル	出力	DRAM 空間アクセス時のライトイネーブル
\overline{RAS}	\overline{RAS}	ロウアドレスストロープ	出力	エリア 2 を DRAM 空間に設定したときのロウアドレスストロープ
$\overline{LUCAS}/$ \overline{DQMLU}	\overline{LUCAS}	ロウアーアッパーカラム アドレスストロープ	出力	16 ビット DRAM 空間アクセス時のアッパーカラム ストロープ
$\overline{LLCAS}/$ \overline{DQMLL}	\overline{LLCAS}	ロウアーロウアーカラム アドレスストロープ	出力	16 ビット DRAM 空間アクセス時のロウアーカラムア ドレスストロープ信号 8 ビット DRAM 空間アクセス時のカラムアドレススト ロープ
\overline{OE}	\overline{OE}	アウトプットイネーブル	出力	DRAM 空間アクセス時のアウトプットイネーブル
\overline{WAIT}	\overline{WAIT}	ウェイト	入力	ウェイト要求信号
A17～A0	A17～A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15～D0	D15～D0	データ端子	入出力	データ入出力端子

6.10.5 基本タイミング

図 6.38 に DRAM 空間の基本アクセスタイミングを示します。

基本タイミングは、プリチャージサイクル (T_p) が 1 ステート、ロウアドレス出力サイクル (T_r) が 1 ステート、カラムアドレス出力サイクル (T_{c1} , T_{c2}) が 2 ステートの 4 ステートで構成されています。

DRAM 空間へのアクセス時、 \overline{RD} 信号は DRAM への \overline{OE} 信号として出力されています。EDO ページモードを備えた DRAM を接続する場合には、 \overline{OE} 信号を DRAM の \overline{OE} 端子に接続してください。

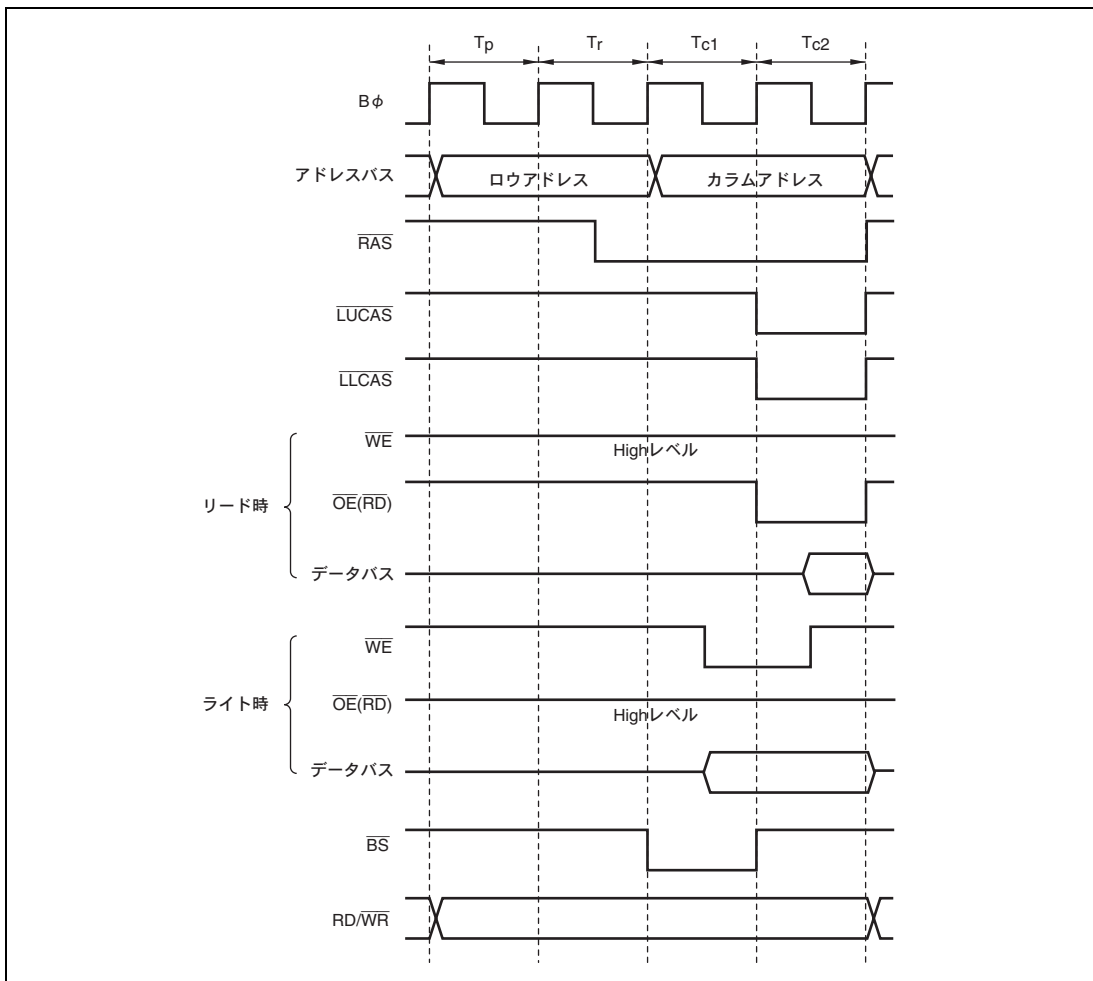


図 6.38 DRAM 基本アクセスタイミング (RAST=0、CAST=0)

6.10.6 カラムアドレス出力サイクル制御

DRAMCR の CAST ビットを 1 にセットすると、カラムアドレス出力サイクルを 2 ステートから 3 ステートへ変更することができます。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{CAS}}$ パルス幅などの規定値が最適になるように設定してください。

図 6.39 にカラムアドレス出力サイクルを 3 ステートに設定した場合のタイミング例を示します。

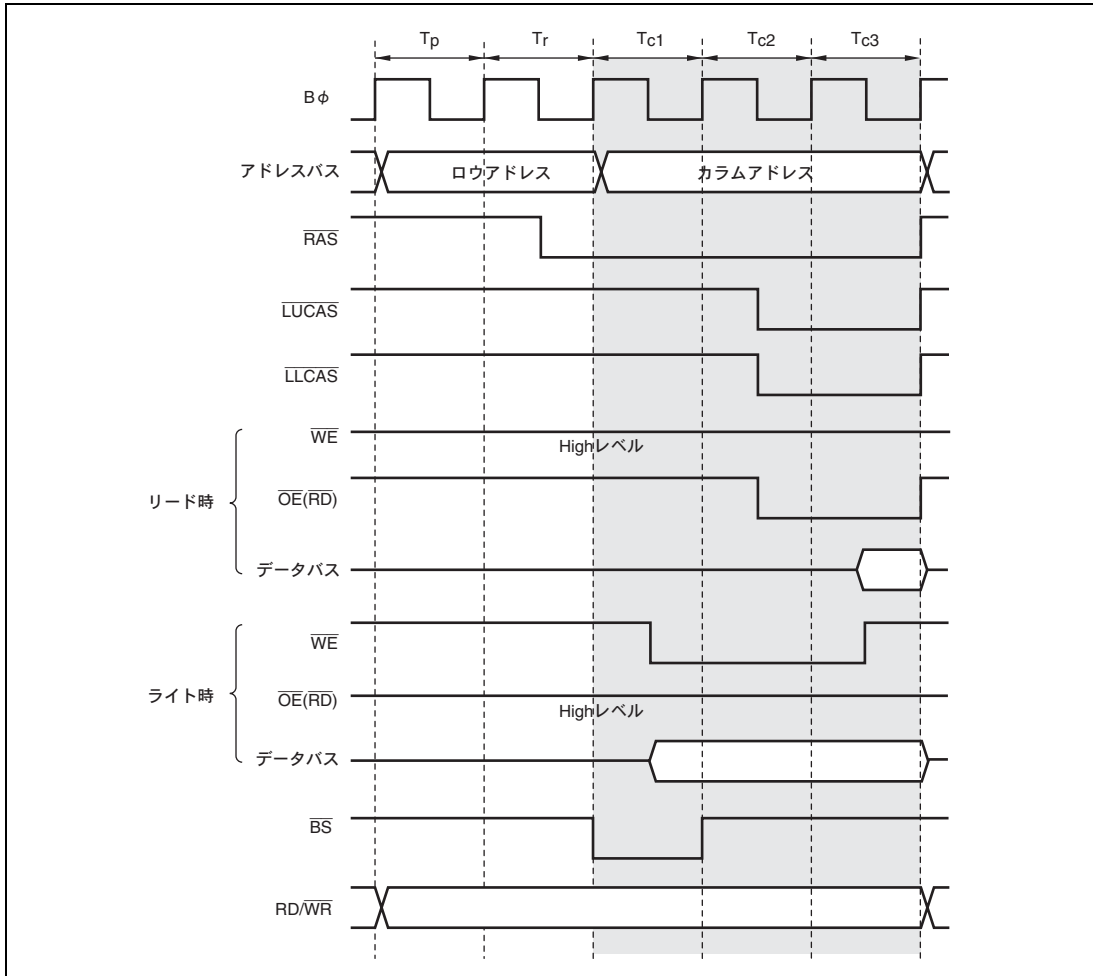


図 6.39 カラムアドレス出力サイクル 3 ステートの場合のアクセスタイミング例 (RAST=0)

6.10.7 ロウアドレス出カステート制御

DRAMCR の RAST ビットを 1 にセットすると、 $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなり、 $\overline{\text{RAS}}$ 信号の立ち下がりに対するロウアドレスのホールド時間、および DRAM リードアクセス時間が変化します。接続する DRAM と本 LSI の動作周波数に応じて、最適になるように設定してください。

図 6.40 に $\overline{\text{RAS}}$ 信号が Tr ステートの先頭から Low レベルとなる場合のタイミング例を示します。

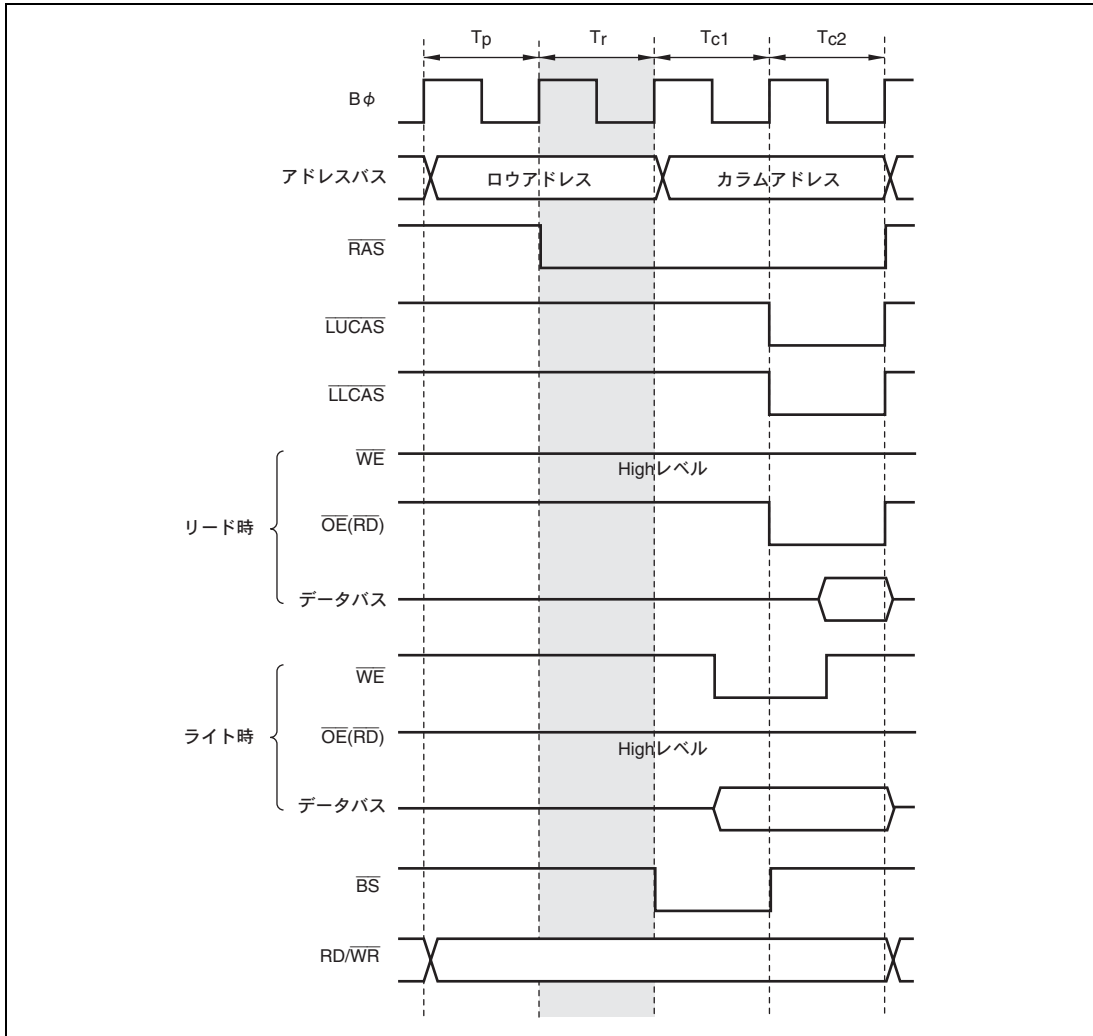


図 6.40 RAS 信号が Tr ステートの先頭から Low レベルとなる場合のアクセスタイミング例 (CAST=0)

ロウアドレスのホールド時間、またはリード時のアクセス時間が必要な場合には、DRACCR の RCD1、RCD0 ビットの設定により、 $\overline{\text{RAS}}$ 信号が Low レベルとなる T_r サイクルと、カラムアドレスが出力される T_{c1} サイクルの間にロウアドレスが出力保持されるステート (T_{rw}) を 1~3 ステート挿入することができます。接続する DRAM と本 LSI の動作周波数に応じて、 $\overline{\text{RAS}}$ 信号の立ち下がりエッジに対するロウアドレス信号のホールド時間が最適になるように設定してください。

図 6.41 に T_{rw} を 1 ステートに設定したときのタイミング例を示します。

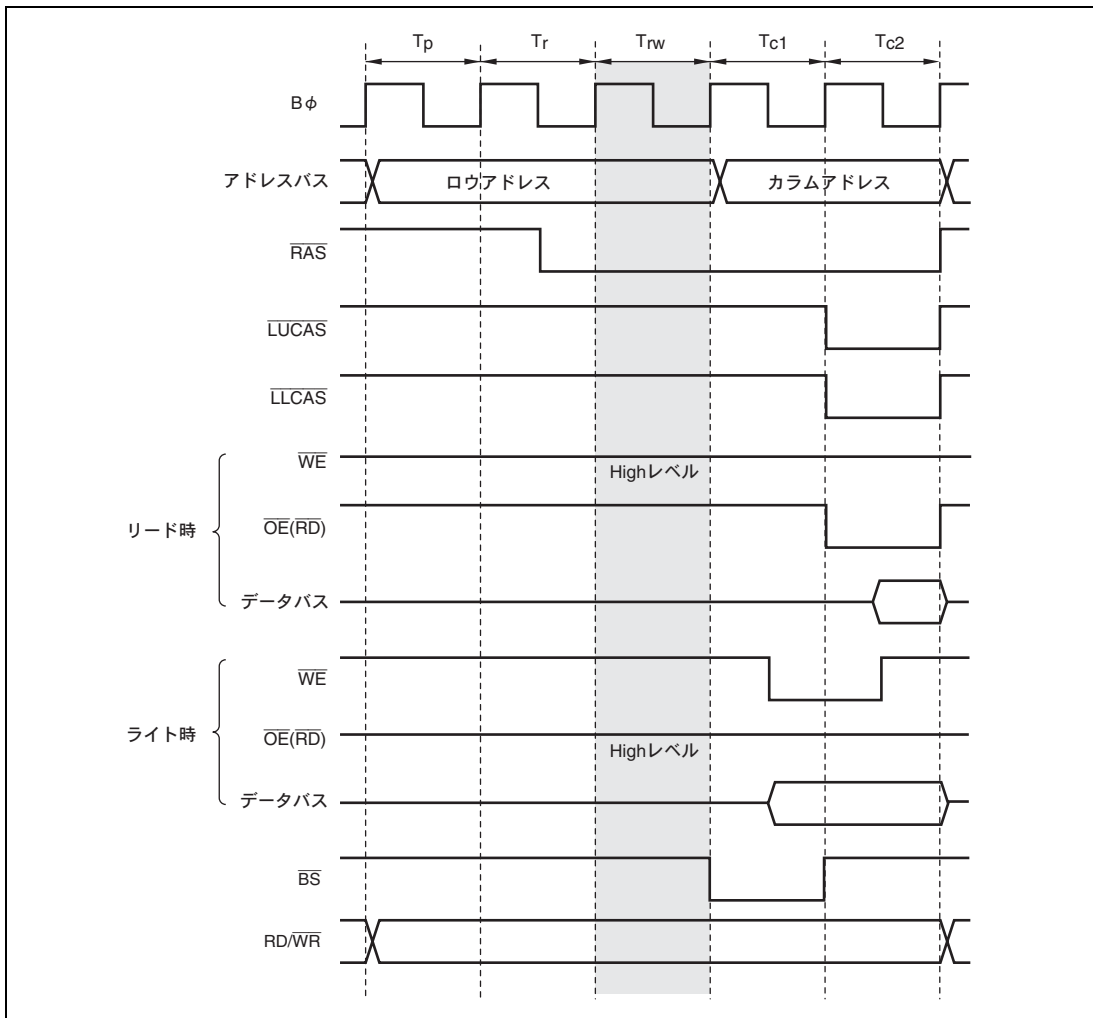


図 6.41 ロウアドレス出力保持ステート数が 1 ステート時のタイミング例 (RAST=0、CAST=0)

6. バスコントローラ (BSC)

6.10.8 プリチャージステート制御

プリチャージステート (T_p) は、DRACCR の TPC1、TPC0 ビットの設定により、 T_p を 1 ステートから 4 ステートの範囲で変更することができます。接続する DRAM と本 LSI の動作周波数に応じて、最適な T_p サイクル数を設定してください。

図 6.42 に T_p を 2 ステートとしたときのタイミング例を示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

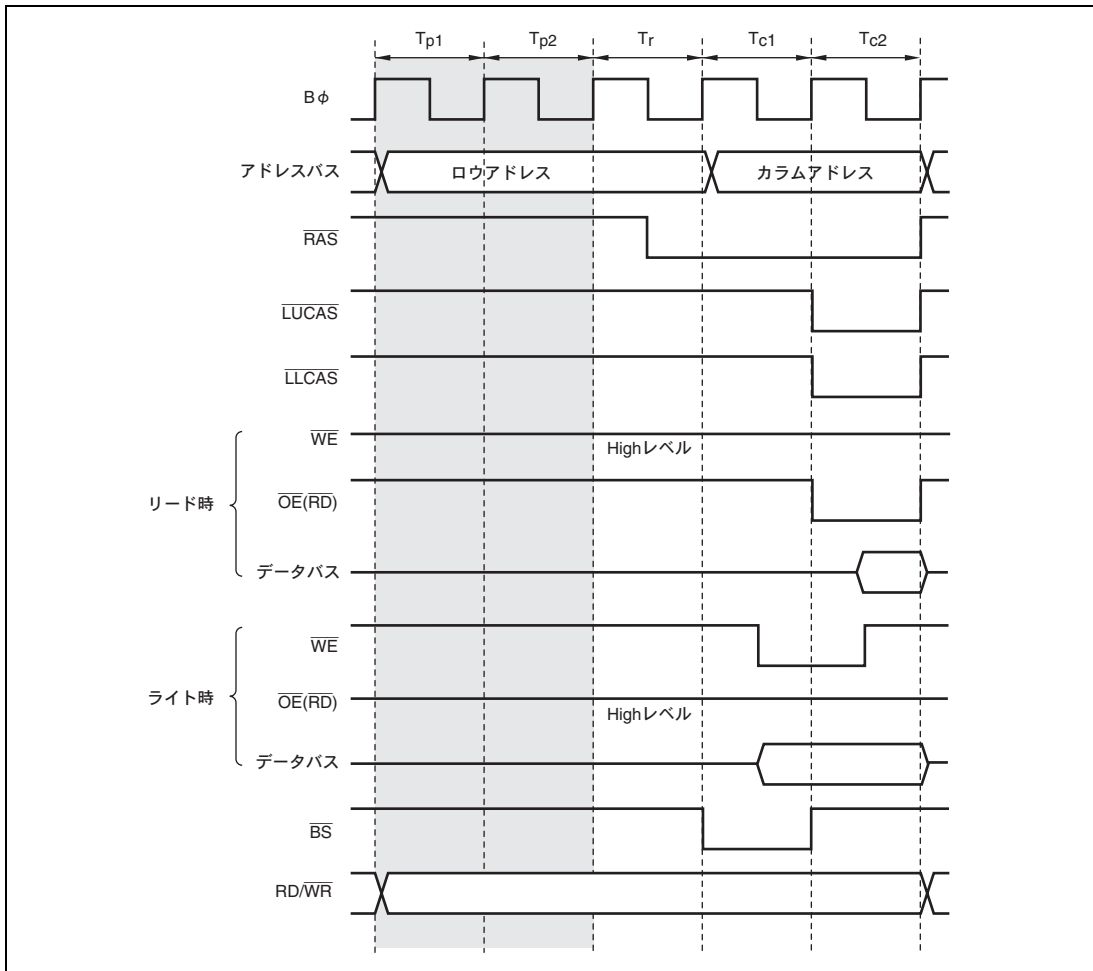


図 6.42 プリチャージサイクル 2 ステート時のタイミング例 (RAST=0、CAST=0)

6.10.9 ウェイト制御

DRAM アクセスサイクルにウェイトステートを挿入する方法には、プログラムウェイトの挿入、 $\overline{\text{WAIT}}$ 端子による端子ウェイトの挿入の2種類があります。

ウェイトステートは、DRAM 空間リードアクセス時には $\overline{\text{CAS}}$ のアサート期間を引き延ばすために挿入され、ライトアクセス時にはライトデータと $\overline{\text{CAS}}$ の立ち下がりエッジとのセットアップ時間を引き延ばすために挿入されます。

(1) プログラムウェイトの挿入

ASTCR の AST2 ビットが1にセットされているとき、WTCRB の W22、W21、W20 ビットの設定により、0~7 ステートのウェイトステートを自動的に Tc1 ステートと Tc2 ステートの間に挿入することができます。

(2) 端子ウェイトの挿入

BCR1 の WAITE ビットが1に、かつ ASTCR の AST2 ビットが1にセットされているとき、該当する端子の ICR ビットを1にセットすると、 $\overline{\text{WAIT}}$ 端子によるウェイト入力が有効になります。このとき DRAM 空間をアクセスすると、まずプログラムウェイト (Tpw) が挿入されます。Tc1 または Tpw の最後のステートの Bφ の立ち上がりのタイミングで、 $\overline{\text{WAIT}}$ 端子が Low レベルであると、更に Ttw が挿入されます。 $\overline{\text{WAIT}}$ 端子が Low レベルに保持されると、 $\overline{\text{WAIT}}$ 端子が High レベルになるまで Ttw が挿入されます。ICR については「9. I/O ポート」を参照してください。

図 6.43 にカラムアドレス出力サイクルが2ステートの時のウェイトサイクル挿入タイミング例を、図 6.44 に3ステートの時のウェイトサイクル挿入タイミング例を示します。

6. バスコントローラ (BSC)

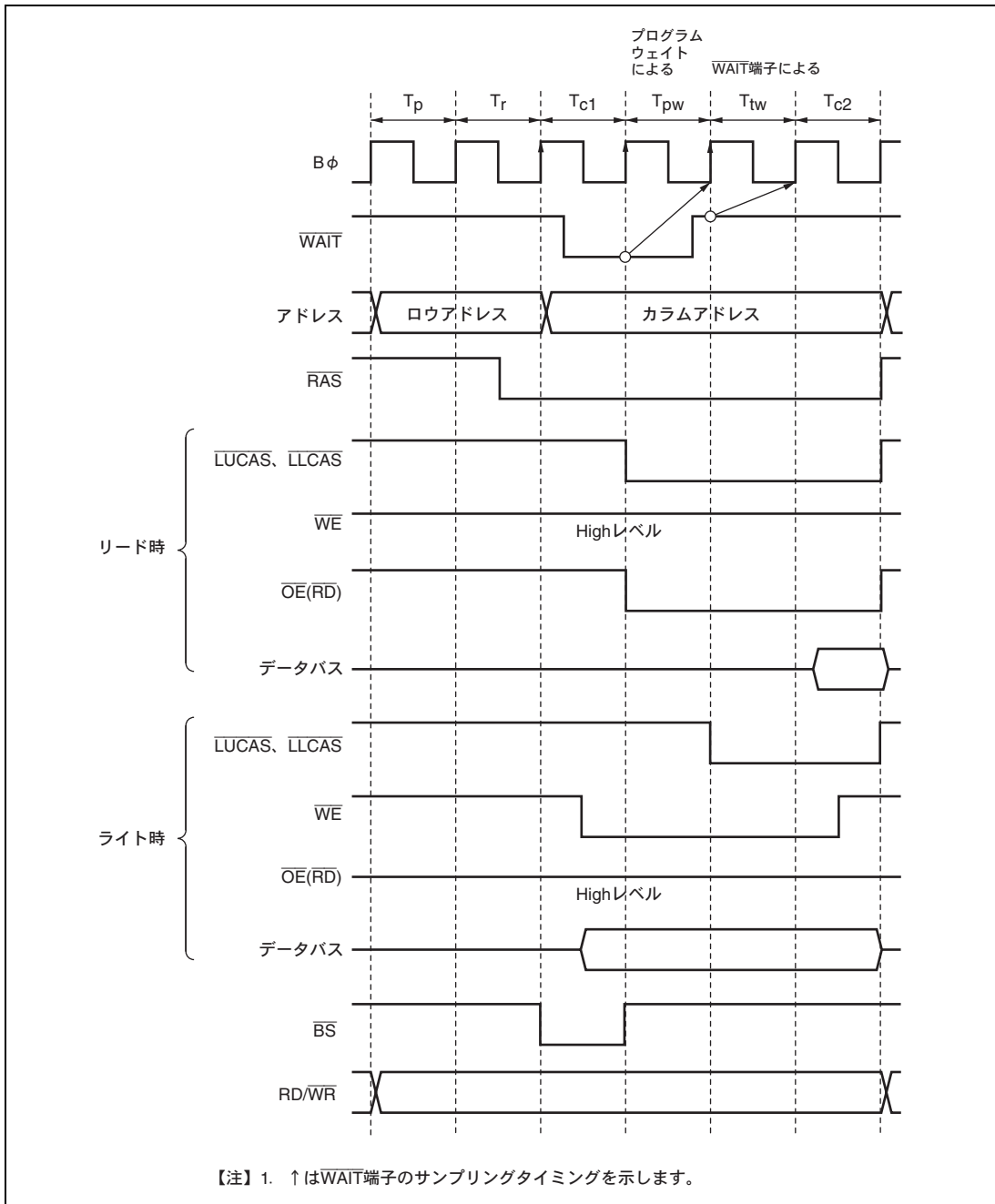


図 6.43 ウェイトステート挿入タイミング例 (カラムアドレス出力2ステート)

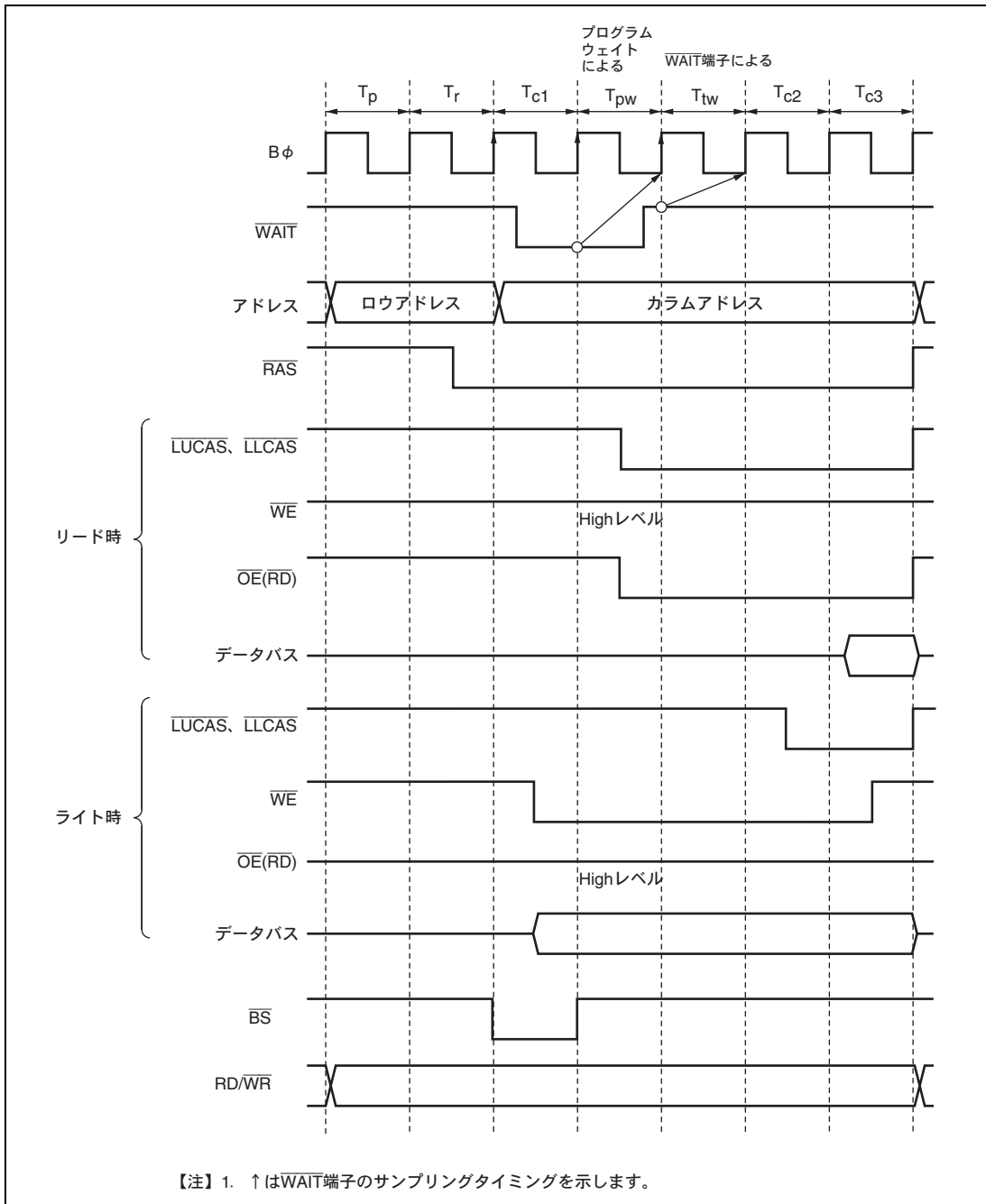


図 6.44 ウェイトステート挿入タイミング例 (カラムアドレス出力3ステート)

6. バスコントローラ (BSC)

6.10.10 バイト/ワードアクセス制御

×16ビット構成のDRAMを接続するときに、バイト/ワードアクセスに必要な制御信号として、CAS2本方式を使用することができます。

図 6.45、図 6.46 に CAS2 本方式の制御タイミング (エンディアン形式はビッグエンディアン) を示します。また、図 6.47 に CAS2 本方式の接続例を示します。

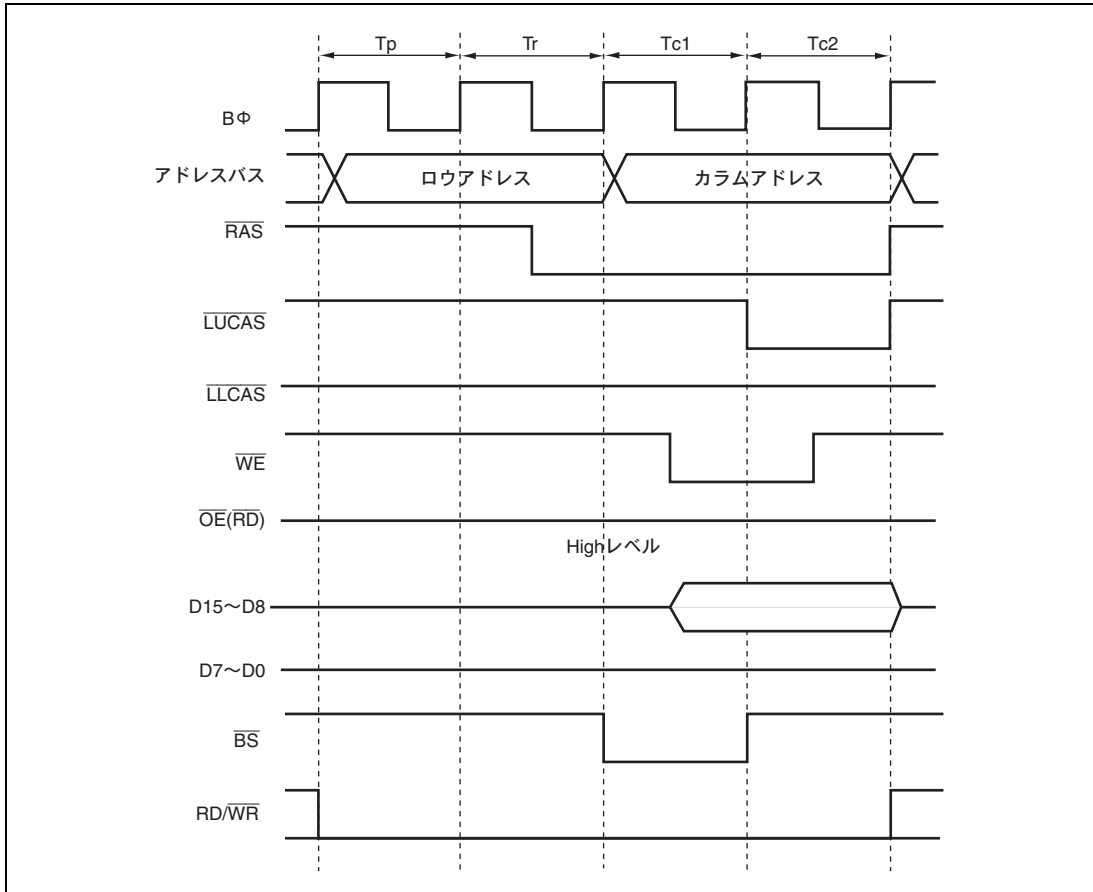


図 6.45 CAS2 本方式のバイト制御タイミング
(アドレス下位 1 ビットが B'0 のときのライトアクセス、RAST=0、CAST=0)

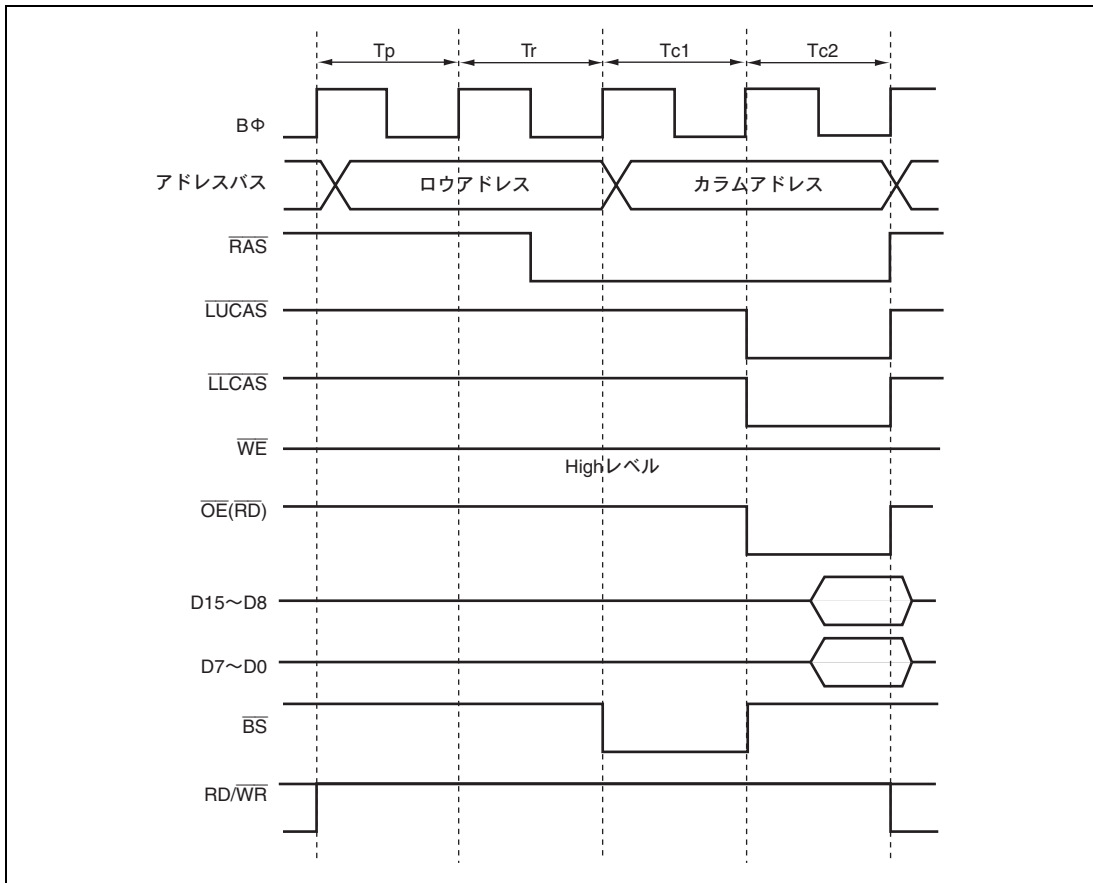


図 6.46 CAS2 本方式のワード制御タイミング
 (アドレス下位 1 ビットが B'0 のときのリードアクセス、RAST=0、CAST=0)

6. バスコントローラ (BSC)

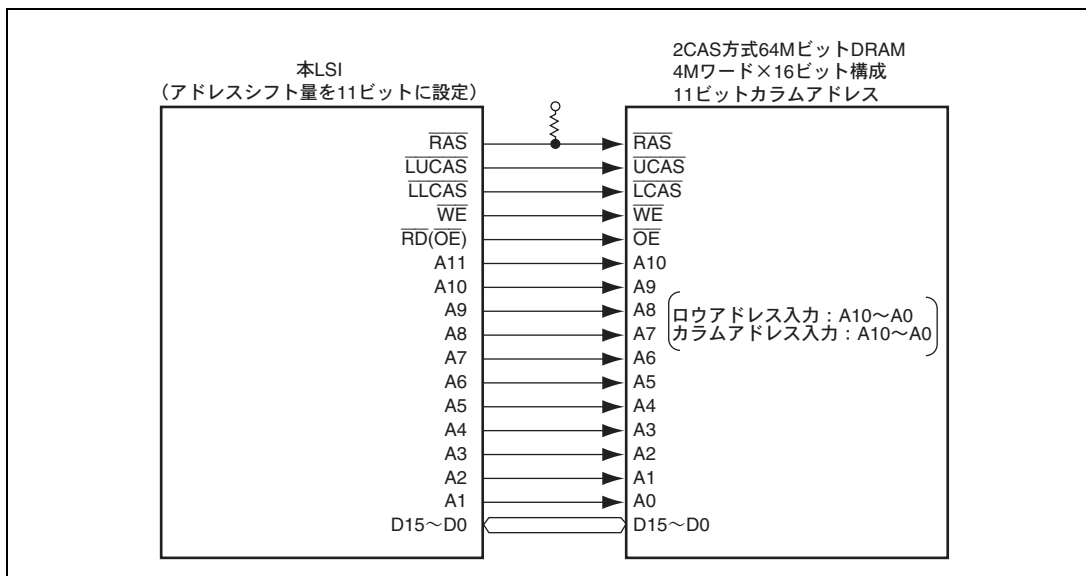


図 6.47 CAS2 本方式の接続例

6.10.11 バースト動作

DRAM には、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するときロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセス（バーストアクセス）できる高速ページモードを備えているものがあります。

DRAMCR の BE ビットを 1 にセットすると、高速ページモード（バーストアクセス）に設定することができます。

(1) バーストアクセス（高速ページモード）の動作タイミング

図 6.48、図 6.49 に高速ページモードの動作タイミングを示します。

DRAM 空間へのアクセスサイクルが連続するとき、前後のアクセスサイクルのロウアドレスが一致している間は、 $\overline{\text{CAS}}$ 信号とカラムアドレスの出力サイクルが連続して行われます。比較対象となるロウアドレスは、DRAMCR の MXC1、MXC0 ビットにより設定します。

バーストアクセスのときにもウェイトステートを挿入してバスサイクルを引き伸ばすことができます。ウェイトステートの挿入方法とタイミングはフルアクセスのときと同様です。詳細は「6.10.9 ウェイト制御」を参照してください。

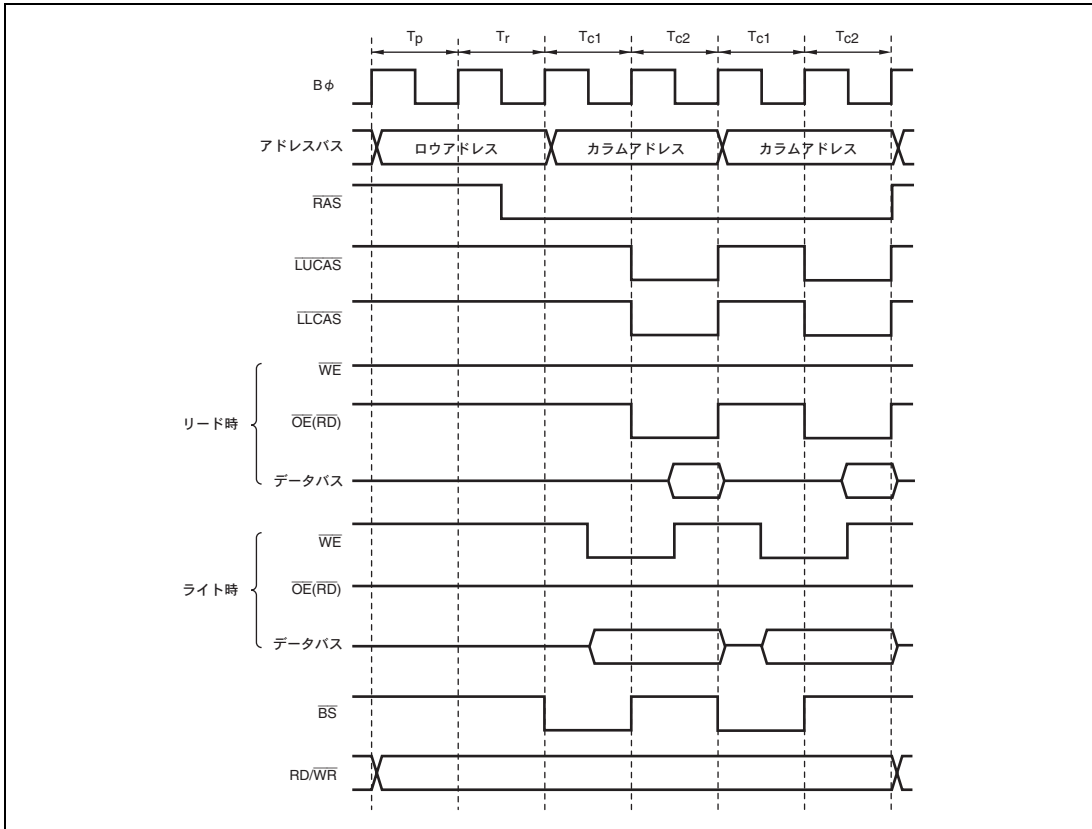


図 6.48 高速ページモードの動作タイミング (RAST=0、CAST=0)

6. バスコントローラ (BSC)

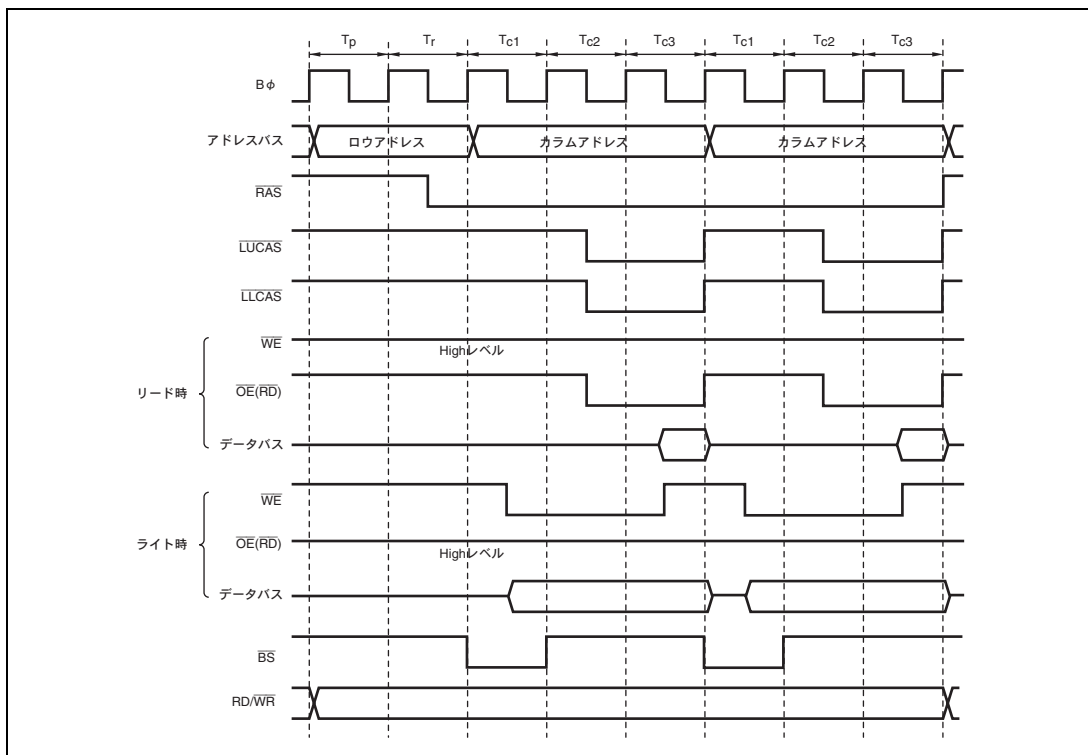


図 6.49 高速ページモードの動作タイミング (RAST=0、CAST=1)

(2) RAS ダウンモードと RAS アップモード

高速ページモード（バーストアクセス）に設定しても、DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間も $\overline{\text{RAS}}$ 信号を Low レベルに保持されていると、次に DRAM 空間の同一ロウアドレスがアクセスされたときに高速ページモード（バーストアクセス）を続けることができます。

(a) RAS ダウンモード

RAS ダウンモードに設定するときは、DRAMCR の RCDM ビットと BE ビットを 1 にセットしてください。RCDM ビットは、BE ビットに 1 にセットした場合のみ有効です。

DRAM 空間へのアクセスが途切れて他空間をアクセスしている間、 $\overline{\text{RAS}}$ 信号を Low レベルに保持し、次の DRAM 空間アクセスのロウアドレスと前の DRAM 空間アクセスのロウアドレスが一致したときに高速ページモード（バーストアクセス）が行われます。図 6.50 に RAS ダウンモードのタイミング例を示します。

以下の場合、 $\overline{\text{RAS}}$ 信号は High レベルになります。

- リフレッシュ動作が RAS ダウン中に入るとき
- セルフリフレッシュが行われたとき
- ソフトウェアスタンバイモードへ遷移するとき
- $\overline{\text{BREQ}}$ 信号を受け付けて外部バスを解放するとき

- RCDMビット、またはBEビットを0にクリアしたとき

$\overline{\text{RAS}}$ ダウン中に全モジュールクロックストップモードへ遷移すると、 $\overline{\text{RAS}}$ 信号が Low レベルの状態でもクロックが停止します。 $\overline{\text{RAS}}$ 信号が High レベルの状態でも全モジュールクロックストップモードへ遷移したい場合には、SLEEP 命令の実行の前に RCDM ビットを 0 にクリアしてください。

クロック周波数の設定のため SCKCR へライトアクセスするときは、RCDM ビットを 0 にクリアしてください。SCKCR については、「22. クロック発振器」を参照してください。

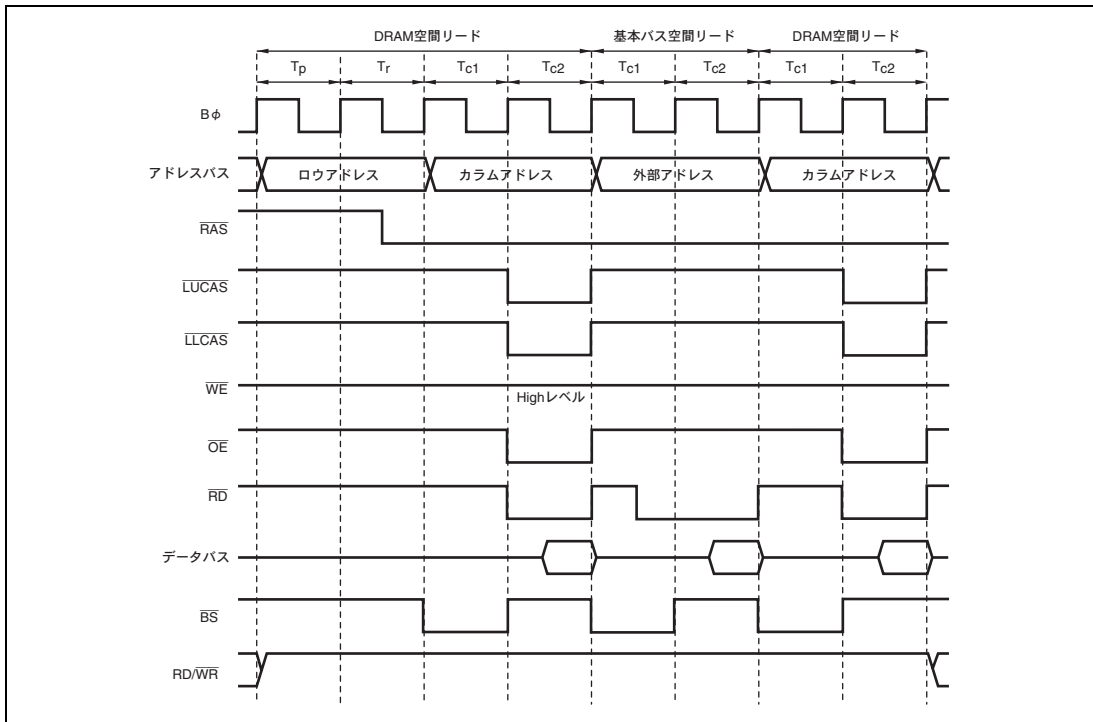


図 6.50 RAS ダウンモードの動作タイミング例 (RAST=0, CAST=0)

(b) RAS アップモード

RAS アップモードの設定するときは、DRAMCR の BE ビットを 1 にセットし、RCDM ビットを 0 にクリアしてください。DRAM 空間へのアクセスが途切れて他空間をアクセスするたびに、 $\overline{\text{RAS}}$ 信号を High レベルに戻します。DRAM 空間が連続しているときだけ、高速ページモード（バーストアクセス）動作が行われます。

図 6.51 に RAS アップモードのタイミング例を示します。

6. バスコントローラ (BSC)

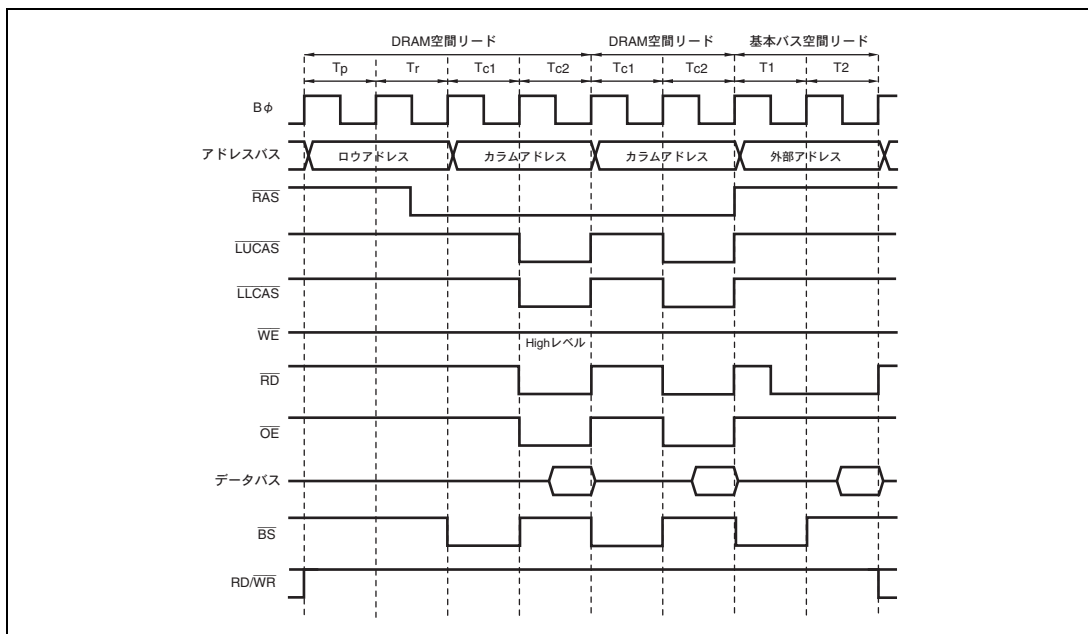


図 6.51 RAS アップモードの動作タイミング例 (RAST=0、CAST=0)

6.10.12 リフレッシュ制御

本 LSI は、DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、CAS ビフォ RAS (CBR) リフレッシュです。また、ソフトウェアスタンバイモードに遷移するときセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR の DRAME ビット、DTYPE ビットにより、エリア 2 を DRAM 空間に設定したときに有効となります。

(1) CAS ビフォ RAS (CBR) リフレッシュ

CBR リフレッシュを選択するためには、REFCR の RFSHE ビットを 1 にセットしてください。

CBR リフレッシュでは、REFCR の RTCK2~RTCK0 ビットで設定した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2~RTCK0 ビットで設定された一定間隔で繰り返されます。使用する DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2~RTCK0 ビットの値を設定してください。

RTCK2~RTCK0 ビットを設定すると RTCNT のカウントアップが開始されるため、RTCK2~RTCK0 ビットの設定前に RTCNT および RTCOR を設定してください。また、RTCNT および RTCOR を変更する場合は、カウント動作を停止した状態で行ってください。RTCK2~RTCK0 ビットの変更は、外部バス権解放を禁止し、ライトデータバッファ機能使用時はライトデータバッファ機能を無効にし外部空間をリードした後に行ってください。

CBR リフレッシュ期間中は、外部アクセスを行うことはできません。

図 6.52 に RTCNT の動作、図 6.53 にコンペアマッチのタイミング、図 6.54 に CBR リフレッシュのタイミングを示します。また、表 6.23 にリフレッシュ期間中の端子状態を示します。

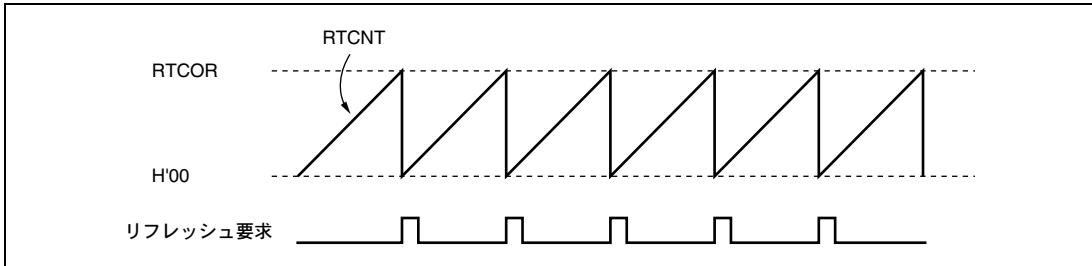


図 6.52 RTCNT の動作

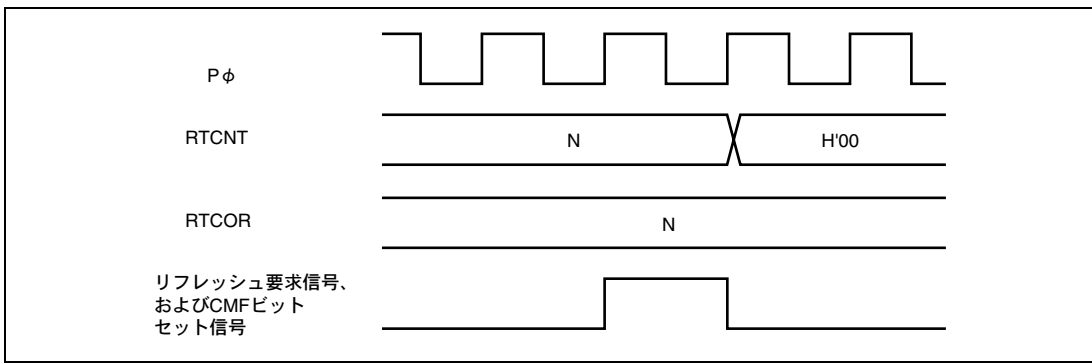


図 6.53 コンペアマッチのタイミング

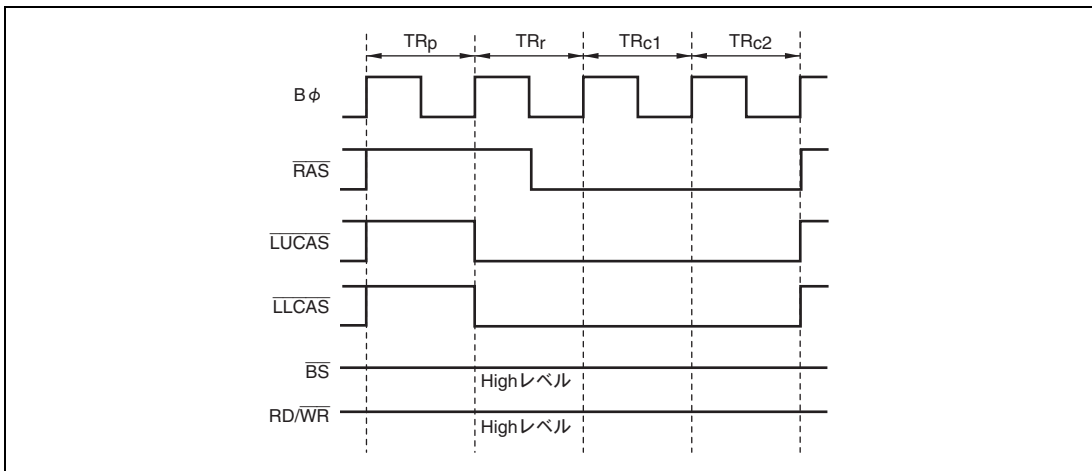


図 6.54 CBR リフレッシュタイミング

6. バスコントローラ (BSC)

表 6.23 DRAM リフレッシュサイクルでの端子状態

A17~A0	直前のバスサイクルの内容
D15~D0	ハイインピーダンス
$\overline{\text{RAS}}$	リフレッシュ制御に使用
LUCAS、LLCAS	リフレッシュ制御に使用
$\overline{\text{WE}}$	High レベル
AS	High レベル
$\overline{\text{RD}}$	High レベル
$\overline{\text{BS}}$	High レベル
RD/WR	High レベル

REFCR の RCW1、RCW0 ビットにより、 $\overline{\text{RAS}}$ 信号を 1~3 サイクル遅れて出力させることができます。 $\overline{\text{RAS}}$ 信号幅は、REFCR の RLW2~RLW0 ビットで調整してください。RCW1、RCW0、RLW2~RLW0 ビットの設定は、リフレッシュサイクルのときのみ有効になります。DRACCR の TPC1、TPC0 ビットで設定したプリチャージ期間は、リフレッシュサイクルでも有効になります。

図 6.55 に RCW1、RCW0 ビットを設定したときのタイミングを示します。

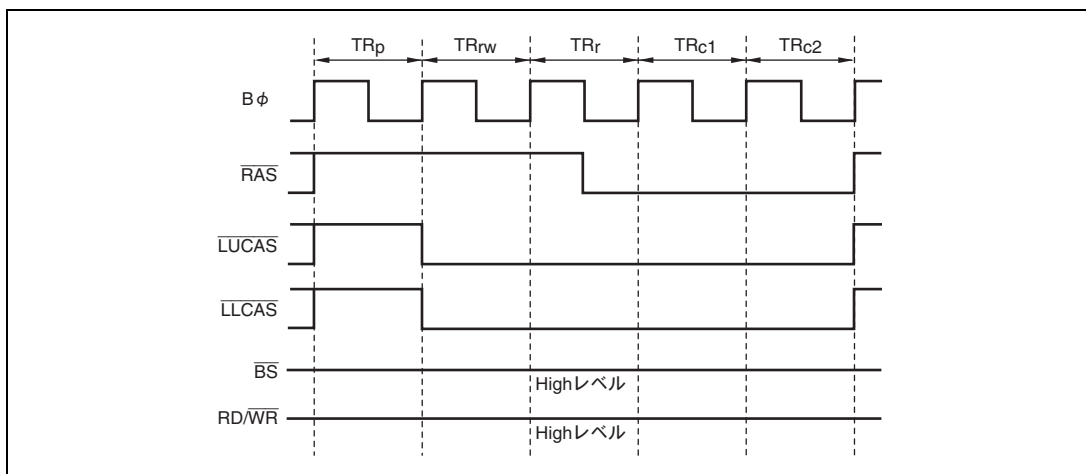


図 6.55 CBR リフレッシュタイミング (RCW1=0、RCW0=1、RLW2=0、RLW1=0、RLW0=0)

(2) セルフリフレッシュ

DRAM には、スタンバイモードの一種として、DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード（バッテリーバックアップモード）を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットして、ソフトウェアスタンバイモードに移行するための SLEEP 命令を実行すると、図 6.56 に示すように $\overline{\text{CAS}}$ 信号と $\overline{\text{RAS}}$ 信号が出力され、DRAM はセルフリフレッシュモードに入ります。

ソフトウェアスタンバイモードに移行する場合に、CBR リフレッシュ要求があると、CBR リフレッシュを実行後にセルフリフレッシュモードに入ります。

セルフリフレッシュモードを使用する場合は、SBYCR の OPE ビットを 0 にクリアしないでください。

詳細は「23.2.1 スタンバイコントロールレジスタ (SBYCR)」のスタンバイコントロールレジスタを参照してください。

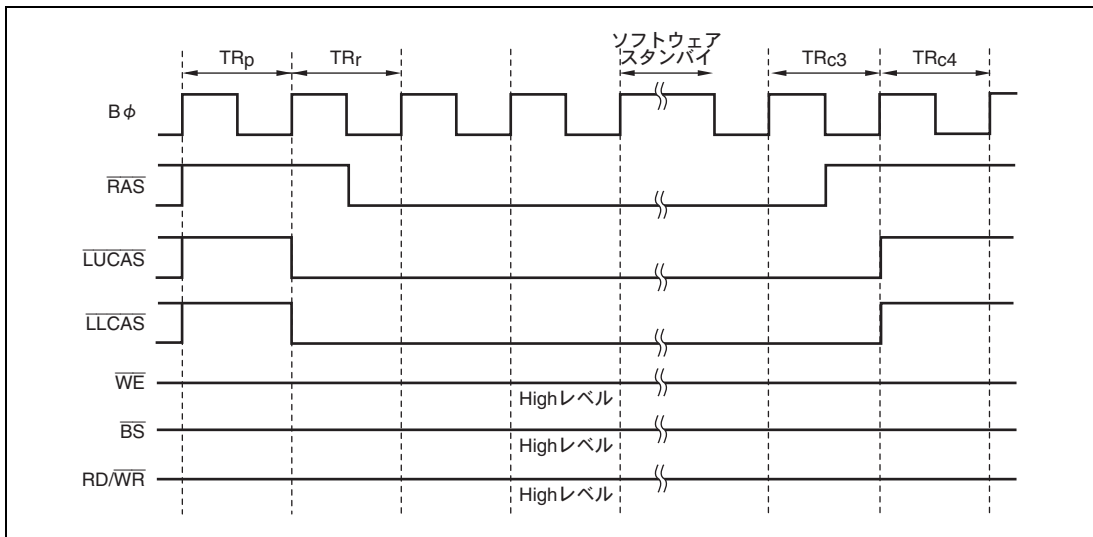


図 6.56 セルフリフレッシュタイミング

セルフリフレッシュモードを備える DRAM には、セルフリフレッシュ直後の $\overline{\text{RAS}}$ 信号のプリチャージ時間が通常のプリチャージ時間よりも長いものがあります。REFCR の TPCS2~TPCS0 ビットにより、セルフリフレッシュ直後のプリチャージ時間を通常のプリチャージ時間より 1~7 ステート増加することができます。この場合、DRACCR の TPC1、TPC0 ビットの設定に従って通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。

図 6.57 にセルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例を示します。

6. バスコントローラ (BSC)

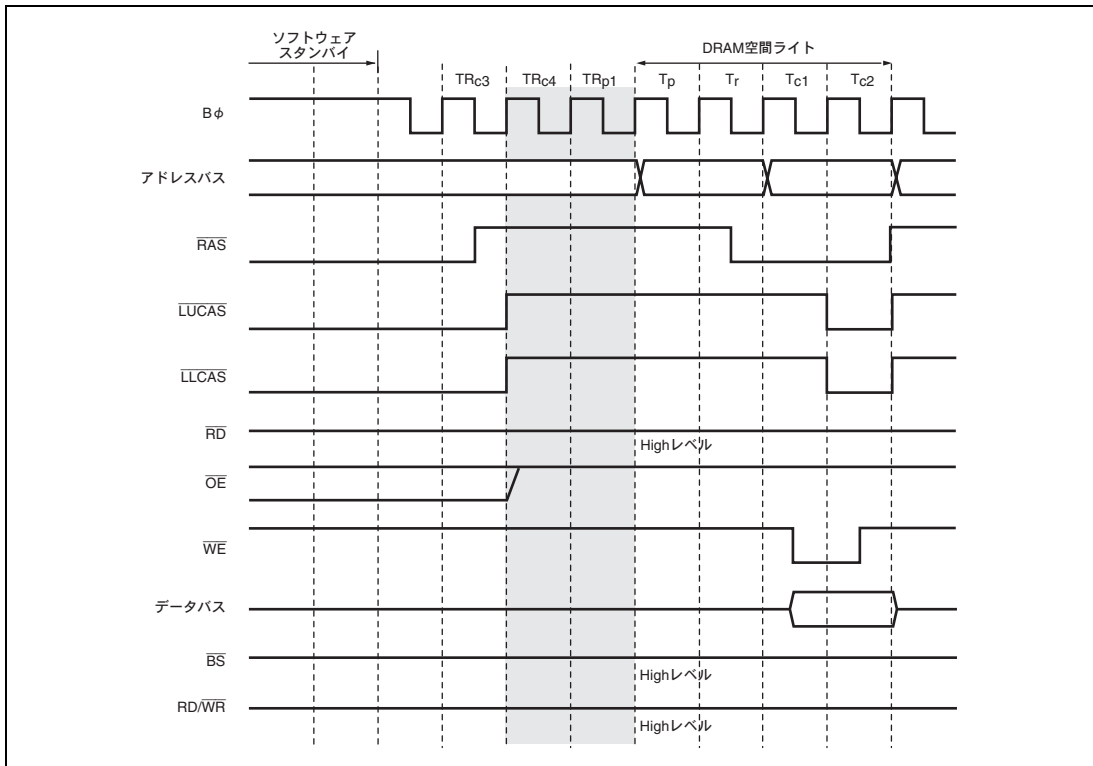


図 6.57 セルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCR の ACSE ビットを 1 にセットしてすべての周辺モジュールのクロックを停止するか (MSTPCRA、MSTPCRB=H'FFFFFFF)、または 8 ビットタイマだけを動作させて (MSTPCRA、MSTPCRB=H'F[C~F]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモードではバスコントローラのクロックが停止しますので、CBR リフレッシュが実行されません。外部に DRAM を接続し、スリープモードで DRAM のデータを保持したい場合には、MSTPCR の ACSE ビットを 0 にクリアしてください。

詳細は「23.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)」を参照してください。

6.10.13 DMAC のシングルアドレス転送と DRAM インタフェース

DRAM 空間を高速ページモード (BE=1) に設定している場合において、DMAC のシングルアドレス転送の転送先または転送元とした DRAM 空間のアクセスを、高速ページアクセスまたはフルアクセスとするかを DRAMCR の DDS ビットの設定により選択することができます。このとき同時に、 $\overline{\text{DACK}}$ 、 $\overline{\text{BS}}$ 信号の出力タイミングが変更されます。BE=0 の場合は、DDS ビットの設定によらず、シングルアドレス転送による DRAM 空間のアクセスはフルアクセスとなります。ただし、 $\overline{\text{DACK}}$ 、 $\overline{\text{BS}}$ 出力タイミングは DDS ビットの設定により変更することができます。

さらに、BCR1 の DKC ビットにより $\overline{\text{DACK}}$ 信号のアサートタイミングを変更することができます。

(1) DDS=1 のとき

バスマスタに関係なく、アドレスのみを判定して高速アクセスを行います。また、 $\overline{\text{DACK}}$ 出力タイミングは、Tc1 ステートから Low レベルになります。

図 6.58 に DDS=1 のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

6. バスコントローラ (BSC)

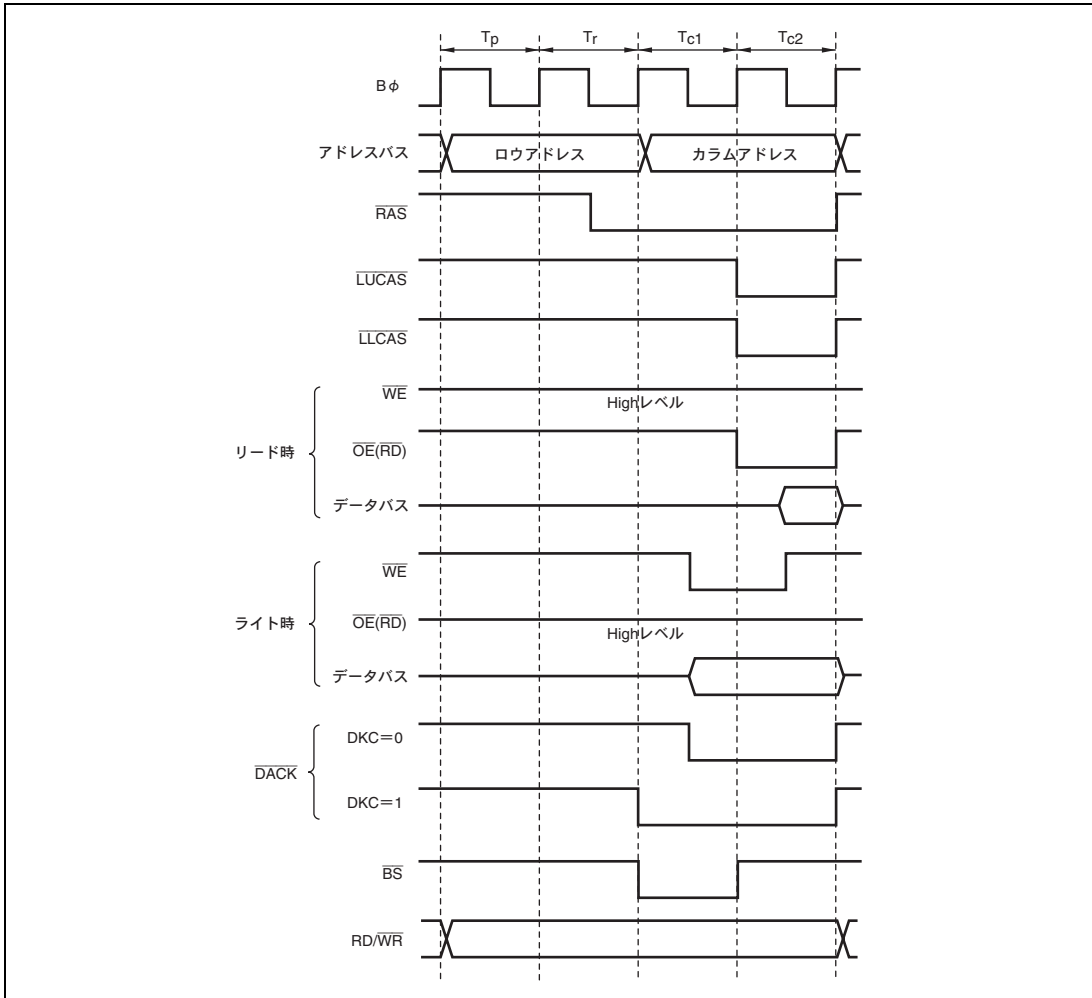


図 6.58 DDS=1 のときの \overline{DACK} 出カタイミグ例 (RAST=0、CAST=0)

(2) DDS=0 のとき

DMAC のシングルアドレス転送を行う場合は、フルアクセス（ノーマルアクセス）になります。また、 $\overline{\text{DACK}}$ 出力タイミングは、 T_r ステートから Low レベルになり、 $\overline{\text{BS}}$ の出力タイミングも T_r ステートでアサートします。

DMAC のシングルアドレス転送以外では、高速ページアクセスが可能です。

図 6.59 に DDS=0 のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

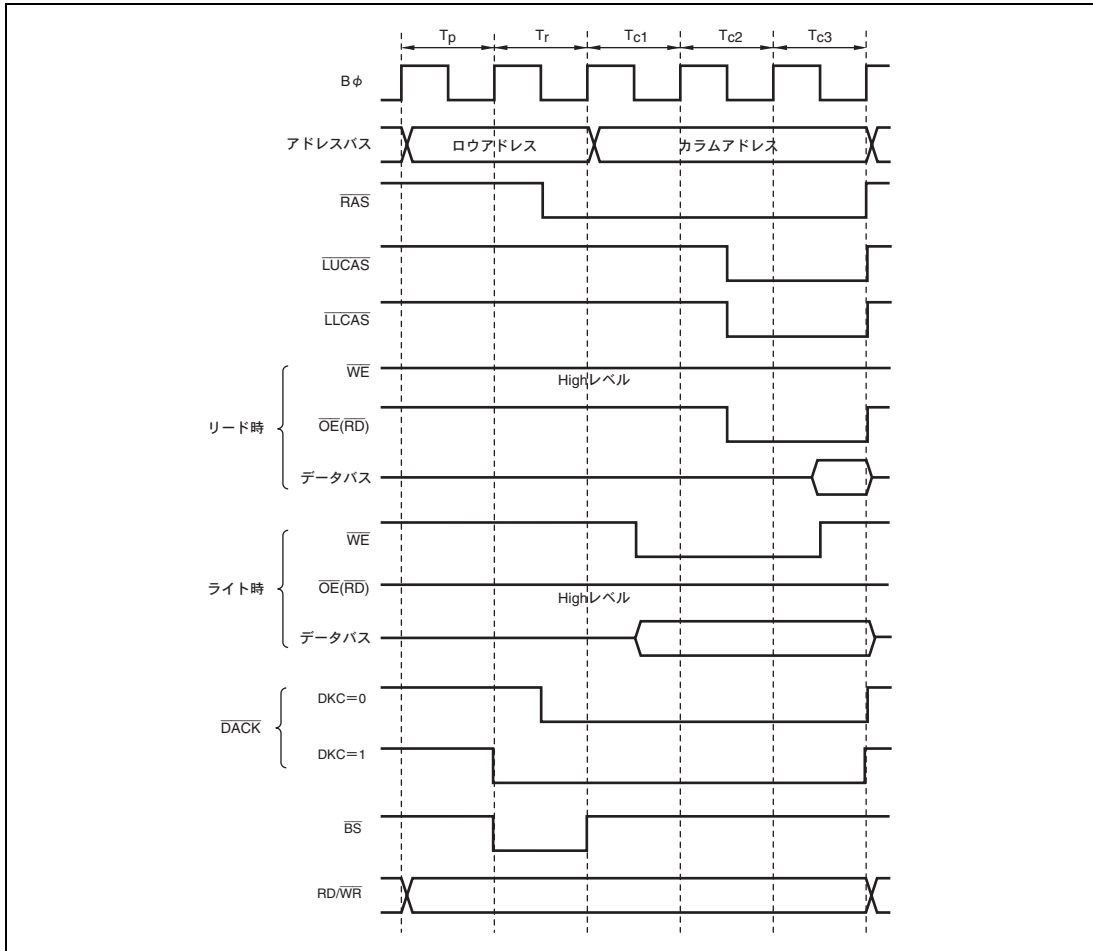


図 6.59 DDS=0 のときの $\overline{\text{DACK}}$ 出力タイミング例 (RAST=0、CAST=1)

6.11 シンクロナス DRAM インタフェース

本 LSI は、エリア 2 の外部空間をシンクロナス DRAM 空間に設定すると、シンクロナス DRAM インタフェースを行うことができます。シンクロナス DRAM インタフェースでは、最大 8M バイト (64M ビット) のシンクロナス DRAM を直結することができます。また、CAS レイテンシ 2~4 のシンクロナス DRAM を接続することができます。

6.11.1 シンクロナス DRAM 空間の設定

エリア 2 は、DRAMCR の DRAME ビットと DTYPE ビットによりシンクロナス DRAM 空間に設定できます。

表 6.24 に DRAME ビットと DTYPE ビットの設定値と、エリア 2 のインタフェース機能の関係を示します。

シンクロナス DRAM 空間では、PB2、PB3、PB4 端子を $\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 信号として使用します。また、PFCR の設定により PB1 端子を $\overline{\text{CS2}}$ 信号として、DRAMCR の OEE ビットを 1 にセットすることにより PB5 端子を CKE 信号として使用することができます。シンクロナス DRAM 空間のバス仕様は、エリア 2 の設定に従います。シンクロナス DRAM 空間に対する端子ウェイト、プログラムウェイトは無効となります。PFCR については「9. I/O ポート」を参照してください。

$\overline{\text{RAS}}$ 、 $\overline{\text{CAS}}$ 、 $\overline{\text{WE}}$ 信号、およびカラムアドレスの上位に出力されるアドレスプリチャージ設定コマンド (Precharge-sel) を組み合わせることにより、シンクロナス DRAM に対するコマンドが指定されます。

本 LSI がサポートするコマンドは、NOP、オートリフレッシュ (REF)、セルフリフレッシュ (SELF)、全バンクプリチャージ (PALL)、ロウアドレスストロープ・バンクアクティブ (ACTV)、リード (READ)、ライト (WRIT)、モードレジスタ書き込み (MRS) です。バンク制御を行うコマンドは使用できません。

表 6.24 DRAME、DTYPE の設定値とエリア 2 のインタフェース機能の関係

DRAME	DTYPE	エリア 2 のインタフェース
0	x	基本バス空間 (初期値) / バイト制御 SRAM 空間
1	0	DRAM 空間
1	1	シンクロナス DRAM 空間

【記号説明】 x : don't care

6.11.2 アドレスマルチプレクス

シンクロナス DRAM 空間では、ロウアドレスとカラムアドレスがマルチプレクスされています。アドレスマルチプレクスでは、DRAMCR の MXC1、MXC0 ビットによりロウアドレスのシフト量を選択します。また、シンクロナス DRAM インタフェースに設定すると、カラムアドレスの上位にアドレスプリチャージ設定コマンド (Precharge-sel) が出力されます。表 6.25 に MXC1、MXC0 ビットの設定値とシフト量の関係を示します。

表 6.25 MXC1、MXC0 ビットとアドレスマルチプレクスの関係

DRAMCR		シフト量	データバス幅	アドレス	マイコン外部アドレス端子																		
MXC1	MXC0				A23~A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	8ビット	8ビット	ロウアドレス	A23~A18	—	—	A23	A22	A21	A20	A19	P/A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
				コラムアドレス	A23~A18	—	—	A23	A22	A21	A20	A19	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			16ビット	ロウアドレス	A23~A18	—	—	A23	A22	A21	A20	P/A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9	A8
				コラムアドレス	A23~A18	—	—	A23	A22	A21	A20	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	9ビット	8ビット	ロウアドレス	A23~A18	A17	—	—	A23	A22	A21	A20	P/A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
				コラムアドレス	A23~A18	A17	—	—	A23	A22	A21	A20	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			16ビット	ロウアドレス	A23~A18	A17	—	—	A23	A22	A21	P/A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10	A9
				コラムアドレス	A23~A18	A17	—	—	A23	A22	A21	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	0	10ビット	8ビット	ロウアドレス	A23~A18	—	—	—	—	A23	A22	A21	P/A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
				コラムアドレス	A23~A18	—	—	—	—	A23	A22	A21	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			16ビット	ロウアドレス	A23~A18	—	—	—	—	A23	A22	P/A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11	A10
				コラムアドレス	A23~A18	—	—	—	—	A23	A22	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1	1	11ビット	8ビット	ロウアドレス	A23~A18	A17	—	—	—	—	A23	A22	P/A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
				コラムアドレス	A23~A18	A17	—	—	—	—	A23	A10	P	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
			16ビット	ロウアドレス	A23~A18	A17	—	—	—	—	A23	P/A22	A21	A20	A19	A18	A17	A16	A15	A14	A13	A12	A11
				コラムアドレス	A23~A18	A17	—	—	—	—	A11	P	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

【注】 * PALLコマンド発行時はPrecharge-sel=1 (High) を、ACTVコマンド時は対応するアドレスを出力します。

6.11.3 データバス

シンクロナス DRAM 空間のバス幅は、ABWCR の ABWH2 ビットと ABWL2 ビットにより、当該エリアを 8 ビット、16 ビットシンクロナス DRAM 空間に設定できます。16 ビットシンクロナス DRAM 空間では、×16 ビット構成のシンクロナス DRAM を直結することができます。

8 ビットシンクロナス DRAM 空間では D7~D0 のデータバスが有効となり、16 ビットシンクロナス DRAM 空間では D15~D0 のデータバスが有効となります。

ENDIANCR の LE2 ビットにより、データのエンディアン形式を選択できます。アクセスサイズとデータアライメントは、「6.5.6 エンディアンとデータアライメント」を参照してください。

6. バスコントローラ (BSC)

6.11.4 シンクロナス DRAM インタフェースの入出力端子

表 6.26 にシンクロナス DRAM インタフェースの入出力端子を示します。

$\overline{\text{CS2}}$ 端子はリセット後は入力状態になっていますので、 $\overline{\text{CS}}$ 信号を出力する場合には対応する PFCR を 1 にセットしてください。詳細は「9. I/O ポート」を参照してください。

また、シンクロナス DRAM インタフェースを有効とするためには、MCU 動作モードに従ってモードの設定を行ってください。詳細は「3. MCU 動作モード」を参照してください。

表 6.26 シンクロナス DRAM インタフェースの入出力端子

端子	シンクロナス DRAM 設定時	名称	入出力	機能
$\overline{\text{RAS}}$	$\overline{\text{RAS}}$	ロウアドレスストロープ	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのロウアドレスストロープ
$\overline{\text{CAS}}$	$\overline{\text{CAS}}$	カラムアドレスストロープ	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのカラムアドレスストロープ
$\overline{\text{WE}}$	$\overline{\text{WE}}$	ライトイネーブル	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのライトイネーブル
$\overline{\text{OE}}$ / CKE	CKE	クロックイネーブル	出力	エリア 2 をシンクロナス DRAM 空間に設定したときのクロックイネーブル
$\overline{\text{LUCAS}}$ / DQMLU	DQMLU	ロウア-アッパーデータマスキイネーブル	出力	16 ビットシンクロナス DRAM 空間アクセス時のアッパーデータマスキイネーブル
$\overline{\text{LLCAS}}$ / DQMLL	DQMLL	ロウア-ロウア-データマスキイネーブル	出力	16 ビットシンクロナス DRAM 空間アクセス時のロウア-データマスキイネーブル 8 ビットシンクロナス DRAM 空間アクセス時のデータマスキイネーブル
A17~A0	A17~A0	アドレス端子	出力	ロウアドレス/カラムアドレスのマルチプレクス出力
D15~D0	D15~D0	データ端子	入出力	データ入出力端子
(PA7)PB7	SD ϕ	クロック	出力	シンクロナス DRAM 専用クロック
$\overline{\text{CS2}}$	$\overline{\text{CS}}$	チップセレクト	出力	シンクロナス DRAM が選択されていることを示すストロープ信号

6.11.5 基本タイミング

図 6.60、図 6.61 にシンクロナス DRAM の基本タイミングを示します。

基本リードタイミングは、プリチャージサイクル (T_p) が 1 ステート、ロウアドレス出力サイクル (T_r) が 1 ステート、カラムアドレス出力サイクル (T_{c1} 、 T_{c1} 、 T_{c2}) が 3 ステートの 5 サイクルで構成されています。

基本ライトタイミングは、プリチャージサイクル (T_p) が 1 ステート、ロウアドレス出力サイクル (T_r) が 1 ステート、カラムアドレス出力サイクル (T_{c1} 、 T_{c2}) が 2 ステートの 4 サイクルで構成されています。

シンクロナス DRAM 空間に設定した場合、BCR の WAITE ビット、DRAMCR の RAST、CAST ビット、REFCR の RCW1、RCW0 ビットの設定は無視されます。

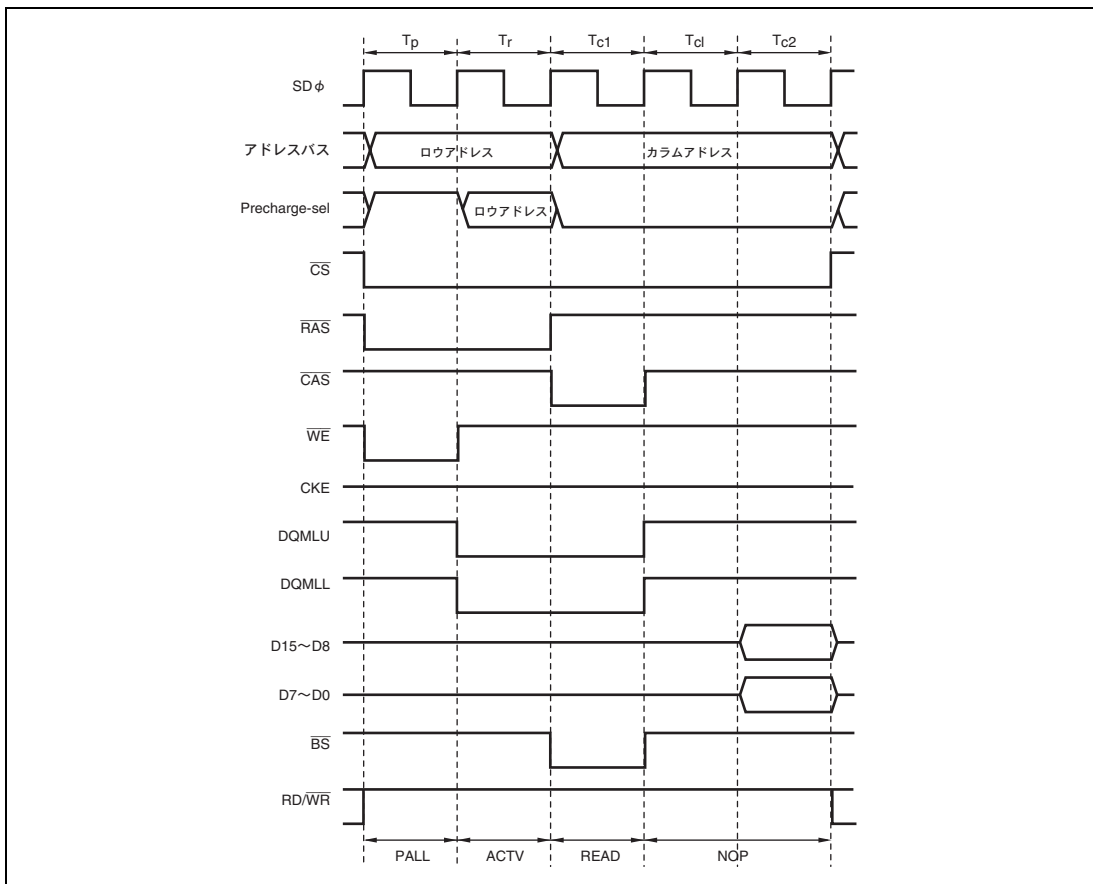


図 6.60 シンクロナス DRAM 基本リードアクセスタイミング (CAS レイテンシ 2)

6. バスコントローラ (BSC)

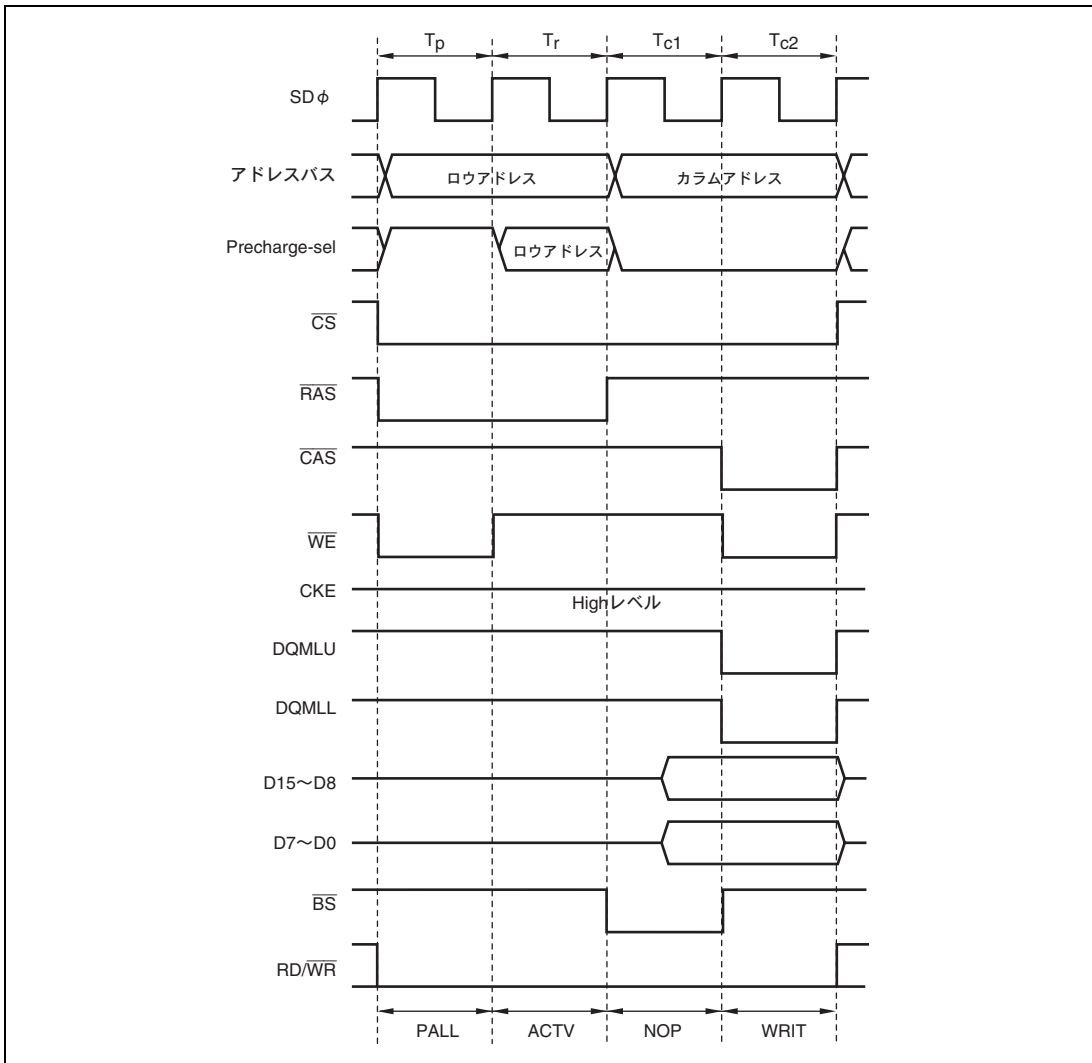


図 6.61 シンクロナス DRAM 基本ライトアクセスタイミング

6.11.6 CAS レイテンシ制御

CAS レイテンシは、WTCRB の W21、W20 ビットで制御します。シンクロナス DRAM の設定により、表 6.27 のように CAS レイテンシ数を設定してください。設定に応じて CAS レイテンシ制御サイクル (Tcl) がリードサイクルに挿入されます。このとき、ASTCR の AST2 ビットの設定に関係なく、WTCRB の設定が可能です。

図 6.62 に CAS レイテンシ 3 のシンクロナス DRAM を接続したときの CAS レイテンシ制御タイミング例を示します。

W21、W20 の初期値は B'11 となっていますので、接続するシンクロナス DRAM の CAS レイテンシに合わせて設定してください。

表 6.27 CAS レイテンシの設定

W21	W20	説明	CAS レイテンシ制御 サイクル挿入数
0	0	(設定禁止)	—
	1	CAS レイテンシ 2 のシンクロナス DRAM を接続	1 ステート
1	0	CAS レイテンシ 3 のシンクロナス DRAM を接続	2 ステート
	1	CAS レイテンシ 4 のシンクロナス DRAM を接続	3 ステート

6. バスコントローラ (BSC)

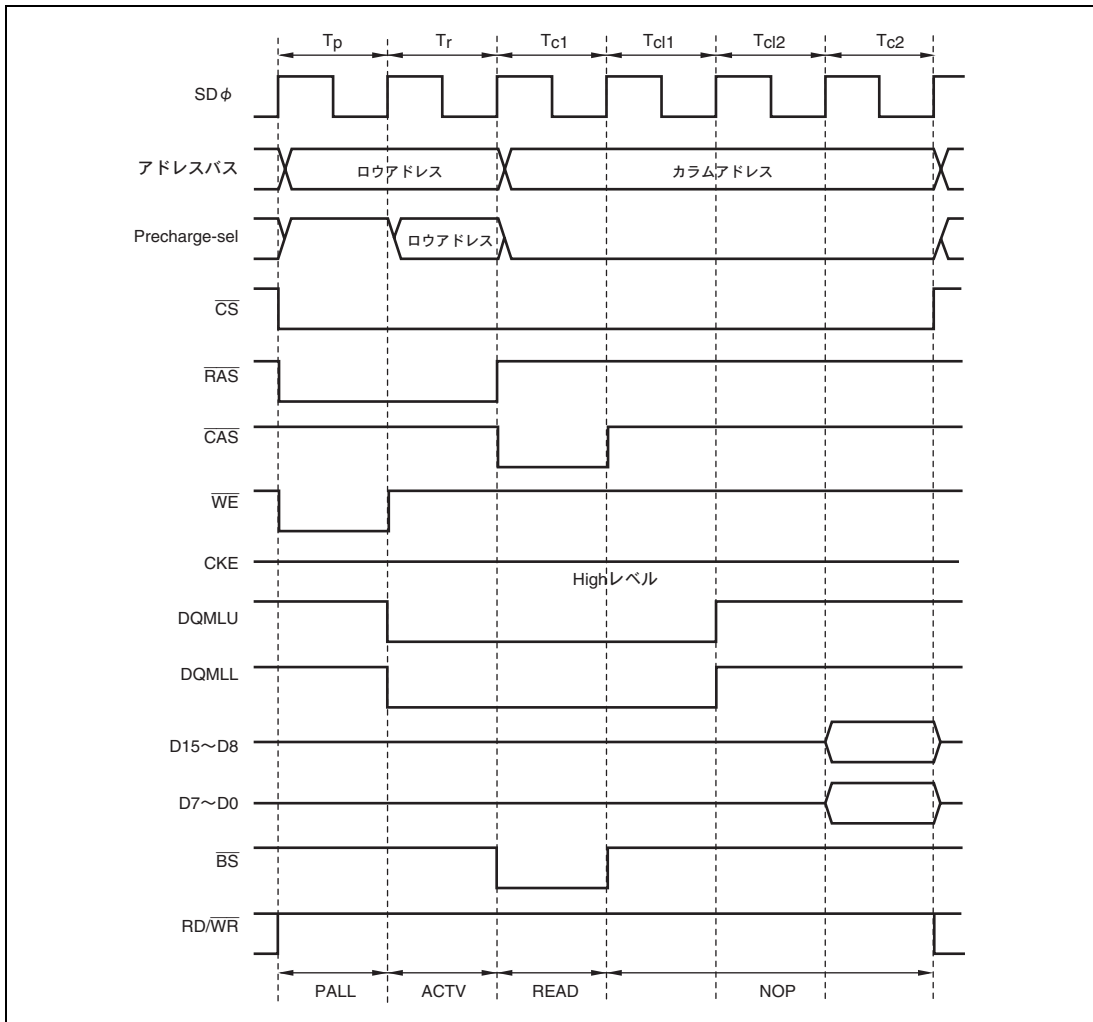


図 6.62 CAS レイテンシ制御タイミング例 (CAS レイテンシ 3)

6.11.7 ロウアドレス出力ステート制御

ACTV コマンドから、次の READ/WRITE コマンドまでのコマンド間隔規定を満たすことができない場合には、DRACCR の RCD1、RCD0 ビットにより、ACTV コマンドが出力される T_r サイクルと、カラムアドレスが出力される T_{c1} サイクルの間に、NOP コマンドが出力されるステート (T_{rw}) を 1~3 ステート挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、ウェイト時間が最適になるように設定してください。

図 6.63、図 6.64 に T_{rw} を 1 ステートに設定したときのタイミング例を示します。

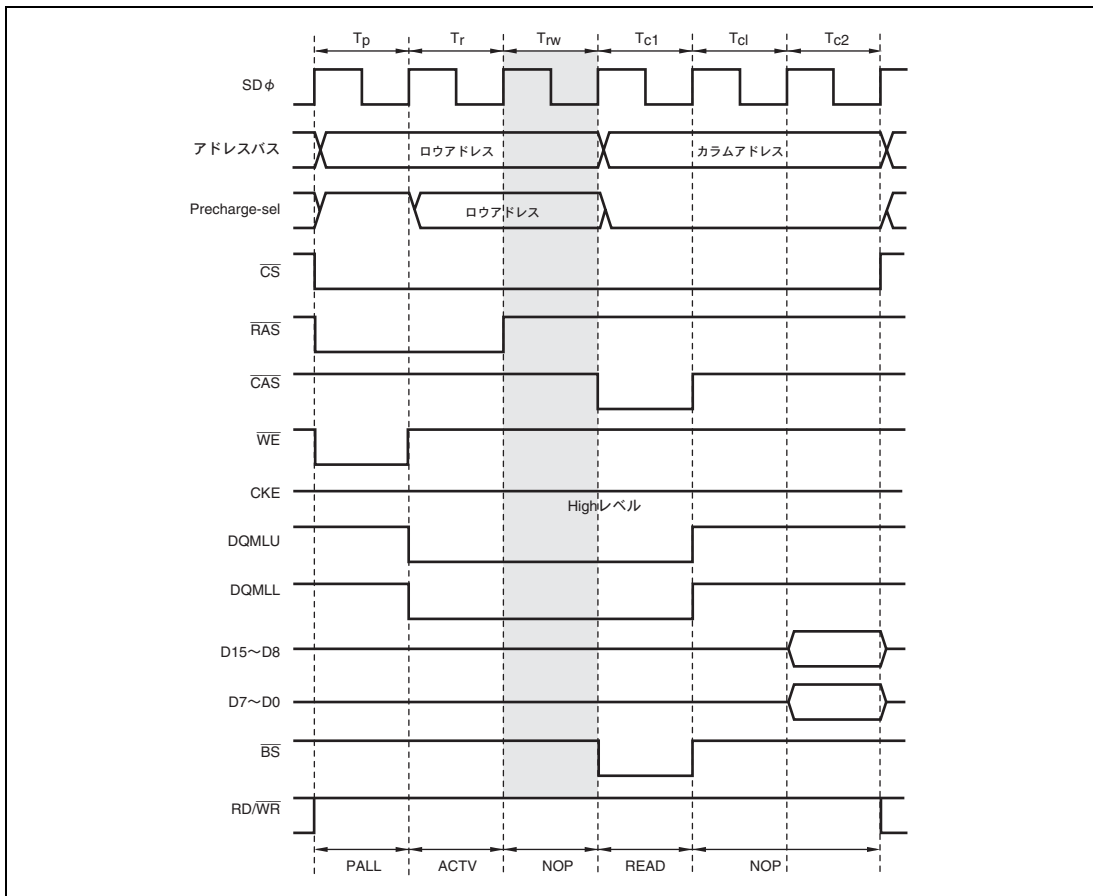


図 6.63 ロウアドレス出力保持ステート数が 1 ステート時のリードタイミング例
(RCD1=0、RCD0=1、CAS レイテンシ 2)

6. バスコントローラ (BSC)

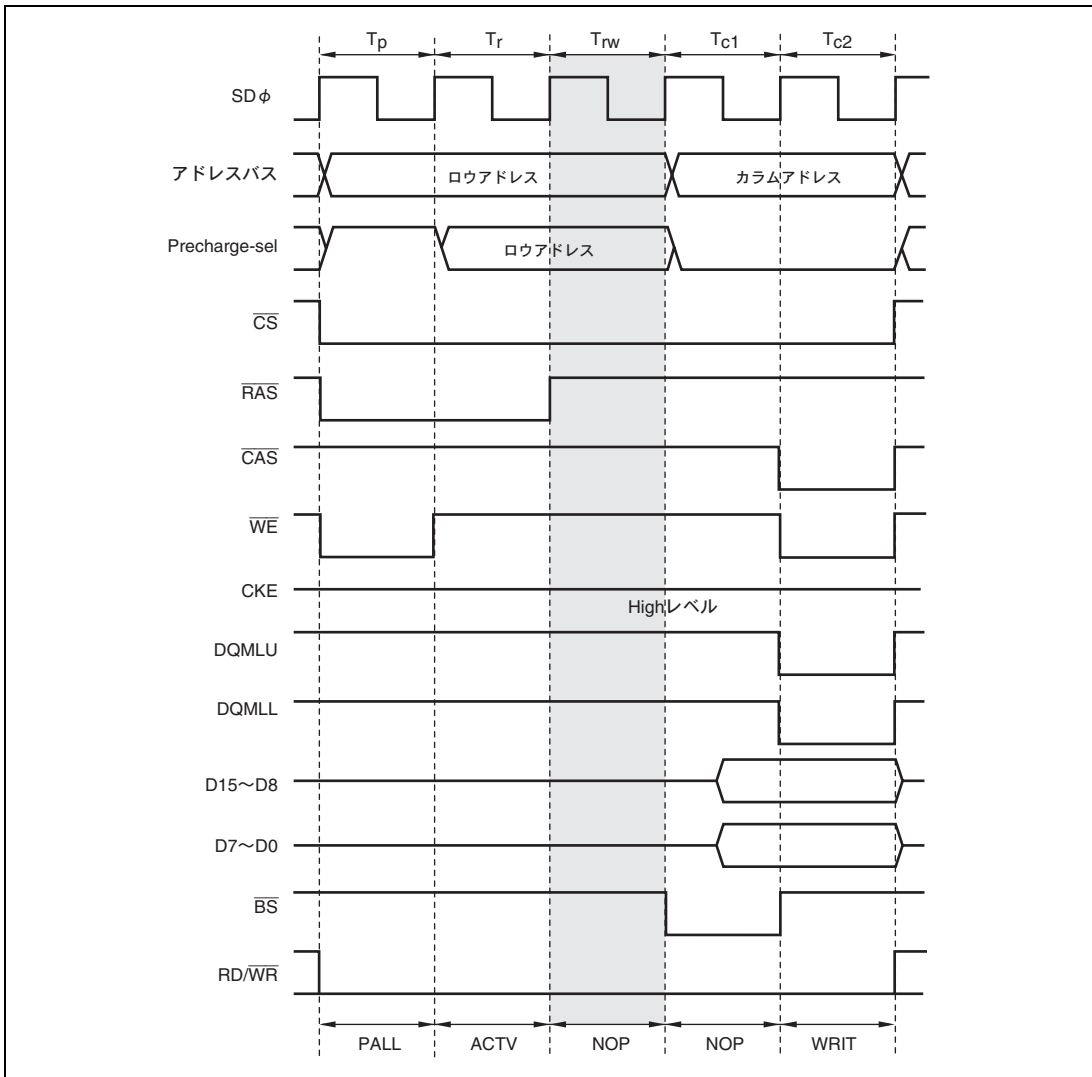


図 6.64 ロウアドレス出力保持状態数が 1 ステートのときのライトタイミング例 (RCD1=0、RDC0=1)

6.11.8 プリチャージステート制御

PALL/PRE コマンドから、次の ACTV/REF コマンドまでの間隔規定を満たすことができない場合には、DRACCR の TPC1、TPC0 ビットにより、 T_p サイクルを 1~4 ステートの範囲で変更することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、最適な T_p サイクル数を設定してください。

図 6.65、図 6.66 に T_p を 2 ステートとしたときのタイミング例を示します。

TPC1、TPC0 ビットの設定は、リフレッシュサイクルの T_p にも有効です。

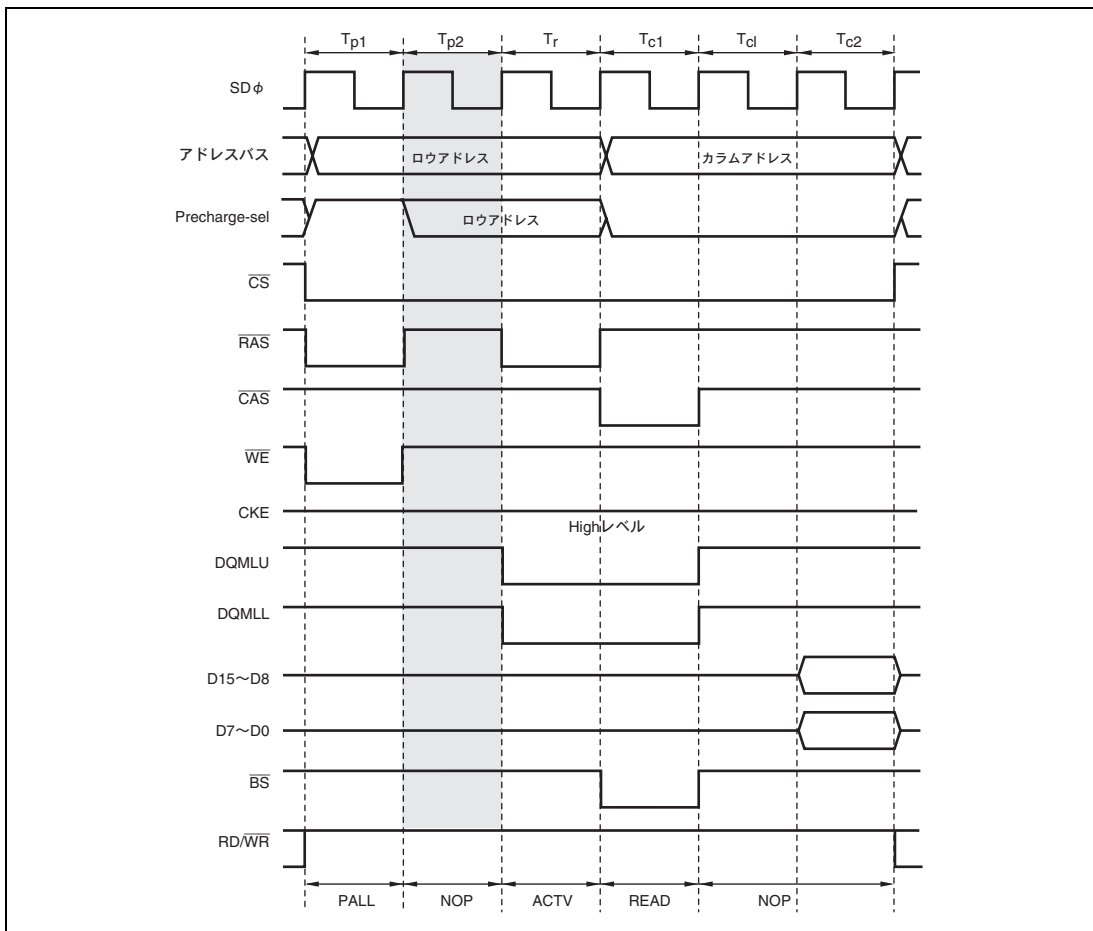


図 6.65 プリチャージサイクル 2 ステート時のリードタイミング例 (TPC1=0、TPC0=1、CAS レイテンシ 2)

6. バスコントローラ (BSC)

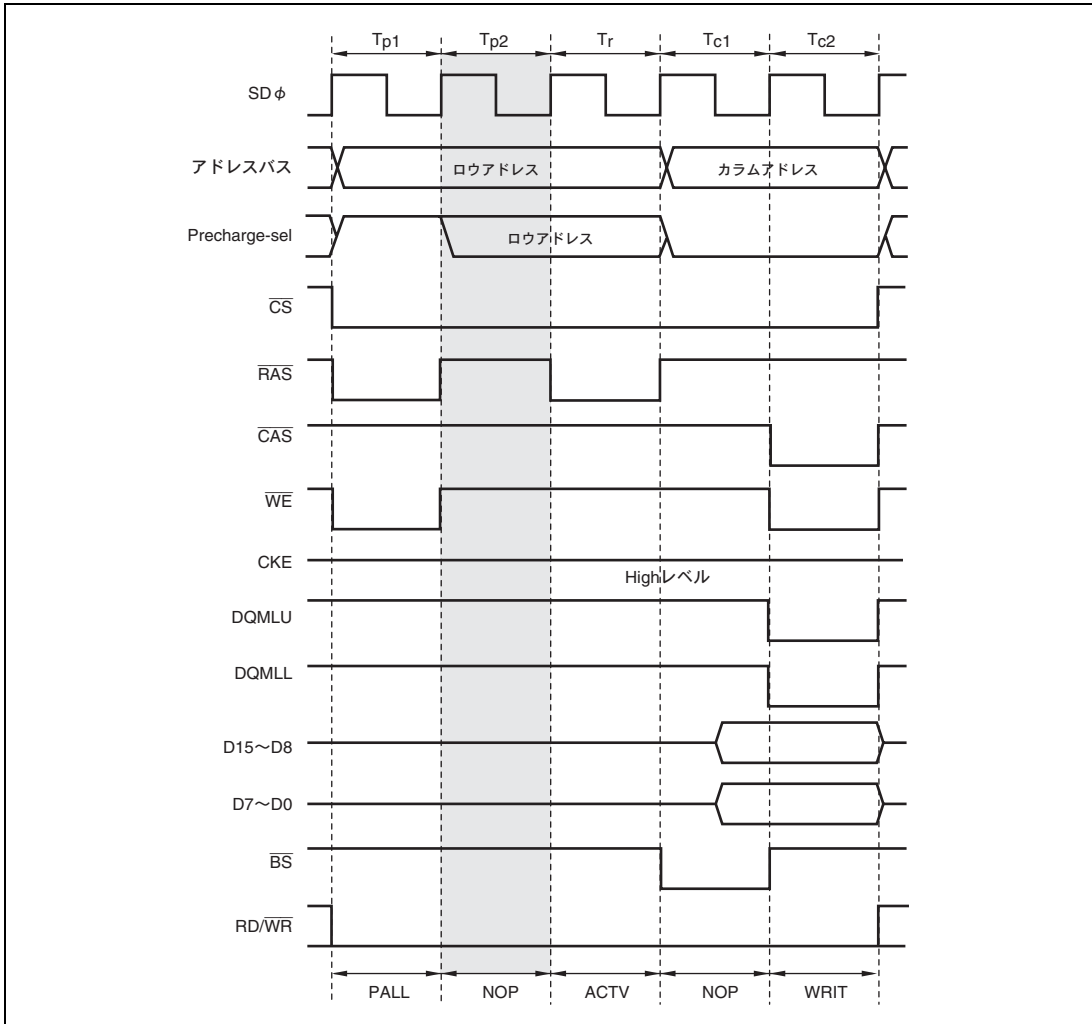


図 6.66 プリチャージサイクル 2 ステート時のライトタイミング例 (TPC1=0、TPC0=1)

6.11.9 クロックサスペンド挿入制御

シンクロナス DRAM 空間をリードアクセスする場合に、リードデータの確定時間をクロックサスペンドモードにより 1 サイクル拡張することができます。クロックサスペンドモードを行う場合は、SDCR の CKSPE ビットと DRAMCR の OEE ビットを 1 にセットして CKE 端子を有効にしてください。

図 6.67 に CKSPE=1 のときのリードタイミング例を示します。

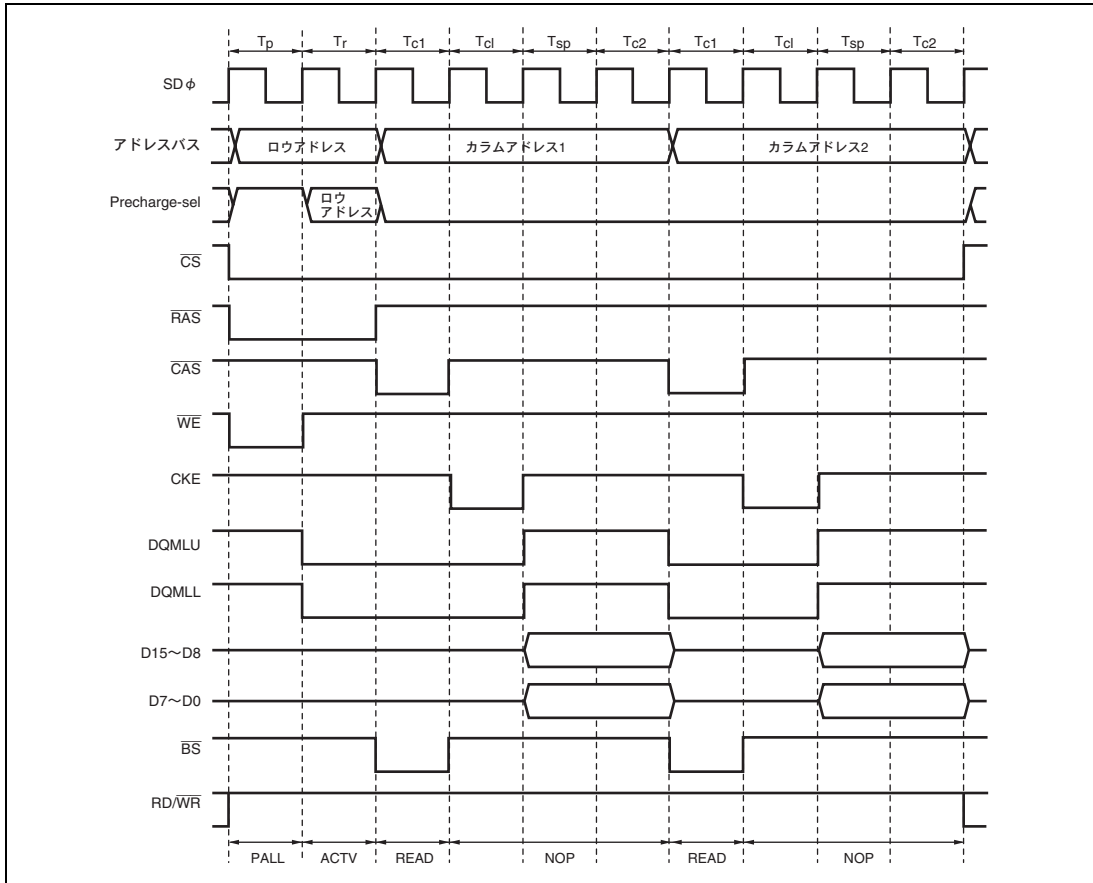


図 6.67 CKSPE=1 のときのリードタイミング例 (CAS レイテンシ 2)

6.11.10 ライトプリチャージ遅延制御

シンクロナス DRAM へのライトサイクルでは、シンクロナス DRAM の内部で書き込みが完了するまでに一定の時間が必要です。WRIT コマンドから、次の PALL コマンドまでの間隔規定を満たすことができない場合には、SDCR の TRWL ビットにより、Trwl サイクルを 1 ステート挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、Trwl サイクルを挿入するかどうか選択してください。

図 6.68 に Trwl を 1 ステート挿入したときのタイミング例を示します。

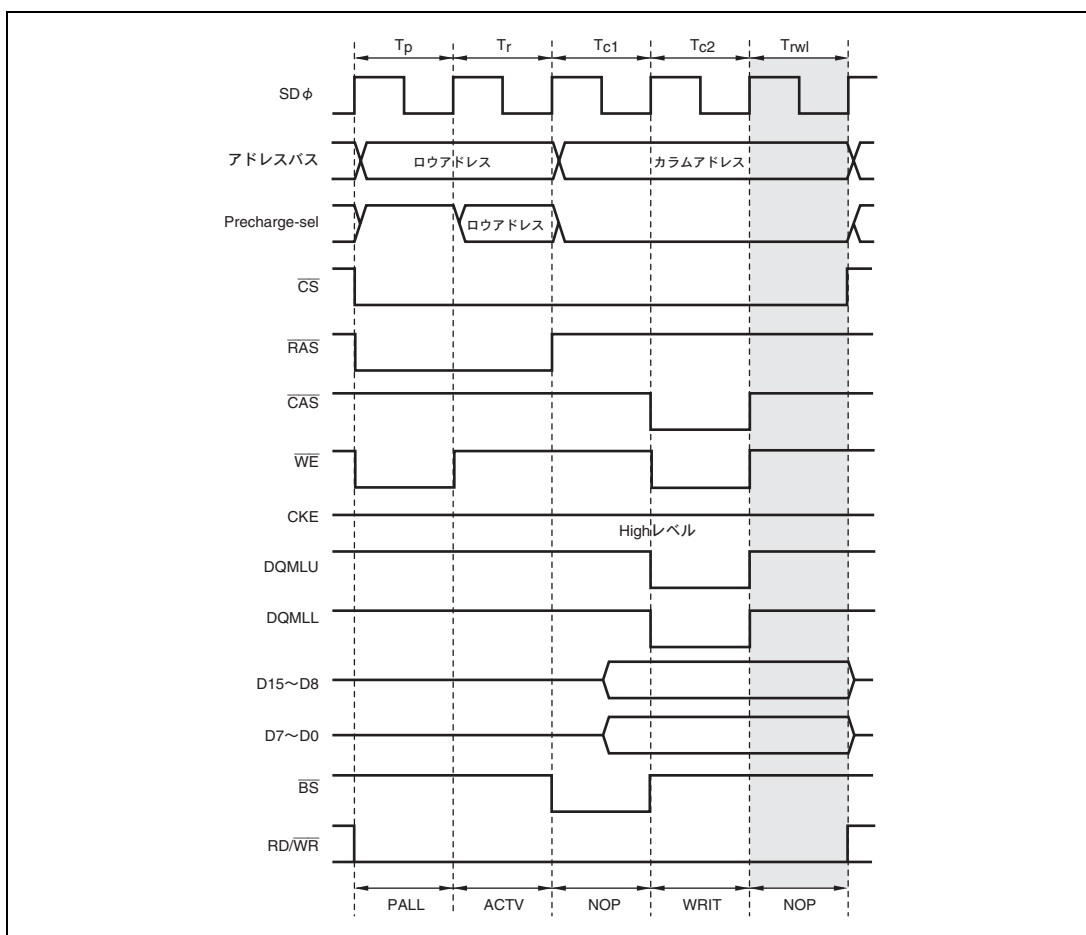


図 6.68 ライトプリチャージ遅延ステート挿入時のライトタイミング例 (TRWL=1)

6.11.11 バイト/ワードアクセス制御

×16 ビット構成のシンクロナス DRAM を接続するとき、DQMLU、DQMLL を制御してバイトアクセス、ワードアクセスを行うことができます。

図 6.69～図 6.70 に DQM の制御タイミング (エンディアン形式はビッグエンディアン) を示します。また、図 6.71 に DQM によりバイト制御を行うときの接続例を示します。

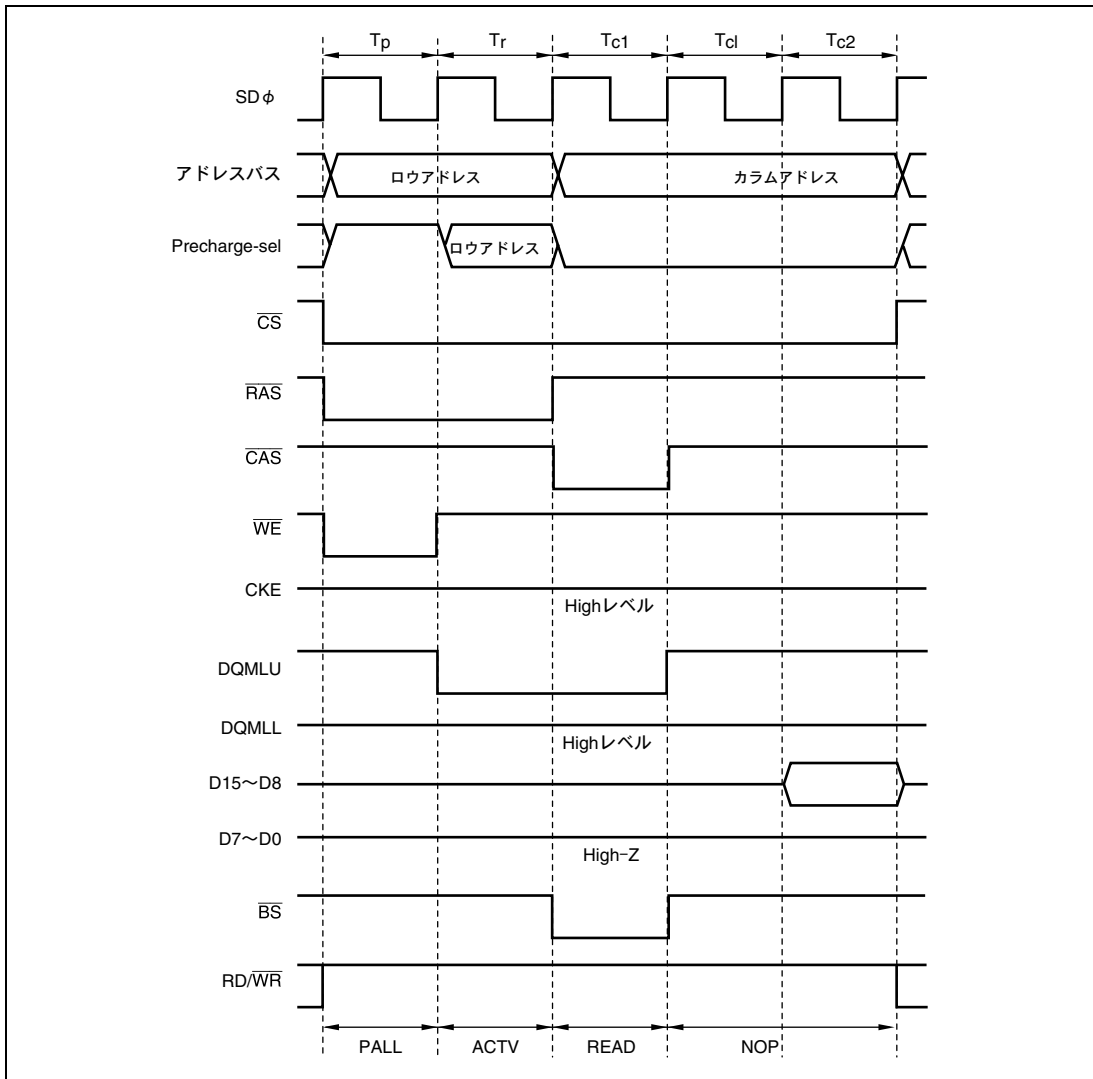


図 6.69 16 ビットアクセス空間時の DQM によるバイト制御タイミング
(アドレス下位 1 ビットが B'0 のときのリードアクセス)

6. バスコントローラ (BSC)

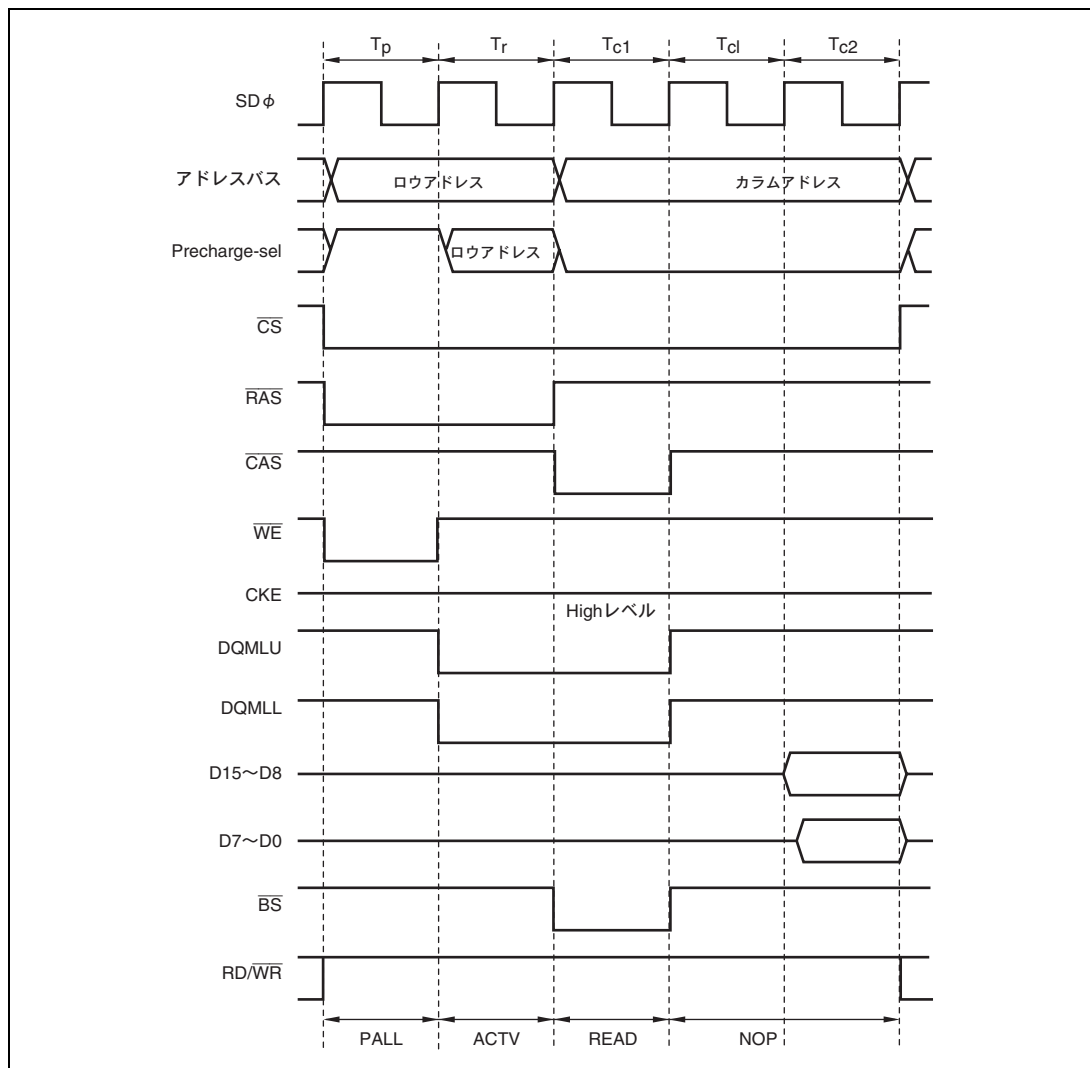


図 6.70 16 ビットアクセス空間時の DQM によるワード制御タイミング
(下位アドレス 1 ビットが B'0 のときのリードアクセス、CAS レイテンシ 2)

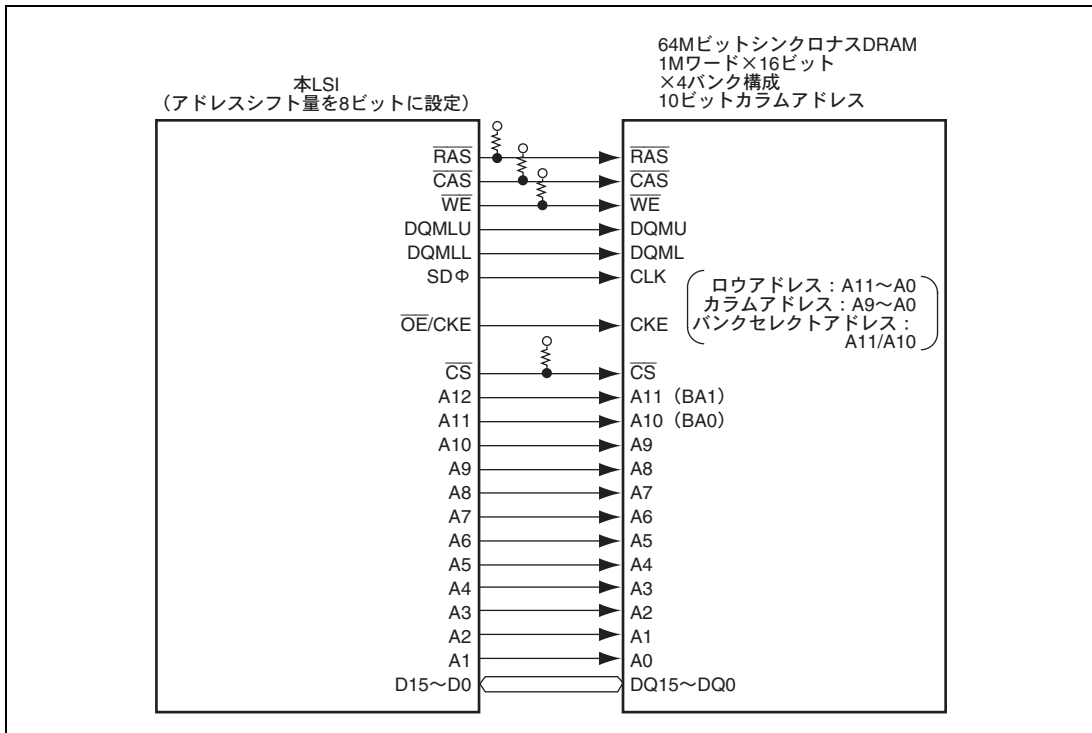


図 6.71 DQM によるバイト/ワード制御の接続例

6.11.12 高速ページアクセス動作

シンクロナス DRAM では、アクセスのたびにロウアドレスを出力してデータをアクセスするフルアクセス（ノーマルアクセス）の他に、同一のロウアドレスに対するアクセスが連続するとき、ロウアドレスを出力した後はカラムアドレスを変更するだけでデータを高速にアクセスできる高速ページアクセスがあります。

DRAMCR の BE ビットを 1 にセットすることにより、高速ページアクセスを選択することができます。

(1) 高速ページアクセスの動作タイミング

シンクロナス DRAM 空間へのアクセスサイクルが連続するとき、前後のアクセスサイクルのロウアドレスが一致している間は、カラムアドレスの出力サイクルが連続して行われます。比較対象となるロウアドレスは DRAMCR の MXC1、MXC0 ビットにより設定します。

接続されているシンクロナス DRAM のバス幅より大きいバス幅のアクセスを行ったとき、またはシンクロナス DRAM へのアクセスが連続するとき、高速ページアクセス動作を行います。

図 6.72 に×16 ビット構成のシンクロナス DRAM を接続した場合のロングワードアクセスタイミング、図 6.73 に×8 ビットバス構成のシンクロナス DRAM を接続した場合のワードアクセスタイミングを示します。

6. バスコントローラ (BSC)

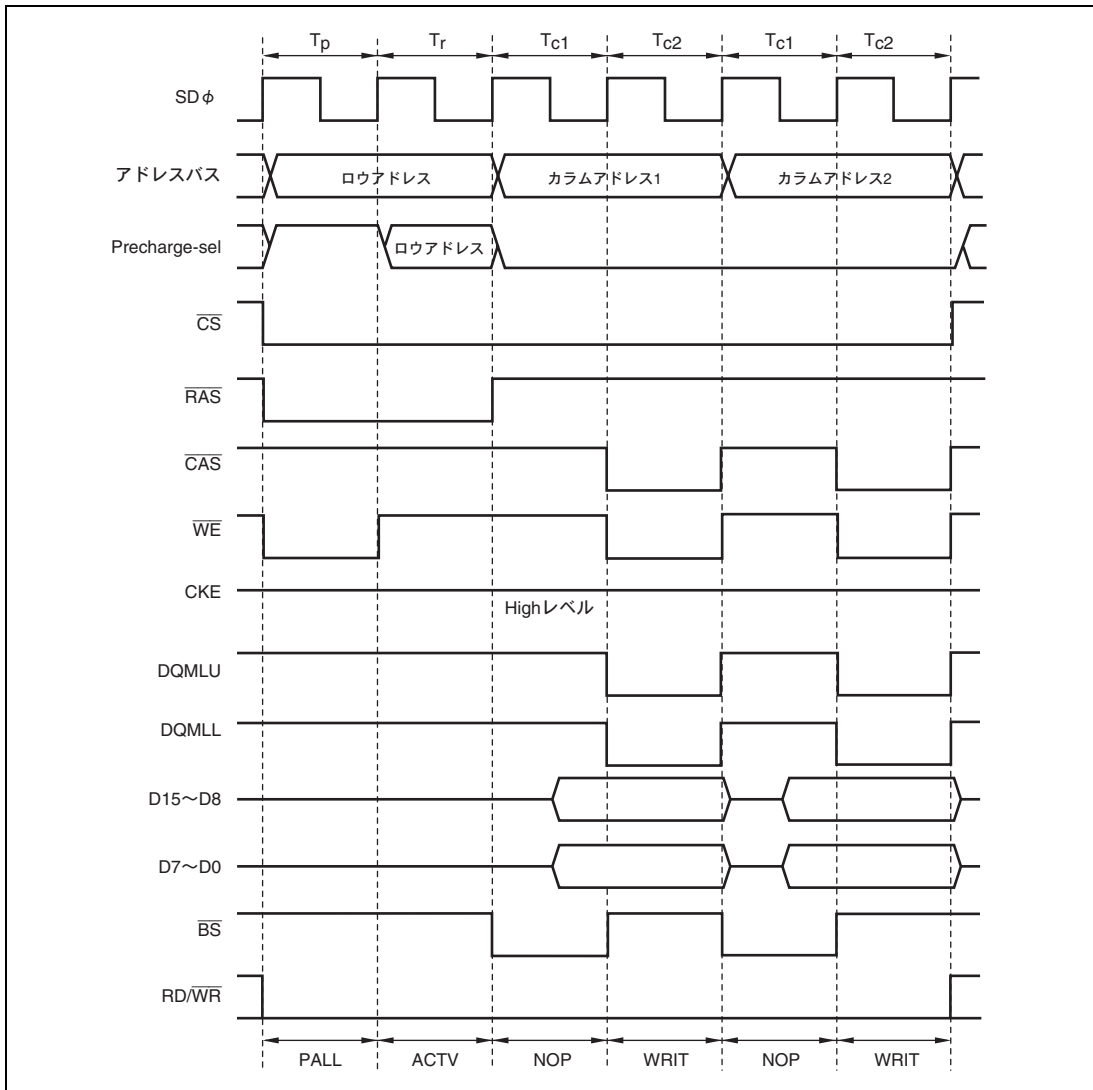


図 6.72 16 ビットアクセス空間時のロングワードライトタイミング (BE=1、RCDM=0)

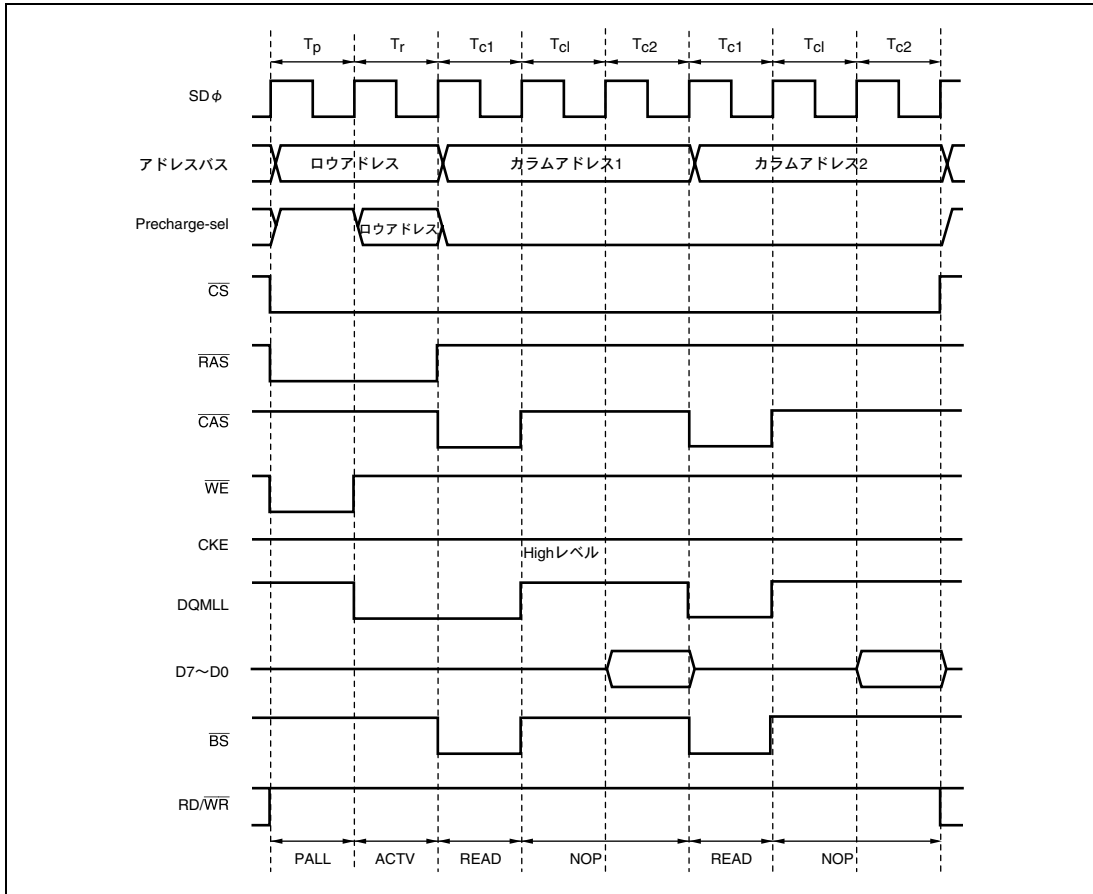


図 6.73 8ビットアクセス空間時のワードリードタイミング (BE=1、RCDM=0、CAS レイテンシ 2)

6. バスコントローラ (BSC)

(2) RAS ダウンモード

RAS ダウンモードに設定するときは、DRAMCR の RCDM ビットと BE ビットを 1 にセットしてください。RCDM ビットは DRAMCR レジスタの BE ビットを 1 にセットした場合のみ有効です。

高速ページアクセス動作に設定しても、シンクロナス DRAM 空間へのアクセスが連続せず、途中で他空間へのアクセスが入ってしまうことがあります。この場合、他空間がアクセスされている間もロウアドレスのアクティブ状態が保持され、DRAM の RAS ダウンモードと同様に ACTV コマンドを発行せずに READ または WRIT コマンドを発行することができます。ただし、シンクロナス DRAM をリードするとき、DQM は常に 2 サイクルのレイテンシがあります。

図 6.74、図 6.75 に RAS ダウンモードのタイミング例を示します。

以下の状態に遷移した場合、次のシンクロナス DRAM 空間のアクセスはフルアクセスとなります。

- リフレッシュ動作が RAS ダウン中に入ったとき
- セルフリフレッシュが行われたとき
- ソフトウェアスタンバイモードへ遷移するとき
- $\overline{\text{BREQ}}$ 信号を受け付けて、外部バスを解放するとき
- RCDM ビット、または BE ビットを 0 にクリアしたとき
- シンクロナス DRAM のモードレジスタを設定したとき

各バンクをアクティブ状態に保持するための時間の確保に制限のあるシンクロナス DRAM があります。この場合、プログラムの実行によってこの値を確保する周期で別のロウアドレスにアクセスする必要がない場合（ソフトウェアスタンバイ、スリープなど）、オートリフレッシュまたはセルフリフレッシュを行う設定にして、各バンクの最大アクティブ状態の保持時間の制約を満たす必要があります。リフレッシュを使用しない場合には、各バンクが所定時間以上アクティブ状態を保持しないようにプログラムで設定する必要があります。

クロック周波数の設定のため SCKCR ヘライトアクセスするときは、RCDM ビットを 0 にクリアしてください。SCKCR については「22. クロック発振器」を参照してください。

(3) RAS アップモード

RAS アップモードに設定するときは、DRAMCR の RCDM ビットを 0 にクリアしてください。シンクロナス DRAM 空間へのアクセスが途切れて他空間をアクセスすると、次のシンクロナス DRAM 空間へのアクセスは PALL から始まります。シンクロナス DRAM 空間のアクセスが連続している場合のみ、高速ページアクセス動作が行われます。

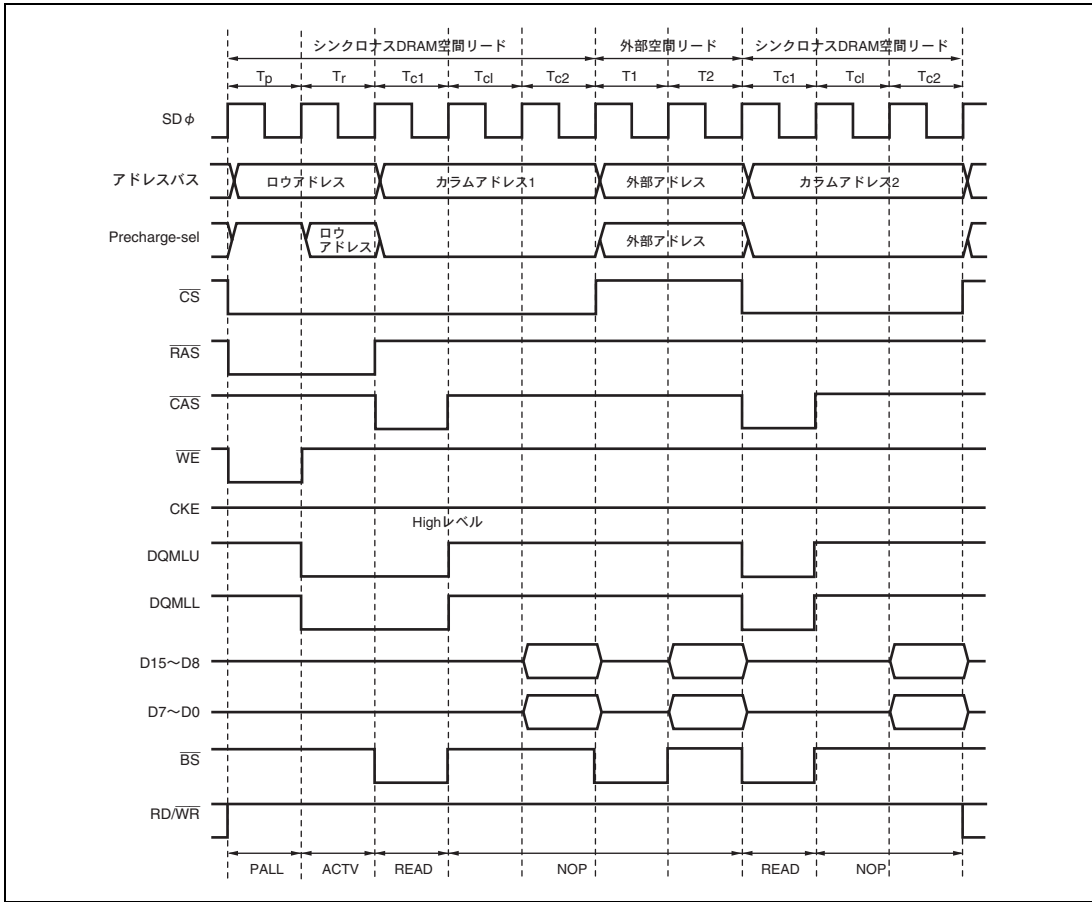


図 6.74 RAS ダウンモード時の動作タイミング例 (BE=1、RCDM=1、CAS レイテンシ2)

6. バスコントローラ (BSC)

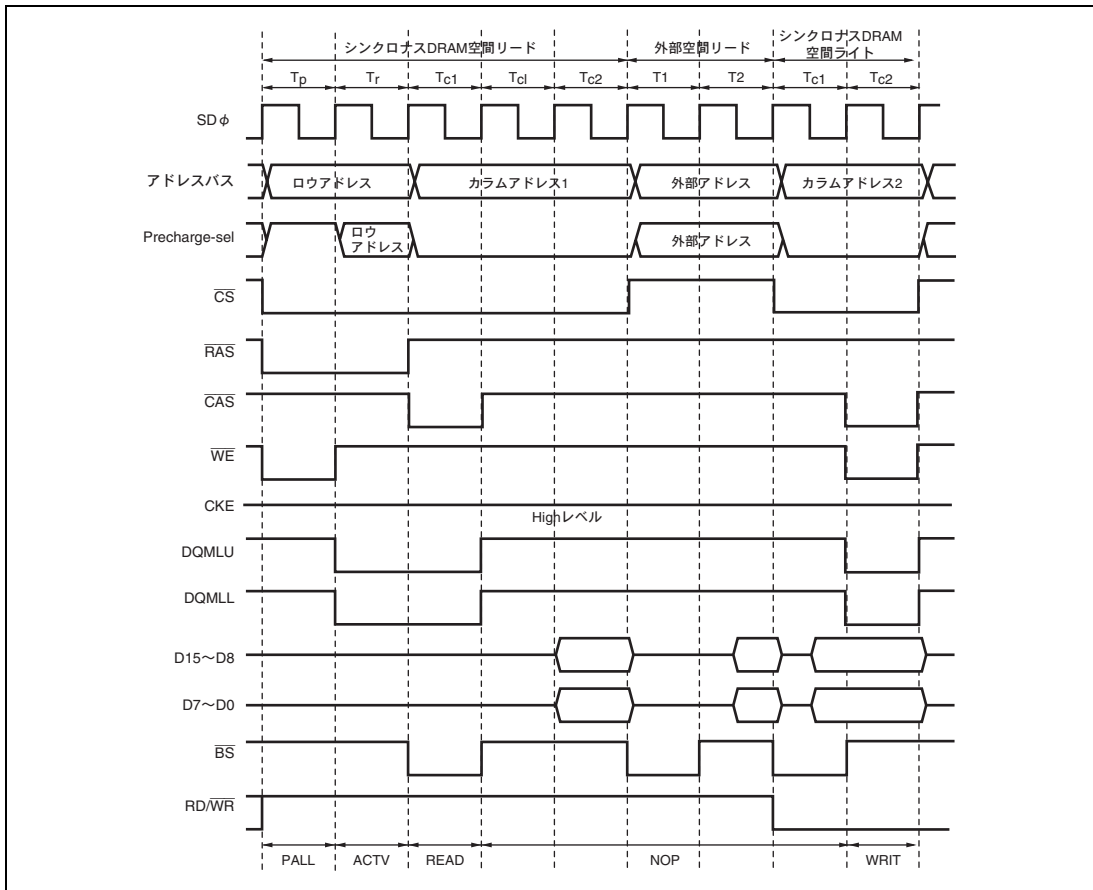


図 6.75 RAS ダウンモードの動作タイミング例 (BE=1、RCDM=1、CAS レイテンシ 2)

6.11.13 リフレッシュ制御

本 LSI は、シンクロナス DRAM のリフレッシュ制御機能を備えています。リフレッシュ方法は、オートリフレッシュです。また、ソフトウェアスタンバイモードに遷移するときにセルフリフレッシュを実行することができます。

リフレッシュ制御は、DRAMCR の DRAME、DTYPE ビットの設定により、エリア 2 をシンクロナス DRAM 空間に設定したときに有効となります。

(1) オートリフレッシュ

オートリフレッシュに設定するためには、REFCR の RFSHE ビットを 1 にセットしてください。

オートリフレッシュでは、REFCR の RTCK2~RTCK0 ビットで設定した入力クロックにより RTCNT がカウントアップされ、RTCOR に設定した値と一致 (コンペアマッチ) するとリフレッシュ制御が行われます。同時に RTCNT はリセットされ、H'00 からカウントアップを再開します。すなわち、リフレッシュは RTCOR と RTCK2~RTCK0 ビットで設定された一定間隔で繰り返されます。使用するシンクロナス DRAM のリフレッシュ間隔規定を満たすように、RTCOR と RTCK2~RTCK0 ビットの値を設定してください。

RTCK2~RTCK0 ビットを設定すると RTCNT のカウントアップが開始されるため、RTCK2~RTCK0 ビットの設定前に RTCNT および RTCOR を設定してください。また、RTCNT および RTCOR を変更する場合は、カウント動作を停止した状態で行ってください。RTCK2~RTCK0 ビットの変更は外部バス権解放を禁止し、ライトデータバッファ機能使用時はライトデータバッファ機能を無効にし外部空間をリードした後に行ってください。

オートリフレッシュ期間中は外部アクセスを行うことはできません。

図 6.76 にオートリフレッシュのタイミングを示します。

リフレッシュカウンタの動作は、DRAM インタフェースと同様です。詳細は「6.10.12 リフレッシュ制御」を参照してください。

6. バスコントローラ (BSC)

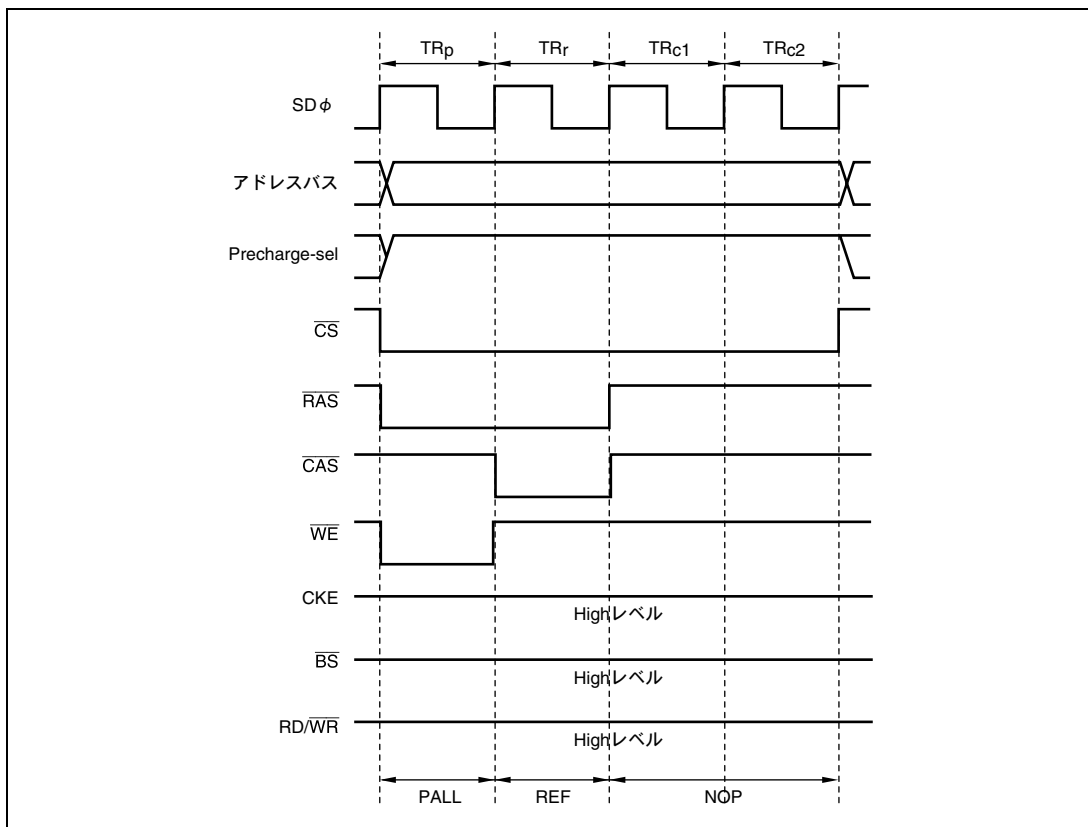


図 6.76 オートリフレッシュタイミグ

PALL/PRE コマンドから REF コマンドまでの間隔規定は、DRACCR の TPC1、TPC0 ビットの設定に従い、1～3 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、最適なウェイト数を設定してください。

図 6.77 にウェイトを 1 ステート挿入したときのタイミングを示します。

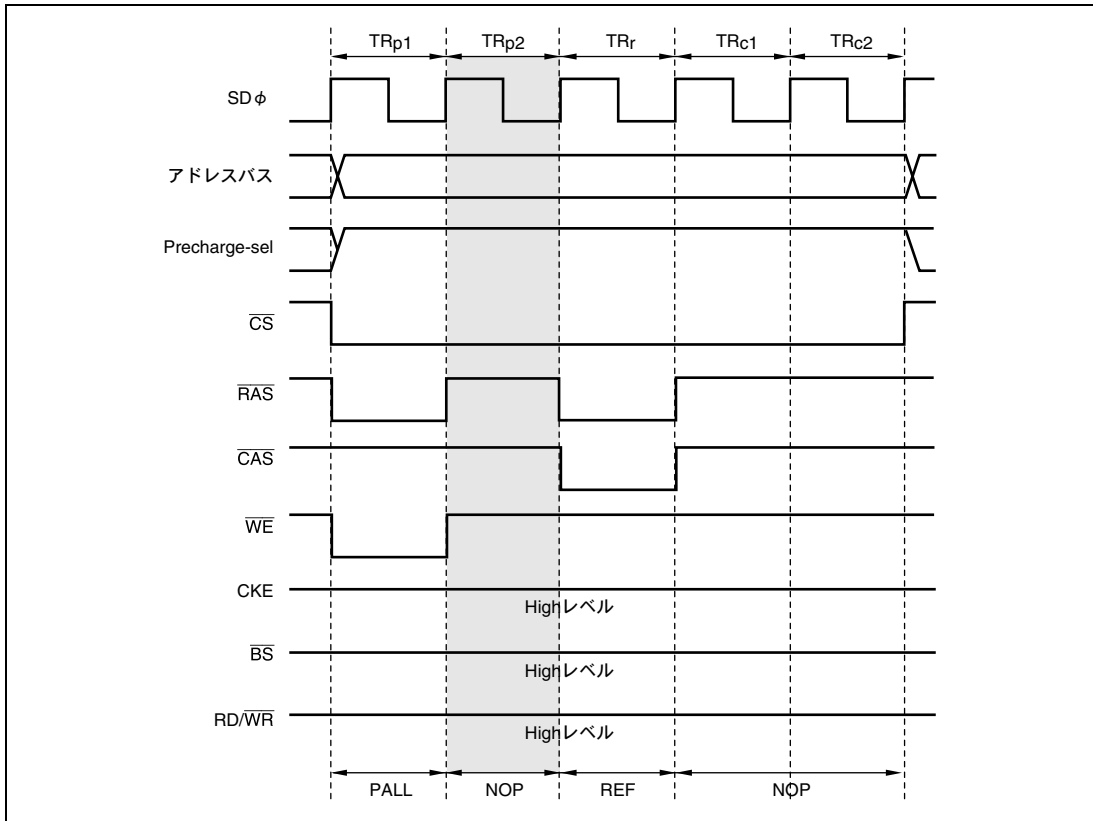


図 6.77 オートリフレッシュタイミング (TPC1=0、TPC0=1)

REF コマンドから、次の ACTV コマンドまでの間隔規定を満たすことができない場合には、REFCR の RLW2～RLW0 ビットにより、リフレッシュサイクルに 1～7 ステートの範囲でウェイトステートを挿入することができます。接続するシンクロナス DRAM と本 LSI の動作周波数に応じて、最適なウェイト数を設定してください。

図 6.78 に 1 ステートのウェイトを挿入したときのタイミングを示します。

6. バスコントローラ (BSC)

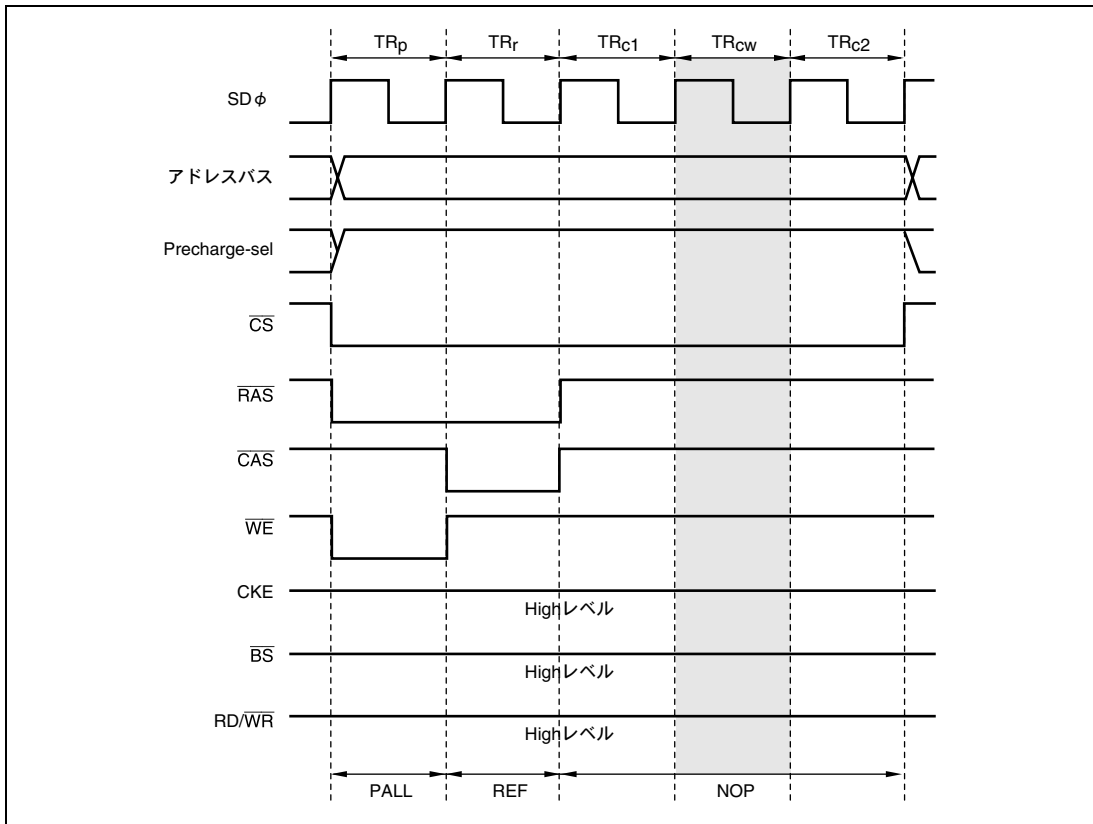


図 6.78 オートリフレッシュタイミング (TPC1=0、TPC0=0、RLW2=0、RLW1=0、RLW0=1)

(2) セルフリフレッシュ

シンクロナス DRAM には、スタンバイモードの一種として、シンクロナス DRAM 内部でリフレッシュタイミングとリフレッシュアドレスを生成するセルフリフレッシュモード (バッテリーバックアップモード) を備えているものがあります。

セルフリフレッシュを選択するためには、REFCR の RFSHE ビットと SLFRF ビットを 1 にセットして、ソフトウェアスタンバイモードに移行するための SLEEP 命令を実行すると、図 6.79 に示すように SELF コマンドが発行されます。

ソフトウェアスタンバイモードに移行するときに、オートリフレッシュ要求があると、オートリフレッシュを実行後にセルフリフレッシュモードに入ります。

セルフリフレッシュモードに移行するには、DRAMCR の OEE ビットを 1 にセットして、CKE 端子を接続してください。

セルフリフレッシュモードを使用する場合、SBYCR レジスタの OPE ビットを 0 にクリアしないでください。

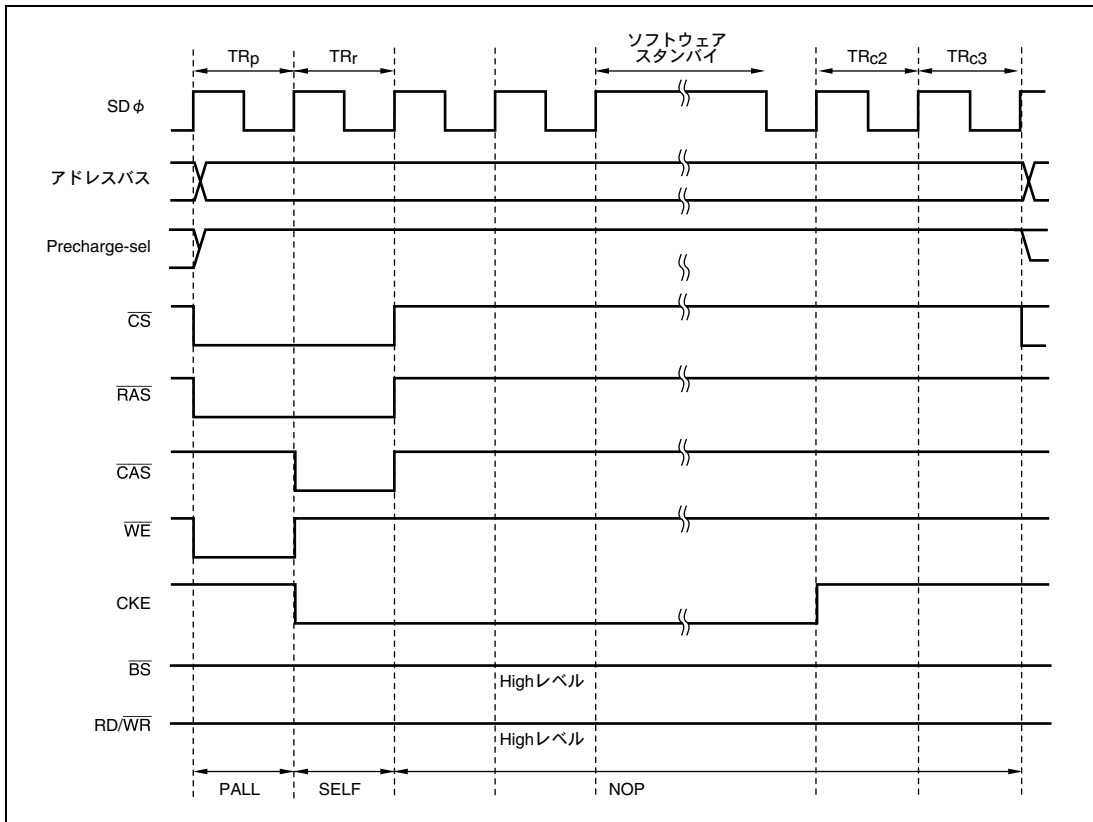


図 6.79 セルフリフレッシュタイミング
(TPC1=0、TPC0=0、RCW1=0、RCW0=0、RLW1=0、RLW0=0 の場合)

セルフリフレッシュモードを備えるシンクロナス DRAM には、セルフリフレッシュの解除から次のコマンドまでの間隔規定のあるものがあります。REFCR の TPC2~TPCS0 ビットにより、セルフリフレッシュ解除後のプリチャージ時間を通常のプリチャージ時間より 1~7 ステート増加することができます。この場合、DRACCR の TPC1、TPC0 ビットの設定に従って通常のプリチャージが行われるので、この時間とあわせてセルフリフレッシュ後のプリチャージ時間が最適になるように設定してください。

図 6.80 にセルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例を示します。

6. バスコントローラ (BSC)

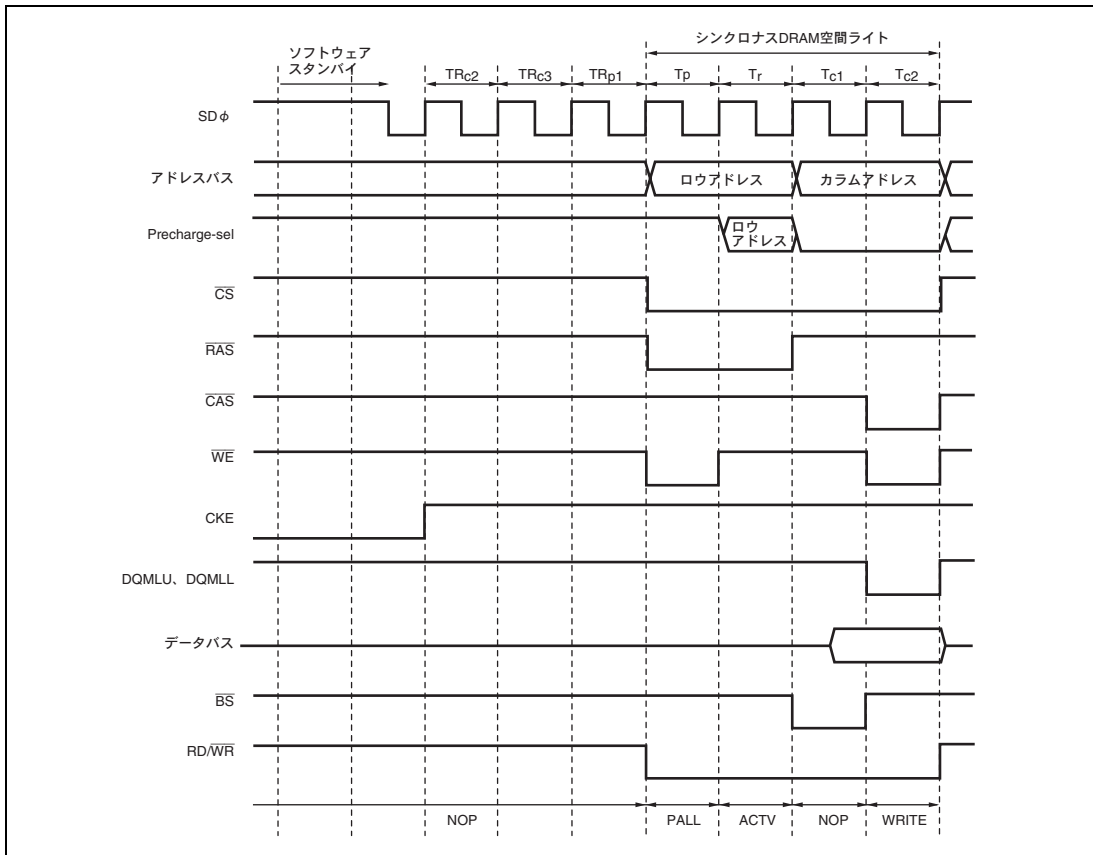


図 6.80 セルフリフレッシュ直後のプリチャージ時間を 1 ステート増加した場合のタイミング例
(TPCS2~TPCS0=H'1、TPC1=0、TPC0=0)

(3) リフレッシュと全モジュールクロックストップモード

本 LSI は、MSTPCRA の ACSE ビットを 1 にセットしてすべての周辺モジュールのクロックを停止するか (MSTPCRA、MSTPCRB=H'FFFFFFF)、または 8 ビットタイマだけを動作させて (MSTPCRA、MSTPCRB=H'[C~F]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモードではバスコントローラのクロックが停止しますので、オートリフレッシュが実行されません。外部にシンクロナス DRAM を接続し、スリープモードでシンクロナス DRAM のデータを保持したい場合には、MSTPCR レジスタの ACSE ビットを 0 にクリアしてください。

詳細は「23.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)」を参照してください。

6.11.14 シンクロナス DRAM モードレジスタの設定

シンクロナス DRAM を使用するためには、パワーオン後にモードの設定を行ってください。

モードを設定するためには、SDCR の MRSE ビットを 1 にセットし、シンクロナス DRAM モードレジスタの設定を有効にします。その後、シンクロナス DRAM 空間をバイトでライトアクセスします。

シンクロナス DRAM モードレジスタに設定する値を x とすると、

8 ビットバス構成のシンクロナス DRAM では、 $H'4000000/H'400000 + x$ 番地のシンクロナス DRAM 空間に、
16 ビットバス構成のシンクロナス DRAM では、 $H'4000000/H'400000 + 2x$ 番地のシンクロナス DRAM 空間に、
ライトすることで値 x がシンクロナス DRAM モードレジスタに設定されます。

シンクロナス DRAM モードレジスタの設定値は、MRS コマンド発行時点のアドレス信号の値が取り込まれます。

本 LSI はシンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。シンクロナス DRAM モードレジスタを設定するときは、バーストリード/シングルライトを設定し、バースト長は 1 としてください。シンクロナス DRAM モードレジスタの設定値と、バスコントローラの設定値は一致させてください。

図 6.81 にシンクロナス DRAM のモード設定タイミングを示します。

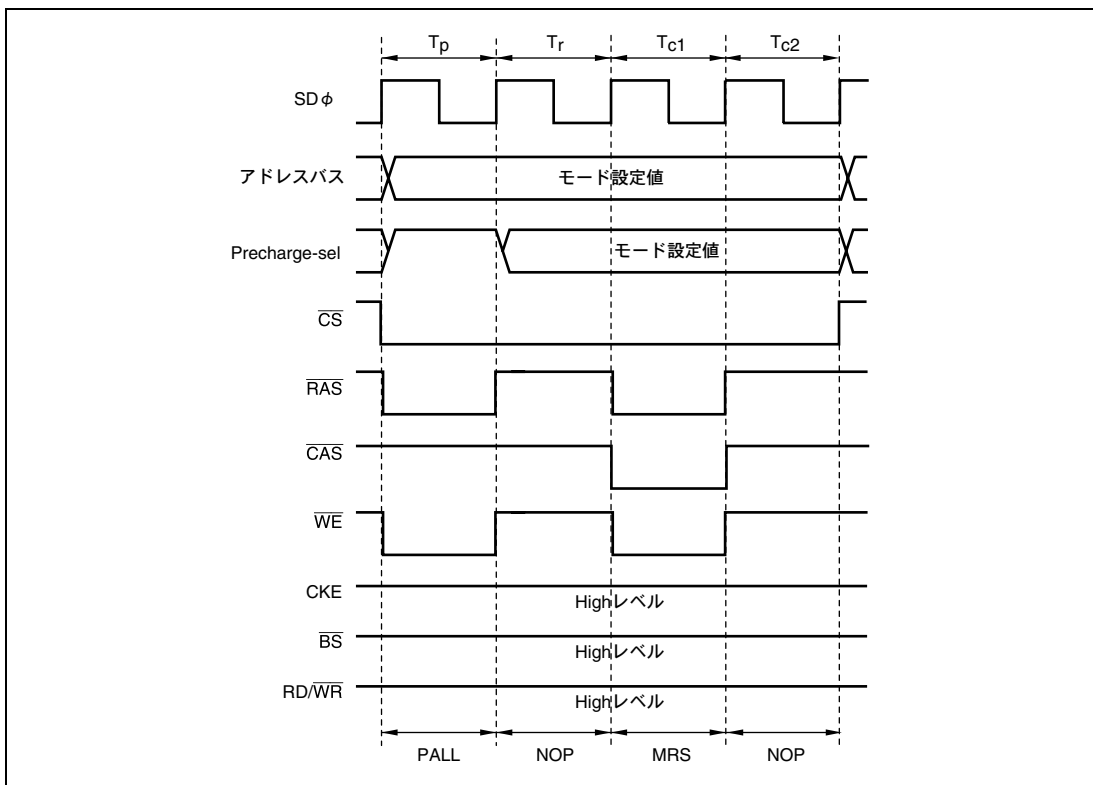


図 6.81 シンクロナス DRAM モード設定タイミング

6.11.15 DMAC のシングルアドレス転送とシンクロナス DRAM インタフェース

シンクロナス DRAM 空間を高速ページモード (BE=1) に設定している場合において、DMAC のシングルアドレス転送の転送先または転送元としたシンクロナス DRAM 空間のアクセスを、高速ページアクセスまたはフルアクセスとするかを DRAMCR の DDS ビットの設定により選択することができます。このとき同時に、 $\overline{\text{DACK}}$ 、 $\overline{\text{BS}}$ 信号の出力タイミングが変更されます。BE=0 の場合は、DDS ビットの設定によらず、シングルアドレス転送によるシンクロナス DRAM 空間のアクセスはフルアクセスとなります。ただし、 $\overline{\text{DACK}}$ 、 $\overline{\text{BS}}$ 出力タイミングは DDS ビットの設定により変更することができます。

さらに、BCR1 の DKC ビットにより $\overline{\text{DACK}}$ 信号のアサートタイミングを変更することができます。

SDCR の TRWL、CKSPE ビットと BCR1 の DCK ビットによる $\overline{\text{DACK}}$ 出力タイミングの設定は、DDS ビットの設定に関係なく、各々に設定することができます。

(1) DDS=1 のとき

バスマスタに関係なく、アドレスのみを判定して高速ページアクセスを行います。また、 $\overline{\text{DACK}}$ 出力タイミングは、リードアクセス、ライトアクセスともに Tc1 ステートから Low レベルになります。

図 6.82、図 6.83 に DDS=1 のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

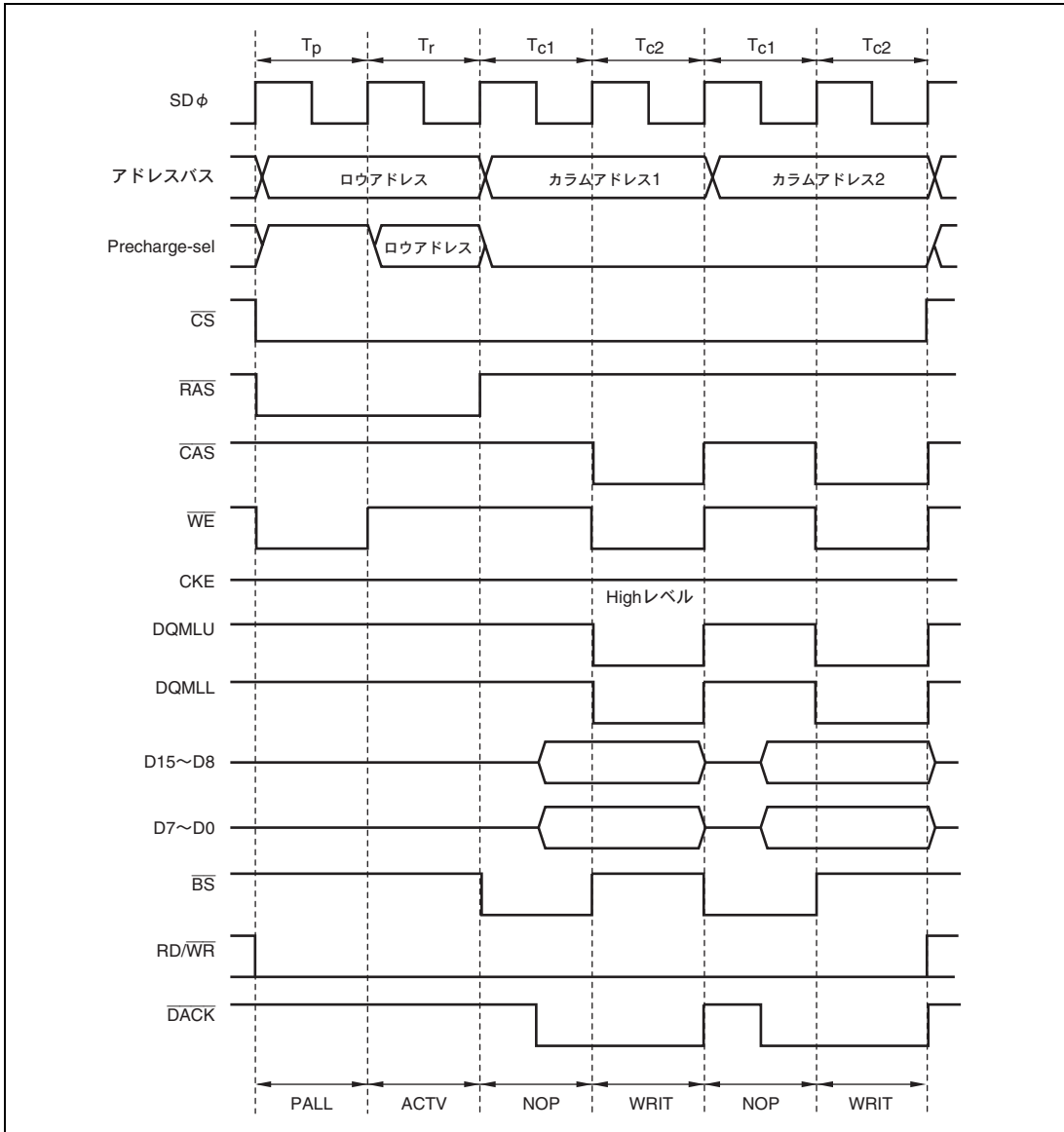


図 6.82 DDS=1 のときの DACK 出力タイミング例 (ライトアクセス時)

6. バスコントローラ (BSC)

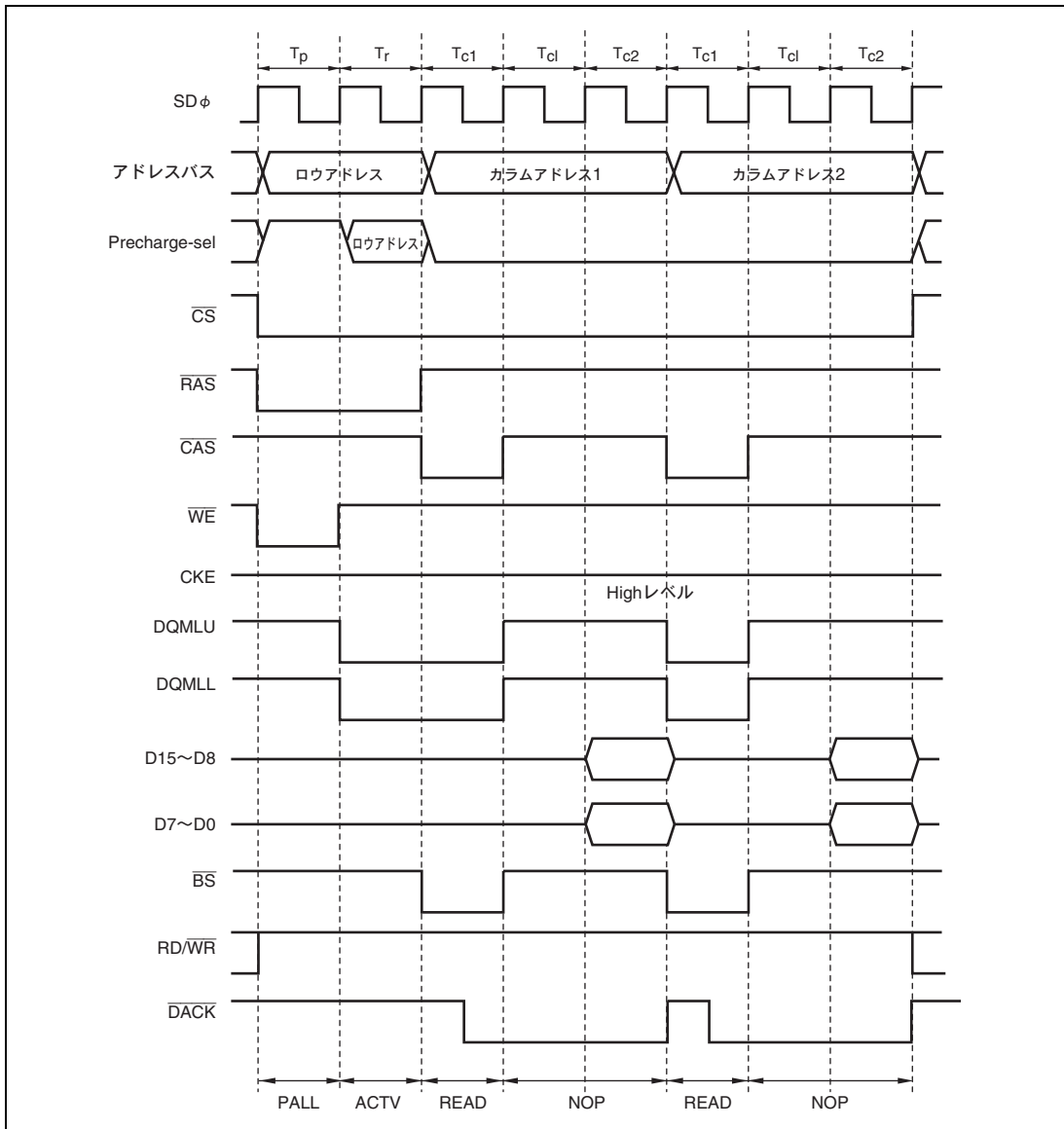


図 6.83 DDS=1 のときの $\overline{\text{DACK}}$ 出力タイミング例 (リードアクセス時、CAS レイテンシ 2)

(2) DDS=0 のとき

DMAC のシングルアドレス転送を行う場合は、フルアクセス (ノーマルアクセス) になります。また、 $\overline{\text{DACK}}$ 出力タイミングは、Tr ステートから Low レベルになり、 $\overline{\text{BS}}$ 出力タイミングは Tr ステートでアサートします。

DMAC のシングルアドレス転送以外では、高速ページアクセスが可能です。

図 6.84、図 6.85 に DDS=0 のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

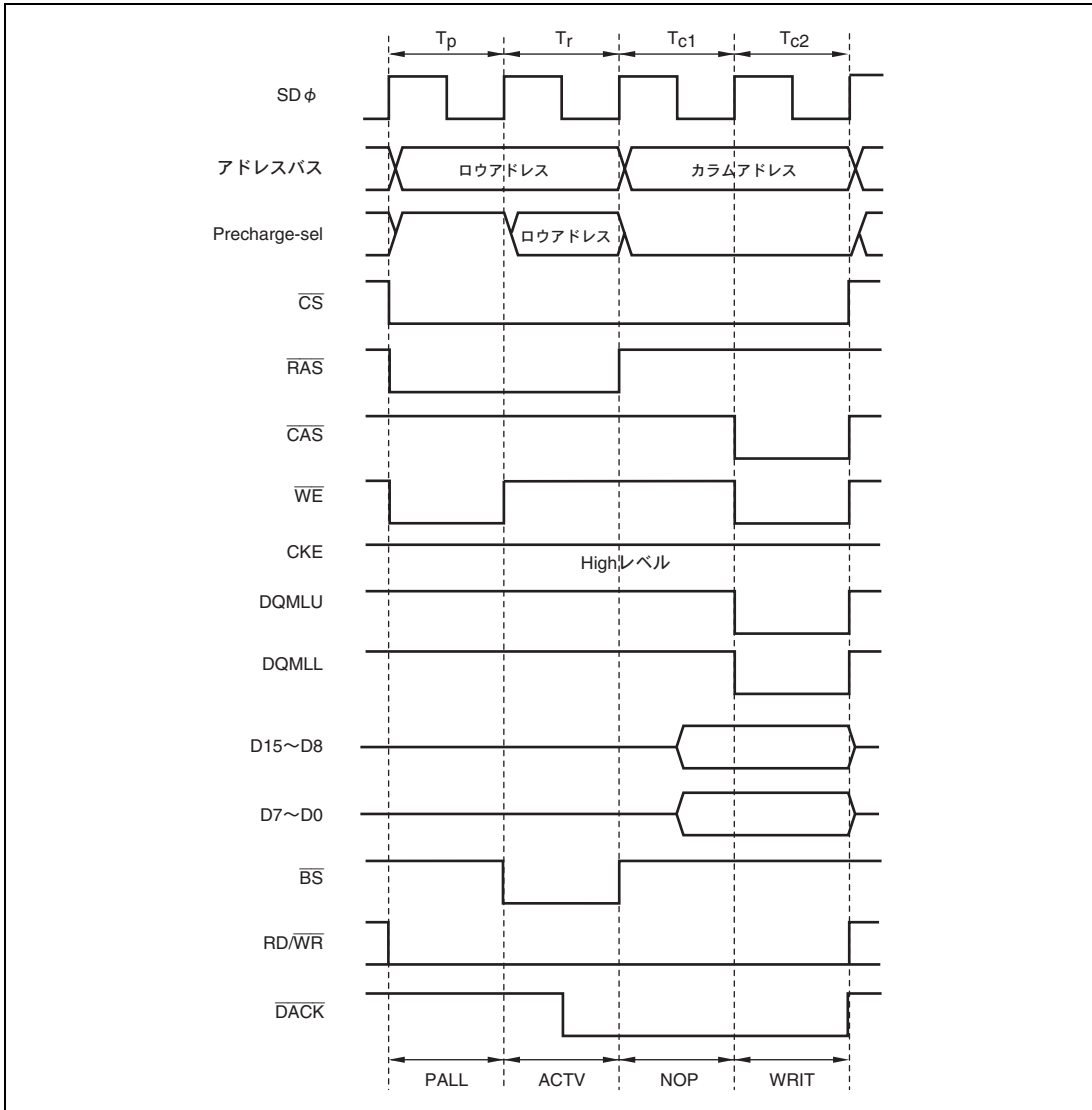


図 6.84 DDS=0 のときの $\overline{\text{DACK}}$ 出カタイミング例 (ライトアクセス時)

6. バスコントローラ (BSC)

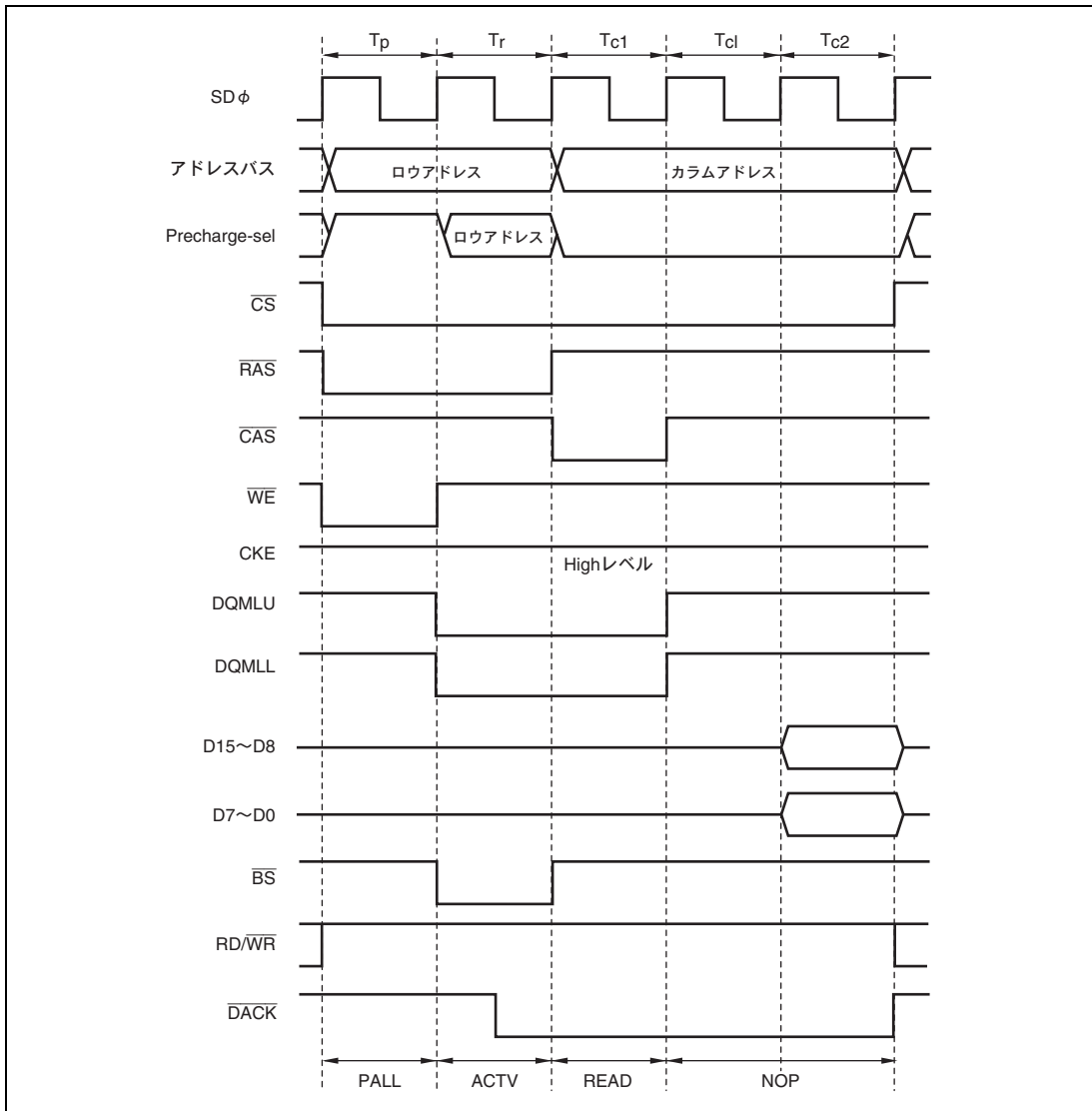


図 6.85 DDS=0 の場合の $\overline{\text{DACK}}$ 出カタイミグ例 (リードアクセス時、CAS レイテンシ 2)

(3) TRWL=1 のとき

シンクロナス DRAM インタフェースのライトアクセスの場合、Tc2 ステートの次に Trwl ステートが1サイクル挿入されます。 $\overline{\text{DACK}}$ 出力タイミングは、Trwl ステートまで Low レベルになります。このとき、外部デバイスが出力するデータバスのホールド期間を1サイクル延長することができます。

図 6.86 に、TRWL=1 (DDS=1、DKC=0) のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

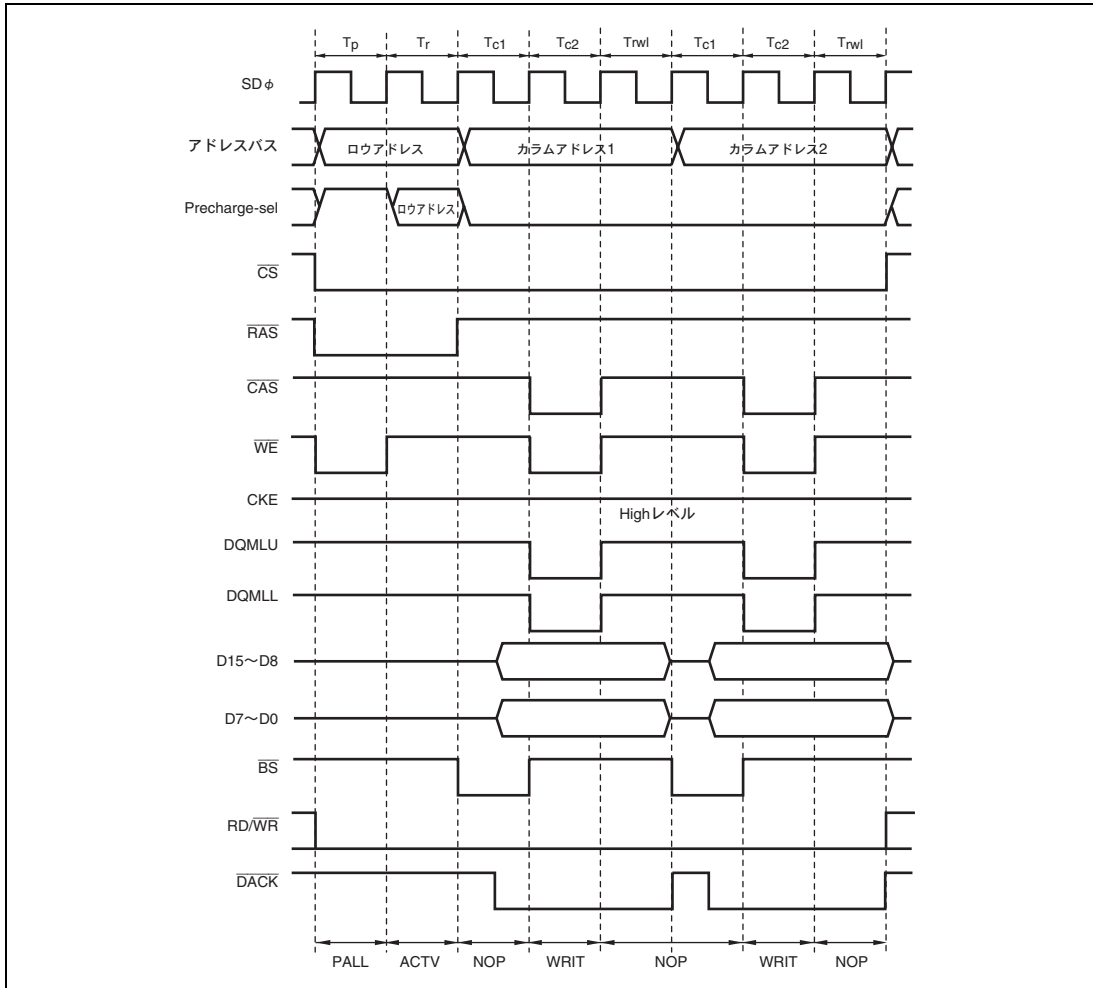


図 6.86 TRWL=1 のときの $\overline{\text{DACK}}$ 出力タイミング例 (ライトアクセス時)

6. バスコントローラ (BSC)

(4) CKSPE=1 のとき

シンクロナス DRAM 空間をリードアクセスする場合に、リードデータの確定時間をクロックサスペンドモードにより 1 サイクル拡張することができます。クロックサスペンドモードを行う場合は、DRAMCR の OEE ビットを 1 にセットして、CKE 端子を接続してください。

図 6.87 に CKSPE=1 (DDS=1、DKC=0) のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

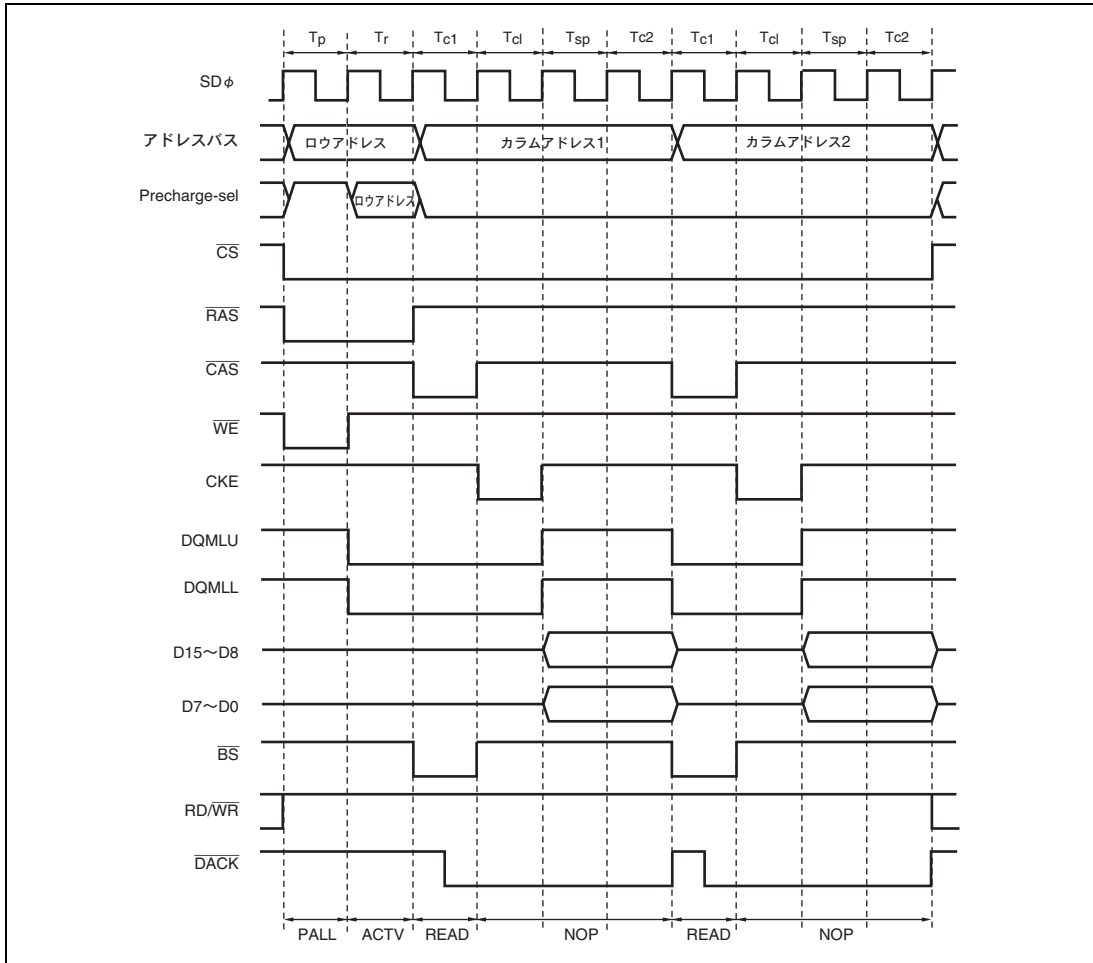


図 6.87 CKSPE=1 のときの $\overline{\text{DACK}}$ 出力タイミング例 (リードアクセス時、CAS レイテンシ 2)

(5) DKC=1 のとき

$\overline{\text{DACK}}$ 出力タイミングは、DKC=1 に設定すると、DKC=0 の設定よりも半ステート早くアサートします。

高速ページアクセスの場合は、Low レベル期間が連続します。このとき、 $\overline{\text{BS}}$ 出力タイミングによりバスサイクルを判断することができます。

図 6.88 に DKC=1、DDS=1 のときの $\overline{\text{DACK}}$ 出力タイミング例、図 6.89 に DKC=1、DDS=0 のときの $\overline{\text{DACK}}$ 出力タイミング例を示します。

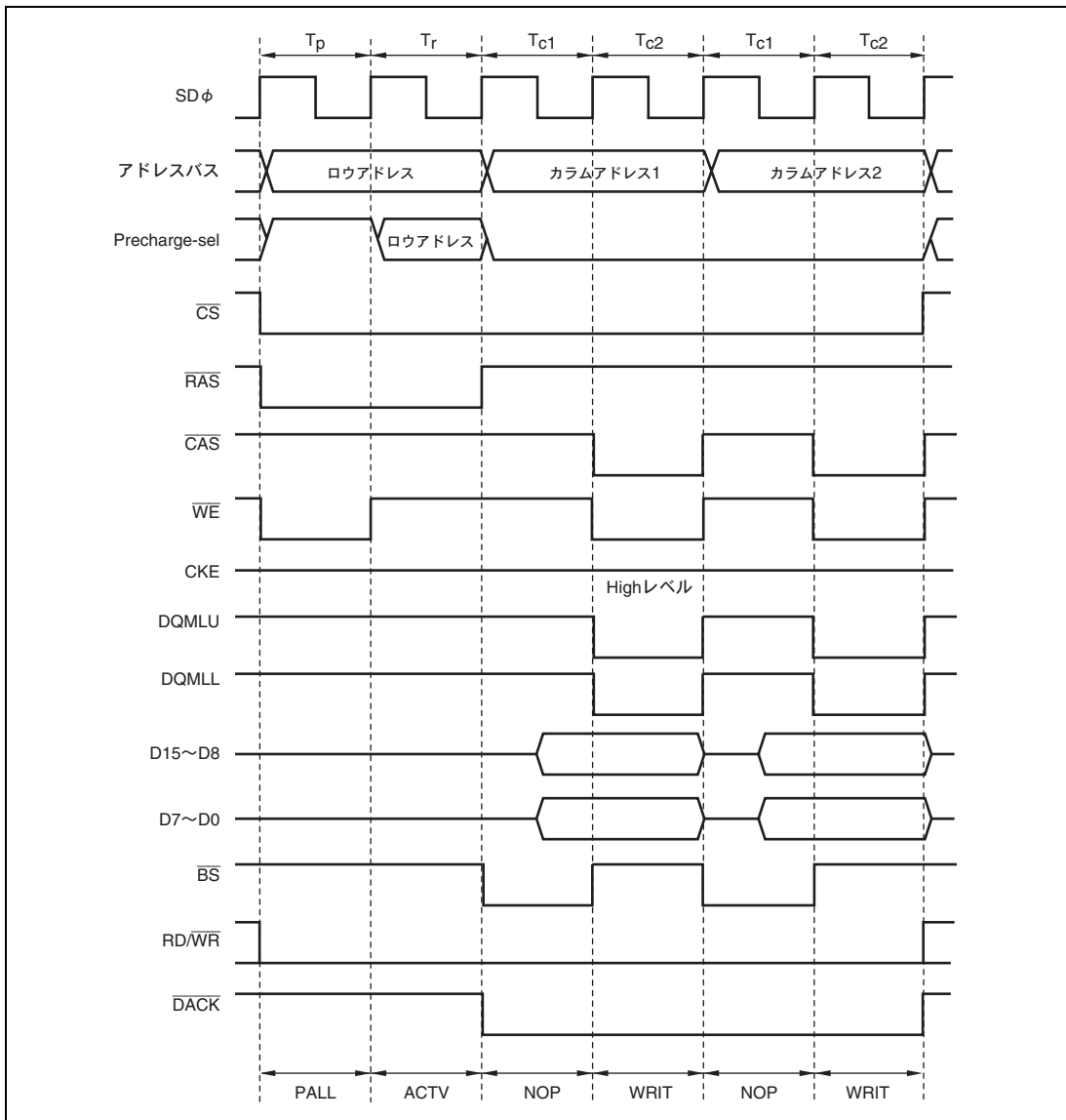


図 6.88 DKC=1、DDS=1 のときの $\overline{\text{DACK}}$ 出力タイミング例 (ライトアクセス時)

6. バスコントローラ (BSC)

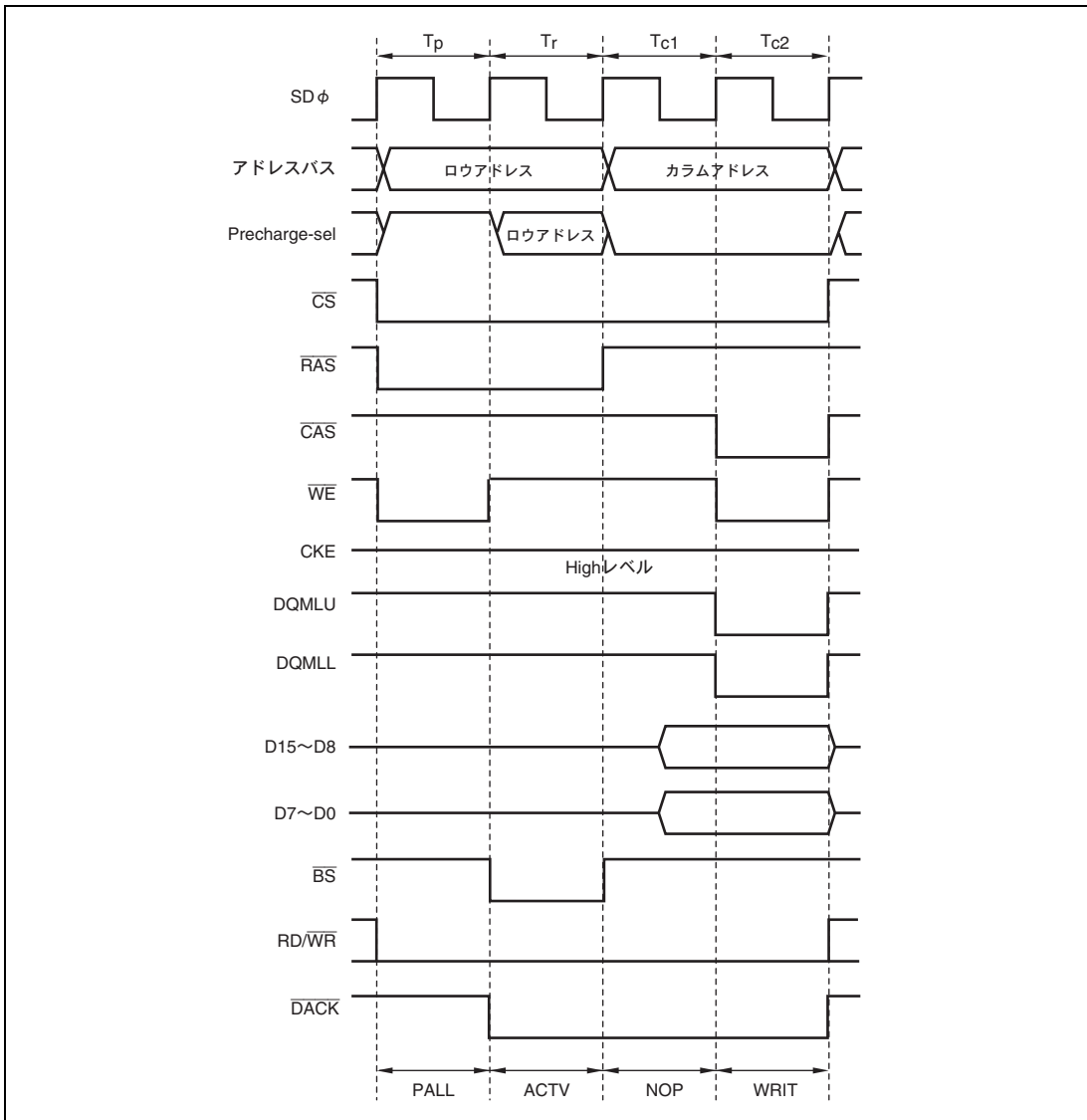


図 6.89 DKC=1、DDS=0 のときの DACK 出力タイミング例 (ライトアクセス時)

6.12 アイドルサイクル

本 LSI は、連続する外部アクセスの間にアイドルサイクルを挿入することが可能です。アイドルサイクルを挿入することにより、例えば出力フローティング時間の大きい ROM へのリードサイクルと、高速メモリや I/O インタフェースとのデータの衝突を防ぐことができます。

6.12.1 動作説明

外部バスサイクルが連続した場合、リード/ライトの組み合わせと先行してアクセスされたエリアを条件として、アイドルサイクルを挿入することができます。アイドルサイクル挿入条件は、次の 4 種類が選択できます。

1. 異なるエリア間の外部リードサイクルが連続して発生したとき
2. 外部リードサイクル後に外部ライトサイクルが連続して発生したとき
3. 外部ライトサイクル後に外部リードサイクルが連続して発生したとき
4. DMACのシングルアドレス転送 (ライトサイクル) 後に外部アクセスが連続して発生したとき

上記の条件において、最大 4 ステートのアイドルサイクルを挿入することができます。挿入するアイドルサイクル数は、先行してアクセスされるデバイスの出力データと後続のデバイスのデータが衝突しないように設定してください。

リード後のアイドルサイクル挿入条件である上記 1.、2.の条件で、挿入可能なアイドルサイクル数は、IDLCR の IDLCA1、IDLCA0 ビット、および IDLCB1、IDLCB0 ビットで設定される A、または B の 2 種類から選択できます。A は 1~4 ステート、B は 0、2~4 ステートのそれぞれ 4 種類が設定可能です。IDLCR の IDLSEL7~IDLSEL0 ビットにより、エリアごとに A、B の選択が可能です。IDLSEL7~IDLSEL0 ビットは、連続する外部バスサイクルの先行してアクセスされるエリアに対応します。

ライト後のアイドルサイクル挿入条件である上記 3.、4.の条件で、挿入可能なアイドルサイクル数は、上記 A の設定により決まります。

リセット解除後、IDLCR の初期値は、上記 1.~4.のすべての条件でアイドルサイクルを 4 サイクル挿入する設定となっています。

表 6.28 に上記 1.~4.の条件と各エリアでのアイドルサイクル挿入数選択を、表 6.29 に A、B のアイドルサイクル挿入数設定と挿入ステート数の対応を示します。

6. バスコントローラ (BSC)

表 6.28 各エリアのアイドルサイクル挿入数選択一覧

挿入条件	ビット設定			先行アクセスのエリア							
	IDLSn		IDLSELn n=0~7	0	1	2	3	4	5	6	7
	n	設定									
異なるエリアの間で連続リード	1	0	—	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
リード後のライト	0	0	—	無効							
		1	0	A	A	A	A	A	A	A	A
			1	B	B	B	B	B	B	B	B
ライト後のリード	2	0	—	無効							
		1		A							
シングルアドレス転送後の外部アクセス	3	0	—	無効							
		1		A							

【記号説明】

A：アイドルサイクル挿入数Aを選択

B：アイドルサイクル挿入数Bを選択

無効：該当する条件ではアイドルサイクルを挿入しない

表 6.29 アイドルサイクルの挿入数一覧

ビット設定値				挿入ステート数
A		B		
IDLCA1	IDLCA0	IDLCB1	IDLCB0	
—	—	0	0	0
0	0	—	—	1
0	1	0	1	2
1	0	1	0	3
1	1	1	1	4

(1) 異なるエリア間での連続リード

IDLCR の IDLS1 ビットを 1 にセットした状態で異なるエリア間の連続リードが発生すると、2 回目のリードサイクルの先頭に、IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 6.90 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は SRAM からのリードサイクルで、それぞれ異なるエリアに配置した場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

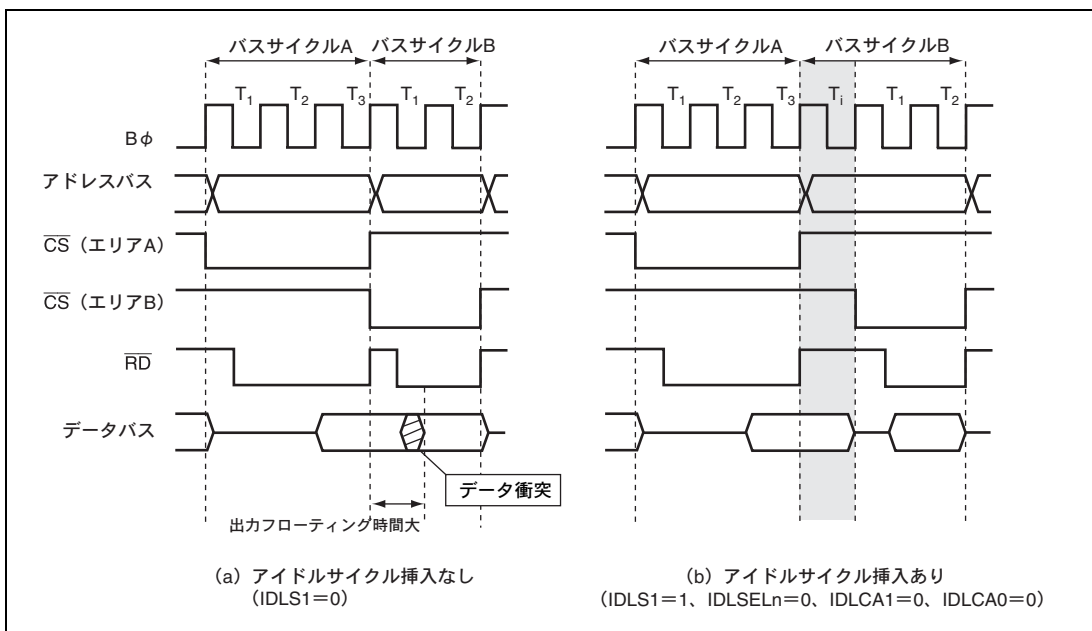


図 6.90 アイドルサイクル動作例 (異なるエリア間での連続リード)

6. バスコントローラ (BSC)

(2) リード後のライト

IDLCR の IDLS0 ビットを 1 にセットした状態で、外部リード後に外部ライトが発生すると、ライトサイクルの先頭に IDLCR の IDLSELn=0 のときは IDLCA1、IDLCA0 ビット、IDLSELn=1 のときは IDLCB1、IDLCB0 ビットに設定したサイクル数のアイドルサイクルが挿入されます (n=7~0)。

図 6.91 に動作例を示します。バスサイクル A は出力フローティング時間の大きい ROM からのリードサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で ROM からのリードデータと CPU のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

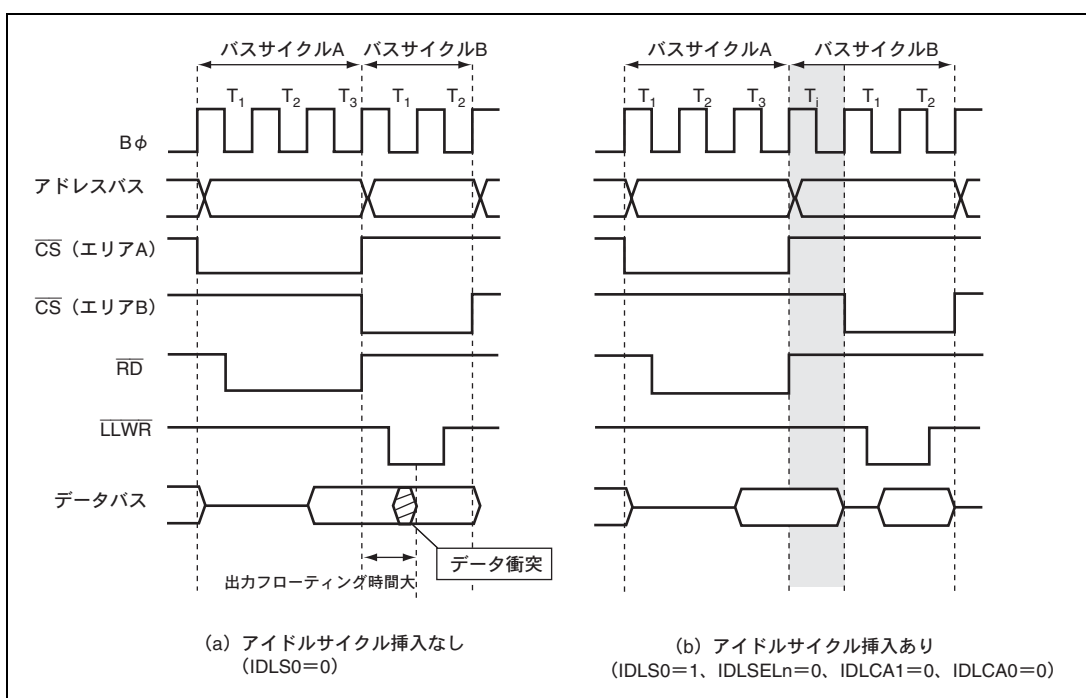


図 6.91 アイドルサイクル動作例 (リード後のライト)

(3) ライト後のリード

IDLCR の IDLS2 ビットを 1 に設定した状態で、外部ライト後に外部リードが発生すると、リードサイクルの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 6.92 に動作例を示します。バスサイクル A は CPU のライトサイクル、バスサイクル B は SRAM からのリードサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で CPU のライトデータと SRAM からのリードデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データの衝突を回避しています。

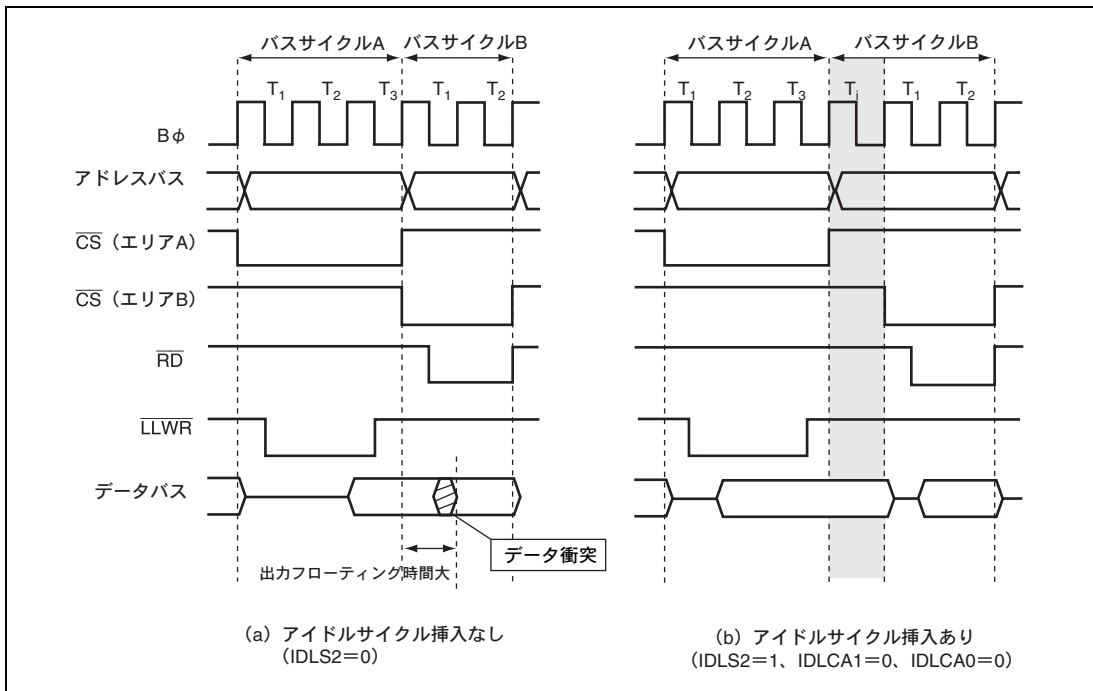


図 6.92 アイドルサイクル動作例 (ライト後のリード)

6. バスコントローラ (BSC)

(4) シングルアドレス転送ライト後の外部アクセス

IDLCR の IDLS3 ビットを 1 に設定した状態で、シングルアドレス転送ライト後に外部アクセスが発生すると、外部アクセスの先頭に IDLCR の IDLCA1、IDLCA0 ビットに設定したサイクル数のアイドルサイクルが挿入されます。

図 6.93 に動作例を示します。バスサイクル A はシングルアドレス転送ライトサイクル、バスサイクル B は CPU のライトサイクルの場合の例です。(a) はアイドルサイクルを挿入しない場合で、バスサイクル B で外部デバイスライトデータと本 LSI のライトデータの衝突が発生しています。これに対し (b) ではアイドルサイクルを挿入し、データ衝突を回避しています。

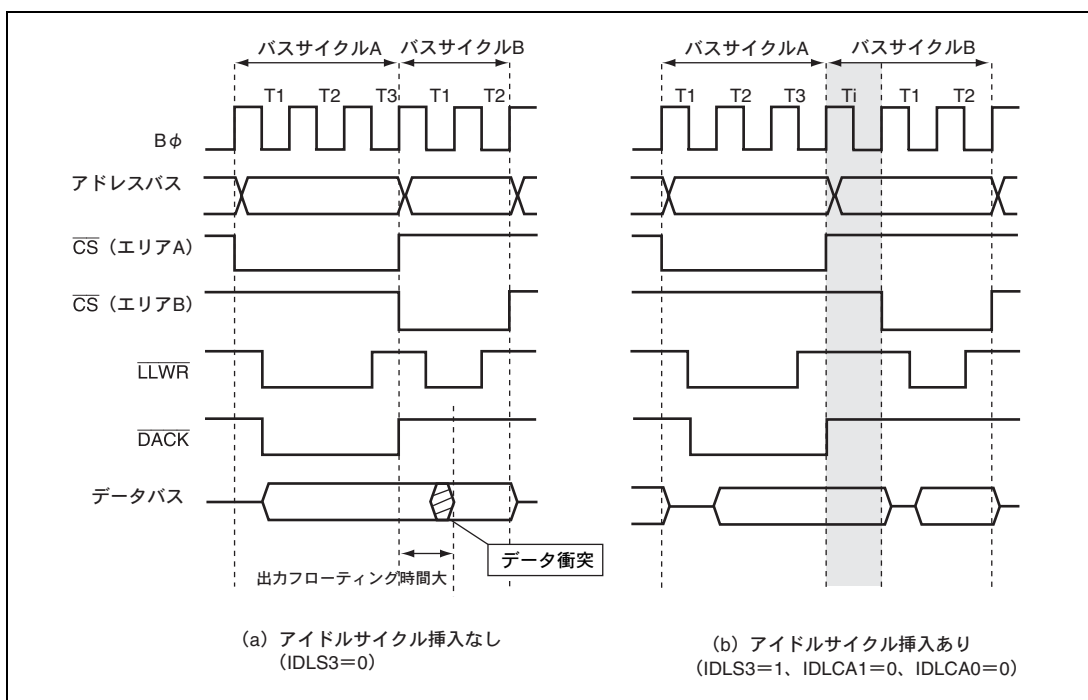


図 6.93 アイドルサイクル動作例 (シングルアドレス転送ライト後のライト)

(5) 外部 NOP サイクルとアイドルサイクル

内部処理などにより外部空間をアクセスしないサイクル（外部 NOP サイクル）をはさんで外部バスサイクルが連続する場合においても、アイドルサイクル挿入条件は有効です。この場合、外部 NOP サイクルはアイドルサイクルの一部としてカウントされます。

図 6.94 に挿入例を示します。

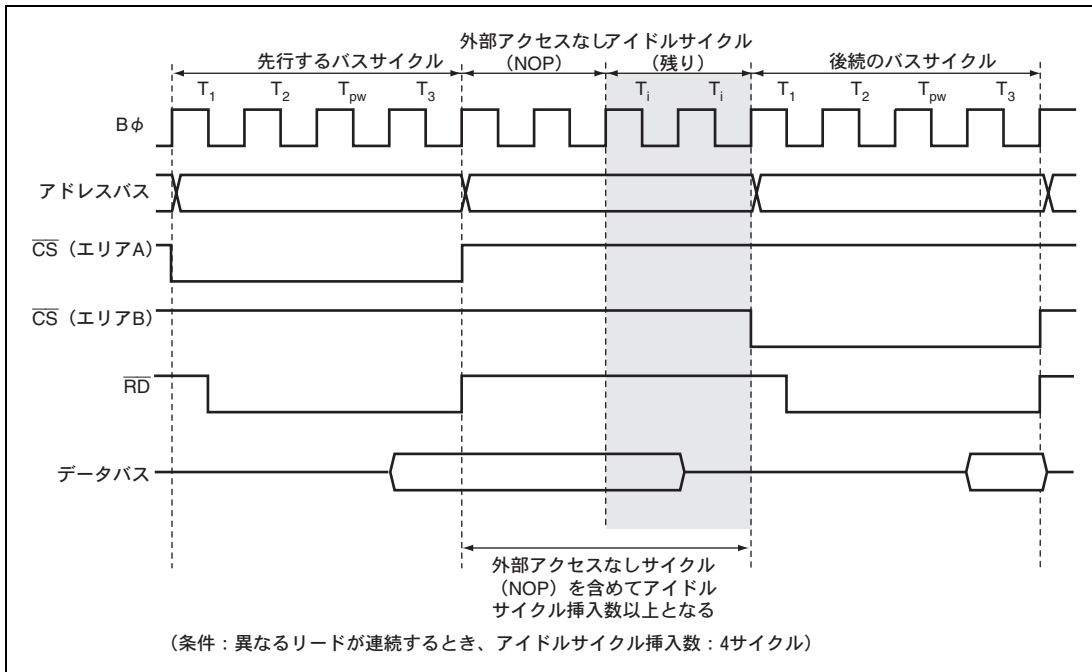


図 6.94 アイドルサイクル挿入例

6. バスコントローラ (BSC)

(6) チップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係

システムの負荷条件によって、 \overline{CS} 信号よりも \overline{RD} 信号が遅れる場合があります。

図 6.95 にチップセレクト (\overline{CS}) 信号とリード (\overline{RD}) 信号の関係を示します。(a) のようにアイドルサイクルを挿入しない設定では、バスサイクル A の \overline{RD} 信号とバスサイクル B の \overline{CS} 信号間でオーバーラップ期間が発生する可能性があります。これに対し (b) のようにアイドルサイクルを挿入する設定にすると、 \overline{RD} 信号と \overline{CS} 信号のオーバーラップ期間を回避することができます。なお、リセット解除後の初期状態は、(b) のアイドルサイクルを挿入する設定となっています。

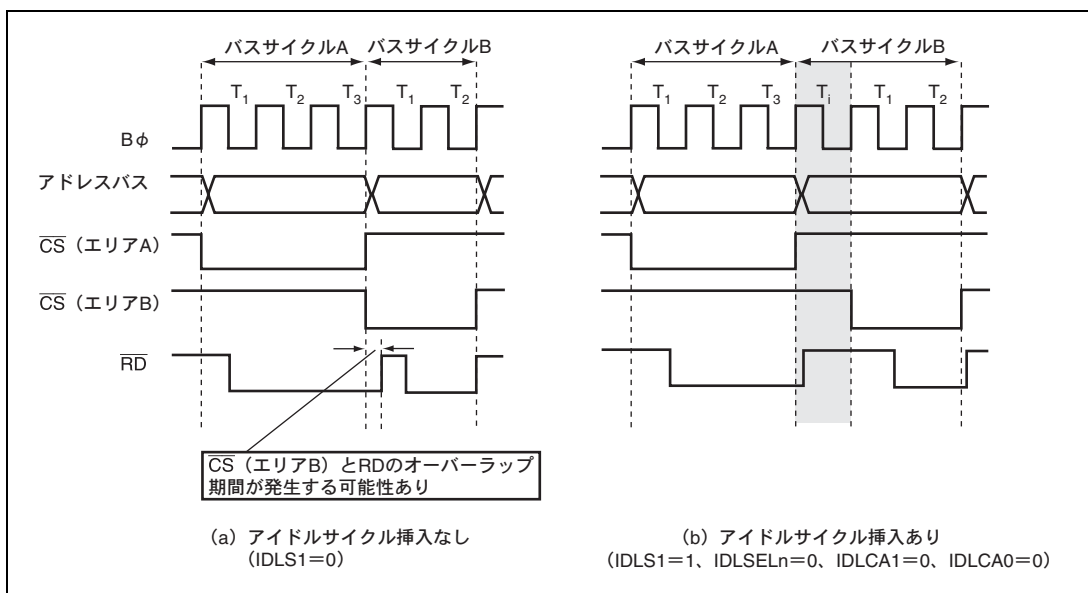


図 6.95 チップセレクト (\overline{CS}) とリード (\overline{RD}) の関係

(7) DRAM 空間/シンクロナス DRAM 空間アクセス時のアイドルサイクル

後続のリードが DRAM 空間/シンクロナス DRAM 空間へのフルアクセスのとき T_p 、 T_r サイクルを含めてアイドルサイクルとします。

図 6.96、図 6.97 に DRAM 空間/シンクロナス DRAM 空間へのフルアクセス時に 4 ステートのアイドルサイクルを挿入した場合のタイミング例を示します。

DRAM/シンクロナス DRAM 空間アクセス時のアイドルサイクルは、プリチャージステート、ロウアドレス出力ステート実行後、設定されたアイドルサイクル挿入後に満たないサイクル数分の T_i がカラムアドレス出力ステートの前に挿入されます。

シンクロナス DRAM 空間へのフルアクセス時は、アイドルサイクル中でも $\overline{CS2}$ は Low レベルを出力します。

RAS ダウンモード時の高速ページアクセスでもアイドルサイクル挿入条件は有効であり、設定に従ってアイドルサイクルが挿入されます。図 6.98 に RAS ダウンモード時にアイドルサイクルを挿入した場合のタイミング例を示します。

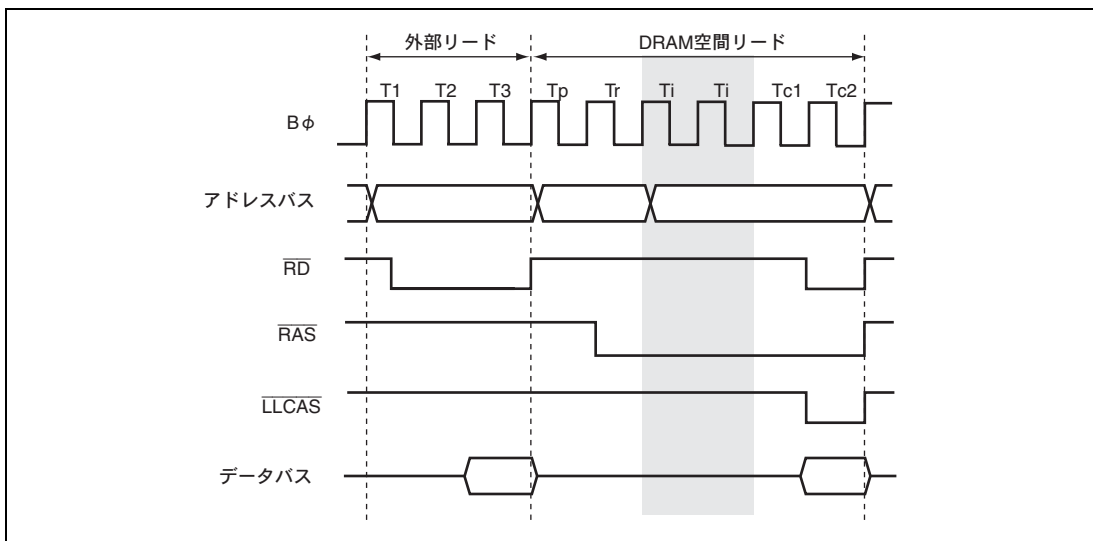


図 6.96 外部リード後の DRAM フルアクセス例 (CAST=0)

6. バスコントローラ (BSC)

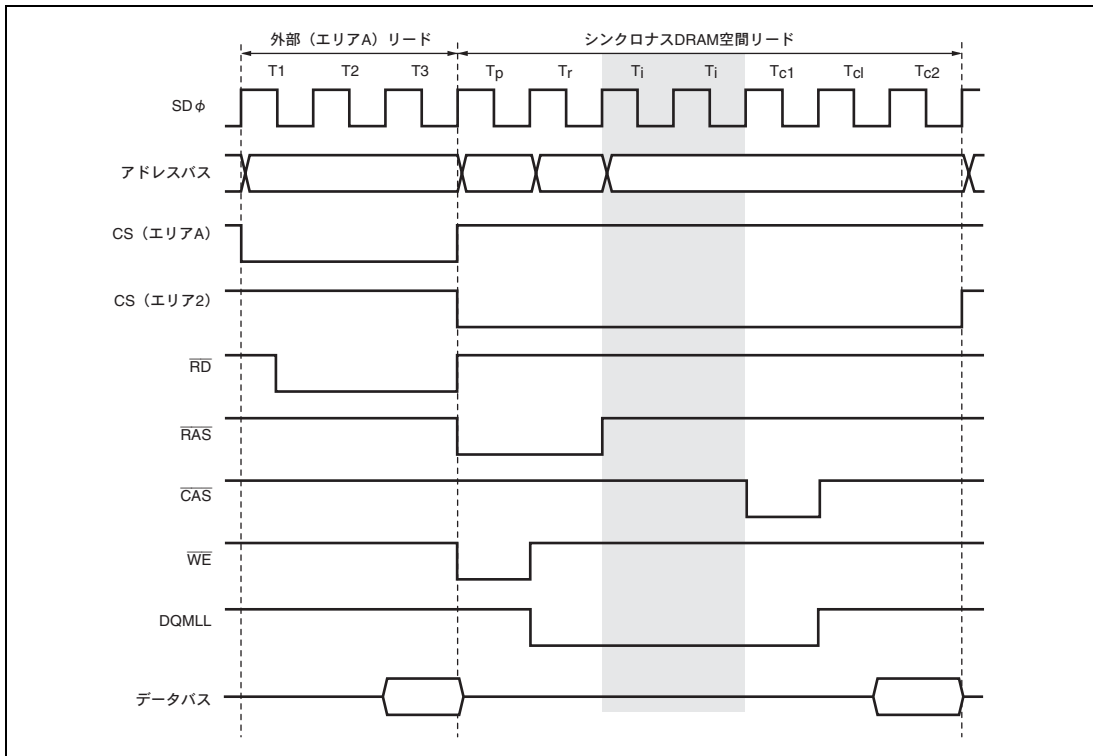


図 6.97 外部リード後のシンクロナス DRAM フルアクセス例 (CAS レイテンシ 2)

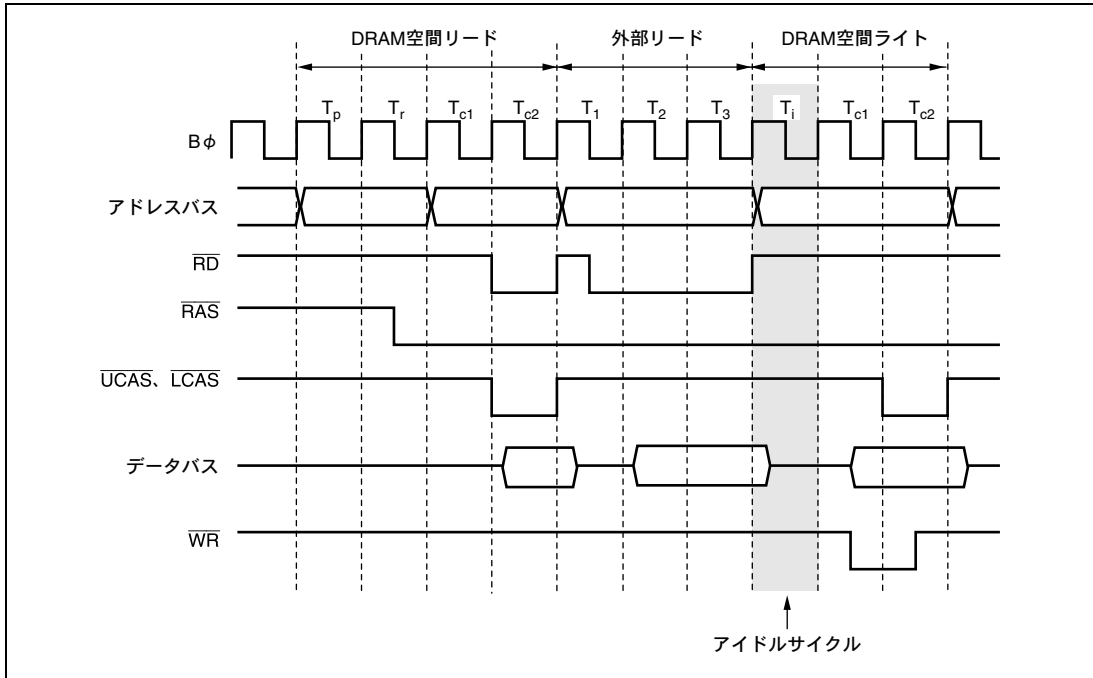


図 6.98 RAS ダウンモード時のアイドルサイクル動作例 (リード後のライト)

6. バスコントローラ (BSC)

表 6.30 通常空間と DRAM 空間/シンクロナス DRAM 空間を混在してアクセスするときのアイドルサイクル

前のアクセス	次のアクセス	IDLS				IDLSEL 7~0	IDLCA		IDLCB		アイドルサイクル
		3	2	1	0		1	0	1	0	
通常空間/ DRAM 空間/ シンクロナス DRAM 空間 リード	通常空間/ DRAM 空間/ シンクロナス DRAM 空間 リード	-	-	0	-	-	-	-	-	-	無効
						0	0	0			1 ステート
							0	1			2 ステート
							1	0			3 ステート
							1	1			4 ステート
						1			0	0	0 ステート
									0	1	2 ステート
									1	0	3 ステート
									1	1	4 ステート
	通常空間/ DRAM 空間/ シンクロナス DRAM 空間 リード	通常空間/ DRAM 空間/ シンクロナス DRAM 空間 ライト	-	-	-	0	-	-	-	-	-
					0	0	0			1 ステート	
						0	1			2 ステート	
						1	0			3 ステート	
						1	1			4 ステート	
						1			0	0	0 ステート
									0	1	2 ステート
									1	0	3 ステート
									1	1	4 ステート
通常空間/ DRAM 空間/ シンクロナス DRAM 空間 ライト		通常空間/ DRAM 空間/ シンクロナス DRAM 空間 リード	-	0	-	-	-	-	-	-	-
						0	0			1 ステート	
						0	1			2 ステート	
						1	0			3 ステート	
						1	1			4 ステート	
シングル アドレス転送 ライト	通常空間/ DRAM 空間/ シンクロナス DRAM 空間 ライト	0	-	-	-	-	-	-	-	-	無効
						0	0			1 ステート	
						0	1			2 ステート	
						1	0			3 ステート	
						1	1			4 ステート	

6.12.2 アイドルサイクルでの端子状態

表 6.31 にアイドルサイクルでの端子状態を示します。

表 6.31 アイドルサイクルでの端子状態

端子名	端子の状態
A23~A0	直後のバスサイクルの内容
D15~D0	ハイインピーダンス
\overline{CSn} (n=7~0)	High レベル*1
\overline{LUCAS} 、 \overline{LLCAS}	High レベル
\overline{DQMLU} 、 \overline{DQMLL}	High レベル*2
\overline{AS}	High レベル
\overline{RD}	High レベル
\overline{BS}	High レベル
$\overline{RD}/\overline{WR}$	High レベル*3
\overline{AH}	Low レベル
\overline{LHWR} 、 \overline{LLWR}	High レベル
\overline{LUB} 、 \overline{LLB}	High レベル
\overline{CKE}	High レベル
\overline{OE}	High レベル
\overline{RAS}	High/Low レベル*4
\overline{CAS}	High レベル
\overline{WE}	High レベル
\overline{DACKn} (n=3~0)	High レベル

- 【注】
- *1 シンクロナス DRAM のフルアクセスでは Low レベルとなります。
 - *2 シンクロナス DRAM のフルアクセスリードでは Low レベルとなります。
 - *3 DRAM/シンクロナス DRAM 空間でのフルアクセス、ライト時は Low レベルになります。
 - *4 DRAM 空間アクセス/DRAM 空間以外のアクセス、RAS アップモード/RAS ダウンモードにより状態が異なります。図 6.104、図 6.106 を参照してください。

6.13 バス解放

本 LSI は、外部からのバス権要求により外部バスを解放することができます。外部バス権解放状態では、外部アクセスが発生しない限り内部バスマスタは動作を継続します。

また、外部バス権解放状態で外部に対して $\overline{\text{BREQO}}$ 信号を Low レベルにしてバス権を要求することができます。

6.13.1 動作説明

外部拡張モードで BCR1 の BRLE ビットを 1 に、該当する端子の ICR ビットを 1 にセットすると、外部にバス権を解放することができます。 $\overline{\text{BREQ}}$ 端子を Low レベルにすると、本 LSI に外部バス権を要求します。 $\overline{\text{BREQ}}$ 端子をサンプリングすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を Low レベルにして、アドレスバス、データバス、バス制御信号をハイインピーダンスにして、外部バス権解放状態になります。ICR については「9. I/O ポート」を参照してください。

外部バス権解放状態で、CPU、DTC、DMAC は、内部バスを使用して内部アクセスを行うことができます。CPU、DTC、DMAC のいずれかが外部アクセスを行うと、一旦バスサイクルの起動を保留し、外部バスマスタからのバス権要求が取り下げられるのを待ちます。また、外部バス権解放状態でリフレッシュ要求が発生した場合、ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、クロック周波数を設定するため SCKCR にライトアクセスした場合も外部バスマスタのバス権要求が取り下げられるまでリフレッシュ制御、およびソフトウェアスタンバイ、全モジュールクロックストップ制御、クロック周波数の設定は保留されます。SCKCR については「22. クロック発振器」を参照してください。

BCR1 の BREQOE ビットが 1 にセットされていると、以下の要求が発生したときに $\overline{\text{BREQO}}$ 端子を Low レベルにし、外部にバス権要求を取り下げよう要求することができます。

- CPU、DTC、DMAC のいずれかが外部アクセスをしようとしたとき
- リフレッシュ要求が発生したとき
- ソフトウェアスタンバイモードまたは全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行されたとき
- クロック周波数を設定するため SCKCR にライトアクセスしたとき

$\overline{\text{BREQ}}$ 端子を High レベルにすると、所定のタイミングで $\overline{\text{BACK}}$ 端子を High レベルにし、外部バス権解放状態を終了します。

外部バス権解放要求、外部アクセス、リフレッシュが同時に発生したときの優先順位は

(高) リフレッシュ > 外部バス権解放 > CPU、DTC、DMAC の外部アクセス (低)

となります。

6.13.2 外部バス権解放状態での端子状態

表 6.32 に外部バス権解放状態での端子状態を示します。

表 6.32 バス権解放状態での端子状態

端子名	端子の状態
A23~A0	ハイインピーダンス
D15~D0	ハイインピーダンス
\overline{BS}	ハイインピーダンス
\overline{CSn} (n=7~0)	ハイインピーダンス
\overline{AS}	ハイインピーダンス
AH	ハイインピーダンス
$\overline{RD}/\overline{WR}$	ハイインピーダンス
\overline{LUCAS} , \overline{LLCAS}	ハイインピーダンス
\overline{RD}	ハイインピーダンス
\overline{RAS}	ハイインピーダンス
CAS	ハイインピーダンス
\overline{WE}	ハイインピーダンス
DQMLU, DQMLL	ハイインピーダンス
CKE	ハイインピーダンス
\overline{OE}	ハイインピーダンス
\overline{LUB} , \overline{LLB}	ハイインピーダンス
\overline{LHWR} , \overline{LLWR}	ハイインピーダンス
\overline{DACKn} (n=3~0)	High レベル

6.13.3 遷移タイミング

図 6.99、図 6.100 にバス権解放状態への遷移タイミングを示します。

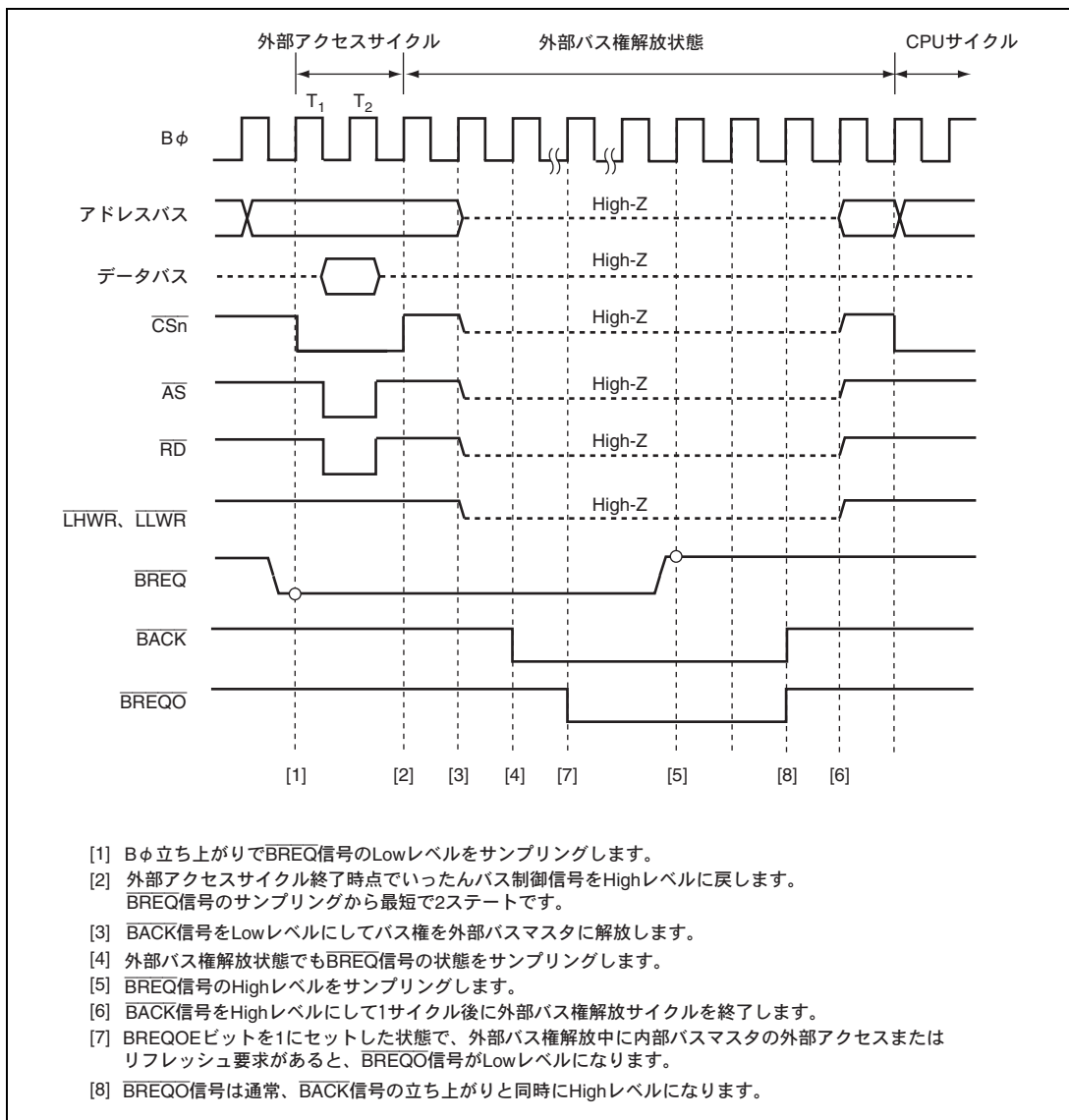


図 6.99 バス権解放状態遷移タイミング
(シンクロナス DRAM インタフェースを使用しない場合)

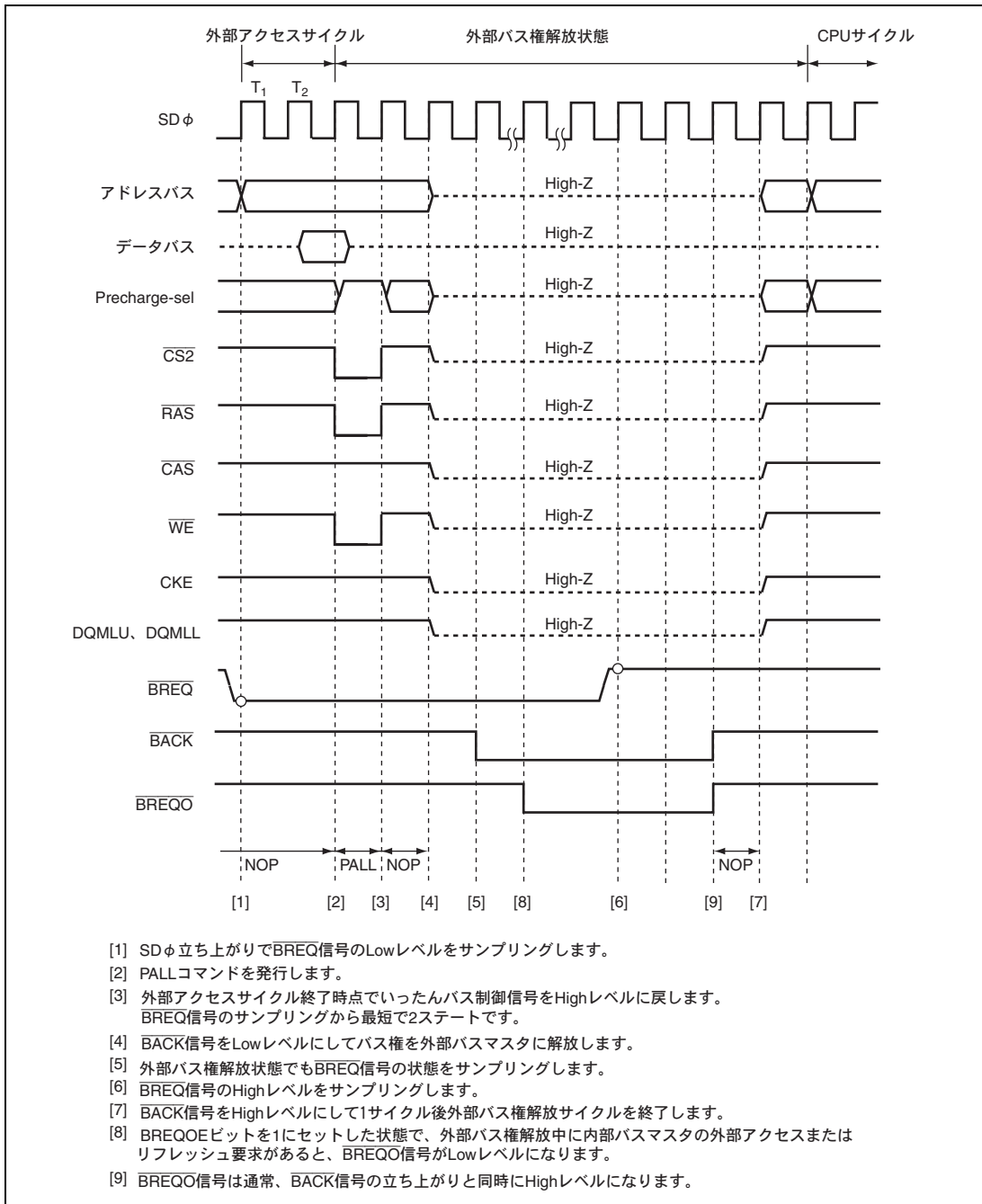


図 6.100 バス権解放状態遷移タイミング
(シンクロナス DRAM インタフェースを使用した場合)

6.14 内部バス

6.14.1 内部アドレス空間へのアクセス

本 LSI の内部アドレス空間には、内蔵 ROM 空間、内蔵 RAM 空間、内蔵周辺モジュールレジスタ空間があり、それぞれアクセスに要するサイクル数が異なります。

表 6.33 に内蔵メモリ空間のアクセスサイクル数を示します。

表 6.33 内蔵メモリ空間のアクセスサイクル数

アクセス対象	アクセス	サイクル数
内蔵 ROM 空間	リード	11φサイクル
	ライト	31φサイクル
内蔵 RAM 空間	リード	11φサイクル
	ライト	11φサイクル

内蔵周辺モジュールレジスタへのアクセスは、レジスタによってアクセスサイクル数が異なります。バスマスタの動作クロックと周辺モジュールの動作クロックが 1:n に分周されている場合、外部バスクロックの分周と同様にレジスタアクセスに 0~n-1 の分周クロック同期化サイクルが挿入されます。

表 6.34 に内蔵周辺モジュールレジスタ空間のアクセスサイクル数を示します。

表 6.34 内蔵周辺モジュールレジスタ空間のアクセスサイクル数

アクセス対象	サイクル数		ライトデータバッファ機能
	リード	ライト	
DMAC のレジスタ	21φ		無効
MCU 動作モード、クロック発振器、消費電力制御のレジスタ、割り込みコントローラ、バスコントローラ、DTC のレジスタ	21φ	31φ	無効
I/O ポートの PFCR、WDT のレジスタ	2Pφ	3Pφ	無効
I/O ポートの PFCR、PORTM 以外のレジスタ、TPU、PPG、TMR、SCI0~SCI2、SCI4、A/D、D/A のレジスタ	2Pφ		有効
I/O ポートの PORTM のレジスタ、USB、SCI5、SCI6	3Pφ		有効

6.15 ライトデータバッファ機能

6.15.1 外部ライトデータバッファ機能

本 LSI は外部データバスにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、外部ライトおよび DMAC シングルアドレス転送と、内部アクセスを並行して実行することができます。BCR1 の WDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。

図 6.101 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、外部ライトまたは DMAC シングルアドレス転送が 2 ステート以上続き、次に内部アクセスがある場合は最初の 2 ステートは外部ライトのみが実行されますが、次のステートから外部ライトの終了を待たずに内部アクセス（内蔵メモリ、内部 I/O レジスタのリード/ライト）が並行して実行されます。

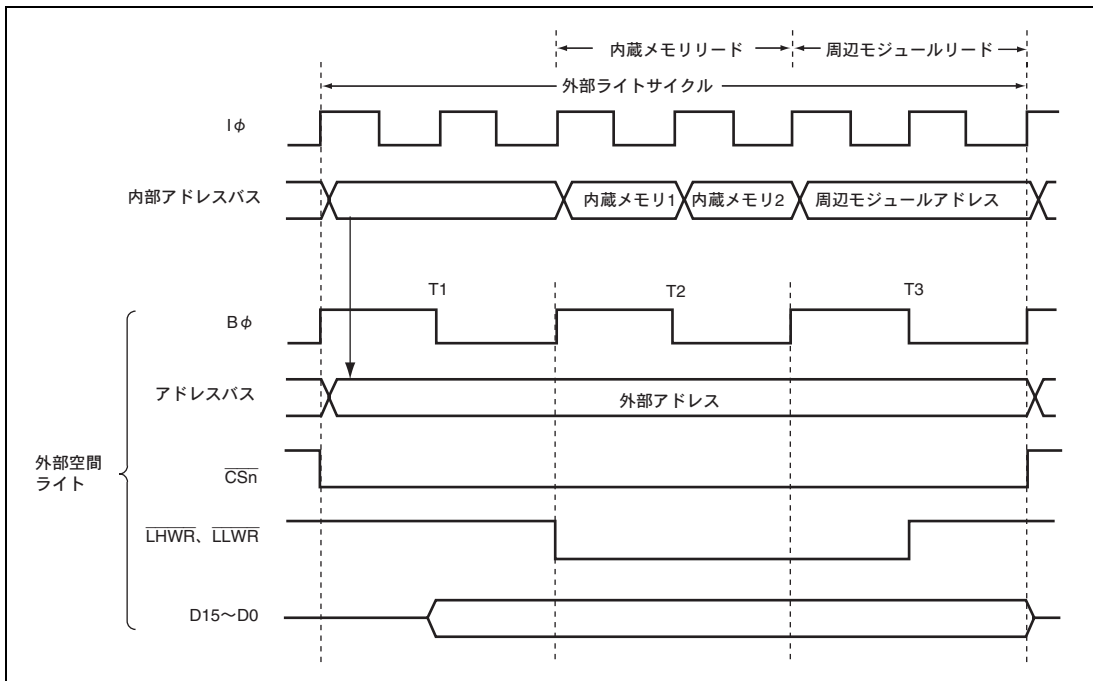


図 6.101 外部ライトデータバッファ機能使用時のタイミング例

6.15.2 周辺モジュールライトデータバッファ機能

本 LSI は、周辺モジュールアクセスのためにライトデータバッファ機能を備えています。ライトデータバッファ機能を使用すると、周辺モジュールライトサイクルと、内蔵メモリおよび外部アクセスを並行して実行することができます。BCR2 の PWDBE ビットを 1 にセットすると、ライトデータバッファ機能を使用することができます。ライトデータバッファ機能が有効となる周辺モジュールレジスタ空間は、「6.14 内部バス」の表 6.26 を参照してください。

図 6.102 にライトデータバッファ機能を使用したときのタイミング例を示します。この機能を使用したとき、内部 I/O レジスタライトが 2 ステート以上続き、次に内蔵 RAM、内蔵 ROM および外部アクセスがある場合は最初の 2 ステートは内部 I/O レジスタライトのみが実行されますが、次のステートから内部 I/O レジスタライトの終了を待たずに内蔵メモリ外部アクセスが並行して実行されます。

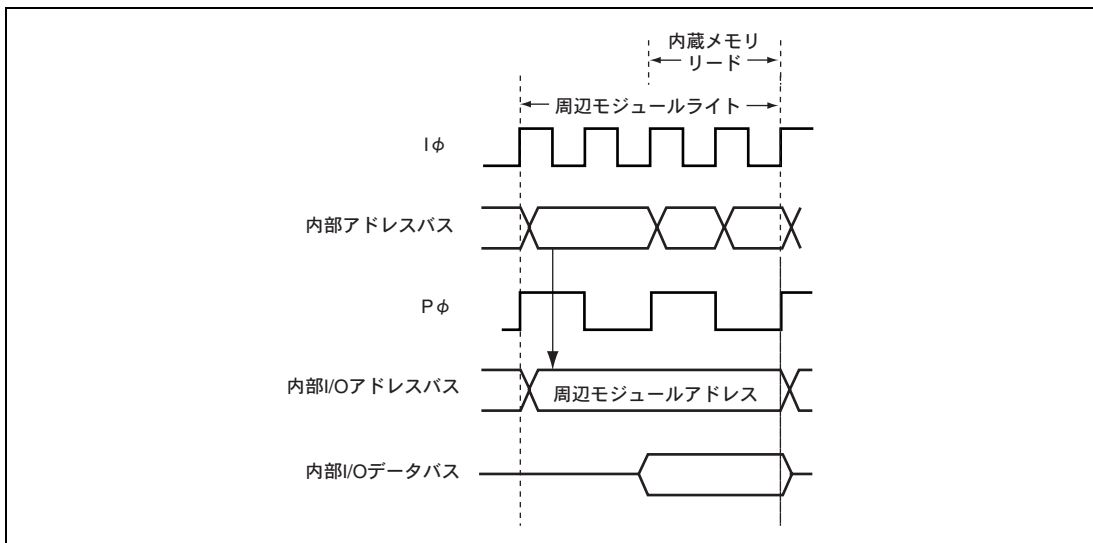


図 6.102 周辺モジュールライトデータバッファ機能使用時のタイミング例

6.16 バスアービトレーション

本 LSI は、バスマスタの動作を調停 (バスアービトレーション) するバスアービタを内蔵しています。バス調停は、内部アクセスと外部アクセスのそれぞれにバスアービタを内蔵し、独立に制御しています。内部バスアービタの対象は、CPU、DTC、DMAC のそれぞれのアクセスです。外部バスアービタの対象は、CPU、DTC、DMAC の外部アクセス、リフレッシュ、外部バス権解放要求 (外部バスマスタ) です。

バスアービタは所定のタイミングで優先順位を判定し、バス権要求アクノリッジ信号によりバスの使用を許可します。

6.16.1 動作説明

バスアービタは、バスマスタのバス権要求信号を検出して、バス権が要求されていれば、そのバスマスタにバス権要求アクノリッジ信号を与えます。複数のバスマスタからバス権要求があれば、最も優先順位の高いものにバス権要求アクノリッジ信号を与えます。バス権要求アクノリッジ信号を受け取ったバスマスタは、以後この信号が取り消されるまでバスを占有します。

バスマスタの優先順位は以下のとおりです。

内部バスアービトレーション：

(高) DMAC>DTC>CPU (低)

外部バスアービトレーション：

(高) リフレッシュ>外部バス権解放要求>CPU、DTC、DMAC の外部アクセス (低)

ただし、BCR2 の IBCCS ビットを 1 にセットすることにより、DMAC または DTC のアクセスが連続する場合に CPU の優先順位を高くして、DMAC または DTC と交互にバス権を取ることができます。このとき、DMAC と DTC 間の優先順位に変化はありません。また、BCR2 の EBCCS ビットを 1 にセットすることにより、外部バス権解放要求、リフレッシュが連続する場合に CPU、DTC、DMAC の外部アクセスの優先順位を高くして、交互に実行することができます。このときリフレッシュと外部バス権解放要求間の優先順位に変化はありません。

なお、内部バスマスタの内部バスアクセスと、外部バス権解放、リフレッシュは、並行して実行することができます。

6.16.2 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタには、バス権を譲ることができるタイミングがあります。

6.16.3 バス権移行タイミング

バス権を獲得して動作しているバスマスタよりも優先順位の高いバスマスタからのバス権要求があったときでも、すぐにバス権が移行するとは限りません。各バスマスタには、バス権を譲ることができるタイミングがあります。

(1) CPU

CPU は最も優先順位が低いバスマスタで、DTC、DMAC からのバス権要求があると、内部バスアービタはバス権を CPU からバス権要求のあったバスマスタに移行します。

バス権が移行するタイミングはバスサイクルの切れ目です。スリープモード中はクロックに同期してバス権を移行します。ただし、次の場合は、バス権の移行を禁止しています。

- ワード、ロングワードサイズのアクセスを分割して実行しているとき
- スタック操作を複数バスサイクルで実行しているとき
- メモリ間転送命令、ブロック転送命令、およびTAS命令で、転送データのリードとライトの期間
(ブロック転送命令は、ライトサイクルと次の転送データのリードサイクルの間は、バス権を移行することができます。)
- ビット操作命令やメモリ演算命令で、対象のデータをリードしてからライトするまでの期間
(命令の条件によりライトを行わない場合も、ライトに相当するステートまでの期間が該当します。)

(2) DTC

DTC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DTC は、一旦バス権を取得すると一連の転送処理サイクルを連続して実行します。この期間に DTC より優先順位の高いバスマスタからのバス権要求があるとバス権を移行します。BCR2 の IBCCS ビットが 1 にセットされているときは、バス権を CPU に移行します。

ただし、以下の場合は、バス権の移行を禁止しています。

- 転送情報のリード中
- 1回のデータを転送中
- 転送情報のライトバック中

起動要求に対応する一連の転送処理サイクルが終了すると次のサイクルはバス権を解放します。

(3) DMAC

DMAC は起動要求が発生すると内部バスアービタに対してバス権を要求します。外部バス空間にアクセスする場合は、内部バスのバス権を取得した上で外部バスアービタに対してバス権を要求します。

DMAC の転送サイクルには、一旦バス権を取得すると連続して転送を行う場合と、転送サイクルごとにバス権を解放する場合があります。

バス権を解放せずに連続して実行する転送サイクルには、次の場合があります。

- デュアルアドレスモードのリードサイクルから、リードサイクルに対応するライトサイクルの期間

DMAC より優先順位の高いバスマスタからのバス権要求がなく、BCR2 の IBCCS ビットが 0 にクリアされているとき、バス権を解放せずに連続して実行する転送サイクルには、以下の場合があります。

- ブロック転送モードの1ブロック転送中
- バーストモードの転送中

上記以外の転送サイクルの場合、バスサイクルが終了した時点でバス権を移行します。

(4) 外部バス権解放

BCR1 の BRLE ビットを 1 に該当する端子の ICR ビットを 1 にセットした状態で、 $\overline{\text{BREQ}}$ 端子が Low レベルとなって外部バス権解放要求が起こるとバスアービタに対してバス権を要求します。

外部バス権解放は、外部バスサイクルが終了した時点で行うことができます。

(5) リフレッシュ

エリア 2 を DRAM 空間またはシンクロナス DRAM 空間に設定し、REFCR の RFSHE ビットを 1 にセットしたときに、RTCNT がカウントアップされ RTCOR の値と一致した時点で、バスアービタに対してバス権を要求します。

リフレッシュは、外部バスサイクルが終了した時点で挿入されます。リフレッシュは連続して挿入されることはありません。リフレッシュが挿入されると、その後、一旦バス権は他のバスマスタに移行します。その時、他のバスマスタのバス権要求がない場合は NOP サイクルが挿入されます。

6.17 リセットとバスコントローラ

リセットで、バスコントローラを含めて本 LSI はその時点でリセット状態になります。実行中のバスサイクルは途中で打ち切られます。

6.18 使用上の注意事項

(1) レジスタの設定

バスコントローラのレジスタの設定は、外部空間をアクセスする前に設定してください。外部 ROM 起動の場合は、外部 ROM からの命令フェッチ以外の外部アクセスが発生する前に設定してください。

(2) モード設定

シンクロナス DRAM のバーストリード/バーストライトのモードは対応していません。

シンクロナス DRAM のモードレジスタを設定する際は、バーストリード/シングルライトを設定し、バースト長は 1 としてください。

(3) 外部バス権解放機能と全モジュールクロックストップモード

本 LSI は、MSTPCRA の ACSE ビットを 1 にセットし、すべての周辺モジュールのクロックを停止するか (MSTPCRA、MSTPCRB=H'FFFFFFF)、または 8 ビットタイムだけを動作させて (MSTPCRA、B=H'F[C~F]FFFFFF)、SLEEP 命令を実行し、スリープ状態へ遷移すると、バスコントローラと I/O ポートもクロックを停止する全モジュールクロックストップモードへ遷移します。詳細は「23. 低消費電力」を参照してください。

全モジュールクロックストップモードでは、外部バス権解放機能は停止します。スリープモードで外部バス権解放機能を使用する場合は、MSTPCRA の ACSE ビットを 0 にクリアしてください。

また、外部バス権解放状態で全モジュールクロックストップモードへ遷移するための SLEEP 命令が実行された場合、全モジュールクロックストップモードへの遷移は保留され、バス権復帰後に遷移します。

(4) 外部バス権解放機能とソフトウェアスタンバイ

本 LSI は、バス解放中でも、プログラムが内蔵 ROM などで動作していて外部アクセスが起きない場合には、内部バスマスタの動作は停止しません。外部バス解放中にソフトウェアスタンバイモードに遷移するための SLEEP 命令が実行された場合、ソフトウェアスタンバイモードへの遷移は保留され、バス権復帰後に遷移します。

また、ソフトウェアスタンバイモードではクロック発振も停止するため、ソフトウェアスタンバイ中に $\overline{\text{BREQ}}$ が Low レベルとなり、外部バス解放要求があってもソフトウェアスタンバイモードから復帰するまで外部バス解放に応答できません。

ソフトウェアスタンバイ中は、 $\overline{\text{BACK}}$ 、 $\overline{\text{BREQ0}}$ が Hi-Z となりますのでご注意ください。

(5) 外部バス権解放機能と CBR リフレッシュ/オートリフレッシュ

外部バス権解放中には CBR リフレッシュ/オートリフレッシュを実行することができません。BCR1 の BREQOE ビットを 1 にセットしておくこと、CBR リフレッシュ/オートリフレッシュ要求が発生したときに、 $\overline{\text{BREQ0}}$ 信号を出力することができます。

(6) $\overline{\text{BREQO}}$ 出カタイミング

BREQOE ビットに 1 をセットして $\overline{\text{BREQO}}$ 信号を出力する場合、 $\overline{\text{BACK}}$ 信号と同時に $\overline{\text{BREQO}}$ が Low レベルになる場合があります。これは、本 LSI が $\overline{\text{BREQO}}$ の Low レベルをサンプリングして、内部のバス権を調停している間に、すでに次の外部アクセス要求が発生した場合に起こります。

(7) リフレッシュの設定

シングルチップ起動モードの場合は REFCR の RFSHE ビットの設定は SYSCR の EXPE ビットを 1 にセットしてから行ってください。SYSCR については「3. MCU 動作モード」を参照してください。

(8) リフレッシュタイマの設定

REFCR の RTCK2~RTCK0 ビットの設定は、RTCNT および RTCOR を設定した後に行ってください。また、RTCNT および RTCOR を変更する場合は、カウント動作を停止した状態で行ってください。RTCK2~RTCK0 ビットの変更は外部バス権解放を禁止し、ライトデータバッファ機能使用時はライトデータバッファ機能を無効にし外部空間をリードした後に行ってください。

(9) リフレッシュタイマとインターバルタイマの切り替え

REFCR の RFSHE ビットを 1 から 0 に変更する場合、ビットの変更が反映されるまでの期間、リフレッシュサイクルが挿入される場合があります。その後、RTCNT をインターバルタイマとして使用する場合、コンペアマッチフラグ (CMF) は CMF=1 となっている場合がありますので CMIE=1 とする前に状態をご確認ください。

(10) DRAM インタフェースの RAS ダウンモードとソフトウェアスタンバイ

セルフリフレッシュ機能を使用せず、SBYCR の OPE=0 の設定でソフトウェアスタンバイモードに遷移する場合には、RAS アップモード (RCDM=0) の状態で行ってください。RAS ダウンモード (RCDM=1) を使用している場合は、RCDM=0 にしてから SLEEP 命令を実行してください。RAS ダウンモードはソフトウェアスタンバイモードからの復帰後に再度設定してください。SBYCR については、「23. 低消費電力」を参照してください。

(11) DRAM/シンクロナス DRAM の RAS ダウンモードとクロック周波数の設定

クロック周波数の設定のため SCKCR へライトアクセスするときは、RAS アップモード (RCDM=0) の状態で行ってください。RAS ダウンモード (RCDM=1) を使用している場合は、RCDM=0 にしてから SCKCR にライトしてください。RAS ダウンモードはクロック周波数の設定後に再度設定してください。SCKCR については、「22. クロック発振器」を参照してください。

(12) シンクロナス DRAM 空間へのクラスタ転送

クラスタ転送モードは CAS レイテンシ 2 のシンクロナス DRAM に対して使用可能です。クラスタ転送モードでシンクロナス DRAM を使用する場合はレイテンシ 2 のシンクロナス DRAM を使用してください。また、クラスタ転送モードでは TRWL ビットによるライトプリチャージ出力遅延機能は使用できません。必ず、TRWL ビットを 0 にクリアして使用ください。

6. バスコントローラ (BSC)

7. DMA コントローラ (DMAC)

本 LSI は、4 チャンネルの DMA コントローラ (DMAC) を内蔵しています。

7.1 特長

- 最大4Gバイトのアドレス空間をアクセス可能
- データ転送単位はバイト、ワード、またはロングワードを選択可能
- 総転送サイズは最大4Gバイト (4,294,967,295バイト) 設定可能
総転送サイズを設定しないフリーランニングモードも選択可能
- DMACの起動方法は、オートリクエスト、内蔵モジュール割り込み、外部リクエストを選択可能
オートリクエスト：CPUより起動 (サイクルスチールモードとバーストモードの選択が可能)
内蔵モジュール割り込み：各種内蔵周辺モジュールからの割り込み要求を起動要因として選択可能
外部リクエスト： \overline{DREQ} 信号のLowレベル検出、または立ち下がりエッジ検出を選択可能
4チャンネルすべて外部リクエストを受け付け可能
(ブロック転送モードの場合は、Lowレベル検出のみ設定可能)
- アドレスモードはデュアルアドレスモード、シングルアドレスモードを選択可能
デュアルアドレスモード：転送元、転送先双方をアドレス指定しデータを転送
シングルアドレスモード：転送元、または転送先の周辺デバイスを \overline{DACK} 信号でアクセスし、
もう一方をアドレス指定してデータを転送
- 転送モードはノーマル転送モード、リピート転送モード、ブロック転送モードを選択可能
ノーマル転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピート転送モード：1バイト/1ワード/1ロングワードを1回の転送要求で転送
リピートサイズ分、データを転送すると転送開始時のアドレスに復帰
リピートサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能です。
ブロック転送モード：1ブロックのデータを1回の転送要求で転送
ブロックサイズは最大64k回 (65,536バイト/ワード/ロングワード) 設定可能です。
- 拡張リピートエリア機能 (転送アドレスレジスタの上位ビットの値を固定して特定範囲のアドレス値を繰り返させ、リングバッファなどのデータ転送を行う) を選択可能
拡張リピートエリアには、1ビット (2バイト) ~27ビット (128Mバイト) を転送元、転送先別に設定可能
- アドレス更新は、1、2または4の増減、固定、オフセット加算を選択可能
オフセット加算でアドレスを更新させると、途中のアドレスを飛ばしたデータ転送可能

7. DMA コントローラ (DMAC)

- ワードデータや、ロングワードデータを各データ境界から外れたアドレスに転送可能
データ転送時にアドレスに応じた最適なデータ (バイトやワード) に分割して転送可能
- CPUに2種類の割り込み要求を発生
転送終了割り込み: 転送カウンタで設定したデータ数を転送終了後に発生
転送エスケープ終了割り込み: 残る総転送サイズが1回の転送要求で転送する設定サイズを下回ったとき、
リピートサイズ分のデータ転送を終了したとき、または拡張リピートエリアが
オーバーフローしたときに発生

DMAC のブロックを図 7.1 に示します。

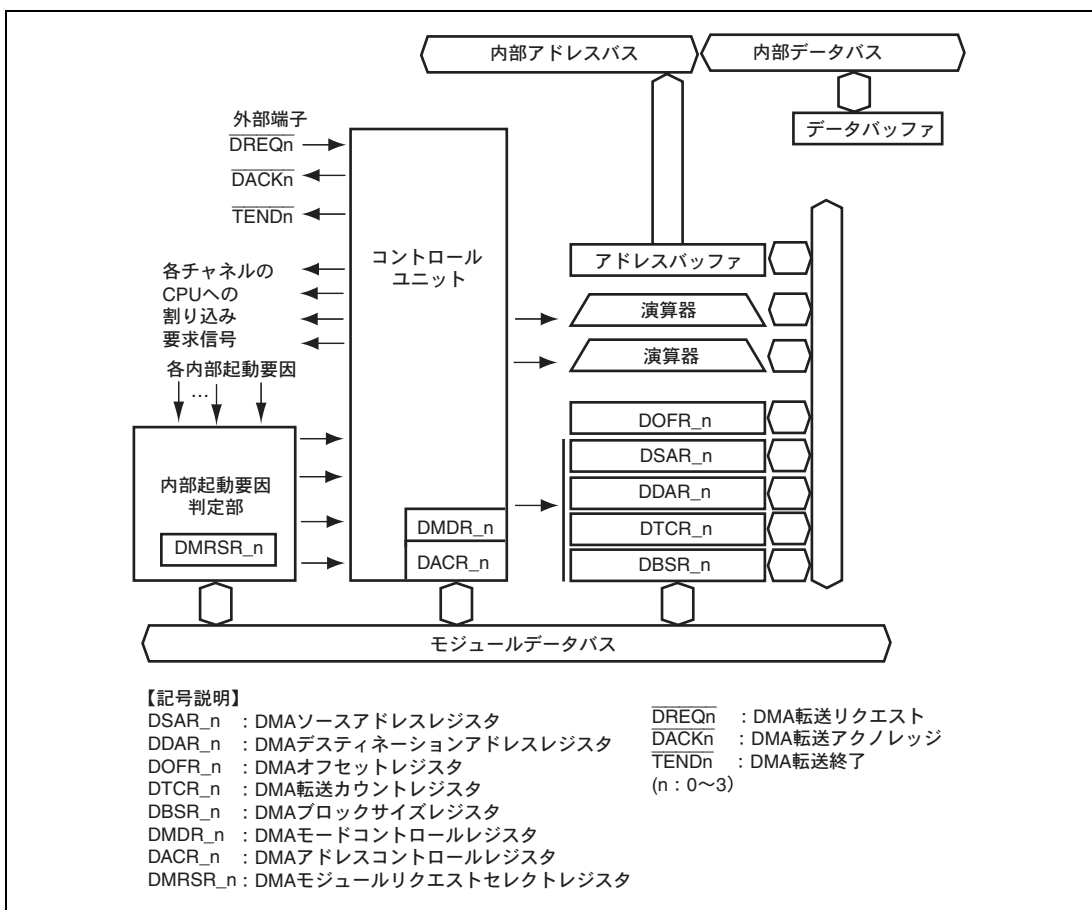


図 7.1 DMAC のブロック図

7.2 入出力端子

DMAC の端子構成を表 7.1 に示します

表 7.1 端子構成

チャンネル	名称	略称	入出力	機能
0	DMA 転送リクエスト 0	$\overline{DREQ0}$	入力	チャンネル 0 の外部リクエスト
	DMA 転送アックノレッジ 0	$\overline{DACK0}$	出力	チャンネル 0 のシングルアドレス転送アックノレッジ
	DMA 転送終了 0	$\overline{TEND0}$	出力	チャンネル 0 の転送終了
1	DMA 転送リクエスト 1	$\overline{DREQ1}$	入力	チャンネル 1 の外部リクエスト
	DMA 転送アックノレッジ 1	$\overline{DACK1}$	出力	チャンネル 1 のシングルアドレス転送アックノレッジ
	DMA 転送終了 1	$\overline{TEND1}$	出力	チャンネル 1 の転送終了
2	DMA 転送リクエスト 2	$\overline{DREQ2}$	入力	チャンネル 2 の外部リクエスト
	DMA 転送アックノレッジ 2	$\overline{DACK2}$	出力	チャンネル 2 のシングルアドレス転送アックノレッジ
	DMA 転送終了 2	$\overline{TEND2}$	出力	チャンネル 2 の転送終了
3	DMA 転送リクエスト 3	$\overline{DREQ3}$	入力	チャンネル 3 の外部リクエスト
	DMA 転送アックノレッジ 3	$\overline{DACK3}$	出力	チャンネル 3 のシングルアドレス転送アックノレッジ
	DMA 転送終了 3	$\overline{TEND3}$	出力	チャンネル 3 の転送終了

7.3 レジスタの説明

DMAC には以下のレジスタがあります。

チャンネル 0

- DMAソースアドレスレジスタ_0 (DSAR_0)
- DMAデスティネーションアドレスレジスタ_0 (DDAR_0)
- DMAオフセットレジスタ_0 (DOFR_0)
- DMA転送カウントレジスタ_0 (DTCR_0)
- DMAブロックサイズレジスタ_0 (DBSR_0)
- DMAモードコントロールレジスタ_0 (DMDR_0)
- DMAアドレスコントロールレジスタ_0 (DACR_0)
- DMAモジュールリクエストセレクトレジスタ_0 (DMRSR_0)

チャンネル 1

- DMAソースアドレスレジスタ_1 (DSAR_1)
- DMAデスティネーションアドレスレジスタ_1 (DDAR_1)
- DMAオフセットレジスタ_1 (DOFR_1)

7. DMA コントローラ (DMAC)

- DMA転送カウントレジスタ_1 (DTCR_1)
- DMAブロックサイズレジスタ_1 (DBSR_1)
- DMAモードコントロールレジスタ_1 (DMDR_1)
- DMAアドレスコントロールレジスタ_1 (DACR_1)
- DMAモジュールリクエストセレクトレジスタ_1 (DMRSR_1)

チャンネル 2

- DMAソースアドレスレジスタ_2 (DSAR_2)
- DMAデスティネーションアドレスレジスタ_2 (DDAR_2)
- DMAオフセットレジスタ_2 (DOFR_2)
- DMA転送カウントレジスタ_2 (DTCR_2)
- DMAブロックサイズレジスタ_2 (DBSR_2)
- DMAモードコントロールレジスタ_2 (DMDR_2)
- DMAアドレスコントロールレジスタ_2 (DACR_2)
- DMAモジュールリクエストセレクトレジスタ_2 (DMRSR_2)

チャンネル 3

- DMAソースアドレスレジスタ_3 (DSAR_3)
- DMAデスティネーションアドレスレジスタ_3 (DDAR_3)
- DMAオフセットレジスタ_3 (DOFR_3)
- DMA転送カウントレジスタ_3 (DTCR_3)
- DMAブロックサイズレジスタ_3 (DBSR_3)
- DMAモードコントロールレジスタ_3 (DMDR_3)
- DMAアドレスコントロールレジスタ_3 (DACR_3)
- DMAモジュールリクエストセレクトレジスタ_3 (DMRSR_3)

7.3.1 DMA ソースアドレスレジスタ (DSAR)

DSAR は、転送元のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送元アドレスに更新されます。シングルアドレスモードにおいて、DDAR をデスティネーションアドレスとして転送すると (DACR の DIRS=1)、DSAR の値は無視されます。

DSAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DSAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DSAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.2 DMA デスティネーションアドレスレジスタ (DDAR)

DDAR は、転送先のアドレスを指定するための 32 ビットのリード/ライト可能なレジスタです。アドレス更新機能を持ち、転送処理が行われるたびに次の転送先アドレスに更新されます。シングルアドレスモードにおいて、DSAR をソースアドレスとして転送すると (DACR の DIRS=0)、DDAR の値は無視されます。

DDAR は CPU から常にリード可能ですが、転送処理中のチャンネルの DDAR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DDAR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7. DMA コントローラ (DMAC)

7.3.3 DMA オフセットレジスタ (DOFR)

DOFR は、ソースアドレス、デスティネーションアドレスの更新に、オフセット加算を選択したときのオフセット値を設定する 32 ビットのリード/ライト可能なレジスタです。各チャンネル毎に独立して設定できますが、同一チャンネル内ではソース側、デスティネーション側ともに同じオフセット値を使用します。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.4 DMA 転送カウントレジスタ (DTCR)

DTCR は、転送するデータのサイズ (総転送サイズ) を設定するための 32 ビットのリード/ライト可能なレジスタです。

DTCR を H'00000001 に設定すると、総転送サイズは 1 バイトになります。H'00000000 に設定すると、「総転送サイズ=指定なし」となり、転送カウンタは停止して転送を行います (フリーランニングモード)。このとき、転送カウンタによる転送終了割り込みは発生しません。H'FFFFFF に設定すると、総転送サイズは最大値 4G バイト (4,294,967,295 バイト) になります。DMA 動作中は残りの転送サイズを示します。1 データ転送毎に、転送したデータアクセスサイズに応じた値がデクリメントされます (バイト: -1、ワード: -2、ロングワード: -4)。

DTCR は CPU から常にリード可能ですが、転送処理中のチャンネルの DTCR をリードするときは、ロングワードサイズでリードしてください。DMA 動作中のチャンネルの DTCR にはライトしないでください。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.3.5 DMA ブロックサイズレジスタ (DBSR)

DBSR は、リピートサイズ、ブロックサイズを設定します。DBSR は、リピート転送モード、ブロック転送モードのときに有効となり、ノーマル転送モードのときには無効です。

ビット	31	...	16
ビット名	BKSZH31	...	BKSZH16
初期値:	0	...	0
R/W:	R/W	...	R/W
ビット	15	...	0
ビット名	BKSZ15	...	BKSZ0
初期値:	0	...	0
R/W:	R/W	...	R/W

ビット	ビット名	初期値	R/W	説明
31~16	BKSZH31~ BKSZH16	不定	R/W	リピートサイズ、ブロックサイズを設定します。 これらのビットを H'0001 に設定すると 1 バイト、1 ワード、または 1 ロングワードになります。H'0000 に設定すると最大値になります (表 7.2 参照)。DMA 動作中は常に固定です。
15~0	BKSZ15~ BKSZ0	不定	R/W	DMA 動作中は、リピートサイズ、ブロックサイズの残りサイズを示します。1 データ転送毎に-1 されます。残りサイズが 0 になると BKSZH の値がロードされます。ライトするときは、BKSZH と同じ値を設定してください。

表 7.2 データアクセスサイズと有効ビット、設定可能サイズの対応

モード	データアクセスサイズ	BKSZH 有効ビット	BKSZ 有効ビット	設定可能サイズ(バイト)
リピート転送モード	バイト	31~16	15~0	1~65,536
ブロック転送モード	ワード			2~131,072
	ロングワード			4~262,144

7. DMA コントローラ (DMAC)

7.3.6 DMA モードコントロールレジスタ (DMDR)

DMDR は、DMAC の動作を制御します。

• DMDR_0

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	ERRF	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/(W)*	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

• DMDR_1~DMDR_3

ビット	31	30	29	28	27	26	25	24
ビット名	DTE	DACKE	TENDE	—	DREQS	NRD	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R
ビット	23	22	21	20	19	18	17	16
ビット名	ACT	—	—	—	—	—	ESIF	DTIF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R/(W)*	R/(W)*
ビット	15	14	13	12	11	10	9	8
ビット名	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための1リード後の0ライトのみ可能です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説 明
31	DTE	0	R/W	<p>データトランスファイネーブル</p> <p>対応するチャンネルのデータ転送を許可または禁止します。このビットが1にセットされていると、DMA 動作中であることを示します。</p> <p>オートリクエストのときに、このビットを1にセットすると転送処理に入ります。内蔵モジュール割り込み、外部リクエストでは、このビットに1をセットした後に転送要求が発生すると転送処理に入ります。DMA 動作中にこのビットを0にクリアすると転送を停止します。</p> <p>ブロック転送モードでは、DMA 動作中にこのビットを0にクリアすると、処理中の1ブロックの転送終了後にこのビットが0にクリアされます。転送を終了(中断)させる外的要因が発生した場合は、自動的にこのビットが0にクリアされ転送を終了させます。</p> <p>このビットを1にセットした状態で、動作モード、転送方法などを変更しないでください。</p> <p>0: データ転送を禁止 1: データ転送を許可 (DMA 動作中)</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 設定の総転送サイズ数の転送を終了したとき • リピートサイズ終了割り込みにより停止したとき • 拡張リピートエリアオーバーフロー割り込みにより停止したとき • 転送サイズエラー割り込みにより停止したとき • 0をライトして転送を終了したとき <p>ただし、ブロック転送モードでは1ブロック転送終了後に反映</p> <ul style="list-style-type: none"> • アドレスエラー、NMI 割り込みが発生したとき • リセット、ハードウェアスタンバイモード時
30	DAcke	0	R/W	<p>$\overline{\text{DACK}}$ 端子出力イネーブル</p> <p>シングルアドレスモードのとき、$\overline{\text{DACK}}$ 端子の出力を許可または禁止します。デュアルアドレスモードのときは、このビットは無視されます。</p> <p>0: $\overline{\text{DACK}}$ 端子の出力を禁止 1: $\overline{\text{DACK}}$ 端子の出力を許可</p>
29	TENDE	0	R/W	<p>$\overline{\text{TEND}}$ 端子出力イネーブル</p> <p>$\overline{\text{TEND}}$ 端子の出力を許可または禁止します。</p> <p>0: $\overline{\text{TEND}}$ 端子の出力を禁止 1: $\overline{\text{TEND}}$ 端子の出力を許可</p>
28	—	0	R/W	<p>リザーブビット</p> <p>初期値を変更しないでください。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
27	DREQS	0	R/W	<p>$\overline{\text{DREQ}}$ セレクト</p> <p>外部リクエストモードで使用する $\overline{\text{DREQ}}$ 端子のサンプリング方法を、Low レベル検出にするか、立ち下がリエッジ検出にするかを選択します。</p> <p>外部リクエストモードでブロック転送を行う場合は、このビットを 0 に設定してください。</p> <p>0: Low レベル検出 1: 立ち下がリエッジ検出 (転送許可後の最初の転送は、Low レベルで検出します。)</p>
26	NRD	0	R/W	<p>ネクストリクエストディレイ</p> <p>次のリクエストの受付タイミングを選択します。</p> <p>0: 転送中のバスサイクル終了後に、次の転送要求受付を開始 1: 転送中のバスサイクル終了時点から Bφ で 1 サイクル後に、次の転送要求の受付を開始</p>
25	—	0	R	リザーブビット
24	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
23	ACT	0	R	<p>アクティブステート</p> <p>当該チャンネルの動作状態を示すビットです。</p> <p>0: 転送要求待ち状態、または DTE=0 による転送禁止状態 1: アクティブ状態</p>
22~20	—	すべて 0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>
19	ERRF	0	R/(W)*	<p>システムエラーフラグ</p> <p>アドレスエラー、または NMI 割り込みが発生したことを示すフラグです。このビットは DMDR_0 でのみ有効なビットです。このビットが 1 にセットされていると、全チャンネルの DTE ビットへのライトが禁止されます。DMDR_1~DMDR_3 では、リザーブビットとなっています。リードすると常に 0 が読み出されます。ライトは無効です。</p> <p>0: アドレスエラー、または NMI 割り込みなし 1: アドレスエラー、または NMI 割り込み発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> ERRF=1 の状態をリードした後、0 をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> アドレスエラー、または NMI 割り込みが発生したとき <p>ただし、DMAC がモジュールストップ状態にある場合は、アドレスエラー、または NMI 割り込みが発生しても 1 にセットされません。</p>
18	—	0	R	<p>リザーブビット</p> <p>リードすると常に 0 が読み出されます。ライトは無効です。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17	ESIF	0	R/(W)*	<p>転送エスケープインタラプトフラグ</p> <p>転送カウンタが0になる前に転送エスケープ終了割り込み要求が発生し、転送エスケープ終了したことを示すフラグです。</p> <p>0: 転送エスケープ終了割り込み要求なし</p> <p>1: 転送エスケープ終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • ESIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • 転送サイズエラー割り込み要求が発生したとき • リピートサイズ終了割り込み要求が発生したとき • 拡張リピートエリアオーバフロー終了割り込み要求が発生したとき
16	DTIF	0	R/(W)*	<p>データトランスファインタラプトフラグ</p> <p>転送カウンタによる転送終了割り込み要求が発生したことを示すフラグです。</p> <p>0: 転送カウンタによる転送終了割り込み要求なし</p> <p>1: 転送カウンタによる転送終了割り込み要求発生</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • DTE ビットに1をライトしたとき • DTIF=1の状態をリードした後、0をライトしたとき <p>[セット条件]</p> <ul style="list-style-type: none"> • DTCR が0になり転送が終了したとき
15 14	DTSZ1 DTSZ0	0 0	R/W R/W	<p>データアクセスサイズ 1、0</p> <p>転送するデータアクセスサイズを選択します。</p> <p>00: バイトサイズ (8 ビット)</p> <p>01: ワードサイズ (16 ビット)</p> <p>10: ロングワードサイズ (32 ビット)</p> <p>11: 設定禁止</p>
13 12	MDS1 MDS0	0 0	R/W R/W	<p>転送モードセレクト 1、0</p> <p>転送モードを選択します。</p> <p>00: ノーマル転送モード</p> <p>01: ブロック転送モード</p> <p>10: リピート転送モード</p> <p>11: (設定禁止)</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
11	TSEIE	0	R/W	<p>転送サイズエラーインタラプトイネーブル 転送サイズエラー割り込み要求を許可または禁止します。 このビットが1にセットされているときに、DMACの転送により転送カウンタの値が1要求あたりに転送するデータサイズよりも小さい場合、次の転送要求が発生するとDTEビットを0にクリアします。同時にESIFビットが1にセットされ、転送サイズエラー割り込み要求が発生したことを示します。</p> <p>転送サイズエラー割り込み要求の発生要因は次の条件です。</p> <ul style="list-style-type: none"> ノーマル転送モード、リピート転送モードにおいて、DTCRで設定した総転送サイズがデータアクセスサイズよりも小さいとき ブロック転送モードにおいて、DTCRで設定した総転送サイズがブロックサイズよりも小さいとき <p>0：転送サイズエラー割り込み要求を禁止 1：転送サイズエラー割り込み要求を許可</p>
10	—	0	R	<p>リザーブビット リードすると常に0が読み出されます。ライトは無効です。</p>
9	ESIE	0	R/W	<p>転送エスケープインタラプトイネーブル DMA転送中に発生した転送エスケープ終了割り込み要求を許可または禁止します。このビットを1にセットすると、ESIFビットが1にセットされたとき、CPUまたはDTCに転送エスケープ終了割り込み要求が発生します。転送エスケープ終了割り込み要求は、このビットを0にクリアするか、ESIFビットを0にクリアすると解除されます。</p> <p>0：転送エスケープ割り込み要求を禁止 1：転送エスケープ割り込み要求を許可</p>
8	DTIE	0	R/W	<p>データトランスファインタラプトイネーブル 転送カウンタによる転送終了割り込み要求を許可または禁止します。このビットを1にセットすると、DTIFビットが1にセットされたとき、CPUまたはDTCに転送終了割り込み要求が発生します。転送終了割り込み要求は、このビットを0にクリアするか、DTIFビットを0にクリアすると解除されます。</p> <p>0：転送終了割り込み要求を禁止 1：転送終了割り込み要求を許可</p>
7 6	DTF1 DTF0	0 0	R/W R/W	<p>データトランスファファクタ 1、0 DMACを起動する要因を選択します。内蔵モジュール割り込みのときは、DMRSRで割り込み要因を選択します。外部リクエストのときは、DREQSビットでサンプリング方法を選択できます。</p> <p>00：オートリクエスト（サイクルスチール） 01：オートリクエスト（バースト） 10：内蔵モジュール割り込み 11：外部リクエスト</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
5	DTA	0	R/W	<p>データ転スファアクノリッジ 内蔵モジュール割り込みによる DMA 転送時に有効となります。 DMRSR によって選択されている要因フラグのクリアを許可または禁止します。</p> <p>0 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを禁止 内蔵モジュール割り込み要因は、DMA 転送によりクリアされませんので、CPU または DTC 転送でクリアしてください。</p> <p>1 : 内蔵モジュール割り込み要因による DMA 転送時のクリアを許可 内蔵モジュール割り込み要因は、DMA 転送によりクリアされ、CPU または DTC に割り込みを要求しません。</p>
4	—	0	R	リザーブビット
3	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
2	DMAP2	0	R/W	<p>DMA プライオリティレベル 2~0 CPU に対する DTC、DMAC の優先レベルを選択します。DMAC の優先レベルより CPU の優先レベルが高いときは、DMAC は転送要因の受け付けをマスクし、CPU の優先レベルが低くなるまで待機します。チャンネル毎に独立に優先レベルを設定可能です。このビットは、CPUPCR の CPUPCE ビットが 1 のとき有効になります。</p> <p>000 : 優先レベル 0 (最低) 001 : 優先レベル 1 010 : 優先レベル 2 011 : 優先レベル 3 100 : 優先レベル 4 101 : 優先レベル 5 110 : 優先レベル 6 111 : 優先レベル 7 (最高)</p>
1	DMAP1	0	R/W	
0	DMAP0	0	R/W	

【注】 * フラグをクリアするための 1 リード後の 0 ライトのみ可能です。

7. DMA コントローラ (DMAC)

7.3.7 DMA アドレスコントロールレジスタ (DACR)

DACR は、動作モード、転送方法などを設定します。

ビット	31	30	29	28	27	26	25	24
ビット名	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R	R	R	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	SAT1	SAT0	—	—	DAT1	DAT0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R/W	R/W	R	R	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
31	AMS	0	R/W	アドレスモードセレクト アドレスモードをデュアルアドレスモードとシングルアドレスモードから選択します。シングルアドレスモードにすると、DMDR の DACKE ビットの設定により \overline{DACK} 端子が有効になります。 0 : デュアルアドレスモード 1 : シングルアドレスモード
30	DIRS	0	R/W	シングルアドレスディレクションセレクト シングルアドレスモードのときのデータ転送方向を指定します。デュアルアドレスモードのときは、このビットは無視されます。 0 : DSAR をソースアドレスとして転送 1 : DDAR をデスティネーションアドレスとして転送
29~27	—	すべて 0	R	リザーブビット リードすると常に 0 が読み出されます。ライトは無効です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
26	RPTIE	0	R/W	<p>リピートサイズ終了インタラプトイネーブル リピートサイズ終了割り込み要求を許可または禁止します。 リピート転送モードにおいて、このビットが1にセットされているときに、1リピートサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、リピートサイズ終了割り込み要求が発生したことを示します。リピートエリアを指定しない(ARS1、ARS0=B'10)ときでも、1リピートサイズ分の転送終了後にリピートサイズ終了割り込み要求が発生させることができます。</p> <p>また、ブロック転送モードで、このビットが1にセットされているときに、1ブロックサイズ分の転送終了後に次の転送要因が発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットは1にセットされ、リピートサイズ終了割り込み要求が発生されたことを示します。</p> <p>0: リピートサイズ終了割り込み要求を禁止 1: リピートサイズ終了割り込み要求を許可</p>
25	ARS1	0	R/W	<p>エリアセレクト 1、0 ブロック転送モード、リピート転送モードのときのブロックエリア/リピートエリアを選択します。</p> <p>00: ブロックエリア/リピートエリアはソースアドレス側 01: ブロックエリア/リピートエリアはデスティネーションアドレス側 10: ブロックエリア/リピートエリアは指定しない 11: 設定禁止</p>
24	ARS0	0	R/W	
23	—	0	R	リザーブビット
22	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
21	SAT1	0	R/W	<p>ソースアドレス更新モード 1、0 ソースアドレス (DSAR) の増減を選択します。シングルアドレスモードにおいて、転送元をDSARに指定していない場合は、このビットは無視されます。</p> <p>00: ソースアドレスは固定 01: ソースアドレスはオフセットアドレスを加算 10: ソースアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: ソースアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
20	SAT0	0	R/W	
19	—	0	R	リザーブビット
18	—	0	R	リードすると常に0が読み出されます。ライトは無効です。

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
17 16	DAT1 DAT0	0 0	R/W R/W	<p>デスティネーションアドレス更新モード 1、0</p> <p>デスティネーションアドレス (DDAR) の増減を指定します。シングルアドレスモードにおいて、転送元を DDAR に指定していない場合は、このビットは無視されます。</p> <p>00: デスティネーションアドレスは固定 01: デスティネーションアドレスはオフセットを加算 10: デスティネーションアドレスは増加 (データアクセスサイズにより、+1/+2/+4) 11: デスティネーションアドレスは減少 (データアクセスサイズにより、-1/-2/-4)</p>
15	SARIE	0	R/W	<p>ソースアドレス拡張リピートエリアオーバフローインタラプトイネーブル</p> <p>ソースアドレス拡張リピートエリアオーバフロー割り込み要求を許可または禁止します。</p> <p>このビットが 1 にセットされているときに、ソースアドレスの拡張リピートエリアのオーバフローが発生すると、DMDR の DTE ビットを 0 にクリアします。同時に DMDR の ESIF ビットが 1 にセットされ、ソースアドレス拡張リピートエリアオーバフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は 1 ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャンネルの DMDR の DTE ビットを 1 にセットすると、転送終了した状態から再び転送を開始します。</p> <p>ソースアドレスに対して拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: ソースアドレス拡張リピートエリアオーバフロー割り込み要求を禁止 1: ソースアドレス拡張リピートエリアオーバフロー割り込み要求を許可</p>
14	—	0	R	リザーブビット
13	—	0	R	リードすると常に 0 が読み出されます。ライトは無効です。
12 11 10 9 8	SARA4 SARA3 SARA2 SARA1 SARA0	0 0 0 0 0	R/W R/W R/W R/W R/W	<p>ソースアドレス拡張リピートエリア</p> <p>ソースアドレス (DSAR) に拡張リピートエリアを設定するビットです。拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4 バイトから 128M バイトまで設定可能です。設定間隔は 2 のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>SARIE ビットが 1 にセットされているとき、拡張リピートエリアのオーバフローが発生したときに割り込み要求が発生することができます。</p> <p>表 7.3 に拡張リピートエリアの設定と範囲を示します。</p>

7. DMA コントローラ (DMAC)

ビット	ビット名	初期値	R/W	説明
7	DARIE	0	R/W	<p>デスティネーションアドレス拡張リピートエリアオーバーフローインタラプトイネーブル</p> <p>デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可または禁止します。</p> <p>このビットが1にセットされているときに、デスティネーションアドレスの拡張リピートエリアのオーバーフローが発生すると、DMDRのDTEビットを0にクリアします。同時にDMDRのESIFビットが1にセットされ、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求が発生したことを示します。</p> <p>ブロック転送モードと併用する場合、割り込み要求は1ブロックサイズの転送終了後に発生します。割り込みにより転送終了したチャネルのDMDRのDTEビットを1にセットすると、転送終了した状態から再び転送を開始します。</p> <p>デスティネーションアドレスに拡張リピートエリアを設定していないときは、このビットは無視されます。</p> <p>0: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を禁止</p> <p>1: デスティネーションアドレス拡張リピートエリアオーバーフロー割り込み要求を許可</p>
6	—	0	R	リザーブビット
5	—	0	R	リードすると常に0が読み出されます。ライトは無効です。
4	DARA4	0	R/W	<p>デスティネーションアドレス拡張リピートエリア</p> <p>デスティネーションアドレス (DDAR) に拡張リピートエリアを設定するビットです。</p> <p>拡張リピートエリア機能は、指定の下位アドレスをアドレス更新の対象として、残りの上位アドレスは常に固定値をとるようにして実現されます。拡張リピートエリアのサイズは、4バイトから128Mバイトまで設定可能です。設定間隔は2のべき乗バイト単位です。</p> <p>アドレスの増減により拡張リピートエリアからオーバーフローした下位アドレスは、アドレスが増加すると拡張リピートエリアの先頭アドレスになり、アドレスが減少すると拡張リピートエリアの最後のアドレスになります。</p> <p>DARIEビットが1にセットされているとき、拡張リピートエリアのオーバーフローが発生したときに割り込み要求を発生することができます。</p> <p>表 7.3 に拡張リピートエリアの設定と範囲を示します。</p>
3	DARA3	0	R/W	
2	DARA2	0	R/W	
1	DARA1	0	R/W	
0	DARA0	0	R/W	

7. DMA コントローラ (DMAC)

表 7.3 拡張リピートエリアの設定と範囲

SARA4~SARA0/ DARA4~DARA0 の値	拡張リピートエリアの範囲
00000	拡張リピートエリアを設定しない
00001	当該アドレスの下位 1 ビット (2 バイト) を拡張リピートエリアに設定する
00010	当該アドレスの下位 2 ビット (4 バイト) を拡張リピートエリアに設定する
00011	当該アドレスの下位 3 ビット (8 バイト) を拡張リピートエリアに設定する
00100	当該アドレスの下位 4 ビット (16 バイト) を拡張リピートエリアに設定する
00101	当該アドレスの下位 5 ビット (32 バイト) を拡張リピートエリアに設定する
00110	当該アドレスの下位 6 ビット (64 バイト) を拡張リピートエリアに設定する
00111	当該アドレスの下位 7 ビット (128 バイト) を拡張リピートエリアに設定する
01000	当該アドレスの下位 8 ビット (256 バイト) を拡張リピートエリアに設定する
01001	当該アドレスの下位 9 ビット (512 バイト) を拡張リピートエリアに設定する
01010	当該アドレスの下位 10 ビット (1k バイト) を拡張リピートエリアに設定する
01011	当該アドレスの下位 11 ビット (2k バイト) を拡張リピートエリアに設定する
01100	当該アドレスの下位 12 ビット (4k バイト) を拡張リピートエリアに設定する
01101	当該アドレスの下位 13 ビット (8k バイト) を拡張リピートエリアに設定する
01110	当該アドレスの下位 14 ビット (16k バイト) を拡張リピートエリアに設定する
01111	当該アドレスの下位 15 ビット (32k バイト) を拡張リピートエリアに設定する
10000	当該アドレスの下位 16 ビット (64k バイト) を拡張リピートエリアに設定する
10001	当該アドレスの下位 17 ビット (128k バイト) を拡張リピートエリアに設定する
10010	当該アドレスの下位 18 ビット (256k バイト) を拡張リピートエリアに設定する
10011	当該アドレスの下位 19 ビット (512k バイト) を拡張リピートエリアに設定する
10100	当該アドレスの下位 20 ビット (1M バイト) を拡張リピートエリアに設定する
10101	当該アドレスの下位 21 ビット (2M バイト) を拡張リピートエリアに設定する
10110	当該アドレスの下位 22 ビット (4M バイト) を拡張リピートエリアに設定する
10111	当該アドレスの下位 23 ビット (8M バイト) を拡張リピートエリアに設定する
11000	当該アドレスの下位 24 ビット (16M バイト) を拡張リピートエリアに設定する
11001	当該アドレスの下位 25 ビット (32M バイト) を拡張リピートエリアに設定する
11010	当該アドレスの下位 26 ビット (64M バイト) を拡張リピートエリアに設定する
11011	当該アドレスの下位 27 ビット (128M バイト) を拡張リピートエリアに設定する
111XX	設定禁止

【記号説明】 X : Don't care

7.3.8 DMA モジュールリクエストセレクトレジスタ (DMRSR)

DMRSR は、内蔵モジュール割り込み要因を指定する 8 ビットのリード/ライト可能な 8 ビットのレジスタです。割り込み要因のベクタ番号を 8 ビットで指定します。ただし、0 は割り込み要因なしと見なします。内蔵モジュール割り込み要因のベクタ番号は、表 7.5 を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

7.4 転送モード

DMAC の転送モードを表 7.4 に示します。転送モードは、各チャンネル毎に設定可能です。

表 7.4 転送モード

アドレスモード	転送モード	起動要因	共通機能	アドレスレジスタ	
				ソース	デスティネーション
デュアルアドレスモード	<ul style="list-style-type: none"> ノーマル転送モード リポート転送モード ブロック転送モード (リポートサイズ/ブロックサイズ = 1~65,536 バイト/ワード/ロングワード) 	<ul style="list-style-type: none"> オートリクエスト (CPU より起動) 内蔵モジュール割り込み 外部リクエスト 	<ul style="list-style-type: none"> 総転送サイズ: 1~4G バイト、または指定なし オフセット加算 拡張リポートエリア機能 	DSAR	DDAR
シングルアドレスモード	<ul style="list-style-type: none"> ソース、またはデスティネーションアドレスレジスタの代わりに、$\overline{\text{DACK}}$ 端子を用いて直接外部デバイスとのデータ転送が可能 アドレスレジスタの設定以外は、上記の各転送モードを指定可能 1 バスサイクルで 1 回の転送が可能 (転送モードのバリエーションは、上記デュアルアドレスモードと同じです。) 			DSAR/ $\overline{\text{DACK}}$	$\overline{\text{DACK}}$ / DDAR

起動要因がオートリクエストのときは、サイクルスチールモード/バーストモードから選択できます。

総転送サイズを指定しない場合 (DTCR=H'00000000)、転送カウンタは停止して転送回数に制限がなくなり、永続して転送が可能になります。

7.5 動作説明

7.5.1 アドレスモード

(1) デュアルアドレスモード

デュアルアドレスモードは、転送元アドレスを DSAR、転送先アドレスを DDAR で指定して、1 回の転送を 2 バスサイクルで実行するモードです（データバス幅がデータアクセスサイズよりも小さいときや、アクセスするアドレスがデータアクセスサイズのデータ境界を外れているときは、バスサイクルが分割されるため 2 バスサイクルを超えます）。

転送動作は、最初のバスサイクルで転送元アドレスにあるデータをリードして、そのデータを次のバスサイクルで転送先アドレスへライトします。

リードサイクルとライトサイクルの間は不可分割となっています。そのため、2 つのバスサイクルの間に他のバスサイクル（他のバスマスタのサイクル、リフレッシュサイクル、外部バス解放サイクル）は発生しません。

DMDR の TENDE ビットにより、 \overline{TEND} 出力の許可/禁止の設定ができます。 \overline{TEND} は連続する 2 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合は、アイドルサイクル期間に対しても \overline{TEND} は出力されます。 \overline{DACK} は出力されません。

図 7.2 にデュアルアドレスモードのタイミング例を、図 7.3 にデュアルアドレスモードの動作を示します。

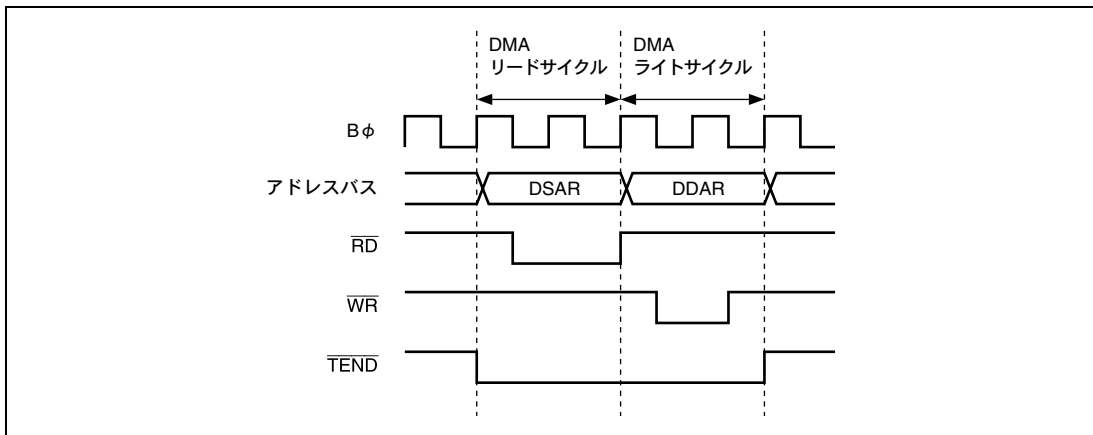


図 7.2 デュアルアドレスモードのタイミング例

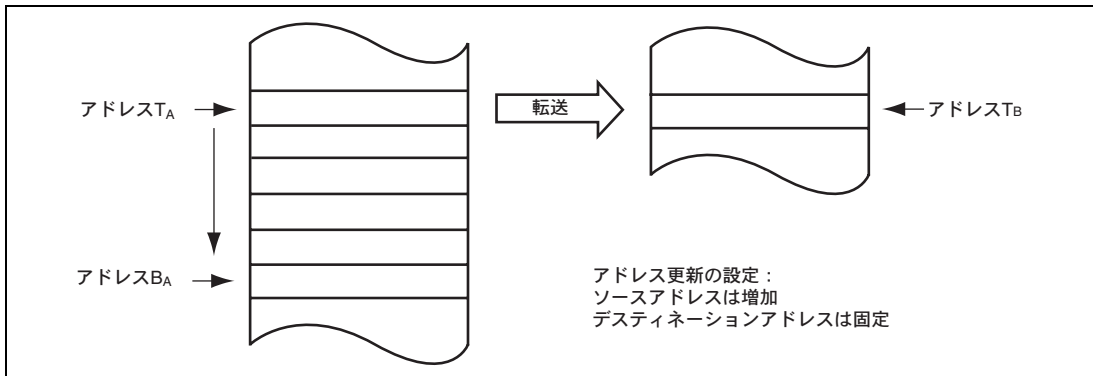


図 7.3 デュアルアドレスモードの動作

(2) シングルアドレスモード

シングルアドレスモードは、DSAR または DDAR の代わりに $\overline{\text{DACK}}$ 端子を用いて、外部デバイスと外部メモリ間で直接データを転送するモードです。1 回の転送を 1 バスサイクルで実行します。

シングルアドレスモードを使用する場合は、データバス幅とデータアクセスサイズを一致させてください。データバス幅に関しては、「6. バスコントローラ (BSC)」を参照してください。

DMAC は $\overline{\text{DACK}}$ 付き外部デバイスへのストロープ信号 ($\overline{\text{DACK}}$) を、転送元または転送先のいずれか一方の外部デバイスに出力してアクセスすると同時に、もう一方の転送相手にアドレスを出力してアクセスします。これにより、1 つのバスサイクルで DMA 転送を行うことができます。図 7.4 に示す外部メモリと $\overline{\text{DACK}}$ 付き外部デバイスとの転送例では、外部デバイスがデータバスにデータを出力するのと同じバスサイクルで、そのデータが外部メモリに書き込まれます。

転送方向は DACR の DIRS ビットにより、 $\overline{\text{DACK}}$ 付き外部デバイスを転送元にするか転送先にするかを設定できます。DIRS=0 では外部メモリ (DSAR) → $\overline{\text{DACK}}$ 付き外部デバイスへの転送、DIRS=1 では $\overline{\text{DACK}}$ 付き外部デバイス → 外部メモリ (DDAR) への転送になります。転送の対象として使用しないソースまたはデスティネーションアドレスのレジスタの設定は無視されます。

$\overline{\text{DACK}}$ 出力は、シングルアドレスモードのときに DMDR の DACKE ビットの設定により有効になります。 $\overline{\text{DACK}}$ 出力は、ローアクティブです。

DMDR の TEND ビットにより、 $\overline{\text{TEND}}$ 出力の許可/禁止の設定ができます。 $\overline{\text{TEND}}$ は 1 バスサイクルの期間出力されます。バスサイクルの直前にアイドルサイクルが挿入される場合は、アイドルサイクル期間に対しても $\overline{\text{TEND}}$ は出力されます。

図 7.5 にシングルアドレスモードのタイミング例を、図 7.6 にシングルアドレスモードの動作を示します。

7. DMA コントローラ (DMAC)

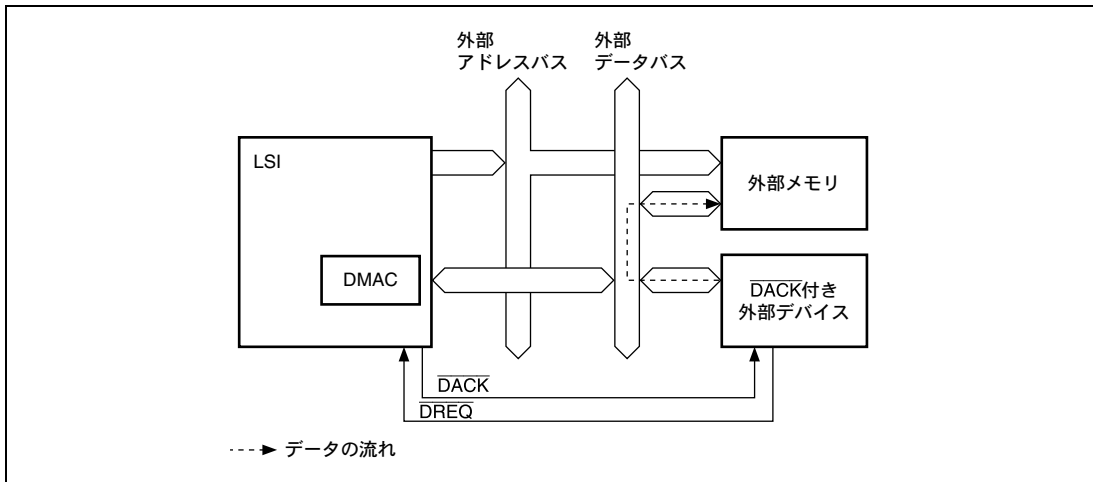


図 7.4 シングルアドレスモードでのデータの流れ

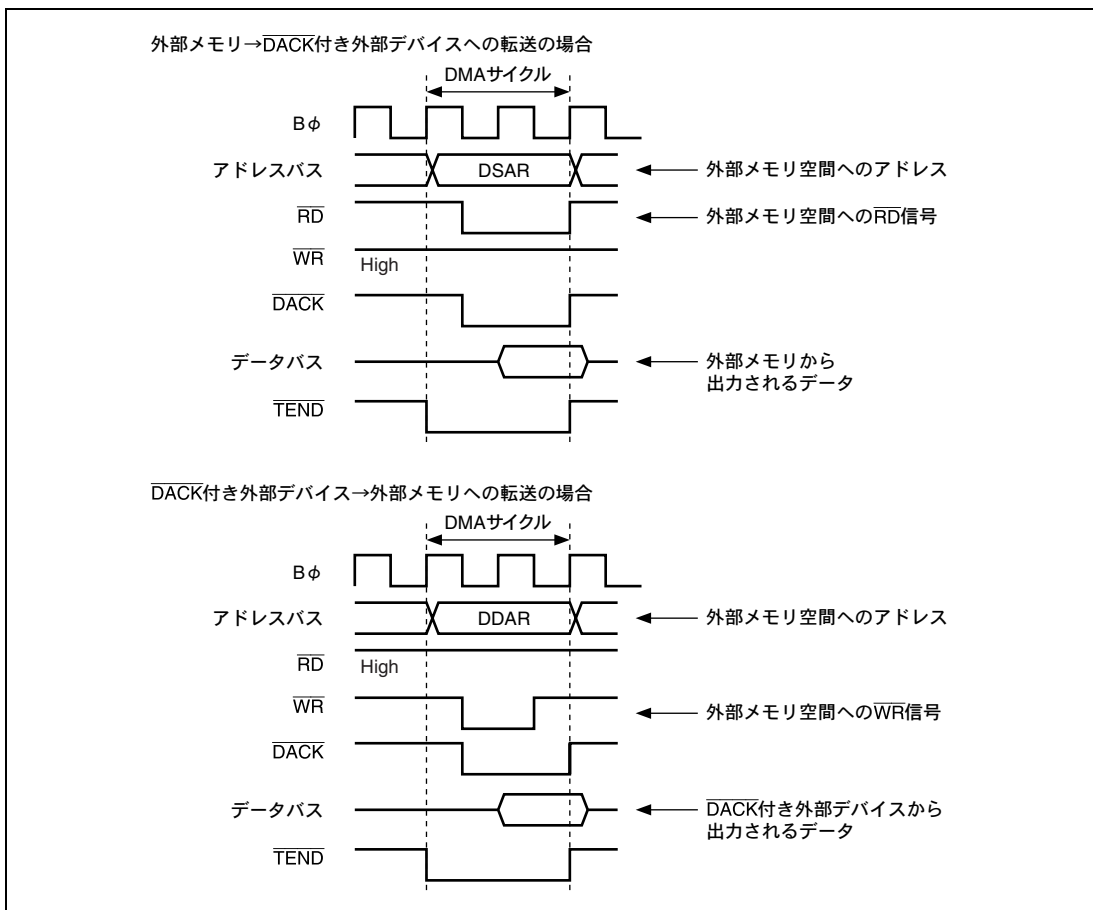


図 7.5 シングルアドレスモードのタイミング例

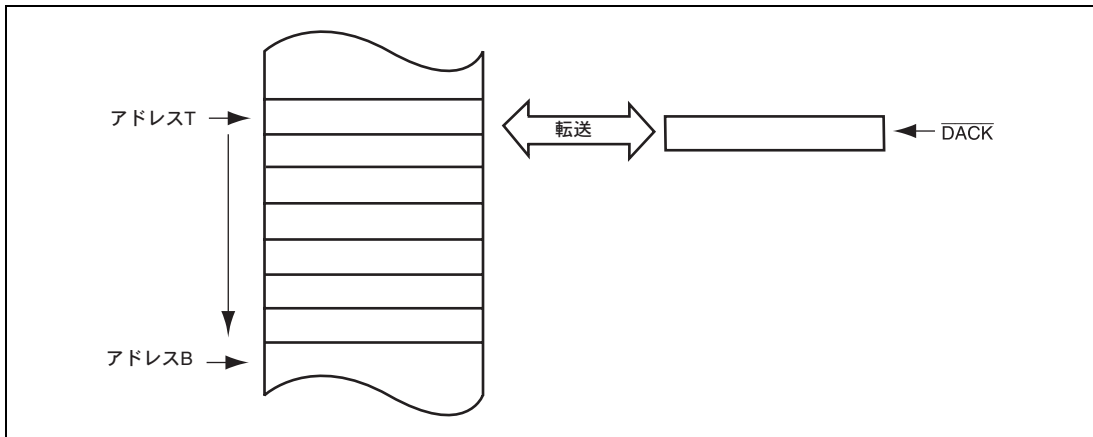


図 7.6 シングルアドレスモードの動作

7.5.2 転送モード

(1) ノーマル転送モード

ノーマル転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRはノーマル転送モードのときには無効です。

\overline{TEND} 出力は、最後のDMA転送でのみ出力されます。

図 7.7 にノーマル転送モードのタイミング例を、図 7.8 にデュアルアドレスモード時のノーマル転送モードの動作を示します。

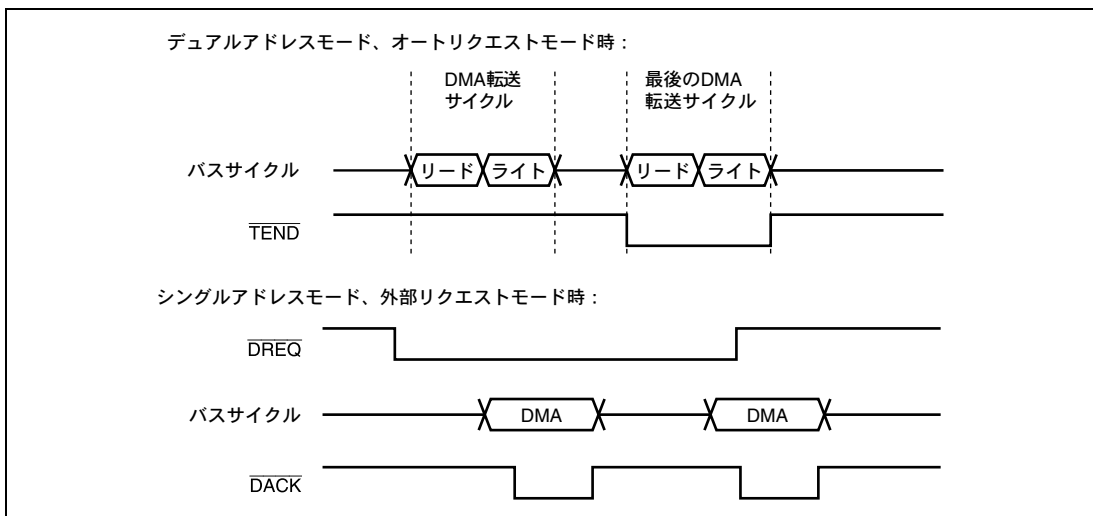


図 7.7 ノーマル転送モードのタイミング例

7. DMA コントローラ (DMAC)

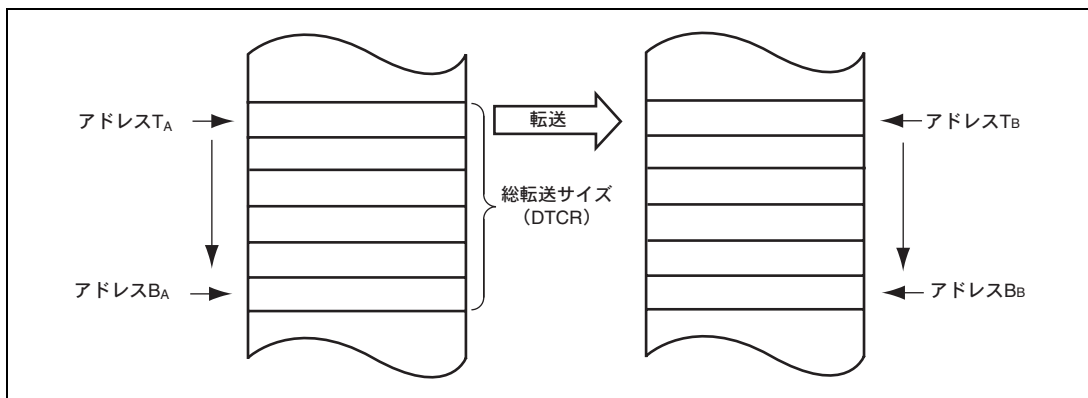


図 7.8 ノーマル転送モードの動作

(2) リピート転送モード

リピート転送モードは、1回の転送要求について1データアクセスサイズ単位の転送を行います。DTCR で最大 4G バイトの総転送サイズを設定できます。DBSR で最大 64k×データアクセスサイズのリピートサイズを設定できます。

DACR の ARS1、ARS0 ビットによって、リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定することができます。リピートエリアに指定されたアドレス側は、リピートサイズ分の転送を終了すると、転送開始アドレスに戻ります。この動作は、DTCR に設定した総転送サイズ分の転送が終了するまで行われます。ただし、DTCR に H'00000000 を設定した場合はフリーランニングモードと見なし、DMDR の DTE ビットが 0 にクリアされるまでリピート転送を続けます。

また、リピートサイズ分の転送を終了すると、DMA 転送を一時停止させ、CPU または DTC に対してリピートサイズ終了割り込み要求を発生させることができます。DACR の RPTIE ビットが 1 にセットされているときに、リピートサイズ分の転送終了後に次の転送要求が発生すると、DMDR の ESIF ビットを 1 にセットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされている場合、CPU または DTC に対して割り込み要求を発生させます。

\overline{TEND} 出力の DMA 転送タイミングは、ノーマル転送モードと同じです。

図 7.9 にデュアルアドレスモード時のリピート転送モードの動作を示します。

リピートエリアをソースアドレス側またはデスティネーションアドレス側に指定しないときの動作は、図 7.8 のノーマル転送モードの動作と同じです。この場合も、リピートサイズ分の転送を終了すると、リピートサイズ終了割り込みを発生させることができます。

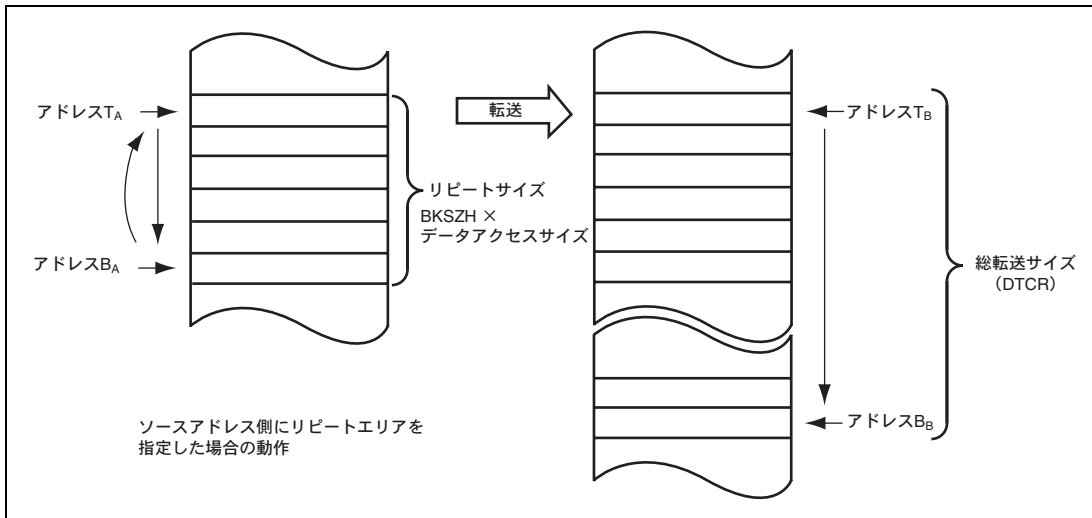


図 7.9 リピート転送モードの動作

(3) ブロック転送モード

ブロック転送モードは、1回の転送要求について1ブロックサイズ単位の転送を行います。DTCRで最大4Gバイトの総転送サイズを設定できます。DBSRで最大64k×データアクセスサイズのブロックサイズを設定できます。

1ブロック分の転送中は、他のチャンネルの転送要求は待たされます。1ブロック分の転送が終了すると、バス権を他のバスマスタに解放します。

DACRのARS1、ARS0ビットによって、ブロックエリアをソースアドレス側もしくはデスティネーションアドレス側に指定することができます。ブロックエリアに指定されたアドレス側は、1ブロック分の転送終了毎に、転送開始アドレスに戻ります。ソースアドレス側にもデスティネーションアドレス側にもリピートエリアを指定しない場合は、アドレスは転送開始アドレスに戻らずシーケンシャルに進みます。リピートサイズ終了割り込みを発生させることができます。

\overline{TEND} は、1ブロック分の転送毎に各ブロックの終わりのDMA転送サイクルで出力されます。起動要因として外部リクエストを使用する場合は、 \overline{DREQ} 端子のサンプリング方法をLowレベル検出(DREQS=0)に設定してください。

ブロック転送モードで拡張リピートエリアオーバーフロー割り込みを設定する場合には注意が必要です。詳細は「7.5.5 拡張リピートエリア機能」を参照してください。

図 7.10 にブロック転送モードのDMA転送タイミング例を示します。転送条件は次の通りです。

- アドレスモード：シングルアドレスモード
- データアクセスサイズ：バイト
- 1ブロックサイズ：3バイト

図 7.11 にシングルアドレスモードのブロック転送モードの動作を、図 7.12 にデュアルアドレスモードのブロック転送モードの動作を示します。

7. DMA コントローラ (DMAC)

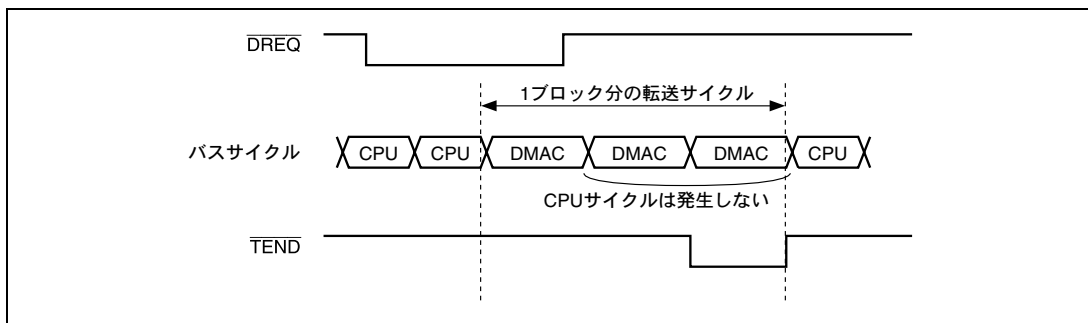


図 7.10 ブロック転送モードの例

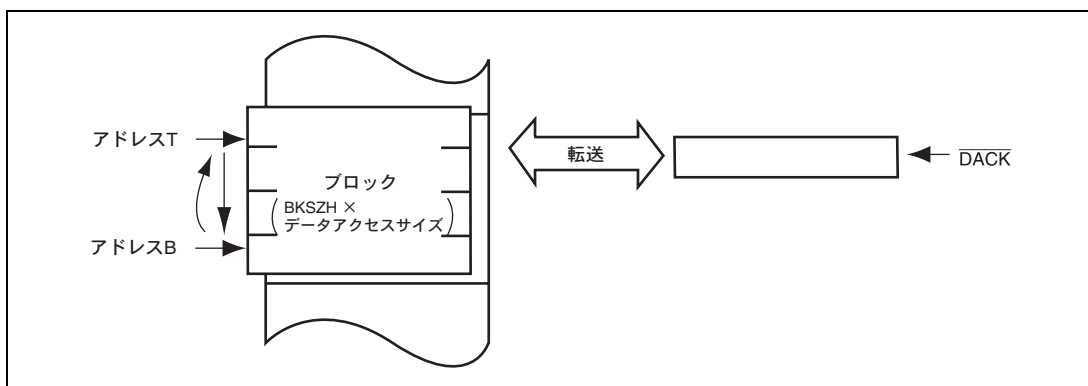


図 7.11 シングルアドレスモードのブロック転送モード（ブロックエリアの指定あり）の動作

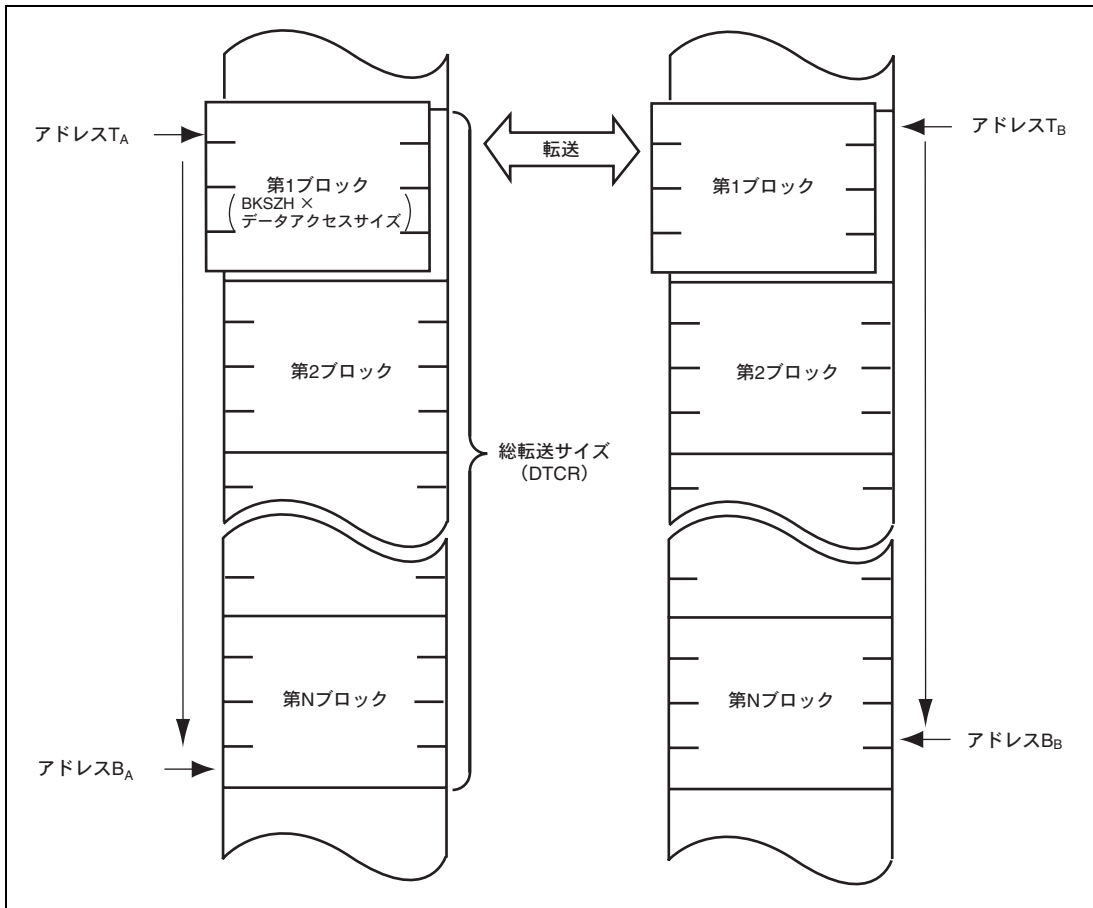


図 7.12 デュアルアドレスモードのブロック転送モード（ブロックエリアの指定なし）の動作

7.5.3 起動要因

DMAC の起動要因には、オートリクエスト、内蔵モジュール割り込み、および外部リクエストがあります。これらの起動要因は DMDR の DTF1、DTF0 ビットで選択します。

(1) オートリクエストによる起動

オートリクエストは、メモリとメモリ間の転送や、転送要求信号を発生できない周辺モジュールとメモリ間の転送のように、外部や周辺モジュールから転送要求信号の発生がない場合に、DMAC 内部で自動的に転送要求信号を発生させます。オートリクエストによる起動では、DMDR の DTE ビットを 1 にセットすると転送が開始されます。オートリクエストでは、バスモードをサイクルスチールモードとバーストモードから選択することができます。

(2) 内蔵モジュール割り込みによる起動

内蔵モジュール割り込みは、各周辺モジュールからの割り込み要求（内蔵モジュール割り込み）を転送要求信号として使用します。DMA 転送が許可されているとき（DTE=1）、内蔵モジュール割り込み要求により DMA 転送を開始します。

起動要因の内蔵モジュール割り込みは、DMA モジュールリクエストセレクトレジスタ（DMRSR）で選択します。チャンネル毎に独立して設定することができます。表 7.5 に DMAC 内蔵モジュール割り込み一覧を示します。

起動要因として選択された割り込み要求は、CPU、DTC に対しても同時に割り込み要求を発生させることができます。詳細は「5. 割り込みコントローラ」を参照してください。

DMAC は、内蔵モジュール割り込み要求による起動要因を、割り込みコントローラとは独立して受け付けます。このため、割り込みコントローラによる優先順位設定の影響を受けません。

DTA=1 で DMAC を起動する場合、割り込み要求フラグは DMA 転送により自動的にクリアされます。複数のチャンネルで同一の割り込み要求を起動要因とした場合、最も優先順位の高いチャンネルが起動された時点で割り込み要求フラグがクリアされます。この場合、その他のチャンネルの転送要求は DMAC 内部で保持されず、起動されない場合があります。

DTA=0 で DMAC を起動する場合、割り込み要求フラグは DMAC によりクリアされません。CPU または DTC 転送でクリアしてください。

DTE=0 の状態では、選択された起動要因は DMAC に転送を要求しません。この場合、当該割り込みは CPU または DTC に割り込みを要求します。

また、DTE ビットへの 1 ライトは、内蔵モジュール割り込みの発生元となる割り込み要求フラグビットが 0 にクリアされていることを確認した後に行ってください。

表 7.5 DMAC 内蔵モジュール割り込み一覧

内蔵モジュール割り込み要因 (割り込み要因)	発生元	DMRSR 値 (ベクタ番号)
ADI (A/D 変換器の変換終了割り込み)	A/D	86
TGI0A (TGR0A インพุットキャプチャ/コンペアマッチ)	TPU_0	88
TGI1A (TGR1A インพุットキャプチャ/コンペアマッチ)	TPU_1	93
TGI2A (TGR2A インพุットキャプチャ/コンペアマッチ)	TPU_2	97
TGI3A (TGR3A インพุットキャプチャ/コンペアマッチ)	TPU_3	101
TGI4A (TGR4A インพุットキャプチャ/コンペアマッチ)	TPU_4	106
TGI5A (TGR5A インพุットキャプチャ/コンペアマッチ)	TPU_5	110
RXI0 (SCI チャンネル 0 の受信データフル割り込み)	SCI_0	145
TXI0 (SCI チャンネル 0 の送信データエンpty割り込み)	SCI_0	146
RXI1 (SCI チャンネル 1 の受信データフル割り込み)	SCI_1	149
TXI1 (SCI チャンネル 1 の送信データエンpty割り込み)	SCI_1	150
RXI2 (SCI チャンネル 2 の受信データフル割り込み)	SCI_2	153
TXI2 (SCI チャンネル 2 の送信データエンpty割り込み)	SCI_2	154
RXI4 (SCI チャンネル 4 の受信データフル割り込み)	SCI_4	161
TXI4 (SCI チャンネル 4 の送信データエンpty割り込み)	SCI_4	162
RXI5 (SCI チャンネル 5 の受信データフル割り込み)	SCI_5	220
TXI5 (SCI チャンネル 5 の送信データエンpty割り込み)	SCI_5	221
RXI6 (SCI チャンネル 6 の受信データフル割り込み)	SCI_6	224
TXI6 (SCI チャンネル 6 の送信データエンpty割り込み)	SCI_6	225
USBINTN0 (EP1FIFO フル割り込み)	USB	232
USBINTN1 (EP2FIFO エンpty割り込み)	USB	233

(3) 外部リクエストによる起動

外部リクエストによる起動は、外部デバイスからの転送要求信号 (\overline{DREQ}) によって転送を開始します。DMA 転送が許可されているとき ($DTE=1$)、 \overline{DREQ} が入力されると DMA 転送を開始します。内部空間から内部空間への DMA 転送を行う場合は、起動要因を外部リクエスト以外 (オートリクエスト、内蔵モジュール割り込み) に設定してください。

転送要求信号は \overline{DREQ} 端子で受け付けます。 \overline{DREQ} を立ち下がりエッジで検出するか、Low レベルで検出するかは、DMDR の DREQS ビットで選択します。ブロック転送を行う場合は、Low レベル検出 ($DREQS=0$) を選択してください。

起動要因として外部リクエストを指定する場合は、あらかじめ該当する端子の DDR ビットを 0、ICR ビットを 1 に設定しておいてください。詳細は「9. I/O ポート」を参照してください。

7.5.4 バスモード

バスモードには、サイクルスチールモードとバーストモードがあります。

起動要因がオートリクエストの場合は、サイクルスチールモードとバーストモードを DMDR の DTF0 ビットで選択することができます。起動要因が内蔵モジュール割り込み、または外部リクエストの場合は、サイクルスチ

7. DMA コントローラ (DMAC)

ールモードになります。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (バイト、ワード、ロングワード、または 1 ブロックサイズ) の転送を終了するたびにバス権を解放します。その後、転送要求があればバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を解放します。この動作を転送終了条件が満たされるまで繰り返します。

DMA 転送中に他のチャンネルに転送要求がある場合は、一旦他のバスマスタに対してバス権を解放した後に、転送要求のあったチャンネルの転送を行います。複数のチャンネルに転送要求がある場合の動作の詳細については、「7.5.8 チャンネルの優先順位」を参照してください。

図 7.13 にサイクルスチールモードのタイミング例を示します。転送条件は以下の通りです。

- アドレスモード：シングルアドレスモード
- $\overline{\text{DREQ}}$ 端子のサンプリング方法：Low レベル検出

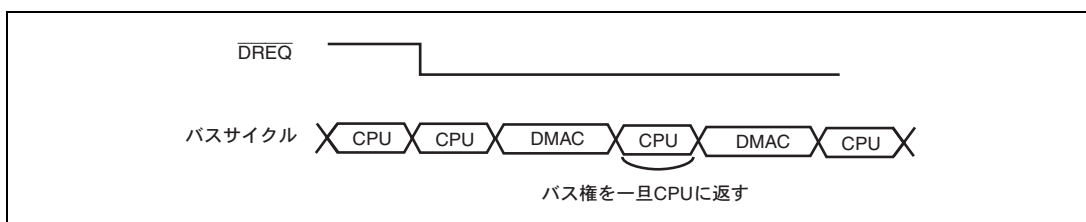


図 7.13 サイクルスチールモードのタイミング例

(2) バーストモード

バーストモードでは、DMAC は一度バス権を取ると転送終了条件が満たされるまでバス権を解放せずに転送を続けます。バーストモードでは、転送を開始すると優先順位の高い他のチャンネルに転送要求がある場合でも転送を中断することはありません。バーストモードのチャンネルが転送を終了すると、次のサイクルでサイクルスチールモードと同様にバス権を解放します。ただし、バスコントローラの BCR2 の IBCCS ビットを 1 にセットすることにより、他のバスマスタを優先して DMAC のバス権を一旦解放することができます。

ブロック転送モードでは、バーストモードの設定は無効です (1 ブロック転送中はバーストモードと同様の動作)。常にサイクルスチールモードとして動作します。

DMDR の DTE ビットを 0 にクリアすると、DMA 転送は停止します。ただし、DTE ビットを 0 にクリアするまでに DMAC 内部で発生した転送要求分の DMA 転送は実行されます。転送サイズエラー割り込みや、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込みが発生した場合は、DTE ビットを 0 にクリアして転送終了します。

図 7.14 にバーストモードのタイミング例を示します。

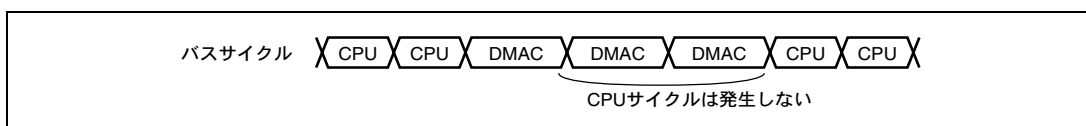


図 7.14 バーストモードのタイミング例

7.5.5 拡張リピートエリア機能

DMAC にはソースアドレス、デスティネーションアドレスに拡張リピートエリアを設定する機能があります。拡張リピートエリアを設定すると、アドレスレジスタは拡張リピートエリアに指定された範囲のアドレス値を繰り返します。リングバッファを転送の対象にした場合は、アドレスレジスタの値がバッファの最終アドレスになるたびに（リングバッファに対するアドレスのオーバーフロー）、アドレスレジスタの値をバッファの先頭アドレスに戻す操作が必要となり、拡張リピートエリア機能を使うと自動的にアドレスレジスタの値をバッファの先頭アドレスに戻す操作を DMAC 内で行うことができます。

拡張リピートエリア機能は、ソースアドレスレジスタ (DSAR) とデスティネーションアドレスレジスタ (DDAR) に独立して設定できます。

ソースアドレスの拡張リピートエリアは、DACR の SARA4~SARA0 ビットで設定します。デスティネーションアドレスの拡張リピートエリアは、DACR の DARA4~DARA0 ビットで設定します。各々の拡張リピートエリアのサイズは独立に設定できます。

アドレスレジスタの値が拡張リピートエリアの終端になり拡張リピートエリアがオーバーフローすると、DMA 転送を一時停止させて、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生することができます。DACR の SARIE ビットを 1 にセットすると、DSAR の拡張リピートエリアがオーバーフローしたときに DMDR の ESIF ビットを 1 セットし、DMDR の DTE ビットを 0 にクリアして転送を終了します。このとき、DMDR の ESIE ビットが 1 にセットされていると、CPU に対して拡張リピートエリアオーバーフロー割り込み要求を発生します。DACR の DARIE ビットを 1 にセットするとデスティネーションアドレスレジスタが対象になります。割り込み発生中に DMDR の DTE ビットに 1 をセットすると、引き続き転送を再開します。

図 7.15 に拡張リピートエリア機能の例を示します。

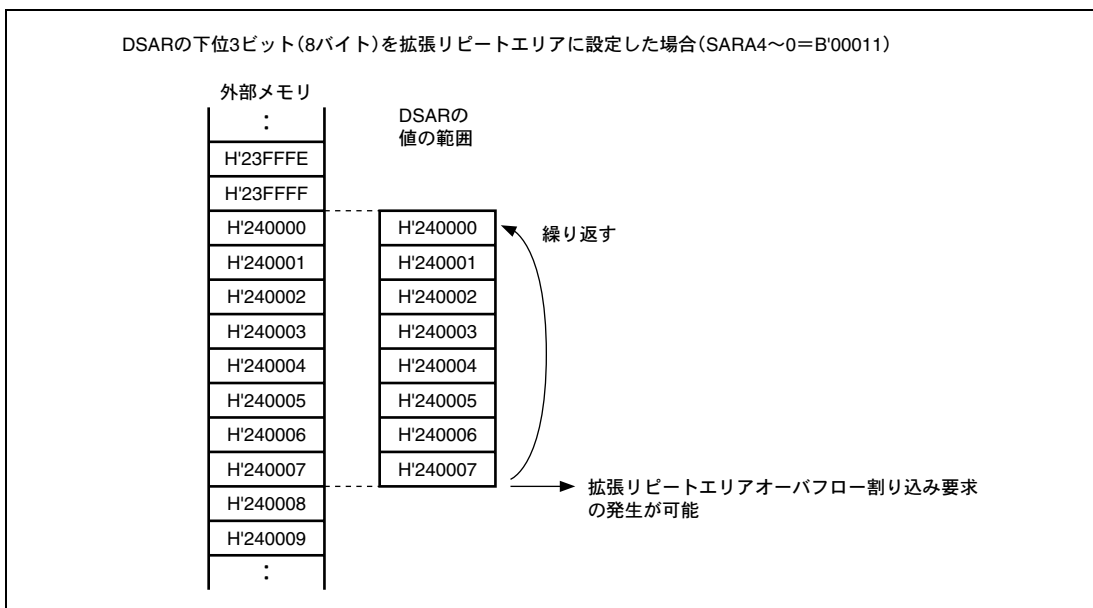


図 7.15 拡張リピートエリア機能の例

7. DMA コントローラ (DMAC)

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用する場合は、次の注意が必要です。

拡張リピートエリアのオーバーフローの発生で転送を終了させる場合は、ブロックサイズを2のべき乗になるように設定するか、またはブロックサイズの切れ目と拡張リピートエリアの範囲の切れ目が一致するようにアドレスレジスタの値を設定する必要があります。また、1ブロックサイズを転送中に拡張リピートエリアにオーバーフローが発生した場合は、1ブロックサイズの転送が終了するまで拡張リピートエリアオーバーフロー割り込み要求は保留され、転送はオーバーランします。

拡張リピートエリアオーバーフロー割り込みをブロック転送モードと併用するときと同様の注意が必要です。

図 7.16 にブロック転送モードと拡張リピートエリア機能を併用したときの例を示します。

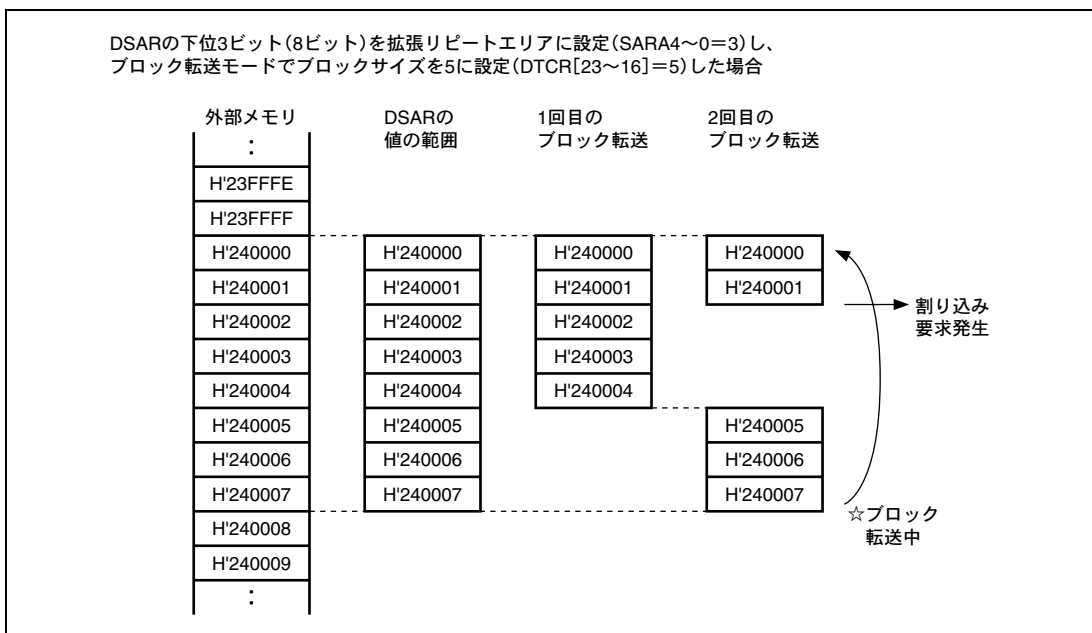


図 7.16 ブロック転送モードと拡張リピートエリア機能を併用したときの例

7.5.6 オフセットを使ったアドレス更新機能

転送先、転送元のアドレスの更新方法には、「固定」、「1、2または4の増減」の他に「オフセット加算」があります。「オフセット加算」では、DMACがデータアクセスサイズ分の転送を行うたびにオフセットレジスタ(DOFR)で設定したオフセットを加算します。この機能により、途中のアドレスを飛ばしてデータ転送ができます。

図 7.17 にアドレス更新方法を示します。

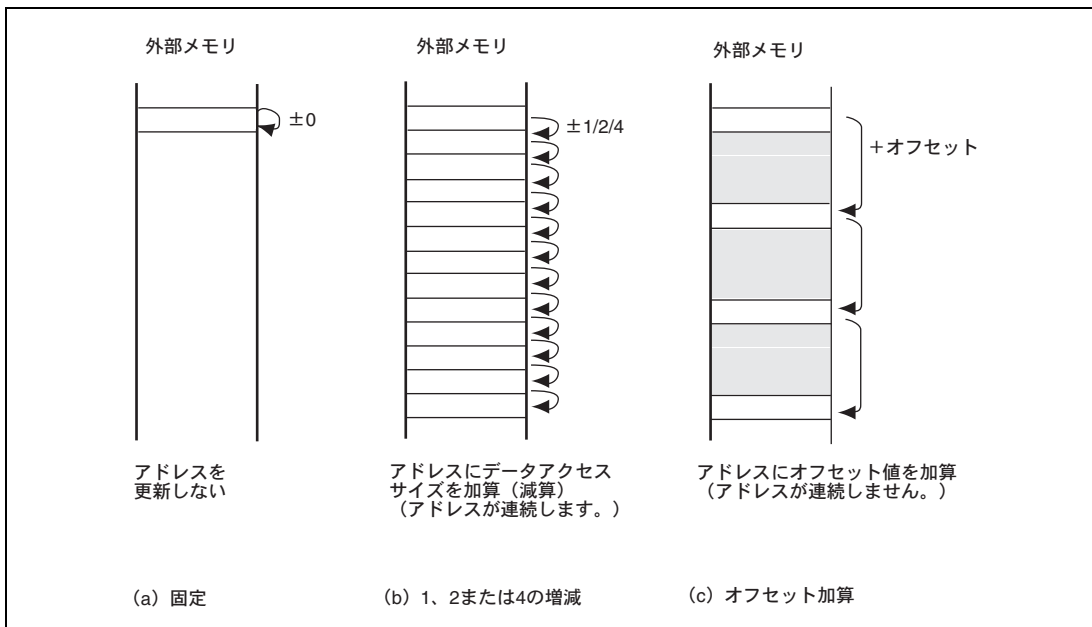


図 7.17 アドレスの更新方法

(a) の「固定」の場合は、転送先あるいは転送元のアドレスの更新が行われず常に同じアドレスを示します。

(b) の「1、2または4の増減」の場合は、データの転送が行われるたびにデータアクセスサイズに応じた値を転送先あるいは転送元のアドレスに加減算します。データアクセスサイズにはバイト、ワード、ロングワードを指定できます。バイト指定では1、ワード指定では2、ロングワード指定では4の値をアドレスの加減算に使用します。この機能により、DMACは連続するアドレスの転送を実現しています。

(c) の「オフセット加算」の場合は、データアクセスサイズに依存するアドレスの演算を実施しません。DMACはデータアクセスサイズ分の転送が行われるたびにDOFRで設定した値を転送先あるいは転送元のアドレスに加算します。

DMACは、DOFRにオフセット値を設定し、DSARやDDARと演算します。このとき、DMACはオフセット値の加算しか実行できませんが、DOFRに負値を設定することにより、オフセット値による減算も実現できます。負値を設定する場合は、負値にするオフセット値を2の補数で指定してください。

7. DMA コントローラ (DMAC)

(1) オフセットを使った基本的な転送

図 7.18 に基本的な動作を示します。

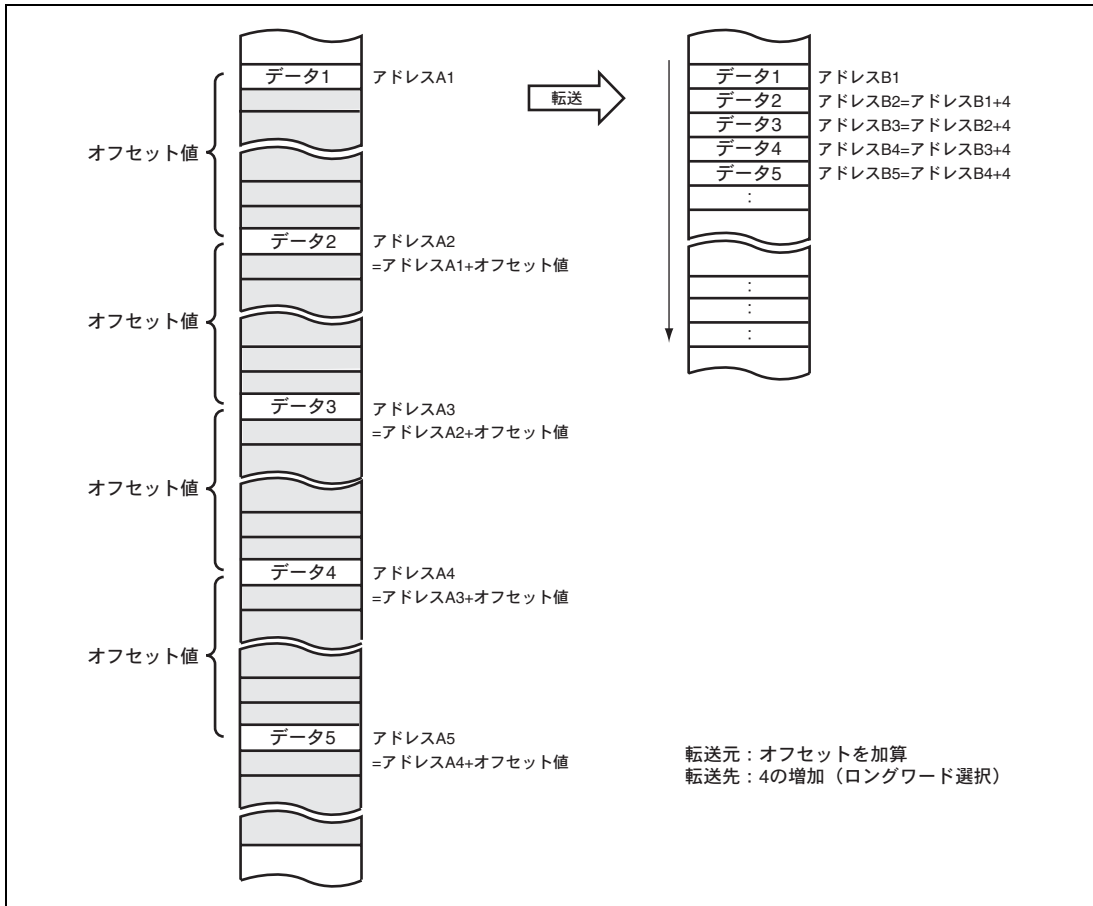


図 7.18 では、転送元アドレスの更新には「オフセット加算」を設定し、転送先アドレスの更新に「1、2、または 4 の増減」を設定しています。転送元アドレスの 2 回目以降の更新は、前の転送時のアドレスからオフセット値分ジャンプしたアドレスのデータのリードとなります。この一定間隔を空けてリードしてきたデータは、転送先では連続した領域にライトされます。

(2) オフセットを使ったXY変換例

図 7.19 にリピート転送モードと「オフセット加算」を組み合わせるXY変換を行うときの動作を示します。

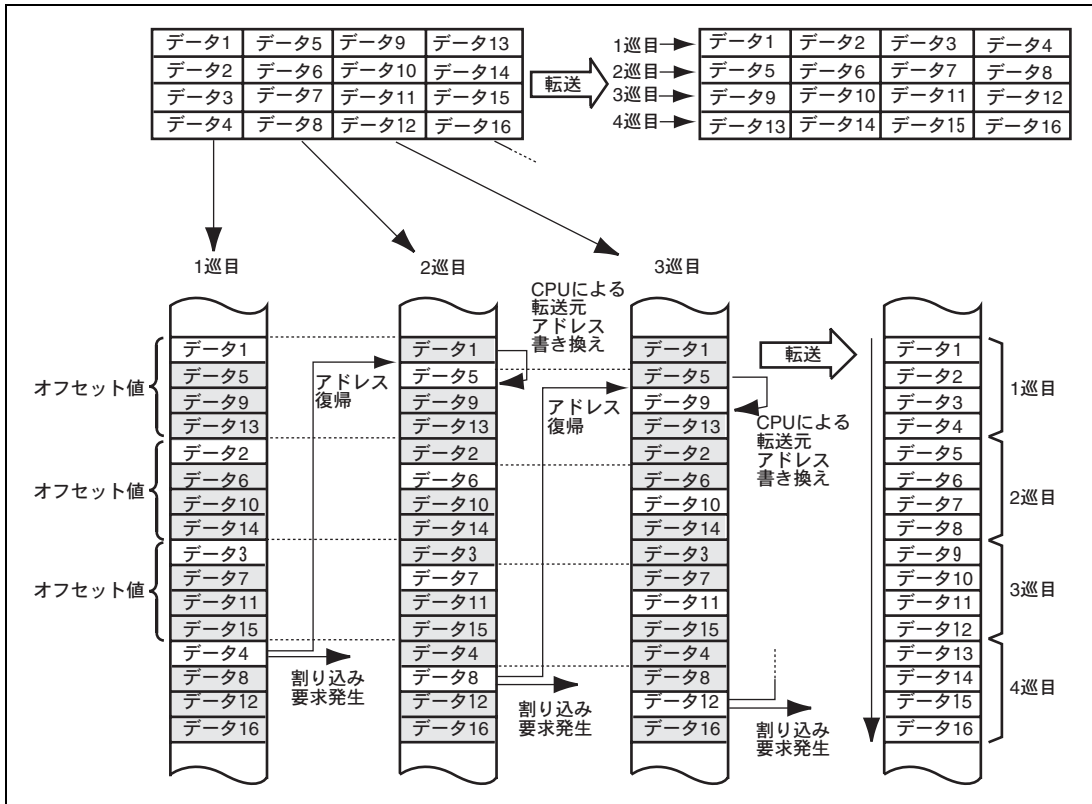


図 7.19 リピート転送モード+オフセット加算によるXY変換のときの動作

図 7.19 では、DACR でソースアドレス側をリピートエリアに設定し、かつ DACR で「オフセット加算」を設定しています。オフセット値は、4×データアクセスサイズに相当するアドレスです（例えば、データアクセスサイズがロングワードであるならば、DOFR に H'00000010 を指定したことになります）。リピートサイズは4×データアクセスサイズです（例えばデータアクセスサイズがロングワードであると、4×4=16 バイトをリピートサイズに指定したことになります）。転送先は「1、2、および4の加算」を設定しています。また、DACR の RPTIE ビットを1にセットし、リピートサイズ分の転送が終了するとリピートサイズ終了割り込み要求が発生するように設定しています。

転送が開始されると、転送元はアドレスにオフセット値を加算しデータを転送します。転送データは、転送先で転送順に連続して並べられます。データ4までのデータが転送されると、リピートサイズ分のデータを転送したことになり、DMAC は転送元のアドレスを転送開始時のアドレス（転送元データ1のアドレス）に復帰させます。また、同時にリピートサイズ終了割り込み要求を発生させます。この割り込み要求により一旦転送が中断するので、CPU による I/O レジスタアクセスで DSAR の値をデータ5のアドレスに書き換えてください（ロングワード転送ならデータ1のアドレス+4にアドレスを書き換えます）。DMDR の DTE ビットを1にセットすると、

7. DMA コントローラ (DMAC)

転送中断した状態から引き続き転送を開始します。以降同様な処理を繰り返すと、転送元のデータが転送先に XY 変換されて転送されます。

図 7.20 に XY 変換の処理フローを示します。

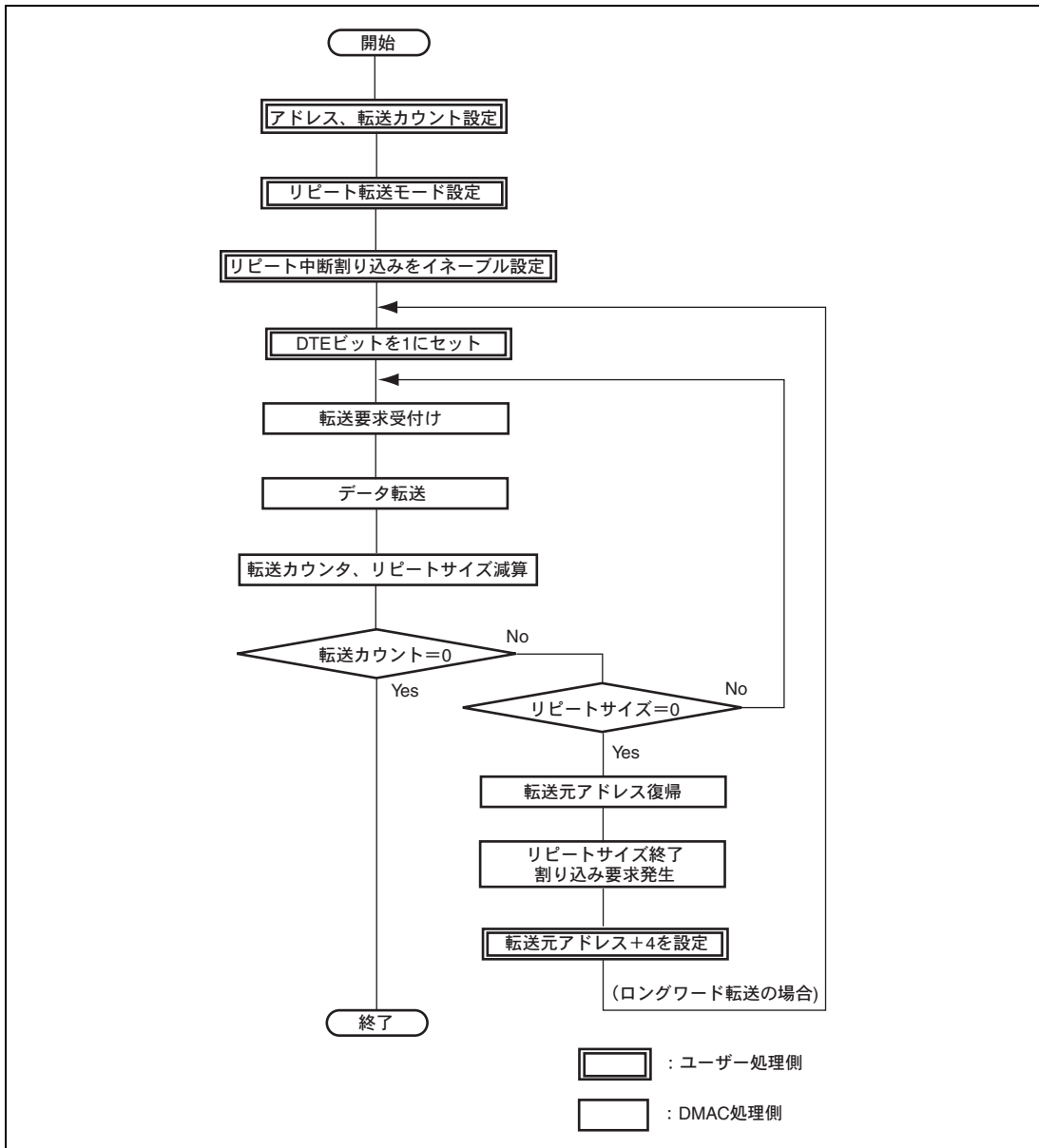


図 7.20 リピート転送モード+オフセット加算による XY 変換のフロー

(3) オフセット減算の指定方法

DOFR に負値を設定する場合はオフセット値を 2 の補数で指定してください。2 の補数は次式で求められます。

[負オフセット値の 2 の補数表現] = \sim [オフセット値]+1 (\sim : ビット反転)

例: H'0001FFFF の 2 の補数表現
 = H'FFFE0000 + H'00000001
 = H'FFFE0001

2 の補数は、CPU の NEG.L 命令でも求められます。

7.5.7 DMA 転送中のレジスタ

DMAC のレジスタは、DMA 転送処理により値を更新します。更新される値は、各種設定や転送の状態により異なります。更新されるレジスタは、DSAR、DDAR、DTCR、DBSR の BKSZH、BKSZ ビット、DMDR の DTE、ACT、ERRF、ESIF、DTIF ビットです。

(1) DMA ソースアドレスレジスタ (DSAR)

転送元の DSAR のアドレスをアクセスすると、DSAR の値を出力し、次にアクセスするアドレスに更新されません。

DACR の SAT1、SAT0 ビットでアドレスの増減を設定します。SAT1、0=B'00 のときアドレスは固定されます。SAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。SAT1、0=B'10 のときアドレスは増加し、SAT1、0=B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズになり、アドレスは ± 1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは ± 2 増減されます。DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは ± 4 増減されます。また、ワードサイズ、ロングワードサイズの設定であっても、ソースアドレスがワード境界、ロングワード境界を外れている場合、データはバイトやワードに分割してリードされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを分割してリードしている間、アドレス増減サイズは実際にリードされるデータのサイズであるバイトやワードに合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのリード後は、リード開始時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてソースアドレス側にブロックエリア (リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、ソースアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

ソースアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DSAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DSAR は、CPU からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、転送中のチャンネルの DSAR にライトしないでください。

7. DMA コントローラ (DMAC)

(2) DMA デスティネーションアドレスレジスタ (DDAR)

転送先の DDAR のアドレスをアクセスすると、DDAR の値を出力し、次にアクセスするアドレスに更新されま
す。

DACR の DAT1、DAT0 ビットでアドレスの増減を設定します。DAT1、0=B'00 のときアドレスは固定されます。
DAT1、0=B'01 のときアドレスはオフセットレジスタ値が加算されます。DAT1、0=B'10 のときアドレスは増加し、
DAT1、0=B'11 のときアドレスは減少します (増減サイズは、転送するデータアクセスサイズにより決まります)。

DMDR の DTSZ1、DTSZ0 ビットでデータアクセスサイズを設定します。DTSZ1、0=B'00 のときバイトサイズ
になり、アドレスは±1 増減されます。DTSZ1、0=B'01 のときワードサイズになり、アドレスは±2 増減されます。
DTSZ1、0=B'10 のときロングワードサイズになり、アドレスは±4 増減されます。また、ワードサイズ、ロング
ワードサイズの設定であっても、デスティネーションアドレスがワード境界、ロングワード境界を外れている場
合、データはバイトやワードに分割してライトされます。1 ワードサイズ分、1 ロングワードサイズ分のデータを
分割してライトしている間、アドレス増減サイズは実際にライトされるデータのサイズであるバイトやワードに
合わせて、+1、+2 になります。1 ワードサイズ分、1 ロングワードサイズ分のデータのライト後は、ライト開始
時のアドレスに対して、SAT1、0 の設定に従ったアドレスの増減を行います。

ブロック転送モード (またはリピート転送モード) においてデスティネーションアドレス側にブロックエリア
(リピートエリア) を設定している場合、ブロックサイズ (リピートサイズ) 分の転送を終了すると、デスティ
ネーションアドレスは転送開始アドレスに戻りアドレス更新の影響を受けません。

デスティネーションアドレス側に拡張リピートエリアを設定している場合は、その設定に従います。拡張リピ
ートエリアに設定された上位側のアドレスは固定され、アドレス更新の影響を受けません。

転送中に DDAR をリードするときは、ロングワードサイズでアクセスしてください。転送中の DDAR は、CPU
からのアクセスに関係なく更新される可能性があり、上位ワードと下位ワードを別々にリードすると正しい値が
リードできない可能性があります。また、転送中のチャンネルの DDAR にライトしないでください。

(3) DMA 転送カウントレジスタ (DTCR)

DMA 転送を行うと、DTCR の値は転送したバイト数分減少します。バイト転送した場合は-1、ワード転送し
た場合は-2、ロングワード転送した場合は-4 されます。ただし、DTCR の値が 0 のとき、転送回数はカウント
されないため DTCR の値は変化しません。

DTCR の全ビットが変化する可能性があるので、DMA 転送中に CPU から DTCR をリードするときは、ロング
ワードサイズでアクセスしてください。転送中の DTCR は CPU からのアクセスに関係なく更新される可能性があ
り、上位ワードと下位ワードを別々にリードすると正しい値がリードできない可能性があります。また、動作中
のチャンネルの DTCR にライトしないでください。

DMA 転送に伴うアドレスの更新と CPU によるライトが競合した場合は、CPU によるライトが優先されます。
DTCR=1、2、4→0 への更新と CPU によるライト (値は 0 以外) が競合した場合は、DTCR の値は CPU によるラ
イトが優先されますが、転送は終了します。

(4) DMA ブロックサイズレジスタ (DBSR)

DBSR はブロック転送モード、またはリピート転送モードのときに有効となります。DBSR [31:16] は BKSZH、
DBSR [15:0] は BKSZ として機能します。BKSZH の 16 ビットはブロックサイズやリピートサイズを保持し、そ
の値は変化しません。BKSZ の 16 ビットはブロックサイズやリピートサイズのカウンタとして機能し、1 データ

転送毎に-1します。DMA 転送によって BKSZ の値が 0 になると判断されると、DMAC は BKSZ に 0 をストアせずに BKSZH の値をストアします。

DBSR は上位 16 ビットが更新されることがないので、ワードサイズでアクセスすることができます。

動作中のチャンネルの DBSR にライトしないでください。

(5) DMDR の DTE ビット

DMDR の DTE ビットは、CPU によりライトしてデータ転送の許可/禁止を制御しますが、DMA 転送状態によって DMAC により自動的に DTE ビットを 0 にクリアすることがあります。

DMAC により DTE ビットが 0 にクリアされる条件は以下です。

- 設定の総転送サイズの転送が終了したとき
- 転送サイズエラー割り込み要求が発生し、転送が終了したとき
- リピートサイズ終了割り込み要求が発生し、転送が終了したとき
- 拡張リピートエリアオーバーフロー割り込み要求が発生し、転送が終了したとき
- NMI 割り込みが発生し、転送が停止したとき
- アドレスエラーが発生し、転送が停止したとき
- リセット時
- ハードウェアスタンバイモード時
- DTE ビットに 0 をライトして、転送が停止したとき

DTE ビットが 1 にセットされているチャンネルのレジスタのライトは禁止されています (DTE ビットを除く)。DTE ビットに 0 をライトしてから各レジスタの設定を変更するときは、DTE ビットが 0 にクリアされていることを確認してください。

図 7.21 に、動作中のチャンネルのレジスタ設定を変更する手順を示します。

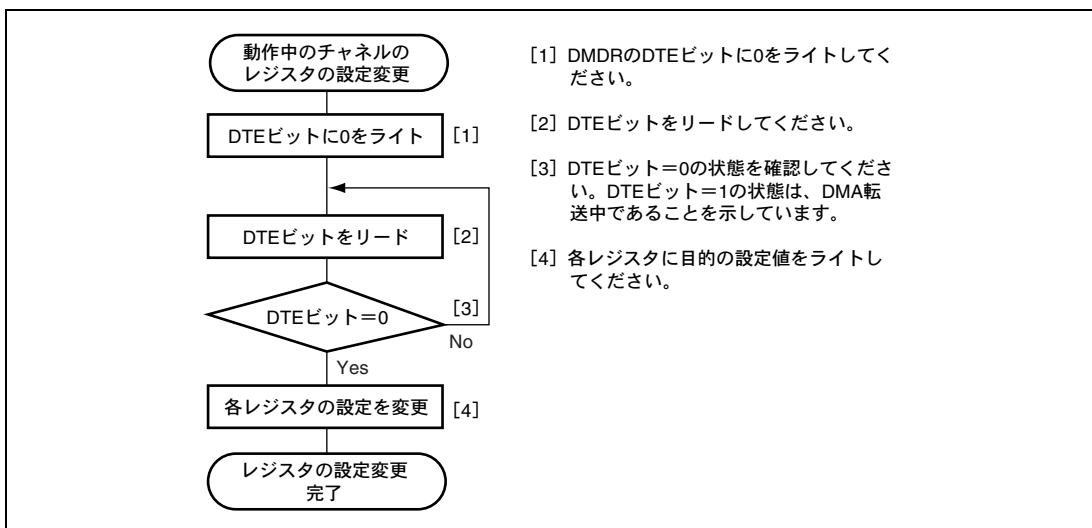


図 7.21 動作中のチャンネルのレジスタ設定を変更するときの手順

7. DMA コントローラ (DMAC)

(6) DMDR の ACT ビット

DMDR の ACT ビットは、DMAC が待機状態かアクティブ状態かを示します。DTE=0 の場合と、DTE=1 で転送要求待ち状態の場合に ACT=0 となり、それ以外の場合 (DMAC がアクティブ状態) には ACT=1 になります。DTE ビットに 0 をライトして転送を停止させても DMA 転送中であれば、ACT ビットは 1 を保持します。

ブロック転送モードの場合、DTE ビットに 0 をライトして転送を停止させても 1 ブロックサイズの転送は中断されません。DTE ビットに 0 をライトしてから 1 ブロックサイズの転送が終了するまでの期間、ACT ビットは 1 を保持します。

バーストモードの場合、DTE ビットに 0 をライトしたバスサイクルから最大 3 回の DMA 転送が行われてから転送を停止します。DTE ビットに 0 をライトしてから最後の DMA サイクルが終了するまでの期間、ACT ビットは 1 を保持します。

(7) DMDR の ERRF ビット

アドレスエラー、または NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアして転送を終了します。また、DMAC は転送中か否かに関わらず、DMDR_0 の ERRF ビットを 1 にセットし、アドレスエラー、または NMI 割り込みが発生したことを示します。ただし、DMAC がモジュールストップ状態にある場合、アドレスエラーや NMI 割り込みに対しては、ERRF ビットを 1 にセットしません。

(8) DMDR の ESIF ビット

転送サイズ割り込み、リピートサイズ終了割り込み、拡張リピートエリアオーバフロー割り込み要求が発生したとき、DMDR の ESIF ビットは 1 にセットされます。ESIF ビットが 1 にセットされ、DMDR の ESIE ビットが 1 にセットされていると転送エスケープ割り込み要求を CPU や DTC に対して発生します。

ESIF ビットに 1 がセットされるタイミングは、割り込み要求を発生させる要因になった DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットを 1 にセットして転送を再開した場合、自動的に ESIF ビットが 0 にクリアされ、割り込み要求は解除されます。

割り込みについては「7.8 割り込み要因」を参照してください。

(9) DMDR の DTIF ビット

DMA 転送によって総転送サイズ分の転送を終了すると、DMDR の DTIF ビットは 1 にセットされます。DTIF ビットが 1 にセットされ、DMDR の DTIE ビットが 1 にセットされていると転送カウンタによる転送終了割り込み要求を CPU や DTC に対して発生します。

DTIF ビットが 1 にセットされるタイミングは、DMA 転送のバスサイクルが終了して、DMDR の ACT ビットが 0 になって転送を終了したときです。

割り込み処理中に DTE ビットに 1 をセットして転送を再開した場合、自動的に DTIF ビットが 0 クリアされ、割り込み要求は解除されます。

割り込みについては「7.8 割り込み要因」を参照してください。

7.5.8 チャンネルの優先順位

DMAC のチャンネル間の優先順位は、チャンネル 0 > チャンネル 1 > チャンネル 2 > チャンネル 3 の順になっています。表 7.6 に DMAC のチャンネル間の優先順位を示します。

表 7.6 DMAC のチャンネル間の優先順位

チャンネル	優先順位
チャンネル 0	高
チャンネル 1	↑
チャンネル 2	↓
チャンネル 3	低

転送中に他のチャンネルからの転送要求があると、転送中のチャンネルを除いて最も優先度の高いチャンネルが選択されます。選択されたチャンネルは、転送中のチャンネルがバスを解放後に転送を開始します。このとき、DMAC 以外の他のバスマスタからバス権要求があると、他のバスマスタのサイクルが入ります。

バースト転送中、および 1 ブロック分のブロック転送中は、チャンネルを切り換えて転送することはありません。

図 7.22 に、チャンネル 0~2 からの転送要求が同時に発生したときの転送例を示します。

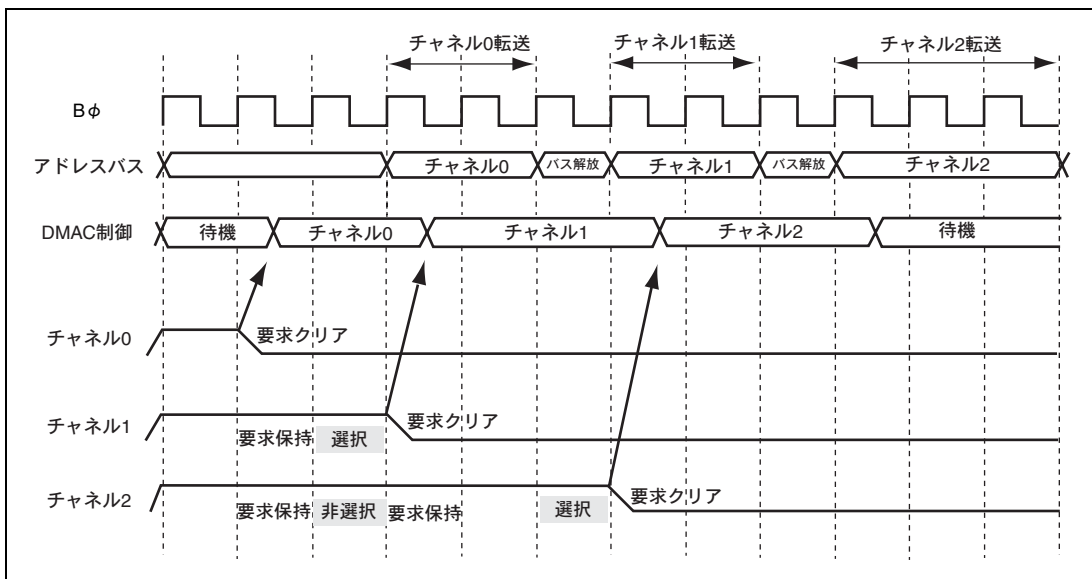


図 7.22 チャンネルの優先順位のタイミング例

7. DMA コントローラ (DMAC)

7.5.9 基本バスサイクル

基本的なバスサイクルのタイミング例を図 7.23 に示します。図 7.23 は、ワードサイズで 16 ビット 2 ステートアクセス空間から 8 ビット 3 ステートアクセス空間へ転送する例です。CPU から DMAC にバス権が移ると、ソースアドレスのリード、デスティネーションアドレスのライトを行います。このリード/ライト動作の間に、他のバス権要求などによってバスを解放することはありません。DMAC サイクルは CPU サイクルと同様にバスコントローラの設定に従います。

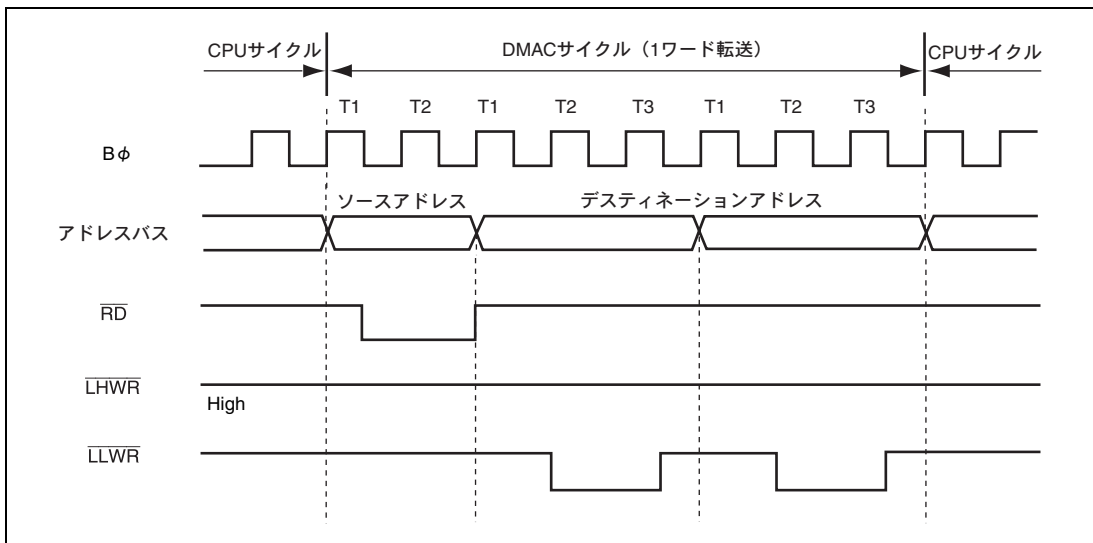


図 7.23 DMA 転送バスタイミング例

7.5.10 デュアルアドレスモードのバスサイクル

(1) ノーマル転送モード (サイクルスチールモード)

サイクルスチールモードでは、1回の転送単位 (1バイト、1ワードまたは1ロングワード) の転送を終了するたびにバスを解放します。バス解放期間中はCPU、またはDTCによるバスサイクルが1回以上入ります。

図 7.24 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

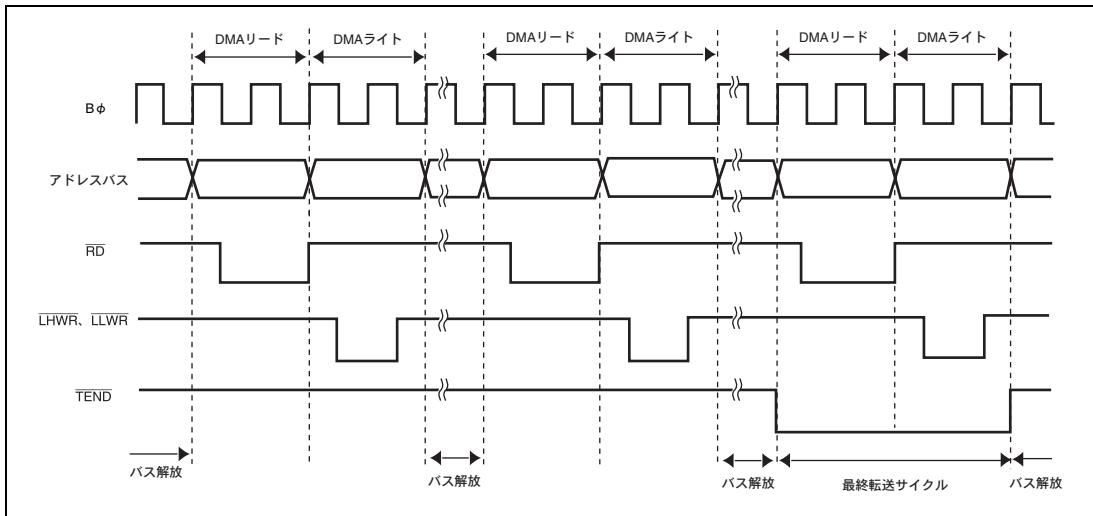


図 7.24 ノーマル転送モードかつサイクルスチールモードの転送例

図 7.25、図 7.26 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から 16 ビット 2 ステートアクセス空間へロングワードサイズでノーマル転送モードかつサイクルスチールモードで転送を行った場合の例を示します。

図 7.25 では、転送元は (DSAR=ロングワード境界を外れたアドレス)、転送先は (DDAR=ロングワード境界に沿ったアドレス) です。

図 7.26 では、転送元は (DSAR=ロングワード境界に沿ったアドレス)、転送先は (DDAR=ロングワード境界を外れたアドレス) です。

7. DMA コントローラ (DMAC)

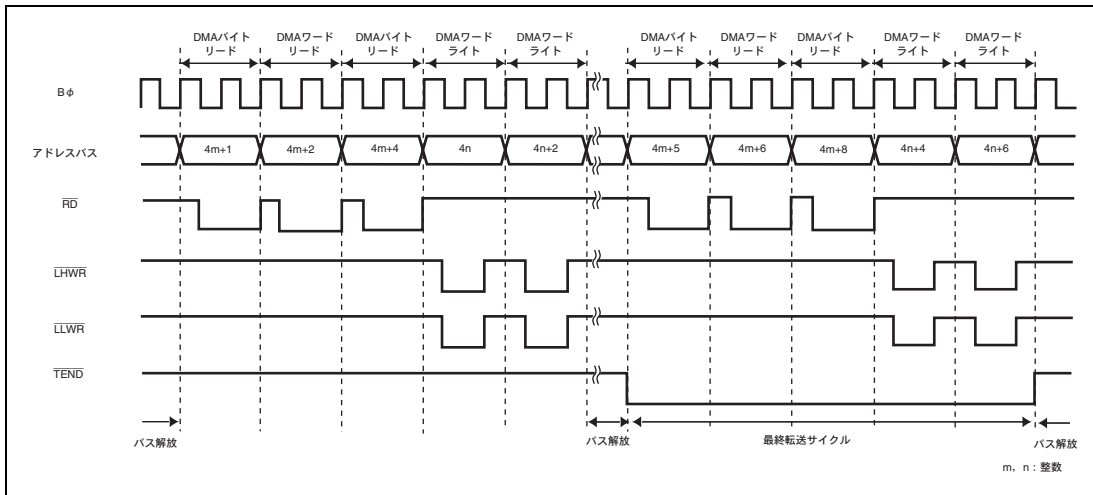


図 7.25 ノーマル転送モードかつサイクルスチールモードの転送例
(転送元 DSAR=奇数アドレス、ソースアドレス増加)

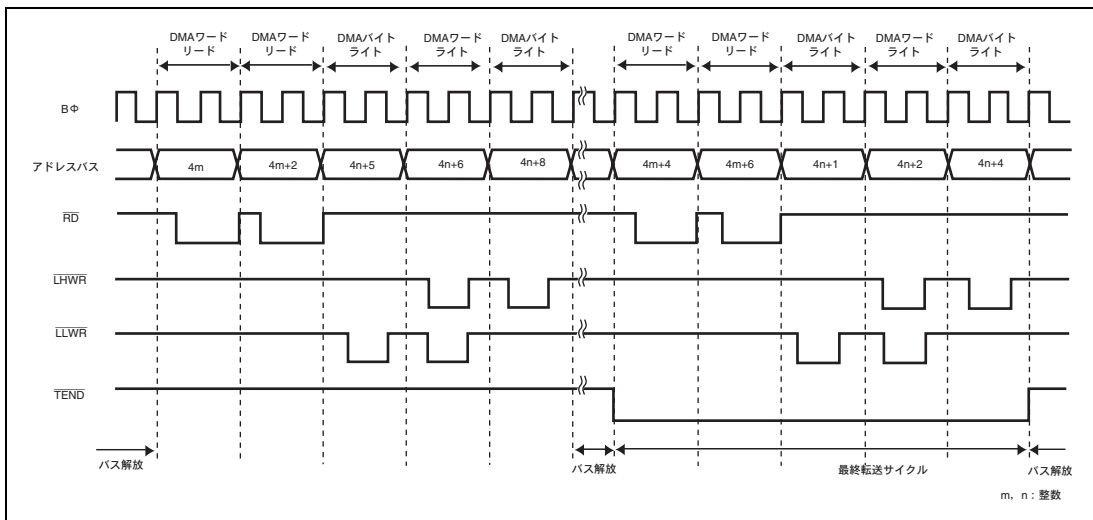


図 7.26 ノーマル転送モードかつサイクルスチールモードの転送例
(転送先 DDAR=奇数アドレス、デスティネーションアドレス減少)

(2) ノーマル転送モード (バーストモード)

バーストモードでは、1 バイト、1 ワードまたは 1 ロングワードの転送を転送終了条件が満たされるまで続けます。

バースト転送を開始すると、優先順位の高い他のチャネルの転送要求が発生してもバースト転送が終了するまで待たされます。

図 7.27 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでノーマル転送モードかつバーストモードで転送を行った場合の例を示します。

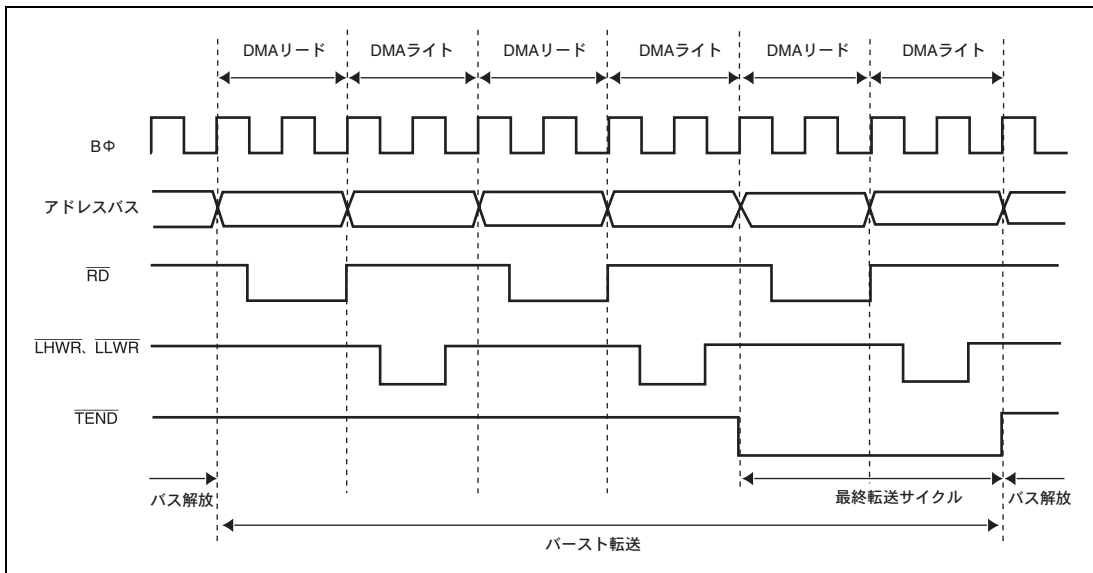


図 7.27 ノーマル転送モードかつバーストモードの転送例

7. DMA コントローラ (DMAC)

(3) ブロック転送モード

ブロック転送モードでは、1回の転送要求について1ブロック分の転送を終了するたびにバスを解放します。

図 7.28 に、 $\overline{\text{TEND}}$ 出力を許可して、外部 16 ビット 2 ステートアクセス空間から外部 16 ビット 2 ステートアクセス空間へワードサイズでブロック転送モードで転送を行った場合の例を示します。

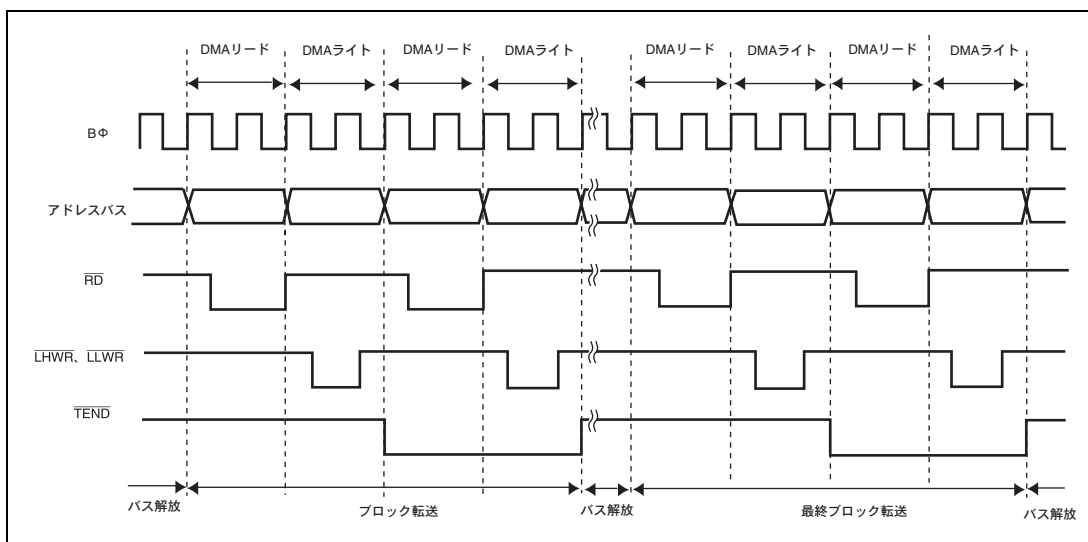


図 7.28 ブロック転送モードの転送例

(4) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動タイミング

図 7.29 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

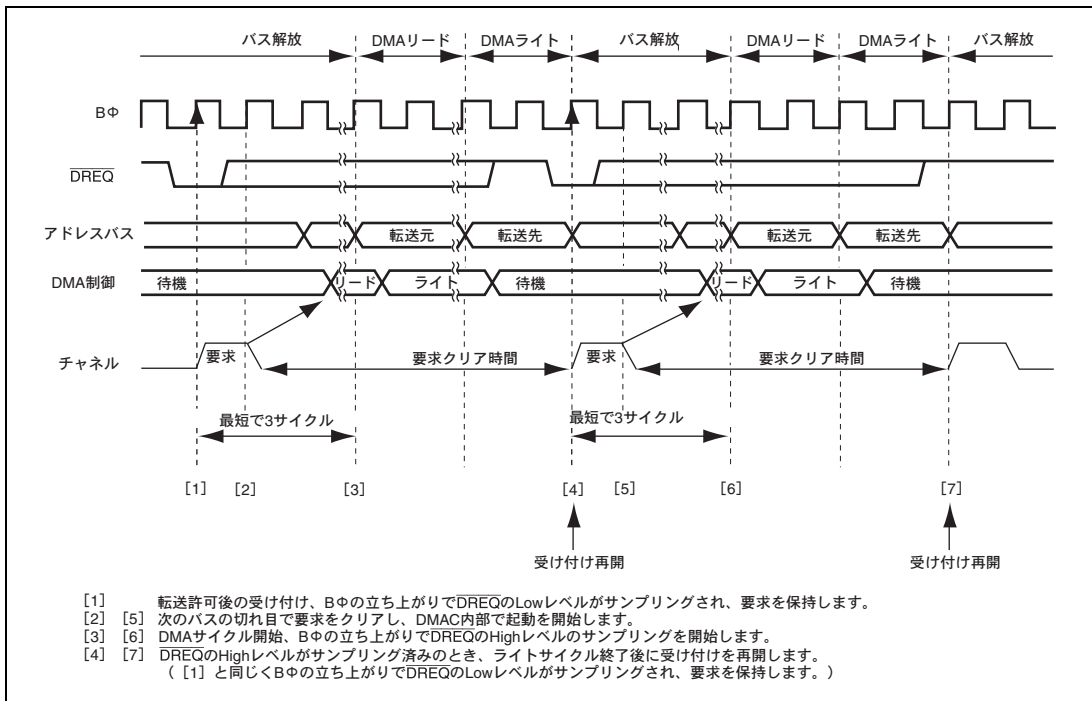


図 7.29 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

図 7.30 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のため $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA ライトサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいればライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

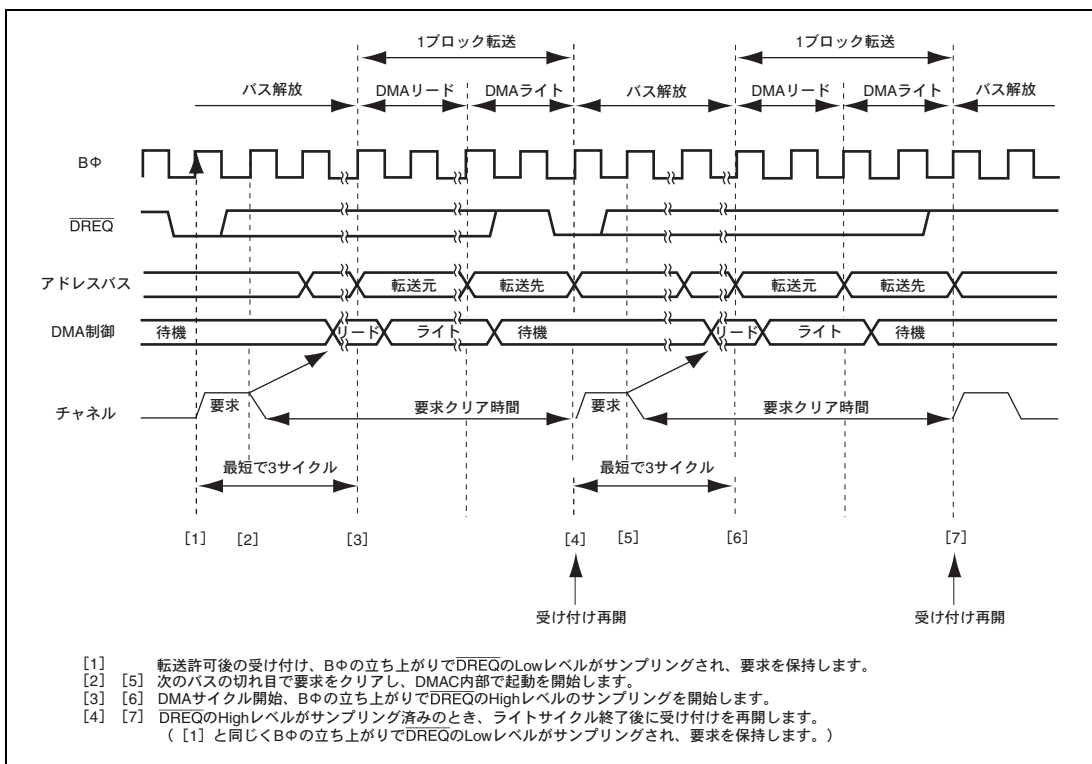


図 7.30 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のブロック転送モードの転送例

(5) $\overline{\text{DREQ}}$ レベル起動タイミング

図 7.31 に $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

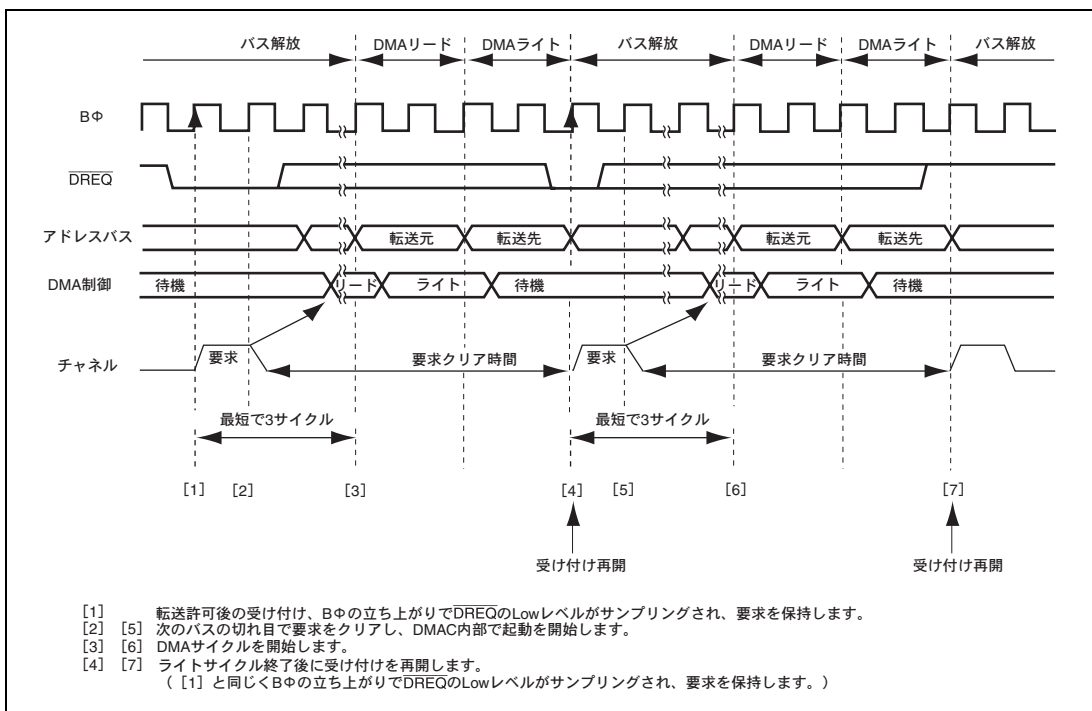


図 7.31 $\overline{\text{DREQ}}$ レベル起動時のノーマル転送モードの転送例

7. DMA コントローラ (DMAC)

図 7.32 に $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

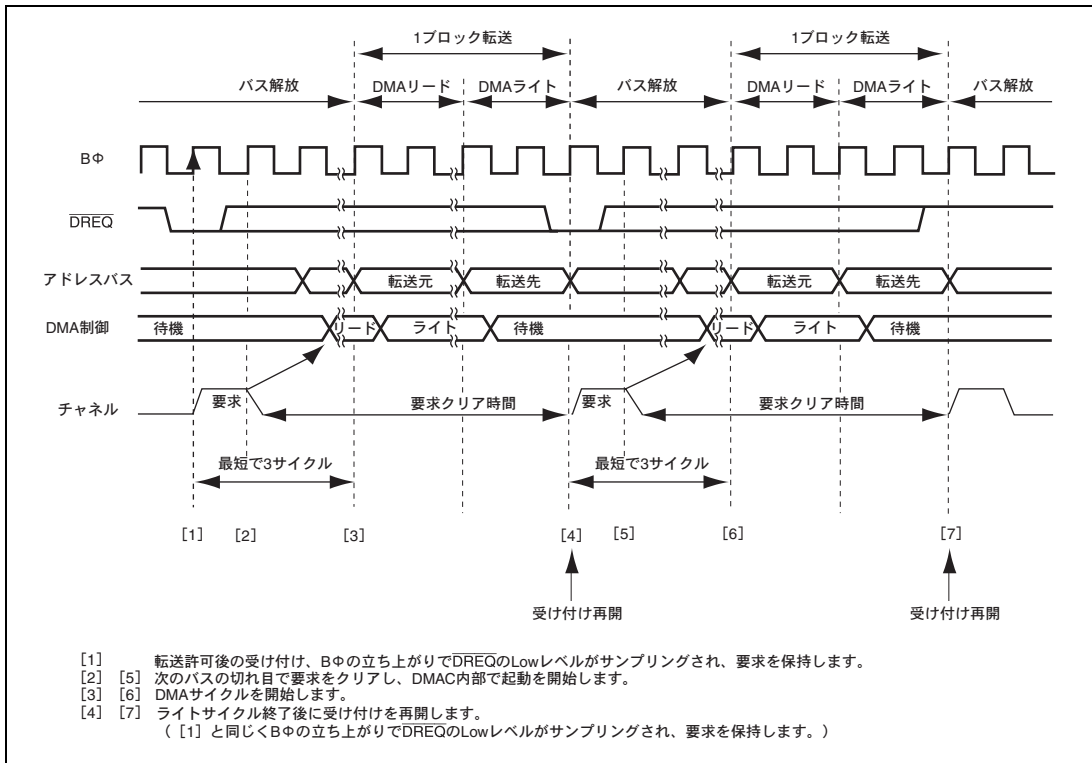


図 7.32 $\overline{\text{DREQ}}$ レベル起動時のブロック転送モードの転送例

(6) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.33 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。ライトサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

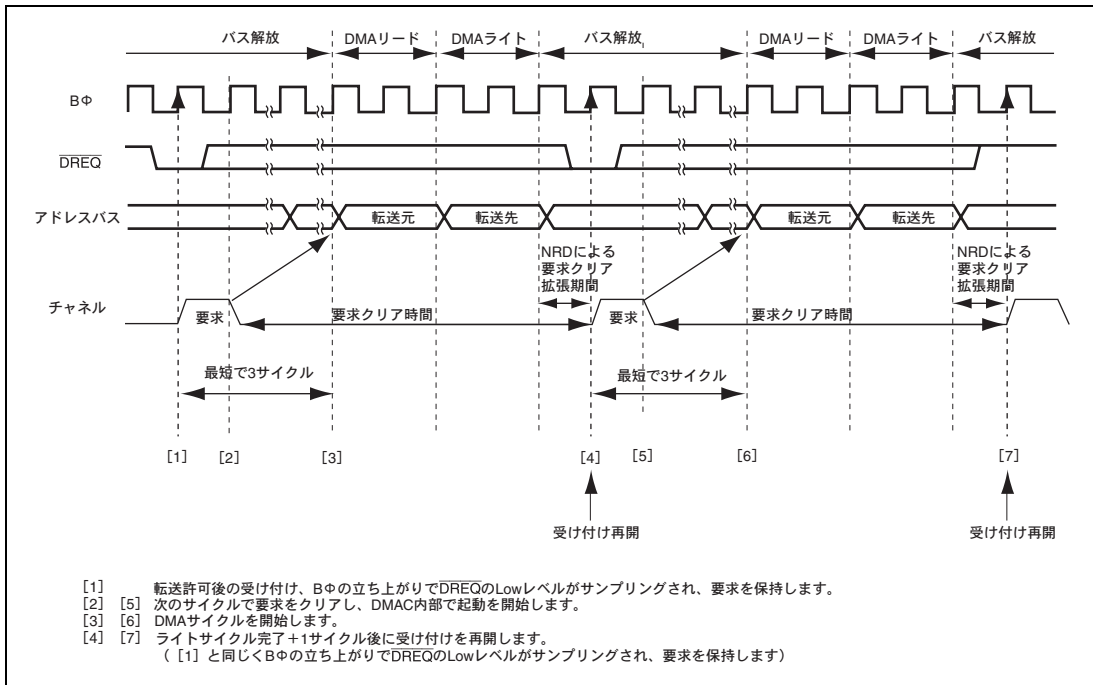


図 7.33 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のノーマル転送モードの転送例

7.5.11 シングルアドレスモードのバスサイクル

(1) シングルアドレスモード (リード、サイクルスチールモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後に一旦バスを解放します。バス解放期間中はCPU または DTC によるバスサイクルが1回以上入ります。

図 7.34 に、 \overline{TEND} 出力を許可して、外部 8 ビット 2 ステートアクセス空間から外部デバイスへバイトサイズでシングルアドレスモードで転送 (リード) を行った場合の例を示します。

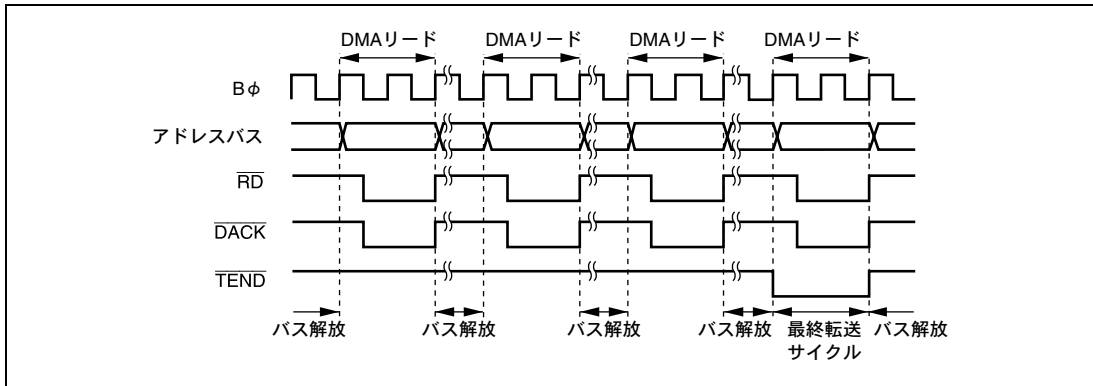


図 7.34 シングルアドレスモード (バイトリード) の転送例

(2) シングルアドレスモード (ライト、サイクルスチルモード)

シングルアドレスモードでは、1回の転送要求について1バイト、1ワード、または1ロングワードの転送を行い、転送終了後に一旦バスを解放します。バス解放期間中はCPU、またはDTCによるバスサイクルが1回以上入ります。

図 7.35 に、 $\overline{\text{TEND}}$ 出力を許可して、外部デバイスから外部 8 ビット 2 ステートアクセス空間へバイトサイズでシングルアドレスモードで転送 (ライト) を行った場合の例を示します。

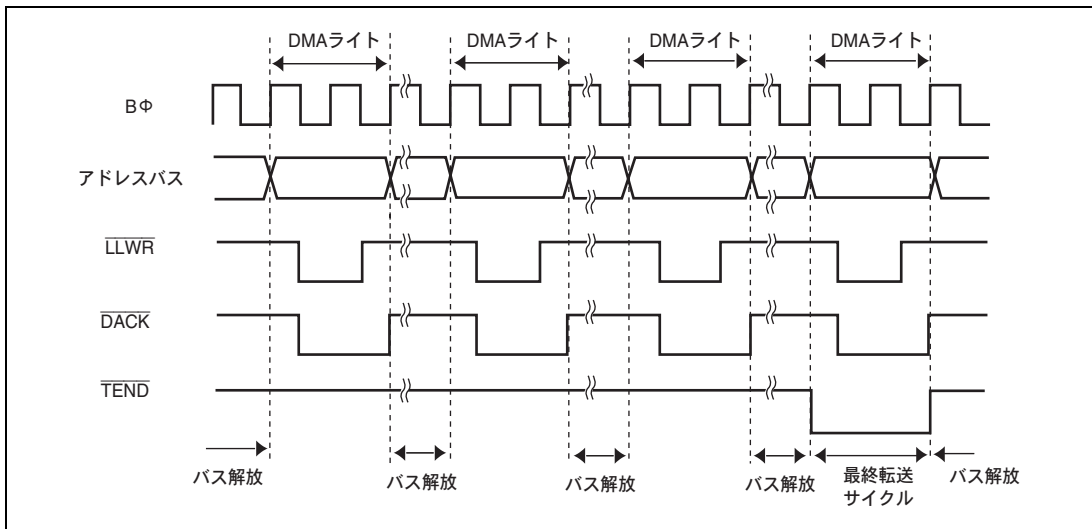


図 7.35 シングルアドレスモード (バイトライト) の転送例

7. DMA コントローラ (DMAC)

(3) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動タイミング

図 7.36 に $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされ、エッジ検出のために $\overline{\text{DREQ}}$ の High レベルのサンプリングが開始されます。DMA シングルサイクル終了までに $\overline{\text{DREQ}}$ の High レベルのサンプリングが済んでいれば、シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

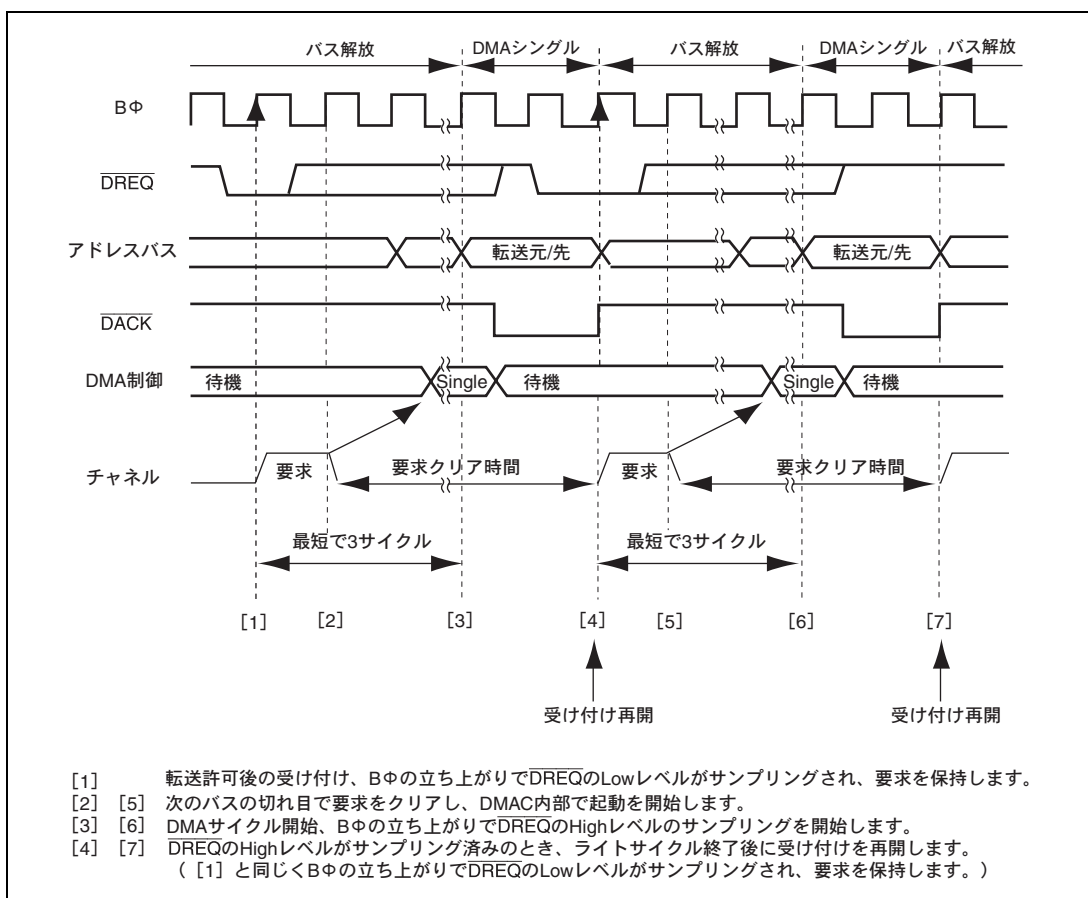


図 7.36 $\overline{\text{DREQ}}$ 立ち下がりエッジ起動時のシングルアドレスモードの転送例

(4) $\overline{\text{DREQ}}$ Low レベル起動タイミング

図 7.37 に $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で転送要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に転送要求の受け付けが再開され、再び $\overline{\text{DREQ}}$ 端子の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

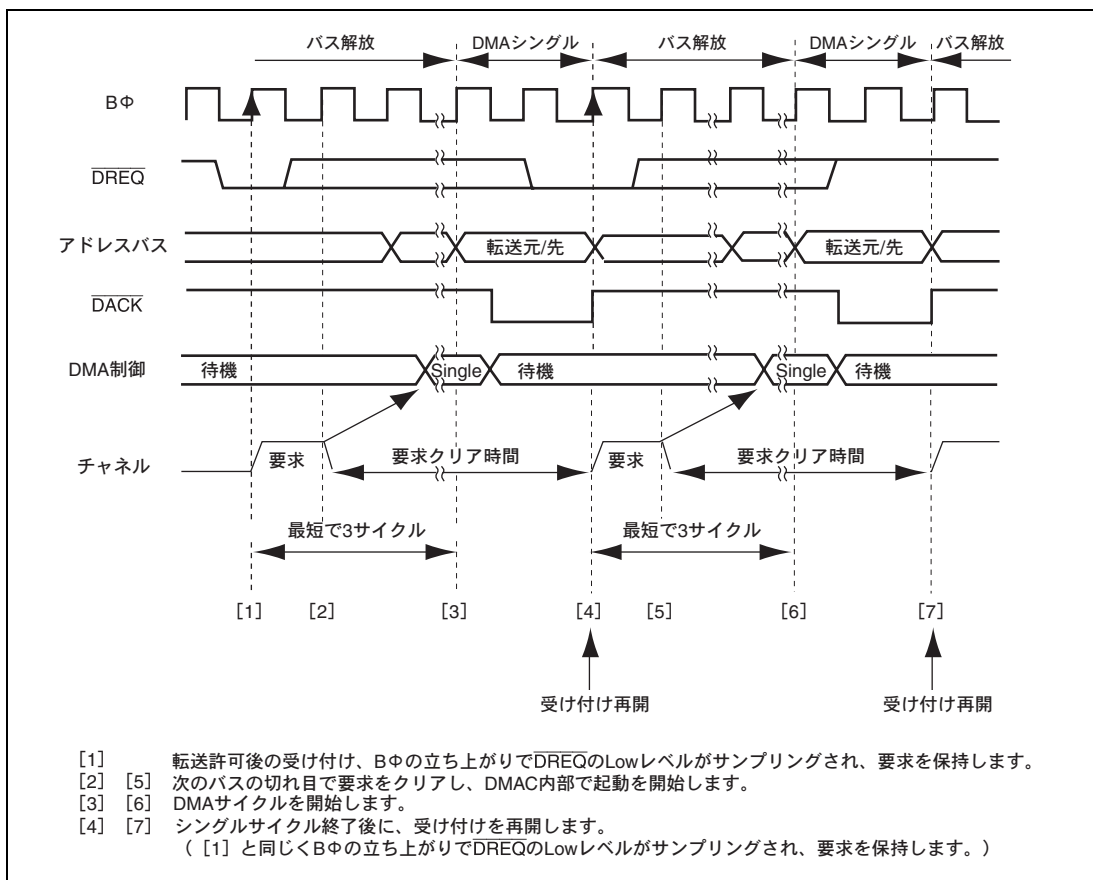


図 7.37 $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7. DMA コントローラ (DMAC)

(5) NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動タイミング

DMDR の NRD ビットを 1 にセットすると、次の転送要求の受け付けタイミングを 1 サイクル遅延させることができます。

図 7.38 に NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例を示します。

$\overline{\text{DREQ}}$ のサンプリングは、DTE ビットのライトサイクル終了直後の次の B ϕ の立ち上がりを起点に毎サイクル行われます。

$\overline{\text{DREQ}}$ による転送要求の受け付けが可能な状態で $\overline{\text{DREQ}}$ の Low レベルがサンプリングされると、DMAC 内部で要求が保持されます。次に DMAC 内部で起動がかかると転送要求はクリアされます。シングルサイクル終了後に NRD=1 による 1 サイクルの要求クリア期間後に受け付けが再開され、再び $\overline{\text{DREQ}}$ の Low レベルをサンプリングして転送終了までこの動作を繰り返します。

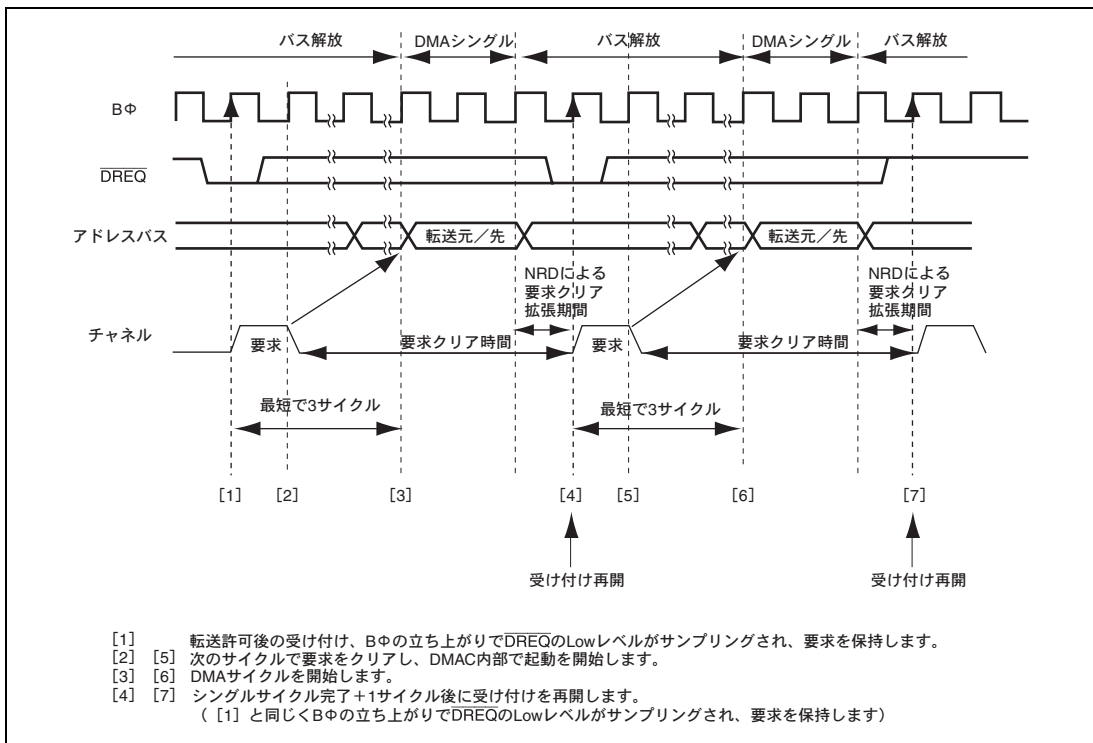


図 7.38 NRD=1 のときの $\overline{\text{DREQ}}$ Low レベル起動時のシングルアドレスモードの転送例

7.6 DMA 転送終了

DMA 転送終了は、転送終了条件によって動作が異なります。DMA 転送が終了すると、DMDR の DTE ビットと ACT ビットが 1 から 0 になり、DMA 転送が終了したことを示します。

(1) DTCR=1、2、4→0 による転送終了

DTCR の値が 1、2、または 4 から 0 になると対応するチャンネルの DMA 転送が終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の DTIF ビットが 1 にセットされます。このとき DMDR の DTIE ビットが 1 にセットされていると、転送カウンタによる転送終了割り込み要求が発生します。DTCR の値が転送前から 0 の場合は、DMA 転送は終了しません。

(2) 転送サイズエラー割り込みによる転送終了

DMDR の TSEIE ビットが 1 にセットされているときに次の条件を満たすと、転送サイズエラー割り込み要求が発生し、DMA 転送を終了します。このとき DMDR の DTE ビットは 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。

- ノーマル転送モード、リピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さくなり、1 要求あたりのデータアクセスサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さくなり、1 要求あたりのブロックサイズ分の転送ができなくなった状態で、次の転送要求が発生したとき

DMDR の TSEIE ビットが 0 にクリアされているときは、DTCR が 0 になるまで転送を行い、転送サイズエラー割り込み要求は発生しません。各転送モードごとの動作を以下に示します。

- ノーマル転送モードやリピート転送モードにおいて、データアクセスサイズよりも DTCR の値が小さいと、データアクセスサイズをバイトに固定して転送を行います。
- ブロック転送モードにおいて、ブロックサイズよりも DTCR の値が小さいと、ブロックサイズ分の転送を行わず DTCR 分の転送を行います。データアクセスサイズよりも DTCR の値が小さいときは、データアクセスサイズをバイトに固定して転送を行います。

(3) リピートサイズ終了割り込みによる転送終了

リピート転送モードにおいて、DACR の RPTIE ビットが 1 にセットされているときに、1 リピートサイズ分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。割り込み要求の発生により DMA 転送を終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR の ESIF ビットが 1 にセットされます。この状態から DTE ビットを 1 にセットすると転送を再開させることができます。

ブロック転送モードにおいても、リピートサイズ終了割り込み要求を発生させることができます。ブロック転送モードでは、1 ブロック分の転送終了後に次の転送要求が発生すると、リピートサイズ終了割り込み要求が発生します。

(4) 拡張リピートエリアオーバフロー割り込みによる転送終了

拡張リピートエリアを指定し、DACR の SARIE ビットまたは DARIE ビットが 1 にセットされているときに、アドレスの拡張リピートエリアがオーバフローすると、拡張リピートエリアオーバフロー割り込み要求が発生します。割り込み要求の発生により DMA 転送は終了し、DMDR の DTE ビットが 0 にクリアされ、同時に DMDR

7. DMA コントローラ (DMAC)

の ESIF ビットが 1 にセットされます。

デュアルアドレスモードでは、リードサイクル中に拡張リピートエリアオーバーフロー割り込み要求が発生しても続くライトサイクル処理は実行されます。

ブロック転送モードでは、1 ブロック分の転送中に拡張リピートエリアオーバーフロー割り込み要求が発生しても 1 ブロック分の転送は実行されます。拡張リピートエリアオーバーフロー割り込みによる転送終了は、ブロックサイズの区切りで発生します。

(5) DMDR の DTE ビットに 0 をライトして転送終了

CPU 等によって DMDR の DTE ビットに 0 をライトすると、転送中の DMA サイクルおよび転送要求を受け付けた DMA サイクルの実行後に転送終了されます。

ブロック転送モードでは、転送中の 1 ブロックサイズの転送終了後に DMA 転送を終了します。

(6) NMI 割り込みによる転送終了

NMI 割り込みが発生した場合、DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中に NMI 割り込みが発生した場合、転送は強制的に終了します。NMI 割り込み発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

以下に、NMI 割り込み検出後の転送終了タイミングを各モード毎に示します。

(a) ノーマル転送モード、リピート転送モード

デュアルアドレスモードでは、1 転送単位の DMA 転送のライトサイクル終了後に DMA 転送を終了します。

シングルアドレスモードでは、1 転送単位の DMA 転送のバスサイクル終了後に DMA 転送を終了します。

(b) ブロック転送モード

ブロックサイズ分の DMA 転送を中断して強制終了します。ブロックサイズ分の転送が正しく実行されなくなるため、転送要求に対する整合性は保証されません。

デュアルアドレスモードでは、ノーマル転送モードと同様にリードサイクルに対応するライトサイクルは実行されます。

(7) アドレスエラーによる転送終了

アドレスエラーが発生すると DMAC は全チャンネルの DTE ビットを 0 にクリアし、かつ DMDR_0 の ERRF ビットを 1 にセットします。DMA 転送中にアドレスエラーが発生した場合、転送は強制的に終了します。アドレスエラー発生後に DMA 転送を行う場合は、ERRF ビットを 0 にクリアした後に各チャンネルの DTE ビットを 1 にセットしてください。

アドレスエラー検出後の転送終了タイミングは、NMI 割り込みによる強制終了タイミングと同様です。

(8) ハードウェアスタンバイモード、リセット入力による転送終了

ハードウェアスタンバイモードまたはリセット入力により、DMAC は初期化されます。DMA 転送は保証されません。

7.7 DMAC と他のバスマスタの関係

7.7.1 CPU に対する DMAC の優先レベル制御機能

CPU プライオリティコントロールレジスタ (CPUPCR) の設定により、CPU に対する DMAC の優先レベル制御機能を使用することができます。詳細は「5.7 CPU に対する DTC、DMAC の優先レベル制御機能」を参照してください。

DMAC の優先レベルは、DMDR の DMAP2~0 ビットで設定します。チャンネル毎に優先レベルを独立に設定することができます。

CPU の優先レベルは、CPUPCR の CPUP2~0 ビットで設定します。CPU の優先レベルは、CPUP2~0 ビットの値を割り込みマスクビットの値で更新することにより、例外処理のプライオリティレベルに対応した優先レベルに設定されます。

CPUPCR の CPUPCE ビットを 1 にセットして CPU の優先レベル制御を有効にすると、DMAC の優先レベルが CPU の優先レベルよりも低くなると対応するチャンネルの転送要求はマスクされ、当該チャンネルは起動されなくなります。他のチャンネルの優先レベルが CPU の優先レベルと同じか、高い場合は、チャンネル間の優先順位に関係なく、他のチャンネルの転送要求は受け付けられ転送が可能です。

CPU の優先レベル制御機能により転送要求をマスクされた転送要因は保留され、CPU の優先レベルまたは当該チャンネルの優先レベルを更新して CPU の優先レベルが当該チャンネルの優先レベルよりも低くなると、転送要求を受け付けて転送を開始します。保留されている転送要求は、DTE ビットに 0 をライトするとクリアされます。

CPUPCE ビットを 0 にクリアすると CPU の優先レベルは最低と見なされます。

7.7.2 他のバスバスタとのバス権の調停

DMA 転送サイクルが連続する場合、各バスサイクルの間に他のバスマスタのサイクルが挿入される場合と、挿入されない場合があります。設定により DMAC のバス権を一旦解放して他のバスマスタにバス権を譲ることができます。

DMA 転送サイクルが連続するバスサイクルには、転送モードの仕様により不可分割となる場合、転送モードの仕様により高速アクセスのためバスサイクルが連続する場合があります。

DMA 転送サイクルのリードとライトの間は不可分割となっています。このため、DMA 転送サイクルのリードとライトの間にリフレッシュサイクル、外部バス解放サイクル、内部バスマスタ (CPU、DTC) のサイクルは発生しません。

ブロック転送モード、およびオートリクエストのバーストモードの転送では、DMA 転送のバスサイクルは連続します。この期間、CPU、DTC はバス権の優先順位が DMAC よりも低いため外部空間アクセスは待たされます (バスコントロールレジスタ 2 (BCR2) の IBCCS=0 のとき)。

他のチャンネルに切り替わるとき、およびオートリクエストのサイクルスチールモードの転送では、DMA 転送サイクルは内部バスマスタと交互にバスサイクルを実行します。

BCR2 の IBCCS ビットを 1 にセットして DMAC と内部バスマスタとの間の調停機能を有効にすると、不可分割のバスサイクルを除いて、バス権を一旦解放して内部バスマスタとの間で交互にバス権を取得します。詳細は「6. バスコントローラ (BSC)」を参照してください。

DMAC が外部空間をアクセスする場合、外部バス解放サイクルとの競合が発生することがあります。このとき

7. DMA コントローラ (DMAC)

バスコントローラは、外部バスの優先順位に従って、DMAC がバースト転送またはブロック転送を行っているときでも転送を一旦中断し、外部バス解放サイクルを挿入します (DMAC よりも優先順位の低い DTC、CPU の外部アクセスは、DMAC が外部バスを解放するまで動作しません)。


DMAC の転送モードがデュアルアドレスモードの場合、DMAC が外部バスを解放するタイミングは外部ライトサイクルの後となります。外部リードサイクルと外部ライトサイクルの間は不可分割のため、この間にバスを解放することはありません。

DMAC が内部空間 (内蔵メモリ、内部 I/O レジスタ) をアクセスする場合、DMAC サイクルが外部バス解放サイクルと同時に行われることがあります。

7.8 割り込み要因

DMAC が発生する割り込み要因は、転送カウンタによる転送終了、転送カウンタが 0 にならずに転送終了するエスケープ終了割り込みです。表 7.7 に割り込み要因と優先度を示します。

表 7.7 割り込み要因と優先度

名称	割り込み要因	割り込み優先順位
DMTEND0	チャンネル 0 の転送カウンタによる転送終了割り込み	高  低
DMTEND1	チャンネル 1 の転送カウンタによる転送終了割り込み	
DMTEND2	チャンネル 2 の転送カウンタによる転送終了割り込み	
DMTEND3	チャンネル 3 の転送カウンタによる転送終了割り込み	
DMEEND0	チャンネル 0 の転送サイズエラーによる割り込み	
	チャンネル 0 のリピートサイズ終了割り込み	
	チャンネル 0 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 0 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND1	チャンネル 1 の転送サイズエラーによる割り込み	
	チャンネル 1 のリピートサイズ終了割り込み	
	チャンネル 1 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 1 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND2	チャンネル 2 の転送サイズエラーによる割り込み	
	チャンネル 2 のリピートサイズ終了割り込み	
	チャンネル 2 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 2 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	
DMEEND3	チャンネル 3 の転送サイズエラーによる割り込み	
	チャンネル 3 のリピートサイズ終了割り込み	
	チャンネル 3 のソースアドレス拡張リピートエリアオーバーフローによる割り込み	
	チャンネル 3 のデスティネーションアドレス拡張リピートエリアオーバーフローによる割り込み	

各割り込み要因は、対応するチャンネルの DMDR の DTIE ビットと ESIE ビットにより許可または禁止を設定できます。DTIE ビットは、DMDR の DTIF ビットとの組み合わせで DMTEND 割り込みを発生させます。ESIE ビットは、DMDR の ESIF ビットとの組み合わせで DMEEND 割り込みを発生させます。DMEEND 内の割り込み要因は共通の割り込みとして区別されません。チャンネル間の割り込みの優先順位は、割り込みコントローラによって決められており、表 7.7 に示すようになっています。詳細は「5. 割り込みコントローラ」を参照してください。

7. DMA コントローラ (DMAC)

各割り込み要因は、対応するチャンネルのレジスタの割り込みイネーブルビットで設定します。転送カウンタによる転送終了割り込みは DMDR の DTIE ビット、転送サイズエラーによる割り込みは DMDR の TSEIE ビット、リピートサイズ終了による割り込みは DACR の RPTIE ビット、ソースアドレス拡張リピートエリアオーバーフロー割り込みは DACR の SARIE ビット、デスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは DACR の DARIE ビットにより許可または禁止を設定します。

転送カウンタによる転送終了割り込みは、DMDR の DTIE ビットが 1 にセットされていると、転送により DTCR が 0 になり DMDR の DTIF ビットが 1 にセットされたときに発生します。

転送カウンタによる転送終了割り込み以外の割り込みは、対応する割り込みイネーブルビットが 1 にセットされていると、転送により対応する条件が発生し DMDR の ESIF ビットが 1 にセットされたときに発生します。

転送サイズエラーによる割り込みは、データアクセスサイズよりも DTCR の値が小さくなり 1 要求あたりのデータアクセスサイズ分の転送ができないときに転送要求があると発生します。ブロック転送モードでは、ブロックサイズと DTCR の値を比較して転送サイズエラー判定を行います。

リピートサイズ終了割り込みは、リピート転送モードにおいてリピートサイズ分の転送終了後に次の転送要求があると発生します。リピートエリアをアドレスレジスタに設定しない場合でもリピートサイズに設定した値により定期的に転送を中断させることができます。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

ソースアドレス拡張リピートエリアオーバーフロー割り込み、およびデスティネーションアドレス拡張リピートエリアオーバーフロー割り込みは、拡張リピートエリアを設定して対応するアドレスがリピートエリアオーバーフローになったときに発生します。同時に転送カウンタによる転送終了割り込みが発生した場合も、ESIF ビットは 1 にセットされます。

各種割り込みと割り込みフラグのブロック図を図 7.39 に示します。割り込みを解除するには、割り込み処理ルーチンにて DMDR の DTIF ビットまたは ESIF ビットを 0 にクリアする方法と、レジスタの再設定後に DMDR の DTE ビットを 1 にセットして転送継続の処理を行う方法があります。割り込みを解除して、転送を再開する手順例を図 7.40 に示します。

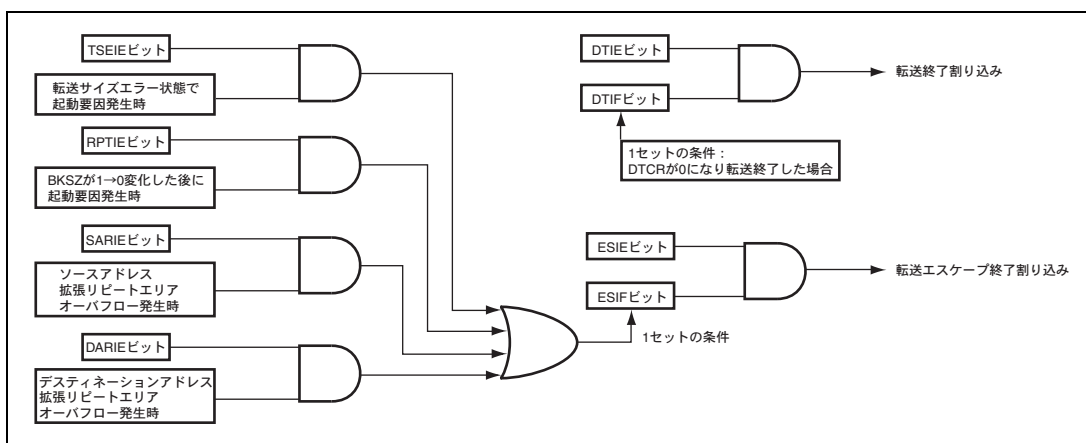


図 7.39 割り込みと割り込み要因

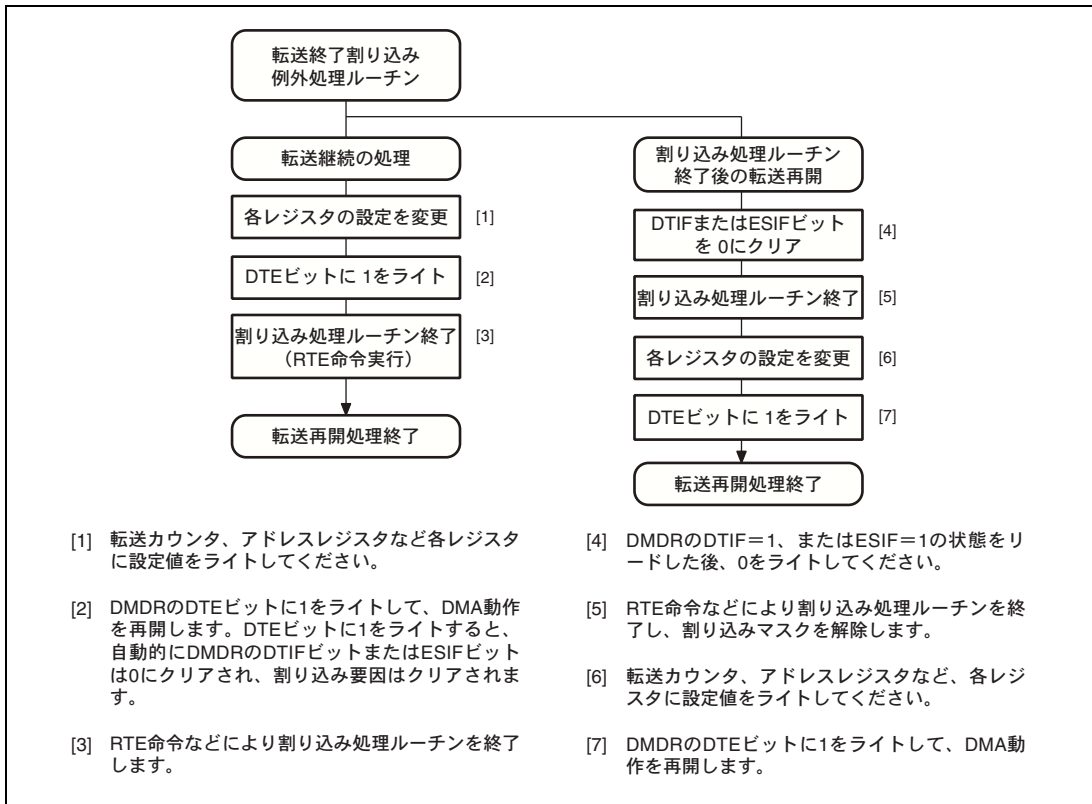


図 7.40 割り込みを解除して、転送を再開する手順例

7.9 使用上の注意事項

(1) 動作中の DMAC レジスタのアクセス

DMDR の DTE ビットを 0 にクリアする場合を除き、動作中（転送待ち状態を含む）にチャンネルの設定を変更しないでください。動作中にチャンネルの設定を変更する場合は、必ず転送禁止状態で行ってください。

(2) モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DMAC の動作停止／許可を設定することができます。初期値では、DMAC は動作許可状態です。

MSTPCRA の MSTPA13 ビットを 1 にセットすると、DMAC に供給されるクロックが停止し、DMAC はモジュールストップ状態になります。ただし、DMAC のいずれかのチャンネルが転送許可状態になっている場合、および割り込み要求を発生中の場合は、MSTPA13 ビットを 1 にセットできません。DMDR の DTE ビットを 0 にクリアして、DMDR の DTIF ビットまたは DTIE ビットを 0 にクリアしてから MSTPA13 ビットを設定してください。

DMAC のクロックが停止すると、DMAC のレジスタに対するアクセスができなくなります。次の DMAC のレジスタ設定は、モジュールストップ状態でも有効となりますので、必要に応じてモジュールストップ状態に先立って無効にしてください。

- DMDRのTENDE=1 ($\overline{\text{TEND}}$ 端子イネーブル)
- DMDRのDACKE=1 ($\overline{\text{DACK}}$ 端子イネーブル)

(3) $\overline{\text{DREQ}}$ 立ち下がりエッジ起動

$\overline{\text{DREQ}}$ 立ち下がりエッジ検出は、DMAC の内部動作に同期して行います。

1. 起動要求待ち状態： $\overline{\text{DREQ}}$ のLowレベル検出を待ち。[2.]に遷移します。
2. 転送待ち状態：DMACのデータ転送許可待ち。[3.]に遷移します。
3. 起動要求禁止状態： $\overline{\text{DREQ}}$ のHighレベル検出を待ち。[1.]に遷移します。

DMAC の転送許可後は [1.] に遷移します。このため、転送許可後の最初の起動は Low レベル検出で行われません。

(4) 起動要因の受け付け

起動要因の受け付け開始時は、 $\overline{\text{DREQ}}$ の立ち下がりエッジセンス／Low レベルセンスともに Low レベルを検出しています。従って、転送許可状態にするための DMDR ライト実行以前から発生している $\overline{\text{DREQ}}$ の Low レベル検出による転送要求を受け付けます。

DMAC の起動時には、前回の転送終了時に $\overline{\text{DREQ}}$ の Low レベルが残らないようにしてください。

8. データトランスファコントローラ (DTC)

本 LSI は、データトランスファコントローラ (DTC) を内蔵しています。DTC は、割り込み要求によって起動され、データ転送を行うことができます。

8.1 特長

- 任意チャネル数の転送が可能
 - 一つの起動要因に対して複数のデータ転送が可能 (チェイン転送)
 - データ転送後にチェイン転送の実行を設定可能 (カウンタ=0のとき)
- 転送モード：3種類
 - ノーマル転送モード、リピート転送モード、ブロック転送モードの選択が可能
 - 転送元、転送先アドレスのインクリメント、デクリメント、固定の選択が可能
- ショートアドレスモード/フルアドレスモードを選択可能
 - 転送情報は、ショートアドレスモードのとき3ロングワード、フルアドレスモードのとき4ロングワードに配置
 - ショートアドレスモードでは転送元、転送先アドレスを24ビットで指定でき、16Mバイトのアドレス空間を直接指定可能
 - フルアドレスモードでは転送元、転送先アドレスを32ビットで指定でき、4Gバイトのアドレス空間を直接指定可能
- データ転送のデータサイズをバイト、ワード、ロングワードに設定可能
 - 奇数アドレスを指定し、ワード、ロングワード転送を行った場合にバスサイクルを分割して転送
 - $4n+2$ アドレスを指定し、ロングワード転送を行った場合にバスサイクルを分割して転送
- DTCを起動した割り込みをCPUに要求可能
 - 1回のデータ転送終了後にCPUに対する割り込み要求を発生可能
 - 指定したデータ転送終了後にCPUに対する割り込み要求を発生可能
- 転送情報のリードスキップを指定可能
- 固定を選択した転送元アドレス、転送先アドレスはライトバックスキップを実行
- モジュールストップ機能の設定可能

8. データトランスファコントローラ (DTC)

DTC ブロック図を図 8.1 に示します。DTC の転送情報は、データ領域に配置可能です*。転送情報を内蔵 RAM に配置した場合、DTC と内蔵 RAM は 32 ビットバスで接続されていますので、DTC の転送情報のリード/ライトを 32 ビット 1 ステートで実行できます。

【注】 * 転送情報を内蔵 RAM に配置した場合、必ず SYSCR の RAME ビットを 1 にセットしてください。

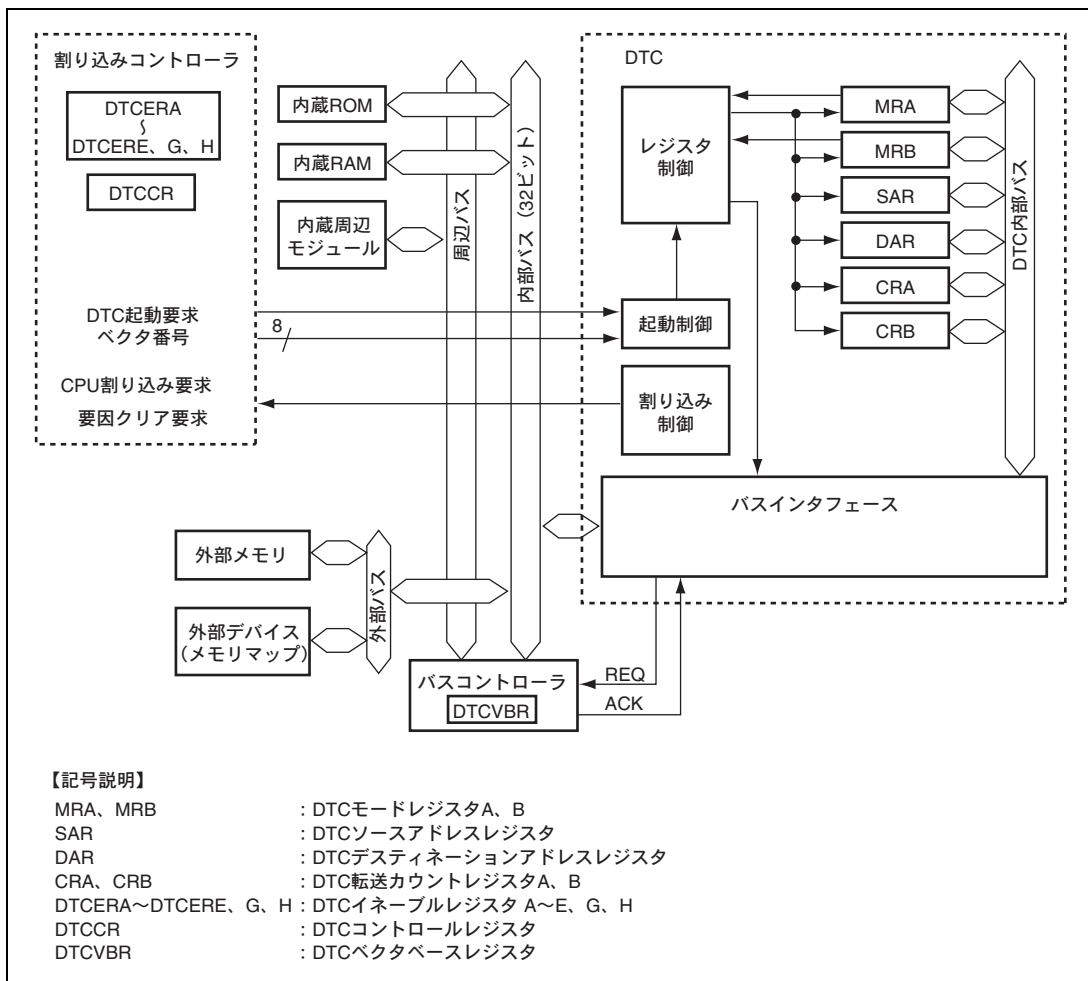


図 8.1 DTC のブロック図

8.2 レジスタの説明

DTC には以下のレジスタがあります。

- DTCモードレジスタA (MRA)
- DTCモードレジスタB (MRB)
- DTCソースアドレスレジスタ (SAR)
- DTCデスティネーションアドレスレジスタ (DAR)
- DTC転送カウントレジスタA (CRA)
- DTC転送カウントレジスタB (CRB)

MRA、MRB、SAR、DAR、CRA、CRB の6本のレジスタは、CPU から直接アクセスすることはできません。データ領域に転送情報として配置します。DTC 起動要因が発生すると、起動要因ごとに決められたベクタアドレスに従って転送情報の先頭アドレスを読み出し、任意の転送情報を DTC 内に転送してデータ転送を行います。転送が終了すると、これらのレジスタの内容がライトバックされます。

- DTCイネーブルレジスタA~E、G、H (DTCERA~DTCERE、DTCERG、DTCERH)
- DTCコントロールレジスタ (DTCCR)
- DTCベクタベースレジスタ (DTCVBR)

8. データトランスファコントローラ (DTC)

8.2.1 DTC モードレジスタ A (MRA)

MRA は、DTC の動作モードの選択を行います。MRA は、CPU から直接アクセスすることができません。

ビット	7	6	5	4	3	2	1	0
ビット名	MD1	MD0	Sz1	Sz0	SM1	SM0	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
7	MD1	不定	—	DTC モード 1、0
6	MD0	不定	—	DTC の転送モードを指定します。 00 : ノーマル転送モード 01 : リピート転送モード 10 : ブロック転送モード 11 : 設定禁止
5	Sz1	不定	—	DTC データトランスファサイズ 1、0
4	Sz0	不定	—	転送データのサイズを指定します。 00 : バイトサイズ転送 01 : ワードサイズ転送 10 : ロングワードサイズ転送 11 : 設定禁止
3	SM1	不定	—	ソースアドレスモード 1、0
2	SM0	不定	—	データ転送後の SAR の動作を指定します。 0X : SAR は固定 (SAR のライトバックはスキップされます。) 10 : 転送後 SAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11 : 転送後 SAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1	—	不定	—	リザーブビット
0	—	不定	—	ライトする値は常に 0 にしてください。

【注】 X : Don't care

8.2.2 DTC モードレジスタ B (MRB)

MRB は、DTC の動作モードの選択を行います。MRB は、CPU から直接アクセスできません。

ビット	7	6	5	4	3	2	1	0
ビット名	CHNE	CHNS	DISEL	DTS	DM1	DM0	—	—
初期値 :	不定	不定	不定	不定	不定	不定	不定	不定
R/W :	—	—	—	—	—	—	—	—

ビット	ビット名	初期値	R/W	説明
7	CHNE	不定	—	DTC チェイン転送イネーブル チェイン転送を指定します。チェイン転送の詳細は「8.5.7 チェイン転送」を参照してください。チェイン転送の条件の選択は CHNS ビットで行います。 0 : チェイン転送禁止 1 : チェイン転送許可
6	CHNS	不定	—	DTC チェイン転送セレクト チェイン転送の条件を選択します。次の転送がチェイン転送の場合、指定した転送回数の終了判定、起動要因フラグまたは DTCER のクリアは行いません。 0 : 連続してチェイン転送を行う 1 : 転送カウンタ=0 のときのみチェイン転送を行う
5	DISEL	不定	—	DTC インタラプトセレクト このビットが 1 のとき、DTC データ転送のたびに CPU に対して割り込み要求が発生します。このビットが 0 のときは指定されたデータ転送を終了したときだけ CPU に対して割り込み要求が発生します。
4	DTS	不定	—	DTC 転送モードセレクト リピート転送モードまたはブロック転送モードのとき、ソース側とデスティネーション側のいずれをリピート領域またはブロック領域とするかを指定します。 0 : デスティネーション側がリピート領域またはブロック領域 1 : ソース側がリピート領域またはブロック領域
3	DM1	不定	—	デスティネーションアドレスモード 1、0
2	DM0	不定	—	データ転送後の DAR の動作を指定します。 0X : DAR は固定 (DAR のライトバックはスキップされます。) 10 : 転送後 DAR をインクリメント (Sz1、Sz0 が B'00 のとき+1、B'01 のとき+2、B'10 のとき+4) 11 : 転送後 DAR をデクリメント (Sz1、Sz0 が B'00 のとき-1、B'01 のとき-2、B'10 のとき-4)
1	—	不定	—	リザーブビット
0	—	不定	—	ライトする値は常に 0 にしてください。

【注】 x : Don't care

8. データトランスファコントローラ (DTC)

8.2.3 DTC ソースアドレスレジスタ (SAR)

SAR は 32 ビットのレジスタで、DTC の転送するデータの転送元アドレスを指定します。

フルアドレスモードでは 32 ビットが有効です。ショートアドレスモードでは下位 24 ビットが有効で、ビット 31~24 の設定は無視されます。このときアドレスの上位 8 ビットは、ビット 23 で指定した値で補完されます。

SAR に奇数アドレスを設定してワードアクセス、ロングワードアクセスする場合と、アドレスを $4n+2$ 番地に設定してロングワードアクセスする場合は、バスサイクルを分割してデータ転送を行います。詳細は、「8.5.1 バスサイクルの分割」を参照してください。

SAR は、CPU から直接アクセスすることはできません。

8.2.4 DTC デスティネーションアドレスレジスタ (DAR)

DAR は 32 ビットのレジスタで、DTC の転送するデータの転送先アドレスを指定します。

フルアドレスモードでは 32 ビットが有効です。ショートアドレスモードでは下位 24 ビットが有効で、ビット 31~24 の設定は無視されます。このときアドレスの上位 8 ビットは、ビット 23 で指定した値で補完されます。

DAR に奇数アドレスを設定してワードアクセス、ロングワードアクセスする場合と、アドレスを $4n+2$ 番地に設定してロングワードアクセスする場合は、バスサイクルを分割してデータ転送を行います。詳細は、「8.5.1 バスサイクルの分割」を参照してください。

DAR は、CPU から直接アクセスすることはできません。

8.2.5 DTC 転送カウントレジスタ A (CRA)

CRA は 16 ビットのレジスタで、DTC のデータ転送の転送回数を指定します。

ノーマル転送モードでは、一括して 16 ビットの転送カウンタ (1~65536) として機能します。1 回のデータ転送を行うたびにデクリメント (-1) されます。カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット ($n=15\sim 0$) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

リピート転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH は転送回数を保持し、CRAL は 8 ビットの転送カウンタ (1~256) として機能します。CRAL は 1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'00 になると CRAH の内容が転送されます。転送回数は、設定値が CRAH=CRAL=H'01 のときは 1 回、H'FF のときは 255 回で、H'00 のときは 256 回になります。

ブロック転送モードでは、上位 8 ビットの CRAH と下位 8 ビットの CRAL に分割されます。CRAH はブロックサイズを保持し、CRAL は 8 ビットのブロックサイズカウンタ (1~256 バイト、1~256 ワード、または 1~256 ロングワード) として機能します。CRAL は 1 回のデータ転送を行うたびに 1 バイト (または 1 ワード、1 ロングワード) 毎にデクリメント (-1) され、カウンタ値が H'00 になると、CRAH の内容が転送されます。ブロックサイズは設定値が CRAH=CRAL=H'01 のときは 1 バイト (または 1 ワード、1 ロングワード)、H'FF のときは 255 バイト (または 255 ワード、255 ロングワード) で、H'00 のときは 256 バイト (または 256 ワード、256 ロングワード) になります。

CRA は、CPU から直接アクセスすることはできません。

8.2.6 DTC 転送カウントレジスタ B (CRB)

CRB は 16 ビットのレジスタで、ブロック転送モードのとき DTC のブロックデータ転送の転送回数を指定します。16 ビットの転送回数カウンタ (1~65536) として機能し、1 回のデータ転送を行うたびにデクリメント (-1) され、カウンタ値が H'0000 になると、起動要因に対応する DTCE_n ビット (n=15~0) をクリアした後に CPU に割り込み要求を発生します。転送回数は、設定値が H'0001 のときは 1 回、H'FFFF のときは 65535 回で、H'0000 のときは 65536 回になります。

ノーマル転送モードおよびリピート転送モードでは、CRB は使用しません。CRB は、CPU から直接アクセスすることはできません。

8.2.7 DTC イネーブルレジスタ A~E、G、H (DTCERA~DTCERE、DTCERG、DTCERH)

DTCER は、DTC を起動する割り込み要因を選択するためのレジスタで、DTCERA~DTCERE、G、H があります。各割り込み要因と DTCE ビットの対応については表 8.1 を参照してください。DTCE ビットの設定は、BSET 命令、BCLR 命令などのビット操作命令を使用してください。ただし初期設定に限り、複数の起動要因を一度に設定するために、割り込みをマスクして対象となるレジスタをダミーリードした後ライトすることができます。

ビット	15	14	13	12	11	10	9	8
ビット名	DTCE15	DTCE14	DTCE13	DTCE12	DTCE11	DTCE10	DTCE9	DTCE8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名	DTCE7	DTCE6	DTCE5	DTCE4	DTCE3	DTCE2	DTCE1	DTCE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
15	DTCE15	0	R/W	DTC 起動イネーブル 15~0
14	DTCE14	0	R/W	1をセットすると、対応する割り込み要因がDTC起動要因として選択されます。
13	DTCE13	0	R/W	[クリア条件]
12	DTCE12	0	R/W	• クリアするビットの1の状態をリードした後、0をライトしたとき
11	DTCE11	0	R/W	• MRBのDISELビットが1で、1回のデータ転送を終了したとき
10	DTCE10	0	R/W	• 指定した回数の転送が終了したとき
9	DTCE9	0	R/W	DISELビットが0で、指定した回数の転送が終了していないときはクリアされません。
8	DTCE8	0	R/W	
7	DTCE7	0	R/W	
6	DTCE6	0	R/W	
5	DTCE5	0	R/W	
4	DTCE4	0	R/W	
3	DTCE3	0	R/W	
2	DTCE2	0	R/W	
1	DTCE1	0	R/W	
0	DTCE0	0	R/W	

8.2.8 DTC コントロールレジスタ (DTCCR)

DTCCR は、転送情報リードスキップを設定します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	RRS	RCHNE	—	—	ERR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R	R/(W)*

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7~5	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
4	RRS	0	R/W	DTC 転送情報リードスキップイネーブル ベクタアドレスのリードと転送情報のリードを制御します。DTC ベクタ番号は、常に前回起動のベクタ番号と比較されます。ベクタ番号の値が一致し、このビットが1のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を実施します。前回の起動がチェーン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。 0: 転送情報リードスキップを行わない 1: ベクタ番号の値が一致したとき転送情報リードスキップを行う

8. データトランスファコントローラ (DTC)

ビット	ビット名	初期値	R/W	説明
3	RCHNE	0	R/W	<p>DTC リピート転送後チェーン転送イネーブル</p> <p>リピート転送において、転送カウンタ=0 でのチェーン転送を許可/禁止します。</p> <p>リピート転送では、転送カウンタ (CRAL) =0 となった場合、CRAL は CRAH で指定した値に書き戻されるため、転送カウンタ=0 でのチェーン転送は発生しません。このビットを 1 にセットすることで、転送カウンタの書き戻し時のチェーン転送が許可されます。</p> <p>0 : リピート転送後のチェーン転送を禁止 1 : リピート転送後のチェーン転送を許可</p>
2	—	0	R	リザーブビット
1	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
0	ERR	0	R(W) *	<p>転送停止フラグ</p> <p>アドレスエラー、または NMI 割り込み要求が発生したことを示すフラグです。アドレスエラー、または NMI 割り込み要求が発生すると DTC は停止します。</p> <p>0 : 割り込み要求なし 1 : 割り込み要求発生</p> <p>[クリア条件]</p> <p>• 1 の状態をリードした後、0 をライトしたとき</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

8.2.9 DTC ベクタベースレジスタ (DTCVBR)

DTCVBR は 32 ビットのレジスタで、ベクタテーブルアドレス算出時のベースアドレスを設定します。

ビット 31~28、ビット 11~0 は 0 に固定されており、ライトは無効です。

DTCVBR の初期値は、H'00000000 です。

ビット	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R	R	R	R	R	R	R	R	R	R	R

8. データトランスファコントローラ (DTC)

8.3 起動要因

DTC は、割り込み要求により起動します。起動する割り込み要因は、DTCER で選択します。対応するビットを 1 にセットすると DTC の起動要因となり、0 にクリアすると CPU の割り込み要因となります。1 回のデータ転送（チェーン転送の場合、連続した最後の転送）終了時に、起動要因となった割り込みフラグまたは DTCER の対応するビットをクリアします。

8.4 転送情報の配置と DTC ベクタテーブル

転送情報は、データ領域上に配置します。転送情報の先頭アドレスは、4n 番地としてください。4n 番地以外を指定した場合、下位 2 ビットを無視してアクセスします (1[1:0]=B'00)。転送情報は、ショートアドレスモード（3 ロングワード）、フルアドレスモード（4 ロングワード）のいずれかで配置できます。SYSCR の DTCMD ビットでショートアドレスモード (DTCMD=1)、フルアドレスモード (DTCMD=0) の設定を行います。詳細は「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。データ領域上での転送情報の配置を図 8.2 に示します。DTC は起動要因別にベクタテーブルから転送情報の先頭アドレスをリードし、この先頭アドレスから転送情報をリードします。DTC ベクタテーブルと転送情報の対応を図 8.3 に示します。

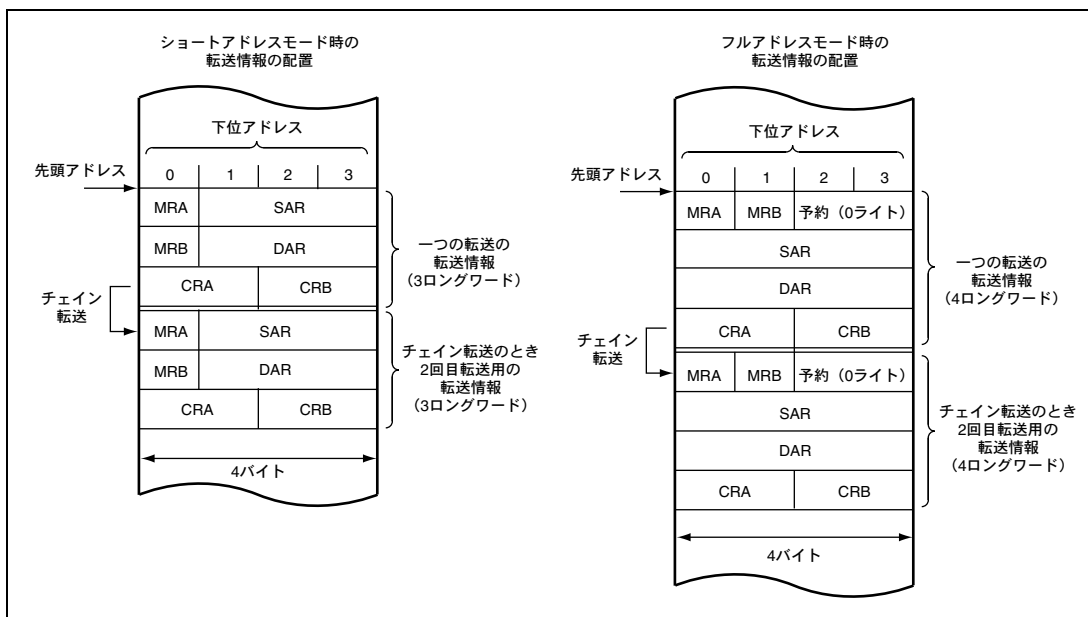


図 8.2 データ領域上での転送情報の配置

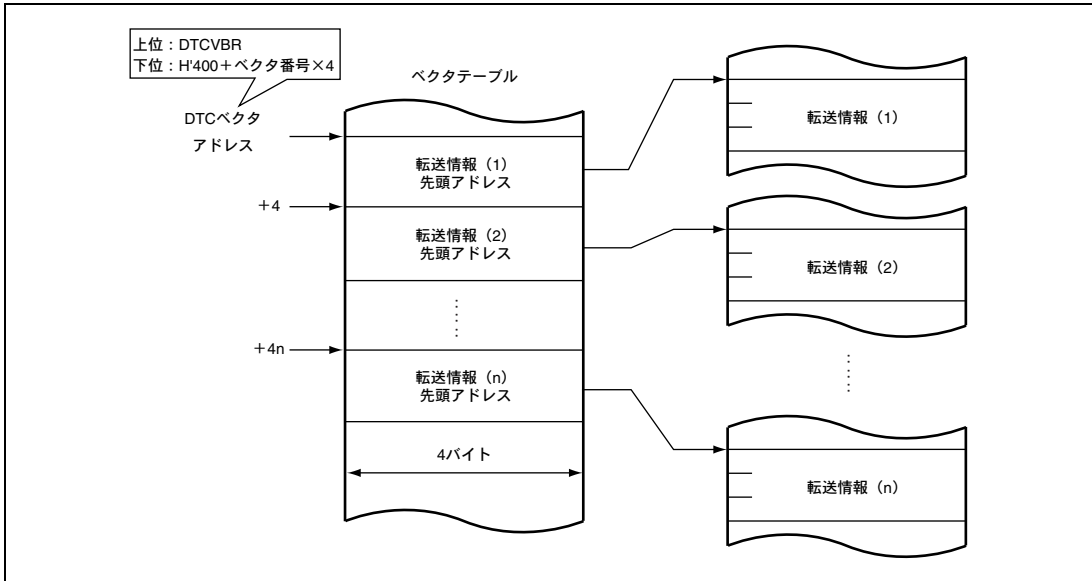


図 8.3 DTC ベクタテーブルと転送情報の対応

DTC の起動要因とベクタアドレスの対応を表 8.1 に示します。

8. データトランスファコントローラ (DTC)

表 8.1 割り込み要因と DTC ベクタアドレスおよび対応する DTCE

起動要因発生元	起動要因	ベクタ番号	DTC ベクタアドレス オフセット	DTCE*	優先順位
外部端子	IRQ0	64	H'500	DTCEA15	↑ 高 ↓ 低
	IRQ1	65	H'504	DTCEA14	
	IRQ2	66	H'508	DTCEA13	
	IRQ3	67	H'50C	DTCEA12	
	IRQ4	68	H'510	DTCEA11	
	IRQ5	69	H'514	DTCEA10	
	IRQ6	70	H'518	DTCEA9	
	IRQ7	71	H'51C	DTCEA8	
	IRQ8	72	H'520	DTCEA7	
	IRQ9	73	H'524	DTCEA6	
	IRQ10	74	H'528	DTCEA5	
	IRQ11	75	H'52C	DTCEA4	
A/D	ADI	86	H'558	DTCEB15	
TPU_0	TGI0A	88	H'560	DTCEB13	
	TGI0B	89	H'564	DTCEB12	
	TGI0C	90	H'568	DTCEB11	
	TGI0D	91	H'56C	DTCEB10	
TPU_1	TGI1A	93	H'574	DTCEB9	
	TGI1B	94	H'578	DTCEB8	
TPU_2	TGI2A	97	H'584	DTCEB7	
	TGI2B	98	H'588	DTCEB6	
TPU_3	TGI3A	101	H'594	DTCEB5	
	TGI3B	102	H'598	DTCEB4	
	TGI3C	103	H'59C	DTCEB3	
	TGI3D	104	H'5A0	DTCEB2	
TPU_4	TGI4A	106	H'5A8	DTCEB1	
	TGI4B	107	H'5AC	DTCEB0	
TPU_5	TGI5A	110	H'5B8	DTCEC15	
	TGI5B	111	H'5BC	DTCEC14	
TMR_0	CMI0A	116	H'5D0	DTCEC13	
	CMI0B	117	H'5D4	DTCEC12	
TMR_1	CMI1A	119	H'5DC	DTCEC11	
	CMI1B	120	H'5E0	DTCEC10	

8. データトランスファコントローラ (DTC)

起動要因発生元	起動要因	ベクタ 番号	DTC ベクタアドレス オフセット	DTCE*	優先 順位
TMR_2	CMI2A	122	H'5E8	DTCEC9	<div style="display: flex; flex-direction: column; align-items: center;"> 高 <div style="flex-grow: 1; border-left: 1px solid black; border-right: 1px solid black; position: relative;"> <div style="position: absolute; top: -5px; left: 50%; transform: translate(-50%, -50%);">↑</div> <div style="position: absolute; bottom: -5px; left: 50%; transform: translate(-50%, -50%);">↓</div> </div> 低 </div>
	CMI2B	123	H'5EC	DTCEC8	
TMR_3	CMI3A	125	H'5F4	DTCEC7	
	CMI3B	126	H'5F8	DTCEC6	
DMAC	DMTEND0	128	H'600	DTCEC5	
	DMTEND1	129	H'604	DTCEC4	
	DMTEND2	130	H'608	DTCEC3	
	DMTEND3	131	H'60C	DTCEC2	
DMAC	DMEEND0	136	H'620	DTCED13	
	DMEEND1	137	H'624	DTCED12	
	DMEEND2	138	H'628	DTCED11	
	DMEEND3	139	H'62C	DTCED10	
SCI_0	RXI0	145	H'644	DTCED5	
	TXI0	146	H'648	DTCED4	
SCI_1	RXI1	149	H'654	DTCED3	
	TXI1	150	H'658	DTCED2	
SCI_2	RXI2	153	H'664	DTCED1	
	TXI2	154	H'668	DTCED0	
SCI_4	RXI4	161	H'684	DTCEE13	
	TXI4	162	H'688	DTCEE12	

【注】 * 対応する割り込み要因のない DTCE ビットは、リザーブビットとなります。0 をライトしてください。
ソフトウェアスタンバイ状態および全モジュールクロックストップモードを割り込みにより解除する場合は、対応する DTCE ビットに 0 をライトしてください。

8.5 動作説明

DTC は、転送情報をデータ領域に格納します。DTC が起動すると、データ領域から転送情報をリードしてデータ転送を行い、データ転送後の転送情報をライトバックします。転送情報をデータ領域に格納することで、任意のチャンネル数のデータ転送を行うことができます。転送モードには、ノーマル転送モード、リピート転送モード、ブロック転送モードがあります。

DTC は、転送元アドレスを SAR、転送先アドレスを DAR で指定します。SAR、DAR は転送後、それぞれ独立にインクリメントまたはデクリメント、あるいは固定されます。

DTC の転送モードを表 8.2 に示します。

表 8.2 DTC の転送モード

転送モード	1 回の転送要求で 転送可能なデータサイズ	メモリアドレスの増減	転送回数
ノーマル転送モード	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~65536 回
リピート転送モード* ¹	1 バイト/ワード/ロングワード	1、2 または 4 増減・固定	1~256 回* ³
ブロック転送モード* ²	CRAH で指定したブロックサイズ (1~256 バイト/ワード/ロング ワード)	1、2 または 4 増減・固定	1~65536 回

【注】 *1 ソースまたはデスティネーションのいずれかをリピートエリアに設定

*2 ソースまたはデスティネーションのいずれかをブロックエリアに設定

*3 指定回数転送後、初期状態を回復して動作を継続

また、MRB の CHNE ビットを 1 にセットしておくことにより、一つの起動要因で複数の転送を行うことができます (チェーン転送)。MRB の CHNS ビットの設定で、転送カウンタ=0 のときにチェーン転送を行う設定も可能です。

DTC の動作フローチャートを図 8.4 に示します。チェーン転送の条件を表 8.3 に示します (第 2 の転送から第 3 の転送を行う組合せは省略してあります)。

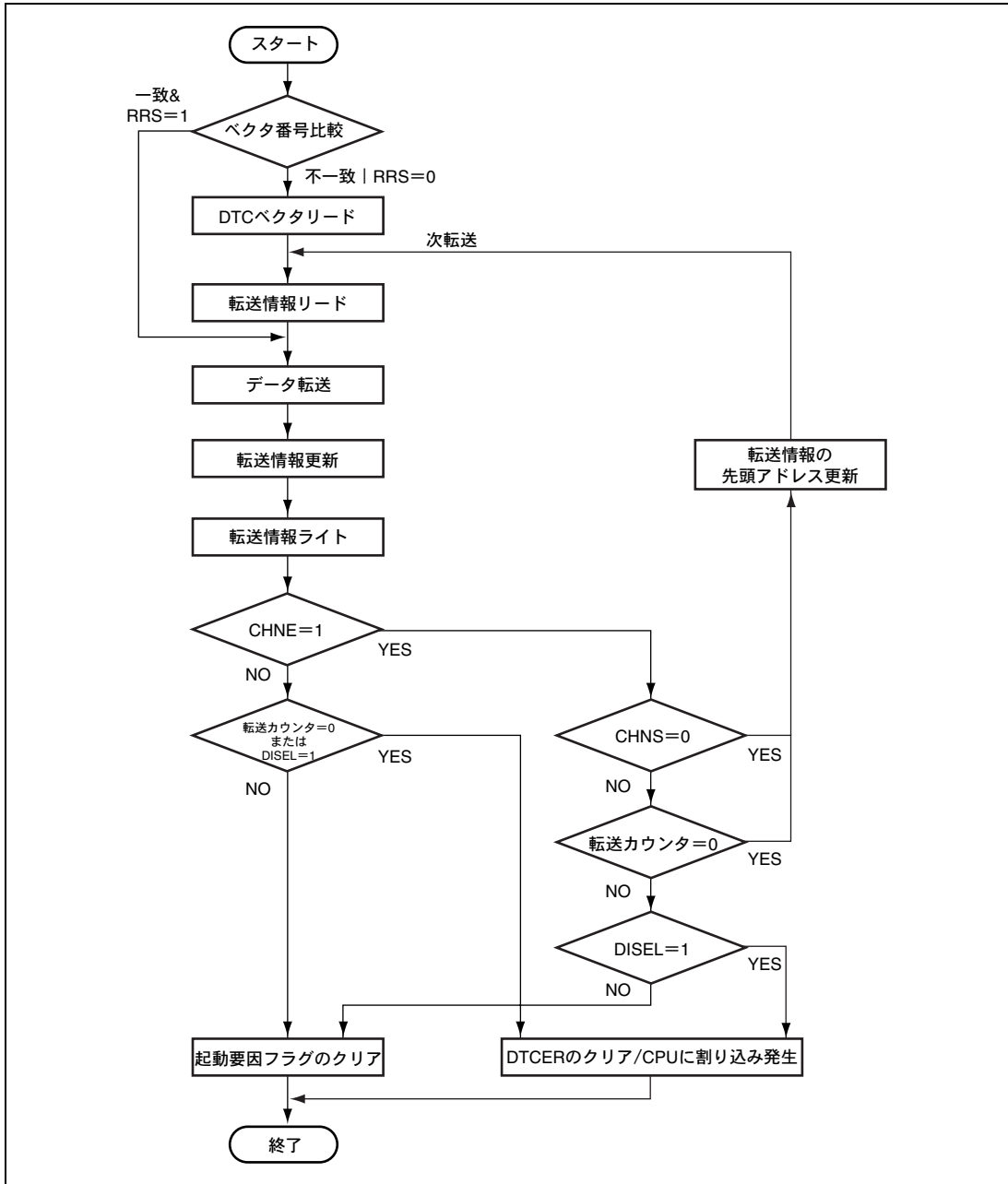


図 8.4 DTC 動作フローチャート

8. データトランスファコントローラ (DTC)

表 8.3 チェイン転送の条件

第 1 の転送				第 2 の転送				DTC 転送
CHNE	CHNS	DISEL	転送 カウンタ*1	CHNE	CHNS	DISEL	転送 カウンタ*1	
0	—	0	0 以外	—	—	—	—	第 1 転送で終了
0	—	0	0*2	—	—	—	—	第 1 の転送で終了
0	—	1	—	—	—	—	—	CPU へ割り込み要求
1	0	—	—	0	—	0	0 以外	第 2 の転送で終了
				0	—	0	0*2	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	0	0 以外	—	—	—	—	第 1 転送で終了
1	1	—	0*2	0	—	0	0 以外	第 2 転送で終了
				0	—	0	0*2	第 2 の転送で終了
				0	—	1	—	CPU へ割り込み要求
1	1	1	0 以外	—	—	—	—	第 1 の転送で終了 CPU へ割り込み要求

【注】 *1 ノーマル転送モード：CRA、リピータ転送モード：CRAL、ブロック転送モード：CRB

*2 リピータ転送モードで CRAL の内容が CRAH の内容に書き換わるとき

8.5.1 バスサイクルの分割

転送データサイズにワード、またはロングワードを指定した場合、ワード境界、ロングワード境界を外れて SAR、DAR を設定すると、バスサイクルを分割し、データはバイトサイズ、ワードサイズでリード、またはライトされます。

表 8.4 に SAR、DAR のアドレス設定値、転送データサイズ設定値とバスサイクル分割数、アクセスデータサイズとの関係を、図 8.5 にバスサイクル分割時の動作例を示します。

表 8.4 バスサイクル分割数とアクセスサイズ

SAR、DAR 設定値	設定データサイズ		
	バイト (B)	ワード (W)	ロングワード (LW)
4n アドレス	1 (B)	1 (W)	1 (LW)
2n+1 アドレス	1 (B)	2 (B-B)	3 (B-W-B)
4n+2 アドレス	1 (B)	1 (W)	2 (W-W)

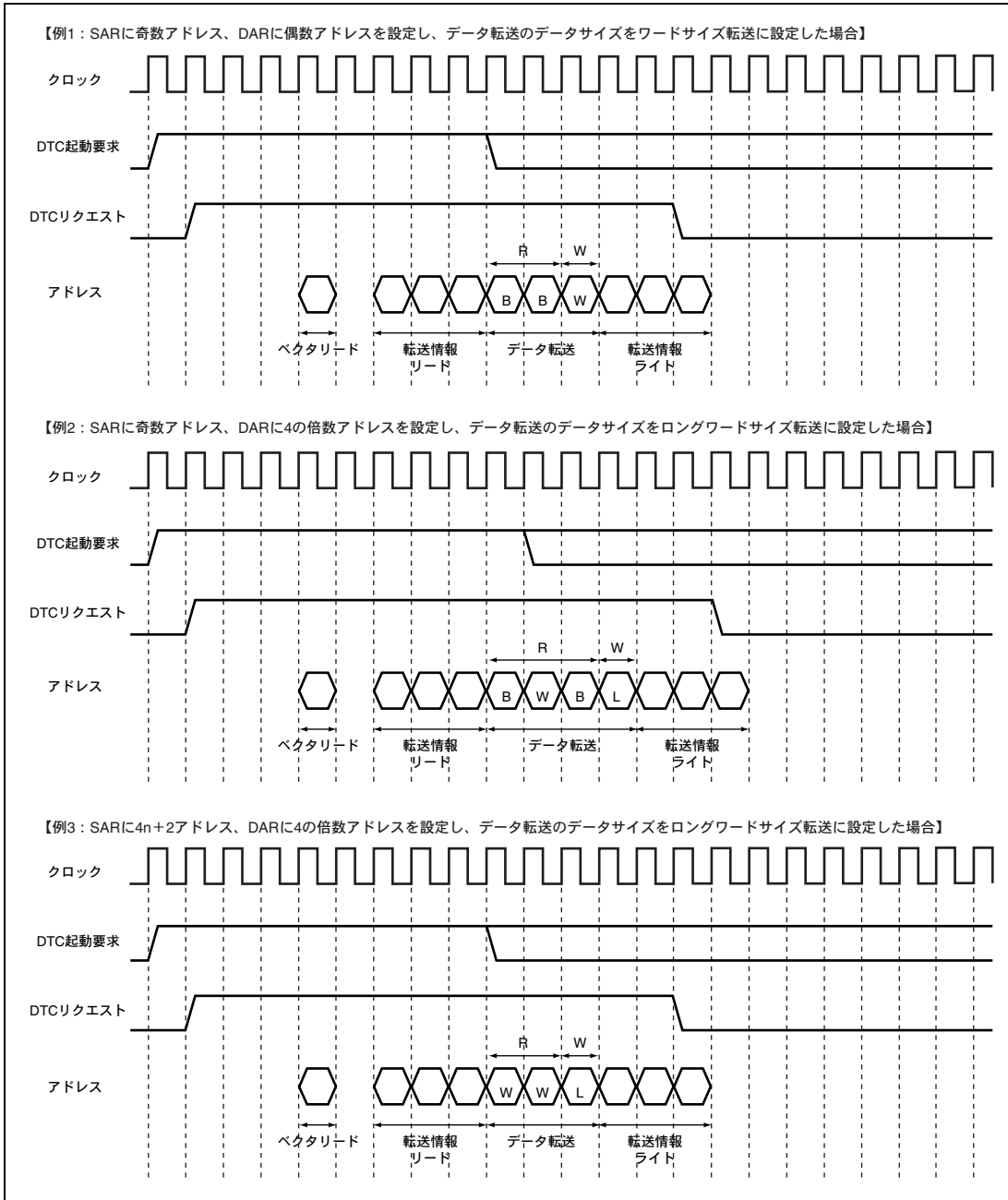


図 8.5 バスサイクルが分割される例

8. データトランスファコントローラ (DTC)

8.5.2 転送情報リードスキップ機能

DTCCR の RRS ビットの設定で、ベクタアドレスのリードと転送情報のリードをスキップすることができます。DTC ベクタ番号は、常に前回起動のベクタ番号と比較します。比較結果が一致し、RRS=1 のとき、ベクタアドレスのリードと転送情報のリードを行わず、DTC のデータ転送を行います。前回の起動がチェイン転送のときは、必ずベクタアドレスのリードと転送情報のリードが行われます。転送情報リードスキップのタイミングチャートを図 8.6 に示します。

ベクタテーブルと転送情報を更新する場合には、一度 RRS=0 に設定し、ベクタテーブルと転送情報を更新した後、RRS ビットを設定してください。RRS=0 にすると、保持されていたベクタ番号は破棄され、次の起動時に更新されたベクタテーブルおよび転送情報がリードされます。

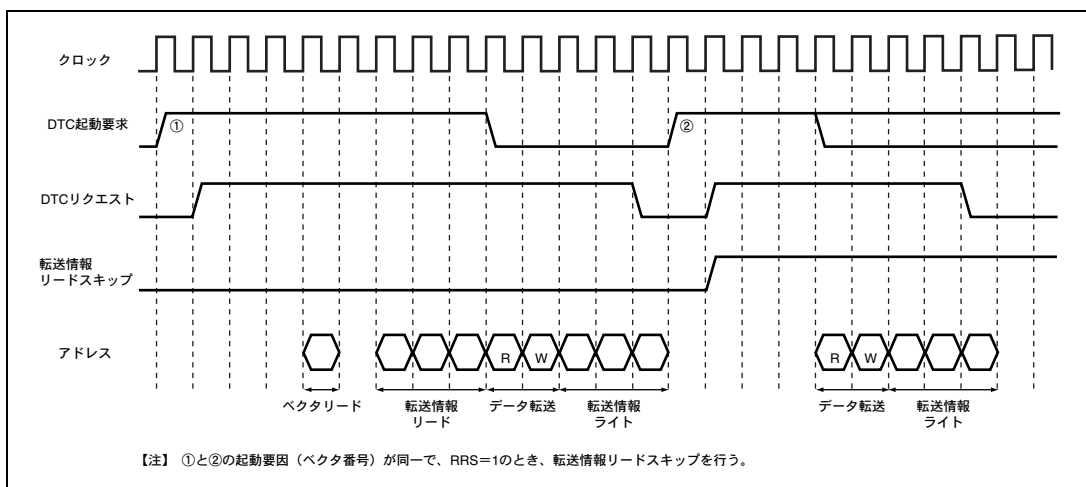


図 8.6 転送情報リードスキップのタイミングチャート

8.5.3 転送情報ライトバックスキップ機能

MRA の SM1 ビットと MRB の DM1 ビットをアドレス固定に設定すると、転送情報の一部はライトバックされません。この機能は、ショートアドレスモード、フルアドレスモードの設定にかかわらず行われます。転送情報ライトバックスキップの条件とライトバックスキップされるレジスタを表 8.5 に示します。CRA、CRB は、ショートアドレスモード、フルアドレスモードの設定にかかわらず、必ずライトバックされます。また、フルアドレスモードでは、MRA、MRB は必ずライトバックスキップされます。

表 8.5 転送情報ライトバックスキップの条件とライトバックスキップされるレジスタ

SM1	DM1	SAR	DAR
0	0	スキップ	スキップ
0	1	スキップ	ライトバック
1	0	ライトバック	スキップ
1	1	ライトバック	ライトバック

8.5.4 ノーマル転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。転送回数は1~65536です。転送元アドレスと転送先アドレスは、増加、減少または固定にそれぞれ設定できます。指定回数の転送が終了すると、CPUへ割り込み要求を発生することができます。

ノーマル転送モードのレジスタ機能を表 8.6 に、ノーマル転送モードのメモリマップを図 8.7 に示します。

表 8.6 ノーマル転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	増加/減少/固定*
DAR	転送先アドレス	増加/減少/固定*
CRA	転送カウント A	CRA-1
CRB	転送カウント B	更新されません

【注】 * 転送情報のライトバックはスキップされます。

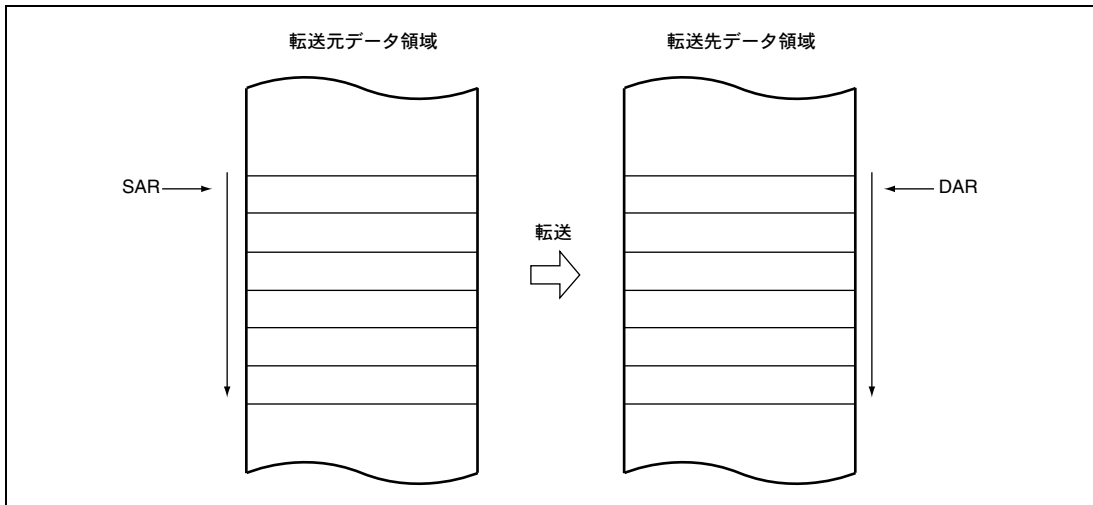


図 8.7 ノーマル転送モードのメモリマップ

8.5.5 リピート転送モード

一つの起動要因で、1バイト、1ワードまたは1ロングワードの転送を行います。MRBのDTSビットにより、転送元、転送先のいずれか一方をリピートエリアに指定します。転送回数は1~256で、指定回数の転送が終了すると、転送カウンタおよびリピートエリアに指定された方のアドレスレジスタの初期状態が回復し、転送を繰り返します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。リピート転送モードでは、転送カウンタ(CRAL)がH'00になるとCRALはCRAHで設定した値に更新されます。このため、転送カウンタはH'00にならないので、DISEL=0のときに、CPUへの割り込み要求は発生しません。

リピート転送モードのレジスタ機能を表 8.7 に、リピート転送モードのメモリマップを図 8.8 に示します。

8. データトランスファコントローラ (DTC)

表 8.7 リピート転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値	
		CRAL が 1 以外するとき	CRAL が 1 のとき
SAR	転送元アドレス	増加/減少/固定*	(DTS=0)増加/減少/固定* (DTS=1)SAR の初期値
DAR	転送先アドレス	増加/減少/固定*	(DTS=0)DAR の初期値 (DTS=1)増加/減少/固定*
CRAH	転送カウント保持	CRAH	CRAH
CRAL	転送カウント A	CRAL-1	CRAH
CRB	転送カウント B	更新されません	更新されません

【注】 * 転送情報のライトバックはスキップされます。

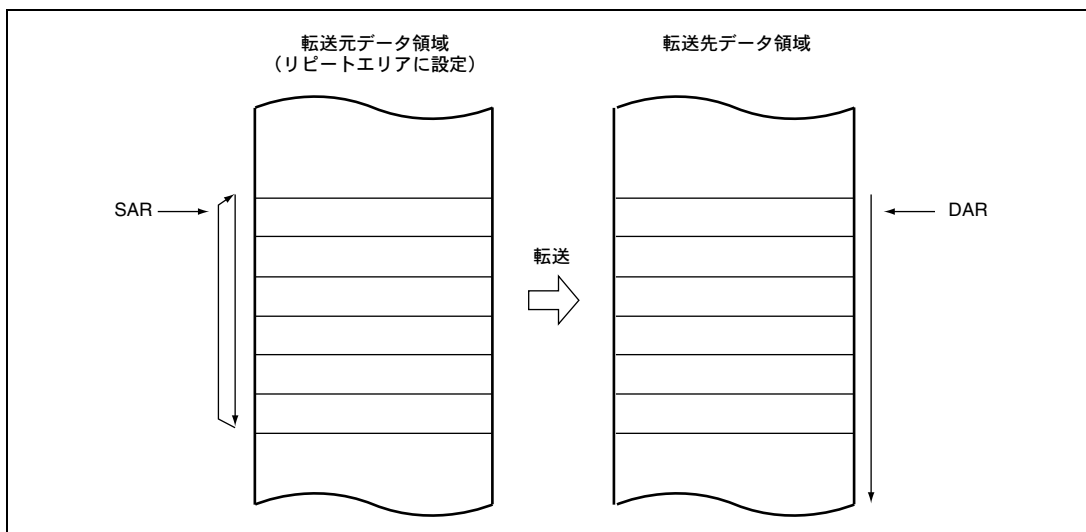


図 8.8 リピート転送モードのメモリマップ (転送元をリピートエリアに指定した場合)

8.5.6 ブロック転送モード

一つの起動要因で、1 ブロックの転送を行います。MRB の DTS ビットにより、転送元、転送先のいずれか一方をブロックエリアに指定します。ブロックサイズは 1~256 バイト (または 1~256 ワード、1~256 ロングワード) です。1 ブロックの転送が終了すると、ブロックサイズカウンタ (CRAL) とブロックエリアに指定したアドレスレジスタ (DTS=1 のとき SAR、DTS=0 のとき DAR) の初期状態が回復します。他方のアドレスレジスタは、連続してインクリメントまたはデクリメント、あるいは固定されます。転送回数は 1~65536 です。指定回数 of ブロック転送が終了すると、CPU へ割り込み要求を発生することができます。

ブロック転送モードのレジスタ機能を表 8.8 に、ブロック転送モードのメモリマップを図 8.9 に示します。

表 8.8 ブロック転送モードのレジスタ機能

レジスタ	機能	転送情報書き込みで書き戻される値
SAR	転送元アドレス	(DTS=0)増加/減少/固定* (DTS=1)SARの初期値
DAR	転送先アドレス	(DTS=0)DARの初期値 (DTS=1)増加/減少/固定*
CRAH	ブロックサイズ保持	CRAH
CRAL	ブロックサイズカウンタ	CRAH
CRB	ブロック転送回数カウンタ	CRB-1

【注】 * 転送情報のライトバックはスキップされます。

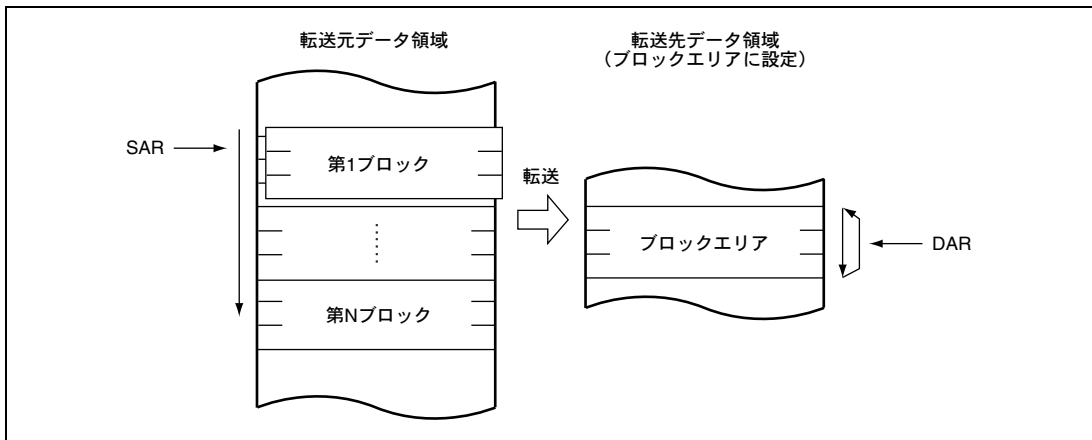


図 8.9 ブロック転送モードのメモリマップ (転送先をブロックエリアに指定した場合)

8.5.7 チェイン転送

MRBのCHNEビットを1にセットすると、一つの起動要因で複数のデータ転送を連続して行うことができます。また、MRBのCHNEビット、CHNSビットをそれぞれ1にセットすると、転送カウンタ=0のときのみチェーン転送を行います。データ転送を定義するSAR、DAR、CRA、CRBおよびMRA、MRBはそれぞれ独立に設定できます。チェーン転送の動作を図8.10に示します。

CHNE=1に設定したデータ転送では、指定した転送回数の終了によるCPUへの割り込み要求や、DISEL=1によるCPUへの割り込み要求は発生しません。また、CHNE=1の転送は、起動要因となった割り込み要因フラグおよびDTCERに影響を与えません。

リピート転送モードでは、DTCCRのRCHNEビット、MRBのCHNE、CHNSビットをそれぞれ1にセットすると、転送カウンタ=1の転送後にチェーン転送を行うことができます。

8. データトランスファコントローラ (DTC)

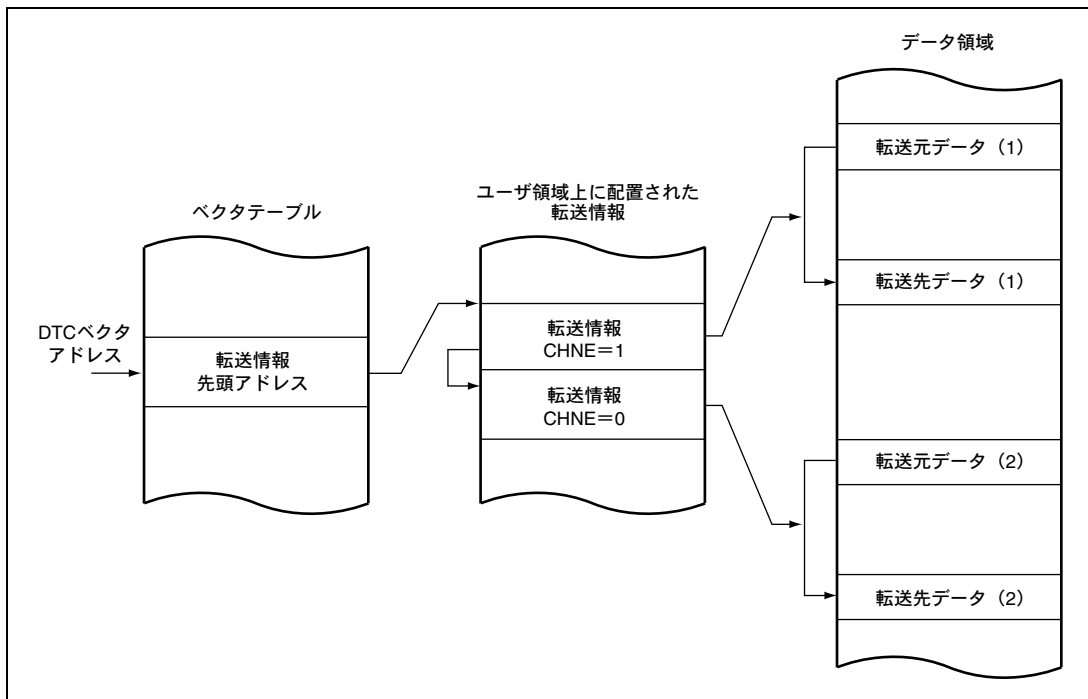


図 8.10 チェイン転送の動作

8.5.8 動作タイミング

DTC の動作タイミングを図 8.11～図 8.14 に示します。

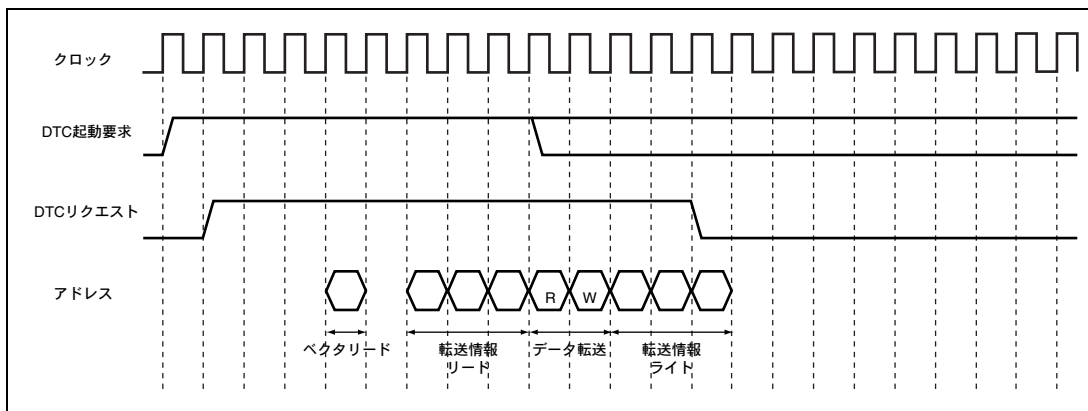


図 8.11 DTC の動作タイミング例 (ショートアドレスモード、ノーマル転送モード、リピート転送モード)

8. データトランスファコントローラ (DTC)

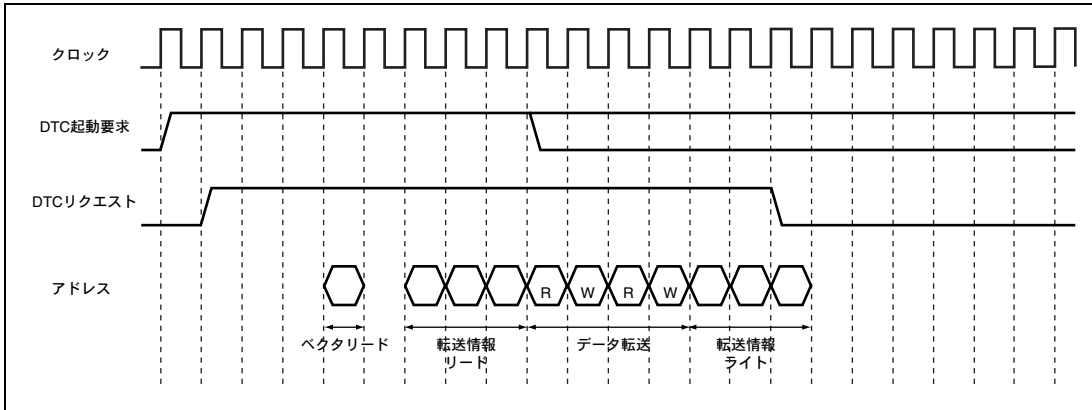


図 8.12 DTC の動作タイミング例 (ショートアドレスモード、ブロック転送モード、ブロックサイズ=2)

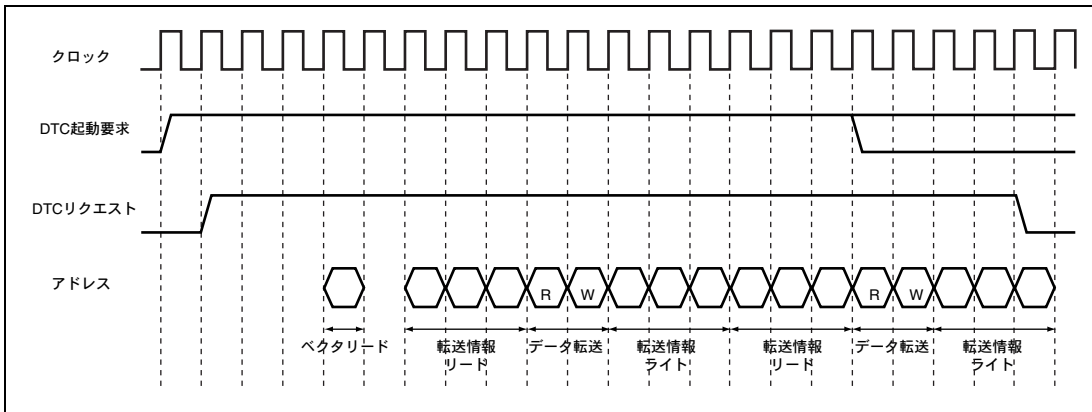


図 8.13 DTC の動作タイミング例 (ショートアドレスモード、チェーン転送)

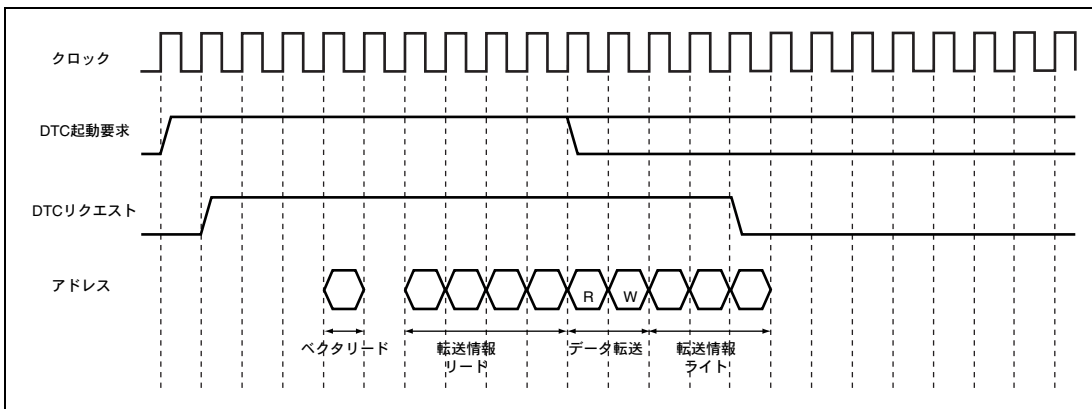


図 8.14 DTC の動作タイミング例 (フルアドレスモード、ノーマル転送モード、リピート転送モード)

8. データトランスファコントローラ (DTC)

8.5.9 DTC の実行ステート

DTC の 1 回のデータ転送の実行状態を表 8.9 に示します。また、実行状態に必要なステート数を表 8.10 に示します。

表 8.9 DTC の実行状態

モード	ベクタ リード I		転送情報 リード J			転送情報 ライト K			データリード L			データライト M			内部動作 N	
	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3* ⁶	2* ⁷	1	3* ⁶	2* ⁷	1	1	0* ¹
ノーマル	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3* ⁶	2* ⁷	1	3* ⁶	2* ⁷	1	1	0* ¹
リピート	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3* ⁶	2* ⁷	1	3* ⁶	2* ⁷	1	1	0* ¹
ブロック	1	0* ¹	4* ²	3* ³	0* ¹	3* ^{2,3}	2* ⁴	1* ⁵	3・P* ⁶	2・P* ⁷	1・P	3・P* ⁶	2・P* ⁷	1・P	1	0* ¹

- 【注】 *1 転送情報リードスキップのとき
 *2 フルアドレスモード動作のとき
 *3 ショートアドレスモード動作のとき
 *4 SAR もしくは DAR が固定モードのとき
 *5 SAR と DAR が固定モードのとき
 *6 アドレスレジスタに奇数アドレスを設定しロングワード転送をしたとき
 *7 アドレスレジスタに奇数アドレスを設定しワード転送をしたとき、もしくは、アドレスレジスタに 4n+2 のアドレスを設定しロングワード転送したとき
 P：ブロックサイズ(CRAH, CRAL の初期設定)

表 8.10 実行状態に必要なステート数

アクセス対象		内蔵 RAM	内蔵 ROM	内蔵 I/O レジスタ			外部デバイス			
バス幅		32	32	8	16	32	8		16	
アクセスステート		1	1	2	2	2	2	3	2	3
実行 状態	ベクタリード S _I	1	1	—	—	—	8	12+4m	4	6+2m
	転送情報リード S _J	1	1	—	—	—	8	12+4m	4	6+2m
	転送情報ライト S _K	1	1	—	—	—	8	12+4m	4	6+2m
	バイトデータリード S _L	1	1	2	2	2	2	3+m	2	3+m
	ワードデータリード S _L	1	1	4	2	2	4	4+2m	2	3+m
	ロングワードデータリード S _L	1	1	8	4	2	8	12+4m	4	6+2m
	バイトデータライト S _M	1	1	2	2	2	2	3+m	2	3+m
	ワードデータライト S _M	1	1	4	2	2	4	4+2m	2	3+m
	ロングワードデータライト S _M	1	1	8	4	2	8	12+4m	4	6+2m
内部動作 S _N	1									

【記号説明】 m：ウエイト数 0~7(詳細は「6. バスコントローラ (BSC)」を参照してください。)

実行ステート数は、次の計算式で計算されます。なお、 Σ は一つの起動要因で転送する回数分（CHNE ビットを 1 にセットした数+1）の和を示します。

$$\text{実行ステート数} = I \cdot S_I + \Sigma (J \cdot S_J + K \cdot S_K + L \cdot S_L + M \cdot S_M) + N \cdot S_N$$

8.5.10 DTC のバス権解放タイミング

DTC は起動要求が発生するとバスアービタに対してバス権を要求します。DTC がバス権を解放するのは、ベクタリードの後、転送情報のリード後、1 回のデータ転送後、転送情報ライトバック後です。転送情報リード中、1 回のデータ転送中、転送情報ライトバック中にはバスを解放しません。

8.5.11 CPU に対する DTC の優先レベル制御

DTC の起動要因は、CPUPCR の CPUP2~CPUP0 ビットで示される CPU の優先レベルと、DTCP2~DTCP0 ビットで示される DTC の優先レベルにより、DTC と CPU との間の優先レベルを制御することができます。詳細は、「5. 割り込みコントローラ」を参照してください。

8.6 割り込みによる DTC の起動

DTC の割り込み起動による使用手順を図 8.15 に示します。

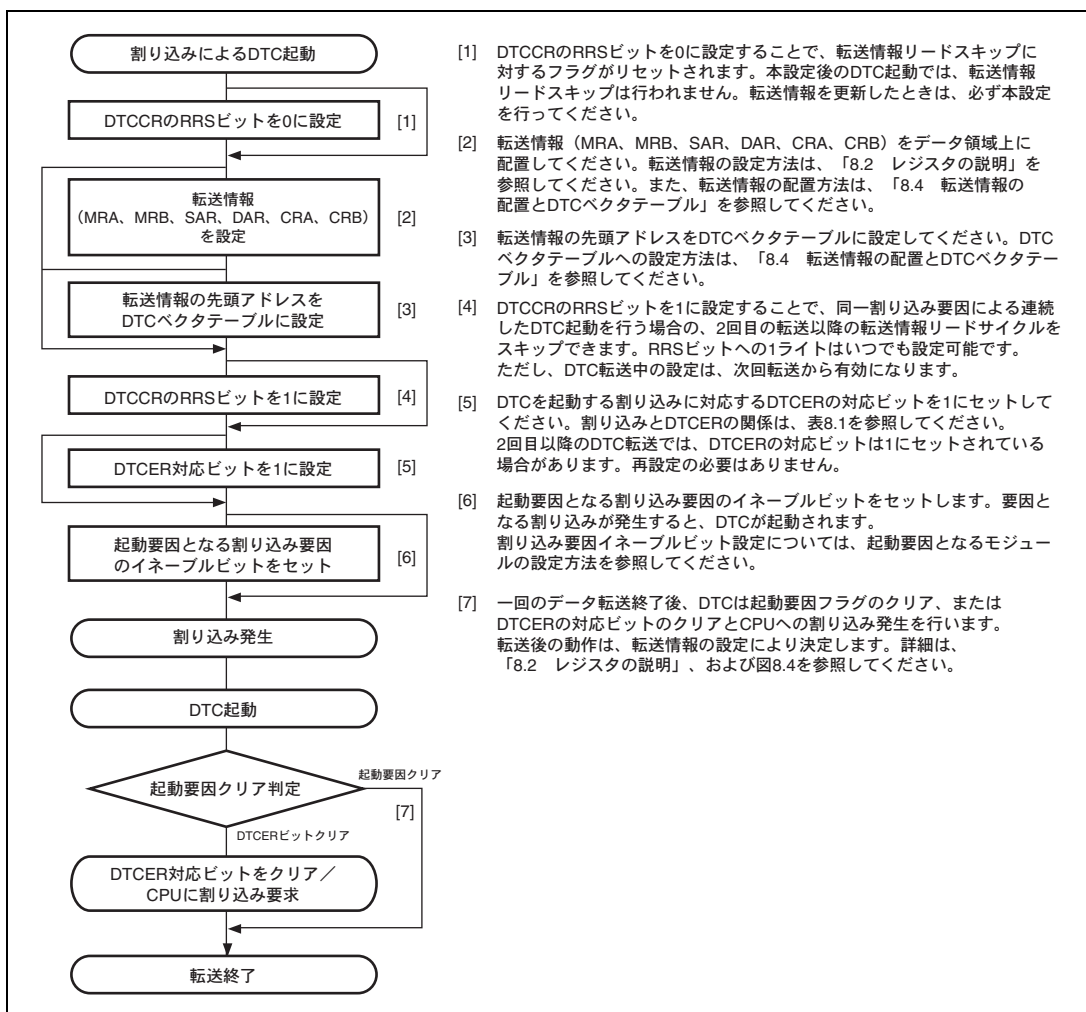


図 8.15 割り込みによる DTC 起動方法

8.7 DTC 使用例

8.7.1 ノーマル転送

DTC の使用例として、SCI による 128 バイトのデータ受信を行う例を示します。

1. MRAはソースアドレス固定 (SM1=SM0=0)、デスティネーションアドレスインクリメント (DM1=1、DM0=0)、ノーマル転送モード (MD1=MD0=0)、バイトサイズ (Sz1=Sz0=0) を設定します。DTSビットは任意の値とすることができます。MRBは1回の割り込みで1回のデータ転送 (CHNE=0、DISEL=0) を行います。SARはSCIのRDRのアドレス、DARはデータを格納するRAMの先頭アドレス、CRAは128 (H'0080) を設定します。CRBは任意の値とすることができます。
2. RXI割り込み用の転送情報の先頭アドレスを、DTCベクタテーブルに設定します。
3. DTCERの対応するビットを1にセットします。
4. SCIを所定の受信モードに設定します。SCRのRIEビットを1にセットし、受信完了 (RXI) 割り込みを許可します。また、SCIの受信動作中に受信エラーが発生すると、以後の受信が行われませんので、CPUが受信エラー割り込みを受け付けられるようにしてください。
5. SCIの1バイトのデータ受信が完了するごとに、SSRのRDRFフラグが1にセットされ、RXI割り込みが発生し、DTCが起動されます。DTCによって、受信データがRDRからRAMへ転送され、DARのインクリメント、CRAのデクリメントを行います。RDRFフラグは自動的に0にクリアされます。
6. 128回のデータ転送終了後、CRAが0になると、RDRFフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにRXI割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.2 チェイン転送

DTC のチェイン転送の例として、PPG によるパルス出力を行う例を示します。チェイン転送を使ってパルス出力データの転送と PPG 出力トリガの周期の変更を行うことができます。チェイン転送の前半で PPG の NDR へのリポート転送モード、後半で TPU の TGR へのノーマル転送モードを行います。起動要因のクリアや指定した回数転送終了時の割り込み発生は、チェイン転送の後半 (CHNE=0 のときの転送) に限られるためです。

1. PPGのNDRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、リポート転送モード (MD1=0、MD0=1)、ワードサイズ (Sz1=0、Sz0=1) を設定します。ソース側をリポート領域 (DTS=1) に設定します。MRBはチェイン転送 (CHNE=1、CHNS=0、DISEL=0) に設定します。SARはデータテーブルの先頭アドレス、DARはNDRHのアドレス、CRAH、CRALはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
2. TPUのTGRへの転送の設定を行います。MRAはソースアドレスインクリメント (SM1=1、SM0=0)、デスティネーションアドレス固定 (DM1=DM0=0)、ノーマル転送モード (MD1=MD0=0)、ワードサイズ (Sz1=0、Sz0=1) を設定します。SARはデータテーブルの先頭アドレス、DARはTGRAのアドレス、CRAはデータテーブルサイズを設定します。CRBは任意の値とすることができます。
3. NDR転送用転送情報の後に連続してTPU転送用転送情報を配置します。

8. データトランスファコントローラ (DTC)

4. NDR転送用転送情報の先頭アドレスをDTCベクタテーブルに設定します。
5. DTCERのTGIA割り込みに対応するビットを1にセットします。
6. TIORでTGRAをアウトプットコンペアレジスタ（出力禁止）に設定し、TIERでTGIA割り込み要求を許可します。
7. PODRに出力初期値を設定し、NDRに次の出力値を設定します。DDR、NDERの出力を行うビットを1にセットします。また、PCRで出力トリガとなるTPUのコンペアマッチを選択します。
8. TSTRのCSTビットを1にセットし、TCNTのカウント動作を開始します。
9. TGRAのコンペアマッチが発生するたびに次の出力値がNDRへ、次の出力トリガ周期の設定値がTGRAへそれぞれ転送されます。起動要因のTGFAフラグはクリアされます。
10. 指定した回数の転送終了後（TPU転送用CRAが0になると）、TGFAフラグは1のまま保持され、DTCEビットが0にクリアされ、CPUにTGIA割り込みが要求されます。割り込み処理ルーチンで終了処理を行ってください。

8.7.3 カウンタ=0のときのチェーン転送

カウンタが0になったときのみ第2のデータ転送を行い、第1のデータ転送の再設定を行うことによって、転送回数が256回以上のリピート転送を行うことができます。

128k バイトの入力バッファを構成する例を示します。ただし、入力バッファは下位アドレス H'0000 から始まるように設定するものとします。カウンタ=0のときのチェーン転送を図 8.16 に示します。

1. 第1のデータ転送として、入力データ用のノーマル転送モードを設定します。転送元アドレスは固定、CRA = H'0000 (65,536回)、CHNE=1、CHNS=1、DISEL=0としてください。
2. 第1のデータ転送の転送先アドレスの65,536回ごとの先頭アドレスの上位8ビットアドレスを別の領域（ROM など）に用意してください。たとえば、入力バッファをH'200000~H'21FFFFとするときには、H'21、H'20を用意します。
3. 第2のデータ転送として、第1のデータ転送の転送先アドレス再設定用のリピート転送モード（ソース側をリピート領域）とします。転送先は第1の転送情報領域のDARの上位8ビットとします。このときCHNE=DISEL =0としてください。上記入力バッファをH'200000~H'21FFFFとする場合には、転送カウンタ=2としてください。
4. 割り込みによって第1のデータ転送を65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'21に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタは、H'0000になっています。
5. 引き続き割り込みによって第1のデータ転送を、第1のデータ転送で指定した65,536回実行します。第1のデータ転送の転送カウンタが0になると、第2のデータ転送が起動されます。第1のデータ転送の転送元アドレス上位8ビットをH'20に設定します。第1のデータ転送の転送先アドレス下位16ビットの転送カウンタはH'0000になっています。

6. 上記4、5.を無限に繰り返します。第2のデータ転送がリピート転送モードのため、CPUには割り込みを要求しません。

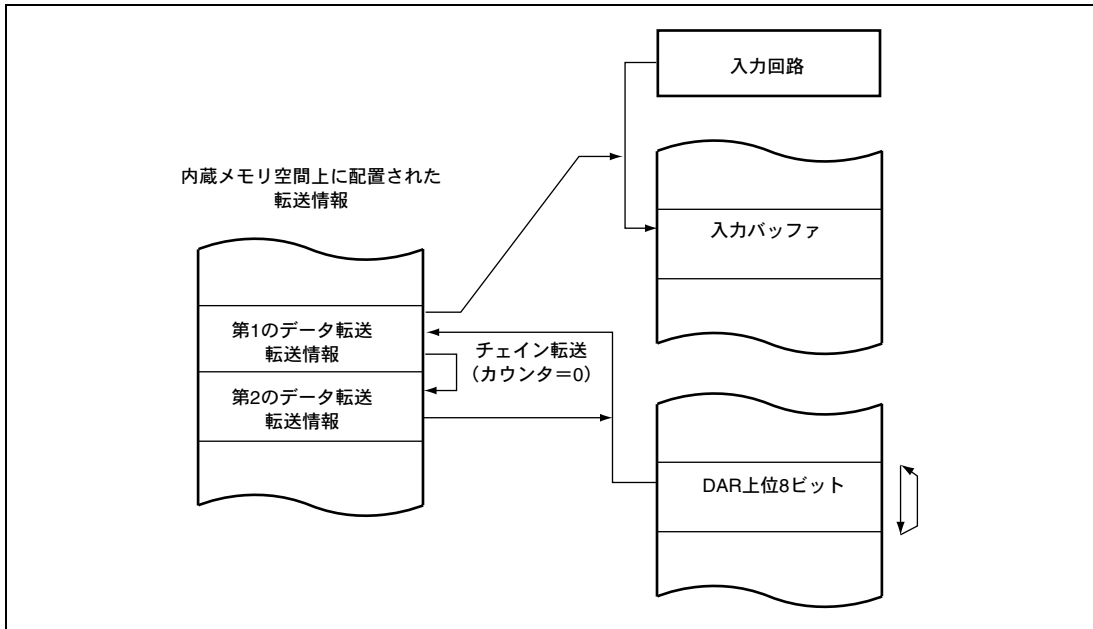


図 8.16 カウンタ=0 時のチェイン転送

8.8 割り込み要因

DTC が指定された回数のデータ転送を終了したとき、および DISEL ビットが 1 にセットされたデータ転送を終了したとき、CPU に対して割り込みを要求します。割り込み起動の場合、起動要因に設定した割り込みが発生します。これらの CPU に対する割り込みは CPU のマスクレベルや割り込みコントローラのプライオリティレベルの制御を受けます。

8. データトランスファコントローラ (DTC)

8.9 使用上の注意

8.9.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、DTC の動作禁止/許可を設定することができます。初期値では DTC の動作許可状態です。モジュールストップ状態に設定することにより、レジスタのアクセスが禁止されます。ただし、DTC が起動中はモジュールストップ状態に設定できません。詳細は「23. 低消費電力」を参照してください。

8.9.2 内蔵 RAM

転送情報は、内蔵 RAM に配置可能です。この場合は、SYSCR の RAME ビットを 0 にクリアしないでください。

8.9.3 DMAC 転送終了割り込み

DMAC 転送終了割り込みで DTC を起動したとき、転送カウンタ、DISEL ビットにかかわらず、DMDR の DTE ビットは DTC の制御を受けずにライトデータが優先されます。このため DTC の転送カウンタが 0 になった場合でも、CPU への割り込みが発生しない場合があります。

8.9.4 DTCE ビットの設定

DTCE ビットの設定は、必ず BSET、BCLR などのビット操作命令を使ってリード/ライトしてください。ただし、初期設定に限り複数の起動要因を一度に設定するときには、割り込みを禁止して当該レジスタのダミーリードを行ってからライトすることができます。

8.9.5 チェイン転送

チェイン転送が実行された場合には、連結された最後のデータ転送時に起動要因または DTCER のクリアを行います。このとき、SCI および A/D 変換器の割り込み/起動要因は、所定のレジスタがリード/ライトされたときにクリアされます。

したがって、これらの割り込み/起動要因によって DTC を起動する場合、DTC によるデータ転送が当該レジスタのリード/ライトを含まない場合は、割り込み/起動要因が保持されます。

8.9.6 転送情報先頭アドレス/ソースアドレス/デスティネーションアドレス

ベクタテーブルへ指定する転送情報先頭アドレスは、必ず 4n 番地を指定してください。4n 番地以外は、アドレスの最下位 2 ビットは 0 と見なしてアクセスします。

SAR、DAR へ設定するソースアドレス、デスティネーションアドレスは、アドレスとデータサイズによりバスサイクルを分割してデータ転送します。

8.9.7 転送情報の書き換え

IBCCS=1 かつ DMAC を使用している状態で、DTC 転送終了による CPU の割り込み例外処理ルーチンで DTC の転送情報を書き換える場合、IBCCS ビットを 0 にクリアし、再度 1 にセットしてから行ってください。

8.9.8 エンディアン

DTC は、ビッグエンディアン形式とリトルエンディアン形式に対応しています。ただし、転送情報をライトする際のエンディアン形式と DTC が転送情報をリードする際のエンディアン形式は同一にしてください。

8. データトランスファコントローラ (DTC)

9. I/O ポート

ポート機能一覧を表 9.1 に示します。各ポートは周辺モジュールの入出力端子や割り込み入力と端子を兼用しています。入出力ポートは入出力を制御するデータディレクションレジスタ (DDR)、出力データを格納するデータレジスタ (DR)、端子の状態をリードするポートレジスタ (PORT)、入力バッファのオン/オフを制御する入力バッファコントロールレジスタ (ICR) から構成されています。ポート 5 には DDR、DR はありません。

ポート D~F、H、I には、入力プルアップ MOS が内蔵されており、プルアップ MOS コントロールレジスタ (PCR) で入力プルアップ MOS のオン/オフを制御できます。

ポート 2、F は、オープンドレインコントロールレジスタ (ODR) で出力バッファの PMOS のオン/オフを選択できます。

すべての入出力ポートは、1 個の TTL 負荷と 30pF の容量負荷を駆動することができます。また、出力時にダーリントトランジスタを駆動することができます。

ポート 2、ポート 3 はシュミットトリガ入力端子です。その他のポートは \overline{IRQ} 入力、TPU 入力、TMR 入力、IIC2 入力として使用するときシュミットトリガ入力端子となります。

9. I/O ポート

表 9.1 ポート機能一覧

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力ブル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 1	割り込み入力、SCI 入出力、DMAC 入出力、A/D 変換器入力、TPU 入力、IIC2 入出力と兼用汎用入出力ポート	7	P17/SCL0	$\overline{\text{IRQ7-A}}$ / TCLKD-B	—	$\overline{\text{IRQ7-A}}$ 、 TCLKD-B、 SCL0	—	—
		6	P16/SDA0	$\overline{\text{IRQ6-A}}$ / TCLKC-B	$\overline{\text{DACK1-A}}$	$\overline{\text{IRQ6-A}}$ 、 TCLKC-B、 SDA0	—	—
		5	P15/SCL1	$\overline{\text{IRQ5-A}}$ / TCLKB-B/ RxD5/IrRXD	$\overline{\text{TEND1-A}}$	$\overline{\text{IRQ5-A}}$ 、 TCLKB-B、 SCL1	—	—
		4	P14/SDA1	$\overline{\text{DREQ1-A}}$ / $\overline{\text{IRQ4-A}}$ / TCLKA-B	TxD5/IrTxD	$\overline{\text{IRQ4-A}}$ 、 TCLKA-B、 SDA1	—	—
		3	P13	$\overline{\text{ADTRG0}}$ / $\overline{\text{IRQ3-A}}$	—	$\overline{\text{IRQ3-A}}$	—	—
		2	P12/SCK2	$\overline{\text{IRQ2-A}}$	$\overline{\text{DACK0-A}}$	$\overline{\text{IRQ2-A}}$	—	—
		1	P11	RxD2/ $\overline{\text{IRQ1-A}}$	$\overline{\text{TEND0-A}}$	$\overline{\text{IRQ1-A}}$	—	—
		0	P10	$\overline{\text{DREQ0-A}}$ / $\overline{\text{IRQ0-A}}$	TxD2	$\overline{\text{IRQ0-A}}$	—	—
ポート 2	割り込み入力、PPG 出力、TPU 入出力、TMR 入出力、SCI 入出力と兼用汎用入出力ポート	7	P27/TIOCB5	TIOCA5	PO7	P27、TIOCB5、 TIOCA5	—	○
		6	P26/TIOCA5	—	PO6/TMO1/TxD1	全入力機能	—	—
		5	P25/TIOCA4	TMCI1/RxD1	PO5	P25、TIOCA4、 TMCI1	—	—
		4	P24/TIOCB4/ SCK1	TIOCA4/TMRI1	PO4	P24、TIOCB4、 TIOCA4、TMRI1	—	—
		3	P23/TIOCD3	$\overline{\text{IRQ11-A}}$ /TIOCC3	PO3	P23、TIOCD3、 $\overline{\text{IRQ11-A}}$	—	—
		2	P22/TIOCC3	$\overline{\text{IRQ10-A}}$	PO2/TMO0/TxD0	全入力機能	—	—
		1	P21/TIOCA3	TMCI0/RxD0/ $\overline{\text{IRQ9-A}}$	PO1	P21、 $\overline{\text{IRQ9-A}}$ 、 TIOCA3、TMCI0	—	—
		0	P20/TIOCB3/ SCK0	TIOCA3/TMRI0/ $\overline{\text{IRQ8-A}}$	PO0	P20、 $\overline{\text{IRQ8-A}}$ 、 TIOCB3、TIOCA3、 TMRI0	—	—

ポート名	概要	ビット	機能			シュミットトリガ 入力端子 ^{※1}	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート 3	PPG 出力、DMAC 入出力、TPU 入出力と兼用汎用入出力ポート	7	P37/TIOCB2	TIOCA2/TCLKD-A	PO15	全入力機能	—	—
		6	P36/TIOCA2	—	PO14	全入力機能	—	—
		5	P35/TIOCB1	TIOCA1/TCLKC-A	PO13/DACK1-B	全入力機能	—	—
		4	P34/TIOCA1	—	PO12/TEND1-B	全入力機能	—	—
		3	P33/TIOCD0	TIOCC0/ TCLKB-A/ DREQ1-B	PO11	全入力機能	—	—
		2	P32/TIOCC0	TCLKA-A	PO10/DACK0-B	全入力機能	—	—
		1	P31/TIOCB0	TIOCA0	PO9/TEND0-B	全入力機能	—	—
		0	P30/TIOCA0	DREQ0-B	PO8	全入力機能	—	—
ポート 5	割り込み入力、A/D 変換器入力、D/A 変換器出力と兼用汎用入力ポート	7	—	P57/AN7/IRQ7-B	DA1	IRQ7-B	—	—
		6	—	P56/AN6/IRQ6-B	DA0	IRQ6-B	—	—
		5	—	P55/AN5/IRQ5-B	—	IRQ5-B	—	—
		4	—	P54/AN4/IRQ4-B	—	IRQ4-B	—	—
		3	—	P53/AN3/IRQ3-B	—	IRQ3-B	—	—
		2	—	P52/AN2/IRQ2-B	—	IRQ2-B	—	—
		1	—	P51/AN1/IRQ1-B	—	IRQ1-B	—	—
		0	—	P50/AN0/IRQ0-B	—	IRQ0-B	—	—
ポート 6	TMR 入出力、SCI 入出力、DMAC 入出力、H-UDI 入力、割り込み入力と兼用汎用入出力ポート	7	—	—	—	—	—	—
		6	—	—	—	—	—	—
		5	P65	TCK	TMO3/DACK3	—	—	—
		4	P64	TMCI3/TDI	TEND3	TMCI3	—	—
		3	P63	TMRI3/ DREQ3/ IRQ11-B/TMS	—	TMRI3、IRQ11-B	—	—
		2	P62/SCK4	IRQ10-B/TRST	TMO2/DACK2	IRQ10-B	—	—
		1	P61	TMCI2/RxD4/ IRQ9-B	TEND2	TMCI2、IRQ9-B	—	—
		0	P60	TMRI2/DREQ2/ IRQ8-B	TxD4	TMRI2、IRQ8-B	—	—

9. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート A	システムクロック出力、バス制御入出力と兼用汎用入出力ポート	7	—	PA7	Bφ	—	—	—
		6	PA6	—	$\overline{AS}/AH/BS-B$			
		5	PA5	—	\overline{RD}			
		4	PA4	—	LHWR/LUB			
		3	PA3	—	LLWR/LLB			
		2	PA2	BREQ/WAIT	—			
		1	PA1	—	BACK/ (RD/WR)			
		0	PA0	—	$\overline{BREQO}/BS-A$			
ポート B	バス制御出力と兼用汎用入出力ポート	7	PB7	—	SDφ	—	—	—
		6	PB6	—	$\overline{CS6-D}$ (RD/WR-B)			
		5	PB5	—	$\overline{CS5-D}/OE/CKE$			
		4	PB4	—	$\overline{CS4-B}/WE$			
		3	PB3	—	$\overline{CS3-A}/CS7-A/CAS$			
		2	PB2	—	$\overline{CS2-A}/CS6-A/RAS$			
		1	PB1	—	$\overline{CS1}/CS2-B/CS5-A/CS6-B/CS7-B$			
		0	PB0	—	$\overline{CS0}, \overline{CS4-A}$ $\overline{CS5-B}$			
ポート C	バス制御入出力、A/D変換器入力と兼用汎用入出力ポート	7	—	—	—	—	—	—
		6	—	—	—			
		5	—	—	—			
		4	—	—	—			
		3	PC3	—	LLCAS/DQMLL			
		2	PC2	—	LUCAS/DQMLU			
		1	—	—	—			
		0	—	—	—			

9. I/O ポート

ポート名	概要	ピ ツ ト	機能			シュミットトリガ 入力端子 ^{※1}	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート D	アドレス出力と兼用 汎用入出力ポート	7	PD7	—	A7	—	○	—
		6	PD6	—	A6			
		5	PD5	—	A5			
		4	PD4	—	A4			
		3	PD3	—	A3			
		2	PD2	—	A2			
		1	PD1	—	A1			
		0	PD0	—	A0			
ポート E	アドレス出力と兼用 汎用入出力ポート	7	PE7	—	A15	—	○	—
		6	PE6	—	A14			
		5	PE5	—	A13			
		4	PE4	—	A12			
		3	PE3	—	A11			
		2	PE2	—	A10			
		1	PE1	—	A9			
		0	PE0	—	A8			
ポート F	アドレス出力と兼用 汎用入出力ポート	7	PF7	—	A23	—	○	○
		6	PF6	—	A22			
		5	PF5	—	A21			
		4	PF4	—	A20			
		3	PF3	—	A19			
		2	PF2	—	A18			
		1	PF1	—	A17			
		0	PF0	—	A16			
ポート H	双方向データバスと 兼用汎用入出力ポ ート	7	PH7/D7 ^{※2}	—	—	—	○	—
		6	PH6/D6 ^{※2}	—	—			
		5	PH5/D5 ^{※2}	—	—			
		4	PH4/D4 ^{※2}	—	—			
		3	PH3/D3 ^{※2}	—	—			
		2	PH2/D2 ^{※2}	—	—			
		1	PH1/D1 ^{※2}	—	—			
		0	PH0/D0 ^{※2}	—	—			

9. I/O ポート

ポート名	概要	ビット	機能			シュミットトリガ 入力端子*1	入力プル アップ MOS 機能	オープン ドレイン 出力機能
			入出力	入力	出力			
ポート I	双方向データバスと 兼用汎用入出力ポ ート	7	PI7/D15*2	—	—	—	○	—
		6	PI6/D14*2	—	—			
		5	PI5/D13*2	—	—			
		4	PI4/D12*2	—	—			
		3	PI3/D11*2	—	—			
		2	PI2/D10*2	—	—			
		1	PI1/D9*2	—	—			
		0	PI0/D8*2	—	—			
ポート M	SCI 入出力と兼用汎 用入出力ポート	7	—	—	—	—	—	—
		6	—	—	—			
		5	—	—	—			
		4	PM4	—	—			
		3	PM3	—	—			
		2	PM2	—	—			
		1	PM1	RxD6	—			
		0	PM0	—	TxD6			

【注】 *1 シュミットトリガ入力端子以外は、CMOS 入力端子になります。

*2 アドレス/データマルチプレクス I/O 空間アクセス時は、アドレスも出力されます。

9.1 レジスタの説明

各ポートのレジスタを表 9.2 に示します。

表 9.2 各ポートのレジスタ構成

ポート	端子数	レジスタ					
		DDR	DR	PORT	ICR	PCR	ODR
ポート1	8	○	○	○	○	—	—
ポート2	8	○	○	○	○	—	○
ポート3	8	○	○	○	○	—	—
ポート5	8	—	—	○	○	—	—
ポート6	6	○	○	○	○	—	—
ポートA	8	○	○	○	○	—	—
ポートB	4	○	○	○	○	—	—
ポートC*	2	○	○	○	○	—	—
ポートD	8	○	○	○	○	○	—
ポートE	8	○	○	○	○	○	—
ポートF	8	○	○	○	○	○	○
ポートH	8	○	○	○	○	○	—
ポートI	8	○	○	○	○	○	—
ポートM	5	○	○	○	○	—	—

【記号説明】 ○：レジスタ有り、—：レジスタ無し

【注】 * ライト時は、初期値をライトしてください。

9.1.1 データディレクションレジスタ (PnDDR)

(n=1、2、3、6、A、B、C、D~F、H、I、M)

DDR は、ポートの入出力をビットごとに指定する 8 ビットのライト専用レジスタです。DDR のリードは無効であり、リードすると不定値が読み出されます。

汎用入力ポートの機能が選択されているとき、DDR の当該ビットを 1 にセットすると対応する端子は出力ポートとなり、0 にクリアすると対応する端子は入力ポートになります。

DDR の初期値を表 9.3 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DDR	Pn6DDR	Pn5DDR	Pn4DDR	Pn3DDR	Pn2DDR	Pn1DDR	Pn0DDR
初期値：	0	0	0	0	0	0	0	0
R/W：	W	W	W	W	W	W	W	W

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
 ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
 ポートCのレジスタはビット2、ビット3が有効で、それ以外のビットはリザーブビットです。

9. I/O ポート

表 9.3 起動モードと初期値

ポート	起動モード	
	外部拡張モード	シングルチップモード
ポート A	H'80	H'00
その他のポート	H'00	

9.1.2 データレジスタ (PnDR) (n=1, 2, 3, 6, A, B, C, D~F, H, I, M)

DR は、汎用出力ポートとして使用する端子の出力データを格納する 8 ビットのリード/ライト可能なレジスタです。

DR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7DR	Pn6DR	Pn5DR	Pn4DR	Pn3DR	Pn2DR	Pn1DR	Pn0DR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
ポートCのレジスタはビット2、ビット3が有効で、それ以外のビットはリザーブビットです。

9.1.3 ポートレジスタ (PORTn) (n=1, 2, 3, 5, 6, A, B, C, D~F, H, I, M)

PORT は、ポートの端子の状態を反映する 8 ビットのリード専用レジスタです。PORT のライトは無効です。

PORT をリードすると、DDR が 1 にセットされているビットは DR の値がリードされます。DDR が 0 にクリアされているビットは、ICR の値に関係なく端子の状態がリードされます。

PORT の初期値は不定です。ポートの端子状態により決定されます。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	R	R	R	R	R	R	R	R

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
ポートCのレジスタはビット2、ビット3が有効で、それ以外のビットはリザーブビットです。

9.1.4 入力バッファコントロールレジスタ (PnICR)

(n=1, 2, 3, 5, 6, A, B, C, D~F, H, I, M)

ICR は、ポートの入力バッファを制御する 8 ビットのリード/ライト可能なレジスタです。

ICR が 1 にセットされているビットは、対応する端子の入力バッファは有効になります。ICR が 0 にクリアされているビットは、対応する端子の入力バッファは無効となり、入力信号は High レベルに固定されます。

周辺モジュールの入力端子として使用する場合は、対応するビットを 1 にセットしてください。入力として使用しない端子、およびアナログ入出力端子に対応するビットへライトする場合は、初期値をライトしてください。

PORT をリードすると、このレジスタの値に関係なく端子の状態が読み出されます。

このとき、ICR が 0 にクリアされていれば、周辺モジュール側に端子状態が反映されることはありません。

ICR の設定を変更するときに、端子の状態によって内部的にエッジが発生することがあります。ICR の設定の変更は、当該入力端子が使用されていないときに行ってください。例えば、 $\overline{\text{IRQ}}$ 入力の場合、当該割り込みを禁止した状態で ICR の設定の変更を行い、割り込みコントローラの ISR の IRQF フラグを 0 にクリアし、その後当該割り込みを許可してください。ICR の設定の変更後にエッジが発生したときは、そのエッジをキャンセルするようにしてください。

ICR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ICR	Pn6ICR	Pn5ICR	Pn4ICR	Pn3ICR	Pn2ICR	Pn1ICR	Pn0ICR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 ポート6のレジスタは下位6ビットが有効で、上位2ビットはリザーブビットです。
 ポートMのレジスタは下位5ビットが有効で、上位3ビットはリザーブビットです。
 ポートCのレジスタはビット2、ビット3が有効で、それ以外のビットはリザーブビットです。

9.1.5 プルアップ MOS コントロールレジスタ (PnPCR) (n=D~F, H, I)

PCR は、ポートの入力プルアップ MOS のオン/オフを制御する 8 ビットのリード/ライト可能なレジスタです。

端子が入力状態のとき、PCR が 1 にセットされているビットに対応する端子の入力プルアップ MOS がオンします。表 9.4 に入力プルアップ MOS の状態を示します。

PCR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7PCR	Pn6PCR	Pn5PCR	Pn4PCR	Pn3PCR	Pn2PCR	Pn1PCR	Pn0PCR
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9. I/O ポート

表 9.4 入力プルアップ MOS の状態

ポート	端子状態	リセット	ハードウェア スタンバイ モード	ソフトウェア スタンバイ モード	その他の動作
ポート D	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF		ON/OFF	
ポート E	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF		ON/OFF	
ポート F	アドレス出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF		ON/OFF	
ポート H	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF		ON/OFF	
ポート I	データ入出力	OFF			
	ポート出力	OFF			
	ポート入力	OFF		ON/OFF	

【記号説明】 OFF : 入力プルアップ MOS は常にオフ状態です。

ON/OFF : PCR を 1 にセットするとオン状態、PCR を 0 にクリアするとオフ状態です。

9.1.6 オープンドレインコントロールレジスタ (PnODR) (n=2, F)

ODR は、ポートの端子の出力形態を選択する 8 ビットのリード/ライト可能なレジスタです。

ODR の当該ビットを 1 にセットすると対応する端子は NMOS オープンドレイン出力となり、0 にクリアすると対応する端子は CMOS 出力になります。

ODR の初期値は H'00 です。

ビット	7	6	5	4	3	2	1	0
ビット名	Pn7ODR	Pn6ODR	Pn5ODR	Pn4ODR	Pn3ODR	Pn2ODR	Pn1ODR	Pn0ODR
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

9.2 出力バッファ制御

各端子の出力優先順位について説明します。

各周辺モジュールの端子は、端子名の後に「_OE」を付けて記載しています。これは（例：TIOCA4_OE）、対象となる機能の出力を有効にする設定（1）であるか、それ以外の設定（0）かを示しています。表 9.5 に各ポートの出力信号有効設定一覧を示します。当該する出力信号の詳細は、各周辺モジュールのレジスタの説明を参照してください。また、各周辺モジュールの端子名の接尾に「A」、「B」が付いている端子は、ポートファンクションコントロールレジスタ（PFCR）によって端子機能を変更できます。詳細は「9.3 ポートファンクションコントロール」を参照してください。

初期値が起動モードにより変わる端子については、外部拡張モードで起動した場合は「初期値 E」、シングルチップモードで起動した場合は「初期値 S」を記載しています。

9.2.1 ポート 1

(1) P17/ $\overline{\text{IRQ7}}$ -A/ $\overline{\text{TCLKD}}$ -B/ $\overline{\text{SCL0}}$

IIC2 のレジスタ設定、および P17DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		IIC2	I/O ポート
		$\overline{\text{SCL0_OE}}$ *	P17DDR
IIC2	$\overline{\text{SCL0}}$ 入出力	1	—
I/O ポート	P17 出力	0	1
	P17 入力（初期値）	0	0

【注】 * 入出力設定時：1

(2) P16/ $\overline{\text{DACK1}}$ -A / $\overline{\text{IRQ6}}$ -A/ $\overline{\text{TCLKC}}$ -B/ $\overline{\text{SDA0}}$

DMAC、IIC2 のレジスタの設定、および P16DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	IIC2	I/O ポート
		$\overline{\text{DACK1A_OE}}$ *	$\overline{\text{SDA0_OE}}$ *	P16DDR
DMAC	$\overline{\text{DACK1}}$ -A 出力	1	—	—
IIC2	$\overline{\text{SDA0}}$ 入出力	0	1	—
I/O ポート	P16 出力	0	0	1
	P16 入力（初期値）	0	0	0

【注】 * 入出力設定時：1

9. I/O ポート

(3) P15/RxD5/IrRXD/ $\overline{\text{TEND1-A}}$ /IRQ5-A/TCLKB-B/SCL1

DMAC、IIC2 のレジスタの設定、および P15DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	IIC2	I/O ポート
		$\overline{\text{TEND1A_OE}}$	SCL1_OE*	P15DDR
DMAC	$\overline{\text{TEND1-A}}$ 出力	1	—	—
IIC2	SCL1 入出力	0	1	—
I/O ポート	P15 出力	0	0	1
	P15 入力 (初期値)	0	0	0

【注】 * 入出力設定時 : 1

(4) P14/TxD5/IrTXD/ $\overline{\text{DREQ1-A}}$ /IRQ4-A/TCLKA-B/SDA1

SCI、IrDA、IIC2 のレジスタの設定、および P14DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		SCI	IrDA	IIC2	I/O ポート
		TxD5_OE	IrTXD_OE	SDA1_OE*	P14DDR
SCI	TxD5 出力	1	—	—	—
IrDA	IrTXD 出力	0	1	—	—
IIC2	SDA1 入出力	0	0	1	—
I/O ポート	P14 出力	0	0	0	1
	P14 入力 (初期値)	0	0	0	0

【注】 * 入出力設定時 : 1

(5) P13/ADTRG0/IRQ3-A

P13DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定
		I/O ポート
		P13DDR
I/O ポート	P13 出力	1
	P13 入力 (初期値)	0

(6) P12/SCK2/DACK0-A/IRQ2-A

DMAC、SCI のレジスタの設定、および P12DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	SCI	I/O ポート
		DACK0A_OE	SCK2_OE	P12DDR
DMAC	DACK0-A 出力	1	—	—
SCI	SCK2 出力	0	1	—
I/O ポート	P12 出力	0	0	1
	P12 入力 (初期値)	0	0	0

(7) P11/RxD2/TEND0-A/IRQ1-A

DMAC のレジスタの設定、および P11DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		TEND0A_OE	P11DDR
DMAC	TEND0-A 出力	1	—
I/O ポート	P11 出力	0	1
	P11 入力 (初期値)	0	0

(8) P10/TxD2/DREQ0-A/IRQ0-A

SCI のレジスタの設定、および P10DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/O ポート
		TxD2_OE	P10DDR
SCI	TxD2 出力	1	—
I/O ポート	P10 出力	0	1
	P10 入力 (初期値)	0	0

9. I/O ポート

9.2.2 ポート 2

(1) P27/PO7/TIOCA5/TIOCB5

TPU、PPG のレジスタの設定、および P27DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCB5_OE	PO7_OE	P27DDR
TPU	TIOCB5 出力	1	—	—
PPG	PO7 出力	0	1	—
I/O ポート	P27 出力	0	0	1
	P27 入力 (初期値)	0	0	0

(2) P26/PO6/TIOCA5/TMO1/TxD1

TPU、TMR、SCI、PPG のレジスタの設定、および P26DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	I/O ポート
		TIOCA5_OE	TMO1_OE	TxD1_OE	PO6_OE	P26DDR
TPU	TIOCA5 出力	1	—	—	—	—
TMR	TMO1 出力	0	1	—	—	—
SCI	TxD1 出力	0	0	1	—	—
PPG	PO6 出力	0	0	0	1	—
I/O ポート	P26 出力	0	0	0	0	1
	P26 入力 (初期値)	0	0	0	0	0

(3) P25/PO5/TIOCA4/TMCI1/RxD1

TPU、PPG のレジスタの設定、および P25DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA4_OE	PO5_OE	P25DDR
TPU	TIOCA4 出力	1	—	—
PPG	PO5 出力	0	1	—
I/O ポート	P25 出力	0	0	1
	P25 入力 (初期値)	0	0	0

(4) P24/PO4/TIOCA4/TIOCB4/TMRI1/SCK1

TPU、SCI、PPG のレジスタの設定、および P24DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		TPU	SCI	PPG	PORT
		TIOCB4_OE	SCK1_OE	PO4_OE	P24DDR
TPU	TIOCB4 出力	1	—	—	—
SCI	SCK1 出力	0	1	—	—
PPG	PO4 出力	0	0	1	—
I/O ポート	P24 出力	0	0	0	1
	P24 入力 (初期値)	0	0	0	0

(5) P23/PO3/TIOCC3/TIOCD3/ $\overline{\text{IRQ11}}$ -A

TPU、PPG のレジスタの設定、および P23DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCD3_OE	PO3_OE	P23DDR
TPU	TIOCD3 出力	1	—	—
PPG	PO3 出力	0	1	—
I/O ポート	P23 出力	0	0	1
	P23 入力 (初期値)	0	0	0

(6) P22/PO2/TIOCC3/TMO0/TxD0/ $\overline{\text{IRQ10}}$ -A

TPU、TMR、SCI、PPG のレジスタの設定、および P22DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定				
		TPU	TMR	SCI	PPG	PORT
		TIOCC3_OE	TMO0_OE	TxD0_OE	PO2_OE	P22DDR
TPU	TIOCC3 出力	1	—	—	—	—
TMR	TMO0 出力	0	1	—	—	—
SCI	TxD0 出力	0	0	1	—	—
PPG	PO2 出力	0	0	0	1	—
I/O ポート	P22 出力	0	0	0	0	1
	P22 入力 (初期値)	0	0	0	0	0

9. I/O ポート

(7) P21/PO1/TIOCA3/TMCI0/RxD0/ $\overline{IRQ9}$ -A

TPU、PPG のレジスタの設定、および P21DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA3_OE	PO1_OE	P21DDR
TPU	TIOCA3 出力	1	—	—
PPG	PO1 出力	0	1	—
I/O ポート	P21 出力	0	0	1
	P21 入力 (初期値)	0	0	0

(8) P20/PO0/TIOCA3/TIOCB3/TMRI0/SCK0/ $\overline{IRQ8}$ -A

TPU、PPG、SCI のレジスタの設定、および P20DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		TPU	SCI	PPG	I/O ポート
		TIOCB3_OE	SCK0_OE	PO0_OE	P20DDR
TPU	TIOCB3 出力	1	—	—	—
SCI	SCK0 出力	0	1	—	—
PPG	PO0 出力	0	0	1	—
I/O ポート	P20 出力	0	0	0	1
	P20 入力 (初期値)	0	0	0	0

9.2.3 ポート 3

(1) P37/PO15/TIOCA2/TIOCB2/TCLKD-A

TPU、PPG のレジスタの設定、および P37DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCB2_OE	PO15_OE	P37DDR
TPU	TIOCB2 出力	1	—	—
PPG	PO15 出力	0	1	—
I/O ポート	P37 出力	0	0	1
	P37 入力 (初期値)	0	0	0

(2) P36/PO14/TIOCA2

TPU、PPG のレジスタの設定、および P36DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA2_OE	PO14_OE	P36DDR
TPU	TIOCA2 出力	1	—	—
PPG	PO14 出力	0	1	—
I/O ポート	P36 出力	0	0	1
	P36 入力 (初期値)	0	0	0

(3) P35/PO13/TIOCA1/TIOCB1/TCLKC-A/ $\overline{\text{DACK1}}\text{-B}$

DMAC、TPU、PPG のレジスタの設定、および P35DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{DACK1}}\text{-OE}$	TIOCB1_OE	PO13_OE	P35DDR
DMAC	$\overline{\text{DACK1}}\text{-B}$ 出力	1	—	—	—
TPU	TIOCB1 出力	0	1	—	—
PPG	PO13 出力	0	0	1	—
I/O ポート	P35 出力	0	0	0	1
	P35 入力 (初期値)	0	0	0	0

(4) P34/PO12/TIOCA1/ $\overline{\text{TEND1}}\text{-B}$

DMAC、TPU、PPG のレジスタの設定、および P34DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{TEND1}}\text{-OE}$	TIOCA1_OE	PO12_OE	P34DDR
DMAC	$\overline{\text{TEND1}}\text{-B}$ 出力	1	—	—	—
TPU	TIOCA1 出力	0	1	—	—
PPG	PO12 出力	0	0	1	—
I/O ポート	P34 出力	0	0	0	1
	P34 入力 (初期値)	0	0	0	0

9. I/O ポート

(5) P33/PO11/TIOCC0/TIOCD0/TCLKB-A/ $\overline{\text{DREQ1}}$ -B

TPU、PPG のレジスタの設定、および P33DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCD0_OE	PO11_OE	P33DDR
TPU	TIOCD0 出力	1	—	—
PPG	PO11 出力	0	1	—
I/O ポート	P33 出力	0	0	1
	P33 入力 (初期値)	0	0	0

(6) P32/PO10/TIOCC0/TCLKA-A/ $\overline{\text{DACK0}}$ -B

DMAC、TPU、PPG のレジスタの設定、および P32DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{DACK0B}}$ _OE	TIOCC0_OE	PO10_OE	P32DDR
DMAC	$\overline{\text{DACK0}}$ -B 出力	1	—	—	—
TPU	TIOCC0 出力	0	1	—	—
PPG	PO10 出力	0	0	1	—
I/O ポート	P32 出力	0	0	0	1
	P32 入力 (初期値)	0	0	0	0

(7) P31/PO9/TIOCA0/TIOCB0/ $\overline{\text{TEND0}}$ -B

DMAC、TPU、PPG のレジスタの設定、および P31DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TPU	PPG	I/O ポート
		$\overline{\text{TEND0B}}$ _OE	TIOCB0_OE	PO9_OE	P31DDR
DMAC	$\overline{\text{TEND0}}$ -B 出力	1	—	—	—
TPU	TIOCB0 出力	0	1	—	—
PPG	PO9 出力	0	0	1	—
I/O ポート	P31 出力	0	0	0	1
	P31 入力 (初期値)	0	0	0	0

(8) P30/PO8/TIOCA0/ $\overline{\text{DREQ0}}$ -B

TPU、PPG のレジスタの設定、および P33DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		TPU	PPG	I/O ポート
		TIOCA0_OE	PO8_OE	P30DDR
TPU	TIOCA0 出力	1	—	—
PPG	PO8 出力	0	1	—
I/O ポート	P30 出力	0	0	1
	P30 入力 (初期値)	0	0	0

9.2.4 ポート 5

(1) P57/AN7/DA1/ $\overline{\text{IRQ7}}$ -B

モジュール名	端子機能
D/A 変換器	DA1 出力

(2) P56/AN6/DA0/ $\overline{\text{IRQ6}}$ -B

モジュール名	端子機能
D/A 変換器	DA0 出力

9. I/O ポート

9.2.5 ポート 6

(1) P65/TMO3/DACK3/TCK

DMAC、TMR のレジスタの設定、および P65DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定		
		DMAC	TMR	I/O ポート
		DACK3_OE	TMO3_OE	P65DDR
DMAC	DACK3 出力	1	—	—
TMR	TMO3 出力	0	1	—
I/O ポート	P65 出力	0	0	1
	P65 入力 (初期値)	0	0	0

(2) P64/TMC13/TEND3/TDI

DMAC のレジスタの設定、および P64DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		TEND3_OE	P64DDR
DMAC	TEND3 出力	1	—
I/O ポート	P64 出力	0	1
	P64 入力 (初期値)	0	0

(3) P63/TMRI3/DREQ3/IRQ11-B/TMS

P63DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		P63DDR	
I/O ポート	P63 出力	1	
	P63 入力 (初期値)	0	

(4) P62/TMO2/SCK4/DACK2/IRQ10-B/TRST

DMAC、TMR、SCI のレジスタの設定、および P62DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定			
		DMAC	TMR	SCI	I/O ポート
		DACK2_OE	TMO2_OE	SCK4_OE	P62DDR
DMAC	DACK2 出力	1	—	—	—
TMR	TMO2 出力	0	1	—	—
SCI	SCK4 出力	0	0	1	—
I/O ポート	P62 出力	0	0	0	1
	P62 入力 (初期値)	0	0	0	0

(5) P61/TMC12/RxD4/TEND2/IRQ9-B

DMAC のレジスタの設定、および P61DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		DMAC	I/O ポート
		TEND2_OE	P61DDR
DMAC	TEND2 出力	1	—
I/O ポート	P61 出力	0	1
	P61 入力 (初期値)	0	0

(6) P60/TMRI2/TxD4/DREQ2/IRQ8-B

SCI のレジスタの設定、および P60DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/O ポート
		TxD4_OE	P60DDR
SCI	TxD4 出力	1	—
I/O ポート	P60 出力	0	1
	P60 入力 (初期値)	0	0

9. I/O ポート

9.2.6 ポート A

(1) PA7/Bφ

PA7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PA7DDR	
I/O ポート	Bφ 出力* (初期値 E)	1	
	PA7 入力 (初期値 S)	0	

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 * 出力するφの種類は、SCKCR の POSEL1 ビットの設定により切り替わります。詳細は「22.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

(2) PA6/ \overline{AS} / \overline{AH} / \overline{BS} -B

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		バスコントローラ	I/O ポート		
		\overline{AH} _OE	\overline{BSB} _OE	\overline{AS} _OE	PA6DDR
バスコントローラ	\overline{AH} 出力*	1	—	—	—
	\overline{BS} -B 出力*	0	1	—	—
	\overline{AS} 出力* (初期値 E)	0	0	1	—
I/O ポート	PA6 出力	0	0	0	1
	PA6 入力 (初期値 S)	0	0	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE=1) のとき有効

(3) PA5/ \overline{RD}

動作モードと EXPE ビット、および PA5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
		EXPE	PA5DDR
バスコントローラ	\overline{RD} 出力* (初期値 E)	1	—
I/O ポート	PA5 出力	0	1
	PA5 入力 (初期値 S)	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 * 外部拡張モード (EXPE=1) のとき有効

(4) PA4/ \overline{LHWR} / \overline{LUB}

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PA4DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ	I/O ポート	
		$\overline{LUB_OE}$ * ²	$\overline{LHWR_OE}$ * ²	PA4DDR
バスコントローラ	\overline{LUB} 出力* ¹	1	—	—
	\overline{LHWR} 出力* ¹ (初期値 E)	—	1	—
I/O ポート	PA4 出力	0	0	1
	PA4 入力 (初期値 S)	0	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 *¹ 外部拡張モード (EXPE=1) のとき有効

*² バイト制御 SRAM 空間設定時、または LHWR \overline{OE} =1 のとき、バイト制御 SRAM 空間をアクセスすると \overline{LUB} が出力されます。それ以外の場合、 \overline{LHWR} 出力となります。

9. I/O ポート

(5) PA3/ $\overline{\text{LLWR}}$ / $\overline{\text{LLB}}$

動作モードと EXPE ビット、バスコントローラのレジスタの設定、および PA3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		$\overline{\text{LLB}}_{\text{OE}}^{*2}$	$\overline{\text{LLWR}}_{\text{OE}}^{*2}$	PA3DDR
バスコントローラ	$\overline{\text{LLB}}$ 出力*1	1	—	—
	$\overline{\text{LLWR}}$ 出力*1 (初期値 E)	—	1	—
I/O ポート	PA3 出力	0	0	1
	PA3 入力 (初期値 S)	0	0	0

【記号説明】 初期値 E：外部拡張モード時の初期値

初期値 S：シングルチップモード時の初期値

【注】 *1 外部拡張モード (EXPE=1) のとき有効

*2 バイト制御 SRAM 空間をアクセスすると $\overline{\text{LLB}}$ が出力されます。それ以外の外部空間をアクセスすると $\overline{\text{LLWR}}$ が出力されます。

(6) PA2/ $\overline{\text{BREQ}}$ / $\overline{\text{WAIT}}$

バスコントローラのレジスタの設定、および PA2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		BCR_BRLE	BCR_WAITE	PA2DDR
バスコントローラ	$\overline{\text{BREQ}}$ 入力	1	—	—
	$\overline{\text{WAIT}}$ 入力	0	1	—
I/O ポート	PA2 出力	0	0	1
	PA2 入力 (初期値)	0	0	0

(7) PA1/ $\overline{\text{BACK}}$ / $\overline{\text{RD}}$ / $\overline{\text{WR}}$

動作モードとEXPEビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ(PFCR)の設定、およびPA1DDRビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		バスコントローラ		I/O ポート	
		BACK_OE	バイト制御 SRAM 選択	(RD/WR) _OE	PA1DDR
バスコントローラ	$\overline{\text{BACK}}$ 出力*	1	—	—	—
	$\overline{\text{RD/WR}}$ 出力*	0	1	—	—
		0	0	1	—
I/O ポート	PA1 出力	0	0	0	1
	PA1 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PA0/ $\overline{\text{BREQO}}$ / $\overline{\text{BS-A}}$

動作モードとEXPEビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ(PFCR)の設定、およびPA0DDRビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		I/O ポート	バスコントローラ	I/O ポート
		BSA_OE	$\overline{\text{BREQO}}$ _OE	PA0DDR
バスコントローラ	$\overline{\text{BS-A}}$ 出力*	1	—	—
	$\overline{\text{BREQO}}$ 出力*	0	1	—
I/O ポート	PA0 出力	0	0	1
	PA0 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9. I/O ポート

9.2.7 ポート B

(1) PB7/SDφ

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
		SDRAM モード	PB7DDR
クロック発振器	SDφ 出力*	1	—
I/O ポート	PB7 出力	0	1
	PB7 入力 (初期値)	0	0

【注】 * SDRAM モードのとき有効

(2) PB6/ $\overline{\text{CS6-D}}$ /(RD/ $\overline{\text{WR}}$ -B)

動作モードと EXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		I/O ポート			
		バイト制御 SRAM 選択	(RD/ $\overline{\text{WR}}$)-B_OE	$\overline{\text{CS6D}}$ _OE	PB6DDR
バスコントローラ	RD/ $\overline{\text{WR}}$ -B 出力*	1	—	—	—
		0	1	—	—
	$\overline{\text{CS6-D}}$ 出力*	0	0	1	—
I/O ポート	PB6 出力	0	0	0	1
	PB6 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(3) PB5/ $\overline{\text{CS5-D}}$ / $\overline{\text{OE}}$ /CKE

動作モードとEXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ(PFCR)の設定、およびPB5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		I/O ポート			
		CKE_OE	$\overline{\text{OE}}$ _OE	$\overline{\text{CS5D}}$ _OE	PB5DDR
バスコントローラ	CKE 出力*	1	—	—	—
	$\overline{\text{OE}}$ 出力*	0	1	—	—
	$\overline{\text{CS5-D}}$ 出力*	0	0	1	—
I/O ポート	PB5 出力	0	0	0	1
	PB5 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(4) PB4/ $\overline{\text{CS4-B}}$ / $\overline{\text{WE}}$

動作モードとEXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ(PFCR)の設定、およびPB4DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ	I/O ポート	
		$\overline{\text{WE}}$ _OE	$\overline{\text{CS4B}}$ _OE	PB4DDR
バスコントローラ	$\overline{\text{WE}}$ 出力*	1	—	—
	$\overline{\text{CS4-B}}$ 出力*	0	1	—
I/O ポート	PB4 出力	0	0	1
	PB4 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9. I/O ポート

(5) PB3/ $\overline{\text{CS3-A}}$ / $\overline{\text{CS7-A}}$ / $\overline{\text{CAS}}$

動作モードとEXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ(PFCR)の設定、およびPB3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		バスコントローラ	I/O ポート		
		CAS_OE	$\overline{\text{CS3A}}_{\text{OE}}$	$\overline{\text{CS7A}}_{\text{OE}}$	PB3DDR
バスコントローラ	$\overline{\text{CAS}}$ 出力*	1	—	—	—
	$\overline{\text{CS3-A}}$ 出力*	0	1	—	—
	$\overline{\text{CS7-A}}$ 出力*	0	—	1	—
I/O ポート	PB3 出力	0	0	0	1
	PB3 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(6) PB2/ $\overline{\text{CS2-A}}$ / $\overline{\text{CS6-A}}$ / $\overline{\text{RAS}}$

動作モードとEXPE ビット、バスコントローラのレジスタ、ポートファンクションコントロールレジスタ(PFCR)の設定、およびPB2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		バスコントローラ	I/O ポート		
		RAS_OE	$\overline{\text{CS2A}}_{\text{OE}}$	$\overline{\text{CS6A}}_{\text{OE}}$	PB2DDR
バスコントローラ	$\overline{\text{RAS}}$ 出力*	1	—	—	—
	$\overline{\text{CS2-A}}$ 出力*	0	1	—	—
	$\overline{\text{CS6-A}}$ 出力*	0	—	1	—
I/O ポート	PB2 出力	0	0	0	1
	PB2 入力 (初期値)	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(7) PB1/ $\overline{CS1}$ / $\overline{CS2-B}$ / $\overline{CS5-A}$ / $\overline{CS6-B}$ / $\overline{CS7-B}$

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定					
		I/O ポート					
		$\overline{CS1_OE}$	$\overline{CS2B_OE}$	$\overline{CS5A_OE}$	$\overline{CS6B_OE}$	$\overline{CS7B_OE}$	PB1DDR
バスコントローラ	$\overline{CS1}$ 出力*	1	—	—	—	—	—
	$\overline{CS2-B}$ 出力*	—	1	—	—	—	—
	$\overline{CS5-A}$ 出力*	—	—	1	—	—	—
	$\overline{CS6-B}$ 出力*	—	—	—	1	—	—
	$\overline{CS7-B}$ 出力*	—	—	—	—	1	—
I/O ポート	PB1 出力	0	0	0	0	0	1
	PB1 入力 (初期値)	0	0	0	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PB0/ $\overline{CS0}$ / $\overline{CS4}$ / $\overline{CS5-B}$

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PB0DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定			
		I/O ポート			
		$\overline{CS0_OE}$	$\overline{CS4_OE}$	$\overline{CS5B_OE}$	PB0DDR
バスコントローラ	$\overline{CS0}$ 出力 (初期値 E)	1	—	—	—
	$\overline{CS4}$ 出力	—	1	—	—
	$\overline{CS5-B}$ 出力	—	—	1	—
I/O ポート	PB0 出力	0	0	0	1
	PB0 入力 (初期値 S)	0	0	0	0

【記号説明】 初期値 E : 内蔵 ROM 無効拡張モード時の初期値

初期値 S : 内蔵 ROM 無効拡張モード以外の初期値

9. I/O ポート

9.2.8 ポート C

(1) PC3/ $\overline{\text{LLCAS}}$ /DQMLL

動作モードと EXPE ビット、バスコントローラのレジスタの設定、および PC3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		$\overline{\text{LLCAS}}_{\text{OE}}$	DQMLL_OE	PC3DDR
バスコントローラ	$\overline{\text{LLCAS}}$ 出力*	1	—	—
	DQMLL 出力*	—	1	—
I/O ポート	PC3 出力	0	0	1
	PC3 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(2) PC2/ $\overline{\text{LUCAS}}$ /DQMLU

動作モードと EXPE ビット、バスコントローラのレジスタの設定、および PC2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定		
		バスコントローラ		I/O ポート
		$\overline{\text{LUCAS}}_{\text{OE}}$	DQMLU_OE	PC2DDR
バスコントローラ	$\overline{\text{LUCAS}}$ 出力*	1	—	—
	DQMLU 出力*	—	1	—
I/O ポート	PC2 出力	0	0	1
	PC2 入力 (初期値)	0	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9.2.9 ポート D

(1) PD7/A7、PD6/A6、PD5/A5、PD4/A4、PD3/A3、PD2/A2、PD1/A1、PD0/A0

動作モードと EXPE ビット、および PDnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
			PDnDDR
バスコントローラ	アドレス出力	内蔵 ROM 無効拡張モード	—
		内蔵 ROM 有効拡張モード	1
I/O ポート	PDn 出力	シングルチップモード*	1
	PDn 入力 (初期値)	内蔵 ROM 無効拡張モード以外	0

【記号説明】 n : 0~7

【注】 * 外部拡張モード (EXPE=1) のとき、PDnDDR=1 でアドレス出力とすることができます。

9.2.10 ポート E

(1) PE7/A15、PE6/A14、PE5/A13、PE4/A12、PE3/A11、PE2/A10、PE1/A9、PE0/A8

動作モードと EXPE ビット、および PEnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
			PEnDDR
バスコントローラ	アドレス出力	内蔵 ROM 無効拡張モード	—
		内蔵 ROM 有効拡張モード	1
I/O ポート	PEn 出力	シングルチップモード*	1
	PEn 入力 (初期値)	内蔵 ROM 無効拡張モード以外	0

【記号説明】 n : 0~7

【注】 * 外部拡張モード (EXPE=1) のとき、PEnDDR=1 でアドレス出力とすることができます。

9. I/O ポート

9.2.11 ポート F

(1) PF7/A23

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF7DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	I/O ポート
		A23_OE	PF7DDR
バスコントローラ	A23 出力*	1	—
I/O ポート	PF7 出力	0	1
	PF7 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(2) PF6/A22

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF6DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	I/O ポート
		A22_OE	PF6DDR
バスコントローラ	A22 出力*	1	—
I/O ポート	PF6 出力	0	1
	PF6 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(3) PF5/A21

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF5DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	I/O ポート
		A21_OE	PF5DDR
バスコントローラ	A21 出力*	1	—
I/O ポート	PF5 出力	0	1
	PF5 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(4) PF4/A20

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF4DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A20_OE	PF4DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A20 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A20 出力*	1	—
	I/O ポート	PF4 出力	0	1
		PF4 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(5) PF3/A19

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF3DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A19_OE	PF3DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A19 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A19 出力*	1	—
	I/O ポート	PF3 出力	0	1
		PF3 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9. I/O ポート

(6) PF2/A18

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF2DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A18_OE	PF2DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A18 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A18 出力*	1	—
	I/O ポート	PF2 出力	0	1
		PF2 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(7) PF1/A17

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF1DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A17_OE	PF1DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A17 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A17 出力*	1	—
	I/O ポート	PF1 出力	0	1
		PF1 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

(8) PF0/A16

動作モードと EXPE ビット、ポートファンクションコントロールレジスタ (PFCR) の設定、および PF0DDR ビットにより、次のように切り替わります。

MCU 動作モード	モジュール名	端子機能	設定	
			I/O ポート	I/O ポート
			A16_OE	PF0DDR
内蔵 ROM 無効 拡張モード	バスコントローラ	A16 出力	—	—
内蔵 ROM 無効 拡張モード以外	バスコントローラ	A16 出力*	1	—
	I/O ポート	PF0 出力	0	1
		PF0 入力 (初期値)	0	0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9.2.12 ポート H

(1) PH7/D7、PH6/D6、PH5/D5、PH4/D4、PH3/D3、PH2/D2、PH1/D1、PH0/D0

動作モードと EXPE ビット、および PHnDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		MCU 動作モード	I/O ポート
		EXPE	PHnDDR
バスコントローラ	データ入出力* (初期値 E)	1	—
I/O ポート	PHn 出力	0	1
	PHn 入力 (初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

n : 7~0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9. I/O ポート

9.2.13 ポート I

(1) PI7/D15、PI6/D14、PI5/D13、PI4/D12、PI3/D11、PI2/D10、PI1/D9、PI0/D8

動作モードとバスモード、EXPE ビット、および PInDDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		バスコントローラ	I/O ポート
		16 ビットバスモード	PInDDR
バスコントローラ	データ入出力* (初期値 E)	1	—
I/O ポート	PIn 出力	0	1
	PIn 入力 (初期値 S)	0	0

【記号説明】 初期値 E : 外部拡張モード時の初期値

初期値 S : シングルチップモード時の初期値

n : 7~0

【注】 * 外部拡張モード (EXPE=1) のとき有効

9.2.14 ポート M

(1) PM4

USB のレジスタの設定、および PM4DDR ビットの組み合わせにより、次のように切り替わります。

モジュール名	端子機能	設定	
		USB	I/O ポート
		PULLUP_E	PM4DDR
USB	PULLUP 制御出力	1	—
I/O ポート	PM4 出力	0	1
	PM4 入力 (初期値)	0	0

(2) PM3

PM3DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PM3DDR	
I/O ポート	PM3 出力	1	
	PM3 入力 (初期値)	0	

(3) PM2

PM2DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PM2DDR	
I/O ポート	PM2 出力	1	
	PM2 入力 (初期値)	0	

(4) PM1/RxD6

PM1DDR ビットにより、次のように切り替わります。

モジュール名	端子機能	設定	
		I/O ポート	
		PM1DDR	
I/O ポート	PM1 出力	1	
	PM1 入力 (初期値)	0	

(5) PM0/TxD6

SCI のレジスタの設定、および PM0DDR ビットの組み合わせにより次のように切り替わります。

モジュール名	端子機能	設定	
		SCI	I/O ポート
		TxD6_OE	PM0DDR
SCI	TxD6 出力	1	—
I/O ポート	PM0 出力	0	1
	PM0 入力 (初期値)	0	0

9. I/O ポート

表 9.5 各ポートの出力信号有効設定一覧

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
P1	7	SCL0_OE	SCL0		ICCRA.ICE=1
	6	DACK1A_OE	DACK1	FPCR7.DMAS1[A,B]=00	DACR.AMS=1,DMDR.DACKE=1
		SDA0_OE	SDA0		ICCRA.ICE=1
	5	TEND1A_OE	TEND1	FPCR7.DMAS1[A,B]=00	DMDR.TENDE=1
		SCL1_OE	SCL1		ICCRA.ICE=1
	4	TxD5_OE	TxD5		SCR.TE=1,IrCR.IrE=0
		IrTxD5_OE	IrTxD5		SCR.TE=1,IrCR.IrE=1
		SDA1_OE	SDA1		ICCRA.ICE=1
	3	—	—	—	—
	2	DACK0A_OE	DACK0	FPCR7.DMAS0[A,B]=00	DACR.AMS=1,DMDR.DACKE=1
SCK2_OE		SCK2		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1	
1	TEND0A_OE	TEND0	PFCR7.DMAS0[A,B]=00	DMDR.TENDE=1	
0	TxD2_OE	TxD2		SCR.TE=1	
P2	7	TIOCB5_OE	TIOCB5		TPU.TIOR5.IOB3=0,TPU.TIOR5.IOB[1,0]=01/10/11
		PO7_OE	PO7		NDERL.NDER7=1
	6	TIOCA5_OE	TIOCA5		TPU.TIOR5.IOA3=0,TPU.TIOR5.IOA[1,0]=01/10/11
		TMO1_OE	TMO1		TCSR.OS3,2=01/10/11 か TCSR.OS[1,0]=01/10/11
		TxD1_OE	TxD1		SCR.TE=1
		PO6_OE	PO6		NDERL.NDER6=1
	5	TIOCA4_OE	TIOCA4		TPU.TIOR4.IOA3=0,TPU.TIOR4.IOA[1,0]=01/10/11
		PO5_OE	PO5		NDERL.NDER5=1
	4	TIOCB4_OE	TIOCB4		TPU.TIOR4.IOB3=0,TPU.TIOR4.IOB[1,0]=01/10/11
		SCK1_OE	SCK1		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
PO4_OE		PO4		NDERL.NDER4=1	

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
P2	3	TIOCD3_OE	TIOCD3		TPU.TMDR.BFB=0,TPU.TIORL3.IOD3=0, TPU.TIORL3.IOD[1,0]=01/10/11
		PO3_OE	PO3		NDERL.NDER3=1
	2	TIOCC3_OE	TIOCC3		TPU.TMDR.BFA=0,TPU.TIORL3.IOC3=0, TPU.TIORL3.IOD[1,0]=01/10/11
		TMO0_OE	TMO0		TCSR.OS[3,2]=01/10/11 か TCSR.OS[1,0]=01/10/11
		TxD0_OE	TxD0		SCR.TE=1
		PO2_OE	PO2		NDERL.NDER2=1
	1	TIOCA3_OE	TIOCA3		TPU.TIORH3.IOA3=0,TPU.TIORH3.IOA[1,0]=01/10/11
		PO1_OE	PO1		NDERL.NDER1=1
	0	TIOCB3_OE	TIOCB3		TPU.TIORH3.IOB3=0,TPU.TIORH3.IOB[1,0]=01/10/11
		SCK0_OE	SCK0		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
PO0_OE		PO0		NDERL.NDER0=1	
P3	7	TIOCB2_OE	TIOCB2		TPU.TIOR2.IOB3=0,TPU.TIOR2.IOB[1,0]=01/10/11
		PO15_OE	PO15		NDERH.NDER15=1
	6	TIOCA2_OE	TIOCA2		TPU.TIOR2.IOA3=0,TPU.TIOR2.IOA[1,0]=01/10/11
		PO14_OE	PO14		NDERH.NDER14=1
	5	DACK1B_OE	DACK1	PFCR7.DMAS1[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TIOCB1_OE	TIOCB1		TPU.TIOR2.IOB3=0,TPU.TIOR1.IOB[1,0]=01/10/11
		PO13_OE	PO13		NDERH.NDER13=1
	4	TEND1B_OE	TEND1	PFCR7.DMAS1[A,B]=01	DMDR.TENDE=1
		TIOCA1_OE	TIOCA1		TPU.TIOR2.IOA3=0,TPU.TIOR1.IOA[1,0]=01/10/11
		PO12_OE	PO12		NDERH.NDER12=1
	3	TIOCD0_OE	TIOCD0		TPU.TMDR.BFB=0,TPU.TIORL0.IOD3=0, TPU.TIORL0.IOD[1,0]=01/10/11
		PO11_OE	PO11		NDERH.NDER11=1
	2	DACK0B_OE	DACK0	PFCR7.DMAS0[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TIOCC0_OE	TIOCC0		TPU.TMDR.BFA=0,TPU.TIORL0.IOC3=0, TPU.TIORL0.IOD[1,0]=01/10/11
		PO10_OE	PO10		NDERH.NDER10=1
	1	TEND0B_OE	TEND0	PFCR7.DMAS0[A,B]=01	DMDR.TENDE=1
TIOCB0_OE		TIOCB0		TPU.TIORH0.IOB3=0,TPU.TIORH0.IOB[1,0]=01/10/11	
PO9_OE		PO9		NDERH.NDER9=1	

9. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
P3	0	TIOCA0_OE	TIOCA0		TPU.TIORH0.IOA3=0,TPU.TIOH0.IOA[1,0]=01/10/11
		PO8_OE	PO8		NDERH.NDER8=1
P6	5	DACK3_OE	DACK3	PFCR7.DMAS3[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TMO3_OE	TMO3		TCSR.OS[3,2]=01/10/11 か TCSR.OS[1,0]=01/10/11
	4	TEND3_OE	TEND3	PFCR7.DMAS3[A,B]=01	DMDR.TENDE=1
	2	DACK2_OE	DACK2	PFCR7.DMAS2[A,B]=01	DACR.AMS=1,DMDR.DACKE=1
		TMO2_OE	TMO2		TCSR.OS[3,2]=01/10/11 か TCSR.OS[1,0]=01/10/11
		SCK4_OE	SCK4		SCMR.SMIF=1 のとき : SMR.GM=0,SCR.CKE[1,0]=01 か SMR.GM=1 で、 SCR.TE=1 か SCR.RE=1 SCMR.SMIF=0 のとき : SMR.C/A=0,SCR.CKE[1,0]=01 か SMR.C/A=1,SCR.CKE1=0 で、 SCR.TE=1 か SCR.RE=1
	1	TEND2_OE	TEND2	PFCR7.DMAS2[A,B]=01	DMDR.TENDE=1
0	TxD4_OE	TxD4		SCR.TE=1	
PA	7	Bφ_OE	Bφ		PADDR.PA7DDR=1,SCKCR.POSEL1=0
	6	AH_OE	AH		SYSCR.EXPE=1,MPXCR.MPXEn (n=7~3) =1
		BSE_OE	BS	PFCR2.BSS=1	SYSCR.EXPE=1,PFCR2.BSE=1
		AS_OE	AS		SYSCR.EXPE=1,PFCR2.ASOE=1
	5	RD_OE	RD		SYSCR.EXPE=1
	4	LUB_OE	LUB		SYSCR.EXPE=1,PFCR6.LHWROE=1、または SRAMCR.BCSELn=1
		LHWR_OE	LHWR		SYSCR.EXPE=1,PFCR6.LHWROE=1
	3	LLB_OE	LLB		SYSCR.EXPE=1,SRAMCR.BCSELn=1
		LLWR_OE	LLWR		SYSCR.EXPE=1
	1	BACK_OE	BACK		SYSCR.EXPE=1,BCR1.BRLE=1
		(RD/WR)_OE	RD/WR		SYSCR.EXPE=1,PFCR2.REWRE=1、または SRAMCR.BCSELn=1
	0	BSA_OE	BS	PFCR2.BSS=0	SYSCR.EXPE=1,PFCR2.BSE=1
		BREQO_OE	BREQO		SYSCR.EXPE=1,BCR1.BRLE=1,BCR1.BREQOE=1
PB	7	SDφ_OE	SDφ		MDCR.MDS7=1
	6	(RD/WR)-B_OE	RD/WR	PFCR2.RDWRS=1	SYSCR.EXPE=1,PFCR2.REWRE=1 または、 SRAMCR.BCSELn=1
		CS6D_OE	CS6	PFCR1.CS6S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS6E=1

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
PB	5	CKE_OE	CKE		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=1,DRAMCR.OEE=1
		OE_OE	OE		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=0,DRAMCR.OEE=1
		CS5D_OE	CS5	PFCR1.CS5S[A,B]=11	SYSCR.EXPE=1,PFCR0.CS5E=1
	4	WE_OE	WE		SYSCR.EXPE=1,DRAMCR.DRAME=1
		CS4B_OE	CS4	PFCR1.CS4S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS4E=1
	3	CAC_OE	CAS		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=1
		CS3A_OE	CS3	PFCR2.CS3S=0	SYSCR.EXPE=1,PFCR0.CS3E=1
		CS7A_OE	CS7	PFCR1.CS7S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS7E=1
	2	RAS_OE	RAS		SYSCR.EXPE=1,DRAMCR.DRAME=1
		CS2A_OE	CS2	PFCR2.CS2S=0	SYSCR.EXPE=1,PFCR0.CS2E=1
		CS6A_OE	CS6	PFCR1.CS6S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS6E=1
	1	CS1_OE	CS1		SYSCR.EXPE=1,PFCR0.CS1E=1
		CS2B_OE	CS2	PFCR2.CS2S=1	SYSCR.EXPE=1,PFCR0.CS2E=1
		CS5A_OE	CS5	PFCR1.CS5S[A,B]=00	SYSCR.EXPE=1,PFCR0.CS5E=1
		CS6B_OE	CS6	PFCR1.CS6S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS6E=1
CS7B_OE		CS7	PFCR1.CS7S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS7E=1	
0	CS0_OE	CS0		SYSCR.EXPE=1,PFCR0.CS0E=1	
	CS4_OE	CS4		SYSCR.EXPE=1,PFCR0.CS4E=1	
	CS5B_OE	CS5	PFCR1.CS5S[A,B]=01	SYSCR.EXPE=1,PFCR0.CS5E=1	
PC	3	LLCAS_OE	LLCAS		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=0
		DQMLL_OE	DQMLL		SYSCR.EXPE=1,DRAMCR.DRAME=1, DRAMCR.DTYPE=1
	2	LUCAS_OE	LUCAS		SYSCR.EXPE=1,ABWCR.[ABWH2,ABWL2]=x0/01, DRAMCR.DRAME=1,DRAMCR.DTYPE=0
		DQMLU_OE	DQMLU		SYSCR.EXPE=1,ABWCR.[ABWH2,ABWL2]=x0/01, DRAMCR.DRAME=1,DRAMCR.DTYPE=1
PD	7	A7_OE	A7		SYSCR.EXPE=1,PDDDR.PD7DDR=1
	6	A6_OE	A6		SYSCR.EXPE=1,PDDDR.PD6DDR=1
	5	A5_OE	A5		SYSCR.EXPE=1,PDDDR.PD5DDR=1
	4	A4_OE	A4		SYSCR.EXPE=1,PDDDR.PD4DDR=1
	3	A3_OE	A3		SYSCR.EXPE=1,PDDDR.PD3DDR=1
	2	A2_OE	A2		SYSCR.EXPE=1,PDDDR.PD2DDR=1
	1	A1_OE	A1		SYSCR.EXPE=1,PDDDR.PD1DDR=1
	0	A0_OE	A0		SYSCR.EXPE=1,PDDDR.PD0DDR=1

9. I/O ポート

Port	出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定	
PE	7	A15_OE	A15		SYSCR.EXPE=1,PDDDR.PE7DDR=1
	6	A14_OE	A14		SYSCR.EXPE=1,PDDDR.PE6DDR=1
	5	A13_OE	A13		SYSCR.EXPE=1,PDDDR.PE5DDR=1
	4	A12_OE	A12		SYSCR.EXPE=1,PDDDR.PE4DDR=1
	3	A11_OE	A11		SYSCR.EXPE=1,PDDDR.PE3DDR=1
	2	A10_OE	A10		SYSCR.EXPE=1,PDDDR.PE2DDR=1
	1	A9_OE	A9		SYSCR.EXPE=1,PDDDR.PE1DDR=1
	0	A8_OE	A8		SYSCR.EXPE=1,PDDDR.PE0DDR=1
PF	7	A23A_OE	A23	PFCR5.A23S=0	SYSCR.EXPE=1,PFCR4.A23E=1
		SCK5_OE	SCK5		SCMR_5.SMIF=1 のとき:SMR_5.GM=0,SCR_5.CKE[1,0]=01 か SMR_5.GM=1 で、SCR_5.TE=1 か SCR_5.RE=1 SCMR_5.SMIF=0 のとき:SMR_5.C/A=0,SCR_5.CKE[1,0]=01 か SMR_5.C/A=1,SCR_5.CKE1=0 で、 SCR_5.TE=1 か SCR_5.RE=1
	6	A22A_OE	A22	PFCR5.A22S=0	SYSCR.EXPE=1,PFCR4.A22E=1
	5	A21A_OE	A21	PFCR5.A21S=0	SYSCR.EXPE=1,PFCR4.A21E=1
		TxD5_OE	TxD5		SCR_5.TE=1
	4	A20_OE	A20		SYSCR.EXPE=1,PFCR4.A20E=1
	3	A19_OE	A19		SYSCR.EXPE=1,PFCR4.A19E=1
	2	A18_OE	A18		SYSCR.EXPE=1,PFCR4.A18E=1
	1	A17_OE	A17		SYSCR.EXPE=1,PFCR4.A17E=1
	0	A16_OE	A16		SYSCR.EXPE=1,PFCR4.A16E=1
PH	7	D7_E	D7		SYSCR.EXPE=1
	6	D6_E	D6		SYSCR.EXPE=1
	5	D5_E	D5		SYSCR.EXPE=1
	4	D4_E	D4		SYSCR.EXPE=1
	3	D3_E	D3		SYSCR.EXPE=1
	2	D2_E	D2		SYSCR.EXPE=1
	1	D1_E	D1		SYSCR.EXPE=1
	0	D0_E	D0		SYSCR.EXPE=1
PI	7	D15_E	D15		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	6	D14_E	D14		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	5	D13_E	D13		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	4	D12_E	D12		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	3	D11_E	D11		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01

Port		出力設定 信号名	出力 信号名	信号選択 レジスタの設定	各内部モジュールの設定
PI	2	D10_E	D10		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	1	D9_E	D9		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
	0	D8_E	D8		SYSCR.EXPE=1,ABWCR.ABW[H,L]n=01
PM	4	—	—	—	—
	3	—	—	—	—
	2	—	—	—	—
	1	—	—	—	—
	0	TxD6_OE	TxD6		SCR.TE=1

9.3 ポートファンクションコントローラ

ポートファンクションコントローラは、I/O ポートの制御を行います。
ポートファンクションコントローラには以下のレジスタがあります。

- ポートファンクションコントロールレジスタ0 (PFCR0)
- ポートファンクションコントロールレジスタ1 (PFCR1)
- ポートファンクションコントロールレジスタ2 (PFCR2)
- ポートファンクションコントロールレジスタ4 (PFCR4)
- ポートファンクションコントロールレジスタ6 (PFCR6)
- ポートファンクションコントロールレジスタ7 (PFCR7)
- ポートファンクションコントロールレジスタ9 (PFCR9)
- ポートファンクションコントロールレジスタB (PFCRB)
- ポートファンクションコントロールレジスタC (PFCRC)

9.3.1 ポートファンクションコントロールレジスタ 0 (PFCR0)

PFCR0 は、 \overline{CS} 出力の許可/禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E
初期値:	0	0	0	0	0	0	0	不定*
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * 外部起動拡張モードのとき1、それ以外のとき0となります。

ビット	ビット名	初期値	R/W	説明
7	CS7E	0	R/W	CS7~CS0 イネーブル 対応する \overline{CSn} 出力の許可/禁止を選択します。 0: I/O ポートとして設定 1: \overline{CSn} 出力端子として設定 (n=7~0)
6	CS6E	0	R/W	
5	CS5E	0	R/W	
4	CS4E	0	R/W	
3	CS3E	0	R/W	
2	CS2E	0	R/W	
1	CS1E	0	R/W	
0	CS0E	不定*	R/W	

【注】 * 外部起動拡張モードのとき1、それ以外のとき0となります。

9.3.2 ポートファンクションコントロールレジスタ 1 (PFCR1)

PFCR1 は、 \overline{CS} 出力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	CS7SA	CS7SB	CS6SA	CS6SB	CS5SA	CS5SB	CS4SA	CS4SB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CS7SA*	0	R/W	$\overline{CS7}$ 出力端子セレクト $\overline{CS7}$ 出力許可時 (CS7E=1)、 $\overline{CS7}$ の出力端子を選択します。 00 : PB3 を $\overline{CS7}$ -A 出力端子として設定 01 : PB1 を $\overline{CS7}$ -B 出力端子として設定 10 : (設定禁止) 11 : (設定禁止)
6	CS7SB*	0	R/W	
5	CS6SA*	0	R/W	$\overline{CS6}$ 出力端子セレクト $\overline{CS6}$ 出力許可時 (CS6E=1)、 $\overline{CS6}$ の出力端子を選択します 00 : PB2 を $\overline{CS6}$ -A 出力端子として設定 01 : PB1 を $\overline{CS6}$ -B 出力端子として設定 10 : (設定禁止) 11 : PB6 を $\overline{CS6}$ -D 出力端子として設定
4	CS6SB*	0	R/W	
3	CS5SA*	0	R/W	$\overline{CS5}$ 出力端子セレクト $\overline{CS5}$ 出力許可時 (CS5E=1)、 $\overline{CS5}$ の出力端子を選択します。 00 : PB1 を $\overline{CS5}$ -A 出力端子として設定 01 : PB0 を $\overline{CS5}$ -B 出力端子として設定 10 : (設定禁止) 11 : PB5 を $\overline{CS5}$ -D 出力端子として設定
2	CS5SB*	0	R/W	
1	CS4SA*	0	R/W	$\overline{CS4}$ 出力端子セレクト $\overline{CS4}$ 出力許可時 (CS4E=1)、 $\overline{CS4}$ の出力端子を選択します。 00 : PB1 を $\overline{CS4}$ -A 出力端子として設定 01 : PB0 を $\overline{CS4}$ -B 出力端子として設定 10 : (設定禁止) 11 : (設定禁止)
0	CS4SB*	0	R/W	

【注】 * \overline{CSn} (n = 4~7) 出力端子セレクトビットにより、同一の端子に複数の \overline{CS} 出力を設定した場合、その端子から複数の \overline{CS} が出力されます。詳細は「6.5.3 チップセレクト信号」を参照してください。

9. I/O ポート

9.3.3 ポートファンクションコントロールレジスタ 2 (PFCR2)

PFCR2は、 \overline{CS} 出力端子の選択、バス制御入出力の許可／禁止、およびバス制御入出力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	CS2S	BSS	BSE	RDWRS	RDWRE	ASOE	—
初期値:	0	0	0	0	0	0	1	0
R/W:	R	R/W	R/W	R/W	R/W	R/W	R/W	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	CS2S*1	0	R/W	CS2 出力端子セレクト CS2 出力許可時 (CS2E=1)、 $\overline{CS2}$ の出力端子を選択します。 0: PB2 を $\overline{CS2-A}$ 出力端子として設定 1: PB1 を $\overline{CS2-B}$ 出力端子として設定
5	BSS	0	R/W	BS 出力端子セレクト BS の出力端子を選択します。 0: PA0 を BS-A 出力端子として設定 1: PA6 を BS-B 出力端子として設定
4	BSE	0	R/W	BS 出力イネーブル BS 出力の許可／禁止を選択します。 0: BS 出力を禁止 1: BS 出力を許可
3	RDWRS*2	0	R/W	RD/WR 出力端子セレクト RD/WR の出力端子を選択します。 0: PA1 を RD/WR-A 出力端子として設定 1: PB6 を RD/WR-B 出力端子として設定
2	RDWRE*2	0	R/W	RD/WR 出力イネーブル RD/WR 出力の許可／禁止を選択します。 0: RD/WR 出力を禁止 1: RD/WR 出力を許可
1	ASOE	1	R/W	AS 出力イネーブル AS 出力の許可／禁止を選択します。 0: PA6 を I/O ポートとして設定 1: PA6 を AS 出力端子として設定
0	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

【注】 *1 \overline{CSn} (n=2) 出力端子セレクトビットにより、同一の端子に複数の \overline{CS} 出力を設定した場合、その端子から複数の \overline{CS} が出力されます。詳細は「6.5.3 チップセレクト信号」を参照してください。

*2 いずれかのエリアがバイト制御 SRAM 空間に設定された場合、RDWRE ビットの値に関わらず、RD/WR 出力となります。

9.3.4 ポートファンクションコントロールレジスタ 4 (PFCR4)

PFCR4 は、アドレス出力の許可／禁止を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E
初期値 :	0	0	0	0/1*	0/1*	0/1*	0/1*	0/1*
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	A23E	0	R/W	アドレス A23 イネーブル アドレス出力 (A23) の出力許可／禁止を選択 0 : A23 出力無効 1 : A23 出力有効
6	A22E	0	R/W	アドレス A22 イネーブル アドレス出力 (A22) の出力許可／禁止を選択 0 : A22 出力無効 1 : A22 出力有効
5	A21E	0	R/W	アドレス A21 イネーブル アドレス出力 (A21) の出力許可／禁止を選択 0 : A21 出力無効 1 : A21 出力有効
4	A20E	0/1*	R/W	アドレス A20 イネーブル アドレス出力 (A20) の出力許可／禁止を選択 0 : A20 出力無効 1 : A20 出力有効
3	A19E	0/1*	R/W	アドレス A19 イネーブル アドレス出力 (A19) の出力許可／禁止を選択 0 : A19 出力無効 1 : A19 出力有効
2	A18E	0/1*	R/W	アドレス A18 イネーブル アドレス出力 (A18) の出力許可／禁止を選択 0 : A18 出力無効 1 : A18 出力有効

9. I/O ポート

ビット	ビット名	初期値	R/W	説明
1	A17E	0/1*	R/W	アドレス A17 イネーブル アドレス出力 (A17) の出力許可/禁止を選択 0 : A17 出力無効 1 : A17 出力有効
0	A16E	0/1*	R/W	アドレス A16 イネーブル アドレス出力 (A16) の出力許可/禁止を選択 0 : A16 出力無効 1 : A16 出力有効

【注】 * 動作モードによって初期値は切り替わります。
内蔵 ROM 無効のとき 1、内蔵 ROM 有効のとき 0 となります。

9.3.5 ポートファンクションコントロールレジスタ 6 (PFCR6)

PFCR6 は、TPU 用クロック入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	LHWROE	—	—	TCLKS	—	—	—
初期値 :	1	1	1	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
6	LHWROE	1	R/W	LHWR 出力イネーブル LHWR 出力の許可/禁止を選択します (外部拡張モード時有効)。 0 : PA4 を I/O ポートとして設定 1 : PA4 を LHWR 出力端子として設定
5	—	1	R/W	リザーブビット リードすると常に 1 が読み出されます。ライトする値は常に 1 にしてください。
4	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	TCLKS	0	R/W	TPU 用外部クロック入力端子セレクト TPU 用の外部クロックの入力端子を選択します。 0 : P32、P33、P35、P37 を外部クロック入力端子として設定 1 : P14~P17 を外部クロック入力端子として設定
2~0	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。

9.3.6 ポートファンクションコントロールレジスタ 7 (PFCR7)

PFCR7 は、DMAC 入出力端子 ($\overline{\text{DREQ}}$ 、 $\overline{\text{DACK}}$ 、 $\overline{\text{TEND}}$) を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	DMAS3A	DMAS3B	DMAS2A	DMAS2B	DMAS1A	DMAS1B	DMAS0A	DMAS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DMAS3A	0	R/W	DMAC 制御端子セレクト DMAC_3 を制御するための入出力ポートを選択します。 00 : 設定禁止 01 : P63~P65 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
6	DMAS3B	0	R/W	
5	DMAS2A	0	R/W	DMAC 制御端子セレクト DMAC_2 を制御するための入出力ポートを選択します。 00 : 設定禁止 01 : P60~P62 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
4	DMAS2B	0	R/W	
3	DMAS1A	0	R/W	DMAC 制御端子セレクト DMAC_1 を制御するための入出力ポートを選択します。 00 : P14~P16 を DMAC 制御端子として設定 01 : P33~P35 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
2	DMAS1B	0	R/W	
1	DMAS0A	0	R/W	DMAC 制御端子セレクト DMAC_0 を制御するための入出力ポートを選択します。 00 : P10~P12 を DMAC 制御端子として設定 01 : P30~P32 を DMAC 制御端子として設定 10 : 設定禁止 11 : 設定禁止
0	DMAS0B	0	R/W	

9. I/O ポート

9.3.7 ポートファンクションコントロールレジスタ 9 (PFCR9)

PFCR9 は、TPU 入出力端子のマルチ機能を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2	TPUMS1	TPUMS0A	TPUMS0B
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TPUMS5	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA5 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P26 1 : インプットキャプチャ入力は P27、アウトプットコンペアは P26
6	TPUMS4	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA4 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P25 1 : インプットキャプチャ入力は P24、アウトプットコンペアは P25
5	TPUMS3A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA3 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P21 1 : インプットキャプチャ入力は P20、アウトプットコンペアは P21
4	TPUMS3B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC3 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P22 1 : インプットキャプチャ入力は P23、アウトプットコンペアは P22
3	TPUMS2	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA2 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P36 1 : インプットキャプチャ入力は P37、アウトプットコンペアは P36
2	TPUMS1	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA1 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P34 1 : インプットキャプチャ入力は P35、アウトプットコンペアは P34
1	TPUMS0A	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCA0 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P30 1 : インプットキャプチャ入力は P31、アウトプットコンペアは P30

ビット	ビット名	初期値	R/W	説明
0	TPUMS0B	0	R/W	TPU 入出力端子マルチ機能セレクト TIOCC0 の機能を選択します。 0 : アウトプットコンペア出力、インプットキャプチャは P32 1 : インプットキャプチャ入力 P33、アウトプットコンペアは P32

9.3.8 ポートファンクションコントロールレジスタ B (PFCRB)

PFCRB は、 $\overline{\text{IRQ11}} \sim \overline{\text{IRQ8}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	ITS11	ITS10	ITS9	ITS8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 0	R/W	リザーブビット リードすると常に 0 が読み出されます。ライトする値は常に 0 にしてください。
3	ITS11	0	R/W	$\overline{\text{IRQ11}}$ 端子セレクト $\overline{\text{IRQ11}}$ の入力端子を選択します。 0 : P23 を $\overline{\text{IRQ11}}$ -A 入力端子として設定 1 : P63 を $\overline{\text{IRQ11}}$ -B 入力端子として設定
2	ITS10	0	R/W	$\overline{\text{IRQ10}}$ 端子セレクト $\overline{\text{IRQ10}}$ の入力端子を選択します。 0 : P22 を $\overline{\text{IRQ10}}$ -A 入力端子として設定 1 : P62 を $\overline{\text{IRQ10}}$ -B 入力端子として設定
1	ITS9	0	R/W	$\overline{\text{IRQ9}}$ 端子セレクト $\overline{\text{IRQ9}}$ の入力端子を選択します。 0 : P21 を $\overline{\text{IRQ9}}$ -A 入力端子として設定 1 : P61 を $\overline{\text{IRQ9}}$ -B 入力端子として設定
0	ITS8	0	R/W	$\overline{\text{IRQ8}}$ 端子セレクト $\overline{\text{IRQ8}}$ の入力端子を選択します。 0 : P20 を $\overline{\text{IRQ8}}$ -A 入力端子として設定 1 : P60 を $\overline{\text{IRQ8}}$ -B 入力端子として設定

9. I/O ポート

9.3.9 ポートファンクションコントロールレジスタ C (PFCRC)

PFCRC は、 $\overline{\text{IRQ7}} \sim \overline{\text{IRQ0}}$ 入力端子を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ITS7	0	R/W	$\overline{\text{IRQ7}}$ 端子セレクト $\overline{\text{IRQ7}}$ の入力端子を選択します。 0 : P17 を $\overline{\text{IRQ7}}$ -A 入力端子として設定 1 : P57 を $\overline{\text{IRQ7}}$ -B 入力端子として設定
6	ITS6	0	R/W	$\overline{\text{IRQ6}}$ 端子セレクト $\overline{\text{IRQ6}}$ の入力端子を選択します。 0 : P16 を $\overline{\text{IRQ6}}$ -A 入力端子として設定 1 : P56 を $\overline{\text{IRQ6}}$ -B 入力端子として設定
5	ITS5	0	R/W	$\overline{\text{IRQ5}}$ 端子セレクト $\overline{\text{IRQ5}}$ の入力端子を選択します。 0 : P15 を $\overline{\text{IRQ5}}$ -A 入力端子として設定 1 : P55 を $\overline{\text{IRQ5}}$ -B 入力端子として設定
4	ITS4	0	R/W	$\overline{\text{IRQ4}}$ 端子セレクト $\overline{\text{IRQ4}}$ の入力端子を選択します。 0 : P14 を $\overline{\text{IRQ4}}$ -A 入力端子として設定 1 : P54 を $\overline{\text{IRQ4}}$ -B 入力端子として設定
3	ITS3	0	R/W	$\overline{\text{IRQ3}}$ 端子セレクト $\overline{\text{IRQ3}}$ の入力端子を選択します。 0 : P13 を $\overline{\text{IRQ3}}$ -A 入力端子として設定 1 : P53 を $\overline{\text{IRQ3}}$ -B 入力端子として設定
2	ITS2	0	R/W	$\overline{\text{IRQ2}}$ 端子セレクト $\overline{\text{IRQ2}}$ の入力端子を選択します。 0 : P12 を $\overline{\text{IRQ2}}$ -A 入力端子として設定 1 : P52 を $\overline{\text{IRQ2}}$ -B 入力端子として設定
1	ITS1	0	R/W	$\overline{\text{IRQ1}}$ 端子セレクト $\overline{\text{IRQ1}}$ の入力端子を選択します。 0 : P11 を $\overline{\text{IRQ1}}$ -A 入力端子として設定 1 : P51 を $\overline{\text{IRQ1}}$ -B 入力端子として設定

ビット	ビット名	初期値	R/W	説明
0	ITS0	0	R/W	$\overline{\text{IRQ0}}$ 端子セレクト $\overline{\text{IRQ0}}$ の入力端子を選択します。 0 : P10 を $\overline{\text{IRQ0}}$ -A 入力端子として設定 1 : P50 を $\overline{\text{IRQ0}}$ -B 入力端子として設定

9.4 使用上の注意事項

9.4.1 入力バッファコントロールレジスタ（ICR）の設定

- ICRの設定を変更する場合、端子の状態によっては内部的にエッジが発生し意図しない動作をすることがあります。ICRの設定を変更する場合は、端子をHighレベルに固定した状態で行うか、当該端子に割り当てられている周辺モジュールの設定で、入力機能を無効にした状態で行ってください。
- ICRの設定で入力を有効にした場合、複数の入力機能が割り当てられている端子では、そのすべての入力機能に端子状態が反映されます。未使用の入力機能は各周辺モジュール側の設定に注意してください。
- 端子を出力端子として使用する場合、ICRの設定で入力を有効にすると出力データが端子状態として取り込まれます。出力として使用する端子は、ICRの設定で入力を無効にしてください。

9.4.2 ポートファンクションコントロールレジスタ（PFCR）の設定

- ポートファンクションコントローラは、I/Oポートの制御を行います。
各端子の入出力の設定は、入出力先を選択後に入出力を有効にしてください。
- 入力端子を変更する場合、変更前の端子レベルと変更後の端子レベルが異なると内部にエッジが発生し、意図しない動作をすることがあります。
変更する場合には以下の手順で行ってください。
 - 入力端子の変更
 - 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を無効にする。
 - PFCRの設定により、入力端子を選択する。
 - 変更しようとする端子機能に該当する周辺モジュールの設定で、入力機能を有効にする。
- 一つの端子機能に対して、入出力先を変更する端子セレクトビット、および端子機能を有効にするイネーブルビットの両方が存在する場合、端子セレクトビットで端子の入出力先を設定した後に、イネーブルビットで端子機能を有効にしてください。

10. 16ビットタイマパルスユニット (TPU)

本 LSI は、6 チャンネルの 16 ビットタイマにより構成される 16 ビットタイマパルスユニット (TPU) を内蔵しています。16 ビットタイマパルスユニットの機能一覧を表 10.1 に、ブロック図を図 10.1 に示します。

10.1 特長

- 最大16本のパルス入出力が可能
- 各チャンネルごとに8種類のカウンタ入力クロックを選択可能
- 各チャンネルとも次の動作を設定可能：コンペアマッチによる波形出力、インプットキャプチャ機能、カウンタクリア動作、複数のタイマカウンタ (TCNT) への同時書き込み、コンペアマッチ/インプットキャプチャによる同時クリア、カウンタの同期動作による各レジスタの同期入出力、同期動作と組み合わせることによる最大15相のPWM出力
- チャンネル0、3はバッファ動作を設定可能
- チャンネル1、2、4、5は各々独立に位相計数モードを設定可能
- カスケード接続動作
- 内部16ビットバスによる高速アクセス
- 26種類の割り込み要因
- レジスタデータの自動転送が可能
- プログラマブルパルスジェネレータ (PPG) の出力トリガを生成可能
- A/D変換器の変換スタートトリガを生成可能
- モジュールストップ状態への設定が可能

10. 16 ビットタイマパルスユニット (TPU)

表 10.1 TPU の機能一覧

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
カウントクロック	Pφ/1 Pφ/4 Pφ/16 Pφ/64 TCLKA TCLKB TCLKC TCLKD	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKB TCNT2	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKB TCLKC	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 Pφ/1024 Pφ/4096 TCLKA	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/1024 TCLKA TCLKC TCNT5	Pφ/1 Pφ/4 Pφ/16 Pφ/64 Pφ/256 TCLKA TCLKC TCLKD
ジェネラルレジスタ (TGR)	TGRA_0 TGRB_0	TGRA_1 TGRB_1	TGRA_2 TGRB_2	TGRA_3 TGRB_3	TGRA_4 TGRB_4	TGRA_5 TGRB_5
ジェネラルレジスタ/ バッファレジスタ	TGRC_0 TGRD_0	—	—	TGRC_3 TGRD_3	—	—
入出力端子	TIOCA0 TIOCB0 TIOCC0 TIOCD0	TIOCA1 TIOCB1	TIOCA2 TIOCB2	TIOCA3 TIOCB3 TIOCC3 TIOCD3	TIOCA4 TIOCB4	TIOCA5 TIOCB5
カウンタクリア 機能	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ
コンペア マッチ 出力	0 出力	○	○	○	○	○
	1 出力	○	○	○	○	○
	トグル 出力	○	○	○	○	○
インプットキャプチャ 機能	○	○	○	○	○	○
同期動作	○	○	○	○	○	○
PWM モード	○	○	○	○	○	○
位相計数モード	—	○	○	—	○	○
バッファ動作	○	—	—	○	—	—
DTC の起動	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ	TGR の コンペアマッチ または インプット キャプチャ

【記号説明】

○：可能

—：不可

10. 16 ビットタイマパルスユニット (TPU)

項 目	チャンネル0	チャンネル1	チャンネル2	チャンネル3	チャンネル4	チャンネル5
DMAC の起動	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
A/D 変換開始トリガ	TGRA_0 の コンペアマッチ または インプット キャプチャ	TGRA_1 の コンペアマッチ または インプット キャプチャ	TGRA_2 の コンペアマッチ または インプット キャプチャ	TGRA_3 の コンペアマッチ または インプット キャプチャ	TGRA_4 の コンペアマッチ または インプット キャプチャ	TGRA_5 の コンペアマッチ または インプット キャプチャ
PPG トリガ	TGRA_0、 TGRB_0 の コンペアマッチ または インプット キャプチャ	TGRA_1、 TGRB_1 の コンペアマッチ または インプット キャプチャ	TGRA_2、 TGRB_2 の コンペアマッチ または インプット キャプチャ	TGRA_3、 TGRB_3 の コンペアマッチ または インプット キャプチャ	—	—
割り込み要因	5 要因 ・コンペアマッチ ／インプット キャプチャ0A ・コンペアマッチ ／インプット キャプチャ0B ・コンペアマッチ ／インプット キャプチャ0C ・コンペアマッチ ／インプット キャプチャ0D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ1A ・コンペアマッチ ／インプット キャプチャ1B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ2A ・コンペアマッチ ／インプット キャプチャ2B ・オーバフロー ・アンダフロー	5 要因 ・コンペアマッチ ／インプット キャプチャ3A ・コンペアマッチ ／インプット キャプチャ3B ・コンペアマッチ ／インプット キャプチャ3C ・コンペアマッチ ／インプット キャプチャ3D ・オーバフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ4A ・コンペアマッチ ／インプット キャプチャ4B ・オーバフロー ・アンダフロー	4 要因 ・コンペアマッチ ／インプット キャプチャ5A ・コンペアマッチ ／インプット キャプチャ5B ・オーバフロー ・アンダフロー

10. 16ビットタイマパルスユニット (TPU)

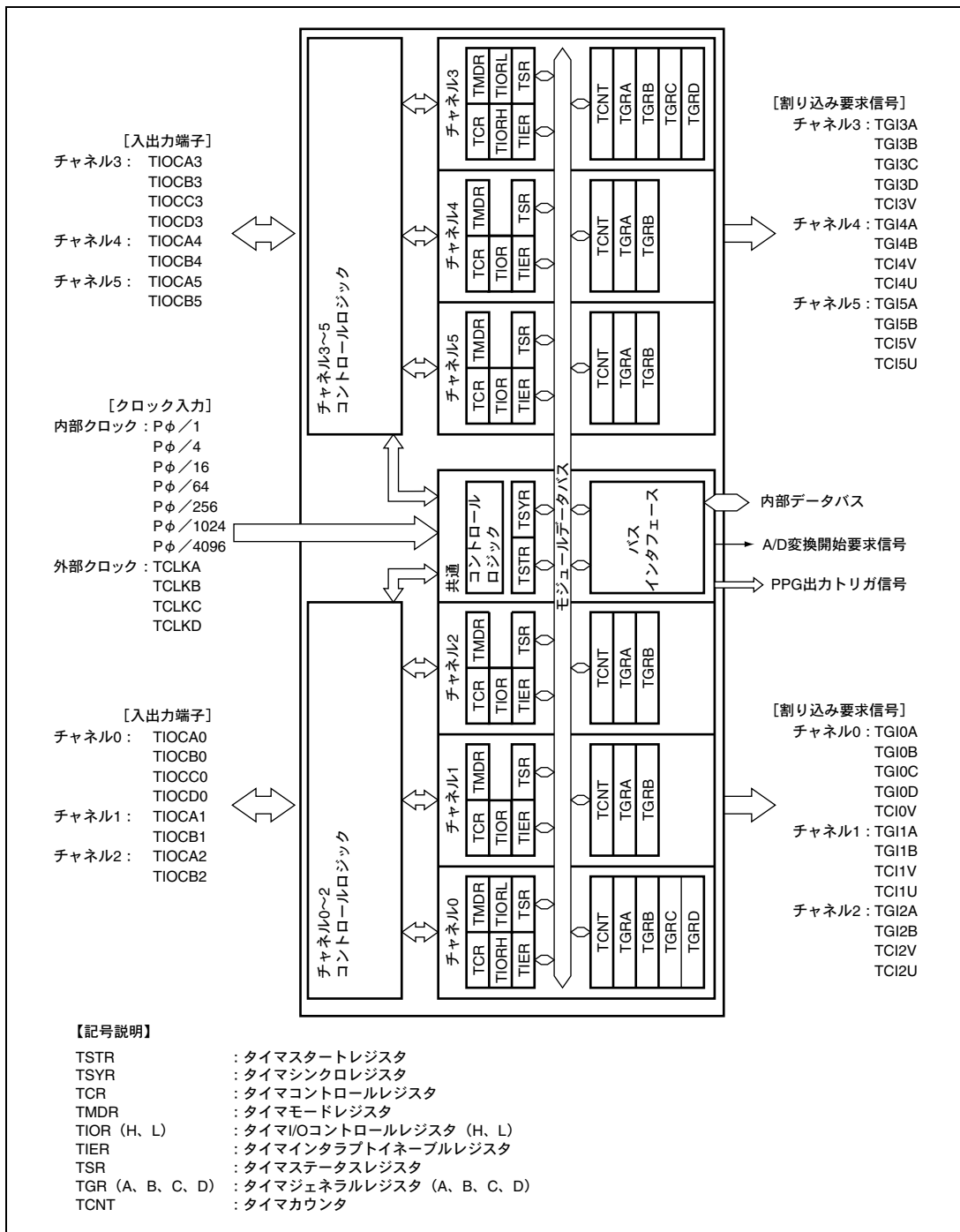


図 10.1 TPU のブロック図

10.2 入出力端子

TPU の端子構成を表 10.2 に示します。

表 10.2 端子構成

チャンネル	名称	入出力	機能
共通	TCLKA	入力	外部クロック A 入力端子 (チャンネル 1、5 の位相計数モード A 相入力)
	TCLKB	入力	外部クロック B 入力端子 (チャンネル 1、5 の位相計数モード B 相入力)
	TCLKC	入力	外部クロック C 入力端子 (チャンネル 2、4 の位相計数モード A 相入力)
	TCLKD	入力	外部クロック D 入力端子 (チャンネル 2、4 の位相計数モード B 相入力)
0	TIOCA0	入出力	TGRA_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB0	入出力	TGRB_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCC0	入出力	TGRC_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCD0	入出力	TGRD_0 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
1	TIOCA1	入出力	TGRA_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB1	入出力	TGRB_1 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
2	TIOCA2	入出力	TGRA_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB2	入出力	TGRB_2 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
3	TIOCA3	入出力	TGRA_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB3	入出力	TGRB_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCC3	入出力	TGRC_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCD3	入出力	TGRD_3 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
4	TIOCA4	入出力	TGRA_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB4	入出力	TGRB_4 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
5	TIOCA5	入出力	TGRA_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子
	TIOCB5	入出力	TGRB_5 のインプットキャプチャ入力/アウトプットコンペア出力/ PWM 出力端子

10.3 レジスタの説明

TPU には、以下のレジスタがあります。

チャンネル 0 :

- タイマコントロールレジスタ_0 (TCR_0)
- タイマモードレジスタ_0 (TMDR_0)
- タイマI/OコントロールレジスタH_0 (TIORH_0)
- タイマI/OコントロールレジスタL_0 (TIORL_0)
- タイマインタラプトイネーブルレジスタ_0 (TIER_0)
- タイマステータスレジスタ_0 (TSR_0)
- タイマカウンタ_0 (TCNT_0)
- タイマジェネラルレジスタA_0 (TGRA_0)
- タイマジェネラルレジスタB_0 (TGRB_0)
- タイマジェネラルレジスタC_0 (TGRC_0)
- タイマジェネラルレジスタD_0 (TGRD_0)

チャンネル 1 :

- タイマコントロールレジスタ_1 (TCR_1)
- タイマモードレジスタ_1 (TMDR_1)
- タイマI/Oコントロールレジスタ_1 (TIOR_1)
- タイマインタラプトイネーブルレジスタ_1 (TIER_1)
- タイマステータスレジスタ_1 (TSR_1)
- タイマカウンタ_1 (TCNT_1)
- タイマジェネラルレジスタA_1 (TGRA_1)
- タイマジェネラルレジスタB_1 (TGRB_1)

チャンネル 2 :

- タイマコントロールレジスタ_2 (TCR_2)
- タイマモードレジスタ_2 (TMDR_2)
- タイマI/Oコントロールレジスタ_2 (TIOR_2)
- タイマインタラプトイネーブルレジスタ_2 (TIER_2)
- タイマステータスレジスタ_2 (TSR_2)
- タイマカウンタ_2 (TCNT_2)
- タイマジェネラルレジスタA_2 (TGRA_2)
- タイマジェネラルレジスタB_2 (TGRB_2)

チャンネル3:

- タイマコントロールレジスタ_3 (TCR_3)
- タイマモードレジスタ_3 (TMDR_3)
- タイマI/OコントロールレジスタH_3 (TIORH_3)
- タイマI/OコントロールレジスタL_3 (TIORL_3)
- タイマインタラプトイネーブルレジスタ_3 (TIER_3)
- タイマステータスレジスタ_3 (TSR_3)
- タイマカウンタ_3 (TCNT_3)
- タイマジェネラルレジスタA_3 (TGRA_3)
- タイマジェネラルレジスタB_3 (TGRB_3)
- タイマジェネラルレジスタC_3 (TGRC_3)
- タイマジェネラルレジスタD_3 (TGRD_3)

チャンネル4:

- タイマコントロールレジスタ_4 (TCR_4)
- タイマモードレジスタ_4 (TMDR_4)
- タイマI/Oコントロールレジスタ_4 (TIOR_4)
- タイマインタラプトイネーブルレジスタ_4 (TIER_4)
- タイマステータスレジスタ_4 (TSR_4)
- タイマカウンタ_4 (TCNT_4)
- タイマジェネラルレジスタA_4 (TGRA_4)
- タイマジェネラルレジスタB_4 (TGRB_4)

チャンネル5:

- タイマコントロールレジスタ_5 (TCR_5)
- タイマモードレジスタ_5 (TMDR_5)
- タイマI/Oコントロールレジスタ_5 (TIOR_5)
- タイマインタラプトイネーブルレジスタ_5 (TIER_5)
- タイマステータスレジスタ_5 (TSR_5)
- タイマカウンタ_5 (TCNT_5)
- タイマジェネラルレジスタA_5 (TGRA_5)
- タイマジェネラルレジスタB_5 (TGRB_5)

共通:

- タイマスタートレジスタ (TSTR)
- タイマシンクロレジスタ (TSYR)

10. 16ビットタイマパルスユニット (TPU)

10.3.1 タイマコントロールレジスタ (TCR)

TCR は各チャンネルの TCNT を制御します。TPU には、各チャンネルに 1 本、計 6 本の TCR があります。TCR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CCLR2	0	R/W	カウンタクリア 2、1、0
6	CCLR1	0	R/W	TCNT のカウンタクリア要因を選択します。詳細は表 10.3、表 10.4 を参照してください。
5	CCLR0	0	R/W	
4	CKEG1	0	R/W	クロックエッジ 1、0 入力クロックのエッジを選択します。詳細は表 10.5 を参照してください。内部クロックを両エッジでカウントすると、入力クロックの周期が 1/2 になります (例 : $P\phi/4$ の両エッジ = $P\phi/2$ の立ち上がりエッジ)。チャンネル 1、2、4、5 で位相計数モードを使用する場合は、本設定は無視され、位相計数モードの設定が優先されます。内部クロックのエッジ選択は、入力クロックが $P\phi/4$ もしくはそれより遅い場合に有効です。入力クロックに $P\phi/1$ 、あるいは他のチャンネルのオーバーフロー/アンダフローを選択した場合は本設定は無視されます。
3	CKEG0	0	R/W	
2	TPSC2	0	R/W	タイマプリスケラ 2、1、0 TCNT のカウンタクロックを選択します。各チャンネル独立にクロックソースを選択することができます。詳細は表 10.6~表 10.11 を参照してください。クロックソースに外部クロックを選択する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。
1	TPSC1	0	R/W	
0	TPSC0	0	R/W	

表 10.3 CCLR2～CCLR0 (チャンネル 0、3)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	CCLR2	CCLR1	CCLR0	
0、3	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1
	1	0	0	TCNT のクリア禁止
	1	0	1	TGRC のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	0	TGRD のコンペアマッチ/インプットキャプチャで TCNT クリア*2
	1	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 TGRC または TGRD をバッファレジスタとして使用している場合は、バッファレジスタの設定が優先され、コンペアマッチ/インプットキャプチャが発生しないため、TCNT はクリアされません。

表 10.4 CCLR2～CCLR0 (チャンネル 1、2、4、5)

チャンネル	ビット 7	ビット 6	ビット 5	説 明
	リザーブ*2	CCLR1	CCLR0	
1、2、 4、5	0	0	0	TCNT のクリア禁止
	0	0	1	TGRA のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	0	TGRB のコンペアマッチ/インプットキャプチャで TCNT クリア
	0	1	1	同期クリア/同期動作をしている他のチャンネルのカウントクリアで TCNT をクリア*1

【注】 *1 同期動作の設定は、TSYR の SYNC ビットを 1 にセットすることにより行います。

*2 チャンネル 1、2、4、5 ではビット 7 はリザーブです。リードすると常に 0 がリードされます。ライトは無効です。

表 10.5 入力クロックエッジ選択

クロックエッジ選択		入力クロック	
CKEG1	CKEG0	内部クロック	外部クロック
0	0	立ち下がりエッジでカウント	立ち上がりエッジでカウント
0	1	立ち上がりエッジでカウント	立ち下がりエッジでカウント
1	x	両エッジでカウント	両エッジでカウント

【記号説明】 x : Don't care

10. 16ビットタイムパルスユニット (TPU)

表 10.6 TPSC2~TPSC0 (チャンネル0)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
0	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

表 10.7 TPSC2~TPSC0 (チャンネル1)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
1	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	TCNT2 のオーバフロー/アンダフローでカウント

【注】チャンネル1が位相計数モード時、この設定は無効になります。

表 10.8 TPSC2~TPSC0 (チャンネル2)

チャンネル	ビット2	ビット1	ビット0	説明
	TPSC2	TPSC1	TPSC0	
2	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKB 端子入力でカウント
	1	1	0	外部クロック : TCLKC 端子入力でカウント
	1	1	1	内部クロック : Pφ/1024 でカウント

【注】チャンネル2が位相計数モード時、この設定は無効になります。

表 10.9 TPSC2~TPSC0 (チャンネル 3)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
3	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	内部クロック : Pφ/1024 でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	内部クロック : Pφ/4096 でカウント

表 10.10 TPSC2~TPSC0 (チャンネル 4)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
4	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : Pφ/1024 でカウント
	1	1	1	TCNT5 のオーバフロー/アンダフローでカウント

【注】チャンネル 4 が位相計数モード時、この設定は無効になります。

表 10.11 TPSC2~TPSC0 (チャンネル 5)

チャンネル	ビット 2	ビット 1	ビット 0	説 明
	TPSC2	TPSC1	TPSC0	
5	0	0	0	内部クロック : Pφ/1 でカウント
	0	0	1	内部クロック : Pφ/4 でカウント
	0	1	0	内部クロック : Pφ/16 でカウント
	0	1	1	内部クロック : Pφ/64 でカウント
	1	0	0	外部クロック : TCLKA 端子入力でカウント
	1	0	1	外部クロック : TCLKC 端子入力でカウント
	1	1	0	内部クロック : Pφ/256 でカウント
	1	1	1	外部クロック : TCLKD 端子入力でカウント

【注】チャンネル 5 が位相計数モード時、この設定は無効になります。

10. 16ビットタイマパルスユニット (TPU)

10.3.2 タイマモードレジスタ (TMDR)

TMDR は、各チャンネルの動作モードの設定を行います。TPU には、各チャンネルに 1 本、計 6 本の TMDR があります。TMDR の設定は、TCNT の動作が停止した状態で行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	BFB	BFA	MD3	MD2	MD1	MD0
初期値:	1	1	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
5	BFB	0	R/W	バッファ動作 B TGRB を通常動作させるか、TGRB と TGRD を組み合わせてバッファ動作させるかを設定します。TGRD をバッファレジスタとして使用した場合は、TGRD のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRD を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0: TGRB は通常動作 1: TGRB と TGRD はバッファ動作
4	BFA	0	R/W	バッファ動作 A TGRA を通常動作させるか、TGRA と TGRC を組み合わせてバッファ動作させるかを設定します。TGRC をバッファレジスタとして使用した場合は、TGRC のインプットキャプチャ/アウトプットコンペアは発生しません。 TGRC を持たないチャンネル 1、2、4、5 ではこのビットはリザーブビットになります。リードすると常に 0 が読み出されます。ライトは無効です。 0: TGRA は通常動作 1: TGRA と TGRC はバッファ動作
3	MD3	0	R/W	モード 3~0
2	MD2	0	R/W	MD3~MD0 はタイマの動作モードを設定します。
1	MD1	0	R/W	MD3 はリザーブビットです。ライト時には常に 0 としてください。
0	MD0	0	R/W	詳細は表 10.12 を参照してください。

表 10.12 MD3~MD0

ビット3	ビット2	ビット1	ビット0	説明
MD3* ¹	MD2* ²	MD1	MD0	
0	0	0	0	通常動作
0	0	0	1	リザーブ
0	0	1	0	PWM モード 1
0	0	1	1	PWM モード 2
0	1	0	0	位相計数モード 1
0	1	0	1	位相計数モード 2
0	1	1	0	位相計数モード 3
0	1	1	1	位相計数モード 4
1	x	x	x	—

【記号説明】 x : Don't care

【注】 *1 MD3 はリザーブビットです。ライト時には常に 0 としてください。

*2 チャンネル 0、3 では、位相計数モードの設定はできません。MD2 には常に 0 をライトしてください。

10.3.3 タイマ I/O コントロールレジスタ (TIOR)

TIOR は TGR を制御します。TPU には、チャンネル 0、3 に各 2 本、チャンネル 1、2、4、5 に各 1 本、計 8 本の TIOR があります。TIOR は TMDR の設定により影響を受けますので注意してください。

TIOR で指定した初期出力はカウンタが停止した状態 (TSTR の CST ビットを 0 にクリアした) で有効になります。また、PWM モード 2 の場合にはカウンタが 0 にクリアされた時点での出力を指定します。

TGRC、あるいは TGRD をバッファ動作に設定した場合は、本設定は無効となり、バッファレジスタとして動作します。

TIOR にインプットキャプチャ端子として設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

・ TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	7	6	5	4	3	2	1	0
ビット名	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ TIORL_0、TIORL_3

ビット	7	6	5	4	3	2	1	0
ビット名	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. 16 ビットタイマパルスユニット (TPU)

- TIORH_0、TIOR_1、TIOR_2、TIORH_3、TIOR_4、TIOR_5

ビット	ビット名	初期値	R/W	説明
7	IOB3	0	R/W	I/O コントロール B3~B0 TGRB の機能を設定します。詳細は表 10.13、表 10.15、表 10.16、表 10.17、表 10.19、表 10.20 を参照してください。
6	IOB2	0	R/W	
5	IOB1	0	R/W	
4	IOB0	0	R/W	
3	IOA3	0	R/W	I/O コントロール A3~A0 TGRA の機能を設定します。詳細は表 10.21、表 10.23、表 10.24、表 10.25、表 10.27、表 10.28 を参照してください。
2	IOA2	0	R/W	
1	IOA1	0	R/W	
0	IOA0	0	R/W	

- TIORL_0、TIORL_3

ビット	ビット名	初期値	R/W	説明
7	IOD3	0	R/W	I/O コントロール D3~D0 TGRD の機能を設定します。詳細は表 10.14、表 10.18 を参照してください。
6	IOD2	0	R/W	
5	IOD1	0	R/W	
4	IOD0	0	R/W	
3	IOC3	0	R/W	I/O コントロール C3~C0 TGRC の機能を設定します。詳細は表 10.22、表 10.26 を参照してください。
2	IOC2	0	R/W	
1	IOC1	0	R/W	
0	IOC0	0	R/W	

表 10.13 TIORH_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_0の機能	TIOCB0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_1の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1のカウンタクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

10. 16ビットタイマパルスユニット (TPU)

表 10.14 TIORL_0

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_0の機能	TIOCD0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウントアップ/カウントダウンでイン プットキャプチャ* ¹

【記号説明】 x : Don't care

【注】 *1 TCR_1の TPSC2~TPSC0 ビットを B'000 とし、TCNT_1 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_0 の BFB ビットを 1 にセットして TGRD_0 をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.15 TIOR_1

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_1の機能	TIOCB1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB1 端子 両エッジでインプットキャプチャ
1	1	x	x		TGRC_0 コンペアマッチ/インプットキャプチャ TGRC_0 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.16 TIOR_2

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_2の機能	TIOCB2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 10.17 TIORH_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_3の機能	TIOCB3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ*

【記号説明】 x : Don't care

【注】 * TCR_4 の TPSC2~TPSC0 ビットを B'000 とし、TCNT_4 のカウントクロックに Pφ/1 を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

10. 16ビットタイムパルスユニット (TPU)

表 10.18 TIORL_3

ビット7	ビット6	ビット5	ビット4	説 明	
IOD3	IOD2	IOD1	IOD0	TGRD_3の機能	TIOCD3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ* ²	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ* ²	キャプチャ入力元は TIOCD3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCD3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCD3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ* ¹

【記号説明】 x : Don't care

【注】 *1 TCR_4のTPSC2~TPSC0ビットをB'000とし、TCNT_4のカウントクロックにPφ/1を使用した場合は、本設定は無効となり、インプットキャプチャは発生しません。

*2 TMDR_3のBFBビットを1にセットしてTGRD_3をバッファレジスタとして使用した場合は、本設定は無効となり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.19 TIOR_4

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_4 の機能	TIOCB4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトルグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトルグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCB4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCB4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRC_3 コンペアマッチ/イン プットキャプチャ TGRC_3 のコンペアマッチ/インプットキャプチャ の発生でインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.20 TIOR_5

ビット7	ビット6	ビット5	ビット4	説 明	
IOB3	IOB2	IOB1	IOB0	TGRB_5の機能	TIOCB5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCB5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCB5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCB5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 10.21 TIORH_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_0の機能	TIOCA0 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.22 TIORL_0

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_0の機能	TIOCC0の端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC0 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC0 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC0 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル1/カウントクロック TCNT_1のカウンタアップ/カウンタダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_0のBFAビットを1にセットしてTGRC_0をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.23 TIOR_1

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_1の機能	TIOCA1 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA1 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA1 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA1 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_0 コンペアマッチ/イン プットキャプチャ チャンネル 0/TGRA_0 のコンペアマッチ/インプット キャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイムパルスユニット (TPU)

表 10.24 TIOR_2

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_2の機能	TIOCA2 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA2 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA2 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA2 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

表 10.25 TIORH_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_3の機能	TIOCA3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.26 TIORL_3

ビット3	ビット2	ビット1	ビット0	説 明	
IOC3	IOC2	IOC1	IOC0	TGRC_3の端子	TIOCC3 端子の機能
0	0	0	0	アウトプットコンペアレジスタ*	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ*	キャプチャ入力元は TIOCC3 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCC3 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCC3 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元はチャネル4/カウントクロック TCNT_4のカウンタアップ/カウンタダウンでイン プットキャプチャ

【記号説明】 x : Don't care

【注】 * TMDR_3のBFAビットを1にセットしてTGRC_3をバッファレジスタとして使用した場合は、本設定は無効になり、インプットキャプチャ/アウトプットコンペアは発生しません。

表 10.27 TIOR_4

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_4の機能	TIOCA4 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	0	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA4 端子 立ち上がりエッジでインプットキャプチャ
1	0	0	1		キャプチャ入力元は TIOCA4 端子 立ち下がりエッジでインプットキャプチャ
1	0	1	x		キャプチャ入力元は TIOCA4 端子 両エッジでインプットキャプチャ
1	1	x	x		キャプチャ入力元は TGRA_3 コンペアマッチ/インプットキャプチャ TGRA_3 のコンペアマッチ/インプットキャプチャの発生でインプットキャプチャ

【記号説明】 x : Don't care

10. 16 ビットタイマパルスユニット (TPU)

表 10.28 TIOR_5

ビット3	ビット2	ビット1	ビット0	説 明	
IOA3	IOA2	IOA1	IOA0	TGRA_5の機能	TIOCA5 端子の機能
0	0	0	0	アウトプットコンペアレジスタ	出力禁止
0	0	0	1		初期出力は 0 出力 コンペアマッチで 0 出力
0	0	1	0		初期出力は 0 出力 コンペアマッチで 1 出力
0	0	1	1		初期出力は 0 出力 コンペアマッチでトグル出力
0	1	0	0		出力禁止
0	1	0	1		初期出力は 1 出力 コンペアマッチで 0 出力
0	1	1	0		初期出力は 1 出力 コンペアマッチで 1 出力
0	1	1	1		初期出力は 1 出力 コンペアマッチでトグル出力
1	x	0	0	インプットキャプチャレジスタ	キャプチャ入力元は TIOCA5 端子 立ち上がりエッジでインプットキャプチャ
1	x	0	1		キャプチャ入力元は TIOCA5 端子 立ち下がりエッジでインプットキャプチャ
1	x	1	x		キャプチャ入力元は TIOCA5 端子 両エッジでインプットキャプチャ

【記号説明】 x : Don't care

10.3.4 タイマインタラプトイネーブルレジスタ (TIER)

TIER は、各チャンネルの割り込み要求の許可、禁止を制御します。TPU には、各チャンネルに 1 本、計 6 本の TIER があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TTGE	—	TCIEU	TCIEV	TGIED	TGIEC	TGIEB	TGIEA
初期値:	0	1	0	0	0	0	0	0
R/W:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TTGE	0	R/W	A/D 変換開始要求イネーブル TGRA のインプットキャプチャ/コンペアマッチによる A/D 変換器開始要求の発生を許可または禁止します。 0 : A/D 変換開始要求の発生を禁止 1 : A/D 変換開始要求の発生を許可
6	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
5	TCIEU	0	R/W	アンダフローインタラプトイネーブル チャンネル 1、2、4、5 で TSR の TCFU フラグが 1 にセットされたとき、TCFU フラグによる割り込み要求 (TCIU) を許可または禁止します。 チャンネル 0、3 ではリザーブビットです。 リードすると常に 0 がリードされます。ライトは無効です。 0 : TCFU による割り込み要求 (TCIU) を禁止 1 : TCFU による割り込み要求 (TCIU) を許可
4	TCIEV	0	R/W	オーバーフローインタラプトイネーブル TSR の TCFV フラグが 1 にセットされたとき、TCFV フラグによる割り込み要求 (TCIV) を許可または禁止します。 0 : TCFV による割り込み要求 (TCIV) を禁止 1 : TCFV による割り込み要求 (TCIV) を許可
3	TGIED	0	R/W	TGR インタラプトイネーブル D チャンネル 0、3 で TSR の TGFD ビットが 1 にセットされたとき、TGFD ビットによる割り込み要求 (TGID) を許可または禁止します。チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFD ビットによる割り込み要求 (TGID) を禁止 1 : TGFD ビットによる割り込み要求 (TGID) を許可

10. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGIEC	0	R/W	TGR インタラプトイネーブル C チャンネル 0、3 で TSR の TGFC ビットが 1 にセットされたとき、TGFC ビットによる割り込み要求 (TGIC) を許可または禁止します。 チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。 0 : TGFC ビットによる割り込み要求 (TGIC) を禁止 1 : TGFC ビットによる割り込み要求 (TGIC) を許可
1	TGIEB	0	R/W	TGR インタラプトイネーブル B TSR の TGFB ビットが 1 にセットされたとき、TGFB ビットによる割り込み要求 (TGIB) を許可または禁止します。 0 : TGFB ビットによる割り込み要求 (TGIB) を禁止 1 : TGFB ビットによる割り込み要求 (TGIB) を許可
0	TGIEA	0	R/W	TGR インタラプトイネーブル A TSR の TGFA ビットが 1 にセットされたとき、TGFA ビットによる割り込み要求 (TGIA) を許可または禁止します。 0 : TGFA ビットによる割り込み要求 (TGIA) を禁止 1 : TGFA ビットによる割り込み要求 (TGIA) を許可

10.3.5 タイマステータスレジスタ (TSR)

TSR は、各チャンネルのステータスの表示を行います。TPU には、各チャンネルに 1 本、計 6 本の TSR があります。

ビット	7	6	5	4	3	2	1	0
ビット名	TCFD	—	TCFU	TCFV	TGFD	TGFC	TGFB	TGFA
初期値 :	1	1	0	0	0	0	0	0
R/W :	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするための 0 ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	TCFD	1	R	カウント方向フラグ チャンネル 1、2、4、5 の TCNT のカウント方向を示すステータスフラグです。 チャンネル 0、3 ではリザーブビットです。リードすると常に 1 がリードされます。ライトは無効です。 0 : TCNT はダウンカウント 1 : TCNT はアップカウント
6	—	1	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。

10. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
5	TCFU	0	R/(W)*	<p>アンダフローフラグ</p> <p>チャンネル1、2、4、5が位相計数モードのとき、TCNTのアンダフローの発生を示すステータスフラグです。</p> <p>チャンネル0、3ではリザーブビットです。リードすると常に0がリードされず。ライトは無効です。</p> <p>[セット条件]</p> <p>TCNTの値がアンダフロー (H'0000→H'FFFF) したとき</p> <p>[クリア条件]</p> <p>TCFU=1の状態ではTCFUをリード後、TCFUに0をライトしたとき (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p>
4	TCFV	0	R/(W)*	<p>オーバフローフラグ (TCFV)</p> <p>TCNTのオーバフローの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <p>TCNTの値がオーバフローしたとき (H'FFFF→ H'0000)</p> <p>[クリア条件]</p> <p>TCFV=1の状態ではTCFVをリード後、TCFVに0をライトしたとき (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p>
3	TGFD	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグD</p> <p>チャンネル0、3のTGRDのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル1、2、4、5ではリザーブビットです。リードすると常に0がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRDがアウトプットコンペアレジスタとして機能している場合、TCNT=TGRDになったとき • TGRDがインプットキャプチャとして機能している場合、インプットキャプチャ信号によりTCNTの値がTGRDに転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGID割り込みによりDTCが起動され、DTCのMRBのDISELビットが0のとき • TGFD=1の状態ではTGFDをリード後、TGFDに0をライトしたとき (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)

10. 16ビットタイムパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説明
2	TGFC	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ C</p> <p>チャンネル 0、3 の TGRC のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>チャンネル 1、2、4、5 ではリザーブビットです。リードすると常に 0 がリードされます。ライトは無効です。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRC がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRC になったとき • TGRC がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRC に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIC 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFC = 1 の状態で TGFC をリード後、TGFC に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
1	TGFB	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ B</p> <p>TGRB のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRB がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRB になったとき • TGRB がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRB に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIB 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGFB = 1 の状態で TGFB をリード後、TGFB に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説明
0	TGFA	0	R/(W)*	<p>インプットキャプチャ/アウトプットコンペアフラグ A</p> <p>TGRA のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • TGRA がアウトプットコンペアレジスタとして機能している場合、TCNT = TGRA になったとき • TGRA がインプットキャプチャとして機能している場合、インプットキャプチャ信号により TCNT の値が TGRA に転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TGIA 割り込みにより DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき • TGIA 割り込みにより DMAC が起動され、DMAC の DMDR の DTA ビットが 1 のとき • TGFA=1 の状態で TGFA をリード後、TGFA に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

【注】 * フラグをクリアするための 0 ライトのみ可能です。

10.3.6 タイマカウンタ (TCNT)

TCNT は 16 ビットのリード/ライト可能なカウンタです。各チャンネルに 1 本、計 6 本の TCNT があります。

TCNT は、リセットまたはハードウェアスタンバイモード時に H'0000 に初期化されます。

TCNT の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10.3.7 タイマジェネラルレジスタ (TGR)

TGR は 16 ビットのリード/ライト可能なアウトプットコンペア/インプットキャプチャ兼用のレジスタです。チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のジェネラルレジスタがあります。チャンネル 0、3 の TGRC と TGRD は、バッファレジスタとして動作設定することができます。TGR の 8 ビット単位でのアクセスは禁止です。常に 16 ビット単位でアクセスしてください。バッファ動作時の TGR とバッファレジスタの組み合わせは、TGRA-TGRC、TGRB-TGRD になります。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名																
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. 16ビットタイマパルスユニット (TPU)

10.3.8 タイマスタートレジスタ (TSTR)

TSTR は、チャンネル 0~5 の TCNT の動作/停止を選択します。TMDR へ動作モードを設定する場合や TCR へ TCNT のカウントクロックを設定する場合は、TCNT のカウンタ動作を停止してから行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	CST5	CST4	CST3	CST2	CST1	CST0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	CST5	0	R/W	カウンタスタート 5~0
4	CST4	0	R/W	TCNT の動作または停止を選択します。
3	CST3	0	R/W	TIOC 端子を出力状態で動作中に、CST ビットに0をライトするとカウンタは停止しますが、TIOC 端子のアウトプットコンペア出力レベルは保持されます。CST ビットが0の状態では TIOR へのライトを行うと、設定した初期出力値に端子の出力レベルが更新されます。 0 : TCNT_5~TCNT_0 のカウント動作は停止 1 : TCNT_5~TCNT_0 はカウント動作
2	CST2	0	R/W	
1	CST1	0	R/W	
0	CST0	0	R/W	

10.3.9 タイマシンクロレジスタ (TSYR)

TSYR は、チャンネル 0~5 の TCNT の独立動作または同期動作を選択します。対応するビットを1にセットしたチャンネルが同期動作を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

10. 16 ビットタイマパルスユニット (TPU)

ビット	ビット名	初期値	R/W	説 明
7	—	0	R/W	リザーブビット
6	—	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	SYNC5	0	R/W	タイマ同期 5~0
4	SYNC4	0	R/W	他のチャンネルとの独立動作または同期動作を選択します。
3	SYNC3	0	R/W	同期動作を選択すると、複数の TCNT の同期プリセットや、他チャンネルのカウントクリアによる同期クリアが可能となります。
2	SYNC2	0	R/W	
1	SYNC1	0	R/W	同期動作の設定には、最低 2 チャンネルの SYNC ビットを 1 にセットする必要があります。同期クリアの設定には、SYNC ビットの他に TCR の CCLR2~CCLR0
0	SYNC0	0	R/W	ビットで、TCNT のクリア要因を設定する必要があります。 0 : TCNT_5~TCNT_0 は独立動作 (TCNT のプリセット/クリアは他チャンネルと無関係) 1 : TCNT_5~TCNT_0 は同期動作 TCNT の同期プリセット/同期クリアが可能

10.4 動作説明

10.4.1 基本動作

各チャンネルには、TCNTとTGRがあります。TCNTは、アップカウント動作を行い、フリーランニング動作、周期カウント動作、または外部イベントカウント動作が可能です。

TGRは、それぞれインプットキャプチャレジスタまたはアウトプットコンペアレジスタとして使用することができます。

(1) カウンタの動作

TSTRのCST0～CST5ビットを1にセットすると、対応するチャンネルのTCNTはカウント動作を開始します。フリーランニングカウンタ動作、周期カウンタ動作などが可能です。

(a) カウント動作の設定手順例

カウント動作の設定手順例を図10.2に示します。

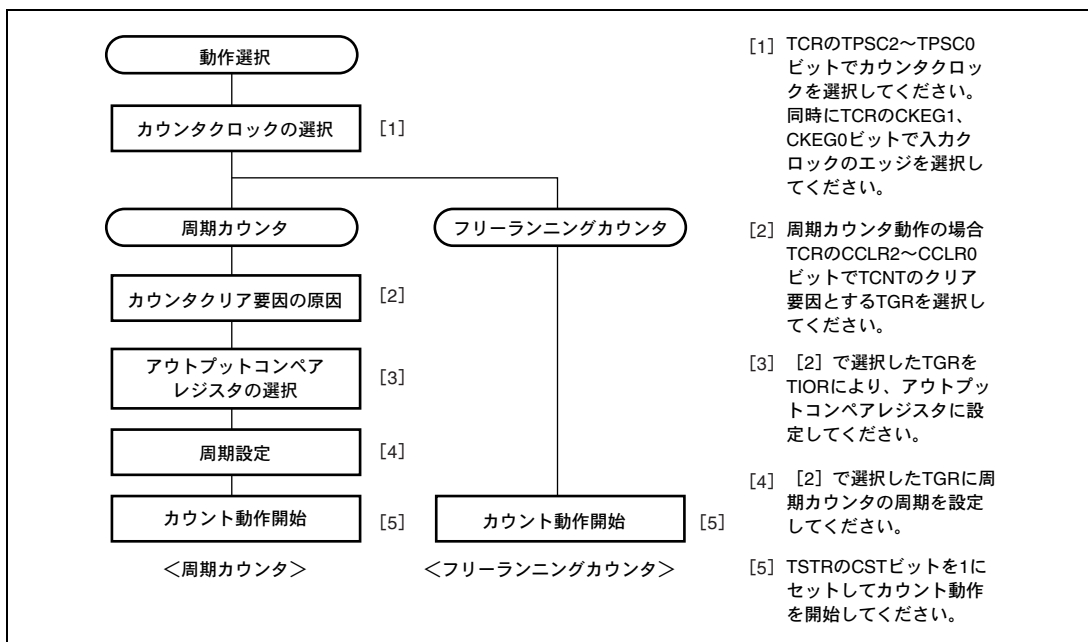


図 10.2 カウンタ動作設定手順例

(b) フリーランニングカウンタ動作と周期カウンタ動作

TPU の TCNT は、リセット直後はすべてフリーランニングカウンタの設定となっており、TSTR の対応するビットを 1 にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNT がオーバーフロー(H'FFFF→H'0000)すると、TSR の TCFV ビットが 1 にセットされます。このとき、対応する TIER の TCIEV ビットが 1 ならば、TPU は割り込みを要求します。TCNT はオーバーフロー後、H'0000 からアップカウント動作を継続します。

フリーランニングカウンタの動作を図 10.3 に示します。

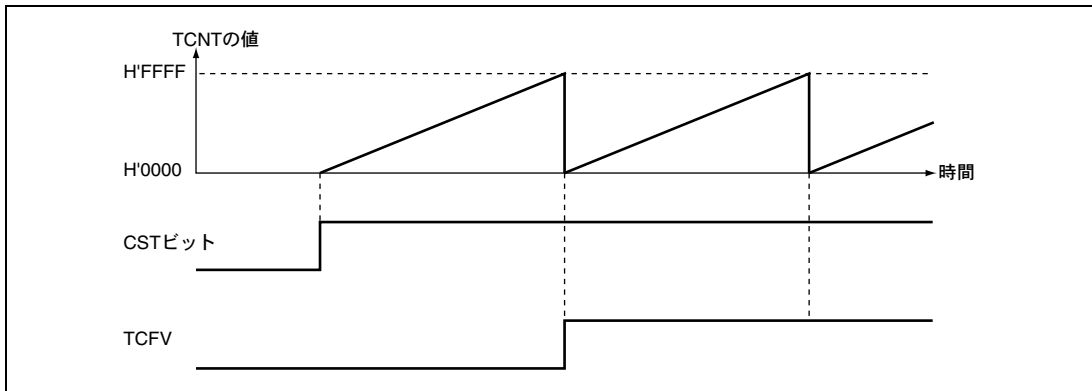


図 10.3 フリーランニングカウンタの動作

TCNT のクリア要因にコンペアマッチを選択したときは、対応するチャンネルの TCNT は周期カウンタ動作を行います。周期設定用の TGR をアウトプットコンペアレジスタに設定し、TCR の CCLR2~CCLR0 ビットによりコンペアマッチによるカウンタクリアを選択します。設定後、TSTR の対応するビットを 1 にセットすると、周期カウンタとしてアップカウント動作を開始します。カウント値が TGR の値と一致すると、TSR の TGF ビットが 1 にセットされ、TCNT は H'0000 にクリアされます。

このとき対応する TIER の TGIE ビットが 1 ならば、TPU は割り込みを要求します。TCNT はコンペアマッチ後、H'0000 からアップカウント動作を継続します。

周期カウンタの動作を図 10.4 に示します。

10. 16ビットタイマパルスユニット (TPU)

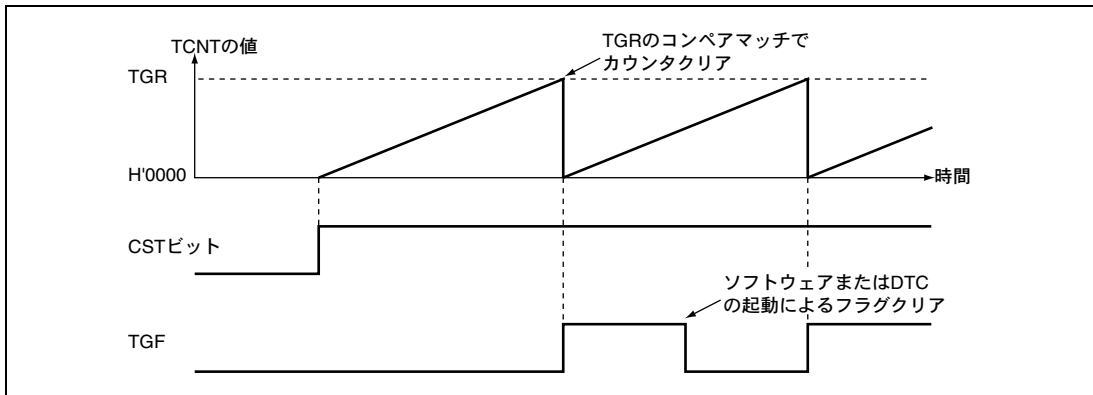


図 10.4 周期カウンタの動作

(2) コンペアマッチによる波形出力機能

TPU は、コンペアマッチにより対応する出力端子から 0 出力/1 出力/トグル出力を行うことができます。

(a) コンペアマッチによる波形出力動作の設定手順例

コンペアマッチによる波形出力動作の設定手順例を図 10.5 に示します。

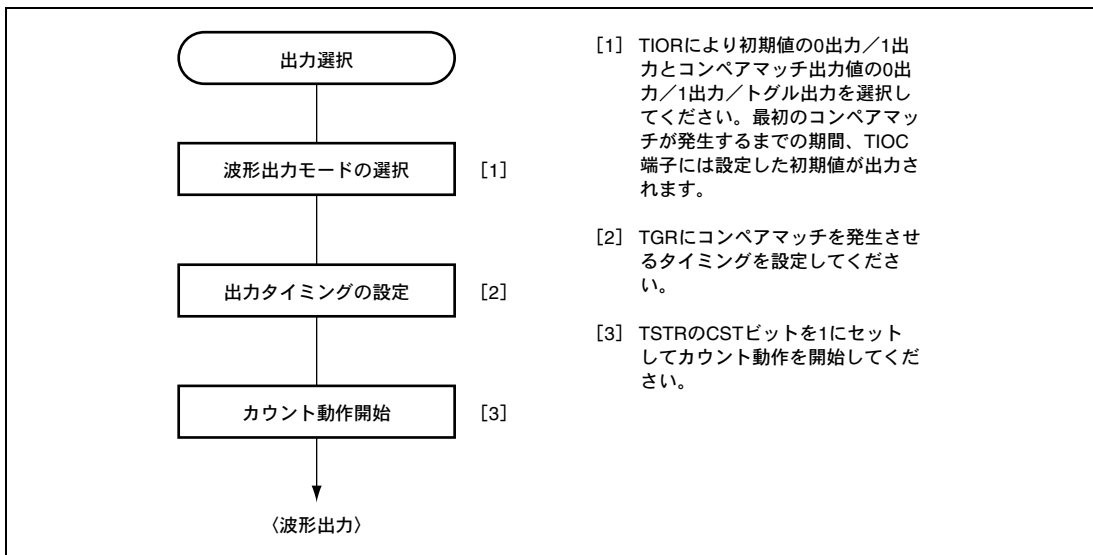


図 10.5 コンペアマッチによる波形出力動作例

(b) 波形出力動作例

0 出力 / 1 出力例を図 10.6 に示します。

TCNT をフリーランニングカウント動作とし、コンペアマッチ A により 1 出力、コンペアマッチ B により 0 出力となるように設定した場合の例です。設定したレベルと端子のレベルが一致した場合には、端子のレベルは変化しません。

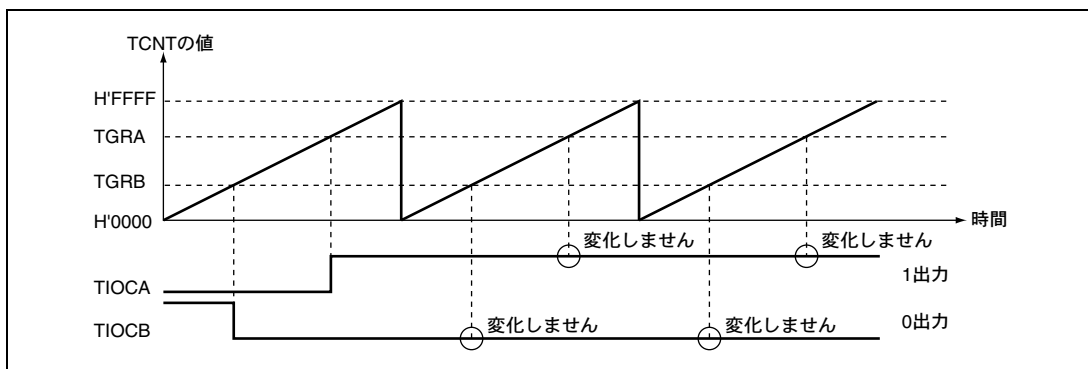


図 10.6 0 出力 / 1 出力の動作例

トグル出力の例を図 10.7 に示します。

TCNT を周期カウント動作 (コンペアマッチ B によりカウンタクリア) に、コンペアマッチ A、B ともトグル出力となるように設定した場合の例です。

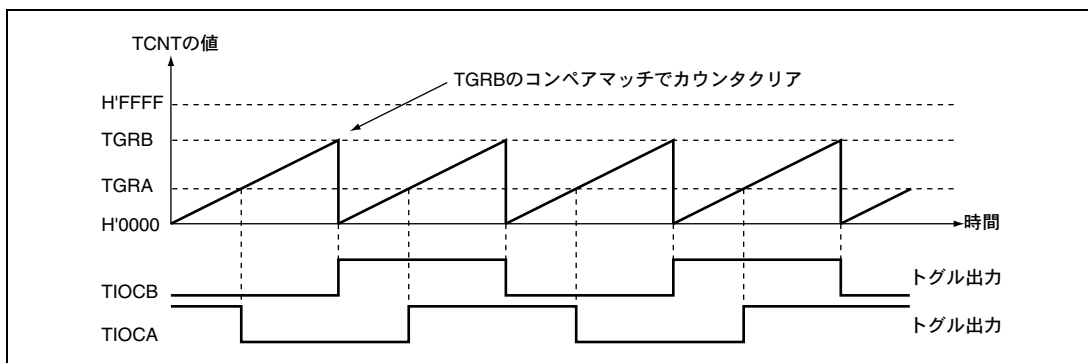


図 10.7 トグル出力の動作例

10. 16ビットタイマパルスユニット (TPU)

(3) インพุットキャプチャ機能

TIOC 端子の入力エッジを検出して TCNT の値を TGR に転送することができます。

検出エッジは立ち上がりエッジ/立ち下がりエッジ/両エッジから選択できます。また、チャンネル0、1、3、4は別のチャンネルのカウンタ入力クロックやコンペアマッチ信号をインพุットキャプチャの要因とすることもできます。

【注】 チャンネル0、3で別のチャンネルのカウンタ入力クロックをインพุットキャプチャ入力とする場合は、インพุットキャプチャ入力とするカウンタ入力クロックに Pφ/1 を選択しないでください。Pφ/1 を選択した場合は、インพุットキャプチャは発生しません。

(a) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順例を図 10.8 に示します。

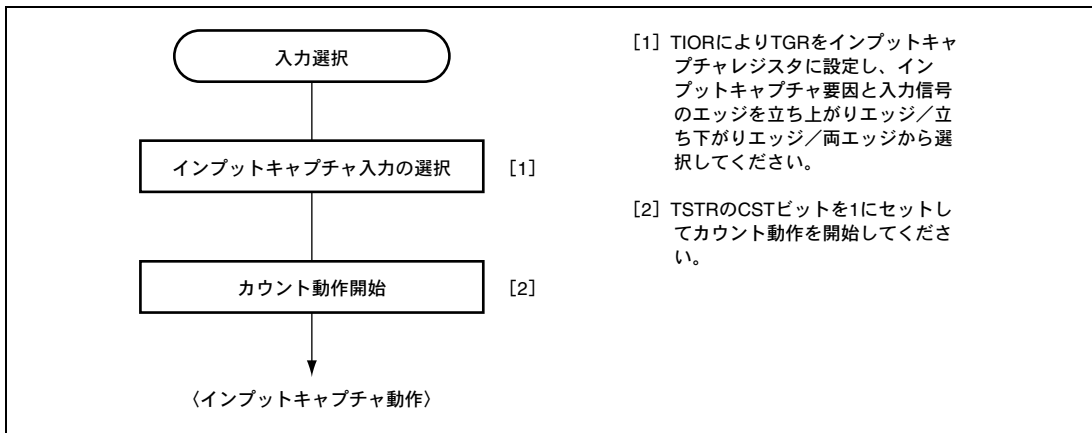


図 10.8 インพุットキャプチャ動作の設定例

(b) インพุットキャプチャ動作例

インพุットキャプチャ動作例を図 10.9 に示します。

TIOCA 端子のインพุットキャプチャ入力エッジは立ち上がり/立ち下がり両エッジ、また TIOCB 端子のインพุットキャプチャ入力エッジは立ち下がりエッジを選択し、TCNT は TGRB のインพุットキャプチャでカウンタクリアされるように設定した場合の例です。

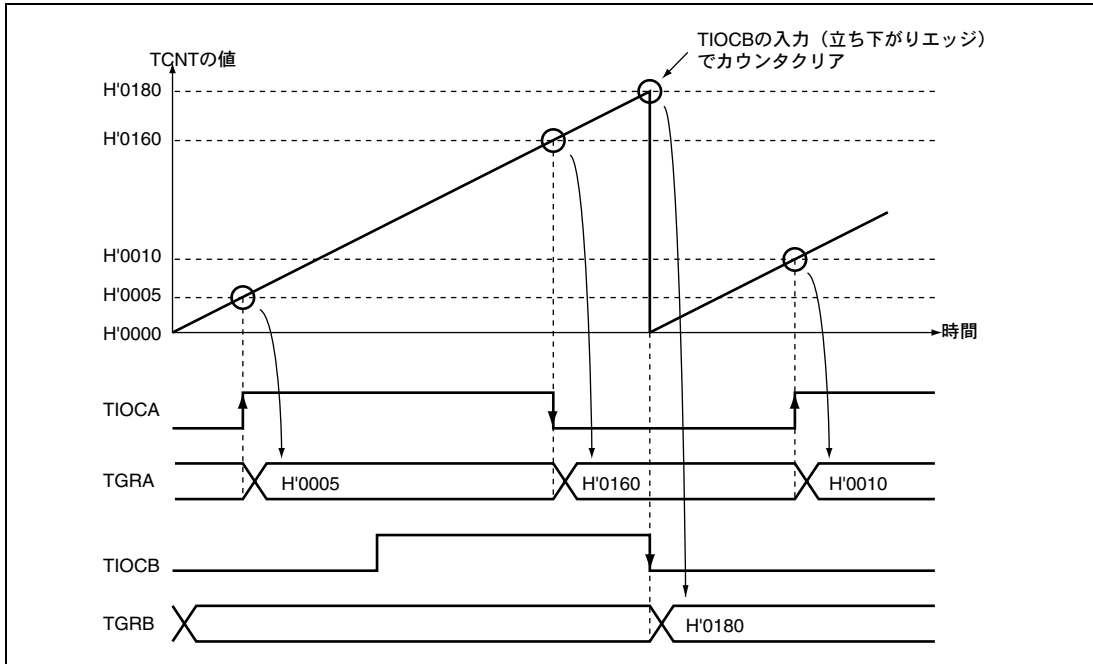


図 10.9 インพุットキャプチャ動作例

10.4.2 同期動作

同期動作は、複数の TCNT の値を同時に書き換えることができます (同期プリセット)。また、TCR の設定により複数の TCNT を同時にクリアすることができます (同期クリア)。

同期動作により、1 つのタイムベースに対して TGR を増加することができます。

チャンネル 0~5 はすべて同期動作の設定が可能です。

10. 16 ビットタイマパルスユニット (TPU)

(1) 同期動作の設定手順例

同期動作の設定手順例を図 10.10 に示します。

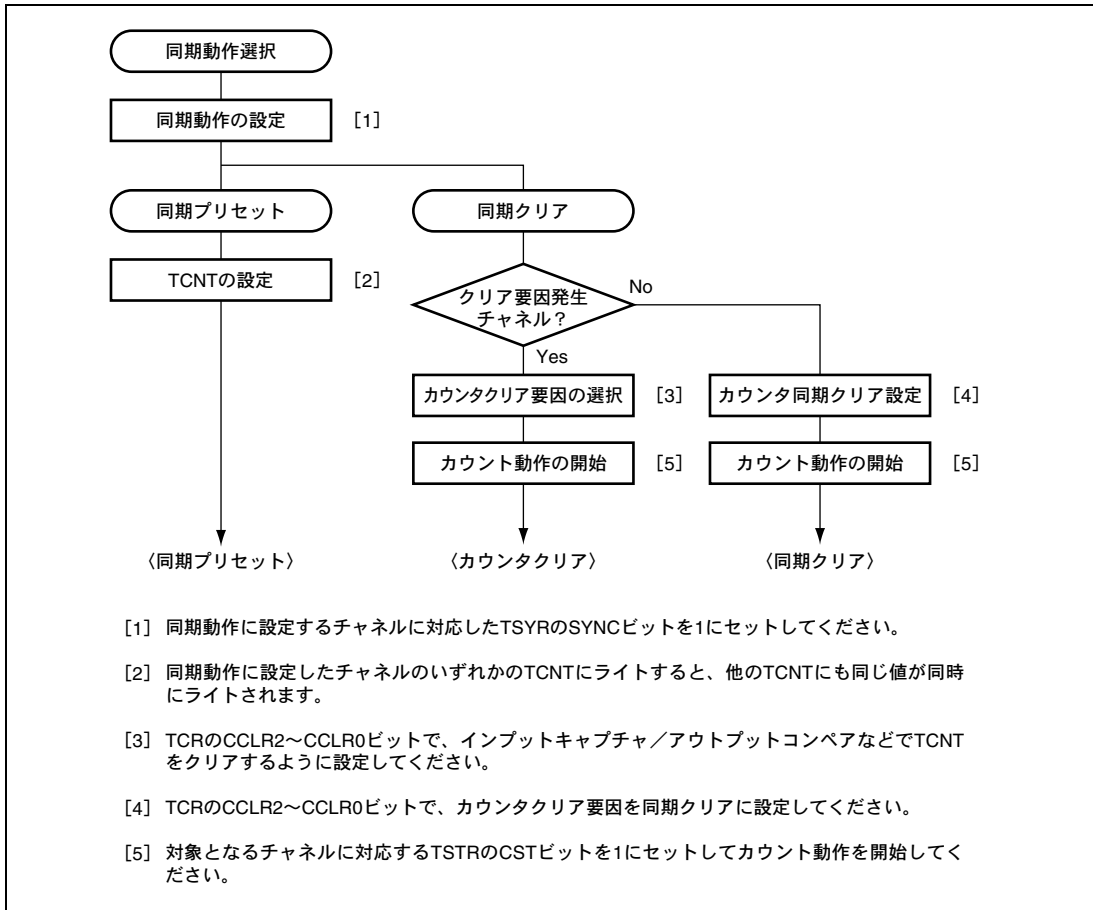


図 10.10 同期動作の設定手順例

(2) 同期動作の例

同期動作の例を図 10.11 に示します。

チャンネル 0～2 を同期動作かつ PWM モード 1 に設定し、チャンネル 0 のカウンタクリア要因を TGRB_0 のコンペアマッチ、またチャンネル 1、2 のカウンタクリア要因を同期クリアに設定した場合の例です。

3 相の PWM 波形を TIOCA0、TIOCA1、TIOCA2 端子から出力します。このとき、チャンネル 0～2 の TCNT は同期プリセット、TGRB_0 のコンペアマッチによる同期クリアを行い、TGRB_0 に設定したデータが PWM 周期となります。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

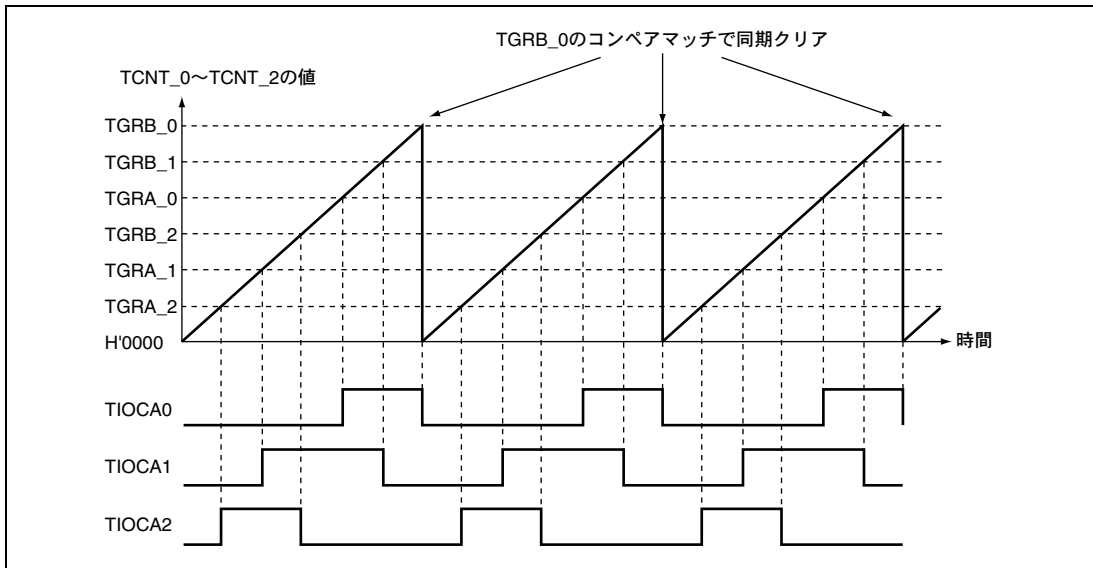


図 10.11 同期動作の動作例

10.4.3 バッファ動作

バッファ動作は、チャンネル 0、3 が持つ機能です。TGRC と TGRD をバッファレジスタとして使用することができます。

バッファ動作は、TGR を入力キャプチャレジスタに設定した場合と、コンペアマッチレジスタに設定した場合のそれぞれで動作内容が異なります。

表 10.29 にバッファ動作時のレジスタの組み合わせを示します。

表 10.29 レジスタの組み合わせ

チャンネル	タイマジェネラルレジスタ	バッファレジスタ
0	TGRA_0	TGRC_0
	TGRB_0	TGRD_0
3	TGRA_3	TGRC_3
	TGRB_3	TGRD_3

- TGRがアウトプットコンペアレジスタの場合

コンペアマッチが発生すると、対応するチャンネルのバッファレジスタの値がタイマジェネラルレジスタに転送されます。

この動作を図 10.12 に示します。

10. 16ビットタイマパルスユニット (TPU)

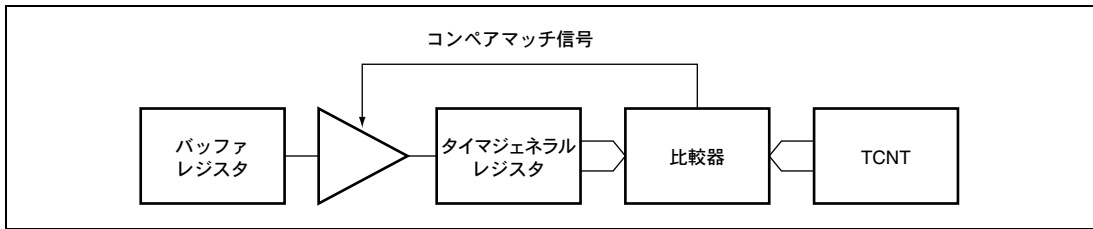


図 10.12 コンペアマッチバッファ動作

- TGRがインプットキャプチャレジスタの場合

インプットキャプチャが発生すると、TCNTの値をTGRに転送すると同時に、それまで格納されていたTGRの値をバッファレジスタに転送します。

この動作を図 10.13 に示します。

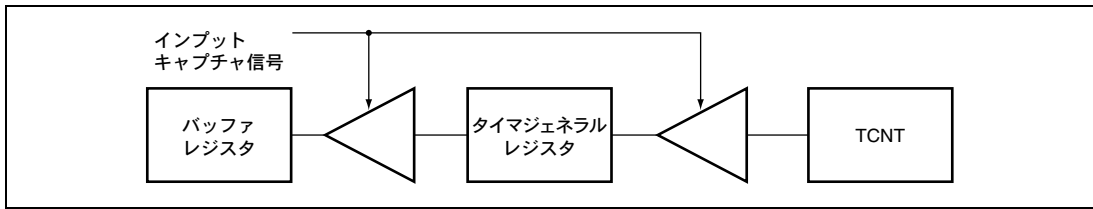


図 10.13 インプットキャプチャバッファ動作

(1) バッファ動作の設定手順例

バッファ動作の設定手順例を図 10.14 に示します。

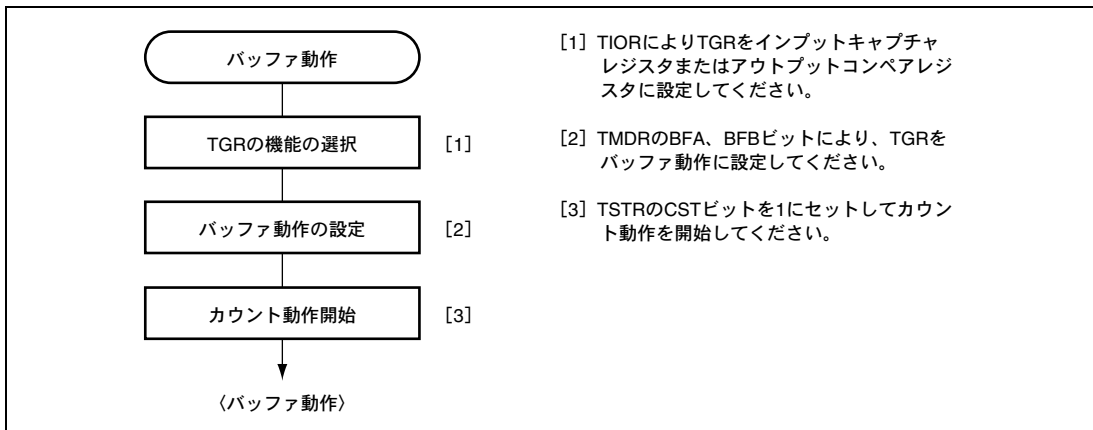


図 10.14 バッファ動作の設定手順例

(2) バッファ動作例

(a) TGR がアウトプットコンペアレジスタの場合

チャンネル 0 を PWM モード 1 に設定し、TGRA と TGRC をバッファ動作に設定した場合の動作例を図 10.15 に示します。TCNT はコンペアマッチ B によりクリア、出力はコンペアマッチ A で 1 出力、コンペアマッチ B で 0 出力に設定した例です。

バッファ動作が設定されているため、コンペアマッチ A が発生すると出力を変化させると同時に、バッファレジスタ TGRC の値がタイマジェネラルレジスタ TGRA に転送されます。この動作は、コンペアマッチ A が発生する度に繰り返されます。

PWM モードについては、「10.4.5 PWM モード」を参照してください。

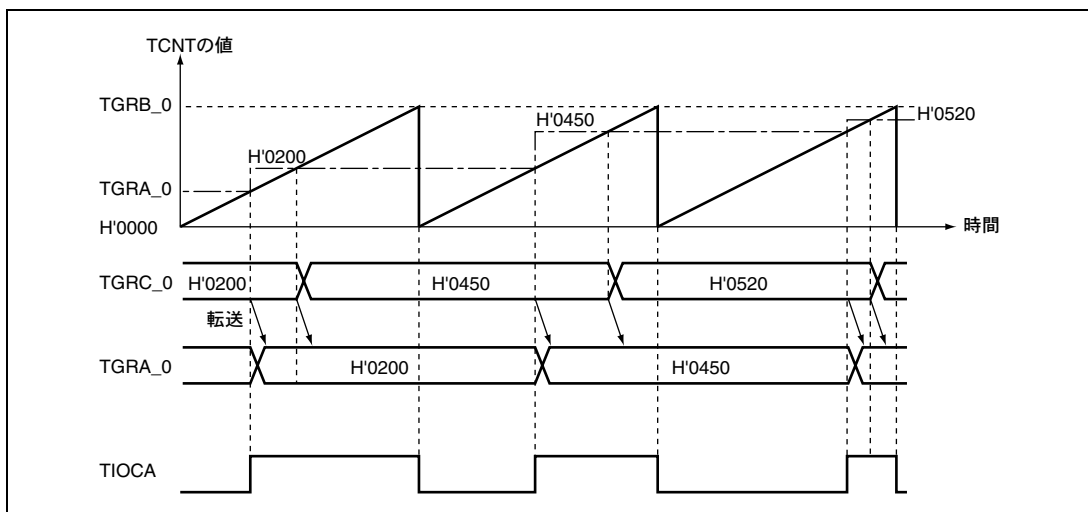


図 10.15 バッファ動作例 (1)

(b) TGR が入力キャプチャレジスタの場合

TGRA を入力キャプチャレジスタに設定し、TGRA と TGRC をバッファ動作に設定したときの動作例を図 10.17 に示します。

TCNT は TGRA の入力キャプチャでカウンタクリア、TIOCA 端子の入力キャプチャ入力エッジは立ち上がりエッジ/立ち下がりエッジの両エッジが選択されています。

バッファ動作が設定されているため、入力キャプチャ A により TCNT の値が TGRA に格納されると同時に、それまで TGRA に格納されていた値が TGRC に転送されます。

10. 16ビットタイマパルスユニット (TPU)

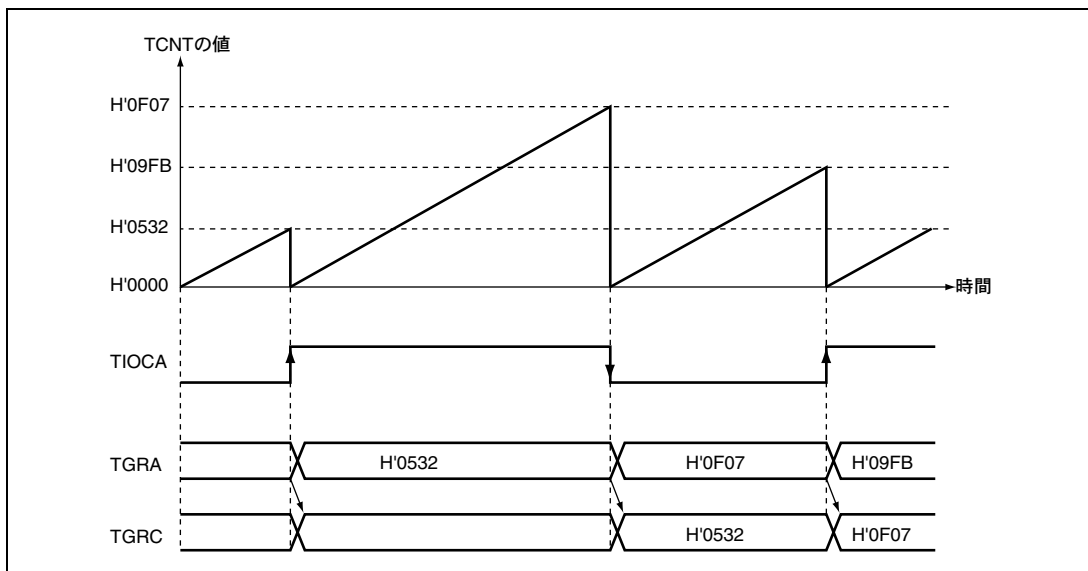


図 10.16 バッファ動作例 (2)

10.4.4 カスケード接続動作

カスケード接続動作は、2チャンネルの16ビットカウンタを接続して32ビットカウンタとして動作させる機能です。

この機能は、チャンネル1(チャンネル4)のカウンタクロックをTCRのTPSC2~TPSC0ビットでTCNT_2(TCNT_5)のオーバフロー/アンダフローでカウントに設定することにより動作します。

アンダフローが発生するのは、下位16ビットのTCNTが位相計数モードのときのみです。

表 10.30 にカスケード接続の組み合わせを示します。

【注】 チャンネル1、4を位相計数モードに設定した場合は、カウンタクロックの設定は無効となり、独立して位相計数モードで動作します。

表 10.30 カスケード接続組み合わせ

組み合わせ	上位16ビット	下位16ビット
チャンネル1とチャンネル2	TCNT_1	TCNT_2
チャンネル4とチャンネル5	TCNT_4	TCNT_5

(1) カスケード接続動作の設定手順例

カスケード接続動作の設定手順例を図 10.17 に示します。

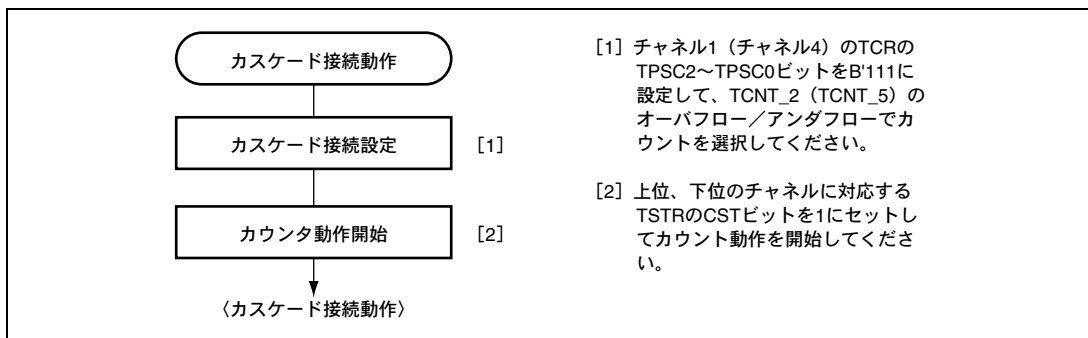


図 10.17 カスケード接続動作設定手順例

(2) カスケード接続動作例

TCNT_1 は TCNT_2 のオーバフロー/アンダフローでカウント、TGRA_1 と TGRA_2 をインプットキャプチャレジスタに設定し、TIOC 端子の立ち上がりエッジを選択した時の動作を図 10.18 に示します。

TIOCA1 端子と TIOCA2 端子に立ち上がりエッジを同時に入力することにより、TGRA_1 に上位 16 ビット、TGRA_2 に下位 16 ビットの 32 ビットデータが転送されます。

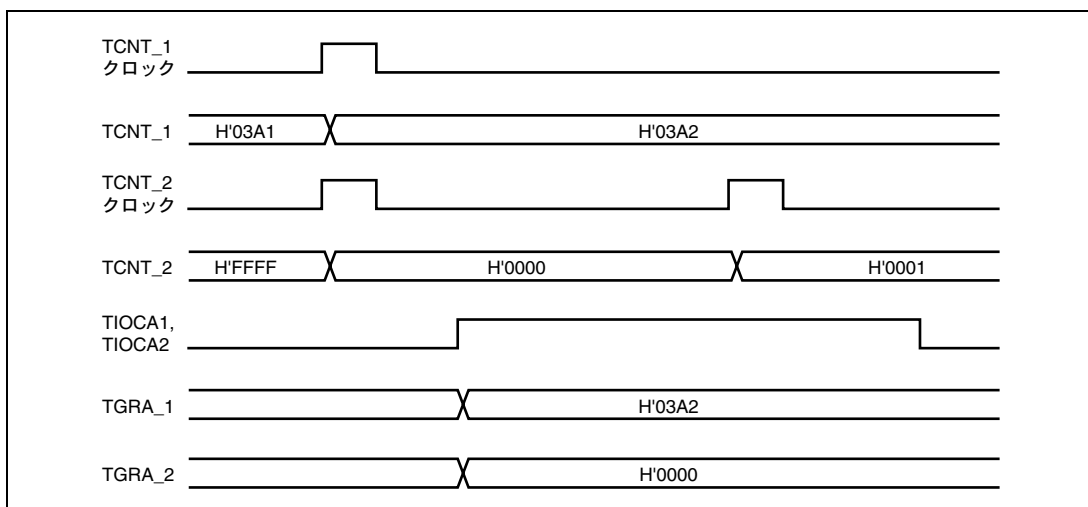


図 10.18 カスケード接続動作例 (1)

10. 16ビットタイマパルスユニット (TPU)

TCNT_1 は TCNT_2 のオーバフロー／アンダフローでカウント、チャンネル 2 を位相計数モードに設定した時の動作を図 10.19 に示します。

TCNT_1 は、TCNT_2 のオーバフローでアップカウント、TCNT_2 のアンダフローでダウンカウントされます。

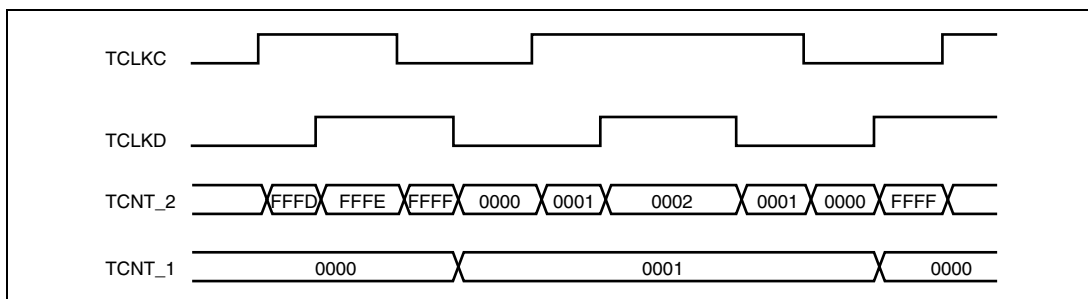


図 10.19 カスケード接続動作例 (2)

10.4.5 PWM モード

PWM モードは出力端子よりそれぞれ PWM 波形を出力するモードです。各 TGR のコンペアマッチによる出力レベルは 0 出力 / 1 出力 / トグル出力の中から選択可能です。

各 TGR の設定により、デューティ 0~100% の PWM 波形が出力できます。

TGR のコンペアマッチをカウンタクリア要因とすることにより、そのレジスタに周期を設定することができます。全チャンネル独立に PWM モードに設定できます。同期動作も可能です。

PWM モードは次に示す 2 種類あります。

(a) PWM モード 1

TGRA と TGRB、TGRC と TGRD をペアで使用して、TIOCA、TIOCC 端子から PWM 出力を生成します。TIOCA、TIOCC 端子からコンペアマッチ A、C によって TIOR の IOA3~IOA0、IOC3~IOC0 ビットで指定した出力を、また、コンペアマッチ B、D によって TIOR の IOB3~IOB0、IOD3~IOD0 ビットで指定した出力を行います。初期出力値は TGRA、TGRC に設定した値になります。ペアで使用する TGR の設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 1 では、最大 8 相の PWM 出力が可能です。

(b) PWM モード 2

TGR の 1 本を周期レジスタ、他の TGR をデューティレジスタに使用して PWM 出力を生成します。コンペアマッチによって、TIOR で指定した出力を行います。また、周期レジスタのコンペアマッチによるカウンタのクリアで各端子の出力値は TIOR で設定した初期値が出力されます。周期レジスタとデューティレジスタの設定値が同一の場合、コンペアマッチが発生しても出力値は変化しません。

PWM モード 2 では、同期動作と併用することにより最大 15 相の PWM 出力が可能です。

PWM 出力端子とレジスタの対応を表 10.31 に示します。

表 10.31 各 PWM 出力のレジスタと出力端子

チャンネル	レジスタ	出力端子	
		PWM モード 1	PWM モード 2
0	TGRA_0	TIOCA0	TIOCA0
	TGRB_0		TIOCB0
	TGRC_0	TIOCC0	TIOCC0
	TGRD_0		TIOCD0
1	TGRA_1	TIOCA1	TIOCA1
	TGRB_1		TIOCB1
2	TGRA_2	TIOCA2	TIOCA2
	TGRB_2		TIOCB2
3	TGRA_3	TIOCA3	TIOCA3
	TGRB_3		TIOCB3
	TGRC_3	TIOCC3	TIOCC3
	TGRD_3		TIOCD3
4	TGRA_4	TIOCA4	TIOCA4
	TGRB_4		TIOCB4
5	TGRA_5	TIOCA5	TIOCA5
	TGRB_5		TIOCB5

【注】 PWM モード 2 のとき、周期を設定した TGR の PWM 出力はできません。

10. 16ビットタイマパルスユニット (TPU)

(1) PWMモードの設定手順例

PWMモードの設定手順例を図10.20に示します。

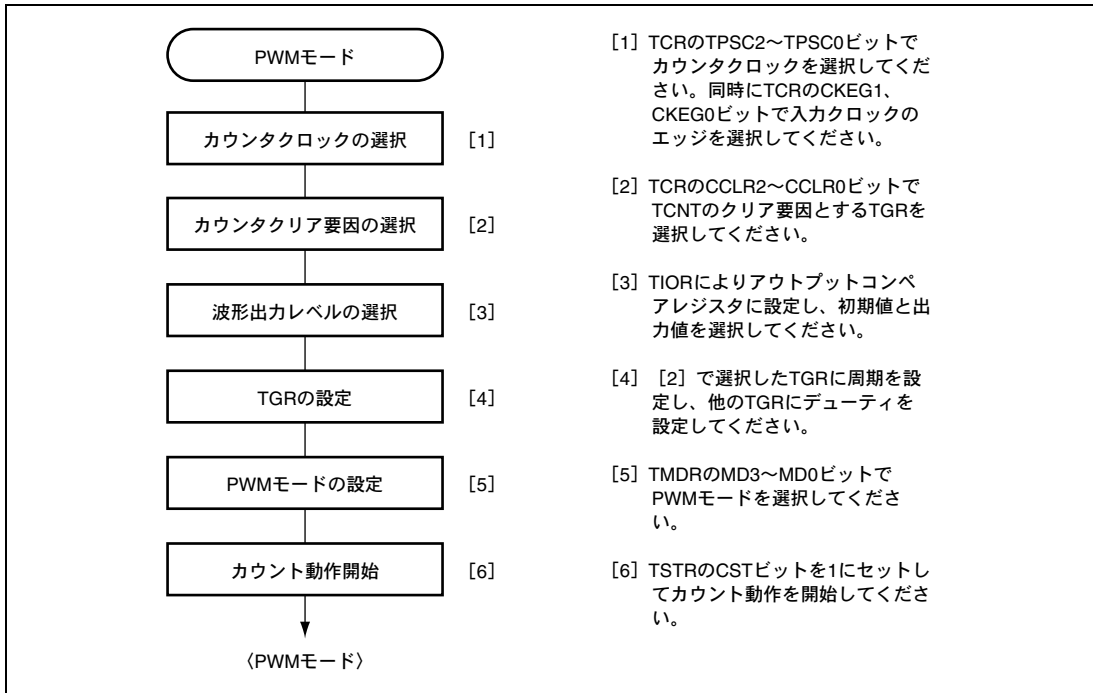


図 10.20 PWMモードの設定手順例

(2) PWMモードの動作例

PWMモード1の動作例を図10.21に示します。

この図は、TCNTのクリア要因をTGRAのコンペアマッチとし、TGRAの初期出力値と出力値を0、TGRBの出力値を1に設定した場合の例です。

この場合、TGRAに設定した値が周期となり、TGRBに設定した値がデューティになります。

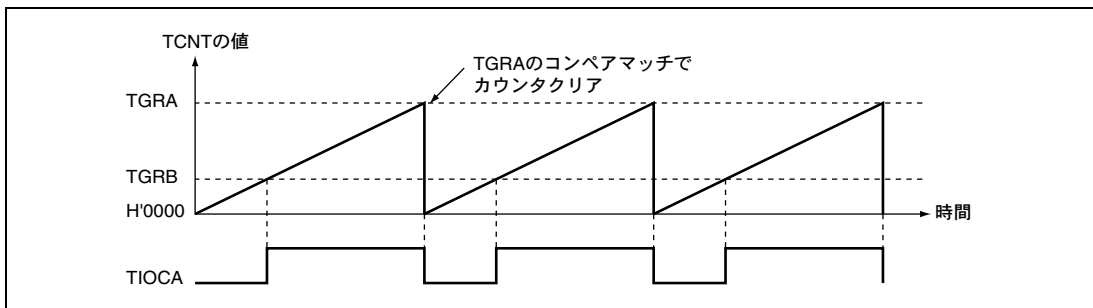


図 10.21 PWMモードの動作例 (1)

PWM モード 2 の動作例を図 10.22 に示します。

この図は、チャンネル 0 と 1 を同期動作させ、TCNT のクリア要因を TGRB_1 のコンペアマッチとし、他の TGR (TGRA_0~TGRD_0, TGRA_1) の初期出力値を 0、出力値を 1 に設定して 5 相の PWM 波形を出力させた場合の例です。

この場合、TGRB_1 に設定した値が周期となり、他の TGR に設定した値がデューティになります。

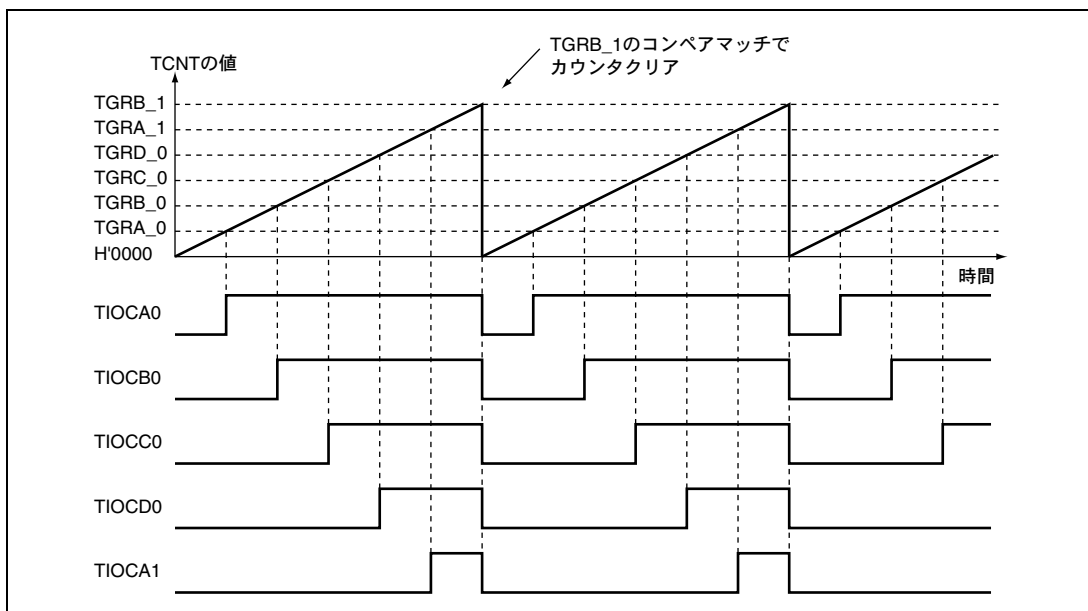


図 10.22 PWM モードの動作例 (2)

10. 16 ビットタイマパルスユニット (TPU)

PWM モードで、デューティ 0%、デューティ 100% の PWM 波形を出力する例を図 10.23 に示します。

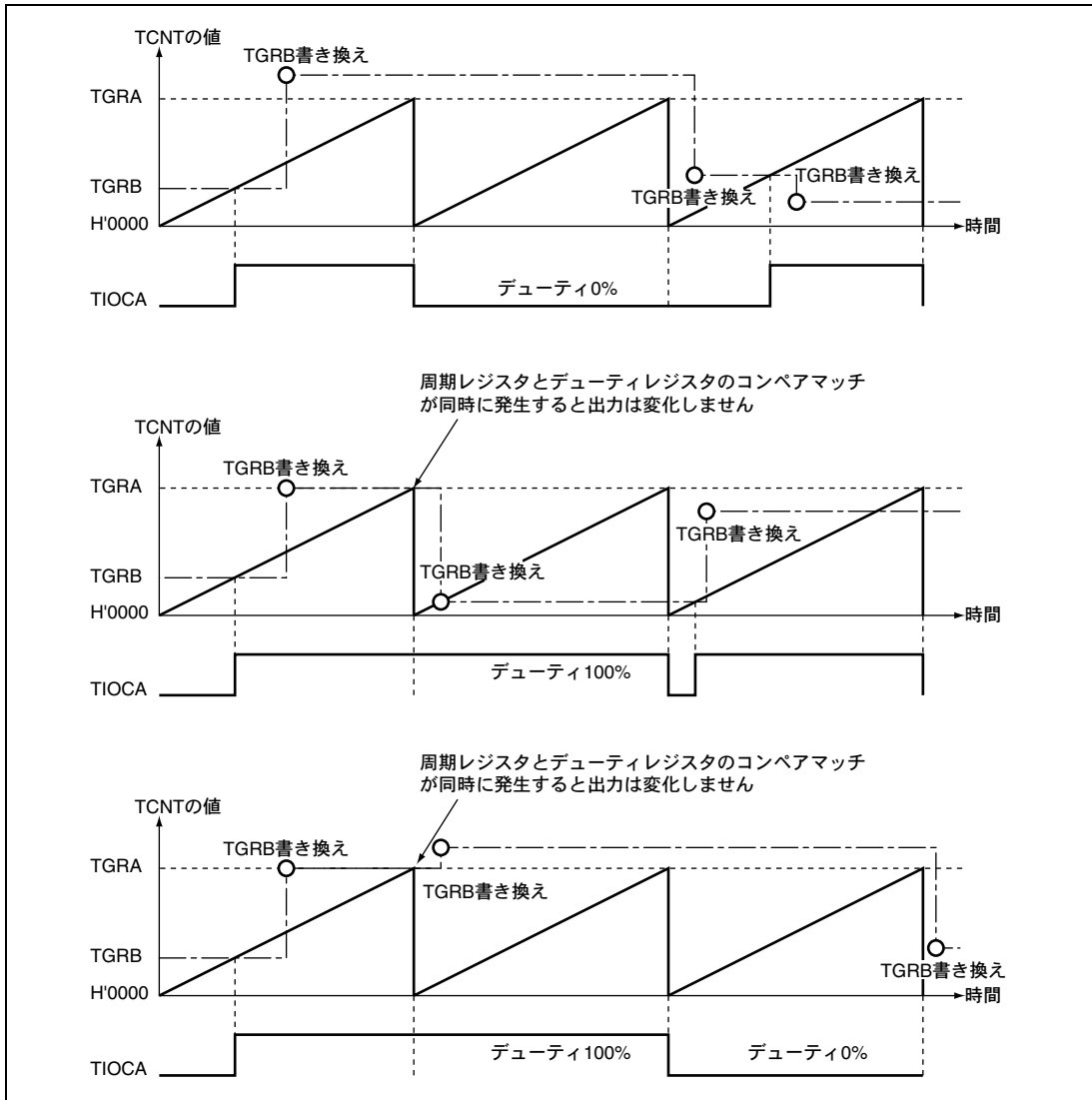


図 10.23 PWM モード動作例 (3)

10.4.6 位相計数モード

位相計数モードは、チャンネル 1、2、4、5 の設定により、2 本の外部クロック入力の位相差を検出し、TCNT をアップ/ダウンカウントします。

位相計数モードに設定すると、TCR の TPSC2~TPSC0 ビット、CKEG1、CKEG0 ビットの設定にかかわらずカウンタ入力クロックは外部クロックを選択し、TCNT はアップ/ダウンカウンタとして動作します。ただし、TCR の CCLR1、CCLR0 ビット、TIOR、TIER、TGR の機能は有効ですので、インプットキャプチャ/コンペアマッチ機能や割り込み機能は使用することができます。

2 相エンコーダパルスの入力として使用できます。

TCNT がアップカウント時、オーバフローが発生するとすると TSR の TCFV フラグがセットされます。また、ダウンカウント時にアンダフローが発生すると、TCFU フラグがセットされます。

TSR の TCFD ビットはカウント方向フラグです。TCFD フラグをリードすることにより、TCNT がアップカウントしているかダウンカウントしているかを確認することができます。

表 10.32 に外部クロック端子とチャンネルの対応を示します。

表 10.32 位相計数モードクロック入力端子

チャンネル	外部クロック端子	
	A 相	B 相
チャンネル 1 または 5 を位相計数モードとするとき	TCLKA	TCLKB
チャンネル 2 または 4 を位相計数モードとするとき	TCLKC	TCLKD

(1) 位相計数モードの設定手順例

位相計数モードの設定手順例を図 10.24 に示します。

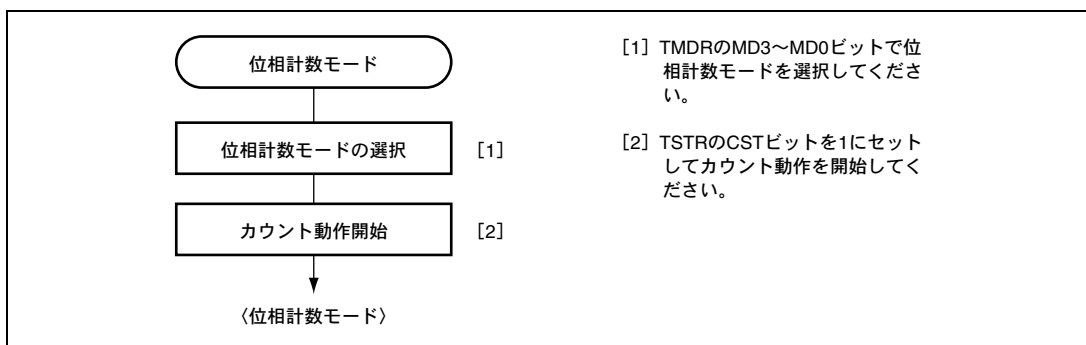


図 10.24 位相計数モードの設定手順例

10. 16 ビットタイマパルスユニット (TPU)

(2) 位相計数モードの動作例

位相計数モードでは、2本の外部クロックの位相差でTCNTがアップ/ダウンカウントします。また、カウント条件により4つのモードがあります。

(a) 位相計数モード1

位相計数モード1の動作例を図10.25に、TCNTのアップ/ダウンカウント条件を表10.33に示します。

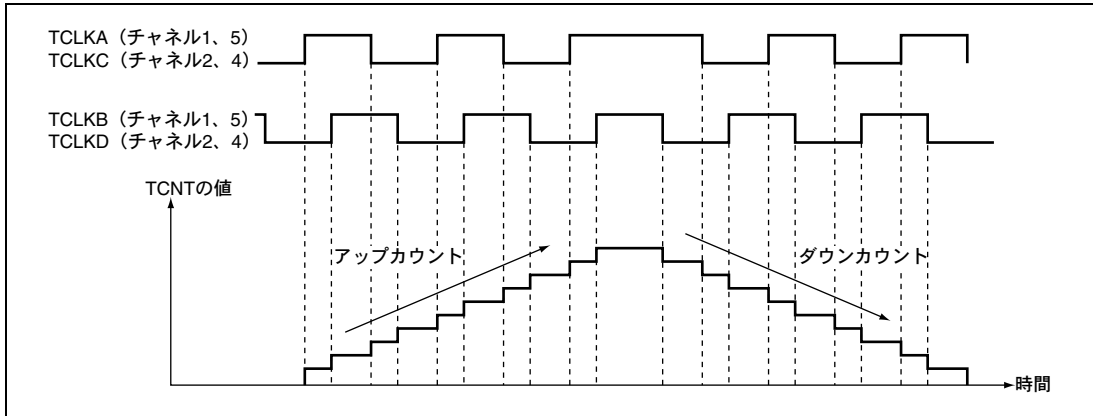


図 10.25 位相計数モード1の動作例

表 10.33 位相計数モード1のアップ/ダウンカウント条件

TCLKA (チャンネル1、5) TCLKC (チャンネル2、4)	TCLKB (チャンネル1、5) TCLKD (チャンネル2、4)	動作内容
High レベル	⏏	アップカウント
Low レベル	⏎	
⏏	Low レベル	
⏎	High レベル	
High レベル	⏎	ダウンカウント
Low レベル	⏏	
⏏	High レベル	
⏎	Low レベル	

【記号説明】

⏏ : 立ち上がりエッジ

⏎ : 立ち下がりエッジ

(b) 位相計数モード 2

位相計数モード 2 の動作例を図 10.26 に、TCNT のアップ/ダウンカウント条件を表 10.34 に示します。

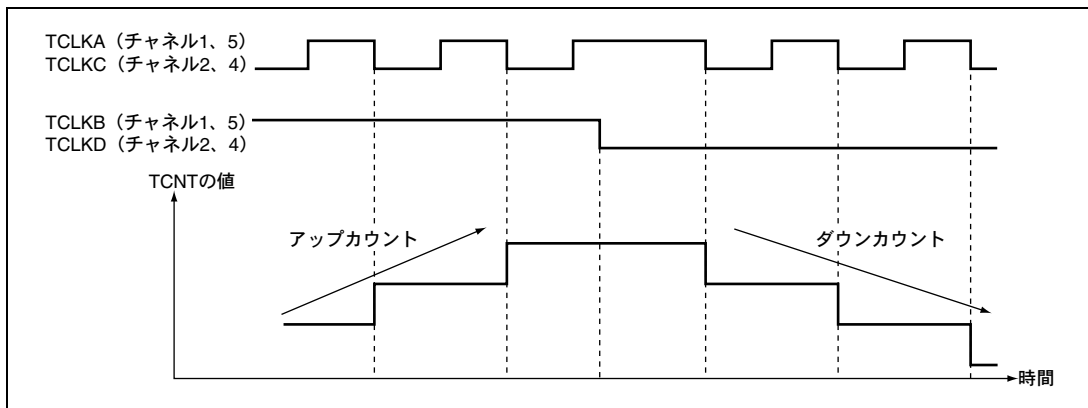


図 10.26 位相計数モード 2 の動作例

表 10.34 位相計数モード 2 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	Don't care
Low レベル	↓	Don't care
↑	Low レベル	Don't care
↓	High レベル	アップカウント
High レベル	↓	Don't care
Low レベル	↑	Don't care
↑	High レベル	Don't care
↓	Low レベル	ダウンカウント

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

10. 16 ビットタイマパルスユニット (TPU)

(c) 位相計数モード 3

位相計数モード 3 の動作例を図 10.27 に、TCNT のアップ/ダウンカウント条件を表 10.35 に示します。

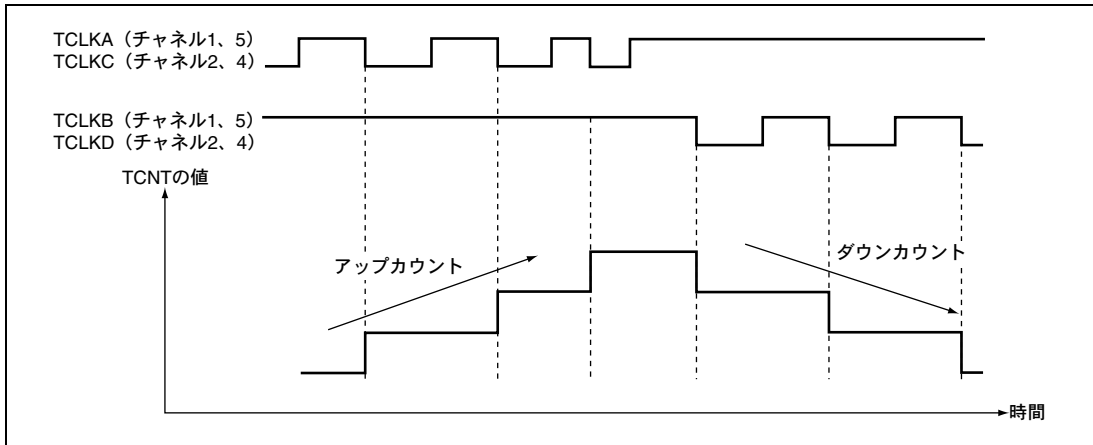


図 10.27 位相計数モード 3 の動作例

表 10.35 位相計数モード 3 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル		Don't care
Low レベル		Don't care
	Low レベル	Don't care
	High レベル	アップカウント
High レベル		ダウンカウント
Low レベル		Don't care
	High レベル	Don't care
	Low レベル	Don't care

【記号説明】

: 立ち上がりエッジ

: 立ち下がりエッジ

(d) 位相計数モード 4

位相計数モード 4 の動作例を図 10.28 に、TCNT のアップ/ダウンカウント条件を表 10.36 に示します。

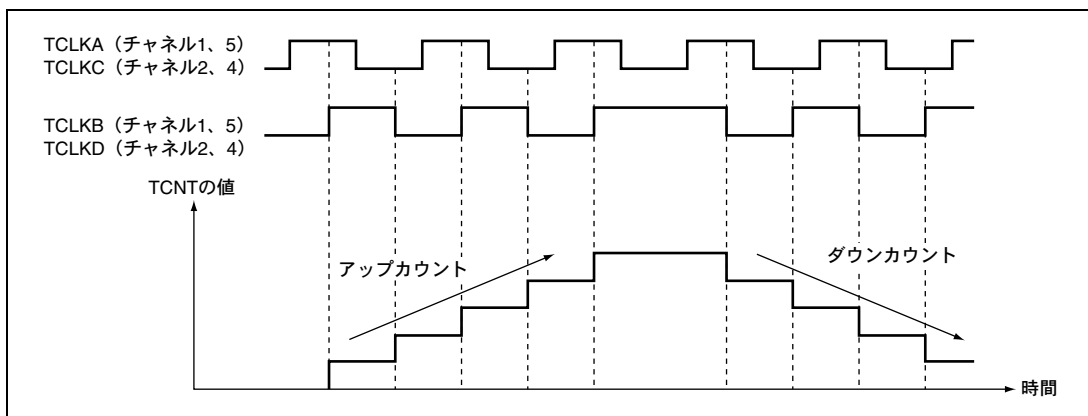


図 10.28 位相計数モード 4 の動作例

表 10.36 位相計数モード 4 のアップ/ダウンカウント条件

TCLKA (チャンネル 1、5) TCLKC (チャンネル 2、4)	TCLKB (チャンネル 1、5) TCLKD (チャンネル 2、4)	動作内容
High レベル	↑	アップカウント
Low レベル	↓	
↑	Low レベル	Don't care
↓	High レベル	
High レベル	↓	ダウンカウント
Low レベル	↑	
↑	High レベル	Don't care
↓	Low レベル	

【記号説明】

↑ : 立ち上がりエッジ

↓ : 立ち下がりエッジ

(3) 位相計数モード応用例

チャンネル 1 を位相計数モードに設定し、チャンネル 0 と連携してサーボモータの 2 相エンコーダパルスを入力して位置または速度を検出する例を図 10.29 に示します。

チャンネル 1 は位相計数モード 1 に設定し、TCLKA と TCLKB にエンコーダパルスの A 相、B 相を入力します。

チャンネル 0 は TCNT を TGRC_0 のコンペアマッチでカウンタクリアとして動作させ、TGRA_0 と TGRC_0 はコンペアマッチ機能で使用して、速度制御周期と位置制御周期を設定します。TGRB_0 はインプットキャプチャ機能で使用し、TGRB_0 と TGRD_0 をバッファ動作させます。TGRB_0 のインプットキャプチャ要因は、チャンネル 1 のカウンタ入カロックとし、2 相エンコーダの 4 通倍パルスのパルス幅を検出します。

10. 16 ビットタイマパルスユニット (TPU)

チャンネル1のTGRA_1とTGRB_1は、入力キャプチャ機能に設定し、入力キャプチャ要因はチャンネル0のTGRA_0とTGRC_0のコンペアマッチを選択し、それぞれの制御周期時のアップ/ダウンカウンタの値を格納します。

これにより、正確な位置/速度検出を行うことができます。

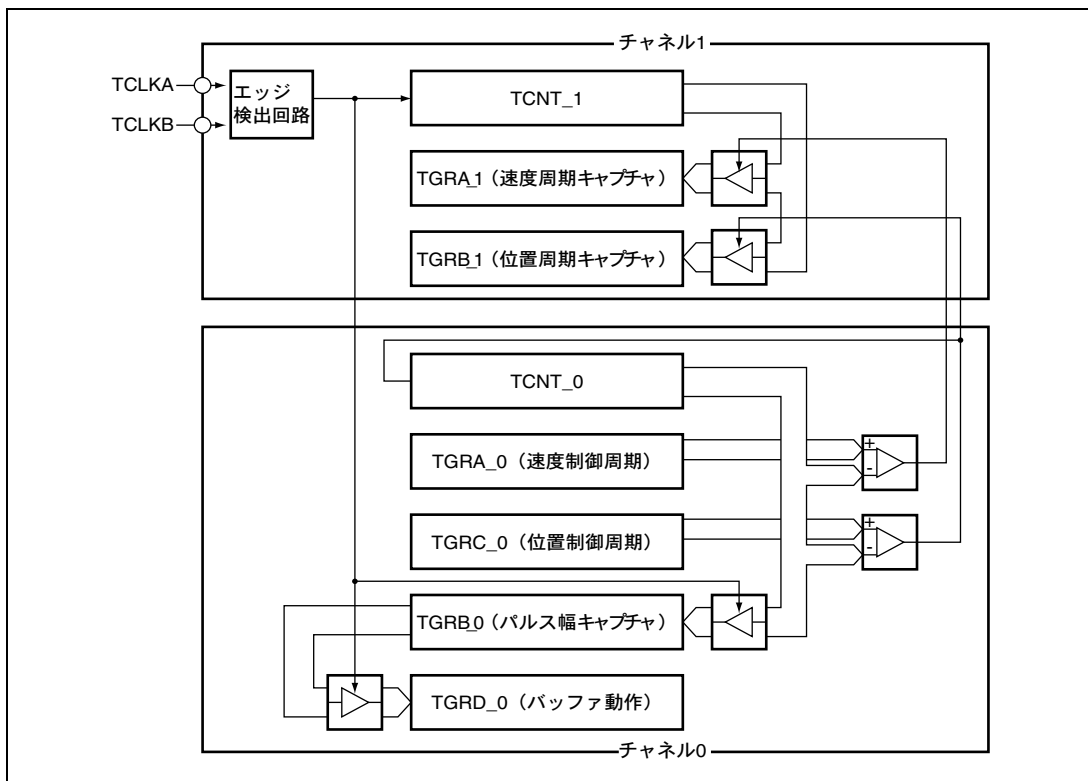


図 10.29 位相計数モードの応用例

10.5 割り込み要因

TPUの割り込み要因には、TGRの入力キャプチャ/コンペアマッチ、TCNTのオーバフロー、アンダフローの3種類があります。各割り込み要因は、それぞれ専用のステータスフラグと、許可/禁止ビットを持っているため、割り込み要求信号の発生を独立に許可または禁止することができます。

割り込み要因が発生すると、TSRの対応するステータスフラグが1にセットされます。このときTIERの対応する許可/禁止ビットが1にセットされていれば、割り込みを要求します。ステータスフラグを0にクリアすることで割り込み要求は解除されます。

チャンネル間の優先順位は、割り込みコントローラにより変更可能です。チャンネル内の優先順位は固定です。詳細は「5. 割り込みコントローラ」を参照してください。

表 10.37 に TPU の割り込み要因の一覧を示します。

表 10.37 TPU 割り込み一覧

チャンネル	名称	割り込み要因	割り込み フラグ	DTC の 起動	DMAC の 起動
0	TGI0A	TGRA_0 のインプットキャプチャ/コンペアマッチ	TGFA_0	可	可
	TGI0B	TGRB_0 のインプットキャプチャ/コンペアマッチ	TGFB_0	可	不可
	TGI0C	TGRC_0 のインプットキャプチャ/コンペアマッチ	TGFC_0	可	不可
	TGI0D	TGRD_0 のインプットキャプチャ/コンペアマッチ	TGFD_0	可	不可
	TCI0V	TCNT_0 のオーバフロー	TCFV_0	不可	不可
1	TGI1A	TGRA_1 のインプットキャプチャ/コンペアマッチ	TGFA_1	可	可
	TGI1B	TGRB_1 のインプットキャプチャ/コンペアマッチ	TGFB_1	可	不可
	TCI1V	TCNT_1 のオーバフロー	TCFV_1	不可	不可
	TCI1U	TCNT_1 のアンダフロー	TCFU_1	不可	不可
2	TGI2A	TGRA_2 のインプットキャプチャ/コンペアマッチ	TGFA_2	可	可
	TGI2B	TGRB_2 のインプットキャプチャ/コンペアマッチ	TGFB_2	可	不可
	TCI2V	TCNT_2 のオーバフロー	TCFV_2	不可	不可
	TCI2U	TCNT_2 のアンダフロー	TCFU_2	不可	不可
3	TGI3A	TGRA_3 のインプットキャプチャ/コンペアマッチ	TGFA_3	可	可
	TGI3B	TGRB_3 のインプットキャプチャ/コンペアマッチ	TGFB_3	可	不可
	TGI3C	TGRC_3 のインプットキャプチャ/コンペアマッチ	TGFC_3	可	不可
	TGI3D	TGRD_3 のインプットキャプチャ/コンペアマッチ	TGFD_3	可	不可
	TCI3V	TCNT_3 のオーバフロー	TCFV_3	不可	不可
4	TGI4A	TGRA_4 のインプットキャプチャ/コンペアマッチ	TGFA_4	可	可
	TGI4B	TGRB_4 のインプットキャプチャ/コンペアマッチ	TGFB_4	可	不可
	TCI4V	TCNT_4 のオーバフロー	TCFV_4	不可	不可
	TCI4U	TCNT_4 のアンダフロー	TCFU_4	不可	不可
5	TGI5A	TGRA_5 のインプットキャプチャ/コンペアマッチ	TGFA_5	可	可
	TGI5B	TGRB_5 のインプットキャプチャ/コンペアマッチ	TGFB_5	可	不可
	TCI5V	TCNT_5 のオーバフロー	TCFV_5	不可	不可
	TCI5U	TCNT_5 のアンダフロー	TCFU_5	不可	不可

【注】 リセット直後の初期状態について示しています。チャンネル間の優先順位は割り込みコントローラにより変更可能です。

10. 16ビットタイマパルスユニット (TPU)

(1) インพุットキャプチャ/コンペアマッチ割り込み

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGF フラグが 1 にセットされたとき、TIER の TGIE ビットが 1 にセットされていれば、割り込みを要求します。TGF フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 0、3 に各 4 本、チャンネル 1、2、4、5 に各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みがあります。

(2) オーバフロー割り込み

各チャンネルの TCNT のオーバフローの発生により、TSR の TCFV フラグが 1 にセットされたとき、TIER の TCIEV ビットが 1 にセットされていれば、割り込みを要求します。TCFV フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、各チャンネルに 1 本、計 6 本のオーバフロー割り込みがあります。

(3) アンダフロー割り込み

各チャンネルの TCNT のアンダフローの発生により、TSR の TCFU フラグが 1 にセットされたとき、TIER の TCIEU ビットが 1 にセットされていれば、割り込みを要求します。TCFU フラグを 0 にクリアすることで割り込み要求は解除されます。TPU には、チャンネル 1、2、4、5 に各 1 本、計 4 本のアンダフロー割り込みがあります。

10.6 DTC の起動

各チャンネルの TGR のインพุットキャプチャ/コンペアマッチ割り込みによって、DTC を起動することができます。詳細は「8. データトランスファコントローラ (DTC)」を参照してください。

TPU では、チャンネル 0、3 が各 4 本、チャンネル 1、2、4、5 が各 2 本、計 16 本のインพุットキャプチャ/コンペアマッチ割り込みを DTC の起動要因とすることができます。

10.7 DMAC の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチ割り込みによって、DMAC を起動することができます。詳細は「7. DMA コントローラ (DMAC)」を参照してください。

TPU では、各チャンネルに 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを DMAC の起動要因とすることができます。

10.8 A/D 変換器の起動

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチによって、A/D 変換器を起動することができます。

各チャンネルの TGRA のインพุットキャプチャ/コンペアマッチの発生により、TSR の TGFA フラグが 1 にセットされたとき、TIER の TTGE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。このとき A/D 変換器側で、TPU の変換開始トリガが選択されていれば、A/D 変換が開始されます。

TPU では、各チャンネル 1 本、計 6 本の TGRA のインพุットキャプチャ/コンペアマッチ割り込みを A/D 変換器の変換開始要因とすることができます。

10.9 動作タイミング

10.9.1 入出カタイミング

(1) TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 10.30 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 10.31 に示します。

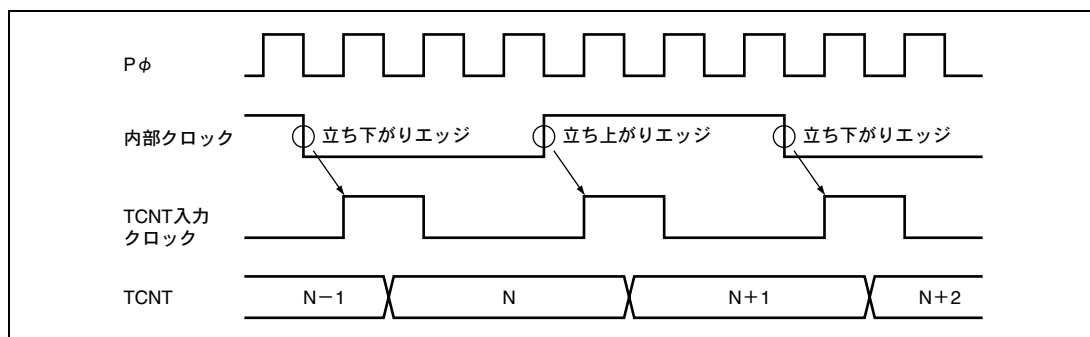


図 10.30 内部クロック動作時のカウントタイミング

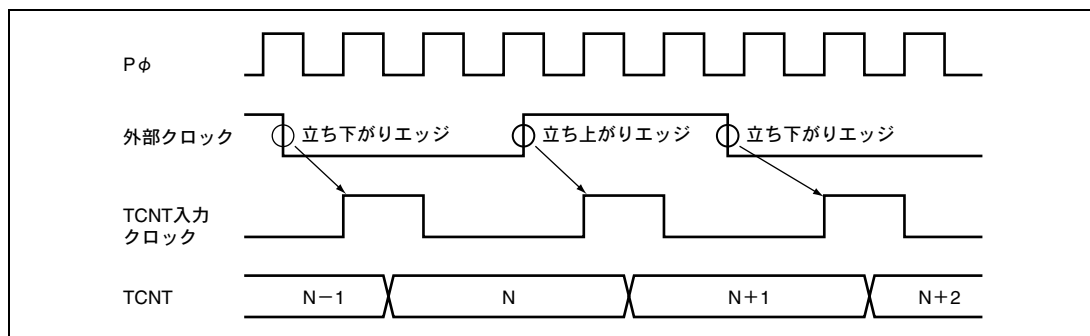


図 10.31 外部クロック動作時のカウントタイミング

10. 16 ビットタイマパルスユニット (TPU)

(2) アウトプットコンペア出力タイミング

コンペアマッチ信号は、TCNT と TGR が一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。コンペアマッチ信号が発生したとき、TIOR で設定した出力値がアウトプットコンペア出力端子 (TIOC 端子) に出力されます。TCNT と TGR が一致した後、TCNT 入力クロックが発生するまで、コンペアマッチ信号は発生しません。

アウトプットコンペア出力タイミングを図 10.32 に示します。

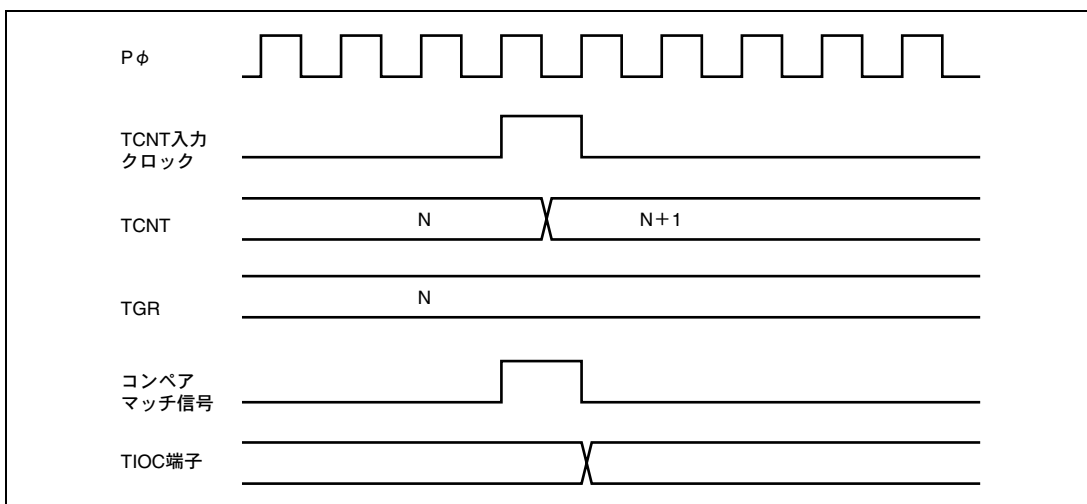


図 10.32 アウトプットコンペア出力タイミング

(3) インプットキャプチャ信号タイミング

インプットキャプチャのタイミングを図 10.33 に示します。

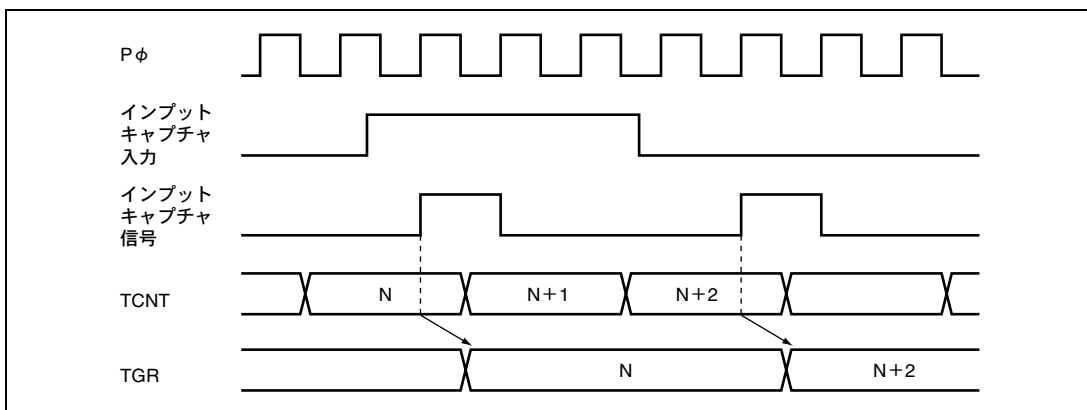


図 10.33 インプットキャプチャ入力信号タイミング

(4) コンペアマッチ/インプットキャプチャによるカウンタクリアタイミング

コンペアマッチの発生によるカウンタクリアを指定した場合のタイミングを図 10.34 に示します。

インプットキャプチャの発生によるカウンタクリアを指定した場合のタイミングを図 10.35 に示します。

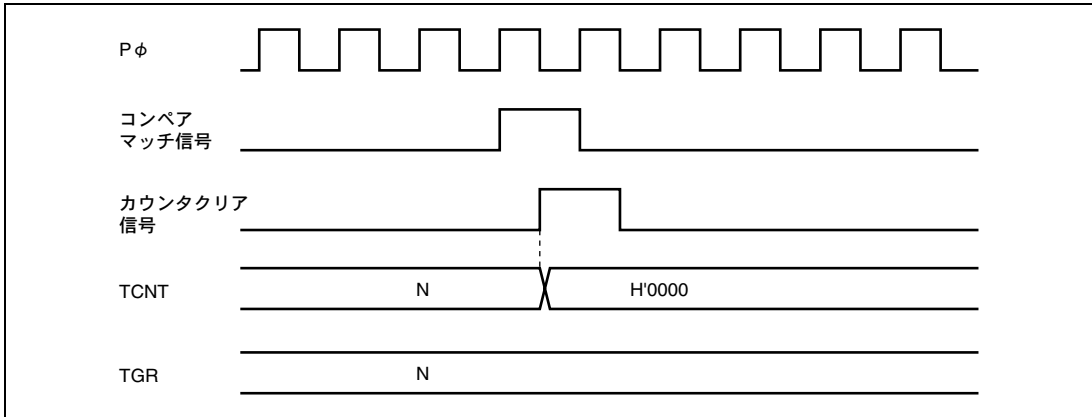


図 10.34 カウンタクリアタイミング (コンペアマッチ)

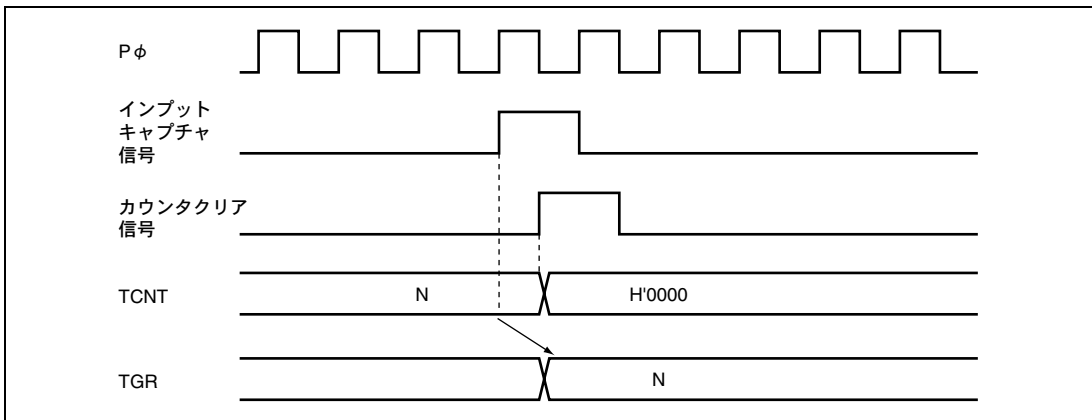


図 10.35 カウンタクリアタイミング (インプットキャプチャ)

10. 16 ビットタイマパルスユニット (TPU)

(5) バッファ動作タイミング

バッファ動作の場合のタイミングを図 10.36、図 10.37 に示します。

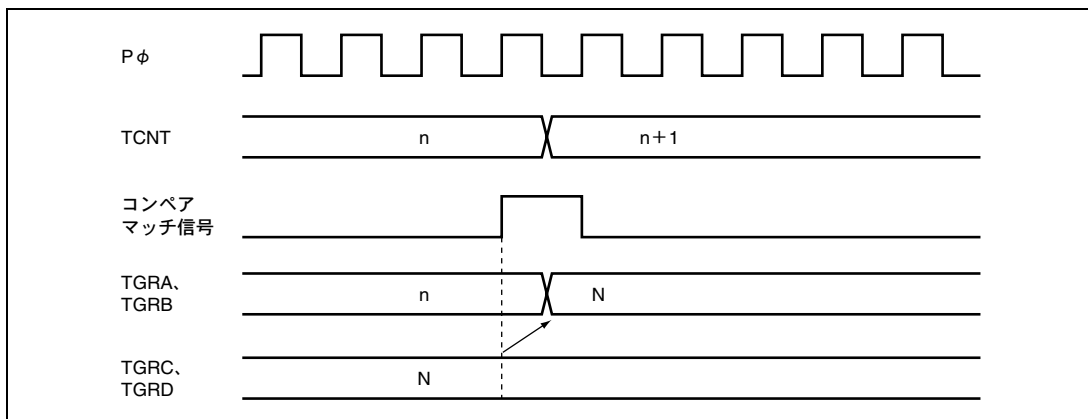


図 10.36 バッファ動作タイミング (コンペアマッチ)

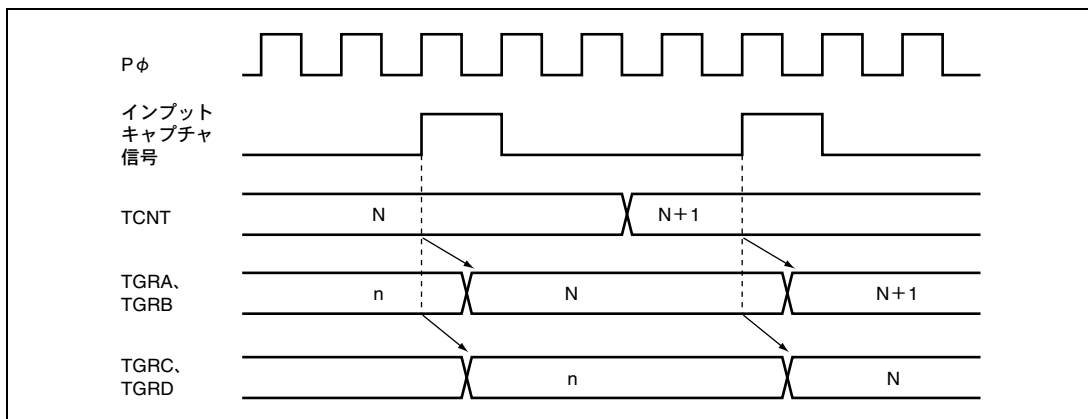


図 10.37 バッファ動作タイミング (インプットキャプチャ)

10.9.2 割り込み信号タイミング

(1) コンペアマッチ時の TGF フラグのセットタイミング

コンペアマッチの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.38 に示します。

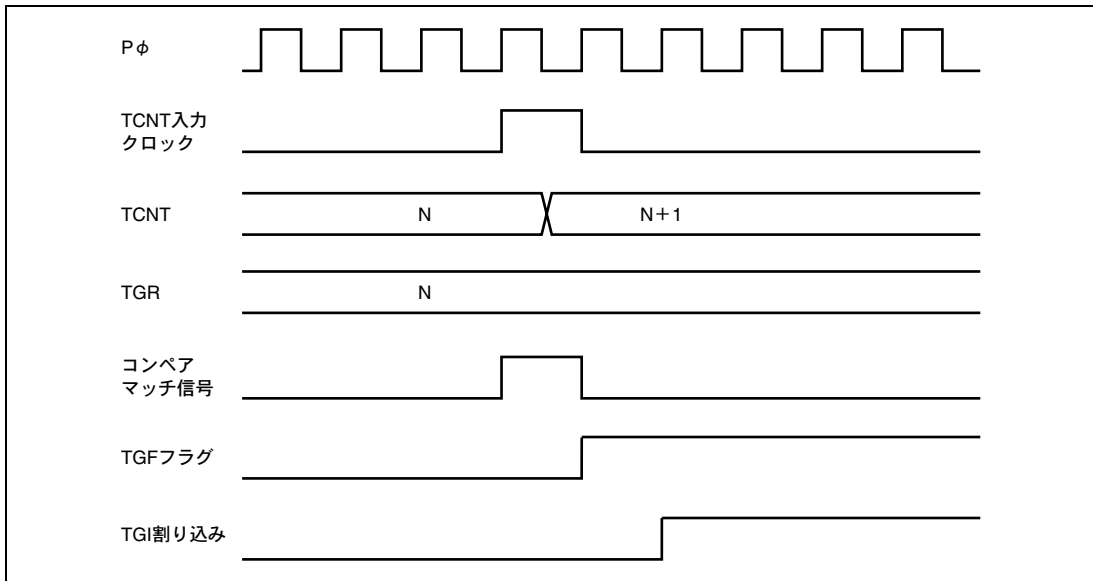


図 10.38 TGI 割り込みタイミング (コンペアマッチ)

10. 16ビットタイマパルスユニット (TPU)

(2) インพุットキャプチャ時の TGF フラグのセットタイミング

インพุットキャプチャの発生による TSR の TGF フラグのセットタイミングと、TGI 割り込み要求信号のタイミングを図 10.39 に示します。

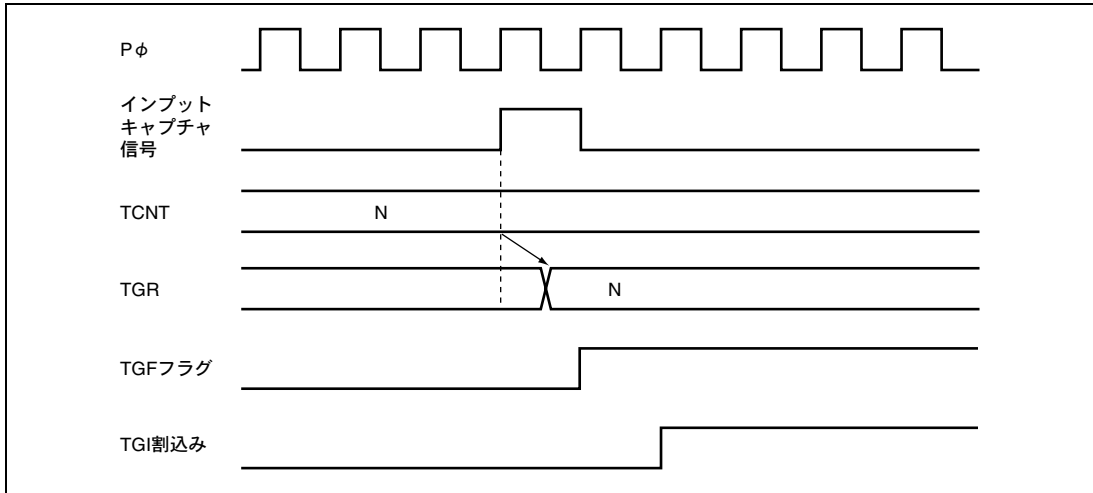


図 10.39 TGI 割り込みタイミング (インพุットキャプチャ)

(3) TCFV フラグ/TCFU フラグのセットタイミング

オーバフローの発生による TSR の TCFV フラグのセットタイミングと、TCIV 割り込み要求信号のタイミングを図 10.40 に示します。

アンダフローの発生による TSR の TCFU フラグのセットタイミングと、TCIU 割り込み要求信号のタイミングを図 10.41 に示します。

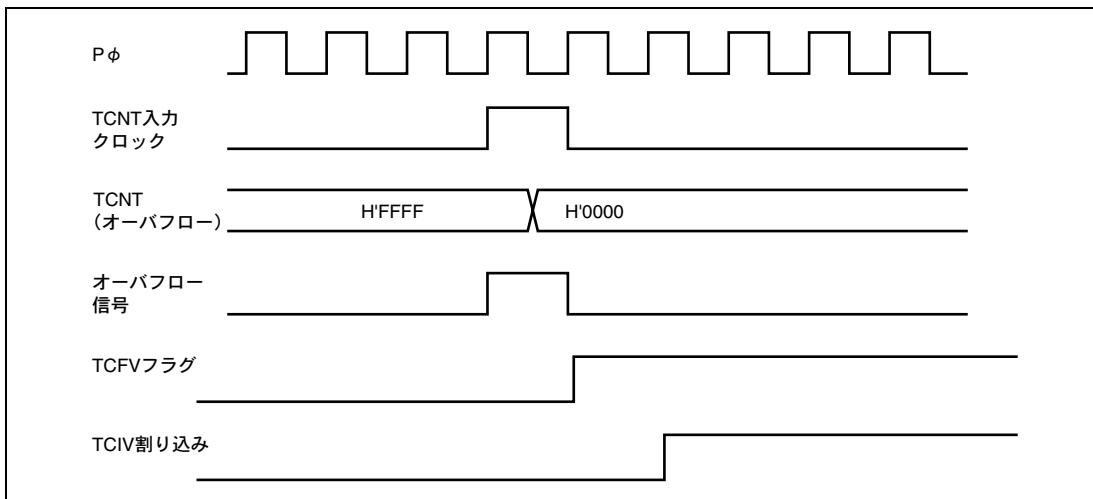


図 10.40 TCIV 割り込みのセットタイミング

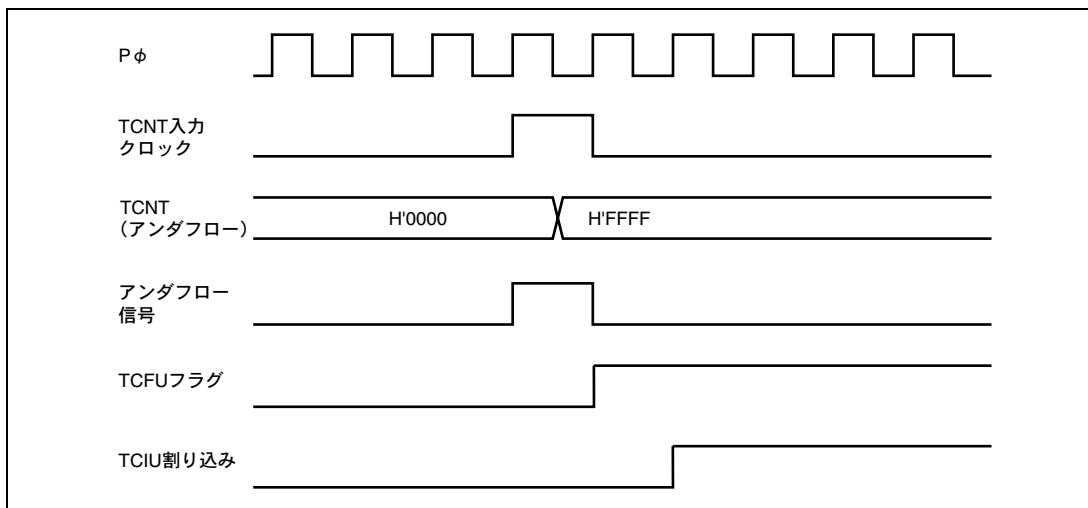


図 10.41 TCIU 割り込みのセットタイミング

(4) ステータスフラグのクリアタイミング

ステータスフラグはCPUが1の状態をリードした後、0をライトするとクリアされます。DTCまたはDMACを起動する場合は、自動的にクリアすることもできます。CPUによるステータスフラグのクリアタイミングを図10.42に、DTCまたはDMACによるステータスフラグのクリアのタイミングを図10.43、図10.44に示します。

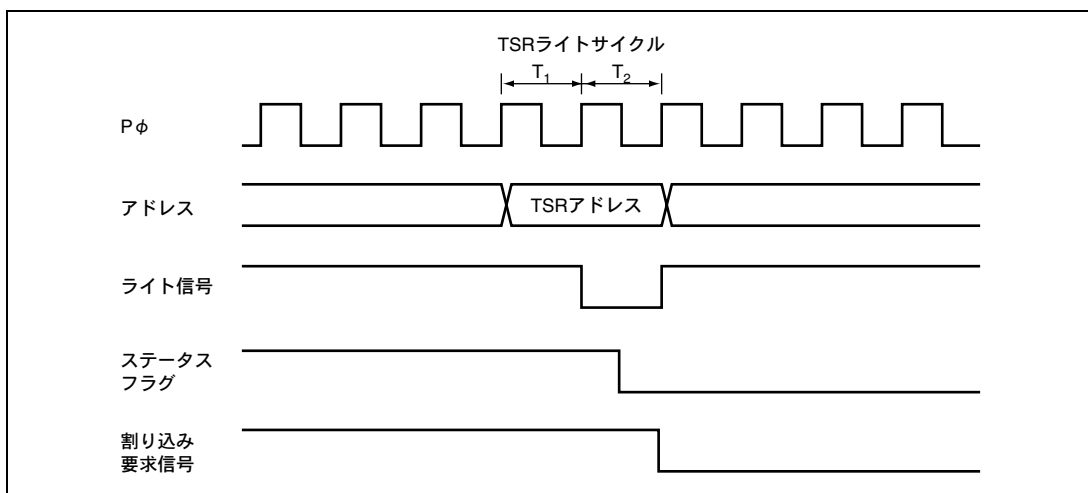


図 10.42 CPUによるステータスフラグのクリアタイミング

10. 16 ビットタイマパルスユニット (TPU)

ステータスフラグ、割り込み要求信号のクリアは、図 10.43 に示すように DTC または DMAC の転送が開始されてから Pφ に同期して行われます。複数の DTC、DMAC を起動し、ステータスフラグ、割り込み要求信号のクリアが重なった場合は、図 10.44 に示すようにクリアに最大 5 クロック (Pφ) かかります。次の転送要求は、当該の転送が終了するまで、または転送開始から Pφ で 5 クロックの期間、どちらか長い方の期間マスクされます。

なお、DTC の転送では、ステータスフラグのクリアがデスティネーションアドレス出力時に行われることがあります。

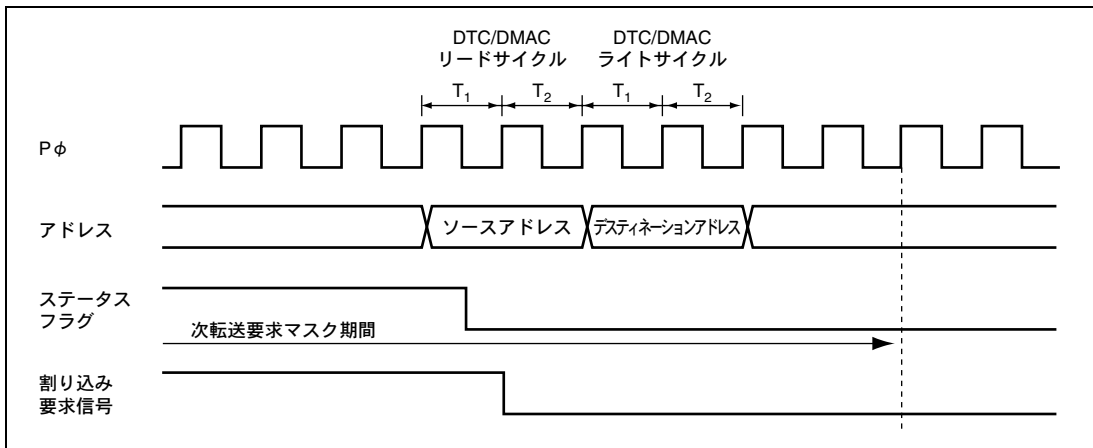


図 10.43 DTC/DMAC の起動によるステータスフラグのクリアタイミング例 (1)

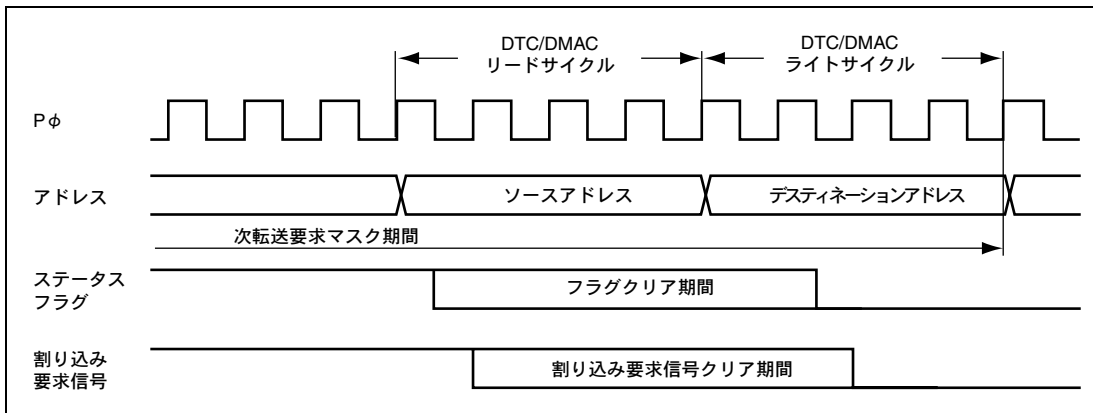


図 10.44 DTC/DMAC の起動によるステータスフラグのクリアタイミング例 (2)

10.10 使用上の注意事項

10.10.1 モジュールストップ状態への設定

モジュールストップコントロールレジスタにより、TPU の動作禁止/許可を設定することが可能です。初期値では、TPU の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「23. 低消費電力」を参照してください。

10.10.2 入力クロックの制限事項

入力クロックのパルス幅は、単エッジの場合は 1.5 ステートクロック以上、両エッジの場合は 2.5 ステート以上が必要です。これ以下のパルス幅では正しく動作しませんのでご注意ください。

位相計数モードの場合は、2 本の入力クロックの位相差およびオーバーラップはそれぞれ 1.5 ステート以上、パルス幅は 2.5 ステート以上が必要です。位相計数モードの入力クロックの条件を図 10.45 に示します。

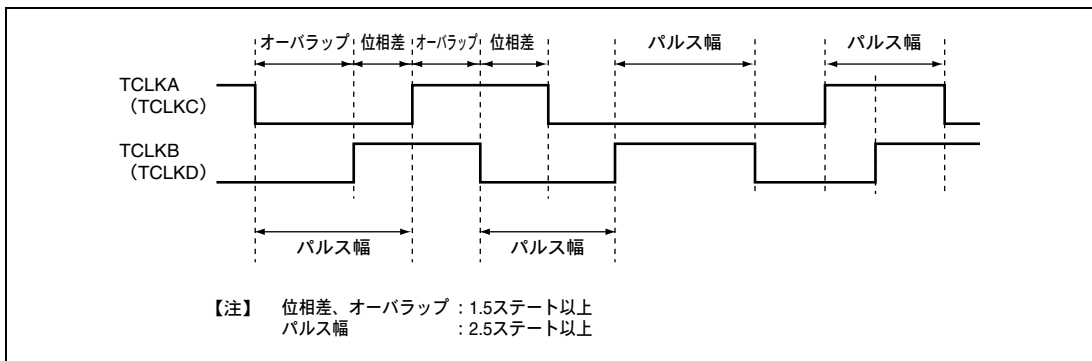


図 10.45 位相計数モード時の位相差、オーバーラップ、およびパルス幅

10. 16ビットタイマパルスユニット (TPU)

10.10.3 周期設定上の注意事項

コンペアマッチによるカウンタクリアを設定した場合、TCNTはTGRの値と一致した最後のステート（TCNTが一致したカウント値を更新するタイミング）でクリアされます。このため、実際のカウンタの周波数は次の式のようになります。

$$f = \frac{P\phi}{(N+1)}$$

f : カウンタ周波数

Pφ : 動作周波数

N : TGRの設定値

10.10.4 TCNTのライトとクリアの競合

TCNTのライトサイクル中のT2ステートでカウンタクリア信号が発生すると、TCNTへのライトは行われずにTCNTのクリアが優先されます。このタイミングを図10.46に示します。

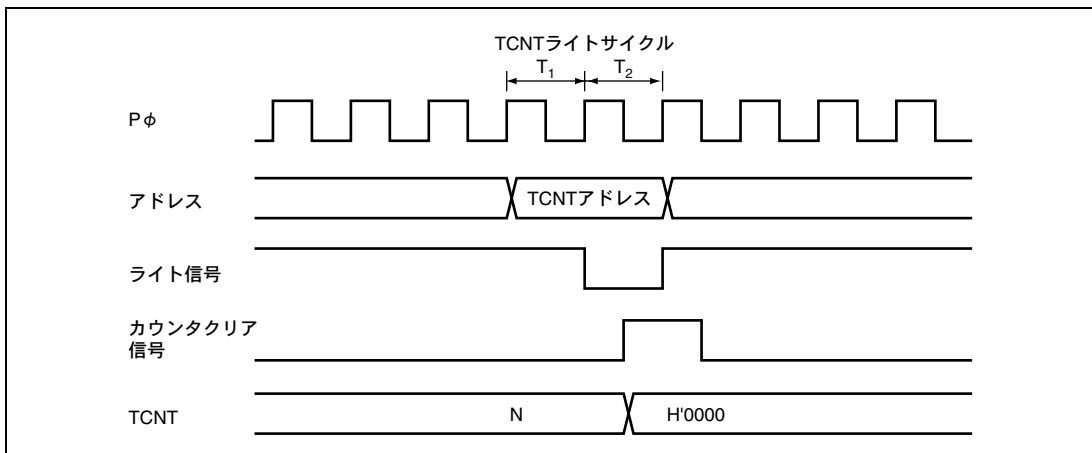


図 10.46 TCNTのライトとクリアの競合

10.10.5 TCNT のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生してもカウントアップされず、TCNT へのライトが優先されます。このタイミングを図 10.47 に示します。

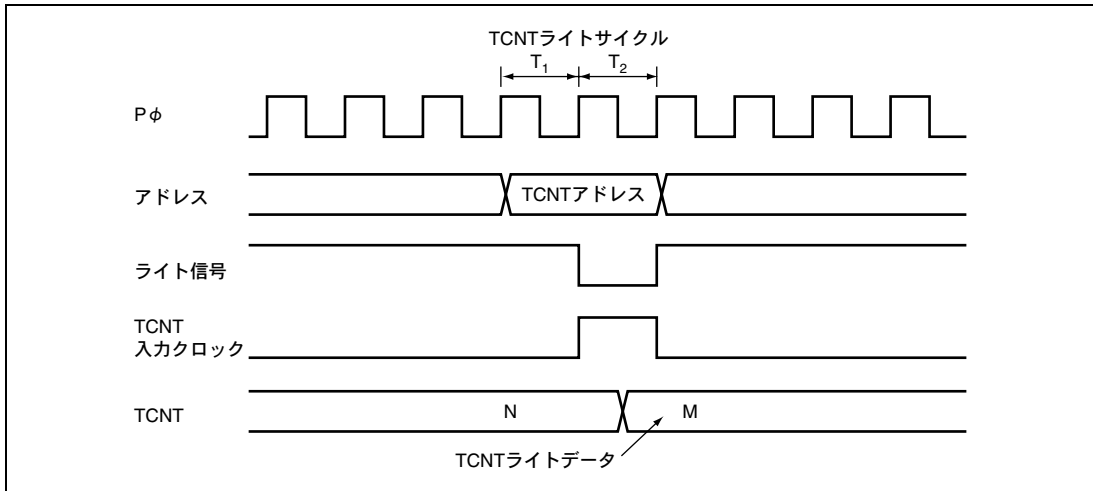


図 10.47 TCNT のライトとカウントアップの競合

10.10.6 TGR のライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生しても TGR のライトが優先され、コンペアマッチ信号は禁止されます。前回と同じ値をライトした場合でもコンペアマッチは発生しません。

このタイミングを図 10.48 に示します。

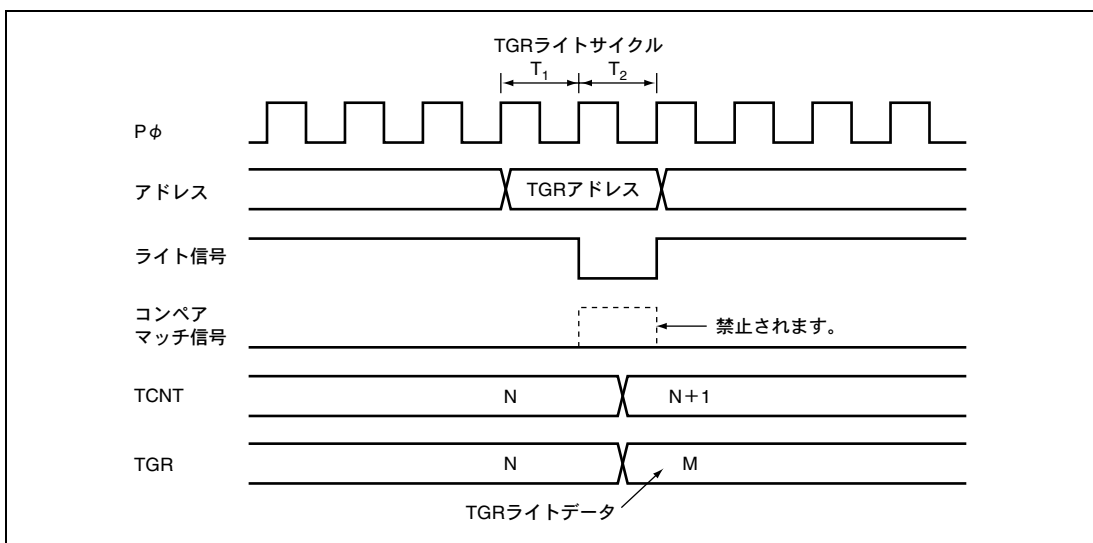


図 10.48 TGR のライトとコンペアマッチの競合

10.10.7 バッファレジスタのライトとコンペアマッチの競合

TGR のライトサイクル中の T2 ステートでコンペアマッチが発生すると、バッファ動作によって TGR に転送されるデータはライトデータとなります。

このタイミングを図 10.49 に示します。

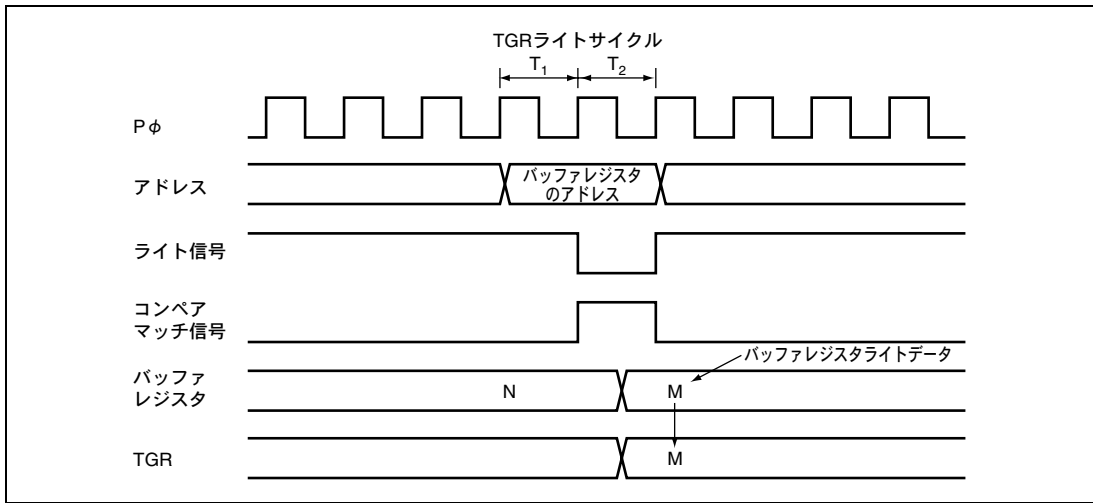


図 10.49 バッファレジスタのライトとコンペアマッチの競合

10.10.8 TGR のリードとインプットキャプチャの競合

TGR のリードサイクル中の T1 ステートでインプットキャプチャ信号が発生すると、リードされるデータはインプットキャプチャ転送後のデータとなります。

このタイミングを図 10.50 に示します。

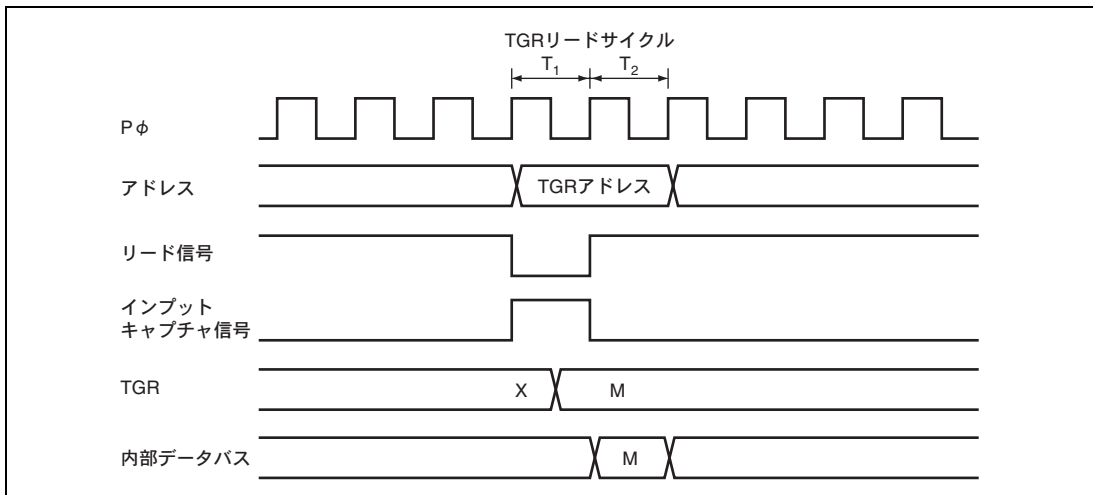


図 10.50 TGR のリードとインプットキャプチャの競合

10.10.9 TGR のライトとインプットキャプチャの競合

TGR のライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、TGR へのライトは行われず、インプットキャプチャが優先されます。このタイミングを図 10.51 に示します。

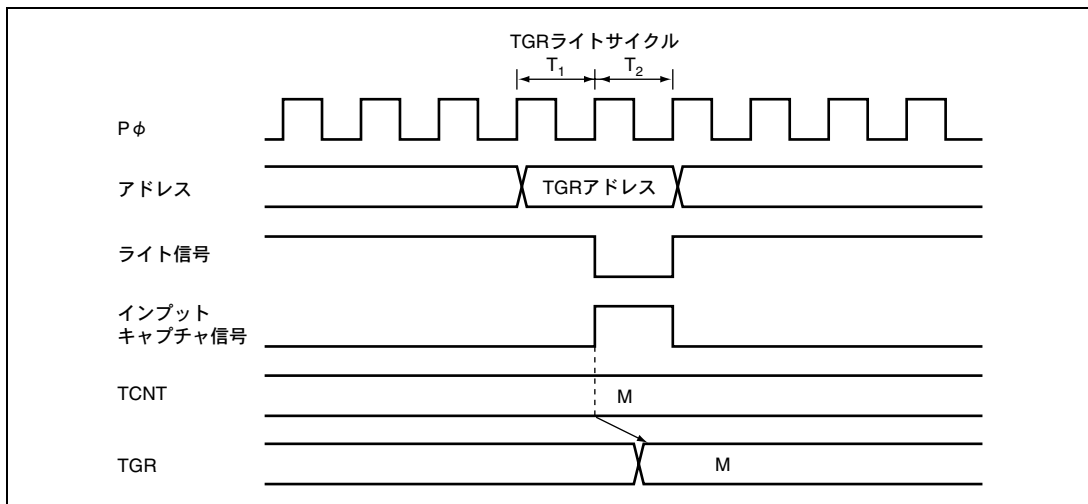


図 10.51 TGR のライトとインプットキャプチャの競合

10.10.10 バッファレジスタのライトとインプットキャプチャの競合

バッファレジスタのライトサイクル中の T2 ステートでインプットキャプチャ信号が発生すると、バッファレジスタへのライトは行われず、バッファ動作が優先されます。このタイミングを図 10.52 に示します。

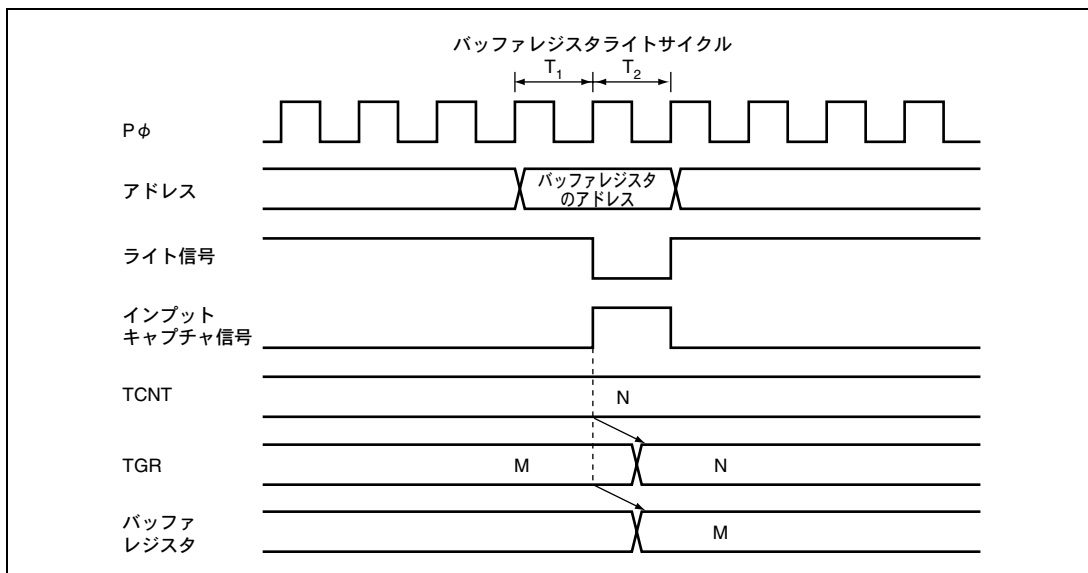


図 10.52 バッファレジスタのライトとインプットキャプチャの競合

10. 16ビットタイマパルスユニット (TPU)

10.10.11 オーバフロー／アンダフローとカウンタクリアの競合

オーバフロー／アンダフローとカウンタクリアが同時に発生すると、TSRのTCFV/TCFUフラグはセットされず、TCNTのクリアが優先されます。

TGRのコンペアマッチをクリア要因とし、TGRにH'FFFFを設定した場合の動作タイミングを図10.53に示します。

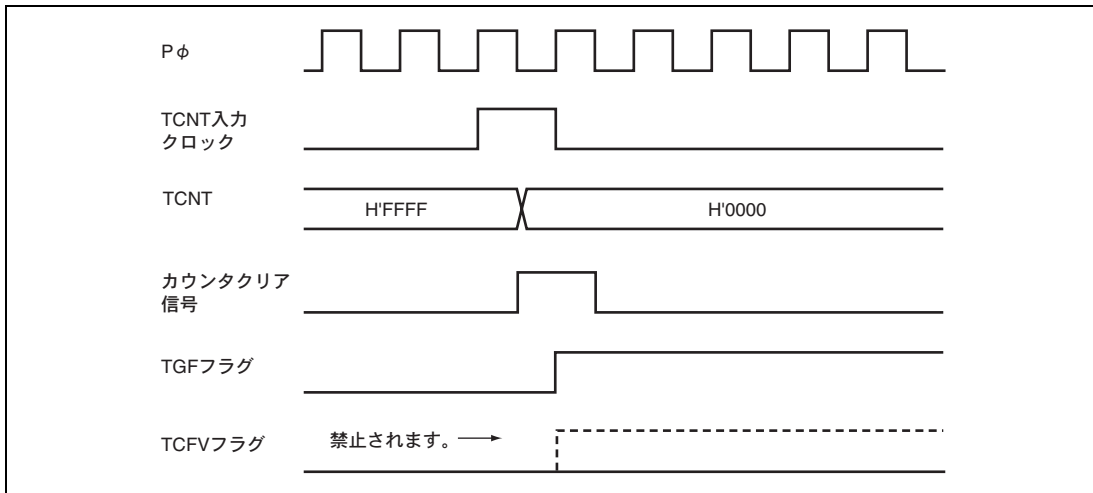


図 10.53 オーバフローとカウンタクリアの競合

10.10.12 TCNTのライトとオーバフロー／アンダフローの競合

TCNTのライトサイクル中のT2ステートでカウントアップ／カウントダウンが発生し、オーバフロー／アンダフローが発生してもTCNTへのライトが優先され、TSRのTCFV/TCFUフラグはセットされません。

TCNTのライトとオーバフロー競合時の動作タイミングを図10.54に示します。

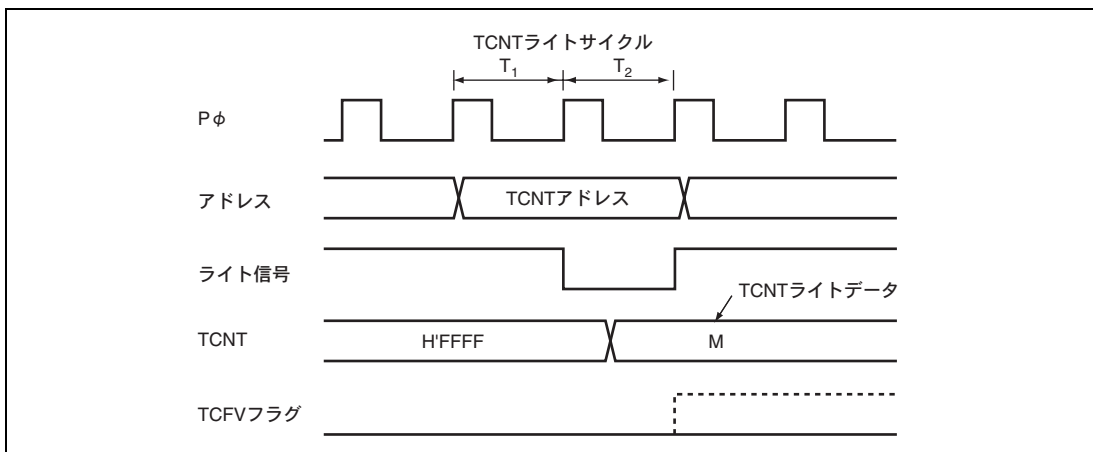


図 10.54 TCNTのライトとオーバフローの競合

10.10.13 入出力端子の兼用

本 LSI では、TCLKA 入力と TIOCC0 入出力、TCLKB 入力と TIOCD0 入出力、TCLKC 入力と TIOCB1 入出力、TCLKD 入力と TIOCB2 入出力の端子がそれぞれ兼用になっています。外部クロックを入力する場合には、兼用されている端子からコンペアマッチ出力を行わないでください。

10.10.14 モジュールストップ時の割り込み

割り込みが要求された状態でモジュールストップ状態にすると、CPU の割り込み要因、DMAC または DTC の起動要因のクリアができません。事前に割り込みをディスエーブルしてからモジュールストップ状態としてください。

10. 16ビットタイマパルスユニット (TPU)

11. プログラマブルパルスジェネレータ (PPG)

プログラマブルパルスジェネレータ (PPG) は 16 ビットタイマパルスユニット (TPU) をタイムベースとしてパルスを出力します。PPG は 4 ビット単位のパルス出力グループ 3~0 から構成されており、これらは同時に動作させることも、独立に動作させることもできます。PPG のブロック図を図 11.1 に示します。

11.1 特長

- 出力データ16ビット
- 4系統の出力可能
- 出力トリガ信号を選択可能
- ノンオーバーラップ動作可能
- データトランスファコントローラ (DTC) 、DMAコントローラ (DMAC) との連携動作可能
- 反転出力の指定可能
- モジュールストップ状態への設定が可能

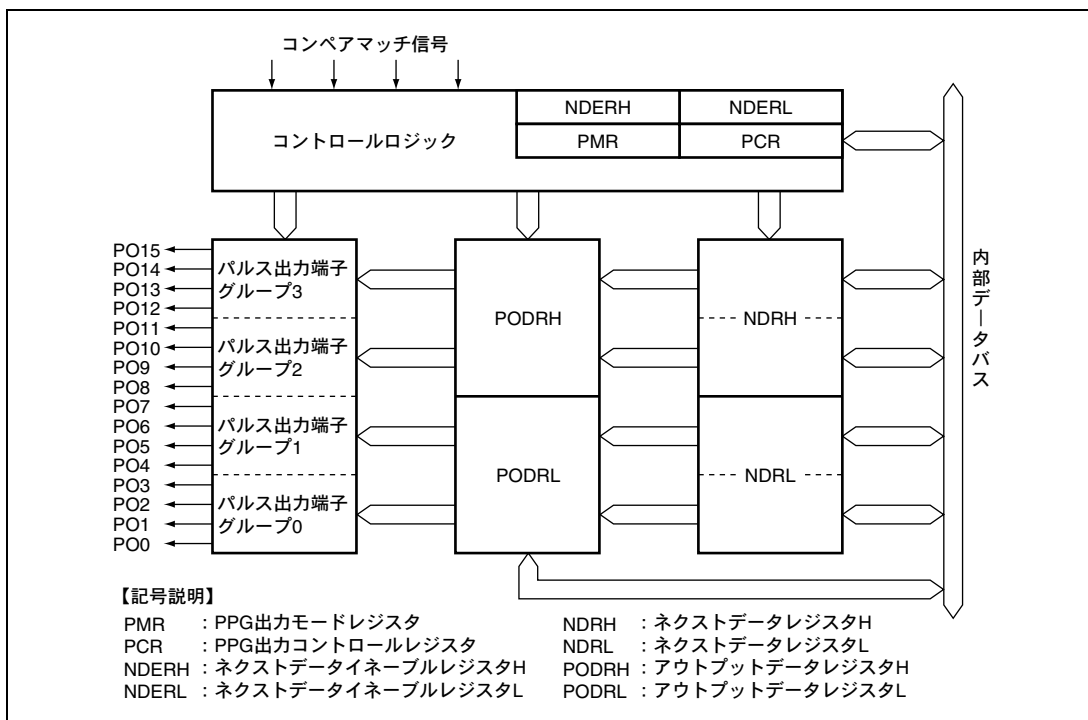


図 11.1 PPG のブロック図

11. プログラマブルパルスジェネレータ (PPG)

11.2 入出力端子

PPG には表 11.1 の入出力端子があります。

表 11.1 PPG の入出力端子

端子名	入出力	機能
PO15	出力	パルス出力グループ 3 のパルス出力
PO14	出力	
PO13	出力	
PO12	出力	
PO11	出力	パルス出力グループ 2 のパルス出力
PO10	出力	
PO9	出力	
PO8	出力	
PO7	出力	パルス出力グループ 1 のパルス出力
PO6	出力	
PO5	出力	
PO4	出力	
PO3	出力	パルス出力グループ 0 のパルス出力
PO2	出力	
PO1	出力	
PO0	出力	

11.3 レジスタの説明

PPG には以下のレジスタがあります。

- ネクストデータイネーブルレジスタH (NDERH)
- ネクストデータイネーブルレジスタL (NDERL)
- アウトプットデータレジスタH (PODRH)
- アウトプットデータレジスタL (PODRL)
- ネクストデータレジスタH (NDRH)
- ネクストデータレジスタL (NDRL)
- PPG出力コントロールレジスタ (PCR)
- PPG出力モードレジスタ (PMR)

11.3.1 ネクストデータイネーブルレジスタ H、L (NDERH、NDERL)

NDERH、NDERL は、PPG によるパルス出力端子をビット単位で選択します。

・ NDERH

ビット	7	6	5	4	3	2	1	0
ビット名	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ NDERL

ビット	7	6	5	4	3	2	1	0
ビット名	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDERH

ビット	ビット名	初期値	R/W	説明
7	NDER15	0	R/W	ネクストデータイネーブル 15~8 1 にセットすると選択された出力トリガによって NDRH の対応するビットから PODRH ヘデータが転送されます。クリアされているビットは NDRH から PODRH へのデータ転送は行われません。
6	NDER14	0	R/W	
5	NDER13	0	R/W	
4	NDER12	0	R/W	
3	NDER11	0	R/W	
2	NDER10	0	R/W	
1	NDER9	0	R/W	
0	NDER8	0	R/W	

• NDERL

ビット	ビット名	初期値	R/W	説明
7	NDER7	0	R/W	ネクストデータイネーブル 7~0 1 にセットすると選択された出力トリガによって NDRL の対応するビットから PODRL ヘデータが転送されます。クリアされているビットは NDRL から PODRL へのデータ転送は行われません。
6	NDER6	0	R/W	
5	NDER5	0	R/W	
4	NDER4	0	R/W	
3	NDER3	0	R/W	
2	NDER2	0	R/W	
1	NDER1	0	R/W	
0	NDER0	0	R/W	

11. プログラマブルパルスジェネレータ (PPG)

11.3.2 アウトプットデータレジスタ H、L (PODRH、PODRL)

PODRH、PODRL は、パルス出力値が格納されます。NDER によりパルス出力に設定されたビットはリード専用となり、ライトできません。

・PODRH

ビット	7	6	5	4	3	2	1	0
ビット名	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・PODRL

ビット	7	6	5	4	3	2	1	0
ビット名	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• PODRH

ビット	ビット名	初期値	R/W	説明
7	POD15	0	R/W	アウトプットデータレジスタ 15~8 NDERH によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRH の値がこのレジスタに転送されます。NDERH が 1 にセットされている期間 CPU からはライトできません。NDERH がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD14	0	R/W	
5	POD13	0	R/W	
4	POD12	0	R/W	
3	POD11	0	R/W	
2	POD10	0	R/W	
1	POD9	0	R/W	
0	POD8	0	R/W	

• PODRL

ビット	ビット名	初期値	R/W	説明
7	POD7	0	R/W	アウトプットデータレジスタ 7~0 NDERL によりパルス出力に設定されたビットは PPG 動作中、出力トリガによって NDRL の値がこのレジスタに転送されます。NDERL が 1 にセットされている期間 CPU からはライトできません。NDERL がクリアされている状態ではパルスの初期出力値を設定することができます。
6	POD6	0	R/W	
5	POD5	0	R/W	
4	POD4	0	R/W	
3	POD3	0	R/W	
2	POD2	0	R/W	
1	POD1	0	R/W	
0	POD0	0	R/W	

11.3.3 ネクストデータレジスタ H、L (NDRH、NDRL)

NDRH、NDRL は、パルス出力の次のデータを格納します。NDR のアドレスは、パルス出力グループの出力トリガを同一に設定した場合と、異なる出力トリガを選択した場合とで異なります。

・ NDRH

ビット	7	6	5	4	3	2	1	0
ビット名	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ NDRL

ビット	7	6	5	4	3	2	1	0
ビット名	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• NDRH

パルス出力グループ 2、3 の出力トリガを同一にすると、以下のように 8 ビットすべて同一アドレスにマッピングされ、8 ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~8 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3	NDR11	0	R/W	
2	NDR10	0	R/W	
1	NDR9	0	R/W	
0	NDR8	0	R/W	

パルス出力グループ 2 とパルス出力グループ 3 で異なる出力トリガを選択すると、以下のように上位 4 ビットと下位 4 ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説明
7	NDR15	0	R/W	ネクストデータレジスタ 15~12 PCR で指定した出力トリガにより、このレジスタの内容が PODRH の対応するビットに転送されます。
6	NDR14	0	R/W	
5	NDR13	0	R/W	
4	NDR12	0	R/W	
3~0	—	すべて 1	—	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。

11. プログラマブルパルスジェネレータ (PPG)

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	NDR11	0	R/W	ネクストデータレジスタ 11~8
2	NDR10	0	R/W	PCRで指定した出力トリガにより、このレジスタの内容がPODRHの対応するビットに転送されます。
1	NDR9	0	R/W	
0	NDR8	0	R/W	

• NDRL

パルス出力グループ0、1の出力トリガを同一にすると、以下のように8ビットすべて同一アドレスにマッピングされ、8ビット同時にアクセスできます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~0
6	NDR6	0	R/W	PCRで指定した出力トリガにより、このレジスタの内容がPODRLの対応するビットに転送されます。
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3	NDR3	0	R/W	
2	NDR2	0	R/W	
1	NDR1	0	R/W	
0	NDR0	0	R/W	

パルス出力グループ0とパルス出力グループ1で異なる出力トリガを選択すると、以下のように上位4ビットと下位4ビットは異なるアドレスにマッピングされます。

ビット	ビット名	初期値	R/W	説 明
7	NDR7	0	R/W	ネクストデータレジスタ 7~4
6	NDR6	0	R/W	PCRで指定した出力トリガにより、このレジスタの内容がPODRLの対応するビットに転送されます。
5	NDR5	0	R/W	
4	NDR4	0	R/W	
3~0	—	すべて1	—	

ビット	ビット名	初期値	R/W	説 明
7~4	—	すべて1	—	リザーブビット リードすると常に1が読み出されます。ライトは無効です。
3	NDR3	0	R/W	ネクストデータレジスタ 3~0
2	NDR2	0	R/W	PCRで指定した出力トリガにより、このレジスタの内容がPODRLの対応するビットに転送されます。
1	NDR1	0	R/W	
0	NDR0	0	R/W	

11.3.4 PPG 出力コントロールレジスタ (PCR)

PCR は、パルス出力トリガ信号をグループ単位で選択します。出力トリガの選択については「11.3.5 PPG 出力モードレジスタ (PMR)」を併せて参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	G3CMS1	1	R/W	グループ 3 コンペアマッチセレクト 1、0 パルス出力グループ 3 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
6	G3CMS0	1	R/W	
5	G2CMS1	1	R/W	グループ 2 コンペアマッチセレクト 1、0 パルス出力グループ 2 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
4	G2CMS0	1	R/W	
3	G1CMS1	1	R/W	グループ 1 コンペアマッチセレクト 1、0 パルス出力グループ 1 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
2	G1CMS0	1	R/W	
1	G0CMS1	1	R/W	グループ 0 コンペアマッチセレクト 1、0 パルス出力グループ 0 の出力トリガを選択します。 00 : TPU チャンネル 0 のコンペアマッチ 01 : TPU チャンネル 1 のコンペアマッチ 10 : TPU チャンネル 2 のコンペアマッチ 11 : TPU チャンネル 3 のコンペアマッチ
0	G0CMS0	1	R/W	

11. プログラマブルパルスジェネレータ (PPG)

11.3.5 PPG 出力モードレジスタ (PMR)

PMR は、PPG のパルス出力モードをグループ単位で設定します。反転出力に設定すると PODRH の値が 1 のとき端子に Low レベルを、PODRH の値が 0 のとき端子に High レベルを出力します。また、ノンオーバーラップ動作に設定すると PPG は、出力トリガとなる TPU のコンペアマッチ A、B で出力値を更新します。詳細は、「11.4.4 パルス出力ノンオーバーラップ動作」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV
初期値:	1	1	1	1	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	G3INV	1	R/W	グループ 3 インバート パルス出力グループ 3 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
6	G2INV	1	R/W	グループ 2 インバート パルス出力グループ 2 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
5	G1INV	1	R/W	グループ 1 インバート パルス出力グループ 1 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
4	G0INV	1	R/W	グループ 0 インバート パルス出力グループ 0 を直接出力させるか反転出力させるかを選択します。 0: 反転出力 1: 直接出力
3	G3NOV	0	R/W	グループ 3 ノンオーバーラップ パルス出力グループ 3 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
2	G2NOV	0	R/W	グループ 2 ノンオーバーラップ パルス出力グループ 2 を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

ビット	ビット名	初期値	R/W	説明
1	G1NOV	0	R/W	グループ1 ノンオーバーラップ パルス出力グループ1を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)
0	G0NOV	0	R/W	グループ0 ノンオーバーラップ パルス出力グループ0を通常動作させるか、ノンオーバーラップ動作させるかを選択します。 0: 通常動作 (選択された TPU のコンペアマッチ A で出力値を更新) 1: ノンオーバーラップ動作 (選択された TPU のコンペアマッチ A、B で出力値を更新)

11.4 動作説明

PPG 概要図を図 11.2 に示します。PPG は、NDR の対応するビットをそれぞれ 1 にセットすることによりパルス出力状態となります。初期出力値は対応する PODR の初期設定値により決まります。その後、PCR で指定したコンペアマッチが発生すると、対応する NDR の値がそれぞれ PODR に転送されて出力値が更新されます。次のコンペアマッチが発生するまでに NDR に出力データをライトすることにより、コンペアマッチのたびに最大 16 ビットのデータを順次出力することができます。

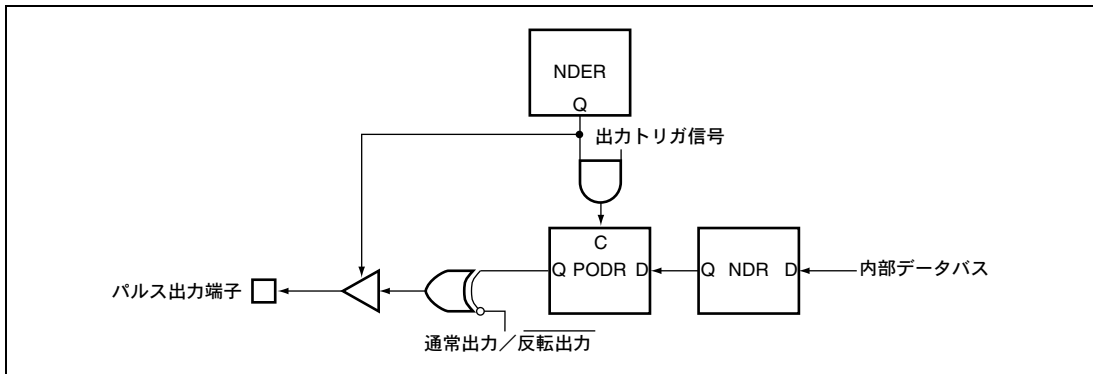


図 11.2 PPG 概要図

11. プログラマブルパルスジェネレータ (PPG)

11.4.1 出力タイミング

パルス出力許可状態で指定されたコンペアマッチが発生すると、NDR の内容が PODR に転送され、出力されます。このタイミングを図 11.3 に示します。コンペアマッチ A により、グループ 2、3 で通常出力を行った場合の例です。

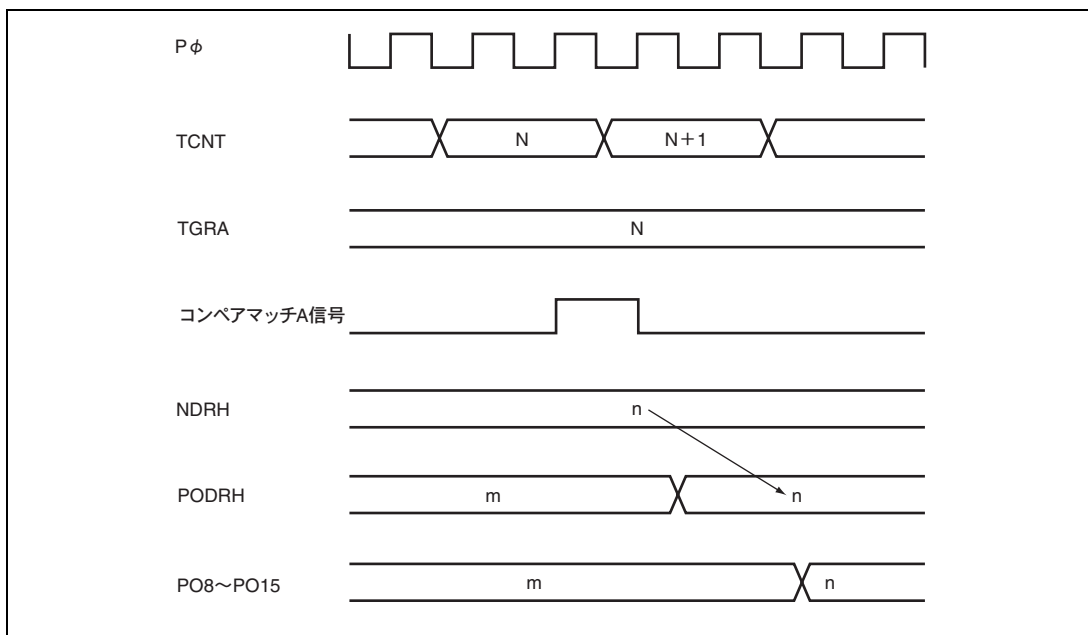


図 11.3 NDR の内容が転送・出力されるタイミング例

11.4.2 通常動作のパルス出力設定手順例

パルス出力通常動作の設定手順例を図 11.4 に示します。

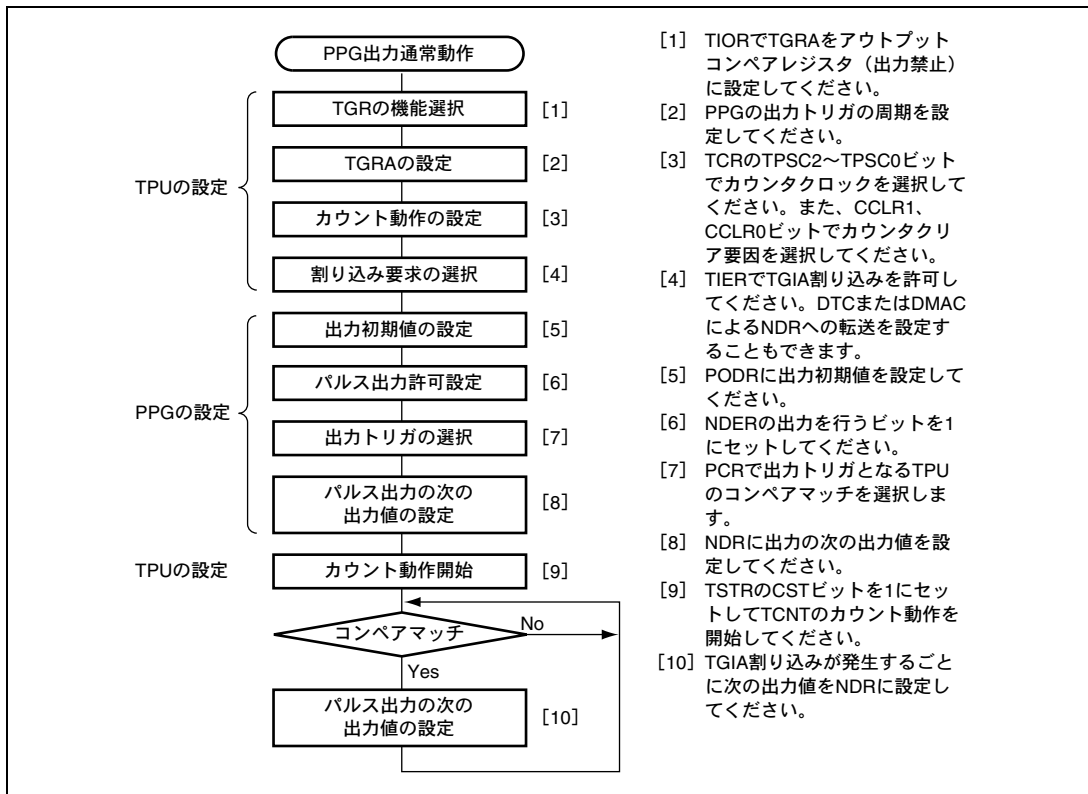


図 11.4 パルス出力通常動作の設定手順例

11. プログラマブルパルスジェネレータ (PPG)

11.4.3 パルス出力通常動作例 (5相パルス出力例)

パルス出力を使用して一定周期で5相パルスを出力させた例を図 11.5 に示します。

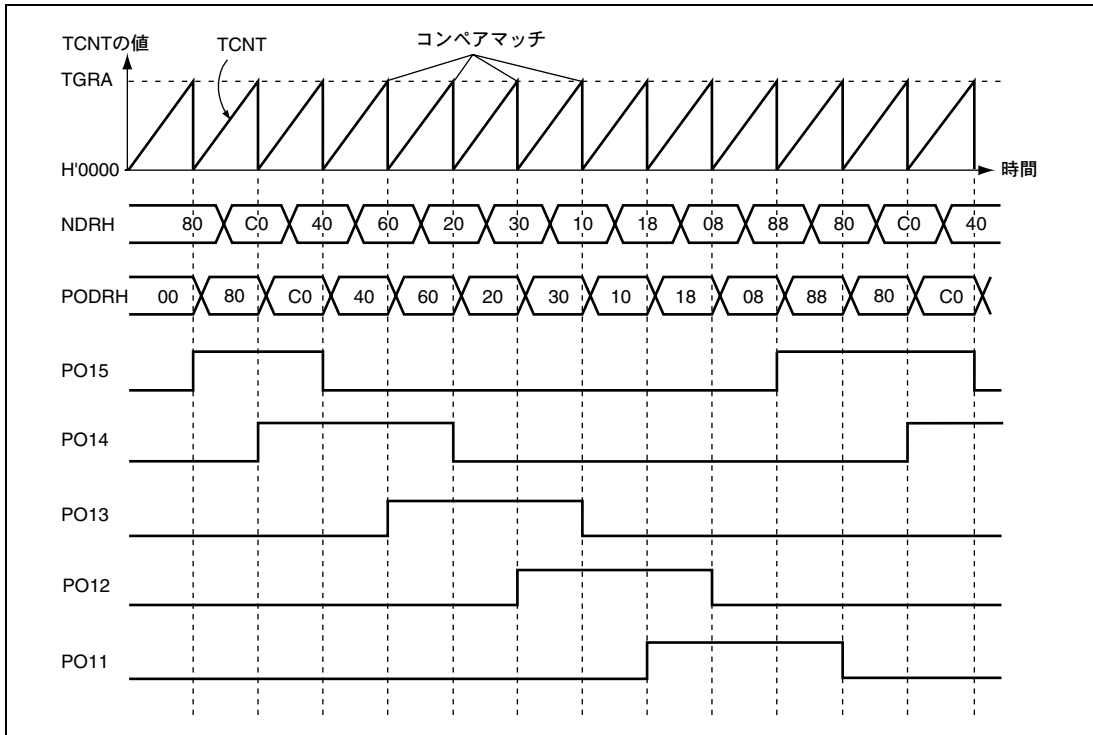


図 11.5 パルス出力通常動作例 (5相パルス出力例)

1. 出力トリガとするTPUのTGRAをアウトプットコンペアレジスタに設定します。TGRAには周期を設定し、コンペアマッチAによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、コンペアマッチ/インプットキャプチャA (TGIA) 割り込みを許可します。
2. NDRHにH'F8をライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。NDRHに出力データH'80をライトします。
3. TPU当該チャンネルの動作を開始しコンペアマッチAが発生すると、NDRHの内容がPODRHに転送され出力されます。TGIA割り込み処理でNDRHに次の出力データH'C0をライトします。
4. 以後、TGIA割り込みで順次H'40、H'60、H'20、H'30、H'10、H'18、H'08、H'88…をライトすることで、5相の1-2相パルス出力を行うことができます。

TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.4.4 パルス出力ノンオーバーラップ動作

ノンオーバーラップ動作時のNDR から PODR への転送は以下のようになっています。

- コンペアマッチAではNDRの内容を常にPODRへ転送します。
- コンペアマッチBではNDRの転送するビットの内容が0のときのみ転送を行います。1のときは転送を行いません。

ノンオーバーラップ時のパルス出力動作を図 11.6 に示します。

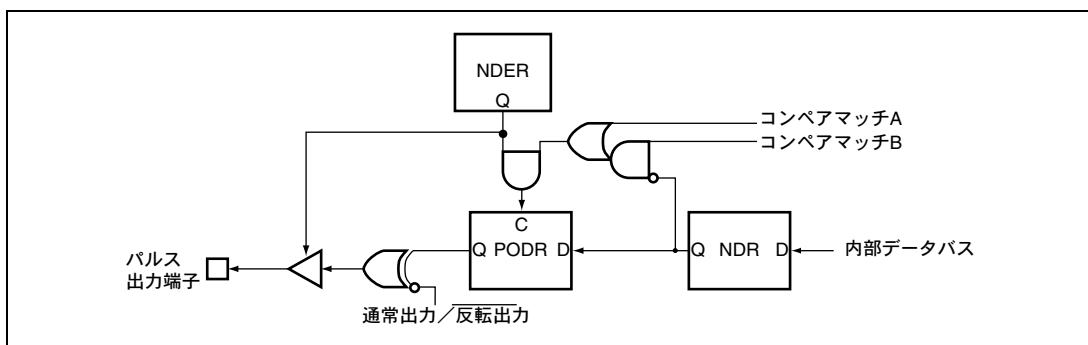


図 11.6 パルス出力ノンオーバーラップ動作

したがって、コンペアマッチ B をコンペアマッチ A よりも先に発生させることにより、0 データの転送を 1 データの転送に先立って行うことが可能です。

この場合、コンペアマッチ B が発生した後、コンペアマッチ A が発生するまで（ノンオーバーラップ期間）の間、NDR の内容を変更しないようにしてください。

これは TGIA 割り込みの割り込み処理ルーチンで NDR に次のデータをライトすることによって実現できます。また、TGIA 割り込みで DTC または DMAC を起動することもできます。ただし、このライトは次のコンペアマッチ B が発生する前に行ってください。

このタイミングを図 11.7 に示します。

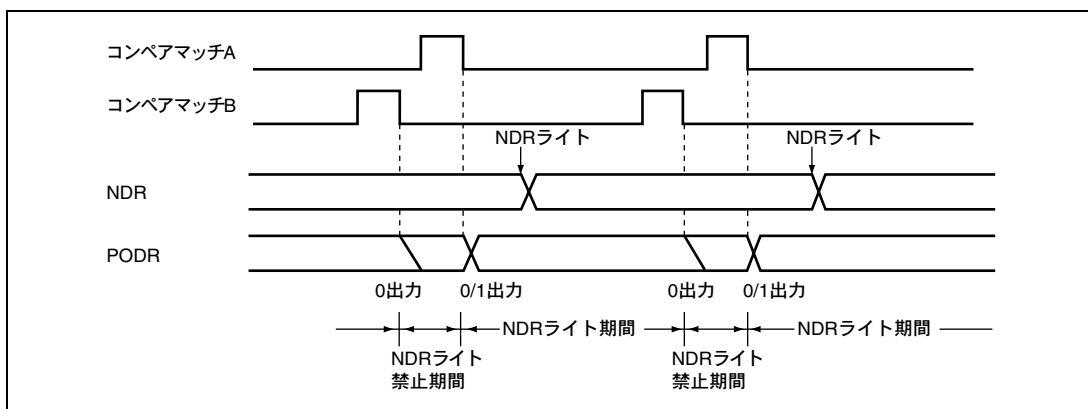


図 11.7 ノンオーバーラップ動作と NDR ライトタイミング

11.4.5 ノンオーバーラップ動作のパルス出力設定手順例

パルス出力ノンオーバーラップ動作の設定手順例を図 11.8 に示します。

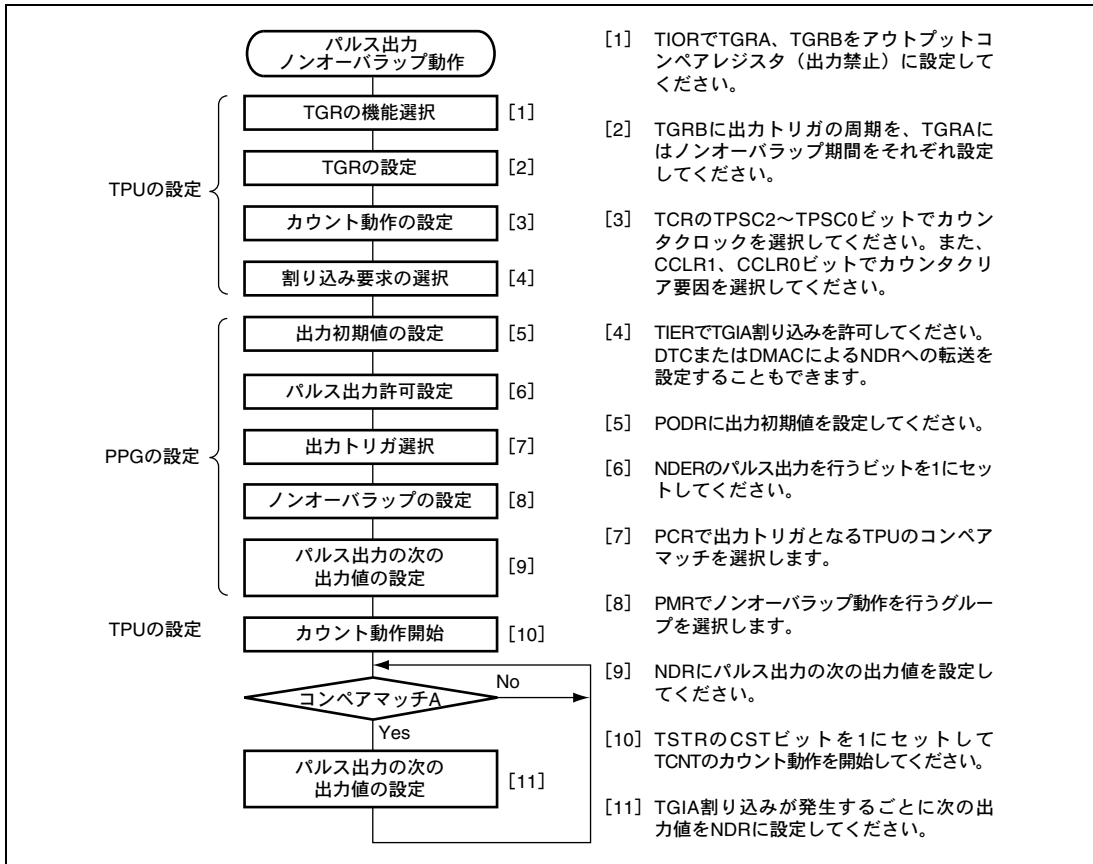


図 11.8 パルス出力ノンオーバーラップ動作の設定手順例

11.4.6 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力例)

パルス出力を使用して 4 相の相補ノンオーバーラップのパルスを出力させた例を図 11.9 に示します。

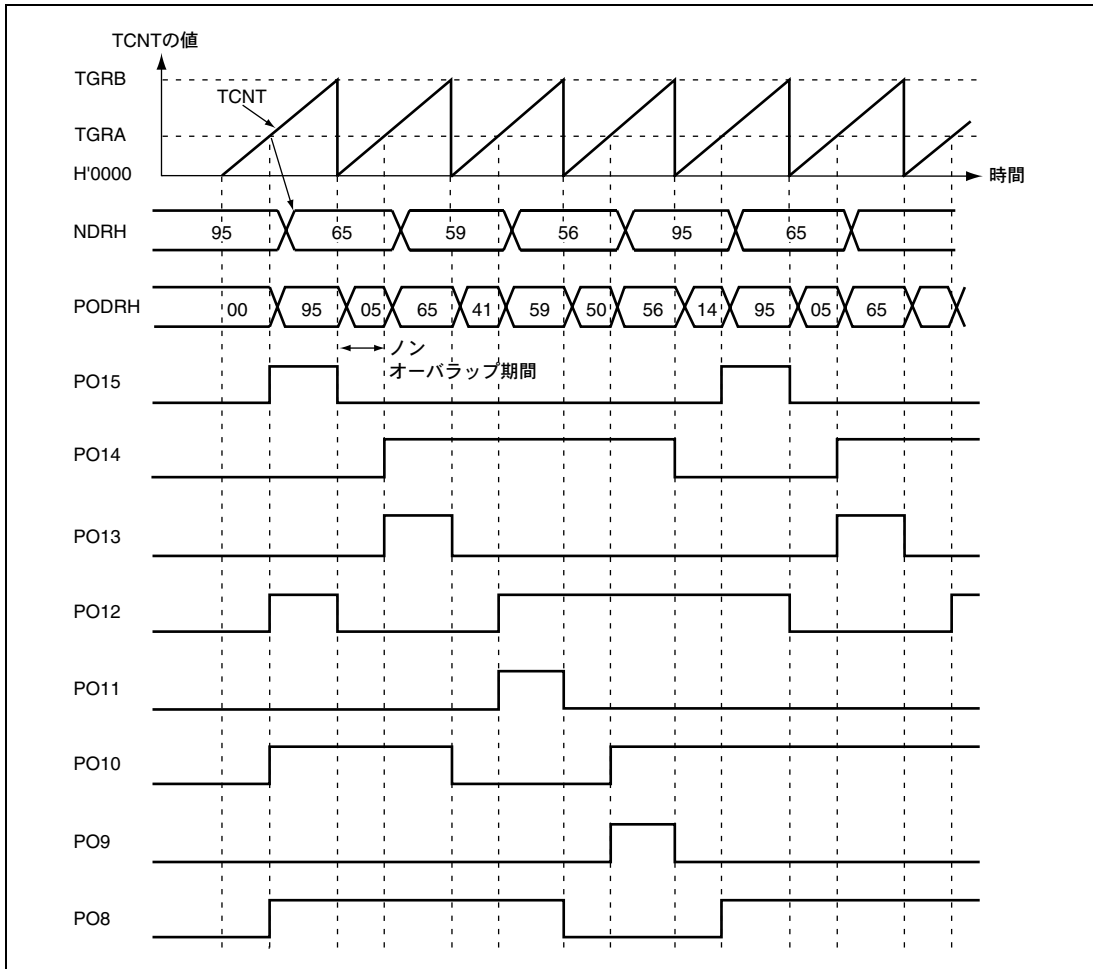


図 11.9 パルス出力ノンオーバーラップ動作例 (4 相の相補ノンオーバーラップ出力)

11. プログラマブルパルスジェネレータ (PPG)

1. 出力トリガとするTPUのTGRA、TGRBをアウトプットコンペアレジスタに設定します。TGRBには周期、TGRAにはノンオーバーラップ期間を設定し、コンペアマッチBによるカウンタクリアを選択します。また、TIERのTGIEAビットを1にセットして、TGIA割り込みを許可します。
2. NDERHにH'FFをライトし、PCRのG3CMS1、G3CMS0ビットおよびG2CMS1、G2CMS0ビットにより、1で選択したTPUのコンペアマッチに出力トリガを設定します。
PMRのG3NOV、G2NOVビットをそれぞれ1にセットして、ノンオーバーラップ動作を設定します。
NDRHに出力データH'95をライトします。
3. TPU当該チャネルの動作を開始すると、TGRBのコンペアマッチで1出力→0出力の変化、TGRAのコンペアマッチで0出力→1出力の変化を行います（0出力→1出力の変化はTGRAの設定値分遅延することになります）。
TGIA割り込み処理でNDRHに次の出力データH'65をライトします。
4. 以後、TGIA割り込みで順次H'59、H'56、H'95…をライトすることで、4相の相補ノンオーバーラップ出力を発生することができます。
TGIA割り込みでDTCまたはDMACを起動するように設定すれば、CPUの負荷なくパルス出力を行うことができます。

11.4.7 パルス反転出力

PMR の G3INV、G2INV、G1INV および G0INV を 0 に設定すると、PODR の内容に対する反転値を端子出力することができます。

図 11.9 の設定で、さらに G3INV、G2INV を 0 にしたときの端子出力の様子を図 11.10 に示します。

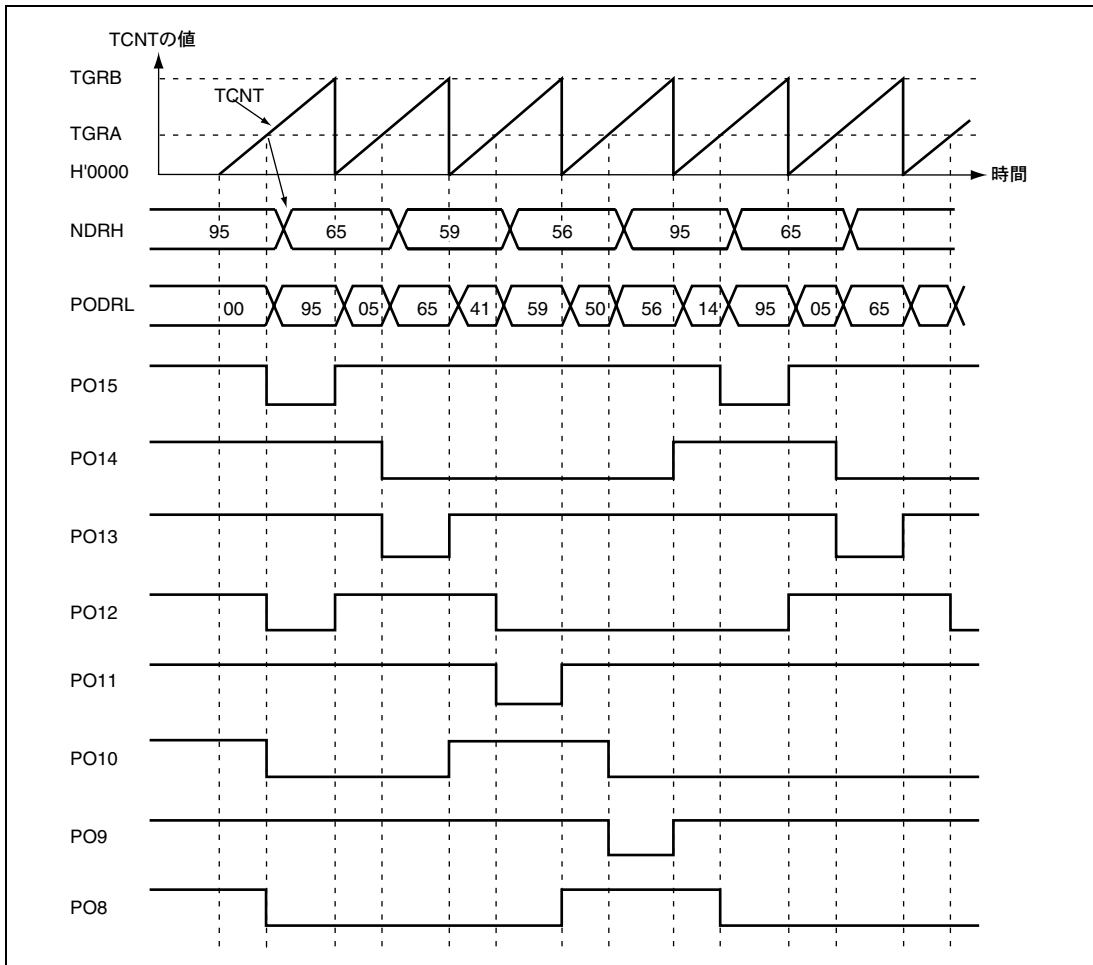


図 11.10 パルス反転出力例

11. プログラマブルパルスジェネレータ (PPG)

11.4.8 インพุットキャプチャによるパルス出力

パルス出力は、TPU のコンペアマッチだけでなく、インพุットキャプチャによっても可能です。PCR によって選択された TPU の TGRA がインพุットキャプチャレジスタとして機能しているとき、インพุットキャプチャ信号によりパルス出力を行います。

このタイミングを図 11.11 に示します。

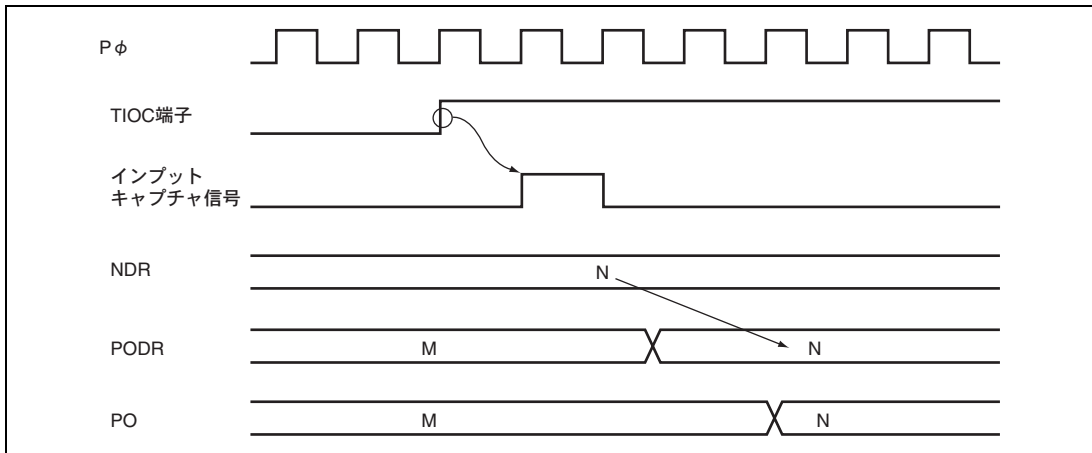


図 11.11 インพุットキャプチャによるパルス出力例

11.5 使用上の注意事項

11.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、PPG の動作禁止/許可を設定することが可能です。初期値では、PPG の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「23. 低消費電力」を参照してください。

11.5.2 パルス出力端子の動作

PO0～PO15 は TPU などの他の周辺機能の端子と兼用になっています。これらの端子は、他の周辺機能が出力許可状態になっているときには、パルス出力を行うことができません。ただし、NDR から PODR への転送は、端子の状態にかかわらず常に行うことが可能です。

端子機能の変更は、出力トリガが発生しない状態で行ってください。

12. 8ビットタイマ (TMR)

本 LSI は、8 ビットのカウンタをベースにした 2 チャンネルの 8 ビットタイマを 4 ユニット (ユニット 0~ユニット 3)、合計 8 チャンネル内蔵しています。外部イベントのカウントが可能のほか、2 本のレジスタとのコンペアマッチ信号により、カウンタのリセット、割り込み要求、任意のデューティ比のパルス出力など、多機能タイマとして種々の応用が可能です。

図 12.1~図 12.4 にユニット 0~ユニット 3 のブロック図を示します。

本文中では、ユニット 0 (チャンネル 0、チャンネル 1)、ユニット 2 (チャンネル 4、チャンネル 5) について説明しています。ユニット 0、1 は同一機能です。ユニット 2、3 は SCI のボーレートクロックが生成可能で同一機能です。

12.1 特長

- 7種類のクロックを選択可能
6種類の内部クロック (Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192) と外部クロックのうちから選択できます。ユニット2、3は内部クロック (Pφ、Pφ/2、Pφ/8、Pφ/32、Pφ/64、Pφ/1024、Pφ/8192) のみとなります。
- カウンタのクリア指定が可能
コンペアマッチA、コンペアマッチB、または外部リセット信号 (ユニット0、1) のうちから選択できます。
- 2つのコンペアマッチ信号の組み合わせでタイマ出力を制御
独立に動作可能な2つのコンペアマッチ信号の組み合わせによって、任意のデューティのパルス出力やPWM出力など種々の応用が可能です。
- 2チャンネルのカスケード接続が可能
TMR_0を上位、TMR_1を下位とする16ビットタイマとして動作可能です (16ビットカウントモード)。
TMR_1はTMR_0のコンペアマッチをカウント可能です (コンペアマッチカウントモード)。
- 複数の割り込み要因
コンペアマッチA、コンペアマッチB、オーバフローの3種類があります。(ユニット0、1)
- A/D変換器の変換スタートトリガを生成可能 (ユニット0、1)
- SCI_5、6のボーレートクロック生成可能 (ユニット2、3)
詳細は「15. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)」を参照してください。
- モジュールストップ状態への設定が可能

12. 8ビットタイマ (TMR)

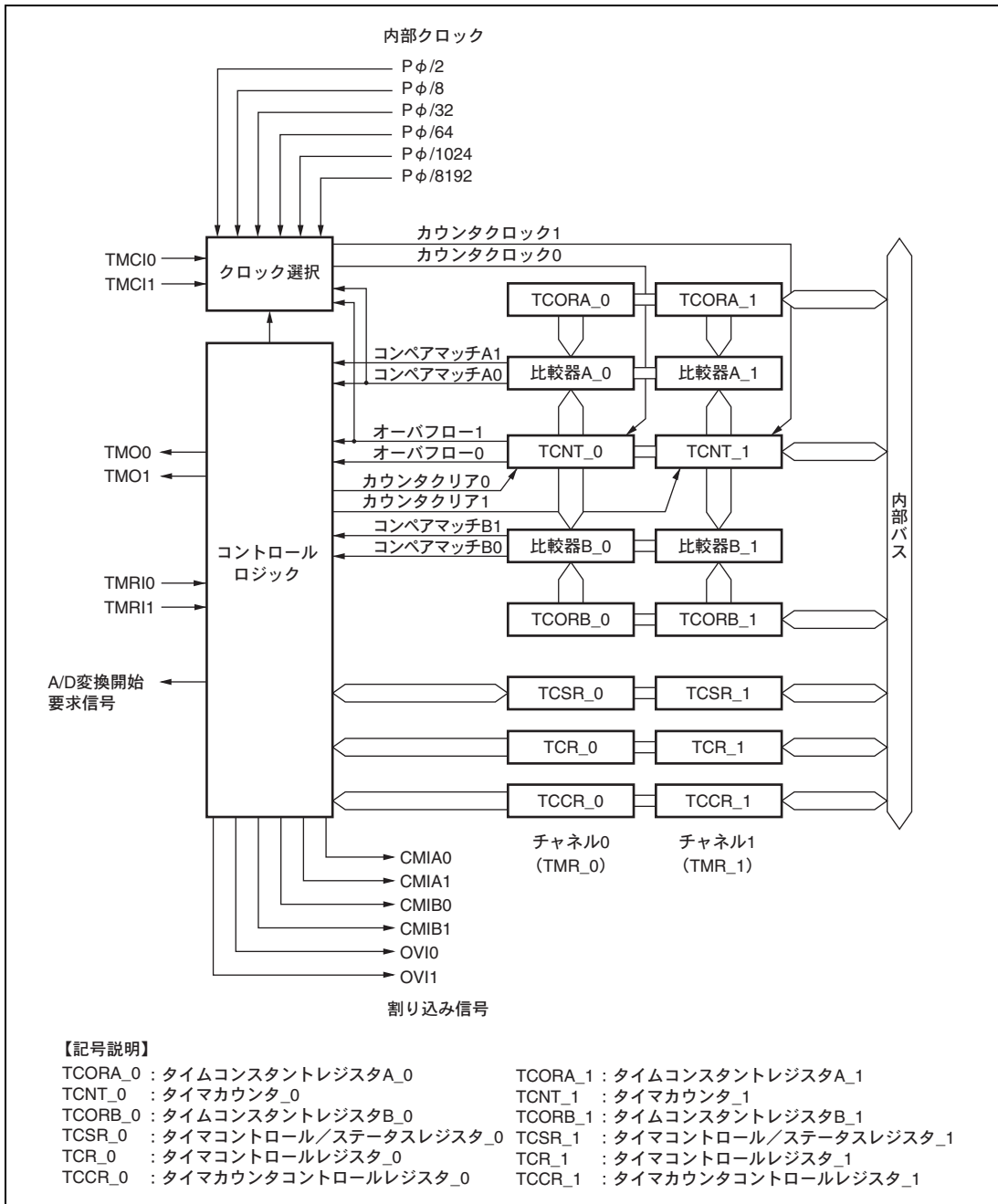


図 12.1 8ビットタイマ (ユニット0) のブロック図

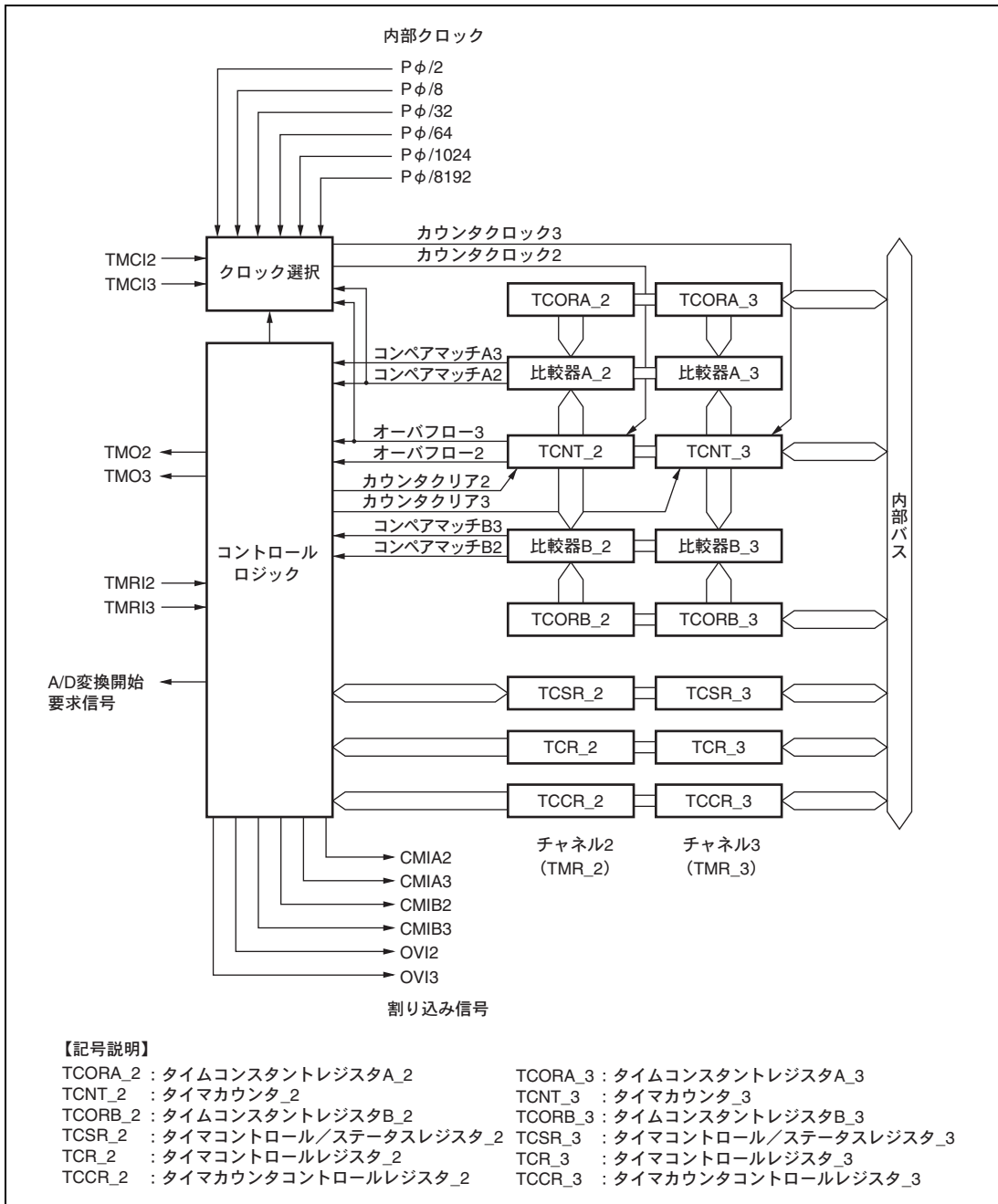


図 12.2 8ビットタイマ (ユニット 1) のブロック図

12. 8ビットタイマ (TMR)

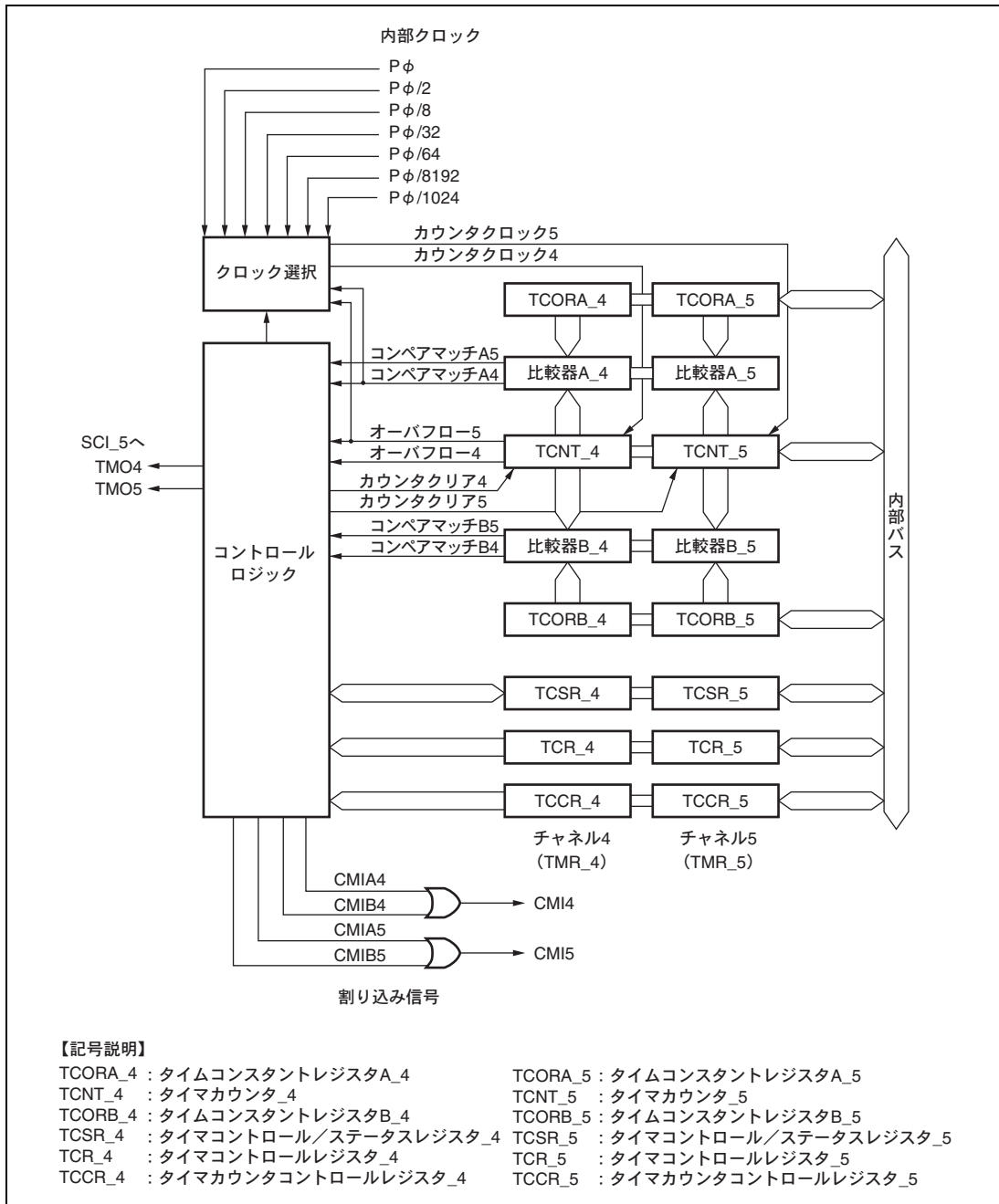


図 12.3 8ビットタイマ (ユニット2) のブロック図

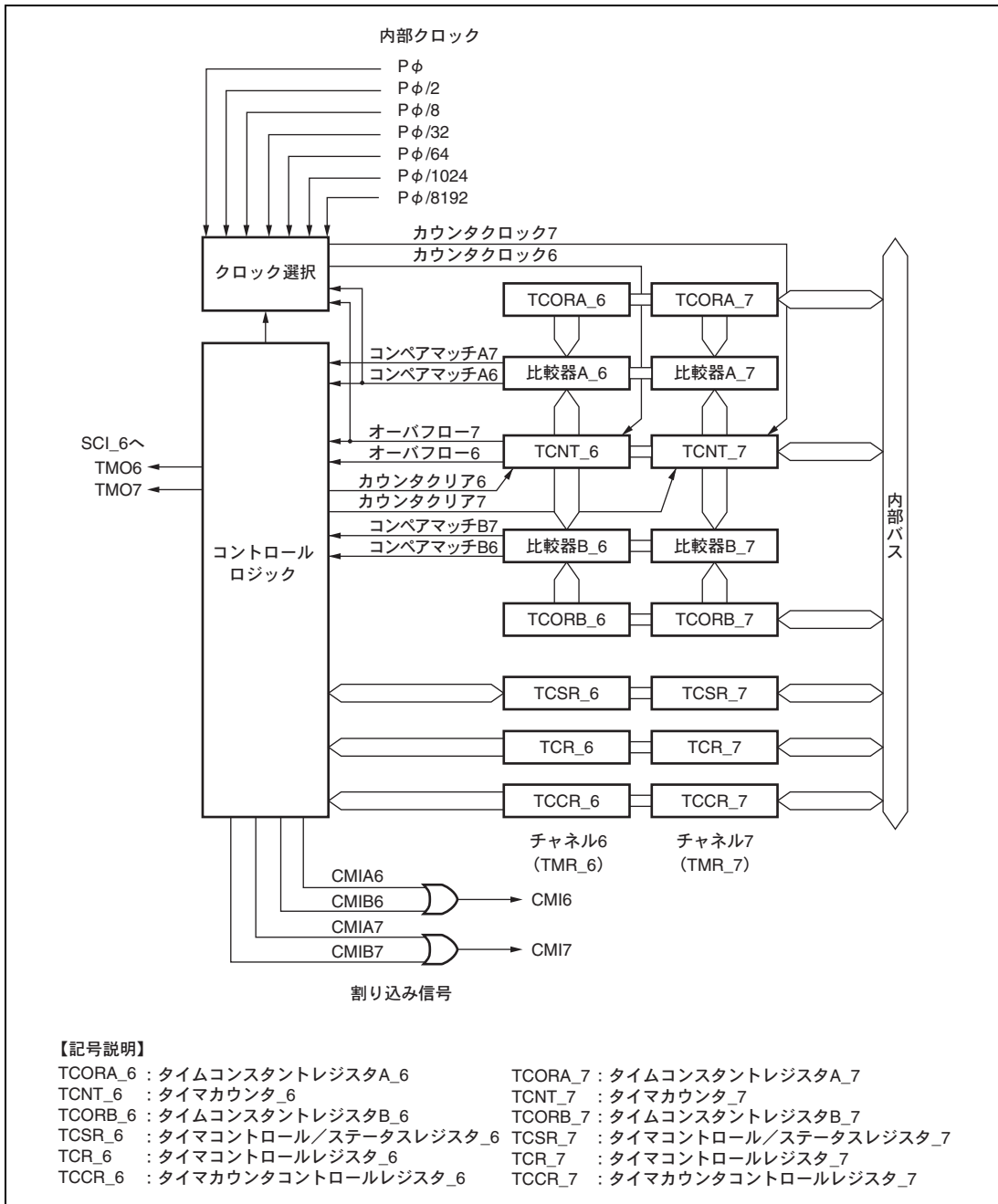


図 12.4 8ビットタイマ (ユニット3) のブロック図

12. 8ビットタイマ (TMR)

12.2 入出力端子

TMR の端子構成を表 12.1 に示します。

表 12.1 端子構成

ユニット	チャネル	名 称	略称	入出力	機 能
0	0	タイマ出力端子	TMO0	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI0	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI0	入力	カウンタ外部リセット入力
	1	タイマ出力端子	TMO1	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI1	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI1	入力	カウンタ外部リセット入力
1	2	タイマ出力端子	TMO2	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI2	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI2	入力	カウンタ外部リセット入力
	3	タイマ出力端子	TMO3	出力	コンペアマッチ出力
		タイマクロック入力端子	TMCI3	入力	カウンタ外部クロック入力
		タイマリセット入力端子	TMRI3	入力	カウンタ外部リセット入力
2	4	-	-	-	-
	5				
3	6	-	-	-	-
	7				

12.3 レジスタの説明

TMR には以下のレジスタがあります。

ユニット 0

チャンネル 0 (TMR_0) :

- タイマカウンタ_0 (TCNT_0)
- タイムコンスタントレジスタA_0 (TCORA_0)
- タイムコンスタントレジスタB_0 (TCORB_0)
- タイマコントロールレジスタ_0 (TCR_0)
- タイマカウンタコントロールレジスタ_0 (TCCR_0)
- タイマコントロール/ステータスレジスタ_0 (TCSR_0)

チャンネル 1 (TMR_1) :

- タイマカウンタ_1 (TCNT_1)
- タイムコンスタントレジスタA_1 (TCORA_1)
- タイムコンスタントレジスタB_1 (TCORB_1)
- タイマコントロールレジスタ_1 (TCR_1)
- タイマカウンタコントロールレジスタ_1 (TCCR_1)
- タイマコントロール/ステータスレジスタ_1 (TCSR_1)

ユニット 1

チャンネル 2 (TMR_2) :

- タイマカウンタ_2 (TCNT_2)
- タイムコンスタントレジスタA_2 (TCORA_2)
- タイムコンスタントレジスタB_2 (TCORB_2)
- タイマコントロールレジスタ_2 (TCR_2)
- タイマカウンタコントロールレジスタ_2 (TCCR_2)
- タイマコントロール/ステータスレジスタ_2 (TCSR_2)

チャンネル 3 (TMR_3) :

- タイマカウンタ_3 (TCNT_3)
- タイムコンスタントレジスタA_3 (TCORA_3)
- タイムコンスタントレジスタB_3 (TCORB_3)
- タイマコントロールレジスタ_3 (TCR_3)
- タイマカウンタコントロールレジスタ_3 (TCCR_3)
- タイマコントロール/ステータスレジスタ_3 (TCSR_3)

12. 8ビットタイマ (TMR)

ユニット2

チャンネル4 (TMR_4) :

- タイマカウンタ_4 (TCNT_4)
- タイムコンスタントレジスタA_4 (TCORA_4)
- タイムコンスタントレジスタB_4 (TCORB_4)
- タイマコントロールレジスタ_4 (TCR_4)
- タイマカウンタコントロールレジスタ_4 (TCCR_4)
- タイマコントロール/ステータスレジスタ_4 (TCSR_4)

チャンネル5 (TMR_5) :

- タイマカウンタ_5 (TCNT_5)
- タイムコンスタントレジスタA_5 (TCORA_5)
- タイムコンスタントレジスタB_5 (TCORB_5)
- タイマコントロールレジスタ_5 (TCR_5)
- タイマカウンタコントロールレジスタ_5 (TCCR_5)
- タイマコントロール/ステータスレジスタ_5 (TCSR_5)

ユニット3

チャンネル6 (TMR_6) :

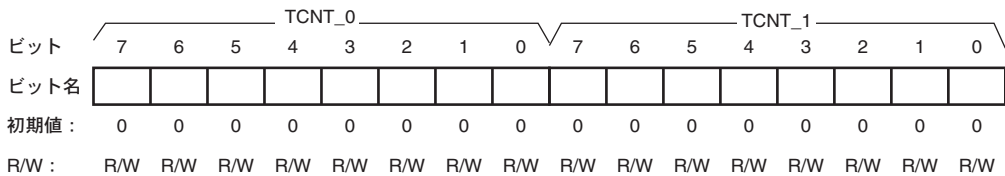
- タイマカウンタ_6 (TCNT_6)
- タイムコンスタントレジスタA_6 (TCORA_6)
- タイムコンスタントレジスタB_6 (TCORB_6)
- タイマコントロールレジスタ_6 (TCR_6)
- タイマカウンタコントロールレジスタ_6 (TCCR_6)
- タイマコントロール/ステータスレジスタ_6 (TCSR_6)

チャンネル7 (TMR_7) :

- タイマカウンタ_7 (TCNT_7)
- タイムコンスタントレジスタA_7 (TCORA_7)
- タイムコンスタントレジスタB_7 (TCORB_7)
- タイマコントロールレジスタ_7 (TCR_7)
- タイマカウンタコントロールレジスタ_7 (TCCR_7)
- タイマコントロール/ステータスレジスタ_7 (TCSR_7)

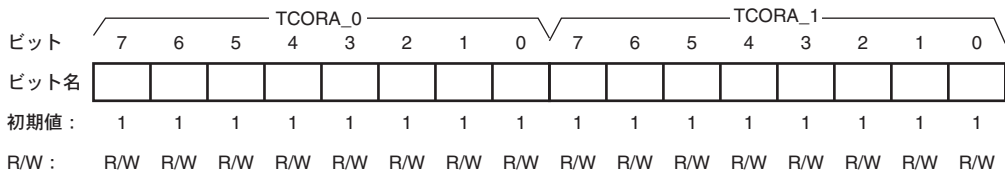
12.3.1 タイマカウンタ (TCNT)

TCNTは8ビットのリード/ライト可能なアップカウンタです。TCNT_0、TCNT_1を16ビットレジスタとしてワードアクセスすることも可能です。クロックは、TCRのCKS2~CKS0ビット、及びTCCRのICKS1、ICKS0ビットにより選択します。TCNTは、外部リセット入力信号またはコンペアマッチA信号、コンペアマッチB信号によりクリアすることができます。いずれの信号でクリアするかは、TCRのCCLR1、CCLR0ビットにより選択します。また、TCNTがオーバーフロー (H'FF→H'00) すると、TCSRのOVFが1にセットされます。TCNTの初期値はH'00です。



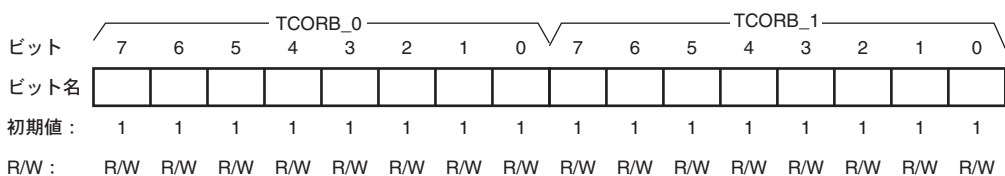
12.3.2 タイムコンスタントレジスタ A (TCORA)

TCORAは8ビットのリード/ライト可能なレジスタです。TCORA_0、TCORA_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORAの値はTCNTと常に比較され、一致するとTCSRのCMFAが1にセットされます。ただし、TCORAへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチA) とTCSRのOS1、OS0ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORAの初期値はH'FFです。



12.3.3 タイムコンスタントレジスタ B (TCORB)

TCORBは8ビットのリード/ライト可能なレジスタです。TCORB_0、TCORB_1を16ビットレジスタとしてワードアクセスすることも可能です。TCORBの値はTCNTと常に比較され、一致するとTCSRのCMFBが1にセットされます。ただし、TCORBへのライトサイクルのT2ステートでの比較は禁止されています。また、この一致信号 (コンペアマッチB) とTCSRのOS3、OS2ビットの設定により、TMO端子からのタイマ出力を制御することができます。TCORBの初期値はH'FFです。



12. 8 ビットタイマ (TMR)

12.3.4 タイマコントロールレジスタ (TCR)

TCR は TCNT の入力クロックの選択、TCNT のクリア条件指定、各割り込み要求の制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	CMIEB	0	R/W	コンペアマッチインタラプトイネーブル B TCSR の CMFB が 1 にセットされたとき、CMFB による割り込み要求 (CMIB) の許可または禁止を選択します。 ^{*2} 0 : CMFB による割り込み要求 (CMIB) を禁止 1 : CMFB による割り込み要求 (CMIB) を許可
6	CMIEA	0	R/W	コンペアマッチインタラプトイネーブル A TCSR の CMFA が 1 にセットされたとき、CMFA による割り込み要求 (CMIA) の許可または禁止を選択します。 ^{*2} 0 : CMFA による割り込み要求 (CMIA) を禁止 1 : CMFA による割り込み要求 (CMIA) を許可
5	OVIE	0	R/W	タイマオーバフローインタラプトイネーブル ^{*3} TCSR の OVF が 1 にセットされたとき、OVF による割り込み要求 (OVI) の許可または禁止を選択します。 0 : OVF による割り込み要求 (OVI) を禁止 1 : OVF による割り込み要求 (OVI) を許可
4	CCLR1	0	R/W	カウンタクリア 1、0 ^{*1}
3	CCLR0	0	R/W	TCNT のクリア条件を指定します。 00 : クリアを禁止 01 : コンペアマッチ A によりクリア 10 : コンペアマッチ B によりクリア 11 : 外部リセット入力の立ち上がりエッジ (TCCR の TMRIS=0) 、 または、ハイレベル (TCCR の TMRIS=1) によりクリア ^{*3}
2	CKS2	0	R/W	クロックセレクト 2~0 ^{*1}
1	CKS1	0	R/W	TCNT に入力するクロックとカウント条件を選択します。表 12.2 を参照してください。
0	CKS0	0	R/W	

【注】 *1 外部リセット、外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

*2 ユニット 2、3 では、割り込み信号は CMIEB と CMIEA の OR で一本となります。詳細は「12.7 割り込み要因」を参照してください。

*3 ユニット 0、1 のみ可能です。

12.3.5 タイマカウンタコントロールレジスタ (TCCR)

TCCR は TCNT の内部クロックの選択、外部リセット入力の制御を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	TMRIS	—	ICKS1	ICKS0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
3	TMRIS	0	R/W	タイマリセット入力セレクト* TCRのCCLR1、CCLR0ビットがB'11のとき、外部リセット入力を選択します。 0: 外部リセットの立上りでクリア 1: 外部リセットのハイレベルでクリア
2	—	0	R	リザーブビット リードすると常に0が読み出されます。ライトは無効です。
1	ICKS1	0	R/W	インターナルクロックセレクト 1、0
0	ICKS0	0	R/W	ICKS1、0は、TCRのCKS2~0ビットとともに、内部クロックを選択します。 表 12.2を参照してください。

【注】 * ユニット0、1のみ可能です。ユニット2、3ではライトする値は常に0にしてください。

12. 8ビットタイマ (TMR)

表 12.2 TCNTに入力するクロックとカウント条件 (ユニット 0、1)

チャンネル	TCR			TCCR		説明
	ビット 2	ビット 1	ビット 0	ビット 1	ビット 0	
	CKS2	CKS1	CKS0	ICKS1	ICKS0	
TMR_0	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント*1
TMR_1	0	0	0	—	—	クロック入力を禁止
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント
				1	0	内部クロック : Pφ/8192 立ち下がりエッジでカウント
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント
	1	0	0	—	—	TCNT_0 のコンペアマッチ A でカウント*1
共通	1	0	1	—	—	外部クロックの立ち上がりエッジでカウント*2
	1	1	0	—	—	外部クロックの立ち下がりエッジでカウント*2
	1	1	1	—	—	外部クロックの立ち上がり/立ち下がり両エッジでカウント*2

【注】 *1 チャンネル 0 のクロック入力を TCNT_1 のオーバフロー信号とし、チャンネル 1 のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

*2 外部クロックを使用する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

表 12.3 TCNTに入力するクロックとカウント条件 (ユニット 2、3)

チャンネル	TCR			TCCR		説明	
	ビット 2	ビット 1	ビット 0	ビット 1	ビット 0		
	CKS2	CKS1	CKS0	ICKS1	ICKS0		
TMR_4	0	0	0	—	—	クロック入力を禁止	
	0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント	
				0	1	内部クロック : Pφ/2 立ち上がりエッジでカウント	
				1	0	内部クロック : Pφ/8 立ち下がりエッジでカウント	
				1	1	内部クロック : Pφ/2 立ち下がりエッジでカウント	
	0	1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント	
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント	
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント	
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント	
	0	1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント	
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント	
				1	0	内部クロック : Pφ 立ち上がりエッジでカウント	
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント	
	1	0	0	—	—	TCNT_1 のオーバフロー信号でカウント*	
	TMR_5	0	0	0	—	—	クロック入力を禁止
		0	0	1	0	0	内部クロック : Pφ/8 立ち上がりエッジでカウント
0					1	内部クロック : Pφ/2 立ち上がりエッジでカウント	
1					0	内部クロック : Pφ/8 立ち下がりエッジでカウント	
1					1	内部クロック : Pφ/2 立ち下がりエッジでカウント	
0		1	0	0	0	内部クロック : Pφ/64 立ち上がりエッジでカウント	
				0	1	内部クロック : Pφ/32 立ち上がりエッジでカウント	
				1	0	内部クロック : Pφ/64 立ち下がりエッジでカウント	
				1	1	内部クロック : Pφ/32 立ち下がりエッジでカウント	
0		1	1	0	0	内部クロック : Pφ/8192 立ち上がりエッジでカウント	
				0	1	内部クロック : Pφ/1024 立ち上がりエッジでカウント	
				1	0	内部クロック : Pφ 立ち上がりエッジでカウント	
				1	1	内部クロック : Pφ/1024 立ち下がりエッジでカウント	
1		0	0	—	—	TCNT_0 のコンペアマッチ A でカウント*	
共通		1	0	1	—	—	設定禁止
		1	1	0	—	—	設定禁止
	1	1	1	—	—	設定禁止	

【注】 * チャネル4のクロック入力を TCNT_1 のオーバフロー信号とし、チャネル5のクロック入力を TCNT_0 のコンペアマッチ信号とするとカウントアップクロックが発生しません。この設定は行わないでください。

12. 8ビットタイマ (TMR)

12.3.6 タイマコントロール/ステータスレジスタ (TCSR)

TCSR はステータスフラグの表示およびコンペアマッチによる出力制御を行います。

・ TCSR_0

ビット	7	6	5	4	3	2	1	0
ビット名	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/W	R/W	R/W	R/W	R/W

・ TCSR_1

ビット	7	6	5	4	3	2	1	0
ビット名	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0
初期値:	0	0	0	1	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

• TCSR_0

ビット	ビット名	初期値	R/W	説 明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグ B [セット条件] TCNT の値と TCORB の値が一致したとき [クリア条件] • CMFB=1 の状態で CMFB をリードした後、CMFB に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIB 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき* ³
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき* ³

ビット	ビット名	初期値	R/W	説明
5	OVF	0	R/(W)* ¹	タイマオーバフローフラグ [セット条件] TCNTの値がH'FFからH'00にオーバフローしたとき [クリア条件] OVF=1の状態でもOVFをリードした後、OVFに0をライトしたとき (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)
4	ADTE	0	R/W	A/Dトリガインエーブル* ³ コンペアマッチAによるA/D変換開始要求の許可または禁止を選択します。 0: コンペアマッチAによるA/D変換開始要求を禁止 1: コンペアマッチAによるA/D変換開始要求を許可
3	OS3	0	R/W	アウトプットセレクト3、2* ²
2	OS2	0	R/W	TCORBとTCNTのコンペアマッチBによるTMO端子の出力方法を選択します。 00: 変化しない 01: 0出力 10: 1出力 11: 反転出力(トグル出力)
1	OS1	0	R/W	アウトプットセレクト1、0* ²
0	OS0	0	R/W	TCORAとTCNTのコンペアマッチAによるTMO端子の出力方法を選択します。 00: 変化しない 01: 0出力 10: 1出力 11: 反転出力(トグル出力)

【注】 *1 フラグをクリアするための0ライトのみ可能です。

*2 OS3～OS0ビットがすべて0の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は0です。

*3 ユニット0、1のみ可能です。

• TCSR_1

ビット	ビット名	初期値	R/W	説明
7	CMFB	0	R/(W)* ¹	コンペアマッチフラグB [セット条件] TCNTの値とTCORBの値が一致したとき [クリア条件] • CMFB=1の状態でもCMFBをリードした後、CMFBに0をライトしたとき (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。) • CMIB割り込みにより、DTCが起動され、DTCのMRBのDISELビットが0のとき* ³

12. 8 ビットタイマ (TMR)

ビット	ビット名	初期値	R/W	説明
6	CMFA	0	R/(W)* ¹	コンペアマッチフラグ A [セット条件] TCNT の値と TCORA の値が一致したとき [クリア条件] • CMFA=1 の状態で CMFA をリードした後、CMFA に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • CMIA 割り込みにより、DTC が起動され、DTC の MRB の DISEL ビットが 0 のとき* ³
5	OVF	0	R/(W)* ¹	タイマオーバフローフラグ [セット条件] TCNT の値が H'FF から H'00 にオーバフローしたとき [クリア条件] OVF=1 の状態で OVF をリードした後、OVF に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
4	—	1	R	リザーブビット リードすると常に 1 が読み出されます。ライトは無効です。
3	OS3	0	R/W	アウトプットセレクト 3、2* ² TCORB と TCNT のコンペアマッチ B による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
2	OS2	0	R/W	
1	OS1	0	R/W	アウトプットセレクト 1、0* ² TCORA と TCNT のコンペアマッチ A による TMO 端子の出力方法を選択します。 00: 変化しない 01: 0 出力 10: 1 出力 11: 反転出力 (トグル出力)
0	OS0	0	R/W	

【注】 *1 フラグをクリアするための 0 ライトのみ可能です。

*2 OS3~OS0 ビットがすべて 0 の場合にはタイマ出力は禁止されます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

*3 ユニット 0、1 のみ可能です。

12.4 動作説明

12.4.1 パルス出力

任意のデューティパルスを出力させる例を図 12.5 に示します。

1. TCORAのコンペアマッチによりTCNTがクリアされるようにTCRのCCLR1ビットを0にクリア、CCLR0ビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により周期が TCORA、パルス幅が TCORB の波形をソフトウェアの介入なしに出力できます。リセット後、最初のコンペアマッチが起こるまでのタイマ出力は 0 です。

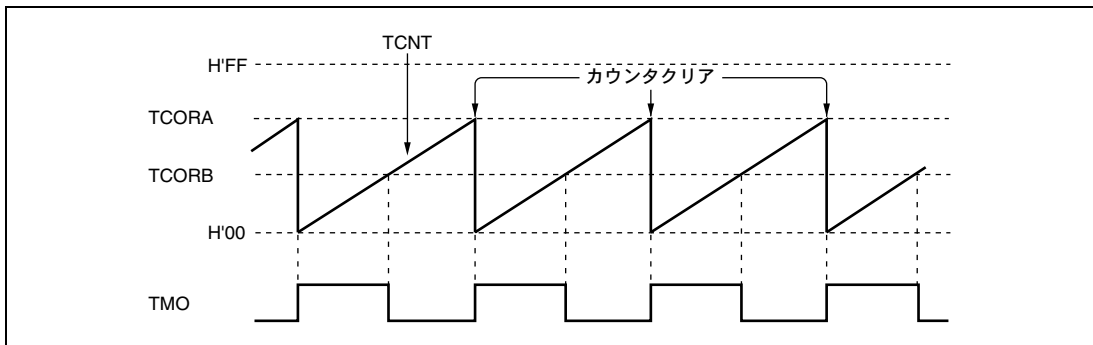


図 12.5 パルス出力例

12.4.2 リセット入力

TMRI 入力に対する任意の遅延時間のパルスを出力させる例を図 12.6 に示します。

1. TMRI入力のハイレベルでTCNTがクリアされるように、TCRのCCLR1、CCLR0ビットを1にセットし、TCCRのTMRISビットを1にセットします。
2. TCORAのコンペアマッチにより1出力、TCORBのコンペアマッチにより0出力になるようにTCSRのOS3～OS0ビットをB'0110に設定します。

以上の設定により TMRI 入力からの遅延が TCORA、パルス幅が (TCORB-TCORA) の波形を出力できます。

12. 8ビットタイマ (TMR)

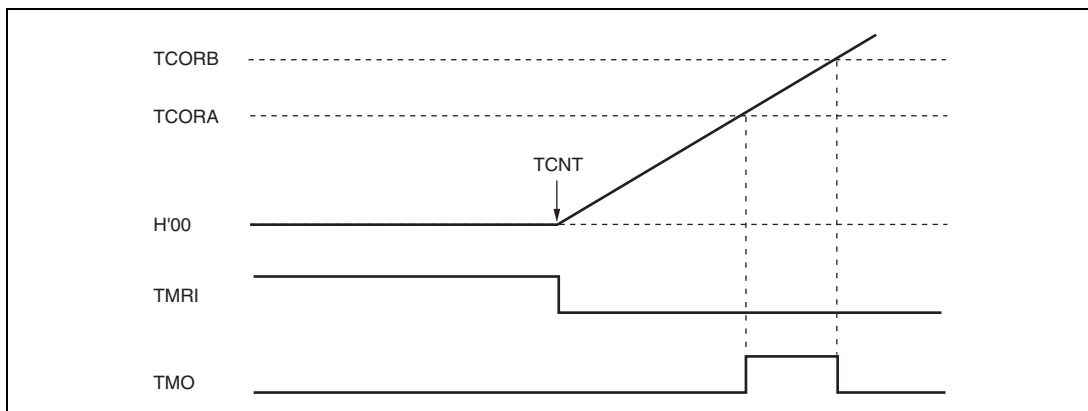


図 12.6 リセット入力例

12.5 動作タイミング

12.5.1 TCNT のカウントタイミング

内部クロック動作の場合の TCNT のカウントタイミングを図 12.7 に示します。また、外部クロック動作の場合の TCNT のカウントタイミングを図 12.8 に示します。なお外部クロックのパルス幅は、単エッジの場合は 1.5 ステート以上、両エッジの場合は 2.5 ステート以上必要です。これ以下のパルス幅では正しく動作しませんので注意してください。

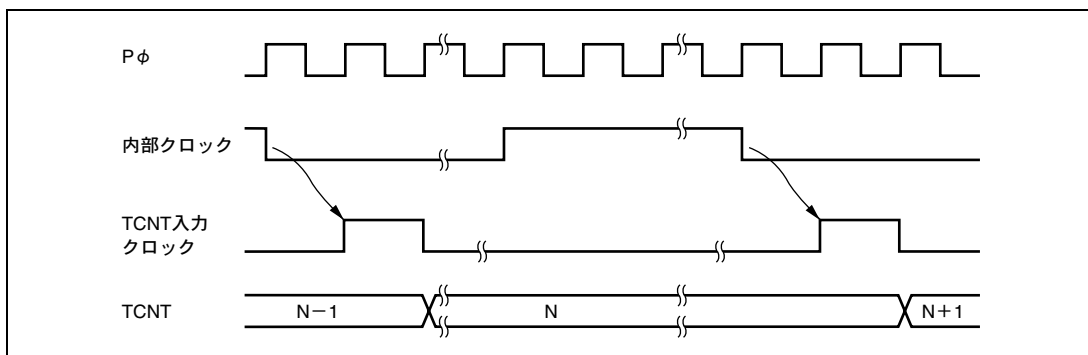


図 12.7 内部クロック動作時のカウントタイミング

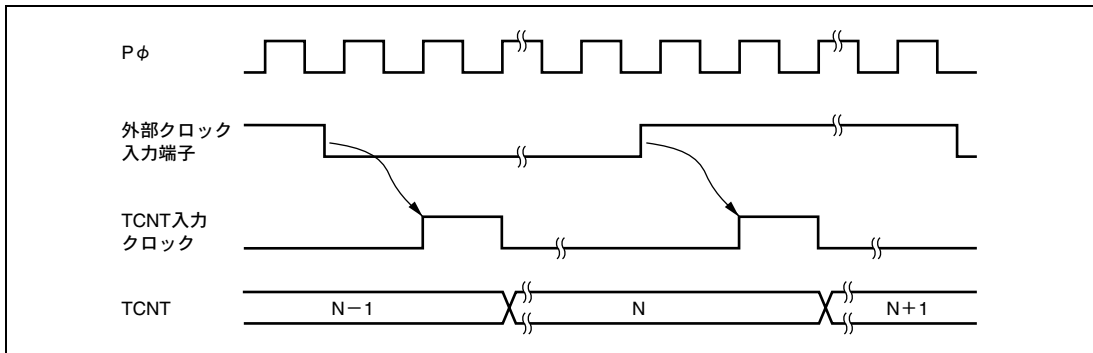


図 12.8 外部クロック動作時のカウントタイミング

12.5.2 コンペアマッチ時の CMFA、CMFB フラグのセットタイミング

TCSR の CMFA、CMFB フラグは、TCOR と TCNT の値が一致したとき出力されるコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート（TCNT が一致したカウント値を更新するタイミング）で発生します。したがって、TCNT と TCOR の値が一致した後、TCNT 入力クロックが発生するまでコンペアマッチ信号は発生しません。CMF フラグのセットタイミングを図 12.9 に示します。

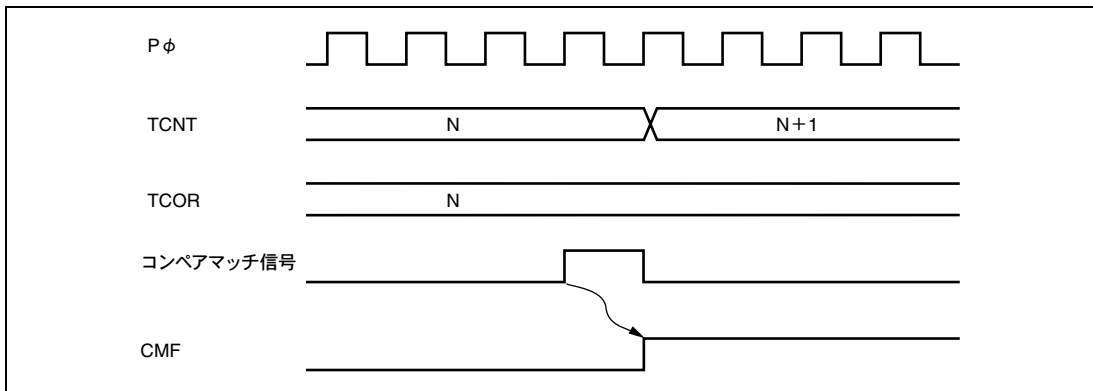


図 12.9 コンペアマッチ時の CMF フラグのセットタイミング

12.5.3 コンペアマッチ時のタイマ出力タイミング

コンペアマッチ信号が発生したとき、TCSR の OS3～OS0 ビットで設定される出力値がタイマ出力端子に出力されます。コンペアマッチ A 信号によるトグル出力の場合のタイマ出力タイミングを図 12.10 に示します。

12. 8ビットタイマ (TMR)

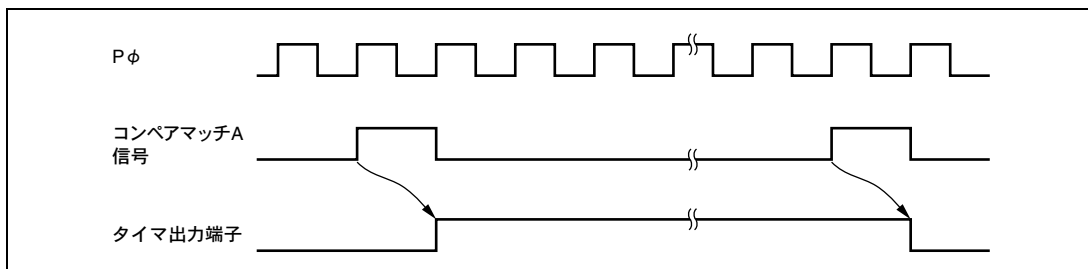


図 12.10 コンペアマッチ A 信号によるトグル出力のタイマ出カタイミング

12.5.4 コンペアマッチによるカウンタクリアタイミング

TCNT は、TCR の CCLR1、CCLR0 ビットの選択によりコンペアマッチ A またはコンペアマッチ B でクリアされます。コンペアマッチによるカウンタクリアタイミングを図 12.11 に示します。

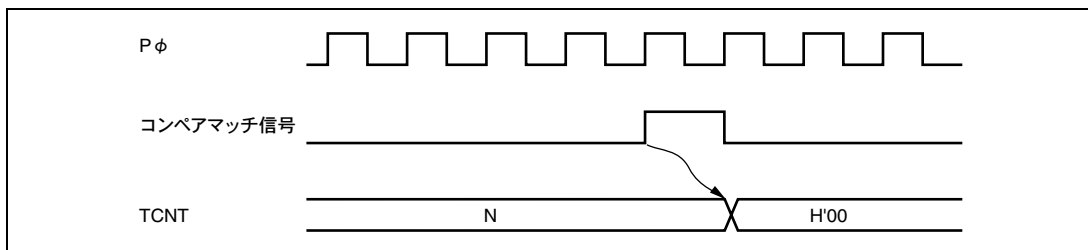


図 12.11 コンペアマッチによるカウンタクリアタイミング

12.5.5 TCNT の外部リセットタイミング*

TCNT は、TCR の CCLR1、CCLR0 ビットの選択により外部リセット入力の立ち上がりエッジ、またはハイレベルでクリアされます。クリアまでのパルス幅は 2 ステート以上必要となります。外部リセット入力によるクリアタイミングを図 12.12、図 12.13 に示します。

【注】 * ユニット 0、1 のみ外部リセットによるクリアが可能です。

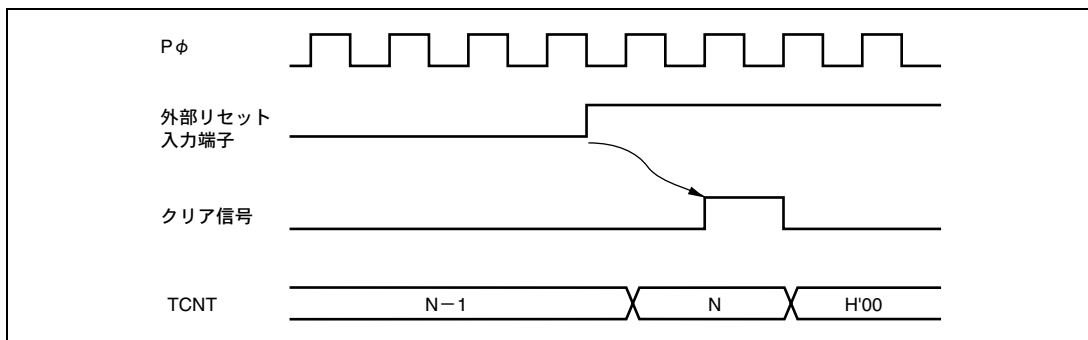


図 12.12 外部リセット入力によるクリアタイミング (立ち上がりエッジ)

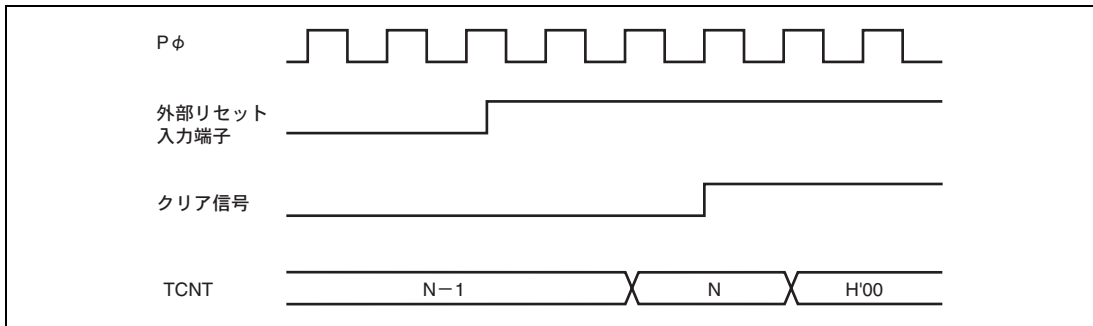


図 12.13 外部リセット入力によるクリアタイミング (ハイレベル)

12.5.6 オーバフローフラグ (OVF) のセットタイミング

TCSR の OVF は、TCNT がオーバフロー ($H'FF \rightarrow H'00$) したとき出力されるオーバフロー信号により 1 にセットされます。OVF フラグのセットタイミングを図 12.14 に示します。

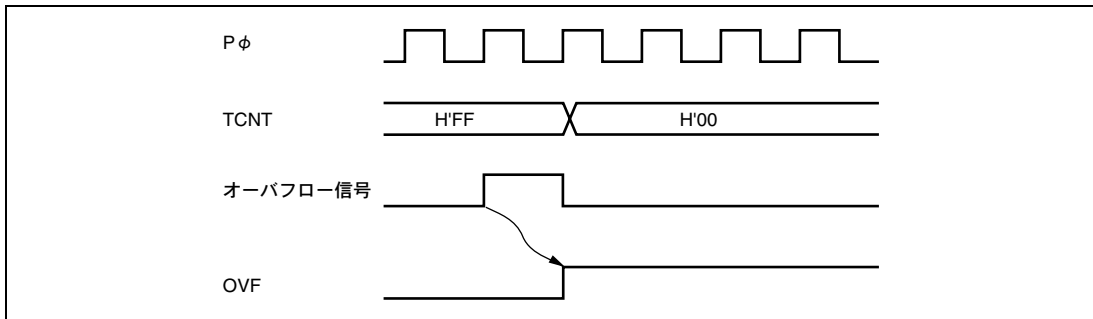


図 12.14 OVF フラグのセットタイミング

12.6 カスケード接続時の動作

TCR_0、TCR_1のいずれか一方のCKS2~CKS0ビットをB'100に設定すると、2チャンネルの8ビットタイマはカスケード接続されます。この場合、1本の16ビットタイマとして使用する16ビットカウントモードか、またはチャンネル0の8ビットタイマのコンペアマッチをチャンネル1のタイマでカウントするコンペアマッチカウントモードにすることができます。

12.6.1 16ビットカウントモード

TCR_0のCKS2~CKS0ビットがB'100のとき、タイマはチャンネル0を上位8ビット、チャンネル1を下位8ビットとする1チャンネルの16ビットタイマとして動作します。

(1) コンペアマッチフラグのセット

- TCSR_0のCMFフラグは、16ビットのコンペアマッチが発生したとき1にセットされます。
- TCSR_1のCMFフラグは、下位8ビットのコンペアマッチが発生したとき1にセットされます。

(2) カウンタクリア指定

- TCR_0のCCLR1、CCLR0ビットでコンペアマッチによるカウンタクリアを設定した場合、16ビットのコンペアマッチが発生したとき16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされます。また、TMR10端子によるカウンタクリアを設定した場合も、16ビットカウンタ (TCNT_0、TCNT_1の両方) がクリアされません。
- TCR_1のCCLR1、CCLR0ビットの設定は無効になります。下位8ビットのみのカウンタクリアはできません。

(3) 端子出力

- TCSR_0のOS3~OS0ビットによるTMO0端子の出力制御は16ビットのコンペアマッチ条件に従います。
- TCSR_1のOS3~OS0ビットによるTMO1端子の出力制御は下位8ビットのコンペアマッチ条件に従います。

12.6.2 コンペアマッチカウントモード

TCR_1のCKS2~CKS0ビットがB'100のとき、TCNT_1はチャンネル0のコンペアマッチAをカウントします。チャンネル0、1の制御はそれぞれ独立に行われます。CMFフラグのセット、割り込みの発生、TMO端子の出力、カウンタクリアなどは各チャンネルの設定に従います。

12.7 割り込み要因

12.7.1 割り込み要因と DTC 起動

- ユニット0、1の割り込み

8ビットタイマ TMR_0、TMR_1 の割り込み要因は、CMIA、CMIB、OVI の3種類があります。表 12.4 に各割り込み要因と優先順位を示します。各割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより許可または禁止が設定され、それぞれ独立に割り込みコントローラに送られます。また、CMIA、CMIB 割り込みにより DTC を起動することができます。(ユニット0、1のみ)

表 12.4 8ビットタイマ TMR_0、TMR_1 の割り込み要因 (ユニット0、1)

信号名	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMIA0	CMIA0	TCORA_0 のコンペアマッチ	CMFA	可	高 ↑
CMIB0	CMIB0	TCORB_0 のコンペアマッチ	CMFB	可	
OVI0	OVI0	TCNT_0 のオーバーフロー	OVF	不可	低
CMIA1	CMIA1	TCORA_1 のコンペアマッチ	CMFA	可	高 ↑
CMIB1	CMIB1	TCORB_1 のコンペアマッチ	CMFB	可	
OVI1	OVI1	TCNT_1 のオーバーフロー	OVF	不可	低

- ユニット2、3の割り込み

8ビットタイマ TMR_4、TMR_5 の割り込み要因は、CMIA、CMIB の2種類があります。割り込み信号は、CMI の1種類です。表 12.5 に割り込み要因を示します。

下記の割り込み要因は、TCR または TCSR の各割り込みイネーブルビットにより、許可または禁止が設定され、CMIA、CMIB どちらかの要因が発生したときに CMI が割り込みコントローラに送られます。

CMIA と CMIB のどちらの要因か確認する場合は、TCSR の各フラグで確認してください。オーバーフロー要因の割り込み信号はありません。本割り込みにより DTC は起動できません。

表 12.5 8ビットタイマ TMR_4、TMR_5 の割り込み要因 (ユニット2、3)

信号名	名称	割り込み要因	割り込みフラグ	DTC の起動	優先順位
CMI4	CMIA4	TCORA_4 のコンペアマッチ	CMFA	不可	-
	CMIB4	TCORB_4 のコンペアマッチ	CMFB		
CMI5	CMIA5	TCORA_5 のコンペアマッチ	CMFA	不可	-
	CMIB5	TCORB_5 のコンペアマッチ	CMFB		

12. 8ビットタイマ (TMR)

12.7.2 A/D 変換器の起動

TMR_0 のコンペアマッチ A のみ、A/D 変換器を起動することができます。*

TMR_0 のコンペアマッチ A の発生により、TCSR_0 の CMFA フラグが 1 にセットされたとき、ADTE ビットが 1 にセットされていれば、A/D 変換器に対して A/D 変換の開始を要求します。この時 A/D 変換器側で、8 ビットタイマの変換トリガが選択されていれば、A/D 変換が開始されます。

【注】 * ユニット 0、1 のみ可能です。

12.8 使用上の注意

12.8.1 周期設定上の注意

コンペアマッチによるカウンタクリアを設定した場合、TCNT は TCOR の値と一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) でクリアされます。このため、カウンタの周波数は次の式になります (f: カウンタ周波数、φ: 動作周波数、N: TCOR の設定値)。

$$f = \phi / (N + 1)$$

12.8.2 TCNT のライトとカウンタクリアの競合

図 12.15 のように TCNT のライトサイクル中の T₂ ステートでカウンタクリアが発生すると、カウンタへのライトは行われずクリアが優先されます。

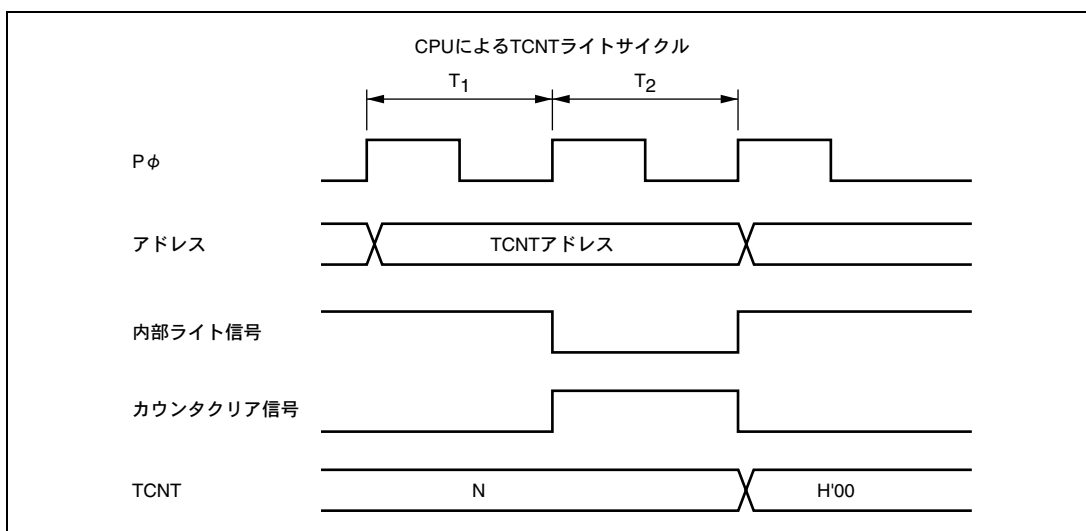


図 12.15 TCNT のライトとクリアの競合

12.8.3 TCNTのライトとカウントアップの競合

図 12.16 のように TCNT のライトサイクル中の T₂ ステートでカウントアップが発生しても、カウントアップされずカウンタライトが優先されます。

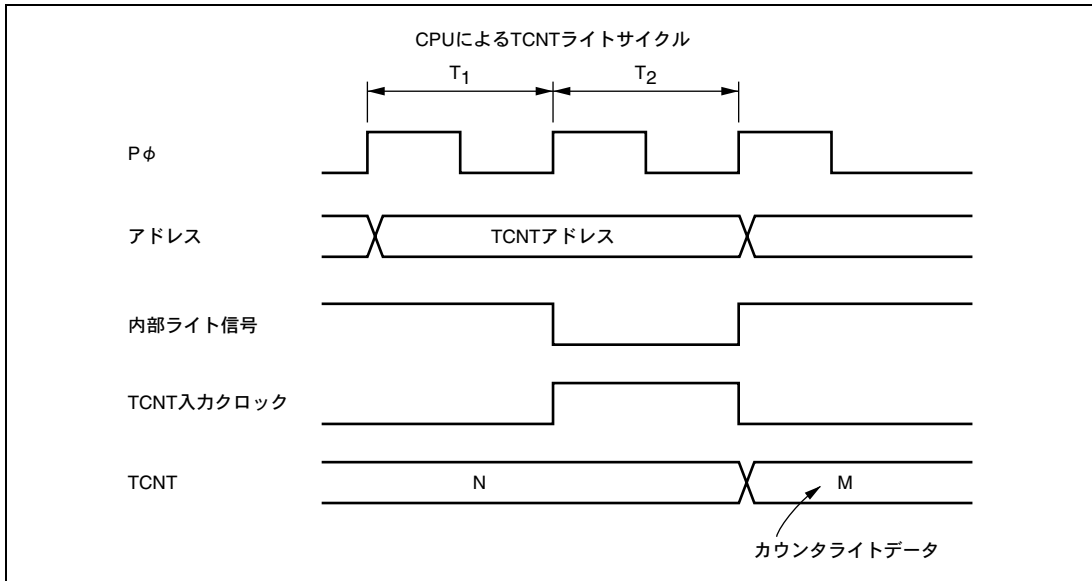


図 12.16 TCNT のライトとカウントアップの競合

12. 8ビットタイマ (TMR)

12.8.4 TCORのライトとコンペアマッチの競合

図 12.17 のように TCOR のライトサイクル中の T₂ ステートでコンペアマッチが発生しても、TCOR のライトが優先されコンペアマッチ信号は禁止されます。

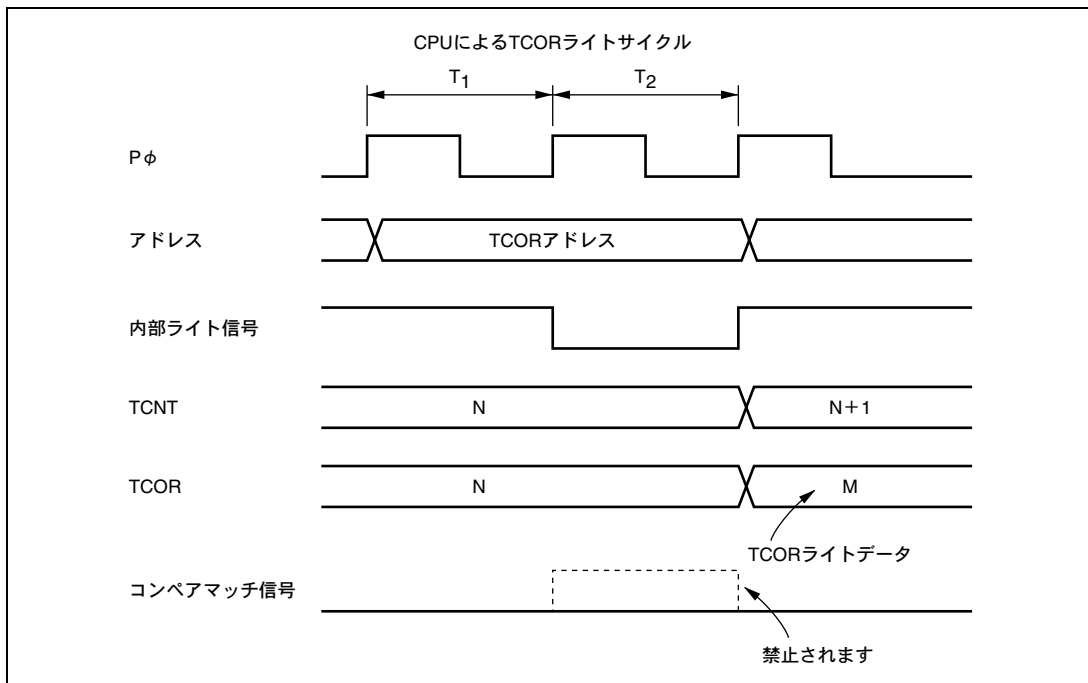


図 12.17 TCORのライトとコンペアマッチの競合

12.8.5 コンペアマッチ A、B の競合

コンペアマッチ A、コンペアマッチ B が同時に発生すると、コンペアマッチ A に対して設定されている出力状態と、コンペアマッチ B に対して設定されている出力状態のうち、表 12.6 に示すタイマ出力の優先順位にしたがって動作します。

表 12.6 タイマ出力の優先順位

出力設定	優先順位
トグル出力	高
1 出力	↑
0 出力	
変化しない	低

12.8.6 内部クロックの切り替えと TCNT の動作

内部クロックを切り替えるタイミングによっては、TCNT がカウントアップされてしまう場合があります。内部クロックの切り替えタイミング（CKS1、CKS0 ビットの書き換え）と TCNT 動作の関係を表 12.7 に示します。

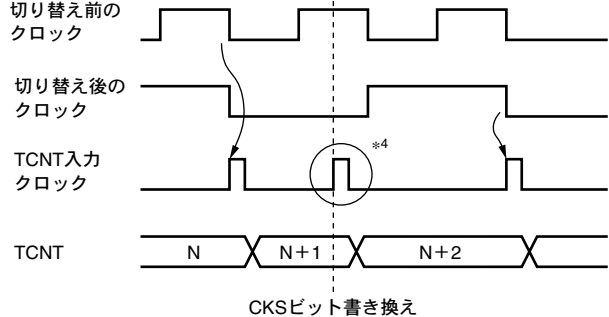
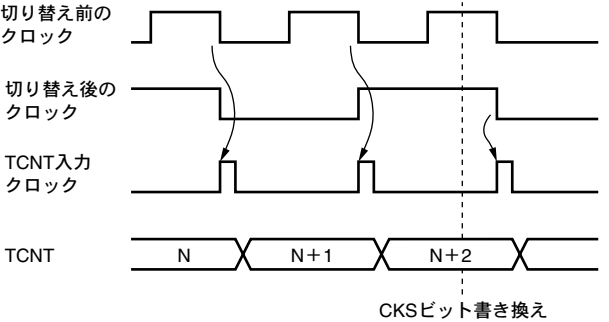
内部クロックから TCNT クロックを生成する場合、内部クロックの立ち上がりエッジ、または立ち下がりエッジで検出しています。そのため、例えば立ち下がりエッジを選択している場合表 12.7 の No.3 のように、High→Low レベルになるようなクロックの切り替えを行うと、切り替えタイミングを立ち下がりエッジとみなして TCNT クロックが発生し、TCNT がカウントアップされてしまいます。立ち上がりエッジを選択している場合も同様です。

また、内部クロックの立ち上がりエッジと立ち下がりエッジを切り替えるとき、および、内部クロックと外部クロックを切り替えるときも、TCNT がカウントアップされることがあります。

表 12.7 内部クロックの切り替えと TCNT の動作

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
1	Low→Low レベル* ¹ の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
2	Low→High レベル* ² の切り替え	<p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

12. 8ビットタイマ (TMR)

No	CKS1、CKS0 ビット 書き換えタイミング	TCNT クロックの動作
3	High→Low レベル ^{*3} の切り替え	 <p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>
4	High→High レベル の切り替え	 <p>切り替え前のクロック</p> <p>切り替え後のクロック</p> <p>TCNT入力クロック</p> <p>TCNT</p> <p>CKSビット書き換え</p>

- 【注】
- *1 Low レベル→停止、および停止→Low レベルの場合を含みます。
 - *2 停止→High レベルの場合を含みます。
 - *3 High レベル→停止の場合を含みます。
 - *4 切り替えのタイミングを立ち下がりエッジとみなすために発生し、TCNT はカウントアップされてしまいます。

12.8.7 カスケード接続時のモード設定

16ビットカウンタモードとコンペアマッチカウントモードを同時に設定した場合、TCNT_0、TCNT_1の入力クロックが発生しなくなるためカウンタが停止して動作しません。この設定は行わないでください。

12.8.8 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、TMRの動作禁止/許可を設定することが可能です。初期値では、TMRの動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「23. 低消費電力」を参照してください。

12.8.9 モジュールストップ状態時の割り込み

割り込みが要求された状態でモジュールストップ状態にすると、CPUの割り込み要因、またはDTCの起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてから、モジュールストップ状態にしてください。

13. 32K タイマ (TM32K)

32K タイマ (TM32K) は 8 ビットのタイマで、カウンタがオーバーフローするごとに 32K タイマ割り込みを発生します。TM32K のブロック図を図 13.1 に示します。

13.1 特長

- 32.768KHz クロックを分周した 4 種類のカウンタ入力クロックが選択可能
- カウンタがオーバーフローすると、32K タイマ割り込み (32KOV1) を発生
- オーバフロー周期は 250msec、500msec、1sec、2sec の 4 種類が設定可能
- ハードウェアスタンバイモード、リセット状態を除いてカウンタ動作可能

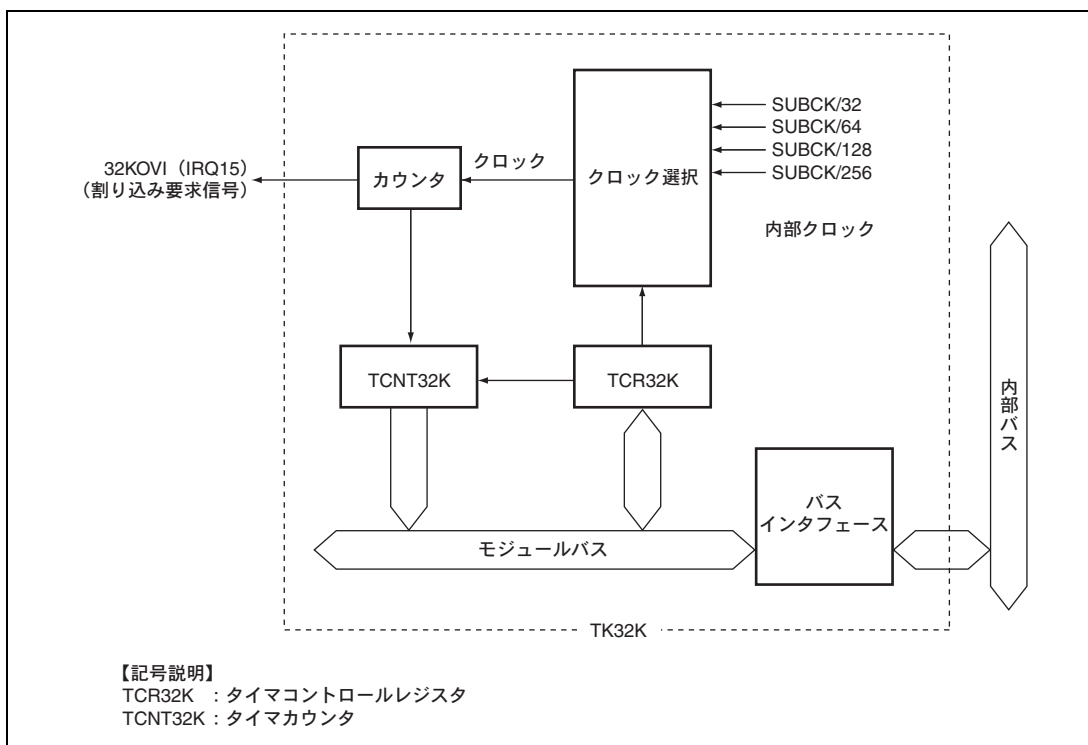


図 13.1 TM32K のブロック図

13. 32K タイマ (TM32K)

13.2 レジスタの説明

TM32K には、以下のレジスタがあります。

- タイマカウンタ (TCNT32K)
- タイマコントロールレジスタ (TCR32K)

13.2.1 タイマカウンタ (TCNT32K)

TCNT32K は、リード可能な 8 ビットのアップカウンタです。TCNT32K は、タイマコントロールレジスタ (TCR32K) の TME ビットが 0 のとき、H'00 に初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

【注】 32KHz 発振器が停止した状態 (OSC32STP=1) でカウンタリードすると正しい値が読めません。

13.2.2 タイマコントロールレジスタ (TCR32K)

TCR32K は、タイマのイネーブル、32K 発振器の停止、TCNT32K に入力するクロックの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	TME	—	—	OSC32STP	CKS1	CKS0
初期値:	1	1	0	1	1	0	0	0
R/W:	R	R	R/W	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
5	TME	0	R/W	タイマイネーブル このビットを 1 にセットすると TCNT32K がカウントを開始します。 クリアすると TCNT32K はカウントを停止し、H'00 に初期化されます。
4	—	1	R	リザーブビット
3	—	1	R	リードすると常に 1 が読み出されます。ライトは無効です。
2	OSC32STP*	0	R/W	32KHz 発振器停止 0: 32KHz 発振器は動作します。 1: 32KHz 発振器は停止します。

ビット	ビット名	初期値	R/W	説明
1	CKS1	0	R/W	クロックセレクト 1、0 TCNT32K に入力するクロックを選択します。() 内は SUBCK=32.768KHz のときのオーバーフロー周期を示します。 00 : クロック SUBCK/32 (周期 250ms) 01 : クロック SUBCK/64 (周期 500ms) 10 : クロック SUBCK/128 (周期 1s) 11 : クロック SUBCK/512 (周期 2s)
0	CKS0	0	R/W	

【注】 * SUBCKCR レジスタの CK32K ビットが 1 のときは、本ビットへの 1 ライトができません。

13.3 動作説明

TCR32K の TME ビットを 1 に設定するとカウンタ (TCNT32K) がカウントアップを開始します。

TCNT32K がオーバーフローするごとに 32K タイマ割り込み (32KOV) が発生します。

したがって、クロックセレクトビット 0、1 (TCR32K) の設定による周期で一定時間ごとの割り込みを発生させることができます。

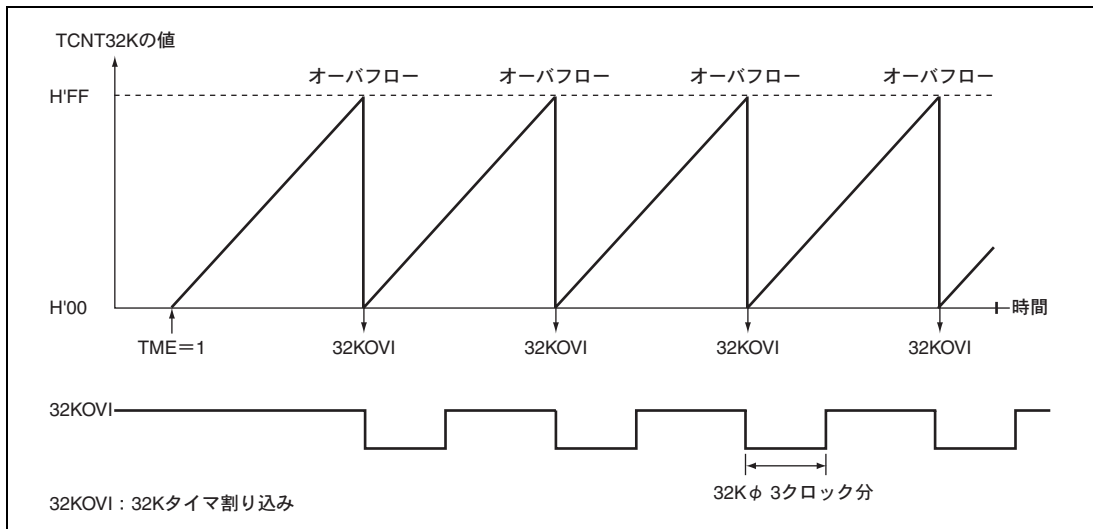


図 13.2 32K タイマの動作

13.4 割り込み要因

32K タイマはオーバフローにより 32KHz 3 クロックの 32K タイマ割り込み (32KOV1) を発生します。
32KOV1 は内部で IRQ15 に接続されており、割り込み発生時は ISR の IRQ15F ビットが 1 にセットされます。
IRQ15 の設定は、ISCR で立ち下がりエッジ割り込み要求を使用してください。

表 13.1 TM32K の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
32KOV1	TCNT32K のオーバフロー	IRQ15F	不可

13.5 使用上の注意事項

13.5.1 CKS1、CKS0 ビットの書き換え

TM32K の動作中に TCR32K の CKS1、CKS0 ビットを書き換えると、カウントアップが正しく行われない場合があります。CKS1、CKS0 ビットを書き換えるときは、必ず TM32K の停止中 (TME ビットが 0 の状態) に行ってください。

13.5.2 32K タイマ使用上の注意

- OSC32STP ビットが 1 の状態では 32K タイマは動作しません。32K タイマを動作させる場合は、必ず OSC32STP ビットを 0 にしてください。
- OSC32STP ビットを 1 から 0 にしたときは 32K 発振器の発振安定時間をお待ちください。

13.5.3 タイマカウンタリード時の注意

ソフトウェアスタンバイから復帰直後の 32KHz 1 クロックの期間はカウンタリード値が不定です。
リードする場合は 32KHz 1 クロックお待ちください。

13.5.4 レジスタ初期化の注意

32K タイマの TCR32K、TCNT32K はハードウェアスタンバイモード、端子リセット状態のときに初期化されません。ウォッチドッグタイマのオーバフローによるリセットでは、初期化されません。

14. ウォッチドッグタイマ (WDT)

ウォッチドッグタイマ (WDT) は 8 ビットのタイマで、システムの暴走などによりカウンタの値が書き換えられずにオーバーフローすると外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本 LSI 内部をリセットすることができます。

ウォッチドッグタイマとして使用しない場合は、インターバルタイマとして使用することもできます。インターバルタイマとして使用する場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。WDT のブロック図を図 14.1 に示します。

14.1 特長

- 8種類のカウント入力クロックを選択可能
- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能

ウォッチドッグタイマモード

- カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力、このとき同時に本LSI内部をリセットするかしないかを選択可能

インターバルタイマモード

- カウンタがオーバーフローすると、インターバルタイマ割り込み (WOVI) を発生

14. ウォッチドッグタイマ (WDT)

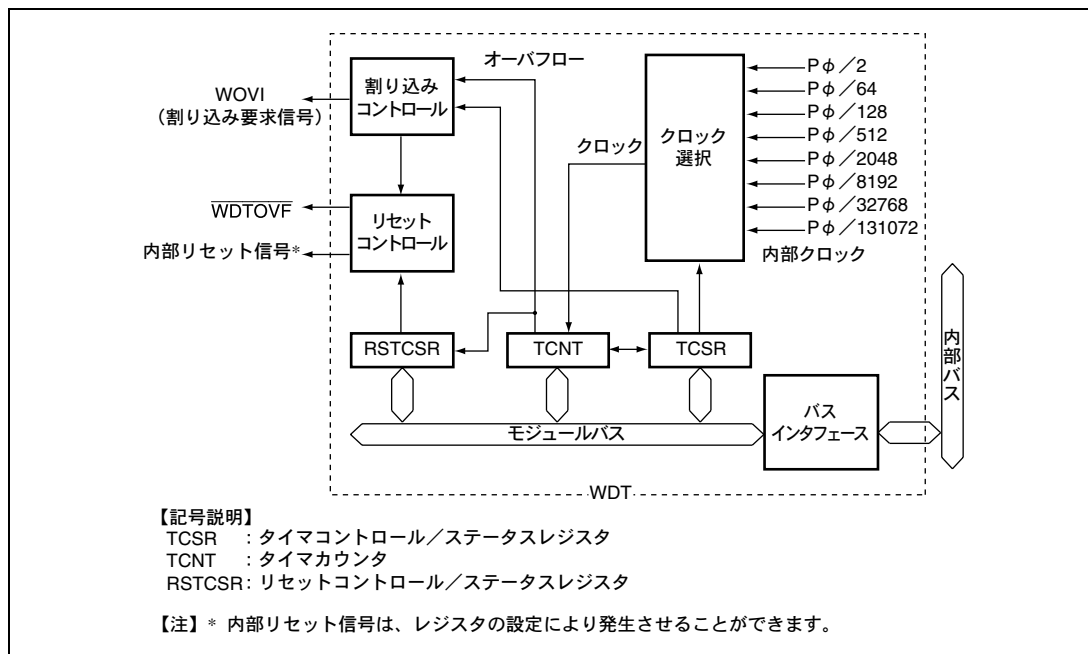


図 14.1 WDT のブロック図

14.2 入出力端子

WDT の端子構成を表 14.1 に示します。

表 14.1 端子構成

名称	記号	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

14.3 レジスタの説明

WDTには、以下のレジスタがあります。TCNT、TCSR、RSTCSRは容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。詳細は、「14.6.1 レジスタアクセス時の注意」を参照してください。

- タイマカウンタ (TCNT)
- タイマコントロール/ステータスレジスタ (TCSR)
- リセットコントロール/ステータスレジスタ (RSTCSR)

14.3.1 タイマカウンタ (TCNT)

TCNTは、リード/ライト可能な8ビットのアップカウンタです。TCNTは、タイマコントロール/ステータスレジスタ (TCSR) のTMEビットが0のとき、H'00に初期化されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3.2 タイマコントロール/ステータスレジスタ (TCSR)

TCSRは、TCNTに入力するクロック、モードの選択などを行います。

ビット	7	6	5	4	3	2	1	0
ビット名	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

14. ウォッチドッグタイマ (WDT)

ビット	ビット名	初期値	R/W	説明
7	OVF	0	R/(W)*	<p>オーバフローフラグ</p> <p>インターバルタイマモードで TCNT がオーバフローしたことを示します。フラグをクリアするための 0 クリアのみ可能です。</p> <p>[セット条件]</p> <p>インターバルタイマモードで TCNT がオーバフロー(H'FF→H'00)したとき</p> <p>ただし、ウォッチドッグタイマモードで、内部リセット要求を選択した場合は、セット後、内部リセットにより自動的にクリアされます。</p> <p>[クリア条件]</p> <p>OVF=1 の状態で、TCSR をリード後、OVF に 0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
6	WT/IT	0	R/W	<p>タイマモードセレクト</p> <p>ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。</p> <p>0 : インターバルタイマモード TCNT がオーバフローしたとき、インターバルタイマ割り込み (WOVI) を要求します。</p> <p>1 : ウォッチドッグタイマモード TCNT がオーバフローしたとき、外部へ $\overline{\text{WDTOVF}}$ を出力します。</p>
5	TME	0	R/W	<p>タイマイネーブル</p> <p>このビットを 1 にセットすると TCNT がカウントを開始します。クリアすると TCNT はカウント動作を停止し、H'00 に初期化されます。</p>
4	—	1	R	リザーブビット
3	—	1	R	これらのビットはリードのみ有効で、ライトは無効です。
2	CKS2	0	R/W	クロックセレクト 2~0
1	CKS1	0	R/W	TCNT に入力するクロックを選択します。() 内は PΦ=20MHz のときのオーバフロー周期を表します。
0	CKS0	0	R/W	
				<p>000 : クロック PΦ/2 (周期 25.6μs)</p> <p>001 : クロック PΦ/64 (周期 819.2μs)</p> <p>010 : クロック PΦ/128 (周期 1.6ms)</p> <p>011 : クロック PΦ/512 (周期 6.6ms)</p> <p>100 : クロック PΦ/2048 (周期 26.2ms)</p> <p>101 : クロック PΦ/8192 (周期 104.9ms)</p> <p>110 : クロック PΦ/32768 (周期 419.4ms)</p> <p>111 : クロック PΦ/131072 (周期 1.68s)</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

14.3.3 リセットコントロール/ステータスレジスタ (RSTCSR)

RSTCSR は、TCNT のオーバーフローによる内部リセット信号の発生を制御し、内部リセット信号の種類を選択します。RSTCSR は、 \overline{RES} 端子からのリセット信号で H'1F に初期化されます。WDT のオーバーフローによる内部リセット信号では初期化されません。

ビット	7	6	5	4	3	2	1	0
ビット名	WOVF	RSTE	—	—	—	—	—	—
初期値 :	0	0	0	1	1	1	1	1
R/W :	R/(W)*	R/W	R/W	R	R	R	R	R

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	WOVF	0	R/(W)*	ウォッチドッグタイマオーバーフローフラグ ウォッチドッグタイマモードで、TCNT がオーバーフローするとセットされます。インターバルタイマモードではセットされません。0ライトのみ可能です。 [セット条件] ウォッチドッグタイマモードで TCNT がオーバーフロー(H'FF→H'00)したとき [クリア条件] 1の状態をリードした後、0をライトしたとき (割り込みを使用し CPU によってクリアする場合、0ライト後に必ずフラグをリードしてください。)
6	RSTE	0	R/W	リセットイネーブル ウォッチドッグタイマモードで TCNT のオーバーフローにより LSI 内部をリセットするかどうかを選択します。 0 : TCNT がオーバーフローしても、内部はリセットされません。 (本 LSI 内部はリセットされませんが、WDT 内の TCNT、TCSR はリセットされます。) 1 : TCNT がオーバーフローすると内部がリセットされます。
5	—	0	R/W	リザーブビット リード/ライト可能ですが、動作に影響を与えません。
4~0	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

【注】 * フラグをクリアするための0ライトのみ可能です。

14.4 動作説明

14.4.1 ウォッチドッグタイマモード

ウォッチドッグタイマモードとして使用するときには、TCSR の $\overline{WT/IT}$ ビット=1 に、TME ビット=1 に設定してください。

ウォッチドッグタイマとして動作しているとき、システムの暴走などにより TCNT の値が書き換えられずオーバフローすると、 \overline{WDTOVF} 信号が出力されます。システムが正常に動作している間は、TCNT のオーバフローは発生しません。TCNT がオーバフローする前に必ず TCNT の値を書き換えて（通常は H'00 をライトする）、オーバフローを発生させないようにプログラムしてください。さらに、ウォッチドッグタイマモード時には、 \overline{WDTOVF} 信号を用いて LSI 内部をリセットすることができます。

RSTCSR の RSTE ビットを 1 にセットしておくとき、TCNT がオーバフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。 \overline{RES} 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

\overline{WDTOVF} 信号は、RSTCSR の RSTE ビット=1 のとき Pφ で 133 ステート、RSTE ビット=0 のとき Pφ で 130 ステートの間出力されます。内部リセット信号は、Pφ で 519 ステートの間出力されます。

RSTE ビット=1 のときは内部をリセットする信号が発生し、システムクロックコントロールレジスタ (SCKCR) がリセットされるため、Pφ の入力クロックに対する倍率は初期値になります。

RSTE ビット=0 のときは内部をリセットする信号が発生せず、SCKCR の設定が保持されるため、Pφ の入力クロックに対する倍率は変化しません。

ウォッチドッグタイマモードで TCNT がオーバフローすると、RSTCSR の WOVF ビットが 1 にセットされます。また、RSTCSR の RSTE ビットが 1 にセットしてあるとき、TCNT がオーバフローしたとき、本 LSI 全体に対して内部リセット信号が発生します。

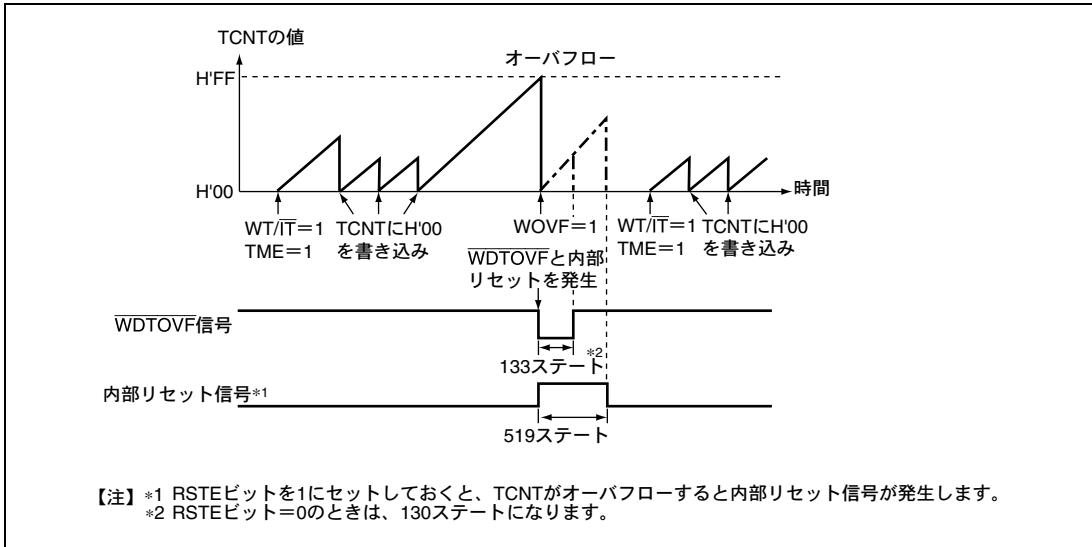


図 14.2 ウォッチドッグタイマモード時の動作

14.4.2 インターバルタイマモード

インターバルタイマとして使用するときは、TCSR の WT/IT ビット=0 に、TME ビット=1 に設定してください。

インターバルタイマとして動作しているときは、TCNT がオーバーフローするごとにインターバルタイマ割り込み (WOVI) が発生します。したがって、一定時間ごとに割り込みを発生させることができます。

インターバルタイマモードで TCNT がオーバーフローすると、TCSR の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (WOVI) が要求されます。

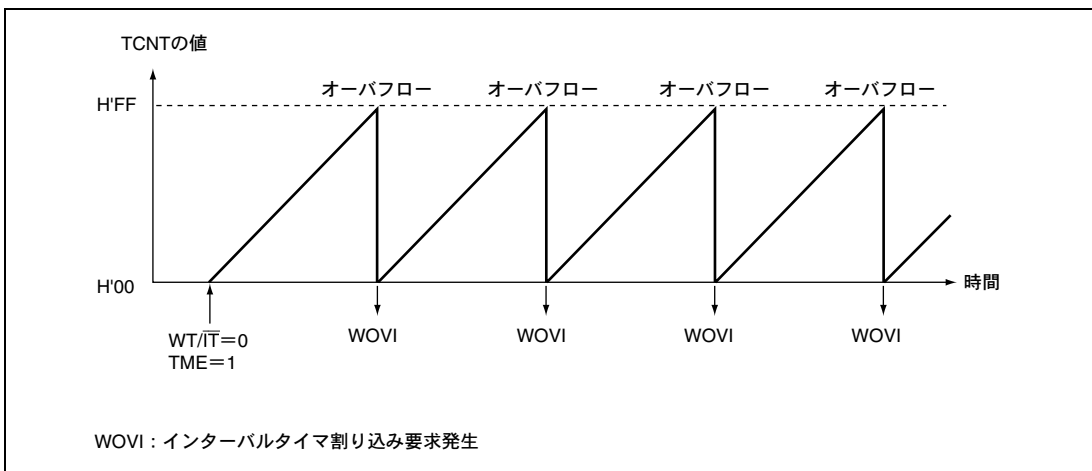


図 14.3 インターバルタイマモード時の動作

14. ウォッチドッグタイマ (WDT)

14.5 割り込み要因

インターバルタイムモード時、オーバフローによりインターバルタイム割り込み (WOVI) を発生します。インターバルタイム割り込みは、TCSR の OVF フラグが 1 にセットされると常に要求されます。割り込み処理ルーチンで必ず OVF を 0 にクリアしてください。

表 14.2 WDT の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動
WOVI	TCNT のオーバフロー	OVF	不可

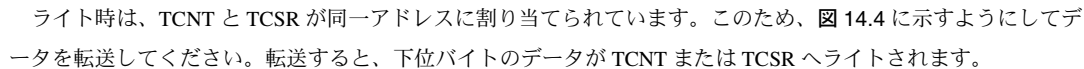
14.6 使用上の注意事項

14.6.1 レジスタアクセス時の注意

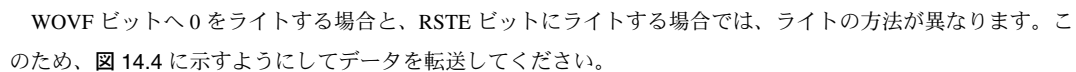
TCNT、TCSR、RSTCSR は、容易に書き換えられないように、ライト方法が一般のレジスタと異なっています。次の方法で、リード/ライトを行ってください。

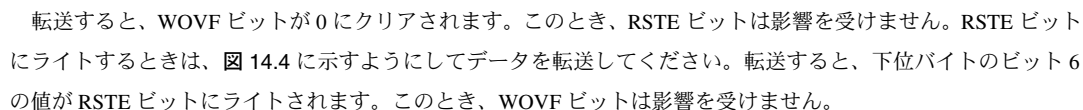
(1) TCNT、TCSR、RSTCSR へのライト

TCNT、TCSR へライトするときは、必ずワード転送命令を使用してください。バイト転送命令では、ライトできません。

ライト時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、 14.4 に示すようにしてデータを転送してください。転送すると、下位バイトのデータが TCNT または TCSR へライトされます。

RSTCSR へライトするときは、アドレス (H'FFA6) に対してワード転送を行ってください。バイト転送命令では、ライトできません。

WOVF ビットへ 0 をライトする場合と、RSTE ビットにライトする場合では、ライトの方法が異なります。このため、 14.4 に示すようにしてデータを転送してください。

転送すると、WOVF ビットが 0 にクリアされます。このとき、RSTE ビットは影響を受けません。RSTE ビットにライトするときは、 14.4 に示すようにしてデータを転送してください。転送すると、下位バイトのビット 6 の値が RSTE ビットにライトされます。このとき、WOVF ビットは影響を受けません。

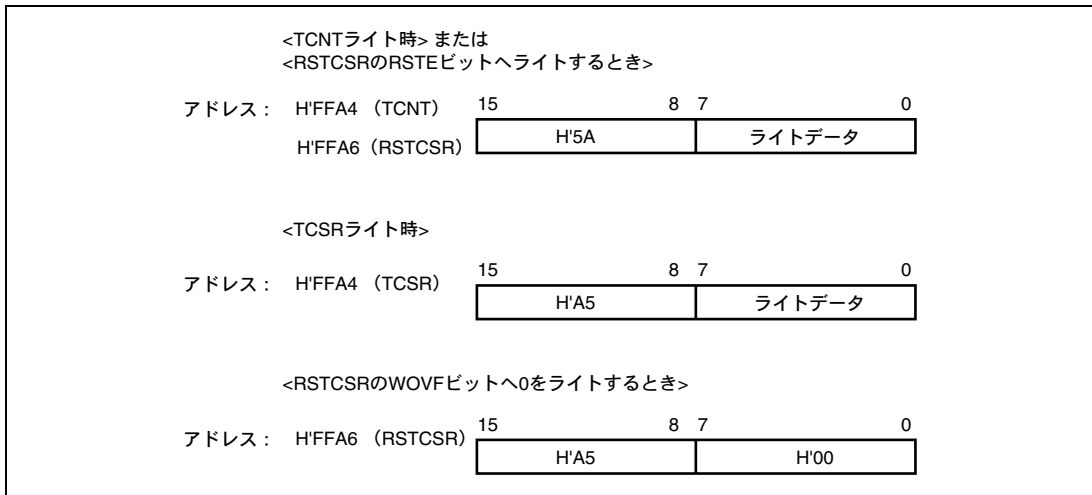


図 14.4 TCNT、TCSR、RSTCSR へのライト

(2) TCNT、TCSR、RSTCSR からのリード

リードは、一般のレジスタと同様の方法で行うことができます。TCSR はアドレス (H'FFA4) に、TCNT はアドレス (H'FFA5) に、RSTCSR はアドレス (H'FFA7) にそれぞれ割り当てられています。

14.6.2 タイマカウンタ (TCNT) のライトとカウントアップの競合

TCNT のライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずに TCNT へのカウンタライトが優先されます。これを図 14.5 に示します。

14. ウォッチドッグタイマ (WDT)

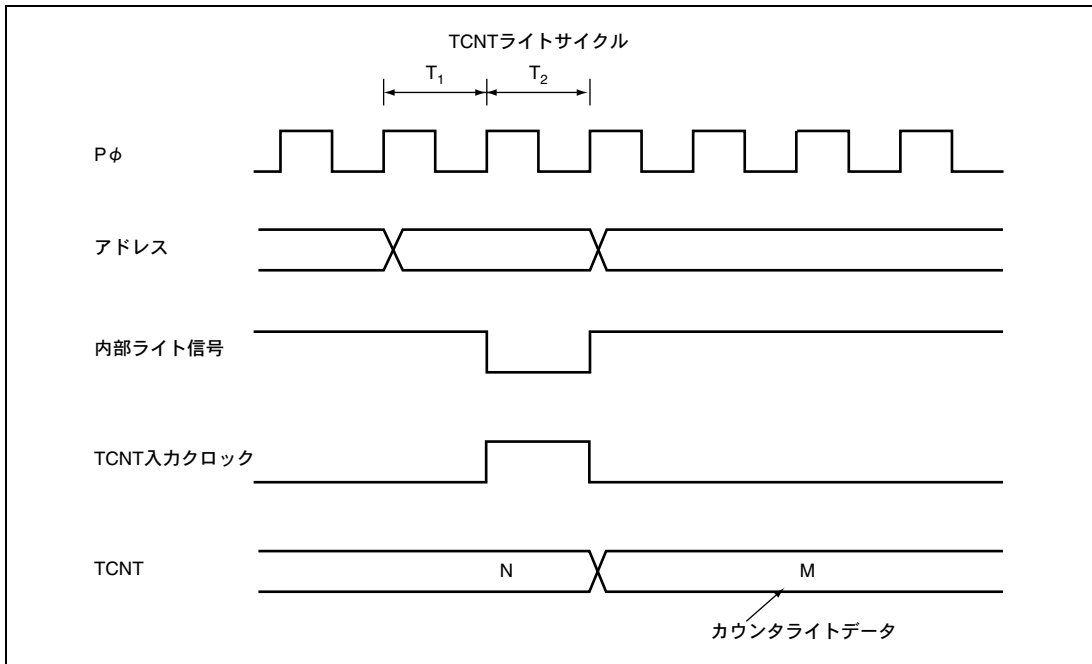


図 14.5 TCNT のライトとカウントアップの競合

14.6.3 CKS2～CKS0 ビットの書き換え

WDT の動作中に TCSR の CKS2～CKS0 ビットを書き換えると、カウントアップが正しく行われな場合があります。CKS2～CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.4 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われない場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

14.6.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT の TCNT、TCSR はリセットされます。

$\overline{\text{WDTOVF}}$ 信号が Low レベルを出力している期間は、TCNT、TCSR、RSTCSR へのライトはできません。また、この期間は WOVF フラグのリードも認識されません。そのため、WOVF フラグのクリアは、 $\overline{\text{WDTOVF}}$ 信号が High レベルになってから、TCSR をリードした後、WOVF フラグに 0 をライトしてください。

14.6.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット

$\overline{\text{WDTOVF}}$ 信号を $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。 $\overline{\text{WDTOVF}}$ 信号は、 $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。 $\overline{\text{WDTOVF}}$ 信号でシステム全体をリセットするときは、図 14.6 の示すような回路で行ってください。

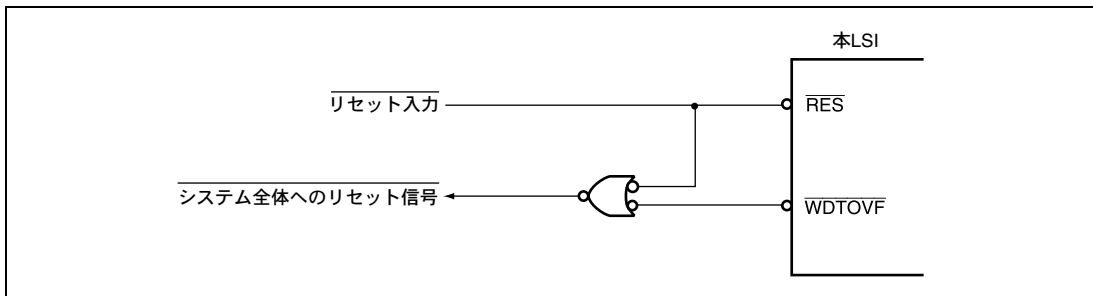


図 14.6 $\overline{\text{WDTOVF}}$ 信号によるシステムのリセット回路例

14.6.7 ウォッチドッグタイマモードとソフトウェアスタンバイモードへの遷移

ウォッチドッグタイマモードとして動作しているときは、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行してもソフトウェアスタンバイモードには遷移せず、スリープモードに遷移します。

ソフトウェアスタンバイモードに遷移させる場合は、WDT を停止させてから (TME ビットを 0 にクリア) SLEEP 命令を実行してください。

インターバルタイマモードとして動作している場合は、SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行するとソフトウェアスタンバイモードに遷移します。

14. ウォッチドッグタイマ (WDT)

15. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

本 LSI は独立した 6 チャンネルのシリアルコミュニケーションインタフェース (SCI : Serial Communication Interface) を備えています。SCI は、調歩同期式とクロック同期式の 2 方式のシリアル通信が可能です。調歩同期方式では Universal Asynchronous Receiver/Transmitter (UART) や、Asynchronous Communication Interface Adapter (ACIA) などの標準の調歩同期式通信用 LSI とのシリアル通信ができます。調歩同期式モードでは複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能) を備えています。このほか、調歩同期式モードの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したスマートカード (IC カード) インタフェースをサポートしています。また、SCI_5 は、IrDA 規格バージョン 1.0 に基づく IrDA 通信波形の送受信が可能です。

また SCI の拡張機能として、高速送受信などのデータ転送の信頼性を高める CRC (Cyclic Redundancy Check) 演算器を内蔵しています。CRC 演算器は SCI と接続されておらず、レジスタにデータをライトすることで演算を行います。図 15.1 に SCI_0~4、図 15.2 に SCI_5、6 のブロック図を示します。

15.1 特長

- シリアルデータ通信モードを調歩同期式またはクロック同期式に設定可能
- 全二重通信が可能

独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部と受信部はともにダブルバッファ構造になっていますので、連続送受信が可能

- 内蔵ボーレートジェネレータで任意のビットレートを選択可能
送受信クロックソースとして外部クロックの選択も可能 (スマートカードインタフェースを除く)
- LSBファースト/MSBファースト選択可能 (調歩同期式7ビットデータを除く)
- 割り込み要因 : 4種類

送信終了、送信データエンプティ、受信データフル、受信エラーの割り込み要因があります。また、送信データエンプティ、受信データフル割り込み要因によりDTCまたはDMACを起動することができます。

- モジュールストップ状態への設定が可能

調歩同期式モード (SCI_0、1、2、4、5、6)

- データ長 : 7ビット/8ビット選択可能
- ストップビット長 : 1ビット/2ビット選択可能
- パリティ : 偶数パリティ/奇数パリティ/パリティなしから選択可能
- 受信エラーの検出 : パリティエラー、オーバーランエラー、フレーミングエラー
- ブレークの検出 : フレーミングエラー発生時RxD端子のレベルを直接リードすることでブレークを検出可能

15. シリアルコミュニケーションインタフェース (SCI、IrDA、CRC)

- TMRからの転送レートクロック入力が可能 (SCI_5、6)
- 平均転送レートジェネレータ (SCI_2)
 - 10.667MHz動作時：115.192kbps/460.784kbps選択可能
 - 16MHz動作時：115.192kbps/460.784kbps/720kbps選択可能
 - 32MHz動作時：720kbps
- 平均転送レートジェネレータ (SCI_5、6)
 - 8MHz動作時：460.784kbps
 - 10.667MHz動作時：115.152kbps/460.606kbps選択可能
 - 12MHz動作時：230.263kbps/460.526kbps選択可能
 - 16MHz動作時：115.196kbps/460.784kbps/720kbps/921.569kbps選択可能
 - 24MHz動作時：115.132kbps/460.526kbps/720kbps/921.053kbps選択可能
 - 32MHz動作時：720kbps

クロック同期式モード (SCI_0、1、2、4)

- データ長：8ビット
- 受信エラーの検出：オーバランエラー

スマートカードインタフェース

- 受信時パリティエラーを検出するとエラーシグナルを自動送付
- 送信時エラーシグナルを受信するとデータを自動再送信
- ダイレクトコンベンション/インバースコンベンションの両方をサポート

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.1 にチャンネル別の機能一覧を示します。

表 15.1 SCI チャンネル別機能一覧

		SCI_0、1、4	SCI_2	SCI_5、6
クロック同期モード		○	○	-
調歩同期モード		○	○	○
TMR クロック入力		-	-	○
平均転送レート ジェネレータ使用時	Pφ = 8MHz	-	-	460.784 kbps
	Pφ = 10.667MHz	-	460.784 kbps 115.192 kbps	460.606 kbps 115.152 kbps
		-	-	460.526 kbps 230.263 kbps
	Pφ = 16MHz	-	720 kbps 460.784 kbps 115.192 kbps	921.569 kbps 720 kbps 460.784 kbps 115.196 kbps
		-	-	921.053 kbps 720 kbps 460.526 kbps 115.132 kbps
		-	-	921.053 kbps 720 kbps 460.526 kbps 115.132 kbps
	Pφ = 32MHz	-	720 kbps	720 kbps

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

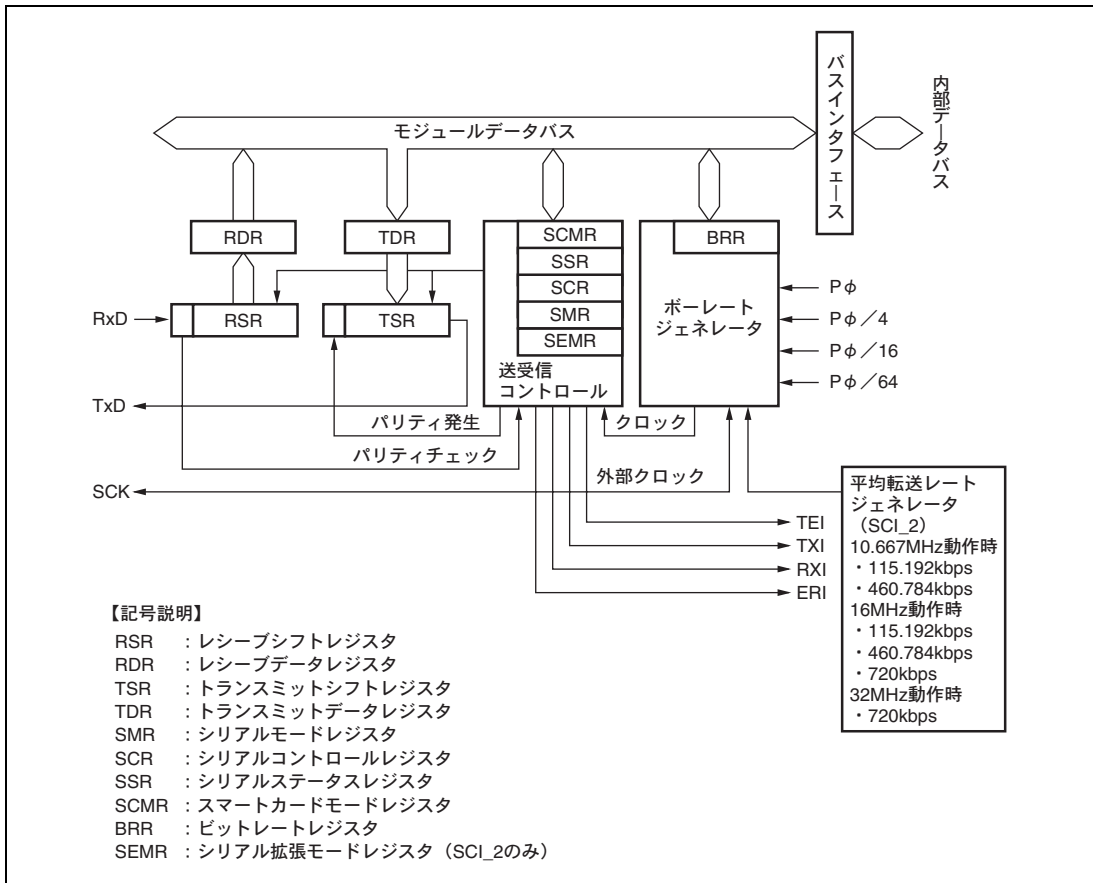


図 15.1 SCI_0、1、2、4 のブロック図

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

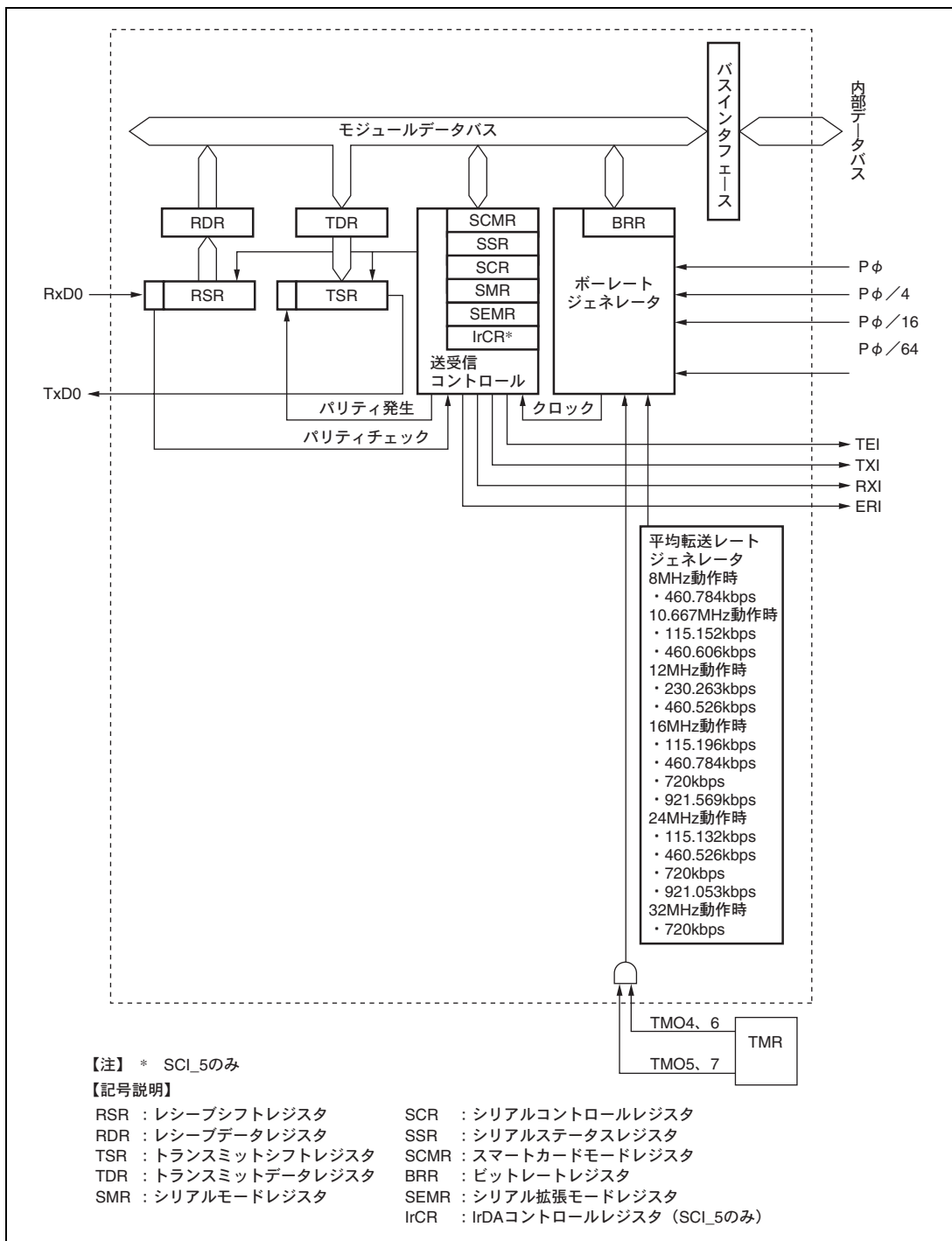


図 15.2 SCI_5, 6 のブロック図

15.2 入出力端子

SCIには、表 15.2 の入出力端子があります。

表 15.2 端子構成

チャンネル	端子名*	入出力	機能
0	SCK0	入出力	チャンネル0のクロック入出力端子
	RxD0	入力	チャンネル0の受信データ入力端子
	TxD0	出力	チャンネル0の送信データ出力端子
1	SCK1	入出力	チャンネル1のクロック入出力端子
	RxD1	入力	チャンネル1の受信データ入力端子
	TxD1	出力	チャンネル1の送信データ出力端子
2	SCK2	入出力	チャンネル2のクロック入出力端子
	RxD2	入力	チャンネル2の受信データ入力端子
	TxD2	出力	チャンネル2の送信データ出力端子
4	SCK4	入出力	チャンネル4のクロック入出力端子
	RxD4	入力	チャンネル4の受信データ入力端子
	TxD4	出力	チャンネル4の送信データ出力端子
5	RxD5/IrRxD	入力	チャンネル5の受信データ入力端子
	TxD5/IrTxD	出力	チャンネル5の送信データ出力端子
6	RxD6	入力	チャンネル6の受信データ入力端子
	TxD6	出力	チャンネル6の送信データ出力端子

【注】 * 本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.3 レジスタの説明

SCIには以下のレジスタがあります。また、シリアルモードレジスタ (SMR)、シリアルステータスレジスタ (SSR)、シリアルコントロールレジスタ (SCR) は通常のシリアルコミュニケーションインタフェースモードとスマートカードインタフェースモードで一部のビットの機能が異なるため、別々に記載してあります。

チャンネル0

- レシーブシフトレジスタ_0 (RSR_0)
- トランスミットシフトレジスタ_0 (TSR_0)
- レシーブデータレジスタ_0 (RDR_0)
- トランスミットデータレジスタ_0 (TDR_0)
- シリアルモードレジスタ_0 (SMR_0)
- シリアルコントロールレジスタ_0 (SCR_0)
- シリアルステータスレジスタ_0 (SSR_0)
- スマートカードモードレジスタ_0 (SCMR_0)
- ビットレートレジスタ_0 (BRR_0)

チャンネル 1

- レシーブシフトレジスタ_1 (RSR_1)
- トランスミットシフトレジスタ_1 (TSR_1)
- レシーブデータレジスタ_1 (RDR_1)
- トランスミットデータレジスタ_1 (TDR_1)
- シリアルモードレジスタ_1 (SMR_1)
- シリアルコントロールレジスタ_1 (SCR_1)
- シリアルステータスレジスタ_1 (SSR_1)
- スマートカードモードレジスタ_1 (SCMR_1)
- ビットレートレジスタ_1 (BRR_1)

チャンネル 2

- レシーブシフトレジスタ_2 (RSR_2)
- トランスミットシフトレジスタ_2 (TSR_2)
- レシーブデータレジスタ_2 (RDR_2)
- トランスミットデータレジスタ_2 (TDR_2)
- シリアルモードレジスタ_2 (SMR_2)
- シリアルコントロールレジスタ_2 (SCR_2)
- シリアルステータスレジスタ_2 (SSR_2)
- スマートカードモードレジスタ_2 (SCMR_2)
- ビットレートレジスタ_2 (BRR_2)
- シリアル拡張モードレジスタ_2 (SEMR_2)

チャンネル 4

- レシーブシフトレジスタ_4 (RSR_4)
- トランスミットシフトレジスタ_4 (TSR_4)
- レシーブデータレジスタ_4 (RDR_4)
- トランスミットデータレジスタ_4 (TDR_4)
- シリアルモードレジスタ_4 (SMR_4)
- シリアルコントロールレジスタ_4 (SCR_4)
- シリアルステータスレジスタ_4 (SSR_4)
- スマートカードモードレジスタ_4 (SCMR_4)
- ビットレートレジスタ_4 (BRR_4)

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

チャンネル 5

- レシーブシフトレジスタ₅ (RSR₅)
- トランスミットシフトレジスタ₅ (TSR₅)
- レシーブデータレジスタ₅ (RDR₅)
- トランスミットデータレジスタ₅ (TDR₅)
- シリアルモードレジスタ₅ (SMR₅)
- シリアルコントロールレジスタ₅ (SCR₅)
- シリアルステータスレジスタ₅ (SSR₅)
- スマートカードモードレジスタ₅ (SCMR₅)
- ビットレートレジスタ₅ (BRR₅)
- シリアル拡張モードレジスタ₅ (SEMR₅)
- IrDAコントロールレジスタ (IrCR)

チャンネル 6

- レシーブシフトレジスタ₆ (RSR₆)
- トランスミットシフトレジスタ₆ (TSR₆)
- レシーブデータレジスタ₆ (RDR₆)
- トランスミットデータレジスタ₆ (TDR₆)
- シリアルモードレジスタ₆ (SMR₆)
- シリアルコントロールレジスタ₆ (SCR₆)
- シリアルステータスレジスタ₆ (SSR₆)
- スマートカードモードレジスタ₆ (SCMR₆)
- シリアル拡張モードレジスタ₆ (SEMR₆)
- ビットレートレジスタ₆ (BRR₆)

15.3.1 レシーブシフトレジスタ (RSR)

RSR は RxD 端子から入力されたシリアルデータをパラレル変換するための受信シフトレジスタです。1 フレーム分のデータを受信すると、データは自動的に RDR へ転送されます。CPU から直接アクセスすることはできません。

15.3.2 レシーブデータレジスタ (RDR)

RDR は受信データを格納するための 8 ビットのレジスタです。1 フレーム分のデータを受信すると RSR から受信データがこのレジスタへ転送され、RSR は次のデータを受信可能となります。RSR と RDR はダブルバッファ構造になっているため連続受信動作が可能です。RDR のリードは SSR の RDRF が 1 にセットされていることを確認して 1 回だけ行ってください。RDR は CPU からライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

15.3.3 トランスミットデータレジスタ (TDR)

TDR は送信データを格納するための 8 ビットのレジスタです。TSR に空きを検出すると TDR にライトされた送信データは TSR に転送されて送信を開始します。TDR と TSR はダブルバッファ構造になっているため連続送信動作が可能です。1 フレーム分のデータを送信したとき TDR に次の送信データがライトされていれば TSR へ転送して送信を続けます。TDR は CPU から常にリード/ライト可能ですが、シリアル送信を確実にを行うため TDR への送信データのライトは必ず SSR の TDRE が 1 にセットされていることを確認して 1 回だけ行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.3.4 トランスミットシフトレジスタ (TSR)

TSR はシリアルデータを送信するためのシフトレジスタです。TDR にライトされた送信データは自動的に TSR に転送され、TxD 端子に送出することでシリアルデータの送信を行います。CPU からは直接アクセスすることはできません。

15.3.5 シリアルモードレジスタ (SMR)

SMR は通信フォーマットと内蔵ポーレートジェネレータのクロックソースを選択するためのレジスタです。SMR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	GM	BLK	PE	O/ \bar{E}	BCP1	BCP0	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	C/ \bar{A}	0	R/W	コミュニケーションモード 0: 調歩同期式モードで動作します。 1: クロック同期式モードで動作します。*
6	CHR	0	R/W	キャラクタレングス (調歩同期式モードのみ有効) 0: データ長 8 ビットで送受信します。 1: データ長 7 ビットで送受信します。LSB ファースト固定となり、送信では TDR の MSB (ビット 7) は送信されません。 クロック同期式モードではデータ長は 8 ビット固定です。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。マルチプロセッサフォーマットではこのビットの設定にかかわらずパリティビットの付加、チェックは行いません。
4	O/ \bar{E}	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0: 偶数パリティで送受信します。 1: 奇数パリティで送受信します。
3	STOP	0	R/W	ストップビットレングス (調歩同期式モードのみ有効) 送信時のストップビットの長さを選択します。 0: 1 ストップビット 1: 2 ストップビット 受信時はこのビットの設定にかかわらずストップビットの 1 ビット目のみチェックし、2 ビット目が 0 の場合は次の送信フレームのスタートビットと見なします。
2	MP	0	R/W	マルチプロセッサモード (調歩同期式モードのみ有効) このビットが 1 のときマルチプロセッサ機能がイネーブルになります。 マルチプロセッサモードでは PE、O/ \bar{E} ビットの設定は無効です。
1	CKS1	0	R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00: P ϕ クロック (n=0) 01: P ϕ /4 クロック (n=1) 10: P ϕ /16 クロック (n=2) 11: P ϕ /64 クロック (n=3) このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。
0	CKS0	0	R/W	

【注】 * SCI_0、1、2、4 のみ。SIC_5、6 では設定禁止です。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説明
7	GM	0	R/W	GSM モード このビットを 1 にセットすると GSM モードで動作します。GSM モードでは TEND のセットタイミングが先頭から 11.0etu に前倒しされ、クロック出力制御機能が追加されます。詳細は「15.7.6 データ送信 (ブロック転送モードを除く)」、「15.7.8 クロック出力制御」を参照してください。
6	BLK	0	R/W	このビットを 1 にセットするとブロック転送モードで動作します。ブロック転送モードについての詳細は「15.7.3 ブロック転送モード」を参照してください。
5	PE	0	R/W	パリティイネーブル (調歩同期式モードのみ有効) このビットが 1 のとき、送信時はパリティビットを付加し、受信時はパリティチェックを行います。スマートカードインタフェースではこのビットは 1 にセットして使用してください。
4	O/E	0	R/W	パリティモード (調歩同期式モードで PE=1 のときのみ有効) 0 : 偶数パリティで送受信します。 1 : 奇数パリティで送受信します。 スマートカードインタフェースにおけるこのビットの使用方法については「15.7.2 データフォーマット (ブロック転送モード時を除く)」を参照してください。
3 2	BCP1 BCP0	0 0	R/W R/W	基本クロックパルス 1~0 スマートカードインタフェースモードにおいて 1 ビット転送期間中の基本クロック数を選択します。 00 : 32 クロック (S=32) 01 : 64 クロック (S=64) 10 : 372 クロック (S=372) 11 : 256 クロック (S=256) 詳細は、「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。S は「15.3.9 ビットレートレジスタ (BRR)」中の S の値を表します。
1 0	CKS1 CKS0	0 0	R/W R/W	クロックセレクト 1~0 内蔵ポーレートジェネレータのクロックソースを選択します。 00 : Pφクロック (n=0) 01 : Pφ/4 クロック (n=1) 10 : Pφ/16 クロック (n=2) 11 : Pφ/64 クロック (n=3) このビットの設定値とポーレートの関係については、「15.3.9 ビットレートレジスタ (BRR)」を参照してください。n は設定値の 10 進表示で、「15.3.9 ビットレートレジスタ (BRR)」中の n の値を表します。

【注】 etu : Elementary Time Unit、1 ビットの転送期間

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

15.3.6 シリアルコントロールレジスタ (SCR)

SCR は以下の送受信制御と割り込み制御、送受信クロックソースの選択を行うためのレジスタです。各割り込み要求については「15.9 割り込み要因」を参照してください。SCR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・ SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

・ SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	トランスミットインタラプトイネーブル このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。 TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。
6	RIE	0	R/W	レシーブインタラプトイネーブル このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。 RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。
5	TE	0	R/W	トランスミットイネーブル このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。 このビットを 0 にして、送信動作を停止すると、SSR の TDRE フラグは 1 に固定されます。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説 明
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを1にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを0にして受信動作を停止しても RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP =1 のとき有効)</p> <p>このビットを1にセットすると、マルチプロセッサビットが0の受信データは読みとばし、SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが1のデータを受信すると、このビットは自動的にクリアされ通常の実受信動作に戻ります。詳細は「15.5 マルチプロセッサ通信機能」を参照してください。</p> <p>SSR の MPB=0 を含む受信データを受信しているときは、RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB を1にセットし、MPIE ビットを自動的に0にクリアし、RXI、ERI 割り込み要求 (SCR の TIE、RIE ビットが1にセットされている場合) と FER、ORER フラグのセットが許可されます。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>このビットを1にセットすると TEI 割り込み要求がイネーブルになります。TEI 割り込み要求の解除は、TDRE フラグから1をリードした後、0にクリアして TEND フラグを0にクリアするか、TEIE ビットを0にクリアすることで行うことができます。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0 (SCI_0、1、4 の場合)</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <ul style="list-style-type: none"> 00 : 内蔵ポーレートジェネレータ SCK 端子は入出力ポートとして使用できます。 01 : 内蔵ポーレートジェネレータ SCK 端子からビットレートと同じ周波数のクロックを出力します。 1X : 外部クロック SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。 <p>クロック同期式の場合</p> <ul style="list-style-type: none"> 0X : 内部クロック。SCK 端子はクロック出力端子となります。 1X : 外部クロック。SCK 端子はクロック入力端子となります。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説 明
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0 (SCI_2 の場合)</p> <p>クロックソースおよび SCK 端子の機能を選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ SCK 端子は入出力ポートとして使用できます。</p> <p>01 : 内蔵ポーレートジェネレータ SCK 端子からビットレートと同じ周波数のクロックを出力します。</p> <p>1X : 外部クロックまたは、平均転送レートジェネレータ ・外部クロック使用時は、SCK 端子からビットレートの 16 倍の周波数のクロックを入力してください。 ・平均転送レートジェネレータ使用時</p> <p>クロック同期式の場合</p> <p>0X : 内部クロック。SCK 端子はクロック出力端子となります。 1X : 外部クロック。SCK 端子はクロック入力端子となります。</p>
1 0	CKE1 CKE0	0 0	R/W R/W	<p>クロックイネーブル 1、0 (SCI_5、6 の場合)</p> <p>クロックソースを選択します。</p> <p>調歩同期式の場合</p> <p>00 : 内蔵ポーレートジェネレータ</p> <p>1X : TMR クロック入力または、平均転送レートジェネレータ ・平均転送レートジェネレータ使用時 ・TMR クロック入力使用時</p> <p>クロック同期式の場合</p> <p>使用できません。</p>

【注】 X : Don't care

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>このビットを 1 にセットすると、TXI 割り込み要求がイネーブルになります。TXI 割り込み要求の解除は、TDRE フラグから 1 をリードした後、0 にクリアするか、TIE ビットを 0 にクリアすることで行うことができます。</p>
6	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>このビットを 1 にセットすると、RXI および ERI 割り込み要求がイネーブルになります。</p> <p>RXI および ERI 割り込み要求の解除は、RDRF、または FER、PER、ORER の各フラグから 1 をリードした後、0 にクリアするか、RIE ビットを 0 にクリアすることで行うことができます。</p>
5	TE	0	R/W	<p>トランスミットイネーブル</p> <p>このビットを 1 にセットすると、送信動作が可能になります。この状態で、TDR に送信データをライトして、SSR の TDRE フラグを 0 にクリアするとシリアル送信を開始します。なお、TE ビットを 1 にセットする前に必ず SMR の設定を行い、送信フォーマットを決定してください。</p> <p>このビットを 0 にして、送信動作を停止すると、SSR の TDRE フラグは 1 に固定されます。</p>
4	RE	0	R/W	<p>レシーブイネーブル</p> <p>このビットを 1 にセットすると、受信動作が可能になります。この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出するとシリアル受信を開始します。なお、RE ビットを 1 にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。</p> <p>このビットを 0 にして受信動作を停止しても、RDRF、または FER、PER、ORER の各フラグは影響を受けず、状態を保持します。</p>
3	MPIE	0	R/W	<p>マルチプロセッサインタラプトイネーブル (調歩同期式モードで SMR の MP=1 のとき有効)</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>
2	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
1	CKE1	0	R/W	クロックイネーブル 1~0* SCK 端子からのクロック出力を制御します。GSM モードではクロックの出力をダイナミックに切り替えることができます。詳細は「15.7.8 クロック出力制御」を参照してください。 SMR の GM=0 の場合 00 : 出力ディスエーブル (SCK 端子は入出力ポートとして使用可) * 01 : クロック出力 1X : リザーブ SMR の GM=1 の場合 00 : Low 出力固定 01 : クロック出力 10 : High 出力固定 11 : クロック出力
0	CKE0	0	R/W	

【注】 * SCI_5、6 では SCK 端子はありません。

15.3.7 シリアルステータスレジスタ (SSR)

SSR は SCI のステータスフラグと送受信マルチプロセッサビットで構成されます。TDRE、RDRF、ORER、PER、FER はクリアのみ可能です。SSR は通常モードとスマートカードインタフェースモードで一部のビットの機能が異なります。

・SCMRのSMIF=0のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	FRE	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

・SCMRのSMIF=1のとき

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	RDRF	ORER	ERS	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

通常のシリアルコミュニケーションインタフェースモード (SCMR の SMIF=0 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R/(W)*	<p>トランスミットデータレジスタエンティ TDR 内の送信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R/(W)*	<p>レシーブデータレジスタフル RDR 内の受信データの有無を表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。
5	ORER	0	R/(W)*	<p>オーバーランエラー 受信時にオーバーランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • RDRF=1 の状態で次のデータを受信したとき RDR ではオーバーランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信も続けることはできません。 <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
4	FER	0	R/(W)*	<p>フレーミングエラー</p> <p>調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • ストップビットが0のとき <p>2ストップモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態では、以降のシリアル受信を続けることができません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>(割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p> <p>SCRのREをクリアしても、FERは影響を受けず以前の状態を保持します。</p>
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期式モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期式モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • 1の状態をリードした後、0をライトしたとき <p>(割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)</p> <p>SCRのREをクリアしても、PERは影響を受けず以前の状態を保持します。</p>
2	TEND	1	R	<p>トランスミットエンド</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCRのTEが0のとき • 送信キャラクタの最後尾ビットの送信時、TDREが1のとき <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1の状態をリードした後、TDREフラグに0をライトしたとき。 • TXI割り込み要求によりDMACまたはDTCでTDRへ送信データをライトしたとき

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説 明
1	MPB	0	R	マルチプロセッサビット 受信フレーム中のマルチプロセッサビットの値が格納されます。SCR の RE が 0 のときは変化しません。
0	MPBT	0	R/W	マルチプロセッサビットトランスファ 送信フレームに付加するマルチプロセッサビットの値を設定します。

【注】 * フラグをクリアするための 0 ライトのみ可能です。

スマートカードインタフェース (SCMR の SMIF=1 のとき)

ビット	ビット名	初期値	R/W	説 明
7	TDRE	1	R(W)*	トランスミットデータレジスタエンプティ TDR 内の送信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> • SCR の TE が 0 のとき • TDR から TSR にデータが転送されたとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • TXI 割り込み要求により DMAC または DTC で TDR へ送信データを転送したとき
6	RDRF	0	R(W)*	レシーブデータレジスタフル RDR 内の受信データの有無を表示します。 [セット条件] <ul style="list-style-type: none"> • 受信が正常終了し、RSR から RDR へ受信データが転送されたとき [クリア条件] <ul style="list-style-type: none"> • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • RXI 割り込みにより DMAC または DTC で RDR からデータを転送したとき SCR の RE をクリアしても RDRF は影響を受けず状態を保持します。 RDRF フラグが 1 にセットされたまま次のデータを受信完了すると、オーバーランエラーが発生し、受信データが失われますので注意してください。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
5	ORER	0	R/(W)*	<p>オーバランエラー</p> <p>受信時にオーバランエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> RDRF=1 の状態で次のデータを受信したとき <p>RDR ではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。ORER フラグに 1 がセットされた状態では、以降のシリアル受信を続けることはできません。なお、クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、ORER は影響を受けず以前の状態を保持します。</p>
4	ERS	0	R/(W)*	<p>エラーシグナルステータス</p> <p>[セット条件]</p> <ul style="list-style-type: none"> エラーシグナル Low をサンプリングしたとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき
3	PER	0	R/(W)*	<p>パリティエラー</p> <p>調歩同期モードで受信時にパリティエラーが発生して異常終了したことを表示します。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> 受信中にパリティエラーを検出したとき <p>パリティエラーが発生したときの受信データは RDR に転送されますが、RDRF フラグはセットされません。なお、PER フラグが 1 にセットされた状態では、以降のシリアル受信を続けることはできません。クロック同期モードでは、シリアル送信も続けることはできません。</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> 1 の状態をリードした後、0 をライトしたとき <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p> <p>SCR の RE をクリアしても、PER は影響を受けず以前の状態を保持します。</p>

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明
2	TEND	1	R	<p>トランスミットエンド</p> <p>受信側からのエラーシグナルの応答がなく、次の送信データを TDR に転送可能になったときセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> • SCR の TE=0 かつ ESR=0 のとき • 1 バイトのデータを送信して一定期間後、ESR=0 かつ TDRE=1 のとき。 <p>セットされるタイミングはレジスタの設定により以下のように異なります。</p> <p>GM=0、BLK=0 のとき、送信開始から 2.5etu 後</p> <p>GM=0、BLK=1 のとき、送信開始から 1.5etu 後</p> <p>GM=1、BLK=0 のとき、送信開始から 1.0etu 後</p> <p>GM=1、BLK=1 のとき、送信開始から 1.0etu 後</p> <p>[クリア条件]</p> <ul style="list-style-type: none"> • TDRE=1 の状態をリードした後、TDRE フラグに 0 をライトしたとき。 • TXI 割り込み要求により DMAC または DTC で TDR へ送信データをライトしたとき
1	MPB	0	R	<p>マルチプロセッサビット</p> <p>スマートカードインタフェースでは使用しません。</p>
0	MPBT	0	R/W	<p>マルチプロセッサビットトランスファ</p> <p>スマートカードインタフェースではこのビットには 0 をライトして使用してください。</p>

【注】 * フラグをクリアするための 0 ライトのみ可能です。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

15.3.8 スマートカードモードレジスタ (SCMR)

SCMR はスマートカードインタフェースおよびそのフォーマットを選択するためのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	SDIR	SINV	—	SMIF
初期値:	1	1	1	1	0	0	1	0
R/W:	—	—	—	—	R/W	R/W	—	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて 1	—	リザーブビット リードすると常に 1 がリードされます。
3	SDIR	0	R/W	スマートカードデータトランスファディレクション シリアル/パラレル変換の方向を選択します。 0: LSB ファーストで送受信 1: MSB ファーストで送受信 送受信フォーマットが 8 ビットデータの場合のみ有効です。7 ビットデータの場合は LSB ファーストに固定されます。
2	SINV	0	R/W	スマートカードデータインバート 送受信データのロジックレベルを反転します。SINV ビットは、パリティビットのロジックレベルには影響しません。パリティビットを反転させる場合は SMR の O/E ビットを反転してください。 0: TDR の内容をそのまま送信、受信データをそのまま RDR に格納 1: TDR の内容を反転して送信、受信データを反転して RDR に格納
1	—	1	—	リザーブビット リードすると常に 1 がリードされます。
0	SMIF	0	R/W	スマートカードインタフェースモードセレクト スマートカードインタフェースモードで動作させるとき 1 をセットします。 0: 通常の調歩同期式またはクロック同期式モード 1: スマートカードインタフェースモード

15.3.9 ビットレートレジスタ (BRR)

BRR はビットレートを調整するための 8 ビットのレジスタです。SCI はチャンネルごとにボーレートジェネレータが独立しているため、異なるビットレートを設定できます。通常の調歩同期式モード、クロック同期式モード、スマートカードインタフェースモードにおける BRR の設定値 N とビットレート B の関係を表 15.3 に示します。BRR の初期値は H'FF で、CPU から常にリード/ライト可能です。

表 15.3 BRR の設定値 N とビットレート B の関係

モード	ABCSビット	BRRの設定値	誤差
調歩同期式	0	$B = \frac{P\phi \times 10^6}{64 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{P\phi \times 10^6}{B \times 64 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
	1	$B = \frac{P\phi \times 10^6}{32 \times 2^{2n-1} \times B} - 1$	誤差 (%) = $\left\{ \frac{P\phi \times 10^6}{B \times 32 \times 2^{2n-1} \times (N+1)} - 1 \right\} \times 100$
クロック同期式		$N = \frac{P\phi \times 10^6}{8 \times 2^{2n-1} \times B} - 1$	
スマートカード インタフェース		$N = \frac{P\phi \times 10^6}{S \times 2^{2n+1} \times B} - 1$	誤差 (%) = $\left\{ \frac{P\phi \times 10^6}{B \times S \times 2^{2n+1} \times (N+1)} - 1 \right\} \times 100$

【注】 B: ビットレート (bit/s)

N: ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

Pφ: 動作周波数 (MHz)

n と S: 下表のとおり SMR の設定値によって決まります。

SMR の設定値		n
CKS1	CKS0	
0	0	0
0	1	1
1	0	2
1	1	3

SMR の設定値		S
BCP1	BCP0	
0	0	32
0	1	64
1	0	372
1	1	256

通常の調歩同期式モードにおける BRR の値 N の設定例を表 15.4 に、各動作周波数における設定可能な最大ビットレートを表 15.5 に示します。また、クロック同期式モードにおける BRR の値 N の設定例を表 15.7 に、スマートカードインタフェースにおける BRR の値 N の設定例を表 15.9 に示します。スマートカードインタフェースでは 1 ビット転送期間の基本クロック数 S を選択できます。詳細は「15.7.4 受信データサンプリングタイミングと受信マージン」を参照してください。また、表 15.6、表 15.8 に外部クロック入力時の最大ビットレートを示します。

調歩同期モードで SCI_2、5、6 のシリアル拡張モードレジスタ_2、5、6 (SEMR_2、5、6) の ABCS ビットを 1 にセットしたときのビットレートは表 15.4 の 2 倍になります。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.4 ビットレートに対する BRR の設定例〔調歩同期モード〕 (1)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	8			9.8304			10			12		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	141	0.03	2	174	-0.26	2	177	-0.25	2	212	0.03
150	2	103	0.16	2	127	0.00	2	129	0.16	2	155	0.16
300	1	207	0.16	1	255	0.00	2	64	0.16	2	77	0.16
600	1	103	0.16	1	127	0.00	1	129	0.16	1	155	0.16
1200	0	207	0.16	0	255	0.00	1	64	0.16	1	77	0.16
2400	0	103	0.16	0	127	0.00	0	129	0.16	0	155	0.16
4800	0	51	0.16	0	63	0.00	0	64	0.16	0	77	0.16
9600	0	25	0.16	0	31	0.00	0	32	-1.36	0	38	0.16
19200	0	12	0.16	0	15	0.00	0	15	1.73	0	19	-2.34
31250	0	7	0.00	0	9	-1.70	0	9	0.00	0	11	0.00
38400	-	-	-	0	7	0.00	0	7	1.73	0	9	-2.34

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	12.288			14			14.7456			16		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	217	0.08	2	248	-0.17	3	64	0.70	3	70	0.03
150	2	159	0.00	2	181	0.16	2	191	0.00	2	207	0.16
300	2	79	0.00	2	90	0.16	2	95	0.00	2	103	0.16
600	1	159	0.00	1	181	0.16	1	191	0.00	1	207	0.16
1200	1	79	0.00	1	90	0.16	1	95	0.00	1	103	0.16
2400	0	159	0.00	0	181	0.16	0	191	0.00	0	207	0.16
4800	0	79	0.00	0	90	0.16	0	95	0.00	0	103	0.16
9600	0	39	0.00	0	45	-0.93	0	47	0.00	0	51	0.16
19200	0	19	0.00	0	22	-0.93	0	23	0.00	0	25	0.16
31250	0	11	2.40	0	13	0.00	0	14	-1.70	0	15	0.00
38400	0	9	0.00	-	-	-	0	11	0.00	0	12	0.16

【注】 SCI_2、5、6では SEMR_2、5、6の ABCS=0のときの例です。

ABCS=1に設定したときは、ビットレートが2倍になります。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.4 ビットレートに対する BRR の設定例〔調歩同期モード〕 (2)

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	17.2032			18			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	75	0.48	3	79	-0.12	3	86	0.31	3	88	-0.25
150	2	223	0.00	2	233	0.16	2	255	0.00	3	64	0.16
300	2	111	0.00	2	116	0.16	2	127	0.00	2	129	0.16
600	1	223	0.00	1	233	0.16	1	255	0.00	2	64	0.16
1200	1	111	0.00	1	116	0.16	1	127	0.00	1	129	0.16
2400	0	223	0.00	0	233	0.16	0	255	0.00	1	64	0.16
4800	0	111	0.00	0	116	0.16	0	127	0.00	0	129	0.16
9600	0	55	0.00	0	58	-0.69	0	63	0.00	0	64	0.16
19200	0	27	0.00	0	28	1.02	0	31	0.00	0	32	-1.36
31250	0	16	1.20	0	17	0.00	0	19	-1.70	0	19	0.00
38400	0	13	0.00	0	14	-2.34	0	15	0.00	0	15	1.73

ビットレート (bit/s)	動作周波数 P ϕ (MHz)											
	25			30			33			35		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	110	-0.02	3	132	0.13	3	145	0.33	3	154	0.23
150	3	80	-0.47	3	97	-0.35	3	106	0.39	3	113	-0.06
300	2	162	0.15	2	194	0.16	2	214	-0.07	2	227	0.00
600	2	80	-0.47	2	97	-0.35	2	106	0.39	2	113	0.00
1200	1	162	0.15	1	194	0.16	1	214	-0.07	1	227	0.00
2400	1	80	-0.47	1	97	-0.35	1	106	0.39	1	113	0.00
4800	0	162	0.15	0	194	0.16	0	214	-0.07	0	227	0.00
9600	0	80	-0.47	0	97	-0.35	0	106	0.39	0	113	0.00
19200	0	40	-0.76	0	48	-0.35	0	53	-0.54	0	56	0.00
31250	0	24	0.00	0	29	0	0	32	0	0	34	0.00
38400	0	19	1.73	0	23	1.73	0	26	-0.54	0	28	-1.78

【注】 SCI_2、5、6では SEMR_2、5、6の ABCS=0のときの例です。

ABCS=1に設定したときは、ビットレートが2倍になります。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.5 各動作周波数における最大ビットレート (調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	n	N	Pφ (MHz)	最大ビットレート (bit/s)	n	N
8	250000	0	0	17.2032	537600	0	0
9.8304	307200	0	0	18	562500	0	0
10	312500	0	0	19.6608	614400	0	0
12	375000	0	0	20	625000	0	0
12.288	384000	0	0	25	781250	0	0
14	437500	0	0	30	937500	0	0
14.7456	460800	0	0	33	1031250	0	0
16	500000	0	0	35	1093750	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	2.0000	125000	17.2032	4.3008	268800
9.8304	2.4576	153600	18	4.5000	281250
10	2.5000	156250	19.6608	4.9152	307200
12	3.0000	187500	20	5.0000	312500
12.288	3.0720	192000	25	6.2500	390625
14	3.5000	218750	30	7.5000	468750
14.7456	3.6864	230400	33	8.2500	515625
16	4.0000	250000	35	8.7500	546875

【注】 SCI_2 では SEMR_2 の ABCS=0 のときの例です。

ABCS=1 に設定したときは、ビットレートが 2 倍になります。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.7 ビットレートに対する BRR の設定例〔クロック同期式モード〕*²

ビット レート (bit/s)	動作周波数 Pφ (MHz)															
	8		10		16		20		25		30		33		35	
	n	N	n	N	n	N	n	N	n	N	n	N	n	N	n	N
110																
250	3	124	—	—	3	249										
500	2	249	—	—	3	124	—	—			3	233				
1k	2	124	—	—	2	249	—	—	3	97	3	116	3	128	3	136
2.5k	1	199	1	249	2	99	2	124	2	155	2	187	2	205	2	218
5k	1	99	1	124	1	199	1	249	2	77	2	93	2	102	2	108
10k	0	199	0	249	1	99	1	124	1	155	1	187	1	205	1	218
25k	0	79	0	99	0	159	0	199	0	249	1	74	1	82	1	87
50k	0	39	0	49	0	79	0	99	0	124	0	149	0	164	0	174
100k	0	19	0	24	0	39	0	49	0	62	0	74	0	82	0	87
250k	0	7	0	9	0	15	0	19	0	24	0	29	0	32	0	34
500k	0	3	0	4	0	7	0	9	—	—	0	14	—	—	—	—
1M	0	1			0	3	0	4	—	—	—	—	—	—	—	—
2.5M			0	0* ¹			0	1	—	—	0	2	—	—	—	—
5M							0	0* ¹	—	—	—	—	—	—	—	—

【記号説明】

空欄 : 設定できません。

— : 設定可能ですが誤差がでます。

【注】 *1 連続送信／連続受信はできません。

*2 SCI_5、6 にはクロック同期式モードはありません。

表 15.8 外部クロック入力時の最大ビットレート (クロック同期式モード) *

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)	Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
8	1.3333	1333333.3	20	3.3333	3333333.3
10	1.6667	1666666.7	25	4.1667	4166666.7
12	2.0000	2000000.0	30	5.0000	5000000.0
14	2.3333	2333333.3	33	5.5000	5500000.0
16	2.6667	2666666.7	35	5.8336	5833625.0
18	3.0000	3000000.0			

【注】 * SCI_5、6 にはクロック同期式モードはありません。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.9 ビットレートに対する BRR の設定例 (スマートカードインタフェースモードで n=0、S=372 のとき)

ビットレート (bit/s)	動作周波数 Pφ (MHz)											
	7.1424			10.00			10.7136			13.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	0	0.00	0	1	30	0	1	25	0	1	8.99

ビットレート (bit/s)	動作周波数 Pφ (MHz)											
	14.2848			16.00			18.00			20.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	1	0.00	0	1	12.01	0	2	15.99	0	2	6.60

ビットレート (bit/s)	動作周波数 Pφ (MHz)											
	25.00			30.00			33.00			35.00		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
9600	0	3	12.49	0	3	5.01	0	4	7.59	0	4	1.99

表 15.10 各動作周波数における最大ビットレート (スマートカードインタフェースモードで S=372 のとき)

Pφ (MHz)	最大ビットレート (bit/s)	n	N	Pφ (MHz)	最大ビットレート (bit/s)	n	N
7.1424	9600	0	0	18.00	24194	0	0
10.00	13441	0	0	20.00	26882	0	0
10.7136	14400	0	0	25.00	33602	0	0
13.00	17473	0	0	30.00	40323	0	0
14.2848	19200	0	0	33.00	44355	0	0
16.00	21505	0	0	35.00	47043	0	0

15.3.10 シリアル拡張モードレジスタ_2 (SEMR_2)

SEMR_2は、SCI_2の調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートの選択より基本クロックが自動設定できます。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	ABCS	ACS2	ACS1	ACS0
初期値:	不定	不定	不定	不定	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	すべて不定	R	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
3	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1ビット期間の基本クロックを選択します。 0: 転送レートの16倍の周波数の基本クロックで動作 1: 転送レートの8倍の周波数の基本クロックで動作
2	ACS2	0	R/W	調歩同期クロックソースセレクト (調歩同期式モードでCKE1=1のとき有効) 平均転送レートのクロックソースを選択します。平均転送レート選択時は、ABCSビットの値に関係なく基本クロックが自動設定されます。 000: 外部クロック入力 001: Pφ=10.667MHz専用の平均転送レート115.192kbpsを選択 (転送レートの16倍の周波数の基本クロックで動作) 010: Pφ=10.667MHz専用の平均転送レート460.784kbpsを選択 (転送レートの8倍の周波数の基本クロックで動作) 011: Pφ=32MHz専用の平均転送レート720kbpsを選択 (転送レートの16倍の周波数の基本クロックで動作) 100: 設定禁止 101: Pφ=16MHz専用の平均転送レート115.192kbpsを選択 (転送レートの16倍の周波数の基本クロックで動作) 110: Pφ=16MHz専用の平均転送レート460.784kbpsを選択 (転送レートの16倍の周波数の基本クロックで動作) 111: Pφ=16MHz専用の平均転送レート720kbpsを選択 (転送レートの8倍の周波数の基本クロックで動作) 平均転送レートは、10.667MHz、16MHzまたは32MHzの動作周波数以外には対応していません。
1	ACS1	0	R/W	
0	ACS0	0	R/W	

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

15.3.11 シリアル拡張モードレジスタ_5、6 (SEMR_5、6)

SEMR_5、6は、SCI_5、6の調歩同期式モード時のクロックソースを選択するためのレジスタです。平均転送レートを選択より基本クロックが自動設定できます。TMR ユニット 2、3 の TMO 出力をシリアル転送ベースクロックに設定することもできます。

平均転送レートが選択されたときの基本クロック例を図 15.3 に、TMR の TMO 出力を選択したときの設定例を図 15.4 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	ABCS	ACS3	ACS2	ACS1	ACS0
初期値 :	不定	不定	不定	0	0	0	0	0
R/W :	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~5	—	すべて不定	R	リザーブビット リードすると不定値が読み出されます。ライトは無効です。
4	ABCS	0	R/W	調歩同期基本クロックセレクト (調歩同期式モードのみ有効) 1 ビット期間の基本クロックを選択します。 0 : 転送レートの 16 倍の周波数の基本クロックで動作 1 : 転送レートの 8 倍の周波数の基本クロックで動作

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

ビット	ビット名	初期値	R/W	説明									
3	ACS3	0	R/W	<p>調歩同期クロックソースセレクト</p> <p>調歩同期モードにおける、クロックソースを選択します。平均転送レートを選択したときは、ABCS の設定に関係なく基本クロックが自動設定されます。また、平均転送レートは、8MHz、10.667MHz、12MHz、16MHz、24MHz、32MHz の動作周波数に対応しています。それ以外には対応していません。</p> <p>ACS3~0 は調歩同期モード (SMR レジスタの C/\bar{A} ビット=0) で、外部クロック入力 (SCR レジスタの CKE1 ビット=1) のときに有効です。図 15.3、図 15.4 に設定例を示します。</p> <p>ACS 3 2 1 0</p> <p>0 0 0 0 : 平均転送ジェネレータ未使用。</p> <p>0 0 0 1 : Pϕ=10.667MHz 専用の平均転送レート 115.152kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 0 1 0 : Pϕ=10.667MHz 専用の平均転送レート 460.606kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 0 1 1 : Pϕ=16MHz 専用の平均転送レート 921.569kbps を選択 または、Pϕ=8MHz の平均転送レート 460.784kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>0 1 0 0 TMR クロック入力 TMR のコンペアマッチ出力を基本クロックにできます。 SCI チャンネルとコンペアマッチ出力の対応を示します</p> <table border="1" style="margin-left: 20px; border-collapse: collapse; text-align: center;"> <thead> <tr> <th style="width: 20%;">SCI チャンネル</th> <th style="width: 20%;">TMR ユニット</th> <th style="width: 60%;">コンペアマッチ出力</th> </tr> </thead> <tbody> <tr> <td>SCI_5</td> <td>ユニット 2</td> <td>TMO4、5</td> </tr> <tr> <td>SCI_6</td> <td>ユニット 3</td> <td>TMO6、7</td> </tr> </tbody> </table> <p>0 1 0 1 : Pϕ=16MHz 専用の平均転送レート 115.196kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 1 1 0 : Pϕ=16MHz 専用の平均転送レート 460.784kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>0 1 1 1 : Pϕ=16MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 0 0 : Pϕ=24MHz 専用の平均転送レート 115.132kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 0 1 : Pϕ=24MHz 専用の平均転送レート 460.526kbps を選択 または、Pϕ=12MHz の平均転送レート 230.263kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 0 1 0 : Pϕ=24MHz 専用の平均転送レート 720kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 0 1 1 : Pϕ=24MHz 専用の平均転送レート 921.053kbps を選択 または、Pϕ=12MHz の平均転送レート 460.526kbps を選択 (転送レートの 8 倍の周波数の基本クロックで動作)</p> <p>1 1 0 0 : Pϕ=32MHz 専用の平均転送レート 720kbps を選択 (転送レートの 16 倍の周波数の基本クロックで動作)</p> <p>1 1 0 1 リザーブ (設定禁止)</p> <p>1 1 1 x リザーブ (設定禁止)</p>	SCI チャンネル	TMR ユニット	コンペアマッチ出力	SCI_5	ユニット 2	TMO4、5	SCI_6	ユニット 3	TMO6、7
SCI チャンネル	TMR ユニット	コンペアマッチ出力											
SCI_5	ユニット 2	TMO4、5											
SCI_6	ユニット 3	TMO6、7											

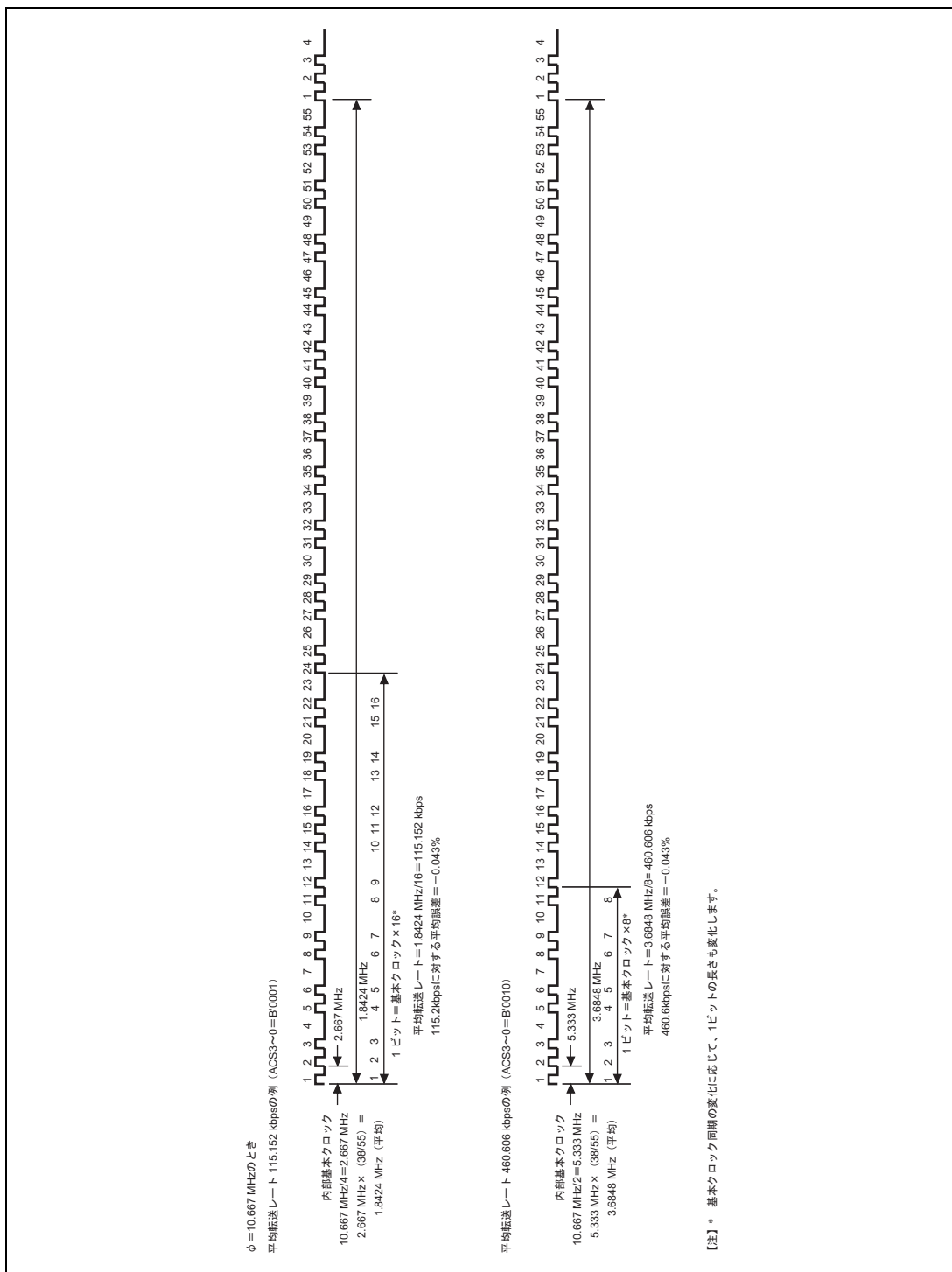
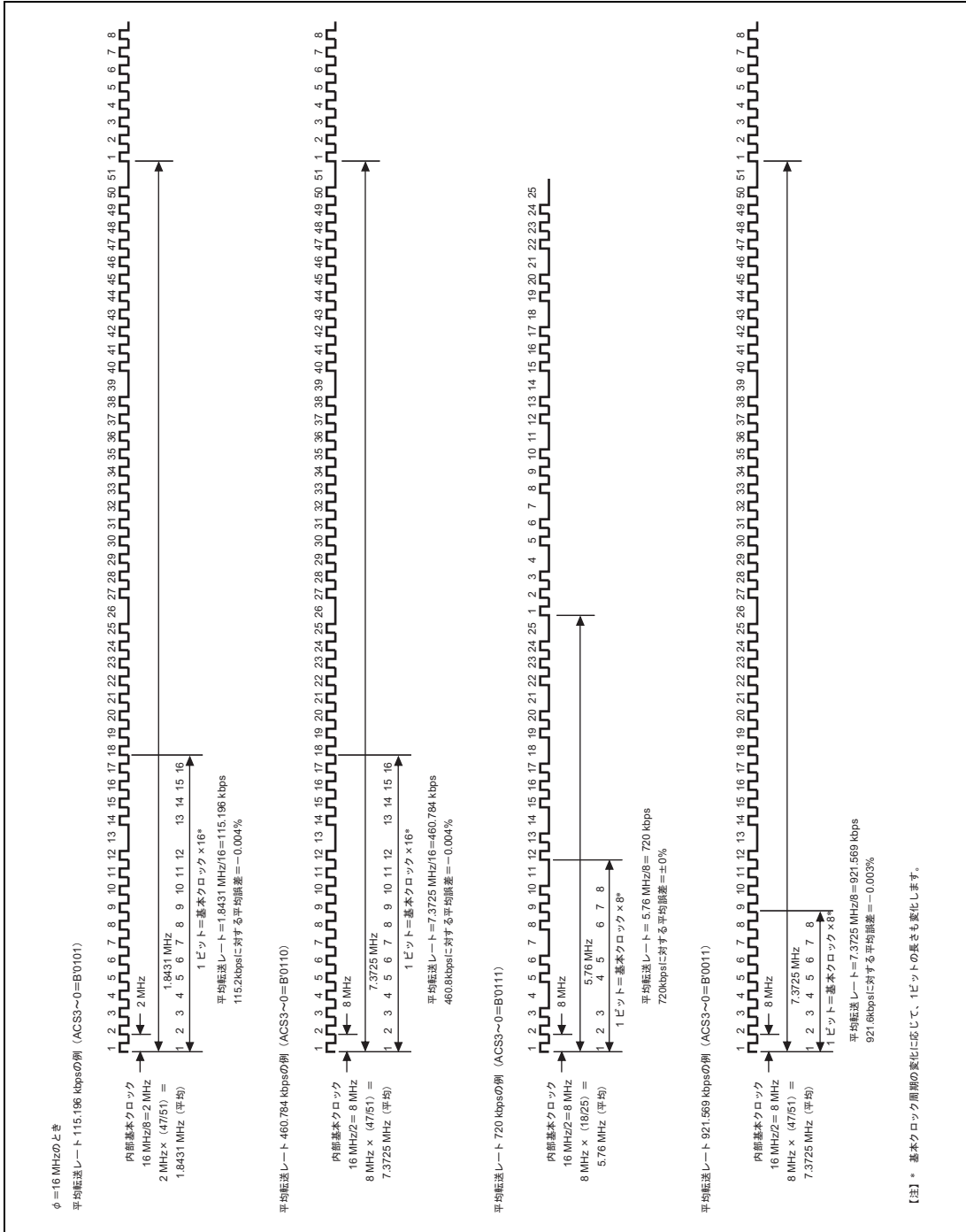


図 15.3 平均転送レートが選択されたときの基本クロック例 (1)



【注】 * 基本クロック周期の変化に応じて、1ビットの長さも変化します。

図 15.3 平均転送レートが選択されたときの基本クロック例 (2)

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

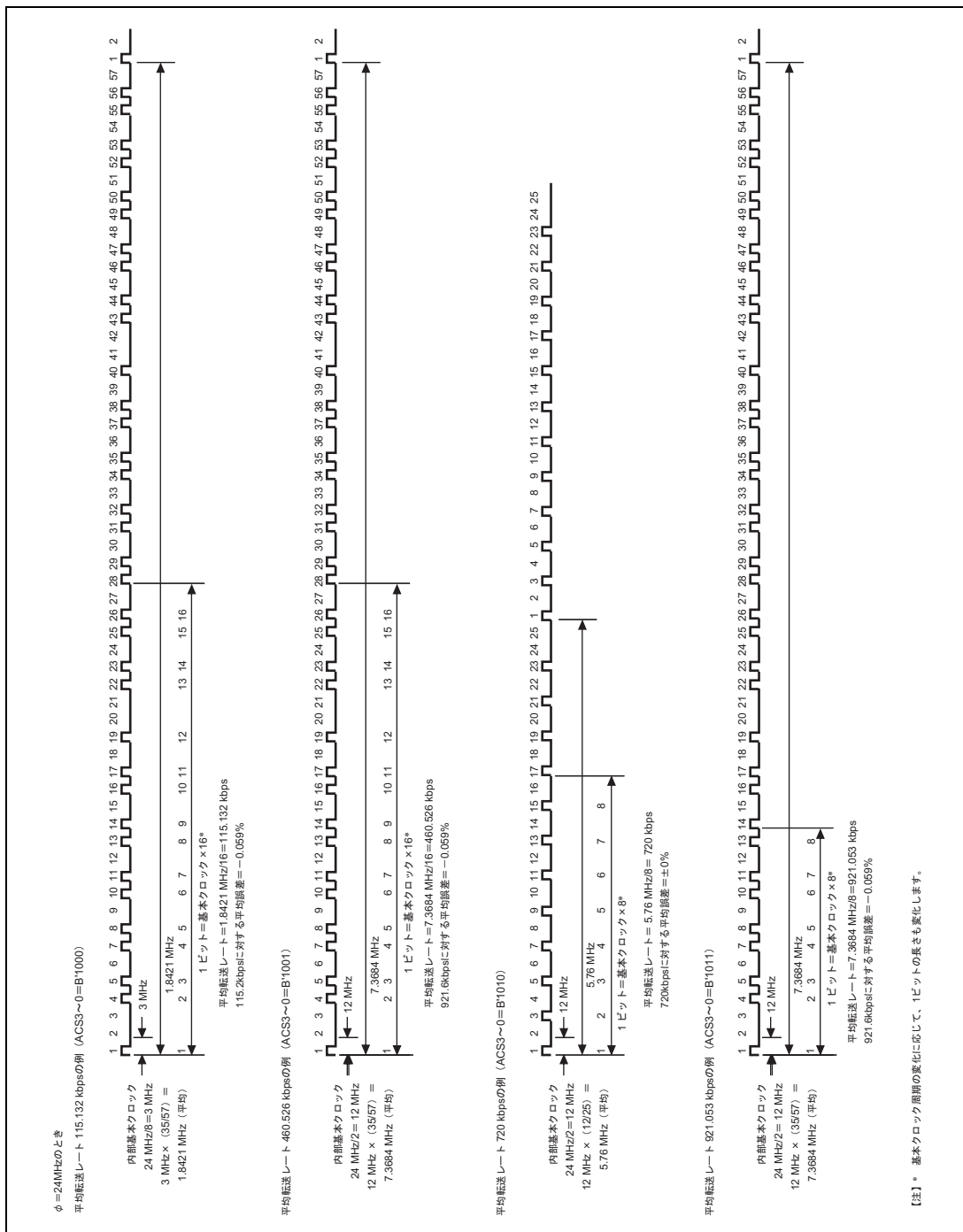


図 15.3 平均転送レートが選択されたときの基本クロック例 (3)

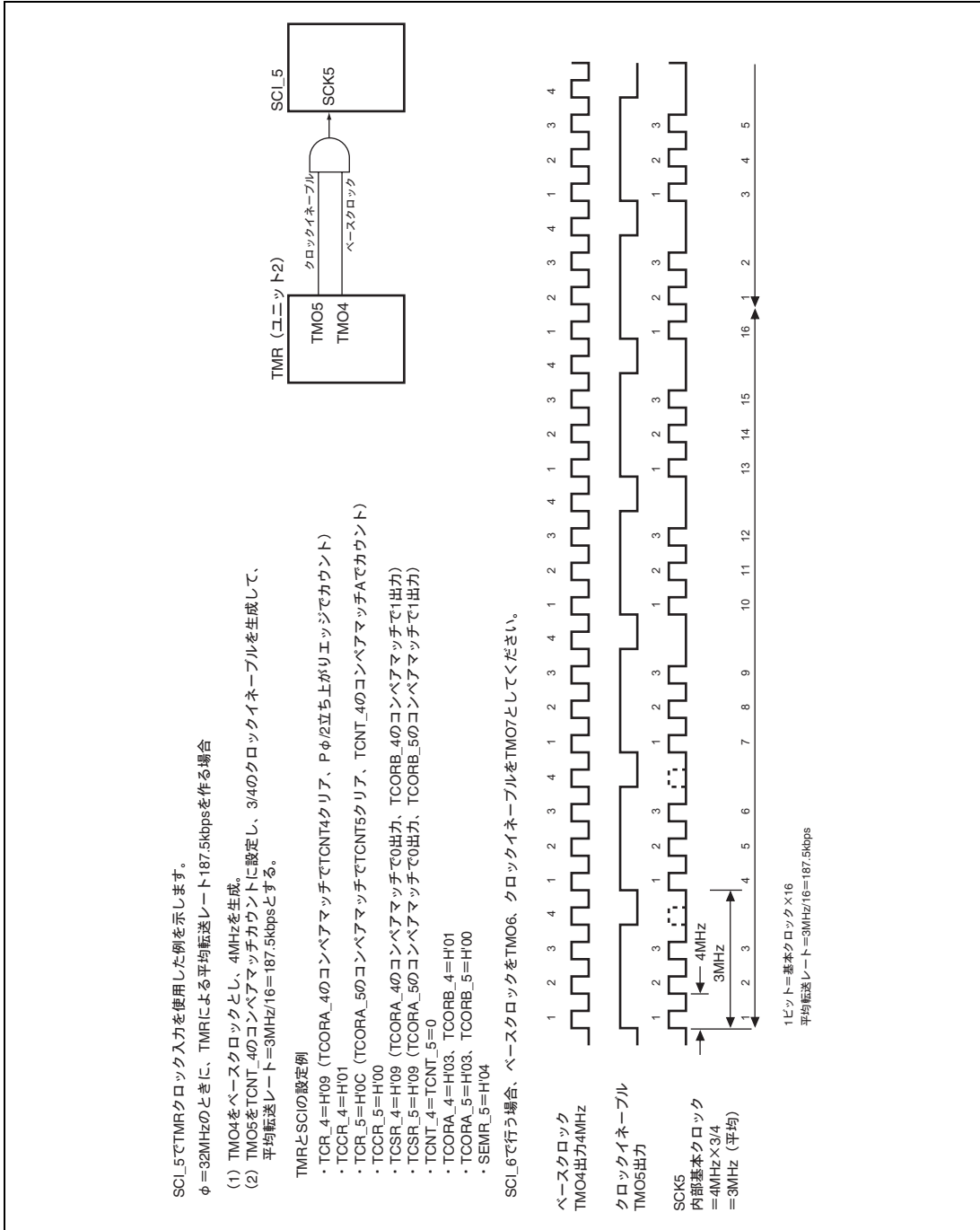


図 15.4 TMR クロック入力時の平均転送レート設定例

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

15.3.12 IrDA コントロールレジスタ (IrCR)

IrCR は、SCI_5 の機能の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	IrE	IrCKS2	IrCKS1	IrCKS0	IrTxINV	IrRxINV	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	—	—

ビット	ビット名	初期値	R/W	説明
7	IrE	0	R/W	IrDA イネーブル SCI_5 の入出力を通常の SCI か IrDA かに設定します。 0 : TxD5/IrTxD、RxD5/IrRxD 端子は、TxD5、RxD5 として動作 1 : TxD5/IrTxD、RxD5/IrRxD 端子は、IrTxD5、IrRxD5 として動作
6	IrCKS2	0	R/W	IrDA クロックセレクト 2~0 IrDA 機能をイネーブルにしたとき、IrTxD 出力パルスエンコード時の High パルス幅を設定します。 000 : パルス幅=B×3/16 (ビットレートの 3/16) 001 : パルス幅=Pφ/2 010 : パルス幅=Pφ/4 011 : パルス幅=Pφ/8 100 : パルス幅=Pφ/16 101 : パルス幅=Pφ/32 110 : パルス幅=Pφ/64 111 : パルス幅=Pφ/128
5	IrCKS1	0	R/W	
4	IrCKS0	0	R/W	
3	IrTxINV	0	R/W	
2	IrRxINV	0	R/W	IrRx データインバート IrRxD 入力のロジックレベルの反転を指定します。反転したときビット 6~4 で指定した High パルス幅は Low パルス幅となります。 0 : IrRxD 入力をそのまま受信データとして使用 1 : IrRxD 入力を反転して受信データとして使用
1, 0	—	すべて 0	—	リザーブビット リードすると常に 0 がリードされます。ライトは無効です。

15.4 調歩同期式モードの動作

調歩同期式シリアル通信の一般的なフォーマットを図 15.5 に示します。1 フレームは、スタートビット (Low レベル) から始まり送受信データ、パリティビット、ストップビット (High レベル) の順で構成されます。調歩同期式シリアル通信では、通信回線は通常マーク状態 (High レベル) に保たれています。SCI は通信回線を監視し、スペース (Low レベル) を検出するとスタートビットとみなしてシリアル通信を開始します。SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信および受信中にデータのリード/ライトができ、連続送受信が可能です。

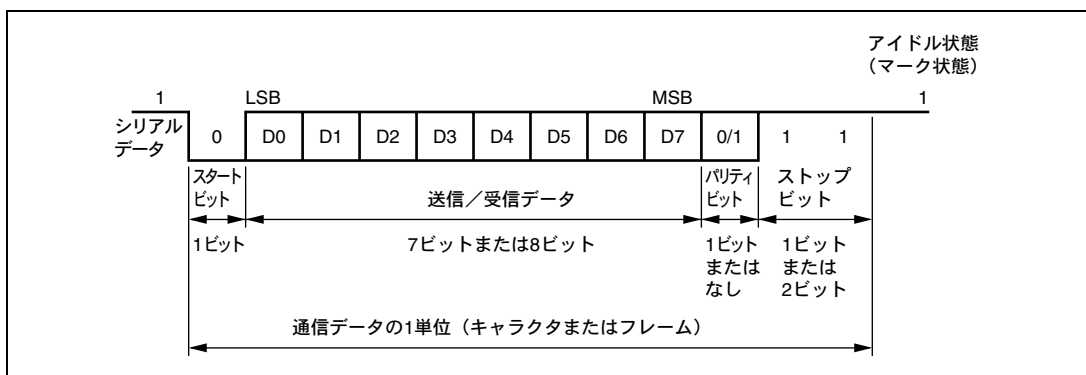


図 15.5 調歩同期式通信のデータフォーマット (8 ビットデータ/パリティあり/2 ストップビットの例)

15.4.1 送受信フォーマット

調歩同期式モードで設定できる送受信フォーマットを、表 15.11 に示します。フォーマットは 12 種類あり、SMR の選定により選択できます。マルチプロセッサビットについては「15.5 マルチプロセッサ通信機能」を参照してください。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

表 15.11 シリアル送信/受信フォーマット (調歩同期式モード)

SMRの設定				シリアル送信/受信フォーマットとフレーム長												
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12	
0	0	0	0	S	8ビットデータ								STOP			
0	0	0	1	S	8ビットデータ								STOP	STOP		
0	1	0	0	S	8ビットデータ								P	STOP		
0	1	0	1	S	8ビットデータ								P	STOP	STOP	
1	0	0	0	S	7ビットデータ							STOP				
1	0	0	1	S	7ビットデータ							STOP	STOP			
1	1	0	0	S	7ビットデータ							P	STOP			
1	1	0	1	S	7ビットデータ							P	STOP	STOP		
0	—	1	0	S	8ビットデータ								MPB	STOP		
0	—	1	1	S	8ビットデータ								MPB	STOP	STOP	
1	—	1	0	S	7ビットデータ							MPB	STOP			
1	—	1	1	S	7ビットデータ							MPB	STOP	STOP		

【記号説明】

- S : スタートビット
- STOP : ストップビット
- P : パリティビット
- MPB : マルチプロセッサビット

15.4.2 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI はビットレートの 16 倍*の周波数の基本クロックで動作します。受信時はスタートビットの立ち下がり基本クロックでサンプリングして内部を同期化します。また、図 15.6 に示すように受信データを基本クロックの 8 目*の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。したがって、調歩同期式モードでの受信マージンは式 (1) のように表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5) F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100 \quad [\%] \quad \dots \text{式 (1)}$$

M : 受信マージン

N : クロックに対するビットレートの比 (ABCS=0 のとき N=16、ABCS=1 のとき N=8)

D : クロックのデューティ (D=0.5~1.0)

L : フレーム長 (L=9~12)

F : クロック周波数の偏差の絶対値

式 (1) で、F (クロック周波数の偏差の絶対値) = 0、D (クロックのデューティ) = 0.5 とすると、

$$M = \left\{ 0.5 - 1 / (2 \times 16) \right\} \times 100 \quad [\%] = 46.875 \%$$

となります。ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

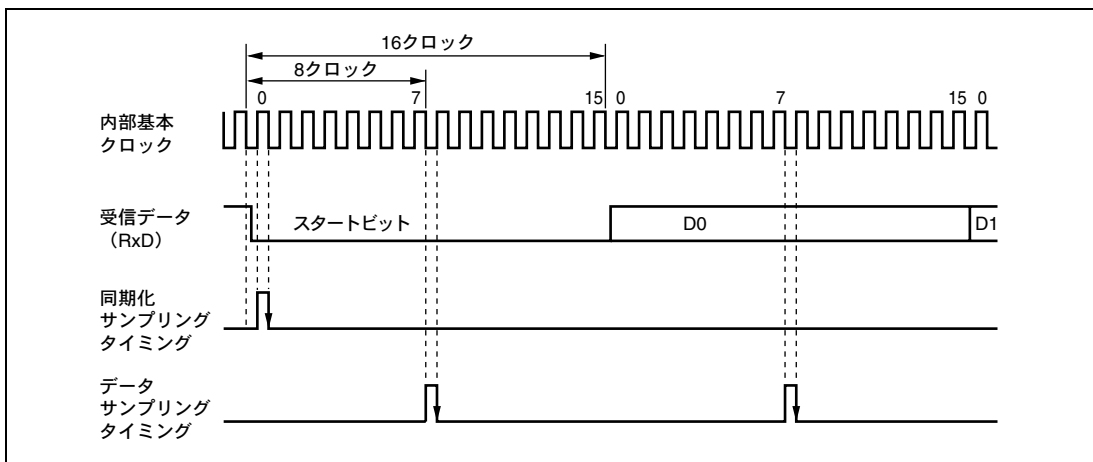


図 15.6 調歩同期式モードの受信データサンプリングタイミング

【注】 * SEMR_2、5、6 の ABCS ビット=0 のときの例です。ABCS=1 のときは、ビットレートの 8 倍の周波数が基本クロックとなり、受信データは基本クロックの 4 番目の立ち上がりエッジでサンプリングします。

15.4.3 クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとSCRのCKE1、CKE0ビットの設定により、内蔵ポーレートジェネレータの生成する内部クロックまたはSCK端子から入力される外部クロックのいずれかを選択できます。外部クロックを使用する場合は、SCK端子にビットレートの16倍（ABCS=0のとき）、8倍（ABCS=1のとき）の周波数のクロックを入力してください。

また、外部クロックを選択した場合は、SEMR_5、6のACS3~ACS0ビットの設定により、平均転送レートまたはTMR_4~7からの基本クロックを選択することも可能です。

内部クロックで動作させるときはSCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、送信時の位相は図15.7に示すように送信データの中央でクロックが立ち上がります。

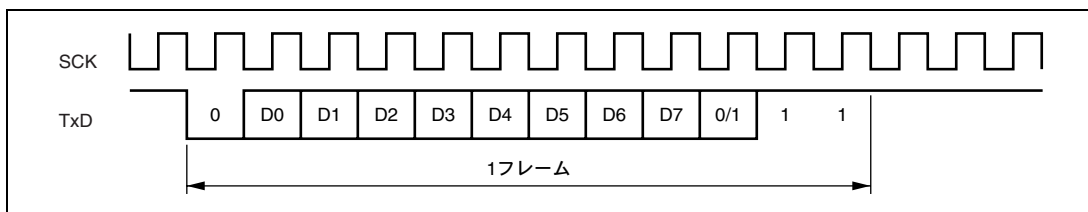


図 15.7 出カクロックと送信データの位相関係（調歩同期式モード）

15.4.4 SCI の初期化 (調歩同期式)

データの送受信前に、SCR の TE、RE ビットをクリアした後、図 15.8 のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TE ビットおよび RE ビットを 0 にクリアしてから変更を行ってください。TE を 0 にクリアすると、TDRE は 1 にセットされますが、RE を 0 にクリアしても、RDRF、PER、FER、ORER の各フラグ、および RDR は初期化されませんので注意してください。調歩同期式モードで外部クロックを使用する場合は、初期化の期間も含めてクロックを供給してください。

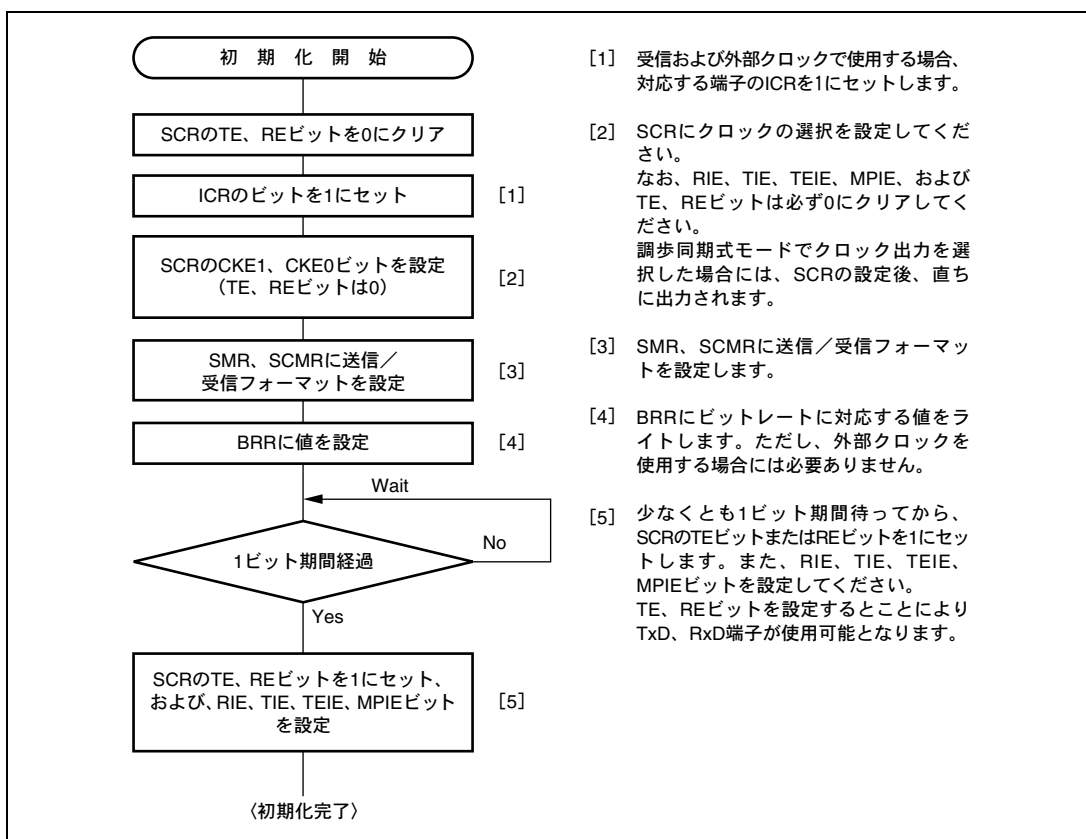


図 15.8 SCI の初期化フローチャートの例

15.4.5 シリアルデータ送信 (調歩同期式)

図 15.9 に調歩同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. TxD端子からスタートビット、送信データ、パリティビットまたはマルチプロセッサビット (フォーマットによってはない場合もあります)、ストップビットの順に送り出します。
4. ストップビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、ストップビット送出後、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDを1にセットし、ストップビット送出後、1を出力してマーク状態になります。このときSCRのTEIEが1にセットされているとTEIを発生します。

図 15.10 にデータ送信のフローチャートの例を示します。

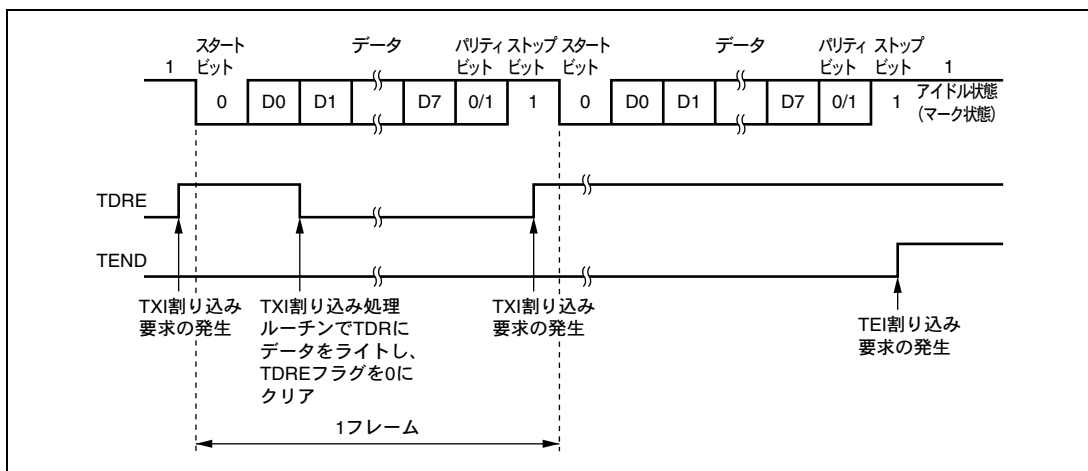


図 15.9 調歩同期式モードの送信時の動作例 (8ビットデータ/パリティあり/1ストップビットの例)

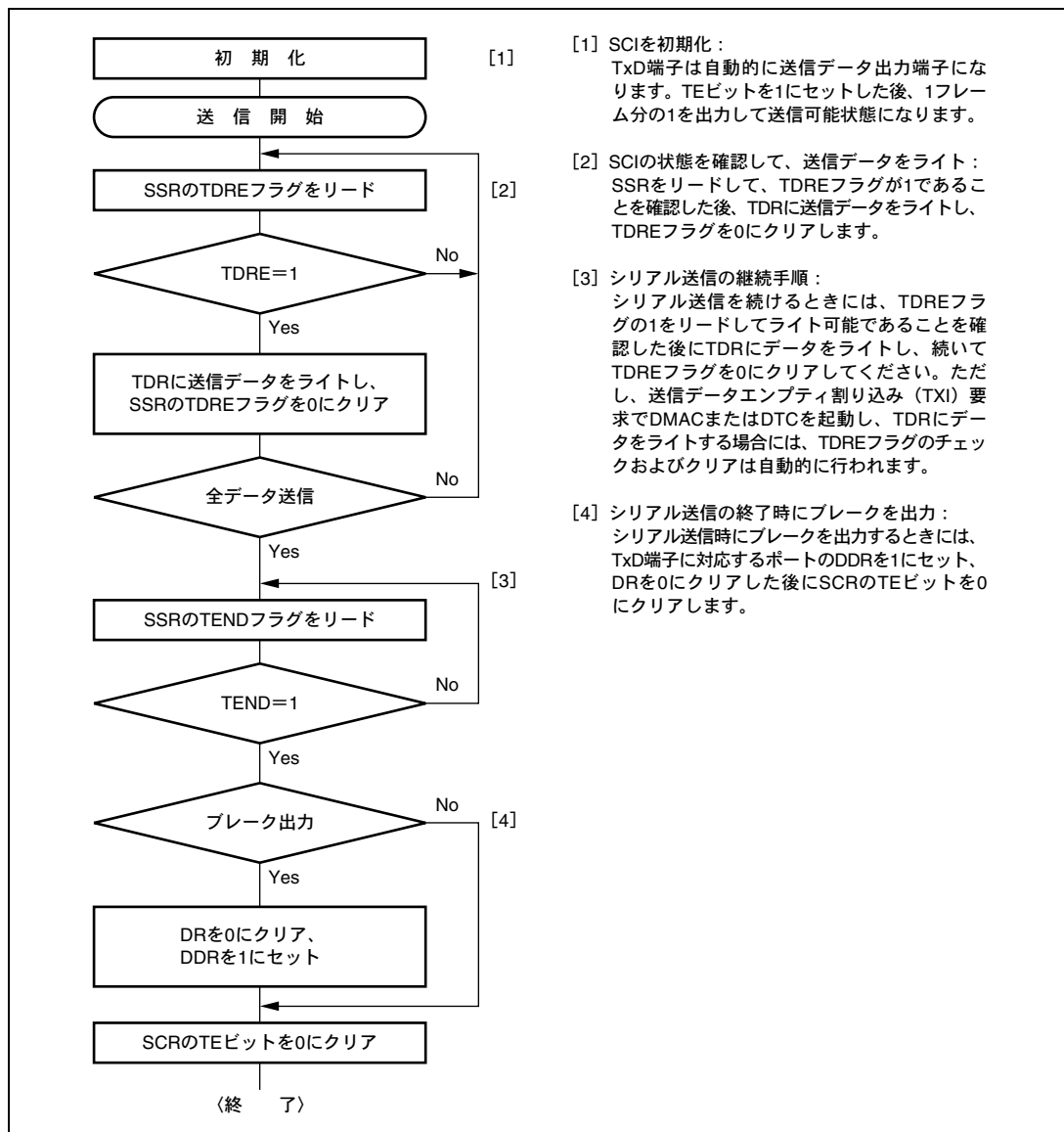


図 15.10 シリアル送信のフローチャートの例

15.4.6 シリアルデータ受信（調歩同期式）

図 15.11 に調歩同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. 通信回線を監視し、スタートビットを検出すると内部を同期化して受信データをRSRに取り込み、パリティビットとストップビットをチェックします。
2. オーバランエラーが発生したとき（SSRのRDRFが1にセットされたまま次のデータを受信完了したとき）はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. パリティエラーを検出した場合はSSRのPERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
4. フレーミングエラー（ストップビットが0のとき）を検出した場合はSSRのFERをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。
5. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

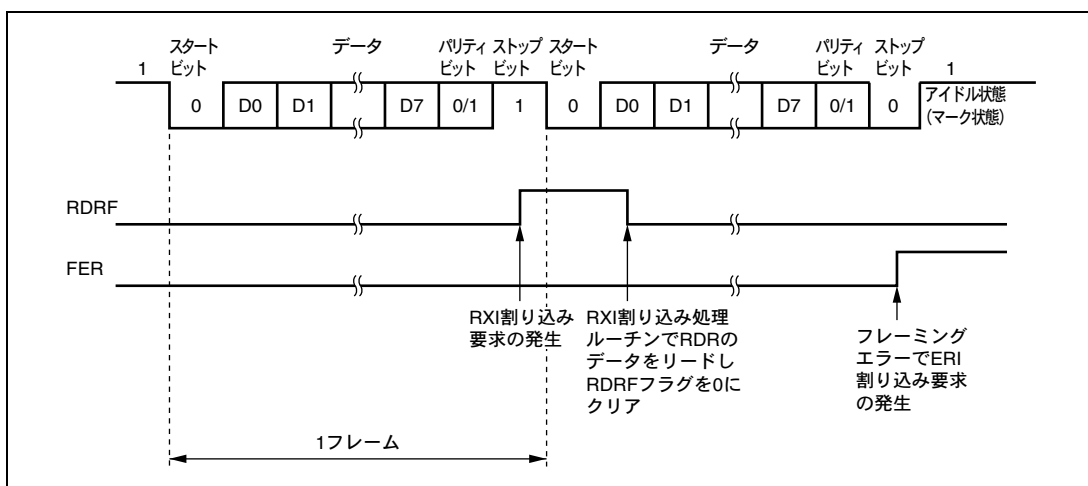


図 15.11 SCI の受信時の動作例（8 ビットデータ／パリティあり／1 ストップビットの例）

受信エラーを検出した場合の SSR の各ステータスフラグの状態と受信データの処理を表 15.12 に示します。受信エラーを検出すると、RDRF はデータを受信する前の状態を保ちます。受信エラーフラグがセットされた状態では以後の受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.12 にデータ受信のためのフローチャートの例を示します。

表 15.12 SSR のステータスフラグの状態と受信データの処理

SSR のステータスフラグ				受信データ	受信エラーの状態
RDRF*	ORER	FER	PER		
1	1	0	0	消失	オーバランエラー
0	0	1	0	RDR へ転送	フレーミングエラー
0	0	0	1	RDR へ転送	パリティエラー
1	1	1	0	消失	オーバランエラー+フレーミングエラー
1	1	0	1	消失	オーバランエラー+パリティエラー
0	0	1	1	RDR へ転送	フレーミングエラー+パリティエラー
1	1	1	1	消失	オーバランエラー+フレーミングエラー+パリティエラー

【注】 * RDRF は、データ受信前の状態を保持します。

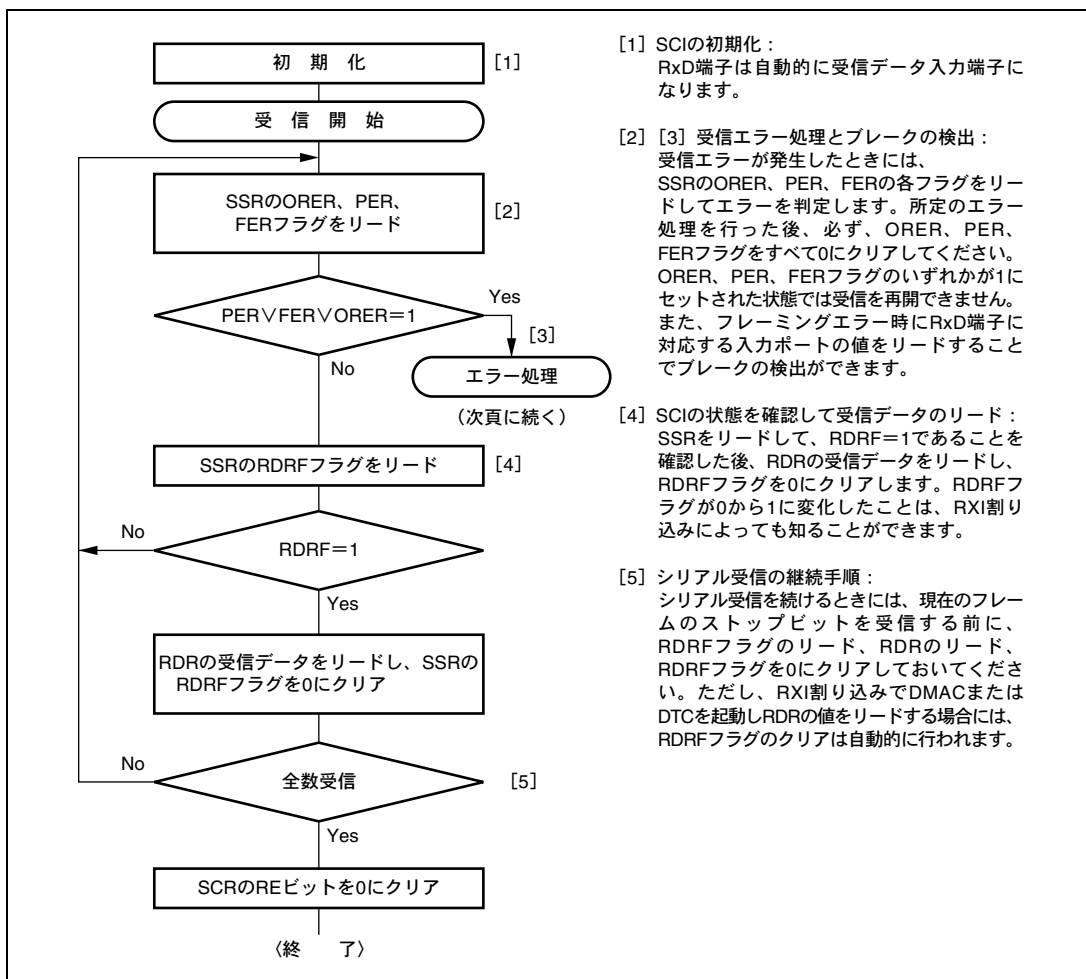


図 15.12 シリアル受信のフローチャートの例 (1)

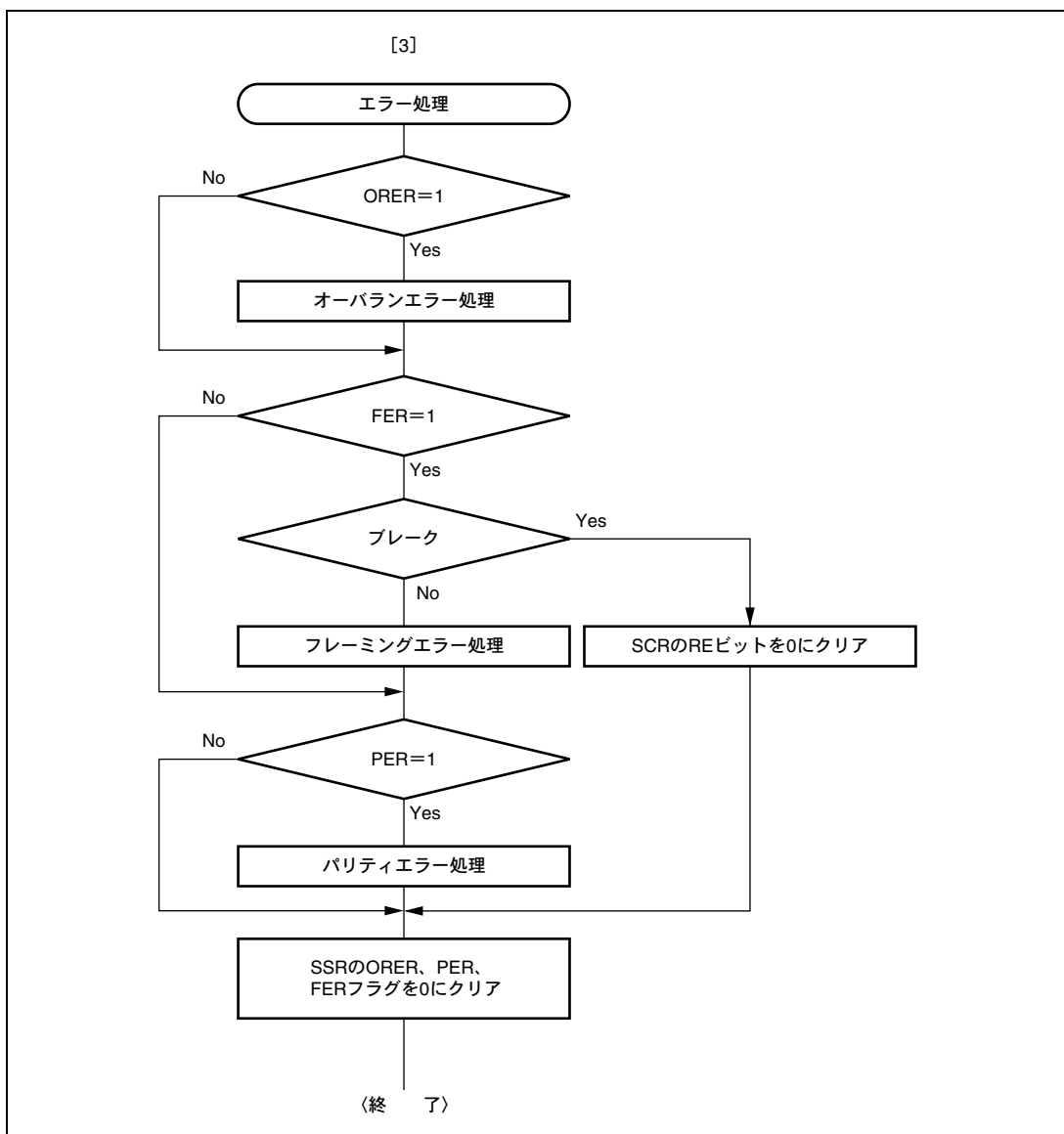


図 15.12 シリアル受信のフローチャートの例 (2)

15.5 マルチプロセッサ通信機能

マルチプロセッサ通信機能を使用すると、マルチプロセッサビットを付加した調歩同期式シリアル通信により複数のプロセッサ間で通信回線を共有してデータの送受信を行うことができます。マルチプロセッサ通信では受信局に各々固有の ID コードを割り付けます。シリアル通信サイクルは、受信局を指定する ID 送信サイクルと指定された受信局に対するデータ送信サイクルで構成されます。ID 送信サイクルとデータ送信サイクルの区別はマルチプロセッサビットで行います。マルチプロセッサビットが 1 のとき ID 送信サイクル、0 のときデータ送信サイクルとなります。図 15.13 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。送信局は、まず受信局の ID コードにマルチプロセッサビット 1 を付加した通信データを送信します。続いて、送信データにマルチプロセッサビット 0 を付加した通信データを送信します。受信局は、マルチプロセッサビットが 1 の通信データを受信すると自局の ID と比較し、一致した場合は続いて送信される通信データを受信します。一致しなかった場合は再びマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。

SCI はこの機能をサポートするため、SCR に MPIE ビットが設けてあります。MPIE を 1 にセットすると、マルチプロセッサビットが 1 のデータを受け取るまで RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各ステータスフラグのセットを禁止します。マルチプロセッサビットが 1 の受信キャラクタを受け取ると、SSR の MPBR が 1 にセットされるとともに MPIE が自動的にクリアされて通常の受信動作に戻ります。このとき SCR の RIE がセットされていると RXI 割り込みを発生します。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。それ以外は通常の調歩同期式モードと変わりません。マルチプロセッサ通信を行うときのクロックも通常の調歩同期式モードと同一です。

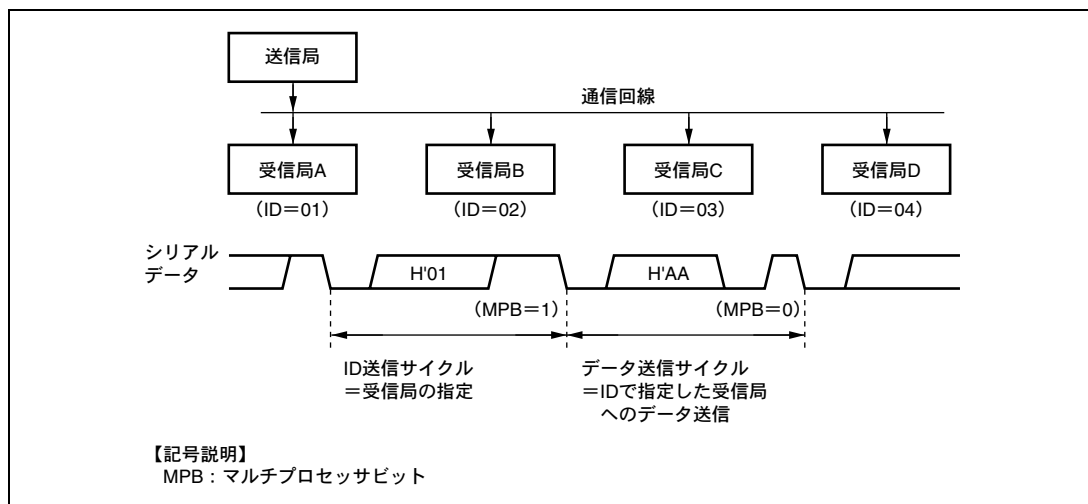


図 15.13 マルチプロセッサフォーマットを使用した通信例（受信局 A へのデータ H'AA の送信の例）

15.5.1 マルチプロセッサシリアルデータ送信

図 15.14 にマルチプロセッサデータ処理のフローチャートの例を示します。ID 送信サイクルでは SSR の MPBT を 1 にセットして送信してください。データ送信サイクルでは SSR の MPBT を 0 にクリアして送信してください。その他の動作は調歩同期式モードの動作と同じです。

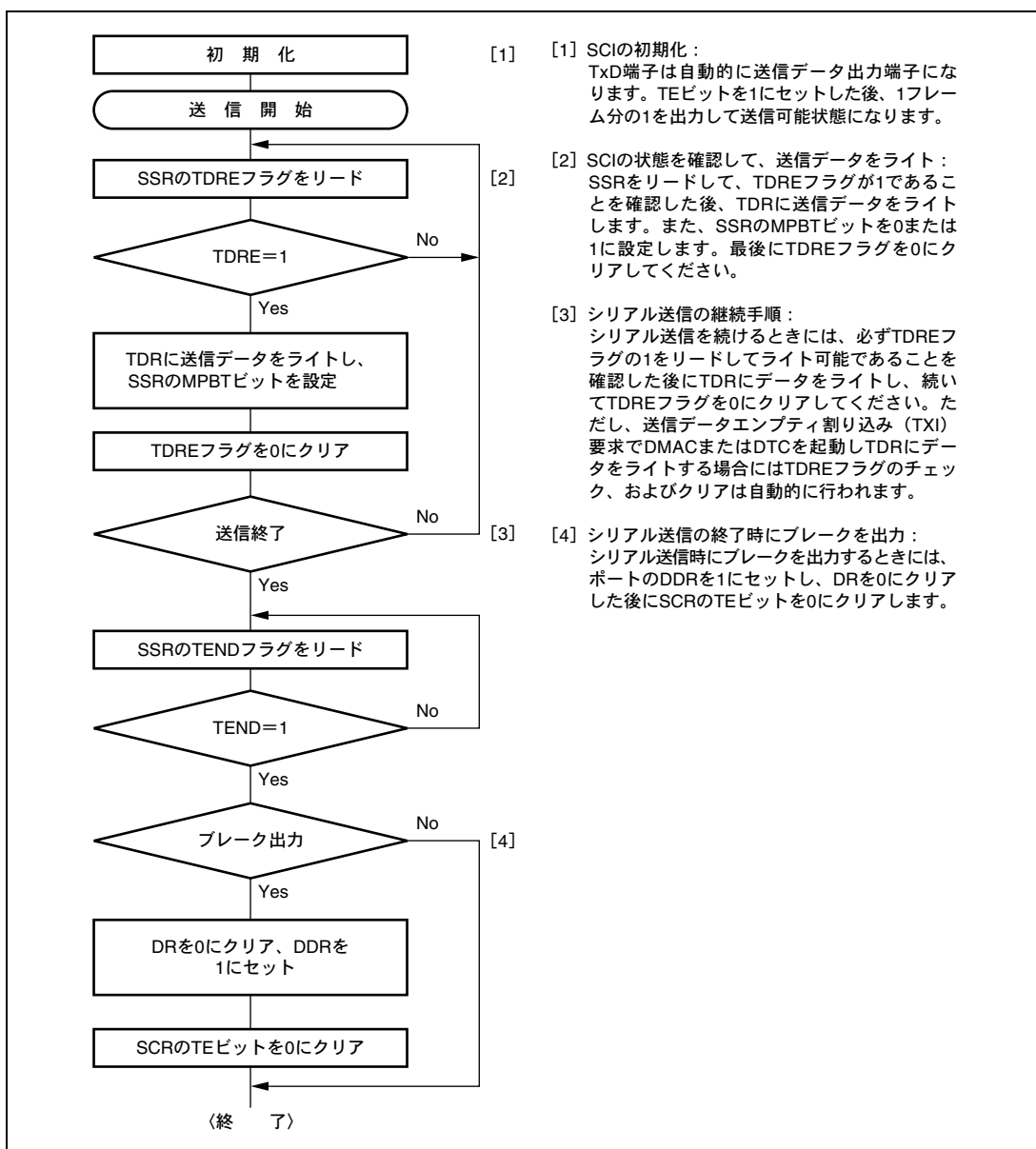


図 15.14 マルチプロセッサシリアル送信のフローチャートの例

15.5.2 マルチプロセッサシリアルデータ受信

図 15.16 にマルチプロセッサデータ受信のフローチャートの例を示します。SCR の MPIE を 1 にセットするとマルチプロセッサビットが 1 の通信データを受信するまで通信データを読みとばします。マルチプロセッサビットが 1 の通信データを受信すると受信データを RDR に転送します。このとき RXI 割り込み要求を発生します。その他の動作は調歩同期式モードの動作と同じです。図 15.15 に受信時の動作例を示します。

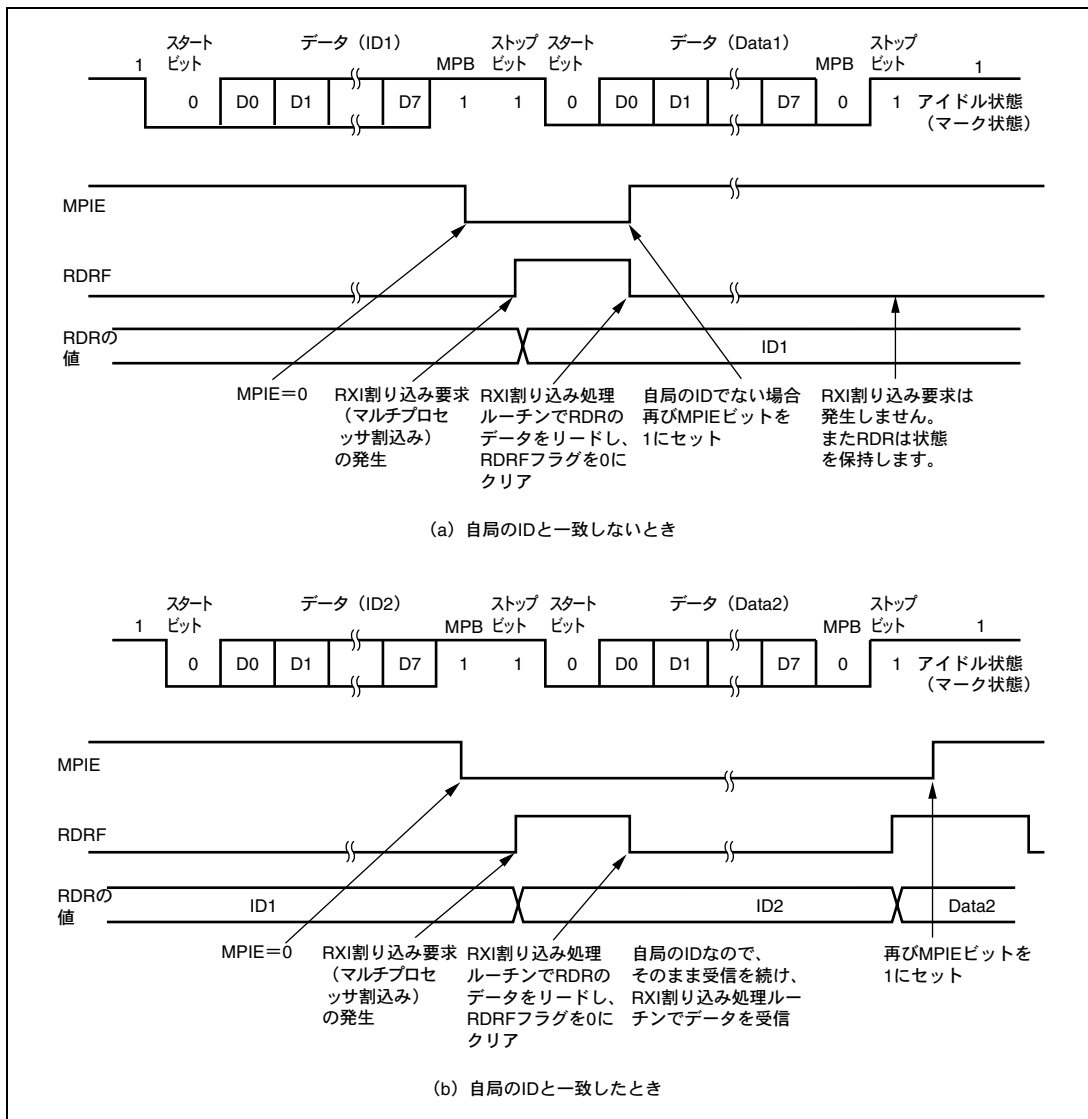


図 15.15 SCI の受信時の動作例 (8 ビットデータ / マルチプロセッサビットあり / 1 ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

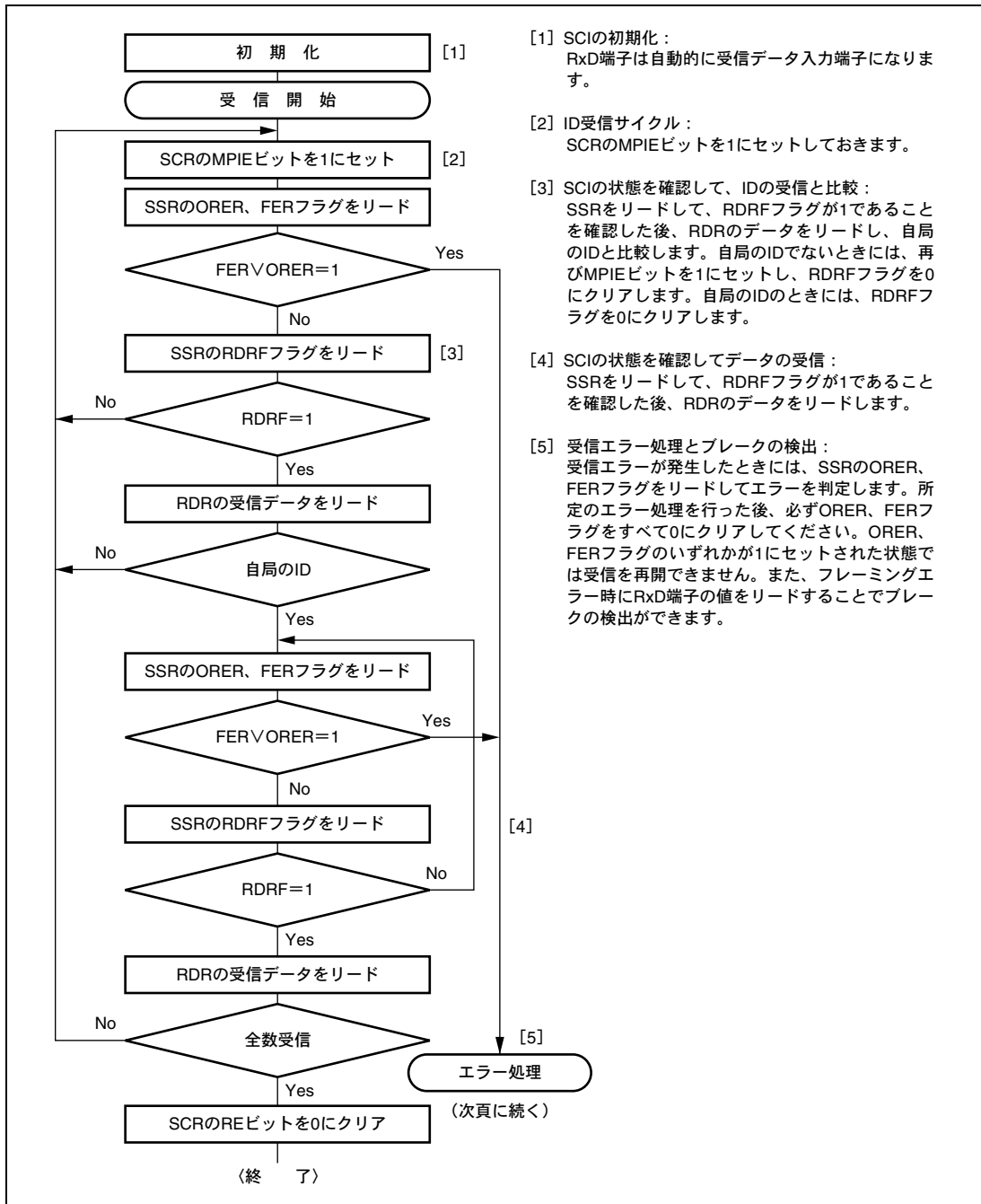


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (1)

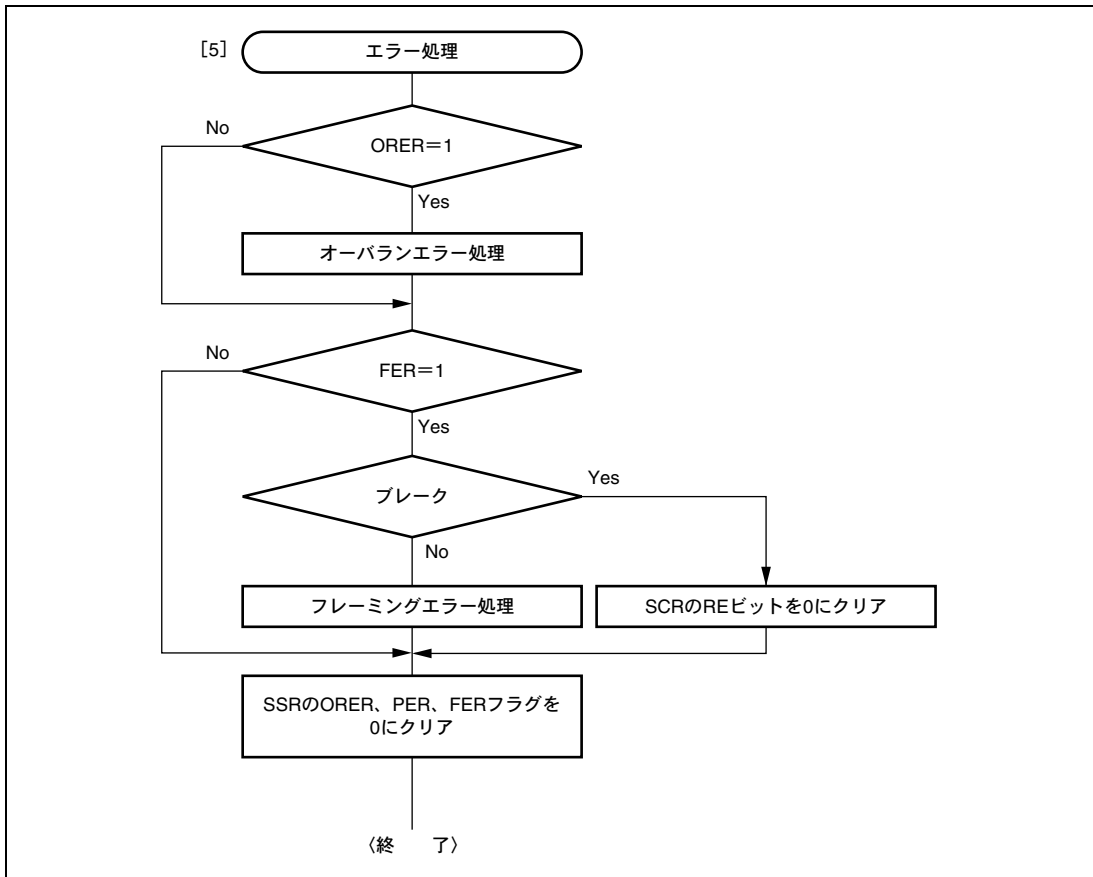


図 15.16 マルチプロセッサシリアル受信のフローチャートの例 (2)

15.6 クロック同期式モードの動作 (SCI_0、1、2、4のみ)

クロック同期式通信の通信データのフォーマットを図 15.17 に示します。クロック同期式モードではクロックパルスに同期してデータを送受信します。通信データの 1 キャラクタは 8 ビットデータで構成されます。SCI はデータ送信時は同期クロックの立ち下がりから次の立ち下がりまで出力します。データ受信時は同期クロックの立ち上がりに同期してデータを取り込みます。8 ビット出力後の通信回線は最終ビット出力状態を保ちます。クロック同期式モードでは、パリティビットやマルチプロセッサビットの付加はできません。SCI 内部では送信部と受信部が独立していますので、クロックを共有することで全二重通信を行うことができます。送信部/受信部は共にダブルバッファ構造になっていますので、送信中に次の送信データのライト、受信中に前の受信データのリードを行うことで連続送受信が可能です。(SCI_5、6 では使用禁止です。)

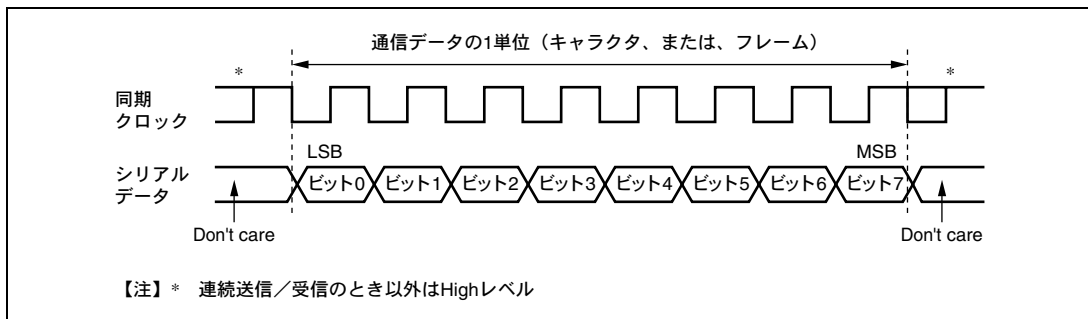


図 15.17 クロック同期式通信のデータフォーマット (LSB フェーストの場合)

15.6.1 クロック

SCR の CKE1、CKE0 の設定により、内蔵ポーレートジェネレータが生成する内部クロックまたは SCK 端子から入力される外部同期クロックを選択できます。内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信および受信を行わないときは High レベルに固定されます。ただし、受信動作のみのときはオーバランエラーが発生するか RE ビットを 0 にクリアするまで同期クロックは出力されます。(SCI_5、6 では設定禁止です。)

15.6.2 SCIの初期化 (クロック同期式) (SCI_0、1、2、4のみ)

データの送受信前に、SCRのTE、REビットをクリアした後、図15.18のフローチャートの例に従って初期化してください。動作モードの変更、通信フォーマットの変更などの場合も必ず、TEビットおよびREビットを0にクリアしてから変更を行ってください。TEを0にクリアすると、TDREは1にセットされますが、REを0にクリアしても、RDRF、PER、FER、ORERの各フラグ、およびRDRは初期化されませんので注意してください。

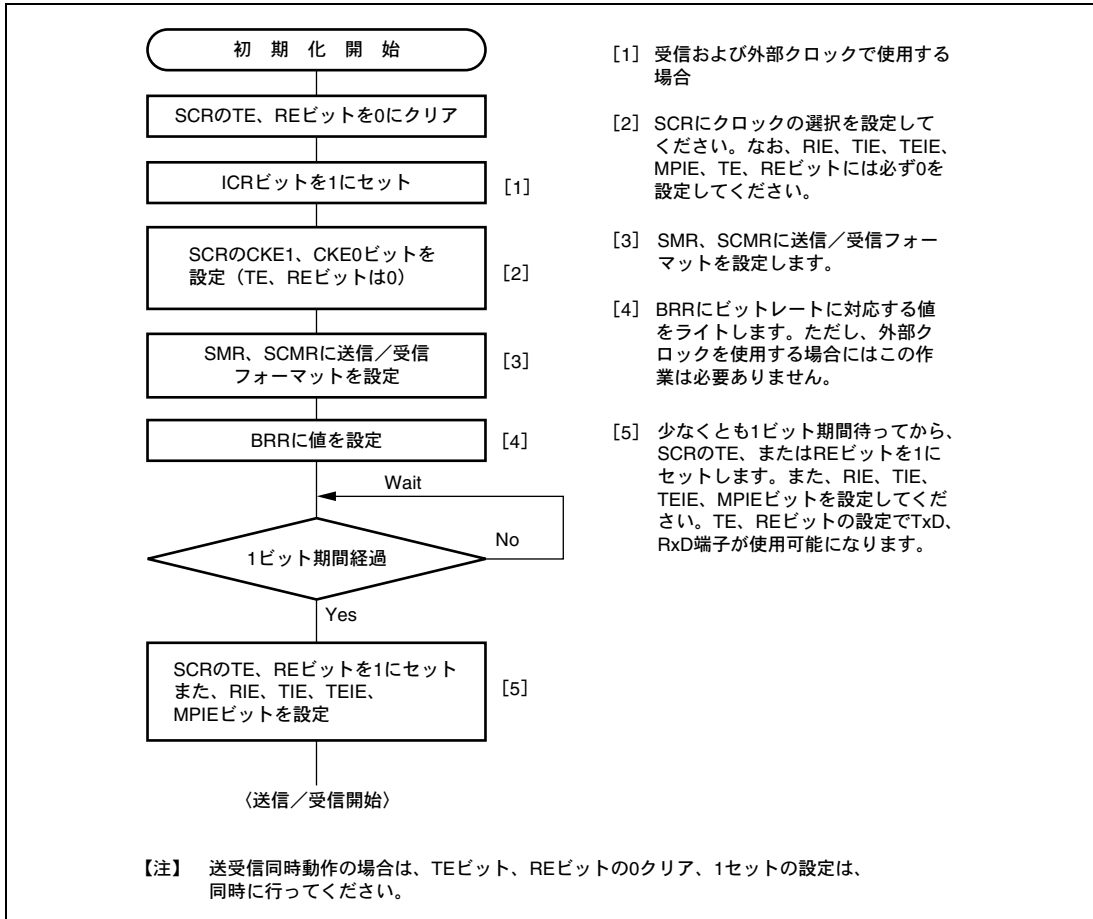


図 15.18 SCIの初期化フローチャートの例

15.6.3 シリアルデータ送信 (クロック同期式) (SCI_0、1、2、4のみ)

図 15.19 にクロック同期式モードの送信時の動作例を示します。データ送信時 SCI は以下のように動作します。

1. SCIはSSRのTDREを監視し、クリアされるとTDRにデータが書き込まれたと認識してTDRからTSRにデータを転送します。
2. TDRからTSRにデータを転送すると、TDREを1にセットして送信を開始します。このとき、SCRのTIEが1にセットされているとTXI割り込み要求を発生します。このTXI割り込みルーチンで、前に転送したデータの送信が終了するまでにTDRに次の送信データを書き込むことで連続送信が可能です。
3. クロック出力モードに設定したときには出力クロックに同期して、外部クロックに設定したときには入力クロックに同期して、TxD端子から8ビットのデータを出力します。
4. 最終ビットを送り出すタイミングでTDREをチェックします。
5. TDREが0であると次の送信データをTDRからTSRにデータを転送し、次のフレームの送信を開始します。
6. TDREが1であるとSSRのTENDに1をセットし、最終ビット出力状態を保持します。このときSCRのTEIEが1にセットされているとTEIを発生します。SCK端子はHighレベルに固定されます。

図 15.20 にデータ送信のフローチャートの例を示します。受信エラーフラグ (ORER、FER、PER) が1にセットされた状態では TDRE をクリアしても送信を開始しません。送信開始の前に、必ず受信エラーフラグを0にクリアしておいてください。また、受信エラーフラグは RE ビットをクリアしただけではクリアされませんので注意してください。

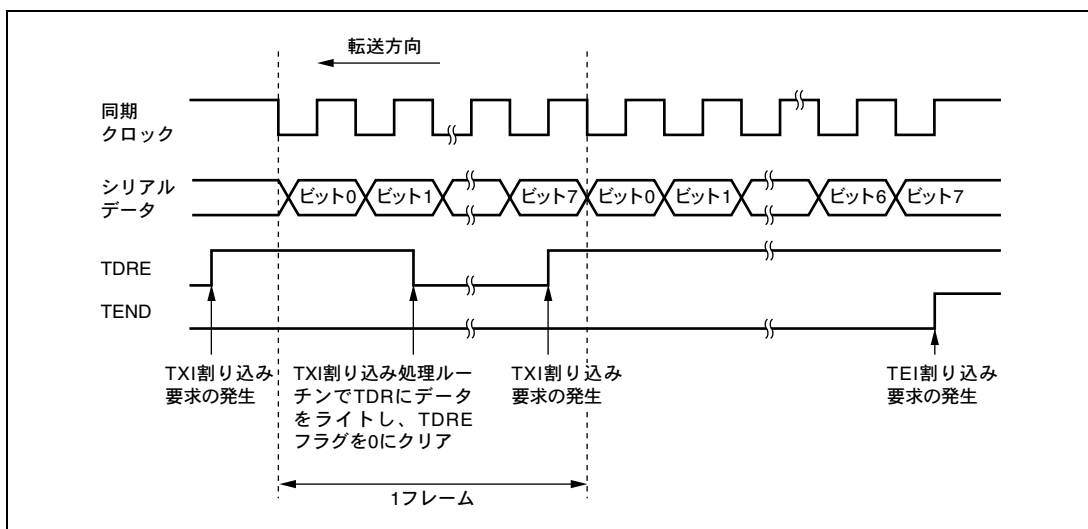


図 15.19 クロック同期式モードの送信時の動作例

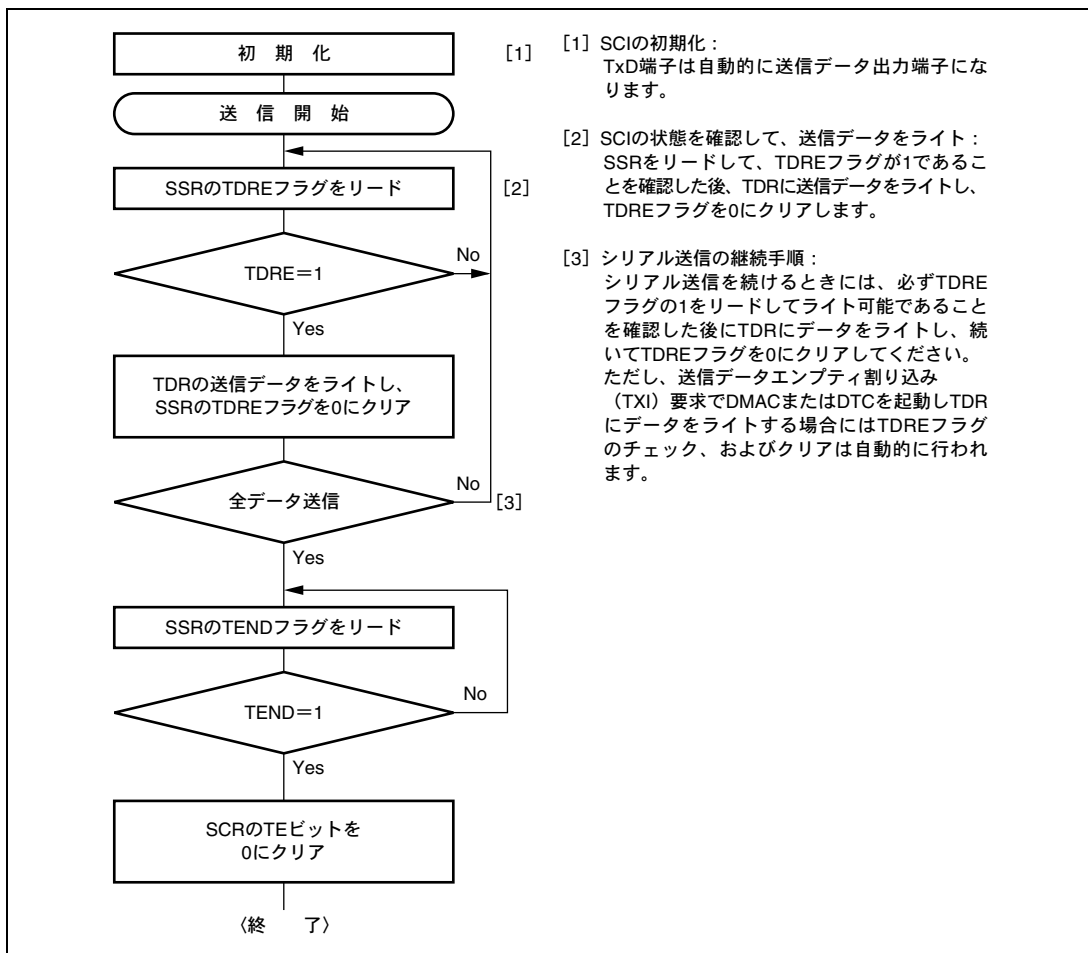


図 15.20 シリアル送信のフローチャートの例

15.6.4 シリアルデータ受信 (クロック同期式) (SCI_0、1、2、4のみ)

図 15.21 にクロック同期式モードの受信時の動作例を示します。データ受信時 SCI は以下のように動作します。

1. SCIは同期クロックの入力または、出力に同期して内部を初期化して受信を開始し、受信データをRSRに取り込みます。
2. オーバランエラーが発生したとき (SSRのRDRFが1にセットされたまま次のデータを受信完了したとき) はSSRのORERをセットします。このときSCRのRIEが1にセットされているとERI割り込み要求が発生します。受信データはRDRに転送しません。RDRFは1にセットされた状態を保持します。
3. 正常に受信したときはSSRのRDRFをセットし、受信データをRDRに転送します。このときSCRのRIEが1にセットされているとRXI割り込み要求が発生します。このRXI割り込み処理ルーチンでRDRに転送された受信データを次のデータ受信完了までにリードすることで連続受信が可能です。

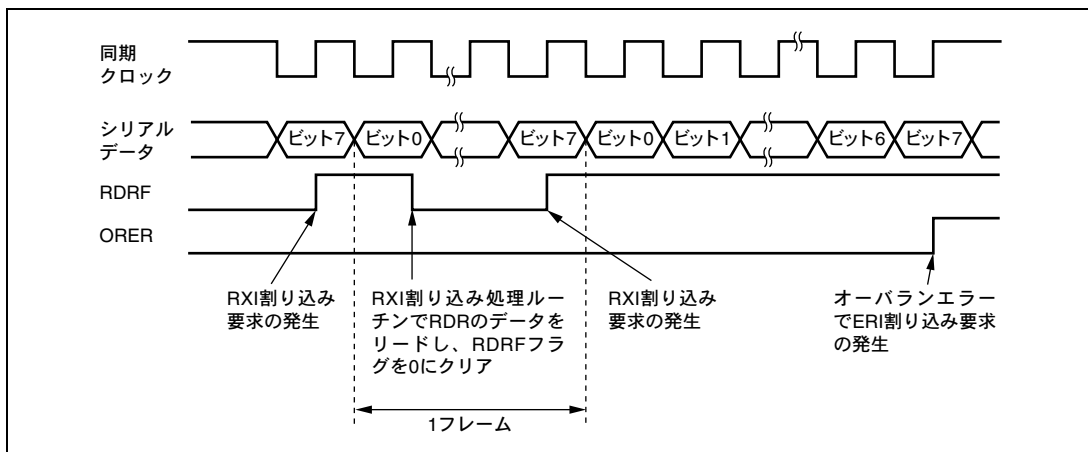


図 15.21 SCI の受信時の動作例

受信エラーフラグがセットされた状態では以後の送受信動作ができません。したがって、受信を継続する前に必ず ORER、FER、PER、および RDRF を 0 にクリアしてください。図 15.22 にデータ受信のためのフローチャートの例を示します。

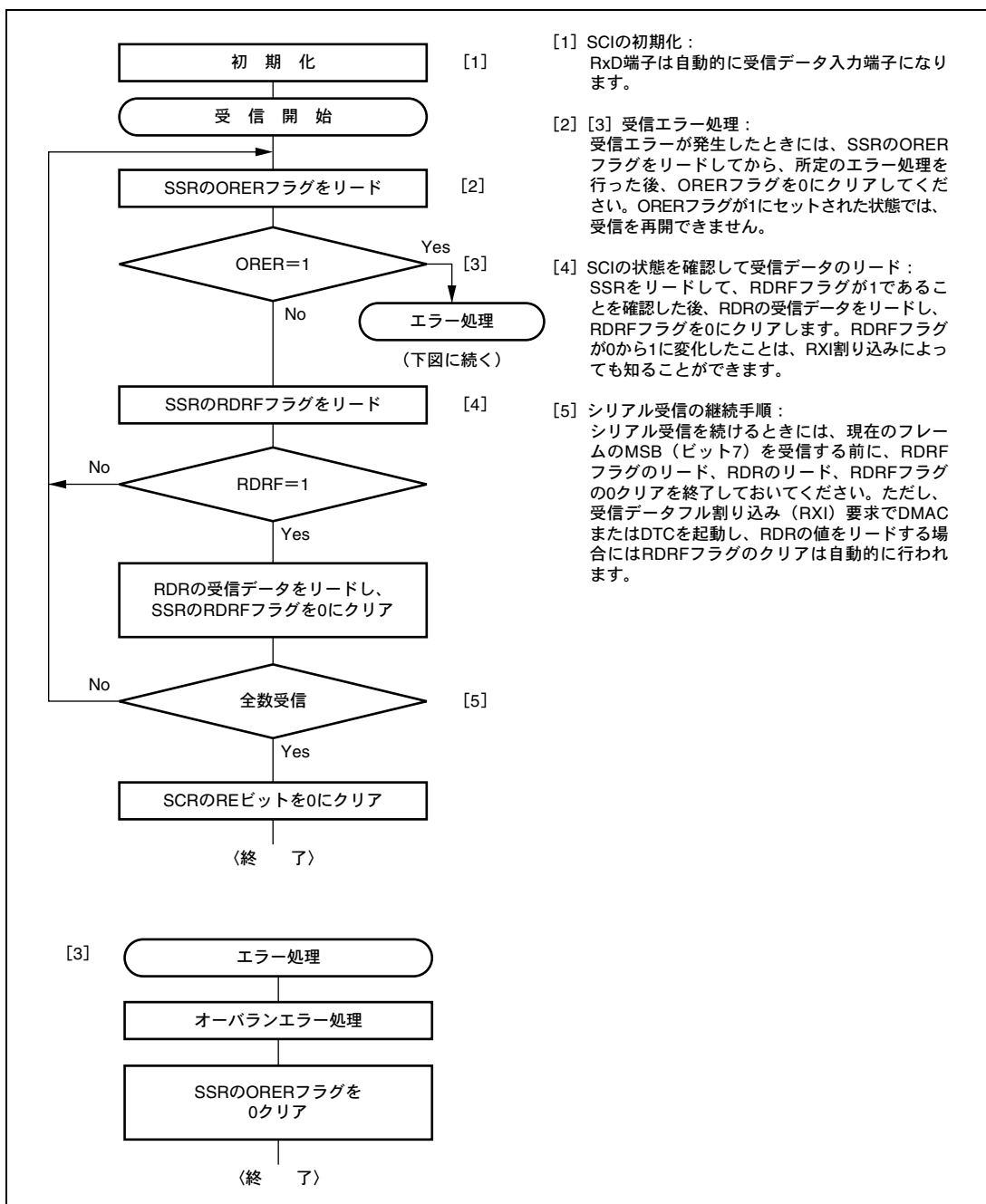


図 15.22 シリアル受信のフローチャートの例

15.6.5 シリアルデータ送受信同時動作 (クロック同期式) (SCI_0、1、2、4のみ)

図 15.23 にデータ送受信同時動作のフローチャートの例を示します。データ送受信同時動作は SCI の初期化後、以下の手順に従って行ってください。送信から同時送受信へ切り替えるときには、SCI が送信終了状態であること、TDRE および TEND が 1 にセットされていることを確認した後、TE を 0 にクリアしてから TE および RE を 1 命令で同時に 1 にセットしてください。受信から同時送受信へ切り替えるときには、SCI が受信完了状態であることを確認し、RE を 0 にクリアしてから RDRF およびエラーフラグ (ORER、FER、PER) が 0 にクリアされていることを確認した後、TE および RE を 1 命令で同時に 1 にセットしてください。

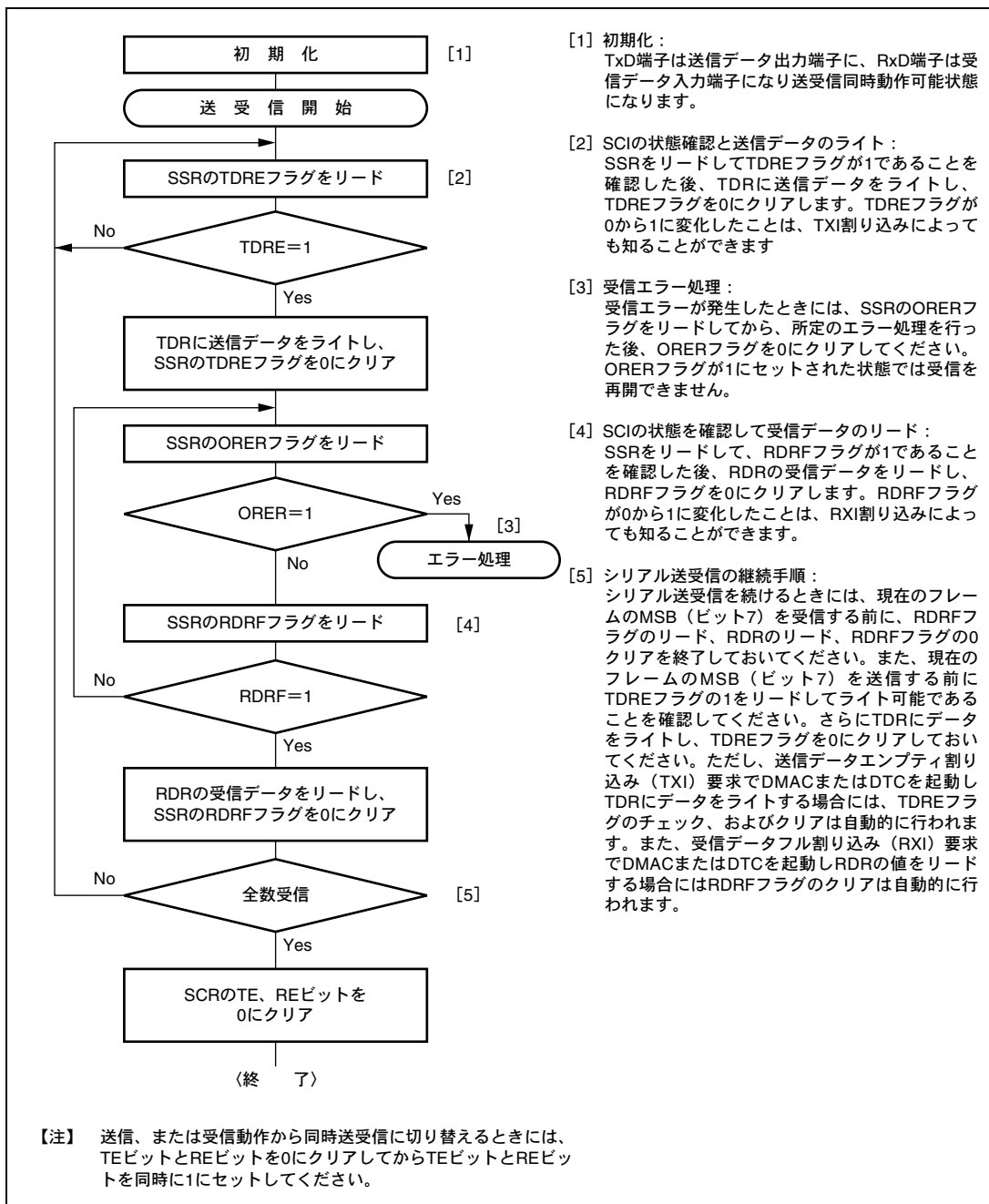


図 15.23 シリアル送受信同時動作のフローチャートの例

15.7 スマートカードインタフェースの動作説明

SCIはシリアルコミュニケーションインタフェースの拡張機能として、ISO/IEC 7816-3 (Identification Card) に対応したICカード (スマートカード) とのインタフェースをサポートしています。スマートカードインタフェースモードへの切り替えはレジスタにより行います。

15.7.1 接続例

図 15.24 にスマートカードとの接続例を示します。ICカードとは1本のデータ伝送線で送受信が行われるので、TxD 端子と RxD 端子とを結線し、データ伝送線は抵抗で電源 V_{CC} 側にプルアップしてください。ICカードを接続しない状態で RE=TE=1 に設定すると、閉じた送信/受信が可能となり自己診断をすることができます。SCIで生成するクロックをICカードに供給する場合は、SCK 端子出力を ICカードの CLK 端子に入力してください。リセット信号の出力には本 LSI の出力ポートを使用できます。(SCI_5、6 では SCI で生成するクロックを ICカードに供給できません)

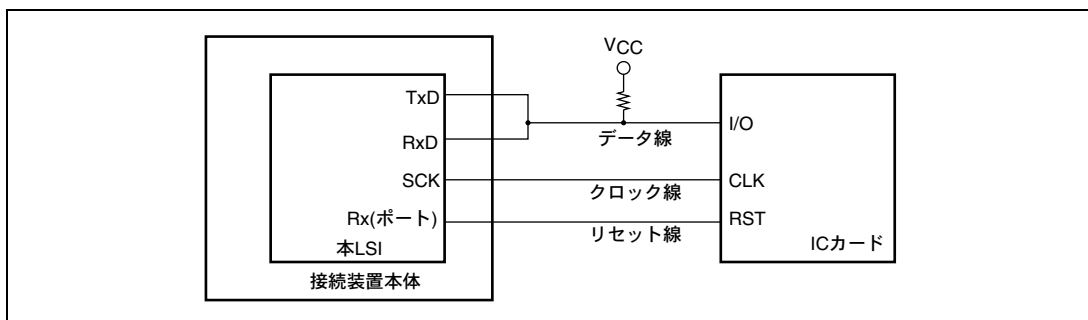


図 15.24 スマートカードインタフェース端子接続概要

15.7.2 データフォーマット (ブロック転送モード時を除く)

図 15.25 にスマートカードインタフェースモードでの送受信フォーマットを示します。

- 調歩同期式で、1フレームは8ビットデータとパリティビットで構成されます。
- 送信時は、パリティビットの終了から次のフレーム開始まで2etu (Elementary Time Unit : 1ビットの転送期間) 以上のガードタイムをおきます。
- 受信時はパリティエラーを検出した場合、スタートビットから10.5etu経過後、エラーシグナルLowを1etu期間出力します。
- 送信時はエラーシグナルをサンプリングすると、2etu以上経過後、自動的に同じデータを再送信します。

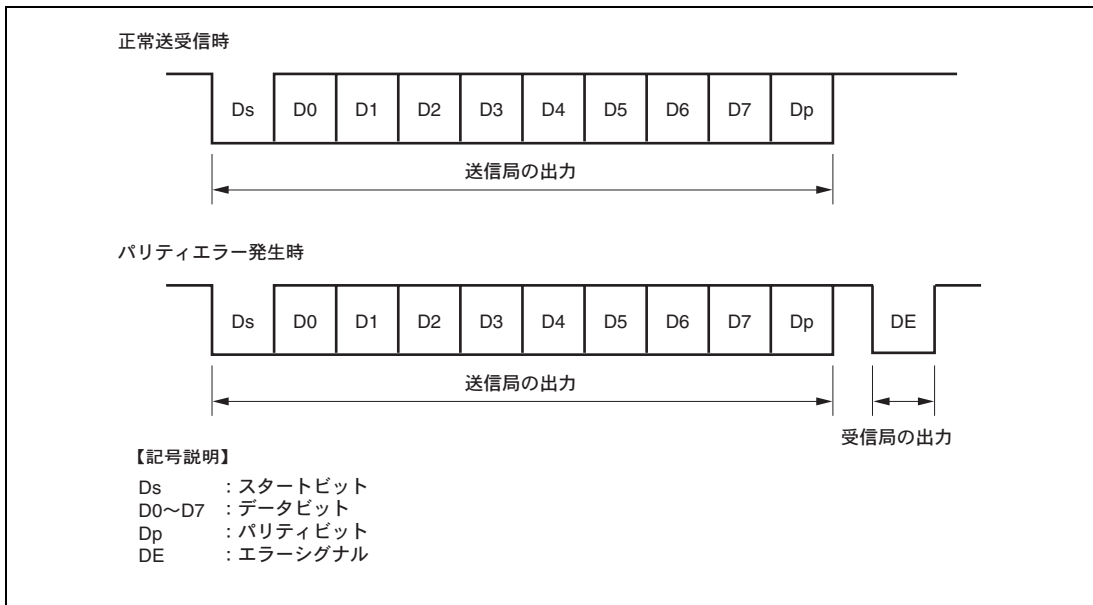


図 15.25 通常のスマートカードインタフェースのデータフォーマット

ダイレクトコンベンションタイプとインバースコンベンションタイプの2種類のICカードとの送受信は以下のように行ってください。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

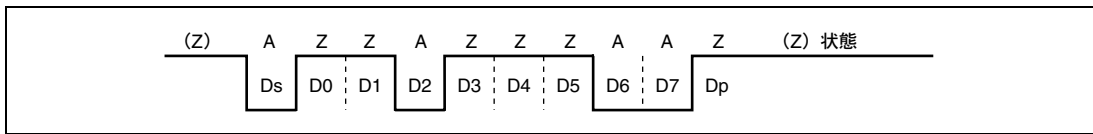


図 15.26 ダイレクトコンベンション (SDIR=SINV=O/E=0)

ダイレクトコンベンションタイプは上記開始キャラクタの例のように、論理 1 レベルを状態 Z に、論理 0 レベルを状態 A に対応付け、LSB ファーストで送受信します。上記の開始キャラクタではデータは H'3B となります。ダイレクトコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 0 にセットしてください。また、スマートカードの規程により偶数パリティとなるよう SMR の O/E ビットには 0 をセットしてください。

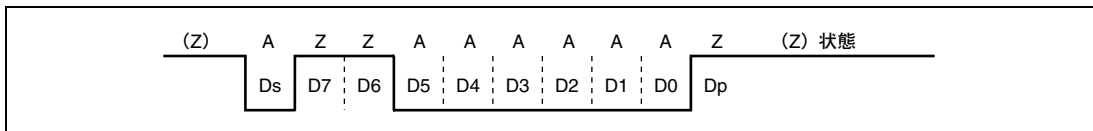


図 15.27 インバースコンベンション (SDIR=SINV=O/E=1)

インバースコンベンションタイプは、論理 1 レベルを状態 A に、論理 0 レベルを状態 Z に対応付け、MSB ファーストで送受信します。上記の開始キャラクタではデータは H'3F となります。インバースコンベンションタイプでは SCMR の SDIR ビット、SINV ビットをともに 1 にセットしてください。パリティビットはスマートカードの規程により偶数パリティで論理 0 となり、状態 Z が対応します。本 LSI では、SINV ビットはデータビット D7～D0 のみ反転させます。このため、送受信とも SMR の O/E ビットに 1 を設定してパリティビットを反転させてください。

15.7.3 ブロック転送モード

ブロック転送モードは、通常のスマートカードインタフェースと比較して以下の点が異なります。

- 受信時はパリティチェックは行いますが、エラーを検出してもエラーシグナルは出力しません。SSR の PER はセットされますので、次のフレームのパリティビットを受信する前にクリアしてください。
- 送信時のパリティビットの終了から次のフレーム開始までのガードタイムは最小 1etu 以上です。
- 送信時は再送信を行わないため、TEND フラグは送信開始から 11.5etu 後にセットされます。
- ERS フラグは通常のスマートカードインタフェースと同じで、エラーシグナルのステータスを示しますが、エラーシグナルの送受信を行わないため常に 0 となります。

15.7.4 受信データサンプリングタイミングと受信マージン

スマートカードインタフェースで使用できる送受信クロックは内蔵ポーレートジェネレータの生成した内部クロックのみです。スマートカードインタフェースモードでは、SCIはBCP1、BCP0の設定によりビットレートの32倍、64倍、372倍、256倍（通常の調歩同期式モードでは16倍に固定されています）の周波数の基本クロックで動作します。受信時はスタートビットの立ち下りを基本クロックでサンプリングして内部を同期化します。また、図15.28に示すように受信データを基本クロックのそれぞれ16、32、186、128ヶ目の立ち上がりエッジでサンプリングすることで、各ビットの中央でデータを取り込みます。このときの受信マージンは次の式で表わすことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L-0.5) F - \frac{|D-0.5|}{N} (1+F) \right| \times 100\%$$

M：受信マージン (%)

N：クロックに対するビットレートの比 (N=32, 64, 372, 256)

D：クロックデューティー (D=0~1.0)

L：フレーム長 (L=10)

F：クロック周波数の偏差の絶対値

上の式で、F=0、D=0.5、N=372とすると、受信マージンは次のようになります。

$$\begin{aligned} M &= (0.5 - 1/2 \times 372) \times 100\% \\ &= 49.866\% \end{aligned}$$

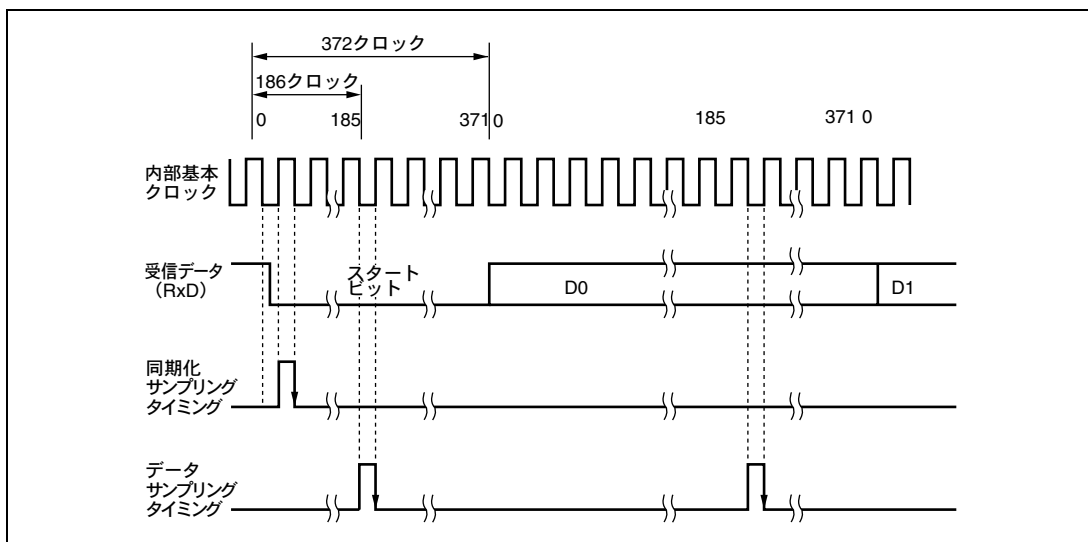


図 15.28 スマートカードインタフェースモード時の受信データサンプリングタイミング (372 倍のクロック使用時)

15.7.5 初期設定

データの送受信の前に、以下の手順で SCI を初期化してください。送信モードから受信モードへの切り替え、受信モードから送信モードへの切り替えにおいても初期化が必要です。

1. SCRのTE、REビットを0にクリアします。
2. 該当端子のICRビットを1にセットしてください。
3. SSRのエラーフラグERS、PER、ORERを0にクリアしてください。
4. SMRのGM、BLK、O \bar{E} 、BCP1、BCP0、CKS1、CKS0ビットを設定してください。このとき、PEビットは1に設定してください。
5. SCMRのSMIF、SDIR、SINVビットを設定してください。また、TxD端子に該当するDDRを0にクリアします。これにより、TxD端子およびRxD端子は共にポートからSCIの端子に切り替わり、ハイインピーダンス状態となります。
6. ビットレートに対応する値をBRRに設定します。
7. SCRのCKE1、CKE0ビットを設定してください。このとき、TIE、RIE、TE、RE、MPIE、TEIEビットは、0に設定してください。
CKE0ビットを1にセットした場合は、SCK端子からクロックを出力します。
8. 少なくとも、1ビット期間待ってから、SCRのTIE、RIE、TE、REビットを設定してください。自己診断以外はTEビットとREビットを同時にセットしないでください。

受信モードから送信モードに切り替える場合、受信動作が完了していることを確認した後、初期化から開始し、RE=0、TE=1に設定してください。受信動作の完了は、RDRF フラグ、あるいはPER、ORER フラグで確認できます。送信モードから受信モードに切り替える場合、送信動作が完了していることを確認した後、初期化から開始し、TE=0、RE=1に設定してください。送信動作の完了はTEND フラグで確認できます。

15.7.6 データ送信（ブロック転送モードを除く）

スマートカードモードにおけるデータ送信ではエラーシグナルのサンプリングと再送信処理があるため、通常のシリアルコミュニケーションインタフェースとは動作が異なります（ブロック転送モードを除く）。送信時の再転送動作を図 15.29 に示します。

- 1 フレーム分の送信を完了した後、受信側からのエラーシグナルをサンプリングするとSSRのERSビットが1にセットされます。このとき、SCRのRIEビットがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングまでにERSをクリアしてください。
- 2 エラーシグナルを受信したフレームでは、SSRのTENDはセットされません。TDRからTSRに再度データが転送され、自動的に再送信を行います。
- 3 受信側からエラーシグナルが返ってこない場合は、SSRのERSビットはセットされません。
- 4 再転送を含む1フレームの送信が完了したと判断して、SSRのTENDがセットされます。このときSCRのTIEがセットされていれば、TXI割り込み要求を発生します。送信データをTDRに書き込むことにより次のデータが送信されます。

送信処理フローの例を図 15.31 に示します。これら一連の処理はTXI 割り込み要因によってDTC またはDMAC を起動することで、自動的に行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、SCR の TIE をセットしておくことでTXI 割り込み要求を発生します。あらかじめDTC または DMAC の起動要因にTXI 要求を設定しておけば、TXI 要求によりDTC またはDMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に0 にクリアされます。エラーが発生した場合はSCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 割り込み要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「8. データトランスファコントローラ (DTC)」、「7. DMA コントローラ (DMAC)」を参照してください。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

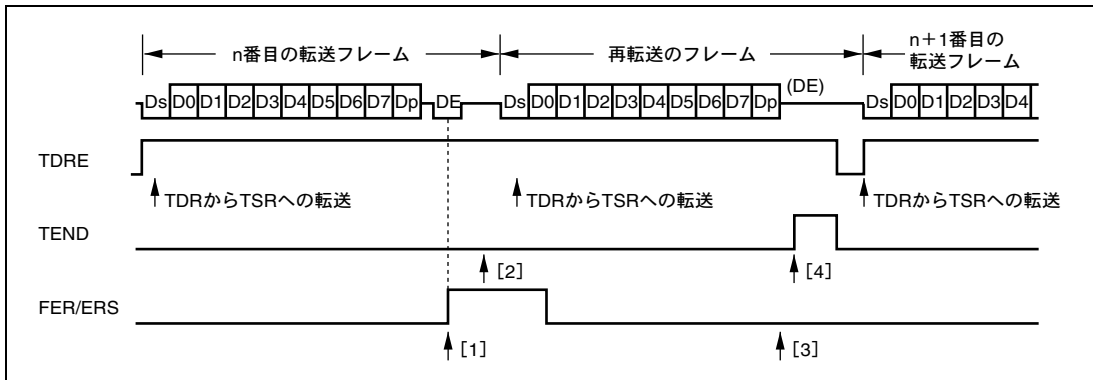


図 15.29 SCI 送信モードの場合の再転送動作

なお、SMR の GM ビットの設定により、TEND フラグのセットタイミングが異なります。図 15.30 に TEND フラグ発生タイミングを示します。

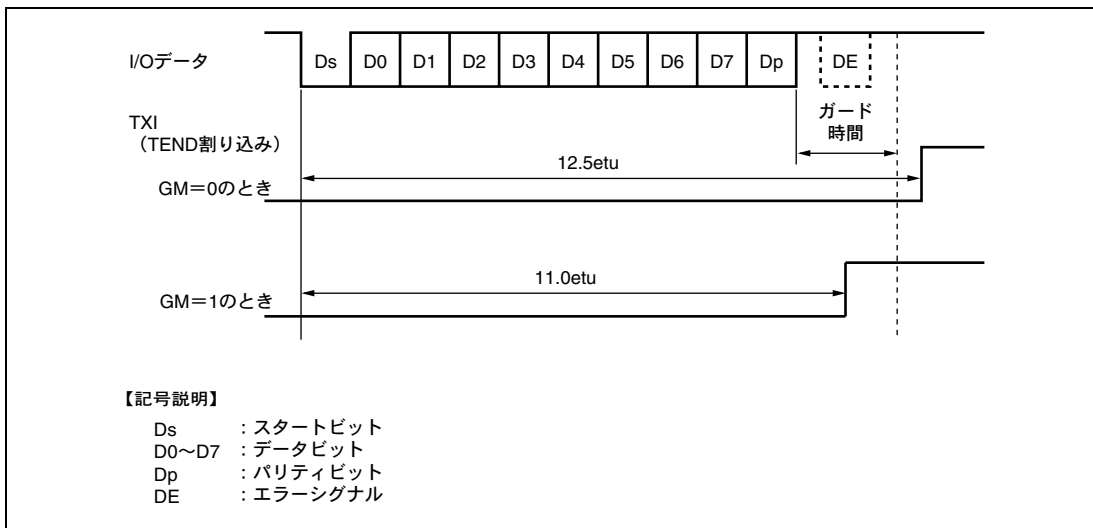


図 15.30 送信動作時の TEND フラグ発生タイミング

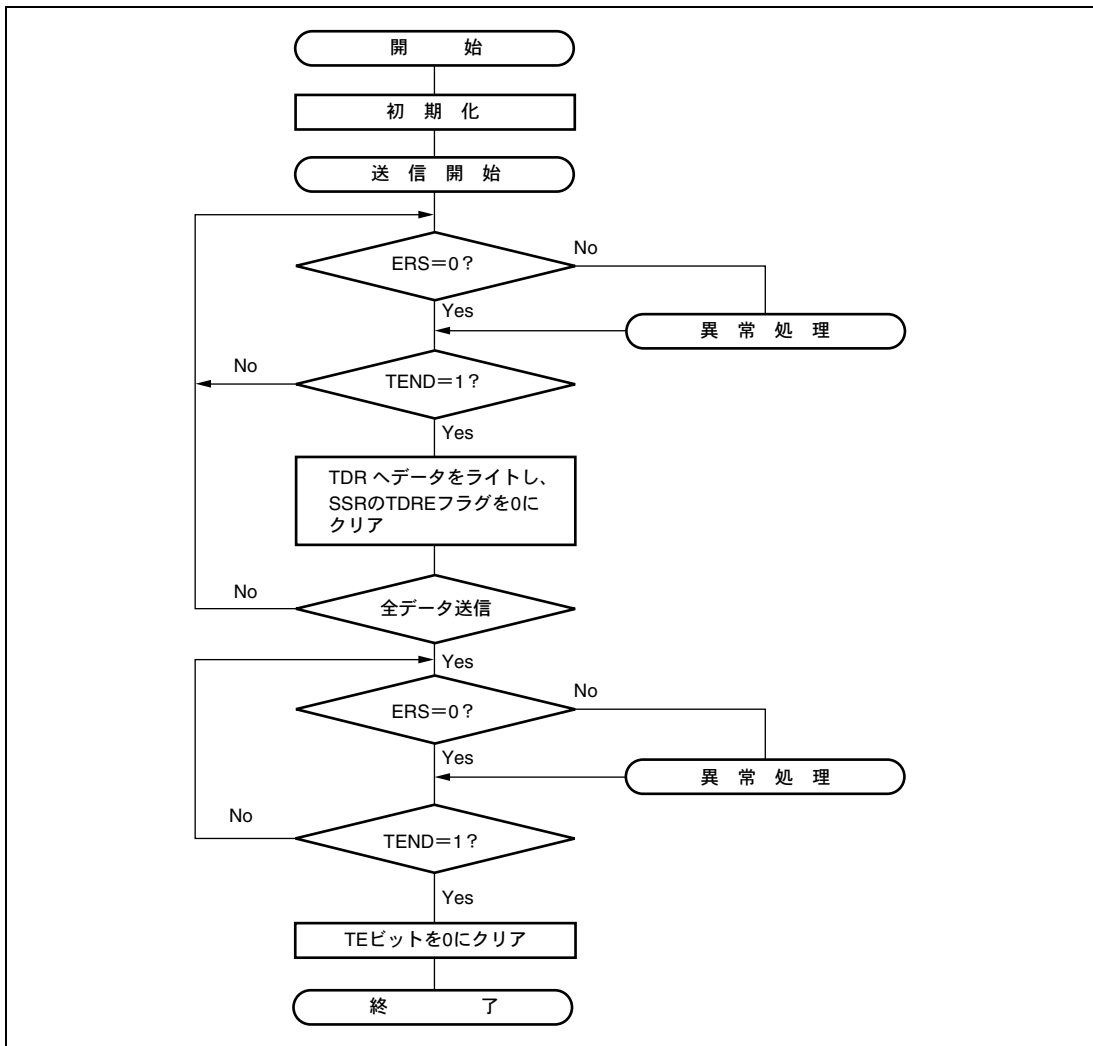


図 15.31 送信処理フローの例

15.7.7 シリアルデータ受信（ブロック転送モードを除く）

スマートカードインタフェースモードにおけるデータ受信は、通常のシリアルコミュニケーションインタフェースモードと同様の処理手順になります。受信モードの場合の再転送動作を図 15.32 に示します。

1. 受信データにパリティエラーを検出するとSSRのPERビットが1にセットされます。このとき、SCRのRIEがセットされているとERI割り込み要求を発生します。次のパリティビットのサンプリングタイミングまでにPERビットをクリアしてください。
2. パリティエラーを検出したフレームではSSRのRDRFビットはセットされません。
3. パリティエラーが検出されない場合は、SSRのPERビットはセットされません。
4. 正常に受信を完了したと判断して、SSRのRDRFが1にセットされます。このときSCRのRIEビットがセットされていれば、RXI割り込み要求を発生します。

受信フローの例を図 15.33 に示します。これら一連の処理はRXI 割り込み要因によってDTC またはDMAC を起動することで、自動的に行うことができます。受信動作では、RIE ビットを 1 にセットしておくことでRDRF フラグが 1 にセットされるとRXI 要求を発生します。あらかじめDTC またはDMAC の起動要因にRXI 要求を設定しておけば、RXI 要求によりDTC またはDMAC が起動されて受信データの転送を行います。DTC またはDMAC によりデータが転送されるとRDRF フラグは自動的にクリアされます。また、受信時にエラーが発生しORER、PER フラグのいずれかが 1 にセットされると、送受信エラー割り込み（ERI）要求を発生しますのでエラーフラグをクリアしてください。エラーが発生した場合はDTC またはDMAC は起動されず、受信データはスキップされるためDTC またはDMAC に設定したバイト数だけ受信データを転送します。なお、受信時にパリティエラーが発生しPER が 1 にセットされた場合でも、受信したデータはRDR に転送されるのでこのデータをリードすることは可能です。

【注】 ブロック転送モードの場合は「15.4 調歩同期式モードの動作」を参照してください。

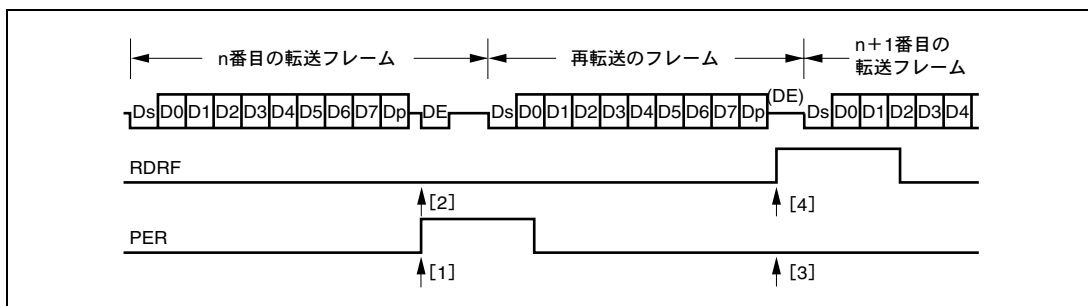


図 15.32 SCI 受信モードの場合の再転送動作

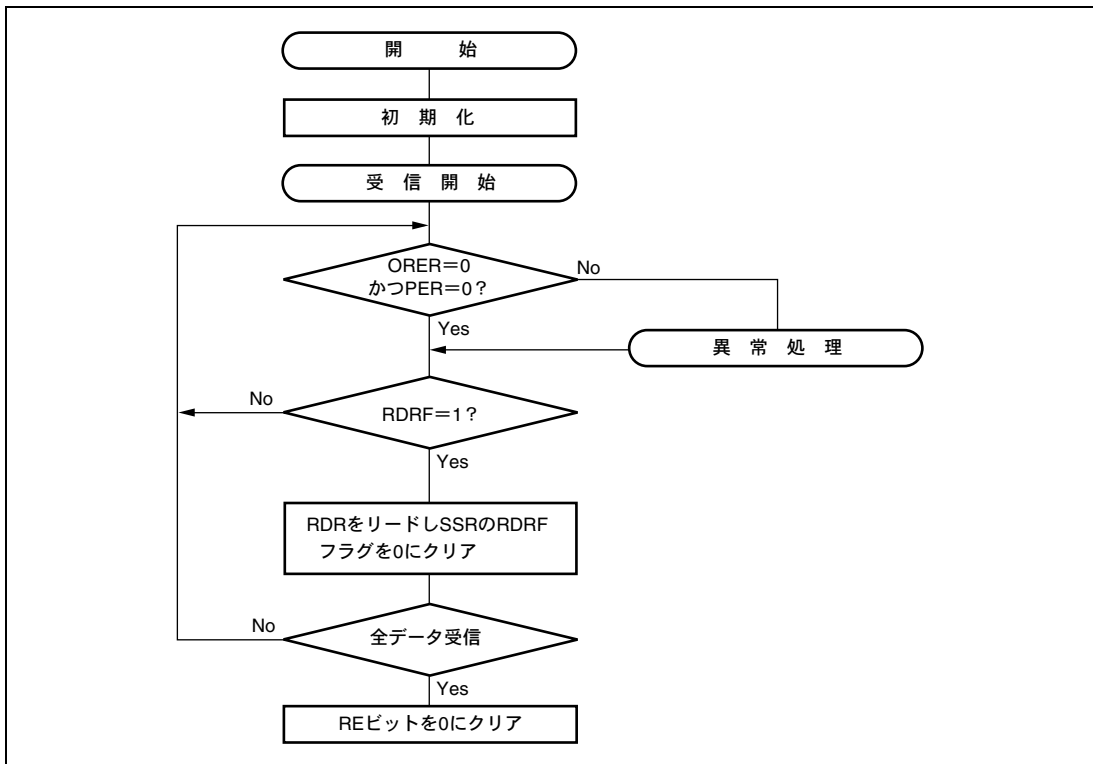


図 15.33 受信フローの例

15.7.8 クロック出力制御

SMR の GM ビットが 1 にセットされているとき、SCR の CKE1、CKE0 ビットによってクロック出力を固定することができます。このときクロックパルスの最小幅を指定の幅とすることができます。

図 15.34 にクロック出力の固定タイミングを示します。GM=1、CKE1=0 とし、CKE0 ビットを制御した場合の例です。

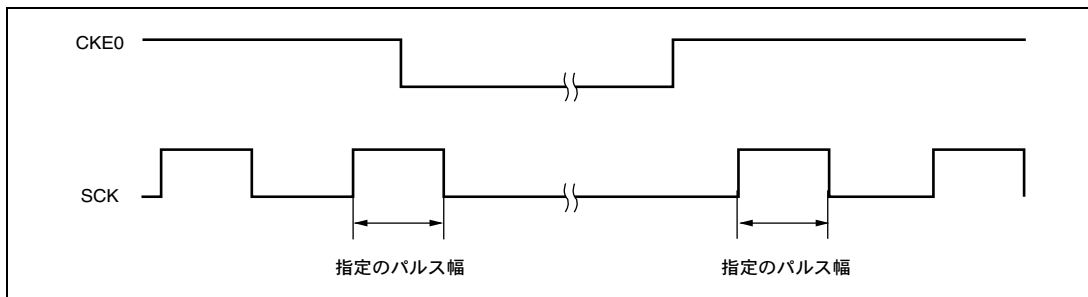


図 15.34 クロック出力固定タイミング

電源投入時およびソフトウェアスタンバイモードへの遷移またはソフトウェアスタンバイモードからの復帰の際は、クロックのデューティを確保するため、以下の手順で処理してください。

• 電源投入時

電源投入時からクロックデューティを確保するため、下記の切り替え手順で処理をしてください。

1. 初期状態は、ポート入力でありハイインピーダンスです。電位を固定するには、プルアップ抵抗/プルダウン抵抗を使用してください。
2. SCRのCKE1ビットでSCK端子を指定の出力に固定してください。
3. SMRとSCMRをセットし、スマートカードモードの動作に切り替えてください。
SCRのCKE0ビットを1に設定して、クロック出力を開始させてください。

• モード切り替え時

(a) スマートカードインタフェースモードからソフトウェアスタンバイモードに遷移するとき

1. SCK端子に対応するデータレジスタ (DR) とデータディレクションレジスタ (DDR) をソフトウェアスタンバイモード時の出力固定状態の値に設定してください。(SCL_0、1、2、4)
2. SCRのTEビットとREビットに0をライトし、送信/受信動作を停止させてください。
同時に、CKE1ビットをソフトウェアスタンバイ時の出力固定状態の値に設定してください。
3. SCRのCKE0ビットに0をライトし、クロックを停止させてください。
4. シリアルクロックの1クロック周期の間、待ってください。
この間に、デューティを守って、指定のレベルでクロック出力は固定されます。
5. ソフトウェアスタンバイ状態に遷移させてください。

(b) ソフトウェアスタンバイモードからスマートカードインタフェースモードに戻すとき

6. ソフトウェアスタンバイ状態を解除してください。
7. SCRのCKE0ビットに1をライトし、クロックを出力させてください。正常なデューティにて信号発生を開始します。

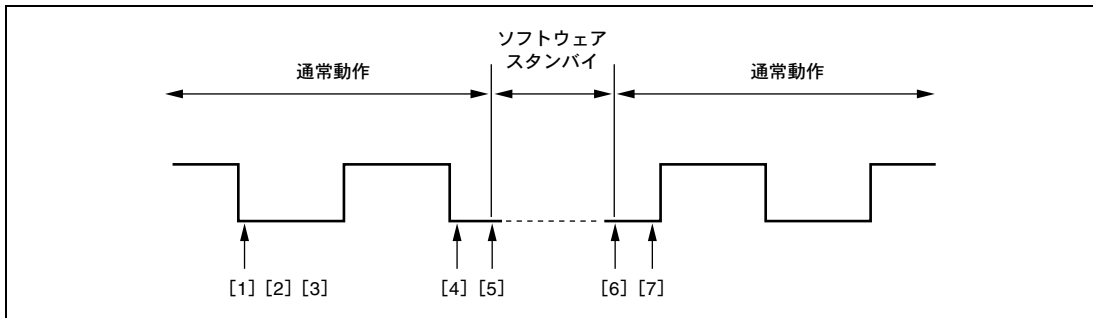


図 15.35 クロック停止・再起動手順

15.8 IrDA 動作

IrCR の IrE ビットで IrDA 機能をイネーブルにすると、SCI_5 の TxD5/RxD5 信号は IrDA 規格バージョン 1.0 に準拠した波形のエンコード/デコードを行います。(IrTxD/IrRxD 端子)。これを赤外線送受信トランシーバ/レシーバと接続することで、IrDA 規格バージョン 1.0 システムに準拠した赤外線送受信を実現することができます。

IrDA 規格バージョン 1.0 システムにおいて、9600bps の転送レートで通信を開始し、その後、必要に応じて転送レートを変化させることができます。本 LSI の IrDA インタフェースでは、自動的に転送レートを変更する機能は内蔵していません。転送レートは、ソフトウェアにより設定を変更してください。

図 15.36 に IrDA のブロック図を示します。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

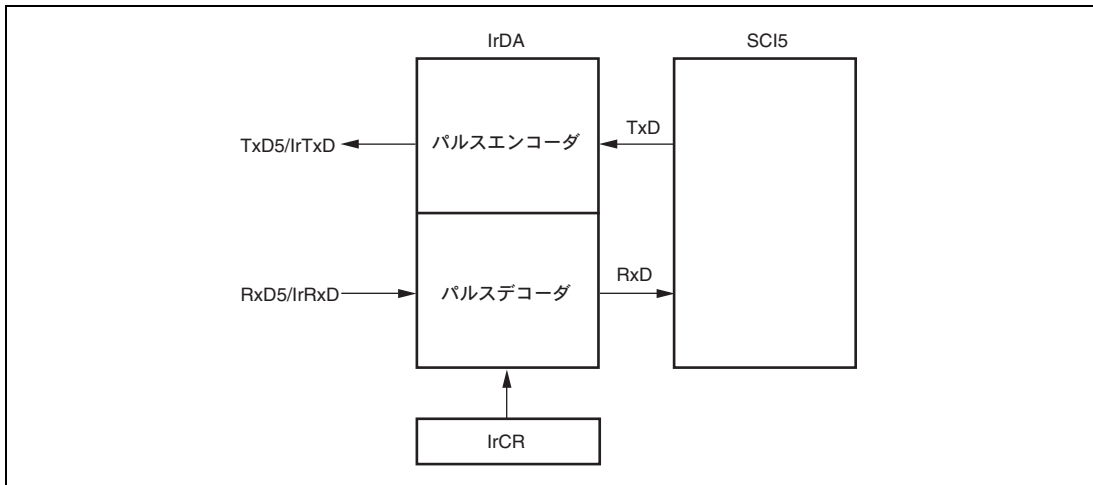


図 15.36 IrDA ブロック図

(1) 送信

送信時、SCI からの出力信号 (UART フレーム) は、IrDA インタフェースにより IR フレームに変換されます (図 15.37 参照)。シリアルデータが 0 のとき、ビットレート (1 ビット幅の期間) の $3/16$ の High パルスが出力されます (初期値)。なお、High パルス幅は IrCR の IrCKS2~IrCKS0 ビットの設定値により変化させることも可能です。規格では、High パルス幅は最小 $1.41 \mu\text{s}$ 、最大 $(3/16 + 2.5\%) \times$ ビットレート、または $(3/16 \times$ ビットレート) $+ 1.08 \mu\text{s}$ と定められています。システムクロック ϕ が 20MHz のとき、 $1.41 \mu\text{s}$ 以上で最小の Highs パルス幅としては $1.6 \mu\text{s}$ が設定可能です。また、シリアルデータが 1 のときは、パルスは出力されません。

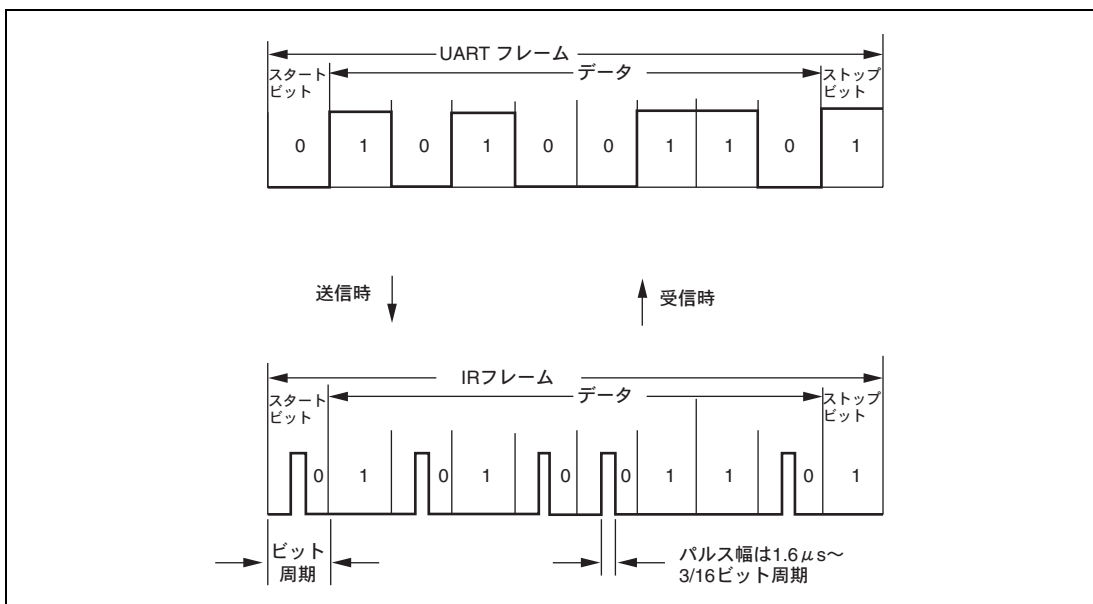


図 15.37 IrDA の送信/受信動作

15. シリアルコミュニケーションインタフェース (SCI, IrDA、CRC)

(2) 受信

受信時、IR フレームのデータは、IrDA インタフェースにより UART フレームに変換され、SCI に入力されます。High パルスが検出されたときに 0 データを出力し、1 ビット期間中にパルスがない場合には 1 データを出力します。最小パルス幅の $1.41 \mu\text{s}$ より短いパルスも 0 信号として認識しますのでご注意ください。

(3) High パルス幅の選択

送信時にビットレート $\times 3/16$ よりパルス幅を短くする場合に、適用可能な IrCKS2~IrCKS0 ビットの設定 (最小パルス幅) と本 LSI の動作周波数およびビットレートの選択を表 15.13 に示します。

表 15.13 IrCKS2~IrCKS0 ビットの設定

動作周波数 P ϕ MHz	ビットレート (bps) (上段) / ビット周期 $\times 3/16$ (μs) (下段)					
	2400	9600	19200	38400	57600	115200
	78.13	19.53	9.77	4.88	3.26	1.63
7.3728	100	100	100	100	100	100
8	100	100	100	100	100	100
9.8304	100	100	100	100	100	100
10	100	100	100	100	100	100
12	101	101	101	101	101	101
12.288	101	101	101	101	101	101
14	101	101	101	101	101	101
14.7456	101	101	101	101	101	101
16	101	101	101	101	101	101
17.2032	101	101	101	101	101	101
18	101	101	101	101	101	101
19.6608	101	101	101	101	101	101
20	101	101	101	101	101	101
25	110	110	110	110	110	110
30	110	110	110	110	110	110
33	110	110	110	110	110	110
35	110	110	110	110	110	110

15.9 割り込み要因

15.9.1 通常のシリアルコミュニケーションインタフェースモードにおける割り込み

表 15.14 に通常のシリアルコミュニケーションインタフェースモードにおける割り込み要因を示します。各割り込み要因には異なる割り込みベクタが割り当てられており、SCR のイネーブルビットにより独立にイネーブルにすることができます。

SSR の TDRE フラグが 1 にセットされると、TXI 割り込み要求が発生します。また、SSR の TEND フラグが 1 にセットされると、TEI 割り込み要求が発生します。TXI 割り込み要求により DTC または DMAC を起動してデータ転送を行うことができます。TDRE フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。

SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。SSR の ORER、PER、FER フラグのいずれかが 1 にセットされると、ERI 割り込み要求が発生します。RXI 割り込み要求で DTC または DMAC を起動してデータ転送を行うことができます。RDRF フラグは DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。

TEI 割り込みは TEIE ビットが 1 にセットされた状態で TEND フラグが 1 にセットされたとき発生します。TEI 割り込みと TXI 割り込みが同時に発生している状態では TXI 割り込みが先に受け付けられ、TXI 割り込みルーチンで TDRE フラグと TEND フラグを同時にクリアする場合は TEI 割り込みルーチンへ分岐できなくなりますので注意してください。

また、SCI_0、1、2、4 と SCI_5、6 では割り込みの優先順位が異なりますので注意してください。

表 15.14 SCI 割り込み要因 (SCI_0、1、2、4)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
ERI	受信エラー	ORER、FER、PER	不可	不可	高 ↑ 低
RXI	受信データフル	RDRF	可	可	
TXI	送信データエンプティ	TDRE	可	可	
TEI	送信終了	TEND	不可	不可	

表 15.15 SCI 割り込み要因 (SCI_5、6)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
RXI	受信データフル	RDRF	不可	可	高 ↑ 低
TXI	送信データエンプティ	TDRE	不可	可	
ERI	受信エラー	ORER、FER、PER	不可	不可	
TEI	送信終了	TEND	不可	不可	

15.9.2 スマートカードインタフェースモードにおける割り込み

スマートカードインタフェースモードでは、表 15.16 の割り込み要因があります。送信終了割り込み (TEI) 要求は使用できません。

SCI_0、1、2、4 と SCI_5、6 では、割り込みの優先順位が異なりますので注意してください。

表 15.16 SCI 割り込み要因 (SCI_0、1、2、4)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	高 ↑ 低
RXI	受信データフル	RDRF	可	可	
TXI	送信データエンプティ	TDRE	可	可	

表 15.17 SCI 割り込み要因 (SCI_5、6)

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動	優先順位
RXI	受信データフル	RDRF	不可	可	高 ↑ 低
TXI	送信データエンプティ	TDRE	不可	可	
ERI	受信エラー、エラーシグナル検出	ORER、PER、ERS	不可	不可	

スマートカードモードの場合も通常の SCI の場合と同様に、DTC または DMAC を使って送受信を行うことができます。送信動作では、SSR の TEND フラグが 1 にセットされると同時に TDRE フラグもセットされ、TXI 割り込みが発生します。あらかじめ DTC または DMAC の起動要因に TXI 要求を設定しておけば、TXI 要求により DTC または DMAC が起動されて送信データの転送を行います。TDRE および TEND フラグは、DTC または DMAC によるデータ転送時に自動的に 0 にクリアされます。エラーが発生した場合は SCI が自動的に同じデータを再送信します。この間 TEND は 0 のまま保持され、DTC または DMAC は起動されません。したがって、エラー発生時の再送信を含め、SCI と DTC または DMAC が指定されたバイト数を自動的に送信します。ただし、エラー発生時、ERS フラグは自動的にクリアされませんので、RIE ビットを 1 にセットしておき、エラー発生時に ERI 要求を発生させ、ERS をクリアしてください。

なお、DTC または DMAC を使って送受信を行う場合は、必ず先に DTC または DMAC を設定し、許可状態にしてから SCI の設定を行ってください。DTC または DMAC の設定方法は「8. データトランスファコントローラ (DTC)」、「7. DMA コントローラ (DMAC)」を参照してください。

また、受信動作では、SSR の RDRF フラグが 1 にセットされると RXI 割り込み要求が発生します。あらかじめ DTC または DMAC の起動要因に RXI 要求を設定しておけば、RXI 要求で DTC または DMAC が起動されて受信データの転送を行います。RDRF フラグは、DTC または DMAC によるデータ転送時に、自動的に 0 にクリアされます。エラーが発生した場合は、RDRF フラグはセットされずエラーフラグがセットされます。そのため DTC または DMAC は起動されず、かわりに CPU に対し ERI を発生しますのでエラーフラグをクリアしてください。

15.10 使用上の注意事項

15.10.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、SCI の動作禁止/許可を設定することが可能です。初期値では、SCI の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「23. 低消費電力」を参照してください。

15.10.2 ブレークの検出と処理について

フレーミングエラー検出時に、RxD 端子の値を直接リードすることでブレークを検出できます。ブレークでは RxD 端子からの入力がすべて 0 になりますので、FER がセットされ、また PER もセットされる可能性があります。SCI は、ブレークを受信した後も受信動作を続けます。したがって FER を 0 にクリアしてもふたたび FER が 1 にセットされますので注意してください。

15.10.3 マーク状態とブレークの送付

TE が 0 のとき、TxD 端子は DR と DDR により入出力方向とレベルが決まる I/O ポートになります。これを利用して TxD 端子をマーク状態にしたりデータ送信時にブレークを送付することができます。TE を 1 にセットするまで、通信回線をマーク状態 (1 の状態) にするためには、DDR=1、DR=1 を設定します。このとき、TE が 0 にクリアされていますので、TxD 端子は I/O ポートとなっており 1 が出力されます。一方、データ送信時にブレークを送付したいときは、DDR=1、DR=0 に設定した後 TE を 0 にクリアします。TE を 0 にクリアすると現在の送信状態とは無関係に送信部は初期化され、TxD 端子は I/O ポートになり、TxD 端子から 0 が出力されます。

15.10.4 受信エラーフラグと送信動作について (クロック同期式モードのみ)

受信エラーフラグ (ORER、PER、FER) が 1 にセットされた状態では、TDRE を 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。また、RE を 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.10.5 TDR へのライトと TDRE フラグの関係について

SSR の TDRE フラグは TDR から TSR に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると TDRE フラグが 1 にセットされます。

TDR へのデータのライトは、TDRE フラグの状態にかかわらず行うことができます。しかし、TDRE フラグが 0 の状態で新しいデータを TDR にライトすると、TDR に格納されていたデータは TSR に転送されていないため失われてしまいます。したがって TDR への送信データのライトは、必ず TDRE フラグが 1 にセットされていることを確認してから行ってください。

15.10.6 DMAC または DTC 使用上の制約事項

1. 同期クロックに外部クロックソースを使用する場合、DMACまたはDTCによるTDRの更新後、Pφクロックで5クロック以上経過した後に送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると誤動作することがあります（図15.38参照）。
2. DMACまたはDTCにより、RDRのリードを行うときは必ず起動要因を当該SCIの受信完了割り込み（RXI）に設定してください。

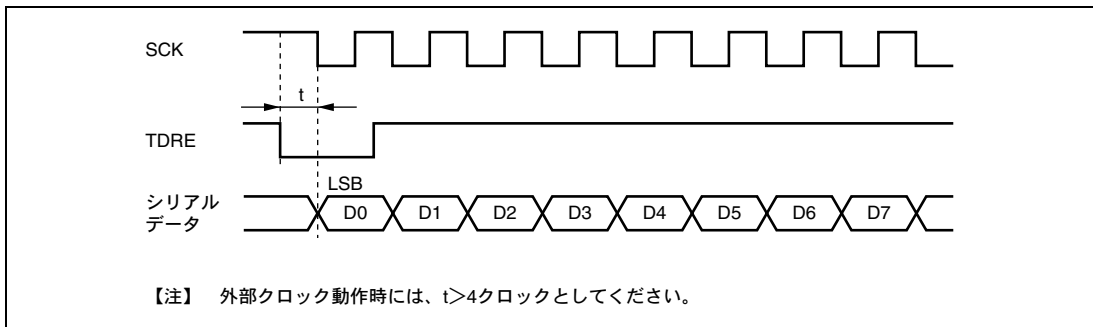


図 15.38 DTC によるクロック同期式送信時の例

3. SCI_5、6のRXI要求、TXI要求によるDTCの起動はできません。

15.10.7 低消費電力状態時の動作について

(1) 送信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの移行は、動作を停止（ $TE=TIE=TEIE=0$ ）してから行ってください。TSR、TDR および SSR はリセットされます。モジュールストップ状態、ソフトウェアスタンバイモード時の出力端子の状態は、ポートの設定に依存し、解除後 High 出力となります。送信中に遷移すると、送信中のデータは不確定になります。

低消費電力状態からの解除の後、送信モードを変えないで送信する場合は、 $TE=1$ に設定し、SSR リード→TDR ライト→TDRE クリアで送信開始できます。送信モードを変えて送信する場合は、初期設定から行ってください。

IrDA 使用時は、TE の設定と同時に IrE も設定をしてください。

図 15.39 に送信時のモード遷移フローチャートの例を示します。図 15.40、図 15.41 にモード遷移時のポートの端子状態を示します。

また、DTC 転送による送信からモジュールストップ状態への設定、または、ソフトウェアスタンバイモード遷移は、動作を停止（ $TE=TIE=TEIE=0$ ）してから行ってください。解除後 DTC による送信をする場合は $TE=1$ 、 $TIE=1$ に設定すると TXI フラグが立ち、DTC による送信が始まります。

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

(2) 受信

モジュールストップ状態への設定または、ソフトウェアスタンバイモードへの遷移は、受信動作を停止 (RE=0) してから行ってください。RSR、RDR および SSR はリセットされます。受信中に遷移すると、受信中のデータは無効になります。

低消費電力状態からの解除の後、受信モードを変えないで受信する場合は、RE=1 に設定して受信を開始してください。受信モードを変えて受信する場合は、初期設定から行ってください。

IrDA 使用時は、RE の設定と同時に IrE も設定をしてください。

図 15.42 に受信時のモード遷移フローチャートの例を示します。

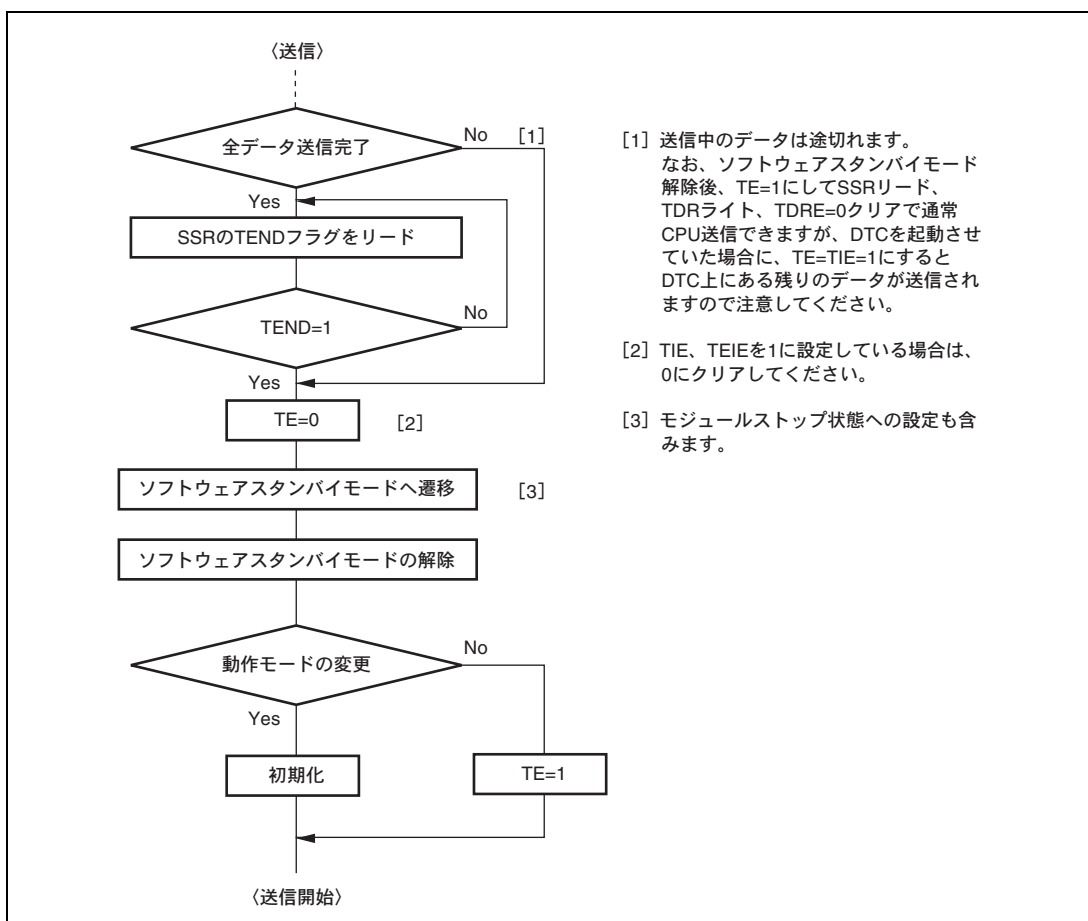


図 15.39 送信時のソフトウェアスタンバイモード遷移フローチャートの例

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

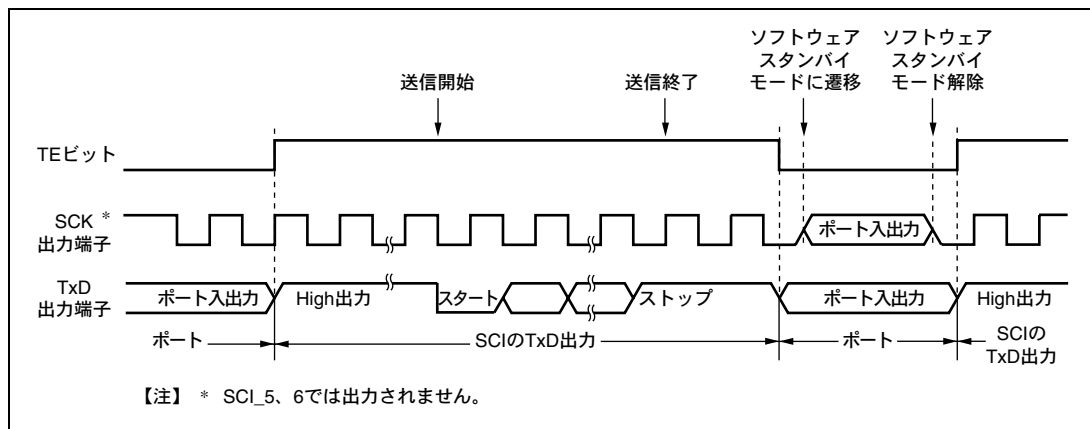


図 15.40 ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、調歩同期送信）

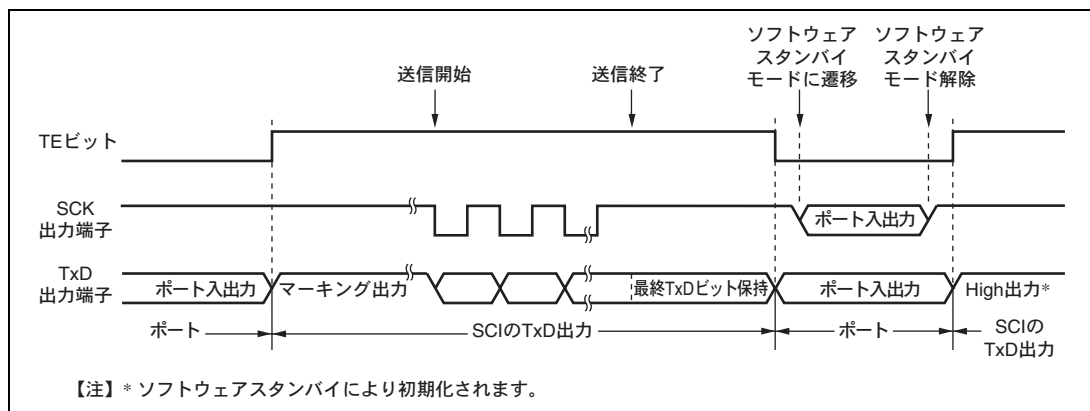


図 15.41 ソフトウェアスタンバイモード遷移時のポートの端子状態（内部クロック、クロック同期送信）
 (SCI_5、6では設定禁止です)

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

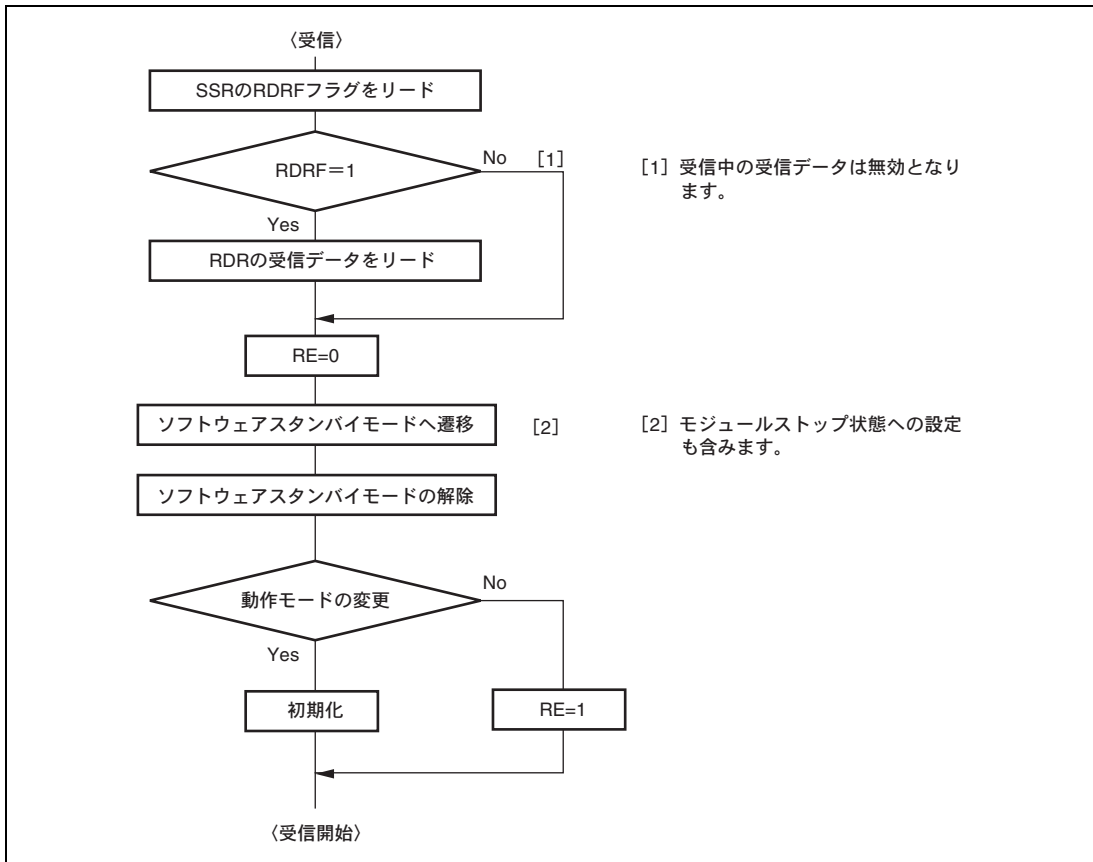


図 15.42 受信時のソフトウェアスタンバイモード遷移フローチャートの例

15.11 CRC 演算器

CRC (Cyclic Redundancy Check) 演算器は、データブロックの誤り検出を行います。

15.11.1 特長

- 8ビット単位の任意のデータ長に対してCRCコードを生成
- CRC演算は8ビットずつ並列に実行
- 生成多項式を3つの多項式から選択可能
- LSBファースト通信用CRCコード生成/MSBファースト通信用CRCコード生成の選択が可能

図 15.43 に CRC 演算器のブロック図を示します。

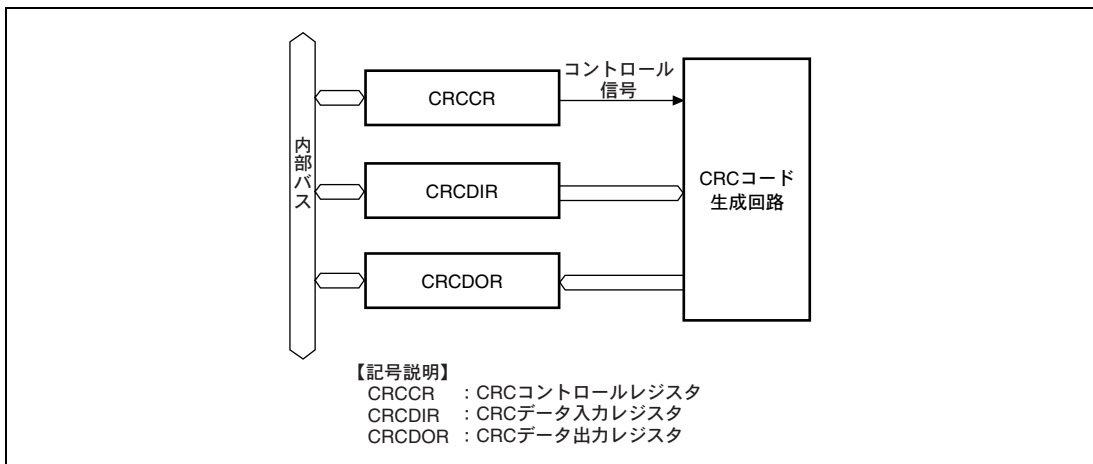


図 15.43 CRC 演算器のブロック図

15.11.2 レジスタの説明

CRC 演算器には以下のレジスタがあります。

- CRCコントロールレジスタ (CRCCR)
- CRCデータ入力レジスタ (CRCDIR)
- CRCデータ出力レジスタ (CRCDOR)

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

(1) CRC コントロールレジスタ (CRCCR)

CRCCR は CRC 演算器の初期化、演算切り替え、生成多項式を選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	DORCLR	—	—	—	—	LMS	G1	G0
初期値:	0	0	0	0	0	0	0	0
R/W:	W	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	DORCLR	0	W	CRC DOR クリア このビットを 1 にセットすると、CRC DOR が H'0000 にクリアされます。
6~3	—	0	R	リザーブビット 初期値を変更しないでください。
2	LMS	0	R/W	CRC 演算切り替え LSB ファースト通信用 CRC コード生成か、MSB ファースト通信用 CRC コード生成かを選択します。 0: LSB ファーストで通信する場合の CRC 演算を行います。CRC DOR の内容 (CRC コード) を 2 バイトに分けて送信する場合、下位バイト (ビット 7~0) を先に送信します。 1: MSB ファーストで通信する場合の CRC 演算を行います。CRC DOR の内容 (CRC コード) を 2 バイトに分けて送信する場合、上位バイト (ビット 15~8) を先に送信します。
1 0	G1 G0	0 0	R/W R/W	CRC 生成多項式切り替え 多項式を選択します。 00: リザーブ 01: $X^8 + X^2 + X + 1$ 10: $X^{16} + X^{15} + X^2 + 1$ 11: $X^{16} + X^{12} + X^5 + 1$

(2) CRC データ入力レジスタ (CRCDIR)

CRCDIR は 8 ビットのリード/ライト可能なレジスタです。CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

(3) CRC データ出力レジスタ (CRCDOR)

CRCDOR は 16 ビットのリード/ライト可能なレジスタです。CRCDOR クリア後、CRCDIR に CRC 演算対象のバイトをライトすると CRCDOR に結果が得られます。CRC 演算対象のバイトに CRC 演算結果を追加してライトした場合、CRC エラーがなければ結果は H'0000 になります。CRCCR ビット 1、0 を G1=0、G0=1 と指定した場合、下位バイトに結果が得られます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

15.11.3 CRC 演算器の動作説明

CRC 演算器は、LSB ファースト/MSB ファースト通信用 CRC コードを生成します。以下に CRC 演算器の G1、G0 ビットを B'11 として $X^{16}+X^{12}+X^5+1$ の多項式を使用し、16 進数 H'F0 データについて CRC コードを生成する使用例を示します。

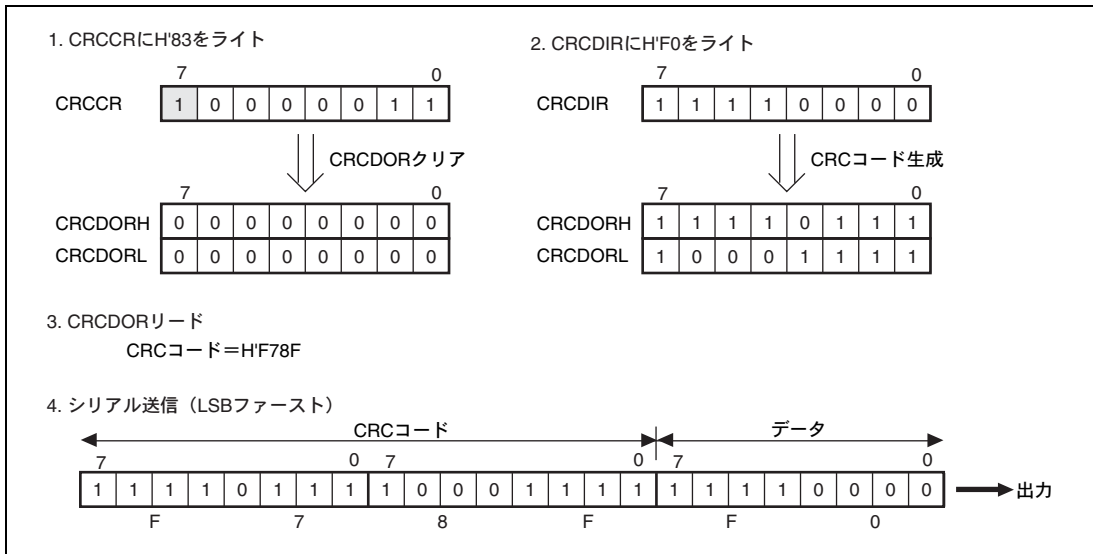


図 15.44 LSB ファーストでのデータ送信

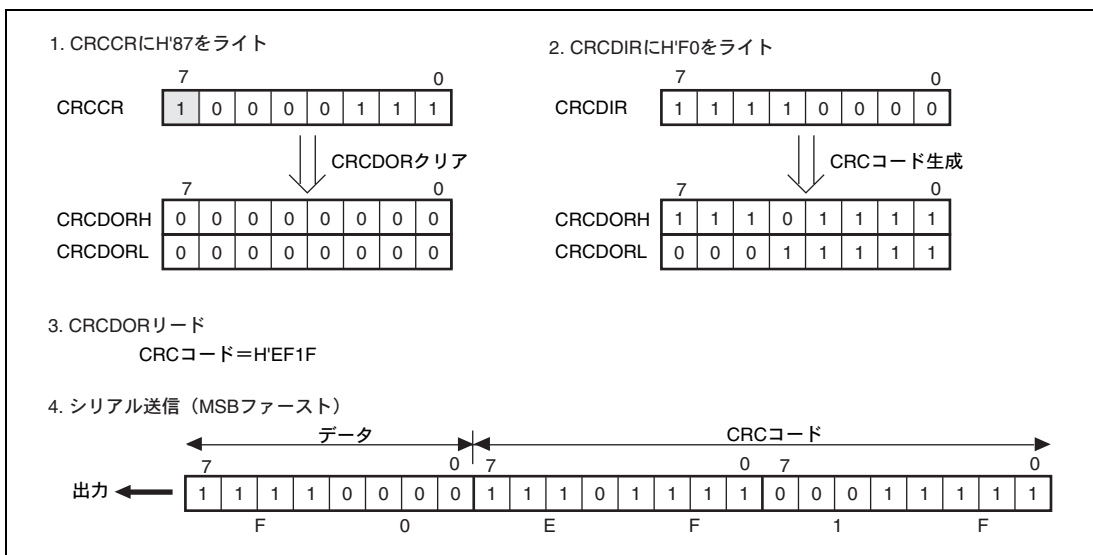


図 15.45 MSB ファーストでのデータ送信

15. シリアルコミュニケーションインタフェース (SCI, IrDA、CRC)

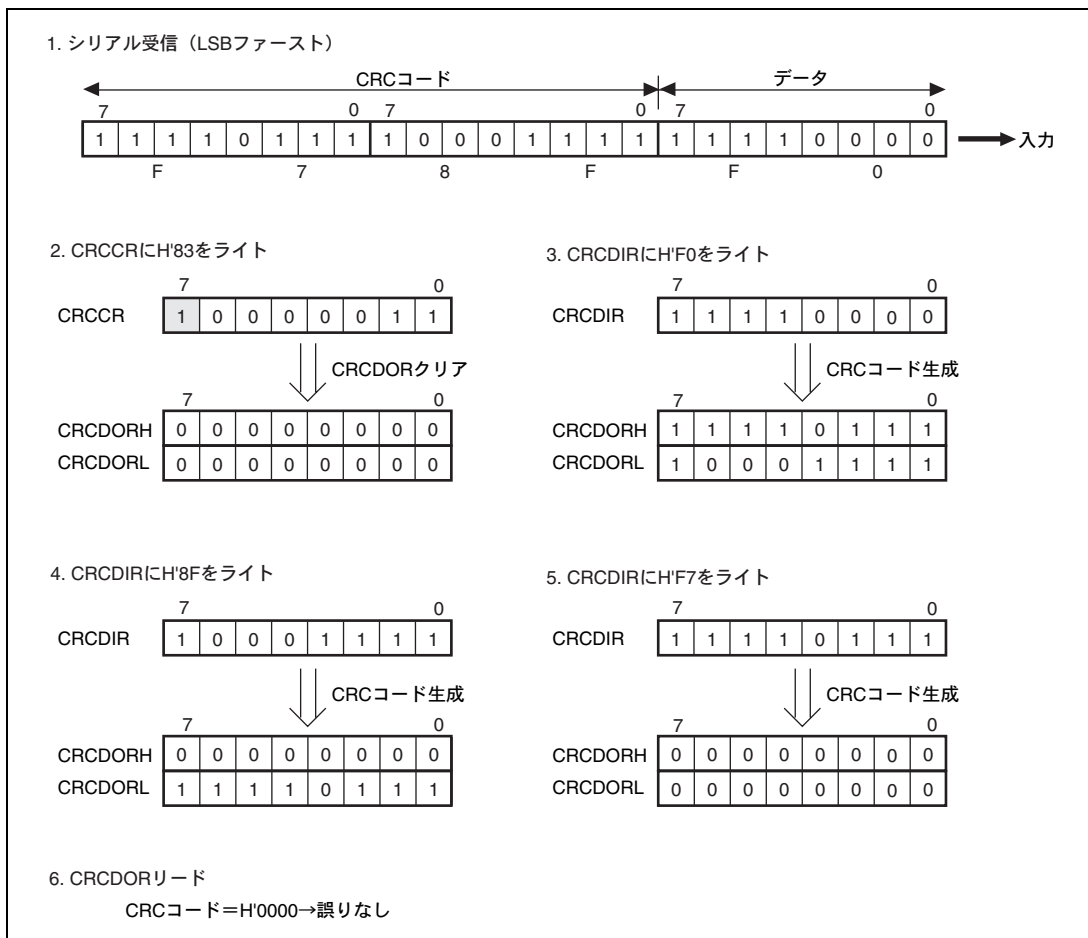


図 15.46 LSB ファーストでのデータ受信

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

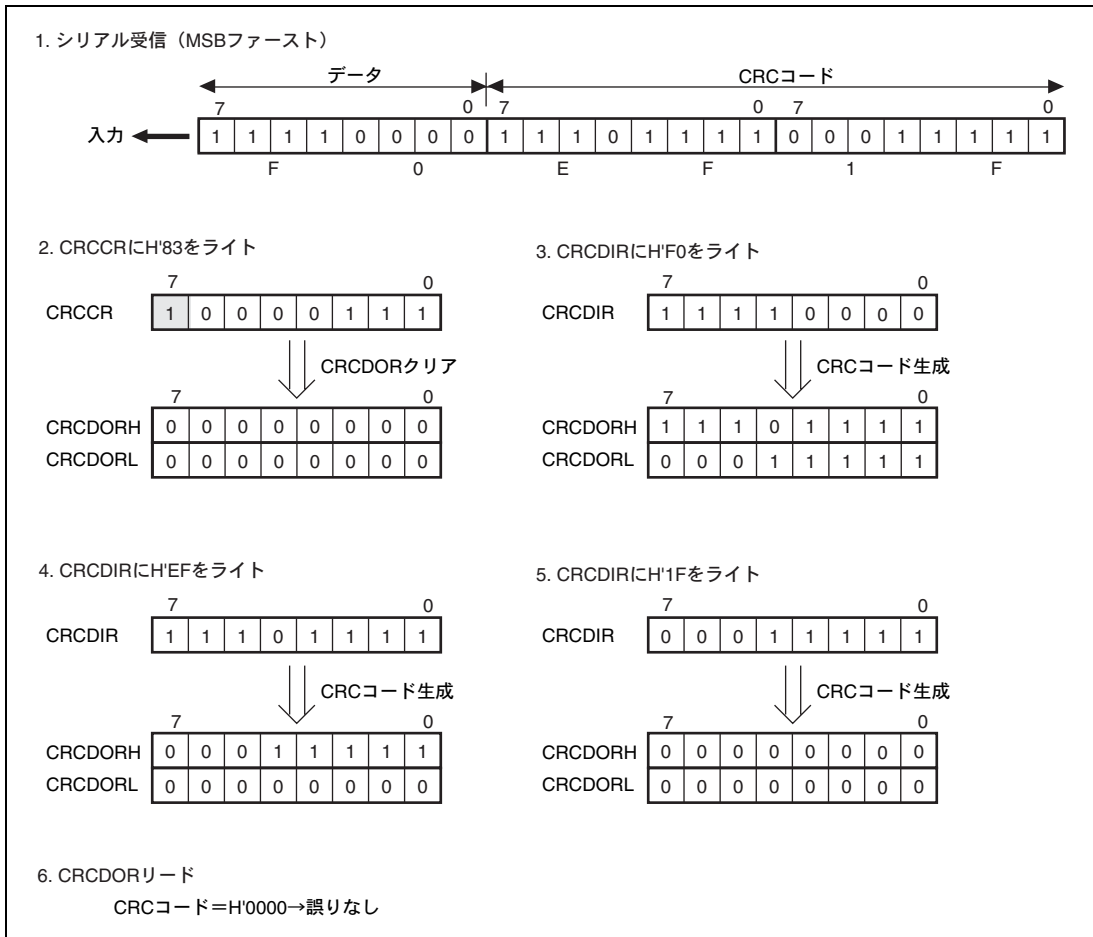


図 15.47 MSBファーストでのデータ受信

15.11.4 CRC 演算器使用上の注意事項

LSB ファーストで送信する場合と MSB ファーストで送信する場合とでは、CRC コードを送る順序が異なりますので、注意してください。

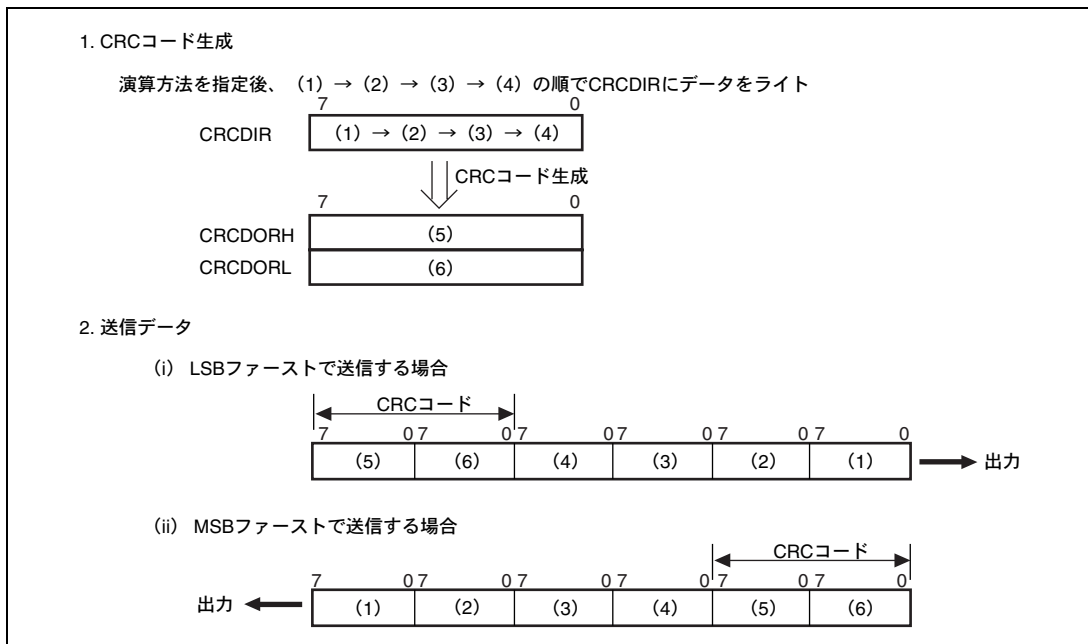


図 15.48 LSB ファーストと MSB ファーストの送信データ

15. シリアルコミュニケーションインタフェース (SCI, IrDA, CRC)

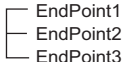
16. USB ファンクションモジュール (USB)

本 LSI は、USB ファンクションモジュール (USB) を内蔵しています。

16.1 特長

- USB2.0に対応したUDC (USB Device Controller) およびトランシーバを内蔵し、USBプロトコルを自動処理
エンドポイント0に対するUSB標準コマンドを自動処理(一部のコマンドとクラス/ベンダコマンドはファームウェアでデコードし、処理する必要があります)
- 転送スピード：フルスピード (12Mbps) をサポート
- エンドポイントの構成

エンドポイント名	名称	転送タイプ	最大バケット サイズ	FIFO バッファ 容量 (バイト)	DMA 転送
エンドポイント 0	EP0s	セットアップ	8	8	—
	EP0i	コントロールイン	8	8	—
	EP0o	コントロールアウト	8	8	—
エンドポイント 1	EP1	バルクアウト	64	128	可能
エンドポイント 2	EP2	バルクイン	64	128	可能
エンドポイント 3	EP3	インタラプトイン	8	8	—

Configuration1-Interface0-AlternateSetting0 

- 割り込み要求：USB送受信に必要な各種割り込み信号を生成
- パワーモード：コントロールレジスタ (CTLR) のバスパワーモードビット (PWMD) によりセルフパワーモードとバスパワーモードを選択可能

16. USB ファンクションモジュール (USB)

図 16.1 に USB のブロック図を示します。

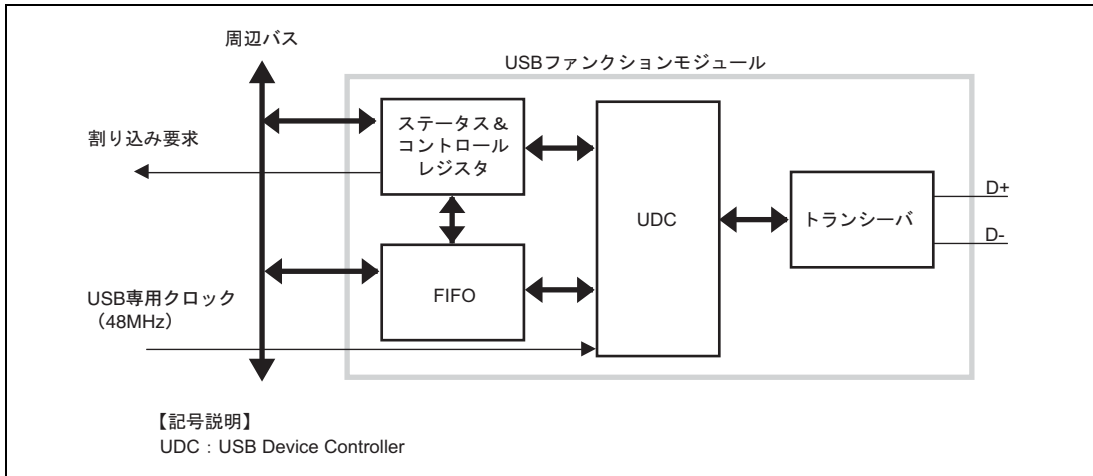


図 16.1 USB のブロック図

16.2 入出力端子

USB の端子構成を表 16.1 に示します。

表 16.1 端子構成

端子名	入出力	機能
VBUS	入力	USB ケーブル接続モニタ端子
USD+	入出力	USB データの入出力端子
USD-	入出力	USB データの入出力端子
DrVcc	入力	USB 内蔵トランシーバ用電源端子
DrVss	入力	USB 内蔵トランシーバ用グランド端子

16.3 レジスタの説明

USB には、以下のレジスタがあります。これらのレジスタのアドレスおよび各処理状態におけるレジスタの状態については「24. レジスタ一覧」を参照してください。

- 割り込みフラグレジスタ0 (IFR0)
- 割り込みフラグレジスタ1 (IFR1)
- 割り込みフラグレジスタ2 (IFR2)
- 割り込み選択レジスタ0 (ISR0)
- 割り込み選択レジスタ1 (ISR1)
- 割り込み選択レジスタ2 (ISR2)
- 割り込みイネーブルレジスタ0 (IER0)
- 割り込みイネーブルレジスタ1 (IER1)
- 割り込みイネーブルレジスタ2 (IER2)
- EP0iデータレジスタ (EPDR0i)
- EP0oデータレジスタ (EPDR0o)
- EP0sデータレジスタ (EPDR0s)
- EP1データレジスタ (EPDR1)
- EP2データレジスタ (EPDR2)
- EP3データレジスタ (EPDR3)
- EP0o受信データサイズレジスタ (EPSZ0o)
- EP1受信データサイズレジスタ (EPSZ1)
- トリガレジスタ (TRG)
- データステータスレジスタ (DASTS)
- FIFOクリアレジスタ (FCLR)
- DMA転送設定レジスタ (DMA)
- エンドポイントストールレジスタ (EPSTL)
- コンフィグレーションバリュールレジスタ (CVR)
- コントロールレジスタ (CTRL)
- エンドポイント情報レジスタ (EPIR)
- トランシーバテストレジスタ0 (TRNTREG0)
- トランシーバテストレジスタ1 (TRNTREG1)

16.3.1 割り込みフラグレジスタ 0 (IFR0)

IFR0 は、割り込みフラグレジスタ 1、2 (IFR1、2) と共にアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると対応するビットが 1 にセットされ、割り込みイネーブルレジスタ 0 (IER0) との組み合わせにより CPU に対して割り込み要求を発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。ただし、EP1 FULL と EP2 EMPTY はステータスレジスタでクリアはできません。

ビット	7	6	5	4	3	2	1	0
ビット名	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS
初期値 :	0	0	0	1	0	0	0	0
R/W :	R/W	R	R/W	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット USB バス上でバスリセット信号を検出したとき、1 にセットされます。 (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
6	EP1 FULL	0	R	EP1FIFO フル エンドポイント 1 がホストから 1 パケット分のデータを正常に受信するとセットされ、FIFO バッファに有効データが存在する間 1 を保持します。 このビットはステータスビットのため、クリアはできません。
5	EP2 TR	0	R/W	EP2 転送リクエスト ホストからエンドポイント 2 に対するイントークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでパケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。 (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
4	EP2 EMPTY	1	R	EP2FIFO エンプティ エンドポイント 2 の 2 面構成の送信用 FIFO バッファのうちの少なくとも 1 面が送信データを書き込める状態であるときセットされます。ステータスビットのため、クリアはできません。
3	SETUP TS	0	R/W	セットアップコマンド受信完了 エンドポイント 0 がアプリケーション側でデコードする必要のあるセットアップコマンドを正常に受信し、ホストに ACK ハンドシェイクを返したとき 1 にセットされます。 (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説明
2	EP0o TS	0	R/W	EP0o 受信完了 エンドポイント 0 がホストからのデータを正常に受信して FIFO バッファに格納し、ホストに ACK ハンドシェイクを返したとき 1 にセットされます。 (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
1	EP0i TR	0	R/W	EP0i 転送リクエスト ホストからエンドポイント 0 に対する IN トークンを受信したとき、FIFO バッファに有効な送信データが存在しない場合にセットされます。FIFO バッファにデータを書き込んでバケット送信イネーブルをセットするまで、ホストに対して NACK ハンドシェイクを返します。 (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
0	EP0i TS	0	R/W	EP0i 送信完了 エンドポイント 0 からホストにデータを送信し、ACK ハンドシェイクが返ってきたときセットされます。 (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

16.3.2 割り込みフラグレジスタ 1 (IFR1)

IFR1 は、割り込みフラグレジスタ 0、2 (IFR0、2) とともにアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると、対応するビットが 1 にセットされ、割り込みイネーブルレジスタ 1 (IER1) との組み合わせにより、CPU に対して割り込み要求を発生します。クリアする場合は、クリアするビットに 0、それ以外のビットに 1 を書き込んでください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	VBUS MN	EP3 TR	EP3 TS	VBUSF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	0	R	
4	—	0	R	
3	VBUS MN	0	R	

16. USB ファンクションモジュール (USB)

ビット	ビット名	初期値	R/W	説明
2	EP3 TR	0	R/W	EP3 転送リクエスト ホストからエンドポイント3に対するINトークンを受信したとき、FIFOバッファに有効な送信データが存在しない場合にセットされます。FIFOバッファにデータを書き込んでバケット送信イネーブルをセットするまで、ホストに対してNACKハンドシェイクを返します。 (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)
1	EP3 TS	0	R/W	EP3 送信完了 エンドポイント3からホストにデータを送信し、ACKハンドシェイクが返ってきたときセットされます。 (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)
0	VBUSF	0	R/W	USB 切断検出 ファンクションがUSBバスに接続されたとき、および切断されたときに1にセットされます。接続/切断の検出には、本モジュールのVBUS端子を使用します。 (割り込みを使用しCPUによってクリアする場合、0ライト後に必ずフラグをリードしてください。)

16.3.3 割り込みフラグレジスタ 2 (IFR2)

IFR2は、割り込みフラグレジスタ0、1 (IFR0、1) とともにアプリケーション側に必要な割り込みステータスを表示します。割り込み要因が発生すると、対応するビットが1にセットされ、割り込みイネーブルレジスタ2 (IER2) との組み合わせにより、CPUに対して割り込み要求を発生します。クリアする場合は、クリアするビットに0、それ以外のビットに1を書き込んでください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	SURSS	SURSF	CFDN	—	SETC	SETI
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	SURSS	0	R	サスペンド/レジャームステータス バスの状態を示すステータスビットです。 0: 通常状態 1: サスペンド状態 このビットはステータスビットです。SURSSでの割り込みはできません。

16. USB ファンクションモジュール (USB)

ビット	ビット名	初期値	R/W	説 明
4	SURSF	0	R/W	<p>サスペンド/レジューム検出</p> <p>通常状態からサスペンド状態、またはサスペンド状態から通常状態に遷移したとき 1 にセットされます。対応する割り込み出力は RESUME および USBINTN2、USBINTN3 です。</p> <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
3	CFDN	0	R/W	<p>エンドポイント情報ロード終了</p> <p>EPIR レジスタにライトしたエンドポイント情報レジスタのデータが本モジュール内で設定完了 (ロード終了) されたとき 1 セットされます。本モジュールは、エンドポイント情報が設定完了した後、USB として正常に動作可能となります。</p> <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
2	—	0	R	<p>リザーブビット</p> <p>読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。</p>
1	SETC	0	R/W	<p>Set_Configuration コマンド検出</p> <p>Set_Configuration コマンドを検出したとき 1 にセットされます。</p> <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>
0	SETI	0	R/W	<p>Set_Interface コマンド検出</p> <p>Set_Interface コマンドを検出したとき 1 にセットされます。</p> <p>(割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)</p>

16. USB ファンクションモジュール (USB)

16.3.4 割り込み選択レジスタ 0 (ISR0)

ISR0 は、割り込みフラグレジスタ 0 (IFR0) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USBINTN2 となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USBINTN3 となります。

ビット	7	6	5	4	3	2	1	0
ビット名	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット
6	EP1 FULL	0	R/W	EP1FIFO フル
5	EP2 TR	0	R/W	EP2 転送リクエスト
4	EP2 EMPTY	0	R/W	EP2FIFO エンプティ
3	SETUP TS	0	R/W	セットアップコマンド受信完了
2	EP0o TS	0	R/W	EP0o 受信完了
1	EP0i TR	0	R/W	EP0i 転送リクエスト
0	EP0i TS	0	R/W	EP0i 送信完了

16.3.5 割り込み選択レジスタ 1 (ISR1)

ISR1 は、割り込みフラグレジスタ 1 (IFR1) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USBINTN2 となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USBINTN3 となります。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	EP3 TR	EP3 TS	VBUSF
初期値:	0	0	0	0	0	1	1	1
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	EP3 TR	1	R/W	EP3 転送リクエスト
1	EP3 TS	1	R/W	EP3 送信完了
0	VBUSF	1	R/W	USB バス接続

16.3.6 割り込み選択レジスタ 2 (ISR2)

ISR2 は、割り込みフラグレジスタ 2 (IFR2) の各割り込み要求のベクタ番号を選択します。対応するビットに 0 をセットすると、USB が INTC に割り込み要求をするとき、その割り込みは USBINTN2 となります。1 をセットすると USB が INTC に割り込み要求をするとき、その割り込みは USBINTN3 となります。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	SURSE	CFDN	—	SETCE	SETIE
初期値:	0	0	0	1	1	1	1	1
R/W:	R	R	R	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	0	R	
4	SURSE	1	R/W	
3	CFDN	1	R/W	エンドポイント情報ロード終了
2	—	1	R	リザーブビット
				読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。
1	SETCE	1	R/W	Set_Configuration コマンド検出
0	SETIE	1	R/W	Set_Interface コマンド検出

16.3.7 割り込みイネーブルレジスタ 0 (IER0)

IER0 は、割り込みフラグレジスタ 0 (IFR0) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は割り込み選択レジスタ 0 (ISR0) の内容によって決まります。

ビット	7	6	5	4	3	2	1	0
ビット名	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	BRST	0	R/W	バスリセット
6	EP1 FULL	0	R/W	EP1FIFO フル
5	EP2 TR	0	R/W	EP2 転送リクエスト
4	EP2 EMPTY	0	R/W	EP2FIFO エンプティ
3	SETUP TS	0	R/W	セットアップコマンド受信完了
2	EP0o TS	0	R/W	EP0o 受信完了
1	EP0i TR	0	R/W	EP0i 転送リクエスト
0	EP0i TS	0	R/W	EP0i 送信完了

16. USB ファンクションモジュール (USB)

16.3.8 割り込みイネーブルレジスタ 1 (IER1)

IER1 は、割り込みフラグレジスタ 1 (IFR1) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は割り込み選択レジスタ 1 (ISR1) の内容によって決まります。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	EP3 TR	EP3 TS	VBUSF
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	EP3 TR	0	R/W	EP3 転送リクエスト
1	EP3 TS	0	R/W	EP3 送信完了
0	VBUSF	0	R/W	USB バス接続

16.3.9 割り込みイネーブルレジスタ 2 (IER2)

IER2 は、割り込みフラグレジスタ 2 (IFR2) の各割り込み要求をイネーブルにします。1 にセットされているとき、対応する割り込みフラグがセットされると、CPU に対して割り込み要求を発生します。このときの割り込みベクタ番号は割り込み選択レジスタ 2 (ISR2) の内容によって決まります。

ビット	7	6	5	4	3	2	1	0
ビット名	SSRSME	—	—	SURSE	CFDN	—	SETCE	SETIE
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	SSRSME	0	R/W	ソフトウェアスタンバイ解除用レジューム検出 動作の詳細については「16.5.3 サスペンド/レジューム」を参照してください。
6, 5	—	すべて 0	R/W	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
4	SURSE	0	R/W	サスペンド/レジューム検出 動作の詳細については「16.5.3 サスペンド/レジューム」を参照してください。

ビット	ビット名	初期値	R/W	説明
3	CFDN	0	R/W	エンドポイント情報ロード終了
2	—	0	R	リザーブビット 読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
1	SETCE	0	R/W	Set_Configuration コマンド検出
0	SETIE	0	R/W	Set_Interface コマンド検出

16.3.10 EP0i データレジスタ (EPDR0i)

エンドポイント0の送信用8バイトFIFOバッファです。コントロールインに対する1パケット分の送信データを保存します。1パケット分のデータを書き込み、トリガレジスタのEP0iPKTEをセットすることで送信データが確定します。データを送信したあと、ホストからACKハンドシェイクが返ってくると、割り込みフラグレジスタ0のEP0iTSがセットされます。このFIFOバッファはFCLRレジスタのEP0iCLRにより初期化することができます。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	コントロールイン転送用のデータレジスタ

16.3.11 EP0o データレジスタ (EPDR0o)

エンドポイント0の受信用8バイトFIFOバッファです。セットアップコマンドを除くエンドポイント0の受信データが格納されます。データを正常に受信すると、割り込みフラグレジスタ0のEP0oTSがセットされ、受信バイト数がEP0o受信データサイズレジスタに表示されます。データを読み出したあと、トリガレジスタのEP0oRDFNをセットすることで、次のパケットを受信可能となります。このFIFOバッファはFCLRレジスタのEP0oCLRにより初期化することができます。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて0	R	コントロールアウト転送用のデータレジスタ

16.3.12 EP0s データレジスタ (EPDR0s)

エンドポイント 0 に対するセットアップコマンド受信専用の 8 バイト FIFO バッファです。アプリケーション側で処理する必要のあるセットアップコマンドのみ受信し、正常にコマンドデータを格納すると、割り込みフラグレジスタ 0 の SETUP TS ビットがセットされます。

セットアップコマンドは必ず受信する必要があるため、バッファ内にデータが残っている場合でも新しいデータによって上書きされます。つまり、コマンドを読み出している間に次のコマンド受信が開始された場合、受信を優先してアプリケーション側の読み出しを強制的に禁止するため、この読み出しデータは無効になります。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて 0	R	コントロールアウト転送時のセットアップコマンドが格納されるレジスタ

16.3.13 EP1 データレジスタ (EPDR1)

エンドポイント 1 の受信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。ホストから 1 パケット分のデータを正常に受信すると、割り込みフラグレジスタ 0 の EP1 FULL がセットされます。受信バイト数は EP1 受信データサイズレジスタに表示されます。データを読み出したあと、トリガレジスタの EP1RDFN に 1 を書き込むことで、読み出した面のバッファが再受信可能になります。この FIFO バッファの受信データは DMA 転送が可能です。この FIFO バッファは FCLR レジスタの EP1CLR により初期化することができます。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	すべて 0	R	エンドポイント 1 転送用のデータレジスタ

16.3.14 EP2 データレジスタ (EPDR2)

エンドポイント 2 の送信用 128 バイト FIFO バッファです。最大パケットサイズの 2 倍の容量を持っていて、2 面構成になっています。この FIFO バッファに送信データを書き込み、トリガレジスタの EP2PKTE をセットすることで 1 パケット分の送信データが確定し、2 面構成のバッファが切り替わります。この FIFO バッファへの送信データは DMA 転送が可能です。この FIFO バッファは FCLR レジスタの EP2CLR により初期化することができます。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント2転送用のデータレジスタ

16.3.15 EP3 データレジスタ (EPDR3)

エンドポイント3の送信用8バイトFIFOバッファです。エンドポイント3のインタラプト転送における1パケット分の送信データを保持します。1パケット分のデータを書き込み、トリガレジスタのEP3PKTEをセットすることで送信データが確定します。1パケット分のデータを正常に送信し、ホストからACKハンドシェイクを受信すると割り込みフラグレジスタ0のEP3TSがセットされます。このFIFOバッファはFCLRレジスタのEP3CLRにより初期化することができます。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W

ビット	ビット名	初期値	R/W	説明
7~0	D7~D0	不定	W	エンドポイント3転送用のデータレジスタ

16.3.16 EP0o 受信データサイズレジスタ (EPSZ0o)

エンドポイント0がホストから受信したデータの大きさをバイト数で表示します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	—	すべて0	R	エンドポイント0の受信バイト数

16. USB ファンクションモジュール (USB)

16.3.17 EP1 受信データサイズレジスタ (EPSZ1)

エンドポイント1の受信データサイズレジスタです。ホストから受信したバイト数を示します。エンドポイント1のFIFOは2面構成になっています。本レジスタに示される受信データサイズは、現在選択されている（CPUで読み出せる）面のサイズです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~0	—	すべて0	R	エンドポイント1の受信バイト数

16.3.18 トリガレジスタ (TRG)

TRGは、各エンドポイントの送受信のシーケンスを制御するためのワンショットトリガを生成します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	EP3 PKTE	EP1 RDFN	EP2 PKTE	—	EP0s RDFN	EP0o RDFN	EP0i PKTE
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	—	W	W	W	—	W	W	W

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット 書き込む値は常に0にしてください。
6	EP3 PKTE	不定	W	EP3 パケットイネーブル エンドポイント3の送信用 FIFO バッファに1パケット分のデータを書き込んだあと、このビットに1を書き込むことで送信データが確定します。
5	EP1 RDFN	不定	W	EP1 読み出し完了 エンドポイント1のFIFO バッファから1パケット分のデータを読み出したあと、このビットに1を書き込んでください。エンドポイント1の受信用 FIFO は2面構成になっています。このビットに1を書き込むことで、読み出した面が初期化されて、次のパケットを受信できるようになります。
4	EP2 PKTE	不定	W	EP2 パケットイネーブル エンドポイント2のFIFO バッファに1パケット分のデータを書き込んだあと、このビットに1を書き込むことで送信データが確定します。
3	—	不定	—	リザーブビット 書き込む値は常に0にしてください。

ビット	ビット名	初期値	R/W	説明
2	EP0s RDFN	不定	W	EP0s 読み出し完了 EP0s のコマンド用 FIFO に対するデータを読み出したあと 1 を書き込んでください。1 を書き込むことによって、続くデータステージのデータは送受信可能な状態になります。1 を書き込むまではデータステージにおけるホストからの送受信要求に対して NACK ハンドシェイクを返します。
1	EP0o RDFN	不定	W	EP0o 読み出し完了 エンドポイント 0 の送信用 FIFO バッファから 1 パケット分のデータを読み出したあと 1 を書き込むことで FIFO バッファが初期化されて次のパケットを受信できるようになります。
0	EP0i PKTE	不定	W	EP0i パケットイネーブル エンドポイント 0 の送信用 FIFO バッファに 1 パケット分のデータを書き込んだあと、1 を書き込むことで送信データが確定します。

16.3.19 データステータスレジスタ (DASTS)

DASTS は、送信用 FIFO バッファ内の有効データの有無を示します。FIFO バッファにデータを書き込み、パケットイネーブルをセットしたとき 1 にセット、データがすべてホストに送信されたときクリアされます。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	EP3 DE	EP2 DE	—	—	—	EP0i DE
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	EP3 DE	0	R	EP3 データあり エンドポイント 3 の FIFO バッファ内に有効データがあるときセットされます。
4	EP2 DE	0	R	EP2 データあり エンドポイント 2 の FIFO バッファ内に有効データがあるときセットされます。
3	—	0	R	リザーブビット
2	—	0	R	読み出すと常に 0 が読み出されます。
1	—	0	R	
0	EP0i DE	0	R	EP0i データあり エンドポイント 0 の FIFO バッファ内に有効データがあるときセットされます。

16. USB ファンクションモジュール (USB)

16.3.20 FIFO クリアレジスタ (FCLR)

FCLR は、各エンドポイントの FIFO バッファを初期化するためのレジスタです。1 を書き込むとそのビットに対応する FIFO バッファのデータがすべてクリアされます。ただし、対応する割り込みフラグはクリアされません。送受信中のクリアは行わないでください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	EP3 CLR	EP1 CLR	EP2 CLR	—	—	EP0o CLR	EP0i CLR
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	—	W	W	W	—	—	W	W

ビット	ビット名	初期値	R/W	説明
7	—	不定	—	リザーブビット 書き込む値は常に 0 にしてください。
6	EP3 CLR	不定	W	EP3 クリア このビットに 1 を書き込むとエンドポイント 3 の送信 FIFO バッファが初期化されます。
5	EP1 CLR	不定	W	EP1 クリア このビットに 1 を書き込むとエンドポイント 1 の受信 FIFO バッファが 2 面とも初期化されます。
4	EP2 CLR	不定	W	EP2 クリア このビットに 1 を書き込むとエンドポイント 2 の送信 FIFO バッファが 2 面とも初期化されます。
3	—	不定	—	リザーブビット
2	—	不定	—	書き込む値は常に 0 にしてください。
1	EP0o CLR	不定	W	EP0o クリア このビットに 1 を書き込むとエンドポイント 0 の受信 FIFO バッファが初期化されます。
0	EP0i CLR	不定	W	EP0i クリア このビットに 1 を書き込むとエンドポイント 0 の送信 FIFO バッファが初期化されます。

16.3.21 DMA 転送設定レジスタ (DMA)

DMA は、エンドポイント 1 およびエンドポイント 2 のデータレジスタとメモリとの間で内蔵ダイレクトメモリアクセスコントローラ (DMAC) による DMA 転送が可能です。バイト単位のデュアルアドレス転送となります。DMA 転送を起動するには、このレジスタの他に DMAC の設定が必要です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	PULLUP_E	EP2DMAE	EP1DMAE
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
6	—	0	R	
5	—	0	R	
4	—	0	R	
3	—	0	R	
2	PULLUP_E	0	R/W	PULLUP イネーブル D+端子のプルアップ制御を行います。PM4 をプルアップ制御用端子として使用します。 0 : D+をプルアップしない 1 : D+をプルアップする
1	EP2DMAE	0	R/W	エンドポイント 2 DMA 転送イネーブル このビットをセットすると、メモリからエンドポイント 2 送信 FIFO バッファ方向への DMA 転送がイネーブルになります。FIFO バッファに 1 バイトでも空きがあれば DMAC 起動割り込み (USBINTN1) をアサートします。DMA 転送時は、FIFO バッファに 64 バイトを書き込むと自動的に EP2 パケットイネーブルがセットされ、64 バイトのデータが送信可能な状態になり、2 面ある FIFO のもう一方の FIFO にまだ空きがあれば、再度 DMAC 起動割り込み (USBINTN1) をアサートします。しかし、送信したいデータパケットサイズが 64 バイト未満の場合、EP2 パケットイネーブルは自動でセットされないため、DMA 転送終了割り込みで EP2 パケットイネーブルを CPU にてセットしてください。 また、CPU に対する EP2 関連の割り込み要求は自動的にマスクされないため、割り込みイネーブルレジスタで必要に応じて割り込み要求をマスクしてください。 <動作手順> (1) DMAR の EP2 DMAE ビットに「1」書き込み (2) DMAC に USBINTN1 での起動を設定 (3) DMAC に転送回数設定 (4) DMAC 起動 (5) DMA 転送 (6) DMA 転送終了割り込み発生 「16.8.3 エンドポイント 2 に対する DMA 転送」を参照してください。

16. USB ファンクションモジュール (USB)

ビット	ビット名	初期値	R/W	説明
0	EP1DMAE	0	R/W	<p>エンドポイント 1 DMA 転送イネーブル</p> <p>このビットをセットすると、DMAC 起動割り込み (USBINTN0) がアサートされ、エンドポイント 1 受信用 FIFO バッファからメモリ方向への DMA 転送が可能になります。FIFO バッファに 1 バイトでも受信データがあれば DMAC 起動割り込み (USBINTN0) がアサートされ、をアサートします。DMA 転送時は、受信したデータをすべてリードすると、自動的に EP1 読み出し完了トリガが行われます。</p> <p>また、CPU に対する EP1 関連の割り込み要求は自動的にマスクされません。</p> <p><動作手順></p> <ol style="list-style-type: none"> (1) DMA の EP1 DMAE ビットに「1」書き込み (2) DMAC に USBINTN0 での起動を設定 (3) DMAC に転送回数設定 (4) DMAC 起動 (5) DMA 転送 (6) DMA 転送終了割り込み発生 <p>「16.8.2 エンドポイント 1 に対する DMA 転送」を参照してください。</p>

16.3.22 エンドポイントストールレジスタ (EPSTL)

EPSTL の各ビットはエンドポイントをアプリケーション側で強制的にストールさせるためのビットです。1 にセットされている間、そのエンドポイントはホストに対してストールハンドシェイクを返します。エンドポイント 0 に対するストールビットは、ファンクションでデコードを行う 8 バイトのコマンドデータを受信すると自動的に解除され、EP0 STL ビットはクリアされます。また、IFR0 の SETUPTS フラグがセットされているときは、EP0 STL ビットへの 1 ライトは無視されます。詳細動作は「16.7 ストール動作」を参照してください。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	EP3STL	EP2STL	EP1STL	EP0STL
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
5	—	0	R	
4	—	0	R	
3	EP3STL	0	R/W	<p>EP3 ストール</p> <p>このビットが 1 のとき、エンドポイント 3 はストール状態となります。</p>
2	EP2STL	0	R/W	<p>EP2 ストール</p> <p>このビットが 1 のとき、エンドポイント 2 はストール状態となります。</p>

ビット	ビット名	初期値	R/W	説明
1	EP1STL	0	R/W	EP1 ストール このビットが 1 のとき、エンドポイント 1 はストール状態となります。
0	EP0STL	0	R/W	EP0 ストール このビットが 1 のとき、エンドポイント 0 はストール状態となります。

16.3.23 コンフィグレーションバリュeregスタ (CVR)

ホストから Set Configuration/Set Interface コマンドを正常に受信したとき、セットされた Configuration/Interface/Alternate 値が格納されるレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	CNFV1	CNFV0	INTV1	INTV0	—	ALTV2	ALTV1	ALTV0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7	CNFV1	0	R	Set Configuration コマンドを受け取った時の Configuration Setting 値が格納されます。CNFV の更新は、IFR2 レジスタの SETC=1 セット時です。
6	CNFV0	0	R	
5	INTV1	0	R	Set Interface コマンドを受け取った時の Interface Setting 値が格納されます。INTV の更新は、IFR2 レジスタの SETI=1 セット時です。
4	INTV0	0	R	
3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	ALTV2	0	R	Set Interface コマンドを受け取った時の Alternate Setting 値が格納されます。ALTV2-0 の更新は、IFR2 レジスタの SETI=1 セット時です。
1	ALTV1	0	R	
0	ALTV0	0	R	

16.3.24 コントロールレジスタ (CTRL)

ASCE、PWMD、RSME、RWUPS の各機能設定を行うレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	RWUPS	RSME	PWMD	ASCE	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R

16. USB ファンクションモジュール (USB)

ビット	ビット名	初期値	R/W	説明
7	—	0	R	リザーブビット
6	—	0	R	読み出すと常に0が読み出されます。書き込む値も常に0にしてください。
5	—	0	R	
4	RWUPS	0	R	<p>リモートウェイクアップステータス</p> <p>ホストからのリモートウェイクアップの禁止/許可を示すステータスビットです。</p> <p>Set Feature/Clear Feature リクエストによる Device_Remote_Wakeup でホストからリモートウェイクアップが禁止されると、RWUPS=0を示します。リモートウェイクアップが許可されると、RWUPS=1を示します。</p>
3	RSME	0	R/W	<p>レジュームイネーブル</p> <p>サスペンド状態を解除(リモートウェイクアップを実行)するビットです。RSME=1にセットすると、レジューム要求が開始されます。</p> <p>ユーザはRSME=1セット後、再度RSME=0にクリアしてください。その際、最低12MHzで1クロック期間はRSME=1を保持してください。</p>
2	PWMD	0	R/W	<p>バスパワーモード</p> <p>USBのパワーモードを設定するビットです。本モジュールをセルフパワーモードとして使用する場合はPWMD=0、バスパワーモードで使用する場合はPWMD=1に設定してください。</p>
1	ASCE	0	R/W	<p>自動ストールクリアイネーブル</p> <p>ASCEを1にセットすると、ストールハンドシェイクをホストに返信した後、返信したエンドポイントのストール設定ビット</p> <p>(EPSTLのEPxSTL(x=0,1,2,3)ビット)を自動的にクリアします。自動ストールクリアイネーブルは全エンドポイント共通です。エンドポイントごとの個別制御はできません。</p> <p>ASCE=0の時は、自動的にクリアされません。ユーザが解除する必要があります。なお、本ビットをイネーブルにする場合は、必ずEPSTLのEPxSTL(x=0,1,2,3)ビットの1セットより先にASCE=1セットを行ってください。</p>
0	—	0	R	<p>リザーブビット</p> <p>読み出すと常に0が読み出されます。書き込む値も常に0にしてください。</p>

16.3.25 エンドポイント情報レジスタ (EPIR)

各エンドポイントの情報を設定するレジスタです。これらの情報は1エンドポイントに対して5バイト必要です。データライトは論理エンドポイント0から順に行ってください。また、5 (バイト) × 10 (エンドポイント) = 50 バイト以上ライトしないでください。本情報は、パワーオンリセット時に1回ライトしてください。それ以降はライトしないでください。以下に1エンドポイント分のライトデータを説明します。

本レジスタは同一アドレスに順番にライトするためレジスタは1つですが、説明上エンドポイント0用のライトデータを EPIR00~EPIR05 (EPIR [エンドポイント番号] [ライト順序]) と表記します。ライトは EPIR00 から順番に行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	D7	D6	D5	D4	D3	D2	D1	D0
初期値:	不定	不定	不定	不定	不定	不定	不定	不定
R/W:	W	W	W	W	W	W	W	W

• EPIR00

ビット	ビット名	初期値	R/W	説明
7~4	D7~D4	不定	W	エンドポイント番号 [設定可能範囲] 0~3
3~2	D3~D2	不定	W	エンドポイントが属する Configuration 番号 [設定可能範囲] 0 or 1
1~0	D1~D0	不定	W	エンドポイントが属する Interface 番号 [設定可能範囲] 0~3

• EPIR01

ビット	ビット名	初期値	R/W	説明
7~6	D7~D6	不定	W	エンドポイントが属する Alternate 番号 [設定可能範囲] 0 or 1
5~4	D5~D4	不定	W	エンドポイントの転送方法 [設定可能範囲] 0: Control 1: 設定禁止 2: Bulk 3: Interrupt

16. USB ファンクションモジュール (USB)

ビット	ビット名	初期値	R/W	説 明
3	D3	不定	W	エンドポイントの転送方向 [設定可能範囲] 0 : Out 1 : In
2~0	D2~D0	不定	W	リザーブビット [設定可能範囲] 0 固定

• EPIR02

ビット	ビット名	初期値	R/W	説 明
7~1	D7~D1	不定	W	エンドポイントの最大バケットサイズ [設定可能範囲] 0~64
0	D0	不定	W	リザーブビット [設定可能範囲] 0 固定

• EPIR03

ビット	ビット名	初期値	R/W	説 明
7~0	D7~D0	不定	W	リザーブビット [設定可能範囲] 0 固定

• EPIR04

ビット	ビット名	初期値	R/W	説 明
7~0	D7~D0	不定	W	エンドポイント FIFO 番号 [設定可能範囲] 0~3

エンドポイント番号とは、USB ホストが使用するエンドポイント番号です。また、エンドポイント FIFO 番号とは、本マニュアル中に記載のあるエンドポイント番号に対応しています。従って、本情報でエンドポイント番号とエンドポイント FIFO 番号を 1 対 1 に対応させることで USB ホストとエンドポイント FIFO 間で転送が行えます。ただし、設定値には以下の制約があるので注意してください。

各エンドポイント FIFO は、各転送方式、方向、最大バケットサイズに対応した専用ハードウェアで最適化しているため、必ず表 16.2 に示す方式、方向、最大バケットサイズに設定してください。

1. エンドポイントFIFO番号1は「Bulk転送」「Out」「最大パケットサイズ64byte」以外の設定はできません。
2. エンドポイント0とエンドポイントFIFO番号0は必ず1対1に対応させてください。
3. エンドポイントFIFO番号0の最大パケットサイズは8のみ設定可能です。
4. エンドポイントFIFO番号0は最大パケットサイズのみ設定可能で残りのデータはすべて0です。
5. エンドポイントFIFO番号1および2の最大パケットサイズは64のみ設定可能です。
6. エンドポイントFIFO番号3の最大パケットサイズは8のみ設定可能です。
7. エンドポイント情報の設定は最大10個まで可能です。
8. エンドポイント情報は最大10個分ライトしなければなりません。
9. 使用しないエンドポイントの情報はすべて0をライトしてください。

表 16.2 に設定可能な転送方式、転送方向、最大パケットサイズの制約一覧を示します。

表 16.2 設定可能値の制約一覧

エンドポイント FIFO 番号	最大パケットサイズ	転送方式	転送方向
0	8byte	Control	—
1	64byte	Bulk	Out
2	64byte	Bulk	In
3	8byte	Interrupt	In

16. USB ファンクションモジュール (USB)

また表 16.3 に具体的な設定例を示します。

表 16.3 設定例

EP 番号	Conf.	Int.	Alt.	転送方式	転送方向	最大 パケットサイズ	EP FIFO 番号
0	—	—	—	Control	In/Out	8byte	0
1	1	0	0	Bulk	Out	64byte	1
2	1	0	0	Bulk	In	64byte	2
3	1	0	0	Interrupt	In	8byte	3
—	1	1	0	—	—	—	—
—	1	1	1	—	—	—	—

N	EPIR[N]0	EPIR[N]1	EPIR[N]2	EPIR[N]3	EPIR[N]4
0	00	00	10	00	00
1	14	20	80	00	01
2	24	28	80	00	02
3	34	38	10	00	03
4	00	00	00	00	00
5	00	00	00	00	00
6	00	00	00	00	00
7	00	00	00	00	00
8	00	00	00	00	00
9	00	00	00	00	00

Config.	Int.	Alt.	EP番号	EP FIFO番号	属性
—	—	—	0	0	Control
1	0	0	1	1	BulkOut
			2	2	BulkIn
			3	3	InterruptIn

16.3.26 トランシーバテストレジスタ 0 (TRNTREG0)

内蔵トランシーバ出力信号を制御できるテストレジスタです。PTSTE=1 に設定することで、トランシーバ出力信号 (USD+, USD-) を任意設定できます。TRNTREG0 設定と端子出力値の関係を表 16.4 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	PTSTE	—	—	—	SUSPEND	txenl	txse0	txdata
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	PTSTE	0	R/W	端子テストイネーブル 内蔵トランシーバ出力端子 (USD+, USD-) のテスト制御を有効にするビットです。
6~4	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も 0 にしてください。
3	SUSPEND	0	R/W	内蔵トランシーバ出力信号設定ビット SUSPEND: 内蔵トランシーバの (SUSPEND) 端子信号設定 txenl: 内蔵トランシーバの出カイネーブル (txenl) 信号設定 txse0: 内蔵トランシーバの Single-ended 0 (txse0) 信号設定 txdata: 内蔵トランシーバの (txdata) 信号設定
2	txenl	0	R/W	
1	txse0	0	R/W	
0	txdata	0	R/W	

表 16.4 TRNTREG0 設定と端子出力値の関係

端子入力	レジスタ設定値				端子出力値	
	PTSTE	txenl	txse0	txdata	USD+	USD-
VBUS	×	×	×	×	USD+	USD-
0	×	×	×	×	Hi-Z	Hi-Z
1	0	×	×	×	—	—
1	1	0	0	0	0	1
1	1	0	0	1	1	0
1	1	0	1	×	0	0
1	1	1	×	×	Hi-Z	Hi-Z

【記号説明】

× : Don't care

— : 制御不可能なところです。そのときの USB 動作状態やポート設定による通常動作の端子状態となります。

16. USB ファンクションモジュール (USB)

16.3.27 トランシーバテストレジスタ 1 (TRNTREG1)

内蔵トランシーバ入力信号がモニタできるテストレジスタです。

TRNTREG0 の PTSTE=1、txenl=1 に設定することで内蔵トランシーバ入力信号をモニタできます。端子入力値と TRNTREG1 モニタの関係を表 16.5 に示します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	xver_data	dpls	dmns
初期値 :	0	0	0	0	0	—*	—*	—*
R/W :	R	R	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
7~3	—	0	R	リザーブビット 読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
2	xver_data	—*	R	内蔵トランシーバ入力信号モニタビット xver_data : 内蔵トランシーバの差動入力レベル (xver_data) 信号モニタビット dpls : 内蔵トランシーバの USD+ (dpls) 信号モニタビット dmns : 内蔵トランシーバの USD- (dmns) 信号モニタビット
1	dpls	—*	R	
0	dmns	—*	R	

【注】 * VBUS、USD+、USD-端子の状態により決定されます。

表 16.5 端子入力値と TRNTREG1 モニタの関係

レジスタ設定値		端子入力値			TRNTREG1 モニタ値			備考
PTSTE	SUSPEND	VBUS	USD+	USD-	xver_data	dpls	dmns	
0	×	×	×	×	0	0	0	PTSTE=0 のときモニタできません。 PTSTE=1 ではモニタできます。
1	0	1	0	0	×	0	0	
1	0	1	0	1	0	0	1	
1	0	1	1	0	1	1	0	
1	0	1	1	1	×	1	1	
1	1	1	0	0	0	0	0	
1	1	1	0	1	0	0	1	
1	1	1	1	0	0	1	0	
1	1	1	1	1	0	1	1	VBUS=0 ではモニタできません。
1	×	0	×	×	0	1	1	

【記号説明】

× : Don't care

16.4 割り込み要因

本モジュールは5本の割り込み信号を持っています。各割り込み要因と要求信号の対応を表16.6に示します。USBINTN 割り込みはLowアクティブです。USBINTN 割り込み検出は、レベル検出のみとなります。

表 16.6 割り込み信号一覧

レジスタ	ビット	転送モード	割り込み要因	説明	割り込み要求信号	DTC 起動	DMAC 起動
IFR0	0	Control 転送 (EP0)	EP0i_TS*	EP0i 送信完了	USBINTN2 or USBINTN3	×	×
	1		EP0i_TR*	EP0i 転送リクエスト	USBINTN2 or USBINTN3	×	×
	2		EP0o_TS*	EP0o 受信完了	USBINTN2 or USBINTN3	×	×
	3		SETUP_TS*	セットアップコマンド受信完了	USBINTN2 or USBINTN3	×	×
	4	Bulk_in 転送 (EP2)	EP2_EMPTY	EP2FIFO エンプティ	USBINTN2 or USBINTN3	×	USBINTN1
	5		EP2_TR	EP2 転送リクエスト	USBINTN2 or USBINTN3	×	×
	6	Bulk_out 転送 (EP1)	EP1_FULL	EP1FIFO フル	USBINTN2 or USBINTN3	×	USBINTN0
7	Status	BRST	バスリセット	USBINTN2 or USBINTN3	×	×	
IFR1	0	Status	VBUSF	USB 切断検出	USBINTN2 or USBINTN3	×	×
	1	Interrupt_in 転送 (EP3)	EP3_TS	EP3 送信完了	USBINTN2 or USBINTN3	×	×
	2		EP3_TR	EP3 転送リクエスト	USBINTN2 or USBINTN3	×	×
	3	Status	VBUSMN	VBUS 接続ステータス	—	×	×
	4	—	リザーブ	—	—	—	—
	5						
	6						
7							
IFR2	0	Status	SETI	Set_Interface コマンド検出	USBINTN2 or USBINTN3	×	×
	1		SETC	Set_Configuration コマンド検出	USBINTN2 or USBINTN3	×	×
	2	—	リザーブ	—	—	—	—
	3	Status	CFDN	エンドポイント情報ロード終了	USBINTN2 or USBINTN3	×	×
	4		SURSF	サスペンド/ レジューム検出	USBINTN2 or USBINTN3 or RESUME	×	×
	5		SURSS	サスペンド/ レジュームステータス	—	×	×
	6	—	リザーブ	—	—	—	—
7							

【注】 * EP0 に関する割り込み要因は、同一の割り込み要求信号に割り当ててください。

16. USB ファンクションモジュール (USB)

(1) USBINTN0 信号

EP1 専用の DMAC 起動割り込み信号です。詳細は「16.8 DMA 転送動作」を参照してください。

(2) USBINTN1 信号

EP2 専用の DMAC 起動割り込み信号です。詳細は「16.8 DMA 転送動作」を参照してください。

(3) USBINTN2 信号

割り込み選択レジスタ 0~2 (ISR0~2) で 0 クリアされた割り込み要因に対する割り込み要求信号です。USBINTN2 信号に割り当てられた割り込み要因のうち、1 つでも該当する割り込みフラグレジスタのビットが 1 にセットされた場合アサートされます。

(4) USBINTN3 信号

割り込み選択レジスタ 0~2 (ISR0~2) で 1 セットされた割り込み要因に対する割り込み要求信号です。USBINTN3 信号に割り当てられた割り込み要因のうち、1 つでも該当する割り込みフラグレジスタのビットが 1 にセットされた場合アサートされます。

(5) RESUME 信号

ソフトウェアスタンバイ解除用のレジューム割り込み信号です。

ソフトウェアスタンバイ解除用のレジューム遷移時に Low レベルが出力されます。

16.5 動作説明

16.5.1 ケーブル接続時

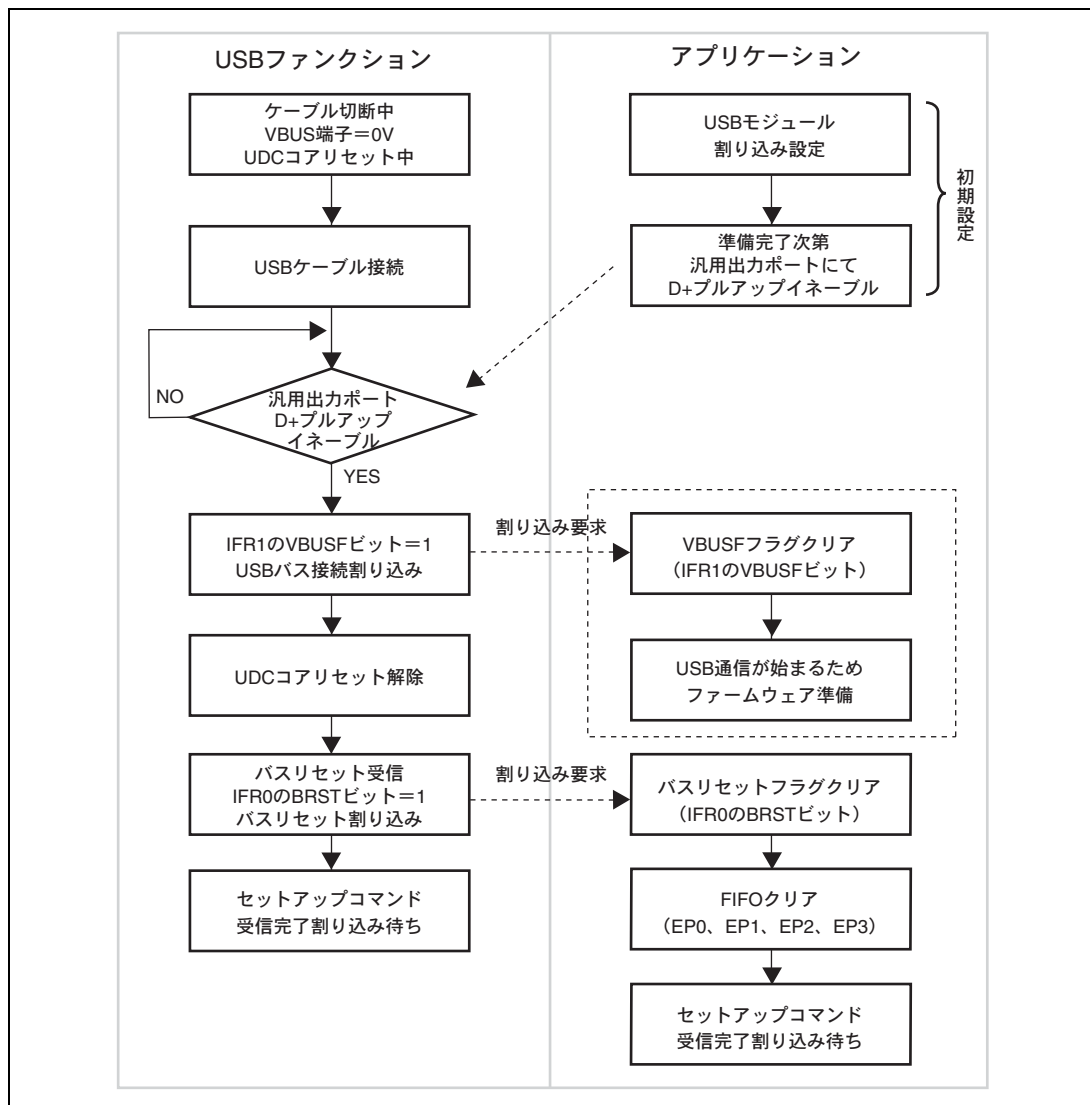


図 16.2 ケーブル接続時の動作

図 16.2 のフローは、「16.9 USB 外部回路例」時の動作を示しています。

USB ケーブル接続を検出する必要がないアプリケーションでは、USB バス接続割り込みによる処理は不要です。バスリセット割り込みにて準備してください。

16.5.2 ケーブル切断時

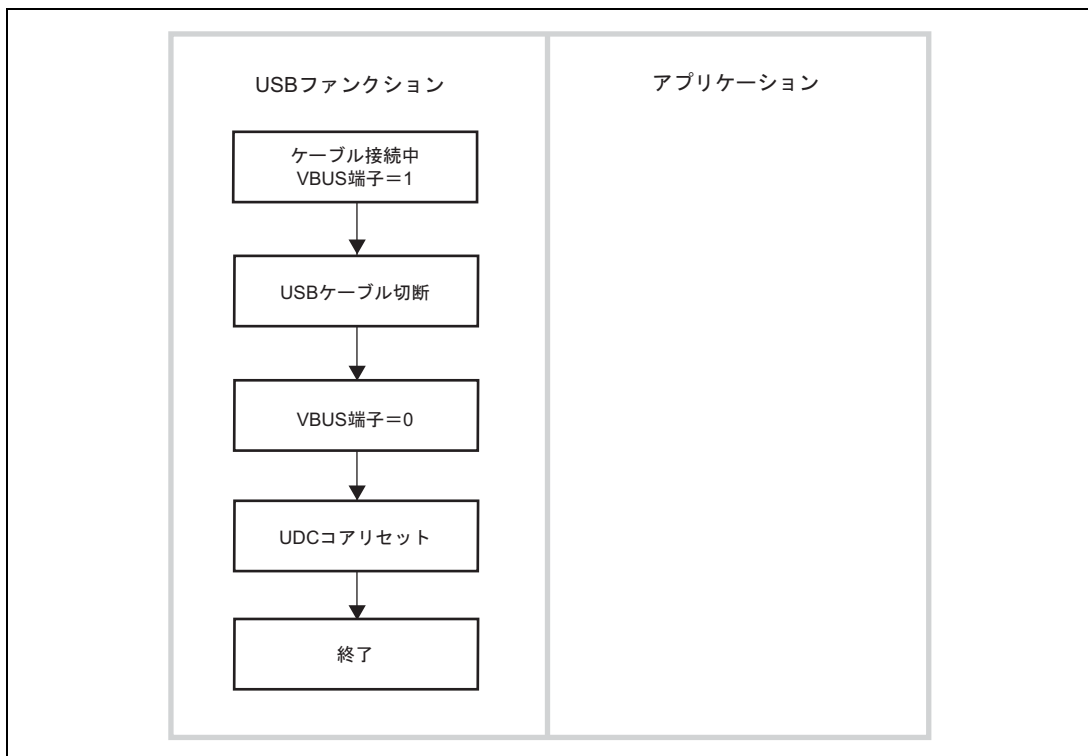


図 16.3 ケーブル切断時の動作

図 16.3 のフローは、「16.9 USB 外部回路例」時の動作を示しています。

16.5.3 サスペンド/レジューム

(1) サスペンド時

USB バスが非サスペンド状態からサスペンド状態に移した場合、下記フローに従って処理してください。

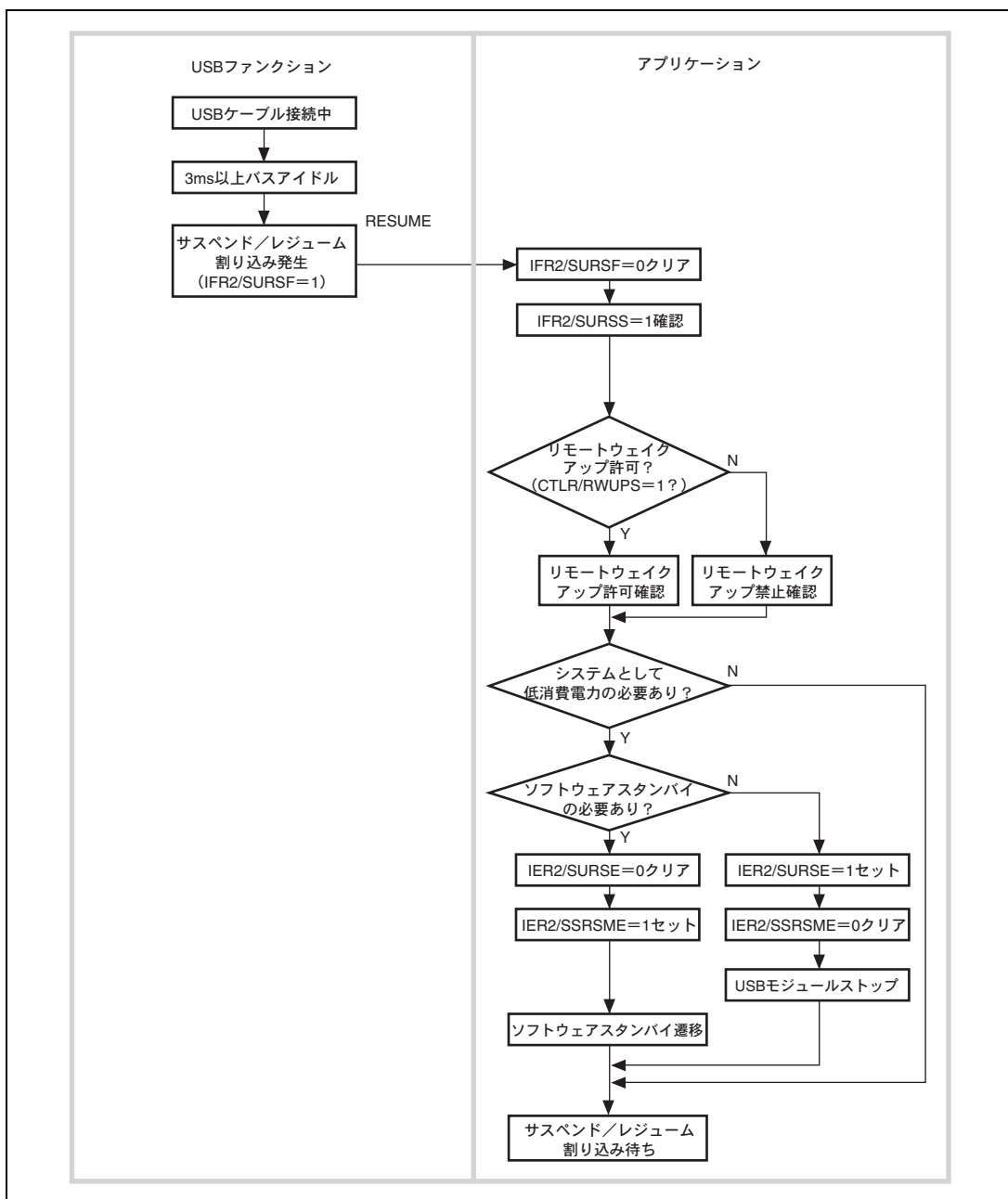


図 16.4 サスペンド時の動作

16. USB ファンクションモジュール (USB)

(2) アップストリームからのレジューム時

アップストリームからのレジューム信号により、USBバスがサスペンド状態から非サスペンド（レジューム）状態に移移した場合、下記フローに従って処理してください。

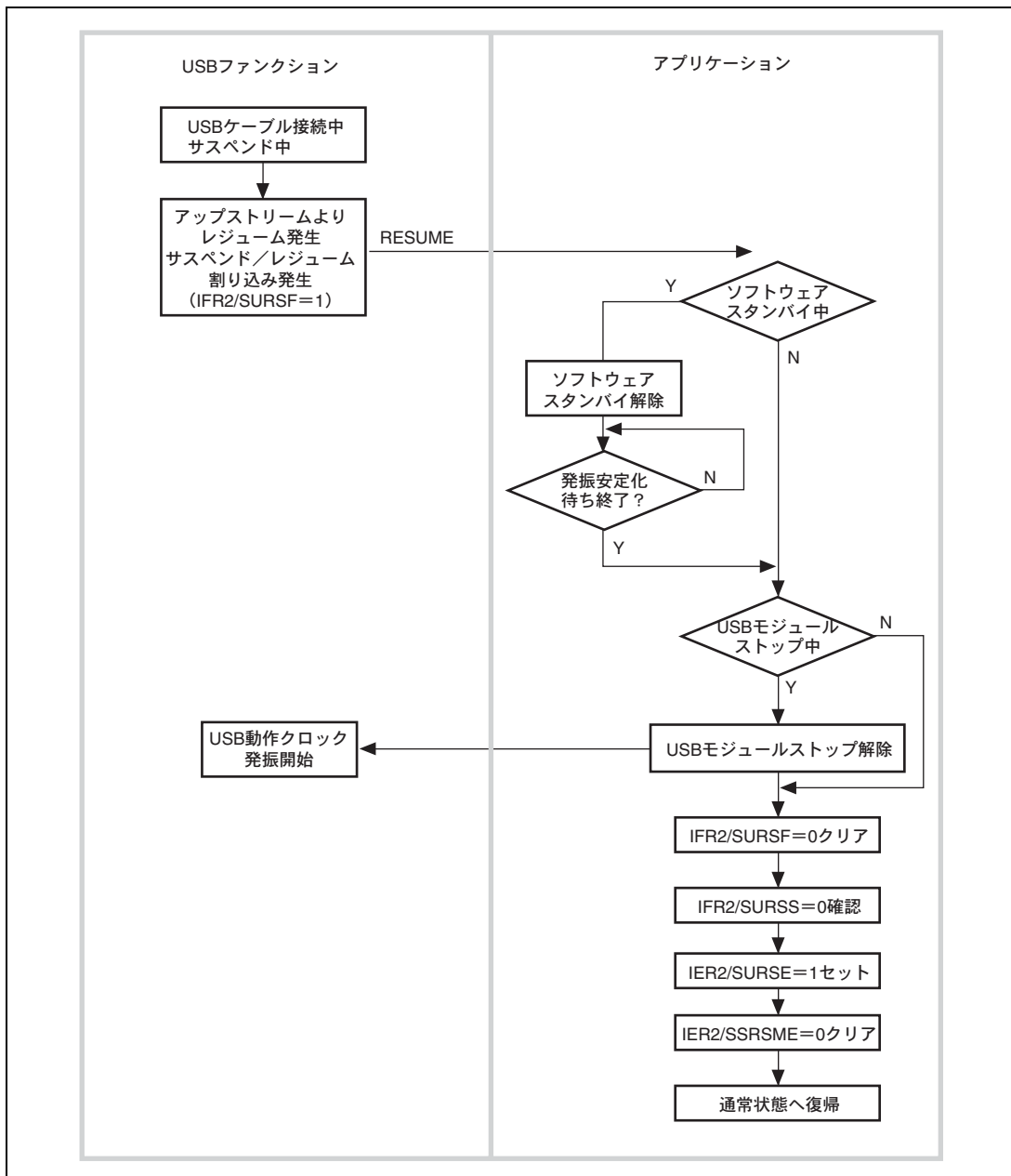


図 16.5 アップストリームからのレジューム時の動作

(3) サスペンド状態からソフトウェアスタンバイへの遷移と解除

サスペンド状態からソフトウェアスタンバイに遷移する場合、下記フローに従って処理してください。ソフトウェアスタンバイを解除する場合、システムクロックの発振安定時間を待つようにしてください。

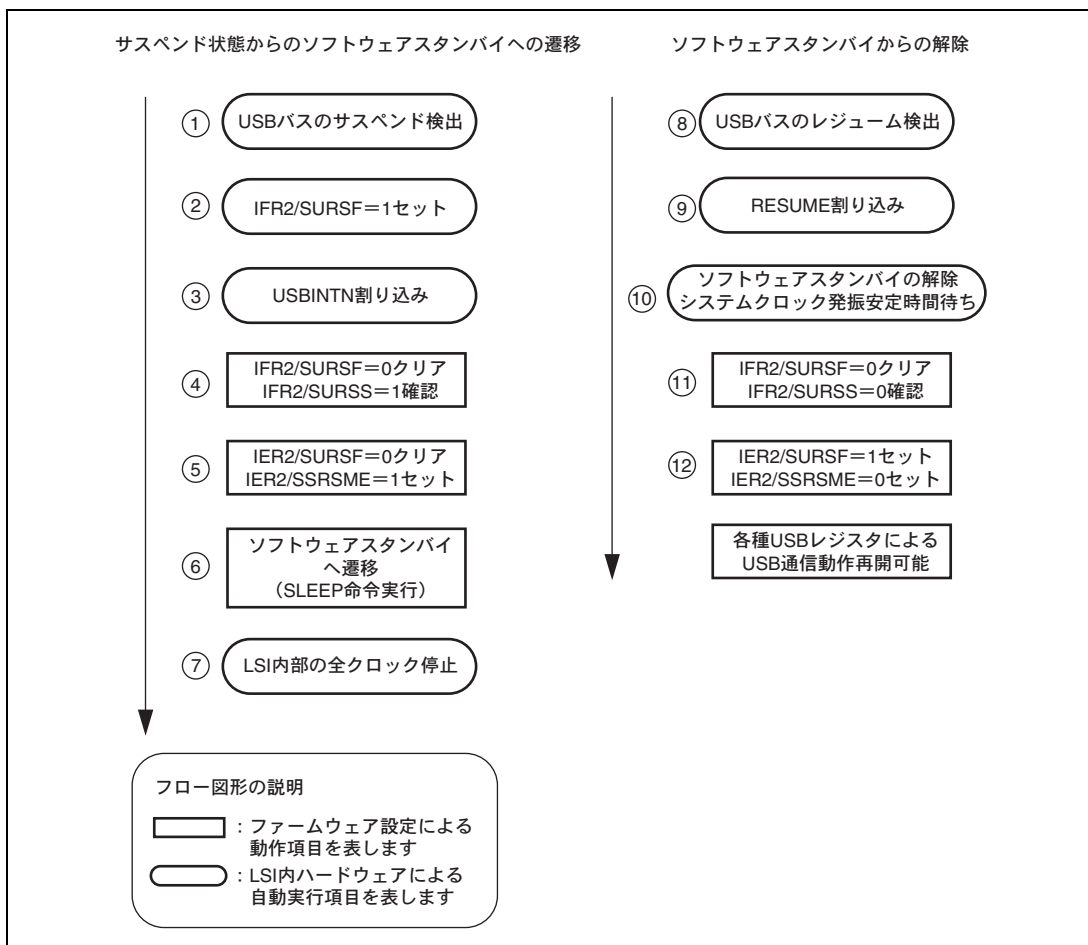


図 16.6 ソフトウェアスタンバイへの遷移解除フロー

16. USB ファンクションモジュール (USB)

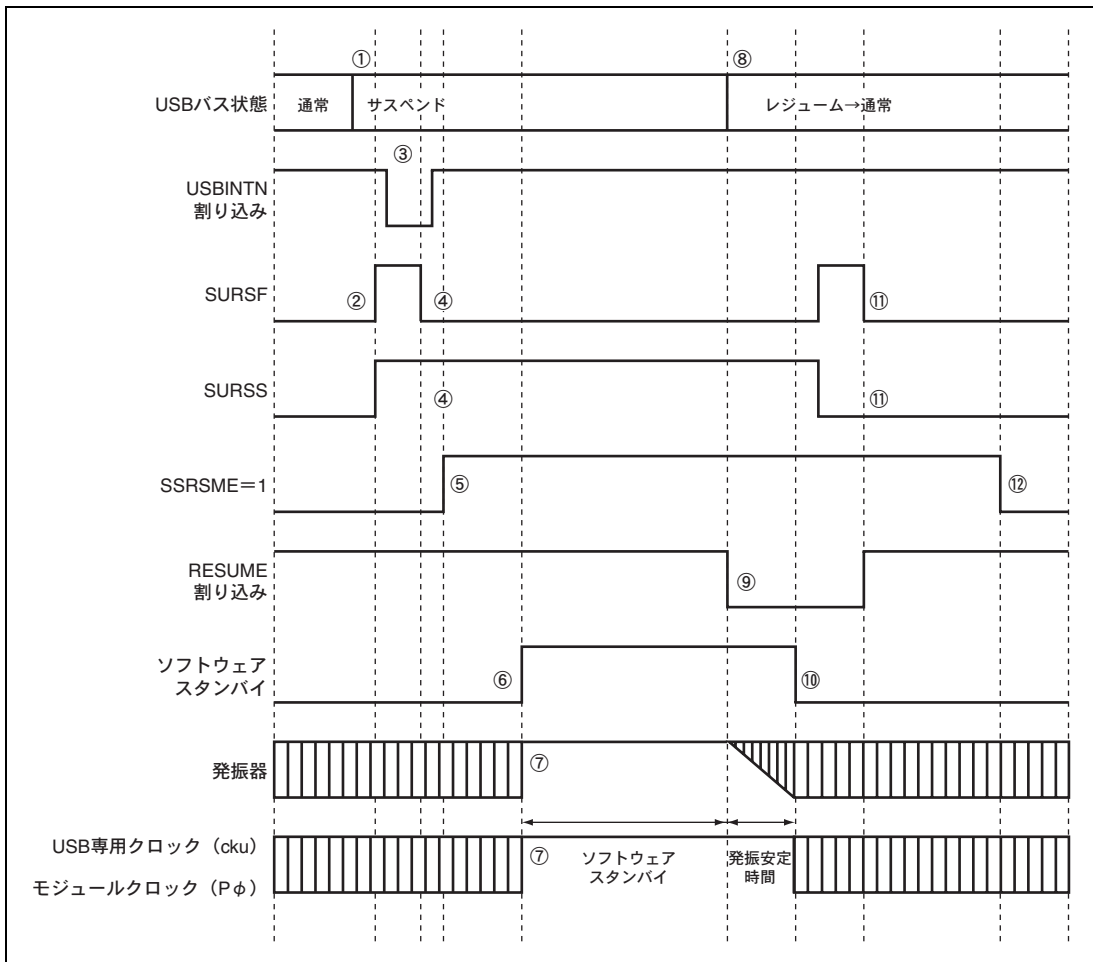


図 16.7 ソフトウェアスタンバイへの遷移、解除タイミング

(4) リモートウェイクアップ時

本ファンクションからのリモートウェイクアップ信号により、USB バスをサスペンド状態から非サスペンド(レジューム) 状態に遷移させる場合、下記フローに従って処理してください。

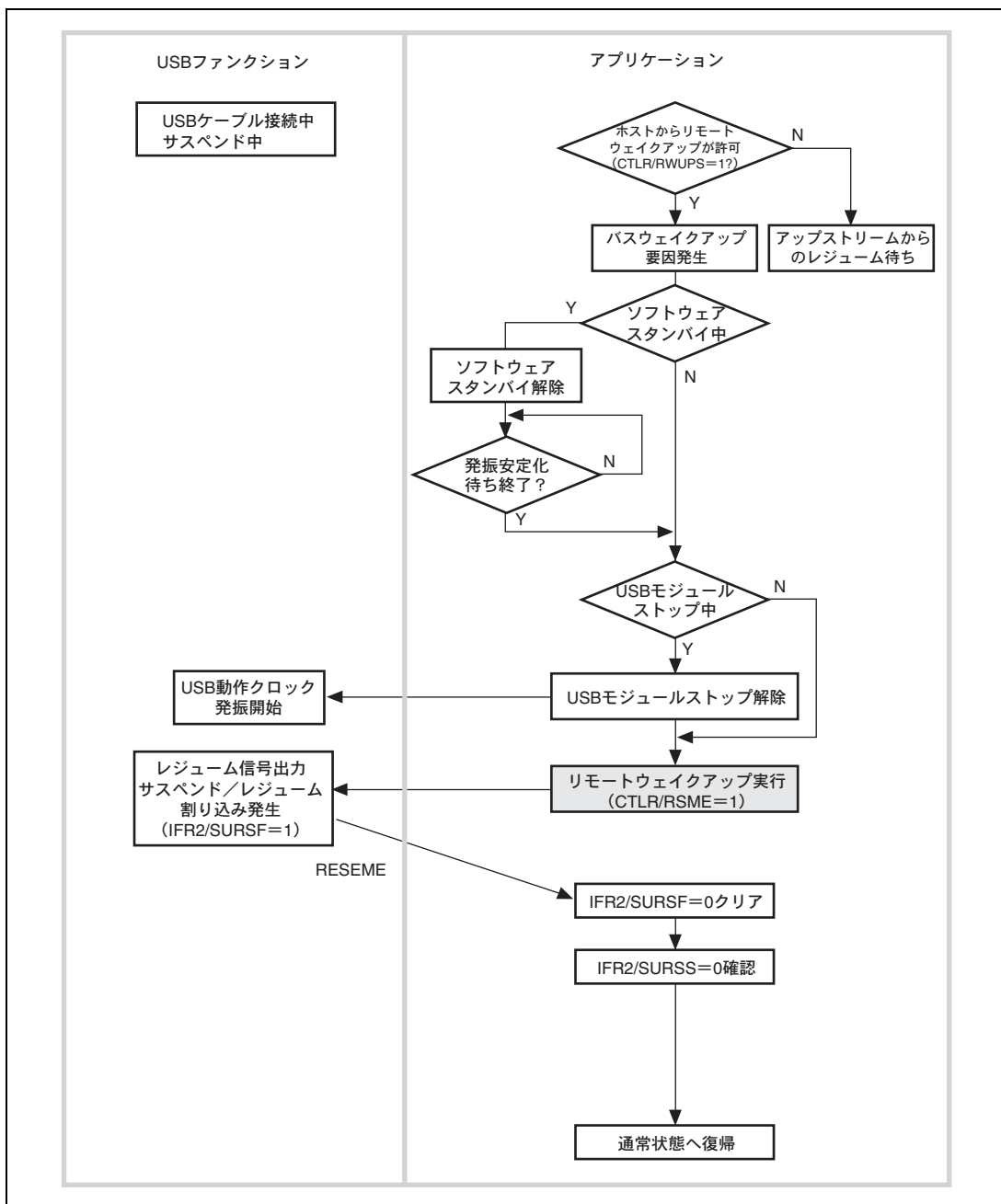


図 16.8 リモートウェイクアップ時の動作

16.5.4 コントロール転送

コントロール転送は、セットアップ、データ（ない場合もある）、ステータスの3つのステージで構成されます（図 16.9）。また、データステージは、複数のバストランザクションで構成されます。以下に、各ステージごとの動作フローを示します。

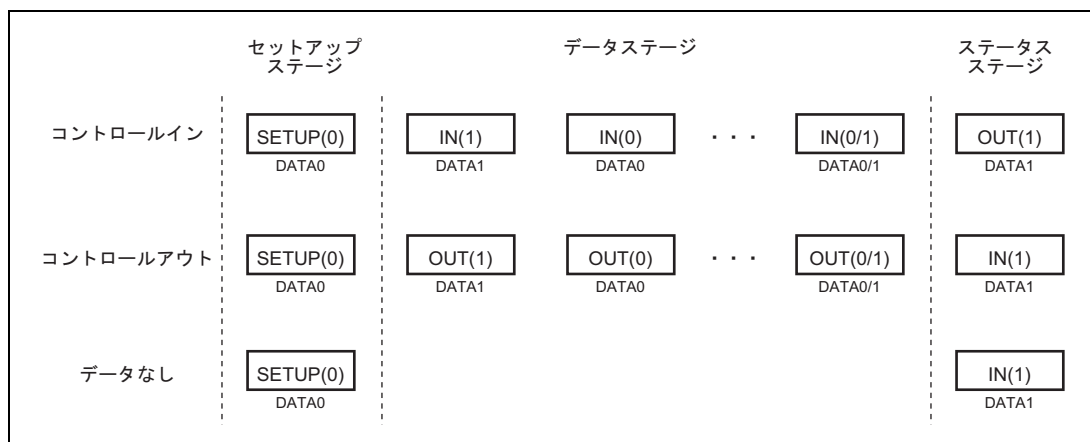


図 16.9 コントロール転送における各転送ステージ

(1) セットアップステージ

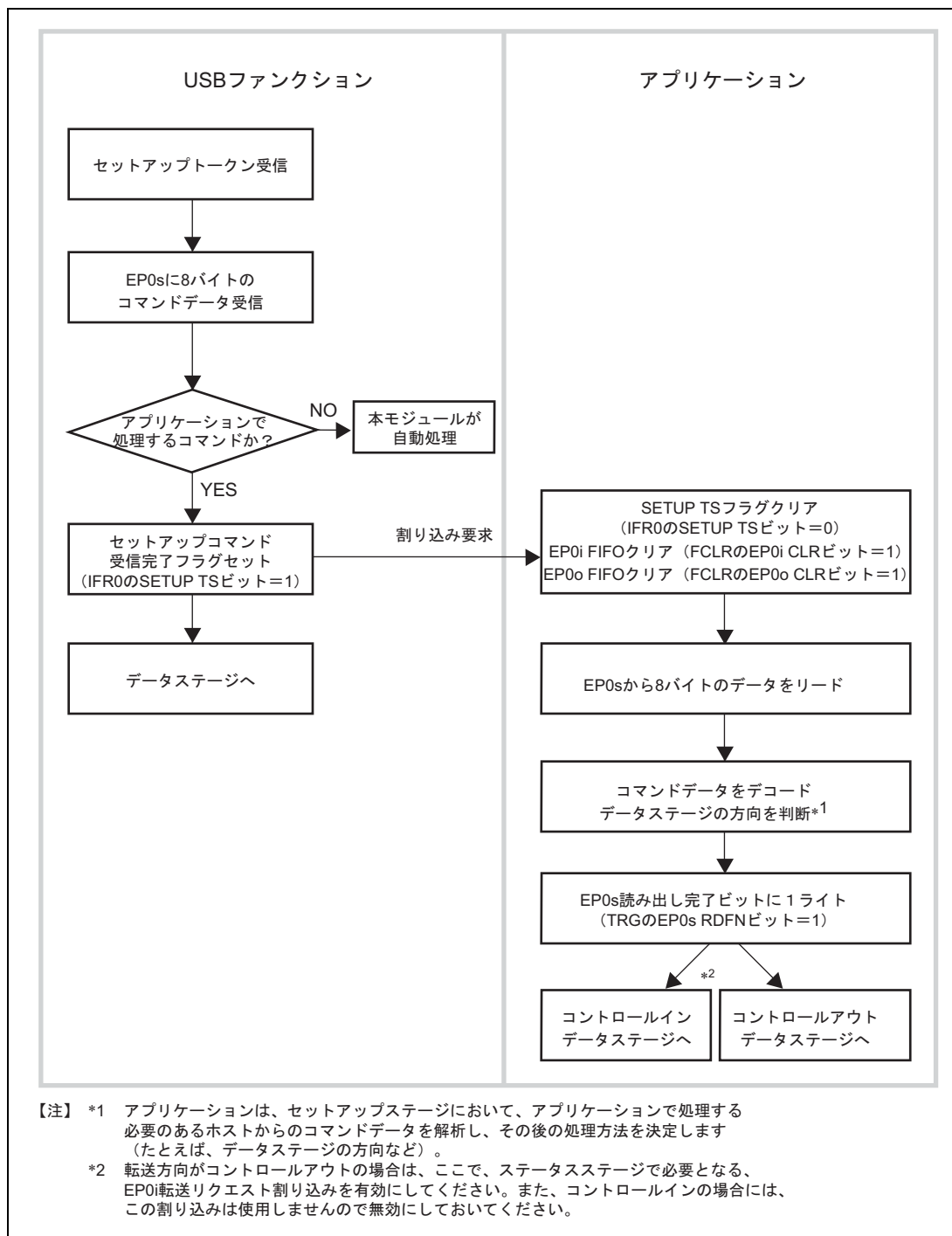


図 16.10 セットアップステージの動作

16. USB ファンクションモジュール (USB)

(2) データステージ (コントロールイン時)

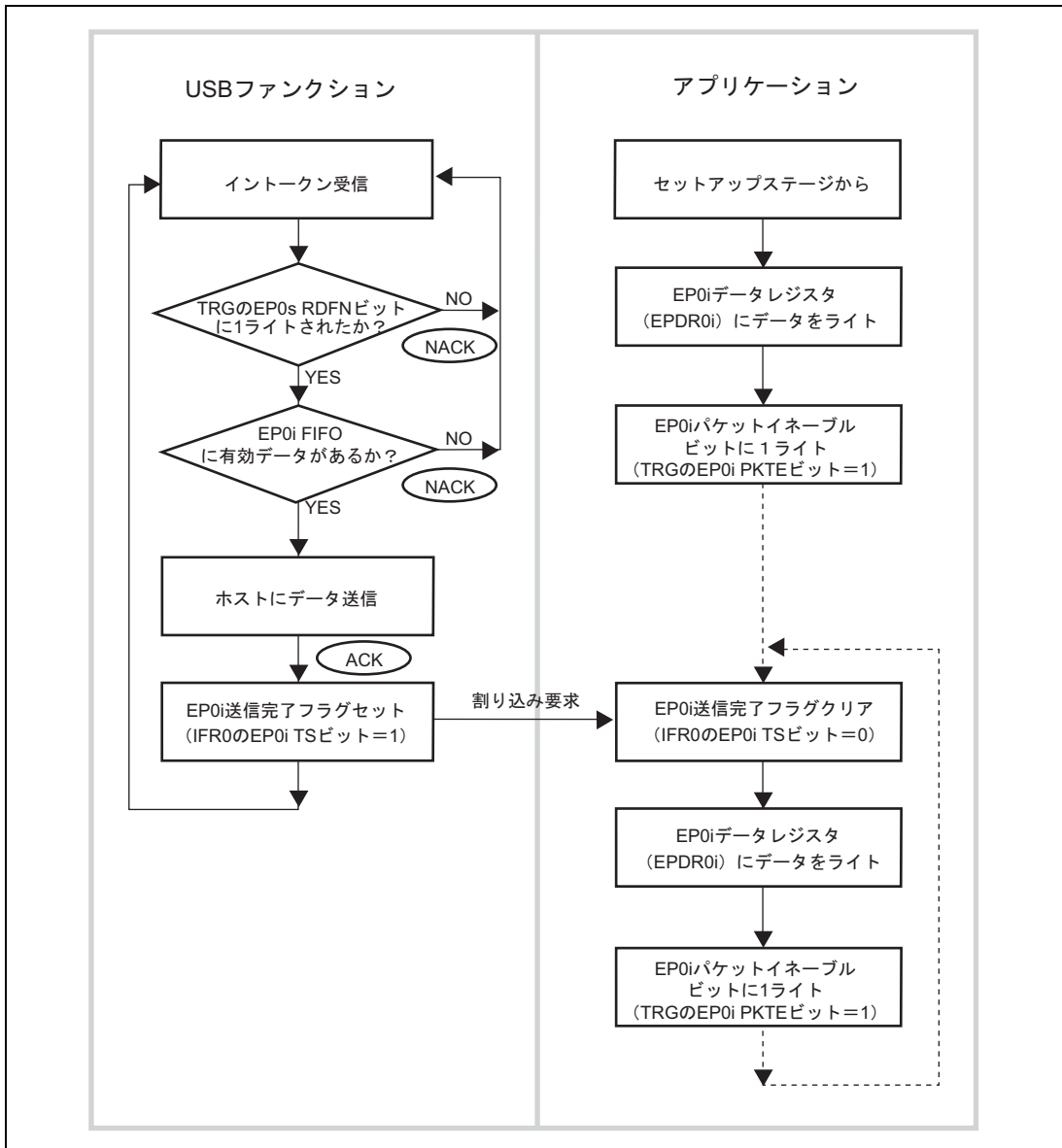


図 16.11 データステージ (コントロールイン時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがイン転送の場合、ホストに送りたいデータの1パケット分をFIFOに書き込みます。さらに送りたいデータがある場合、最初に書き込んだデータがホストに送られたあと (IFR0 の EP0i TS ビット=1)、FIFOにデータを書き込みます。

データステージの終わりは、ホストがアウトトークンを送信し、ステータスステージに入ったことで判断します。

【注】 ファンクションが送信するデータのサイズが、ホストから要求されたデータサイズより小さい場合、ファンクションは、最大パケットサイズより短いパケットをホストに返すことで、データステージの終了を示します。また、ファンクションが送信するデータのサイズが、最大パケットサイズの整数倍の場合には、0 レングスパケットを送信して、データステージの最後を示します。

16. USB ファンクションモジュール (USB)

(3) データステージ (コントロールアウト時)

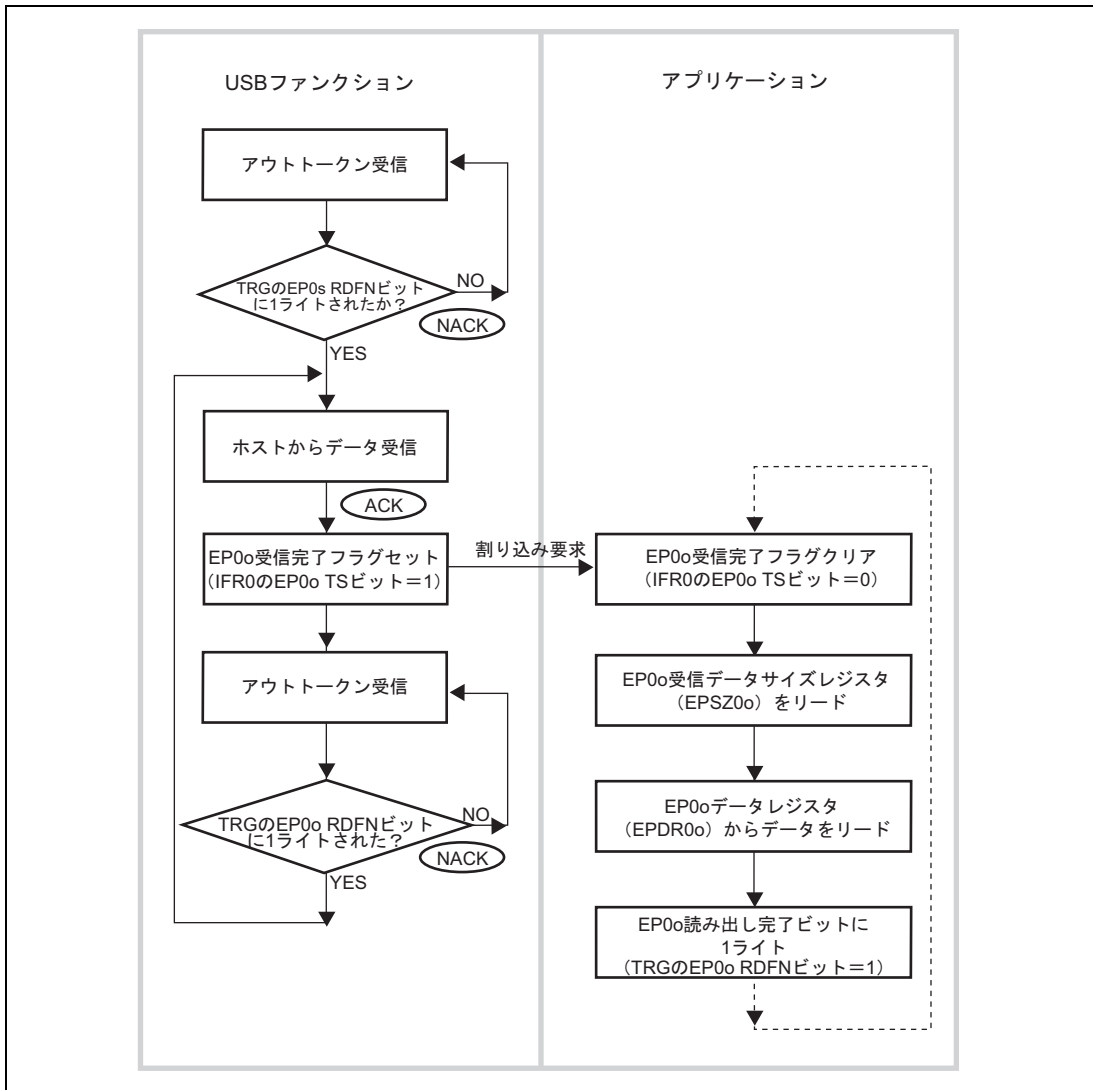


図 16.12 データステージ (コントロールアウト時) の動作

アプリケーションは、まずセットアップステージにおいて、ホストからのコマンドデータを解析し、その後のデータステージの方向を判断します。コマンドデータの解析結果により、データステージがアウト転送の場合、ホストからのデータを待ち、データ受信後 (IFR0 の EP0o TS ビット=1)、FIFO からデータを読み出します。次にアプリケーションは、EP0o 読み出し完了ビットに 1 を書き込み、受信 FIFO を空にして、次のデータ受信を待ちます。

データステージの終わりは、ホストがイントークンを送信し、ステータスステージに入ったことで判断します。

(4) ステータスステージ (コントロールイン時)

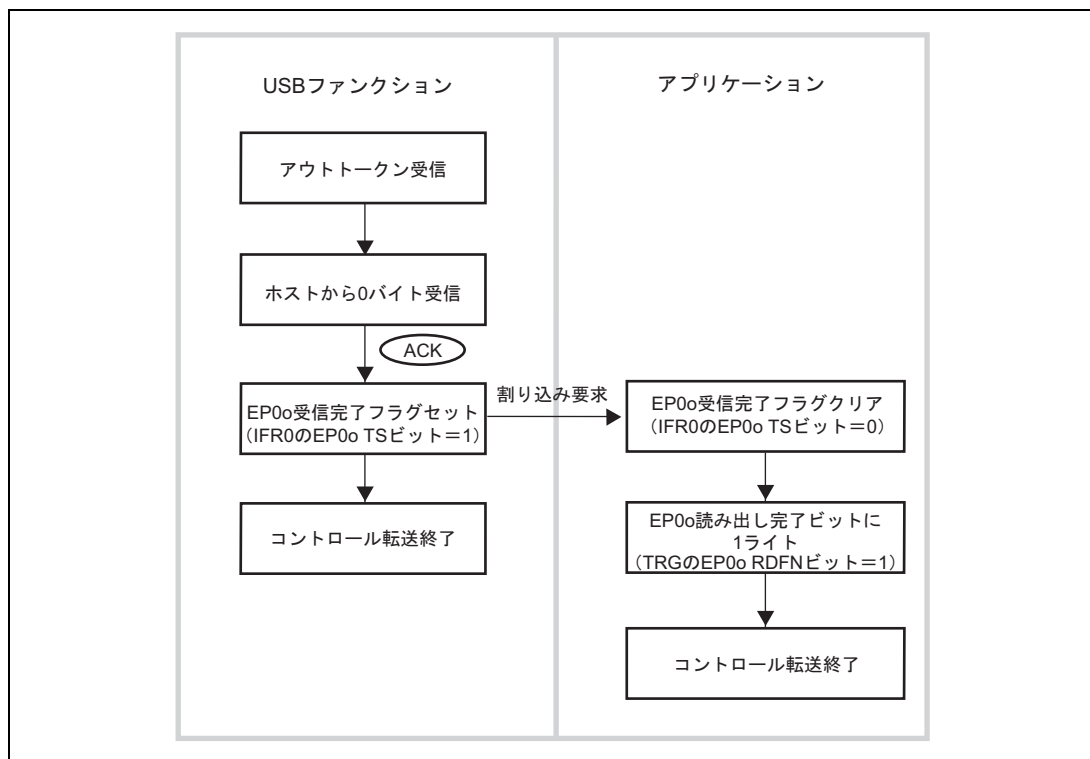


図 16.13 ステータスステージ (コントロールイン時) の動作

コントロールイン時のステータスステージは、ホストからのアウトトークンで始まります。アプリケーションは、ホストからの 0 バイトデータを受信して、コントロール転送を終了します。

(5) ステータスステージ (コントロールアウト時)

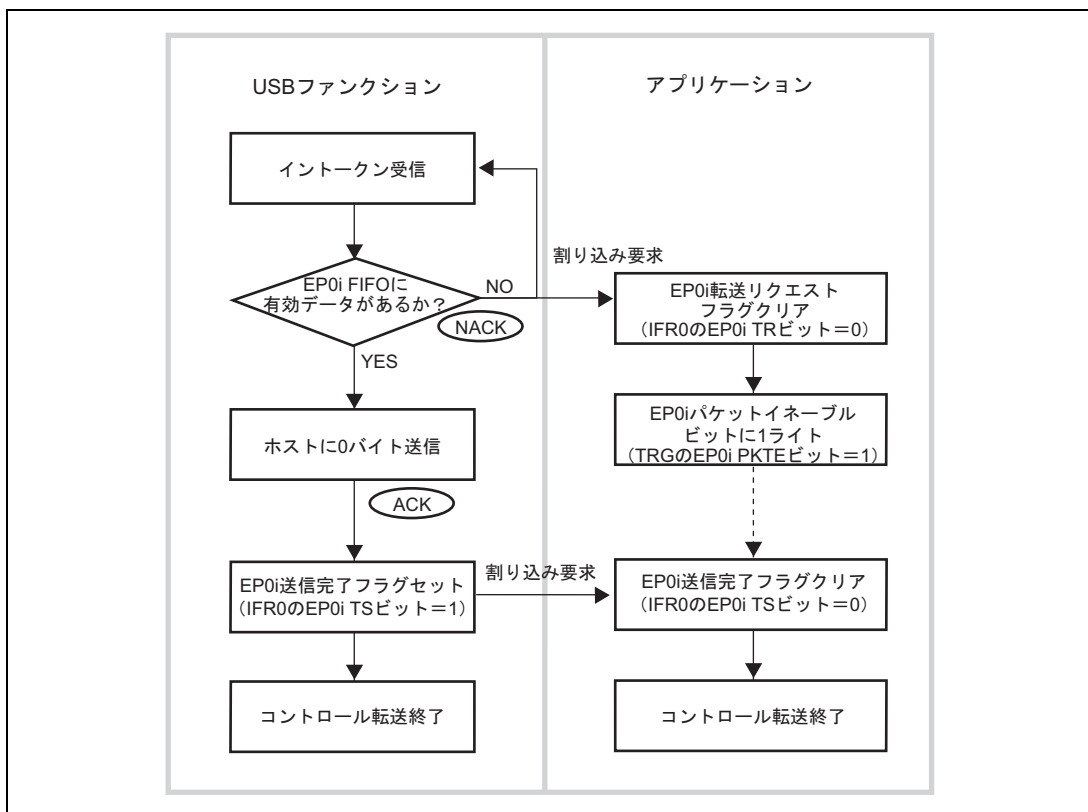


図 16.14 ステータスステージ (コントロールアウト時) の動作

コントロールアウト時のステータスステージは、ホストからのイントークンで始まります。ステータスステージの始まりのイントークン受信時には、まだ EP0i FIFO にはデータが入っていないので、EP0i 転送リクエスト割り込みが入ります。アプリケーションは、この割り込みによりステータスステージが開始されたことを認識します。次に、ホストに 0 バイトデータを送信するために、EP0i FIFO にデータを書き込まず、EP0i パケットイネーブルビットに 1 ライトします。これにより、次のイントークンでホストに 0 バイトデータが送信され、コントロール転送が終了します。

ただし、アプリケーションが、データステージにかかわる処理をすべて終了したあと、EP0i パケットイネーブルビットに 1 ライトしてください。

16.5.5 EP1 バルクアウト転送 (2面 FIFO)

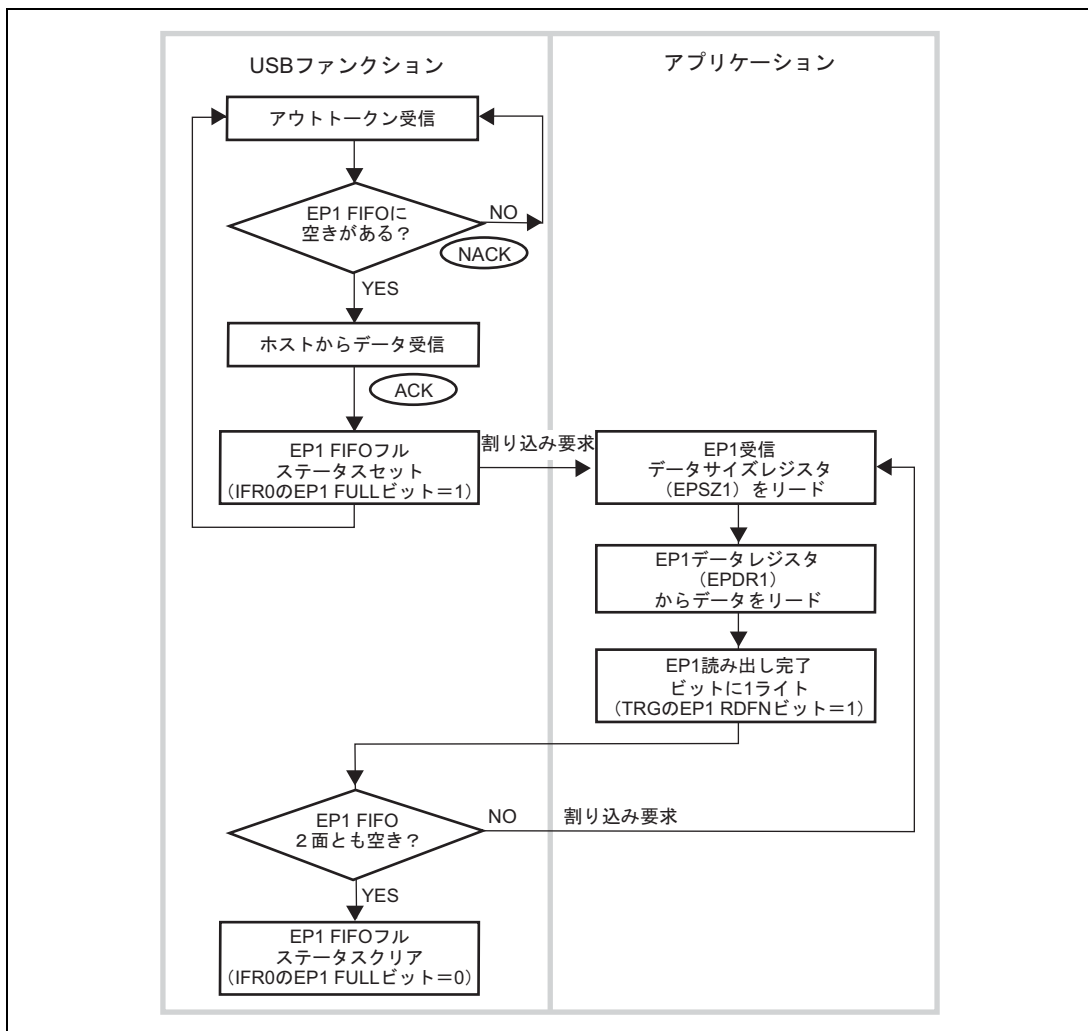


図 16.15 EP1 バルクアウト転送の動作

EP1 は 64 バイトの FIFO を 2 面持っています。しかし、ユーザは 2 面あることを意識することなく、データ受信および受信データのリードができます。

FIFO が 1 面でも受信完了すると、IFR0 の EP1 FULL ビットがセットされます。FIFO が 2 面とも EMPTY の状態で最初の受信後は、他方の FIFO が空いているので、すぐ次のパケットを受信することができます。2 面とも FULL になった場合、ホストには自動的に NACK が返信されます。データ受信後、受信データのリードが終了したら、TRG の EP1 RDFN ビットに 1 をライトします。この操作によって、今リードし終えた FIFO が EMPTY になり、次のパケットを受信可能な状態になります。

16.5.6 EP2 バルクイン転送 (2面 FIFO)

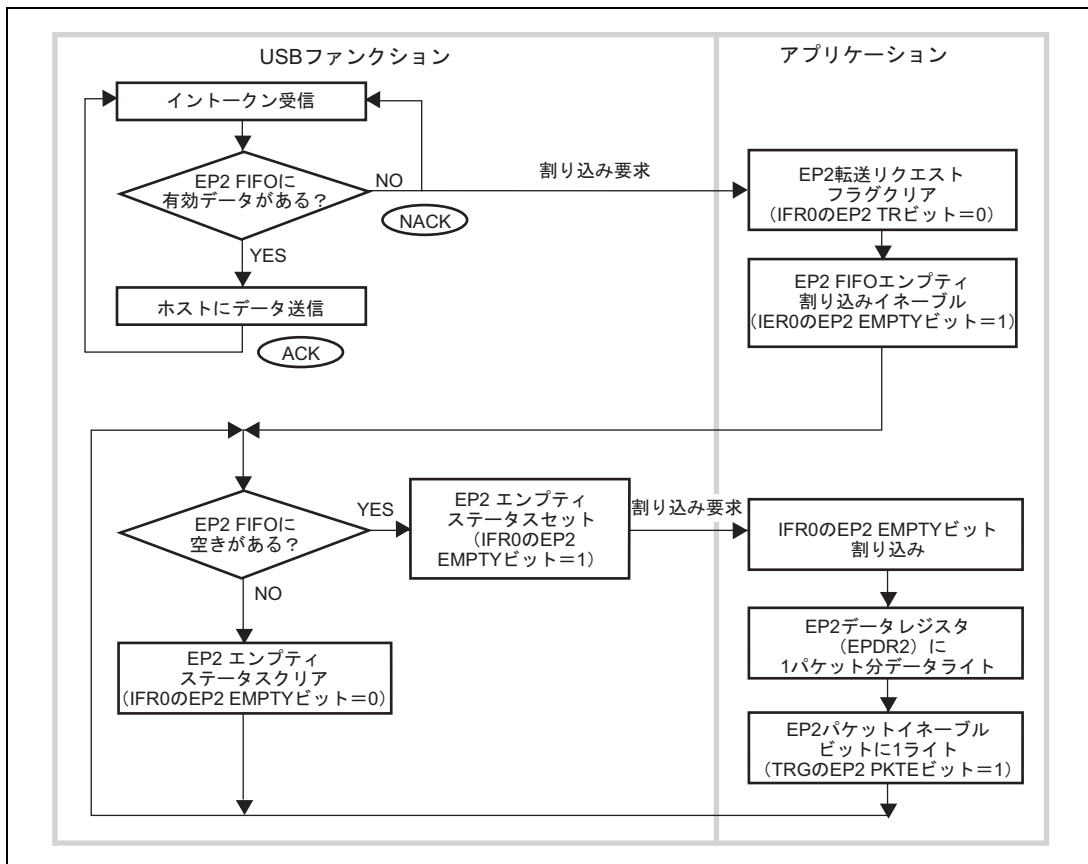


図 16.16 EP2 バルクイン転送の動作

EP2は64バイトのFIFOを2面持っています。しかし、ユーザは2面あることを意識することなく、データ送信および送信データのライトができます。ただし、1回のデータライトは1面ごとに行ってください。たとえば、2面ともFIFOがEMPTYの場合でも、連続して128バイトデータをライト後、まとめてEP2PKTEを行うことはできません。必ず64バイトのライトごとにEP2PKTEを行ってください。

バルクイン転送を行いたい場合、まず最初のイントークンでFIFO内に有効データが存在しないので、IFR0のEP2 TR ビット割り込みが要求されます。その割り込みで、IER0のEP2 EMPTY ビットに1ライトし、EP2 FIFO エンプティ割り込みを許可します。最初は、EP2の2面のFIFOは共にEMPTYになっているので、EP2 FIFO エンプティ割り込みがすぐに発生します。

この割り込みを使って、送信するデータをデータレジスタにライトします。最初1面分の送信データライト後は、他方のFIFOが空いているので、すぐ他方の面に送信データをライトすることができます。2面ともFULLになった場合、EP2 EMPTY が0になります。1面でもEMPTYであればIFR0のEP2 EMPTY ビットが1セットされます。データ送信完了後、ホストからACKが返ってきたら、データ送信を行ったFIFOがEMPTYになります。このとき、他方のFIFOに有効な送信データが用意されている場合は、連続して送信動作が行えます。

すべての送信が完了後、IER0のEP2 EMPTY ビットに0ライトを行い、割り込み要求を禁止にしてください。

16.5.7 EP3 インタラプトイン転送

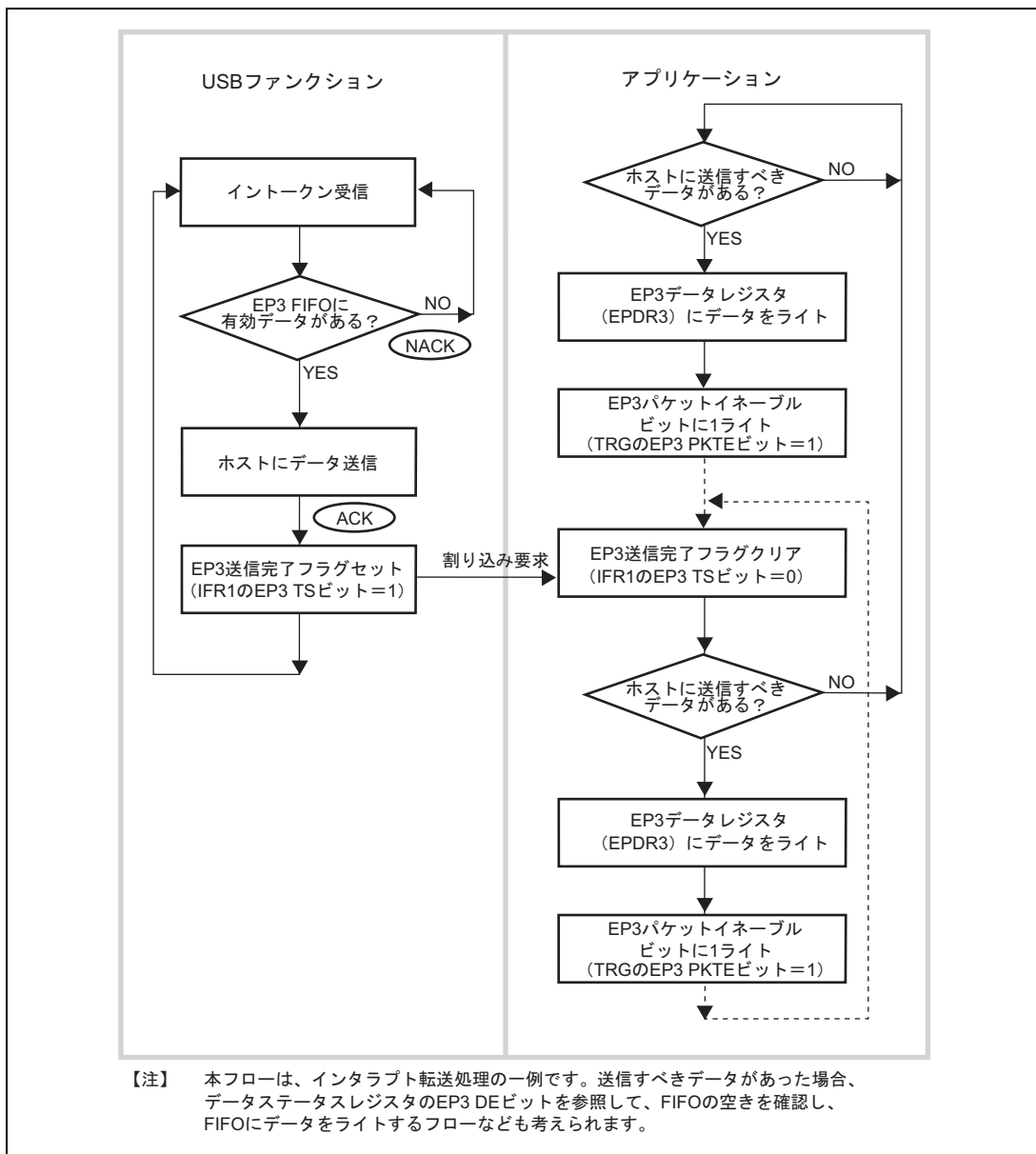


図 16.17 EP3 インタラプトイン転送の動作

16.6 USB 標準コマンドとクラス/ベンダーコマンドの処理

16.6.1 コントロール転送で送信されるコマンドの処理

コントロール転送でホストから送信されてくるコマンドによっては、アプリケーション側でデコードを行い、コマンドの処理を行う必要があります。以下の表 16.7 にアプリケーション側でのコマンドデコードについて示します。

表 16.7 アプリケーション側でのコマンドデコード

アプリケーション側でデコードの必要なし	アプリケーション側でデコードの必要あり
Clear Feature	Get Descriptor
Get Configuration	Class/Vendor コマンド
Get Interface	Set Descriptor
Get Status	Sync Frame
Set Address	
Set Configuration	
Set Feature	
Set Interface	

アプリケーション側でデコードする必要のない場合、コマンドデコード、データステージ、ステータスステージ処理は自動的に行われます。したがって、ユーザは何もする必要はありません。また、割り込みも発生しません。

アプリケーション側でデコードする必要がある場合には、本モジュールはコマンドを EP0s の FIFO に保存します。正常受信完了後、IFR0/SETUP TS フラグがセットされ、割り込み要求を発生します。この割り込みルーチンの中で EP0s のデータレジスタ (EPDR0s) より 8 バイトのデータをリードし、ファームウェアでデコードしてください。その後、デコードの結果により、必要となるデータステージ、ステータスステージの処理を行ってください。

16.7 ストール動作

16.7.1 概要

本モジュールでのストール動作について説明します。本モジュールのストール機能には、次の2つの場合があります。

- アプリケーションが何らかの理由で強制的にエンドポイントをストールさせる場合
- USBの規格違反によって本モジュール内部で自動的にストールする場合

本モジュール内には、各エンドポイントの状態（ストールか否か）を保持した内部状態ビットを持っています。ホストからトランザクションが送られてきたとき、本モジュールはこの内部状態ビットを参照してホストにストールを返すかどうか判断します。このビットは、アプリケーションでは解除できません。解除する場合はホストから Clear Feature コマンドを使ってクリアしてください。

ただし、EP0 に対する内部状態ビットはセットアップコマンド受信時のみ自動クリアされます。

16.7.2 アプリケーションが強制的にストールさせたい場合

アプリケーションが本モジュールに対してストール要求するレジスタ EPSTL を使用します。アプリケーションが特定のエンドポイントをストールさせたい場合、EPSTL の該当ビットをセットします（図 16.18 の 1-1）。このとき、内部状態ビットは変化しません。次に、ホストから EPSTL の該当ビットがセットされているエンドポイントに対してトランザクションが送られてきたとき、本モジュールは内部状態ビットを参照し、セットされていない場合は EPSTL の該当ビットを参照します（図 16.18 の 1-2）。ここで、EPSTL の該当ビットがセットされている場合は、本モジュールは内部状態ビットをセットし、ホストに対してストールハンドシェイクを返します（図 16.18 の 1-3）。EPSTL の該当ビットがセットされていない場合は、内部状態ビットは変化せず、トランザクションが受け付けられます。

一度、内部状態ビットがセットされたあとは、EPSTL に関係なく、ホストから Clear Feature コマンドでクリアされるまで内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされても（図 16.18 の 3-1）、EPSTL のビットがセットされている間は、該当エンドポイントに対するトランザクションが行われるたびに内部状態ビットがセットされるため、本モジュールはストールハンドシェイクを返します（図 16.18 の 1-2）。したがって、ストールを解除するためには、EPSTL の該当ビットをアプリケーションでクリアし、さらに Clear Feature コマンドで内部状態ビットをクリアする必要があります（図 16.18 の 2-1、2-2、2-3）。

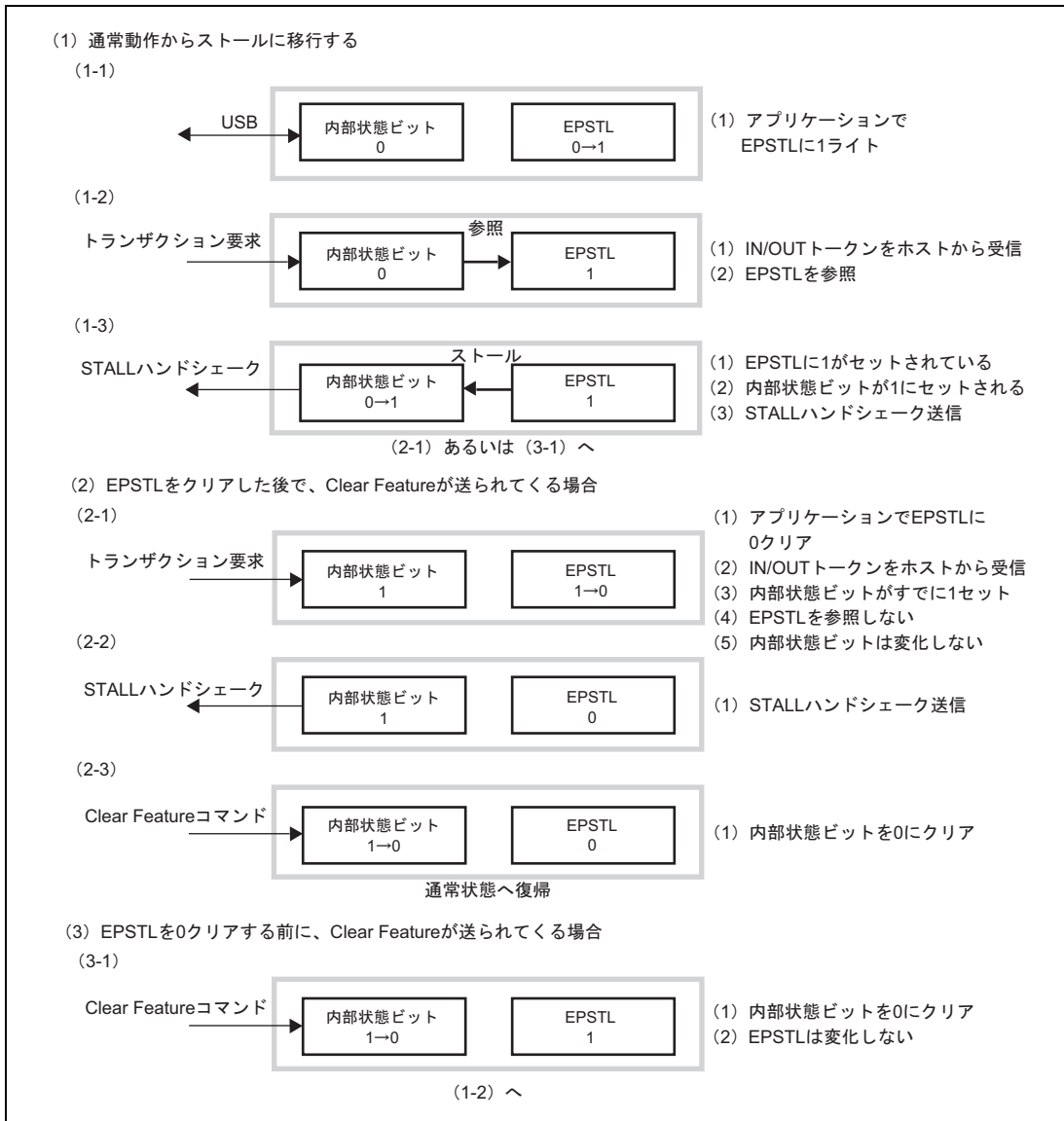


図 16.18 アプリケーションで強制的にストールさせたい場合

16.7.3 USB ファンクションモジュールが自動的にストールさせる場合

Set Feature コマンドでストール設定した場合、あるいはUSBの規格違反があった場合は、EPSTLに関係なく本モジュールが自動的に該当エンドポイントの内部状態ビットをセットし、ストールハンドシェークを返します(図 16.19 の 1-1)。

一度、内部状態ビットがセットされたあとは、EPSTLに関係なく、ホストから Clear Feature コマンドでクリアされるまで、内部状態ビットは保持されます。Clear Feature コマンドで該当ビットがクリアされたあとは、EPSTLを参照するようになります(図 16.19 の 3-1)。内部状態ビットがセットされている間は、該当エンドポイントに対するトランザクションが行われても、内部状態ビットがセットされているため、本モジュールはストールハンドシェークを返します(図 16.19 の 2-1、2-2)。したがって、ストールを解除するには、Clear Feature コマンドで内部状態ビットをクリアする必要があります(図 16.19 の 3-1)。もし、アプリケーションによってEPSTLをセットしている場合は、EPSTLもクリアしてください(図 16.19 の 2-1)。

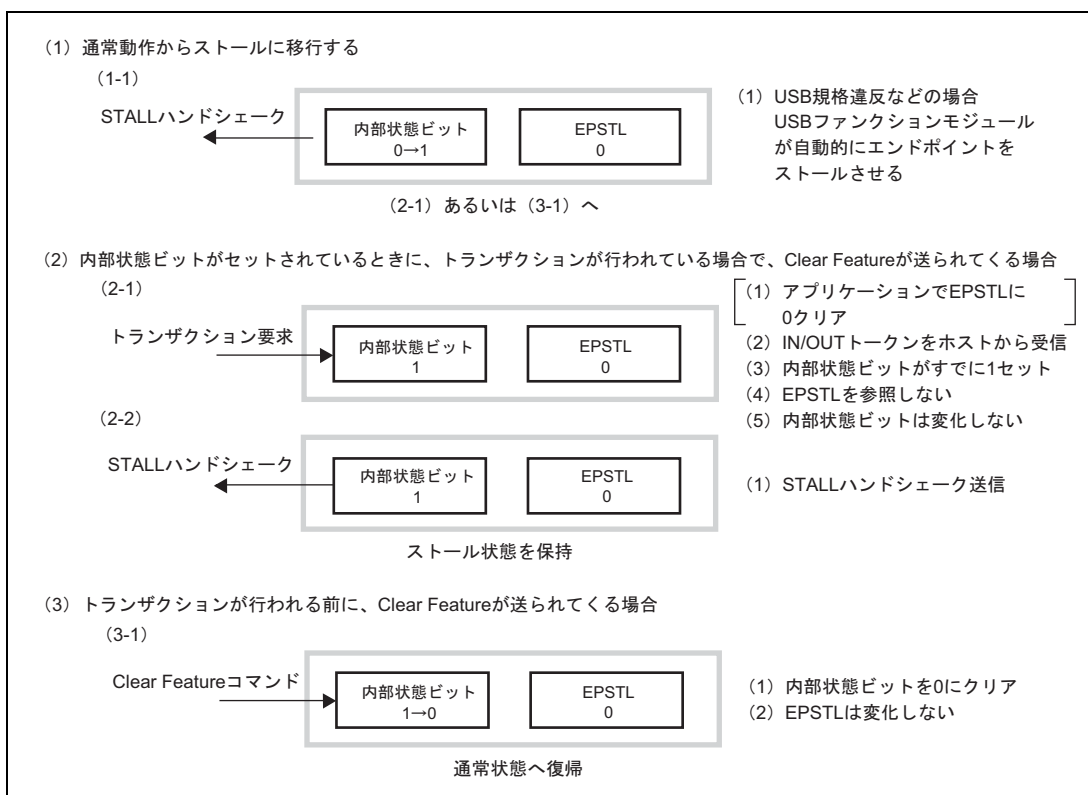


図 16.19 USB ファンクションモジュールが自動的にストールさせた場合

16.8 DMA 転送動作

16.8.1 概要

本モジュールは、エンドポイント 1 およびエンドポイント 2 に対し DMAC 転送を行うことが可能です。ただしワードやロングワード転送はできません。エンドポイント 1 に有効な受信データが 1 バイトでもある場合、エンドポイント 1 に対する DMA 転送要求が発生します。またエンドポイント 2 に有効なデータがない場合、エンドポイント 2 に対する DMA 転送要求が発生します。

なお、DMA 転送設定レジスタの EPI DMAE ビットに 1 をセットし DMA 転送を許可すると、エンドポイント 1 に対する 0 レングスデータの受信を無視します。また、DMA 転送を設定した場合、EPI の TRG の RDFN ビット、および EP2 の TRG の PKTE ビットは 1 ライトする必要はありません（ただし、最大バイト数未満の時は TRG の PKTE ビットを 1 ライトする必要があります）。EPI に関しては、受信したデータをすべてリードし終わると自動的に FIFO を EMPTY にします。EP2 に関しては、FIFO にライトできる最大バイト数（64 バイト）のライトが行われるとその FIFO は自動的に FULL になり、FIFO 内のデータは送信可能になります（図 16.20、16.21 を参照）。

16.8.2 エンドポイント 1 に対する DMA 転送

EPI の受信データを DMA 転送で転送する場合、現在選択されている面のデータ FIFO が EMPTY になると自動的に TRG の RDFN ビットに 1 ライトすることと同じ処理がモジュール内部で行われます。よって、1 面分のデータをリードした後に EPI RDFN ビットに 1 ライトしないでください。TRG の RDFN ビットに 1 ライトを行った場合の動作保証はできません。

例として、150 バイトのデータをホストから受信する場合を考えます。この場合、図 16.20 の 3 箇所自動的に TRG の RDFN ビットへ 1 ライトすることと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが EMPTY になったとき行われるため、64 バイトのデータを転送したときでもそれ以下のデータを転送したときでも、同じように自動で処理されます。

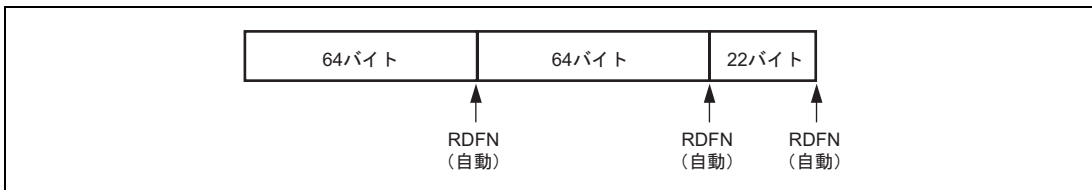


図 16.20 EP1 の RDFN 操作

16.8.3 エンドポイント 2 に対する DMA 転送

EP2 の送信データを DMA 転送で転送する場合、1 面分のデータ FIFO (64 バイト) が FULL になると、自動的に TRG の PKTE ビットに 1 ライトすることと同じ処理がモジュール内部で行われます。したがって、転送するデータが 64 バイトの倍数の場合は、TRG の PKTE ビットに 1 ライトする処理は必要ありません。

ただし、64 バイトに満たないデータの場合は、TRG の PKTE ビットに 1 ライトを行う必要があります。この処理は、DMAC の DMA 転送終了割り込みで行ってください。最大バイト数 (64 バイト) の転送で TRG の PKTE ビットに 1 ライトを行った場合は動作保証できません。

例として、150 バイトのデータをホストに送信する場合を考えます。この場合、下図の 2 箇所ですべて自動的に TRG の PKTE ビットに 1 ライトすることと同じ処理が内部的に行われます。この処理は、現在選択されているデータ FIFO のデータが FULL になったとき行われるため、64 バイトのデータを転送したときのみ自動で処理されます。

次に最後の 22 バイトを転送完了したとき、自動的に TRG の PKTE ビットに 1 ライトすることは行われなため、ソフトで TRG の PKTE ビットに 1 ライトを行ってください。また、アプリケーション側にはすでに転送するデータはありませんが、本モジュールは FIFO に空きがある限り EP2 に対する DMA 転送要求を出力します。したがって、すべてのデータを DMA で転送完了した場合、DMA の EP2DMAE ビットに 0 ライトを行って、EP2 に対する DMA 転送要求を取りさげてください。

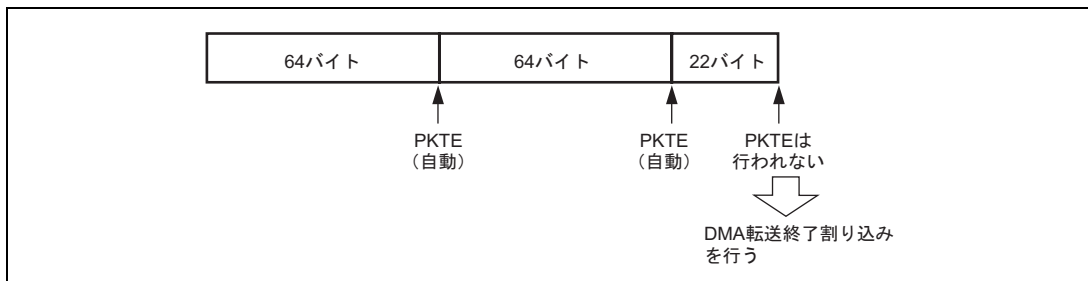


図 16.21 EP2 の PKTE ビット操作

16.9 USB 外部回路例

1. USBトランシーバに関して

本モジュールは、内蔵トランシーバのみサポートしています。外部トランシーバは使用できませんので、ご注意ください。

2. D+のプルアップ制御

汎用出力ポート (PM4) をD+のプルアップ制御用端子として使用します。USBケーブルVBUS接続時にDMAのPULLUP_Eビットにより、PM4端子を、Highにすることができます。

これにより、USBホスト/ハブへの接続通知 (D+プルアップ) を行います。

3. USBケーブル接続/切断の検出

本モジュールはハードウェアにてUSBのステートなどを管理しているため、接続/切断を認識するVBUS信号が必要となります。VBUSはUSBケーブル内の電源信号 (VBUS) を用いますが、ファンクション (本LSI搭載システム) が電源OFF時、USBホスト/ハブにケーブルが接続されると、USBホスト/ハブから電圧 (5V) が印加されてしまいます。そのため、システム電源OFF時に電圧印加が可能なIC (HD74LV1G08A、2G08Aなど) を外部に搭載してください。

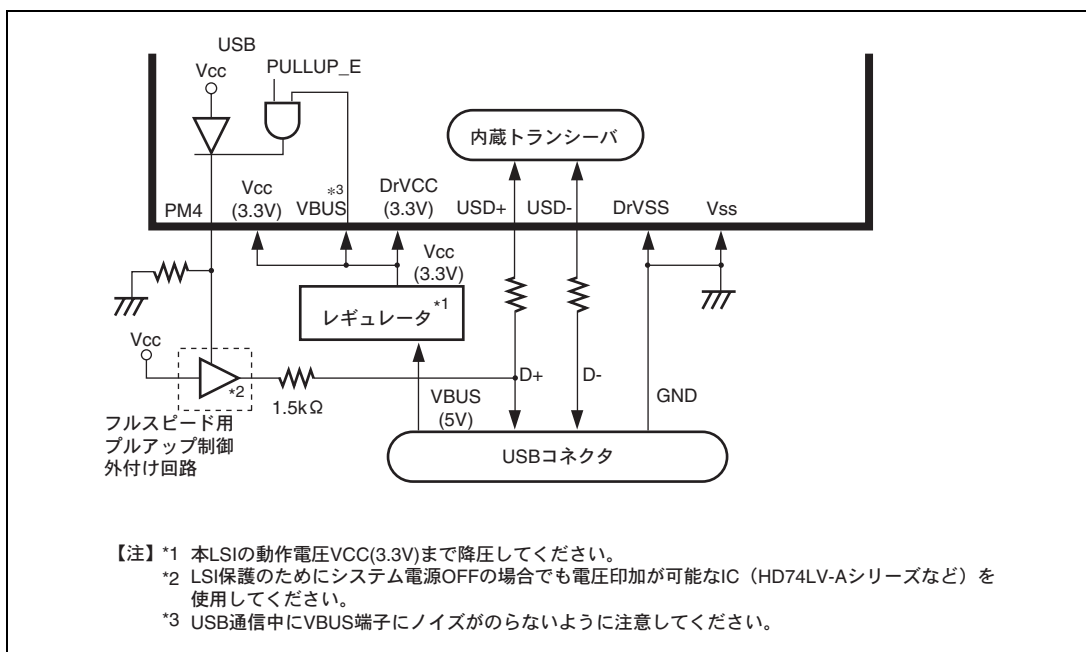


図 16.22 バスパワーモード時の回路例

16. USB ファンクションモジュール (USB)

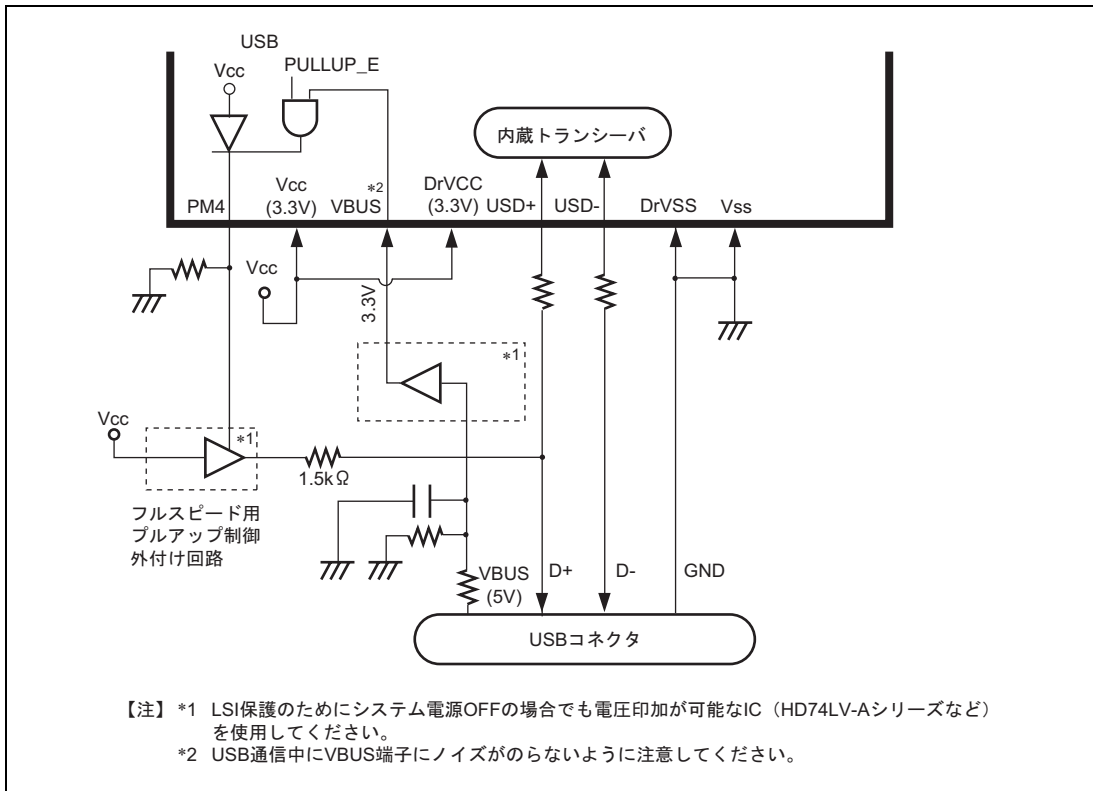


図 16.23 セルフパワーモード時の回路例

16.10 使用上の注意事項

16.10.1 セットアップデータ受信について

8 バイトのセットアップデータ受信を行なう EPDR0s は以下の点に注意してください。

1. USBではセットアップコマンドを必ず受信することになっているため、CPU側からのリードよりも、USBバス側からのライトが優先になっています。受信完了後にCPUでデータリードを行っている最中に、次のセットアップコマンドの受信が開始された場合、ライト優先にするためCPU側からのリードを強制的に無効にします。したがって、受信開始後リードされる値は不定値になります。
2. EPDR0sは必ず8バイト単位でリードしてください。途中でリードを中止すると次のセットアップで受信したデータが正常にリードできません。

16.10.2 FIFO のクリアについて

USB ケーブル接続後、通信途中で抜かれた場合、受信中あるいは送信中のデータが FIFO 内に残っている場合があります。したがって、ケーブル接続後は、すみやかに FIFO のクリアを行ってください。

なお、ホストからデータ受信あるいはホストに対してデータ送信中の FIFO クリアは行わないでください。

16.10.3 データレジスタのオーバーリード/ライトについて

本モジュールのデータレジスタをリード/ライトする際、以下の点に注意してください。

(1) 受信用データレジスタ

受信用データレジスタは、有効な受信データ数以上リードしないでください。すなわち、受信データサイズレジスタに示されるバイト数以上リードしないでください。2面 FIFO を持つ EPDR1 の場合も 1 回にリードできる最大データ数は 64 バイトです。現在有効になっている面のデータをリード終了したら、必ず TRG/EP1RDFN に 1 ライトを行ってください。この操作を行うことで、他方の面に切り替わり、新しいバイト数が受信データに反映され、次のデータがリード可能になります。

(2) 送信用データレジスタ

送信用データレジスタは、最大パケットサイズ以上ライトしないでください。2面 FIFO を持つ EPDR2 の場合も、1 回のライトは必ず最大パケットサイズ以内にしてください。データライト後、TRG/PKTE に 1 ライトを行うと本ジュール内で面が切り替わり、他方の面に対する次のデータがライト可能になります。したがって、2 面分連続でデータライトは行わないでください。

16.10.4 EP0 に関する割り込み要因の割り当てについて

本モジュールの IFR0 に割り当てられた EP0 に関する割り込み要因 (ビット 0~3) は、必ず ISR0 で同じ割り込み端子に割り当ててください。その他の割り込み要因には特に制約はありません。

16. USB ファンクションモジュール (USB)

16.10.5 DMA 転送設定時の FIFO クリアについて

エンドポイント 1 において、DMA 転送をイネーブルにしているとき (DMAR/EPI DMAE=1) は、エンドポイント 1 データレジスタ (EPDR1) のクリアはできません。クリアを行う場合は、DMA 転送を解除してから行ってください。

16.10.6 TR 割り込み使用時の注意事項

EP0i/EP2/EP3 のイン転送には転送要求割り込み (TR 割り込み) がありますが、本割り込みを使用するときは次の点に注意してください。

TR 割り込みフラグは、USB ホストから IN トークンが送られてきたとき、該当エンドポイントの FIFO にデータがないときにセットされます。しかし、図 16.24 に示すタイミングの場合、連続して TR 割り込みが発生します。このような場合でも誤動作しないようにしてください。

【注】 本モジュールは IN トークン受信時、該当 EP の FIFO にデータがない場合に NACK 判定を行います。TR 割り込みフラグは NACK ハンドシェイク送信後にセットされます。したがって、TRG/PKTE のライトが次の IN トークンより遅れた場合、TR 割り込みフラグが再度セットされます。

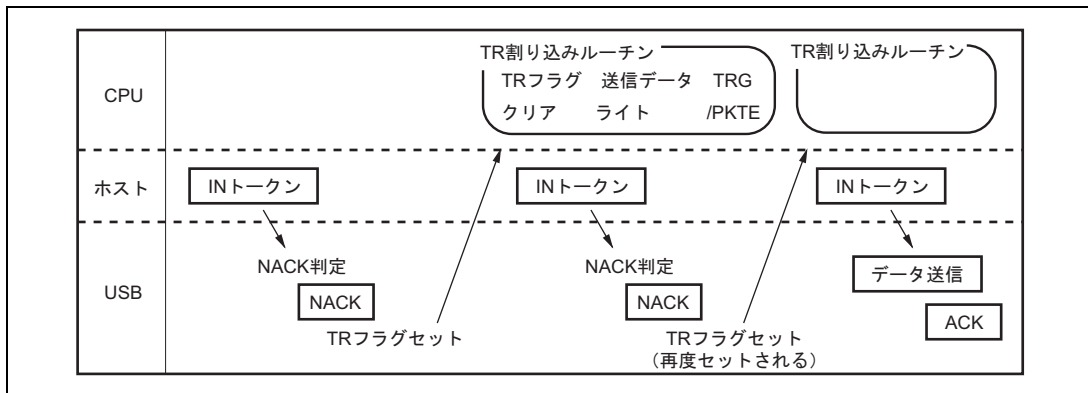


図 16.24 TR 割り込みフラグのセットタイミング

16.10.7 周辺モジュールクロック (Pφ) の動作周波数の制約について

USB の場合周辺モジュールクロック (Pφ) は 14MHz 以上になるように設定してください。USB 専用クロック (cku) が 48MHz となるためには周辺モジュールクロック (Pφ) の設定は以下のようになります (表 16.8) 。それ以外の周波数では、動作は保証できません。

表 16.8 USB 接続時の周辺モジュールクロック (Pφ) の選択

MD_CLK	EXTAL 入力クロック周波数	USB 専用クロック (cku:48MHz)	Pφ
0	12MHz	EXTAL×4	EXTAL×2 (24MHz)
1	16MHz	EXTAL×3	EXTAL×1 (16MHz)
			EXTAL×2 (32MHz)

17. I²C バスインタフェース 2 (IIC2)

本 LSI は、2 チャンネルの I²C バスインタフェースを内蔵しています。

I²C バスインタフェースは、フィリップス社が提唱する I²C バス (Inter IC Bus) インタフェース方式に準拠しており、サブセット機能を備えています。ただし I²C バスを制御するレジスタの構成が一部フィリップス社と異なりますので注意してください。

I²C バスインタフェース 2 のブロック図を図 17.1 に、入出力端子の外部回路接続例を図 17.2 に示します。

17.1 特長

- 連続送信／受信可能

シフトレジスタ、送信データレジスタ、受信データレジスタがそれぞれ独立しているため、連続送信／受信が可能

- マスタモードでは開始条件、停止条件の自動生成
- 受信時、アクノリッジの出力レベルを選択可能
- 送信時、アクノリッジビットを自動ロード
- ビット同期／ウェイト機能内蔵

マスタモードではビットごとに SCL の状態をモニタして自動的に同期を取ります。転送準備ができていない場合には、SCL をローレベルにして待機させます。

- 割り込み要因：6 種類

送信データエンプティ (スレーブアドレス一致時を含む)、送信完了、受信データフル (スレーブアドレス一致時を含む)、アービトレーションロスト、NACK 検出時、停止条件検出時

- バスを直接駆動可能

SCL、SDA の各端子は、NMOS オープンドレイン出力

17. I²C バスインタフェース 2 (IIC2)

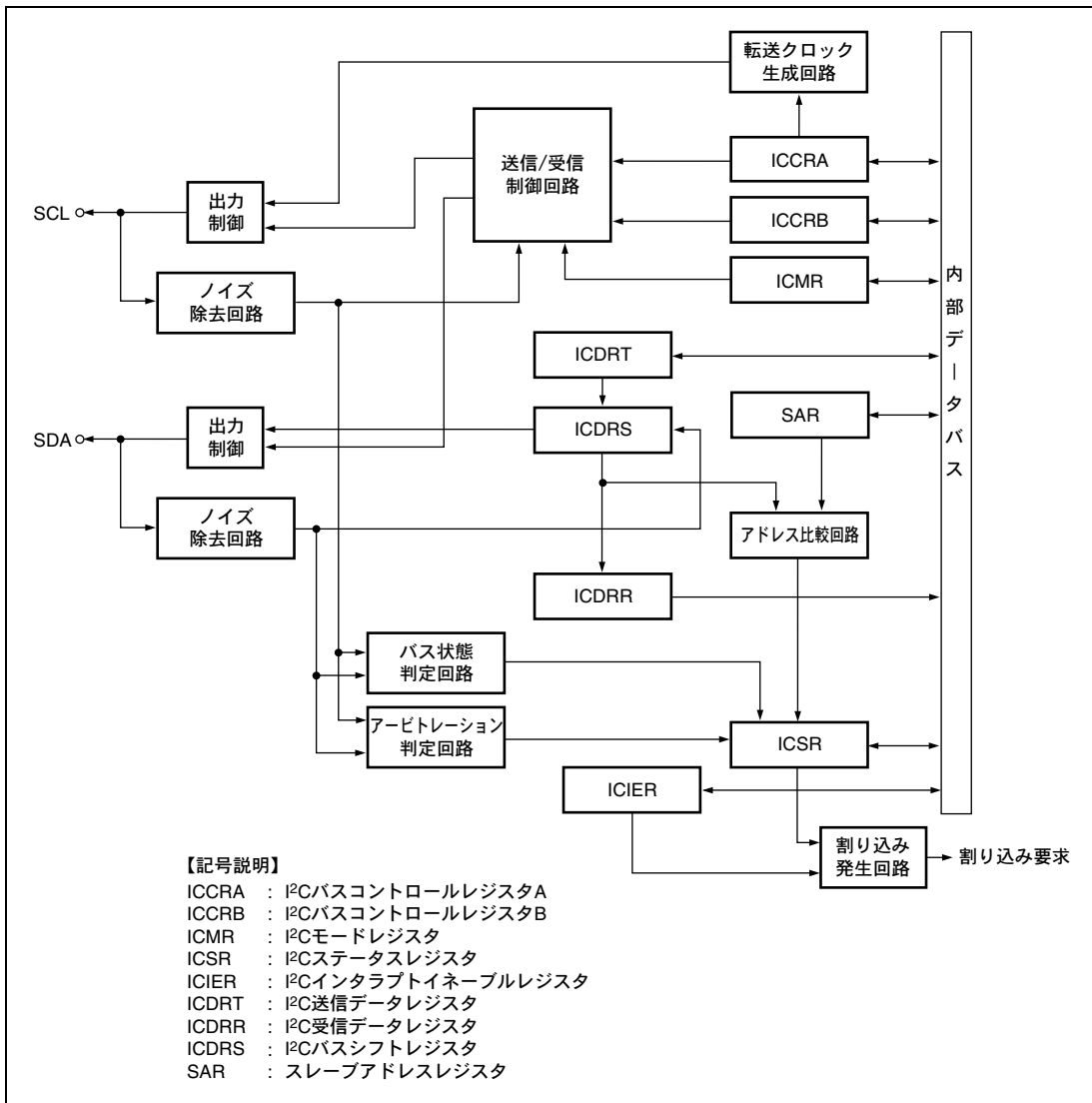


図 17.1 I²C バスインタフェース 2 のブロック図

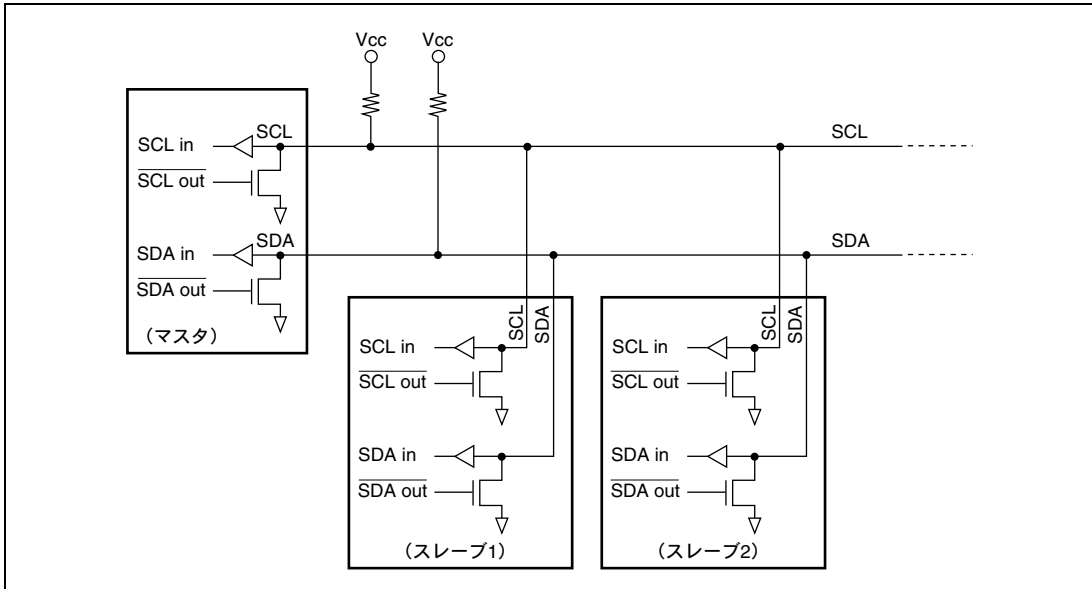


図 17.2 入出力端子の外部回路接続例

17.2 入出力端子

I²C バスインタフェース 2 で使用する端子構成を表 17.1 に示します。

表 17.1 端子構成

チャンネル	記号	入出力	機能
0	SCL0	入出力	チャンネル 0 のシリアルクロック入出力端子
	SDA0	入出力	チャンネル 0 のシリアルデータ入出力端子
1	SCL1	入出力	チャンネル 1 のシリアルクロック入出力端子
	SDA1	入出力	チャンネル 1 のシリアルデータ入出力端子

【注】本文中では、チャンネルを省略し、それぞれ SCL、SDA と略称します。

17.3 レジスタの説明

I²C には以下のレジスタがあります。

チャンネル 0

- I²C バスコントロールレジスタ A₀ (ICCRA_0)
- I²C バスコントロールレジスタ B₀ (ICCRB_0)
- I²C バスモードレジスタ (ICMR_0)
- I²C バスインタラプトイネーブルレジスタ₀ (ICIER_0)
- I²C バスステータスレジスタ₀ (ICSR_0)

17. I²C バスインタフェース 2 (IIC2)

- スレープアドレスレジスタ_0 (SAR_0)
- I²Cバス送信データレジスタ_0 (ICDRT_0)
- I²Cバス受信データレジスタ_0 (ICDRR_0)
- I²Cバスシフトレジスタ_0 (ICDRS_0)

チャンネル 1

- I²CバスコントロールレジスタA_1 (ICCRA_1)
- I²CバスコントロールレジスタB_1 (ICCRB_1)
- I²Cバスモードレジスタ_1 (ICMR_1)
- I²Cバスインタラプトイネーブルレジスタ_1 (ICIER_1)
- I²Cバスステータスレジスタ_1 (ICSR_1)
- スレープアドレスレジスタ_1 (SAR_1)
- I²Cバス送信データレジスタ_1 (ICDRT_1)
- I²Cバス受信データレジスタ_1 (ICDRR_1)
- I²Cバスシフトレジスタ_1 (ICDRS_1)

17.3.1 I²C バスコントロールレジスタ A (ICCRA)

ICCRA は、I²C バスインタフェースの動作/停止、送信/受信制御、マスタモード/スレープモード、送信/受信、マスタモード転送クロック周波数の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	ICE	0	R/W	I ² C バスインタフェースイネーブル 0: 本モジュールは機能停止状態 (SCL/SDA 端子はポート機能) 1: 本モジュールは転送動作可能状態 (SCL/SDA はバス駆動状態)
6	RCVD	0	R/W	受信ディスエーブル TRS=0 の状態で ICDRR をリードしたときに次の動作の継続/禁止を設定します。 0: 次の受信動作を継続 1: 次の受信動作を禁止

ビット	ビット名	初期値	R/W	説明
5	MST	0	R/W	マスタ/スレーブ選択 送信/受信選択 マスタモードでバス競合負けをすると、MST、TRS ともにハードウェアによってリセットされてスレーブ受信モードに変わります。なお TRS の変更は転送フレーム間で行ってください。また、スレーブ受信モードで開始条件後の 7 ビットが SAR に設定したスレーブアドレスと一致し、8 ビット目が 1 の場合、TRS が自動的に 1 にセットされます。 MST と TRS との組み合わせにより、以下の動作モードになります。 00 : スレーブ受信モード 01 : スレーブ送信モード 10 : マスタ受信モード 11 : マスタ送信モード
4	TRS	0	R/W	
3	CKS3	0	R/W	転送クロック選択 3~0 マスタモードのときのみ有効です。必要な転送レートに合わせて設定してください。転送レートについては、表 17.2 を参照してください。
2	CKS2	0	R/W	
1	CKS1	0	R/W	
0	CKS0	0	R/W	

表 17.2 転送レート

ビット3	ビット2	ビット1	ビット0	クロック	転送レート					
					Pφ = 8MHz	Pφ = 10MHz	Pφ = 20MHz	Pφ = 25MHz	Pφ = 33MHz	Pφ = 35MHz
0	0	0	0	Pφ/28	286kHz	357kHz	714kHz	893kHz	1179kHz	1250kHz
			1	Pφ/40	200kHz	250kHz	500kHz	625kHz	825kHz	875kHz
		1	0	Pφ/48	167kHz	208kHz	417kHz	521kHz	688kHz	729kHz
			1	Pφ/64	125kHz	156kHz	313kHz	391kHz	516kHz	546kHz
	1	0	0	Pφ/168	47.6kHz	59.5kHz	119kHz	149kHz	196kHz	208kHz
			1	Pφ/100	80.0kHz	100kHz	200kHz	250kHz	330kHz	350kHz
		1	0	Pφ/112	71.4kHz	89.3kHz	179kHz	223kHz	295kHz	312kHz
			1	Pφ/128	62.5kHz	78.1kHz	156kHz	195kHz	258kHz	273kHz
1	0	0	0	Pφ/56	143kHz	179kHz	357kHz	446kHz	589kHz	625kHz
			1	Pφ/80	100kHz	125kHz	250kHz	313kHz	413kHz	437kHz
		1	0	Pφ/96	83.3kHz	104kHz	208kHz	260kHz	344kHz	364kHz
			1	Pφ/128	62.5kHz	78.1kHz	156kHz	195kHz	258kHz	273kHz
	1	0	0	Pφ/336	23.8kHz	29.8kHz	59.5kHz	74.4kHz	98.2kHz	104kHz
			1	Pφ/200	40.0kHz	50.0kHz	100kHz	125kHz	165kHz	175kHz
		1	0	Pφ/224	35.7kHz	44.6kHz	89.3kHz	112kHz	147kHz	156kHz
			1	Pφ/256	31.3kHz	39.1kHz	78.1kHz	97.7kHz	129kHz	136kHz

17. I²C バスインタフェース 2 (IIC2)

17.3.2 I²C バスコントロールレジスタ B (ICCRB)

ICCRB は、開始/停止条件発行、SDA 端子の操作、SCL 端子のモニタ、I²C のコントロール部のリセットを制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—
初期値:	0	1	1	1	1	1	0	1
R/W:	R/W	R/W	R	R/W	R	—	R/W	—

ビット	ビット名	初期値	R/W	説明
7	BBSY	0	R/W	バスビジー I ² C バスの占有/開放状態を示すフラグ機能とマスタモードの開始/停止条件発行機能の 2 つがあります。SCL=ハイレベルの状態、SDA がハイレベルからローレベルに変化すると、開始条件が発行されたと認識して 1 にセットされます。SCL=ハイレベルの状態、SDA がローレベルからハイレベルに変化すると、停止条件が発行されたと認識して 0 にクリアされます。開始条件を発行する場合は BBSY に 1、SCP に 0 をライトします。開始条件再送時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトすることで行います。なお開始条件/停止条件の発行は、MOV 命令を用いてください。
6	SCP	1	R/W	開始/停止条件発行禁止ビット SCP ビットはマスタモードで開始条件/停止条件の発行を制御します。開始条件を発行する場合、BBSY に 1、SCP に 0 をライトします。開始条件の再送信時と同様に行います。停止条件の発行は BBSY に 0、SCP に 0 をライトします。本ビットはリードすると常に 1 が読み出されます。1 をライトしてもデータは格納されません。
5	SDAO	1	R	SDAO は SDA の出力レベルをモニタします。リード時に SDAO が 1 の場合 SDA 端子出力はハイレベル、SDAO が 0 の場合 SDA 端子出力はローレベルとなります。
4	—	1	R/W	リザーブビット ライトするときは必ず 1 をライトしてください。
3	SCLO	1	R	SCLO は SCL の出力レベルをモニタします。リード時に SCLO が 1 の場合 SCL 端子出力はハイレベル、SCLO が 0 の場合 SCL 端子出力はローレベルとなります。
2	—	1	—	リザーブビット リードすると常に 1 が読み出されます。
1	IICRST	0	R/W	IIC コントロール部リセット IICRST は I ² C のレジスタを除くコントロール部をリセットします。I ² C の動作中に通信不具合等によりハングアップしたとき、IICRST ビットを 1 にセットするとポートの設定、レジスタの初期化をせずに I ² C のコントロール部をリセットすることができます。
0	—	1	—	リザーブビット リードすると常に 1 が読み出されます。

17.3.3 I²C バスモードレジスタ (ICMR)

ICMR は、マスタモードウェイトの制御、転送ビット数の選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	WAIT	—	—	BCWP	BC2	BC1	BC0
初期値 :	0	0	1	1	1	0	0	0
R/W :	R/W	R/W	—	—	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット ライトするときは必ず 0 をライトしてください。
6	WAIT	0	R/W	ウェイト挿入ビット WAIT はマスタモード時に、アクノリッジを除いたデータ転送後にウェイト状態にするかどうかを設定します。WAIT に 1 を設定した場合、データの最終ビットのクロックが立ち下がった後、2 転送クロック分ロー期間を延ばします。WAIT が 0 の場合、ウェイトは挿入されず、データとアクノリッジを連続して転送します。 なおスレーブモードの場合、本ビットの設定値は無効です。
5	—	1	—	リザーブビット
4	—	1	—	リードすると常に 1 が読み出されます。
3	BCWP	1	R/W	BC ライトプロテクト BC2~BC0 の書き込みを制御します。BC2~BC0 を書き換える場合は、本ビットを 0 にして MOV 命令で行います。 0 : ライト時、BC2~BC0 の値を設定 1 : リード時、常に 1 をリード ライト時、BC2~BC0 設定値は無効
2	BC2	0	R/W	ビットカウンタ 2~0 次に転送するデータのビット数を指定します。リードすると残りの転送ビット数を知ることができます。データにアクノリッジ 1 ビットが加算されて転送されます。設定は転送フレーム間で行ってください。また、000 以外の値を設定する場合は、SCL がロー状態で行ってください。これらのビットはアクノリッジを含むデータ転送終了後、自動的に 000 に戻ります。 000 : 9 ビット 001 : 2 ビット 010 : 3 ビット 011 : 4 ビット 100 : 5 ビット 101 : 6 ビット 110 : 7 ビット 111 : 8 ビット
1	BC1	0	R/W	
0	BC0	0	R/W	

17. I²C バスインタフェース 2 (IIC2)

17.3.4 I²C バスインタラプトイネーブルレジスタ (ICIER)

ICIER は、各種割り込み要因の許可、アクノリッジの有効/無効の選択、送信アクノリッジの設定および受信アクノリッジの確認を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット	ビット名	初期値	R/W	説明
7	TIE	0	R/W	<p>トランスミットインタラプトイネーブル</p> <p>ICSR の TDRE がセットされたとき、送信データエンプティ割り込み (TXI) を許可/禁止します。</p> <p>0: 送信データエンプティ割り込み要求 (TXI) の禁止 1: 送信データエンプティ割り込み要求 (TXI) の許可</p>
6	TEIE	0	R/W	<p>トランスミットエンドインタラプトイネーブル</p> <p>TEIE は、ICSR の TDRE が 1 の状態で 9 クロック目が立ち上がったとき、送信終了割り込み (TEI) の許可/禁止を選択します。なお TEI は、TEND を 0 にクリアするか、TEIE を 0 にクリアすることで解除できます。</p> <p>0: 送信終了割り込み要求 (TEI) の禁止 1: 送信終了割り込み要求 (TEI) の許可</p>
5	RIE	0	R/W	<p>レシーブインタラプトイネーブル</p> <p>RIE は受信データが ICDRS から ICDRR に転送され、ICSR の RDRF が 1 にセットされたとき、受信データフル割り込み要求 (RXI) の許可/禁止を選択します。なお RXI は、RDRF を 0 にクリアするか、または RIE を 0 にクリアすることで解除できます。</p> <p>0: 受信データフル割り込み要求 (RXI) の禁止 1: 受信データフル割り込み要求 (RXI) の許可</p>
4	NAKIE	0	R/W	<p>NACK 受信インタラプトイネーブル</p> <p>NAKIE は、ICSR の NACKF および AL がセットされたとき、NACK 受信割り込み要求 (NAKI) の許可/禁止を選択します。なお NAKI は、NACKF または AL を 0 にクリアするか、または NAKIE を 0 にクリアすることで解除できます。</p> <p>0: NACK 受信割り込み要求 (NAKI) の禁止 1: NACK 受信割り込み要求 (NAKI) の許可</p>
3	STIE	0	R/W	<p>停止条件検出インタラプトイネーブル</p> <p>0: 停止条件検出割り込み要求 (STPI) の禁止 1: 停止条件検出割り込み要求 (STPI) の許可</p>
2	ACKE	0	R/W	<p>アクノリッジビット判定選択</p> <p>0: 受信アクノリッジの内容を無視して連続的に転送を行う。 1: 受信アクノリッジが 1 の場合、転送を中断する。</p>

ビット	ビット名	初期値	R/W	説明
1	ACKBR	0	R	受信アクリッジ 送信モード時、受信デバイスから受け取ったアクリッジビットの内容を格納しておくビットです。ライトは無効です。 0: 受信アクリッジ=0 1: 受信アクリッジ=1
0	ACKBT	0	R/W	送信アクリッジ 受信モード時、アクリッジのタイミングで送出するビットを設定します。 0: アクリッジのタイミングで0を送出 1: アクリッジのタイミングで1を送出

17.3.5 I²C バスステータスレジスタ (ICSR)

ICSR は、各種割り込み要求フラグおよびステータスの確認を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TDRE	0	R/W	トランスミットデータエンプティ [セット条件] • ICDRT から ICDRS にデータ転送が行われ、ICDRT がエンプティになったとき • TRS をセットしたとき • 開始条件（再送含む）を発行したとき • スレープモードで受信モードから送信モードになったとき [クリア条件] • 1の状態をリードした後、0をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • ICDRT ヘデータをライトしたとき
6	TEND	0	R/W	トランスミットエンド [セット条件] • TDRE が 1 の状態で SCL の 9 クロック目が立ち上がったとき [クリア条件] • 1の状態をリードした後、0をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • ICDRT ヘデータをライトしたとき

17. I²C バスインタフェース 2 (IIC2)

ビット	ビット名	初期値	R/W	説明
5	RDRF	0	R/W	レシーブデータレジスタフル [セット条件] • ICDRS から ICDRR に受信データが転送されたとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • ICDRR をリードしたとき
4	NACKF	0	R/W	ノーアクノリッジ検出フラグ [セット条件] • ICIER の ACKE=1 の状態で、送信時、受信デバイスからアクノリッジがなかったとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
3	STOP	0	R/W	停止条件検出フラグ [セット条件] • フレームの転送の完了後に停止条件を検出したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
2	AL	0	R/W	アービトレーションロストフラグ AL は、マスタモード時にバス競合負けをしたことを示します。 複数のマスタがほぼ同時にバスを占有しようとしたときに I ² C バスインタフェースは SDA をモニタし、自分が出したデータと異なった場合、AL フラグを 1 にセットしてバスが他のマスタによって占有されたことを示します。 [セット条件] • マスタ送信モードの場合、SCL の立ち上がりで内部 SDA と SDA 端子のレベルが不一致のとき • マスタモードの場合、開始条件検出時、SDA 端子がハイレベルのとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

ビット	ビット名	初期値	R/W	説 明
1	AAS	0	R/W	<p>スレーブアドレス認識フラグ</p> <p>スレーブ受信モードで開始条件直後の第1フレームが SAR の SVA6~SVA0 と一致した場合にセットされます。</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードでスレーブアドレスを検出したとき スレーブ受信モードでゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)
0	ADZ	0	R/W	<p>ゼネラルコールアドレス認識フラグ</p> <p>スレーブ受信モードのとき有効</p> <p>[セット条件]</p> <ul style="list-style-type: none"> スレーブ受信モードかつゼネラルコールアドレスを検出したとき <p>[クリア条件]</p> <ul style="list-style-type: none"> 1の状態をリードした後、0をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。)

17.3.6 スレーブアドレスレジスタ (SAR)

SAR は、スレーブアドレスを設定します。スレーブモードの場合、開始条件後に送られてくる第1フレームの上位7ビットと SAR の上位7ビットが一致したとき、スレーブデバイスとして動作します。

ビット	7	6	5	4	3	2	1	0
ビット名	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	SVA6~0	0	R/W	<p>スレーブアドレス 6~0</p> <p>I²C バスにつながる他のスレーブと異なるユニークなアドレスを設定します。</p>
0	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、必ず0をライトしてください。</p>

17.3.7 I²C バス送信データレジスタ (ICDRT)

ICDRTは、送信データを格納する8ビットのリード/ライト可能なレジスタで、I²Cバスシフトレジスタ(ICDRS)の空きを検出するとICDRTに書き込まれた送信データをICDRSに転送し、データ送信を開始します。ICDRSのデータ送信中に、次に送信するデータをICDRTにライトしておくこと、連続送信が可能です。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

17.3.8 I²C バス受信データレジスタ (ICDRR)

ICDRRは、受信データを格納する8ビットのレジスタです。1バイトのデータの受信が終了すると、受信したデータをICDRSからICDRRへ転送し、次のデータを受信可能にします。なおICDRRは受信専用レジスタですので、CPUからライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	1	1	1	1	1	1	1	1
R/W:	R	R	R	R	R	R	R	R

17.3.9 I²C バスシフトレジスタ (ICDRS)

ICDRSは、データを送信/受信するためのレジスタです。送信時はICDRTから送信データがICDRSに転送され、データがSDA端子から送出されます。受信時は1バイトのデータの受信が終了すると、データがICDRSからICDRRへ転送されます。なお本レジスタはCPUから直接リード/ライトできません。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-

17.4 動作説明

17.4.1 I²C バスフォーマット

I²C バスフォーマットを図 17.3 に、I²C バスのタイミングを図 17.4 に示します。開始条件に続く第 1 フレームは必ず 8 ビット構成となります。

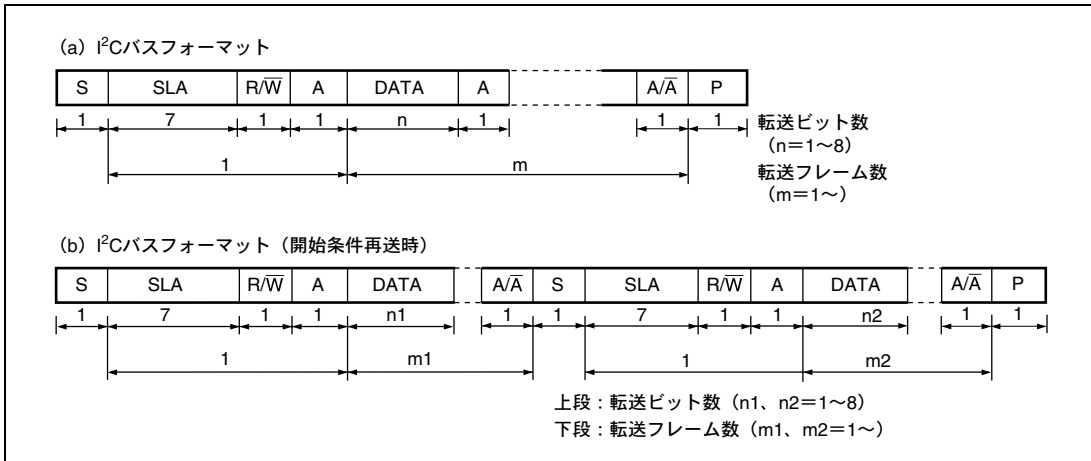


図 17.3 I²C バスフォーマット

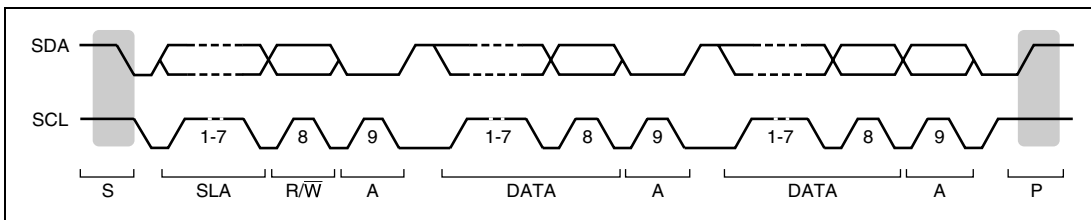


図 17.4 I²C バスタイミング

【記号の説明】

- S : 開始条件。マスタデバイスが SCL=ハイレベルの状態 で SDA をハイレベルからローレベルに変化させます。
- SLA : スレーブアドレス
- R/W : 送受信の方向を示します。1 のときスレーブデバイスからマスタデバイスへ、0 のときマスタデバイスからスレーブデバイスへデータを送信します。
- A : アクノリッジ。受信デバイスが SDA をローレベルにします。
- DATA : 送受信データ
- P : 停止条件。マスタデバイスが SCL=ハイレベルの状態 で SDA をローレベルからハイレベルに変化させます。

17.4.2 マスタ送信動作

マスタ送信モードでは、マスタデバイスが送信クロックと送信データを出力し、スレーブデバイスがアクリッジを返します。マスタ送信モードの動作タイミングについては図 17.5 と図 17.6 を参照してください。以下にマスタ送信モードの送信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。またICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。
2. ICCRBのBBSYフラグをリードしてバスが開放状態であることを確認後、ICCRAのMST、TRSをマスタ送信モードに設定します。その後、BBSY=1とSCP=0をMOV命令でライトします（開始条件発行）。これにより開始条件を生成します。
3. ICSRのTDREがセットされたことを認識した後、ICDRTに送信データ（1バイト目はスレーブアドレスとR/Wを示すデータ）をライトします。このときTDREは自動的に0にクリアされ、ICDRTからICDRSにデータが転送されて、再びTDREがセットされます。
4. TDREがセットされた状態で1バイト送信が完了し、送信クロックの9クロック目の立ち上がりでICSRのTENDがセットされます。ICIERのACKBRをリードし、スレーブデバイスが選択されたことを認識した後、2バイト目のデータをICDRTにライトします。ACKBRが1のときはスレーブデバイスが認識されていないため、停止条件を発行します。停止条件の発行はBBSY=0とSCP=0を、MOV命令でライトすることにより行います。なおデータの準備ができるまで、または停止条件を発行するまではSCLがローレベルに固定されます。
5. 2バイト目以降の送信データは、TDREがセットされるたびにICDRTにデータをライトします。
6. 送信するバイト数をICDRTにライトしたら、その後はTDREがセットされた状態でTENDがセット（最終バイト送出完了）されるまで待ちます。または、ICIERのACKEをセットした状態で受信デバイスからのNACK（ICSRのNACKF=1）を待ちます。その後、停止条件を発行してTEND、あるいはNACKFをクリアします。
7. ICSRのSTOPがセットされたらスレーブ受信モードに戻します。

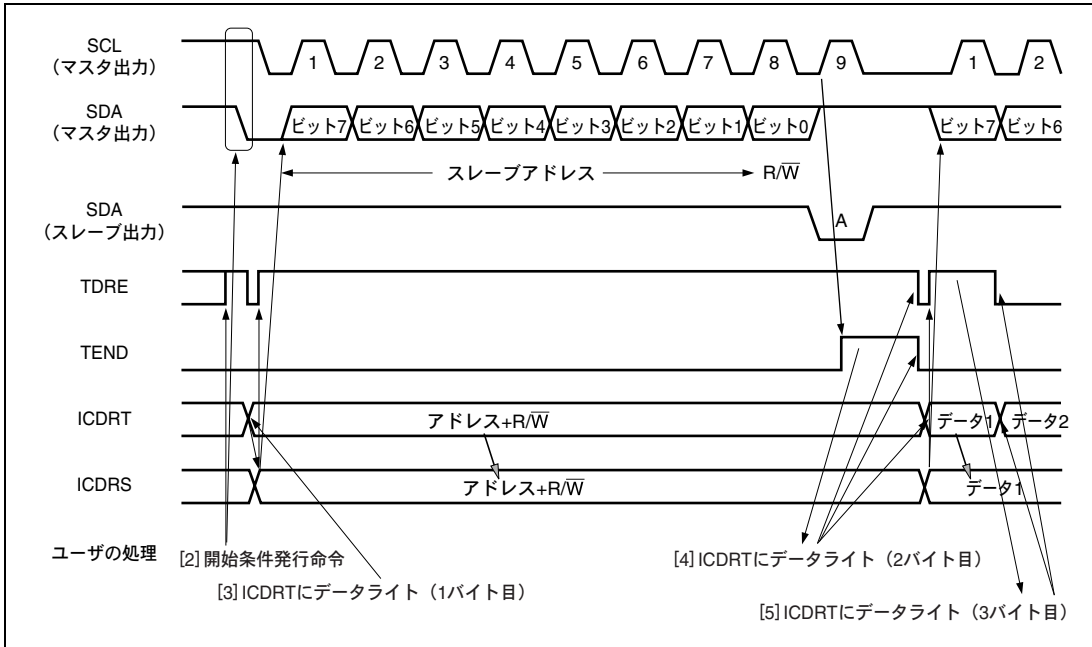


図 17.5 マスタ送信モード動作タイミング 1

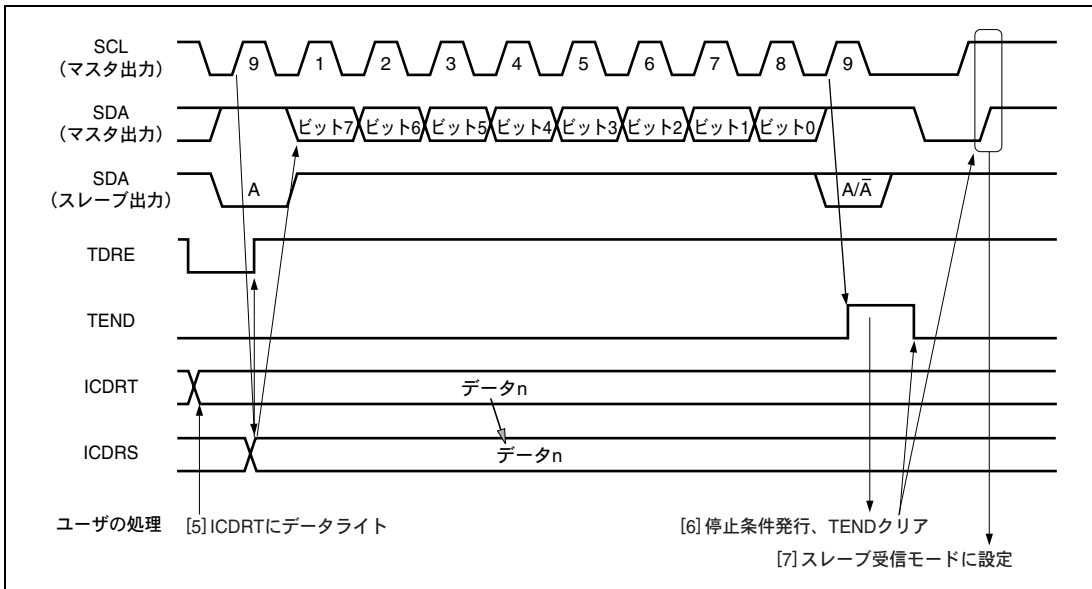


図 17.6 マスタ送信モード動作タイミング 2

17.4.3 マスタ受信動作

マスタ受信モードでは、マスタデバイスが受信クロックを出力し、スレーブデバイスからデータを受信してアクノリッジを返します。マスタ受信モードの動作タイミングについては図 17.7 と図 17.8 を参照してください。

以下にマスタ受信モードの受信手順と動作を示します。

1. ICSRのTENDをクリア後、ICCRAのTRSをクリアしてマスタ送信モードからマスタ受信モードに切り替えま
す。その後、TDREをクリアします。
2. ICDRRをダミーリードすると受信を開始し、内部クロックに同期して受信クロックを出力し、データを受信
します。マスタデバイスは受信クロックの9クロック目にICIERのACKBTに設定したレベルをSDAに出力しま
す。
3. 1フレームのデータ受信が終了し、受信クロックの9クロック目の立ち上がりでICSRのRDRFがセットされま
す。このとき、ICDRRをリードすることにより、受信したデータを読み出すことができ、同時にRDRFはク
リアされます。
4. RDRFがセットされるたびにICDRRをリードし、RDRFをクリアすることにより、連続的に受信できます。な
お別処理でRDRFがセットされた状態でICDRRのリードが遅れて8クロック目が立ち下がった場合、ICDRRを
リードするまでSCLがローレベルに固定されます。
5. 次の受信が最終フレームの場合、ICDRRをリードする前にICCRAのRCVDをセットします。これにより次の
受信後、停止条件発行可能状態になります。
6. 受信クロックの9クロック目の立ち上がりでRDRFがセットされたら、停止条件を発行します。
7. ICSRのSTOPがセットされたらICDRRをリードします。その後、RCVDをクリアします。
8. スレーブ受信モードに戻します。

17.4.4 スレーブ送信動作

スレーブ送信モードでは、スレーブデバイスが送信データを出力し、マスタデバイスが受信クロックを出力してアクノリッジを返します。スレーブ送信モードの動作タイミングについては図 17.9 と図 17.10 を参照してください。

以下にスレーブ送信モードの送信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRAのICEビットを1にセットします。また、ICMRのWAIT、ICCRAのCKS3～CKS0等を設定します（初期設定）。ICCRAのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出した後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。このとき、8ビット目のデータ (R/W) が1のとき、ICCRAのTRSおよびICSRのTDREがセットされ、自動的にスレーブ送信モードに切り替わります。TDREがセットされるたびにICDRTに送信データをライトすると、連続送信が可能です。
3. 最終送信データをICDRTにライトした後にTDREがセットされたとき、TDRE=1の状態、ICSRのTENDがセットされるまで待ちます。TENDがセットされたら、TENDをクリアします。
4. 終了処理のためTRSをクリアし、ICDRRをダミーリードします。これによりSCLを開放します。
5. TDREをクリアします。

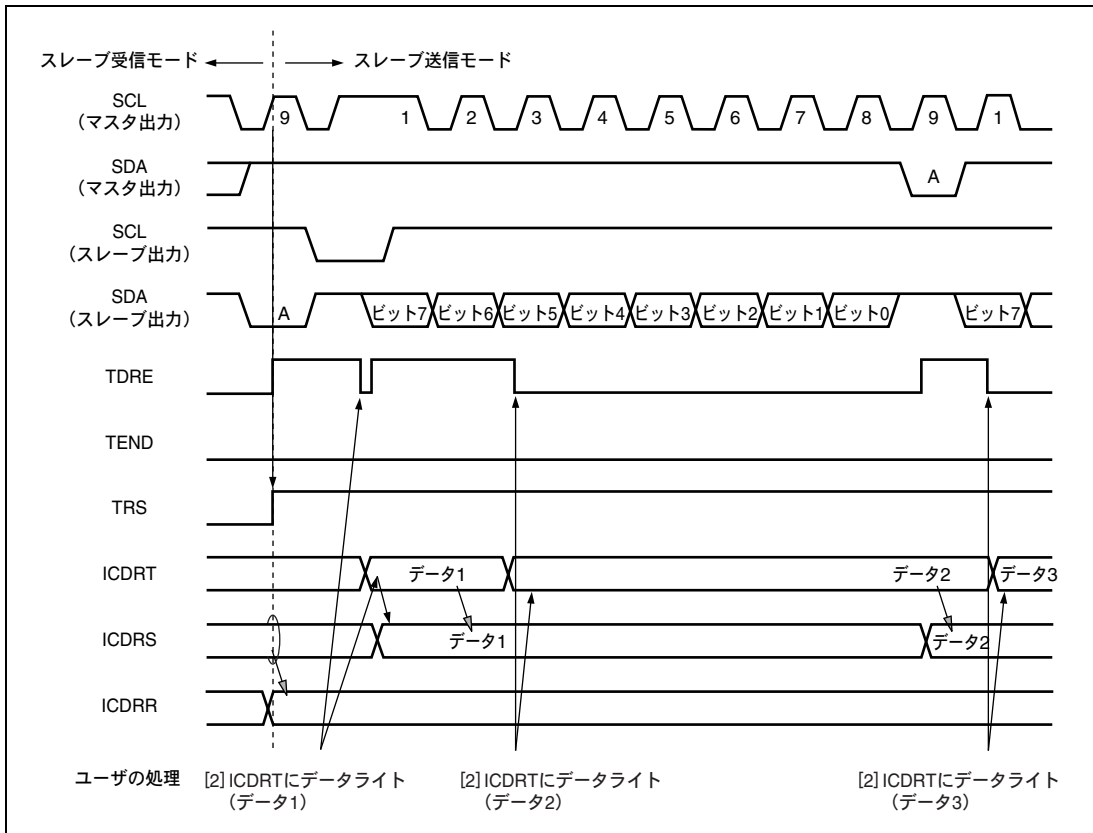


図 17.9 スレーブ送信モード動作タイミング 1

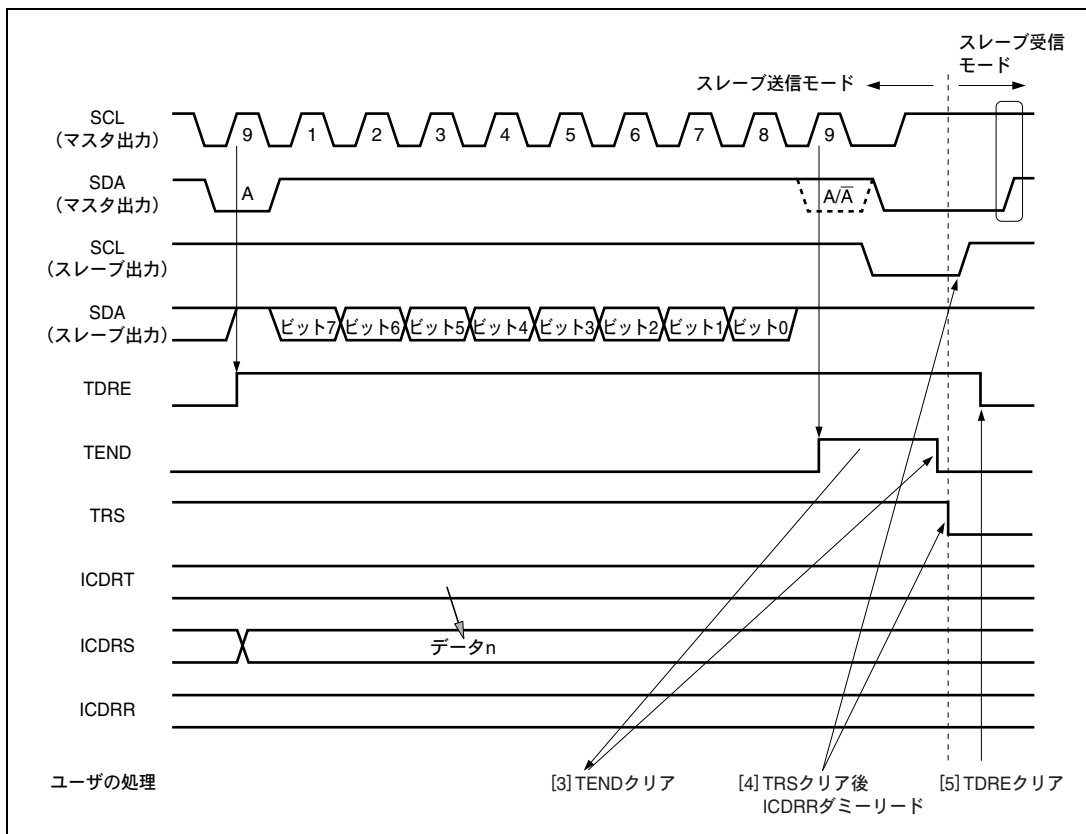


図 17.10 スレーブ送信モード動作タイミング 2

17.4.5 スレーブ受信動作

スレーブ受信モードでは、マスタデバイスが送信クロック、送信データを出し、スレーブデバイスがアクノリッジを返します。スレーブ受信モードタイミングについては図 17.11 と図 17.12 を参照してください。以下にスレーブ受信モードの受信手順と動作を示します。

1. 該当のICRビットを1にセットした後、ICCRのICEビットを1にセットします。また、ICMRのWAIT、ICCRのCKS3～CKS0等を設定します（初期設定）。ICCRのMST、TRSをスレーブ受信モードにしてスレーブアドレスが一致するまで待ちます。
2. 開始条件を検出後の第1フレームでスレーブアドレスが一致したとき、9クロック目の立ち上がりでスレーブデバイスはSDAにICIERのACKBTに設定したレベルを出力します。同時にICSRのRDRFがセットされますので、ICDRRをダミーリード（リードデータはスレーブアドレス+R/Wを示すので不要）します。
3. RDRFがセットされるたびにICDRRをリードします。RDRFがセットされた状態で8クロック目が立ち下るとICDRRをリードするまでSCLをローに固定します。ICDRRをリードする前に行ったマスタデバイスに返すアクノリッジ（ACKBT）の設定変更は次の転送フレームに反映されます。
4. 最終バイトのリードも同様にICDRRのリードにより行います。

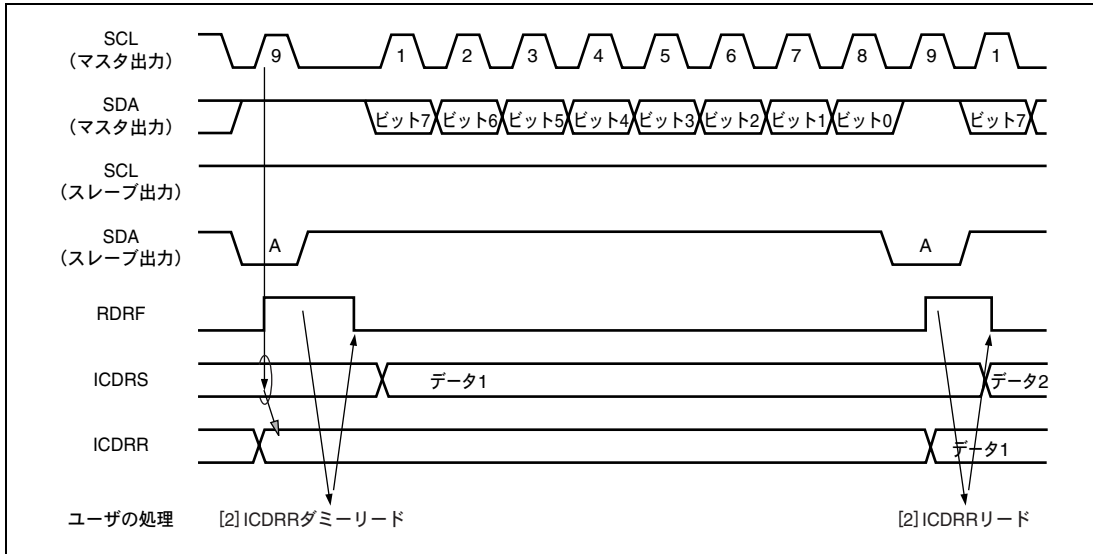


図 17.11 スレーブ受信モード動作タイミング 1

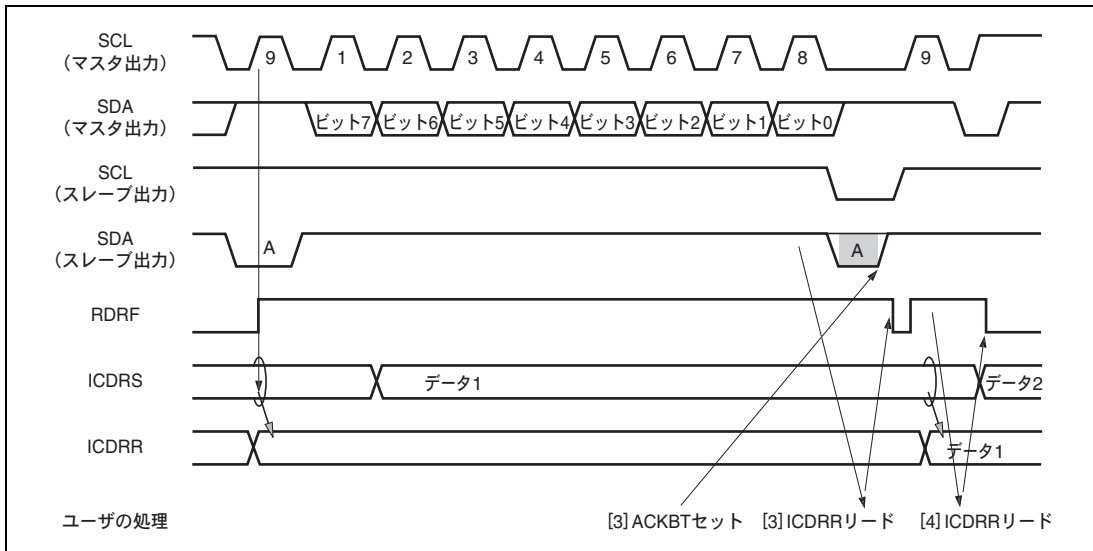


図 17.12 スレーブ受信モード動作タイミング 2

17.4.6 ノイズ除去回路

SCL 端子および SDA 端子の状態はノイズ除去回路を経由して内部に取り込まれます。図 17.13 にノイズ除去回路のブロック図を示します。

ノイズ除去回路は 2 段直列に接続されたラッチ回路と一致検出回路で構成されます。SCL 端子入力信号（または SDA 端子入力信号）がシステムクロックでサンプリングされ、2 つのラッチ出力が一致したときはじめて後段へそのレベルを伝えます。一致しない場合は前の値を保持します。

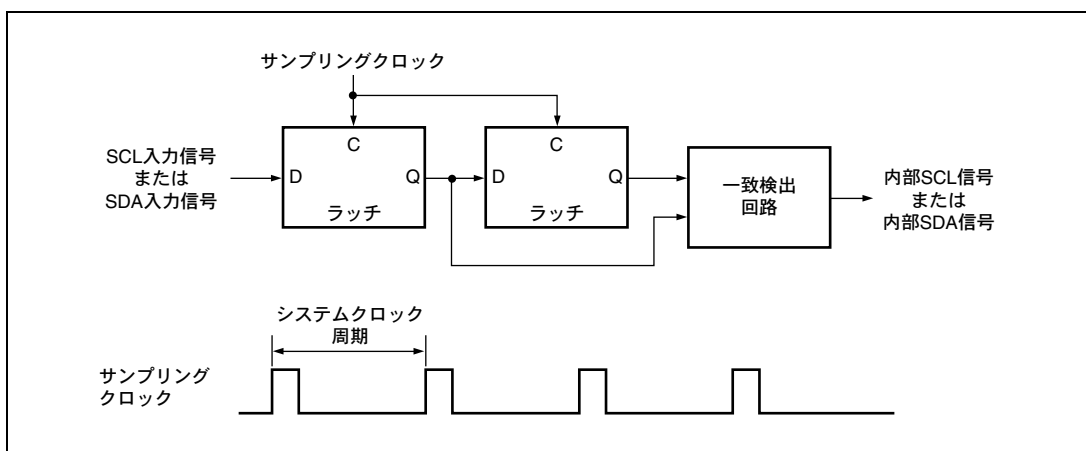


図 17.13 ノイズ除去回路のブロック図

17.4.7 使用例

I²C バスインタフェースを使用する場合の各モードでのフローチャート例を図 17.14～図 17.17 に示します。

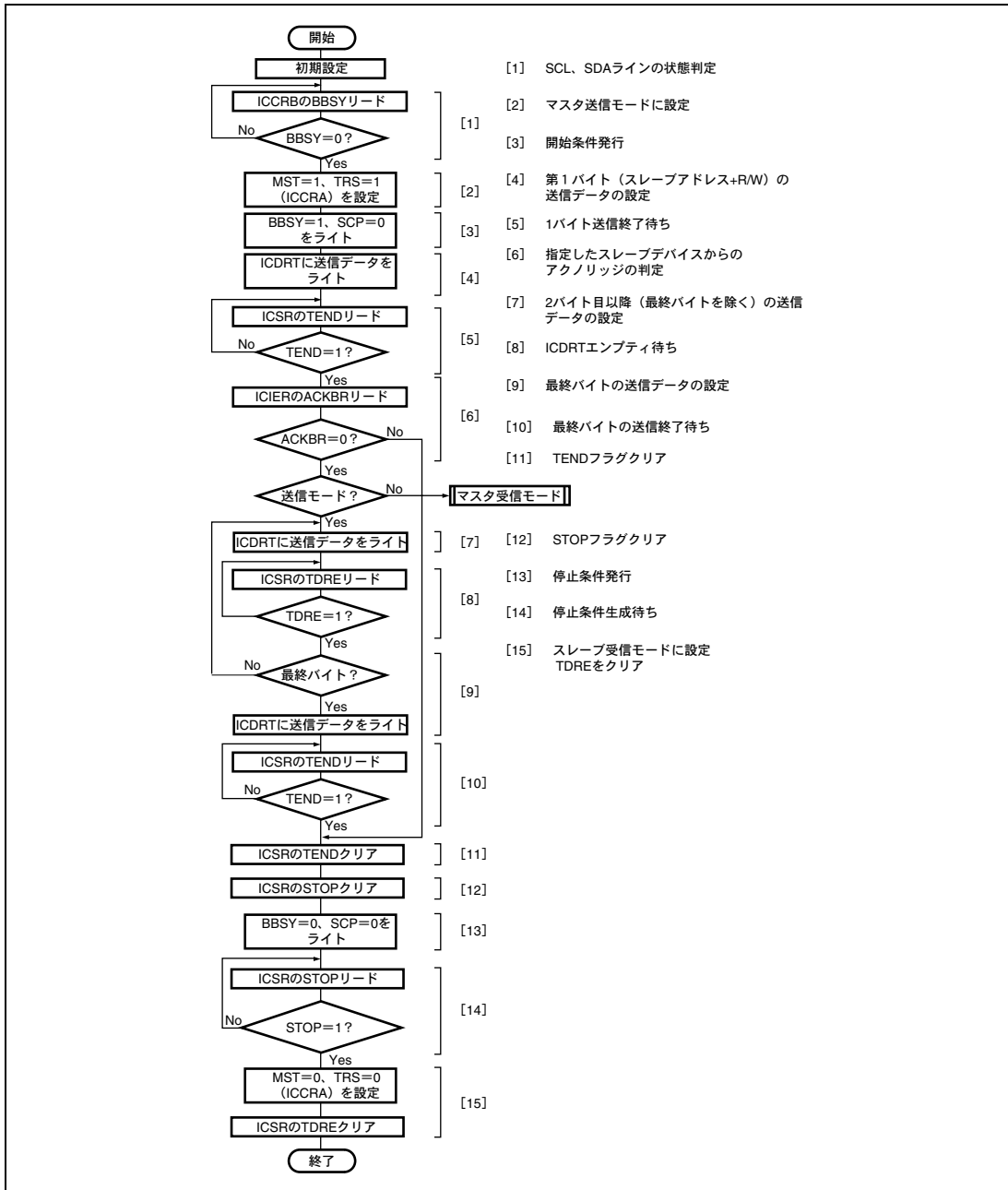


図 17.14 マスタ送信モードのフローチャート例

17. I²C バスインタフェース 2 (IIC2)

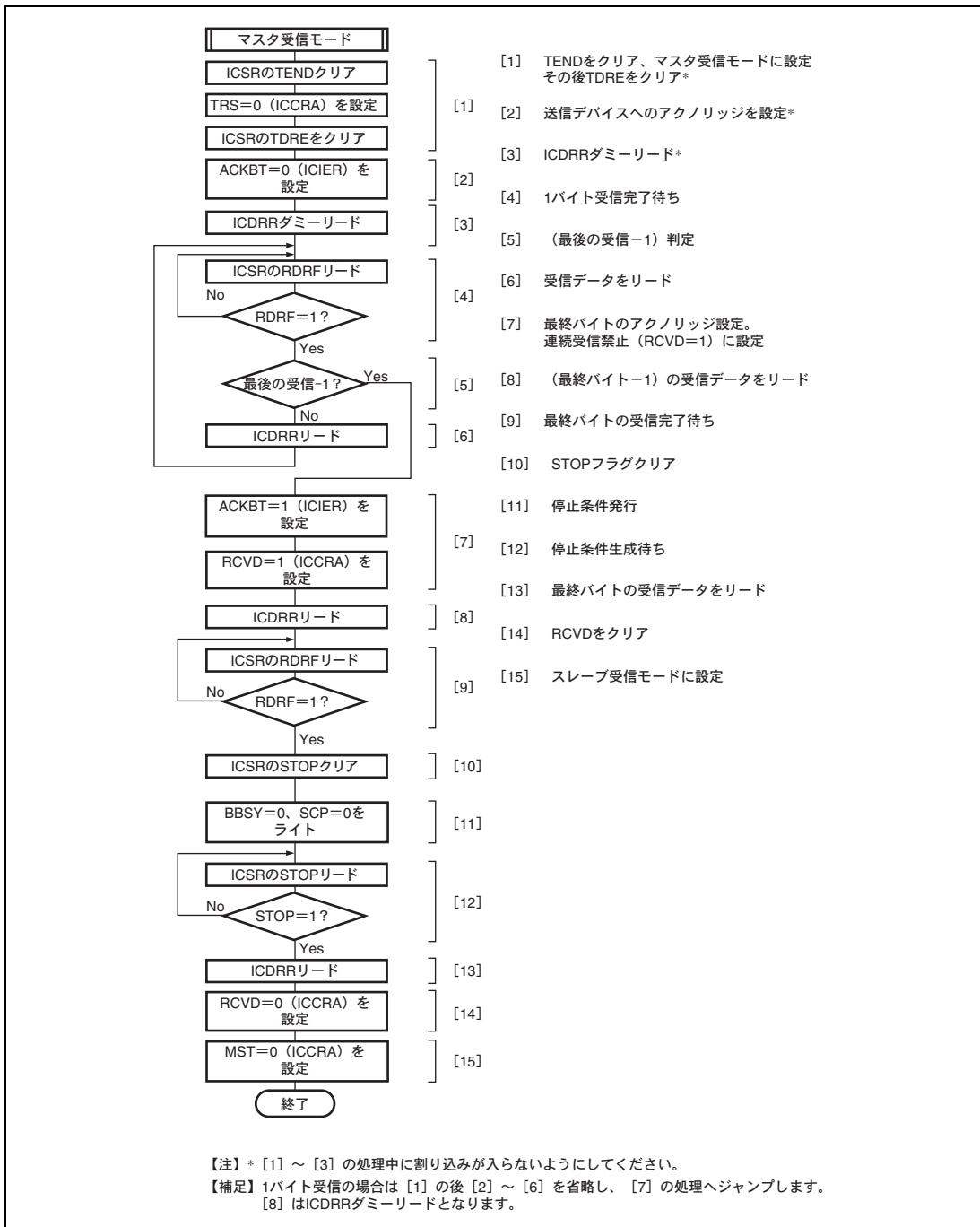


図 17.15 マスタ受信モードのフローチャート例

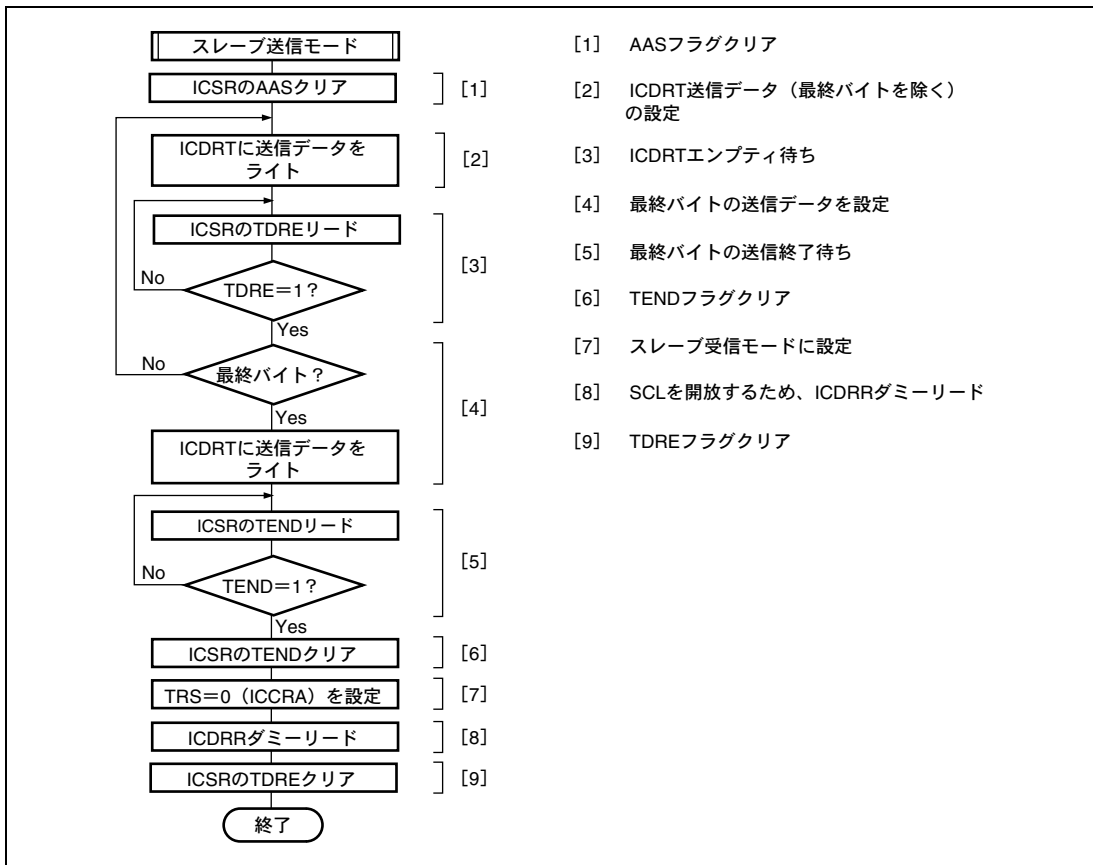


図 17.16 スレーブ送信モードフローチャート例

17. I²C バスインタフェース 2 (IIC2)

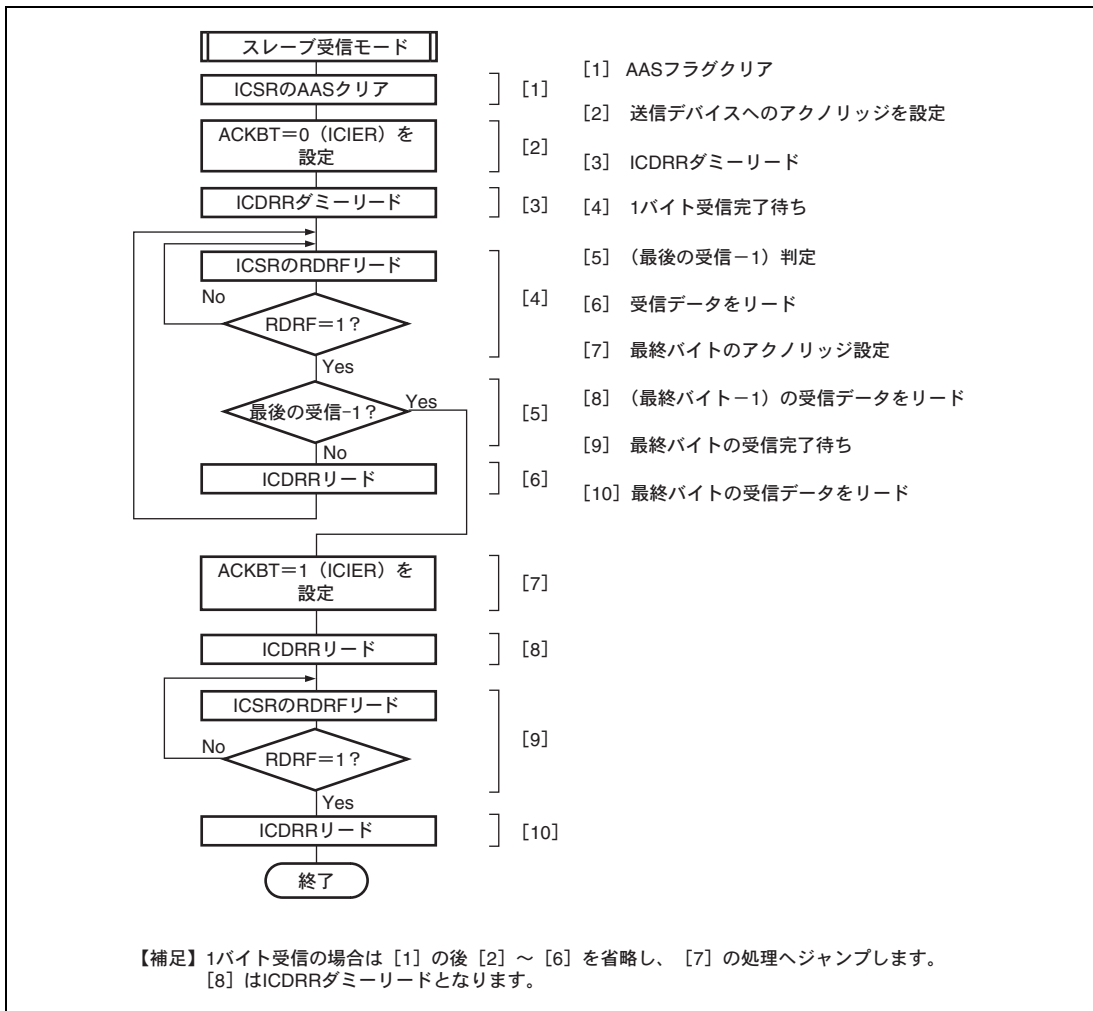


図 17.17 スレーブ受信モードフローチャート例

17.5 割り込み要求

本モジュールの割り込み要求には、送信データエンプティ、送信終了、受信データフル、NACK 検出、停止条件検出、アービトレーションロストの 6 種類があります。表 17.3 に各割り込み要求の内容を示します。

表 17.3 割り込み要求一覧

割り込み要求	略称	割り込み条件
送信データエンプティ	TXI	$(TDRE=1) \cdot (TIE=1)$
送信終了	TEI	$(TEND=1) \cdot (TEIE=1)$
受信データフル	RXI	$(RDRF=1) \cdot (RIE=1)$
STOP 認識	STPI	$(STOP=1) \cdot (STIE=1)$
NACK 検出	NAKI	$\{(NACKF=1)+(AL=1)\} \cdot (NAKIE=1)$
アービトレーションロスト		

表 17.3 の割り込み条件が 1 でかつ CCR の I ビットが 0 のとき、CPU は割り込み例外処理を実行します。例外処理の中でそれぞれの割り込み要因をクリアしてください。ただし、TDRE、TEND は ICDRT に送信データをライトすることで、RDRF は ICDRR をリードすることで自動的にクリアされますので注意してください。特に TDRE は ICDRT に送信データをライトしたとき同時に再度 TDRE がセットされ、さらに TDRE をクリアすると余分に 1 バイト送信する場合があります。

17.6 ビット同期回路

本モジュールはマスタモード設定時に、

- スレーブデバイスにより SCL がローレベルに引っ張られた場合
- SCL ラインの負荷（負荷容量、プルアップ抵抗）により SCL の立ち上がりがなまなかった場合

の 2 つの状態ではイレベル期間が短くなる可能性があるため、SCL をモニタしてビットごとに同期をとりながら通信を行います。ビット同期回路のタイミングを図 17.18 に、SCL をロー出力→Hi-Z にしてから SCL をモニタするまでの時間を表 17.4 に示します。

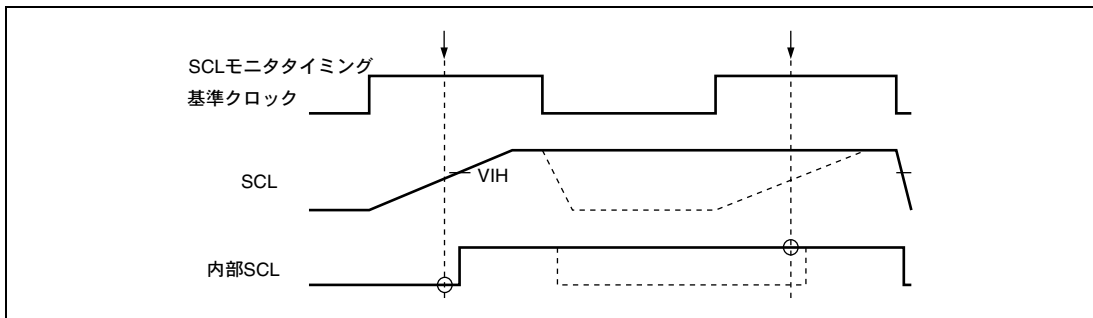


図 17.18 ビット同期回路のタイミング

17. I²C バスインタフェース 2 (IIC2)

表 17.4 SCL をモニタする時間

CKS3	CKS2	SCL をモニタする時間
0	0	7.5 tcy
	1	19.5 tcy
1	0	17.5 tcy
	1	41.5 tcy

17.7 使用上の注意事項

1. 停止条件の発行および開始条件（再送）の発行は9クロック目の立ち下がりを認識してから行ってください。9クロック目の立ち下がりにはI²CバスコントロールレジスタB（ICCRB）のSCLOビットをチェックすることにより認識することができます。
下記（1）または（2）の条件下で、かつ特定のタイミングで停止条件の発行および開始条件（再送）の発行を行ったとき、停止条件および開始条件（再送）が正常に出力されない場合があります。この条件以外での使用は問題ありません。
 - （1）SCLバスの負荷（負荷容量、プルアップ抵抗）によりSCLの立ち上がりが「17.6 ビット同期回路」の項に規定されている時間以上遅れている場合
 - （2）スレーブデバイスが8クロック目と9クロック目のロー期間を引っ張ってビット同期回路が働いた場合
2. I²Cバスモードレジスタ（ICMR）のWAITビットは0の状態で使用してください。
WAITビットを1にセットして使用したとき、かつスレーブデバイスが8クロック目と9クロック目のロー期間を2転送クロック分以上SCLをローに引っ張ったときに、9クロック目のハイ期間が短くなる場合があります。この条件以外での使用は問題ありません。

18. A/D 変換器

本 LSI は、逐次比較方式の 10 ビットの A/D 変換器を内蔵しています。最大 8 チャンネルのアナログ入力を選択することができます。

A/D 変換器のブロック図を図 18.1 に示します。

18.1 特長

- 分解能：10ビット
- 入力チャンネル：8チャンネル
- 変換時間：1チャンネル当たり $7.6\mu\text{s}$ （35MHz動作時）
- 動作モード：2種類
 - シングルモード：1チャンネルのA/D変換
 - スキャンモード：1～4チャンネルの連続A/D変換、または1～8チャンネルの連続A/D変換
- データレジスタ：8本
 - A/D変換結果は各チャンネルに対応した16ビットデータレジスタに保持
- サンプル&ホールド機能付き
- A/D変換開始方法：3種類
 - ソフトウェア
 - 16ビットタイマパルスユニット（TPU）または8ビットタイマ（TMR）による変換開始トリガ
 - 外部トリガ信号
- 割り込み要因
 - A/D変換終了割り込み要求（ADI）を発生
- モジュールストップ状態への設定が可能

18. A/D 変換器

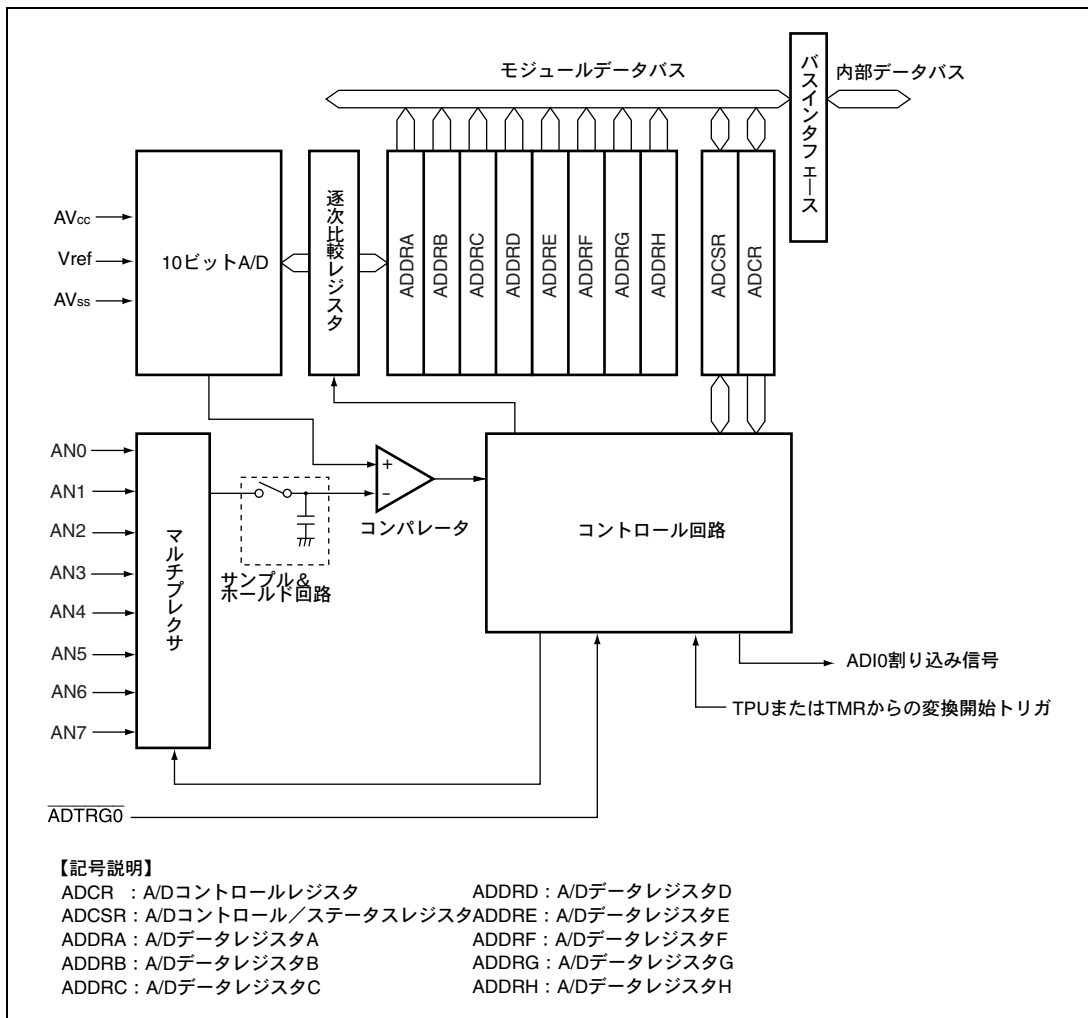


図 18.1 A/D 変換器のブロック図

18.2 入出力端子

A/D 変換器で使用する入力端子を表 18.1 に示します。

表 18.1 端子構成

端子名	記号	入出力	機 能
アナログ入力端子 0	AN0	入力	アナログ入力端子
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
A/D 外部トリガ入力端子	ADTRG0	入力	A/D 変換開始のための外部トリガ入力端子
アナログ電源端子	AVcc	入力	アナログ部の電源端子
アナロググランド端子	AVss	入力	アナログ部のグランド端子
リファレンス電圧端子	Vref	入力	A/D 変換器の基準電圧端子

18.3 レジスタの説明

A/D 変換器には以下のレジスタがあります。

- A/DデータレジスタA (ADDRA)
- A/DデータレジスタB (ADDRB)
- A/DデータレジスタC (ADDRC)
- A/DデータレジスタD (ADDRD)
- A/DデータレジスタE (ADDRE)
- A/DデータレジスタF (ADDRF)
- A/DデータレジスタG (ADDRG)
- A/DデータレジスタH (ADDRH)
- A/Dコントロール/ステータスレジスタ (ADCSR)
- A/Dコントロールレジスタ (ADCR)

18. A/D 変換器

18.3.1 A/D データレジスタ A~H (ADDRA~ADDRH)

ADDR は、A/D 変換された結果を格納するための 16 ビットのリード専用レジスタです。ADDRA~ADDRH の 8 本あります。各アナログ入力チャネルの変換結果が格納される ADDR は表 18.2 のとおりです。

10 ビットの変換データは ADDR のビット 15 からビット 6 に格納されます。下位 6 ビットはリードすると常に 0 がリードされます。

CPU との間のデータバスは 16 ビット幅で、CPU から直接リードできます。ADDR をアクセスする場合は、16 ビット単位でアクセスしてください。8 ビット単位でのアクセスは禁止です。

ビット	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ビット名											—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

表 18.2 アナログ入力チャネルと ADDR の対応

アナログ入力チャネル	変換結果が格納される A/D データレジスタ
AN0	ADDRA
AN1	ADDRB
AN2	ADDRC
AN3	ADDRD
AN4	ADDRE
AN5	ADDRF
AN6	ADDRG
AN7	ADDRH

18.3.2 A/D コントロール/ステータスレジスタ (ADCSR)

ADCSR は A/D 変換動作を制御します。

ビット	7	6	5	4	3	2	1	0
ビット名	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット	ビット名	初期値	R/W	説明
7	ADF	0	R/(W)*	A/D エンドフラグ A/D 変換の終了を示すステータスフラグです。 [セット条件] • シングルモードで A/D 変換が終了したとき • スキャンモードで選択されたすべてのチャンネルの A/D 変換が終了したとき [クリア条件] • 1 の状態をリードした後、0 をライトしたとき (割り込みを使用し CPU によってクリアする場合、0 ライト後に必ずフラグをリードしてください。) • ADI 割り込みにより DMAC または DTC が起動され、ADDR をリードしたとき
6	ADIE	0	R/W	A/D インタラプトイネーブル 1 にセットすると ADF による ADI 割り込みがイネーブルになります。
5	ADST	0	R/W	A/D スタート 0 にクリアすると A/D 変換を停止し、待機状態になります。1 にセットすると A/D 変換を開始します。シングルモードでは選択したチャンネルの A/D 変換が終了すると自動的にクリアされます。スキャンモードではソフトウェア、リセット、またはハードウェアスタンバイモードによってクリアされるまで選択されたチャンネルを順次連続変換します。
4	—	0	R	リザーブビット このビットはリードのみ有効で、ライトは無効です。
3	CH3	0	R/W	チャンネルセレクト 3~0 ADCR の SCANE ビット、SCANS ビットとともに、アナログ入力を選択します。 SCANE=0、 SCANE=1、 SCANE=1、 SCANS=X のとき SCANS=0 のとき SCANS=1 のとき 0000 : AN0 0000 : AN0 0000 : AN0 0001 : AN1 0001 : AN0、AN1 0001 : AN0、AN1 0010 : AN2 0010 : AN0~AN2 0010 : AN0~AN2 0011 : AN3 0011 : AN0~AN3 0011 : AN0~AN3 0100 : AN4 0100 : AN4 0100 : AN0~AN4 0101 : AN5 0101 : AN4、AN5 0101 : AN0~AN5 0110 : AN6 0110 : AN4~AN6 0110 : AN0~AN6 0111 : AN7 0111 : AN4~AN7 0111 : AN0~AN7 1XXX : 設定禁止 1XXX : 設定禁止 1XXX : 設定禁止
2	CH2	0	R/W	
1	CH1	0	R/W	
0	CH0	0	R/W	

【記号説明】 X : Don't care

【注】 * フラグをクリアするための 0 ライトのみ可能です。

18. A/D 変換器

18.3.3 A/D コントロールレジスタ (ADCR)

ADCR は外部トリガによる A/D 変換開始をイネーブルにします。

ビット	7	6	5	4	3	2	1	0
ビット名	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R	R

ビット	ビット名	初期値	R/W	説明
7	TRGS1	0	R/W	タイマトリガセレクト 1、0
6	TRGS0	0	R/W	トリガ信号による A/D 変換開始をイネーブルにします。 00 : 外部トリガによる A/D 変換開始を禁止 01 : TPU からの変換トリガによる A/D 変換開始 10 : TMR からの変換トリガによる A/D 変換開始 11 : $\overline{\text{ADTRG0}}$ による A/D 変換開始*
5	SCANE	0	R/W	スキャンモード
4	SCANS	0	R/W	A/D 変換の動作モードを選択します。 0X : シングルモード 10 : スキャンモード (1~4 チャンルの連続 A/D 変換) 11 : スキャンモード (1~8 チャンルの連続 A/D 変換)
3	CKS1	0	R/W	クロックセレクト 1、0
2	CKS0	0	R/W	A/D 変換時間の設定を行います。変換時間の設定は変換停止中 (ADST=0) に行ってください。 00 : 変換時間=530 ステート (max) 01 : 変換時間=266 ステート (max) 10 : 変換時間=134 ステート (max) 11 : 変換時間=68 ステート (max)
1	—	0	R	リザーブビット
0	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。

【記号説明】 X : Don't care

【注】 * $\overline{\text{ADTRG}}$ による A/D 変換開始に設定する場合は、該当する端子の DDR ビットを 0 に、ICR ビットを 1 に設定してください。詳細は「9. I/O ポート」を参照してください。

18.4 動作説明

A/D 変換器は、逐次比較方式で分解能は 10 ビットです。動作モードには、シングルモードとスキャンモードがあります。動作モードやアナログ入力チャネルの切り替えは、誤動作を避けるため ADCSR の ADST ビットが 0 の状態で行ってください。動作モードやアナログ入力チャネルの変更と、ADST ビットを 1 にセットするのは同時に行うことができます。

18.4.1 シングルモード

シングルモードは、指定された 1 チャネルのアナログ入力を以下のように 1 回 A/D 変換します。

1. ソフトウェアまたは外部トリガ入力によって ADCSR の ADST ビットが 1 にセットされると、選択されたチャネルの A/D 変換を開始します。
2. A/D 変換が終了すると、A/D 変換結果がそのチャネルに対応する A/D データレジスタに転送されます。
3. A/D 変換終了後、ADCSR の ADF ビットが 1 にセットされます。このとき、ADIE ビットが 1 にセットされていると、ADI 割り込み要求が発生します。
4. ADST ビットは A/D 変換中は 1 を保持し、変換が終了すると自動的にクリアされて A/D 変換器は待機状態になります。A/D 変換中に ADST ビットを 0 にクリアすると A/D 変換を中止し、A/D 変換器は待機状態になります。

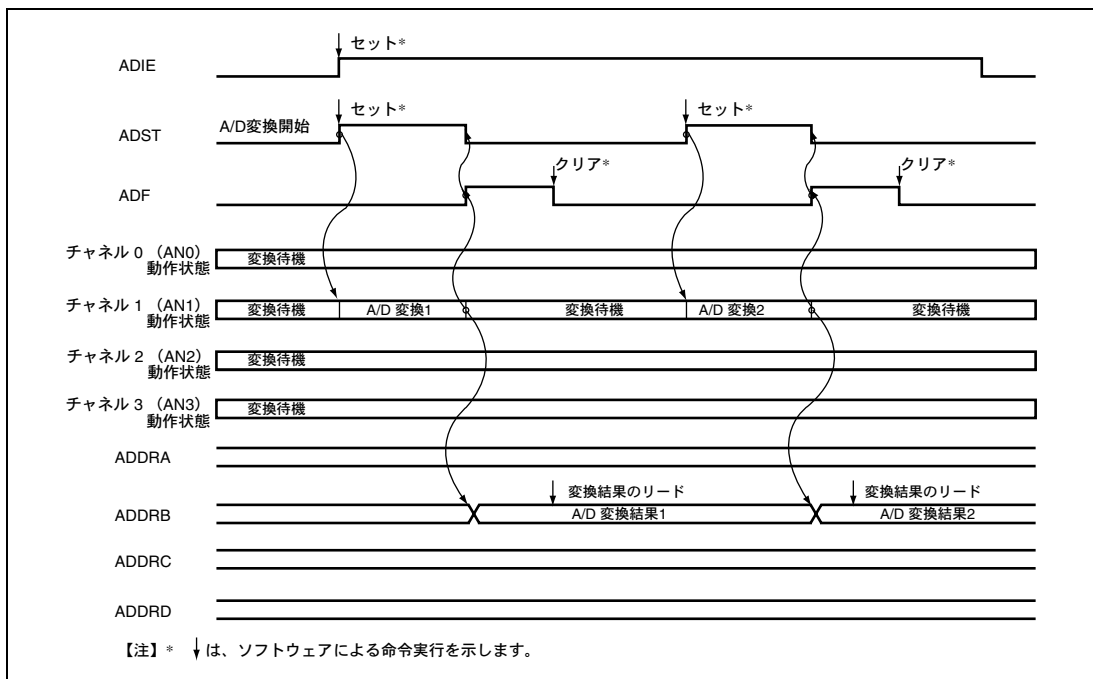


図 18.2 A/D 変換器の動作例（シングルモード、チャンネル 1 選択時）

18.4.2 スキャンモード

スキャンモードは、指定された最大4チャンネル、または最大8チャンネルのアナログ入力を以下のように順次連続してA/D変換します。

- ソフトウェア、TPU、TMR、または外部トリガ入力によってADCSRのADSTビットが1にセットされると、選択されたチャンネルの第1チャンネルからA/D変換を開始します。最大4チャンネルの連続A/D変換(SCANE、SCANS=B'10)、または最大8チャンネルの連続A/D変換(SCANE、SCANS=B'11)を選択できます。4チャンネルの連続A/D変換の場合は、CH3、CH2=B'00のときAN0、CH3、CH2=B'01のときAN4からA/D変換を開始します。8チャンネルの連続A/D変換の場合は、CH3=B'0のときAN0からA/D変換を開始します。
- それぞれのチャンネルのA/D変換が終了すると、A/D変換結果は順次そのチャンネルに対応するADDRに転送されます。
- 選択されたすべてのチャンネルのA/D変換が終了すると、ADCSRのADFビットが1にセットされます。このときADIEビットが1にセットされていると、ADI割り込み要求を発生します。A/D変換器は再び第1チャンネルからA/D変換を開始します。
- ADSTビットは自動的にクリアされず、1にセットされている間は2.~3.を繰り返します。ADSTビットを0にクリアするとA/D変換を中止し、A/D変換器は待機状態になります。その後、ADSTビットを1にセットすると再び第1チャンネルからA/D変換を開始します。

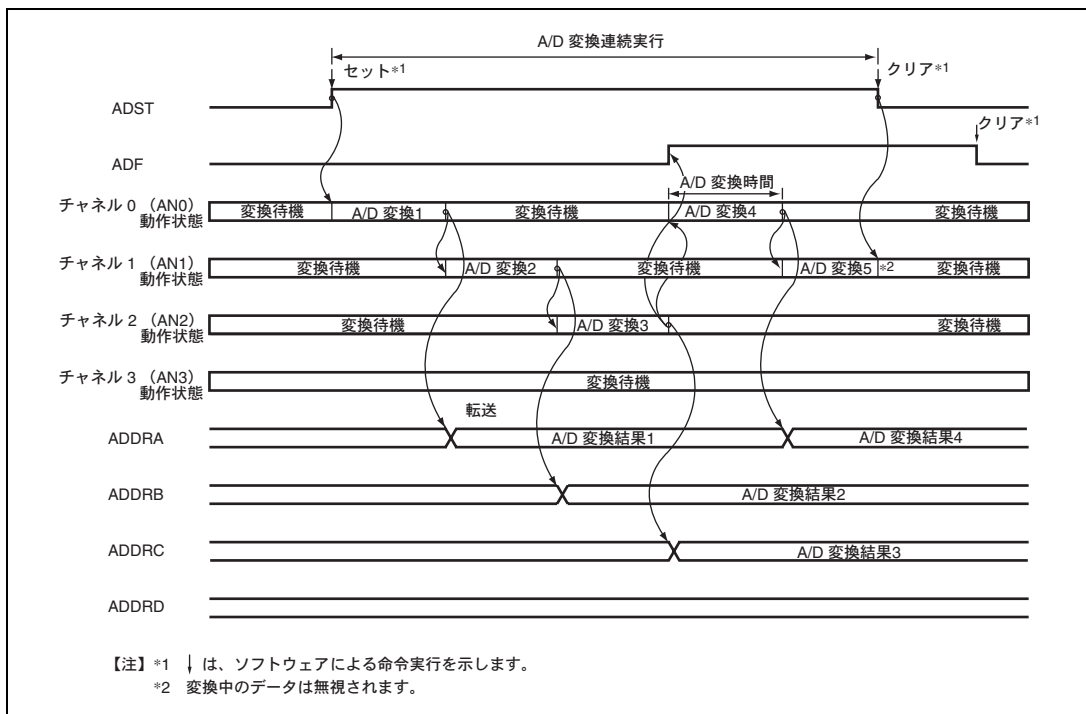


図 18.3 A/D 変換器の動作例 (スキャンモード、AN0~AN2 の 3 チャンネル選択時)

18.4.3 入力サンプリングと A/D 変換時間

A/D 変換器には、サンプル&ホールド回路が内蔵されています。A/D 変換器は、ADCSR の ADST ビットが 1 にセットされてから A/D 変換開始遅延時間(t_D)経過後、入力のサンプリングを行い、その後 A/D 変換を開始します。A/D 変換のタイミングを図 18.4 に示します。また、A/D 変換時間を表 18.3 に示します。

A/D 変換時間(t_{CONV})は、図 18.4 に示すように、 t_D と入力サンプリング時間(t_{SPL})を含めた時間となります。ここで t_D は、ADCSR へのライトタイミングにより決まり、一定値とはなりません。そのため、変換時間は表 18.3 に示す範囲で変化します。

スキャンモードの変換時間は、表 18.3 に示す値が 1 回目の変換時間となります。2 回目以降の変換時間は表 18.4 に示す値となります。いずれの場合も、変換時間は A/D 変換特性に示す範囲となるように ADCR の CKS1、CKS0 ビットを設定してください。

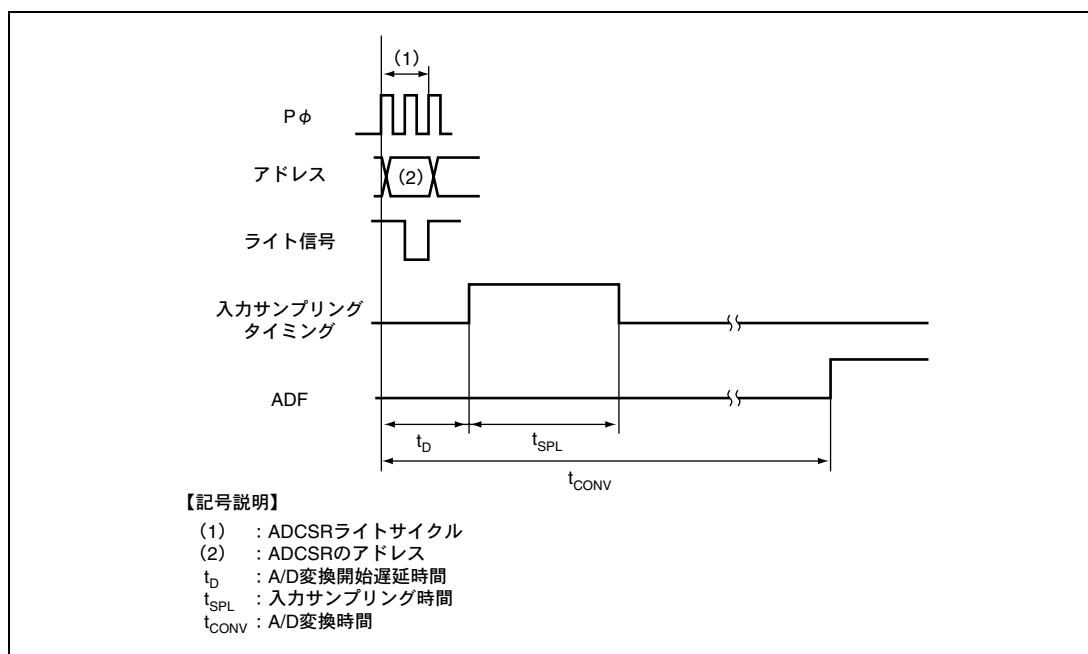


図 18.4 A/D 変換タイミング

18. A/D 変換器

表 18.3 A/D 変換特性 (シングルモード)

項目	記号	CKS1=0						CKS1=1					
		CKS0=0			CKS0=1			CKS0=0			CKS0=1		
		min	typ	max	min	typ	max	min	typ	max	min	typ	max
A/D 変換開始遅延時間	t _D	18	—	33	10	—	17	6	—	9	4	—	5
入力サンプリング時間	t _{SPL}	—	127	—	—	63	—	—	31	—	—	15	—
A/D 変換時間	t _{CONV}	515	—	530	259	—	266	131	—	134	67	—	68

【注】 表中の数値の単位はステートです。

表 18.4 A/D 変換時間 (スキャンモード)

CKS1	CKS0	変換時間 (ステート)
0	0	512 (固定)
	1	256 (固定)
1	0	128 (固定)
	1	64 (固定)

18.4.4 外部トリガ入力タイミング

A/D 変換は、外部トリガ入力により開始することも可能です。外部トリガ入力は、ADCR の TRGS1、TRGS0 ビットが B'11 にセットされているとき、 $\overline{\text{ADTRG0}}$ 端子から入力されます。 $\overline{\text{ADTRG0}}$ の立ち下がりエッジで、ADCSR の ADST ビットが 1 にセットされ、A/D 変換が開始されます。その他の動作は、シングルモード/スキャンモードによらず、ソフトウェアによって ADST ビットを 1 にセットした場合と同じです。このタイミングを図 18.5 に示します。

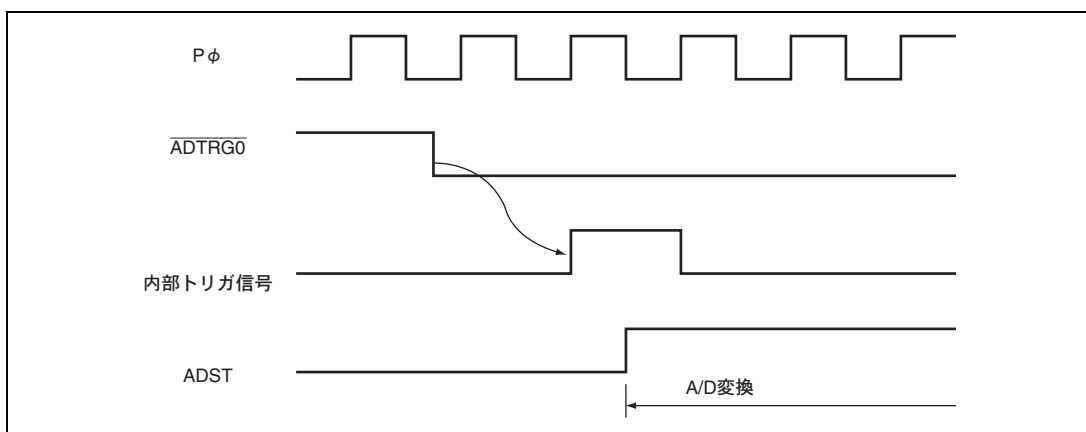


図 18.5 外部トリガ入力タイミング

18.5 割り込み要因

A/D 変換器は、A/D 変換が終了すると A/D 変換終了割り込み (ADI) を発生します。ADI 割り込み要求は、A/D 変換終了後 ADCSR の ADF が 1 にセットされ、このとき ADIE ビットが 1 にセットされるとイネーブルになります。ADI 割り込みで、データトランスファコントローラ (DTC) および DMA コントローラ (DMAC) の起動ができます。ADI 割り込みで変換されたデータのリードを DTC または DMAC で行うと、連続変換がソフトウェアの負担なく実現できます。

表 18.5 A/D 変換器の割り込み要因

名称	割り込み要因	割り込みフラグ	DTC の起動	DMAC の起動
ADI	A/D 変換終了	ADF	可	可

18.6 A/D 変換精度の定義

本 LSI の A/D 変換精度の定義は以下のとおりです。

- 分解能
A/D変換器のデジタル出力コード数
- 量子化誤差
A/D変換器が本質的に有する偏差であり、1/2LSBで与えられる (図18.6)
- オフセット誤差
デジタル出力が最小電圧値B'000000000 (H'000) からB'000000001 (H'001) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図18.7)
- フルスケール誤差
デジタル出力がB'1111111110 (H'3FE) からB'1111111111 (H'3FF) に変化するときのアナログ入力電圧値の理想A/D変換特性からの偏差 (図18.7)
- 非直線性誤差
ゼロ電圧からフルスケール電圧までの間の理想A/D変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない (図18.7)
- 絶対精度
デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線誤差を含む

18. A/D 変換器

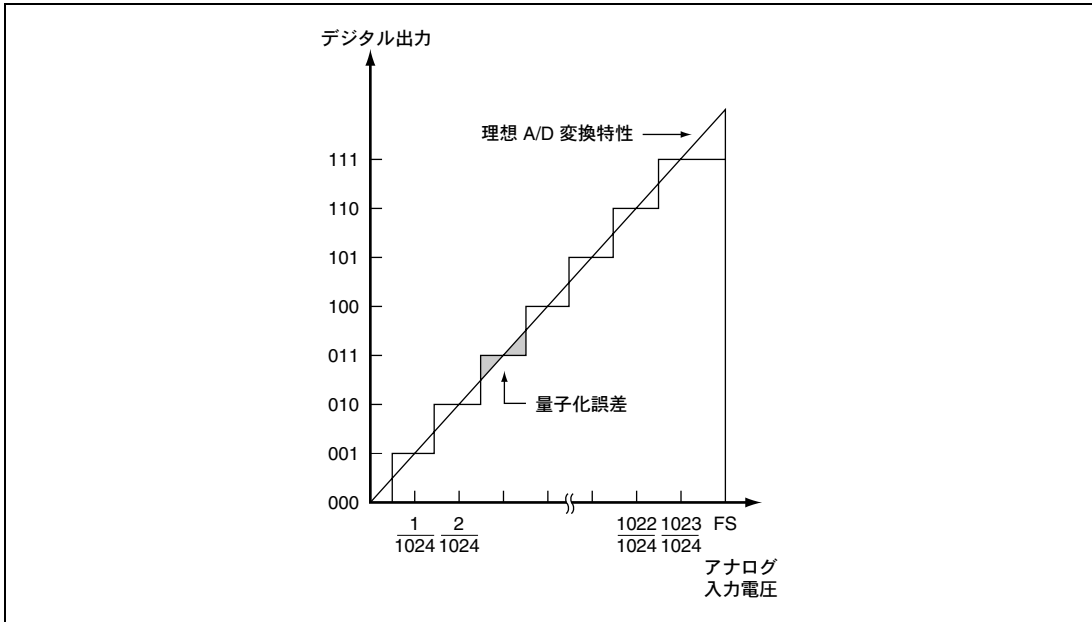


図 18.6 A/D 変換精度の定義

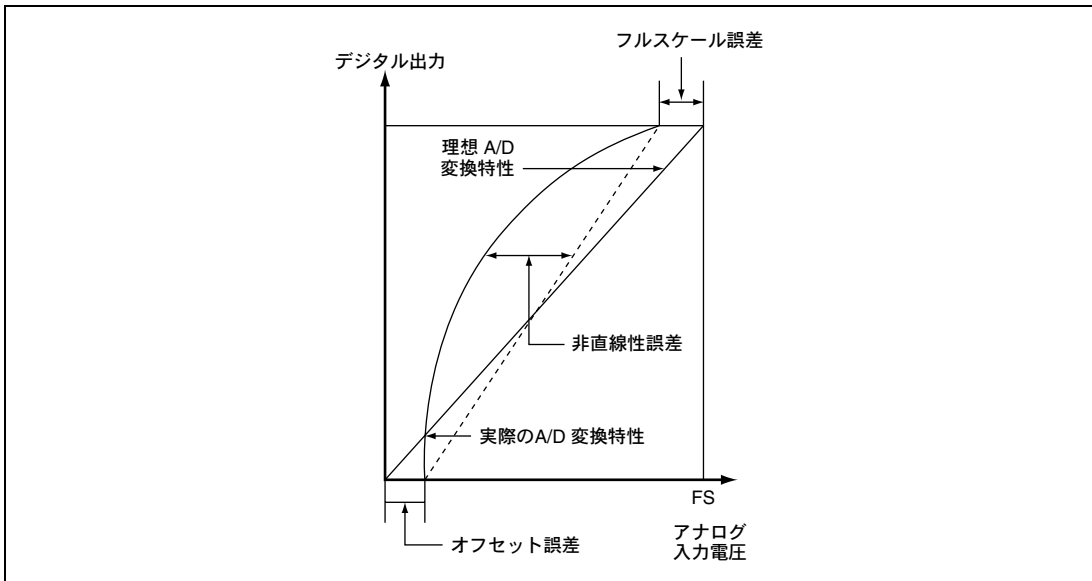


図 18.7 A/D 変換精度の定義

18.7 使用上の注意事項

18.7.1 モジュールストップ状態への設定

モジュールストップコントロールレジスタにより、A/D 変換器の動作禁止/許可を設定することが可能です。初期値では、A/D 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は、「23. 低消費電力」を参照してください。

18.7.2 許容信号源インピーダンスについて

本 LSI のアナログ入力は、信号源インピーダンスが $10\text{k}\Omega$ 以下の入力信号に対し、変換精度が保証される設計となっています。これは A/D 変換器のサンプル&ホールド回路の入力容量をサンプリング時間内に充電するための規格で、センサの出カインピーダンスが $10\text{k}\Omega$ を超える場合は、充電不足が生じて A/D 変換精度が保証できなくなります。シングルモードで変換を行うときに外部に大容量を設けている場合は、入力の負荷は実質的に内部入力抵抗の $10\text{k}\Omega$ だけになりますので、信号源インピーダンスは不用となります。ただし、ローパスフィルタとなりますので、微分係数の大きなアナログ信号(たとえば $5\text{mV}/\mu\text{s}$ 以上)には追従できないことがあります(図 18.8)。高速のアナログ信号を変換する場合や、スキャンモードで変換を行う場合には、低インピーダンスのバッファを入れてください。

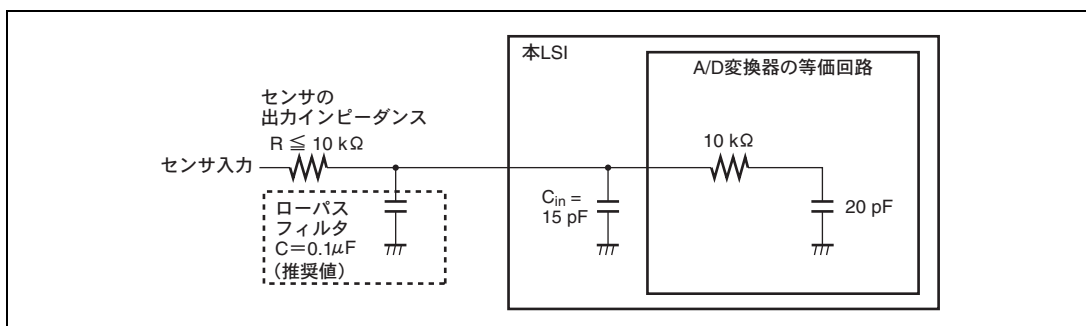


図 18.8 アナログ入力回路の例

18.7.3 絶対精度への影響

容量を付加することにより、GND とのカップリングを受けることとなりますので、GND にノイズがあると絶対精度が悪化する可能性がありますので、必ず AV_{SS} 等の電氣的に安定な GND に接続してください。

またフィルタ回路が実装基板上でデジタル信号と干渉したり、アンテナとならないように注意してください。

18.7.4 アナログ電源端子他の設定範囲

以下に示す電圧の設定範囲を超えて LSI を使用した場合、LSI の信頼性に悪影響を及ぼすことがあります。

- アナログ入力電圧の設定範囲

A/D変換中、アナログ入力端子AN_nに印加する電圧は $AV_{SS} \leq V_{AN} \leq V_{ref}$ の範囲としてください。

- AV_{CC}、AV_{SS}とV_{CC}、V_{SS}の関係

AV_{CC}、AV_{SS}とV_{CC}、V_{SS}との関係は $AV_{CC} = V_{CC} \pm 0.3V$ かつ $AV_{SS} = V_{SS}$ としてください。A/D変換器を使用しない場合、 $AV_{CC} = V_{CC}$ 、 $AV_{SS} = V_{SS}$ としてください。

- V_{ref}の設定範囲

V_{ref}端子によるリファレンス電圧の設定範囲は、 $V_{ref} \leq AV_{CC}$ にしてください。

18.7.5 ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してください。また、デジタル回路の信号線とアナログ回路の信号配線を交差させたり、近接させないでください。誘導によりアナログ回路が誤動作し、A/D変換値に悪影響を及ぼします。アナログ入力端子（AN0～AN7）、アナログ基準電源（V_{ref}）、アナログ電源電圧（AV_{CC}）は、アナロググランド（AV_{SS}）でデジタル回路と分離してください。さらに、アナロググランド（AV_{SS}）は、ボード上の安定したグランド（V_{SS}）に一点接続してください。

18.7.6 ノイズ対策上の注意

過大なサージなど異常電圧によるアナログ入力端子（AN0～AN7）の破壊を防ぐために、**図 18.9**に示すようにAV_{CC}－AV_{SS}間に保護回路を接続してください。AV_{CC}に接続するバイパスコンデンサ、AN0～AN7に接続するフィルタ用のコンデンサは、必ずAV_{SS}に接続してください。

なお、フィルタ用のコンデンサを接続すると、AN0～AN7の入力電流が平均化されるため、誤差を生じることがあります。また、スキャンモードなどでA/D変換を頻繁に行う場合、A/D変換器内部のサンプル&ホールド回路の容量に充放電される電流が入力インピーダンス（R_{in}）を經由して入力される電流を上回ると、アナログ入力端子の電圧に誤差を生じます。したがって、回路定数は充分ご検討の上決定してください。

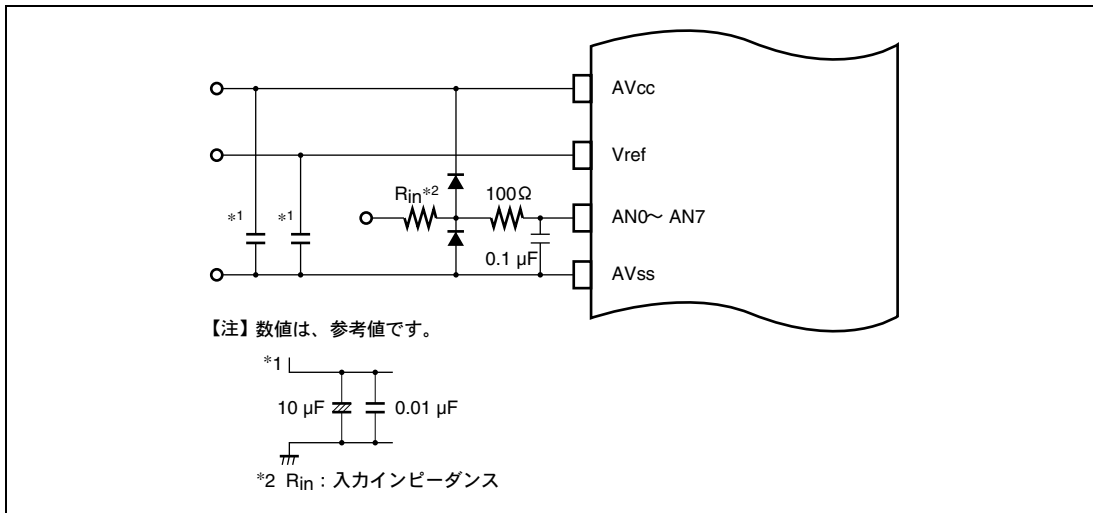


図 18.9 アナログ入力保護回路の例

表 18.6 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	5	kΩ

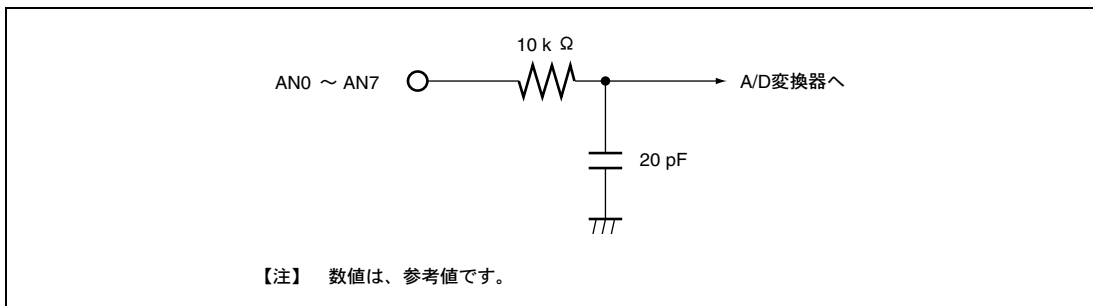


図 18.10 アナログ入力端子等価回路

18.7.7 ソフトウェアスタンバイ時の A/D 変換保持機能

A/D 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると A/D 変換は保持され、アナログ電源電流は A/D 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、ADST、TRGS1、TRGS0 ビットをすべて 0 にクリアして A/D 変換を禁止してください。

19. D/A 変換器

19.1 特長

- 分解能：8ビット
- 出力チャンネル：2チャンネル
- 変換時間：最大10 μ s（負荷容量20pF時）
- 出力電圧：0V \sim V_{ref}
- ソフトウェアスタンバイモード時のD/A出力保持機能
- モジュールストップ状態への設定が可能

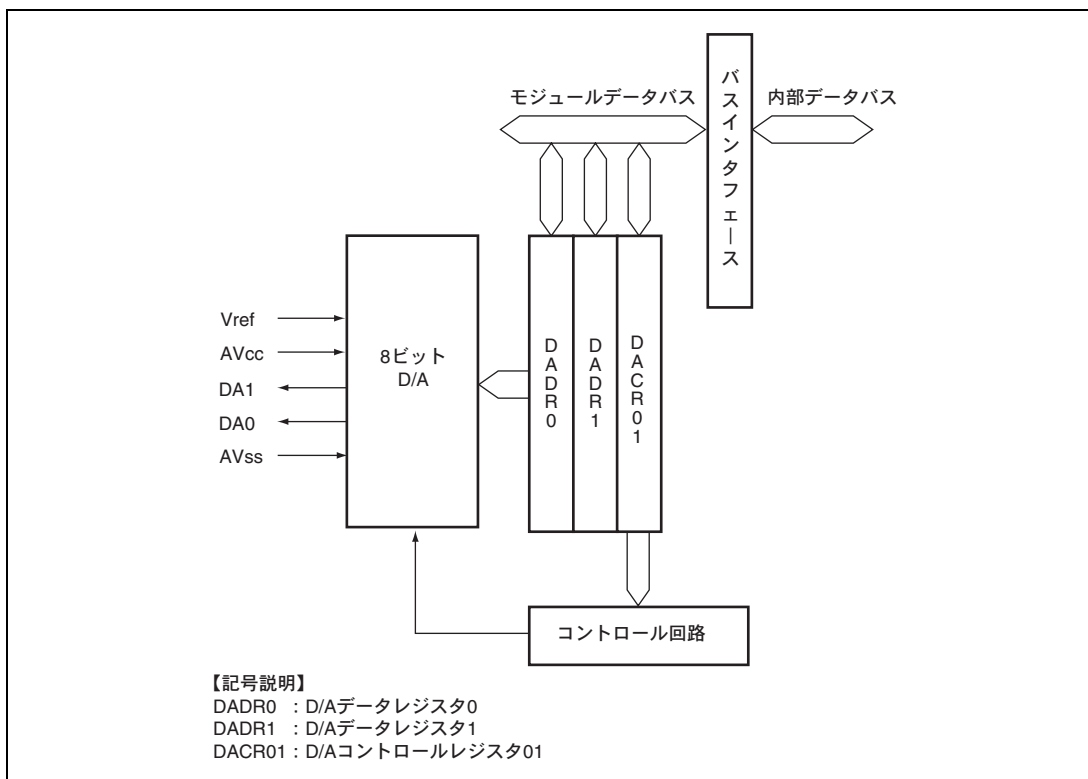


図 19.1 D/A 変換器のブロック図

19.2 入出力端子

D/A 変換器で使用する入出力端子を表 19.1 に示します。

表 19.1 端子構成

名称	記号	入出力	機能
アナログ電源端子	AV _{CC}	入力	アナログ部の電源端子
アナロググランド端子	AV _{SS}	入力	アナログ部のグランド端子
リファレンス電源端子	V _{ref}	入力	D/A 変換器の基準電圧端子
アナログ出力端子 0	DA0	出力	チャンネル 0 のアナログ出力
アナログ出力端子 1	DA1	出力	チャンネル 1 のアナログ出力

19.3 レジスタの説明

D/A 変換器には以下のレジスタがあります。

- D/Aデータレジスタ0 (DADR0)
- D/Aデータレジスタ1 (DADR1)
- D/Aコントロールレジスタ01 (DACR01)

19.3.1 D/A データレジスタ 0、1 (DADR0、DADR1)

DADR は、D/A 変換を行うデータを格納するための 8 ビットのリード/ライト可能なレジスタです。アナログ出力を許可すると、DADR の値が変換されアナログ出力端子に出力されます。

ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

19.3.2 D/A コントロールレジスタ 01 (DACR01)

DACR01 は D/A 変換器の動作を制御します。

- DACR01

ビット	7	6	5	4	3	2	1	0
ビット名	DAOE1	DAOE0	DAE	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R/W	R	R	R	R	R

• DACR01

ビット	ビット名	初期値	R/W	説 明
7	DAOE1	0	R/W	D/A アウトプットイネーブル 1 D/A 変換とアナログ出力を制御します。 0 : チャネル 1 のアナログ出力 (DA1) を禁止 1 : チャネル 1 の D/A 変換を許可。チャネル 1 のアナログ出力 (DA1) を許可
6	DAOE0	0	R/W	D/A アウトプットイネーブル 0 D/A 変換とアナログ出力を制御します。 0 : チャネル 0 のアナログ出力 (DA0) を禁止 1 : チャネル 0 の D/A 変換を許可。チャネル 0 のアナログ出力 (DA0) を許可
5	DAE	0	R/W	D/A イネーブル DAOE0、DAOE1 ビットとの組み合わせで、D/A 変換を制御します。このビットが 0 にクリアされているとチャネル 0、1 の D/A 変換は独立に制御されます。このビットが 1 にセットされているとチャネル 0、1 の D/A 変換は一括して制御されます。変換結果の出力は、DAOE0、DAOE1 ビットにより制御されます。表 19.2 を参照してください。
4~0	—	1	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。

表 19.2 D/A 変換の制御

ビット 5	ビット 7	ビット 6	説 明
DAE	DAOE1	DAOE0	
0	0	0	D/A 変換を禁止
		1	チャネル 0 の D/A 変換を許可、チャネル 1 の D/A 変換を禁止 チャネル 0 のアナログ出力 (DA0) を許可、チャネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャネル 0 の D/A 変換を禁止、チャネル 1 の D/A 変換を許可 チャネル 0 のアナログ出力 (DA0) を禁止、チャネル 1 のアナログ出力 (DA1) を許可
		1	チャネル 0、1 の D/A 変換を許可 チャネル 0、1 のアナログ出力 (DA0、DA1) を許可
1	0	0	チャネル 0、1 の D/A 変換を許可 チャネル 0、1 のアナログ出力 (DA0、DA1) を禁止
		1	チャネル 0、1 の D/A 変換を許可 チャネル 0 のアナログ出力 (DA0) を許可、チャネル 1 のアナログ出力 (DA1) を禁止
	1	0	チャネル 0、1 の D/A 変換を許可 チャネル 0 のアナログ出力 (DA0) を禁止、チャネル 1 のアナログ出力 (DA1) を許可
		1	チャネル 0、1 の D/A 変換を許可 チャネル 0、1 のアナログ出力 (DA0、DA1) を許可

19.4 動作説明

2チャンネルのD/A変換器は、それぞれ独立して変換を行うことができます。DACR01のDAOE0ビットを1にセットすると、D/A変換が許可され変換結果が出力されます。

チャンネル0のD/A変換を行う場合の動作例を以下に示します。このときの動作タイミングを図19.2に示します。

1. DADR0に変換データをライトします。
2. DACR01のDAOE0ビットを1にセットすると、D/A変換が開始されます。 t_{DCONV} 時間経過後、変換結果がアナログ出力端子DA0より出力されます。DADR0を書き換えるかDAOE0ビットを0にクリアするまで、この変換結果が出力され続けます。出力値は以下の式で表わされます。

$$\frac{\text{DADRの内容}}{256} \times V_{\text{ref}}$$

3. DADR0を書き換えるとただちに変換が開始されます。 t_{DCONV} 時間経過後、変換結果が出力されます。
4. DAOE0ビットを0にクリアするとアナログ出力を禁止します。

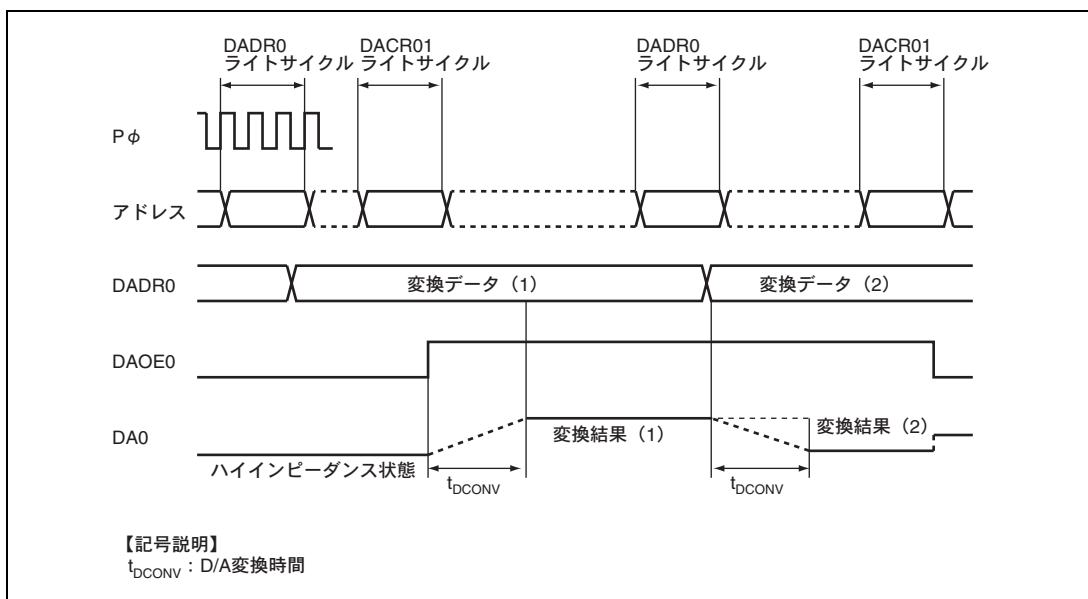


図 19.2 D/A 変換器の動作例

19.5 使用上の注意事項

19.5.1 モジュールストップ機能の設定

モジュールストップコントロールレジスタにより、D/A 変換器の動作禁止/許可を設定することが可能です。初期値では、D/A 変換器の動作は停止します。モジュールストップ状態を解除することにより、レジスタのアクセスが可能になります。詳細は「23. 低消費電力」を参照してください。

19.5.2 ソフトウェアスタンバイモード時の D/A 出力保持機能

D/A 変換を許可した状態で本 LSI がソフトウェアスタンバイモードになると D/A 出力は保持され、アナログ電源電流は D/A 変換中と同等になります。ソフトウェアスタンバイモードでアナログ電源電流を低減する必要がある場合は、DAOE0、DAOE1、DAE ビットをすべて 0 にクリアして D/A 出力を禁止してください。

20. RAM

本 LSI は 40k バイトの高速スタティック RAM を内蔵しています。RAM は、CPU と 32 ビット幅のデータバスで接続されており、バイトデータ、ワードデータ、ロングワードデータにかかわらず、1 ステートでアクセスできます。

RAM は、システムコントロールレジスタ (SYSCR) の RAME ビットにより有効または無効の制御が可能です。SYSCR については「3.2.2 システムコントロールレジスタ (SYSCR)」を参照してください。

製品分類		RAM 容量	RAM アドレス
フラッシュメモリ版	H8SX/1663	40k バイト	H'FF2000~H'FFBFFF
	H8SX/1664		

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

フラッシュメモリの特長を以下に示します。フラッシュメモリのブロック図を図 21.1 に示します。

21.1 特長

- 容量

製品区分		ROM 容量	ROM アドレス
H8SX/1663	R5F61663	384k バイト	H'000000~H'05FFFF (モード 2、6~7)
H8SX/1664	R5F61664	512k バイト	H'000000~H'07FFFF (モード 2、6~7)

- 内蔵プログラムのダウンロードによる書き込み/消去インタフェース
書き込み/消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードすると、パラメータの設定で書き込み/消去が可能です。
- 書き込み/消去時間
書き込み時間：128バイト同時書き込み3ms (typ)
消去時間：1ブロック (64kバイト) あたり2000ms (typ)
- 書き換え回数
100回 (min.回数) まで書き換え可能です (保証は1~100回)。
- 3種類のオンボードプログラミングモード
SCIブートモード：内蔵SCI₄を使用して、ユーザマットの書き込み/消去ができます。
SCIブートモードでは、ホストと本LSI間のビットレートを自動で合わせる
ことができます。
USBブートモード：内蔵USBを使用して、ユーザマットの書き込み/消去ができます。
ユーザプログラムモード：任意のインタフェースでユーザマットの書き込み/消去ができます。
- オフボードプログラミングモード
ライターモード：PROMライターを使用して、ユーザマットの書き込み/消去ができます。

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

- 書き込み/消去プロテクト

ハードウェアプロテクト、ソフトウェアプロテクト、エラープロテクトによりフラッシュメモリの書き込み/消去に対するプロテクトを設定できます。

- 内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリ (ユーザマツト) のエリアと内蔵RAMの一部を重ね合わせて、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

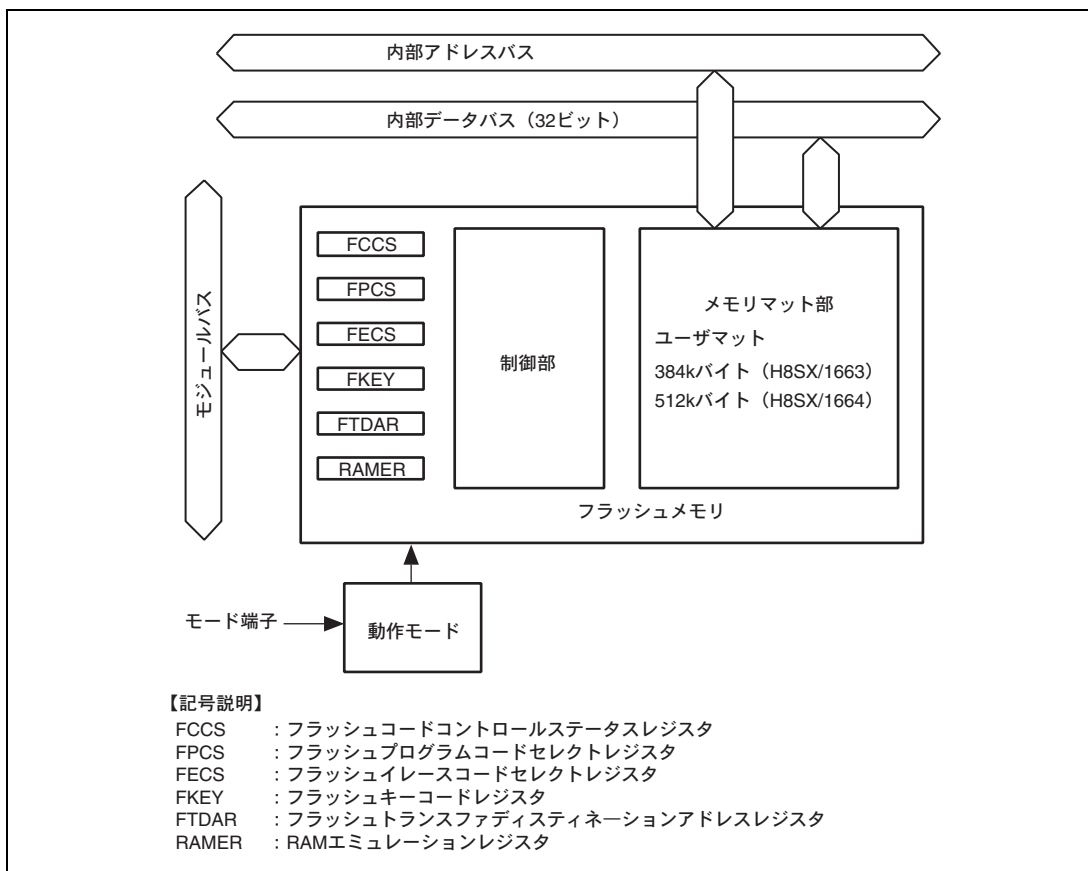


図 21.1 フラッシュメモリのブロック図

21.2 モード遷移図

リセット状態でモード端子を設定しリセットスタートすると、本LSIは図21.2に示すような動作モードへ遷移します。ユーザモードではフラッシュメモリの読み出しはできますが、書き込み/消去はできません。フラッシュメモリの書き込み/消去を行えるモードとして、ブートモード、ユーザプログラムモード、およびライターモードがあります。表21.1にブートモード、ユーザプログラムモード、ライターモードの相違点を示します。

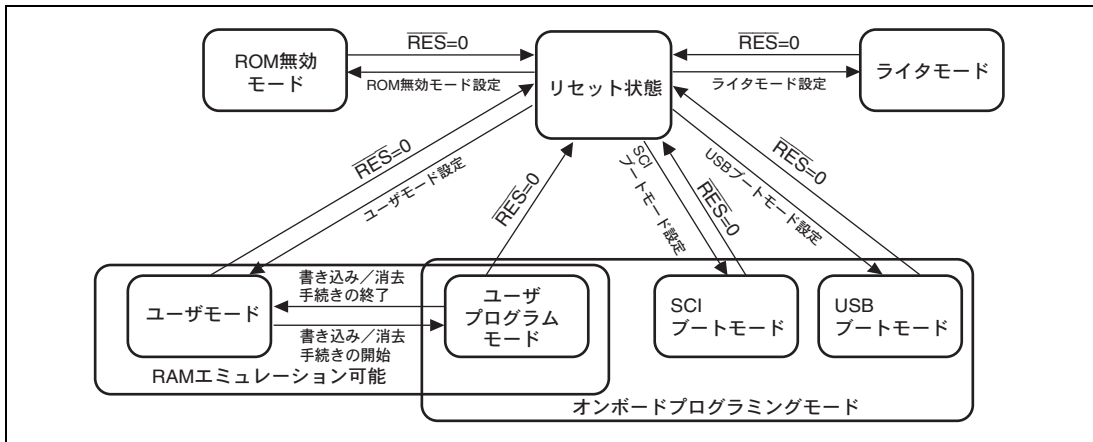


図 21.2 フラッシュメモリに関する状態遷移

表 21.1 ブートモード、ユーザプログラムモード、ライターモードの相違点

項目	SCI ブートモード	USB ブートモード	ユーザプログラムモード	ライターモード
書き込み/消去環境	オンボード プログラミング	オンボード プログラミング		オフボード プログラミング
書き込み/消去可能マット	● ユーザマット	● ユーザマット	● ユーザマット	● ユーザマット
書き込み/消去制御	コマンド方式	コマンド方式	書き込み/消去 インタフェース	コマンド方式
全面消去	○ (自動)	○ (自動)	○	○ (自動)
ブロック分割消去	○*1	○*1	○	×
書き込みデータ転送	ホストから SCI 経由	ホストから USB 経由	任意のデバイスから RAM 経由	ライター経由
RAM エミュレーション	×	×	○	×
リセット起動マット	組み込みプログラム格納 領域	組み込みプログラム格納 領域	ユーザマット	—
ユーザモードへの遷移	モード変更&リセット	モード変更&リセット	書き込み/消去手続きの 終了*2	—

【注】 *1 一旦、全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 本LSIでは、ユーザモードにて規定の書き込み/消去の手続きを開始したところから手続きを終了したところまでをユーザプログラムモードを規定します。書き込み/消去手続きの詳細は、「21.7.3 ユーザプログラムモード」を参照してください。

21.3 ブロック構成

21.3.1 H8SX/1663 のブロック図

図 21.3 に 384k バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細罫線は書き込みの単位を表し、枠内の数値はアドレスを示します。ユーザマットは、64k バイト (5 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4k バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

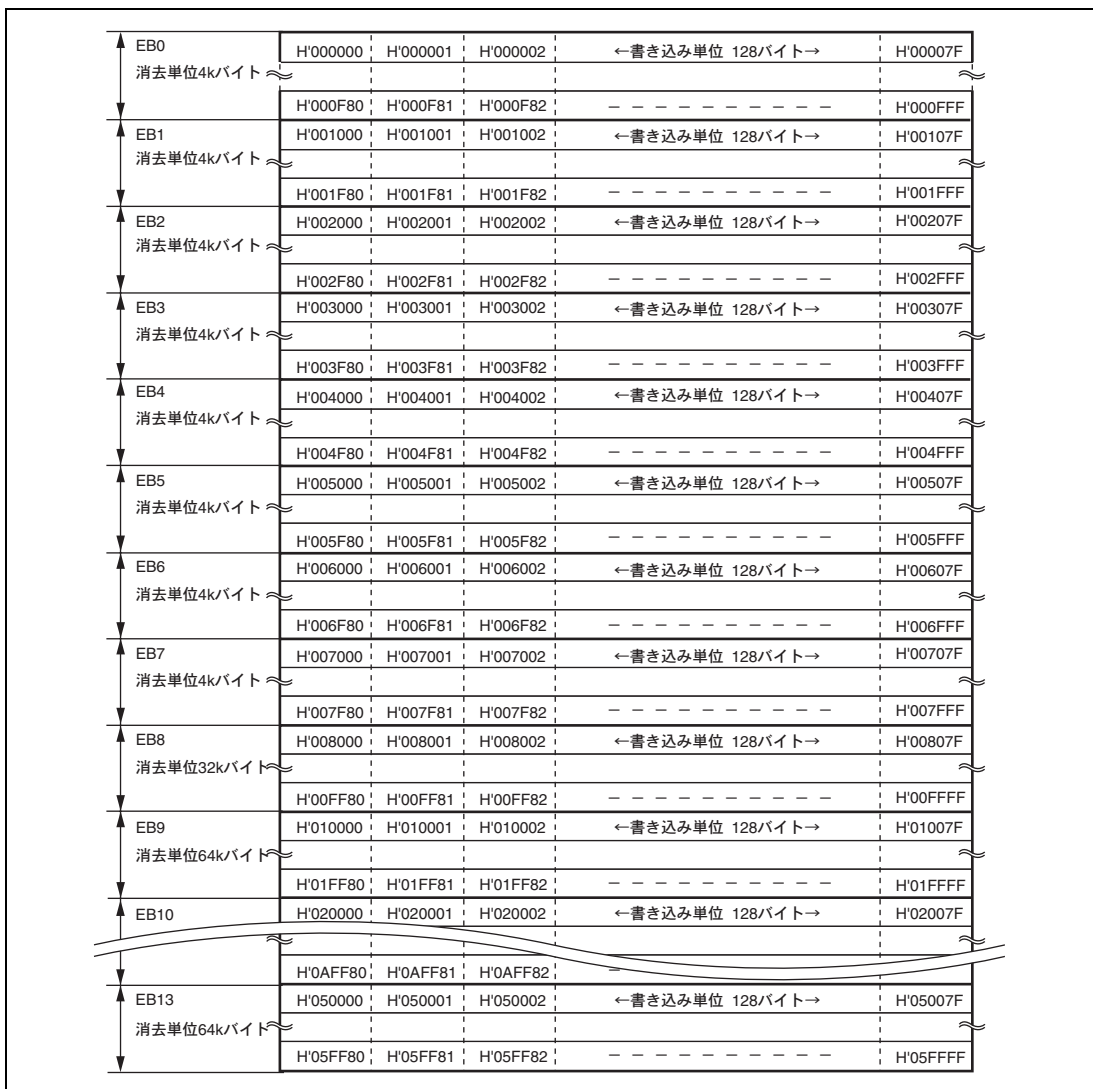


図 21.3 ユーザマットのブロック構成

21.3.2 H8SX/1664 のブロック図

図 21.4 に 512k バイトのユーザマットのブロック構成を示します。太線枠は消去ブロックを表します。細罫線は書き込みの単位を表し、枠内の数値はアドレスを示します。ユーザマットは、64k バイト (7 ブロック)、32k バイト (1 ブロック)、4k バイト (8 ブロック) に分割されていて、消去はこのブロック単位で行います。書き込みは下位アドレスが H'00 または H'80 で始まる 128 バイト単位で行います。4k バイト分割の 8 ブロックが RAM エミュレーション可能な領域です。

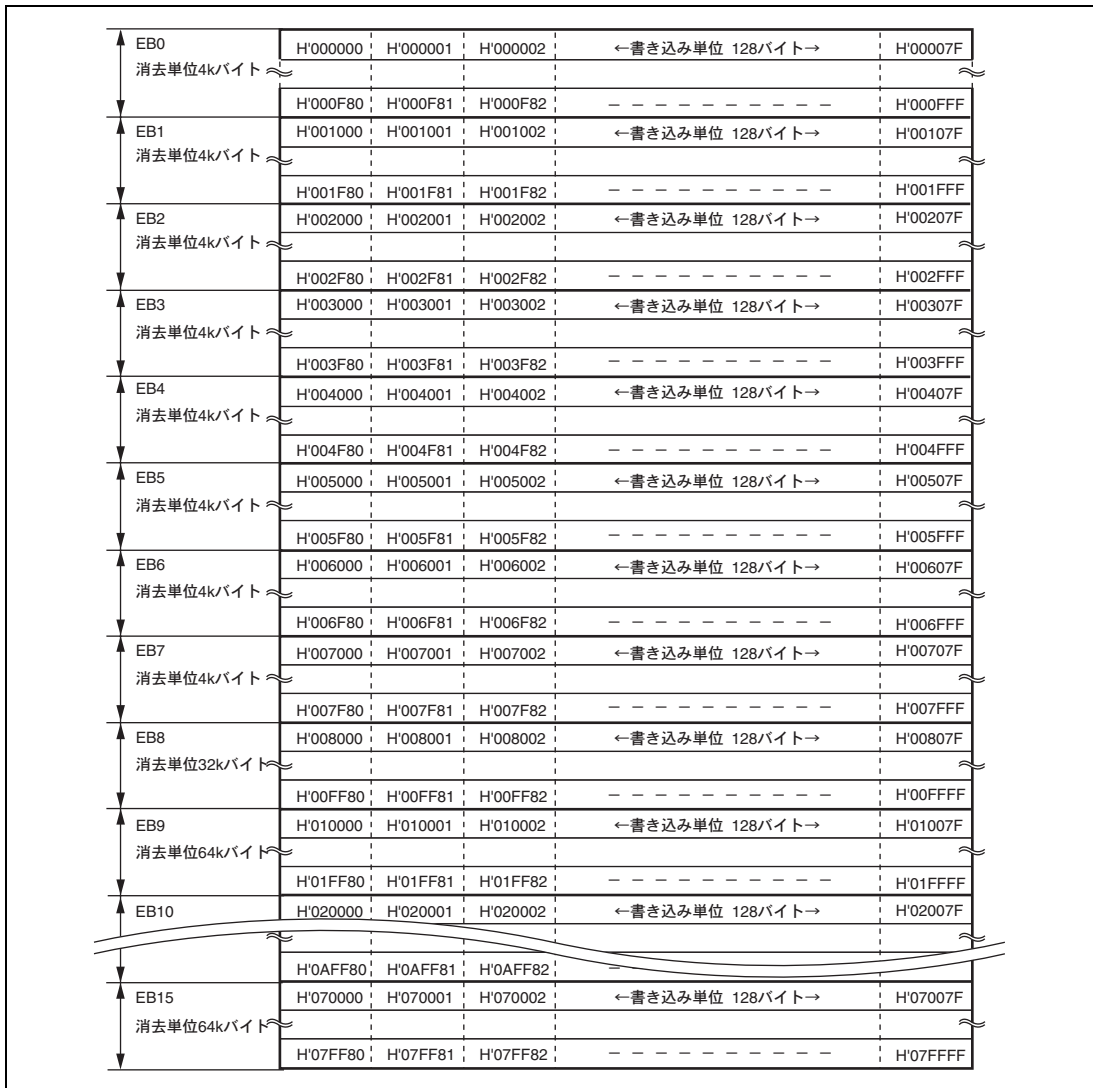


図 21.4 ユーザマットのブロック構成

21.4 書き込み/消去インタフェース

フラッシュメモリの書き込み/消去は、内蔵されている書き込み/消去プログラムを内蔵 RAM にダウンロードし、書き込み/消去インタフェースレジスタおよび書き込み/消去インタフェースパラメータで、書き込み先の先頭アドレス、書き込みデータ、および消去ブロック番号を指定して行います。

ユーザプログラムモードでは、これらの一連の手続きプログラムは、ユーザ側で用意していただきます。図 21.5 に手続きプログラムの作成手順を示します。詳細は「21.7.3 ユーザプログラムモード」を参照してください。

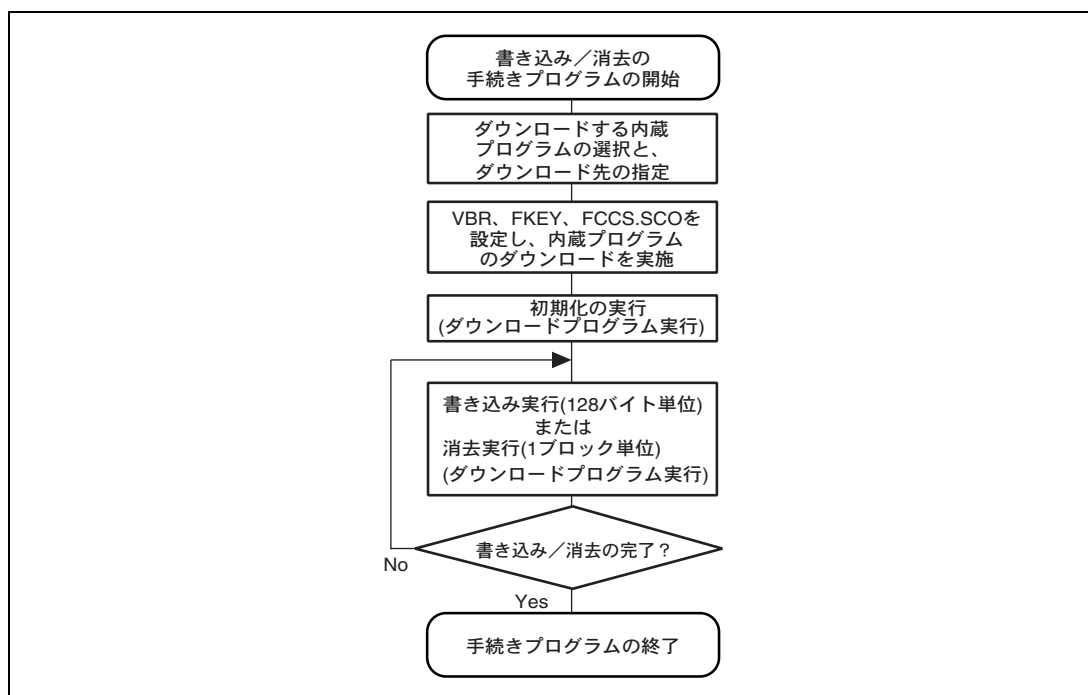


図 21.5 手続きプログラムの作成手順

(1) ダウンロードする内蔵プログラムの選択

本 LSI には、書き込み/消去プログラムが内蔵されており、内蔵 RAM へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み/消去インタフェースレジスタで行います。また、ダウンロードする内蔵 RAM 上の先頭アドレスは、フラッシュトランスファディステーションアドレスレジスタ (FTDAR) で指定します。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、ベクタベースレジスタ (VBR) を初期化した後、フラッシュキーレジスタ (FKEY) と、フラッシュコードコントロールステータスレジスタ (FCCS) の SCO ビットの設定により自動的に行われます。ダウンロード中はメモリマップが組み込みプログラム格納領域と入れ替わります。また、書き込み/消去中はメモリマップの読み出しはできないため、ユーザ手続きプログラムはフラッシュメモリ以外 (内蔵 RAM など) で実行してください。ダウンロードの結果は、書き込み/消去インタフェースパラメータに戻されません。このパラメータで正常にダウンロードできたかを確認できます。VBR はダウンロード終了後に変更可能になります。

(3) 書き込み/消去の初期化

書き込み/消去を行うためには決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。そのため書き込み/消去前に CPU の動作周波数を設定する必要があります。CPU の動作周波数の設定は、書き込み/消去インタフェースパラメータで行います。

(4) 書き込み/消去の実行

書き込みは書き込み先の先頭アドレス、書き込みデータの指定を 128 バイト単位で行います。消去は消去ブロック番号の指定を消去ブロック単位で行います。書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号の指定は書き込み/消去インタフェースパラメータで行い、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み/消去インタフェースパラメータに戻されます。

フラッシュメモリへの書き込みは、事前に対象領域のデータを消去してください。また、書き込み/消去中は、割り込み要求が発生しないようにしてください。

(5) 引き続き書き込み/消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で書き込み/消去が終了しない場合は、書き込み先の先頭アドレス、書き込みデータ、消去ブロック番号を更新して引き続き書き込み/消去を行うことができます。ダウンロードした内蔵プログラムは書き込み/消去終了後も内蔵 RAM 上に残っていますので、引き続き書き込み/消去を実行する場合は内蔵プログラムのダウンロードと初期化の必要はありません。

21.5 入出力端子

フラッシュメモリは、表 21.2 に示す入出力端子により制御されます。

表 21.2 端子構成

端子名	入出力	機能
RES	入力	リセット
EMLE	入力	オンチップエミュレータイネーブル端子 (フラッシュメモリの W/E 時は、EMLE=0)
MD3、MD2、MD1、MD0	入力	本 LSI の動作モードを設定
PM2	入力	SCI ブートモード/USB ブートモード設定 (MD3、MD2、MD1、MD0 でブートモード設定時)
TxD4	出力	シリアル送信データ出力 (SCI ブートモードで使用)
RxD4	入力	シリアル受信データ入力 (SCI ブートモードで使用)
USD+、USD-	入出力	USB データ入出力 (USB ブートモードで使用)
VBUS	入力	USB ケーブルの接続/切断検出 (USB ブートモードで使用)
PM3	入力	USB バスパワーモード/セルフパワーモード設定 (USB ブートモードで使用)
PM4	出力	D+プルアップ制御 (USB ブートモードで使用)

21.6 レジスタの説明

フラッシュメモリには以下のレジスタがあります。

書き込み/消去インタフェースレジスタ

- フラッシュコードコントロールステータスレジスタ (FCCS)
- フラッシュプログラムコードセレクトレジスタ (FPCS)
- フラッシュイレースコードセレクトレジスタ (FECS)
- フラッシュキーコードレジスタ (FKEY)
- フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

書き込み/消去インタフェースレジスタパラメータ

- ダウンロードパスフェイルリザルトパラメータ (DPFR)
- フラッシュパス/フェイルパラメータ (FPFR)
- フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)
- フラッシュマルチパーバスアドレスエリアパラメータ (FMPAR)
- フラッシュマルチパーバスデータディステーションパラメータ (FMPDR)
- フラッシュイレースブロックセレクトパラメータ (FEBS)
- RAMエミュレーションレジスタ (RAMER)

フラッシュメモリのアクセスには、いくつかの動作モードがあります。また、ユーザマットに動作モード、レジスタ、パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応を表 21.3 に示します。

表 21.3 使用レジスタ/パラメータと対象モード

レジスタ/パラメータ		ダウンロード	初期化	書き込み	消去	読み出し	RAM エミュレーション
書き込み/ 消去インタ フェース レジスタ	FCCS	○	-	-	-	-	-
	FPCS	○	-	-	-	-	-
	FECS	○	-	-	-	-	-
	FKEY	○	-	○	○	-	-
	FTDAR	○	-	-	-	-	-
書き込み/ 消去インタ フェース パラメータ	DPFR	○	-	-	-	-	-
	FPFR	-	○	○	○	-	-
	FPEFEQ	-	○	-	-	-	-
	FMPAR	-	-	○	-	-	-
	FMPDR	-	-	○	-	-	-
	FEBS	-	-	-	○	-	-
RAM エミュ レーション	RAMER	-	-	-	-	-	○

21. フラッシュメモリ (0.18 μm F-ZTAT 版)

21.6.1 書き込み/消去インタフェースレジスタ

書き込み/消去インタフェースレジスタは、8ビットのレジスタでバイトアクセスのみ可能です。これらのレジスタは、パワーオンリセットで初期化されます。

(1) フラッシュコードコントロールステータスレジスタ (FCCS)

FCCS は、フラッシュメモリの書き込み/消去中のエラー発生をモニタ、および内蔵 RAM に内蔵プログラムのダウンロードを要求します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	FLER	—	—	—	SCO
初期値	1	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	(R)/W

ビット	ビット名	初期値	R/W	説明
7	—	1	R	リザーブビット
6	—	0	R	これらのビットはリードのみ有効で、ライトは無効です。
5	—	0	R	
4	FLER	0	R	
3~1	—	すべて0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>

ビット	ビット名	初期値	R/W	説 明
0	SCO	0	(R)/W*	<p>ソースプログラムコピーオペレーション</p> <p>内蔵 RAM に書き込み／消去プログラムのダウンロードを要求するビットです。このビットを 1 にセットすると、FPCS、FECS で選択したプログラムを FT DAR で指定した内蔵 RAM 領域にダウンロードします。</p> <p>このビットを 1 にセットするには、RAM エミュレーション機能の解除、FKEY=H'A5、および SCO ビットの設定が内蔵 RAM 上で実行されていることが必要です。このビットを 1 にセットした直後は、FCCS のダミーリードを必ず 2 回実行してください。また、ダウンロード中は、すべての割り込み要求が発生しないようにしてください。ダウンロードが終了すると、このビットは 0 にクリアされます。</p> <p>このビットによるプログラムのダウンロードは、プログラム格納領域のバンク切り換えを伴う特殊な処理を行いますので、ダウンロードを要求する前に、VBR の値を H'00000000 に初期化してください。ダウンロード終了後は、VBR を変更できます。</p> <p>0 : 書き込み／消去プログラムのダウンロードを要求しない [クリア条件]</p> <ul style="list-style-type: none"> • ダウンロードが終了したとき <p>1 : 書き込み／消去プログラムのダウンロードを要求する [セット条件] (以下の条件をすべて満足しているとき)</p> <ul style="list-style-type: none"> • RAM エミュレーション機能が解除されているとき (RAMER の RAMS=0) • FKEY に H'A5 が書き込まれているとき • FCCS の SCO ビットの設定を内蔵 RAM 上で実行

【注】 * ライトのみ可能です。リードすると常に 0 が読み出されます。

(2) フラッシュプログラムコードセレクトレジスタ (FPCS)

FPCS は、ダウンロードする書き込みプログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	PPVS
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説 明
7~1	—	すべて 0	R	<p>リザーブビット</p> <p>これらのビットはリードのみ有効で、ライトは無効です。</p>
0	PPVS	0	R/W	<p>プログラムバルスベリファイ</p> <p>ダウンロードする書き込みプログラムを選択します。</p> <p>0 : 書き込みプログラムを選択しない [クリア条件]</p> <ul style="list-style-type: none"> • 転送が終了したとき <p>1 : 書き込みプログラムを選択する</p>

21. フラッシュメモリ (0.18μm F-ZTAT 版)

(3) フラッシュイレースコードセレクトレジスタ (FECS)

FECS は、ダウンロードする消去プログラムを選択します。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	—	EPVB
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W

ビット	ビット名	初期値	R/W	説明
7~1	—	すべて0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
0	EPVB	0	R/W	イレースパルスベリファイブロック ダウンロードする消去プログラムを選択します。 0 : 消去プログラムを選択しない [クリア条件] • 転送が終了したとき 1 : 消去プログラムを選択する

(4) フラッシュキーコードレジスタ (FKEY)

FKEY は、内蔵プログラムのダウンロード、およびフラッシュメモリへの書き込み/消去を許可するソフトウェアプロテクトのレジスタです。

ビット	7	6	5	4	3	2	1	0
ビット名	K7	K6	K5	K4	K3	K2	K1	K0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	K7	0	R/W	キーコード
6	K6	0	R/W	FKEY に H'A5 を書き込むと、FCCS の SCO ビットの書き込みが有効になります。
5	K5	0	R/W	H' A5 以外の値が書き込まれている場合は、SCO ビットを 1 にセットできないため、内蔵 RAM に内蔵プログラムをダウンロードできません。
4	K4	0	R/W	また、H'5A を書き込んだ場合のみフラッシュメモリへの書き込み/消去が可能になります。H'5A 以外の値が書き込まれている場合は、書き込み/消去プログラムを実行しても書き込み/消去できません。
3	K3	0	R/W	
2	K2	0	R/W	
1	K1	0	R/W	H'A5 : SCO ビットへの書き込みを許可
0	K0	0	R/W	(H'A5 以外では SCO ビットを 1 にセットできません) H'5A : フラッシュメモリへの書き込み/消去を許可 (H'5A 以外ではソフトウェアプロテクト状態) H'00 : 初期値

(5) フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムをダウンロードする内蔵 RAM 上の先頭アドレスを指定します。FCCS の SCO ビットを 1 にセットする前に FTDAR の設定を行ってください。

ビット	7	6	5	4	3	2	1	0
ビット名	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	TDER	0	R/W	トランスファディステーションアドレス設定エラー TDA6～TDA0 ビットで設定された先頭アドレス指定にエラーがあると、このビットが 1 にセットされます。 先頭アドレス指定のエラー判定は、FCCS の SCO ビットを 1 にセットしてダウンロードが実行されたときに、TDA6～TDA0 ビットの値が H'00～H'02 の範囲にあるかを判定します。SCO ビットを 1 にセットする前に、このビットを 0 にクリアして、FTDAR の値を H'00～H'02 の範囲に設定してください。 0 : TDA6～TDA0 の設定値は正常 1 : TDER、TDA6～TDA0 の設定値が H'03～H'FF で、ダウンロードが中断
6	TDA6	0	R/W	トランスファディステーションアドレス ダウンロード先の内蔵 RAM の先頭アドレスを指定します。設定可能な値は H'00～H'02 で、4k バイト以内で内蔵 RAM 上の先頭アドレスを指定できます。 H'00 : 先頭アドレスを H'FF9000 に設定 H'01 : 先頭アドレスを H'FFA000 に設定 H'02 : 先頭アドレスを H'FFB000 に設定 H'03～H'7F : 設定禁止 (H'03～H'7F の値が設定されると、TDER ビットが 1 にセットされ、内蔵プログラムのダウンロードが中断されます。)
5	TDA5	0	R/W	
4	TDA4	0	R/W	
3	TDA3	0	R/W	
2	TDA2	0	R/W	
1	TDA1	0	R/W	
0	TDA0	0	R/W	

21.6.2 書き込み/消去インタフェースパラメータ

書き込み/消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、書き込みデータの格納場所、書き込み先の先頭アドレス、消去ブロック番号の指定、および実行結果の受け渡しを行います。このパラメータは、CPU の汎用レジスタ (ER0、ER1) や内蔵 RAM 領域に設定します。書き込み/消去インタフェースパラメータは、パワーオンリセット、ソフトウェアスタンバイでの初期値は不定です。

内蔵プログラムのダウンロード、初期化、書き込み、消去の実行中は、R0 以外の CPU のレジスタはスタック領域に保存されるため、実行前にスタック領域を確保してください (使用スタック領域サイズは、最大 128 バイトです)。R0 は処理結果の戻り値が書き込まれます。書き込み/消去インタフェースパラメータは、ダウンロードの制御、書き込み/消去の初期化、書き込み、消去の実行で使用します。表 21.4 に使用パラメータと対象モードを示します。フラッシュパス/フェイルパラメータ (FPFR) は、初期化、書き込み、消去の実行結果が戻されますが、実行内容によってビットの意味が異なります。

表 21.4 使用パラメータと対象モード

パラメータ	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
DPFR	○	—	—	—	R/W	不定	内蔵 RAM*
FPFR	○	○	○	○	R/W	不定	CPU の R0L
FPEFEQ	—	○	—	—	R/W	不定	CPU の ER0
FMPAR	—	—	○	—	R/W	不定	CPU の ER1
FMPDR	—	—	○	—	R/W	不定	CPU の ER0
FEBS	—	—	—	○	R/W	不定	CPU の ER0

【注】 * FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト

(a) ダウンロードの制御

内蔵プログラムのダウンロードは、FCCS の SCO ビットを 1 にセットすると自動的に行われます。ダウンロードする内蔵 RAM 領域は、FTDAR で指定した先頭アドレスから 4k バイト分です。ダウンロードは書き込み/消去インタフェースレジスタで設定し、戻り値はダウンロードパスフェイルリザルトパラメータ (DPFR) に渡されます。

(b) 書き込み/消去の初期化

内蔵プログラムには、初期化プログラムも含まれています。書き込み/消去を行うためには決められた時間幅のパルス印加が必要で、ウェイトループを CPU 命令で構成する方法で規定のパルス幅を作成しています。そのため CPU の動作周波数を設定する必要があります。これらの設定を行うためにダウンロードした書き込み/消去プログラムのパラメータとして設定するのが初期化プログラムです。

(c) 書き込みの実行

フラッシュメモリへの書き込みは、ユーザマット上の書き込み先の先頭アドレスと書き込みデータを書き込みプログラムに渡す必要があります。

ユーザマット上の書き込み先の先頭アドレスは、汎用レジスタ ER1 に設定してください。このパラメータをフラッシュマルチパースアドレスエリアパラメータ (FMPAR) と呼びます。

書き込みデータは常に 128 バイト単位です。書き込みデータが 128 バイトに満たない場合でもダミーコード (H'FF) を埋め込んで、128 バイトの書き込みデータを準備してください。ユーザマット上の書き込み先の先頭アドレスの境界は、アドレスの下位 8 ビット (A7~A0) が H'00 または H'80 のいずれかにしてください

ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータは、CPU の MOV.B 命令でアクセス可能な連続空間で、フラッシュメモリ空間以外としてください。

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュマルチパースデータディスティネーションエリアパラメータ (FMPDR) と呼びます。

書き込み手順については「21.7.3 ユーザプログラムモード」を参照してください。

(d) 消去の実行

フラッシュメモリの消去は、ユーザマット上の消去ブロック番号を消去プログラムに渡す必要があります。

ユーザマット上の消去ブロック番号は、汎用レジスタ ER0 に設定してください。このパラメータをフラッシュイレースブロックセレクトパラメータ (FEBS) と呼びます。

消去ブロック番号は、0~13 のブロック番号から 1 ブロックを指定します。

消去手順については「21.7.3 ユーザプログラムモード」を参照してください。

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(1) ダウンロードパスフェイルリザルトパラメータ (DPFR) (FTDAR で指定した内蔵 RAM 上の先頭アドレスの 1 バイト)

ダウンロード結果の戻り値です。ダウンロード結果を DPFR の値で判断します。

ビット	7	6	5	4	3	2	1	0
ビット名	-	-	-	-	-	SS	FK	SF

ビット	ビット名	初期値	R/W	説明
7~3	-	-	-	未使用ビット 値 0 が戻されます。
2	SS	-	R/W	ソースセレクトエラー検出ビット ダウンロード可能なプログラムは 1 種類のみです。ダウンロードするプログラムが選択されていない場合、2 種類以上のプログラムが選択されている場合、またはマッピングされていないプログラムを選択した場合には、エラーとなります。 0 : ダウンロードするプログラムの選択は正常 1 : ダウンロードするプログラムの選択エラー
1	FK	-	R/W	フラッシュキーレジスタエラー検出ビット FKEY の値 (H'A5) を検出し、その結果を戻します。 0 : FKEY の設定値は正常 (H'A5) 1 : FKEY の設定値エラー (H'A5 以外の値)
0	SF	-	R/W	サクセス/フェイルビット ダウンロード結果を戻します。内蔵 RAM 上にダウンロードしたプログラムをリードバックし、内蔵 RAM 上に転送できたかを判定します。 0 : プログラムのダウンロードは正常終了 1 : プログラムのダウンロードが異常終了 (エラーの発生)

(2) フラッシュバス/フェイルパラメータ (FPFR)
(CPUの汎用レジスタ R0L)

FPFRは、書き込み/消去の初期化、書き込み、および消去の結果が戻されますが、実行内容によってビットの意味が異なります。

(a) 書き込み/消去の初期化

初期化結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	—	FQ	SF

ビット	ビット名	初期値	R/W	説明
7~2	—	—	—	未使用ビット 値0が戻されます。
1	FQ	—	R/W	周波数エラー検出ビット 設定されたCPUの動作周波数と本LSIがサポートしている動作周波数を比較し、その結果を戻します。 0: 動作周波数の設定は正常値 1: 動作周波数の設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 初期化結果を戻します。 0: 初期化は正常終了 (エラーなし) 1: 初期化が異常終了 (エラー発生)

(b) 書き込みの実行

書き込み結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	MD	EE	FK	—	WD	WA	SF

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値0が戻されます。
6	MD	—	R/W	書き込みモード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCSのFLERビットで確認できます。エラープロテクト状態への遷移条件については、「21.8.3 エラープロテクト」を参照してください。 0: 正常に動作 (FLER=0) 1: エラープロテクト状態で、書き込みできない (FLER=1)

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

ビット	ビット名	初期値	R/W	説 明
5	EE	—	R/W	書き込み実行時エラー検出ビット ユーザマツトが消去されていないために指定データを書き込めなかった場合、このビットには1が書き込まれます。このとき、ユーザマツトは途中で書き換えられている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 0: 書き込みは正常終了 1: 書き込みが異常終了 (書き込み内容は保証できない)
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 書き込み開始前のFKEYの値 (H'5A) を検出し、その結果を戻します。 0: FKEY の設定値は正常 (H'5A) 1: FKEY の設定値エラー (H'5A 以外の値)
3	—	—	—	未使用ビット 値0が戻されます。
2	WD	—	R/W	ライトデータアドレス検出ビット 書き込みデータの格納先の先頭アドレスに、フラッシュメモリ以外の領域が指定された場合はエラーになります。 0: 書き込みデータの格納先の先頭アドレス設定は正常値 1: 書き込みデータの格納先の先頭アドレス設定は異常値
1	WA	—	R/W	ライトアドレスエラー検出ビット 書き込み先の先頭アドレスに、次の領域が指定された場合はエラーになります。 • フラッシュメモリ以外の領域のとき • 指定されたアドレスが128バイト境界でないとき (アドレスの下位8ビットがH'00かH'80以外) 0: 書き込み先の先頭アドレス設定は正常値 1: 書き込み先の先頭アドレス設定が異常値
0	SF	—	R/W	サクセス/フェイルビット 書き込み結果を戻します。 0: 書き込みは正常終了 (エラーなし) 1: 書き込みが異常終了 (エラー発生)

(c) 消去の実行

消去結果の戻り値です。

ビット	7	6	5	4	3	2	1	0
ビット名	—	MD	EE	FK	EB	—	—	SF

ビット	ビット名	初期値	R/W	説明
7	—	—	—	未使用ビット 値0が戻されます。
6	MD	—	R/W	消去モード関連設定エラー検出ビット エラープロテクト状態を検出し、その結果を戻します。エラープロテクト状態のとき、このビットに1が書き込まれます。エラープロテクト状態であるか、ないかは、FCCSのFLERビットで確認できます。エラープロテクト状態への遷移条件については、「21.8.3 エラープロテクト」を参照してください。 0: 正常に動作 (FLER=0) 1: エラープロテクト状態で、書き込みできない (FLER=1)
5	EE	—	R/W	消去実行時エラー検出ビット ユーザマットの消去ができない、またはフラッシュメモリの関連レジスタの一部が書き換えられていると、このビットに1が戻されます。このとき、ユーザマットは途中まで消去されている可能性があるため、エラーになった原因を取り除いて消去からやり直してください。 0: 消去は正常終了 1: 消去が異常終了
4	FK	—	R/W	フラッシュキーレジスタエラー検出ビット 消去開始前のFKEYの値 (H'5A) を検出し、その結果を戻します。 0: FKEYの設定値は正常 (H'5A) 1: FKEYの設定値エラー (H'5A以外の値)
3	EB	—	R/W	イレースブロックセレクトエラー検出ビット 指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかを検出し、その結果を戻します。 0: 消去ブロック番号の設定は正常値 1: 消去ブロック番号の設定が異常値
2	—	—	—	未使用ビット
1	—	—	—	値0が戻されます。
0	SF	—	R/W	サクセス/フェイルビット 消去結果を戻します。 0: 消去は正常終了 (エラーなし) 1: 消去が異常終了 (エラー発生)

21. フラッシュメモリ (0.18μm F-ZTAT 版)

(3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ) (CPUの汎用レジスタ ER0)

CPUの動作周波数を設定するパラメータです。本LSIがサポートしている動作周波数範囲は8~50MHzです。

ビット	31	30	29	28	27	26	25	24
ビット名	—	—	—	—	—	—	—	—
ビット	23	22	21	20	19	18	17	16
ビット名	—	—	—	—	—	—	—	—
ビット	15	14	13	12	11	10	9	8
ビット名	F15	F14	F13	F12	F11	F10	F9	F8
ビット	7	6	5	4	3	2	1	0
ビット名	F7	F6	F5	F4	F3	F2	F1	F0

ビット	ビット名	初期値	R/W	説明
31~16	—	—	—	未使用ビット 値0を設定してください。
15~0	F15~F0	—	R/W	周波数設定ビット CPUの動作周波数を設定します。PLL 逡倍を使用する場合は逡倍後の周波数を設定してください。設定値の算出は次のようにしてください。 <ul style="list-style-type: none"> MHz 単位で表現した動作周波数を小数点第3位で四捨五入し、小数点第2位までとする。 100倍した値を2進数に変換し、FPEFEQ (汎用レジスタ ER0) に書き込む。具体例としてCPUの動作周波数が35.000MHzの場合には次のようになります。 35.000の小数点第3位を四捨五入 35.00×100=3500を2進数変換し、B'0000 1101 1010 1100 (H'0CE4)をER0に設定する。

(4) フラッシュマルチパースアドレスエリアパラメータ (FMPAR)
(CPU の汎用レジスタ ER1)

ユーザマツト上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ領域外にアドレスが指定されている場合、または書き込み先の先頭アドレスが 128 バイト境界でない場合は、エラーとなります。これらのエラーは、FPFR の WA ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24

ビット	23	22	21	20	19	18	17	16
ビット名	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16

ビット	15	14	13	12	11	10	9	8
ビット名	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8

ビット	7	6	5	4	3	2	1	0
ビット名	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0

ビット	ビット名	初期値	R/W	説明
31~0	MOA31 ~ MOA0	—	R/W	ユーザマツト上の書き込み先の先頭アドレスを設定します。ここで指定されたユーザマツトの先頭アドレスから連続 128 バイトの書き込みが行われます。指定した書き込み先の先頭アドレスは 128 バイト境界となり、MOA6~MOA0 は常に 0 になります。

21. フラッシュメモリ (0.18μm F-ZTAT 版)

(5) フラッシュマルチパースデータデスティネーションパラメータ (FMPDR) (CPU の汎用レジスタ ER0)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。

書き込みデータの格納先がフラッシュメモリ領域内の場合、エラーとなります。このエラーは FPFR の WD ビットに反映されます。

ビット	31	30	29	28	27	26	25	24
ビット名	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24
ビット	23	22	21	20	19	18	17	16
ビット名	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
ビット	15	14	13	12	11	10	9	8
ビット名	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8
ビット	7	6	5	4	3	2	1	0
ビット名	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0

ビット	ビット名	初期値	R/W	説明
31~0	MOD31 ~ MODA0	—	R/W	ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに書き込まれます。

(6) フラッシュイレースブロックセレクトパラメータ (FEBS)
(CPU の汎用レジスタ ER0)

- H8SX/1663

消去ブロック番号を指定します。0～13 (H'0000～H'000D) の範囲で消去ブロック番号を数値で設定します。0 は EB0 ブロック、13 は EB13 ブロックに対応します。0～13 以外の設定ではエラーになります。

- H8SX/1664

消去ブロック番号を指定します。0～15 (H'0000～H'000F) の範囲で消去ブロック番号を数値で設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0～15 以外の設定ではエラーになります。

ビット	31	30	29	28	27	26	25	24
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	23	22	21	20	19	18	17	16
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	15	14	13	12	11	10	9	8
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名								
初期値:	—	—	—	—	—	—	—	—
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

21.6.3 RAM エミュレーションレジスタ (RAMER)

RAMER は、ユーザマットの書き換えをエミュレートするときに、内蔵 RAM の一部 (H'FFFA000~H'FFFAFFF) と重ね合わせるユーザマットのエリアを設定します。RAMER の設定はユーザモード、ユーザプログラムモードで行ってください。エミュレーション機能を確実に動作させるためには、RAMER の書き換え直後に RAM エミュレーションの対象マットをアクセスしないでください。正常なアクセスは保証されません。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7~4	—	0	R	リザーブビット これらのビットはリードのみ有効で、ライトは無効です。
3	RAMS	0	R/W	RAM セレクト RAM によるフラッシュメモリのエミュレーション選択ビットです。 0 : RAM エミュレーション機能は無効 1 : RAM エミュレーション機能は有効 (ユーザマット全ブロックは、書き込み/消去プロテクト状態)
2	RAM2	0	R/W	フラッシュメモリエリア選択 RAMS=1 のとき、RAM とオーバーラップさせるユーザマットのエリアを選択します。これらのエリアは 4k バイトの消去ブロックに対応しています。 000 : H'000000~H'000FFF(EB0) 001 : H'001000~H'001FFF(EB1) 010 : H'002000~H'002FFF(EB2) 011 : H'003000~H'003FFF(EB3) 100 : H'004000~H'004FFF(EB4) 101 : H'005000~H'005FFF(EB5) 110 : H'006000~H'006FFF(EB6) 111 : H'007000~H'007FFF(EB7)
1	RAM1	0	R/W	
0	RAM0	0	R/W	

21.7 オンボードプログラミング

モード端子 (MD0, MD1, MD2, MD3) をオンボードプログラミングモードに設定し、リセットスタートすると、内蔵フラッシュメモリへの書き込み/消去を行うことができるオンボードプログラミングモードへ遷移します。オンボードプログラミングモードには、PM2 の設定により SCI ブートモード、USB ブートモードおよびユーザプログラムモードの3種類の動作モードがあります。

各動作モードへの設定方法を表 21.5 に示します。フラッシュメモリに対する各モードへの状態遷移は、図 21.2 を参照してください。

表 21.5 オンボードプログラミングモードの設定方法

モード設定	EMLE	MD3	MD2	MD1	MD0	PM2
SCI ブートモード	0	0	0	1	0	0
USB ブートモード						1
ユーザプログラムモード			1	1	-	-

21.7.1 SCI ブートモード

SCI ブートモードは、SCI₄ を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザメモリへの書き込み/消去を行うモードです。

SCI ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。使用するシリアル通信は調歩同期式モードです。図 21.6 にブートモードのシステム構成を示します。SCI ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

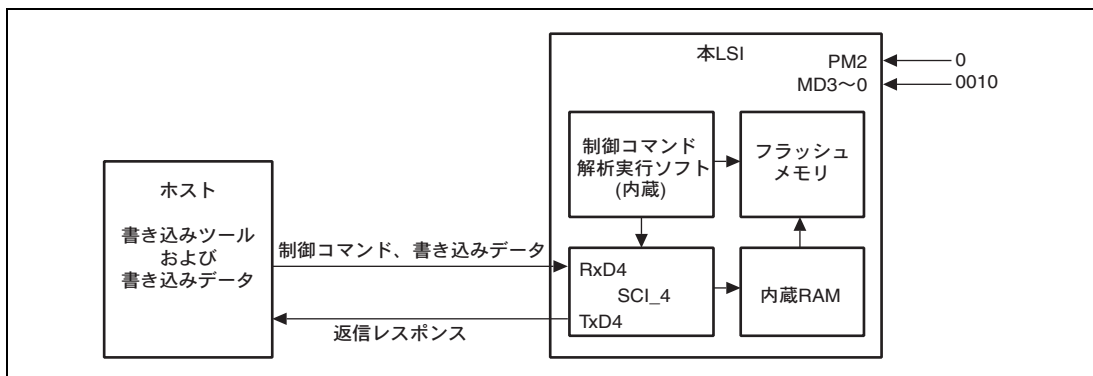


図 21.6 SCI ブートモードのシステム構成図

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(1) ホストのシリアルインタフェース設定

SCI_4 は調歩同期式モードに設定され、シリアル送信／受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」です。

SCI ブートモードに遷移すると、本 LSI 内部に組み込まれているブートプログラムが起動します。

本 LSI はブートプログラムが起動すると、ホストから連続送信される調歩同期式シリアル通信データ (H'00) の Low 期間を測定してビットレートを計算し、SCI_4 のビットレートをホストのビットレートに合わせ込みます。

ビットレートの合わせ込みが終了すると、調整終了の合図としてホストへ H'00 を 1 バイト送信します。ホストは調整終了の合図を正常に受信したら、本 LSI へ H'55 を 1 バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。ホスト側のビットレートと本 LSI のシステムクロック周波数の組み合わせによっては許容範囲内にビットレートを合わせ込めない場合があります。このため、ホストの転送ビットレートと本 LSI のシステムクロック周波数を表 21.6 の範囲としてください。

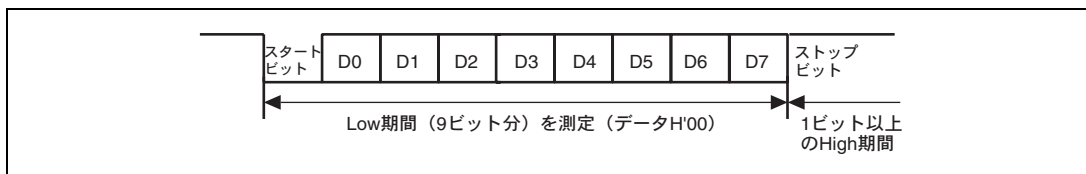


図 21.7 ビットレートの自動合わせ込み

表 21.6 ビットレート自動合わせ込みが可能なシステムクロック周波数

ホストのビットレート	本 LSI のシステムクロック周波数範囲
9,600 bps	8~18MHz
19,200 bps	8~18MHz

(2) 状態遷移

SCI ブートモード起動後の状態遷移を図 21.8 に示します。

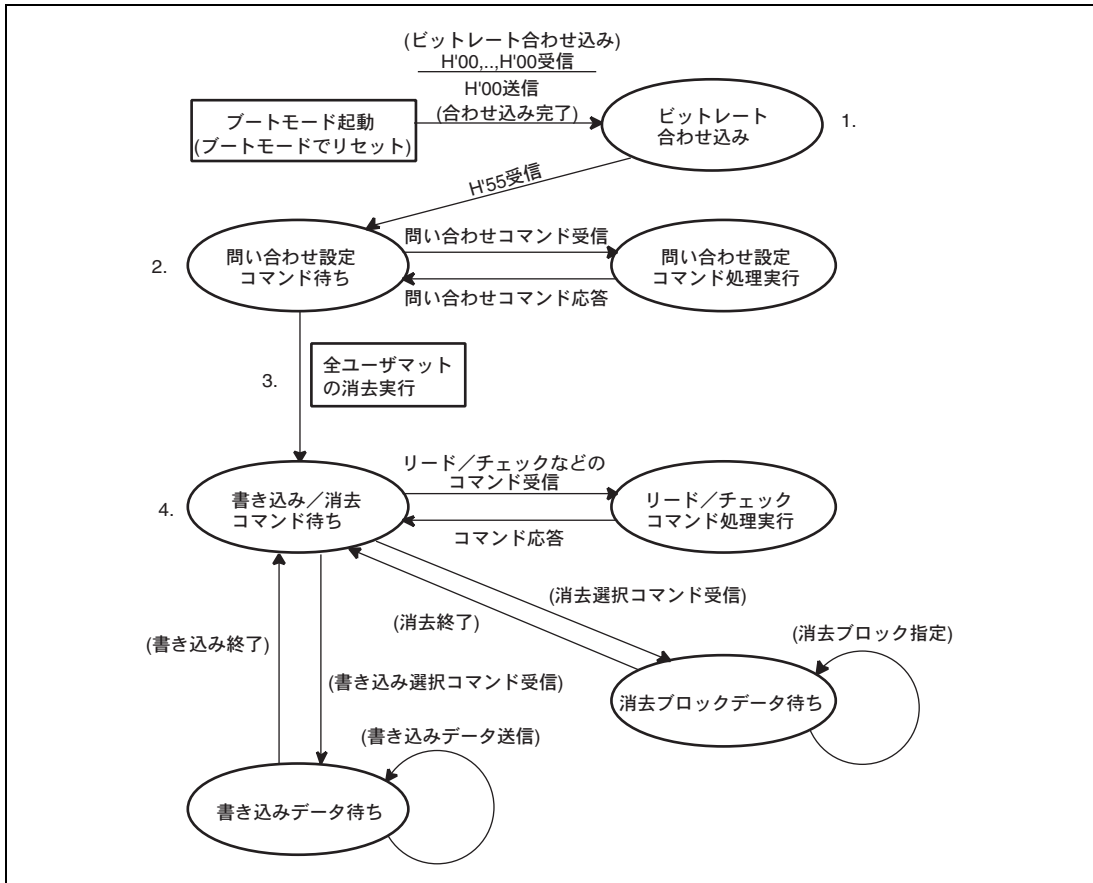


図 21.8 SCI ブートモードの状態遷移図

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

1. SCIブートモード起動後、SCI₄のビットレートをホストのビットレートに合わせ込みます。
2. ユーザマットのサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
3. 問い合わせが終了するとすべてのユーザマットを自動消去します。
4. 「書き込み準備通知」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンド送信後、書き込み先の先頭アドレス、書き込みデータを送信してください。書き込み終了後、書き込み先の先頭アドレスをH'FFFFFFFに設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。「消去準備通知」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンド送信後、消去ブロック番号を送信してください。消去終了後、消去ブロック番号をH'FFに設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。なお、消去の実行は、SCIブートモードで一旦書き込んだ後にリセットスタートせずに特定のブロックのみを書き換えるときに使用してください。1回の操作で書き込みができる場合は、書き込み/消去コマンド、それ以外のコマンド待ち状態の遷移前に全ブロックの消去が行われていますので本消去操作は必要ありません。書き込み/消去コマンド以外に、ユーザマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

ユーザマットのメモリ読み出しは、すべてのユーザマットを自動消去後に書き込んだデータについてのみ読み出しができます。それ以外は読み出しができません。

21.7.2 USB ブートモード

USB ブートモードは、USB を経由して外部に接続されたホストから制御コマンドや書き込みデータを送信し、ユーザマットへの書き込み/消去を行うモードです。

USB ブートモードでは、制御コマンドや書き込みデータを送信するツールと、書き込みデータをホスト側に準備しておく必要があります。図 21.9 に USB ブートモードのシステム構成を示します。USB ブートモードで割り込み要求が発生した場合は、無視されます。システム側で割り込み要求が発生しないようにしてください。

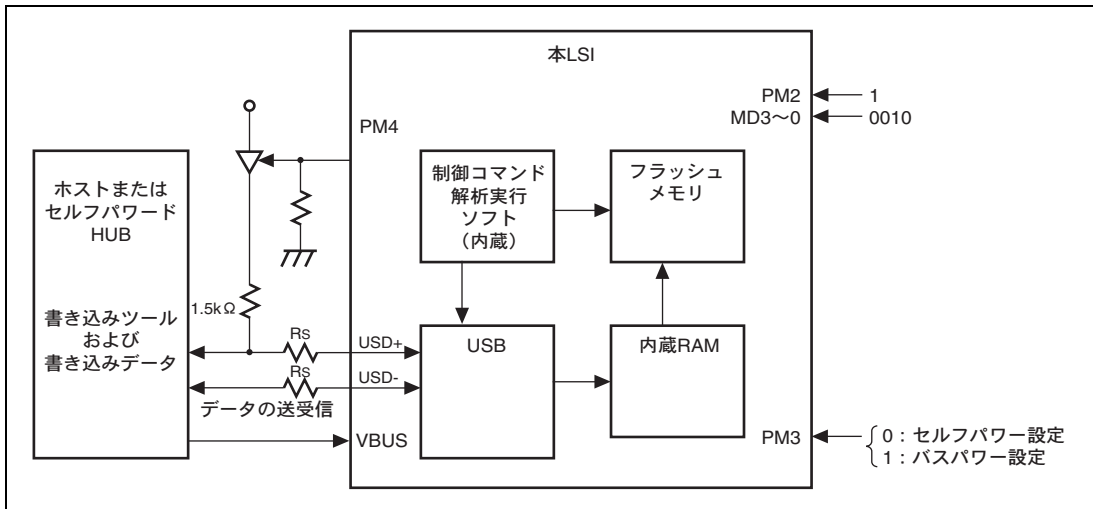


図 21.9 USB ブートモードのシステム構成図

(1) 特長

- バスパワーモードとセルフパワーモードを選択可能
- D+プルアップ制御接続はPM4端子のみ対応
- エニユメレーション情報は表21.7参照

表 21.7 エニユメレーション情報

USB規格	Ver.2.0 (Full-speed)	
転送モード	転送モードControl (in, out)、Bulk (in, out)	
最大電力量	セルフパワーモード時 (PM3端子=0)	100mA
	バスパワーモード時 (PM3端子=1)	500mA
エンドポイント構成	EP0 Control (in out) 8Bytes Configuration1 └ InterfaceNumber0 └ AlternateSetting0 └ EP1 Bulk (out) 64Bytes └ EP2 Bulk (in) 64Bytes	

(2) 状態遷移

USB ブートモード起動後の状態遷移を図 21.10 に示します。

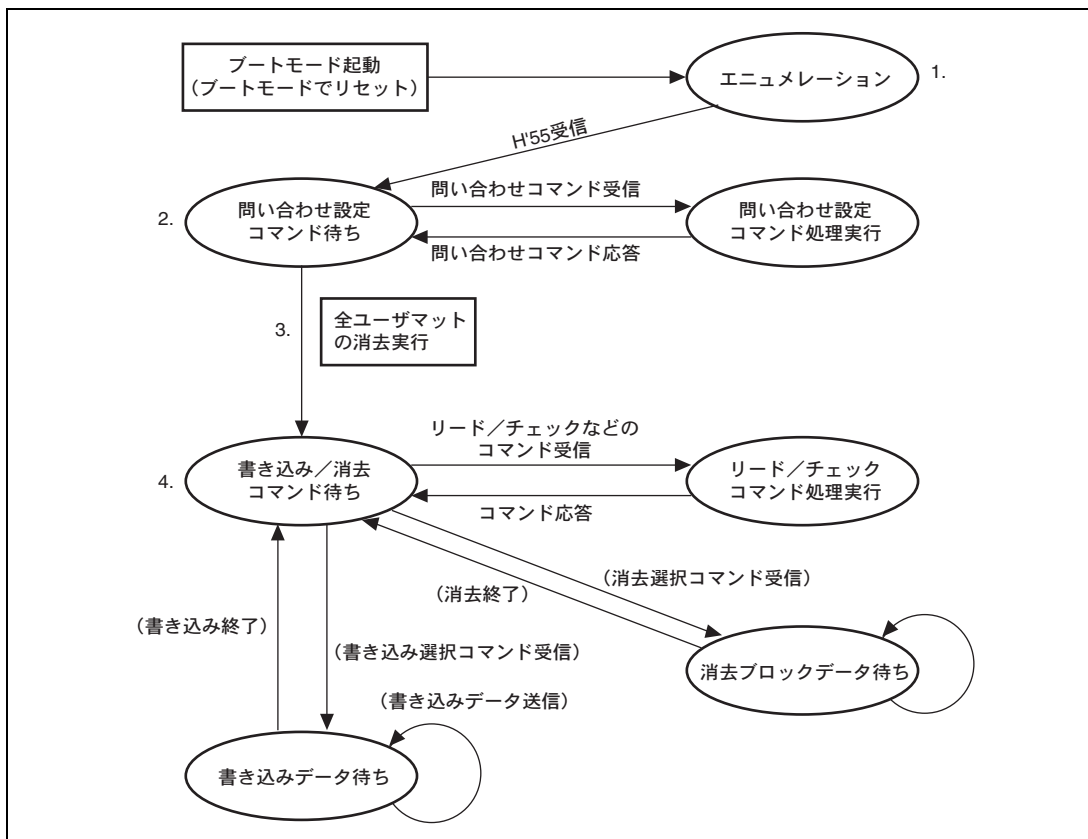


図 21.10 USB ブートモードの状態遷移

1. USBブートモードに遷移すると、本LSI内部に組み込まれているブートプログラムが起動します。本LSIはUSBブートプログラムが起動すると、ホストとのエnumレーションを行います。エnumレーションが完了したら、ホストは本LSIへH'55を1バイト送信してください。正常に受信できなかった場合は、ブートモードを再起動してください。
2. ユーザマットのサイズ、構成、先頭アドレス、サポート状況などの問い合わせ情報をホストに送信します。
3. 問い合わせが終了するとすべてのユーザマットを自動消去します。
4. ユーザマット自動消去後は書き込み/消去コマンド待ち状態になります。書き込みコマンド受信すると、書き込みデータ待ち状態に遷移します。消去も同様です。書き込み/消去コマンド以外に、ユーザマットのサムチェック、ブランクチェック（消去チェック）、メモリリード、および現在のステータス情報取得のコマンドがあります。

(3) USB ブートモード実行時の注意点

- USBモジュールへは48MHzのクロックを供給する必要があります。USB専用クロック (cku) が48MHzとなるように、外部クロックの周波数とクロック発振器を設定してください。詳細は「22. クロック発振器」をご確認ください。
- D+プルアップ制御接続はPM4端子を使用してください。
- フラッシュメモリへの書き込み/消去中における電源安定供給のために、バスパワーHUBを経由してのケーブル接続はしないでください。
- フラッシュメモリへの書き込み/消去中にUSBケーブルを抜くと、最悪の場合にはLSIの永久破壊となる可能性がありますので特に注意してください。
- バスパワーモード時にUSBバスがサスペンドモードに入っても低消費電力状態のソフトウェアスタンバイモードには遷移しません。

21.7.3 ユーザプログラムモード

内蔵されているプログラムをダウンロードしてユーザマットの書き込み/消去を行います。書き込み/消去フローを図 21.11 に示します。

書き込み/消去中はフラッシュメモリ内部に高電圧が印加されていますので、リセット、ハードウェアスタンバイへの遷移は行わないでください。書き込み/消去中にリセット、ハードウェアスタンバイへ遷移すると、フラッシュメモリにダメージを与える可能性があります。リセット入力した場合は、100μs 以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) の後にリセットリリースしてください。

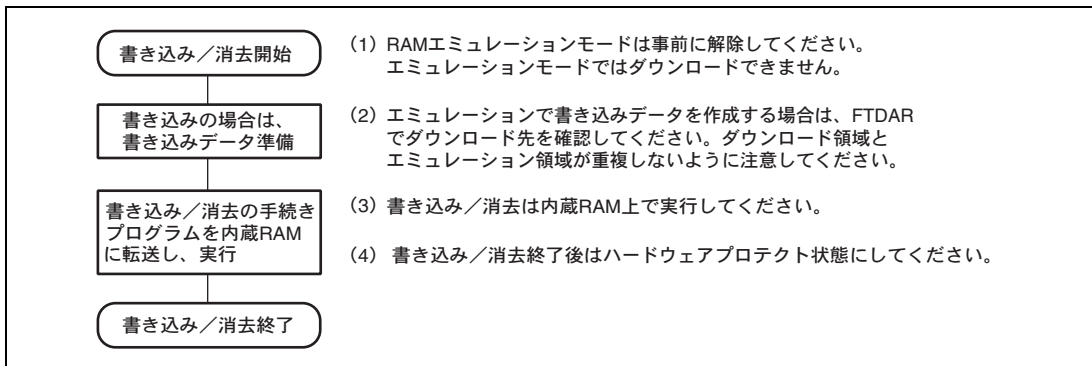


図 21.11 書き込み/消去フロー

21. フラッシュメモリ (0.18μm F-ZTAT 版)

(1) 書き込み/消去実行時の内蔵 RAM のアドレスマップ

ユーザ側で作成するダウンロード要求、書き込み/消去手順、結果判定などの手続きプログラムの一部は、必ず内蔵 RAM 上で実行してください。また、ダウンロードする内蔵プログラムは内蔵 RAM に組み込まれているため、内蔵プログラムと手続きプログラムが重複しないように注意してください。図 21.12 にダウンロードする内蔵プログラムの領域を示します。

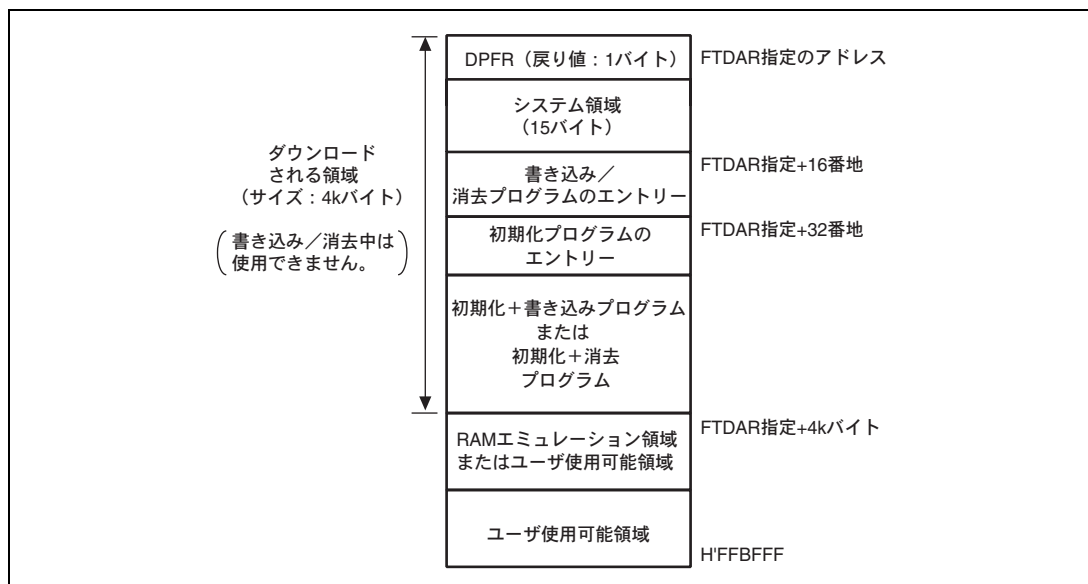


図 21.12 書き込み/消去実行時の RAM マップ

(2) ユーザプログラムモードでの書き込み手順

内蔵プログラムのダウンロード、初期化、および書き込み手順を図 21.13 に示します。

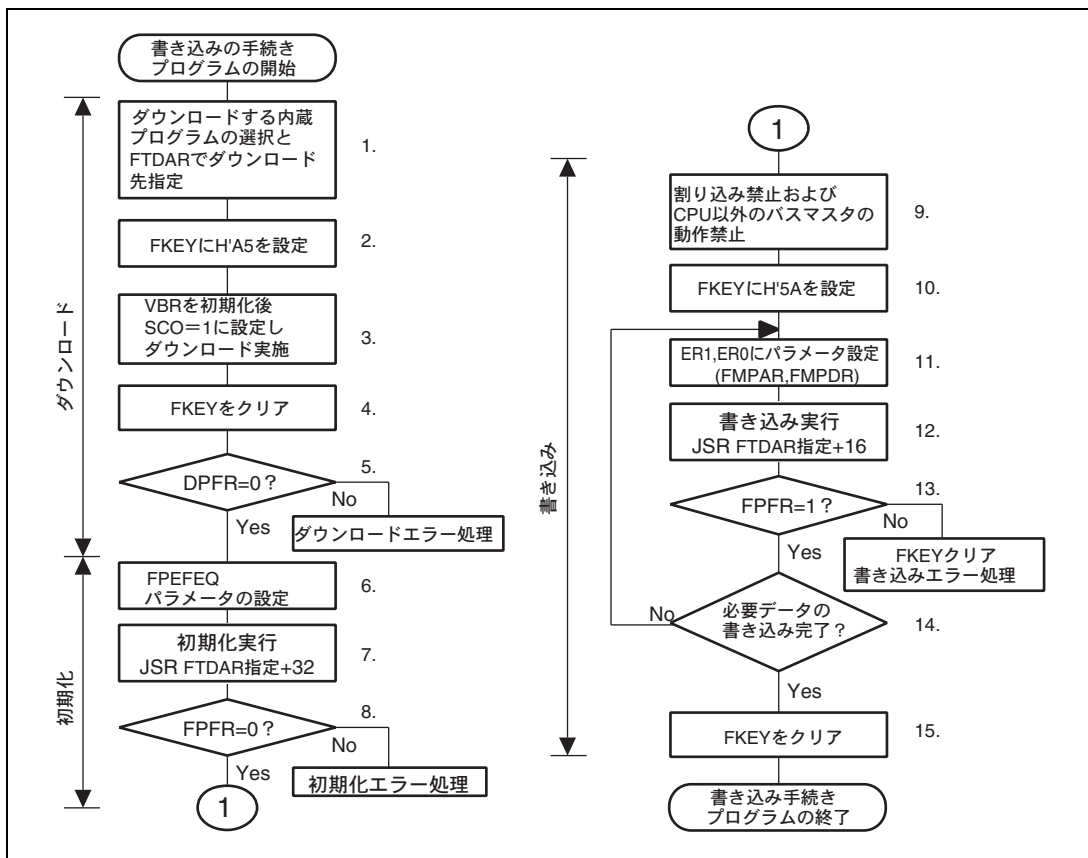


図 21.13 ユーザプログラムモードでの書き込み手順

手続きプログラムは、書き込み対象のフラッシュメモリ以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間）は「21.7.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。以下の説明は、ユーザマツトの書き込み対象領域は消去されており、書き込みデータも連続領域に準備できたという前提です。

1 回の書き込みデータは常に 128 バイト単位です。128 バイトを超える場合は、書き込み先の先頭アドレス、書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。書き込みデータが 128 バイトに満たない場合も無効データを埋め込んで、128 バイトの書き込みデータを準備してください。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

1. ダウンロードする内蔵プログラムとダウンロード先を選択します。FPCSのPPVSビットを1にセットすると書き込みプログラムが選択されます。書き込み/消去プログラムは複数選択することができません。複数選択するとDPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の内蔵RAMの先頭アドレスを指定します。
2. FKEYにH'A5を書き込みます。FKEYにH'A5を書き込まないと、ダウンロードを要求するFCCSのSCOビットを1にセットすることができません。
3. VBRをH'00000000に初期化後、SCOビットを1にセットしダウンロードを実行します。SCOビットを1にセットするには、次の条件をすべて満足する必要があります。
 - RAMエミュレーションモードが解除されている
 - FKEYにH'A5が書き込まれている
 - SCOビットの設定が内蔵RAM上で実行されている

SCOビットが1にセットされると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきたときにはSCOビットが0にクリアされているため、手続きプログラムではSCOビットが1にセットされていることを確認できません。ダウンロード結果はDPFRパラメータの戻り値で確認するため、SCOビットを1にセットする前に、DPFRパラメータとなるFTDARで指定した内蔵RAMの先頭1バイトを戻り値以外 (H'FFなど) に設定して誤判定を防いでください。ダウンロードの実行は、次に示すようなバンク切り替えを伴った特殊な処理を行いますので、VBRはH'00000000に初期化してください。また、SCOビットを1にセットした直後は、必ずFCCSのダミーリードを2回実行してください。

- ユーザマット空間を内蔵プログラム格納領域に切り替えます。
 - ダウンロードするプログラムとFTDARで指定した内蔵RAMの先頭アドレスをチェック後、内蔵RAMへ転送します。
 - FPCS、FECSおよびFCCSのSCOビットを0にクリアします。
 - DPFRパラメータに戻り値を設定します。
 - 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。戻った後は、VBRの再設定が可能です。
 - CPUの汎用レジスタの値は保存されます。
 - ダウンロード中はすべての割り込み要求は受け付けられませんが、割り込み要求は保持されていますので、手続きプログラムに戻ったときに割り込み要求が発生します。
 - レベル検出割り込み要求を保持したい場合は、ダウンロード終了まで割り込み要求の発生が必要です。
 - SCOビットを1にセットする前に最大128バイトのスタック領域を内蔵RAM上に確保してください。
 - ダウンロード中にDMACまたはDTCによるフラッシュメモリへのアクセスが発生すると動作の保証ができません。DMAC、DTCによるアクセスが発生しないように注意してください。
4. プロテクトのためにFKEYをH'00にクリアします。

5. DPFRパラメータの値でダウンロード結果を確認します。DPFR パラメータ (FTDARで指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。DPFR パラメータの値がH'00であればダウンロードが正常に終了しています。H'00以外の場合は、ダウンロードできなかった原因を次の手順で調べることができます。
 - DPFRパラメータの値がダウンロード実行前に設定した値と同じであった場合は、FTDARのダウンロード先の先頭アドレス設定に異常が考えられますので、FTDARのTDERビットを確認してください。
 - DPFRパラメータの値がダウンロード実行前の設定値と異なっている場合は、DPFRパラメータのSSビットやFKビットでダウンロードするプログラムの選択やFKEYの設定値を確認をしてください。
6. 初期化のためにFPEFEQパラメータにCPUの動作周波数を設定します。FPEFEQパラメータに設定できる動作周波数は8~50MHzです。この範囲以外の周波数を設定すると、初期化プログラムのFPFRパラメータにエラーが報告され初期化は行われません。周波数の設定方法は「21.6.2 書き込み/消去インタフェースパラメータ (3) フラッシュプログラム/イレース周波数パラメータ (FPEFEQ)」を参照してください。
7. 初期化を実行します。初期化プログラムは書き込みプログラムのダウンロードと一緒に内蔵RAMにダウンロードされます。FTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 初期化ルーチンをコール
NOP		

- 初期化プログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 初期化プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
 - 初期化プログラム実行中の割り込み要求受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないように注意してください。
8. 初期化プログラムの戻り値FPFRパラメータを判定します。
 9. 書き込み/消去中は、すべての割り込み要求とCPU以外のバスマスタの使用を禁止してください。書き込み/消去中は、規定電圧が規定時間幅で印加されています。書き込み/消去中に割り込み要求が発生、またはCPU以外にバス権が移行するなど規定以上の電圧が印加されると、フラッシュメモリにダメージを与える可能性があります。割り込み要求は、割り込み制御モード0のときコンディションコードレジスタ (CCR) のビット7 (I) をB'1に、割り込み制御モード2のときエクステンドレジスタ (EXR) のビット2~0 (I2~I0) をB'111に設定することで禁止され、NMI以外の割り込み要求は保持されて実行されません。NMI割り込みは、ユーザシステム上で発生しないようにしてください。保持した割り込み要求は、すべての書き込み終了後に実行してください。また、CPU以外のDMACまたはDTCへのバス権の移行が発生した場合、エラープロテクト状態に遷移するため、DMACによるバス権確保が発生しないようにしてください。

21. フラッシュメモリ (0.18 μm F-ZTAT 版)

10. FKEYにH'5Aを設定し、ユーザマットへの書き込みができるようにしてください。
11. 書き込みに必要なパラメータの設定を行います。ユーザマットの書き込み先の先頭アドレス (FMPARパラメータ) を汎用レジスタER1に、書き込むデータが格納されている領域の先頭アドレス (FMPDRパラメータ) を汎用レジスタER0に設定します。
 - FMPARパラメータ設定例：ユーザマットエリア以外に書き込み先の先頭アドレスが指定された場合、書き込みプログラムを実行しても書き込みは行われずに、FPFRパラメータにエラーが報告されます。また、1回の書き込みデータは常に128バイト単位であるため、アドレスの下位8ビットはH'00かH'80の128バイト境界である必要があります。
 - FMPDR設定例：書き込みデータの格納先がフラッシュメモリ上の場合、書き込みルーチンを実行しても書き込みは行われずに、FPFRパラメータにエラーが報告されます。この場合は一旦内蔵RAMに転送して、書き込むようにしてください。
12. 書き込みを実行します。FTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+16バイトからの領域に、書き込みプログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 書き込みルーチンをコール
NOP		

- 書き込みプログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 書き込みプログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
13. 書き込みプログラムの戻り値FPFRパラメータを判定します。
 14. 必要データの書き込みが終了したかを判断します。128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRパラメータを更新して上記11.~14.の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポイントの更新を正しく行ってください。書き込み終了のアドレスへの重複書き込みになると、書き込みエラーとなりフラッシュメモリにもダメージを与えます。
 15. 書き込みが終了するとFKEYをクリアして、ソフトウェアプロテクト状態にしてください。書き込み終了直後にリセットで再起動する場合は、100 μs以上のリセット入力期間 (RES=0の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

内蔵プログラムのダウンロード、初期化、消去の手順を図 21.14 に示します。

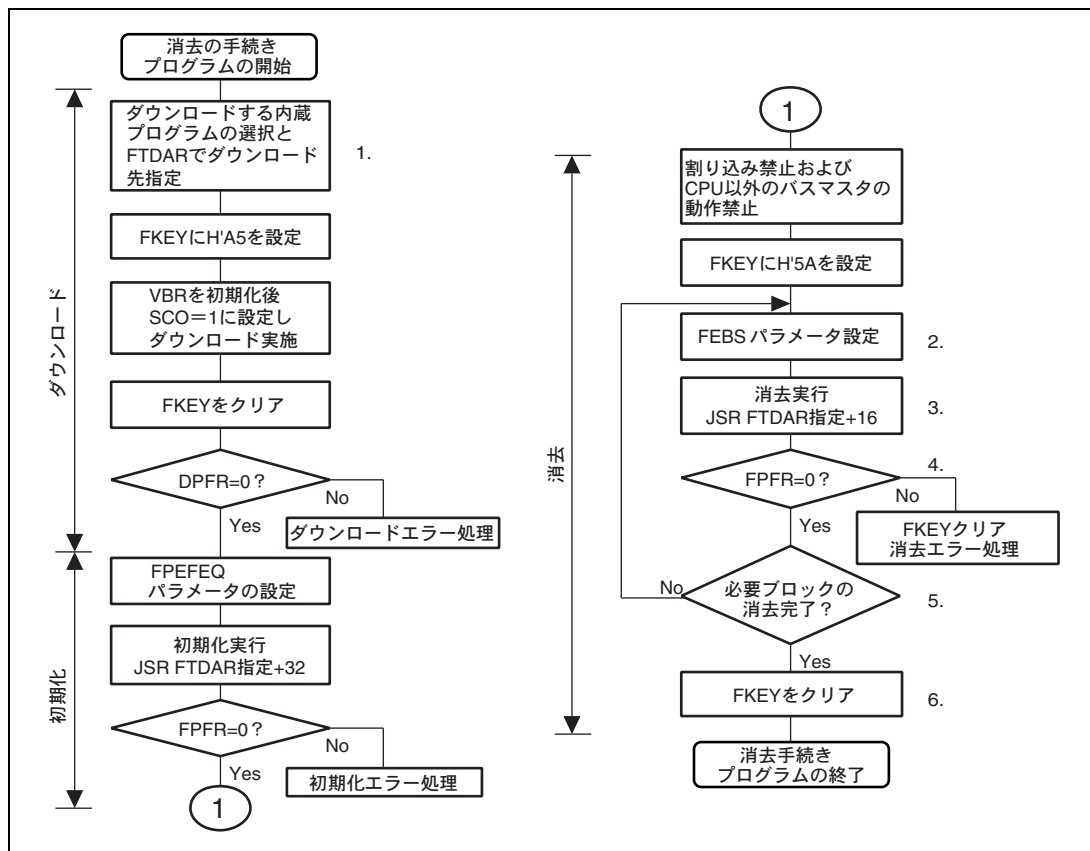


図 21.14 ユーザプログラムモードでの消去手順

手続きプログラムは、消去対象のユーザマツト以外の領域で実行してください。ダウンロードを要求する FCCS の SCO ビットの設定は、必ず内蔵 RAM 上で実行してください。手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマツト、外部空間）は「21.7.4 内蔵プログラム、書き込みデータの格納可能領域」を参照してください。ダウンロードする内蔵プログラムの領域は図 21.12 を参照してください。

1 回の消去は 1 ブロックです。ブロック分割については図 21.3、図 21.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返します。

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

1. ダウンロードする内蔵プログラムを選択します。FECSのEPVBビットを1にセットするとダウンロードする消去プログラムが選択されます。書き込み/消去プログラムは複数選択することはできません。複数選択するとDPFRパラメータのSSビットにダウンロードエラーが報告されます。FTDARでダウンロード先の内蔵RAMの先頭アドレスを指定します。

FKEYへの書き込み以降の手続きは、「21.7.3 ユーザプログラムモード (2) ユーザプログラムモードでの書き込み手順」を参照してください。

2. 消去に必要なFEBSパラメータの設定を行います。ユーザマットの消去ブロック番号 (FEBSパラメータ) を汎用レジスタER0に設定します。ユーザマットの消去ブロック番号以外の値が設定された場合、消去プログラムを実行しても消去されずに、FPFRパラメータにエラーが報告されます。
3. 消去を実行します。書き込みと同様にFTDARで指定したダウンロード先の先頭アドレスを#DLTOPとしたときも、#DLTOP+16バイトからの領域に、消去プログラムのエントリーポイントがありますので、次のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,ER2	; エントリアドレスを ER2 に設定
JSR	@ER2	; 消去ルーチンをコール
NOP		

- 消去プログラムではER0、ER1以外の汎用レジスタは保存されます。
 - R0LはFPFRパラメータの戻り値です。
 - 消去プログラムではスタック領域を使用しますので、最大128バイトのスタック領域をRAM上に確保してください。
4. 消去プログラムの戻り値FPFRパラメータを判定します。
 5. 必要ブロックの消去が終了したかを判断します。複数ブロックを消去する場合、FEBSパラメータを更新して上記2.~5.の処理を繰り返します。
 6. 消去が終了するとFKEYをクリアして、ソフトウェアプロテクト状態にしてください。消去終了直後にパワーオンリセットで再起動する場合は、100 μ s以上のリセット入力期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去/書き込み/RAM エミュレーション手順

FTDAR でダウンロード先の内蔵 RAM の先頭アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードすることができます。

消去、書き込み、RAM エミュレーションを繰り返し実行する場合の手順を図 21.15 に示します。

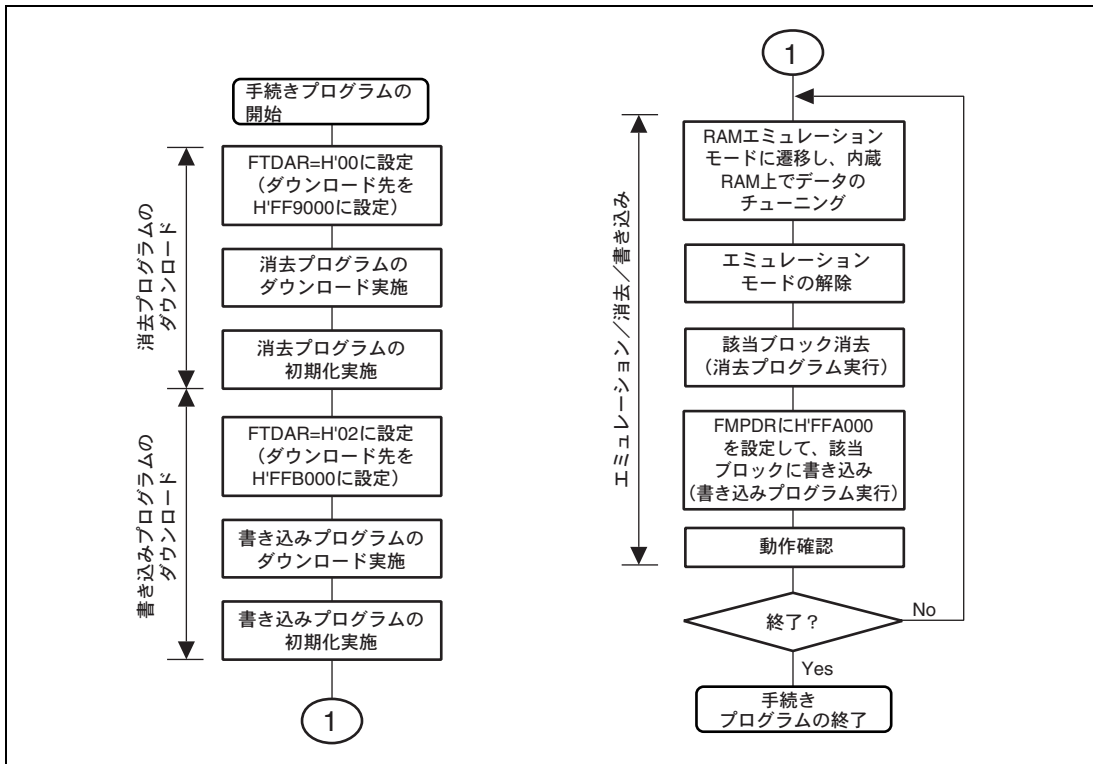


図 21.15 ユーザプログラムモードでの消去、書き込み、RAM エミュレーション手順

図 21.15 では、RAM エミュレーションを実施するため、内蔵 RAM の 4k バイト (H'FFA000~H'FFAFFF) を避けて、消去/書き込みプログラムをダウンロードしています。また、ダウンロードと初期化は、最初の 1 回の実施です。手続きプログラムを実行する場合は、次の点に注意してください。

1. 内蔵RAM領域の重複破壊にご注意ください。書き込みプログラム領域、消去プログラム領域、RAMエミュレーション領域以外に、ユーザが作成する手続きプログラムや、作業領域、スタック領域などが内蔵RAMに存在しますので、これらの領域を破壊しないようにしてください。
2. 書き込みプログラム、および消去プログラムの初期化を行ってください。FPEFEQパラメータを初期化するときは、必ず消去プログラム、および書き込みプログラムも初期化を行ってください。初期化のエントリーアドレスは、FTDARで指定した消去プログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32番地、FTDARで指定した書き込みプログラムのダウンロード先の先頭アドレスを#DLTOPとしたとき、#DLTOP+32番地の両方に対して初期化を実行してください。

21.7.4 内蔵プログラム、書き込みデータの格納可能領域

本文中での内蔵プログラムおよび書き込みデータの格納領域は内蔵RAM上に準備する例で示しましたが、次の条件により書き込み/消去対象外のフラッシュメモリ領域でも実行することができます。

1. 内蔵プログラムは、FTDARで指定された内蔵RAMへダウンロードされ実行されるため、この内蔵RAM領域は使用できません。
2. 内蔵プログラムはスタック領域を使用しますので、最大128バイトのスタック領域を確保してください。
3. FCCSのSCOビットを1にセットしてダウンロードの要求を行う処理は、メモリマットの切り替えが発生するため内蔵RAM上で行ってください。
4. シングルチップモードのように外部空間をアクセスできない動作モードでは、書き込み/消去前（ダウンロード結果判定）までに必要な手続きプログラム、NMI割り込みベクタテーブルとNMI処理ルーチンを内蔵RAMに転送してください。
5. 書き込み/消去中は、フラッシュメモリへのアクセスはできません。内蔵RAM上にダウンロードされたプログラムで実行します。そのため起動させる手続きプログラム、およびNMI割り込みベクタテーブルとNMI例外処理ルーチンもフラッシュメモリ以外の内蔵RAMに転送してください。
6. 書き込み/消去開始からFKEYのクリアまでの期間は、フラッシュメモリへのアクセスは禁止します。書き込み/消去終了後に動作モードを変更してリセットスタートさせる場合には、100 μ s以上のリセット入力期間（ $\overline{\text{RES}}=0$ の期間）を設けてください。なお、書き込み/消去中のリセット状態への遷移は禁止です。リセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
7. 通常書き込みデータであっても、書き込みデータの格納先がフラッシュメモリ上であるとエラーとなるため、一旦内蔵RAMに転送してFMPDRパラメータの示すアドレスをフラッシュメモリ以外に設定してください。

これらの条件を考慮し、処理内容、動作モード、マットのバンク構成の組み合わせで、書き込みデータ格納、および実行が可能なエリアを表 21.8～表 21.10 に示します。

表 21.8 実行可能なメモリマット

処理内容	動作モード
	ユーザプログラムモード
書き込み	表 21.9 参照
消去	表 21.10 参照

表 21.9 ユーザプログラムモードでの書き込み処理で使用可能エリア

項目	格納／実行が可能なエリア		選択されているマツト	
	内蔵 RAM	ユーザマツト	ユーザマツト	組み込みプログラム格納マツト
書き込みデータの格納領域	○	×*	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
書き込みパラメータの設定処置	○	×	○	
書き込み実行	○	×	○	
書き込み結果の判定	○	×	○	
書き込みエラー処理	○	×	○	
FKEY クリア処理	○	×	○	

【注】 * 事前に内蔵 RAM に転送しておけば可能です。

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

表 21.10 ユーザプログラムモードでの消去処理で使用可能エリア

項目	格納/実行が可能なエリア		選択されているマツ	
	内蔵 RAM	ユーザマツ	ユーザマツ	組み込み プログラム 格納マツ
ダウンロードする内蔵 プログラムの選択処理	○	○	○	
FKEY への H'A5 書き込み処理	○	○	○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×		○
FKEY クリア処理	○	○	○	
ダウンロード結果の判定	○	○	○	
ダウンロードエラー処理	○	○	○	
初期化パラメータの設定処理	○	○	○	
初期化実行	○	×	○	
初期化結果の判定	○	○	○	
初期化エラー処理	○	○	○	
NMI 処理ルーチン	○	×	○	
割り込み禁止処理	○	○	○	
FKEY への H'5A 書き込み処理	○	○	○	
消去パラメータの設定処置	○	×	○	
消去実行	○	×	○	
消去結果の判定	○	×	○	
消去エラー処理	○	×	○	
FKEY クリア処理	○	×	○	

21.8 プロテクト

フラッシュメモリに対する書き込み/消去プロテクト状態には、ハードウェアプロテクトによるもの、ソフトウェアプロテクトによるものとエラープロテクトによるものの3種類あります。

21.8.1 ハードウェアプロテクト

ハードウェアプロテクトは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態をいいます。内蔵プログラムのダウンロードと初期化はできますが、書き込み/消去プログラムを起動してもユーザマツトへの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータに報告されます。

表 21.11 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
リセットプロテクト	<ul style="list-style-type: none"> リセット (WDT によるリセットも含む) 時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 	○	○

21.8.2 ソフトウェアプロテクト

ソフトウェアプロテクトには、書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、および RAMER によるプロテクトがあります。

表 21.12 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	FCCS の SCO ビットを 0 にクリアすると、書き込み/消去プログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。	○	○
FKEY プロテクト	FKEY にキーコードを書き込まないと、ダウンロードと書き込み/消去ができないため、書き込み/消去プロテクト状態になります。	○	○
エミュレーションプロテクト	RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすると、書き込み/消去プロテクトになります。	○	○

21.8.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中に CPU の暴走や書き込み/消去手順に沿っていない動作を検出し、強制的に書き込み/消去を中断した状態です。書き込み/消去動作を中断することで過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にエラーを検出すると、FCCS の FLER ビットが 1 にセットされ、エラープロテクト状態となります。

- 書き込み/消去中にNMIなどの割り込み要求発生
- 書き込み/消去中にフラッシュメモリ読み出し（ベクタリードおよび命令フェッチを含む）
- 書き込み/消去中にSLEEP命令実行（ソフトウェアスタンバイを含む）
- 書き込み/消去中にCPU以外のバスマスタ（DMAC、DTC）がバス権を確保

エラープロテクト状態は、リセットで解除できます。なお、この場合は 100 μs 以上のリセット入力期間の後にリセットリリースしてください。フラッシュメモリには書き込み/消去中は高電圧が印加されているため、エラープロテクト状態への遷移時に印加電圧が抜けきれていないことがあります。このため、リセット入力期間を延長してチャージを抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 21.16 にエラープロテクト状態への状態遷移図を示します。

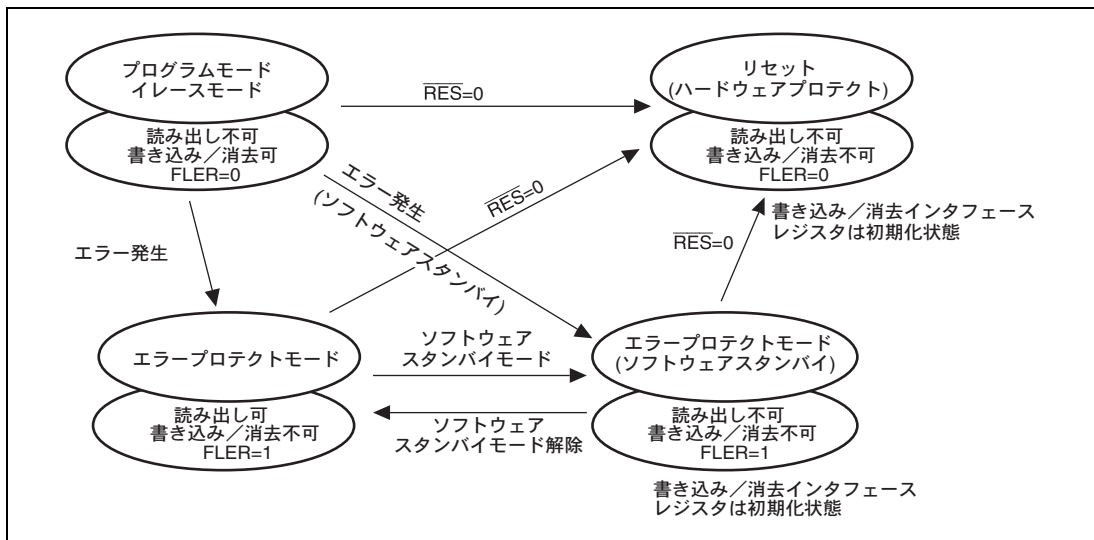


図 21.16 エラープロテクト状態への状態遷移図

21.9 RAM によるフラッシュメモリのエミュレーション

フラッシュメモリに対する書き換えデータを内蔵RAMでリアルタイムにエミュレートできるように、RAMエミュレーションレジスタ (RAMER) によりフラッシュメモリ (ユーザマツト) の一部のブロックにRAMをオーバーラップさせて使用することができるようになっています。

RAMERで設定したユーザマツトのエリアと、重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 21.17 にユーザマツトのリアルタイムな書き換えをエミュレートする例を示します。

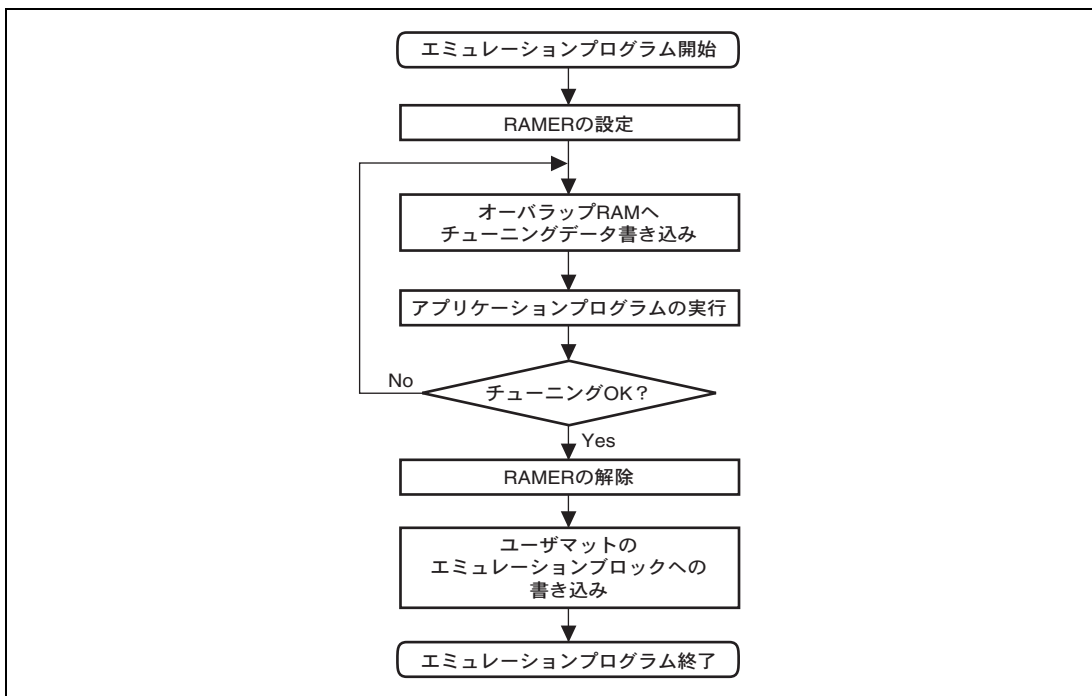


図 21.17 RAM によるエミュレーションフロー

21. フラッシュメモリ (0.18μm F-ZTAT 版)

図 21.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

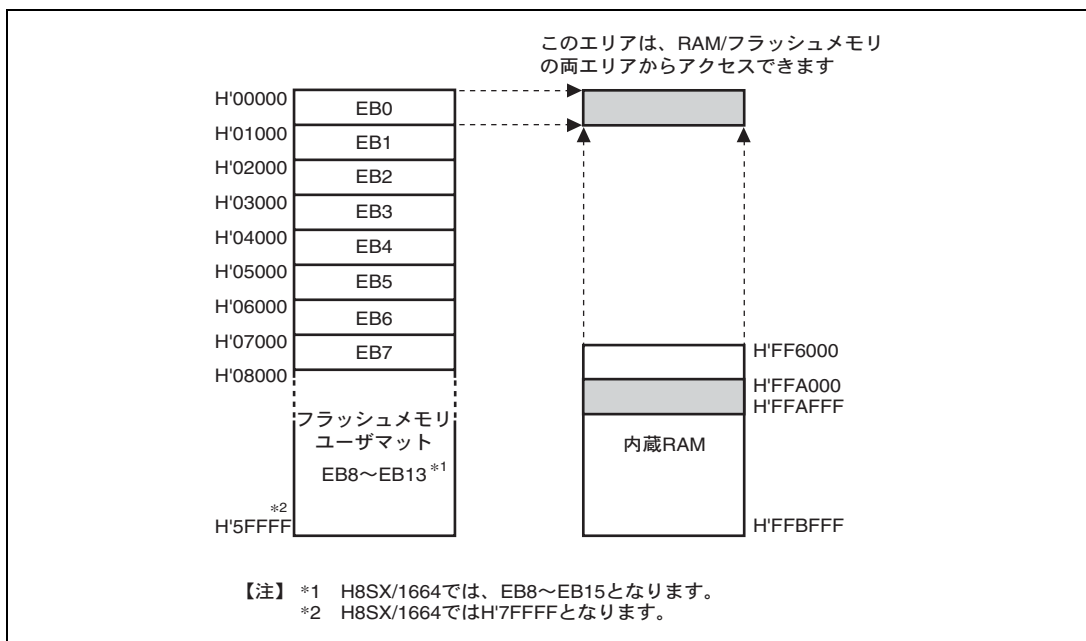


図 21.18 RAM のオーバーラップ動作例 (H8SX/1663)

エミュレーションが可能なフラッシュメモリの領域は、ユーザマットの EB0~EB7 の 8 エリアから RAMER の RAM2~RAM0 ビットで選択した 1 エリアです。

リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1 にセットし、RAM2~RAM0 ビットを B'000 に設定してください。

ユーザマットへの書き込み/消去は、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このとき、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないようにダウンロード領域を設定してください。FTDAR が H'01 の場合、チューニング領域とダウンロード領域が重複しますので、事前に未使用領域に書き換えデータの退避が必要になります。

図 21.19 にエミュレーション終了後のデータをユーザマットの EB0 領域に書き込む例を示します。

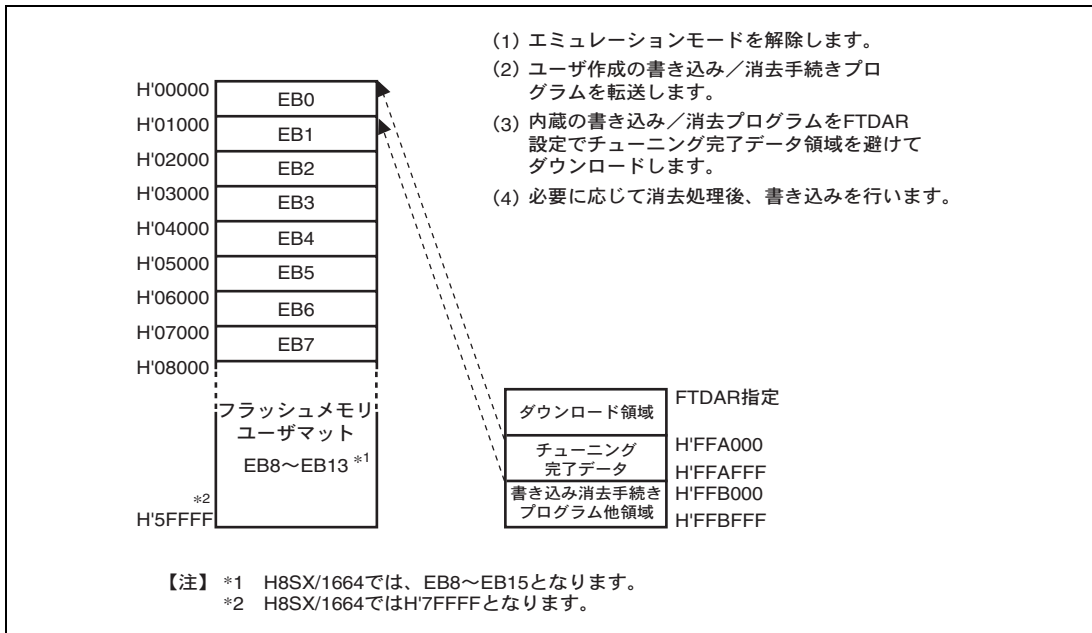


図 21.19 チューニング終了データの書き込み (H8SX/1663)

- 書き換えデータ確定後、RAMERのRAMSビットを0にクリアして、RAMのオーバーラップを解除します。
- ユーザ側で用意した手続きプログラムをRAMに転送します。
- 手続きプログラムを起動し、内蔵プログラムをRAM上にダウンロードします。このときFTDARにより、チューニング終了データ領域とダウンロード領域が重複しないように、ダウンロード先の先頭アドレスを指定してください。
- ユーザマットのEB0エリアが消去されていない場合は、EB0エリアの消去を行った後に書き込みプログラムをダウンロードしてください。FMPAR、FMPDRパラメータに退避したチューニング終了データを指定して書き込み処理を行います。

【注】 RAMS ビットを 1 にすると RAM2～RAM0 ビットの値にかかわらず、ユーザマットの全ブロックが書き込み／消去プロテクト状態となります (エミュレーションプロテクト)。この状態では、内蔵プログラムのダウンロードはできませんので、書き込み／消去する場合は RAMS ビットを 0 にクリアしてください。

21.10 ライタモード

プログラム、およびデータの書き込み/消去が可能なモードとして、オンボードプログラミングモードの他にライタモードがあります。ライタモードでは表 21.13 のデバイスタイプをサポートしている汎用 PROM ライタを用いて内蔵 ROM に自由にプログラムを書き込むことができます。

表 21.13 ライタモードでサポートするデバイスタイプ

対象マット	製品分類	ROM 容量	デバイスタイプ
ユーザマット	H8SX/1663	384K バイト	FZTAT512V3A
	H8SX/1664	512K バイト	

21.11 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストと LSI 内蔵の SCL₄ を使ってシリアル通信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

ブートプログラムは3つのステータスを持ちます。

1. ビットレート合わせ込みステータス

ホストとシリアル通信を行うためにビットレートを合わせ込みます。ブートモードで起動するとブートプログラムが起動しビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると問い合わせ選択ステータスに遷移します。

2. 問い合わせ選択ステータス

ホストからの問い合わせコマンドに応答するステータスです。このステータスでデバイス、クロックモードとビットレートを選択します。選択終了後、書き込み/消去ステータス遷移コマンドで書き込み/消去ステータスに遷移します。書き込み/消去ステータスに遷移する前にブートプログラムは消去関連ライブラリを内蔵RAM上に転送し、ユーザマットを消去します。

3. 書き込み/消去ステータス

書き込み/消去を行うステータスです。ホストからのコマンドに従って書き込み/消去プログラムを内蔵RAMに転送し、書き込み/消去を行います。コマンドによりサムチェック、ブランクチェックを行います。

ブートプログラムのステータスを図 21.20 に示します。

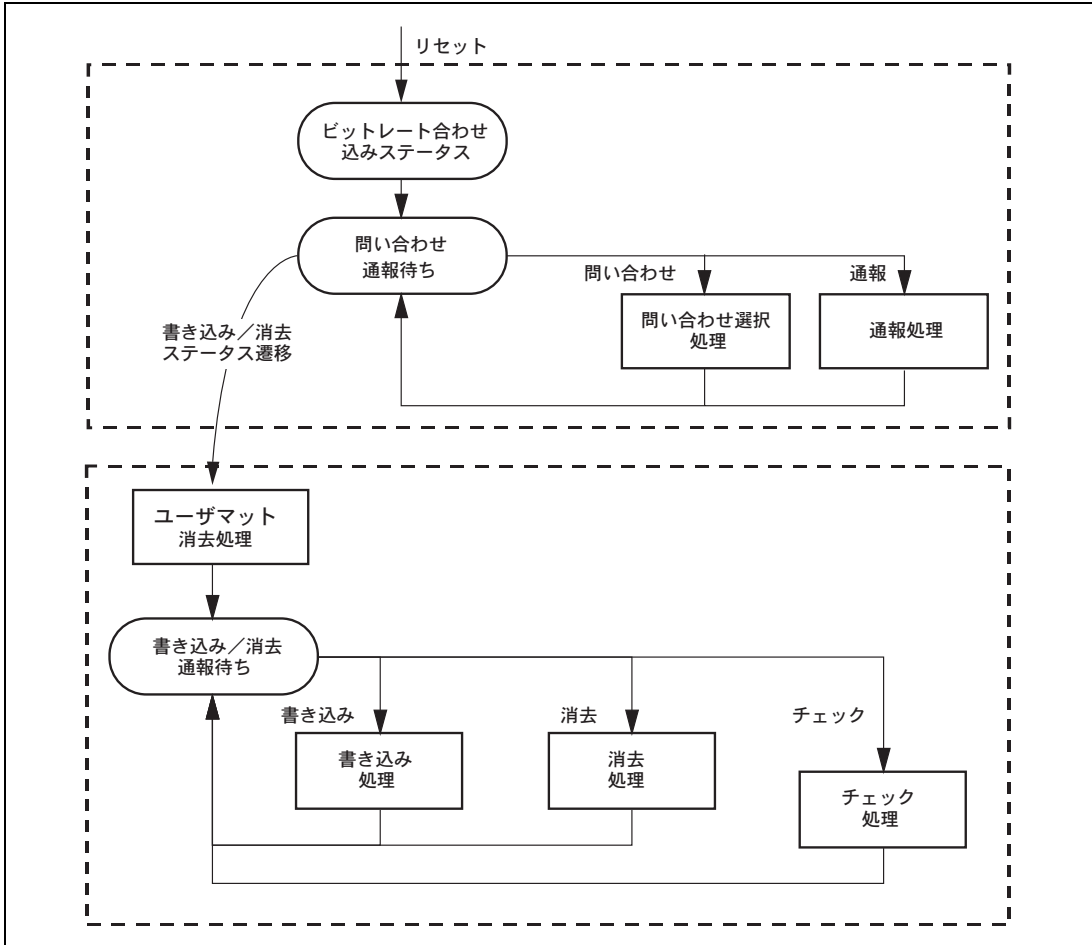


図 21.20 ブートプログラムのステータス

(1) ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 の Low 期間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 21.21 に示します。

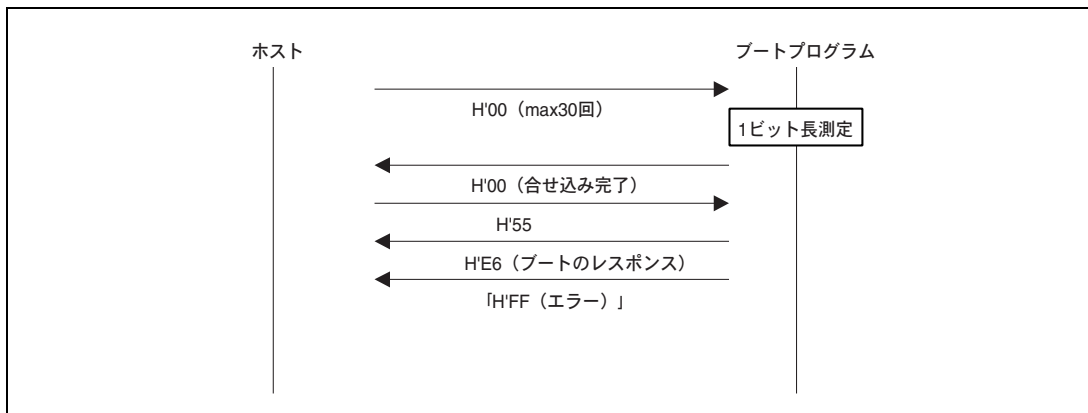


図 21.21 ビットレート合わせ込みのシーケンス

(2) 通信プロトコル

ビットレート合わせ込み終了後のホストとブートプログラムとのシリアル通信プロトコルは次のとおりです。

1. 1文字コマンドまたは1文字レスポンス

1文字のコマンドまたはレスポンスで、問い合わせと正常終了のACKがあります。

2. n文字コマンドまたはn文字レスポンス

コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと問い合わせに対応するレスポンスがあります。書き込みデータについては、データ長を別に決めるので、データサイズは省略します。

3. エラーレスポンス

コマンドに対するエラーレスポンスです。エラーレスポンスとエラーコードの2バイトです。

4. 128バイト書き込み

サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。

5. メモリリードのレスポンス

サイズが4バイトのレスポンスです。

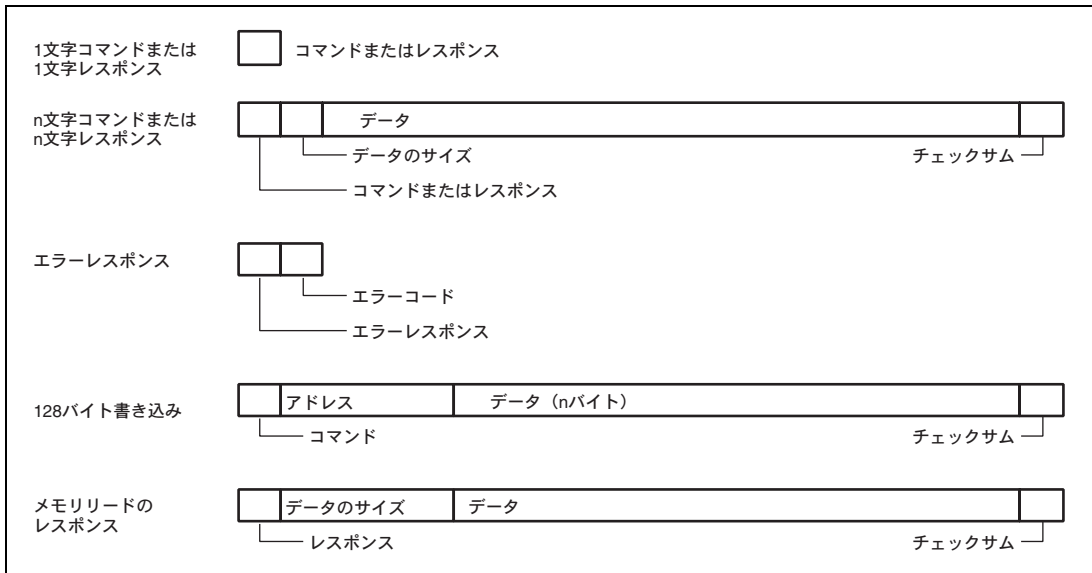


図 21.22 通信プロトコルフォーマット

- コマンド (1バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1バイト) : 問い合わせに対する応答
- サイズ (1バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (nバイト) : コマンド、レスポンスの詳細データ
- チェックサム (1バイト) : コマンドからSUMまで加算し、H'00となるように設定
- エラーレスポンス (1バイト) : コマンドに対するエラーレスポンス
- エラーコード (1バイト) : 発生したエラーの種類
- アドレス (4バイト) : 書き込みアドレス
- データ (nバイト) : 書き込みデータ、nは書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4バイト) : メモリリードのレスポンスで4バイト長

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(3) 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュROMの情報で応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 21.14 に示します。

表 21.14 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	通信比問い合わせ	通信比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み/消去ステータス遷移	ユーザマットを消去し、書き込み/消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドはデバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順に、ホストから送信してください。選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み/消去ステータス遷移 (H'40) を受け付けるまで有効です。ホスト側は上記のコマンド送信中、ホストが必要なものを選択して問い合わせを行うことができます。H'4F は、H'40 受け付け後も有効です。

(a) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと製品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ (1バイト)：コマンド、サイズ、チェックサムを除いた送受信データのサイズ、ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数 (1バイト)：マイコン内のブートプログラムがサポートする品種数
- 文字数 (1バイト)：デバイスコードとブートプログラム品名の文字数
- デバイスコード (4バイト)：サポートする品名のASCIIコード
- 品名 (nバイト)：ブートプログラム型名、ASCIIコード
- SUM (1バイト)：サムチェック、コマンドからSUMまで加算し、H'00となるように設定

(b) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ (1バイト)：デバイスコードの文字数、固定値で4
- デバイスコード (4バイト)：サポートデバイス問い合わせで応答したデバイスコード (ASCIIコード)
- SUM (1バイト)：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答、デバイスコードが一致したときACK

エラーレスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：(1バイト)：エラーコード

H'11：サムチェックエラー

H'21：デバイスコードエラー、デバイスコードが一致しない

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(c) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード	...	SUM
------	-----	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モードの合計サイズ
- モード（1バイト）：選択可能なクロックモード（例：H'01 クロックモード1）
- SUM（1バイト）：サムチェック

(d) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド

H'11	サイズ	モード	SUM
------	-----	-----	-----

- コマンド「H'11」（1バイト）：クロックモード選択
- サイズ（1バイト）：モードの文字数、固定値1
- モード（1バイト）：クロックモード問い合わせで応答されたクロックモード
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：クロックモード選択に対する応答、クロックモードが一致したときACK

エラーレスポンス

H'91	ERROR
------	-------

- エラーレスポンス「H'91」（1バイト）：クロックモード選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'11：サムチェックエラー

H'22：クロックモードエラー、クロックモードが一致しない

クロックモード問い合わせでクロックモード数がH'00、H'01の場合もそれぞれその値で、クロックモード選択をしてください。

(e) 逡倍比問い合わせ

逡倍比問い合わせに対して、ブートプログラムは選択可能な逡倍比または分周比を応答します。

コマンド

H'22

- コマンド「H'22」（1バイト）：逡倍比問い合わせ

レスポンス

H'32	サイズ	種別数					
逡倍比数	逡倍比	...					
...							
SUM							

- レスポンス「H'32」（1バイト）：逡倍比問い合わせに対する応答
- サイズ（1バイト）：種別数、逡倍比数、逡倍比の合計サイズ
- 種別数（1バイト）：デバイスで選択可能な逡倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類ならH'02)
- 逡倍比数（1バイト）：各動作周波数で選択可能な逡倍比数
メインモジュール、周辺モジュールで選択可能な逡倍比数
- 逡倍比（1バイト）
 - ・ 逡倍比： 逡倍する数値（例 4逡倍：H'04）
 - ・ 分周比： 分周する数値、負の数（例 2分周：H'FE[-2]）
逡倍比を逡倍比数の数だけ繰り返し、逡倍比数と逡倍比の組み合わせを種別数の数だけ繰り返す。
- SUM（1バイト）：サムチェック

21. フラッシュメモリ (0.18 μm F-ZTAT 版)

(f) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の数（1バイト）：デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の数だけ続く
- SUM（1バイト）：サムチェック

(g) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザマットのエリアの数
ユーザマットのマットエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(h) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムは消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」(1バイト) : 消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」(1バイト) : 消去ブロック情報問い合わせに対する応答
- サイズ(2バイト) : ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数(1バイト) : フラッシュメモリ消去ブロック数
- ブロック先頭アドレス(4バイト) : ブロックの先頭アドレス
- ブロック最終アドレス(4バイト) : ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM(1バイト) : サムチェック

(i) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」(1バイト) : 書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」(1バイト) : 書き込みサイズ問い合わせに対する応答
- サイズ(1バイト) : 書き込み単位のサイズの文字数、固定値で2
- 書き込みサイズ(2バイト) : 書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM(1バイト) : サムチェック

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(j) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通倍数	通倍比 1	通倍比 2	
	SUM			

- コマンド「H'3F」(1バイト) : 新ビットレート選択
- サイズ (1バイト) : ビットレート、入力周波数、通倍数、通倍比の合計サイズ
- ビットレート (2バイト) : 新ビットレート
1/100の値とする (たとえば、19200bpsのときは192とし、H'00C0とする)
- 入力周波数 (2バイト) : ブートプログラムに入力されるクロック周波数
周波数 (MHz) の小数点2位までの値とする
(たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする)
- 通倍数 (1バイト) : デバイスで選択可能な通倍数、
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 通倍比1 (1バイト) : メイン動作周波数の通倍比または分周比
通倍比 : 通倍する数値 (例 4通倍 : H'04)
分周比 : 分周する数値、負の数値 (例 2分周 : H'FE[-2])
- 通倍比2 (1バイト) : 周辺動作周波数の通倍比または分周比
通倍比 : 通倍する数値 (例 4通倍 : H'04)
分周比 : 分周する数値、負の数値 (例 2分周 : H'FE[-2])

- SUM (1バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : 新ビットレート選択に対する応答、選択可能ときACK

エラーレスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」(1バイト) : 新ビットレート選択に対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'24 : ビットレート選択不可エラー、指定されたビットレートが選択できない
 - H'25 : 入力周波数エラー、入力周波数が最小値と最大値の範囲にない
 - H'26 : 通倍比エラー、通倍比が一致しない
 - H'27 : 動作周波数エラー、動作周波数が最小値と最大値の範囲にない

(4) 受信データのチェック

受信したデータのチェック方法を以下に示します。

1. 入力周波数

受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ入力周波数エラーです。

2. 通倍比

受信した通倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する通倍比または分周比と一致するかどうかをチェックします。一致しなければ通倍比エラーです。

3. 動作周波数

受信した入力周波数と通倍比または分周比とから動作周波数を計算します。入力周波数はLSIに供給される周波数で、動作周波数は実際にLSIが動作する周波数です。計算式を以下に示します。

動作周波数 = 入力周波数 × 通倍比、または、

動作周波数 = 入力周波数 ÷ 分周比

この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になければ動作周波数エラーです。

4. ビットレート

ペリフェラル動作周波数 (φ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\phi * 10^6}{(N+1) * B * 64 * 2^{(2*n-1)}} \right] - 1 \right\} * 100$$

新ビットレート選択が可能な場合は、ACK を応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストがACKを送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答

新ビットレート選択のシーケンスを図 21.23 に示します。

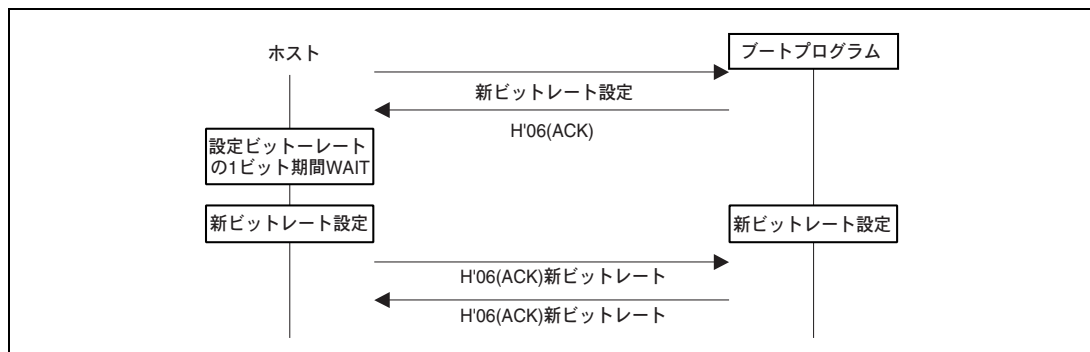


図 21.23 新ビットレート選択のシーケンス

(5) 書き込み/消去ステータス遷移

書き込み/消去ステータス遷移に対して、ブートプログラムは消去プログラムを転送し、ユーザマットのデータを消去します。消去が完了すると ACK を応答し、書き込み/消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドで LSI のデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答
消去プログラムを転送した後、ユーザマットが正常にデータを消去できたときACK

エラーレスポンス

H'C0	H'51
------	------

- エラーコード「H'51」（1バイト）：消去エラー、エラーが発生し消去できなかった

(6) コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラーレスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

(7) コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

1. サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
2. 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
3. クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
4. 応答されたクロックモードからクロックモードを選んで、クロックモード選択をしてください。
5. デバイス選択、クロックモード選択終了後、通倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
6. 通倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
7. デバイス選択、クロックモード選択が終了後、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）で、ユーザマットへの書き込み消去情報を問い合わせてください。
8. 問い合わせと新ビットレート選択が終了後、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

21. フラッシュメモリ (0.18μm F-ZTAT 版)

(8) 書き込み/消去ステータス

書き込み/消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128 バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み/消去コマンド一覧を表 21.15 に示します。

表 21.15 書き込み/消去コマンド一覧

コマンド	コマンド名	機能
H'43	ユーザマツ書き込み選択	ユーザマツ書き込みプログラムの転送
H'50	128 バイト書き込み	128 バイト書き込み
H'48	消去選択	消去プログラムの転送
H'58	ブロック消去	ブロックデータの消去
H'52	メモリリード	メモリの読み出し
H'4B	ユーザマツのサムチェック	ユーザマツのサムチェック
H'4D	ユーザマツのブランクチェック	ユーザマツのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

1. 書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストはユーザマツ書き込み選択コマンドを送信します。

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイトコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマツの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドとに 128 バイト書き込みコマンドのシーケンスを図 21.24 に示します。

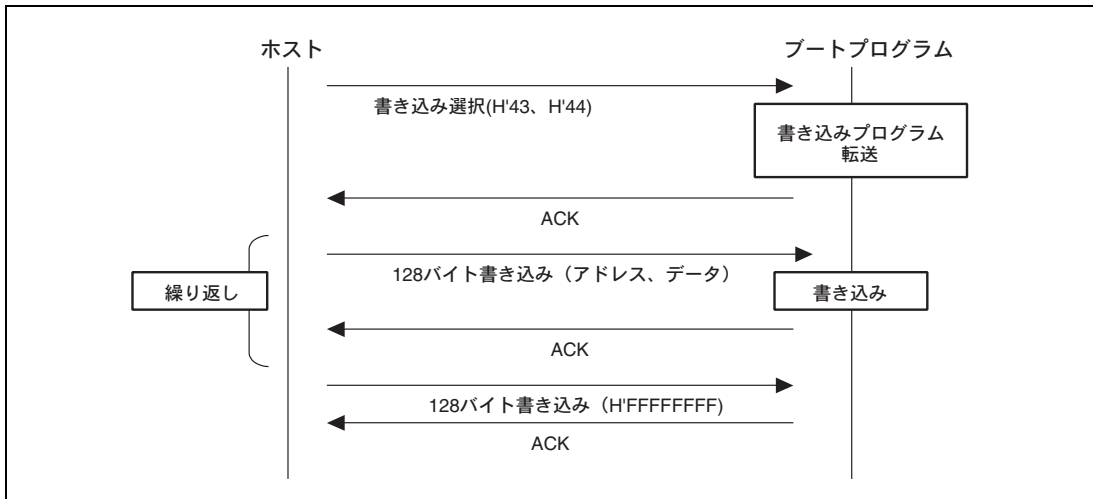


図 21.24 書き込みシーケンス

2. 消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 21.25 に示します。

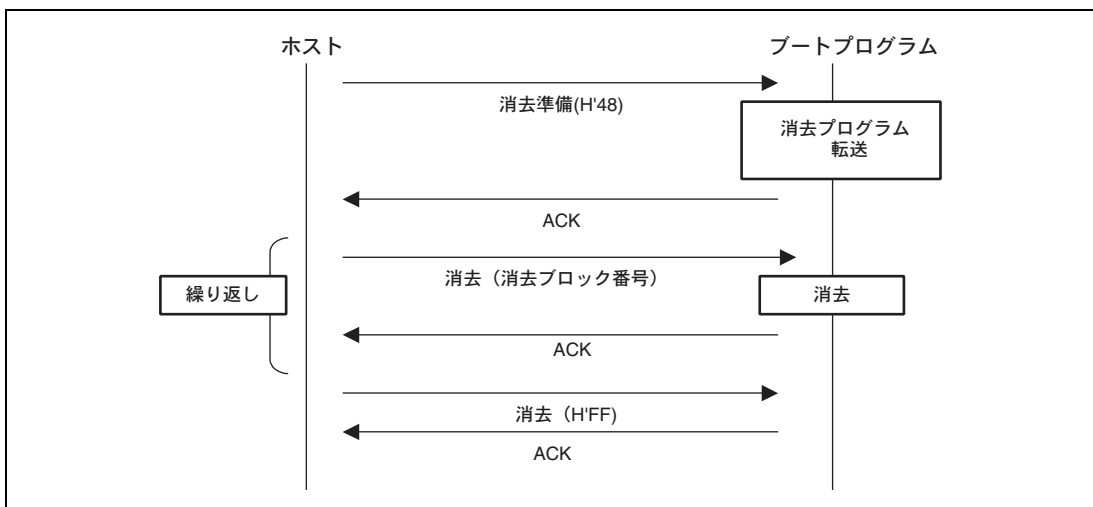


図 21.25 消去シーケンス

21. フラッシュメモリ (0.18μm F-ZTAT 版)

(a) ユーザプログラム書き込み選択

ユーザプログラム書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザプログラム書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザプログラム書き込み選択に対する応答、書き込みプログラムを転送したときACK

エラーレスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザプログラム書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード

H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(b) 128バイト書き込み

nバイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド	H'50	アドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス、「書き込みサイズ問い合わせ」で応答したサイズの倍数 例) H'00,H'01,H'00,H'00：H'01000000
- 書き込みデータ（128バイト）：書き込みデータ、書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込みが完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'2A：アドレスエラー、アドレスが指定のマットの範囲にない
 - H'53：書き込みエラー、書き込みエラーが発生し書き込めない

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位 8 ビットを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータが無い部分を H'FF に埋めて送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。

コマンド	H'50	アドレス	SUM
------	------	------	-----

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：終了コード（H'FF,H'FF,H'FF,H'FF）
- SUM（1バイト）：サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：128バイト書き込みに対する応答、書き込み処理が完了したときACK

エラーレスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」（1バイト）：128バイト書き込みに対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'53：書き込みエラー、書き込みエラーが発生し書き込めない

(c) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド	H'48
------	------

- コマンド「H'48」（1バイト）：消去選択

レスポンス	H'06
-------	------

- レスポンス「H'06」（1バイト）：消去選択に対する応答、消去プログラムを転送したときACK

エラーレスポンス

H'C8	ERROR
------	-------

- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(d) ブロック消去

消去に対して、ブートプログラムは指定されたブロックを消去します。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ (1バイト) : 消去ブロック番号の文字数、固定値で1
- ブロック番号 (1バイト) : データを消去する消去ブロック番号
- SUM (1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 消去に対する応答、消去が完了したときACK

エラーレスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」(1バイト) : 消去に対するエラー応答
- ERROR : (1バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'29 : ブロック番号エラー、ブロック番号が正しくない
 - H'51 : 消去エラー、消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド	H'58	サイズ	ブロック番号	SUM
------	------	-----	--------	-----

- コマンド「H'58」(1バイト) : 消去
- サイズ (1バイト) : 消去ブロック番号の文字数、固定値で1
- ブロック番号 (1バイト) : H'FF、消去処理の終了コード
- SUM (1バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」(1バイト) : 消去終了に対する応答、ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

(e) メモリリード

メモリリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド	H'52	サイズ	エリア	読み出しアドレス			
	読み出しサイズ			SUM			

- コマンド「H'52」(1バイト) : メモリリード
- サイズ(1バイト) : エリア、読み出しアドレス、読み出しサイズの合計サイズ(固定値で9)
- エリア(1バイト)

H'01 : ユーザマット

エリアの指定が正しくないときはアドレスエラー

- 読み出しアドレス(4バイト) : 読み出す先頭アドレス
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- SUM(1バイト) : サムチェック

レスポンス	H'52	読み出しアドレス					
	データ	...					
	SUM						

- レスポンス「H'52」(1バイト) : メモリリードに対する応答
- 読み出しサイズ(4バイト) : 読み出すデータのサイズ
- データ(nバイト) 読み出しアドレスからの読み出しサイズ分のデータ
- SUM(1バイト) : サムチェック

エラーレスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」(1バイト) : メモリリードに対するエラー応答
- ERROR : (1バイト) : エラーコード

H'11 : サムチェックエラー

H'2A : アドレスエラー

読み出しアドレスがマットの範囲にない

H'2B : サイズエラー

読み出しサイズがマットの範囲を超えている

21. フラッシュメモリ (0.18 μ m F-ZTAT 版)

(f) ユーザプログラムのサムチェック

ユーザプログラムのサムチェックに対して、ブートプログラムはユーザプログラムのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザプログラムのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザプログラムのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数、固定値で4
- サムチェック(4バイト) : ユーザマットのサムチェック値、バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

(g) ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」(1バイト) : ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザマットのブランクチェックに対する応答、エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」(1バイト) : ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

(h) ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれも有効です。

コマンド

H'4F

- コマンド「H'4F」(1バイト) : ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」(1バイト) : ブートプログラムステータス問い合わせに対する応答
- サイズ(1バイト) : データの文字数、固定値で2
- STATUS(1バイト) : 標準ブートプログラムのステータス

- ERROR (1バイト) : エラー状態
 ERROR =0で正常
 ERRORが0以外で異常
- SUM (1バイト) : サムチェック

表 21.16 ステータスコード

コード	内 容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち (ビットレート選択完了)
H'31	書き込みステータス消去中
H'3F	書き込み消去選択待ち (消去完了)
H'4F	書き込みデータ受信待ち (書き込み完了)
H'5F	消去ブロック指定待ち (消去完了)

表 21.17 エラーコード

コード	内 容
H'00	エラーなし
H'11	サムチェックエラー
H'12	プログラムサイズエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	連倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

21.12 使用上の注意事項

- 出荷品の初期状態は消去状態です。消去来歴不明チップに対しては初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
- 本LSIのライターモードに適合するPROMライターおよびそのプログラムバージョンについては、ソケットアダプタの取り扱い説明書を参照してください。
- PROMライターのソケット、ソケットアダプタ、および製品のインデックスが一致していないと、過剰電流が流れ製品が破壊することがあります。
- PROMライターは、512Kバイトフラッシュメモリ内蔵マイコンデバイスタイプの書き込み電圧3.3Vをサポートしているものを使用してください。また、規定したソケットアダプタ以外は使用しないでください。
- 書き込み／消去中はフラッシュメモリに高電圧が印加されているため、書き込み／消去中にマイコンチップをPROMライターから取り外したり、リセット入力を行わないでください。フラッシュメモリの永久破壊の可能性があります。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- 書き込み／消去開始からのFKEYのクリアまでの期間は、フラッシュメモリのアクセスは禁止します。書き込み／消去終了直後に、LSIモードを変更してリセット動作させる場合には、100 μ s以上のリセット入力期間（ $\overline{\text{RES}}=0$ 期間）を設けてください。なお、書き込み／消去処理中のリセット状態への遷移は禁止です。誤ってリセット入力した場合は、100 μ s以上のリセット入力期間の後にリセットリリースしてください。
- V_{cc} 電源の印加／切断時は $\overline{\text{RES}}$ 端子をLowレベルに固定し、フラッシュメモリをハードウェアプロテクト状態にしてください。この電源投入および解除タイミングは停電等による電源の切断、再投入時にも満足するようになしてください。
- オンボードプログラミングでは、128バイトの書き込み単位ブロックへの書き込みは1回のみとしてください。ライターモードでの128バイトの書き込み単位ブロックへの書き込みも1回のみとしてください。書き込みは、書き込み単位ブロックがすべて消去された状態で行ってください。
- オンボードプログラミングモードで書き込み／消去を行ったチップに対して、ライターを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
- フラッシュメモリへの書き込みを行う場合は、書き込みデータおよびプログラムは外部割り込みベクタテーブル以降に配置して、例外処理ベクタテーブルのシステム予約エリアには必ずall H'FFを配置してください。
- 初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ4kバイト以内です。したがって、CPUクロック周波数が35MHzの場合、それぞれ最大で60 μ sのダウンロード時間となります。
- FCCSのSCOビット設定による内蔵プログラムのダウンロード方式をサポートしていない従来F-ZTAT H8/H8Sマイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本LSIでは動作しません。本F-ZTAT H8SXマイコンでのフラッシュメモリへの書き込み／消去は、必ず内蔵プログラムをダウンロードして実施してください。

13. 従来のF-ZTAT H8/H8Sマイコンと異なり、書き込み/消去中または書き込み/消去プログラムのダウンロードはWDTによる暴走などへの対応は実施していません。必要に応じて、書き込み/消去の実行時間を考慮したWDTでの対応を実施してください（定期的なタイマ割り込みの使用など）。
14. 書き込み/消去プログラムのダウンロード時、SCOビットを1にセットした直後にSCOビットを0にクリアしないでください。正常なダウンロードができません。SCOビットを1にセットする命令実行の直後には、FCCSのバイトのダミーリードを必ず2回実行してください。
15. 書き込み/消去プログラムでは、保存されない汎用レジスタがあります。保存したい汎用レジスタは手続きプログラムで退避してください。

22. クロック発振器

本 LSI は、クロック発振器 (CPG : Clock Pulse Generator) を内蔵しており、システムクロック (Iφ)、周辺モジュールクロック (Pφ)、外部バスクロック (Bφ)、32K タイマ専用クロック (SUBCK) および USB 専用クロック (cku) を生成します。

クロック発振器は、メインクロック発振器、分周器、PLL(Phase Locked Loop)回路、サブクロック発振器、波形成形回路、セクタ回路から構成されます。クロック発振器のブロック図を図 22.1 に示します。

クロック発振器内部の分周器、PLL 回路とセクタ回路によりクロック周波数を変更できます。クロック周波数の変更は、システムクロックコントロールレジスタ (SCKCR) とサブクロックコントロールレジスタ (SUBCKCR) の設定によりソフトウェアで行います。

クロックには CPU、バスマスタに供給されるシステムクロック、周辺モジュールに供給される周辺モジュールクロック、外部バスに供給される外部バスクロック、32K タイマ専用クロック、USB モジュールに供給される USB クロックがあります。周辺モジュールクロック、外部バスクロック、システムクロックは、それぞれ独立に周波数を設定することができます。ただし、周辺モジュールクロック、外部バスクロックは、システムクロック以下の周波数で動作します。

また、システムクロック、周辺モジュールクロック、外部バスクロックを一律 32.768kHz のサブクロックに設定することもできます。

USB モジュールへは 48MHz のクロックを供給する必要があります。USB 専用クロック (cku) が 48MHz となるように、外部クロックの周波数と MD_CLK 端子を設定してください。

MD_CLK 端子の設定によって、周辺モジュールクロック、外部バスクロック、システムクロックの周波数も変わりますのでご注意ください。

22. クロック発振器

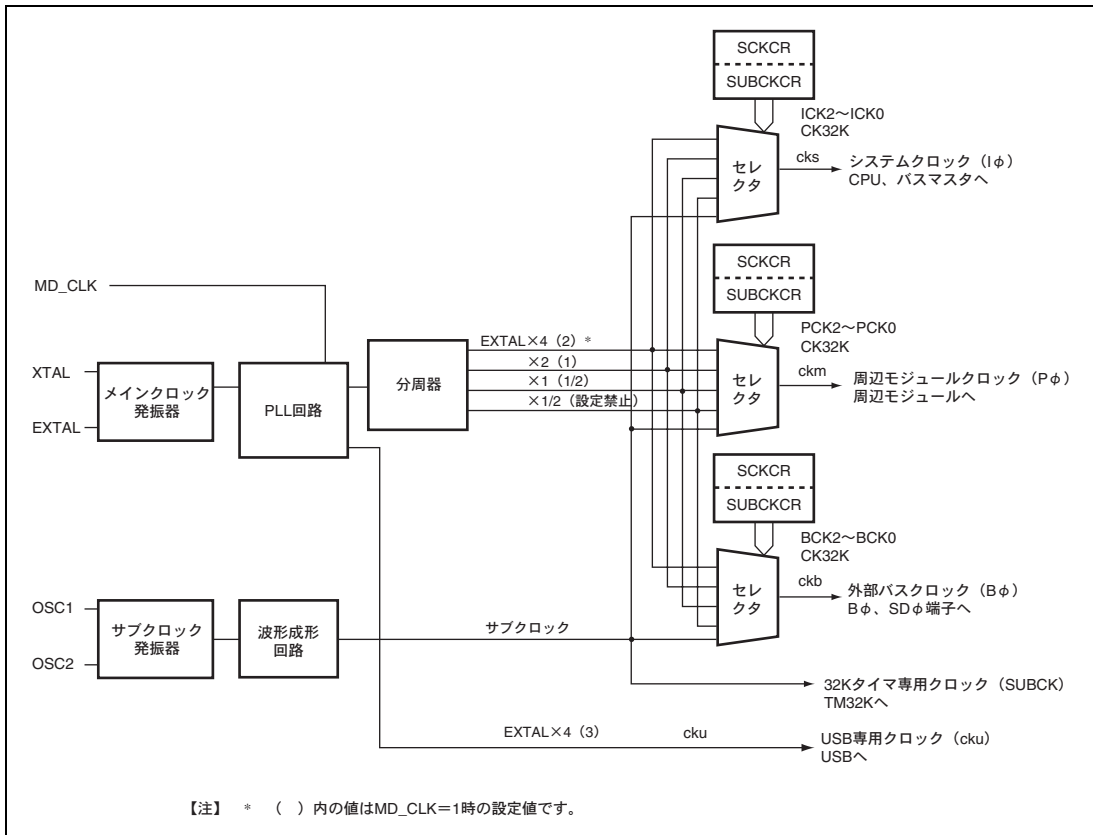


図 22.1 クロック発振器のブロック図

表 22.1 クロック発振器の選択

MD_CLK	EXTAL 入力 クロック周波数	Iϕ/Pϕ/Bϕ	USB 専用クロック (cku)
0	8~18MHz	EXTAL ×4、×2、×1、×1/2	EXTAL×4
1	16MHz	EXTAL ×2、×1、×1/2	EXTAL×3

22.1 レジスタの説明

クロック発振器には以下のレジスタがあります。

- システムクロックコントロールレジスタ (SCKCR)
- サブクロックコントロールレジスタ (SUBCKCR)

22.1.1 システムクロックコントロールレジスタ (SCKCR)

SCKCR は Bφ出力制御とシステムクロックの周波数の制御、周辺モジュールクロックおよび外部バスクロックの周波数の制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	PSTOP1	PSTOP0	—	—	—	ICK2	ICK1	ICK0
初期値:	0	0	0	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0
初期値:	0	0	1	0	0	0	1	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	PSTOP1	0	R/W	Bφ出力セレクトイネーブル PA7からのφ出力を制御します。 通常動作状態 0: φ出力 1: Highレベル固定
14	PSTOP0	0	R/W	φ出力セレクトイネーブル PB7からのφ出力 (SDφ) を制御します。 通常動作状態 0: φ出力 1: Highレベル固定
13	—	0	R/W	リザーブビット
12	—	0	R/W	リード/ライト可能ですが、0をライトしてください。
11	—	0	R/W	

22. クロック発振器

ビット	ビット名	初期値	R/W	説明
10 9 8	ICK2 ICK1 ICK0	0 1 0	R/W R/W R/W	<p>システムクロック (Iϕ) セレクト</p> <p>CPU、DMAC、DTC モジュールとシステムクロックの周波数を選択します。入力クロックに対する倍率を示しています。</p> <p>ICK (2 : 0) MD_CLK=0 MD_CLK=1</p> <p>000 : ×4 ×2</p> <p>001 : ×2 ×1</p> <p>010 : ×1 ×1/2</p> <p>011 : 1/2 設定禁止</p> <p>1xx : 設定禁止</p> <p>周辺モジュールおよび外部クロックより低い周波数の設定を行うと、周辺モジュールおよび外部クロックはシステムクロックと同じ周波数に変わります。</p>
7	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0をライトしてください。</p>
6 5 4	PCK2 PCK1 PCK0	0 1 0	R/W R/W R/W	<p>周辺モジュールクロック (Pϕ) セレクト</p> <p>周辺モジュールクロックの周波数を選択します。入力クロックに対する倍率を示しています。</p> <p>PCK (2 : 0) MD_CLK=0 MD_CLK=1</p> <p>000 : ×4 ×2</p> <p>001 : ×2 ×1</p> <p>010 : ×1 ×1/2</p> <p>011 : 1/2 設定禁止</p> <p>1xx : 設定禁止</p> <p>システムクロックより高い周波数の設定を行わないでください。レジスタのセットは行えますが、周波数はシステムクロックと同一になります。</p>
3	—	0	R/W	<p>リザーブビット</p> <p>リード/ライト可能ですが、0をライトしてください。</p>

ビット	ビット名	初期値	R/W	説明
2	BCK2	0	R/W	外部バスクロック (Bφ) セレクト 外部バスクロックの周波数を選択します。入力クロックに対する倍率を示しています。 BCK (2 : 0) MD_CLK=0 MD_CLK=1 000 : ×4 ×2 001 : ×2 ×1 010 : ×1 ×1/2 011 : 1/2 設定禁止 1xx : 設定禁止 システムクロックより高い周波数の設定を行わないでください。 レジスタのセットは行えますが、周波数はシステムクロックと同一になりません。
1	BCK1	1	R/W	
0	BCK0	0	R/W	

【注】 x : Don't care

22.1.2 サブクロックコントロールレジスタ (SUBCKCR)

SUBCKCR は、メインクロック発振器の停止、システムクロックの動作クロックの選択、およびソフトウェアスタンバイモードから復帰時の動作クロックの選択を行います。

ビット	7	6	5	4	3	2	1	0
ビット名	—	—	—	—	—	EXSTP	WAKE32K	CS32K
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
7	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
6	—	0	R/W	
5	—	0	R/W	
4	—	0	R/W	
3	—	0	R/W	
2	EXSTP	0	R/W	メインクロック発振器停止 0 : サブクロック動作時に、メインクロック発振器、PLL は発振状態となります。ただし、スタンバイモード時は停止状態になります。 1 : サブクロック動作時に、メインクロック発振器、PLL は停止状態となります。

22. クロック発振器

ビット	ビット名	初期値	R/W	説 明
1	WAKE32K	0	R/W	<p>ウェイクアップクロックセレクト</p> <p>このビットはサブクロック動作よりソフトウェアスタンバイモードに遷移し、割り込みにより復帰するときのシステムクロックの動作クロックを選択します。</p> <p>0：ソフトウェアスタンバイモード解除後はメインクロック動作に遷移します。</p> <p>1：ソフトウェアスタンバイモード解除後はサブクロック動作に遷移します。ただし、ビット0のCK32Kが1状態のときに設定値が有効となります。</p>
0	CK32K	0	R/W	<p>サブクロックセレクト</p> <p>0：システムクロック（Iφ）、周辺モジュールクロック（Pφ）、外部バスクロック（Bφ）がメインクロックで動作します。</p> <p>1：システムクロック（Iφ）、周辺モジュールクロック（Pφ）、外部バスクロック（Bφ）がサブクロックで動作します。</p> <p>TCR32K レジスタの OSC32STP ビットが1のときは、本ビットへの1ライトができません。WAKE32K の設定値が0の状態にてソフトウェアスタンバイモードを解除すると、本ビットは0クリアされます。本ビットライト直後は、本ビットのダミーリードを必ず2回実行してください。</p>

22.2 発振器

クロックを供給する方法には、水晶発振子を接続する方法と外部クロックを入力する方法があります。

22.2.1 水晶発振子を接続する方法

水晶発振子を接続する場合の接続例を図 22.2 に示します。ダンピング抵抗 R_d は、表 22.2 に示すものを使用してください。また、水晶発振子は、AT カット並列共振形を使用してください。

水晶発振子を接続してクロックを供給する場合、接続する水晶発振子は、8~18MHz としてください。

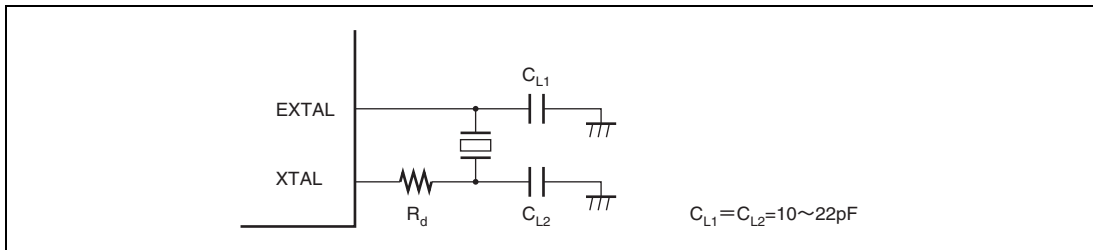


図 22.2 水晶発振子の接続例

表 22.2 ダンピング抵抗値

周波数 (MHz)	8	12	16	18
R_d (Ω)	200	0	0	0

水晶発振子の等価回路を図 22.3 に示します。水晶発振子は表 22.3 に示す特性のものを使用してください。

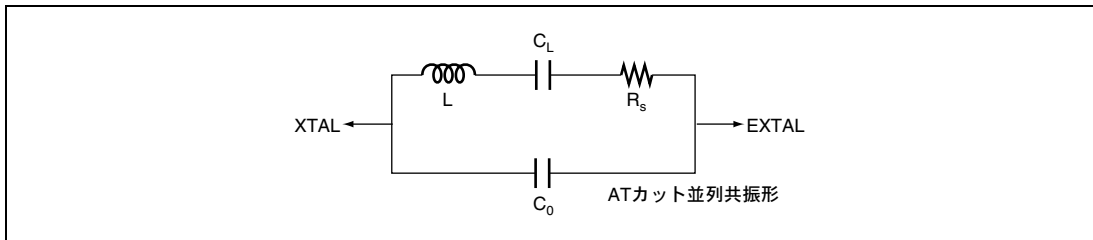


図 22.3 水晶発振子の等価回路

表 22.3 水晶発振子の特性

周波数 (MHz)	8	12	16	18
R_s max (Ω)	80	60	50	40
C_0 max (pF)	7			

22.2.2 外部クロックを入力する方法

外部クロック入力の接続例を図 22.4 に示します。XTAL 端子をオープン状態にする場合、寄生容量は 10pF 以下にしてください。XTAL 端子に逆相クロックを入力する場合、スタンバイモード時は外部クロックを High レベルにしてください。

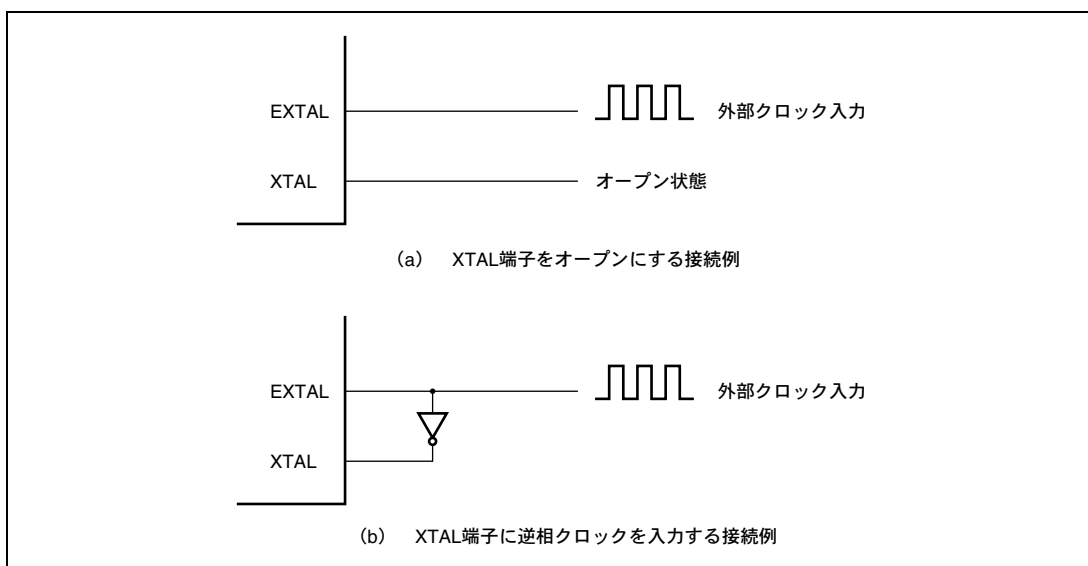


図 22.4 外部クロックの接続例

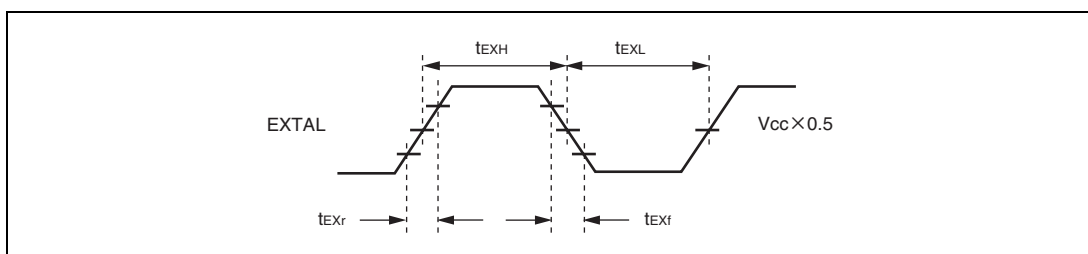


図 22.5 外部クロック入力タイミング

22.3 PLL 回路

PLL 回路は、発振器からの周波数を最大 4 倍に通倍する機能を持っています。周波数通倍率は固定です。このとき、内部クロックの立ち上がりエッジの相位は EXTAL 端子の立ち上がりエッジの相位に一致するように制御されます。

22.4 分周器

分周器は、PLL クロックを分周し、1/2、1/4、1/8 のクロックを生成します。ICK2、ICK1、ICK0、PCK2、PCK1、PCK0、BCK2、BCK1、BCK0 ビット書き換え後に、変更後の周波数で本 LSI は動作します。

22.5 サブクロック発振器

22.5.1 32.768kHz 水晶発振子を接続する方法

サブクロック発振器へクロックを供給するには図 22.6 に示すように 32.768kHz の水晶発振子を接続します。接続する場合の注意事項については、「22.6.3 ボード設計上の注意」と同様です。

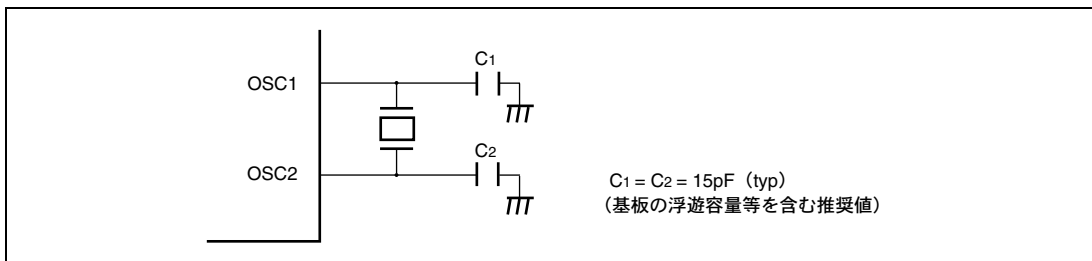


図 22.6 32.768kHz 水晶発振子の接続例

図 22.7 に 32.768kHz 水晶発振子の等価回路を示します。

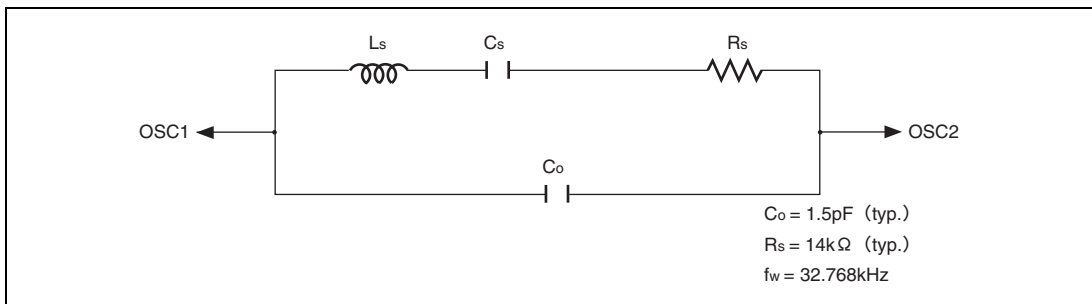


図 22.7 32.768kHz 水晶発振子の等価回路

22.5.2 サブクロックを使用しない場合の端子処理

サブクロックを必要としない場合には、図 22.8 に示すように OSC1 端子を Vss に接続し、OSC2 端子をオープンとしてください。

22. クロック発振器

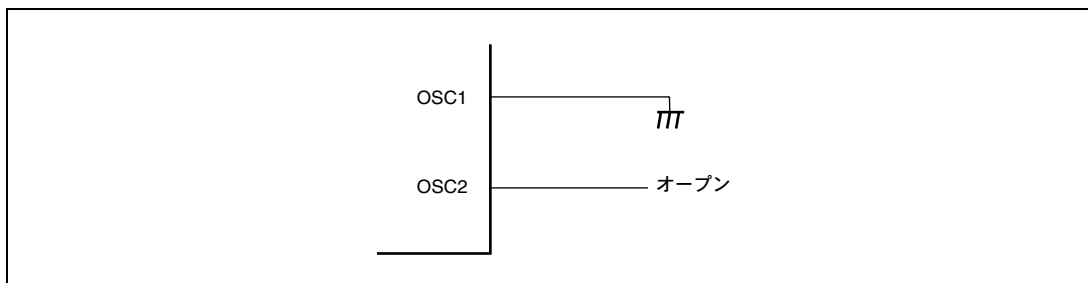


図 22.8 サブクロックを使用しない場合の端子処理

22.6 使用上の注意事項

22.6.1 クロック発振器に関する使用上の注意事項

- SCKCRの設定により各モジュールに供給される ϕ ($I\phi$:システムクロック、 $P\phi$:周辺モジュールクロック、 $B\phi$:外部バスクロック)の周波数が変わりますので、以下の点に注意してください。各周波数は電気的特性のACタイミングのクロックサイクル時間 t_{cyc} の動作保証範囲内に収まるように選択してください。
すなわち、
 $I\phi_{min}=8\text{MHz}$ 、 $P\phi_{min}=8\text{MHz}$ 、 $B\phi_{min}=8\text{MHz}$ 、
 $I\phi_{max}=50\text{MHz}$ 、 $P\phi_{max}=35\text{MHz}$ 、 $B\phi_{max}=50\text{MHz}$ として、
 $I\phi < 8\text{MHz}$ 、 $I\phi > 50\text{MHz}$ 、 $P\phi < 8\text{MHz}$ 、 $P\phi > 35\text{MHz}$ 、 $B\phi < 8\text{MHz}$ 、 $B\phi > 50\text{MHz}$
とならないように注意してください。
- 周辺モジュール (DMAC、DTCを除く)は、すべて $P\phi$ を基準に動作します。このため、周波数変更の前後でタイマやSCIなどの時間処理が変わりますので注意してください。
また、ソフトウェアスタンバイモード解除用の待機時間も周波数を変更することで変わります。詳細は「23.7.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定」を参照してください。
- システムクロック、周辺モジュールクロック、外部バスクロックとの間には、 $I\phi \geq P\phi$ 、 $I\phi \geq B\phi$ の関係が成り立っており、かつシステムクロックの設定が優先されます。そのため、 $P\phi$ 、 $B\phi$ が、 $PCK2 \sim 0$ 、 $BCK2 \sim 0$ のレジスタ設定の周波数ではなく、 $ICK2 \sim 0$ で設定した周波数になることがあります。
- ライトデータバッファ機能などを用いて、外部バスサイクル実行中にSCKCR0あるいはSCKCR1の設定を行うと、バスサイクル中に ϕ の周波数が変わりますので注意してください。
- 図22.9にクロック変更タイミングを示します。SCKCRに値をライトした後、現在実行しているバスサイクル終了を待ちます。そのバスサイクル終了後、外部入力クロック ϕ に対して最大1サイクル後に各クロックの周波数が変更されます。

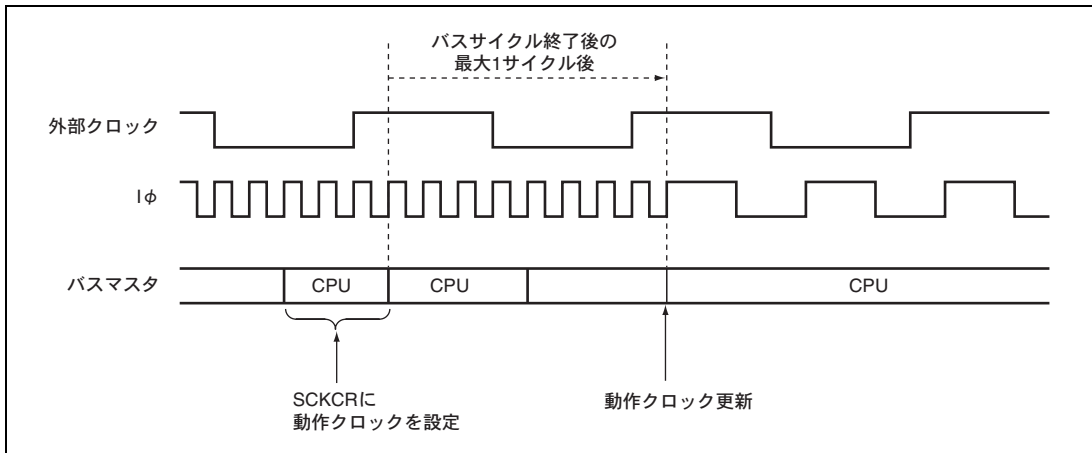


図 22.9 クロック変更タイミング

22.6.2 発振子に関する注意事項

発振子に関する諸特性は、ユーザのボード設計に密接に関係しますので本章で案内する発振子の接続例を参考に、ユーザ側での十分な評価を実施してご使用願います。発振子の回路定数は発振子、実装回路の浮遊容量などにより異なるため、発振子メーカーと十分ご相談の上決定してください。発振端子に印加される電圧が最大定格を超えないようにしてください。

22.6.3 ボード設計上の注意

水晶発振子を使用する場合は、発振子および負荷容量はできるだけ XTAL、EXTAL 端子の近くに配置してください。図 22.10 に示すように発振回路の近くには信号線を通させないでください。誘導により正しい発振ができなくなることがあります。

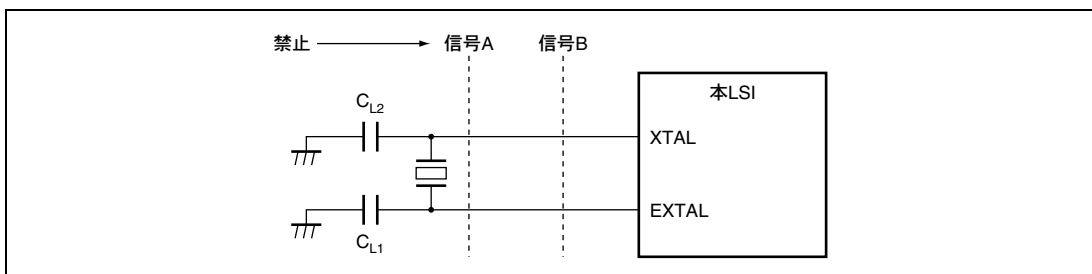


図 22.10 発振回路部のボード設計に関する注意事項

PLL 回路の外付け推奨回路を図 22.11 に示します。PLL_{VCC}、PLL_{VSS} と VCC、VSS はボードの電源供給元から分離し、端子の近くにバイパスコンデンサ CPB および CB を必ず挿入してください。

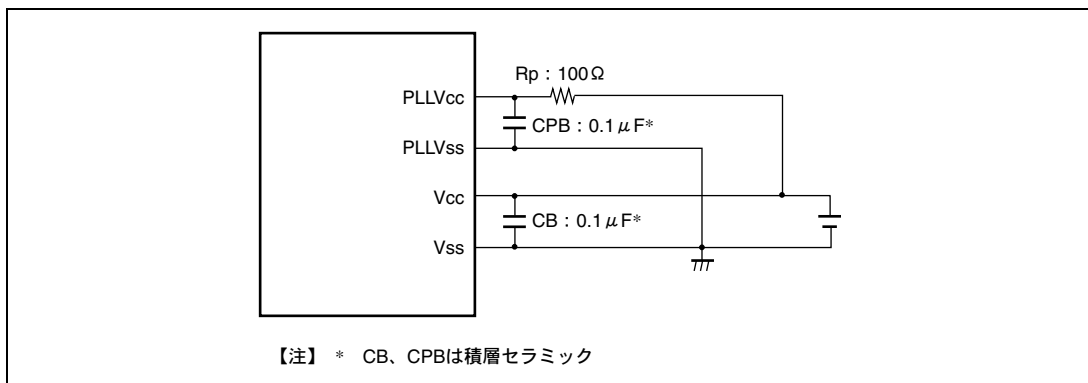


図 22.11 PLL 回路の外付け推奨回路

23. 低消費電力

本 LSI には、消費電力低減機能としてマルチクロック機能、モジュールストップ機能、および低消費電力状態への遷移機能があります。

23.1 特長

- マルチクロック機能
- システムクロック、周辺モジュールクロック、外部バスクロックに対し独立に分周比を設定することが可能
- システムクロック、周辺モジュールクロック、外部バスクロックを一律、32.768kHzのサブクロックにすることが可能
- モジュールストップ機能
周辺モジュール毎に機能を停止し、低消費電力状態にすることが可能
- 低消費電力状態への遷移機能
CPU、周辺モジュール、発振器を停止する低消費電力状態にすることが可能
- 低消費電力状態：4種類
スリープモード
全モジュールクロックストップモード
ソフトウェアスタンバイモード
ハードウェアスタンバイモード

表 23.1 に、低消費電力状態への遷移条件と CPU や周辺モジュールなどの状態、および各モードの解除方法を示します。リセット後は、通常のプログラム動作で DTC、DMAC 以外のモジュールは停止状態です。

表 23.1 動作状態

動作状態	スリープ モード	全モジュールクロック ストップモード	ソフトウェア スタンバイモード	ハードウェア スタンバイモード
遷移条件	制御レジスタ+命令	制御レジスタ+命令	制御レジスタ+命令	端子入力
解除方法	割り込み	割り込み* ²	割り込み* ⁵	
発振器	動作	動作	停止	停止
サブクロック発振器	動作* ⁶	動作* ⁶	動作* ⁶	停止
CPU	停止 (保持)	停止 (保持)	停止 (保持)	停止
ウォッチドッグ タイマ	動作	動作	停止 (保持)	停止
8ビット タイマ	動作	動作* ⁴	停止 (保持)	停止
32K タイマ	動作	動作	動作	停止
周辺モジュール	動作	停止* ¹	停止* ¹	停止* ³
I/O ポート	動作	保持	保持	ハイインピーダンス

【注】 停止（保持）は、内部レジスタ値保持、内部状態は動作中断を示します。

- *1 SCI はリセット状態、その他の周辺モジュールは状態を保持します
- *2 外部割り込み、一部の内部割り込み（8ビットタイマ、ウォッチドッグタイマ、32K タイマ）
- *3 すべての周辺モジュールはリセット状態になります。
- *4 MSTPCRA の MSTPA9、8ビットの設定により、動作/停止を選択することができます。ただし、動作を選択した場合でも、端子からの出力はできません。
- *5 外部割り込みおよび 32K タイマ割り込み
- *6 TCR32K の OSC32STP ビットの設定により、動作/停止を選択することができます。

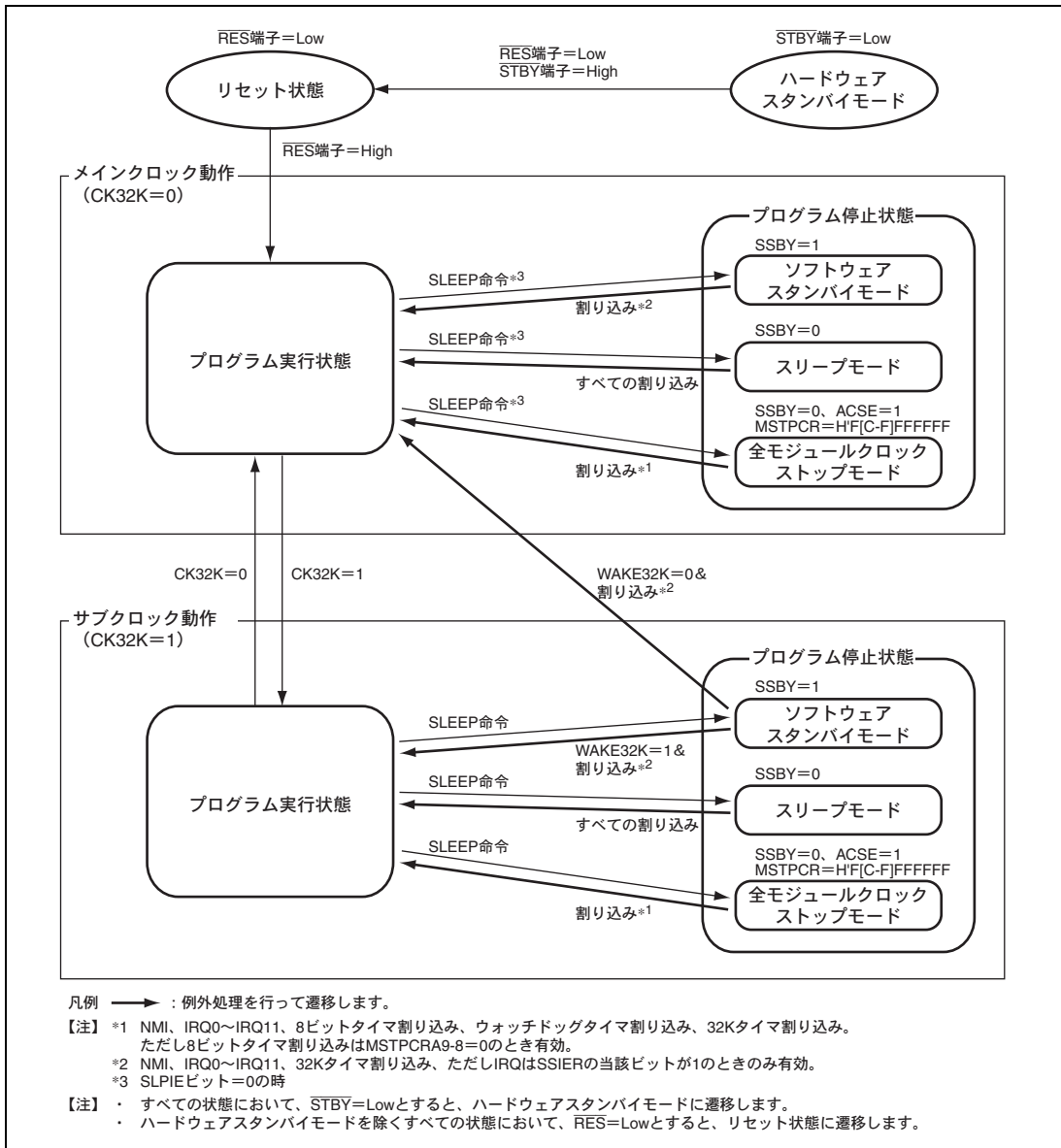


図 23.1 モード遷移図

23.2 レジスタの説明

消費電力モードに関連するレジスタには以下のものがあります。システムクロックコントロールレジスタ (SCKCR) については「22.1.1 システムクロックコントロールレジスタ (SCKCR)」を参照してください。

- スタンバイコントロールレジスタ (SBYCR)
- モジュールストップコントロールレジスタA (MSTPCRA)
- モジュールストップコントロールレジスタB (MSTPCRB)
- モジュールストップコントロールレジスタC (MSTPCRC)

23.2.1 スタンバイコントロールレジスタ (SBYCR)

SBYCR は、ソフトウェアスタンバイモードの制御を行います。

ビット	15	14	13	12	11	10	9	8
ビット名	SSBY	OPE	—	STS4	STS3	STS2	STS1	STS0
初期値:	0	1	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	SLPIE	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	SSBY	0	R/W	ソフトウェアスタンバイ SLEEP 命令実行後の遷移先を設定します。 0: SLEEP 命令実行後、スリープモードに遷移 1: SLEEP 命令実行後、ソフトウェアスタンバイモードに遷移 なお、外部割り込みによってソフトウェアスタンバイモードが解除され通常モードに遷移したときは、このビットは1にセットされたままです。クリアするときは0をライトしてください。WDTをウォッチドックタイマとして使用しているときは、このビットの設定は無効になります。その場合、SLEEP 命令実行後は常にスリープモードあるいは全モジュールクロックストップモードに遷移します。SLPIE ビットを1にセットする場合は、このビットを0にクリアしてください。

ビット	ビット名	初期値	R/W	説 明
14	OPE	1	R/W	出力ポートイネーブル ソフトウェアスタンバイモード時にアドレスバス、バス制御信号 ($\overline{CS0} \sim \overline{CS7}$ 、 \overline{AS} 、 \overline{RD} 、 \overline{HWR} 、 \overline{LWR}) の出力を保持するか、ハイインピーダンスにするかを設定します。 0: ソフトウェアスタンバイモード時、アドレスバス、バス制御信号はハイインピーダンス 1: ソフトウェアスタンバイモード時、アドレスバス、バス制御信号は出力状態を保持
13	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。
12	STS4	0	R/W	スタンバイタイムセレクト 4~0 外部割り込みによってソフトウェアスタンバイモードを解除する場合または、サブクロック動作からメインクロック動作へ遷移する場合に、クロックが安定するまで MCU が待機する時間を選択します。水晶発振の場合、表 23.2 を参照し、動作周波数に応じて待機時間が発振安定時間以上となるように選択してください。外部クロックにおいても、PLL 回路の安定時間が必要になります。表 23.2 を参照に待機時間を設定してください。 発振安定期間中は、Pφの周波数でカウントされます。マルチクロックモード時は注意してください。 00000: リザーブ 00001: リザーブ 00010: リザーブ 00011: リザーブ 00100: リザーブ 00101: 待機時間=64 ステート 00110: 待機時間=512 ステート 00111: 待機時間=1024 ステート 01000: 待機時間=2048 ステート 01001: 待機時間=4096 ステート 01010: 待機時間=16384 ステート 01011: 待機時間=32768 ステート 01100: 待機時間=65536 ステート 01101: 待機時間=131072 ステート 01110: 待機時間=262144 ステート 01111: 待機時間=524288 ステート 1****: リザーブ
11	STS3	1	R/W	
10	STS2	1	R/W	
9	STS1	1	R/W	
8	STS0	1	R/W	

23. 低消費電力

ビット	ビット名	初期値	R/W	説明
7	SLPIE	0	R/W	スリープ例外処理イネーブル SLEEP 命令実行時に、スリープ例外処理を発生させるか、低消費電力状態に遷移させるかを選択します。 0 : SLEEP 命令実行時、スリープ例外処理を発生しない 1 : SLEEP 命令実行時、スリープ例外処理を発生する なお、スリープ例外処理実行後、このビットは1にセットされたままです。 クリアする時は0をライトしてください。
6~0	—	0	R/W	リザーブビット リードすると常に0が読み出されます。ライトする値は常に0にしてください。

【注】 F-ZTAT 版では、フラッシュメモリの安定時間を確保してください。

23.2.2 モジュールストップコントロールレジスタ A、B (MSTPCRA、MSTPCRB)

MSTPCRA、MSTPCRB はモジュールストップ機能の設定を行います。1 のとき対応するモジュールはモジュールストップ状態になり、クリアするとモジュールストップ状態は解除されます。

• MSTPCRA

ビット	15	14	13	12	11	10	9	8
ビット名	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8
初期値 :	0	0	0	0	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRB

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0
初期値 :	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

• MSTPCRA

ビット	ビット名	初期値	R/W	対象モジュール
15	ACSE	0	R/W	全モジュールクロックストップモードイネーブル MSTPCRで制御されるすべてのモジュールがモジュールストップ状態に設定された上で、CPUがSLEEP命令を実行した場合にバスコントローラとI/Oポートも動作をストップして、消費電流を低減する全モジュールクロックストップモードの許可または禁止を設定します。 0: 全モジュールクロックストップモード禁止 1: 全モジュールクロックストップモード許可
14	MSTPA14	0	R/W	リザーブビット
13	MSTPA13	0	R/W	DMAコントローラ (DMAC)
12	MSTPA12	0	R/W	データトランスファコントローラ (DTC)
11	MSTPA11	1	R/W	リザーブビット
10	MSTPA10	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
9	MSTPA9	1	R/W	8ビットタイマ (TMR_3、TMR_2)
8	MSTPA8	1	R/W	8ビットタイマ (TMR_1、TMR_0)
7	MSTPA7	1	R/W	リザーブビット
6	MSTPA6	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
5	MSTPA5	1	R/W	D/A変換器 (チャンネル1、0)
4	MSTPA4	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
3	MSTPA3	1	R/W	A/D変換器 (ユニット0)
2	MSTPA2	1	R/W	リザーブビット
1	MSTPA1	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
0	MSTPA0	1	R/W	16ビットタイマパルスユニット (TPUチャンネル5~0)

23. 低消費電力

• MSTPCRB

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPB15	1	R/W	プログラマブルパルスジェネレータ (PPG)
14	MSTPB14	1	R/W	リザーブビット
13	MSTPB13	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
12	MSTPB12	1	R/W	シリアルコミュニケーションインタフェース_4 (SCI_4)
11	MSTPB11	1	R/W	リザーブビット リードすると常に1が読み出されます。ライトする値は常に1にしてください。
10	MSTPB10	1	R/W	シリアルコミュニケーションインタフェース_2 (SCI_2)
9	MSTPB9	1	R/W	シリアルコミュニケーションインタフェース_1 (SCI_1)
8	MSTPB8	1	R/W	シリアルコミュニケーションインタフェース_0 (SCI_0)
7	MSTPB7	1	R/W	I ² C バスインタフェース_1 (IIC_1)
6	MSTPB6	1	R/W	I ² C バスインタフェース_0 (IIC_0)
5	MSTPB5	1	R/W	リザーブビット
4	MSTPB4	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
3	MSTPB3	1	R/W	
2	MSTPB2	1	R/W	
1	MSTPB1	1	R/W	
0	MSTPB0	1	R/W	

23.2.3 モジュールストップコントロールレジスタ C (MSTPCRC)

MSTPC4~MSTPC0 ビットを1にセットすると、対応する内蔵 RAM が停止します。内蔵 RAM アクセス中に該当する MSTPC4~MSTPC0 ビットを1にセットしないでください。また、MSTPC4~MSTPC0 が1の状態で該当する RAM にアクセスしないでください。

ビット	15	14	13	12	11	10	9	8
ビット名	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	7	6	5	4	3	2	1	0
ビット名	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	対象モジュール
15	MSTPC15	1	R/W	シリアルコミュニケーションインタフェース_5 (SCI_5)、(IrDA)
14	MSTPC14	1	R/W	シリアルコミュニケーションインタフェース_6 (SCI_6)
13	MSTPC13	1	R/W	8ビットタイマ (TMR_4、TMR_5)
12	MSTPC12	1	R/W	8ビットタイマ (TMR_6、TMR_7)
11	MSTPC11	1	R/W	ユニバーサルシリアルバスインタフェース (USB)
10	MSTPC10	1	R/W	CRC 演算器
9	MSTPC9	1	R/W	リザーブビット
8	MSTPC8	1	R/W	リードすると常に1が読み出されます。ライトする値は常に1にしてください。
7	MSTPC7	0	R/W	リザーブビット
6	MSTPC6	0	R/W	リードすると常に0が読み出されます。ライトする値は常に0にしてください。
5	MSTPC5	0	R/W	
4	MSTPC4	0	R/W	内蔵 RAM_4 (H'FF2000~H'FF3FFF)
3	MSTPC3	0	R/W	内蔵 RAM_3 (H'FF4000~H'FF5FFF)
2	MSTPC2	0	R/W	内蔵 RAM_2 (H'FF6000~H'FF7FFF)
1	MSTPC1	0	R/W	内蔵 RAM_1 (H'FF8000~H'FF9FFF)
0	MSTPC0	0	R/W	内蔵 RAM_0 (H'FFA000~H'FFBFFF)

23.3 マルチクロック機能

23.3.1 メインクロックの切り替え

SCKCR の ICK2~ICK0 ビット、PCK2~PCK0 ビットと BCK2~BCK0 ビットを設定すると、そのバスサイクルの終了時点でメインクロックの周波数が切り替わります。CPU とバスマスタは、ICK2~ICK0 ビットで設定した動作クロックで動作します。周辺モジュールは、PCK2~PCK0 ビットで設定した動作クロックで動作します。また、外部バスクロックは、BCK2~BCK0 ビットで設定した動作クロックで動作します。ただし、ICK2~ICK0 ビットで設定した動作クロックより高い動作クロックに PCK2~PCK0 ビットおよび BCK2~BCK0 ビットを設定しても、設定値がクロックに反映されません。周辺モジュール、外部バスクロックは、ICK2~ICK0 ビットで設定した動作クロックに制限されます。

23.3.2 サブクロックへの切り替え

SUBCKCR の CK32K ビットを 1 に設定すると、SCKCR の設定に関わらず、バスサイクルの終了時点で、メインクロック動作からサブクロック動作に切り替わります。サブクロック動作では、CPU とバスマスタ、周辺モジュール、外部クロックのすべてが 32.768kHz のサブクロックで動作します。

サブクロック動作中に SUBCKCR の CK32K ビットを 0 に設定すると、バスサイクルの終了時点で、メインクロック動作に切り替わります。サブクロック動作からメインクロック動作に切り替わる時は、ソフトウェアスタンバイモードを経由するため、メインクロックの発振安定時間を待つ必要があります。メインクロックの発振安定時間は、SBYCR の STS4～STS0 ビットで設定してください。

サブクロック動作中は、SUBCKCR の EXSTP ビットにより、メインクロック発振器の動作/停止を選択することができます。メインクロック発振器を動作させたまま、サブクロック動作からメインクロック動作に切り替えた場合、メインクロック発振器の発振安定時間を待つ必要はありません。SBYCR の STS4～STS0 ビットの設定により、最小設定時間でメインクロック動作に切り替えることができます。

また、メインクロック動作中と同様に、サブクロック動作中に SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードへ遷移します。サブクロック動作中にソフトウェアスタンバイモードへ遷移した場合、SUBCKCR の WAKE32K ビットにより、ソフトウェアスタンバイモード解除後のシステムクロックの動作クロックを選択することができます。WAKE32K ビットを 1 に設定すると、ソフトウェアスタンバイモード解除後は、サブクロック動作となります。WAKE32K ビットを 0 に設定すると、メインクロック動作となります。

23.4 モジュールストップ機能

23.4.1 モジュールストップ機能

モジュールストップ機能は内蔵周辺機能のモジュール単位で設定することができます。

MSTPCRA、MSTPCRB、MSTPCRC の対応する MSTP ビットを 1 にセットすると、バスサイクルの終了時点でモジュールは動作を停止してモジュールストップ状態へ遷移します。このとき CPU は独立して動作を継続します。

対応する MSTP ビットを 0 にクリアすることによって、モジュールストップ状態は解除され、バスサイクルの終了時点でモジュールは動作を再開します。モジュールストップ状態では、SCI を除くモジュール内部状態が保持されています。

リセット解除後は、DMAC、DTC、内蔵 RAM を除くすべてのモジュールがモジュールストップ状態になっています。

モジュールストップ状態に設定されたモジュールのレジスタは、リード/ライトできません。

23.5 スリープモード

23.5.1 スリープモードへの遷移

SBYCR の SSBY ビット=0 の状態で SLEEP 命令を実行すると、CPU はスリープモードになります。スリープモード時、CPU の動作は停止しますが、CPU の内部レジスタの内容は保持されます。CPU 以外の周辺機能は停止しません。

23.5.2 スリープモードの解除

スリープモードの解除は、すべての割り込み、 $\overline{\text{RES}}$ 端子、 $\overline{\text{STBY}}$ 端子、またはウォッチドッグタイマのオーバフローによるリセットによって行われます。

1. 割り込みによる解除

割り込みが発生すると、スリープモードは解除され、割り込み例外処理を開始します。割り込みが禁止されている場合、また、NMI以外の割り込みがCPUでマスクされている場合には、スリープモードは解除されません。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子をLowレベルにすると、リセット状態になります。規定のリセット入力期間後、 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子をLowレベルにすると、ハードウェアスタンバイモードに遷移します。

4. ウォッチドッグタイマのオーバフローリセットによる解除

ウォッチドッグタイマのオーバフローの内部リセットにより、スリープモードが解除されます。

23.6 全モジュールクロックストップモード

ACSE を 1 に設定し、かつ MSTPCRA、B で制御されるすべてのモジュールをストップ (MSTPCRA、B = H'FFFFFFF) したとき、または 8 ビットタイマ以外をモジュールストップ (MSTPCRA、B = H'F[C~F]FFFFFF) したときに、SBYCR の SSBY ビットを 0 にクリアした状態で SLEEP 命令を実行すると、バスサイクルの終了時点で 8 ビットタイマ*、ウォッチドッグタイマ、32K タイマを除く全モジュール、バスコントローラ、および I/O ポートの動作を停止して全モジュールクロックストップモードへ遷移します。

全モジュールクロックストップモード時に、されに消費電流を低減する必要がある場合は、MSTPCRC で制御されるモジュールをストップ (MSTPCRC[15~8]=H'FFFF) してください。

全モジュールクロックストップモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ11}}$ 端子)、 $\overline{\text{RES}}$ 端子、内部割り込み (8 ビットタイマ*、ウォッチドッグタイマ、32K タイマ) によって行われ、例外処理状態を経て通常のプログラム実行状態へ遷移します。割り込みが禁止されている場合、また、NMI 以外の割り込みが CPU でマスクされている場合、または DTC の起動要因に設定した場合には、全モジュールクロックストップモードは解除されません。

23. 低消費電力

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

【注】* MSTPCRA の MSTPA9、8 ビットにより動作/停止を選択できます。

23.7 ソフトウェアスタンバイモード

23.7.1 ソフトウェアスタンバイモードへの遷移

SBYCR の SSBY ビットを 1 にセットした状態で SLEEP 命令を実行すると、ソフトウェアスタンバイモードになります。このモードでは、CPU、内蔵周辺機能、および発振器のすべての機能が停止します。ただし、CPU の内部レジスタの内容と、内蔵 RAM のデータ、SCI を除く内蔵周辺機能と、I/O ポートの状態は保持されます。アドレスバス、バス制御信号は、ハイインピーダンス状態とするか、出力状態を保持するかを、SBYCR の OPE ビットにより設定できます。本モードでは、発振器が停止するため、消費電力は著しく低減されます。

WDT をウォッチドックタイマとして使用している場合、ソフトウェアスタンバイモードに遷移できません。SLEEP 命令を実行する前に WDT を停止させてください。

23.7.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードの解除は、外部割り込み (NMI 端子、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ11}}$ 端子*)、内部割り込み (32K タイマ)、 $\overline{\text{RES}}$ 端子、または $\overline{\text{STBY}}$ 端子によって行われます。

1. 割り込みによる解除

NMI、IRQ0~IRQ11*割り込み要求信号が入力されると、クロックが発振を開始し、SBYCRのSTS4~STS0ビットによって設定された時間が経過した後、安定したクロックが本LSI全体に供給されて、ソフトウェアスタンバイモードは解除され、割り込み例外処理を開始します。

IRQ0~IRQ11*割り込みでソフトウェアスタンバイモードを解除する場合には、対応するイネーブルビットを1にセットし、かつIRQ0~IRQ11*割り込みより高い優先順位の割り込みが発生しないようにしてください、なお、CPU側でマスクした場合、またはDTCの起動要因に設定した場合には、ソフトウェアスタンバイモードは解除できません。

【注】* SSIER の SSIn ビットを 1 にセットすることにより、 $\overline{\text{IRQ0}}\sim\overline{\text{IRQ11}}$ をソフトウェアスタンバイモードの解除要因として使用することができます。

2. $\overline{\text{RES}}$ 端子による解除

$\overline{\text{RES}}$ 端子を Low レベルにすると、クロックの発振が開始されます。クロックの発振開始と同時に、本LSIにクロックが供給されます。このとき $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまでLowレベルに保持してください。 $\overline{\text{RES}}$ 端子をHighレベルにすると、CPUはリセット例外処理を開始します。

3. $\overline{\text{STBY}}$ 端子による解除

$\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。

23.7.3 ソフトウェアスタンバイモード解除後の発振安定時間の設定

SBYCR の STS4~STS0 ビットの設定は、以下のようにしてください。

1. 水晶発振の場合

待機時間が発振安定時間以上となるように STS4~STS0 ビットを設定してください。

表23.2に、動作周波数と STS4~STS0 ビットの設定に対する待機時間を示します。

2. 外部クロックの場合

PLL回路の安定時間が必要となります。表23.2を参照し待機時間を設定してください。

表 23.2 発振安定時間の設定

STS 4	STS 3	STS 2	STS 1	STS 0	待機時間	Pφ* [MHz]						単位	
						35	25	20	13	10	8		
0	0	0	0	0	リザーブ	—	—	—	—	—	—	μs	
				1	リザーブ	—	—	—	—	—	—		
			1	0	リザーブ	—	—	—	—	—	—		
				1	リザーブ	—	—	—	—	—	—		
		1	0	0	リザーブ	—	—	—	—	—	—		
				1	64	1.8	2.6	3.2	4.9	6.4	8.0		
			1	0	0	512	14.6	20.5	25.6	39.4	51.2		64.0
					1	1024	29.3	41.0	51.2	78.8	102.4		128.0
	0			0	2048	58.5	81.9	102.4	157.5	204.8	256.0		
				1	4096	0.12	0.16	0.20	0.32	0.41	0.51	ms	
	1	0	0	0	2048	58.5	81.9	102.4	157.5	204.8	256.0		
				1	4096	0.12	0.16	0.20	0.32	0.41	0.51		
		1	0	0	0	16384	0.47	0.66	0.82	1.26	1.64		2.05
					1	32768	0.94	1.31	1.64	2.52	3.28		4.10
1			0	0	65536	1.87	2.62	3.28	5.04	6.55	8.19		
				1	131072	3.74	5.24	6.55	10.08	13.11	16.38		
1	0	0	262144	7.49	10.49	13.11	20.16	26.21	32.77				
		1	524288	14.98	20.97	26.21	40.33	52.43	65.54				
1	0	0	0	0	リザーブ	—	—	—	—	—			

■ : 外部クロック使用時の推奨設定時間

■ : 水晶発振使用時の推奨設定時間

【注】* Pφは周辺モジュール分周器の出力です。

23.7.4 ソフトウェアスタンバイモードの応用例

NMI 端子の立ち下がりエッジでソフトウェアスタンバイモードに移移し、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードの解除を行う例を図 23.2 に示します。

この例では、INTCR の NMIEG ビットが 0 にクリアされている（立ち下がりエッジ設定）状態で、NMI 割り込みを受け付けた後、NMIEG ビットを 1 にセット（立ち上がりエッジ設定）、SSBY ビットを 1 にセットした後、SLEEP 命令を実行してソフトウェアスタンバイモードに移移しています。

その後、NMI 端子の立ち上がりエッジでソフトウェアスタンバイモードが解除されます。

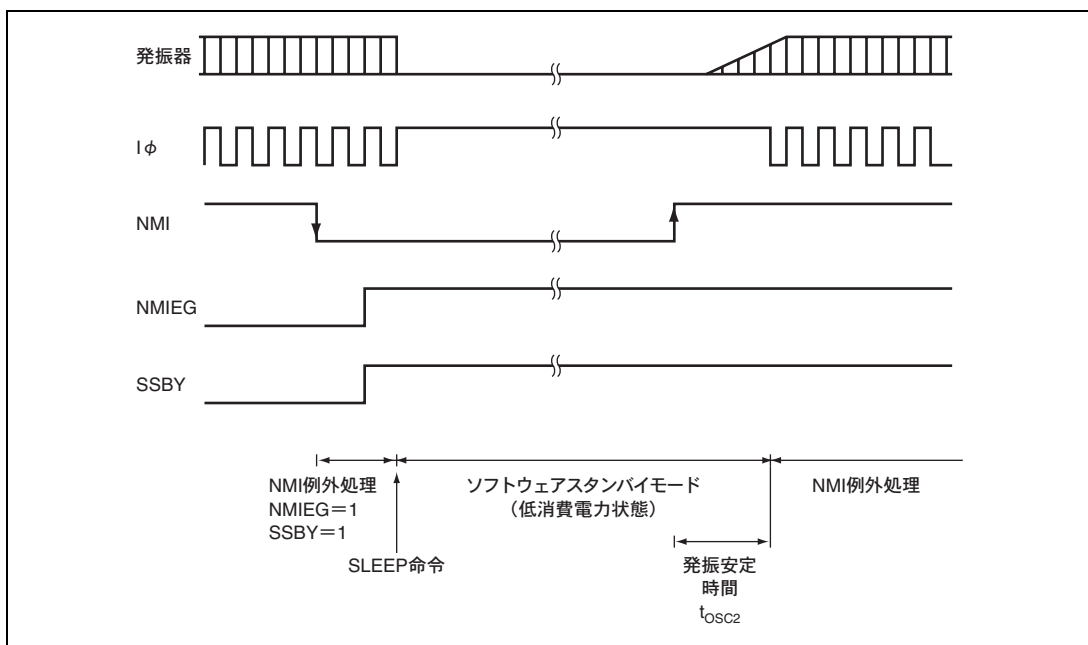


図 23.2 ソフトウェアスタンバイモードの応用例

23.8 ハードウェアスタンバイモード

23.8.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{STBY}}$ 端子を Low レベルにすると、どの状態からでもハードウェアスタンバイモードになります。

ハードウェアスタンバイモードでは、すべての機能がリセット状態になり動作が停止するため、消費電力は著しく低減します。このとき、規定の電圧が与えられている限り、内蔵 RAM のデータは保持されます。I/O ポートはハイインピーダンス状態になります。

内蔵 RAM のデータを保持するためには、 $\overline{\text{STBY}}$ 端子を Low レベルにする前に、SYSCR の RAME ビットを 0 にクリアしてください。また、ハードウェアスタンバイモード中には、モード端子 (MD2~MD0) の状態を変化させないでください。

23.8.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{STBY}}$ 端子と $\overline{\text{RES}}$ 端子によって行われます。 $\overline{\text{RES}}$ 端子を Low レベルにした状態で、 $\overline{\text{STBY}}$ 端子を High レベルにすると、リセット状態になり、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は必ずクロックの発振が安定するまで (発振安定時間については、表 23.2 参照) Low レベルを保持してください。その後、 $\overline{\text{RES}}$ 端子を High レベルにすると、リセット例外処理状態を経てプログラム実行状態へ遷移します。

23.8.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードのタイミング例を図 23.3 に示します。

$\overline{\text{RES}}$ 端子を Low レベルにした後、 $\overline{\text{STBY}}$ 端子を Low レベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{STBY}}$ 端子を High レベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子を Low レベルから High レベルにすることにより行われます。

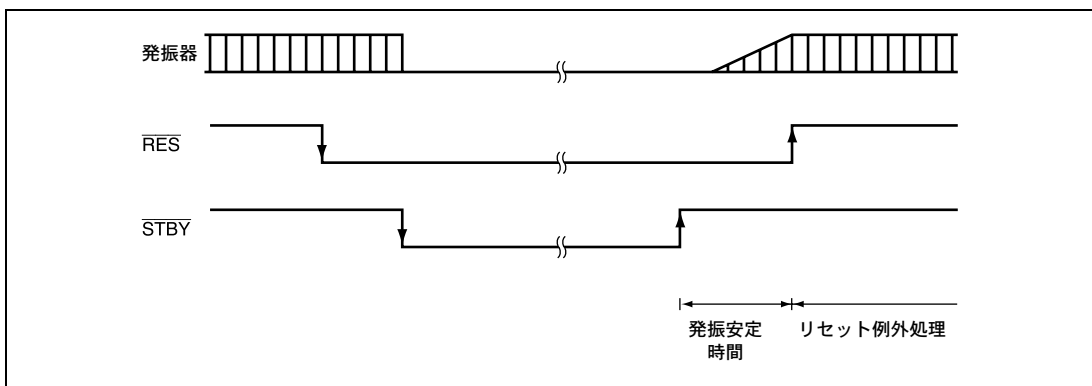


図 23.3 ハードウェアスタンバイモードのタイミング

23.8.4 電源投入時のタイミング

電源投入時のタイミングを図 23.4 に示します。

電源投入時は、必ず $\overline{\text{STBY}}$ 端子を High レベルにした状態で規定の時間 $\overline{\text{RES}}$ 端子を Low レベルにし、リセット解除してください。

電源投入時よりハードウェアスタンバイモードに遷移する場合、リセット解除後に $\overline{\text{STBY}}$ 端子を Low レベルにしてください。

なお、ハードウェアスタンバイモード解除については「23.8.3 ハードウェアスタンバイモードのタイミング」を参照してください。

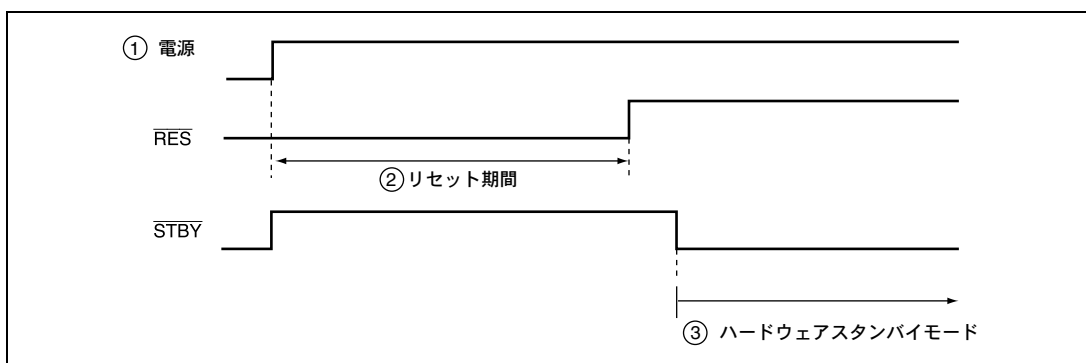


図 23.4 電源投入時のタイミング

23.9 スリープ命令例外処理

スリープ命令例外処理は、SLEEP 命令の実行に伴い発生する例外処理です。スリープ命令例外処理は、プログラム実行状態で常に受け付けられます。

SLPIE ビットを 0 に設定すると、SLEEP 命令の実行後、SLEEP 命令例外処理は発生しません。このとき、CPU は低消費電力状態に遷移します。その後、低消費電力状態の解除要因となる例外処理要求が発生すると低消費電力状態は解除され、CPU は例外処理を開始します。SLPIE ビットを 1 に設定すると、SLEEP 命令の実行後、スリープ命令例外処理が発生します。スリープ命令例外処理の発生により、低消費電力状態への遷移は抑制され、CPU はただちにスリープ命令例外処理を開始します。

SLPIE ビットを 0 にクリアした状態で SLEEP 命令を実行すると、低消費電力状態に遷移します。この後、解除要因となる割り込みが発生することにより、低消費電力状態が解除されます (図 23.5)。

SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合は、その時点で例外処理を開始します。そして、割り込み処理ルーチンから復帰した後、SLEEP 命令を実行し、低消費電力状態へ遷移します。この場合、次の解除要因となる割り込み要求の発生を待って、低消費電力状態が解除されます (図 23.6)。

解除要因となる割り込み割り込み処理ルーチン内で SLPIE ビットを 1 に設定し、SLEEP 命令の実行に伴いスリープ命令例外処理が発生するようにした場合、SLEEP 命令実行の直前に解除要因となる割り込みが発生した場合でも、図 23.7 に示したように、SLEEP 命令実行に伴いスリープ命令例外処理が発生するので、CPU は低消費電力状態へ遷移することなく、スリープ命令例外処理、例外サービスルーチンを経て、SLEEP 命令の次命令を実行

します。

SLPIE ビットを 1 にセットし、スリープ例外処理を発生させるときは、SBYCR の SSBY ビットを 0 にクリアしてください。

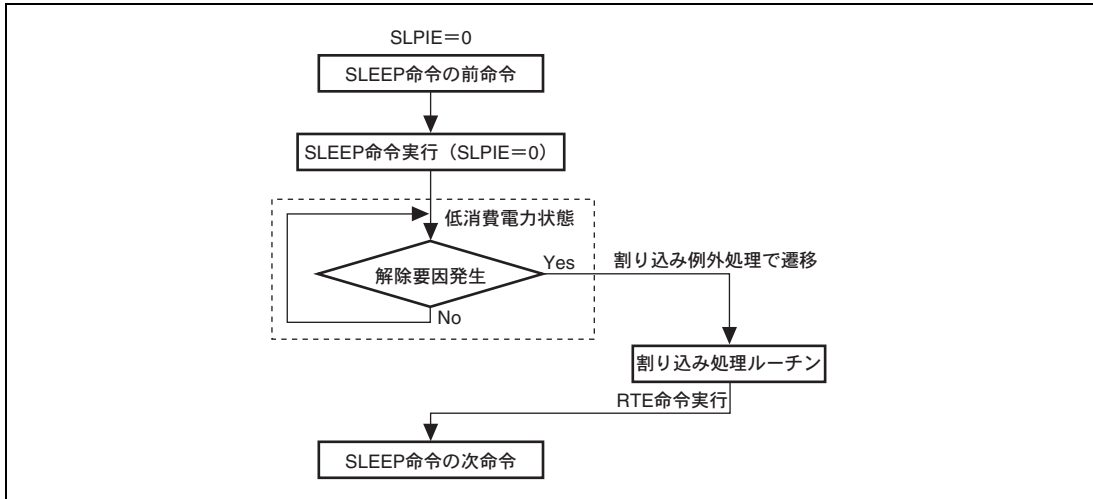


図 23.5 SLEEP 命令実行後に解除要因割り込みが発生した場合

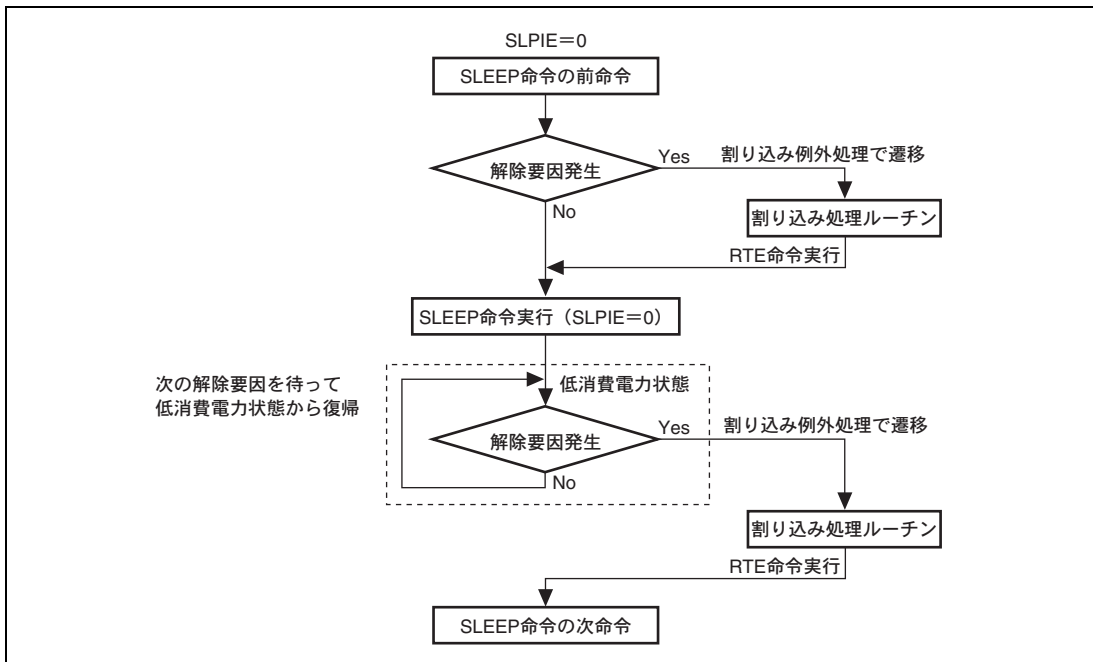


図 23.6 SLEEP 命令実行直前に解除要因割り込みが発生した場合（スリープ命令例外処理が発生しない場合）

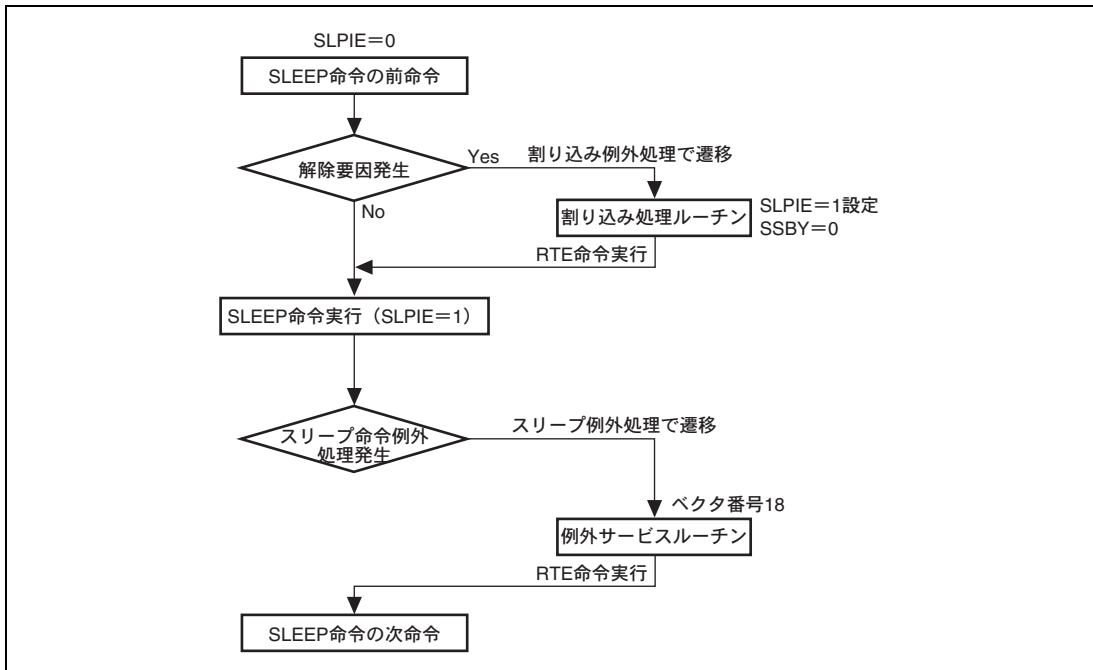


図 23.7 SLEEP 命令実行直前に解除要因割り込みが発生した場合（スリープ命令例外処理が発生する場合）

23.10 ϕ クロック出力制御

SCKCR の PSTOP1、PSTOP0 ビットと対応するポートの DDR により、 ϕ クロック（B ϕ /SD ϕ ）の出力を制御することができます。PSTOP1 ビットは PA7 の B ϕ 出力を、PSTOP0 ビットは PB7 の SD ϕ 出力を制御します。PSTOP1 ビットを 1 にセットすると、バスサイクルの終了時点で PA7 の B ϕ 出力は停止し、High レベルになります。同様に PSTOP0 ビットで PB7 の SD ϕ 出力は High レベルになります。PA7 の DDR を 0 にクリアすると、B ϕ 出力は禁止され入力ポートになります。SDRAM インタフェース無効時には、PB7 は I/O ポートとして使用することができます。表 23.3、表 23.4 に各処理状態における ϕ 端子の状態を示します。

表 23.3 各処理状態における ϕ 端子（PA7）の状態

レジスタの設定値		通常動作状態	スリープ	全モジュール クロック ストップ	ソフトウェア スタンバイ		ハードウェア スタンバイ
DDR	PSTOP1				OPE=0	OPE=1	
0	x	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z	Hi-Z
1	0	B ϕ 出力	B ϕ 出力	B ϕ 出力	High	High	Hi-Z
1	1	High	High	High	High	High	Hi-Z

表 23.4 各処理状態における ϕ 端子（PB7）の状態（SDRAM インタフェース有効時）

レジスタの設定値		通常動作状態	スリープ	全モジュール クロック ストップ	ソフトウェア スタンバイ		ハードウェア スタンバイ
PSTOP0					OPE=0	OPE=1	
0		SD ϕ 出力	SD ϕ 出力	SD ϕ 出力	High	High	Hi-Z
1		High	High	High	High	High	Hi-Z

23.11 使用上の注意事項

23.11.1 I/O ポートの状態

ソフトウェアスタンバイモードでは、I/O ポートの状態が保持されます。したがって、High レベルを出力している場合は出力電流分の消費電流は低減されません。

23.11.2 発振安定待機中の消費電流

発振安定待機中は消費電流が増加します。

23.11.3 DMAC、DTC のモジュールストップ

DMAC、DTC の動作状態によって、MSTPA13、MSTPA12 ビットは 1 にセットされない場合があります。DMAC、または DTC のモジュールストップ状態の設定は、DMAC、DTC が起動されていない状態で行ってください。

詳細は、「7. DMA コントローラ (DMAC)」、「8. データトランスファコントローラ (DTC)」を参照してください。

23.11.4 内蔵周辺モジュールの割り込み

モジュールストップ状態では当該割り込みの動作ができません。したがって、割り込みが要求された状態でモジュールストップとすると、CPU の割り込み要因または DMAC、DTC の起動要因のクリアができません。事前に割り込みをディスエーブルにするなどしてからモジュールストップ状態にしてください。

23.11.5 MSTPCRA、MSTPCRB、MSTPCRC のライト

MSTPCRA、MSTPCRB および MSTPCRC は、CPU のみでライトしてください。

24. レジスタ一覧

レジスタ一覧では、内蔵レジスタのアドレス、ビット構成および動作モード別の状態に関する情報をまとめています。表記方法は下記のとおりです。

1. レジスタアドレス一覧（アドレス順）

- 割り付けアドレスの小さいレジスタから順に記載します。
- モジュール名称による分類をしています。
- アクセスステート数については、指定の基準クロックのステート数を示しています。詳細は「6.5.4 外部バシインタフェース」を参照してください。
- 内部IOレジスタの領域で、レジスタ一覧に記載のないアドレスの領域は、未定義・リザーブアドレスです。未定義・リザーブアドレスのアクセスは禁止します。これらのレジスタをアクセスしたときの動作および継続する動作については保証できませんので、アクセスしないようにしてください。

2. レジスタビット一覧

- 「レジスタアドレス一覧（アドレス順）」の順序で、ビット構成を記載します。
- リザーブビットは、ビット名称部に「-」で表記しています。
- ビット名称部が空白のものは、そのレジスタ全体がカウンタやデータに割り付けられていることを示します。
- 16ビットまたは32ビットのレジスタの場合、MSB側のビットから記載しています。バイトの記載順序はビッグエンディアンを前提としています。

3. 各動作モードにおけるレジスタの状態

- 「レジスタアドレス一覧（アドレス順）」の順序で、レジスタの状態を記載します。
- 初期化の各ビットの状態は、該当する章のレジスタ説明を参照してください。
- 基本的な動作モード時のレジスタの状態を示しており、内蔵モジュール固有のリセットなどがある場合は、周辺モジュールの章を参照してください。

24. レジスタ一覧

24.1 レジスタアドレス一覧 (アドレス順)

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマコントロールレジスタ_4	TCR_4	8	H'FEA40	TMR_4	16	3Pφ/3Pφ
タイマコントロールレジスタ_5	TCR_5	8	H'FEA41	TMR_5	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_4	TCSR_4	8	H'FEA42	TMR_4	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_5	TCSR_5	8	H'FEA43	TMR_5	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_4	TCORA_4	8	H'FEA44	TMR_4	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_5	TCORA_5	8	H'FEA45	TMR_5	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_4	TCORB_4	8	H'FEA46	TMR_4	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_5	TCORB_5	8	H'FEA47	TMR_5	16	3Pφ/3Pφ
タイマカウンタ_4	TCNT_4	8	H'FEA48	TMR_4	16	3Pφ/3Pφ
タイマカウンタ_5	TCNT_5	8	H'FEA49	TMR_5	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_4	TCCR_4	8	H'FEA4A	TMR_4	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_5	TCCR_5	8	H'FEA4B	TMR_5	16	3Pφ/3Pφ
CRC コントロールレジスタ	CRCCR	8	H'FEA4C	CRC	16	3Pφ/3Pφ
CRC データ入力レジスタ	CRCDIR	8	H'FEA4D	CRC	16	3Pφ/3Pφ
CRC データ出力レジスタ	CRCDOR	16	H'FEA4E	CRC	16	3Pφ/3Pφ
タイマコントロールレジスタ_6	TCR_6	8	H'FEA50	TMR_6	16	3Pφ/3Pφ
タイマコントロールレジスタ_7	TCR_7	8	H'FEA51	TMR_7	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_6	TCSR_6	8	H'FEA52	TMR_6	16	3Pφ/3Pφ
タイマコントロール/ステータスレジスタ_7	TCSR_7	8	H'FEA53	TMR_7	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_6	TCORA_6	8	H'FEA54	TMR_6	16	3Pφ/3Pφ
タイムコンスタントレジスタ A_7	TCORA_7	8	H'FEA55	TMR_7	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_6	TCORB_6	8	H'FEA56	TMR_6	16	3Pφ/3Pφ
タイムコンスタントレジスタ B_7	TCORB_7	8	H'FEA57	TMR_7	16	3Pφ/3Pφ
タイマカウンタ_6	TCNT_6	8	H'FEA58	TMR_6	16	3Pφ/3Pφ
タイマカウンタ_7	TCNT_7	8	H'FEA59	TMR_7	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_6	TCCR_6	8	H'FEA5A	TMR_6	16	3Pφ/3Pφ
タイマカウンタコントロールレジスタ_7	TCCR_7	8	H'FEA5B	TMR_7	16	3Pφ/3Pφ
割り込みフラグレジスタ 0	IFR0	8	H'FEE00	USB	8	3Pφ/3Pφ
割り込みフラグレジスタ 1	IFR1	8	H'FEE01	USB	8	3Pφ/3Pφ
割り込みフラグレジスタ 2	IFR2	8	H'FEE02	USB	8	3Pφ/3Pφ
割り込みイネーブルレジスタ 0	IER0	8	H'FEE04	USB	8	3Pφ/3Pφ
割り込みイネーブルレジスタ 1	IER1	8	H'FEE05	USB	8	3Pφ/3Pφ
割り込みイネーブルレジスタ 2	IER2	8	H'FEE06	USB	8	3Pφ/3Pφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
割り込み選択レジスタ 0	ISR0	8	H'FEE08	USB	8	3Pφ/3Pφ
割り込み選択レジスタ 1	ISR1	8	H'FEE09	USB	8	3Pφ/3Pφ
割り込み選択レジスタ 2	ISR2	8	H'FEE0A	USB	8	3Pφ/3Pφ
EP0i データレジスタ	EPDR0i	8	H'FEE0C	USB	8	3Pφ/3Pφ
EP0o データレジスタ	EPDR0o	8	H'FEE0D	USB	8	3Pφ/3Pφ
EP0s データレジスタ	EPDR0s	8	H'FEE0E	USB	8	3Pφ/3Pφ
EP1 データレジスタ	EPDR1	8	H'FEE10	USB	8	3Pφ/3Pφ
EP2 データレジスタ	EPDR2	8	H'FEE14	USB	8	3Pφ/3Pφ
EP3 データレジスタ	EPDR3	8	H'FEE18	USB	8	3Pφ/3Pφ
EP0o 受信データサイズレジスタ	EPSZ0o	8	H'FEE24	USB	8	3Pφ/3Pφ
EP1 受信データサイズレジスタ	EPSZ1	8	H'FEE25	USB	8	3Pφ/3Pφ
データステータスレジスタ	DASTS	8	H'FEE27	USB	8	3Pφ/3Pφ
FIFO クリアレジスタ	FCLR	8	H'FEE28	USB	8	3Pφ/3Pφ
エンドポイントストールレジスタ	EPSTL	8	H'FEE2A	USB	8	3Pφ/3Pφ
トリガレジスタ	TRG	8	H'FEE2C	USB	8	3Pφ/3Pφ
DMA 転送設定レジスタ	DMA	8	H'FEE2D	USB	8	3Pφ/3Pφ
コンフィグレーションバリュールレジスタ	CVR	8	H'FEE2E	USB	8	3Pφ/3Pφ
コントロールレジスタ	CTRL	8	H'FEE2F	USB	8	3Pφ/3Pφ
エンドポイント情報レジスタ	EPIR	8	H'FEE32	USB	8	3Pφ/3Pφ
トランシーバテストレジスタ 0	TRNTREG0	8	H'FEE44	USB	8	3Pφ/3Pφ
トランシーバテストレジスタ 1	TRNTREG1	8	H'FEE45	USB	8	3Pφ/3Pφ
ポート M データディレクションレジスタ	PMDDR	8	H'FEE50	I/O ポート	8	3Pφ/3Pφ
ポート M データレジスタ	PMDR	8	H'FEE51	I/O ポート	8	3Pφ/3Pφ
ポート M レジスタ	PORTM	8	H'FEE52	I/O ポート	8	3Pφ/3Pφ
ポート M 入力バッファコントロールレジスタ	PMICR	8	H'FEE53	I/O ポート	8	3Pφ/3Pφ
シリアルモードレジスタ_5	SMR_5	8	H'FF600	SCI_5	8	3Pφ/3Pφ
ビットレートレジスタ_5	BRR_5	8	H'FF601	SCI_5	8	3Pφ/3Pφ
シリアルコントロールレジスタ_5	SCR_5	8	H'FF602	SCI_5	8	3Pφ/3Pφ
トランスミットデータレジスタ_5	TDR_5	8	H'FF603	SCI_5	8	3Pφ/3Pφ
シリアルステータスレジスタ_5	SSR_5	8	H'FF604	SCI_5	8	3Pφ/3Pφ
レシーブデータレジスタ_5	RDR_5	8	H'FF605	SCI_5	8	3Pφ/3Pφ
スマートカードモードレジスタ_5	SCMR_5	8	H'FF606	SCI_5	8	3Pφ/3Pφ
シリアル拡張モードレジスタ_5	SEMR_5	8	H'FF608	SCI_5	8	3Pφ/3Pφ
IrDA コントロールレジスタ	IrCR	8	H'FF60C	SCI_5	8	3Pφ/3Pφ
シリアルモードレジスタ_6	SMR_6	8	H'FF610	SCI_6	8	3Pφ/3Pφ
ビットレートレジスタ_6	BRR_6	8	H'FF611	SCI_6	8	3Pφ/3Pφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
シリアルコントロールレジスタ_6	SCR_6	8	H'FF612	SCI_6	8	3Pφ/3Pφ
トランスミットデータレジスタ_6	TDR_6	8	H'FF613	SCI_6	8	3Pφ/3Pφ
シリアルステータスレジスタ_6	SSR_6	8	H'FF614	SCI_6	8	3Pφ/3Pφ
レシーブデータレジスタ_6	RDR_6	8	H'FF615	SCI_6	8	3Pφ/3Pφ
スマートカードモードレジスタ_6	SCMR_6	8	H'FF616	SCI_6	8	3Pφ/3Pφ
シリアル拡張モードレジスタ_6	SEMR_6	8	H'FF618	SCI_6	8	3Pφ/3Pφ
タイマコントロールレジスタ	TCR32K	8	H'FFABC	TM32K	8	2Pφ/2Pφ
タイマカウンタ	TCNT32K	8	H'FFABD	TM32K	8	2Pφ/2Pφ
ポート1データディレクションレジスタ	P1DDR	8	H'FFB80	I/Oポート	8	2Pφ/2Pφ
ポート2データディレクションレジスタ	P2DDR	8	H'FFB81	I/Oポート	8	2Pφ/2Pφ
ポート3データディレクションレジスタ	P3DDR	8	H'FFB82	I/Oポート	8	2Pφ/2Pφ
ポート6データディレクションレジスタ	P6DDR	8	H'FFB85	I/Oポート	8	2Pφ/2Pφ
ポートAデータディレクションレジスタ	PADDR	8	H'FFB89	I/Oポート	8	2Pφ/2Pφ
ポートBデータディレクションレジスタ	PBDDR	8	H'FFB8A	I/Oポート	8	2Pφ/2Pφ
ポートCデータディレクションレジスタ	PCDDR	8	H'FFB8B	I/Oポート	8	2Pφ/2Pφ
ポートDデータディレクションレジスタ	PDDDR	8	H'FFB8C	I/Oポート	8	2Pφ/2Pφ
ポートEデータディレクションレジスタ	PEDDR	8	H'FFB8D	I/Oポート	8	2Pφ/2Pφ
ポートFデータディレクションレジスタ	PFDDR	8	H'FFB8E	I/Oポート	8	2Pφ/2Pφ
ポート1入力バッファコントロールレジスタ	P1ICR	8	H'FFB90	I/Oポート	8	2Pφ/2Pφ
ポート2入力バッファコントロールレジスタ	P2ICR	8	H'FFB91	I/Oポート	8	2Pφ/2Pφ
ポート3入力バッファコントロールレジスタ	P3ICR	8	H'FFB92	I/Oポート	8	2Pφ/2Pφ
ポート5入力バッファコントロールレジスタ	P5ICR	8	H'FFB94	I/Oポート	8	2Pφ/2Pφ
ポート6入力バッファコントロールレジスタ	P6ICR	8	H'FFB95	I/Oポート	8	2Pφ/2Pφ
ポートA入力バッファコントロールレジスタ	PAICR	8	H'FFB99	I/Oポート	8	2Pφ/2Pφ
ポートB入力バッファコントロールレジスタ	PBICR	8	H'FFB9A	I/Oポート	8	2Pφ/2Pφ
ポートC入力バッファコントロールレジスタ	PCICR	8	H'FFB9B	I/Oポート	8	2Pφ/2Pφ
ポートD入力バッファコントロールレジスタ	PDICR	8	H'FFB9C	I/Oポート	8	2Pφ/2Pφ
ポートE入力バッファコントロールレジスタ	PEICR	8	H'FFB9D	I/Oポート	8	2Pφ/2Pφ
ポートF入力バッファコントロールレジスタ	PFICR	8	H'FFB9E	I/Oポート	8	2Pφ/2Pφ
ポートHレジスタ	PORTH	8	H'FFBA0	I/Oポート	8	2Pφ/2Pφ
ポートIレジスタ	PORTI	8	H'FFBA1	I/Oポート	8	2Pφ/2Pφ
ポートHデータレジスタ	PHDR	8	H'FFBA4	I/Oポート	8	2Pφ/2Pφ
ポートIデータレジスタ	PIDR	8	H'FFBA5	I/Oポート	8	2Pφ/2Pφ
ポートHデータディレクションレジスタ	PHDDR	8	H'FFBA8	I/Oポート	8	2Pφ/2Pφ
ポートIデータディレクションレジスタ	PIDDR	8	H'FFBA9	I/Oポート	8	2Pφ/2Pφ
ポートH入力バッファコントロールレジスタ	PHICR	8	H'FFBAC	I/Oポート	8	2Pφ/2Pφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポートI入力バッファコントロールレジスタ	PIICR	8	H'FFBAD	I/Oポート	8	2Pφ/2Pφ
ポートDブルアップMOSコントロールレジスタ	PDPCR	8	H'FFBB4	I/Oポート	8	2Pφ/2Pφ
ポートEブルアップMOSコントロールレジスタ	PEPCR	8	H'FFBB5	I/Oポート	8	2Pφ/2Pφ
ポートFブルアップMOSコントロールレジスタ	PFPCR	8	H'FFBB6	I/Oポート	8	2Pφ/2Pφ
ポートHブルアップMOSコントロールレジスタ	PHPCR	8	H'FFBB8	I/Oポート	8	2Pφ/2Pφ
ポートIブルアップMOSコントロールレジスタ	PIPCR	8	H'FFBB9	I/Oポート	8	2Pφ/2Pφ
ポート2オープンドレインコントロールレジスタ	P2ODR	8	H'FFBBC	I/Oポート	8	2Pφ/2Pφ
ポートFオープンドレインコントロールレジスタ	PFODR	8	H'FFBBD	I/Oポート	8	2Pφ/2Pφ
ポートファンクションコントロールレジスタ0	PFCR0	8	H'FFBC0	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ1	PFCR1	8	H'FFBC1	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ2	PFCR2	8	H'FFBC2	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ4	PFCR4	8	H'FFBC4	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ6	PFCR6	8	H'FFBC6	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ7	PFCR7	8	H'FFBC7	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタ9	PFCR9	8	H'FFBC9	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタB	PFCRB	8	H'FFBCB	I/Oポート	8	2Pφ/3Pφ
ポートファンクションコントロールレジスタC	PFCRC	8	H'FFBCC	I/Oポート	8	2Pφ/3Pφ
ソフトウェアスタンバイ解除 IRQ イネーブル レジスタ	SSIER	16	H'FFBCE	INTC	8	2Pφ/3Pφ
DMA ソースアドレスレジスタ_0	DSAR_0	32	H'FFC00	DMAC_0	16	2Iφ/2Iφ
DMA デスティネーションアドレスレジスタ_0	DDAR_0	32	H'FFC04	DMAC_0	16	2Iφ/2Iφ
DMA オフセットレジスタ_0	DOFR_0	32	H'FFC08	DMAC_0	16	2Iφ/2Iφ
DMA 転送カウントレジスタ_0	DTCR_0	32	H'FFC0C	DMAC_0	16	2Iφ/2Iφ
DMA ブロックサイズレジスタ_0	DBSR_0	32	H'FFC10	DMAC_0	16	2Iφ/2Iφ
DMA モードコントロールレジスタ_0	DMDR_0	32	H'FFC14	DMAC_0	16	2Iφ/2Iφ
DMA アドレスコントロールレジスタ_0	DACR_0	32	H'FFC18	DMAC_0	16	2Iφ/2Iφ
DMA ソースアドレスレジスタ_1	DSAR_1	32	H'FFC20	DMAC_1	16	2Iφ/2Iφ
DMA デスティネーションアドレスレジスタ_1	DDAR_1	32	H'FFC24	DMAC_1	16	2Iφ/2Iφ
DMA オフセットレジスタ_1	DOFR_1	32	H'FFC28	DMAC_1	16	2Iφ/2Iφ
DMA 転送カウントレジスタ_1	DTCR_1	32	H'FFC2C	DMAC_1	16	2Iφ/2Iφ
DMA ブロックサイズレジスタ_1	DBSR_1	32	H'FFC30	DMAC_1	16	2Iφ/2Iφ
DMA モードコントロールレジスタ_1	DMDR_1	32	H'FFC34	DMAC_1	16	2Iφ/2Iφ
DMA アドレスコントロールレジスタ_1	DACR_1	32	H'FFC38	DMAC_1	16	2Iφ/2Iφ
DMA ソースアドレスレジスタ_2	DSAR_2	32	H'FFC40	DMAC_2	16	2Iφ/2Iφ
DMA デスティネーションアドレスレジスタ_2	DDAR_2	32	H'FFC44	DMAC_2	16	2Iφ/2Iφ
DMA オフセットレジスタ_2	DOFR_2	32	H'FFC48	DMAC_2	16	2Iφ/2Iφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス 状態数
DMA 転送カウントレジスタ_2	DTCR_2	32	H'FFC4C	DMAC_2	16	21φ/21φ
DMA ブロックサイズレジスタ_2	DBSR_2	32	H'FFC50	DMAC_2	16	21φ/21φ
DMA モードコントロールレジスタ_2	DMDR_2	32	H'FFC54	DMAC_2	16	21φ/21φ
DMA アドレスコントロールレジスタ_2	DACR_2	32	H'FFC58	DMAC_2	16	21φ/21φ
DMA ソースアドレスレジスタ_3	DSAR_3	32	H'FFC60	DMAC_3	16	21φ/21φ
DMA デスティネーションアドレスレジスタ_3	DDAR_3	32	H'FFC64	DMAC_3	16	21φ/21φ
DMA オフセットレジスタ_3	DOFR_3	32	H'FFC68	DMAC_3	16	21φ/21φ
DMA 転送カウントレジスタ_3	DTCR_3	32	H'FFC6C	DMAC_3	16	21φ/21φ
DMA ブロックサイズレジスタ_3	DBSR_3	32	H'FFC70	DMAC_3	16	21φ/21φ
DMA モードコントロールレジスタ_3	DMDR_3	32	H'FFC74	DMAC_3	16	21φ/21φ
DMA アドレスコントロールレジスタ_3	DACR_3	32	H'FFC78	DMAC_3	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_0	DMRSR_0	8	H'FFD20	DMAC_0	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_1	DMRSR_1	8	H'FFD21	DMAC_1	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_2	DMRSR_2	8	H'FFD22	DMAC_2	16	21φ/21φ
DMA モジュールリクエストセレクトレジスタ_3	DMRSR_3	8	H'FFD23	DMAC_3	16	21φ/21φ
インタラプトプライオリティレジスタ A	IPRA	16	H'FFD40	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ B	IPRB	16	H'FFD42	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ C	IPRC	16	H'FFD44	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ D	IPRD	16	H'FFD46	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ E	IPRE	16	H'FFD48	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ F	IPRF	16	H'FFD4A	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ G	IPRG	16	H'FFD4C	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ H	IPRH	16	H'FFD4E	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ I	IPRI	16	H'FFD50	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ K	IPRK	16	H'FFD54	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ L	IPRL	16	H'FFD56	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ Q	IPRQ	16	H'FFD60	INTC	16	21φ/31φ
インタラプトプライオリティレジスタ R	IPRR	16	H'FFD62	INTC	16	21φ/31φ
IRQ センスコントロールレジスタ H	ISCRH	16	H'FFD68	INTC	16	21φ/31φ
IRQ センスコントロールレジスタ L	ISCR L	16	H'FFD6A	INTC	16	21φ/31φ
DTC ベクタベースレジスタ	DTCVBR	32	H'FFD80	BSC	16	21φ/31φ
バス幅コントロールレジスタ	ABWCR	16	H'FFD84	BSC	16	21φ/31φ
アクセス状態コントロールレジスタ	ASTCR	16	H'FFD86	BSC	16	21φ/31φ
ウェイトコントロールレジスタ A	WTCRA	16	H'FFD88	BSC	16	21φ/31φ
ウェイトコントロールレジスタ B	WTCRB	16	H'FFD8A	BSC	16	21φ/31φ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
リードストロブタイミングコントロール レジスタ	RDNCR	16	H'FFD8C	BSC	16	2φ/31φ
CS アサート期間コントロールレジスタ	CSACR	16	H'FFD8E	BSC	16	2φ/31φ
アイドルコントロールレジスタ	IDLCR	16	H'FFD90	BSC	16	2φ/31φ
バスコントロールレジスタ 1	BCR1	16	H'FFD92	BSC	16	2φ/31φ
バスコントロールレジスタ 2	BCR2	8	H'FFD94	BSC	16	2φ/31φ
エンディアンコントロールレジスタ	ENDIANCR	8	H'FFD95	BSC	16	2φ/31φ
SRAM モードコントロールレジスタ	SRAMCR	16	H'FFD98	BSC	16	2φ/31φ
バースト ROM インタフェースコントロール レジスタ	BROMCR	16	H'FFD9A	BSC	16	2φ/31φ
アドレス/データマルチプレクス I/O コントロールレジスタ	MPXCR	16	H'FFD9C	BSC	16	2φ/31φ
DRAM コントロールレジスタ	DRAMCR	16	H'FFDA0	BSC	16	2φ/31φ
DRAM アクセスコントロールレジスタ	DRACCR	16	H'FFDA2	BSC	16	2φ/31φ
シンクロナス DRAM コントロールレジスタ	SDCR	16	H'FFDA4	BSC	16	2φ/31φ
リフレッシュコントロールレジスタ	REFCR	16	H'FFDA6	BSC	16	2φ/31φ
リフレッシュタイマカウンタ	RTCNT	8	H'FFDA8	BSC	16	2φ/31φ
リフレッシュタイムコンスタントレジスタ	RTCOR	8	H'FFDA9	BSC	16	2φ/31φ
RAM エミュレーションレジスタ	RAMER	8	H'FFD9E	BSC	16	2φ/31φ
モードコントロールレジスタ	MDCR	16	H'FFDC0	SYSTEM	16	2φ/31φ
システムコントロールレジスタ	SYSCR	16	H'FFDC2	SYSTEM	16	2φ/31φ
システムクロックコントロールレジスタ	SCKCR	16	H'FFDC4	SYSTEM	16	2φ/31φ
スタンバイコントロールレジスタ	SBYCR	16	H'FFDC6	SYSTEM	16	2φ/31φ
モジュールストップコントロールレジスタ A	MSTPCRA	16	H'FFDC8	SYSTEM	16	2φ/31φ
モジュールストップコントロールレジスタ B	MSTPCRB	16	H'FFDCA	SYSTEM	16	2φ/31φ
モジュールストップコントロールレジスタ C	MSTPCRC	16	H'FFDCC	SYSTEM	16	2φ/31φ
サブクロックコントロールレジスタ	SUBCKCR	8	H'FFDCF	SYSTEM	8	2φ/21φ
シリアル拡張モードレジスタ_2	SEMR_2	8	H'FFE84	SCI_2	8	2Pφ/2Pφ
シリアルモードレジスタ_4	SMR_4	8	H'FFE90	SCI_4	8	2Pφ/2Pφ
ビットレートレジスタ_4	BRR_4	8	H'FFE91	SCI_4	8	2Pφ/2Pφ
シリアルコントロールレジスタ_4	SCR_4	8	H'FFE92	SCI_4	8	2Pφ/2Pφ
トランスミットデータレジスタ_4	TDR_4	8	H'FFE93	SCI_4	8	2Pφ/2Pφ
シリアルステータスレジスタ_4	SSR_4	8	H'FFE94	SCI_4	8	2Pφ/2Pφ
レシーブデータレジスタ_4	RDR_4	8	H'FFE95	SCI_4	8	2Pφ/2Pφ
スマートカードモードレジスタ_4	SCMR_4	8	H'FFE96	SCI_4	8	2Pφ/2Pφ
フラッシュコードコントロールステータス レジスタ	FCCS	8	H'FFDE8	FLASH	16	2φ/21φ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
フラッシュプログラムコードセレクトレジスタ	FPCS	8	H'FFDE9	FLASH	16	21φ/21φ
フラッシュイレースコードセレクトレジスタ	FECS	8	H'FFDEA	FLASH	16	21φ/21φ
フラッシュキーコードレジスタ	FKEY	8	H'FFDEC	FLASH	16	21φ/21φ
フラッシュトランスマフディステーション アドレスレジスタ	FTDAR	8	H'FFDEE	FLASH	16	21φ/21φ
I ² C バスコントロールレジスタ A_0	ICCRA_0	8	H'FFEB0	IIC2_0	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ B_0	ICCRB_0	8	H'FFEB1	IIC2_0	8	2Pφ/2Pφ
I ² C バスモードレジスタ_0	ICMR_0	8	H'FFEB2	IIC2_0	8	2Pφ/2Pφ
I ² C バスインタラプトイネーブルレジスタ_0	ICIER_0	8	H'FFEB3	IIC2_0	8	2Pφ/2Pφ
I ² C バスステータスレジスタ_0	ICSR_0	8	H'FFEB4	IIC2_0	8	2Pφ/2Pφ
スリープアドレスレジスタ_0	SAR_0	8	H'FFEB5	IIC2_0	8	2Pφ/2Pφ
I ² C バス送信データレジスタ_0	ICDRT_0	8	H'FFEB6	IIC2_0	8	2Pφ/2Pφ
I ² C バス受信データレジスタ_0	ICDRR_0	8	H'FFEB7	IIC2_0	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ A_1	ICCRA_1	8	H'FFEB8	IIC2_1	8	2Pφ/2Pφ
I ² C バスコントロールレジスタ B_1	ICCRB_1	8	H'FFEB9	IIC2_1	8	2Pφ/2Pφ
I ² C バスモードレジスタ_1	ICMR_1	8	H'FFEBA	IIC2_1	8	2Pφ/2Pφ
I ² C バスインタラプトイネーブルレジスタ_1	ICIER_1	8	H'FFEBB	IIC2_1	8	2Pφ/2Pφ
I ² C バスステータスレジスタ_1	ICSR_1	8	H'FFEBC	IIC2_1	8	2Pφ/2Pφ
スリープアドレスレジスタ_1	SAR_1	8	H'FFEBD	IIC2_1	8	2Pφ/2Pφ
I ² C バス送信データレジスタ_1	ICDRT_1	8	H'FFEBE	IIC2_1	8	2Pφ/2Pφ
I ² C バス受信データレジスタ_1	ICDRR_1	8	H'FFEBF	IIC2_1	8	2Pφ/2Pφ
タイマコントロールレジスタ_2	TCR_2	8	H'FFEC0	TMR_2	16	2Pφ/2Pφ
タイマコントロールレジスタ_3	TCR_3	8	H'FFEC1	TMR_3	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_2	TCSR_2	8	H'FFEC2	TMR_2	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_3	TCSR_3	8	H'FFEC3	TMR_3	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_2	TCORA_2	8	H'FFEC4	TMR_2	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_3	TCORA_3	8	H'FFEC5	TMR_3	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_2	TCORB_2	8	H'FFEC6	TMR_2	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_3	TCORB_3	8	H'FFEC7	TMR_3	16	2Pφ/2Pφ
タイマカウンタ_2	TCNT_2	8	H'FFEC8	TMR_2	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	8	H'FFEC9	TMR_3	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_2	TCCR_2	8	H'FFECA	TMR_2	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_3	TCCR_3	8	H'FFECB	TMR_3	16	2Pφ/2Pφ
タイマコントロールレジスタ_4	TCR_4	8	H'FFEE0	TPU_4	16	2Pφ/2Pφ
タイマモードレジスタ_4	TMDR_4	8	H'FFEE1	TPU_4	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_4	TIOR_4	8	H'FFEE2	TPU_4	16	2Pφ/2Pφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマインタラプトイネーブルレジスタ_4	TIER_4	8	H'FFEE4	TPU_4	16	2Pφ/2Pφ
タイマステータスレジスタ_4	TSR_4	8	H'FFEE5	TPU_4	16	2Pφ/2Pφ
タイマカウンタ_4	TCNT_4	16	H'FFEE6	TPU_4	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_4	TGRA_4	16	H'FFEE8	TPU_4	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_4	TGRB_4	16	H'FFEEA	TPU_4	16	2Pφ/2Pφ
タイマコントロールレジスタ_5	TCR_5	8	H'FFEF0	TPU_5	16	2Pφ/2Pφ
タイマモードレジスタ_5	TMDR_5	8	H'FFEF1	TPU_5	16	2Pφ/2Pφ
タイマ I/O コントロールレジスタ_5	TIOR_5	8	H'FFEF2	TPU_5	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_5	TIER_5	8	H'FFEF4	TPU_5	16	2Pφ/2Pφ
タイマステータスレジスタ_5	TSR_5	8	H'FFEF5	TPU_5	16	2Pφ/2Pφ
タイマカウンタ_5	TCNT_5	16	H'FFEF6	TPU_5	16	2Pφ/2Pφ
タイマジェネラルレジスタ A_5	TGRA_5	16	H'FFEF8	TPU_5	16	2Pφ/2Pφ
タイマジェネラルレジスタ B_5	TGRB_5	16	H'FFEFA	TPU_5	16	2Pφ/2Pφ
DTC イネーブルレジスタ A	DTCERA	16	H'FFF20	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ B	DTCERB	16	H'FFF22	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ C	DTCERC	16	H'FFF24	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ D	DTCERD	16	H'FFF26	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ E	DTCERE	16	H'FFF28	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ G	DTCERG	16	H'FFF2C	INTC	16	2Iφ/3Iφ
DTC イネーブルレジスタ H	DTCERH	16	H'FFF2E	INTC	16	2Iφ/3Iφ
DTC コントロールレジスタ	DTCCR	8	H'FFF30	INTC	16	2Iφ/3Iφ
割り込みコントロールレジスタ	INTCR	8	H'FFF32	INTC	16	2Iφ/3Iφ
CPU プライオリティコントロールレジスタ	CPUPCR	8	H'FFF33	INTC	16	2Iφ/3Iφ
IRQ イネーブルレジスタ	IER	16	H'FFF34	INTC	16	2Iφ/3Iφ
IRQ ステータスレジスタ	ISR	16	H'FFF36	INTC	16	2Iφ/3Iφ
ポート 1 レジスタ	PORT1	8	H'FFF40	I/O ポート	8	2Pφ/-
ポート 2 レジスタ	PORT2	8	H'FFF41	I/O ポート	8	2Pφ/-
ポート 3 レジスタ	PORT3	8	H'FFF42	I/O ポート	8	2Pφ/-
ポート 5 レジスタ	PORT5	8	H'FFF44	I/O ポート	8	2Pφ/-
ポート 6 レジスタ	PORT6	8	H'FFF45	I/O ポート	8	2Pφ/-
ポート A レジスタ	PORTA	8	H'FFF49	I/O ポート	8	2Pφ/-
ポート B レジスタ	PORTB	8	H'FFF4A	I/O ポート	8	2Pφ/-
ポート C レジスタ	PORTC	8	H'FFF4B	I/O ポート	8	2Pφ/-
ポート D レジスタ	PORTD	8	H'FFF4C	I/O ポート	8	2Pφ/-
ポート E レジスタ	PORTE	8	H'FFF4D	I/O ポート	8	2Pφ/-
ポート F レジスタ	PORTF	8	H'FFF4E	I/O ポート	8	2Pφ/-

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
ポート1データレジスタ	P1DR	8	H'FFF50	I/Oポート	8	2Pφ/2Pφ
ポート2データレジスタ	P2DR	8	H'FFF51	I/Oポート	8	2Pφ/2Pφ
ポート3データレジスタ	P3DR	8	H'FFF52	I/Oポート	8	2Pφ/2Pφ
ポート6データレジスタ	P6DR	8	H'FFF55	I/Oポート	8	2Pφ/2Pφ
ポートAデータレジスタ	PADR	8	H'FFF59	I/Oポート	8	2Pφ/2Pφ
ポートBデータレジスタ	PBDR	8	H'FFF5A	I/Oポート	8	2Pφ/2Pφ
ポートCデータレジスタ	PCDR	8	H'FFF5B	I/Oポート	8	2Pφ/2Pφ
ポートDデータレジスタ	PDDR	8	H'FFF5C	I/Oポート	8	2Pφ/2Pφ
ポートEデータレジスタ	PEDR	8	H'FFF5D	I/Oポート	8	2Pφ/2Pφ
ポートFデータレジスタ	PFDR	8	H'FFF5E	I/Oポート	8	2Pφ/2Pφ
シリアルモードレジスタ_2	SMR_2	8	H'FFF60	SCL_2	8	2Pφ/2Pφ
ビットレートレジスタ_2	BRR_2	8	H'FFF61	SCL_2	8	2Pφ/2Pφ
シリアルコントロールレジスタ_2	SCR_2	8	H'FFF62	SCL_2	8	2Pφ/2Pφ
トランスミットデータレジスタ_2	TDR_2	8	H'FFF63	SCL_2	8	2Pφ/2Pφ
シリアルステータスレジスタ_2	SSR_2	8	H'FFF64	SCL_2	8	2Pφ/2Pφ
レシーブデータレジスタ_2	RDR_2	8	H'FFF65	SCL_2	8	2Pφ/2Pφ
スマートカードモードレジスタ_2	SCMR_2	8	H'FFF66	SCL_2	8	2Pφ/2Pφ
D/Aデータレジスタ0	DADR0	8	H'FFF68	D/A	8	2Pφ/2Pφ
D/Aデータレジスタ1	DADR1	8	H'FFF69	D/A	8	2Pφ/2Pφ
D/Aコントロールレジスタ01	DACR01	8	H'FFF6A	D/A	8	2Pφ/2Pφ
PPG出力コントロールレジスタ	PCR	8	H'FFF76	PPG	8	2Pφ/2Pφ
PPG出力モードレジスタ	PMR	8	H'FFF77	PPG	8	2Pφ/2Pφ
ネクストデータイネーブルレジスタH	NDERH	8	H'FFF78	PPG	8	2Pφ/2Pφ
ネクストデータイネーブルレジスタL	NDERL	8	H'FFF79	PPG	8	2Pφ/2Pφ
アウトプットデータレジスタH	PODRH	8	H'FFF7A	PPG	8	2Pφ/2Pφ
アウトプットデータレジスタL	PODRL	8	H'FFF7B	PPG	8	2Pφ/2Pφ
ネクストデータレジスタH*	NDRH	8	H'FFF7C	PPG	8	2Pφ/2Pφ
ネクストデータレジスタL*	NDRL	8	H'FFF7D	PPG	8	2Pφ/2Pφ
ネクストデータレジスタH*	NDRH	8	H'FFF7E	PPG	8	2Pφ/2Pφ
ネクストデータレジスタL*	NDRL	8	H'FFF7F	PPG	8	2Pφ/2Pφ
シリアルモードレジスタ_0	SMR_0	8	H'FFF80	SCL_0	8	2Pφ/2Pφ
ビットレートレジスタ_0	BRR_0	8	H'FFF81	SCL_0	8	2Pφ/2Pφ
シリアルコントロールレジスタ_0	SCR_0	8	H'FFF82	SCL_0	8	2Pφ/2Pφ
トランスミットデータレジスタ_0	TDR_0	8	H'FFF83	SCL_0	8	2Pφ/2Pφ
シリアルステータスレジスタ_0	SSR_0	8	H'FFF84	SCL_0	8	2Pφ/2Pφ
レシーブデータレジスタ_0	RDR_0	8	H'FFF85	SCL_0	8	2Pφ/2Pφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
スマートカードモードレジスタ_0	SCMR_0	8	H'FFF86	SCL_0	8	2Pφ/2Pφ
シリアルモードレジスタ_1	SMR_1	8	H'FFF88	SCL_1	8	2Pφ/2Pφ
ビットレートレジスタ_1	BRR_1	8	H'FFF89	SCL_1	8	2Pφ/2Pφ
シリアルコントロールレジスタ_1	SCR_1	8	H'FFF8A	SCL_1	8	2Pφ/2Pφ
トランスミッターデータレジスタ_1	TDR_1	8	H'FFF8B	SCL_1	8	2Pφ/2Pφ
シリアルステータスレジスタ_1	SSR_1	8	H'FFF8C	SCL_1	8	2Pφ/2Pφ
レシーブデータレジスタ_1	RDR_1	8	H'FFF8D	SCL_1	8	2Pφ/2Pφ
スマートカードモードレジスタ_1	SCMR_1	8	H'FFF8E	SCL_1	8	2Pφ/2Pφ
A/D データレジスタ A	ADDRA	16	H'FFF90	A/D	16	2Pφ/2Pφ
A/D データレジスタ B	ADDRB	16	H'FFF92	A/D	16	2Pφ/2Pφ
A/D データレジスタ C	ADDRC	16	H'FFF94	A/D	16	2Pφ/2Pφ
A/D データレジスタ D	ADDRD	16	H'FFF96	A/D	16	2Pφ/2Pφ
A/D データレジスタ E	ADDRE	16	H'FFF98	A/D	16	2Pφ/2Pφ
A/D データレジスタ F	ADDRF	16	H'FFF9A	A/D	16	2Pφ/2Pφ
A/D データレジスタ G	ADDRG	16	H'FFF9C	A/D	16	2Pφ/2Pφ
A/D データレジスタ H	ADDRH	16	H'FFF9E	A/D	16	2Pφ/2Pφ
A/D コントロール/ステータスレジスタ	ADCSR	8	H'FFFA0	A/D	16	2Pφ/2Pφ
A/D コントロールレジスタ	ADCR	8	H'FFFA1	A/D	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ	TCSR	8	H'FFFA4	WDT		2Pφ/3Pφ
タイマカウンタ	TCNT	8	H'FFFA5	WDT		2Pφ/3Pφ
リセットコントロール/ステータスレジスタ	RSTCSR	8	H'FFFA7	WDT		2Pφ/3Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFB0	TMR_0	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFB1	TMR_1	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_0	TCSR_0	8	H'FFFB2	TMR_0	16	2Pφ/2Pφ
タイマコントロール/ステータスレジスタ_1	TCSR_1	8	H'FFFB3	TMR_1	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_0	TCORA_0	8	H'FFFB4	TMR_0	16	2Pφ/2Pφ
タイムコンスタントレジスタ A_1	TCORA_1	8	H'FFFB5	TMR_1	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_0	TCORB_0	8	H'FFFB6	TMR_0	16	2Pφ/2Pφ
タイムコンスタントレジスタ B_1	TCORB_1	8	H'FFFB7	TMR_1	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	8	H'FFFB8	TMR_0	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	8	H'FFFB9	TMR_1	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_0	TCCR_0	8	H'FFFBFA	TMR_0	16	2Pφ/2Pφ
タイマカウンタコントロールレジスタ_1	TCCR_1	8	H'FFFBFB	TMR_1	16	2Pφ/2Pφ
タイマスタートレジスタ	TSTR	8	H'FFFBFC	TPU	16	2Pφ/2Pφ
タイマシンクロレジスタ	TSYR	8	H'FFFBFD	TPU	16	2Pφ/2Pφ
タイマコントロールレジスタ_0	TCR_0	8	H'FFFC0	TPU_0	16	2Pφ/2Pφ

24. レジスタ一覧

レジスタ名称	略称	ビット数	アドレス	モジュール	データ バス幅	アクセス ステート数
タイマモードレジスタ_0	TMDR_0	8	H'FFFC1	TPU_0	16	2Pφ/2Pφ
タイマI/OコントロールレジスタH_0	TIORH_0	8	H'FFFC2	TPU_0	16	2Pφ/2Pφ
タイマI/OコントロールレジスタL_0	TIORL_0	8	H'FFFC3	TPU_0	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_0	TIER_0	8	H'FFFC4	TPU_0	16	2Pφ/2Pφ
タイマステータスレジスタ_0	TSR_0	8	H'FFFC5	TPU_0	16	2Pφ/2Pφ
タイマカウンタ_0	TCNT_0	16	H'FFFC6	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタA_0	TGRA_0	16	H'FFFC8	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタB_0	TGRB_0	16	H'FFCA	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタC_0	TGRC_0	16	H'FFCC	TPU_0	16	2Pφ/2Pφ
タイマジェネラルレジスタD_0	TGRD_0	16	H'FFCE	TPU_0	16	2Pφ/2Pφ
タイマコントロールレジスタ_1	TCR_1	8	H'FFFD0	TPU_1	16	2Pφ/2Pφ
タイマモードレジスタ_1	TMDR_1	8	H'FFFD1	TPU_1	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_1	TIOR_1	8	H'FFFD2	TPU_1	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_1	TIER_1	8	H'FFFD4	TPU_1	16	2Pφ/2Pφ
タイマステータスレジスタ_1	TSR_1	8	H'FFFD5	TPU_1	16	2Pφ/2Pφ
タイマカウンタ_1	TCNT_1	16	H'FFFD6	TPU_1	16	2Pφ/2Pφ
タイマジェネラルレジスタA_1	TGRA_1	16	H'FFFD8	TPU_1	16	2Pφ/2Pφ
タイマジェネラルレジスタB_1	TGRB_1	16	H'FFDA	TPU_1	16	2Pφ/2Pφ
タイマコントロールレジスタ_2	TCR_2	8	H'FFFE0	TPU_2	16	2Pφ/2Pφ
タイマモードレジスタ_2	TMDR_2	8	H'FFFE1	TPU_2	16	2Pφ/2Pφ
タイマI/Oコントロールレジスタ_2	TIOR_2	8	H'FFFE2	TPU_2	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_2	TIER_2	8	H'FFFE4	TPU_2	16	2Pφ/2Pφ
タイマステータスレジスタ_2	TSR_2	8	H'FFFE5	TPU_2	16	2Pφ/2Pφ
タイマカウンタ_2	TCNT_2	16	H'FFFE6	TPU_2	16	2Pφ/2Pφ
タイマジェネラルレジスタA_2	TGRA_2	16	H'FFFE8	TPU_2	16	2Pφ/2Pφ
タイマジェネラルレジスタB_2	TGRB_2	16	H'FFFEA	TPU_2	16	2Pφ/2Pφ
タイマコントロールレジスタ_3	TCR_3	8	H'FFFF0	TPU_3	16	2Pφ/2Pφ
タイマモードレジスタ_3	TMDR_3	8	H'FFFF1	TPU_3	16	2Pφ/2Pφ
タイマI/OコントロールレジスタH_3	TIORH_3	8	H'FFFF2	TPU_3	16	2Pφ/2Pφ
タイマI/OコントロールレジスタL_3	TIORL_3	8	H'FFFF3	TPU_3	16	2Pφ/2Pφ
タイマインタラプトイネーブルレジスタ_3	TIER_3	8	H'FFFF4	TPU_3	16	2Pφ/2Pφ
タイマステータスレジスタ_3	TSR_3	8	H'FFFF5	TPU_3	16	2Pφ/2Pφ
タイマカウンタ_3	TCNT_3	16	H'FFFF6	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタA_3	TGRA_3	16	H'FFFF8	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタB_3	TGRB_3	16	H'FFFFA	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタC_3	TGRC_3	16	H'FFFC	TPU_3	16	2Pφ/2Pφ
タイマジェネラルレジスタD_3	TGRD_3	16	H'FFFFE	TPU_3	16	2Pφ/2Pφ

- 【注】 * PCR の設定によりパルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FFF7C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FFF7E、グループ 3 に対する NDRH のアドレスは H'FFF7C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FFF7D となり、出力トリガが異なる場合は、グループ 0 に対応する NDRL のアドレスは H'FFF7F、グループ 1 に対する NDRL のアドレスは H'FFF7D となります。

24. レジスタ一覧

24.2 レジスタビット一覧

周辺モジュールのレジスタのアドレスとビット名を以下に示します。

16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCR_4	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_4
TCR_5	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_5
TCSR_4	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_4
TCSR_5	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_5
TCORA_4									TMR_4
TCORA_5									TMR_5
TCORB_4									TMR_4
TCORB_5									TMR_5
TCNT_4									TMR_4
TCNT_5									TMR_5
TCCR_4	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_4
TCCR_5	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_5
CRCCR	DORCLR	—	—	—	—	LMS	G1	G0	CRC
CRCDIR									
CRCDOR									
TCR_6	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_6
TCR_7	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_7
TCSR_6	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_6
TCSR_7	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_7
TCORA_6									TMR_6
TCORA_7									TMR_7
TCORB_6									TMR_6
TCORB_7									TMR_7
TCNT_6									TMR_6
TCNT_7									TMR_7
TCCR_6	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_6
TCCR_7	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_7
IFR0	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS	USB
IFR1	—	—	—	—	VBUS MN	EP3 TR	EP3 TS	VBUSF	
IFR2	—	—	SURSS	SURSF	CFDN	—	SETC	SETI	
IER0	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IER1	–	–	–	–	–	EP3 TR	EP3 TS	VBUSF	USB
IER2	SSRSME	–	–	SURSE	CFDN	–	SETCE	SETIE	
ISR0	BRST	EP1 FULL	EP2 TR	EP2 EMPTY	SETUP TS	EP0o TS	EP0i TR	EP0i TS	
ISR1	–	–	–	–	–	EP3 TR	EP3 TS	VBUSF	
ISR2	–	–	–	SURSE	CFDN	–	SETCE	SETIE	
EPDR0i	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0o	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR0s	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR1	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR2	D7	D6	D5	D4	D3	D2	D1	D0	
EPDR3	D7	D6	D5	D4	D3	D2	D1	D0	
EPSZ0o	–	–	–	–	–	–	–	–	
EPSZ1	–	–	–	–	–	–	–	–	
DASTS	–	–	EP3 DE	EP2 DE	–	–	–	EP0i DE	
FCLR	–	EP3 CLR	EP1 CLR	EP2 CLR	–	–	EP0o CLR	EP0i CLR	
EPSTL	–	–	–	–	EP3STL	EP2STL	EP1STL	EP0STL	
TRG	–	EP3 PKTE	EP1 RDFN	EP2 PKTE	–	EP0s RDFN	EP0o RDFN	EP0i PKTE	
DMA	–	–	–	–	–	PULLUP_E	EP2DMAE	EP1DMAE	
CVR	CNFV1	CNFV0	INTV1	INTV0	–	ALTV2	ALTV1	ALTV0	
CTLR	–	–	–	RWUPS	RSME	RWMD	ASCE	–	
EPIR	D7	D6	D5	D4	D3	D2	D1	D0	
TRNTREG0	PTSTE	–	–	–	SUSPEND	txen1	txse0	txdata	
TRNTREG1	–	–	–	–	–	xver_data	dpls	dmns	
PMDDR	–	–	–	PM4DDR	PM3DDR	PM2DDR	PM1DDR	PM0DDR	I/O
PMDR	–	–	–	PM4DR	PM3DR	PM2DR	PM1DR	PM0DR	ポート
PORTM	–	–	–	PM4	PM3	PM2	PM1	PM0	
PMICR	–	–	–	PM4ICR	PM3ICR	PM2ICR	PM1ICR	PM0ICR	
SMR_5*	C/Ā (GM)	CHR (BLK)	PE (PE)	O/Ē (O/Ē)	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_5
BRR_5									
SCR_5*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_5									
SSR_5*	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
				(ERS)					

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
RDR_5									SCI_5
SCMR_5	—	—	—	—	SDIR	SINV	—	SMIF	
SEMR_5	—	—	—	ABCS	ACS3	ACS2	ACS1	ACS0	
IrCR	IrE	IrCKS2	IrCKS1	IrCKS0	IrTxINV	IrRxINV	—	—	
SMR_6*	C/Ā (GM)	CHR (BLK)	PE (PE)	O/Ē (O/Ē)	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_6
BRR_6									
SCR_6*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_6									
SSR_6*	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_6									
SCMR_6	—	—	—	—	SDIR	SINV	—	SMIF	
SEMR_6	—	—	—	ABCS	ACS3	ACS2	ACS1	ACS0	
TCNT32K									TM32K
TCR32K	—	—	TME	—	—	OSC32STP	CKS1	CKS0	
P1DDR	P17DDR	P16DDR	P15DDR	P14DDR	P13DDR	P12DDR	P11DDR	P10DDR	I/Oポート
P2DDR	P27DDR	P26DDR	P25DDR	P24DDR	P23DDR	P22DDR	P21DDR	P20DDR	
P3DDR	P37DDR	P36DDR	P35DDR	P34DDR	P33DDR	P32DDR	P31DDR	P30DDR	
P6DDR	—	—	P65DDR	P64DDR	P63DDR	P62DDR	P61DDR	P60DDR	
PADDR	PA7DDR	PA6DDR	PA5DDR	PA4DDR	PA3DDR	PA2DDR	PA1DDR	PA0DDR	
PBDDR	PB7DDR	PB6DDR	PB5DDR	PB4DDR	PB3DDR	PB2DDR	PB1DDR	PB0DDR	
PCDDR	—	—	—	—	PC3DDR	PC2DDR	—	—	
PDDDR	PD7DDR	PD6DDR	PD5DDR	PD4DDR	PD3DDR	PD2DDR	PD1DDR	PD0DDR	
PEDDR	PE7DDR	PE6DDR	PE5DDR	PE4DDR	PE3DDR	PE2DDR	PE1DDR	PE0DDR	
PFDDR	PF7DDR	PF6DDR	PF5DDR	PF4DDR	PF3DDR	PF2DDR	PF1DDR	PF0DDR	
P1ICR	P17ICR	P16ICR	P15ICR	P14ICR	P13ICR	P12ICR	P11ICR	P10ICR	
P2ICR	P27ICR	P26ICR	P25ICR	P24ICR	P23ICR	P22ICR	P21ICR	P20ICR	
P3ICR	P37ICR	P36ICR	P35ICR	P34ICR	P33ICR	P32ICR	P31ICR	P30ICR	
P5ICR	P57ICR	P56ICR	P55ICR	P54ICR	P53ICR	P52ICR	P51ICR	P50ICR	
P6ICR	—	—	P65ICR	P64ICR	P63ICR	P62ICR	P61ICR	P60ICR	
PAICR	PA7ICR	PA6ICR	PA5ICR	PA4ICR	PA3ICR	PA2ICR	PA1ICR	PA0ICR	
PBICR	PB7ICR	PB6ICR	PB5ICR	PB4ICR	PB3ICR	PB2ICR	PB1ICR	PB0ICR	
PCICR	—	—	—	—	PC3ICR	PC2ICR	—	—	
PDICR	PD7ICR	PD6ICR	PD5ICR	PD4ICR	PD3ICR	PD2ICR	PD1ICR	PD0ICR	
PEICR	PE7ICR	PE6ICR	PE5ICR	PE4ICR	PE3ICR	PE2ICR	PE1ICR	PE0ICR	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PFICR	PF7ICR	PF6ICR	PF5ICR	PF4ICR	PF3ICR	PF2ICR	PF1ICR	PF0ICR	I/Oポート
PORTH	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0	
PORTI	PI7	PI6	PI5	PI4	PI3	PI2	PI1	PI0	
PHDR	PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR	
PIDR	PI7DR	PI6DR	PI5DR	PI4DR	PI3DR	PI2DR	PI1DR	PI0DR	
PHDDR	PH7DDR	PH6DDR	PH5DDR	PH4DDR	PH3DDR	PH2DDR	PH1DDR	PH0DDR	
PIDDR	PI7DDR	PI6DDR	PI5DDR	PI4DDR	PI3DDR	PI2DDR	PI1DDR	PI0DDR	
PHICR	PH7ICR	PH6ICR	PH5ICR	PH4ICR	PH3ICR	PH2ICR	PH1ICR	PH0ICR	
PIICR	PI7ICR	PI6ICR	PI5ICR	PI4ICR	PI3ICR	PI2ICR	PI1ICR	PI0ICR	
PDPCR	PD7PCR	PD6PCR	PD5PCR	PD4PCR	PD3PCR	PD2PCR	PD1PCR	PD0PCR	
PEPCR	PE7PCR	PE6PCR	PE5PCR	PE4PCR	PE3PCR	PE2PCR	PE1PCR	PE0PCR	
PFPCR	PF7PCR	PF6PCR	PF5PCR	PF4PCR	PF3PCR	PF2PCR	PF1PCR	PF0PCR	
PHPCR	PH7PCR	PH6PCR	PH5PCR	PH4PCR	PH3PCR	PH2PCR	PH1PCR	PH0PCR	
PIPCR	PI7PCR	PI6PCR	PI5PCR	PI4PCR	PI3PCR	PI2PCR	PI1PCR	PI0PCR	
P2ODR	P27ODR	P26ODR	P25ODR	P24ODR	P23ODR	P22ODR	P21ODR	P20ODR	
PFODR	PF7ODR	PF6ODR	PF5ODR	PF4ODR	PF3ODR	PF2ODR	PF1ODR	PF0ODR	
PFCR0	CS7E	CS6E	CS5E	CS4E	CS3E	CS2E	CS1E	CS0E	
PFCR1	CS7SA	CS7SB	CS6SA	CS6SB	CS5SA	CS5SB	—	—	
PFCR2	—	CS2S	BSS	BSE	RDWRS	RDWRE	ASOE	—	
PFCR4	A23E	A22E	A21E	A20E	A19E	A18E	A17E	A16E	
PFCR6	—	LHWROE	—	—	TCLKS	—	—	—	
PFCR7	DMAS3A	DMAS3B	DMAS2A	DMAS2B	DMAS1A	DMAS1B	DMAS0A	DMAS0B	
PFCR9	TPUMS5	TPUMS4	TPUMS3A	TPUMS3B	TPUMS2A	TPUMS2B	TPUMS1A	TPUMS1B	
PFCRB	—	—	—	—	ITS11	ITS10	ITS9	ITS8	
PFCRC	ITS7	ITS6	ITS5	ITS4	ITS3	ITS2	ITS1	ITS0	
SSIER	SSI15	—	—	—	SSI11	SSI10	SSI9	SSI8	INTC
	SSI7	SSI6	SSI5	SSI4	SSI3	SSI2	SSI1	SSI0	
DSAR_0									DMAC_0
DDAR_0									

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DOFR_0									DMAC_0
DTCR_0									
DBSR_0	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_0	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	ERRF	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_0	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_1									DMAC_1
DDAR_1									
DOFR_1									
DTCR_1									

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DBSR_1	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	DMAC_1
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_1	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_1	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_2									DMAC_2
DDAR_2									
DOFR_2									
DTCR_2									
DBSR_2	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_2	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
DACR_2	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	DMAC_2
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DSAR_3									DMAC_3
DDAR_3									
DOFR_3									
DTCR_3									
DBSR_3	BKSZH31	BKSZH30	BKSZH29	BKSZH28	BKSZH27	BKSZH26	BKSZH25	BKSZH24	
	BKSZH23	BKSZH22	BKSZH21	BKSZH20	BKSZH19	BKSZH18	BKSZH17	BKSZH16	
	BKSZ15	BKSZ14	BKSZ13	BKSZ12	BKSZ11	BKSZ10	BKSZ9	BKSZ8	
	BKSZ7	BKSZ6	BKSZ5	BKSZ4	BKSZ3	BKSZ2	BKSZ1	BKSZ0	
DMDR_3	DTE	DACKE	TENDE	—	DREQS	NRD	—	—	
	ACT	—	—	—	—	—	ESIF	DTIF	
	DTSZ1	DTSZ0	MDS1	MDS0	TSEIE	—	ESIE	DTIE	
	DTF1	DTF0	DTA	—	—	DMAP2	DMAP1	DMAP0	
DACR_3	AMS	DIRS	—	—	—	RPTIE	ARS1	ARS0	
	—	—	SAT1	SAT0	—	—	DAT1	DAT0	
	SARIE	—	—	SARA4	SARA3	SARA2	SARA1	SARA0	
	DARIE	—	—	DARA4	DARA3	DARA2	DARA1	DARA0	
DMRSR_0									DMAC_0
DMRSR_1									DMAC_1
DMRSR_2									DMAC_2
DMRSR_3									DMAC_3

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
IPRA	—	IPRA14	IPRA13	IPRA12	—	IPRA10	IPRA9	IPRA8	INTC
	—	IPRA6	IPRA5	IPRA4	—	IPRA2	IPRA1	IPRA0	
IPRB	—	IPRB14	IPRB13	IPRB12	—	IPRB10	IPRB9	IPRB8	
	—	IPRB6	IPRB5	IPRB4	—	IPRB2	IPRB1	IPRB0	
IPRC	—	IPRC14	IPRC13	IPRC12	—	IPRC10	IPRC9	IPRC8	
	—	IPRC6	IPRC5	IPRC4	—	IPRC2	IPRC1	IPRC0	
IPRD	—	—	—	—	—	—	—	—	
	—	—	—	—	—	IPRD2	IPRD1	IPRD0	
IPRE	—	—	—	—	—	IPRE10	IPRE9	IPRE8	
	—	—	—	—	—	—	—	—	
IPRF	—	—	—	—	—	IPRF10	IPRF9	IPRF8	
	—	IPRF6	IPRF5	IPRF4	—	IPRF2	IPRF1	IPRF0	
IPRG	—	IPRG14	IPRG13	IPRG12	—	IPRG10	IPRG9	IPRG8	
	—	IPRG6	IPRG5	IPRG4	—	IPRG2	IPRG1	IPRG0	
IPRH	—	IPRH14	IPRH13	IPRH12	—	IPRH10	IPRH9	IPRH8	
	—	IPRH6	IPRH5	IPRH4	—	IPRH2	IPRH1	IPRH0	
IPRI	—	IPRI14	IPRI13	IPRI12	—	IPRI10	IPRI9	IPRI8	
	—	IPRI6	IPRI5	IPRI4	—	IPRI2	IPRI1	IPRI0	
IPRK	—	IPRK14	IPRK13	IPRK12	—	—	—	—	
	—	IPRK6	IPRK5	IPRK4	—	IPRK2	IPRK1	IPRK0	
IPRL	—	IPRL14	IPRL13	IPRL12	—	—	—	—	
	—	IPRL6	IPRL5	IPRL4	—	—	—	—	
IPRQ	—	—	—	—	—	—	—	—	
	—	IPRQ6	IPRQ5	IPRQ4	—	IPRQ2	IPRQ1	IPRQ0	
IPRR	—	IPRR14	IPRR13	IPRR12	—	IPRR10	IPRR9	IPRR8	
	—	IPRR6	IPRR5	IPRR4	—	IPRR2	IPRR1	IPRR0	
ISCRH	IRQ15SR	IRQ15SF	—	—	—	—	—	—	
	IRQ11SR	IRQ11SF	IRQ10SR	IRQ10SF	IRQ9SR	IRQ9SF	IRQ8SR	IRQ8SF	
ISCLR	IRQ7SR	IRQ7SF	IRQ6SR	IRQ6SF	IRQ5SR	IRQ5SF	IRQ4SR	IRQ4SF	
	IRQ3SR	IRQ3SF	IRQ2SR	IRQ2SF	IRQ1SR	IRQ1SF	IRQ0SR	IRQ0SF	
DTCVBR									BSC
ABWCR	ABWH7	ABWH6	ABWH5	ABWH4	ABWH3	ABWH2	ABWH1	ABWH0	
	ABWL7	ABWL6	ABWL5	ABWL4	ABWL3	ABWL2	ABWL1	ABWL0	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ASTCR	AST7	AST6	AST5	AST4	AST3	AST2	AST1	AST0	BSC
	-	-	-	-	-	-	-	-	
WTCRA	-	W72	W71	W70	-	W62	W61	W60	
	-	W52	W51	W50	-	W42	W41	W40	
WTCRB	-	W32	W31	W30	-	W22	W21	W20	
	-	W12	W11	W10	-	W02	W01	W00	
RDNCR	RDN7	RDN6	RDN5	RDN4	RDN3	RDN2	RDN1	RDN0	
	-	-	-	-	-	-	-	-	
CSACR	CSXH7	CSXH6	CSXH5	CSXH4	CSXH3	CSXH2	CSXH1	CSXH0	
	CSXT7	CSXT6	CSXT5	CSXT4	CSXT3	CSXT2	CSXT1	CSXT0	
IDLCR	IDLS3	IDLS2	IDLS1	IDLS0	IDLCB1	IDLCB0	IDLCA1	IDLCA0	
	IDLSEL7	IDLSEL6	IDLSEL5	IDLSEL4	IDLSEL3	IDLSEL2	IDLSEL1	IDLSEL0	
BCR1	BRLE	BREQOE	-	-	-	-	WDBE	WAITE	
	DKC	-	-	-	-	-	-	-	
BCR2	-	-	-	IBCCS	-	-	-	PWDBE	
ENDIANCR	LE7	LE6	LE5	LE4	LE3	LE2	-	-	
SRAMCR	BCSEL7	BCSEL6	BCSEL5	BCSEL4	BCSEL3	BCSEL2	BCSEL1	BCSEL0	
	-	-	-	-	-	-	-	-	
BROMCR	BSRM0	BSTS02	BSTS01	BSTS00	-	-	BSWD01	BSWD00	
	BSRM1	BSTS12	BSTS11	BSTS10	-	-	BSWD11	BSWD10	
MPXCR	MPXE7	MPXE6	MPXE5	MPXE4	MPXE3	-	-	-	
	-	-	-	-	-	-	-	ADDEX	
DRAMCR	DRAME	DTYPE	-	-	OEE	RAST	-	CAST	
	BE	RCDM	DDS	-	-	-	MXC1	MXC0	
DRACCR	-	-	TPC1	TPC0	-	-	RCD1	RCD0	
	-	-	-	-	-	-	-	-	
SDCR	MRSE	-	-	-	-	-	-	-	
	CKSPE	-	-	-	-	-	-	TRWL	
REFCR	CMF	CMIE	RCW1	RCW0	-	RTCK2	RTCK1	RTCK0	
	RFSHE	RLW2	RLW1	RLW0	SLFRF	TPCS2	TPCS1	TPCS0	
RTCNT									
RTCOR									
RAMER	-	-	-	-	RAMS	RAM2	RAM1	RAM0	
MDCR	MDS7	-	-	-	MDS3	MDS2	MDS1	MDS0	SYSTEM
	-	-	-	-	-	-	-	-	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SYSCR	—	—	MACS	—	FETCHMD	—	EXPE	RAME	SYSTEM
	—	—	—	—	—	—	DTCMD	—	
SCKCR	PSTOP1	PSTOP0	—	—	—	ICK2	ICK1	ICK0	
	—	PCK2	PCK1	PCK0	—	BCK2	BCK1	BCK0	
SBYCR	SSBY	OPE	—	STS4	STS3	STS2	STS1	STS0	
	SLPIE	—	—	—	—	—	—	—	
MSTPCRA	ACSE	MSTPA14	MSTPA13	MSTPA12	MSTPA11	MSTPA10	MSTPA9	MSTPA8	
	MSTPA7	MSTPA6	MSTPA5	MSTPA4	MSTPA3	MSTPA2	MSTPA1	MSTPA0	
MSTPCRB	MSTPB15	MSTPB14	MSTPB13	MSTPB12	MSTPB11	MSTPB10	MSTPB9	MSTPB8	
	MSTPB7	MSTPB6	MSTPB5	MSTPB4	MSTPB3	MSTPB2	MSTPB1	MSTPB0	
MSTPCRC	MSTPC15	MSTPC14	MSTPC13	MSTPC12	MSTPC11	MSTPC10	MSTPC9	MSTPC8	
	MSTPC7	MSTPC6	MSTPC5	MSTPC4	MSTPC3	MSTPC2	MSTPC1	MSTPC0	
SUBCKCR	—	—	—	—	—	EXSTP	WAKE32K	CS32K	
SEMR_2	—	—	—	—	ABCS	ACS2	ACS1	ACS0	SCI_2
SMR_4*	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI_4
	(GM)	(BLK)	(PE)	(O/ \bar{E})	(BCP1)	(BCP0)			
BRR_4									
SCR_4*	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_4									
SSR_4*	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_4									
SCMR_4	—	—	—	—	SDIR	SINV	—	SMIF	
FCCS	—	—	—	FLER	—	—	—	SCO	FLASH
FPCS	—	—	—	—	—	—	—	PPVS	
FECS	—	—	—	—	—	—	—	EPVB	
FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
ICCRA_0	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_0
ICCRB_0	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_0	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_0	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_0	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_0	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_0									
ICDRR_0									

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
ICCRA_1	ICE	RCVD	MST	TRS	CKS3	CKS2	CKS1	CKS0	IIC2_1
ICCRB_1	BBSY	SCP	SDAO	—	SCLO	—	IICRST	—	
ICMR_1	—	WAIT	—	—	BCWP	BC2	BC1	BC0	
ICIER_1	TIE	TEIE	RIE	NAKIE	STIE	ACKE	ACKBR	ACKBT	
ICSR_1	TDRE	TEND	RDRF	NACKF	STOP	AL	AAS	ADZ	
SAR_1	SVA6	SVA5	SVA4	SVA3	SVA2	SVA1	SVA0	—	
ICDRT_1									
ICDRR_1									
TCR_2	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_2
TCR_3	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_3
TCSR_2	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_2
TCSR_3	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_3
TCORA_2									TMR_2
TCORA_3									TMR_3
TCORB_2									TMR_2
TCORB_3									TMR_3
TCNT_2									TMR_2
TCNT_3									TMR_3
TCCR_2	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_2
TCCR_3	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_3
TCR_4	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_4
TMDR_4	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_4	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_4	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_4	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_4									
TGRA_4									
TGRB_4									
TCR_5	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_5
TMDR_5	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_5	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_5	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_5	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCNT_5									TPU_5
TGRA_5									
TGRB_5									
DTCERA	DTCEA15	DTCEA14	DTCEA13	DTCEA12	DTCEA11	DTCEA10	DTCEA9	DTCEA8	INTC
	DTCEA7	DTCEA6	DTCEA5	DTCEA4	—	—	—	—	
DTCERB	DTCEB15	—	DTCEB13	DTCEB12	DTCEB11	DTCEB10	DTCEB9	DTCEB8	
	DTCEB7	DTCEB6	DTCEB5	DTCEB4	DTCEB3	DTCEB2	DTCEB1	DTCEB0	
DTCERC	DTCEC15	DTCEC14	DTCEC13	DTCEC12	DTCEC11	DTCEC10	DTCEC9	DTCEC8	
	DTCEC7	DTCEC6	DTCEC5	DTCEC4	DTCEC3	DTCEC2	—	—	
DTCERD	—	—	DTCED13	DTCED12	DTCED11	DTCED10	—	—	
	—	—	DTCED5	DTCED4	DTCED3	DTCED2	DTCED1	DTCED0	
DTCERE	—	—	DTCEE13	DTCEE12	—	—	—	—	
	—	—	—	—	—	—	—	—	
DTCERG	—	—	—	—	DTCEG11	DTCEG10	—	—	
	DTCEG7	DTCEG6	—	—	—	—	—	—	
DTCERH	DTCEH15	DTCEH14	—	—	—	—	—	—	
	—	—	—	—	—	—	—	—	
DTCCR	—	—	—	RRS	RCHNE	—	—	ERR	
INTCR	—	—	INTM1	INTM0	NMIEG	—	—	—	
CPUPCR	CPUPCE	DTCP2	DTCP1	DTCP0	IPSETE	CPUP2	CPUP1	CPUP0	
IER	IRQ15E	—	—	—	IRQ11E	IRQ10E	IRQ9E	IRQ8E	
	IRQ7E	IRQ6E	IRQ5E	IRQ4E	IRQ3E	IRQ2E	IRQ1E	IRQ0E	
ISR	IRQ15F	—	—	—	IRQ11F	IRQ10F	IRQ9F	IRQ8F	
	IRQ7F	IRQ6F	IRQ5F	IRQ4F	IRQ3F	IRQ2F	IRQ1F	IRQ0F	
PORT1	P17	P16	P15	P14	P13	P12	P11	P10	I/Oポート
PORT2	P27	P26	P25	P24	P23	P22	P21	P20	
PORT3	P37	P36	P35	P34	P33	P32	P31	P30	
PORT5	P57	P56	P55	P54	P53	P52	P51	P50	
PORT6	—	—	P65	P64	P63	P62	P61	P60	
PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	
PORTB	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0	
PORTC	—	—	—	—	PC3	PC2	—	—	
PORTD	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0	

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
PORTE	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0	I/Oポート
PORTF	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0	
P1DR	P17DR	P16DR	P15DR	P14DR	P13DR	P12DR	P11DR	P10DR	
P2DR	P27DR	P26DR	P25DR	P24DR	P23DR	P22DR	P21DR	P20DR	
P3DR	P37DR	P36DR	P35DR	P34DR	P33DR	P32DR	P31DR	P30DR	
P6DR	—	—	P65DR	P64DR	P63DR	P62DR	P61DR	P60DR	
PADR	PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	
PBDR	PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR	
PCDR	—	—	—	—	PC3DR	PC2DR	—	—	
PDDR	PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
PEDR	PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
PFDR	PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
SMR_2* ¹	C/Ā (GM)	CHR (BLK)	PE (PE)	O/Ē (O/Ē)	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_2
BRR_2									
SCR_2* ¹	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_2									
SSR_2* ¹	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_2									
SCMR_2	—	—	—	—	SDIR	SINV	—	SMIF	
DADR0									D/A
DADR1									
DACR01	DAOE1	DAOE0	DAE	—	—	—	—	—	
PCR	G3CMS1	G3CMS0	G2CMS1	G2CMS0	G1CMS1	G1CMS0	G0CMS1	G0CMS0	PPG
PMR	G3INV	G2INV	G1INV	G0INV	G3NOV	G2NOV	G1NOV	G0NOV	
NDERH	NDER15	NDER14	NDER13	NDER12	NDER11	NDER10	NDER9	NDER8	
NDERL	NDER7	NDER6	NDER5	NDER4	NDER3	NDER2	NDER1	NDER0	
PODRH	POD15	POD14	POD13	POD12	POD11	POD10	POD9	POD8	
PODRL	POD7	POD6	POD5	POD4	POD3	POD2	POD1	POD0	
NDRH* ²	NDR15	NDR14	NDR13	NDR12	NDR11	NDR10	NDR9	NDR8	
NDRL* ²	NDR7	NDR6	NDR5	NDR4	NDR3	NDR2	NDR1	NDR0	
NDRH* ²	—	—	—	—	NDR11	NDR10	NDR9	NDR8	
NDRL* ²	—	—	—	—	NDR3	NDR2	NDR1	NDR0	
SMR_0* ¹	C/Ā (GM)	CHR (BLK)	PE (PE)	O/Ē (O/Ē)	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_0
BRR_0									

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
SCR_0*1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	SCI_0
TDR_0									
SSR_0*1	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_0									
SCMR_0	—	—	—	—	SDIR	SINV	—	SMIF	
SMR_1*1	C/ \bar{A} (GM)	CHR (BLK)	PE (PE)	O/ \bar{E} (O/ \bar{E})	STOP (BCP1)	MP (BCP0)	CKS1	CKS0	SCI_1
BRR_1									
SCR_1*1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
TDR_1									
SSR_1*1	TDRE	RDRF	ORER	FER (ERS)	PER	TEND	MPB	MPBT	
RDR_1									
SCMR_1	—	—	—	—	SDIR	SINV	—	SMIF	
ADDRA									A/D
ADDRB									
ADDRC									
ADDRD									
ADDRE									
ADDRF									
ADDRG									
ADDRH									
ADCSR	ADF	ADIE	ADST	—	CH3	CH2	CH1	CH0	
ADCR	TRGS1	TRGS0	SCANE	SCANS	CKS1	CKS0	—	—	
TCSR	OVF	WT/ \bar{IT}	TME	—	—	CKS2	CKS1	CKS0	WDT
TCNT									
RSTCSR	WOVF	RSTE	—	—	—	—	—	—	
TCR_0	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_0

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TCR_1	CMIEB	CMIEA	OVIE	CCLR1	CCLR0	CKS2	CKS1	CKS0	TMR_1
TCSR_0	CMFB	CMFA	OVF	ADTE	OS3	OS2	OS1	OS0	TMR_0
TCSR_1	CMFB	CMFA	OVF	—	OS3	OS2	OS1	OS0	TMR_1
TCORA_0									TMR_0
TCORA_1									TMR_1
TCORB_0									TMR_0
TCORB_1									TMR_1
TCNT_0									TMR_0
TCNT_1									TMR_1
TCCR_0	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_0
TCCR_1	—	—	—	—	TMRIS	—	ICKS1	ICKS0	TMR_1
TSTR	—	—	CST5	CST4	CST3	CST2	CST1	CST0	TPU
TSYR	—	—	SYNC5	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	
TCR_0	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_0
TMDR_0	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_0	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_0	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_0	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_0	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_0									
TGRA_0									
TGRB_0									
TGRC_0									
TGRD_0									
TCR_1	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_1
TMDR_1	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_1	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_1	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_1	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_1									

24. レジスタ一覧

レジスタ 略称	ビット 31/23/15/ 7	ビット 30/22/14/ 6	ビット 29/21/13/ 5	ビット 28/20/12/ 4	ビット 27/19/11/ 3	ビット 26/18/10/ 2	ビット 25/17/ 9/ 1	ビット 24/16/ 8/ 0	モジュール
TGRA_1									TPU_1
TGRB_1									
TCR_2	—	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_2
TMDR_2	—	—	—	—	MD3	MD2	MD1	MD0	
TIOR_2	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIER_2	TTGE	—	TCIEU	TCIEV	—	—	TGIEB	TGIEA	
TSR_2	TCFD	—	TCFU	TCFV	—	—	TGFB	TGFA	
TCNT_2									
TGRA_2									
TGRB_2									
TCR_3	CCLR2	CCLR1	CCLR0	CKEG1	CKEG0	TPSC2	TPSC1	TPSC0	TPU_3
TMDR_3	—	—	BFB	BFA	MD3	MD2	MD1	MD0	
TIORH_3	IOB3	IOB2	IOB1	IOB0	IOA3	IOA2	IOA1	IOA0	
TIORL_3	IOD3	IOD2	IOD1	IOD0	IOC3	IOC2	IOC1	IOC0	
TIER_3	TTGE	—	—	TCIEV	TGIED	TGIEC	TGIEB	TGIEA	
TSR_3	—	—	—	TCFV	TGFD	TGFC	TGFB	TGFA	
TCNT_3									
TGRA_3									
TGRB_3									
TGRC_3									
TGRD_3									

- 【注】 *1 通常モードとスマートカードインタフェースで一部のビットの機能が異なります。
- *2 PCR の設定によりパルス出力グループ 2 とパルス出力グループ 3 の出力トリガが同一の場合は、NDRH のアドレスは H'FFF7C となり、出力トリガが異なる場合は、グループ 2 に対応する NDRH のアドレスは H'FFF7E、グループ 3 に対する NDRH のアドレスは H'FFF7C となります。同様に、PCR の設定によりパルス出力グループ 0 とパルス出力グループ 1 の出力トリガが同一の場合は、NDRL のアドレスは H'FFF7D となり、出力トリガが異なる場合は、グループ 0 に対応する NDRL のアドレスは H'FFF7F、グループ 1 に対する NDRL のアドレスは H'FFF7D となります。

24.3 各動作モードにおけるレジスタの状態

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TCR_4	初期化	—	—	—	—	初期化	TMR_4
TCR_5	初期化	—	—	—	—	初期化	TMR_5
TCSR_4	初期化	—	—	—	—	初期化	TMR_4
TCSR_5	初期化	—	—	—	—	初期化	TMR_5
TCORA_4	初期化	—	—	—	—	初期化	TMR_4
TCORA_5	初期化	—	—	—	—	初期化	TMR_5
TCORB_4	初期化	—	—	—	—	初期化	TMR_4
TCORB_5	初期化	—	—	—	—	初期化	TMR_5
TCNT_4	初期化	—	—	—	—	初期化	TMR_4
TCNT_5	初期化	—	—	—	—	初期化	TMR_5
TCCR_4	初期化	—	—	—	—	初期化	TMR_4
TCCR_5	初期化	—	—	—	—	初期化	TMR_5
CRCCR	初期化	—	—	—	—	初期化	CRC
CRCDIR	初期化	—	—	—	—	初期化	
CRCDOR	初期化	—	—	—	—	初期化	
TCR_6	初期化	—	—	—	—	初期化	TMR_6
TCR_7	初期化	—	—	—	—	初期化	TMR_7
TCSR_6	初期化	—	—	—	—	初期化	TMR_6
TCSR_7	初期化	—	—	—	—	初期化	TMR_7
TCORA_6	初期化	—	—	—	—	初期化	TMR_6
TCORA_7	初期化	—	—	—	—	初期化	TMR_7
TCORB_6	初期化	—	—	—	—	初期化	TMR_6
TCORB_7	初期化	—	—	—	—	初期化	TMR_7
TCNT_6	初期化	—	—	—	—	初期化	TMR_6
TCNT_7	初期化	—	—	—	—	初期化	TMR_7
TCCR_6	初期化	—	—	—	—	初期化	TMR_6
TCCR_7	初期化	—	—	—	—	初期化	TMR_7
IFR0	初期化	—	—	—	—	初期化	USB
IFR1	初期化	—	—	—	—	初期化	
IFR2	初期化	—	—	—	—	初期化	
IER0	初期化	—	—	—	—	初期化	
IER1	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
IER2	初期化	—	—	—	—	初期化	USB
ISR0	初期化	—	—	—	—	初期化	
ISR1	初期化	—	—	—	—	初期化	
ISR2	初期化	—	—	—	—	初期化	
EPDR0i	初期化	—	—	—	—	初期化	
EPDR0o	初期化	—	—	—	—	初期化	
EPDR0s	初期化	—	—	—	—	初期化	
EPDR1	初期化	—	—	—	—	初期化	
EPDR2	初期化	—	—	—	—	初期化	
EPDR3	初期化	—	—	—	—	初期化	
EPSZ0o	初期化	—	—	—	—	初期化	
EPSZ1	初期化	—	—	—	—	初期化	
DASTS	初期化	—	—	—	—	初期化	
FCLR	初期化	—	—	—	—	初期化	
EPSTL	初期化	—	—	—	—	初期化	
TRG	初期化	—	—	—	—	初期化	
DMA	初期化	—	—	—	—	初期化	
CVR	初期化	—	—	—	—	初期化	
CTLR	初期化	—	—	—	—	初期化	
EPIR	初期化	—	—	—	—	初期化	
TRNTREG0	初期化	—	—	—	—	初期化	
TRNTREG1	初期化	—	—	—	—	初期化	
PMDDR	初期化	—	—	—	—	初期化	I/O ポート
PMDR	初期化	—	—	—	—	初期化	
PORTM	—	—	—	—	—	—	
PMICR	初期化	—	—	—	—	初期化	
SMR_5	初期化	—	—	—	—	初期化	SCI_5
BRR_5	初期化	—	—	—	—	初期化	
SCR_5	初期化	—	—	—	—	初期化	
TDR_5	初期化	初期化	—	初期化	初期化	初期化	
SSR_5	初期化	初期化	—	初期化	初期化	初期化	
RDR_5	初期化	初期化	—	初期化	初期化	初期化	
SCMR_5	初期化	—	—	—	—	初期化	
SEMR_5	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール	
IrCR	初期化	—	—	—	—	初期化	SCI_5	
SMR_6	初期化	—	—	—	—	初期化	SCI_6	
BRR_6	初期化	—	—	—	—	初期化		
SCR_6	初期化	—	—	—	—	初期化		
TDR_6	初期化	初期化	—	初期化	初期化	初期化		
SSR_6	初期化	初期化	—	初期化	初期化	初期化		
RDR_6	初期化	初期化	—	初期化	初期化	初期化		
SCMR_6	初期化	—	—	—	—	初期化	TM32K	
SEMR_6	初期化	—	—	—	—	初期化		
TCNT32K	初期化	—	—	—	—	初期化		
TCR32K	初期化	—	—	—	—	初期化		
P1DDR	初期化	—	—	—	—	初期化		I/O ポート
P2DDR	初期化	—	—	—	—	初期化		
P3DDR	初期化	—	—	—	—	初期化		
P6DDR	初期化	—	—	—	—	初期化		
PADDR	初期化	—	—	—	—	初期化		
PBDDR	初期化	—	—	—	—	初期化		
PCDDR	初期化	—	—	—	—	初期化		
PDDDR	初期化	—	—	—	—	初期化		
PEDDR	初期化	—	—	—	—	初期化		
PFDDR	初期化	—	—	—	—	初期化		
P1ICR	初期化	—	—	—	—	初期化		
P2ICR	初期化	—	—	—	—	初期化		
P3ICR	初期化	—	—	—	—	初期化		
P5ICR	初期化	—	—	—	—	初期化		
P6ICR	初期化	—	—	—	—	初期化		
PAICR	初期化	—	—	—	—	初期化		
PBICR	初期化	—	—	—	—	初期化		
PCICR	初期化	—	—	—	—	初期化		
PDICR	初期化	—	—	—	—	初期化		
PEICR	初期化	—	—	—	—	初期化		
PFICR	初期化	—	—	—	—	初期化		
PORTH	—	—	—	—	—	—	—	
PORTI	—	—	—	—	—	—		
PHDR	初期化	—	—	—	—	初期化		

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
PIDR	初期化	—	—	—	—	初期化	I/O ポート
PHDDR	初期化	—	—	—	—	初期化	
PIDDR	初期化	—	—	—	—	初期化	
PHICR	初期化	—	—	—	—	初期化	
PIICR	初期化	—	—	—	—	初期化	
PDPCR	初期化	—	—	—	—	初期化	
PEPCR	初期化	—	—	—	—	初期化	
PFPCR	初期化	—	—	—	—	初期化	
PHPCR	初期化	—	—	—	—	初期化	
PIPCR	初期化	—	—	—	—	初期化	
P2ODR	初期化	—	—	—	—	初期化	
PFODR	初期化	—	—	—	—	初期化	
PFCR0	初期化	—	—	—	—	初期化	
PFCR1	初期化	—	—	—	—	初期化	
PFCR2	初期化	—	—	—	—	初期化	
PFCR4	初期化	—	—	—	—	初期化	
PFCR6	初期化	—	—	—	—	初期化	
PFCR7	初期化	—	—	—	—	初期化	
PFCR9	初期化	—	—	—	—	初期化	
PFCRB	初期化	—	—	—	—	初期化	
PFCRC	初期化	—	—	—	—	初期化	
SSIER	初期化	—	—	—	—	初期化	INTC
DSAR_0	初期化	—	—	—	—	初期化	DMAC_0
DDAR_0	初期化	—	—	—	—	初期化	
DOFR_0	初期化	—	—	—	—	初期化	
DTCR_0	初期化	—	—	—	—	初期化	
DBSR_0	初期化	—	—	—	—	初期化	
DMDR_0	初期化	—	—	—	—	初期化	
DACR_0	初期化	—	—	—	—	初期化	
DSAR_1	初期化	—	—	—	—	初期化	DMAC_1
DDAR_1	初期化	—	—	—	—	初期化	
DOFR_1	初期化	—	—	—	—	初期化	
DTCR_1	初期化	—	—	—	—	初期化	
DBSR_1	初期化	—	—	—	—	初期化	
DMDR_1	初期化	—	—	—	—	初期化	
DACR_1	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
DSAR_2	初期化	—	—	—	—	初期化	DMAC_2
DDAR_2	初期化	—	—	—	—	初期化	
DOFR_2	初期化	—	—	—	—	初期化	
DTCR_2	初期化	—	—	—	—	初期化	
DBSR_2	初期化	—	—	—	—	初期化	
DMDR_2	初期化	—	—	—	—	初期化	
DACR_2	初期化	—	—	—	—	初期化	
DSAR_3	初期化	—	—	—	—	初期化	DMAC_3
DDAR_3	初期化	—	—	—	—	初期化	
DOFR_3	初期化	—	—	—	—	初期化	
DTCR_3	初期化	—	—	—	—	初期化	
DBSR_3	初期化	—	—	—	—	初期化	
DMDR_3	初期化	—	—	—	—	初期化	
DACR_3	初期化	—	—	—	—	初期化	
DMRSR_0	初期化	—	—	—	—	初期化	DMAC_0
DMRSR_1	初期化	—	—	—	—	初期化	DMAC_1
DMRSR_2	初期化	—	—	—	—	初期化	DMAC_2
DMRSR_3	初期化	—	—	—	—	初期化	DMAC_3
IPRA	初期化	—	—	—	—	初期化	INTC
IPRB	初期化	—	—	—	—	初期化	
IPRC	初期化	—	—	—	—	初期化	
IPRD	初期化	—	—	—	—	初期化	
IPRE	初期化	—	—	—	—	初期化	
IPRF	初期化	—	—	—	—	初期化	
IPRG	初期化	—	—	—	—	初期化	
IPRH	初期化	—	—	—	—	初期化	
IPRI	初期化	—	—	—	—	初期化	
IPRK	初期化	—	—	—	—	初期化	
IPRL	初期化	—	—	—	—	初期化	
IPRQ	初期化	—	—	—	—	初期化	
IPRR	初期化	—	—	—	—	初期化	
ISCRH	初期化	—	—	—	—	初期化	
ISCR_L	初期化	—	—	—	—	初期化	
DTCVBR	初期化	—	—	—	—	初期化	BSC
ABWCR	初期化	—	—	—	—	初期化	
ASTCR	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
WTCRA	初期化	—	—	—	—	初期化	BSC
WTCRB	初期化	—	—	—	—	初期化	
RDNCR	初期化	—	—	—	—	初期化	
CSACR	初期化	—	—	—	—	初期化	
IDLCR	初期化	—	—	—	—	初期化	
BCR1	初期化	—	—	—	—	初期化	
BCR2	初期化	—	—	—	—	初期化	
ENDIANCR	初期化	—	—	—	—	初期化	
SRAMCR	初期化	—	—	—	—	初期化	
BROMCR	初期化	—	—	—	—	初期化	
MPXCR	初期化	—	—	—	—	初期化	
DRAMCR	初期化	—	—	—	—	初期化	
DRACCR	初期化	—	—	—	—	初期化	
SDCR	初期化	—	—	—	—	初期化	
REFCR	初期化	—	—	—	—	初期化	
RTCNT	初期化	—	—	—	—	初期化	
RTCOR	初期化	—	—	—	—	初期化	
RAMER	初期化	—	—	—	—	初期化	
MDCR	初期化	—	—	—	—	初期化	SYSTEM
SYSCR	初期化	—	—	—	—	初期化	
SCKCR	初期化	—	—	—	—	初期化	
SBYCR	初期化	—	—	—	—	初期化	
MSTPCRA	初期化	—	—	—	—	初期化	
MSTPCRB	初期化	—	—	—	—	初期化	
MSTPCRC	初期化	—	—	—	—	初期化	
SUBCKCR	初期化	—	—	—	—	初期化	
SEMR_2	初期化	—	—	—	—	初期化	SCI_2
SMR_4	初期化	—	—	—	—	初期化	SCI_4
BRR_4	初期化	—	—	—	—	初期化	
SCR_4	初期化	—	—	—	—	初期化	
TDR_4	初期化	初期化	—	初期化	初期化	初期化	
SSR_4	初期化	初期化	—	初期化	初期化	初期化	
RDR_4	初期化	初期化	—	初期化	初期化	初期化	
SCMR_4	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
FCCS	初期化	—	—	—	—	初期化	FLASH
FPCS	初期化	—	—	—	—	初期化	
FECS	初期化	—	—	—	—	初期化	
FKEY	初期化	—	—	—	—	初期化	
FTDAR	初期化	—	—	—	—	初期化	
ICCRA_0	初期化	—	—	—	—	初期化	IIC2_0
ICCRB_0	初期化	—	—	—	—	初期化	
ICMR_0	初期化	—	—	—	—	初期化	
ICIER_0	初期化	—	—	—	—	初期化	
ICSR_0	初期化	—	—	—	—	初期化	
SAR_0	初期化	—	—	—	—	初期化	
ICDRT_0	初期化	—	—	—	—	初期化	
ICDRR_0	初期化	—	—	—	—	初期化	
ICCRA_1	初期化	—	—	—	—	初期化	IIC2_1
ICCRB_1	初期化	—	—	—	—	初期化	
ICMR_1	初期化	—	—	—	—	初期化	
ICIER_1	初期化	—	—	—	—	初期化	
ICSR_1	初期化	—	—	—	—	初期化	
SAR_1	初期化	—	—	—	—	初期化	
ICDRT_1	初期化	—	—	—	—	初期化	
ICDRR_1	初期化	—	—	—	—	初期化	
TCR_2	初期化	—	—	—	—	初期化	TMR_2
TCR_3	初期化	—	—	—	—	初期化	TMR_3
TCSR_2	初期化	—	—	—	—	初期化	TMR_2
TCSR_3	初期化	—	—	—	—	初期化	TMR_3
TCORA_2	初期化	—	—	—	—	初期化	TMR_2
TCORA_3	初期化	—	—	—	—	初期化	TMR_3
TCORB_2	初期化	—	—	—	—	初期化	TMR_2
TCORB_3	初期化	—	—	—	—	初期化	TMR_3
TCNT_2	初期化	—	—	—	—	初期化	TMR_2
TCNT_3	初期化	—	—	—	—	初期化	TMR_3
TCCR_2	初期化	—	—	—	—	初期化	TMR_2
TCCR_3	初期化	—	—	—	—	初期化	TMR_3
TCR_4	初期化	—	—	—	—	初期化	TPU_4
TMDR_4	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TIOR_4	初期化	—	—	—	—	初期化	TPU_4
TIER_4	初期化	—	—	—	—	初期化	
TSR_4	初期化	—	—	—	—	初期化	
TCNT_4	初期化	—	—	—	—	初期化	
TGRA_4	初期化	—	—	—	—	初期化	
TGRB_4	初期化	—	—	—	—	初期化	
TCR_5	初期化	—	—	—	—	初期化	TPU_5
TMDR_5	初期化	—	—	—	—	初期化	
TIOR_5	初期化	—	—	—	—	初期化	
TIER_5	初期化	—	—	—	—	初期化	
TSR_5	初期化	—	—	—	—	初期化	
TCNT_5	初期化	—	—	—	—	初期化	
TGRA_5	初期化	—	—	—	—	初期化	
TGRB_5	初期化	—	—	—	—	初期化	
DTCERA	初期化	—	—	—	—	初期化	INTC
DTCERB	初期化	—	—	—	—	初期化	
DTCERC	初期化	—	—	—	—	初期化	
DTCERD	初期化	—	—	—	—	初期化	
DTCERE	初期化	—	—	—	—	初期化	
DTCERG	初期化	—	—	—	—	初期化	
DTCERH	初期化	—	—	—	—	初期化	
DTCCR	初期化	—	—	—	—	初期化	
INTCR	初期化	—	—	—	—	初期化	
CPUPCR	初期化	—	—	—	—	初期化	
IER	初期化	—	—	—	—	初期化	
ISR	初期化	—	—	—	—	初期化	
PORT1	—	—	—	—	—	—	
PORT2	—	—	—	—	—	—	
PORT3	—	—	—	—	—	—	
PORT5	—	—	—	—	—	—	
PORT6	—	—	—	—	—	—	
PORTA	—	—	—	—	—	—	
PORTB	—	—	—	—	—	—	
PORTC	—	—	—	—	—	—	
PORTD	—	—	—	—	—	—	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール	
PORTE	—	—	—	—	—	—	I/O ポート	
PORTF	—	—	—	—	—	—		
P1DR	初期化	—	—	—	—	初期化		
P2DR	初期化	—	—	—	—	初期化		
P3DR	初期化	—	—	—	—	初期化		
P6DR	初期化	—	—	—	—	初期化		
PADR	初期化	—	—	—	—	初期化		
PBDR	初期化	—	—	—	—	初期化		
PCDR	初期化	—	—	—	—	初期化		
PDDR	初期化	—	—	—	—	初期化		
PEDR	初期化	—	—	—	—	初期化		
PFDR	初期化	—	—	—	—	初期化		
SMR_2	初期化	—	—	—	—	初期化		SCI_2
BRR_2	初期化	—	—	—	—	初期化		
SCR_2	初期化	—	—	—	—	初期化		
TDR_2	初期化	初期化	—	初期化	初期化	初期化		
SSR_2	初期化	初期化	—	初期化	初期化	初期化		
RDR_2	初期化	初期化	—	初期化	初期化	初期化		
SCMR_2	初期化	—	—	—	—	初期化		
DADR0	初期化	—	—	—	—	初期化	D/A	
DADR1	初期化	—	—	—	—	初期化		
DACR01	初期化	—	—	—	—	初期化		
PCR	初期化	—	—	—	—	初期化	PPG	
PMR	初期化	—	—	—	—	初期化		
NDERH	初期化	—	—	—	—	初期化		
NDERL	初期化	—	—	—	—	初期化		
PODRH	初期化	—	—	—	—	初期化		
PODRL	初期化	—	—	—	—	初期化		
NDRH	初期化	—	—	—	—	初期化		
NDRL	初期化	—	—	—	—	初期化		
SMR_0	初期化	—	—	—	—	初期化		SCI_0
BRR_0	初期化	—	—	—	—	初期化		
SCR_0	初期化	—	—	—	—	初期化		
TDR_0	初期化	初期化	—	初期化	初期化	初期化		
SSR_0	初期化	初期化	—	初期化	初期化	初期化		

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
RDR_0	初期化	初期化	—	初期化	初期化	初期化	SCI_0
SCMR_0	初期化	—	—	—	—	初期化	
SMR_1	初期化	—	—	—	—	初期化	SCI_1
BRR_1	初期化	—	—	—	—	初期化	
SCR_1	初期化	—	—	—	—	初期化	
TDR_1	初期化	初期化	—	初期化	初期化	初期化	
SSR_1	初期化	初期化	—	初期化	初期化	初期化	
RDR_1	初期化	初期化	—	初期化	初期化	初期化	
SCMR_1	初期化	—	—	—	—	初期化	
ADDRA	初期化	—	—	—	—	初期化	A/D
ADDRB	初期化	—	—	—	—	初期化	
ADDRC	初期化	—	—	—	—	初期化	
ADDRD	初期化	—	—	—	—	初期化	
ADDRE	初期化	—	—	—	—	初期化	
ADDRF	初期化	—	—	—	—	初期化	
ADDRG	初期化	—	—	—	—	初期化	
ADDRH	初期化	—	—	—	—	初期化	
ADCSR	初期化	—	—	—	—	初期化	
ADCR	初期化	—	—	—	—	初期化	
TCSR	初期化	—	—	—	—	初期化	WDT
TCNT	初期化	—	—	—	—	初期化	
RSTCSR	初期化	—	—	—	—	初期化	
TCR_0	初期化	—	—	—	—	初期化	TMR_0
TCR_1	初期化	—	—	—	—	初期化	TMR_1
TCSR_0	初期化	—	—	—	—	初期化	TMR_0
TCSR_1	初期化	—	—	—	—	初期化	TMR_1
TCORA_0	初期化	—	—	—	—	初期化	TMR_0
TCORA_1	初期化	—	—	—	—	初期化	TMR_1
TCORB_0	初期化	—	—	—	—	初期化	TMR_0
TCORB_1	初期化	—	—	—	—	初期化	TMR_1
TCNT_0	初期化	—	—	—	—	初期化	TMR_0
TCNT_1	初期化	—	—	—	—	初期化	TMR_1
TCCR_0	初期化	—	—	—	—	初期化	TMR_0
TCCR_1	初期化	—	—	—	—	初期化	TMR_1
TSTR	初期化	—	—	—	—	初期化	TPU
TSYR	初期化	—	—	—	—	初期化	

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール	
TCR_0	初期化	—	—	—	—	初期化	TPU_0	
TMDR_0	初期化	—	—	—	—	初期化		
TIORH_0	初期化	—	—	—	—	初期化		
TIORL_0	初期化	—	—	—	—	初期化		
TIER_0	初期化	—	—	—	—	初期化		
TSR_0	初期化	—	—	—	—	初期化		
TCNT_0	初期化	—	—	—	—	初期化		
TGRA_0	初期化	—	—	—	—	初期化		
TGRB_0	初期化	—	—	—	—	初期化		
TGRC_0	初期化	—	—	—	—	初期化		
TGRD_0	初期化	—	—	—	—	初期化		
TCR_1	初期化	—	—	—	—	初期化	TPU_1	
TMDR_1	初期化	—	—	—	—	初期化		
TIOR_1	初期化	—	—	—	—	初期化		
TIER_1	初期化	—	—	—	—	初期化		
TSR_1	初期化	—	—	—	—	初期化		
TCNT_1	初期化	—	—	—	—	初期化		
TGRA_1	初期化	—	—	—	—	初期化		
TGRB_1	初期化	—	—	—	—	初期化		
TCR_2	初期化	—	—	—	—	初期化		TPU_2
TMDR_2	初期化	—	—	—	—	初期化		
TIOR_2	初期化	—	—	—	—	初期化		
TIER_2	初期化	—	—	—	—	初期化		
TSR_2	初期化	—	—	—	—	初期化		
TCNT_2	初期化	—	—	—	—	初期化		
TGRA_2	初期化	—	—	—	—	初期化		
TGRB_2	初期化	—	—	—	—	初期化		
TCR_3	初期化	—	—	—	—	初期化	TPU_3	
TMDR_3	初期化	—	—	—	—	初期化		
TIORH_3	初期化	—	—	—	—	初期化		
TIORL_3	初期化	—	—	—	—	初期化		
TIER_3	初期化	—	—	—	—	初期化		
TSR_3	初期化	—	—	—	—	初期化		
TCNT_3	初期化	—	—	—	—	初期化		
TGRA_3	初期化	—	—	—	—	初期化		

24. レジスタ一覧

レジスタ 略称	リセット	モジュール ストップ 状態	スリープ モード	全モジュール クロック ストップモード	ソフトウェア スタンバイ モード	ハードウェア スタンバイ モード	モジュール
TGRB_3	初期化	—	—	—	—	初期化	TPU_3
TGRC_3	初期化	—	—	—	—	初期化	
TGRD_3	初期化	—	—	—	—	初期化	

25. 電気的特性

25.1 絶対最大定格

表 25.1 絶対最大定格

項目	記号	定格値	単位
電源電圧	V _{cc} PLL _{Vcc}	-0.3~+4.6	V
入力電圧 (ポート 5 以外)	V _{in}	-0.3~V _{cc} +0.3	V
入力電圧 (ポート 5)	V _{in}	-0.3~AV _{cc} +0.3	V
リファレンス電源電圧	V _{ref}	-0.3~AV _{cc} +0.3	V
アナログ電源電圧	AV _{cc}	-0.3~+4.6	V
アナログ入力電圧	V _{AN}	-0.3~AV _{cc} +0.3	V
動作温度	Topr	通常仕様品 : -20~+75* 広温度範囲仕様品 : -40~+85*	℃
保存温度	Tstg	-55~+125	℃

【使用上の注意】 絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

【注】 * フラッシュメモリの書き込み/消去時の動作温度範囲は、通常仕様品 : 0~+75℃、広温度範囲仕様品 : 0~+85℃ になります。

25. 電気的特性

25.2 DC 特性

表 25.2 DC 特性 (1)

条件 : $V_{cc}=PLL_{Vcc}=Dr_{Vcc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=Dr_{Vss}=AV_{ss}=0V^{*1}$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件	
シュミットトリガ入力電圧	\overline{IRQ} 入力端子、	VT^-	$V_{cc}\times 0.2$	—	—	V	
	TPU 入力端子、	VT^+	—	—	$V_{cc}\times 0.7$	V	
	TMR 入力端子、 ポート 2、ポート 3	$VT^+ - VT^-$	$V_{cc}\times 0.06$	—	—	V	
	ポート 5 ^{*2}	VT^-	$AV_{cc}\times 0.2$	—	—	V	
		VT^+	—	—	$AV_{cc}\times 0.7$	V	
		$VT^+ - VT^-$	$AV_{cc}\times 0.06$	—	—	V	
入力 High レベル電圧 (シュミットトリガ入力端子を除く)	MD 端子、 \overline{RES} \overline{STBY} 、EMLE、NMI	V_{IH}	$V_{cc}\times 0.9$	—	$V_{cc}+0.3$	V	
	EXTAL その他の入力端子		$V_{cc}\times 0.7$	—	$V_{cc}+0.3$		
	ポート 5		$AV_{cc}\times 0.7$	—	$AV_{cc}+0.3$		
入力 Low レベル電圧 (シュミットトリガ入力端子を除く)	MD 端子、 \overline{RES} 、 \overline{STBY} 、 EMLE	V_{IL}	-0.3	—	$V_{cc}\times 0.1$	V	
	EXTAL、NMI		-0.3	—	$V_{cc}\times 0.2$		
	その他の入力端子		-0.3	—	$V_{cc}\times 0.2$		
出力 High レベル電圧	全出力端子	V_{OH}	$V_{cc}-0.5$	—	—	V	$I_{OH}=-200\mu A$
			$V_{cc}-1.0$	—	—		$I_{OH}=-1mA$
出力 Low レベル電圧	全出力端子	V_{OL}	—	—	0.4	V	$I_{OL}=1.6mA$
	ポート 3		—	—	1.0		$I_{OL}=10mA$
入力リーク電流	\overline{RES}	$ I_{in} $	—	—	10.0	μA	$V_{in}=0.5\sim V_{cc}-0.5V$
	MD 端子、 \overline{STBY} 、EMLE、 NMI		—	—	1.0		
	ポート 5		—	—	1.0		$V_{in}=0.5\sim$ $AV_{cc}-0.5V$

表 25.2 DC 特性 (2)

条件 : $V_{cc}=PLL_{Vcc}=DrV_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=DrV_{ss}=AV_{ss}=0V^{*1}$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位	測定条件	
スリーステートリーク電流 (オフ状態)	ポート 1、2、3、6、A、B、C~F、H、I、M	$ I_{TSI} $	—	—	1.0	μA	$V_{in}=0.5\sim V_{cc}-0.5V$	
入力プルアップ MOS 電流	ポート D~F、H、I	$-I_p$	10	—	300	μA	$V_{cc}=3.0\sim 3.6V$ $V_{in}=0V$	
入力容量	全入力端子	C_{in}	—	—	15	pF	$V_{in}=0V$ $f=1MHz$ $T_a=25^{\circ}C$	
消費電流 ^{*3}	通常動作時	I_{cc}^{*5}	—	75	125	mA	$f=50MHz$	
	スリープ時		—	70	90			
	サブクロック動作時		—	5.0	10			32.768kHz 水晶発振子 使用時
	スタンバイ時 ^{*4}		—	50	100	μA	$T_a\leq 50^{\circ}C$	
			—	—	300			
	全モジュールクロック ストップ時 ^{*6}		—	33	45	mA		
アナログ電源電流	A/D、D/A 変換中	I_{lcc}	—	1.0 (3.0V)	2.0	mA		
	A/D、D/A 変換待機時		—	1.0	20	μA		
リファレンス電源電流	A/D、D/A 変換中	I_{lcc}	—	1.5 (3.0V)	3.0	mA		
	A/D、D/A 変換待機時		—	1.5	5.0	μA		
RAM スタンバイ電圧		V_{RAM}	2.5	—	—	V		
V_{cc} 開始電圧 ^{*7}		$V_{CCSTART}$	—	—	0.8	V		
V_{cc} 立ち上がり勾配 ^{*7}		SV_{CC}	—	—	20	ms/V		

【注】 *1 A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。 AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。*2 $\overline{IRQ0}\sim\overline{IRQ7}$ として使用した場合です。*3 消費電流値は、 $V_{IHmin}=V_{cc}-0.5V$ 、 $V_{ILmax}=0.5V$ の条件下で、すべての出力端子を無負荷状態にして、さらに内蔵プルアップ MOS をオフ状態にした場合の値です。*4 $V_{RAM}\leq V_{cc}<3.0V$ のとき、 $V_{IHmin}=V_{cc}\times 0.9$ 、 $V_{ILmax}=0.3V$ とした場合の値です。*5 I_{cc} は下記の式にしたがって f に依存します。 $I_{ccmax}=35(mA)+1.8(mA/MHz)\times f$ (通常動作時) $I_{ccmax}=30(mA)+1.2(mA/MHz)\times f$ (スリープ時)

*6 参考値です。

*7 電源投入時、 \overline{RES} 端子が Low レベルになっている条件で適用します。

25. 電氣的特性

表 25.3 出力許容電流値

条件 : $V_{cc}=PLL_{Vcc}=DrV_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=DrV_{ss}=AV_{ss}=0V^*$
 $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目		記号	min	typ	max	単位
出力 Low レベル許容電流 (1 端子あたり)	ポート 3 以外の 出力端子	I_{OL}	—	—	2.0	mA
出力 Low レベル許容電流 (1 端子あたり)	ポート 3	I_{OL}	—	—	10	mA
出力 Low レベル許容電流 (総和)	出力端子の総和	ΣI_{OL}	—	—	80	mA
出力 High レベル許容電流 (1 端子あたり)	全出力端子	$-I_{OH}$	—	—	2.0	mA
出力 High レベル許容電流 (総和)	全出力端子の総和	$\Sigma -I_{OH}$	—	—	40	mA

【使用上の注意】 LSI の信頼性を確保するため、出力電流値は表 25.3 の値を超えないようにしてください。

【注】 * A/D および D/A 変換器未使用時に AV_{cc} 、 V_{ref} 、 AV_{ss} 端子を開放しないでください。

AV_{cc} 、 V_{ref} 端子は V_{cc} に、 AV_{ss} 端子は V_{ss} にそれぞれ接続してください。

25.3 AC 特性

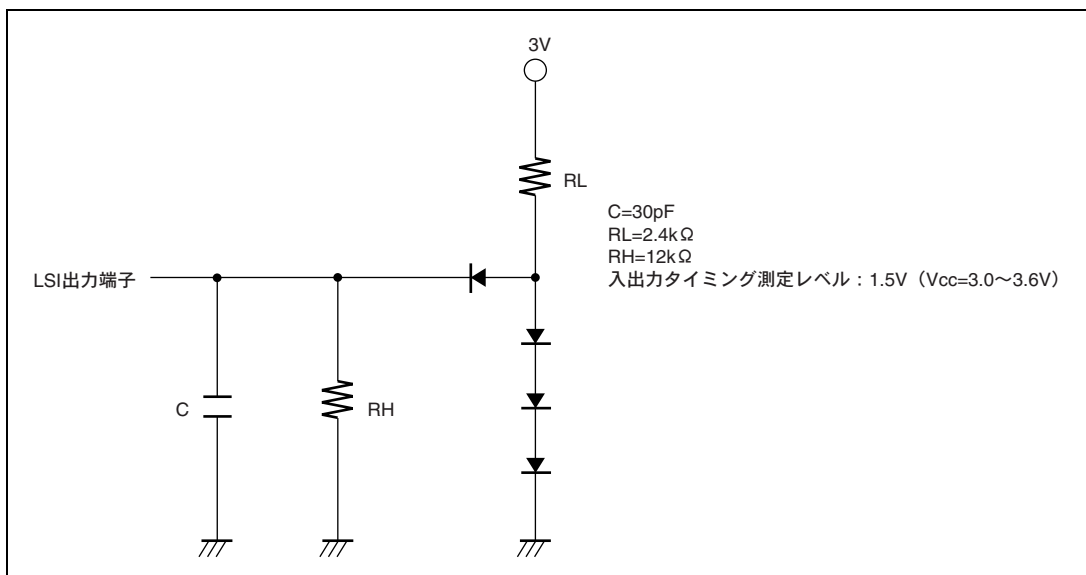


図 25.1 出力負荷回路

25.3.1 クロックタイミング

表 25.4 クロックタイミング

条件：Vcc=PLLVcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=DrVss=AVss=0V

I ϕ =8~50MHz、B ϕ =8~50MHz、P ϕ =8~35MHz

Ta=-20~+75°C（通常仕様品）、Ta=-40~+85°C（広温度範囲仕様品）

項目	記号	min	max	単位	測定条件
クロックサイクル時間	t _{cyc}	20	125	ns	図 25.2
クロック High レベルパルス幅	t _{CH}	5	—	ns	
クロック Low レベルパルス幅	t _{CL}	5	—	ns	
クロック立ち上がり時間	t _{Cr}	—	5	ns	
クロック立ち下がり時間	t _{Cf}	—	5	ns	
リセット発振安定時間(水晶)	t _{OSC1}	10	—	ms	図 25.4
ソフトウェアスタンバイ発振安定時間(水晶)	t _{OSC2}	10	—	ms	図 25.3
外部クロック出力遅延安定時間	t _{DEXT}	1	—	ms	図 25.4
外部クロック入力パルス幅 Low レベル	t _{EXL}	27.7	—	ns	図 25.5
外部クロック入力パルス幅 High レベル	t _{EXH}	27.7	—	ns	
外部クロック立ち上がり時間	t _{Exr}	—	5	ns	
外部クロック立ち下がり時間	t _{Exf}	—	5	ns	
サブクロック発振安定時間	t _{OSC3}	2	—	s	
サブクロック発振器発振周波数	f _{SUB}	32.768		kHz	
サブクロックサイクル時間	t _{SUB}	30.5		μs	

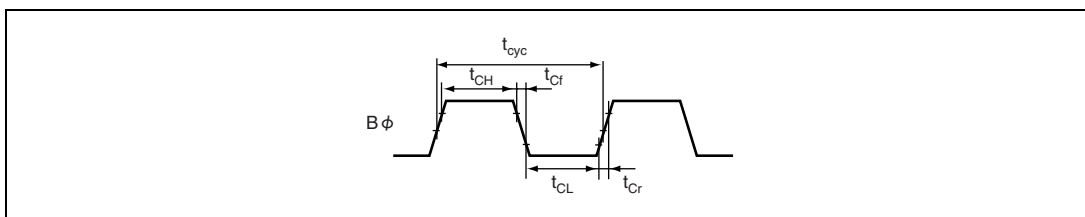


図 25.2 外部バスクロックタイミング

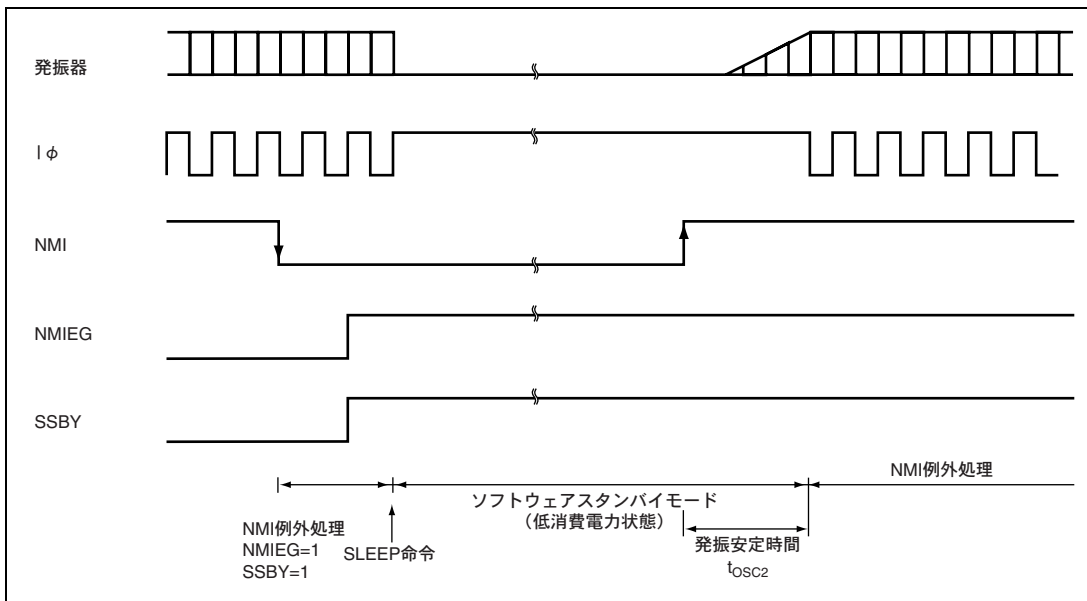


図 25.3 ソフトウェアスタンバイ発振安定時間タイミング

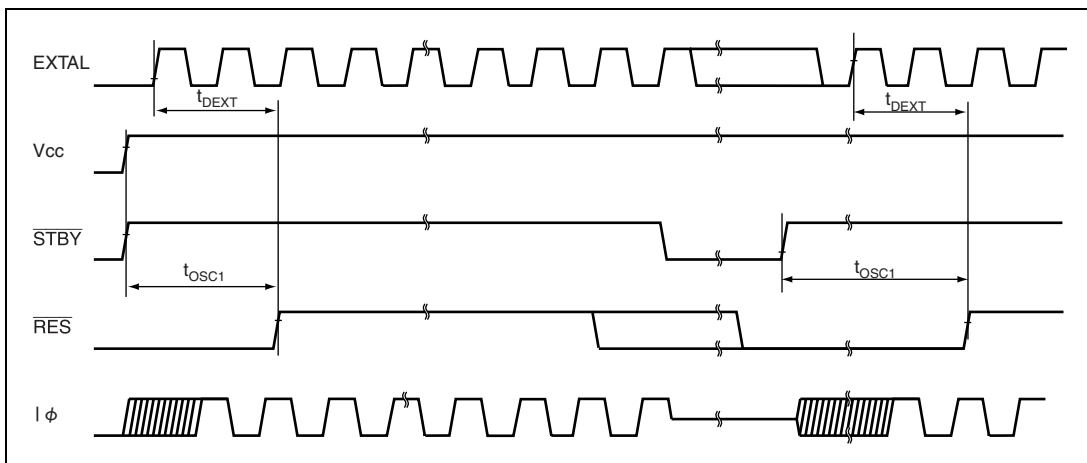


図 25.4 発振安定時間タイミング

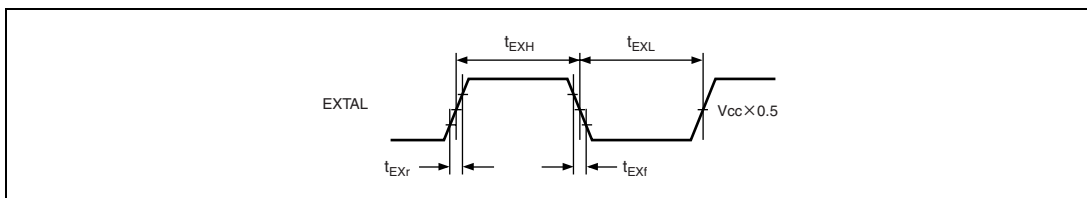


図 25.5 外部入力クロックタイミング

25.3.2 制御信号タイミング

表 25.5 制御信号タイミング

条件：Vcc=PLLvcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLvss=DrVss=AVss=0V、

Iφ=8~50MHz、

Ta=-20~+75°C（通常仕様品）、Ta=-40~+85°C（広温度範囲仕様品）

項目	記号	min	max	単位	測定条件
RES セットアップ時間	t_{RESS}	200	—	ns	図 25.6
RES パルス幅	t_{RESW}	20	—	t_{cyc}	
NMI セットアップ時間	t_{NMIS}	150	—	ns	図 25.7
NMI ホールド時間	t_{NMIH}	10	—	ns	
NMI パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{NMIW}	200	—	ns	
IRQ セットアップ時間	t_{IRQS}	150	—	ns	
IRQ ホールド時間	t_{IROH}	10	—	ns	
IRQ パルス幅 (ソフトウェアスタンバイモードからの復帰時)	t_{IROW}	200	—	ns	

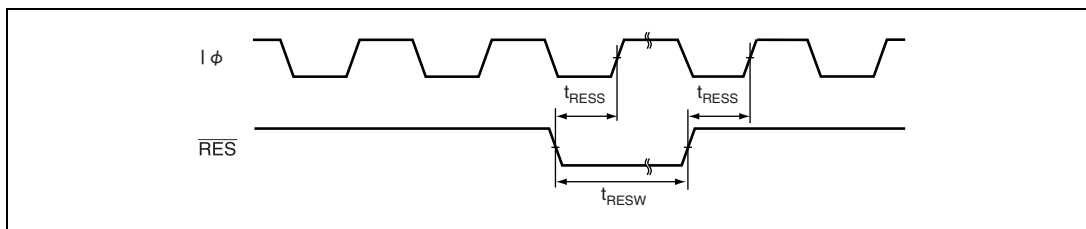


図 25.6 リセット入力タイミング

25. 電気的特性

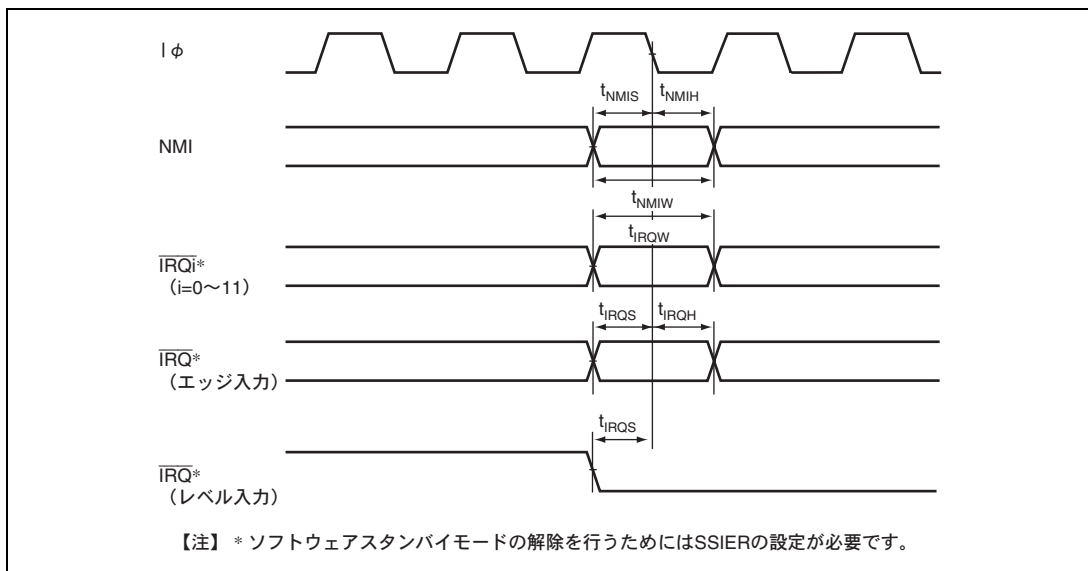


図 25.7 割り込み入力タイミング

25.3.3 バスタイミング

表 25.6 バスタイミング (1)

条件 : $V_{cc}=PLL_{Vcc}=Dr_{Vcc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=Dr_{Vss}=AV_{ss}=0V$ 、

$B\phi=8\sim 50MHz$

$T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
アドレス遅延時間	t_{AD}	—	18	ns	図 25.8~ 図 25.34
アドレスセットアップ時間 1	t_{AS1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスセットアップ時間 2	t_{AS2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスセットアップ時間 3	t_{AS3}	$1.5 \times t_{cyc} - 8$	—	ns	
アドレスセットアップ時間 4	t_{AS4}	$2.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 1	t_{AH1}	$0.5 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 2	t_{AH2}	$1.0 \times t_{cyc} - 8$	—	ns	
アドレスホールド時間 3	t_{AH3}	$1.5 \times t_{cyc} - 8$	—	ns	
CS 遅延時間 1	t_{CSD1}	—	15	ns	
\overline{AS} 遅延時間	t_{ASD}	—	15	ns	
\overline{RD} 遅延時間 1	t_{RSD1}	1.0	15	ns	
\overline{RD} 遅延時間 2	t_{RSD2}	—	15	ns	
リードデータセットアップ時間 1	t_{RDS1}	15	—	ns	
リードデータセットアップ時間 2	t_{RDS2}	15	—	ns	
リードデータホールド時間 1	t_{RDH1}	1.0	—	ns	
リードデータホールド時間 2	t_{RDH2}	0	—	ns	
リードデータアクセス時間 2	t_{AC2}	—	$1.5 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 4	t_{AC4}	—	$2.5 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 5	t_{AC5}	—	$1.0 \times t_{cyc} - 30$	ns	
リードデータアクセス時間 6	t_{AC6}	—	$2.0 \times t_{cyc} - 30$	ns	
対アドレスリードデータアクセス時間 1	t_{AA1}	—	$1.0 \times t_{cyc} - 30$	ns	
対アドレスリードデータアクセス時間 2	t_{AA2}	—	$1.5 \times t_{cyc} - 30$	ns	
対アドレスリードデータアクセス時間 3	t_{AA3}	—	$2.0 \times t_{cyc} - 30$	ns	
対アドレスリードデータアクセス時間 4	t_{AA4}	—	$2.5 \times t_{cyc} - 30$	ns	
対アドレスリードデータアクセス時間 5	t_{AA5}	—	$3.0 \times t_{cyc} - 30$	ns	

25. 電気的特性

表 25.6 バスタイミング (2)

条件 : $V_{cc}=PLL_{Vcc}=Dr_{Vcc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=Dr_{Vss}=AV_{ss}=0V$ 、

$B\phi=8\sim 50MHz$

$T_a=-20\sim +75^\circ C$ (通常仕様品)、 $T_a=-40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
WR 遅延時間 1	t_{WRD1}	—	15	ns	図 25.8~ 図 25.34
WR 遅延時間 2	t_{WRD2}	—	15	ns	
WR パルス幅 1	t_{WSW1}	$1.0\times t_{cyc}-13$	—	ns	
WR パルス幅 2	t_{WSW2}	$1.5\times t_{cyc}-13$	—	ns	
ライトデータ遅延時間	t_{WDD}	—	20	ns	
ライトデータセットアップ時間 1	t_{WDS1}	$0.5\times t_{cyc}-13$	—	ns	
ライトデータセットアップ時間 2	t_{WDS2}	$1.0\times t_{cyc}-13$	—	ns	
ライトデータセットアップ時間 3	t_{WDS3}	$1.5\times t_{cyc}-13$	—	ns	
ライトデータホールド時間 1	t_{WDH1}	$0.5\times t_{cyc}-8$	—	ns	
ライトデータホールド時間 3	t_{WDH3}	$1.5\times t_{cyc}-8$	—	ns	
バイト制御遅延時間	t_{UBD}	—	15	ns	図 25.13、 図 25.14
バイト制御パルス幅 1	t_{UBW1}	—	$1.0\times t_{cyc}-15$	ns	図 25.13
バイト制御パルス幅 2	t_{UBW2}	—	$2.0\times t_{cyc}-15$	ns	図 25.14
マルチプレクスアドレス遅延時間 1	t_{MAD1}	—	18	ns	図 25.17、 図 25.18
マルチプレクスアドレスホールド時間	t_{MAH}	$1.0\times t_{cyc}-15$	—	ns	
マルチプレクスアドレスセットアップ時間 1	t_{MAS1}	$0.5\times t_{cyc}-15$	—	ns	
マルチプレクスアドレスセットアップ時間 2	t_{MAS2}	$1.5\times t_{cyc}-15$	—	ns	
アドレスホールド遅延時間	t_{AHD}	—	15	ns	
アドレスホールドパルス幅 1	t_{AHW1}	$1.0\times t_{cyc}-15$	—	ns	
アドレスホールドパルス幅 2	t_{AHW2}	$2.0\times t_{cyc}-15$	—	ns	
WAIT セットアップ時間	t_{WTS}	15	—	ns	
WAIT ホールド時間	t_{WTH}	5.0	—	ns	
BREQ セットアップ時間	t_{BREQS}	20	—	ns	図 25.33
BACK 遅延時間	t_{BACD}	—	15	ns	
バスフローティング時間	t_{BZD}	—	30	ns	
BREQO 遅延時間	t_{BREQO}	—	15	ns	図 25.34
BS 遅延時間	t_{BSD}	1.0	15	ns	図 25.8、 図 25.9、 図 25.11~ 図 25.14
RD/WR 遅延時間	t_{RWD}	—	15	ns	

表 25.6 バスタイミング (3)

条件 : $V_{cc}=PLL_{Vcc}=Dr_{Vcc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=Dr_{Vss}=AV_{ss}=0V$ 、 $B\phi=8\sim 50MHz$ $T_a=-20\sim +75^{\circ}C$ (通常仕様品)、 $T_a=-40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
CS 遅延時間 2	t_{CSD2}	—	15	ns	図 25.19～ 図 25.28
CS 遅延時間 3	t_{CSD3}	—	15	ns	
リードデータアクセス時間 1	t_{AC1}	—	$1.0\times t_{cyc}-20$	ns	
リードデータアクセス時間 3	t_{AC3}	—	$2.0\times t_{cyc}-20$	ns	
リードデータアクセス時間 7	t_{AC7}	—	$4.0\times t_{cyc}-20$	ns	
リードデータアクセス時間 8	t_{AC8}	—	$3.0\times t_{cyc}-20$	ns	
ライトデータホールド時間 2	t_{WDH2}	$1.0\times t_{cyc}-8$	—	ns	
リードコマンドセットアップ時間 1	t_{RCS1}	$1.5\times t_{cyc}-10$	—	ns	
リードコマンドセットアップ時間 2	t_{RCS2}	$2.0\times t_{cyc}-10$	—	ns	
リードコマンドホールド時間	t_{RCH}	$0.5\times t_{cyc}-10$	—	ns	
ライトコマンドセットアップ時間 1	t_{WCS1}	$0.5\times t_{cyc}-10$	—	ns	
ライトコマンドセットアップ時間 2	t_{WCS2}	$1.0\times t_{cyc}-10$	—	ns	
ライトコマンドホールド時間 1	t_{WCH1}	$0.5\times t_{cyc}-10$	—	ns	
ライトコマンドホールド時間 2	t_{WCH2}	$1.0\times t_{cyc}-10$	—	ns	
CAS 遅延時間 1	t_{CASD1}	—	15	ns	図 25.19～ 図 25.28
CAS 遅延時間 2	t_{CASD2}	—	15	ns	
CAS セットアップ時間 1	t_{CSR1}	$0.5\times t_{cyc}-10$	—	ns	
CAS セットアップ時間 2	t_{CSR2}	$1.5\times t_{cyc}-10$	—	ns	
CAS パルス幅 1	t_{CASW1}	$1.0\times t_{cyc}-15$	—	ns	
CAS パルス幅 2	t_{CASW2}	$1.5\times t_{cyc}-15$	—	ns	
CAS プリチャージ時間 1	t_{CPW1}	$1.0\times t_{cyc}-15$	—	ns	
CAS プリチャージ時間 2	t_{CPW2}	$1.5\times t_{cyc}-15$	—	ns	
OE 遅延時間 1	t_{OED1}	—	15	ns	
OE 遅延時間 2	t_{OED2}	—	15	ns	
プリチャージ時間 1	t_{PCH1}	$1.0\times t_{cyc}-20$	—	ns	
プリチャージ時間 2	t_{PCH2}	$1.5\times t_{cyc}-20$	—	ns	
セルフリフレッシュ時プリチャージ時間 1	t_{RPS1}	$2.5\times t_{cyc}-20$	—	ns	
セルフリフレッシュ時プリチャージ時間 2	t_{RPS2}	$3.0\times t_{cyc}-20$	—	ns	図 25.27
アドレス遅延時間 2	t_{AD2}	1	18	ns	図 25.29～ 図 25.32
CS 遅延時間 4	t_{CSD4}	1	15	ns	
DQM 遅延時間	t_{DQMD}	1	15	ns	
CKE 遅延時間	t_{CKED}	1	15	ns	

25. 電気的特性

表 25.6 バスタイミング (4)

条件 : $V_{cc}=PLL V_{cc}=DrV_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL V_{ss}=DrV_{ss}=AV_{ss}=0V$ 、

$B\phi = 8\sim 50MHz$

$T_a = -20\sim +75^{\circ}C$ (通常仕様品)、 $T_a = -40\sim +85^{\circ}C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
リードデータセットアップ時間 3	t_{RDS3}	12	—	ns	図 25.29~ 図 25.32
リードデータホールド時間 3	t_{RDH3}	0	—	ns	
リードデータセットアップ時間 4	t_{RDS4}	12	—	ns	
リードデータホールド時間 4	t_{RDH4}	0	—	ns	
ライトデータ遅延時間 2	t_{WDD2}	—	15	ns	
ライトデータホールド時間 4	t_{WDH4}	1	—	ns	

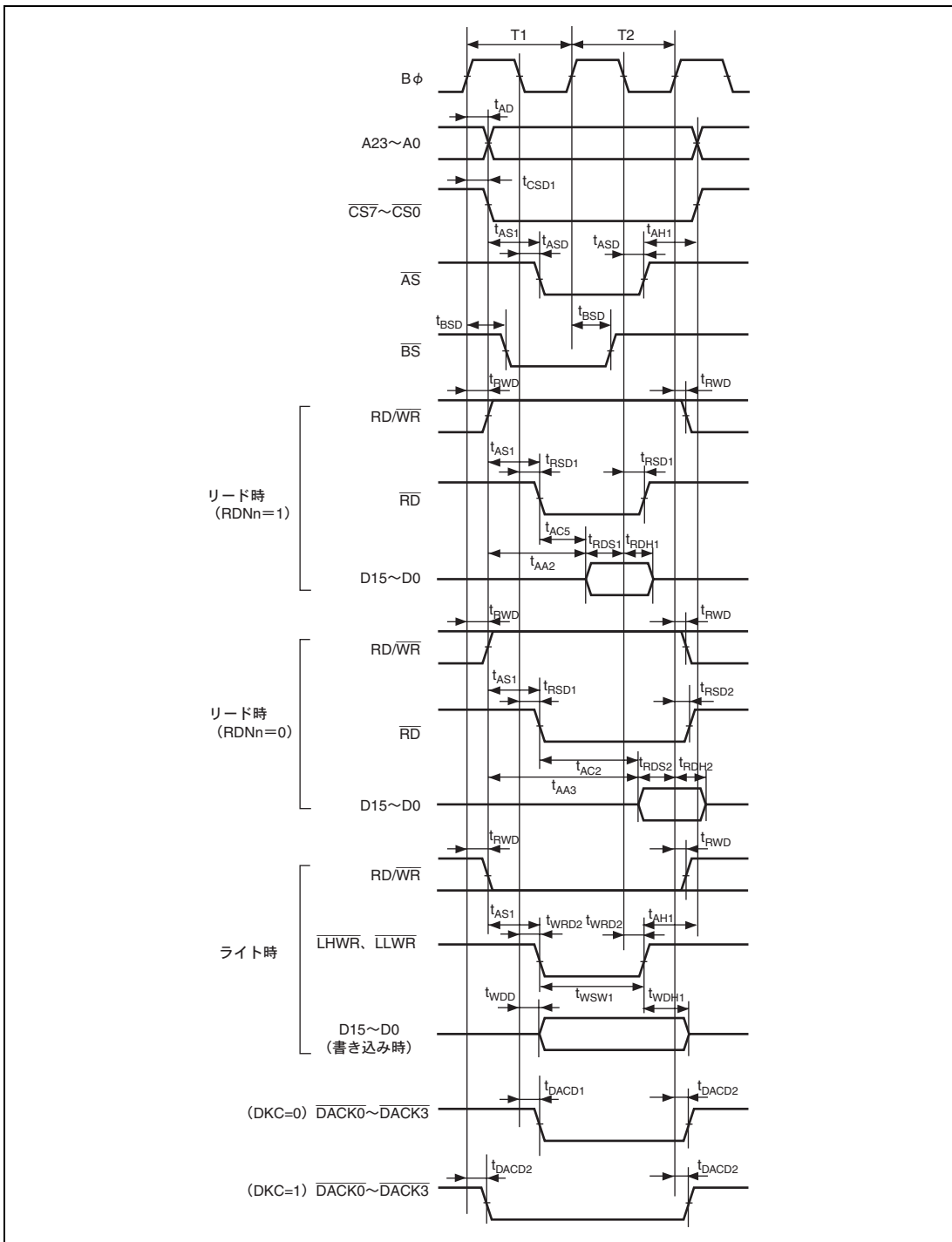


図 25.8 基本バスタイミング/2 ステートアクセス

25. 電気的特性

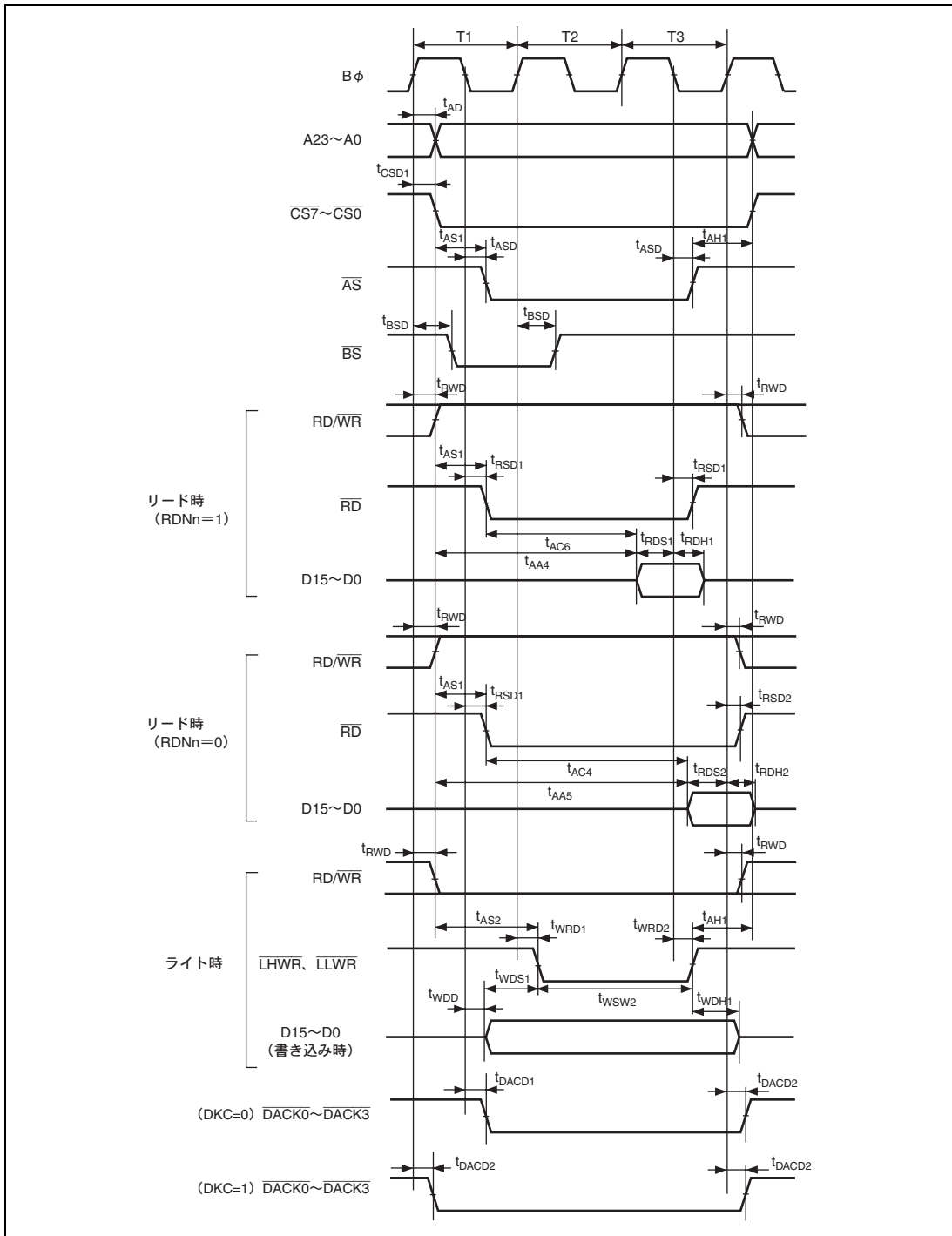


図 25.9 基本バスタイミング/3 ステートアクセス

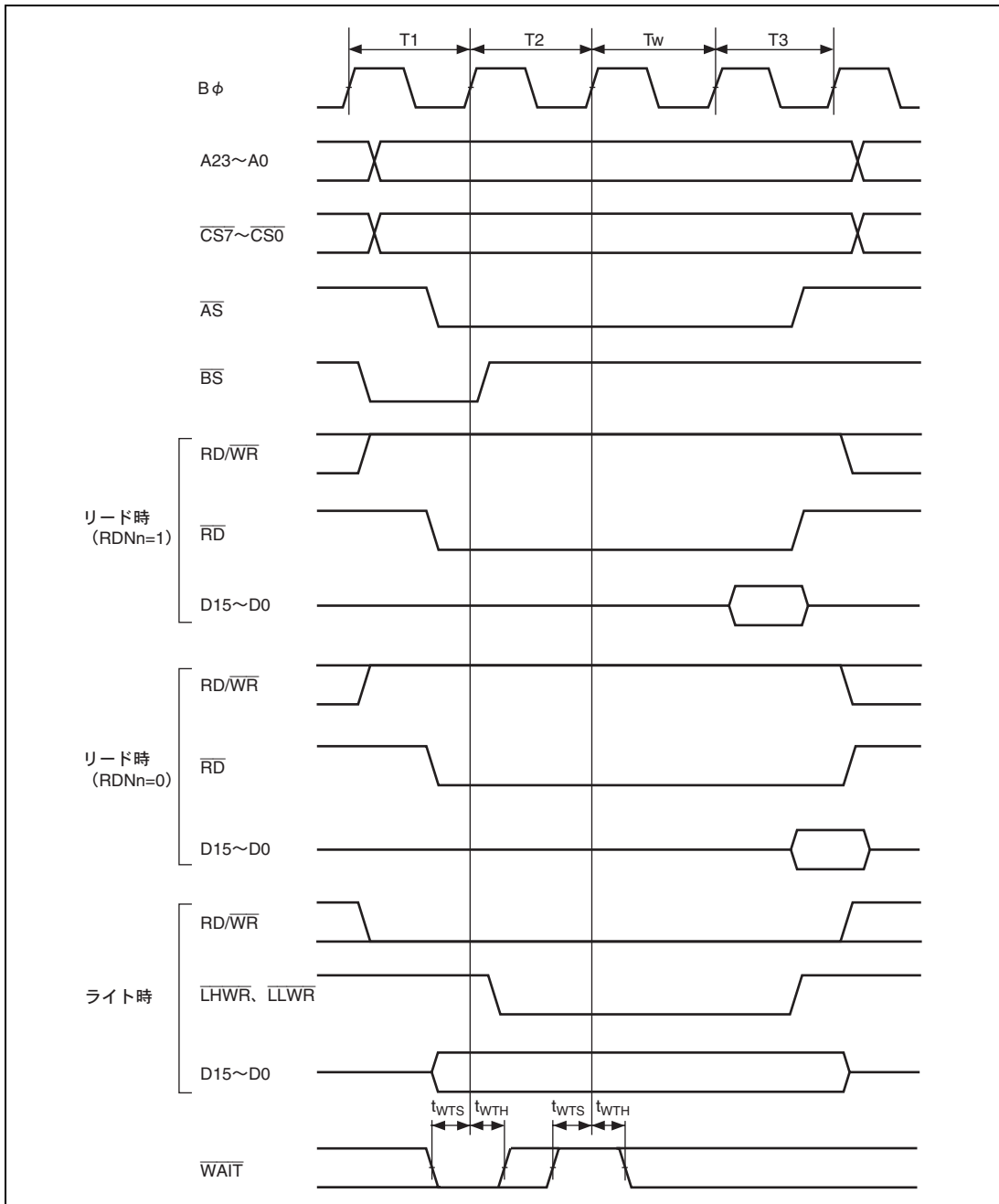


図 25.10 基本バスタイミング/3ステートアクセス1ウェイト

25. 電気的特性

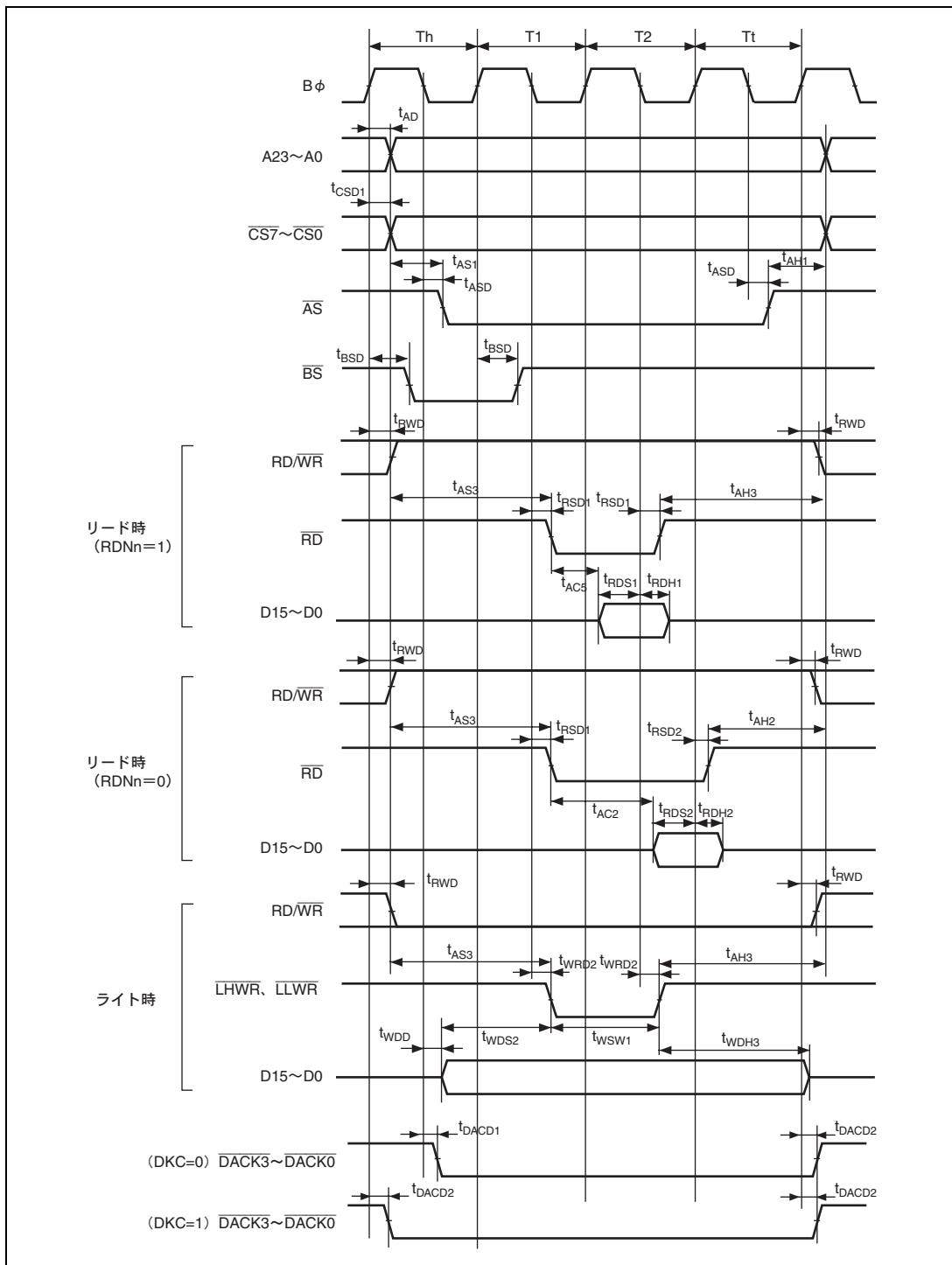


図 25.11 基本バスタイミング/2ステートアクセス (CSアサート期間延長)

25. 電気的特性

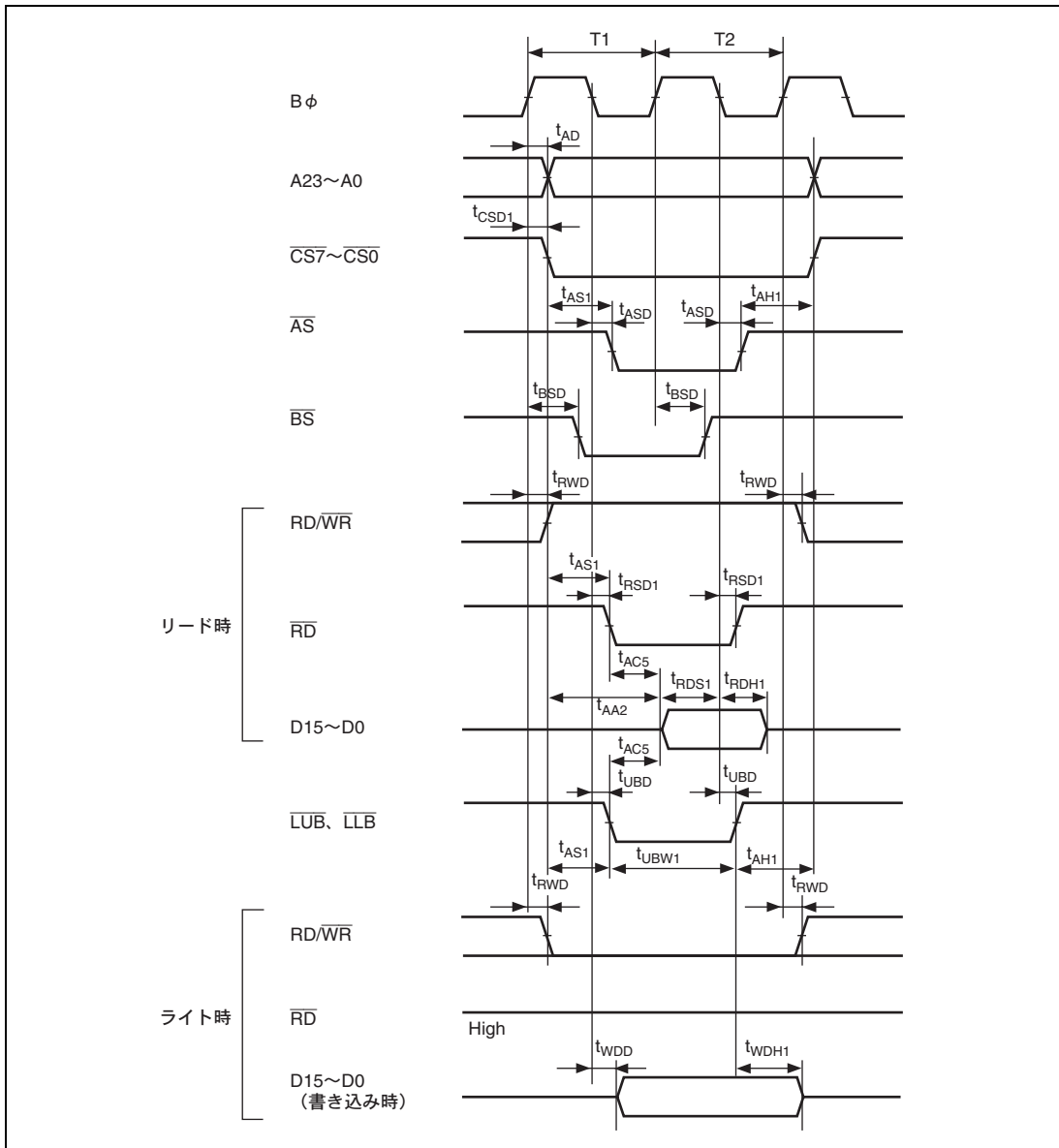


図 25.13 バイト制御 SRAM 2 ステートリード/ライトアクセス

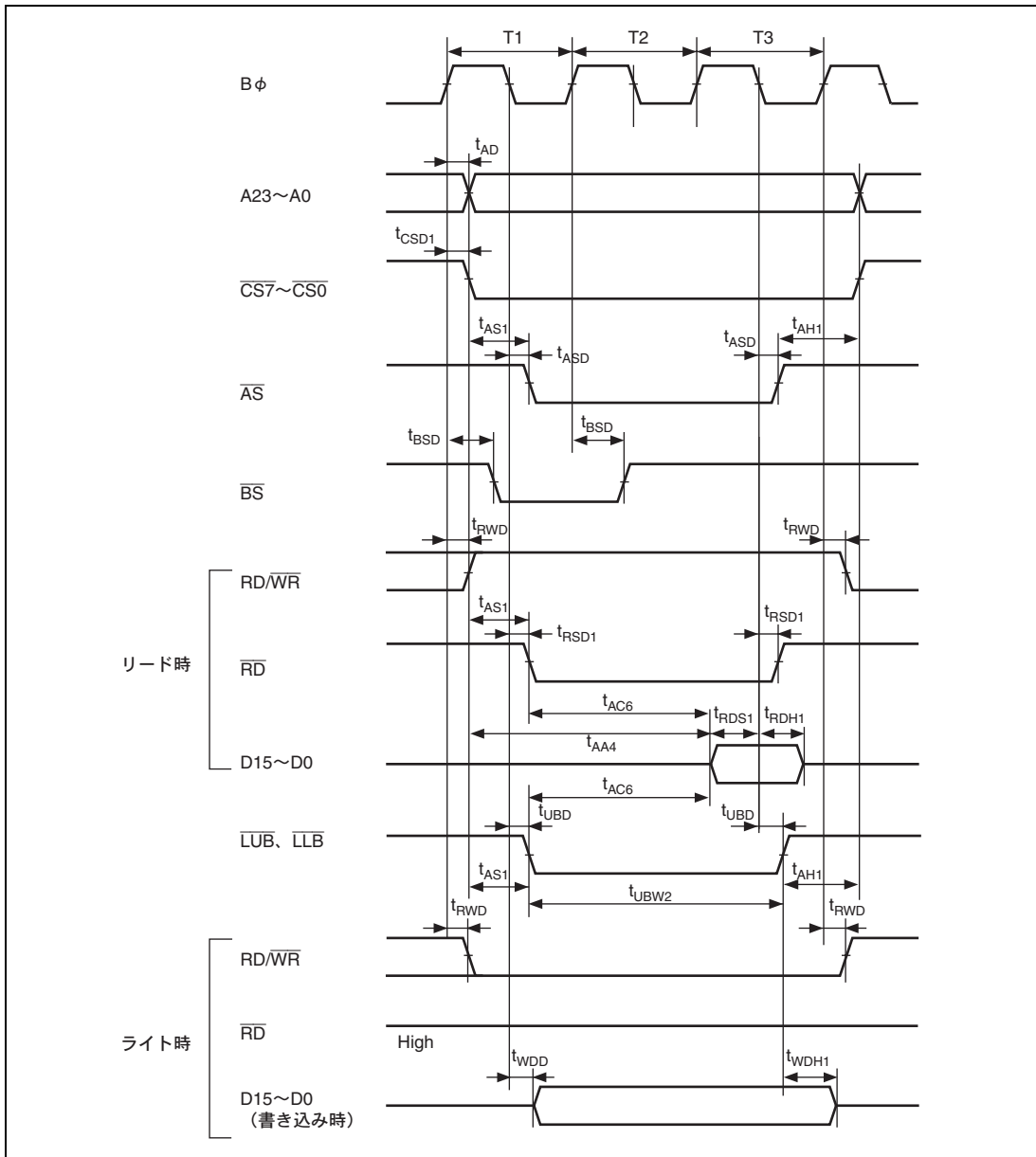


図 25.14 バイト制御 SRAM 3 ステートリード/ライトアクセス

25. 電気的特性

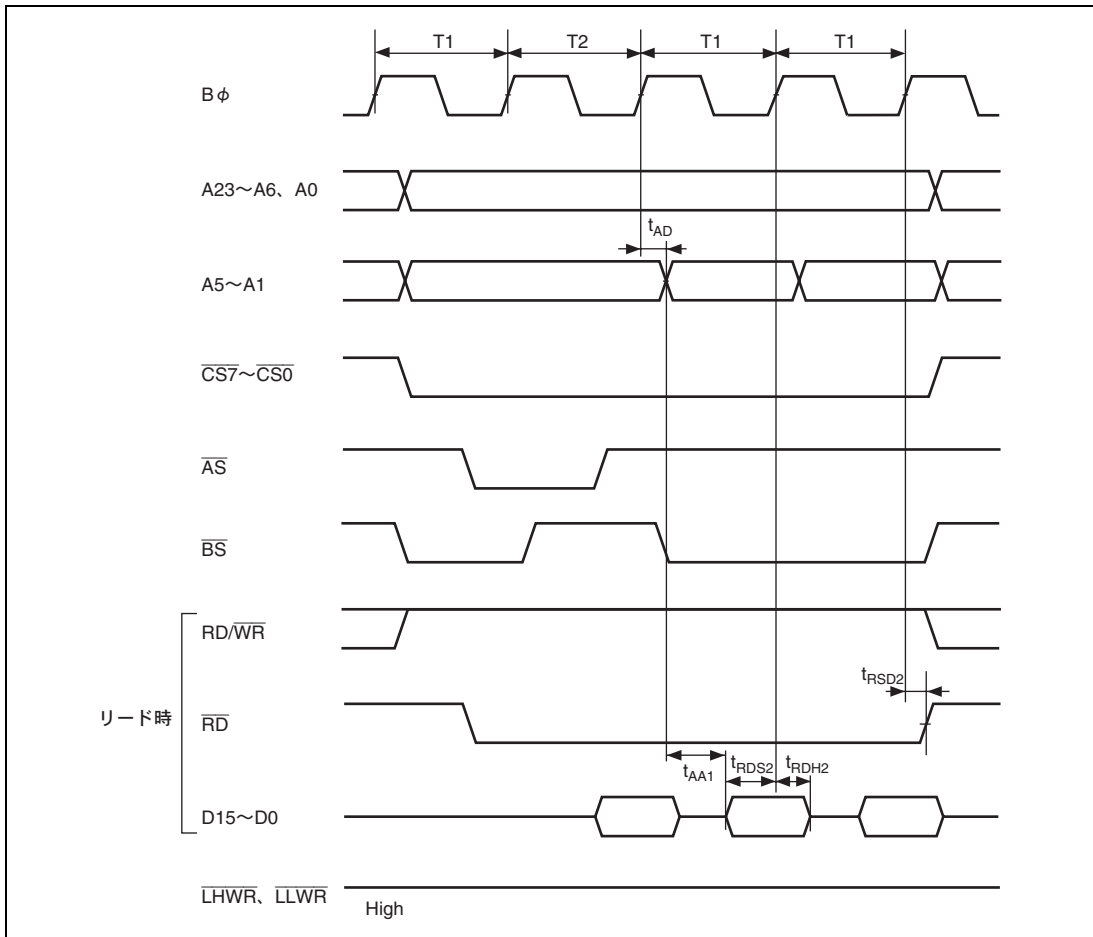


図 25.15 バースト ROM アクセスタイミング / 1 ステートバーストアクセス

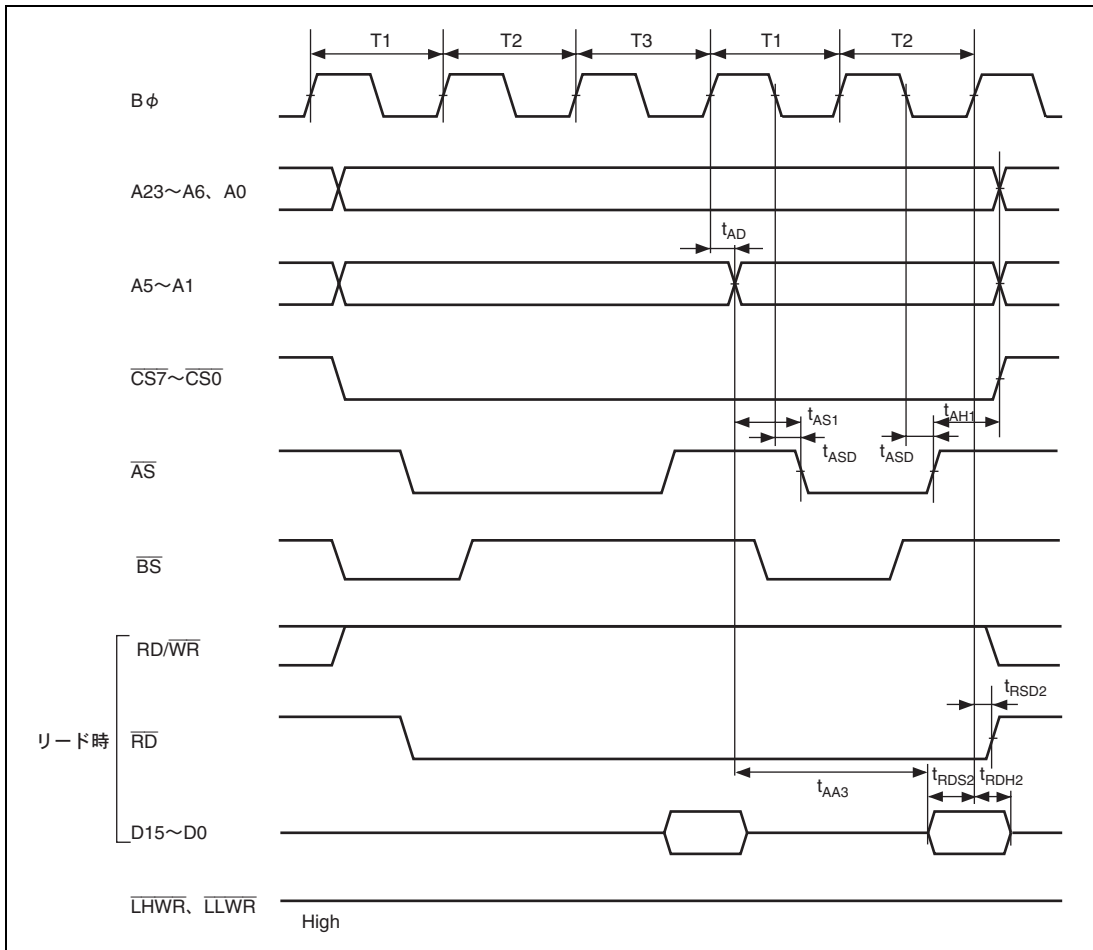


図 25.16 バースト ROM アクセスタイミング / 2 ステートバーストアクセス

25. 電気的特性

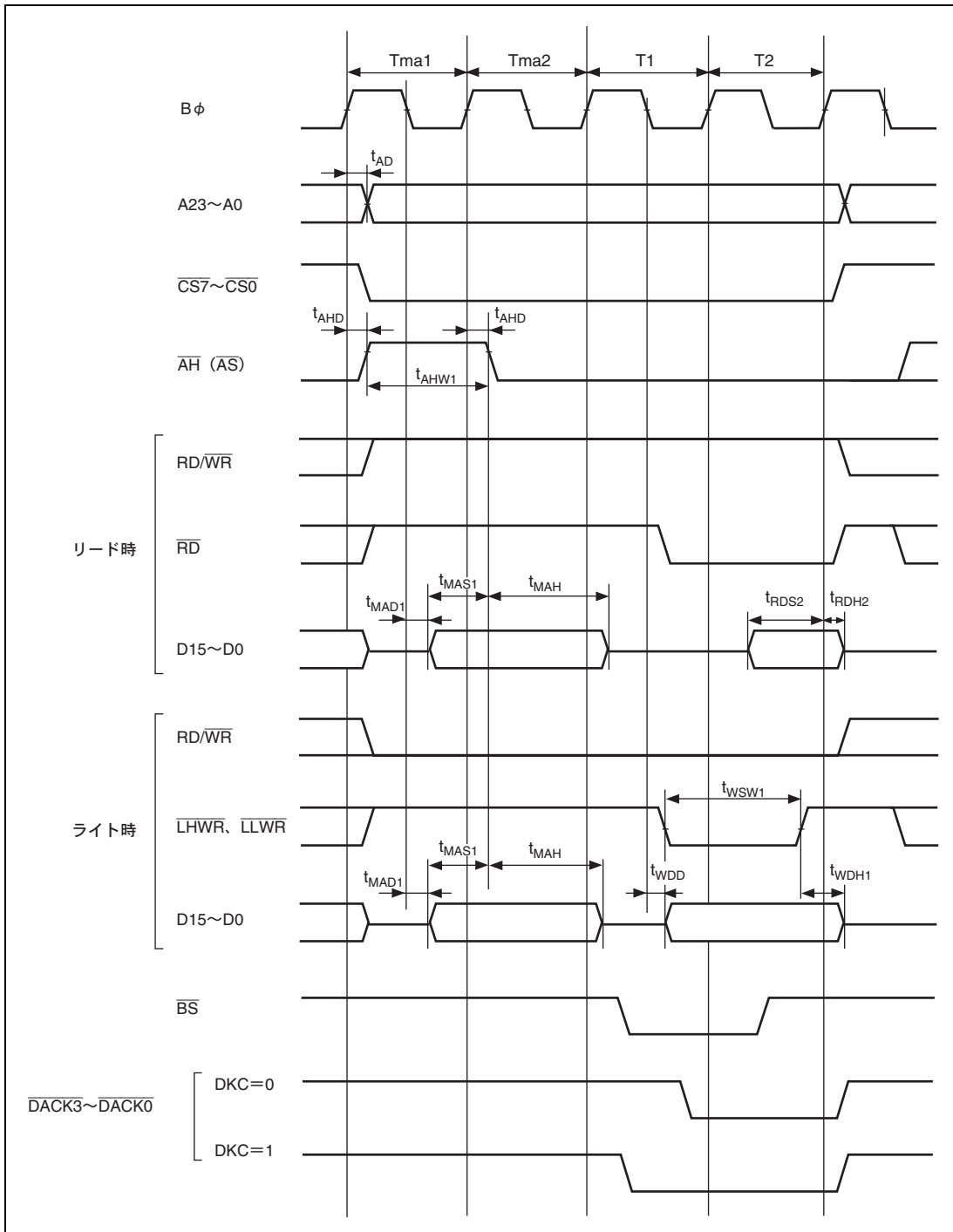


図 25.17 アドレス/データマルチプレクス・アクセスタイミング (ノーウェイト)
(-基本・4 ステートアクセス)

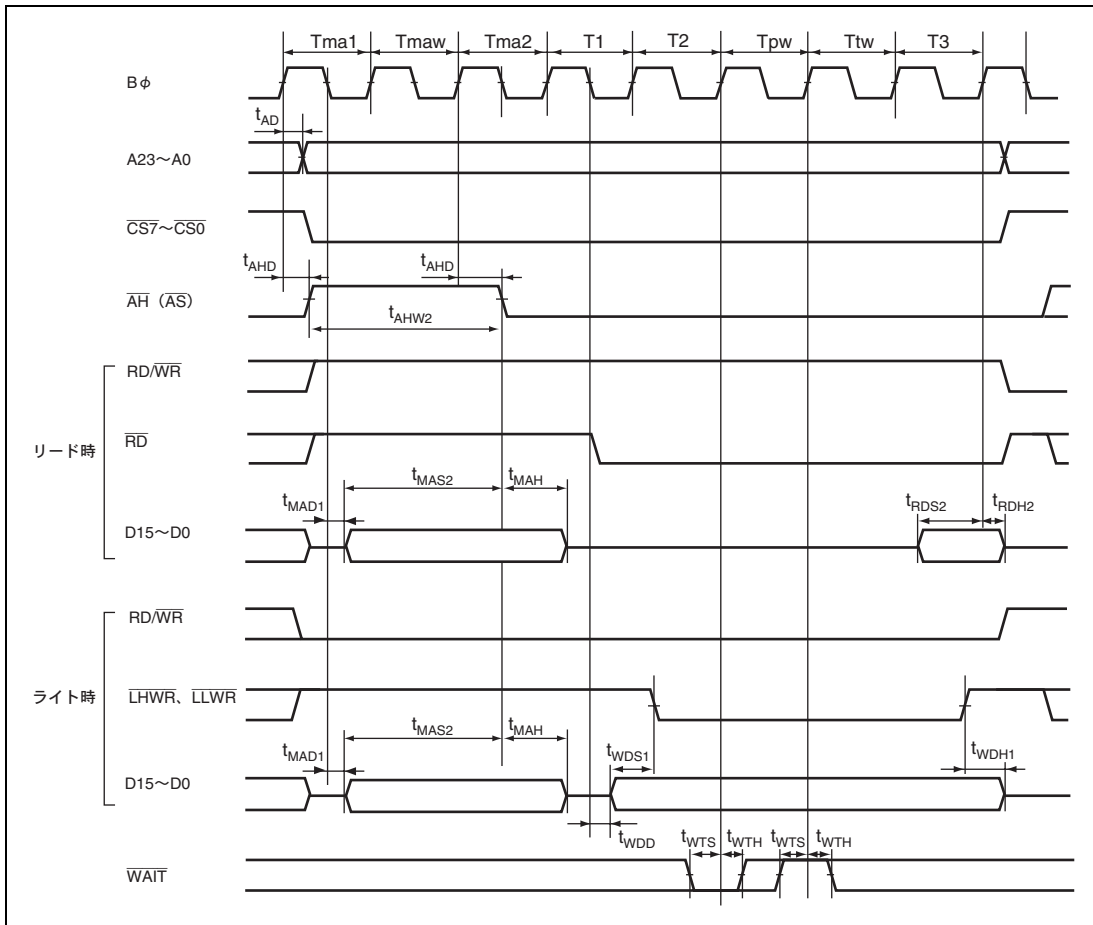


図 25.18 アドレス/データマルチプレクス・アクセスタイミング (ウェイト制御)
 (-アドレスサイクルプログラムウェイト×1
 +データサイクルプログラムウェイト×1+データサイクル端子ウェイト×1の場合)

25. 電気的特性

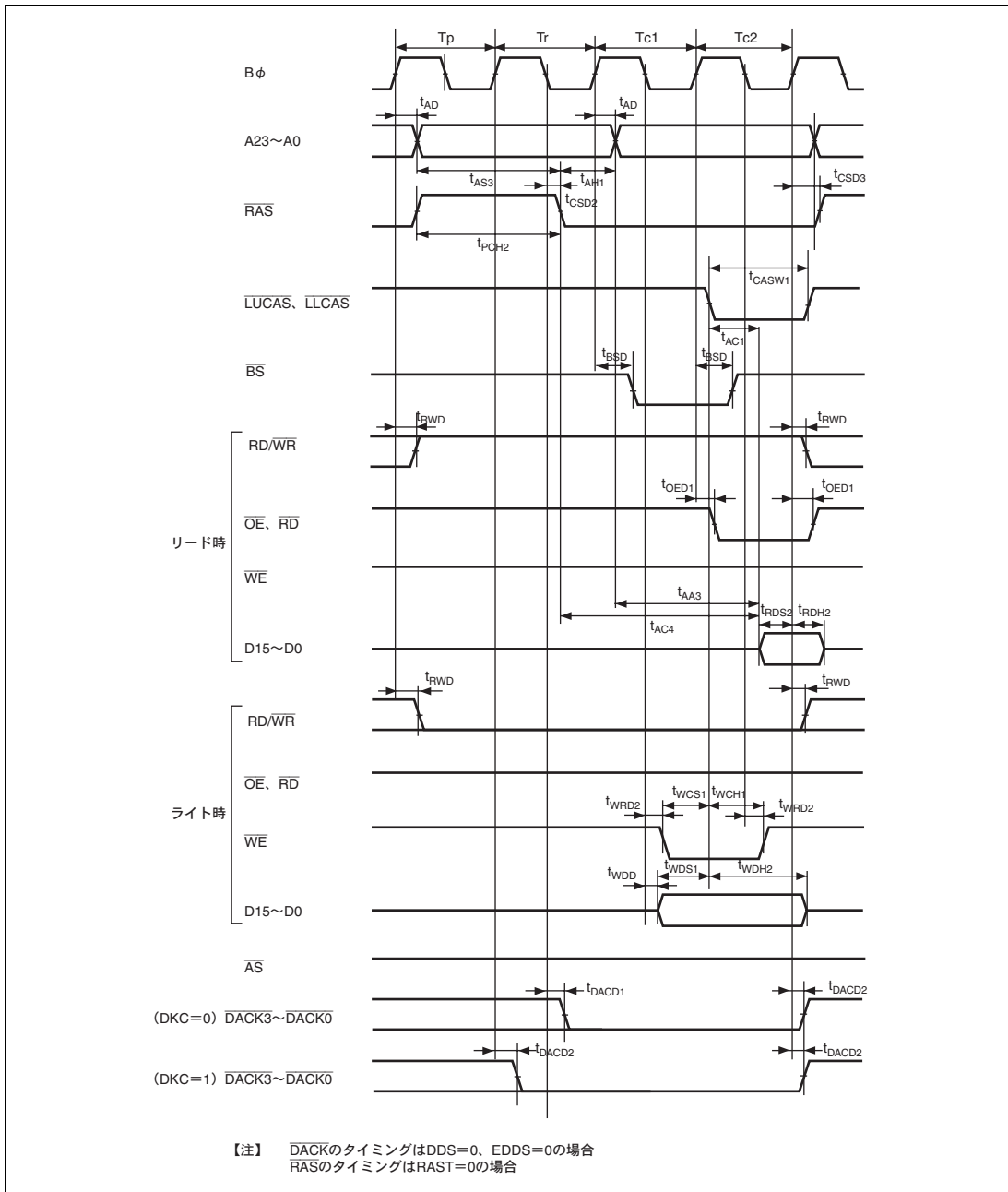


図 25.19 DRAM アクセスタイミング / 2 ステートアクセス

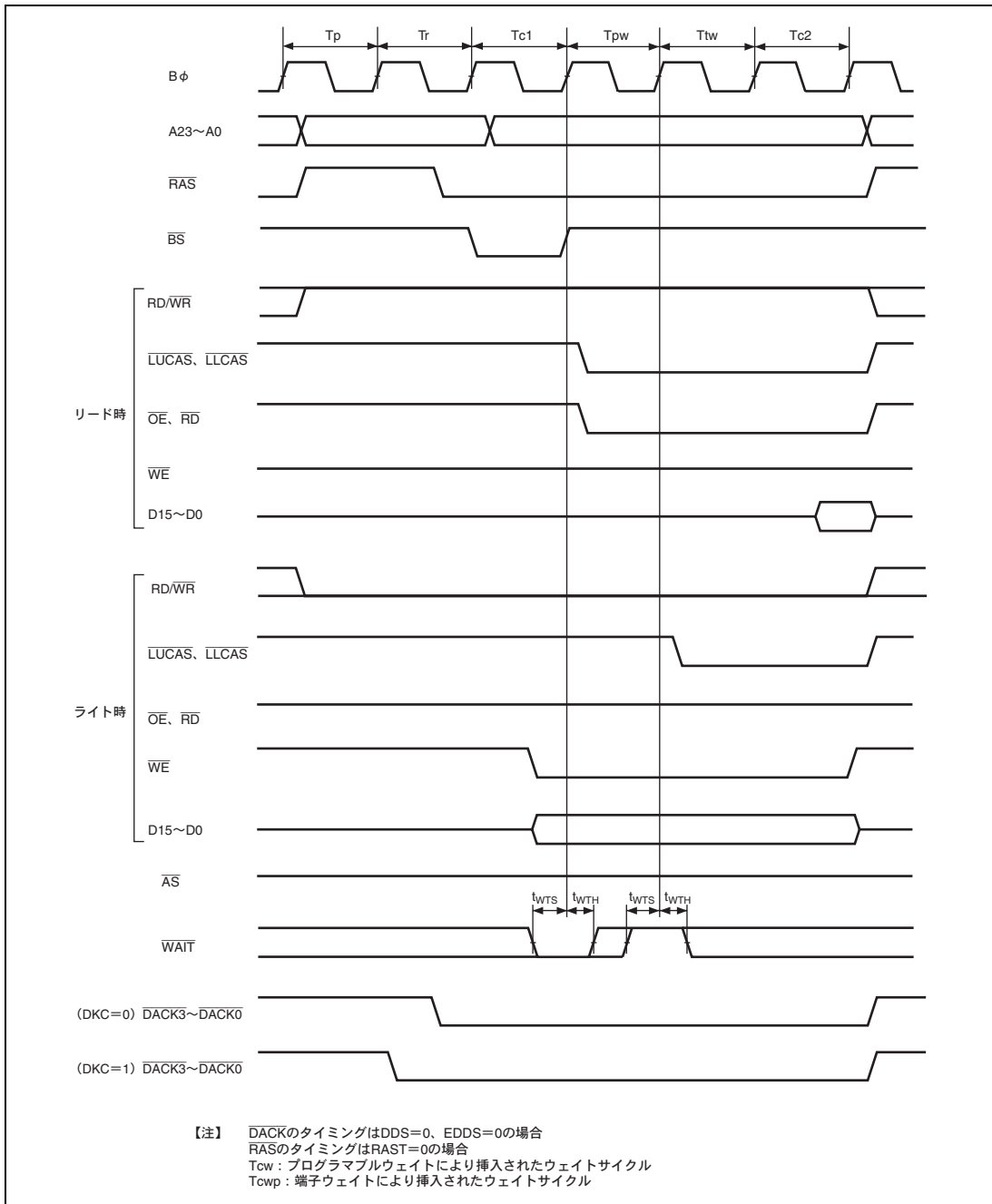


図 25.20 DRAM アクセスタイミング / 2 ステートアクセス 1 ウェイト

25. 電気的特性

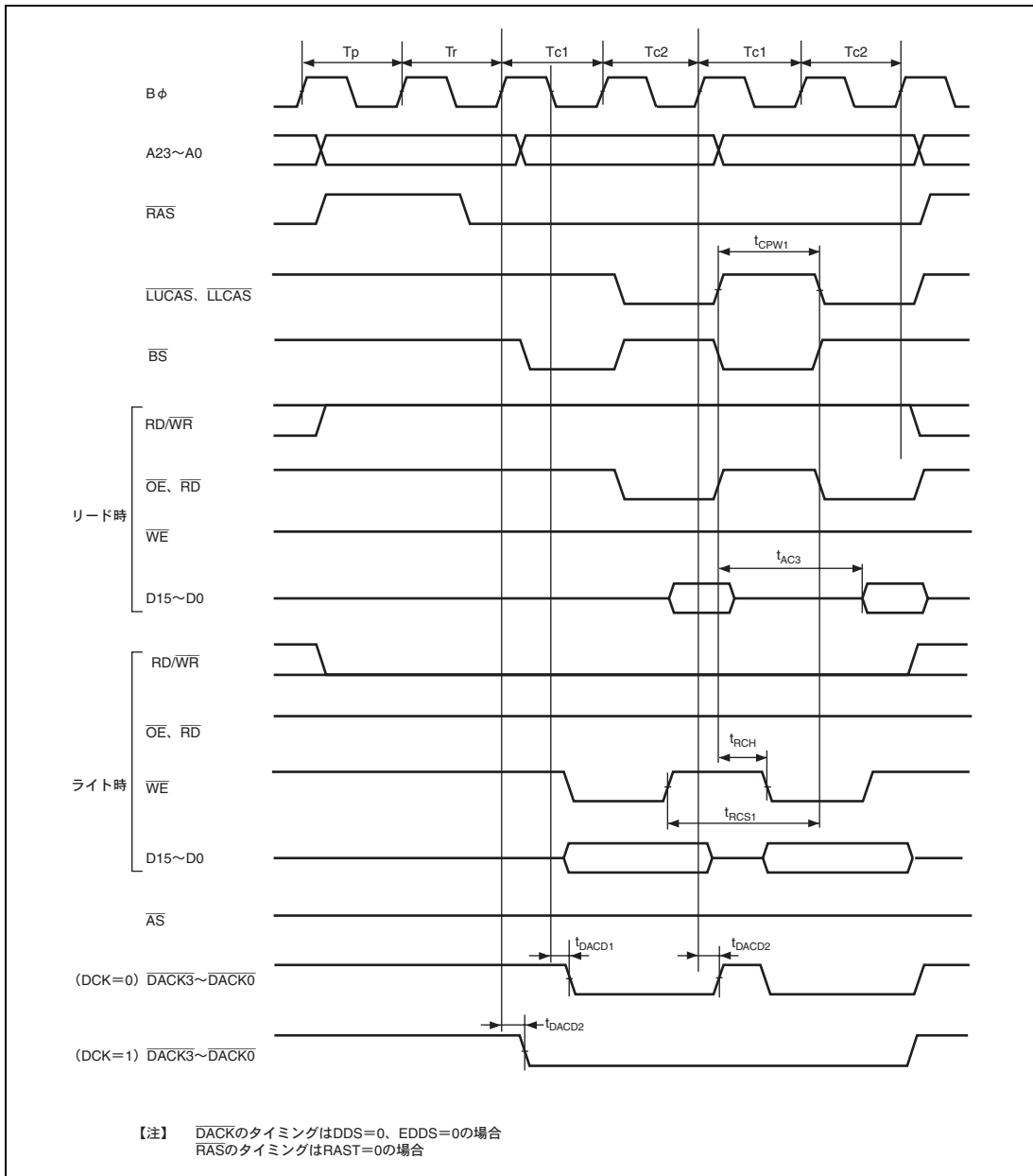


図 25.21 DRAM アクセスタイミング/2 ステートバーストアクセス

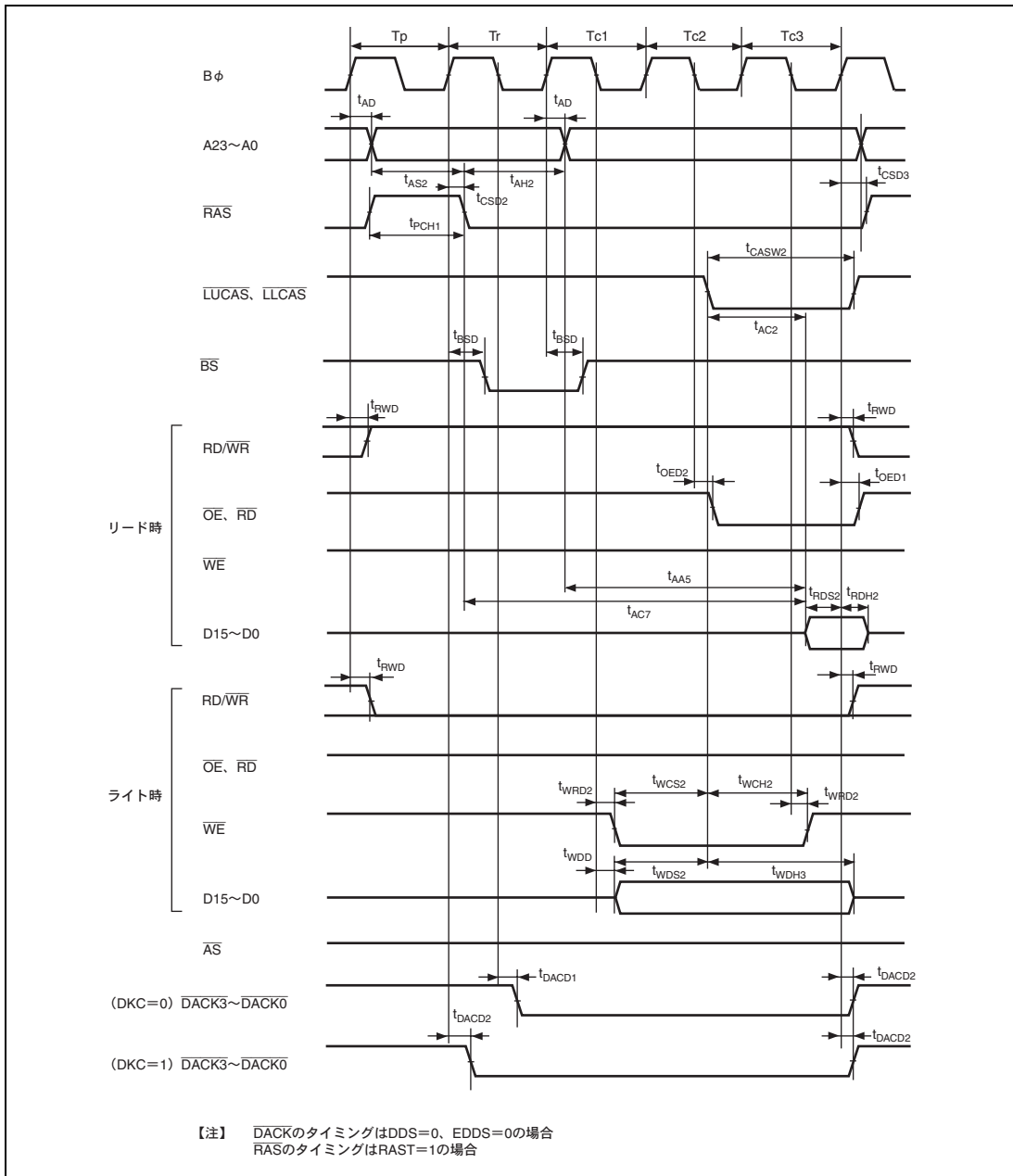


図 25.22 DRAM アクセスタイミング / 3 ステートアクセス (RAST=1 のとき)

25. 電気的特性

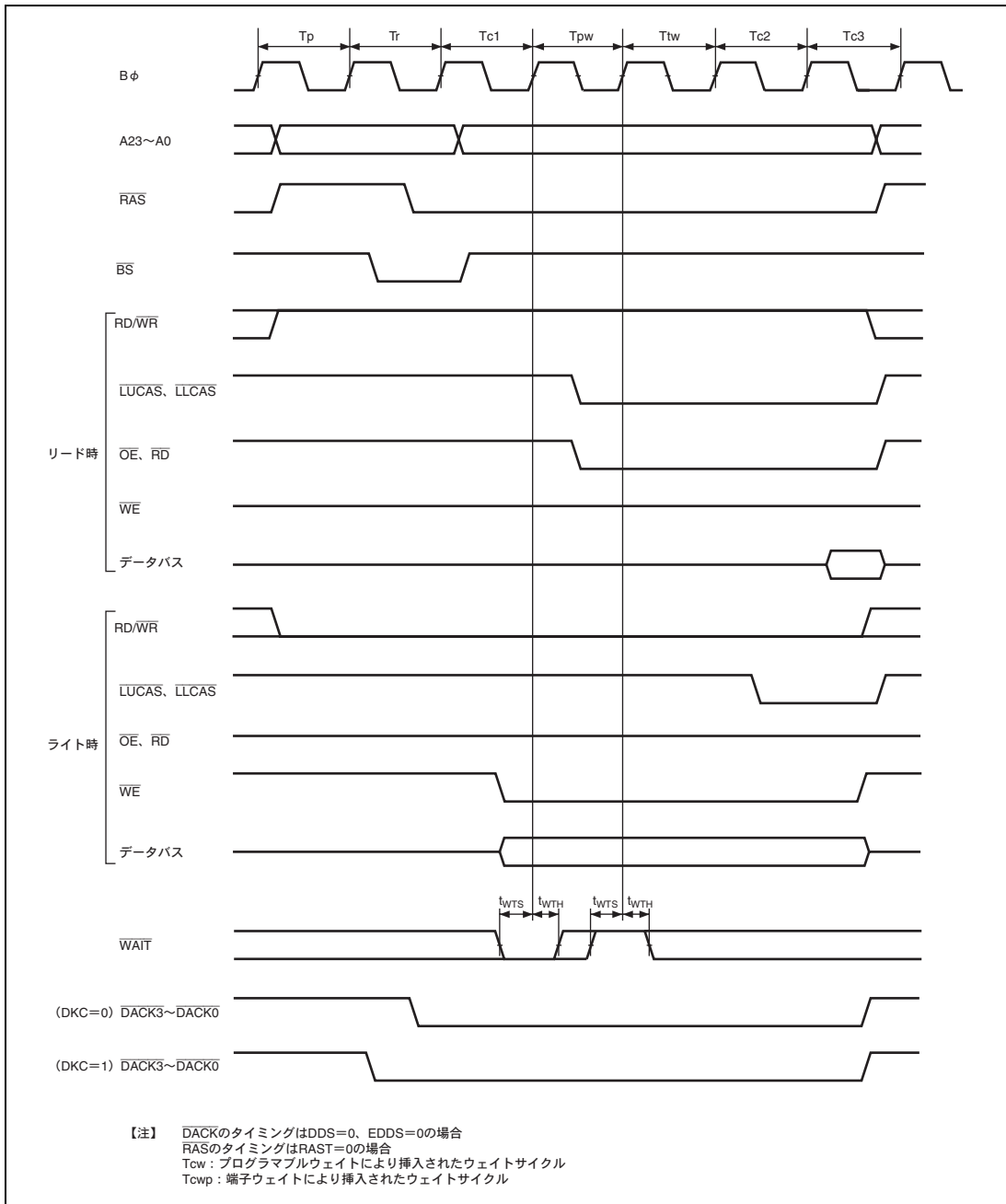


図 25.23 DRAM アクセスタイミング/3 ステートアクセス 1 ウェイト

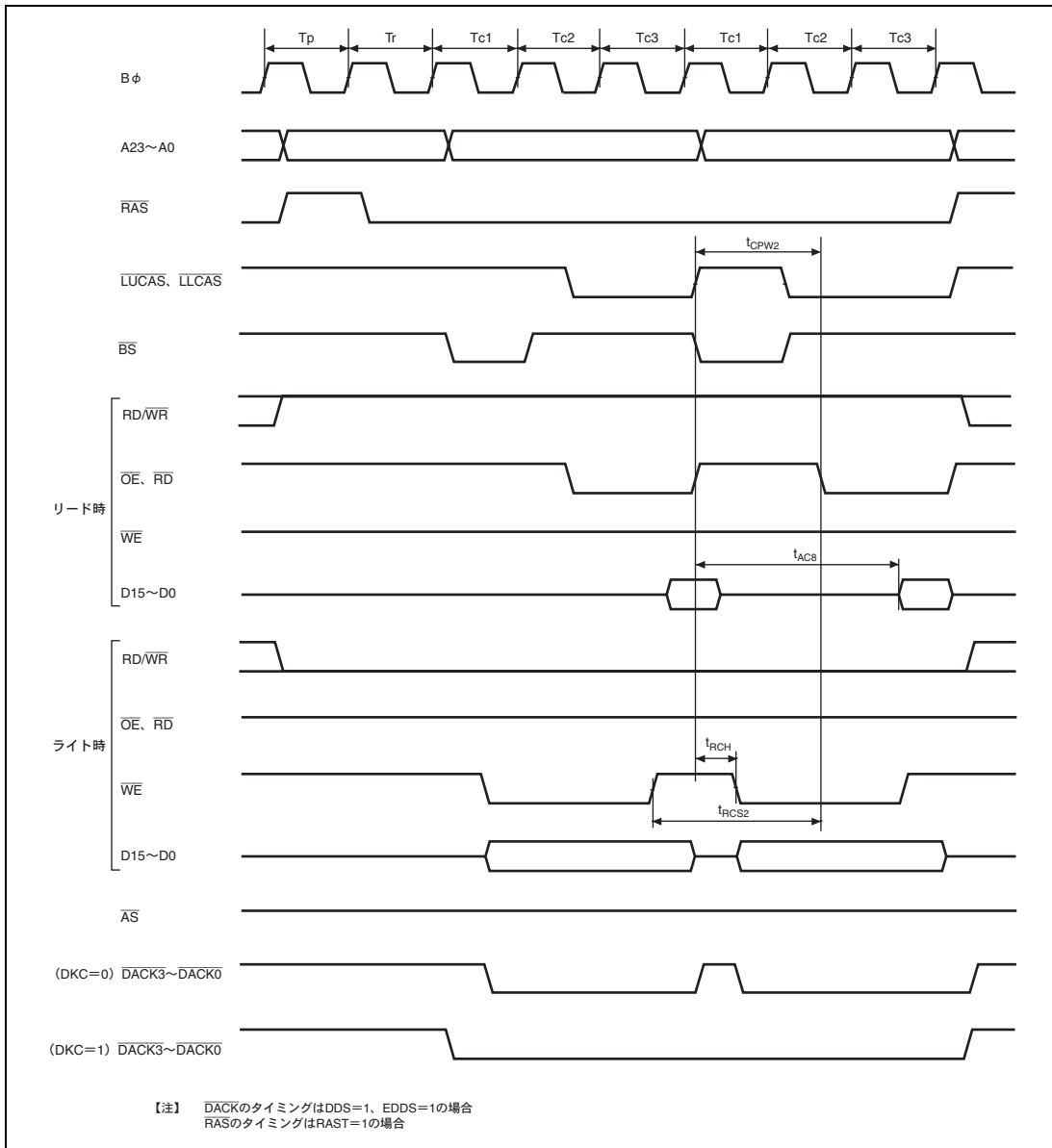


図 25.24 DRAM アクセスタイミング/3 ステートバーストアクセス

25. 電気的特性

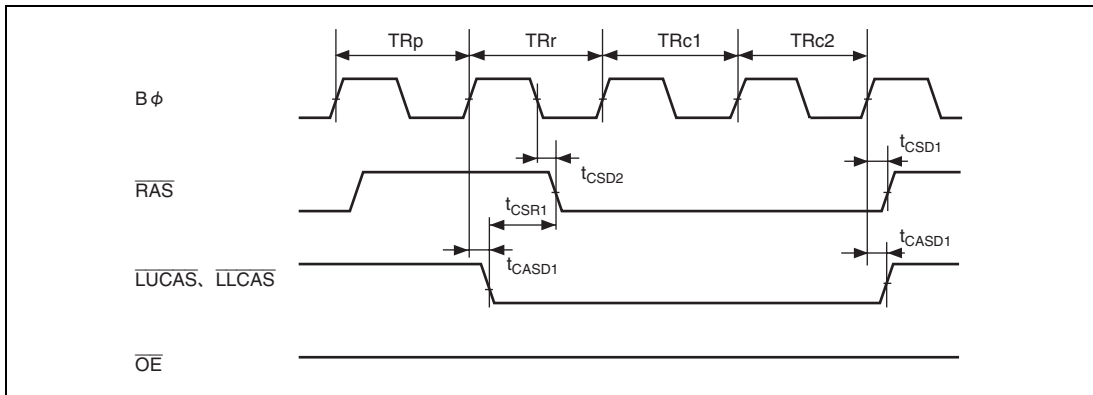


図 25.25 CAS ビフォア RAS リフレッシュタイミング

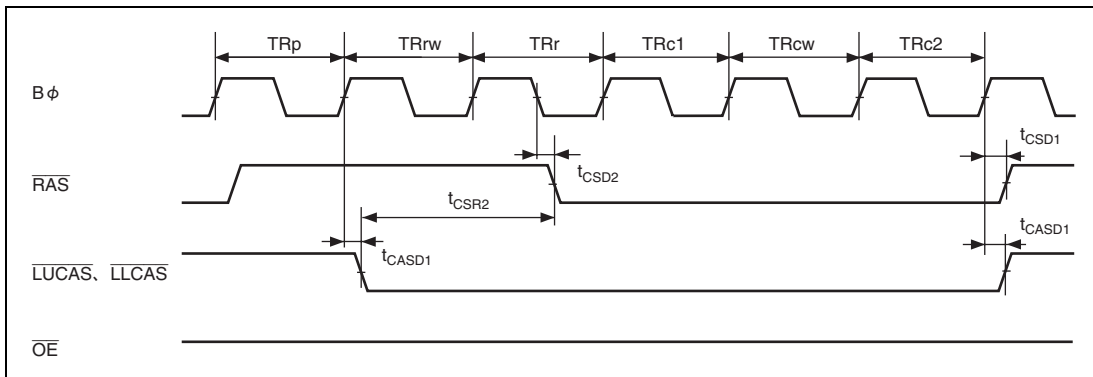


図 25.26 CAS ビフォア RAS リフレッシュタイミング (ウェイトサイクル挿入)

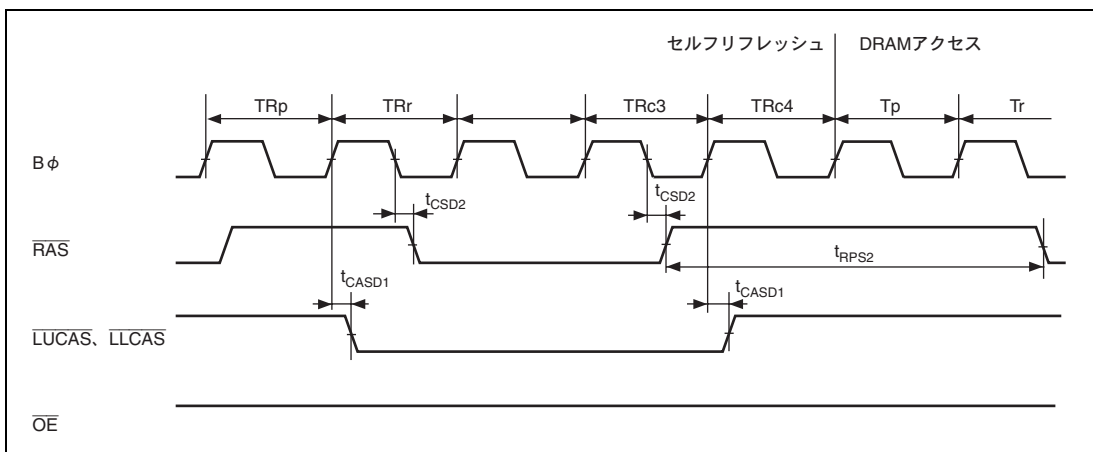


図 25.27 セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時 : RAST=0 のとき)

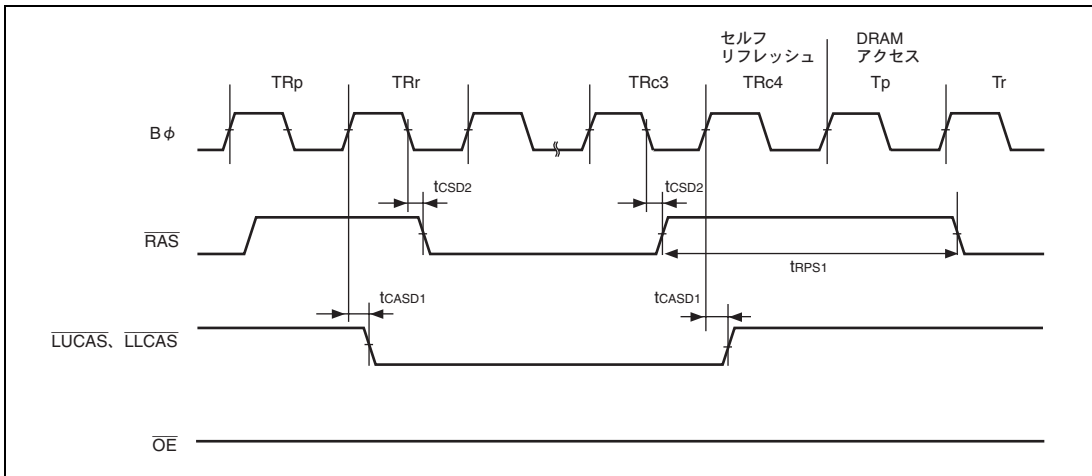


図 25.28 セルフリフレッシュタイミング (ソフトウェアスタンバイからの復帰時: RAST=1 のとき)

25. 電気的特性

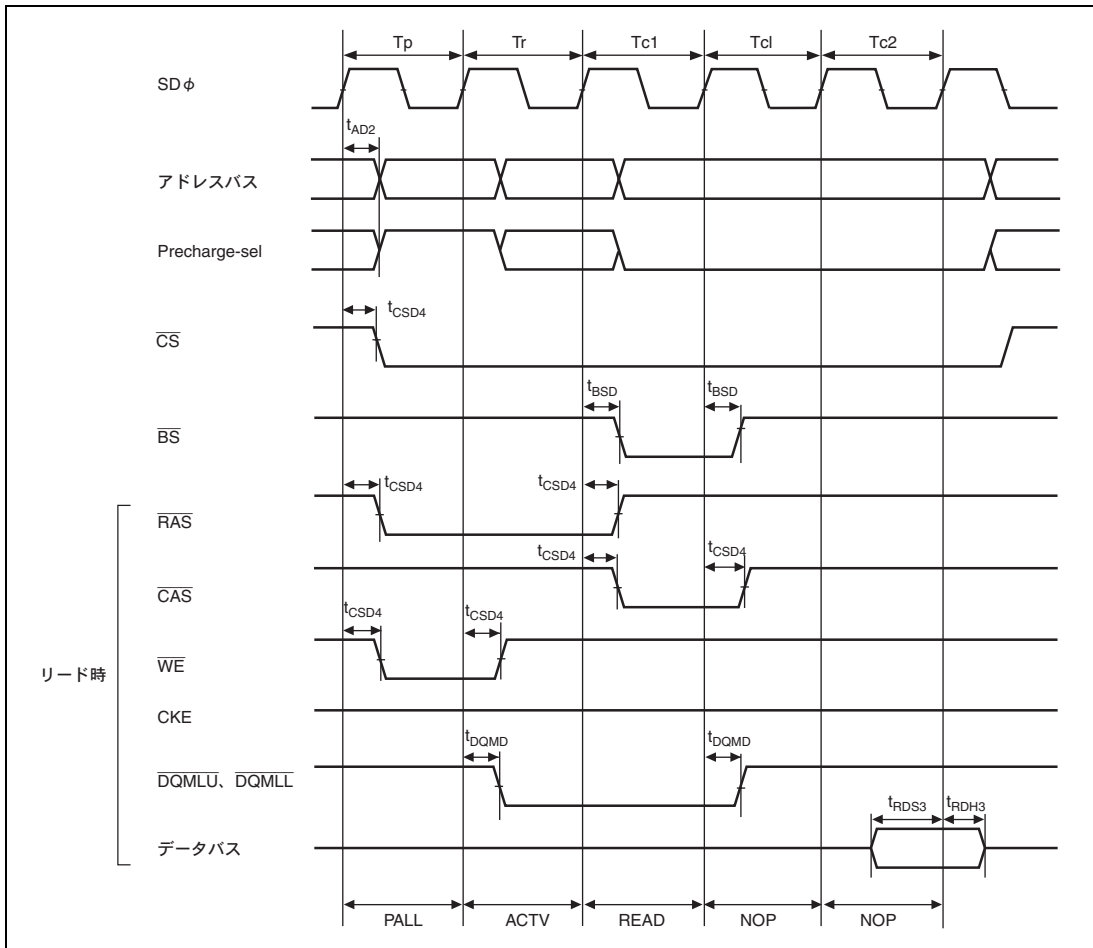


図 25.29 シンクロナス DRAM 基本リードアクセスタイミング (CAS レイテンシ 2 の場合)

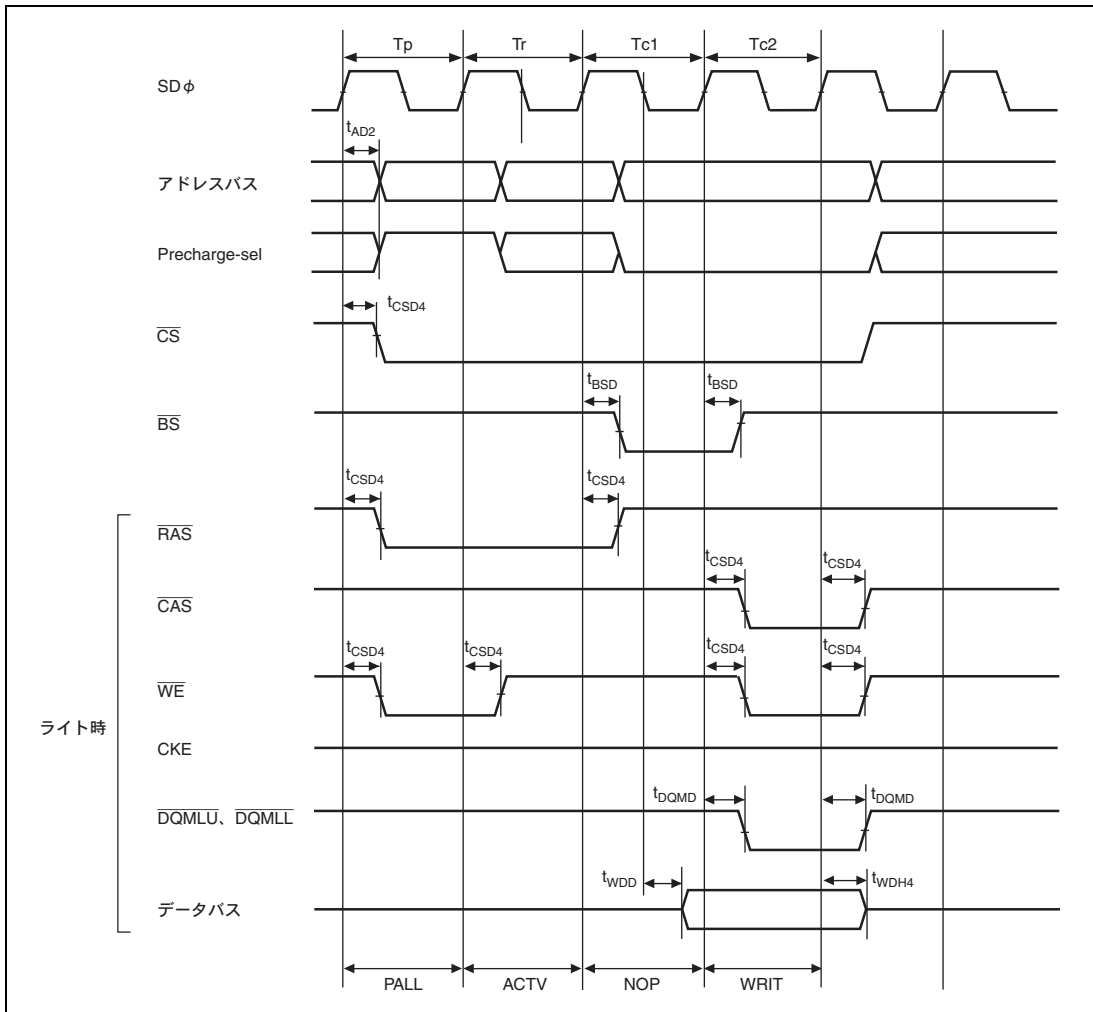


図 25.30 シンクロナス DRAM 基本ライトアクセスタイミング (CAS レイテンシ 2 の場合)

25. 電気的特性

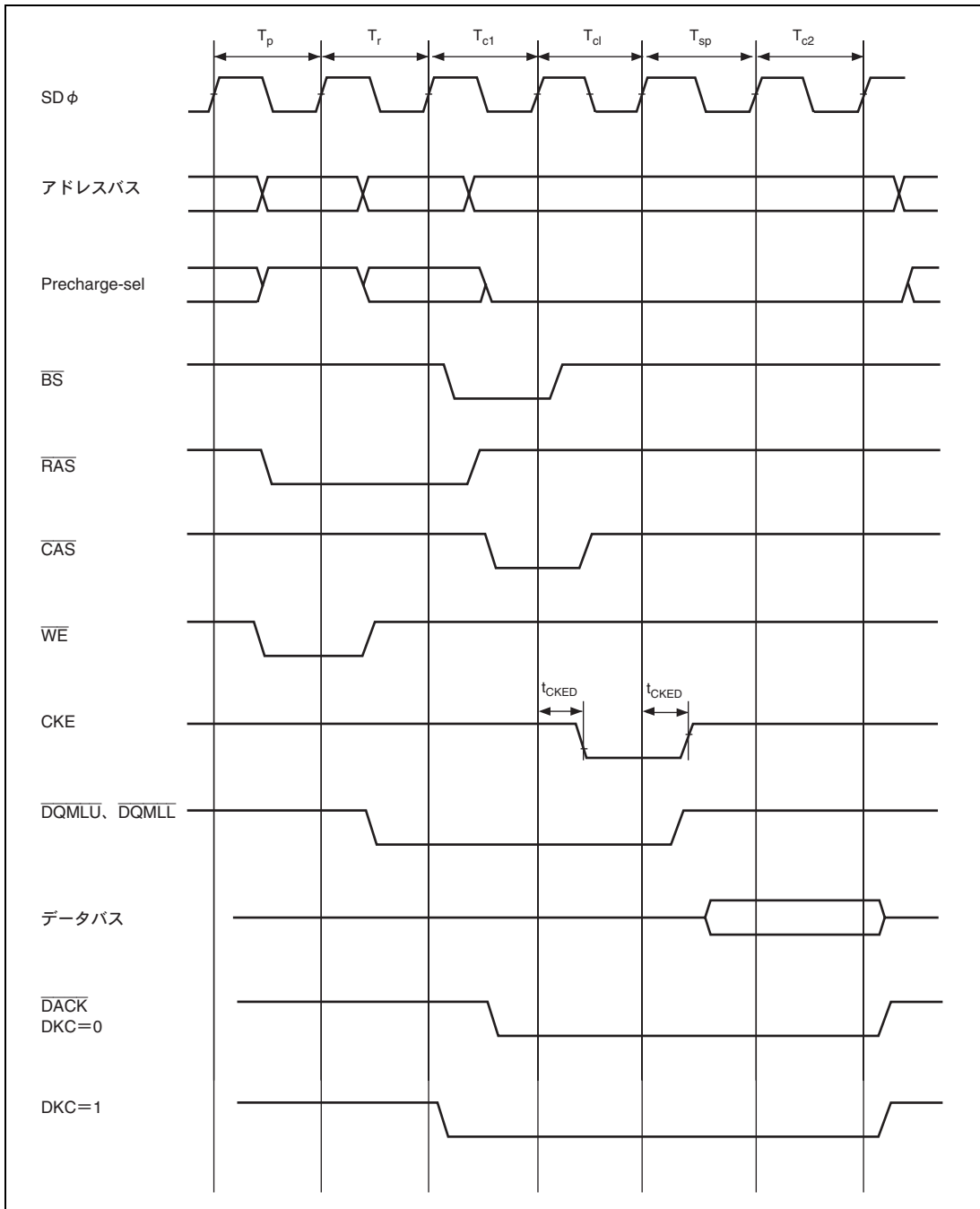


図 25.31 リードデータを拡張した場合 (CAS レイテンシ 2 の場合)

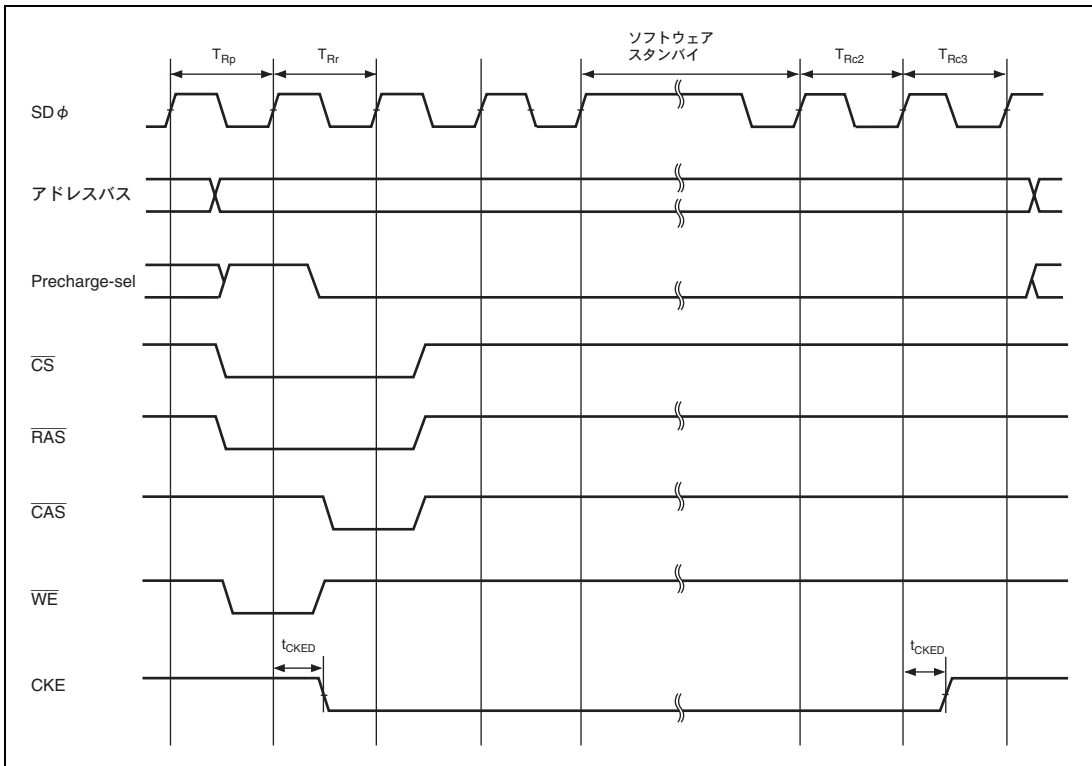


図 25.32 シンクロナス DRAM セルフリフレッシュタイミング

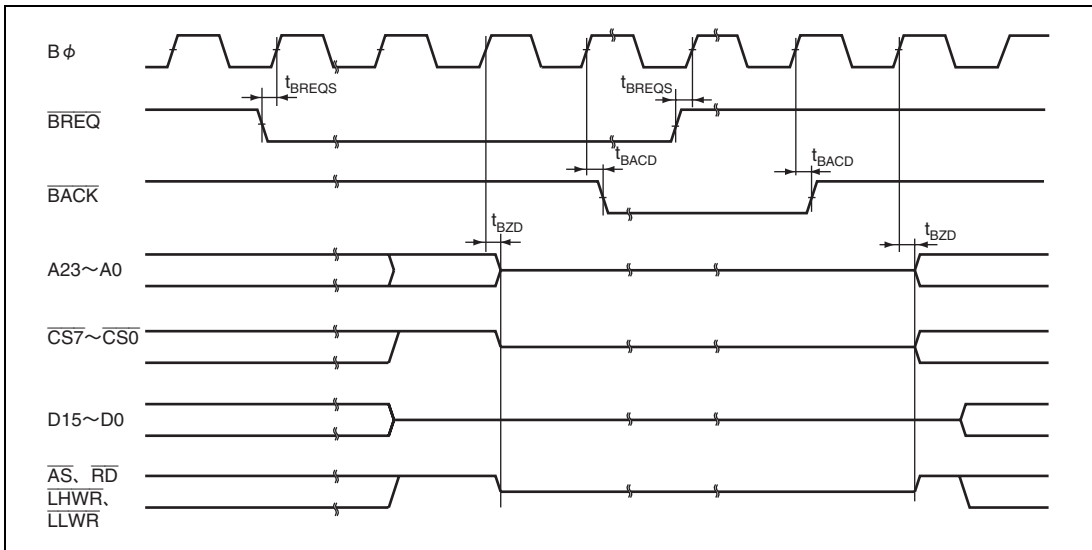


図 25.33 外部バス権開放タイミング

25. 電気的特性

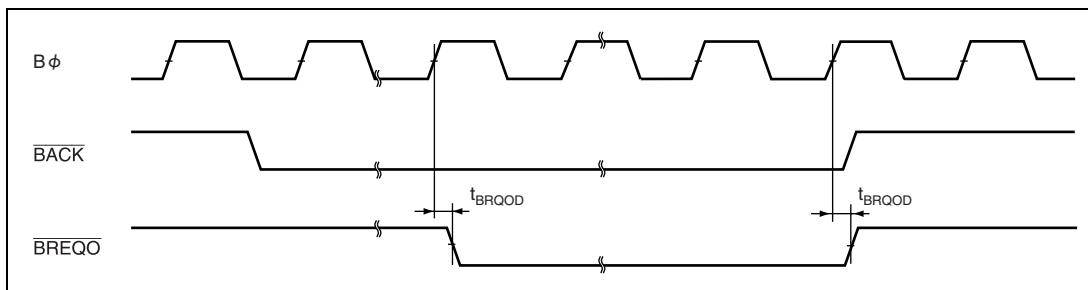


図 25.34 外部バス権要求出力タイミング

25.3.4 DMAC タイミング

表 25.7 DMAC タイミング

条件 : $V_{cc}=PLL V_{cc}=DrV_{cc}=3.0\sim 3.6V$ 、 $AV_{cc}=3.0\sim 3.6V$ 、 $V_{ref}=3.0V\sim AV_{cc}$ 、 $V_{ss}=PLL V_{ss}=DrV_{ss}=AV_{ss}=0V$ 、

$B\phi = 8\sim 50MHz$

$T_a = -20\sim +75^\circ C$ (通常仕様品)、 $T_a = -40\sim +85^\circ C$ (広温度範囲仕様品)

項目	記号	min	max	単位	測定条件
DREQ セットアップ時間	t_{DRQS}	20	—	ns	図 25.35
DREQ ホールド時間	t_{DRQH}	5	—	ns	
TEND 遅延時間	t_{TED}	—	15	ns	図 25.36
DACK 遅延時間 1	t_{DACD1}	—	15	ns	図 25.37、 図 25.38
DACK 遅延時間 2	t_{DACD2}	—	15	ns	

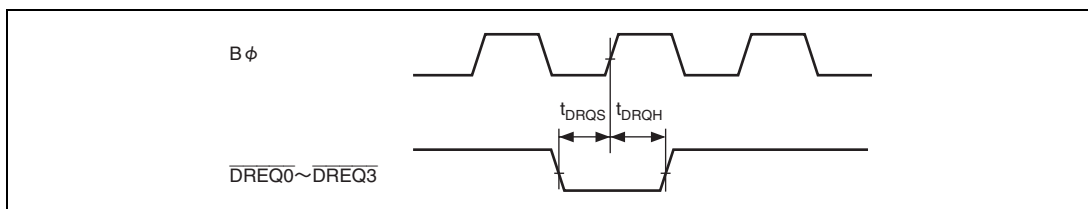


図 25.35 DMAC、DREQ 入力タイミング

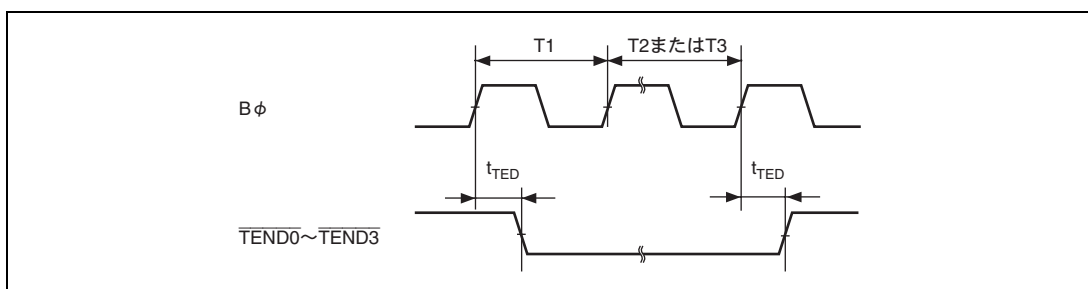


図 25.36 DMAC、TEND 出力タイミング

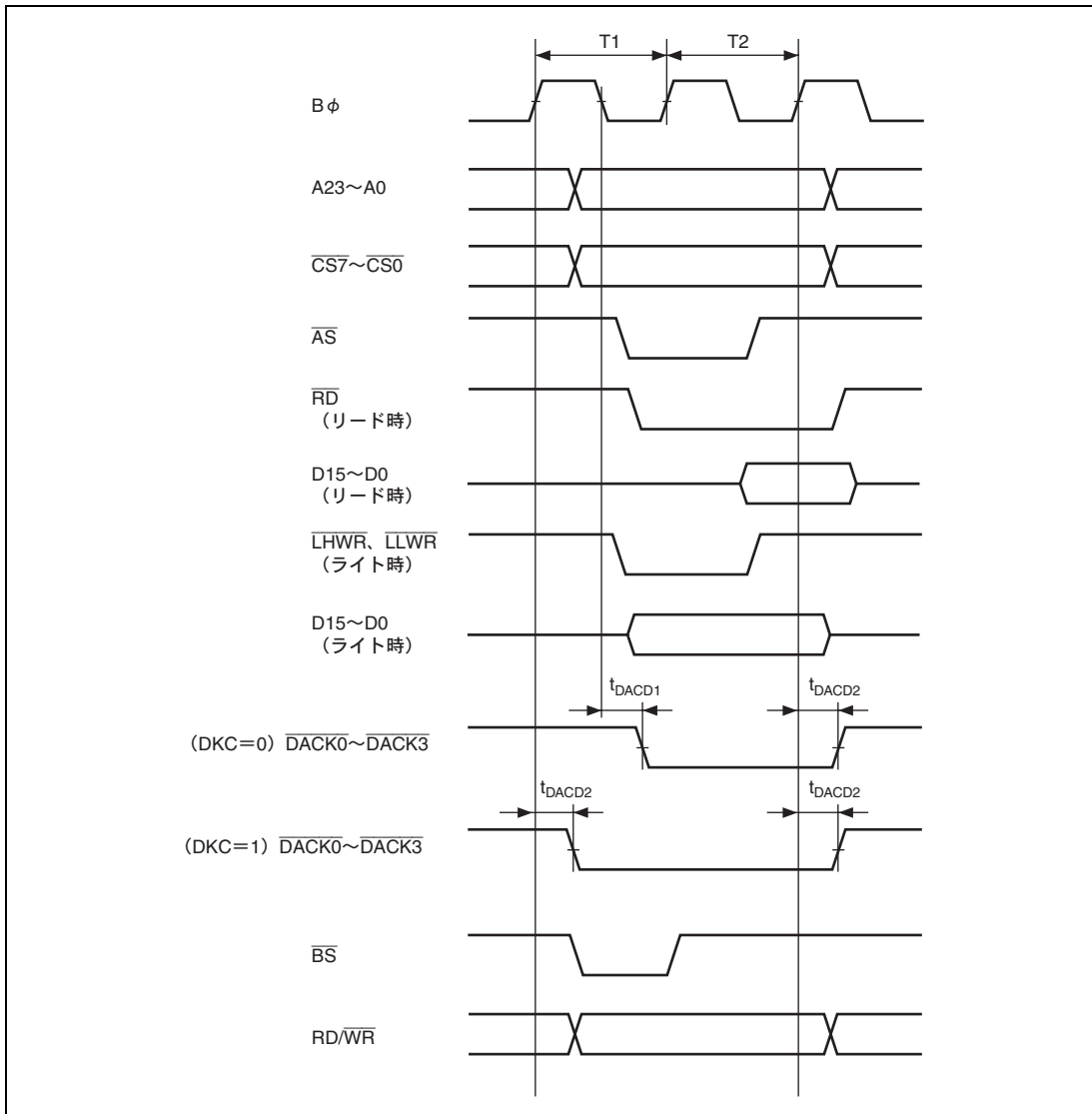


図 25.37 DMAC シングルアドレス転送タイミング (2ステートアクセス)

25. 電気的特性

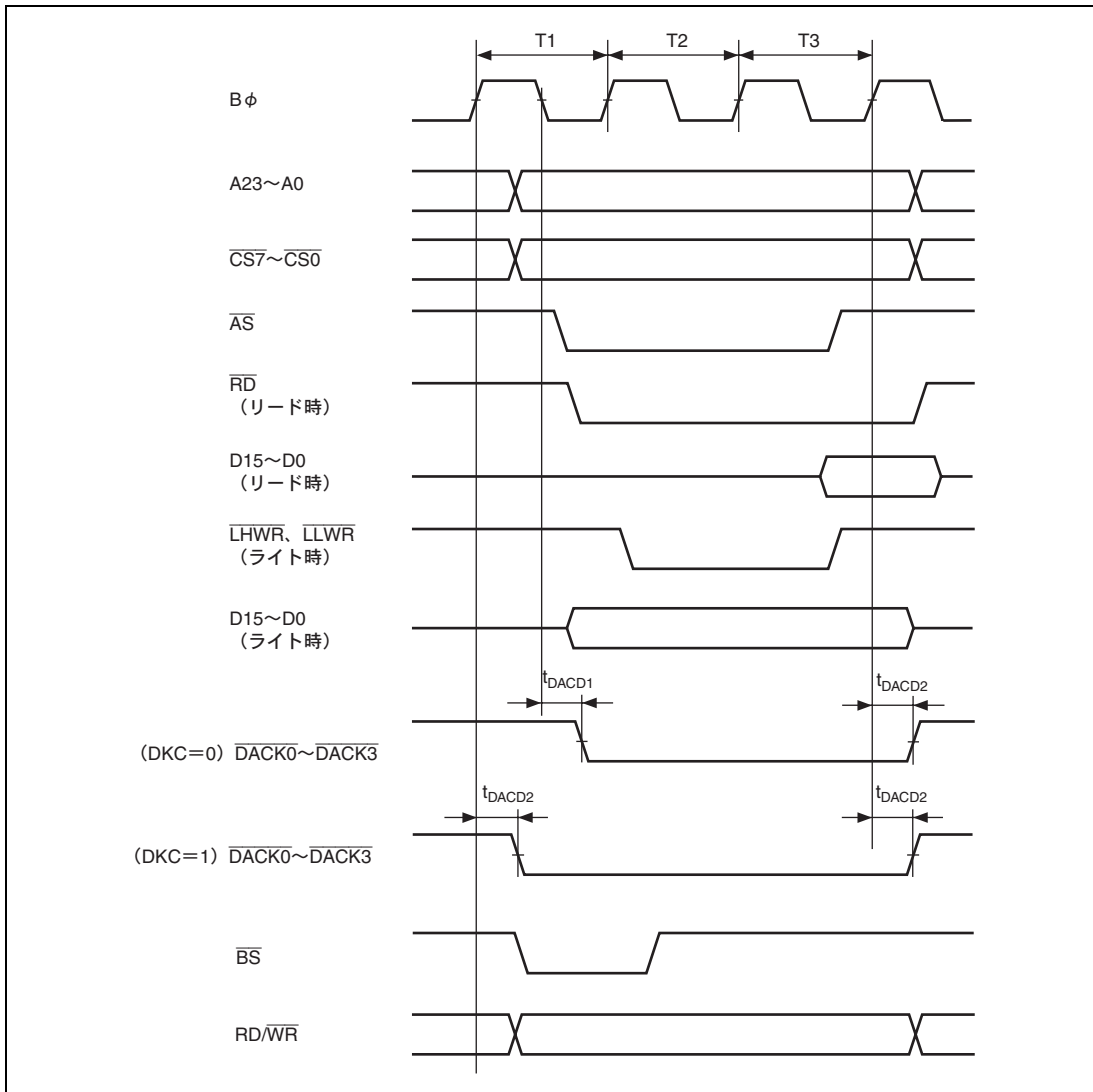


図 25.38 DMAC シングルアドレス転送タイミング (3ステートアクセス)

25.3.5 内蔵周辺モジュールタイミング

表 25.8 内蔵周辺モジュールタイミング

条件：Vcc=PLLVcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=DrVss=AVss=0V、

Pφ=8~35MHz

Ta=-20~+75°C（通常仕様品）、Ta=-40~+85°C（広温度範囲仕様品）

項目		記号	min	max	単位	測定条件	
I/O ポート	出力データ遅延時間	t_{PVD}	—	40	ns	図 25.39	
	入力データセットアップ時間	t_{PRS}	25	—	ns		
	入力データホールド時間	t_{FRH}	25	—	ns		
TPU	タイマ出力遅延時間	t_{TOD}	—	40	ns	図 25.40	
	タイマ入力セットアップ時間	t_{TCS}	25	—	ns		
	タイマクロック入力セットアップ時間	t_{TCKS}	25	—	ns	図 25.41	
		単エッジ指定	t_{TCKWH}	1.5	—		t_{cyc}
	両エッジ指定	t_{TCKWL}	2.5	—	t_{cyc}		
PPG	パルス出力遅延時間	t_{POD}	—	40	ns	図 25.42	
8ビット タイマ	タイマ出力遅延時間	t_{MOD}	—	40	ns	図 25.43	
	タイマリセット入力セットアップ時間	t_{TMRs}	25	—	ns	図 25.44	
	タイマクロック入力セットアップ時間	t_{TMCS}	25	—	ns	図 25.45	
	タイマクロックパルス幅	単エッジ指定	t_{TMCWH}	1.5	—		t_{cyc}
両エッジ指定		t_{TMCWL}	2.5	—	t_{cyc}		
WDT	オーバフロー出力遅延時間	t_{WOVD}	—	40	ns	図 25.46	
SCI	入力クロックサイクル	調歩同期	t_{Soyc}	4	—	t_{cyc}	図 25.47
		クロック同期		6	—		
	入力クロックパルス幅	t_{SCKW}	0.4	0.6	t_{cyc}		
	入力クロック立ち上がり時間	t_{SCKr}	—	1.5	t_{cyc}		
	入力クロック立ち下がり時間	t_{SCKf}	—	1.5	t_{cyc}		
	送信データ遅延時間	t_{TXD}	—	40	ns	図 25.48	
	受信データセットアップ時間 (クロック同期)	t_{RXS}	40	—	ns		
	受信データホールド時間 (クロック同期)	t_{RXH}	40	—	ns		
A/D 変換器	トリガ入力セットアップ時間	t_{TRGS}	30	—	ns	図 25.49	

25. 電気的特性

項目		記号	min	max	単位	測定条件
IIC2	SCL 入力サイクル時間	t_{SCL}	12tcyc + 600	—	ns	図 25.50
	SCL 入力 High パルス幅	t_{SCLH}	3tcyc + 300	—	ns	
	SCL 入力 Low パルス幅	t_{SCLL}	5tcyc + 300	—	ns	
	SCL、SDA 入力立ち下がり時間	t_{SI}	—	300	ns	
	SCL、SDA 入力スパイクパルス除去時間	t_{SP}	—	1tcyc	ns	
	SDA 入力バスフリー時間	t_{BUF}	5tcyc	—	ns	
	開始条件入力ホールド時間	t_{STAH}	3tcyc	—	ns	
	再送開始条件入力セットアップ時間	t_{STAS}	3tcyc	—	ns	
	停止条件入力セットアップ時間	t_{STOS}	1tcyc + 20	—	ns	
	データ入力セットアップ時間	t_{SDAS}	0	—	ns	
	データ入力ホールド時間	t_{SDAH}	0	—	ns	
	SCL、SDA の容量性負荷	Cb	—	400	pF	
	SCL、SDA 立ち下がり時間	t_{SI}	—	300	ns	

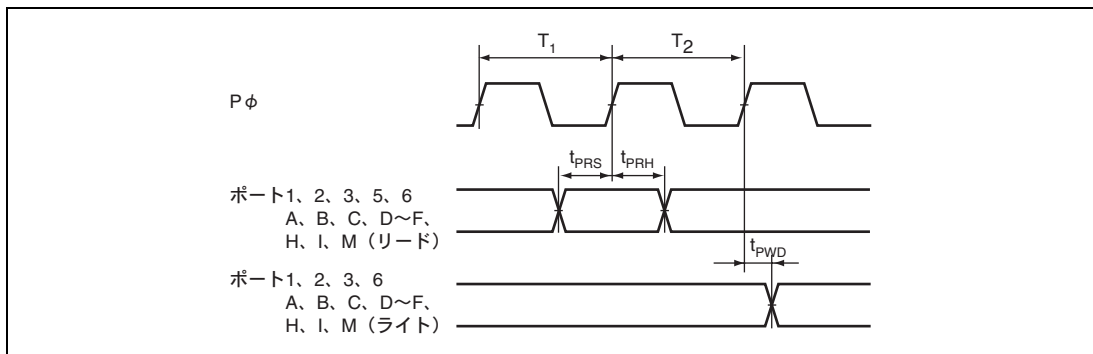


図 25.39 I/O ポート入出力タイミング

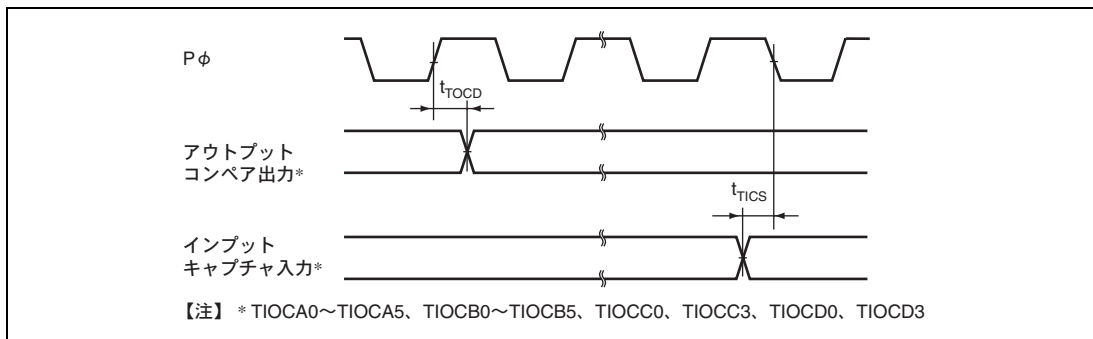


図 25.40 TPU 入出力タイミング

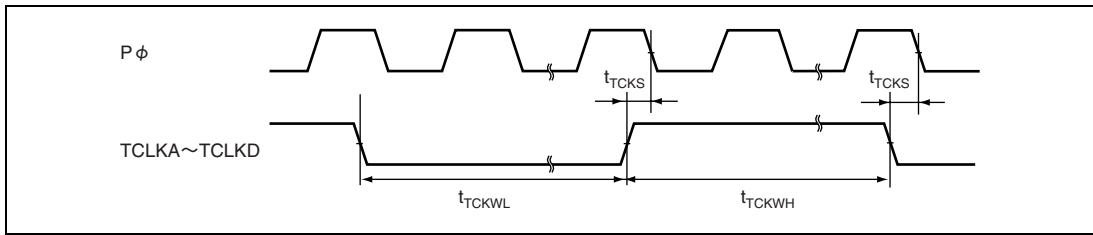


図 25.41 TPU クロック入力タイミング

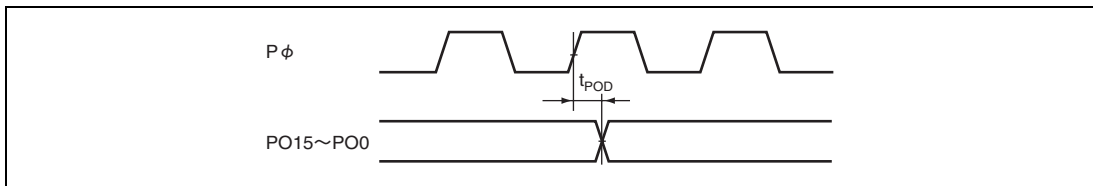


図 25.42 PPG 出力タイミング

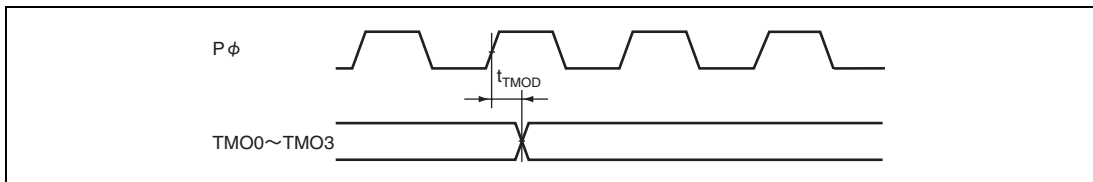


図 25.43 8 ビットタイマ出力タイミング

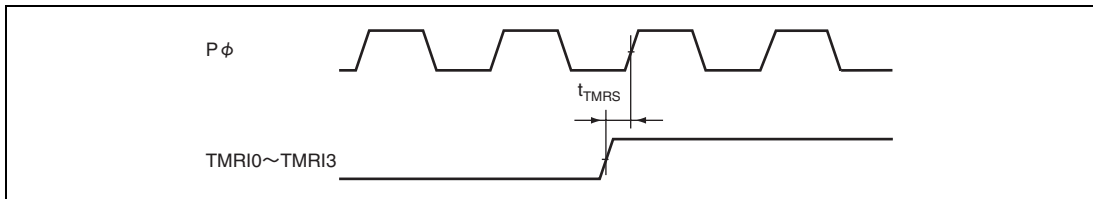


図 25.44 8 ビットタイマリセット入力タイミング

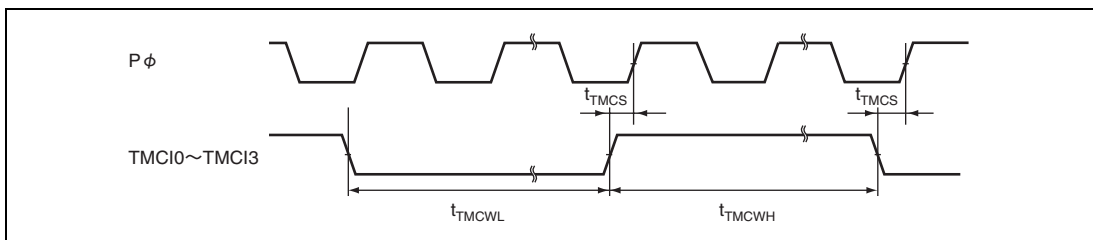


図 25.45 8 ビットタイマクロック入力タイミング

25. 電気的特性

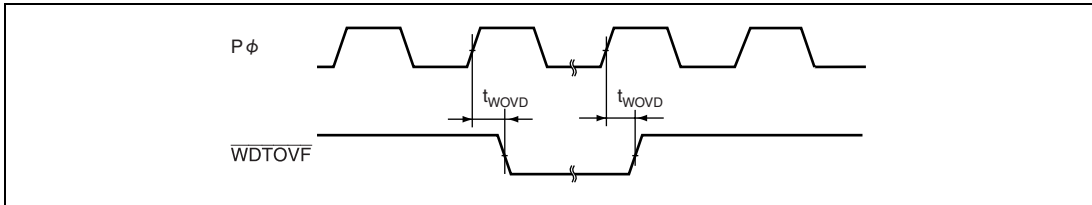


図 25.46 WDT 出カタイミング

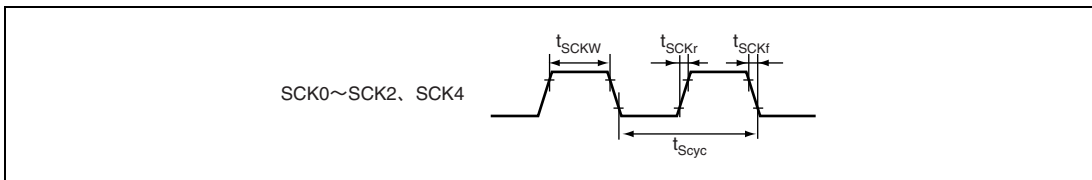


図 25.47 SCK クロック入カタイミング

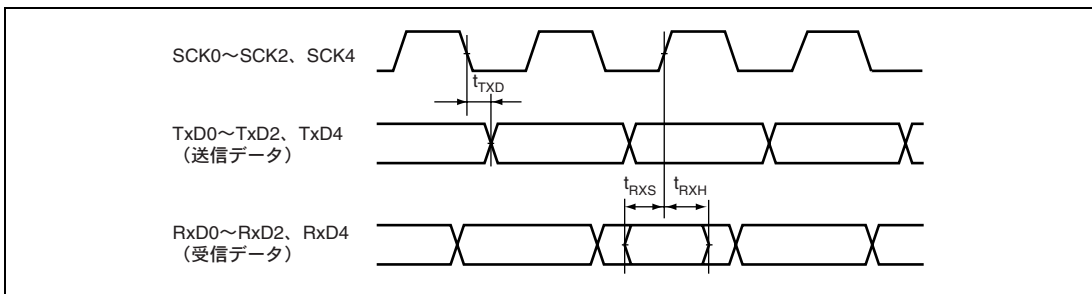


図 25.48 SCI 入出カタイミング/クロック同期式モード

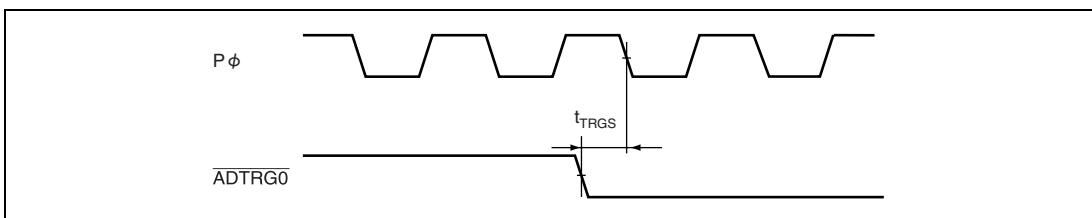


図 25.49 A/D 変換器外部トリガ入カタイミング

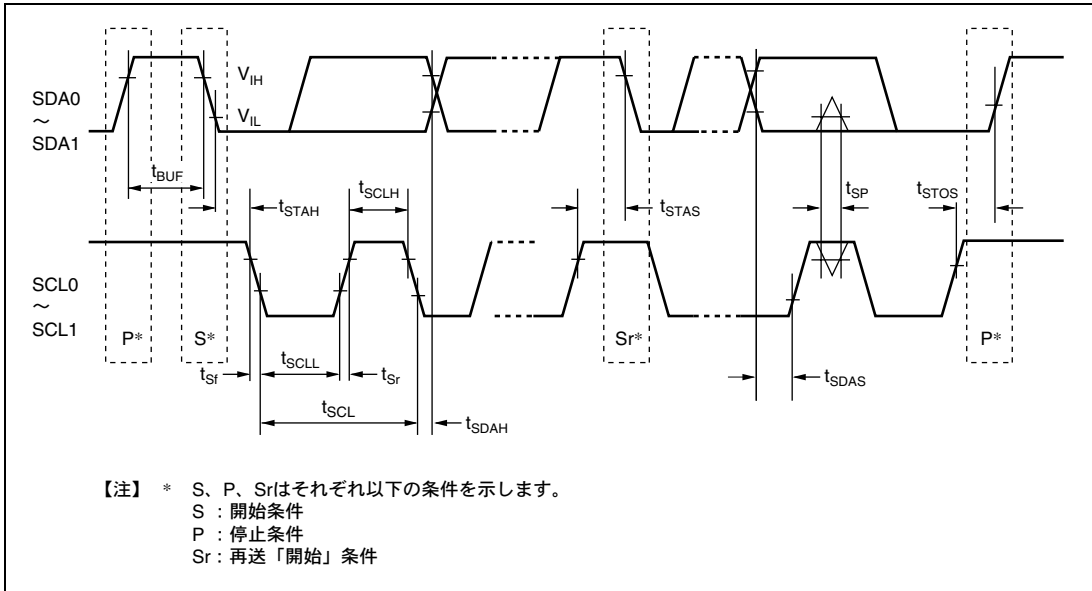


図 25.50 I²C バスインタフェース 2 入出力タイミング【オプション】

25.4 USB 特性

表 25.9 内蔵 USB トランシーバ使用時の USB 特性 (USD+、USD-端子特性)

条件 : Vcc=PLLVcc=DrVcc=3.0~3.6V、Vss=PLLVss=DrVss=AVss=0V、CKU=48MHz

Ta=-20~+75°C (通常仕様品)、Ta=-40~+85°C (広温度範囲仕様品)

項 目	記号	条件		単位	測定条件		
		min	max				
入力特性	入力 High レベル電圧	V _{IH}	2.0	-	V		図 25.51
	入力 Low レベル電圧	V _{IL}	-	0.8	V		図 25.52
	作動入力感度	V _{DI}	0.2	-	V	(D+) - (D-)	
	作動共通モードレンジ	V _{CM}	0.8	2.5	V		
出力特性	出力 High レベル電圧	V _{OH}	2.8	-	V	I _{OH} = -200 μA	
	出力 Low レベル電圧	V _{OL}	-	0.3	V	I _{OL} = 2mA	
	クロスオーバー電圧	V _{CRS}	1.3	2.0	V		
	立ち上がり時間	t _R	4	20	ns		
	立ち下がり時間	t _F	4	20	ns		
	立ち上がり/立ち下がり 時間マッチング	t _{RFM}	90	111.11	%	(T _R /T _F)	
	出力抵抗	Z _{DRV}	28	44	Ω	R _S = 22 Ω を含む	

25. 電気的特性

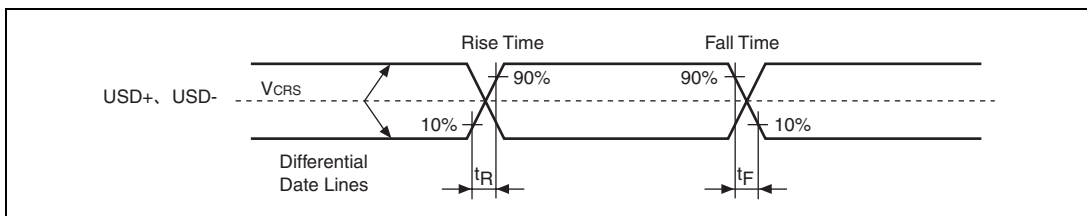


図 25.51 データ信号タイミング

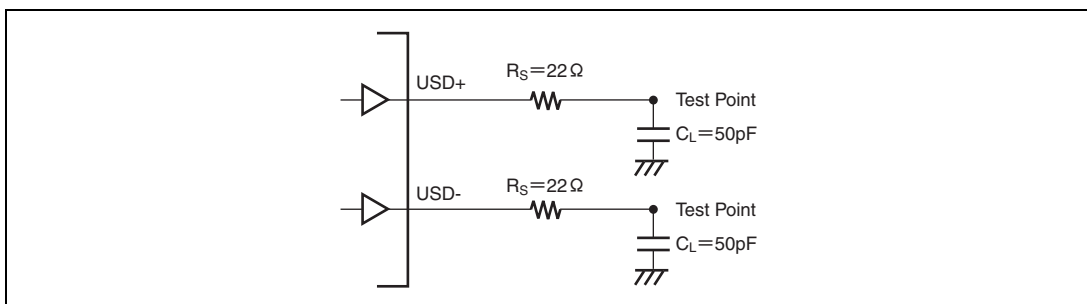


図 25.52 負荷条件

25.5 A/D 変換特性

表 25.10 A/D 変換特性

条件：Vcc=PLLVcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=DrVss=AVss=0V、

Pφ=8~35MHz

Ta=-20~+75℃（通常仕様品）、Ta=-40~+85℃（広温度範囲仕様品）

項目	min	typ	max	単位
分解能	10	10	10	ビット
変換時間	7.6	-	-	μs
アナログ入力容量	-	-	20	pF
許容信号源インピーダンス	-	-	5	KΩ
非直線性誤差	-	-	±7.5	LSB
オフセット誤差	-	-	±7.5	LSB
フルスケール誤差	-	-	±7.5	LSB
量子化誤差	-	±0.5	-	LSB
絶対精度	-	-	±8.0	LSB

25.6 D/A 変換特性

表 25.11 D/A 変換特性

条件：Vcc=PLLVcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=DrVss=AVss=0V、

Pφ=8~35MHz

Ta=-20~+75°C（通常仕様品）、Ta=-40~+85°C（広温度範囲仕様品）

項目	min	typ	max	単位	測定条件
分解能	8	8	8	ビット	
変換時間	—	—	10	μs	負荷容量 20pF
絶対精度	—	±2.0	±3.0	LSB	負荷抵抗 2MΩ
	—	—	±2.0	LSB	負荷抵抗 4MΩ

25.7 フラッシュメモリ特性

25.7.1 H8SX/1663

表 25.12 フラッシュメモリ特性

条件：Vcc=PLLVcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=DrVss=AVss=0V

書き込み/消去時の動作温度範囲

Ta=0~75°C（通常仕様品）

Ta=0~85°C（広温度範囲仕様品）

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*}	t _p	—	3	30	ms/128 バイト	
消去時間 ^{*1*}	t _E	—	160	800	ms/4k バイトブロック	
		—	1000	5000	ms/32k バイトブロック	
		—	2000	10000	ms/64k バイトブロック	
書き込み時間（総和） ^{*1*}	Σ t _p	—	8	23	s/384k バイト	Ta=25°C、 all0 時
消去時間（総和） ^{*1*}	Σ t _E	—	15	45	s/384k バイト	Ta=25°C
書き込み、消去時間（総和） ^{*1*}	Σ t _{pE}	—	23	68	s/384k バイト	Ta=25°C
書き換え回数	N _{WEC}	100 ^{*3}	—	—	回	
データ保持時間 ^{*4}	T _{DRP}	10	—	—	年	

【注】 *1 書き込み、消去時間はデータに依存します。

*2 書き込み、消去時間はデータ転送時間は含みません。

*3 書き換え後のすべての特性を保証する min.回数です。（保証は 1~min.値の範囲）

*4 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

25. 電気的特性

25.7.2 H8SX/1664

表 25.13 フラッシュメモリ特性

条件：Vcc=PLLVcc=DrVcc=3.0~3.6V、AVcc=3.0~3.6V、Vref=3.0V~AVcc、Vss=PLLVss=DrVss=AVss=0V

書き込み/消去時の動作温度範囲

Ta=0~75°C (通常仕様品)

Ta=0~85°C (広温度範囲仕様品)

項目	記号	min	typ	max	単位	測定条件
書き込み時間 ^{*1*}	t _p	—	3	30	ms/128 バイト	
消去時間 ^{*1*}	t _E	—	160	800	ms/4k バイトブロック	
		—	1000	5000	ms/32k バイトブロック	
		—	2000	10000	ms/64k バイトブロック	
書き込み時間 (総和) ^{*1*}	Σ t _p	—	10	30	s/512k バイト	Ta=25°C、all0 時
消去時間 (総和) ^{*1*}	Σ t _E	—	20	60	s/512k バイト	Ta=25°C
書き込み、消去時間 (総和) ^{*1*}	Σ t _{PE}	—	30	90	s/512k バイト	Ta=25°C
書き換え回数	N _{WEC}	100 ^{*3}	—	—	回	
データ保持時間 ^{*4}	T _{DRP}	10	—	—	年	

- 【注】 *1 書き込み、消去時間はデータに依存します。
 *2 書き込み、消去時間はデータ転送時間は含みません。
 *3 書き換え後のすべての特性を保証する min.回数です。(保証は 1~min.値の範囲)
 *4 書き換えが min.値を含む仕様範囲内で行われたときの特性です。

付録

A. 各処理状態におけるポートの状態

表 A.1 各処理状態におけるポートの状態

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェアスタンバイモード		バス権 開放状態
				OPE=1	OPE=0	
ポート 1	全モード	HiZ	HiZ	Keep		
ポート 2	全モード	HiZ	HiZ	Keep		
ポート 3	全モード	HiZ	HiZ	Keep		
P50~P55	全モード	HiZ	HiZ	HiZ		keep
P56/AN6/DA0/ IRQ6-B	全モード	HiZ	HiZ	[DAOE0=1] keep [DAOE0=0] HiZ		keep
P57/AN7/DA1 IRQ7-B	全モード	HiZ	HiZ	[DAOE1=1] keep [DAOE1=0] HiZ		keep
P60~P65	全モード	HiZ	HiZ	keep		
PA0/BREQ0/ BS-A	全モード	HiZ	HiZ	[BREQ0 出力時] HiZ		[BREQ0 出力時] BREQ0
				[BS 出力時] keep	[BS 出力時] HiZ	[BS 出力時] HiZ
				[上記以外] keep		[上記以外] keep
PA1/BACK/ (RD/WR)	全モード	HiZ	HiZ	[BACK 出力時] HiZ		[BACK 出力時] BACK
				[RD/WR 出力時] keep	[RD/WR 出力時] HiZ	
				[上記以外] keep		

付録

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェアスタンバイモード		バス権 開放状態
				OPE=1	OPE=0	
PA2/BREQ/WAIT	全モード	HiZ	HiZ	[BREQ 入力時] HiZ [WAIT 入力時] HiZ [上記以外] keep		[BREQ 入力時] HiZ(BREQ) [WAIT 入力時] HiZ (WAIT)
PA3/LLWR/LLB	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		keep
	外部拡張モード (EXPE=1)	H	HiZ	H	HiZ	
PA4/LHWR/LUB	シングルチップ モード (EXPE=0)	HiZ	HiZ	Keep		keep
	外部拡張モード (EXPE=1)	H	HiZ	[LHWR、LUB 出力時] H [上記以外] keep	[LHWR、LUB 出力時] HiZ [上記以外] keep	
PA5/RD	シングルチップ モード (EXPE=0)	HiZ	HiZ	keep		
	外部拡張モード (EXPE=1)	H	HiZ	H	HiZ	
PA6/AS/AH/ BS-B	シングルチップ モード (EXPE=0)	HiZ	HiZ	[AS、BS 出力時] H [AH 出力時] L [上記以外] keep	[AS、AH、BS 出力時] HiZ [上記以外] keep	
	外部拡張モード (EXPE=1)	H				
PA7/Bφ	シングルチップ モード (EXPE=0)	HiZ	HiZ	[クロック出力時] H [上記以外] keep		[クロック出力時] クロック出力 [上記以外] keep
	外部拡張モード (EXPE=1)	クロック 出力	HiZ			keep

ポート名 端子名	MCU 動作モード	リセット	ハードウェア スタンバイ モード	ソフトウェアスタンバイモード		バス権 開放状態
				OPE=1	OPE=0	
PB0/ $\overline{\text{CS0}}$ / $\overline{\text{CS4}}$ / $\overline{\text{CS5-B}}$	シングルチップ モード (EXPE=0)	HiZ	HiZ	[$\overline{\text{CS}}$ 出力時] H [上記以外] keep	[$\overline{\text{CS}}$ 出力時] HiZ [上記以外] keep	
	外部拡張モード (EXPE=1)	H				
PB1/ $\overline{\text{CS1}}$ / $\overline{\text{CS2-B}}$ / $\overline{\text{CS5-A}}$ / $\overline{\text{CS6-B}}$ / $\overline{\text{CS7-B}}$	全モード	HiZ	HiZ	[$\overline{\text{CS}}$ 出力時] H [上記以外] keep	[$\overline{\text{CS}}$ 出力時] HiZ [上記以外] keep	
PB2/ $\overline{\text{CS2-A}}$ / $\overline{\text{CS6-A}}$	全モード	HiZ	HiZ	[$\overline{\text{CS}}$ 出力時] H [上記以外] keep	[$\overline{\text{CS}}$ 出力時] HiZ [上記以外] keep	
PB3/ $\overline{\text{CS3}}$ / $\overline{\text{CS7-A}}$	全モード	HiZ	HiZ	[$\overline{\text{CS}}$ 出力時] H [上記以外] keep	[$\overline{\text{CS}}$ 出力時] HiZ [上記以外] keep	
PC2/ $\overline{\text{LUCAS}}$ / DQMLU	全モード	HiZ	HiZ	[$\overline{\text{LUCAS}}$, DQMLU 出力時] H [上記以外] keep	[$\overline{\text{LUCAS}}$, DQMLU 出力時] H [上記以外] keep	
PC3/ $\overline{\text{LLCAS}}$ / DQMLL	全モード	HiZ	HiZ	[$\overline{\text{LLCAS}}$, DQMLL 出力時] H [上記以外] keep	[$\overline{\text{LLCAS}}$, DQMLL 出力時] H [上記以外] keep	
ポート D	外部拡張モード (EXPE=1)	L	HiZ	Keep	HiZ	
	ROM 有効拡張 モード	HiZ	HiZ	Keep	[アドレス出力時] HiZ [上記以外] Keep	
	シングルチップ モード (EXPE=0)	HiZ	HiZ	keep		

付録

ポート名 端子名	MCU 動作モード		リセット	ハードウェア スタンバイ モード	ソフトウェアスタンバイモード		バス権 開放状態
					OPE=1	OPE=0	
ポート E	外部拡張モード (EXPE=1)		L	HiZ	Keep	HiZ	
	ROM 有効拡張 モード		HiZ	HiZ	Keep	[アドレス出力時] HiZ [上記以外] Keep	
	シングルチップ モード (EXPE=0)		HiZ	HiZ	keep		
PF7~PF0	外部拡張モード (EXPE=1)		L/HiZ*	HiZ	keep	[アドレス出力時] HiZ [上記以外] Keep	
	シングルチップ モード (EXPE=0)		HiZ	HiZ	Keep	Keep	
ポート H	シングルチップ モード (EXPE=0)		HiZ	HiZ	Keep		
	外部拡張モード (EXPE=1)		HiZ	HiZ	HiZ		
ポート I	シングルチップ モード (EXPE=0)		HiZ	HiZ	Keep		
	外部拡張 モード (EXPE=1)	バス幅 8 ビット	HiZ	HiZ	Keep		
		バス幅 16 ビット	HiZ	HiZ	HiZ		
		バス幅 32 ビット	HiZ	HiZ	HiZ		
ポート M	全モード		HiZ	HiZ	Keep		

【記号説明】

H : High レベル

L : Low レベル

Keep : 入力ポートはハイインピーダンス、出力ポートは保持

HiZ : ハイインピーダンス

B. 型名一覧

製品分類	製品型名	マーク型名	パッケージ (パッケージコード)
H8SX/1663	R5F61663	R5F61663	FP-144LV*
H8SX/1664	R5F61664	R5F61664	FP-144LV*

【注】 * Pbフリー版

D. 未使用端子の処理について

未使用端子の処理を表 D.1 に示します。

表 D.1 未使用端子の処理例

端子名	モード 4	モード 5	モード 6	モード 7
RES	(リセット端子として必ず使用)			
STBY	• 抵抗を介して Vcc に接続 (プルアップ)			
EMLE	• 抵抗を介して Vss に接続 (プルダウン)			
MD_CLK	(モード端子として必ず使用)			
MD3~MD0	(モード端子として必ず使用)			
NMI	• 抵抗を介して Vcc に接続 (プルアップ)			
EXTAL	(クロック端子として必ず使用)			
XTAL	• 端子を開放			
OSC1	• 抵抗を介して Vss に接続 (プルダウン)			
OSC2	• 端子を開放			
WDTOVF	• 端子を開放			
USD+	• 端子を開放			
USD-	• 端子を開放			
VBUS	• 抵抗を介して Vss に接続 (プルダウン)			
ポート 1 ポート 2 ポート 3 ポート 6 PA2~PA0 PB7~PB1 ポート C PF7~PF5 ポート M	• 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)			
ポート 5	• 端子ごとに抵抗を介して AVcc に接続 (プルアップ) または抵抗を介して AVss に接続 (プルダウン)			
PA7	• 初期状態では B ₀ 出力のため端子を開放			• 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
PA6	• 初期状態では A _S 出力のため端子を開放			
PA5	• 初期状態では R _D 出力のため端子を開放			
PA4	• 初期状態では LHWR 出力のため端子を開放			
PA3	• 初期状態では LLWR 出力のため端子を開放			
PB0	• 初期状態では CS ₀ 出力のため端子を開放			
ポート D ポート E PF4~PF0	• 初期状態ではアドレス出力のため端子を開放			

付録

端子名	モード 4	モード 5	モード 6	モード 7
ポート H	(データバスとして使用)			<ul style="list-style-type: none"> • 端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)
ポート I	(データバスとして使用)	初期状態では汎用入力のため、端子ごとに抵抗を介して Vcc に接続 (プルアップ) または抵抗を介して Vss に接続 (プルダウン)		
Vref	<ul style="list-style-type: none"> • AVcc に接続 			

- 【注】
1. 未使用端子に対する PnICR レジスタは初期値 (入力バッファ無効) から変更しないでください。
 2. 初期状態から変更する場合、必要に応じてプルアップまたはプルダウンしてください。

索引

【数字／記号】	
0 出力／1 出力.....	10-41
16 ビットアクセス空間.....	6-53
16 ビットカウントモード.....	12-22
16 ビットタイムバルスユニット (TPU)	10-1
32K タイマ (TM32K)	13-1
8 ビットアクセス空間.....	6-52
8 ビットタイマ (TMR)	12-1
φクロック出力制御.....	23-19
【A】	
A/D 変換器.....	18-1
A/D 変換精度.....	18-11
AT カット並列共振形.....	22-7
【C】	
CPU に対する DTC の優先レベル制御機能.....	5-30
CRC 演算器.....	15-81
【D】	
D/A 変換器.....	19-1
DMA コントローラ (DMAC)	7-1
DRAM インタフェース.....	6-45, 6-88
DTC ベクタアドレス.....	8-12
DTC ベクタアドレスオフセット.....	8-12
【I】	
I/O ポート.....	9-1
I ² C バスインタフェース 2 (IIC2)	17-1
I ² C バスフォーマット.....	17-13
ID コード.....	15-47
IRQn 割り込み.....	5-14
【M】	
MCU 動作モード.....	3-1
【N】	
NMI 割り込み.....	5-14
【P】	
PLL 回路.....	22-1, 22-8
【R】	
RAM.....	20-1
【U】	
USB ファンクションモジュール.....	16-1
USB 標準コマンド.....	16-47
【あ】	
アイドルサイクル.....	6-149
アクセスステート数.....	6-44
アクノリッジ.....	17-13
アドレス/データマルチプレクス	
I/O インタフェース.....	6-45, 6-79
アドレスエラー.....	4-8
アドレスマップ.....	3-7
アドレスモード.....	7-20
一般不当命令.....	4-13
インターバルタイマ.....	14-7
インターバルタイマモード.....	14-7
インタラプトイン転送.....	16-46
インバースコンベンション.....	15-62
ウェイト制御.....	6-62
ウォッチドッグタイマ (WDT)	14-1
ウォッチドッグタイマモード.....	14-6
エラーシグナル.....	15-61
エラープロテクト.....	21-44
エリア 0.....	6-48
エリア 1.....	6-49
エリア 2.....	6-49
エリア 3.....	6-49
エリア 4.....	6-50
エリア 5.....	6-50
エリア 6.....	6-51
エリア 7.....	6-51
エリア分割.....	6-41
エンディアンとデータアライメント.....	6-52
エンディアン形式.....	6-44

オーバフロー	12-21, 14-6
オープンドレインコントロールレジスタ	9-10
オフセット加算	7-33
オフセット誤差	18-11
オンボードプログラミング	21-25
オンボードプログラミングモード	21-25

【か】

外形寸法図	付録-6
外部アクセスバス	6-34
外部クロック	22-8
外部バス	6-38
外部バスインタフェース	6-43
外部バスクロック (Bφ)	6-34, 22-1
外部ライトデータバッファ機能	6-167
外部割り込み要因	5-14
書き込み/消去インタフェース	21-6
書き込み/消去インタフェースパラメータ	21-14
書き込み/消去インタフェースレジスタ	21-10
拡張リビートエリア	7-18
拡張リビートエリア機能	7-31
各ポートの出力信号有効設定一覧	9-38
各ポートのレジスタ構成	9-7
カスケード接続	12-22
カスケード接続動作	10-48
型名一覧	付録-5
基本バスインタフェース	6-44, 6-55
クロック同期化サイクル (Tsy)	6-35
クロック同期式モード	15-52
クロック発振器	22-1
コントロール転送	16-36
コンペアマッチ A	12-19
コンペアマッチ B	12-20
コンペアマッチカウントモード	12-22
コンペアマッチ信号	12-19

【さ】

サイクルスチールモード	7-30
サンプル&ホールド回路	18-9
システムクロック (Iφ)	6-34, 22-1
周辺モジュールクロック (Pφ)	22-1
周辺モジュールクロック (Pφ)	6-34
周辺モジュールライトデータバッファ機能	6-168
出力トリガ	11-12
出力バッファ制御	9-11
ショートアドレスモード	8-10
処理状態	2-42

シリアルコミュニケーションインタフェース (SCI)	15-1
シングルアドレスモード	7-21
シングルモード	18-7
シンクロナス DRAM インタフェース	6-46, 112
水晶発振子	22-7
スキャンモード	18-8
スタートビット	15-37
ステータスステージ	16-39
ストール動作	16-48
ストップビット	15-37
ストローブアサート/ネゲートタイミング	6-47
スペース	15-37
スマートカードインタフェース	15-60
スリープモード	23-2, 23-11
スレーブ受信モード	17-20
スレーブ送信モード	17-18
スロット不当命令	4-13
絶対精度	18-11
セットアップステージ	16-39
全モジュールクロックストップモード	23-2
送受信データ	15-37
ソフトウェアスタンバイモード	23-2, 23-12
ソフトウェアプロテクト	21-43

【た】

ダイレクトコンベンション	15-62
ダウンロードバスフェイルリザルトパラメータ	21-16
ダブルバッファ	15-37
端子機能	1-9
チェイン転送	8-21
チップセレクト (CS) アサート期間拡張	6-65
チップセレクト信号	6-42
調歩同期式モード	15-37
通信プロトコル	21-50
低消費電力	23-1
データステージ	16-39
データディレクションレジスタ	9-7
データトランスファコントローラ (DTC)	8-1
データレジスタ	9-8
デュアルアドレスモード	7-20
転送情報	8-10
転送情報ライトバックスキップ機能	8-18
転送情報リードスキップ機能	8-18
転送モード	7-23
同期クリア	10-43
同期プリセット	10-43

動作モード別ピン配置一覧	1-4
トグル出力	10-41
トラップ命令例外処理	4-11
トレース例外処理	4-7

【な】

内蔵 ROM 無効	3-1
内蔵 ROM 有効	3-1
内蔵ポーレートジェネレータ	15-40
内部システムバス	6-34
内部周辺バス	6-34
内部ブロック図	1-2
内部割り込み	5-15
入力バッファコントロールレジスタ	9-9
ノイズ除去回路	17-22
ノーマル転送モード	7-23, 8-19
ノンオーバーラップ動作	11-13

【は】

バースト ROM インタフェース	6-45, 6-75
バーストモード	7-30
ハードウェアスタンバイモード	23-2, 23-15
ハードウェアプロテクト	21-43
バイト制御 SRAM インタフェース	6-45, 6-67
バスアービトラージ	6-169
バスコントローラ (BSC)	6-1
バスサイクル分割	8-16
バスモード	7-29
バス解放	6-162
バス権解放状態	2-42
バス構成	6-34
バス幅	6-44
パッケージ	1-2
発振器	22-7
パリティビット	15-37
バルクアウト転送	16-43
バルクイン転送	16-44
非直線性誤差	18-11
ビッグエンディアン	6-44
ビットレート	15-23
ビット同期回路	17-27
ピン配置図	1-3
ブートモード	21-3, 21-25
ブートモードの標準シリアル通信	
インタフェース仕様	21-48
不当命令	4-13
フラッシュイレースブロックセレクトパラメータ	21-23

フラッシュバス/フェイルパラメータ	21-17
フラッシュプログラム/イレース周波数	
パラメータ	21-20
フラッシュマルチパーバスアドレスエリア	
パラメータ	21-21
フラッシュマルチパーバスデータデスティネーション	
パラメータ	21-22
フラッシュメモリ	21-1
フリーランニングカウント動作	10-39
ブルアップ MOS コントロールレジスタ	9-9
フルアドレスモード	8-10
フルスケール誤差	18-11
プログラマブルパルスジェネレータ (PPG)	11-1
プログラム実行状態	2-42
プログラム停止状態	2-42
ブロック構成	21-4, 21-5
ブロック転送モード	7-25, 8-20
プロテクト	21-43
分解能	18-11
分周器	22-1
平均転送レートジェネレータ	15-2
ベクタテーブルアドレス	4-2
ベクタテーブルアドレスオフセット	4-2
ポートファンクションコントローラ	9-44
ポートレジスタ	9-8

【ま】

マーク状態	15-37, 15-76
マスタ受信モード	17-16
マスタ送信モード	17-14
マルチクロック機能	23-9
マルチプロセッサビット	15-47
マルチプロセッサ通信機能	15-47
モード 2	3-5
モード 4	3-5
モード 5	3-5
モード 6	3-5
モード端子	3-1

【や】

ユーザプログラムモード	21-3, 21-31
-------------	-------------

【ら】

ライターモード	21-3, 21-48
ライトデータバッファ機能	6-167
リードストロープ (RD) タイミング	6-64
リセット	4-4

リセット状態.....	2-42
リトルエンディアン.....	6-44
レポート転送モード.....	7-24, 8-19
量子化誤差.....	18-11
例外処理.....	4-1
例外処理後のスタックの状態.....	4-14
例外処理状態.....	2-42
例外処理ベクタテーブル.....	4-2
レジスタ	
ABWCR.....	6-5, 24-6, 24-21, 24-34
ADCR.....	18-6, 24-11, 24-27, 24-39
ADCSR.....	18-4, 24-11, 24-27, 24-39
ADDR.....	18-4, 24-11, 24-27, 24-39
ASTCR.....	6-6, 24-6, 24-22, 24-34
BCR1.....	6-16, 24-7, 24-22, 24-35
BCR2.....	6-18, 24-7, 24-22, 24-35
BROMCR.....	6-20, 24-7, 24-22, 24-35
BRR.....	15-23, 24-10, 24-26, 24-38
CCR.....	2-14
CPUPCR.....	5-4, 24-9, 24-25, 24-37
CRA.....	8-6
CRB.....	8-7
CRCCR.....	15-82
CRCDIR.....	15-83
CRCDOR.....	15-83
CSACR.....	6-13, 24-7, 24-22, 24-35
CTLR.....	16-19, 24-3, 24-15, 24-31
CVR.....	16-19, 24-3, 24-15, 24-31
DACR.....	7-14, 24-5, 24-18, 24-33
DACR01.....	19-2, 24-10, 24-26, 24-38
DADR0.....	19-2, 24-10, 24-26, 24-38
DADR1.....	19-2, 24-10, 24-26, 24-38
DAR.....	8-6
DASTS.....	16-15, 24-3, 24-15, 24-31
DBSR.....	7-7, 24-5, 24-18, 24-33
DDAR.....	7-5, 24-5, 24-17, 24-33
DDR.....	9-7, 24-4, 24-16, 24-32
DMA.....	16-17, 24-3, 24-15, 24-31
DMDR.....	7-8, 24-5, 24-18, 24-33
DMRSR.....	7-19
DOFR.....	7-6, 24-5, 24-18, 24-33
DPFR.....	21-16
DR.....	9-8, 24-10, 24-26, 24-38
DRACC.....	6-27
DRAMCR.....	6-23
DSAR.....	7-4, 24-5, 24-17, 24-33
DTCCR.....	8-8, 24-9, 24-25, 24-37
DTCER.....	8-7, 24-9, 24-25, 24-37
DTCR.....	7-6, 24-5, 24-18, 24-33
DTCVBR.....	8-9, 24-6, 24-21, 24-34
ENDIANCR.....	6-19, 24-7, 24-22, 24-35
EPDR0i.....	16-11, 24-3, 24-15, 24-31
EPDR0o.....	16-11, 24-3, 24-15, 24-31
EPDR0s.....	16-12, 24-3, 24-15, 24-31
EPDR1.....	16-12, 24-3, 24-15, 24-31
EPDR2.....	16-12, 24-3, 24-15, 24-31
EPDR3.....	16-13, 24-3, 24-15, 24-31
EPIR.....	16-21, 24-3, 24-15, 24-31
EPSTL.....	16-18, 24-3, 24-15, 24-31
EPSZ0o.....	16-13, 24-3, 24-15, 24-31
EPSZ1.....	16-14, 24-3, 24-15, 24-31
EXR.....	2-15
FCCS.....	21-10, 24-7, 24-23, 24-36
FCLR.....	16-16, 24-3, 24-15, 24-31
FEBS.....	21-23
FECS.....	21-12, 24-8, 24-23, 24-36
FKEY.....	21-12, 24-8, 24-23, 24-36
FMPAR.....	21-21
FMPDR.....	21-22
FPCS.....	21-11, 24-8, 24-23, 24-36
FPEFEQ.....	21-20
FPFR.....	21-17
FTDAR.....	21-13, 24-8, 24-23, 24-36
ICCRA.....	17-4, 24-8, 24-23, 24-36
ICCRB.....	17-6, 24-8, 24-23, 24-36
ICDRR.....	17-12, 24-8, 24-23, 24-36
ICDRS.....	17-12
ICDRT.....	17-12, 24-8, 24-23, 24-36
ICIER.....	17-8, 24-8, 24-23, 24-36
ICMR.....	17-7, 24-8, 24-23, 24-36
ICR.....	9-9, 24-4, 24-16, 24-32
ICSR.....	17-9, 24-8, 24-23, 24-36
IDLCR.....	6-14, 24-7, 24-22, 24-35
IER.....	5-7, 24-9, 24-25, 24-37
IER0.....	16-9, 24-2, 24-14, 24-30
IER1.....	16-10, 24-2, 24-15, 24-30
IER2.....	16-10, 24-2, 24-15, 24-31
IFR0.....	16-4, 24-2, 24-14, 24-30
IFR1.....	16-5, 24-2, 24-14, 24-30
IFR2.....	16-6, 24-2, 24-14, 24-30
INTCR.....	5-3, 24-9, 24-25, 24-37
IPR.....	5-5, 24-6, 24-21, 24-34
ISCRH.....	5-8, 24-6, 24-21, 24-34
ISCRL.....	5-8, 24-6, 24-21, 24-34

ISR	5-11, 24-9, 24-25, 24-37
ISR0	16-8, 24-3, 24-15, 24-31
ISR1	16-8, 24-3, 24-15, 24-31
ISR2	16-9, 24-3, 24-15, 24-31
MAC	2-15
MDCR	3-2, 24-7, 24-22, 24-35
MPXCR	6-22, 24-7, 24-22, 24-35
MRA	8-4
MRB	8-5
MSTPCRA	23-6, 24-7, 24-23, 24-35
MSTPCRB	23-6, 24-7, 24-23, 24-35
MSTPCRC	23-8, 24-7, 24-23, 24-35
NDERH	11-3, 24-10, 24-26, 24-38
NDERL	11-3, 24-10, 24-26, 24-38
NDRH	11-5, 24-10, 24-26, 24-38
NDRL	11-5, 24-10, 24-26, 24-38
ODR	9-10, 24-5, 24-17, 24-33
PC	2-13
PCR(I/O ポート)	9-9, 24-5, 24-17, 24-33
PCR(PPG)	11-7, 24-10, 24-26, 24-38
PFCR0	9-44, 24-5, 24-17, 24-33
PFCR1	9-45, 24-5, 24-17, 24-33
PFCR2	9-46, 24-5, 24-17, 24-33
PFCR4	9-47, 24-5, 24-17, 24-33
PFCR6	9-48, 24-5, 24-17, 24-33
PFCR7	9-49, 24-5, 24-17, 24-33
PFCR9	9-50, 24-5, 24-17, 24-33
PFCRB	9-51, 24-5, 24-17, 24-33
PFCRC	9-52, 24-5, 24-17, 24-33
PMR	11-8, 24-10, 24-26, 24-38
PODRH	11-4, 24-10, 24-26, 24-38
PODRL	11-4, 24-10, 24-26, 24-38
PORT	9-8, 24-9, 24-25, 24-37
RAMER	21-24, 24-7, 24-22, 24-35
RDNCR	6-11, 24-7, 24-22, 24-35
RDR	15-8, 24-10, 24-27, 24-39
REFCR	6-29
RSR	15-8
RSTCSR	14-5, 24-11, 24-27, 24-39
RTCNT	6-33
RTCOR	6-33
SAR	8-6, 17-11, 24-8, 24-23, 24-36
SBR	2-15
SBYCR	23-4, 24-7, 24-23, 24-35
SCKCR	22-3, 24-7, 24-23, 24-35
SCMR	15-22, 24-11, 24-27, 24-39
SCR	15-12, 24-10, 24-27, 24-38
SDCR	6-28
SEMR	15-29, 15-30, 24-7, 24-23, 24-35
SMR	15-9, 24-10, 24-26, 24-38
SRAMCR	6-19, 24-7, 24-22, 24-35
SSIER	5-13, 24-5, 24-17, 24-33
SSR	15-16, 24-10, 24-27, 24-38
SYSCR	3-3, 24-7, 24-23, 24-35
TCCR	12-11, 24-11, 24-28, 24-39
TCNT	12-9
TCNT(TMR)	24-11, 24-28, 24-39
TCNT(TPU)	10-35, 24-12, 24-28, 24-40
TCNT(WDT)	14-3, 24-11, 24-27, 24-39
TCNT32K	13-2, 24-4, 24-16, 24-32
TCORA	12-9, 24-11, 24-28, 24-39
TCORB	12-9, 24-11, 24-28, 24-39
TCR	12-10
TCR(TMR)	24-11, 24-27, 24-39
TCR(TPU)	10-8, 24-11, 24-28, 24-40
TCR32K	13-2, 24-4, 24-16, 24-32
TCSR	12-14
TCSR(TMR)	24-11, 24-28, 24-39
TCSR(WDT)	14-3, 24-11, 24-27, 24-39
TDR	15-9, 24-10, 24-27, 24-38
TGR	10-35, 24-12, 24-28, 24-40
TIER	10-31, 24-12, 24-28, 24-40
TIOR	10-13, 24-12, 24-28, 24-40
TMDR	10-12, 24-12, 24-28, 24-40
TRG	16-14, 24-3, 24-15, 24-31
TRNTREG0	16-25, 24-3, 24-15, 24-31
TRNTREG1	16-26, 24-3, 24-15, 24-31
TSR	15-9
TSR(TPU)	10-32, 24-12, 24-28, 24-40
TSTR	10-36, 24-11, 24-28, 24-39
TSYR	10-36, 24-11, 24-28, 24-39
VBR	2-15
WTCRA	6-7, 24-6, 24-22, 24-35
WTCRB	6-7, 24-6, 24-22, 24-35
汎用レジスタ	2-12
レジスタアドレス一覧	24-2
レジスタビット一覧	24-14
【わ】	
割り込み	4-10
割り込み応答時間	5-26
割り込みコントローラ	5-1
割り込み制御モード 0	5-21
割り込み制御モード 2	5-23

割り込み要因..... 5-14
割り込み要因とベクタアドレスオフセット..... 5-16

割り込み例外処理シーケンス 5-25
割り込み例外処理ベクタテーブル 5-15

ルネサス32ビットCISCマイクロコンピュータ
ハードウェアマニュアル
H8SX/1663グループ

発行年月日 2006年6月2日 Rev.1.00
発行 株式会社ルネサス テクノロジ 営業統括部
〒100-0004 東京都千代田区大手町 2-6-2
編集 株式会社ルネサスソリューションズ
グローバルストラテジックコミュニケーション本部
カスタマサポート部

株式会社ルネサス テクノロジ 営業統括部 〒100-0004 東京都千代田区大手町2-6-2 日本ビル



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本			社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	浜	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	東	支	社	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
東	北	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	わ	支	店	〒970-8026	いわき市平小太郎町4-9 (平小太郎ビル)	(0246) 22-3222
茨	城	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	潟	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	本	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	支	社	〒460-0008	名古屋市中区栄4-2-29 (名古屋広小路ブレイス)	(052) 249-3330
関	西	支	社	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	陸	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	島	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
島	取	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	州	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695

■技術的なお問合せおよび資料のご請求は下記へどうぞ。

総合お問合せ窓口：コンタクトセンター E-Mail: csc@renesas.com

H8SX/1663 グループ ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0319-0100