

お客様各位

カタログ等資料中の旧社名の扱いについて

2010 年 4 月 1 日を以って NEC エレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願い申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010 年 4 月 1 日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】 <http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事用途の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。



ユーザーズ・マニュアル

V850ES/KJ2

32ビット・シングルチップ・マイクロコントローラ

ハードウェア編

μPD70F3733

μPD70F3734

資料番号 U17702JJ3V0UD00 (第3版)

発行年月 September 2008 N

© NEC Electronics Corporation 2005

(X モ)

目次要約

第1章	概 説	…	21
第2章	端子機能	…	33
第3章	CPU機能	…	48
第4章	ポート機能	…	89
第5章	バス制御機能	…	189
第6章	クロック発生機能	…	217
第7章	16ビット・タイマ／イベント・カウンタP (TMP)	…	230
第8章	16ビット・タイマ／イベント・カウンタ0 (TM0)	…	326
第9章	8ビット・タイマ／イベント・カウンタ5 (TM5)	…	409
第10章	8ビット・タイマH (TMH)	…	430
第11章	インターバル・タイマ, 時計タイマ	…	452
第12章	ウォッチドッグ・タイマ機能	…	464
第13章	リアルタイム出力機能 (RTO)	…	475
第14章	A/Dコンバータ	…	485
第15章	D/Aコンバータ	…	515
第16章	アシンクロナス・シリアル・インタフェース (UART)	…	520
第17章	クロック同期式シリアル・インタフェース0 (CSI0)	…	554
第18章	自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA)	…	582
第19章	I ² Cバス	…	620
第20章	DMA機能 (DMAコントローラ)	…	697
第21章	割り込み／例外処理機能	…	722
第22章	キー割り込み機能	…	763
第23章	スタンバイ機能	…	765
第24章	リセット機能	…	784
第25章	レギュレータ	…	789
第26章	フラッシュ・メモリ	…	791
第27章	オンチップ・デバッグ機能	…	816
第28章	電気的特性	…	836
第29章	外 形 図	…	883
第30章	半田付け推奨条件	…	884
付録A	開発ツール	…	885
付録B	命令セット一覧	…	896
付録C	レジスタ索引	…	905
付録D	注意事項一覧	…	915
付録E	改版履歴	…	949

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力にノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

注意： μ PD70F3733, 70F3734は、Silicon Storage Technology, Inc. からライセンスを受けたSuperFlash[®]を使用しています。

EEPROM, IECUBE, MINICUBEはNECエレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

- 本資料に記載されている内容は2008年3月現在のもので、今後、予告なく変更することがあります。量産設計の際には最新の個別データ・シート等をご参照ください。
- 文書による当社の事前の承諾なしに本資料の転載複製を禁じます。当社は、本資料の誤りに関し、一切その責を負いません。
- 当社は、本資料に記載された当社製品の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、一切その責を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
- 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責を負いません。
- 当社は、当社製品の品質、信頼性の向上に努めておりますが、当社製品の不具合が完全に発生しないことを保証するものではありません。また、当社製品は耐放射線設計については行っておりません。当社製品をお客様の機器にご使用の際には、当社製品の不具合の結果として、生命、身体および財産に対する損害や社会的損害を生じさせないよう、お客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計を行ってください。
- 当社は、当社製品の品質水準を「標準水準」、「特別水準」およびお客様に品質保証プログラムを指定していただく「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。

標準水準：コンピュータ、OA機器、通信機器、計測機器、AV機器、家電、工作機械、パーソナル機器、産業用ロボット

特別水準：輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器

特定水準：航空機器、航空宇宙機器、海底中継機器、原子力制御システム、生命維持のための医療機器、生命維持のための装置またはシステム等

当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。意図されていない用途で当社製品の使用をお客様が希望する場合には、事前に当社販売窓口までお問い合わせください。

(注)

- (1) 本事項において使用されている「当社」とは、NECエレクトロニクス株式会社およびNECエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいう。
- (2) 本事項において使用されている「当社製品」とは、(1)において定義された当社の開発、製造製品をいう。

はじめに

- 対 象 者** このマニュアルは、V850ES/KJ2の機能を理解し、それを用いた応用システムを設計するユーザを対象とします。
- 目 的** このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。
- 構 成** V850ES/KJ2のユーザーズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザーズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

- 読 み 方** このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850ES/KJ2の機能を理解しようとするとき

→目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

→付録C レジスタ索引を利用してください。

レジスタ・フォーマットの見方

→ビット番号を○で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

→別冊のV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

V850ES/KJ2の電気的特性を知りたいとき

→第28章 電気的特性を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
 - アクティブ・ロウの表記：xxx（端子，信号名称に上線）
 - メモリ・マップのアドレス：上部－上位，下部－下位
 - 注：本文中に付けた注の説明
 - 注意：気を付けて読んでいただきたい内容
 - 備考：本文の補足説明
 - 数の表記：2進数 … xxxxまたはxxxxB
 - 10進数 … xxxx
 - 16進数 … xxxxH
 - 2のべき数を示す接頭語（アドレス空間，メモリ容量）：
 - K（キロ）： $2^{10} = 1024$
 - M（メガ）： $2^{20} = 1024^2$
 - G（ギガ）： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/KJ2に関する資料

資 料 名	資料番号	
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J	U15943E
V850ES/KJ2 ユーザーズ・マニュアル ハードウェア編	このマニュアル	U17702E

開発ツールに関する資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
QB-V850ESKX1H インサーキット・エミュレータ	U17214J	U17214E
QB-V850MINI オンチップ・デバッグ・エミュレータ	U17638J	U17638E
QB-MINI2 プログラミング機能付きオンチップ・デバッグ・エミュレータ	U18371J	U18371E
CA850 Ver.3.20 C コンパイラ・パッケージ	操作編	U18512J
	C言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	U18416E
ID850QB Ver.3.40 統合デバッガ	操作編	U18604J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッグ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	テクニカル編	U13772J
	タスク・デバッグ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	U17423E
PG-FP4 フラッシュ・メモリ・プログラマ	U15260J	U15260E
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E
V850マイクロコントローラ フラッシュ・メモリ・セルフ・プログラミング・ライブラリ Type03 Ver.2.00	U18211J	U18211E

その他の資料

資 料 名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
NEC半導体デバイスの品質水準	C11531J	C11531E
NEC半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

和文：<http://www.necel.com/pkg/ja/jissou/index.html>

英文：<http://www.necel.com/pkg/en/mount/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

目 次

第1章 概 説 … 21

- 1.1 特 徴 … 21
- 1.2 応用分野 … 23
- 1.3 オーダ情報 … 23
- 1.4 端子接続図 (Top View) … 24
- 1.5 機能ブロック構成 … 26
- 1.6 機能概要 … 30
 - 1.6.1 V850ES/KJ2の機能概要 … 30
 - 1.6.2 V850ES/Kx2の製品展開 … 32

第2章 端子機能 … 33

- 2.1 端子機能一覧 … 33
- 2.2 端子状態 … 42
- 2.3 端子の入出力回路タイプと未使用時の処理 … 43
- 2.4 端子の入出力回路 … 46

第3章 CPU機能 … 48

- 3.1 特 徴 … 48
- 3.2 CPUレジスタ・セット … 49
 - 3.2.1 プログラム・レジスタ・セット … 50
 - 3.2.2 システム・レジスタ・セット … 51
- 3.3 動作モード … 57
- 3.4 アドレス空間 … 58
 - 3.4.1 CPUアドレス空間 … 58
 - 3.4.2 メモリ・マップ … 59
 - 3.4.3 領 域 … 61
 - 3.4.4 データ空間のラップ・アラウンド … 64
 - 3.4.5 アドレス空間の推奨使用方法 … 64
 - 3.4.6 周辺I/Oレジスタ … 68
 - 3.4.7 特定レジスタ … 80
 - 3.4.8 最初に設定するレジスタ … 84
 - 3.4.9 注意事項 … 85

第4章 ポート機能 … 89

- 4.1 特 徴 … 89
- 4.2 ポートの基本構成 … 89
- 4.3 ポートの構成 … 90
 - 4.3.1 ポート0 … 96
 - 4.3.2 ポート1 … 99
 - 4.3.3 ポート3 … 101

4.3.4	ポート4	...	107
4.3.5	ポート5	...	110
4.3.6	ポート6	...	113
4.3.7	ポート7	...	118
4.3.8	ポート8	...	120
4.3.9	ポート9	...	123
4.3.10	ポートCD	...	130
4.3.11	ポートCM	...	132
4.3.12	ポートCS	...	134
4.3.13	ポートCT	...	136
4.3.14	ポートDH	...	138
4.3.15	ポートDL	...	140
4.4	ブロック図	...	143
4.5	兼用機能使用時のポートのレジスタ設定	...	178
4.6	注意事項	...	187
4.6.1	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	...	187
4.6.2	ヒステリシス特性について	...	188
4.6.3	P05端子に関する注意事項	...	188

第5章 バス制御機能 ... 189

5.1	特 徴	...	189
5.2	バス制御端子	...	190
5.2.1	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	...	190
5.2.2	各動作モードの端子状態	...	191
5.3	メモリ・ブロック機能	...	191
5.3.1	チップ・セレクト制御機能	...	192
5.4	外部バス・インタフェース・モード制御機能	...	192
5.5	バス・アクセス	...	193
5.5.1	アクセス・クロック数	...	193
5.5.2	バス・サイズ設定機能	...	194
5.5.3	バス・サイズによるアクセス	...	195
5.6	ウェイト機能	...	202
5.6.1	プログラマブル・ウェイト機能	...	202
5.6.2	外部ウェイト機能	...	203
5.6.3	プログラマブル・ウェイトと外部ウェイトの関係	...	204
5.6.4	プログラマブル・アドレス・ウェイト機能	...	205
5.7	アイドル・ステート挿入機能	...	206
5.8	バス・ホールド機能	...	207
5.8.1	機能概要	...	207
5.8.2	バス・ホールド手順	...	208
5.8.3	パワー・セーブ・モード時の動作	...	208
5.9	バスの優先順位	...	209
5.10	バス・タイミング	...	210
5.11	注意事項	...	216

第6章 クロック発生機能 ... 217

6.1	概 要	...	217

6.2	構 成	...	218
6.3	レジスタ	...	220
6.4	動 作	...	224
6.4.1	各クロックの動作	...	224
6.4.2	クロック出力機能	...	224
6.4.3	外部クロック入力機能	...	224
6.5	PLL機能	...	225
6.5.1	概 要	...	225
6.5.2	レジスタ	...	225
6.5.3	使用方法	...	226
★ 6.6	発振子の接続方法	...	227
6.6.1	メイン・クロック発振回路	...	227
6.6.2	サブクロック発振回路	...	227

第7章 16ビット・タイマ／イベント・カウンタP (TMP) ... 230

7.1	機 能	...	230
7.2	構 成	...	231
★ 7.2.1	端子の構成	...	233
★ 7.2.2	割り込み機能	...	233
7.3	レジスタ	...	234
7.4	動 作	...	245
7.4.1	インターバル・タイマ・モード (TP0MD2-TP0MD0ビット = 000)	...	252
7.4.2	外部イベント・カウント・モード (TP0MD2-TP0MD0ビット = 001)	...	263
7.4.3	外部トリガ・パルス出力モード (TP0MD2-TP0MD0ビット = 010)	...	272
7.4.4	ワンショット・パルス出力モード (TP0MD2-TP0MD0ビット = 011)	...	284
7.4.5	PWM出力モード (TP0MD2-TP0MD0ビット = 100)	...	292
7.4.6	フリー・ランニング・タイマ・モード (TP0MD2-TP0MD0ビット = 101)	...	301
7.4.7	パルス幅測定モード (TP0MD2-TP0MD0ビット = 110)	...	317
7.4.8	タイマ出力動作説明	...	322
7.5	キャプチャ・トリガ入力端子 (TIP0n) のノイズ除去	...	323
7.6	注意事項	...	325

第8章 16ビット・タイマ／イベント・カウンタ0 (TM0) ... 326

8.1	機 能	...	326
8.2	構 成	...	327
★ 8.2.1	端子の構成	...	329
★ 8.2.2	割り込み機能	...	329
8.3	レジスタ	...	330
8.4	動 作	...	344
8.4.1	インターバル・タイマとしての動作	...	345
8.4.2	方形波出力としての動作	...	348
8.4.3	外部イベント・カウンタとしての動作	...	352
8.4.4	TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作	...	356
8.4.5	フリー・ランニング・タイマとしての動作	...	373
8.4.6	PPG出力としての動作	...	383
8.4.7	ワンショット・パルス出力としての動作	...	387
8.4.8	パルス幅測定としての動作	...	392

- 8.5 TM0nの特殊な使用方法 … 400
 - 8.5.1 コンペア・レジスタのTM0n動作中の書き換え … 400
 - 8.5.2 LVS0n, LVR0nビットの設定について … 400
- 8.6 注意事項 … 402

第9章 8ビット・タイマ／イベント・カウンタ5 (TM5) … 409

- 9.1 特 徴 … 409
- 9.2 機 能 … 409
- 9.3 構 成 … 410
 - ★ 9.3.1 端子の構成 … 411
 - ★ 9.3.2 割り込み機能 … 411
- 9.4 レジスタ … 412
- 9.5 動 作 … 418
 - 9.5.1 インターバル・タイマとしての動作 … 418
 - 9.5.2 外部イベント・カウンタとしての動作 … 420
 - 9.5.3 方形波出力としての動作 … 421
 - 9.5.4 8ビットPWM出力としての動作 … 422
 - 9.5.5 インターバル・タイマ (16ビット) としての動作 … 425
 - 9.5.6 外部イベント・カウンタ (16ビット) としての動作 … 427
 - 9.5.7 方形波出力 (16ビット) としての動作 … 428
 - 9.5.8 注意事項 … 429

第10章 8ビット・タイマH (TMH) … 430

- 10.1 特 徴 … 430
- 10.2 機 能 … 430
- 10.3 構 成 … 430
 - ★ 10.3.1 端子の構成 … 431
 - ★ 10.3.2 割り込み機能 … 431
- 10.4 レジスタ … 432
- 10.5 動 作 … 437
 - 10.5.1 インターバル・タイマ／方形波出力としての動作 … 437
 - 10.5.2 PWM出力モードとしての動作 … 440
 - 10.5.3 キャリア・ジェネレータ・モードとしての動作 … 446

第11章 インターバル・タイマ，時計タイマ … 452

- 11.1 インターバル・タイマBRG … 452
 - 11.1.1 機 能 … 452
 - 11.1.2 構 成 … 452
 - 11.1.3 レジスタ … 454
 - 11.1.4 動 作 … 456
- 11.2 時計タイマ … 457
 - 11.2.1 機 能 … 457
 - 11.2.2 構 成 … 457
 - 11.2.3 レジスタ … 459
 - 11.2.4 動 作 … 461
- 11.3 注意事項 … 462

第12章 ウォッチドッグ・タイマ機能 … 464

- 12.1 特 徴 … 464
- 12.2 ウォッチドッグ・タイマ1 … 464
 - 12.2.1 機 能 … 464
 - 12.2.2 構 成 … 465
 - 12.2.3 レジスタ … 466
 - 12.2.4 動 作 … 468
- 12.3 ウォッチドッグ・タイマ2 … 470
 - 12.3.1 機 能 … 470
 - 12.3.2 構 成 … 471
 - 12.3.3 レジスタ … 472
 - 12.3.4 動 作 … 474

第13章 リアルタイム出力機能（RTO） … 475

- 13.1 機 能 … 475
- 13.2 構 成 … 476
- 13.3 レジスタ … 478
- 13.4 動 作 … 480
- 13.5 使用方法 … 481
- 13.6 注意事項 … 482
- 13.7 セキュリティ機能 … 483

第14章 A/Dコンバータ … 485

- 14.1 概 要 … 485
- 14.2 機 能 … 485
- 14.3 構 成 … 486
- 14.4 レジスタ … 488
- 14.5 動 作 … 497
 - 14.5.1 基本動作 … 497
 - 14.5.2 トリガ・モード … 498
 - 14.5.3 動作モード … 499
 - 14.5.4 パワー・フェイル検出機能 … 502
 - 14.5.5 設定方法 … 503
- 14.6 注意事項 … 505
- 14.7 A/Dコンバータ特性表の読み方 … 511

第15章 D/Aコンバータ … 515

- 15.1 機 能 … 515
- 15.2 構 成 … 516
- 15.3 レジスタ … 517
- 15.4 使用方法 … 518
 - 15.4.1 通常モード時の使用方法 … 518
 - 15.4.2 リアルタイム出力モード時の使用方法 … 518
 - 15.4.3 注意事項 … 519

第16章 アシンクロナス・シリアル・インタフェース (UART) ... 520

- 16.1 特 徴 ... 520
- 16.2 構 成 ... 521
- 16.3 シリアル・インタフェースの割り当て ... 523
 - ★ 16.3.1 各チャネルの端子機能について ... 523
 - 16.3.2 UART2とCSI00を同時に使用したい場合 ... 524
 - 16.3.3 UART2とI²C1を同時に使用したい場合 ... 525
- 16.4 レジスタ ... 526
- 16.5 割り込み要求信号 ... 533
- 16.6 動 作 ... 534
 - 16.6.1 データ・フォーマット (調歩同期通信) ... 534
 - 16.6.2 送信動作 ... 535
 - 16.6.3 連続送信動作 ... 537
 - 16.6.4 受信動作 ... 541
 - 16.6.5 受信エラー ... 543
 - 16.6.6 パリティの種類と動作 ... 544
 - 16.6.7 受信データのノイズ・フィルタ ... 545
- 16.7 専用ボー・レート・ジェネレータ_n (BRG_n) ... 546
 - 16.7.1 ボー・レート・ジェネレータ_n (BRG_n) の構成 ... 546
 - 16.7.2 シリアル・クロックの生成 ... 547
 - 16.7.3 ボー・レート設定例 ... 550
 - 16.7.4 受信時の許容ボー・レート範囲 ... 551
 - 16.7.5 連続送信時のデータ・フレーム長 ... 553
- 16.8 注意事項 ... 553

第17章 クロック同期式シリアル・インタフェース0 (CSI0) ... 554

- 17.1 特 徴 ... 554
- 17.2 構 成 ... 555
- 17.3 レジスタ ... 559
- 17.4 割り込み要求信号 ... 568
 - 17.4.1 送受信完了割り込み要求信号 (INTCSI0_n) ... 568
- 17.5 動 作 ... 570
 - 17.5.1 シングル転送モード ... 570
 - 17.5.2 連続転送モード ... 573
- 17.6 出力端子 ... 581

第18章 自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA) ... 582

- 18.1 機 能 ... 582
- 18.2 特 徴 ... 583
- 18.3 構 成 ... 584
 - ★ 18.3.1 端子の構成 ... 584
- 18.4 レジスタ ... 586
- 18.5 動 作 ... 598
 - 18.5.1 3線式シリアルI/Oモード ... 598
 - 18.5.2 自動送受信機能付き3線式シリアルI/Oモード ... 603

第19章 I²Cバス … 620

- 19.1 UART2とI²C1のモード切り替え … 620
- 19.2 特 徴 … 621
- 19.3 構 成 … 624
- 19.4 レジスタ … 626
- 19.5 機 能 … 640
 - 19.5.1 端子構成 … 640
- 19.6 I²Cバスの定義および制御方法 … 641
 - 19.6.1 スタート・コンディション … 641
 - 19.6.2 アドレス … 642
 - 19.6.3 転送方向指定 … 643
 - 19.6.4 アクノリッジ (ACK) … 644
 - 19.6.5 ストップ・コンディション … 645
 - 19.6.6 ウェイト … 646
 - 19.6.7 ウェイト解除方法 … 648
- 19.7 I²C割り込み要求信号 (INTIICn) … 649
 - 19.7.1 マスタ動作 … 650
 - 19.7.2 スレーブ動作 (スレーブ・アドレス受信時 (アドレス一致)) … 653
 - 19.7.3 スレーブ動作 (拡張コード受信時) … 657
 - 19.7.4 通信不参加の動作 … 661
 - 19.7.5 アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作) … 662
 - 19.7.6 アービトレーション負けの動作 (アービトレーション負けのあと、不参加) … 664
- 19.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御 … 671
- 19.9 アドレスの一致検出方法 … 672
- 19.10 エラーの検出 … 672
- 19.11 拡張コード … 673
- 19.12 アービトレーション … 674
- 19.13 ウェイク・アップ機能 … 675
- 19.14 通信予約 … 676
 - 19.14.1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0) … 676
 - 19.14.2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1) … 679
- 19.15 注意事項 … 680
- 19.16 通信動作 … 681
 - 19.16.1 シングルマスタ・システムでのマスタ動作 … 682
 - 19.16.2 マルチマスタ・システムでのマスタ動作 … 683
 - 19.16.3 スレーブ動作 … 686
- 19.17 データ通信のタイミング … 690

第20章 DMA機能 (DMAコントローラ) … 697

- 20.1 特 徴 … 697
- 20.2 構 成 … 698
- 20.3 レジスタ … 700
- 20.4 転送対象 … 707
- 20.5 転送モード … 707
- 20.6 転送タイプ … 709

20.7	DMAチャネルの優先順位	...	709
20.8	DMA転送に関する各種時間	...	710
20.9	DMA転送起動要因	...	711
20.10	DMAの中断要因	...	712
20.11	DMA転送の終了	...	712
20.12	動作タイミング	...	712
20.13	注意事項	...	717

第21章 割り込み／例外処理機能 ... 722

21.1	概 要	...	722
21.1.1	特 徴	...	722
21.2	ノンマスカブル割り込み	...	725
21.2.1	動 作	...	728
21.2.2	復 帰	...	729
21.2.3	NPフラグ	...	730
21.3	マスカブル割り込み	...	731
21.3.1	動 作	...	731
21.3.2	復 帰	...	733
21.3.3	マスカブル割り込みの優先順位	...	734
21.3.4	割り込み制御レジスタ (xxICn)	...	738
21.3.5	割り込みマスク・レジスタ0-3 (IMR0-IMR3)	...	741
21.3.6	インサービス・プライオリティ・レジスタ (ISPR)	...	743
21.3.7	IDフラグ	...	744
21.3.8	ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)	...	745
21.4	外部割り込み要求入力端子 (NMI, INTP0-INTP7)	...	746
21.4.1	ノイズ除去	...	746
21.4.2	エッジ検出	...	748
21.5	ソフトウェア例外	...	752
21.5.1	動 作	...	752
21.5.2	復 帰	...	753
21.5.3	EPフラグ	...	754
21.6	例外トラップ	...	755
21.6.1	不正命令コード	...	755
21.6.2	デバッグ・トラップ	...	757
21.7	多重割り込み処理制御	...	759
21.8	割り込み応答時間	...	761
21.9	CPUが割り込みを受け付けられない期間	...	762
21.10	注意事項	...	762
21.10.1	復帰PC	...	762

第22章 キー割り込み機能 ... 763

★	22.1	機 能	...	763
	22.2	端子の構成	...	764
	22.3	レジスタ	...	764

第23章 スタンバイ機能 … 765

- 23.1 概 要 … 765
- 23.2 レジスタ … 767
- 23.3 HALTモード … 770
 - 23.3.1 設定および動作状態 … 770
 - 23.3.2 HALTモードの解除 … 770
- 23.4 IDLEモード … 772
 - 23.4.1 設定および動作状態 … 772
 - 23.4.2 IDLEモードの解除 … 773
- 23.5 STOPモード … 775
 - 23.5.1 設定および動作状態 … 775
 - 23.5.2 STOPモードの解除 … 776
 - 23.5.3 STOPモード解除時の発振安定時間の確保 … 778
- 23.6 サブクロック動作モード … 779
 - 23.6.1 設定および動作状態 … 779
 - 23.6.2 サブクロック動作モードの解除 … 779
- 23.7 サブIDLEモード … 781
 - 23.7.1 設定および動作状態 … 781
 - 23.7.2 サブIDLEモードの解除 … 782

第24章 リセット機能 … 784

- 24.1 概 要 … 784
- 24.2 構 成 … 784
- 24.3 動 作 … 785
- 24.4 注意事項 … 788

第25章 レギュレータ … 789

- 25.1 概 要 … 789
- 25.2 動 作 … 790

第26章 フラッシュ・メモリ … 791

- 26.1 特 徴 … 791
- 26.2 メモリ構成 … 792
- 26.3 機能概要 … 793
- 26.4 専用フラッシュ・プログラマでの書き換え … 797
 - 26.4.1 プログラミング環境 … 797
 - 26.4.2 通信方式 … 798
 - 26.4.3 インタフェース … 800
 - 26.4.4 フラッシュ・メモリ制御 … 804
 - 26.4.5 通信方式の選択 … 805
 - 26.4.6 通信コマンド … 806
 - 26.4.7 オン・ボード・プログラミングでの端子処理 … 807
- 26.5 セルフ・プログラミングによる書き換え … 811
 - 26.5.1 概 要 … 811
 - 26.5.2 特 徴 … 812

26.5.3	標準セルフ・プログラミング・フロー	...	813
26.5.4	フラッシュ関数一覧	...	814
26.5.5	端子処理	...	814
26.5.6	使用する内部資源	...	815
第27章	オンチップ・デバッグ機能	...	816
27.1	DCUを使用する方法	...	818
27.1.1	接続回路例	...	818
27.1.2	インタフェース信号	...	819
27.1.3	マスク機能	...	820
27.1.4	レジスタ	...	821
27.1.5	動作	...	823
27.1.6	注意事項	...	824
27.2	DCUを使用しない方法	...	825
27.2.1	接続回路例	...	825
27.2.2	マスク機能	...	826
27.2.3	ユーザ資源の確保	...	827
27.2.4	注意事項	...	832
27.3	ROMセキュリティ機能	...	833
27.3.1	セキュリティID	...	833
27.3.2	設定方法	...	834
第28章	電気的特性	...	836
第29章	外形図	...	883
第30章	半田付け推奨条件	...	884
付録A	開発ツール	...	885
A.1	ソフトウェア・パッケージ	...	887
A.2	言語処理用ソフトウェア	...	887
A.3	制御ソフトウェア	...	887
A.4	デバッグ用ツール（ハードウェア）	...	888
A.4.1	IECUBE QB-V850ESKX1Hを使用する場合	...	888
A.4.2	MINICUBE QB-V850MINIを使用する場合	...	890
A.4.3	MINICUBE2 QB-MINI2を使用する場合	...	893
A.5	デバッグ用ツール（ソフトウェア）	...	894
A.6	組み込み用ソフトウェア	...	895
A.7	フラッシュ・メモリ書き込み用ツール	...	895
付録B	命令セット一覧	...	896
B.1	凡例	...	896
B.2	インストラクション・セット（アルファベット順）	...	899
付録C	レジスタ索引	...	905

★ **付録D 注意事項一覧** … 915

付録E 改版履歴 … 949

E. 1 **本版で改訂された主な箇所** … 949

E. 2 **前版までの改版履歴** … 950

第1章 概 説

1.1 特 徴

- 最小命令実行時間 50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時：5 MHz時の発振子×4通倍)
- 汎用レジスタ 32ビット×32本
- CPUの特徴
 - 符号付き乗算 (16×16→32)：1-2クロック
 - 飽和演算 (オーバフロー／アンダフロー検出機能付き)
 - 32ビットのRISCアーキテクチャをベースにし、5段パイプライン構造でほとんどの命令を1クロックで実行可能
 - ハーバード・アーキテクチャにより、内蔵ROMからの命令フェッチと内蔵RAMへのアクセスが独立して動作
 - 可変長命令により高いコード効率を実現
 - 32ビット・シフト命令：1クロック
 - ビット操作命令
 - ロング／ショート形式を持つロード／ストア命令
- メモリ空間 64 Mバイト・リニア・アドレス空間
 - ・内蔵メモリ
 - μPD70F3733 (フラッシュ・メモリ：128 Kバイト／RAM：6 Kバイト)
 - μPD70F3734 (フラッシュ・メモリ：256 Kバイト／RAM：16 Kバイト)
 - ・外部バス・インタフェース
 - メモリ・ブロック分割機能：2 M, 2 M, 4 M, 8 Mバイト／計4ブロック
 - ブロックごとにアクセス時間やバス幅を設定可能
 - セパレート・バス／マルチプレクス・バス出力選択可能
 - 最大4空間のチップ・セレクト機能
 - 8/16ビット・データ・バス・サイジング機能
 - ウエイト機能
 - ・プログラマブル・ウエイト機能
 - ・外部ウエイト機能
 - アイドル・ステート機能
 - バス・ホールド機能
- 割り込み／例外
 - ノンマスカブル割り込み：3要因 (内部：1要因，外部：2要因)
 - マスカブル割り込み：53要因 (内部：8要因，外部：45要因)
 - ソフトウェア例外：32要因
 - 例外トラップ：1要因
- ポート 合計：128 (入力16本，入出力112本)
- キー割り込み機能

- タイマ機能
 - 16ビット・タイマ／イベント・カウンタP：1 ch
 - 16ビット・タイマ／イベント・カウンタ0：6 ch
 - 8ビット・タイマ／イベント・カウンタ5：2 ch
 - 8ビット・タイマH：2 ch
 - 8ビット・インターバル・タイマBRG：1 ch
 - 時計タイマ／インターバル・タイマ：1 ch
 - ウォッチドッグ・タイマ
 - ウォッチドッグ・タイマ1（発振安定用タイマ兼用）：1 ch
 - ウォッチドッグ・タイマ2：1 ch
- シリアル・インタフェース
 - アシンクロナス・シリアル・インタフェース（UART）：3 ch
 - 3線式シリアルI/O（CSI0）：3 ch
 - 3線式シリアルI/O（自動送受信機能付き）（CSIA）：2 ch
 - I²Cバス・インタフェース（I²C）：2 ch
- A/Dコンバータ：10ビット分解能×16 ch
- D/Aコンバータ：8ビット分解能×2 ch
- DMAコントローラ：4 ch
- リアルタイム出力ポート：6ビット×2 ch
- スタンバイ機能：HALT/IDLE/STOPモード，サブIDLEモード
- DCU（デバッグ・コントロール・ユニット）：μPD70F3734のみ
- クロック・ジェネレータ
 - メイン・クロック発振（f_x）／サブクロック発振（f_{XT}）
 - CPUクロック（f_{CPU}）7段階（f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{XT}）
 - クロック・スルー・モード／PLLモード選択可
- リセット
 - ・ $\overline{\text{RESET}}$ 端子によるリセット
 - ・ウォッチドッグ・タイマ1のオーバフローによるリセット（WDTRES1）
 - ・ウォッチドッグ・タイマ2のオーバフローによるリセット（WDTRES2）
- パッケージ：144ピン・プラスチックLQFP（ファインピッチ）（20×20）
- 電源電圧：V_{DD} = 2.7～5.5 V

1.2 応用分野

- ホーム・オーディオ
- AV機器
- PC周辺機器（キーボードなど）
- 家電製品
 - ・エアコン室外機
 - ・電子レンジ，炊飯器
- 産業機器
 - ・ポンプ
 - ・自動販売機
 - ・FA

1.3 オーダ情報

オーダ名称	パッケージ
μ PD70F3733GJ-UEN-A	144ピン・プラスチックLQFP（ファインピッチ）（20×20）
μ PD70F3734GJ-UEN-A	〃

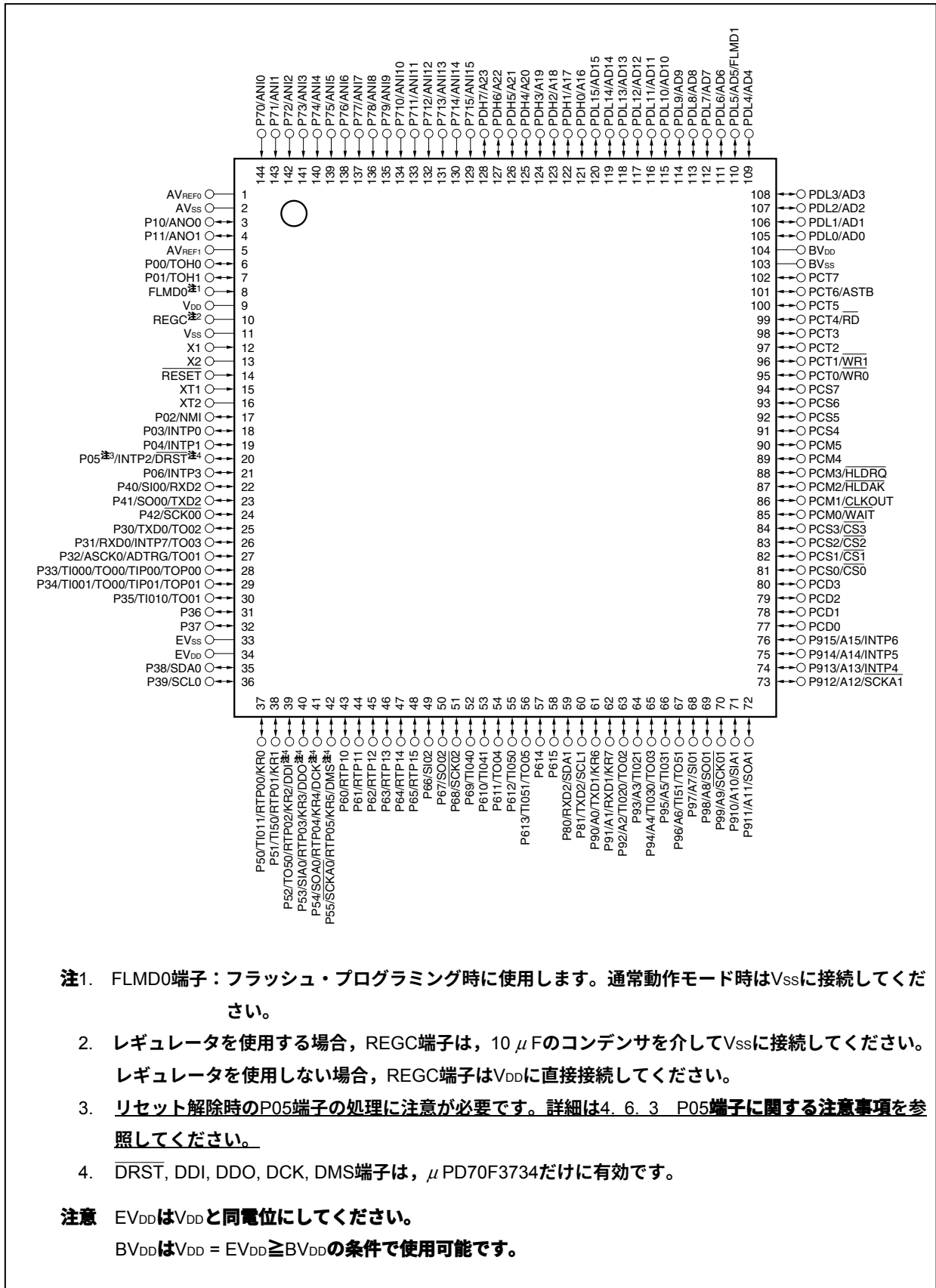
備考 V850ES/KJ2は全製品が鉛フリー製品です。

1.4 端子接続図 (Top View)

144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μ PD70F3733GJ-UEN-A

μ PD70F3734GJ-UEN-A

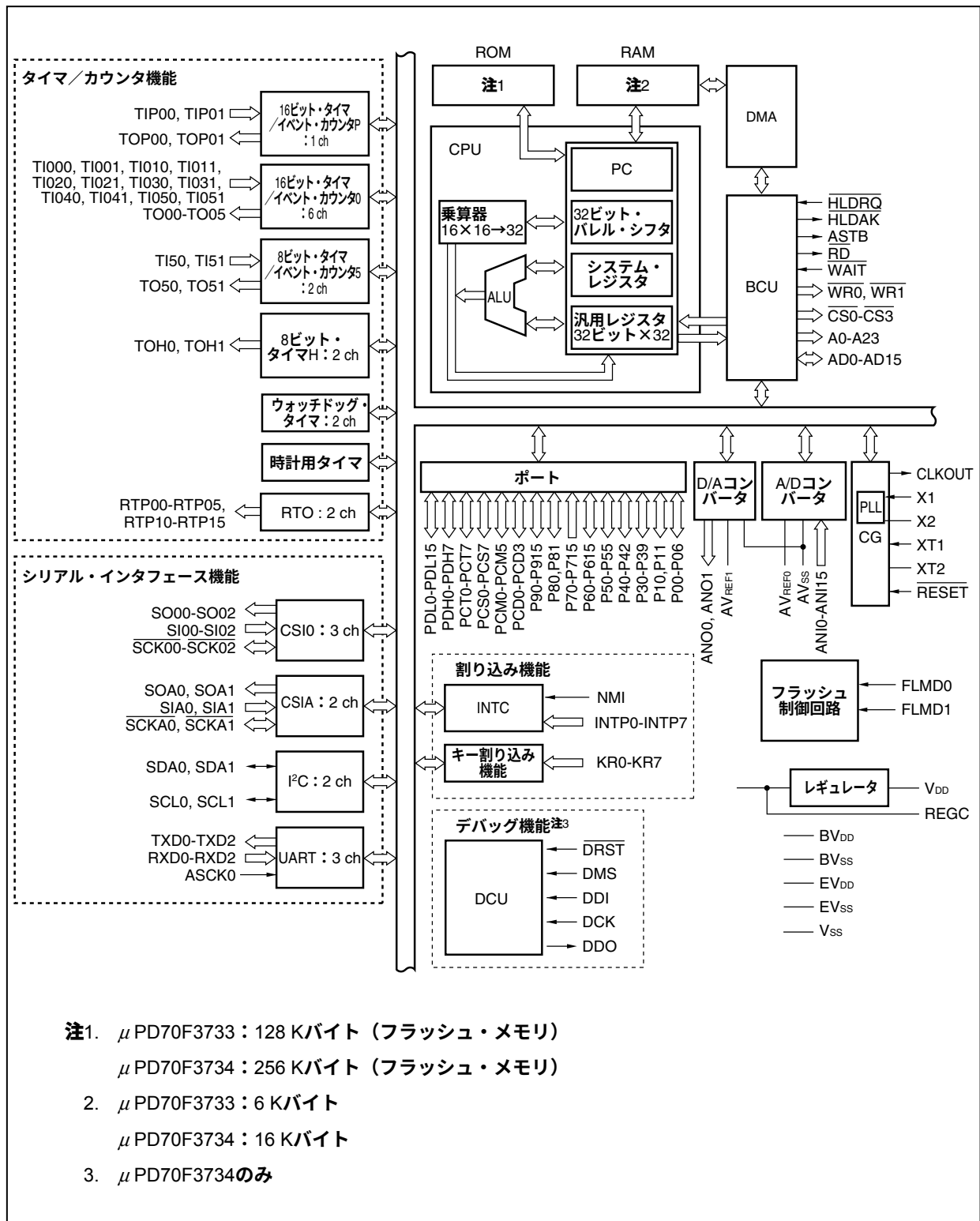


端子機能の名称

A0-A23	: Address Bus	PCT0-PCT7	: Port CT
AD0-AD15	: Address/Data Bus	PDH0-PDH7	: Port DH
ANI0-ANI15	: Analog Input	PDL0-PDL15	: Port DL
ANO0, ANO1	: Analog Output	$\overline{RD}$	: Read Strobe
ASCK0	: Asynchronous Serial Clock	REGC	: Regulator Control
ASTB	: Address Strobe	$\overline{RESET}$	: Reset
AVREF0, AVREF1	: Analog Reference Voltage	RTP00-RTP05,	: Real-time Output Port
AVss	: Ground for Analog	RTP10-RTP15	
BVDD	: Power Supply for Bus Interface	RXD0-RXD2	: Receive Data
BVss	: Ground for Bus Interface	$\overline{SCK00-SCK02}$,	: Serial Clock
CLKOUT	: Clock Output	SCKA0, SCKA1	
CS0-CS3	: Chip Select	SCL0, SCL1	: Serial Clock
DCK	: Debug Clock	SDA0, SDA1	: Serial Data
DDI	: Debug Data Input	SI00-SI02,	: Serial Input
DDO	: Debug Data Output	SIA0, SIA1	
DMS	: Debug Mode Select	SO00-SO02,	: Serial Output
$\overline{DRST}$	: Debug Reset	SOA0, SOA1	
EVDD	: Power Supply for Port	TI000, TI001,	: Timer Input
EVss	: Ground for Port	TI010, TI011,	
FLMD0, FLMD1	: Flash Programing Mode	TI020, TI021,	
$\overline{HLDK}$	: Hold Acknowledge	TI030, TI031,	
$\overline{HLDRQ}$	: Hold Request	TI040, TI041,	
INTP0-INTP7	: External Interrupt Input	TI050, TI051,	
KR0-KR7	: Key Return	TI50, TI51,	
NMI	: Non-maskable Interrupt Request	TIP00, TIP01	
P00-P06	: Port 0	TO00-TO05,	: Timer Output
P10, P11	: Port 1	TO50, TO51,	
P30-P39	: Port 3	TOH0, TOH1,	
P40-P42	: Port 4	TOP00, TOP01	
P50-P55	: Port 5	TXD0-TXD2	: Transmit Data
P60-P615	: Port 6	VDD	: Power Supply
P70-P715	: Port 7	Vss	: Ground
P80, P81	: Port 8	$\overline{WAIT}$	: Wait
P90-P915	: Port 9	$\overline{WR0}$	: Lower Byte Write Strobe
PCD0-PCD3	: Port CD	$\overline{WR1}$	: Upper Byte Write Strobe
PCM0-PCM5	: Port CM	X1, X2	: Crystal for Main Clock
PCS0-PCS7	: Port CS	XT1, XT2	: Crystal for Subclock

1.5 機能ブロック構成

(1) 内部ブロック図



(2) 内部ユニット

(a) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(b) バス・コントロール・ユニット (BCU)

CPUで得られた物理アドレスに基づいて必要な外部バス・サイクルを起動します。外部メモリ領域から命令フェッチするときにCPUからのバス・サイクル起動の要求がない場合は、プリフェッチ・アドレスを生成し、命令コードのプリフェッチを行います。プリフェッチされた命令コードは、内部の命令キューに取り込まれます。

(c) ROM

0000000H-003FFFFH/0000000H-001FFFFH番地にマッピングされる256/128 Kバイトのフラッシュ・メモリです。

命令フェッチ時にCPUから1クロックでアクセスできます。

(d) RAM

3FFB000H-3FFEBFFFH/3FFB000H-3FFC7FFFH番地にマッピングされる16/6 KバイトのRAMです。

データ・アクセス時にCPUから1クロックでアクセスできます。

(e) 割り込みコントローラ (INTC)

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求（NMI, INTP0-INTP7）を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重割り込み制御ができます。

(f) クロック・ジェネレータ (CG)

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数（ f_x ）とサブクロック周波数（ f_{XT} ）を生成しています。メイン・クロック周波数（ f_{xx} ）として、 f_x をそのまま使用するクロック・スルー・モードと、 f_x を4逓倍して使用するPLLモードがあります。

CPUクロック周波数（ f_{CPU} ）としては、 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT} の7種類から選択できます。

(g) タイマ／カウンタ

16ビット・タイマ／イベント・カウンタ0を6チャンネルと16ビット・タイマ／イベント・カウンタPを1チャンネル、8ビット・タイマ／イベント・カウンタ5を2チャンネル内蔵し、パルス間隔や周波数の計測、プログラマブルなパルスの出力ができます。

2チャンネルの8ビット・タイマ／イベント・カウンタ5をカスケード接続し、16ビット・タイマとしても使用できます。

また、8ビット・タイマHを2チャンネル内蔵し、プログラマブルなパルス出力ができます。

(h) 時計タイマ

サブクロック (32.768 kHz) またはクロック・ジェネレータからの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。インターバル・タイマとしても同時に使用できます。

(i) ウォッチドッグ・タイマ

プログラムの暴走、システム異常などを検出するためのウォッチドッグ・タイマを2チャンネル内蔵しています。ウォッチドッグ・タイマ1は、インターバル・タイマとしても使用できます。また、ウォッチドッグ・タイマとして使用する場合は、オーバフローでノンマスカブル割り込み要求信号 (INTWDT1) , またはシステム・リセット信号 (WDTRES1) を発生します。インターバル・タイマとして使用する場合は、オーバフローでマスカブル割り込み要求信号 (INTWDTM1) を発生します。

ウォッチドッグ・タイマ2は、リセット解除後にデフォルトで動作します。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2) , またはシステム・リセット信号 (WDTRES2) を発生します。

(j) シリアル・インタフェース (SIO)

アシンクロナス・シリアル・インタフェース (UARTn) , クロック同期式シリアル・インタフェース (CSI0n) , クロック同期式シリアル・インタフェース (自動送受信機能付き) (CSIAm) , I²Cバス・インタフェース (I²Cm) を内蔵しており、最大9チャンネルを同時に使用できます。

UARTnは、TXDn, RXDn端子によりデータ転送を行います。

CSI0nは、SO0n, SI0n, SCK0n端子によりデータ転送を行います。

CSIAmは、SOAm, SIAm, SCKAm端子によりデータ転送を行います。

I²Cmは、SDAm, SCLm端子によりデータ転送を行います。

備考 n = 0-2

m = 0, 1

(k) A/Dコンバータ

16本のアナログ入力端子を持つ高速、高分解能の10ビットA/Dコンバータです。逐次変換方式で変換します。

(l) D/Aコンバータ

8ビット分解能のD/Aコンバータを2チャンネル内蔵しています。R-2Rラダー方式です。

(m) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて、内蔵RAM、内蔵周辺I/O、外部メモリ間でデータを転送します。

(n) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

(o) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データを、タイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

6ビット・データのリアルタイム出力機能を2チャンネル内蔵しています。

(p) DCU (デバッグ・コントロール・ユニット)

JTAG (Joint Test Action Group) の通信仕様を利用した、オンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは、制御端子の入力レベルとオンチップ・デバッグ・モード・レジスタ (OCDM) の2つで行います。

DCUは、 μ PD70F3734だけに内蔵されています。

(q) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

ポート	入出力	兼用機能
P0	7ビット入出力	NMI, 外部割り込み, タイマ出力
P1	2ビット入出力	D/Aコンバータ・アナログ出力
P3	10ビット入出力	シリアル・インタフェース, タイマ入出力
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	シリアル・インタフェース, タイマ入出力, キー割り込み機能, リアルタイム出力機能
P6	16ビット入出力	シリアル・インタフェース, タイマ入出力, リアルタイム出力機能
P7	16ビット入力	A/Dコンバータ・アナログ入力
P8	2ビット入出力	シリアル・インタフェース
P9	16ビット入出力	外部アドレス・バス, シリアル・インタフェース, タイマ入出力, 外部割り込み, キー割り込み機能
PCD	4ビット入出力	—
PCM	6ビット入出力	外部バス制御信号
PCS	8ビット入出力	チップ・セレクト出力
PCT	8ビット入出力	外部バス制御信号
PDH	8ビット入出力	外部アドレス・バス
PDL	16ビット入出力	外部アドレス／データ・バス

1.6 機能概要

1.6.1 V850ES/KJ2の機能概要

(1/2)

品 名		μ PD70F3733	μ PD70F3734
内部メモリ	ROM	128 Kバイト (単電源フラッシュ・メモリ)	256 Kバイト (単電源フラッシュ・メモリ)
	高速RAM	6 Kバイト	16 Kバイト
バッファRAM		64バイト	
メモリ空間	論理空間	64 Mバイト	
	外部メモリ領域	15 Mバイト	
外部バス・インタフェース		アドレス・バス：24ビット データ・バス：8/16ビット マルチプレクス・バス・モード／セパレート・バス・モード	
汎用レジスタ		32ビット×32レジスタ	
メイン・クロック (発振周波数)		セラミック／クリスタル／外部クロック	
		クロック・スルー・モード	2~10 MHz：2.7~5.5 V
		PLLモード	REGC端子をV _{DD} に直接接続 2~5 MHz：4.5~5.5 V, 2~4 MHz：4.0~5.5 V, 2~2.5 MHz：2.7~5.5 V
		REGC端子に10 μ Fのコンデンサを接続	2~4 MHz：4.0~5.5 V
サブクロック (発振周波数)		クリスタル／外部クロック (32.768 kHz)	
最小命令実行時間		50ns (メイン・クロック (f _{xx}) = 20 MHz動作時：5 MHzの発振子×4逡倍)	
I/Oポート		128本 ・入力：16本 ・入出力：112本 (N-ch オープン・ドレイン出力選択可能：12本, N-ch オープン・ドレイン出力固定：6本)	
タイマ		16ビット・タイマ／イベント・カウンタP：1チャンネル 16ビット・タイマ／イベント・カウンタ0：6チャンネル 8ビット・タイマ／イベント・カウンタ5：2チャンネル (16ビット・タイマ／イベント・カウンタ：1チャンネルとして使用可能) 8ビット・タイマH：2チャンネル 時計タイマ：1チャンネル 8ビット・インターバル・タイマ：1チャンネル ウォッチドッグ・タイマ：2チャンネル	
リアルタイム出力ポート		2チャンネル：4ビット×1, 2ビット×1, または6ビット×1	
A/Dコンバータ		10ビット分解能×16チャンネル	
D/Aコンバータ		8ビット分解能×2チャンネル	
DMAコントローラ		4チャンネル	

品 名	μ PD70F3733	μ PD70F3734
シリアル・ インタフェース	CSI：2チャンネル CSIA（自動送受信機能付き）：2チャンネル UART：2チャンネル UART/CSI：1チャンネル ^{注1} UART/I ² Cバス：1チャンネル ^{注1} I ² Cバス：1チャンネル 専用ポー・レート・ジェネレータ：3チャンネル	
割り込み要因	外部：9（9） ^{注2} ，内部：47	
スタンバイ機能	STOP/IDLE/HALT/サブIDLEモード	
DCU	なし	あり
動作電源電圧	4.5～5.5 V（20 MHz時）／4.0～5.5 V（16 MHz時）／2.7～5.5 V（10 MHz時）	
パッケージ	144ピン・プラスチックLQFP（ファインピッチ）（20×20 mm）	

注1. 同じチャンネルのUARTがCSIとI²Cに兼用されています。V850ES/KJ2には、3チャンネルのUARTを搭載しています。

2. （ ）内はSTOPモード解除可能な外部割り込み本数です。

1. 6. 2 V850ES/Kx2の製品展開

愛 称		V850ES/KE2	V850ES/KF2		V850ES/KG2		V850ES/KJ2	
ピン数		64ピン	80ピン		100ピン		144ピン	
内部メモリ (Kバイト)	フラッシュ・メモリ	128	128	256	128	256	128	256
	RAM	4	6	12	6	16	6	16
電源電圧		2.7～5.5 V						
最小命令実行時間		50 ns@20 MHz						
クロック	X1入力	2～10 MHz						
	サブクロック	32.768 kHz						
ポート	CMOS入力	8	8	8	16			
	CMOS入出力	41 (4) 注1	57 (6) 注1	72 (8) 注1	106 (12) 注1			
	N-ch オープン・ド レーン入出力	2	2	4	6			
タイマ	16ビット (TMP)	1 ch	1 ch	1 ch	1 ch			
	16ビット (TM0)	1 ch	2 ch	4 ch	6 ch			
	8ビット (TM5)	2 ch	2 ch	2 ch	2 ch			
	8ビット (TMH)	2 ch	2 ch	2 ch	2 ch			
	インターバル・タイマ	1 ch	1 ch	1 ch	1 ch			
	時計	1 ch	1 ch	1 ch	1 ch			
	WDT1	1 ch	1 ch	1 ch	1 ch			
	WDT2	1 ch	1 ch	1 ch	1 ch			
RTO		6ビット×1 ch	6ビット×1 ch	6ビット×1 ch	6ビット×2 ch			
シリアル・ インタフェ ース	CSI	2 ch	2 ch	1 ch	2 ch			
	自動送受信3線式CSI	—	1 ch	2 ch	2 ch			
	UART	2 ch	2 ch	2 ch	2 ch			
	I ² C	1 ch	1 ch	1 ch	1 ch			
	UART/CSI	—	—	1 ch	1 ch 注2			
	UART/I ² C	—	—	—	1 ch 注2			
外部バス	アドレス空間	—	128 Kバイト	3 Mバイト	15 Mバイト			
	アドレス・バス	—	16ビット	22ビット	24ビット			
	モード	—	マルチプレクスのみ	マルチプレクス／セパレート				
DMAコントローラ		—	—	4 ch	4 ch			
10ビットA/Dコンバータ		8 ch	8 ch	8 ch	16 ch			
8ビットD/Aコンバータ		—	—	2 ch	2 ch			
割り込み	外部	9	9	9	9			
	内部	26	29	41	47			
キー・リターン入力		8 ch	8 ch	8 ch	8 ch			
リセット	RESET端子	あり						
	WDT1	あり						
	WDT2	あり						
レギュレータ		なし	あり					
スタンバイ		HALT/IDLE/STOP/サブIDLEモード						
動作周囲温度		T _A = -40～+85 °C						

注1. () のチャンネル数はソフトウェアによりN-chオープン・ドレイン出力選択可能な端子数

2. 同じチャンネルのUARTがCSIとI²Cに兼用されています。V850ES/KJ2には3チャンネルのUARTを搭載しています。

第2章 端子機能

V850ES/KJ2の端子の機能を次に示します。これらの端子は、機能別にポート機能とそれ以外の機能に分けることができます。

端子の入出力バッファ電源には、AV_{REF0}、AV_{REF1}、BV_{DD}、EV_{DD}の4系統があります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
BV _{DD}	ポートCD, CM, CS, CT, DH, DL
EV _{DD}	RESET, ポート0, 3-6, 8, 9, FLMD0

2.1 端子機能一覧

(1) ポート機能

(1/4)

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
P00	6	入出力	設定可能	ポート0（4. 3. 1参照） 7ビット入出力ポート 1ビット単位で入力／出力の指定が可能	TOH0
P01	7				TOH1
P02	17				NMI
P03	18				INTP0
P04	19				INTP1
P05 ^{注1}	20				INTP2/DRST ^{注2}
P06	21				INTP3
P10	3	入出力	設定可能	ポート1（4. 3. 2参照） 2ビット入出力ポート 1ビット単位で入力／出力の指定が可能	ANO0
P11	4				ANO1
P30	25	入出力	設定可能	ポート3（4. 3. 3参照） 10ビット入出力ポート 1ビット単位で入力／出力の指定が可能 P36-P39はN-chオープン・ドレイン出力固定	TXD0/TO02
P31	26				RXD0/INTP7/TO03
P32	27				ASCK0/ADTRG/TO01
P33	28				TI000/TO00/TIP00/TOP00
P34	29				TI001/TO00/TIP01/TOP01
P35	30				TI010/TO01
P36	31		なし		—
P37	32				—
P38	35				SDA0
P39	36				SCL0

注1. リセット解除時のP05端子の処理に注意が必要です。詳細は4. 6. 3 P05端子に関する注意事項を参照してください。

2. μ PD70F3734のみ

(2/4)

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
P40	22	入出力	設定可能	ポート4（4. 3. 4参照） 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能 P41, P42は1ビット単位でN-chオープン・ドレ ーン出力の指定が可能	SI00/RXD2 ^{注1}
P41	23				SO00/TXD2
P42	24				SCK00
P50	37	入出力	設定可能	ポート5（4. 3. 5参照） 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能 P54, P55は1ビット単位でN-chオープン・ドレ ーン出力の指定が可能	TI011/RTP00/KR0
P51	38				TI50/RTP01/KR1
P52	39				TO50/RTP02/KR2/DDI ^{注2}
P53	40				SIA0/RTP03/KR3/DDO ^{注2}
P54	41				SOA0/RTP04/KR4/DCK ^{注2}
P55	42				SCKA0/RTP05/KR5/DMS ^{注2}
P60	43	入出力	設定可能	ポート6（4. 3. 6参照） 16ビット入出力ポート 1ビット単位で入力／出力の指定が可能 P67, P68は1ビット単位でN-chオープン・ドレ ーン出力の指定が可能 P614, P615はN-chオープン・ドレーン出力固 定	RTP10
P61	44				RTP11
P62	45				RTP12
P63	46				RTP13
P64	47				RTP14
P65	48				RTP15
P66	49				SI02
P67	50				SO02
P68	51				SCK02
P69	52				TI040
P610	53				TI041
P611	54				TO04
P612	55				TI050
P613	56				TI051/TO05
P614	57		—		
P615	58		—		
P70	144	入力	なし	ポート7（4. 3. 7参照） 16ビット入力ポート	ANI0
P71	143				ANI1
P72	142				ANI2
P73	141				ANI3
P74	140				ANI4
P75	139				ANI5
P76	138				ANI6
P77	137				ANI7

注1. V850ES/KJ2は、P80端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

2. μ PD70F3734のみ

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
P78	136	入力	なし	ポート7 (4. 3. 7参照) 16ビット入力ポート	ANI8
P79	135				ANI9
P710	134				ANI10
P711	133				ANI11
P712	132				ANI12
P713	131				ANI13
P714	130				ANI14
P715	129				ANI15
P80	59	入出力	設定可能	ポート8 (4. 3. 8参照) 2ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力の指定が可能	RXD2 [※] /SDA1
P81	60				TXD2/SCL1
P90	61	入出力	設定可能	ポート9 (4. 3. 9参照) 16ビット入出力ポート 1ビット単位で入力／出力の指定が可能 P98, P99, P911, P912は1ビット単位でN-ch オープン・ドレイン出力の指定が可能	A0/TXD1/KR6
P91	62				A1/RXD1/KR7
P92	63				A2/TI020/TO02
P93	64				A3/TI021
P94	65				A4/TI030/TO03
P95	66				A5/TI031
P96	67				A6/TI51/TO51
P97	68				A7/SI01
P98	69				A8/SO01
P99	70				A9/SCK01
P910	71				A10/SIA1
P911	72				A11/SOA1
P912	73				A12/SCKA1
P913	74				A13/INTP4
P914	75				A14/INTP5
P915	76				A15/INTP6
PCD0	77	入出力	設定可能	ポートCD (4. 3. 10参照) 4ビット入出力ポート 1ビット単位で入力／出力の指定が可能	—
PCD1	78				—
PCD2	79				—
PCD3	80				—
PCM0	85	入出力	設定可能	ポートCM (4. 3. 11参照) 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能	WAIT
PCM1	86				CLKOUT
PCM2	87				HLD $\overline{\text{AK}}$
PCM3	88				HLD $\overline{\text{RQ}}$
PCM4	89				—
PCM5	90				—

注 V850ES/KJ2は、P40端子にもRXD2端子機能を割り当てており、P40、P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40、P80端子を同時にRXD2端子として使用しないでください。

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
PCS0	81	入出力	設定可能	ポートCS (4. 3. 12参照) 8ビット入出力ポート 1ビット単位で入力／出力の指定が可能	CS0
PCS1	82				CS1
PCS2	83				CS2
PCS3	84				CS3
PCS4	91				—
PCS5	92				—
PCS6	93				—
PCS7	94				—
PCT0	95	入出力	設定可能	ポートCT (4. 3. 13参照) 8ビット入出力ポート 1ビット単位で入力／出力の指定が可能	WR0
PCT1	96				WR1
PCT2	97				—
PCT3	98				—
PCT4	99				RD
PCT5	100				—
PCT6	101				ASTB
PCT7	102				—
PDH0	121	入出力	設定可能	ポートDH (4. 3. 14参照) 8ビット入出力ポート 1ビット単位で入力／出力の指定が可能	A16
PDH1	122				A17
PDH2	123				A18
PDH3	124				A19
PDH4	125				A20
PDH5	126				A21
PDH6	127				A22
PDH7	128				A23
PDL0	105	入出力	設定可能	ポートDL (4. 3. 15参照) 16ビット入出力ポート 1ビット単位で入力／出力の指定が可能	AD0
PDL1	106				AD1
PDL2	107				AD2
PDL3	108				AD3
PDL4	109				AD4
PDL5	110				AD5/FLMD1
PDL6	111				AD6
PDL7	112				AD7
PDL8	113				AD8
PDL9	114				AD9
PDL10	115				AD10
PDL11	116				AD11
PDL12	117				AD12
PDL13	118				AD13
PDL14	119				AD14
PDL15	120				AD15

(2) ポート以外の機能

(1/5)

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
A0	61	出力	設定可能	外部メモリに対するアドレス・バス (セパレート・バス使用時)	P90/TXD1/KR6
A1	62				P91/RXD1/KR7
A2	63				P92/TI020/TO02
A3	64				P93/TI021
A4	65				P94/TI030/TO03
A5	66				P95/TI031
A6	67				P96/TI51/TO51
A7	68				P97/SI01
A8	69				P98/SO01
A9	70				P99/SCK01
A10	71				P910/SIA1
A11	72				P911/SOA1
A12	73				P912/SCKA1
A13	74				P913/INTP4
A14	75				P914/INTP5
A15	76				P915/INTP6
A16	121	出力	設定可能	外部メモリに対するアドレス・バス	PDH0
A17	122				PDH1
A18	123				PDH2
A19	124				PDH3
A20	125				PDH4
A21	126				PDH5
A22	127				PDH6
A23	128				PDH7
AD0	105	入出力	設定可能	外部メモリに対するアドレス／データ・バス	PDL0
AD1	106				PDL1
AD2	107				PDL2
AD3	108				PDL3
AD4	109				PDL4
AD5	110				PDL5/FLMD1
AD6	111				PDL6
AD7	112				PDL7
AD8	113				PDL8
AD9	114				PDL9
AD10	115				PDL10
AD11	116				PDL11
AD12	117				PDL12
AD13	118				PDL13
AD14	119				PDL14
AD15	120				PDL15

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
ADTRG	27	入力	設定可能	A/Dコンバータ外部トリガ入力	P32/ASCK0/TO01
ANI0	144	入力	なし	A/Dコンバータ用アナログ電圧入力	P70
ANI1	143				P71
ANI2	142				P72
ANI3	141				P73
ANI4	140				P74
ANI5	139				P75
ANI6	138				P76
ANI7	137				P77
ANI8	136				P78
ANI9	135				P79
ANI10	134				P710
ANI11	133				P711
ANI12	132				P712
ANI13	131				P713
ANI14	130				P714
ANI15	129				P715
ANO0	3	出力	設定可能	D/Aコンバータ用アナログ電圧出力	P10
ANO1	4				P11
ASCK0	27	入力	設定可能	UART0のシリアル・クロック入力	P32/ADTRG/TO01
ASTB	101	出力	設定可能	外部メモリに対するアドレス・ストロブ信号出力	PCT6
AV _{REF0}	1	—	—	A/Dコンバータ用基準電圧および兼用ポート用正電源供給	—
AV _{REF1}	5	—	—	D/Aコンバータ用基準電圧および兼用ポート用正電源供給	—
AV _{SS}	2	—	—	A/D, D/Aコンバータおよび兼用ポート用グラウンド電位	—
BV _{DD}	104	—	—	バス・インタフェースおよび兼用ポート用正電源供給	—
BV _{SS}	103	—	—	バス・インタフェースおよび兼用ポート用グラウンド電位	—
CLKOUT	86	出力	設定可能	内部システム・クロック出力	PCM1
CS ₀	81	出力	設定可能	チップ・セレクト出力	PCS0
CS ₁	82				PCS1
CS ₂	83				PCS2
CS ₃	84				PCS3
DCK ^注	41	入力	設定可能	デバッグ・クロック入力	P54/SOA0/RTP04/KR4
DDI ^注	39	入力	設定可能	デバッグ・データ入力	P52/TO50/RTP02/KR2
DDO ^注	40	出力	設定可能	デバッグ・データ出力	P53/SIA0/RTP03/KR3
DMS ^注	42	入力	設定可能	デバッグ・モード・セレクト入力	P55/SCKA0/RTP05/KR5
DRST ^注	20	入力	設定可能	デバッグ・リセット入力	P05/INTP2
EV _{DD}	34	—	—	外部用正電源供給	—
EV _{SS}	33	—	—	外部用グラウンド電位	—
FLMD0	8	入力	なし	フラッシュ・プログラミング・モード引き込み用	—
FLMD1	110		設定可能	端子	PDL5/AD5
HLD _{AK}	87	出力	設定可能	バス・ホールド・アクノリッジ出力	PCM2
HLD _{RQ}	88	入力	設定可能	バス・ホールド要求入力	PCM3

注 μPD70F3734のみ

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
INTP0	18	入力	設定可能	外部割り込み要求入力 (マスカブル, アナログ・ノイズ除去)	P03
INTP1	19				P04
INTP2	20				P05/DRST ^{注1}
INTP3	21			外部割り込み要求入力 (マスカブル, デジタル+アナログ・ノイズ除去)	P06
INTP4	74			外部割り込み要求入力 (マスカブル, アナログ・ノイズ除去)	P913/A13
INTP5	75				P914/A14
INTP6	76				P915/A15
INTP7	26				P31/RXD0/TO03
KR0	37	入力	設定可能	キー・リターン入力	P50/TI011/RTP00
KR1	38				P51/TI50/RTP01
KR2	39				P52/TO50/RTP02/DDI ^{注1}
KR3	40				P53/SIA0/RTP03/DDO ^{注1}
KR4	41				P54/SOA0/RTP04/DCK ^{注1}
KR5	42				P55/SCKA0/RTP05/DMS ^{注1}
KR6	61				P90/A0/TXD1
KR7	62				P91/A1/RXD1
NMI	17	入力	設定可能	外部割り込み入力 (ノンマスカブル, アナログ・ノイズ除去)	P02
RD	99	出力	設定可能	外部メモリに対するリード・ストロブ信号出力	PCT4
REGC	10	—	—	レギュレータ出力安定容量接続	—
RESET	14	入力	—	システム・リセット入力	—
RTP00	37	出力	設定可能	リアルタイム出力ポート	P50/TI011/KR0
RTP01	38				P51/TI50/KR1
RTP02	39				P52/TO50/KR2/DDI ^{注1}
RTP03	40				P53/SIA0/KR3/DDO ^{注1}
RTP04	41				P54/SOA0/KR4/DCK ^{注1}
RTP05	42				P55/SCKA0/KR5/DMS ^{注1}
RTP10	43				P60
RTP11	44				P61
RTP12	45				P62
RTP13	46				P63
RTP14	47				P64
RTP15	48				P65
RXD0	26	入力	設定可能	シリアル受信データ入力 (UART0)	P31/INTP7/TO03
RXD1	62			シリアル受信データ入力 (UART1)	P91/A1/KR7
RXD2	22			シリアル受信データ入力 (UART2)	P40 ^{注2} /SI00
	59				P80 ^{注2} /SDA1

注1. μ PD70F3734のみ

- V850ES/KJ2は、P40端子とP80端子にRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
SCK00	24	入出力	設定可能	シリアル・クロック入出力 (CSI00-CSI02, CSIA0, CSIA1) 1ビット単位でN-chオープン・ドレイン出力の指定が可能	P42
SCK01	70				P99/A9
SCK02	51				P68
SCKA0	42				P55/RTP05/KR5/DMS ^注
SCKA1	73				P912/A12
SCL0	36	入出力	なし	シリアル・クロック入出力 (I ² C0) N-chオープン・ドレイン出力固定	P39
SCL1	60		設定可能	シリアル・クロック入出力 (I ² C1) N-chオープン・ドレイン出力の指定が可能	P81/TXD2
SDA0	35	入出力	なし	シリアル送受信データ入出力 (I ² C0) N-chオープン・ドレイン出力固定	P38
SDA1	59		設定可能	シリアル送受信データ入出力 (I ² C1) N-chオープン・ドレイン出力の指定が可能	P80/RXD2
SI00	22	入力	設定可能	シリアル受信データ入力 (CSI00)	P40/RXD2
SI01	68			シリアル受信データ入力 (CSI01)	P97/A7
SI02	49			シリアル受信データ入力 (CSI02)	P66
SIA0	40			シリアル受信データ入力 (CSIA0)	P53/RTP03/KR3/DDO ^注
SIA1	71			シリアル受信データ入力 (CSIA1)	P910/A10
SO00	23	出力	設定可能	シリアル送信データ出力 (CSI00-CSI02, CSIA0, CSIA1) 1ビット単位でN-chオープン・ドレイン出力の指定が可能	P41/TXD2
SO01	69				P98/A8
SO02	50				P67
SOA0	41				P54/RTP04/KR4/DCK ^注
SOA1	72				P911/A11
TI000	28	入力	設定可能	キャプチャ・トリガ入力／外部イベント入力 (TM00)	P33/TO00/TIP00/TOP00
TI001	29			キャプチャ・トリガ入力 (TM00)	P34/TO00/TIP01/TOP01
TI010	30			キャプチャ・トリガ入力／外部イベント入力 (TM01)	P35/TO01
TI011	37			キャプチャ・トリガ入力 (TM01)	P50/RTP00/KR0
TI020	63			キャプチャ・トリガ入力／外部イベント入力 (TM02)	P92/A2/TO02
TI021	64			キャプチャ・トリガ入力 (TM02)	P93/A3
TI030	65			キャプチャ・トリガ入力／外部イベント入力 (TM03)	P94/A4/TO03
TI031	66			キャプチャ・トリガ入力 (TM03)	P95/A5
TI040	52			キャプチャ・トリガ入力／外部イベント入力 (TM04)	P69
TI041	53			キャプチャ・トリガ入力 (TM04)	P610
TI050	55			キャプチャ・トリガ入力／外部イベント入力 (TM05)	P612
TI051	56			キャプチャ・トリガ入力 (TM05)	P613/TO05

注 μ PD70F3734のみ

機能名称	ピン番号	入出力	内蔵プルアップ抵抗	機 能	兼用機能
TI50	38	入力	設定可能	外部イベント入力 (TM50)	P51/RTP01/KR1
TI51	67			外部イベント入力 (TM51)	P96/A6/TO51
TIP00	28			キャプチャ・トリガ入力／外部イベント入力 ／外部トリガ入力 (TMP0)	P33/TI000/TO00/TOP00
TIP01	29			キャプチャ・トリガ入力 (TMP0)	P34/TI001/TO00/TOP01
TO00	28	出力	設定可能	タイマ出力 (TM00)	P33/TI000/TIP00/TOP00
	29				P34/TI001/TIP01/TOP01
TO01	27			タイマ出力 (TM01)	P32/ASCK0/ADTRG
	30				P35/TI010
TO02	25			タイマ出力 (TM02)	P30/TXD0
	63				P92/A2/TI020
TO03	26			タイマ出力 (TM03)	P31/RXD0/INTP7
	65				P94/A4/TI030
TO04	54			タイマ出力 (TM04)	P611
TO05	56			タイマ出力 (TM05)	P613/TI051
TO50	39			タイマ出力 (TM50)	P52/RTP02/KR2/DDI ^注
TO51	67			タイマ出力 (TM51)	P96/A6/TI51
TOH0	6			タイマ出力 (TMH0)	P00
TOH1	7			タイマ出力 (TMH1)	P01
TOP00	28			タイマ出力 (TMP0)	P33/TI000/TO00/TIP00
TOP01	29				P34/TI001/TO00/TIP01
TXD0	25	出力	設定可能	シリアル送信データ出力 (UART0)	P30/TO02
TXD1	61			シリアル送信データ出力 (UART1)	P90/A0/KR6
TXD2	23			シリアル送信データ出力 (UART2)	P41/SO00
	60				P81/SCL1
V _{DD}	9	—	—	内部用正電源供給端子	—
V _{SS}	11	—	—	内部用グランド電位	—
WAIT	85	入力	設定可能	外部ウエイト入力	PCM0
WR0	95	出力	設定可能	外部メモリ (下位8ビット) に対するライト・ストロ ープ	PCT0
WR1	96			外部メモリ (上位8ビット) に対するライト・ストロ ープ	PCT1
X1	12	入力	なし	メイン・クロック用発振子接続	—
X2	13	—	なし		—
XT1	15	入力	なし	サブクロック用発振子接続	—
XT2	16	—	なし		—

注 μ PD70F3734のみ

2.2 端子状態

内蔵ROM、内蔵RAMのアクセス時には、アドレス・バスは不定になります。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は、インアクティブ状態になります。

周辺I/Oアクセス時には、アドレス・バスはアクセスしている内蔵周辺I/Oのアドレスを出力します。データ・バスは出力されずハイ・インピーダンス状態になります。外部バスの制御信号は、インアクティブ状態になります。

表2-2 動作モードによる各端子の動作状態

端 子 \ 動作状態	リセット ^{注1}	HALTモード	IDLEモード／ STOPモード	アイドル・ ステート ^{注2}	バス・ホールド
AD0-AD15 (PDL0-PDL15)	Hi-Z	注3, 4	Hi-Z	保持	Hi-Z
A0-A15 (P90-P915)	Hi-Z	不定 ^{注3, 5}	Hi-Z	保持	Hi-Z
A16-A23 (PDH0-PDH7)	Hi-Z	不定	Hi-Z	保持	Hi-Z
WAIT (PCM0)	Hi-Z	—	—	—	—
CLKOUT (PCM1)	Hi-Z	動作	L	動作	動作
CS0-CS3 (PCS0-PCS3)	Hi-Z	H	H	保持	Hi-Z
WR0, WR1 (PCT0, PCT1)	Hi-Z	H	H	H	Hi-Z
RD (PCT4)	Hi-Z	H	H	H	Hi-Z
ASTB (PCT6)	Hi-Z	H	H	H	Hi-Z
HLD $\overline{\text{AK}}$ (PCM2)	Hi-Z	動作	H	H	L
HLD $\overline{\text{RQ}}$ (PCM3)	Hi-Z	動作	—	—	動作
その他のポート端子	Hi-Z	保持	保持	保持	保持

注1. バス制御端子はポート機能と兼用のため、リセット時には、ポート・モード（入力）に初期化されます。

- マルチプレクス・バス・モード時T3，セパレート・バス・モード時T2ステート後に挿入されるアイドル・ステート時の端子状態を示します（リードの後のみ）。
- HALTモード時でもDMA動作中は動作します。
- セパレート・バス・モード時 : Hi-Z
マルチプレクス・バス・モード時 : 不定
- セパレート・バス・モード時のみ

備考 Hi-Z : ハイ・インピーダンス

H : ハイ・レベル出力

L : ロウ・レベル出力

— : 入力非サンプリング（入力受け付け不可能）

2.3 端子の入出力回路タイプと未使用時の処理

(1/3)

端 子	兼用端子名	ピン番号	入出力回路タイプ	未使用時の推奨接続方法
P00	TOH0	6	5-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P01	TOH1	7		
P02	NMI	17	5-W	
P03, P04	INTP0, INTP1	18, 19		
P05	INTP2 ^{注1}	20		
	INTP2/DRST ^{注2}			
P06	INTP3	21	5-W	
P10	ANO0	3	12-B	入力時：個別に抵抗を介して，AV _{REF1} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P11	ANO1	4		
P30	TXD0/TO02	25	5-A	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P31	RXD0/INTP7/TO03	26	5-W	
P32	ASCK0/ADTRG/TO01	27		
P33	TI000/TO00/TIP0/TOP0	28		
P34	TI001/TO00/TIP1/TOP1	29		
P35	TI010/TO01	30		
P36, P37	—	31, 32	13-AB	入力時：EV _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定してロウ・レベル出力でオープンにしてください。
P38	SDA0	35	13-AD	
P39	SCL0	38		
P40	SI00/RXD2	22	5-W	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P41	SO00/TXD2	23	10-E	
P42	SCK00	24	10-F	
P50	TI011/RTP00/KR0	37	8-A	
P51	TI50/RTP01/KR1	38		
P52	TO50/RTP02/KR2/DDI ^{注2}	39		
P53	SIA0/RTP03/KR3/DDO ^{注2}	40		
P54	SOA0/RTP04/KR4/DCK ^{注2}	41	10-A	
P55	SCKA0/RTP05/KR5/DMS ^{注2}	42		
P60-P65	RTP10-RTP15	43-48	5-A	
P66	SI02	49	5-W	
P67	SO02	50	10-E	
P68	SCK02	51	10-F	
P69	TI040	52	5-W	
P610	TI041	53		
P611	TO04	54	5-A	
P612	TI050	55	5-W	
P613	TI051/TO05	56		
P614, P615	—	57, 58	13-AB	入力時：EV _{SS} に接続してください。 出力時：ポートの出力ラッチに0を設定してロウ・レベル出力でオープンにしてください。

注1. μ PD70F3733のみ2. μ PD70F3734のみ

端 子	兼用端子名	ピン番号	入出力回路タイプ	未使用時の推奨接続方法
P70-P715	ANI0-ANI15	144-129	9-C	AV _{REF0} またはAV _{SS} に接続してください。
P80	RXD2/SDA1	59	10-F	入力時：個別に抵抗を介して，EV _{DD} またはEV _{SS} に接続してください。 出力時：オープンにしてください。
P81	TXD2/SCL1	60		
P90	A0/TXD1/KR6	61	8-A	
P91	A1/RXD1/KR7	62		
P92	A2/TI020/TO02	63		
P93	A3/TI021	64		
P94	A4/TI030/TO03	65	5-W	
P95	A5/TI031	66	8-A	
P96	A6/TI51/TO51	67	5-W	
P97	A7/SI01	68	8-A	
P98	A8/SO01	69	5-W	
P99	A9/SCK01	70	10-E	
P910	A10/SIA1	71	10-F	
P911	A11/SOA1	72	5-W	
P912	A12/SCKA1	73	10-E	
P913-P915	A13/INTP4-A15/INTP6	74-76	10-F	
PCD0-PCD3	—	77-80	5-W	入力時：個別に抵抗を介して，BV _{DD} またはBV _{SS} に接続してください。 出力時：オープンにしてください。
PCM0	WAIT	85	5-A	
PCM1	CLKOUT	86		
PCM2	HLD $\overline{\text{AK}}$	87		
PCM3	HLDR $\overline{\text{Q}}$	88		
PCM4, PCM5	—	89, 90		
PCS0, PCS1	$\overline{\text{CS0}}$, $\overline{\text{CS1}}$	81, 82	5-A	
PCS2, PCS3	$\overline{\text{CS2}}$, $\overline{\text{CS3}}$	83, 84		
PCS4-PCS7	—	91-94		
PCT0	WR0	95	5-A	
PCT1	WR1	96		
PCT2, PCT3	—	97, 98		
PCT4	RD	99		
PCT5	—	100		
PCT6	ASTB	101		
PCT7	—	102		
PDL0-PDL4	AD0-AD4	105-109	5-A	
PDL5	AD5/FLMD1	110		
PDL6-PDL15	AD6-AD15	111-120		
PDH0-PDH7	A16-A23	121-128	5-A	
AV _{REF0}	—	1	—	V _{DD} に直接接続してください。
AV _{REF1}	—	5	—	V _{DD} に直接接続してください。
AV _{SS}	—	2	—	—

(3/3)

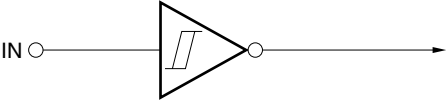
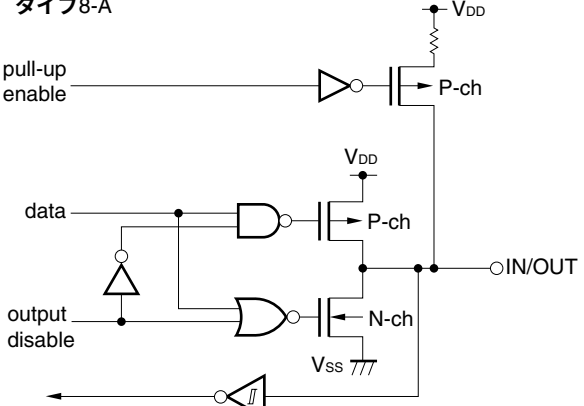
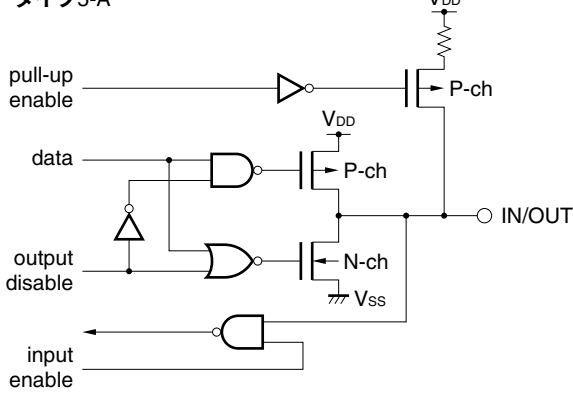
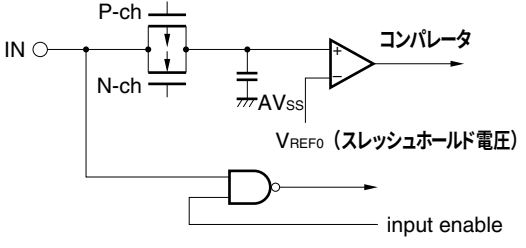
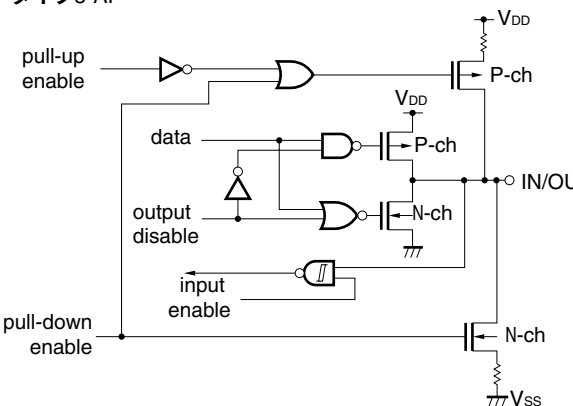
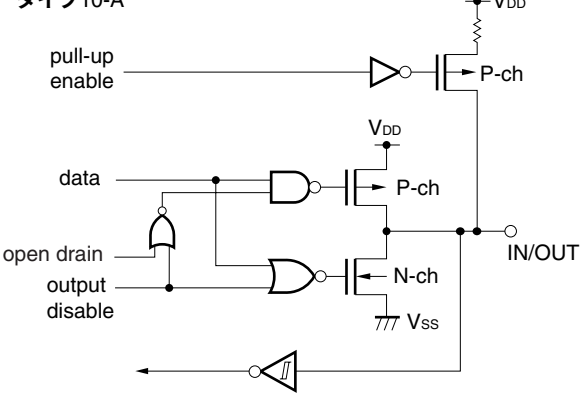
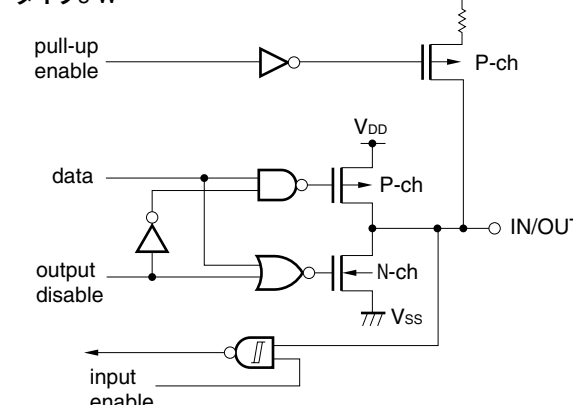
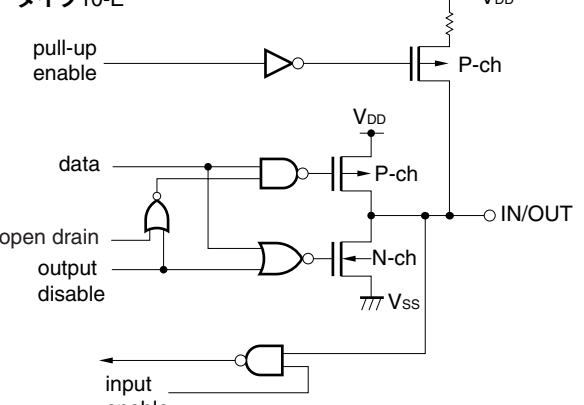
端 子	兼用端子名	ピン番号	入出力回路タイプ	未使用時の推奨接続方法
BV _{DD}	—	104	—	—
BV _{SS}	—	103	—	—
EV _{DD}	—	34	—	—
EV _{SS}	—	33	—	—
RESET	—	14	2	—
FLMD0	—	8	—	EV _{SS} またはV _{SS} に直接接続してください ^{注1} 。
V _{DD}	—	9	—	—
V _{SS}	—	11	—	—
X1	—	12	—	—
X2	—	13	—	—
XT1	—	15	16	V _{SS} に直接接続してください ^{注2} 。
XT2	—	16	16	オープンにしてください。

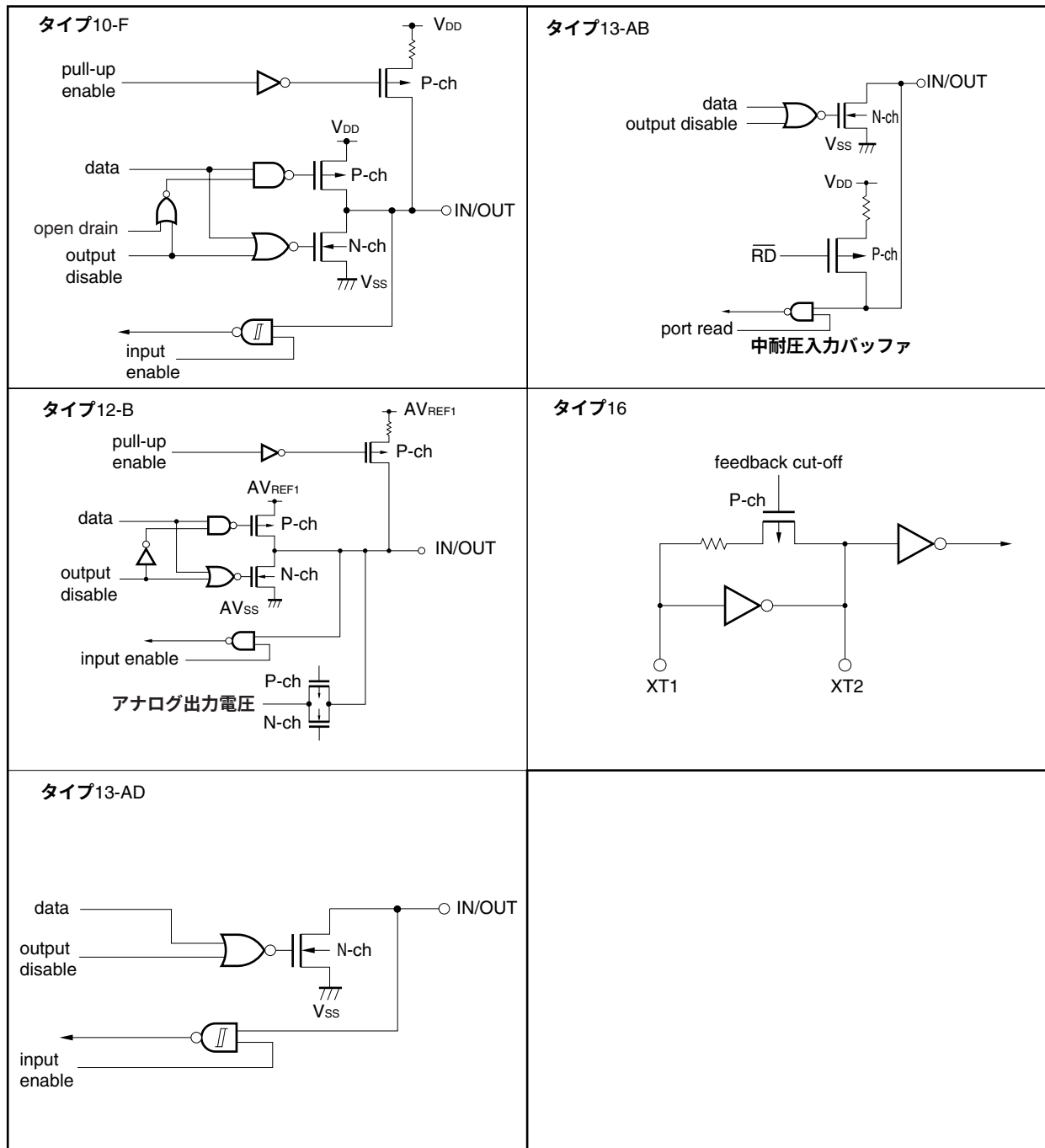
注1. FLMD0は、フラッシュ・メモリにデータを書き込むときに使用する端子です。オンボードでフラッシュ・メモリのデータを書き換える場合は、抵抗（10 kΩ：推奨）を介して、V_{SS}に接続してください。オンチップ・デバッグを行う場合も同様です。

2. 未使用時には、PSMR.XTSTPビットに必ず1を設定してください。

2.4 端子の入出力回路

(1/2)

タイプ2  ヒステリシス特性を有するシュミット・トリガ入力となっています。	タイプ8-A 
タイプ5-A 	タイプ9-C 
タイプ5-AF 	タイプ10-A 
タイプ5-W 	タイプ10-E 



備考 V_{DD}は、EV_{DD}またはBV_{DD}に置き換えて参照してください。V_{SS}は、EV_{SS}またはBV_{SS}に置き換えて参照してください。

第3章 CPU機能

V850ES/KJ2のCPUは、RISCアーキテクチャをベースとして、5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

- 命令数 : 83
- 可変命令長 (16ビット／32ビット長)
- 最小命令実行時間 : 50.0 ns (20 MHz動作時 : 4.5～5.5 V, REGC = V_{DD})
62.5 ns (16 MHz動作時 : 4.0～5.5 V, REGC = 10 μ F)
100 ns (10 MHz動作時 : 2.7～5.5 V, REGC = V_{DD})
- メモリ空間 プログラム空間 : 64 Mバイト・リニア
データ空間 : 4 Gバイト・リニア
- 汎用レジスタ : 32ビット×32本
- 内部32ビット・アーキテクチャ
- 5段パイプライン制御
- 乗除算命令
- 飽和演算命令
- 32ビット・シフト命令 : 1クロック
- ロング／ショート形式を持つロード／ストア命令
- ビット操作命令4種
 - ・SET1
 - ・CLR1
 - ・NOT1
 - ・TST1

3.2 CPUレジスタ・セット

V850ES/KJ2のレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES **ユーザーズ・マニュアル** **アーキテクチャ編**を参照してください。

(1) プログラム・レジスタ・セット		(2) システム・レジスタ・セット	
31	汎用レジスタ	31	0
r0	(ゼロ・レジスタ)	EIPC	(割り込み時状態回避レジスタ)
r1	(アセンブラ予約レジスタ)	EIPSW	(割り込み時状態回避レジスタ)
r2			
r3	(スタック・ポインタ (SP))	FEPC	(NMI時状態回避レジスタ)
r4	(グローバル・ポインタ (GP))	FEPSW	(NMI時状態回避レジスタ)
r5	(テキスト・ポインタ (TP))		
r6		ECR	(割り込み要因レジスタ)
r7			
r8		PSW	(プログラム・ステータス・ワード)
r9			
r10		CTPC	(CALLT実行時状態回避レジスタ)
r11		CTPSW	(CALLT実行時状態回避レジスタ)
r12			
r13		DBPC	(例外／デバッグ・トラップ時状態回避レジスタ)
r14		DBPSW	(例外／デバッグ・トラップ時状態回避レジスタ)
r15			
r16			
r17		CTBP	(CALLTベース・ポインタ)
r18			
r19			
r20			
r21			
r22			
r23			
r24			
r25			
r26			
r27			
r28			
r29			
r30	(エレメント・ポインタ (EP))		
r31	(リンク・ポインタ (LP))		
31	0		
PC	(プログラム・カウンタ)		

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

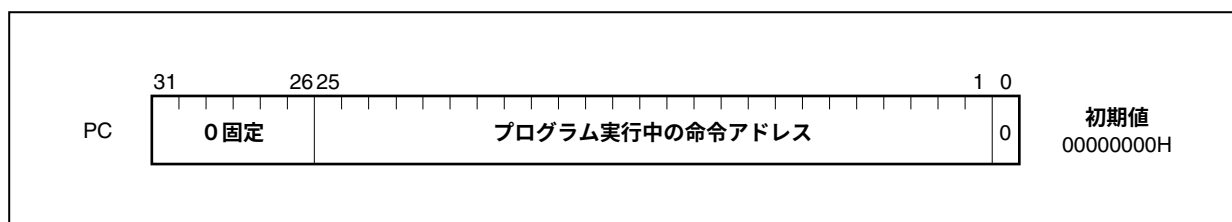
表3-1 プログラム・レジスタ一覧

名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ（使用するリアルタイムOSがr2を使用していない場合）	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域（プログラム・コードを配置する領域）の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは、システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}	○	○
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}	○	○
2	NMI時状態退避レジスタ (FEPC) ^{注1}	○	○
3	NMI時状態退避レジスタ (FEPSW) ^{注1}	○	○
4	割り込み要因レジスタ (ECR)	×	○
5	プログラム・ステータス・ワード (PSW)	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ (CTPC)	○	○
17	CALLT実行時状態退避レジスタ (CTPSW)	○	○
18	例外／デバッグ・トラップ時状態退避レジスタ (DBPC)	○ ^{注2}	○ ^{注2}
19	例外／デバッグ・トラップ時状態退避レジスタ (DBPSW)	○ ^{注2}	○ ^{注2}
20	CALLTベース・ポインタ (CTBP)	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1. これらのレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してから、DBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット（1）しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC、FEPC、CTPCに値を設定する場合は、偶数値（ビット0 = 0）を設定してください。

備考 ○：アクセス可能
×：アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ（PC）の内容がEIPCに、プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には、NMI時状態退避レジスタ（FEPC, FEPSW）に退避されます）。

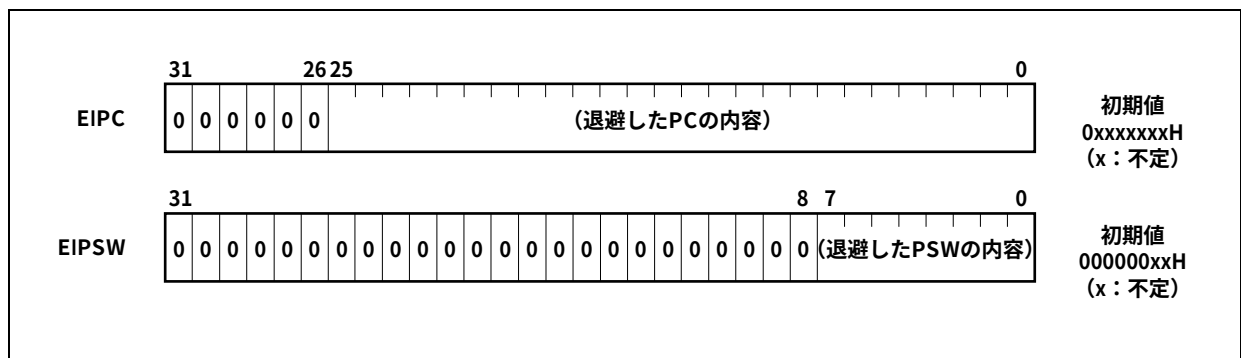
EIPCには、一部の命令（21.9 CPUが割り込みを受け付けられない期間参照）を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないので、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています（0に固定）。

RET命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスカブル割り込み（NMI）が発生した場合、プログラム・カウンタ（PC）の内容がFEPCに、プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります（NMI端子、INTWDT1割り込みでの多重割り込みの場合）。

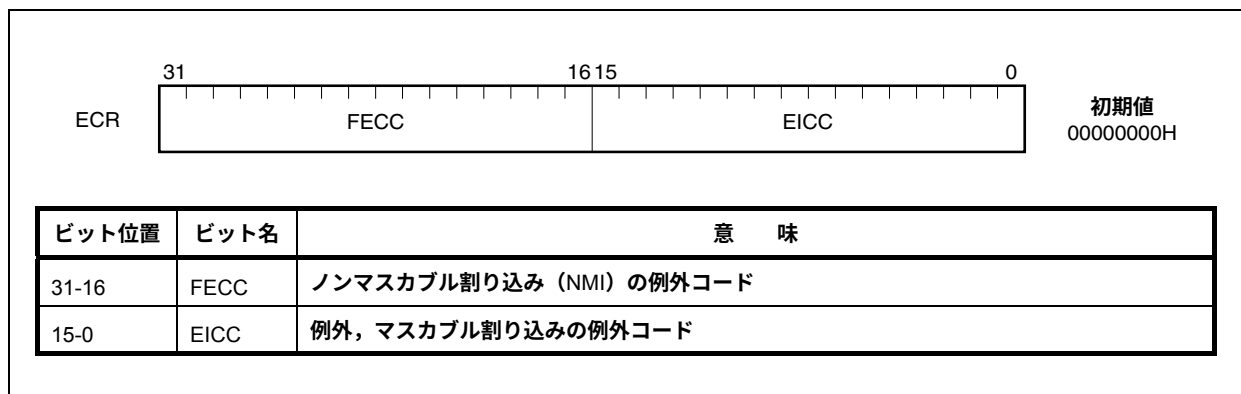
なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています（0に固定）。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。



(3) 割り込み要因レジスタ (ECR)

割り込み要因レジスタ（ECR）は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態（命令実行の結果）やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。

LDSR命令によるPSWのライト命令実行中は、割り込み要求の受け付けを保留します。

なお、ビット31-8は、将来の機能拡張のために予約されています（0に固定）。

(1/2)

	31																	8	7	6	5	4	3	2	1	0		
PSW	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	NP	EP	ID	SAT	CY	OV	S	Z	初期値 00000020H

ビット位置	フラグ名	意 味
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み可 1：割り込み不可
4	SAT ^注	飽和演算命令の演算結果がオーバーフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、またはボローは発生していない。 1：キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0：オーバーフローは発生していない。 1：オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0：演算の結果は、正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考 注の説明は次ページに記載しています。

注 飽和演算時の OV フラグと S フラグの内容で飽和処理した演算結果が決まります。また、飽和演算時に OV フラグがセット（1）された場合だけ、SAT フラグはセット（1）されます。

演算結果の状態	フラグの状態			飽和処理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正（最大値を越えない）	演算前の値を	0	0	演算結果そのもの
負（最大値を越えない）	保持		1	

(5) CALLT実行時状態退避レジスタ（CTPC, CTPSW）

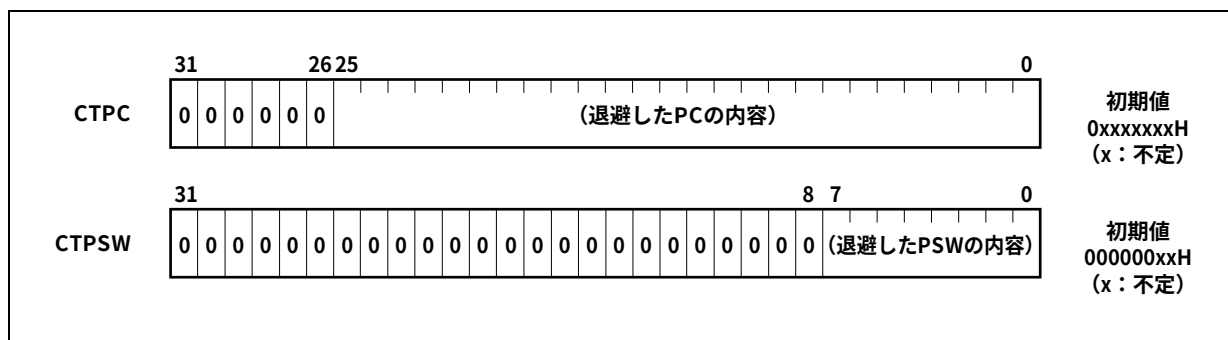
CALLT実行時状態退避レジスタには、CTPCとCTPSWがあります。

CALLT命令が実行されると、プログラム・カウンタ（PC）の内容がCTPCに、プログラム・ステータス・ワード（PSW）の内容がCTPSWに退避されます。

CTPCに退避される内容は、CALLT命令の次の命令のアドレスです。

CTPSWには、現在のPSWの内容が退避されます。

なお、CTPCのビット31-26とCTPSWのビット31-8は、将来の機能拡張のために予約されています（“0”に固定）。



(6) 例外／デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外／デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると、プログラム・カウンタ (PC) の内容がDBPC に、プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

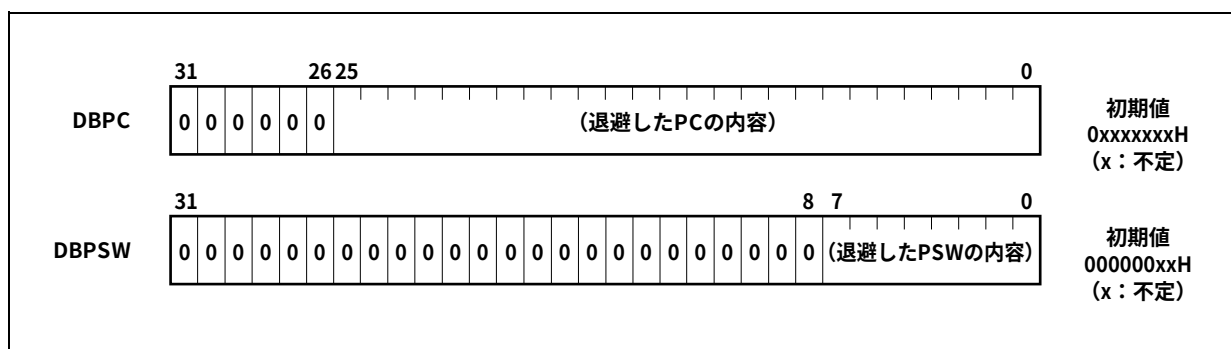
DBPCに退避される内容は、例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード／ライトは、DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています（“0”に固定）。

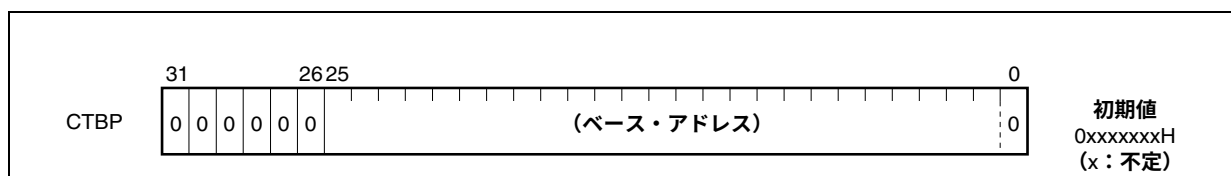
DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。



(7) CALLTベース・ポインタ (CTBP)

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます（ビット0は“0”に固定）。

なお、ビット31-26は、将来の機能拡張のために予約されています（“0”に固定）。



3.3 動作モード

V850ES/KJ2は次に示す動作モードを備えます。

- ・通常動作モード
- ・フラッシュ・メモリ・プログラミング・モード
- ・セルフ・プログラミング・モード
- ・オンチップ・デバッグ・モード

FLMD0, FLMD1端子の状態（入力レベル）により、動作モードを指定します。

通常動作モード時は、リセット期間にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行いますが、セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定は応用システムにおいて固定とし、動作中に変更しないでください。

FLMD0	FLMD1	動作モード
L	×	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

備考 H：ハイ・レベル

L：ロウ・レベル

×：任意

(1) 通常動作モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) セルフ・プログラミング・モード

ユーザ・アプリケーション内で内蔵フラッシュ・メモリの消去、書き込みを行うことができます。詳細は第26章 フラッシュ・メモリを参照してください。

(4) オンチップ・デバッグ・モード

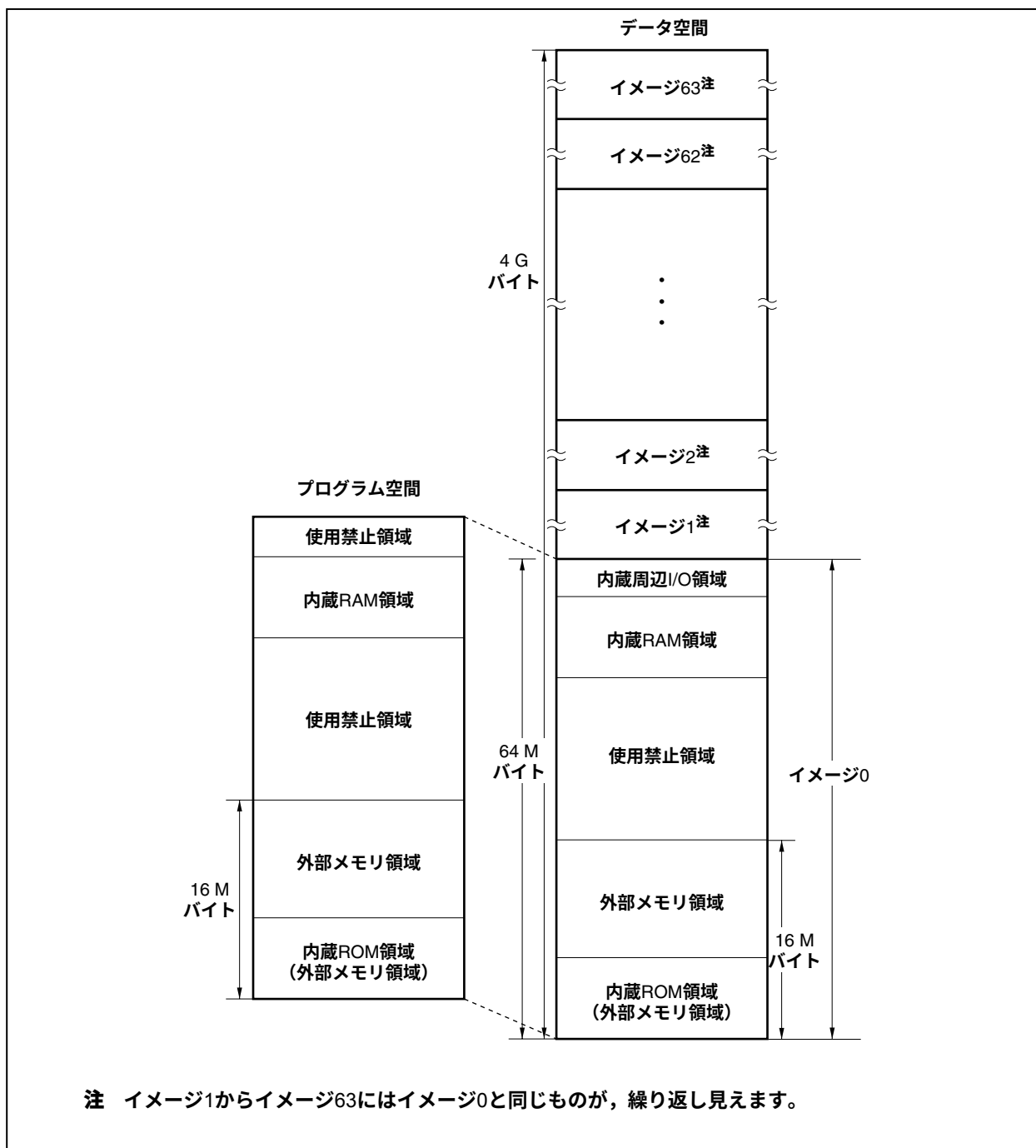
JTAG（Joint Test Action Group）の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第27章 オンチップ・デバッグ機能を参照してください。

3.4 アドレス空間

3.4.1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3-1 アドレス空間上のイメージ



3.4.2 メモリ・マップ

V850ES/KJ2では、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ (物理アドレス)

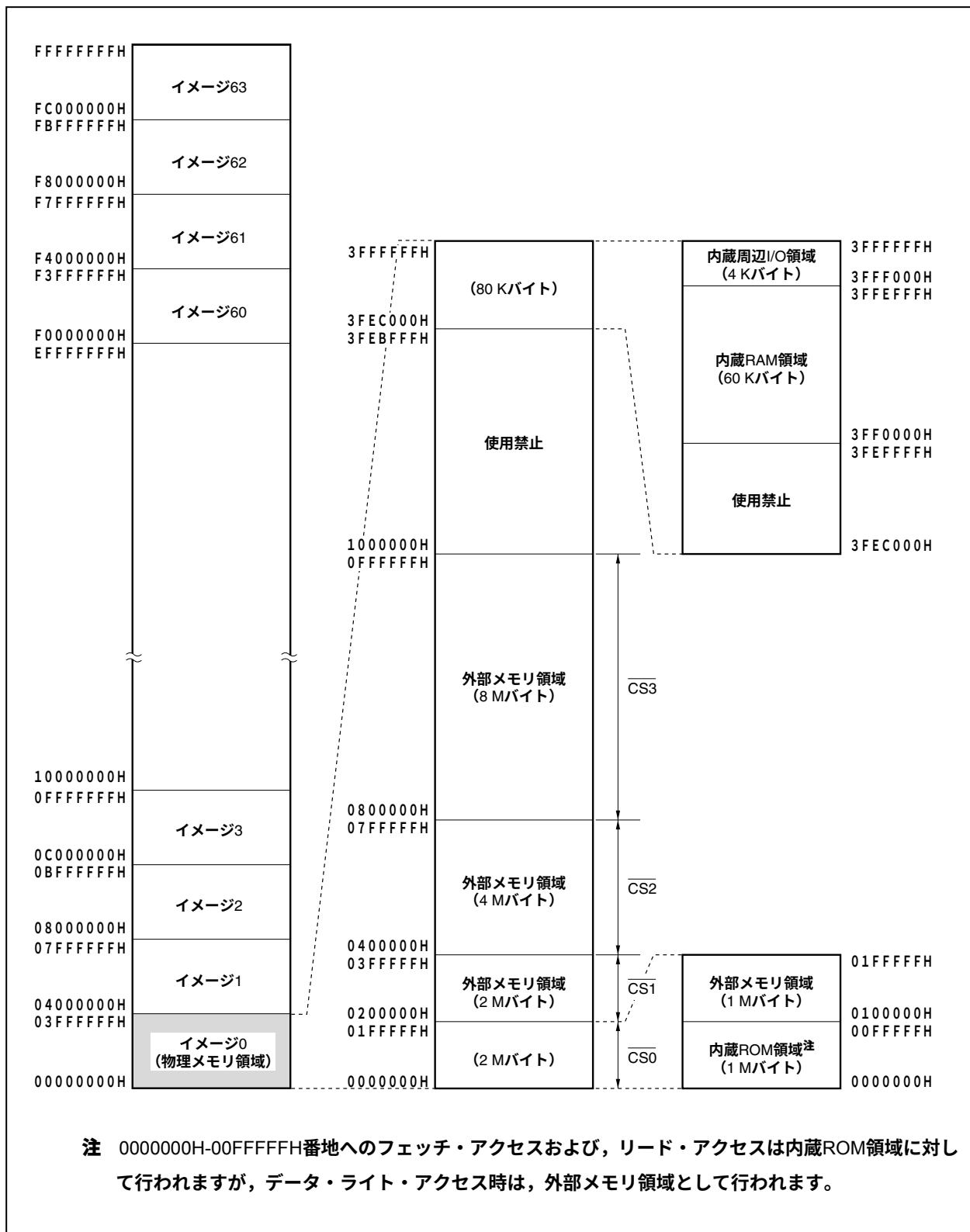
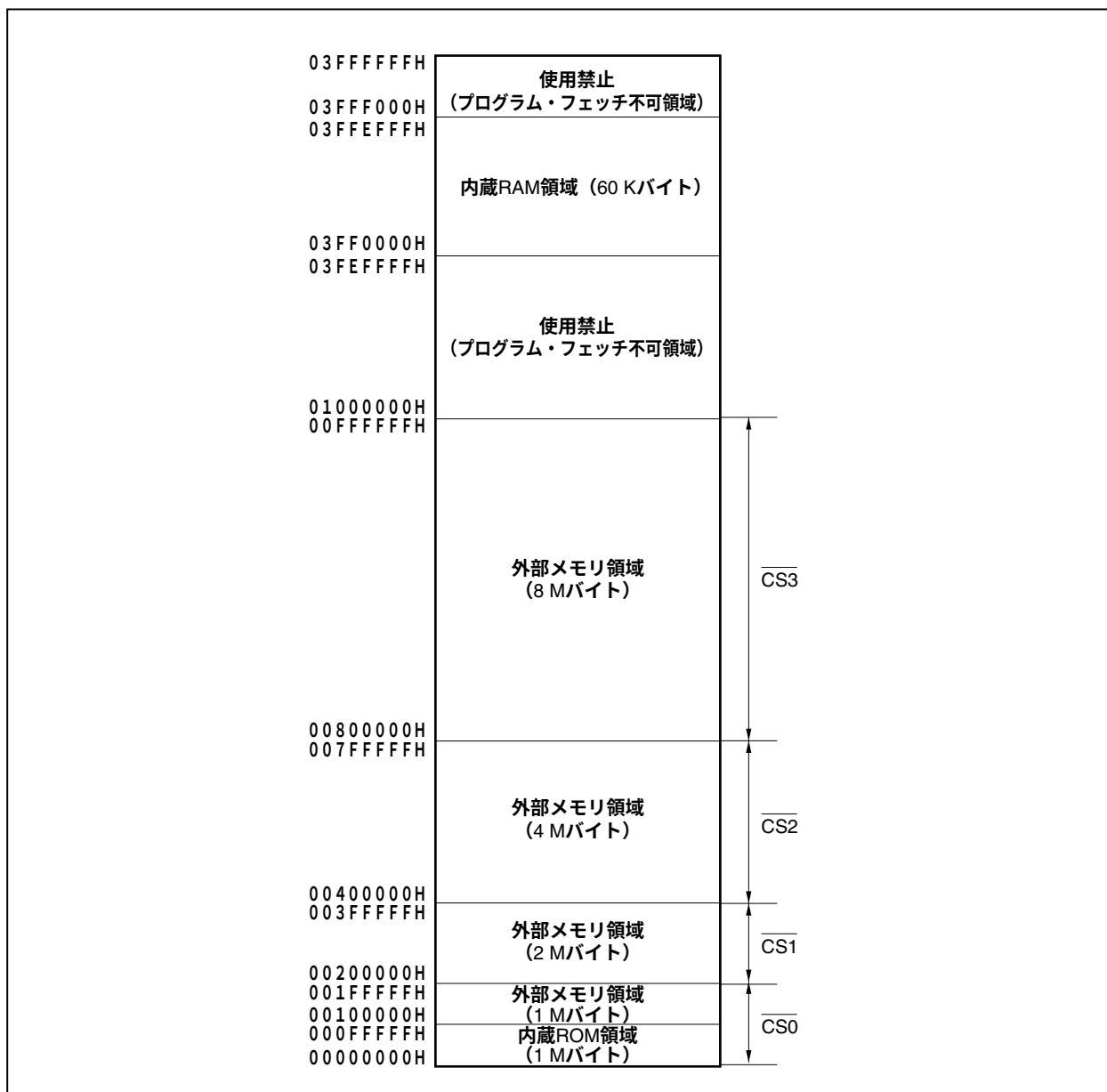


図3-3 プログラム・メモリ・マップ



3.4.3 領 域

(1) 内蔵ROM領域

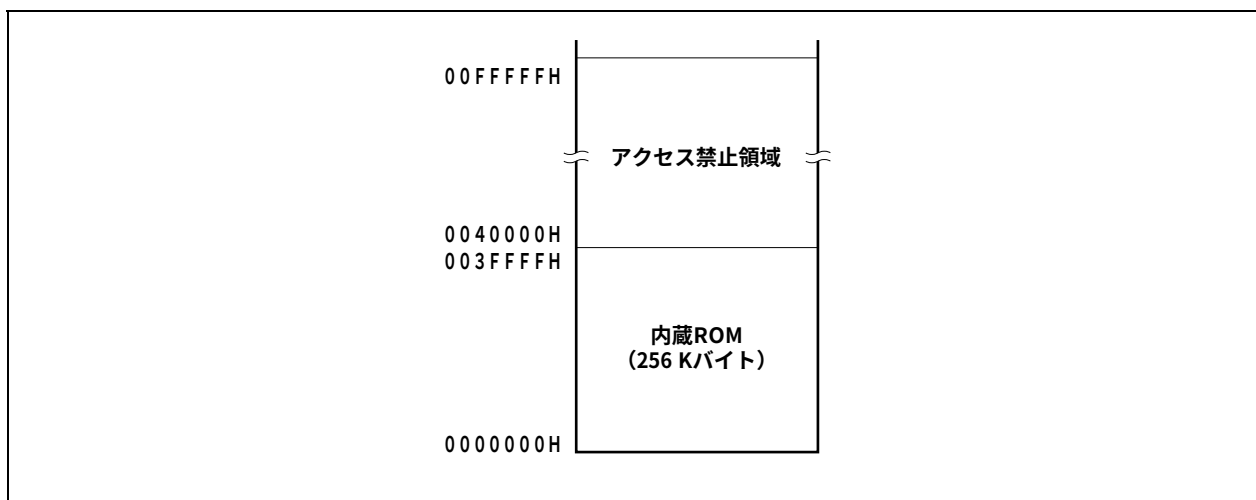
内蔵ROM領域は、0000000H-00FFFFFFH番地の1 Mバイトが予約されています。

(a) 内蔵ROM (256 Kバイト)

μ PD70F3734には、0000000Hから003FFFFH番地に256 Kバイト実装しています。

0040000Hから00FFFFFFH番地はアクセス禁止領域です。

図3-4 内蔵ROM (256 Kバイト)

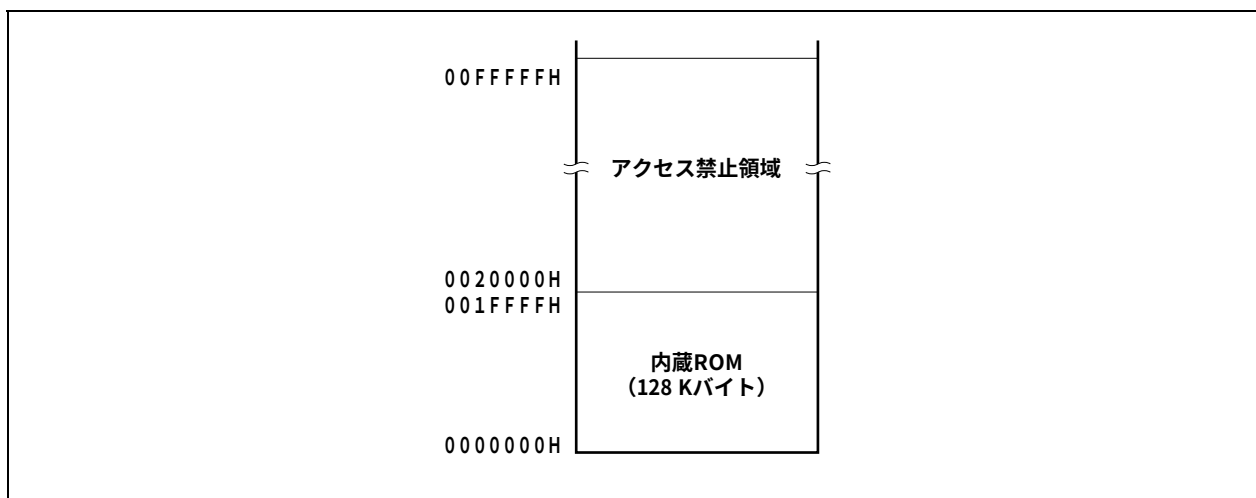


(b) 内蔵ROM (128 Kバイト)

μ PD70F3733には、0000000Hから001FFFFH番地に128 Kバイト実装しています。

0020000Hから00FFFFFFH番地はアクセス禁止領域です。

図3-5 内蔵ROM (128 Kバイト)



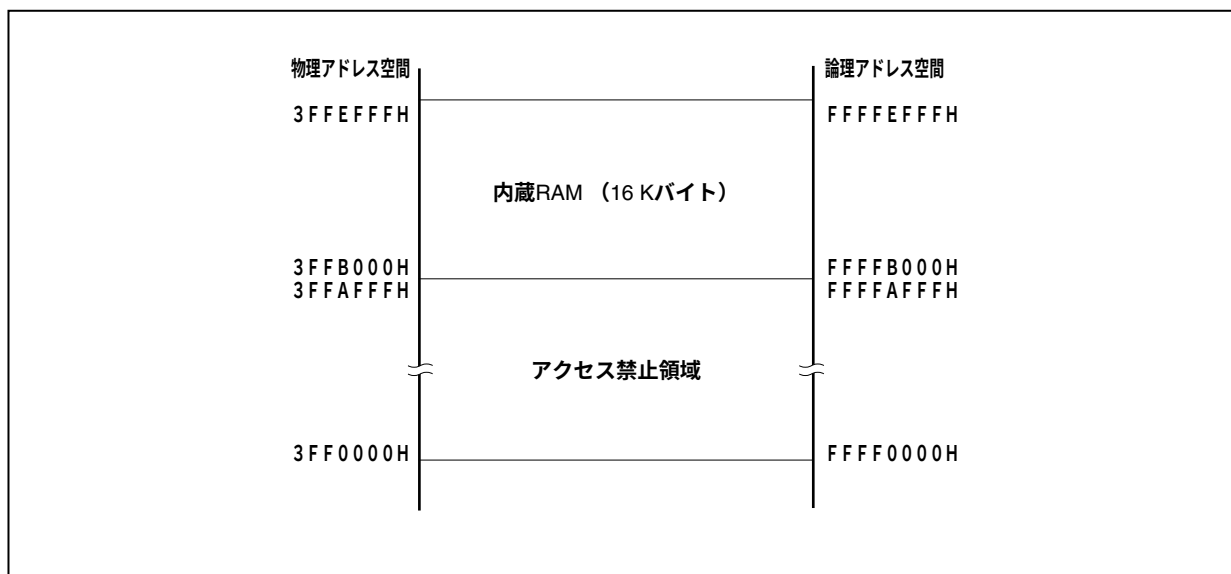
(2) 内蔵RAM領域

内蔵RAM領域は、3FF0000H-3FFFFFFFFH番地（物理アドレス）の最大60 Kバイトが予約されています。

(a) 内蔵RAM（16 Kバイト）

μ PD70F3734には、物理内蔵RAMとして3FFB000H-3FFFFFFFFH番地の16 Kバイトを実装しています。
3FF0000H-3FFAFFFFH番地はアクセス禁止領域です。

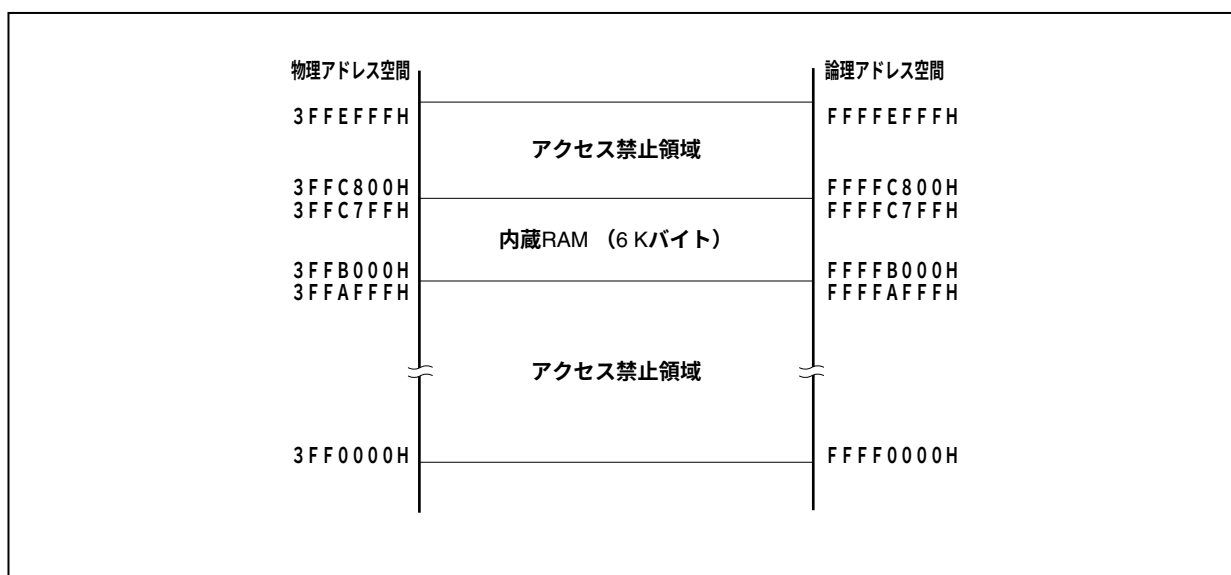
図3-6 内蔵RAM（16 Kバイト）



(b) 内蔵RAM（6 Kバイト）

μ PD70F3733には、物理内蔵RAMとして3FFB000H-3FFC7FFH番地の6 Kバイトを実装しています。
3FF0000H-3FFAFFFFH, 3FFC800H-3FFFFFFFFH番地はアクセス禁止領域です。

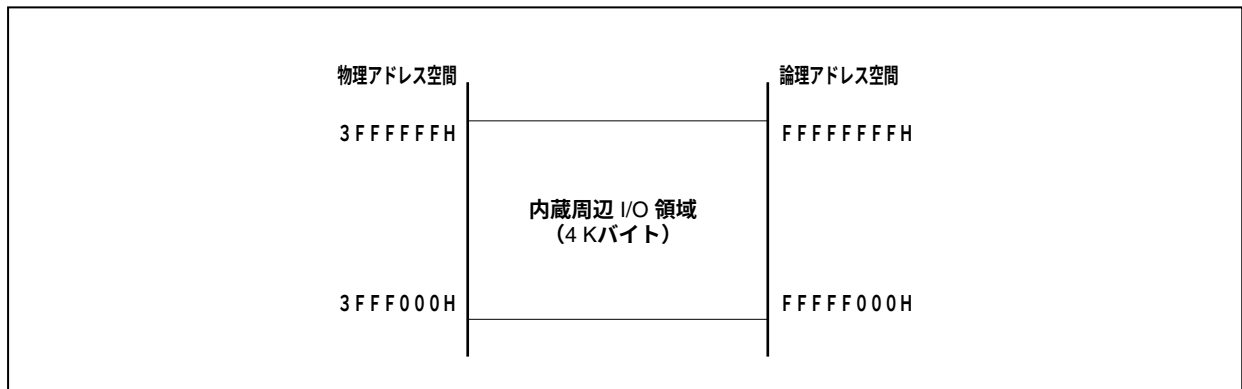
図3-7 内蔵RAM（6 Kバイト）



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として3FFF000H-3FFFFFFH番地（物理アドレス）の4 Kバイトを予約しています。

図3-8 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

- 注意1.** 周辺I/Oレジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
2. バイト・アクセス可能な周辺I/Oレジスタにハーフワード・アクセスした場合、下位8ビットが有効になります。上位8ビットに対しては、リード時は不定になり、ライト時は無効になります。
3. レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。

(4) 外部メモリ領域

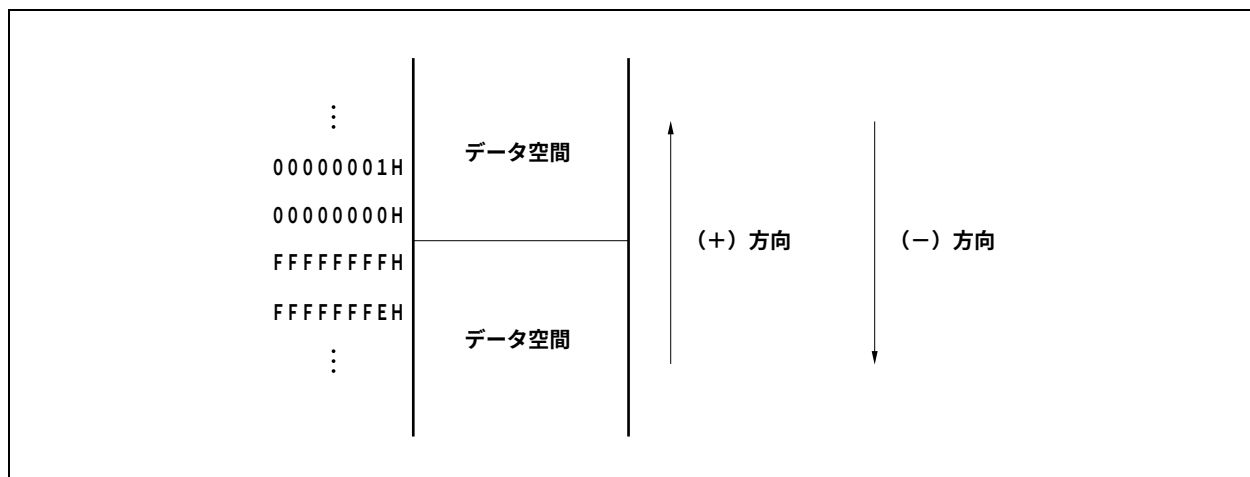
外部メモリ領域として15 Mバイト（0100000H-0FFFFFFH）あります。4つのブロックに分かれていて、ブロックごとに8/16ビット幅のアクセスが可能です。詳細は第5章 バス制御機能を参照してください。

3.4.4 データ空間のラップ・アラウンド

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の下限である00000000H番地と、上限のFFFFFFFFH番地は連続したアドレスになり、この境界でラップ・アラウンドします。

図3-9 データ空間のラップアラウンド



3.4.5 アドレス空間の推奨使用方法

V850ES/KJ2のアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC（プログラム・カウンタ）は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

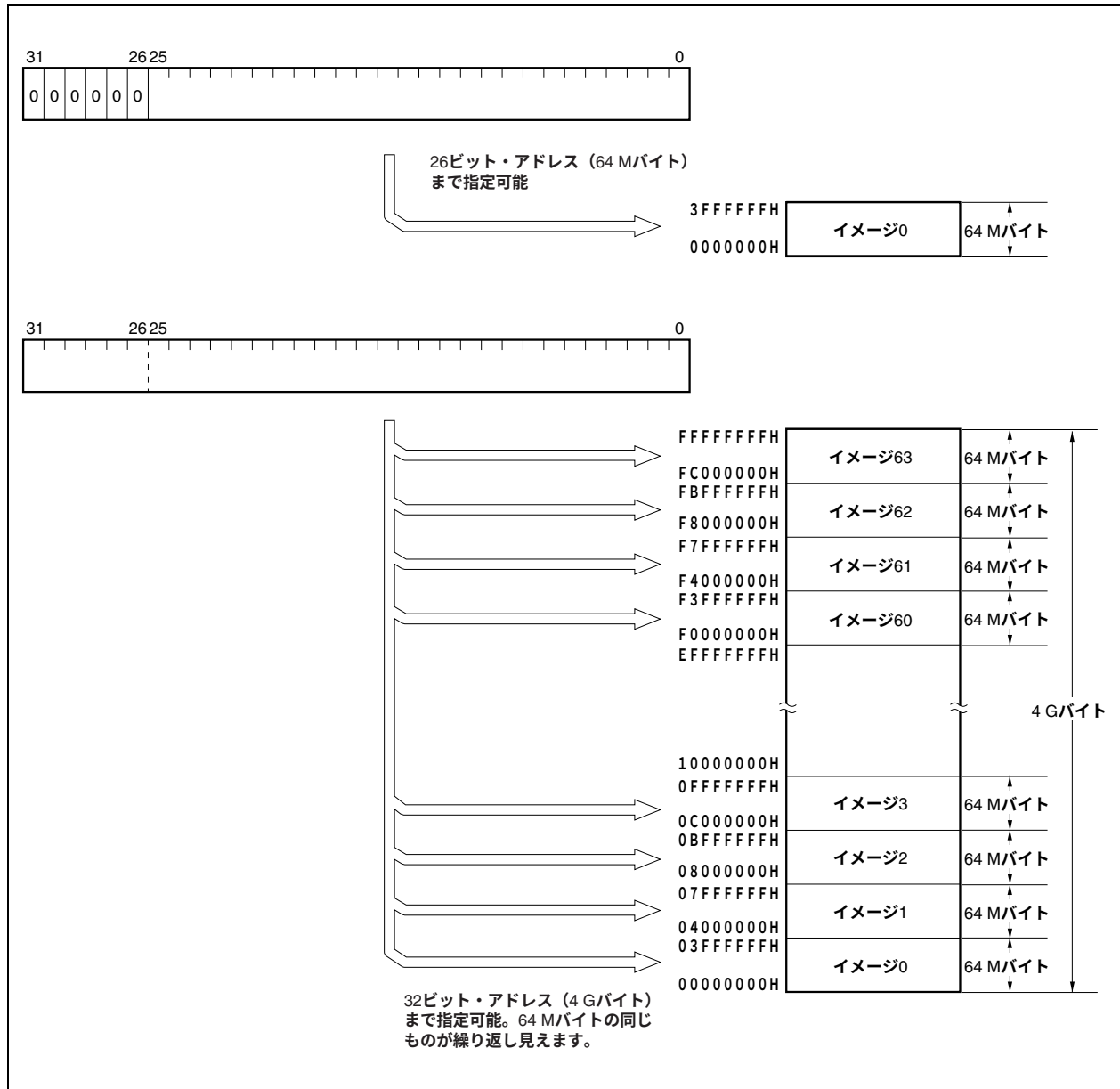
製品名	RAMサイズ	アクセス番地
μ PD70F3733	6 Kバイト	3FFB000H-3FFC7FFH
μ PD70F3734	16 Kバイト	3FFB000H-3FFEFFFH

(2) データ空間

V850ES/KJ2では、4 Gバイト（32ビット・アドレス）のCPUアドレス空間に64 Mバイト（26ビット・アドレス）の物理アドレス空間が64個のイメージとして見えるため、この64 Mバイト（26ビット・アドレス）の最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

★

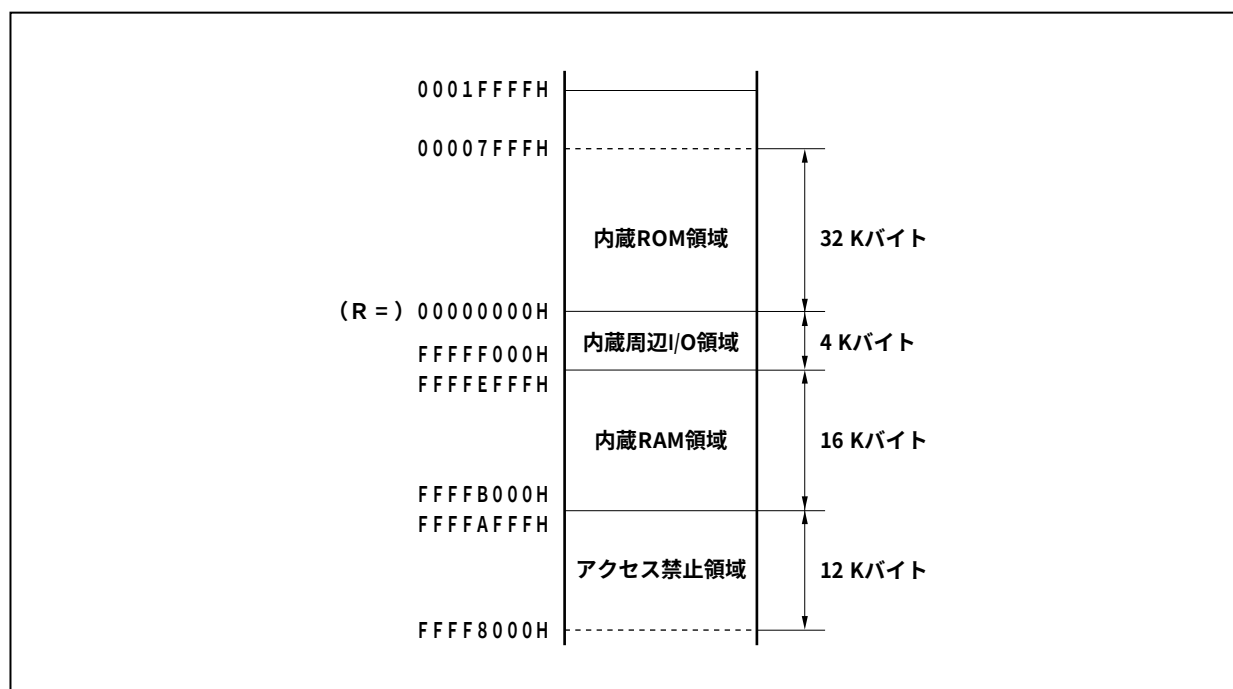
図3-10 データ空間の符号拡張



(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R] 命令で R = r0 (ゼロ・レジスタ) とした場合, 符号拡張した disp16 により, 00000000H 番地 ± 32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり, ポインタ専用に費やすレジスタは実質不要となります。

図3-11 μ PD70F3734のデータ空間の使用例

3.4.6 周辺I/Oレジスタ

(1/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W			○	0000H ^注
FFFFF004H	ポートDLレジスタL	PDLL	R/W	○	○		00H ^注
FFFFF005H	ポートDLレジスタH	PDLH	R/W	○	○		00H ^注
FFFFF006H	ポートDHレジスタ	PDH	R/W	○	○		00H ^注
FFFFF008H	ポートCSレジスタ	PCS	R/W	○	○		00H ^注
FFFFF00AH	ポートCTレジスタ	PCT	R/W	○	○		00H ^注
FFFFF00CH	ポートCMレジスタ	PCM	R/W	○	○		00H ^注
FFFFF00EH	ポートCDレジスタ	PCD	R/W	○	○		00H ^注
FFFFF024H	ポートDLモード・レジスタ	PMDL	R/W			○	FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL	R/W	○	○		FFH
FFFFF025H	ポートDLモード・レジスタH	PMDLH	R/W	○	○		FFH
FFFFF026H	ポートDHモード・レジスタ	PMDH	R/W	○	○		FFH
FFFFF028H	ポートCSモード・レジスタ	PMCS	R/W	○	○		FFH
FFFFF02AH	ポートCTモード・レジスタ	PMCT	R/W	○	○		FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM	R/W	○	○		FFH
FFFFF02EH	ポートCDモード・レジスタ	PMCD	R/W	○	○		FFH
FFFFF044H	ポートDLモード・コントロール・レジスタ	PMCDL	R/W			○	0000H
FFFFF044H	ポートDLモード・コントロール・レジスタL	PMCDLL	R/W	○	○		00H
FFFFF045H	ポートDLモード・コントロール・レジスタH	PMCDLH	R/W	○	○		00H
FFFFF046H	ポートDHモード・コントロール・レジスタ	PMCDH	R/W	○	○		00H
FFFFF048H	ポートCSモード・コントロール・レジスタ	PMCCS	R/W	○	○		00H
FFFFF04AH	ポートCTモード・コントロール・レジスタ	PMCCT	R/W	○	○		00H
FFFFF04CH	ポートCMモード・コントロール・レジスタ	PMCCM	R/W	○	○		00H
FFFFF066H	バス・サイズ・コンフィギュレーション・レジスタ	BSC	R/W			○	5555H
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC	R/W	○	○		77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L	R/W			○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H	R/W			○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L	R/W			○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H	R/W			○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L	R/W			○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H	R/W			○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L	R/W			○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H	R/W			○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L	R/W			○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H	R/W			○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L	R/W			○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H	R/W			○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L	R/W			○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H	R/W			○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L	R/W			○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H	R/W			○	不定

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(2/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0	R/W			○	不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1	R/W			○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2	R/W			○	不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3	R/W			○	不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0	R/W			○	0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1	R/W			○	0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2	R/W			○	0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3	R/W			○	0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0	R/W	○	○		00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1	R/W	○	○		00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2	R/W	○	○		00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3	R/W	○	○		00H
FFFFF100H	割り込みマスクレジスタ0	IMR0	R/W			○	FFFFH
FFFFF100H	割り込みマスクレジスタ0L	IMR0L	R/W	○	○		FFH
FFFFF101H	割り込みマスクレジスタ0H	IMR0H	R/W	○	○		FFH
FFFFF102H	割り込みマスクレジスタ1	IMR1	R/W			○	FFFFH
FFFFF102H	割り込みマスクレジスタ1L	IMR1L	R/W	○	○		FFH
FFFFF103H	割り込みマスクレジスタ1H	IMR1H	R/W	○	○		FFH
FFFFF104H	割り込みマスクレジスタ2	IMR2	R/W			○	FFFFH
FFFFF104H	割り込みマスクレジスタ2L	IMR2L	R/W	○	○		FFH
FFFFF105H	割り込みマスクレジスタ2H	IMR2H	R/W	○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3	R/W			○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L	R/W	○	○		FFH
FFFFF107H	割り込みマスク・レジスタ3H	IMR3H	R/W	○	○		FFH
FFFFF110H	割り込み制御レジスタ (INTWDTM1)	WDT1IC	R/W	○	○		47H
FFFFF112H	割り込み制御レジスタ (INTP0)	PIC0	R/W	○	○		47H
FFFFF114H	割り込み制御レジスタ (INTP1)	PIC1	R/W	○	○		47H
FFFFF116H	割り込み制御レジスタ (INTP2)	PIC2	R/W	○	○		47H
FFFFF118H	割り込み制御レジスタ (INTP3)	PIC3	R/W	○	○		47H
FFFFF11AH	割り込み制御レジスタ (INTP4)	PIC4	R/W	○	○		47H
FFFFF11CH	割り込み制御レジスタ (INTP5)	PIC5	R/W	○	○		47H
FFFFF11EH	割り込み制御レジスタ (INTP6)	PIC6	R/W	○	○		47H
FFFFF120H	割り込み制御レジスタ (INTTM000)	TM0IC00	R/W	○	○		47H
FFFFF122H	割り込み制御レジスタ (INTTM001)	TM0IC01	R/W	○	○		47H
FFFFF124H	割り込み制御レジスタ (INTTM010)	TM0IC10	R/W	○	○		47H
FFFFF126H	割り込み制御レジスタ (INTTM011)	TM0IC11	R/W	○	○		47H
FFFFF128H	割り込み制御レジスタ (INTTM50)	TM5IC0	R/W	○	○		47H
FFFFF12AH	割り込み制御レジスタ (INTTM51)	TM5IC1	R/W	○	○		47H
FFFFF12CH	割り込み制御レジスタ (INTCSI00)	CSI0IC0	R/W	○	○		47H
FFFFF12EH	割り込み制御レジスタ (INTCSI01)	CSI0IC1	R/W	○	○		47H
FFFFF130H	割り込み制御レジスタ (INTSRE0)	SREIC0	R/W	○	○		47H
FFFFF132H	割り込み制御レジスタ (INTSR0)	SRIC0	R/W	○	○		47H

(3/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF134H	割り込み制御レジスタ (INTST0)	STIC0	R/W	○	○		47H
FFFFF136H	割り込み制御レジスタ (INTSRE1)	SREIC1	R/W	○	○		47H
FFFFF138H	割り込み制御レジスタ (INTSR1)	SRIC1	R/W	○	○		47H
FFFFF13AH	割り込み制御レジスタ (INTST1)	STIC1	R/W	○	○		47H
FFFFF13CH	割り込み制御レジスタ (INTTMH0)	TMHIC0	R/W	○	○		47H
FFFFF13EH	割り込み制御レジスタ (INTTMH1)	TMHIC1	R/W	○	○		47H
FFFFF140H	割り込み制御レジスタ (INTCSIA0)	CSIAIC0	R/W	○	○		47H
FFFFF142H	割り込み制御レジスタ (INTIIC0)	IICIC0	R/W	○	○		47H
FFFFF144H	割り込み制御レジスタ (INTAD)	ADIC	R/W	○	○		47H
FFFFF146H	割り込み制御レジスタ (INTKR)	KRIC	R/W	○	○		47H
FFFFF148H	割り込み制御レジスタ (INTWTI)	WTIIC	R/W	○	○		47H
FFFFF14AH	割り込み制御レジスタ (INTWT)	WTIC	R/W	○	○		47H
FFFFF14CH	割り込み制御レジスタ (INTBRG)	BRGIC	R/W	○	○		47H
FFFFF14EH	割り込み制御レジスタ (INTTM020)	TM0IC20	R/W	○	○		47H
FFFFF150H	割り込み制御レジスタ (INTTM021)	TM0IC21	R/W	○	○		47H
FFFFF152H	割り込み制御レジスタ (INTTM030)	TM0IC30	R/W	○	○		47H
FFFFF154H	割り込み制御レジスタ (INTTM031)	TM0IC31	R/W	○	○		47H
FFFFF156H	割り込み制御レジスタ (INTCSIA1)	CSIAIC1	R/W	○	○		47H
FFFFF158H	割り込み制御レジスタ (INTTM040)	TM0IC40	R/W	○	○		47H
FFFFF15AH	割り込み制御レジスタ (INTTM041)	TM0IC41	R/W	○	○		47H
FFFFF15CH	割り込み制御レジスタ (INTTM050)	TM0IC50	R/W	○	○		47H
FFFFF15EH	割り込み制御レジスタ (INTTM051)	TM0IC51	R/W	○	○		47H
FFFFF160H	割り込み制御レジスタ (INTCSI02)	CSI0IC2	R/W	○	○		47H
FFFFF162H	割り込み制御レジスタ (INTSRE2)	SREIC2	R/W	○	○		47H
FFFFF164H	割り込み制御レジスタ (INTSR2)	SRIC2	R/W	○	○		47H
FFFFF166H	割り込み制御レジスタ (INTST2)	STIC2	R/W	○	○		47H
FFFFF168H	割り込み制御レジスタ (INTIIC1)	IICIC1	R/W	○	○		47H
FFFFF172H	割り込み制御レジスタ (INTP7)	PIC7	R/W	○	○		47H
FFFFF174H	割り込み制御レジスタ (INTTP0OV)	TP0OVIC	R/W	○	○		47H
FFFFF176H	割り込み制御レジスタ (INTTP0CC0)	TP0CCIC0	R/W	○	○		47H
FFFFF178H	割り込み制御レジスタ (INTTP0CC1)	TP0CCIC1	R/W	○	○		47H
FFFFF17AH	割り込み制御レジスタ (INTDMA0)	DMAIC0	R/W	○	○		47H
FFFFF17CH	割り込み制御レジスタ (INTDMA1)	DMAIC1	R/W	○	○		47H
FFFFF17EH	割り込み制御レジスタ (INTDMA2)	DMAIC2	R/W	○	○		47H
FFFFF180H	割り込み制御レジスタ (INTDMA3)	DMAIC3	R/W	○	○		47H
FFFFF1FAH	インサース・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC ^注	R/W	○	○		00H
FFFFF200H	A/Dコンバータ・モード・レジスタ	ADM	R/W	○	○		00H
FFFFF201H	アナログ入力チャネル指定レジスタ	ADS	R/W	○	○		00H
FFFFF202H	パワー・フェイル比較モード・レジスタ	PFM	R/W	○	○		00H
FFFFF203H	パワー・フェイル比較しきい値レジスタ	PFT	R/W		○		00H

注 特定レジスタです。

(4/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF204H	A/D変換結果レジスタ	ADCR	R			○	不定
FFFFF205H	A/D変換結果レジスタH	ADCRH	R		○		不定
FFFFF280H	D/A変換値設定レジスタ0	DACS0	R/W		○		00H
FFFFF282H	D/A変換値設定レジスタ1	DACS1	R/W		○		00H
FFFFF284H	D/Aコンバータ・モード・レジスタ	DAM	R/W	○	○		00H
FFFFF300H	キー・リターン・モード・レジスタ	KRM	R/W	○	○		00H
FFFFF30AH	セレクト動作制御レジスタ1	SELCNT1	R/W	○	○		00H
FFFFF318H	ディジタル・ノイズ除去制御レジスタ	NFC	R/W	○	○		00H
FFFFF400H	ポート0レジスタ	P0	R/W	○	○		00H ^注
FFFFF402H	ポート1レジスタ	P1	R/W	○	○		00H ^注
FFFFF406H	ポート3レジスタ	P3	R/W			○	0000H ^注
FFFFF406H	ポート3レジスタL	P3L	R/W	○	○		00H ^注
FFFFF407H	ポート3レジスタH	P3H	R/W	○	○		00H ^注
FFFFF408H	ポート4レジスタ	P4	R/W	○	○		00H ^注
FFFFF40AH	ポート5レジスタ	P5	R/W	○	○		00H ^注
FFFFF40CH	ポート6レジスタ	P6	R/W			○	0000H ^注
FFFFF40CH	ポート6レジスタL	P6L	R/W	○	○		00H ^注
FFFFF40DH	ポート6レジスタH	P6H	R/W	○	○		00H ^注
FFFFF40EH	ポート7レジスタ	P7	R			○	不定
FFFFF40EH	ポート7レジスタL	P7L	R		○		不定
FFFFF40FH	ポート7レジスタH	P7H	R		○		不定
FFFFF410H	ポート8レジスタ	P8	R/W	○	○		00H ^注
FFFFF412H	ポート9レジスタ	P9	R/W			○	0000H ^注
FFFFF412H	ポート9レジスタL	P9L	R/W	○	○		00H ^注
FFFFF413H	ポート9レジスタH	P9H	R/W	○	○		00H ^注
FFFFF420H	ポート0モード・レジスタ	PM0	R/W	○	○		FFH
FFFFF422H	ポート1モード・レジスタ	PM1	R/W	○	○		FFH
FFFFF426H	ポート3モード・レジスタ	PM3	R/W			○	FFFFH
FFFFF426H	ポート3モード・レジスタL	PM3L	R/W	○	○		FFH
FFFFF427H	ポート3モード・レジスタH	PM3H	R/W	○	○		FFH
FFFFF428H	ポート4モード・レジスタ	PM4	R/W	○	○		FFH
FFFFF42AH	ポート5モード・レジスタ	PM5	R/W	○	○		FFH
FFFFF42CH	ポート6モード・レジスタ	PM6	R/W			○	FFFFH
FFFFF42CH	ポート6モード・レジスタL	PM6L	R/W	○	○		FFH
FFFFF42DH	ポート6モード・レジスタH	PM6H	R/W	○	○		FFH
FFFFF430H	ポート8モード・レジスタ	PM8	R/W	○	○		FFH
FFFFF432H	ポート9モード・レジスタ	PM9	R/W			○	FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L	R/W	○	○		FFH
FFFFF433H	ポート9モード・レジスタH	PM9H	R/W	○	○		FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0	R/W	○	○		00H

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(5/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3	R/W			○	0000H
FFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L	R/W	○	○		00H
FFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H	R/W	○	○		00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4	R/W	○	○		00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5	R/W	○	○		00H
FFFFF44CH	ポート6モード・コントロール・レジスタ	PMC6	R/W			○	0000H
FFFFF44CH	ポート6モード・コントロール・レジスタL	PMC6L	R/W	○	○		00H
FFFFF44DH	ポート6モード・コントロール・レジスタH	PMC6H	R/W	○	○		00H
FFFFF450H	ポート8モード・コントロール・レジスタ	PMC8	R/W	○	○		00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9	R/W			○	0000H
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L	R/W	○	○		00H
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H	R/W	○	○		00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3	R/W	○	○		00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4	R/W	○	○		00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5	R/W	○	○		00H
FFFFF46DH	ポート6ファンクション・コントロール・レジスタ	PFC6H	R/W	○	○		00H
FFFFF470H	ポート8ファンクション・コントロール・レジスタ	PFC8	R/W	○	○		00H
FFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9	R/W			○	0000H
FFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L	R/W	○	○		00H
FFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H	R/W	○	○		00H
FFFFF484H	データ・ウェイト制御レジスタ0	DWC0	R/W			○	7777H
FFFFF488H	アドレス・ウェイト制御レジスタ	AWC	R/W			○	FFFFH
FFFFF48AH	バス・サイクル制御レジスタ	BCC	R/W			○	AAAAH
FFFFF580H	8ビット・タイマHモード・レジスタ0	TMHMD0	R/W	○	○		00H
FFFFF581H	8ビット・タイマHキャリア・コントロール・レジスタ0	TMCYC0	R/W	○	○		00H
FFFFF582H	8ビット・タイマHコンペア・レジスタ00	CMP00	R/W		○		00H
FFFFF583H	8ビット・タイマHコンペア・レジスタ01	CMP01	R/W		○		00H
FFFFF590H	8ビット・タイマHモード・レジスタ1	TMHMD1	R/W	○	○		00H
FFFFF591H	8ビット・タイマHキャリア・コントロール・レジスタ1	TMCYC1	R/W	○	○		00H
FFFFF592H	8ビット・タイマHコンペア・レジスタ10	CMP10	R/W		○		00H
FFFFF593H	8ビット・タイマHコンペア・レジスタ11	CMP11	R/W		○		00H
FFFFF5A0H	TMP0制御レジスタ0	TP0CTL0	R/W	○	○		00H
FFFFF5A1H	TMP0制御レジスタ1	TP0CTL1	R/W	○	○		00H
FFFFF5A2H	TMP0I/O制御レジスタ0	TP0IOC0	R/W	○	○		00H
FFFFF5A3H	TMP0I/O制御レジスタ1	TP0IOC1	R/W	○	○		00H
FFFFF5A4H	TMP0I/O制御レジスタ2	TP0IOC2	R/W	○	○		00H
FFFFF5A5H	TMP0オプション・レジスタ0	TP0OPT0	R/W	○	○		00H
FFFFF5A6H	TMP0キャプチャ／コンペア・レジスタ0	TP0CCR0	R/W			○	0000H
FFFFF5A8H	TMP0キャプチャ／コンペア・レジスタ1	TP0CCR1	R/W			○	0000H
FFFFF5AAH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R			○	0000H
FFFFF5C0H	16ビット・タイマ・カウンタ5	TM5	R			○	0000H
FFFFF5C0H	8ビット・タイマ・カウンタ50	TM50	R		○		00H
FFFFF5C1H	8ビット・タイマ・カウンタ51	TM51	R		○		00H

(6/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5C2H	16ビット・タイマ・コンペア・レジスタ5	CR5	R/W			○	0000H
FFFFF5C2H	8ビット・タイマ・コンペア・レジスタ50	CR50	R/W		○		00H
FFFFF5C3H	8ビット・タイマ・コンペア・レジスタ51	CR51	R/W		○		00H
FFFFF5C4H	タイマ・クロック選択レジスタ5	TCL5	R/W			○	0000H
FFFFF5C4H	タイマ・クロック選択レジスタ50	TCL50	R/W		○		00H
FFFFF5C5H	タイマ・クロック選択レジスタ51	TCL51	R/W		○		00H
FFFFF5C6H	16ビット・タイマ・モード・コントロール・レジスタ5	TMC5	R/W			○	0000H
FFFFF5C6H	8ビット・タイマ・モード・コントロール・レジスタ50	TMC50	R/W	○	○		00H
FFFFF5C7H	8ビット・タイマ・モード・コントロール・レジスタ51	TMC51	R/W	○	○		00H
FFFFF600H	16ビット・タイマ・カウンタ00	TM00	R			○	0000H
FFFFF602H	16ビット・タイマ・キャプチャ／コンペア・レジスタ000	CR000	R/W			○	0000H
FFFFF604H	16ビット・タイマ・キャプチャ／コンペア・レジスタ001	CR001	R/W			○	0000H
FFFFF606H	16ビット・タイマ・モード・コントロール・レジスタ00	TMC00	R/W	○	○		00H
FFFFF607H	プリスケアラ・モード・レジスタ00	PRM00	R/W	○	○		00H
FFFFF608H	キャプチャ／コンペア・コントロール・レジスタ00	CRC00	R/W	○	○		00H
FFFFF609H	16ビット・タイマ出力コントロール・レジスタ00	TOC00	R/W	○	○		00H
FFFFF610H	16ビット・タイマ・カウンタ01	TM01	R			○	0000H
FFFFF612H	16ビット・タイマ・キャプチャ／コンペア・レジスタ010	CR010	R/W			○	0000H
FFFFF614H	16ビット・タイマ・キャプチャ／コンペア・レジスタ011	CR011	R/W			○	0000H
FFFFF616H	16ビット・タイマ・モード・コントロール・レジスタ01	TMC01	R/W	○	○		00H
FFFFF617H	プリスケアラ・モード・レジスタ01	PRM01	R/W	○	○		00H
FFFFF618H	キャプチャ／コンペア・コントロール・レジスタ01	CRC01	R/W	○	○		00H
FFFFF619H	16ビット・タイマ出力コントロール・レジスタ01	TOC01	R/W	○	○		00H
FFFFF620H	16ビット・タイマ・カウンタ02	TM02	R			○	0000H
FFFFF622H	16ビット・タイマ・キャプチャ／コンペア・レジスタ020	CR020	R/W			○	0000H
FFFFF624H	16ビット・タイマ・キャプチャ／コンペア・レジスタ021	CR021	R/W			○	0000H
FFFFF626H	16ビット・タイマ・モード・コントロール・レジスタ02	TMC02	R/W	○	○		00H
FFFFF627H	プリスケアラ・モード・レジスタ02	PRM02	R/W	○	○		00H
FFFFF628H	キャプチャ／コンペア・コントロール・レジスタ02	CRC02	R/W	○	○		00H
FFFFF629H	16ビット・タイマ出力コントロール・レジスタ02	TOC02	R/W	○	○		00H
FFFFF630H	16ビット・タイマ・カウンタ03	TM03	R			○	0000H
FFFFF632H	16ビット・タイマ・キャプチャ／コンペア・レジスタ030	CR030	R/W			○	0000H
FFFFF634H	16ビット・タイマ・キャプチャ／コンペア・レジスタ031	CR031	R/W			○	0000H
FFFFF636H	16ビット・タイマ・モード・コントロール・レジスタ03	TMC03	R/W	○	○		00H
FFFFF637H	プリスケアラ・モード・レジスタ03	PRM03	R/W	○	○		00H
FFFFF638H	キャプチャ／コンペア・コントロール・レジスタ03	CRC03	R/W	○	○		00H
FFFFF639H	16ビット・タイマ出力コントロール・レジスタ03	TOC03	R/W	○	○		00H
FFFFF640H	16ビット・タイマ・カウンタ04	TM04	R			○	0000H
FFFFF642H	16ビット・タイマ・キャプチャ／コンペア・レジスタ040	CR040	R/W			○	0000H
FFFFF644H	16ビット・タイマ・キャプチャ／コンペア・レジスタ041	CR041	R/W			○	0000H
FFFFF646H	16ビット・タイマ・モード・コントロール・レジスタ04	TMC04	R/W	○	○		00H
FFFFF647H	プリスケアラ・モード・レジスタ04	PRM04	R/W	○	○		00H
FFFFF648H	キャプチャ／コンペア・コントロール・レジスタ04	CRC04	R/W	○	○		00H

(7/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF649H	16ビット・タイマ出力コントロール・レジスタ04	TOC04	R/W	○	○		00H
FFFFF650H	16ビット・タイマ・カウンタ05	TM05	R			○	0000H
FFFFF652H	16ビット・タイマ・キャプチャ／コンペア・レジスタ050	CR050	R/W			○	0000H
FFFFF654H	16ビット・タイマ・キャプチャ／コンペア・レジスタ051	CR051	R/W			○	0000H
FFFFF656H	16ビット・タイマ・モード・コントロール・レジスタ05	TMC05	R/W	○	○		00H
FFFFF657H	プリスケアラ・モード・レジスタ05	PRM05	R/W	○	○		00H
FFFFF658H	キャプチャ／コンペア・コントロール・レジスタ05	CRC05	R/W	○	○		00H
FFFFF659H	16ビット・タイマ出力コントロール・レジスタ05	TOC05	R/W	○	○		00H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W	○	○		00H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS	R/W		○		01H
FFFFF6C1H	ウォッチドッグ・タイマ・クロック選択レジスタ	WDCS	R/W		○		00H
FFFFF6C2H	ウォッチドッグ・タイマ・モード・レジスタ1	WDTM1 ^注	R/W	○	○		00H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2	R/W		○		67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE	R/W		○		9AH
FFFFF6E0H	リアルタイム出力バッファ・レジスタL0	RTBL0	R/W	○	○		00H
FFFFF6E2H	リアルタイム出力バッファ・レジスタH0	RTBH0	R/W	○	○		00H
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0	R/W	○	○		00H
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0	R/W	○	○		00H
FFFFF6F0H	リアルタイム出力バッファ・レジスタL1	RTBL1	R/W	○	○		00H
FFFFF6F2H	リアルタイム出力バッファ・レジスタH1	RTBH1	R/W	○	○		00H
FFFFF6F4H	リアルタイム出力ポート・モード・レジスタ1	RTPM1	R/W	○	○		00H
FFFFF6F5H	リアルタイム出力ポート・コントロール・レジスタ1	RTPC1	R/W	○	○		00H
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタ	PFCE3	R/W	○	○		00H
FFFFF802H	システム・ステータス・レジスタ	SYS	R/W	○	○		00H
FFFFF806H	PLLコントロール・レジスタ	PLLCTL	R/W	○	○		01H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0	R/W	○	○		00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1	R/W	○	○		00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2	R/W	○	○		00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3	R/W	○	○		00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR	R/W	○	○		00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC ^注	R/W	○	○		03H
FFFFF8B0H	インターバル・タイマBRGモード・レジスタ	PRSM	R/W		○		00H
FFFFF8B1H	インターバル・タイマBRGコンペア・レジスタ	PRSCM	R/W		○		00H
FFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OCDM ^注	R/W	○	○		01H
FFFFFA00H	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	ASIM0	R/W	○	○		01H
FFFFFA02H	受信バッファ・レジスタ0	RXB0	R		○		FFH
FFFFFA03H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	ASIS0	R		○		00H
FFFFFA04H	送信バッファ・レジスタ0	TXB0	R/W		○		FFH
FFFFFA05H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	ASIF0	R	○	○		00H
FFFFFA06H	クロック選択レジスタ0	CKSR0	R/W		○		00H
FFFFFA07H	ポー・レート・ジェネレータ・コントロール・レジスタ0	BRGC0	R/W		○		FFH
FFFFFA10H	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	ASIM1	R/W	○	○		01H

注 特定レジスタです。

(8/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFA12H	受信バッファ・レジスタ1	RXB1	R		○		FFH
FFFFFA13H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	ASIS1	R		○		00H
FFFFFA14H	送信バッファ・レジスタ1	TXB1	R/W		○		FFH
FFFFFA15H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	ASIF1	R	○	○		00H
FFFFFA16H	クロック選択レジスタ1	CKSR1	R/W		○		00H
FFFFFA17H	ポー・レート・ジェネレータ・コントロール・レジスタ1	BRGC1	R/W		○		FFH
FFFFFA20H	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	ASIM2	R/W	○	○		01H
FFFFFA22H	受信バッファ・レジスタ2	RXB2	R		○		FFH
FFFFFA23H	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	ASIS2	R		○		00H
FFFFFA24H	送信バッファ・レジスタ2	TXB2	R/W		○		FFH
FFFFFA25H	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	ASIF2	R	○	○		00H
FFFFFA26H	クロック選択レジスタ2	CKSR2	R/W		○		00H
FFFFFA27H	ポー・レート・ジェネレータ・コントロール・レジスタ2	BRGC2	R/W		○		FFH
FFFFFB00H	TIP00ノイズ除去制御レジスタ	P0NFC	R/W	○	○		00H
FFFFFB04H	TIP01ノイズ除去制御レジスタ	P1NFC	R/W	○	○		00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0	R/W	○	○		00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3	R/W	○	○		00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H	R/W	○	○		00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0	R/W	○	○		00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3	R/W	○	○		00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H	R/W	○	○		00H
FFFFFC40H	プルアップ抵抗オプション・レジスタ0	PU0	R/W	○	○		00H
FFFFFC42H	プルアップ抵抗オプション・レジスタ1	PU1	R/W	○	○		00H
FFFFFC46H	プルアップ抵抗オプション・レジスタ3	PU3	R/W	○	○		00H
FFFFFC48H	プルアップ抵抗オプション・レジスタ4	PU4	R/W	○	○		00H
FFFFFC4AH	プルアップ抵抗オプション・レジスタ5	PU5	R/W	○	○		00H
FFFFFC4CH	プルアップ抵抗オプション・レジスタ6	PU6	R/W			○	0000H
FFFFFC4CH	プルアップ抵抗オプション・レジスタ6L	PU6L	R/W	○	○		00H
FFFFFC4DH	プルアップ抵抗オプション・レジスタ6H	PU6H	R/W	○	○		00H
FFFFFC50H	プルアップ抵抗オプション・レジスタ8	PU8	R/W	○	○		00H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9	PU9	R/W			○	0000H
FFFFFC52H	プルアップ抵抗オプション・レジスタ9L	PU9L	R/W	○	○		00H
FFFFFC53H	プルアップ抵抗オプション・レジスタ9H	PU9H	R/W	○	○		00H
FFFFFC67H	ポート3ファンクション・レジスタH	PF3H	R/W	○	○		00H
FFFFFC68H	ポート4ファンクション・レジスタ	PF4	R/W	○	○		00H
FFFFFC6AH	ポート5ファンクション・レジスタ	PF5	R/W	○	○		00H
FFFFFC6CH	ポート6ファンクション・レジスタ	PF6	R/W			○	0000H
FFFFFC6CH	ポート6ファンクション・レジスタL	PF6L	R/W	○	○		00H
FFFFFC6DH	ポート6ファンクション・レジスタH	PF6H	R/W	○	○		00H
FFFFFC70H	ポート8ファンクション・レジスタ	PF8	R/W	○	○		00H
FFFFFC73H	ポート9ファンクション・レジスタH	PF9H	R/W	○	○		00H
FFFFFD00H	クロック同期式シリアル・インタフェース・モード・レジスタ00	CSIM00	R/W	○	○		00H
FFFFFD01H	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIC0	R/W	○	○		00H

(9/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD02H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	SIRB0	R			○	0000H
FFFFFD02H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0L	SIRB0L	R		○		00H
FFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	SOTB0	R/W			○	0000H
FFFFFD04H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0L	SOTB0L	R/W		○		00H
FFFFFD06H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	SIRBE0	R			○	0000H
FFFFFD06H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0L	SIRBE0L	R		○		00H
FFFFFD08H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	SOTBF0	R/W			○	0000H
FFFFFD08H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0L	SOTBF0L	R/W		○		00H
FFFFFD0AH	シリアルI/Oシフト・レジスタ0	SIO00	R/W			○	0000H
FFFFFD0AH	シリアルI/Oシフト・レジスタ0L	SIO00L	R/W		○		00H
FFFFFD10H	クロック同期式シリアル・インタフェース・モード・レジスタ01	CSIM01	R/W	○	○		00H
FFFFFD11H	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIC1	R/W	○	○		00H
FFFFFD12H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	SIRB1	R			○	0000H
FFFFFD12H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1L	SIRB1L	R		○		00H
FFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	SOTB1	R/W			○	0000H
FFFFFD14H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1L	SOTB1L	R/W		○		00H
FFFFFD16H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	SIRBE1	R			○	0000H
FFFFFD16H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1L	SIRBE1L	R		○		00H
FFFFFD18H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	SOTBF1	R/W			○	0000H
FFFFFD18H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1L	SOTBF1L	R/W		○		00H
FFFFFD1AH	シリアルI/Oシフト・レジスタ1	SIO01	R/W			○	0000H
FFFFFD1AH	シリアルI/Oシフト・レジスタ1L	SIO01L	R/W		○		00H
FFFFFD20H	クロック同期式シリアル・インタフェース・モード・レジスタ02	CSIM02	R/W	○	○		00H
FFFFFD21H	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSIC2	R/W	○	○		00H
FFFFFD22H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2	SIRB2	R			○	0000H
FFFFFD22H	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2L	SIRB2L	R		○		00H
FFFFFD24H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2	SOTB2	R/W			○	0000H
FFFFFD24H	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2L	SOTB2L	R/W		○		00H
FFFFFD26H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2	SIRBE2	R			○	0000H
FFFFFD26H	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2L	SIRBE2L	R		○		00H
FFFFFD28H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2	SOTBF2	R/W			○	0000H
FFFFFD28H	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2L	SOTBF2L	R/W		○		00H
FFFFFD2AH	シリアルI/Oシフト・レジスタ2	SIO02	R/W			○	0000H
FFFFFD2AH	シリアルI/Oシフト・レジスタ2L	SIO02L	R/W		○		00H
FFFFFD40H	シリアル動作モード指定レジスタ0	CSIMA0	R/W	○	○		00H
FFFFFD41H	シリアル・ステータス・レジスタ0	CSIS0	R/W	○	○		00H
FFFFFD42H	シリアル・トリガ・レジスタ0	CSIT0	R/W	○	○		00H
FFFFFD43H	分周値選択レジスタ0	BRGCA0	R/W		○		03H
FFFFFD44H	自動データ転送アドレス・ポイント指定レジスタ0	ADTP0	R/W		○		00H
FFFFFD45H	自動データ転送間隔指定レジスタ0	ADTI0	R/W	○	○		00H
FFFFFD46H	シリアルI/Oシフト・レジスタA0	SIOA0	R/W		○		00H
FFFFFD47H	自動データ転送アドレス・カウント・レジスタ0	ADTC0	R		○		00H
FFFFFD50H	シリアル動作モード指定レジスタ1	CSIMA1	R/W	○	○		00H

(10/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD51H	シリアル・ステータス・レジスタ1	CSIS1	R/W	○	○		00H
FFFFFD52H	シリアル・トリガ・レジスタ1	CSIT1	R/W	○	○		00H
FFFFFD53H	分周値選択レジスタ1	BRGCA1	R/W		○		03H
FFFFFD54H	自動データ転送アドレス・ポイント指定レジスタ1	ADTP1	R/W		○		00H
FFFFFD55H	自動データ転送間隔指定レジスタ1	ADTI1	R/W	○	○		00H
FFFFFD56H	シリアルI/Oシフト・レジスタA1	SIOA1	R/W		○		00H
FFFFFD57H	自動データ転送アドレス・カウント・レジスタ1	ADTC1	R		○		00H
FFFFFD80H	IICシフト・レジスタ0	IIC0	R/W		○		00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0	R/W	○	○		00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0	R/W		○		00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0	R/W	○	○		00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0	R/W	○	○		00H
FFFFFD86H	IIC状態レジスタ0	IICS0	R	○	○		00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W	○	○		00H
FFFFFD90H	IICシフト・レジスタ1	IIC1	R/W		○		00H
FFFFFD92H	IICコントロール・レジスタ1	IICC1	R/W	○	○		00H
FFFFFD93H	スレーブ・アドレス・レジスタ1	SVA1	R/W		○		00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1	R/W	○	○		00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1	R/W	○	○		00H
FFFFFD96H	IIC状態レジスタ1	IICS1	R	○	○		00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W	○	○		00H
FFFFFE00H	CSIA0バッファRAM0	CSIA0B0	R/W			○	不定
FFFFFE00H	CSIA0バッファRAM0L	CSIA0B0L	R/W		○		不定
FFFFFE01H	CSIA0バッファRAM0H	CSIA0B0H	R/W		○		不定
FFFFFE02H	CSIA0バッファRAM1	CSIA0B1	R/W			○	不定
FFFFFE02H	CSIA0バッファRAM1L	CSIA0B1L	R/W		○		不定
FFFFFE03H	CSIA0バッファRAM1H	CSIA0B1H	R/W		○		不定
FFFFFE04H	CSIA0バッファRAM2	CSIA0B2	R/W			○	不定
FFFFFE04H	CSIA0バッファRAM2L	CSIA0B2L	R/W		○		不定
FFFFFE05H	CSIA0バッファRAM2H	CSIA0B2H	R/W		○		不定
FFFFFE06H	CSIA0バッファRAM3	CSIA0B3	R/W			○	不定
FFFFFE06H	CSIA0バッファRAM3L	CSIA0B3L	R/W		○		不定
FFFFFE07H	CSIA0バッファRAM3H	CSIA0B3H	R/W		○		不定
FFFFFE08H	CSIA0バッファRAM4	CSIA0B4	R/W			○	不定
FFFFFE08H	CSIA0バッファRAM4L	CSIA0B4L	R/W		○		不定
FFFFFE09H	CSIA0バッファRAM4H	CSIA0B4H	R/W		○		不定
FFFFFE0AH	CSIA0バッファRAM5	CSIA0B5	R/W			○	不定
FFFFFE0AH	CSIA0バッファRAM5L	CSIA0B5L	R/W		○		不定
FFFFFE0BH	CSIA0バッファRAM5H	CSIA0B5H	R/W		○		不定
FFFFFE0CH	CSIA0バッファRAM6	CSIA0B6	R/W			○	不定
FFFFFE0CH	CSIA0バッファRAM6L	CSIA0B6L	R/W		○		不定
FFFFFE0DH	CSIA0バッファRAM6H	CSIA0B6H	R/W		○		不定

(11/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFFE0EH	CSIA0バッファRAM7	CSIA0B7	R/W			○	不定
FFFFFFE0EH	CSIA0バッファRAM7L	CSIA0B7L	R/W		○		不定
FFFFFFE0FH	CSIA0バッファRAM7H	CSIA0B7H	R/W		○		不定
FFFFFFE10H	CSIA0バッファRAM8	CSIA0B8	R/W			○	不定
FFFFFFE10H	CSIA0バッファRAM8L	CSIA0B8L	R/W		○		不定
FFFFFFE11H	CSIA0バッファRAM8H	CSIA0B8H	R/W		○		不定
FFFFFFE12H	CSIA0バッファRAM9	CSIA0B9	R/W			○	不定
FFFFFFE12H	CSIA0バッファRAM9L	CSIA0B9L	R/W		○		不定
FFFFFFE13H	CSIA0バッファRAM9H	CSIA0B9H	R/W		○		不定
FFFFFFE14H	CSIA0バッファRAMA	CSIA0BA	R/W			○	不定
FFFFFFE14H	CSIA0バッファRAMAL	CSIA0BAL	R/W		○		不定
FFFFFFE15H	CSIA0バッファRAMAH	CSIA0BAH	R/W		○		不定
FFFFFFE16H	CSIA0バッファRAMB	CSIA0BB	R/W			○	不定
FFFFFFE16H	CSIA0バッファRAMBL	CSIA0BBL	R/W		○		不定
FFFFFFE17H	CSIA0バッファRAMBH	CSIA0BBH	R/W		○		不定
FFFFFFE18H	CSIA0バッファRAMC	CSIA0BC	R/W			○	不定
FFFFFFE18H	CSIA0バッファRAMCL	CSIA0BCL	R/W		○		不定
FFFFFFE19H	CSIA0バッファRAMCH	CSIA0BCH	R/W		○		不定
FFFFFFE1AH	CSIA0バッファRAMD	CSIA0BD	R/W			○	不定
FFFFFFE1AH	CSIA0バッファRAMDL	CSIA0BDL	R/W		○		不定
FFFFFFE1BH	CSIA0バッファRAMDH	CSIA0BDH	R/W		○		不定
FFFFFFE1CH	CSIA0バッファRAME	CSIA0BE	R/W			○	不定
FFFFFFE1CH	CSIA0バッファRAMEL	CSIA0BEL	R/W		○		不定
FFFFFFE1DH	CSIA0バッファRAMEH	CSIA0BEH	R/W		○		不定
FFFFFFE1EH	CSIA0バッファRAMF	CSIA0BF	R/W			○	不定
FFFFFFE1EH	CSIA0バッファRAMFL	CSIA0BFL	R/W		○		不定
FFFFFFE1FH	CSIA0バッファRAMFH	CSIA0BFH	R/W		○		不定
FFFFFFE20H	CSIA1バッファRAM0	CSIA1B0	R/W			○	不定
FFFFFFE20H	CSIA1バッファRAM0L	CSIA1B0L	R/W		○		不定
FFFFFFE21H	CSIA1バッファRAM0H	CSIA1B0H	R/W		○		不定
FFFFFFE22H	CSIA1バッファRAM1	CSIA1B1	R/W			○	不定
FFFFFFE22H	CSIA1バッファRAM1L	CSIA1B1L	R/W		○		不定
FFFFFFE23H	CSIA1バッファRAM1H	CSIA1B1H	R/W		○		不定
FFFFFFE24H	CSIA1バッファRAM2	CSIA1B2	R/W			○	不定
FFFFFFE24H	CSIA1バッファRAM2L	CSIA1B2L	R/W		○		不定
FFFFFFE25H	CSIA1バッファRAM2H	CSIA1B2H	R/W		○		不定
FFFFFFE26H	CSIA1バッファRAM3	CSIA1B3	R/W			○	不定
FFFFFFE26H	CSIA1バッファRAM3L	CSIA1B3L	R/W		○		不定
FFFFFFE27H	CSIA1バッファRAM3H	CSIA1B3H	R/W		○		不定
FFFFFFE28H	CSIA1バッファRAM4	CSIA1B4	R/W			○	不定
FFFFFFE28H	CSIA1バッファRAM4L	CSIA1B4L	R/W		○		不定
FFFFFFE29H	CSIA1バッファRAM4H	CSIA1B4H	R/W		○		不定

(12/12)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFE2AH	CSIA1バッファRAM5	CSIA1B5	R/W			○	不定
FFFFFE2AH	CSIA1バッファRAM5L	CSIA1B5L	R/W		○		不定
FFFFFE2BH	CSIA1バッファRAM5H	CSIA1B5H	R/W		○		不定
FFFFFE2CH	CSIA1バッファRAM6	CSIA1B6	R/W			○	不定
FFFFFE2CH	CSIA1バッファRAM6L	CSIA1B6L	R/W		○		不定
FFFFFE2DH	CSIA1バッファRAM6H	CSIA1B6H	R/W		○		不定
FFFFFE2EH	CSIA1バッファRAM7	CSIA1B7	R/W			○	不定
FFFFFE2EH	CSIA1バッファRAM7L	CSIA1B7L	R/W		○		不定
FFFFFE2FH	CSIA1バッファRAM7H	CSIA1B7H	R/W		○		不定
FFFFFE30H	CSIA1バッファRAM8	CSIA1B8	R/W			○	不定
FFFFFE30H	CSIA1バッファRAM8L	CSIA1B8L	R/W		○		不定
FFFFFE31H	CSIA1バッファRAM8H	CSIA1B8H	R/W		○		不定
FFFFFE32H	CSIA1バッファRAM9	CSIA1B9	R/W			○	不定
FFFFFE32H	CSIA1バッファRAM9L	CSIA1B9L	R/W		○		不定
FFFFFE33H	CSIA1バッファRAM9H	CSIA1B9H	R/W		○		不定
FFFFFE34H	CSIA1バッファRAMA	CSIA1BA	R/W			○	不定
FFFFFE34H	CSIA1バッファRAMAL	CSIA1BAL	R/W		○		不定
FFFFFE35H	CSIA1バッファRAMAH	CSIA1BAH	R/W		○		不定
FFFFFE36H	CSIA1バッファRAMB	CSIA1BB	R/W			○	不定
FFFFFE36H	CSIA1バッファRAMBL	CSIA1BBL	R/W		○		不定
FFFFFE37H	CSIA1バッファRAMBH	CSIA1BBH	R/W		○		不定
FFFFFE38H	CSIA1バッファRAMC	CSIA1BC	R/W			○	不定
FFFFFE38H	CSIA1バッファRAMCL	CSIA1BCL	R/W		○		不定
FFFFFE39H	CSIA1バッファRAMCH	CSIA1BCH	R/W		○		不定
FFFFFE3AH	CSIA1バッファRAMD	CSIA1BD	R/W			○	不定
FFFFFE3AH	CSIA1バッファRAMDL	CSIA1BDL	R/W		○		不定
FFFFFE3BH	CSIA1バッファRAMDH	CSIA1BDH	R/W		○		不定
FFFFFE3CH	CSIA1バッファRAME	CSIA1BE	R/W			○	不定
FFFFFE3CH	CSIA1バッファRAMEL	CSIA1BEL	R/W		○		不定
FFFFFE3DH	CSIA1バッファRAMEH	CSIA1BEH	R/W		○		不定
FFFFFE3EH	CSIA1バッファRAMF	CSIA1BF	R/W			○	不定
FFFFFE3EH	CSIA1バッファRAMFL	CSIA1BFL	R/W		○		不定
FFFFFE3FH	CSIA1バッファRAMFH	CSIA1BFH	R/W		○		不定
FFFFF44H	プルアップ抵抗オプション・レジスタDL	PUDL	R/W			○	0000H
FFFFF44H	プルアップ抵抗オプション・レジスタDLL	PUDLL	R/W	○	○		00H
FFFFF45H	プルアップ抵抗オプション・レジスタDLH	PUDLH	R/W	○	○		00H
FFFFF46H	プルアップ抵抗オプション・レジスタDH	PUDH	R/W	○	○		00H
FFFFF48H	プルアップ抵抗オプション・レジスタCS	PUCS	R/W	○	○		00H
FFFFF4AH	プルアップ抵抗オプション・レジスタCT	PUCT	R/W	○	○		00H
FFFFF4CH	プルアップ抵抗オプション・レジスタCM	PUCM	R/W	○	○		00H
FFFFF4EH	プルアップ抵抗オプション・レジスタCD	PUCD	R/W	○	○		00H
FFFFFBEH	外部バス・インタフェース・モード・コントロール・レジスタ	EXIMC	R/W	○	○		00H

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/KJ2には次の4つの特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ（PSC）
- ・プロセッサ・クロック・コントロール・レジスタ（PCC）
- ・ウォッチドッグ・タイマ・モード・レジスタ（WDTM1）
- ・オンチップ・デバッグ・モード・レジスタ（OCDM）

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

- ① DMA動作を禁止する。
- ② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。
- ③ PRCMDレジスタに②で用意したデータを書き込む。
- ④ 特定レジスタに設定データを書き込む（次の命令で行う）。
 - ・ストア命令（ST/SST命令）
 - ・ビット操作命令（SET1/CLR1/NOT1命令）
- ⑤-⑨ NOP命令を挿入する（5命令）[※]。
- ⑩ DMA動作が必要な場合、DMA動作を許可する。

注 IDLEモード、STOPモードに移行する場合（PSC.STPビット = 1）、直後にNOP命令を5命令挿入する必要があります。

注意 特定シーケンス後、DMA動作を禁止する以前の状態でDMA動作を再開するには、DMA動作を禁止する以前に、DCHCnレジスタの状態を退避する必要があります。

DCHCnレジスタの状態を退避後、DMA動作を禁止するまでにDMA転送終了が発生する可能性があるため、DMA動作を再開する前にDCHCn.TCnビットを確認し、TCnビットの状態により処理を次のようにする必要があります。

- ・TCnビット = 0（DMA転送未終了）のとき、DMA動作を禁止する以前に退避したDCHCnレジスタの内容を、DCHCnレジスタに再度書き込む。
- ・TCnビット = 1（DMA転送終了）のとき、DMA転送終了処理を行う。

備考 n = 0-3

[記述例] PSCレジスタの場合（スタンバイ・モードの設定）

```

ST.B r11, PSMR [r0] ; PSMRレジスタ設定（IDLE, STOPモードの設定）
LD.B DCHCn [r0], r12 ; (a)DMA転送状態の退避
ANDI 0xfe, r12, r13
①ST.B r13, DCHCn [r0] ; (b)DMA動作停止注1
②MOV 0x02, r10
③ST.B r10, PRCMD [r0] ; PRCMDレジスタ書き込み
④ST.B r10, PSC [r0] ; PSCレジスタ設定
⑤NOP注2 ; ダミー命令
⑥NOP注2 ; ダミー命令
⑦NOP注2 ; ダミー命令
⑧NOP注2 ; ダミー命令
⑨NOP注2 ; ダミー命令
TSTl 7, DCHCn [r0] ; (a) と (b) の間にDMA転送が終了していないか
                      (DCHCnレジスタの状態が更新されていないか)を確認
BNE next ; 更新されていたならば, DMA転送終了処理
                      (nextルーチンへ)
⑩ST.B r12, DCHCn [r0] ; 更新されていなければ, (a) の状態に戻す (DMA転送許可)
(next instruction)

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

- 注 1.** ビット操作命令を使用しないのは、DMA 転送終了ステータス・フラグ（DCHCn.TCn ビット）がリードされることによりクリア（0）されるのを防ぐためです。また TCn ビットは、0 ライトによるクリア（0）はできません。
- 2.** IDLE モード、STOP モードに移行する場合（PSC.STP ビット = 1）は、直後に NOP 命令を 5 命令挿入する必要があります。

備考1. n = 0-3

- 2.** PRCMD レジスタへ書き込むデータはダミーですが、特定レジスタへの設定（例④）で使用する汎用レジスタと同じレジスタを PRCMD レジスタ書き込み（例③）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

注意 PRCMDレジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記③、④を連続したストア命令で行うことを前提としているためです。③、④の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります

(2) コマンド・レジスタ (PRCMD)

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期間への書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード／ライト可能です。

リセット時：00H R/W アドレス：FFFFFF802H

	7	6	5	4	3	2	1	①
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERR=1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき
(3. 4. 7 (1) 特定レジスタへのデータ設定で示す③を行わずに④を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作
(ビット操作命令含む)を行ったとき (3. 4. 7 (1) 特定レジスタへのデータ設定で示す④が特定
レジスタでなかったとき)。

備考 WDTMレジスタ以外の特定レジスタ (PCC, PSCレジスタ) は、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作 (ビット操作命令を除く) や内蔵RAMへのアクセスを行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERR=0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意** 1. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります (ライト優先)。
2. PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 最初に設定するレジスタ

V850ES/KJ2を使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

なお、外部バスを使用する場合は上記レジスタを設定したあと、ただちにポート関連のレジスタの設定により、各端子を兼用するバス制御端子に設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWC レジスタは、内蔵周辺 I/O レジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺 I/O レジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850ES/KJ2 では、内部システム・クロック周波数によりウェイトが必要です。使用する内部システム・クロック周波数に応じて、VSWC レジスタには次に示す値を設定してください。

8ビット単位でリード／ライト可能です。

リセットにより77H（ウェイト数：14）になります。

リセット時：77H R/W アドレス：FFFFFF06EH

	7	6	5	4	3	2	1	0
VSWC								

動作条件	内部システム・クロック 周波数 (f_{CLK})	VSWCレジスタ の設定値	ウェイト数
$4.5\text{ V} \leq \text{REGC} = V_{DD} \leq 5.5\text{ V}$	$32\text{ kHz} \leq f_{CLK} < 16.6\text{ MHz}$	00H	0（ノー・ウェイト）
	$16.6\text{ MHz} \leq f_{CLK} \leq 20\text{ MHz}$	01H	1
$4.0\text{ V} \leq \text{REGC} = V_{DD} < 4.5\text{ V}$	$32\text{ kHz} \leq f_{CLK} \leq 16\text{ MHz}$	00H	0（ノー・ウェイト）
$\text{REGC} = 10\text{ }\mu\text{F},$ $4.0\text{ V} \leq V_{DD} \leq 5.5\text{ V}$	$32\text{ kHz} \leq f_{CLK} < 8.3\text{ MHz}$	00H	0（ノー・ウェイト）
	$8.3\text{ MHz} \leq f_{CLK} \leq 16\text{ MHz}$	01H	1
$2.7\text{ V} \leq \text{REGC} = V_{DD} < 4.0\text{ V}$	$32\text{ kHz} \leq f_{CLK} < 8.3\text{ MHz}$	00H	0（ノー・ウェイト）
	$8.3\text{ MHz} \leq f_{CLK} \leq 10\text{ MHz}$	01H	1

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第27章 オンチップ・デバッグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第12章 ウォッチドッグ・タイマ機能を参照してください。

3.4.9 注意事項**(1) 特定の内蔵周辺I/Oレジスタへのアクセスについて**

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

増加するウェイト数 = $(2+m) \times k$ [クロック]

特定の内蔵周辺I/Oレジスタへのアクセス数 = $3+m+(2+m) \times k$ [クロック]

表3-3 ウェイトが発生するレジスタ

周辺機能	レジスタ名称	アクセス	k
ウォッチドッグ・タイマ1 (WDT1)	WDTM1	ライト	1-5
	<ウェイト回数算出式 [※] > $k = \{ (1/f_x) \times 2 / ((2+m) / f_{CPU}) \} + 1$ f_x : メイン・クロック発振周波数		
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト	3 (固定)
16ビット・タイマ/イベント・カウンタP0 (TMP0)	TP0CCR0, TP0CCR1, TP0CNT	リード	1
	<ウェイト回数算出式 [※] > $k = \{ (1/f_{xx}) / ((2+m) / f_{CPU}) \} + 1$		
	TP0CCR0, TP0CCR1	ライト	0-2
	<ウェイト回数算出式 [※] > $k = \{ (1/f_{xx}) \times 5 / ((2+m) / f_{CPU}) \}$ 同一レジスタへの連続書き込みでウェイト発生		
16ビット・タイマ/イベント・カウンタ00-05 (TM00-TM05)	TMC00-TMC05	リード・モディファイ・ライト	1 (固定) ライト時にウェイト発生
自動送受信機能付きクロック同期式シリアル・インタフェース0, 1 (CSIA0, CSIA1)	CSIA0B0-CSIA0BF, CSIA1B0-CSIA1BF	ライト	0-18 (ライト命令による連続ライト時)
	<ウェイト回数算出式 [※] > $k = \{ (1/f_{SCKA}) \times 5 - (4+m) / f_{CPU} \} / \{ ((2+m) / f_{CPU}) \}$ ただし, CSISn.CKSAn1, CKSAn0ビット = 00選択時で $f_{CPU} = f_{xx}$ 時は1回 f_{SCKA} : CSIA選択クロック周波数		
	CSIA0B0-CSIA0BF, CSIA1B0-CSIA1BF	ライト	0-20 (ライト命令と受信動作によるライトの競合動作時)
	<ウェイト回数算出式 [※] > $k = \{ (1/f_{SCKA}) \times 5 \} / ((2+m) / f_{CPU})$ f_{SCKA} : CSIA選択クロック周波数		
I ² C0, I ² C1	IICS0, IICS1	リード	1 (固定)
アシンクロナス・シリアル・インタフェース0-2 (UART0-UART2)	ASIS0-ASIS2	リード	1 (固定)
リアルタイム出力機能0, 1 (RTO0, RTO1)	RTBL0, RTBL1, RTBH0, RTBH1	ライト (RTPCn.RTPOEnビット = 0の時)	1
A/Dコンバータ	ADM, ADS, PFM, PFT	ライト	1-2
	ADCR, ADCRH	リード	1-2
	<ウェイト回数算出式 [※] > $\{ (1/f_{xx}) \times 2 / ((2+m) / f_{CPU}) \} + 1$		

注 ウェイト回数算出式において、その計算結果の小数点以下は、 $(1/f_{\text{CPU}})$ をかけて、 $(1/f_{\text{CPU}}) / (2+m)$ 以下であれば切り捨て、 $(1/f_{\text{CPU}}) / (2+m)$ を越える場合には切り上げます。

- 注意1.** 内蔵ROMまたは内蔵RAMからフェッチした場合、上記のようなウェイト回数となります。
外部メモリよりフェッチした場合は、このウェイト回数より減少する場合があります。
外部メモリ・アクセス・サイクルによる影響は、ウェイトの設定などにより変化します。ただし、上記ウェイト数が最大値となり、これより増加することはありません。
2. CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、ウェイトが発生するレジスタにアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。

備考1. ウェイト算出式において

f_{CPU} : CPUクロック周波数
 f_{xx} : メイン・クロック周波数
 m : VSWCレジスタのビット2-0設定値

VSWCレジスタ = 00H時 : $m = 0$

VSWCレジスタ = 01H時 : $m = 1$

2. $n = 0, 1$

(2) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

< i > ld.w [r11], r10

⋮

< ii > mov r10, r28

< iii > sld.w 0x28, r10

< i >の ld 命令の実行が完了する前に、< iii >の sld 命令の直前の mov 命令< ii >のデコード動作と割り込み要求が競合した場合、< i >の ld 命令の実行結果がレジスタに格納されないことがあります。

(b) 回 避 策

① コンパイラ (CA850) 使用時

Ver.2.61 以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

② アセンブラでの対策

命令< ii >の直後に sld 命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- sld 命令の直前に nop 命令を入れる。
- sld 命令のディスティネーション・レジスタと同じレジスタを、sld 命令の直前で実行する上記 < ii >の命令で使用しない。

第4章 ポート機能

4.1 特 徴

- 入力専用ポート：16本
- 入出力ポート：112本
 - ・N-chオープン・ドレイン出力固定：6本（中耐圧（12 V）：4本）
 - ・N-chオープン・ドレイン出力切り替え可能：12本
- 1ビット単位で入力／出力指定可能
- ソフトウェアプルアップ抵抗：106本

4.2 ポートの基本構成

V850ES/KJ2は、ポート0, 1, 3-9, CD, CM, CS, CT, DH, DLの合計128本の入力／出力ポート（うち16本は入力専用ポート）を内蔵しています。ポートの構成を次に示します。

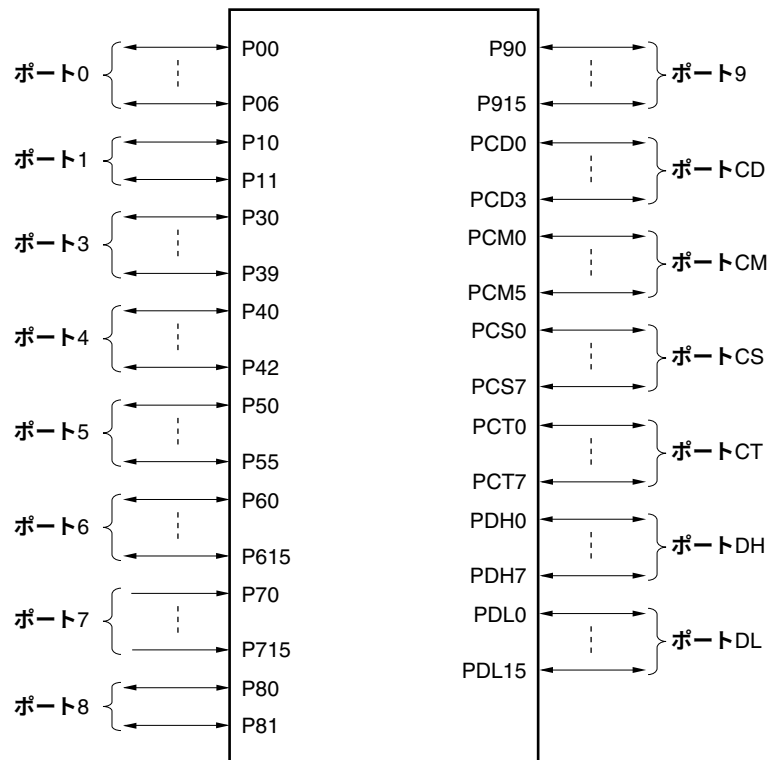


表4-1 V850ES/KJ2の各端子の入出力バッファ電源

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
BV _{DD}	ポートCD, CM, CS, CT, DH, DL
EV _{DD}	RESET, ポート0, 3-6, 8, 9, FLMD0

4.3 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-2 ポートの構成

項 目	構 成
制御レジスタ	ポートnレジスタ (Pn : n = 0, 1, 3-9, CD, CM, CS, CT, DL, DH) ポートnモード・レジスタ (PMn : n = 0, 1, 3-6, 8, 9, CD, CM, CS, CT, DL, DH) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-6, 8, 9, CM, CS, CT, DL, DH) ポートnファンクション・コントロール・レジスタ (PFCn : n = 3, 5, 6, 8, 9) ポートnファンクション・レジスタ (PFn : n = 3-6, 8, 9) ポート3ファンクション・コントロール拡張レジスタ (PFCE3) プルアップ抵抗オプション・レジスタ (PUn : n = 0, 1, 3-6, 8, 9, CD, CM, CS, CT, DL, DH)
ポート	入力専用：16本 入出力：112本
プルアップ抵抗	ソフトウェア制御：106本

(1) ポート n レジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポート n の端子1本ずつに対応しており、1ビット単位でリード／ライト可能です。

リセット時：00H ^注 （出力ラッチ）								R/W
	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

Pnm	出力データの制御（出力モード時）
0	0を出力
1	1を出力

注 入力専用ポートは不定になります。

各レジスタの設定によって、Pnレジスタへの書き込みや読み出しは次のようになります。

設定されているモードによってPnレジスタへの書き込みや読み出しを行ったときの動作が異なります。

表4-3 Pnレジスタへの書き込み／読み出しについて

PMCnレジスタの設定	PMnレジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
ポート・モード (PMCnmビット = 0)	出力モード (PMnmビット = 0)	出力ラッチに対して書き込みます ^注 。 出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
	入力モード (PMnmビット = 1)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。	端子状態を読み出します。
兼用機能モード (PMCnmビット = 1)	出力モード (PMnmビット = 0)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。 端子は兼用機能として動作します。	・兼用機能が出力の場合 兼用機能の出力状態を読み出します。 ・兼用機能が入力の場合 出力ラッチの値を読み出します。
	入力モード (PMnmビット = 1)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。 端子は兼用機能として動作します。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値が書き込まれるまで保持されます。

リセットによりクリアされます。

(2) ポート_nモード・レジスタ (PM_n)

ポートの入力モード／出力モードを指定します。

PM_nレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポート_nモード・コントロール・レジスタ (PMC_n)

ポートと兼用機能を切り替える必要がある場合、ポート・モード／兼用機能を指定します。

PMC_nレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0

PMCnm	動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポート_nファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポート_nファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、PFCnレジスタと組み合わせて使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCEn	PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポート_nファンクション・レジスタ (PF_n)

通常出力 (CMOS出力) /N-chオープン・ドレイン出力を指定するレジスタです。

PF_nレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

PFnm ^注	通常出力（CMOS出力）/N-chオープン・ドレイン出力の制御
0	通常出力（CMOS出力）
1	N-chオープン・ドレイン出力

注 PMC_nレジスタの設定によらず、PF_nmビットは、PM_n.PM_nmビット = 0 (出力モード時) のときのみ有効です。PM_nmビット = 1 (入力モード時) のときは、PF_nレジスタの設定値は無効です。

例 ① PF_nレジスタの値が有効な場合

PF_nmビット = 1 … N-chオープン・ドレイン出力を指定

PM_nmビット = 0 … 出力モードを指定

PMC_nmビット = 任意

② PF_nレジスタの値が無効な場合

PF_nmビット = 1 … N-chオープン・ドレイン出力を指定

PM_nmビット = 1 … 入力モードを指定

PMC_nmビット = 任意

(7) ブルアップ抵抗オプション・レジスタ (PUn)

内蔵プルアップ抵抗の接続を指定するレジスタです。

PUnレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

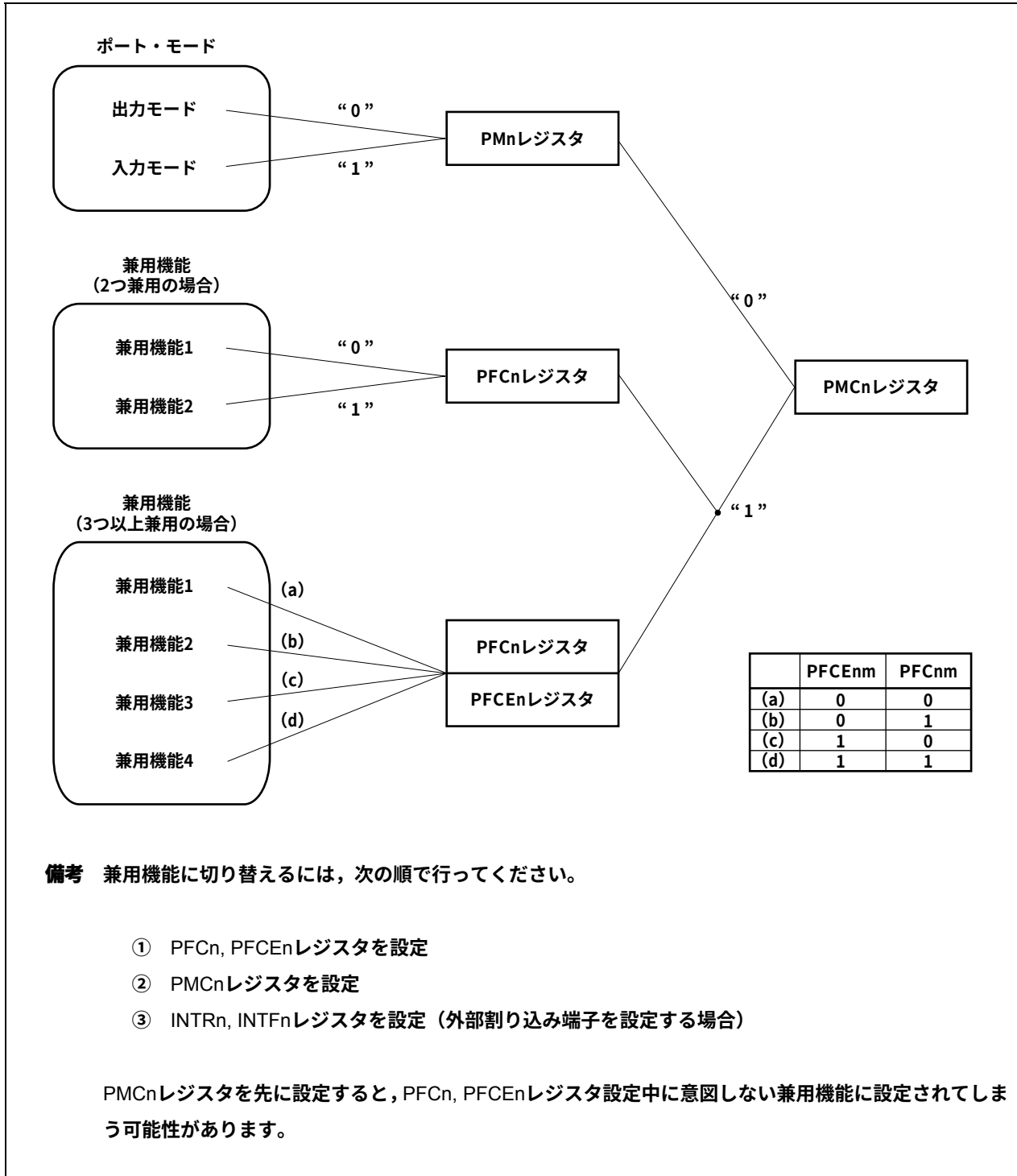
	7	6	5	4	3	2	1	0
PUn	PUn7	PUn6	PUn5	PUn4	PUn3	PUn2	PUn1	PUn0

PUnm	内蔵プルアップ抵抗接続制御
0	接続しない
1	接続する

(8) ポートの設定

ポートの設定は、次のように設定してください。

図4-1 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる7ビットの入出力ポートです。

ポート0は、次に示す端子と兼用しています。

表4-4 ポート0の兼用端子

機能名称	ピン番号	兼用機能		PULL ^{注1}	備 考	ブロック・タイプ
		名称	入出力			
P00	6	TOH0	出力	設定 可能	—	D0-U
P01	7	TOH1	出力			D0-U
P02	17	NMI	入力		アナログ・ノイズ除去	D1-SUIL
P03	18	INTP0	入力			D1-SUIL
P04	19	INTP1	入力			D1-SUIL
P05	20	INTP2 ^{注2}	入力			D1-SUIL
		INTP2/DRST ^{注3}	入力			OD11-SUIL
P06	21	INTP3	入力		アナログ/デジタル・ノイズ除去	D1-SUIL

注1. ソフトウェア・プルアップ機能

2. μ PD70F3733のみ
3. μ PD70F3734のみ

注意1. V850ES/KJ2では、リセット解除時のP05端子の処理に注意が必要です。詳細は4.6.3 P05端子に関する注意事項を参照してください。

2. P02-P06は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート0レジスタ (P0)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	P01	P00

P0n	出力データの制御 (出力モード時) (n = 0-6)
0	0を出力
1	1を出力

(2) ポート0モード・レジスタ (PM0)

リセット時：FFH R/W アドレス：FFFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	PM01	PM00

PM0n	入出力モードの制御 (n = 0-6)
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ (PMC0)

リセット時：00H R/W アドレス：FFFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	PMC01	PMC00

PMC06	端子の動作モードの指定
0	入出力ポート (P06)
1	INTP3入力

PMC05	端子の動作モードの指定
0	入出力ポート (P05)
1	INTP2入力

PMC04	端子の動作モードの指定
0	入出力ポート (P04)
1	INTP1入力

PMC03	端子の動作モードの指定
0	入出力ポート (P03)
1	INTP0入力

PMC02	端子の動作モードの指定
0	入出力ポート (P02)
1	NMI入力

PMC01	端子の動作モードの指定
0	入出力ポート (P01)
1	TOH1出力

PMC00	端子の動作モードの指定
0	入出力ポート (P00)
1	TOH0出力

(4) プルアップ抵抗オプション・レジスタ0 (PU0)

リセット時：00H R/W アドレス：FFFFFC40H

	7	6	5	4	3	2	1	0
PU0	0	PU06	PU05	PU04	PU03	PU02	PU01	PU00

PU0n	内蔵プルアップ抵抗接続制御 (n = 0-6)
0	接続しない
1	接続する

4.3.2 ポート1

ポート1は1ビット単位で入出力を制御できる2ビット入出力ポートです。

ポート1は、次に示す端子と兼用しています。

表4-5 ポート1の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P10	3	ANO0	出力	設定 可能	—	C-UA
P11	4	ANO1	出力			C-UA

注 ソフトウェア・プルアップ機能

注意 1ビット単位でANOn機能とポートの組み合わせはできません。

(1) ポート1レジスタ (P1)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	P11	P10

P1n	出力データの制御（出力モード時）（n = 0, 1）
0	0を出力
1	1を出力

(2) ポート1モード・レジスタ (PM1)

注意 ANO0, ANO1端子として使用する場合は、一括してFFHに設定してください。

リセット時：FFH R/W アドレス：FFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	PM11	PM10

PM1n	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

(3) プルアップ抵抗オプション・レジスタ1 (PU1)

リセット時：00H R/W アドレス：FFFFFC42H

	7	6	5	4	3	2	1	0
PU1	0	0	0	0	0	0	PU11	PU10

PU1n	内蔵プルアップ抵抗接続制御（n = 0, 1）
0	接続しない
1	接続する

4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる10ビット入出力ポートです。

ポート3は、次に示す端子と兼用しています。

表4-6 ポート3の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P30	25	TXD0/TO02	出力	設定 可能	—	E00-U
P31	26	RXD0/INTP7/TO03	入出力			E10-SUIHL
P32	27	ASCK0/ADTRG/TO01	入出力			E10-SUL
P33	28	TI000/TO00/TIP00/TOP00	入出力			G1010-SUL
P34	29	TI001/TO00/TIP01/TOP01	入出力			G1010-SUL
P35	30	TI010/TO01	入出力			E10-SUL
P36	31	—	—	なし	N-chオープン・ドレイン出力	C-N
P37	32	—	—			C-N
P38	35	SDA0	入出力			D2-SNFH
P39	36	SCL0	入出力			D2-SNFH

注 ソフトウェア・プルアップ機能

注意 P31-35, P38, P39は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート3レジスタ (P3)

リセット時：0000H (出力ラッチ) R/W アドレス：P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

P3 (P3H ^注)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	P39	P38
(P3L)	7	6	5	4	3	2	1	0
	P37	P36	P35	P34	P33	P32	P31	P30
P3n	出力データの制御 (出力モード時) (n = 0-9)							
0	0を出力							
1	1を出力							

注 P3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P3Hレジスタのビット0-7として指定してください。

備考 P3レジスタは、16ビット単位でリード／ライト可能です。
ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(2) ポート3モード・レジスタ (PM3)

リセット時：FFFFH R/W アドレス：PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

PM3 (PM3H ^注)	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	PM39	PM38
(PM3L)	7	6	5	4	3	2	1	0
	PM37	PM36	PM35	PM34	PM33	PM32	PM31	PM30
PM3n	入出力モードの制御 (n = 0-9)							
0	出力モード							
1	入力モード							

注 PM3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

備考 PM3レジスタは、16ビット単位でリード／ライト可能です。
PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(3) ポート3モード・コントロール・レジスタ (PMC3)

リセット時：0000H R/W アドレス：PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

PMC3 (PMC3H ^注)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	PMC39	PMC38
(PMC3L)	7	6	5	4	3	2	1	0
	PMC37	PMC36	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
PMC39		端子の動作モードの指定						
0		入出力ポート (P39)						
1		SCL0入出力						
PMC38		端子の動作モードの指定						
0		入出力ポート (P38)						
1		SDA0入出力						
PMC37		端子の動作モードの指定						
0		入出力ポート (P37)						
PMC36		端子の動作モードの指定						
0		入出力ポート (P36)						
PMC35		端子の動作モードの指定						
0		入出力ポート (P35)						
1		TI010入力/TO01出力						
PMC34		端子の動作モードの指定						
0		入出力ポート (P34)						
1		TI001入力/TO00出力/TIP01入力/TOP01出力						
PMC33		端子の動作モードの指定						
0		入出力ポート (P33)						
1		TI000入力/TO00出力/TIP00入力/TOP00出力						
PMC32		端子の動作モードの指定						
0		入出力ポート (P32)						
1		ASCK0入力/ADTRG入力/TO01出力						
PMC31		端子の動作モードの指定						
0		入出力ポート (P31)						
1		RXD0入力/INTP7入力/TO03出力						
PMC30		端子の動作モードの指定						
0		入出力ポート (P30)						
1		TXD0出力/TO02出力						

注 PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

備考 PMC3レジスタは、16ビット単位でリード／ライト可能です。

ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(4) ポート3ファンクション・レジスタH (PF3H)

リセット時：00H R/W アドレス：FFFFFFC67H

	7	6	5	4	3	2	1	0
PF3H	0	0	0	0	0	0	PF39	PF38

PF3n	N-chオープン・ドレイン出力の指定 (n = 8, 9)
0	通常ポートとして使用時 (N-chオープン・ドレイン出力)
1	兼用機能として使用時 (N-chオープン・ドレイン出力)

注意1. P38, P39を兼用機能として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後、PF3nビットに1を設定してください。

P3nビット = 1 → PF3nビット = 1 → PMC3nビット = 1

2. 兼用機能を使用する場合は、必ず1にしてください。

(5) ポート3ファンクション・コントロール・レジスタ (PFC3)

リセット時：00H R/W アドレス：FFFFFF466H

	7	6	5	4	3	2	1	0
PFC3	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

備考 兼用端子の指定については4. 3. 3 (7) ポート3の兼用機能の指定を参照してください。

(6) ポート3ファンクション・コントロール拡張レジスタ (PFCE3)

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3	0	0	0	PFCE34	PFCE33	0	0	0

備考 兼用端子の指定については4. 3. 3 (7) ポート3の兼用機能の指定を参照してください。

(7) ポート3の兼用機能の指定

PFC35	P35端子の兼用機能の指定
0	TI010入力
1	TO01出力

PFCE34	PFC34	P34端子の兼用機能の指定
0	0	TI001入力
0	1	TO00出力
1	0	TIP01入力
1	1	TOP01出力

PFCE33	PFC33	P33端子の兼用機能の指定
0	0	TI000入力
0	1	TO00出力
1	0	TIP00入力
1	1	TOP00出力

PFC32	P32端子の兼用機能の指定
0	ASCK0/ADTRG ^{注1} 入力
1	TO01出力

PFC31	P31端子の兼用機能の指定
0	RXD0/INTP7 ^{注2} 入力
1	TO03出力

PFC30	P30端子の兼用機能の指定
0	TXD0出力
1	TO02出力

- 注1. ASCK0機能とADTRG機能は端子を兼用しています。ASCK0端子として使用する場合は、兼用しているADTRG機能のトリガ入力を無効にしてください（ADS.TRGビット = 0、またはADS.ADTMDビット = 1に設定）。また、ADTRG機能として使用する場合は、UART0の動作クロックを外部入力に設定しないでください（CKSR0.TPS03-TPS00ビット = 1011以外に設定）。
2. INTP7機能とRXD0機能は兼用となっています。RXD0機能として使用する場合は、兼用しているINTP7機能のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0、INTR3.INTR31ビット = 0に設定）。また、INTP7機能として使用する場合は、UART0を受信動作停止としてください（ASIM0.RXE0ビット = 0に設定）。

(8) プルアップ抵抗オプション・レジスタ3 (PU3)

リセット時：00H R/W アドレス：FFFFFFC46H

	7	6	5	4	3	2	1	0
PU3	0	0	PU35	PU34	PU33	PU32	PU31	PU30

PU3n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる3ビット入出力ポートです。

ポート4は、次に示す端子と兼用しています。

表4-7 ポート4の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P40	22	SI00/RXD2	入力	設定 可能	—	E11-SULH
P41	23	SO00/TXD2	出力		N-chオープン・ドレイン出力	E00-UF
P42	24	SCK00	入出力		選択可能	D2-SUFL

注 ソフトウェア・プルアップ機能

注意1. P40, P42は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

2. V850ES/KJ2は、P80端子にもRXD2機能を割り当てており、P40, P80端子を同時にRXD2機能として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2機能として使用しないでください。

(1) ポート4レジスタ (P4)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御（出力モード時）（n = 0-2）
0	0を出力
1	1を出力

(2) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御(n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	端子の動作モードの指定
0	入出力ポート (P42)
1	SCK00入出力

PMC41	端子の動作モードの指定
0	入出力ポート (P41)
1	SO00出力/TXD2出力

PMC40	端子の動作モードの指定
0	入出力ポート (P40)
1	SI00入力/RXD2入力

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定
0	SO00出力
1	TXD2出力

PFC40	P40端子の兼用機能の指定
0	SI00入力
1	RXD2入力

(5) ポート4ファンクション・レジスタ (PF4)

リセット時：00H R/W アドレス：FFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	0

PF4n	通常出力／N-chオープン・ドレイン出力の制御 (n = 1, 2)
0	通常出力
1	N-chオープン・ドレイン出力

注意 P41, P42をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。

P4nビット = 1 → PF4nビット = 1 → PMC4nビット = 1

(6) プルアップ抵抗オプション・レジスタ4 (PU4)

リセット時：00H R/W アドレス：FFFFFC48H

	7	6	5	4	3	2	1	0
PU4	0	0	0	0	0	PU42	PU41	PU40

PU4n	内蔵プルアップ抵抗接続制御 (n = 0-2)
0	接続しない
1	接続する

4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポート5は、次に示す端子と兼用しています。

表4-8 ポート5の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P50	37	TI011/RTP00/KR0	入出力	設定 可能	—	E10-SULT
P51	38	TI50/RTP01/KR1	入出力			E10-SULT
P52 ^{注2}	39	TO50/RTP02/KR2	入出力			E00-SUT
P52 ^{注3}		TO50/RTP02/KR2/DDI ^{注4}	入出力			OE001-SUT
P53 ^{注2}	40	SIA0/RTP03/KR3	入出力			E10-SULT
P53 ^{注3}		SIA0/RTP03/KR3/DDO ^{注4}	入出力			OE100-SULT
P54 ^{注2}	41	SOA0/RTP04/KR4	入出力		N-chオープン・ドレイン出力 選択可能	E00-SUFT
P54 ^{注3}		SOA0/RTP04/KR4/DCK ^{注4}	入出力			OE001-SUFT
P55 ^{注2}	42	SCKA0/RTP05/KR5	入出力			E20-SUFLT
P55 ^{注3}		SCKA0/RTP05/KR5/DMS ^{注4}	入出力			OE201-SUFLT

注1. ソフトウェア・プルアップ機能

- μ PD70F3733のみ
- μ PD70F3734のみ
- DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です（μ PD70F3734のみ）。

(1) ポート5レジスタ (P5)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポート5モード・レジスタ (PM5)

リセット時：FFH R/W アドレス：FFFFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時：00H R/W アドレス：FFFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	端子の動作モードの指定
0	入出力ポート (P55) / KR5入力
1	SCKA0入出力 / RTP05出力

PMC54	端子の動作モードの指定
0	入出力ポート (P54) / KR4入力
1	SOA0出力 / RTP04出力

PMC53	端子の動作モードの指定
0	入出力ポート (P53) / KR3入力
1	SIA0入力 / RTP03出力

PMC52	端子の動作モードの指定
0	入出力ポート (P52) / KR2入力
1	TO50出力 / RTP02出力

PMC51	端子の動作モードの指定
0	入出力ポート (P51) / KR1入力
1	TI50入力 / RTP01出力

PMC50	端子の動作モードの指定
0	入出力ポート (P50) / KR0入力
1	TI011入力 / RTP00出力

(4) ポート5ファンクション・レジスタ5 (PF5)

リセット時：00H R/W アドレス：FFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	PF55	PF54	0	0	0	0

PF5n	通常出力 (CMOS出力) / N-chオープン・ドレイン出力の制御 (n = 4, 5)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意1. PF5レジスタのビット0-3, 6, 7には必ず0を設定してください。

2. P54, P55をN-chオープン・ドレインで兼用機能として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。

P5nビット = 1 → PF5nビット = 1 → PMC5nビット = 1

(5) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時：00H R/W アドレス：FFFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

PFC55	P55端子の兼用端子の指定
0	SCKA0入出力
1	RTP05出力

PFC54	P54端子の兼用端子の指定
0	SOA0出力
1	RTP04出力

PFC53	P53端子の兼用端子の指定
0	SIA0入力
1	RTP03出力

PFC52	P52端子の兼用端子の指定
0	TO50出力
1	RTP02出力

PFC51	P51端子の兼用端子の指定
0	TI50入力
1	RTP01出力

PFC50	P50端子の兼用端子の指定
0	TI011入力
1	RTP00出力

(6) プルアップ抵抗オプション・レジスタ5 (PU5)

リセット時：00H R/W アドレス：FFFFFC4AH

	7	6	5	4	3	2	1	0
PU5	0	0	PU55	PU54	PU53	PU52	PU51	PU50

PU5n	内蔵プルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

4.3.6 ポート6

ポート6は1ビット単位で入出力を制御できる16ビットの入出力ポートです。

ポート6は、次に示す端子と兼用しています。

表4-9 ポート6の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P60	43	RTP10	出力	設定 可能	—	D0-U
P61	44	RTP11	出力			D0-U
P62	45	RTP12	出力			D0-U
P63	46	RTP13	出力			D0-U
P64	47	RTP14	出力			D0-U
P65	48	RTP15	出力			D0-U
P66	49	SI02	入力			D1-SUL
P67	50	SO02	出力		N-chオープン・ドレイン出力 選択可能	D0-UF
P68	51	SCK02	入出力			D2-SUFL
P69	52	TI040	入力		—	D1-SUL
P610	53	TI041	入力			D1-SUL
P611	54	TO04	出力			D0-U
P612	55	TI050	入力			D1-SUL
P613	56	TI051/TO05	入出力			E10-SUL
P614	57	—	—	なし	中耐圧N-chオープン・ドレイン出力	C-N
P615	58	—	—			C-N

注 ソフトウェア・プルアップ機能

注意 P66, P68-P610, P612, P613は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート6レジスタ (P6)

リセット時：0000H（出力ラッチ） R/W アドレス：P6 FFFFF40CH,
P6L FFFFF40CH, P6H FFFFF40DH

P6 (P6H ^注)	15	14	13	12	11	10	9	8
	P615	P614	P613	P612	P611	P610	P69	P68
(P6L)	7	6	5	4	3	2	1	0
	P67	P66	P65	P64	P63	P62	P61	P60
P6n	出力データの制御（出力モード時）（n = 0-15）							
0	0を出力							
1	1を出力							

注 P6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P6Hレジスタのビット0-7として指定してください。

備考 P6レジスタは、16ビット単位でリード／ライト可能です。
ただし、P6レジスタの上位8ビットをP6Hレジスタ、下位8ビットをP6Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(2) ポート6モード・レジスタ (PM6)

リセット時：FFFFH R/W アドレス：PM6 FFFFF42CH,
PM6L FFFFF42CH, PM6H FFFFF42DH

PM6 (PM6H ^注)	15	14	13	12	11	10	9	8
	PM615	PM614	PM613	PM612	PM611	PM610	PM69	PM68
(PM6L)	7	6	5	4	3	2	1	0
	PM67	PM66	PM65	PM64	PM63	PM62	PM61	PM60
PM6n	入出力モードの制御（n = 0-15）							
0	出力モード							
1	入力モード							

注 PM6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM6Hレジスタのビット0-7として指定してください。

備考 PM6レジスタは、16ビット単位でリード／ライト可能です。
ただし、PM6レジスタの上位8ビットをPM6Hレジスタ、下位8ビットをPM6Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(3) ポート6モード・コントロール・レジスタ (PMC6)

リセット時：0000H R/W アドレス：PMC6 FFFFF44CH,
PMC6L FFFFF44CH, PMC6H FFFFF44DH

PMC6 (PMC6H [※])	15	14	13	12	11	10	9	8
	0	0	PMC613	PMC612	PMC611	PMC610	PMC69	PMC68
(PMC6L)	7	6	5	4	3	2	1	0
	PMC67	PMC66	PMC65	PMC64	PMC63	PMC62	PMC61	PMC60
PMC613		端子の動作モードの指定						
0		入出力ポート (P613)						
1		TI051入力/TO05出力						
PMC612		端子の動作モードの指定						
0		入出力ポート (P612)						
1		TI050入力						
PMC611		端子の動作モードの指定						
0		入出力ポート (P611)						
1		TO04出力						
PMC610		端子の動作モードの指定						
0		入出力ポート (P610)						
1		TI041入力						
PMC69		端子の動作モードの指定						
0		入出力ポート (P69)						
1		TI040入力						
PMC68		端子の動作モードの指定						
0		入出力ポート (P68)						
1		SCK02入出力						
PMC67		端子の動作モードの指定						
0		入出力ポート (P67)						
1		SO02出力						
PMC66		端子の動作モードの指定						
0		入出力ポート (P66)						
1		SI02入力						
PMC6n		端子の動作モードの指定 (n = 0-5)						
0		入出力ポート (P6n)						
1		RTP1n出力						

注 PMC6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC6Hレジスタのビット0-7として指定してください。

備考 PMC6レジスタは、16ビット単位でリード／ライト可能です。

ただし、PMC6レジスタの上位8ビットをPMC6Hレジスタ、下位8ビットをPMC6Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(4) ポート6ファンクション・レジスタ (PF6)

リセット時：0000H R/W アドレス：PF6 FFFFFFFC6CH,
PF6L FFFFFFFC6CH, PF6H FFFFFFFC6DH

PF6 (PF6H ^注)	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	PF68
(PF6L)	7	6	5	4	3	2	1	0
	PF67	0	0	0	0	0	0	0
PF6n	通常出力 (CMOS出力) / N-chオープン・ドレイン出力の制御 (n = 7, 8)							
0	通常出力 (CMOS出力)							
1	N-chオープン・ドレイン出力							

注 PF6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PF6Hレジスタのビット0-7として指定してください。

注意 PF6レジスタのビット0-6, 9-15には必ず0を設定してください。

備考 PF6レジスタは、16ビット単位でリード／ライト可能です。
ただし、PF6レジスタの上位8ビットをPF6Hレジスタ、下位8ビットをPF6Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(5) ポート6ファンクション・コントロール・レジスタ (PFC6H)

リセット時：00H R/W アドレス：FFFFFF46DH

PFC6H	7	6	5	4	3	2	1	0
	0	0	PFC613	0	0	0	0	0
PFC613	P613端子の兼用機能の指定							
0	TI051入力							
1	TO05出力							

(6) プルアップ抵抗オプション・レジスタ6 (PU6)

リセット時：0000H R/W アドレス：PU6 FFFFFFFC4CH,
PU6L FFFFFFFC4CH, PU6H FFFFFFFC4DH

	15	14	13	12	11	10	9	8
PU6 (PU6H ^注)	0	0	PU613	PU612	PU611	PU610	PU69	PU68
	7	6	5	4	3	2	1	0
(PU6L)	PU67	PU66	PU65	PU64	PU63	PU62	PU61	PU60

PU6n	内蔵プルアップ抵抗接続制御 (n = 0-13)
0	接続しない
1	接続する

注 PU6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PU6Hレジスタのビット0-7として指定してください。

備考 PU6レジスタは、16ビット単位でリード／ライト可能です。

ただし、PU6レジスタの上位8ビットをPU6Hレジスタ、下位8ビットをPU6Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

4.3.7 ポート7

ポート7は、全端子が入力に固定の16ビット入力専用ポートです。

ポート7は、次に示す端子と兼用しています。

表4-10 ポート7の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P70	144	ANI0	入力	なし	—	A-A
P71	143	ANI1	入力			A-A
P72	142	ANI2	入力			A-A
P73	141	ANI3	入力			A-A
P74	140	ANI4	入力			A-A
P75	139	ANI5	入力			A-A
P76	138	ANI6	入力			A-A
P77	137	ANI7	入力			A-A
P78	136	ANI8	入力			A-A
P79	135	ANI9	入力			A-A
P710	134	ANI10	入力			A-A
P711	133	ANI11	入力			A-A
P712	132	ANI12	入力			A-A
P713	131	ANI13	入力			A-A
P714	130	ANI14	入力			A-A
P715	129	ANI15	入力			A-A

注 ソフトウェア・プルアップ機能

(1) ポート7レジスタ (P7)

リセット時：不定 R アドレス：P7 FFFFF40EH
P7L FFFFF40EH, P7H FFFFF40FH

		15	14	13	12	11	10	9	8
P7	(P7H ^注)	P715	P714	P713	P712	P711	P710	P79	P78
		7	6	5	4	3	2	1	0
	(P7L)	P77	P76	P75	P74	P73	P72	P71	P70
		P7n	入力データの読み出し(n = 0-15)						
		0	ロウ・レベルを入力						
		1	ハイ・レベルを入力						

注 P7レジスタのビット8-15を8/1ビット単位でリードする場合は、P7Hレジスタのビット0-7として指定してください。

備考 P7レジスタは16ビット単位でリードのみ可能です。
ただし、P7レジスタの上位8ビットをP7Hレジスタ、下位8ビットをP7Lレジスタとして使用する場合は、8ビット単位でリードのみ可能です。

4.3.8 ポート8

ポート8は1ビット単位で入出力を制御できる2ビット入出力ポートです。

ポート8は、次に示す端子と兼用しています。

表4-11 ポート8の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P80	59	RXD2/SDA1	入出力	設定可能	N-chオープン・ドレイン出力 選択可能	E12-SUFHH
P81	60	TXD2/SCL1	入出力			E02-SUFH

注 ソフトウェア・プルアップ機能

注意1. P80, P81は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時には、ヒステリシス特性を持ちません。

2. V850ES/KJ2は、P40端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。

(1) ポート8レジスタ (P8)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF410H

	7	6	5	4	3	2	1	0
P8	0	0	0	0	0	0	P81	P80

P8n	出力データの制御（出力モード時）（n = 0, 1）
0	0を出力
1	1を出力

(2) ポート8モード・レジスタ (PM8)

リセット時：FFH R/W アドレス：FFFFFF430H

	7	6	5	4	3	2	1	0
PM8	1	1	1	1	1	1	PM81	PM80

PM8n	入出力モードの制御（n = 0, 1）
0	出力モード
1	入力モード

(3) ポート8モード・コントロール・レジスタ (PMC8)

リセット時：00H R/W アドレス：FFFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	0	0	0	0	PMC81	PMC80

PMC81	端子の動作モードの指定
0	入出力ポート (P81)
1	TXD2出力/SCL1入出力

PMC80	端子の動作モードの指定
0	入出力ポート (P80)
1	RXD2入力/SDA1入出力

(4) ポート8ファンクション・レジスタ (PF8)

リセット時：00H R/W アドレス：FFFFFFC70H

	7	6	5	4	3	2	1	0
PF8	0	0	0	0	0	0	PF81	PF80

PF8n	通常出力 (CMOS出力) / N-chオープン・ドレイン出力の制御 (n = 0, 1)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 P80, P81をN-chオープン・ドレインで兼用機能として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後, N-chオープン・ドレインに設定してください。

P8nビット = 1 → PFC8nビット = 0/1 → PF8nビット = 1 → PMC8nビット = 1

(5) ポート8ファンクション・コントロール・レジスタ (PFC8)

リセット時：00H R/W アドレス：FFFFFF470H

	7	6	5	4	3	2	1	0
PFC8	0	0	0	0	0	0	PFC81	PFC80

PFC81	P81端子の兼用機能の指定
0	TXD2出力
1	SCL1入出力

PFC80	P80端子の兼用機能の指定
0	RXD2入力
1	SDA1入出力

(6) プルアップ抵抗オプション・レジスタ8 (PU8)

リセット時：00H R/W アドレス：FFFFFC50H

	7	6	5	4	3	2	1	0
PU8	0	0	0	0	0	0	PU81	PU80

PU8n	内蔵プルアップ抵抗接続制御 (n = 0, 1)
0	接続しない
1	接続する

4.3.9 ポート9

ポート9は1ビット単位で入出力を制御できる16ビット入出力ポートです。

ポート9は、次に示す端子と兼用しています。

表4-12 ポート9の兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
P90	61	A0/TXD1/KR6	入出力	設定 可能	—	E00-SUTZ
P91	62	A1/RXD1/KR7	入出力			E01-SUHTZ
P92	63	A2/TI020/TO02	入出力			E00-SUTZ
P93	64	A3/TI021	入出力			E01-SULZ
P94	65	A4/TI030/TO03	入出力			E00-SUTZ
P95	66	A5/TI031	入出力			E01-SULZ
P96	67	A6/TI51/TO51	入出力			E00-SUTZ
P97	68	A7/SI01	入出力			E01-SULZ
P98	69	A8/SO01	出力		N-chオープン・ドレイン出力	E00-UFZ
P99	70	A9/SCK01	入出力		選択可能	E02-SUFLZ
P910	71	A10/SIA1	入出力		—	E01-SULZ
P911	72	A11/SOA1	出力		N-chオープン・ドレイン出力	E00-UFZ
P912	73	A12/SCKA1	入出力		選択可能	E02-SUFLZ
P913	74	A13/INTP4	入出力		アナログ・ノイズ除去	E01-SUILZ
P914	75	A14/INTP5	入出力			E01-SUILZ
P915	76	A15/INTP6	入出力			E01-SUILZ

注 ソフトウェア・プルアップ機能

注意 P93, P95, P97, P99, P910, P912-P915は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

(1) ポート9レジスタ (P9)

リセット時：0000H（出力ラッチ） R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

P9 (P9H ^注)	15	14	13	12	11	10	9	8
	P915	P914	P913	P912	P911	P910	P99	P98
(P9L)	7	6	5	4	3	2	1	0
	P97	P96	P95	P94	P93	P92	P91	P90
出力データの制御（出力モード時）（n = 0-15）								
P9n								
0	0を出力							
1	1を出力							

注 P9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P9Hレジスタのビット0-7として指定してください。

備考 P9レジスタは、16ビット単位でリード／ライト可能です。
ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(2) ポート9モード・レジスタ (PM9)

リセット時：FFFFH R/W アドレス：PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

PM9 (PM9H ^注)	15	14	13	12	11	10	9	8
	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
(PM9L)	7	6	5	4	3	2	1	0
	PM97	PM96	PM95	PM94	PM93	PM92	PM91	PM90
入出力モードの制御（n = 0-15）								
PM9n								
0	出力モード							
1	入力モード							

注 PM9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

備考 PM9レジスタは、16ビット単位でリード／ライト可能です。
ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(3) ポート9モード・コントロール・レジスタ (PMC9)

注意 A0-A15端子として使用する場合は、一括してFFFFHと16ビット設定してください。

(1/2)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

PMC9	(PMC9H ^注)	15	14	13	12	11	10	9	8
		PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
(PMC9L)		7	6	5	4	3	2	1	0
		PMC97	PMC96	PMC95	PMC94	PMC93	PMC92	PMC91	PMC90
PMC915		端子の動作モードの指定							
0		入出力ポート (P915)							
1		A15出力/INTP6入力							
PMC914		端子の動作モードの指定							
0		入出力ポート (P914)							
1		A14出力/INTP5入力							
PMC913		端子の動作モードの指定							
0		入出力ポート (P913)							
1		A13出力/INTP4入力							
PMC912		端子の動作モードの指定							
0		入出力ポート (P912)							
1		A12出力/SCKA1入出力							
PMC911		端子の動作モードの指定							
0		入出力ポート (P911)							
1		A11出力/SOA1出力							
PMC910		端子の動作モードの指定							
0		入出力ポート (P910)							
1		A10出力/SIA1入力							
PMC99		端子の動作モードの指定							
0		入出力ポート (P99)							
1		A9出力/SCK01入出力							
PMC98		端子の動作モードの指定							
0		入出力ポート (P98)							
1		A8出力/SO01出力							

注 PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

備考 PMC9レジスタは、16ビット単位でリード／ライト可能です。

ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

PMC97	端子の動作モードの指定
0	入出力ポート (P97)
1	A7出力/SI01入力

PMC96	端子の動作モードの指定
0	入出力ポート (P96) /TI51入力
1	A6出力/TO51出力

PMC95	端子の動作モードの指定
0	入出力ポート (P95)
1	A5出力/TI031入力

PMC94	端子の動作モードの指定
0	入出力ポート (P94) /TI030入力
1	A4出力/TO03出力

PMC93	端子の動作モードの指定
0	入出力ポート (P93)
1	A3出力/TI021入力

PMC92	端子の動作モードの指定
0	入出力ポート (P92) /TI020入力
1	A2出力/TO02出力

PMC91	端子の動作モードの指定
0	入出力ポート (P91) /KR7入力
1	A1出力/RXD1入力

PMC90	端子の動作モードの指定
0	入出力ポート (P90) /KR6入力
1	A0出力/TXD1出力

(4) ポート9ファンクション・レジスタH (PF9H)

リセット時：00H R/W アドレス：FFFFFC73H

	7	6	5	4	3	2	1	0
PF9H	0	0	0	PF912	PF911	0	PF99	PF98

PF9n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 8, 9, 11, 12)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 P98, P99, P911, P912をN-chオープン・ドレインで兼用機能として使用する場合は次の順で設定してください。

必ずポート・ラッチに1を設定後、N-chオープン・ドレインに設定してください。

P9nビット = 1 → PFC9nビット = 0/1 → PF9nビット = 1 → PMC9nビット = 1

(5) ポート9ファンクション・コントロール・レジスタ (PFC9)

注意 A0-A15端子として使用する場合は、一括して0000Hと16ビット設定してください。

(1/2)

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H ^注)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	PFC95	PFC94	PFC93	PFC92	PFC91	PFC90

PFC915	P915端子の兼用機能の指定
0	A15出力
1	INTP6入力

PFC914	P914端子の兼用機能の指定
0	A14出力
1	INTP5入力

PFC913	P913端子の兼用機能の指定
0	A13出力
1	INTP4入力

PFC912	P912端子の兼用機能の指定
0	A12出力
1	SCKA1入出力

PFC911	P911端子の兼用機能の指定
0	A11出力
1	SOA1出力

PFC910	P910端子の兼用機能の指定
0	A10出力
1	SIA1入力

PFC99	P99端子の兼用機能の指定
0	A9出力
1	SCK01入出力

PFC98	P98端子の兼用機能の指定
0	A8出力
1	SO01出力

注 PFC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

備考 PFC9レジスタは、16ビット単位でリード／ライト可能です。

ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

PFC97	P97端子の兼用機能の指定
0	A7出力
1	SI01入力

PFC96	P96端子の兼用機能の指定
0	A6出力
1	TO51出力

PFC95	P95端子の兼用機能の指定
0	A5出力
1	TI031入力

PFC94	P94端子の兼用機能の指定
0	A4出力
1	TO03出力

PFC93	P93端子の兼用機能の指定
0	A3出力
1	TI021入力

PFC92	P92端子の兼用機能の指定
0	A2出力
1	TO02出力

PFC91	P91端子の兼用機能の指定
0	A1出力
1	RXD1入力

PFC90	P90端子の兼用機能の指定
0	A0出力
1	TXD1出力

(6) プルアップ抵抗オプション・レジスタ9 (PU9)

リセット時：0000H R/W アドレス：PU9 FFFFFFFC52H,
PU9L FFFFFFFC52H, PU9H FFFFFFFC53H

PU9	(PU9H ^注)	15	14	13	12	11	10	9	8
		PU915	PU914	PU913	PU912	PU911	PU910	PU99	PU98
(PU9L)		7	6	5	4	3	2	1	0
		PU97	PU96	PU95	PU94	PU93	PU92	PU91	PU90
		PU9n	内蔵プルアップ抵抗接続制御 (n = 0-15)						
		0	接続しない						
		1	接続する						

注 PU9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PU9Hレジスタのビット0-7として指定してください。

備考 PU9レジスタは、16ビット単位でリード／ライト可能です。
ただし、PU9レジスタの上位8ビットをPU9Hレジスタ、下位8ビットをPU9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

4.3.10 ポートCD

ポートCDは1ビット単位で入出力を制御できる4ビット入出力ポートです。

ポートCDは、兼用端子はありません。

表4-13 ポートCDの兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
PCD0	77	—	—	設定 可能	—	C-U
PCD1	78	—	—			C-U
PCD2	79	—	—			C-U
PCD3	80	—	—			C-U

注 ソフトウェア・プルアップ機能

(1) ポートCDレジスタ (PCD)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF00EH

	7	6	5	4	3	2	1	0
PCD	0	0	0	0	PCD3	PCD2	PCD1	PCD0

PCDn	出力データの制御（出力モード時）（n = 0-3）
0	0を出力
1	1を出力

(2) ポートCDモード・レジスタ (PMCD)

リセット時：FFH R/W アドレス：FFFFFF02EH

	7	6	5	4	3	2	1	0
PMCD	1	1	1	1	PMCD3	PMCD2	PMCD1	PMCD0

PMCDn	入出力モードの制御（n = 0-3）
0	出力モード
1	入力モード

(3) プルアップ抵抗オプション・レジスタCD (PUCD)

リセット時：00H R/W アドレス：FFFFFF4EH

	7	6	5	4	3	2	1	0
PUCD	0	0	0	0	PUCD3	PUCD2	PUCD1	PUCD0

PUCDn	内蔵プルアップ抵抗接続制御（n = 0-3）
0	接続しない
1	接続する

4.3.11 ポートCM

ポートCMは1ビット単位で入出力を制御できる6ビット入出力ポートです。

ポートCMは、次に示す端子と兼用しています。

表4-14 ポートCMの兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
PCM0	85	WAIT	入力	設定 可能	—	D1-UH
PCM1	86	CLKOUT	出力			D0-U
PCM2	87	HLD $\overline{\text{AK}}$	出力			D0-U
PCM3	88	HLD $\overline{\text{RQ}}$	入力			D1-UH
PCM4	89	—	—			C-U
PCM5	90	—	—			C-U

注 ソフトウェア・プルアップ機能

(1) ポートCMレジスタ (PCM)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF00CH

	7	6	5	4	3	2	1	0
PCM	0	0	PCM5	PCM4	PCM3	PCM2	PCM1	PCM0

PCMn	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ (PMCM)

リセット時：FFH R/W アドレス：FFFFF02CH

	7	6	5	4	3	2	1	0
PMCM	1	1	PMCM5	PMCM4	PMCM3	PMCM2	PMCM1	PMCM0

PMCMn	入出力モードの制御（n = 0-5）
0	出力モード
1	入力モード

(3) ポートCMモード・コントロール・レジスタ (PMCCM)

リセット時：00H R/W アドレス：FFFFFF04CH

	7	6	5	4	3	2	1	0
PMCCM	0	0	0	0	PMCCM3	PMCCM2	PMCCM1	PMCCM0

PMCCM3	端子の動作モードの指定
0	入出力ポート (PCM3)
1	HLD $\overline{\text{RQ}}$ 入力

PMCCM2	端子の動作モードの指定
0	入出力ポート (PCM2)
1	H $\overline{\text{LDAK}}$ 出力

PMCCM1	端子の動作モードの指定
0	入出力ポート (PCM1)
1	CLKOUT出力

PMCCM0	端子の動作モードの指定
0	入出力ポート (PCM0)
1	WAIT入力

(4) ブルアップ抵抗オプション・レジスタCM (PUCM)

リセット時：00H R/W アドレス：FFFFFFF4CH

	7	6	5	4	3	2	1	0
PUCM	0	0	PUCM5	PUCM4	PUCM3	PUCM2	PUCM1	PUCM0

PUCMn	内蔵ブルアップ抵抗接続制御 (n = 0-5)
0	接続しない
1	接続する

4.3.12 ポートCS

ポートCSは1ビット単位で入出力を制御できる8ビット入出力ポートです。

ポートCSは、次に示す端子と兼用しています。

表4-15 ポートCSの兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
PCS0	81	$\overline{\text{CS0}}$	出力	設定 可能	—	D0-UZ
PCS1	82	$\overline{\text{CS1}}$	出力			D0-UZ
PCS2	83	$\overline{\text{CS2}}$	出力			D0-UZ
PCS3	84	$\overline{\text{CS3}}$	出力			D0-UZ
PCS4	91	—	—			C-U
PCS5	92	—	—			C-U
PCS6	93	—	—			C-U
PCS7	94	—	—			C-U

注 ソフトウェア・プルアップ機能

(1) ポートCSレジスタ (PCS)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF008H

	7	6	5	4	3	2	1	0
PCS	PCS7	PCS6	PCS5	PCS4	PCS3	PCS2	PCS1	PCS0

PCS _n	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

(2) ポートCSモード・レジスタ (PMCS)

リセット時：FFH R/W アドレス：FFFFF028H

	7	6	5	4	3	2	1	0
PMCS	PMCS7	PMCS6	PMCS5	PMCS4	PMCS3	PMCS2	PMCS1	PMCS0

PMCS _n	入出力モードの制御（n = 0-7）
0	出力モード
1	入力モード

(3) ポートCSモード・コントロール・レジスタ (PMCCS)

リセット時：00H R/W アドレス：FFFFFF048H

	7	6	5	4	3	2	1	0
PMCCS	0	0	0	0	PMCCS3	PMCCS2	PMCCS1	PMCCS0

PMCCSn	端子の動作モードの指定 (n = 0-3)
0	入出力ポート (PCSn)
1	CSn出力

(4) プルアップ抵抗オプション・レジスタCS (PUCS)

リセット時：00H R/W アドレス：FFFFFF48H

	7	6	5	4	3	2	1	0
PUCS	PUCS7	PUCS6	PUCS5	PUCS4	PUCS3	PUCS2	PUCS1	PUCS0

PUCSn	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

4.3.13 ポートCT

ポートCTは1ビット単位で入出力を制御できる8ビット入出力ポートです。

表4-16 ポートCTの兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
PCT0	95	$\overline{WR0}$	出力	設定 可能	—	D0-UZ
PCT1	96	$\overline{WR1}$	出力			D0-UZ
PCT2	97	—	—			C-U
PCT3	98	—	—			C-U
PCT4	99	$\overline{RD}$	出力			D0-UZ
PCT5	100	—	—			C-U
PCT6	101	ASTB	出力			D0-UZ
PCT7	102	—	—			C-U

注 ソフトウェア・ブルアップ機能

(1) ポートCTレジスタ (PCT)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF00AH

	7	6	5	4	3	2	1	0
PCT	PCT7	PCT6	PCT5	PCT4	PCT3	PCT2	PCT1	PCT0

PCTn	出力データの制御（出力モード時）（n = 0-7）
0	0を出力
1	1を出力

(2) ポートCTモード・レジスタ (PMCT)

リセット時：FFH R/W アドレス：FFFFF02AH

	7	6	5	4	3	2	1	0
PMCT	PMCT7	PMCT6	PMCT5	PMCT4	PMCT3	PMCT2	PMCT1	PMCT0

PMCTn	入出力モードの制御（n = 0-7）
0	出力モード
1	入力モード

(3) ポートCTモード・コントロール・レジスタ (PMCCT)

リセット時：00H R/W アドレス：FFFFFF04AH

	7	6	5	4	3	2	1	0
PMCCT	0	PMCCT6	0	PMCCT4	0	0	PMCCT1	PMCCT0

PMCCT6	端子の動作モードの指定
0	入出力ポート (PCT6)
1	ASTB出力

PMCCT4	端子の動作モードの指定
0	入出力ポート (PCT4)
1	RD出力

PMCCT1	端子の動作モードの指定
0	入出力ポート (PCT1)
1	WR1出力

PMCCT0	端子の動作モードの指定
0	入出力ポート (PCT0)
1	WR0出力

(4) ブルアップ抵抗オプション・レジスタCT (PUCT)

リセット時：00H R/W アドレス：FFFFFF4AH

	7	6	5	4	3	2	1	0
PUCT	PUCT7	PUCT6	PUCT5	PUCT4	PUCT3	PUCT2	PUCT1	PUCT0

PUCTn	内蔵ブルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

4.3.14 ポートDH

ポートDHは1ビット単位で入出力を制御できる8ビット入出力ポートです。

ポートDHは、次に示す端子と兼用しています。

表4-17 ポートDHの兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
PDH0	121	A16	出力	設定 可能	—	D0-UZ
PDH1	122	A17	出力			D0-UZ
PDH2	123	A18	出力			D0-UZ
PDH3	124	A19	出力			D0-UZ
PDH4	125	A20	出力			D0-UZ
PDH5	126	A21	出力			D0-UZ
PDH6	127	A22	出力			D0-UZ
PDH7	128	A23	出力			D0-UZ

注 ソフトウェア・プルアップ機能

注意 1ビットごとにポート／兼用機能を指定する場合は、アドレス・バス出力の動作について十分注意してください。

(1) ポートDHレジスタ (PDH)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFF006H

	7	6	5	4	3	2	1	0
PDH	PDH7	PDH6	PDH5	PDH4	PDH3	PDH2	PDH1	PDH0
PDHn	出力データの制御（出力モード時）（n = 0-7）							
0	0を出力							
1	1を出力							

(2) ポートDHモード・レジスタ (PMDH)

リセット時：FFH R/W アドレス：FFFFF026H

	7	6	5	4	3	2	1	0
PMDH	PMDH7	PMDH6	PMDH5	PMDH4	PMDH3	PMDH2	PMDH1	PMDH0
PMDHn	入出力モードの制御（n = 0-7）							
0	出力モード							
1	入力モード							

(3) ポートDHモード・コントロール・レジスタ (PMCDH)

リセット時：00H R/W アドレス：FFFFFF046H

	7	6	5	4	3	2	1	0
PMCDH	PMCDH7	PMCDH6	PMCDH5	PMCDH4	PMCDH3	PMCDH2	PMCDH1	PMCDH0

PMCDHn	端子の動作モードの指定 (n = 0-7)
0	入出力ポート (PDHn)
1	Am出力 (アドレス・バス出力) (m = 16-23)

注意 1ビットごとにポート／兼用機能を指定する場合は、アドレス・バス出力の動作について十分注意してください。

(4) プルアップ抵抗オプション・レジスタDH (PUDH)

リセット時：00H R/W アドレス：FFFFFF46H

	7	6	5	4	3	2	1	0
PUDH	PUDH7	PUDH6	PUDH5	PUDH4	PUDH3	PUDH2	PUDH1	PUDH0

PUDHn	内蔵プルアップ抵抗接続制御 (n = 0-7)
0	接続しない
1	接続する

4.3.15 ポートDL

ポートDLは1ビット単位で入出力を制御できる16ビット入出力ポートです。

ポートDLは、次に示す端子と兼用しています。

表4-18 ポートDLの兼用端子

機能名称	ピン番号	兼用機能		PULL ^注	備 考	ブロック・タイプ
		名称	入出力			
PDL0	105	AD0	入出力	設定 可能	—	D2-ULZ
PDL1	106	AD1	入出力			D2-ULZ
PDL2	107	AD2	入出力			D2-ULZ
PDL3	108	AD3	入出力			D2-ULZ
PDL4	109	AD4	入出力			D2-ULZ
PDL5	110	AD5	入出力			D2-ULZ
PDL6	111	AD6	入出力			D2-ULZ
PDL7	112	AD7	入出力			D2-ULZ
PDL8	113	AD8	入出力			D2-ULZ
PDL9	114	AD9	入出力			D2-ULZ
PDL10	115	AD10	入出力			D2-ULZ
PDL11	116	AD11	入出力			D2-ULZ
PDL12	117	AD12	入出力			D2-ULZ
PDL13	118	AD13	入出力			D2-ULZ
PDL14	119	AD14	入出力			D2-ULZ
PDL15	120	AD15	入出力			D2-ULZ

注 ソフトウェア・プルアップ機能

(1) ポートDLレジスタ (PDL)

リセット時：0000H（出力ラッチ） R/W アドレス：PDL FFFFF004H,
PDLL FFFFF004H, PDLH FFFFF005H

PDL (PDLH ^注)	15	14	13	12	11	10	9	8
	PDL15	PDL14	PDL13	PDL12	PDL11	PDL10	PDL9	PDL8
(PDLL)	7	6	5	4	3	2	1	0
	PDL7	PDL6	PDL5	PDL4	PDL3	PDL2	PDL1	PDL0
PDLn		出力データの制御（出力モード時）（n = 0-15）						
0		0を出力						
1		1を出力						

注 PDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PDLHレジスタのビット0-7として指定してください。

備考 PDLレジスタは、16ビット単位でリード／ライト可能です。

ただし、PDLレジスタの上位8ビットをPDLHレジスタ、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H,
PMDLL FFFFF024H, PMDLH FFFFF025H

PMDL (PMDLH ^注)	15	14	13	12	11	10	9	8
	PMDL15	PMDL14	PMDL13	PMDL12	PMDL11	PMDL10	PMDL9	PMDL8
(PMDLL)	7	6	5	4	3	2	1	0
	PMDL7	PMDL6	PMDL5	PMDL4	PMDL3	PMDL2	PMDL1	PMDL0
PMDLn		入出力モードの制御（n = 0-15）						
0		出力モード						
1		入力モード						

注 PMDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

備考 PMDLレジスタは、16ビット単位でリード／ライト可能です。

ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(3) ポートDLモード・コントロール・レジスタ (PMCDL)

リセット時：0000H R/W アドレス：PMCDL FFFFF044H,
PMCDLL FFFFF044H, PMCDLH FFFFF045H

PMCDL (PMCDLH ^注)	15	14	13	12	11	10	9	8
	PMCDL15	PMCDL14	PMCDL13	PMCDL12	PMCDL11	PMCDL10	PMCDL9	PMCDL8
(PMCDLL)	7	6	5	4	3	2	1	0
	PMCDL7	PMCDL6	PMCDL5	PMCDL4	PMCDL3	PMCDL2	PMCDL1	PMCDL0
PMCDLn		端子の動作モードの指定 (n = 0-15)						
0		入出力ポート (PDLn)						
1		ADn入出力 (アドレス／データ・バス入出力)						

注 PMCDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。

注意 1ビットごとにポート／ADn入出力を指定する場合は、使用する外部メモリに合わせて設定してください。

備考 PMCDLレジスタは、16ビット単位でリード／ライト可能です。
ただし、PMCDLレジスタの上位8ビットをPMCDLHレジスタ、下位8ビットをPMCDLLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(4) プルアップ抵抗オプション・レジスタDL (PUDL)

リセット時：0000H R/W アドレス：PUDL FFFFFFF44H,
PUDLL FFFFFFF44H, PUDLH FFFFFFF45H

PUDL (PUDLH ^注)	15	14	13	12	11	10	9	8
	PUDL15	PUDL14	PUDL13	PUDL12	PUDL11	PUDL10	PUDL9	PUDL8
(PUDLL)	7	6	5	4	3	2	1	0
	PUDL7	PUDL6	PUDL5	PUDL4	PUDL3	PUDL2	PUDL1	PUDL0
PUDLn		内蔵プルアップ抵抗接続制御 (n = 0-15)						
0		接続しない						
1		接続する						

注 PUDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PUDLHレジスタのビット0-7として指定してください。

備考 PUDLレジスタは、16ビット単位でリード／ライト可能です。
ただし、PUDLレジスタの上位8ビットをPUDLHレジスタ、下位8ビットをPUDLLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

4. 4 ブロック図

図4-2 タイプA-Aのブロック図

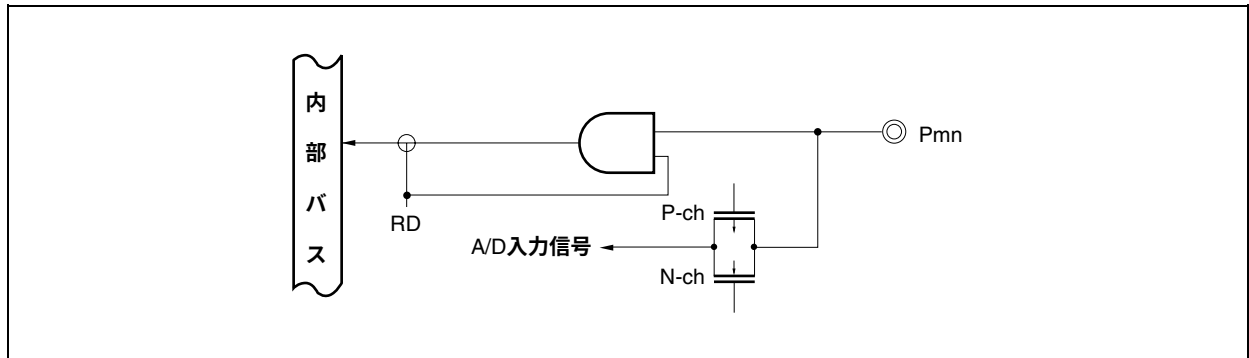


図4-3 タイプC-Nのブロック図

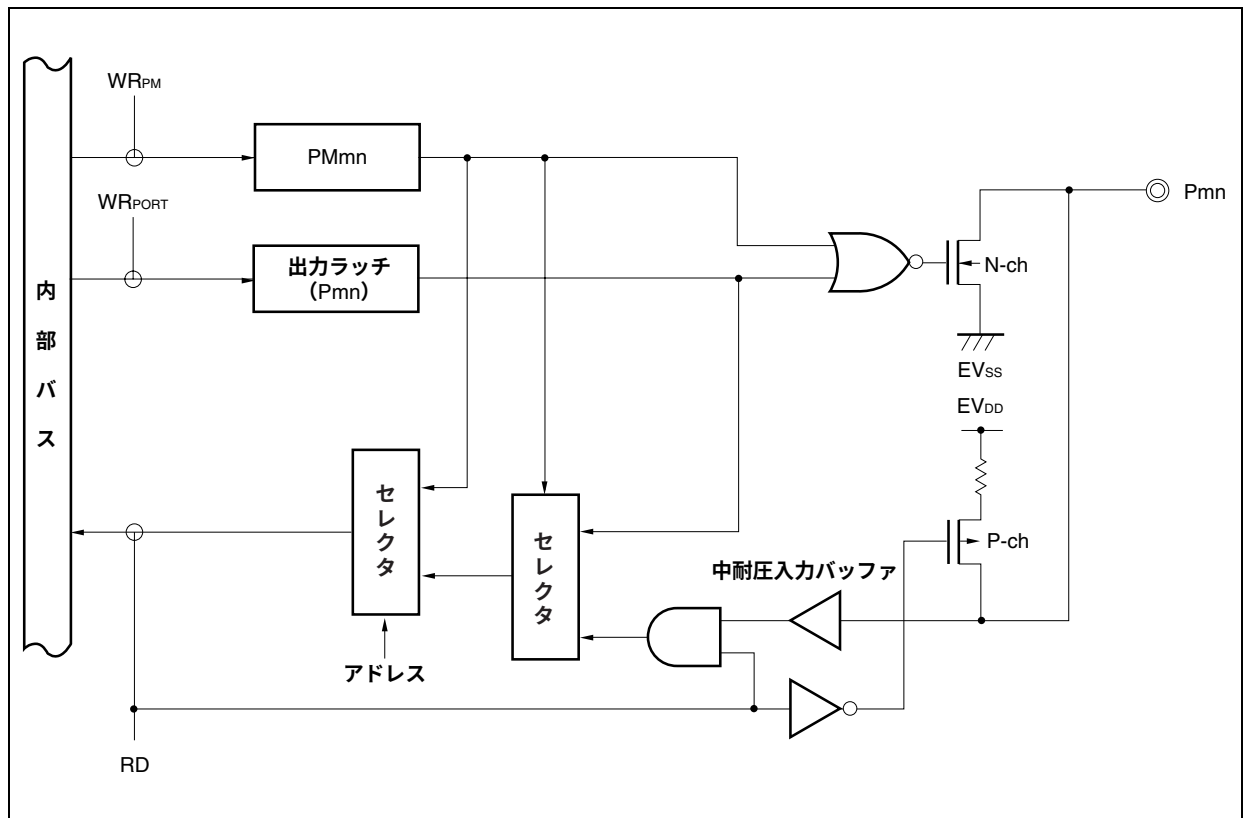
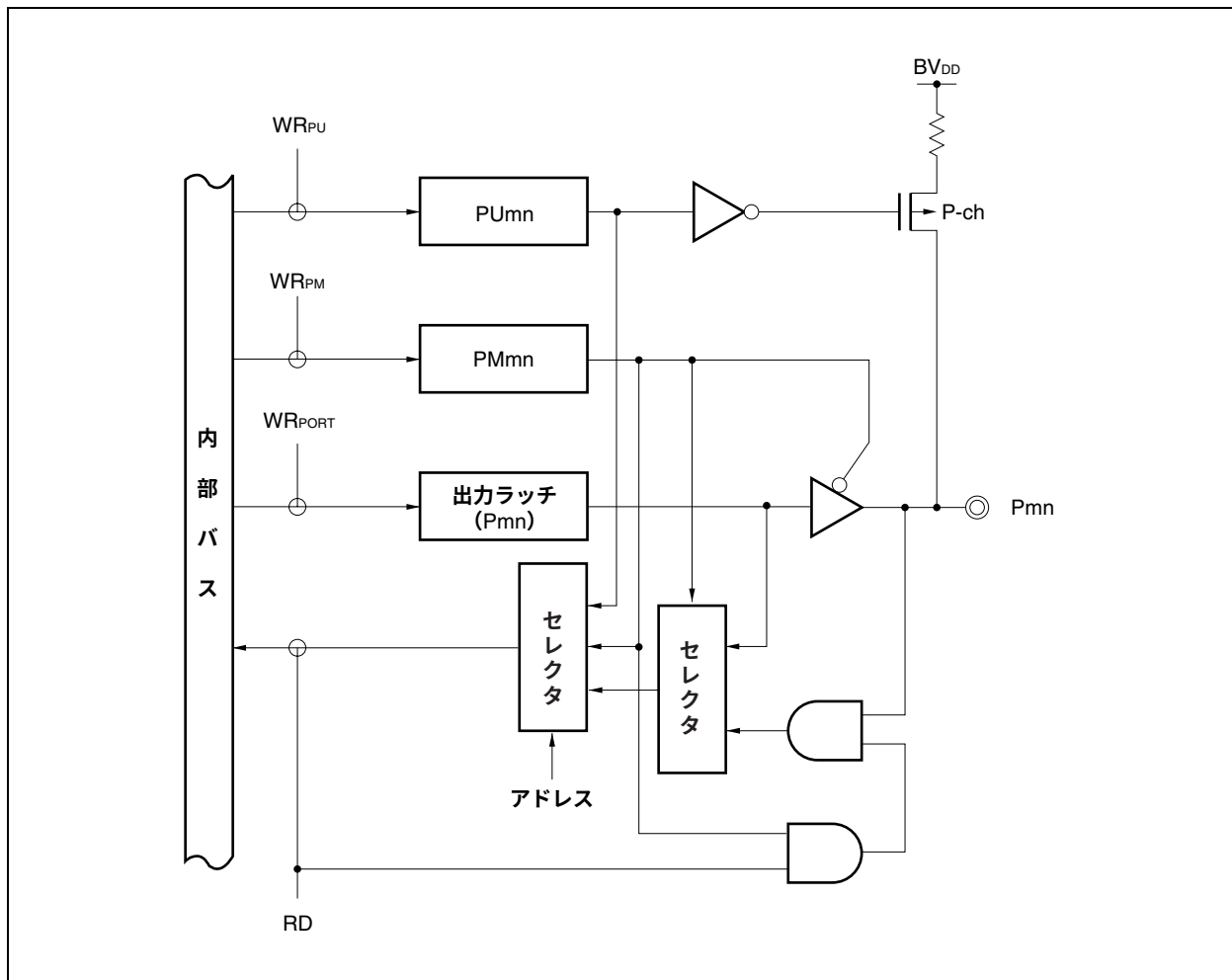


図4-4 タイプC-Uのブロック図



注 PCM1, PCM2はBV_{DD}です。

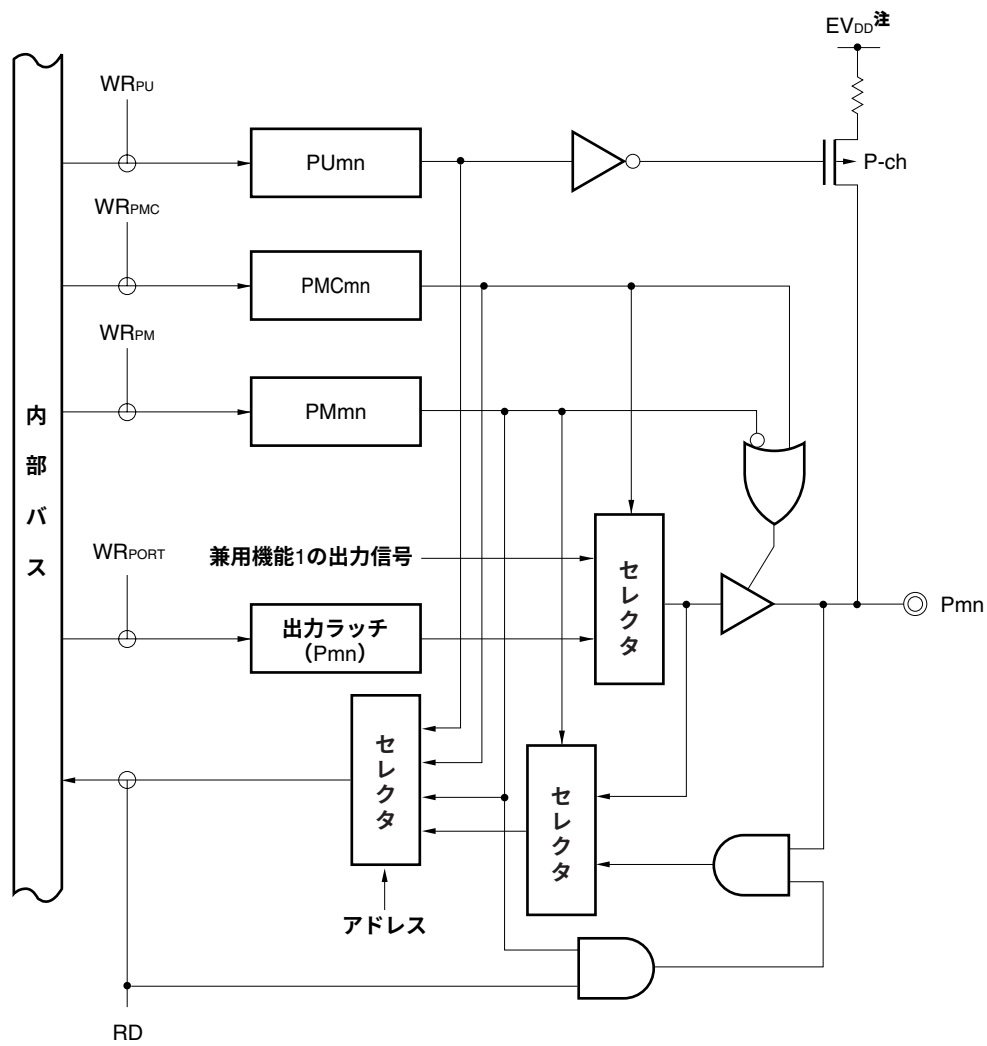
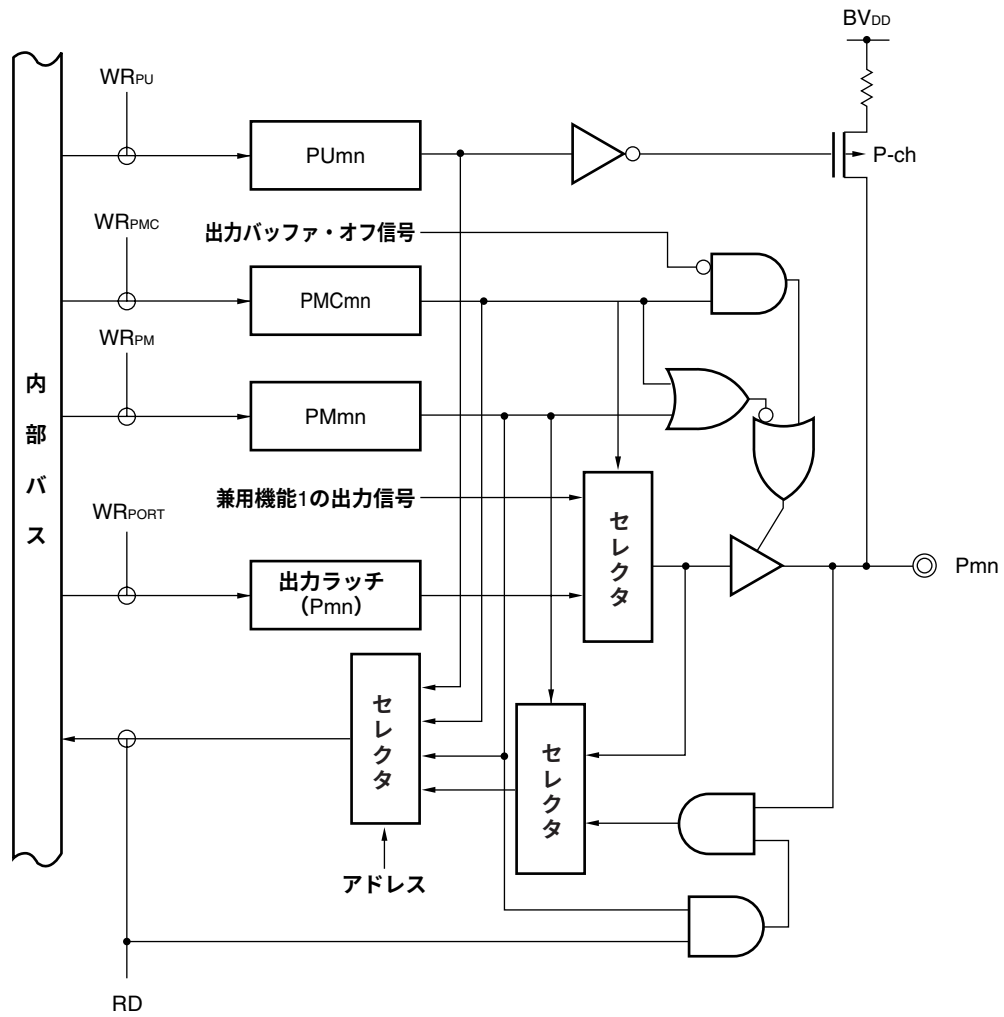


図4-8 タイプD0-UZのブロック図



備考 出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4-9 タイプD1-SUILのブロック図

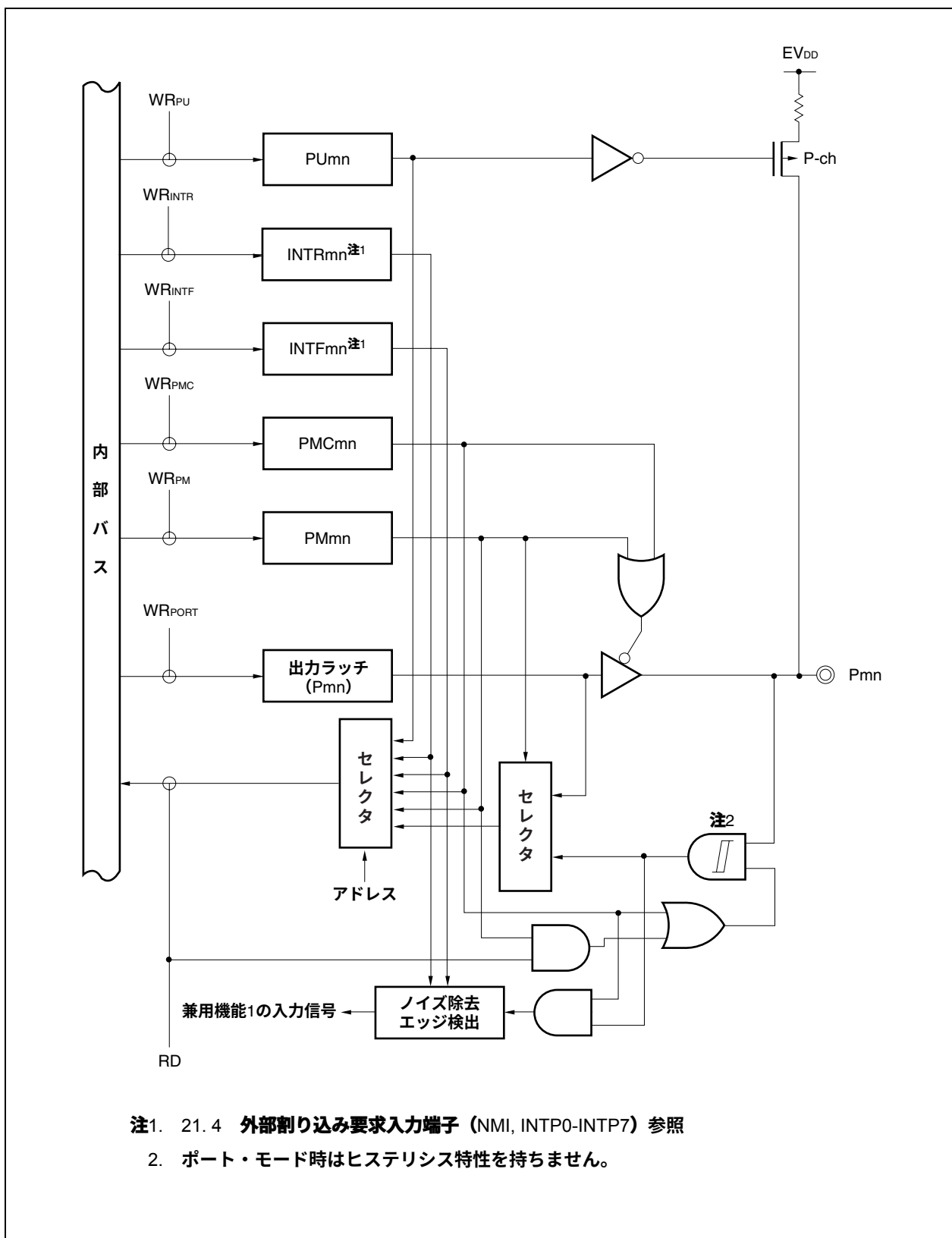


図4-10 タイプD1-SULのブロック図

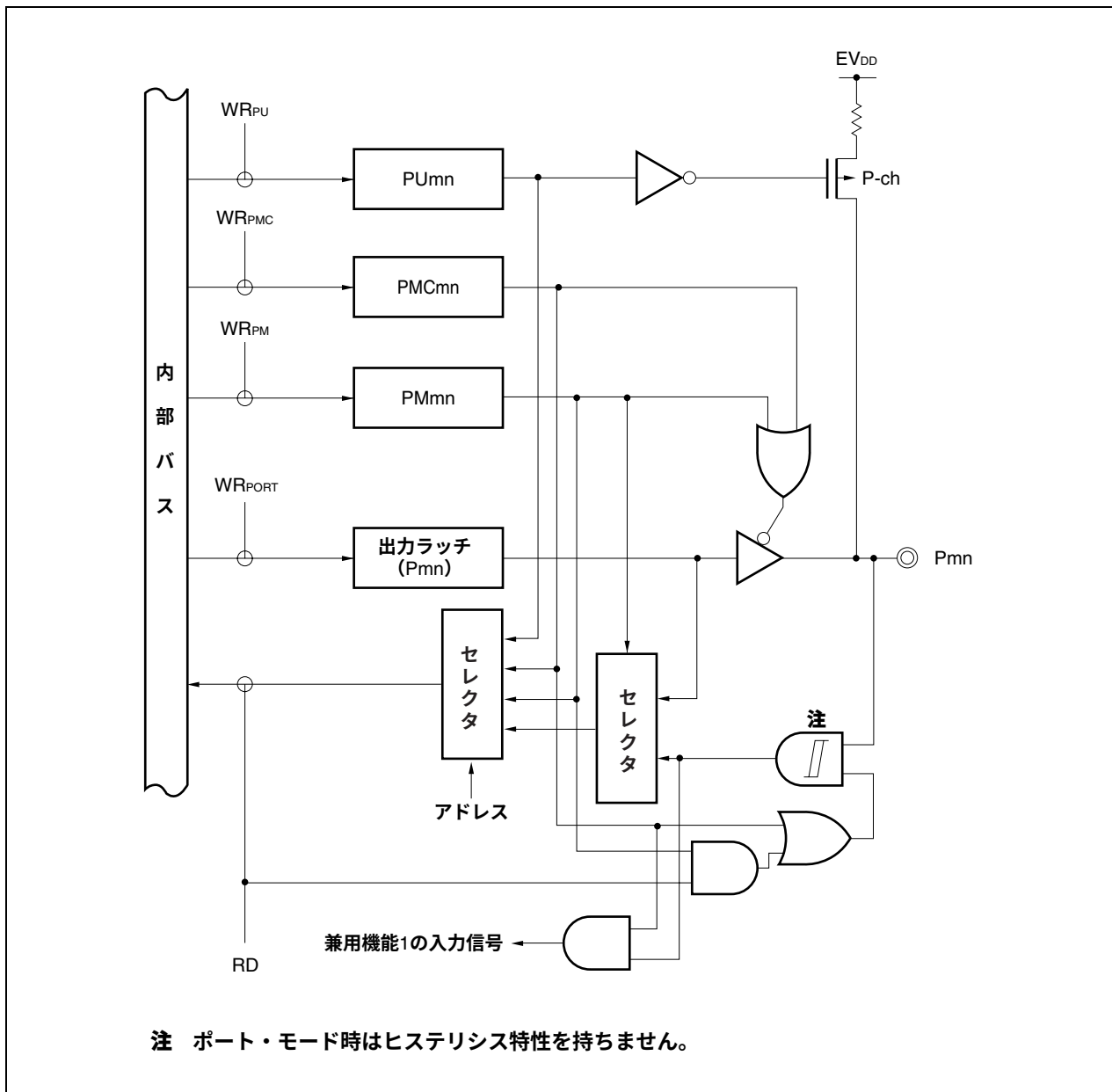


図4-11 タイプD1-UHのブロック図

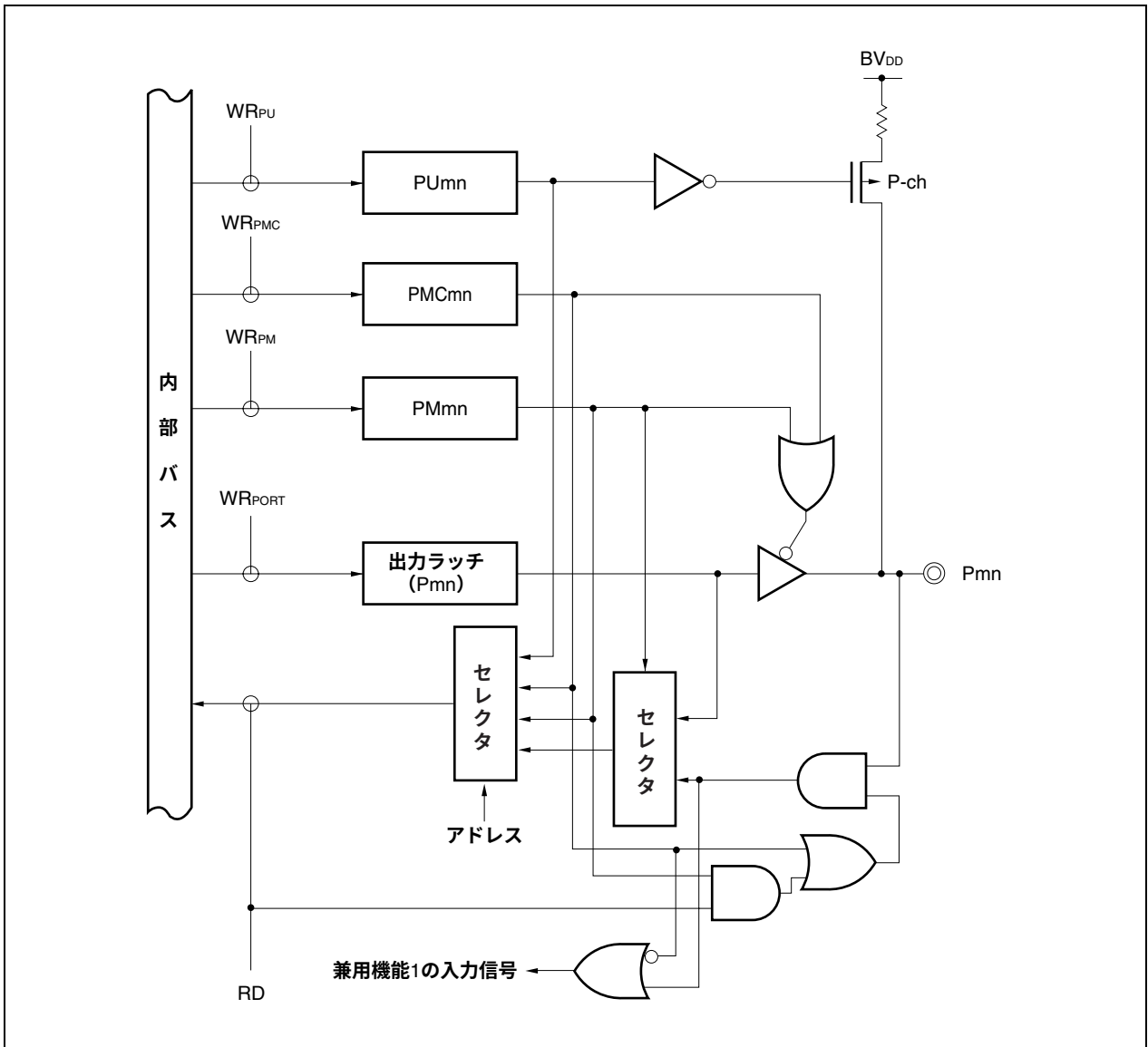
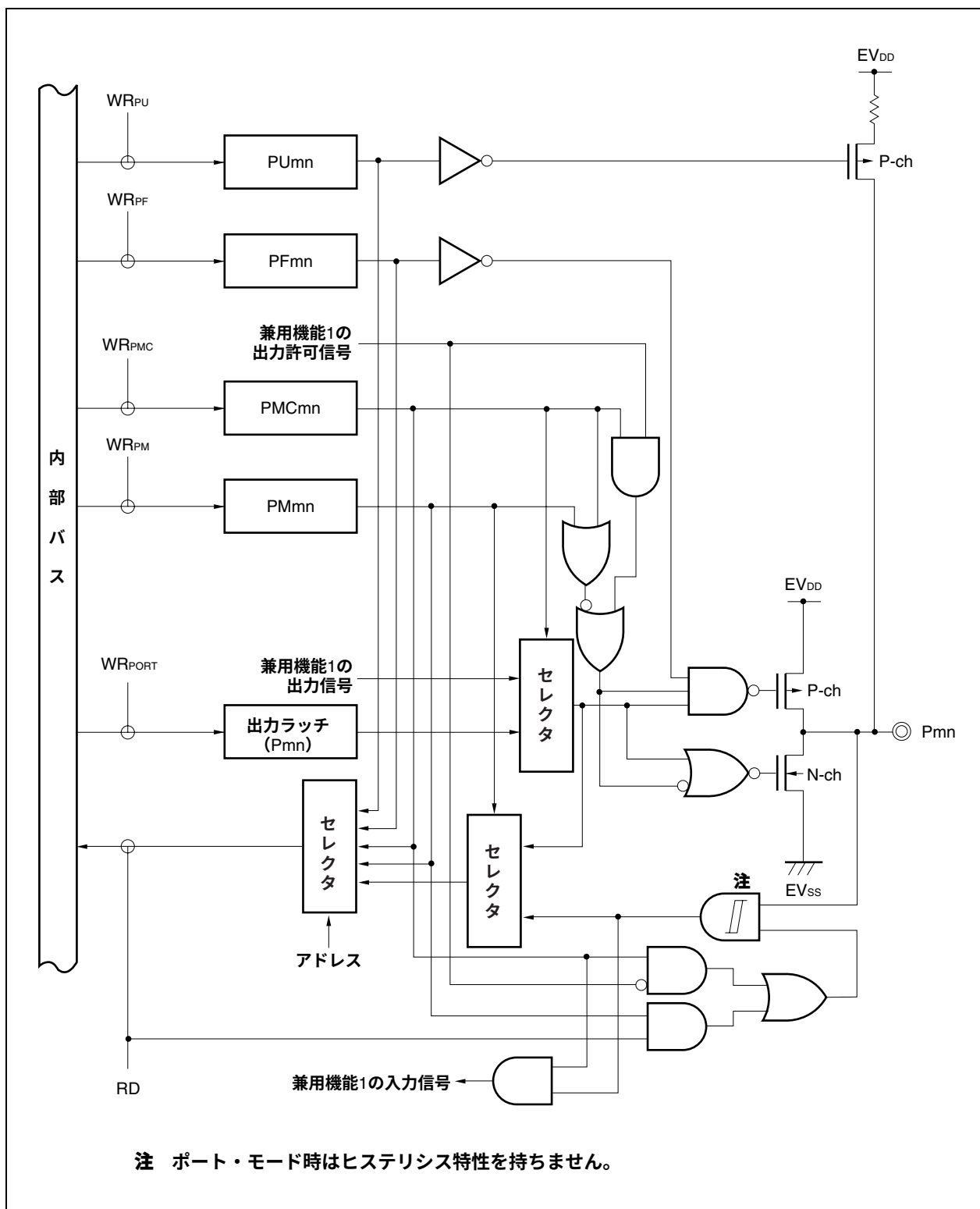




図4-13 タイプD2-SUFLのブロック図



ユーザーズ・マニュアル U17702JJ3V0UD

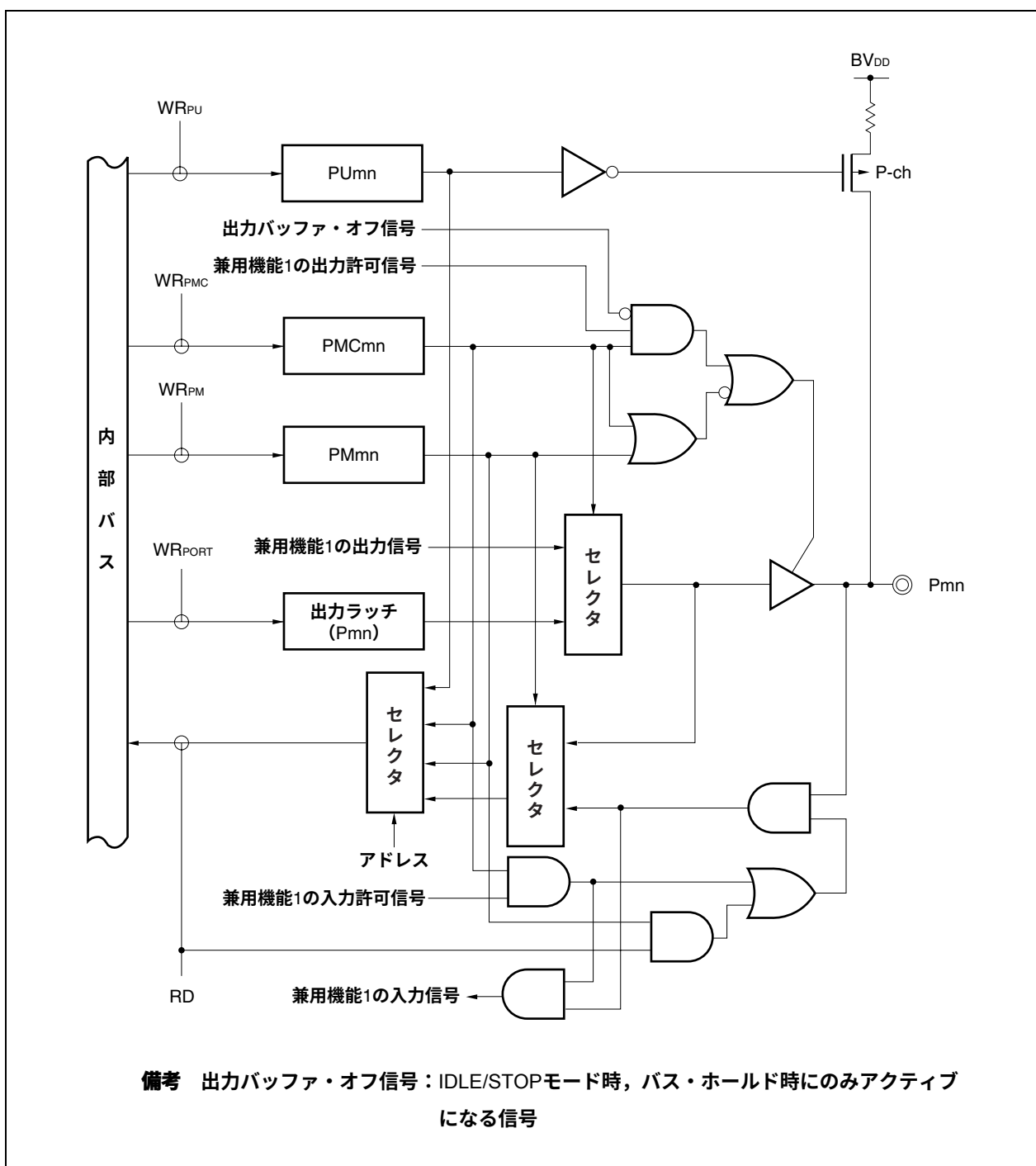


図4-15 タイプE00-SUFTのブロック図

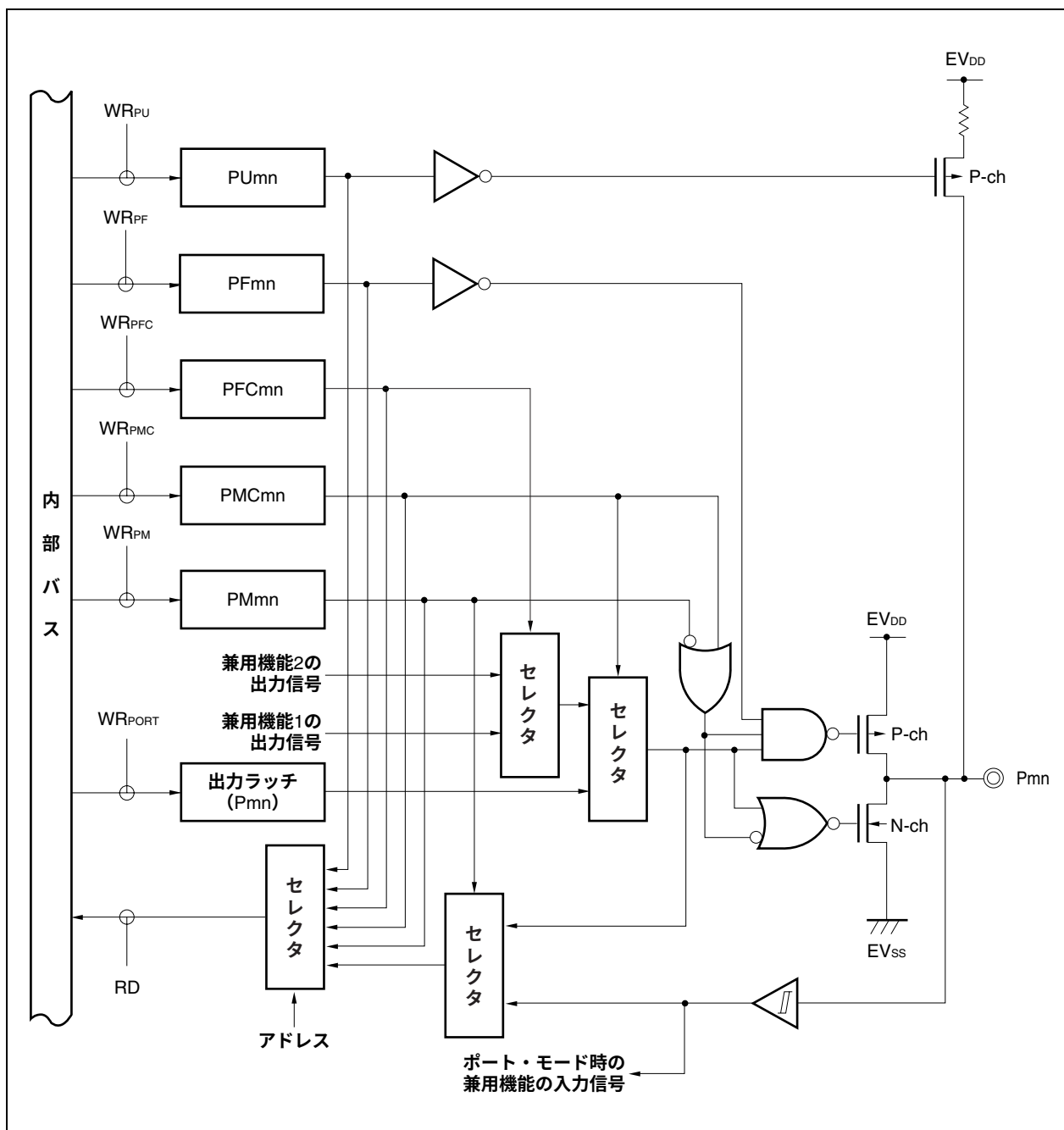


図4-16 タイプE00-SUTのブロック図

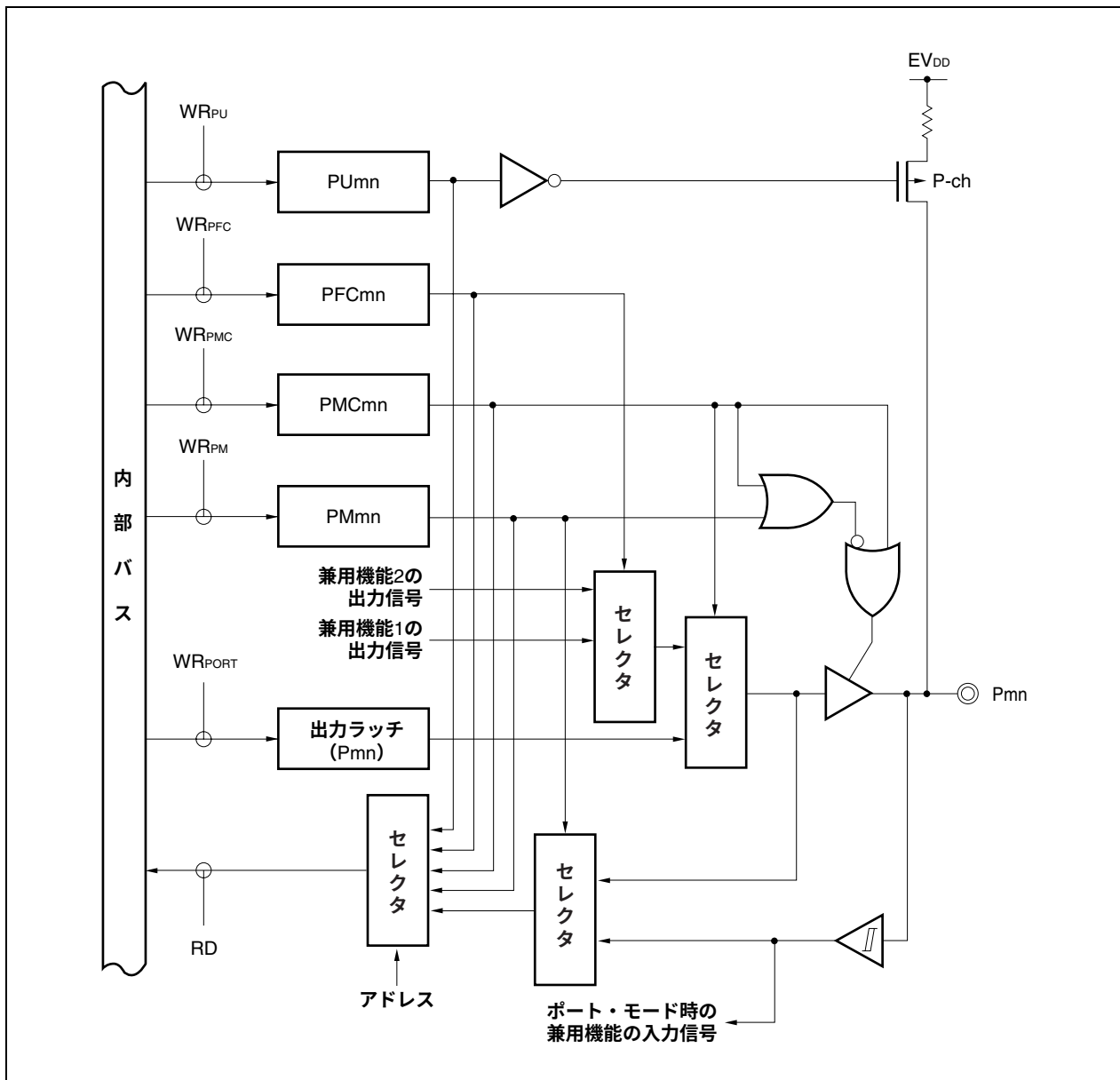


図4-18 タイプE00-Uのブロック図

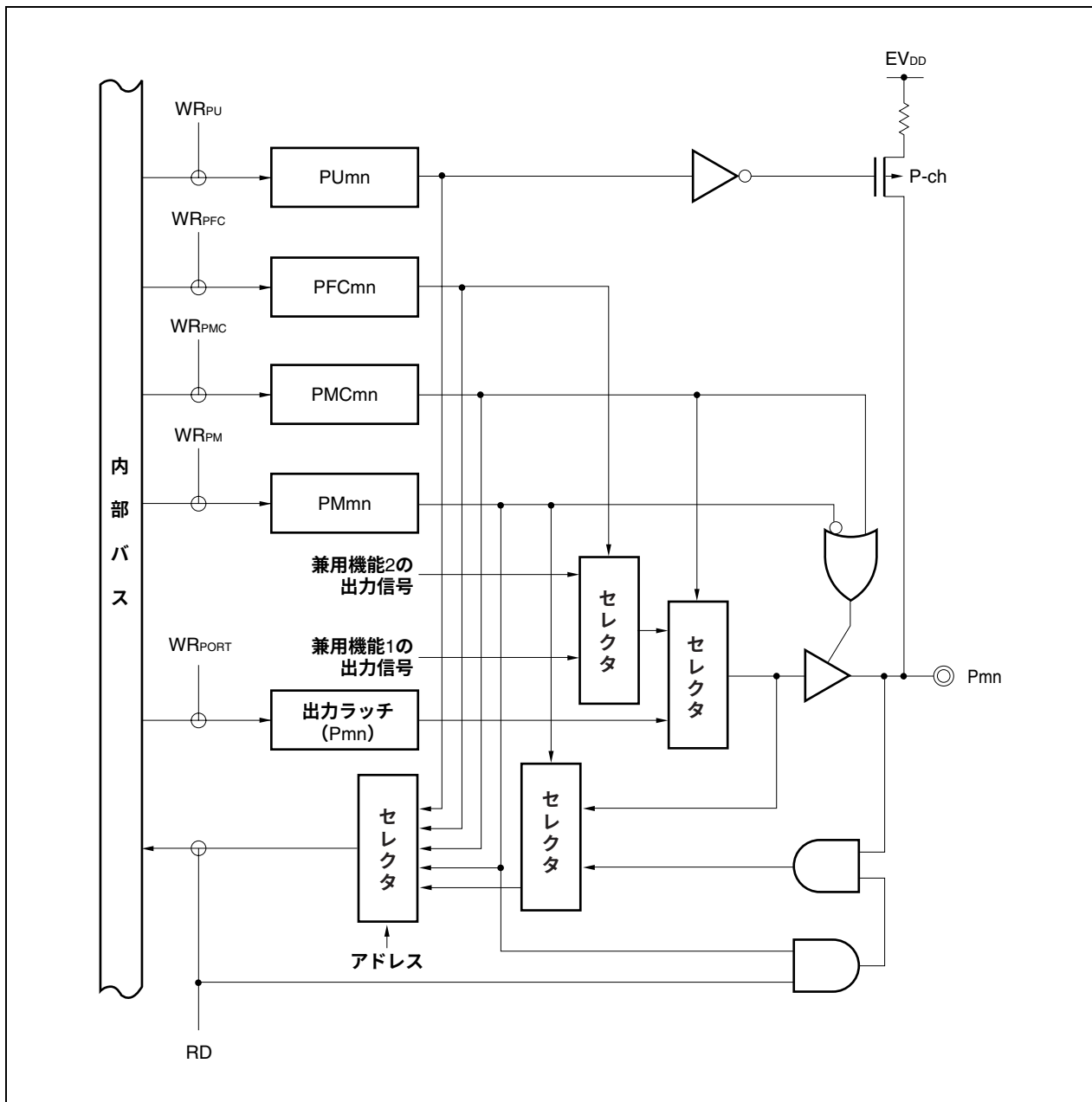


図4-19 タイプE00-UFのブロック図

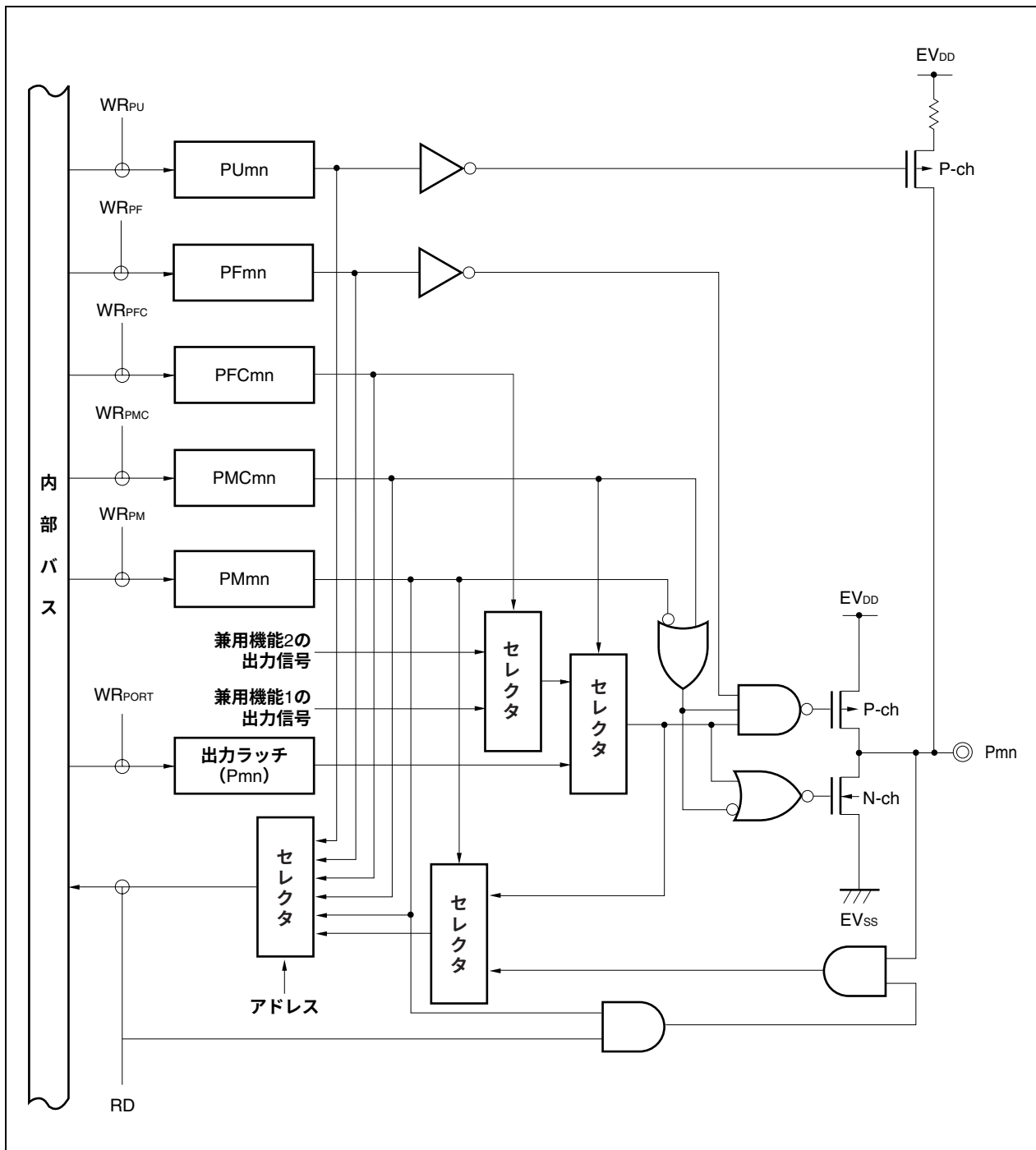


図4-20 タイプE00-UFZのブロック図

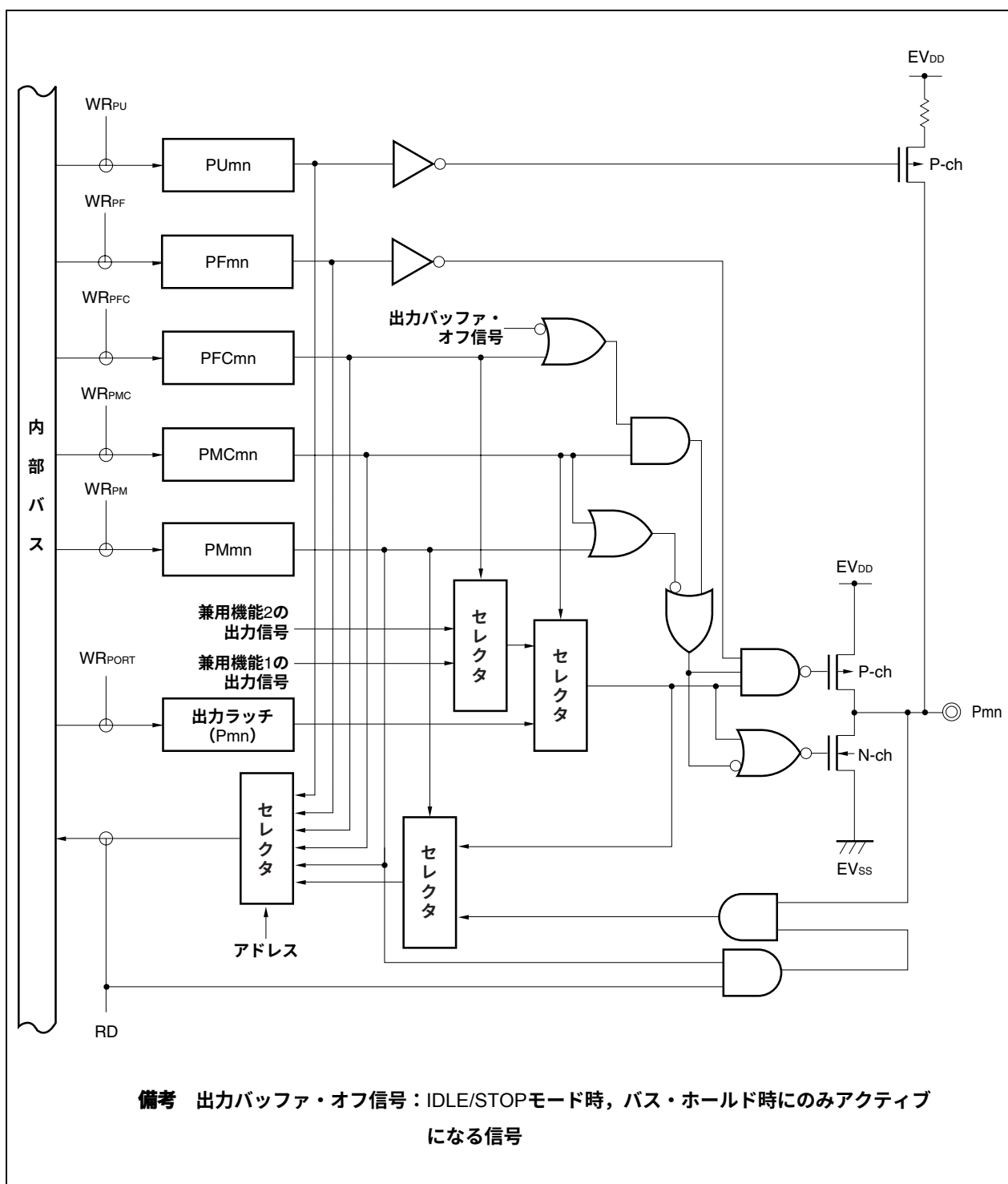


図4-21 タイプE01-SUHTZのブロック図

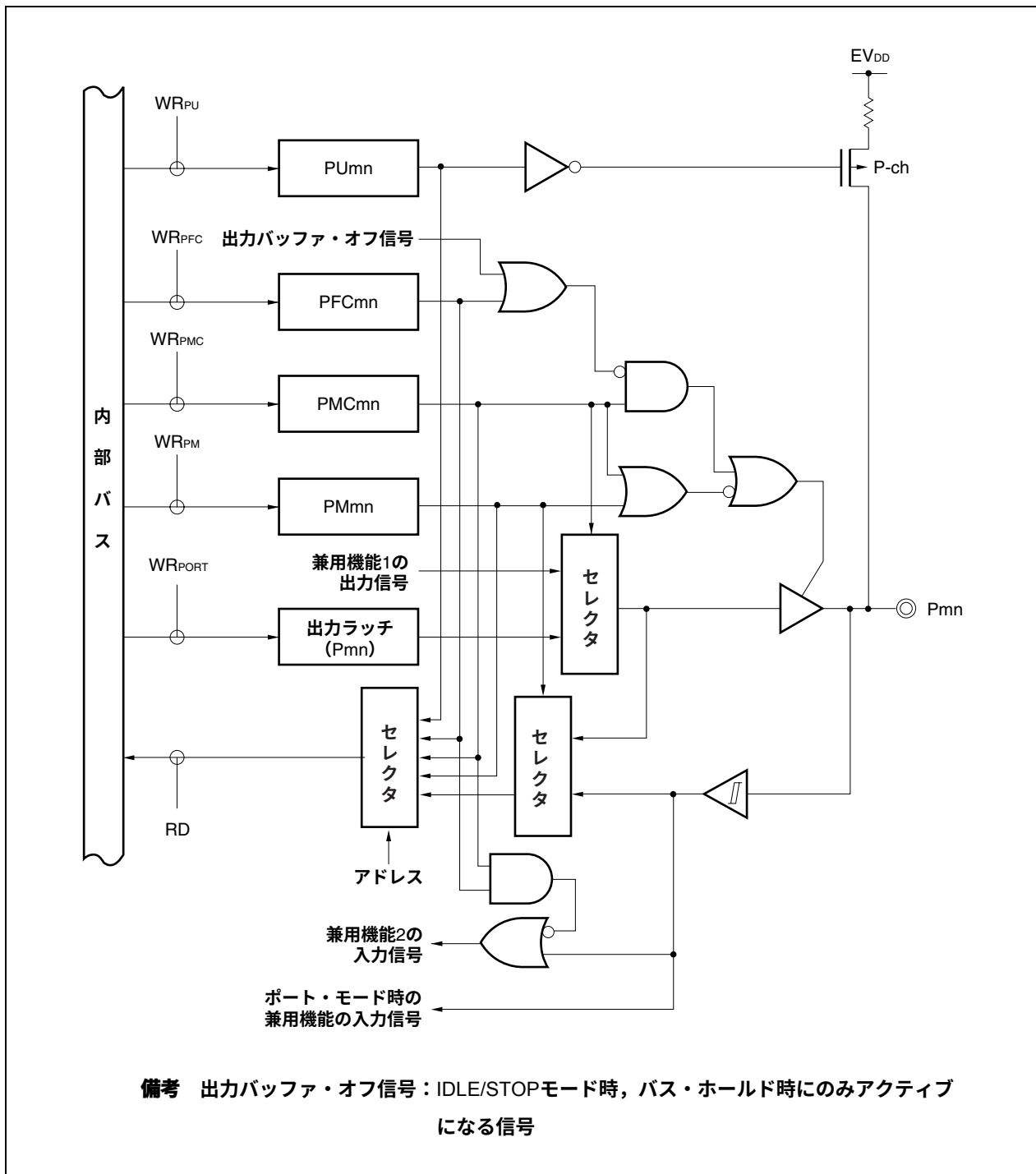
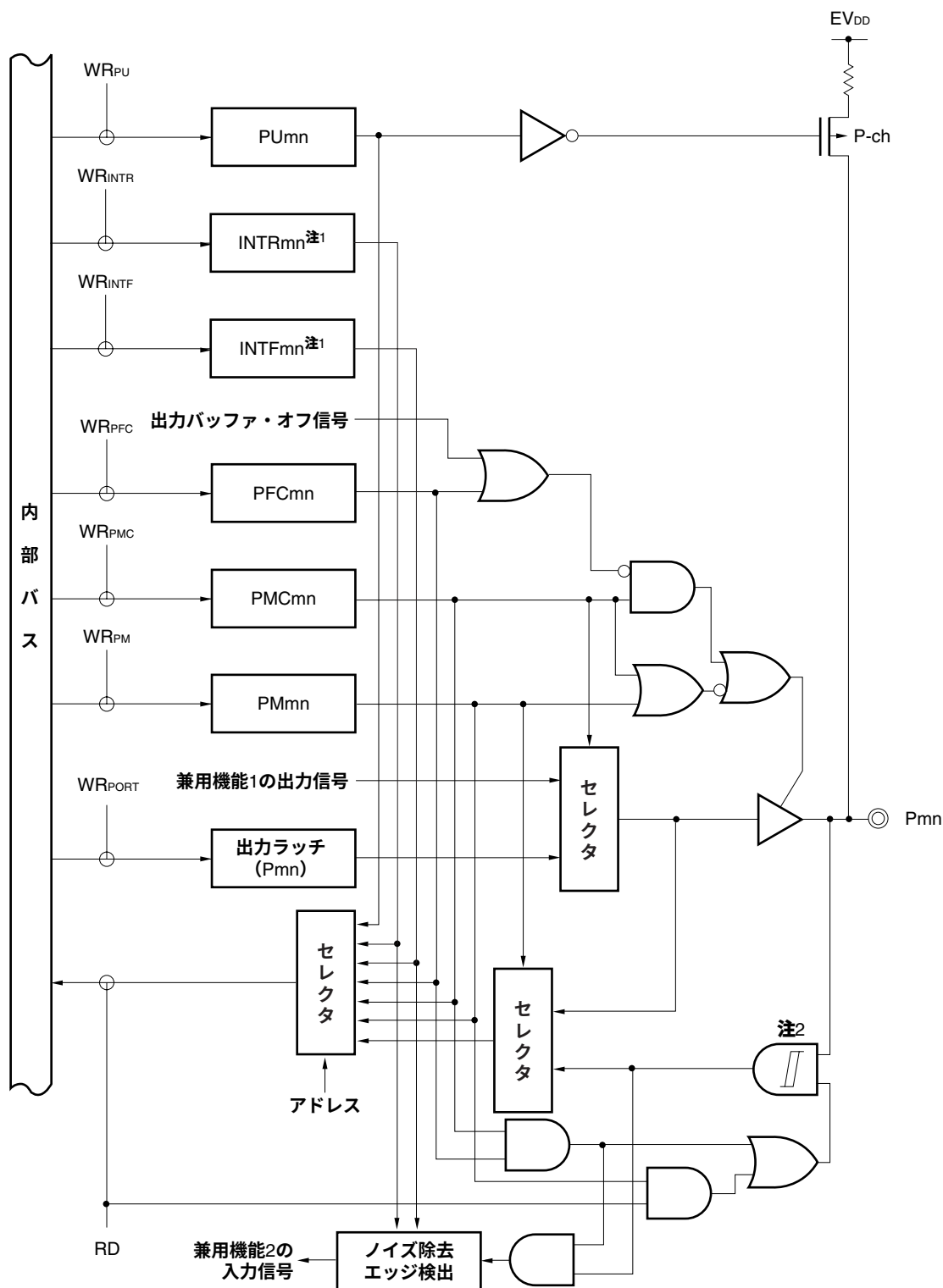


図4-22 タイプE01-SUILZのブロック図

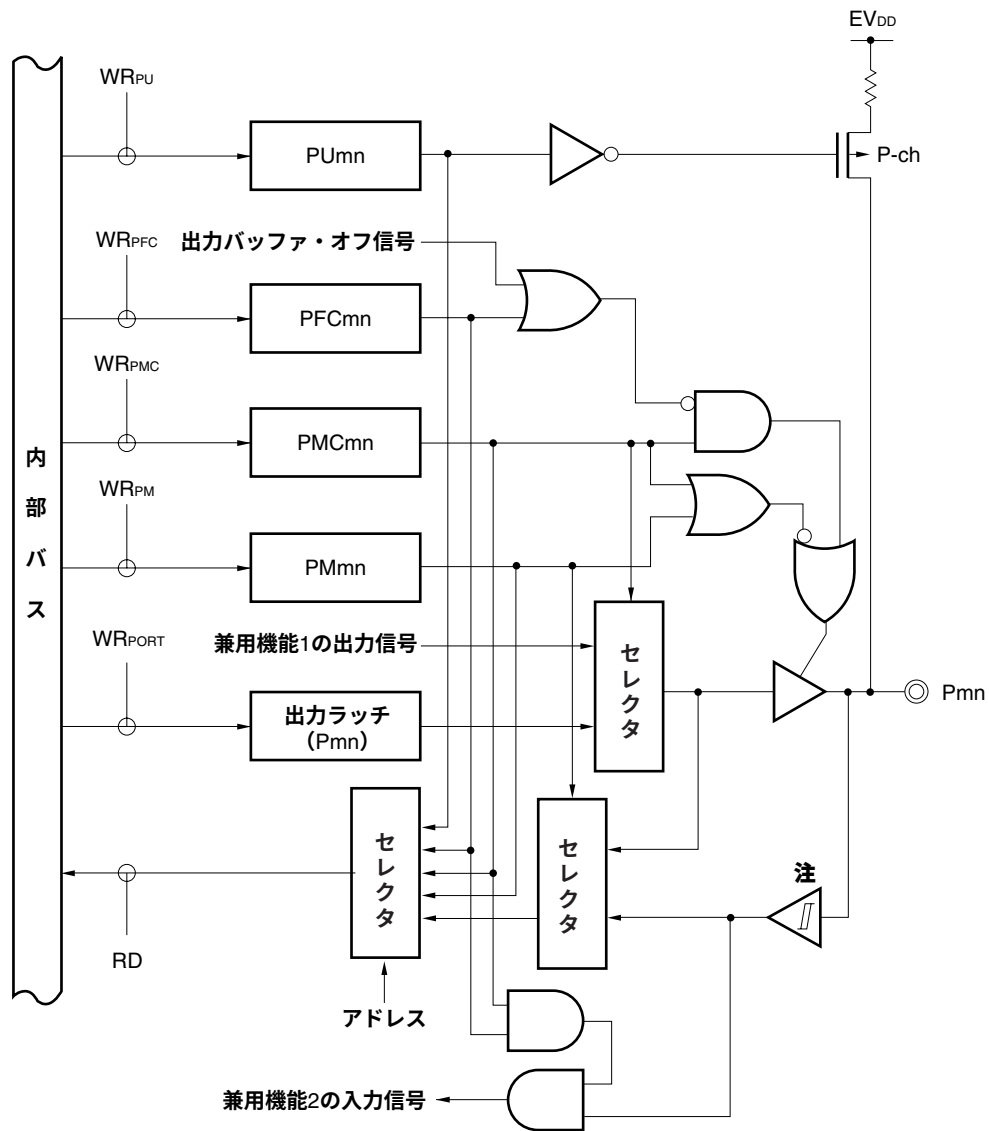


注1. 21.4 外部割り込み要求入力端子 (NMI, INTP0-INTP7) 参照

2. ポート・モード時はヒステリシス特性を持ちません。

備考 出力バッファ・オフ信号：IDLE/STOPモード時、バス・ホールド時にのみアクティブになる信号

図4-23 タイプE01-SULZのブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

備考 出力バッファ・オフ信号：IDLE/STOPモード時，バス・ホールド時にのみアクティブになる信号

図4-24 タイプE02-SUFHのブロック図

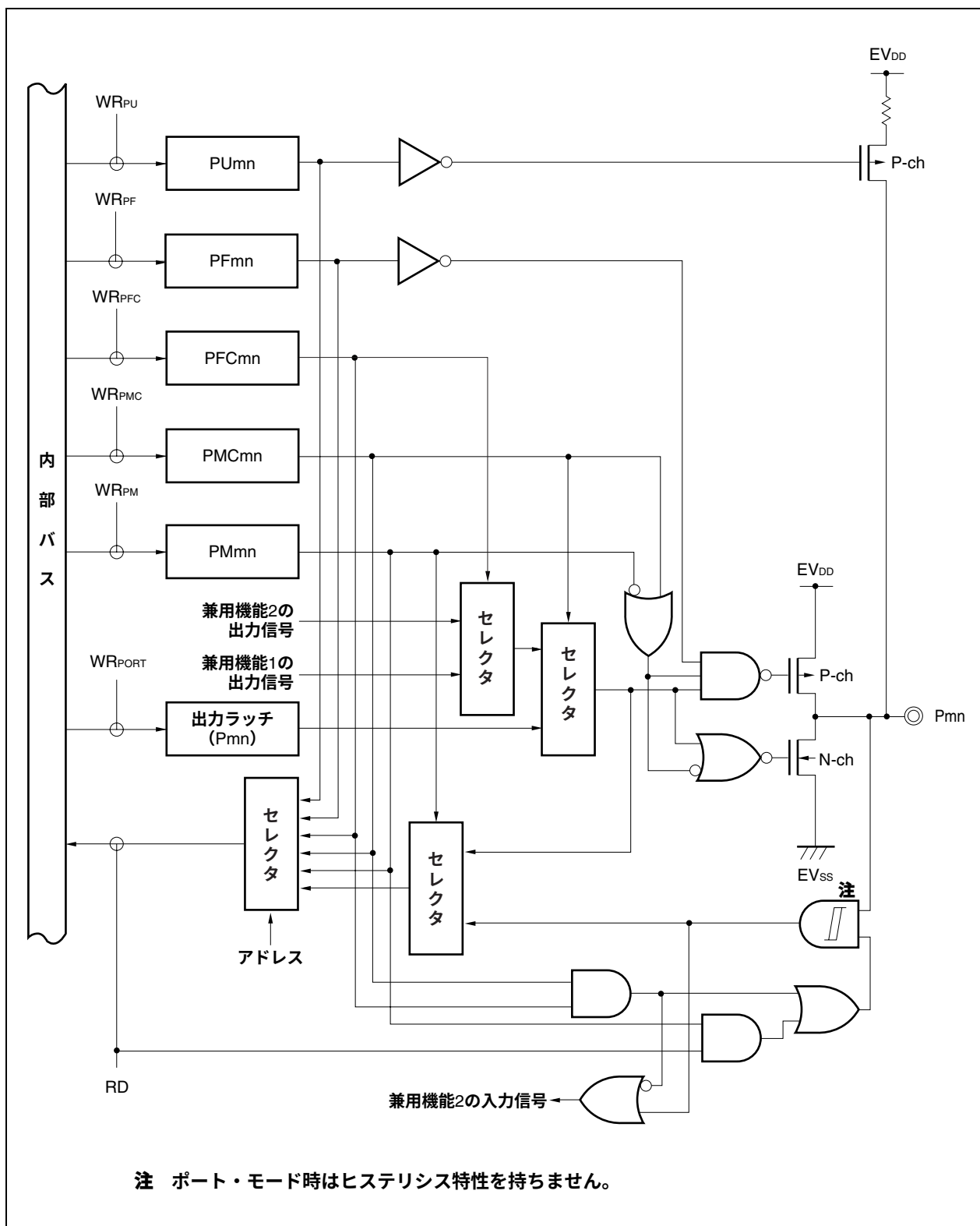
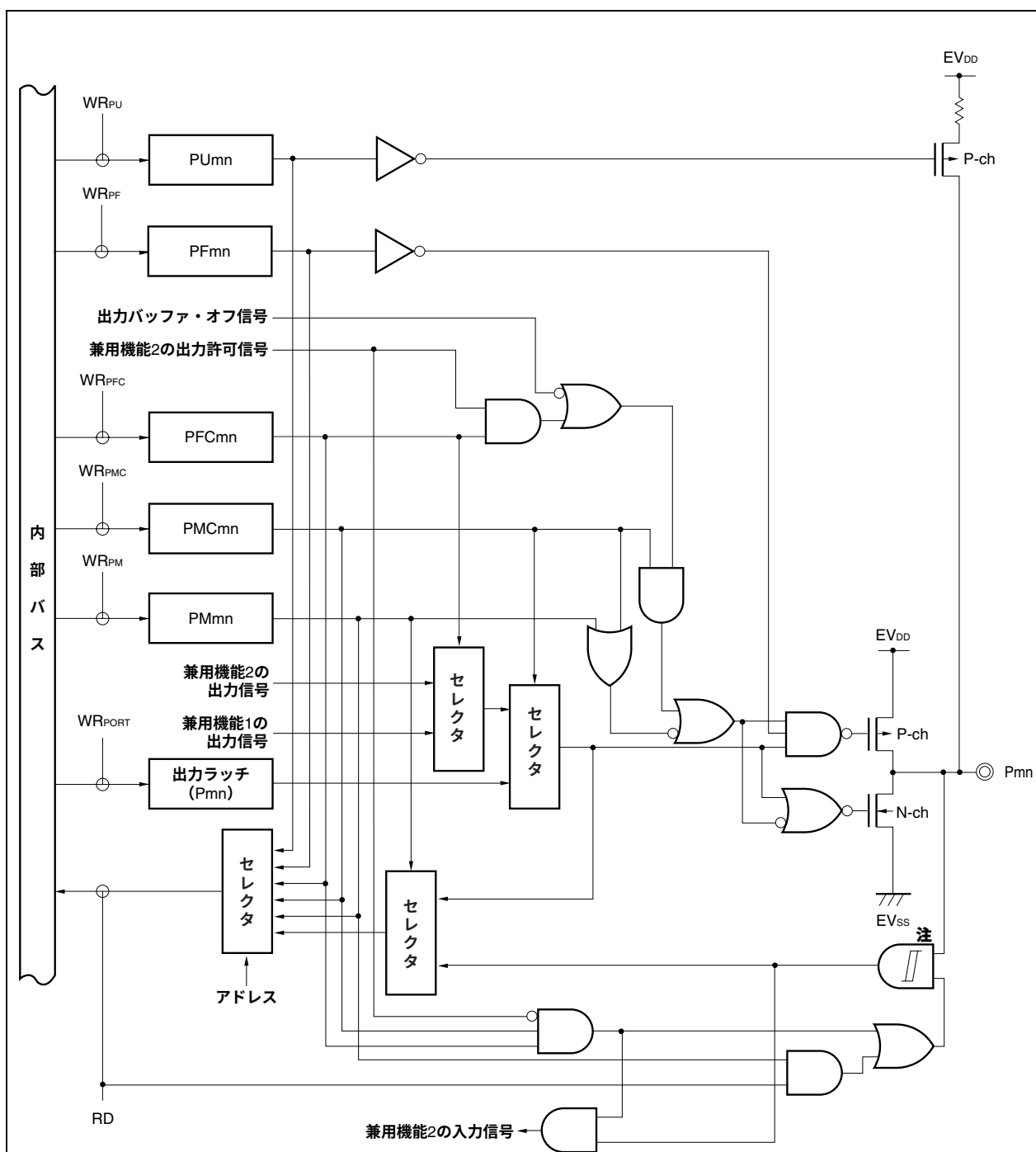


図4-25 タイプE02-SUFLZのブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

備考 出力バッファ・オフ信号：IDLE/STOPモード時、バス・ホールド時にのみアクティブになる信号

注 ポート・モード時はヒステリシス特性を持ちません。

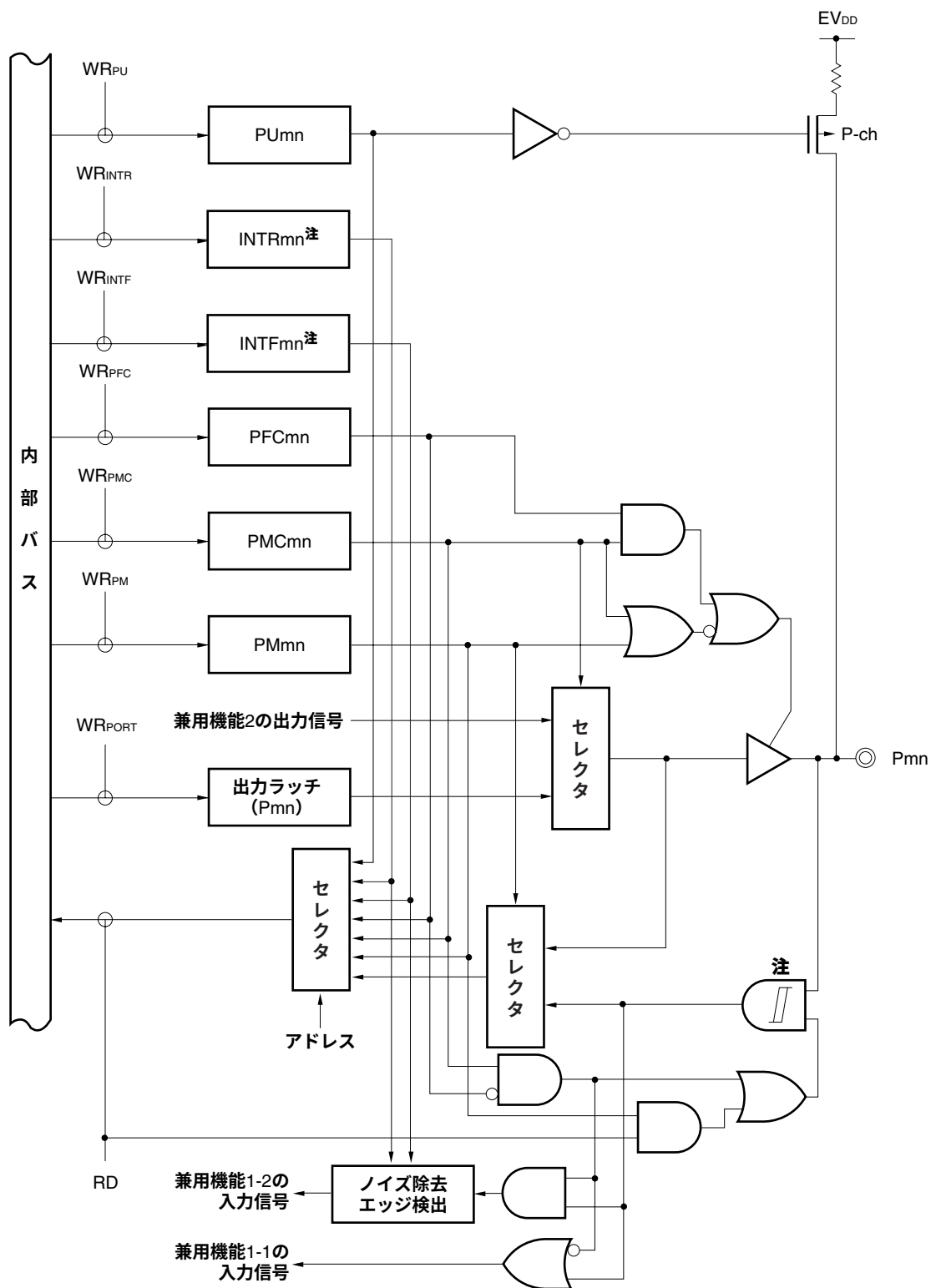


図4-28 タイプE10-SULTのブロック図

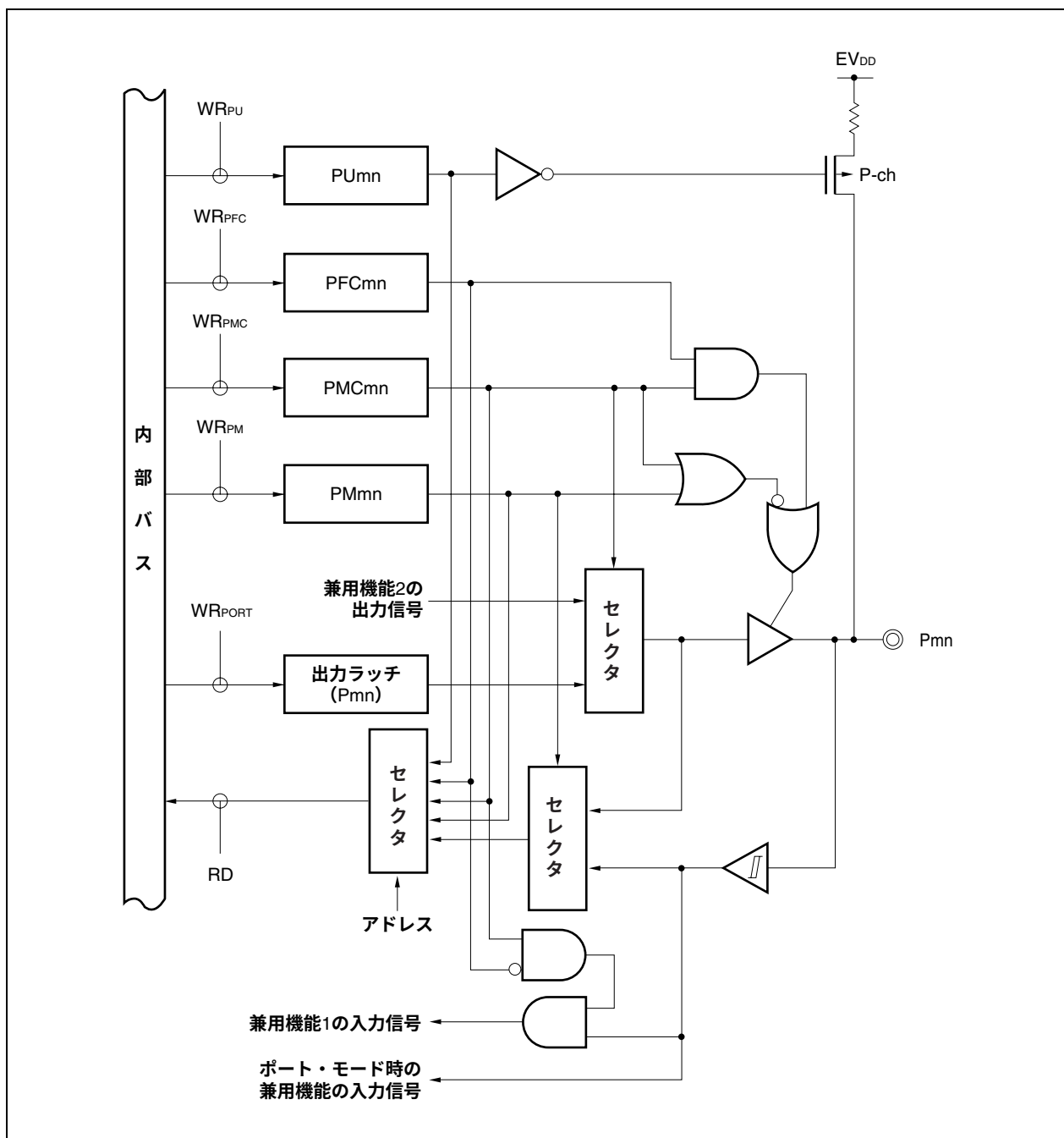
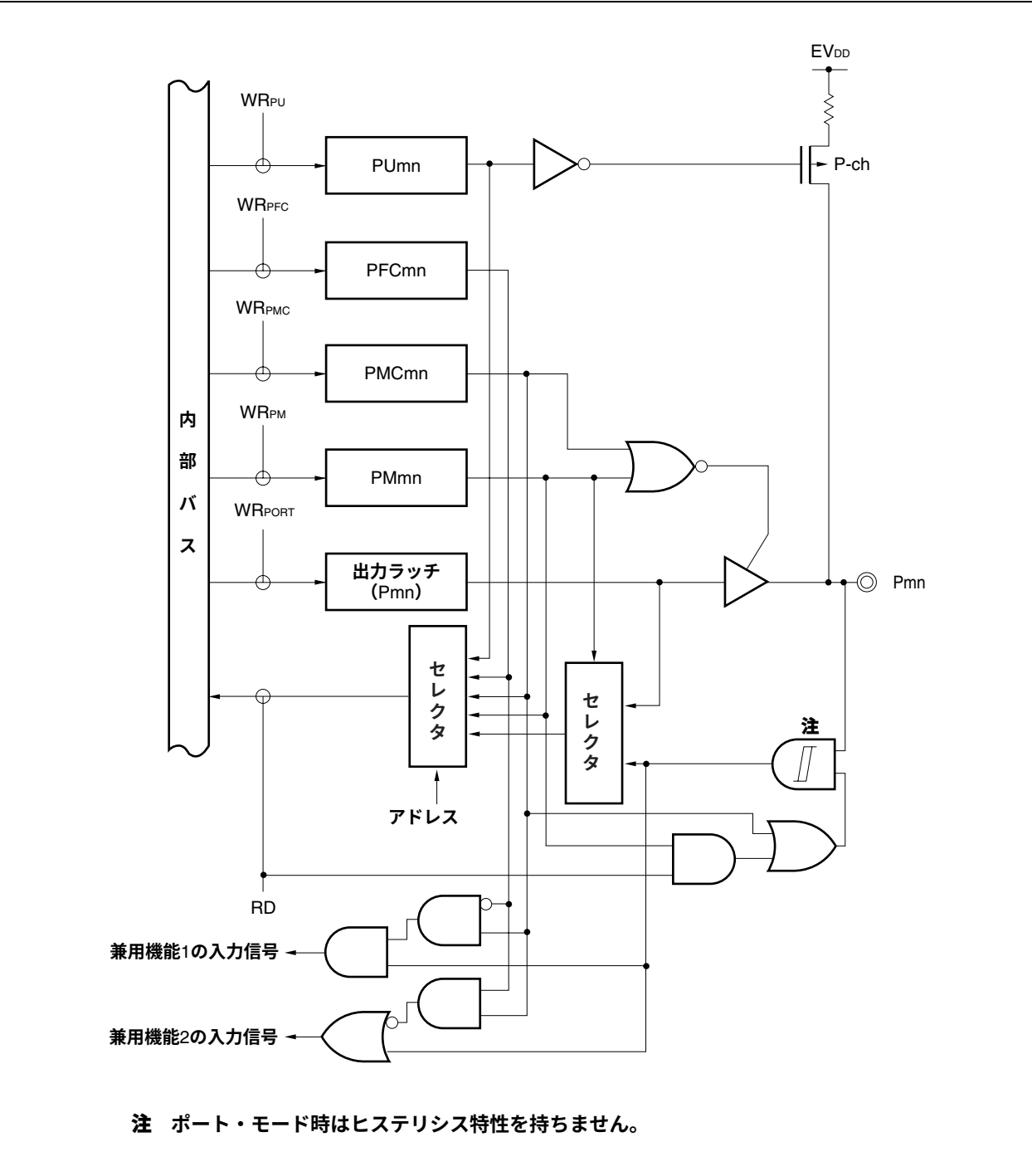


図4-29 タイプE11-SULHのブロック図



注 ポート・モード時はヒステリシス特性を持ちません。

図4-30 タイプE12-SUFHHのブロック図

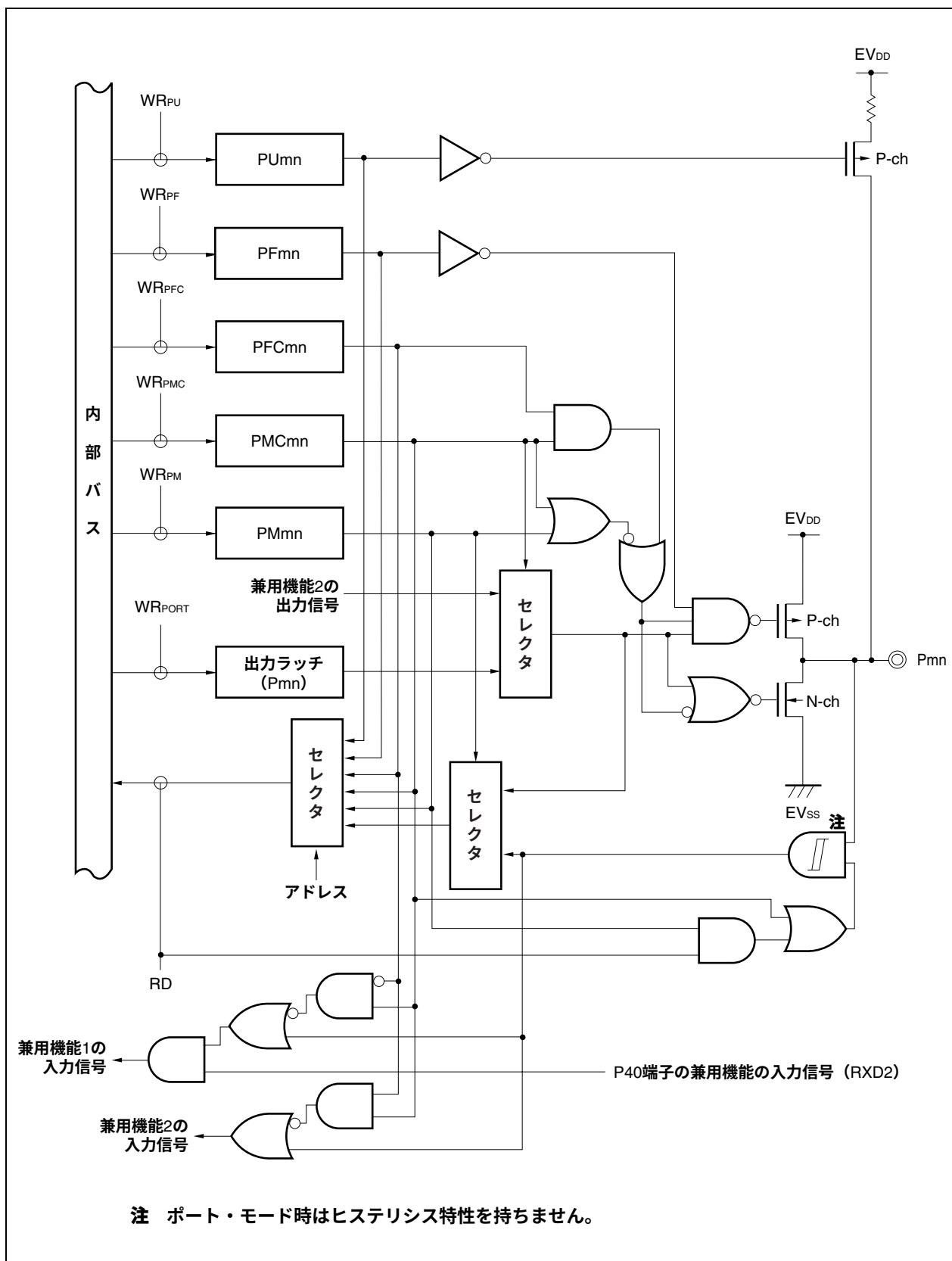


図4-31 タイプE20-SUFLTのブロック図

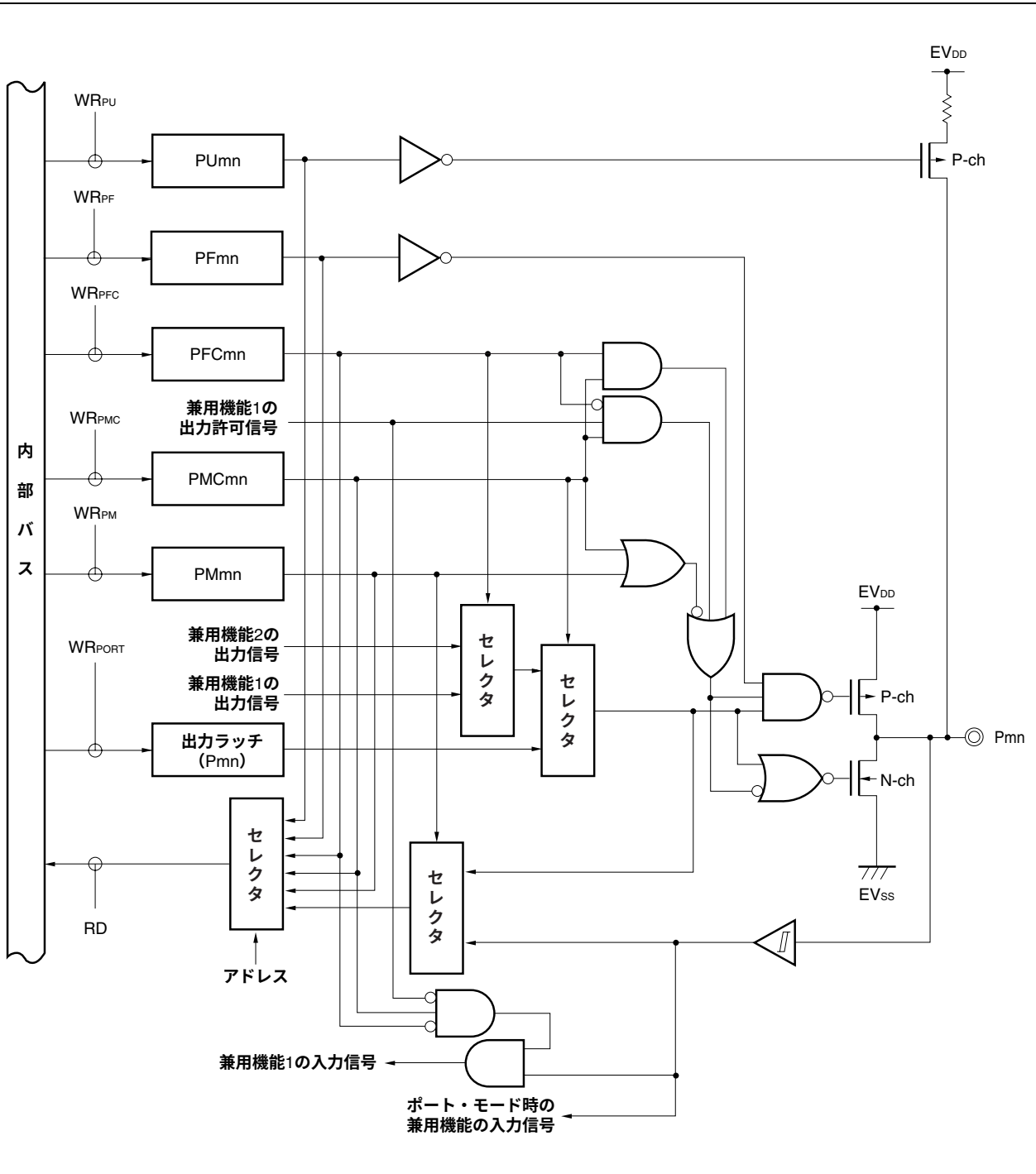


図4-32 タイプG1010-SULのブロック図

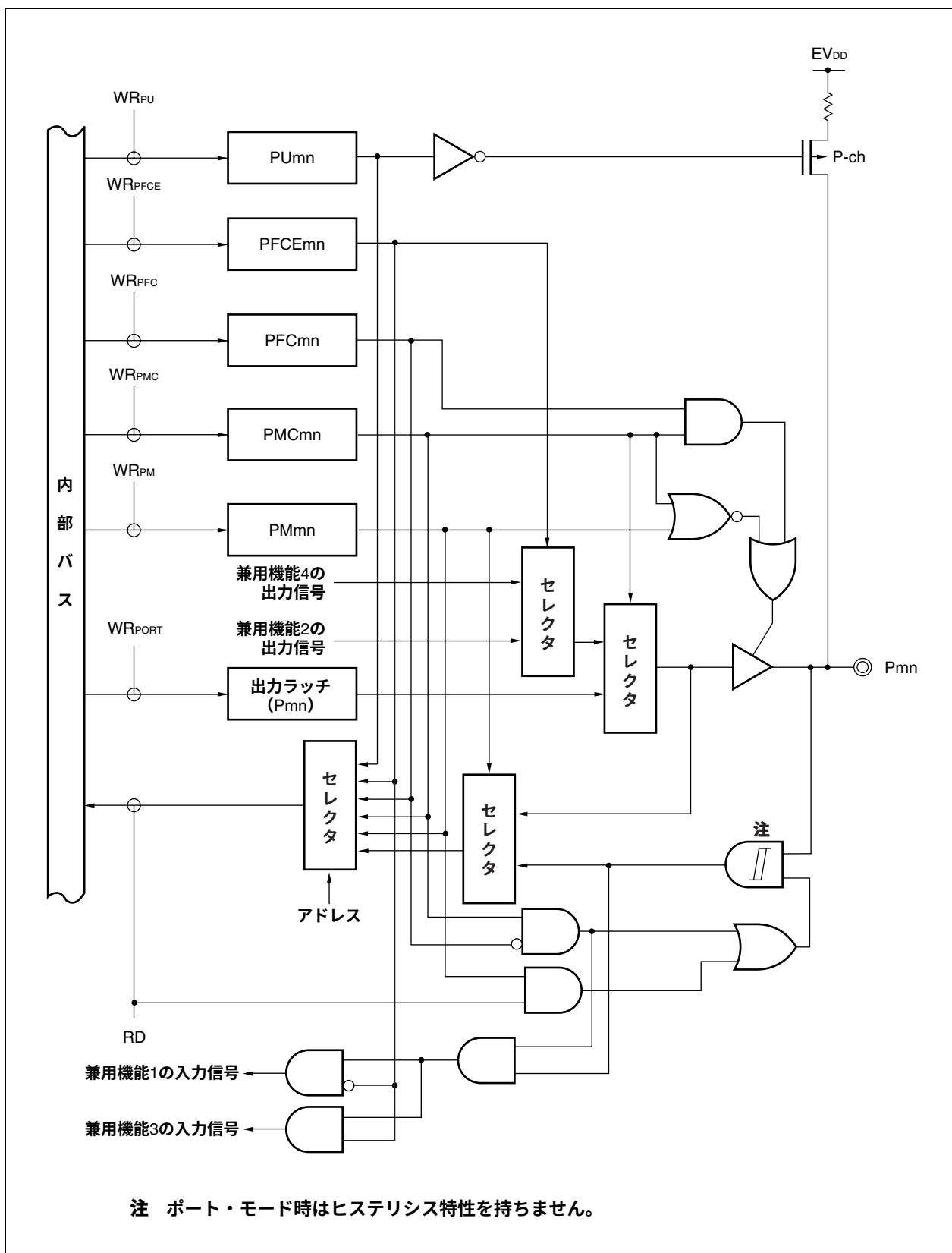


図4-33 タイプOD11-SUILのブロック図

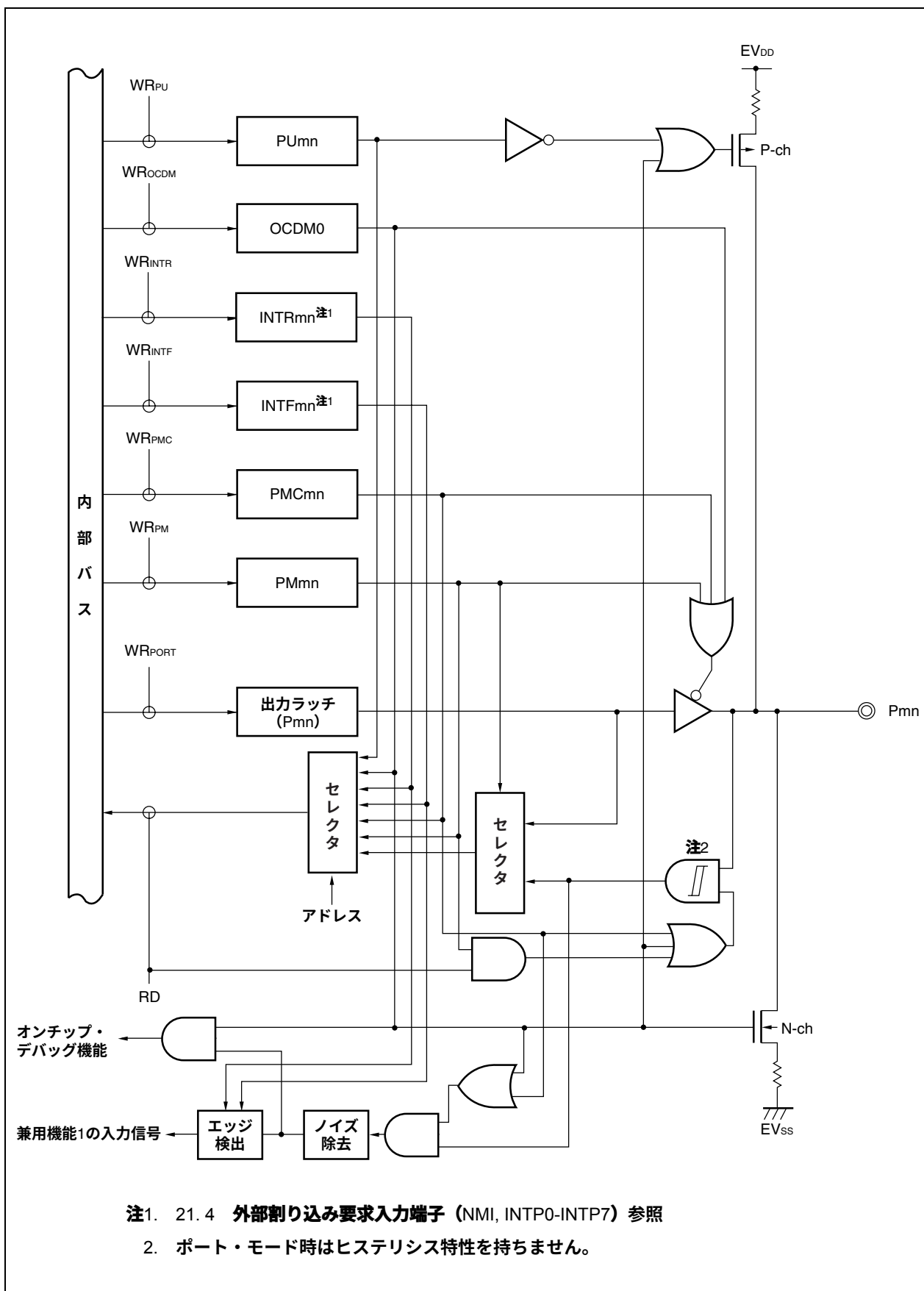


図4-34 タイプOE001-SUFTのブロック図

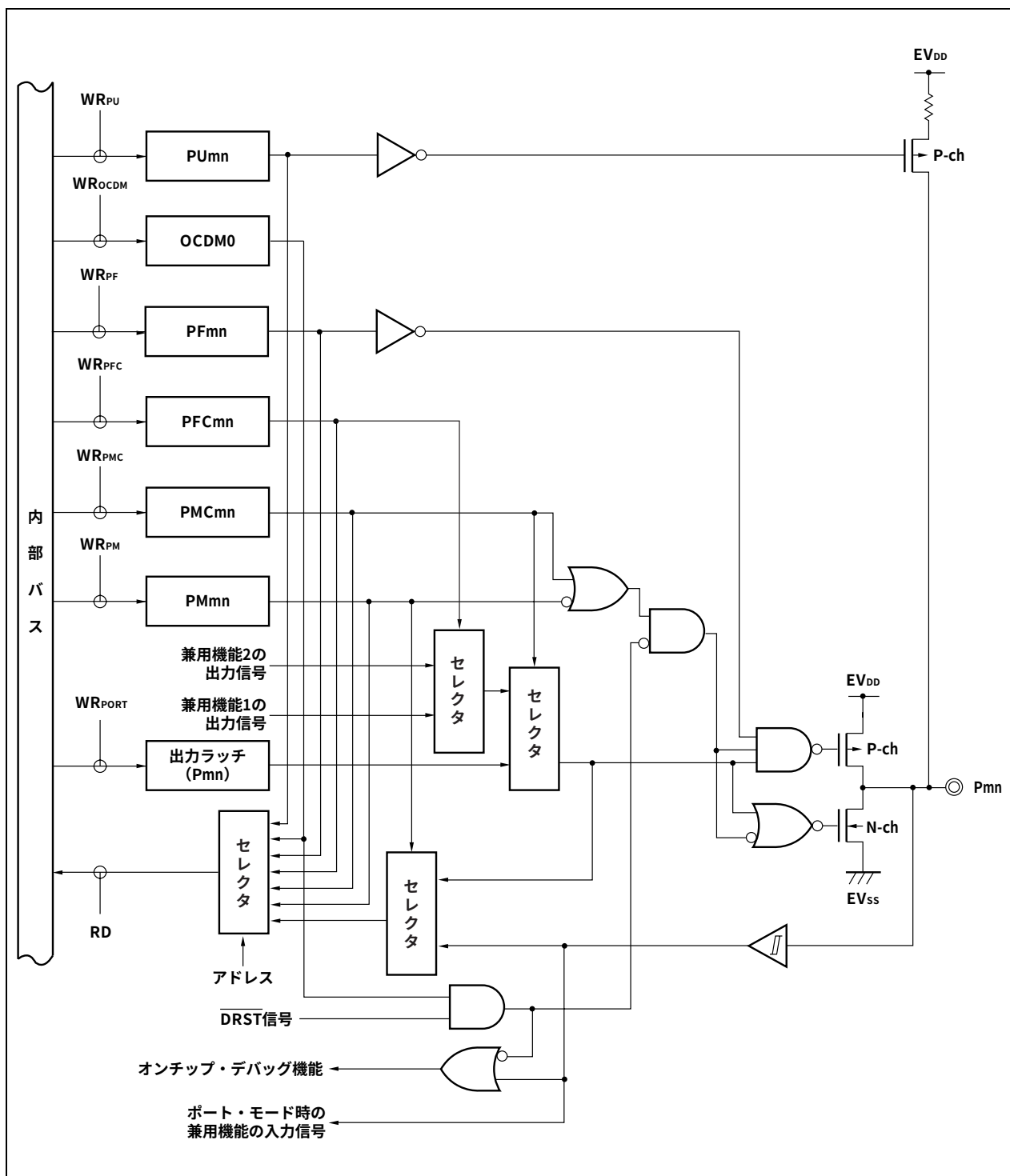
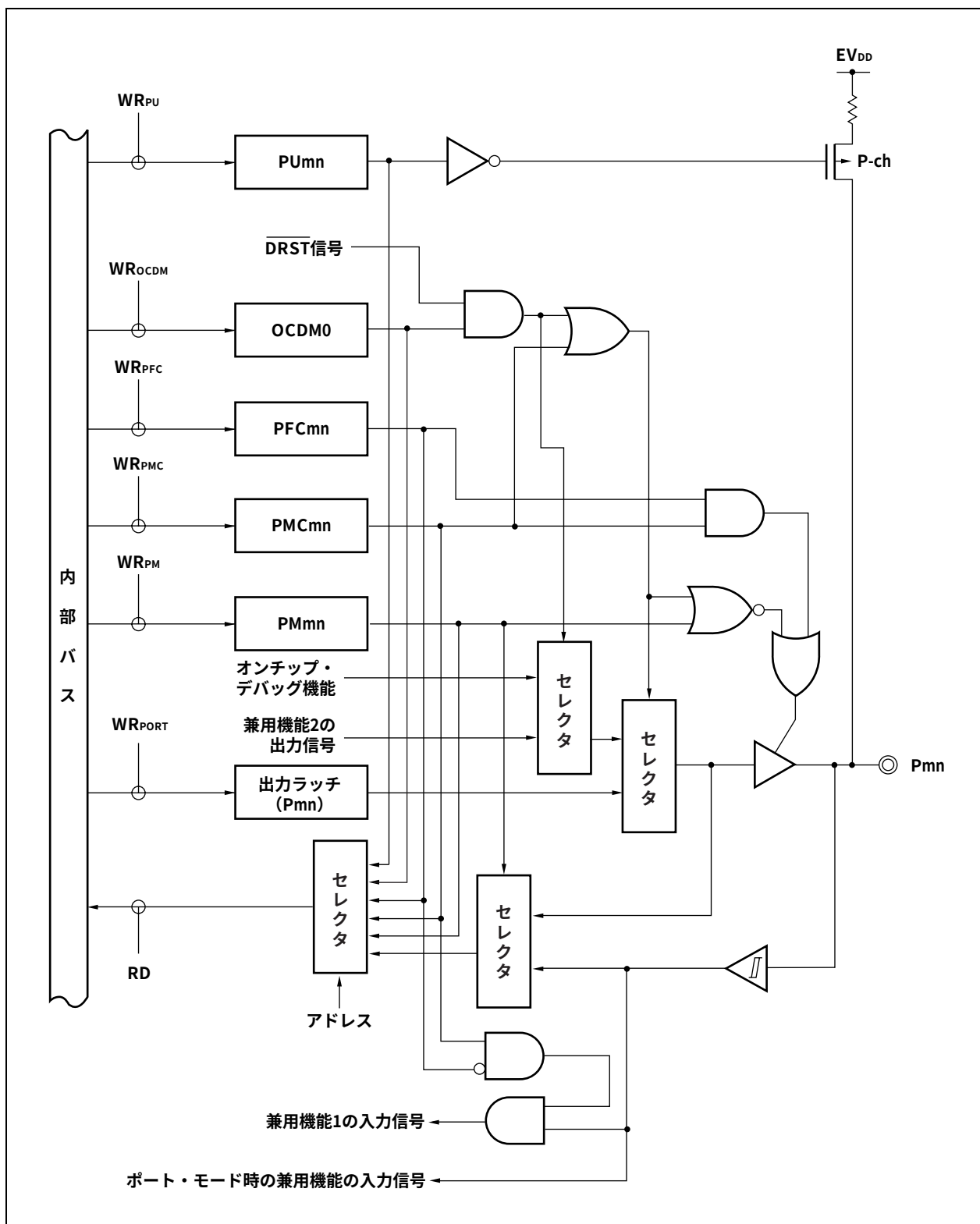


図4-36 タイプOE100-SULTのブロック図



4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4-19に示します。
兼用端子として使用する場合は各機能を参照してください。

表4-19 端子を兼用機能として使用する場合 (1/8)

機能名称	兼用機能		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P00	TOH0	出力	P00 = 設定不要	PM00 = 設定不要	PMC00 = 1	—	—	—
P01	TOH1	出力	P01 = 設定不要	PM01 = 設定不要	PMC01 = 1	—	—	—
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	—	—	—
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	—	—	—
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	—	—	—
P05 ^{注1}	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	—	—	OCDM0 (OCDM) = 0
	DRST ^{注2}	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	—	—	OCDM0 (OCDM) = 1
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	—	—	—
P10	ANO0	出力	P10 = 設定不要	PM1レジスタ = FFH	—	—	—	—
P11	ANO1	出力	P11 = 設定不要	PM1レジスタ = FFH	—	—	—	—
P30	TXD0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	—	PFC30 = 0	—
	TO02	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	—	PFC30 = 1	—
P31	RXD0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	—	注3, PFC31 = 0	—
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	—	注3, PFC31 = 0	—
	TO03	出力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	—	PFC31 = 1	—
P32	ASCK0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	—	注4, PFC32 = 0	—
	ADTRG	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	—	注4, PFC32 = 0	—
	TO01	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	—	PFC32 = 1	—

注1. V850ES/KJ2では、リセット解除時のP05端子の処理に注意が必要です。詳細は4. 6. 3 P05端子に関する注意事項を参照してください。

2. μ PD70F3734のみ

3. INTP7機能とRXD0機能は兼用となっています。RXD0機能として使用する場合は、兼用しているINTP7機能のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。また、INTP7機能として使用する場合は、UART0を受信動作停止としてください (ASIM0.RXE0ビット = 0)。

4. ASCK0機能とADTRG機能は兼用となっています。ASCK0機能として使用する場合は、兼用しているADTRG機能のトリガ入力を無効にしてください (ADS.TRGビット = 0, またはADS.ADTMDビット = 1に設定)。また、ADTRG機能として使用する場合はUART0の動作クロックを外部入力に設定しないでください (CKSR0.TPS03-TPS00ビット = 1011以外に設定)。

注意 P10, P11機能を兼用機能 (ANO0, ANO1機能) として使用する場合、PM1レジスタ = FFHに設定してください。

表4-19 端子を兼用機能として使用する場合 (2/8)

機能名称	兼用機能		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P33	TI000	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 0	—
	TO00	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 0	PFC33 = 1	—
	TIP00	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 0	—
	TOP00	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	PFCE33 = 1	PFC33 = 1	—
P34	TI001	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 0	—
	TO00	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 0	PFC34 = 1	—
	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 0	—
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	PFCE34 = 1	PFC34 = 1	—
P35	TI010	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	—	PFC35 = 0	—
	TO01	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	—	PFC35 = 1	—
P38	SDA0	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	—	—	PF38 (PF3H) = 1
P39	SCL0	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	—	—	PF39 (PF3H) = 1
P40	SI00	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	—	PFC40 = 0	—
	RXD2 ^注	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	—	PFC40 = 1	—
P41	SO00	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	—	PFC41 = 0	PF41 (PF4) = 設定任意
	TXD2	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	—	PFC41 = 1	PF41 (PF4) = 0
P42	SCK00	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	—	—	PF42 (PF4) = 設定任意

注 V850ES/KJ2は、P80機能にもRXD2機能を割り当てており、P40、P80機能を同時にRXD2機能として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40、P80機能を同時にRXD2機能として使用しないでください。

表4-19 端子を兼用機能として使用する場合 (3/8)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P50	TI011	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFC50 = 0	—
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFC50 = 1	—
	KR0	入力	P50 = 設定不要	PM50 = 1	PMC50 = 0	PFC50 = 設定不要	KRM0 (KRM) = 1
P51	TI50	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFC51 = 0	—
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFC51 = 1	—
	KR1	入力	P51 = 設定不要	PM51 = 1	PMC51 = 0	PFC51 = 設定不要	KRM1 (KRM) = 1
P52	TO50	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFC52 = 0	OCDM0 (OCDM) = 0 ^注
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFC52 = 1	OCDM0 (OCDM) = 0 ^注
	KR2	入力	P52 = 設定不要	PM52 = 1	PMC52 = 0	PFC52 = 設定不要	KRM2 (KRM) = 1, OCDM0 (OCDM) = 0 ^注
	DDI ^注	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFC52 = 設定不要	OCDM0 (OCDM) = 1 ^注
P53	SIA0	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFC53 = 0	OCDM0 (OCDM) = 0 ^注
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFC53 = 1	OCDM0 (OCDM) = 0 ^注
	KR3	入力	P53 = 設定不要	PM53 = 1	PMC53 = 0	PFC53 = 設定不要	KRM3 (KRM) = 1, OCDM0 (OCDM) = 0 ^注
	DDO ^注	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFC53 = 設定不要	OCDM0 (OCDM) = 1 ^注
P54	SOA0	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFC54 = 0	PF54 (PF5) = 設定任意, OCDM0 (OCDM) = 0 ^注
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFC54 = 1	PF54 (PF5) = 0, OCDM0 (OCDM) = 0 ^注
	KR4	入力	P54 = 設定不要	PM54 = 1	PMC54 = 0	PFC54 = 設定不要	PF54 (PF5) = 0, KRM4 (KRM) = 1, OCDM0 (OCDM) = 0 ^注
	DCK ^注	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFC54 = 設定不要	PF54 (PF5) = 0, OCDM0 (OCDM) = 1 ^注
P55	SCKA0	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFC55 = 0	PF55 (PF5) = 設定任意, OCDM0 (OCDM) = 0 ^注
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFC55 = 1	PF55 (PF5) = 0, OCDM0 (OCDM) = 0 ^注
	KR5	入力	P55 = 設定不要	PM55 = 1	PMC55 = 0	PFC55 = 設定不要	PF55 (PF5) = 0, KRM4 (KRM) = 1, OCDM0 (OCDM) = 0 ^注
	DMS ^注	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFC55 = 設定不要	PF55 (PF5) = 0, OCDM0 (OCDM) = 1 ^注

注 μPD70F3734のみ

表4-19 端子を兼用機能として使用する場合 (4/8)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P60	RTP10	出力	P60 = 設定不要	PM60 = 設定不要	PMC60 = 1	—	—
P61	RTP11	出力	P61 = 設定不要	PM61 = 設定不要	PMC61 = 1	—	—
P62	RTP12	出力	P62 = 設定不要	PM62 = 設定不要	PMC62 = 1	—	—
P63	RTP13	出力	P63 = 設定不要	PM63 = 設定不要	PMC63 = 1	—	—
P64	RTP14	出力	P64 = 設定不要	PM64 = 設定不要	PMC64 = 1	—	—
P65	RTP15	出力	P65 = 設定不要	PM65 = 設定不要	PMC65 = 1	—	—
P66	SI02	入力	P66 = 設定不要	PM66 = 設定不要	PMC66 = 1	—	—
P67	SO02	出力	P67 = 設定不要	PM67 = 設定不要	PMC67 = 1	—	PF67 (PF6) = 設定任意
P68	SCK02	入出力	P68 = 設定不要	PM68 = 設定不要	PMC68 = 1	—	PF68 (PF6) = 設定任意
P69	TI040	入力	P69 = 設定不要	PM69 = 設定不要	PMC69 = 1	—	—
P610	TI041	入力	P610 = 設定不要	PM610 = 設定不要	PMC610 = 1	—	—
P611	TO04	出力	P611 = 設定不要	PM611 = 設定不要	PMC611 = 1	—	—
P612	TI050	入力	P612 = 設定不要	PM612 = 設定不要	PMC612 = 1	—	—
P613	TI051	入力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFC613 = 0	—
	TO05	出力	P613 = 設定不要	PM613 = 設定不要	PMC613 = 1	PFC613 = 1	—

表4-19 端子を兼用機能として使用する場合 (5/8)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P70	ANI0	入力	P70 = 設定不要	—	—	—	—
P71	ANI1	入力	P71 = 設定不要	—	—	—	—
P72	ANI2	入力	P72 = 設定不要	—	—	—	—
P73	ANI3	入力	P73 = 設定不要	—	—	—	—
P74	ANI4	入力	P74 = 設定不要	—	—	—	—
P75	ANI5	入力	P75 = 設定不要	—	—	—	—
P76	ANI6	入力	P76 = 設定不要	—	—	—	—
P77	ANI7	入力	P77 = 設定不要	—	—	—	—
P78	ANI8	入力	P78 = 設定不要	—	—	—	—
P79	ANI9	入力	P79 = 設定不要	—	—	—	—
P710	ANI10	入力	P710 = 設定不要	—	—	—	—
P711	ANI11	入力	P711 = 設定不要	—	—	—	—
P712	ANI12	入力	P712 = 設定不要	—	—	—	—
P713	ANI13	入力	P713 = 設定不要	—	—	—	—
P714	ANI14	入力	P714 = 設定不要	—	—	—	—
P715	ANI15	入力	P715 = 設定不要	—	—	—	—
P80	RXD2 ^注	入力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFC80 = 0	PF80 (PF8) = 0
	SDA1	入出力	P80 = 設定不要	PM80 = 設定不要	PMC80 = 1	PFC80 = 1	PF80 (PF8) = 1
P81	TXD2	出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFC81 = 0	PF81 (PF8) = 0
	SCL1	入出力	P81 = 設定不要	PM81 = 設定不要	PMC81 = 1	PFC81 = 1	PF81 (PF8) = 1

注 V850ES/KJ2は、P40機能にもRXD2機能を割り当てており、P40、P80機能を同時にRXD2機能として使用した場合、正常にUART2受信動作ができない可能性があります。

したがって、P40、P80機能を同時にRXD2機能として使用しないでください。

表4-19 端子を兼用機能として使用する場合 (6/8)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P90	A0	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFC90 = 0	注
	TXD1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFC90 = 1	—
	KR6	入力	P90 = 設定不要	PM90 = 1	PMC90 = 0	PFC90 = 設定不要	KRM6 (KRM) = 1
P91	A1	出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFC91 = 0	注
	RXD1	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFC91 = 1	—
	KR7	入力	P91 = 設定不要	PM91 = 1	PMC91 = 0	PFC91 = 設定不要	KRM7 (KRM) = 1
P92	A2	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFC92 = 0	注
	TI020	入力	P92 = 設定不要	PM92 = 1	PMC92 = 0	PFC92 = 設定不要	—
	TO02	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFC92 = 1	—
P93	A3	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFC93 = 0	注
	TI021	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFC93 = 1	—
P94	A4	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFC94 = 0	注
	TI030	入力	P94 = 設定不要	PM94 = 1	PMC94 = 0	PFC94 = 設定不要	—
	TO03	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFC94 = 1	—
P95	A5	出力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFC95 = 0	注
	TI031	入力	P95 = 設定不要	PM95 = 設定不要	PMC95 = 1	PFC95 = 1	—
P96	A6	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFC96 = 0	注
	TI51	入力	P96 = 設定不要	PM96 = 1	PMC96 = 0	PFC96 = 設定不要	—
	TO51	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFC96 = 1	—
P97	A7	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFC97 = 0	注
	SI01	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFC97 = 1	—
P98	A8	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 0	注, PF98 (PF9) = 0
	SO01	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	PFC98 = 1	PF98 (PF9) = 設定任意
P99	A9	出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 0	注, PF99 (PF9) = 0
	SCK01	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	PFC99 = 1	PF99 (PF9) = 設定任意

注 A0-A15機能に設定する際は、一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。

表4-19 端子を兼用機能として使用する場合 (7/8)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
P910	A10	出力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 0	注
	SIA1	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	PFC910 = 1	—
P911	A11	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 0	注, PF911 (PF9) = 0
	SOA1	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	PFC911 = 1	PF911 (PF9) = 設定任意
P912	A12	出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 0	注, PF912 (PF9) = 0
	SCKA1	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	PFC912 = 1	PF912 (PF9) = 設定任意
P913	A13	出力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 0	注
	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	PFC913 = 1	—
P914	A14	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 0	注
	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFC914 = 1	—
P915	A15	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 0	注
	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFC915 = 1	—
PCM0	WAIT	入力	PCM0 = 設定不要	PMCM0 = 設定不要	PMCCM0 = 1	—	—
PCM1	CLKOUT	出力	PCM1 = 設定不要	PMCM1 = 設定不要	PMCCM1 = 1	—	—
PCM2	HLD $\overline{\text{AK}}$	出力	PCM2 = 設定不要	PMCM2 = 設定不要	PMCCM2 = 1	—	—
PCM3	HLDR $\overline{\text{Q}}$	入力	PCM3 = 設定不要	PMCM3 = 設定不要	PMCCM3 = 1	—	—
PCS0	CS $\overline{0}$	出力	PCS0 = 設定不要	PMCS0 = 設定不要	PMCCS0 = 1	—	—
PCS1	CS $\overline{1}$	出力	PCS1 = 設定不要	PMCS1 = 設定不要	PMCCS1 = 1	—	—
PCS2	CS $\overline{2}$	出力	PCS2 = 設定不要	PMCS2 = 設定不要	PMCCS2 = 1	—	—
PCS3	CS $\overline{3}$	出力	PCS3 = 設定不要	PMCS3 = 設定不要	PMCCS3 = 1	—	—
PCT0	WR $\overline{0}$	出力	PCT0 = 設定不要	PMCT0 = 設定不要	PMCCT0 = 1	—	—
PCT1	WR $\overline{1}$	出力	PCT1 = 設定不要	PMCT1 = 設定不要	PMCCT1 = 1	—	—
PCT4	RD $\overline{}$	出力	PCT4 = 設定不要	PMCT4 = 設定不要	PMCCT4 = 1	—	—
PCT6	ASTB	出力	PCT6 = 設定不要	PMCT6 = 設定不要	PMCCT6 = 1	—	—

注 A0-A15機能に設定する際は、一括してPFC9レジスタ = 0000H, PMC9レジスタ = FFFFHに16ビット設定してください。

表4-19 端子を兼用機能として使用する場合 (8/8)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCnxビット	
PDH0	A16	出力	PDH0 = 設定不要	PMDH0 = 設定不要	PMCDH0 = 1	—	—
PDH1	A17	出力	PDH1 = 設定不要	PMDH1 = 設定不要	PMCDH1 = 1	—	—
PDH2	A18	出力	PDH2 = 設定不要	PMDH2 = 設定不要	PMCDH2 = 1	—	—
PDH3	A19	出力	PDH3 = 設定不要	PMDH3 = 設定不要	PMCDH3 = 1	—	—
PDH4	A20	出力	PDH4 = 設定不要	PMDH4 = 設定不要	PMCDH4 = 1	—	—
PDH5	A21	出力	PDH5 = 設定不要	PMDH5 = 設定不要	PMCDH5 = 1	—	—
PDH6	A22	出力	PDH6 = 設定不要	PMDH6 = 設定不要	PMCDH6 = 1	—	—
PDH7	A23	出力	PDH7 = 設定不要	PMDH7 = 設定不要	PMCDH7 = 1	—	—
PDL0	AD0	入出力	PDL0 = 設定不要	PMDL0 = 設定不要	PMCDL0 = 1	—	—
PDL1	AD1	入出力	PDL1 = 設定不要	PMDL1 = 設定不要	PMCDL1 = 1	—	—
PDL2	AD2	入出力	PDL2 = 設定不要	PMDL2 = 設定不要	PMCDL2 = 1	—	—
PDL3	AD3	入出力	PDL3 = 設定不要	PMDL3 = 設定不要	PMCDL3 = 1	—	—
PDL4	AD4	入出力	PDL4 = 設定不要	PMDL4 = 設定不要	PMCDL4 = 1	—	—
PDL5	AD5	入出力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 1	—	—
PDL6	AD6	入出力	PDL6 = 設定不要	PMDL6 = 設定不要	PMCDL6 = 1	—	—
PDL7	AD7	入出力	PDL7 = 設定不要	PMDL7 = 設定不要	PMCDL7 = 1	—	—
PDL8	AD8	入出力	PDL8 = 設定不要	PMDL8 = 設定不要	PMCDL8 = 1	—	—
PDL9	AD9	入出力	PDL9 = 設定不要	PMDL9 = 設定不要	PMCDL9 = 1	—	—
PDL10	AD10	入出力	PDL10 = 設定不要	PMDL10 = 設定不要	PMCDL10 = 1	—	—
PDL11	AD11	入出力	PDL11 = 設定不要	PMDL11 = 設定不要	PMCDL11 = 1	—	—
PDL12	AD12	入出力	PDL12 = 設定不要	PMDL12 = 設定不要	PMCDL12 = 1	—	—
PDL13	AD13	入出力	PDL13 = 設定不要	PMDL13 = 設定不要	PMCDL13 = 1	—	—
PDL14	AD14	入出力	PDL14 = 設定不要	PMDL14 = 設定不要	PMCDL14 = 1	—	—
PDL15	AD15	入出力	PDL15 = 設定不要	PMDL15 = 設定不要	PMCDL15 = 1	—	—

4.6 注意事項

4.6.1 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力／出力が混在している、またはポートと兼用機能が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90は出力ポート、P91-P97は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、出力ポートP90の出力をビット操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート・ラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み／読み出しの対象はそれぞれ、出力ラッチ／端子状態です。

また、ビット操作命令はV850ES/KJ2内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

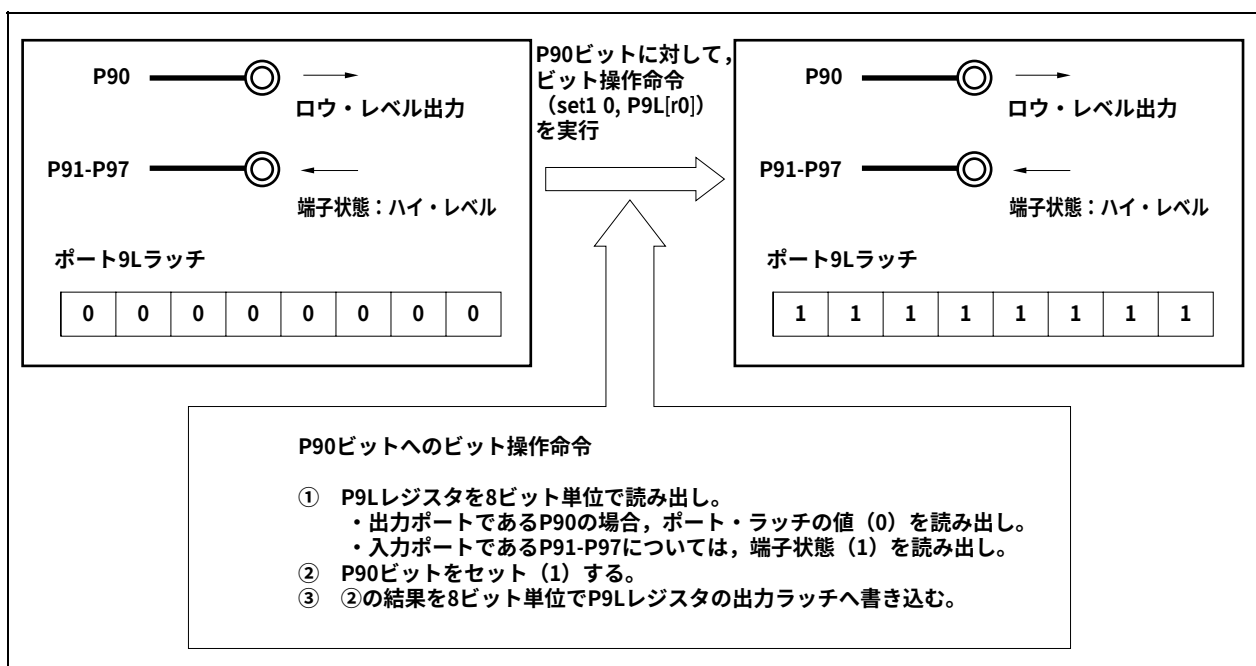
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97は端子状態を読み出します。このときP91-P97の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4-33 ビット操作命令（P90の場合）



4. 6. 2 ヒステリシス特性について

ポート・モードでは、次のポートはヒステリシス特性を持ちません。

P02-P06
P31-P35, P38, P39
P40, P42
P66, P68-P610, P612, P613
P80, P81
P93, P95, P97, P99, P910, P912-P915

4. 6. 3 P05端子に関する注意事項

P05端子はプルダウン抵抗（30 k Ω （TYP.））を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は、プルダウン抵抗が接続されています。OCDM0ビットをクリア（0）することにより、プルダウン抵抗は切断されます。

(a) μ PD70F3734

$\overline{\text{RESET}}$ 端子によるリセット後、P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子（ $\overline{\text{DRST}}$ ）に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると、オンチップ・デバッグ・モードになり、DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は、P05/INTP2/ $\overline{\text{DRST}}$ 端子をハイ・レベルにする前に、次の処置が必要です。

- ・OCDMレジスタ（特定レジスタ）のOCDM0ビットをクリア（0）

このとき、 $\overline{\text{RESET}}$ 端子によるリセット解除時から、上記の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると、誤動作（CPUデッド・ロック）の原因となるため、P05端子の取り扱いには十分注意してください。

注意 WDTRES1信号、WDTRES2信号によるリセット時は、P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子（ $\overline{\text{DRST}}$ ）に初期化されません。また、OCDMレジスタも値を保持します。

(b) μ PD70F3733

μ PD70F3733では、リセット解除時、動作開始前に次の操作を行ってください。この操作を行わないと通常動作が行われません。

- ① P05/INTP2端子にロウ・レベルを入力します。
- ② OCDM.OCDM0ビットをクリア（0）します。

②の処理を終えるまで、P05/INTP2端子はロウ・レベル入力に固定してください。

第5章 バス制御機能

外部バス・インタフェース機能は、内蔵ROM, RAM, 周辺I/O以外の領域に、外部デバイスを接続する機能です。外部デバイスの接続は、ポート9, CS, CM, CT, DL, DHを使用します。ポート9, CS, CM, CT, DL, DHは、アドレス／データ、リード／ライト・ストロブ、ウエイト、クロック出力、バス・ホールド、アドレス・ストロブなどの制御を行います。

V850ES/KJ2は、外部にROM, RAMなどのメモリやI/Oなどを接続できる外部バス・インタフェース機能を内蔵しています。

5.1 特 徴

- 最小で3バス・サイクルのマルチプレクス・バスと、最小で2バス・サイクルのセパレート・バス選択可能
- チップ・セレクト信号により最大4空間を制御可能
- 8ビット／16ビット・データ・バス切り替え可能（チップ・セレクトで選択される領域ごとに選択可能）
- ウエイト機能
 - ・最大で7ステートのプログラマブル・ウエイト機能（チップ・セレクトで選択される領域ごとに選択可能）
 - ・ $\overline{\text{WAIT}}$ 端子による外部ウエイト機能
- アイドル・ステート挿入機能
 - ・リード・サイクルのあとにアイドル・ステートを挿入することで、低速デバイスの接続が可能
- バス・ホールド機能
- $BV_{DD} \leq V_{DD} = EV_{DD}$ とすることでバスを動作電圧と異なった電圧で制御可能（ただし、マルチプレクス・バス・モードのみ）。
- ミス・アライン・アクセス可能
- 最大16 Mバイトの物理メモリを接続可能（1 Mバイトは内蔵ROM領域と兼用）

5.2 バス制御端子

外部のデバイスを制御するために、各バス・モードにおいて次のような信号が使用できます。

表5-1 バス制御信号一覧（マルチプレクス・バス選択時）

バス制御信号	入出力	機 能	兼用ポート	ポート・モード／兼用機能の切り替えを行うレジスタ
AD0-AD15	入出力	アドレス／データ・バス	PDL0-PDL15	PMCDLレジスタ
A16-A23	出力	アドレス・バス	PDH0-PDH7	PMCDHレジスタ
WAIT	入力	外部ウェイト制御	PCM0	PMCCMレジスタ
CLKOUT	出力	内部システム・クロック出力	PCM1	PMCCMレジスタ
CS0-CS3	出力	チップ・セレクト	PCS0-PCS3	PMCCSレジスタ
WR0, WR1	出力	ライト・ストロブ信号	PCT0, PCT1	PMCCTレジスタ
RD	出力	リード・ストロブ信号	PCT4	PMCCTレジスタ
ASTB	出力	アドレス・ストロブ信号	PCT6	PMCCTレジスタ
HLDRQ	入力	バス・ホールド制御	PCM3	PMCCMレジスタ
HLDK	出力		PCM2	

表5-2 バス制御信号一覧（セパレート・バス選択時）

バス制御信号	入出力	機 能	兼用ポート	ポート・モード／兼用機能の切り替えを行うレジスタ
AD0-AD15	入出力	データ・バス	PDL0-PDL15	PMCDLレジスタ
A0-A15	出力	アドレス・バス	P90-P915	PMC9レジスタ
A16-A23	出力	アドレス・バス	PDH0-PDH7	PMCDHレジスタ
WAIT	入力	外部ウェイト制御	PCM0	PMCCMレジスタ
CLKOUT	出力	内部システム・クロック出力	PCM1	PMCCMレジスタ
CS0-CS3	出力	チップ・セレクト	PCS0-PCS3	PMCCSレジスタ
WR0, WR1	出力	ライト・ストロブ信号	PCT0, PCT1	PMCCTレジスタ
RD	出力	リード・ストロブ信号	PCT4	PMCCTレジスタ
HLDRQ	入力	バス・ホールド制御	PCM3	PMCCMレジスタ
HLDK	出力		PCM2	

5.2.1 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態

内蔵ROM，内蔵RAM，内蔵周辺I/Oへアクセスした場合，各端子状態は次のようになります。

表5-3 内蔵ROM，内蔵RAM，内蔵周辺I/Oアクセス時の端子状態一覧

セパレート・バス・モード		マルチプレクス・バス・モード	
アドレス・バス (A23-A0)	不定	アドレス・バス (A23-A16)	不定
データ・バス (AD15-AD0)	Hi-Z	アドレス／データ・バス (AD15-AD0)	不定
制御信号	インアクティブ	制御信号	インアクティブ

注意 内蔵ROM領域へライト・アクセスしたときには，外部メモリ領域へのアクセスと同じくアドレス，データ，制御信号ともに活性化されます。

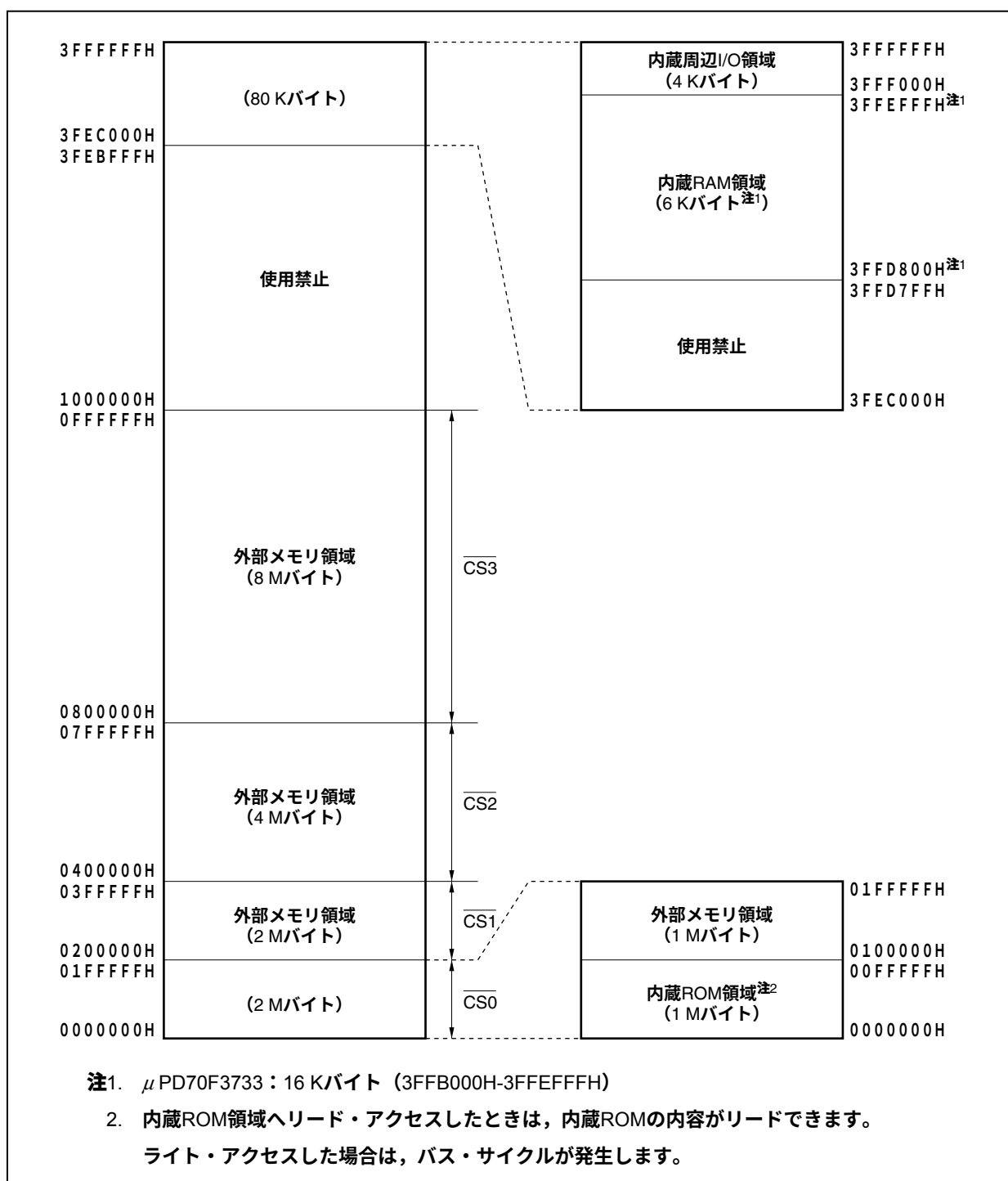
5.2.2 各動作モードの端子状態

V850ES/KJ2の各動作モードの端子状態については、2.2 端子状態を参照してください。

5.3 メモリ・ブロック機能

64 Mバイトのメモリ空間中で下位の16 Mバイトが外部拡張用に予約されており、2 M、2 M、4 M、8 Mバイトのメモリ・ブロックに分割されています。また、各ブロックごとにバス幅、プログラマブル・ウエイトなどが独立して設定できます。

図5-1 データ・メモリ・マップ：物理アドレス



5.3.1 チップ・セレクト制御機能

アドレス空間：64 Mバイト（リニア）のうち、下位16 Mバイト（0000000H-0FFFFFFH）は、外部メモリ空間として $\overline{\text{CS0}}$ - $\overline{\text{CS3}}$ の4本のチップ・セレクト信号に対応しています。 $\overline{\text{CS0}}$ - $\overline{\text{CS3}}$ で選択される領域は固定されています。

チップ・セレクト領域の割り当てを次に示します。

表5-4 チップ・セレクト領域

$\overline{\text{CS0}}$	0000000H-01FFFFFFH (2 Mバイト)
$\overline{\text{CS1}}$	0200000H-03FFFFFFH (2 Mバイト)
$\overline{\text{CS2}}$	0400000H-07FFFFFFH (4 Mバイト)
$\overline{\text{CS3}}$	0800000H-0FFFFFFFH (8 Mバイト)

5.4 外部バス・インタフェース・モード制御機能

V850ES/KJ2は、外部バス・インタフェースとして次の2つのモードがあります。

- ・マルチプレクス・バス・モード
- ・セパレート・バス・モード

2つのモードの切り替えはEXIMCレジスタで設定します。

(1) 外部バス・インタフェース・モード・コントロール・レジスタ (EXIMC)

EXIMCレジスタは、マルチプレクス・バス／セパレート・バス・モードを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFFBEH

	7	6	5	4	3	2	1	0
EXIMC	0	0	0	0	0	0	0	SMSEL

SMSEL	モード切り替え
0	マルチプレクス・バス・モード
1	セパレート・バス・モード

注意 EXIMCレジスタの設定は、外部アクセスを行う前に、内蔵ROMまたは内蔵RAM領域から行ってください。

また、EXIMCレジスタ設定後には、必ずNOP命令を1つ、挿入してください。

5.5 バス・アクセス

5.5.1 アクセス・クロック数

各リソースに対するアクセスに要する基本クロック数を次に示します。

表5-5 アクセス・クロック数

領域（バス幅） バス・サイクル・タイプ	内蔵ROM (32ビット)	内蔵RAM (32ビット)	外部メモリ (16ビット)	内蔵周辺I/O (16ビット)
命令フェッチ（通常アクセス）	1	1 ^{注1}	3+n+i ^{注2, 3}	—
命令フェッチ（分岐）	2	2 ^{注1}	3+n+i ^{注2, 3}	—
オペランド・データ・アクセス	3	1	3+n+i ^{注2, 3}	3 ^{注4}
DMA転送	—	2	3+n+i ^{注2, 3}	3 ^{注4}

注1. データ・アクセスと競合した場合は+1されます。

2. マルチプレクス・バス選択時の値です。セパレート・バス選択時は、2+nクロック（n：ウェイト数）です。

3. i = アイドル・ステート

4. VSWCレジスタの設定によります。

備考 単位はクロック／アクセスです。

5.5.2 バス・サイズ設定機能

V850ES/KJ2の外部メモリ領域は、 $\overline{CS0}$ – $\overline{CS3}$ で選択されます。

外部メモリ領域は、 $\overline{CSn}$ で選択される領域ごとにバス・サイズをBSCレジスタで設定できます。ただし、設定可能なバス・サイズは8ビットと16ビットのみです。

16ビット幅に指定した場合は下位8ビットが偶数番地となり、上位8ビットが奇数番地となります。

(1) バス・サイズ・コンフィギュレーション・レジスタ (BSC)

チップ・セレクト空間のバス幅を制御するレジスタです。

16ビット単位でリード／ライト可能です。

リセットにより5555Hになります。

注意 BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。

リセット時：5555H R/W アドレス：FFFFF066H

	15	14	13	12	11	10	9	8
BSC	0	1	0	1	0	1	0	1
	7	6	5	4	3	2	1	0
	0	BS30	0	BS20	0	BS10	0	BS00
$\overline{CSn}$ 信号		$\overline{CS3}$		$\overline{CS2}$		$\overline{CS1}$		$\overline{CS0}$

BSn0	チップ・セレクト空間のデータ・バス幅 (n = 0-3)
0	8ビット
1	16ビット注

注 16ビット・バス選択時に、書き込みでは2本の制御端子 ($\overline{WR0}$, $\overline{WR1}$) で8ビットごとの制御が可能ですが、読み出し時では1本の制御端子 ($\overline{RD}$) で制御するため16ビットごとの制御しかできません。しかし、V850ES/KJ2の内部では必要のないデータは無視されるのでバイト・データのアクセスが可能です。

注意 ビット14, 12, 10, 8には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。

5.5.3 バス・サイズによるアクセス

V850ES/KJ2が内蔵周辺I/Oアクセス、外部メモリ・アクセスを行う場合には、8, 16, 32ビット・アクセスがあります。またバス・サイズは次のとおりです。

- ・内蔵周辺I/Oのバス・サイズは16ビット固定
- ・外部メモリのバス・サイズは8ビット／16ビット選択可能（BSCレジスタにより設定）

次にそれぞれのアクセス時の動作を示します。すべてデータの下位側から順番にアクセスを行います。

V850ES/KJ2は、リトル・エンディアン形式のみ対応しています。

図5-2 ワード内のリトル・エンディアン・アドレス

31	24 23	16 15	8 7	0
000BH	000AH	0009H	0008H	
0007H	0006H	0005H	0004H	
0003H	0002H	0001H	0000H	

(1) データ空間

V850ES/KJ2はアドレス・ミス・アライン機能を内蔵しています。

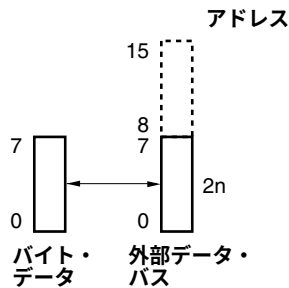
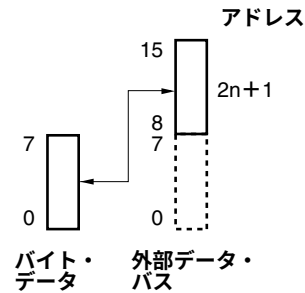
この機能により、データの形式（ワード・データ、ハーフワード・データ）にかかわらず、すべてのアドレスに対してデータを配置できます。ただし、ワード・データ、ハーフワード・データの場合、データが境界整列していないと、余分なバス・サイクルが発生し、バス効率が低下します。

次に8, 16, 32ビット・アクセス時の例を示します。

(2) バイト・アクセス (8ビット)

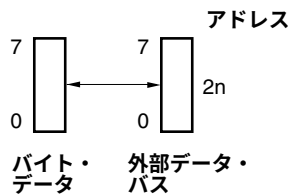
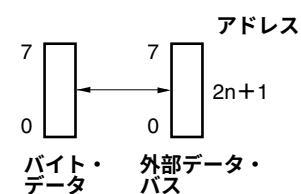
(a) 16ビット・データ・バス幅のとき

8ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合は、外部データ・バスの下位バイトを介して偶数番地にアクセスします。奇数番地指定の場合は上位バイトを介して奇数番地にアクセスします。

① 偶数アドレス ($2n$) 番地へのアクセス② 奇数アドレス ($2n+1$) 番地へのアクセス

(b) 8ビット・データ・バス幅のとき

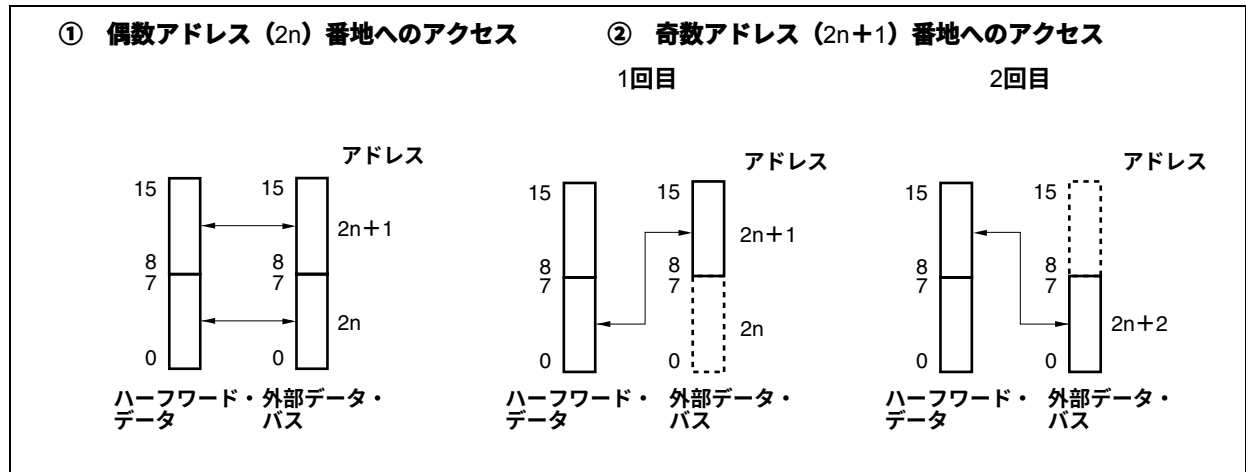
8ビットのデータに対し、バス幅が8ビットなので、偶数番地／奇数番地それぞれ指定の番地にアクセスします。

① 偶数アドレス ($2n$) 番地へのアクセス② 奇数アドレス ($2n+1$) 番地へのアクセス

(3) ハーフワード・アクセス (16ビット)

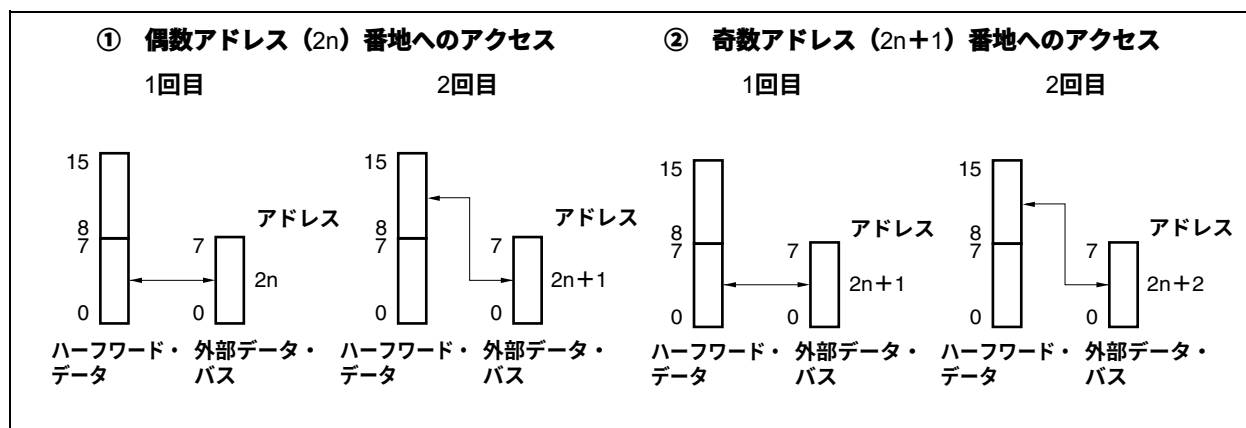
(a) 16ビット・データ・バス幅のとき

16ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合はそのままアクセスします。奇数番地指定の場合、1回目はデータの低位バイトが外部データ・バスの上位バイトを介して奇数番地にアクセスします。2回目はデータの上位バイトが外部データ・バスの下位8ビットを介して偶数番地にアクセスします。



(b) 8ビット・データ・バス幅のとき

16ビットのデータに対し、バス幅が8ビットなので2回に分けて下位アドレス／上位アドレスそれぞれ対応した番地にアクセスします。

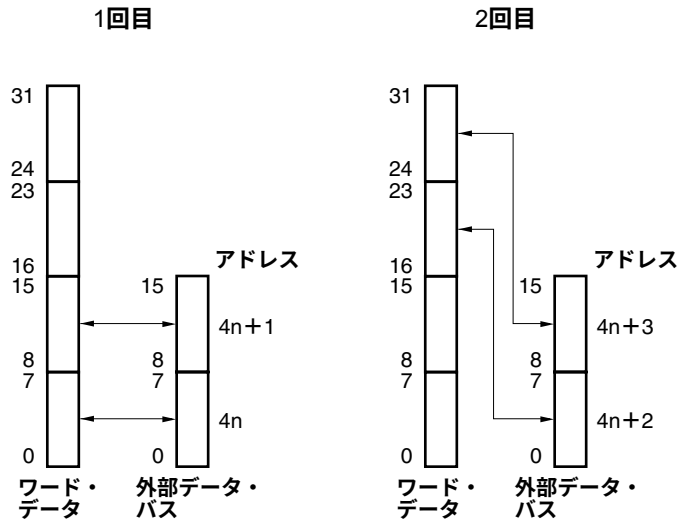


(4) ワード・アクセス (32ビット)

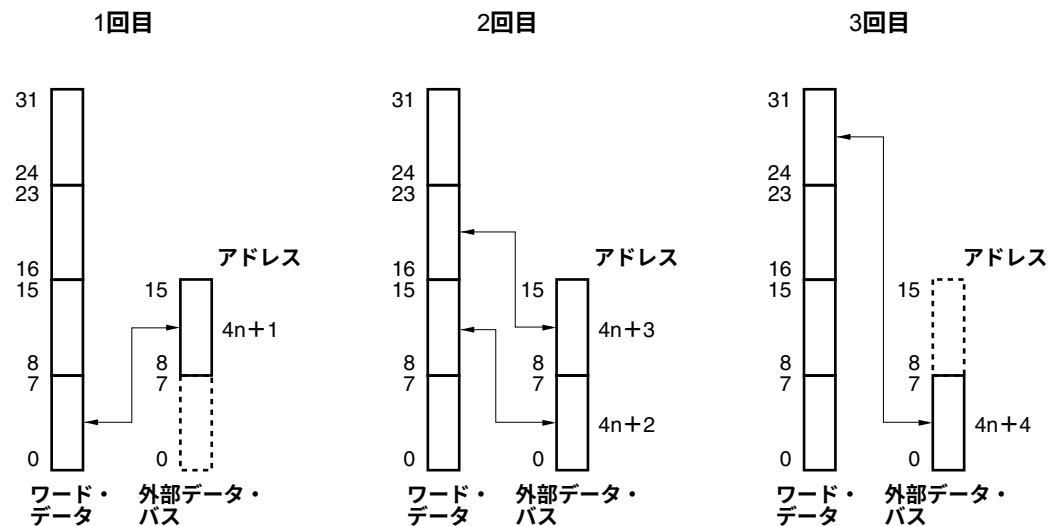
(a) 16ビット・データ・バス幅のとき (1/2)

32ビットのデータに対し、バス幅が16ビットなので、偶数番地指定の場合は16ビット単位に2回に分けてアクセスします。奇数番地指定の場合、1回目は下位1/4ワード・データを外部データ・バスの上位バイトを介して奇数番地にアクセスし、2回目は中位1/2ワード・データを16ビット・アクセスし、3回目は上位1/4ワード・データを外部データ・バスの下位バイトを介して偶数番地にアクセスします。

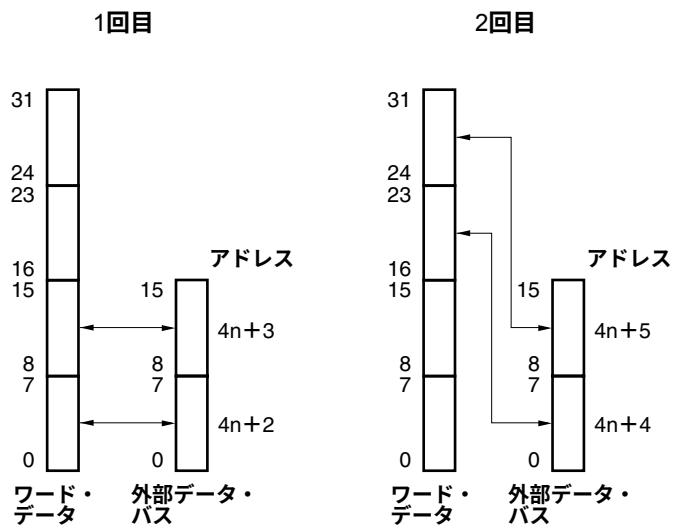
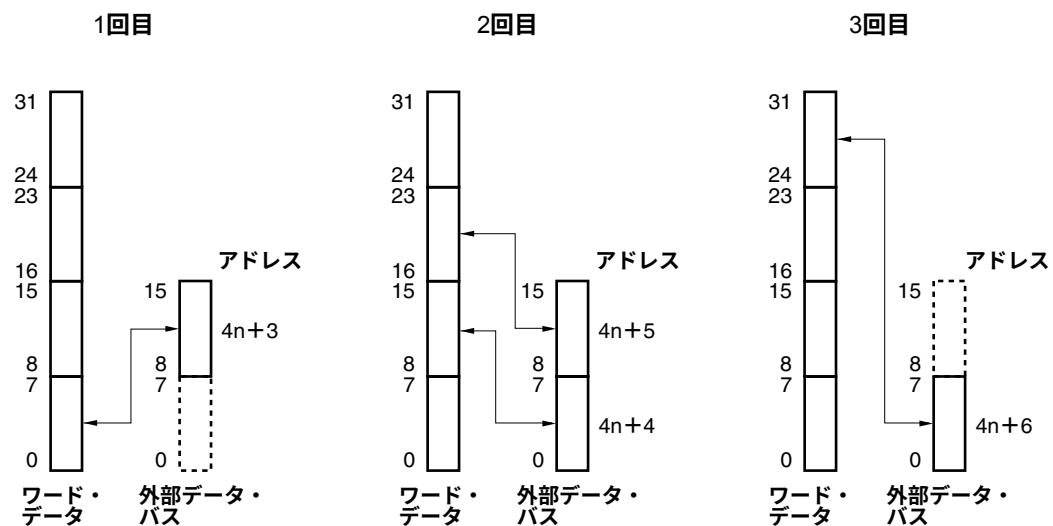
① アドレス (4n) 番地へのアクセス



② アドレス (4n+1) 番地へのアクセス



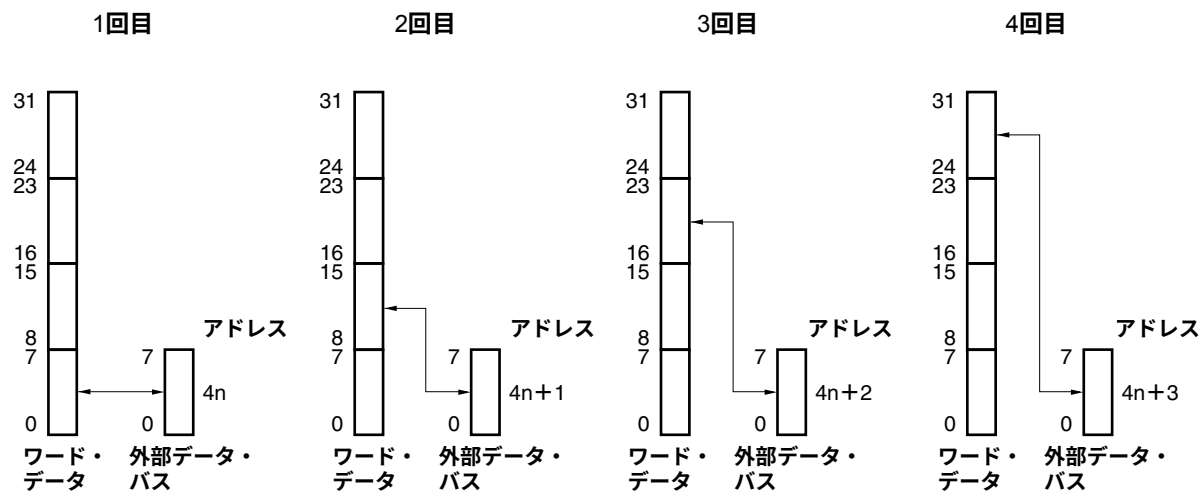
(a) 16ビット・データ・バス幅のとき (2/2)

③ アドレス $(4n+2)$ 番地へのアクセス④ アドレス $(4n+3)$ 番地へのアクセス

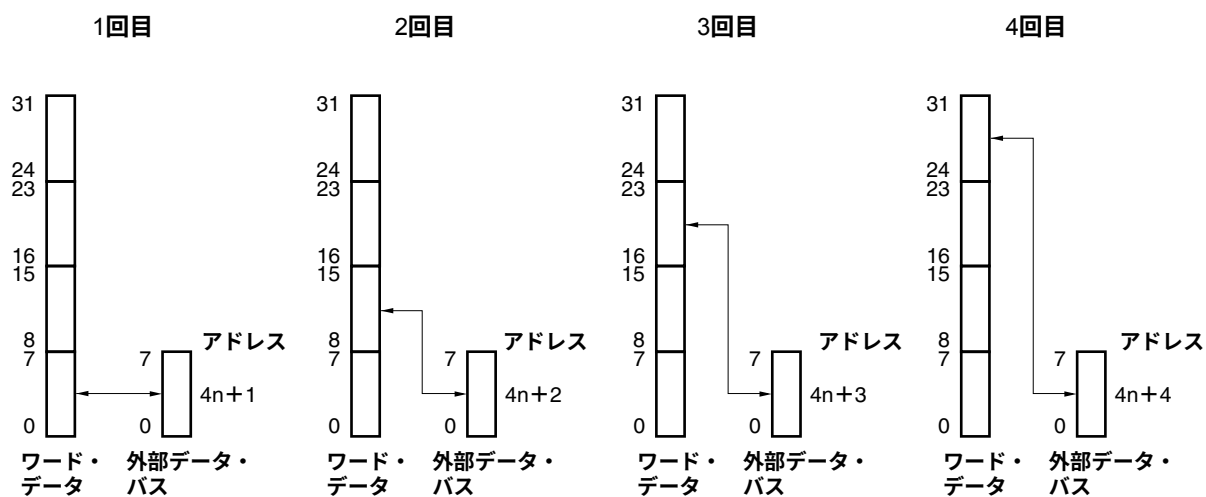
(b) 8ビット・データ・バス幅のとき (1/2)

32ビットのデータに対し、バス幅が8ビットなので4回に分けて偶数番地／奇数番地それぞれ指定の番地にアクセスします。

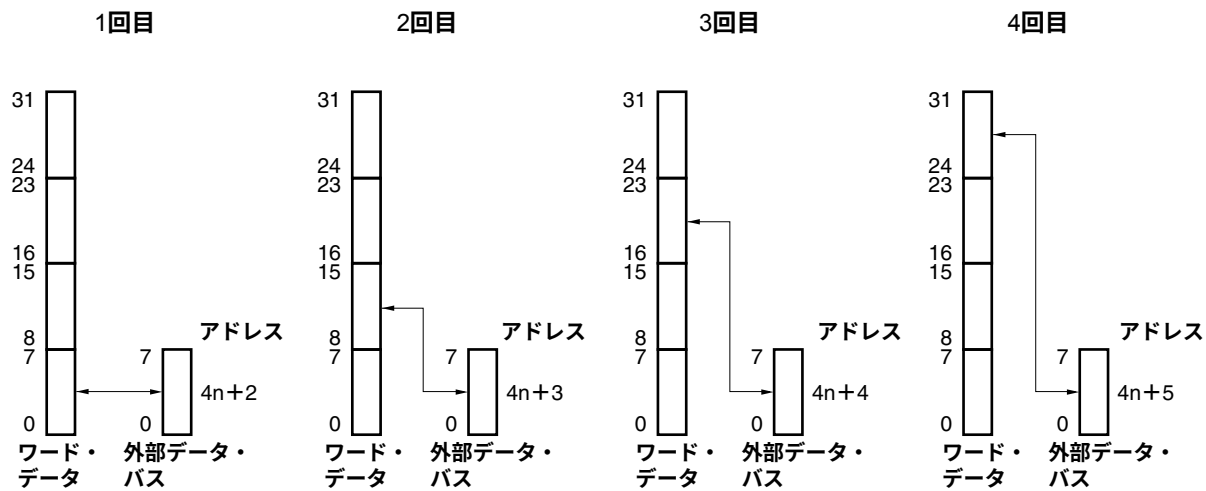
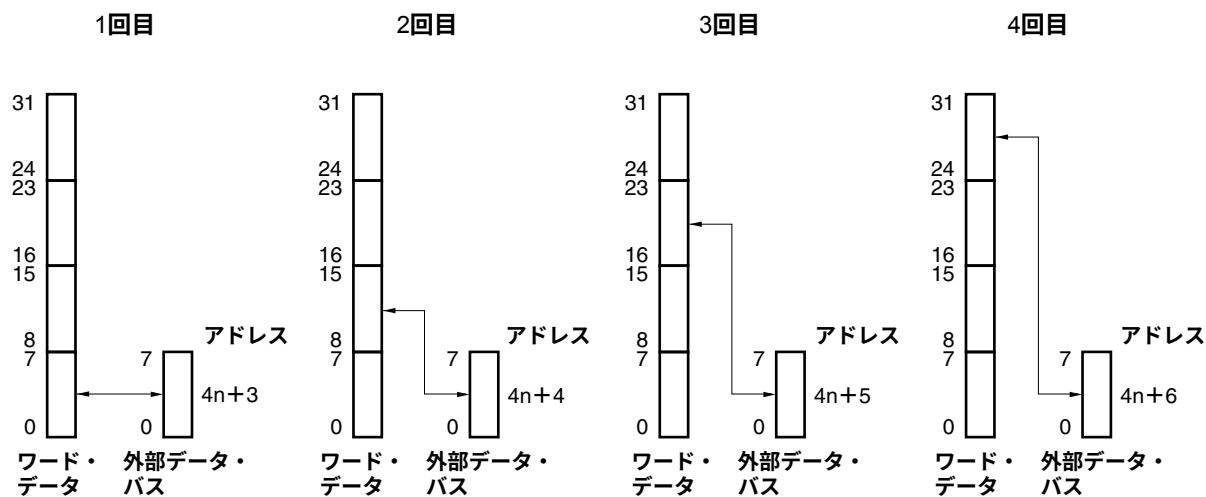
① アドレス (4n) 番地へのアクセス



② アドレス (4n+1) 番地へのアクセス



(b) 8ビット・データ・バス幅のとき (2/2)

③ アドレス $(4n+2)$ 番地へのアクセス④ アドレス $(4n+3)$ 番地へのアクセス

5.6 ウェイト機能

5.6.1 プログラマブル・ウェイト機能

(1) データ・ウェイト制御レジスタ0 (DWC0)

低速メモリ，I/Oに対するインタフェース回路作成を容易に実現させることを目的とし，チップ・セレクト空間ごとに起動されるバス・サイクルに対し，最大7ステートのデータ・ウェイトを挿入可能です。

ウェイト数は，DWC0レジスタでプログラマブルに指定可能です。システム・リセット直後は，全チップ・セレクト領域に対して7データ・ウェイトの挿入状態になります。

16ビット単位でリード／ライト可能です。

リセットにより7777Hになります。

- 注意1.** 内蔵ROM領域，内蔵RAM領域は，プログラマブル・ウェイトの対象外で，常にノー・ウェイト・アクセスを行います。また，内蔵周辺I/O領域も，プログラマブル・ウェイトの対象外で，各周辺機能からのウェイト制御だけ行われます。
- 2.** DWC0レジスタへの書き込みはリセット後に行い，そのあとは値を変更しないでください。また，DWC0レジスタの初期値を変更する場合は，設定が終了するまで外部メモリ領域にアクセスしないでください。

リセット時：7777H R/W アドレス：FFFFFF484H

	15	14	13	12	11	10	9	8
DWC0	0	DW32	DW31	DW30	0	DW22	DW21	DW20
CSn信号	CS3			CS2				
	7	6	5	4	3	2	1	0
	0	DW12	DW11	DW10	0	DW02	DW01	DW00
CSn信号	CS1				CS0			
	DWn2	DWn1	DWn0	CSn空間の挿入ウェイト数 (n = 0-3)				
	0	0	0	挿入しない				
	0	0	1	1				
	0	1	0	2				
	0	1	1	3				
	1	0	0	4				
	1	0	1	5				
	1	1	0	6				
1	1	1	7					

注意 ビット15, 11, 7, 3には必ず0を設定してください。

5.6.2 外部ウェイト機能

遅いデバイスや非同期システムに接続する場合など、外部デバイスに同期をとる目的で、外部ウェイト端子 ($\overline{\text{WAIT}}$) によりバス・サイクルに任意のウェイト・ステートを挿入することができます。

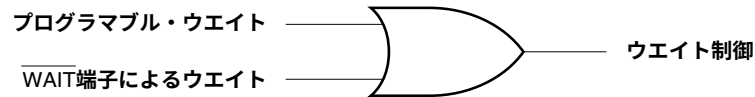
内蔵ROM、内蔵RAM、内蔵周辺I/Oの各領域へのアクセスに対しては、プログラマブル・ウェイトと同様に、外部ウェイトによる制御はできません。

$\overline{\text{WAIT}}$ 入力は、CLKOUTに対する非同期入力が可能で、マルチプレクス・バス時にはバス・サイクルのT2、TWステートのクロックの立ち下がりでサンプリングされます。セパレート・バス時にはバス・サイクルのT1とTWステート直後のクロックの立ち上がりでサンプリングされます。サンプル・タイミングにおける設定／保持時間を満たさないときは、次のステートでウェイトを挿入するかどうかは不定となります。

PMCCM.PMCCM0 = 1にすることで $\overline{\text{WAIT}}$ 入力機能が有効になります (4.3.11 ポートCM参照)。

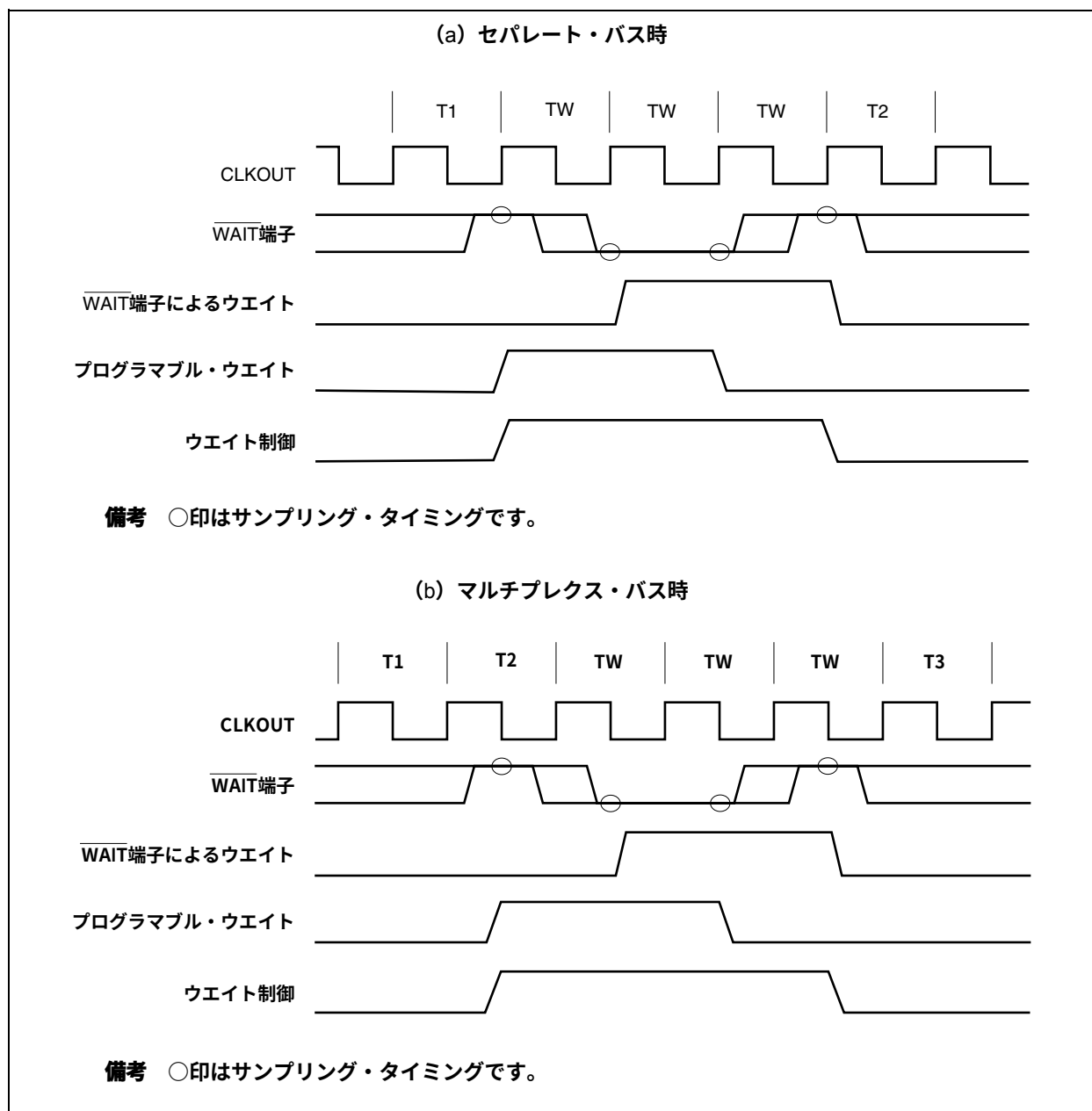
5.6.3 プログラマブル・ウェイトと外部ウェイトの関係

ウェイト・サイクルは、プログラマブル・ウェイトの設定値によるウェイト・サイクルと、 $\overline{\text{WAIT}}$ 端子制御によるウェイト・サイクルの論理和（OR）として挿入されます。



たとえば、プログラマブル・ウェイト、 $\overline{\text{WAIT}}$ 端子が図5-3のようなタイミングのとき、バス・サイクルは、3ウェイトになります。 $\overline{\text{WAIT}}$ 端子によるウェイトでは、期待するタイミングでのウェイトに間に合わない場合があります。その場合はプログラマブル・ウェイトにて調整してください。

図5-3 ウェイト挿入例



5.6.4 プログラマブル・アドレス・ウェイト機能

アドレス・ラッチのセットアップ・ホールドを確保するための機能です。

AWCレジスタにより、各バス・サイクルに対して挿入するアドレス・セットアップ・ウェイト／アドレス・ホールド・ウェイトを設定できます。アドレス・ウェイト挿入は各チップ・セレクト領域 ($\overline{CS0}$ – $\overline{CS3}$) ごとに設定します。

アドレス・セットアップ・ウェイトを挿入すると、T1ステートのハイ・クロック期間が1クロック分伸びたイメージになります。また、アドレス・ホールド・ウェイトを挿入すると、T1ステートのロウ・クロック期間が1クロック分伸びたイメージになります。

(1) アドレス・ウェイト制御レジスタ (AWC)

16ビット単位でリード／ライト可能です。

リセットによりFFFFHになります。

- 注意1.** 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウェイト／アドレス・ホールド・ウェイト挿入の対象外になります。
- 2.** AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。

リセット時：FFFFH R/W アドレス：FFFFF488H

	15	14	13	12	11	10	9	8
AWC	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
	AHW3	ASW3	AHW2	ASW2	AHW1	ASW1	AHW0	ASW0
CSn信号	CS3		CS2		CS1		CS0	

AHWn	アドレス・ホールド・ウェイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

ASWn	アドレス・セットアップ・ウェイト挿入指定 (n = 0-3)
0	挿入しない
1	挿入する

注意 ビット15-8には必ず1を設定してください。

5.7 アイドル・ステート挿入機能

低速デバイスに対するインタフェースを容易に実現させることを目的とし、 $\overline{CSn}$ で選択される空間ごとに起動されるバス・サイクルのリード・アクセス時のみ、マルチプレクス・アドレス／データ・バス時には、T3ステート後に1ステートのアイドル・ステート (TI) を挿入できます。また、セパレート・バス時には、T2ステート後に1ステートのアイドル・ステート (TI) を挿入できます。アイドル・ステートを挿入することにより、リード・アクセス時のメモリのデータ出力フロート遅延時間を確保することができます（ライト・アクセス時には、アイドル・ステートは挿入できません。）。

アイドル・ステートの挿入指定は、BCCレジスタでプログラマブルに設定できます。

システム・リセット直後は、全領域に対してアイドル・ステートの挿入状態になります。

(1) バス・サイクル制御レジスタ (BCC)

16ビット単位でリード／ライト可能です。

リセットによりAAAAHになります。

- 注意1. 内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。**
2. BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。

リセット時：AAAAH R/W アドレス：FFFFFF48AH

	15	14	13	12	11	10	9	8
BCC	1	0	1	0	1	0	1	0
	7	6	5	4	3	2	1	0
	BC31	0	BC21	0	BC11	0	BC01	0
$\overline{CSn}$ 信号	CS3		CS2		CS1		CS0	
BCn1	アイドル・ステート挿入指定 (n = 0-3)							
0	挿入しない							
1	挿入する							

注意 ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。

5.8 バス・ホールド機能

5.8.1 機能概要

PCM2, PCM3端子がコントロール・モードに設定されていれば、 $\overline{\text{HLDRQ}}$, $\overline{\text{HLD\#}}$ 信号が有効になります。

ほかのバス・マスタからのバス獲得要求として $\overline{\text{HLDRQ}}$ 信号がアクティブ（ロウ・レベル）になったことを受け付けると、外部アドレス／データ・バスをハイ・インピーダンス状態にし、 $\overline{\text{HLD\#}}$ 信号をアクティブ（ロウ・レベル）にして、バスを解放します（バス・ホールド状態）。 $\overline{\text{HLDRQ}}$ 信号がインアクティブ（ハイ・レベル）になりバス獲得要求が解除されれば、再びこれらの信号の駆動を開始します。

バス・ホールド期間中は、CPUは周辺I/Oレジスタ・アクセスあるいは、外部メモリ・アクセスがあるまで、内蔵ROM、内蔵RAMからのプログラムの実行を継続します。

マルチプロセッサ構成など、バス・マスタが複数存在するようなシステムを構成できます。

なお、バス・サイジングおよびビット操作命令による複数アクセスのサイクル中は、バス・ホールド要求を受け付けません。次にバス・ホールド要求を受け付けないタイミングについて示します。

表5-6 バス・ホールド要求を受け付けないタイミング

状 態	データ・バス幅	アクセス形態	バス・ホールド要求を受け付けないタイミング
CPUバス・ロック	16ビット	偶数番地へのワード・アクセス	1回目と2回目の間
		奇数番地へのワード・アクセス	1回目と2回目の間
			2回目と3回目の間
		奇数番地へのハーフワード・アクセス	1回目と2回目の間
	8ビット	ワード・アクセス	1回目と2回目の間
			2回目と3回目の間
			3回目と4回目の間
ビット操作命令のリード・モディファイ・ライト・アクセス	—	—	1回目と2回目の間
			リード・アクセスとライト・アクセスの間

5.8.2 バス・ホールド手順

バス・ホールド状態遷移の手順を次に示します。

① $\overline{\text{HLDRQ}}$ 端子へのロウ・レベル入力を受け付け

② すべてのバス・サイクル起動要求を抑える

③ カレントのバス・サイクル終了

④ バス・アイドル状態に遷移

⑤ $\overline{\text{HLD\!AK}}$ 端子からロウ・レベルを出力

通常状態

バス・ホールド状態

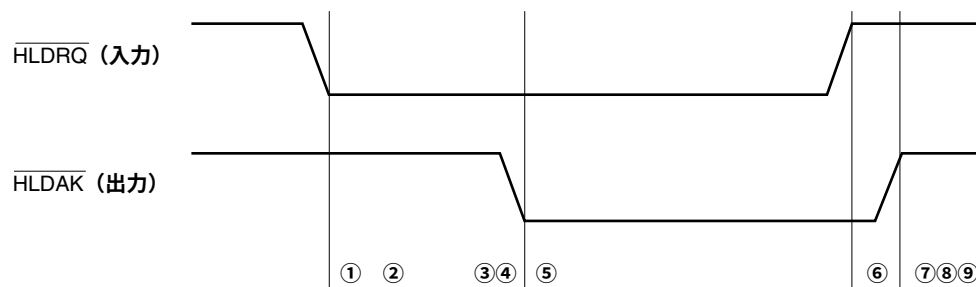
通常状態

⑥ $\overline{\text{HLDRQ}}$ 端子へのハイ・レベル入力を受け付け

⑦ $\overline{\text{HLD\!AK}}$ 端子からハイ・レベルを出力

⑧ バス・サイクル起動要求抑止を解除

⑨ バス・サイクル開始



5.8.3 パワー・セーブ・モード時の動作

STOPモード期間中およびIDLEモード期間中は、内部システム・クロックが停止するため、 $\overline{\text{HLDRQ}}$ 端子がアクティブになっても受け付けられずバス・ホールド状態にはなりません。

HALTモードでは、 $\overline{\text{HLDRQ}}$ 端子がアクティブになると、ただちに $\overline{\text{HLD\!AK}}$ 端子がアクティブになり、バス・ホールド状態になります。その後、 $\overline{\text{HLDRQ}}$ 端子がインアクティブになると、 $\overline{\text{HLD\!AK}}$ 端子もインアクティブになり、バス・ホールド状態は解除されます。

5.9 バスの優先順位

外部バス・サイクルには、バス・ホールド、命令フェッチ（分岐）、命令フェッチ（連続）、オペランド・データ・アクセス、DMA転送の5つがあります。

優先順位はバス・ホールドが最も高く、DMA転送、オペランド・データ・アクセス、命令フェッチ（分岐）、命令フェッチ（連続）の順で低くなります。

ただし、リード・モディファイ・ライト・アクセスのリード・アクセスとライト・アクセスの間には、命令フェッチが挿入されることがあります。

なお、バス・サイズの関係で、数回のアクセスで命令を実行するとき、アクセスとアクセスの間には命令フェッチとバス・ホールドは挿入されません。

表5-7 バスの優先順位

優先順位	外部バス・サイクル	バス・マスタ
高い ↑ ↓ 低い	バス・ホールド	外部デバイス
	DMA転送	DMAC
	オペランド・データ・アクセス	CPU
	命令フェッチ（分岐）	CPU
	命令フェッチ（連続）	CPU

代表的なバス・タイミングを次に示します。

5.10 バス・タイミング

次に代表的なバス・タイミングを示します。

図5-4 マルチプレクス・バス・リード・タイミング (バス・サイズ：16ビット，16ビット・アクセス時)

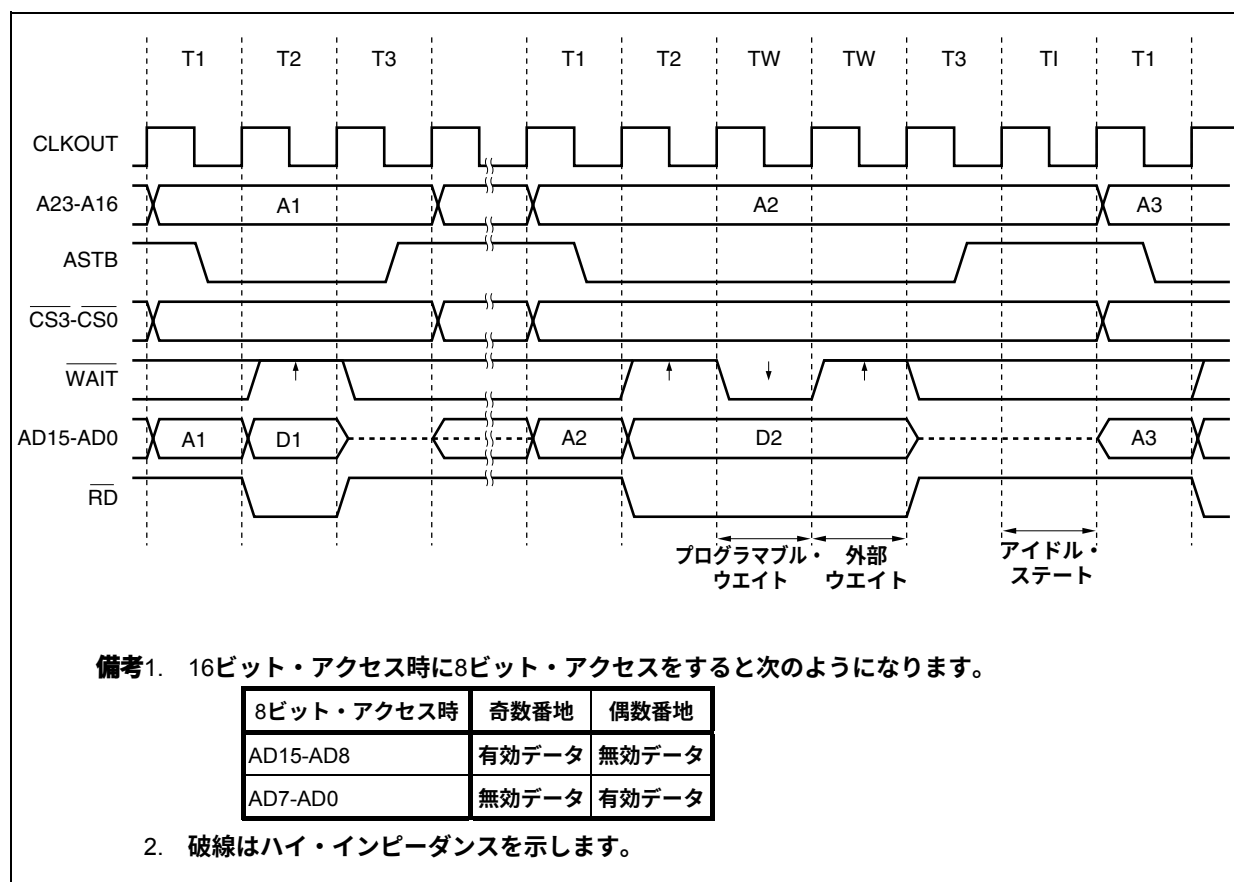


図5-5 マルチプレクス・バス・リード・タイミング (バス・サイズ：8ビット)

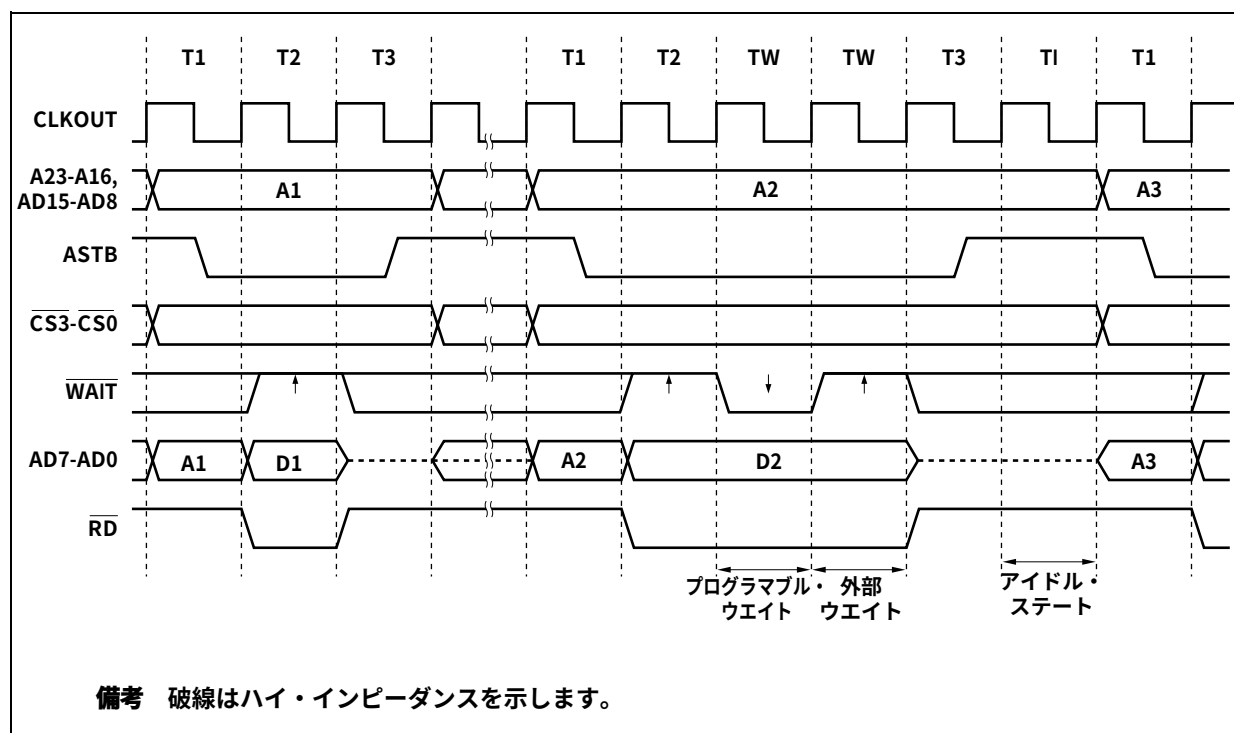


図5-6 マルチプレクス・バス・ライト・タイミング (バス・サイズ：16ビット，16ビット・アクセス時)

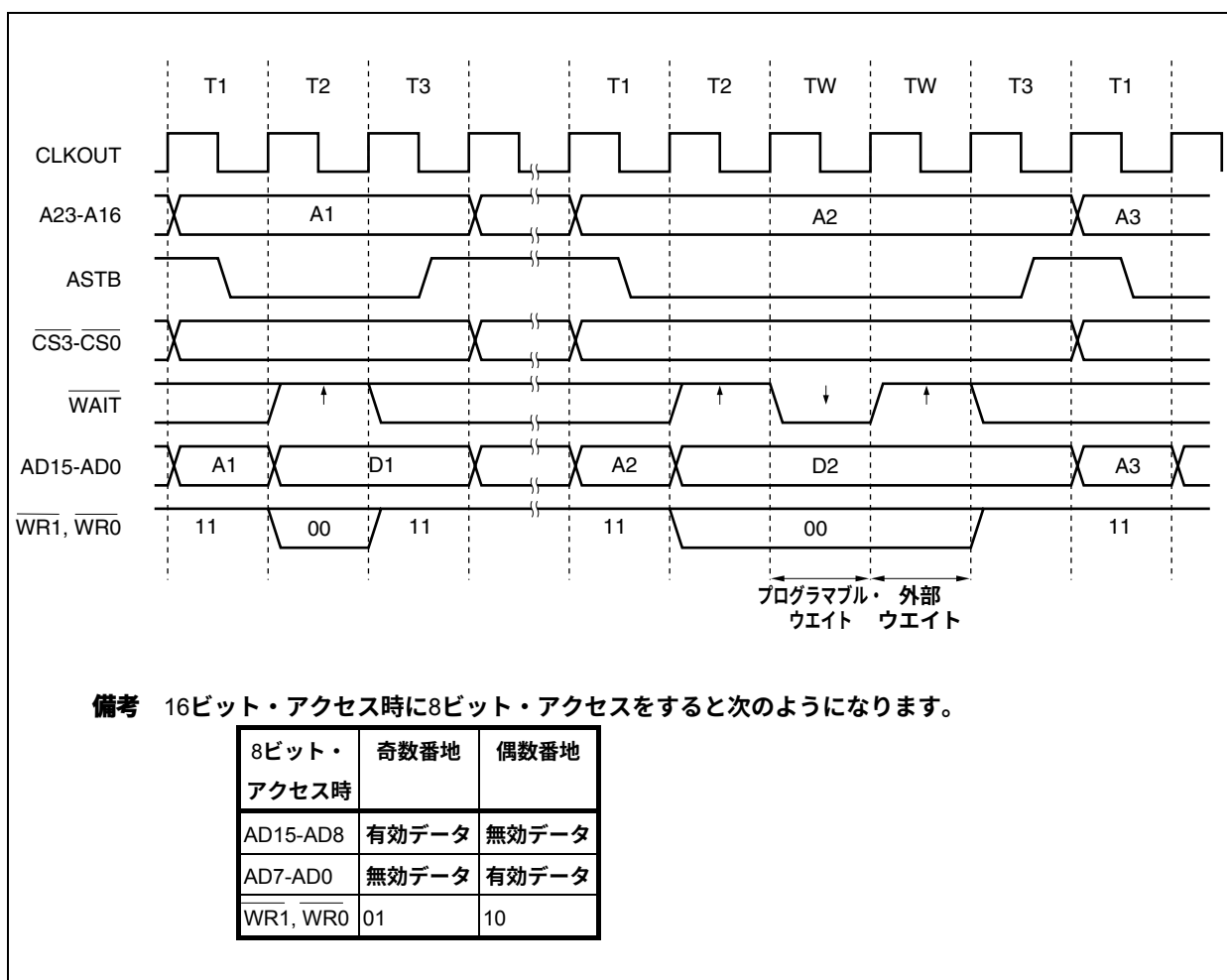


図5-7 マルチプレクス・バス・ライト・タイミング (バス・サイズ：8ビット)

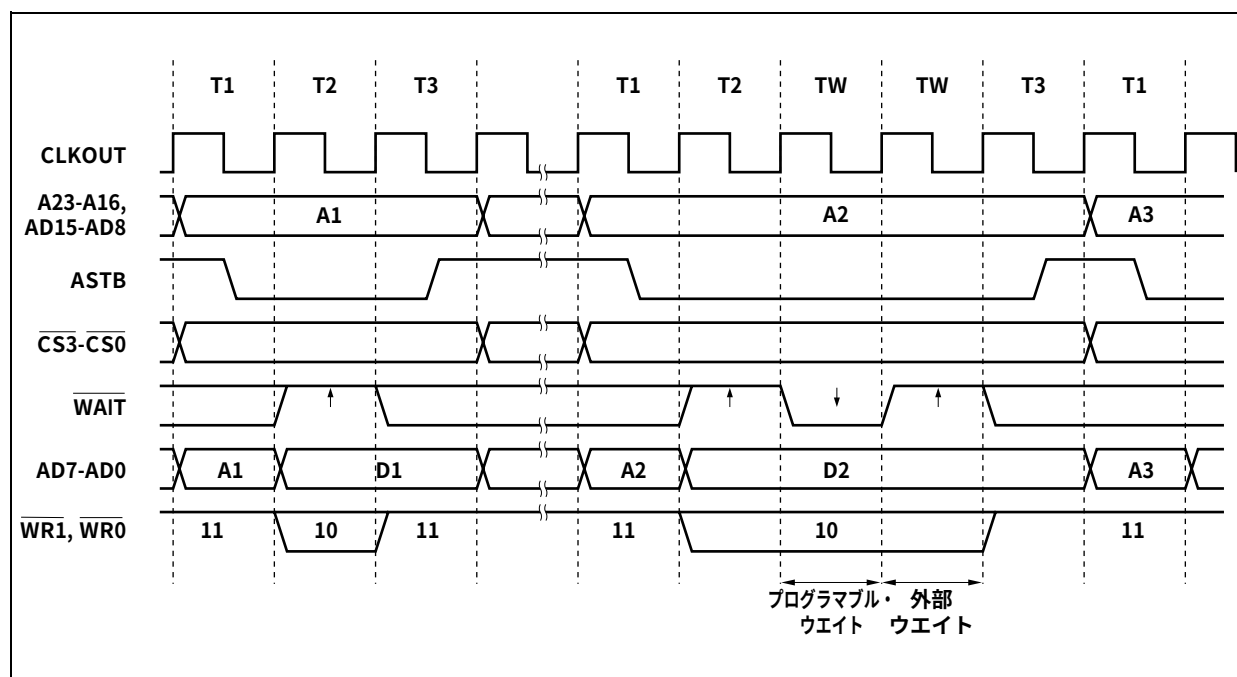
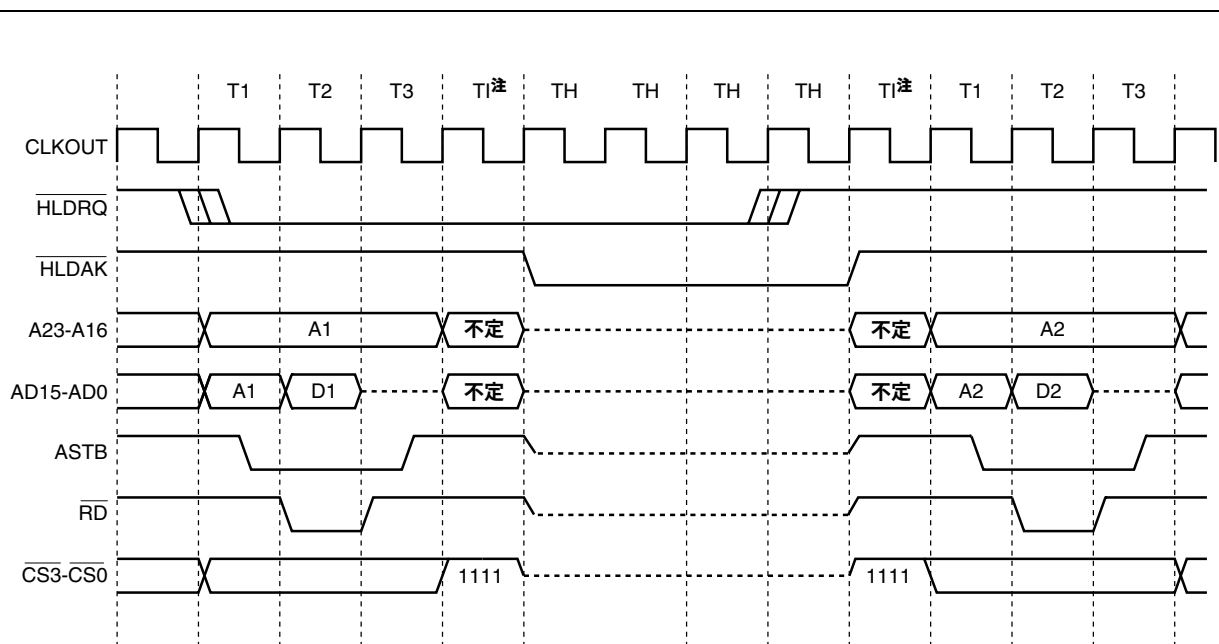


図5-8 マルチプレクス・バス・ホールド・タイミング (バス・サイズ：16ビット, 16ビット・アクセス時)



注 BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

備考1. バス・ホールド時の各端子の状態については表2-2を参照してください。

2. 破線はハイ・インピーダンスを示します。

図5-9 セパレート・バス・リード・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

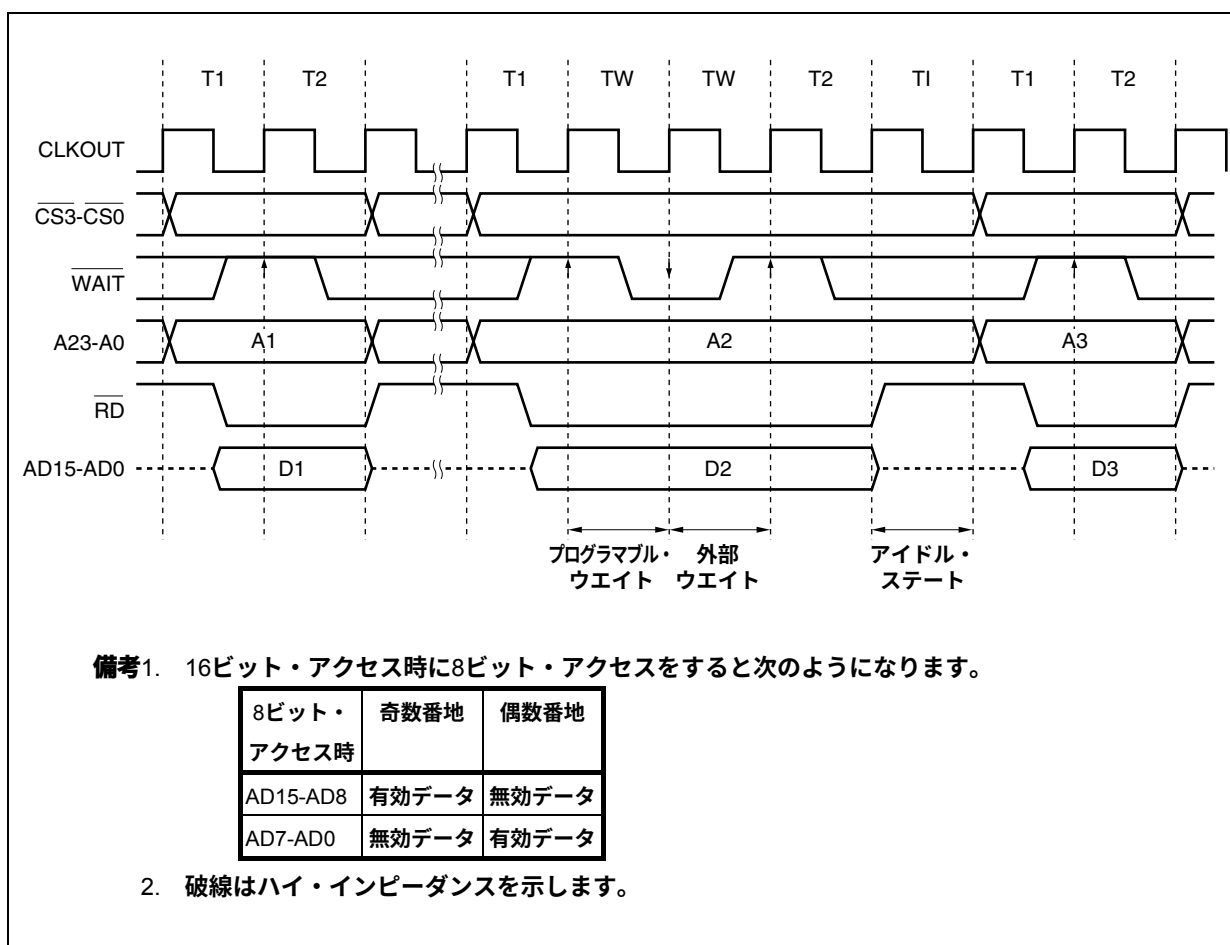


図5-10 セパレート・バス・リード・タイミング (バス・サイズ: 8ビット)

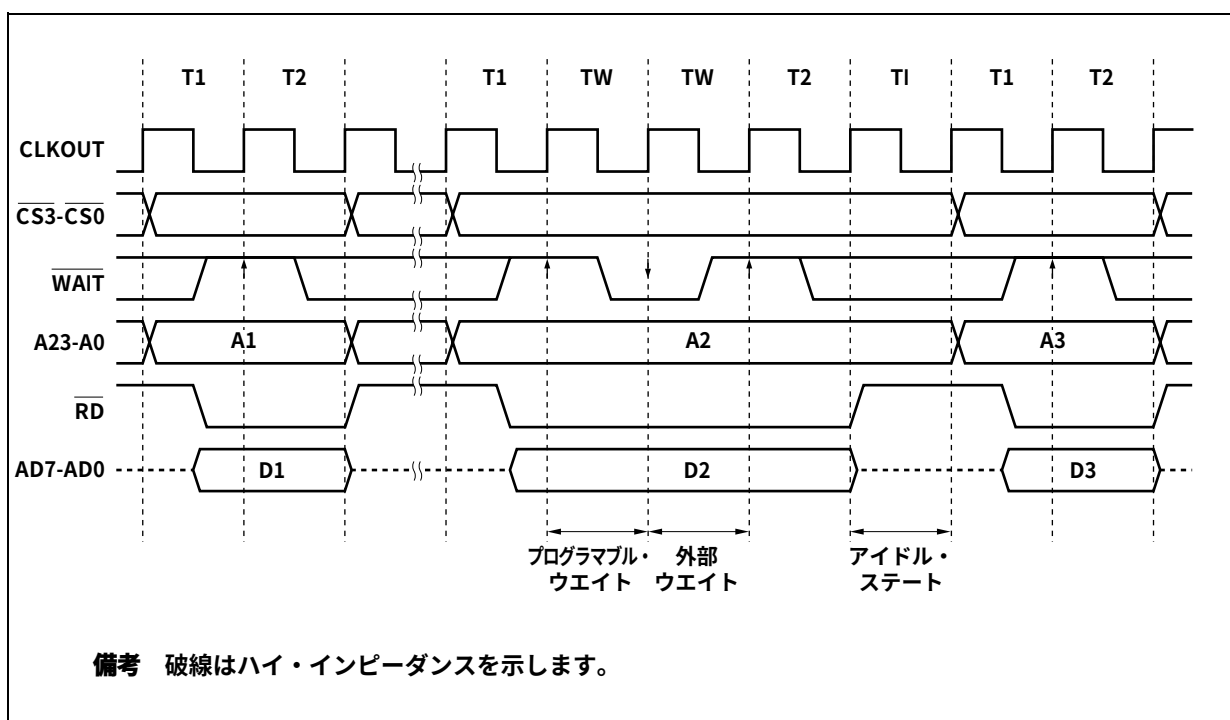
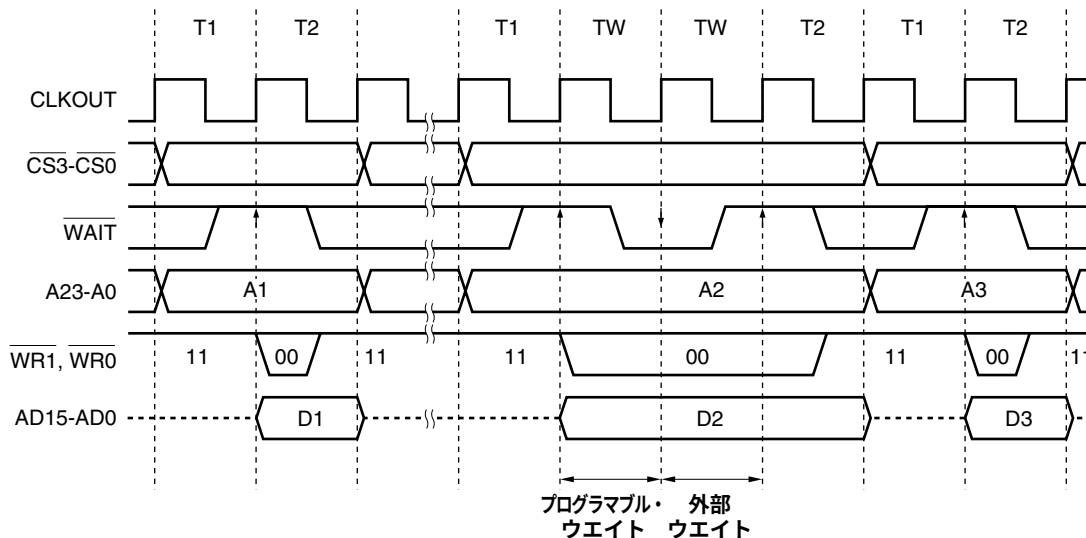


図5-11 セパレート・バス・ライト・タイミング (バス・サイズ: 16ビット, 16ビット・アクセス時)

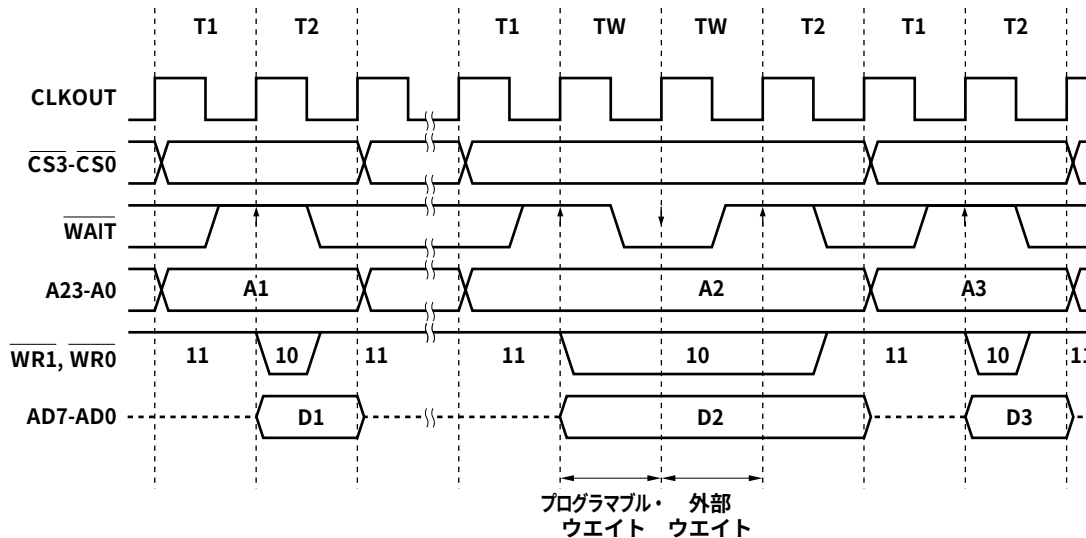


備考1. 16ビット・アクセス時に8ビット・アクセスをすると次のようになります。

8ビット・ アクセス時	奇数番地	偶数番地
AD15-AD8	有効データ	無効データ
AD7-AD0	無効データ	有効データ
WR1, WR0	01	10

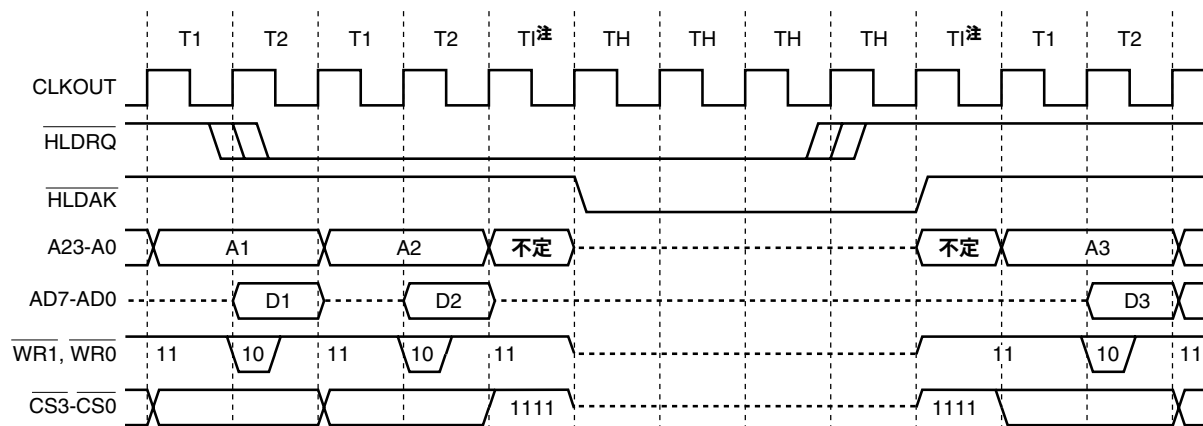
2. 破線はハイ・インピーダンスを示します。

図5-12 セパレート・バス・ライト・タイミング (バス・サイズ: 8ビット)



備考 破線はハイ・インピーダンスを示します。

図5-13 セパレート・バス・ホールド・タイミング (バス・サイズ: 8ビット, ライト時)

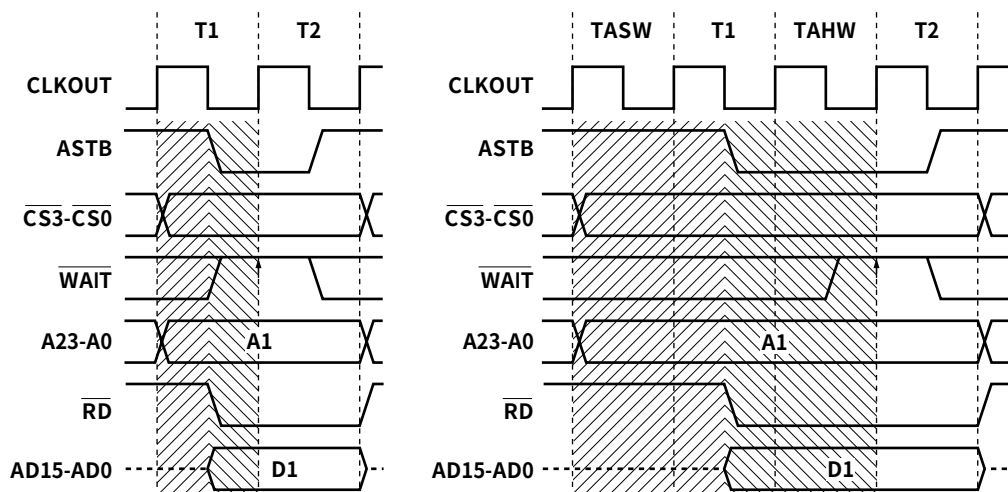


注 BCCレジスタの設定に依存しないアイドル・ステート (TI) です。

備考 破線はハイ・インピーダンスを示します。

図5-14 アドレス・ウェイト・タイミング

(セパレート・バス・リード, バス・サイズ: 16ビット, 16ビット・アクセス時)



備考1. TASW (アドレス・セットアップ・ウェイト時) :

T1ステートのハイ・レベル幅が伸びたイメージ

2. TAHW (アドレス・ホールド・ウェイト時) :

T1ステートのロウ・レベル幅が伸びたイメージ

3. 破線はハイ・インピーダンスを示します。

5.11 注意事項

外部バス機能において、次の動作条件時には信号が正常なタイミングで出力されない可能性があります。

<動作条件>

○ マルチプレクス・バス・モード

①CLKOUT非同期 ($2.7\text{ V} \leq V_{DD} = EV_{DD} = AV_{REF0} < 4.0\text{ V}$, $2.7\text{ V} \leq BV_{DD} < 4.0\text{ V}$)

$1/f_{CPU} < 84\text{ ns}$ で使用时

○ セパレート・バス・モード

①リード・サイクル, CLKOUT非同期 ($4.0\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} \leq 5.5\text{ V}$)

$1/f_{CPU} < 100\text{ ns}$ で使用时

②ライト・サイクル, CLKOUT非同期 ($4.0\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} \leq 5.5\text{ V}$)

$1/f_{CPU} < 60\text{ ns}$ で使用时

③リード・サイクル, CLKOUT非同期 ($2.7\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} < 4.0\text{ V}$)

$1/f_{CPU} < 200\text{ ns}$ で使用时

④ライト・サイクル, CLKOUT非同期 ($2.7\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} < 4.0\text{ V}$)

$1/f_{CPU} < 100\text{ ns}$ で使用时

<回避策>

上記条件で使用时には、次のようにAWCレジスタにてアドレス・セットアップ／ホールド・ウエイトを必ず挿入してください ($n = 0-3$)。

○マルチプレクス・バス・モード, 条件①で使用时

・ $70\text{ ns} < 1/f_{CPU} < 84\text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASWnビット = 1) を設定

・ $62.5\text{ ns} < 1/f_{CPU} < 70\text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASWnビット = 1) および、アドレス・ホールド・ウエイト (AHWnビット = 1) を設定

○セパレート・バス・モード条件①～④で使用时

アドレス・セットアップ・ウエイト (ASWnビット = 1) を設定

第6章 クロック発生機能

6.1 概 要

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。PLL回路を内蔵しており、発振／供給したクロックを4通倍して使用することができます。また、クロックを分周してCPUや内蔵周辺機能に供給したり、クロック発振を停止して低消費電力状態にすることが可能です。

クロック発生機能の概要を次に示します。

○メイン・クロック発振回路

〈PLL（4通倍）モード時〉

- $f_x = 2 \sim 5 \text{ MHz}$ ($f_{xx} = 8 \sim 20 \text{ MHz} : 4.5 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $\text{REGC} = V_{DD}$)
- $f_x = 2 \sim 4 \text{ MHz}$ ($f_{xx} = 8 \sim 16 \text{ MHz} : 4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $\text{REGC} = V_{DD}$)
- $f_x = 2 \sim 4 \text{ MHz}$ ($f_{xx} = 8 \sim 16 \text{ MHz} : 4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $\text{REGC} = 10 \mu\text{F}$)
- $f_x = 2 \sim 2.5 \text{ MHz}$ ($f_{xx} = 8 \sim 10 \text{ MHz} : 2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $\text{REGC} = V_{DD}$)

〈クロック・スルー・モード時〉

- $f_x = 2 \sim 10 \text{ MHz}$ ($f_{xx} = 2 \sim 10 \text{ MHz} : 2.7 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $\text{REGC} = V_{DD}$)
- $f_x = 2 \sim 10 \text{ MHz}$ ($f_{xx} = 2 \sim 10 \text{ MHz} : 4.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$, $\text{REGC} = 10 \mu\text{F}$)

○サブクロック発振回路

- $f_{XT} = 32.768 \text{ kHz}$

○PLL（Phase Locked Loop）による通倍機能（4通倍）

- クロック・スルー・モード／PLLモード選択可
- 使用可能電圧： $V_{DD} = 2.7 \sim 5.5 \text{ V}$

○内部システム・クロックの生成

- 7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT})

○周辺クロックの生成

○クロック出力機能

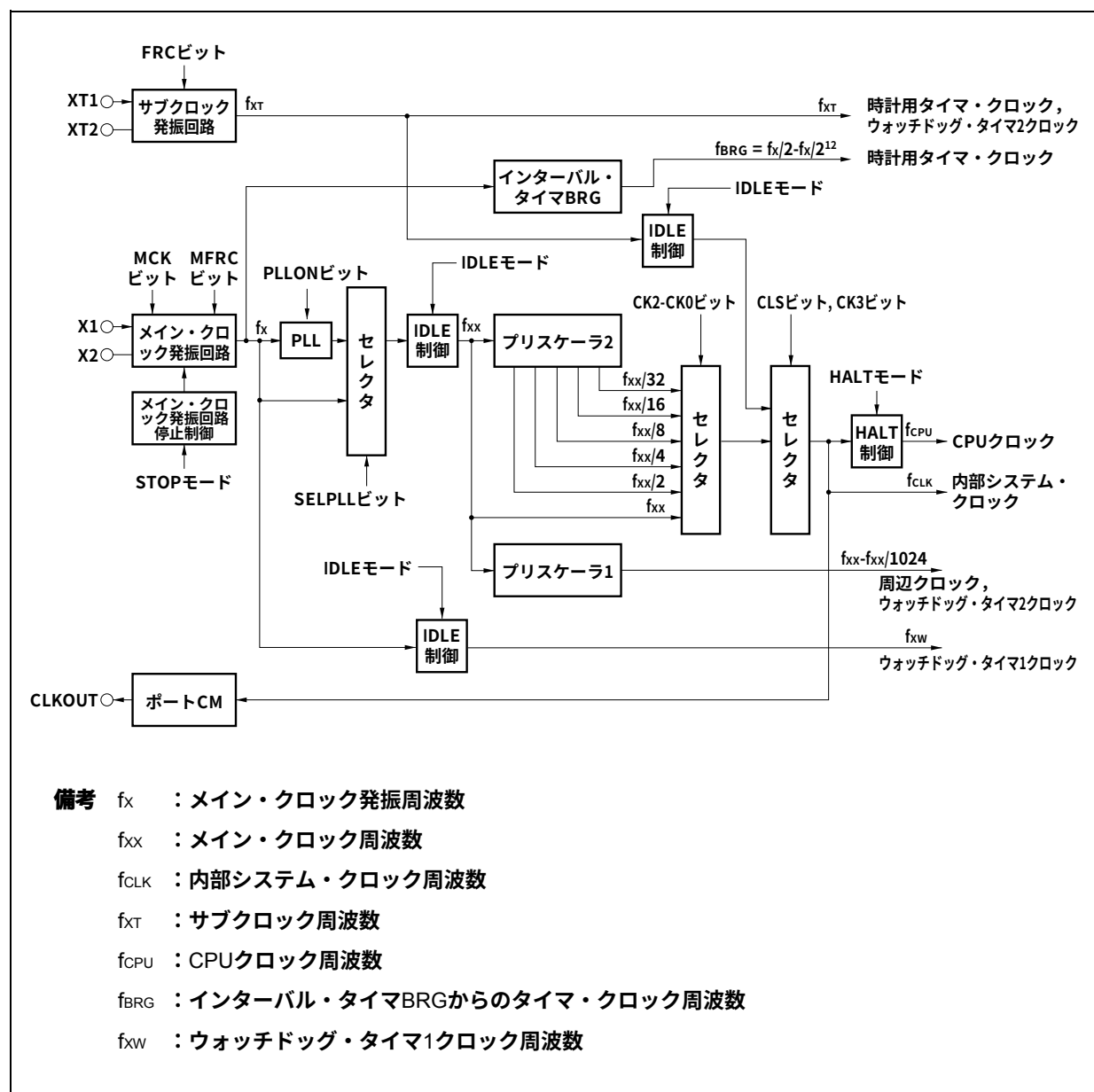
備考 f_x : メイン・クロック発振周波数

f_{xx} : メイン・クロック周波数

f_{XT} : サブクロック周波数

6.2 構 成

図6-1 クロック発生回路



(1) メイン・クロック発振回路

水晶／セラミック発振子，外部クロック[※]が使用できます。

次の周波数 (f_x) を発振します。

- $f_x = 2 \sim 5$ MHz (REGC = $V_{DD} = 4.5 \sim 5.5$ V動作時／PLLモード時)
- $f_x = 2 \sim 4$ MHz (REGC = $V_{DD} = 4.0 \sim 5.5$ V動作時／PLLモード時)
- $f_x = 2 \sim 4$ MHz (REGC = $10 \mu F$, $V_{DD} = 4.0 \sim 5.5$ V動作時／PLLモード時)
- $f_x = 2 \sim 2.5$ MHz (REGC = $V_{DD} = 2.7 \sim 5.5$ V動作時／PLLモード時)
- $f_x = 2 \sim 10$ MHz (REGC = $V_{DD} = 2.7 \sim 5.5$ V動作時／クロック・スルー・モード時)
- $f_x = 2 \sim 10$ MHz (REGC = $10 \mu F$, $V_{DD} = 4.0 \sim 5.5$ V動作時／クロック・スルー・モード時)

注 外部クロック使用時は，REGC = V_{DD} にしてください。

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時，あるいはPCC.MCKビット = 1 (PCC.CLSビット = 1のときのみ有効) のとき，メイン・クロック発振回路の発振を停止します。

(4) プリスケアラ1

内蔵周辺機能に供給するクロック ($f_{xx} - f_{xx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0, TM00-TM05, TM50, TM51, TMH0, TMH1, CSI00-CSI02, CSIA0, CSIA1, UART0-UART2, I²C0, I²C1, ADC, WDT2

(5) プリスケアラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU})，内部システム・クロック (f_{CLK}) を生成するセレクトに，プリスケアラ2で生成したクロック ($f_{xx} - f_{xx}/32$) を供給します。

なお， f_{CLK} は，INTC，DMAコントローラ，ROM，RAMブロックに供給するクロックで，CLKOUT端子から出力できます。

(6) インターバル・タイマBRG

メイン・クロック発振回路で生成するクロック (f_x) を分周する回路で，時計用タイマ・ブロックに供給します。

詳細は，第11章 インターバル・タイマ，時計タイマを参照してください。

(7) PLL

メイン・クロック発振回路で生成するクロック (fx) を4逓倍します。

PLLCTL.SELPLLビットによりfxをそのまま出力するクロック・スルー・モードと、逓倍クロックを出力するPLLモードを選択します。

また、PLLCTL.PLLONビットによりPLLを動作／停止します。

6.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.

4.7 特定レジスタ参照)。

8/1ビット単位でリード／ライト可能です。

リセットにより03Hになります。

(1/2)

リセット時：03H R/W アドレス：FFFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止
• CPUクロックがメイン・クロックで動作中にMCKビットを1に設定しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更した後、停止します。 • メイン・クロックを停止させ、サブクロックで動作している場合に、再度メイン・クロックに切り替えるときは、MCKビットを“0”に設定し、プログラム中で発振安定時間を確保したあとに切り替えてください。	

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

CLS ^注	CPUクロック (f _{CPU}) の状態
0	メイン・クロック動作
1	サブクロック動作

注 CLSビットはリードのみです。

CK3	CK2	CK1	CK0	クロックの選択 (f_{CLK}/f_{CPU})
0	0	0	0	f_{xx}
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$ (初期値)
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	X	設定禁止
1	X	X	X	f_{XT}

- 注意1.** CLKOUTを出力している間は、CPUクロック（CK3-CK0ビット）を変更しないでください。
- CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。
 - CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、ウエイトが発生するレジスタにアクセスしないでください（アクセス方法については3.4.9（1）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照）。ウエイトが発生した場合、解除する方法はリセットのみです。

備考 X：任意

(a) メイン・クロック動作→サブクロック動作の設定例

- ① CK3ビット ← 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- ② サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。

最大：1/f_{XT} (1/サブクロック周波数)

- ③ MCKビット ← 1 : メイン・クロックを停止するときのみ、MCKビットを1に設定します。

- 注意1.** メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。
- 2.** 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック (f_{CLK}) > サブクロック (f_{XT} : 32.768 kHz) × 4

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

【 記述例 】

```

_DMA_DISABLE :
    clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
① _SET_SUB_RUN :
    st.b      r0, PRCMD[r0]
    set1      3, PCC[r0]            -- CK3ビット ← 1
② _CHECK_CLS :
    tst1      4, PCC[r0]            -- サブクロック動作に切り替わるまでウェイト
    bz        _CHECK_CLS
③ _STOP_MAIN_CLOCK :
    st.b      r0, PRCMD[r0]
    set1      6, PCC[r0]            -- MCKビット ← 1, メイン・クロック停止

```

備考 この記述例はあくまでも一例です。特に②において、閉ループでCLSビットをリードしていますので注意してください。

(b) サブクロック動作→メイン・クロック動作の設定例

- ① MCKビット ← 0 : メイン・クロック発振開始
- ② プログラムによりウェイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。
- ③ CK3ビット ← 0 : ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。
- ④ メイン・クロック動作 : CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。

最大：1/f_{XT} (1/サブクロック周波数)

したがって、CK3ビットを0とした直後にNOP命令を1つ挿入するか、もしくはCLSビットをリードしてメイン・クロック動作に切り替わったかどうかを確認してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
    clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
① _START_MAIN_OSC :
    st.b      r0, PRCMD[r0]         -- 特定レジスタ，プロテクション解除
    clr1      6, PCC[r0]            -- メイン・クロック発振開始
② movea      0x55, r0, r11         -- 発振安定時間待ち
_WAIT_OST :
    nop
    nop
    nop
    addi      -1, r11, r11
    cmp       r0, r11
    bne       _WAIT_OST
③ st.b       r0, PRCMD[r0]
    clr1      3, PCC[r0]            -- CK3 ← 0
④ _CHECK_CLS :
    tstl      4, PCC[r0]            -- メインクロック動作に切り替わるまでウェイト
    bnz       _CHECK_CLS

```

備考 この記述例はあくまでも一例です。特に④において、閉ループでCLSビットをリードしていますので注意してください。

6.4 動作

6.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表6-1 各クロックの動作状態

レジスタの設定および 動作状態 対象クロック	PCCレジスタ									
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1		
	リセット中	発振安定時間カウンタ中	HALTモード	IDLEモード	STOPモード	サブクロック・モード	サブIDLEモード	サブクロック・モード	サブIDLEモード	
メイン・クロック発振回路 (fx)	×	○	○	○	×	○	○	×	×	
サブクロック発振回路 (fxt)	○	○	○	○	○	○	○	○	○	
CPUクロック (fcpu)	×	×	×	×	×	○	×	○	×	
内部システム・クロック (fclk)	×	×	○	×	×	○	×	○	×	
周辺クロック (fxx-fxx/1024)	×	×	○	×	×	○	×	×	×	
WTクロック (メイン)	×	○	○	○	×	○	○	×	×	
WTクロック (サブ)	○	○	○	○	○	○	○	○	○	
WDT1クロック (fxw)	×	○	○	○	×	○	○	×	×	
WDT2クロック (メイン)	×	×	○	×	×	○	×	×	×	
WDT2クロック (サブ)	○	○	○	○	○	○	○	○	○	

備考 ○：動作

×：停止

6.4.2 クロック出力機能

クロック出力機能は、内部システム・クロック (f_{clk}) をCLKOUT端子から出力します。

内部システム・クロック (f_{clk}) は、PCC.CK3-CK0ビットで選択します。

CLKOUT端子は、PCM1端子と兼用しており、ポートCMの制御レジスタを操作することにより、クロック出力端子として機能します。

CLKOUT端子の状態は、表6-1の内部システム・クロックと同じ状態になり、○（動作可能）のときにクロックを出力することが可能です。また、×（停止）のときにはロウ・レベルを出力します。ただし、リセット後、CLKOUT端子の出力設定をするまでは、ポート・モード（PCM1：入力モード）となるので、端子の状態はHi-Zになります。

6.4.3 外部クロック入力機能

発振回路には、外部クロックを直接入力することができます。この場合、X1端子からクロック入力、X2端子からその反転を入力し、PCC.MFRCビット = 1（内蔵帰還抵抗を使用しない）としてください。ただし、外部クロック・モード時でも、発振安定時間は挿入されます。また、REGC端子にはV_{DD}を直接接続してください。

6.5 PLL機能

6.5.1 概要

V850ES/KJ2は、CPUおよび内蔵周辺機能の動作クロックとして、PLL機能による発振周波数の4逡倍出力と、クロック・スルー・モードを選択できます。

PLL機能使用時 : 入力クロック = 2～5 MHz (f_{xx} : 8～20 MHz)

クロック・スルー・モード : 入力クロック = 2～10 MHz (f_{xx} : 2～10 MHz)

6.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLCTLレジスタは、PLL、RTOのセキュリティ機能を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

リセット時: 01H R/W アドレス: FFFFF806H

	7	6	5	4	③	②	①	①
PLLCTL	0	0	0	0	RTOST1 ^注	RTOST0 ^注	SELPLL	PLLON

PLLON	PLL動作の制御
0	PLL停止
1	PLL動作

SELPLL	PLLクロックの選択
0	クロック・スルー動作
1	PLL動作

注 RTOST1, RTOST0ビットについては、第13章 リアルタイム出力機能 (RTO) を参照してください。

注意 ビット4-7には必ず0を設定してください。

6.5.3 使用方法

(1) PLLを使用する場合

- ・リセット解除後は、PLLは動作（PLLCTL.PLLONビット = 1）していますが、初期設定はクロック・スルー・モード（PLLCTL.SELPLLビット = 0）のため、PLLモード（SELPLLビット = 1）に変更してください。
- ・STOPモードなどのメイン・クロックを停止させる場合または、IDLEモードへの移行時は、まずクロック・スルー・モードに変更し次にPLLを停止させた後、それぞれのモードへ移行してください。IDLEモード、STOPモードからの復帰時は、最初にPLLを動作（PLLONビット = 1）させたあと、PLLモード（SELPLLビット = 1）へ変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、200 μ s待ってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード（SELPLLビット = 0）として、8クロック以上後に、PLL停止（PLLONビット = 0）としてください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード（SELPLLビット = 0）ですが、PLLは動作（PLLONビット = 1）しているので、PLLを停止（PLLONビット = 0）してください。

備考 IDLEモードのときPLLは動作可能です。低消費電力を実現する場合は、PLLを停止してください。STOPモードに移行するときは必ずPLLを停止してください。

★ 6.6 発振子の接続方法

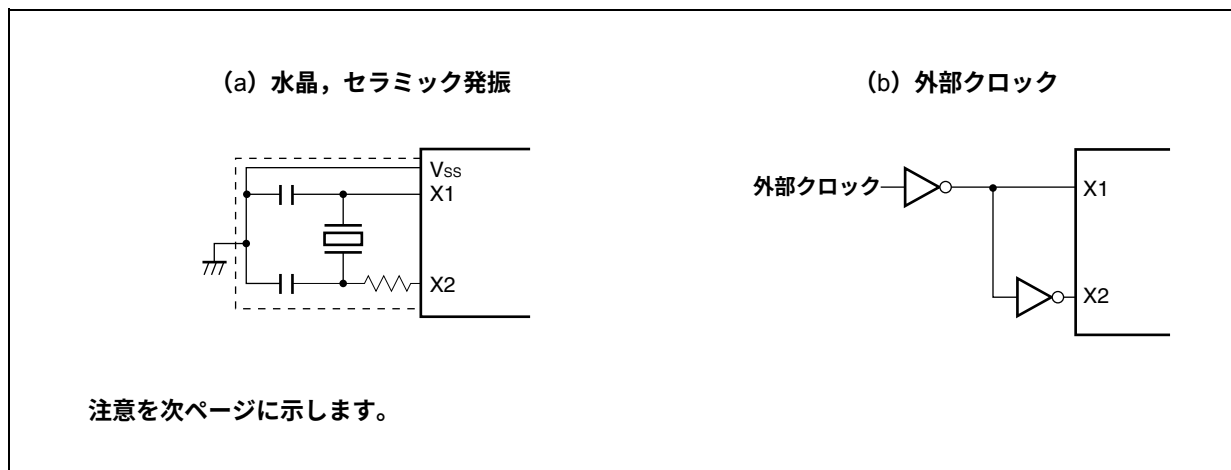
6.6.1 メイン・クロック発振回路

メイン・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2～10 MHz）によって発振します。

また、外部クロックを入力することができます。

図6-2にメイン・クロック発振回路の外付け回路例を示します。

図6-2 メイン・クロック発振回路の外付け回路例



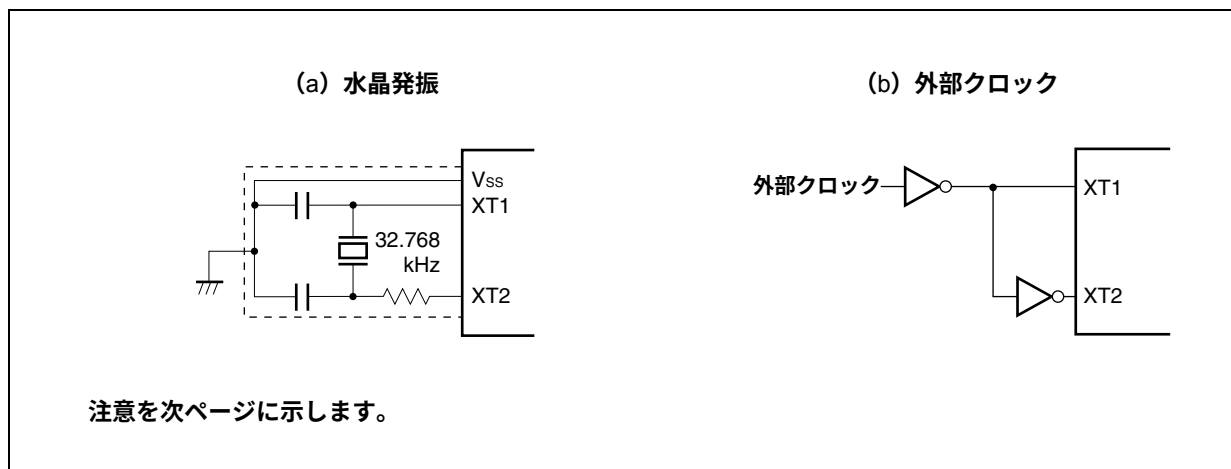
6.6.2 サブクロック発振回路

サブクロック発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

また、外部クロックを入力することができます。

図6-13にサブクロック発振回路の外付け回路例を示します。

図6-3 サブクロック発振回路の外付け回路例



注意1. メイン・クロック発振回路およびサブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6-2, 6-3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブクロック発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図6-4に発振子の接続の悪い例を示します。

図6-4 発振子の接続の悪い例 (1/2)

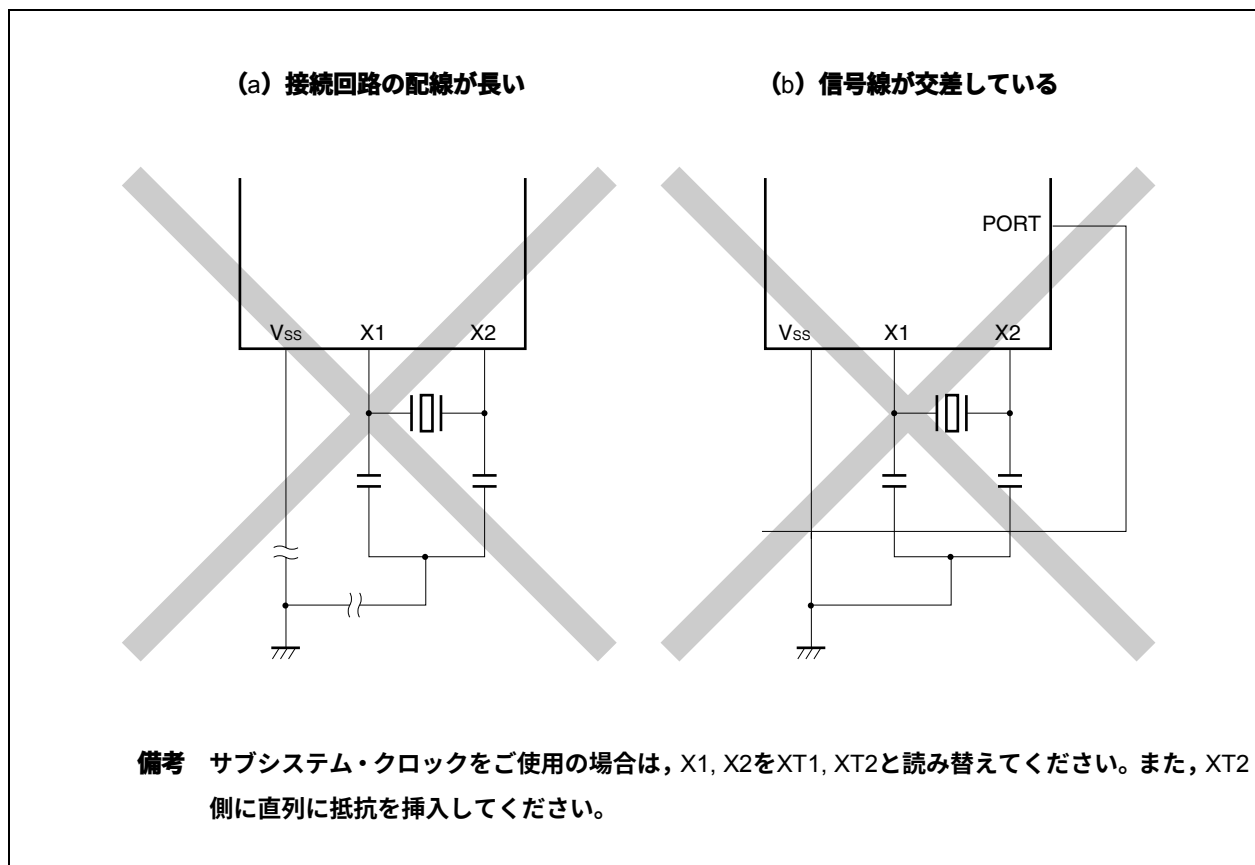
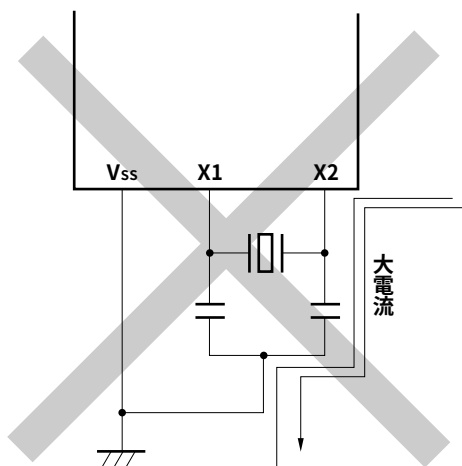
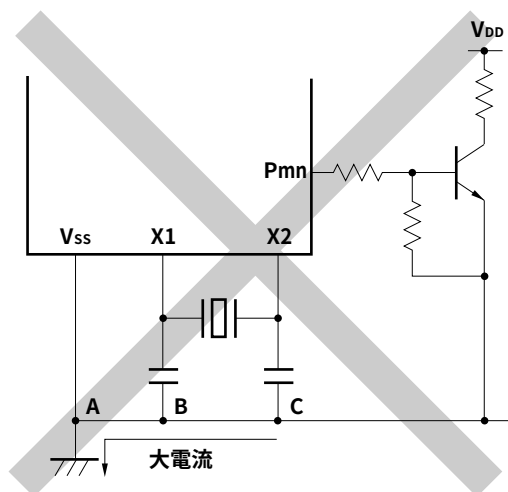


図6-4 発振子の接続の悪い例 (2/2)

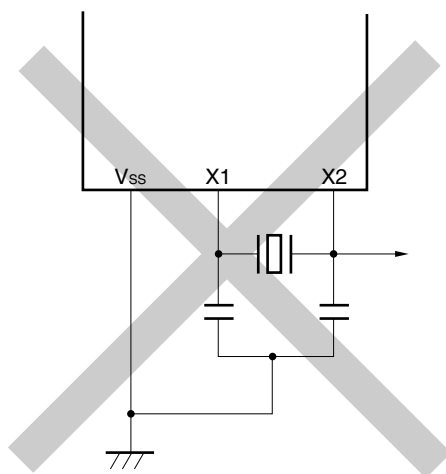
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。また、XT2側に直列に抵抗を挿入してください。

注意2. X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

第7章 16ビット・タイマ／イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ／イベント・カウンタです。

7.1 機 能

TMP0には次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。
方形波を出力することができます。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 外部トリガ・パルス出力

外部から入力される信号をトリガとして、タイマを起動しパルスを出力します。

(4) ワンショット・パルス出力

出力幅を任意に設定できるワンショット・パルスを出力できます。

(5) PWM出力

アクティブ幅を変更できる一定周期のパルスを出力できます。
タイマ動作中でもデューティを自由に変更できます。

(6) フリー・ランニング・タイマ

16ビット・カウンタが0000HからFFFFHまでカウントアップしFFFFHまでカウントするとまた0000Hにもどり、動作を継続します。

(7) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

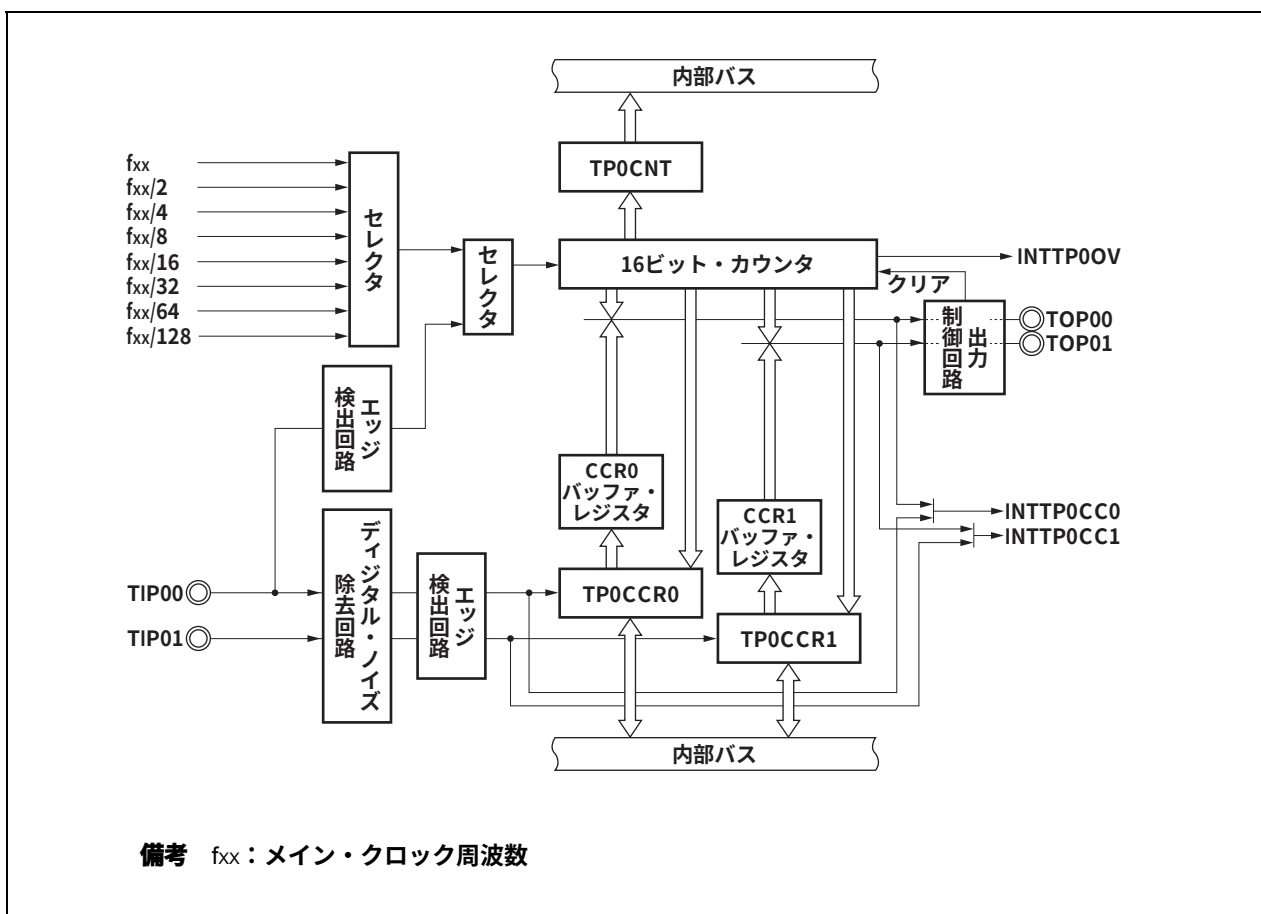
7.2 構 成

TMP0は、次のハードウェアで構成されています。

表7-1 TMP0の構成

項 目	構 成
レジスタ	16ビット・カウンタ TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT) TMP0キャプチャ/コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1) CCR0, CCR1バッファ・レジスタ TMP0制御レジスタ0, 1 (TP0CTL0, TP0CTL1) TMP0I/O制御レジスタ0-2 (TP0IOC0-TP0IOC2) TMP0オプション・レジスタ0 (TP0OPT0) TIP0nノイズ除去制御レジスタ (PnNFC : n = 0, 1)
タイマ入力	2本 (TIP00, TIP01端子)
タイマ出力	2本 (TOP00, TOP01端子)

図7-1 TMP0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントするための16ビットのカウンタです。

16ビット・カウンタのカウント値は、TP0CNTレジスタでリードできます。

動作停止 (TP0CTL0.TP0CEビット = 0) 時、16ビット・カウンタはFFFFHになります。このときTP0CNTレジスタをリードすると、0000Hがリードされます。

リセットにより動作停止 (TP0CEビット = 0) になるため、16ビット・カウンタはFFFFHになります。

(2) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

16ビット・カウンタのカウント値をリードできるリード・バッファ・レジスタです。

(3) TMP0キャプチャ／コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

(4) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値と比較する16ビットのコンペア・レジスタです。

TP0CCR0レジスタをコンペア・レジスタとして使用するとき、TP0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTP0CC0) を発生します。

CCR0バッファ・レジスタは、直接リード／ライトできません。

リセットによりTP0CCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(5) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値と比較する16ビットのコンペア・レジスタです。

TP0CCR1レジスタをコンペア・レジスタとして使用するとき、TP0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTP0CC1) を発生します。

CCR1バッファ・レジスタは、直接リード／ライトできません。

リセットによりTP0CCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(6) TMP0制御レジスタ0, 1 (TP0CTL0, TP0CTL1)

TMP0の動作を制御する8ビット・レジスタです。

(7) TMP0I/O制御レジスタ0-2 (TP0IOC0-TP0IOC2)

TMP0の入出力を制御する8ビット・レジスタです。

(8) TMP0オプション・レジスタ0 (TP0OPT0)

キャプチャ／コンペア動作の設定などを制御する8ビット・レジスタです。

(9) エッジ検出回路

TIP00, TIP01端子に入力される有効エッジを検出します。有効エッジは、TP0IOC1, TP0IOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジから選択できます。

(10) 出力制御回路

TOP00, TOP01端子の出力を制御します。TOP00, TOP01端子の出力は、TP0IOC0レジスタで制御します。

(11) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

(12) デジタル・ノイズ除去回路

TIP0n端子をキャプチャ・トリガ入力として使用した場合にのみ有効です。

TIP0nノイズ除去レジスタ (PnNFC) で制御します。

備考 n = 0, 1

★ 7.2.1 端子の構成

TMP0を構成するタイマ入力およびタイマ出力は、表7-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります(表4-19 端子を兼用機能として使用する場合参照)。

表7-2 端子構成

ピン番号	ポート	タイマP入力	タイマP出力	その他の兼用機能
28	P33	TIP00 ^注	TOP00	TI000/TO00
29	P34	TIP01	TOP01	TI001/TO00

注 TIP00端子にはキャプチャ・トリガ入力機能と外部イベント入力機能と外部トリガ入力機能が兼用されています。

★ 7.2.2 割り込み機能

TMP0には3種類の割り込み信号があります。

(1) INTTP0CC0

16ビット・カウンタの値とCCR0バッファ・レジスタの値の一致、もしくはTIP00端子からのキャプチャ入力により発生します。

(2) INTTP0CC1

16ビット・カウンタの値とCCR1バッファ・レジスタの値の一致、もしくはTIP01端子からのキャプチャ入力により発生します。

(3) INTTP0OV

16ビット・カウンタがカウントアップしFFFFHからオーバーフローするときに発生します。

7.3 レジスタ

(1) TMP0制御レジスタ0 (TP0CTL0)

TP0CTL0レジスタは、TMP0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TP0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：FFFFFF5A0H

	⑦	6	5	4	3	2	1	0
TP0CTL0	TP0CE	0	0	0	0	TP0CKS2	TP0CKS1	TP0CKS0

TP0CE	TMP0の動作の制御
0	TMP0動作禁止 (TMP0を非同期にリセット ^注)
1	TMP0動作許可。TMP0動作開始

TP0CKS2	TP0CKS1	TP0CKS0	内部カウント・クロックの選択
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /8
1	0	0	f _{xx} /16
1	0	1	f _{xx} /32
1	1	0	f _{xx} /64
1	1	1	f _{xx} /128

注 TP0OPT0.TP0OVFビット, 16ビット・カウンタ, タイマ出力 (TOP00, TOP01端子)。

注意1. TP0CKS2-TP0CKS0ビットは、TP0CEビット = 0のときに設定してください。TP0CEビットを“0”から“1”に設定するときに、同時にTP0CKS2-TP0CKS0ビットを設定することもできます。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx}：メイン・クロック周波数

(2) TMP0制御レジスタ1 (TP0CTL1)

TP0CTL1レジスタは、TMP0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF5A1H

	7	⑥	⑤	4	3	2	1	0
TP0CTL1	0	TP0EST	TP0EEE	0	0	TP0MD2	TP0MD1	TP0MD0

TP0EST	ソフトウェア・トリガ制御
0	—
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TP0ESTビットへの”1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TP0ESTビットへの”1”ライトをトリガとして、PWM波形を出力

TP0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TP0CTL0.TP0CK0-TP0CK2ビットによって選択された内部カウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TP0MD2	TP0MD1	TP0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** TP0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 2.** 外部イベント・カウント・モードのときは、TP0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
- 3.** TP0EEE, TP0MD2-TP0MD0ビットは、タイマ動作停止 (TP0CTL0.TP0CEビット = 0) のときに設定してください (TP0CEビット = 1のときの同値書き込みは可能)。TP0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TP0CEビットをクリア (0) してから再設定してください。
- 4.** ビット3, 4, 7には必ず“0”を設定してください。

(3) TMP0I/O制御レジスタ0 (TP0IOC0)

TP0IOC0レジスタは、タイマ出力 (TOP00, TOP01端子) の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF5A2H

	7	6	5	4	3	②	1	①
TP0IOC0	0	0	0	0	TP0OL1	TP0OE1	TP0OL0	TP0OE0

TP0OL1	TOP01端子出力レベルの設定 ^注
0	TOP01端子ハイ・レベル・スタート
1	TOP01端子ロウ・レベル・スタート

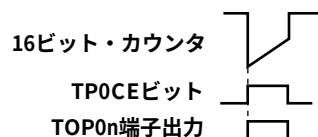
TP0OE1	TOP01端子出力の設定
0	タイマ出力禁止 ・ TP0OL1ビット = 0のときTOP01端子からロウ・レベルを出力 ・ TP0OL1ビット = 1のときTOP01端子からハイ・レベルを出力
1	タイマ出力許可 (TOP01端子からパルスを出力)

TP0OL0	TOP00端子出力レベルの設定 ^注
0	TOP00端子ハイ・レベル・スタート
1	TOP00端子ロウ・レベル・スタート

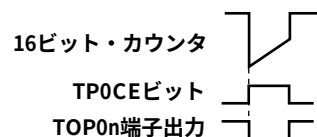
TP0OE0	TOP00端子出力の設定
0	タイマ出力禁止 ・ TP0OL0ビット = 0のときTOP00端子からロウ・レベルを出力 ・ TP0OL0ビット = 1のときTOP00端子からハイ・レベルを出力
1	タイマ出力許可 (TOP00端子からパルスを出力)

注 TP0OLnビットの指定によるタイマ出力端子 (TOP0n) の出力レベルを次に示します (n = 0, 1)。

・ TP0OLnビット = 0の場合



・ TP0OLnビット = 1の場合



注意1. TP0OL1, TP0OE1, TP0OL0, TP0OE0ビットは、TP0CTL0.TP0CEビット = 0のときに書き換えてください (TP0CEビット = 1のときの同値書き込みは可能)。誤まって書き換えた場合は、TP0CEビットをクリア (0) してから再設定してください。

2. TP0CEビット = 0, TP0OEnビット = 0の状態において、TP0OLnビットを操作した場合でも、TOP0n端子の出力レベルは変化します (n = 0, 1)。

(4) TMP0I/O制御レジスタ1 (TP0IOC1)

TP0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIP00, TIP01端子) に対する有効エッジの指定を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF5A3H

	7	6	5	4	3	2	1	0
TP0IOC1	0	0	0	0	TP0IS3	TP0IS2	TP0IS1	TP0IS0

TP0IS3	TP0IS2	キャプチャ・トリガ入力信号 (TIP01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TP0IS1	TP0IS0	キャプチャ・トリガ入力信号 (TIP00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TP0IS3-TP0IS0ビットは、TP0CTL0.TP0CEビット = 0のときに書き換えてください (TP0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TP0CEビットをクリア (0) してから再設定してください。
- 2.** TP0IS3-TP0IS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMP0I/O制御レジスタ2 (TP0IOC2)

TP0IOC2レジスタは、外部イベント・カウント入力信号 (TIP00端子)、外部トリガ入力信号 (TIP00端子) に対する有効エッジの指定を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H		R/W	アドレス：FFFFFF5A4H							
	7	6	5	4	3	2	1	0		
TP0IOC2	0	0	0	0	TP0EES1	TP0EES0	TP0ETS1	TP0ETS0		

TP0EES1	TP0EES0	外部イベント・カウント入力信号 (TIP00端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TP0ETS1	TP0ETS0	外部トリガ入力信号 (TIP00端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TP0EES1, TP0EES0, TP0ETS1, TP0ETS0ビットは、
TP0CTL0.TP0CEビット = 0のときに書き換えてください (TP0CE
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合
は、TP0CEビットをクリア (0) してから再設定してください。
2. TP0EES1, TP0EES0ビットは、TP0CTL1.TP0EEEビット = 1, また
は外部イベント・カウント・モード (TP0CTL1.TP0MD2-TP0MD0
ビット = 001) に設定したときのみ有効です。
3. TP0ETS1, TP0ETS0ビットは、外部トリガ・パルス出力モード
(TP0MD2-TP0MD0ビット = 010), ワンショット・パルス出力モ
ード (TP0MD2-TP0MD0ビット = 011) に設定したときのみ有効で
す。

(6) TMP0オプション・レジスタ0 (TP0OPT0)

TP0OPT0レジスタは、キャプチャ／コンペア動作の設定、オーバフローの検出を示す8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF5A5H

	7	6	5	4	3	2	1	①
TP0OPT0	0	0	TP0CCS1	TP0CCS0	0	0	0	TP0OVF

TP0CCS1	TP0CCR1レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタを選択
1	キャプチャ・レジスタを選択
TP0CCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TP0CCS0	TP0CCR0レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタを選択
1	キャプチャ・レジスタを選択
TP0CCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TP0OVF	TMP0のオーバフロー検出フラグ
セット (1)	オーバフロー発生
リセット (0)	TP0OVFビットへの0ライトまたはTP0CTL0.TP0CEビット = 0
- TP0OVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット (1) されます。 - TP0OVFビットがセット (1) されると同時に、割り込み要求信号 (INTTP0OV) が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTP0OV信号は発生しません。 - TP0OVFビット = 1のときにTP0OVFビットまたはTP0OPT0レジスタをリードしても、TP0OVFビットはクリアされません。 - TP0OVFビットはリード／ライト可能ですが、ソフトウェアでTP0OVFビットをセット (1) することはできません。“1”をライトしてもTMP0の動作に影響はありません。	

- 注意1.** TP0CCS1, TP0CCS0ビットは、TP0CEビット = 0のときに書き換えてください (TP0CEビット = 1のときの同値書き込みは可能)。
誤って書き換えた場合は、TP0CEビットをクリア (0) してから再設定してください。
- 2.** ビット1-3, 6, 7には必ず“0”を設定してください。

(7) TMP0キャプチャ／コンペア・レジスタ0 (TP0CCR0)

TP0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TP0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TP0CCR0レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTP0CCR0レジスタへのアクセスは禁止です。詳細は、3.4.9 (1) を参照してください。

リセット時：0000H R/W アドレス：FFFFF5A6H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TP0CCR0																

(a) コンペア・レジスタとしての機能

TP0CCR0レジスタは、TP0CTL0.TP0CEビット = 1のときでも書き換えできます。

TP0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTP0CC0) を発生し、TOP00端子出力を許可している場合、TOP00端子出力を反転します（詳細は、各動作モードを参照してください）。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TP0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウンタ値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TP0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIP00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIP00端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTP0CCR0レジスタのリードが競合しても、TP0CCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み、一斉書き込みについては7.4 (2) 随時書き込みと一斉書き込みを参照してください。

(8) TMP0キャプチャ／コンペア・レジスタ1 (TP0CCR1)

TP0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TP0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TP0OPT0.TP0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが設定できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TP0CCR1レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTP0CCR1レジスタへのアクセスは禁止です。詳細は、3.4.9 (1) を参照してください。

リセット時：0000H R/W アドレス：FFFFFF5A8H																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TP0CCR1																

(a) コンペア・レジスタとしての機能

TP0CCR1レジスタは、TP0CTL0.TP0CEビット = 1のときでも書き換えできます。

TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致することでコンペアー一致割り込み要求信号 (INTTP0CC1) を発生し、TOP01端子出力を許可している場合、TOP01端子出力を反転します（詳細は、各動作モードを参照してください）。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TP0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIP01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIP01端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTP0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTP0CCR1レジスタのリードが競合しても、TP0CCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み，一斉書き込みについては7.4 (2) 随時書き込みと一斉書き込みを参照してください。

(9) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタは、16ビットのカウンタ値をリードするためのリード・バッファ・レジスタです。

TP0CTL0.TP0CEビット = 1のときにTP0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TP0CEビット = 0のとき、TP0CNTレジスタは0000Hになります。このときにTP0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTP0CEビット = 0になるため、TP0CNTレジスタは0000Hになります。

注意 サブクロック動作時、かつメイン・クロック停止時のTP0CNTレジスタへのアクセスは禁止です。詳細は、3.4.9 (1) を参照してください。

リセット時：0000H R アドレス：FFFF5AAH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TP0CNT																

7.4 動作

TMP0には次のような動作モードがあります。

表7-5 TMP0の動作モード

動作モード	TP0CTL1.TP0EST ビット (ソフトウェア・ トリガ・ビット)	TIP00端子 (外部トリガ入力)	キャプチャ／ コンペア・レジスタ の設定	コンペア・レジスタ の書き込み方法	カウント・ クロック
インターバル・タイマ・ モード	無効	無効	コンペア専用	随時書き込み	内部／外部
外部イベント・カウント・ モード ^{注1}	無効	無効	コンペア専用	随時書き込み	外部
外部トリガ・パルス出力 モード ^{注2}	有効	有効	コンペア専用	一斉書き込み	内部
ワンショット・パルス出力 モード ^{注2}	有効	有効	コンペア専用	随時書き込み	内部
PWM出力モード	無効	無効	コンペア専用	一斉書き込み	内部／外部
フリー・ランニング・タ イマ・モード	無効	無効	切り替え可能	随時書き込み	内部／外部
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	—	内部

注1. 外部イベント・カウント・モードを使用する場合、TIP00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TP0IOC1.TP0IS1, TP0IS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TP0CTL1.TP0EEEビット = 0に設定) してください。

★ (1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作

TMP0の16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTP0CC0, INTTP0CC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TP0OPT0.TP0OVFビットがセット（1）され、割り込み要求信号（INTTP0OV）が発生します。なお、次の条件ではINTTP0OV信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値がFFFFHで一致&クリアされた場合
- ・ パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号(INTTP0OV)発生後は、必ずオーバフロー・フラグ(TP0OVFビット)が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMP0では、TP0CNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TP0CTL0.TP0CEビット = 1のときは、TP0CNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TP0CEビット = 0のときは、16ビット・カウンタがFFFFHで、TP0CNTレジスタが0000Hです。

★

(2) 随時書き込みと一斉書き込み

TMP0では、タイマ動作中（TP0CTL0.TP0CEビット = 1）でもTP0CCR0, TP0CCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法（随時書き込み、一斉書き込み）が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTP0CCR0, TP0CCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

図7-2 随時書き込みの基本動作フロー・チャート

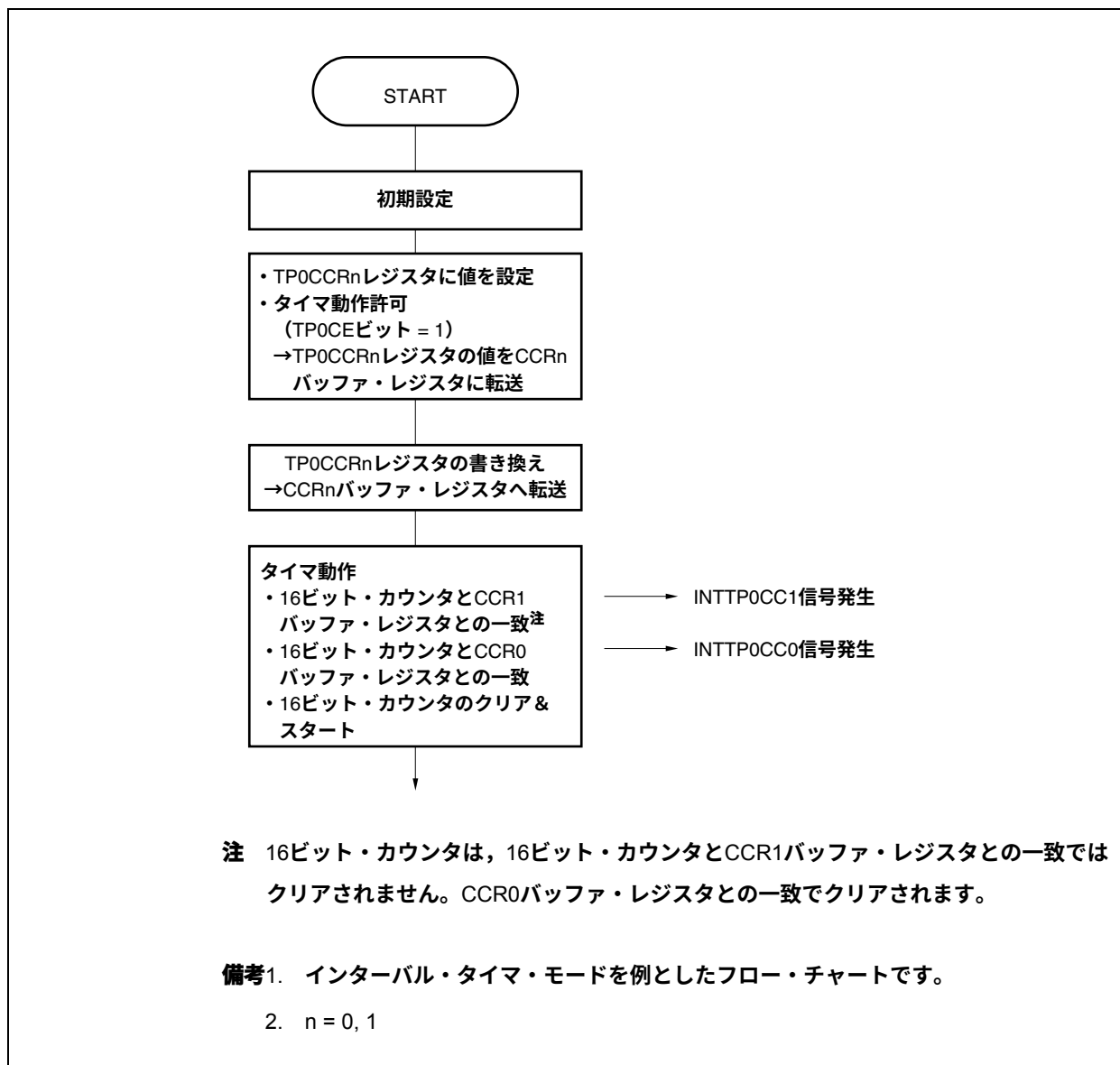
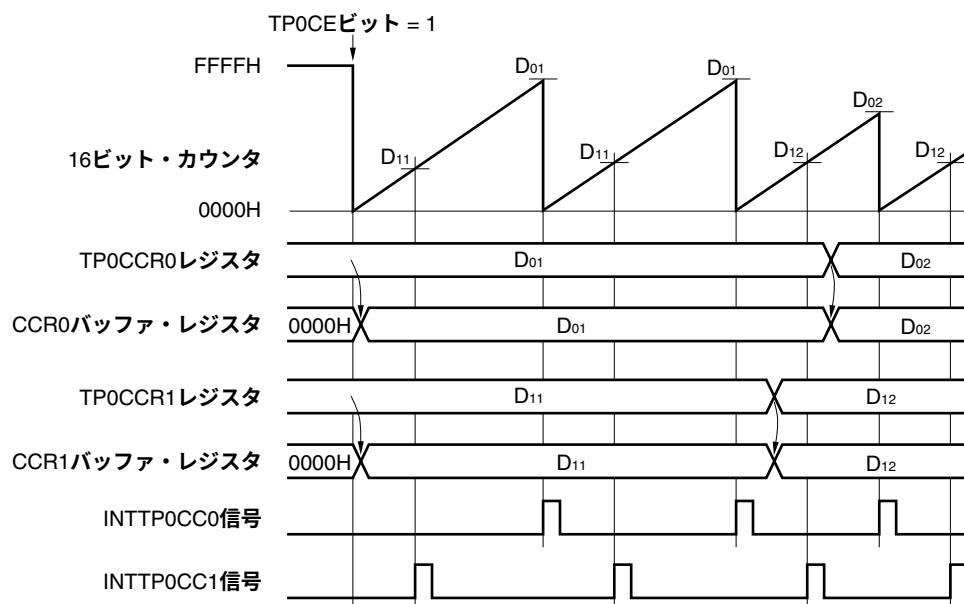


図7-3 随時書き込みのタイミング



備考1. D₀₁, D₀₂ : TP0CCR0レジスタの設定値

D₁₁, D₁₂ : TP0CCR1レジスタの設定値

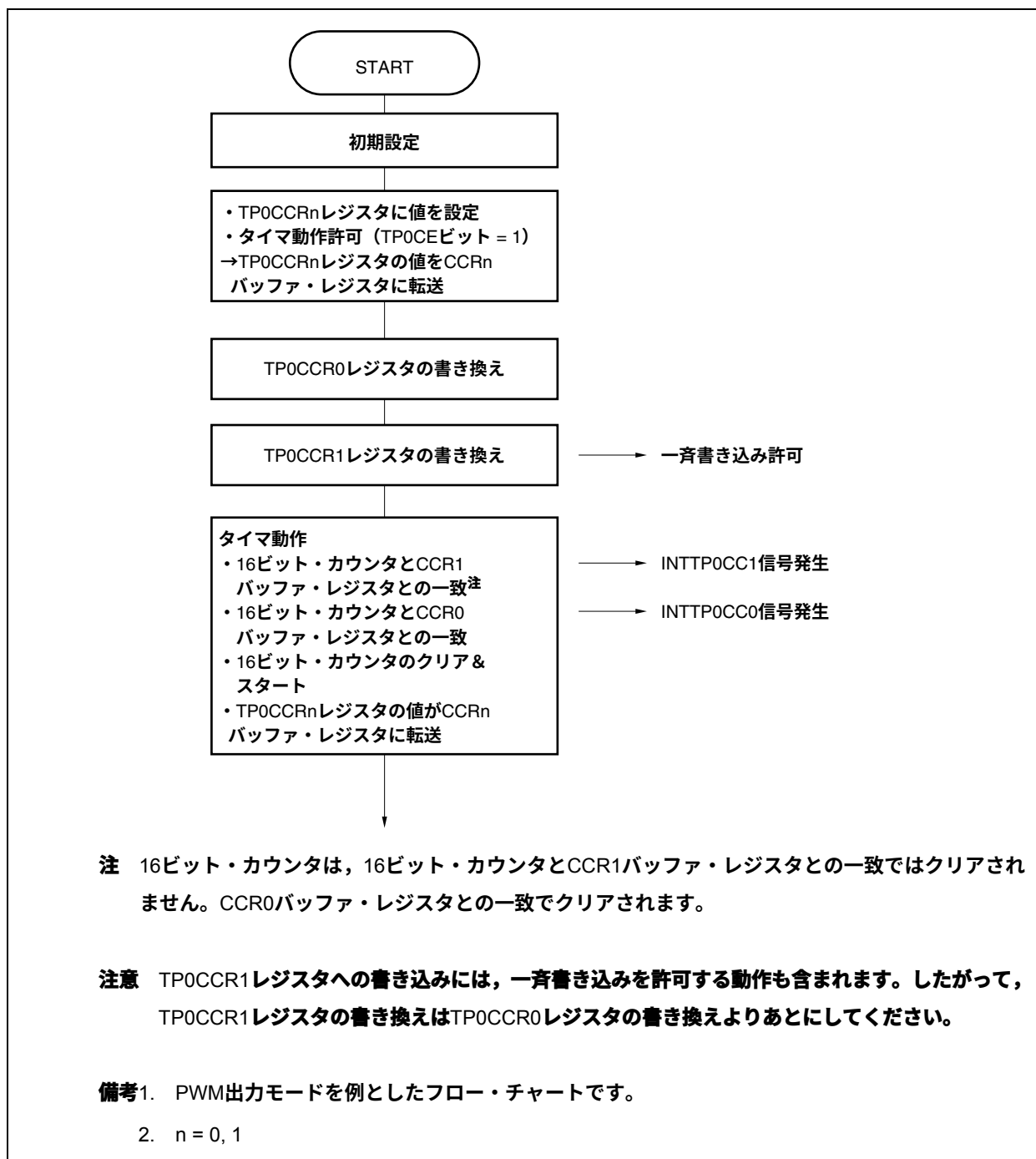
2. インターバル・タイマ・モードを例としたタイミング・チャートです。

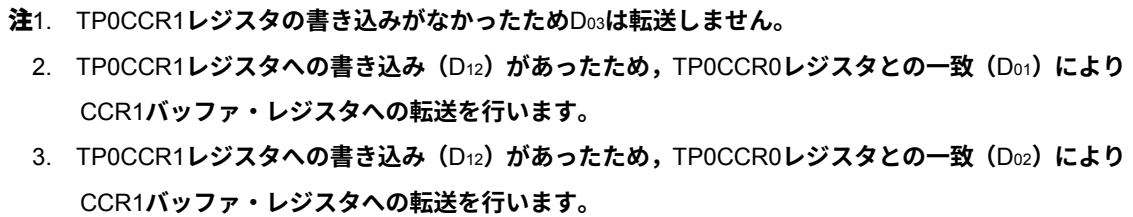
(b) 一斉書き込み

このモードは、タイマ動作中にTP0CCR0, TP0CCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTP0CCR1レジスタへの書き込みとなります。TP0CCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TP0CCR0, TP0CCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする(CCR0, CCR1バッファ・レジスタに転送される)には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTP0CCR0レジスタを書き換え、次にTP0CCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TP0CCR0, TP0CCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TP0CCR0レジスタの値だけ書き換えたい場合でも、TP0CCR1レジスタに同値（すでに設定したTP0CCR1レジスタと同じ値）を書き込んでください。

図7-4 一斉書き込みの基本動作フロー・チャート





D11, D12 : TP0CCR1レジスタの設定値

7.4.1 インターバル・タイマ・モード (TP0MD2-TP0MD0ビット = 000)

インターバル・タイマ・モードは、TP0CTL0.TP0CEビットをセット (1) することで、任意のインターバル間隔にて割り込み要求信号 (INTTP0CC0) を発生します。また、TP0CEビットをセット (1) することで動作を開始し、TOP00端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TP0CCR1レジスタを使用しません。割り込みマスク・フラグ (TP0CCMK1) でマスク設定してください。

- 備考1. TOP00端子の設定については表7-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。
2. INTTP0CC0信号の割り込み許可については、第21章 割り込み／例外処理機能を参照してください。

図7-6 インターバル・タイマの構成図

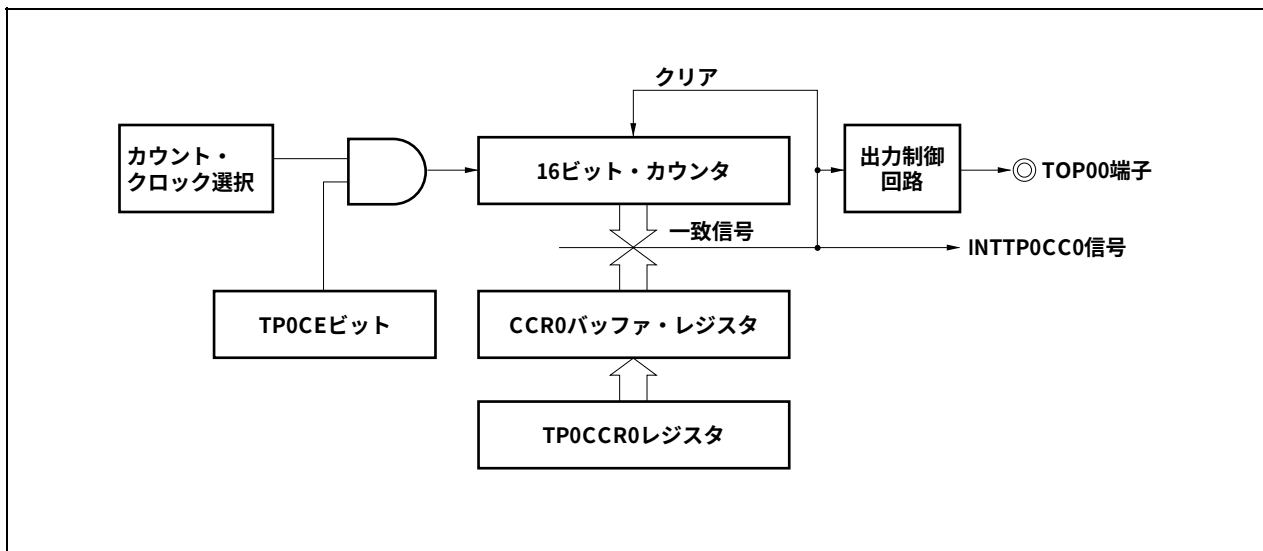
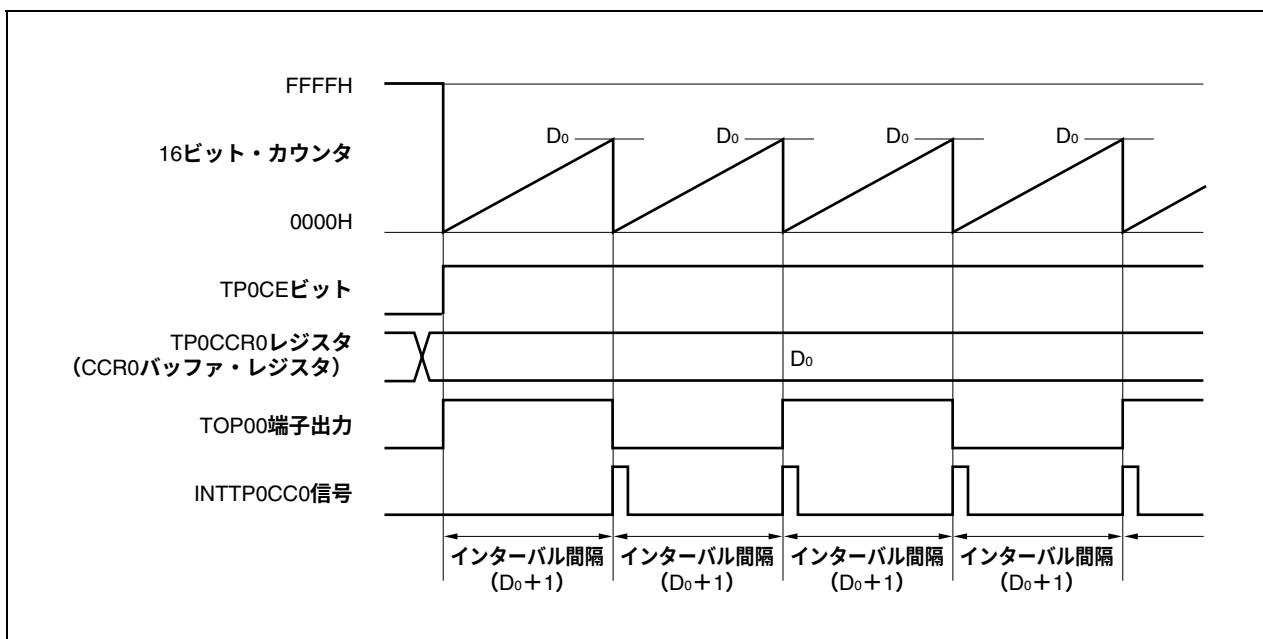


図7-7 インターバル・タイマ・モード動作の基本タイミング



TP0CEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOP00端子出力を反転します。また、TP0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOP00端子出力を反転させて、コンペアー一致割り込み要求信号 (INTTP0CC0) を発生します。

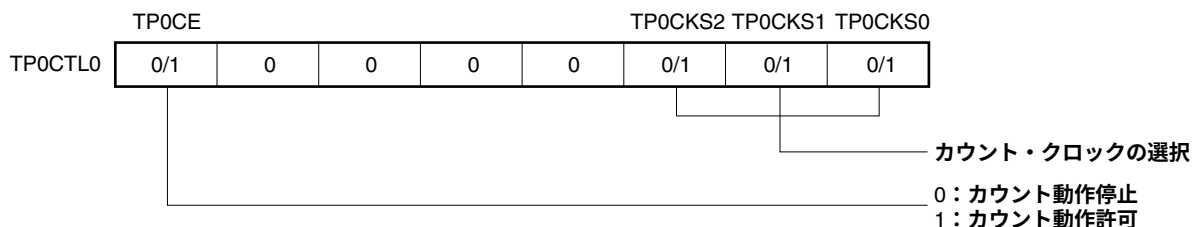
インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TP0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

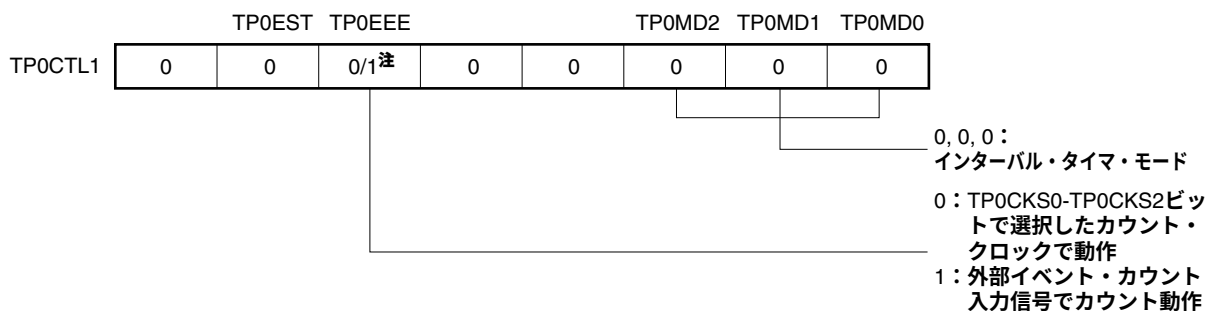
次にインターバル・タイマ・モード動作時のレジスタ設定例を示します。

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

(a) TMP0制御レジスタ0 (TP0CTL0)



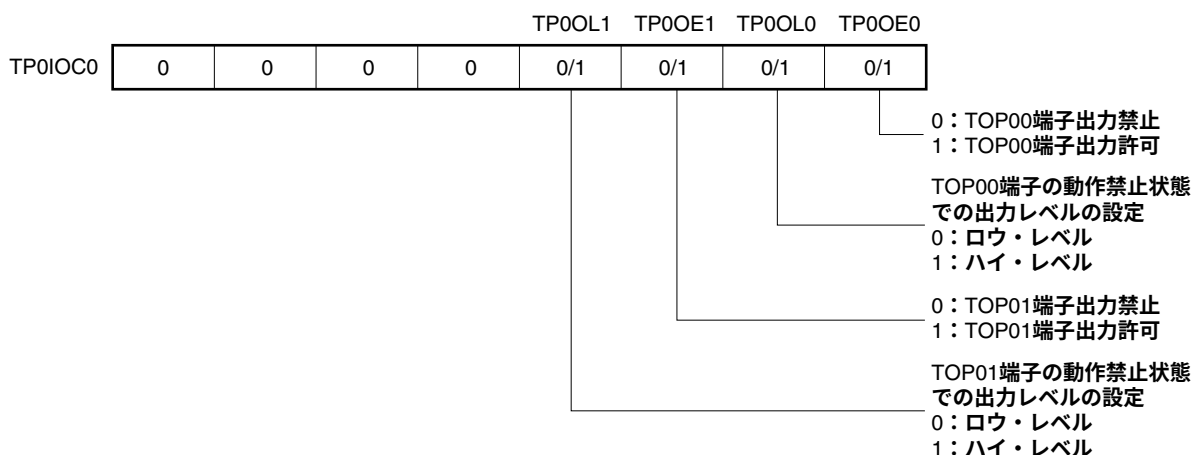
(b) TMP0制御レジスタ1 (TP0CTL1)



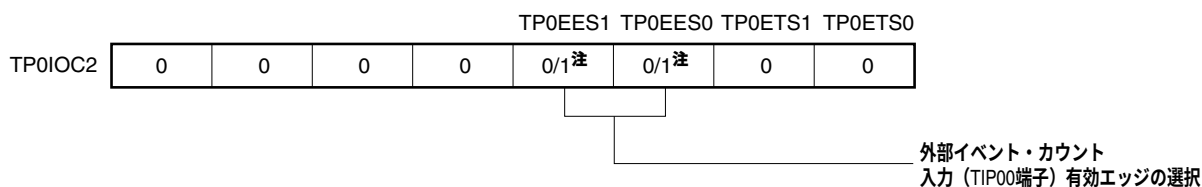
注 タイマ出力 (TOP01) を使用する場合だけ、TP0EEEビット = 1にすることを許可します。ただし、TP0CCR0, TP0CCR1レジスタの設定値は、同値にしてください(7. 4. 1 (2) (d) TP0CCR1レジスタの動作参照)。

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMP0I/O制御レジスタ0 (TP0IOC0)



(d) TMP0I/O制御レジスタ2 (TP0IOC2)



注 タイマ出力 (TOP01) を使用する場合だけ、TP0EES1, TP0EES0ビットを設定することを許可します。ただし、TP0CCR0, TP0CCR1レジスタは同値に設定してください。

(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TMP0キャプチャ／コンペア・レジスタ0 (TP0CCR0)

TP0CCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

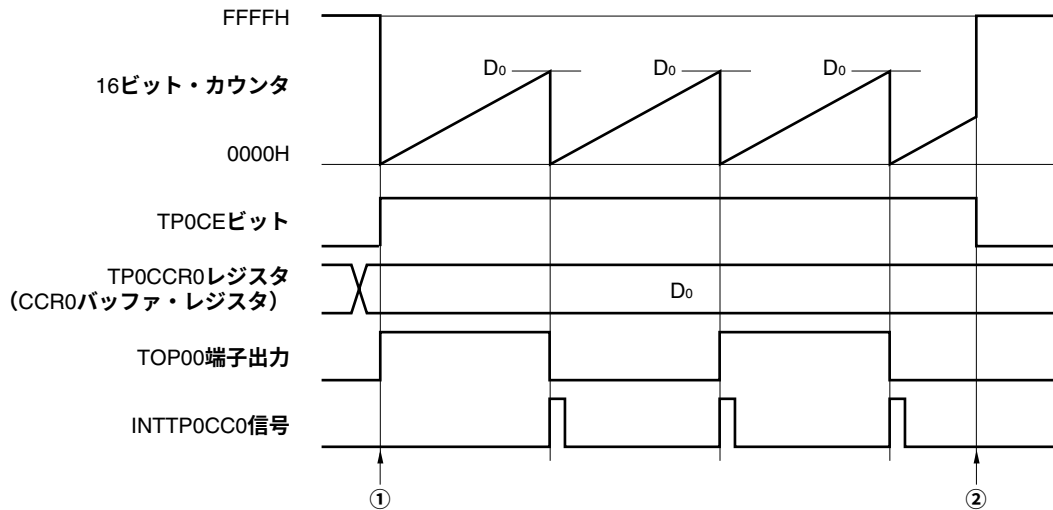
(g) TMP0キャプチャ／コンペア・レジスタ1 (TP0CCR1)

インターバル・タイマ・モードでは、通常、TP0CCR1レジスタを使用しません。しかし、TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTP0CC1) が発生します。したがって、割り込みマスク・フラグ (TP0CCMK1) でマスク設定しておいてください。

備考 TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

図7-9 インターバル・タイマ・モード動作タイミングと処理フロー



① カウント動作開始フロー



TP0CEビット = 1にする前に、
これらのレジスタを初期設定。

カウント動作開始 (TP0CEビット = 1)
同時に、TP0CKS0-TP0CKS2ビットの設定は可能。

② カウント動作停止フロー



カウント動作禁止 (TP0CEビット = 0) にすることで、
カウンタを初期化しカウント動作を停止。

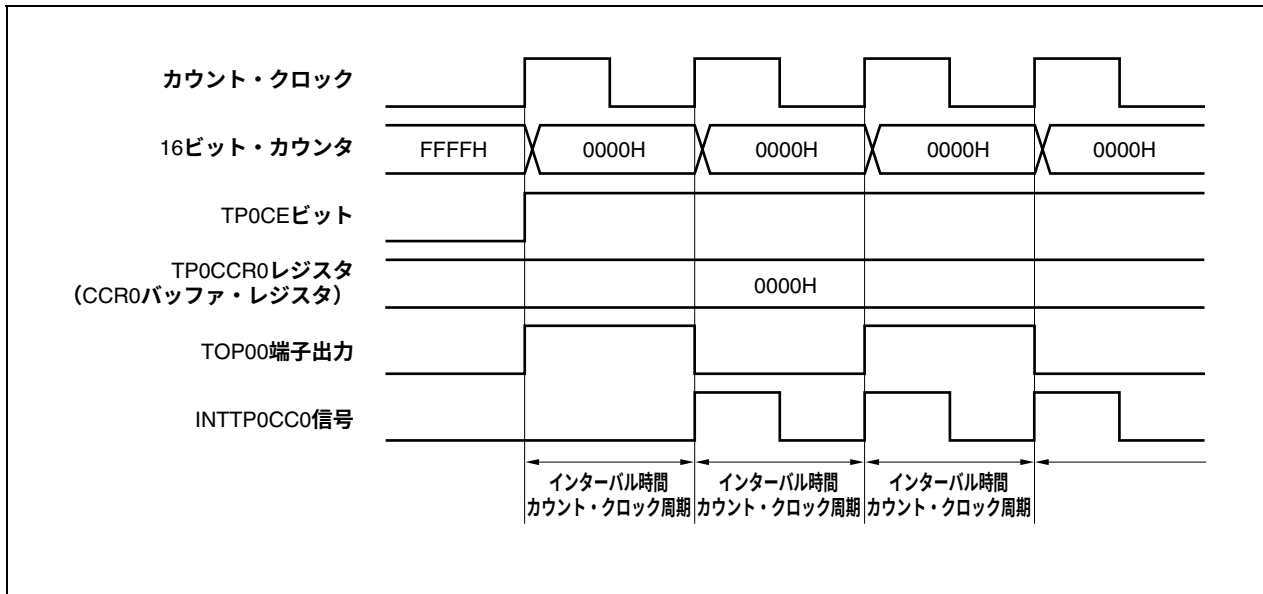
(2) インターバル・タイマ・モードの応用

(a) TP0CCR0レジスタに0000Hを設定した場合の動作

TP0CCR0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTP0CC0信号を発生し、TOP00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。

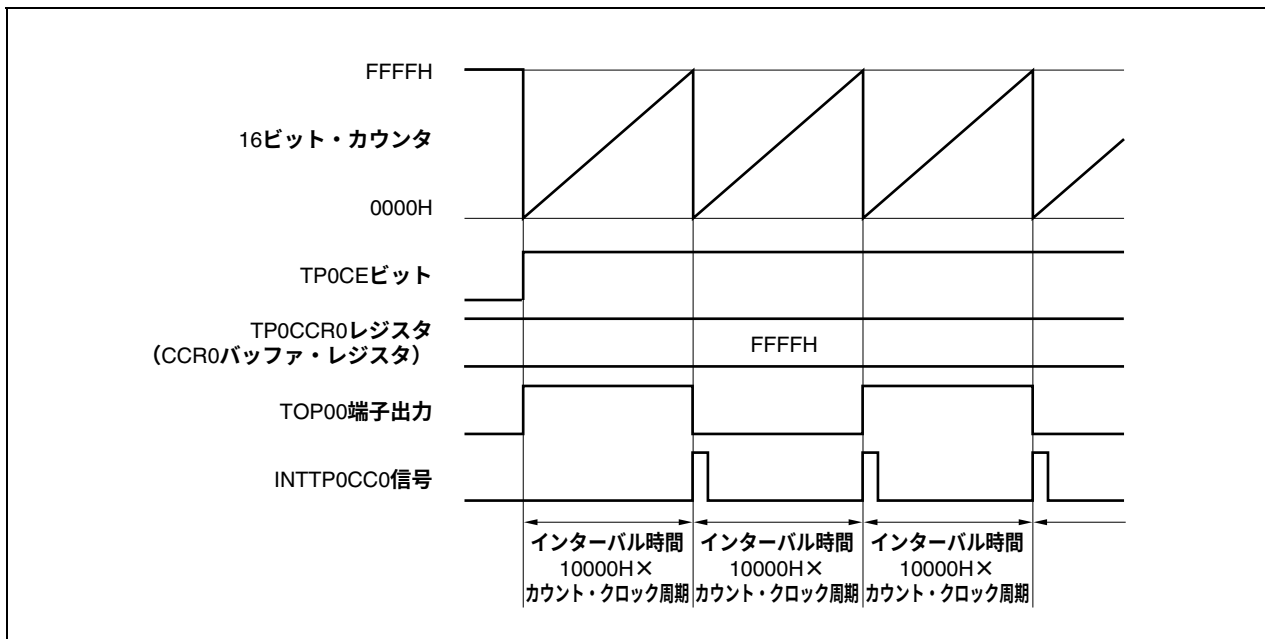
図7-10 TP0CCR0レジスタに0000Hを設定した場合の動作



(b) TP0CCR0レジスタにFFFFHを設定した場合の動作

TP0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTP0CC0信号を発生し、TOP00端子の出力を反転します。このとき、オーバーフロー割り込み要求信号 (INTTP0OV) は発生せず、オーバーフロー・フラグ (TP0OPT0.TP0OVFビット) もセット (1) されません。

図7-11 TP0CCR0レジスタにFFFFHを設定した場合の動作

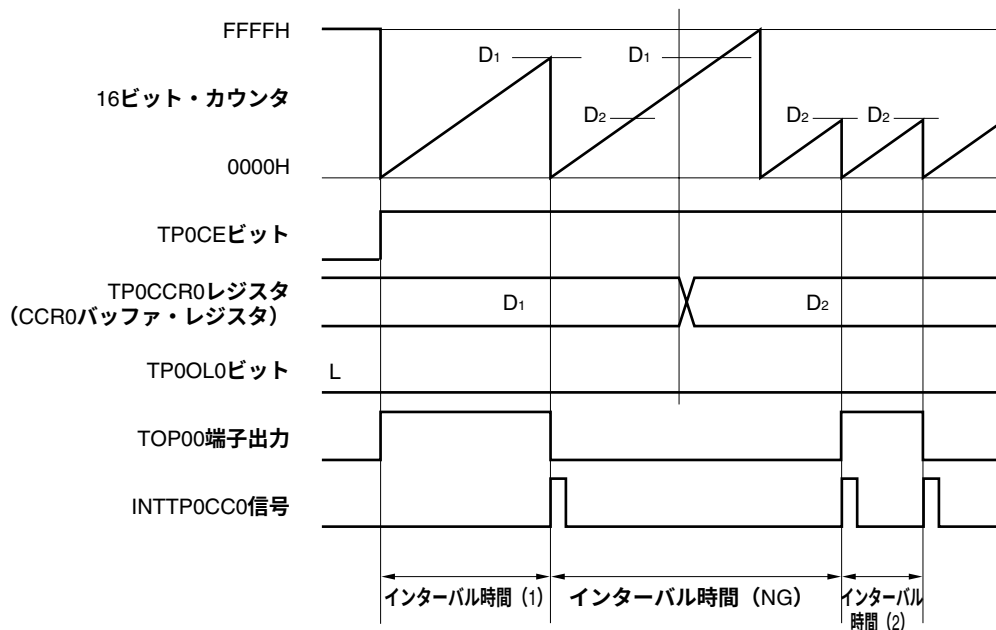


(c) TP0CCR0レジスタの書き換えに関する注意事項

TP0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTP0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。

図7-12 TP0CCR0レジスタの書き換えに関する注意事項



備考 インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$

カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TP0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

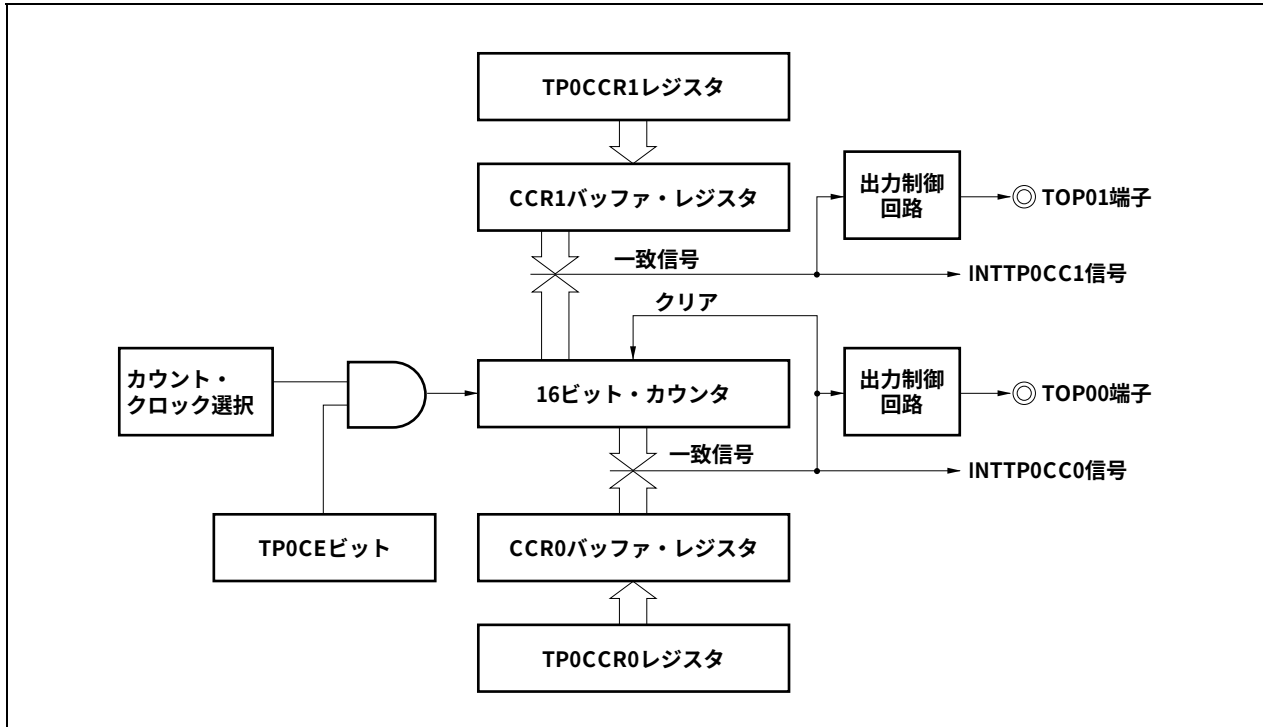
しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTP0CC0信号を発生しTOP00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTP0CC0信号は発生せず、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTP0CC0信号が発生する場合があります。

(d) TP0CCR1レジスタの動作

次にインターバル・タイマ・モード動作時のTP0CCR1レジスタの構成について示します。

図7-13 TP0CCR1レジスタの構成図

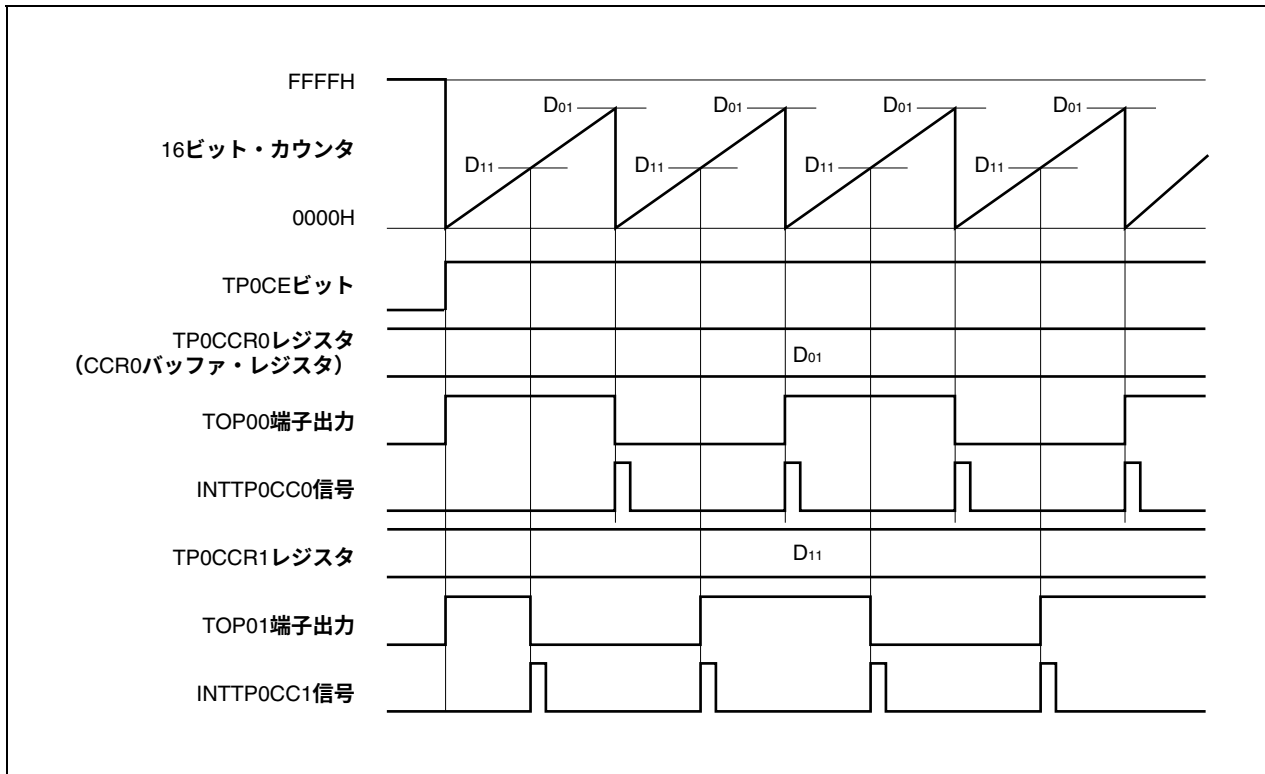


TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTP0CC1信号が発生します。また、同じタイミングでTOP01端子出力は反転します。

TOP01端子出力は、TOP00端子出力と同じ周期で位相がずれた方形波を出力します。

TP0CCR1レジスタの設定値 (D_{11}) が、TP0CCR0レジスタの設定値 (D_{01}) より小さい場合のタイミング図を次に示します。

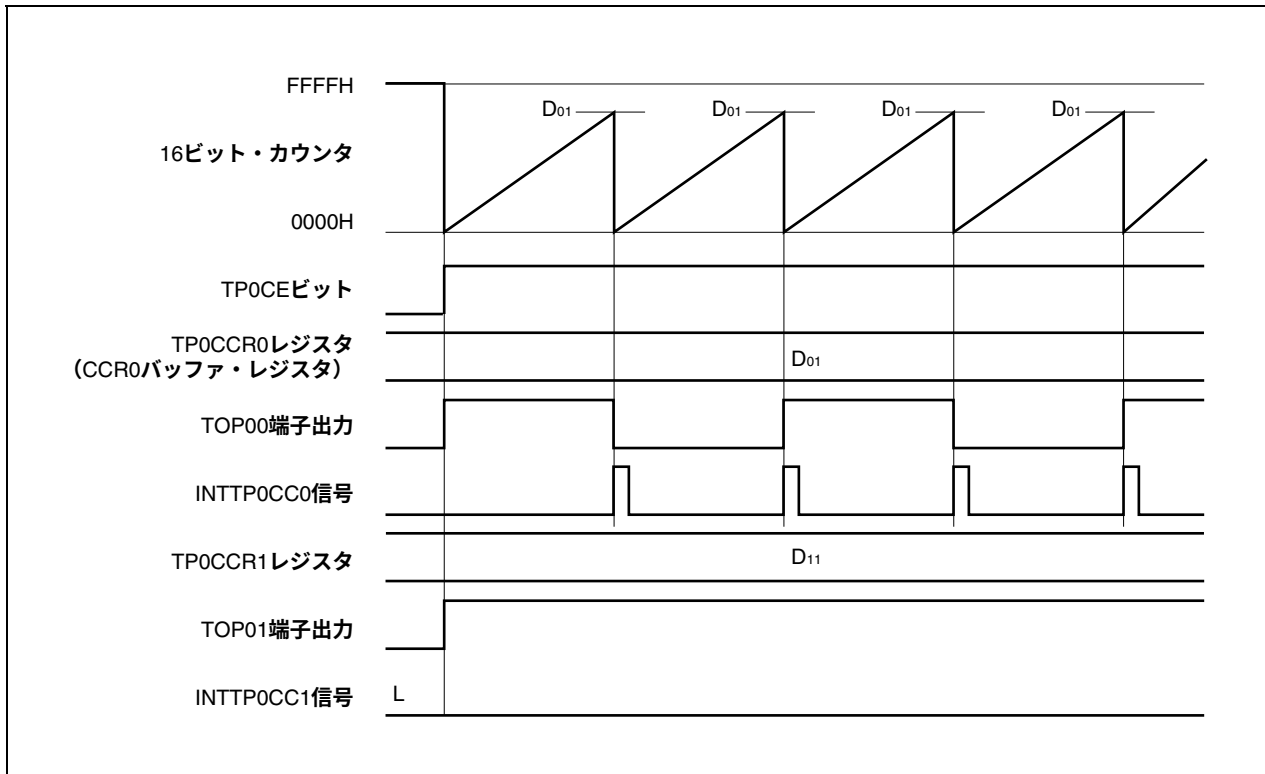
図7-14 $D_{01} \geq D_{11}$ の場合のタイミング図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値が一致しないので、INTTP0CC1信号は発生しません。また、TOP01端子出力も変化しません。

TP0CCR1レジスタの設定値 (D_{11}) が、TP0CCR0レジスタの設定値 (D_{01}) より大きい場合のタイミング図を次に示します。

図7-15 $D_{01} < D_{11}$ の場合のタイミング図



★ (3) 外部イベント・カウント入力 (TIP00) による動作

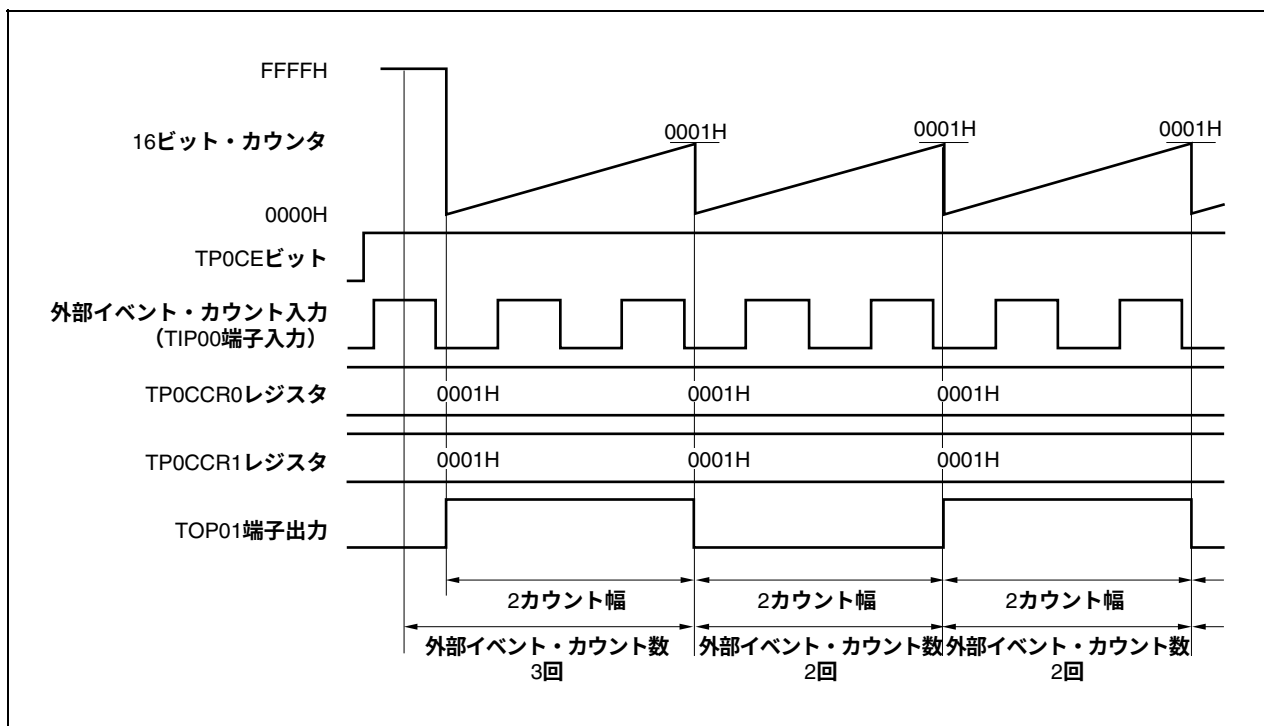
(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIP00) の有効エッジで16ビット・カウンタをカウントする場合, TP0CEビットを0から1に設定した直後に, 16ビット・カウンタをFFFFHから0000Hにクリアするために, 1回の外部イベント・カウント入力の有効エッジが必要です。

TP0CCR0, TP0CCR1レジスタに0001Hを設定 (同値設定) すると, 16ビット・カウンタの2カウントごとにTOP01端子の出力を反転します。

外部イベント・カウント入力でタイマ出力 (TOP01) を使用する場合だけ, インターバル・タイマ・モード時にTP0CTL1.TP0EEEビット = 1の設定が可能です。

図7-16 外部イベント・カウント入力 (TIP00) による動作



7.4.2 外部イベント・カウント・モード (TP0MD2-TP0MD0ビット = 001)

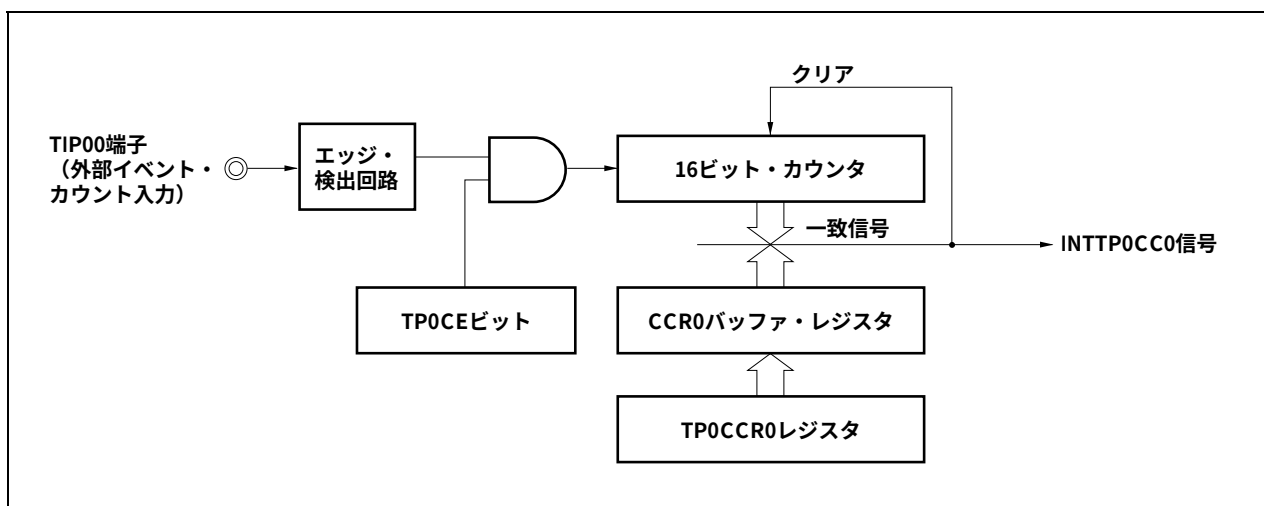
外部イベント・カウント・モードは、TP0CTL0.TP0CEビットをセット (1) することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすると割り込み要求信号 (INTTP0CC0) を発生します。タイマ出力 (TOP00, TOP01端子) は使用できません。外部イベント・カウント・モードでTOP01端子を使用したい場合は、インターバル・タイマ・モード時にTP0CTL1.TP0EEEビット = 1に設定してください (7.4.1 (3) 外部イベント・カウント入力 (TIP00) による動作参照)。

外部イベント・カウント・モードでは、通常、TP0CCR1レジスタは使用しません。

備考1. TIP00端子の設定については表7-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTP0CC0信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図7-17 外部イベント・カウント・モードの構成図

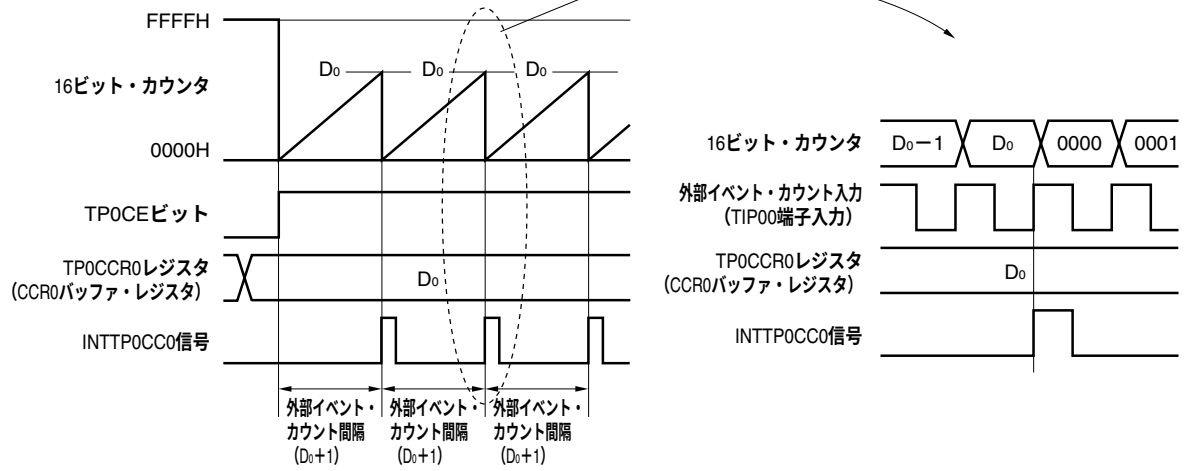


TP0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TP0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号 (INTTP0CC0) を発生します。

INTTP0CC0信号は、外部イベント・カウント入力の有効エッジを (TP0CCR0レジスタに設定した値+1) 回検出するごとに発生します。

図7-18 外部イベント・カウント・モードの基本タイミング

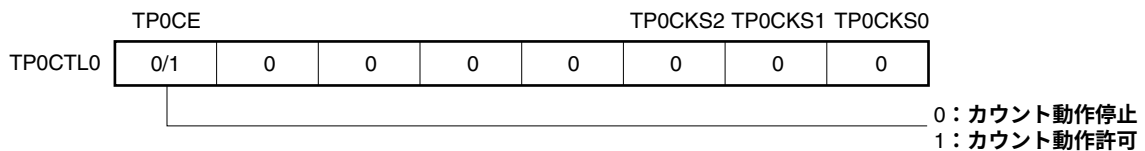


備考 外部イベント・カウント入力の有効エッジを，立ち上がりエッジに指定した場合

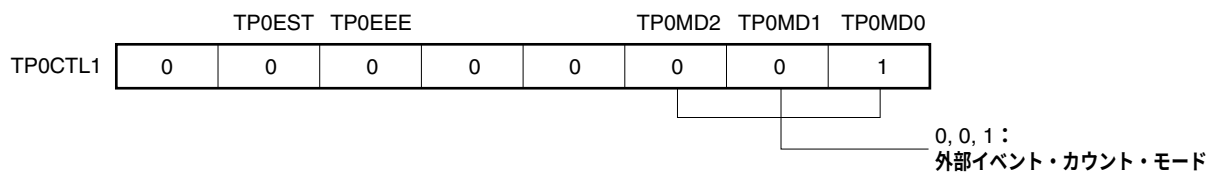
次に外部イベント・カウント・カウント・モード動作時のレジスタ設定例を示します。

図7-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

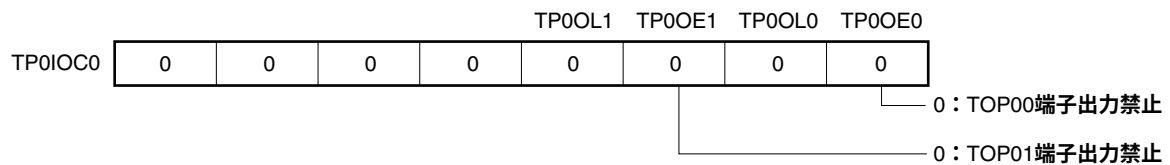
(a) TMP0制御レジスタ0 (TP0CTL0)



(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ0 (TP0IOC0)



(d) TMP0I/O制御レジスタ2 (TP0IOC2)

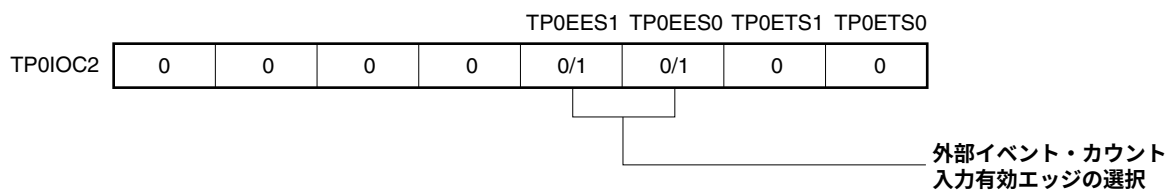


図7-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TMP0キャプチャ/コンペア・レジスタ0 (TP0CCR0)

TP0CCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTP0CC0) を発生します。

(g) TMP0キャプチャ/コンペア・レジスタ1 (TP0CCR1)

外部イベント・カウント・モードでは、通常、TP0CCR1レジスタは使用しません。しかし、TP0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTP0CC1) が発生します。したがって、割り込みマスク・フラグ (TP0CCMK1) でマスク設定しておいてください。

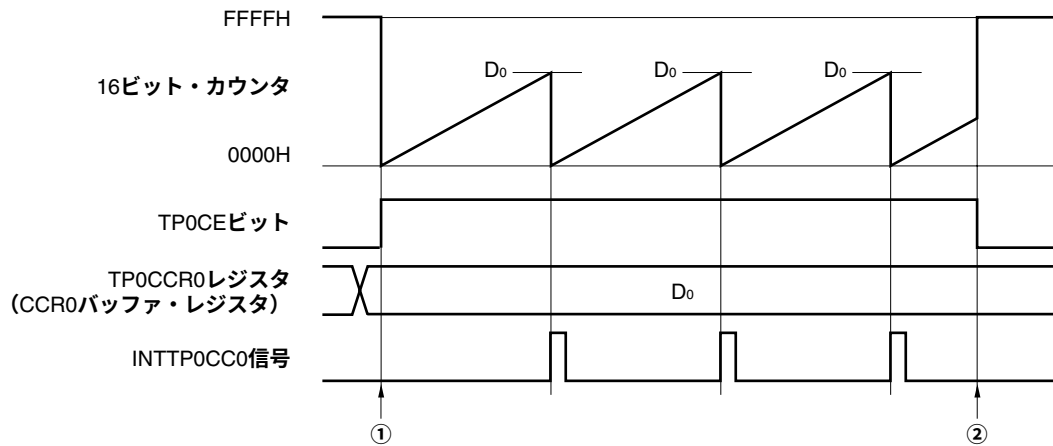
注意1. 外部イベント・カウント・モード時、TP0CCR0, TP0CCR1レジスタには、0000Hを設定しないでください。

2. 外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TP0CTL1.TP0MD2-TP0MD0ビット = 000, TP0CTL1.TP0EEEビット = 1) に選択してください (7. 4. 1 (3) 外部イベント・カウント入力 (TIP00) による動作参照)。

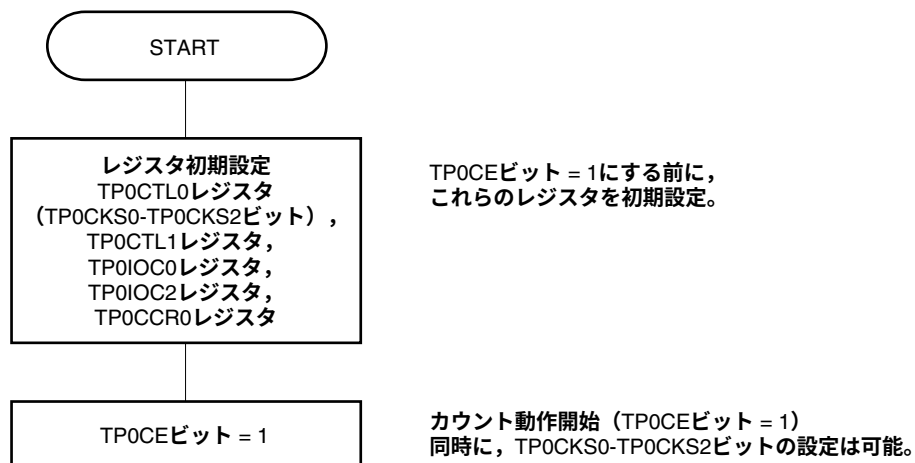
備考 TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

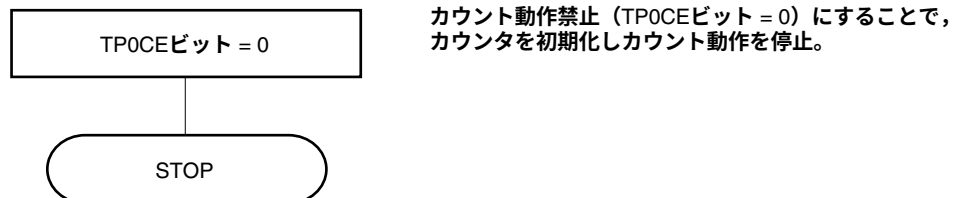
図7-20 外部イベント・カウント・モード動作タイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー

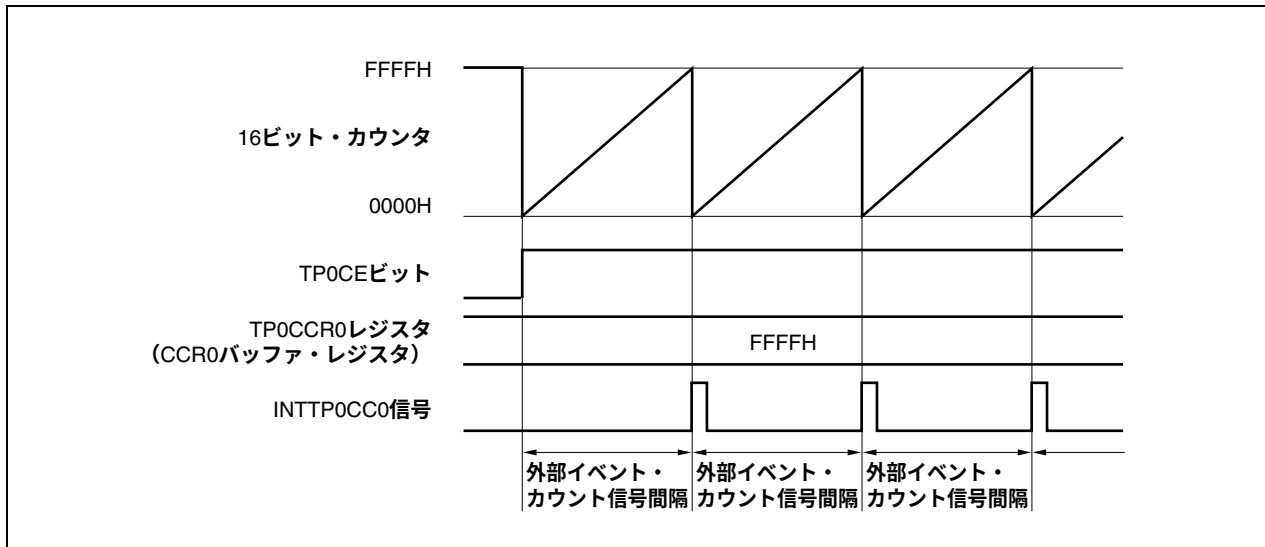


(2) 外部イベント・カウント・モードの応用

(a) TP0CCR0レジスタにFFFFHを設定した場合の動作

TP0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTP0CC0信号を発生します。このとき、TP0OPT0.TP0OVFビットはセットされません。

図7-21 TP0CCR0レジスタにFFFFHを設定した場合の動作

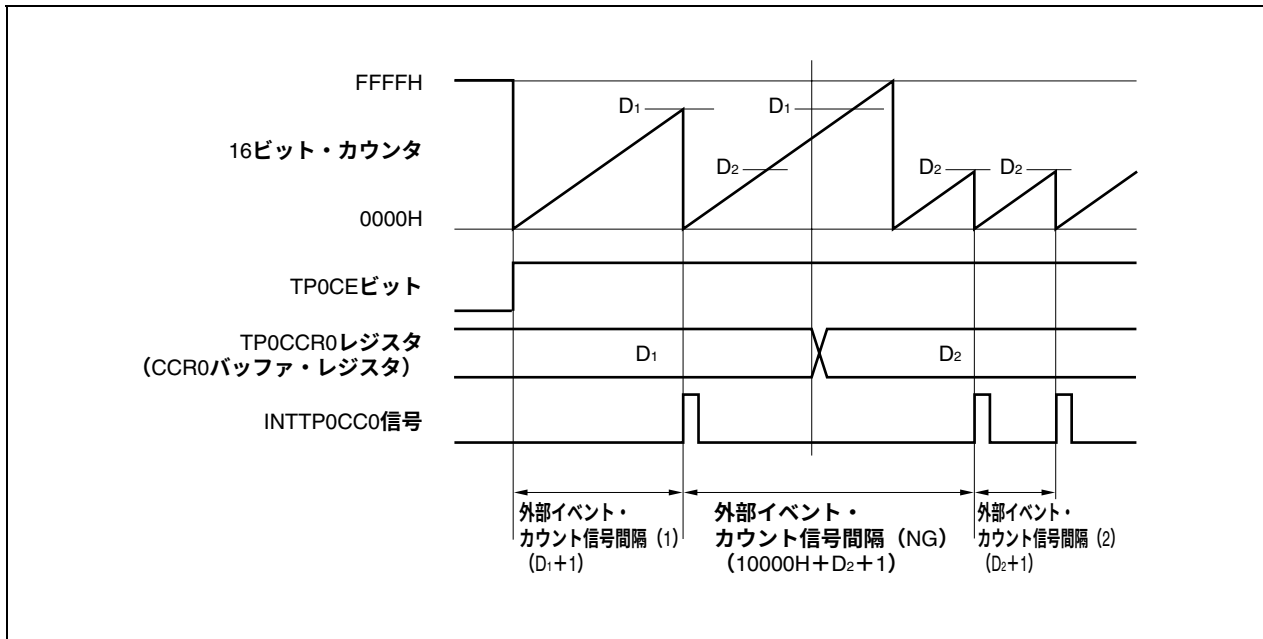


(b) TP0CCR0レジスタの書き換えに関する注意事項

TP0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTP0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。

図7-22 TP0CCR0レジスタの書き換えに関する注意事項



カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TP0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

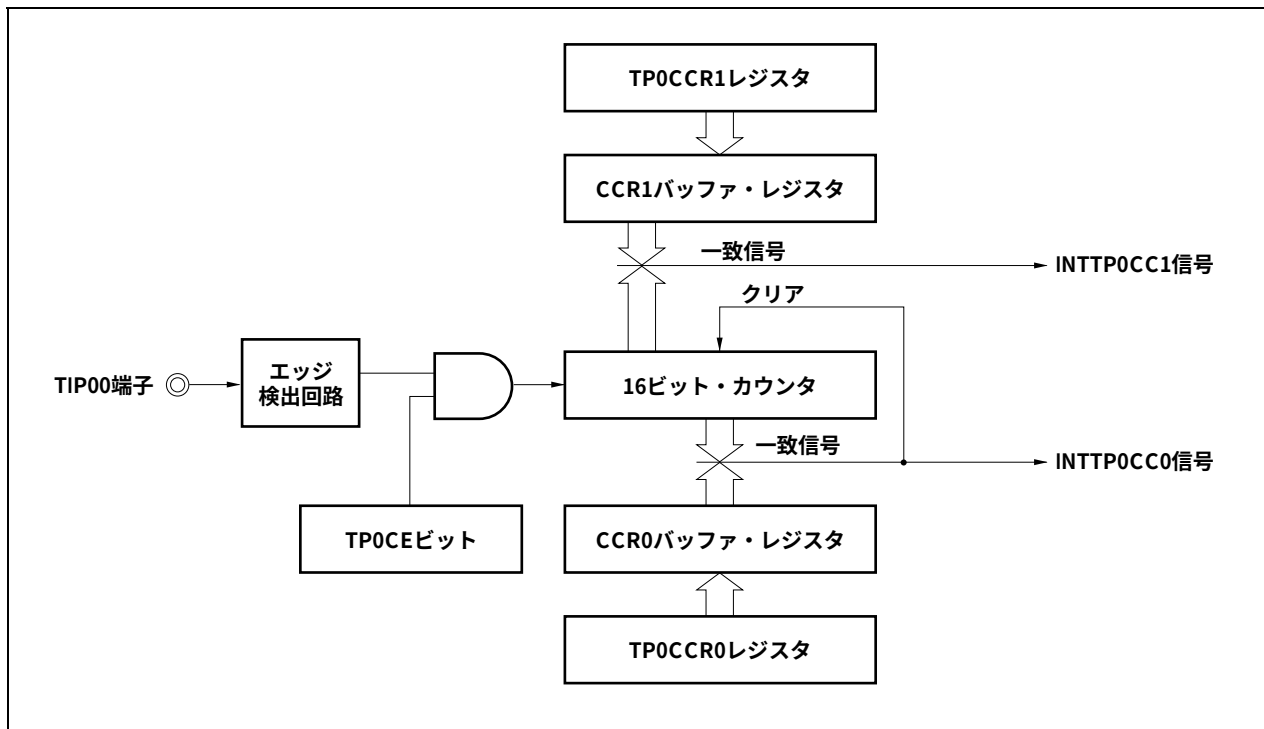
しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTP0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 (D_1+1) 回」または「 (D_2+1) 回」の有効エッジ数でINTTP0CC0信号は発生せずに、「 $(10000H+D_2+1)$ 回」の有効エッジ数でINTTP0CC0信号が発生する場合があります。

(c) TP0CCR1レジスタの動作

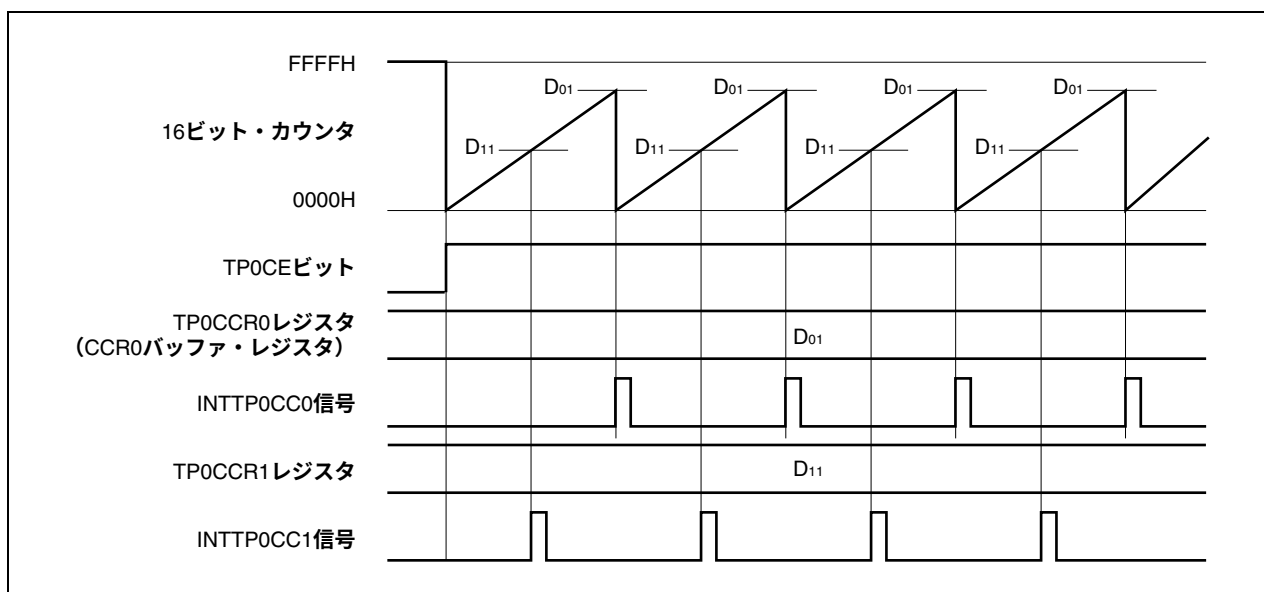
次に外部イベント・カウント・モード動作時のTP0CCR1レジスタの構成について示します。

図7-23 TP0CCR1レジスタの構成図



TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTP0CC1信号が発生します。

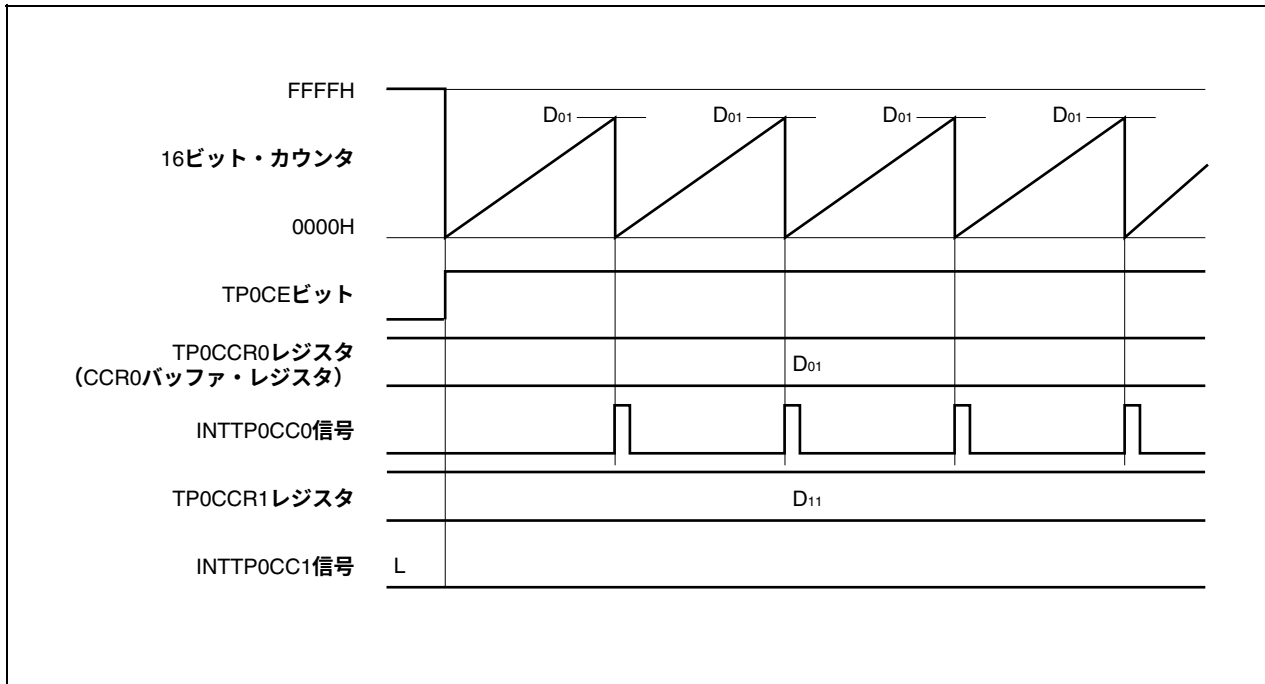
TP0CCR1レジスタの設定値 (D_{11}) が、TP0CCR0レジスタの設定値 (D_{01}) より小さい場合のタイミング図を次に示します。

図7-24 $D_{01} \geq D_{11}$ の場合のタイミング図

TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値が一致しないので、INTTP0CC1信号は発生しません。

TP0CCR1レジスタの設定値 (D_{11}) が、TP0CCR0レジスタの設定値 (D_{01}) より大きい場合のタイミング図を次に示します。

図7-25 $D_{01} < D_{11}$ の場合のタイミング図



7.4.3 外部トリガ・パルス出力モード (TP0MD2-TP0MD0ビット = 010)

外部トリガ・パルス出力モードは、TP0CTL0.TP0CEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOP01端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。外部トリガ入力を使用せず、ソフトウェア・トリガを使用する場合、TOP00端子から、PWM波形の1周期を半周期とする方波波も出力できます。

備考1. TIP00, TOP00, TOP01端子の設定については表7-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTP0CC0, INTTP0CC1信号の割り込み許可については、第21章 割り込み／例外処理機能を参照してください。

図7-26 外部トリガ・パルス出力モードの構成図

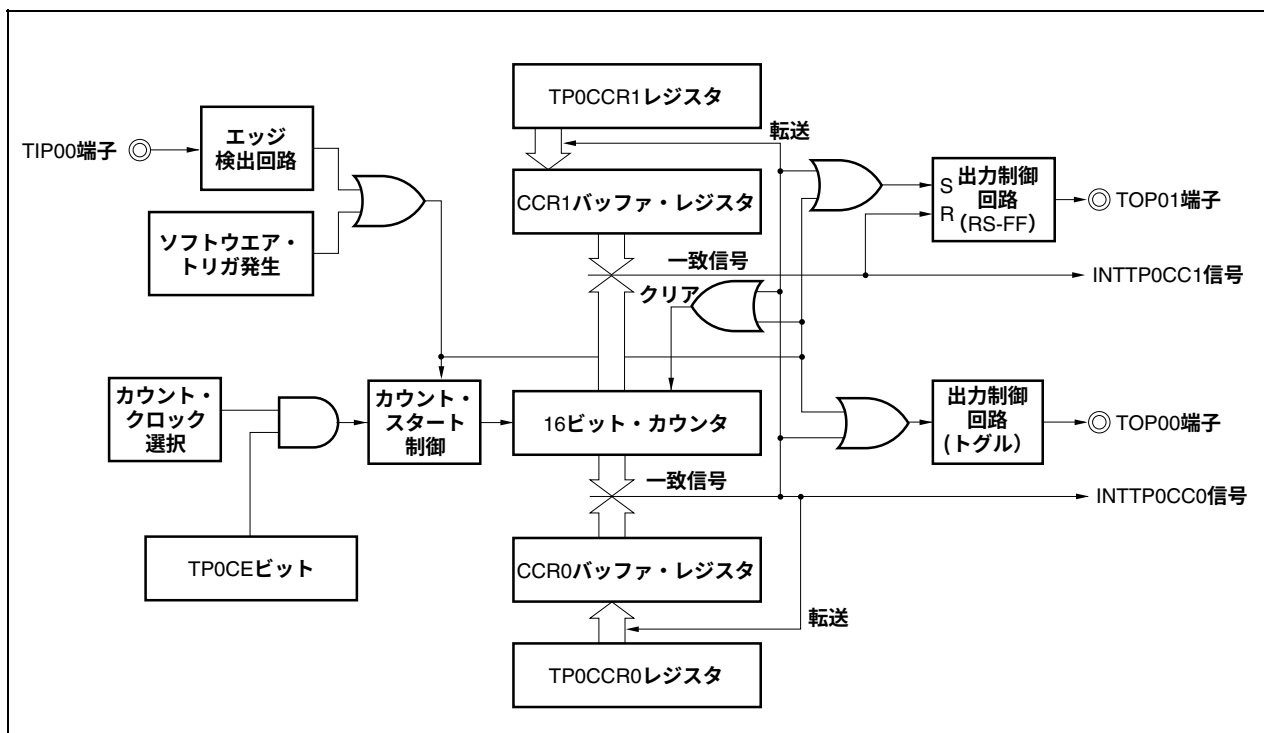
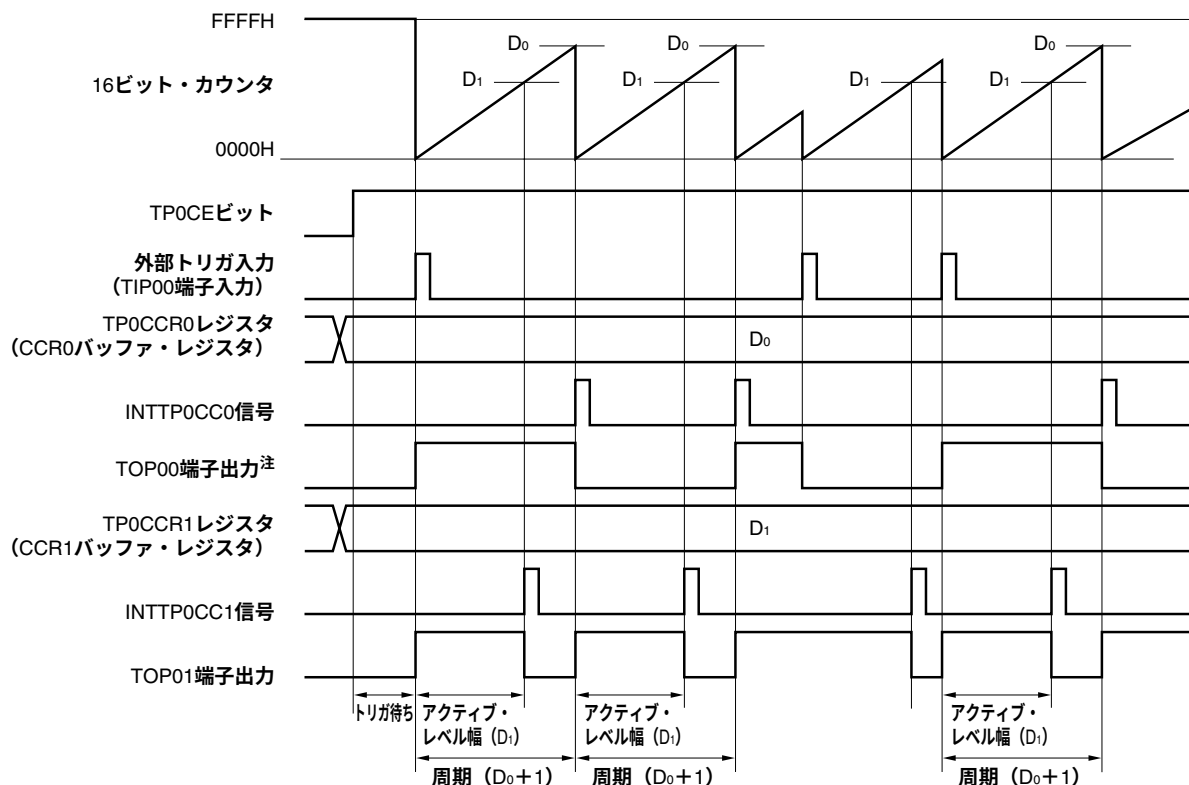


図7-27 外部トリガ・パルス出力モードの基本タイミング



注 TOP00端子出力は、TIP00端子入力と兼用されているので、外部トリガ入力ではなく、ソフトウェア・トリガを使用してください。

TP0CEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOP01端子からPWM波形を出力します。カウント動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TOP00端子出力は反転します。TOP01端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

$$\text{アクティブ・レベル幅} = (\text{TP0CCR1レジスタの設定値}) \times \text{カウント・クロック周期}$$

$$\text{周期} = (\text{TP0CCR0レジスタの設定値} + 1) \times \text{カウント・クロック周期}$$

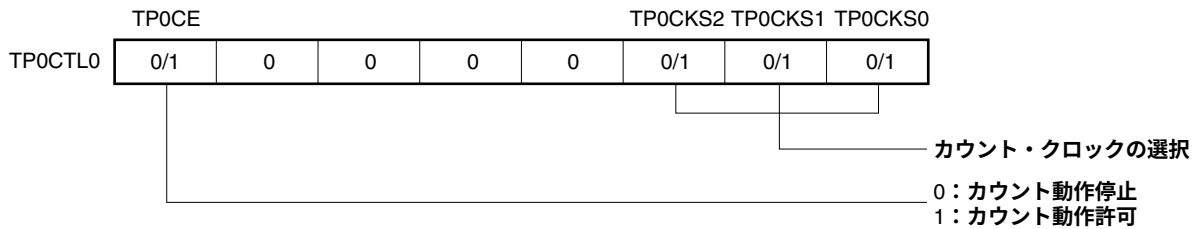
$$\text{デューティ} = (\text{TP0CCR1レジスタの設定値}) / (\text{TP0CCR0レジスタの設定値} + 1)$$

コンペアー一致割り込み要求信号 (INTTP0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTP0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TP0CTL1.TP0ESTビット) のセット (1) があります。

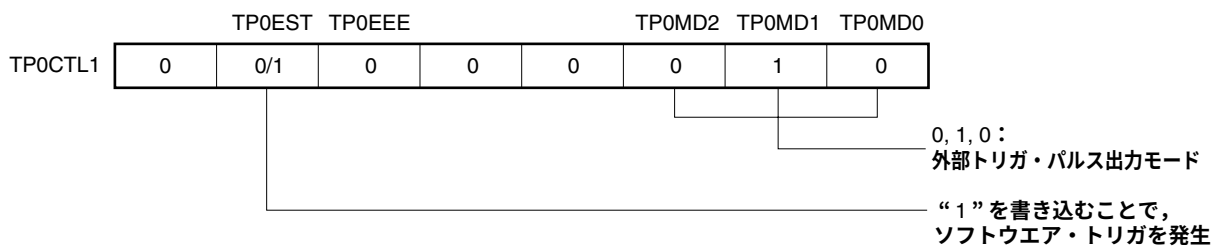
図7-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

(a) TMP0制御レジスタ0 (TP0CTL0)

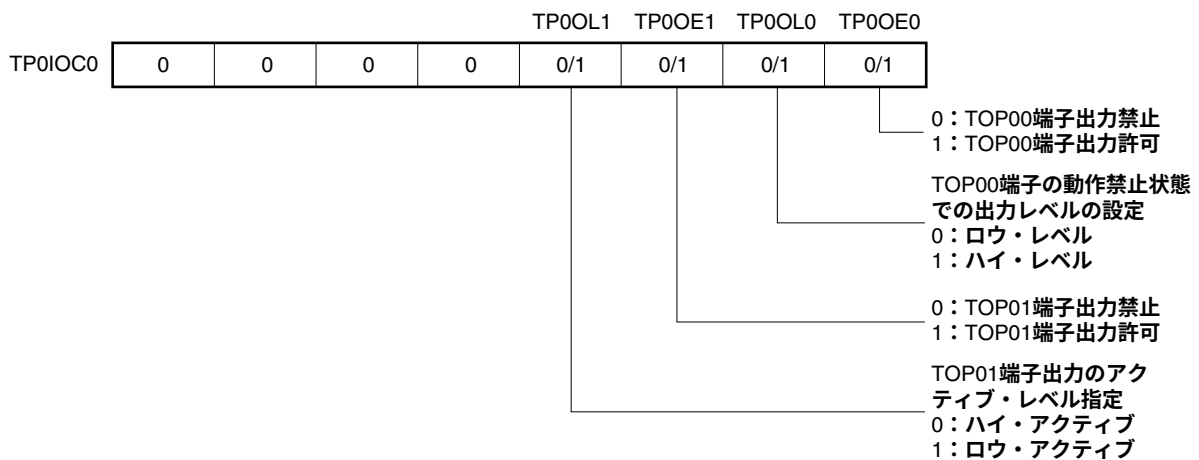


★

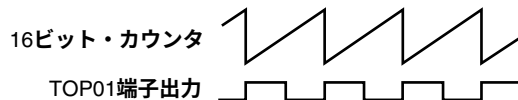
(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ0 (TP0IOC0)



・ TP0OL1ビット = 0の場合



・ TP0OL1ビット = 1の場合

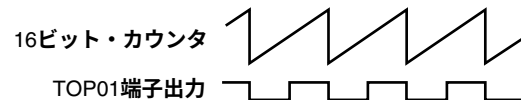


図7-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)

★

(d) TMP0I/O制御レジスタ2 (TP0IOC2)

	TP0EES1		TP0EES0		TP0ETS1		TP0ETS0	
TP0IOC2	0	0	0	0	0	0	0/1	0/1

外部トリガ入力有効エッジの選択

(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMP0キャプチャ／コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TP0CCR0レジスタにD₀を設定し、TP0CCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考 TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、外部トリガ・パルス出力モードでは使用しません。

(1) 外部トリガ・パルス出力モード動作フロー

図7-29 外部トリガ・パルス出力モード動作タイミングと処理フロー (1/2)

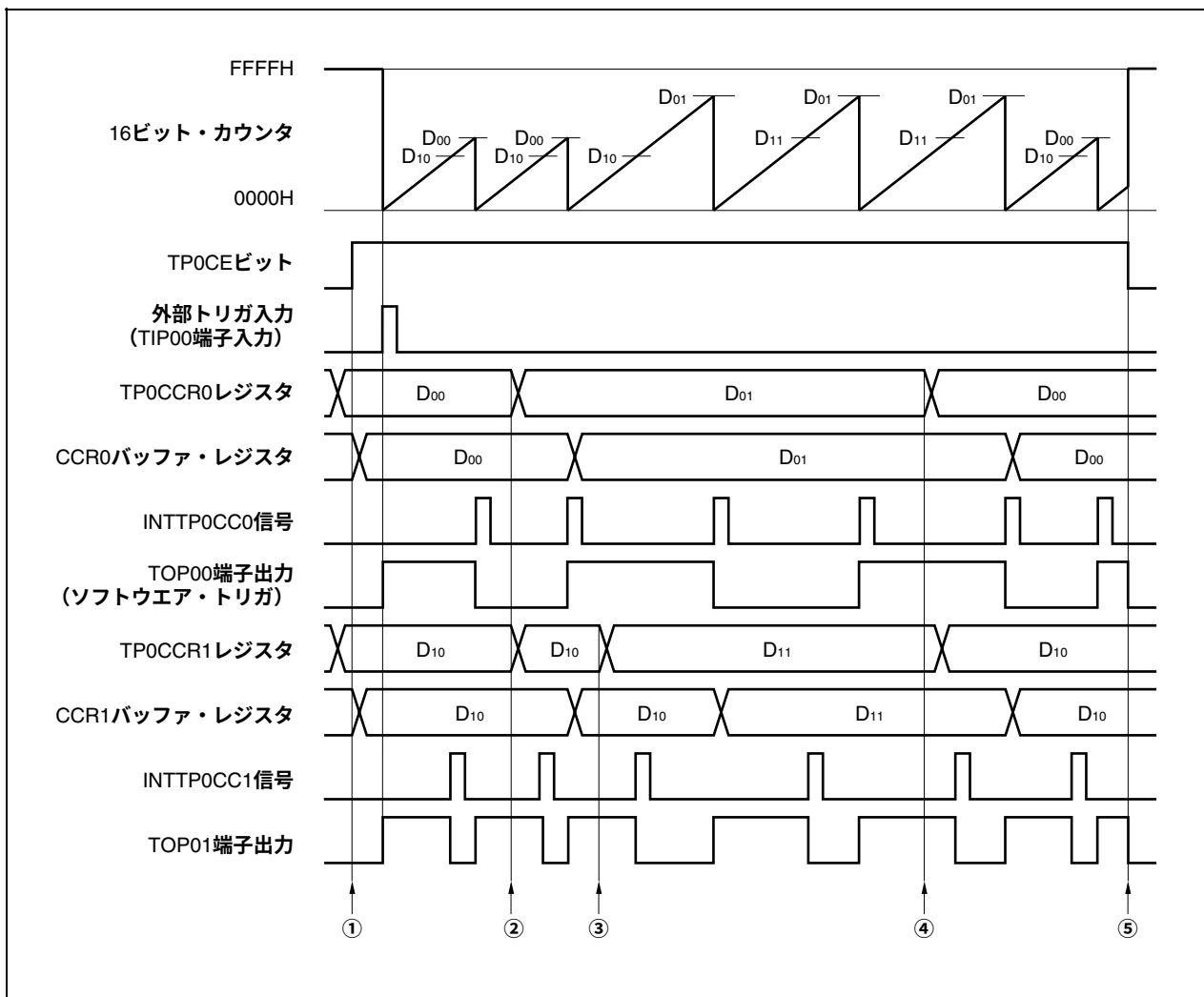
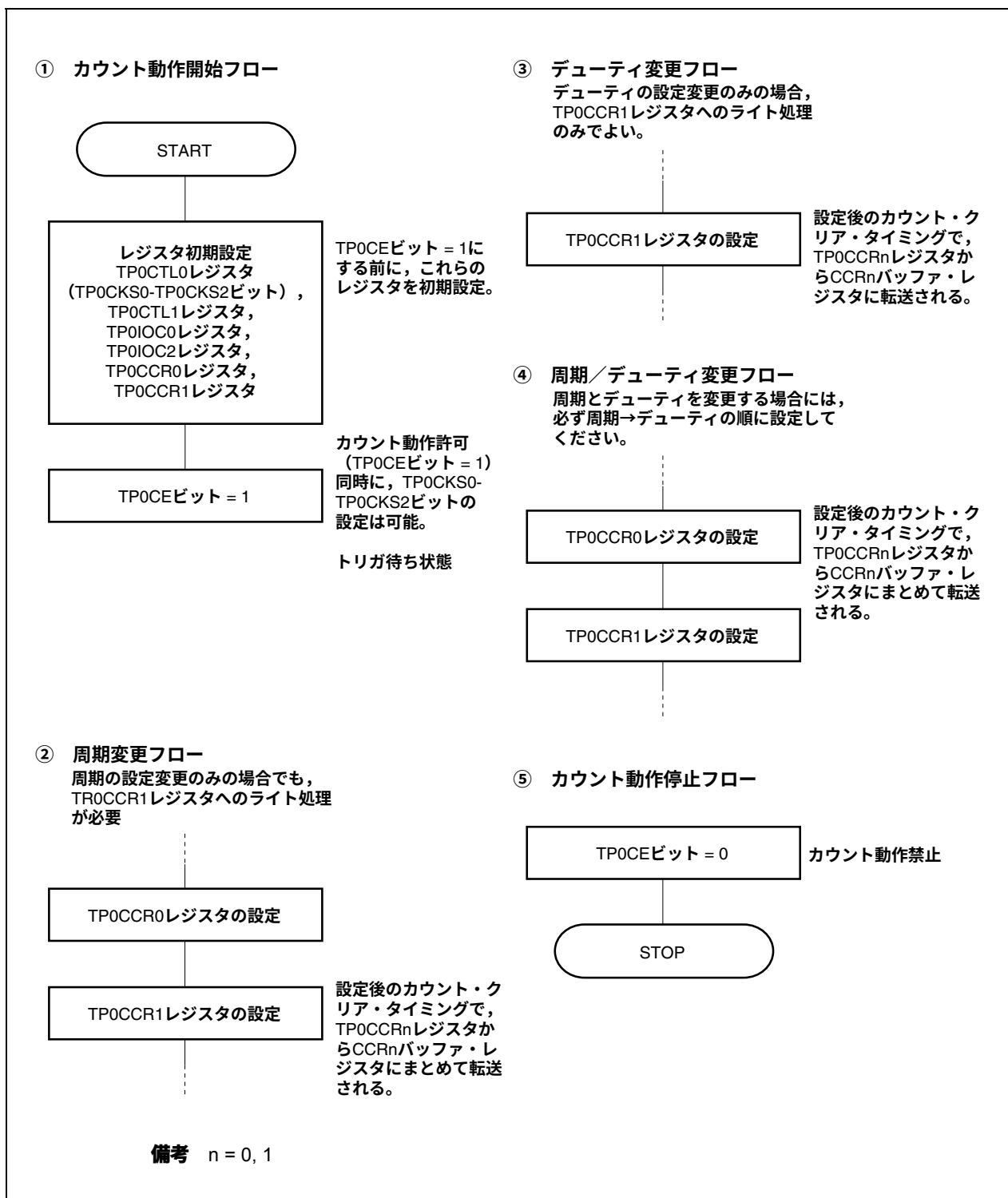


図7-29 外部トリガ・パルス出力モード動作タイミングと処理フロー (2/2)



(2) 外部トリガ・パルス出力モードの応用

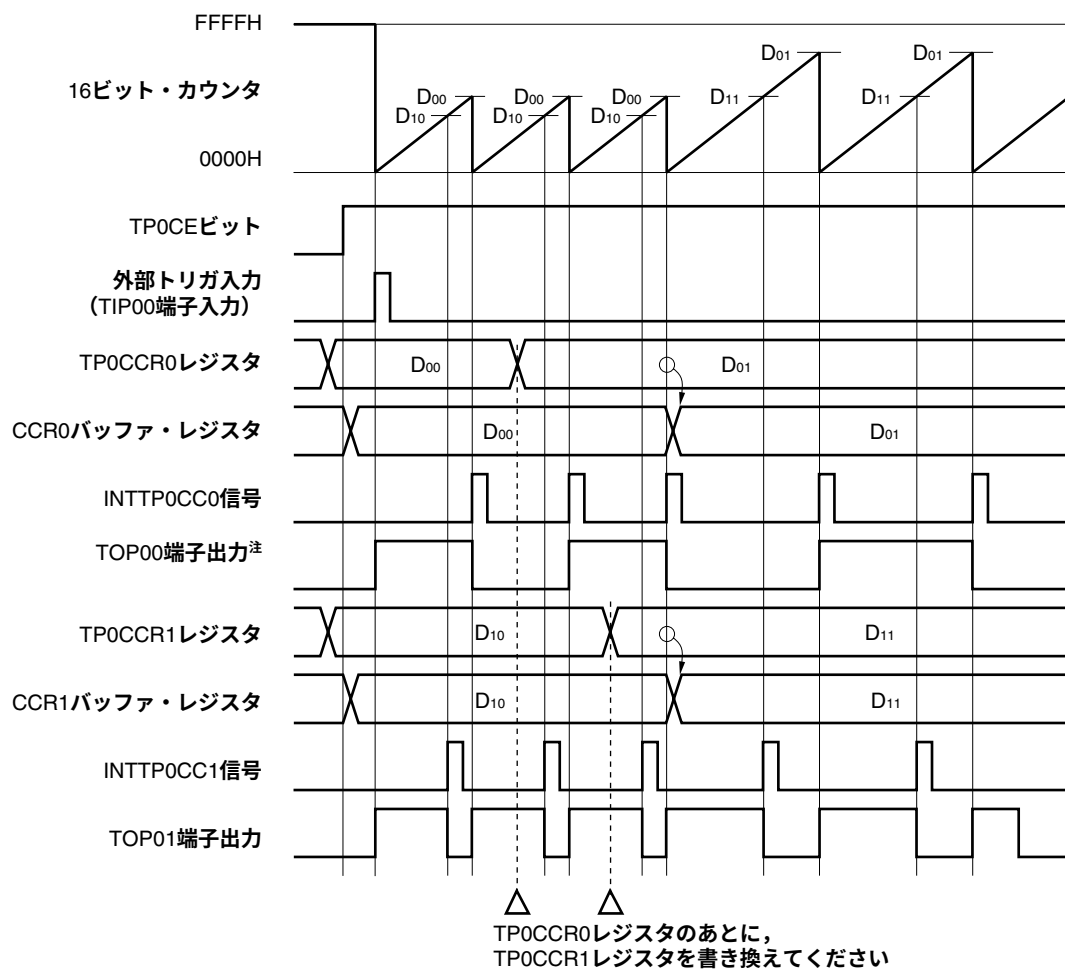
外部トリガ・パルス出力モード時のPWM波形の変更について次に示します。

(a) カウント動作中のPWM波形の変更

カウント動作中にPWM波形を変更する場合には、最後にTP0CCR1レジスタにライトしてください。

TP0CCR1レジスタにライト後、再度TP0CCRnレジスタの書き換えを行う場合には、INTTP0CC0信号を検出後に書き換えてください。

図7-30 カウント動作中のPWM波形の変更



注 TOP00端子は、TIP00端子入力と兼用されているので、外部トリガ入力でなく、ソフトウェア・トリガを使用してください。

TP0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TP0CCR1レジスタに対してライトする必要があります。

TP0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TP0CCRnレジスタに書き込まれた値がCCRnバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

- <1> PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタにアクティブ・レベル幅を設定してください。
- <2> PWM波形の周期だけを変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタに同値をライトしてください。
- <3> PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TP0CCR1レジスタのみの設定でかまいません。

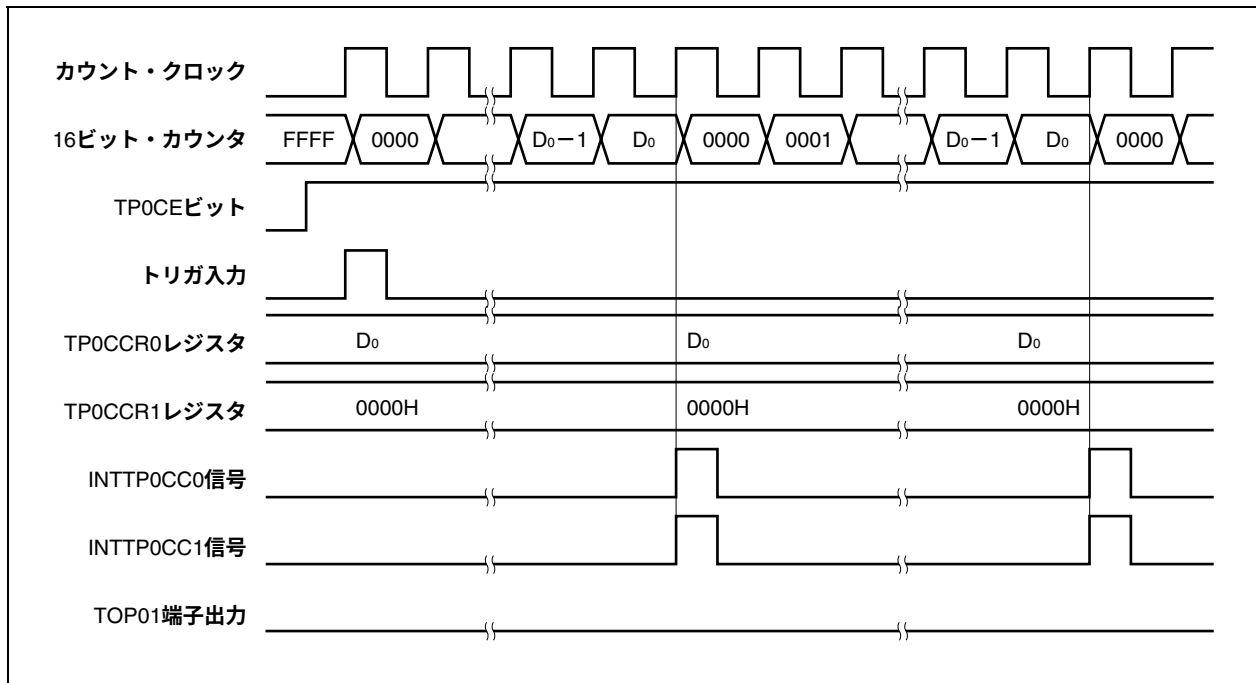
注意 一度TP0CCR1レジスタにライトしたあとで、再度TP0CCR0、またはTP0CCR1レジスタへのライトを行う場合は、INTTP0CC0信号の発生後に行ってください。これを守れない場合には、TP0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送タイミングと、TP0CCRnレジスタの書き換えの競合により、CCRnバッファ・レジスタの値が不定値になる場合があります。

備考 n = 0, 1

(b) 外部トリガ・パルス出力モードのPWM波形の0 %/100 %出力

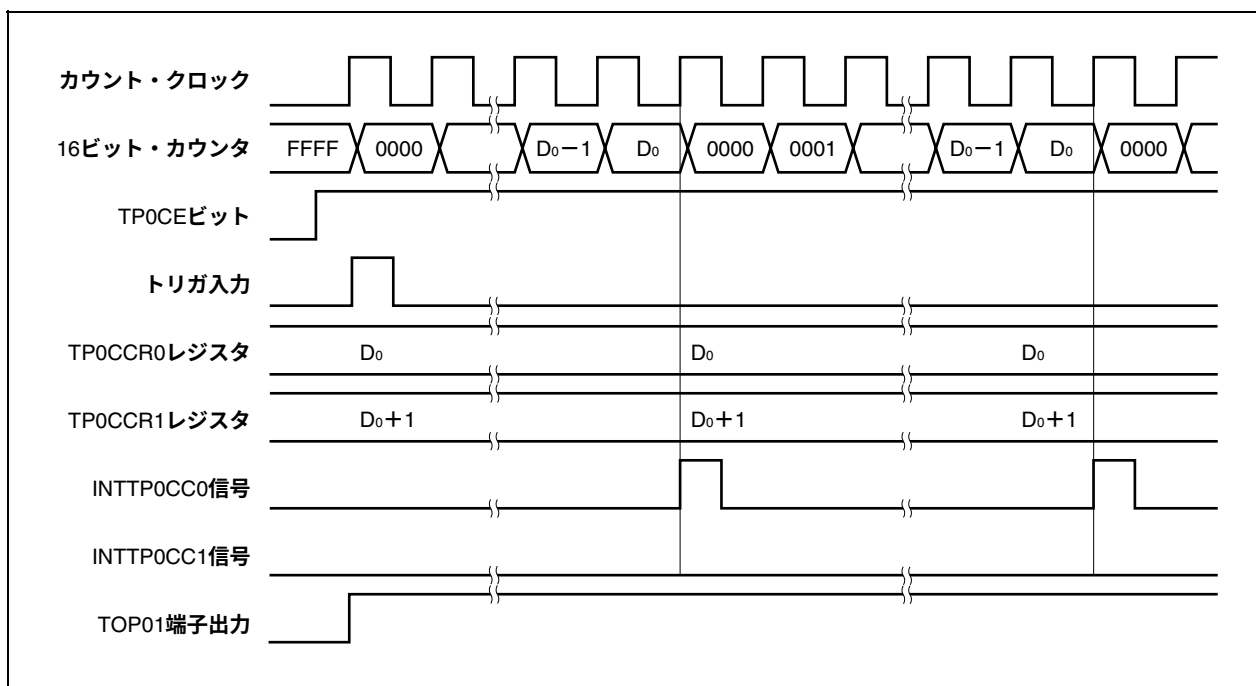
0 %波形を出力するためには、TP0CCR1レジスタに対して0000Hを設定します。ただし、TP0CCR0レジスタの設定値がFFFFHの場合には、INTTP0CC1信号が定期的が発生します。

図7-31 PWM波形の0 %出力



100 %波形を出力するためには、TP0CCR1レジスタに対して (TP0CCR0レジスタの設定値+1) の値を設定してください。TP0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

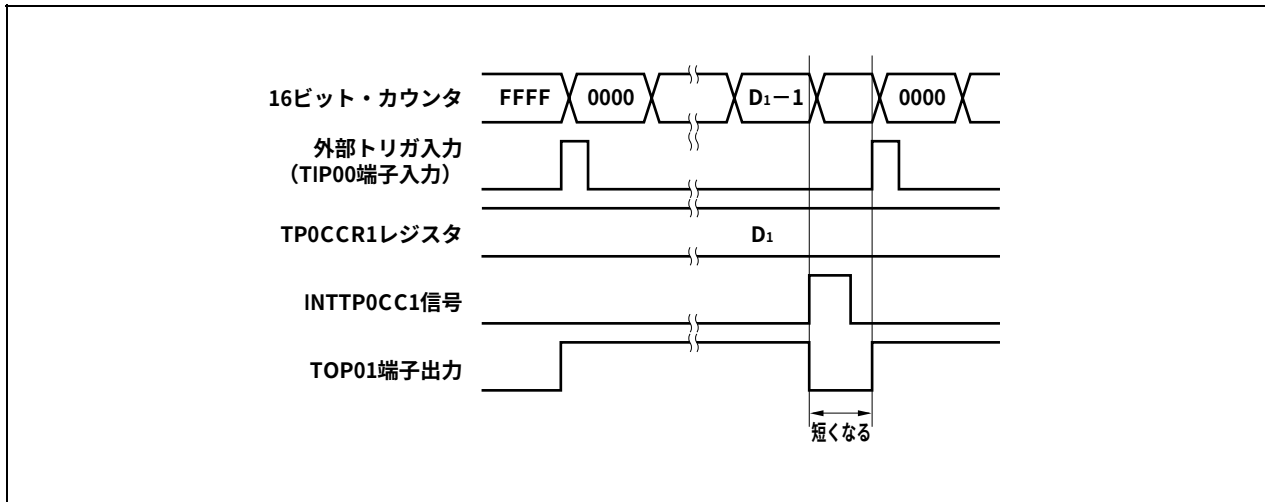
図7-32 PWM波形の100 %出力



(c) 16ビット・カウンタとTP0CCR1レジスタとの一致付近でのトリガ検出

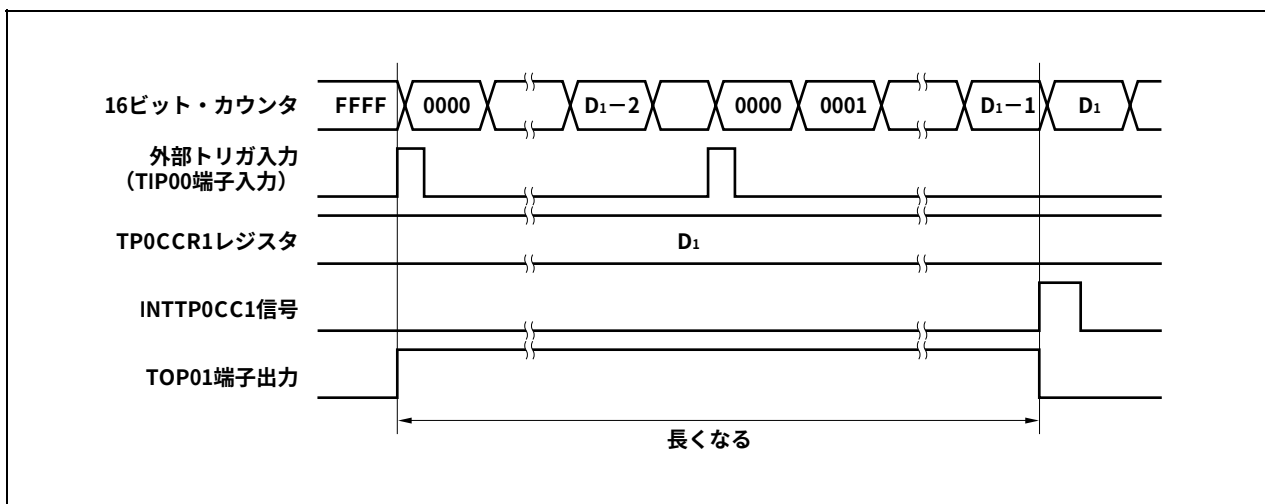
INTTP0CC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOP01端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

図7-33 INTTP0CC1信号発生直後のトリガ検出



INTTP0CC1信号発生直前にトリガを検出した場合には、INTTP0CC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOP01端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

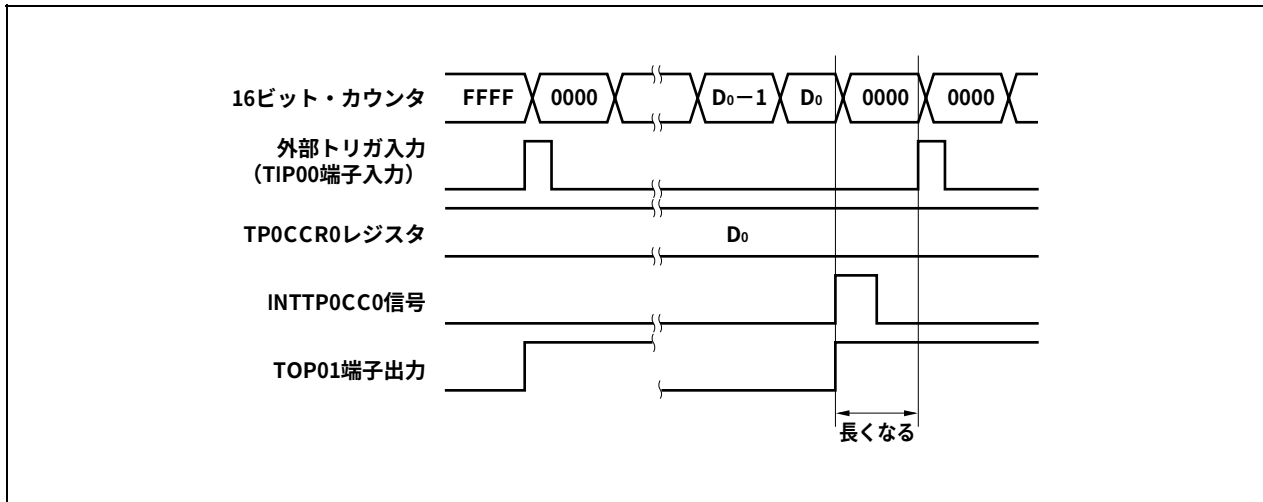
図7-34 INTTP0CC1信号発生直前のトリガ検出



(d) 16ビット・カウンタとTP0CCR0レジスタとの一致付近でのトリガ検出

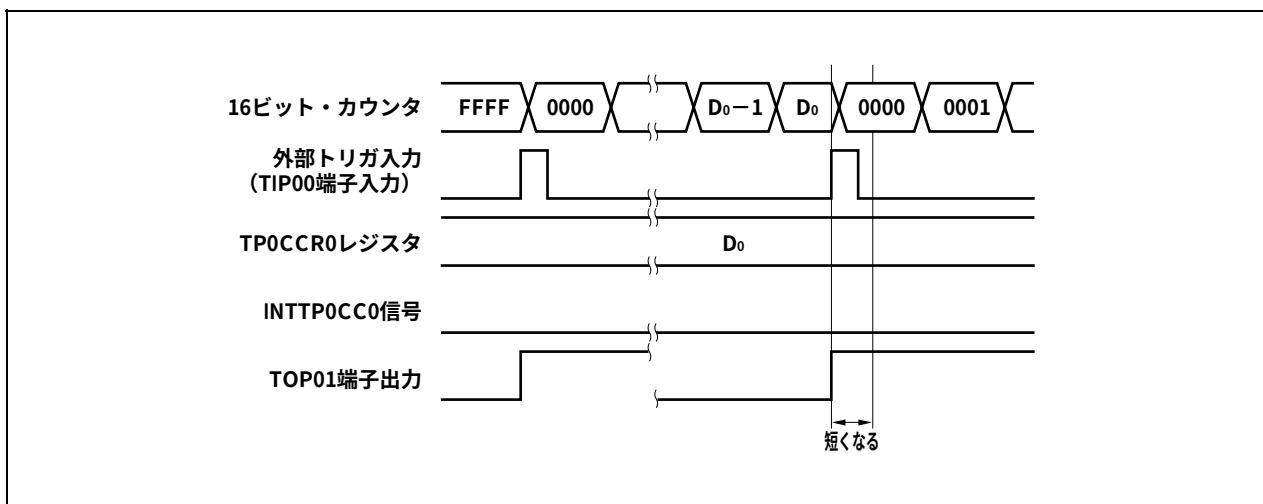
INTTP0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOP01端子出力のアクティブ期間が、INTTP0CC0信号発生からトリガ検出までの分だけ長くなります。

図7-35 INTTP0CC0信号発生直後のトリガ検出



INTTP0CC0信号発生直前にトリガを検出した場合、INTTP0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOP01端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。

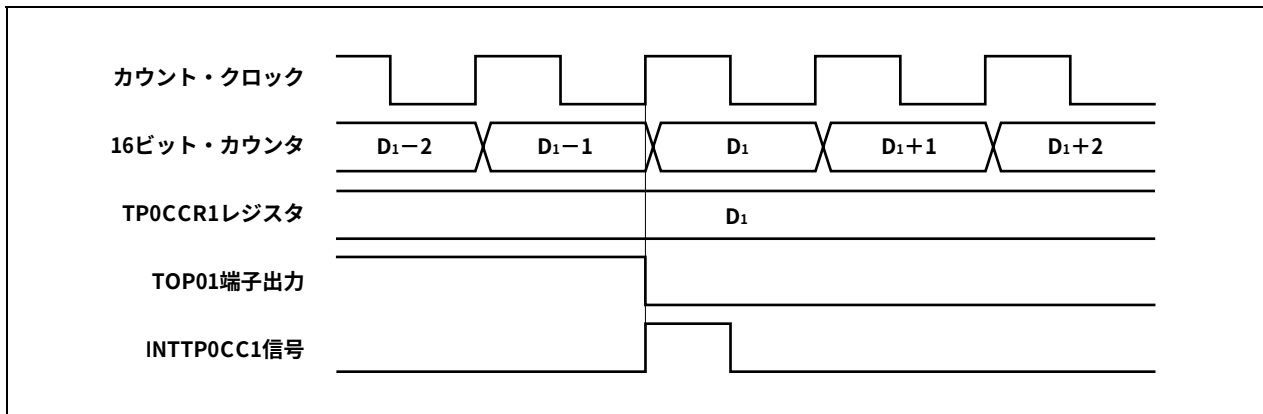
図7-36 INTTP0CC0信号発生直前のトリガ検出



(e) コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

外部トリガ・パルス出力モードでは、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値との一致と同時にINTTP0CC1信号が発生します。

図7-37 コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング



7.4.4 ワンショット・パルス出力モード (TP0MD2-TP0MD0ビット = 011)

ワンショット・パルス出力モードは、TP0CTL0.TP0CEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOP01端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOP00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

備考1. TIP00, TOP00, TOP01端子の設定については表7-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTP0CC0, INTTP0CC1信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図7-38 ワンショット・パルス出力モードの構成図

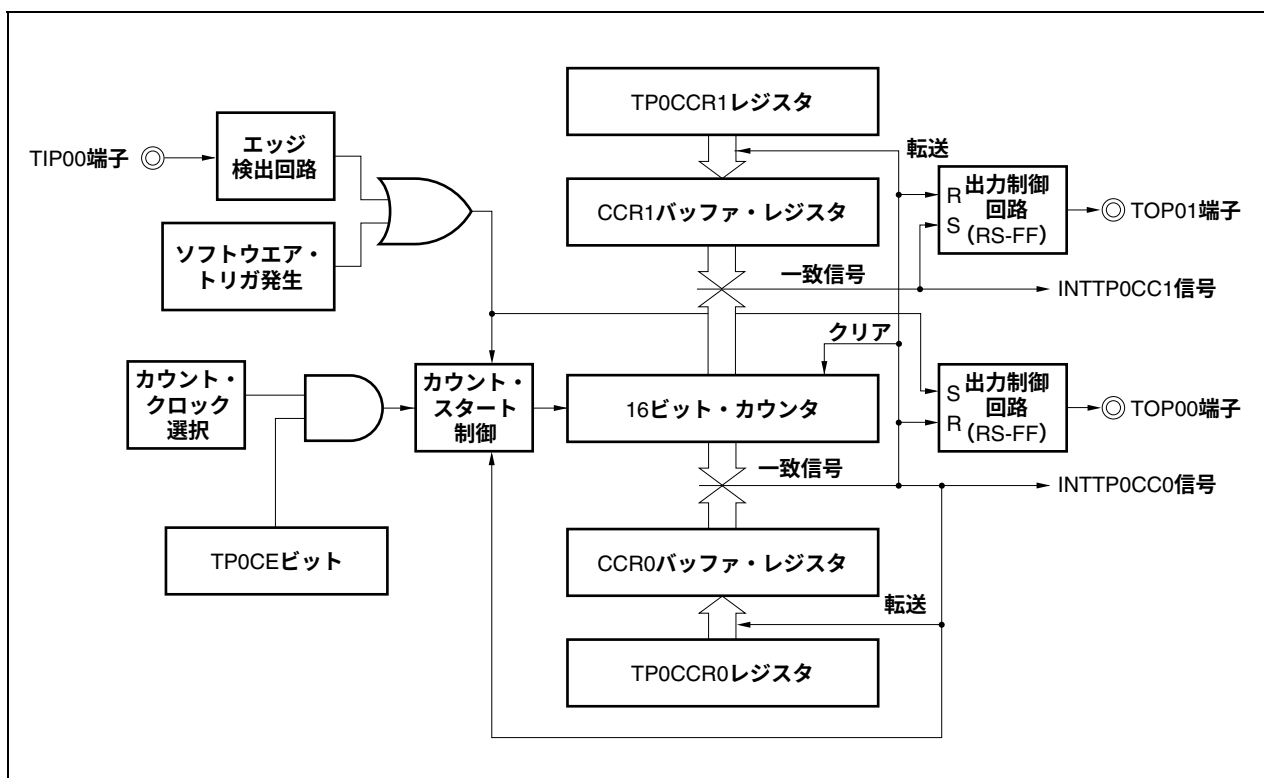
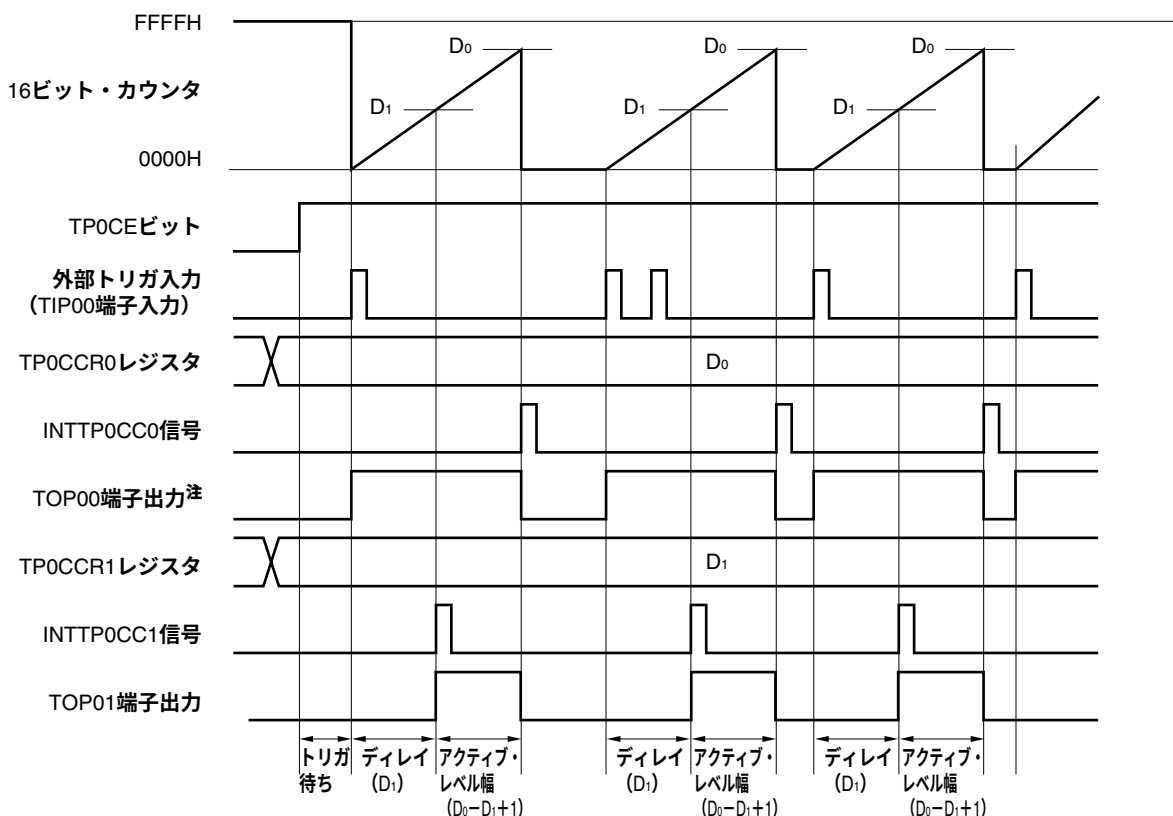


図7-39 ワンショット・パルス出力モードの基本タイミング



注 TOP00端子出力は、TIP00端子入力と兼用されているので、外部トリガ入力ではなく、ソフトウェア・トリガを使用してください。

TP0CEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOP01端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TP0CCR1レジスタの設定値) × カウント・クロック周期

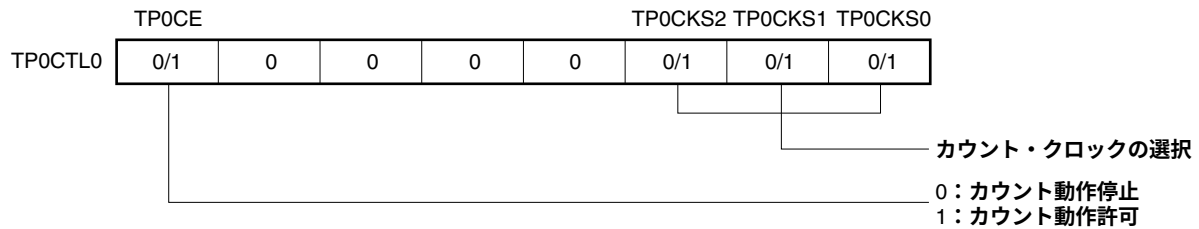
アクティブ・レベル幅 = (TP0CCR0レジスタの設定値 - TP0CCR1レジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTP0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTP0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

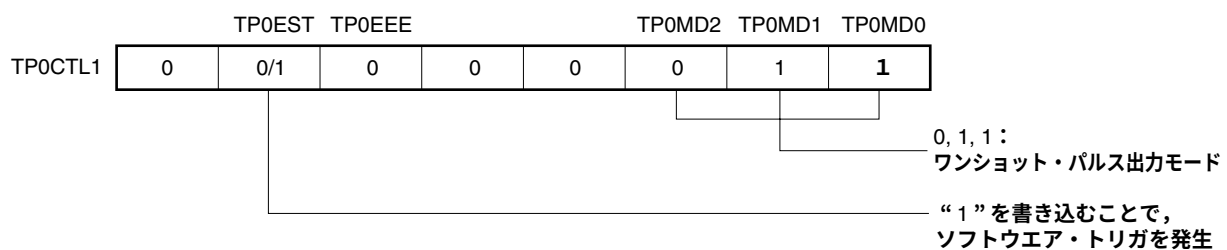
トリガ条件には、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TP0CTL1.TP0ESTビット) のセット (1) があります。

図7-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

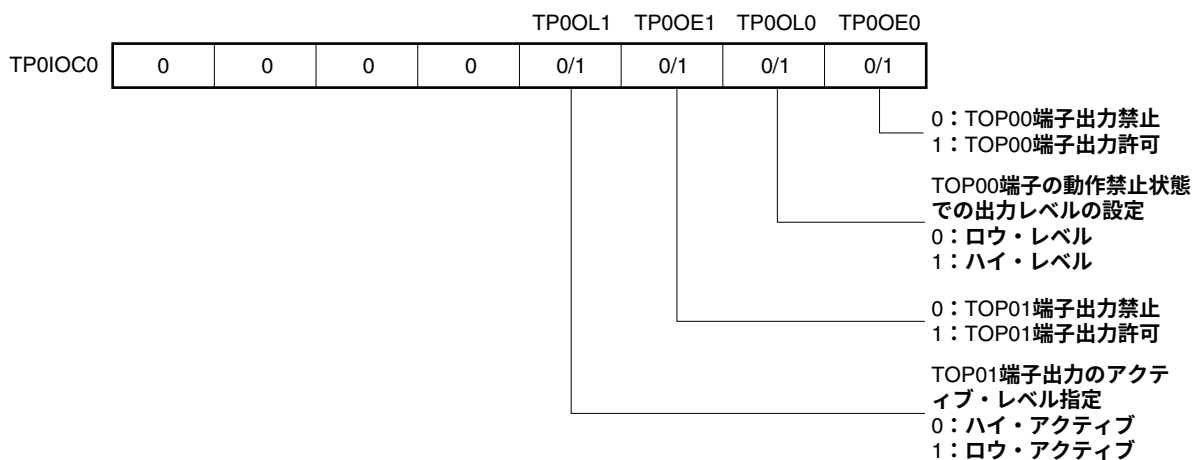
(a) TMP0制御レジスタ0 (TP0CTL0)



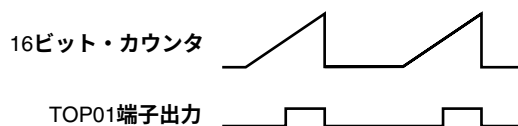
(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ0 (TP0IOC0)



・TP0OL1ビット = 0の場合



・TP0OL1ビット = 1の場合

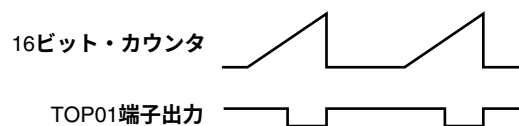


図7-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

★

(d) TMP0I/O制御レジスタ2 (TP0IOC2)

	TP0EES1		TP0EES0		TP0ETS1		TP0ETS0	
TP0IOC2	0	0	0	0	0	0	0/1	0/1

外部トリガ入力有効エッジの選択

(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMP0キャプチャ／コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TP0CCR0レジスタにD₀を設定し、TP0CCR1レジスタにD₁を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D₁ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D₁ × カウント・クロック周期

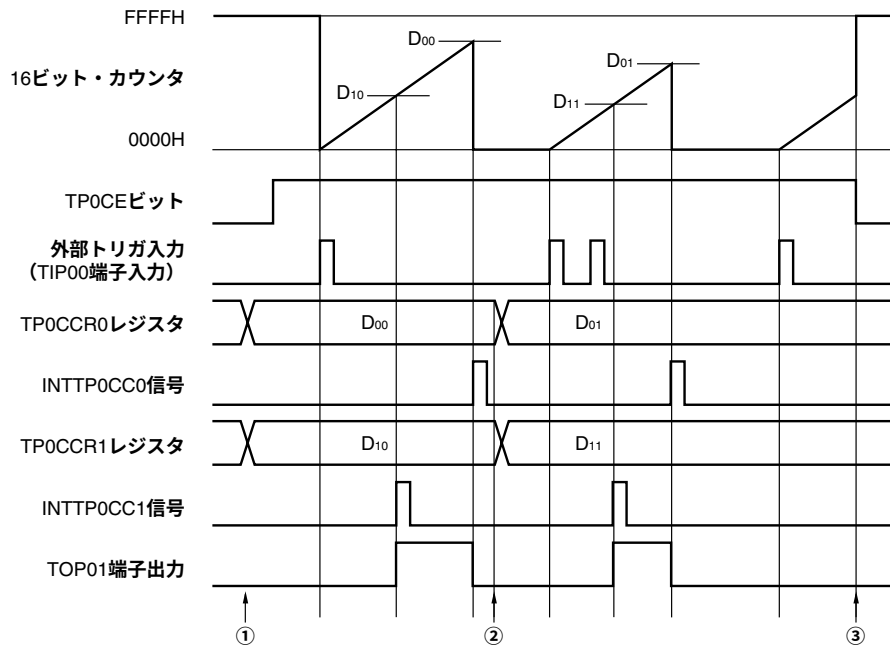
となります。

注意 ワンショット・パルス出力モードにおいて、TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値より大きい場合、TOP01端子からワンショット・パルスは出力しません。

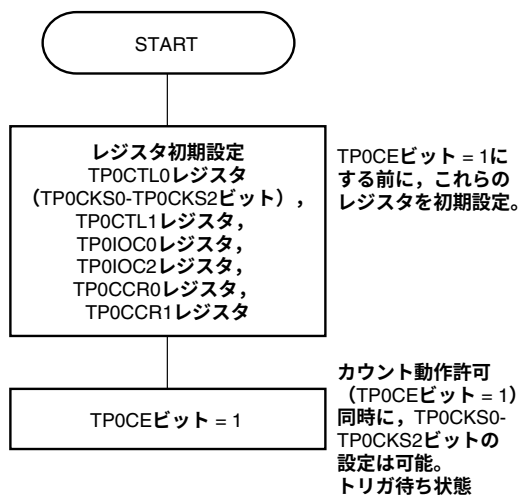
備考 TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、ワンショット・パルス出力モードでは使用しません。

(1) ワンショット・パルス出力モード動作フロー

図7-41 ワンショット・パルス出力モード動作タイミングと処理フロー



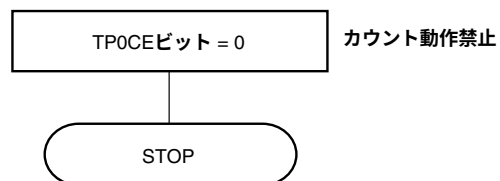
① カウント動作開始フロー



② TP0CCR0, TP0CCR1レジスタ設定変更フロー



③ カウント動作停止フロー



備考 n = 0, 1

(2) ワンショット・パルス出力モードの応用

(a) TP0CCRnレジスタの書き換え

TP0CCRnレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

TP0CCR0レジスタをD₀₀からD₀₁に、TP0CCR1レジスタをD₁₀からD₁₁に書き換える場合において、TP0CCR0、TP0CCR1レジスタを次のような条件で書き換えた場合、本来期待しているワンショット・パルスが出力できません。

<条件1>TP0CCR0を次の条件で書き換えた場合

$D_{00} > D_{01}$

$D_{00} < 16\text{ビット・カウンタのカウント値} < D_{01}$

<条件1>の場合、16ビット・カウンタは、書き換えた周期ではクリアされずオーバフローを起こし、書き換えたあとの値（D₀₁）ではじめてクリアされます。

<条件2>TP0CCR0を次の条件で書き換えた場合

$D_{10} > D_{11}$

$D_{10} < 16\text{ビット・カウンタのカウント値} < D_{11}$

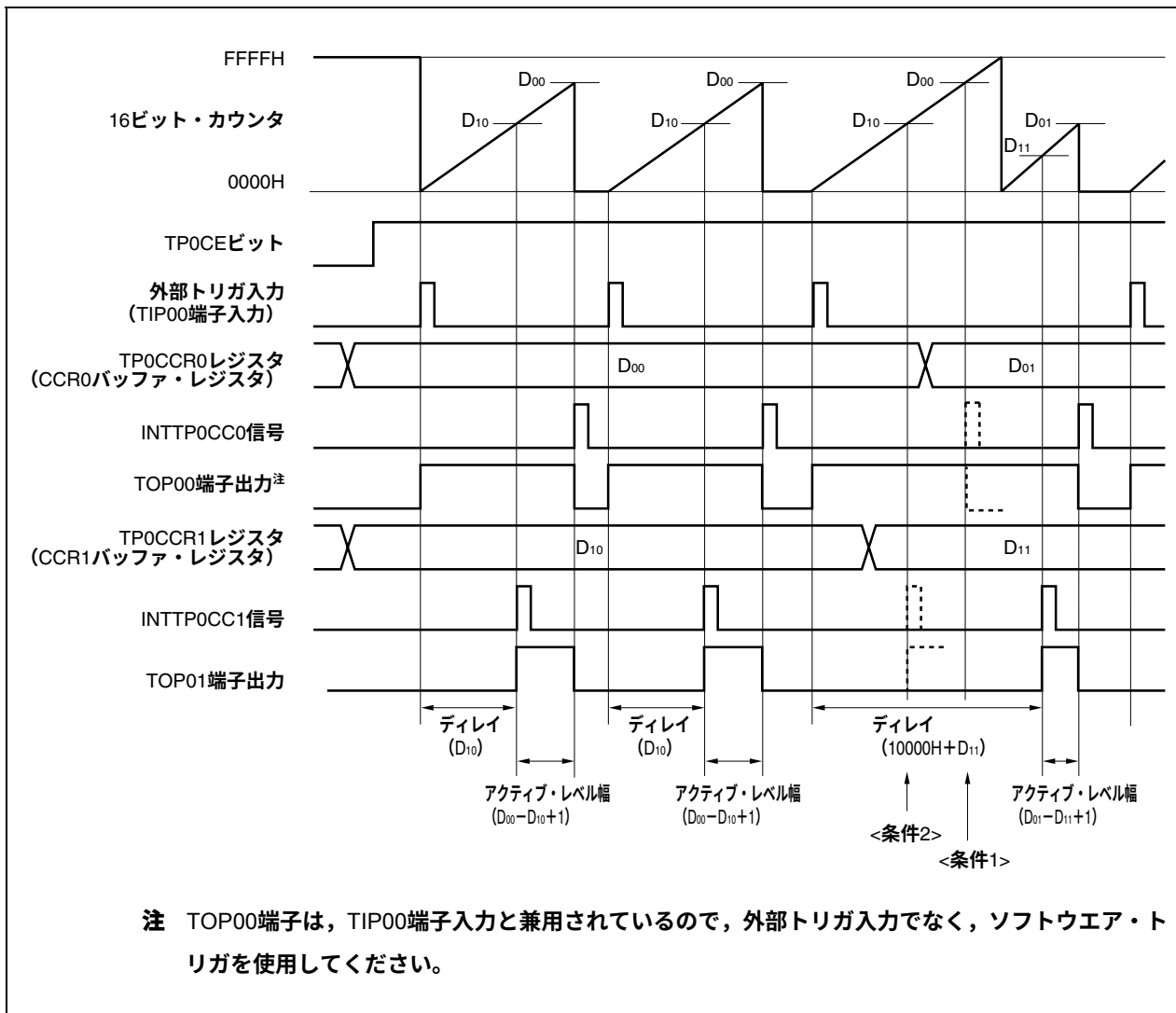
<条件2>の場合、TOP01端子出力は書き換えた周期では、アクティブ・レベルに反転することができません。

<条件1>と<条件2>同じ周期で起こった例が図7-42です。

カウント値はFFFFHまでカウント動作を行い、オーバフローし、0000Hから再度カウント・アップを行います。

D₁₁との一致でINTTP0CC1信号を発生してTOP01端子出力をアクティブ・レベルにし、D₀₁との一致でINTTP0CC0信号を発生してTOP01端子出力をインアクティブにしてカウント動作を停止します。

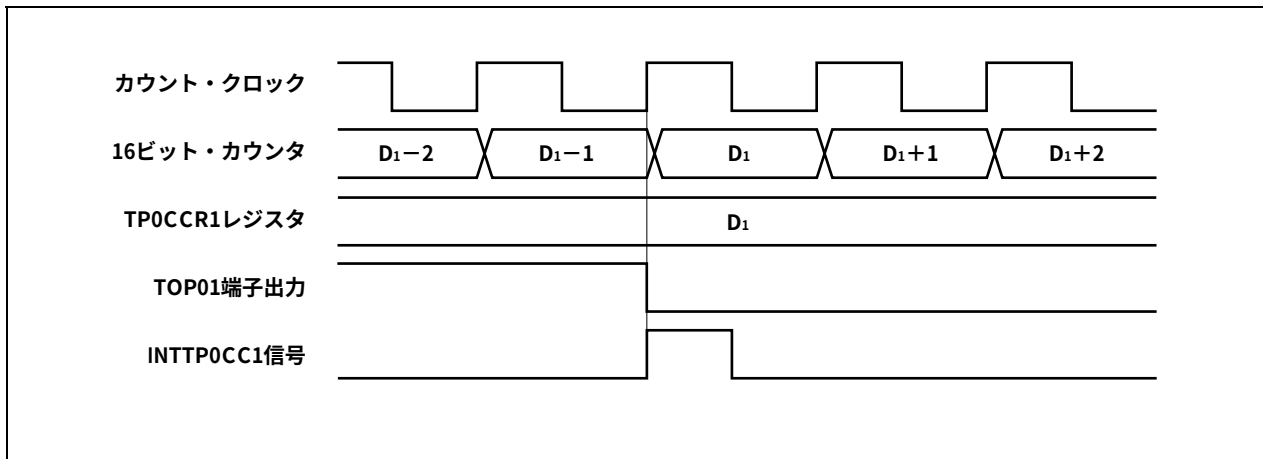
図7-42 TP0CCRnレジスタの書き換え



(b) コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

ワンショット・パルス出力モードでは、16ビット・カウンタのカウンタ値とTP0CCR1レジスタの値との一致と同時にINTTP0CC1信号が発生します。

図7-43 コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング



7.4.5 PWM出力モード (TP0MD2-TP0MD0ビット = 100)

PWM出力モードは、TP0CTL0.TP0CEビットをセット (1) することで、TOP01端子からPWM波形を出力します。

また、TOP00端子から、PWM波形の1周期を半周期とするパルスを出力します。

- 備考1. TIP00, TOP00, TOP01端子の設定については表7-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。
2. INTTP0CC0, INTTP0CC1信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図7-44 PWM出力モードの構成図

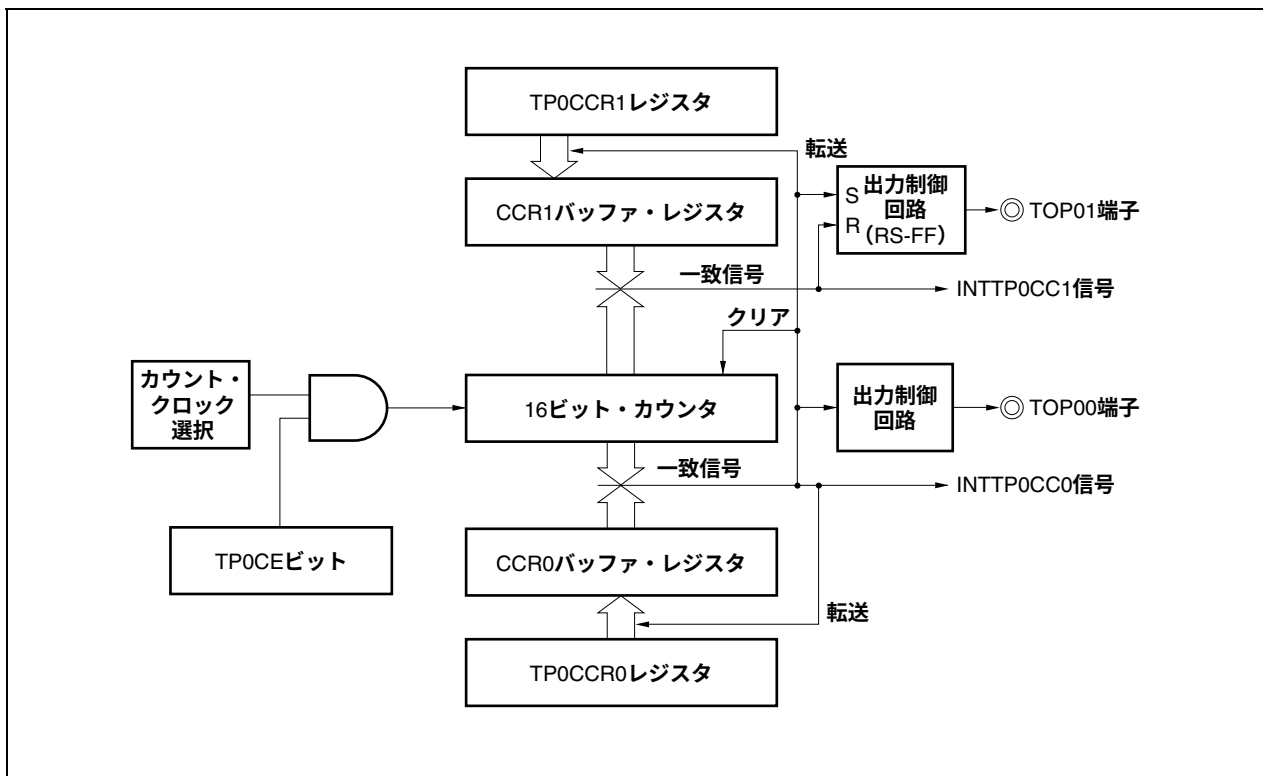
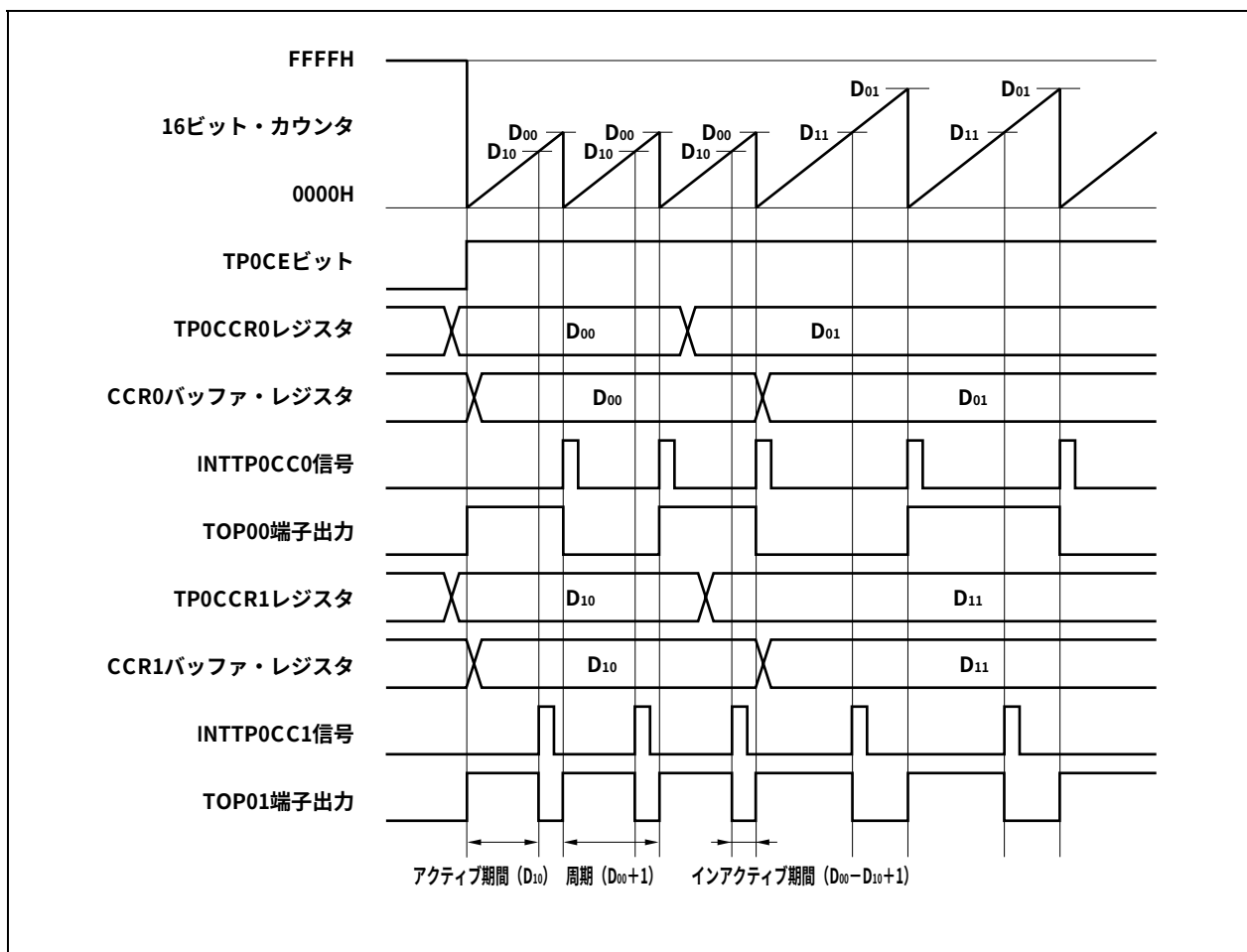


図7-45 PWM出力モードの基本タイミング



TP0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOP01端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TP0CCR1レジスタの設定値) × カウント・クロック周期

周期 = (TP0CCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TP0CCR1レジスタの設定値) / (TP0CCR0レジスタの設定値 + 1)

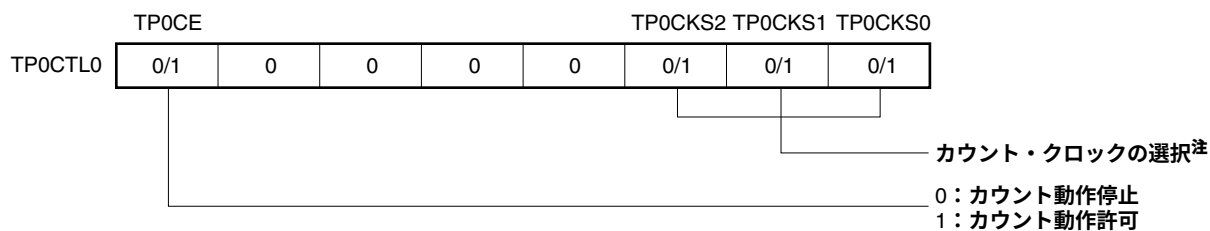
動作中にTP0CCRnレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTP0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTP0CC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

備考 n = 0, 1

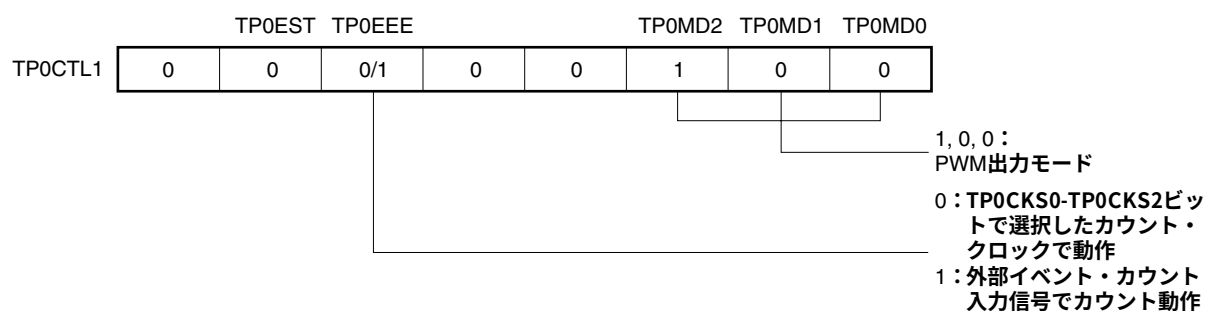
図7-46 PWM出力モード動作時のレジスタ設定内容 (1/2)

(a) TMP0制御レジスタ0 (TP0CTL0)

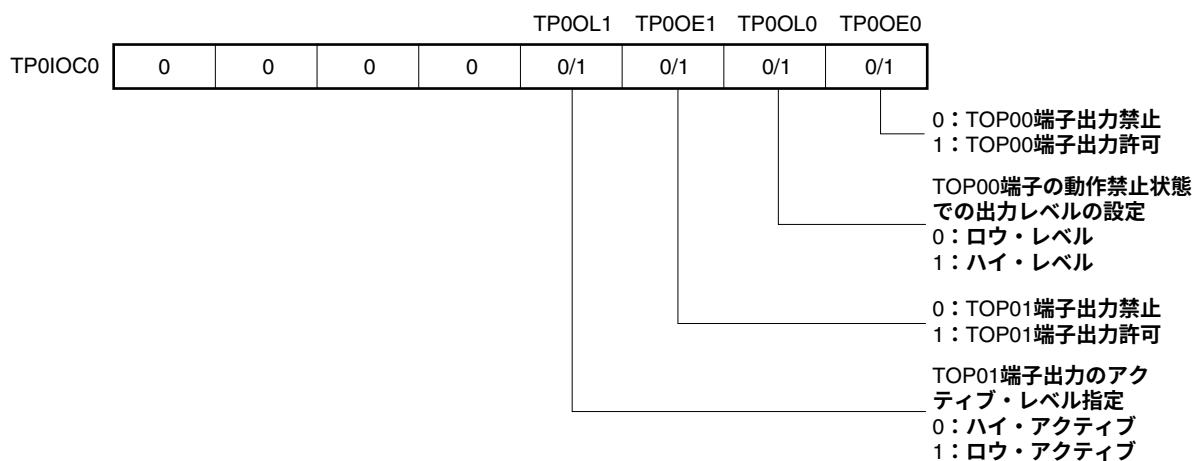


注 TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

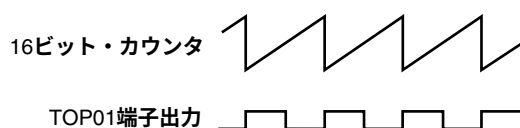
(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ0 (TP0IOC0)



・ TP0OL1ビット = 0の場合



・ TP0OL1ビット = 1の場合

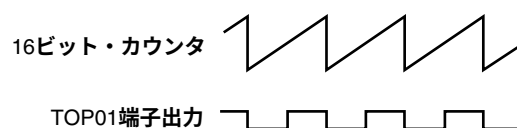
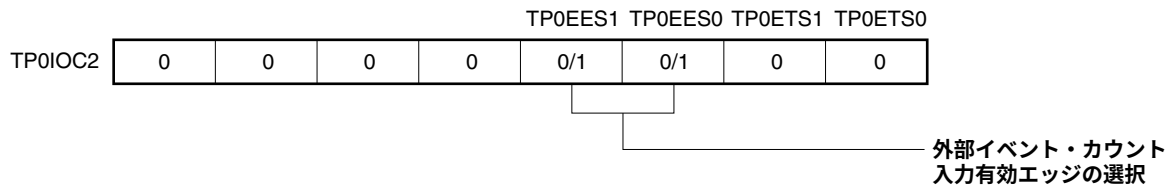


図7-46 PWM出力モード動作時のレジスタ設定内容 (2/2)

(d) TMP0I/O制御レジスタ2 (TP0IOC2)



(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMP0キャプチャ／コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TP0CCR0レジスタにD₀を設定し、TP0CCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考 TMP0I/O制御レジスタ1 (TP0IOC1) , TMP0オプション・レジスタ0 (TP0OPT0) は、PWM出力モードでは使用しません。

(1) PWM出力モード動作フロー

図7-47 PWM出力モード動作タイミングと処理フロー (1/2)

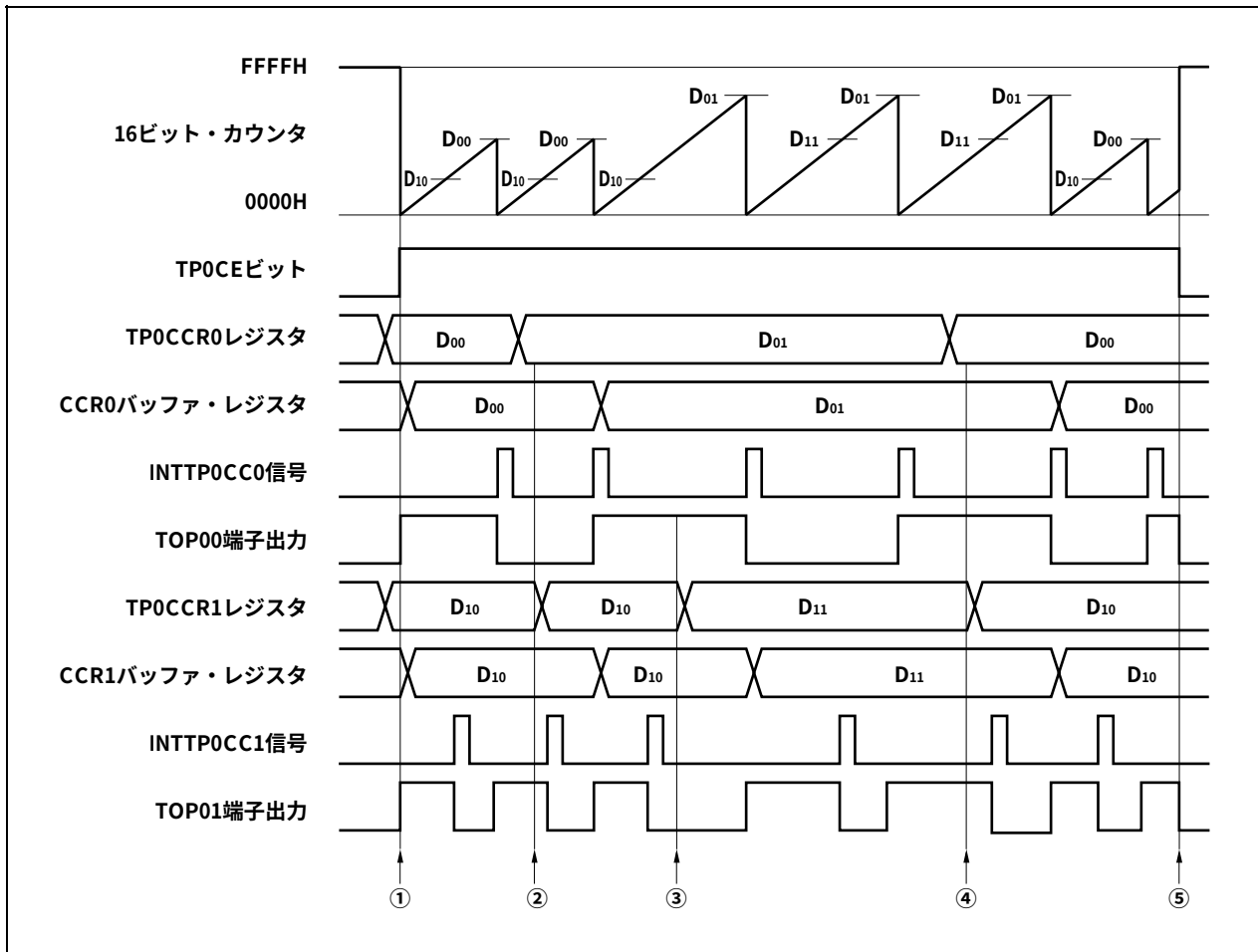
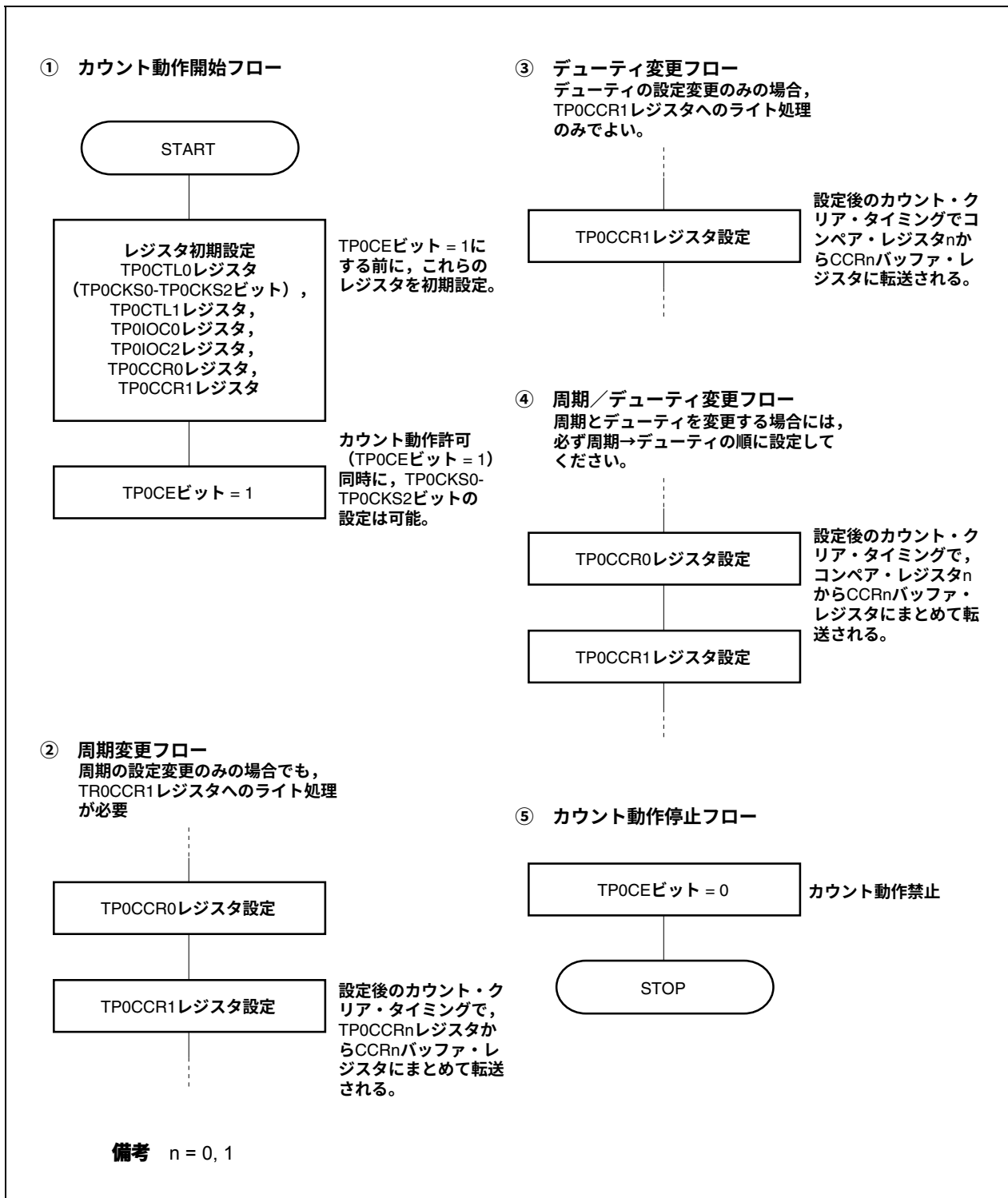


図7-47 PWM出力モード動作タイミングと処理フロー (2/2)



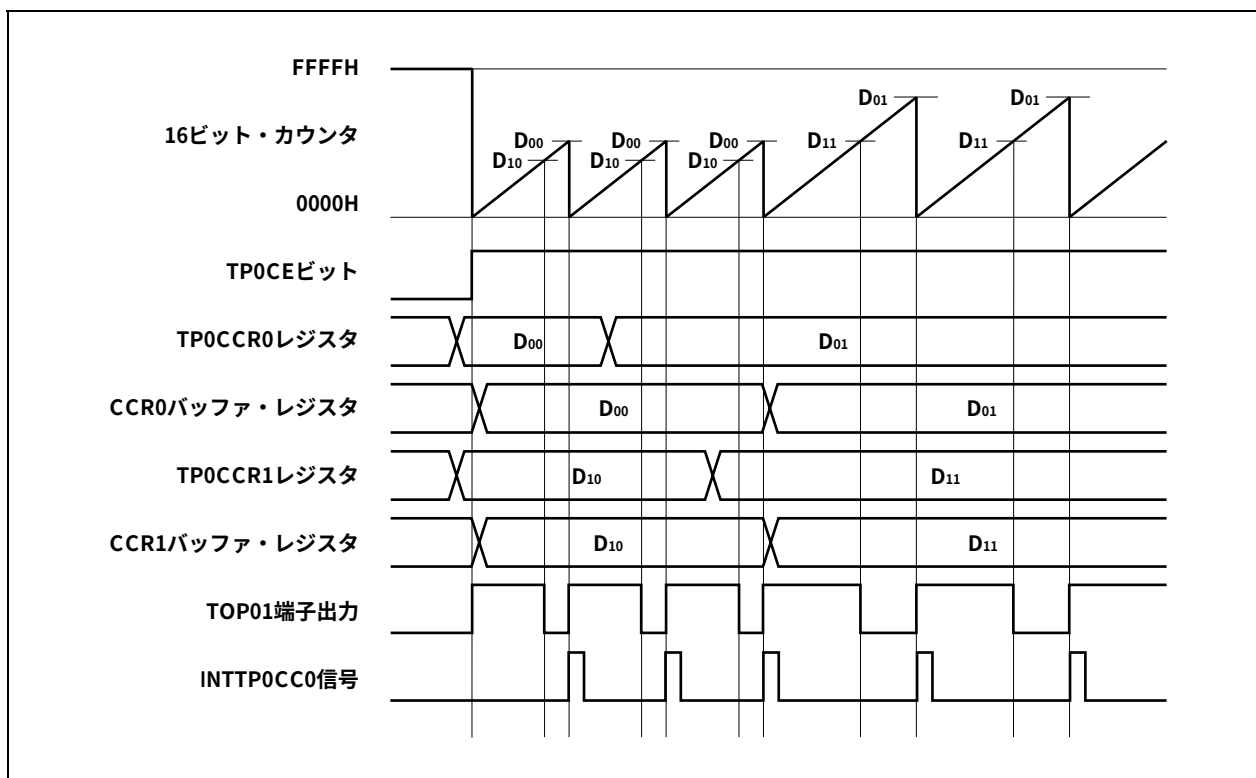
(2) PWM出力モードの応用

(a) カウント動作中のPWM波形の変更

カウント動作中にPWM波形を変更する場合には、最後にTP0CCR1レジスタにライトしてください。

TP0CCR1レジスタにライト後、再度TP0CCRnレジスタの書き換えを行う場合には、INTTP0CC0信号を検出後に書き換えてください。

図7-48 カウント動作中のPWM波形の変更



TP0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送を行うためには、TP0CCR1レジスタに対してライトする必要があります。

TP0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TP0CCRnレジスタに書き込まれた値がCCRnバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

- <1> PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタにアクティブ・レベル幅を設定してください。
- <2> PWM波形の周期だけを変更する場合には、まずTP0CCR0レジスタに周期を設定し、そのあとでTP0CCR1レジスタに同値をライトしてください。
- <3> PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TP0CCR1レジスタのみの設定でかまいません。

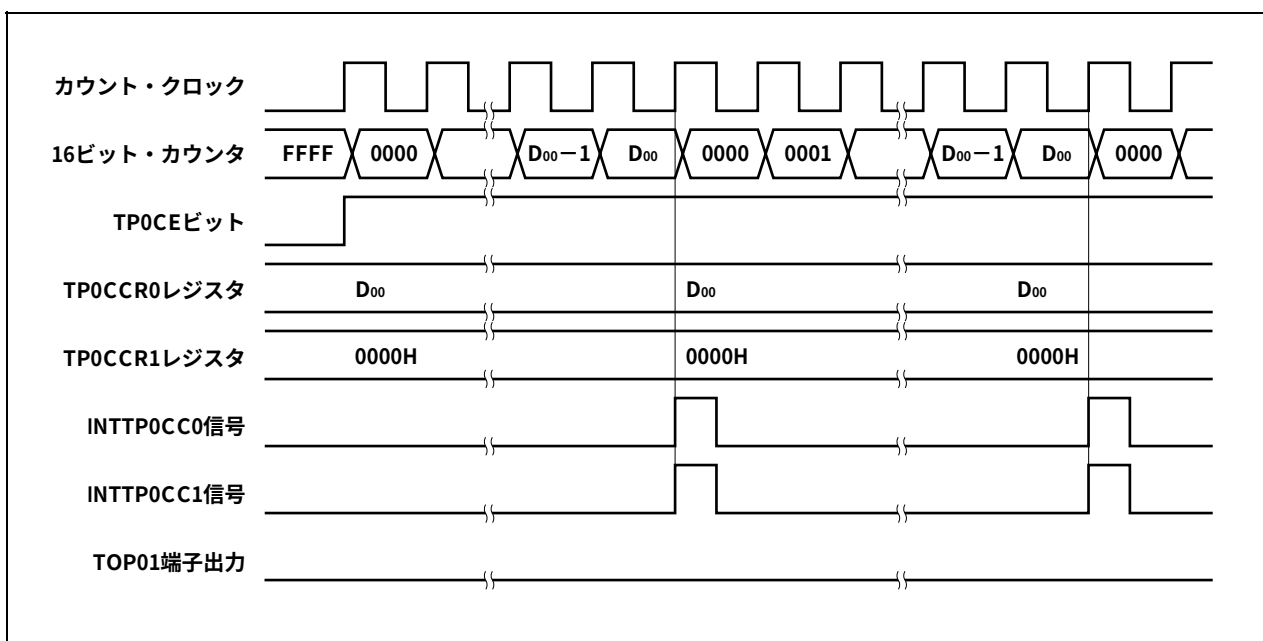
注意 一度TP0CCR1レジスタにライトしたあとで、再度TP0CCR0, またはTP0CCR1レジスタへのライトを行う場合は、INTTP0CC0信号の発生後に行ってください。これを守れない場合には、TP0CCRnレジスタからCCRnバッファ・レジスタへのデータ転送タイミングと、TP0CCRnレジスタの書き換えの競合により、CCRnバッファ・レジスタの値が不定値になる場合があります。

備考 $n = 0, 1$

(b) PWM波形の0 %/100 %出力

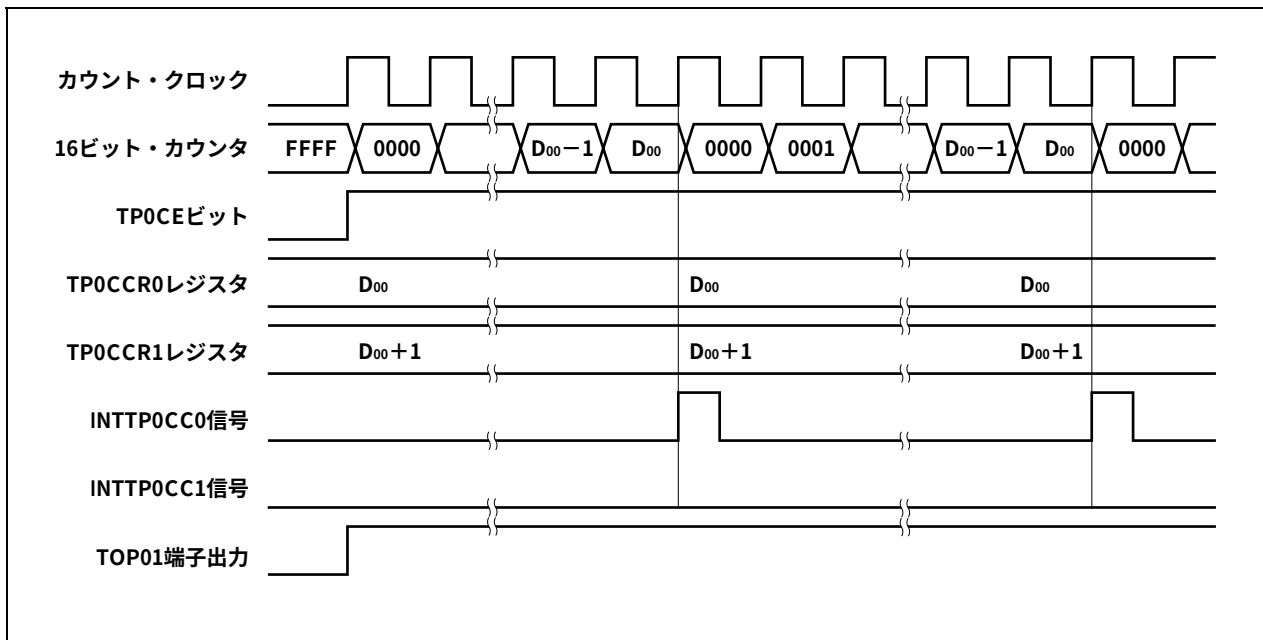
0 %波形を出力するためには、TP0CCR1レジスタに対して0000Hを設定します。

図7-49 PWM波形の0 %出力



100 %波形を出力するためには、TP0CCR1レジスタに対して (TP0CCR0レジスタの設定値+1) の値を設定してください。TP0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

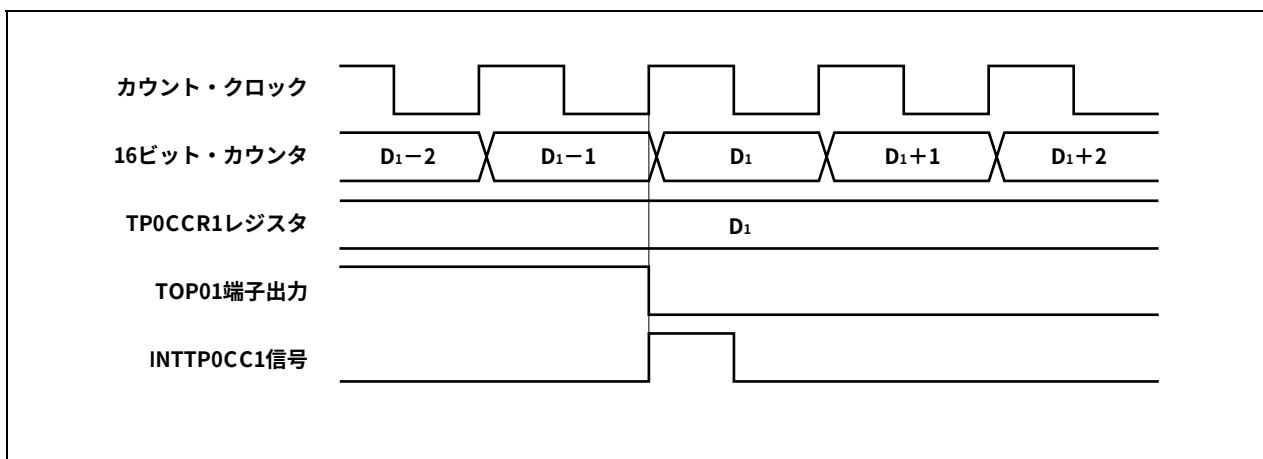
図7-50 PWM波形の100 %出力



(c) コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

PWM出力モードでは、16ビット・カウンタのカウント値とTP0CCR1レジスタの値との一致と同時にINTTP0CC1信号が発生します。

図7-51 コンペアー一致割り込み要求信号 (INTTP0CC1) の発生タイミング

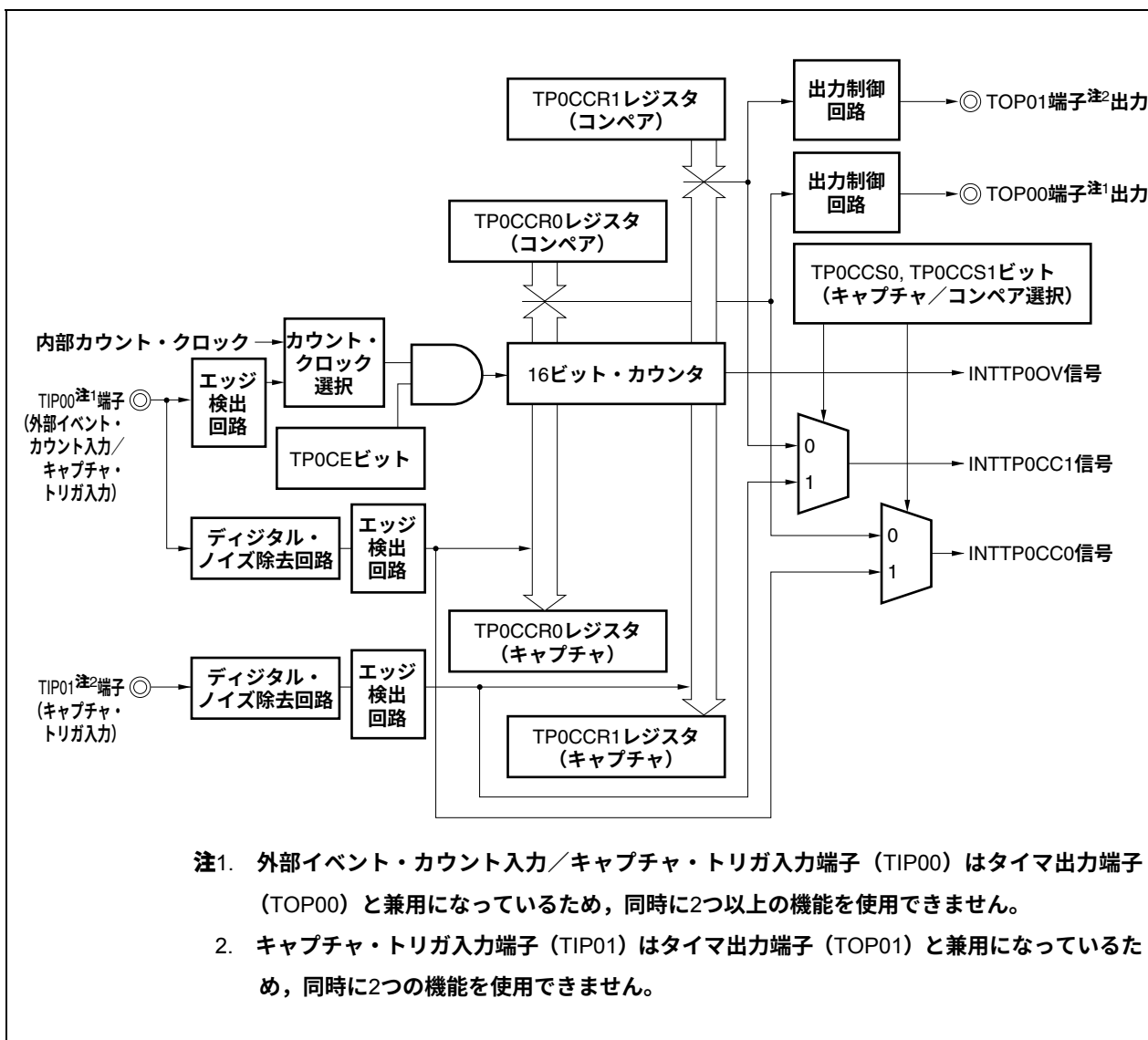


7.4.6 フリー・ランニング・タイマ・モード (TP0MD2-TP0MD0ビット = 101)

フリー・ランニング・タイマ・モードは、TP0CTL0.TP0CEビットをセット (1) することでカウント動作を開始します。このときのTP0CCRnレジスタの動作は、TP0OPT0.TP0CCS0, TP0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます (n = 0, 1)。

- 備考1. TIP00, TIP01, TOP00, TOP01端子の設定については表7-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。
2. INTTP0CC0, INTTP0CC1信号の割り込み許可については、第21章 割り込み／例外処理機能を参照してください。

図7-52 フリー・ランニング・タイマ・モードの構成図



・コンペア動作

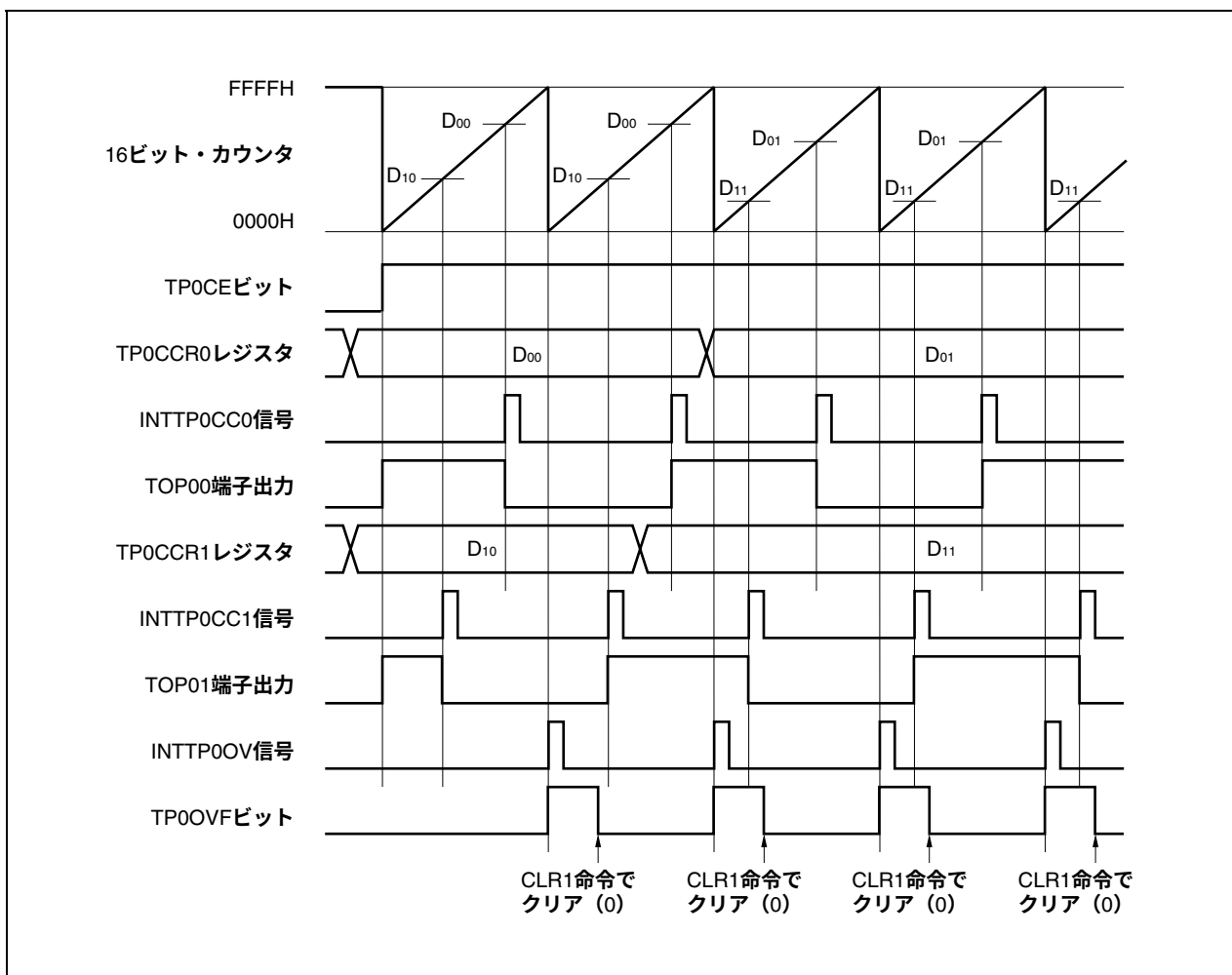
TP0CEビットをセット (1) することで、カウント動作を開始し、TOP00, TOP01端子出力を反転します。その後、16ビット・カウンタのカウント値とTP0CCRnレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTP0CCn) を発生し、TOP0n端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTP0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TP0OPT0.TP0OVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

TP0CCRnレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

備考 n = 0, 1

図7-53 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



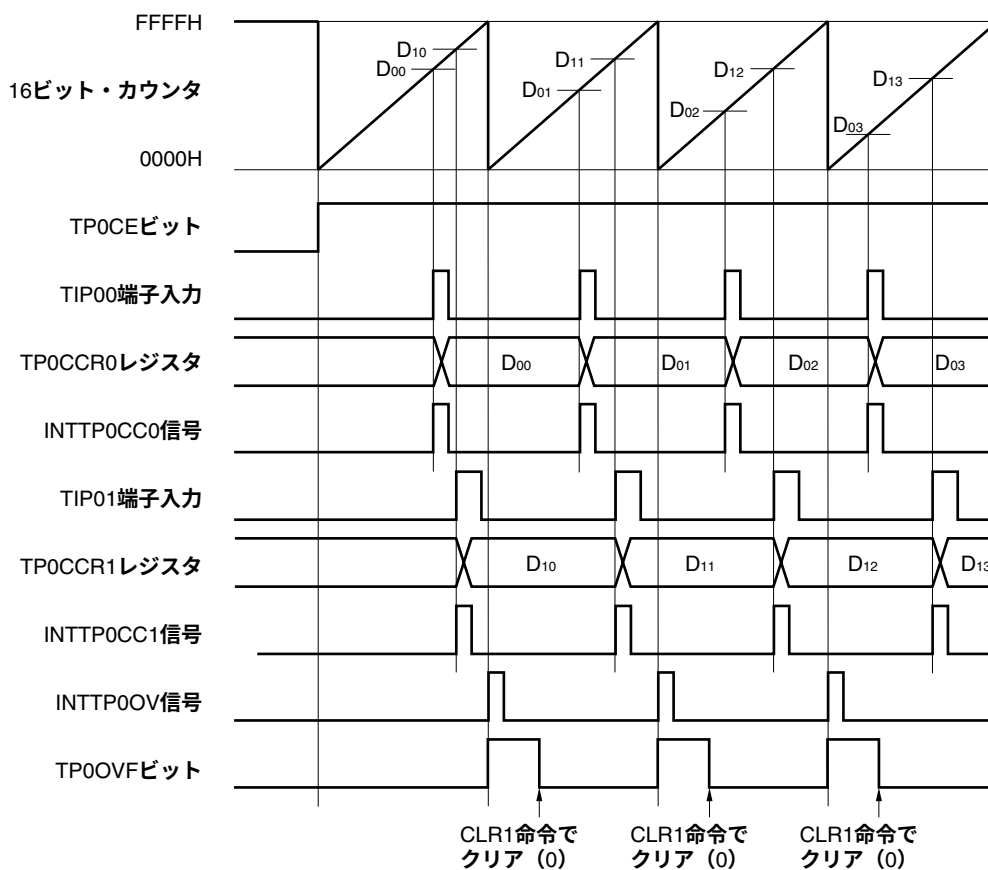
・キャプチャ動作

TP0CEビットをセット (1) することで、カウント動作を開始します。その後、TIP0n端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTP0CCRnレジスタに格納し、キャプチャ割り込み要求信号 (INTTP0CCn) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTP0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TP0OPT0.TP0OVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

備考 n = 0, 1

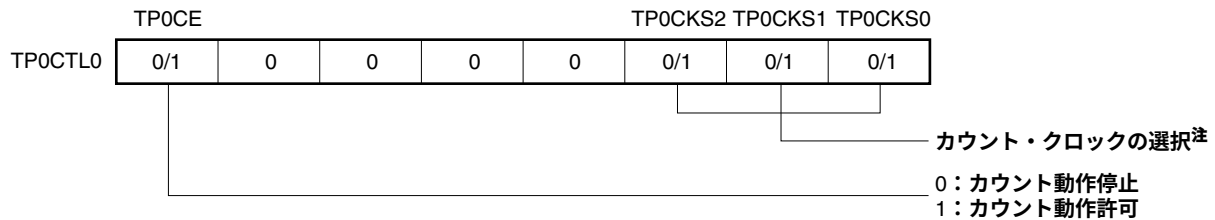
図7-54 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)



備考 有効エッジは立ち上がりエッジに設定しています。

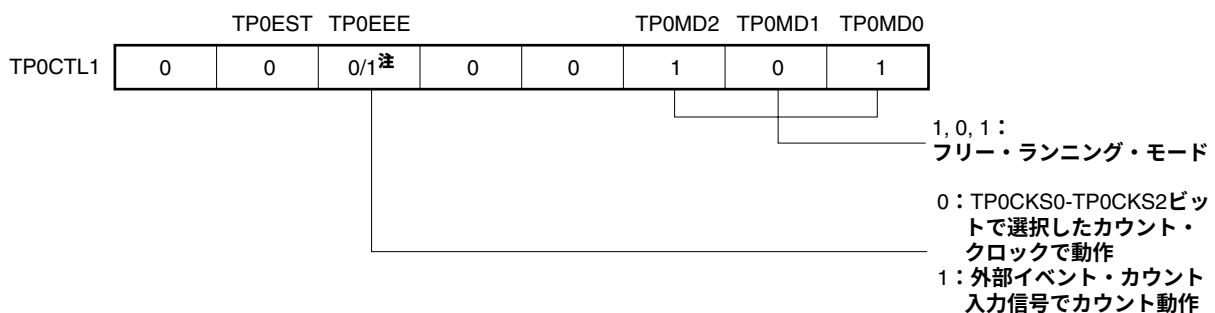
図7-55 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

(a) TMP0制御レジスタ0 (TP0CTL0)



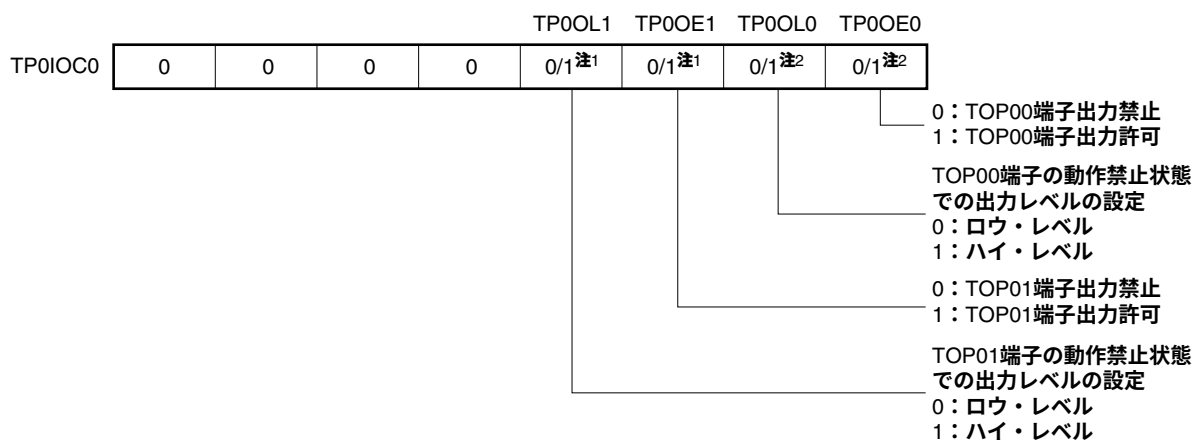
注 TP0CTL1.TP0EEEビット = 1のときは設定が無効になります。

(b) TMP0制御レジスタ1 (TP0CTL1)



注 TP0EEE = 1に設定した場合、TIP00端子のキャプチャ機能は使用できません。

(c) TMP0I/O制御レジスタ0 (TP0IOC0)

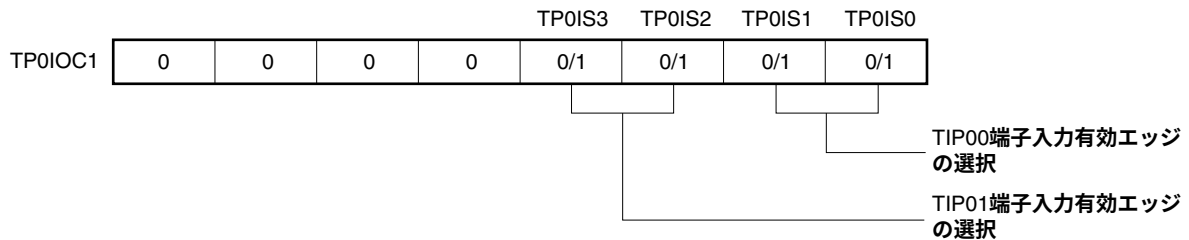


注1. TIP01端子を使用する場合、TOP01端子は使用できません。

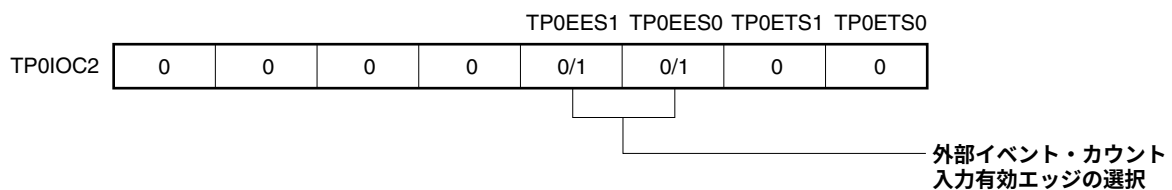
2. TIP00端子を使用する場合、TOP00端子は使用できません。

図7-55 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

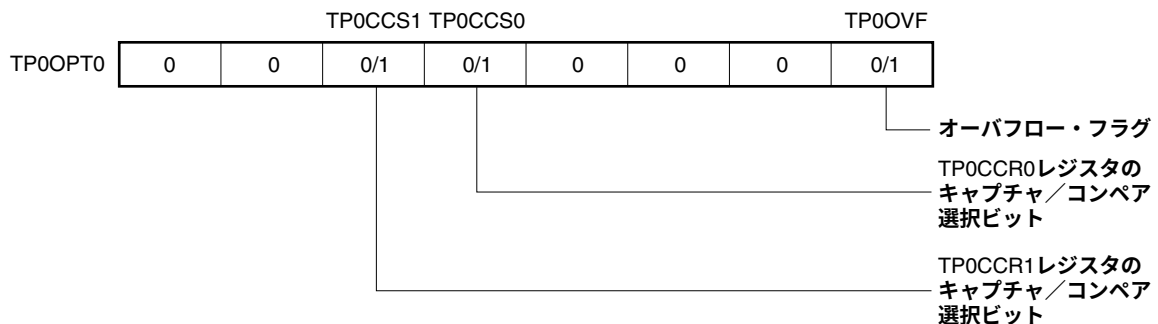
(d) TMP0I/O制御レジスタ1 (TP0IOC1)



(e) TMP0I/O制御レジスタ2 (TP0IOC2)



(f) TMP0オプション・レジスタ0 (TP0OPT0)



(g) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMP0キャプチャ／コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TP0OPT0.TP0CCSnビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIP0n端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納し、INTTP0CCn信号を発生します。

コンペア・レジスタとして動作する場合には、TP0CCRnレジスタにDaを設定した場合、カウンタが(Da+1)になるタイミングでINTTP0CCn信号を発生し、TOP0n端子出力を反転します。

備考 n = 0, 1

(1) フリー・ランニング・タイマ・モード動作フロー

フリー・ランニング・タイマ・モードには次の2つの機能があります。

- ・コンペア機能
- ・キャプチャ機能

(a) キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-56 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（コンペア機能）（1/2）

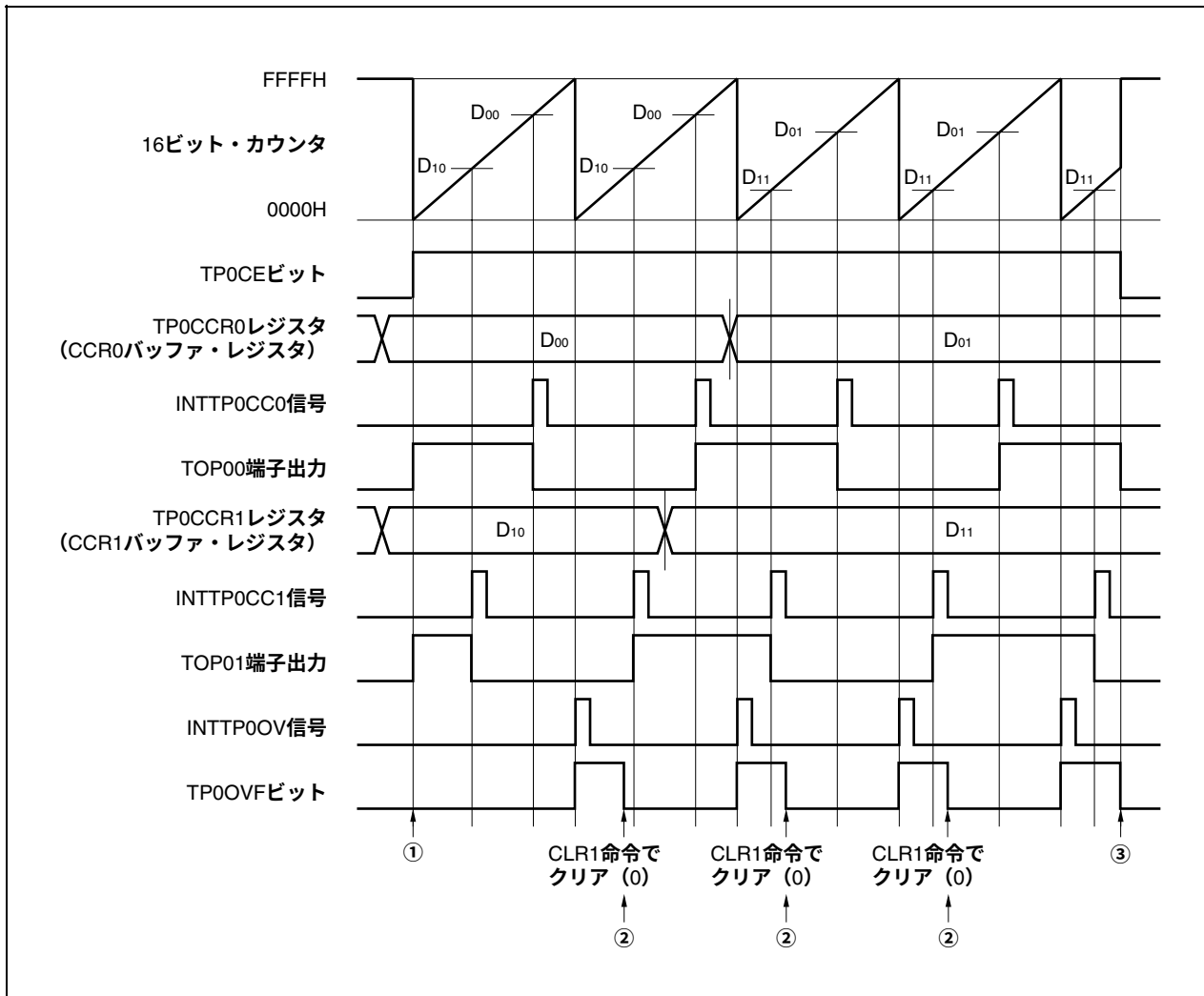
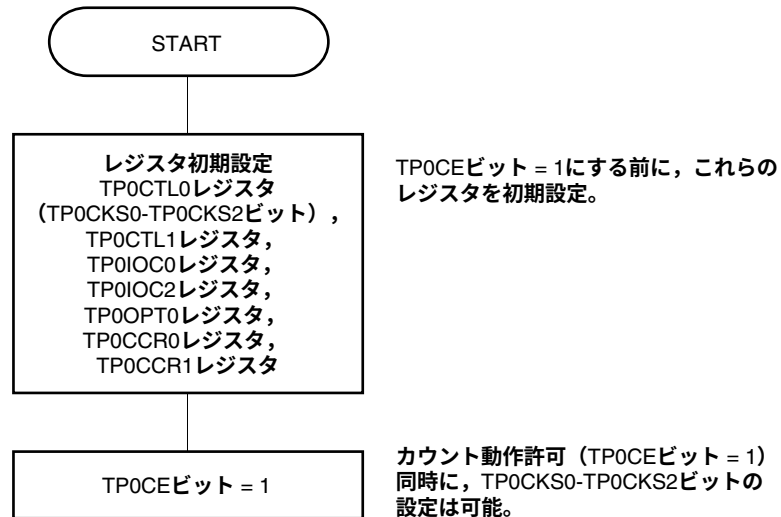
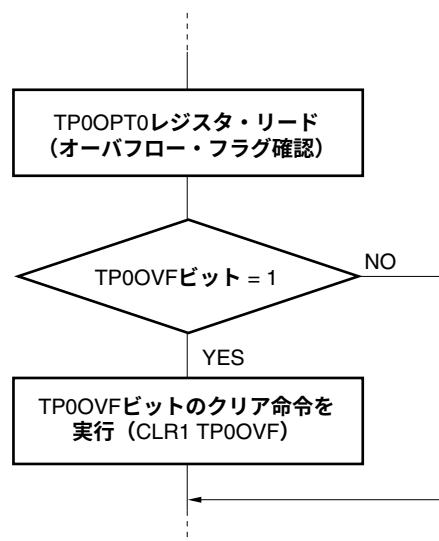


図7-56 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（コンペア機能）（2/2）

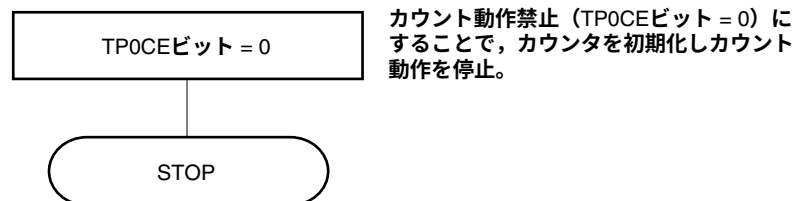
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



③ カウント動作停止フロー



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-57 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（キャプチャ機能）（1/2）

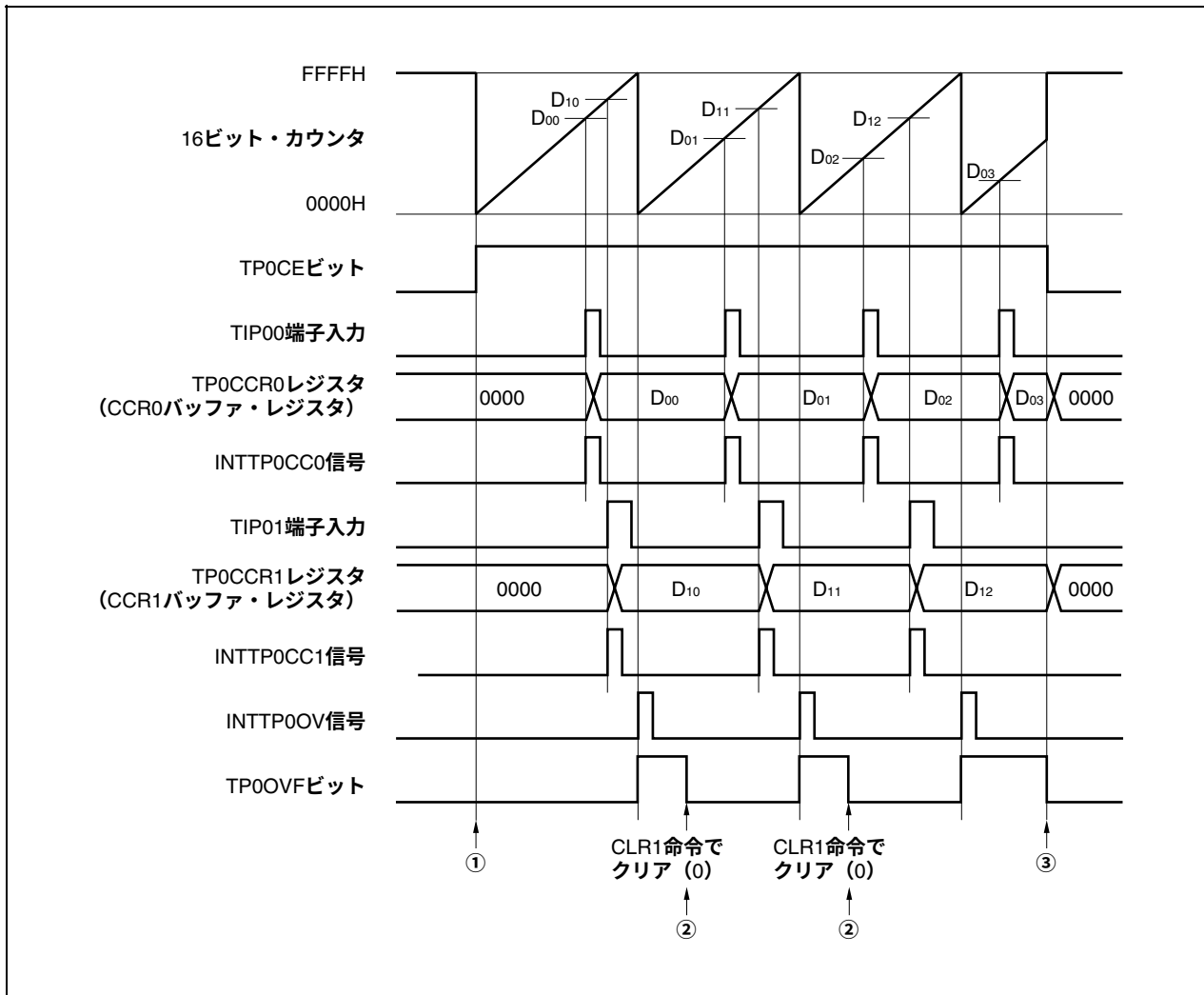
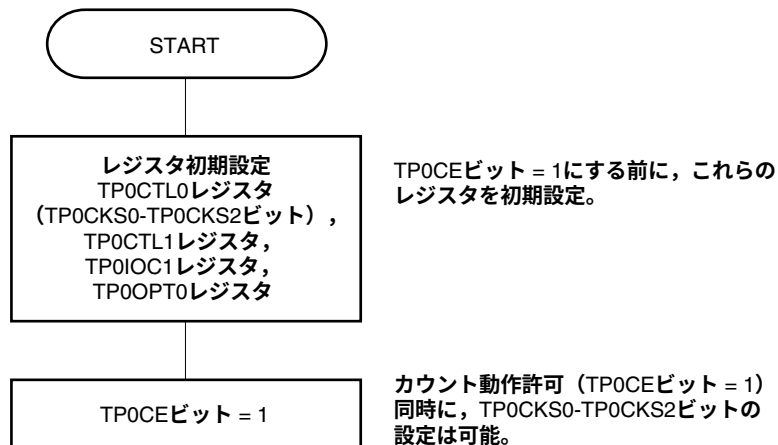
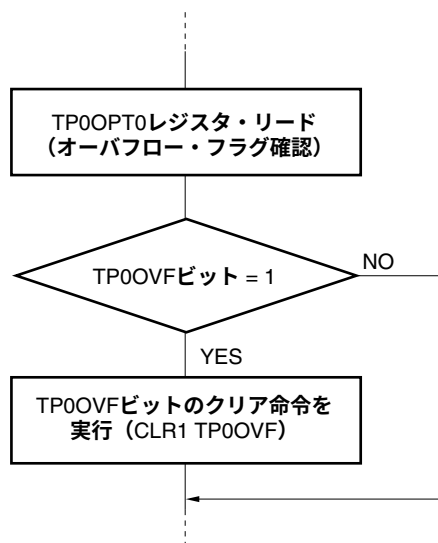


図7-57 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（キャプチャ機能）（2/2）

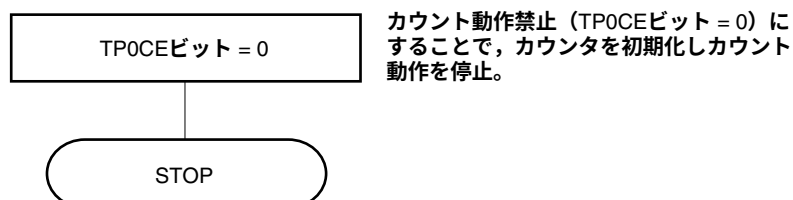
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



③ カウント動作停止フロー

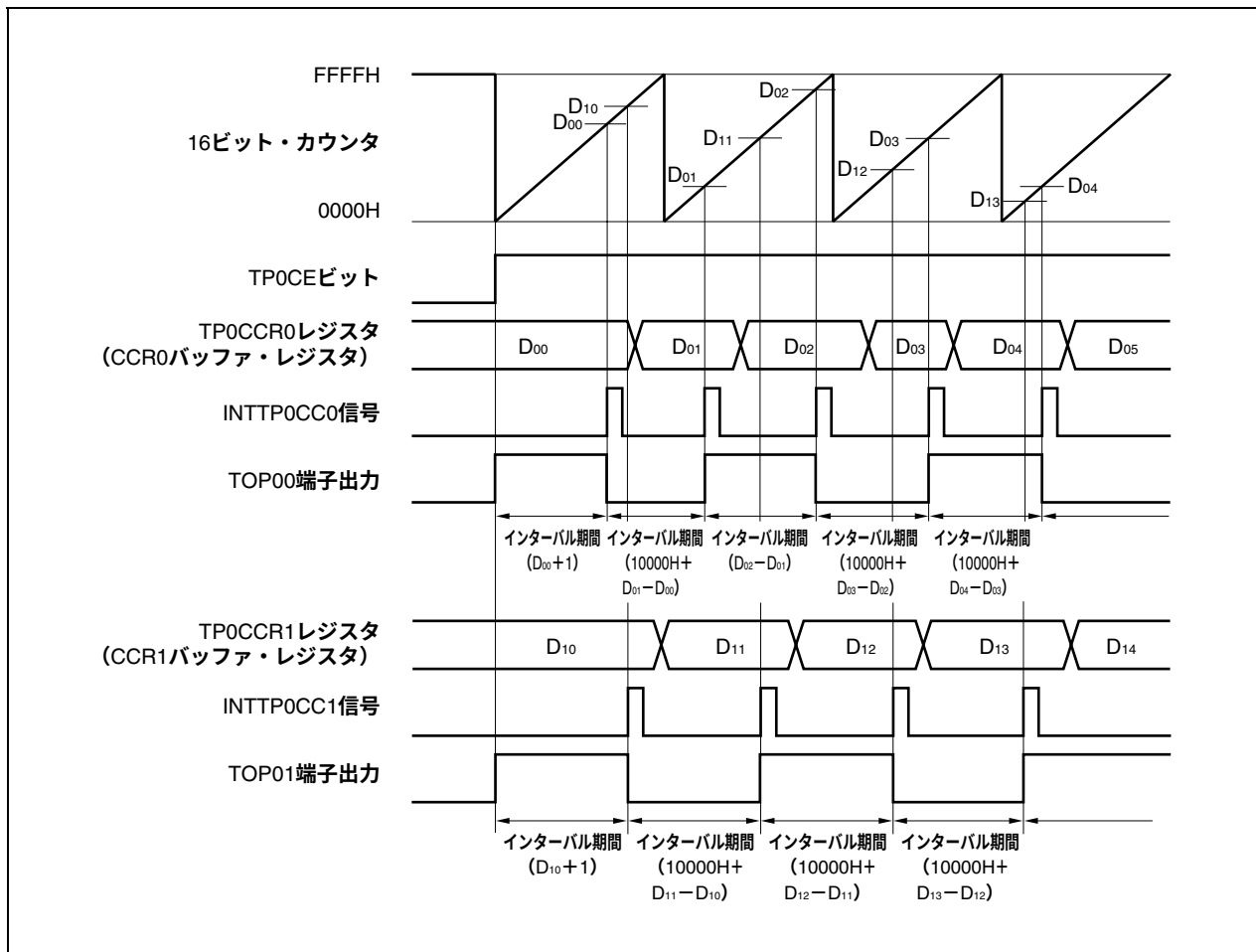


(2) フリー・ランニング・タイマ・モードの応用

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TP0CCRnレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTP0CCn信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。

図7-58 フリー・ランニング・タイマ・モードのインターバル動作



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTP0CCn信号を検出したときの割り込み処理中に、対応するTP0CCRnレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“D_a”とすると、次のように求められます。

コンペア・レジスタ初期値: D_a - 1

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

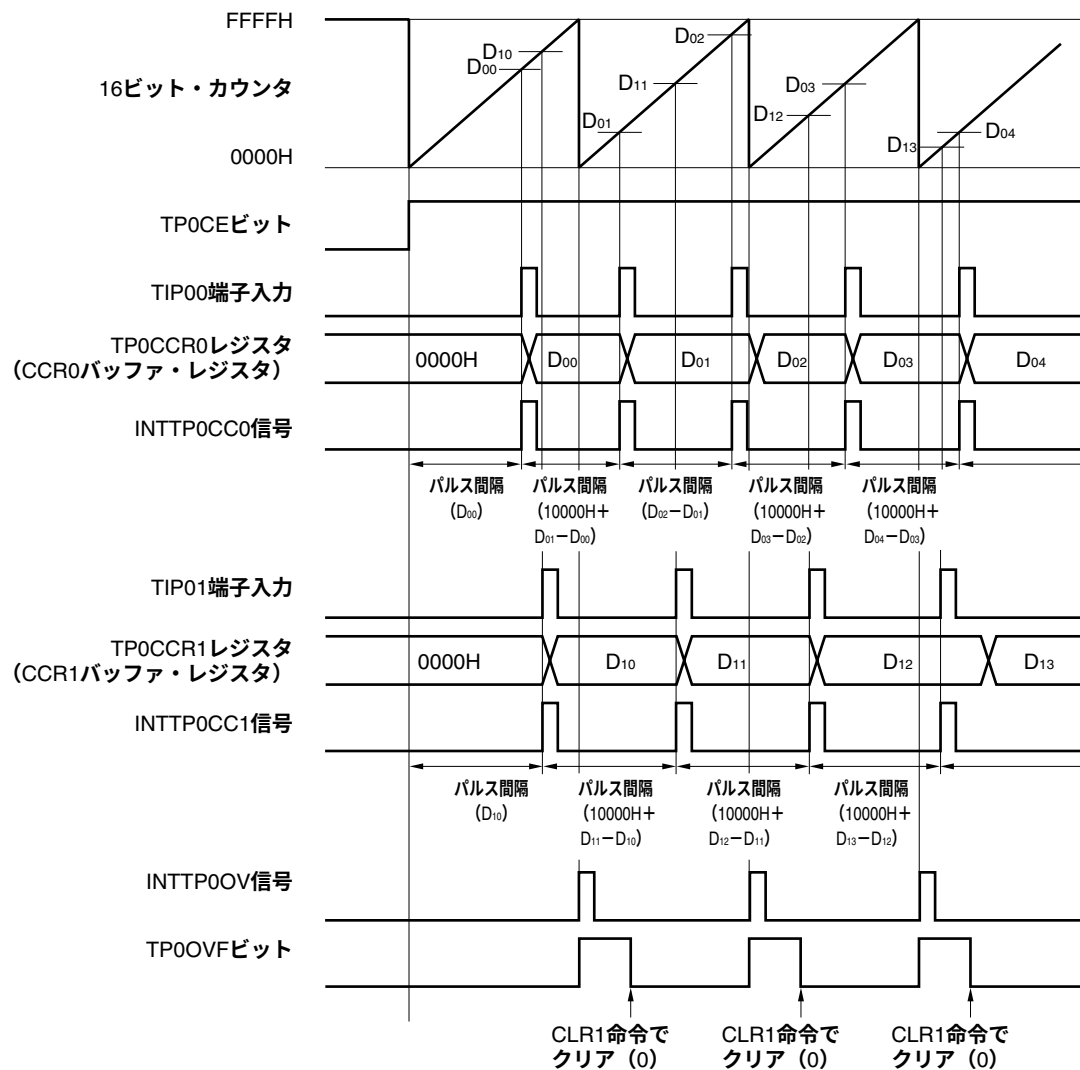
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

備考 n = 0, 1

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TP0CCRnレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTP0CCn信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。

図7-59 フリー・ランニング・タイマ・モードのパルス幅測定



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

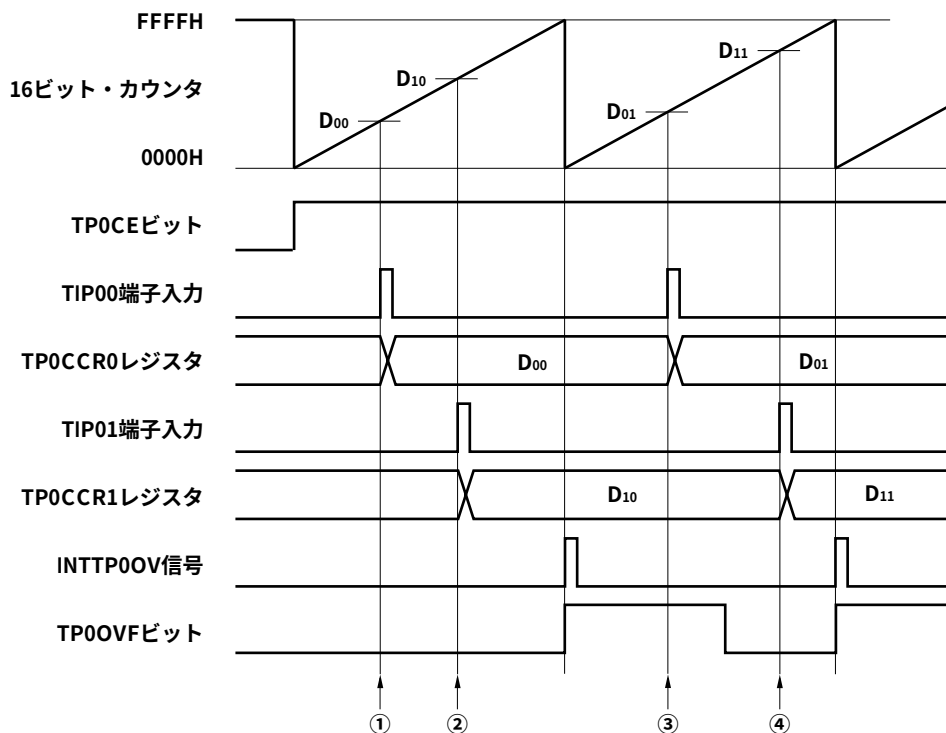
パルス幅測定を行う場合、INTTP0CCn信号に同期してTP0CCRnレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 n = 0, 1

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

図7-60 2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

① TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。

② TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。

③ TP0CCR0レジスタをリードする。

TP0OVFビットをリードする。→TP0OVFビットが“1”だった場合、クリア（0）する。

TP0OVFビットが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

④ TP0CCR1レジスタをリードする。

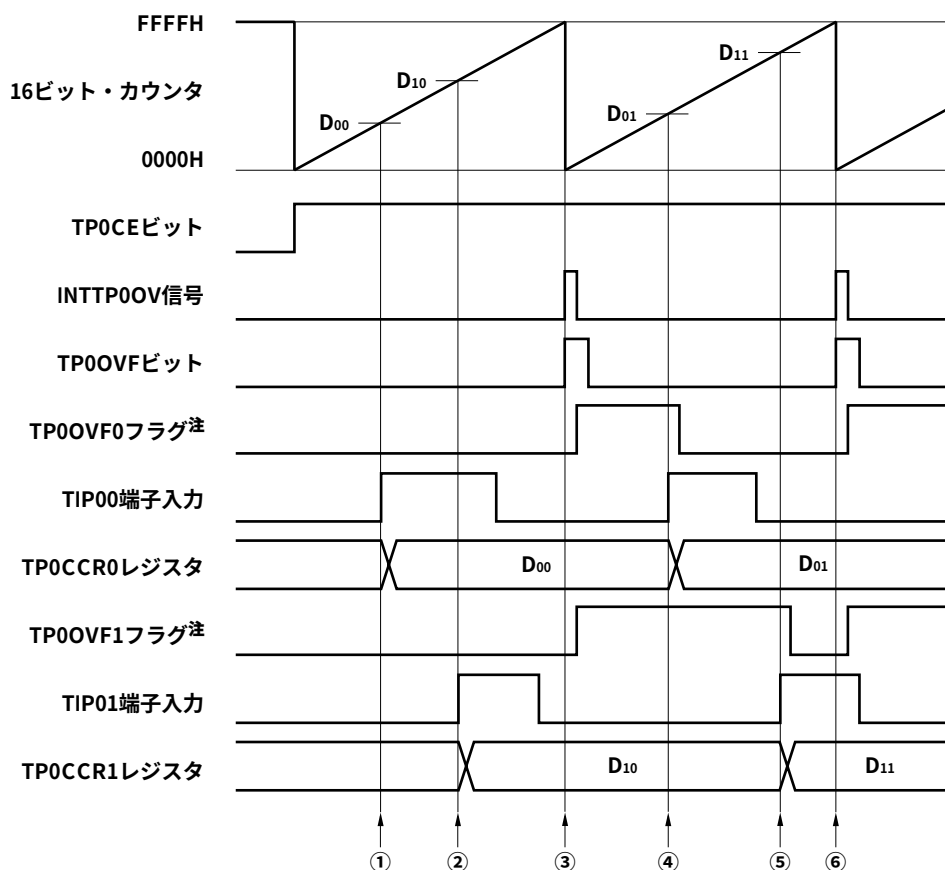
TP0OVFビットをリードする。→③でクリア（0）されているため、0がリードされます。

TP0OVFビットが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます（NG）。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでTP0OVFビットをクリア（0）してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

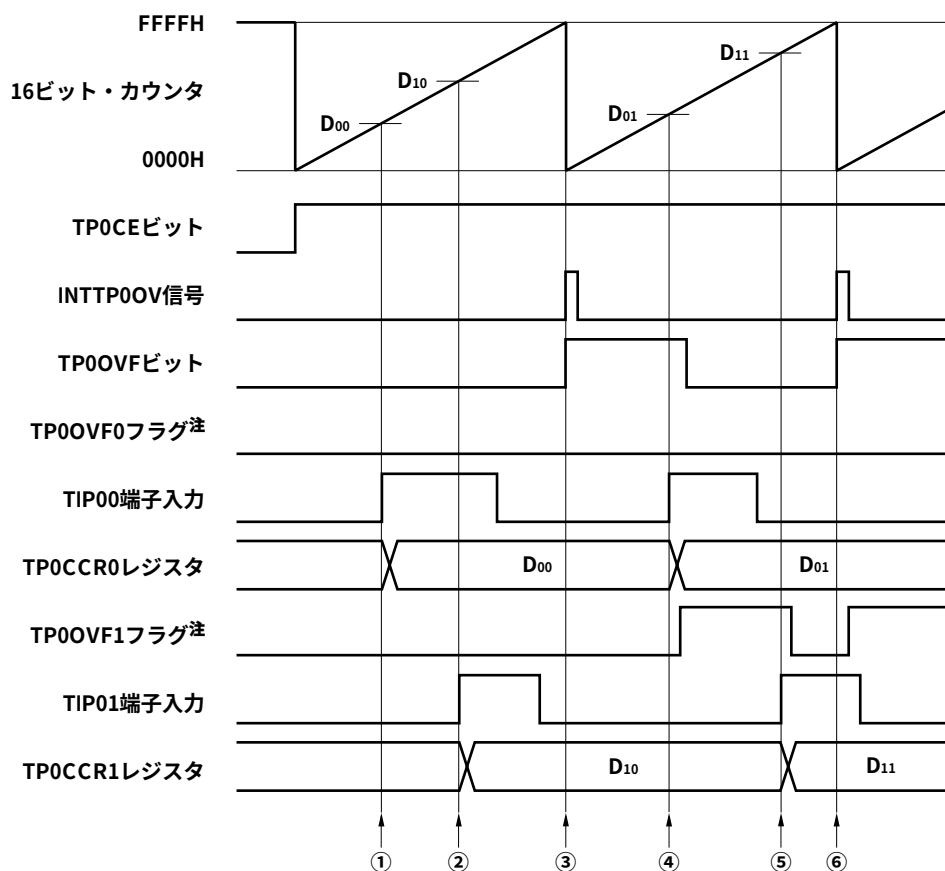
図7-61 2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用）



注 TP0OVF0, TP0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。
- ② TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。
- ③ オーバフローが発生する。オーバーフロー割り込み処理の中で、TP0OVF0, TP0OVF1フラグをセット（1）し、TP0OVFビットをクリア（0）する。
- ④ TP0CCR0レジスタをリードする。
TP0OVF0フラグをリードする。→TP0OVF0フラグが“1”なので、クリア（0）する。
TP0OVF0フラグが“1”なので、パルス幅は（10000H+D01-D00）で求められます。
- ⑤ TP0CCR1レジスタをリードする。
TP0OVF1フラグをリードする。→TP0OVF1フラグが“1”なので、クリア（0）する（④でクリア（0）されたのはTP0OVF0フラグであり、TP0OVF1フラグは“1”のまま）。
TP0OVF1フラグが“1”なので、パルス幅は（10000H+D11-D10）で求められます（OK）。
- ⑥ ③と同じです。

図7-62 2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用しない）



注 TP0OVF0, TP0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

① TP0CCR0レジスタをリードする（TIP00端子入力の初期値設定）。

② TP0CCR1レジスタをリードする（TIP01端子入力の初期値設定）。

③ オーバフローが発生する。ソフトウェアでは何もしない。

④ TP0CCR0レジスタをリードする。

TP0OVFビットをリードする。→TP0OVFビットが“1”なので、TP0OVF1フラグのみをセット（1）し、TP0OVFビットをクリア（0）する。

TP0OVFビットが“1”なので、パルス幅は（10000H + D₀₁ - D₀₀）で求められます。

⑤ TP0CCR1レジスタをリードする。

TP0OVFビットをリードする。TP0OVFビットは④でクリア（0）されているので“0”がリードされる。

TP0OVF1フラグをリードする。→TP0OVF1フラグが“1”なので、クリア（0）する。

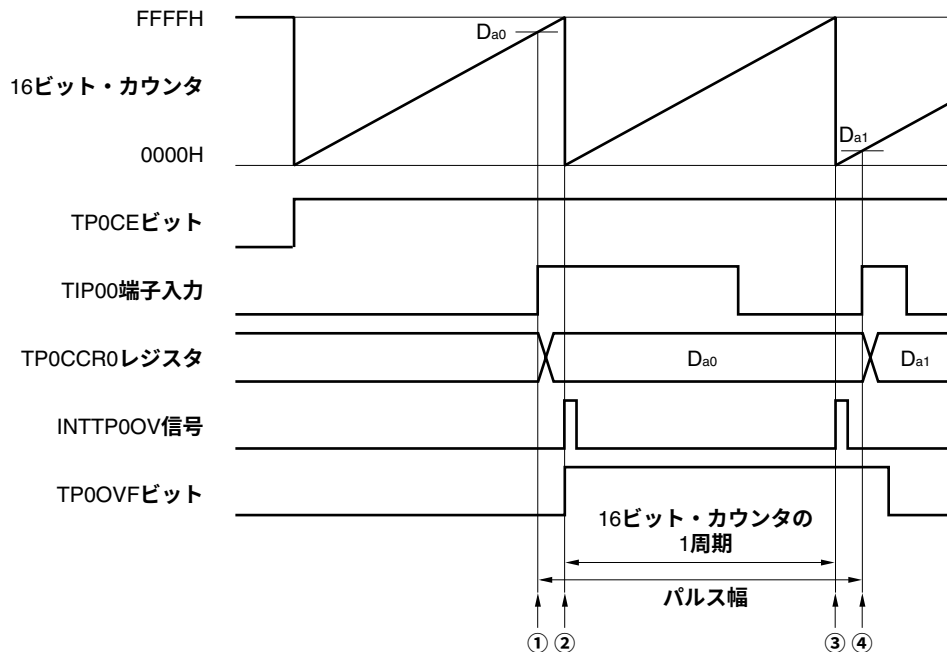
TP0OVF1フラグが“1”なので、パルス幅は（10000H + D₁₁ - D₁₀）で求められます（OK）。

⑥ ③と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバーフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバーフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。

図7-63 キャプチャ・トリガの間隔が長いときの悪い例 (TIP00使用時)



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

- ① TP0CCR0レジスタをリードする (TIP00端子入力の初期値設定)。
- ② オーバフローが発生する。ソフトウェアでは何もしない。
- ③ 2回目のオーバフローが発生する。ソフトウェアでは何もしない。
- ④ TP0CCR0レジスタをリードする。

TP0OVFビットをリードする。→TP0OVFビットが“1”なので、クリア (0) する。

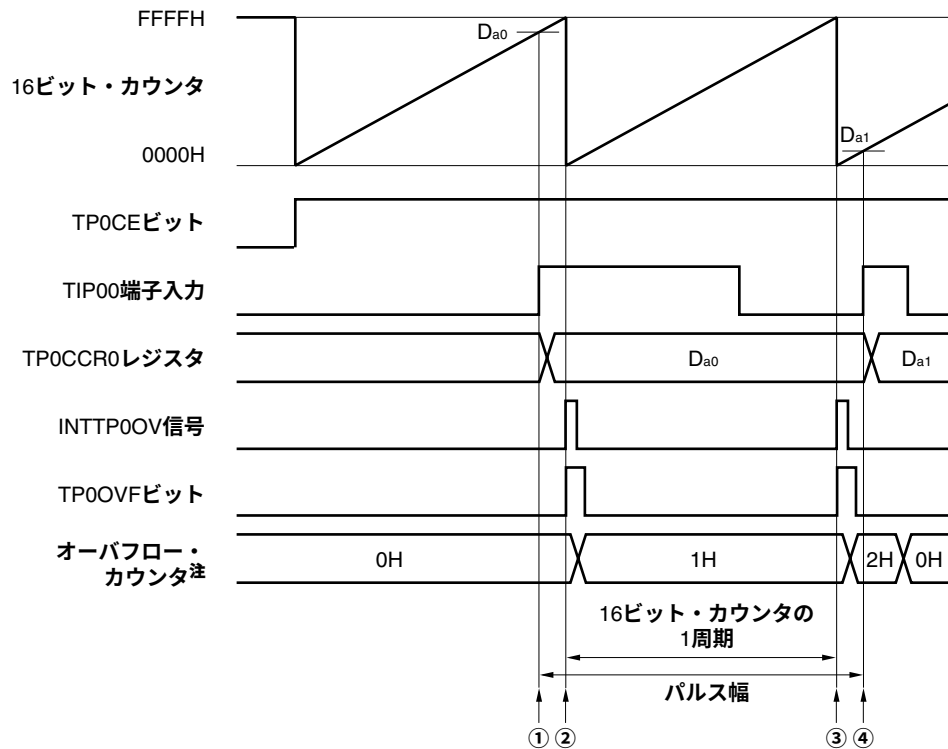
TP0OVFビットが“1”なので、パルス幅は $(10000H + Da1 - Da0)$ で求められます (NG)。

実際には、2回のオーバフローが発生しているので、パルス幅は、 $(20000H + Da1 - Da0)$ になるはずですが。

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバーフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

図7-64 キャプチャ・トリガの間隔が長いときの対応例 (TIP00使用時)



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TP0CCR0レジスタをリードする (TIP00端子入力の初期値設定)。
- ② オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、TP0OVFビットをクリア (0) する。
- ③ 2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメント (+1) し、TP0OVFビットをクリア (0) する。
- ④ TP0CCR0レジスタをリードする。

オーバフロー・カウンタをリードする。

→オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + Da1 - Da0)$ で求められる。

この例では、2回のオーバフローが発生しているので、パルス幅は、 $(20000H + Da1 - Da0)$ になります。

オーバフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグ (TP0OVF) のクリア方法

オーバフロー・フラグ (TP0OVF) をクリア (0) する方法は、TP0OVFビット = 1をリードしたあとにTP0OVFビットをCLR1命令でクリア (0) する方法と、TP0OVFビット = 1をリードしたあとにTP0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

7.4.7 パルス幅測定モード (TP0MD2-TP0MD0ビット = 110)

パルス幅測定モードは、TP0CTL0.TP0CEビットをセット (1) することでカウント動作を開始し、TIP0n端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTP0CCRnレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTP0CCn) が発生したあと、TP0CCRnレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIP00、TIP01端子のいずれか1本を使用してください。使用しない端子は、TP0IOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIP00端子固定ですので、TIP01端子のパルス幅を測定してください。このとき、TP0IOC1.TP0IS1、TP0IS0ビット = 00 (キャプチャ・トリガ入力 (TIP00端子) : エッジ検出なし) に設定してください (n = 0, 1)。

備考1. TIP00、TIP01端子の設定については表7-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTP0CC0、INTTP0CC1信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図7-65 パルス幅測定モードの構成図

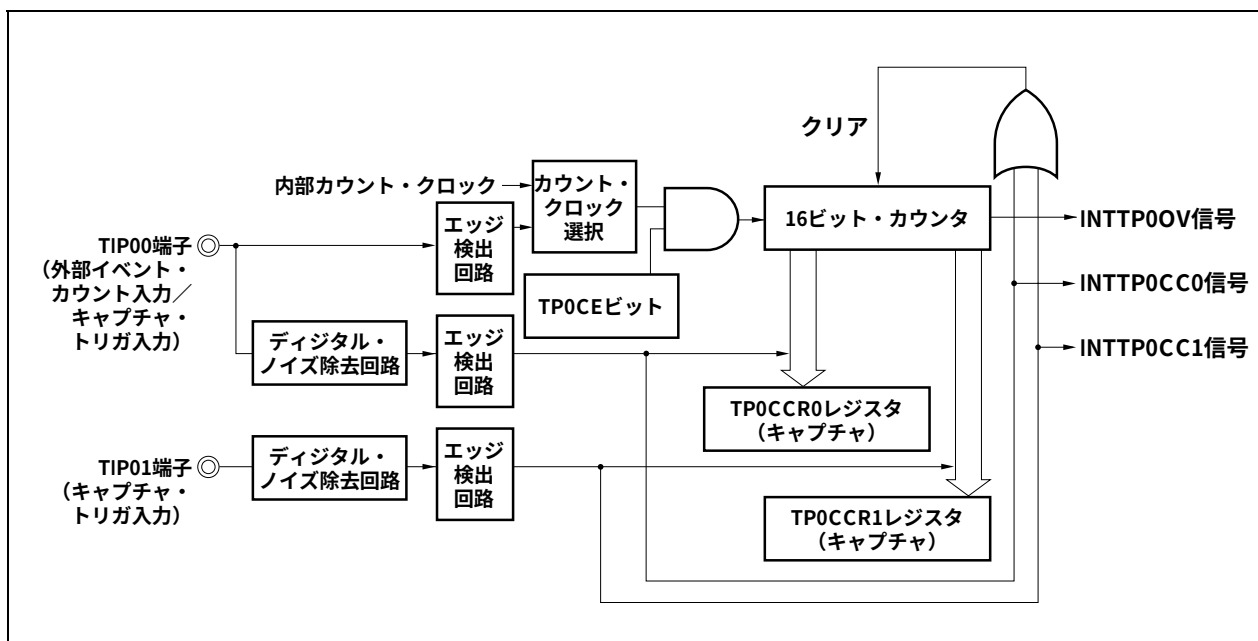
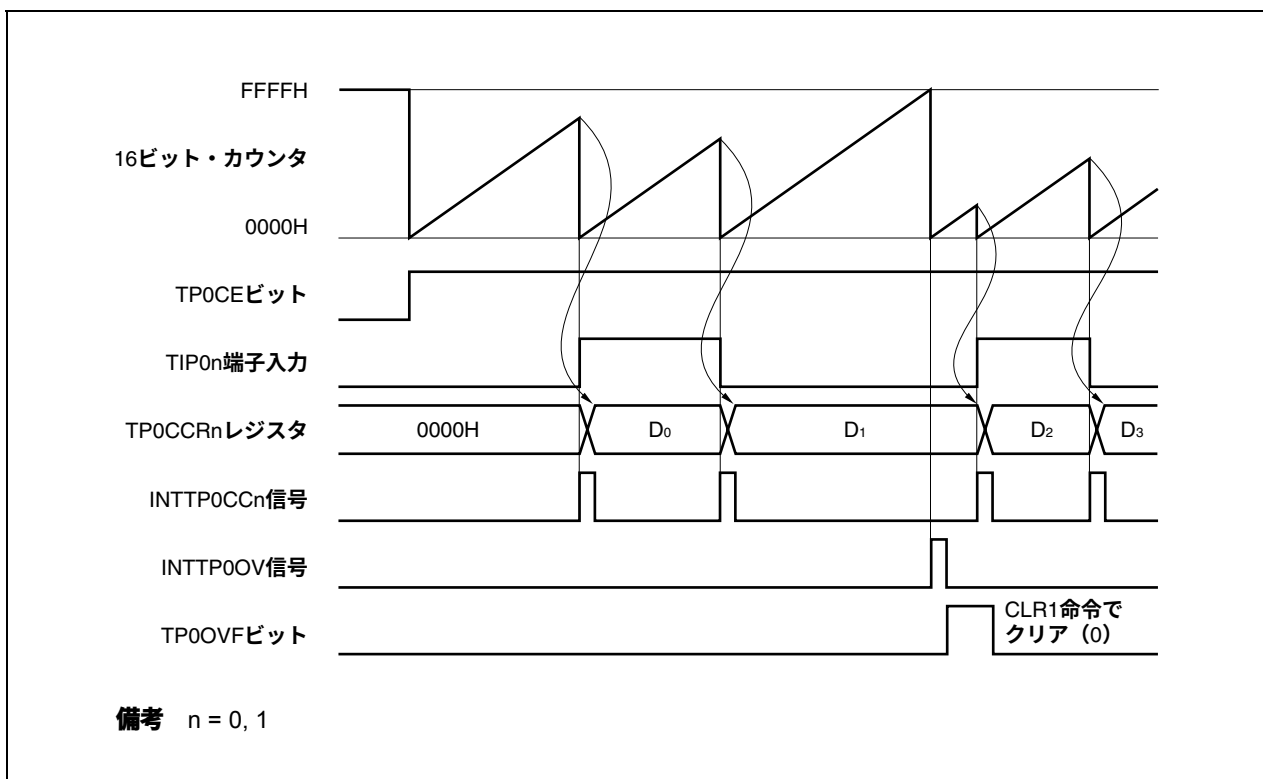


図7-66 パルス幅測定モードの基本タイミング



TP0CEビットをセット (1) することで、カウント動作を開始します。その後、TIP0n端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTP0CCRnレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号 (INTTP0CCn) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTP0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TP0OPT0.TP0OVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

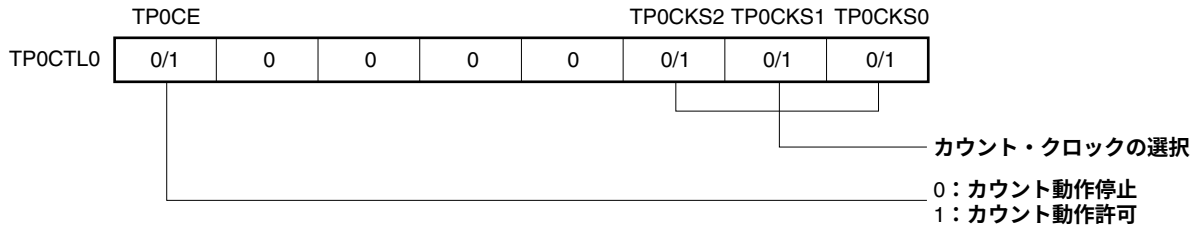
オーバフロー・フラグがセット (1) した場合、パルス幅は次のように求められます。

$$\begin{aligned} \text{パルス幅} = & (10000\text{H} \times \text{TP0OVFビットがセット (1) された回数} + \text{キャプチャされた値}) \\ & \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

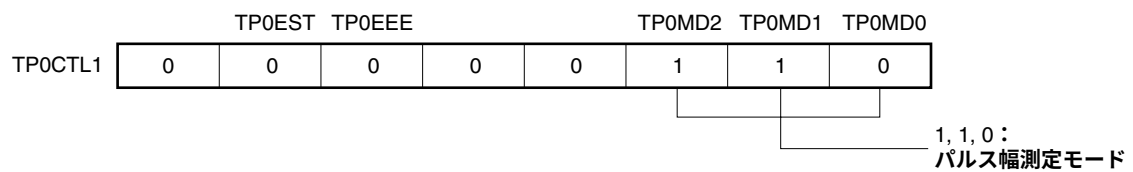
備考 n = 0, 1

図7-67 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

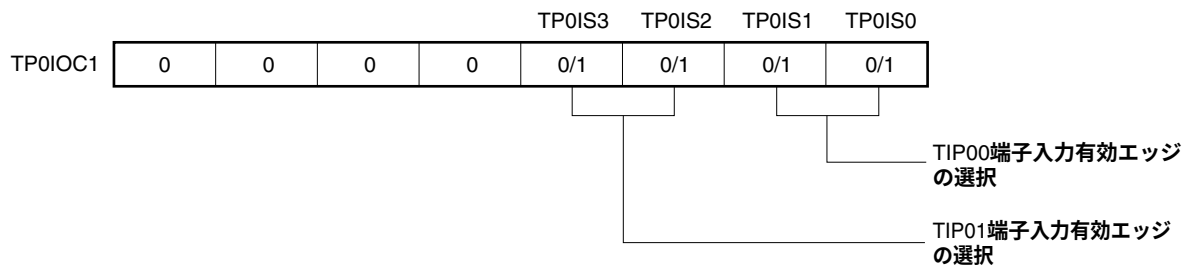
(a) TMP0制御レジスタ0 (TP0CTL0)



(b) TMP0制御レジスタ1 (TP0CTL1)



(c) TMP0I/O制御レジスタ1 (TP0IOC1)



(d) TMP0オプション・レジスタ0 (TP0OPT0)

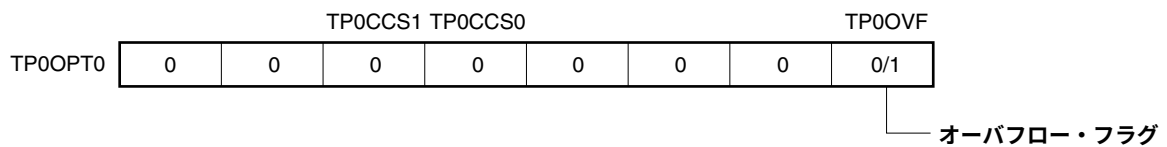


図7-67 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMP0カウンタ・リード・バッファ・レジスタ (TP0CNT)

TP0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

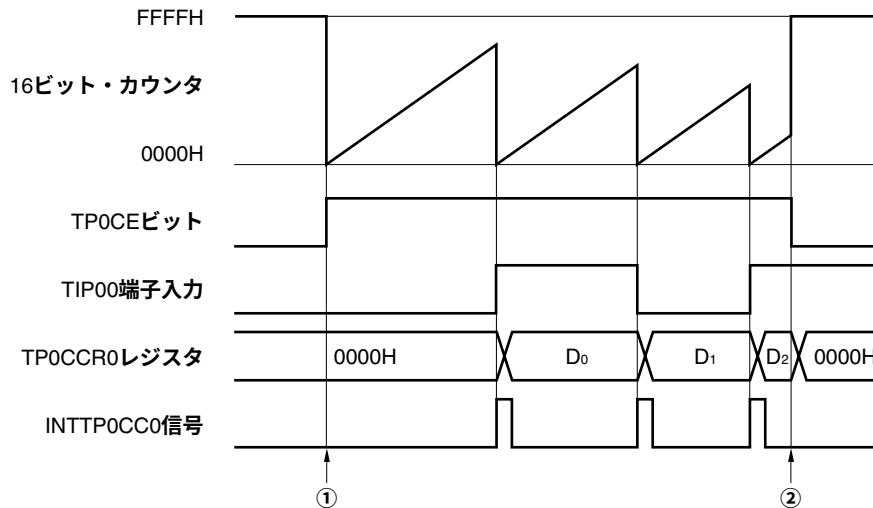
(f) TMP0キャプチャ／コンペア・レジスタ0, 1 (TP0CCR0, TP0CCR1)

TIP00/TIP01端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

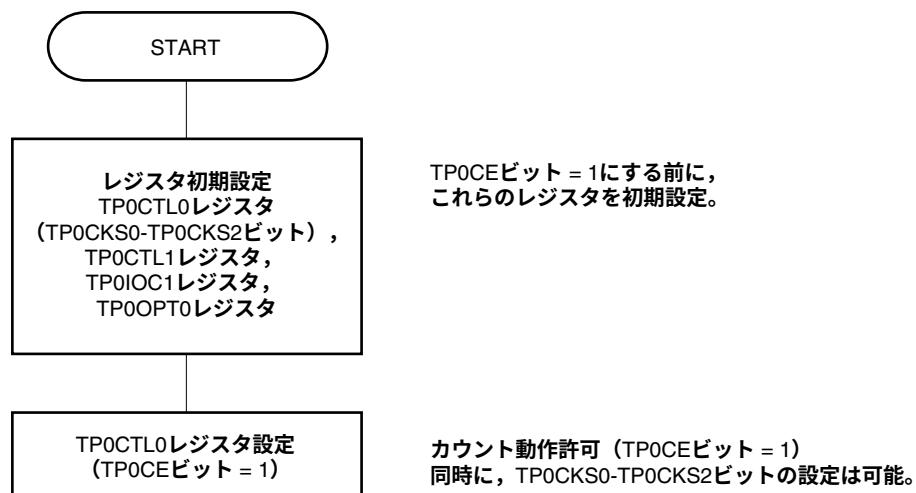
備考 パルス幅測定モードでは、TMP0I/O制御レジスタ0 (TP0IOC0) , TMP0I/O制御レジスタ2 (TP0IOC2) は使用しません。

(1) パルス幅測定モード動作フロー

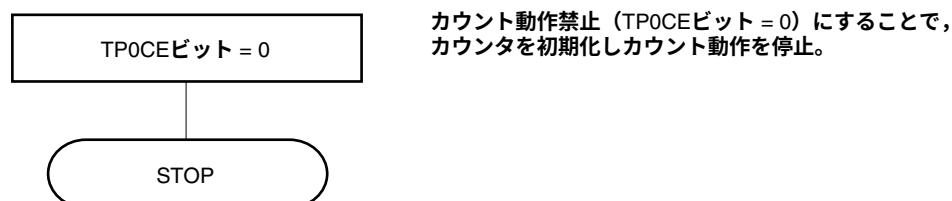
図7-68 パルス幅測定モード動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



(2) パルス幅測定モードの応用

(a) オーバフロー・フラグ (TP0OVF) のクリア方法

オーバフロー・フラグ (TP0OVF) をクリア (0) する方法は、TP0OVFビット = 1をリードしたあとにTP0OVFビットをCLR1命令でクリア (0) する方法と、TP0OVFビット = 1をリードしたあとにTP0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

7.4.8 タイマ出力動作説明

次にTOP00, TOP01端子の動作, および出力レベルを示します。

表7-6 各モードによるタイマ出力制御

動作モード	TOP01端子	TOP00端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	方形波出力	—
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力（コンペア機能のときのみ）	
パルス幅測定モード	—	

表7-7 タイマ出力制御ビットによるTOP00, TOP01端子の真理値表

TP0IOC0.TP0OLnビット	TP0IOC0.TP0OEnビット	TP0CTL0.TP0CEビット	TOP0n端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始直後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始直後はロウ・レベル

備考 n = 0, 1

7.5 キャプチャ・トリガ入力端子 (TIP0n) のノイズ除去

TIP0n端子には、デジタル・ノイズ除去回路を内蔵しています。

ただし、キャプチャ・トリガ入力として使用する場合のみ有効であり、外部イベント・カウント入力や外部トリガ入力として使用する場合は無効です。

デジタル・ノイズ除去は、PMC3, PFC3, PFCE3レジスタにより兼用機能 (TIP0n端子) に設定することによって行います。

サンプリング回数は、PnNFC.PnNFSTSビットにより3回／2回を選択できます。また、サンプリング・クロックはPnNFC.PnNFC2-PnNFC0ビットによりfxx, fxx/2, fxx/4, fxx/16, fxx/32, fxx/64から選択できます。

(1) TIP0nノイズ除去制御レジスタ (PnNFC)

デジタル・ノイズ除去のサンプリング・クロックおよびサンプリング回数を選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：P0NFC FFFFFB00H, P1NFC FFFFFB04H

	7	6	5	4	3	2	1	0
PnNFC (n = 0, 1)	0	PnNFSTS	0	0	0	PnNFC2	PnNFC1	PnNFC0

PnNFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

PnNFC2	PnNFC1	PnNFC0	サンプリング・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/16
1	0	0	fxx/32
1	0	1	fxx/64
上記以外			設定禁止

注意1. サンプリング・クロック周期×サンプリング回数時間経過後TMP0の16ビット・カウンタのスタート許可 (TP0CTL.TP0CEビット = 1) をしてください。

2. ビット7, 5-3には必ず0を設定してください。

<設定手順>

- ① PnNFCレジスタの設定によりサンプリング回数，サンプリング・クロックを選択する。
- ② PMC3, PFC3, PFCE3レジスタにより，兼用機能（TIP0n端子）に設定する。
- ③ TMP0の動作モードを設定する（キャプチャ・モード，キャプチャ・トリガの有効エッジなど）。
- ④ TMP0カウント動作許可。

<ノイズ除去幅>

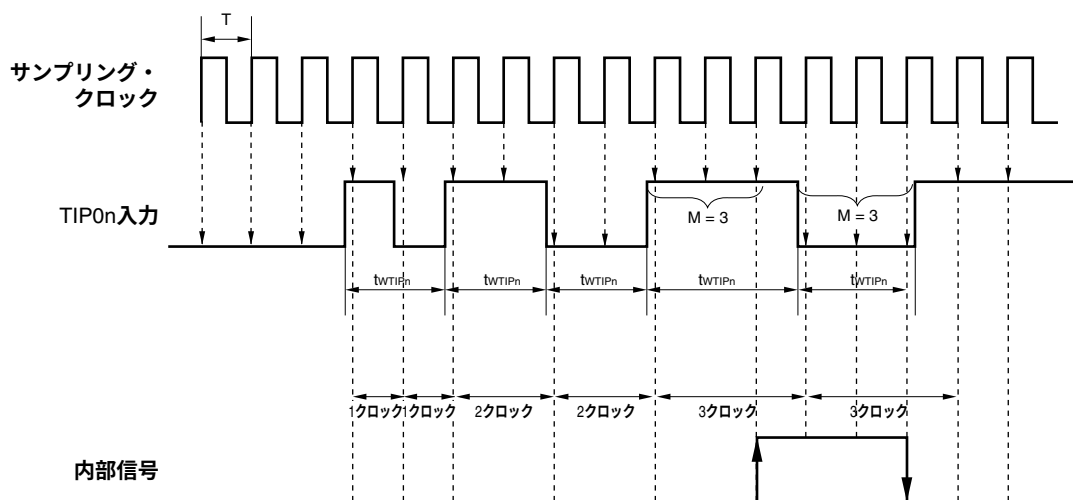
デジタル・ノイズ除去幅（ t_{WTIPn} ）は，サンプリング・クロック周期：T，サンプリング回数：Mとすると，次のようになります。

- $t_{WTIPn} < (M-1) T$: 確実にノイズとして除去
- $(M-1) T \leq t_{WTIPn} < MT$: ノイズとして除去，あるいは有効エッジとして検出
- $t_{WTIPn} \geq MT$: 確実に有効エッジとして検出

したがって，キャプチャ・トリガ入力の有効エッジを確実に検出させるためには，MT以上のパルス幅を入力する必要があります。

次にTIP0n入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図7-69 ノイズ除去のタイミング例



備考1. PnNFC.PnNFSTS = 0（サンプリング回数：3）に設定した場合の例です。

2. T：サンプリング・クロック周期

M：サンプリング回数

t_{WTIPn} ：デジタル・ノイズ除去幅

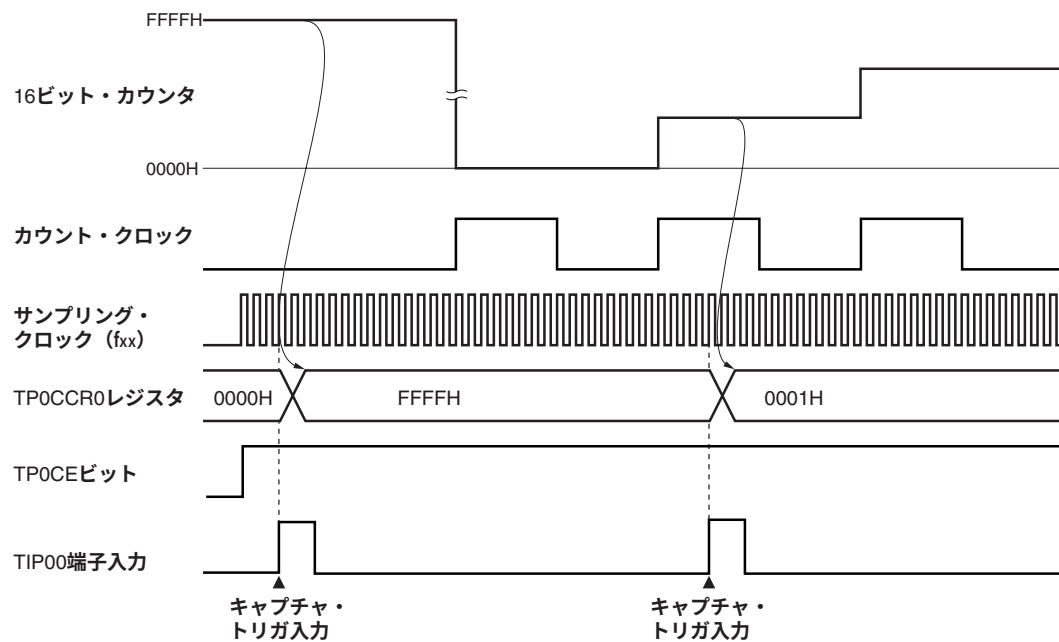
3. n = 0, 1

7.6 注意事項

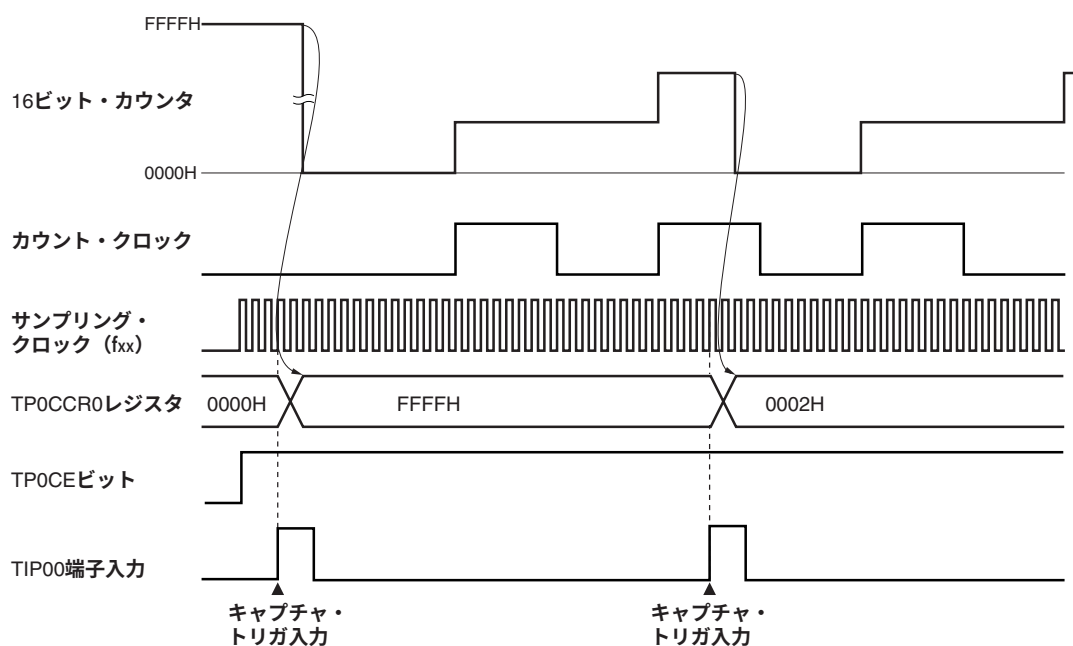
(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, 外部イベント・カウンタ (TP0CLT1.TP0EEEビット = 1) を選択した場合、TP0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TP0CCRnレジスタに0000HではなくFFFFHがキャプチャされる場合があります ($n = 0, 1$)。

(a) フリー・ランニング・タイマ・モード



(b) パルス幅測定モード



第8章 16ビット・タイマ／イベント・カウンタ0 (TM0)

V850ES/KJ2は、16ビット・タイマ／イベント・カウンタ0を6チャンネル搭載しています。

8.1 機 能

16ビット・タイマ／イベント・カウンタ0_nには、次のような機能があります（n = 0-5）。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

(2) 方形波出力

任意の周波数の方形波出力が可能です。

(3) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(4) ワンショット・パルス出力

出力パルス幅を任意に設定できるワンショット・パルスを出力できます。

(5) PPG出力

周波数とデューティを任意に設定できる矩形波を出力できます。

(6) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

8.2 構 成

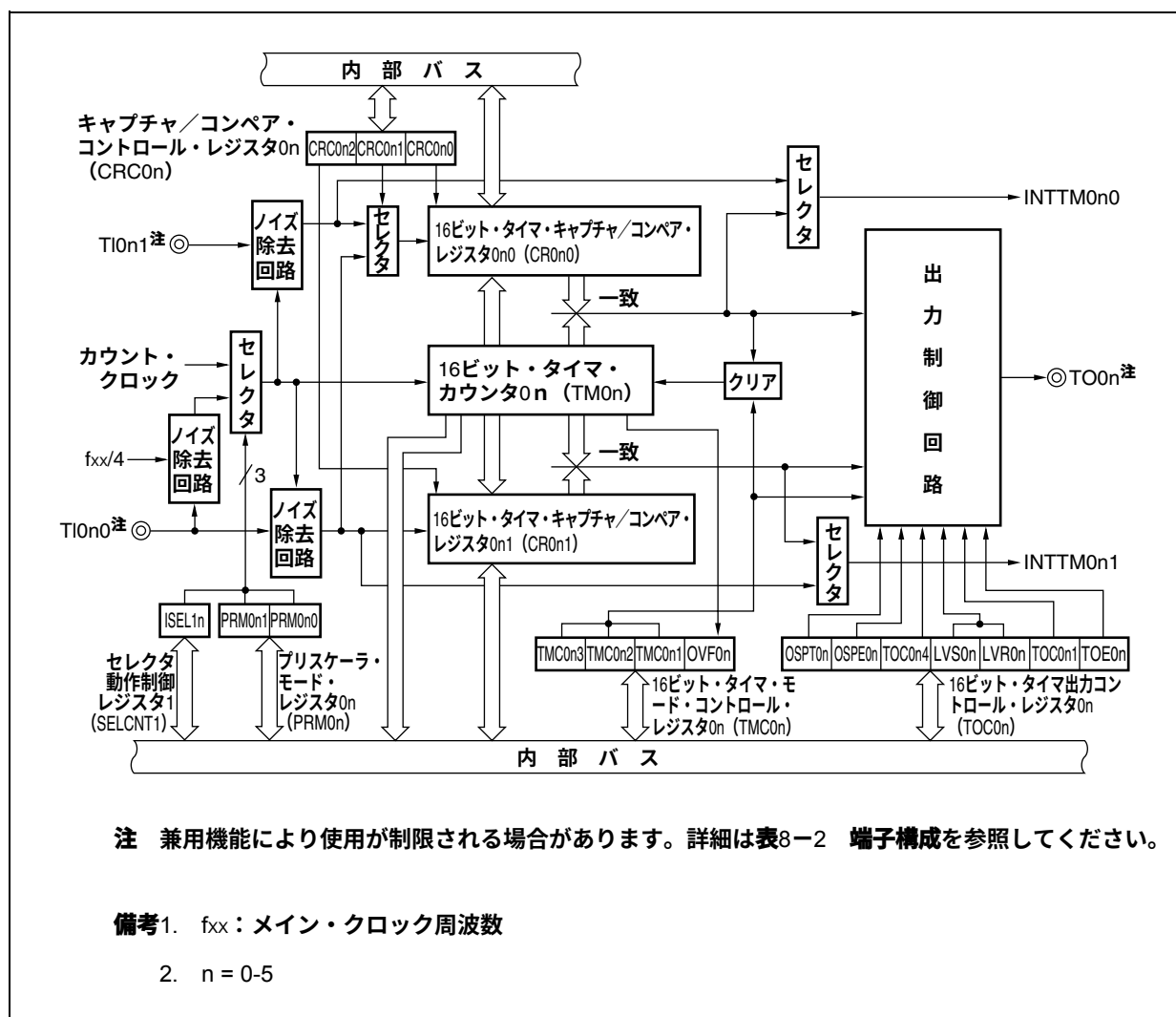
16ビット・タイマ/イベント・カウンタ0nは、次のハードウェアで構成されています。

表8-1 16ビット・タイマ/イベント・カウンタ0nの構成

項 目	構 成
レジスタ	16ビット・タイマ・カウンタ0n×1本 (TM0n) 16ビット・タイマ・キャプチャ/コンペア・レジスタ：16ビット×2本 (CR0n0, CR0n1) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) プリスケアラ・モード・レジスタ0n (PRM0n) セレクト動作制御レジスタ1 (SELCNT1)
タイマ入力	2本 (TI0n0, TI0n1端子)
タイマ出力	1本 (TO0n端子)

次にブロック図を示します。

図8-1 16ビット・タイマ/イベント・カウンタ0nのブロック図



(1) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタは、内部クロックまたは、外部イベントをカウントできるカウンタで、16ビットのレジスタとしてもリード可能です。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

(2) 16ビット・タイマ・キャプチャ／コンペア・レジスタ (CR0n0, CR0n1)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC0nレジスタで行います。

(3) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0nレジスタは、16ビット・タイマ／イベント・カウンタ0nの動作モード、TM0nレジスタのクリア・モード、出力タイミングの設定およびオーバフローを検出する8ビットのレジスタです。

(4) キャプチャ／コンペア・コントロール・レジスタ (CRC0n)

CRC0nレジスタは、CR0n0, CR0n1レジスタの動作を制御する8ビットのレジスタです。

(5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

TOC0nレジスタは、TO0n端子出力を制御する8ビットのレジスタです。

(6) プリスケアラ・モード・レジスタ0n (PRM0n)

PRM0nレジスタは、TM0nレジスタのカウント・クロック、およびTI0n0, TI0n1端子入力の有効エッジを設定する8ビットのレジスタです。

SELCNT1.ISEL1nビットと組み合わせて設定します。

(7) セレクタ動作制御レジスタ1 (SELCNT1)

TM0nレジスタのカウント・クロックを設定するレジスタです。

PRM0nレジスタと組み合わせて設定します。

(8) 出力制御回路

TO0n端子の出力を制御します。TO0n端子の出力は、TOC0nレジスタで制御します。

(9) セレクタ

16ビット・タイマ・カウンタ0nのカウント・クロックを選択します。カウント・クロックとして、6種類の内部クロックまたは外部イベントから選択できます。

備考 n = 0-5

★ 8.2.1 端子の構成

TM0nを構成するタイマ入力およびタイマ出力は、表8-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-19 端子を兼用機能として使用する場合参照）。

表8-2 端子構成

チャネル	ピン番号	ポート	タイマ入力	タイマ出力	その他の兼用機能
TM00	28	P33	TI000	TO00	TIP00/TOP00
	29	P34	TI001	TO00	TIP01/TOP01
TM01	27	P32	—	TO01	ASCK0/ADTRG
	30	P35	TI010		—
	37	P50	TI011	—	KR0/RTP00
TM02	25	P30	—	TO02	TXD0
	63	P92	TI020		A2
	64	P93	TI021	—	A3
TM03	26	P31	—	TO03	RXD0/INTP7
	65	P94	TI030		A4
	66	P95	TI031	—	A5
TM04	52	P69	TI040	—	—
	53	P610	TI041	—	—
	54	P611	—	TO04	—
TM05	55	P612	TI050	—	—
	56	P613	TI051	TO05	—

タイマ入出力の使用については8.6 注意事項を参照してください。

★ 8.2.2 割り込み機能

TM0nには2種類の割り込み信号があります。

(1) INTTM0n0

16ビット・タイマ・カウンタの値とCR0n0レジスタの値の一致、もしくはTI0n1, TI0n0端子からのキャプチャ入力により発生します。

(2) INTTM0n1

16ビット・タイマ・カウンタの値とCR0n1レジスタの値の一致、もしくはTI0n0端子からのキャプチャ入力により発生します。

8.3 レジスタ

16ビット・タイマ／イベント・カウンタ0nを構成するレジスタを次に示します。

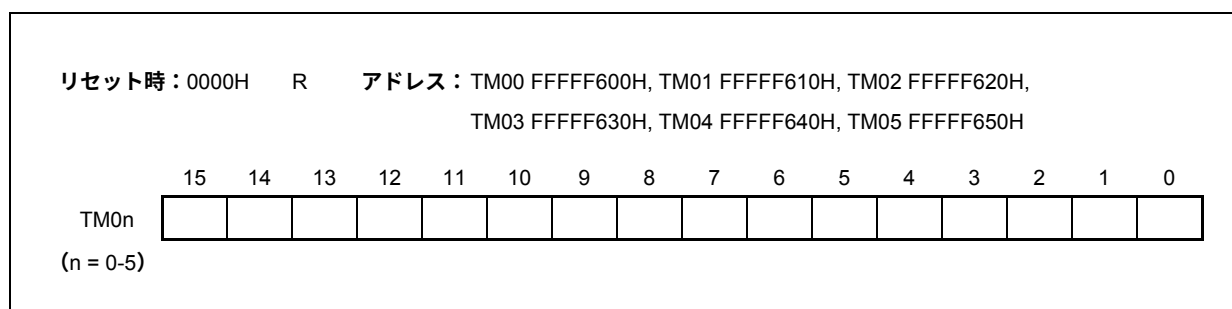
- ・16ビット・タイマ・カウンタ0n (TM0n)
- ・16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0 (CR0n0)
- ・16ビット・タイマ・キャプチャ／コンペア・レジスタ0n1 (CR0n1)
- ・16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)
- ・キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)
- ・16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)
- ・プリスケアラ・モード・レジスタ0n (PRM0n)
- ・セレクト動作制御レジスタ1 (SELCNT1)

備考 TI0n0, TI0n1, TO0n端子の設定については表8-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

(1) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタは、内部クロックまたは、外部イベントをカウントできるカウンタで、16ビットのレジスタとしてもリード可能です。

カウント・クロックの立ち上がりに同期して、カウンタをインクリメントします。



TM0nレジスタをTMC0n.TMC0n3, TMC0n2ビット = 00以外のときにリードすることにより、カウント値をリードできます。TMC0n3, TMC0n2ビット = 00の状態では、0000Hがリードされます。次の場合、カウント値は0000Hになります。

- ・リセット時
- ・TMC0n3, TMC0n2ビットをクリア (00) したとき
- ・TI0n0端子の有効エッジ入力でクリア&スタート・モード時、TI0n0端子に有効エッジが入力されたとき
- ・TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モード時、TM0nレジスタとCR0n0レジスタが一致したとき
- ・ワンショット・パルス出力モードで、TOC0n.OSPT0nビットをセット (1) したとき、またはTI0n0端子に有効エッジが入力されたとき

備考 n = 0-5

(2) 16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0 (CR0n0) ,
16ビット・タイマ・キャプチャ／コンペア・レジスタ0n1 (CR0n1)

キャプチャ機能とコンペア機能を切り替えて使用できる16ビットのレジスタです。キャプチャ機能とコンペア機能の切り替えは、CRC0nレジスタで行います。

CR0n0レジスタは動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外) の書き換えは禁止です。

CR0n1レジスタは、所定の方法で設定した場合、動作中に書き換え可能です。詳細は8. 5. 1 コンペア・レジスタのTM0n動作中の書き換えを参照してください。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

- 注意1.** P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジ入力として使用し、かつタイマ出力機能を使用するときは、P34, P32, P30, P31端子をタイマ出力端子 (TO00-TO03) に設定してください。
2. TMC0n3, TMC0n2ビット = 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。
3. キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC0n3, TMC0n2ビット = 00にしてから、設定を変更してください。
- なお、一度キャプチャした値は、リセットしないかぎりCR0n0, CR0n1レジスタに格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。

(a) 16ビット・タイマ・キャプチャ／コンペア・レジスタ0n0 (CR0n0)

リセット時：0000H R/W アドレス： CR000 FFFFF602H, CR010 FFFFF612H, CR020 FFFFF622H,
CR030 FFFFF632H, CR040 FFFFF642H, CR050 FFFFF652H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CR0n0 (n = 0-5)																

(i) CR0n0レジスタをコンペア・レジスタとして使用するとき

CR0n0レジスタに設定した値とTM0nレジスタのカウント値を常に比較し、一致したときに割り込み信号 (INTTM0n0) を発生します。書き換えられるまで値を保持します。

(ii) CR0n0レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。

キャプチャ・トリガとして、TI0n0端子の逆相のエッジかTI0n1端子の有効エッジの選択ができます。キャプチャ・トリガの選択は、CRC0n, PRM0nレジスタで設定します。

(b) 16ビット・タイマ・キャプチャ／コンペア・レジスタ_{0n1} (CR_{0n1})

リセット時：0000H R/W アドレス： CR001 FFFFF604H, CR011 FFFFF614H, CR021 FFFFF624H,
CR031 FFFFF634H, CR041 FFFFF644H, CR051 FFFFF654H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CR _{0n1}																

(n = 0-5)

(i) CR_{0n1}レジスタをコンペア・レジスタとして使用するとき

CR_{0n1}レジスタに設定した値とTM_{0n}レジスタのカウント値を常に比較し、一致したときに割り込み信号 (INTTM_{0n1}) を発生します。

(ii) CR_{0n1}レジスタをキャプチャ・レジスタとして使用するとき

キャプチャ・トリガの入力により、TM_{0n}レジスタのカウント値をCR_{0n1}レジスタにキャプチャします。

キャプチャ・トリガとして、TI_{0n0}端子の有効エッジの選択ができます。TI_{0n0}端子の有効エッジは、PRM_{0n}レジスタで設定します。

(c) コンペア・レジスタとして使用した場合の設定範囲

CR0n0, CR0n1レジスタをコンペア・レジスタとして使用するときには、次の範囲で値を設定してください。

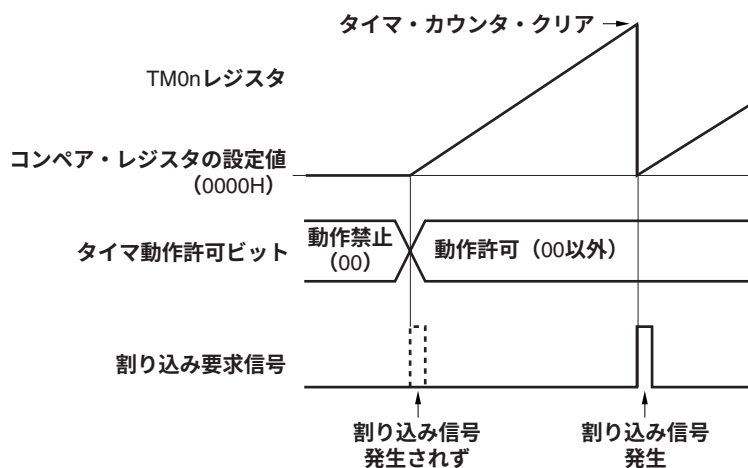
表8-3 コンペア・レジスタとして使用した場合の設定範囲

動 作	CR0n0レジスタ	CR0n1レジスタ
・インターバル・タイマとしての動作 ・方形波出力としての動作 ・外部イベント・カウンタとしての動作	$0000H < N \leq FFFFH$	$0000H^{\text{※}} \leq M \leq FFFFH$ 通常、使用しません。一致割り込み信号 (INTTM0n1) をマスクしてください。
・TI0n0端子の有効エッジ入力によるクリア & スタート・モードとしての動作 ・フリー・ランニング・タイマとしての動作	$0000H^{\text{※}} \leq N \leq FFFFH$	$0000H^{\text{※}} \leq M \leq FFFFH$
・PPG出力としての動作	$M < N \leq FFFFH$	$0000H^{\text{※}} \leq M < N$
・ワンショット・パルス出力としての動作	$0000H^{\text{※}} \leq N \leq FFFFH (N \neq M)$	$0000H^{\text{※}} \leq M \leq FFFFH (M \neq N)$

注 0000Hに設定した場合、タイマ動作直後の一致割り込みは発生せず、タイマ出力も変化しません。

最初の一致タイミングは次のようになります。なお、一致割り込みは、タイマ・カウンタ (TM0nレジスタ) が 0000Hから0001Hになるタイミングで発生します。

- ・オーバフローによるタイマ・カウンタ・クリア時
- ・TI0n0端子の有効エッジによるタイマ・カウンタ・クリア時
(TI0n0端子の有効エッジ入力でクリア&スタート・モードのとき)
- ・コンペア一致によるタイマ・カウンタ・クリア時
(TM0nとCR0n0の一致でクリア&スタート・モード (CR0n0 = 0000H以外, CR0n1 = 0000H) のとき)



備考1. N : CR0n0レジスタの設定値

M : CR0n1レジスタの設定値

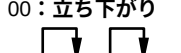
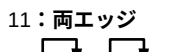
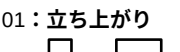
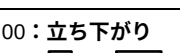
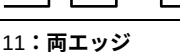
2. 動作許可ビット (TMC0n.TMC0n3, TMC0n2ビット) の詳細については8. 3 (3) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n) を参照してください。

(d) キャプチャ・レジスタとして使用した場合の動作

CR0n0, CR0n1レジスタをキャプチャ・レジスタとして使用した場合, PRM0n, CRC0nレジスタの設定により, 対象となるキャプチャ・トリガの組み合わせ, エッジ検出などが変わります。

表8-4にレジスタ設定によるキャプチャ動作について示します。

表8-4 CR0n0, CR0n1レジスタのキャプチャ動作

外部入力信号 キャプチャ動作	TI0n0端子入力 		TI0n1端子入力 	
CR0n0 レジスタ のキャプチャ動作	CRC0n1ビット = 1 TI0n0端子入力 (逆相) 	ESn01, ESn00の設定値 キャプチャするエッジの位置	CRC0n1ビット = 0 TI0n1端子入力 	ESn11, ESn10の設定値 キャプチャするエッジの位置
		01: 立ち上がり 		01: 立ち上がり 
		00: 立ち下がり 		00: 立ち下がり 
		11: 両エッジ (キャプチャできません)		11: 両エッジ 
	割り込み信号	キャプチャしても INTTM0n0信号は発生しない	割り込み信号	キャプチャするごとに INTTM0n0信号が発生
CR0n1 レジスタ のキャプチャ動作	TI0n0端子入力 ^注 	ESn01, ESn00の設定値 キャプチャするエッジの位置		
		01: 立ち上がり 		
		00: 立ち下がり 		
		11: 両エッジ 		
	割り込み信号	キャプチャするごとに INTTM0n1信号が発生		

注 CR0n1レジスタのキャプチャ動作には, CRC0n1ビットの設定による影響はありません。

注意 TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合, キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に, TI0n1端子から有効エッジが検出された場合, キャプチャ動作は行われませんが, 外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は, INTTM0n0信号をマスクしてください。

備考1. CRC0n1: 8. 3 (4) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n) 参照

ESn11, ESn10, ESn01, ESn00: 8. 3 (6) プリスケラ・モード・レジスタ0n (PRM0n) 参照

2. n = 0-5

(3) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0nレジスタは、16ビット・タイマ／イベント・カウンタ0nの動作モード、TM0nレジスタのクリア・モード、出力タイミングの設定およびオーバーフローを検出する8ビットのレジスタです。

TMC0nレジスタは、動作中 (TMC0n3, TMC0n2ビット = 00以外するとき) の書き換えは禁止です。

ただし、TMC0n3, TMC0n2ビットを00 (動作停止) に設定する場合と、OVF0nビットに0を設定する場合は、書き換え可能です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. 16ビット・タイマ／イベント・カウンタ0nは、TMC0n3, TMC0n2ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2ビットに00を設定してください。

2. メイン・クロック停止、サブクロック動作時に、TMC0nレジスタにアクセスしないでください。

詳細は、3. 4. 9 (1) を参照してください。

備考 n = 0-5

リセット時：00H R/W アドレス：TMC00 FFFFF606H, TMC01 FFFFF616H, TMC02 FFFFF626H,
TMC03 FFFFF636H, TMC04 FFFFF646H, TMC05 FFFFF656H

	7	6	5	4	3	2	1	⑩
TMC0n	0	0	0	0	TMC0n3	TMC0n2	TMC0n1	OVF0n

(n = 0-5)

TMC0n3	TMC0n2	16ビット・タイマ／イベント・カウンタ0nの動作モードの選択
0	0	TM0n動作禁止。動作クロック供給停止。16ビット・タイマ・カウンタ (TM0n) クリア。
0	1	フリー・ランニング・タイマ・モード
1	0	TI0n0端子の有効エッジ入力 ^注 でクリア&スタート・モード
1	1	TM0nとCR0n0の一致でクリア&スタート・モード

TMC0n1	タイマ出力 (TO0n) 反転条件
0	・ TM0nとCR0n0の一致, TM0nとCR0n1の一致
1	・ TM0nとCR0n0の一致, TM0nとCR0n1の一致 ・ TI0n0端子の有効エッジのトリガ入力

OVF0n	TM0nレジスタのオーバーフロー・フラグ
クリア (0)	OVF0nビットへの0ライトまたはTMC0n.TMC0n3, TMC0n2 = 00
セット (1)	オーバーフロー発生
OVF0nビットは、すべての動作モード（フリー・ランニング・タイマ・モード, TI0n0端子の有効エッジ入力でクリア&スタート・モード, TM0nとCR0n0の一致でクリア&スタート・モード）でTM0nレジスタの値がFFFFHから0000Hになるとき、セット (1) されます。 OVF0nビットに1を書き込むことでもセット (1) できます。	

注 TI0n0端子の有効エッジは、PRM0nレジスタで設定します。

(4) キャプチャ／コンペア・コントロール・レジスタ0n (CRC0n)

CRC0nレジスタは、CR0n0, CR0n1レジスタの動作を制御するレジスタです。

CRC0nレジスタは、動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外) の書き換えは禁止です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CRC00 FFFFF608H, CRC01 FFFFF618H, CRC02 FFFFF628H,
CRC03 FFFFF638H, CRC04 FFFFF648H, CRC05 FFFFF658H

	7	6	5	4	3	2	1	0
CRC0n (n = 0-5)	0	0	0	0	0	CRC0n2	CRC0n1	CRC0n0

CRC0n2	CR0n1レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作

CRC0n1	CR0n0レジスタのキャプチャ・トリガの選択
0	TI0n1端子の有効エッジでキャプチャする
1	TI0n0端子の有効エッジの逆相でキャプチャする [※]
TI0n1, TI0n0端子の有効エッジはPRM0nレジスタで設定します。 ただし、CRC0n1ビット = 1のときにPRM0n.ESn01, ESn00ビット = 11 (両エッジ) に指定すると、TI0n0端子の有効エッジを検出できません。	

CRC0n0	CR0n0レジスタの動作モードの選択
0	コンペア・レジスタとして動作
1	キャプチャ・レジスタとして動作
TMC0n3, TMC0n2 = 11 (TM0nとCR0n0の一致でクリア&スタート・モード) を設定した場合は、CRC0n0ビットには必ず0を設定してください。	

注 TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。

注意 キャプチャを確実にを行うためのキャプチャ・トリガには、PRM0n, SELCNT1レジスタで選択したカウント・クロックの2周期分より長いパルスが必要です。

(5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

TOC0nレジスタは、TO0n端子出力を制御する8ビットのレジスタです。

TOC0nレジスタは、OSPT0nビットだけが動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外のとき) に書き換え可能です。それ以外のビットについては、動作中の書き換えは禁止です。

ただし、タイマ動作中にCR0n1レジスタの値を変更する手段としての、TOC0n4ビットの書き換えは可能です (8.5.1 コンペア・レジスタのTM0n動作中の書き換えを参照してください)。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 TOC0nレジスタを設定するときは、必ず次の順序で設定してください。

- ①TOC0n4, TOC0n1ビットのセット (1)
- ②TOE0nビットだけを単独でセット (1)
- ③LVS0nビットまたはLVR0nビットのどちらか片方だけをセット (1)

(1/2)

リセット時：00H R/W アドレス： TOC00 FFFFF609H, TOC01 FFFFF619H, TOC02 FFFFF629H,
TOC03 FFFFF639H, TOC04 FFFFF649H, TOC05 FFFFF659H

	7	⑥	⑤	4	③	②	1	①
TOC0n (n = 0-5)	0	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n

OSPT0n	ソフトウェアによるワンショット・パルス出力トリガ
0	—
1	ワンショット・パルス出力
リード値は常に“0”です。	
セット (1) すると、TM0nはクリア&スタートします。	

OSPE0n	ワンショット・パルス出力動作の制御
0	連続パルス出力
1	ワンショット・パルス出力
セット (1) するとTM0nはクリア&スタートします。	
ワンショット・パルス出力は、フリー・ランニング・タイマ・モード、またはTI0n0端子の有効エッジ入力でクリア&スタート・モードのときに、正常に動作します。	
TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。	

TOC0n4	CR0n1レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可
TOC0n4ビット = 0でも、割り込み信号 (INTTM0n1) は発生します。	

LVS0n	LVR0n	TO0n端子出力の状態の設定
0	0	変化しない
0	1	TO0n端子出力初期値ロウ・レベル (TO0n端子出力をクリア (0))
1	0	TO0n端子出力初期値ハイ・レベル (TO0n端子出力をセット (1))
1	1	設定禁止

• LVS0n, LVR0nビットは、TO0n端子出力レベルの初期値を設定できます。設定が不要な場合は、LVS0n, LVR0nビットを00のままにしてください。
 • LVS0n, LVR0nビットは、必ずTOE0nビット = 1のときに設定してください。
 LVS0n, LVR0nビットとTOE0nビットを同時にセット (1) することも禁止です。
 • LVS0n, LVR0nビットはトリガ・ビットです。セット (1) することで、TO0n端子出力レベルの初期値を設定します。クリア (0) しても、TO0n端子出力に影響はありません。
 • LVS0n, LVR0nビットのリード値は常に“0”です。
 • LVS0n, LVR0nビットの設定方法の詳細は、8. 5. 2 LVS0n, LVR0nビットの設定についてを参照してください。

TOC0n1	CR0n0レジスタとTM0nレジスタの一致によるTO0n端子出力の制御
0	反転動作禁止
1	反転動作許可

TOC0n1ビット = 0でも、割り込み信号 (INTTM0n0) は発生します。

TOE0n	TO0n端子出力制御
0	出力禁止 (TO0n端子出力はロウ・レベルに固定)
1	出力許可

(6) プリスケアラ・モード・レジスタ0n (PRM0n)

PRM0nレジスタは、TM0nレジスタのカウント・クロック、およびTI0n0, TI0n1端子入力の有効エッジを設定するレジスタです。PRM0n1, PRM0n0ビットの設定は、SELCNT1.ISEL1nビットと組み合わせて設定します。詳細は (8) 16ビット・タイマ／イベント・カウンタ0nのカウント・クロック設定を参照してください。

PRM0nレジスタは、動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外) の書き換えは禁止です。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. PRM0n1, PRM0n0ビット = 11 (カウント・クロックをTI0n0端子の有効エッジに指定) に設定する場合、次の設定は禁止です。

- ・ TI0n0端子の有効エッジでクリア&スタート・モード
- ・ TI0n0端子をキャプチャ・トリガに設定

2. リセット後、TI0n0端子またはTI0n1端子がハイ・レベルの状態、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。
3. P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジ入力として使用し、かつタイマ出力機能を使用するときは、P34, P32, P30, P31端子をタイマ出力端子 (TO00-TO03) として使用してください。

リセット時：00H R/W アドレス： PRM00 FFFFF607H, PRM01 FFFFF617H, PRM02 FFFFF627H,
PRM03 FFFFF637H, PRM04 FFFFF647H, PRM05 FFFFF657H

	7	6	5	4	3	2	1	0
PRM0n (n = 0-5)	ESn11	ESn10	ESn01	ESn00	0	0	PRM0n1	PRM0n0

ESn11	ESn10	TI0n1端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

ESn01	ESn00	TI0n0端子の有効エッジの選択
0	0	立ち下がりエッジ
0	1	立ち上がりエッジ
1	0	設定禁止
1	1	立ち上がり／立ち下がり両エッジ

備考 PRM0n1, PRM0n0ビットの設定は8.3 (8) 16ビット・タイマ／イベント・カウンタ0nのカウント・クロック設定を参照してください。

(7) セレクタ動作制御レジスタ1 (SELCNT1)

16ビット・タイマ/イベント・カウンタ0nのカウント・クロックを設定するレジスタです。

SELCNT1レジスタは、PRM0n.PRMn01, PRMn00ビットと組み合わせて設定します。詳細は (8) 16ビット・タイマ/イベント・カウンタ0nのカウント・クロック設定を参照してください。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF30AH

	7	6	5	4	3	2	1	0
SELCNT1	0	0	ISEL15	ISEL14	ISEL13	ISEL12	ISEL11	ISEL10

(8) 16ビット・タイマ/イベント・カウンタ0nのカウント・クロック設定

16ビット・タイマ/イベント・カウンタ0nのカウント・クロックは、PRM0n.PRM0n1, PRM0n0ビット, SELCNT1.ISEL1nビットを組み合わせて設定します。

表8-5 16ビット・タイマ/イベント・カウンタ00, 02のカウント・クロック選択

SELCNT1レジスタ	PRM0nレジスタ		カウント・クロックの選択 ^{注1}			
ISEL1nビット	PRM0n1ビット	PRM0n0ビット	カウント・クロック	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 10 MHz
0	0	0	f _{xx} /2	100 ns (10 MHz)	125 ns (8 MHz)	200 ns (5 MHz)
0	0	1	f _{xx} /4	200 ns (5 MHz)	250 ns (4 MHz)	400 ns (2.5 MHz)
0	1	0	f _{xx} /8	400 ns (2.5 MHz)	500 ns (2 MHz)	800 ns (1.25 MHz)
0	1	1	Tl0n0の有効エッジ ^{注2}	—	—	—
1	0	0	f _{xx} /32	1.6 μs (625 kHz)	2.0 μs (500 kHz)	3.2 μs (312.5 kHz)
1	0	1	f _{xx} /64	3.2 μs (312.5 kHz)	4.0 μs (250 kHz)	6.4 μs (156.3 kHz)
1	1	0	f _{xx} /128	6.4 μs (156.25 kHz)	8.0 μs (125 kHz)	12.8 μs (78.1 kHz)
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0~5.5 V : カウント・クロック ≤ 10 MHz
- V_{DD} = 4.0~5.5 V, REGC = 10 μF : カウント・クロック ≤ 5 MHz
- V_{DD} = REGC = 2.7~4.0 V : カウント・クロック ≤ 5 MHz

2. 外部クロックには、内部クロック (f_{xx}/4) の2周期分より長いパルスが必要です。

備考 n = 0, 2

表8-6 16ビット・タイマ/イベント・カウンタ01のカウンタ・クロック選択

SELCNT1レジスタ ISEL11ビット	PRM01レジスタ		カウンタ・クロックの選択 ^{注1}			
	PRM011ビット	PRM010ビット	カウンタ・クロック	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 10 MHz
0	0	0	f _{xx}	設定禁止	設定禁止	100 ns (10 MHz)
0	0	1	f _{xx} /4	200 ns (5 MHz)	250 ns (4 MHz)	400 ns (2.5 MHz)
0	1	0	INTWT	—	—	—
0	1	1	TI010の有効エッジ ^{注2}	—	—	—
1	0	0	f _{xx} /2	100 ns (10 MHz)	125 ns (8 MHz)	200 ns (5 MHz)
1	0	1	f _{xx} /8	400 ns (2.5 MHz)	500 ns (2 MHz)	800 ns (1.25 MHz)
1	1	0	f _{xx} /16	800 ns (1.25 MHz)	1.0 μs (1 MHz)	1.6 μs (625 kHz)
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0~5.5 V : カウンタ・クロック ≤ 10 MHz
- V_{DD} = 4.0~5.5 V, REGC = 10 μF : カウンタ・クロック ≤ 5 MHz
- V_{DD} = REGC = 2.7~4.0 V : カウンタ・クロック ≤ 5 MHz

2. 外部クロックには、内部クロック (f_{xx}/4) の2周期分より長いパルスが必要です。

表8-7 16ビット・タイマ/イベント・カウンタ03のカウンタ・クロック選択

SELCNT1レジスタ ISEL13ビット	PRM03レジスタ		カウンタ・クロックの選択 ^{注1}			
	PRM031ビット	PRM030ビット	カウンタ・クロック	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 10 MHz
0	0	0	f _{xx} /4	200 ns (5 MHz)	250 ns (4 MHz)	400 ns (2.5 MHz)
0	0	1	f _{xx} /16	800 ns (1.25 MHz)	1.0 μs (1 MHz)	1.6 μs (625 kHz)
0	1	0	f _{xx} /512	25.6 μs (39.1 kHz)	32.0 μs (31.25 kHz)	51.2 μs (19.5 kHz)
0	1	1	TI030の有効エッジ ^{注2}	—	—	—
1	0	0	f _{xx}	設定禁止	設定禁止	100 ns (10 MHz)
1	0	1	f _{xx} /2	100 ns (10 MHz)	125 ns (8 MHz)	200 ns (5 MHz)
1	1	0	f _{xx} /8	400 ns (2.5 MHz)	500 ns (2 MHz)	800 ns (1.25 MHz)
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0~5.5 V : カウンタ・クロック ≤ 10 MHz
- V_{DD} = 4.0~5.5 V, REGC = 10 μF : カウンタ・クロック ≤ 5 MHz
- V_{DD} = REGC = 2.7~4.0 V : カウンタ・クロック ≤ 5 MHz

2. 外部クロックには、内部クロック (f_{xx}/4) の2周期分より長いパルスが必要です。

表8-8 16ビット・タイマ/イベント・カウンタ04のカウンタ・クロック選択

SELCNT1レジスタ ISEL14ビット	PRM04レジスタ		カウンタ・クロックの選択 ^{注1}			
	PRM041ビット	PRM040ビット	カウンタ・クロック	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 10 MHz
0	0	0	f _{xx} /2	100 ns (10 MHz)	125 ns (8 MHz)	200 ns (5 MHz)
0	0	1	f _{xx} /4	200 ns (5 MHz)	250 ns (4 MHz)	400 ns (2.5 MHz)
0	1	0	f _{xx} /8	400 ns (2.5 MHz)	500 ns (2 MHz)	800 ns (1.25 MHz)
0	1	1	Ti040の有効エッジ ^{注2}	—	—	—
1	0	0	f _{xx} /32	1.6 μs (625 kHz)	2.0 μs (500 kHz)	3.2 μs (312.5 kHz)
1	0	1	f _{xx} /64	3.2 μs (312.5 kHz)	4.0 μs (250 kHz)	6.4 μs (156.3 kHz)
1	1	0	f _{xx} /512	25.6 μs (39.1 kHz)	32.0 μs (31.25 kHz)	51.2 μs (19.5 kHz)
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0～5.5 V：カウンタ・クロック ≤ 10 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウンタ・クロック ≤ 5 MHz
- V_{DD} = REGC = 2.7～4.0 V：カウンタ・クロック ≤ 5 MHz

2. 外部クロックには、内部クロック (f_{xx}/4) の2周期分より長いパルスが必要です。

表8-9 16ビット・タイマ/イベント・カウンタ05のカウンタ・クロック選択

SELCNT1レジスタ ISEL15ビット	PRM05レジスタ		カウンタ・クロックの選択 ^{注1}			
	PRM051ビット	PRM050ビット	カウンタ・クロック	f _{xx} = 20 MHz	f _{xx} = 16 MHz	f _{xx} = 10 MHz
0	0	0	f _{xx}	設定禁止	設定禁止	100 ns (10 MHz)
0	0	1	f _{xx} /4	200 ns (5 MHz)	250 ns (4 MHz)	400 ns (2.5 MHz)
0	1	0	f _{xx} /256	12.8 μs (78.1 kHz)	16.0 μs (62.5 kHz)	25.6 μs (39.1 kHz)
0	1	1	Ti050の有効エッジ ^{注2}	—	—	—
1	0	0	f _{xx} /2	100 ns (10 MHz)	125 ns (8 MHz)	200 ns (5 MHz)
1	0	1	f _{xx} /8	400 ns (2.5 MHz)	500 ns (2 MHz)	800 ns (1.25 MHz)
1	1	0	f _{xx} /16	800 ns (1.25 MHz)	1.0 μs (1 MHz)	1.6 μs (625 kHz)
1	1	1	設定禁止			

注1. 内部クロック選択時は、次の条件を満たすように設定してください。

- V_{DD} = REGC = 4.0～5.5 V：カウンタ・クロック ≤ 10 MHz
- V_{DD} = 4.0～5.5 V, REGC = 10 μF：カウンタ・クロック ≤ 5 MHz
- V_{DD} = REGC = 2.7～4.0 V：カウンタ・クロック ≤ 5 MHz

2. 外部クロックには、内部クロック (f_{xx}/4) の2周期分より長いパルスが必要です。

8.4 動作

TM0nには次のような動作があります。

表8-10 TM0nの動作モード

動作	TOC0n.OSPT0nビット (ソフトウェア・トリガ・ビット)	Ti0n0端子 (外部トリガ入力)	キャプチャ／コンペア・レジスタの設定
インターバル・タイマとしての動作	禁止	禁止	コンペアに設定
方形波出力としての動作	禁止	禁止	コンペアに設定
外部イベント・カウンタとしての動作	禁止	禁止	コンペアに設定
Ti0n0端子の有効エッジ入力によるクリア & スタート・モードとしての動作	許可	許可	切り替え可能
フリー・ランニング・タイマとしての動作	許可	許可	切り替え可能
PPG出力としての動作	禁止	禁止	コンペアに設定
ワンショット・パルス出力としての動作	禁止	禁止	コンペアに設定
パルス幅測定としての動作	禁止	禁止	キャプチャに設定

備考1. チャンネルによっては、兼用機能により使用が制限される場合があります。詳細は表8-2 端子構成、および8.6 注意事項を参照してください。

2. n = 0-5

8.4.1 インターバル・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nレジスタとCR0n0レジスタの値が一致すると、TM0nレジスタを0000Hにクリアし、一致割り込み信号 (INTTM0n0) を発生します。この一定間隔で発生するINTTM0n0信号により、インターバル・タイマとして動作します。

備考 INTTM0n0信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図8-2 インターバル・タイマ動作のブロック図

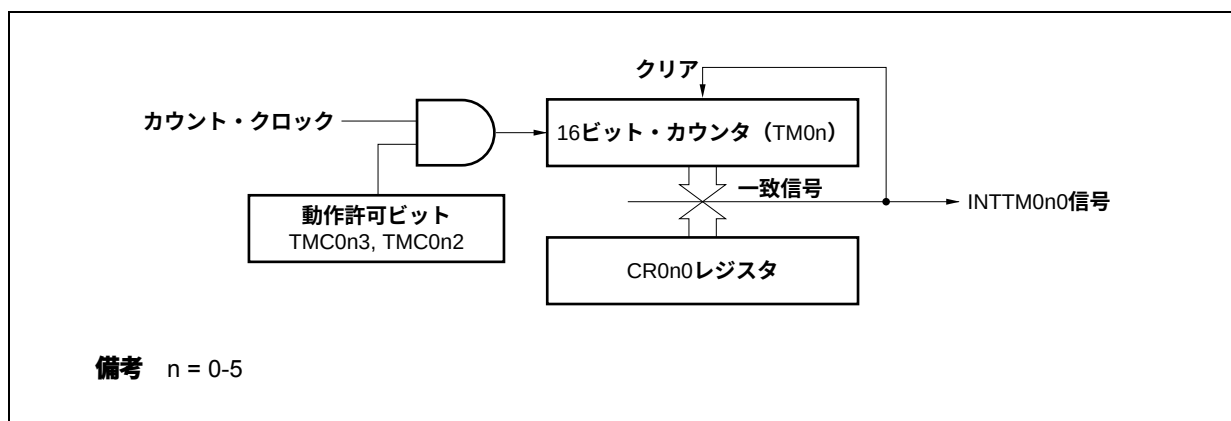


図8-3 インターバル・タイマ動作の基本タイミング例

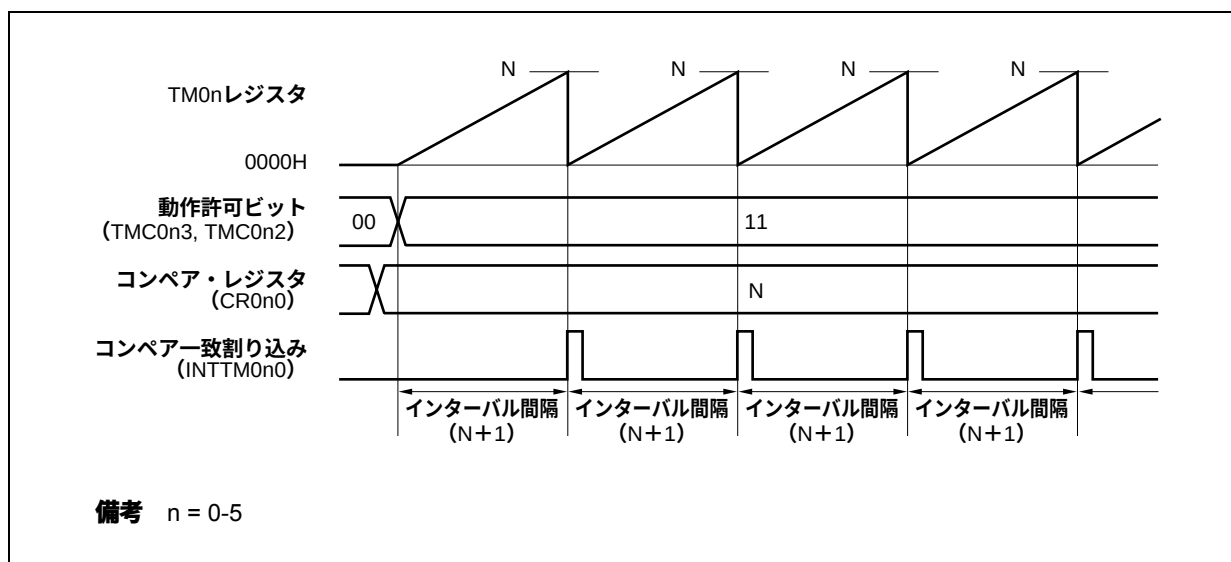


図8-4 インターバル・タイマ動作時のレジスタ設定内容例

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	0	0	0

CR0n0をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

				ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0			ISEL1n
PRM0n				0	0	0	0	0	0	0/1	0/1	SELCNT1		0/1

カウント・クロック
の選択

(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ/コンペア・レジスタ0n0 (CR0n0)

CR0n0レジスタにMを設定した場合、インターバル間隔は次のようになります。

$$(M+1) \times \text{カウント・クロック周期}$$

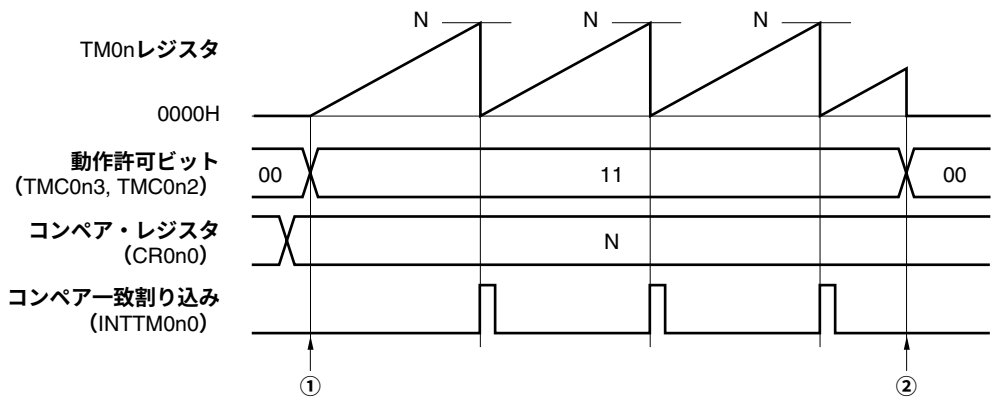
CR0n0レジスタへの0000Hの設定は禁止です。

(g) 16ビット・キャプチャ/コンペア・レジスタ0n1 (CR0n1)

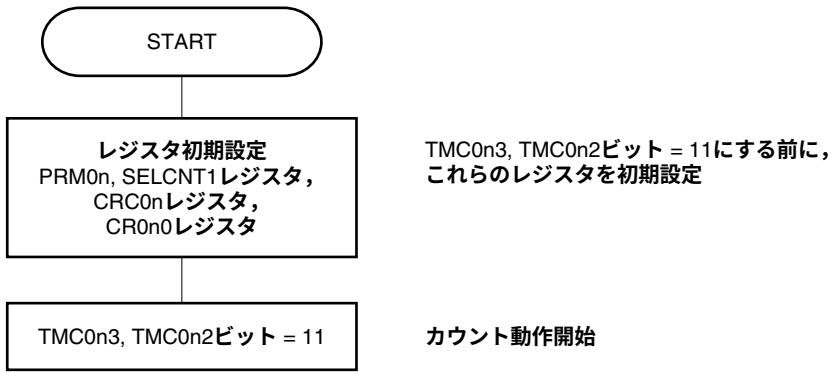
インターバル・タイマ機能では、通常、CR0n1レジスタを使用しません。しかしCR0n1レジスタの設定値と、TM0nレジスタの値が一致するとコンペア一致割り込み (INTTM0n1) が発生します。したがって、割り込みマスク・フラグ (TM0MKn1) でマスク設定をしておいてください。

備考 n = 0-5

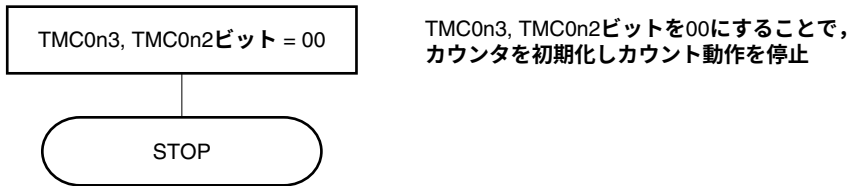
図8-5 インターバル・タイマ動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



備考 n = 0-5

8.4.2 方形波出力としての動作

インターバル・タイマ (8.4.1参照) として動作させたとき、TOC0nレジスタ = 03Hに設定することにより、TO0n端子から方形波を出力できます。

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致でカウント・クリア&スタート・モード) に設定すると、カウント・クロックに同期してカウント動作を開始します。

そのあと、TM0nレジスタとCR0n0レジスタの値が一致すると、TM0nレジスタを0000Hにクリアし、割り込み信号 (INTTM0n0) を発生し、TO0n端子出力を反転します。この一定間隔で反転するTO0n端子出力により、方形波出力として動作します。

- 備考1. 兼用機能の設定については表8-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。
2. INTTM0n0信号の割り込み許可については、第21章 割り込み/例外処理機能を参照してください。

図8-6 方形波出力動作のブロック図

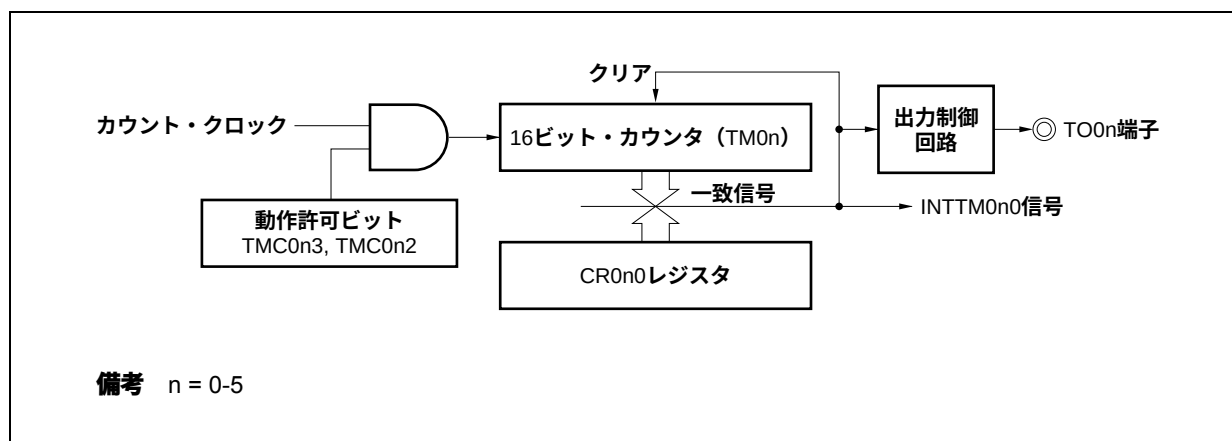


図8-7 方形波出力動作の基本タイミング例

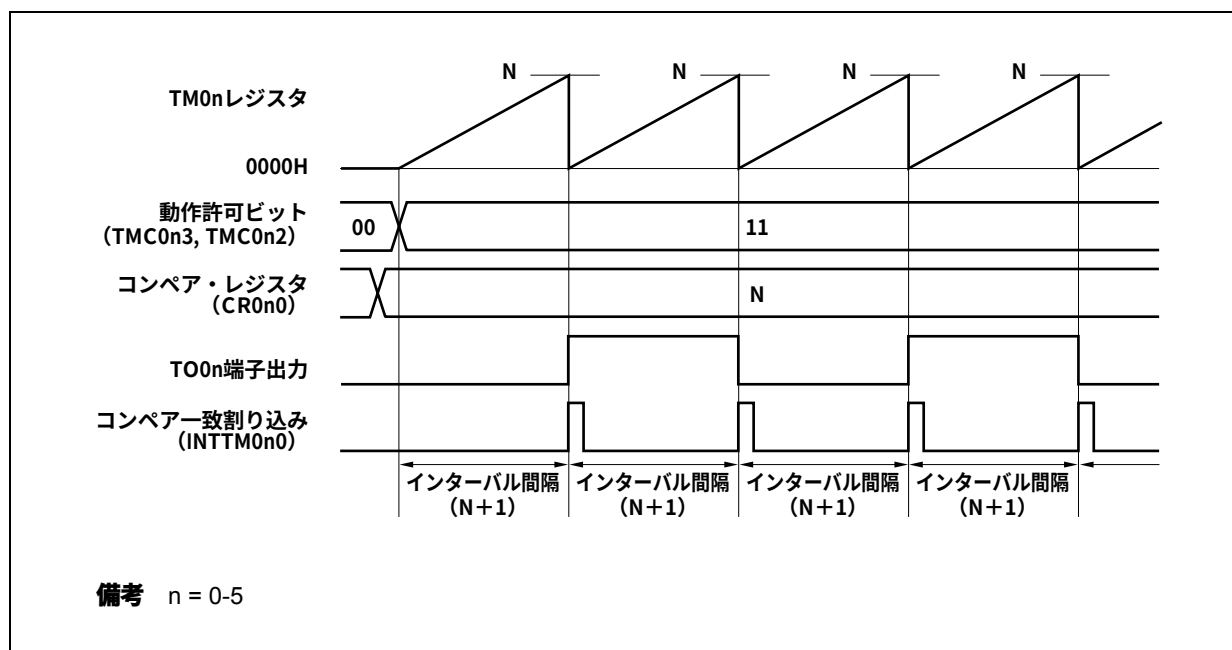


図8-8 方形波出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

CR0n0をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	1	1

TO0n端子出力許可

TM0nとCR0n0の一致に
よりTO0n端子出力を反転

TO0n出力F/Fの初期値を指定

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

				ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0			ISEL1n
PRM0n				0	0	0	0	0	0	0/1	0/1	SELCNT1		0/1

カウント・クロック
の選択

備考 n = 0-5

図8-8 方形波出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM0_n)

TM0_nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{0n0} (CR0_{n0})

CR0_{n0}レジスタにMを設定した場合、方形波の周波数は次のようになります。

$$1 \div \{2 \times (M+1) \times \text{カウント} \cdot \text{クロック周期}\}$$

CR0_{n0}レジスタへの0000Hの設定は禁止です。

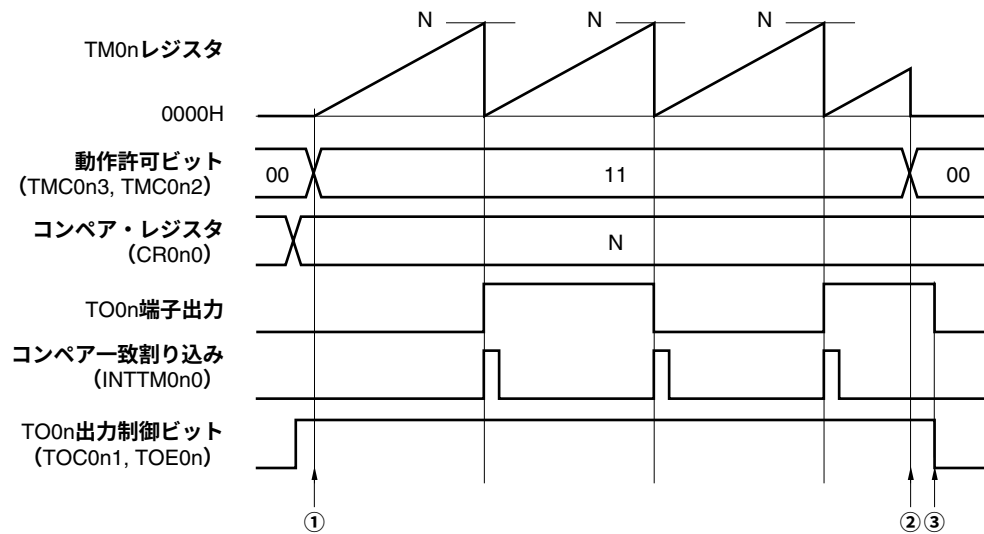
(g) 16ビット・キャプチャ／コンペア・レジスタ_{0n1} (CR0_{n1})

方形波出力機能では、通常、CR0_{n1}レジスタを使用しません。しかしCR0_{n1}レジスタの設定値と、TM0_nレジスタの値が一致するとコンペア一致割り込み (INTTM0_{n1}) が発生します。

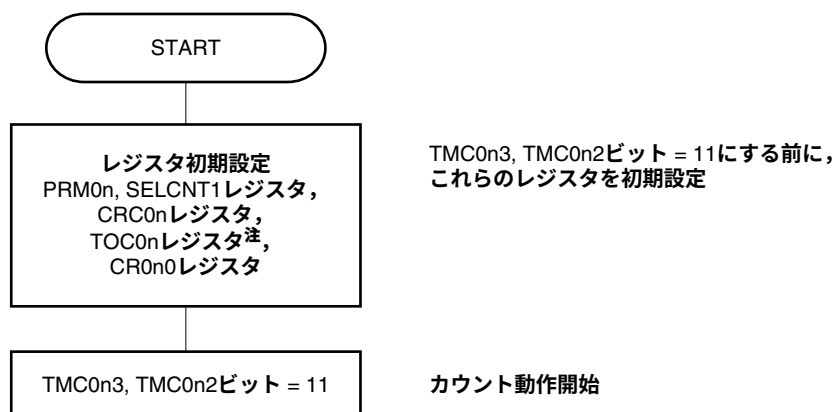
したがって、割り込みマスク・フラグ (TM0MK_{n1}) でマスク設定をしておいてください。

備考 n = 0-5

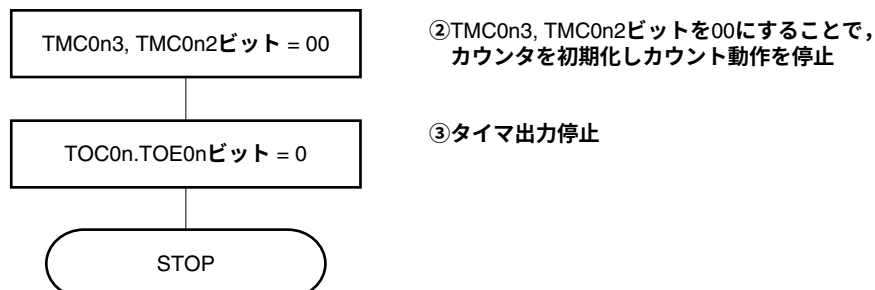
図8-9 方形波出力動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー、③ タイマ出力停止フロー



注 TOC0nレジスタの設定は注意が必要です。詳細は8.3 (5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-5

8.4.3 外部イベント・カウンタとしての動作

SELCNT1.ISEL1n = 0, PRM0n.PRM0n1, PRM0n0ビット = 11 (TI0n0端子の有効エッジによるカウント・アップ), TMC0n.TMC0n3, TMC0n2ビット = 11に設定すると, 外部イベント入力の有効エッジをカウントし, TM0nレジスタとCR0n0レジスタとの一致割り込み信号 (INTTM0n0) を発生します。

外部イベント入力の端子にはTI0n0端子を使用します。したがって, TI0n0有効エッジ入力によるクリア&スタート・モード (TMC0n3, TMC0n2ビット = 10) では, 外部イベント・カウンタとして使用できません。

INTTM0n0信号は, 次のタイミングごとに発生します。

- ・外部イベント入力の有効エッジ× (CR0n0レジスタ設定値+1)

ただし, 動作開始直後から初回の一致割り込みだけは, 次のタイミングで発生します。

- ・外部イベント入力の有効エッジ× (CR0n0レジスタ設定値+2)

有効エッジは, TI0n0端子入力信号を $f_{xx}/4$ のクロック周期でサンプリングを行い, 2回連続して有効レベルを検出したときに, はじめて検出されます。したがって, 短いパルス幅のノイズを除去できます。

備考1. 兼用機能の設定については表8-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTM0n0信号の割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

図8-10 外部イベント・カウンタとしての動作のブロック図

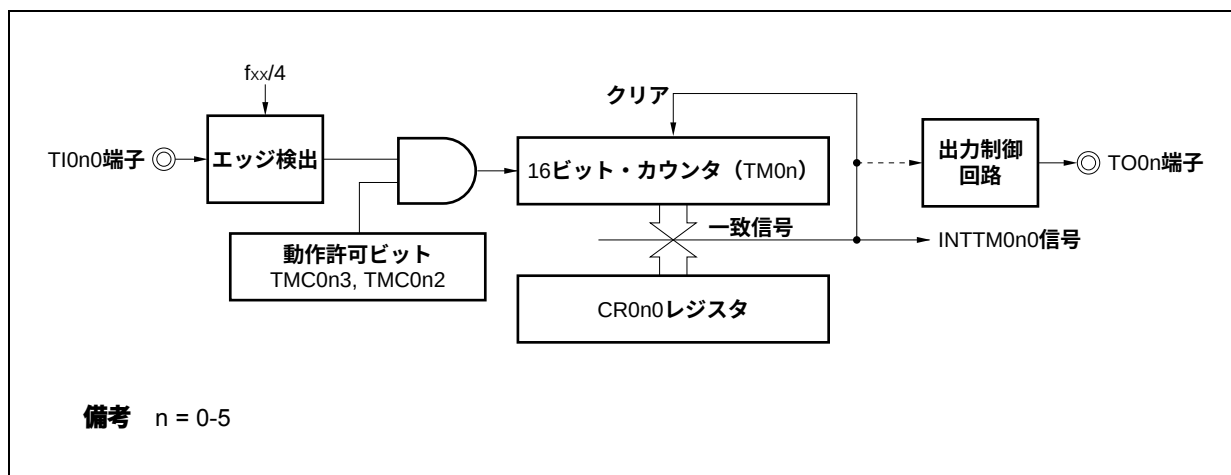


図8-11 外部イベント・カウンタ・モード時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

CR0n0をコンペア・レジスタ
にする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0/1	0/1	0/1	0/1	0/1

0 : TO0n出力禁止
1 : TO0n出力許可

TO0n出力F/Fの初期値
を指定

00 : TM0nとCR0n0/CR0n1が一致
してもTO0n出力は反転しない
01 : TM0nとCR0n0の一致に
よりTO0n出力を反転
10 : TM0nとCR0n1の一致に
よりTO0n出力を反転
11 : TM0nとCR0n0/CR0n1の一致に
よりTO0n出力を反転

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

				ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0			ISEL1n
PRM0n				0	0	0/1	0/1	0	0	1	1	SELCNT1		0

カウント・クロックの選択
(TI0n0の有効エッジに指定)

00 : 立ち下がりエッジ検出
01 : 立ち上がりエッジ検出
10 : 設定禁止
11 : 両エッジ検出

備考 n = 0-5

図8-11 外部イベント・カウンタ・モード動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM_{0n})

TM_{0n}レジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{0n0} (CR_{0n0})

CR_{0n0}レジスタにMを設定した場合，外部イベントがM+1回入力されると，割り込み信号 (INTTM_{0n0}) が発生します。

CR_{0n0}レジスタへの0000Hの設定は禁止です。

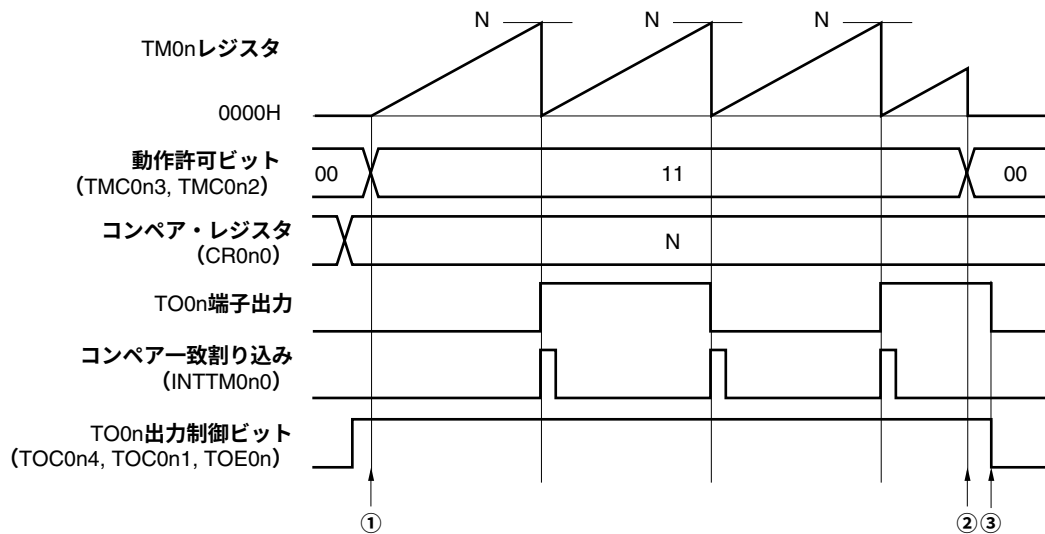
(g) 16ビット・キャプチャ／コンペア・レジスタ_{0n1} (CR_{0n1})

インターバル・タイマ機能では，通常，CR_{0n1}レジスタを使用しません。しかしCR_{0n1}レジスタの設定値と，TM_{0n}レジスタの値が一致するとコンペア一致割り込み (INTTM_{0n1}) が発生します。

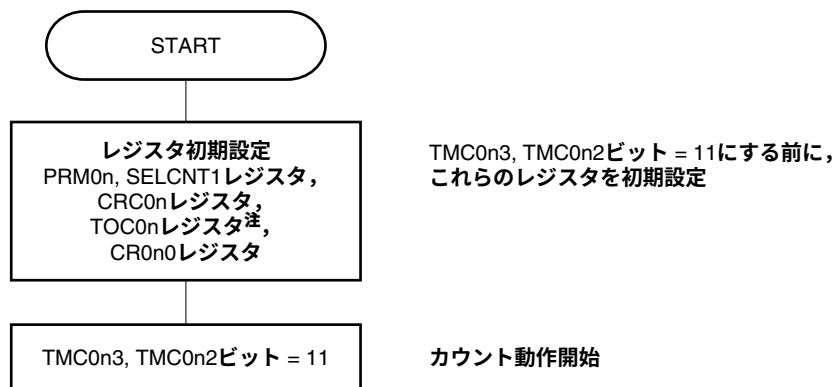
したがって，割り込みマスク・フラグ (TM0MK_{n1}) でマスク設定をしておいてください。

備考 n = 0-5

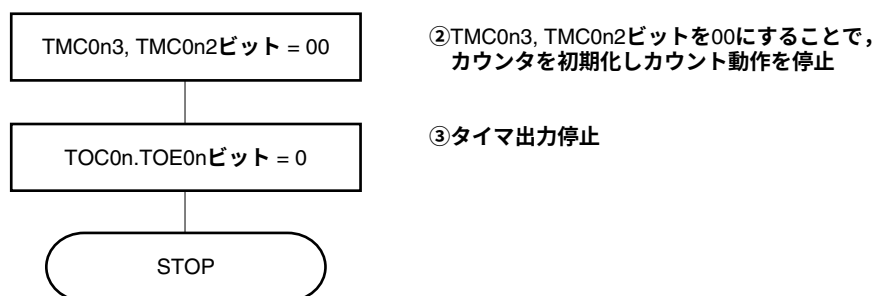
図8-12 外部イベント・カウンタ・モード動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー, ③ タイマ出力停止フロー



注 TOC0nレジスタの設定は注意が必要です。詳細は8.3 (5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-5

8.4.4 TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 10 (TI0n0端子の有効エッジ入力によるクリア&スタート・モード) に設定し、カウント・クロック (PRM0n, SELCNT1レジスタにて設定) を供給すると、TM0nレジスタがカウント・アップを開始します。カウント動作中にTI0n0端子の有効エッジを検出すると、TM0nレジスタを0000Hにクリアして、再度カウント・アップします。TI0n0端子の有効エッジがない場合、TM0nレジスタはオーバフローして、カウントを続けます。

TI0n0端子の有効エッジは、TM0nレジスタのクリア要因です。動作開始直後のカウント・スタートの起動制御はしていません。

CR0n0, CR0n1レジスタは、コンペア・レジスタとしてもキャプチャ・レジスタとしても使用できます。

(a) CR0n0, CR0n1レジスタをコンペア・レジスタとして使用した場合

TM0nレジスタとCR0n0, CR0n1レジスタの一致でINTTM0n0, INTTM0n1信号が発生します。

(b) CR0n0, CR0n1レジスタをキャプチャ・レジスタとして使用した場合

TI0n1端子に有効エッジが入力されると、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャし、INTTM0n0信号が発生します。

または、TI0n0端子に有効エッジの逆相が入力されても、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャしますが、INTTM0n0信号は発生しません。

TI0n0端子に有効エッジが入力されると、TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし、INTTM0n1信号が発生します。TI0n0端子の有効エッジでキャプチャ動作と同時にカウンタを0000Hにクリアします。

TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作として次の4種類を例に示します。

- ・ CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時
- ・ CR0n0レジスタ：コンペア・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時
- ・ CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：コンペア・レジスタ設定時
- ・ CR0n0レジスタ：キャプチャ・レジスタ，CR0n1レジスタ：キャプチャ・レジスタ設定時

注意 カウント・クロックをTI0n0端子の有効エッジ (PRM0n.PRM0n1, PRM0n0ビット = 11) に設定しないでください。PRM0n1, PRM0n0ビット = 11に設定すると、TM0nレジスタがクリアされてしまいます。

備考1. 兼用機能の設定については表8-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTM0n0信号の割り込み許可については、第21章 割り込み／例外処理機能を参照してください。

(1) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：コンペア・レジスタ, CR0n1レジスタ：コンペア・レジスタ設定時)

この場合のタイマのブロック図とタイミング図を次に示します。

図8-13 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ/CR0n1レジスタ：コンペア・レジスタ)

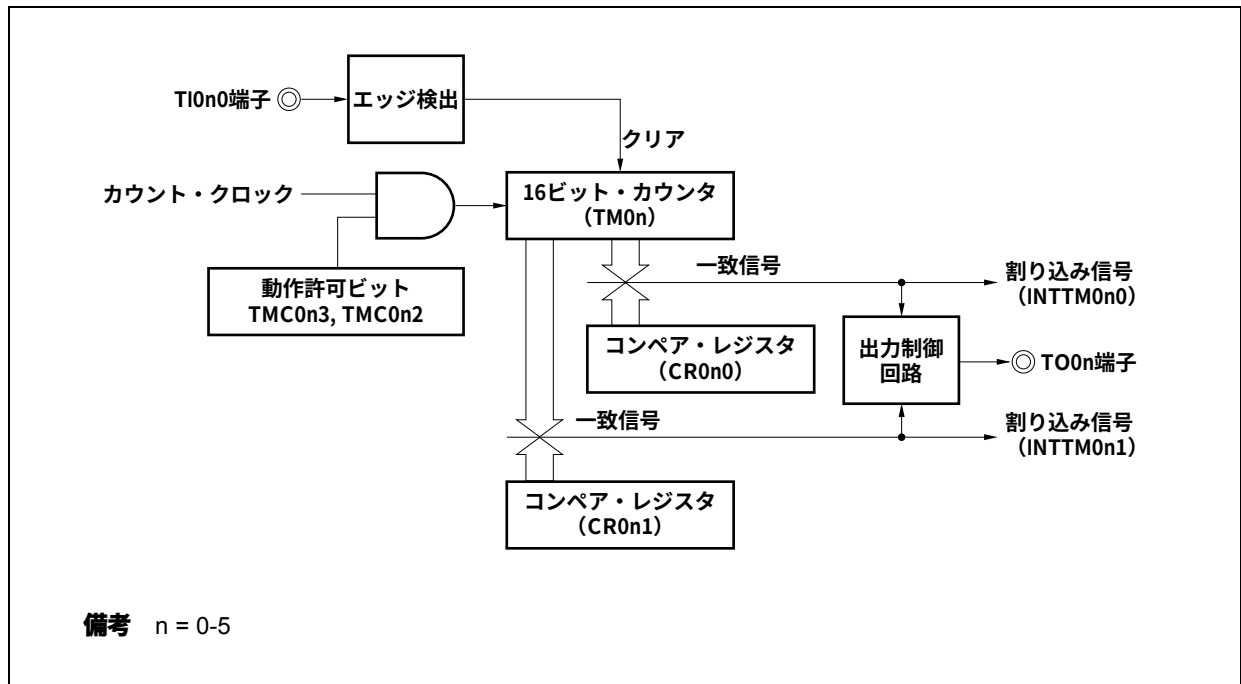


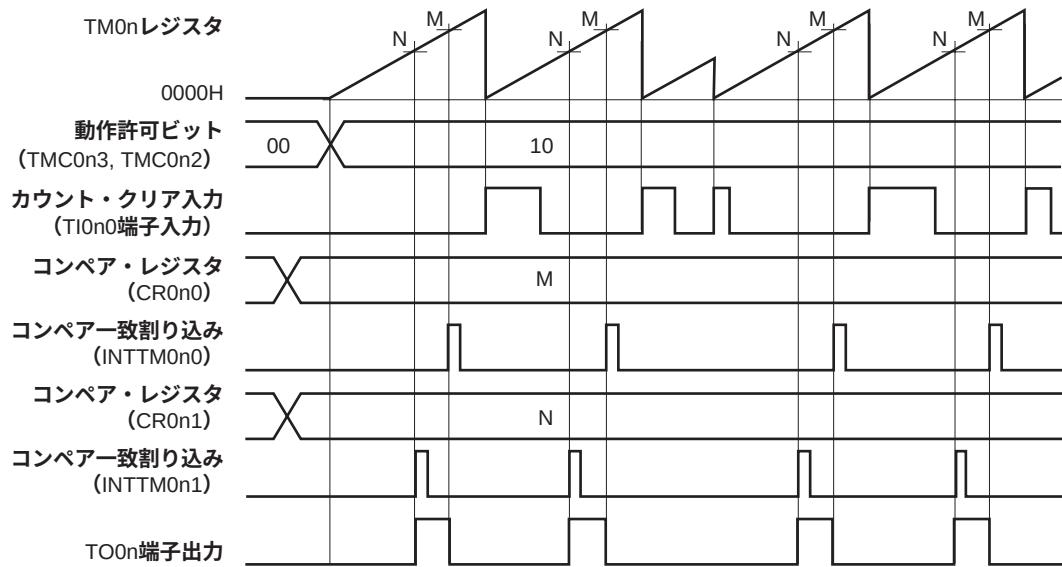
図8-14 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ) (1/2)

(a) TMC0n = 08H (TI0n0端子の有効エッジ入力でクリア&スタート)

CRC0n = 00H (コンペア・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

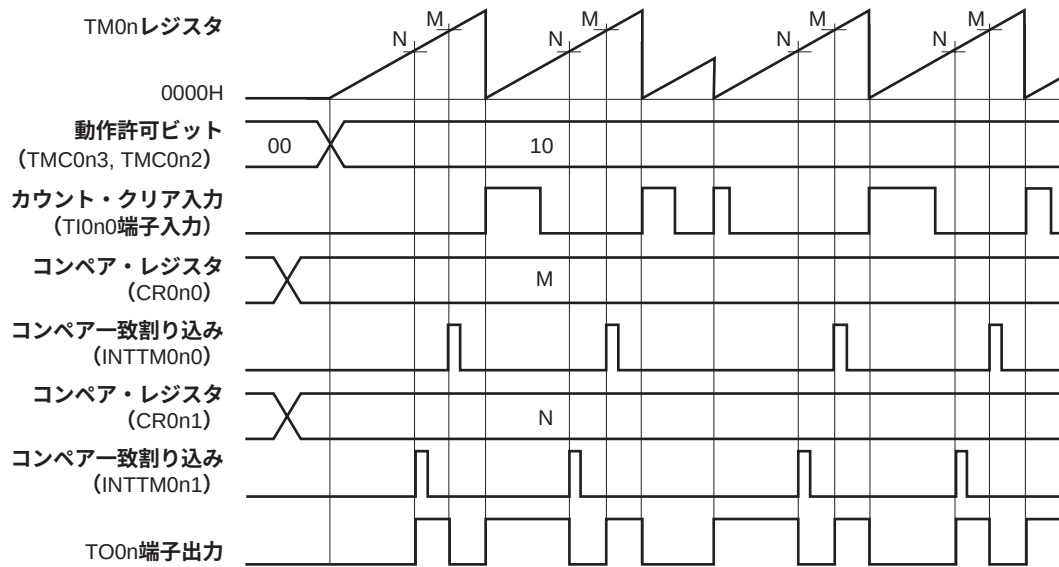
PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)



備考 n = 0-5

図8-14 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
 (CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ) (2/2)

- (b) TMC0n = 0AH (TI0n0端子の有効エッジ入力でクリア&スタート、エッジ入力で出力反転)
 CRC0n = 00H (コンペア・レジスタとして動作)
 TOC0n = 13H (タイマ出力許可)
 PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)



TM0nレジスタ (TMC0n1ビット) の設定により、(a) と (b) には次のような違いがあります。

- (a) TM0nレジスタとコンペア・レジスタが一致したときに、TO0n端子の出力レベルが反転
 (b) TM0nレジスタとコンペア・レジスタが一致したとき、またはTI0n0端子の有効エッジを検出したときに、TO0n端子の出力レベルが反転

備考 n = 0-5

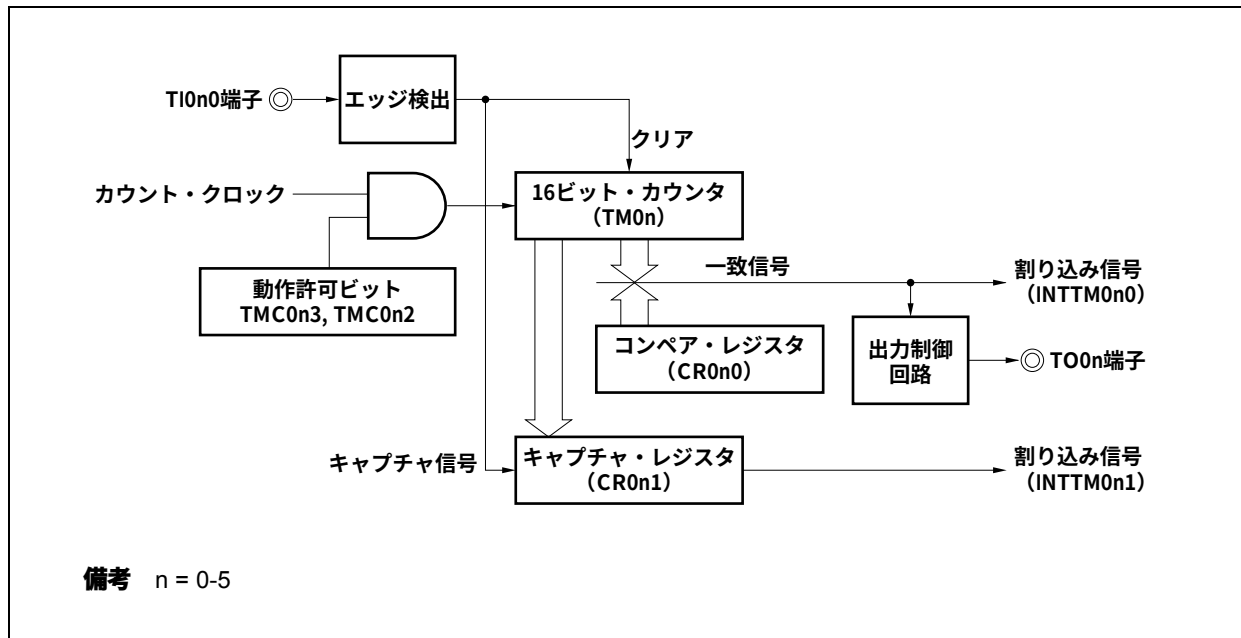
(2) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：コンペア・レジスタ, CR0n1レジスタ：キャプチャ・レジスタ設定時)

この場合のタイマのブロック図とタイミング図を次に示します。

図8-15 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ)



キャプチャ&クリア後にTO0n端子出力レベルを反転したい場合のアプリケーション例です。

TI0n0端子の有効エッジ検出で、CR0n1レジスタにキャプチャし、TM0nレジスタをクリア (0000H) します。TM0nレジスタのカウント値が0000Hになると、コンパア一致割り込み信号 (INTTM0n0) が発生し、TO0n端子出力レベルが反転します。

図8-16 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：コンパア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (1/2)

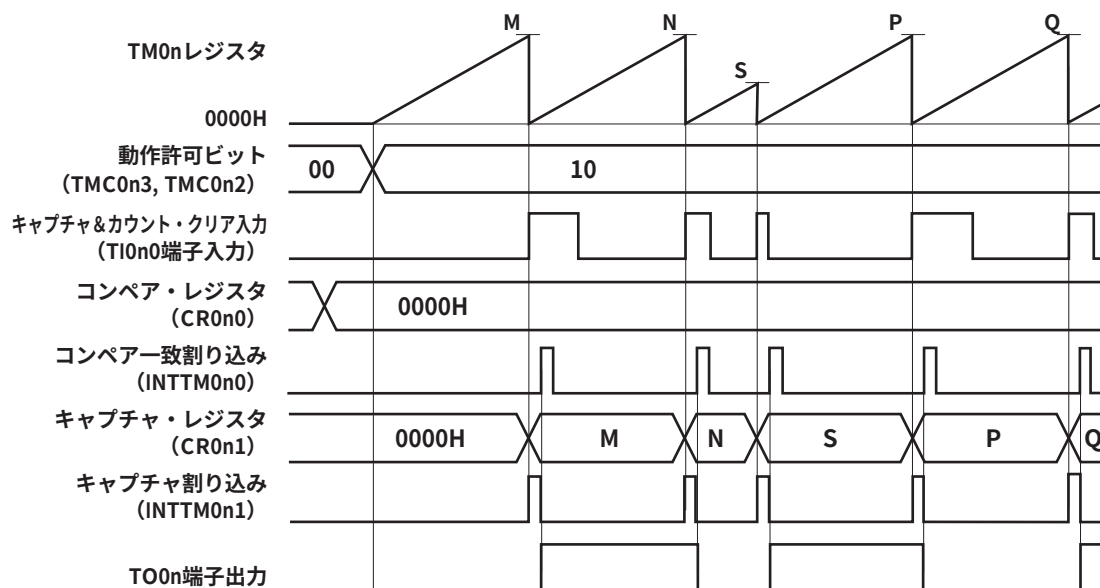
(a) TMC0n = 08H (TI0n0端子の有効エッジ入力でクリア&スタート)

CRC0n = 04H (CR0n0をコンパア・レジスタ, CR0n1をキャプチャ・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)

CR0n0 = 0000H



備考 n = 0-5

キャプチャ&クリア後に、CR0n0レジスタに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI0n0端子の有効エッジ検出で、CR0n1レジスタにキャプチャし、キャプチャ割り込み信号 (INTTM0n1) が発生し、TM0nレジスタをクリア (0000H) し、TO0n端子出力を反転します。TM0nレジスタのカウント値が0003Hになる（4クロックをカウントする）と、コンペアー一致割り込み信号 (INTTM0n0) が発生し、TO0n端子出力レベルが反転します。

図8-16 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：コンペアー・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (2/2)

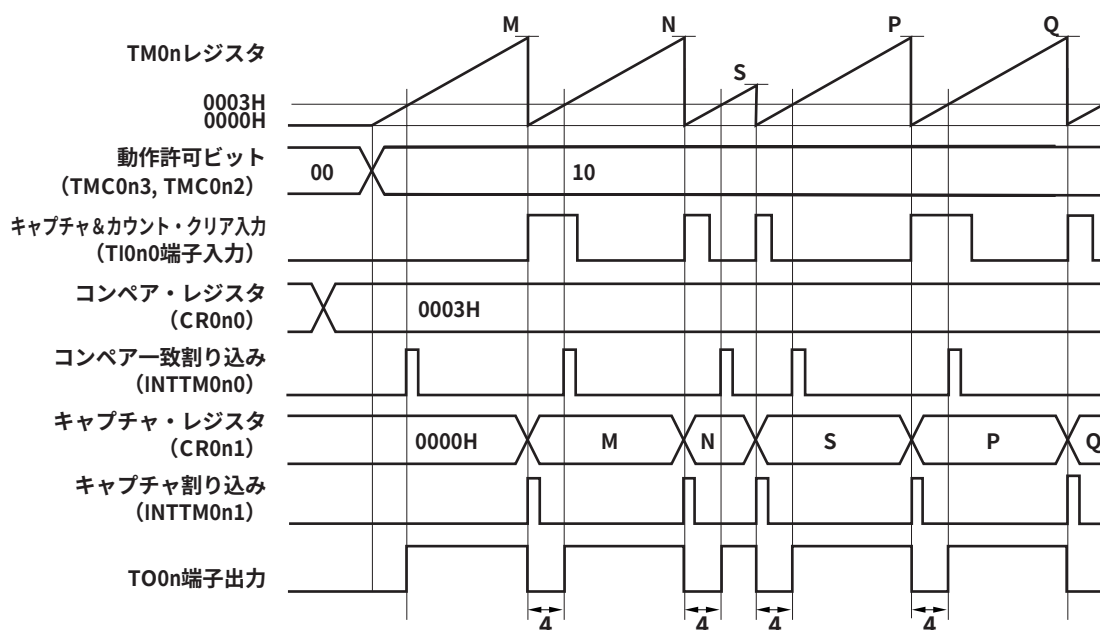
(b) TMC0n = 0AH (TI0n0端子の有効エッジ入力でクリア&スタート，エッジ入力で出力反転)

CRC0n = 04H (CR0n0をコンペアー・レジスタ，CR0n1をキャプチャ・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)

CR0n0 = 0003H



備考 n = 0-5

(3) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

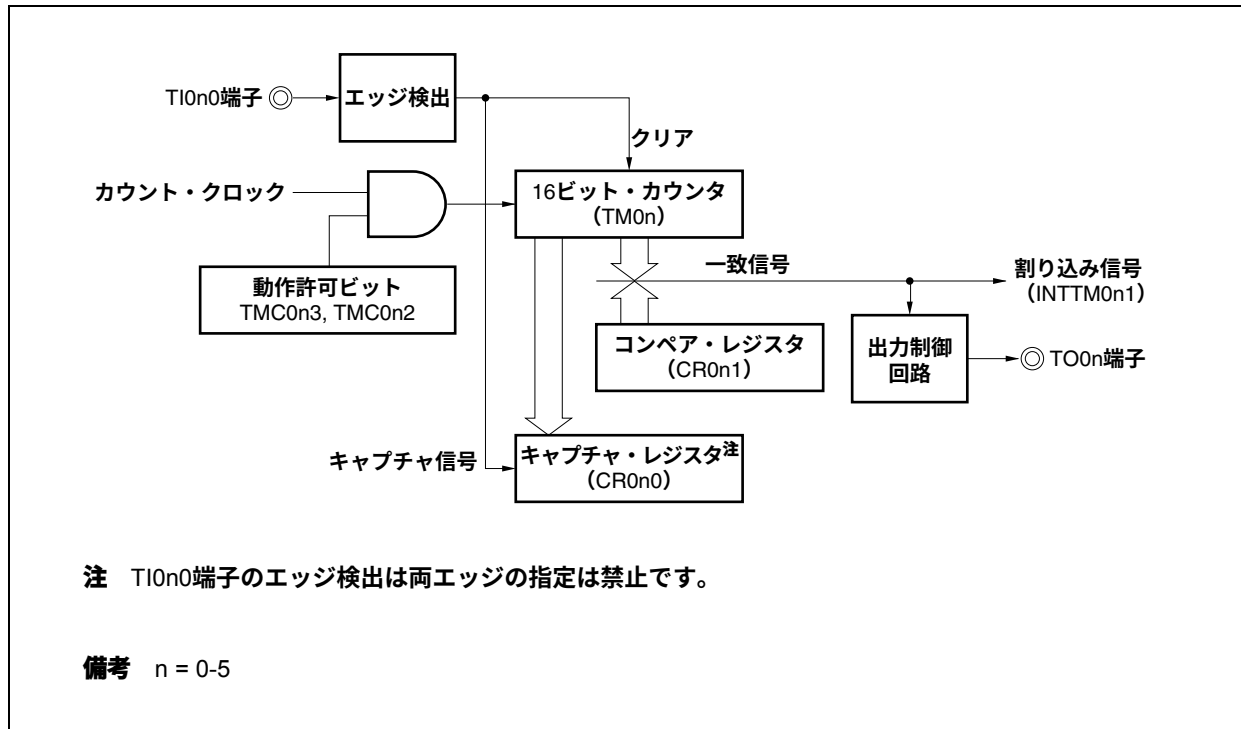
(CR0n0レジスタ：キャプチャ・レジスタ, CR0n1レジスタ：コンペア・レジスタ設定時)

TI0n0入力端子のパルス幅が測れます。

この場合のタイマのブロック図とタイミング図を次に示します。

図8-17 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：コンペア・レジスタ)



キャプチャ&クリア後にTO0n端子出力レベルを反転したい場合のアプリケーション例です。

TI0n0端子の立ち上がりエッジ検出で、TM0nレジスタをクリアします。TI0n0端子の立ち下がりエッジ検出で、CR0n0レジスタにキャプチャします。

CRC0n.CRC0n1ビット = 1の設定により、TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャしますが、キャプチャ割り込み信号 (INTTM0n0) は発生しません。しかし、TI0n1端子の有効エッジ検出により、INTTM0n0信号が発生します。INTTM0n0信号を使用しない場合は、INTTM0n0信号をマスクしてください。

図8-18 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：コンペア・レジスタ) (1/2)

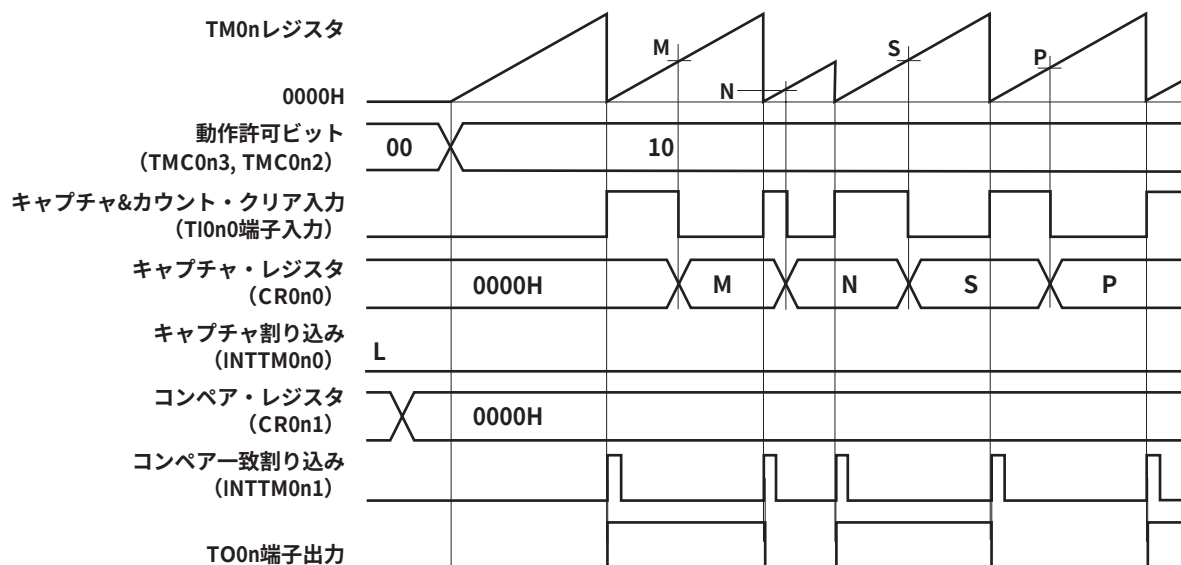
(a) TMC0n = 08H (TI0n0端子の有効エッジ入力でクリア&スタート)

CRC0n = 03H (CR0n0をキャプチャ・レジスタ (逆相), CR0n1をコンペア・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)

CR0n1 = 0000H



備考 n = 0-5

キャプチャ&クリア後に、CR0n1レジスタに設定した幅（ここでは4クロック）をTO0n端子から出力したい場合のアプリケーション例です。

TI0n0端子の立ち上がりエッジ検出で、TM0nレジスタをクリア（0000H）します。TI0n0端子の立ち下がりエッジ検出で、CR0n0レジスタにキャプチャします。TO0n端子出力は、TI0n0端子の立ち上がりエッジ検出によるTM0nレジスタのクリア（0000H）か、TM0nレジスタとコンペア・レジスタ（CR0n1レジスタ）の一致で反転します。

CRC0n.CRC0n1ビット = 1の設定により、TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャしますが、キャプチャ割り込み信号（INTTM0n0）は発生しません。しかし、TI0n1端子の有効エッジ検出により、INTTM0n0割り込みが発生します。INTTM0n0信号を使用しない場合はINTTM0n0信号をマスクしてください。

図8-18 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：コンペア・レジスタ) (2/2)

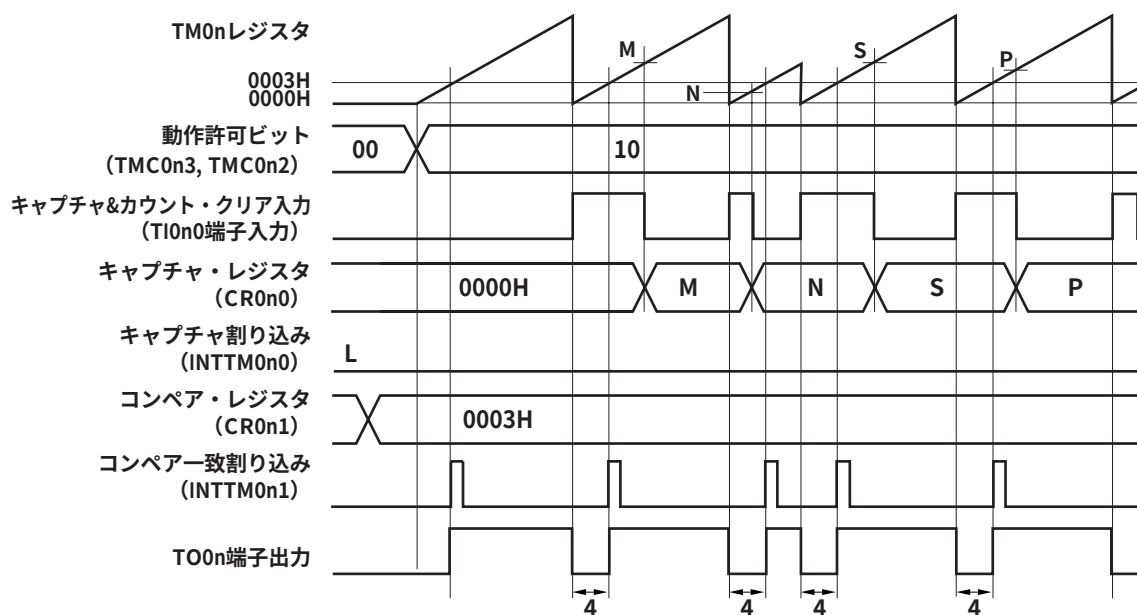
(b) TMC0n = 0AH (TI0n0端子の有効エッジ入力でクリア&スタート、エッジ入力で出力反転)

CRC0n = 03H (CR0n0をキャプチャ・レジスタ（逆相）、CR0n1をコンペア・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)

CR0n1 = 0003H



備考 n = 0-5

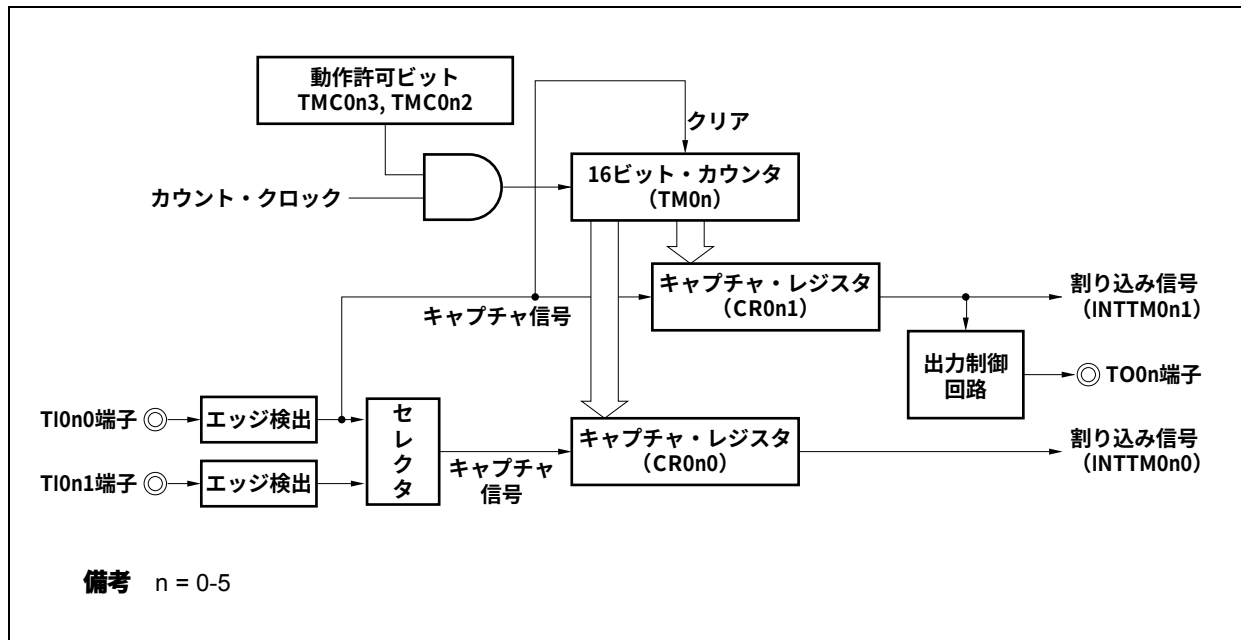
(4) TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ, CR0n1レジスタ：キャプチャ・レジスタ設定時)

この場合のタイマのブロック図とタイミング図を次に示します。

図8-19 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ)



TI0n0端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR0n1レジスタにキャプチャし、TM0nレジスタをクリアし、TO0n端子出力を反転させるアプリケーション例です。

TI0n1端子のエッジを検出しないので、INTTM0n0信号は発生しません。

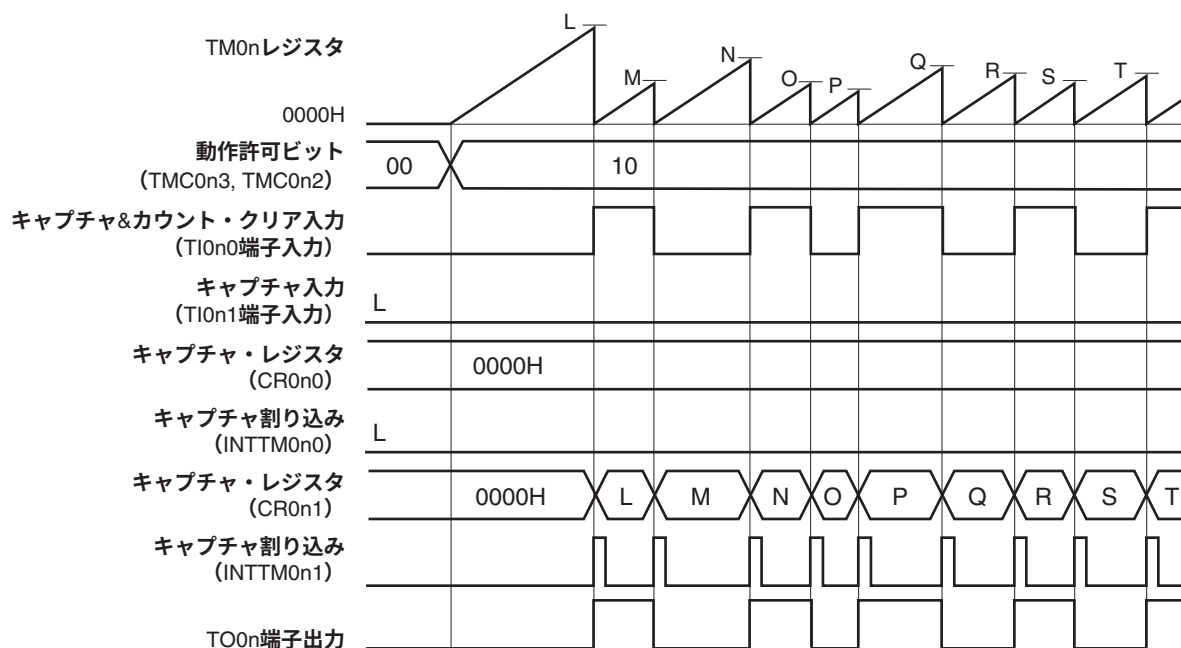
図8-20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (1/3)

(a) TMC0n = 0AH (TI0n0端子の有効エッジ入力でクリア&スタート、エッジ入力で出力反転)

CRC0n = 05H (キャプチャ・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = 30H (TI0n0端子の両エッジ検出)



備考 n = 0-5

TI0n1端子の立ち上がりエッジまたは立ち下がりエッジを検出した場合に、CR0n0レジスタにキャプチャするアプリケーションにおいて、TI0n0端子にエッジが入力されないときのタイミング例です。

TI0n0端子がエッジを検出しないので、TO0n端子出力はロウ・レベルのままで反転しません。

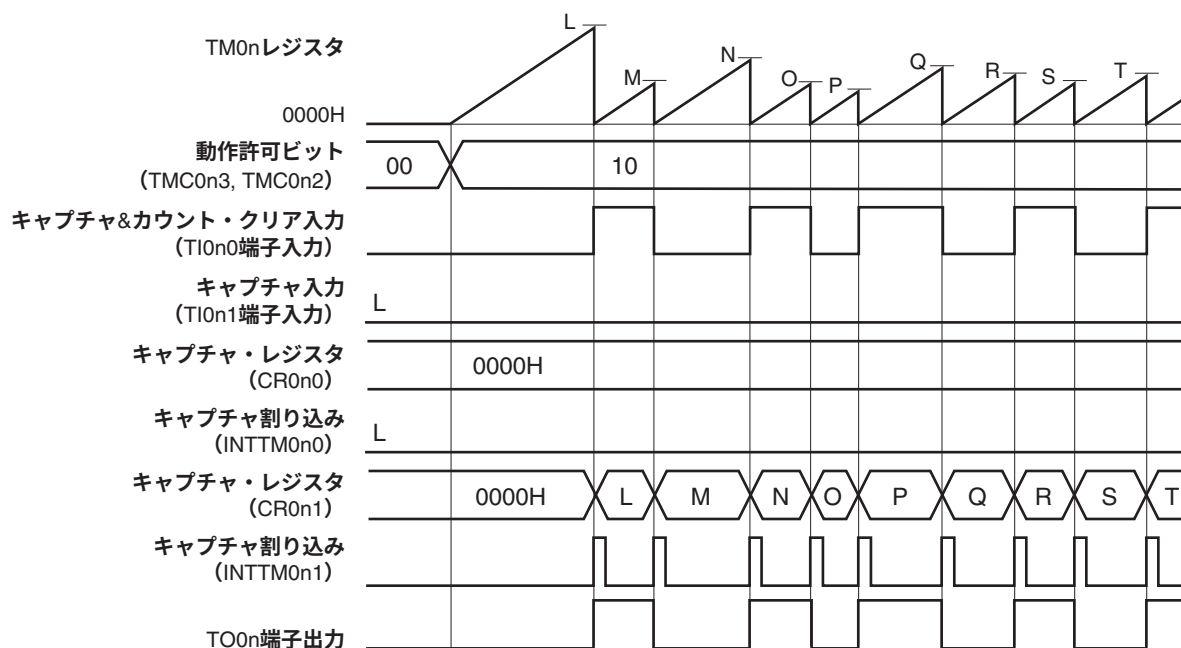
図8-20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (2/3)

(b) TMC0n = 0AH (TI0n0端子の有効エッジ入力でクリア&スタート、エッジ入力で出力反転)

CRC0n = 05H (キャプチャ・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = C0H (TI0n1端子の両エッジ検出)



備考 n = 0-5

TI0n0端子入力信号のパルス幅を測定する場合のアプリケーション例です。

CRC0nレジスタの設定により、TI0n0端子の立ち下がりエッジの逆相（すなわち立ち上がりエッジ）検出でCR0n0レジスタにキャプチャし、TI0n0端子の立ち下がりエッジ検出でCR0n1レジスタにキャプチャします。

入力パルスのハイ・レベル幅、ロウ・レベル幅は、次の式で算出できます。

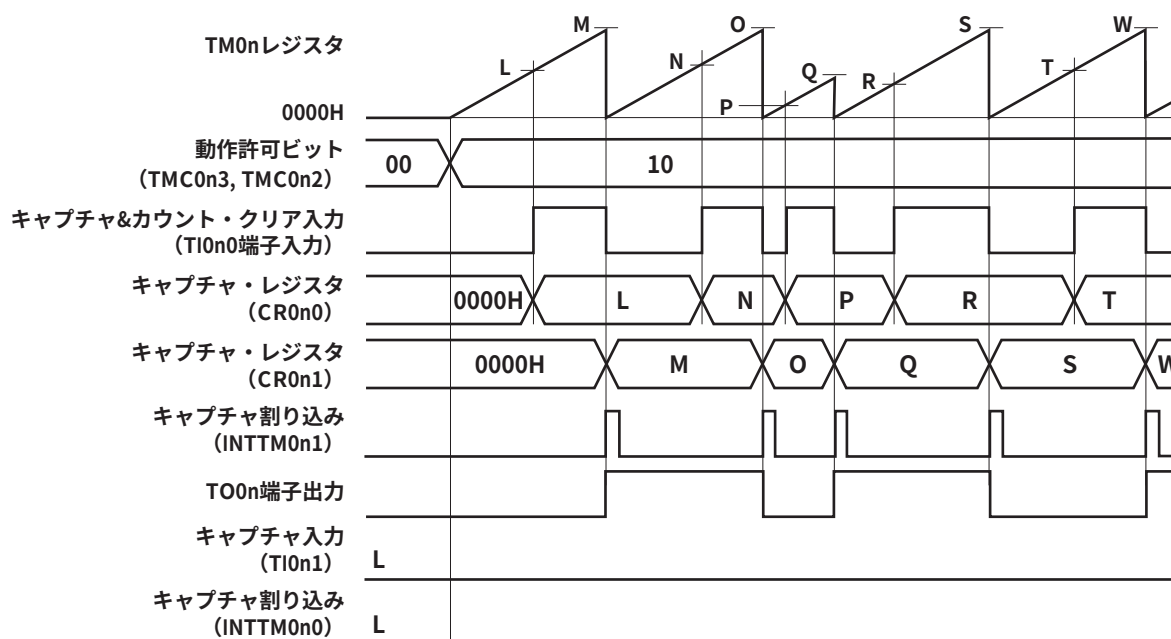
- ・ハイ・レベル幅：[CR0n1レジスタ値] - [CR0n0レジスタ値] × [カウント・クロック周期]
- ・ロウ・レベル幅：[CR0n0レジスタ値] × [カウント・クロック周期]

CR0n0レジスタへのキャプチャ・トリガとしてTI0n0端子の逆相を選択した場合、INTTM0n0信号は発生しません。パルス幅測定のためのCR0n0、CR0n1レジスタ値のリードは、INTTM0n1信号発生直後に行ってください。

ただし、TI0n1端子にPRM0n.ESn11、ESn10ビットで指定した有効エッジが入力されると、キャプチャ動作は発生ませんが、INTTM0n0信号は発生します。TI0n0端子のパルス幅を測定する場合、INTTM0n0信号を使用しないときは、INTTM0n0信号をマスクしてください。

図8-20 TI0n0端子の有効エッジ入力によるクリア&スタート・モードのタイミング例
(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (3/3)

- (c) TMC0n = 0AH (TI0n0端子の有効エッジ入力でクリア&スタート、エッジ入力で出力反転)
CRC0n = 07H (CR0n0をキャプチャ・レジスタ (逆相) , CR0n1をキャプチャ・レジスタとして動作)
TOC0n = 13H (タイマ出力許可)
PRM0n = 00H (CRI0n0端子が立ち上がり、CR0n1が立ち下がりエッジ検出)



備考 n = 0-5

図8-21 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	0	0/1	0

- 0: CR0n0, CR0n1との一致で
TO0n出力が反転
1: CR0n0, CR0n1との一致および
TI0n0端子の有効エッジで
TO0n出力が反転
- TI0n0端子の有効エッジ入力
によるクリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0/1	0/1

- 0: CR0n0をコンペア・
レジスタにする
1: CR0n0をキャプチャ・
レジスタにする
- 0: CR0n0のキャプチャ・
トリガはTI0n1端子
1: CR0n0のキャプチャ・
トリガはTI0n0端子の逆相
- 0: CR0n1をコンペア・
レジスタにする
1: CR0n1をキャプチャ・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

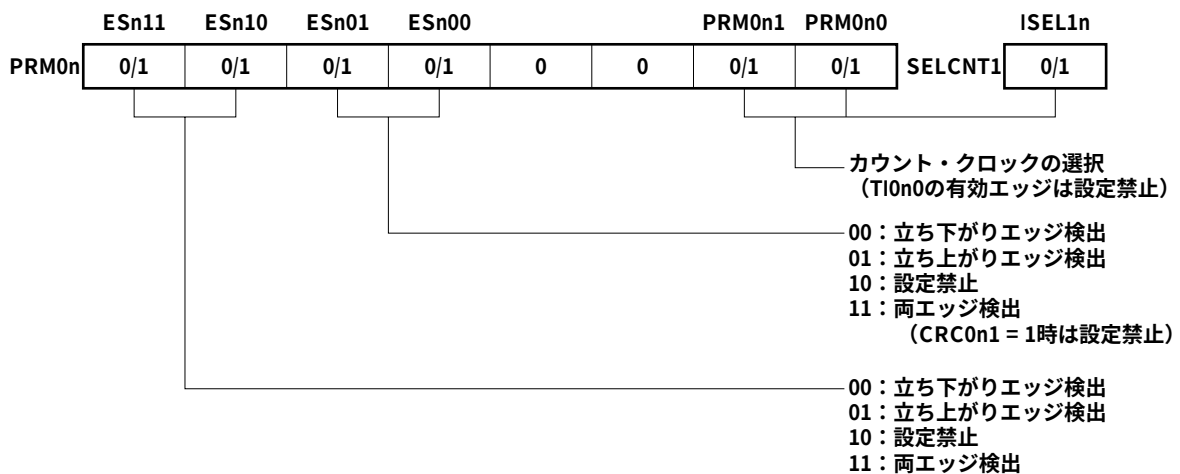
OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0/1	0/1	0/1	0/1

- 0: TO0n出力禁止
1: TO0n出力許可
- TO0n出力F/Fの初期値
を指定
- 00: TM0nとCR0n0/CR0n1が一致
してもTO0n出力は反転しない
01: TM0nとCR0n0の一致に
よりTO0n出力を反転
10: TM0nとCR0n1の一致に
よりTO0n出力を反転
11: TM0nとCR0n0/CR0n1の一致に
よりTO0n出力を反転

備考 n = 0-5

図8-21 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)



(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ0n0 (CR0n0)

コンペア・レジスタとして使用する場合は、TM0nレジスタとの一致で割り込み信号 (INTTM0n0) が発生します。TM0nレジスタのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI0n0, TI0n1端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM0nレジスタのカウント値をCR0n0レジスタに格納します。

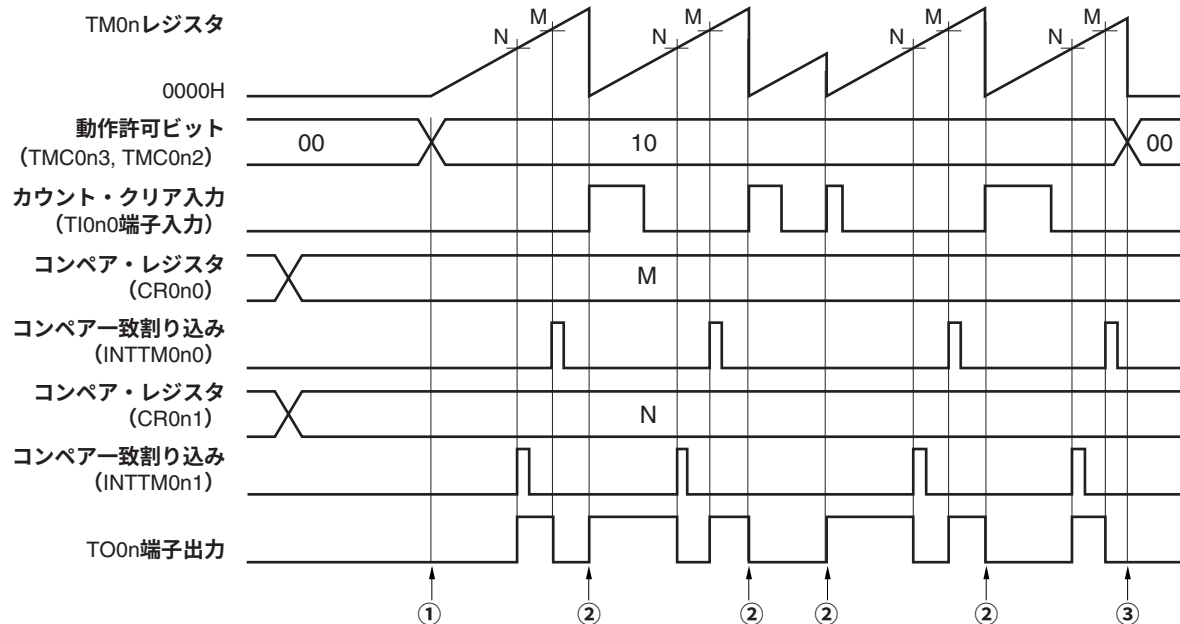
(g) 16ビット・キャプチャ／コンペア・レジスタ0n1 (CR0n1)

コンペア・レジスタとして使用する場合は、TM0nレジスタとの一致で割り込み信号 (INTTM0n1) が発生します。TM0nレジスタのカウント値はクリアされません。

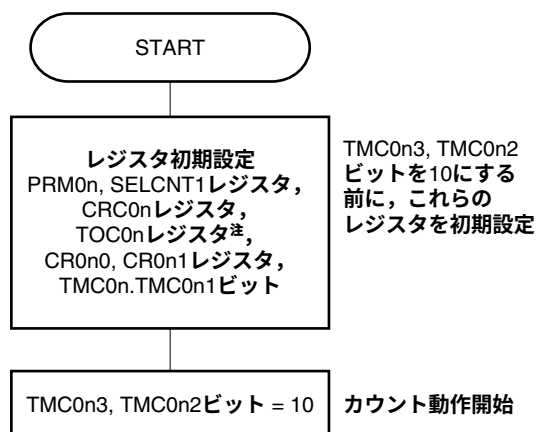
キャプチャ・レジスタとして使用する場合は、TI0n0端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM0nレジスタのカウント値をCR0n1レジスタに格納します。

備考 n = 0-5

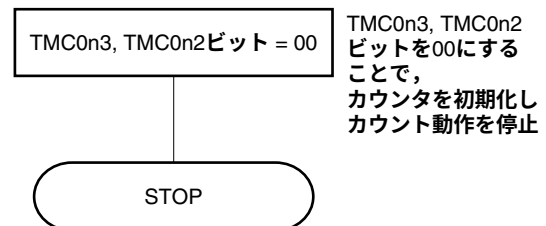
図8-22 TI0n0端子の有効エッジ入力によるクリア&スタート・モード動作時タイミングと処理フロー



① カウント動作開始フロー



③ カウント動作停止フロー



② TM0nレジスタ・クリア&スタート・フロー



注 TOC0nレジスタの設定は注意が必要です。詳細は8.3 (5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-5

8.4.5 フリー・ランニング・タイマとしての動作

TMC0n.TMC0n3, TMC0n2ビット = 01 (フリー・ランニング・タイマ・モード) に設定すると、カウント・クロックに同期してカウント・アップ動作を開始します。FFFFHまでカウントすると、次のクロックでオーバーフロー・フラグ (TMC0n.OVF0nビット) をセット (1) するとともに、TM0nレジスタをクリア (0000H) し、カウント動作を継続します。OVF0nビットは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

フリー・ランニング・タイマの動作として次の3つの動作例について説明します。

- CR0n0, CR0n1レジスタを両方ともコンペア・レジスタとして使用
- CR0n0, CR0n1レジスタの一方をコンペア・レジスタ, もう一方をキャプチャ・レジスタとして使用
- CR0n0, CR0n1レジスタを両方ともキャプチャ・レジスタとして使用

備考1. 兼用機能の設定については表8-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTM0n0, INTTM0n1割り込み許可については, 第21章 割り込み／例外処理機能を参照してください。

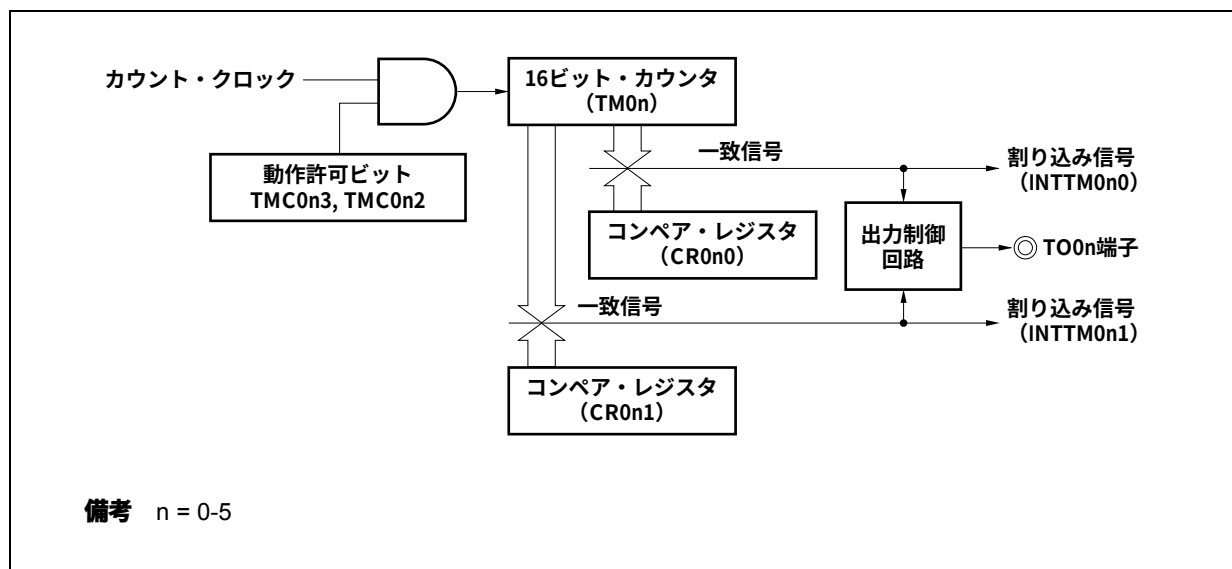
(1) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア・レジスタ, CR0n1レジスタ：コンペア・レジスタ設定時)

この場合のタイマのブロック図とタイミング図を次に示します。

図8-23 フリー・ランニング・タイマ・モードのブロック図

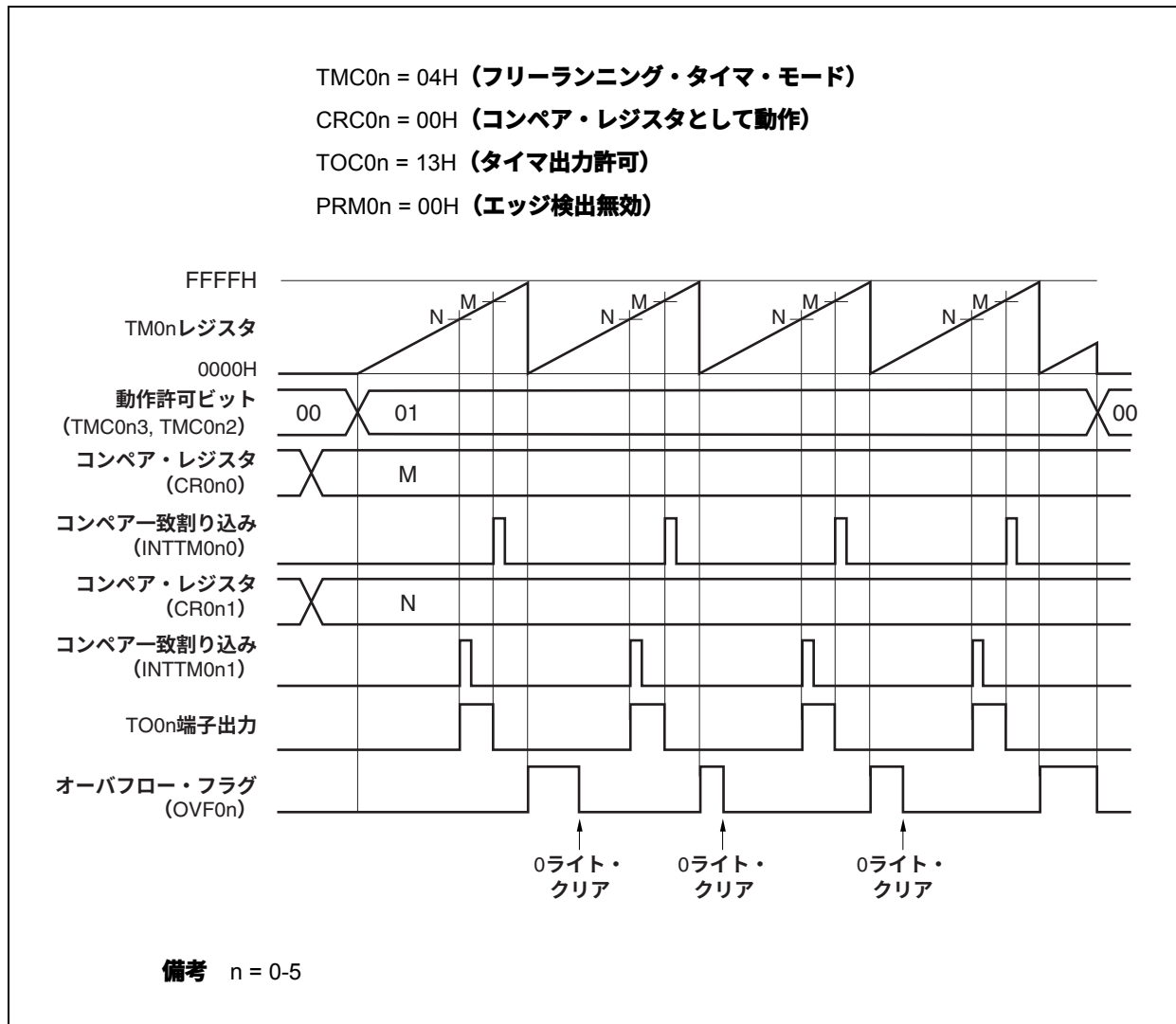
(CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ)



フリー・ランニング・タイマ・モードで、2つのコンペア機能を使用したアプリケーション例です。

TO0n端子出力レベルは、CR0n0、CR0n1レジスタの設定値とTM0nレジスタのカウント値が一致するとに反転します。また、一致するタイミングで、INTTM0n0、INTTM0n1信号がそれぞれ発生します。

図8-24 フリー・ランニング・タイマ・モードのタイミング例
(CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：コンペア・レジスタ)



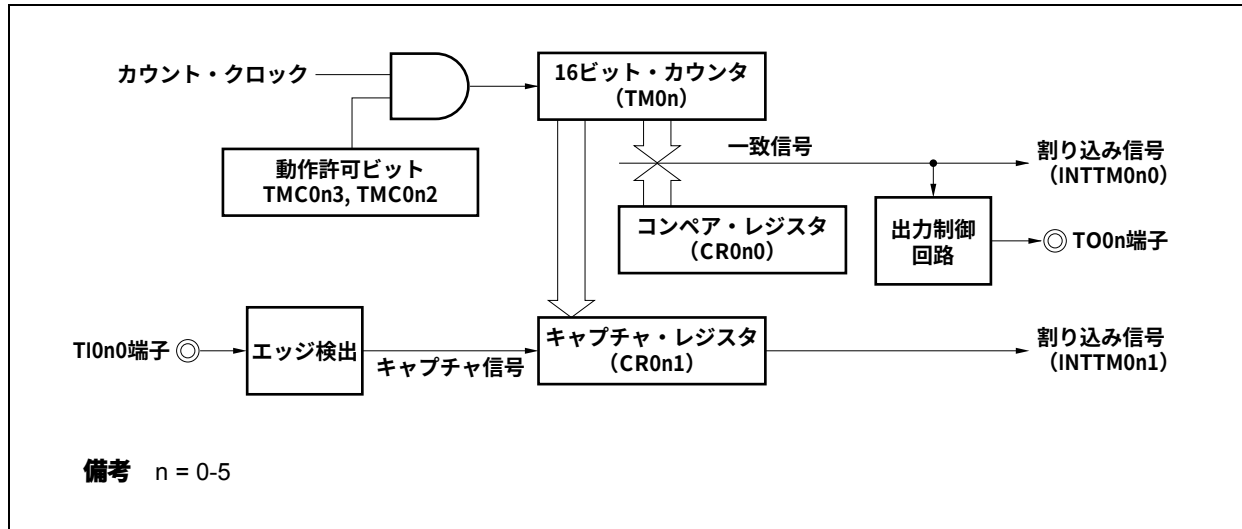
(2) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：コンペア，CR0n1レジスタ：キャプチャ設定時)

この場合のタイマのブロック図とタイミング図を次に示します。

図8-25 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ)



フリー・ランニング・タイマ・モードで、コンペア機能とキャプチャ機能を同時に使用したアプリケーション例です。

この例では、CR0n0（コンペア）レジスタの設定値とTM0nレジスタのカウント値が一致するごとに、INTTM0n0信号を発生し、TO0n端子出力を反転します。また、TI0n0端子の有効エッジを検出するごとに、INTTM0n1信号を発生し、TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

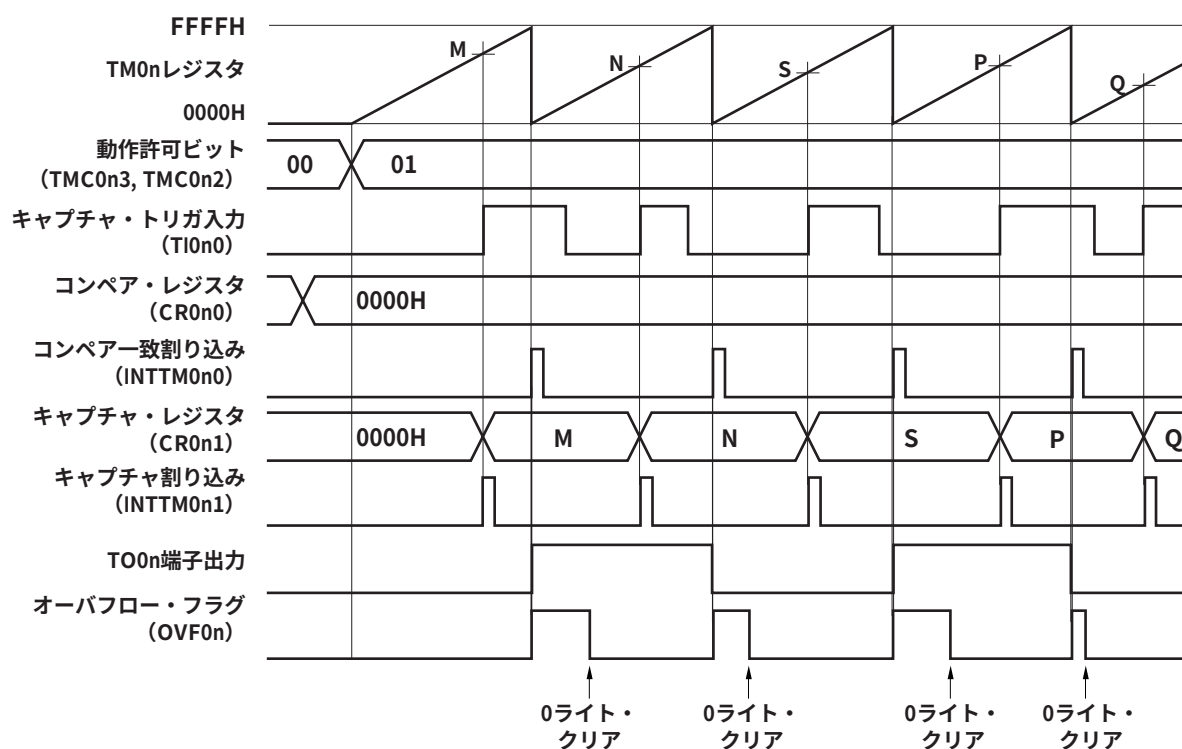
図8-26 フリー・ランニング・タイマ・モードのタイミング例
(CR0n0レジスタ：コンペア・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ)

TMC0n = 04H (フリーランニング・タイマ・モード)

CRC0n = 04H (CR0n0をコンペア・レジスタ, CR0n1をキャプチャ・レジスタとして動作)

TOC0n = 13H (タイマ出力許可)

PRM0n = 10H (TI0n0端子の立ち上がりエッジ検出)



備考 n = 0-5

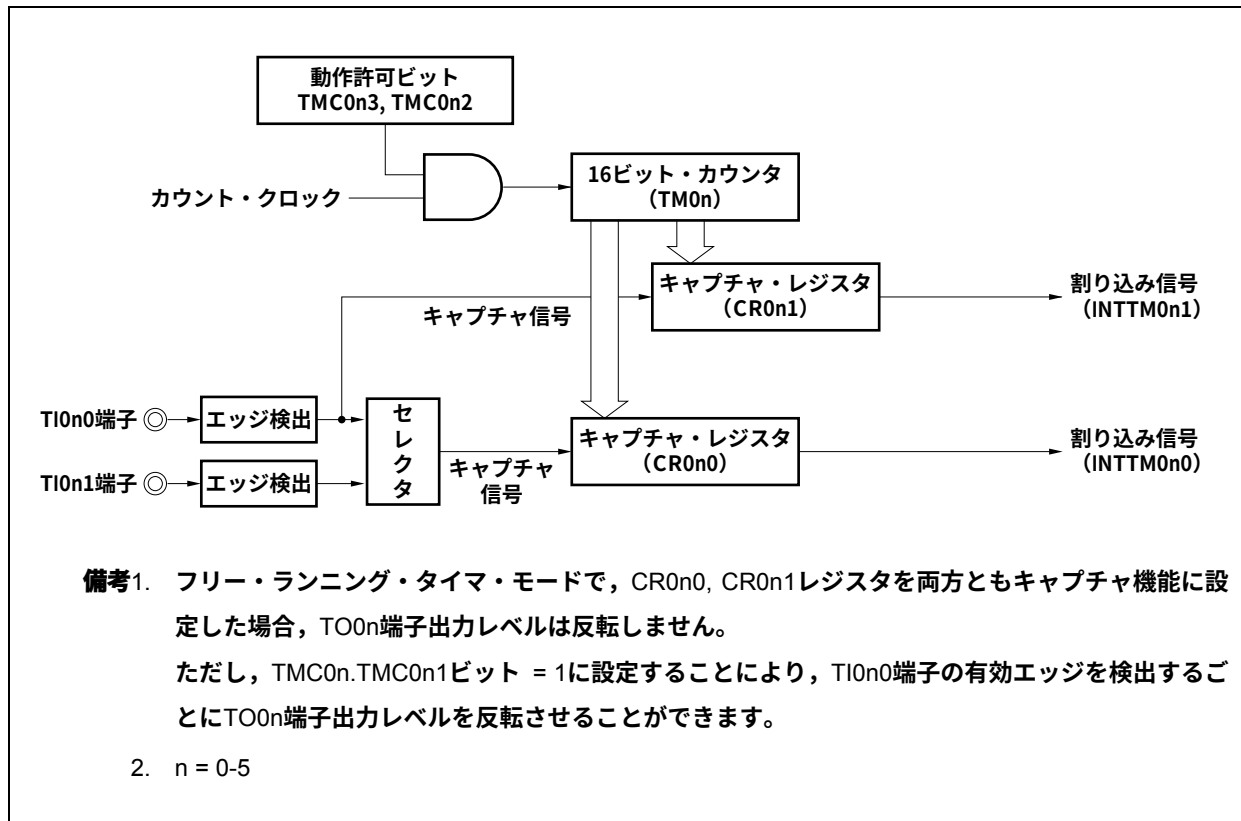
(3) フリー・ランニング・タイマ・モード動作

(CR0n0レジスタ：キャプチャ・レジスタ, CR0n1レジスタ：キャプチャ・レジスタ設定時)

この場合のタイマのブロック図とタイミング図を次に示します。

図8-27 フリー・ランニング・タイマ・モードのブロック図

(CR0n0レジスタ：キャプチャ・レジスタ/CR0n1レジスタ：キャプチャ・レジスタ)

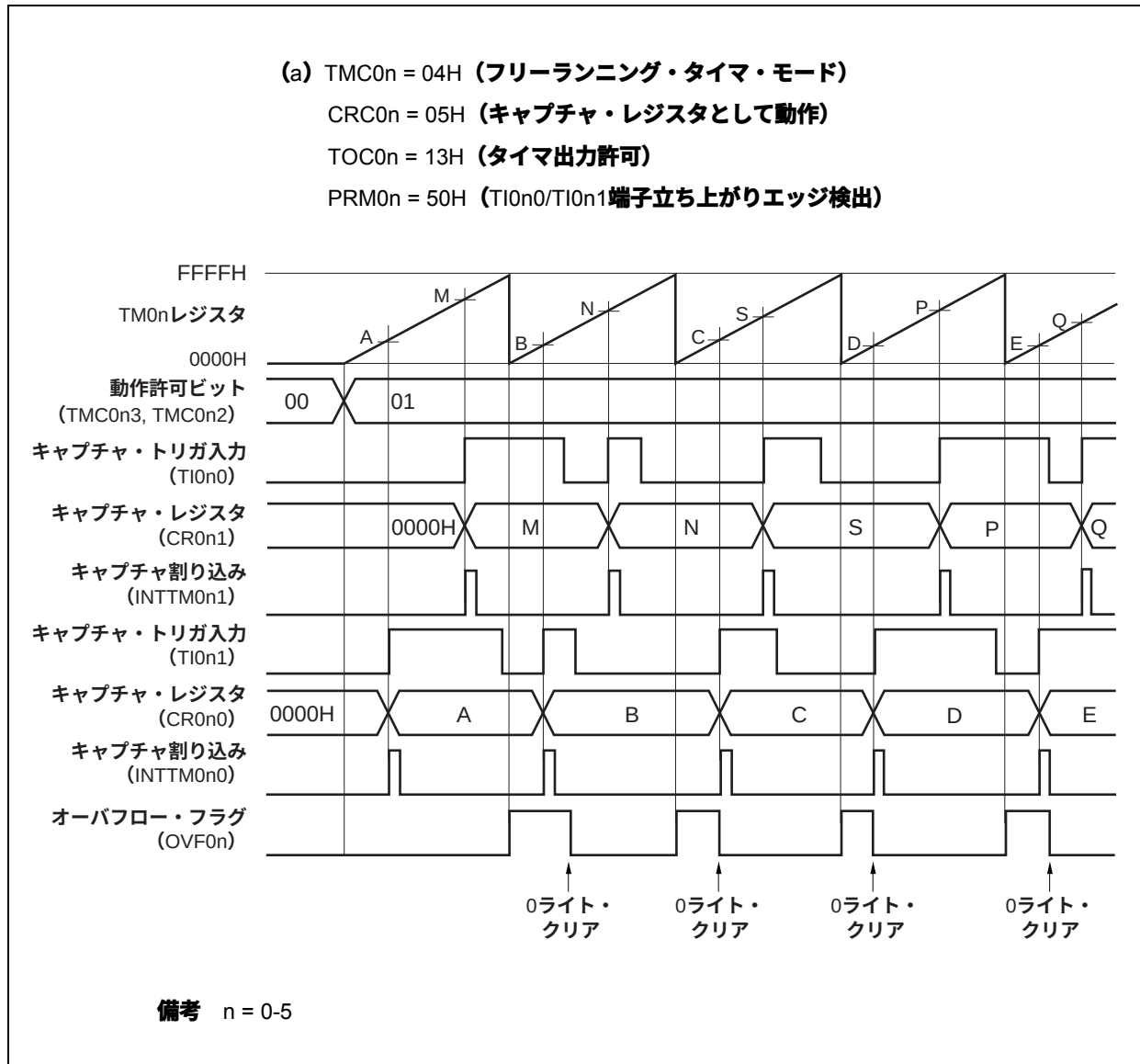


フリー・ランニング・タイマ・モードで、別々のキャプチャ・トリガ入力の有効エッジでキャプチャした値を別々のキャプチャ・レジスタに格納するアプリケーション例です。

TI0n0端子入力の有効エッジ検出でCR0n1レジスタにキャプチャします。TI0n1端子入力の有効エッジ検出でCR0n0レジスタにキャプチャします。

図8-28 フリー・ランニング・タイマ・モードのタイミング例

(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (1/2)



フリー・ランニング・タイマ・モードで、TI0n1端子の両エッジ検出に設定し、CR0n0レジスタにキャプチャするアプリケーション例です。

CR0n0, CR0n1レジスタを両方ともキャプチャ・レジスタとして使用し、TI0n1端子だけからの有効エッジを検出する場合、CR0n1レジスタにキャプチャすることはできません。

図8-28 フリー・ランニング・タイマ・モードのタイミング例

(CR0n0レジスタ：キャプチャ・レジスタ／CR0n1レジスタ：キャプチャ・レジスタ) (2/2)

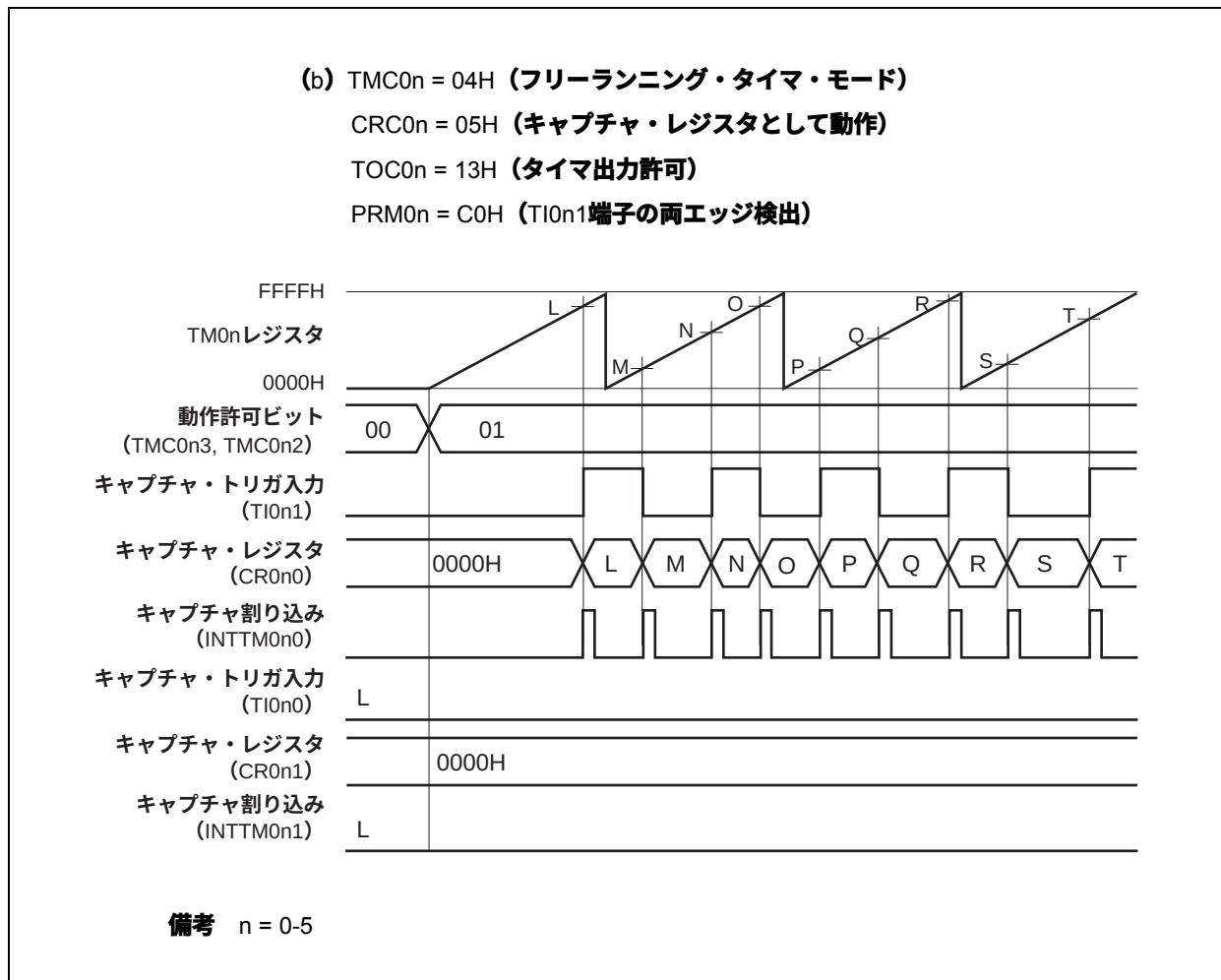


図8-29 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

TMC0n3 TMC0n2 TMC0n1 OVF0n			
0	0	0	0

- 0: CR0n0, CR0n1との一致で
TO0n端子出力が反転
1: CR0n0, CR0n1との一致および
TI0n0端子の有効エッジで
TO0n端子出力が反転
フリー・ランニング・タイマ・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

CRC0n2 CRC0n1 CRC0n0			
0	0	0	0

- 0: CR0n0をコンペア・
レジスタにする
1: CR0n0をキャプチャ・
レジスタにする
0: CR0n0のキャプチャ・
トリガはTI0n1端子
1: CR0n0のキャプチャ・
トリガはTI0n0端子の逆相
0: CR0n1をコンペア・
レジスタにする
1: CR0n1をキャプチャ・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

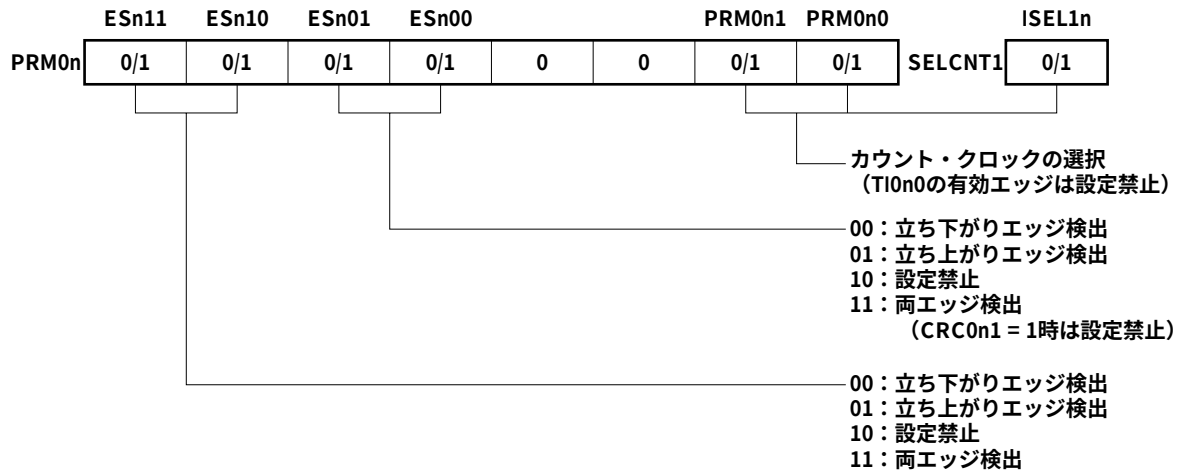
OSPT0n OSPE0n		TOC0n4 LVS0n		LVR0n TOC0n1		TOE0n
0	0	0	0	0	0	0

- 0: TO0n出力禁止
1: TO0n出力許可
TO0n出力F/Fの初期値
を指定
00: TM0nとCR0n0/CR0n1が一致
してもTO0n出力は反転しない
01: TM0nとCR0n0の一致に
よりTO0n出力を反転
10: TM0nとCR0n1の一致に
よりTO0n出力を反転
11: TM0nとCR0n0/CR0n1の一致に
よりTO0n出力を反転

備考 n = 0-5

図8-29 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容例 (2/2)

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)



(e) 16ビット・タイマ・カウンタ0n (TM0n)

TM0nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ0n0 (CR0n0)

コンペア・レジスタとして使用する場合は、TM0nレジスタとの一致で割り込み信号 (INTTM0n0) が発生します。TM0nレジスタのカウント値はクリアされません。

キャプチャ・レジスタとして使用する場合は、TI0n0, TI0n1端子入力のどちらかをキャプチャ・トリガとして設定してください。キャプチャ・トリガの有効エッジ検出により、TM0nレジスタのカウント値をCR0n0レジスタに格納します。

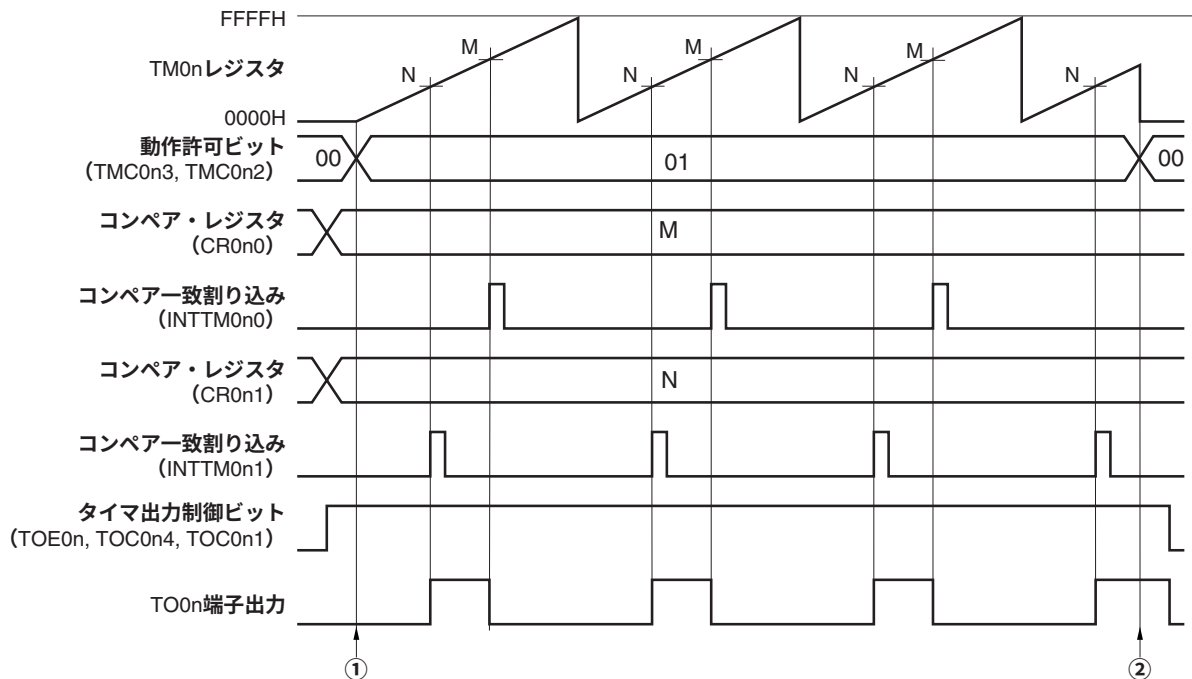
(g) 16ビット・キャプチャ／コンペア・レジスタ0n1 (CR0n1)

コンペア・レジスタとして使用する場合は、TM0nレジスタとの一致で割り込み信号 (INTTM0n1) が発生します。TM0nレジスタのカウント値はクリアされません。

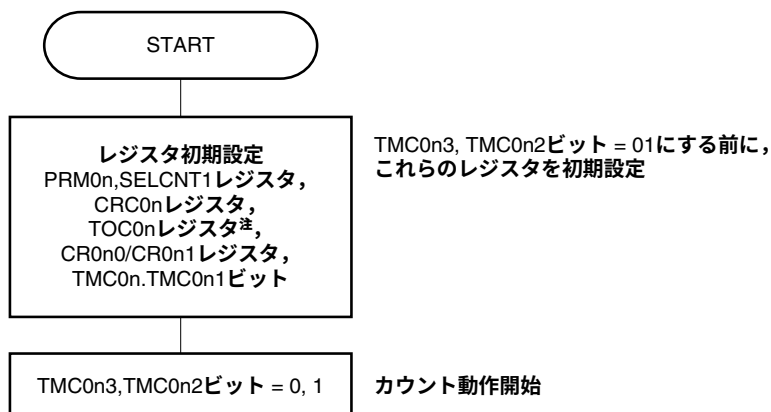
キャプチャ・レジスタとして使用する場合は、TI0n0端子入力がキャプチャ・トリガとなります。キャプチャ・トリガの有効エッジ検出により、TM0nレジスタのカウント値をCR0n1レジスタに格納します。

備考 n = 0-5

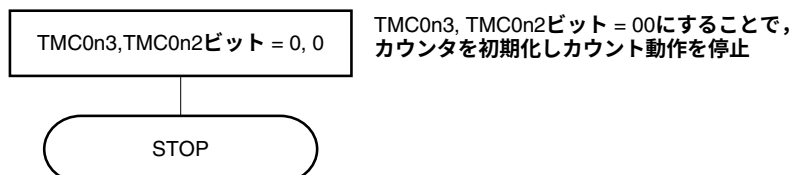
図8-30 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



注 TOC0nレジスタの設定は注意が必要です。詳細は8.3 (5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-5

8.4.6 PPG出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 11 (TM0nレジスタとCR0n0レジスタの一致によるクリア&スタート)に設定し, CR0n0レジスタで周期を, CR0n1レジスタでデューティを設定し, TO0n端子からPPG (Programmable Pulse Generator) 出力として動作します。

PPG出力によって生成されるパルス周期, デューティは次のようになります。

- ・パルス周期: $(\text{CR0n0レジスタの設定値} + 1) \times \text{カウント} \cdot \text{クロック周期}$
- ・デューティ: $(\text{CR0n1レジスタの設定値} + 1) / (\text{CR0n0レジスタの設定値} + 1)$

注意 動作中にデューティの値 (CR0n1レジスタ) を変更したい場合は, 8.5.1 コンペア・レジスタのTM0n動作中の書き換えを参照してください。

備考1. 兼用機能の設定については表8-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTM0n0, INTTM0n1割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

図8-31 PPG出力としての動作のブロック図

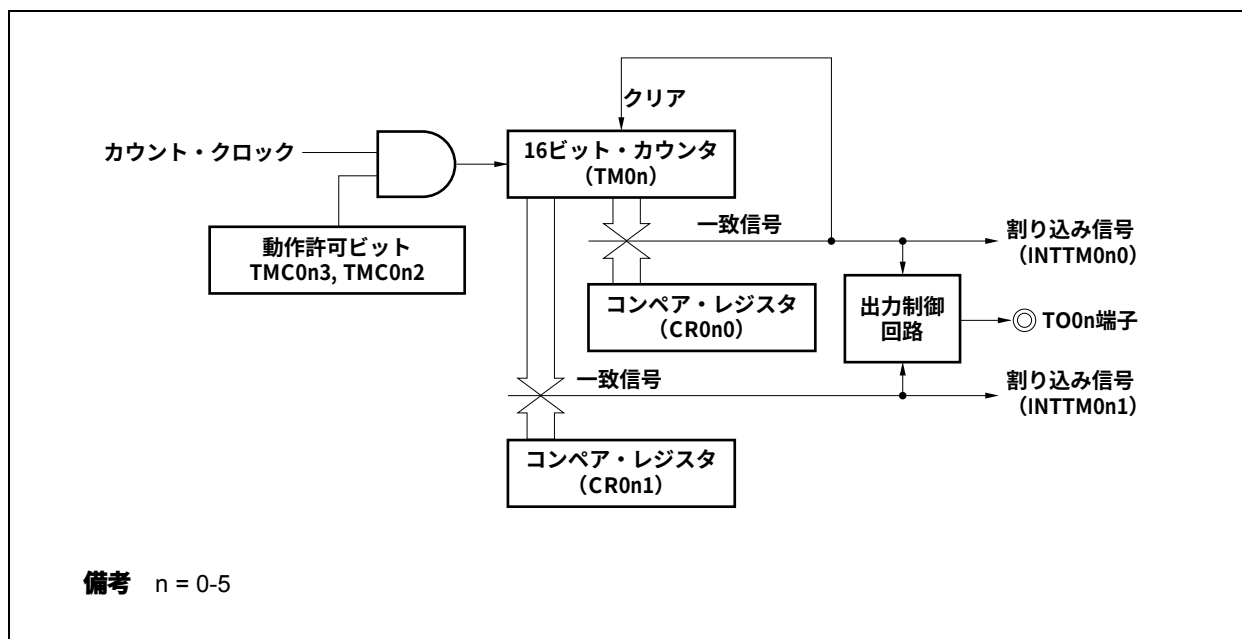


図8-32 PPG出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	1	1	0	0

TM0nとCR0n0の一致で
クリア&スタート

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0
0	0	0	0	0	0	0

0 : CR0n0をコンペア・
レジスタにする

0 : CR0n1をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	1	0/1	0/1	1

TO0n出力許可

TO0n出力F/Fの初期値を指定

11 : TM0nとCR0n0/CR0n1の
一致によりTO0n出力を反転

00 : ワンショット・パルス
出力禁止

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

				ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0			ISEL1n
PRM0n				0	0	0	0	0	0	0/1	0/1	SELCNT1		0/1

カウント・クロック
の選択

備考 n = 0-5

図8-32 PPG出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM0_n)

TM0_nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{0n0} (CR0_{n0})

TM0_nレジスタとの一致で割り込み信号 (INTTM0_{n0}) を発生します。TM0_nのカウンタ値はクリアされます。

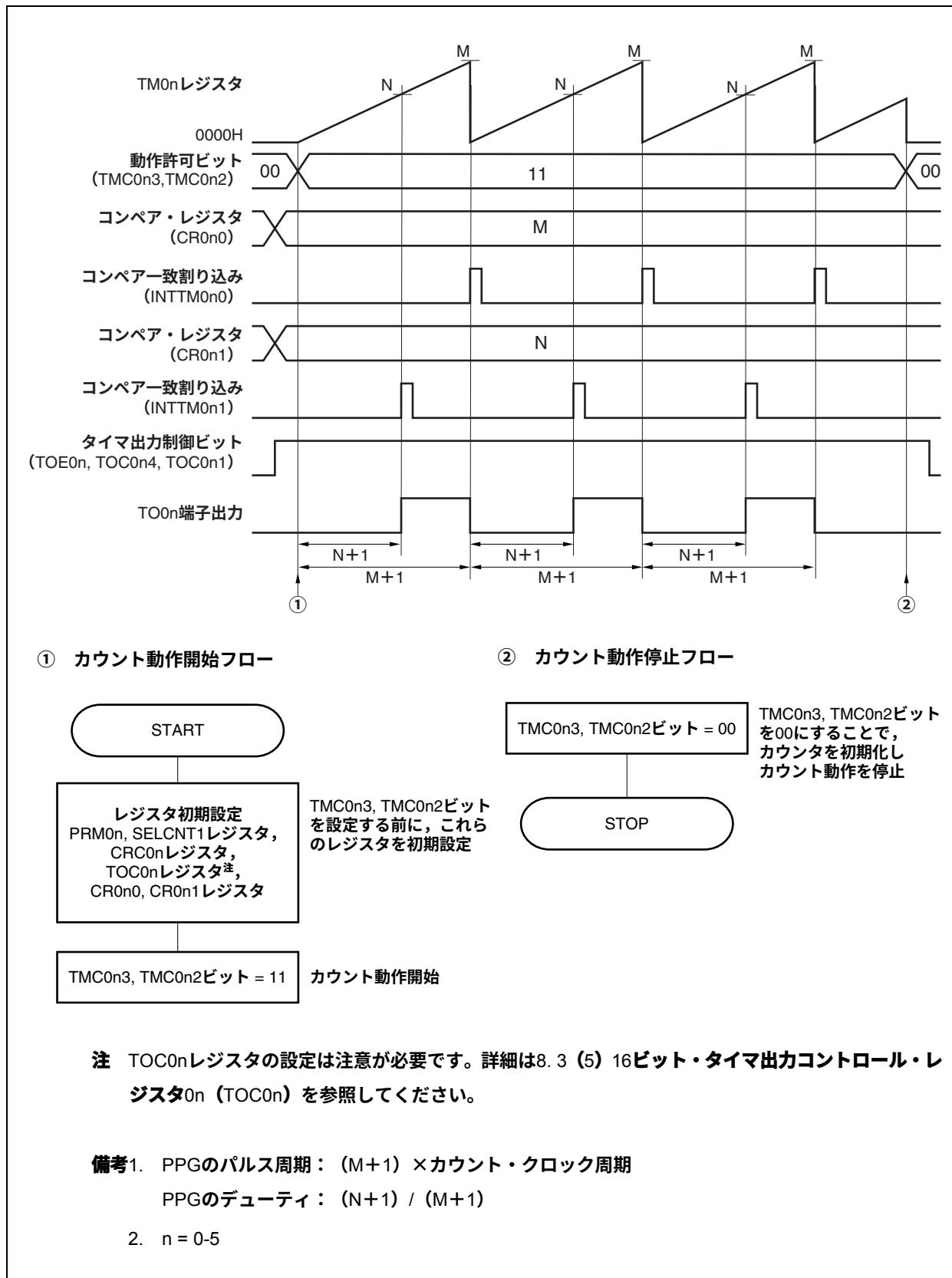
(g) 16ビット・キャプチャ／コンペア・レジスタ_{0n1} (CR0_{n1})

TM0_nレジスタとの一致で割り込み信号 (INTTM0_{n1}) を発生します。TM0_nレジスタのカウンタ値はクリアされません。

注意 CR0_{n0}, CR0_{n1}レジスタには, $0000H \leq CR0_{n1} < CR0_{n0} \leq FFFFH$ の値を設定してください。

備考 n = 0-5

図8-33 PPG出力動作時の動作時のタイミングと処理フロー



8.4.7 ワンショット・パルス出力としての動作

TMC0n.TMC0n3, TMC0n2ビット = 01 (フリー・ランニング・タイマ・モード) , またはTMC0n3, TMC0n2ビット = 10 (TI0n0端子の有効エッジによるクリア&スタート・モード) に設定し, TOC0n.OSPE0nビット = 1に設定することにより, ワンショット・パルスを出力できます。

タイマ動作中に, TOC0n.OSPT0nビットをセット (1) するか, またはTI0n0端子に有効エッジが入力されると, それがトリガとなりTM0nレジスタのクリア&スタート後, CR0n0, CR0n1レジスタに設定した差分のパルスを1回だけTO0n端子から出力します。

注意 ワンショット・パルスを出力中に, さらにトリガ (OSPT0nビットのセット (1) , またはTI0n0端子の有効エッジ検出) を入力しないでください。再度, ワンショット・パルスを出力したいときは, 現在のワンショット・パルス出力が終了したあとで, トリガを発生させてください。

備考1. 兼用機能の設定については表8-2 端子構成, 8.6 注意事項, および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTM0n0, INTTM0n1割り込み許可については, 第21章 割り込み/例外処理機能を参照してください。

図8-34 ワンショット・パルス出力としての動作のブロック図

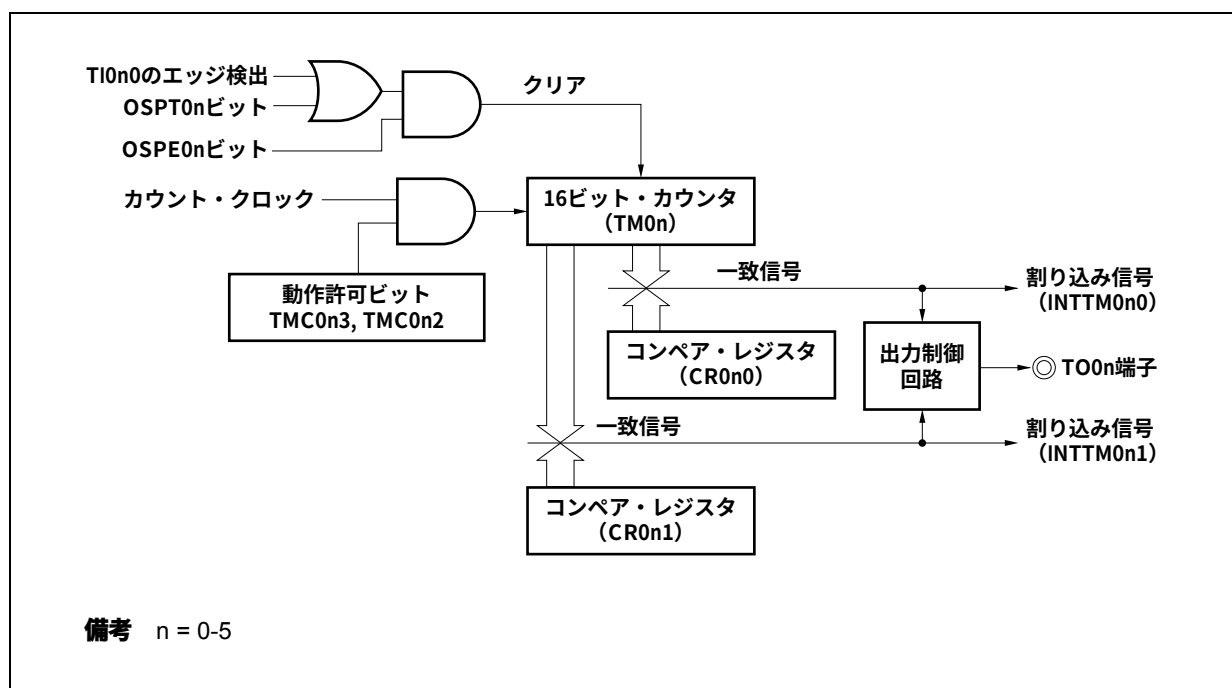


図8-35 ワンショット・パルス出力動作時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

01: フリー・ランニング・
タイマ・モード
10: TI0n0端子の有効エッジ
によるクリア&スタート・
モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	0	0	0

CR0n0をコンペア・
レジスタにする

CR0n1をコンペア・
レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

	OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0/1	1	1	0/1	0/1	1	1

TO0n端子出力許可

TO0n端子出力の初期値を
指定

TM0nとCR0n0/CR0n1の
一致によりTO0n出力を反転

ワンショット・パルス
出力許可

1をライトすることで
ソフトウェア・トリガを発生
(0をライトしても
動作に影響なし)

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0	ISEL1n	
PRM0n	0	0	0	0	0	0	0/1	0/1	SELCNT1	0/1

カウント・クロック
の選択

備考 n = 0-5

図8-35 ワンショット・パルス出力動作時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM0_n)

TM0_nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{0n0} (CR0_{n0})

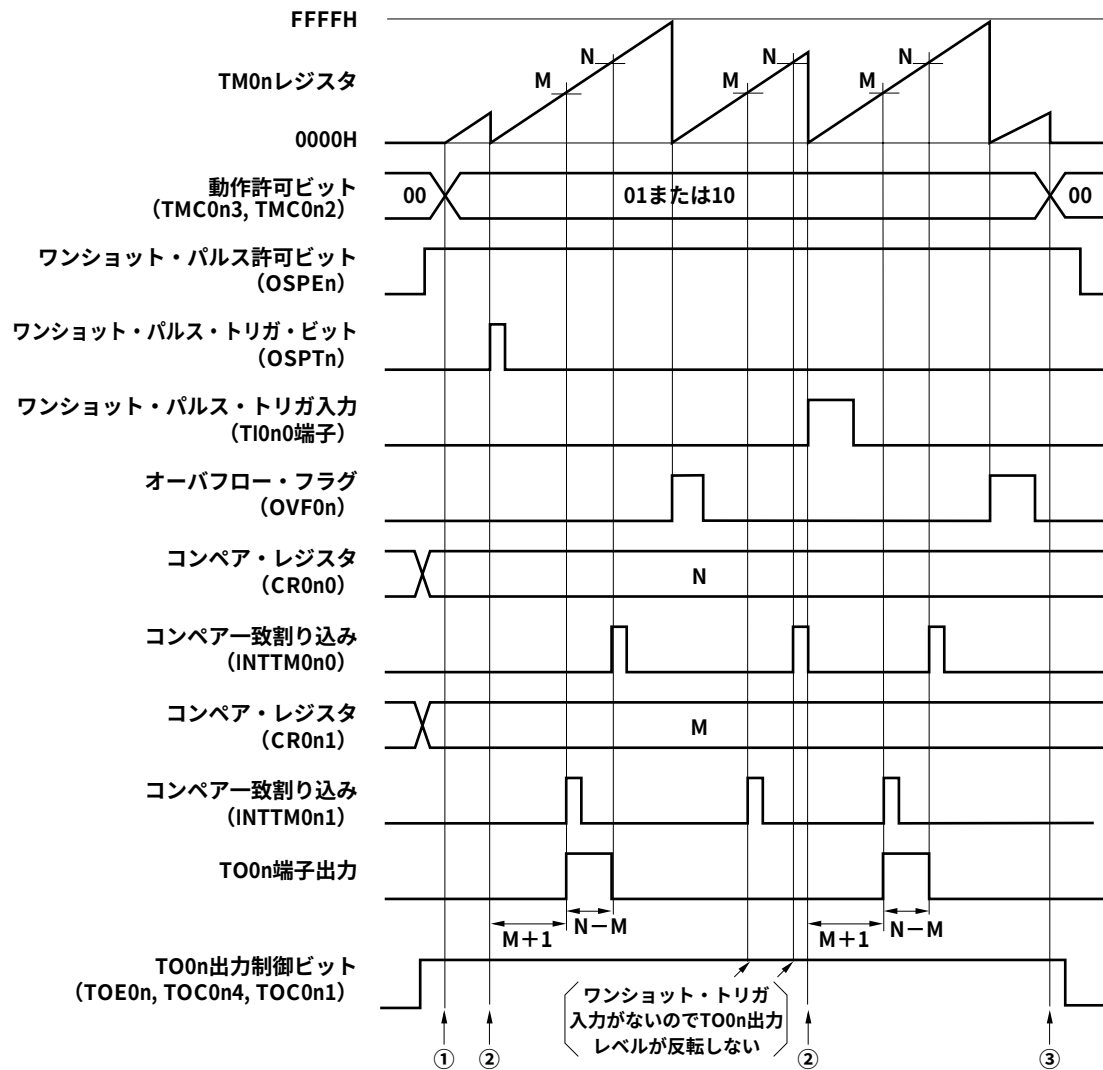
ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0_nレジスタとCR0_{n0}レジスタの値が一致すると、割り込み信号 (INTTM0_{n0}) を発生し、TO0_n端子出力レベルを反転します。

(g) 16ビット・キャプチャ／コンペア・レジスタ_{0n1} (CR0_{n1})

ワンショット・パルス出力用のコンペア・レジスタとして使用します。TM0_nレジスタとCR0_{n1}レジスタの値が一致すると、割り込み信号 (INTTM0_{n1}) を発生し、TO0_n端子出力レベルを反転します。

備考 n = 0-5

図8-36 ワンショット・パルス出力動作タイミングと処理フロー (1/2)



- ・ワンショット・パルス・トリガが入力されてからワンショット・パルスが出力されるまでの時間

： $(M+1) \times \text{カウント・クロック周期}$

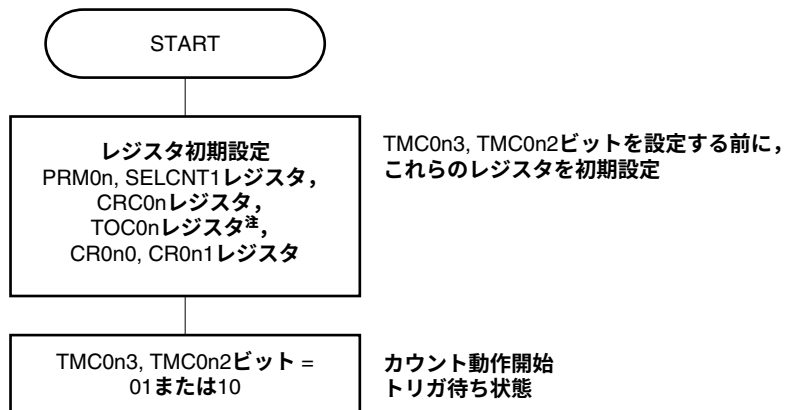
- ・ワンショット・パルス出力アクティブ・レベル幅

： $(N-M) \times \text{カウント・クロック周期}$

備考 $n = 0-5$

図8-36 ワンショット・パルス出力動作タイミングと処理フロー (2/2)

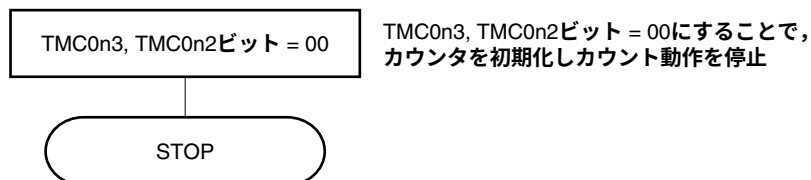
① カウント動作開始フロー



② ワンショット・トリガ入力フロー



③ カウント動作停止フロー



注 TOC0nレジスタの設定は注意が必要です。詳細は8.3 (5) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n) を参照してください。

備考 n = 0-5

8.4.8 パルス幅測定としての動作

TI0n0端子およびTI0n1端子に入力される信号のパルス幅を測定できます。

測定方法には、16ビット・タイマ/イベント・カウンタ0nをフリー・ランニング・タイマ・モードで動作させて測定する方法と、TI0n0端子に入力される信号のエッジに同期してタイマをリスタートさせて測定する方法があります。

割り込みが発生したら、キャプチャ・レジスタの値をリードして、パルス幅の測定をしてください。また、TMC0n.OVF0nフラグを確認して、セット (1) されていたらソフトウェアでクリア (0) してください (8.6 (7) OVF0nフラグの動作参照)。

図8-37 パルス幅測定 (フリー・ランニング・タイマ・モード) のブロック図

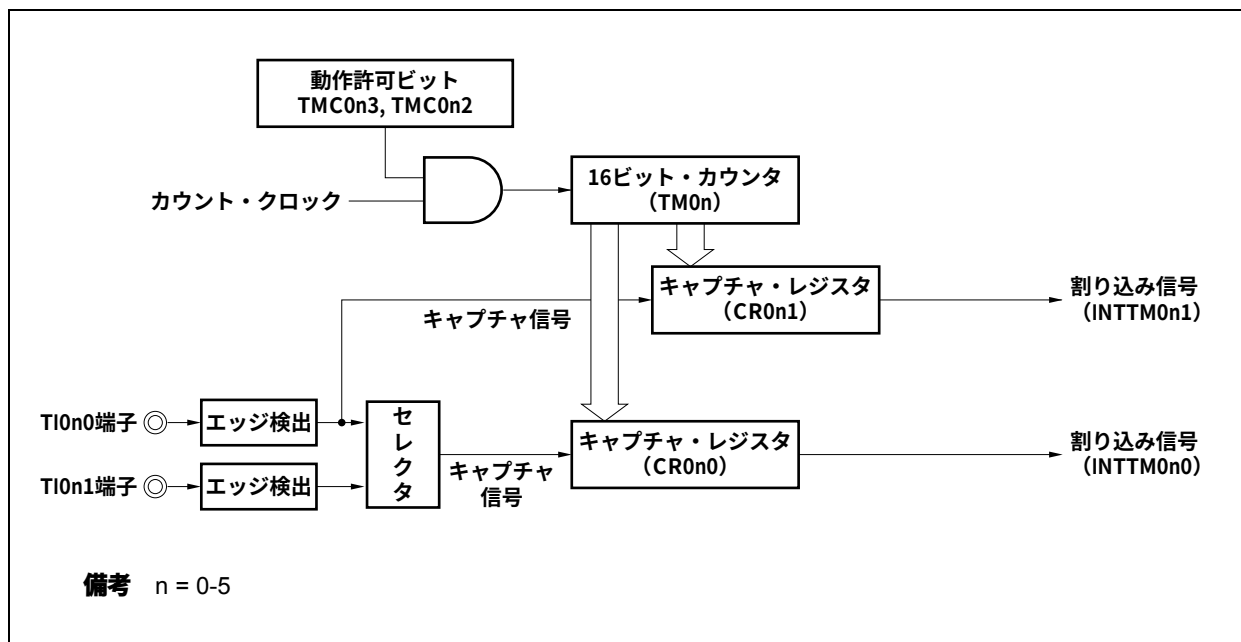
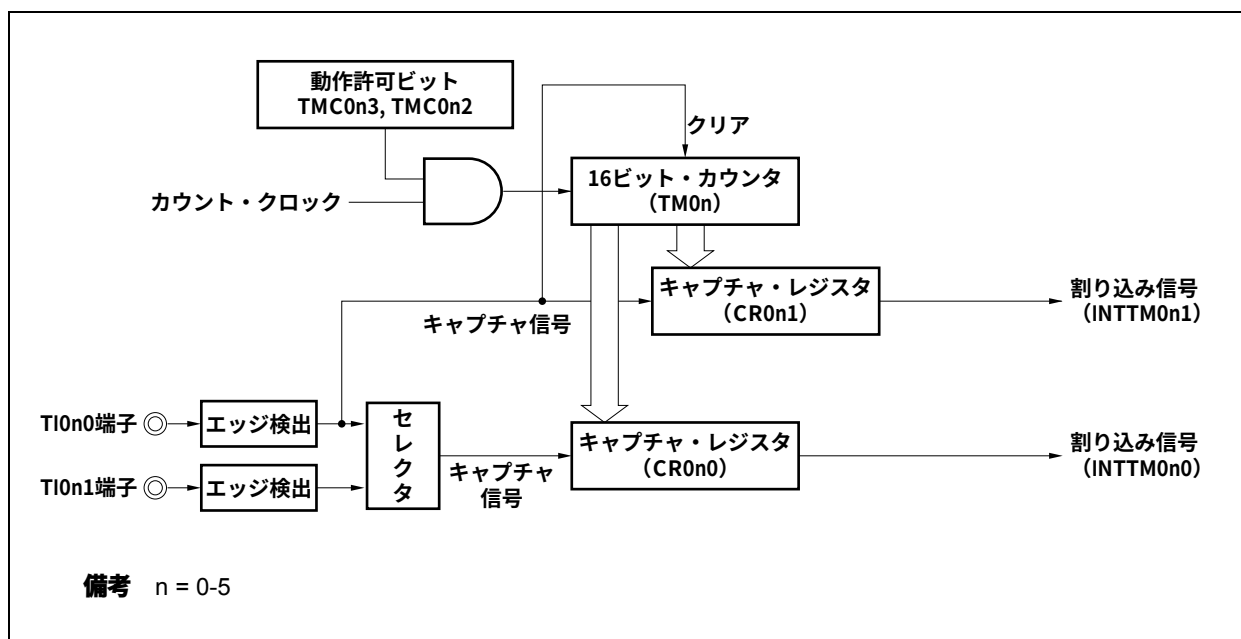


図8-38 パルス幅測定 (TI0n0端子の有効エッジ入力によるクリア&スタート・モード) のブロック図



パルス幅を測定する3つの例を示します。

- ・ TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI0n0端子1本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）
- ・ TI0n0端子1本の入力信号でパルス幅を測定（TI0n0端子の有効エッジ入力によるクリア&スタート・モード）

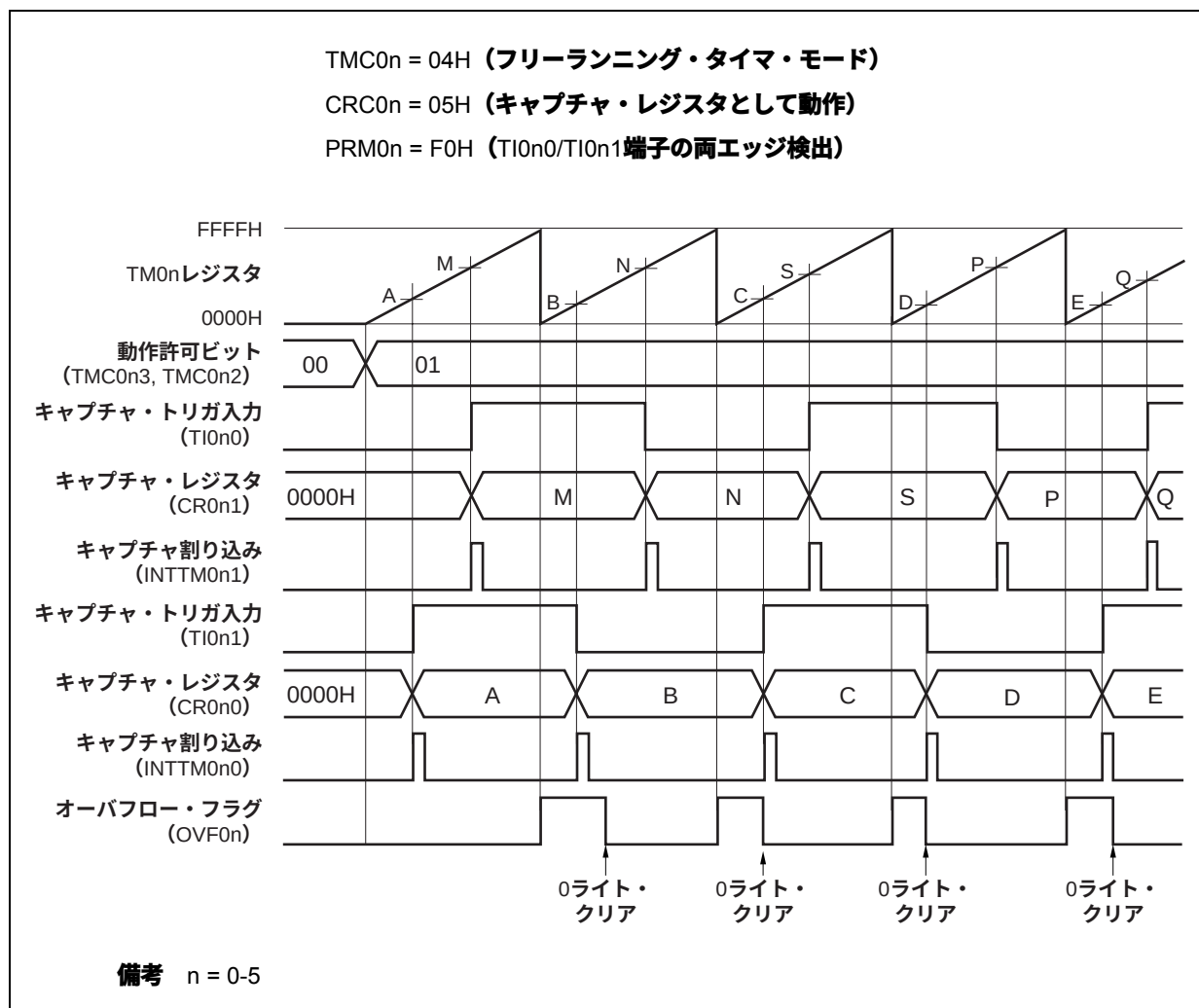
(1) TI0n0端子およびTI0n1端子の2本の入力信号でパルス幅を測定（フリー・ランニング・タイマ・モード）

フリー・ランニング・タイマ・モード（TMC0n.TMC0n3, TMC0n2ビット = 01）に設定します。TI0n0端子の有効エッジ検出により、TM0nレジスタのカウンタ値をCR0n1レジスタにキャプチャします。TI0n1端子の有効エッジ検出により、TM0nレジスタのカウンタ値をCR0n0レジスタにキャプチャします。TI0n0端子とTI0n1端子のエッジ検出の設定は、両エッジとしてください。

この測定方法では、それぞれの入力信号のエッジによりキャプチャした値から、前回キャプチャした値を減算します。そのため、前回キャプチャした値を、あらかじめ別レジスタに退避してください。

オーバフローが発生した場合、単純に減算すると値がマイナスになるため、ボローが発生します（PSW.CYビットがセット（1）されます）。このときは、CYビットを無視して、下位16ビットの計算値をパルス幅として扱ってください。また、TMC0n.OVF0nビットをクリア（0）してください。

図8-39 パルス幅測定のタイミング例（1）



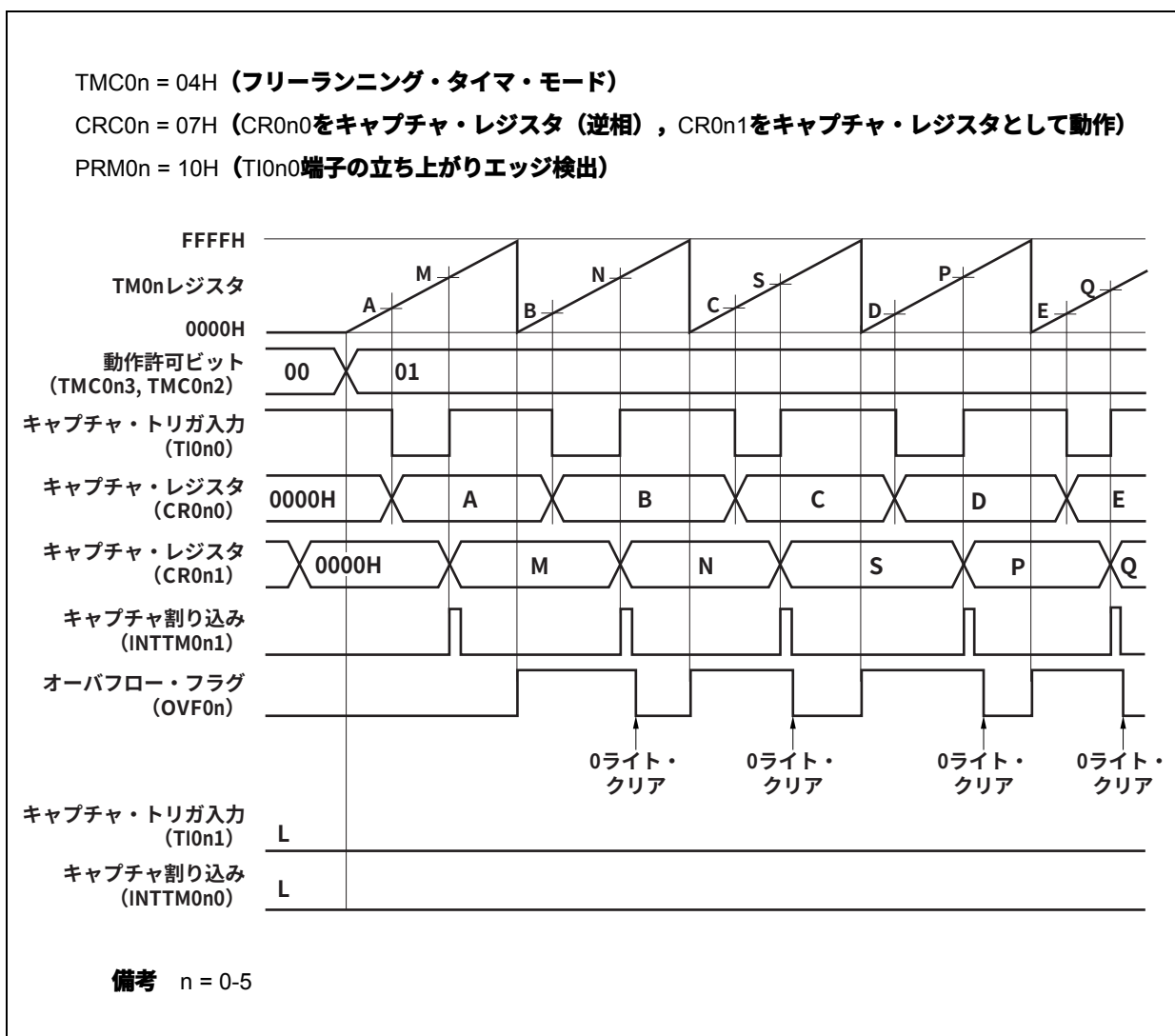
(2) TI0n0端子1本の入力信号でパルス幅を測定 (フリー・ランニング・タイマ・モード)

フリー・ランニング・タイマ・モード (TMC0n.TMC0n3, TMC0n2ビット = 01) に設定します。TI0n0端子の有効エッジ検出の逆相で, TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で, TM0nレジスタのカウント値をCR0n1レジスタにキャプチャします。

この測定方法では, エッジからエッジまでの幅を測定する場合に, 別々のキャプチャ・レジスタに値を格納するため, キャプチャした値を退避する必要がありません。2つのキャプチャ・レジスタ値を減算することでロウ・レベル幅を算出します。

オーバフローが発生した場合, 単純に減算すると値がマイナスになるため, ボローが発生します (PSW.CYビットがセット (1) されます)。このときは, CYビットを無視して, 下位16ビットの計算値をパルス幅として扱ってください。また, TMC0n.OVF0nビットをクリア (0) してください。

図8-40 ロウ・レベル・パルス幅測定のタイミング例 (2)



(3) TI0n0端子1本の入力信号でパルス幅を測定 (TI0n0端子の有効エッジ入力によるクリア&スタート・モード)

TI0n0端子の有効エッジによるクリア&スタート・モード (TMC0n.TMC0n3, TMC0n2ビット = 10) に設定します。TI0n0端子の有効エッジ検出の逆相で、TM0nレジスタのカウント値をCR0n0レジスタにキャプチャします。TI0n0端子の有効エッジ検出で、TM0nレジスタのカウント値をCR0n1レジスタにキャプチャし、TM0nレジスタをクリア (0000H) します。したがって、TM0nレジスタがオーバフローしなければ、CR0n1レジスタには周期が格納されます。

オーバフローが発生した場合は、CR0n1レジスタに格納した値に10000Hを加算した値を周期として扱ってください。また、TMC0n.OVF0nビットをクリア (0) してください。

図8-41 パルス幅測定のタイミング例 (3)

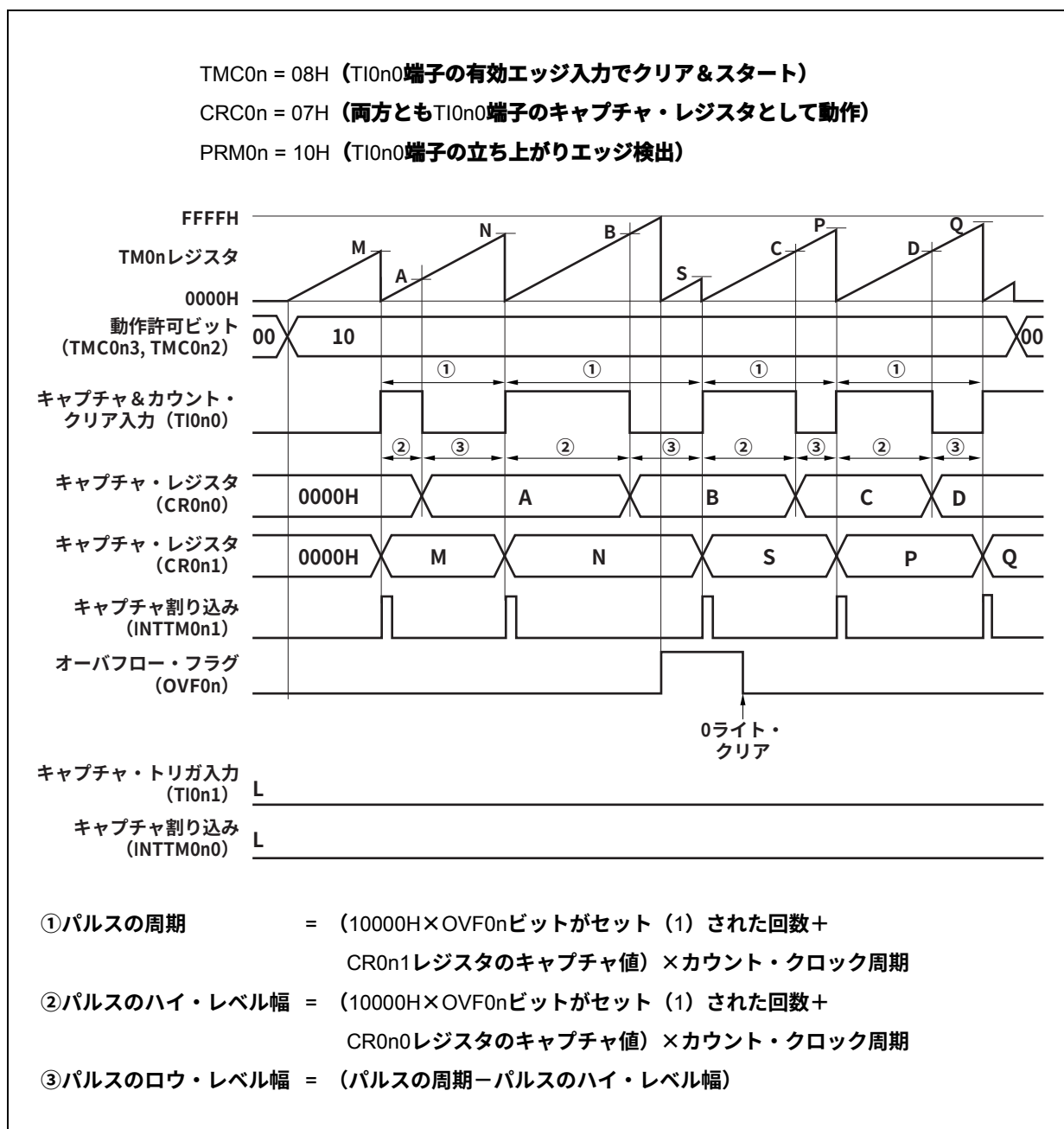


図8-42 パルス幅測定時のレジスタ設定内容例 (1/2)

(a) 16ビット・タイマ・モード・コントロール・レジスタ0n (TMC0n)

				TMC0n3	TMC0n2	TMC0n1	OVF0n
0	0	0	0	0/1	0/1	0	0

- 01: フリー・ランニング・タイマ・モード
10: TI0n0端子の有効エッジによるクリア&スタート・モード

(b) キャプチャ/コンペア・コントロール・レジスタ0n (CRC0n)

				CRC0n2	CRC0n1	CRC0n0	
0	0	0	0	0	1	0/1	1

- 1: CR0n0をキャプチャ・レジスタにする
0: CR0n0のキャプチャ・トリガはTI0n1端子
1: CR0n0のキャプチャ・トリガはTI0n0端子の逆相
1: CR0n1をキャプチャ・レジスタにする

(c) 16ビット・タイマ出力コントロール・レジスタ0n (TOC0n)

OSPT0n	OSPE0n	TOC0n4	LVS0n	LVR0n	TOC0n1	TOE0n
0	0	0	0	0	0	0

(d) プリスケアラ・モード・レジスタ0n (PRM0n) , セレクタ動作制御レジスタ1 (SELCNT1)

	ESn11	ESn10	ESn01	ESn00			PRM0n1	PRM0n0	ISEL1n	
PRM0n	0/1	0/1	0/1	0/1	0	0	0/1	0/1	SELCNT1	0/1

- カウント・クロックの選択
(TI0n0の有効エッジは設定禁止)
00: 立ち下がりエッジ検出
01: 立ち上がりエッジ検出
10: 設定禁止
11: 両エッジ検出
(CRC0n1 = 1時は設定禁止)
00: 立ち下がりエッジ検出
01: 立ち上がりエッジ検出
10: 設定禁止
11: 両エッジ検出

備考 n = 0-5

図8-42 パルス幅測定時のレジスタ設定内容例 (2/2)

(e) 16ビット・タイマ・カウンタ_{0n} (TM0_n)

TM0_nレジスタをリードしてカウンタの値を読み出します。

(f) 16ビット・キャプチャ／コンペア・レジスタ_{0n0} (CR0_{n0})

キャプチャ・レジスタとして使用します。TI0_{n0}/TI0_{n1}端子入力のどちらかをキャプチャ・トリガとして設定し、キャプチャ・トリガのエッジ検出により、TM0_nレジスタのカウント値をCR0_{n0}レジスタに格納します。

(g) 16ビット・キャプチャ／コンペア・レジスタ_{0n1} (CR0_{n1})

キャプチャ・レジスタとして使用します。TI0_{n0}端子入力キャプチャ・トリガとなり、キャプチャ・トリガのエッジ検出により、TM0_nレジスタのカウント値をCR0_{n1}レジスタに格納します。

備考 n = 0-5

図8-43 パルス幅測定時のタイミングと処理フロー (1/2)

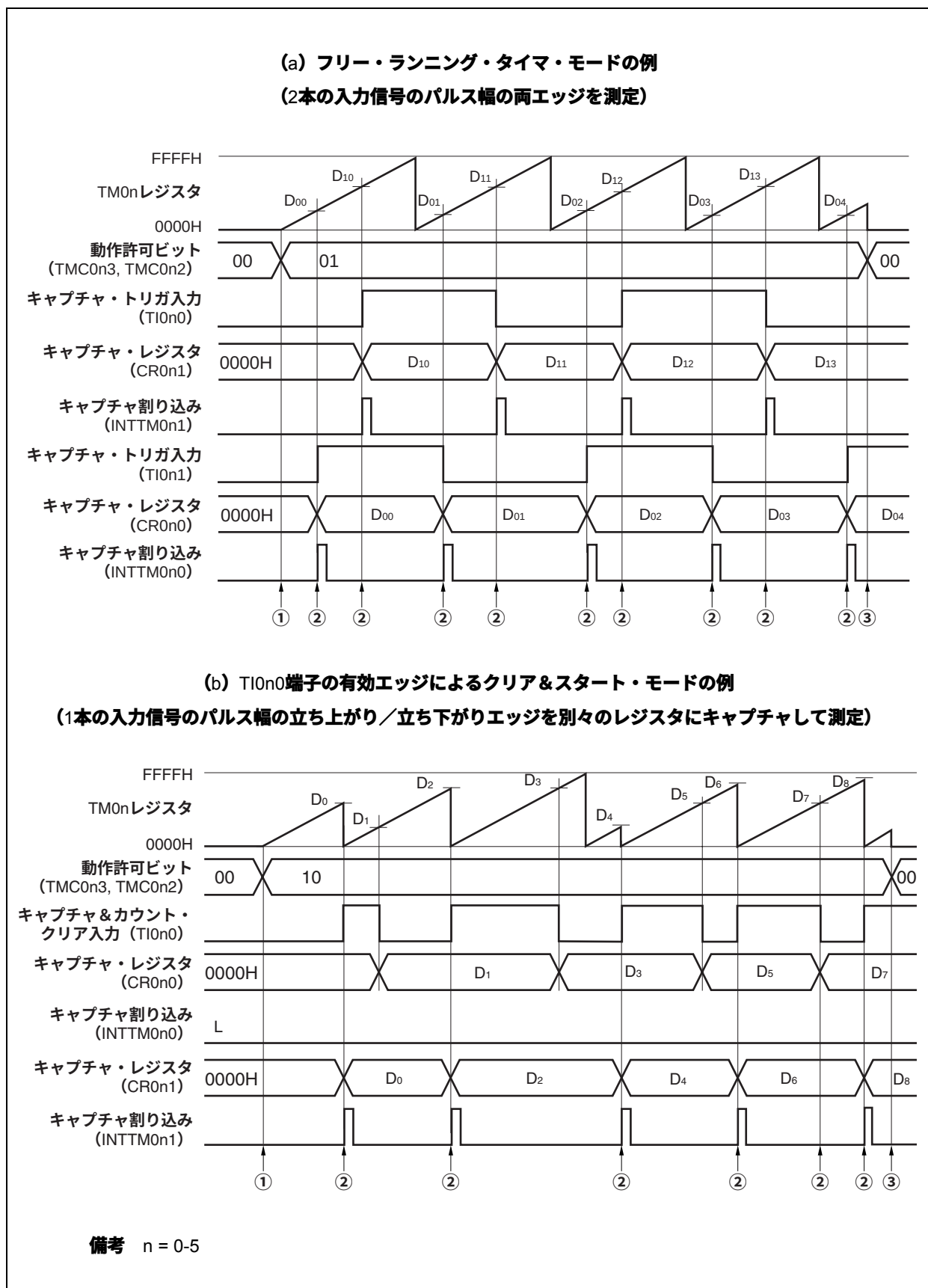
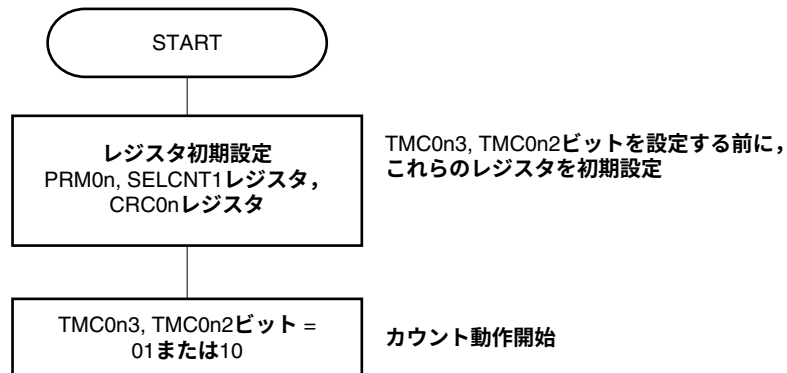
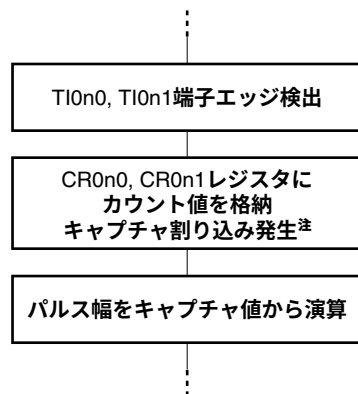


図8-43 パルス幅測定時のタイミングと処理フロー (2/2)

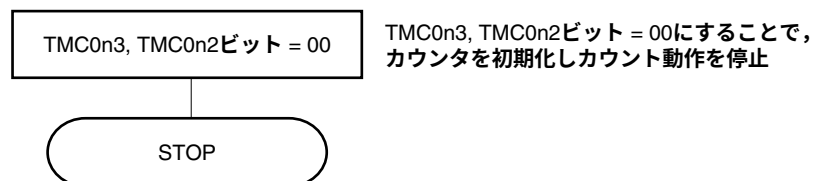
① カウント動作開始フロー



② キャプチャ・トリガ入力フロー



③ カウント動作停止フロー



注 CR0n0レジスタの有効エッジにTI0n0端子入力の逆相を選択した場合、キャプチャ割り込み信号 (INTTM0n0) は発生しません。

備考 n = 0-5

8.5 TM0nの特殊な使用方法

8.5.1 コンペア・レジスタのTM0n動作中の書き換え

V850ES/KJ2では、TM0n動作中 (TMC0n.TMC0n3, TMC0n2ビット = 00以外) のとき、コンペア・レジスタとして使用するCR0n0レジスタの書き換えは禁止です。

ただし、CR0n1レジスタは、PPG出力としてタイマ動作中にデューティを変更する場合、次の手順で設定すればTM0n動作中でも書き換えができます (CR0n1レジスタの値を現在の設定値より小さくする場合には、CR0n0レジスタとTM0nレジスタの一致直後に、CR0n1レジスタの値を現在の設定値よりも大きくする場合には、CR0n0レジスタとTM0nレジスタの一致直後に、CR0n1レジスタの値を書き換えてください。CR0n1レジスタとTM0nレジスタまたはCR0n0レジスタとTM0nレジスタの一致直前で書き換えると、想定しない動作を起こす場合があります)。

CR0n1レジスタの書き換え手順

- ① INTTM0n1の割り込みを禁止する (TM0ICn0.TM0MKn1ビット = 1)。
- ② TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を禁止する (TOC0n.TOC0n4ビット = 0)。
- ③ CR0n1レジスタを書き換える。
- ④ TM0nレジスタのカウント・クロックの1周期分ウェイトする。
- ⑤ TM0nレジスタとCR0n1レジスタの一致によるタイマ出力反転動作を許可する (TOC0n.TOC0n4ビット = 1)。
- ⑥ INTTM0n1の割り込みフラグをクリア (0) する (TM0ICn0.TM0IFn1ビット = 0)。
- ⑦ INTTM0n1の割り込みを許可する (TM0ICn0.TM0MKn1ビット = 0)

備考 TM0ICn0レジスタについては第21章 割り込み/例外処理機能を参照してください。

8.5.2 LVS0n, LVR0nビットの設定について

(1) LVS0n, LVR0nビットの使用用途

TOC0n.LVS0n, LVR0nビットは、TO0n端子出力の初期値を設定したいときや、タイマを動作許可しない (TMC0n.TMC0n3, TMC0n2ビット = 00) でタイマ出力を反転させたいときに使用します。ソフトウェア制御が不要なときは、LVS0n, LVR0nビットは00 (初期値ロウ・レベル出力) に設定してください。

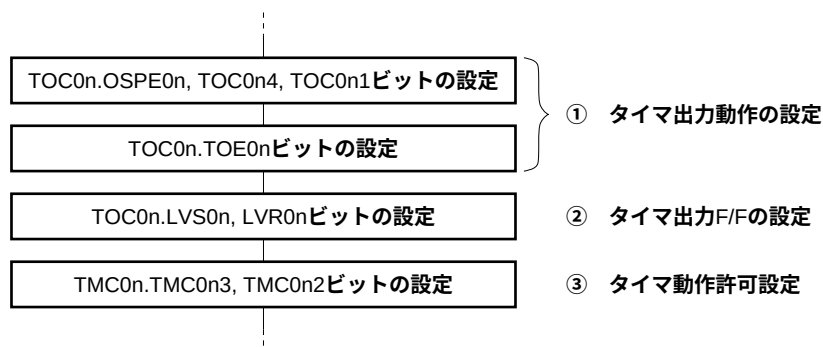
表8-11 LVS0n, LVR0nビットの設定

LVS0nビット	LVR0nビット	タイマ出力の状態
0	0	変化しない (ロウ・レベル出力)
0	1	クリア (ロウ・レベル出力)
1	0	セット (ハイ・レベル出力)
1	1	設定禁止

(2) LVS0n, LVR0nビットの設定方法

LVS0n, LVR0nビットは次の手順で設定してください。

図8-44 LVS0n, LVR0nビットの設定フロー例

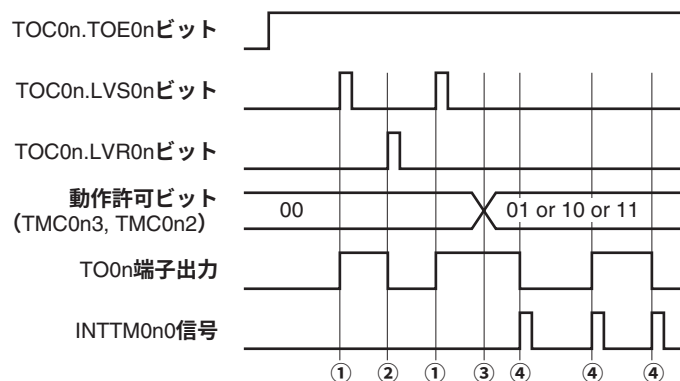


注意 LVS0n, LVR0nビットは必ず上記①, ②, ③の手順で設定してください。

①の設定をしてから, ③の設定をするまでの間であれば, ②の設定ができます。

備考 n = 0-5

図8-45 LVR0n, LVS0nビットのタイミング例



- ① LVS0n, LVR0nビット = 10に設定することにより, TO0n端子出力がハイ・レベルになります。
- ② LVS0n, LVR0nビット = 01に設定することにより, TO0n端子出力がロウ・レベルになります (LVS0n, LVR0nビット = 00に設定しても, ハイ・レベルのまま変化しません)。
- ③ TMC0n3, TMC0n2ビット = 01, 10, 11のどれかに設定することにより, タイマ動作を開始します。動作開始前のLVS0n, LVR0nビットの設定が10だったので, TO0n端子出力はハイ・レベルから始まります。タイマ動作開始以降は, TMC0n3, TMC0n2ビット = 00 (タイマ動作禁止) にするまで, LVS0n, LVR0nビットの設定は禁止です。
- ④ 割り込み信号 (INTTM0n0) が発生するたびに, TO0n端子出力のレベルが反転します。

備考 n = 0-5

8.6 注意事項

(1) TI0n0/TO0n端子兼用に関して

16ビット・タイマ／イベント・カウンタ0の入出力端子は、他の機能と兼用になったり、複数の端子から選択できるものもあります。次に各チャネルの端子の兼用について示します。

表8-12 TM0nの端子兼用

チャネル	端子	兼用端子	備 考
TM00	TI000	P33/TO00/TIP00/TOP00	TO00端子と兼用しています。
	TI001	P34/TO00/TIP01/TOP01	TO00端子と兼用しています。
	TO00	P33/TI000/TIP00/TOP00	P33端子とP34端子の2つに割り当てています。
		P34/TI001/TIP01/TOP01	
TM01	TI010	P35/TO01	TO01端子と兼用しています。
	TI011	P50/KR0/RTP00	—
	TO01	P32/ASCK0/ADTRG	P32端子とP35端子の2つに割り当てています。
		P35/TI010	
TM02	TI020	P92/A2/TO02	TO02端子と兼用しています。
	TI021	P93/A3	—
	TO02	P30/TXD0	P30端子とP92端子の2つに割り当てています。
		P92/TI020/A2	
TM03	TI030	P94/A4/TO03	TO03端子と兼用しています。
	TI031	P95/A5	—
	TO03	P31/RXD0/INTP7	P31端子とP94端子の2つに割り当てています。
		P94/TI030/A4	
TM04	TI040	P69	—
	TI041	P610	—
	TO04	P611	—
TM05	TI050	P612	—
	TI051	P613/TO05	TO05端子と兼用しています。
	TO05	P613/TI051	—

(a) TM00について

- TI000端子の有効エッジ検出をトリガとして、ワンショット・パルスを出力したい場合には、P34端子兼用のTO00端子出力を使用してください。

P33端子兼用のTO00端子出力を使用すると、同じくP33端子と兼用しているTI000端子が使用できません。

ソフトウェア・トリガ (TOC00. OSPT00ビットのセット (1)) だけをワンショット・パルス出力の起動トリガにする場合は、P33, P34端子のどちらでもTO00端子出力として使用できます。

- TMC00.TMC001ビット = 0に設定し、TI000端子入力の有効エッジ検出によって、TO00端子出力の反転動作を行いたい場合には、P34端子兼用のTO00端子出力を使用してください。

P33端子兼用のTO00端子出力を使用すると、同じくP33端子と兼用しているTI000端子が使用できないため、TI000端子入力の有効エッジ検出によるTO00端子出力反転動作ができません。

(b) TM01について

- ・ TI010端子の有効エッジ検出をトリガとして、ワンショット・パルスを出力したい場合には、P32端子兼用のTO01端子出力を使用してください。

P35端子兼用のTO01端子出力を使用すると、同じくP35端子と兼用しているTI010端子が使用できません。

ソフトウェア・トリガ (TOC01.OSPT01ビットのセット (1)) だけをワンショット・パルス出力の起動トリガにする場合は、P32, P35端子のどちらでもTO01端子出力として使用できます。

- ・ TMC01.TMC011ビット = 0に設定し、TI010端子入力の有効エッジ検出によって、TO01端子出力の反転動作を行いたい場合には、P32端子兼用のTO01端子出力を使用してください。

P35端子兼用のTO01端子出力を使用すると、同じくP35端子と兼用しているTI010端子が使用できないため、TI010端子入力の有効エッジ検出によるTO01端子出力反転動作ができません。

(c) TM02について

- ・ ワンショット・パルスを出力したい場合には、P30端子兼用のTO02端子出力を使用してください。

TI020端子の有効エッジ検出によるトリガだけでなく、ソフトウェア・トリガ (TOC02.OSPT02ビットのセット (1)) だけを使用する場合でも、P92端子兼用のTO02端子出力を使用してワンショット・パルスを出力することはできません。

- ・ TMC02.TMC021ビット = 0に設定し、TI020端子入力の有効エッジ検出によって、TO02端子出力の反転動作を行いたい場合には、P30端子兼用のTO02端子出力を使用してください。

P92端子兼用のTO02端子出力を使用すると、同じくP92端子と兼用しているTI020端子が使用できないため、TI020端子入力の有効エッジ検出によるTO02端子出力反転動作ができません。

(d) TM03について

- ・ ワンショット・パルスを出力したい場合には、P31端子兼用のTO03端子出力を使用してください。

TI030端子の有効エッジ検出によるトリガだけでなく、ソフトウェア・トリガ (TOC03.OSPT03ビットのセット (1)) だけを使用する場合でも、P94端子兼用のTO03端子出力を使用してワンショット・パルスを出力することはできません。

- ・ TMC03.TMC031ビット = 0に設定し、TI030端子入力の有効エッジ検出によって、TO03端子出力の反転動作を行いたい場合には、P31端子兼用のTO03端子出力を使用してください。

P94端子兼用のTO03端子出力を使用すると、同じくP94端子と兼用しているTI030端子が使用できないため、TI030端子入力の有効エッジ検出によるTO03端子出力反転動作ができません。

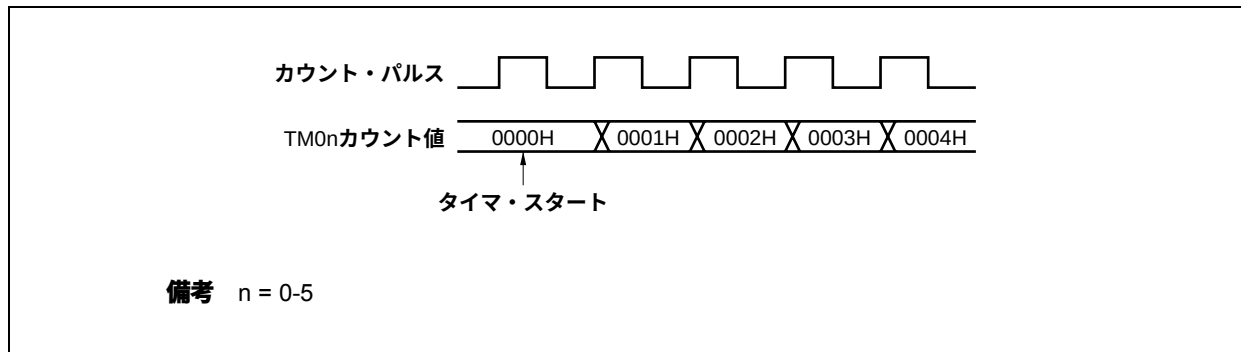
(e) TM04, TM05について

TI040端子とTO04端子, TI050端子とTO05端子は兼用していません。

(2) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nレジスタのカウント・スタートが非同期で行われるためです。

図8-46 TM0nレジスタのカウント・スタート・タイミング



(3) CR0n0, CR0n1レジスタの設定 (TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードの場合)

CR0n0, CR0n1レジスタには、0000H以外の値を設定してください（外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません）。

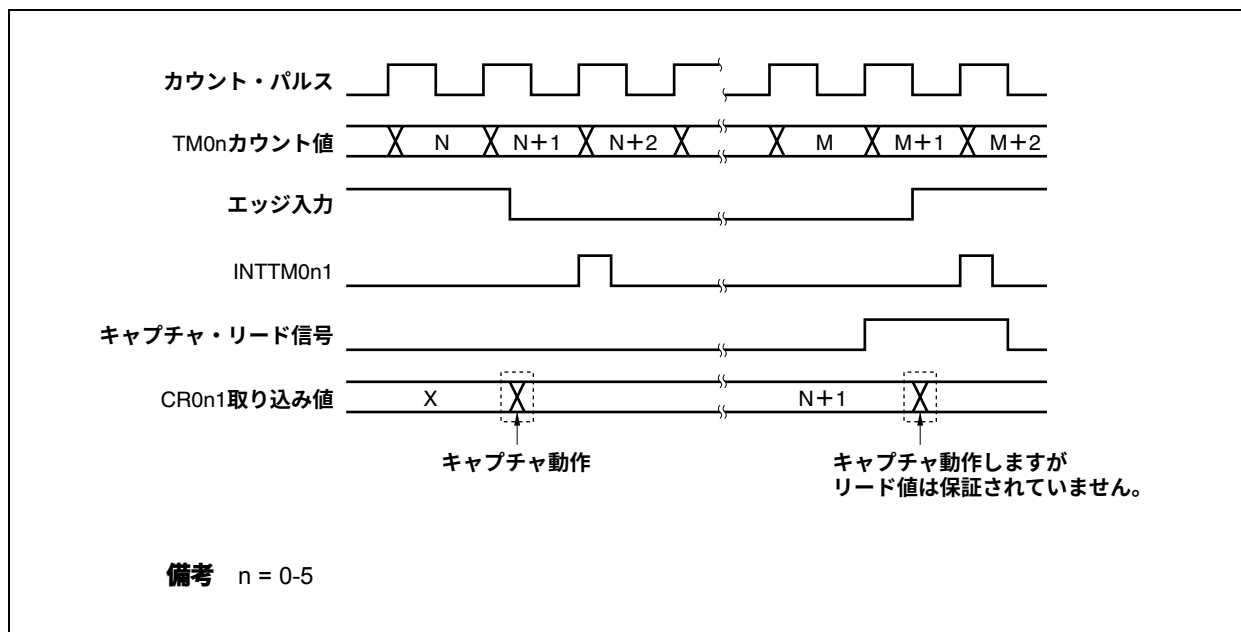
備考 n = 0-5

(4) キャプチャ・レジスタのデータ保持タイミング

- (a) CR0n0/CR0n1レジスタの読み出し中にTI0n0/TI0n1端子の有効エッジ入力, TI0n0端子の逆相のエッジを検出したとき, CR0n0/CR0n1レジスタはキャプチャ動作を行います, CR0n0/CR0n1レジスタの読み出し値は保証されません。このとき, TI0n0/TI0n1端子の有効エッジの検出による割り込み信号 (INTTM0n0/INTTM0n1) は発生します (TI0n0端子の逆相のエッジ検出時は, 割り込み信号を発生しません)。

TI0n0/TI0n1端子の有効エッジの検出によるキャプチャ時に, CR0n0/CR0n1レジスタの値を読み出す場合は, INTTM0n0/INTTM0n1発生後に行ってください。

図8-47 キャプチャ・レジスタのデータ保持タイミング



- (b) 16ビット・タイマ／イベント・カウンタ0n停止後のCR0n0, CR0n1レジスタの値は保証されません。

(5) 有効エッジの設定

TI0n0端子の有効エッジの設定は, タイマ動作が停止 (TMC0n.TMC0n3, TMC0n2ビット = 00) しているときに行ってください。有効エッジの設定は, PRM0n.ESn00, ESn01ビットで行います。

(6) ワンショット・パルスの再トリガ

ワンショット・パルス出力モードで, アクティブ・レベルを出力中に, トリガが発生しないようにしてください。次のトリガ入力, 必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。

備考 n = 0-5

(7) OVF0nフラグの動作

(a) OVF0nフラグのセット (1)

TMC0n.OVF0nフラグは、TM0nレジスタがオーバーフローしたとき以外に、次のときにもセット (1) されます。

TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードを選択

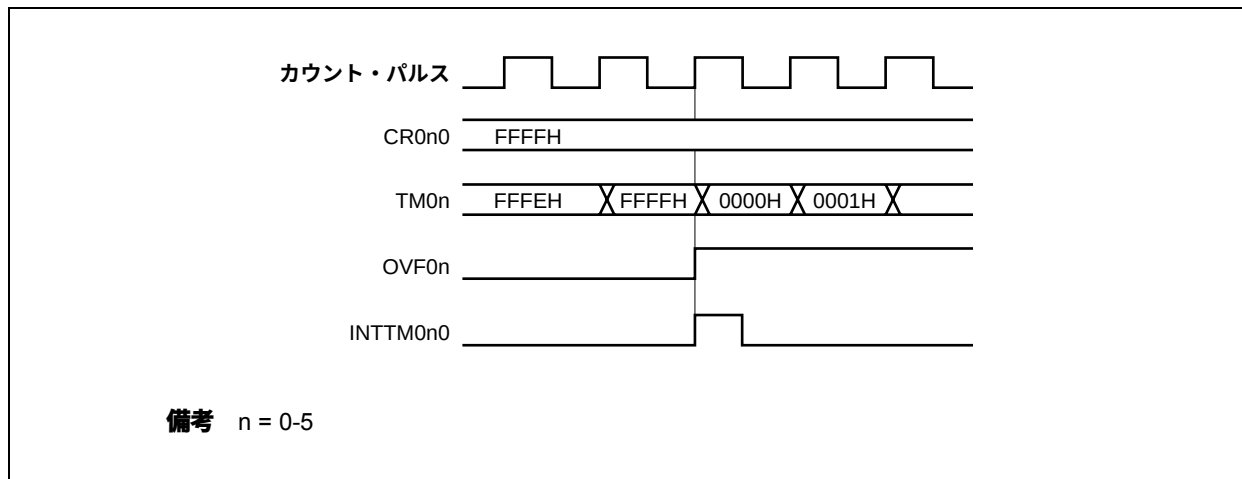
↓

CR0n0レジスタをFFFFHに設定

↓

TM0nレジスタがCR0n0レジスタとの一致によりFFFFHから0000Hにクリアされるとき

図8-48 OVF0nフラグの動作タイミング



(b) OVF0nフラグのクリア

TM0nレジスタがオーバーフロー後、次のカウント・クロックがカウントされる（TM0nレジスタが0001Hになる）前にOVF0nフラグをクリア (0) しても、再度セット (1) されクリアは無効となります。

備考 n = 0-5

(8) ワンショット・パルス出力

ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI0n0端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。

備考 n = 0-5

(9) キャプチャ動作

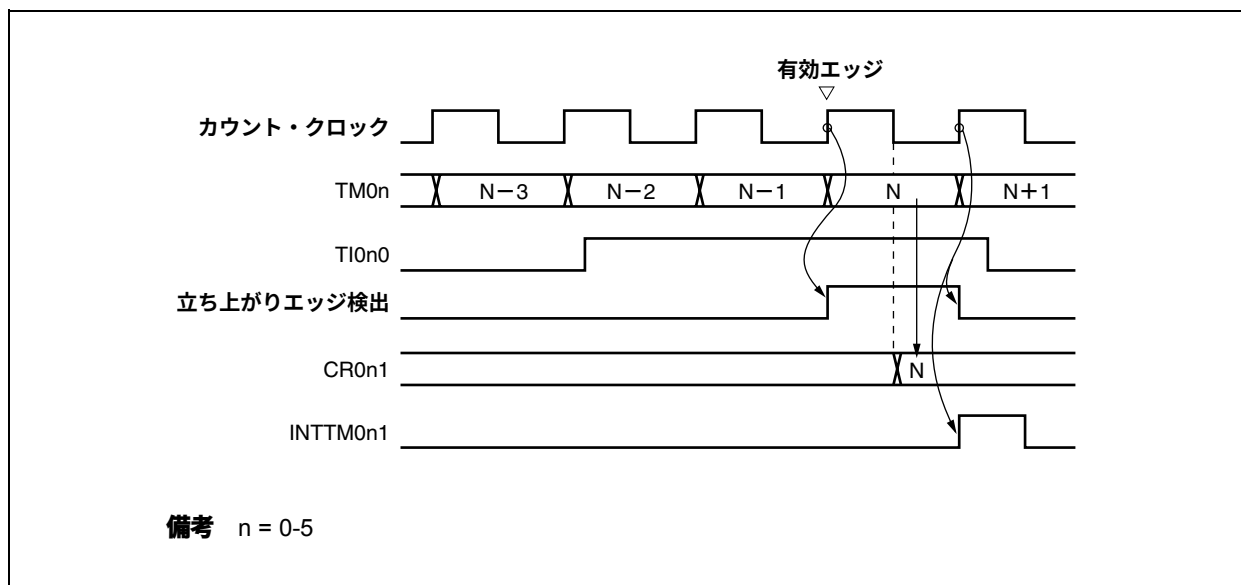
(a) カウント・クロックにTI0n0の有効エッジを指定した場合

カウント・クロックにTI0n0の有効エッジを指定した場合、TI0n0をトリガに指定したキャプチャ・レジスタは正常に動作しません。

(b) TI0n1, TI0n0端子入力信号で確実にキャプチャするためのパルス幅

確実にキャプチャするためのキャプチャ・トリガとして、TI0n0, TI0n1端子に入力するパルスには、PRM0n, SELCNT1レジスタで選択したカウント・クロックの2回分より長いパルス幅が必要です。

図8-49 CR0n1のキャプチャ動作例（立ち上がりエッジ指定時）



(c) 割り込み信号の発生

キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号（INTTM0n0, INTTM0n1）は次のカウント・クロックの立ち上がりで発生します。

(d) CRC0n.CRC0n1ビット = 1に設定したときの注意

TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に、TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。

備考 n = 0-5

(10) エッジ検出**(a) リセット後の有効エッジ指定**

リセット後、TI0n0端子またはTI0n1端子がハイ・レベルの状態、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。

(b) ノイズ除去のためのサンプリング・クロック

TI0n0の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者は $f_{xx}/4$ 固定で、後者はPRM0n, SELCNT1レジスタで選択したカウント・クロックでサンプリングします。

TI0n0端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます。

備考 1. f_{xx} : メイン・クロック周波数

2. n = 0-5

第9章 8ビット・タイマ／イベント・カウンタ5 (TM5)

V850ES/KJ2は、8ビット・タイマ／イベント・カウンタ5を2チャンネル搭載しています。

9.1 特 徴

8ビット・タイマ／イベント・カウンタ5nには、8ビット・タイマ／イベント・カウンタを単体で使用する単体モードと、2つのタイマを組み合わせて、16ビット分解能のタイマとして使用するカスケード接続モードがあります。

9.2 機 能

次に、これら2つのモードについて説明します。

(1) 8ビット・タイマ／イベント・カウンタを単体で使用するモード（単体モード）

8ビットのタイマ／イベント・カウンタとして動作します。

次のような機能として使用できます。

- ・ インターバル・タイマ
- ・ 外部イベント・カウンタ
- ・ 方形波出力
- ・ PWM出力

(2) カスケード接続して使用するモード（16ビット分解能：カスケード接続モード）

TM5nレジスタをカスケード接続することにより、16ビットのタイマ／イベント・カウンタとして動作します。次のような機能として使用できます。

- ・ 16ビット分解能のインターバル・タイマ
- ・ 16ビット分解能の外部イベント・カウンタ
- ・ 16ビット分解能の方形波出力

9.3 構 成

8ビット・タイマ/イベント・カウンタ5nは、次のハードウェアで構成されています。

表9-1 8ビット・タイマ/イベント・カウンタ5nの構成

項 目	構 成
レジスタ	8ビット・タイマ・カウンタ5n (TM5n) 16ビット・タイマ・カウンタ5 (TM5) : カスケード接続時のみ 8ビット・タイマ・コンペア・レジスタ5n (CR5n) 16ビット・タイマ・コンペア・レジスタ5 (CR5) : カスケード接続時のみ タイマ・クロック選択レジスタ5n (TCL5n) 8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n) 16ビット・タイマ・モード・コントロール・レジスタ5 (TMC5) : カスケード接続時のみ
タイマ入力	1本 (TI5n端子)
タイマ出力	1本 (TO5n端子)

備考 n = 0, 1

次にブロック図を示します。

図9-1 8ビット・タイマ/イベント・カウンタ50のブロック図

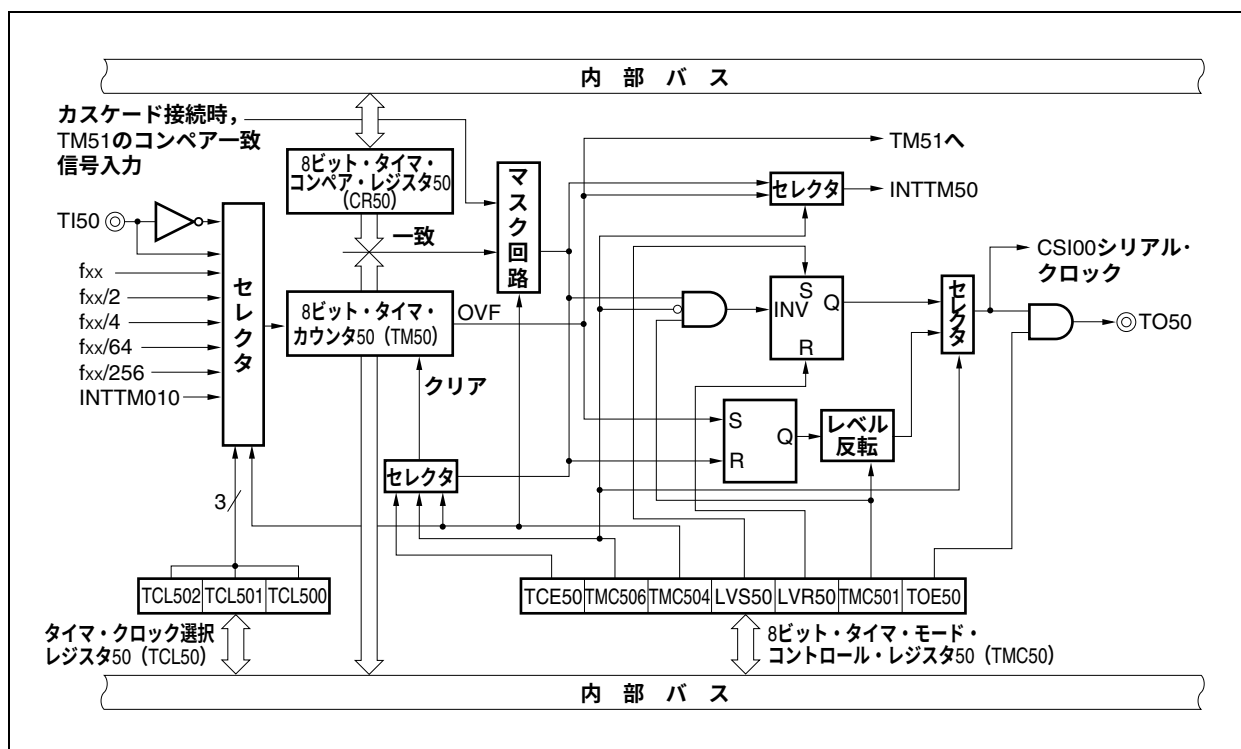
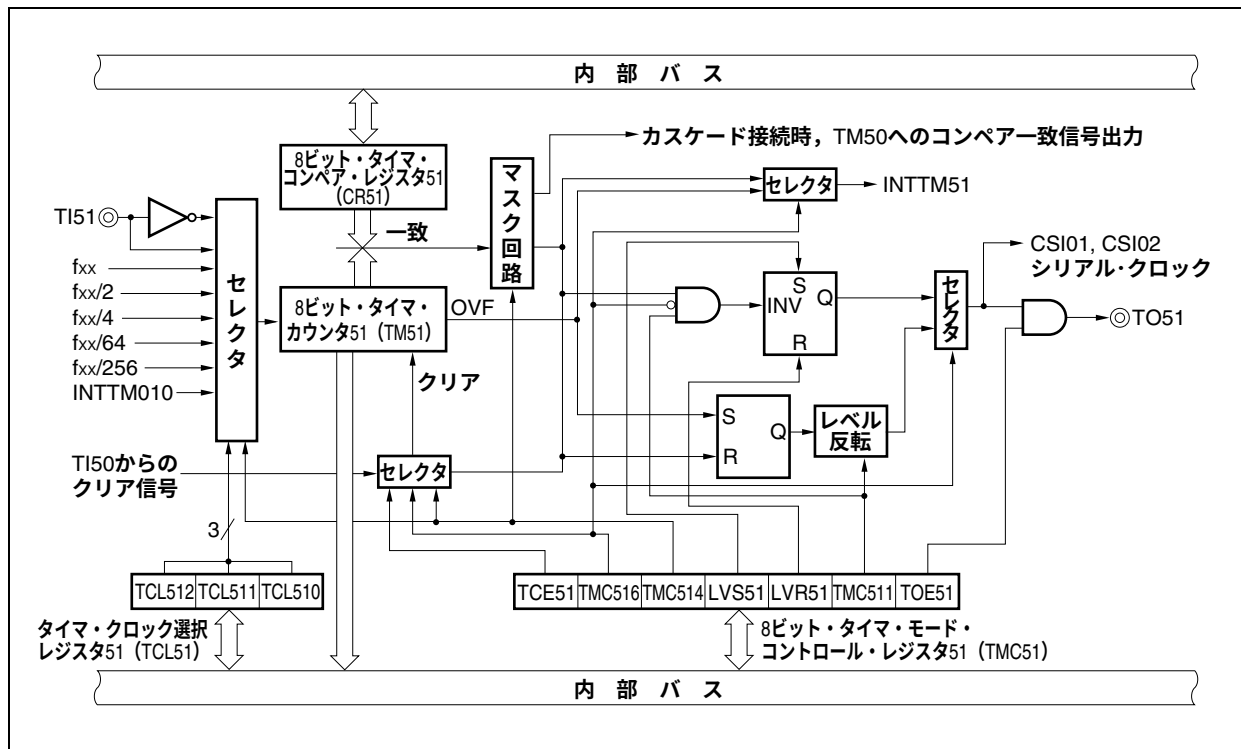


図9-2 8ビット・タイマ/イベント・カウンタ51のブロック図



★ 9.3.1 端子の構成

TM5nを構成するタイマ入力およびタイマ出力は、表9-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-19 端子を兼用機能として使用する場合参照）。

表9-2 端子構成

チャンネル	ピン番号	ポート	タイマ入力	タイマ出力	その他の兼用機能
TM50	38	P51	TI50	—	RTP01/KR1
	39	P52	—	TO50	RTP02/KR2/DDI [※]
TM51	67	P96	TI51	TO51	A6

注 μ PD70F3734のみ

★ 9.3.2 割り込み機能

TM5nには1種類の割り込み信号があります。

(1) INTTM5n

8ビット・タイマ・カウンタの値とCR5nレジスタの値の一致により発生します。

備考 n = 0, 1

9.4 レジスタ

8ビット・タイマ／イベント・カウンタ5nを構成するレジスタには、次の4種類があります。

- ・8ビット・タイマ・カウンタ5n (TM5n)
- ・8ビット・タイマ・コンペア・レジスタ5n (CR5n)
- ・タイマ・クロック選択レジスタ5n (TCL5n)
- ・8ビット・タイマ・モード・コントロール・レジスタ5n (TMC5n)

備考 TI5n, TO5n端子の機能を使用する場合は、表9-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

(1) 8ビット・タイマ・カウンタ5n (TM5n)

TM5nレジスタは、8ビットのカウンタです。

カウント・クロックの立ち上がり同期して、カウンタをインクリメントします。

TM5nレジスタは、それぞれカスケード接続し、16ビット・カウンタとして使用できます。

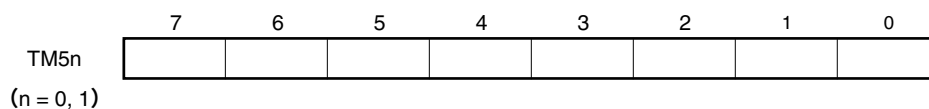
TM50レジスタ（下位）とTM51レジスタ（上位）をカスケード接続し16ビット・タイマとして使用した場合、16ビット単位でリードのみ可能です。

TM5nレジスタは8ビット単位でリードのみ可能です。

リセットにより00Hになります。

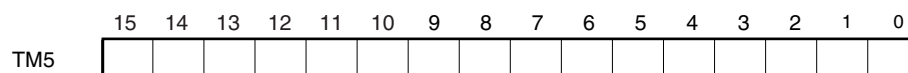
(a) 単体モード

リセット時：00H R アドレス：TM50 FFFFF5C0H, TM51 FFFFF5C1H



(b) カスケード接続モード

リセット時：0000H R アドレス：FFFFF5C0H



単位モードにおいて次の場合、カウント値は00Hになります。

- ① リセット時
- ② TMC5n.TCE5nビットをクリア (0) したとき
- ③ TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード時のTM5nレジスタとCR5nレジスタが一致したとき

カスケード接続モードにおいて次の場合、カウント値は0000Hになります。

- ① リセット時
- ② TMC50.TCE50ビットをクリア (0) したとき
- ③ TM5レジスタとCR5レジスタの一致でクリア&スタート・モード時のTM5レジスタとCR5レジスタが一致したとき

注意 カスケード接続時は、下位タイマ (TM50) のTCE50ビットをクリアすることで0000Hとなります。

備考 n = 0, 1

(2) 8ビット・タイマ・コンペア・レジスタ5n (CR5n)

PWMモード以外では、CR5nレジスタに設定した値と、TM5nレジスタのカウント値を常に比較し、その2つの値が一致したときに、割り込み要求信号 (INTTM5n) が発生します。

PWMモード時は、TM5nレジスタのオーバフローにより割り込み要求信号 (INTTM5n) が発生し、TO5n端子出力がアクティブ・レベルになり、TM5nレジスタとCR5nレジスタの値が一致するとTO5n端子出力がインアクティブ・レベルになります (TM5nレジスタとCR5nレジスタの値が一致してもINTTM5n信号は発生しません)。

CR5nレジスタの値は00H-FFHの範囲で設定できます。

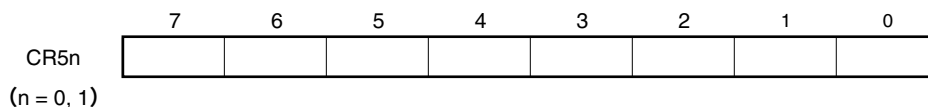
TM50レジスタとTM51レジスタをカスケード接続し、16ビット・タイマとして使用した場合、CR50レジスタとCR51レジスタは、16ビット・タイマ・コンペア・レジスタ5 (CR5) として動作します。16ビット長でカウンタ値とレジスタ値を比較し、一致すると割り込み要求信号 (INTTM50) を発生します。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

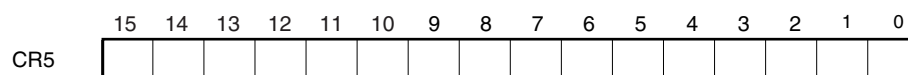
(a) 単体モード

リセット時：00H R/W アドレス：CR50 FFFFF5C2H, CR51 FFFFF5C3H



(b) カスケード接続モード

リセット時：0000H R/W アドレス：FFFFF5C2H



- 注意1.** TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード時 (TMC5n.TMC5n6ビット = 0) は、カウント動作中にCR5nレジスタに異なる値を書き込まないでください。
2. PWMモード時は、CR5nレジスタの書き換え間隔を3カウント・クロック (TCL5nレジスタで選択したクロック) 以上にしてください。
3. カスケード接続時にCR5nレジスタの値を変更するときは、必ずタイマ動作を停止させてから行ってください。

備考 n = 0, 1

(3) タイマ・クロック選択レジスタ5n (TCL5n)

TCL5nレジスタは、8ビット・タイマ/イベント・カウンタ5nのカウント・クロックを選択するレジスタです。

8ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TCL50 FFFFF5C4H, TCL51 FFFFF5C5H

	7	6	5	4	3	2	1	0
TCL5n	0	0	0	0	0	TCL5n2	TCL5n1	TCL5n0

(n = 0, 1)

TCL5n2	TCL5n1	TCL5n0	カウント・クロックの選択 ^注		
			クロック	f _{xx}	
				20 MHz	10 MHz
0	0	0	TI5nの立ち下がりエッジ	—	—
0	0	1	TI5nの立ち上がりエッジ	—	—
0	1	0	f _{xx}	設定禁止	100 ns (10 MHz)
0	1	1	f _{xx} /2	100 ns (10 MHz)	200 ns (5 MHz)
1	0	0	f _{xx} /4	200 ns (5 MHz)	0.4 μs (2.5 MHz)
1	0	1	f _{xx} /64	3.2 μs (312.5 kHz)	6.4 μs (156.3 kHz)
1	1	0	f _{xx} /256	12.8 μs (78.1 kHz)	25.6 μs (39.1 kHz)
1	1	1	INTTM010	—	—

注 内部クロック選択時は、次の条件を満たすように設定してください。

REGC = V_{DD} = 4.0~5.5 V : カウント・クロック ≤ 10 MHz

REGC = 10 μF, V_{DD} = 4.0~5.5 V : カウント・クロック ≤ 5 MHz

REGC = V_{DD} = 2.7~4.0 V : カウント・クロック ≤ 5 MHz

注意 TCL5nレジスタを同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。

備考 カスケード接続時、TCL51レジスタの設定は無効になります。

(4) 8ビット・タイマ・モード・コントロール・レジスタ_{5n} (TMC_{5n})

TMC_{5n}レジスタは、次の6種類の設定を行うレジスタです。

- TM_{5n}のカウンタ動作制御
- TM_{5n}の動作モードの選択
- 単体モード／カスケード接続モードの選択
- タイマ出力F/F（フリップフロップ）の状態設定
- タイマ出力F/Fの制御またはPWM（フリー・ランニング・タイマ）モード時のアクティブ・レベルの選択
- タイマ出力の制御

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: TMC50 FFFFF5C6H, TMC51 FFFFF5C7H

TMC5n

(n = 0,1)

⑦

6

5

4

③

②

1

①

TCE5n

TMC5n6

0

TMC514^注

LVS5n

LVR5n

TMC5n1

TOE5n

TCE5n

8ビット・タイマ／イベント・カウンタ5nのカウンタ動作制御

0

カウンタを0にクリア後、カウンタ動作禁止（カウンタ停止）

1

カウンタ動作開始

TMC5n6

8ビット・タイマ／イベント・カウンタ5nの動作モード選択

0

TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード

1

PWM（フリー・ランニング・タイマ）モード

TMC514

8ビット・タイマ／イベント・カウンタ51の単体モード／カスケード接続モードの選択

0

単体モード

1

カスケード接続モード（8ビット・タイマ／イベント・カウンタ50と接続）

LVS5n

LVR5n

タイマ出力F/Fの状態設定

0

0

変化しない

0

1

タイマ出力F/Fをリセット（0）

1

0

タイマ出力F/Fをセット（1）

1

1

設定禁止

TMC5n1

PWM（フリー・ランニング・タイマ）モード以外（TMC5n6ビット = 0）

タイマF/Fの制御

PWM（フリー・ランニング・タイマ）モード（TMC5n6ビット = 1）

アクティブ・レベルの選択

0

反転動作禁止

ハイ・アクティブ

1

反転動作許可

ロウ・アクティブ

TOE5n

タイマ出力の制御

0

出力禁止（TO5n端子はロウ・レベル）

1

出力許可

注 TMC50レジスタのビット4は0固定です。**注意1.** TO51端子とTI51端子は兼用しているため、どちらか一方の機能しか使用できません。

2. LVS5nビットとLVR5nビットの設定は、PWMモード時以外で有効になります。

3. 次の①～④の設定は同時に行わないでください。また設定は次の手順で行ってください。

①TMC5n1,TMC5n6,TMC514ビットを設定 : 動作モードの設定

②出力を許可する場合、TOE5nビットを設定 : タイマ出力許可

③LVS5nビット, LVR5nビットを設定 (注意2) : タイマ出力F/Fの設定

④TCE5nビットを設定

備考1. PWMモード時は、TCE5nビット = 0により、PWM出力がインアクティブ・レベルになります。

2. LVS5n, LVR5nビットをリードすると常に0が読み出されます。

3. TMC5n6, LVS5n,LVR5n, TMC5n1, TOE5nの各ビットの値は、TCE5nビットの値に関係なくTO5n出力に反映されます。

9.5 動作

9.5.1 インターバル・タイマとしての動作

CR5nレジスタにあらかじめ設定したカウント値で決まるインターバルで、繰り返し割り込みを発生するインターバル・タイマとして動作します。

TM5nレジスタのカウント値がCR5nレジスタに設定した値と一致したとき、TM5nレジスタの値を00Hにクリアしてカウントを継続すると同時に、割り込み要求信号 (INTTM5n) が発生します。

設定方法

- ① 各レジスタの設定を行います。
 - ・TCL5nレジスタ : カウント・クロック (t) の選択
 - ・CR5nレジスタ : コンペア値 (N)
 - ・TMC5nレジスタ : カウント動作停止, TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モードを選択 (TMC5nレジスタ = 0000xx00B x: don't care)
- ② TMC5n.TCE5nビット = 1を設定すると、カウント動作を開始します。
- ③ TM5nレジスタとCR5nレジスタの値が一致すると、INTTM5n信号が発生します (TM5nレジスタは00Hにクリアされます)。
- ④ 以後、同一間隔でINTTM5n信号が繰り返し発生します。カウント動作を停止するときは、TCE5nビット = 0にしてください。

$$\text{インターバル時間} = (N+1) \times t : N = 00H\text{--}FFH$$

注意 インターバル・タイマ動作中にCR5nレジスタの値を書き換えしないでください。

備考 n = 0, 1

図9-2 インターバル・タイマ動作のタイミング (1/2)

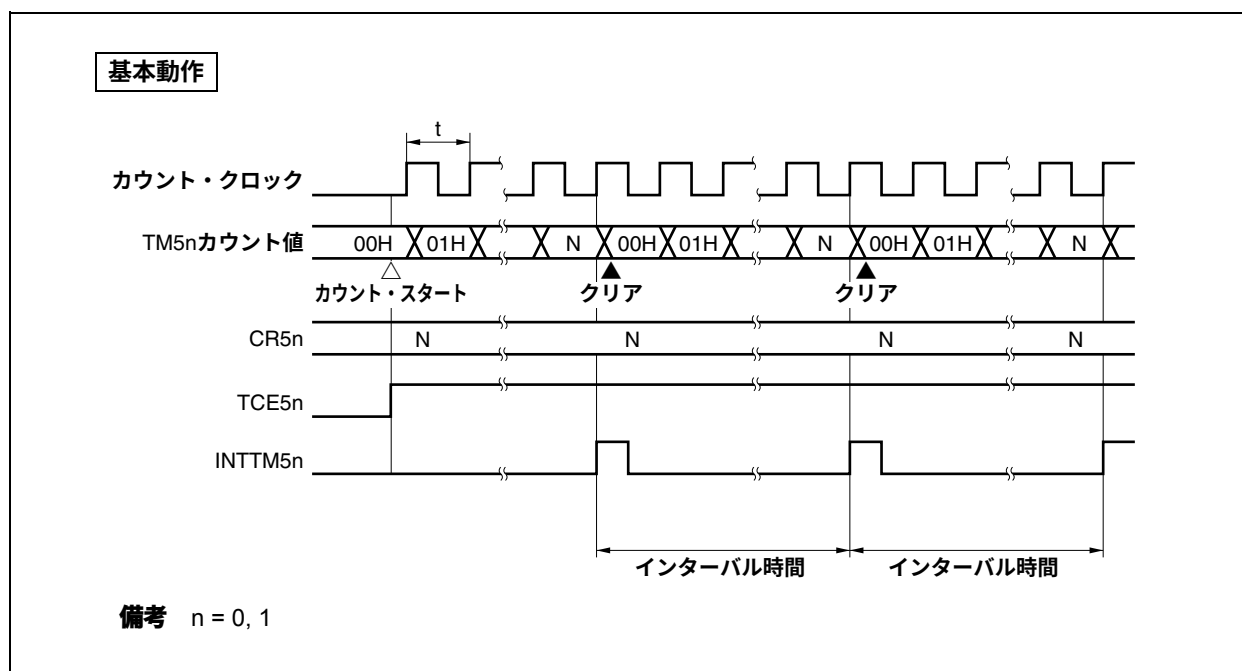
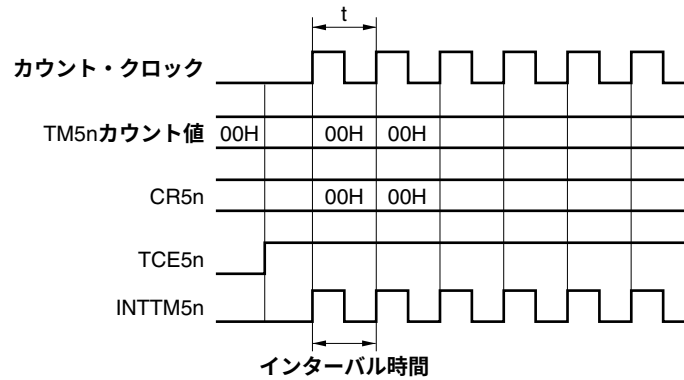


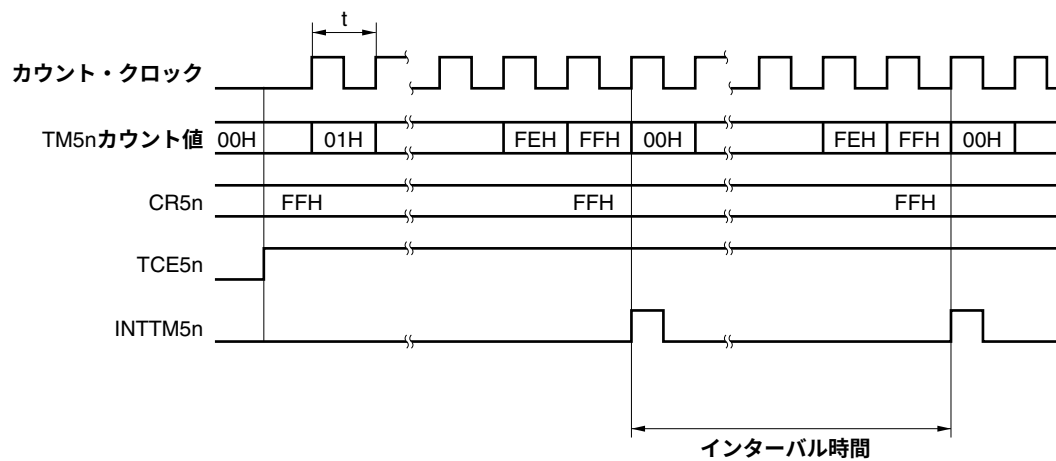
図9-2 インターバル・タイマ動作のタイミング (2/2)

CR5nレジスタ = 00Hの場合



備考 n = 0, 1

CR5nレジスタ = FFHの場合



備考 n = 0, 1

9.5.2 外部イベント・カウンタとしての動作

外部イベント・カウンタは、TI5n端子に入力される外部からのクロック・パルス数をTM5nレジスタでカウントします。

TI5n端子にTCL5nレジスタで指定した有効エッジが入力されるごとに、TM5nレジスタがインクリメントされます。エッジ指定は、立ち上がりまたは立ち下がりいずれかを選択できます。

TM5nレジスタのカウント値がCR5nレジスタの値と一致すると、TM5nレジスタは00Hにクリアされ、割り込み要求信号 (INTTM5n) が発生します。

設定方法

① 各レジスタの設定を行います。

- TCL5nレジスタ : TI5n端子入力のエッジ選択

TI5n端子の立ち下がりエッジ→TCL5nレジスタ = 00H

TI5n端子の立ち上がりエッジ→TCL5nレジスタ = 01H

- CR5nレジスタ : コンペア値 (N)

- TMC5nレジスタ : カウント動作停止, TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モードを選択, タイマ出力F/F反転動作禁止, タイマ出力禁止

(TMC5nレジスタ = 0000xx00B x : don't care)

- 兼用端子の設定については表9-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

② TMC5n.TCE5nビット = 1を設定すると、TI5n端子から入力されるパルス数をカウントします。

③ TM5nレジスタとCR5nレジスタの値が一致すると、INTTM5n信号が発生します (TM5nレジスタは00Hにクリアされます)。

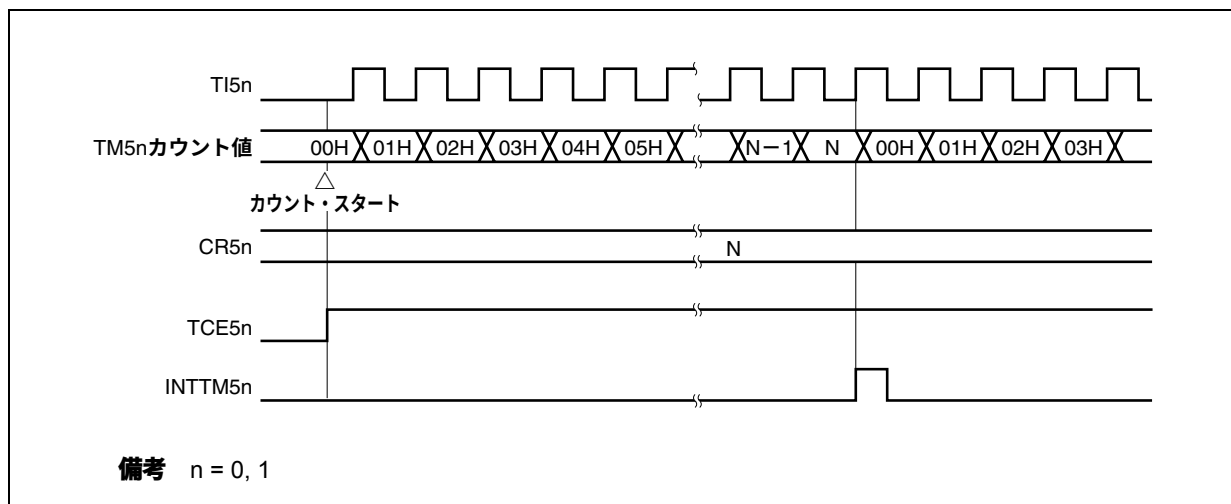
④ 以後、TM5nレジスタとCR5nレジスタの値が一致するごとにINTTM5n信号が発生します。

TI5n端子に有効エッジがN+1回入力されるとINTTM5n信号が発生 : N = 00H-FFH

注意 外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えしないでください。

備考 n = 0, 1

図9-3 外部イベント・カウンタ動作のタイミング (立ち上がりエッジ指定時)



9.5.3 方形波出力としての動作

CR5nレジスタにあらかじめ設定した値で決まるインターバルの、任意の周波数の方形波出力として動作します。

TMC5n.TOE5nビットに1を設定することにより、CR5nレジスタにあらかじめ設定したカウント値で決まるインターバルでTO5n端子の出力状態が反転します。これにより、任意の周波数の方形波出力（デューティ = 50 %）が可能です（ $n = 0, 1$ ）。

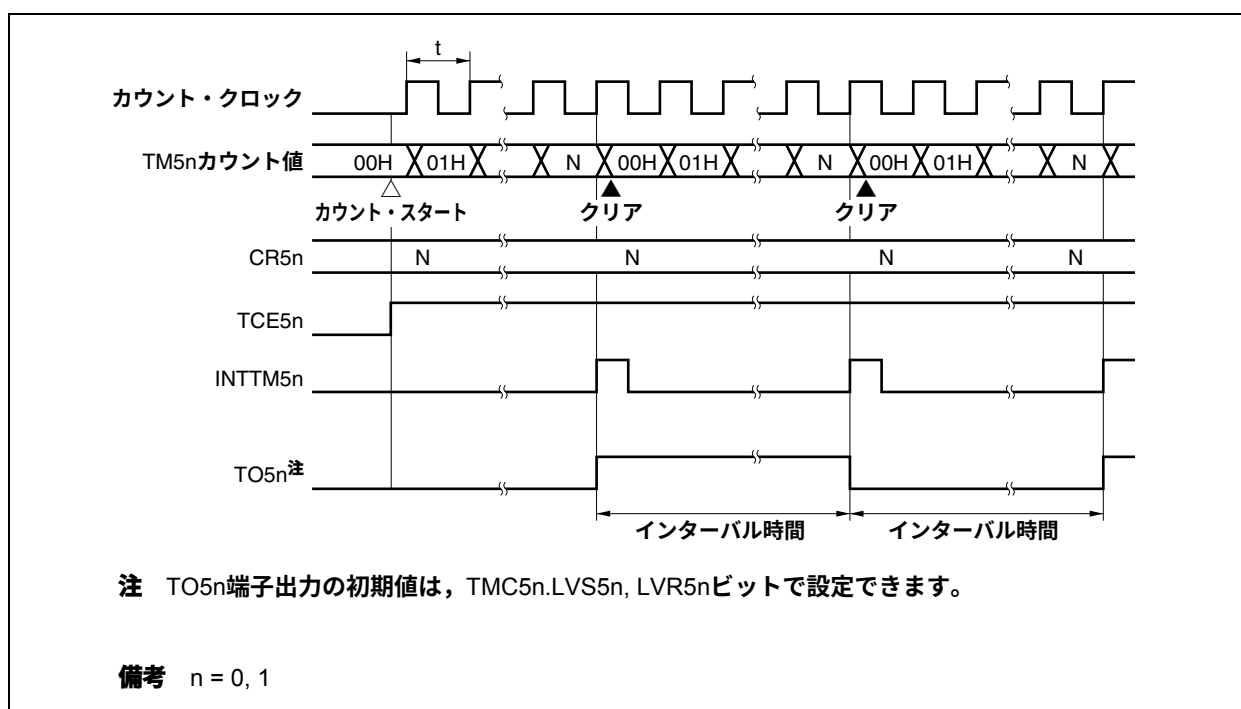
設定方法

- ① 各レジスタの設定を行います。
 - ・TCL5nレジスタ：カウント・クロック (t) の選択
 - ・CR5nレジスタ：コンペア値 (N)
 - ・TMC5nレジスタ：カウント動作停止，TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード選択，タイマ出力の初期値設定，タイマ出力F/Fの反転許可，タイマ出力許可（TMC5nレジスタ = 00001011Bまたは00000111B）
 - ・兼用端子の設定については表9-2 端子構成，および表4-19 端子を兼用機能として使用する場合を参照してください。
- ② TMC5n.TCE5nビット = 1を設定すると，カウント動作を開始します。
- ③ TM5nレジスタとCR5nレジスタの値が一致すると，タイマ出力F/Fが反転します。
また，INTTM5n信号が発生し，TM5nレジスタは00Hにクリアされます。
- ④ 以後，同一間隔でタイマ出力F/Fが反転し，TO5n端子から方形波が出力されます。

$$\text{周波数} = 1/2t (N+1) : N = 00H\text{--}FFH$$

注意 方形波出力中にCR5nレジスタの値を書き換えないでください。

図9-4 方形波出力動作のタイミング



9.5.4 8ビットPWM出力としての動作

TMC5n.TMC5n6ビットを“1”に設定することにより、PWM出力として動作します。

CR5nレジスタに設定した値で決まるデューティのパルスを、TO5n端子から出力します。

PWMパルスのアクティブ・レベルの幅は、CR5nレジスタに設定してください。また、アクティブ・レベルは、TMC5n.TMC5n1ビットにより選択できます。

カウント・クロックは、TCL5nレジスタで選択できます。

TMC5n.TOE5nビットにより、PWM出力の許可／禁止が選択できます。

注意 CR5nレジスタの書き換え間隔は、動作クロック（TCL5nレジスタで設定）の3クロック以上必要です。

使用方法

- ① 各レジスタの設定を行います。
 - ・TCL5nレジスタ：カウント・クロック (t) の選択
 - ・CR5nレジスタ：コンペア値 (N)
 - ・TMC5nレジスタ：カウント動作停止、PWMモード選択、タイマ出力F/F変化なし、アクティブ・レベル設定、タイマ出力許可（TMC5nレジスタ = 01000001Bまたは01000011B）
 - ・兼用端子の設定については表9-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。
- ② TMC5n.TCE5nビット = 1を設定すると、カウント動作を開始します。

PWM出力の動作

- ① カウント動作を開始すると、PWM出力（TO5n端子からの出力）はオーバフローが発生するまでインアクティブ・レベルを出力します。
- ② オーバフローが発生すると、設定方法①で設定したアクティブ・レベルを出力します。アクティブ・レベルは、CR5nレジスタとTM5nレジスタのカウント値が一致するまで出力されます。また、割り込み要求信号（INTTM5n）が発生します。
- ③ CR5nレジスタとTM5nレジスタのカウント値が一致すると、インアクティブ・レベルを出力し、再度オーバフローが発生するまでインアクティブ・レベルを出力します。
- ④ 以後、カウント動作が停止されるまで②、③を繰り返します。
- ⑤ TCE5nビット = 0によりカウント動作を停止すると、PWM出力はインアクティブ・レベルになります。

$$\text{周期} = 256t, \text{アクティブ・レベル幅} = Nt, \text{デューティ} = N/256 : N = 00H\text{--}FFH$$

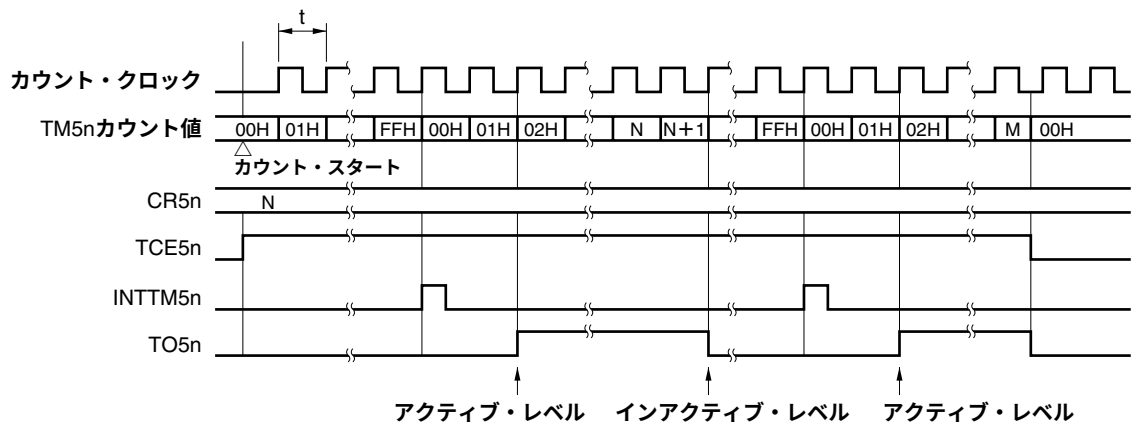
備考1. n = 0, 1

2. 詳細なタイミングについては、図9-5 PWM出力の動作タイミング、図9-6 CR5nレジスタ変更による動作タイミングを参照してください。

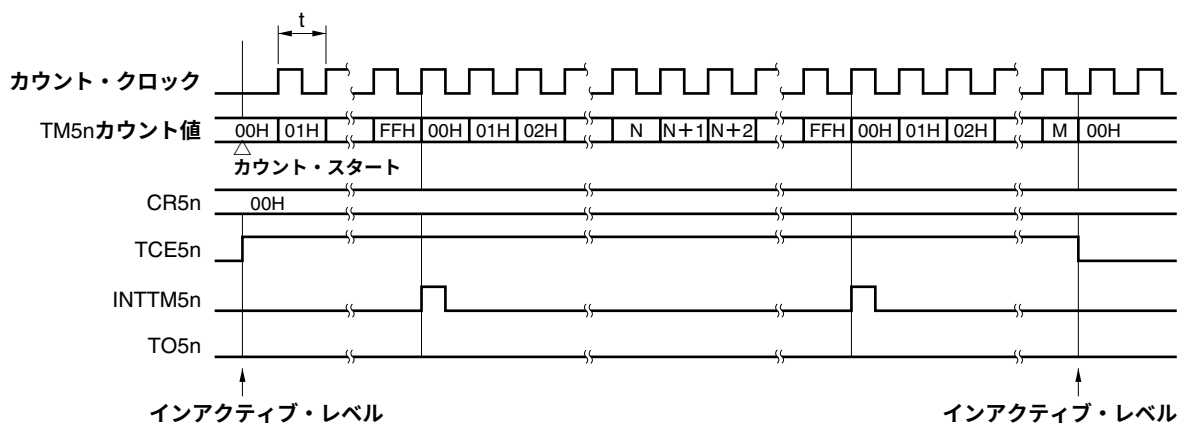
(a) PWM出力の基本動作

図9-5 PWM出力の動作タイミング

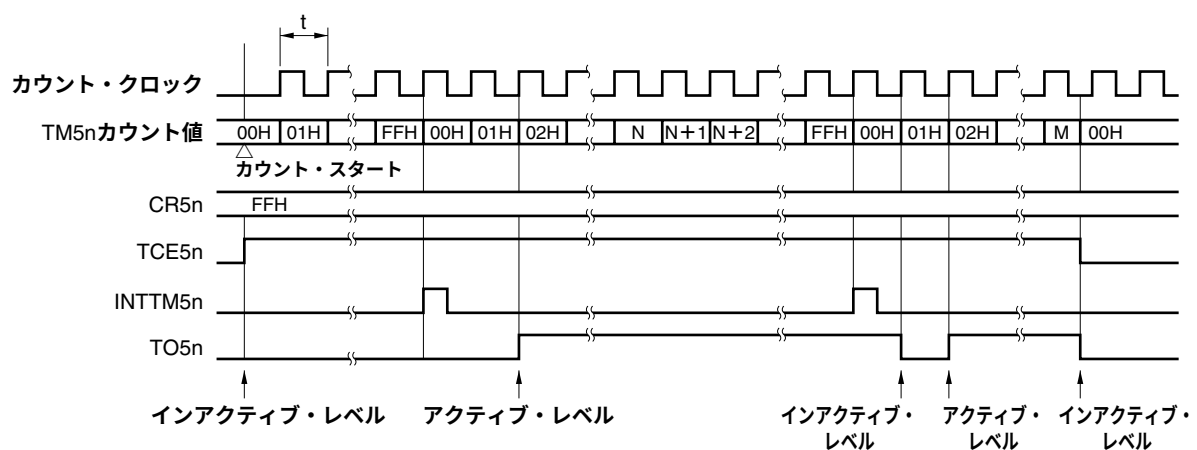
基本動作 (アクティブ・レベル = Hのとき)



CR5nレジスタ = 00Hの場合



CR5nレジスタ = FFHの場合

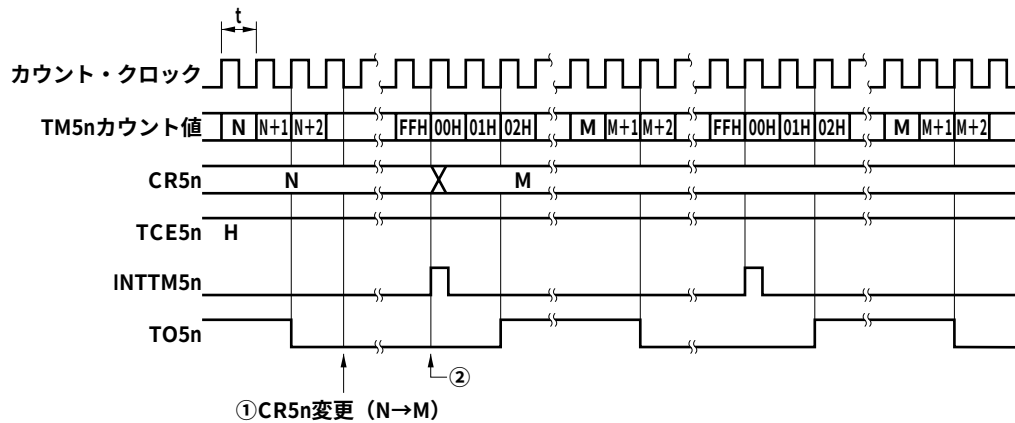
備考 $n = 0, 1$

(b) CR5nレジスタ変更による動作について

図9-6 CR5nレジスタ変更による動作のタイミング

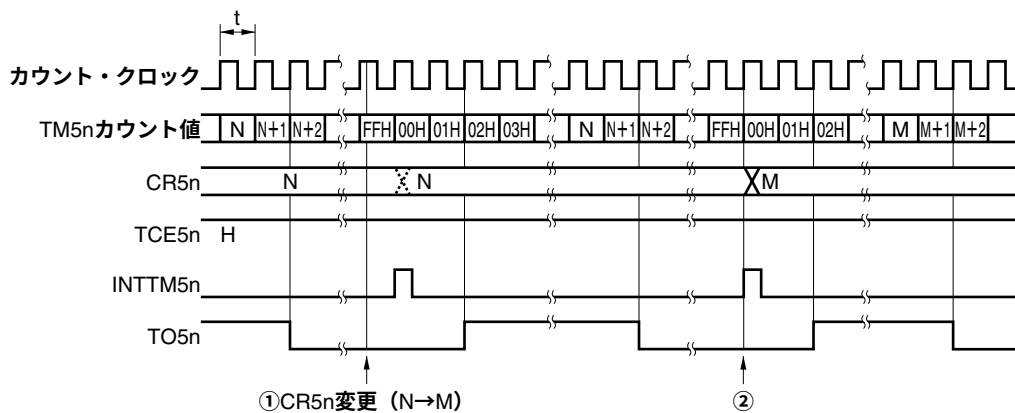
CR5nレジスタの値をFFHのクロック立ち上がりエッジよりも手前にN→Mに変更した場合

→直後のオーバーフローでCR5nレジスタに値が転送されます。



CR5nレジスタの値をFFHのクロックの立ち上がりエッジよりもあとにN→Mに変更した場合

→2回目のオーバーフローでCR5nレジスタに値が転送されます。



注意 ①から②の間でCR5nレジスタからリードする場合、実際に動作する値と異なります（リード値：M，実際のCR5nレジスタの値：N）。

備考 n = 0, 1

9.5.5 インターバル・タイマ (16ビット) としての動作

TMC51.TMC514ビットに“1”を設定することにより、16ビット分解能のタイマ／イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ5 (CR5) にあらかじめ設定したカウント値で決まるインターバルで、繰り返し割り込みを発生するインターバル・タイマとして動作します。

設定方法

① 各レジスタの設定を行います。

- ・TCL50レジスタ : カウント・クロック (t) の選択
(カスケード接続するTCL51レジスタは設定不要)
- ・CR50レジスタ : コンペア値 (N) …下位8ビット (00H-FFHの設定が可能)
- ・CR51レジスタ : コンペア値 (M) …上位8ビット (00H-FFHの設定が可能)
- ・TMC50, TMC51レジスタ : TM5レジスタとCR5レジスタの一致でクリア&スタート・モードを選択 (x: don't care)

$$\left[\begin{array}{l} \text{TMC50レジスタ} = 0000\text{xx}00\text{B} \\ \text{TMC51レジスタ} = 0001\text{xx}00\text{B} \end{array} \right]$$

- ② TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し、カウント動作を開始します。
- ③ カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると、INTTM50信号が発生します (TM5レジスタは0000Hにクリアされます)。
- ④ 以後、同一間隔でINTTM50信号が繰り返し発生します。

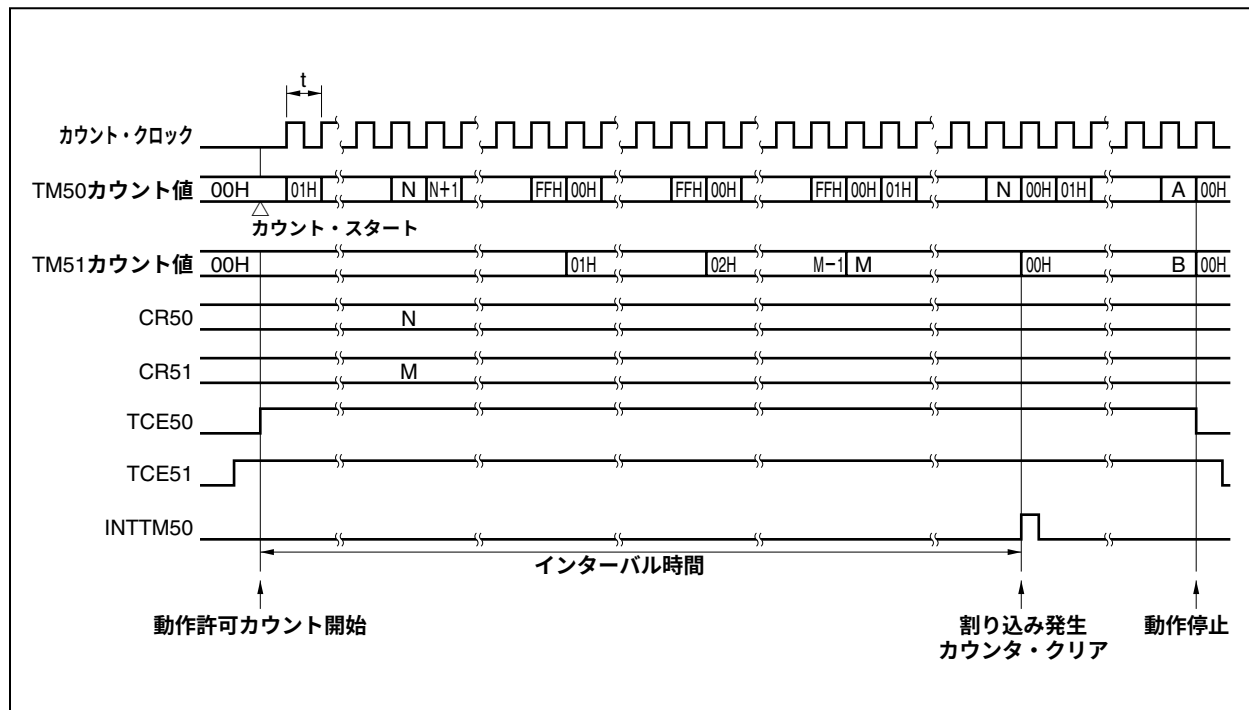
$$\text{インターバル時間} = (L+1) \times t : L = 0000\text{H}-\text{FFFFH}$$

L: CR50レジスタの値を下位8ビットとし、CR51レジスタの値を上位8ビットとした16ビットの値

- 注意1.** カスケード接続時のTCE5nビットの操作は、動作開始時はTCE51ビットをセット (1) してからTCE50ビットをセット (1) してください。動作停止時はTCE50ビットをクリア (0) してからTCE51ビットをクリア (0) してください。
- 2. カスケード接続時はTI50入力、TO50出力、INTTM50信号を使用します。TI51入力は使用できません。TO51出力は使用しないでください。INTTM51信号は使用しないでマスクしてください (詳細は第21章 割り込み／例外処理機能を参照してください) (LVS51, LVR51, TMC511, TOE51ビットは0に設定してください)。
 - 3. タイマ動作中はCR5レジスタの値を変更しないでください。

16ビット分解能カスケード接続モードのタイミング例を次に示します。

図9-7 16ビット分解能カスケード接続モード



9.5.6 外部イベント・カウンタ (16ビット) としての動作

TMC51.TMC514ビットに“1”を設定することにより、16ビット分解能のタイマ/イベント・カウンタ・モードになります。

外部イベント・カウンタは、TI50端子に入力される外部からのクロック・パルス数を16ビット・タイマ・カウンタ5 (TM5) でカウントします。

設定方法

① 各レジスタの設定を行います。

- ・TCL50レジスタ : TI50端子入力のエッジ選択
(カスケード接続するTCL51レジスタは設定不要)
TI50端子の立ち下がりエッジ→TCL50レジスタ = 00H
TI50端子の立ち上がりエッジ→TCL50レジスタ = 01H
- ・CR50レジスタ : コンペア値 (N) …下位8ビット (00H-FFHの設定が可能)
- ・CR51レジスタ : コンペア値 (M) …上位8ビット (00H-FFHの設定が可能)
- ・TMC50, TMC51レジスタ : カウント動作停止, TM5レジスタとCR5レジスタの一致でクリア&スタート・モード, タイマ出力F/Fの反転禁止, タイマ出力禁止
(x : don't care)

TMC50レジスタ = 0000xx00B
 TMC51レジスタ = 0001xx00B

- ・兼用端子の設定については表9-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。

- ② TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し、TI50端子から入力されるパルス数をカウントします。
- ③ カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると、INTTM50信号が発生します (TM5レジスタは0000Hにクリアされます)。
- ④ 以後、TM5レジスタとCR5レジスタの値が一致するたびにINTTM50信号が発生します。

TI50端子に有効エッジがL+1回入力されるとINTTM50信号が発生 : L = 0000H-FFFFH
 L : CR50レジスタの値を下位8ビットとし、CR51レジスタの値を上位8ビットをMとした16ビットの値

注意1. 外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えないでください。

2. カスケード接続時のTCE5nビットの操作は、動作開始時はTCE51ビットをセット (1) してからTCE50ビットをセット (1) してください。動作停止時はTCE50ビットをクリア (0) してからTCE51ビットをクリア (0) してください (n = 0, 1)。
3. カスケード接続時はTI50入力, INTTM50信号を使用します。TI51入力は使用できません。TO51出力は使用しないでください。INTTM51信号は使用しないでマスクしてください (詳細は第21章 割り込み/例外処理機能を参照してください) (LVS51, LVR51, TMC511, TOE51ビットは0に設定してください)。

9.5.7 方形波出力（16ビット）としての動作

TMC51.TMC514ビットに“1”を設定することにより、16ビット分解能のタイマ／イベント・カウンタ・モードになります。

16ビット・タイマ・コンペア・レジスタ5 (CR5) にあらかじめ設定した値をインターバルとする、任意の周波数の方形波出力として動作します。

設定方法

① 各レジスタの設定を行います。

- ・TCL50レジスタ : カウント・クロック (t) の選択
(カスケード接続するTCL51レジスタは設定不要)
- ・CR50レジスタ : コンペア値 (N) …下位8ビット (00H-FFHの設定が可能)
- ・CR51レジスタ : コンペア値 (M) …上位8ビット (00H-FFHの設定が可能)
- ・TMC50, TMC51レジスタ : カウント動作停止,
TM5レジスタとCR5レジスタの一致でクリア&スタート・モード,

LVS50	LVR50	タイマ出力F/Fの状態設定
1	0	ハイ・レベル出力
0	1	ロウ・レベル出力

タイマ出力F/Fの反転許可, タイマ出力許可

$\left[\begin{array}{l} \text{TMC50レジスタ} = 00001011\text{Bまたは}00000111\text{B} \\ \text{TMC51レジスタ} = 00010000\text{B} \end{array} \right]$

- ・兼用端子の設定については表9-2 端子構成, および表4-19 端子を兼用機能として使用する場合を参照してください。
- ② TMC51.TCE51ビット = 1に設定します。そのあとにTMC50.TCE50ビット = 1に設定し、カウント動作を開始します。
- ③ カスケード接続されたTM5レジスタとCR5レジスタの値が一致すると、TO50タイマ出力F/Fが反転します。また、INTTM50信号が発生し、TM5レジスタは0000Hにクリアされます。
- ④ 以後、同一間隔でタイマ出力F/Fが反転し、TO50端子から方形波が出力されます。

$$\text{周波数} = 1/2t (L+1) : L = 0000\text{H}-\text{FFFFH}$$

L : CR50レジスタの値を下位8ビットとし、CR51レジスタの値を上位8ビットとした16ビットの値

注意1. タイマ動作中にCR5レジスタの値を変更しないでください。

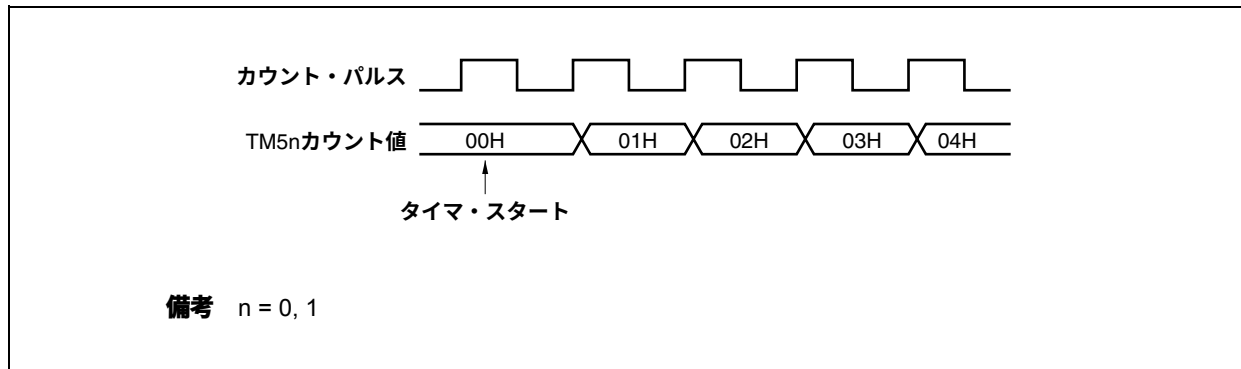
2. カスケード接続時はTI50入力, TO50出力, INTTM50信号を使用します。TI51入力は使用できません。TO51出力は使用しないでください。INTTM51信号は使用しないでマスクしてください (詳細は第21章 割り込み／例外処理機能を参照してください) (LVS51, LVR51, TMC511, TOE51ビットは0に設定してください)。

9.5.8 注意事項

(1) タイマ・スタート時の誤差

タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対してTM5nレジスタのスタートが非同期で行われるためです。

図9-8 TM5nレジスタのカウント・スタート・タイミング



第10章 8ビット・タイマH (TMH)

V850ES/KJ2は、8ビット・タイマHを2チャンネル搭載しています。

10.1 特 徴

PWM出力モードでは、任意のデューティおよび周期のパルスを出力できます。

10.2 機 能

8ビット・タイマH_nには、次のような機能があります（ $n = 0, 1$ ）。

- ・インターバル・タイマ
- ・方形波出力
- ・PWM出力
- ・TM5_nと組み合わせてのキャリア・ジェネレータ

10.3 構 成

8ビット・タイマH_nは、次のハードウェアで構成されています。

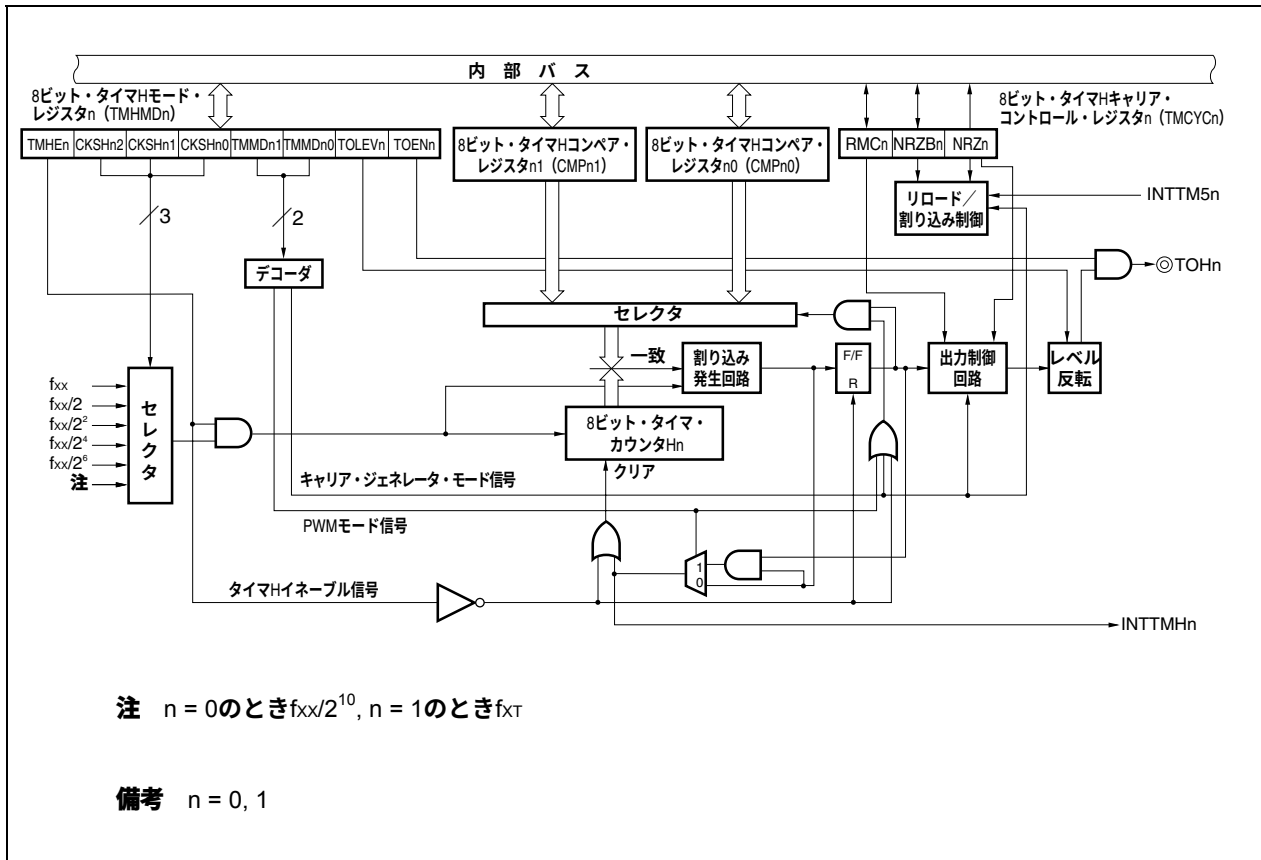
表10-1 8ビット・タイマH_nの構成

項 目	構 成
レジスタ	8ビット・タイマ・カウンタH _n ：各1本 8ビット・タイマHコンペア・レジスタ _{n0} (CMP _{n0})：各1本 8ビット・タイマHコンペア・レジスタ _{n1} (CMP _{n1})：各1本 8ビット・タイマHモード・レジスタ _n (TMHMD _n) 8ビット・タイマHキャリア・コントロール・レジスタ _n (TMCYC _n)
タイマ出力	TOH _n

備考 $n = 0, 1$

次にブロック図を示します。

図10-1 8ビット・タイマH_nのブロック図



★ 10.3.1 端子の構成

TMH_nを構成するタイマ出力は、表10-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-19 端子を兼用機能として使用する場合参照）。

表10-2 端子構成

チャネル	ピン番号	ポート	タイマ入力	タイマ出力	その他の兼用機能
TMH0	6	P00	TI50	TOH0	—
TMH1	7	P01	—	TOH1	—

★ 10.3.2 割り込み機能

TMH_nには1種類の割り込み信号があります。

(1) INTTMH_n

8ビット・タイマ・カウンタH_nの値とCMPn0/CMPn1レジスタの値の一致により発生します。

10.4 レジスタ

8ビット・タイマH_nを構成するレジスタには、次の4種類があります。

- ・8ビット・タイマHコンペア・レジスタ_{n0} (CMP_{n0})
- ・8ビット・タイマHコンペア・レジスタ_{n1} (CMP_{n1})
- ・8ビット・タイマHモード・レジスタ_n (TMHMD_n)
- ・8ビット・タイマHキャリア・コントロール・レジスタ_n (TMCYC_n)

備考1. TOH_n端子の機能を使用する場合は、表10-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. $n = 0, 1$

(1) 8ビット・タイマHコンペア・レジスタ_{n0} (CMP_{n0})

CMP_{n0}レジスタに設定した値と8ビット・タイマ・カウンタH_nのカウント値を比較し、その2つの値が一致したときに、割り込み要求信号 (INTTMH_n) を発生し、TOH_n端子の出力レベルを反転させます。

CMP_{n0}レジスタは、タイマ停止中 (TMHMD_n.TMHEnビット = 0) に書き換えを行ってください。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMP00 FFFFF582H, CMP10 FFFFF592H

	7	6	5	4	3	2	1	0
CMP _{n0} ($n = 0, 1$)								

注意 CMP_{n0}レジスタは、タイマ・カウント動作中に値を書き換えることは禁止です。

(2) 8ビット・タイマHコンペア・レジスタ_n1 (CMPn1)

PWM出力モードとキャリア・ジェネレータ・モードで使用します。

PWM出力モードでは、CMPn1レジスタに設定した値と、8ビット・タイマ・カウンタ_{Hn}のカウンタ値を比較し、その2つの値が一致したときに、TOH_n端子の出力レベルを反転させます。割り込み要求信号は発生されません。

タイマ動作中にCMPn1レジスタを書き換える場合、その値はラッチされ、カウンタ値と変更前のCMPn1レジスタの値が一致するタイミングでCMPn1レジスタに転送され、CMPn1レジスタの値が変更されます。カウンタ値とCMPn1レジスタの値が一致するタイミングとCMPn1レジスタへの値の書き込みが競合した場合、CMPn1レジスタの値は変更されません。

キャリア・ジェネレータ・モード時ではCMPn1レジスタを設定したあと、8ビット・タイマ・カウンタ_{Hn}のカウンタ値とCMPn1レジスタの設定値が一致すると割り込み要求信号 (INTTMH_n) が発生します。同時に8ビット・タイマ・カウンタ_{Hn}の値は00Hにクリアされます。

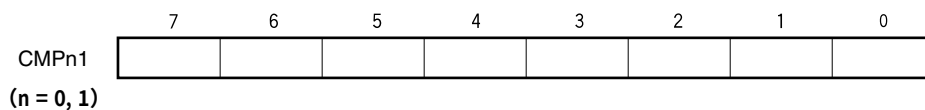
タイマ動作中にCMPn1レジスタの値を書き換えた場合、リロード・タイミングは8ビット・タイマ・カウンタ_{Hn}のカウンタ値とCMPn1レジスタの設定値が一致したタイミングで行います。転送タイミングとCPUからCMPn1レジスタへの書き込みが競合した場合、転送はされません。

CMPn1レジスタは、タイマ・カウンタ動作中に値の書き換えが可能です。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CMP01 FFFFF583H, CMP11 FFFFF593H



注意 PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウンタ動作停止 (TMHMD_n.TMHE_nビット = 0) 設定後、タイマ・カウンタ動作を開始する (TMHE_nビット = 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください)。

(3) 8ビット・タイマHモード・レジスタ_n (TMHMD_n)

8ビット・タイマ_{Hn}のモードを制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

備考 n = 0, 1

(a) 8ビット・タイマHモード・レジスタ0 (TMHMD0)

リセット時：00H R/W アドレス：FFFFFF580H

	⑦	6	5	4	3	2	①	⑧
TMHMD0	TMHE0	CKSH02	CKSH01	CKSH00	TMMD01	TMMD00	TOLEV0	TOEN0

TMHE0	8ビット・タイマH0動作許可
0	タイマ・カウント動作停止 (8ビット・タイマ・カウンタH0 = 00H)
1	タイマ・カウント動作許可 (指定されたカウント・クロックをカウント)

CKSH02	CKSH01	CKSH00	カウント・クロック ^注 の選択		
				$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 10.0 \text{ MHz}$
0	0	0	f_{xx}	設定禁止	100 ns (10.0 MHz)
0	0	1	$f_{xx}/2$	100 ns (10 MHz)	200 ns (5.0 MHz)
0	1	0	$f_{xx}/4$	200 ns (5 MHz)	400 ns (2.5 MHz)
0	1	1	$f_{xx}/16$	800 ns (1.25 MHz)	1.6 μs (625.0 kHz)
1	0	0	$f_{xx}/64$	3.2 μs (312.5 kHz)	6.4 μs (156.3 kHz)
1	0	1	$f_{xx}/1024$	51.2 μs (19.5 kHz)	102.4 μs (9.8 kHz)
上記以外			設定禁止		

TMMD01	TMMD00	8ビット・タイマH0動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWMパルス・ジェネレータ・モード
1	1	設定禁止

TOLEV0	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN0	タイマ出力制御
0	出力禁止
1	出力許可

注 次の条件を満たすように設定してください。REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック $\leq 10 \text{ MHz}$ REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック $\leq 5 \text{ MHz}$ REGC = $V_{DD} = 2.7 \sim 4.0 \text{ V}$: カウント・クロック $\leq 5 \text{ MHz}$ **注意1.** TMHE0ビット = 1のとき, TMHE0ビット = 0 (動作停止) 以外の設定変更は禁止です。

2. PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは, タイマ・カウント動作停止 (TMHE0ビット = 0) 設定後, タイマ・カウント動作を開始する (TMHE0ビット = 1) 場合, 必ずCMP01レジスタを設定してください (CMP01レジスタへの設定値が同値の場合でも, 必ず再設定してください)。

3. キャリア・ジェネレータ・モードを使用する場合, 8ビット・タイマH0のカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ50のカウント・クロック周波数の6倍以上になるように設定してください。

(b) 8ビット・タイマHモード・レジスタ1 (TMHMD1)

リセット時：00H R/W アドレス：FFFFFF590H

⑦65432①①

TMHMD1

TMHE1	CKSH12	CKSH11	CKSH10	TMMD11	TMMD10	TOLEV1	TOEN1

TMHE1	8ビット・タイマH1動作許可
0	タイマ・カウント動作停止 (8ビット・タイマ・カウンタH1 = 00H)
1	タイマ・カウント動作許可 (指定されたカウント・クロックをカウント)

CKSH12	CKSH11	CKSH10	カウント・クロック ^注 の選択		
				$f_{xx} = 20.0 \text{ MHz}$	$f_{xx} = 10.0 \text{ MHz}$
0	0	0	f_{xx}	設定禁止	100 ns (10.0 MHz)
0	0	1	$f_{xx}/2$	100 ns (10 MHz)	200 ns (5.0 MHz)
0	1	0	$f_{xx}/4$	200 ns (5 MHz)	400 ns (2.5 MHz)
0	1	1	$f_{xx}/16$	800 ns (1.25 MHz)	1.6 μs (625.0 kHz)
1	0	0	$f_{xx}/64$	3.2 μs (312.5 kHz)	6.4 μs (156.3 kHz)
1	0	1	f_{XT} (サブクロック)		
上記以外			設定禁止		

TMMD11	TMMD10	8ビット・タイマH1動作モード
0	0	インターバル・タイマ・モード
0	1	キャリア・ジェネレータ・モード
1	0	PWMパルス・ジェネレータ・モード
1	1	設定禁止

TOLEV1	タイマ出力レベル制御 (デフォルト時)
0	ロウ・レベル
1	ハイ・レベル

TOEN1	タイマ出力制御
0	出力禁止
1	出力許可

注 次の条件を満たすように設定してください。REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック $\leq 10 \text{ MHz}$ REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック $\leq 5 \text{ MHz}$ REGC = $V_{DD} = 2.7 \sim 4.0 \text{ V}$: カウント・クロック $\leq 5 \text{ MHz}$ **注意1.** TMHE1ビット = 1のとき、TMHE1ビット = 0 (動作停止) 以外の設定変更は禁止です。

- PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止 (TMHE1ビット = 0) 設定後、タイマ・カウント動作を開始する (TMHE1ビット = 1) 場合、必ずCMP11レジスタを設定してください (CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください)。
- キャリア・ジェネレータ・モードを使用する場合、8ビット・タイマH1のカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ⁵¹のカウント・クロック周波数の6倍以上になるように設定してください。

(2) 8ビット・タイマHキャリア・コントロール・レジスタ_n (TMCYC_n)

8ビット・タイマH_nのリモコン出力およびキャリア・パルス出力を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、NRZ_nビットは、リードのみです。

リセットにより00Hになります。

備考 $n = 0, 1$

リセット時：00H R/W アドレス：TMCYC0 FFFFF581H, TMCYC1 FFFFF591H

	7	6	5	4	3	2	1	①
TMCYC _n	0	0	0	0	0	RMC _n	NRZB _n	NRZ _n

($n = 0, 1$)

RMC _n	NRZB _n	リモコン出力
0	0	INTTM5 _n 信号の立ち上がりエッジでロウ・レベル出力
0	1	INTTM5 _n 信号の立ち上がりエッジでハイ・レベル出力
1	0	INTTM5 _n 信号の立ち上がりエッジでロウ・レベル出力
1	1	INTTM5 _n 信号の立ち上がりエッジでキャリア・パルス出力

NRZ _n	キャリア・パルス出力状態フラグ
0	キャリア出力禁止状態（ロウ・レベル状態）
1	キャリア出力許可状態

10.5 動作

10.5.1 インターバル・タイマ／方形波出力としての動作

8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると、割り込み要求信号 (INTTMHn) が発生し、8ビット・タイマ・カウンタHnを“00H”にクリアします。

インターバル・タイマ・モードでCMPn1レジスタは使用しません。CMPn1レジスタを設定しても、8ビット・タイマ・カウンタHnとCMPn1レジスタの一致検出をしないため、タイマ出力に影響しません。

また、TMHMDn.TOENnビットをセット (1) することにより、TOHn端子から任意の周波数の方形波 (デューティ = 50 %) を出力できます。

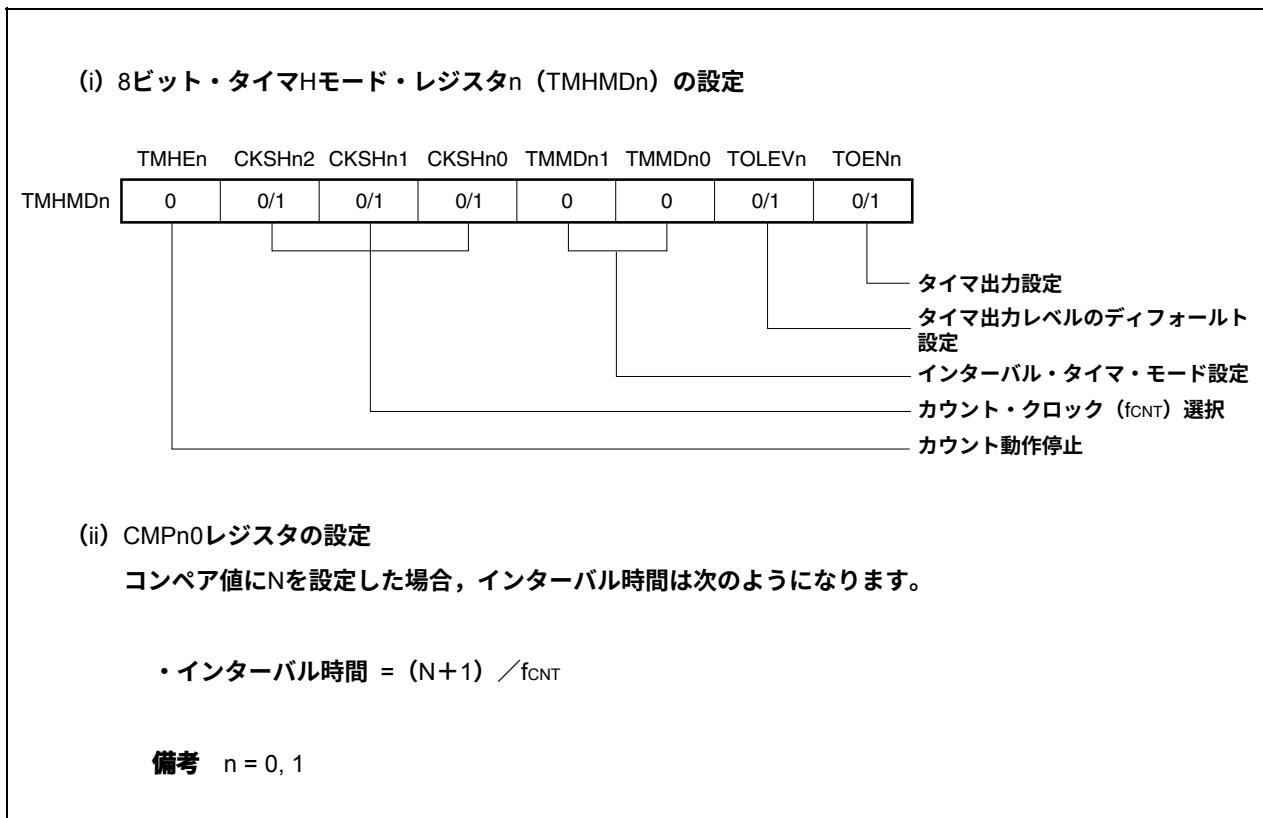
備考1. 兼用端子 (TOHn) の設定については、表10-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTMHn信号の割り込みについては、第21章 割り込み／例外処理機能を参照してください。

設定方法と動作

- ① 各レジスタの設定を行います。

図10-2 インターバル・タイマ・モード時のレジスタの設定



- ② TMHEnビットをセット (1) すると、カウント動作を開始します。

- ③ 8ビット・タイマ・カウンタHnのカウンタ値とCMPn0レジスタの設定値が一致すると、INTTMHn信号が発生し、8ビット・タイマ・カウンタHnは“00H”にクリアされ、TOHn出力のレベルを反転します。
- ④ 以後、同一間隔でINTTMHn信号が発生します。カウント動作を停止するときは、TMHEnビットをクリア (0) します。

図10-3 インターバル・タイマ／方形波出力動作のタイミング (1/2)

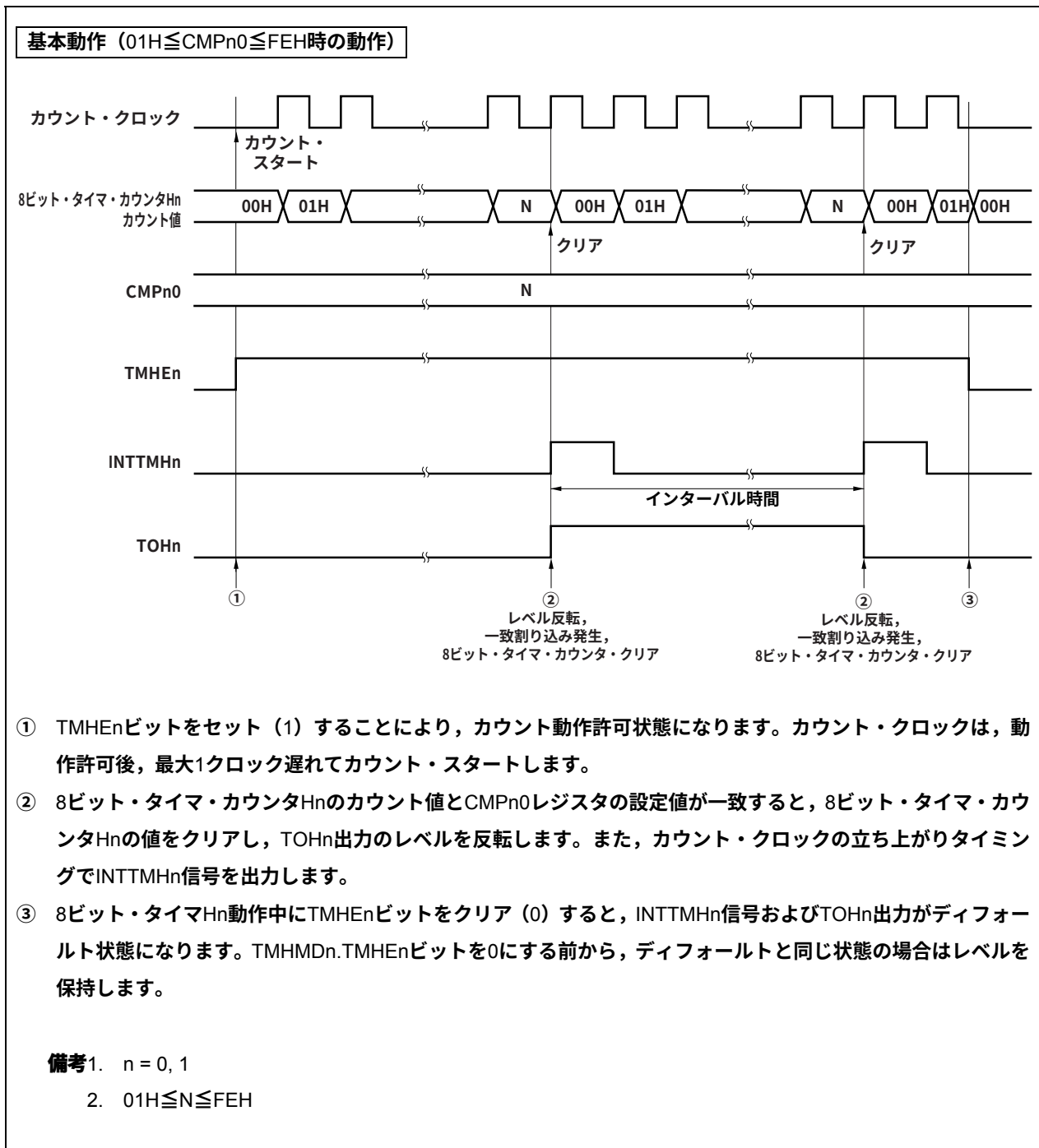
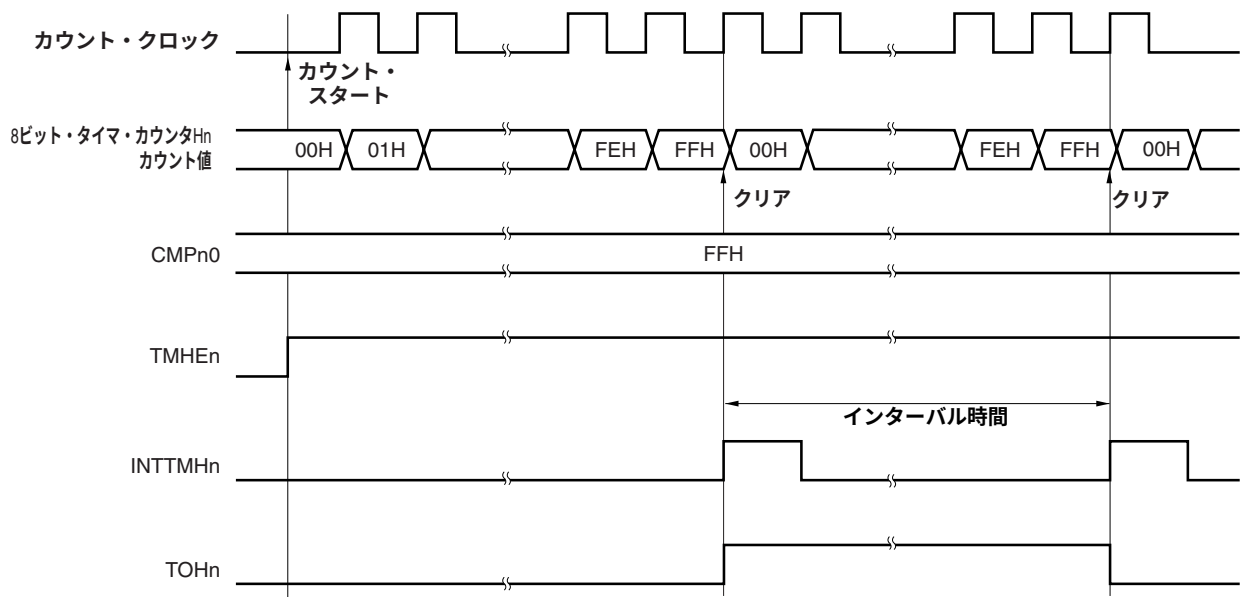
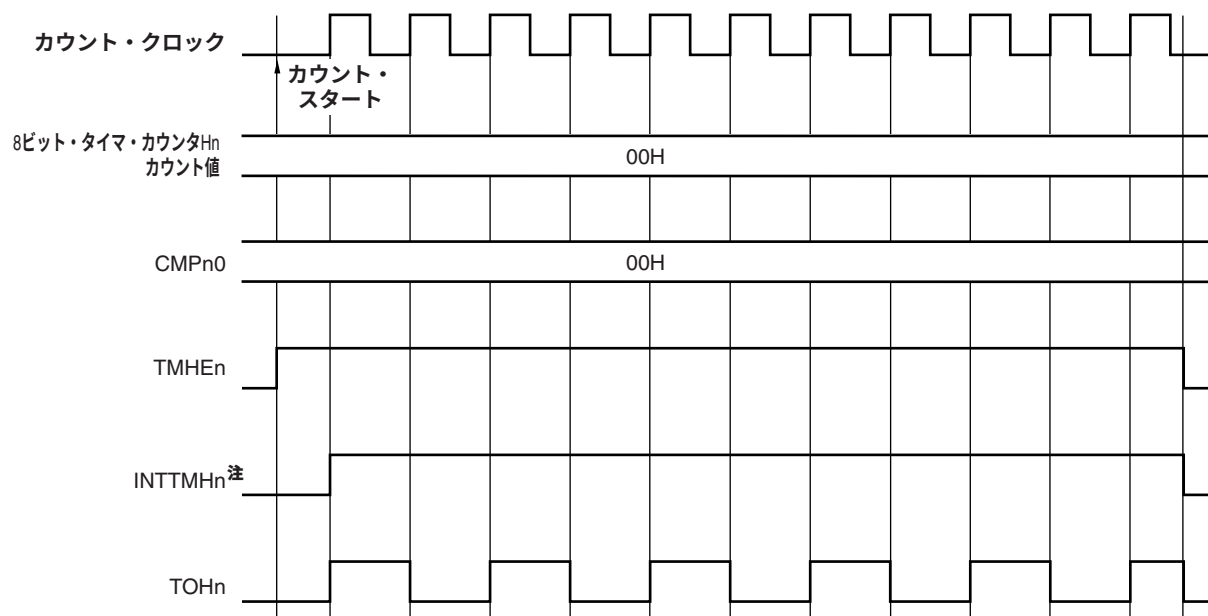


図10-3 インターバル・タイマ／方形波出力動作のタイミング (2/2)

CMPn0 = FFH時の動作



CMPn0 = 00H時の動作



注 INTTMHn割り込みは1回だけ発生します。

備考 n = 0, 1

10.5.2 PWM出力モードとしての動作

PWM出力モードでは、任意のデューティおよび周期のパルスを出力できます。

CMPn0レジスタはタイマ出力 (TOHn) の周期を制御します。タイマ動作中のCMPn0レジスタの書き換えは禁止です。

CMPn1レジスタはタイマ出力 (TOHn) のデューティを制御するレジスタです。タイマ動作中もCMPn1レジスタの書き換えが可能です。

備考1. 兼用端子 (TOHn) の設定については、表10-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

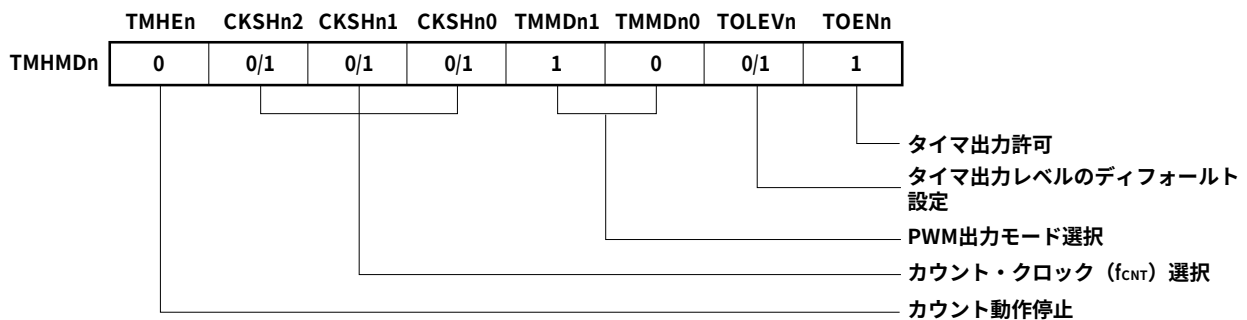
2. INTTMHn信号の割り込みについては、第21章 割り込み／例外処理機能を参照してください。

設定方法と動作

① 各レジスタの設定を行います。

図10-4 PWM出力モード時のレジスタの設定

(i) 8ビット・タイマHモード・レジスタn (TMHMDn) の設定



(ii) CMPn0レジスタの設定

・コンペア値 (N) : 周期の設定

(iii) CMPn1レジスタの設定

・コンペア値 (M) : デューティの設定

備考1. $n = 0, 1$

2. $00H \leq \text{CMPn1 (M)} < \text{CMPn0 (N)} \leq FFH$

- ② TMHEnビットをセット (1) すると、カウント動作を開始します。
- ③ カウント動作を許可したあと、最初の比較対象コンペア・レジスタはCMPn0レジスタです。8ビット・タイマ・カウンタHnのカウント値とCMPn0レジスタの設定値が一致すると、8ビット・タイマ・カウンタHnはクリアされ、割り込み要求信号 (INTTMHn) が発生し、TOHn出力が反転します。同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMPn0レジスタからCMPn1レジスタへ切り替えます。
- ④ 8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの設定値が一致すると、TOHn出力が反転し、同時に、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタをCMPn1レジスタからCMPn0レジスタへ切り替えます。このとき8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。
- ⑤ 以上③と④を繰り返し、任意のデューティのパルスを得ることができます (タイマ・カウント動作中に、CMPn1レジスタの設定値を変更することができます)。
- ⑥ カウント動作を停止するときは、TMHEnビットをクリア (0) します。

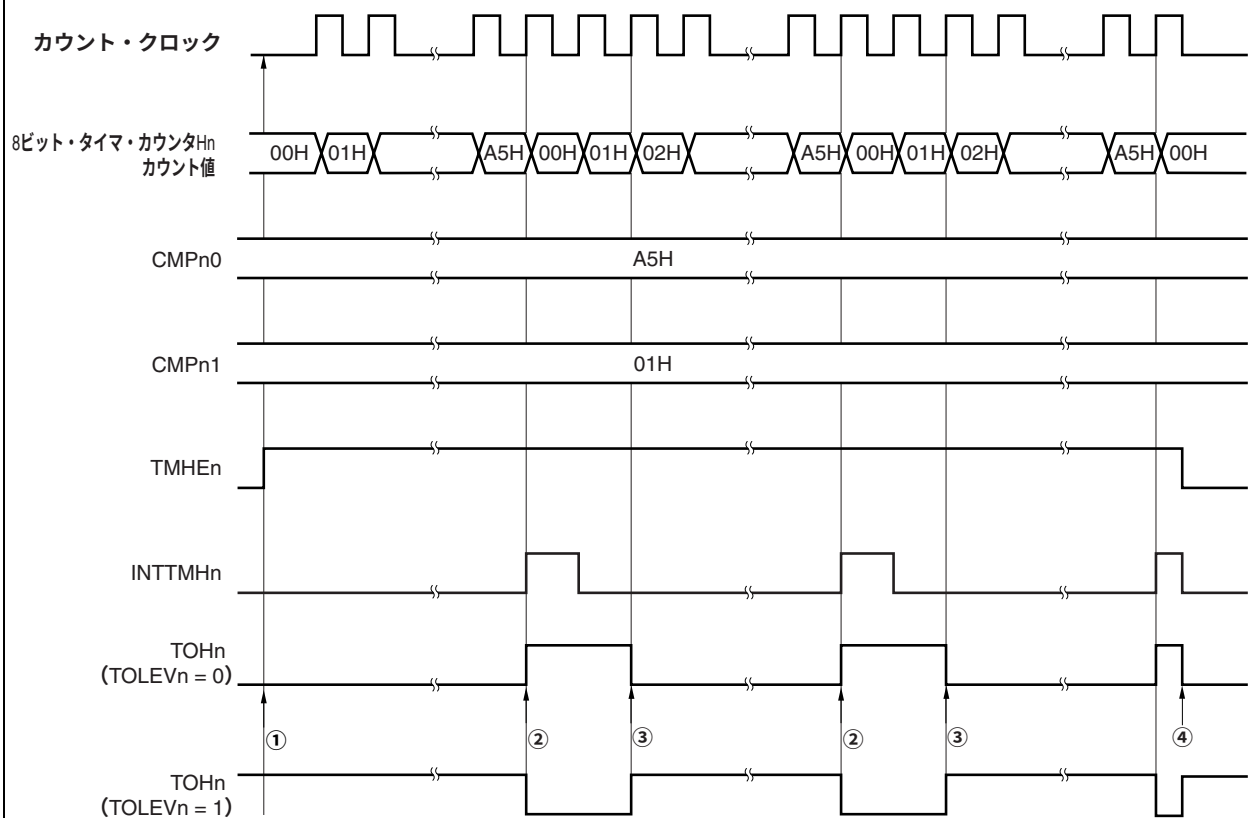
CMPn0レジスタの設定値を (N) , CMPn1レジスタを (M) , カウント・クロックの周波数を f_{CNT} とすると、PWMパルス出力周期およびデューティは次のとおりになります。

$\begin{aligned} \text{PWMパルス出力周期} &= (N+1) / f_{CNT} \\ \text{デューティ} &= (M+1) / (N+1) \end{aligned}$

- 注意1.** CMPn1レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSHn2-CKSHn0ビットで選択された信号) の3クロック分以上かかります。
- 2. **タイマ・カウント動作停止 (TMHEnビット = 0) 設定後、タイマ・カウント動作を開始する (TMHEnビット = 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください) 。**
 - 3. **CMPn1レジスタの設定値 (M) , CMPn0レジスタの設定値 (N) は、必ず次の範囲内にしてください。**

$$00H \leq \text{CMPn1 (M)} < \text{CMPn0 (N)} \leq FFH$$
 - 4. **同期を変更する場合には、いったんタイマを停止 (TMHEn = 0) してからCMPn0レジスタを書き換え、CMPn1レジスタを設定してからカウントを再開してください。**

図10-5 PWM出力モード動作のタイミング (1/4)

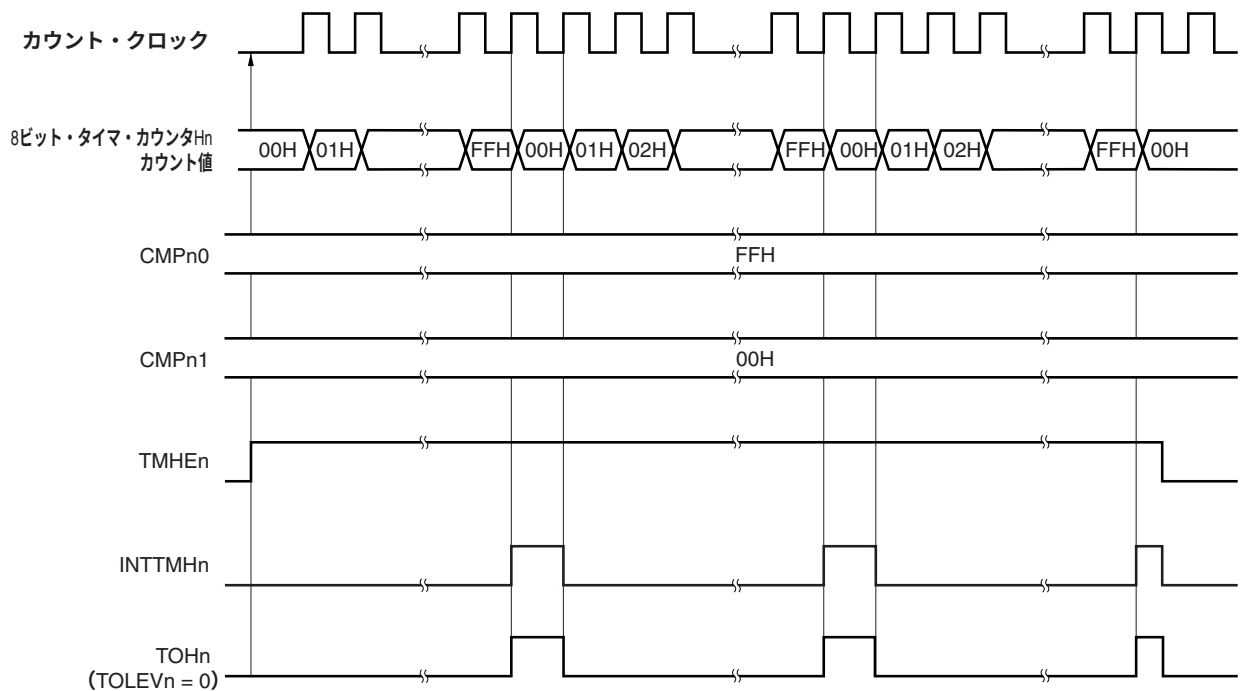
基本動作

- ① TMHEnビットをセット (1) すると、カウント動作を開始します。そのときTOHn出力はデフォルト状態を保持します。
- ② 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに、TOHn出力のレベルが反転し、8ビット・タイマ・カウンタHnをクリアし、INTTMHn信号を出力します。
- ③ 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに、TOHn出力のレベルが反転します。そのとき8ビット・タイマ・カウンタHnの値はクリアされず、INTTMHn信号は出力しません。
- ④ 8ビット・タイマHn動作中にTMHEnビットをクリア (0) することで、INTTMHn信号およびTOHn出力がデフォルト状態になります。

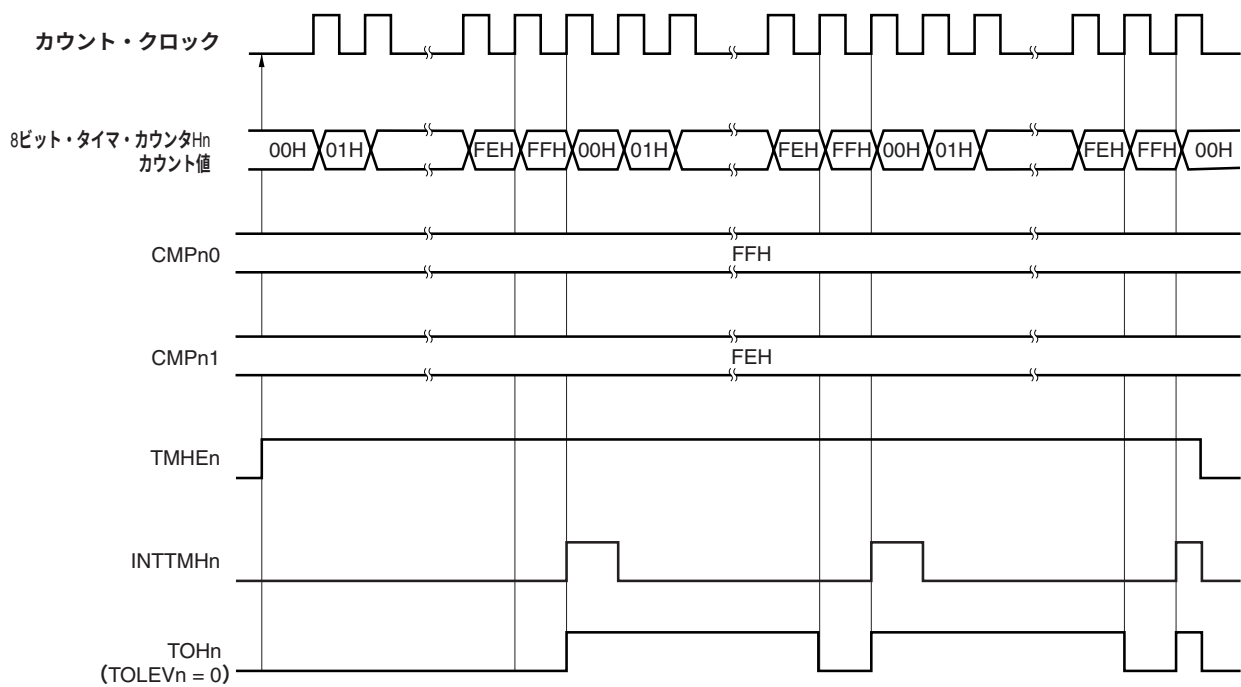
備考 n = 0, 1

図10-5 PWM出力モード動作のタイミング (2/4)

CMPn0レジスタ = FFH, CMPn1レジスタ = 00H時の動作



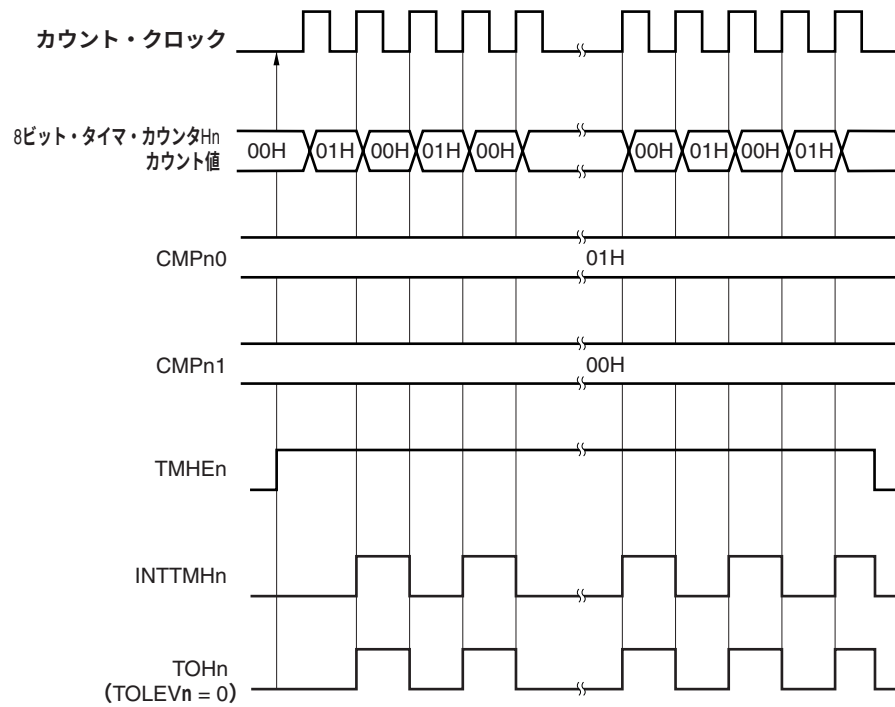
CMPn0レジスタ = FFH, CMPn1レジスタ = FEH時の動作



備考 n = 0, 1

図10-5 PWM出力モード動作のタイミング (3/4)

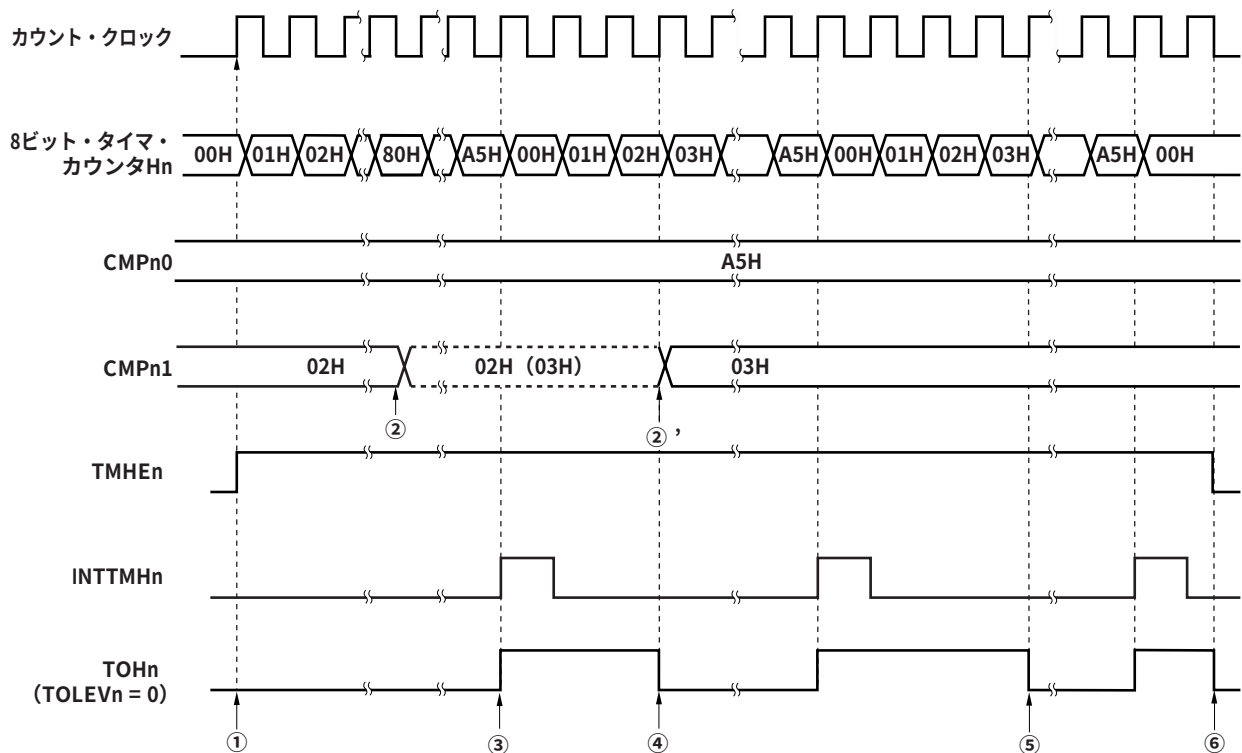
CMPn0レジスタ = 01H, CMPn1レジスタ = 00H時の動作



備考 n = 0, 1

図10-5 PWM出力モード動作のタイミング (4/4)

デューティ変更動作 (CMPn1レジスタ = 02H→03H, CMPn0レジスタ = A5H)



- ① TMHEnビットをセット (1) すると、カウント動作を開始します。そのとき、TOHn出力はデフォルト状態を保持します。
 - ② カウント動作中にCMPn1レジスタの設定値を変更することができます。この動作はカウント・クロックとは非同期です。ここで変更した結果は②'で反映されます。
 - ③ 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致すると、8ビット・タイマ・カウンタHnはクリアされ、TOHn出力のレベルが反転し、INTTMHn信号が発生します。
 - ④ CMPn1レジスタの値を変更しても、その値はラッチされ、レジスタには転送されません。8ビット・タイマ・カウンタHnのカウント値とCMPn1レジスタの変更前の設定値が一致すると、CMPn1レジスタに転送されCMPn1レジスタの値が変更されます (②')。
- ただし、CMPn1レジスタの値を変更してからレジスタに転送されるまでに、3カウント・クロック以上かかります。3カウント・クロックまでに一致信号が発生しても、変更値のレジスタへの転送はできません。
- ⑤ 8ビット・タイマ・カウンタHnのカウント値が変更後のCMPn1レジスタの設定値と一致すると、TOHn出力のレベルが反転します。8ビット・タイマ・カウンタHnはクリアされず、INTTMHn信号も発生しません。
 - ⑥ 8ビット・タイマHn動作中にTMHEnビットをクリア (0) することで、INTTMHn信号およびTOHn出力がデフォルト状態になります。

10.5.3 キャリア・ジェネレータ・モードとしての動作

キャリア・ジェネレータ・モードでは、8ビット・タイマHnを赤外線リモコンのキャリア信号生成用に使用し、8ビット・タイマ／イベント・カウンタ5nを赤外線リモコン信号の生成（時間カウント）に使用します。

8ビット・タイマHnで生成されるキャリア・クロックは、8ビット・タイマ／イベント・カウンタ5nで設定した周期で出力されます。

キャリア・ジェネレータ・モードでは、8ビット・タイマ／イベント・カウンタ5nで8ビット・タイマHnのキャリア・パルスをどの程度出力するか制御し、TOHn出力からキャリア・パルスを出力します。

備考1. 兼用端子（TOHn）の設定については、表10-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. INTTMHn信号の割り込みについては、第21章 割り込み／例外処理機能を参照してください。

(1) キャリアの生成

キャリア・ジェネレータ・モードでは、CMPn0レジスタはキャリア・パルスのロウ・レベル幅の波形を生成し、CMPn1レジスタはキャリア・パルスのハイ・レベル幅の波形を生成します。

8ビット・タイマHn動作中に、CMPn1レジスタを書き換えることはできますが、CMPn0レジスタを書き換えることは禁止です。

(2) キャリアの出力制御

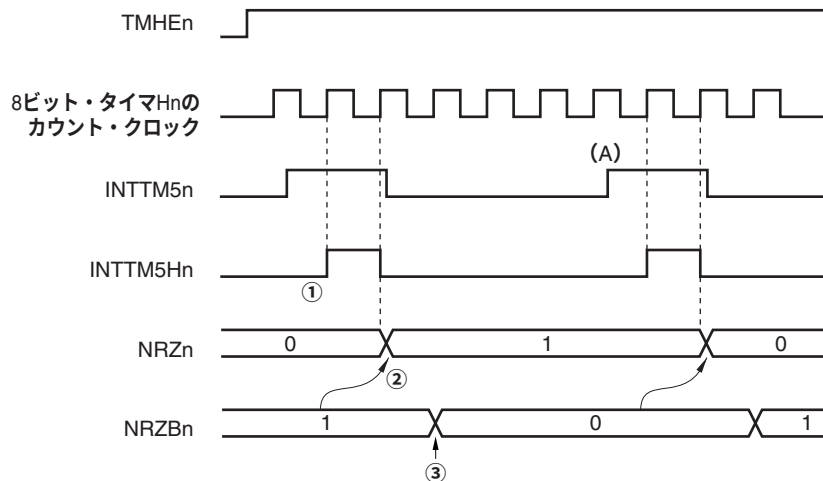
キャリアの出力制御は8ビット・タイマ／イベント・カウンタ5nの割り込み要求信号（INTTM5n）とTMCYCn.NRZBn, RMCnビットで行います。出力の関係を次に示します。

RMCnビット	NRZBnビット	出 力
0	0	INTTM5n信号入力の立ち上がりエッジでロウ・レベル出力
0	1	INTTM5n信号入力の立ち上がりエッジでハイ・レベル出力
1	0	INTTM5n信号入力の立ち上がりエッジでロウ・レベル出力
1	1	INTTM5n信号入力の立ち上がりエッジでキャリア・パルス出力

備考 n = 0, 1

キャリア・パルス出力をカウント動作中に制御するために、TMCYCn.NRZn, NRZBnビットは、マスタとスレーブのビット構成になっています。NRZnビットはリードのみですが、NRZBnビットはリード／ライト可能です。INTTM5n信号は8ビット・タイマHnのクロックで同期化されます（これをINTTM5Hn信号と表記します）。INTTM5Hn信号がNRZnビットのデータ転送信号となり、NRZBnビットの値がNRZnビットへ転送されます。NRZBnビットからNRZnビットへの転送タイミングは、次のとおりです。

図10-6 転送タイミング



- ① INTTM5n信号は8ビット・タイマHnのカウント・クロックで同期化され、INTTM5Hn信号として出力されます。
- ② INTTM5Hn信号の立ち上がりの次のクロックで、NRZBnビットの値がNRZnビットに転送されます。
- ③ INTTM5Hn割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZBnビットに次の値を書き込みます。またCR5nレジスタで、次のINTTM5nの割り込みタイミングを指定します (A)。

注意1. NRZBnビットの値を書き換えてから2クロック目までに、再びNRZBnビットの値を書き換えしないでください。書き換えた場合のNRZBnビットからNRZnビットへの転送動作の保証はできません。

2. 8ビット・タイマ／イベント・カウンタ5nをキャリア・ジェネレータ・モードで使用する場合、①のタイミングで割り込みが発生します。8ビット・タイマ／イベント・カウンタ5nをキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。

備考 n = 0, 1

- ⑧ INTTM5Hn割り込みにより起動された割り込み処理プログラミングの中で、または割り込み要求フラグをポーリングしてタイミングを確認後に、NRZBnビットに次の値を書き込みます。またCR5nレジスタで、次のINTTM5nの割り込みタイミングを指定します。
- ⑨ NRZnビットが1のとき、キャリア・クロックがTOHn端子より出力されます。
また、NRZnビットが0のときTOHn0端子からロウ・レベルが出力されます。
- ⑩ 以上を繰り返し、任意のキャリア・クロックを得ることができます。カウント動作を停止するときはTMHEnビットをクリア (0) します。

CMPn0レジスタの設定値を (N) , CMPn1レジスタの設定値を (M) , カウント・クロックの周波数を f_{CNT} とすると、キャリア・クロック出力周期およびデューティは次のとおりになります。

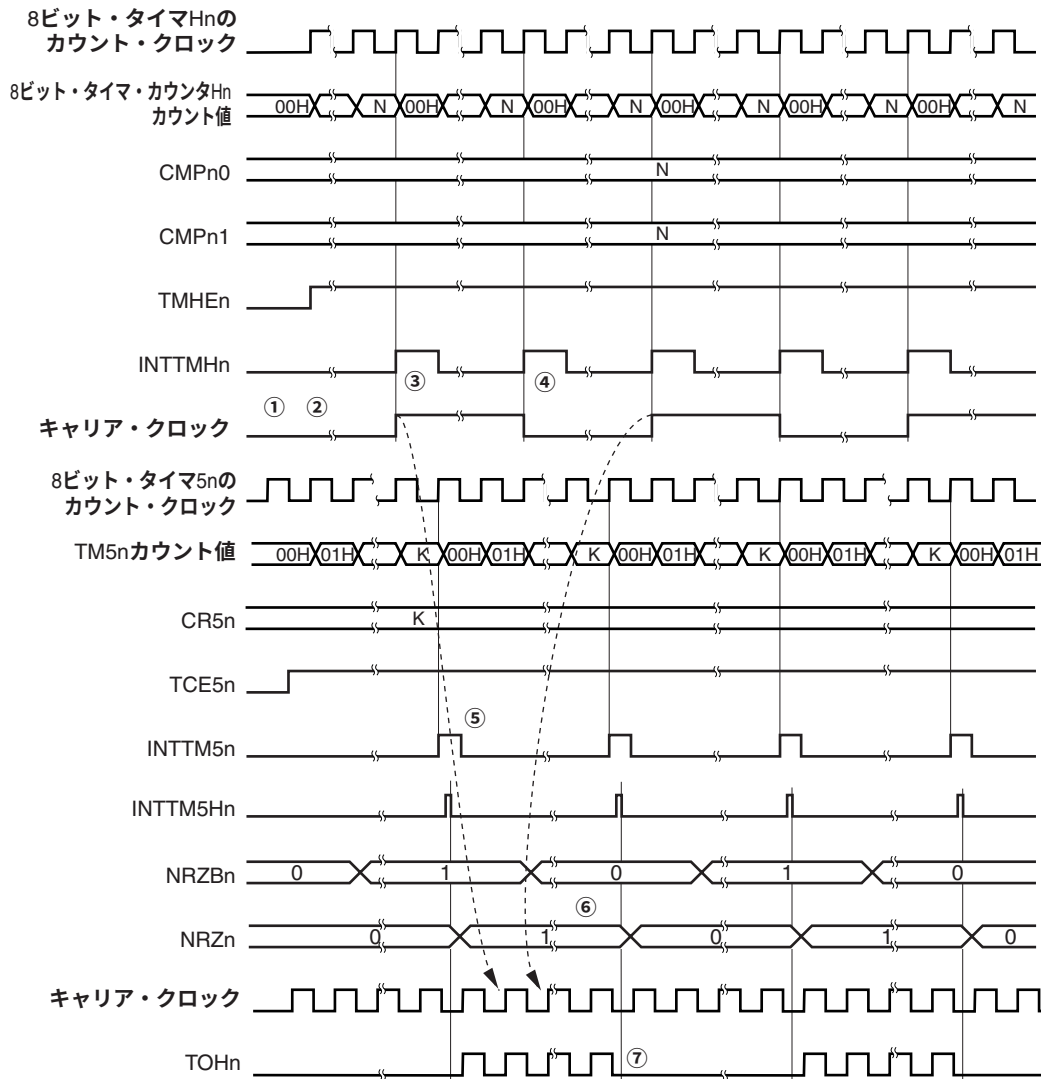
$$\text{キャリア・クロック出力周期} = (N+M+2) / f_{CNT}$$

$$\text{デューティ} = \text{ハイ・レベル幅} / \text{キャリア・クロック出力幅} = (M+1) / (N+M+2)$$

- 注意1.** タイマ・カウント動作停止 (TMHEnビット = 0) 設定後、タイマ・カウント動作を開始する (TMHEnビット = 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください) 。
- 2. CMPn0, CMPn1レジスタの値は、01H-FFHの範囲で設定してください。
 - 3. キャリア・ジェネレータ・モード時は、CMPn1レジスタを書き換えてから、実際にレジスタに転送するのに動作クロック (TMHMDn.CKSHn2-CKSHn0ビットで選択された信号) の3クロック分を必要とします。
 - 4. TMCYCn.RMCnビットの設定はカウント動作開始前に必ず設定してください。
 - 5. キャリア・ジェネレータ・モードを使用する場合、8ビット・タイマHnのカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ5nのカウント・クロック周波数の6倍以上になるように設定してください。

図10-8 キャリア・ジェネレータ・モード (1/2)

CMPn0レジスタ = N, CMPn1レジスタ = Nに設定したときの動作

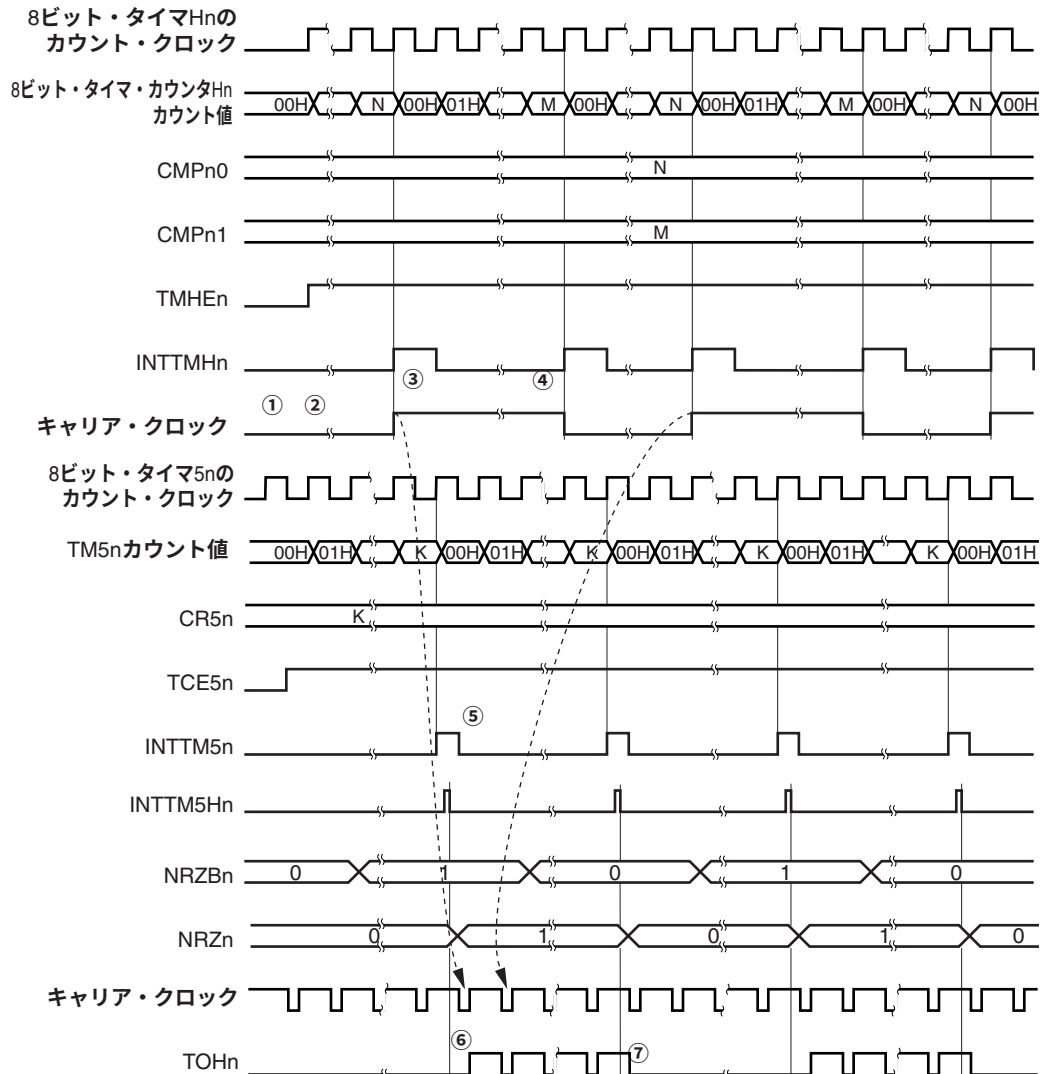


- ① TMHEnビット = 0およびTCE5nビット = 0のとき、8ビット・タイマHnの動作は停止状態です。
- ② TMHEnビットをセット (1) すると、8ビット・タイマHnはカウント動作を開始します。そのときキャリア・クロックはデフォルト状態を保持します。
- ③ 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに、最初のINTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。
- ④ 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに、INTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。③と④を繰り返し、デューティ50 %固定のキャリア・クロックを生成します。
- ⑤ INTTM5n信号は8ビット・タイマHnのカウント・クロックで同期化され、INTTM5Hn信号として出力されます。
- ⑥ INTTM5Hn信号がNRZBnビットのデータ転送信号となり、NRZBnビットの値がNRZnビットへ転送されます。
- ⑦ NRZnビット = 0により、TOHn出力はロウ・レベルになります。

備考 n = 0, 1

図10-8 キャリア・ジェネレータ・モード (2/2)

CMPn0レジスタ = N, CMPn1レジスタ = Mに設定したときの動作



- ① TMHEnビット = 0およびTCE5nビット = 0のとき、8ビット・タイマHnの動作は停止状態です。
- ② TMHEnビットをセット (1) すると、8ビット・タイマHnはカウント動作を開始します。そのときキャリア・クロックはデフォルトを保持します。
- ③ 8ビット・タイマ・カウンタHnのカウント値がCMPn0レジスタの設定値と一致したときに、最初のINTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn0レジスタからCMPn1レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。
- ④ 8ビット・タイマ・カウンタHnのカウント値がCMPn1レジスタの設定値と一致したときに、INTTMHn信号を発生し、キャリア・クロック信号を反転し、8ビット・タイマ・カウンタHnとの比較対象コンペア・レジスタはCMPn1レジスタからCMPn0レジスタに切り替わります。8ビット・タイマ・カウンタHnは00Hにクリアされます。③と④を繰り返し、デューティ固定 (50 %以外) のキャリア・クロックを生成します。
- ⑤ INTTM5n信号を発生します。その信号は8ビット・タイマHnで同期化され、INTTM5Hn信号として出力します。
- ⑥ NRZnビット = 1により、最初のキャリア・クロックの立ち上がりから、キャリアを出力します。
- ⑦ NRZnビット = 0により、キャリア・クロックのハイ・レベル期間は、TOHn出力もハイ・レベルを保持しロウ・レベルに変化しません (⑥, ⑦よりキャリア波形のハイ・レベル幅が保証できます)。

備考 n = 0, 1

(1) クロック制御

インターバル・タイマBRGの動作クロック (f_x) の供給／停止を制御します。

(2) 3 ビット・プリスケアラ

f_x を分周して， $f_x/2$, $f_x/4$, $f_x/8$ を生成します。

(3) セレクタ

f_x , $f_x/2$, $f_x/4$, $f_x/8$ から，インターバル・タイマBRGのカウント・クロック (f_{BGCS}) を選択します。

(4) 8 ビット・カウンタ

カウント・クロック (f_{BGCS}) をカウントする8ビットのカウンタです。

(5) 出力制御

時計タイマのカウント・クロック (f_{BRG}) 供給を制御します。

(6) PRSCM レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(7) PRSM レジスタ

インターバル・タイマBRGの動作，セレクタ，時計タイマへのクロック供給を制御するレジスタです。

11.1.3 レジスタ

インターバル・タイマBRGには、次のレジスタがあります。

(1) インターバル・タイマ BRG モード・レジスタ (PRSM)

インターバル・タイマBRGの動作、カウント・クロックの選択、時計タイマへのクロック供給を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM	0	0	0	BGCE	0	TODIS	BGCS1	BGCS0

BGCE	インターバル・タイマの動作制御
0	動作停止, 8ビット・カウンタを01Hにクリア
1	動作

TODIS	時計用タイマへのクロック供給の制御
0	時計用タイマにクロックを供給する
1	時計用タイマにクロックを供給しない

BGCS1	BGCS0		入カクロックの選択 (f_{BGCS}) 注		
			10 MHz	5 MHz	4 MHz
0	0	fx	100 ns (10 MHz)	200 ns (5 MHz)	250 ns (4 MHz)
0	1	fx/2	200 ns (5 MHz)	400 ns (2.5 MHz)	500 ns (2 MHz)
1	0	fx/4	400 ns (2.5 MHz)	800 ns (1.25 MHz)	1 μ s (1 MHz)
1	1	fx/8	800 ns (1.25 MHz)	1.6 μ s (625 kHz)	2 μ s (500 kHz)

注 次の条件を満たすように設定してください。

$V_{DD} = 4.0 \sim 5.5 \text{ V} : f_{BGCS} \leq 10 \text{ MHz}$

$V_{DD} = 2.7 \sim 4.0 \text{ V} : f_{BGCS} \leq 5 \text{ MHz}$

- 注意1.** インターバル・タイマBRG動作中 (BGCEビット = 1) に、TODIS, BGCS1, BGCS0ビットの値を変更しないでください。TODIS, BGCS1, BGCS0ビットの設定は、BGCEビットをセット (1) する前に行ってください。
2. BGCEビットをクリア (0) することにより、8ビット・カウンタはクリアされます。

(2) インターバル・タイマ BRG コンペア・レジスタ (PRSCM)

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM	PRSCM7	PRSCM6	PRSCM5	PRSCM4	PRSCM3	PRSCM2	PRSCM1	PRSCM0

注意 インターバル・タイマBRG動作中 (PRSM.BGCEビット = 1) に，
PRSCMレジスタを書き換えないでください。PRSCMレジスタの設定
は，BGCEビットをセット (1) する前に行ってください。

11.1.4 動作

(1) インターバル・タイマ BRG の動作

PRSM.BGCS1, BGCS0ビットでカウント・クロックを, PRSCMレジスタで8ビットのコンペア値を設定してください。

PRSM.BGCEビットをセット (1) すると, インターバル・タイマBRGは動作を開始します。

8ビット・カウンタのカウント値とPRSCMレジスタの設定値が一致するごとに, 割り込み要求信号 (INTBRG) が発生します。同時に, 8ビット・カウンタは01Hにクリアされ, カウントを継続します。

インターバル時間は, 次の式で求められます。

$$\text{インターバル時間} = 2^m \times N / f_x$$

備考 m : 分周値 (BGCS1, BGCS0ビット設定値) = 0-3

N : PRSCMレジスタ設定値[※] = 1-256 (PRSCMレジスタ設定値 = 00Hの場合, N = 256)

f_x : メイン・クロック発振周波数

注 PRSCMレジスタ = 01HのときINTBRG割り込みは1回だけ発生します。

(2) 時計タイマへのカウント・クロック供給

PRSM.BGCS1, BGCS0ビットでカウント・クロックを, PRSCMレジスタで8ビットのコンペア値を設定し, 時計タイマのカウント・クロック周波数 (f_{BRG}) が32.768 kHzになるようにしてください。同時に PRSM.TODISビットをクリア (0) してください。

PRSM.BGCEビットをセット (1) すると, 時計タイマにf_{BRG}を供給します。

f_{BRG}は, 次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f_{BRG}を32.768 kHzにするには, 次のように計算してBGCS1, BGCS0ビット, PRSCMレジスタを設定してください。

- ① N = f_x/65,536 (小数点第一位を四捨五入) とし, m = 0としてください。
- ② Nが偶数のとき, N = N/2とし, m = m + 1としてください。
- ③ Nが奇数になるか, またはm = 3になるまで, ②を繰り返します。
- ④ NをPRSCMレジスタに, mをBGCS1, BGCS0ビットに設定してください。

例: f_x = 10.00 MHzの場合

- ① N = 10,000,000/65,536 = 153 (小数点第一位を四捨五入), m = 0
- ②, ③ Nは奇数なので, N = 153, m = 0のまま
- ④ PRSCMレジスタ設定値: 99H (153), BGCS1, BGCS0ビット設定値: 00

備考 m : 分周値 (BGCS1, BGCS0ビット設定値) = 0-3

N : PRSCMレジスタ設定値 = 1-256 (PRSCMレジスタ設定値 = 00Hの場合, N = 256)

f_x : メイン・クロック発振周波数

11.2 時計タイマ

11.2.1 機能

時計タイマには、次のような機能があります。

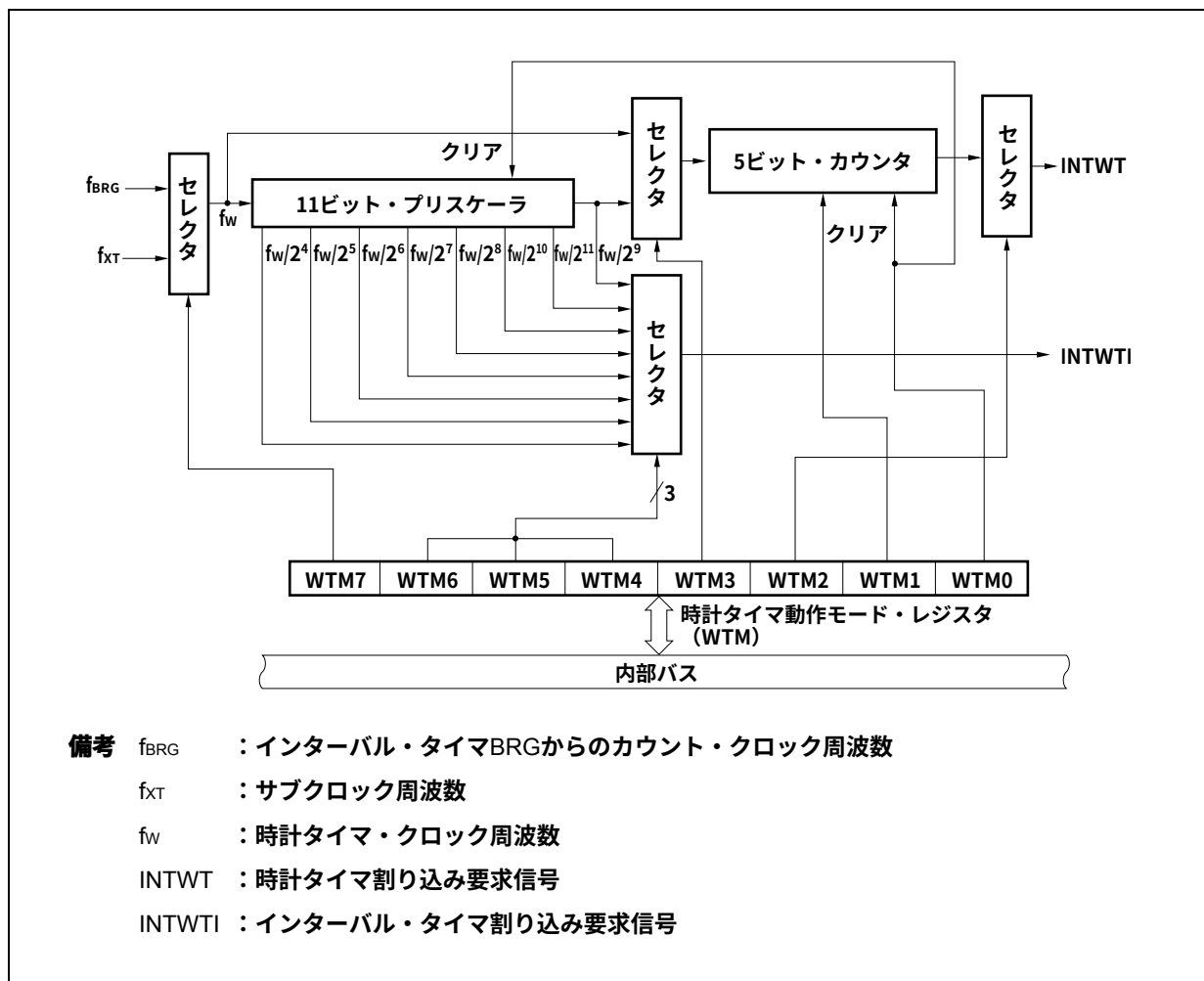
- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号（INTWT）を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で、割り込み要求信号（INTWTI）を発生します。

時計タイマとインターバル・タイマは、同時に使用できます。

11.2.2 構成

次に時計タイマのブロック図を示します。

図11-2 時計タイマのブロック図



(1) 11ビット・プリスケアラ

f_W を分周して、 $f_W/2^4$ – $f_W/2^{11}$ のクロックを生成します。

(2) 5ビット・カウンタ

f_W または $f_W/2^9$ をカウントして、 $2^4/f_W$ 、 $2^5/f_W$ 、 $2^{13}/f_W$ または $2^{14}/f_W$ ごとに時計タイマ割り込み要求信号 (INTWT) を発生します。

(3) セレクタ

時計タイマには、次の4つのセレクタがあります。

- ・時計タイマのクロックとして、メイン・クロック (インターバル・タイマBRGからのクロック (f_{BRG})) かサブクロック (f_{XT}) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として、 f_W か $f_W/2^9$ かを選択します。
- ・INTWT信号発生時間間隔として、 $2^4/f_W$ または $2^{13}/f_W$ か、 $2^5/f_W$ または $2^{14}/f_W$ かを選択します。
- ・インターバル・タイマWT割り込み要求信号 (INTWTI) 発生時間間隔として、 $2^4/f_W$ – $2^{11}/f_W$ から選択します。

(4) WTMレジスタ

時計タイマ／インターバル・タイマWTの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

11. 2. 3 レジスタ

時計タイマには，次のレジスタがあります。

(1) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウント・クロックおよび動作の許可／禁止，インターバル・タイマ割り込み信号 (INTWTI) のインターバル時間，5ビット・カウンタの動作制御および時計タイマ割り込み要求信号 (INTWT) 発生時間を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF680H

	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0

WTM7	WTM6	WTM5	WTM4	インターバル・タイマ割り込み (INTWTI) 時間の選択
0	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
0	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{XT}$)
0	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{XT}$)
0	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{XT}$)
0	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{XT}$)
0	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{XT}$)
0	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{XT}$)
1	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)
1	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{BRG}$)
1	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{BRG}$)
1	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{BRG}$)
1	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{BRG}$)
1	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{BRG}$)
1	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{BRG}$)

WTM7	WTM3	WTM2	時計タイマ割り込み (INTWT) 時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$)
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$)
0	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$)
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$)
1	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止 (プリスケアラ, 5ビット・カウンタともにクリア)
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。

備考1. f_w : 時計タイマ・クロック周波数

2. () 内は, $f_w = 32.768$ kHz動作時

11.2.4 動作

(1) 時計タイマの動作

時計タイマは、メイン・クロックまたはサブクロックを使用し、一定の時間間隔ごとに割り込み要求を発生します。

サブクロック (32.768 kHz) を使用すると、0.25秒または0.5秒の正確な時間間隔の時計タイマとして動作します。

WTM.WTM0, WTM1ビットに11を設定するとカウント動作がスタートします。00を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマWTと同時に動作させているとき、WTM1ビットを0にすることにより5ビット・カウンタをクリアし、時刻合わせができます。このとき、インターバル・タイマWTには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

(2) インターバル・タイマの動作

あらかじめ設定した条件で決まるインターバルで、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

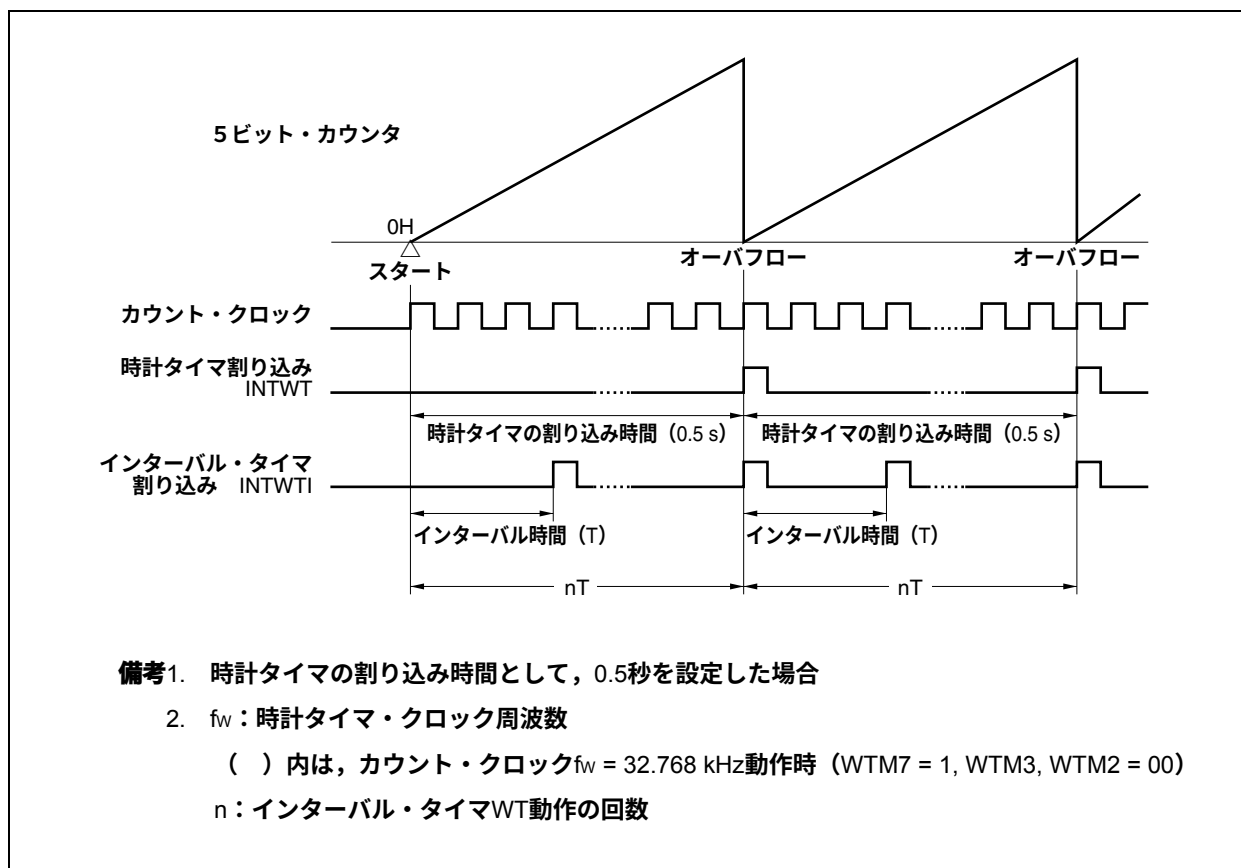
WTM.WTM4-WTM7ビットにより、インターバル時間を選択できます。

表11-1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
1	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)

備考 f_w : 時計タイマ・クロック周波数

図11-3 時計タイマ/インターバル・タイマの動作タイミング

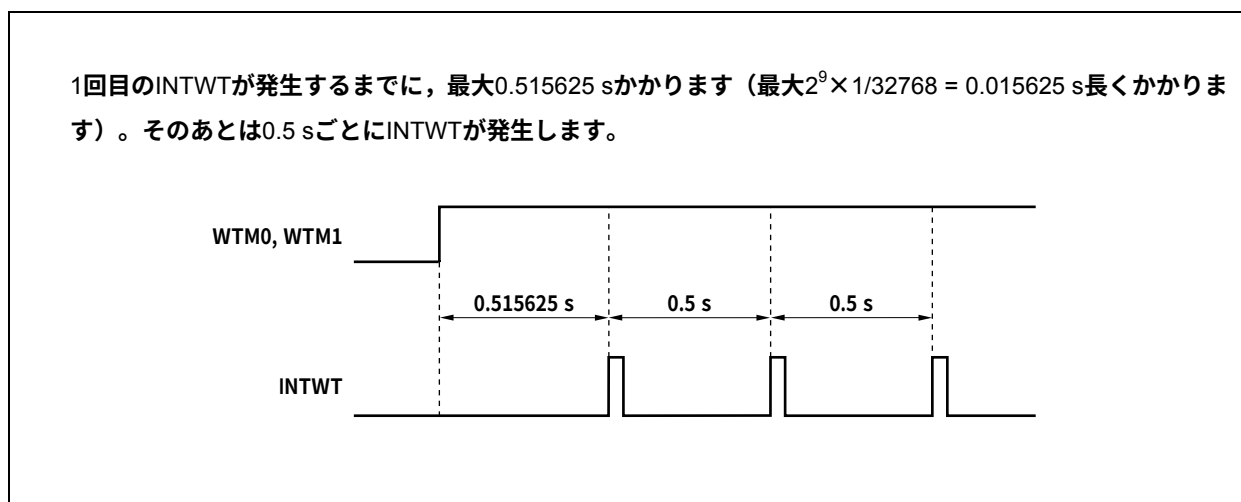


11.3 注意事項

(1) 時計タイマとしての動作

動作許可 (WTM.WTM1, WTM0ビット = 11) してから、1回目の時計タイマ割り込み要求 (INTWT) は正確にWTM2, WTM3ビットの設定した時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。

図11-4 時計タイマ割り込み要求 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)



(2) 時計タイマとインターバル・タイマ BRG を同時に動作させる場合

時計タイマのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRGのインターバル時間を任意に設定できます。また、インターバル時間を変更しても時計タイマには影響しません（変更するときは動作を停止（PRSM.BGCEビット = 0）してから変更してください）。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間は約15.3 μ sにしてください。インターバル時間は変更しないでください。

(3) インターバル・タイマ BRG とインターバル・タイマ WT を同時に動作させる場合

インターバル・タイマWTのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRG, WTのインターバル時間をそれぞれ任意に設定できます。

インターバル・タイマBRGを変更したい場合にはインターバル・タイマを停止（BGCEビット = 0）にしてから変更してください。インターバル・タイマWTを変更したい場合にはインターバル・タイマWTを停止（WTM1, WTM0ビット = 00）にしてから変更してください。

インターバル・タイマWTのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間を任意に設定できますが、インターバル・タイマWTのインターバル時間はインターバル・タイマBRGの 2^5 - 2^{12} 倍の時間を設定できます。

インターバル・タイマBRGの設定は途中で変更できません（インターバル・タイマWT動作停止時のみ変更できます）。インターバル・タイマWTの設定は途中で変更できます。

(4) 時計タイマとインターバル・タイマ WT を同時に動作させる場合

インターバル・タイマWTのインターバル時間は488 μ s-62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に、インターバル・タイマWTを停止（WTM.WTM0ビットをクリア（0））しないでください。WTM0ビットをクリア（0）して再度セット（1）すると、時計タイマが最大0.5秒または0.25秒ずれてしまいます。

(5) 時計タイマとインターバル・タイマ BRG とインターバル・タイマ WT を同時に動作させる場合

時計タイマのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRG, WTのインターバル時間を任意に設定できます。また、インターバル・タイマBRGのインターバル時間を途中で変更できます（変更するときは動作を停止してから変更してください）。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間は約15.3 μ sにしてください。途中で変更できません。インターバル・タイマWTのインターバル時間は488 μ s-62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に、インターバル・タイマBRGを停止（PRSM.BGCEビットをクリア（0））しないでください。また、インターバル・タイマWTを停止（WTM.WTM0ビットをクリア（0））しないでください。

第12章 ウォッチドッグ・タイマ機能

12.1 特 徴

V850ES/KJ2には次の2つのウォッチドッグ・タイマがあります。

(1) ウォッチドッグ・タイマ1

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号（WDTRES1）または割り込み信号（INTWDTM1）を発生します。

また、インターバル・タイマとして使用することもできます。

ウォッチドッグ・タイマ1は初期状態では停止しています。

(2) ウォッチドッグ・タイマ2

プログラムの暴走を検出するために使用します。暴走検出時、内部リセット信号（WDTRES2）または割り込み信号（INTWDTM2）を発生します。

ウォッチドッグ・タイマ2は初期状態から動作します。

12.2 ウォッチドッグ・タイマ1

12.2.1 機 能

ウォッチドッグ・タイマ1には、次の動作モードがあります。

- ・ウォッチドッグ・タイマ
- ・インターバル・タイマ

上記動作モードにより、次の機能を実現します。

- ・ウォッチドッグ・タイマ1のオーバフローによる、ノンマスクابل割り込み要求信号（INTWDT1）を発生[※]。
- ・ウォッチドッグ・タイマ1のオーバフローによる、システム・リセット信号（WDTRES1）を発生。
- ・ウォッチドッグ・タイマ1のオーバフローによる、マスクابل割り込み要求信号（INTWDTM1）を発生。

注 ノンマスクابل割り込み要求信号（INTWDT1, INTWDT2）によるノンマスクابل割り込み処理については、21.10 注意事項を参照してください。

備考 ウォッチドッグ・タイマ・モードとして使用するか、インターバル・タイマ・モードとして使用するかは、WDTM1レジスタで選択してください。

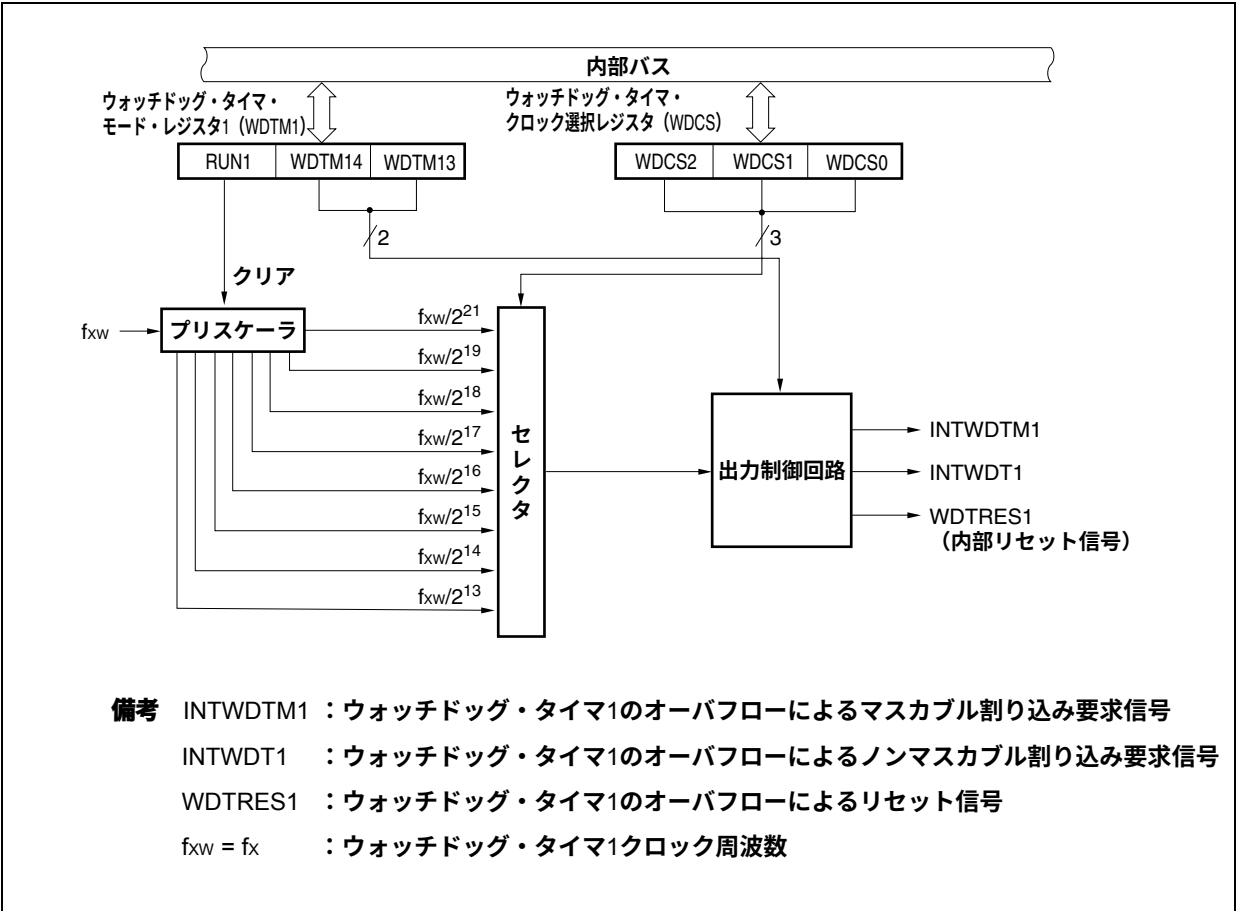
12.2.2 構 成

ウォッチドッグ・タイマ1は、次のハードウェアで構成されています。

表12-1 ウォッチドッグ・タイマ1のレジスタ構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS) ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

図12-1 ウォッチドッグ・タイマ1のブロック図



12.2.3 レジスタ

ウォッチドッグ・タイマ1を制御するレジスタを次に示します。

- ・ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)
- ・ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

(1) ウォッチドッグ・タイマ・クロック選択レジスタ (WDCS)

ウォッチドッグ・タイマ1およびインターバル・タイマのオーバフロー時間を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
WDCS	0	0	0	0	0	WDCS2	WDCS1	WDCS0

WDCS2	WDCS1	WDCS0	ウォッチドッグ・タイマ1／インターバル・タイマのオーバフロー時間	f _{xw}		
				4 MHz	5 MHz	10 MHz
0	0	0	$2^{13}/f_{xw}$	2.048 ms	1.638 ms	0.819 ms
0	0	1	$2^{14}/f_{xw}$	4.096 ms	3.277 ms	1.638 ms
0	1	0	$2^{15}/f_{xw}$	8.192 ms	6.554 ms	3.277 ms
0	1	1	$2^{16}/f_{xw}$	16.38 ms	13.11 ms	6.554 ms
1	0	0	$2^{17}/f_{xw}$	32.77 ms	26.21 ms	13.11 ms
1	0	1	$2^{18}/f_{xw}$	65.54 ms	52.43 ms	26.2 ms
1	1	0	$2^{19}/f_{xw}$	131.1 ms	104.9 ms	52.43 ms
1	1	1	$2^{21}/f_{xw}$	524.3 ms	419.4 ms	209.7 ms

備考 f_{xw} = f_x : ウォッチドッグ・タイマ1クロック周波数

(2) ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

ウォッチドッグ・タイマ1の動作モード、カウント許可／禁止を設定するレジスタです。

このレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます (3. 4. 7 特定レジスタ参照)。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 メイン・クロック停止,サブクロック動作時に,WDTM1レジスタにアクセスしないでください。
詳細は, 3. 4. 9 (1) を参照してください。

リセット時：00H R/W アドレス：FFFFFF6C2H

⑦							
6	5	4	3	2	1	0	
WDTM1	RUN1	0	0	WDTM14	WDTM13	0	0

RUN1	ウォッチドッグ・タイマ1の動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM14	WDTM13	ウォッチドッグ・タイマ1の動作モードの選択 ^{注2}
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時、マスカブル割り込みINTWDTM1発生)
1	0	ウォッチドッグ・タイマ・モード1 ^{注3}
		(オーバーフロー発生時、ノンマスカブル割り込みINTWDT1発生)
1	1	ウォッチドッグ・タイマ・モード2
		(オーバーフロー発生時、リセット動作WDTRES1を起動)

- 注1.** RUN1ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。
したがって、カウントを開始すると、リセット以外で停止させることはできません。
- 2.** WDTM14, WDTM13ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。これらのビットをクリアするには、リセットのみが有効です。
- 3.** ノンマスカブル割り込み要求信号 (INTWDT1) による、ノンマスカブル割り込み処理については, 21. 10 注意事項を参照してください。

12.2.4 動作

(1) ウォッチドッグ・タイマ1としての動作

WDTM1.WDTM14ビットに“1”を設定することにより、プログラムの暴走を検出するウォッチドッグ・タイマ1として動作します。

WDCS.WDCS2-WDCS0ビットでウォッチドッグ・タイマ1の暴走検出時間間隔を選択します。WDTM1.RUN1ビットに“1”を設定することにより、カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にRUN1ビットに再度“1”を設定すると、ウォッチドッグ・タイマ1はクリアされ、再度カウント動作を開始します（表12-2参照）。

RUN1ビットに“1”がセットされず、暴走検出時間を越えてしまった場合は、WDTM1.WDTM13ビットの値によりリセット信号（WDTRES1）もしくはノンマスカブル割り込み要求信号（INTWDT1）が発生します。

- 注意1.** CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。
- INTWDT1信号による、ノンマスカブル割り込み処理については、21.10 注意事項を参照してください。
 - ウォッチドッグ・タイマ1は、STOPモード、IDLEモード、サブクロック動作モード時は動作を停止します。したがって、STOPモード、IDLEモード、サブクロック動作モードに入る前にRUN1ビットを“1”に設定し、ウォッチドッグ・タイマ1をクリアしてください。
 - HALTモード時はウォッチドッグ・タイマ1は動作するため、HALT中にオーバフローが発生しないように注意してください。

表12-2 ウォッチドッグ・タイマ1の暴走検出時間

クロック	暴走検出時間		
	$f_{xw} = 4 \text{ MHz}$	$f_{xw} = 5 \text{ MHz}$	$f_{xw} = 10 \text{ MHz}$
$2^{13}/f_{xw}$	2.048 ms	1.638 ms	0.819 ms
$2^{14}/f_{xw}$	4.096 ms	3.277 ms	1.683 ms
$2^{15}/f_{xw}$	8.192 ms	6.554 ms	3.277 ms
$2^{16}/f_{xw}$	16.38 ms	13.11 ms	6.554 ms
$2^{17}/f_{xw}$	32.77 ms	26.21 ms	13.11 ms
$2^{18}/f_{xw}$	65.54 ms	52.43 ms	26.21 ms
$2^{19}/f_{xw}$	131.1 ms	104.9 ms	52.43 ms
$2^{21}/f_{xw}$	524.3 ms	419.4 ms	209.7 ms

備考 $f_{xw} = f_x$ ：ウォッチドッグ・タイマ1クロック周波数

(2) インターバル・タイマとしての動作

WDTM1.WDTM14ビットに“0”を設定することにより、あらかじめ設定したインターバルで、繰り返し割り込みを発生するインターバル・タイマとして動作します。

インターバル・タイマとして動作しているとき、WDTICレジスタの割り込みマスク・フラグ (WDTMK) と優先順位指定フラグ (WDTPR0-WDTPR2) が有効となり、マスカブル割り込み要求信号 (INTWDTM1) を発生させることができます。INTWDTM1信号のデフォルト優先順位は、マスカブル割り込み要求信号の中で最も高く設定されています。

インターバル・タイマは、HALTモード時には動作を継続しますが、STOPモード時とIDLEモード時は動作を停止します。

- 注意1.** インターバル・タイマ・モード中に、一度WDTM14ビットに“1”を設定すると、ウォッチドッグ・タイマ1モードに移行し、リセットがかからないかぎり、インターバル・タイマ・モードに戻れません。
- 2.** CPUクロックにサブクロックを選択しているとき、ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。

表12-3 インターバル・タイマのインターバル時間

クロック	インターバル時間		
	$f_{xw} = 4 \text{ MHz}$	$f_{xw} = 5 \text{ MHz}$	$f_{xw} = 10 \text{ MHz}$
$2^{13}/f_{xw}$	2.048 ms	1.638 ms	0.819 ms
$2^{14}/f_{xw}$	4.096 ms	3.277 ms	1.638 ms
$2^{15}/f_{xw}$	8.192 ms	6.554 ms	3.277 ms
$2^{16}/f_{xw}$	16.38 ms	13.11 ms	6.554 ms
$2^{17}/f_{xw}$	32.77 ms	26.21 ms	13.11 ms
$2^{18}/f_{xw}$	65.54 ms	52.43 ms	26.21 ms
$2^{19}/f_{xw}$	131.1 ms	104.9 ms	52.43 ms
$2^{21}/f_{xw}$	524.3 ms	419.4 ms	209.7 ms

備考 $f_{xw} = f_x$: ウォッチドッグ・タイマ1クロック周波数

12.3 ウォッチドッグ・タイマ2

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートするデフォルト・スタート・ウォッチドッグ・タイマです。

12.3.1 機能

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{注1}

→リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDTRES2信号を発生）

→ノンマスカブル割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{注2}

→ソース・クロックとしてメイン・クロックとサブクロックからの入力を選択可能

注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。

また、デフォルトの設定（リセット・モード、インターバル時間： $f_{xx}/2^{25}$ ）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については21.10 注意事項を参照してください。

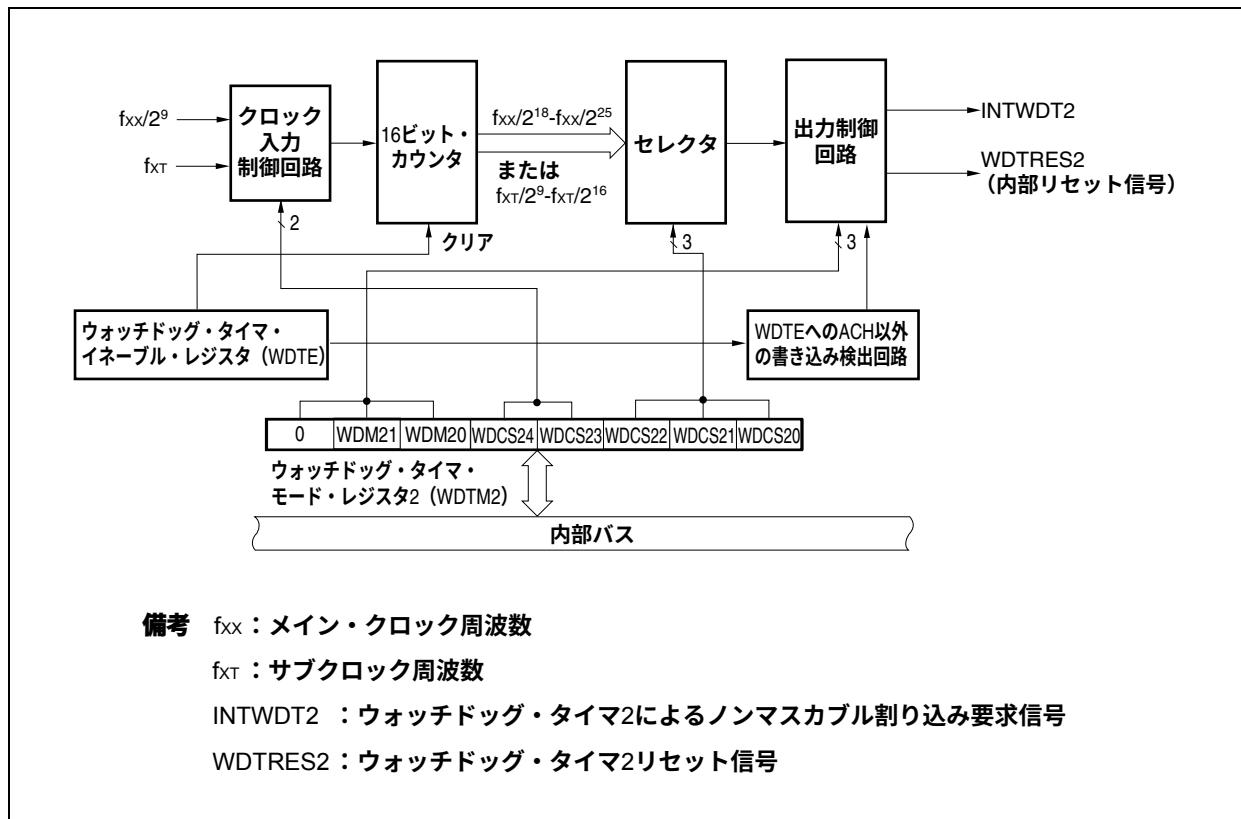
12.3.2 構成

ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表12-4 ウォッチドッグ・タイマ2の構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)
	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

図12-2 ウォッチドッグ・タイマ2のブロック図



12. 3. 3 レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2の動作モード、オーバフロー時間および動作クロックを設定するレジスタです。

8ビット単位でリード／ライト可能です。読み出しは何回でもできますが、書き込みはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 メイン・クロック停止,サブクロック動作時に,WDTM2レジスタにアクセスしないでください。

詳細は, 3. 4. 9 (1) を参照してください。

リセット時: 67H R/W アドレス: FFFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスクブル割り込み要求モード (INTWDT2を発生)
1	—	リセット・モード (WDTRES2を発生)

注意1. ウォッチドッグ・タイマ2の動作を停止する場合は, WDTM2レジスタに“1FH”を書き込んでください

2. WDCS4-WDCS0ビットについては表12-5 ウォッチドッグ・タイマ2のクロック選択を参照してください。

3. リセット後, WDTM2レジスタに2回書き込んだ場合, 強制的にオーバフロー信号を発生します。

4. 意図的にオーバフロー信号を発生させたい場合は, WDTM2レジスタに2回だけ書き込むか, WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。

ただし, ウォッチドッグ・タイマ2を動作停止に設定した場合は, WDTM2レジスタに2回だけ書き込む, またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでもオーバフロー信号は発生しません。

表12-5 ウォッチドッグ・タイマ2のオーバーフロー時間選択

WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	f _{xx} = 20MHz時	f _{xx} = 16MHz時	f _{xx} = 10MHz時
0	0	0	0	0	2 ¹⁸ /f _{xx}	13.1 ms	16.4 ms	26.2 ms
0	0	0	0	1	2 ¹⁹ /f _{xx}	26.2 ms	32.8 ms	52.4 ms
0	0	0	1	0	2 ²⁰ /f _{xx}	52.4 ms	65.5 ms	104.9 ms
0	0	0	1	1	2 ²¹ /f _{xx}	104.9 ms	131.1 ms	209.7 ms
0	0	1	0	0	2 ²² /f _{xx}	209.7 ms	262.1 ms	419.4 ms
0	0	1	0	1	2 ²³ /f _{xx}	419.4 ms	524.3 ms	838.9 ms
0	0	1	1	0	2 ²⁴ /f _{xx}	838.9 ms	1048.6 ms	1677.7 ms
0	0	1	1	1	2 ²⁵ /f _{xx}	1677.7 ms	2097.2 ms	3355.4 ms
0	1	0	0	0	2 ⁹ /f _{XT}	15.625 ms (f _{XT} = 32.768 kHz)		
0	1	0	0	1	2 ¹⁰ /f _{XT}	31.25 ms (f _{XT} = 32.768 kHz)		
0	1	0	1	0	2 ¹¹ /f _{XT}	62.5 ms (f _{XT} = 32.768 kHz)		
0	1	0	1	1	2 ¹² /f _{XT}	125 ms (f _{XT} = 32.768 kHz)		
0	1	1	0	0	2 ¹³ /f _{XT}	250 ms (f _{XT} = 32.768 kHz)		
0	1	1	0	1	2 ¹⁴ /f _{XT}	500 ms (f _{XT} = 32.768 kHz)		
0	1	1	1	0	2 ¹⁵ /f _{XT}	1000 ms (f _{XT} = 32.768 kHz)		
0	1	1	1	1	2 ¹⁶ /f _{XT}	2000 ms (f _{XT} = 32.768 kHz)		
1	×	×	×	×	動作停止			

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再びカウントを開始します。

8ビット単位でリード／ライト可能です。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFF6D1H

	7	6	5	4	3	2	1	0
WDTE								

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバーフロー信号を発生します。

2. WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバーフロー信号を発生します。

3. WDTEレジスタのリード値は、常に“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。

4. 意図的にオーバーフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでもオーバーフローは発生しません。

12.3.4 動作

ウォッチドッグ・タイマ2はリセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みはバイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードとインターバル時間を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間を選択できます。WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタをクリアし、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号（WDTRES2）またはノンマスカブル割り込み要求信号（INTWDT2）が発生します。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに1FHを書き込んでください。

また、ノンマスカブル割り込み要求モードに設定した場合、ノンマスカブル割り込み処理については、21.10 注意事項を参照してください。

ウォッチドッグ・タイマ2のソース・クロックとしてメイン・クロックを選択した場合、IDLE/STOPモード時は動作を停止しますが、IDLE/STOPモードに入る前にWDTEレジスタにACHを書き込み、ウォッチドッグ・タイマ2をクリアしてください。

注意 HALTモード時およびソース・クロックとしてサブクロックを選択した場合のIDLE/STOPモード時には、ウォッチドッグ・タイマ2は動作するため、HALT中にオーバーフローが発生しないように注意してください。

第13章 リアルタイム出力機能（RTO）

13.1 機 能

リアルタイム出力バッファ・レジスタ（RTBLn, RTBHn）にあらかじめ設定したデータを，タイマ割り込みの発生と同時にハードウェアでリアルタイム出力ラッチに転送して，外部に出力することをリアルタイム出力機能（RTO）といいます。また，外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより，ジッタのない信号が出力できますので，ステッピング・モータなどの制御に最適です。

V850ES/KJ2では，6ビット・リアルタイム出力ポートを2チャンネル搭載しています。

1ビット単位でポート・モード／リアルタイム出力ポート・モードの指定ができます。

13.2 構 成

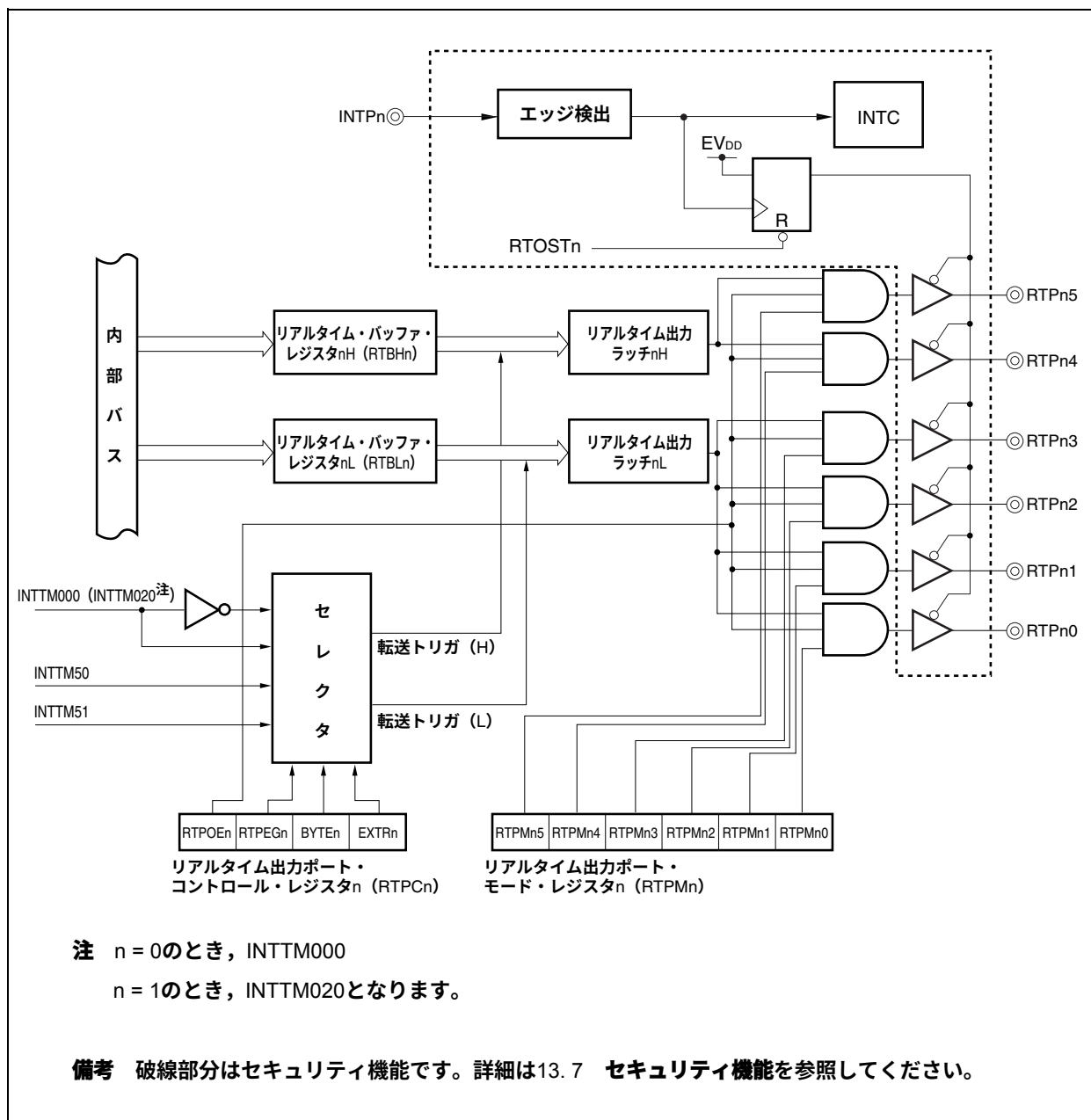
RTOは、次のハードウェアで構成しています。

表13-1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ _n (RTBL _n , RTBH _n)
	リアルタイム出力ラッチ _{nH} , _{nL}
	リアルタイム出力ポート・モード・レジスタ _n (RTPM _n)
	リアルタイム出力ポート・コントロール・レジスタ _n (RTPC _n)

次にRTOのブロック図を示します。

図13-1 RTOのブロック図



(1) リアルタイム出力バッファ・レジスタ_n (RTBL_n, RTBH_n)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL_n, RTBH_nレジスタは、周辺I/Oレジスタ領域内でそれぞれ異なるアドレスにマッピングされています。

1ビット／8ビット命令でリード／ライト可能です。

4ビット×1チャンネル, 2ビット×1チャンネルの動作モードを指定したとき (RTPC_n.BYTE_nビット = 0) は、RTBL_n, RTBH_nレジスタはそれぞれ独立にデータを設定できます。また、RTBL_n, RTBH_nレジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE_nビット = 1) は、RTBL_n, RTBH_nレジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL_n, RTBH_nレジスタそれぞれにデータを設定できます。また、RTBL_n, RTBH_nレジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表13-2にRTBL_n, RTBH_nレジスタに対する操作時の動作を示します。

リセット時：00H R/W アドレス： RTBL0 FFFFF6E0H, RTBL1 FFFFF6F0H RTBH0 FFFFF6E2H, RTBH1 FFFFF6F2H	
	7 6 5 4 3 2 1 0 RTBL_n RTBL_n3 RTBL_n2 RTBL_n1 RTBL_n0 0 0 RTBH_n5 RTBH_n4
注意1. RTBH_nレジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。 2. CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、RTBL_n, RTBH_nレジスタにアクセスすると、ウェイトが発生します。ウェイトが発生した場合、解除する方法はリセットのみです。 詳細は、3. 4. 9 (1) を参照してください。	
備考 n = 0, 1	

表13-2 RTBL_n, RTBH_nレジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 [※]	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	RTBL _n	RTBH _n	RTBL _n	無効	RTBL _n
	RTBH _n	RTBH _n	RTBL _n	RTBH _n	無効
6ビット×1チャンネル	RTBL _n	RTBH _n	RTBL _n	RTBH _n	RTBL _n
	RTBH _n	RTBH _n	RTBL _n	RTBH _n	RTBL _n

注 リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL_n, RTBH_nレジスタに出力データを設定してください。

13.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ_n (RTPM_n)
- ・リアルタイム出力ポート・コントロール・レジスタ_n (RTPC_n)

注意 リアルタイム出力端子 (RTPn0-RTPn5) として使用するには、PMC5, PMC6, PFC5, PFC6レジスタでリアルタイム出力ポートに設定してください。

(1) リアルタイム出力ポート・モード・レジスタ_n (RTPM_n)

リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で許可するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：RTPM0 FFFF6E4H, RTPM1 FFFF6F4H

	7	6	5	4	3	2	1	0
RTPM _n (n = 0, 1)	0	0	RTPM _n 5	RTPM _n 4	RTPM _n 3	RTPM _n 2	RTPM _n 1	RTPM _n 0
RTPM _n m	リアルタイム出力ポートの制御 (m = 0-5)							
0	リアルタイム出力禁止							
1	リアルタイム出力許可							

- 注意1.** リアルタイム出力動作を許可 (RTPC_n.RTPOEnビット = 1) することにより、リアルタイム出力を許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
- 2.** リアルタイム出力動作を禁止 (RTPOEnビット = 0) の場合は、RTPM_nレジスタの設定にかかわらず、リアルタイム出力端子 (RTPn0-RTPn5) は全ビット“0”を出力します。

(2) リアルタイム出力ポート・コントロール・レジスタ_n (RTPC_n)

リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表13-3、表13-4に示すような関係があります。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：RTPC0 FFFFF6E5H, RTPC1 FFFFF6F5H

	⑦	6	5	4	3	2	1	0
RTPC _n (n = 0, 1)	RTPOEn	RTPEGn	BYTEn	EXTRn ^{注1}	0	0	0	0
	RTPOEn	リアルタイム出力の動作制御						
	0	動作禁止 ^{注2}						
	1	動作許可						
	RTPEGn	INTTM000 (n = 0) , INTTM020 (n = 1) 信号の有効エッジ						
	0	立ち下がりエッジ ^{注3}						
	1	立ち上がりエッジ						
	BYTEn	リアルタイム出力のチャネル構成指定						
	0	4ビット×1チャネル, 2ビット×1チャネル						
	1	6ビット×1チャネル						

注1. EXTR_nビットについては、表13-3、表13-4を参照してください。

2. リアルタイム出力動作禁止 (RTPOEnビット = 0) の場合、リアルタイム出力端子 (RTPn0-RTPn5) は全ビット“0”を出力します。

3. INTTM000, INTTM020信号は、それぞれバッファからラッチへの転送が1クロック分遅くなります。

注意 RTPEG_n, BYTE_n, EXTR_nビットの設定は、必ずRTPOEnビット = 0のときに行ってください。

表13-3 リアルタイム出力ポートの動作モードと出力トリガ (n = 0)

BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャネル,	INTTM51	INTTM50
	1	2ビット×1チャネル	INTTM50	INTTM000
1	0	6ビット×1チャネル	INTTM50	
	1		INTTM000	

表13-4 リアルタイム出力ポートの動作モードと出力トリガ (n = 1)

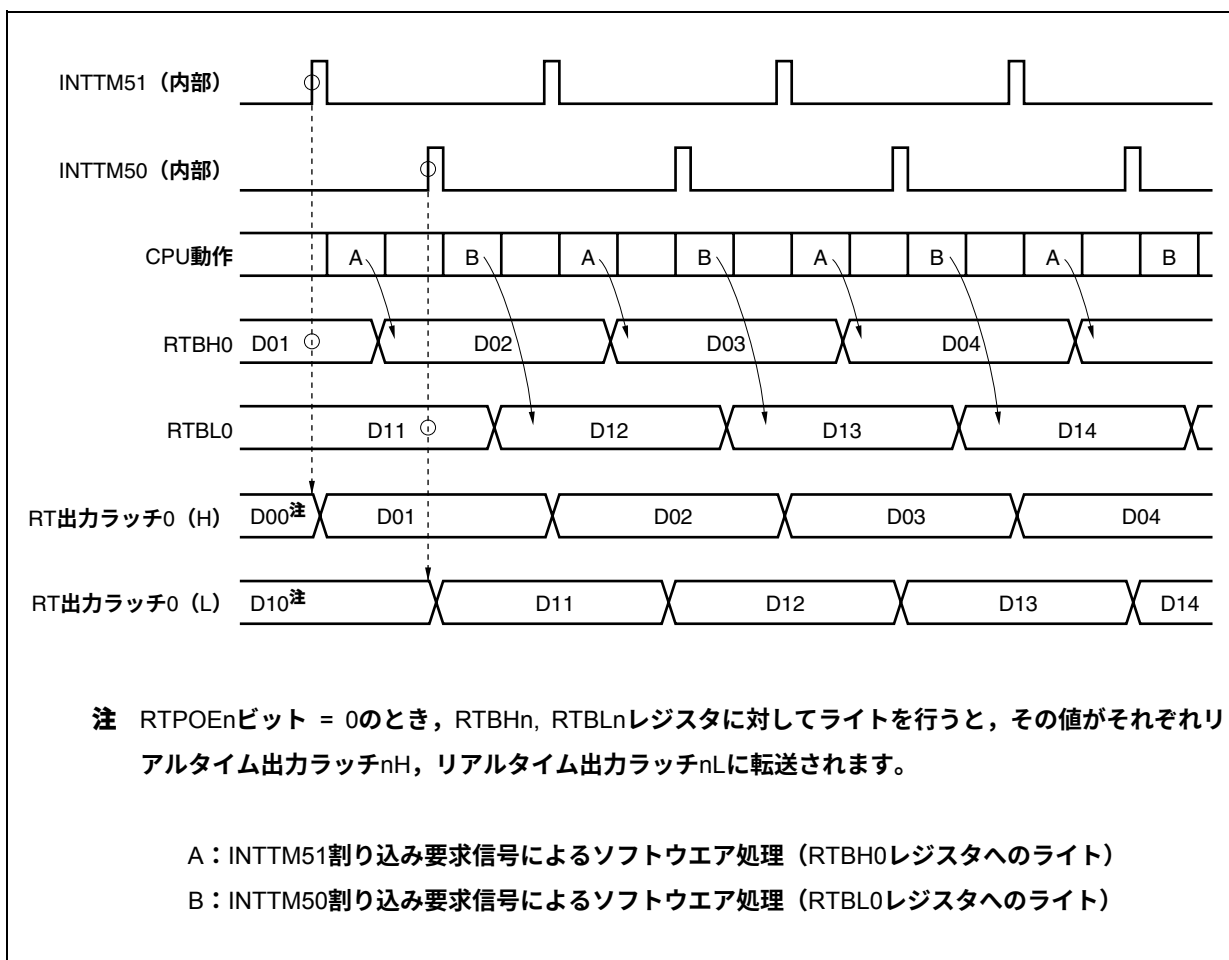
BYTE1	EXTR1	動作モード	RTBH1 (RTP14, RTP15)	RTBL1 (RTP10-RTP13)
0	0	4ビット×1チャネル,	INTTM50	INTTM51
	1	2ビット×1チャネル	INTTM51	INTTM020
1	0	6ビット×1チャネル	INTTM51	
	1		INTTM020	

13.4 動作

RTPCn.RTPOEnビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPCn.EXTRn, BYTEnビットで設定) の発生に同期して、RTBHn, RTBLnレジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPMnレジスタの設定により、リアルタイム出力許可されたビットのデータのみをRTPn0-RTPn5のそれぞれのビットから出力します。RTPMnレジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOEnビット = 0でリアルタイム出力動作を禁止した場合は、RTPMnレジスタの設定に関係なく RTPn0-RTPn5端子は0を出力します。

図13-2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



備考 スタンバイ時の動作については、第23章 スタンバイ機能を参照してください。

13.5 使用方法

- (1) リアルタイム出力動作を禁止する。

RTPCn.RTPOEnビット = 0に設定。

- (2) 初期設定

- ・ポート5, ポート6の兼用機能を設定する。

PFC5.PFC5nビット, PFCE5.PFCE5n, PFC6.PFC6nビットに1を設定後, PMC5.PMC5nビット, PMC6.PMC6nビット = 1を設定する (n = 0-5)。

- ・ビット単位でリアルタイム出力ポート・モード／ポート・モードを指定する。

RTPMnレジスタを設定。

- ・チャンネル構成, トリガおよび有効エッジを選択する。

RTPCn.EXTRn, BYTEn, RTPEGnビットを設定。

- ・初期値をRTBHn, RTBLnレジスタに設定する^{注1}。

- (3) リアルタイム出力動作を許可する。

RTPOEnビットをセット (1)。

- (4) 選択した転送トリガが発生するまでに, 次の出力値をRTBHn, RTBLnレジスタに設定する^{注2}。

- (5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBHn, RTBLnレジスタに設定する。

注1. RTPOEnビット = 0のとき, RTBHn, RTBLnレジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチnH, リアルタイム出力ラッチnLに転送されます。

2. RTPOEnビット = 1のとき, RTBHn, RTBLnレジスタに対してライトを行っても, リアルタイム出力ラッチnH, リアルタイム出力ラッチnLにデータ転送はされません。

注意 リアルタイム出力端子に反映するにはPMC5, PMC6, PFC5, PFC6レジスタでリアルタイム出力ポート (RTPn0-RTPn5) に設定してください。

13.6 注意事項

- (1) 選択されたリアルタイム出力トリガの割り込み処理内でRTBLn, RTBHn, RTPCnレジスタへの書き込みを行うなど、ソフトウェアにより、次の競合を回避してください。

- ・リアルタイム出力動作の禁止／許可の切り替え (RTPOEnビット) と選択したリアルタイム出力トリガとの競合
- ・リアルタイム出力動作許可状態におけるRTBHn, RTBLnレジスタのライトと選択したリアルタイム出力トリガとの競合

- (2) 初期設定は、リアルタイム出力動作を禁止 (RTPOEnビット = 0) にしてから行ってください。
- (3) 一度リアルタイム出力動作を禁止 (RTPOEnビット = 0) した場合は、リアルタイム出力動作を許可 (RTPOEnビット = 0→1) する前に、必ずRTBHn, RTBLnレジスタに初期値を設定してください。

13.7 セキュリティ機能

RTOで制御するステッピング・モータなどが誤動作した場合のセキュリティ機能として、端子出力をハイ・インピーダンスとする回路を内蔵しています。外部割り込みINTP0端子のエッジ検出によりRTP00-RTP05に割り当てられている端子を、INTP1端子のエッジ検出によりRTP10-RTP15に割り当てられている端子を、強制的にリセット状態にしハイ・インピーダンスとします。

INTP0^{注1}, INTP1^{注1}端子によりハイ・インピーダンスとなったあとのポート（P50-55, P60-65端子）は、初期化^{注2}されているので、再設定する必要があります（13.7（1）PLLコントロール・レジスタ（PLLCTL）の注意2を参照してください）。

- 注1. INTPnにより、ポートの設定にかかわらずP50-55, P60-65端子のすべてのポートがハイ・インピーダンスとなります。
2. 初期化されるのは次のレジスタのP50-55, P60-65端子に対応するすべてのビットです。
- P5, P6Lレジスタ
 - PM5, PM6Lレジスタ
 - PMC5, PMC6Lレジスタ
 - PU5, PU6Lレジスタ
 - PFC5レジスタ
 - PF5レジスタ

セキュリティ機能のブロック図については図13-1 RTOのブロック図を参照してください。

この機能はPLLCTL.RTOST1, RTOST0ビットにより設定します。

(1) PLLコントロール・レジスタ (PLLCTL)

PLLCTLレジスタは、RTOのセキュリティ機能、PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF806H

	7	6	5	4	③	②	①	①
PLLCTL	0	0	0	0	RTOST1	RTOST0	SELPLL ^注	PLLON ^注

RTOSTn	RTPn0-RTPn5のセキュリティ機能制御
0	INTPn端子をセキュリティ機能のトリガとして使用しない
1	INTPn端子をセキュリティ機能のトリガとして使用する

注 SELPLL, PLLONビットについては、第6章 クロック発生機能を参照してください。

注意1. リアルタイム出力ポート (RTPn0-RTPn5) に値を出力する前に、INTPn端子の割り込みエッジ検出を選択し、その後にRTOST0, RTOST1ビットをセットしてください。

2. INTPn端子にてハイ・インピーダンスにした後のポート (P50-55, P60-65端子) を、リアルタイム出力ポートとして再設定するには、まずセキュリティ機能の解除を行ってください。

【再設定手順】

① RTOSTnビットをクリア (0) してセキュリティ機能を解除し、ポート設定可能にする。

② RTOSTnビットをセット (1) する (必要な場合のみ)。

③ リアルタイム出力ポートとして再設定する。

3. ビット4-7には必ず0を設定してください。

備考 n = 0, 1

第14章 A/Dコンバータ

14.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、16チャンネル（ANI0-ANI15）の構成になっています。

A/Dコンバータには次のような特徴があります。

- 動作電圧（ AV_{REF0} ）：2.7～5.5 V
- 逐次比較方式10ビットA/Dコンバータ
- アナログ入力端子：16本
- トリガ・モード：
 - ・ソフトウェア・トリガ・モード
 - ・タイマ・トリガ・モード（INTTM010）
 - ・外部トリガ・モード（ADTRG端子）
- 動作モード
 - ・セレクト・モード
 - ・スキャン・モード
- A/D変換速度：
 - ・通常モード：
 - $14 \sim 100 \mu s @ 4.0 V \leq AV_{REF0} \leq 5.5 V$
 - $17 \sim 100 \mu s @ 2.7 V \leq AV_{REF0} < 4.0 V$
 - ・高速モード：
 - $3 \sim 100 \mu s @ 4.5 V \leq AV_{REF0} \leq 5.5 V$
 - $4.8 \sim 100 \mu s @ 4.0 V \leq AV_{REF0} < 4.5 V$
 - $6 \sim 100 \mu s @ 2.85 V \leq AV_{REF0} < 4.0 V$
 - $14 \sim 100 \mu s @ 2.7 V \leq AV_{REF0} < 2.85 V$
- パワー・フェイル検出機能

注意 A/Dコンバータ使用時は、 AV_{REF0} は V_{DD} 、 EV_{DD} と同電位で動作させてください。

14.2 機 能

(1) 10ビット分解能A/D変換

ANI0-ANI15端子から選択した1チャンネルのアナログ入力に対して、10ビット分解能のA/D変換動作を繰り返します。A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

(2) パワー・フェイル検出

A/D変換結果（ADCRHレジスタ値）とPFTレジスタの値との大小比較を行い、PFMレジスタで設定した比較条件に合致した場合のみINTAD信号を発生します。バッテリー電圧低下を検出するための機能です。

14.3 構 成

A/Dコンバータは、次のハードウェアで構成しています。

図14-1 A/Dコンバータのブロック図

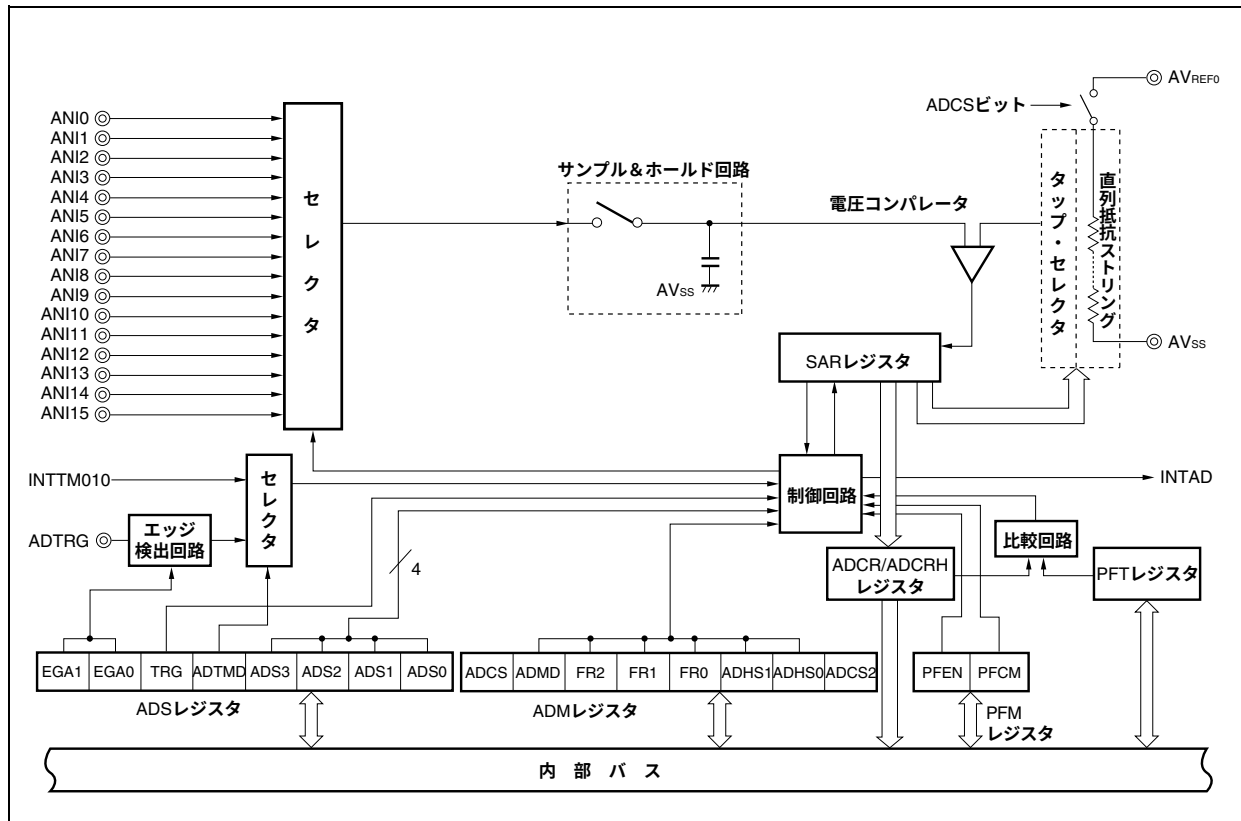


表14-1 ソフトウェア上で使用するA/Dコンバータのレジスタ

項 目	構 成
レジスタ	A/D変換結果レジスタ（ADCR） A/D変換結果レジスタH（ADCRH）：上位8ビットだけ読み出し可能 パワー・フェイル比較しきい値レジスタ（PFT） A/Dコンバータ・モード・レジスタ（ADM） アナログ入力チャネル指定レジスタ（ADS） パワー・フェイル比較モード・レジスタ（PFM）

(1) ANI0-ANI15端子

A/Dコンバータへの16チャンネルのアナログ入力端子です。A/D変換したいアナログ信号を入力します。ADSレジスタでアナログ入力として選択した端子以外は、入力ポートとして使用できます。

(2) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(3) 直列抵抗ストリング

直列抵抗ストリングは AV_{REF0} - AV_{SS} 間に接続されており、サンプリングされ保持された値と比較する電圧を発生します。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された値と直列抵抗ストリングの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

サンプリングされたアナログ電圧値と直列抵抗ストリングからの電圧値を比較し、その結果を最上位ビット (MSB) から1ビットずつ逐次変換するレジスタです。

最下位ビット (LSB) までデジタル値に変換すると (A/D変換終了) , SARレジスタの内容はADCRレジスタに転送されます。

SARレジスタは、直接リード／ライトできません。

(6) 10ビットA/D変換結果レジスタ (ADCR)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果を上位10ビットに保持します (下位6ビットは0に固定)。

(7) 8ビットA/D変換結果レジスタ (ADCRH)

A/D変換が終了するたびに、逐次変換レジスタから変換結果がロードされ、A/D変換結果の上位8ビットを格納します。

(8) 制御回路

A/D変換が終了するか、パワーフェイル検出機能使用時、A/D変換結果 (ADCRHレジスタ値) とPFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

(9) AV_{REF0} 端子

A/Dコンバータのアナログ電源端子／基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常に V_{DD} 端子と同電位で使用してください。

AV_{REF0} 、 AV_{SS} 間にかかる電圧に基づいて、ANI0-ANI15端子に入力される信号をデジタル信号に変換します。

(10) AV_{SS} 端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常に V_{SS} 端子と同電位で使用してください。

(11) A/Dコンバータ・モード・レジスタ (ADM)

アナログ入力をA/D変換する変換時間、変換動作の開始／停止を設定するレジスタです。

(12) アナログ入力チャネル指定レジスタ (ADS)

A/D変換したいアナログ電圧の入力（端子）を指定するレジスタです。

(13) パワー・フェイル比較モード・レジスタ (PFM)

パワー・フェイル検出動作を制御するレジスタです。

(14) パワー・フェイル比較しきい値レジスタ (PFT)

ADCRレジスタと大小比較する場合のしきい値を設定するレジスタです。

14.4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- ・A/Dコンバータ・モード・レジスタ (ADM)
- ・アナログ入力チャネル指定レジスタ (ADS)
- ・パワー・フェイル比較モードレジスタ (PFM)
- ・パワー・フェイルしきい値レジスタ (PFT)
- ・A/D変換結果レジスタ, A/D変換結果レジスタH (ADCR, ADCRH)

(1) A/Dコンバータ・モード・レジスタ (ADM)

A/D変換したいアナログ信号の変換時間、変換動作の開始／停止を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF200H

	⑦	6	5	4	3	2	1	⑩
ADM	ADCS	ADMD	FR2 ^{注1}	FR1 ^{注1}	FR0 ^{注1}	ADHS1 ^{注1}	ADHS0 ^{注1}	ADCS2

ADCS	A/D変換動作の制御
0	変換動作停止
1	変換動作許可

ADMD	動作モードの制御
0	セレクト・モード
1	スキャン・モード

ADHS1	5 V系A/D変換速度モードの選択 ($AV_{REF0} \geq 4.5 \text{ V}$)
0	通常モード
1	高速モード ($AV_{REF0} \geq 4.5 \text{ V}$ 時のみ有効)

ADHS0	3 V系A/D変換速度モードの選択 ($AV_{REF0} \geq 2.7 \text{ V}$ または 2.85 V)
0	通常モード
1	高速モード ($AV_{REF0} \geq 2.7 \text{ V}$ または 2.85 V 時のみ有効)

ADCS2	昇圧基準電圧生成回路の動作制御 ^{注2}
0	基準電圧生成回路の動作停止
1	基準電圧生成回路の動作許可

注1. FR2-FR0ビットおよびA/D変換に関する詳細は表14-2 A/D変換時間を参照してください。

- 昇圧用基準電圧生成回路はADCS2ビットで動作制御され、動作開始から安定するまで $1 \mu\text{s}$ （高速モード）または $14 \mu\text{s}$ （通常モード）かかります。このためADCS2ビット = 1（昇圧用基準電圧生成回路オン）としてから $1 \mu\text{s}$ （高速モード）または $14 \mu\text{s}$ （通常モード）以上経過したあと、ADCSビット = 1（A/D変換動作を開始）とした場合は、最初の変換結果より有効となります。ただし、1回目のA/D変換は規格を満たさない可能性があるため、使用禁止です。

注意1. 通常モード（ADHS1, ADHS0ビット = 00）でA/D変換動作中（ADCSビット = 1）の場合、A/D変換停止を除く、ADMレジスタの書き込みは禁止です。

高速モード（ADHS1, ADHS0ビット = 10または01）でA/D変換動作中に同値書き込みをした場合、変換は中断され、再度最初から変換動作を開始します。またA/D変換動作中にFR2-FR0, ADHS1, ADHS0ビットの変更は禁止です。

- ADHS1, ADHS0ビット = 11の設定は禁止です。
- メイン・クロック停止、サブクロック動作時に、ADMレジスタにアクセスしないでください。詳細は3.4.9（1）特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

次に各クロックにおける変換時間の例を示します。

表14-2 A/D変換時間の選択

ADHS1	ADHS0	FR2	FR1	FR0	A/D変換時間 [μ s]				変換速度 モード
					20 MHz@ AVREF0 $\geq$ 4.5 V	16 MHz@ AVREF0 $\geq$ 4.0 V	8 MHz@ AVREF0 $\geq$ 2.85 V	8 MHz@ AVREF0 $\geq$ 2.7 V	
0	0	0	0	0	288/fxx	14.4	18.0	36.0	通常モード
0	0	0	0	1	240/fxx	設定禁止	15.0	30.0	AVREF0 $\geq$ 2.7 V
0	0	0	1	0	192/fxx	設定禁止	設定禁止	24.0	
0	0	0	1	1	設定禁止				
0	0	1	0	0	144/fxx	設定禁止	設定禁止	18.0	通常モード
0	0	1	0	1	120/fxx	設定禁止	設定禁止	設定禁止	AVREF0 $\geq$ 2.7 V
0	0	1	1	0	96/fxx	設定禁止	設定禁止	設定禁止	
0	0	1	1	1	設定禁止				
0	1	0	0	0	96/fxx	4.8	6.0	12.0	高速モード
0	1	0	0	1	72/fxx	設定禁止	設定禁止	9.0	AVREF0 $\geq$ 2.85 V
0	1	0	1	0	48/fxx	設定禁止	設定禁止	6.0	
0	1	0	1	1	24/fxx	設定禁止	設定禁止	設定禁止	
0	1	1	0	0	224/fxx	11.2	14.0	28.0	高速モード
0	1	1	0	1	168/fxx	設定禁止	10.5	21.0	AVREF0 $\geq$ 2.7 V
0	1	1	1	0	112/fxx	設定禁止	設定禁止	設定禁止	
0	1	1	1	1	56/fxx	設定禁止	設定禁止	設定禁止	
1	0	0	0	0	72/fxx	3.6	設定禁止	設定禁止	高速モード
1	0	0	0	1	54/fxx	設定禁止	設定禁止	設定禁止	AVREF0 $\geq$ 4.5 V
1	0	0	1	0	36/fxx	設定禁止	設定禁止	設定禁止	
1	0	0	1	1	18/fxx	設定禁止	設定禁止	設定禁止	
1	0	1	×	×	設定禁止				
1	1	×	×	×	設定禁止				

備考1. fxx：メイン・クロック周波数

2. 変換時間は次の規格範囲内で設定してください。

条 件		MIN.	TYP.	MAX.	単 位
4.5 $\leq$ AVREF0 $\leq$ 5.5 V	高速モード	3.0		100	μ s
	通常モード	14.0		100	μ s
4.0 $\leq$ AVREF0 $\leq$ 4.5 V	高速モード	4.8		100	μ s
	通常モード	14.0		100	μ s
2.85 $\leq$ AVREF0 $\leq$ 4.0 V	高速モード	6.0		100	μ s
	通常モード	17.0		100	μ s
2.7 $\leq$ AVREF0 $\leq$ 2.85 V	高速モード	14.0		100	μ s
	通常モード	17.0		100	μ s

(a) 昇圧基準電圧生成回路の制御

ADCS2ビットをセット (1) しないで、ADCSビットをセット (1) すると、1回目のA/D変換が期待どおりの値を示さない場合があります。これは、A/Dコンバータ内の電圧が規格の電圧まで達していないときに、A/D変換が始まってしまう場合に起こります (図14-2参照)。このような場合、1回目のA/D変換値は使用禁止です。

図14-2 ADCS2ビット=0の場合の動作シーケンス

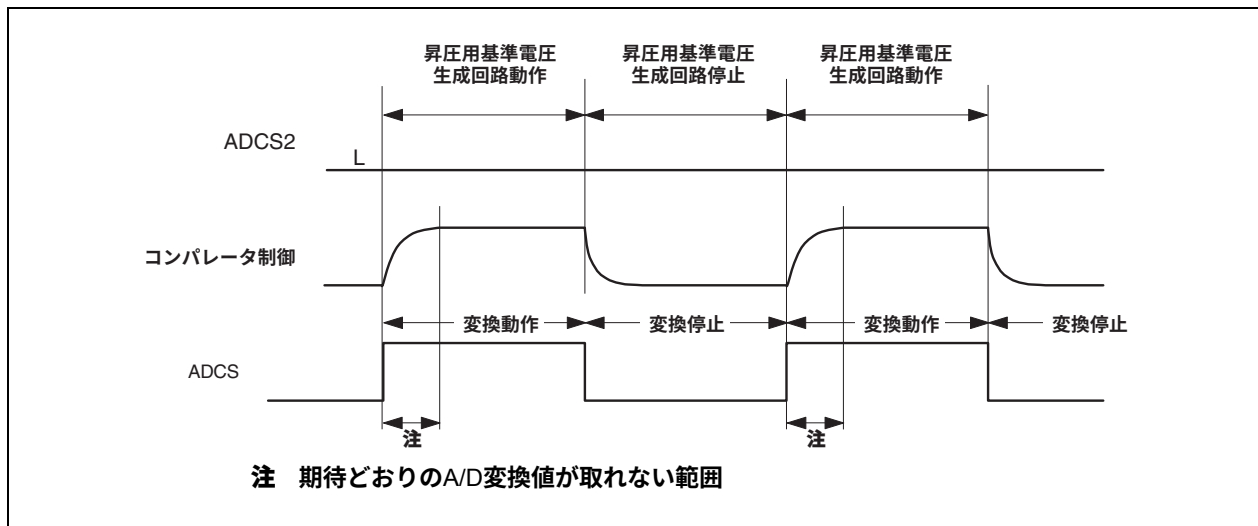


図14-2のような現象を回避し、1回目のA/D変換値から有効にするために、ADCS2ビットを使用します。ADCS2ビットはA/D変換動作を停止した状態でA/Dコンバータ内電圧を規格電圧まで昇圧させることができます。

ADCS2ビットをセット (1) し、A/D変換を開始する前に、A/Dコンバータ内の電圧を規格電圧値まで昇圧させたあとに、ADCSビット = 0→1にすることで、最初のA/D変換結果から有効となります (図14-3参照)。

ただし、ADCS2ビット= 0→1設定後、 $1\mu\text{s}$ (高速モード) , または $14\mu\text{s}$ (通常モード) 以上のセットアップ時間が必要です。

図14-3 ADCS2ビット = 1の場合の動作シーケンス

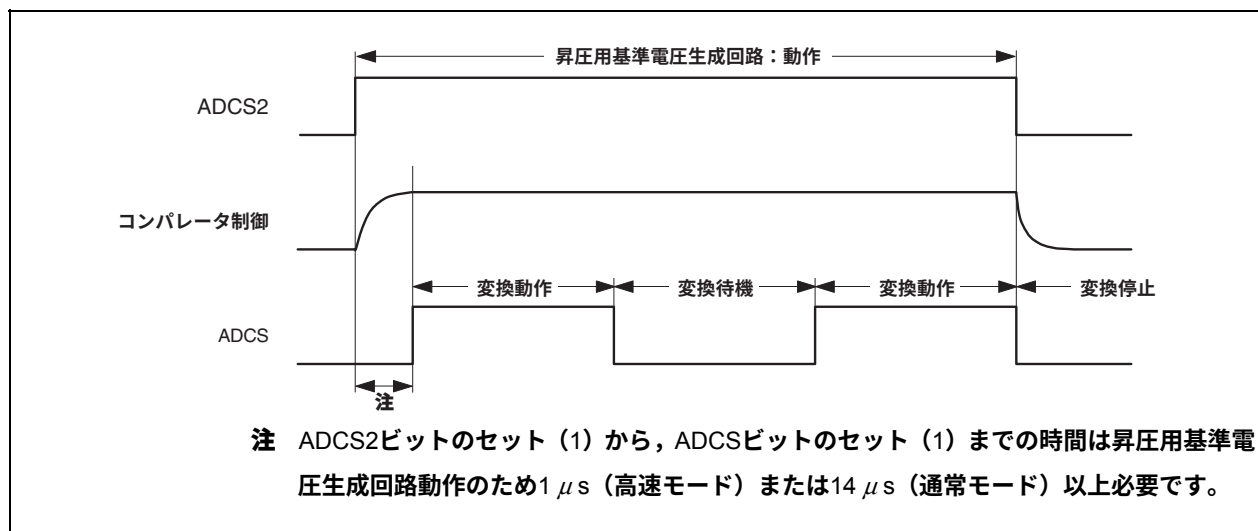


表14-3にADCSビットとADCS2ビットの設定の組み合わせによるA/Dコンバータの変換動作について示します。

表14-3 ADCSビットとADCS2ビットの設定

ADCS	ADCS2	A/D変換動作
0	0	停止状態（DC電力消費パスは存在しません）
0	1	変換待機モード（昇圧用基準電圧生成回路のみ電力を消費）
1	0	変換モード（基準電圧生成回路動作停止 ^{注1, 3)}
1	1	変換モード（基準電圧生成回路動作 ^{注2, 3)}

- 注1. ADCS, ADCS2ビット = 00B→10Bに設定した場合、昇圧用基準電圧生成回路は自動的にオンになります。また、ADCS2ビット = 0のまま、ADCSビット = 1→0に設定した場合、昇圧用基準電圧生成回路は自動的にオフになります。
2. ADCS, ADCS2ビット = 00B→11Bに設定した場合、昇圧用基準電圧生成回路は自動的にオンになります。また、ADCS2ビット = 1のまま、ADCSビット = 1→0に設定した場合、昇圧用基準電圧生成回路はオンのままとなります。
3. ソフトウェア・トリガ・モード（ADS.TRGビット = 0）の場合、1回目のA/D変換結果は規格を充たさない可能性があるため使用禁止です。
- ハードウェア・トリガ・モード（TRGビット = 1）の場合、昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。

(2) アナログ入力チャネル指定レジスタ (ADS)

A/D変換するトリガの指定とアナログ入力チャネルの指定をするレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFFF201H

	7	6	5	4	3	2	1	0
ADS	EGA1 ^{注1}	EGA0 ^{注1}	TRG	ADTMD ^{注2}	ADS3	ADS2	ADS1	ADS0

EGA1 ^{注1}	EGA0 ^{注1}	外部トリガ信号 (ADTRG) エッジ指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ
1	0	立ち上がりエッジ
1	1	両エッジ

TRG	トリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	ハードウェア・トリガ・モード

ADTMD ^{注2}	ハードウェア・トリガ・モードの指定
0	外部トリガ (ADTRG端子入力)
1	タイマ・トリガ (INTTM010信号発生)

- 注1.** EGA1, EGA0ビットはハードウェア・トリガ・モード (TRGビット = 1) , かつ外部トリガ・モード (ADTRG端子入力: ADTMDビット = 1) を選択した場合のみ有効です。
- 2.** ADTMDビットはハードウェア・トリガ・モード (TRGビット = 1) を選択した場合のみ有効です。

- 注意1.** 通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合, ADSレジスタの書き込みは禁止です (高速モードでは可能)。
- 2.** 通常モード (ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADCSビット = 1) に, 再度ソフトウェア／ハードウェア・トリガを入れることは禁止です (高速モードでは可能)。
- 3.** メイン・クロック停止, サブクロック動作時に, ADSレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

ADS3	ADS2	ADS1	ADS0	アナログ入力チャネルの指定	
				セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5	ANI0-ANI5
0	1	1	0	ANI6	ANI0-ANI6
0	1	1	1	ANI7	ANI0-ANI7
1	0	0	0	ANI8	ANI0-ANI8
1	0	0	1	ANI9	ANI0-ANI9
1	0	1	0	ANI10	ANI0-ANI10
1	0	1	1	ANI11	ANI0-ANI11
1	1	0	0	ANI12	ANI0-ANI12
1	1	0	1	ANI13	ANI0-ANI13
1	1	1	0	ANI14	ANI0-ANI14
1	1	1	1	ANI15	ANI0-ANI15

(3) A/D変換結果レジスタ, A/D変換結果レジスタH (ADCR, ADCRH)

ADCR, ADCRHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADCRレジスタを指定、8ビット・アクセス時はADCRHレジスタを指定します。ADCRレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットは0が読み出されます。ADCRHレジスタには変換結果の上位8ビットが読み出されます。

リセットにより不定になります。

リセット時：不定 R アドレス：FFFFFF204H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADCR	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：FFFFFF205H

	7	6	5	4	3	2	1	0
ADCRH	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 メイン・クロック停止、サブクロック動作時に、ADCR, ADCRHレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

アナログ入力端子（ANI0-ANI15）に入力されたアナログ入力電圧とA/D変換結果（ADCRレジスタ）には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADCR^{\text{注}} = SAR \times 64$$

または、

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} \leq V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

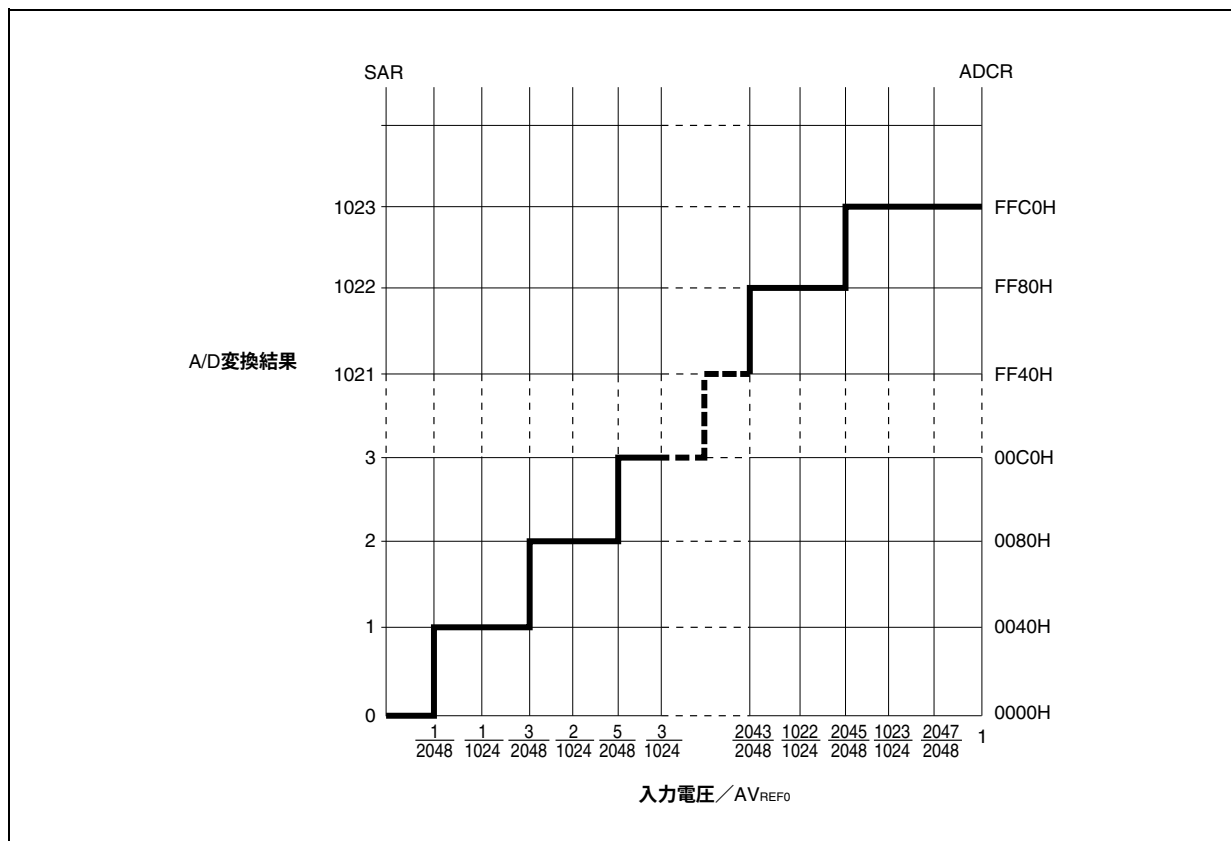
AV_{REF0} : AV_{REF0} 端子電圧

ADCR : ADCRレジスタの値

注 ADCRレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図14-4 アナログ入力電圧とA/D変換結果の関係



(4) パワー・フェイル比較モード・レジスタ (PFM)

PFMレジスタは、パワー・フェイル検出動作を制御するレジスタです。

PFTレジスタの値とADCRHレジスタの値の比較を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF202H

	⑦	⑥	5	4	3	2	1	0
PFM	PFEN	PFCM	0	0	0	0	0	0

PFEN	パワー・フェイル比較許可／禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

PFCM	パワー・フェイル比較モードの選択
0	ADCR $\geq$ PFTで割り込み要求信号 (INTAD) を発生
1	ADCR<PFTで割り込み要求信号 (INTAD) を発生

注意1. 通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合、PFMレジスタの書き込みは禁止です。

2. メイン・クロック停止、サブクロック動作時に、PFMレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

(5) パワー・フェイル比較しきい値レジスタ (PFT)

PFTレジスタは、パワー・フェイル検出モード時の比較値を設定するレジスタです。

PFTレジスタに設定した8ビット・データとADCRHレジスタの値が比較されます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF203H

	7	6	5	4	3	2	1	0
PFT								

注意1. 通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合、PFTレジスタの書き込みは禁止です。

2. メイン・クロック停止、サブクロック動作時に、PFTレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

14.5 動作

14.5.1 基本動作

- <1> A/D変換したいチャンネルをADSレジスタで1チャンネル選択してください。
ADM.ADHS1ビットまたはADHS0ビットを設定してください。
- <2> ADM.ADCS2ビットをセット（1）し、 $1\mu\text{s}$ （高速モード）または $14\mu\text{s}$ （通常モード）以上ウエイトしてください。
- <3> ADM.ADCSビットをセット（1）してください。A/D変換を開始します。
（<4>～<10>までハードウェアでの動作）
- <4> 選択されたアナログ入力チャンネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。
- <5> 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- <6> 逐次変換レジスタ（SAR）のビット9をセット（1）し、タップ・セレクトは直列抵抗ストリングの電圧タップを $(1/2) \times AV_{REF0}$ にします。
- <7> 直列抵抗ストリングの電圧タップとアナログ入力との電圧差を、電圧コンパレータで比較します。もし、アナログ入力が $(1/2) \times AV_{REF0}$ よりも大きければ、SARレジスタのMSBをセット（1）したままです。また、 $(1/2) \times AV_{REF0}$ よりも小さければMSBをクリア（0）します。
- <8> 次にSARレジスタのビット8が自動的にセット（1）され、次の比較に移ります。ここではすでに決定しているビット9の値によって、次に示すように直列抵抗ストリングの電圧タップが選択されます。
 - ・ビット9 = 1： $(3/4) \times AV_{REF0}$
 - ・ビット9 = 0： $(1/4) \times AV_{REF0}$
 この電圧タップとアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 - アナログ入力電圧 $\geq$ 電圧タップ：ビット8 = 1
 - アナログ入力電圧 $\leq$ 電圧タップ：ビット8 = 0
- <9> このような比較をSARレジスタのビット0まで続けます。
- <10> 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADCRレジスタに転送され、ラッチされます。
同時に、A/D変換終了割り込み要求信号（INTAD）を発生します。
- <11> 以降<4>～<10>の動作を、ADCSビットをクリア（0）するまで繰り返します。
再度A/D変換するときは<3>から開始してください。ただし、ADCS2ビット = 0の状態から再度A/Dコンバータを動作させる場合は<2>から開始してください。

14.5.2 トリガ・モード

A/D変換の開始タイミングを設定するトリガ・モードには、次の3つのモードがあります。これらのトリガ・モードは、ADSレジスタで設定します。

- ・ソフトウェア・トリガ・モード
- ・外部トリガ・モード（ハードウェア・トリガ・モード）
- ・タイマ・トリガ・モード（ハードウェア・トリガ・モード）

(1) ソフトウェア・トリガ・モード

ADS.TRGビット = 0に設定した状態で、ADM.ADCSビットをセット（1）することによりA/D変換を開始するモードです。

A/D変換終了後は、ADCSビットをクリア（0）しないかぎり、次のA/D変換を繰り返し行います。

高速モード（ADM.ADHS1, ADHS0ビット = 01または10）で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、再度最初からA/D変換を行います。通常モード（ADHS1, ADHS0ビット = 00）で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です（A/D変換動作停止を除く）。

(2) 外部トリガ・モード（ハードウェア・トリガ・モード）

高速モード（ADHS1, ADHS0ビット = 10または01）に設定して使用してください。通常モード（ADHS1, ADHS0ビット = 00）では使用できません。

TRGビット = 1, ADS.ADTMDビット = 0に設定した状態で、ADCSビットをセット（1）したあと、外部トリガ（ADTRG）検出によりA/D変換を開始するモードです。

ADCSビットをセット（1）したあと、外部トリガ（ADTRG）待機状態になります。

ADTRG端子入力の有効エッジは、ADS.EGA1, EGA0ビットにより設定します。有効エッジを検出すると、A/D変換を開始します。

A/D変換終了後は、再び外部トリガ（ADTRG）待機状態になります。

なお、A/D変換中にADTRG端子に有効エッジが入力された場合、A/D変換は中断され、再度最初からA/D変換を行います。

また、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、外部トリガ（ADTRG）待機状態になります。

(3) タイマ・トリガ・モード（ハードウェア・トリガ・モード）

高速モード（ADHS1, ADHS0ビット = 10または01）に設定して使用してください。通常モード（ADHS1, ADHS0ビット = 00）では使用できません。

TRGビット = 1, ADTMDビット = 1に設定した状態で、ADCSビットをセット（1）したあと、タイマ・トリガ（INTTM010）検出によりA/D変換を開始するモードです。

ADCSビットをセット（1）したあと、タイマ・トリガ（INTTM010）待機状態になります。

INTTM010信号が発生すると、A/D変換を開始します。

A/D変換終了後は、再びタイマ・トリガ（INTTM010）待機状態になります。

なお、A/D変換中にINTTM010信号が発生した場合、A/D変換は中断され、再度最初からA/D変換を行います。

また、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、タイマ・トリガ（INTTM010）待機状態になります。

14.5.3 動作モード

動作モードには、次の2つのモードがあります。これらの動作モードは、ADMレジスタで設定します。

- ・セレクト・モード
- ・スキャン・モード

(1) セレクト・モード

ADM.ADMDBIT = 0の状態では、ADSレジスタで指定された1つのアナログ入力のA/D変換を行います。

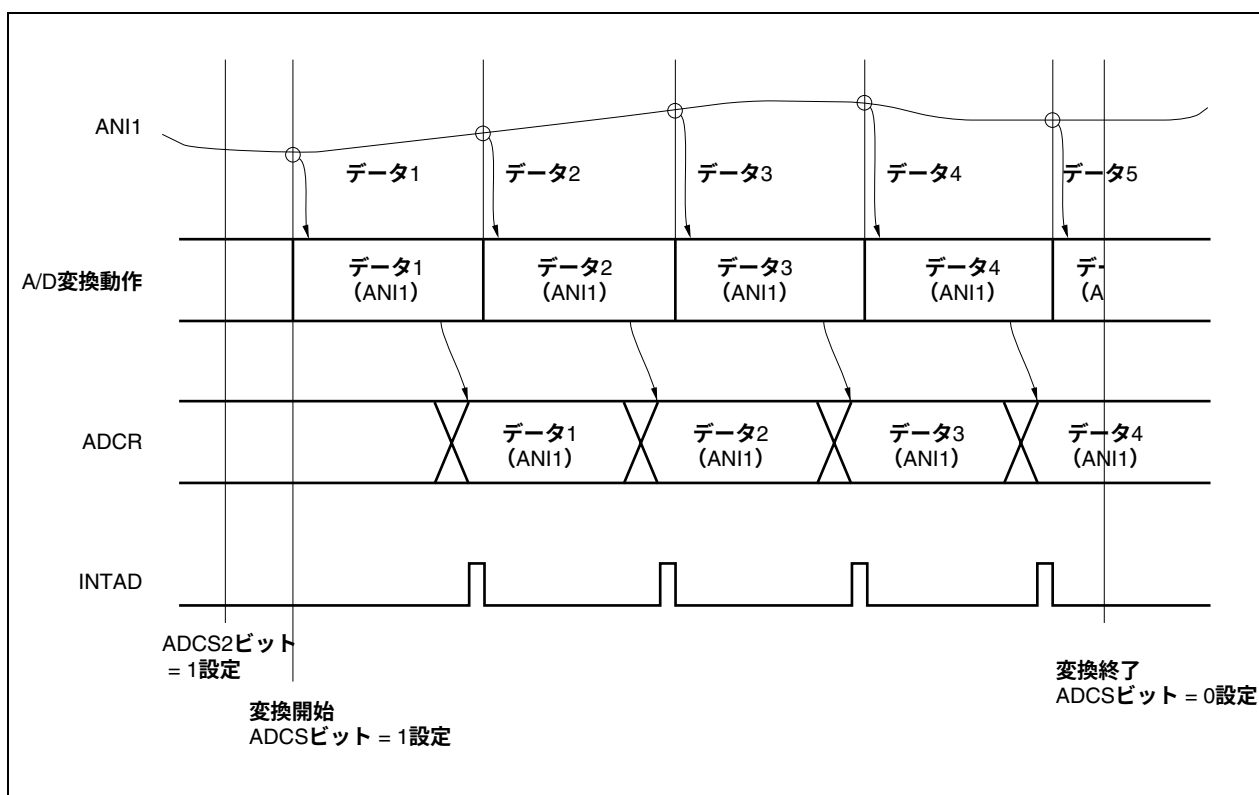
A/D変換が終了すると、変換結果をADCRレジスタに格納します。

また、同時にA/D変換終了割り込み要求信号 (INTAD) を発生します。ただし、INTAD信号の発生は、PFM, PFTレジスタの設定に依存します。詳細は、14.5.4 パワー・フェイル検出機能を参照してください。

高速モード (ADM.ADHS1, ADHS0ビット = 01または10) で変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、ソフトウェア・トリガ・モードのときは再度最初からA/D変換を行い、ハードウェア・トリガ・モードのときはトリガ待機状態になります。通常モード (ADHS1, ADHS0ビット = 00) で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

また、高速モード (ADHS1, ADHS0ビット = 01または10) で、ハードウェア・トリガ・モード時の変換動作中にトリガを検出した場合、A/D変換は中断され、再度最初からA/D変換を行います。通常モード (ADHS1, ADHS0ビット = 00) で、A/D変換中に再度トリガを入力することは禁止です。

図14-5 セレクト・モード動作タイミング例 (ADS.ADS3-ADS0ビット = 0001B)



(2) スキャン・モード

ADM.ADMDビット = 1の状態では、ANI0端子からADSレジスタで指定されたアナログ入力を順に選択し、A/D変換を行います。

1つのアナログ入力のA/D変換が終了すると、変換結果をADCRレジスタに格納します。

また、同時にA/D変換終了割り込み要求信号（INTAD）を発生します。

なお、すべてのアナログ入力のA/D変換結果は、ADCRレジスタに格納されるので、1つのアナログ入力のA/D変換が終了したら、ADCRレジスタの内容をRAMなどに転送することで退避することを推奨します。

ハードウェア・トリガ・モード（ADS.TRGビット = 1）の場合、ANI0端子からADSレジスタで指定されたアナログ入力までのA/D変換が終了すると、トリガ待機状態になります。

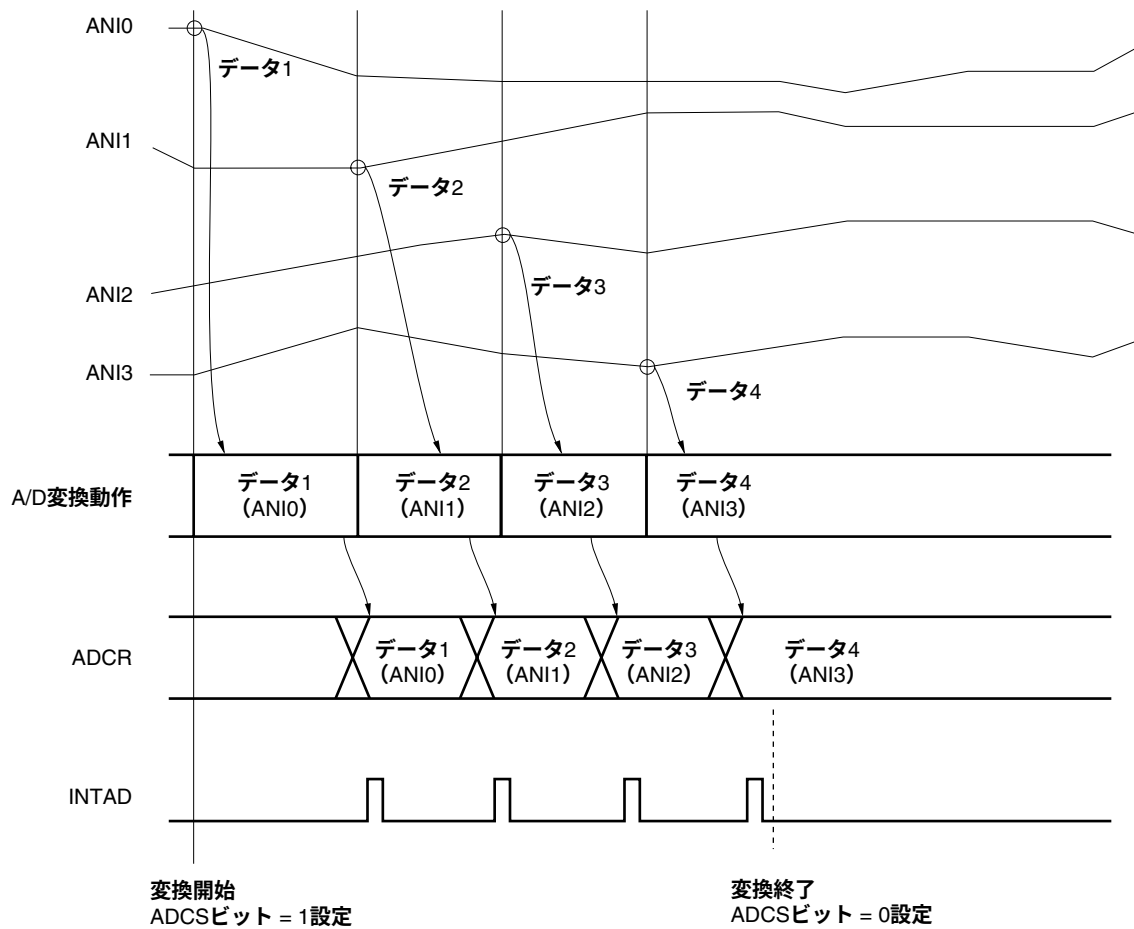
高速モード（ADM.ADHS1, ADHS0ビット = 01または10）で、変換動作中にADM, ADS, PFM, PFTレジスタに書き込みを行った場合、A/D変換は中断され、ソフトウェア・トリガ・モードのときは再度最初からA/D変換を行い、ハードウェア・トリガ・モードのときはトリガ待機状態になります。なお、再変換する場合は、ANI0端子からになります。通常モード（ADHS1, ADHS0ビット = 00）で、A/D変換中にADTRG端子に有効エッジを入力することは禁止です。

また、高速モード（ADHS1, ADHS0ビット = 01または10）でハードウェア・トリガ・モード時の変換動作中にトリガを検出した場合、A/D変換は中断され、再度最初（ANI0端子）からA/D変換を行います。通常モード（ADHS1, ADHS0ビット = 00）で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

スキャン・モードの動作例を図14-6に示します。

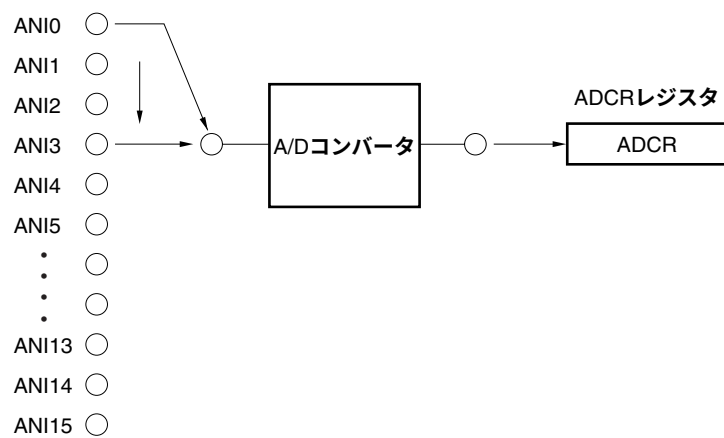
図14-6 スキャン・モード動作のタイミング例 (ADS.ADS3-ADS0ビット = 0011B)

(a) タイミング例



(b) ブロック図

アナログ入力端子

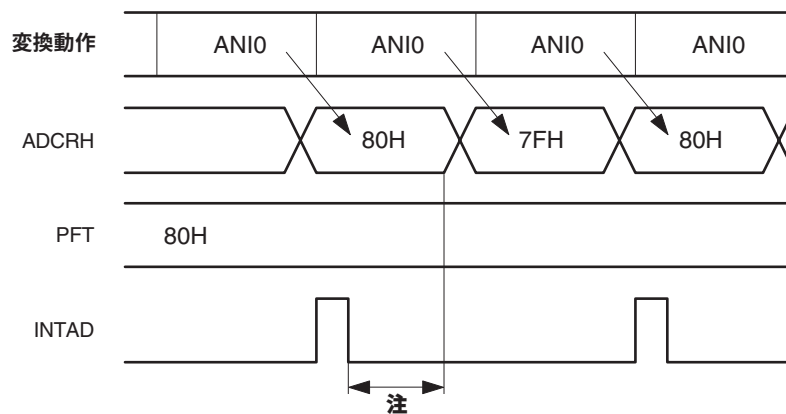


14.5.4 パワー・フェイル検出機能

PFM, PFTレジスタにより変換終了割り込み要求信号（INTAD）を次のように制御可能です。

- PFM.PFENビット = 0の場合、変換終了ごとにINTAD信号が発生します。
- PFENビット = 1かつPFM.PFCMビット = 0の場合、変換終了タイミングで変換結果（ADCRHレジスタ）とPFTレジスタの値を比較し、 $ADCRH \geq PFT$ の場合のみ、INTAD信号が発生します。
- PFENビット = 1かつPFCMビット = 1の場合、変換終了タイミングで変換結果とPFTレジスタの値を比較し、 $ADCRH < PFT$ の場合のみINTAD信号が発生します。
- PFENビット = 1の状態では、INTAD信号が発生した後、次の変換終了までの間に変換結果を読み出さないと変換結果が書き換わるため、見かけ上、上記の動作記述と矛盾する場合があります（図14-7参照）。

図14-7 パワー・フェイル検出機能（PFCMビット = 0）



注 この期間内に読み出さないと次の変換結果が変わってしまいます。

14. 5. 5 設定方法

次に設定方法を説明します。

(1) A/D変換動作として使用する場合

<1> ADM.ADCS2ビットをセット (1)

<2> ADS.ADS3-ADS0ビットとADM.ADHS1, ADHS0, FR2-FR0ビットで、チャンネルと変換時間を選択

<3> ADM.ADCSビットをセット (1)

<4> A/D変換データをADCRレジスタに転送

<5> 割り込み要求信号 (INTAD) 発生

<チャンネルを変更する：高速モードのみ>

<6> ADS3-ADS0ビットで、チャンネルを変更

<7> A/D変換データをADCRレジスタに転送

<8> INTAD信号発生

<A/D変換を終了する>

<9> ADCSビットをクリア (0)

<10> ADCS2ビットをクリア (0)

注意1. <1>から<3>までの間は、 $1\ \mu\text{s}$ (高速モード) または $14\ \mu\text{s}$ (通常モード) 以上空けてください。

2. <1>と<2>の順番が逆でも問題ありません。

3. <1>は省略可能です。ただし、この場合には<3>のあとの1回目のA/D変換結果は使用しないでください。

(2) パワー・フェイル検出機能として使用する場合

- <1> PFM.PFENビットをセット (1)
- <2> PFM.PFCMビットでパワー・フェイル比較条件を設定
- <3> ADM.ADCS2ビットをセット (1)
- <4> ADS.ADS3-ADS0ビットとADM.ADHS1, ADHS0, FR2-FR0ビットで、チャンネルと変換時間を選択
- <5> PFTレジスタにしきい値を設定
- <6> ADM.ADCSビットをセット (1)
- <7> A/D変換データをADCRレジスタに転送
- <8> ADCRHレジスタとPFTレジスタとの大小比較を行い、条件が一致した場合に割り込み要求信号 (INTAD) 発生

<チャンネルを変更する：高速モードのみ>

- <9> ADS3-ADS0ビットで、チャンネルを変更
- <10> A/D変換データをADCRレジスタに転送
- <11> ADCRHレジスタとPFTレジスタとの大小比較を行い、条件が一致した場合にINTAD信号発生

<A/D変換を終了する>

- <12> ADCSビットをクリア (0)
- <13> ADCS2ビットをクリア (0)

備考 セレクト・モード、スキャン・モードにかかわらず、パワー・フェイル検出機能の動作を許可していれば、すべてのA/D変換結果に対して比較動作を行います。

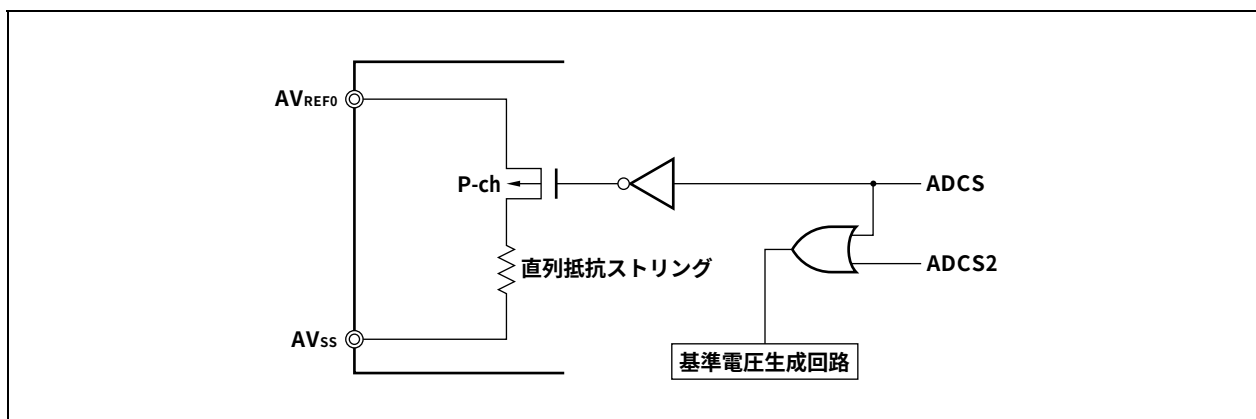
14.6 注意事項

(1) スタンバイ・モード時の消費電力について

A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止（ADM.ADCSビット = 0），および基準電圧生成回路を停止（ADM.ADCS2ビット = 0）することにより，消費電力を低減させることができます。

スタンバイ・モード時の消費電力を低減させる仕組みを図14-8に示します。

図14-8 スタンバイ・モード時の消費電力を低減させる仕組み



(2) ANI0-ANI15端子入力範囲について

ANI0-ANI15端子入力電圧は規格の範囲内でご使用ください。特にAVREF0以上，AVSS以下（絶対最大定格の範囲内でも）の電圧が入力されると，そのチャンネルの変換値が不定となります。また，ほかのチャンネルの変換値にも影響を与えることがあります。

(3) 競合動作について

(a) 変換終了時のADCRレジスタ・ライトと命令によるADCRレジスタ・リードとの競合

ADCRレジスタのリードが優先されます。リードしたあと，新しい変換結果がADCRレジスタにライトされます。

(b) 変換終了時のADCRレジスタ・ライトとADMレジスタ・ライト，またはADSレジスタ・ライトの競合

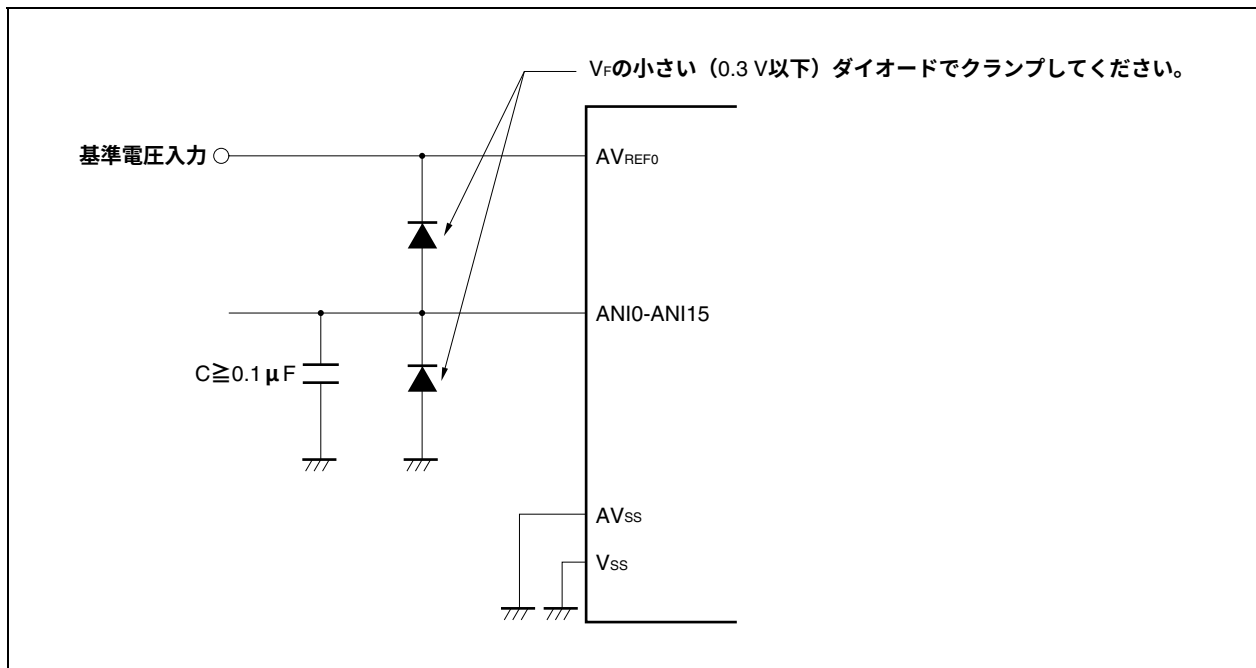
ADMレジスタまたはADSレジスタへのライトが優先されます。ADCRレジスタへのライトはされません。また，変換終了割り込み要求信号（INTAD）も発生しません。

(4) ノイズ対策について

10ビット分解能を保つためには、 AV_{REF0} 、 $ANI0$ - $ANI15$ 端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-9のようにコンデンサを外付けすることを推奨します。

コンデンサの容量は入力信号の変化速度に応じた容量にしてください。

図14-9 アナログ入力端子の処理

(5) $ANI0/P70$ - $ANI15/P715$ 端子

アナログ入力（ $ANI0$ - $ANI15$ ）端子は入力ポート（ $P70$ - $P715$ ）端子と兼用になっています。

$ANI0$ - $ANI15$ 端子のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。

また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。

(6) AV_{REF0} 端子の入力インピーダンスについて

AV_{REF0} 端子と AV_{SS} 端子の間には数十 $k\Omega$ の直列抵抗ストリングが接続されています。

したがって、基準電圧源の出力インピーダンスが高い場合、 AV_{REF0} 端子と AV_{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。

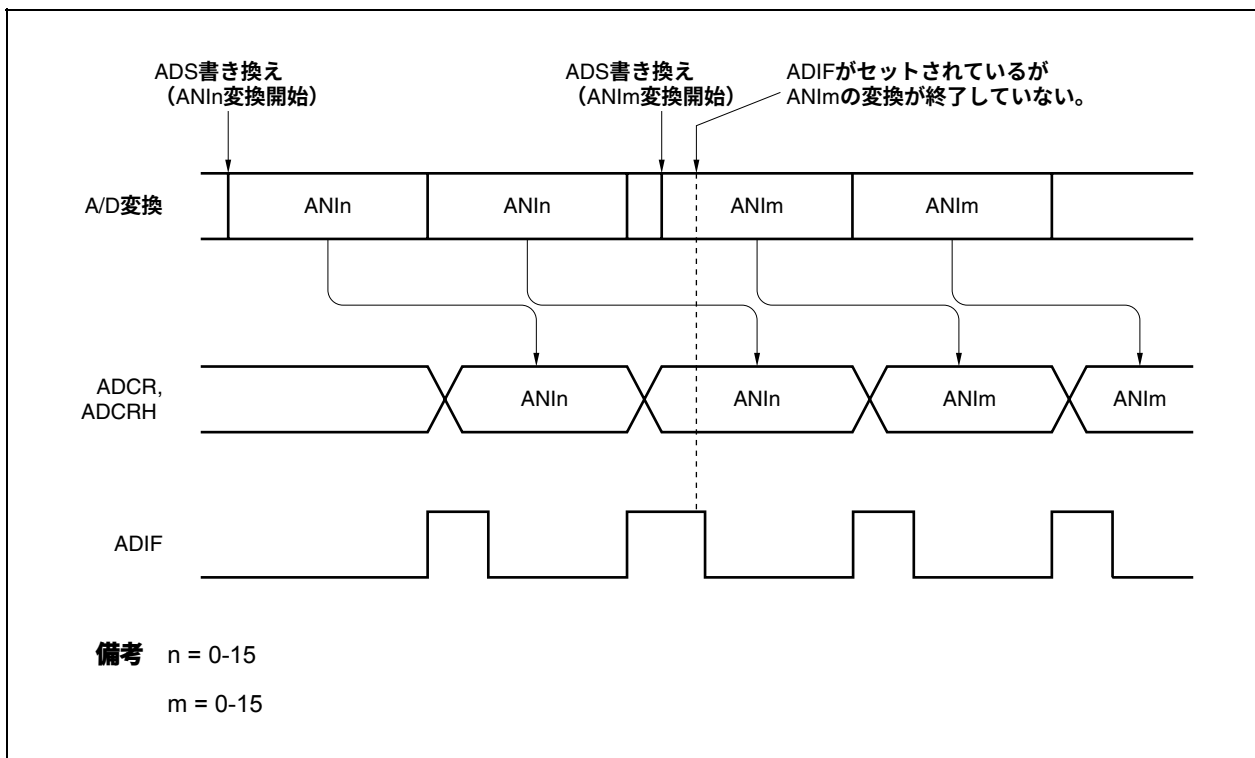
(7) 割り込み要求フラグ (ADIF.ADIFビット) について (高速モードの場合)

ADSレジスタを変更してもADIFビットはクリア (0) されません。

したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力端子に対するA/D変換が終了しADIFビットがセット (1) されている場合があります。ADSレジスタ書き換え直後にADIFビットを読み出すと、変更後のアナログ入力端子に対するA/D変換が終了していないにもかかわらず、ADIFビットがセット (1) されていることになりますので注意してください。

また、A/D変換を一度停止させて再開する場合は、再開する前にADIFビットをクリア (0) してください。

図14-10 A/D変換終了割り込み要求発生タイミング



(8) A/D変換スタート直後の変換結果について

ADM.ADCS2ビットをセット (1) してから、 $1 \mu\text{s}$ (高速モード) または $14 \mu\text{s}$ (通常モード) 以内に ADM.ADCSビットをセット (1) した場合、または ADCS2ビット = 0の状態 で、ADCSビットをセット (1) した場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。

(9) A/D変換結果レジスタ (ADCR) の読み出しについて

ADM, ADSレジスタに対して書き込み動作を行ったとき, ADCRレジスタの内容は不定となることがあります。変換結果は, 変換動作終了後, ADM, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されることがあります。

また, CPUがサブクロックで動作し, かつメイン・クロック発振 (fx) を停止しているときに, ADCR, ADCRHレジスタへのアクセスは禁止です。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

(10) A/Dコンバータのサンプリング時間とA/D変換開始遅延時間について

A/Dコンバータのサンプリング時間は, ADMレジスタの設定値によって異なります。また, A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。

A/D変換時間を厳密に必要なセットの場合, 図14-11と表14-4に示す内容に注意してください。

図14-11 A/DコンバータのサンプリングとA/D変換開始遅延のタイミング

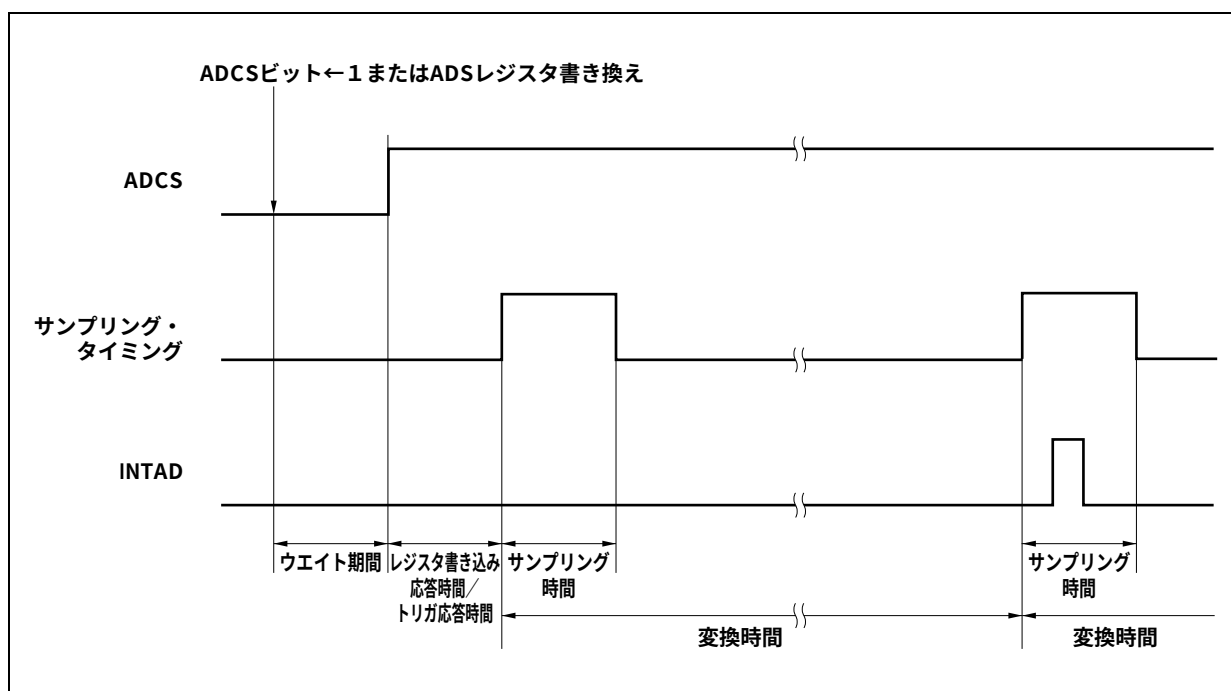


表14-4 A/Dコンバータの変換時間

ADHS1	ADHS0	FR2	FR1	FR0	変換時間	サンプリング 時間	レジスタ書き込み 応答時間 ^注		トリガ応答時間 ^注	
							MIN.	MAX.	MIN.	MAX.
0	0	0	0	0	288/f _{xx}	176/f _{xx}	11/f _{xx}	12/f _{xx}	7/f _{xx}	8/f _{xx}
0	0	0	0	1	240/f _{xx}	176/f _{xx}	11/f _{xx}	12/f _{xx}	7/f _{xx}	8/f _{xx}
0	0	0	1	0	192/f _{xx}	132/f _{xx}	10/f _{xx}	11/f _{xx}	6/f _{xx}	7/f _{xx}
0	0	1	0	0	144/f _{xx}	88/f _{xx}	9/f _{xx}	10/f _{xx}	5/f _{xx}	6/f _{xx}
0	0	1	0	1	120/f _{xx}	88/f _{xx}	9/f _{xx}	10/f _{xx}	5/f _{xx}	6/f _{xx}
0	0	1	1	0	96/f _{xx}	48/f _{xx}	11/f _{xx}	12/f _{xx}	7/f _{xx}	8/f _{xx}
0	1	0	0	0	96/f _{xx}	48/f _{xx}	11/f _{xx}	12/f _{xx}	7/f _{xx}	8/f _{xx}
0	1	0	0	1	72/f _{xx}	36/f _{xx}	10/f _{xx}	11/f _{xx}	6/f _{xx}	7/f _{xx}
0	1	0	1	0	48/f _{xx}	24/f _{xx}	9/f _{xx}	10/f _{xx}	5/f _{xx}	6/f _{xx}
0	1	0	1	1	24/f _{xx}	12/f _{xx}	8/f _{xx}	9/f _{xx}	4/f _{xx}	5/f _{xx}
0	1	1	0	0	224/f _{xx}	176/f _{xx}	11/f _{xx}	12/f _{xx}	7/f _{xx}	8/f _{xx}
0	1	1	0	1	168/f _{xx}	132/f _{xx}	10/f _{xx}	11/f _{xx}	6/f _{xx}	7/f _{xx}
0	1	1	1	0	112/f _{xx}	88/f _{xx}	9/f _{xx}	10/f _{xx}	5/f _{xx}	6/f _{xx}
0	1	1	1	1	56/f _{xx}	44/f _{xx}	8/f _{xx}	9/f _{xx}	4/f _{xx}	5/f _{xx}
1	0	0	0	0	72/f _{xx}	24/f _{xx}	11/f _{xx}	12/f _{xx}	7/f _{xx}	8/f _{xx}
1	0	0	0	1	54/f _{xx}	18/f _{xx}	10/f _{xx}	11/f _{xx}	6/f _{xx}	7/f _{xx}
1	0	0	1	0	36/f _{xx}	12/f _{xx}	9/f _{xx}	10/f _{xx}	5/f _{xx}	6/f _{xx}
1	0	0	1	1	18/f _{xx}	6/f _{xx}	8/f _{xx}	9/f _{xx}	4/f _{xx}	5/f _{xx}
上記以外					設定禁止	—	—	—	—	—

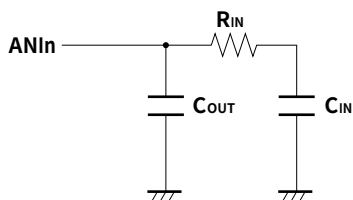
注 各応答時間はウェイト期間後の時間になります。ウェイトについては3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

備考 f_{xx} : メイン・クロック周波数

(11) 内部等価回路について

アナログ入力部の等価回路を次に示します。

図14-12 ANIn端子内部等価回路



AV _{REF0}	R _{IN}	C _{OUT}	C _{IN}
4.5 V	3 kΩ	8 pF	15 pF
2.7 V	60 kΩ	8 pF	15 pF

備考1. 値は参考値です。

2. n = 0-15

(12) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。

(13) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・ 同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・ アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

(14) 通常モード時のA/D変換動作について

- ・ ソフトウェア・トリガ・モード時：

通常モード（ADM.ADHS1, ADHS0ビット = 00）で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。

- ・ ハードウェア・トリガ（外部トリガ／タイマ・トリガ）・モード時：

通常モード（ADHS1, ADHS0ビット = 00）では、使用できません。高速モード（ADHS1, ADHS0ビット = 10または01）を使用してください。

14.7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧、つまり、デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次の式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

1 LSBは分解能10ビットのとき、次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく、総合誤差によって決まります。

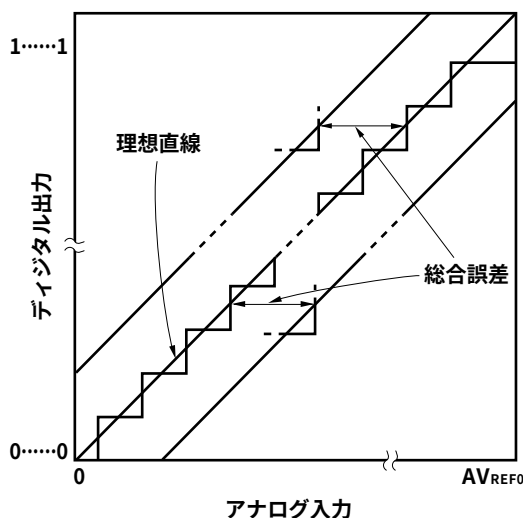
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差、フルスケール誤差、直線性誤差、およびそれらの組み合わせから生じる誤差を総合したものです。

なお、特性表の総合誤差には量子化誤差は含まれていません。

図14-13 総合誤差

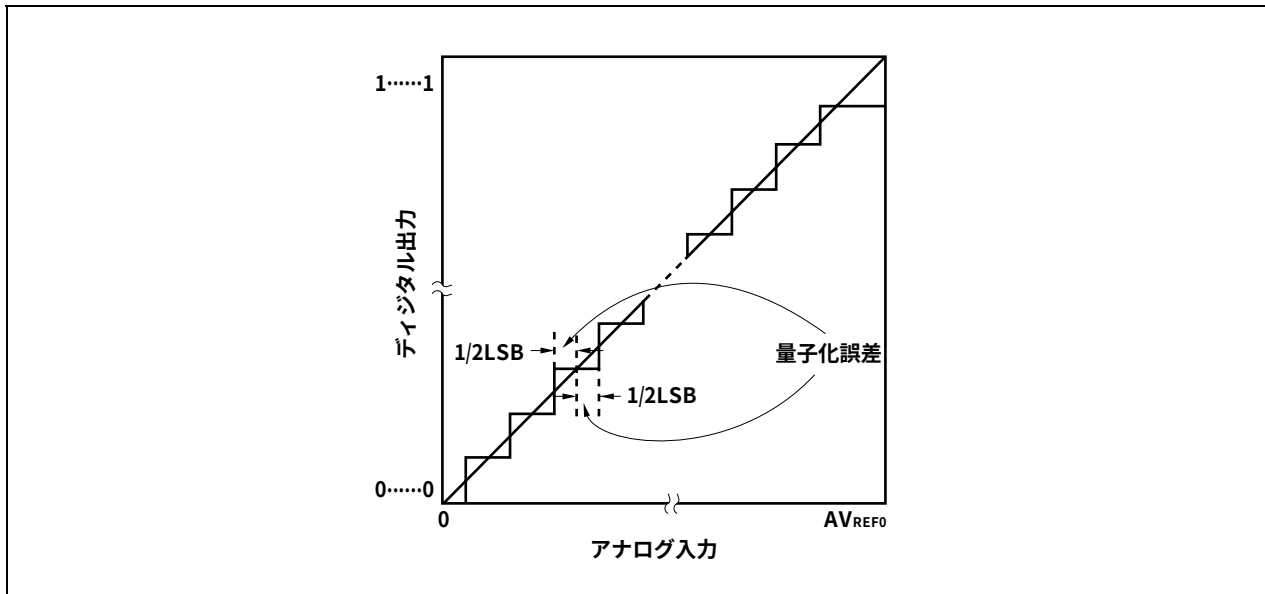


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

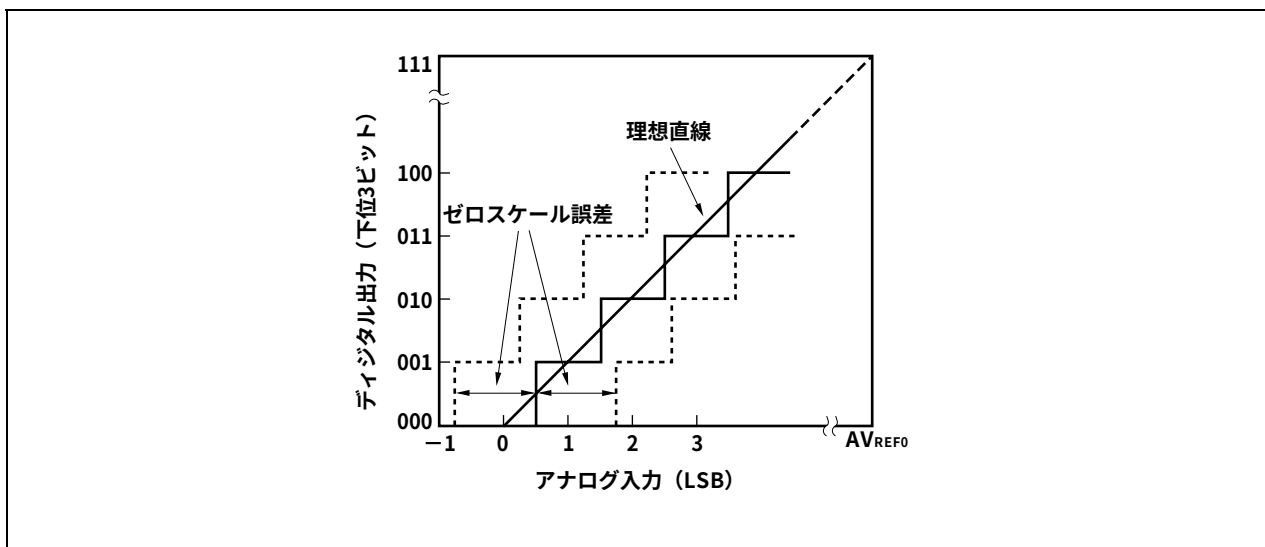
図14-14 量子化誤差



(4) ゼロスケール誤差

デジタル出力が000000から000001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

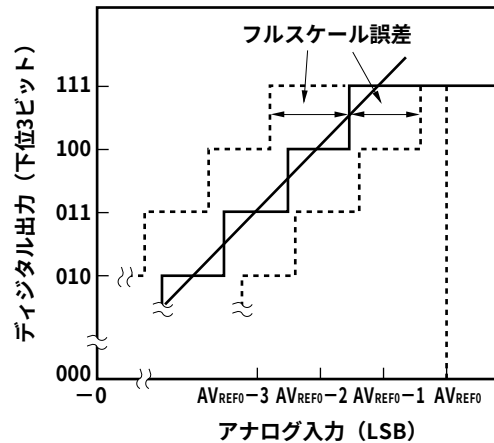
図14-15 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール $-3/2$ LSB）との差を表します。

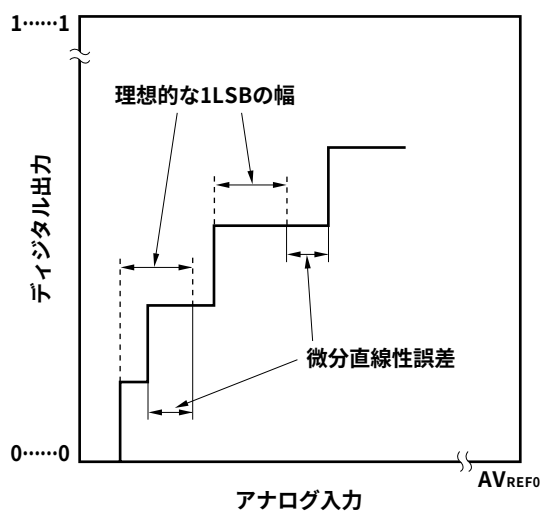
図14-16 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧を AV_{SS} から AV_{REF0} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、14.7 (2) 総合誤差を参照してください。

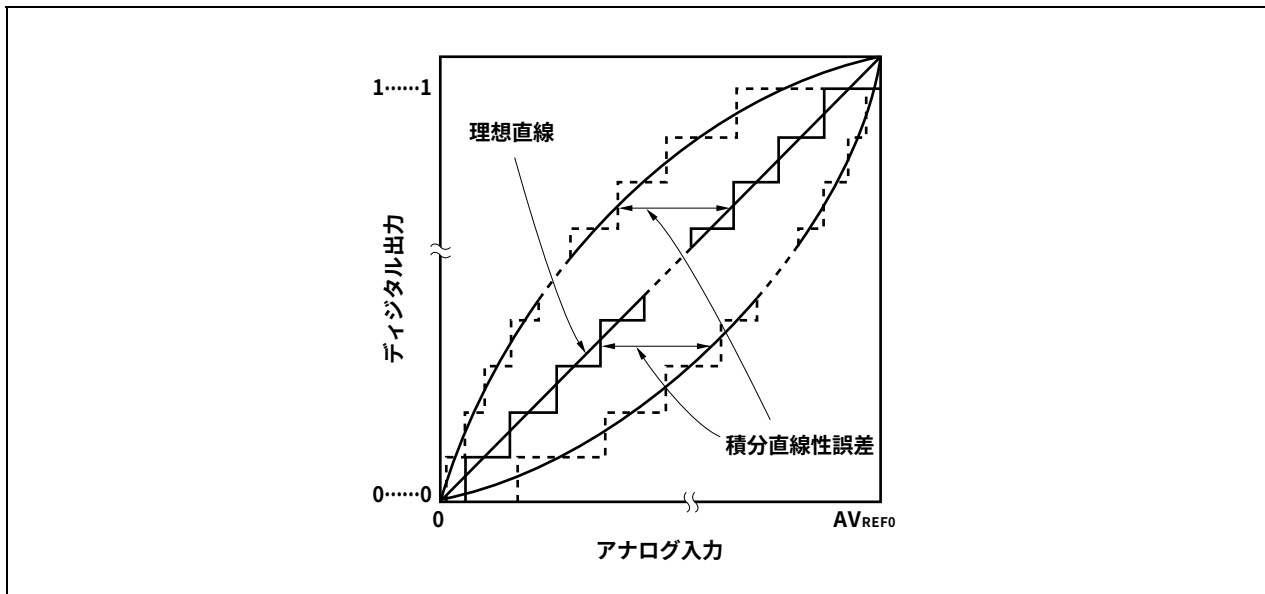
図14-17 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係から外れている程度を指します。ゼロスケール誤差，フルスケール誤差を0としたときの，実測値と理想直線との差の最大値を表します。

図14-18 積分直線性誤差



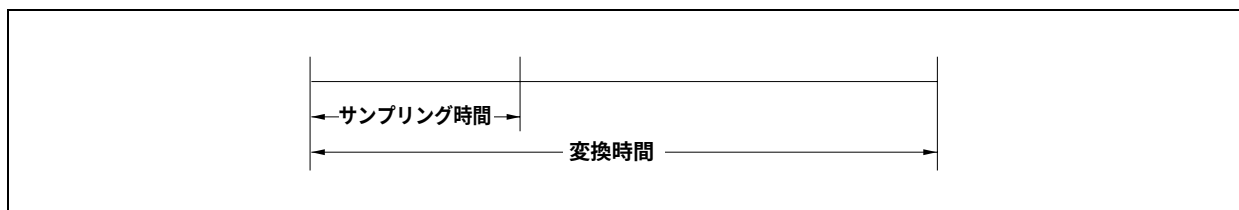
(8) 変換時間

アナログ入力電圧が与えられてから，デジタル出力が得られるまでの時間を表します。
特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため，アナログ・スイッチがオンしている時間です。

図14-19 変換時間とサンプリング時間の関係



第15章 D/Aコンバータ

15.1 機能

V850ES/KJ2は、R-2Rラダー方式によるD/Aコンバータを2チャンネル搭載しています（DAC0, DAC1）。
D/Aコンバータには、次のような機能があります。

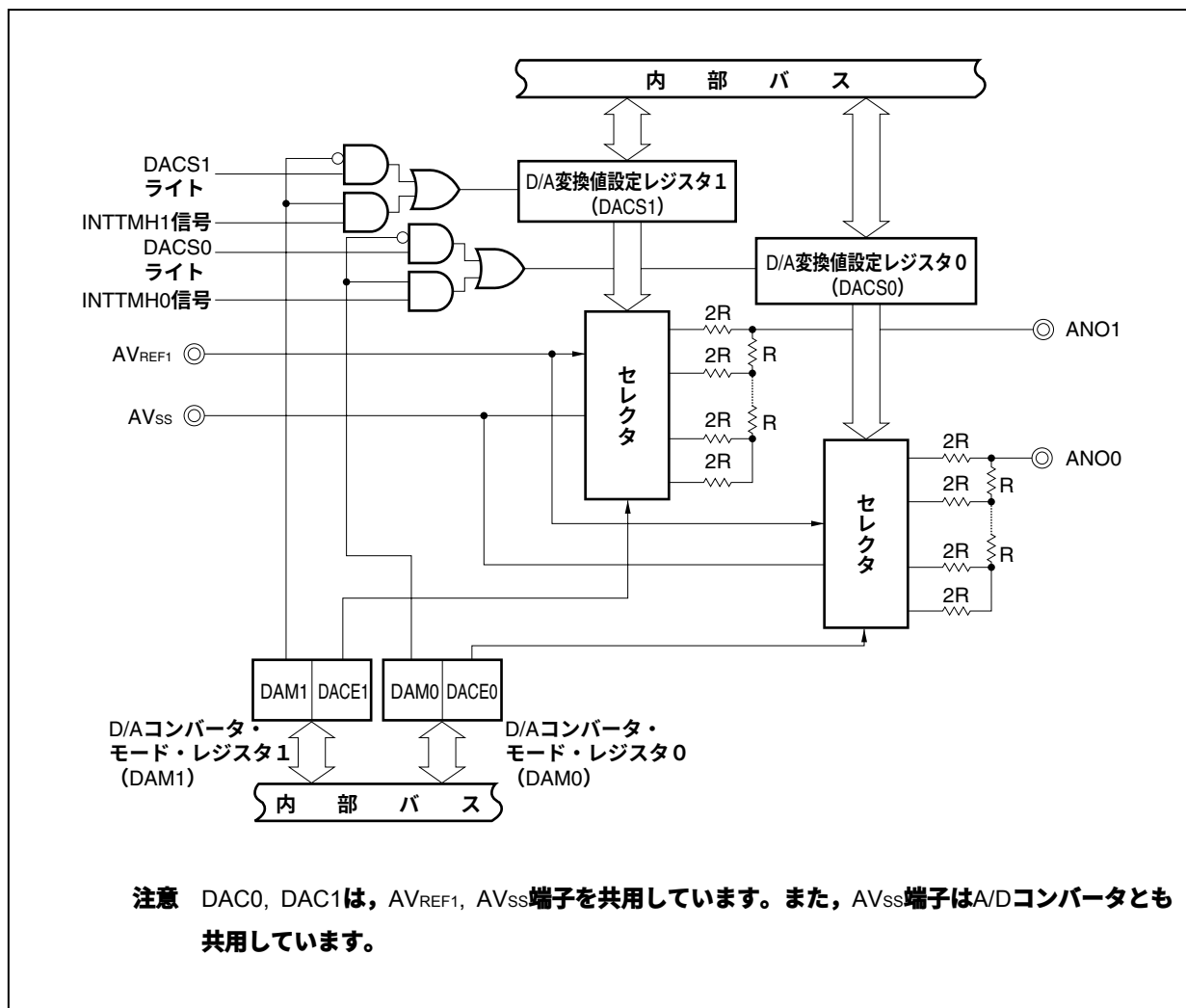
- 8ビット分解能×2ch
- R-2Rラダー方式
- 変換時間：20 μ s（MAX.）（ $AV_{REF1} = 2.7 \sim 5.5$ V）
- アナログ出力電圧： $AV_{REF1} \times m/256$ （ $m = 0-255$ ；DACSnレジスタに設定した値）
- 動作モード：通常モード／リアルタイム出力モード

備考 $n = 0, 1$

15.2 構 成

次にD/Aコンバータの構成について示します。

図15-1 D/Aコンバータのブロック図



D/Aコンバータは、次のハードウェアで構成されています。

表15-1 ソフトウェアで使用するD/Aコンバータのレジスタ

項 目	構 成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DAM) D/A変換値設定レジスタ0, 1 (DACS0, DACS1)

15.3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- D/Aコンバータ・モード・レジスタ (DAM)
- D/A変換値設定レジスタ0, 1 (DACS0, DACS1)

(1) D/Aコンバータ・モード・レジスタ (DAM)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF284H

	7	6	5	4	3	②	1	①
DAM	0	0	0	0	DAMD1	DACE1	DAMD0	DACE0

DAMDn	D/Aコンバータの動作モードの選択 (n = 0, 1)
0	通常モード
1	リアルタイム出力モード ^注

DACEn	D/Aコンバータの動作許可／禁止制御 (n = 0, 1)
0	動作禁止
1	動作許可

注 リアルタイム出力モード (DAMDnビット = 1) 時の出力トリガは、次のとおりです。

- n = 0のとき：INTTMH0信号 (第10章 8ビット・タイマH参照)
- n = 1のとき：INTTMH1信号 (第10章 8ビット・タイマH参照)

(2) D/A変換値設定レジスタ0, 1 (DACS0, DACS1)

ANO0, ANO1端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DACS0 FFFFFFF280H, DACS1 FFFFFFF282H

	7	6	5	4	3	2	1	0
DACS _n	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0
(n = 0, 1)								

注意 リアルタイム出力モード (DAM.DAMDnビット = 1) のとき、INTTMH0, INTTMH1信号が発生する前に、DACS0, DACS1レジスタを設定してください。INTTMH0, INTTMH1信号発生でD/A変換を開始します。

15.4 使用方法

15.4.1 通常モード時の使用方法

DACSnレジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

- ① PM1レジスタをFFHに設定してください。
- ② DAM.DAMDnビット = 0（通常モード）に設定してください。
- ③ DACSnレジスタに、ANOn端子に出力するアナログ電圧値を設定してください。
以上②、③を初期設定として行います。
- ④ DAM.DACEnビットをセット（1）（D/A変換動作許可）してください。
これによりD/A変換したアナログ電圧値をANOn端子から出力します。
- ⑤ 以降、アナログ電圧値を変更する場合は、DACSnレジスタへのライト動作を行ってください。
なお、次のライト動作を行うまでは、直前に設定したアナログ電圧値を保持します。

備考1. 兼用端子の設定は表4-19 端子を兼用機能として使用する場合を参照してください。

2. $n = 0, 1$

15.4.2 リアルタイム出力モード時の使用方法

8ビット・タイマH0, H1の割り込み要求信号（INTTMH0, INTTMH1）を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

- ① PM1レジスタをFFHに設定してください。
- ② DAM.DAMDnビット = 1（リアルタイム出力モード）に設定してください。
- ③ DACSnレジスタに、ANOn端子に出力するアナログ電圧値を設定してください。
- ④ DAM.DACEnビットをセット（1）（D/A変換動作許可）してください。
以上②～④を初期設定として行います。
- ⑤ 8ビット・タイマH0, H1を動作させます。
- ⑥ INTTMH0, INTTMH1信号が発生すると、D/A変換したアナログ電圧値をANOn端子から出力します。
次のINTTMH0, INTTMH1信号が発生する前に、DACSnレジスタに次に出力するアナログ電圧値を設定してください。
- ⑦ 以降、DACSnレジスタに設定した値が、INTTMH0, INTTMH1信号発生タイミングでANOn端子から出力されます。

備考1. ⑥までのANO0, ANO1端子の出力値は不定です。

2. IDLE, HALT, STOPモード時のANO0, ANO1端子の出力値については、第23章 スタンバイ機能を参照してください。

3. $n = 0, 1$

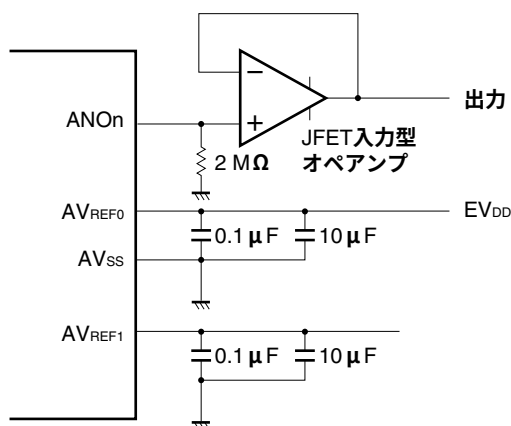
15.4.3 注意事項

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) ポート端子を入力モード (PM10, PM11ビット = 11) に設定してください。
- (2) ポート・リードは禁止です。
- (3) P10, P11両方ともD/A出力として使用してください。
ポート1の片側をD/A出力, 片側をポートとして使用することは禁止です。
- (4) リアルタイム出力モード時, 選択されたトリガ信号の割り込み処理内でDACSnレジスタへの書き込みを行うなど, ソフトウェアによるDACSnレジスタの書き込みと, リアルタイム出力時のトリガ信号との競合を回避してください。
- (5) $AV_{REF1} \leq V_{DD}$, $AV_{REF1} = 2.7 \sim 5.5$ Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- (6) D/Aコンバータの出力インピーダンスが高いため, ANOn端子から電流を取り出すことはできません。
2 M Ω 以下の負荷を接続する場合には, 負荷とANOn端子の間にJFET入力型オペアンプを挿入するなどの対策をしてください。

備考 $n = 0, 1$

図15-2 外部端子の接続例



注意 ここに示した図はあくまで参考であり, 使用する場合は十分に評価したうえでご使用ください。

第16章 アシクロナス・シリアル・インタフェース (UART)

V850ES/KJ2では、調歩同期通信に対応したアシクロナス・シリアル・インタフェース (UART) を3チャンネル搭載しています。

16.1 特 徴

- 最大転送速度 312.5 kbps
- 全二重通信
- ダブル・バッファ構成 RXBnレジスタ内蔵
TXBnレジスタ内蔵
- 受信エラー検出機能
 - ・パリティ・エラー
 - ・フレーミング・エラー
 - ・オーバラン・エラー
- 割り込みソース：3種類
 - ・受信エラー割り込み要求信号 (INTSREn) : 3種類の受信エラーの論理和で割り込みを発生
 - ・受信完了割り込み要求信号 (INTSRn) : 受信許可状態において、シリアル転送完了後、受信シフト・レジスタからRXBnレジスタへ受信データを転送すると発生
 - ・送信完了割り込み要求信号 (INTSTn) : シリアル送信を行って、送信シフト・レジスタから送信データ (8/7ビット) をシリアル送信し終わると発生
- キャラクタ長：7, 8ビット
- パリティ機能：奇数, 偶数, 0, なし
- 送信ストップ・ビット：1, 2ビット
- ディジタル・ノイズ・フィルタ内蔵
- 専用ボー・レート・ジェネレータ内蔵

備考 n = 0-2

16.2 構成

次にUARTnの構成について示します。

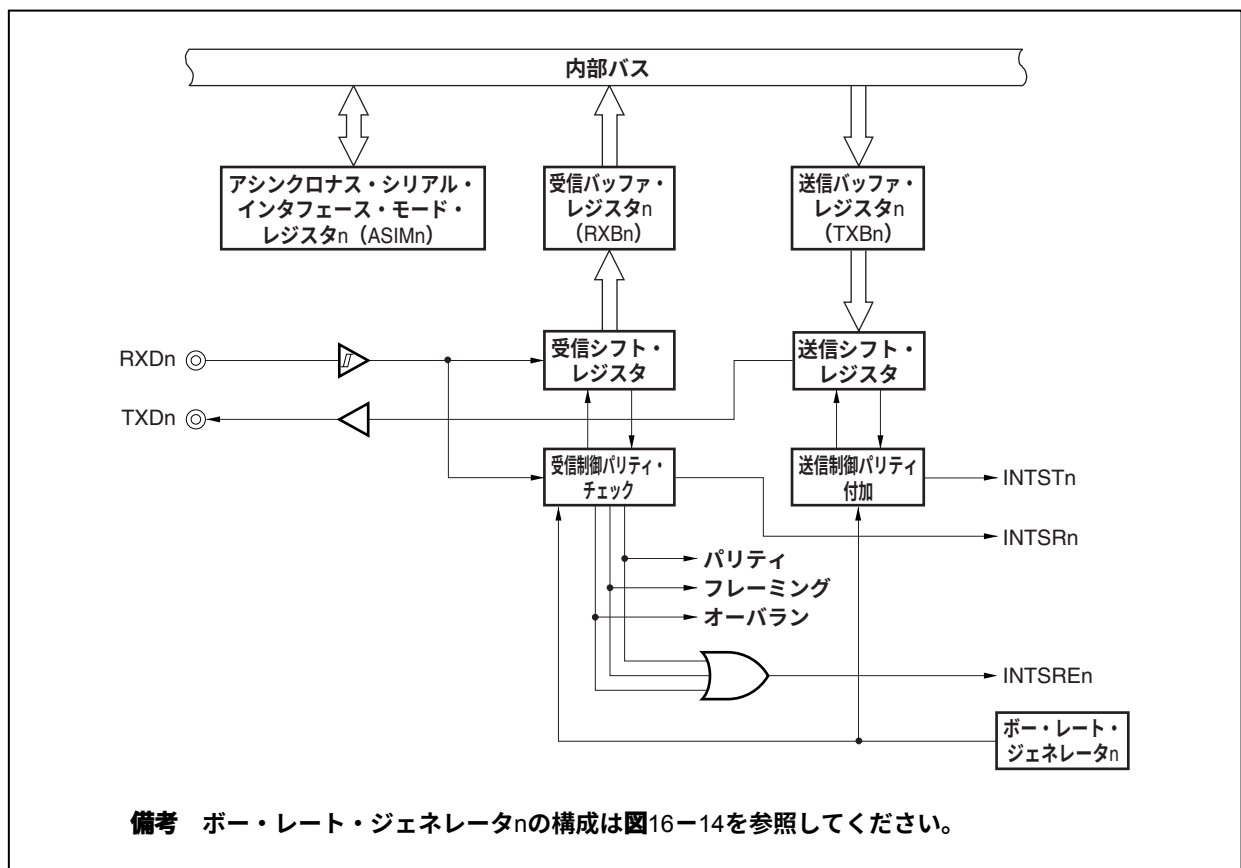
表16-1 UARTnの構成

項 目	構 成
レジスタ	受信バッファ・レジスタ _n (RXB _n) 送信バッファ・レジスタ _n (TXB _n) 受信シフト・レジスタ 送信シフト・レジスタ アシクロナス・シリアル・インタフェース・モード・レジスタ _n (ASIM _n) アシクロナス・シリアル・インタフェース・ステータス・レジスタ _n (ASIS _n) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ _n (ASIF _n)
その他	受信制御パリティ・チェック 送信制御パリティ付加

備考 $n = 0-2$

UARTnは、図16-1のように構成されています。

図16-1 UARTnのブロック図



- (1) アシンクロナス・シリアル・インタフェース・モード・レジスタ_n (ASIMn)

ASIMnレジスタは、UARTnの動作を指定する8ビット・レジスタです。

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ_n (ASISn)

ASISnレジスタは、受信エラー発生時のエラー内容を示すフラグの集合レジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) され、ASISnレジスタの読み出しによってクリア (0) されます。

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ_n (ASIFn)

ASIFnレジスタは、送信時のステータスを示す8ビット・レジスタです。

TXBnレジスタのデータ保持状態を示す送信バッファ・データ・フラグと送信中であることを示す送信シフト・レジスタ・データ・フラグから構成されます。

(4) 受信制御パリティ・チェック

ASIMnレジスタに設定された内容に従って、受信動作を制御します。また、受信動作時にパリティ・エラーのチェックも行い、エラーが検出された場合は、エラー内容に応じた値をASISnレジスタにセットします。

(5) 受信シフト・レジスタ

RXDn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1キャラクタ分データを受信し、ストップ・ビットを検出すると、受信データをRXBnレジスタへ転送します。

このレジスタは直接操作することはできません。

(6) 受信バッファ・レジスタ_n (RXBn)

RXBnレジスタは、受信データを保持する8ビットのバッファ・レジスタです。7ビットの受信では上位ビットには0が格納されます。

また、RXBnレジスタへの転送により、受信完了割り込み要求信号 (INTSRn) が発生します。

(7) 送信シフト・レジスタ

送信シフト・レジスタは、TXBnレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

TXBnレジスタから1バイト分のデータが転送されると、シフト・レジスタのデータをTXDn端子から出力します。

1フレームの送出終了時に同期して送信完了割り込み要求信号 (INTSTn) を発生します。

このレジスタは直接操作することはできません。

(8) 送信バッファ・レジスタ_n (TXBn)

TXBnレジスタは、8ビットの送信データ用バッファです。TXBnレジスタへ送信データを書き込むことにより、送信動作が開始されます。

(9) 送信制御パリティ付加

ASIMnレジスタに設定された内容に従って、TXBnレジスタに書き込まれたデータにスタート・ビット、パリティ・ビット、ストップ・ビットを付加するなどして、送信動作の制御を行います。

16.3 シリアル・インタフェースの割り当て

★ 16.3.1 各チャネルの端子機能について

V850ES/KJ2では、UARTを構成するRXDn, TXDn端子は、表16-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-19 端子を兼用機能として使用する場合参照）

表16-2 端子構成

チャネル	ピン番号	ポート	UART受信入力	UART送信出力	その他の兼用機能
UART0	26	P31	RXD0	—	INTP7/TO03
	25	P30	—	TXD0	TO02
UART1	62	P91	RXD1	—	A1/KR7
	61	P90	—	TXD1	A0/KR6
UART2	22	P40	RXD2	—	SI00
	59	P80		—	SDA0
	23	P41	—	TXD2	SO00
	60	P81	—		SCL1

注意 UART2を使用する場合は、ピン番号22と23を、またはピン番号59と60をセットで使用してください。
また、ピン番号22と59を、またはピン番号23と60を同時に使用しないでください。

16. 3. 2 UART2とCSI00を同時に使用したい場合

V850ES/KJ2では、UART2とCSI00は端子がポート4で兼用になっており、同時には使用できません（4. 3. 4 ポート4参照）。ただしUART2はポート8にも兼用されているので（4. 3. 8 ポート8参照），UART2をポート8（P80, P81），CSI00をポート4（P40, P41）で使用すればUART2とCSI00を同時に使用することができます。

- 注意1. UART2またはCSI00において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合には、必ず動作禁止にしてから行ってください。
2. ピン番号22, 23をUART2のRXD2, TXD2端子として使用する場合、ピン番号59, 60をRXD2, TXD2端子に設定しないでください。

図16-2 UART2とCSI00のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H R/W アドレス：FFFFFF478H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	PFC42	PFC41	PFC40

PFC4n	PMC4n	動作モード
0	0	ポート入出力モード
0	1	CSI00モード
1	0	ポート入出力モード
1	1	UART2モード

備考 n = 0, 1

16. 3. 3 UART2とI²C1を同時に使用したい場合

V850ES/KJ2では、UART2とI²C1は端子がポート8で兼用になっており、同時には使用できません (4. 3. 8 ポート8参照)。ただしUART2はポート4にも兼用されているので (4. 3. 4 ポート4参照)、UART2をポート4 (P40, P41)、I²C1をポート8 (P80, P81) で使用すればUART2とI²C1を同時に使用することができます。

- 注意1. UART2またはI²C1において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合には、必ず動作禁止にしてから行ってください。
2. ピン番号59, 60をUART2のRXD2, TXD2端子として使用する場合、ピン番号22, 23をRXD2, TXD2端子に設定しないでください。

図16-3 UART2とI²C1のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	0	0	0	0	PMC81	PMC80

リセット時：00H R/W アドレス：FFFFFF470H

	7	6	5	4	3	2	1	0
PFC8	0	0	0	0	0	0	PFC81	PFC80

PFC8n	PMC8n	動作モード
0	0	ポート入出力モード
0	1	UART2モード
1	0	ポート入出力モード
1	1	I ² C1モード

備考 n = 0, 1

16.4 レジスタ

(1) アシンクロナス・シリアル・インタフェース・モード・レジスタ_n (ASIM_n)

ASIM_nレジスタは、UART_nの転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

注意1. UART_nを使用する場合には、必ずUART_n機能に関連する外部端子をコントロール・モードに設定したあと、CKSR_n, BRGC_nレジスタの設定を行ってからUARTEnビットをセット (1) してください。そのあとに、ほかのビットの設定を行ってください。

2. RXD_n端子に通信相手からデータが送信されていない状態でUARTEnビット = 1, RXEnビット = 1と設定してください。ロウ・レベルのときにUARTEnビット = 1, RXEnビット = 1と設定すると受信を開始してしまいます。

(1/3)

リセット時：01H R/W アドレス：ASIM0 FFFFFFFA00H, ASIM1 FFFFFFFA10H, ASIM2 FFFFFFFA20H

	⑦	⑥	⑤	4	3	2	1	0
ASIM _n	UARTEn	TXEn	RXEn	PSn1	PSn0	CLn	SLn	ISRMn

(n = 0-2)

UARTEn	動作クロックを制御
0	UART _n へのクロック供給を停止
1	UART _n へクロックを供給

・ UARTEnビット = 0の場合は、UART_nはリセット状態なので、UART_nを動作させる場合には、まずUARTEnビットをセット (1) してください。
 ・ UARTEnビットをクリア (0) すると、UART_nを非同期にリセット[※]します。再度UARTEnビットをセット (1) する場合には、必ずUART_nのレジスタを再設定してください。
 TXD_n端子の出力は、送信禁止状態の場合、UARTEnビットの設定にかかわらずハイ・レベルになります。

TXEn	送信許可／禁止を指定
0	送信禁止
1	送信許可

・ 起動時はUARTEnビットをセット (1) してから、TXEnビットをセット (1) してください。また、停止時はTXEnビットをクリア (0) してから、UARTEnビットをクリア (0) してください。
 ・ 送信ユニットを初期化する場合は、TXEnビットをクリア (0) して、Clock (基本クロック) の2周期分の時間を経過してから、再びTXEnビットをセット (1) してください (基本クロックについては16.7.1 (1) 基本クロック参照)。
 ・ 動作許可 (UARTEnビット = 1) した場合には、TXEn = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。
 ・ UARTEnビット = 0にすると、TXEnビット = 1のときでも内部回路の状態はUARTEnビットによりTXEビット = 0の状態と同等になります。なお、再びUARTEnビット = 1にすると、送信動作は許可状態になります。

注 リセットされるのはASIS_n, ASIF_n, RXB_nレジスタです。

RXEn	受信許可／禁止を指定
0	受信禁止 ^注
1	受信許可

・起動時はUARTEnビットをセット (1) してから、RXEnビットをセット (1) してください。また、停止時は、RXEnビットをクリア (0) してから、UARTEnビットをクリア (0) してください。
 ・受信ユニットの状態を初期化する場合は、RXEnビットをクリア (0) して、Clock (基本クロック) の2周期分の時間を経過してから、再びRXEnビットをセット (1) してください (基本クロックについては16. 7. 1 (1) 基本クロック参照)。
 ・動作許可 (UARTEnビット = 1) した場合には、RXEnビット = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。
 ・UARTEnビット = 0にすると、RXEnビット = 1でも内部回路の状態は、UARTEnビットによりRXEnビット = 0の状態と同等になります。なお、再びUARTEnビット = 1にすると、受信動作は許可状態になります。

PSn1	PSn0	送信動作	受信動作
0	0	パリティ・ビットを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・PSn1, PSn0ビットを書き換えるときは、TXEn, RXEnビットをクリア (0) してから行ってください。
 ・受信時に「0パリティ」を選択した場合、パリティ判定を行いません。したがって、ASISn.PEnビットはセットされないため、エラー割り込みも発生しません。

CLn	送受信データ1フレームのキャラクタ長指定
0	7ビット
1	8ビット

・CLnビットを書き換えるときは、TXEn, RXEnビットをクリア (0) してから行ってください。

SLn	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

・SLnビットを書き換えるときは、TXEnビットをクリア (0) してから行ってください。
 ・受信は常に「ストップ・ビット長 = 1」として動作するので、SLnビットの設定は受信動作に影響を与えません。

注 受信禁止時は、受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理、RXBnレジスタへの転送処理は行わず、RXBnレジスタの内容は保持されます。

受信許可状態中は、スタート・ビットの検出に同期して受信シフト動作を開始し、1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXBnレジスタに転送します。

また、RXBnレジスタへの転送に同期して、受信完了割り込み要求信号 (INTSRn) を発生します。

ISRMn	エラー発生時の受信完了割り込み要求信号発生許可／禁止を指定
0	エラー発生時の割り込みとして、受信エラー割り込み要求信号 (INTSREn) を発生。 この場合、受信完了割り込み要求信号 (INTSRn) は発生しない。
1	エラー発生時の割り込みとして、受信完了割り込み要求信号 (INTSRn) を発生。 この場合、受信エラー割り込み要求信号 (INTSREn) は発生しない。
• ISRMnビットを書き換えるときは、RXEnビットをクリア (0) してから行ってください。	

(2) アシクロナス・シリアル・インタフェース・ステータス・レジスタ_n (ASISn)

ASISnレジスタは、UART_nの受信終了時のエラー・ステータスを示すレジスタです。3ビットのエラー・フラグ (PEn, FEn, OVEN) で構成されています。

ASISnレジスタは、読み出しにより00Hにクリアされます。受信エラーが発生した場合は、ASISnレジスタを読み出したあと、RXBnレジスタを読み出して下さい。

8ビット単位でリードだけ可能です。

リセットにより00Hになります。

- 注意1.** ASIMn.UARTEn, RXEnビットを0に設定したとき、またはASISnレジスタを読み出したとき、PEn, FEn, OVENビットはクリア (0) されます。
- ビット操作命令による操作は禁止です。ASISnレジスタはリードするとクリアされるので、必ず8ビット単位でリードして下さい。
 - メイン・クロック停止、サブクロック動作時にASISnレジスタにアクセスしないでください。詳細は、3.4.9 (1) を参照して下さい。

リセット時: 00H R アドレス: ASIS0 FFFFA03H, ASIS1 FFFFA13H, ASIS2 FFFFA23H

	7	6	5	4	3	2	1	0
ASISn	0	0	0	0	0	PEn	FEn	OVEn

(n = 0-2)

PEn	パリティ・エラーを示すステータス・フラグ
0	UARTEnビット = 0またはRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたあと
1	受信完了時、受信データのパリティとパリティ・ビットが一致しないとき
・ PEnビットの動作は、ASIMn.PSn1, PSn0ビットの設定値により異なります。	

FEn	フレーミング・エラーを示すステータス・フラグ
0	UARTEnビット = 0またはRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたあと
1	受信完了時、ストップ・ビットが検出されないとき
・ 受信データのストップ・ビットは、ストップ・ビット長に関係なく最初の1ビットだけをチェックします。	

OVEn	オーバラン・エラーを示すステータス・フラグ
0	UARTEnビット = 0またはRXEnビット = 0に設定したとき、または、ASISnレジスタをリードしたあと
1	RXBnレジスタの受信データを読み出す前にUARTnが次の受信動作を完了したとき
・ オーバラン・エラーが発生した場合、次の受信データはRXBnレジスタに書き込まれず、データは破棄されます。	

(3) アシクロナス・シリアル・インタフェース送信ステータス・レジスタ_n (ASIF_n)

ASIF_nレジスタは、送信時のステータスを示すレジスタです。2ビットのステータス・フラグで構成されています。

TXB_nレジスタから送信シフト・レジスタへデータが転送されたあとに、次のデータをTXB_nレジスタに書き込むことで、途切れることなく送信を続けることができます。連続して送信を行う場合には、TXB_nレジスタへの誤った書き込みを防止するために、TXBF_nビットを参照してから書き込みを行ってください。

8/1ビット単位でリードだけ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：ASIF0 FFFFFFFA05H, ASIF1 FFFFFFFA15H, ASIF2 FFFFFFFA25H

	7	6	5	4	3	2	①	②
ASIF _n	0	0	0	0	0	0	TXBF _n	TXSF _n

(n = 0-2)

TXBF _n	送信バッファ・データ・フラグ
0	TXB _n レジスタに次に転送すべきデータが存在しない (ASIM _n .UARTE _n ビット = 0またはTXE _n ビット = 0に設定したとき、または送信シフト・レジスタにデータを転送したとき)
1	TXB _n レジスタに次に転送すべきデータが存在する (TXB _n レジスタにデータを書き込んだとき)

・連続送信を行う場合は、必ずこのフラグが“0”であることを確認してからTXB_nレジスタに書き込んでください。このフラグが“1”のときにTXB_nレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSF _n	送信シフト・レジスタ・データ・フラグ (UART _n の送信状態を示します。)
0	初期状態または送信待ち (UARTE _n ビット = 0またはTXE _n ビット = 0に設定したとき、または送信完了後にTXB _n レジスタから次のデータ転送がなかったとき)
1	送信中 (TXB _n レジスタからデータ転送されたとき)

・送信ユニットを初期化する場合は、送信完了割り込み要求信号 (INTST_n) 発生後に、必ずこのフラグが“0”であることを確認してから初期化を実行してください。このフラグが“1”のときに初期化を実行した場合の送信データは保証できません。

(4) 受信バッファ・レジスタ_n (RXB_n)

RXB_nレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

受信許可状態のとき (ASIM_n.RXEnビット = 1)、受信データは1フレーム分のシフト・イン処理終了時に同期して、受信シフト・レジスタからRXB_nレジスタに転送されます。また、RXB_nレジスタへの転送により、受信完了割り込み要求信号 (INTSR_n) が発生します。発生するタイミングについては16. 6. 4 受信動作を参照してください。

受信禁止状態のとき (ASIM_n.RXEnビット = 0)、1フレーム分のシフト・イン処理が終了してもRXB_nレジスタへの転送は処理されず、RXB_nレジスタの内容は保持されます。また、INTSR_n信号も発生しません。

データ長を7ビットに指定した場合、受信データはRXB_nレジスタのビット6-0に転送され、MSB (ビット7) は必ず0になります。また、オーバラン・エラー (ASIS_n.OVEnビット = 1) が発生した場合、そのときの受信データはRXB_nレジスタに転送されません。

リセットおよびASIM_n.UARTEnビット = 0によっても、RXB_nレジスタはFFHになります。

8ビット単位でリードだけ可能です。

注意 受信エラー発生時にもRXB_nレジスタは必ず読み出してください。

RXB_nレジスタを読み出さないと、次のデータ受信時にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。

リセット時: FFH R アドレス: RXB0 FFFFFFFA02H, RXB1 FFFFFFFA12H, RXB2 FFFFFFFA22H

	7	6	5	4	3	2	1	0
RXB _n	RXB _n 7	RXB _n 6	RXB _n 5	RXB _n 4	RXB _n 3	RXB _n 2	RXB _n 1	RXB _n 0

(n = 0-2)

(5) 送信バッファ・レジスタ_n (TXB_n)

TXB_nレジスタは、送信データを設定するための8ビット・バッファ・レジスタです。

送信許可状態のとき (ASIM_n.TXEnビット = 1) , TXB_nレジスタにデータを書き込むことで送信動作が開始されます。

送信禁止状態のとき (TXEnビット = 0) , TXB_nレジスタにデータを書き込んでも値は無視されます。

TXB_nレジスタのデータが送信シフト・レジスタに転送され、送信シフト・レジスタから1フレーム分の送信終了に同期して送信完了割り込み要求信号 (INTST_n) を発生します。発生するタイミングについては16.6.2 送信動作を参照してください。

ASIF_n.TXBF_nビット = 1のときは、TXB_nレジスタへの書き込みは行わないでください。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

リセット時：FFH R/W アドレス：TXB0 FFFFFFFA04H, TXB1 FFFFFFFA14H, TXB2 FFFFFFFA24H

	7	6	5	4	3	2	1	0
TXB _n (n = 0-2)	TXB _n 7	TXB _n 6	TXB _n 5	TXB _n 4	TXB _n 3	TXB _n 2	TXB _n 1	TXB _n 0

16.5 割り込み要求信号

UART_nからは次の3種類の割り込み要求信号を発生します。

- ・受信エラー割り込み要求信号 (INTSRE_n)
- ・受信完了割り込み要求信号 (INTSR_n)
- ・送信完了割り込み要求信号 (INTST_n)

これら3種類の割り込み要求信号のデフォルト優先順位を次に示します。

表16-3 発生する割り込み要求信号とデフォルト優先順位

割り込み要求信号	優先順位
受信エラー割り込み要求信号 (INTSRE _n)	1
受信完了割り込み要求信号 (INTSR _n)	2
送信完了割り込み要求信号 (INTST _n)	3

(1) 受信エラー割り込み要求信号 (INTSRE_n)

受信許可状態中で、ASIS_nレジスタで説明した3種類の受信エラーの論理和 (OR) でINTSRE_n信号を発生します。ASIM_n.ISRM_nビットにより、エラー発生時にINTSRE_n信号を発生させるか、INTSR_n信号を発生させるかを指定できます。

受信禁止状態中は、INTSRE_n信号は発生しません。

割り込み要求信号タイミングは、INTSR_n信号と同じです。

(2) 受信完了割り込み要求信号 (INTSR_n)

受信許可状態中で、受信シフト・レジスタにデータがシフト・インされRXB_nレジスタに転送されるとINTSR_n信号が発生します。

INTSR_n信号は、ASIM_n.ISRM_nビットにより、受信エラーが起こった場合にも、INTSRE_n信号の代わりとして発生させることができます。

受信禁止状態中は、INTSR_n信号は発生しません。

割り込み要求信号タイミング図については図16-9を参照してください。

(3) 送信完了割り込み要求信号 (INTST_n)

送信シフト・レジスタから7ビット／8ビットのキャラクタを含む1フレーム分の送信データがシフト・アウトされるとINTST_n信号を発生します。

割り込み要求信号タイミング図については図16-5を参照してください。

16.6 動作

16.6.1 データ・フォーマット（調歩同期通信）

全二重シリアル・データの送受信を行います。

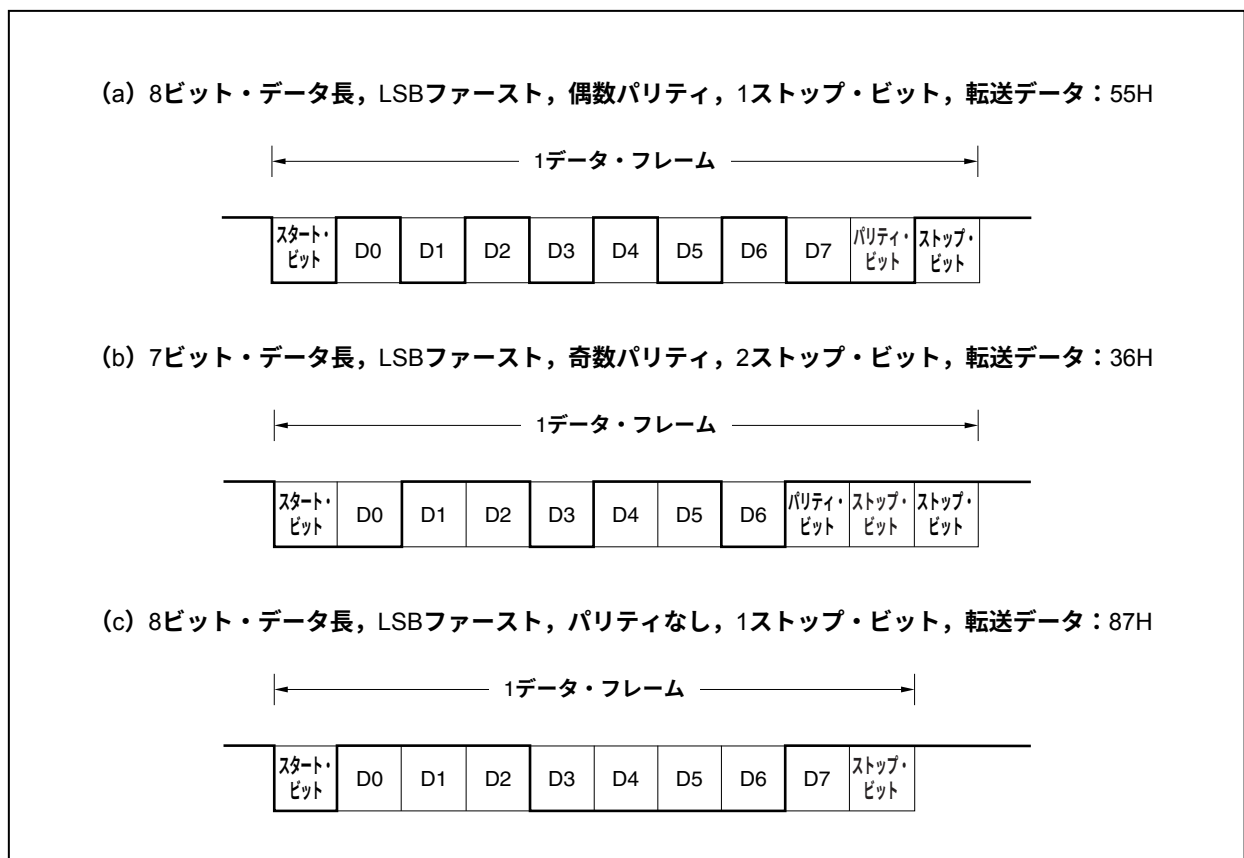
送受信データのフォーマットは図16-4に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定は、ASIMnレジスタによって行います。

また、データはLSBファーストで転送します。

- ・スタート・ビット …… 1ビット
- ・キャラクタ・ビット … 7ビット／8ビット
- ・パリティ・ビット …… 偶数パリティ／奇数パリティ／0パリティ／パリティなし
- ・ストップ・ビット …… 1ビット／2ビット

図16-4 UARTnの送受信データのフォーマット



16.6.2 送信動作

ASIMnUARTnビットがセット（1）された状態でASIMn.TXEnビットをセット（1）すると送信許可状態になり、TXBnレジスタに送信データを書き込むと送信動作が起動します。

(1) 送信許可状態

TXEnビットで設定します。

- TXEnビット = 1：送信許可状態
- TXEnビット = 0：送信禁止状態

なお、UARTnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

(2) 送信動作の起動

送信許可状態では、TXBnレジスタに送信データを書き込むと送信動作が起動します。送信動作の開始により、TXBnレジスタ内のデータが送信シフト・レジスタに転送されます。そのあと、送信シフト・レジスタはTXDn端子にデータを出力します（スタート・ビットから順に送信されます）。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加されます。

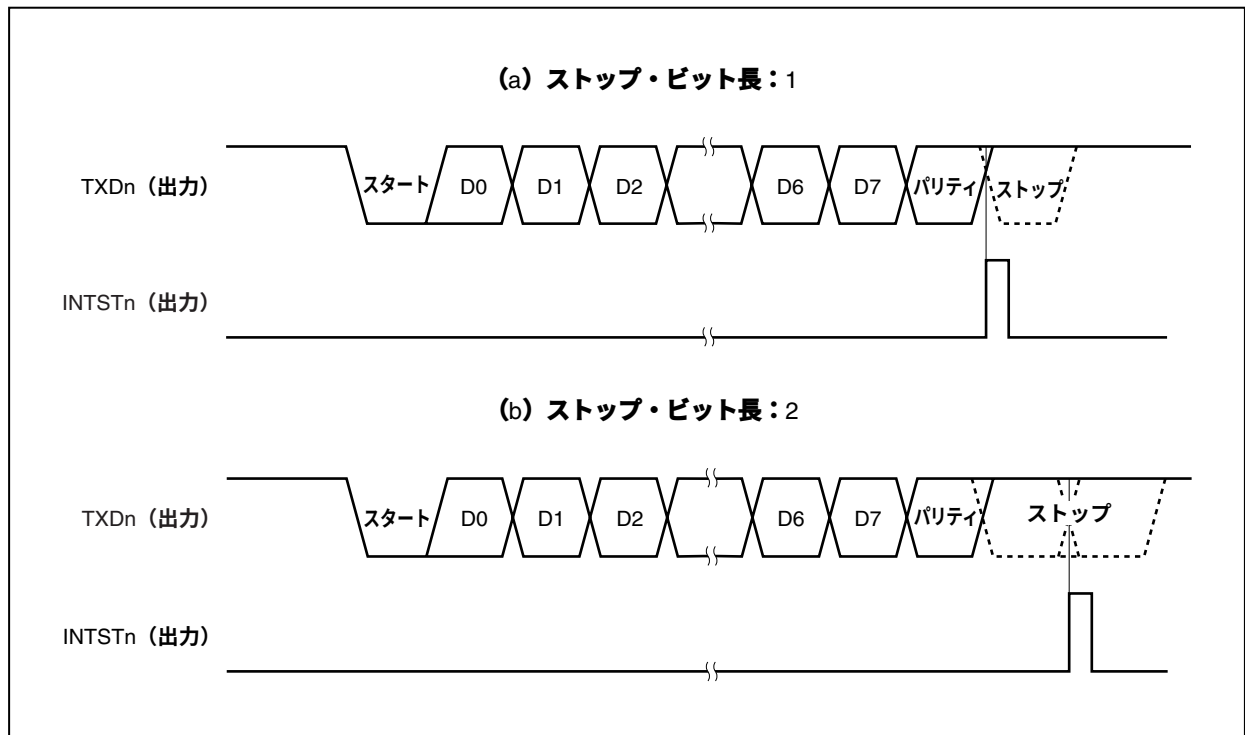
(3) 送信完了割り込みタイミング

送信シフト・レジスタが空になると送信完了割り込み要求信号（INTSTn）が発生します。ストップ・ビット長の指定により、INTSTn信号の発生タイミングが異なります。INTSTn信号は、最後のストップ・ビット出力と同時に発生します。

次に送信するデータをTXBnレジスタに書き込まなければ、送信動作は中断されます。

注意 通常、送信シフト・レジスタが空になったときにINTSTn信号が発生します。しかし、リセットにより送信シフト・レジスタが空になった場合、INTSTn信号は発生しません。

図16-5 UART_n送信完了割り込みタイミング



16.6.3 連続送信動作

UARTnは、送信シフト・レジスタがシフト動作を開始した時点で、次の送信データをTXBnレジスタへ書き込むことができます。これにより、1データ・フレーム送信後の送信完了割り込み処理時でも連続送信することができ、効率的な通信レートを実現できます。また、送信完了割り込み要求信号 (INTSTn) 発生後にASIFn.TXBFnビットを読み出すことにより、1データ・フレームの送信時間を待つことなく効率的に2回 (2バイト) のTXBnレジスタへの書き込みができます。

連続送信する場合は、必ずASIFnレジスタを参照し、送信状態とTXBnレジスタへの書き込み可否を確認してから、データの書き込みを行ってください。

注意 連続送信でASIFn.TXBFn, TXSFnビットは、「10」→「11」→「01」と変化します。そのため、ステータスを確認する場合は、TXBFn, TXSFnビットの組み合わせで判断しないでください。
連続送信を行う場合はTXBFnビットのみを読み出してください。

TXBFn	TXBnレジスタへの書き込み可否
0	書き込み可
1	書き込み不可

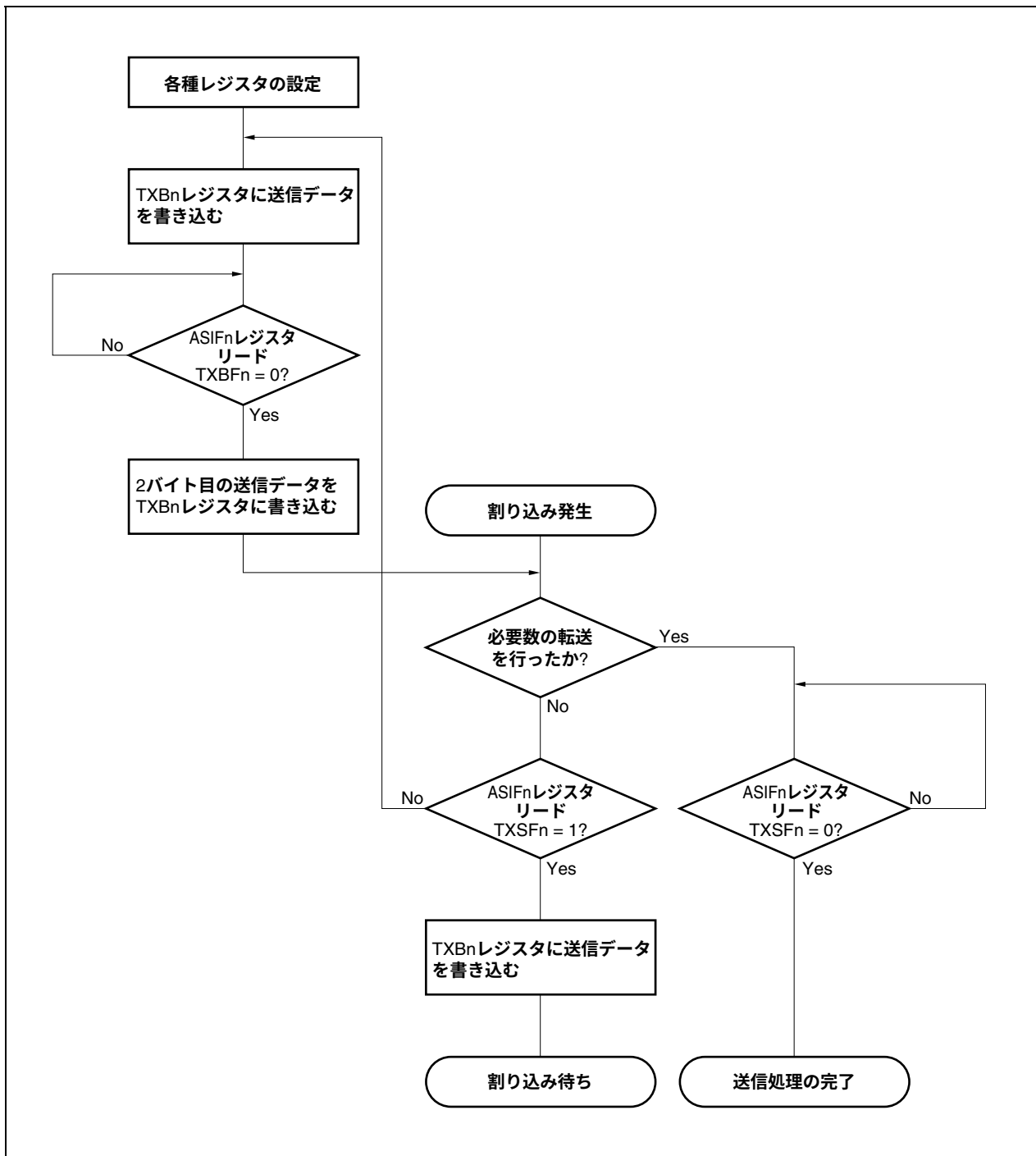
注意 連続送信を行う場合は、最初の送信データ (1バイト目) をTXBnレジスタに書き込んだあと、必ずTXBFnビットが“0”であることを確認してから次の送信データ (2バイト目) をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。

TXSFnビットで、通信状態を確認することができます。

TXSFn	送信状態
0	送信が終了しています。
1	送信中です。

- 注意1.** 連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSFnビットが“0”であることを確認してから初期化を実行してください。TXSFnビットが“1”のときに初期化を実行した場合の送信データは保証できません。
- 2.** 連続送信時には、1データ・フレーム送信後のINTSTn割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSFnビットを参照することで検出できます。

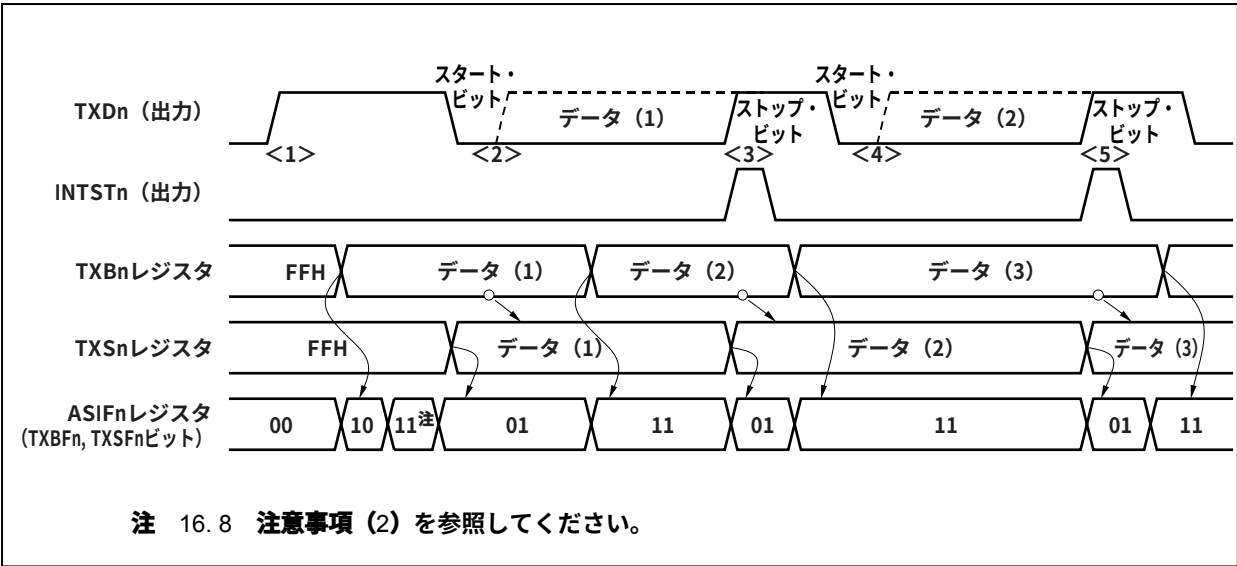
図16-6 連続送信の処理フロー



(1) 開始手順

連続送信を開始する手順を次に示します。

図16-7 連続送信の開始手順



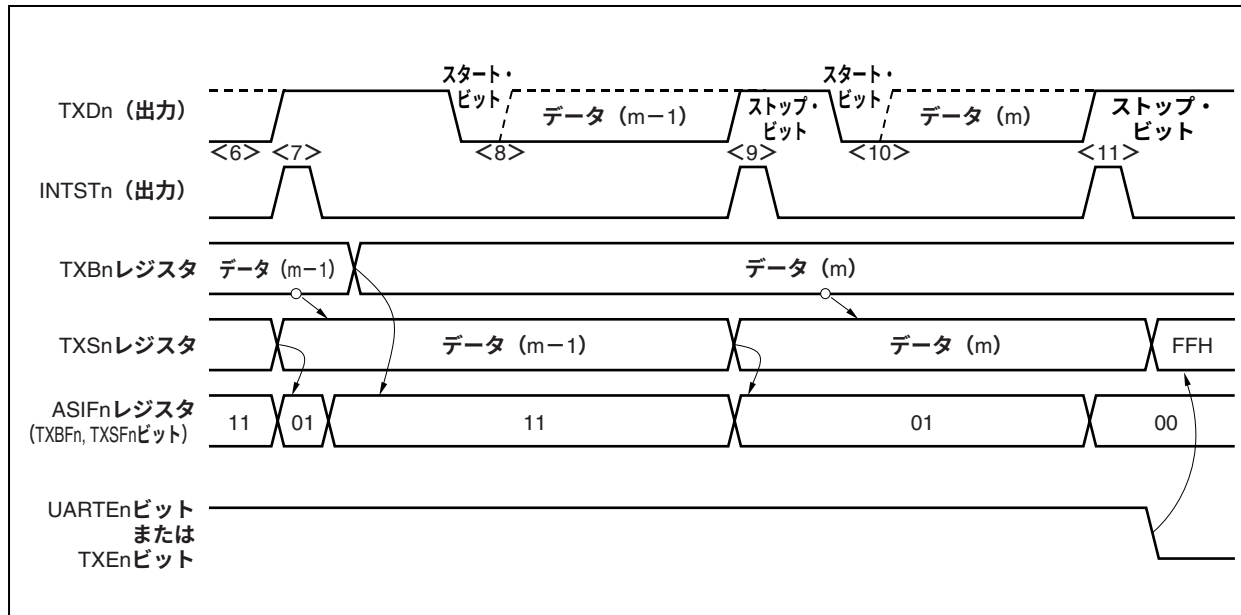
送信開始手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
●送信モード設定	<1> 送信ユニットの起動	0	0
●データ (1) の書き込み		1	0
	<2> スタート・ビットの生成	1	1注
	データ (1) 送信スタート	0	1
●ASIFnレジスタのリード (TXBFnビット = 0を確認する)		0	1
●データ (2) の書き込み		1	1
	<<送信中>>		
	<3> INTSTn割り込み発生	0	1
●ASIFnレジスタのリード (TXBFnビット = 0を確認する)		0	1
●データ (3) の書き込み		1	1
	<4> スタート・ビットの生成 データ (2) 送信スタート <<送信中>>		
	<5> INTSTn割り込み発生	0	1
●ASIFnレジスタのリード (TXBFnビット = 0を確認する)		0	1
●データ (4) の書き込み		1	1

注 16.8 注意事項 (2) を参照してください。

(2) 終了手順

連続送信を終了する手順を次に示します。

図16-8 連続送信の終了手順



送信終了手順	内部動作	ASIFnレジスタ	
		TXBFn	TXSFn
●ASIFnレジスタのリード (TXBFnビット = 0を確認する) ← ●データ (m) の書き込み →	<6> データ (m-2) の送信中	1	1
	<7> INTSTn割り込み発生 →	0	1
		<u>0</u>	1
●ASIFnレジスタのリード (TXSFnビット = 1を確認する) ← 書き込みデータはなし	<8> スタート・ビットの生成 データ (m-1) 送信スタート <<送信中>>	1	1
	<9> INTSTn割り込み発生 →	0	1
		0	<u>1</u>
●ASIFnレジスタのリード (TXSFnビット = 0を確認する) ← ●UARTEnビットまたはTXEnビットをクリア (0)	<10> スタート・ビットの生成 データ (m) 送信スタート <<送信中>>		
	<11> INTSTn割り込み発生 →	0	0
	内部回路の初期化	0	<u>0</u>

16.6.4 受信動作

ASIMn.UARTEnビットをセット (1) し、次にASIMn.RXEnビットをセット (1) することにより、受信待ち状態になります。受信動作を開始するには、まず、RXDn端子のロウ・レベルを検出するとビットの中央でサンプリングを開始します。スタート・ビットのサンプリング・ポイントでRXDn端子がロウ・レベルであれば、スタート・ビットと認識して、受信動作を開始します。ハイ・レベルであれば、ノイズと判断してRXDn端子がロウ・レベルになるのを待ちます。受信動作を開始すると、設定されたボー・レートにあわせて、シリアル・データを順に受信シフト・レジスタに格納していきます。1フレームのデータ受信が終了するごとに受信完了割り込み要求信号 (INTSRn) が発生します。通常、この割り込み処理でRXBnレジスタからメモリに受信データを転送してください。

(1) 受信許可状態

受信動作はRXEnビットをセット (1) することにより、受信許可状態となります。

- RXEnビット = 1: 受信許可状態
- RXEnビット = 0: 受信禁止状態

なお、受信禁止状態では受信ハードウェアは初期状態で待機します。このとき、受信完了割り込み／受信エラー割り込みは発生せず、RXBnレジスタの内容は保持されます。

(2) 受信動作の起動

受信動作はスタート・ビットの検出により起動されます。

ボー・レート・ジェネレータn (BRGn) からのシリアル・クロックでRXDn端子をサンプリングします。

(3) 受信完了割り込み

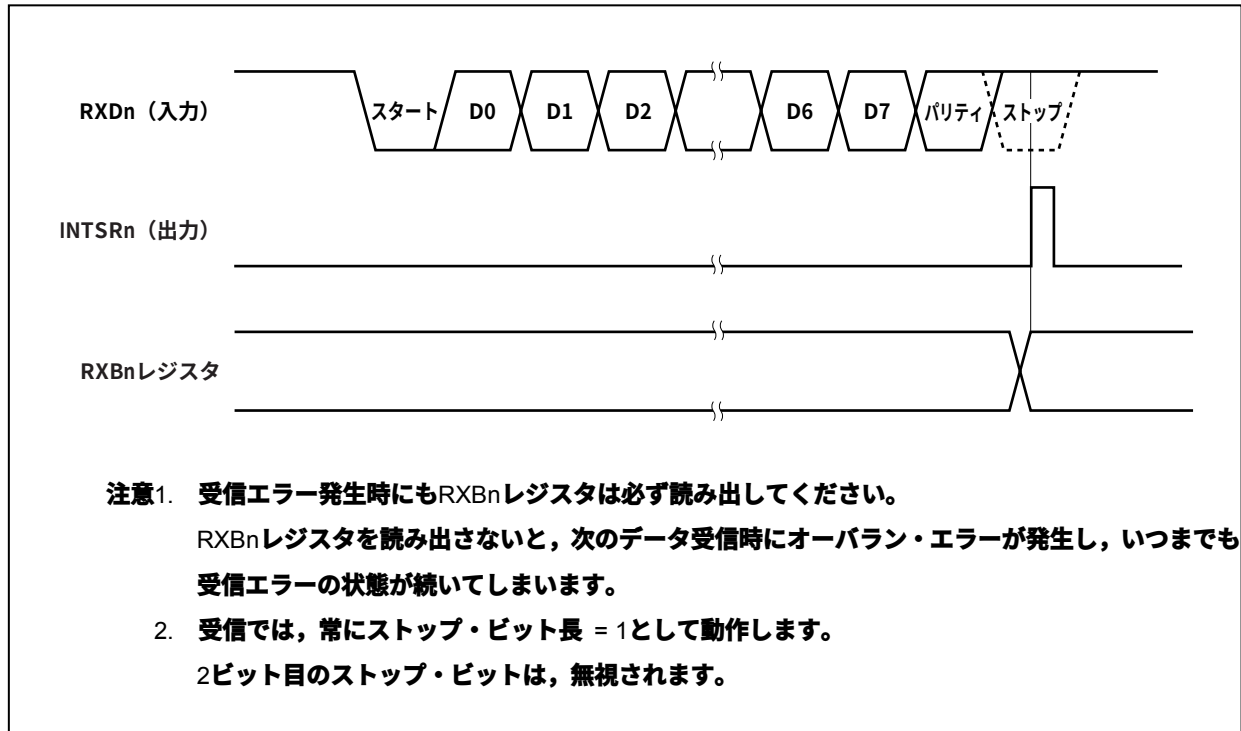
RXEnビット = 1のとき、1フレーム分のデータの受信が完了 (ストップ・ビットの検出) すると、INTSRn信号が発生すると同時に、受信シフト・レジスタ内の受信データをRXBnレジスタに転送します。

また、オーバラン・エラー (ASISn.OVEnビット = 1) が発生した場合、そのときの受信データは、RXBnレジスタに転送されず、ASIMn.ISRMnビットの設定に従って、INTSRn信号または受信エラー割り込み要求信号 (INTSREn) が発生します。

なお、受信動作中にパリティ・エラー (ASISn.PEnビット = 1)、またはフレーミング・エラー (ASISn.FEnビット = 1) が発生した場合でも、ストップ・ビットの受信位置までは受信動作を継続し、受信完了後にISRMnビットの設定に従って、INTSRn信号またはINTSREn信号が発生します (受信シフト・レジスタ内の受信データはRXBnレジスタに転送されます)。

また、受信動作中にRXEnビットをクリア (0) すると、すぐに受信動作を停止します。このときRXBnレジスタとASISnレジスタの内容は変化せず、INTSRn信号またはINTSREn信号は発生しません。

RXEnビット = 0 (受信禁止) では、INTSRn信号またはINTSREn信号は発生しません。

図16-9 UART_n受信完了割り込みタイミング

16.6.5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果、ASISnレジスタの各フラグがセット（1）されると同時に、受信エラー割り込み要求信号（INTSREn），または受信完了割り込み要求信号（INTSRn）が発生します。INTSREn信号またはINTSRn信号のどちらかを発生させるかは、ASIMn.ISRMnビットで指定します。

INTSREn/INTSRn割り込み処理内で、ASISnレジスタの内容を読み出すことによって、受信時に発生したエラーの内容を検出することができます。

ASISnレジスタの内容は、ASISnレジスタの読み出しによってクリア（0）されます。

表16-4 受信エラーの要因

エラー・フラグ	受信エラー	要 因
PEn	パリティ・エラー	指定されたパリティと受信データのパリティが一致しない
FEn	フレーミング・エラー	ストップ・ビットが検出されない
OVEEn	オーバラン・エラー	RXBnレジスタからデータを読み出す前に次のデータ受信が完了

備考 n = 0-2

(1) 受信エラー割り込み要求信号の分離

ISRMnビットをクリア（0）することにより、受信エラー割り込み要求信号をINTSRn信号から分離し、INTSREn信号として発生させることができます。

図16-10 受信エラー割り込み要求信号をINTSRn信号から分離する場合（ISRMnビット = 0）

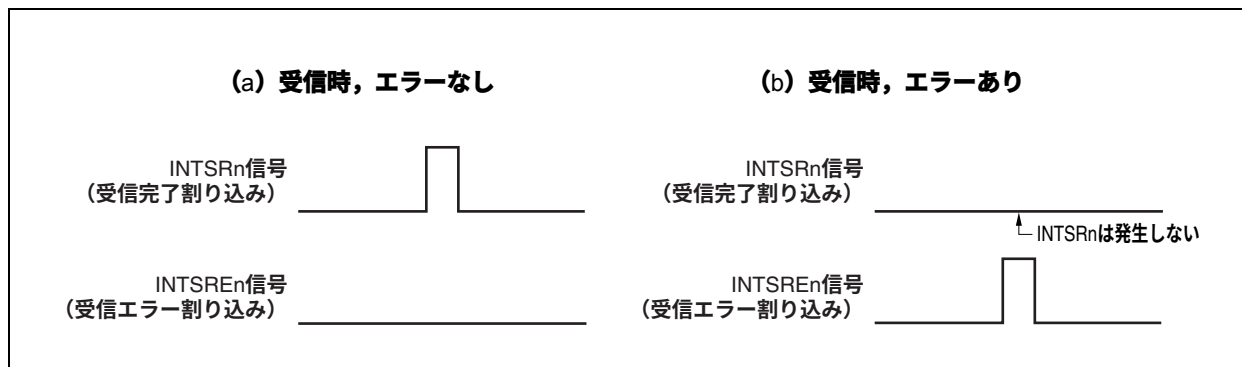
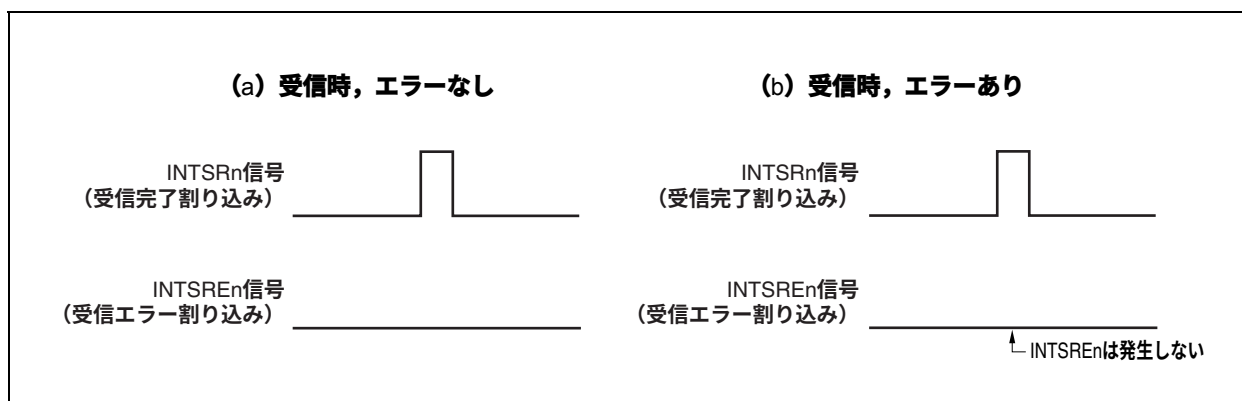


図16-11 受信エラー割り込み要求信号もINTSRn信号に含める場合（ISRMnビット = 1）



16.6.6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は、送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

(1) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：1
- ・送信データ中に、値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(2) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(3) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(4) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

16. 6. 7 受信データのノイズ・フィルタ

プリスケアラ部出力の基本クロック (f_{CLK}) の立ち上がりでRXDn信号をサンプリングします。サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません（図16-13参照）。基本クロックについては16. 7. 1 (1) 基本クロックを参照してください。

また、回路は図16-12のようにになっているため、受信動作の内部での処理は、外部の信号状態により最大2クロック分遅れて動作することになります。

図16-12 ノイズ・フィルタ回路

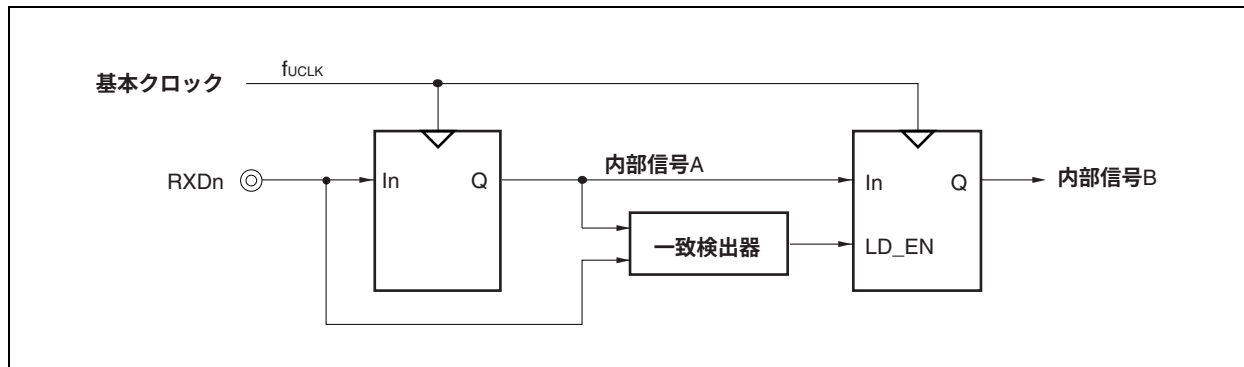
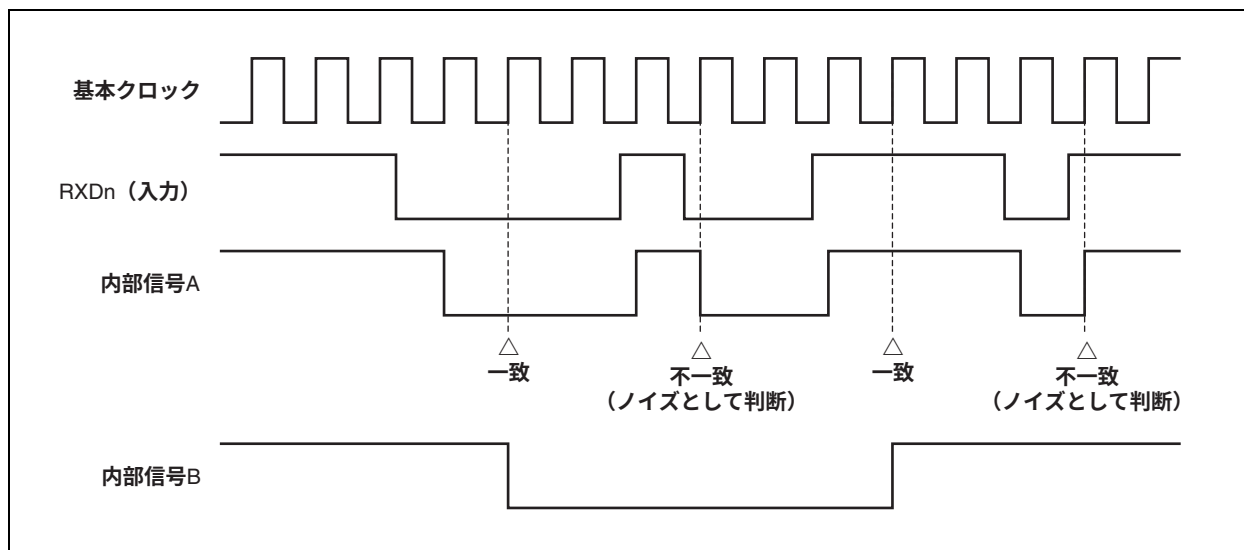


図16-13 ノイズとして判断されるRXDn信号のタイミング



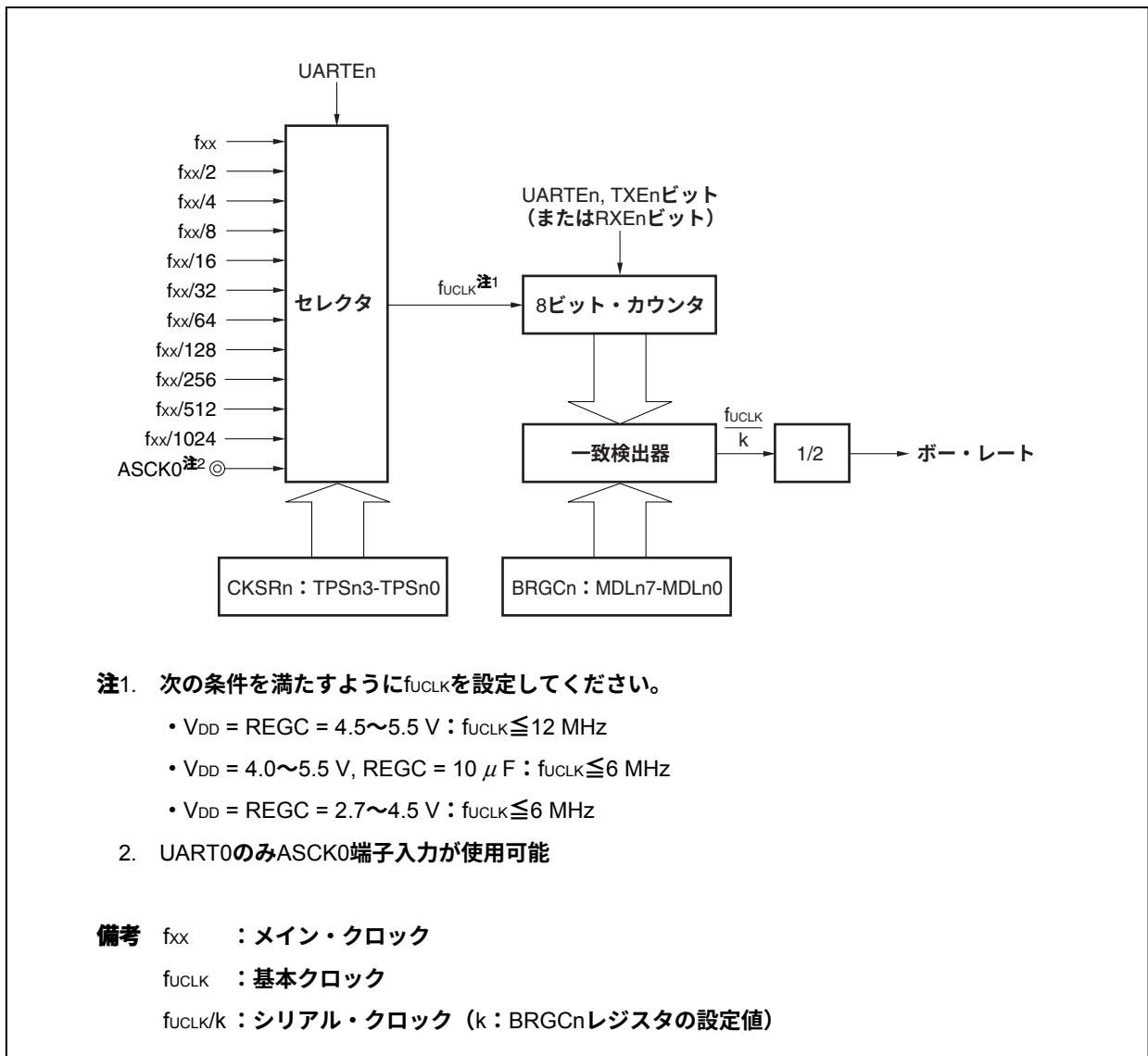
16.7 専用ボー・レート・ジェネレータ_n (BRG_n)

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタにより構成され、UART_nにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

16.7.1 ボー・レート・ジェネレータ_n (BRG_n) の構成

図16-14 ボー・レート・ジェネレータ_n (BRG_n) の構成



(1) 基本クロック

ASIM_n.UART_nビット = 1のとき、CKSR_n.TPSn3-TPSn0ビットで選択したクロックを送信／受信ユニットに供給します。このクロックを基本クロック (f_{UCLK}) と呼びます。UART_nビット = 0のときは、 f_{UCLK} はロウ・レベルに固定となります。

16. 7. 2 シリアル・クロックの生成

CKSRnレジスタとBRGCnレジスタの設定により、シリアル・クロックを生成できます。

CKSRn.TPSn3-TPSn0ビットにより、8ビット・カウンタへの基本クロックを選択します。

BRGCn.MDLn7-MDLn0ビットにより、8ビット・カウンタの分周値を設定できます。

(1) クロック選択レジスタn (CKSRn)

CKSRnレジスタは、TPSn3-TPSn0ビットにより、基本クロックを選択するための8ビット・レジスタです。TPSn3-TPSn0ビットで選択されたクロックが、送受信モジュールの基本クロック (f_{UCLK}) になります。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 TPSn3-TPSn0ビットを書き換える場合は、ASIMn.UARTEnビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：CKSR0 FFFFFFFA06H, CKSR1 FFFFFFFA16H, CKSR2 FFFFFFFA26H

	7	6	5	4	3	2	1	0
CKSRn	0	0	0	0	TPSn3	TPSn2	TPSn1	TPSn0

(n = 0-2)

TPSn3	TPSn2	TPSn1	TPSn0	基本クロック (f_{UCLK}) ^{注1}
0	0	0	0	f_{xx}
0	0	0	1	$f_{xx}/2$
0	0	1	0	$f_{xx}/4$
0	0	1	1	$f_{xx}/8$
0	1	0	0	$f_{xx}/16$
0	1	0	1	$f_{xx}/32$
0	1	1	0	$f_{xx}/64$
0	1	1	1	$f_{xx}/128$
1	0	0	0	$f_{xx}/256$
1	0	0	1	$f_{xx}/512$
1	0	1	0	$f_{xx}/1024$
1	0	1	1	外部クロック ^{注2} (ASCK0端子)
上記以外				設定禁止

注1. 次の条件を満たすように f_{UCLK} を設定してください。

- REGC = V_{DD} = 4.5~5.5 V : $f_{UCLK} \leq 12$ MHz
- REGC = 10 μ F, V_{DD} = 4.0~5.5 V : $f_{UCLK} \leq 6$ MHz
- REGC = V_{DD} = 2.7~4.5 V : $f_{UCLK} \leq 6$ MHz

2. UART0のみASCK0端子入力クロックを使用可能

UART1, UART2は設定禁止

備考 f_{xx} : メイン・クロック周波数

(2) ボー・レート・ジェネレータ・コントロール・レジスタ_n (BRGC_n)

BRGC_nレジスタは、UART_nのボー・レート（シリアル転送スピード）を制御する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意 MDLn7-MDLn0ビットを書き換える場合は、ASIMn.TXEnビット = 0, RXEnビット = 0にしてから行ってください。

リセット時：FFH R/W アドレス：BRGC0 FFFFFFFA07H, BRGC1 FFFFFFFA17H, BRGC2 FFFFFFFA27H

	7	6	5	4	3	2	1	0
BRGC _n	MDLn7	MDLn6	MDLn5	MDLn4	MDLn3	MDLn2	MDLn1	MDLn0

(n = 0-2)

MD Ln7	MD Ln6	MD Ln5	MD Ln4	MD Ln3	MD Ln2	MD Ln1	MD Ln0	設定値 (k)	シリアル・クロック
0	0	0	0	0	x	x	x	—	設定禁止
0	0	0	0	1	0	0	0	8	f _{CLK} /8
0	0	0	0	1	0	0	1	9	f _{CLK} /9
0	0	0	0	1	0	1	0	10	f _{CLK} /10
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	0	1	0	250	f _{CLK} /250
1	1	1	1	1	0	1	1	251	f _{CLK} /251
1	1	1	1	1	1	0	0	252	f _{CLK} /252
1	1	1	1	1	1	0	1	253	f _{CLK} /253
1	1	1	1	1	1	1	0	254	f _{CLK} /254
1	1	1	1	1	1	1	1	255	f _{CLK} /255

- 備考**
1. f_{CLK} : CKSR0.TPSn3-TPSn0ビットで選択した基本クロック周波数 [Hz]
 2. k : MDLn7-MDLn0ビットで設定した値 (k = 8, 9, 10, … , 255)
 3. 8ビット・カウンタの出力クロックを2分周したものがボー・レートとなります。
 4. x : 任意

(3) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート [bps]} = \frac{f_{\text{CLK}}}{2 \times k}$$

f_{CLK} = CKSRn.TPSn3-TPSn0ビットで選択した基本クロック周波数 [Hz]

k = BRGCn.MDLn7-MDLn0ビットで設定した値 ($k = 8, 9, 10, \dots, 255$)

(4) ボー・レートの誤差

ボー・レート誤差は次の式によって求められます。

$$\text{誤差 (\%)} = \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、16. 7. 4 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

例 基本クロックの周波数 = 10 MHz = 10,000,000 Hz

BRGCn.MDL7-MDL0ビットの設定値 = 00100001B ($k = 33$)

目標ボー・レート = 153,600 bps

$$\begin{aligned} \text{ボー・レート} &= 10,000,000 / (2 \times 33) \\ &= 151,515 \text{ [bps]} \end{aligned}$$

$$\begin{aligned} \text{誤差} &= (151,515 / 153,600 - 1) \times 100 \\ &= -1.357 \text{ [\%]} \end{aligned}$$

16.7.3 ボー・レート設定例

次にボー・レートの設定例を示します。

表16-5 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	f _{xx} = 20 MHz			f _{xx} = 16 MHz			f _{xx} = 10 MHz		
	f _{UCLK}	k	ERR (%)	f _{UCLK}	k	ERR (%)	f _{UCLK}	k	ERR (%)
300	f _{xx} /256	82H (130)	0.16	f _{xx} /128	D0H (208)	0.16	f _{xx} /128	82H (130)	0.16
600	f _{xx} /128	82H (130)	0.16	f _{xx} /64	D0H (208)	0.16	f _{xx} /64	82H (130)	0.16
1200	f _{xx} /64	82H (130)	0.16	f _{xx} /32	D0H (208)	0.16	f _{xx} /32	82H (130)	0.16
2400	f _{xx} /32	82H (130)	0.16	f _{xx} /16	D0H (208)	0.16	f _{xx} /16	82H (130)	0.16
4800	f _{xx} /16	82H (130)	0.16	f _{xx} /8	D0H (208)	0.16	f _{xx} /8	82H (130)	0.16
9600	f _{xx} /8	82H (130)	0.16	f _{xx} /4	D0H (208)	0.16	f _{xx} /4	82H (130)	0.16
19200	f _{xx} /4	82H (130)	0.16	f _{xx} /2	D0H (208)	0.16	f _{xx} /2	82H (130)	0.16
31250	f _{xx} /2	A0H (160)	0	f _{xx} /2	80H (128)	0	f _{xx}	A0H (160)	0
38400	f _{xx} /2	82H (130)	0.16	f _{xx}	D0H (208)	0.16	f _{xx}	82H (130)	0.16
76800	f _{xx}	82H (130)	0.16	f _{xx}	68H (104)	0.16	f _{xx}	41H (65)	0.16
153600	f _{xx}	41H (65)	0.16	f _{xx}	34H (52)	0.16	f _{xx}	21H (33)	-1.36
312500	f _{xx}	20H (32)	0	f _{xx}	1AH (26)	-1.54	f _{xx}	10H (16)	0

注意 基本クロック (f_{UCLK}) の許容周波数は次のとおりです。

- REGC = V_{DD} = 4.5~5.5 V : f_{UCLK} ≤ 12 MHz
- REGC = 10 μF, V_{DD} = 4.0~5.5 V : f_{UCLK} ≤ 6 MHz
- REGC = V_{DD} = 2.7~4.5 V : f_{UCLK} ≤ 6 MHz

備考 f_{xx} : メイン・クロック周波数

f_{UCLK} : 基本クロック周波数

k : BRGCn.MDLn7-MDLn0ビットの設定値

ERR : ボー・レート誤差 [%]

n = 0-2

16.7.4 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 ここに示すボー・レート誤差は理論値です。実際には、UARTを使用する環境によって信号がなまったり、許容誤差範囲内でも正常通信ができなくなる場合がありますので、誤差はなるべく小さくするようにしてください。

図16-15 受信時の許容ボー・レート範囲

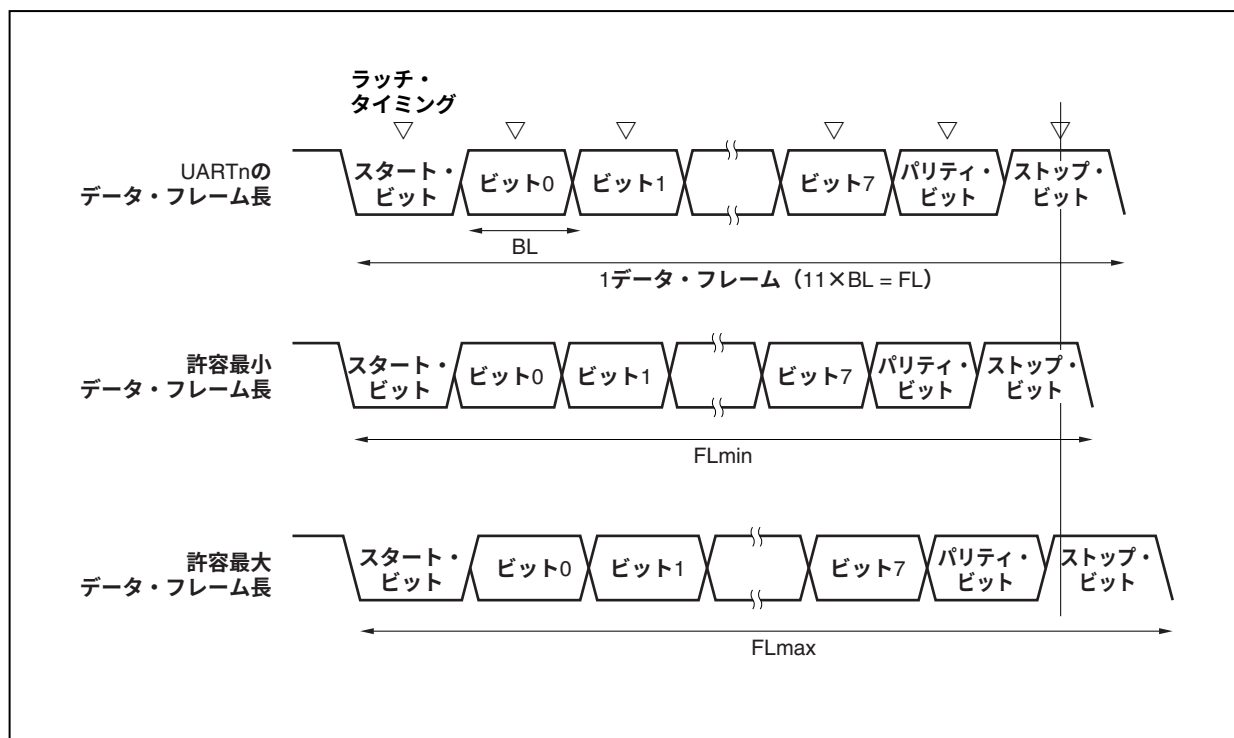


図16-15に示すように、スタート・ビット検出後はBRGCnレジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$BL = (\text{Brate})^{-1}$$

Brate : UARTnのボー・レート

k : BRGCnレジスタの設定値

BL : 1ビット・データ長

FL : 1データ・フレーム長

ラッチ・タイミングのマージンを基本クロックの2クロック分とすると、許容最小データ・フレーム長 (FLmin) は次のようになります。

$$FL_{\min} = 11 \times BL - \frac{k-2}{2k} \times BL = \frac{21k+2}{2k} BL$$

したがって、受信可能な送信先の最大ボー・レート (BRmax) は次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} B_{\text{rate}}$$

同様に、許容最大データ・フレーム長 (FLmax) を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times BL - \frac{k+2}{2 \times k} \times BL = \frac{21k-2}{2 \times k} BL$$

$$FL_{\max} = \frac{21k-2}{20k} BL \times 11$$

したがって、受信可能な送信先の最小ボー・レート (BRmin) は次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} B_{\text{rate}}$$

前述の最小／最大ボー・レート値の算出式から、UARTnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表16-6 許容最大／最小ボー・レート誤差

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数、分周比 (k) に依存します。基本クロック周波数が高く、分周比 (k) が大きくなるほど精度は高くなります。

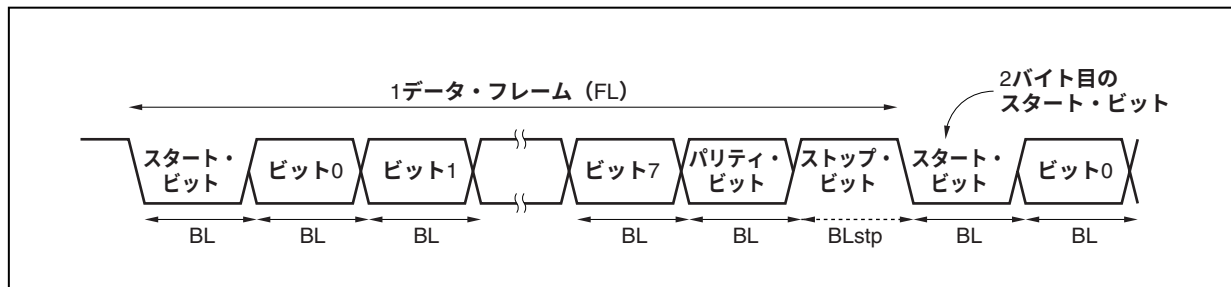
2. k: BRGCnレジスタの設定値

16.7.5 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

次に連続送信時のデータ・フレーム長について示します。

図16-16 連続送信時のデータ・フレーム長



1ビット・データ長：BL，ストップ・ビット長：BLstp，基本クロック周波数： f_{CLK} とすると次の式が成り立ちます。

$$\text{BLstp} = \text{BL} + 2 / f_{\text{CLK}}$$

したがって、連続送信でのデータ・フレーム長は次のようになります。

$$\text{データ・フレーム長} = 11 \times \text{BL} + (2/f_{\text{CLK}})$$

16.8 注意事項

UARTnについての注意事項を次に示します。

- (1) UARTnへの供給クロックが停止する場合（例：IDLE、STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はASIMn.UARTEn, RXEn, TXEnビット = 000とし、回路を初期化してください。
- (2) UARTnは、TXBnレジスタ、送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ（ASIFn.TXBFn, TXSFnビット）があります。連続送信でTXBFn, TXSFnビットを同時に読み出した場合、「10」→「11」→「01」と変化します。連続送信を行う場合は、次のデータをTXBnレジスタへ書き込むタイミングについて、TXBFnビットのみを読み出して判断してください。
- (3) 動作許可（UARTEnビット = 1）した場合には、TXEnビット = 1としたあと、基本クロック（ f_{CLK} ）の2周期分以上の時間を経過してから送信動作が許可状態になります。
また、動作許可（UARTEnビット = 1）した場合には、RXEnビット = 1としたあと、基本クロック（ f_{CLK} ）の2周期分以上の時間を経過してから受信動作が許可状態になります。

第17章 クロック同期式シリアル・インタフェース0 (CSI0)

V850ES/KJ2は、クロック同期式シリアル・インタフェース0 (CSI0) を3チャンネル搭載しています。

17.1 特 徴

- 最大転送速度：5 Mbps
- マスタ・モードとスレーブ・モードを選択可能
- 送信データ長：8ビット／16ビットに設定可能
- 転送データ方向をMSB先頭／LSB先頭切り替え可能
- 8本のクロック信号を選択可能（7本のマスタ・クロックと1本のスレーブ・クロック）
- クロックとデータに対する送受信タイミング指定可能
- 3線式 $SO0n$: シリアル送信データ出力
 $SI0n$: シリアル受信データ入力
 $\overline{SCK0n}$: シリアル・クロック入出力
- 割り込みソース1種
 - ・送受信完了割り込み要求信号 (INTCSI0n)
- 送受信モードと受信専用モードを指定可能
- 2つの送信バッファ・レジスタ ($SOTBFn/SOTBFLn$, $SOTBn/SOTBLn$) と2つの受信バッファ・レジスタ ($SIRBn/SIRBLn$, $SIRBEn/SIRBELn$) を内蔵
- シングル転送モードと連続転送モードを指定可能

備考 $n = 0-2$

17.2 構 成

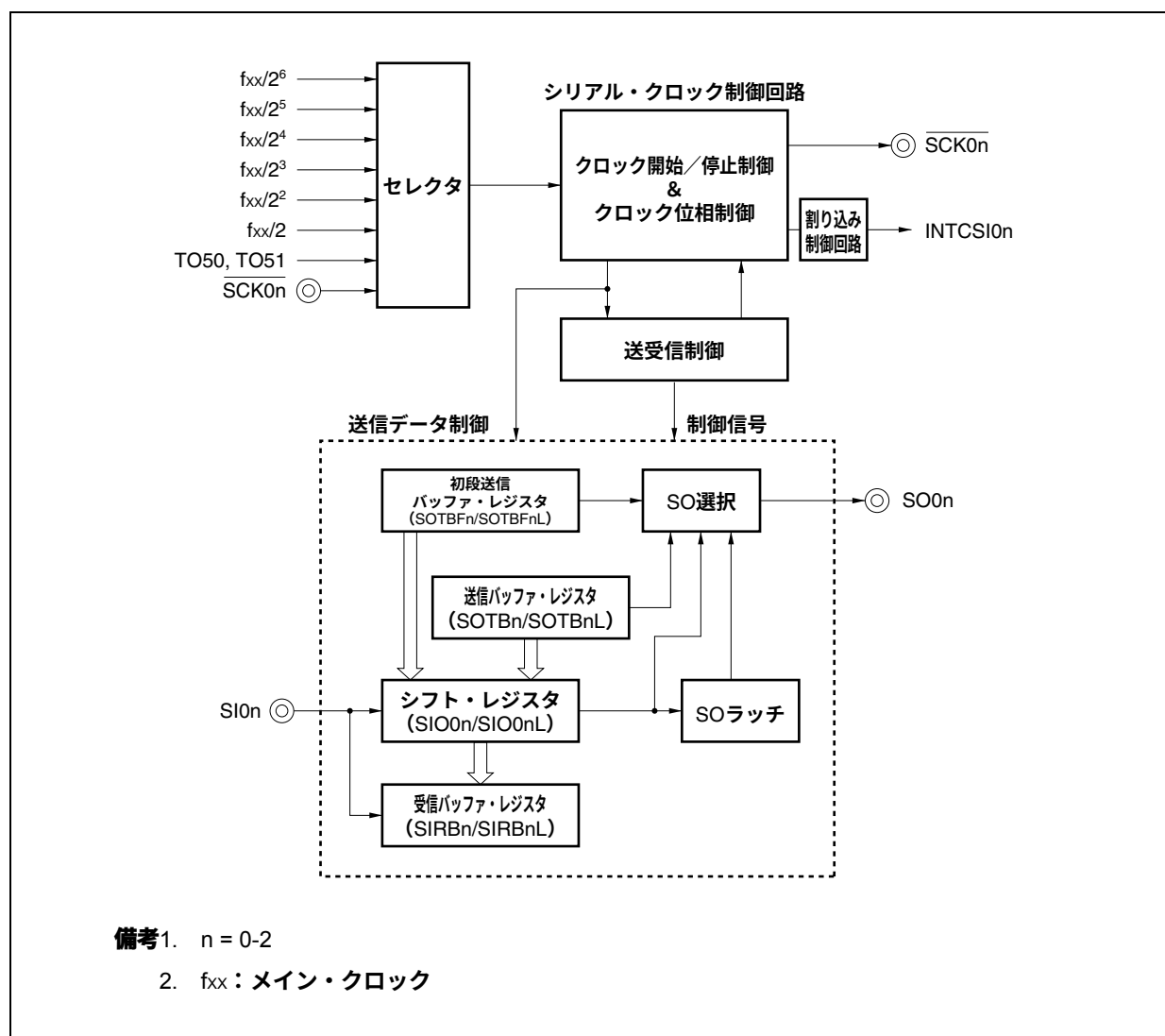
CSI0nは次のハードウェアで構成されています。

表17-1 CSI0nの構成

項 目	構 成
レジスタ	クロック同期式シリアル・インタフェース・モード・レジスタ0n (CSIM0n) クロック同期式シリアル・インタフェース・クロック選択レジスタn (CSICn) シリアルI/Oシフト・レジスタ0n (SIO0n) シリアルI/Oシフト・レジスタ0nL (SIO0nL) クロック同期式シリアル・インタフェース受信バッファ・レジスタn (SIRBn) クロック同期式シリアル・インタフェース受信バッファ・レジスタnL (SIRBnL) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタn (SIRBEn) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタnL (SIRBEnL) クロック同期式シリアル・インタフェース送信バッファ・レジスタn (SOTBn) クロック同期式シリアル・インタフェース送信バッファ・レジスタnL (SOTBnL) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタn (SOTBFn) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタnL (SOTBFnL)

次にCSI0nのブロック図を示します。

図17-1 クロック同期式シリアル・インタフェースのブロック図



(1) クロック同期式シリアル・インタフェース・モード・レジスタ_{0n} (CSIM0_n)

CSIM0_nレジスタは、CSI0_nの動作を指定する8ビット・レジスタです。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ_n (CSIC_n)

CSIC_nレジスタは、転送クロックの選択やシリアル・データとクロックの位相関係を指定する8ビット・レジスタです。

(3) シリアルI/Oシフト・レジスタ_{0n} (SIO0_n)

SIO0_nレジスタは、パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。

SIO0_nレジスタは送信と受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）およびシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

(4) シリアルI/Oシフト・レジスタ_{0nL} (SIO0_{nL})

SIO0_{nL}レジスタは、パラレル・データをシリアル・データに変換する8ビット・シフト・レジスタです。

SIO0_{nL}レジスタは送信と受信の両方に使用されます。

データは、MSB側またはLSB側からシフト・イン（受信）およびシフト・アウト（送信）されます。

バッファ・レジスタへのアクセスで実際の送受信動作が起動されます。

(5) クロック同期式シリアル・インタフェース受信バッファ・レジスタ_n (SIRB_n)

SIRB_nレジスタは、受信データを格納する16ビット・バッファ・レジスタです。

(6) クロック同期式シリアル・インタフェース受信バッファ・レジスタ_{nL} (SIRB_{nL})

SIRB_{nL}レジスタは、受信データを格納する8ビット・バッファ・レジスタです。

(7) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ_n (SIRBE_n)

SIRBE_nレジスタは、受信データを格納する16ビット・バッファ・レジスタです。

SIRBE_nレジスタの内容は、SIRB_nレジスタの内容と同じものです。SIRB_nレジスタの内容を読み出す場合に使用します。

(8) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ_{nL} (SIRBE_{nL})

SIRBE_{nL}レジスタは、受信データを格納する8ビット・バッファ・レジスタです。

SIRBE_{nL}レジスタは、SIRB_{nL}レジスタと同じものです。SIRB_{nL}レジスタの内容を読み出す場合に使用します。

(9) クロック同期式シリアル・インタフェース送信バッファ・レジスタ_n (SOTB_n)

SOTB_nレジスタは、送信データを格納する16ビット・バッファ・レジスタです。

(10) クロック同期式シリアル・インタフェース送信バッファ・レジスタ_{nL} (SOTB_{nL})

SOTB_{nL}レジスタは、送信データを格納する8ビット・バッファ・レジスタです。

(11) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ_n (SOTBF_n)

SOTBF_nレジスタは、連続転送モードでの最初の送信データを格納する16ビット・バッファ・レジスタです。

(12) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ_{nL} (SOTBF_{nL})

SOTBF_{nL}レジスタは、連続転送モードでの最初の送信データを格納する8ビット・バッファ・レジスタです。

(13) セレクタ

使用するシリアル・クロックを選択します。

(14) シリアル・クロック制御回路

シリアル・クロックのシフト・レジスタへの供給を制御します。また、内部クロック使用時には $\overline{\text{SCK0n}}$ 端子へ出力するクロックの制御も行います。

(15) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8/16ビット・データの送受信が行われたことを調べます。

(16) 割り込み制御回路

割り込み要求タイミングを制御します。

備考 $n = 0-2$

17.3 レジスタ

(1) クロック同期式シリアル・インタフェース・モード・レジスタ0n（CSIM0n）

CSIM0nレジスタは、CSI0nの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です（ただし、CSOTnビットはリードのみ可能です）。

リセットにより00Hになります。

注意 CSIM0n.TRMDn, CCLn, DIRn, CSITn, AUTO_nビットの書き換えは、通信停止（CSOTnビット = 0）のときのみ可能です。通信停止（CSOTnビット = 0）以外のときにこれらのビットを書き換えた場合の動作は保証しません。

(1/2)

リセット時：00H R/W アドレス：CSIM00 FFFFFFFD00H, CSIM01 FFFFFFFD10H, CSIM02 FFFFFFFD20H

	⑦	⑥	5	④	3	2	1	①
CSIM0n	CSIOEn	TRMDn	CCLn	DIRn	CSITn	AUTO _n	0	CSOTn

(n = 0-2)

CSIOEn	CSI0n動作許可／禁止を指定
0	CSI _n 動作禁止
1	CSI _n 動作許可

CSIOEnビットをクリア（0）することで、CSI0nの内部回路を非同期にリセット[※]することができます。
CSIOEnビット = 0のときのSCK0n, SO0n端子出力状態については17. 6 出力端子を参照してください。

TRMDn	送受信モードを指定
0	受信専用モード
1	送受信モード

TRMDnビット = 0の場合、受信モードになり、SO0nはロウ・レベルを出力します。SIRBnレジスタの読み出しにより、データ受信を開始します。
TRMDnビット = 1の場合、SOTBnレジスタへのデータ書き込みにより送受信が開始されます。

CCLn	データ長を指定
0	8ビット
1	16ビット

DIRn	転送方向モード（MSB/LSB）を指定
0	転送データ先頭ビットはMSB
1	転送データ先頭ビットはLSB

注 リセットされるのは、CSOTnビット、SIRBn, SIRBnL, SIRBE, SIRBE_nL, SIO_n, SIO_nLレジスタです。

CSITn	割り込み要求信号の遅延制御を行う
0	遅延なし
1	遅延モード（割り込み要求信号がシリアル・クロックに対して半サイクル遅れる）

遅延モード（CSITnビット = 1）は、マスタ・モード（CSICn.CKS0n2-CKS0n0ビット = 111B以外）のときだけ有効です。スレーブ・モード（CKS0n2-CKS0n0ビット = 111B）時は、遅延モードに設定しないでください。

AUTOn	シングル転送／連続転送モードを指定
0	シングル転送モード
1	連続転送モード

CSOTn	通信状態フラグ
0	通信停止
1	通信中

CSOTnビットは、CSI0Enビット = 0でクリア（0）されます。

(2) クロック同期式シリアル・インタフェース・クロック選択レジスタ_n (CSIC_n)

CSIC_nレジスタは、CSI0_nの転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

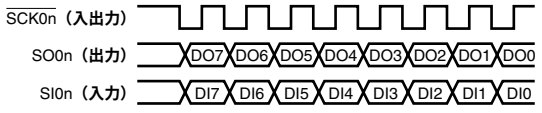
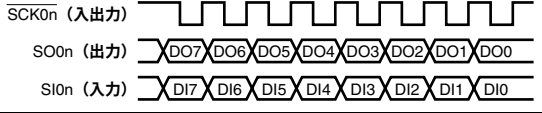
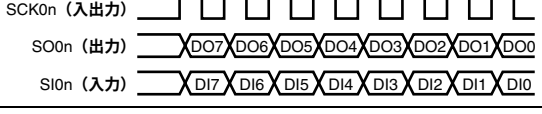
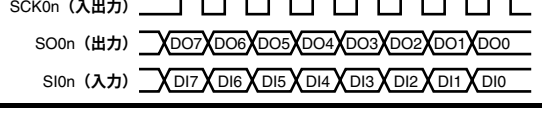
リセットにより00Hになります。

注意 CSIC_nレジスタはCSIM0_n.CSI0Enビット = 0のときのみ書き換えられます。

リセット時：00H R/W アドレス：CSIC0 FFFFFFFD01H, CSIC1 FFFFFFFD11H, CSIC2 FFFFFFFD21H

	7	6	5	4	3	2	1	0
CSIC _n	0	0	0	CKP _n	DAP _n	CKS0 _{n2}	CKS0 _{n1}	CKS0 _{n0}

(n = 0-2)

CKP _n	DAP _n	SCK0 _n に対するデータの送受信タイミングの指定
0	0	(タイプ1) 
0	1	(タイプ2) 
1	0	(タイプ3) 
1	1	(タイプ4) 

CKS0 _{n2}	CKS0 _{n1}	CKS0 _{n0}	シリアル・クロック ^{注1}	モード
0	0	0	$f_{xx}/2$	マスタ・モード
0	0	1	$f_{xx}/2^2$	マスタ・モード
0	1	0	$f_{xx}/2^3$	マスタ・モード
0	1	1	$f_{xx}/2^4$	マスタ・モード
1	0	0	$f_{xx}/2^5$	マスタ・モード
1	0	1	$f_{xx}/2^6$	マスタ・モード
1	1	0	TO50, TO51 ^{注2} で生成されるクロック	マスタ・モード
1	1	1	外部クロック (SCK0 _n 端子)	スレーブ・モード

注1. 次の条件を満たすようにシリアル・クロックを設定してください。

- REGC = V_{DD} = 4.0~5.5 V : シリアル・クロック ≤ 5 MHz
- REGC = 10 μF, V_{DD} = 4.0~5.5 V : シリアル・クロック ≤ 2.5 MHz
- REGC = V_{DD} = 2.7~4.0 V : シリアル・クロック ≤ 2.5 MHz

2. CSI00のときTO50

CSI01, CSI02のときTO51

備考 f_{xx} : メイン・クロック周波数

(3) クロック同期式シリアル・インタフェース受信バッファ・レジスタ_{n, nL} (SIRB_n, SIRB_{nL})

SIRB_nレジスタは、受信データを格納する16ビット・バッファ・レジスタです。

受信専用モード (CSIM0_n.TRMD_nビット = 0) に設定したとき、SIRB_nレジスタからデータを読み出すことにより、受信動作を開始します。

16ビット単位でリードのみ可能です。ただし下位8ビットをSIRB_{nL}レジスタとして使用する場合は、8ビット単位でリードのみ可能です。

リセット入力以外に、CSIM0_n.CSI0Enビットをクリア (0) した場合も初期化されます。

注意1. SIRB_nレジスタは、16ビット・データ長 (CSIM0_n.CCL_nビット = 1) に設定したときのみリードしてください。

SIRB_{nL}レジスタは、8ビット・データ長 (CCL_nビット = 0) に設定したときのみリードしてください。

2. シングル転送モード (CSIM0_n.AUTO_nビット = 0) に設定したときには、通信停止中 (CSIM0_n.CSOT_nビット = 0) のみリードしてください。通信中 (CSIM0_n.CSOT_nビット = 1) にSIRB_n, SIRB_{nL}レジスタをリードした場合のデータは保証しません。

(a) SIRB_nレジスタ

リセット時：0000H R アドレス：SIRB0 FFFFFFFD02H, SIRB1 FFFFFFFD12H, SIRB2 FFFFFFFD22H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n	SIRB _n
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SIRB_{nL}レジスタ

リセット時：00H R アドレス：SIRB0L FFFFFFFD02H, SIRB1L FFFFFFFD12H, SIRB2L FFFFFFFD22H

	7	6	5	4	3	2	1	0
SIRB _{nL}	SIRB _n 7	SIRB _n 6	SIRB _n 5	SIRB _n 4	SIRB _n 3	SIRB _n 2	SIRB _n 1	SIRB _n 0
(n = 0-2)								

(4) クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ_{n, nL} (SIRBEn, SIRBEnL)

SIRBEnレジスタは、受信データを読み出すための16ビット・バッファ・レジスタです。

SIRBEnレジスタは、SIRBnレジスタと同じものですが、SIRBEnレジスタを読み出しても次の動作は開始しません。シリアル受信を継続しないときのSIRBnレジスタの内容を読み出す場合に使用します。

16ビット単位でリードのみ可能です。ただし下位8ビットをSIRBEnLレジスタとして使用する場合は、8ビット単位でリードのみ可能です。

リセット入力以外に、CSIM0n.CSI0Enビットをクリア (0) した場合も初期化されます。

注意1. SIRBEn, SIRBEnLレジスタからデータを読み出しても、受信動作は開始しません。

2. SIRBEnレジスタは、16ビット・データ長 (CSIM0n.CCLnビット = 1) に設定したときのみリードしてください。

SIRBEnLレジスタは、8ビット・データ長 (CCLnビット = 0) に設定したときのみリードしてください。

(a) SIRBEnレジスタ

リセット時：0000H R アドレス：SIRBE0 FFFFFFFD06H, SIRBE1 FFFFFFFD16H, SIRBE2 FFFFFFFD26H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn	SIRBEn
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SIRBEnLレジスタ

リセット時：00H R アドレス：SIRBE0L FFFFFFFD06H, SIRBE1L FFFFFFFD16H, SIRBE2L FFFFFFFD26H

	7	6	5	4	3	2	1	0
SIRBEnL	SIRBEn7	SIRBEn6	SIRBEn5	SIRBEn4	SIRBEn3	SIRBEn2	SIRBEn1	SIRBEn0
(n = 0-2)								

(5) クロック同期式シリアル・インタフェース送信バッファ・レジスタ_{n, nL} (SOTB_n, SOTB_{nL})

SOTB_nレジスタは、送信データを格納する16ビット・バッファ・レジスタです。

送受信モード (CSIM0_n.TRMD_nビット = 1) に設定したとき、SOTB_nレジスタへのデータ書き込みにより、送受信動作を開始します。

16ビット単位でリード／ライト可能です。ただし下位8ビットをSOTB_{nL}レジスタとして使用する場合は、8ビット単位でリード／ライト可能です。

リセットにより初期化されます。

注意1. SOTB_nレジスタは、16ビット・データ長 (CSIM0_n.CCL_nビット = 1) に設定したときのみアクセスしてください。

SOTB_{nL}レジスタは、8ビット・データ長 (CCL_nビット = 0) に設定したときのみアクセスしてください。

2. シングル転送モード (CSIM0_n.AUTO_nビット = 0) に設定したときには、通信停止中 (CSIM0_n.CSOT_nビット = 0) のみアクセスしてください。通信中 (CSIM0_n.CSOT_nビット = 1) にSOTB_n, SOTB_{nL}レジスタをアクセスした場合のデータは保証しません。

(a) SOTB_nレジスタ

リセット時: 0000H R/W アドレス: SOTB0 FFFFFFFD04H, SOTB1 FFFFFFFD14H, SOTB2 FFFFFFFD24H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n	SOTB _n
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SOTB_{nL}レジスタ

リセット時: 00H R/W アドレス: SOTB0L FFFFFFFD04H, SOTB1L FFFFFFFD14H, SOTB2L FFFFFFFD24H

	7	6	5	4	3	2	1	0
SOTB _{nL}	SOTB _n 7	SOTB _n 6	SOTB _n 5	SOTB _n 4	SOTB _n 3	SOTB _n 2	SOTB _n 1	SOTB _n 0
(n = 0-2)								

(6) クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ_n, nL (SOTBF_n, SOTBF_nL)

SOTBF_nレジスタは、連続転送モードでの最初に送信するデータを格納する16ビット・バッファ・レジスタです。

SOTBF_nレジスタにデータを書き込んでも、送信動作は開始されません。

16ビット単位でリード／ライト可能です。ただし下位8ビットをSOTBF_nLレジスタとして使用する場合、8ビット単位でリード／ライト可能です。

リセットにより初期化されます。

注意 SOTBF_nレジスタは、16ビット・データ長 (CSIM0_n.CCL_nビット = 1)、SOTBF_nLレジスタは、8ビット・データ長 (CCL_nビット = 0) で、通信停止中 (CSIM0_n.CSOT_nビット = 0) のときのみアクセスしてください。通信中 (CSIM0_n.CSOT_nビット = 1) にSOTBF_n, SOTBF_nLレジスタをアクセスした場合のデータは保証しません。

(a) SOTBF_nレジスタ

リセット時：0000H R/W アドレス：SOTBF0 FFFFFFFD08H, SOTBF1 FFFFFFFD18H, SOTBF2 FFFFFFFD28H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n	SOTBF _n
(n = 0-2)	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(b) SOTBF_nLレジスタ

リセット時：00H R/W アドレス：SOTBF0L FFFFFFFD08H, SOTBF1L FFFFFFFD18H, SOTBF2L FFFFFFFD28H

	7	6	5	4	3	2	1	0
SOTBF _n L	SOTBF _n 7	SOTBF _n 6	SOTBF _n 5	SOTBF _n 4	SOTBF _n 3	SOTBF _n 2	SOTBF _n 1	SOTBF _n 0
(n = 0-2)								

(7) シリアルI/Oシフト・レジスタ_n, nL (SIO0n, SIO0nL)

SIO0nレジスタは、パラレル・データをシリアル・データに変換する16ビット・シフト・レジスタです。連続転送で最後のデータを読み出すためにリードします。

SIO0nレジスタを読み出しても、転送は開始されません。

16ビット単位でリードのみ可能です。ただし下位8ビットをSIO0nLレジスタとして使用する場合は、8ビット単位でリードのみ可能です。

リセット入力以外に、CSIM0n.CSI0Enビットをクリア (0) した場合も初期化されます。

注意 SIO0nレジスタは、16ビット・データ長 (CSIM0n.CCLnビット = 1) , SIO0nLレジスタは、8ビット・データ長 (CCLnビット = 0) で、通信停止中 (CSIM0n.CSOTnビット = 0) のときのみリードしてください。通信中 (CSIM0n.CSOTnビット = 1) にSIO0n, SIO0nLレジスタをリードした場合のデータは保証しません。

(a) SIO0nレジスタ

リセット時: 0000H R アドレス: SIO00 FFFFD0AH, SIO01 FFFFD1AH, SIO02 FFFFD2AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SIO0n	SIO _n 15	SIO _n 14	SIO _n 13	SIO _n 12	SIO _n 11	SIO _n 10	SIO _n 9	SIO _n 8	SIO _n 7	SIO _n 6	SIO _n 5	SIO _n 4	SIO _n 3	SIO _n 2	SIO _n 1	SIO _n 0

(n = 0-2)

(b) SIO0nLレジスタ

リセット時: 00H R アドレス: SIO00L FFFFD0AH, SIO01L FFFFD1AH, SIO02L FFFFD2AH

	7	6	5	4	3	2	1	0
SIO0nL	SIO _n 7	SIO _n 6	SIO _n 5	SIO _n 4	SIO _n 3	SIO _n 2	SIO _n 1	SIO _n 0

(n = 0-2)

(8) 各バッファ・レジスタの使用方法

シングル転送, 連続転送における, 各バッファ・レジスタの使用方法を表17-2に示します。

表17-2 各バッファ・レジスタの使用法

レジスタ名	R/W		シングル転送		連続転送 ^{注1}	
			送受信モード	受信専用モード	送受信モード	受信専用モード
SIRBn (SIRBnL)	Read	機能	受信データの格納 ^{注2}	・リードで受信を開始 ・受信データの格納	N-1番目までの（最後以外の）受信データの格納 ^{注2}	・リードで受信を開始させる ・N-2番目まで（最後の2データ以外）のデータの格納
		使用方法	送受信完了後、このレジスタから受信データをリードする。	・最初にダミー・データのリードを行い転送開始する。 ・受信完了後、次のデータ受信を行う場合に、このレジスタから受信データをリードする。	受信完了後、このレジスタから受信データをリードする。この動作をN-1番目のデータ受信完了まで繰り返す。	受信完了後、このレジスタの受信データをリードする。この動作をN-2番目のデータ受信完了まで繰り返す。 （補足） N-1番目のデータはこのレジスタから読み出さない。読み出すと受信動作が開始されてしまい、繰り返し転送を終了できない。
SIRBEn (SIRBEnL)	Read	機能	—	最終受信データの格納 ^{注2}	—	N-1番目の受信データの格納 ^{注2}
		使用方法	使用しない	受信完了後、次のデータ受信を行わない場合に、このレジスタから受信データをリードする。	使用しない	N-1番目のもしくはN番目（最後）のデータ受信完了後、このレジスタからN-1番目の受信データをリードする。
SIO0n (SIO0nL)	Read	機能	—	—	N番目（最後）の受信データの格納 ^{注2}	N番目（最後）の受信データの格納 ^{注2}
		使用方法	使用しない	使用しない	N番目（最後）の送受信完了後、N番目（最後）のデータをリードする。	N番目（最後）の受信完了後、N番目（最後）のデータをリードする。
SOTBn (SOTBnL)	Write	機能	・ライトで送受信を開始 ・送信データの格納	—	・ライトで送受信を開始 ・2番目以降の送信データの格納	—
		使用方法	・送受信完了後、このレジスタへ次の送信データをライトする。	使用しない	送受信完了後、このレジスタへ次の送信データをライトし、次の送受信を開始する。	使用しない
SOTBFn (SOTBFnL)	Write	機能	—	—	1番目（最初）の送信データの格納 ^{注2}	—
		使用方法	使用しない	使用しない	送受信開始前（SOTBnへ書き込む前）に、1番目（最初）の送信データをライトする。	使用しない

注1. N個のデータを転送する場合を示します。

2. リードもしくはライトを行っても通信を開始しません。

備考 アクセスするレジスタは16ビット・モードでは、上側の名称を使用します。8ビット・モードでは、下側の（ ）内のレジスタ名称を使用します。

17.4 割り込み要求信号

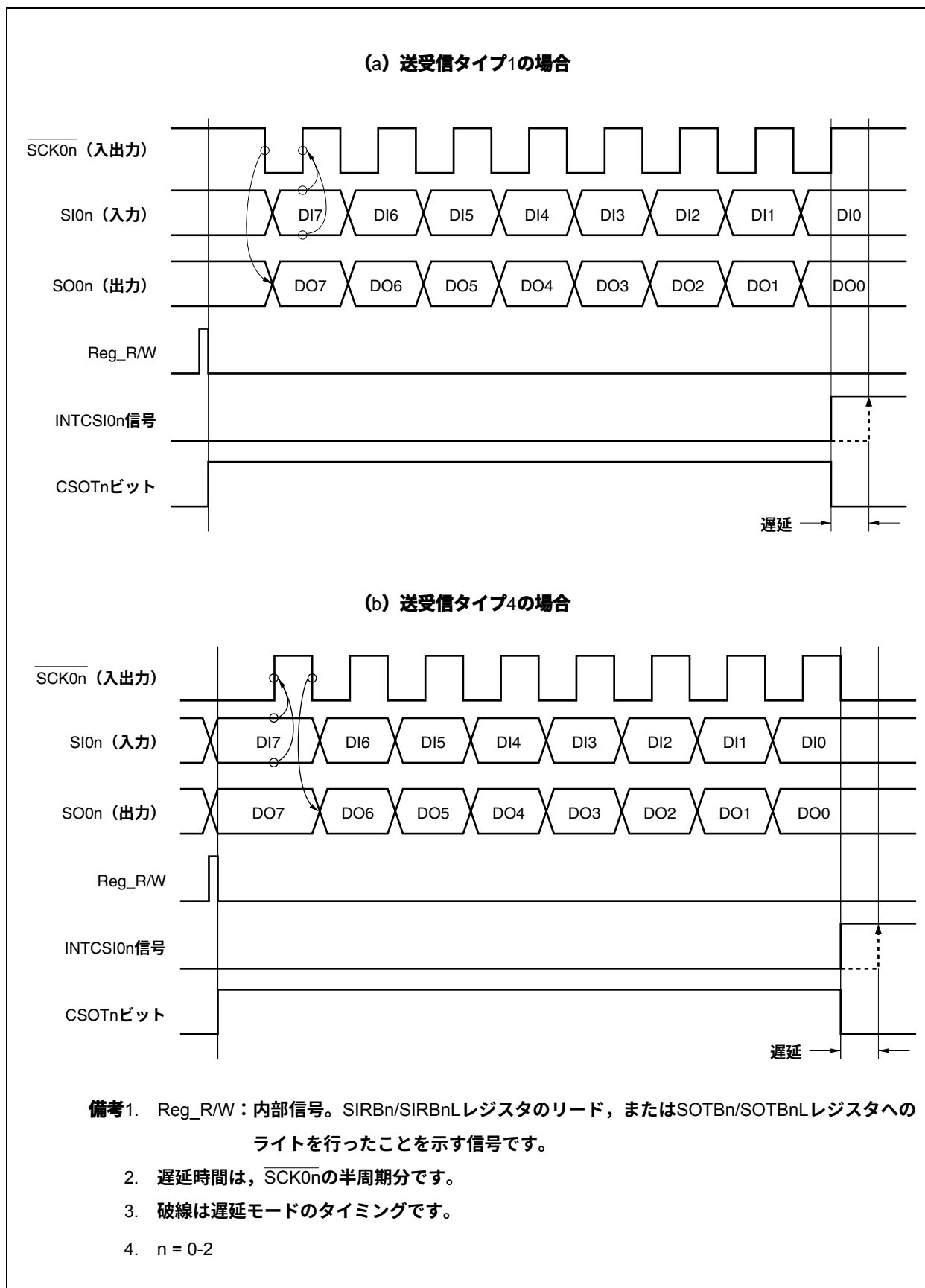
17.4.1 送受信完了割り込み要求信号 (INTCSI0n)

INTCSI0n信号は、データの送受信終了時にセット (1) されます。

図17-2にINTCSI0n信号のタイミング図を示します。

注意 遅延モード (CSIM0n.CSITnビット = 1) は、マスタ・モード (CSICn.CKS0n2-CKS0n0ビット = 111B 以外) のときだけ有効です。スレーブ・モード (CKS0n2-CKS0n0ビット = 111B) 時は、遅延モードに設定しないでください。

図17-2 INTCSI0n信号出力タイミング・チャート



17.5 動作

17.5.1 シングル転送モード

受信専用モード (CSIM0n.TRMDnビット = 0) の場合、SIRBn/SIRBnLレジスタのリードで通信を開始します。

送受信モード (TRMDnビット = 1) の場合、SOTBn/SOTBnLレジスタへのライトで通信を開始します。

また、スレーブ・モードの場合、マスタが通信を始める前に転送可能 (送信したいデータを書き込む) になっている必要があります。

通信が開始されているときには、CSIM0n.CSOTnビット = 1 (送信実行状態) になります。

通信が終了すると、送受信完了割り込み要求信号 (INTCSI0n) が発生し、CSOTnビットはクリア (0) されます。そして、次のデータ通信要求の待ち状態になります。

注意 CSOTnビット = 1のときに、CSI0nのレジスタは操作しないでください。

備考 n = 0-2

図17-3 シングル転送モードでのタイミング・チャート (1/2)

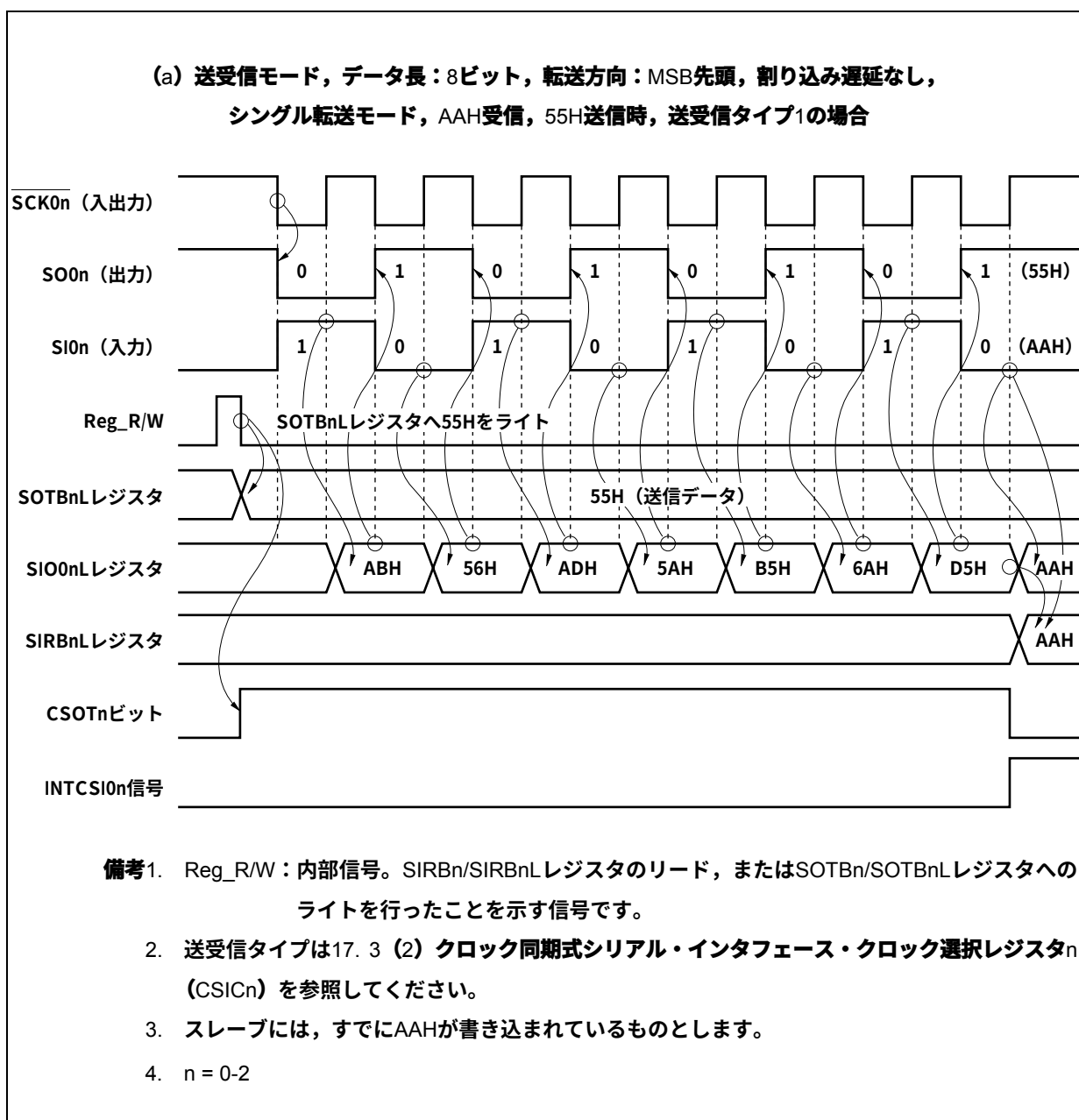
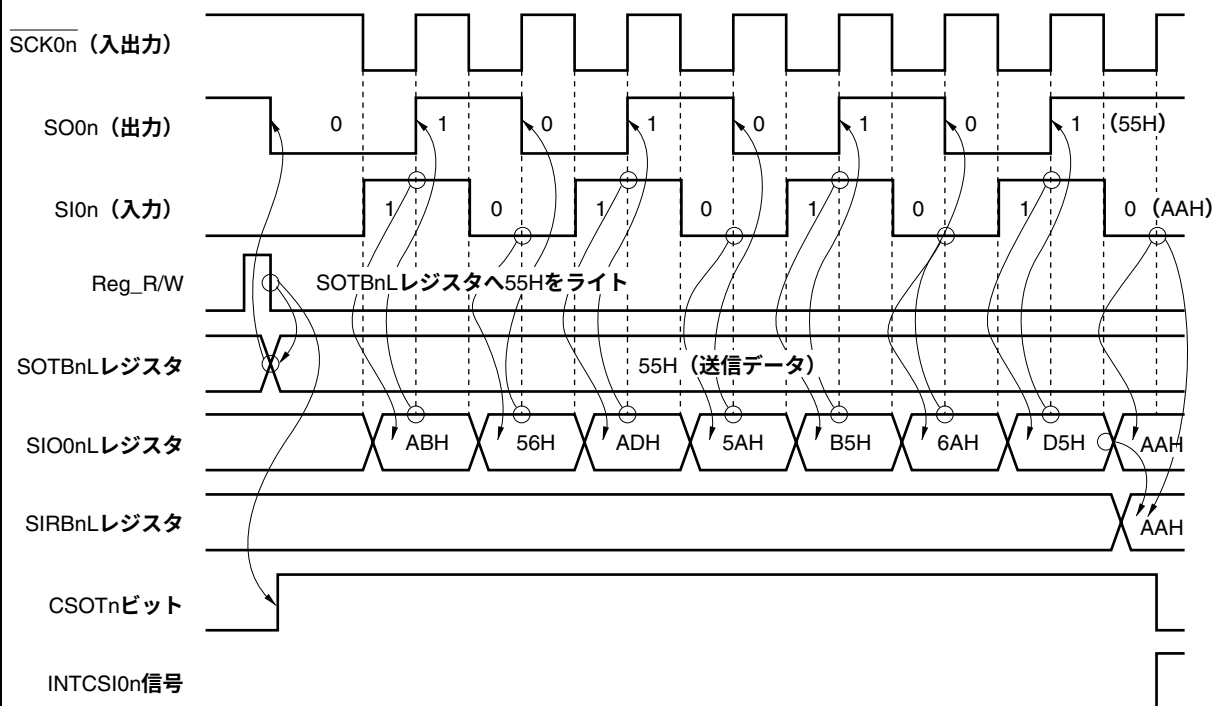


図17-3 シングル転送モードでのタイミング・チャート (2/2)

(b) 送受信モード，データ長：8ビット，転送方向：MSB先頭，割り込み遅延なし，
シングル転送モード，AAH受信，55H送信時，送受信タイプ2の場合



- 備考1.** Reg_R/W：内部信号。SIRBn/SIRBnLレジスタのリード，またはSOTBn/SOTBnLレジスタへのライトを行ったことを示す信号です。
- 送受信タイプは17. 3 (2) クロック同期式シリアル・インタフェース・クロック選択レジスタ_n (CSICn) を参照してください。
 - スレーブには，すでにAAHが書き込まれているものとします。
 - n = 0-2

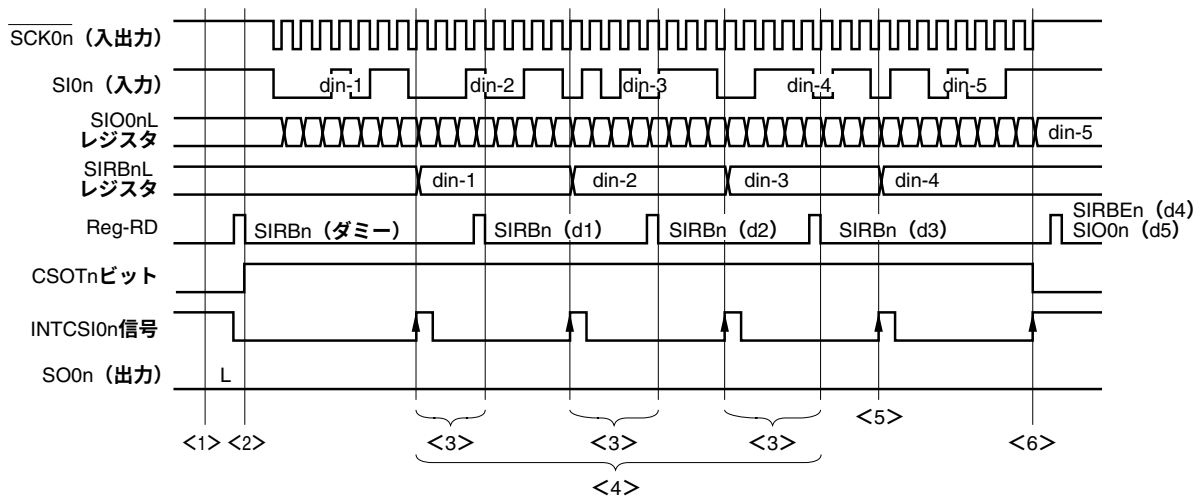
17.5.2 連続転送モード

- <1> 連続転送モード (CSIM0n.AUTOnビット = 1) , 受信専用モード (CSIM0n.TRMDnビット = 0) に設定する。
- <2> SIRBnLレジスタをリードする (ダミー・リードで転送を開始させる)。
- <3> 送受信完了割り込み要求信号 (INTCSI0n) が発生したら, SIRBnLレジスタをリードする[※] (次の転送を予約する)。
- <4> (N-2) 回, <3>を繰り返す (N: 転送データ数)。
- <5> N-1回目のデータ受信による割り込みを無視する (ここでSIRBEnLレジスタをリードしてもよい)。
- <6> 最後のINTCSI0n信号発生のと, SIRBEnLレジスタとSIO0nLレジスタをリードする[※]。

注 N個のデータを転送する場合, 最初のデータから (N-2) 番目のデータまではSIRBnLレジスタをリードすることで受信データを取り込みます。 (N-1) 番目のデータはSIRBEnLレジスタのリード, N番目 (最後) のデータはSIO0nLレジスタのリードにより受信データを取り込みます (表17-2 各バッファ・レジスタの使用方法を参照してください)。

図17-4 連続転送（受信専用）タイミング・チャート

・送受信タイプ1, 8ビット・データ長の場合



備考1. Reg-RD : 内部信号。SIRBnLレジスタをリードしたことを示す信号です。

2. $n = 0-2$

連続転送モードの場合、2回の転送要求が最初の転送開始で設定されます。INTCSI0n信号のあと、次の転送の予約期間内でSIRBnLレジスタをリードできれば、転送は続けられます。SIRBnLレジスタのリードができなければ、転送は終了し、SIRBnLレジスタはSIO0nLレジスタの新しい値を受け取りません。

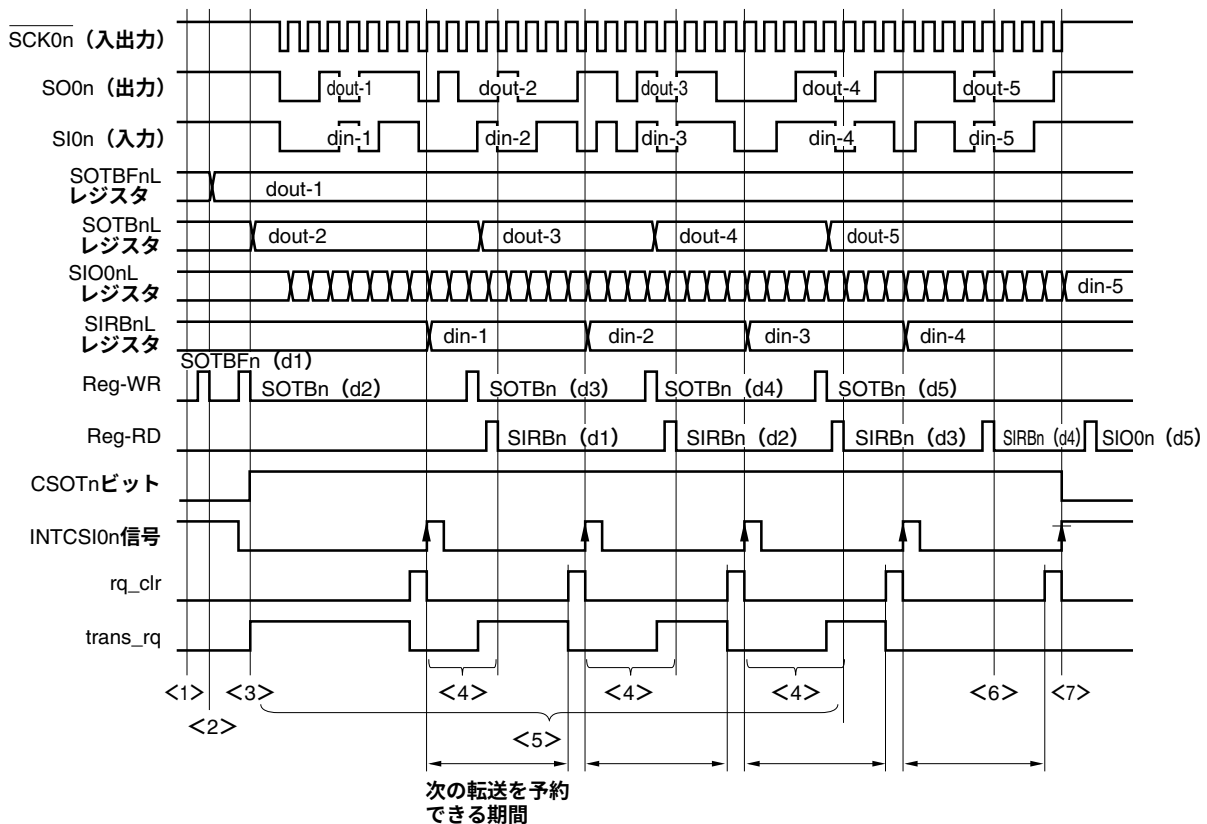
最後のデータは、転送終了後のSIO0nLレジスタをリードしてください。

(2) 送受信：8ビット・データ長

- <1> 連続転送モード (CSIM0n.AUTOnビット = 1) , 送受信モード (CSIM0n.TRMDnビット = 1) に設定する。
- <2> 最初のデータをSOTBFnLレジスタにライトする。
- <3> 2番目のデータをSOTBnLレジスタにライトする (転送を開始させる)。
- <4> 送受信完了割り込み要求信号 (INTCSI0n) が発生したら, SOTBnLレジスタに次のデータをライトする (次の転送を予約する)。SIRBnLレジスタをリードして受信データを取り込む。
- <5> 送りたいデータがある間, <4>を繰り返す。
- <6> INTCSI0n信号が発生したら, SIRBnLレジスタをリードして (N-1) 番目の受信データを取り込む (N: 転送データ数)。
- <7> 最後のINTCSI0n信号のあと, SIO0nLレジスタをリードしてN番目 (最後) の受信データを取り込む。

図17-5 連続転送（送受信）タイミング・チャート

・送受信タイプ1, 8ビット・データ長の場合



備考1. Reg-WR：内部信号。SOTBnLレジスタへライトしたことを示す信号です。

Reg-RD：内部信号。SIRBnLレジスタをリードしたことを示す信号です。

rq_clr：内部信号。転送要求クリア信号です。

trans_rq：内部信号。転送要求信号です。

2. $n = 0-2$

連続転送モードの場合，2回の転送要求が最初の転送開始で設定されます。INTCSI0n信号発生のもと，次の転送の予約期間内でSOTBnLレジスタに次のデータをライトできれば，転送は続けられます。SOTBnLレジスタへのライトができなければ，転送は終了し，SIRBnLレジスタはSIO0nLレジスタの新しい値を受け取りません。

最後の受信データは，転送終了後のSIO0nLレジスタをリードしてください。

(3) 次転送予約期間

連続転送モードでは、図17-6に示す期間中に次の転送の準備をする必要があります。

図17-6 次転送予約期間タイミング・チャート (1/2)

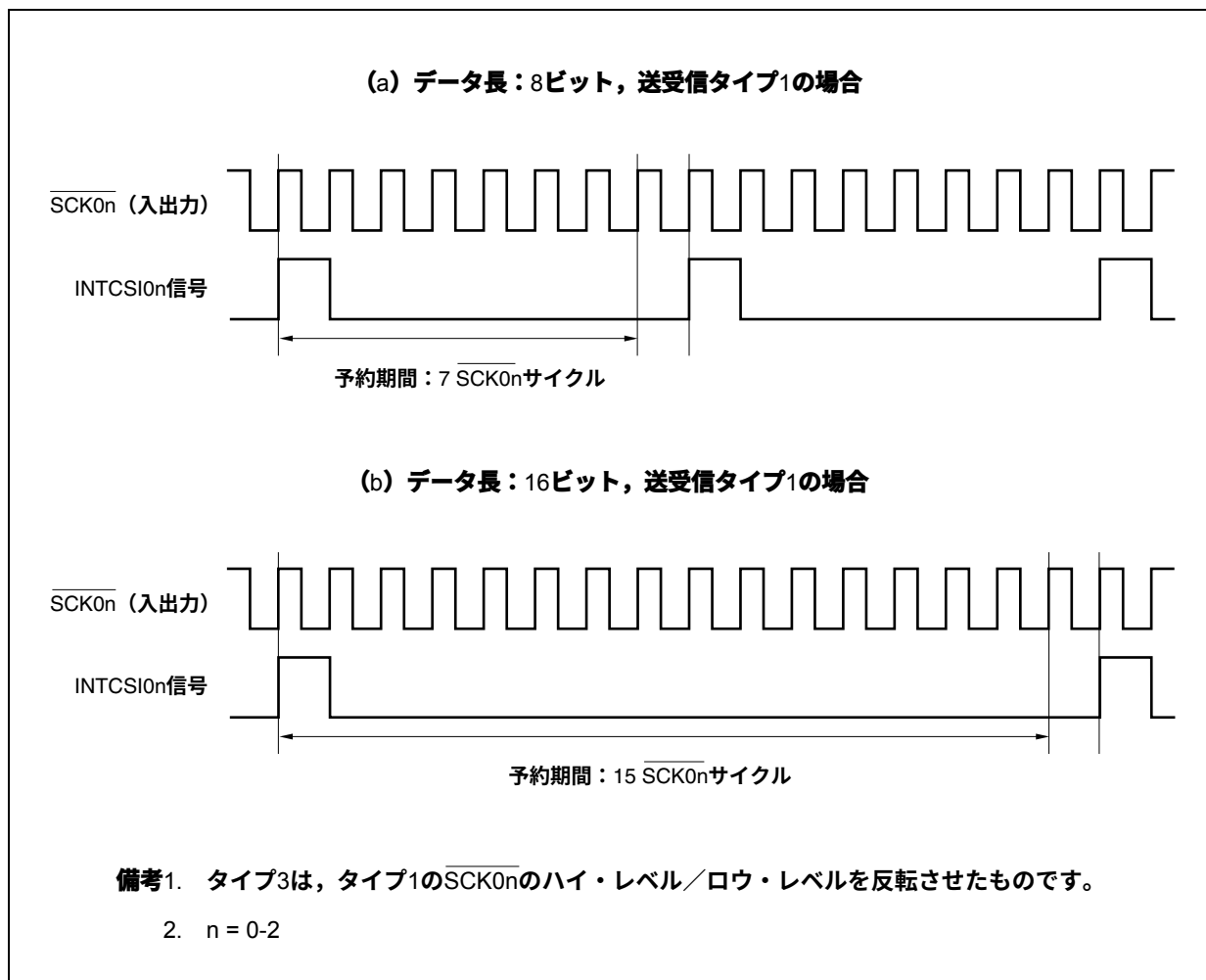
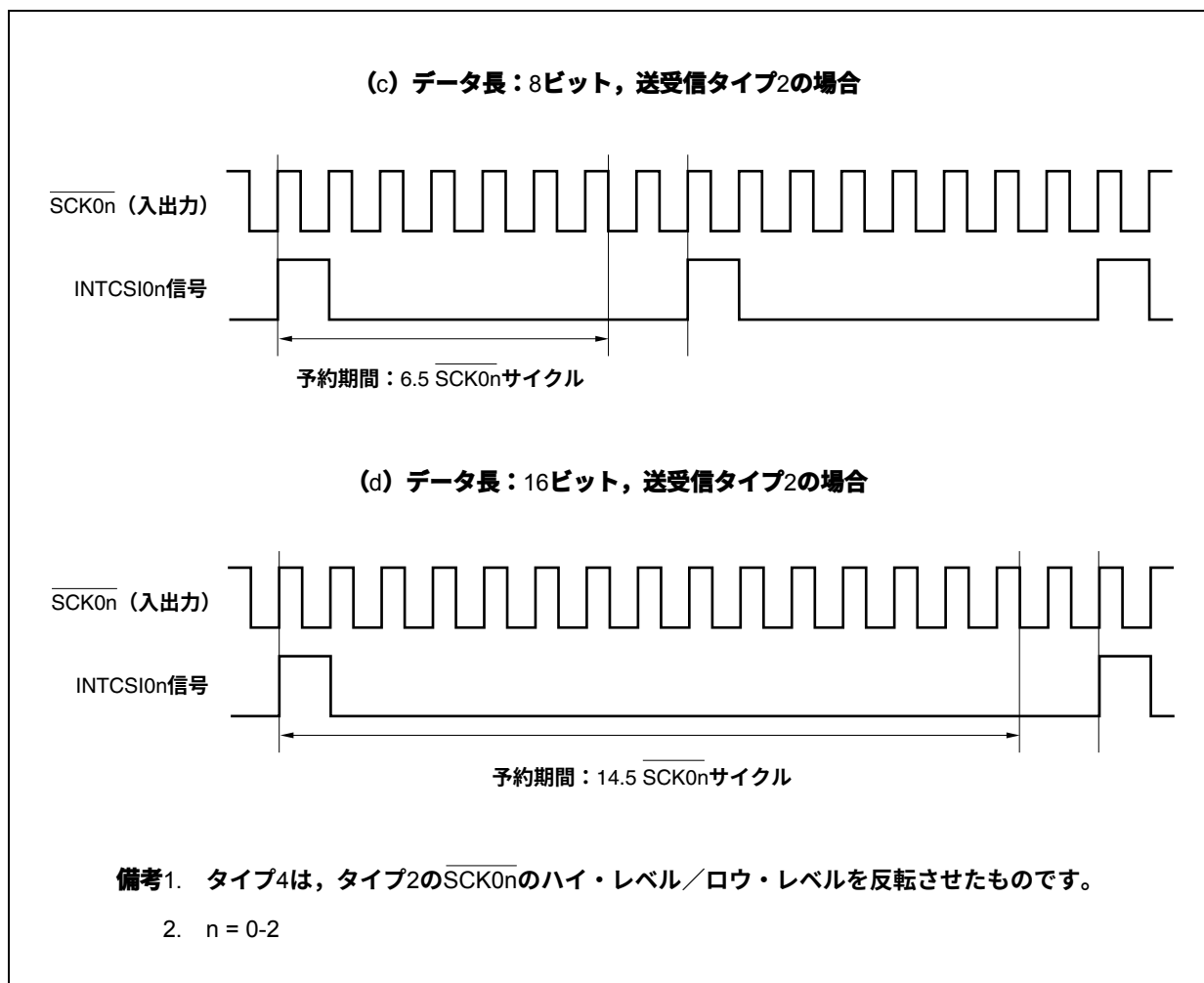


図17-6 次転送予約期間タイミング・チャート (2/2)



(4) 注意事項

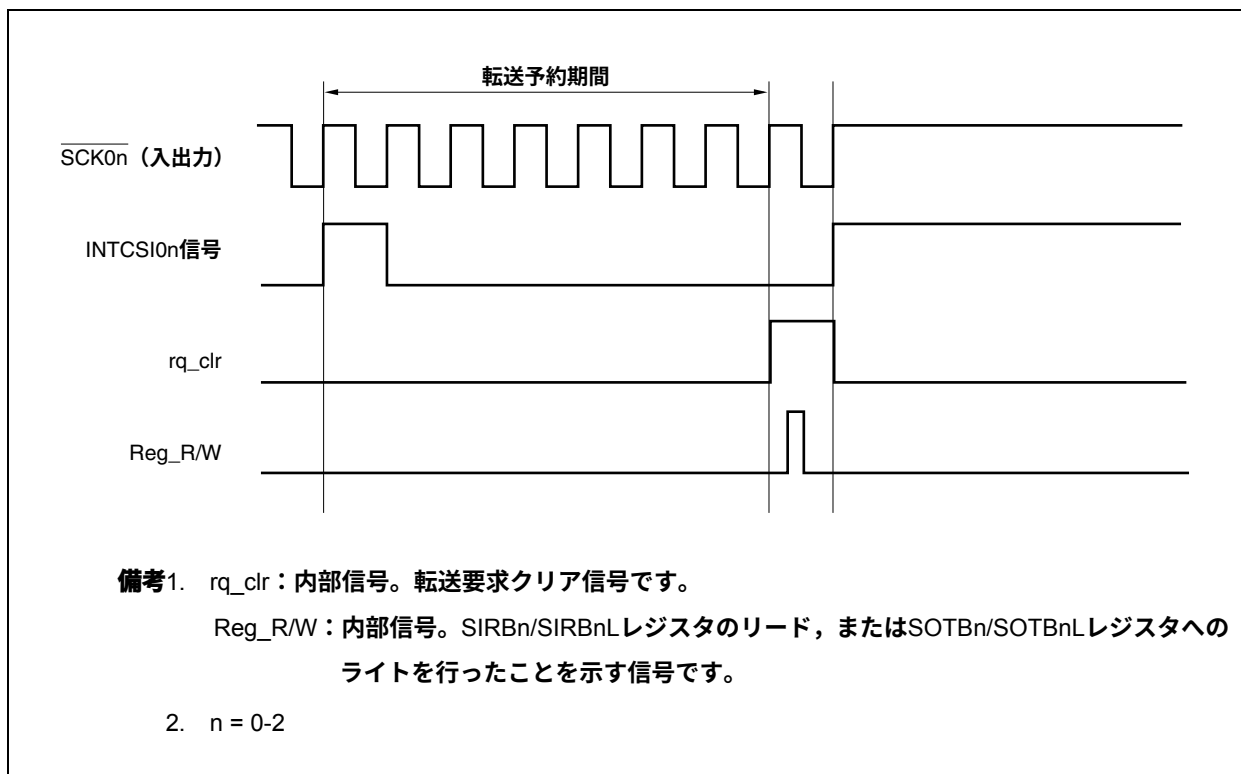
連続転送を継続させるため、転送予約期間中にSIRBnレジスタのリード、またはSOTBnレジスタへのライトを必ず行ってください。

転送予約期間を過ぎてSIRBnレジスタやSOTBnレジスタをアクセスしたときには次のようになります。

(i) 転送要求クリアとレジスタ・アクセスが競合した場合

転送要求のクリアは高い優先順位を持つため、次の転送要求は無視されます。そのため、転送は中断することになり、正常なデータ転送が行えなかったことになります。

図17-7 転送要求クリアとレジスタ・アクセスの競合



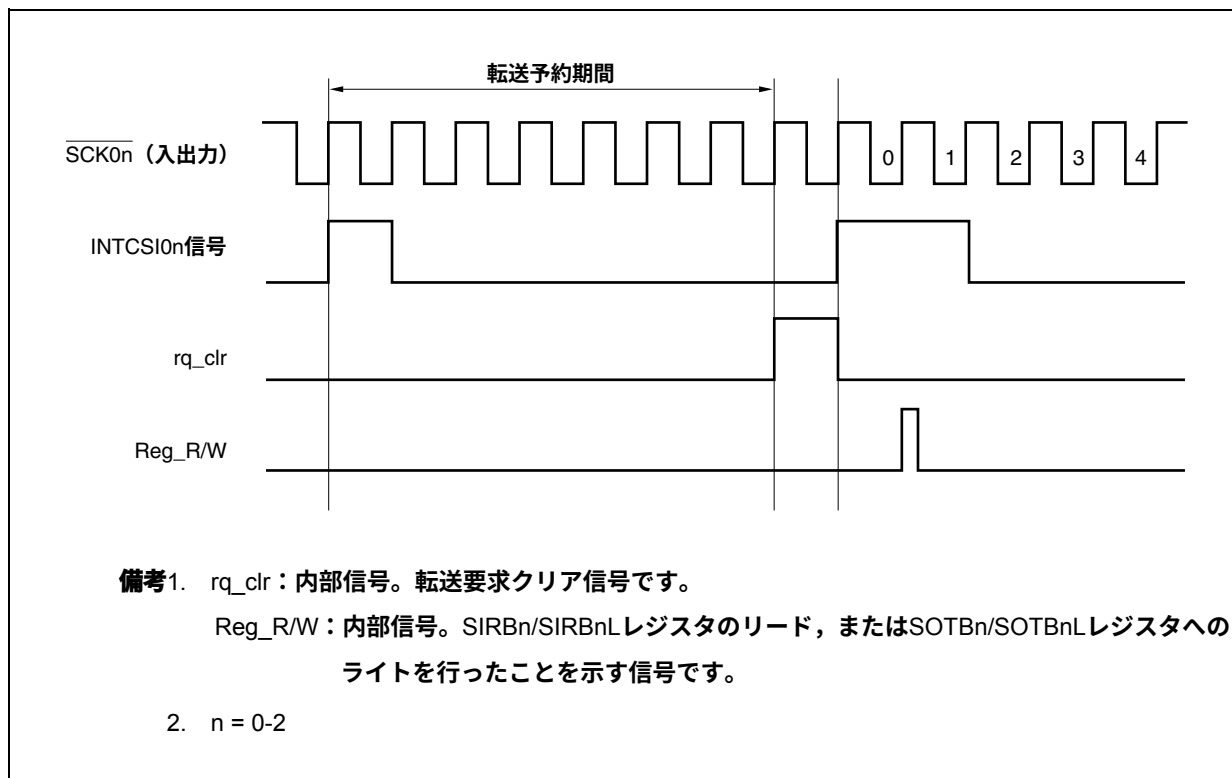
(ii) 送受信完了割り込み要求信号 (INTCSI0n) 発生とレジスタ・アクセスが競合した場合

マスタ・モードでは連続転送がいったん停止するため、新しい連続転送開始として実行します。

スレーブ・モードの場合には、ビット相違の転送エラーとなります (図17-8参照)。

送受信モードの場合には、SOTBFnレジスタの値を再転送し、不正データを送ります。

図17-8 スレーブ・モード時の割り込み要求とレジスタ・アクセスの競合



17.6 出力端子

各出力端子について説明します。各端子の設定については表4-19 端子を兼用機能として使用する場合は参照してください。

(1) SCK0n端子

CSI0n動作禁止 (CSIM0n.CSI0Enビット = 0) のとき、SCK0n端子出力状態は次のようになります。

表17-3 SCK0n端子出力状態

CKPn	CKS0n2	CKS0n1	CKS0n0	SCK0n端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル固定
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル固定

備考 n = 0-2

(2) SO0n端子

CSI0n動作禁止 (CSI0Enビット = 0) のとき、SO0n端子出力状態は次のようになります。

表17-4 SO0n端子出力状態

TRMDn	DAPn	AUTOn	CCLn	DIRn	SO0n端子出力
0	任意	任意	任意	任意	ロウ・レベル固定
1	0	任意	任意	任意	SOラッチの値 (ロウ・レベル: デフォルト)
				0	SOTBn7ビットの値
				1	SOTBn0ビットの値
				0	SOTBn15ビットの値
				1	SOTBn0ビットの値
	1	0	0	0	SOTBFn7ビットの値
				1	SOTBFn0ビットの値
				0	SOTBFn15ビットの値
				1	SOTBFn0ビットの値

備考 n = 0-2

第18章 自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA)

V850ES/KJ2は、自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA) を2チャンネル内蔵しています。

18.1 機 能

CSIAには、次の2種類のモードがあります。

- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

(1) 3線式シリアルI/Oモード

シリアル・クロック端子 ($\overline{\text{SCKAn}}$) とシリアル・データ端子 (SIAn, SOAn) の3本のラインにより、8ビット単位でデータ転送を行うモードです。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

(2) 自動送受信機能付き3線式シリアルI/Oモード

シリアル・クロック端子 ($\overline{\text{SCKAn}}$) とシリアル・データ端子 (SIAn, SOAn) の3本のラインにより、8ビット・データ転送を行うモードです。

シリアル転送する8ビット・データの先頭ビットをMSBか、またはLSBかに切り替えることができますので、いずれの先頭ビットのデバイスとも接続できます。

自動転送用にバッファRAMを32バイト内蔵しているので、ソフトウェアを介さずに表示ドライバなどとデータ転送可能です。

18.2 特 徴

- 最大転送速度：2 Mbps（マスタ・モード時： $f_{xx} = 12 \text{ MHz}$ 動作時）
：1.2 Mbps（スレーブ・モード時： $f_{xx} = 12 \text{ MHz}$ 動作時）
- マスタ・モードとスレーブ・モードを選択可能
- 転送データ長：8ビット
- 転送データのMSB/LSB先頭を切り替え可能
- 自動送受信機能：
 - 32バイトのバッファRAMを内蔵
 - 1-32バイトまで転送バイト数を指定可能
 - 転送間隔指定可能（0-63クロック）
 - 単発転送／繰り返し転送を指定可能
- 専用ポー・レート・ジェネレータ（6/8/16/32分周）内蔵
- 3線式 SOAn : シリアル・データ出力
SIA $\overline{n}$: シリアル・データ入力
SCKAn : シリアル・クロック入出力
- 送受信完了割り込み要求信号：INTCSIA $\overline{n}$

備考 $n = 0, 1$

18.3 構成

CSIA_nは、次のハードウェアで構成しています。

表18-1 CSIA_nの構成

項 目	構 成
レジスタ	シリアルI/Oシフト・レジスタ _n (SIOA _n) 自動データ転送アドレス・カウント・レジスタ _n (ADTC _n) CSIA _n バッファRAM (CSIA _n B _m , CSIA _n B _m L, CSIA _n B _m H) (m = 0-F) シリアル動作モード指定レジスタ _n (CSIMA _n) シリアル・ステータス・レジスタ _n (CSIS _n) シリアル・トリガ・レジスタ _n (CSIT _n) 分周値選択レジスタ _n (BRGCA _n) 自動データ転送アドレス・ポイント指定レジスタ _n (ADTP _n) 自動データ転送間隔指定レジスタ _n (ADTI _n)

備考 n = 0, 1

★ 18.3.1 端子の構成

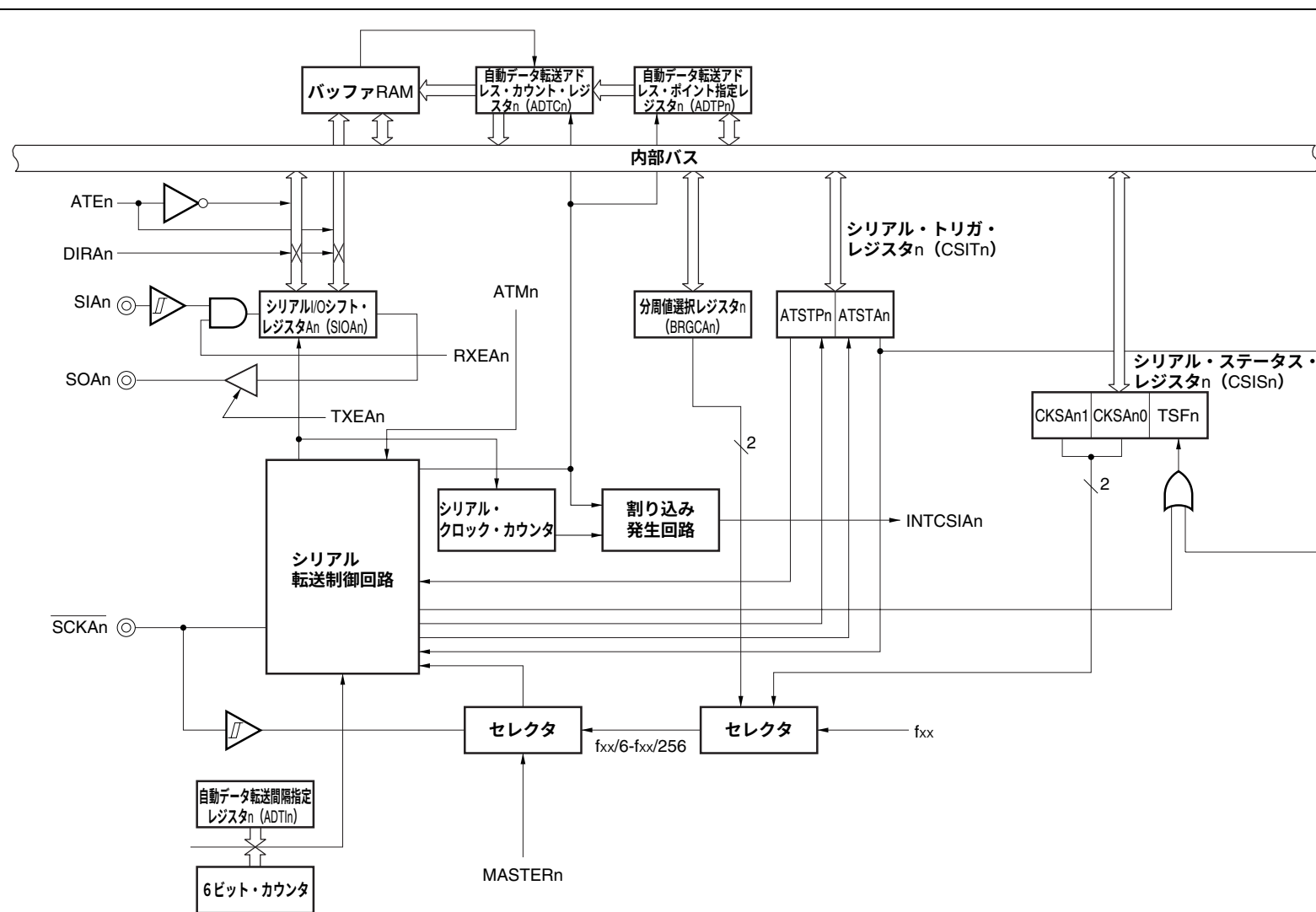
CSIA_nを構成する送受信機能は、表18-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-19 端子を兼用機能として使用する場合参照）。

表18-2 端子構成

チャンネル	ピン番号	ポート	受信データ入力	送信データ出力	クロック入出力	その他の兼用機能
CSIA0	40	P53	SIA0	—	—	P53/RTP03/KR3/DDO ^注
	41	P54	—	SOA0	—	P54/RTP04/KR4/DCK ^注
	42	P55	—	—	SCKA0	P55/RTP05/KR5/DMS ^注
CSIA1	71	P910	SIA1	—	—	A10
	72	P911	—	SOA1	—	A11
	73	P912	—	—	SCKA1	A12

注 μPD70F3734のみ

図18-1 CSIA_nのブロック図



備考 n = 0, 1

18.4 レジスタ

シリアル・インタフェースCSIA_nは、次の8種類のレジスタで制御します。

- ・シリアルI/Oシフト・レジスタAn (SIOAn)
- ・自動データ転送アドレス・カウント・レジスタ_n (ADTC_n)
- ・シリアル動作モード指定レジスタ_n (CSIMAn)
- ・シリアル・ステータス・レジスタ_n (CSIS_n)
- ・シリアル・トリガ・レジスタ_n (CSIT_n)
- ・分周値選択レジスタ_n (BRGCAn)
- ・自動データ転送アドレス・ポイント指定レジスタ_n (ADTP_n)
- ・自動データ転送間隔指定レジスタ_n (ADTI_n)

(1) シリアルI/Oシフト・レジスタAn (SIOAn)

1バイト転送モード (CSIMAn.ATEnビット = 0) 時の送信データおよび受信データを格納する8ビットのレジスタです。SIOAnレジスタに送信データを書き込むことにより、転送が開始されます。また転送完了割り込み要求信号 (INTCSIA_n) の発生後 (CSIS_n.TSFnビット = 0) , SIOAnレジスタからデータを読み出すことにより、受信データを受け取ることができます。

8ビット単位でリード／ライト可能です。ただし、通信中 (CSIS_n.TSFnビット = 1) のとき、SIOAnレジスタへの書き込みは禁止です。

リセットにより00Hになります。

- 注意1.** 転送動作の起動は、SIOAnレジスタへの書き込みで行われるため、送信禁止 (CSIMAn.TXEAnビット = 0) のときも、ダミー・データをSIOAnレジスタに書き込み、転送動作を起動してから受信動作を行ってください。
- 2.** 自動送受信機能が動作しているとき、SIOAnレジスタにデータを書き込まないでください。

リセット時：00H R/W アドレス：SIOA0 FFFFFFFD46H, SIOA1 FFFFFFFD56H

	7	6	5	4	3	2	1	0
SIOAn	SIOAn7	SIOAn6	SIOAn5	SIOAn4	SIOAn3	SIOAn2	SIOAn1	SIOAn0

(n = 0, 1)

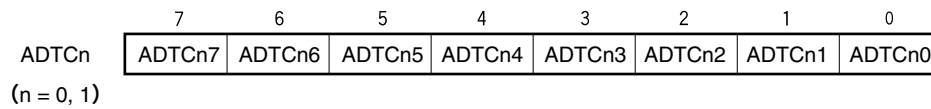
(2) 自動データ転送アドレス・カウント・レジスタ_n (ADTC_n)

自動転送時におけるバッファRAMのアドレスを示すレジスタです。自動転送を中断した場合に、ADTC_nレジスタのレジスタ値を読み出すことによって、中断したデータ位置を知ることができます。

8ビット単位でリードのみ可能です。ただし、通信中 (CSIS_n.TSF_nビット = 1) のときは、ADTC_nレジスタからの読み出しは禁止です。

リセットにより00Hになります。

リセット時：00H R アドレス：ADTC0 FFFFD47H, ADTC1 FFFFD57H



(3) シリアル動作モード指定レジスタ_n (CSIMAn)

シリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：CSIMA0 FFFFDD40H, CSIMA1 FFFFDD50H

⑦ 6 5 4 ③ ② ① 0

CSIMAn (n = 0, 1)

CSIAEn	ATEn	ATMn	MASTERn	TXEAn	RXEAn	DIRAn	0

CSIAEn	CSIAAnの動作許可／禁止の制御
0	CSIAAn動作禁止
1	CSIAAn動作許可

- CSIAEnビットをクリア (0) すると、CSIAAnユニットを非同期にリセット^注します。
(SOAn：ロウ・レベル、SCKAn：ハイ・レベル)
- CSIAEnビット = 0の場合は、CSIAAnユニットはリセット状態のため、CSIAAnを動作させる場合には、まずCSIAEnビットをセット (1) してください。
- CSIAEnビットを1から0にクリアした場合は、CSIAAnユニットのすべてのレジスタが初期化されます。再度CSIAEnビットをセット (1) する前に、必ずCSIAAnユニットのレジスタを再設定してください。
- CSIAEnビットを1から0にクリアした場合は、バッファRAMの値は保持されません。また、CSIAEnビット = 0のとき、バッファRAMへのアクセスはできません。

ATEn	自動転送動作の許可／禁止の制御
0	1バイト転送モード
1	自動転送モード

ATMn	自動転送モードの指定
0	単発モード (ADTPnレジスタで指定したアドレスで停止)
1	繰り返しモード (転送終了後、ADTCnレジスタを00Hにクリアし転送を再開)

MASTERn	CSIAAnのマスタ／スレーブ・モードの指定
0	スレーブ・モード (SCKAn入力クロックに同期)
1	マスタ・モード (内部クロックに同期)

TXEAn	送信動作の許可／禁止の制御
0	送信動作禁止 (SOAn：ロウ・レベル)
1	送信動作許可

RXEAn	受信動作の許可／禁止の制御
0	受信動作禁止
1	受信動作許可

DIRAn	転送データの方向の指定
0	MSBファースト
1	LSBファースト

注 リセットされるのは、ADTCn, CSITn, SIOAnレジスタとCSISn.TSFnビットです。

(4) シリアル・ステータス・レジスタ_n (CSISn)

CSIA_nのシリアル・クロック選択, CSIA_nの状態を示す8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

ただし、転送中 (TSFnビット = 1) の場合、CSISnレジスタの書き換えは禁止です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: CSIS0 FFFFFFFD41H, CSIS1 FFFFD51H

	7	6	5	4	3	2	1	0
CSISn (n = 0, 1)	CKSAn1	CKSAn0	0	0	0	0	0	TSFn

CKSAn1	CKSAn0	シリアル・クロック (f _{SCKA}) の選択 ^注			
			20 MHz	16 MHz	10 MHz
0	0	f _{xx}	設定禁止	設定禁止	100 ns
0	1	f _{xx} /2	100 ns	125 ns	200 ns
1	0	f _{xx} /4	200 ns	250 ns	400 ns
1	1	f _{xx} /8	400 ns	500 ns	800 ns

CSIMAn.CSIAEnビット = 1のときの書き換えは禁止です。

TSFn	転送状態
0	CSIAEnビット = 0 リセット入力時 指定された転送終了時 CSITn.ATSTPnビット = 1により転送を中断したとき
1	転送スタートから指定された転送が終了するまで

注 次の条件を満たすようにf_{SCKA}を設定してください。

- REGC = V_{DD} = 4.0~5.5 V : f_{SCKA} ≤ 12 MHz
- REGC = 10 μF, V_{DD} = 4.0~5.5 V : f_{SCKA} ≤ 6 MHz
- REGC = V_{DD} = 2.7~4.0 V : f_{SCKA} ≤ 6 MHz

注意1. TSFnビットはリードのみ可能です。

- TSFnビット = 1のとき、CSIMAn, CSISn, BRGCAn, ADTPn, ADTIn, SIOAnレジスタの書き換えは禁止です。

また転送バッファRAMの書き換えは可能です。

- ビット1-5には、必ず0を設定してください。

(5) シリアル・トリガ・レジスタ_n (CSIT_n)

バッファRAMとシフト・レジスタ間のCSIT_nレジスタは、自動データ転送の実行／中断を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、CSIMAn.ATEnビットが1の場合のみ操作してください（ATEnビット = 0の場合は操作禁止）。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：CSIT0 FFFFD42H, CSIT1 FFFFD52H

7

6

5

4

3

2

①

②

CSITn

0

0

0

0

0

0

ATSTPn

ATSTAn

(n = 0, 1)

ATSTPn

自動データ転送の中断

0

—

1

自動データ転送を中断

ATSTPnビットをセット（1）しても、1バイトの転送が終了するまでは停止しません。

送受信完了割り込み要求信号（INTCSIA_n）が発生する直前まで1を保持し、その後自動的に“0”になります。

自動データ転送中断後、ADTCnレジスタには中断したときのデータ・アドレスが格納されています。ただし、自動データ転送の再開機能を有していないため、ATSTPnビットをセット（1）して転送を中断した場合は、各レジスタを再設定後、ATSTAnビットをセット（1）して自動データ転送をスタートしてください。

ATSTAn

自動データ転送の開始

0

—

1

自動データ転送を開始

ATSTAnビットをセット（1）しても、1バイトの転送が終了するまでは開始しません。

INTCSIA_n信号が発生する直前まで1が保持し、その後自動的に“0”になります。

(6) 分周値選択レジスタ_n (BRGCAn)

シリアル転送スピード（CSIAクロックの分周値）を制御する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。ただし、通信中（CSISn.TSFnビット = 1）のときは、BRGCAnレジスタの書き換えは禁止です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：BRGCA0 FFFFFFFD43H, BRGCA1 FFFFD53H

	7	6	5	4	3	2	1	0
BRGCAn	0	0	0	0	0	0	BRGCn1	BRGCn0

(n = 0, 1)

BRGCn1	BRGCn0	CSIA _n シリアル・クロック (f _{SCKA} の分周比) の選択
0	0	f _{SCKA} /6
0	1	f _{SCKA} /8
1	0	f _{SCKA} /16
1	1	f _{SCKA} /32

備考 f_{SCKA} : 18.3 (4) シリアル・ステータス・レジスタ_n (CSISn) 参照

(7) 自動データ転送アドレス・ポイント指定レジスタ_n (ADTP_n)

自動データ転送時 (CSIMAn.ATEnビット = 1) の転送を終了するバッファRAMのアドレスを指定する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。ただし、通信中 (CSISn.TSFnビット = 1) のときは、ADTP_nレジスタの書き換えは禁止です。

リセットにより00Hになります。

V850ES/KJ2では、バッファRAMを32バイト内蔵しているため、00H-1FHまで指定可能です。

例 ADTP0レジスタに07Hを設定した場合

FFFFFFE00H-FFFFFFE07Hまでの8バイトを転送します

繰り返しモード (CSIMAn.ATMnビット = 1) の場合は、ADTP_nで指定したアドレス値まで繰り返し転送します。

例 ADTP0レジスタに07Hを設定した場合 (繰り返しモード)

FFFFFFE00H-FFFFFFE07H…と繰り返し転送します

リセット時：00H R/W アドレス：ADTP0 FFFFFFFD44H, ADTP1 FFFFD54H

	7	6	5	4	3	2	1	0
ADTP _n (n = 0, 1)	0	0	0	ADTP _n 4	ADTP _n 3	ADTP _n 2	ADTP _n 1	ADTP _n 0

注意 ビット7-5には、必ず0を設定してください。

バッファRAMのアドレス値とADTPnレジスタの設定値の関係を次に示します。

表18-3 バッファRAMのアドレス値とADTP0レジスタの設定値の関係

バッファRAMのアドレス値	ADTP0レジスタの設定値	バッファRAMのアドレス値	ADTP0レジスタの設定値
FFFFFFE00H	00H	FFFFFFE10H	10H
FFFFFFE01H	01H	FFFFFFE11H	11H
FFFFFFE02H	02H	FFFFFFE12H	12H
FFFFFFE03H	03H	FFFFFFE13H	13H
FFFFFFE04H	04H	FFFFFFE14H	14H
FFFFFFE05H	05H	FFFFFFE15H	15H
FFFFFFE06H	06H	FFFFFFE16H	16H
FFFFFFE07H	07H	FFFFFFE17H	17H
FFFFFFE08H	08H	FFFFFFE18H	18H
FFFFFFE09H	09H	FFFFFFE19H	19H
FFFFFFE0AH	0AH	FFFFFFE1AH	1AH
FFFFFFE0BH	0BH	FFFFFFE1BH	1BH
FFFFFFE0CH	0CH	FFFFFFE1CH	1CH
FFFFFFE0DH	0DH	FFFFFFE1DH	1DH
FFFFFFE0EH	0EH	FFFFFFE1EH	1EH
FFFFFFE0FH	0FH	FFFFFFE1FH	1FH

表18-4 バッファRAMのアドレス値とADTP1レジスタの設定値の関係

バッファRAMのアドレス値	ADTP1レジスタの設定値	バッファRAMのアドレス値	ADTP1レジスタの設定値
FFFFFFE20H	00H	FFFFFFE30H	10H
FFFFFFE21H	01H	FFFFFFE31H	11H
FFFFFFE22H	02H	FFFFFFE32H	12H
FFFFFFE23H	03H	FFFFFFE33H	13H
FFFFFFE24H	04H	FFFFFFE34H	14H
FFFFFFE25H	05H	FFFFFFE35H	15H
FFFFFFE26H	06H	FFFFFFE36H	16H
FFFFFFE27H	07H	FFFFFFE37H	17H
FFFFFFE28H	08H	FFFFFFE38H	18H
FFFFFFE29H	09H	FFFFFFE39H	19H
FFFFFFE2AH	0AH	FFFFFFE3AH	1AH
FFFFFFE2BH	0BH	FFFFFFE3BH	1BH
FFFFFFE2CH	0CH	FFFFFFE3CH	1CH
FFFFFFE2DH	0DH	FFFFFFE3DH	1DH
FFFFFFE2EH	0EH	FFFFFFE3EH	1EH
FFFFFFE2FH	0FH	FFFFFFE3FH	1FH

(8) 自動データ転送間隔指定レジスタ_n (ADTIn)

自動データ転送時 (CSIMAn.ATENビット = 1) の1バイト転送間におけるインターバル期間 (間隔) を指定する8ビットのレジスタです。

ADTInレジスタは、マスタ・モード (CSIMAn.MASTERnビット = 1) 時に設定してください (スレーブ・モード時は設定不要)。また1バイト転送モード (ATENビット = 0) 時の設定も有効です。1バイト転送終了後ADTInレジスタで指定したインターバル時間を経て、送受信完了割り込み要求信号 (INTCSIA_n) が出力されます。インターバルのクロック数は0-63クロックまで設定できます。

8ビット単位でリード／ライト可能です。ただし、通信中 (CSISn.TSFnビット = 1) のときは、ADTInレジスタの書き換えは禁止です。

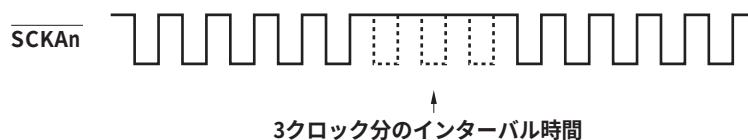
リセットにより00Hになります。

リセット時：00H R/W アドレス：ADTI0 FFFFD45H, ADTI1 FFFFD55H

	7	6	5	4	3	2	1	0
ADTIn	0	0	ADTI _{n5}	ADTI _{n4}	ADTI _{n3}	ADTI _{n2}	ADTI _{n1}	ADTI _{n0}
(n = 0, 1)								

指定したインターバル時間は、転送クロック (BRGCAnレジスタで指定) の整数倍の時間となります。

例 ADTInレジスタ = 03Hの場合



(9) CSIA_nバッファRAM (CSIA_nB_m)

自動転送モードにおける送受信データ（最大32バイト）を1バイト単位で保持する領域です。

16ビット単位でリード／ライト可能です。ただし、CSIA_nB_mレジスタの上位8ビットをCSIA_nB_mHレジスタ、下位8ビットをCSIA_nB_mLレジスタとして使用する場合は、8ビット単位でリード／ライト可能です。

自動転送を開始させると、CSIA_nB₀Lレジスタから順次、ADTP_nレジスタに設定された値+1バイト送受信されます。

- 注意** 1. CSIA_nB_m レジスタヘデータを書き込んだあと、その値を読み出す場合は、 f_{SCKA} (CSIS_n.CKSA_n1, CKSA_n0ビットで設定したシリアル・クロック) の6クロック分以上空けたあと、または別のアドレスのバッファRAMへの書き込みを行ったあとに読み出してください。
2. メイン・クロック停止、サブクロック動作時にCSIA_nB_mレジスタにアクセスしないでください。詳細は、3. 4. 9 (1) を参照してください。

備考 $n = 0, 1$
 $m = 0-F$

表18-5 CSIA0バッファRAM

アドレス	略号	R/W	操作可能ビット		初期値
			8	16	
FFFFFE00H	CSIA0B0	R/W		○	不定
FFFFFE00H	CSIA0B0L	R/W	○		不定
FFFFFE01H	CSIA0B0H	R/W	○		不定
FFFFFE02H	CSIA0B1	R/W		○	不定
FFFFFE02H	CSIA0B1L	R/W	○		不定
FFFFFE03H	CSIA0B1H	R/W	○		不定
FFFFFE04H	CSIA0B2	R/W		○	不定
FFFFFE04H	CSIA0B2L	R/W	○		不定
FFFFFE05H	CSIA0B2H	R/W	○		不定
FFFFFE06H	CSIA0B3	R/W		○	不定
FFFFFE06H	CSIA0B3L	R/W	○		不定
FFFFFE07H	CSIA0B3H	R/W	○		不定
FFFFFE08H	CSIA0B4	R/W		○	不定
FFFFFE08H	CSIA0B4L	R/W	○		不定
FFFFFE09H	CSIA0B4H	R/W	○		不定
FFFFFE0AH	CSIA0B5	R/W		○	不定
FFFFFE0AH	CSIA0B5L	R/W	○		不定
FFFFFE0BH	CSIA0B5H	R/W	○		不定
FFFFFE0CH	CSIA0B6	R/W		○	不定
FFFFFE0CH	CSIA0B6L	R/W	○		不定
FFFFFE0DH	CSIA0B6H	R/W	○		不定
FFFFFE0EH	CSIA0B7	R/W		○	不定
FFFFFE0EH	CSIA0B7L	R/W	○		不定
FFFFFE0FH	CSIA0B7H	R/W	○		不定
FFFFFE10H	CSIA0B8	R/W		○	不定
FFFFFE10H	CSIA0B8L	R/W	○		不定
FFFFFE11H	CSIA0B8H	R/W	○		不定
FFFFFE12H	CSIA0B9	R/W		○	不定
FFFFFE12H	CSIA0B9L	R/W	○		不定
FFFFFE13H	CSIA0B9H	R/W	○		不定
FFFFFE14H	CSIA0BA	R/W		○	不定
FFFFFE14H	CSIA0BAL	R/W	○		不定
FFFFFE15H	CSIA0BAH	R/W	○		不定
FFFFFE16H	CSIA0BB	R/W		○	不定
FFFFFE16H	CSIA0BBL	R/W	○		不定
FFFFFE17H	CSIA0BBH	R/W	○		不定
FFFFFE18H	CSIA0BC	R/W		○	不定
FFFFFE18H	CSIA0BCL	R/W	○		不定
FFFFFE19H	CSIA0BCH	R/W	○		不定
FFFFFE1AH	CSIA0BD	R/W		○	不定
FFFFFE1AH	CSIA0BDL	R/W	○		不定
FFFFFE1BH	CSIA0BDH	R/W	○		不定
FFFFFE1CH	CSIA0BE	R/W		○	不定
FFFFFE1CH	CSIA0BEL	R/W	○		不定
FFFFFE1DH	CSIA0BEH	R/W	○		不定
FFFFFE1EH	CSIA0BF	R/W		○	不定
FFFFFE1EH	CSIA0BFL	R/W	○		不定
FFFFFE1FH	CSIA0BFH	R/W	○		不定

表18-6 CSIA1バッファRAM

アドレス	略号	R/W	操作可能ビット		初期値
			8	16	
FFFFFE20H	CSIA1B0	R/W		○	不定
FFFFFE20H	CSIA1B0L	R/W	○		不定
FFFFFE21H	CSIA1B0H	R/W	○		不定
FFFFFE22H	CSIA1B1	R/W		○	不定
FFFFFE22H	CSIA1B1L	R/W	○		不定
FFFFFE23H	CSIA1B1H	R/W	○		不定
FFFFFE24H	CSIA1B2	R/W		○	不定
FFFFFE24H	CSIA1B2L	R/W	○		不定
FFFFFE25H	CSIA1B2H	R/W	○		不定
FFFFFE26H	CSIA1B3	R/W		○	不定
FFFFFE26H	CSIA1B3L	R/W	○		不定
FFFFFE27H	CSIA1B3H	R/W	○		不定
FFFFFE28H	CSIA1B4	R/W		○	不定
FFFFFE28H	CSIA1B4L	R/W	○		不定
FFFFFE29H	CSIA1B4H	R/W	○		不定
FFFFFE2AH	CSIA1B5	R/W		○	不定
FFFFFE2AH	CSIA1B5L	R/W	○		不定
FFFFFE2BH	CSIA1B5H	R/W	○		不定
FFFFFE2CH	CSIA1B6	R/W		○	不定
FFFFFE2CH	CSIA1B6L	R/W	○		不定
FFFFFE2DH	CSIA1B6H	R/W	○		不定
FFFFFE2EH	CSIA1B7	R/W		○	不定
FFFFFE2EH	CSIA1B7L	R/W	○		不定
FFFFFE2FH	CSIA1B7H	R/W	○		不定
FFFFFE30H	CSIA1B8	R/W		○	不定
FFFFFE30H	CSIA1B8L	R/W	○		不定
FFFFFE31H	CSIA1B8H	R/W	○		不定
FFFFFE32H	CSIA1B9	R/W		○	不定
FFFFFE32H	CSIA1B9L	R/W	○		不定
FFFFFE33H	CSIA1B9H	R/W	○		不定
FFFFFE34H	CSIA1BA	R/W		○	不定
FFFFFE34H	CSIA1BAL	R/W	○		不定
FFFFFE35H	CSIA1BAH	R/W	○		不定
FFFFFE36H	CSIA1BB	R/W		○	不定
FFFFFE36H	CSIA1BBL	R/W	○		不定
FFFFFE37H	CSIA1BBH	R/W	○		不定
FFFFFE38H	CSIA1BC	R/W		○	不定
FFFFFE38H	CSIA1BCL	R/W	○		不定
FFFFFE39H	CSIA1BCH	R/W	○		不定
FFFFFE3AH	CSIA1BD	R/W		○	不定
FFFFFE3AH	CSIA1BDL	R/W	○		不定
FFFFFE3BH	CSIA1BDH	R/W	○		不定
FFFFFE3CH	CSIA1BE	R/W		○	不定
FFFFFE3CH	CSIA1BEL	R/W	○		不定
FFFFFE3DH	CSIA1BEH	R/W	○		不定
FFFFFE3EH	CSIA1BF	R/W		○	不定
FFFFFE3EH	CSIA1BFL	R/W	○		不定
FFFFFE3FH	CSIA1BFH	R/W	○		不定

18.5 動作

CSIMAnには、次の2種類のモードがあります。

- ・3線式シリアルI/Oモード
- ・自動送受信機能付き3線式シリアルI/Oモード

18.5.1 3線式シリアルI/Oモード

CSIMAn.ATENビットを0に設定したときのモードで、1バイトごとのデータ送受信を行います。

シリアル・クロック端子 ($\overline{\text{SCKAn}}$)、シリアル・データ出力端子 (SOAn)、シリアル・データ入力端子 (SIAn) の3本のライン通信を行います。

3線式シリアルI/Oモードは次の3種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタn (CSIMAn)
- ・シリアル・ステータス・レジスタn (CSISn)
- ・分周値選択レジスタn (BRGCAn)

備考1. 兼用端子の設定は表18-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. $n = 0, 1$

(1) 1バイト送受信の通信動作

(a) 1バイト送受信

CSIMAn.CSIAEnビット = 1, ATEnビット = 0, TXEAnビット = 1, RXEAnビット = 1のときにSIOAnレジスタに転送データを書き込むと、そのデータをSCKAn端子の立ち下がりに同期してSOAn端子から出力します。また、SCKAn端子の立ち下がりに同期してSIA端子から入力し、1クロック後の立ち上がりに同期して受信データをSIOAnレジスタに格納します。

データ送信とデータ受信を同時に行うことができます。

受信のみを行う際には、SIOAnレジスタにダミーの値を書き込まなければ転送を開始することができません。

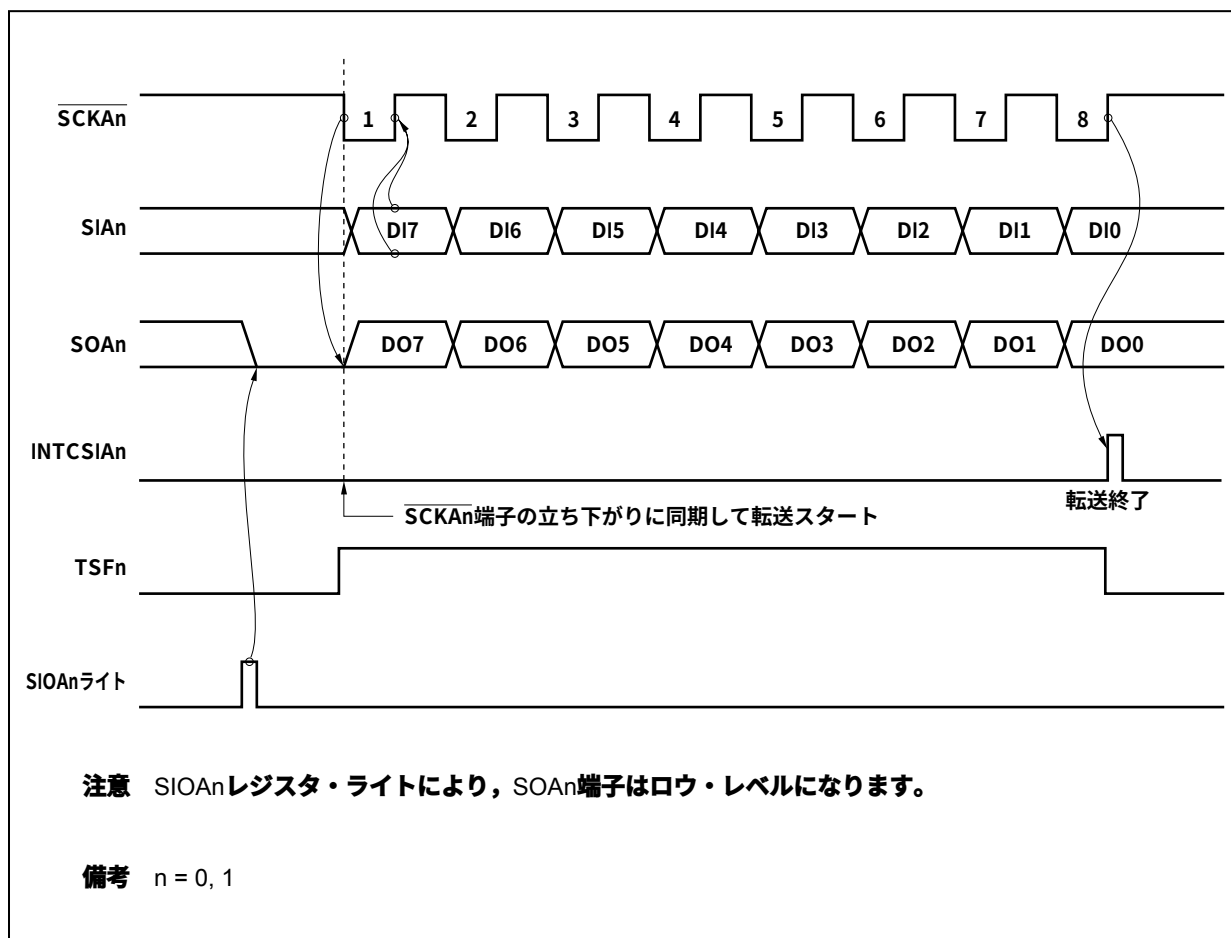
1バイトの転送が終了すると、送受信完了割り込み要求信号 (INTCSIA_n) を発生します。

1バイト送受信の場合、CSIMAn.ATM_nビットの設定は無効になります。

データの読み出しはCSISn.TSF_nビット = 0であることを確認してから行ってください。

注意 兼用端子の設定手順は通信相手との関係によって考慮してください。

図18-2 1バイト送受信のタイミング

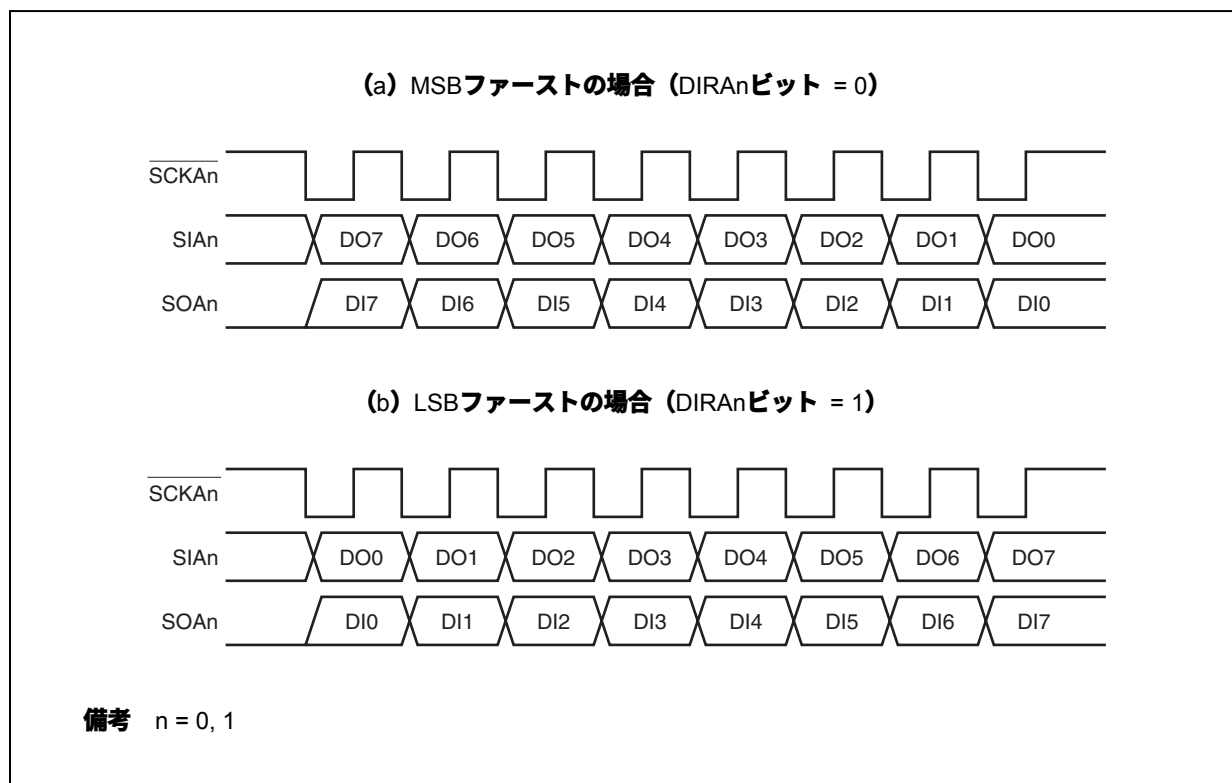


(b) データ・フォーマット

データ・フォーマットは、図18-3に示すように、 $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ転送方向は、 CSIMAn.DIRAn ビットの指定により切り替えることができます。

図18-3 送受信データのフォーマット



(c) MSB/LSB先頭の切り替え

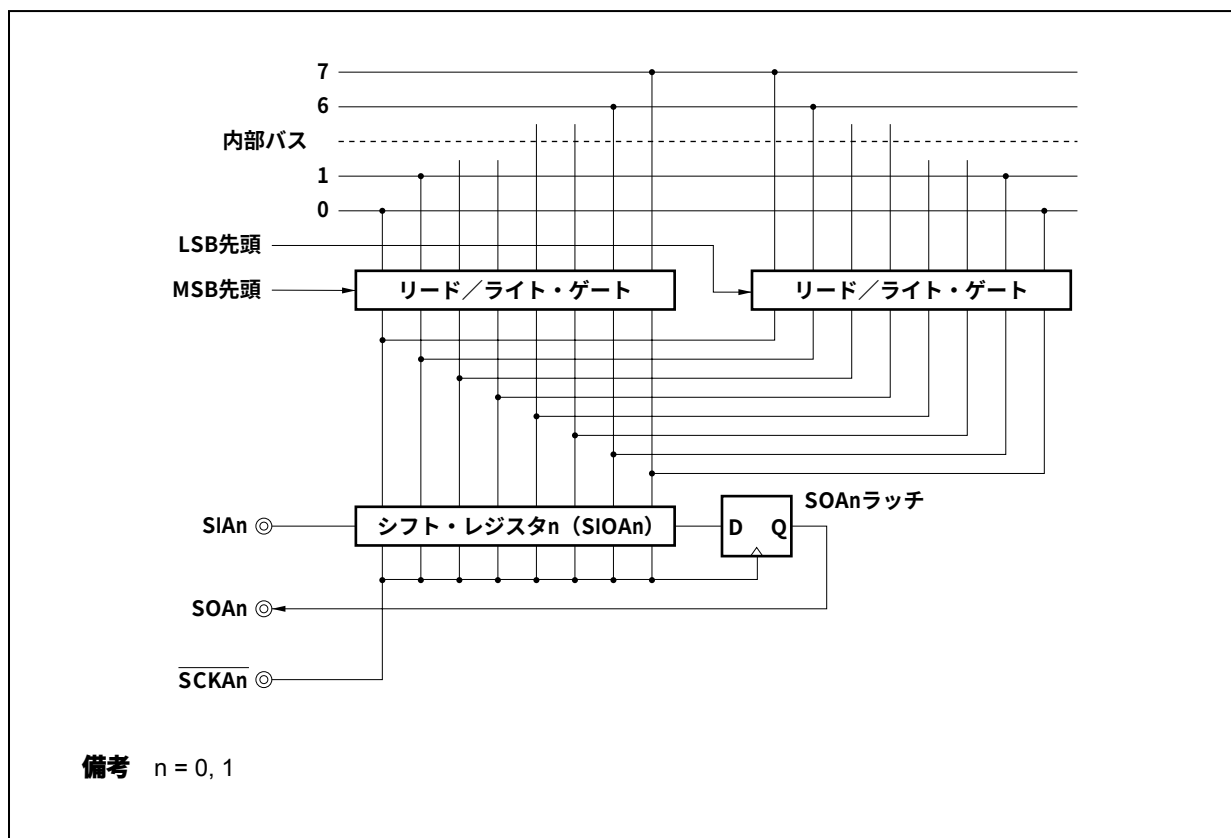
図18-4に SIOAn レジスタ、および内部バスの構成を示します。図に示すようにMSB/LSBを反転して読み出し／書き込みができます。

MSB/LSB先頭切り替えは、 CSIMAn.DIRAn ビットにより指定できます。

先頭ビットの切り替えは、 SIOAn レジスタへのデータ書き込みのビット順を切り替えることによって実現させています。 SIOAn レジスタのシフト順は常に同じです。

したがって、MSB/LSBの先頭ビットは、 SIOAn レジスタにデータを書き込む前に切り替えてください。

図18-4 転送ビット順切り替え回路



(d) 転送スタート

シリアル転送は、次の3つの条件を満たしたとき、SIOAnレジスタに転送データをセットすることで開始します。

- CSIA_nの動作の制御ビット (CSIMAn.CSIAEn) = 1
- シリアル通信中でないとき
- CSIA_nの送受信許可 (CSIMAn.TXEAn = 1, CSIMAn.RXEAn = 1)

注意1. SIOAnレジスタにデータを書き込んだあと、CSIAEnビットをセット (1) しても、通信はスタートしません。

2. 受信のみを行う際には、SIOAnレジスタにダミーの値を書き込まなければ転送を開始することができません。

8ビット通信終了により、シリアル通信は自動的に停止し、送受信完了割り込み要求信号 (INTCSIA_n) を発生します。

備考 n = 0, 1

(e) 転送終了

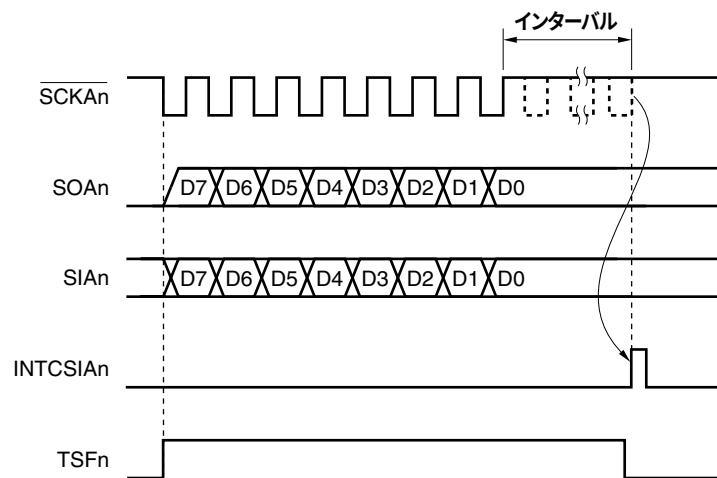
8ビット通信終了により、シリアル通信は自動的に停止し、送受信完了割り込み要求信号 (INTCSIA_n) を発生します。

なお、V850ES/KJ2をマスタとして動作させた場合、ADTInレジスタで設定したクロック数分のインターバル時間を確保したあとにINTCSIA_n信号を発生させることが可能です。

インターバル時間を確保した1バイト送受信時のタイミング図を図18-5に示します。

備考 n = 0, 1

図18-5 1バイト送受信時のタイミング図 (マスタ動作)



備考 n = 0, 1

18. 5. 2 自動送受信機能付き3線式シリアルI/Oモード

CSIMAn.ATEnビットを1に設定したときのモードで、最大32バイトのデータを、ソフトウェアの介在なしに送受信を行います。通信を開始させると、あらかじめRAMに格納しておいたデータを設定したバイト数だけ送信させたり、設定したバイト数だけデータを受信しRAMに格納させることができます。

自動送受信機能付き3線式シリアルI/Oモードでは次の6種類のレジスタで制御します。

- ・シリアル動作モード指定レジスタ_n (CSIMAn)
- ・シリアル・ステータス・レジスタ_n (CSISn)
- ・シリアル・トリガ・レジスタ_n (CSITn)
- ・分周値選択レジスタ_n (BRGCAn)
- ・自動データ転送アドレス・ポイント指定レジスタ_n (ADTPn)
- ・自動データ転送間隔指定レジスタ_n (ADTIn)

備考1. 兼用端子の設定は表18-2 端子構成、および表4-19 端子を兼用機能として使用する場合を参照してください。

2. $n = 0, 1$

(1) 自動送受信の設定

マスタとしてデータを連続して送受信する場合の手順例を、次に示します。

- <1> CSIMAn.CSIAEnビットをセット (1) し、CSIAAnを動作許可状態にします (バッファRAMにアクセス可能になります)。
- <2> CSISn.CKSAn1, CKSAn0ビットでシリアル・クロックを選択します。
- <3> BRGCAnでシリアル・クロックの分周比を設定し、通信速度を指定します。
- <4> バッファRAMの最下位アドレスFFFFFE00H/FFFFFE20Hから順に最大FFFFFE1FH/FFFFFE3FHまで、送信したいデータを書き込みます。送信データ順は、下位アドレスから上位アドレスです。
- <5> ADTPnレジスタに、「送信したいデータ数-1」を設定します。
- <6> CSIMAn.ATEnビットとCSIMAn.MASTERnビットをセット (1) して、自動通信モードでのマスタ動作を設定します。
- <7> CSIMAn.TXEAnとCSIMAn.RXEAnをセット (1) して、送受信許可状態にします。
- <8> ADTInにデータの送信間隔を設定します。
- <9> CSITn.ATSTAnビットをセット (1) すると、自動送受信処理が起動されます。

備考1. CSIAを使用する場合の兼用機能は次のポートに兼用されています。CSIAを使用する場合は、はじめにポートの設定をCSIAの兼用機能に設定してください。詳細は表18-2 端子構成，および表4-19 端子を兼用機能として使用する場合を参照してください。

2. $n = 0, 1$

(2) 自動送受信の通信動作

(a) 自動送受信モード

バッファRAMを用いることにより自動送受信を行うことができます。

(1) 自動送受信の設定を行うことによって、次の動作が自動的に行われます。

- <1> ADTCnレジスタで示されたバッファRAMのデータがSIOAnレジスタに転送されます（自動送受信動作の開始）。
- <2> SIOAnレジスタに転送されたデータはSCKAnの立ち下がりに同期してSOAn端子より出力されます。
- <3> SCKAnの立ち上がりに同期してSIAn端子から入力される受信データをSIOAnレジスタに格納します。
- <4> SIOAnレジスタに格納したデータは、ADTCnで示されたバッファRAMのアドレスへ転送されます。
- <5> ADTCnレジスタがインクリメントされ、次のデータの送受信を行います。
- <6> データの送受信は、ADTCnレジスタのインクリメント出力がADTPnレジスタの設定値と一致するまで<1>から<5>までの動作を繰り返し行ないます（自動送受信動作の終了）。ただし、繰り返しモード（CSIMAn.ATMn = 1）に設定した場合は、ADTPnレジスタとADTCnレジスタの値が一致したあと、ADTCnレジスタがクリアされ、繰り返し送受信動作が行われます。
- <7> 自動送受信動作が終了すると割り込み要求（INTCSIAAn）を発生し、CSISn.TSFnビットをクリアします。
- <8> データ転送は、次のいずれかを満たしたときにCSISn.TSFn = 0となり、転送が終了します。
 - ・ 通信完了：ADTPnレジスタで指定した範囲の転送が完了
 - ・ 通信中止：CSIMAn.CSIAEn = 0でリセット
 - ・ 通信中断：CSITn.ATSTPn = 1と指定して1バイト分転送が完了

このとき、CSIAEnビット = 0の場合を除き、割り込み要求信号（INTCSIAAn）を発生します。

一度転送を終了させると、その続きから転送することができません。ADTCnレジスタを読み出し、どこまで転送が完了したかを確認し、再度 (1) 自動送受信の設定を行い、転送してください。

自動送受信モードの動作タイミング例を図18-6に、動作フロー・チャートを図18-7に示します。また、6バイト分送受信するときの内部バッファRAMの動作を図18-8に示します。

備考 n = 0, 1

図18-6 自動送受信モードの動作タイミング

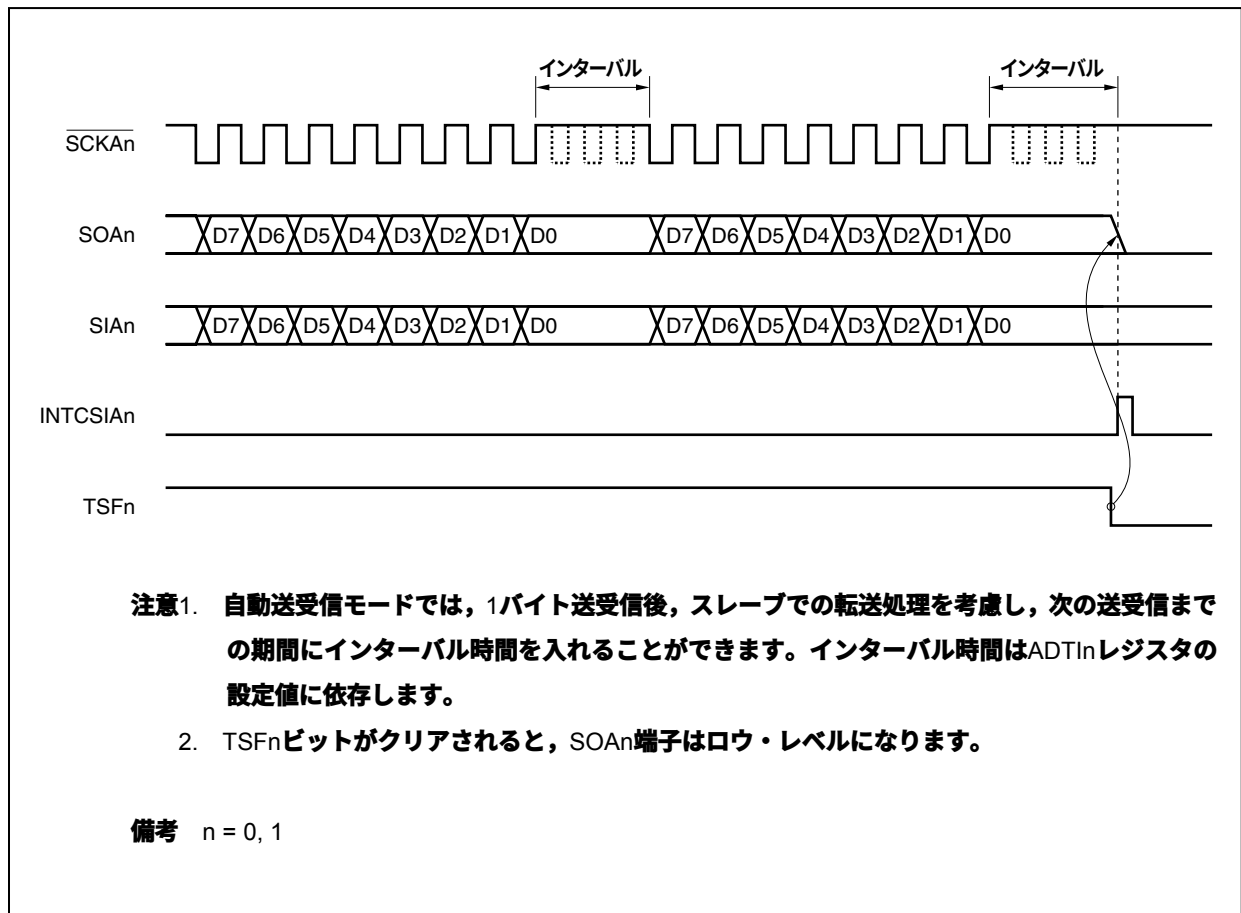
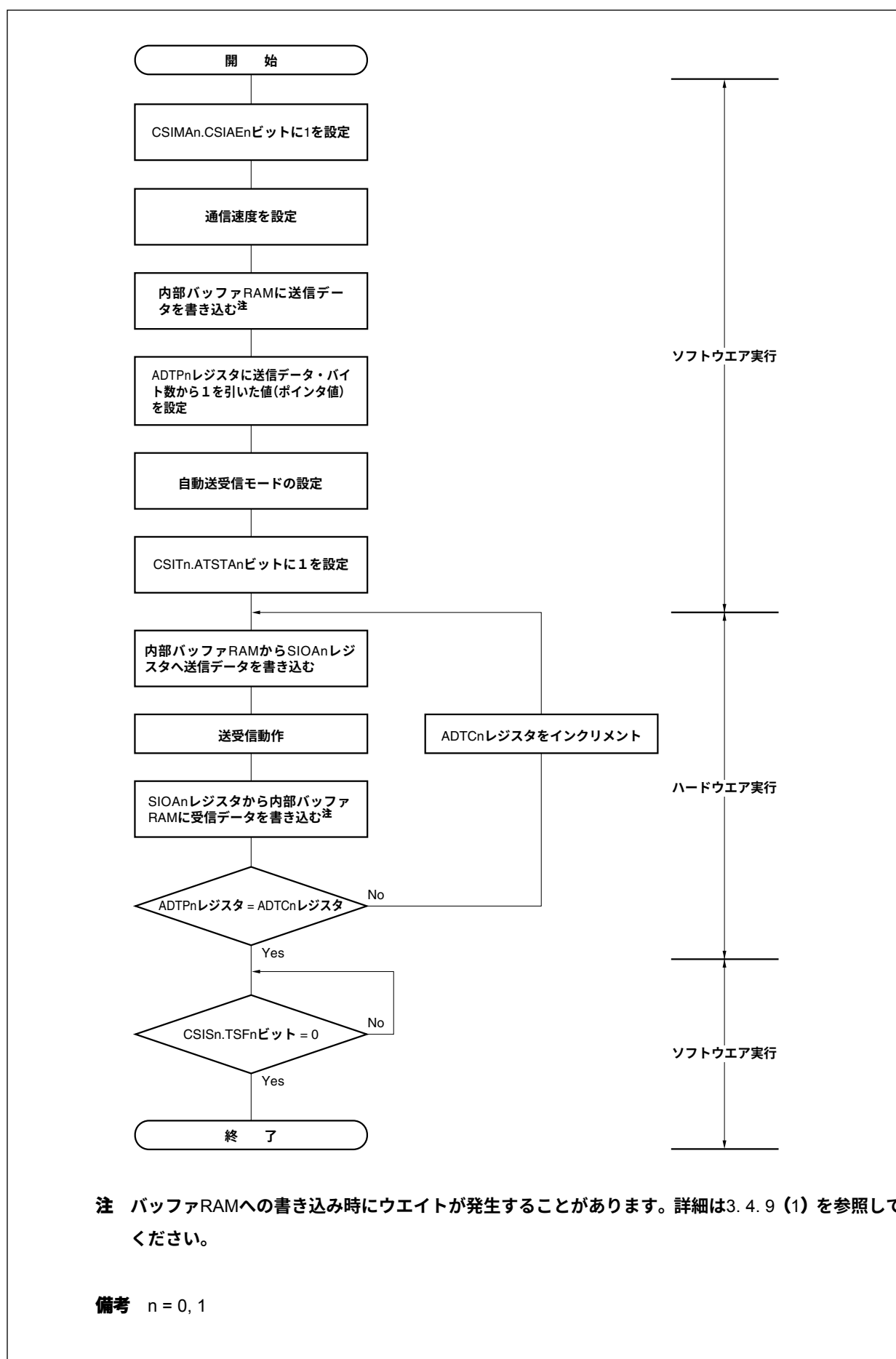


図18-7 自動送受信モードのフロー・チャート



自動送受信モードで6バイト分送受信するとき (CSIMAn.ATMnビット = 0, RXEAnビット = 1, TXEAnビット = 1) , バッファRAMは次のような動作をします。

(i) 送受信動作開始 (図18-8 (a) 参照)

CSITn.ATSTAnビットをセット (1) すると、バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると、SIOAnレジスタからバッファRAMへ受信データ1 (R1) が転送され、ADTCnレジスタがインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 4バイト目送受信動作時点 (図18-8 (b) 参照)

3バイト目の送受信が完了し、バッファRAMから送信データ4 (T4) がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると、SIOAnレジスタからバッファRAMへ受信データ4 (R4) が転送され、ADTCnレジスタがインクリメントされます。

(iii) 送受信完了 (図18-8 (c) 参照)

6バイト目の送信が完了すると、SIOAnレジスタからバッファRAMへ受信データ6 (R6) が転送され、送受信完了割り込み要求信号 (INTCSIA_n) が発生します。

図18-8 6バイト分送受信するときのバッファRAMの動作 (自動送受信モード時) (1/2)

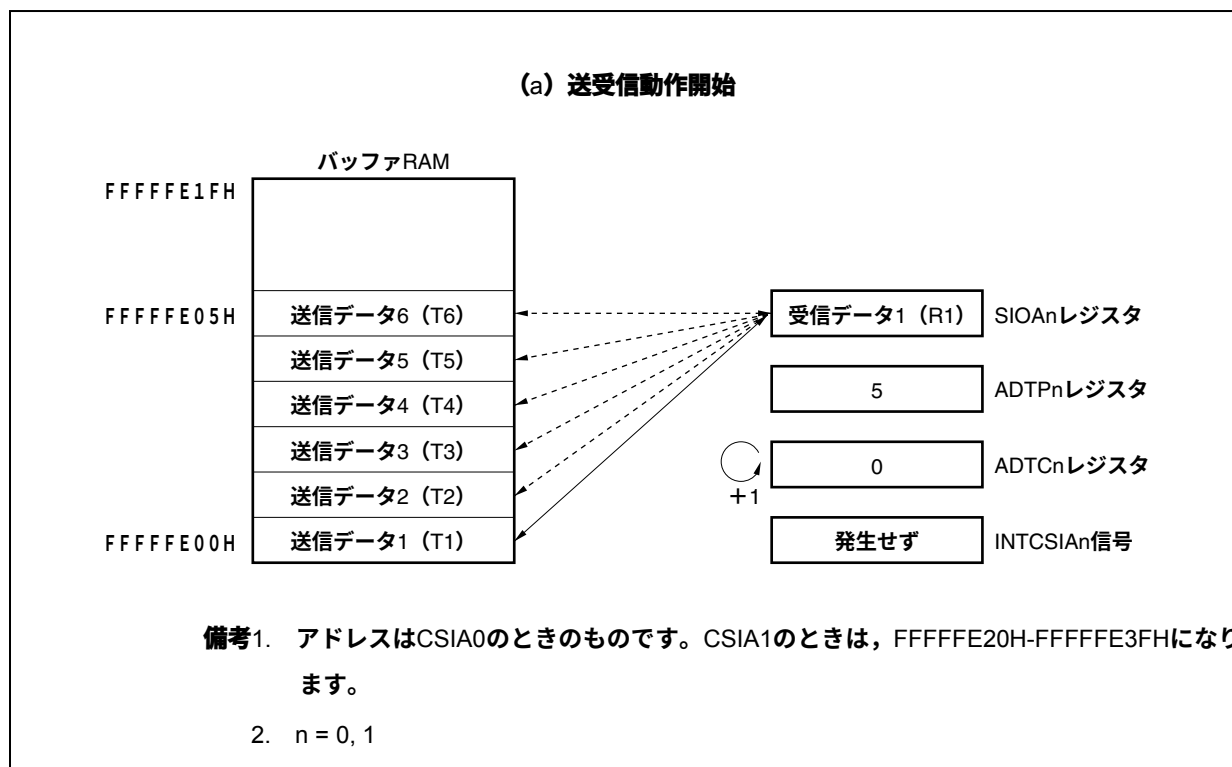
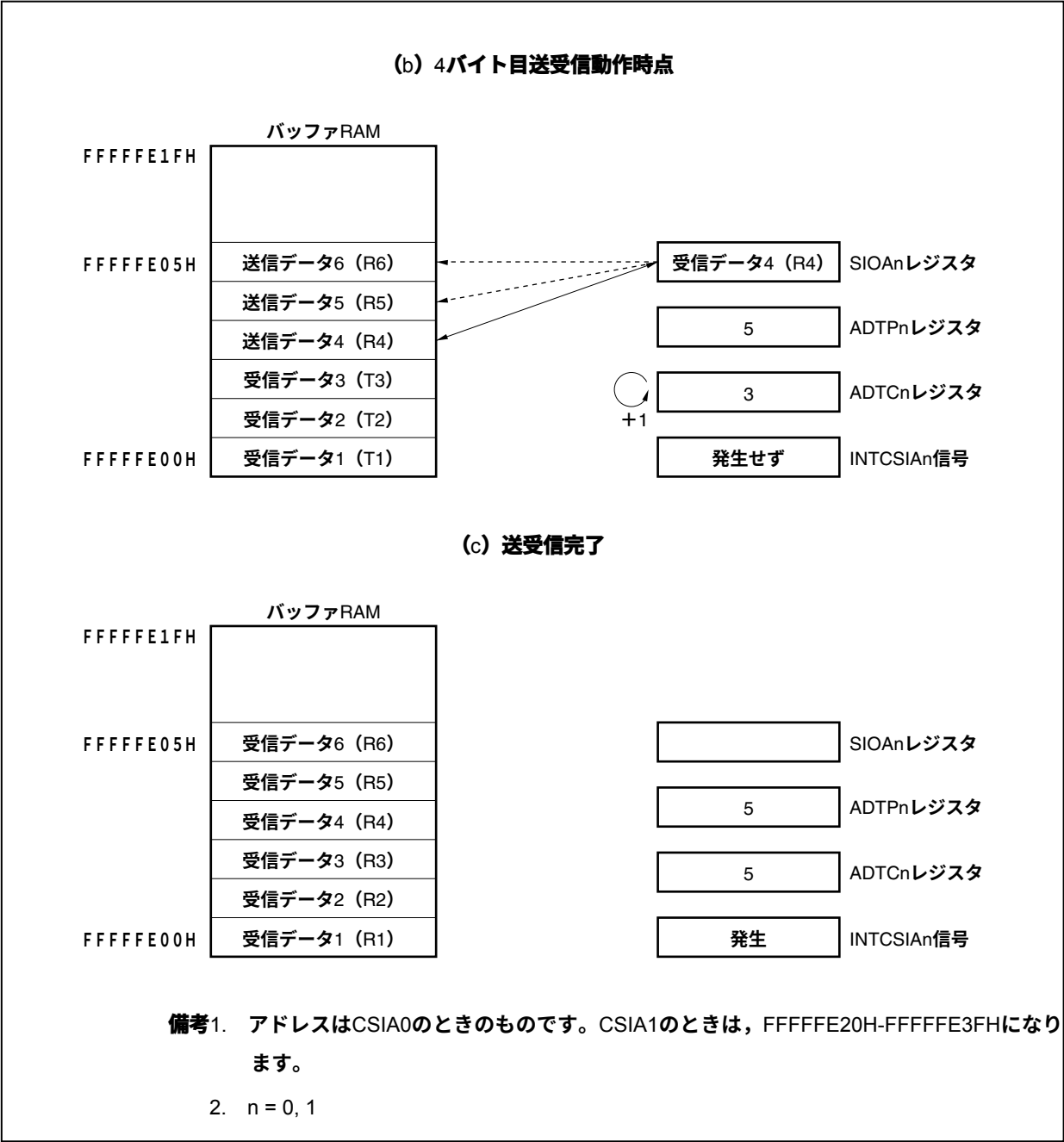


図18-8 6バイト分送受信するときのバッファRAMの動作（自動送受信モード時）（2/2）



(b) 自動送信モード

8ビット単位のデータ送信を指定回数だけ実行する送信モードです。

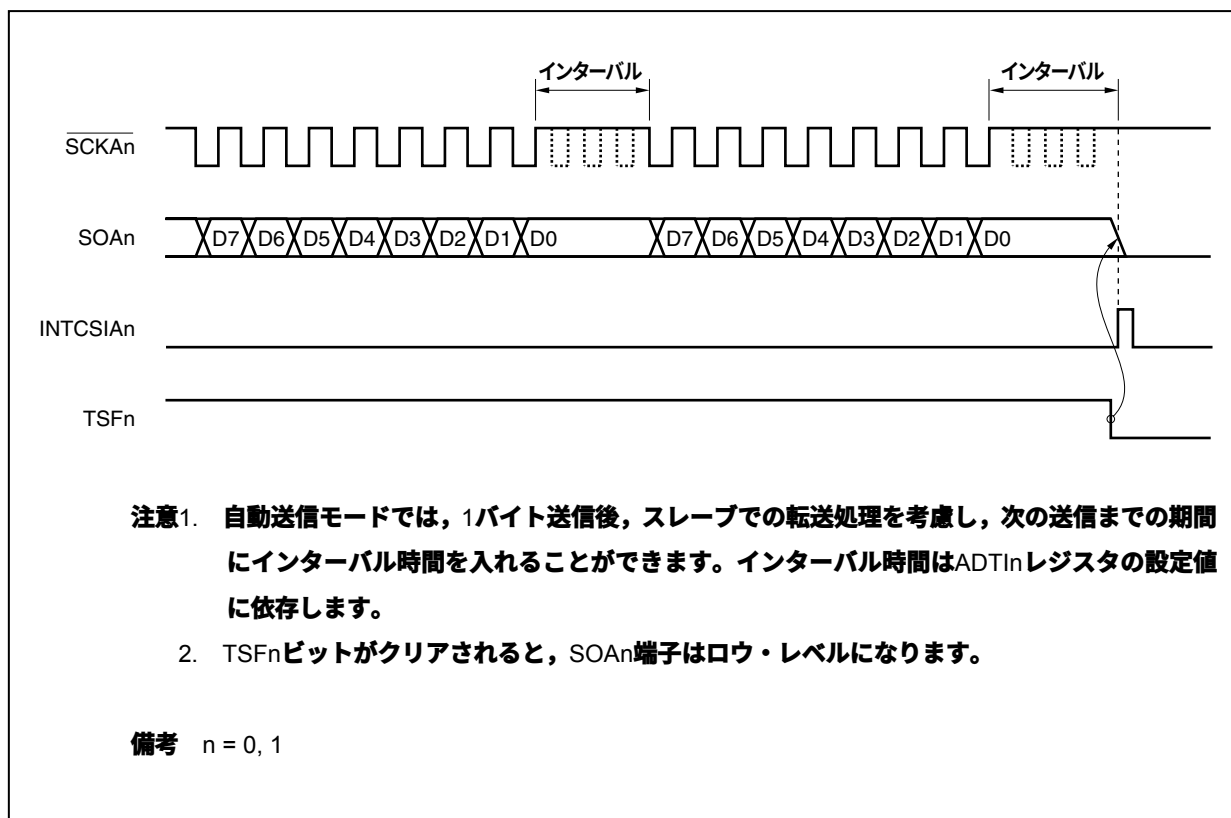
シリアル転送は、CSIMAn.CSIAEnビット = 1, ATEnビット = 1, TXEAnビット = 1のとき、CSITn.ATSTAnビットをセット (1) することによって開始します。

最終バイト送信完了時には割り込み要求信号 (INTCSIA_n) が発生します。

自動送信モードの動作タイミングを図18-9に、動作フロー・チャートを図18-10に示します。また、6バイト分送信するときのバッファRAMの動作を図18-11に示します。

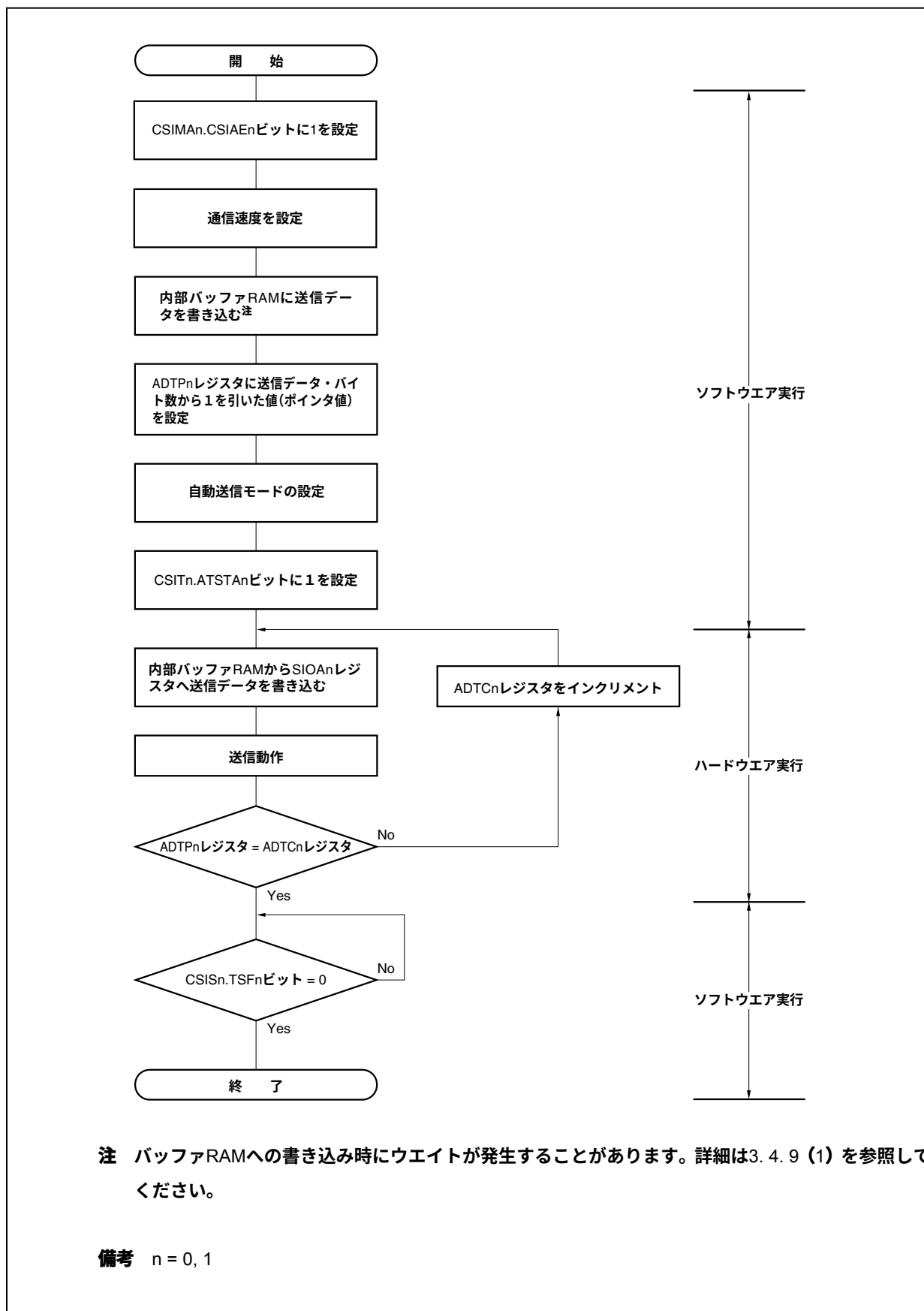
★

図18-9 自動送信モードの動作タイミング



★

図18-10 自動送信モードのフロー・チャート



自動送信モードで6バイト分送信するとき（CSIMAn.ATMnビット = 0, RXEAnビット = 0, TXEAnビット = 1, ATEnビット = 1），バッファRAMは次のような動作をします。

（Ⅰ）送信動作開始（図18-11（a）参照）

CSITn.ATSTAnビットをセット（1）すると、バッファRAMから送信データ1（T1）がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると、ADTCnレジスタがインクリメントされます。続いてバッファRAMから送信データ2（T2）がSIOAnレジスタへ転送されます。

（Ⅱ）4バイト目送信動作時点（図18-11（b）参照）

3バイト目の送信が完了し、バッファRAMから送信データ4（T4）がSIOAnレジスタへ転送されます。4バイト目の送信が完了すると、ADTCnレジスタがインクリメントされます。

（Ⅲ）送信完了（図18-11（c）参照）

6バイト目の送信が完了すると、割り込み要求信号（INTCSIA_n）が発生し、TFSnフラグがクリア（0）されます。

図18-11 6バイト分送信するときのバッファRAMの動作（自動送信モード時）（1/2）

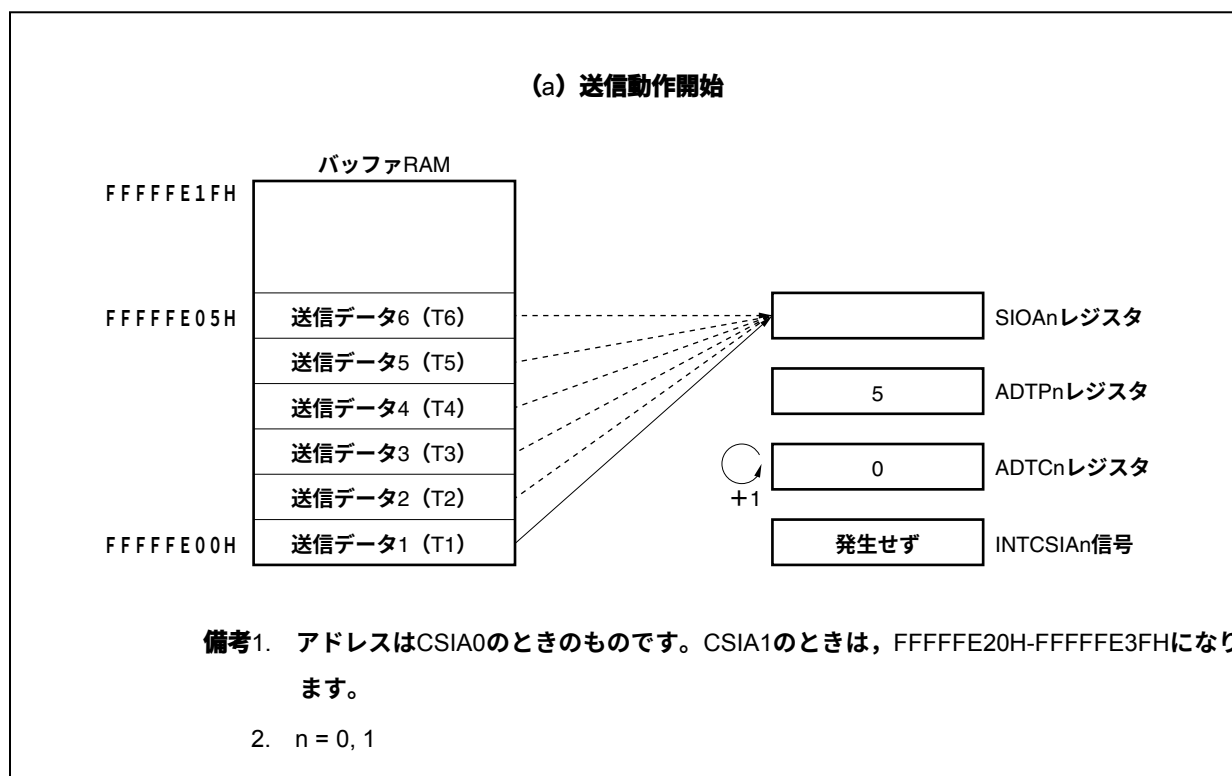
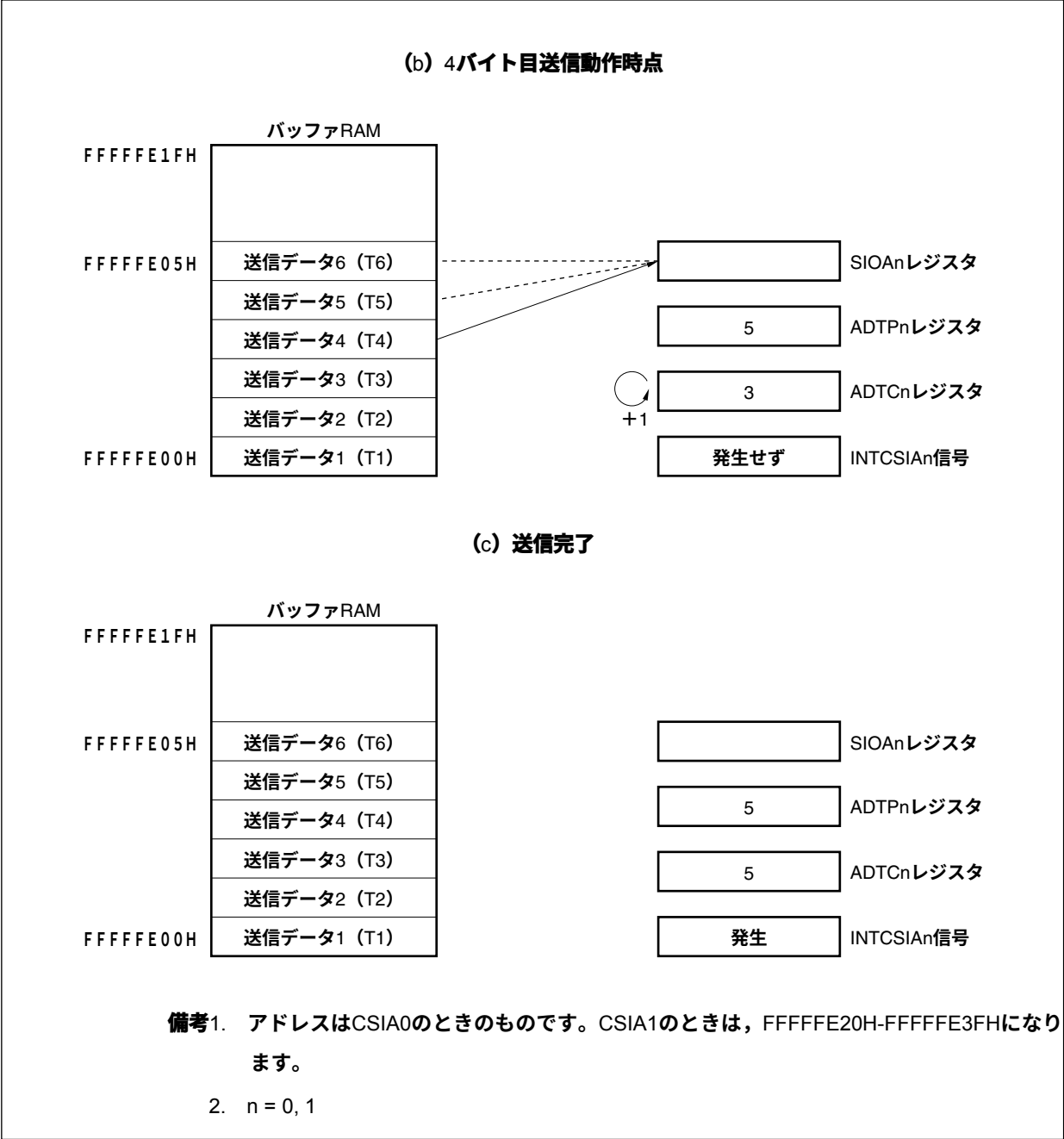


図18-11 6バイト分送信するときのバッファRAMの動作（自動送信モード時）（2/2）



(c) 繰り返し送信モード

バッファRAMに格納したデータを繰り返し送信するモードです。

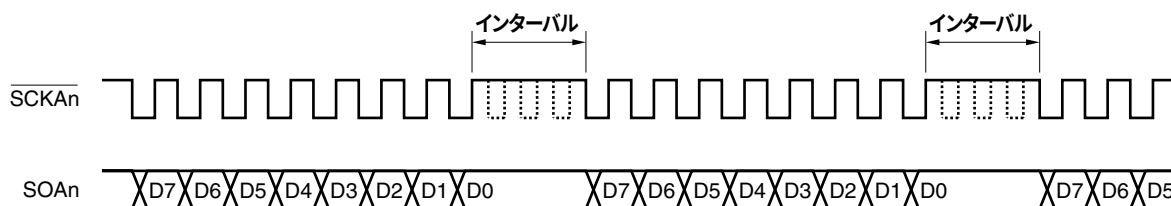
シリアル転送は、CSIMAn.CSIAEnビット = 1, ATEnビット = 1, ATMnビット = 1, TXEAnビット = 1のとき、CSITn.ATSTAnビットをセット (1) することによって開始します。

基本送信モードの場合とは異なり、指定バイト数を送信したあと、送受信完了割り込み要求信号 (INTCSIA_n) は発生せず、ADTCnレジスタがリセット (0) され、バッファRAMの内容が再送信されます。

繰り返し送信モードの動作タイミングを図18-12に、動作フロー・チャートを図18-13に示します。また、繰り返し送信モードで6バイト分送信するときのバッファRAMの動作を図18-14に示します。

★

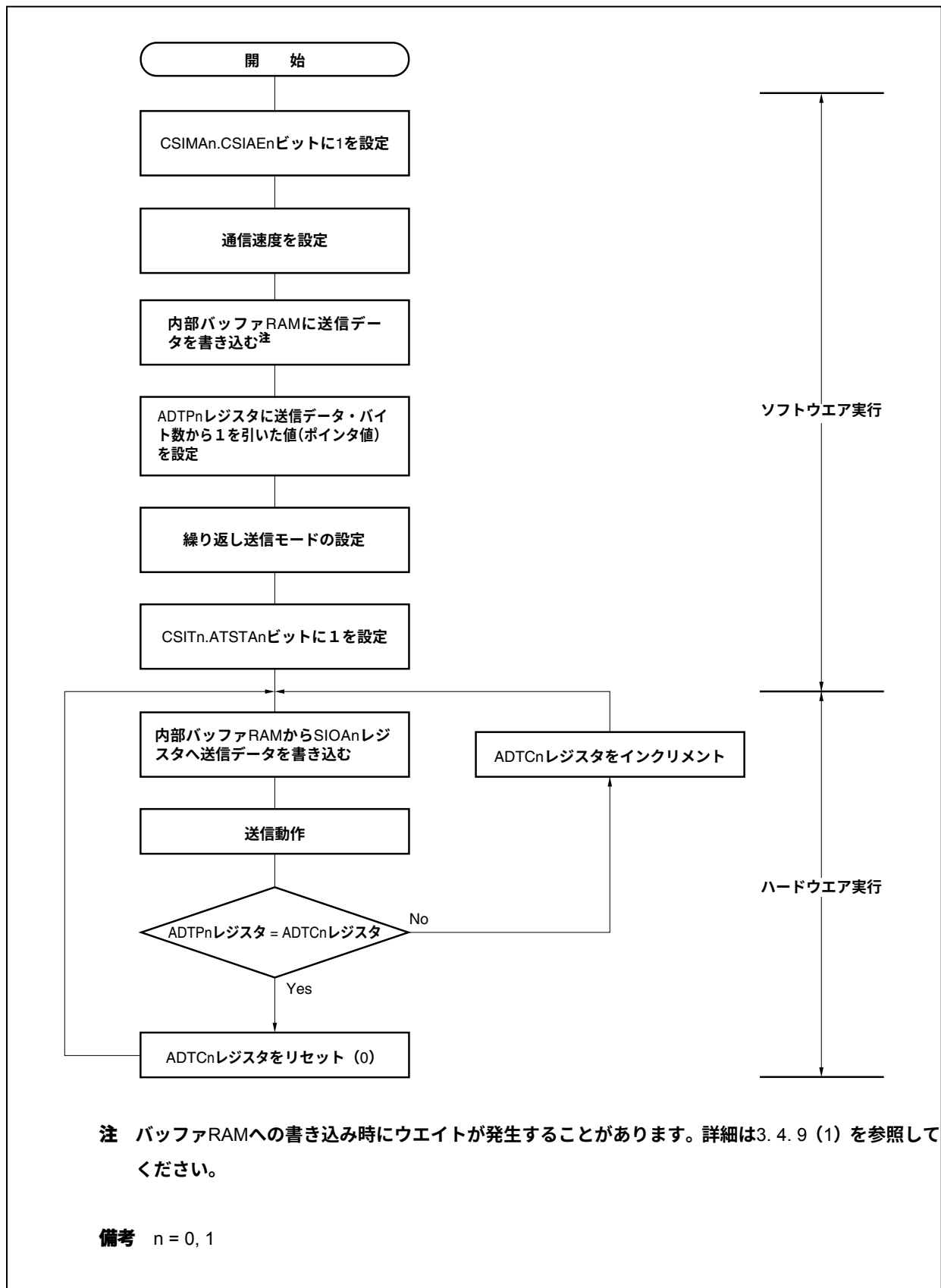
図18-12 繰り返し送信モードの動作タイミング



注意 繰り返し送信モードでは、1バイト送信後、スレーブでの転送処理を考慮し、次の送信までの期間にインターバル時間を入れることができます。インターバル時間はADTInレジスタの設定値に依存します。

備考 n = 0, 1

図18-13 繰り返し送信モードのフロー・チャート



繰り返し送信モードで6バイト分送信するとき (CSIMAn.ATMnビット = 1, RXEAnビット = 0, TXEAnビット = 1, ATEnビット = 1) , バッファRAMは次のような動作をします。

(i) 送信動作開始 (図18-14 (a) 参照)

CSITn.ATSTAnビットをセット (1) すると、バッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると、ADTCnレジスタがインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

(ii) 6バイト分送信完了時点 (図18-14 (b) 参照)

6バイト目の送信が完了しても、割り込み要求信号 (INTCSIA_n) は発生しません。

ADTCnレジスタがリセット (0) されます。

(iii) 7バイト目送信動作時点 (図18-14 (c) 参照)

再びバッファRAMから送信データ1 (T1) がSIOAnレジスタへ転送されます。1バイト目の送信が完了すると、ADTCnレジスタがインクリメントされます。続いてバッファRAMから送信データ2 (T2) がSIOAnレジスタへ転送されます。

図18-14 6バイト分送信するときのバッファRAMの動作 (繰り返し送信モード時) (1/2)

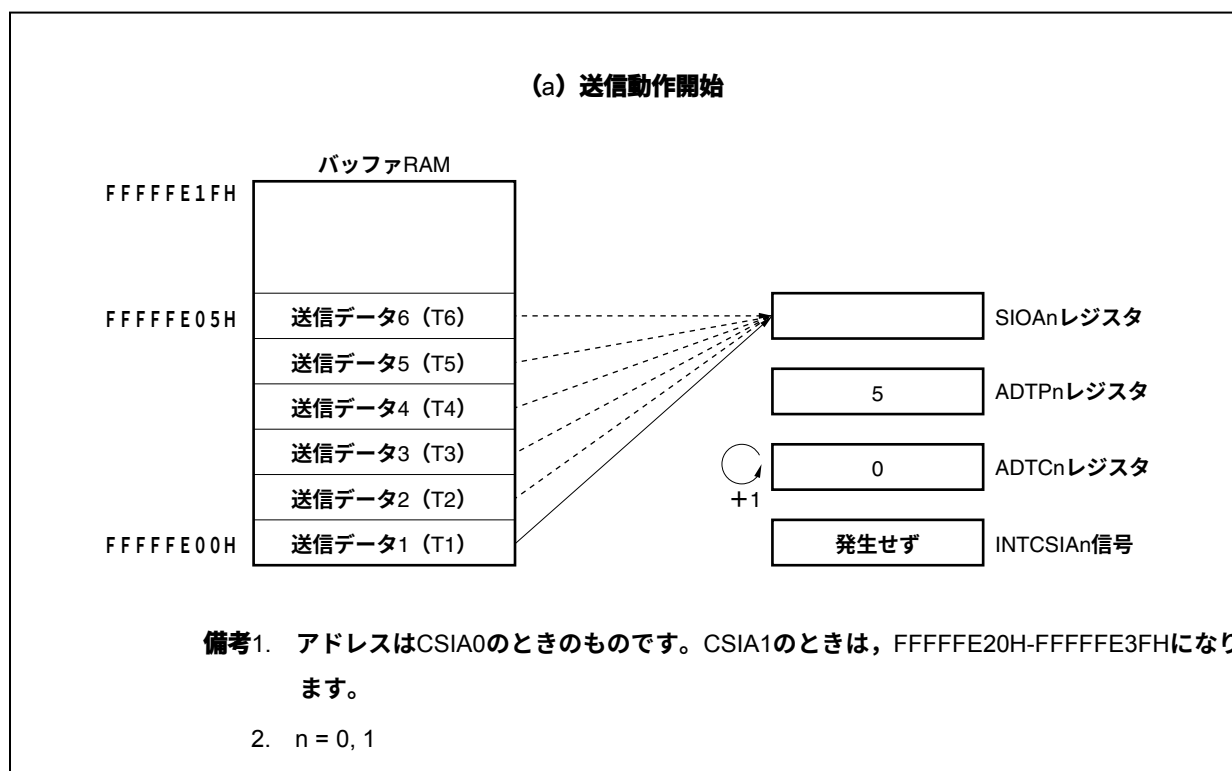
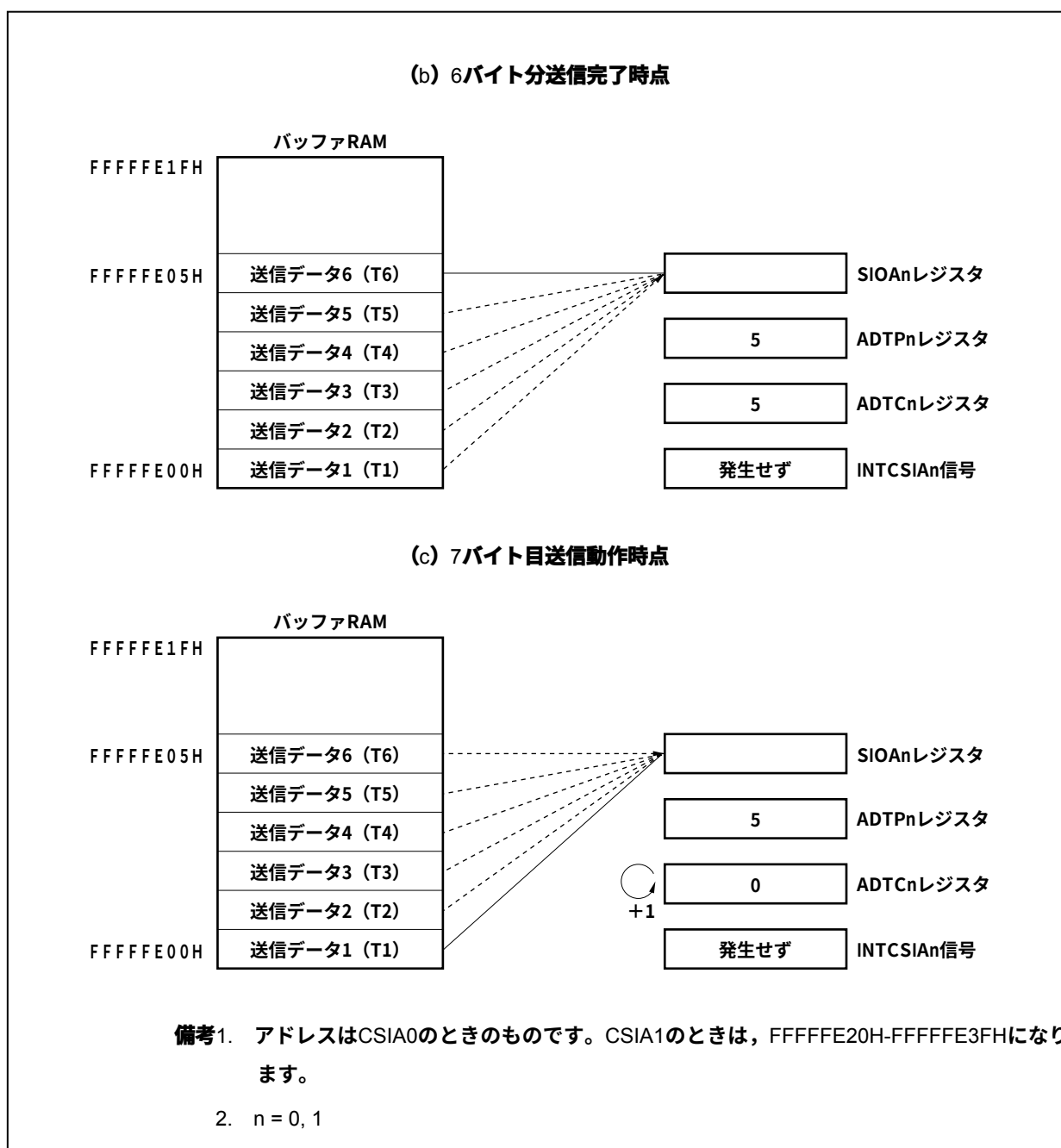


図18-14 6バイト分送信するときのバッファRAMの動作（繰り返し送信モード時）（2/2）

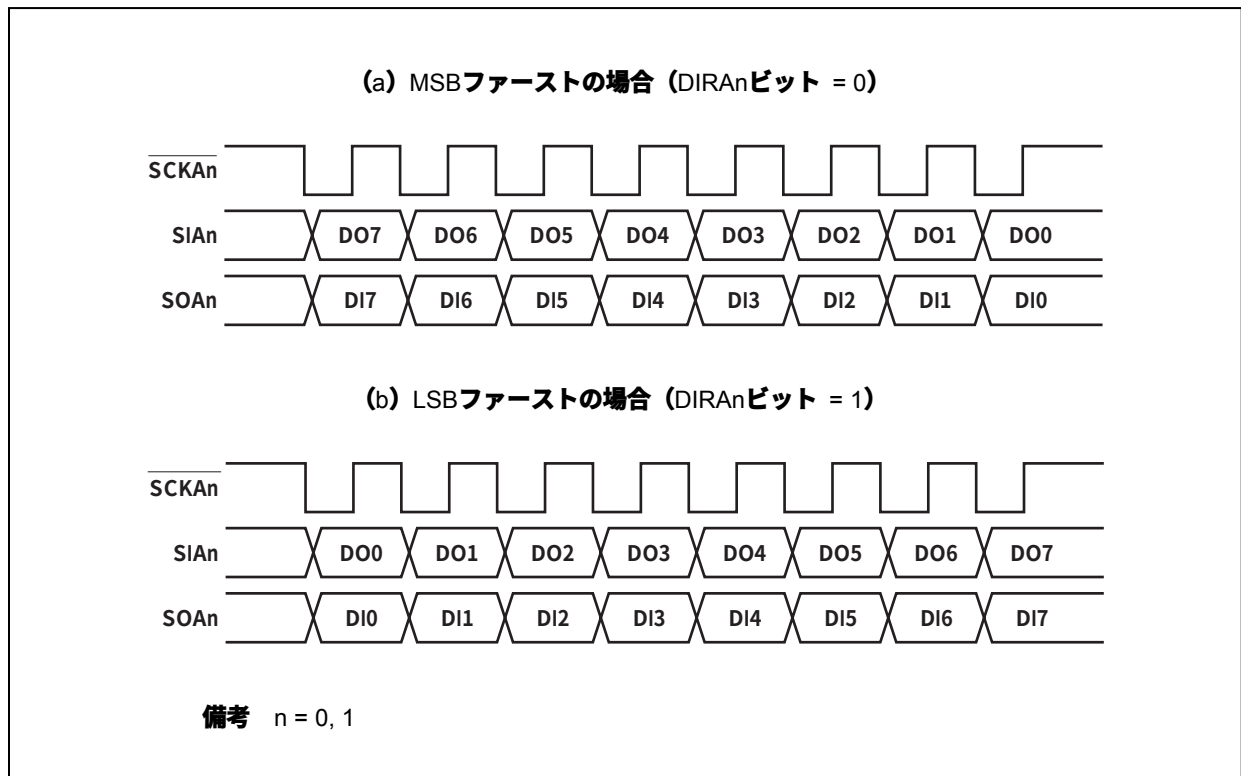


(d) データ・フォーマット

データ・フォーマットは、図18-15に示すように、 $\overline{\text{SCKAn}}$ 端子の立ち下がりに同期してデータが変化します。

データ長は8ビット固定であり、データ転送方向は、 CSIMAn.DIRAn ビットの指定により切り替えることができます。

図18-15 CSIAの送受信データのフォーマット



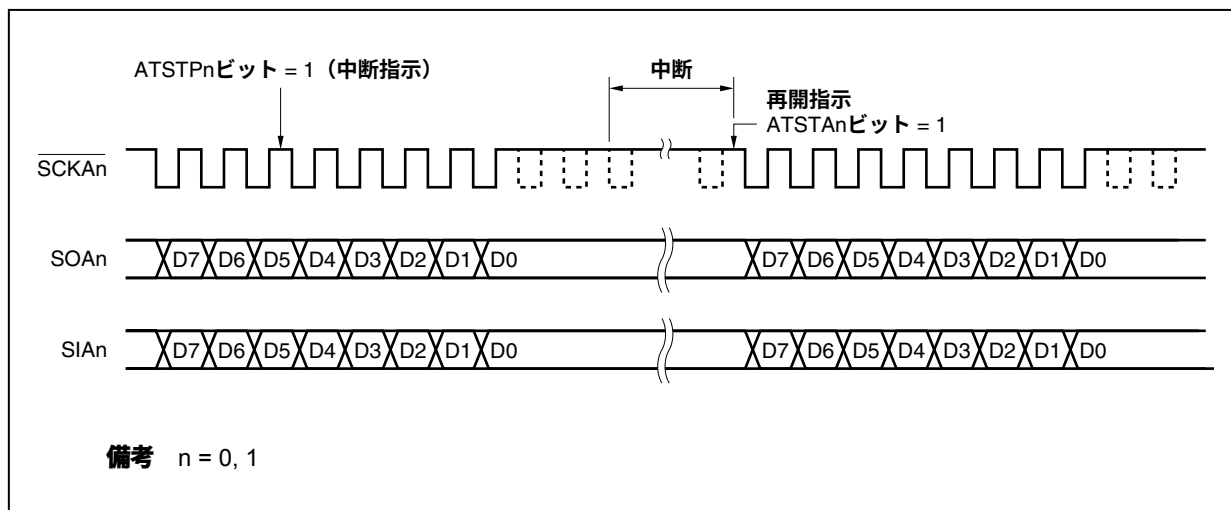
(e) 自動送受信の中断と再開

自動送受信中に送受信動作を一時的に中断したい場合、CSITn.ATSTPnビットをセット (1) することにより動作の中断ができます。

このとき、8ビット・データ転送の途中では中断せず、必ず8ビット・データ転送が完了した時点で中断します。

- 注意1. 自動送受信中にIDLE命令を実行すると、8ビット・データ転送の途中でも転送を中断し、IDLEモードになります。また、IDLEモードを解除すると、自動送受信動作を中断箇所より再開します。
2. 自動送受信動作を中断したとき、TSFnビット = 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。

図18-16 自動送受信の中断と再開



第19章 I²Cバス

この機能を使用する場合は、P38/SDA0、P39/SCL0、P80/SDA1、P81/SCL1端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

V850ES/KJ2は、I²Cバスを2チャンネル搭載しています。

19.1 UART2とI²C1のモード切り替え

V850ES/KJ2では、UART2とI²C1は端子が兼用になっており、同時には使用できません。I²C1を使用するときは、あらかじめPMC8、PFC8レジスタで設定する必要があります（4.3.8 ポート8参照）。

注意 UART2またはI²C1において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。使用しないユニットは必ず動作禁止にしてください。

図19-1 UART2とI²C1のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF450H

	7	6	5	4	3	2	1	0
PMC8	0	0	0	0	0	0	PMC81	PMC80

リセット時：00H R/W アドレス：FFFFFF470H

	7	6	5	4	3	2	1	0
PFC8	0	0	0	0	0	0	PFC81	PFC80

PFC8n	PMC8n	動作モード
0	0	ポート入出力モード
0	1	UART2モード
1	0	ポート入出力モード
1	1	I ² C1モード

備考 n = 0, 1

19.2 特 徴

I²C0, I²C1には、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

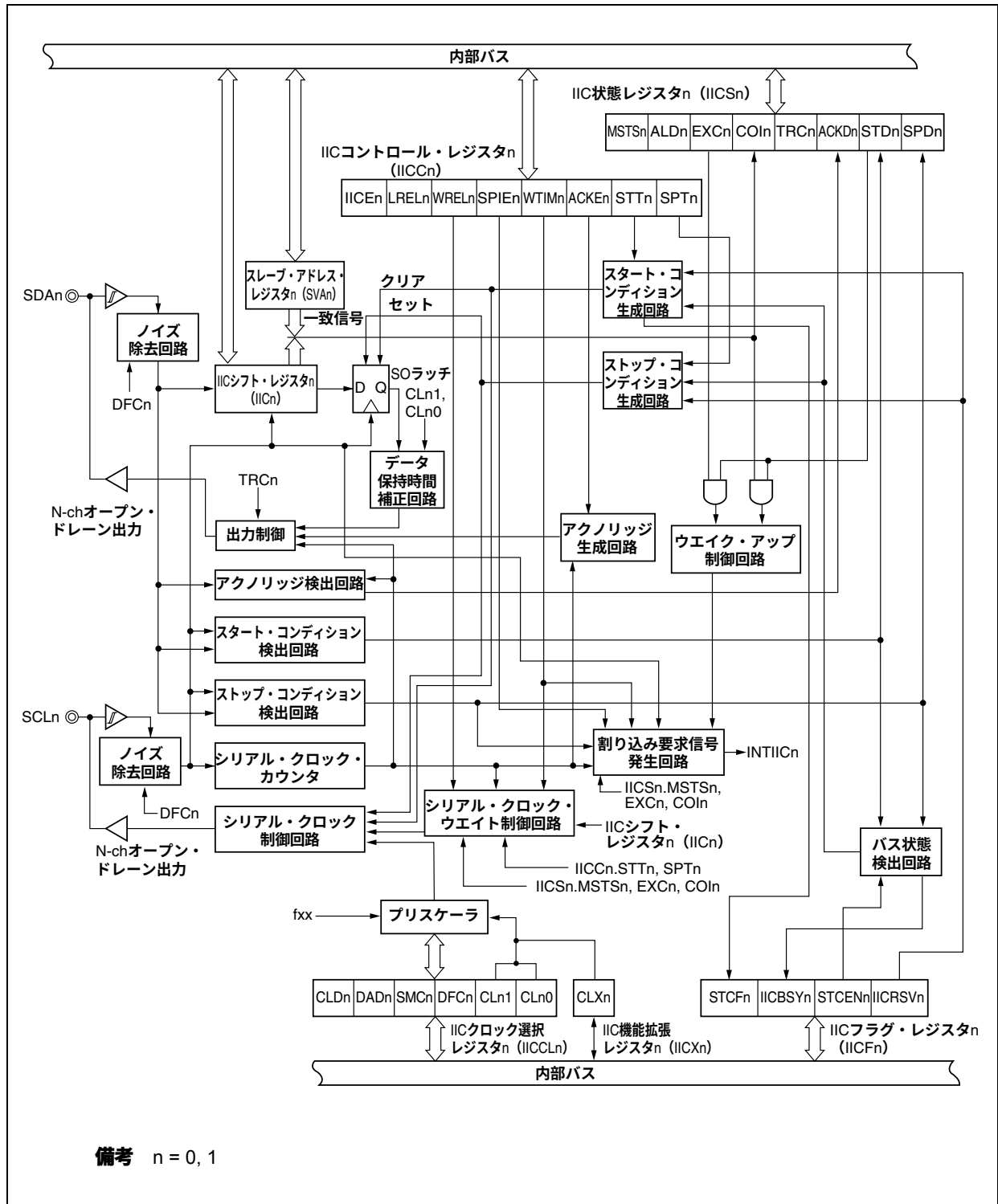
シリアル・クロック (SCLn) とシリアル・データ・バス (SDAn) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²Cnでは、SCLn端子とSDAn端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

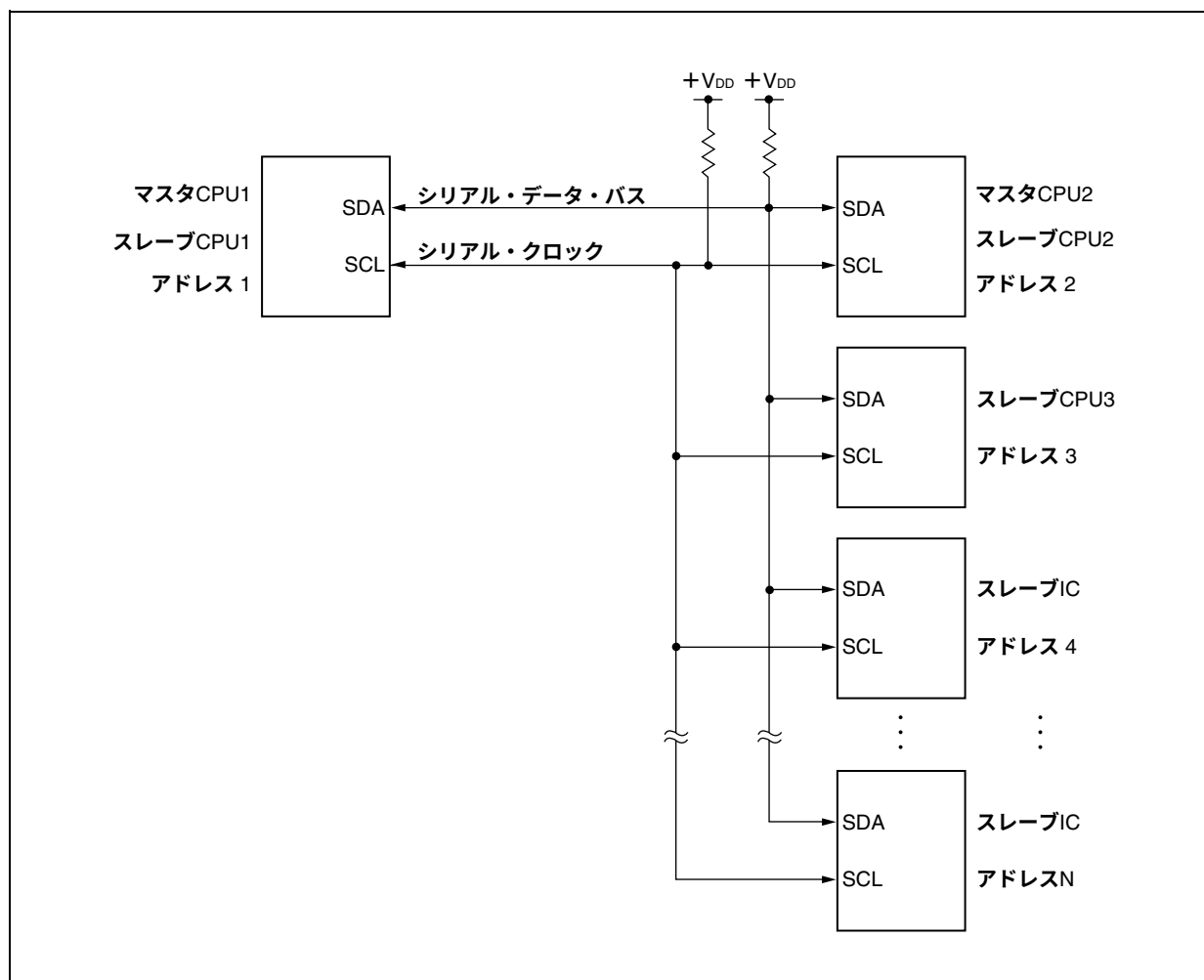
備考 n = 0, 1

図19-2 I²Cnのブロック図



次にシリアル・バス構成例を示します。

図19-3 I²Cバスによるシリアル・バス構成例



19.3 構成

I²Cnは、次のハードウェアで構成されています。

表19-1 I²Cnの構成

項 目	構 成
レジスタ	IICシフト・レジスタ0, 1 (IIC0, IIC1) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)
制御レジスタ	IICコントロール・レジスタ0, 1 (IICC0, IICC1) IIC状態レジスタ0, 1 (IICS0, IICS1) IICフラグ・レジスタ0, 1 (IICCF0, IICCF1) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

備考 n = 0, 1

(1) IICシフト・レジスタ0, 1 (IIC0, IIC1)

IICnレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます。

IICnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDAn端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVA_nレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に、割り込み要求信号 (INTIIC_n) を発生させる回路です。

(5) プリスケアラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C割り込みは、次の2つのトリガで発生します。

- ・シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICn.WTIMnビットで設定)
- ・ストップ・コンディション検出による割り込み発生 (IICn.SPIEnビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCLn端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

シリアル・クロックの立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし通信予約禁止状態 (IICFn.IICRSVnビット = 1) で、かつバスが解放されていない (IICFn.IICBSYnビット = 1) 場合には、スタート・コンディション要求は無視し、IICFn.STCFnビットをセット (1) します。

(13) ストップ・コンディション生成回路

IICn.SPTnビットがセット (1) されるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。

19.4 レジスタ

I²C0, I²C1は、次のレジスタで制御します。

- IICコントロール・レジスタ0, 1 (IICC0, IICC1)
- IIC状態レジスタ0, 1 (IICS0, IICS1)
- IICフラグ・レジスタ0, 1 (IICF0, IICF1)
- IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)
- IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

また、次のレジスタも使用します。

- IICシフト・レジスタ0, 1 (IIC0, IIC1)
- スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

備考 兼用端子の設定は表4-19 端子を兼用機能として使用する場合は参照してください。

(1) IICコントロール・レジスタ0, 1 (IICC0, IICC1)

I²Cnの動作許可／停止，ウェイト・タイミングの設定，その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。ただし，SPIEn, WTIMn, ACKEnビットは，IICEnビット = 0のとき，またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに，同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時：00H R/W アドレス：IICC0 FFFFD82H, IICC1 FFFFD92H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

(n = 0, 1)

IICEn	I ² Cn動作許可／禁止の指定						
0	動作停止。IICSnレジスタをリセット ^{注1} 。内部動作も停止。						
1	動作許可。						
このビットのセット（1）は，必ずSCLn, SDAnラインがハイ・レベルの状態で行ってください。							
<table> <tr> <th>クリアされる条件（IICEnビット = 0）</th><th>セットされる条件（IICEnビット = 1）</th></tr> <tr> <td>・ 命令によるクリア</td><td>・ 命令によるセット</td></tr> <tr> <td>・ リセット時</td><td></td></tr> </table>		クリアされる条件（IICEnビット = 0）	セットされる条件（IICEnビット = 1）	・ 命令によるクリア	・ 命令によるセット	・ リセット時	
クリアされる条件（IICEnビット = 0）	セットされる条件（IICEnビット = 1）						
・ 命令によるクリア	・ 命令によるセット						
・ リセット時							

LRELn ^{注2}	通信退避						
0	通常動作。						
1	現在行っている通信から退避し，待機状態。実行後自動的にクリア（0）される。 自局に関係ない拡張コードを受信したときなどに使用する。 SCLn, SDAnラインはハイ・インピーダンス状態になる。 STTn, SPTnビット，IICSn.MSTS_n, EXCn, COIn, TRCn, ACKDn, STDnビットがクリア（0）される。						
次の通信参加条件が満たされるまでは，通信から退避した待機状態となる。 ストップ・コンディション検出後，マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信							
<table> <tr> <th>クリアされる条件（LRELnビット = 0）</th><th>セットされる条件（LRELnビット = 1）</th></tr> <tr> <td>・ 実行後，自動的にクリア</td><td>・ 命令によるセット</td></tr> <tr> <td>・ リセット時</td><td></td></tr> </table>		クリアされる条件（LRELnビット = 0）	セットされる条件（LRELnビット = 1）	・ 実行後，自動的にクリア	・ 命令によるセット	・ リセット時	
クリアされる条件（LRELnビット = 0）	セットされる条件（LRELnビット = 1）						
・ 実行後，自動的にクリア	・ 命令によるセット						
・ リセット時							

注1. リセットされるのはIICSnレジスタ，IICFn.STCFn, IICBSYnビット，IICCLn.CLDn, DADnビットです。

2. IICEnビット = 0により，このフラグの信号を無効にします。

注意 SCLnラインがハイ・レベル，SDAnラインがロウ・レベルの状態，I²Cnを動作許可（IICEnビット = 1）した場合，直後にスタート・コンディションを検出してしまいます。I²Cnを動作許可（IICEnビット = 1）したあと，連続してビット操作命令によりLRELnビットをセット（1）してください。

WRELn ^注	ウェイト解除の制御
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリア (0) される。
クリアされる条件 (WRELnビット = 0)	
・実行後、自動的にクリア ・リセット時	
セットされる条件 (WRELnビット = 1)	
・命令によるセット	

SPIEn ^注	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
クリアされる条件 (SPIEnビット = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (SPIEnビット = 1)	
・命令によるセット	

WTIMn ^注	ウェイトおよび割り込み要求発生制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。	
クリアされる条件 (WTIMnビット = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (WTIMnビット = 1)	
・命令によるセット	

ACKEn ^注	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDAnラインをロウ・レベルにする。
アドレス受信のときは、ACKEnビットの設定は無効です。この場合、アドレスが一致したときはアクノリッジを生成します。 ただし、拡張コードのアドレス受信のときは、ACKEnビットの設定は有効になります。	
クリアされる条件 (ACKEnビット = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (ACKEnビット = 1)	
・命令によるセット	

注 IICEnビット = 0により、このフラグの信号を無効にします。

STTn	スタート・コンディション・トリガ
0	スタート・コンディションを生成しない。
1	バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態SDAnラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCLnラインをロウ・レベル（ウェイト状態）にする。 第三者が通信中のとき： ・通信予約機能許可の場合（IICFn.IICRSVnビット = 0） スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと、自動的にスタート・コンディションを生成する。 ・通信予約機能禁止の場合（IICRSVnビット = 1） IICFn.STCFnビットをセット（1）しSTTnビットにセット（1）した情報をクリアする。 スタート・コンディションは生成しない。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。
セット・タイミングに関する注意 マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 ・SPTnビットと同時にセット（1）することは禁止です。 ・STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。	
クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）
・通信予約禁止状態でのSTTnビットのセット（1） ・アービトラーションに負けたとき ・マスタでのスタート・コンディション生成によるクリア ・LRELnビット = 1（通信退避）によるクリア ・IICEEnビット = 1→0（動作停止）のとき ・リセット時	・命令によるセット

備考 STTnビットは、データ設定後に読み出すと0になっています。

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDAnラインをロウ・レベルにしたあと、SCLnラインをハイ・レベルにするか、またはSCLn端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDAnラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
セット・タイミングに関する注意 マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウェイト期間中にだけセット（1）可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 • STTnビットと同時にセット（1）することは禁止です。 • SPTnビットのセット（1）は、マスタのときのみ行ってください。 • WTIMnビット = 0設定時に、8クロック出力後のウェイト期間中にSPTnビットをセット（1）すると、ウェイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウェイト期間中にWTIMnビット = 0→1にセットし、9クロック目出力後のウェイト期間中にSPTnビットをセット（1）してください。 • SPTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPTnビット = 0）</th><th>セットされる条件（SPTnビット = 1）</th></tr> </thead> <tbody> <tr> <td> • アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELnビット = 1（通信退避）によるクリア • IICEnビット = 1→0（動作停止）のとき • リセット時 </td><td> • 命令によるセット </td></tr> </tbody> </table>		クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）	• アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELnビット = 1（通信退避）によるクリア • IICEnビット = 1→0（動作停止）のとき • リセット時	• 命令によるセット
クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）				
• アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELnビット = 1（通信退避）によるクリア • IICEnビット = 1→0（動作停止）のとき • リセット時	• 命令によるセット				

注 SPTnビットのセット（1）は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、19. 15 **注意事項**を参照してください。

注意 IICSn.TRCnビット = 1のとき、9クロック目にWRELnビットをセット（1）してウェイト解除すると、TRCnビットをクリア（0）してSDAnラインをハイ・インピーダンスにします。

備考 SPTnビットは、データ設定後に読み出すと0になっています。

(2) IIC状態レジスタ0, 1 (IICS0, IICS1)

I²Cnのステータスを表すレジスタです。

8/1ビット単位でリードのみ可能です。

ただしIICSnレジスタは、IICn.STTnビット = 1のとき、またはウェイト期間中だけリード可能です。

リセットにより00Hになります。

注意 メイン・クロック停止、サブクロック動作時に、IICSnレジスタにアクセスしないでください。

詳細は、3.4.9 (1) を参照してください。

(1/3)

リセット時：00H R アドレス：IICS0 FFFFFFFD86H, IICS1 FFFFFFFD96H

	⑦	⑥	⑤	④	③	②	①	①
IICSn	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

(n = 0, 1)

MSTS _n	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS _n ビット = 0)	
・ストップ・コンディション検出時 ・ALD_nビット = 1 (アービトレーション負け) のとき ・IICn.LRELnビット = 1 (通信退避) によるクリア ・IICn.IICEnビット = 1→0 (動作停止) のとき ・リセット時	
セットされる条件 (MSTS _n ビット = 1)	
・スタート・コンディション生成時	

ALD _n	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS _n ビットがクリア (0) される。
クリアされる条件 (ALD _n ビット = 0)	
・IICSnレジスタ読み出し後、自動的にクリア^注 ・IICEnビット = 1→0 (動作停止) のとき ・リセット時	
セットされる条件 (ALD _n ビット = 1)	
・アービトレーションに負けたとき	

EXC _n	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信している。
クリアされる条件 (EXC _n ビット = 0)	
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時	
セットされる条件 (EXC _n ビット = 1)	
受信したアドレス・データの上位4ビットが“0000” または“1111”のとき (8クロック目の立ち上がりでセット)	

注 IICSnレジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

COIn	アドレス一致検出
0	アドレスが一致していない。
1	アドレスが一致している。
クリアされる条件 (COInビット = 0) ・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時 セットされる条件 (COInビット = 1) 受信アドレスが自局アドレス (SVAnレジスタ) と一致したとき (8クロック目の立ち上がりでセット)	

TRCn	送信／受信状態検出
0	受信状態 (送信状態以外)。SDAnラインをハイ・インピーダンスにする。
1	送信状態。SDAnラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)
クリアされる条件 (TRCnビット = 0) ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・IICn.WRELnビット = 1 (ウェイト解除) によるクリア^注 ・ALDnビット = 0→1 (アービトレーション負け) のとき ・リセット時 マスタの場合 ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 ・スタート・コンディション検出時 通信不参加の場合 セットされる条件 (TRCnビット = 1) マスタの場合 ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき	

ACKDn	アクノリッジ (ACK) 検出
0	アクノリッジを検出していない。
1	アクノリッジを検出している。
クリアされる条件 (ACKDnビット = 0) ・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時 セットされる条件 (ACKDnビット = 1) SCLn端子の9クロック目の立ち上がり時にSDAn端子がロウ・レベルであったとき	

注 IICSn.TRcNビット= 1のとき、9クロック目にIICn.WRELnビットをセット (1) してウェイトを解除すると、TRCnビットをクリア (0) してSDAnラインをハイ・インピーダンスにします。

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出している。アドレス転送期間であることを示す。	
クリアされる条件 (STDnビット = 0)		セットされる条件 (STDnビット = 1)
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時		・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出している。マスタでの通信が終了し、バスが解放される。	
クリアされる条件 (SPDnビット = 0)		セットされる条件 (SPDnビット = 1)
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEnビット = 1→0 (動作停止) のとき ・リセット時		・ストップ・コンディション検出時

(3) IICフラグ・レジスタ0, 1 (IICF0, IICF1)

I²Cnの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止／許可を設定します（19. 14 通信予約参照）。

また、STCENnビットにより、IICBSYnビットの初期値を設定します（19. 15 注意事項参照）。

IICRSVn, STCENnビットは、I²Cnが動作禁止（IICCn.IICEnビット = 0）のときのみ書き込み可能です。動作許可後、IICFnレジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：IICF0 FFFFFFFD8AH, IICF1 FFFFFFFD9AH

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

(n = 0, 1)

STCFn	IICn.STTnクリア・フラグ
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTnフラグ・クリア
クリアされる条件 (STCFnビット = 0)	
• STTnビット = 1によるクリア • IICEnビット = 1→0 (動作停止) のとき • リセット時	
セットされる条件 (STCFnビット = 1)	
• 通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず, STTnビットがクリア (0) されたとき	

IICBSYn	I ² Cnバス状態フラグ
0	バス解放状態 (STCENnビット = 1時の通信初期状態)
1	バス通信状態 (STCENnビット = 0時の通信初期状態)
クリアされる条件 (IICBSYnビット = 0)	
• ストップ・コンディション検出時 • IICEnビット = 1→0 (動作停止) のとき • リセット時	
セットされる条件 (IICBSYnビット = 1)	
• スタート・コンディション検出時 • STCENnビット = 0時のIICEnビットのセット	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEnビット = 1) 後, ストップ・コンディションの検出により, スタート・コンディションを生成許可。
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出せずに, スタート・コンディションを生成許可。
クリアされる条件 (STCENnビット = 0)	
• スタート・コンディション検出時 • リセット時	
セットされる条件 (STCENnビット = 1)	
• 命令によるセット	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSVnビット = 0)	
• 命令によるクリア • リセット時	
セットされる条件 (IICRSVnビット = 1)	
• 命令によるセット	

注 ビット6, 7はリード・オンリーです。

- 注意1.** STCENnビットへの書き込みは動作停止 (IICEnビット = 0) 時のみ行ってください。
2. STCENnビット = 1とした場合, 実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。
3. IICRSVnビットへの書き込みは動作停止 (IICEnビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0, 1 (IICCL0, IICCL1)

I²Cnの転送クロックを設定するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、CLDn, DADnビットはリードのみ可能です。SMCn, CLn1, CLn0ビットの設定は、IICXn.CLXnビットと組み合わせて設定します（19.4 (6) I²Cnの転送クロックの設定方法参照）。

IICCLnレジスタはIICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：IICCL0 FFFFFFFD84H, IICCL1 FFFFFFFD94H

IICCLn	7	6	⑤	④	3	2	1	0
	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

(n = 0, 1)

CLDn	SCLn端子のレベル検出 (IICCn.IICEnビット = 1のときのみ有効)							
0	SCLn端子がロウ・レベルであることを検出							
1	SCLn端子がハイ・レベルであることを検出							
クリアされる条件 (CLDnビット = 0)					セットされる条件 (CLDnビット = 1)			
• SCLn端子がロウ・レベルのとき • IICEnビット = 1→0 (動作停止) のとき • リセット時					• SCLn端子がハイ・レベルのとき			

DADn	SDAn端子のレベル検出 (IICEnビット = 1のときのみ有効)							
0	SDAn端子がロウ・レベルであることを検出							
1	SDAn端子がハイ・レベルであることを検出							
クリアされる条件 (DADnビット = 0)					セットされる条件 (DADnビット = 1)			
• SDAn端子がロウ・レベルのとき • IICEnビット = 1→0 (動作停止) のとき • リセット時					• SDAn端子がハイ・レベルのとき			

SMCn	動作モードの切り替え							
0	標準モードで動作							
1	高速モードで動作							

DFCn	ディジタル・フィルタの動作制御							
0	ディジタル・フィルタ・オフ							
1	ディジタル・フィルタ・オン							

ディジタル・フィルタは、高速モード時にのみ使用できます。
 高速モード時はDFCnビットのセット／クリアにより、転送クロックが変化することはありません。
 ディジタル・フィルタは、高速モード時にノイズ除去のために使用します。

注 ビット4, ビット5はリード・オンリーです。

(5) IIC機能拡張レジスタ0, 1 (IICX0, IICX1)

I²Cnの機能拡張を設定するレジスタです（高速モード時のみ有効）。

8/1ビット単位でリード／ライト可能です。CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと組み合わせて設定します（19.4 (6) I²Cnの転送クロックの設定方法参照）。

IICCXnレジスタはIICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：IICX0 FFFFD85H, IICX1 FFFFD95H

	7	6	5	4	3	2	1	①
IICXn	0	0	0	0	0	0	0	CLXn

(n = 0, 1)

(6) I²Cnの転送クロックの設定方法

I²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます ($n = 0, 1$)。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

$m = 12, 24, 48, 54, 86, 88, 172, 198$ (表19-2 選択クロックの設定参照)

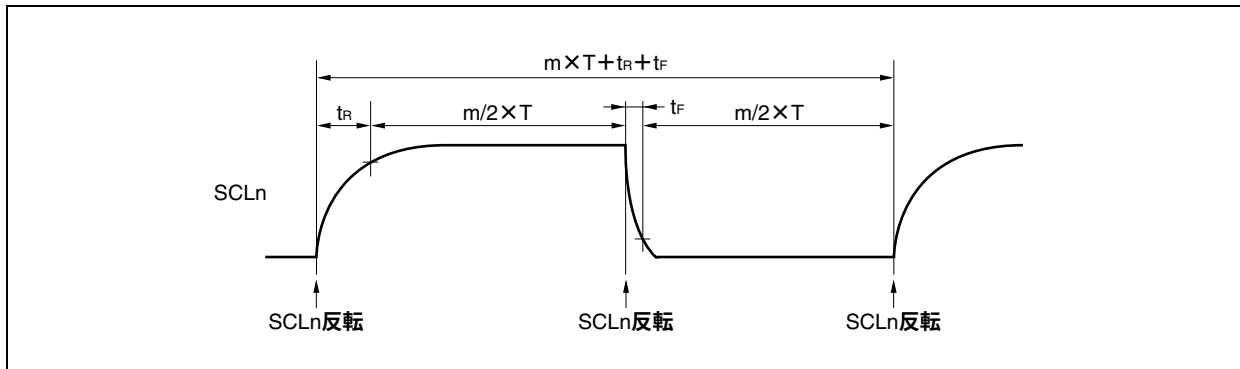
$T : 1/f_{XX}$

t_R : SCLn立ち上がり時間

t_F : SCLn立ち下がり時間

たとえば、 $f_{XX} = 20 \text{ MHz}$, $m = 54$, $t_R = 200 \text{ ns}$, $t_F = 50 \text{ ns}$ の場合のI²Cnの転送クロック周波数 (f_{SCL}) は、次の計算式により求められます。

$$f_{SCL} = 1 / (54 \times 50 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 339 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット、IICXn.CLXnビットを組み合わせで設定します。

表19-2 選択クロックの設定

IICXn	IICCLn			選択クロック	転送クロック (f _{xx} /m)	設定可能な 内部システム・クロック 周波数 (f _{xx}) の範囲	動作モード	
ビット0	ビット3	ビット1	ビット0					
CLXn	SMCn	CLn1	CLn0					
0	0	0	0	f _{xx} /2	f _{xx} /88	4.0 MHz～8.38 MHz	標準モード (SMCnビット = 0)	
0	0	0	1	f _{xx} /2	f _{xx} /172	8.38 MHz～16.76 MHz		
0	0	1	0	f _{xx}	f _{xx} /86	4.19 MHz～8.38 MHz		
0	0	1	1	f _{xx} /3	f _{xx} /198	16.0 MHz～19.8 MHz		
0	1	0	x	f _{xx} /2	f _{xx} /48	8 MHz～16.76 MHz	高速モード (SMCnビット = 1)	
0	1	1	0	f _{xx}	f _{xx} /24	4 MHz～8.38 MHz		
0	1	1	1	f _{xx} /3	f _{xx} /54	16 MHz～20 MHz		
1	0	x	x	設定禁止				
1	1	0	x	f _{xx} /2	f _{xx} /24	8.00 MHz～8.38 MHz	高速モード (SMCnビット = 1)	
1	1	1	0	f _{xx}	f _{xx} /12	4.00 MHz～4.19 MHz		
1	1	1	1	設定禁止				

備考1. $n = 0, 1$

2. x : Don't care

(7) IICシフト・レジスタ0, 1 (IIC0, IIC1)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。

8ビット単位でリード／ライト可能ですが、データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには、ウェイト期間中にだけアクセス（リード／ライト）してください。ウェイト期間中を除く通信状態でのIICnレジスタのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット（IICn.STTn）をセット（1）したあと、1回ライトできます。

ウェイト期間中のIICnレジスタへの書き込みにより、ウェイトを解除しデータ転送を開始します。

リセットにより00Hになります。

リセット時：00H R/W アドレス：IIC0 FFFFFFFD80H, IIC1 FFFFFFFD90H

	7	6	5	4	3	2	1	0
IICn								
(n = 0, 1)								

(8) スレーブ・アドレス・レジスタ0, 1 (SVA0, SVA1)

このレジスタには、I²Cバスのスレーブ・アドレスを格納します。

ただし、IICSn.STDnビット = 1（スタート・コンディション検出）のときの書き換えは禁止です。

8ビット単位でリード／ライト可能ですが、ビット0は0に固定されています。

リセットにより00Hになります。

リセット時：00H R/W アドレス：SVA0 FFFFFFFD83H, SVA1 FFFFFFFD93H

	7	6	5	4	3	2	1	0
SVAn								0
(n = 0, 1)								

19.5 機能

19.5.1 端子構成

シリアル・クロック端子 (SCLn) と、シリアル・データ・バス端子 (SDAn) の構成は、次のようになっています ($n = 0, 1$)。

SCLn … シリアル・クロックを入出力するための端子。

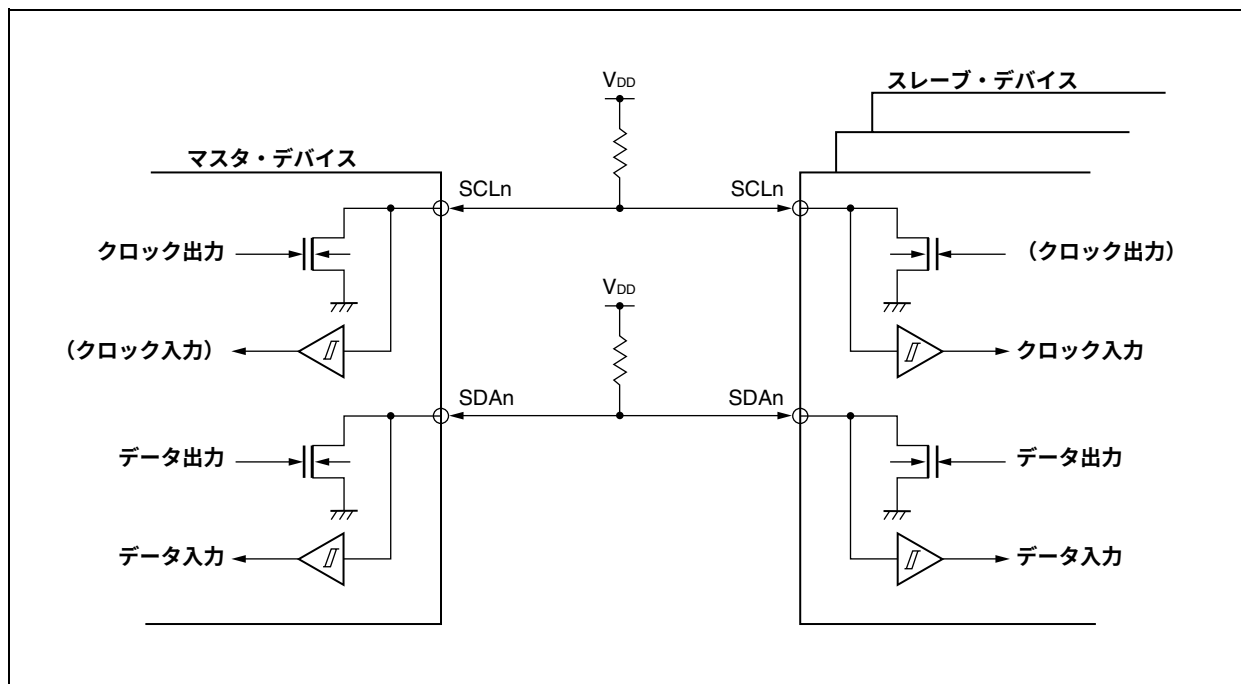
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

SDAn … シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図19-4 端子構成図

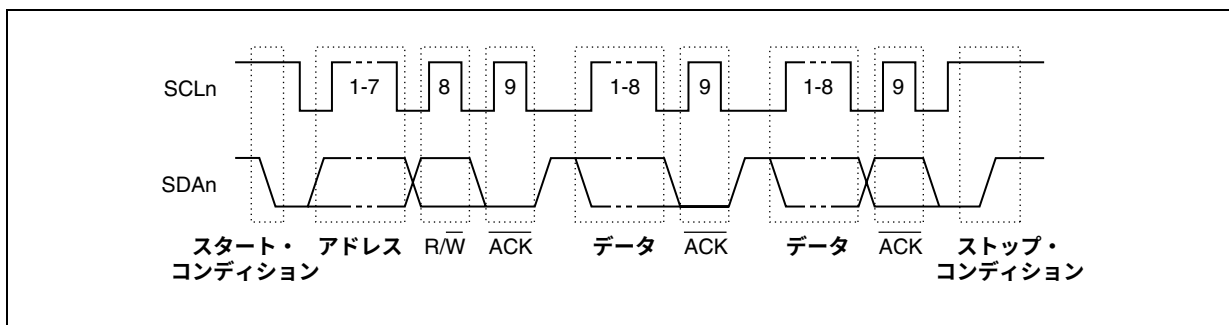


19.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、生成される状態の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図19-5 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

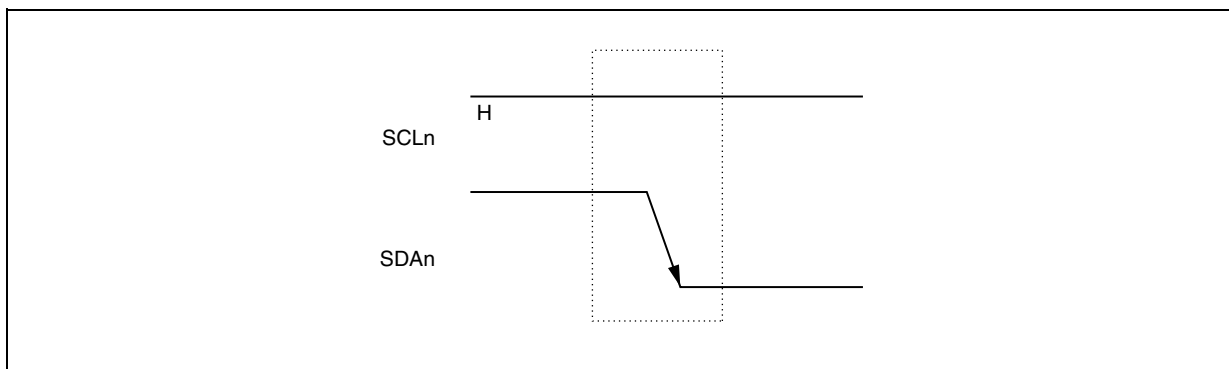
アクノリッジ (ACK) は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が生成します）。

シリアル・クロック (SCLn) は，マスタが出力し続けます。ただし，スレーブはSCLnのロウ・レベル期間を延長し，ウェイトを挿入できます (n = 0, 1)。

19.6.1 スタート・コンディション

SCLn端子がハイ・レベルのときに，SDAn端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCLn端子，SDAn端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに生成されます。スレーブとして使用する場合は，スタート・コンディションを検出できます (n = 0, 1)。

図19-6 スタート・コンディション



スタート・コンディションは，ストップ・コンディション検出状態 (IICSn.SPDnビット = 1) のときに IICSn.STTnビットをセット (1) すると生成されます。また，スタート・コンディションを検出すると，IICSn.STDnビットがセット (1) されます。

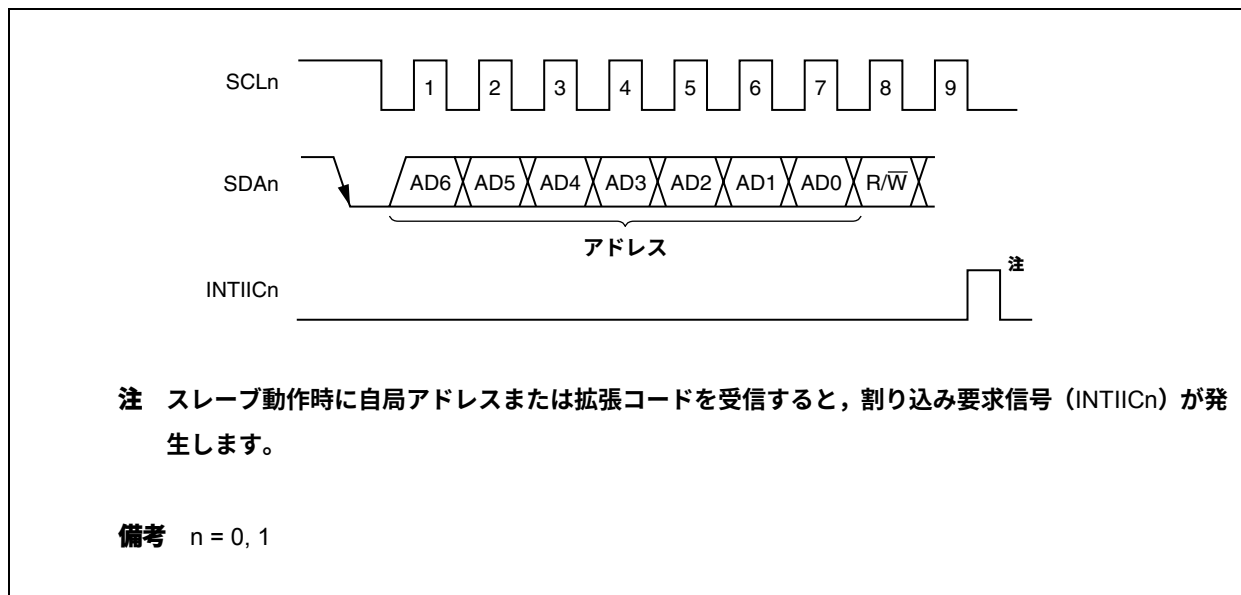
19. 6. 2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います ($n = 0, 1$)。

図19-7 アドレス



アドレスは、スレーブのアドレスと19. 6. 3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます。

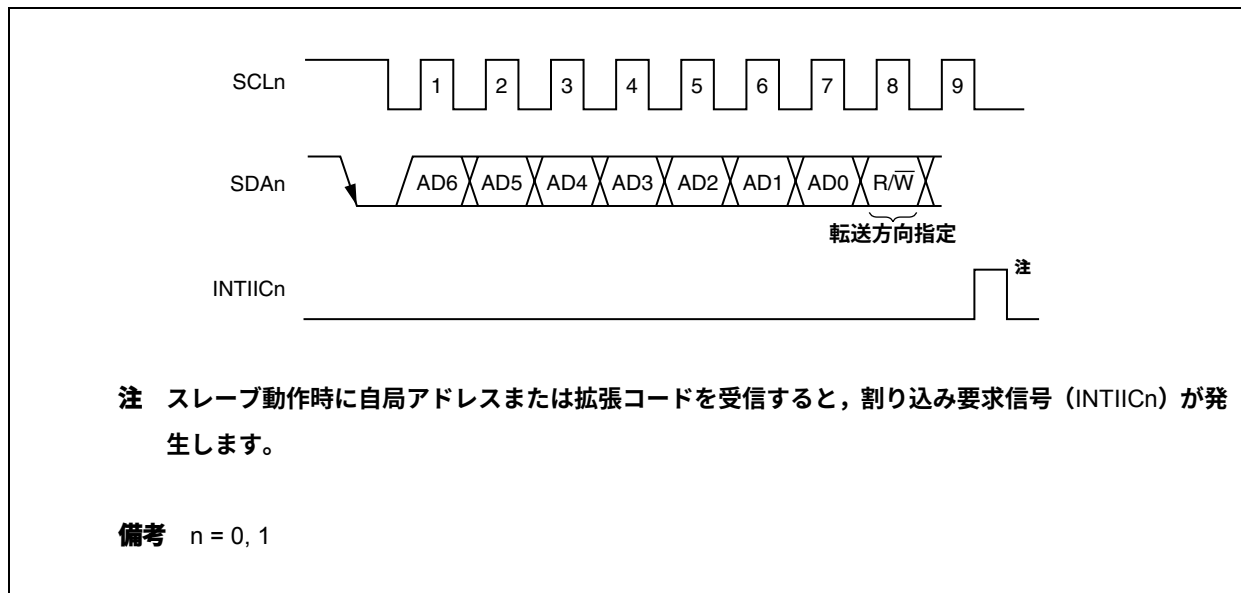
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

19.6.3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図19-8 転送方向指定



19.6.4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

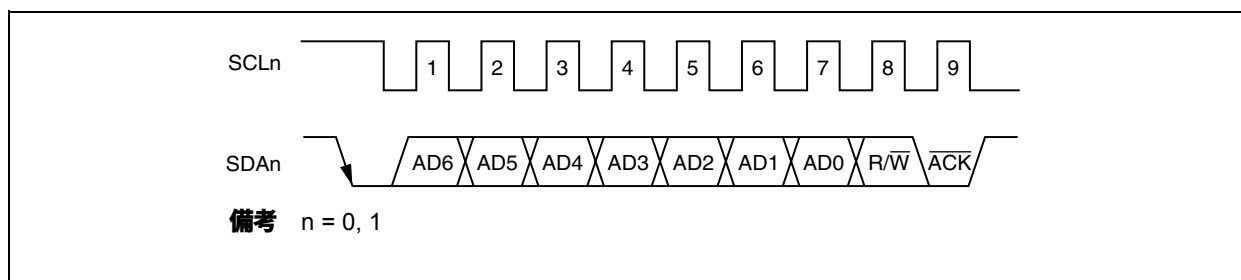
アクノリッジ生成は、受信側が9クロック目にSDAnラインをロウ・レベルにすることによって行われます（正常受信）。

IICCn.ACKEnビットをセット（1）することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRCnビットが設定されます。受信（TRCnビット = 0）の場合は、通常、ACKEnビットをセット（1）してください。

スレーブ受信動作時（TRCnビット = 0）にデータを受信できなくなったときは、ACKEnビットをクリア（0）し、マスタ側に受信ができないことを示してください。

マスタ受信動作時（TRCnビット = 0）に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア（0）してください。これによって、スレーブ送信側にデータの終わりを知らせます（送信停止）。

図19-9 アクノリッジ (ACK)



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません（NACK）。

拡張コード受信時は、あらかじめACKEnビットをセット（1）しておくことによってアクノリッジを生成します。

データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

- ・8クロック・ウェイト選択時 (IICn.WTIMnビット = 0) :
ウェイト解除を行う前にACKEnビットをセット (1) することによって、SCLn端子の8クロック目の立ち下がりに同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (WTIMnビット = 1) :
あらかじめACKEnビットをセット (1) することによって、アクノリッジを生成します。

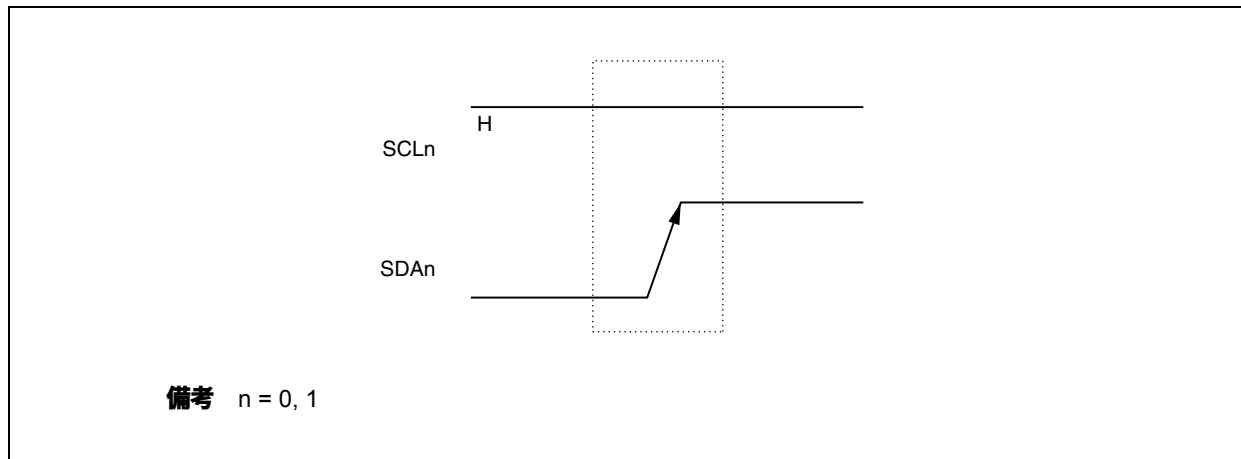
備考 n = 0, 1

19.6.5 ストップ・コンディション

SCLn端子がハイ・レベルのときに、SDAn端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります (n = 0, 1)。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図19-10 ストップ・コンディション



ストップ・コンディションは、IICn.SPTnビットをセット (1) すると発生します。また、ストップ・コンディションを検出するとIICn.SPnビットがセット (1) され、IICn.SPIEnビットがセット (1) されている場合には割り込み要求信号 (INTIICn) が発生します。

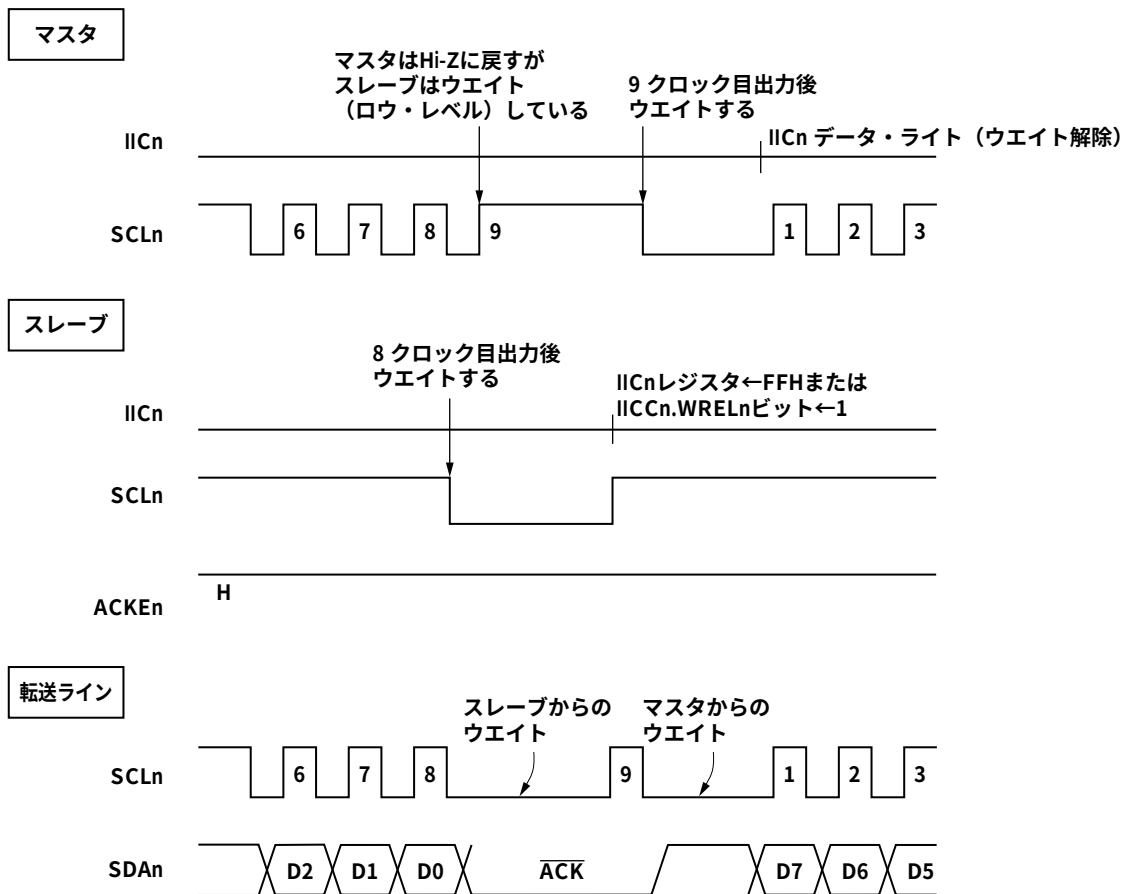
19.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCLn端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます（ $n = 0, 1$ ）。

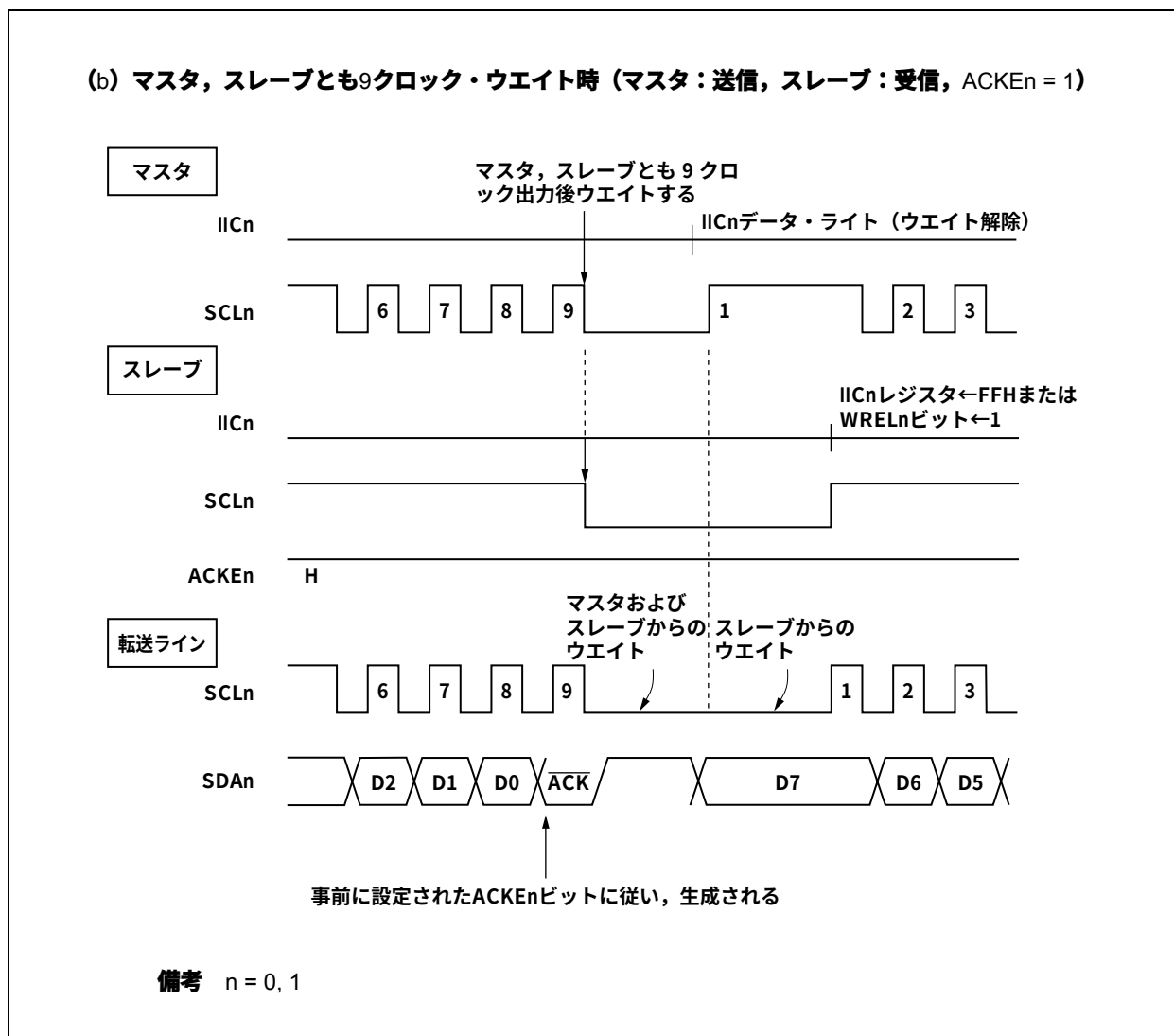
図19-11 ウェイト (1/2)

(a) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時（マスタ：送信，スレーブ：受信，IICn.ACKEnビット = 1）



備考 $n = 0, 1$

図19-11 ウェイト (2/2)



スタート・コンディション生成後、自動的にウェイト状態になります。また、IICn.WTIMnビットの設定により自動的にウェイト状態になります。

通常、受信側はWRELnビット= 1またはIICnレジスタ←FFHライトにするとウェイトを解除し、送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- IICn.STTnビット= 1
- IICn.SPTnビット= 1

19.6.7 ウェイト解除方法

I²Cnでは、通常、次のような処理でウェイトを解除できます (n = 0, 1)。

- IICnレジスタへのデータ書き込み
- IICn.WRELnビットのセット (ウェイト解除)
- IICn.STTnビットのセット (スタート・コンディションの生成)^注
- IICn.SPTnビットのセット (ストップ・コンディションの生成)^注

注 マスタのみ

これらのウェイト解除処理を実行した場合、I²Cnはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット (1) してください。

1回のウェイト状態に対して1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット (1) によるウェイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDAnラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDAnラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICn.IICEnビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスの状態がノイズなどによりデッド・ロックしてしまった場合には、IICn.LRELnビットをセット (1) すると通信から退避するので、ウェイトを解除できます。

19.7 I²C割り込み要求信号 (INTIICn)

次に、INTIICn割り込み要求信号発生タイミングと、INTIICn信号タイミングでのIICSnレジスタの値を示します。

- 備考**1. ST : スタート・コンディション
AD6-AD0 : アドレス
R/W : 転送方向指定
 $\overline{ACK}$: アクノリッジ
D7-D0 : データ
SP : ストップ・コンディション
2. n = 0, 1

19.7.1 マスタ動作

(1) Start～Address～Data～Data～Stop (通常送受信)

① IICn.WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B

▲3：IICSnレジスタ = 1000X000B (WTIMnビット = 1※)

▲4：IICSnレジスタ = 1000XX00B

△5：IICSnレジスタ = 00000001B

注 ストップ・コンディションを生成するためにWTIMnビットをセット(1)し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

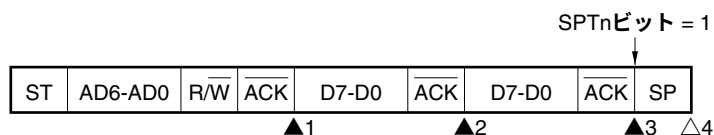
備考 ▲ 必ず発生

△ IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X100B

▲3：IICSnレジスタ = 1000XX00B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

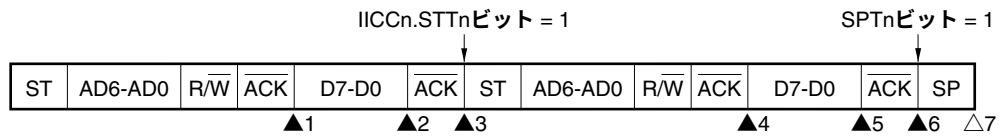
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(2) Start～Address～Data～Start～Address～Data～Stop (リスタート)

① WTIMnビット = 0のとき



▲1: IICSnレジスタ = 1000X110B

▲2: IICSnレジスタ = 1000X000B (WTIMnビット = 1^{※1})▲3: IICSnレジスタ = 1000XX00B (WTIMnビット = 0^{※2})

▲4: IICSnレジスタ = 1000X110B

▲5: IICSnレジスタ = 1000X000B (WTIMnビット = 1^{※3})

▲6: IICSnレジスタ = 1000XX00B

△7: IICSnレジスタ = 00000001B

注1. スタート・コンディションを生成するためにWTIMnビットをセット (1) し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

2. 設定を元に戻すためにWTIMnビットをクリア (0) します。

3. ストップ・コンディションを生成するためにWTIMnビットをセット (1) し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

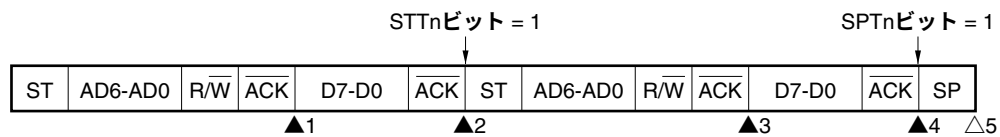
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1: IICSnレジスタ = 1000X110B

▲2: IICSnレジスタ = 1000XX00B

▲3: IICSnレジスタ = 1000X110B

▲4: IICSnレジスタ = 1000XX00B

△5: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

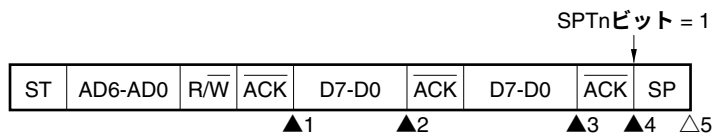
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(3) Start～Code～Data～Data～Stop (拡張コード送信)

① WTIMnビット = 0のとき



▲1: IICSnレジスタ = 1010X110B

▲2: IICSnレジスタ = 1010X000B

▲3: IICSnレジスタ = 1010X000B (WTIMnビット = 1※)

▲4: IICSnレジスタ = 1010XX00B

△5: IICSnレジスタ = 00000001B

注 ストップ・コンディションを生成するためにWTIMnビットをセット (1) し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。

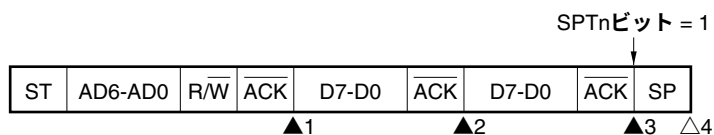
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1: IICSnレジスタ = 1010X110B

▲2: IICSnレジスタ = 1010X100B

▲3: IICSnレジスタ = 1010XX00B

△4: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

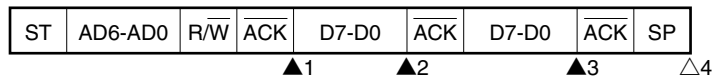
X 任意

n = 0, 1

19.7.2 スレーブ動作（スレーブ・アドレス受信時（アドレス一致））

(1) Start～Address～Data～Data～Stop

① IICn.WTIMnビット = 0のとき



▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X000B

△4：IICSnレジスタ = 00000001B

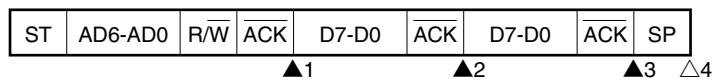
備考 ▲ 必ず発生

△ IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X100B

▲3：IICSnレジスタ = 0001XX00B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(2) Start～Address～Data～Start～Address～Data～Stop

① WTIMnビット = 0のとき (リスタート後、アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X110B

▲4：IICSnレジスタ = 0001X000B

△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき (リスタート後、アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001XX00B

▲3：IICSnレジスタ = 0001X110B

▲4：IICSnレジスタ = 0001XX00B

△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

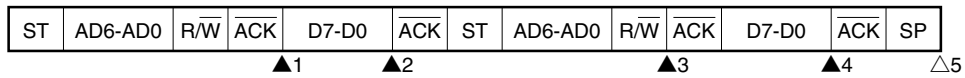
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(3) Start～Address～Data～Start～Code～Data～Stop

① WTIMnビット = 0のとき（リスタート後、アドレス不一致（拡張コード））



▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0010X010B

▲4：IICSnレジスタ = 0010X000B

△5：IICSnレジスタ = 00000001B

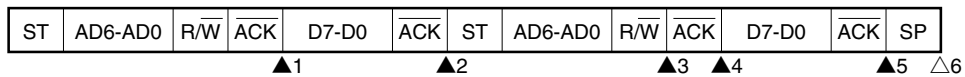
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき（リスタート後、アドレス不一致（拡張コード））



▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001XX00B

▲3：IICSnレジスタ = 0010X010B

▲4：IICSnレジスタ = 0010X110B

▲5：IICSnレジスタ = 0010XX00B

△6：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

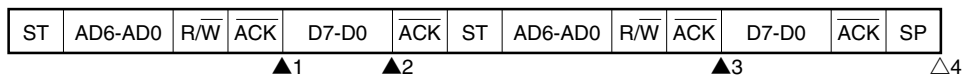
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(4) Start～Address～Data～Start～Address～Data～Stop

① WTIMnビット = 0のとき（リスタート後、アドレス不一致（拡張コード以外））



▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 00000110B

△4：IICSnレジスタ = 00000001B

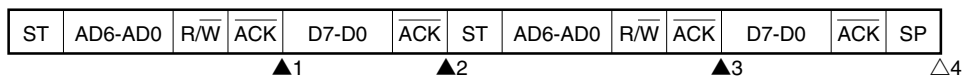
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき（リスタート後、アドレス不一致（拡張コード以外））



▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001XX00B

▲3：IICSnレジスタ = 00000110B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

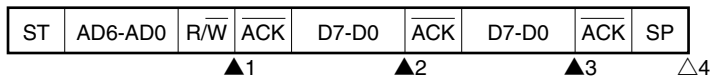
n = 0, 1

19.7.3 スレーブ動作（拡張コード受信時）

拡張コード受信時は常に通信に参加しています。

(1) Start～Code～Data～Data～Stop

① IICn.WTIMnビット = 0のとき



▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0010X000B

△4：IICSnレジスタ = 00000001B

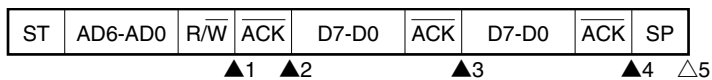
備考 ▲ 必ず発生

△ IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010X100B

▲4：IICSnレジスタ = 0010XX00B

△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

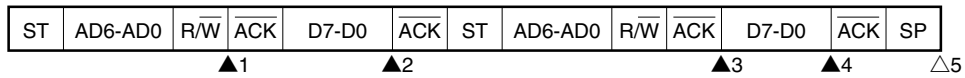
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(2) Start～Code～Data～Start～Address～Data～Stop

① WTIMnビット = 0のとき (リスタート後、アドレス一致)



▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0001X110B

▲4：IICSnレジスタ = 0001X000B

△5：IICSnレジスタ = 00000001B

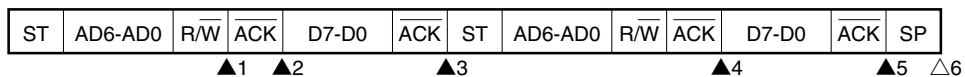
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき (リスタート後、アドレス一致)



▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010XX00B

▲4：IICSnレジスタ = 0001X110B

▲5：IICSnレジスタ = 0001XX00B

△6：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

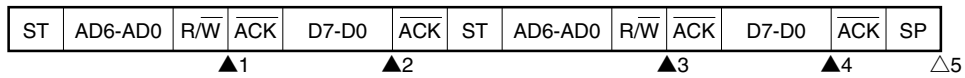
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(3) Start～Code～Data～Start～Code～Data～Stop

① WTIMnビット = 0のとき (リスタート後, 拡張コード受信)



▲1: IICSnレジスタ = 0010X010B

▲2: IICSnレジスタ = 0010X000B

▲3: IICSnレジスタ = 0010X010B

▲4: IICSnレジスタ = 0010X000B

△5: IICSnレジスタ = 00000001B

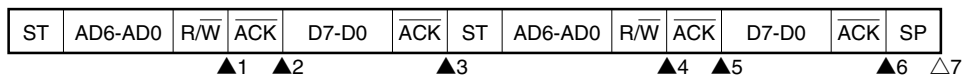
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき (リスタート後, 拡張コード受信)



▲1: IICSnレジスタ = 0010X010B

▲2: IICSnレジスタ = 0010X110B

▲3: IICSnレジスタ = 0010XX00B

▲4: IICSnレジスタ = 0010X010B

▲5: IICSnレジスタ = 0010X110B

▲6: IICSnレジスタ = 0010XX00B

△7: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

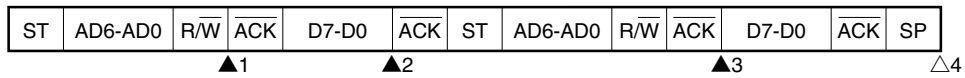
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(4) Start～Code～Data～Start～Address～Data～Stop

① WTIMnビット = 0のとき（リスタート後、アドレス不一致（拡張コード以外））



▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 00000110B

△4：IICSnレジスタ = 00000001B

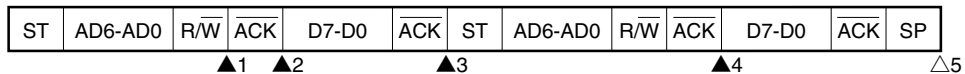
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき（リスタート後、アドレス不一致（拡張コード以外））



▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010XX00B

▲4：IICSnレジスタ = 00000110B

△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

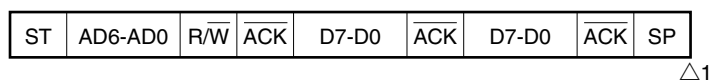
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

19.7.4 通信不参加の動作

(1) Start～Code～Data～Data～Stop



△1：IICSnレジスタ = 00000001B

備考 △ IICn.SPIEnビット = 1のときだけ発生

n = 0, 1

19. 7. 5 アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

マルチマスタ・システムでマスタとして使用する場合はINTIICn割り込み発生ごとにアービトレーション結果を確認するためのIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

① IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3	△4	

▲1：IICSnレジスタ = 0101X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X000B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ IICn.SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3	△4	

▲1：IICSnレジスタ = 0101X110B

▲2：IICSnレジスタ = 0001X100B

▲3：IICSnレジスタ = 0001XX00B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(2) 拡張コード送信中にアービトレーションに負けた場合

① WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICSnレジスタ = 0110X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0010X000B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3		▲4 △5

▲1：IICSnレジスタ = 0110X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010X100B

▲4：IICSnレジスタ = 0010XX00B

△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

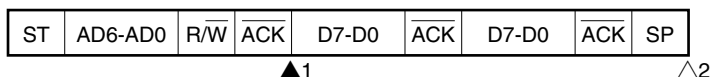
X 任意

n = 0, 1

19.7.6 アービトレーション負けの動作（アービトレーション負けのあと、不参加）

マルチマスタ・システムでマスタとして使用する場合はINTIICn割り込み発生ごとにアービトレーション結果を確認するためのIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



▲1：IICSnレジスタ = 01000110B

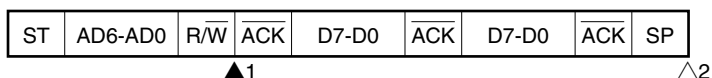
△2：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ IICn.SPISnビット = 1のときだけ発生

n = 0, 1

(2) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICSnレジスタ = 0110X010B

ソフトウェアでIICn.LRELnビット = 1を設定

△2：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

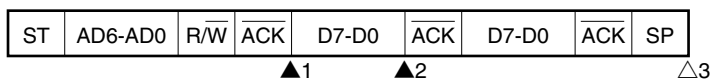
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(3) データ転送時にアービトレーションに負けた場合

① IICn.WTIMnビット = 0のとき



▲1 : IICSnレジスタ = 10001110B

▲2 : IICSnレジスタ = 01000000B

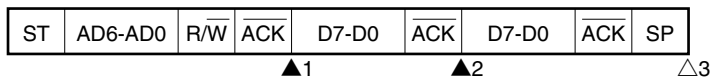
△3 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

n = 0, 1

② WTIMnビット = 1のとき



▲1 : IICSnレジスタ = 10001110B

▲2 : IICSnレジスタ = 01000100B

△3 : IICSnレジスタ = 00000001B

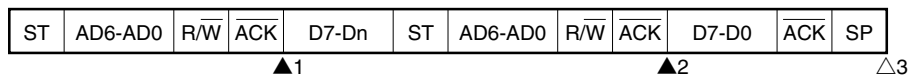
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

n = 0, 1

(4) データ転送時にリスタート・コンディションで負けた場合

① 拡張コード以外 (例 アドレス不一致)



▲1: IICSnレジスタ = 1000X110B

▲2: IICSnレジスタ = 01000110B

△3: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

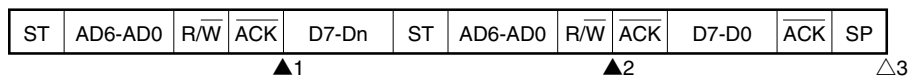
△ SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

n = 0, 1

② 拡張コード



▲1: IICSnレジスタ = 1000X110B

▲2: IICSnレジスタ = 0110X010B

ソフトウェアでLRELnビット = 1を設定

△3: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

n = 0, 1

(5) データ転送時にストップ・コンディションで負けた場合



▲1：IICSnレジスタ = 1000X110B

△2：IICSnレジスタ = 01000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

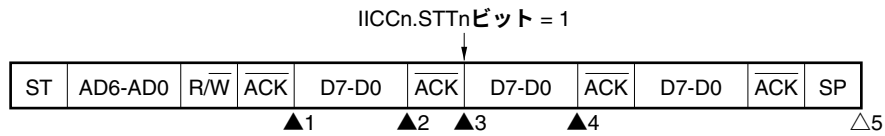
X 任意

Dn = D6-D0

n = 0, 1

(6) リスタート・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3：IICSnレジスタ = 1000X100B (WTIMnビット = 0)

▲4：IICSnレジスタ = 01000000B

△5：IICSnレジスタ = 00000001B

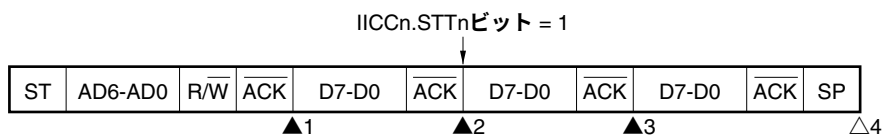
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X100B

▲3：IICSnレジスタ = 01000100B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

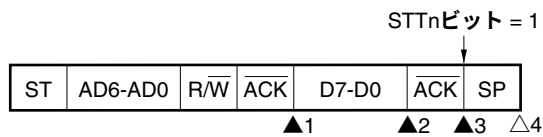
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1 : IICSnレジスタ = 1000X110B

▲2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3 : IICSnレジスタ = 1000XX00B

△4 : IICSnレジスタ = 01000001B

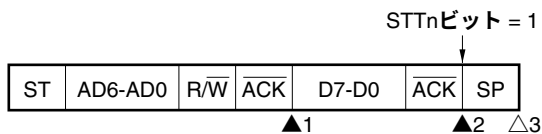
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1 : IICSnレジスタ = 1000X110B

▲2 : IICSnレジスタ = 1000XX00B

△3 : IICSnレジスタ = 01000001B

備考 ▲ 必ず発生

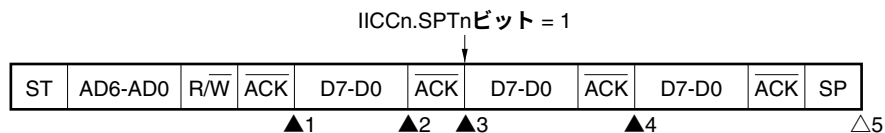
△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

(8) ストップ・コンディションを発生しようとしたが、データがロウ・レベルでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3：IICSnレジスタ = 1000X100B (WTIMnビット = 0)

▲4：IICSnレジスタ = 01000100B

△5：IICSnレジスタ = 00000001B

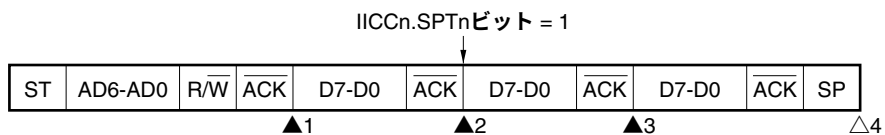
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X100B

▲3：IICSnレジスタ = 01000100B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

n = 0, 1

19.8 割り込み要求信号（INTIICn）発生タイミングおよびウェイト制御

IICn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います。

表19-3 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICn信号を発生しますが、ウェイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。

備考1. 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がり同期します。

2. n = 0, 1

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1, 2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ／スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ／スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- IICnレジスタへのデータ書き込み
- IICn.WRELnビットのセット（ウェイト解除）
- IICn.STTnビットのセット（スタート・コンディションの生成）^注
- IICn.SPTnビットのセット（ストップ・コンディションの生成）^注

注 マスタのみ

8クロック・ウェイト選択（WTIMnビット = 0）時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

備考 n = 0, 1

(5) ストップ・コンディション検出

ストップ・コンディションを検出するとINTIICn信号が発生します。

備考 n = 0, 1

19.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn割り込み要求信号が発生します（n = 0, 1）。

19.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス（SDAn）の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します（n = 0, 1）。

19. 11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ (EXCn) をセットし、8クロック目の立ち下がりで割り込み要求信号 (INTIICn) を発生します。

SVAnレジスタに格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICn信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致 : IICSn.EXCnビット = 1

7ビット・データの一致 : IICSn.COInビット = 1

- (3) INTIICn信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

スレーブ動作時に拡張コードを受信した場合は、アドレス不一致でも通信に参加しています。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICn.LRELnビット= 1に設定してください。次の通信待機状態となります。

備考 n = 0, 1

表19-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUSアドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	×	10ビット・スレーブ・アドレス指定

19.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICS_n.STD_nビット = 1になる前に IIC_n.STT_nビット = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます（ $n = 0, 1$ ）。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，アービトレーション負けフラグ（IICS_n.ALD_nビット）をセット（1）し，SCL_n, SDA_nラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求信号（INTIIC_n）発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウェアでALD_nビット = 1になっていることで検出します。

割り込み発生タイミングについては，19.7 I²C割り込み要求信号（INTIIC_n）を参照してください。

図19-12 アービトレーション・タイミング例

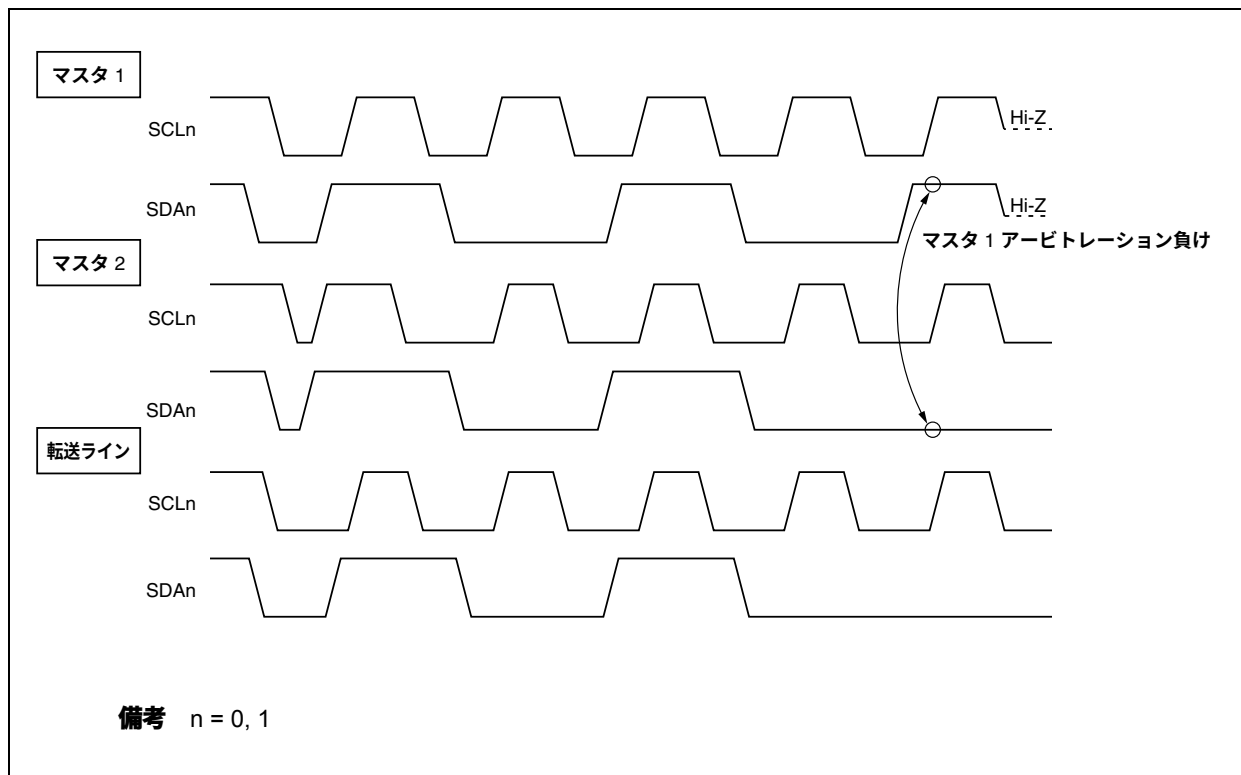


表19-5 アービトレーション発生時の状態と割り込み要求発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (IICn.SPIEnビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDAn端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDAn端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCLn端子がロウ・レベル	

注1. IICn.WTIMnビット = 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求が発生します。

WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求が発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEnビット = 1にしてください。

備考 n = 0, 1

19. 13 ウェイク・アップ機能

I²Cバスのスレーブ機能で、自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要な割り込み要求が発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICn.SPIEnビットの設定によって、割り込み要求の発生許可／禁止が決定します (n = 0, 1)。

19. 14 通信予約

19. 14. 1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICn.LRELnビット = 1でバスを解放した）とき。

バスに不参加の状態、IICn.STTnビットをセット（1）すると、バスが解放されたあと（ストップ・コンディション検出後）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

IICn.SPIEnビットをセット（1）し、割り込み要求（INTIICn）発生でバスの解放を検出（ストップ・コンディション検出）したあと、IICnレジスタにアドレスを書き込むと、自動的にマスタとして通信を開始します。ストップ・コンディションを検出する前に、IICnレジスタに書き込んだデータは無効となります。

STTnビットをセット（1）したときスタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき …………… スタート・コンディション生成
 バスが解放されていないとき（待機状態） … 通信予約

通信予約として動作するのかどうかを確認するには、STTnビットをセット（1）し、ウェイト時間をとったあと、IICSn.MSTSnnビットを確認することで行います。

ウェイト時間は、表19－6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICXn.CLXn、IICCLn.SMCn、CLn1、CLn0ビットにより設定できます。

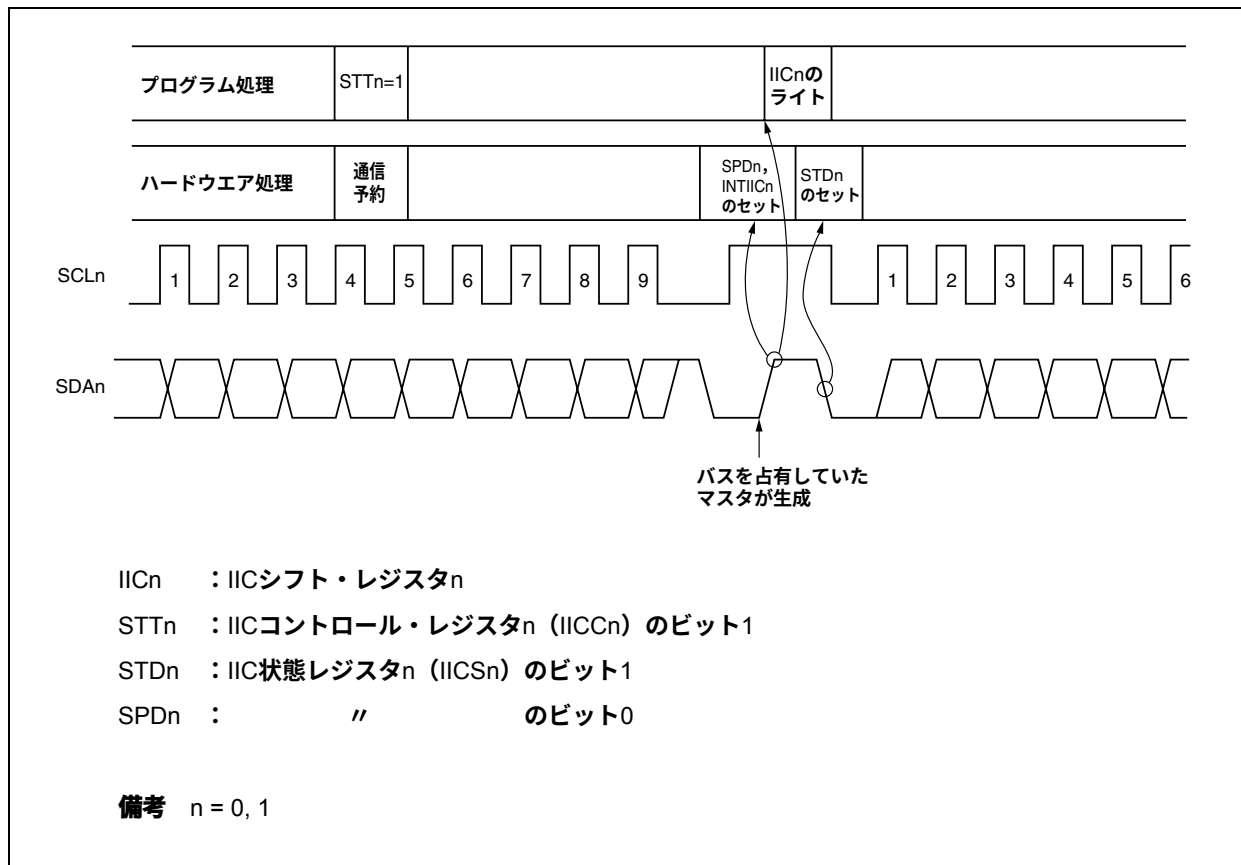
表19－6 ウェイト時間

CLXn	SMCn	CLn1	CLn0	選択クロック	ウェイト時間
0	0	0	0	fxx/2	46クロック
0	0	0	1	fxx/2	86クロック
0	0	1	0	fxx	43クロック
0	0	1	1	fxx/3	102クロック
0	1	0	1/0	fxx/2	30クロック
0	1	1	0	fxx	15クロック
0	1	1	1	fxx/3	36クロック
1	1	0	1/0	fxx/2	18クロック
1	1	1	0	fxx	9クロック

備考 n = 0, 1

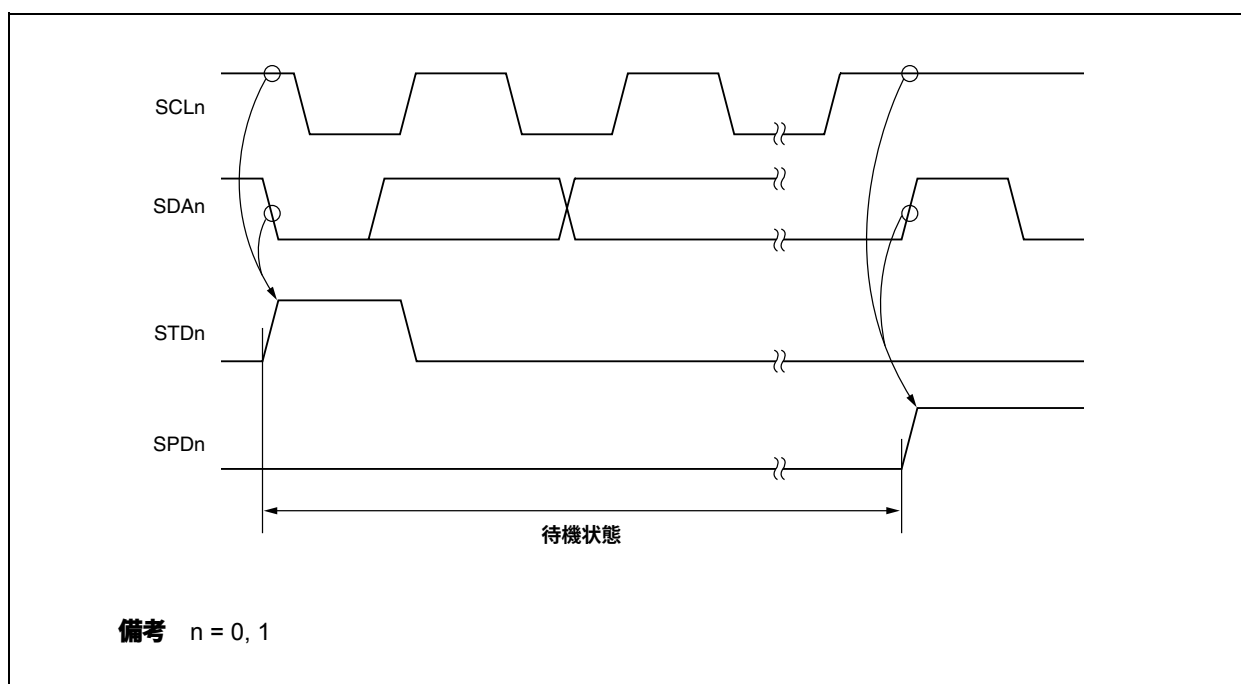
通信予約のタイミングを次に示します。

図19-13 通信予約のタイミング



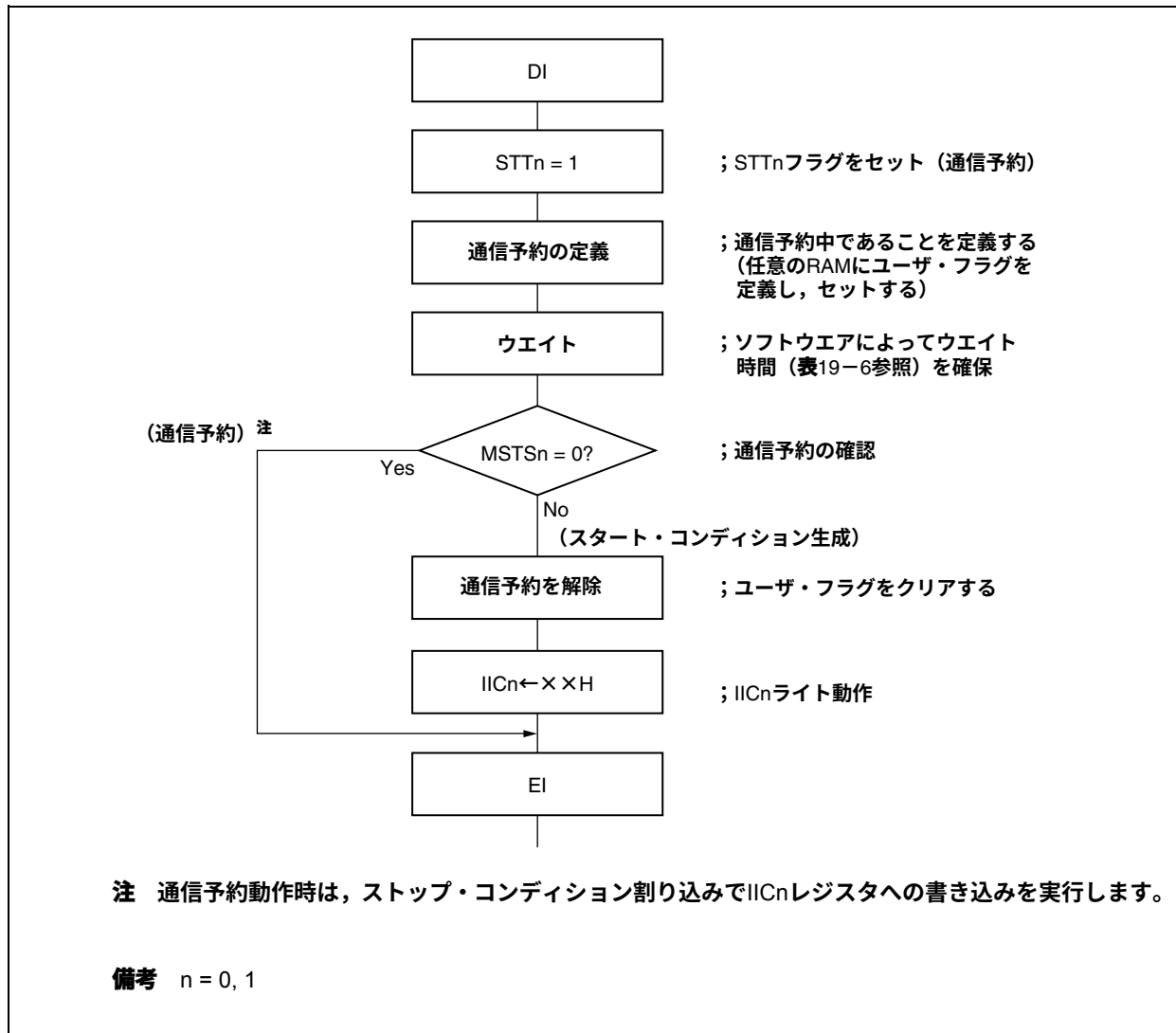
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICn.STTnビット = 1で通信予約をします (n = 0, 1)。

図19-14 通信予約受け付けタイミング



次に通信予約の手順を示します。

図19-15 通信予約の手順



19. 14. 2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態ではIICn.STTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICn.LRELnビット = 1でバスを解放した）とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFnフラグを確認することにより行います。STTnビット = 1としてからSTCFnフラグがセットされるまで表19-7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表19-7 ウェイト時間

CLn1	CLn0	選択クロック	ウェイト時間
0	0	$f_{xx}/2$	10クロック
0	1	$f_{xx}/2$	10クロック
1	0	f_{xx}	5クロック
1	1	$f_{xx}/3$	15クロック

備考 n = 0, 1

19. 15 注意事項

(1) IICFn.STCENnビット = 0の場合

I²Cn動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。

ストップ・コンディションの生成は次の順番で行ってください。

- ① IICCLnレジスタの設定
- ② IICCn.IICEnビットのセット
- ③ IICCn.SPTnビットのセット

(2) IICFn.STCENnビット = 1の場合

I²Cn動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

備考 n = 0, 1

(3) ほかのデバイス同士の通信中にV850ES/KJ2のIICCn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット (1) は、必ずSCLn, SDAnラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXnレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア (0) してください。

(5) IICCn.STTn, SPTnビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICCn.SPIEnビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICSn.MSTSnビットを検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 n = 0-2

19.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²Cn バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかがI²C バスの仕様だけでは判断できません。ここでは、一定(1フレーム)期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

I²Cn バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちでINTIICn割り込みの発生を待ちます。INTIICn割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

備考 n = 0, 1

19. 16. 2 マルチマスタ・システムでのマスタ動作

図19-17 マルチマスタ・システムでのマスタ動作 (1/3)

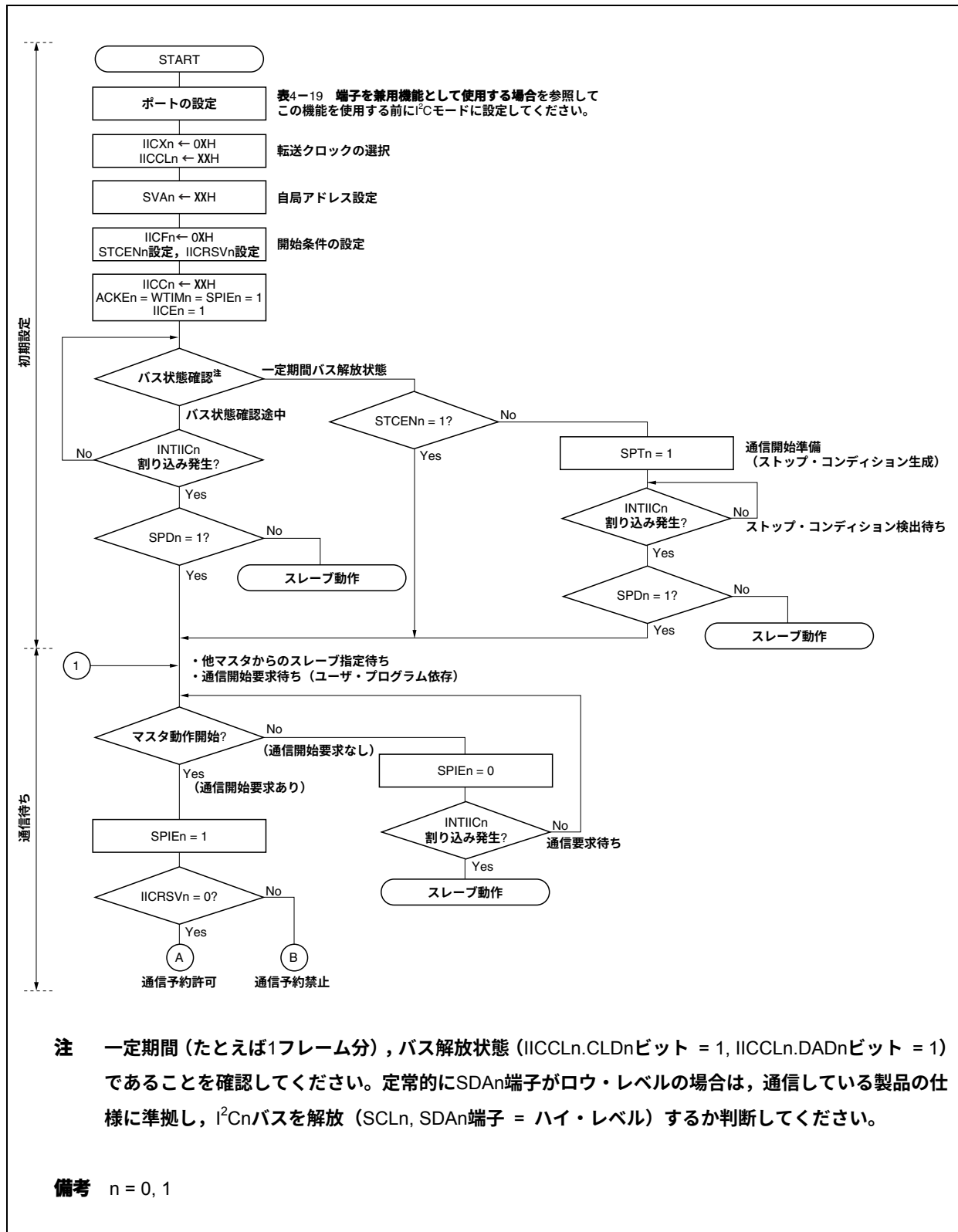


図19-17 マルチマスタ・システムでのマスタ動作 (2/3)

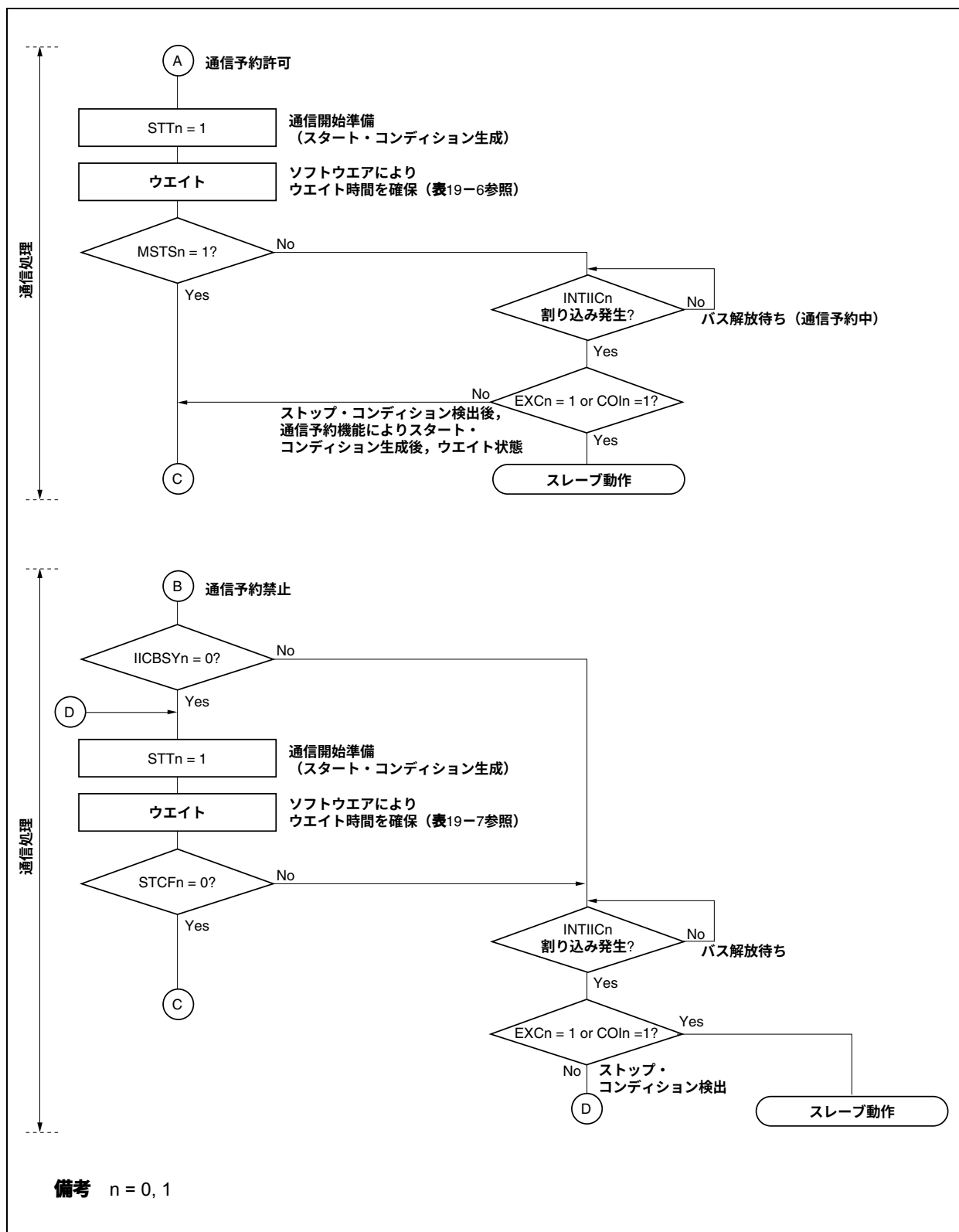
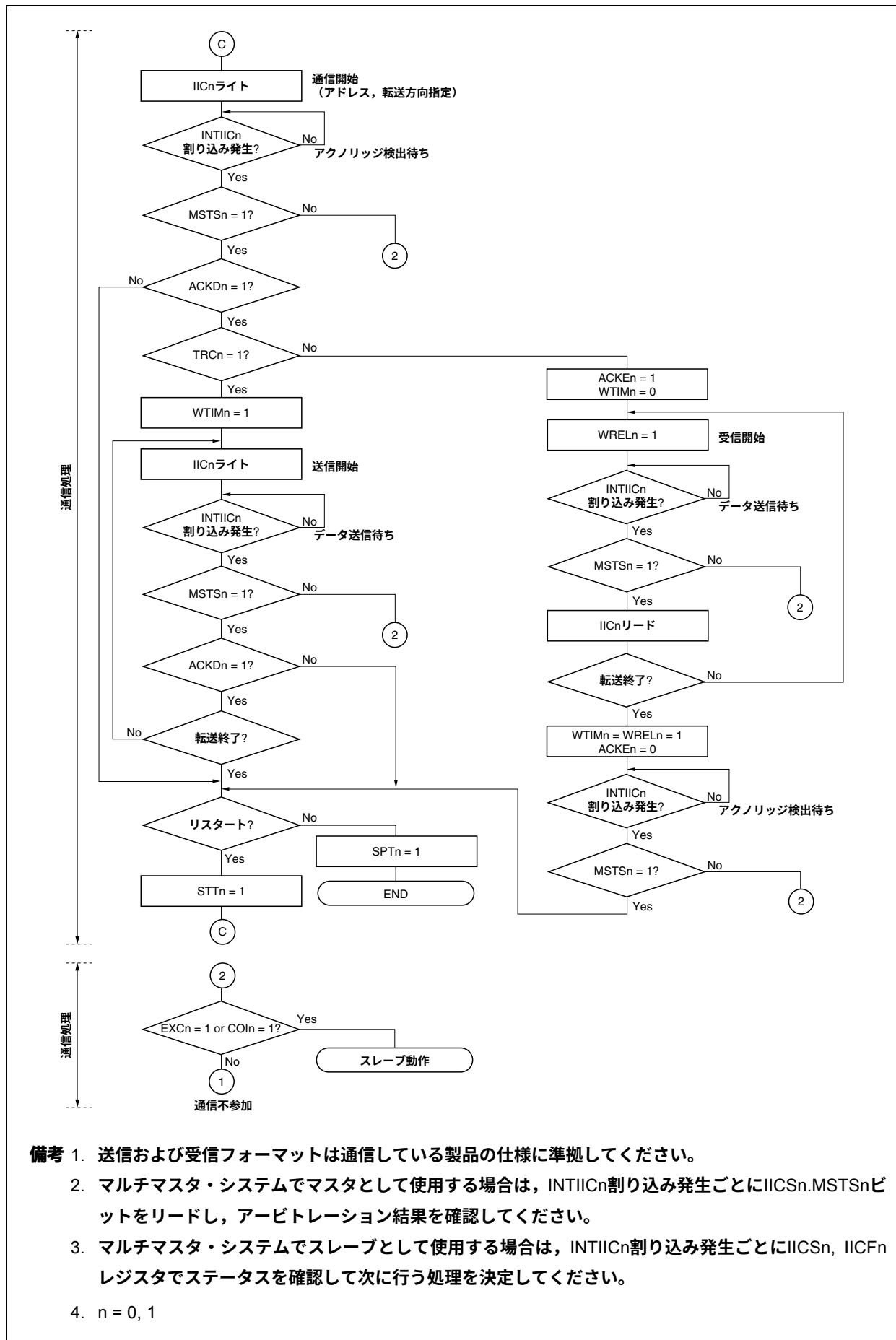


図19-17 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICn割り込み発生ごとにIICSn、IICFnレジスタでステータスを確認して次に行う処理を決定してください。

4. n = 0, 1

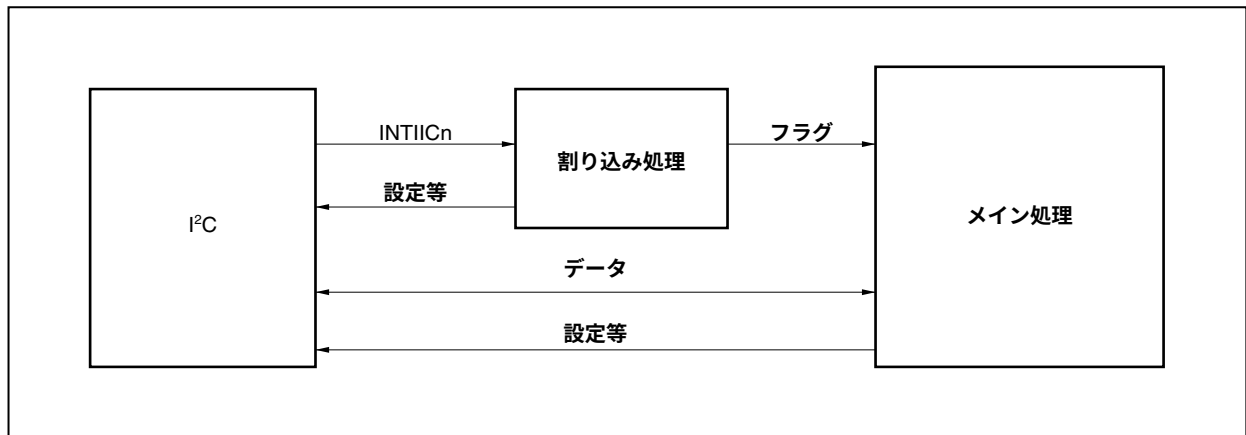
19. 16. 3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図19-18 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

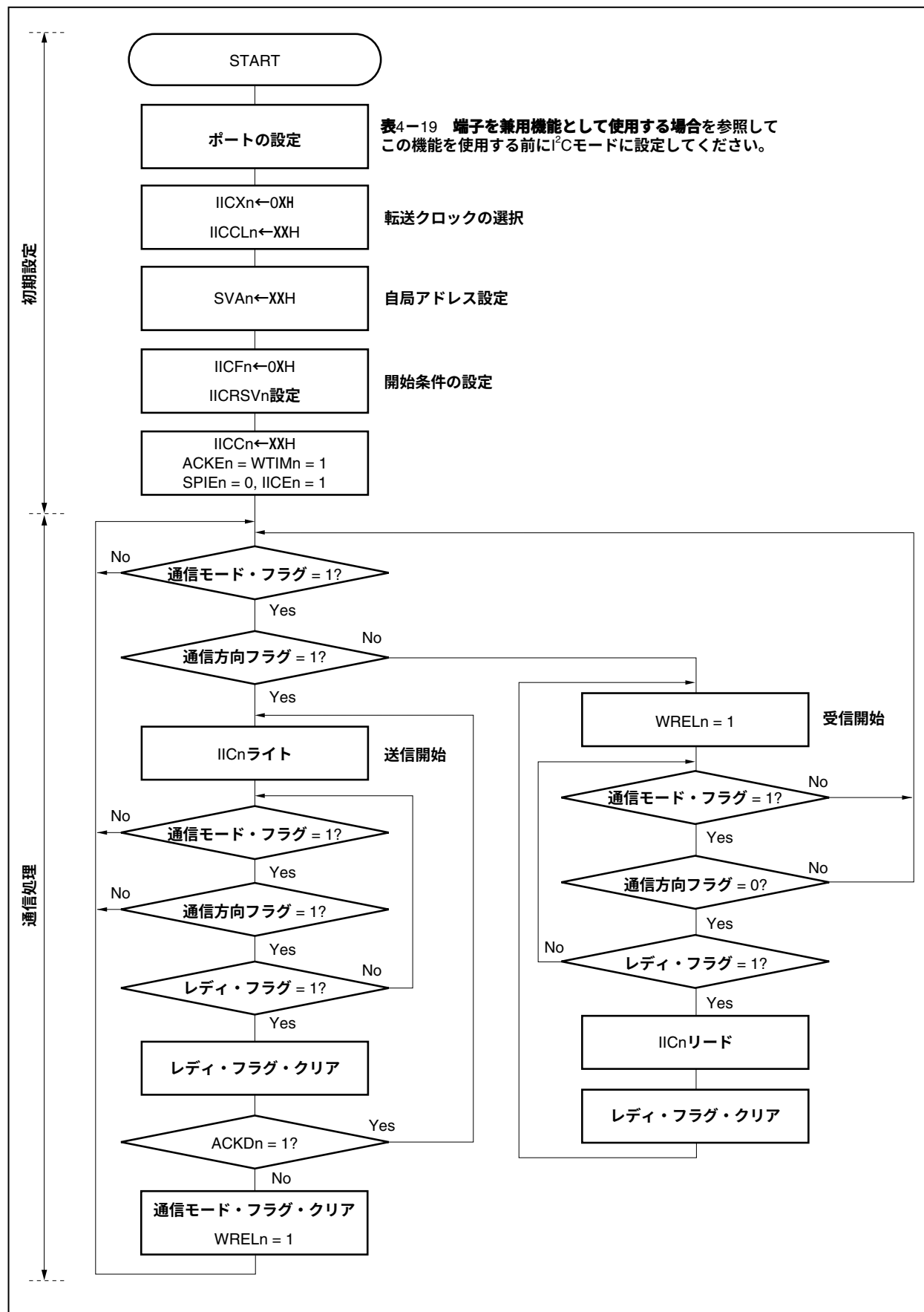
次にスレーブ動作でのメイン処理部の動作を示します。

I²Cnを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータ受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを生成します。これにより、通信状態から抜け出します。

図19-19 スレーブ動作手順 (1)

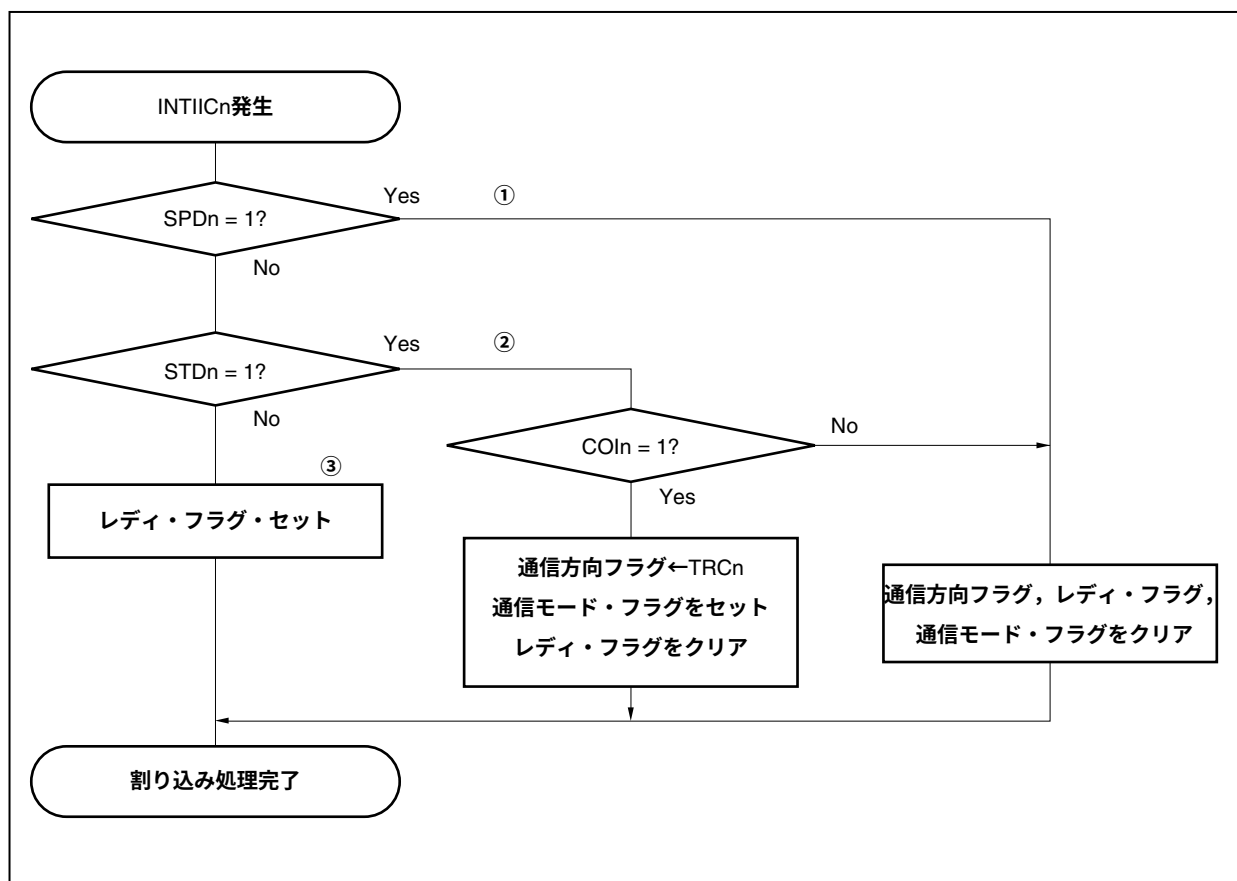


スレーブのINTIICn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²Cnバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図19-20 スレーブ動作手順（2）の①～③と対応しています。

図19-20 スレーブ動作手順（2）



19. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを生成することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック（SCLn端子）の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDAn端子からMSBファーストで出力されます。

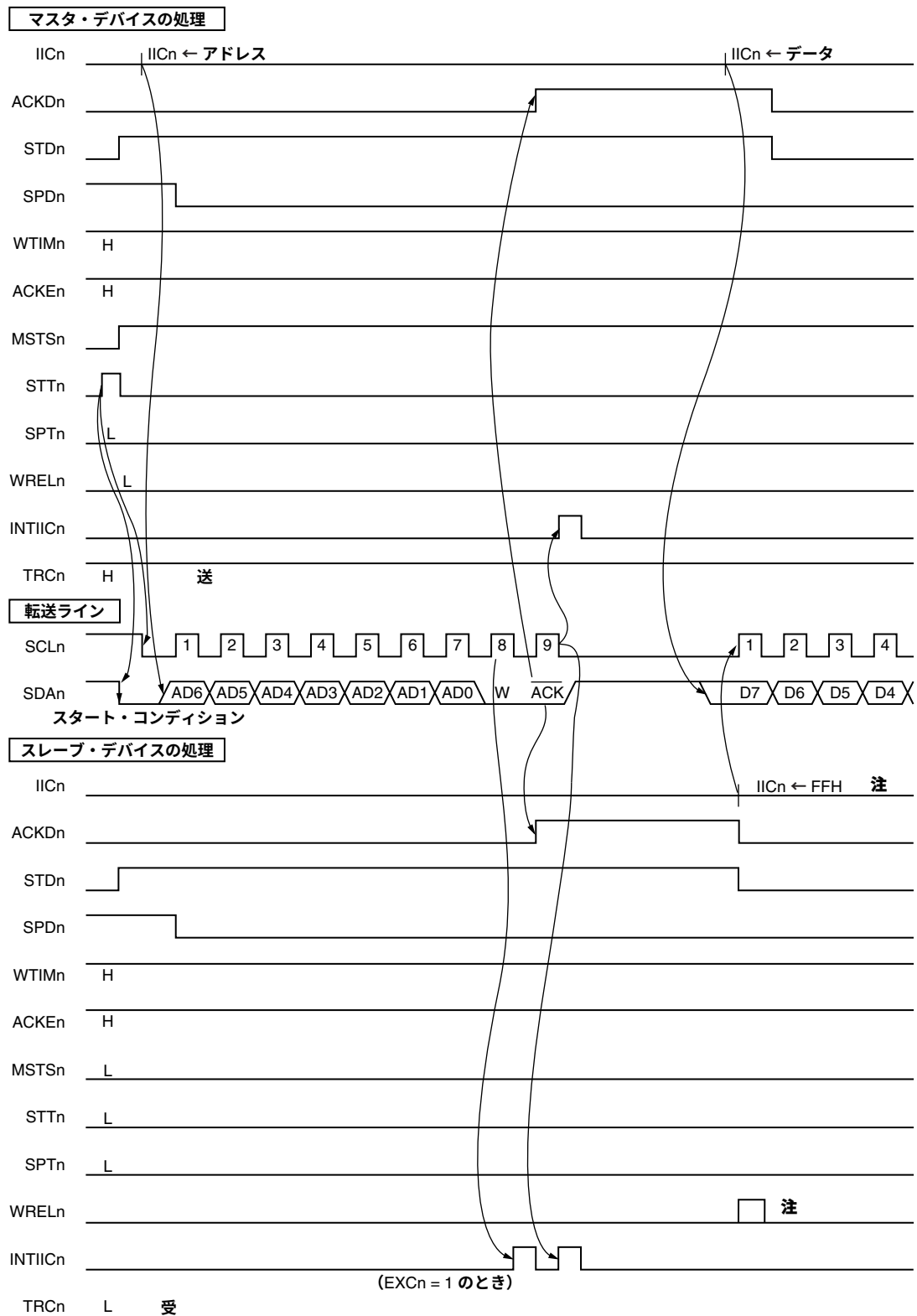
また、SCLn端子の立ち上がりでSDAn端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

備考 n = 0, 1

図19-21 マスタ→スレーブ通信例（マスタ、スレーブとも9クロックでウェイト選択時）（1/3）

(a) スタート・コンディション～アドレス

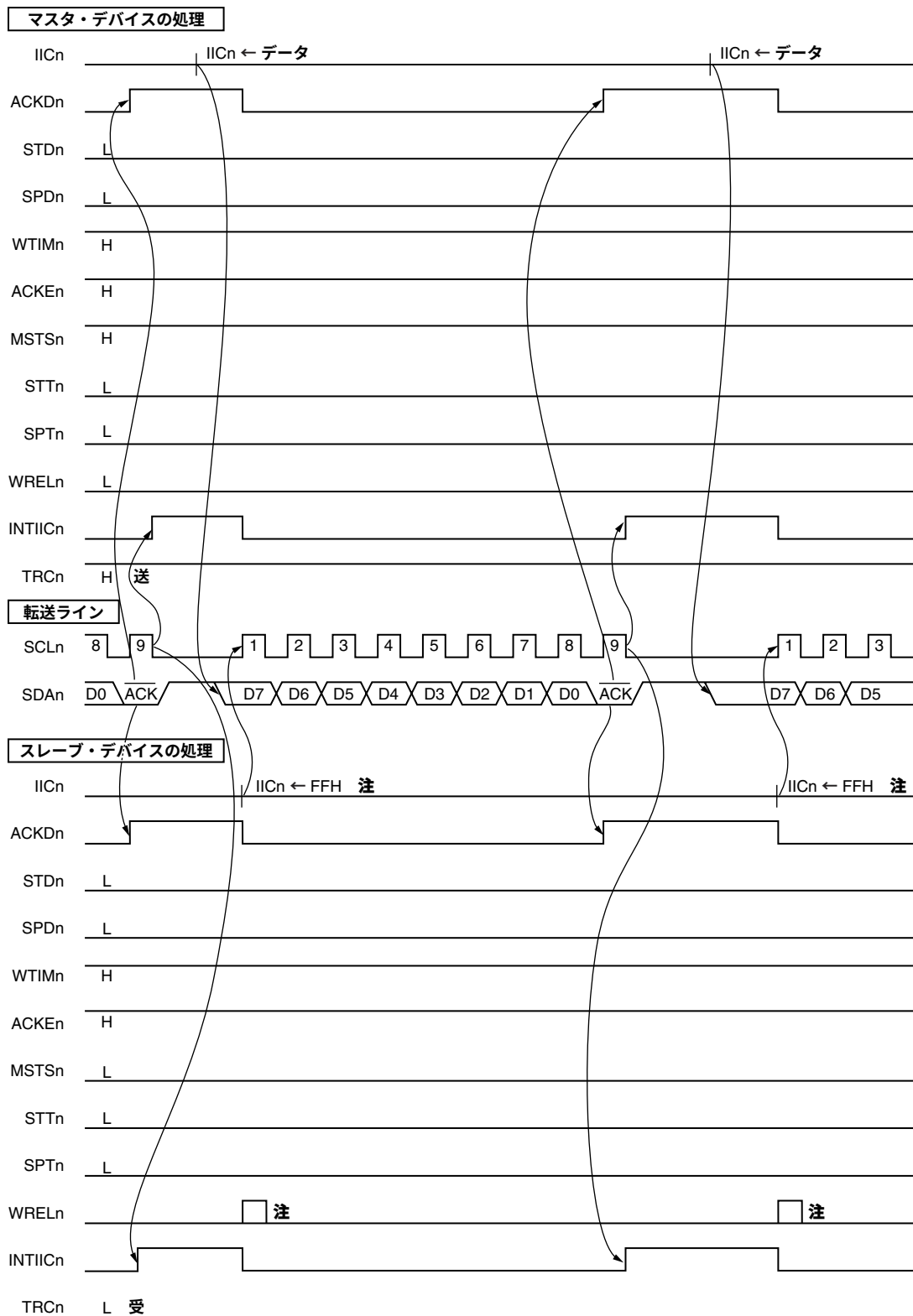


注 スレーブ・ウェイト解除は、IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考 n = 0, 1

図19-21 マスタ→スレーブ通信例（マスタ、スレーブとも9クロックでウェイト選択時）（2/3）

(b) データ

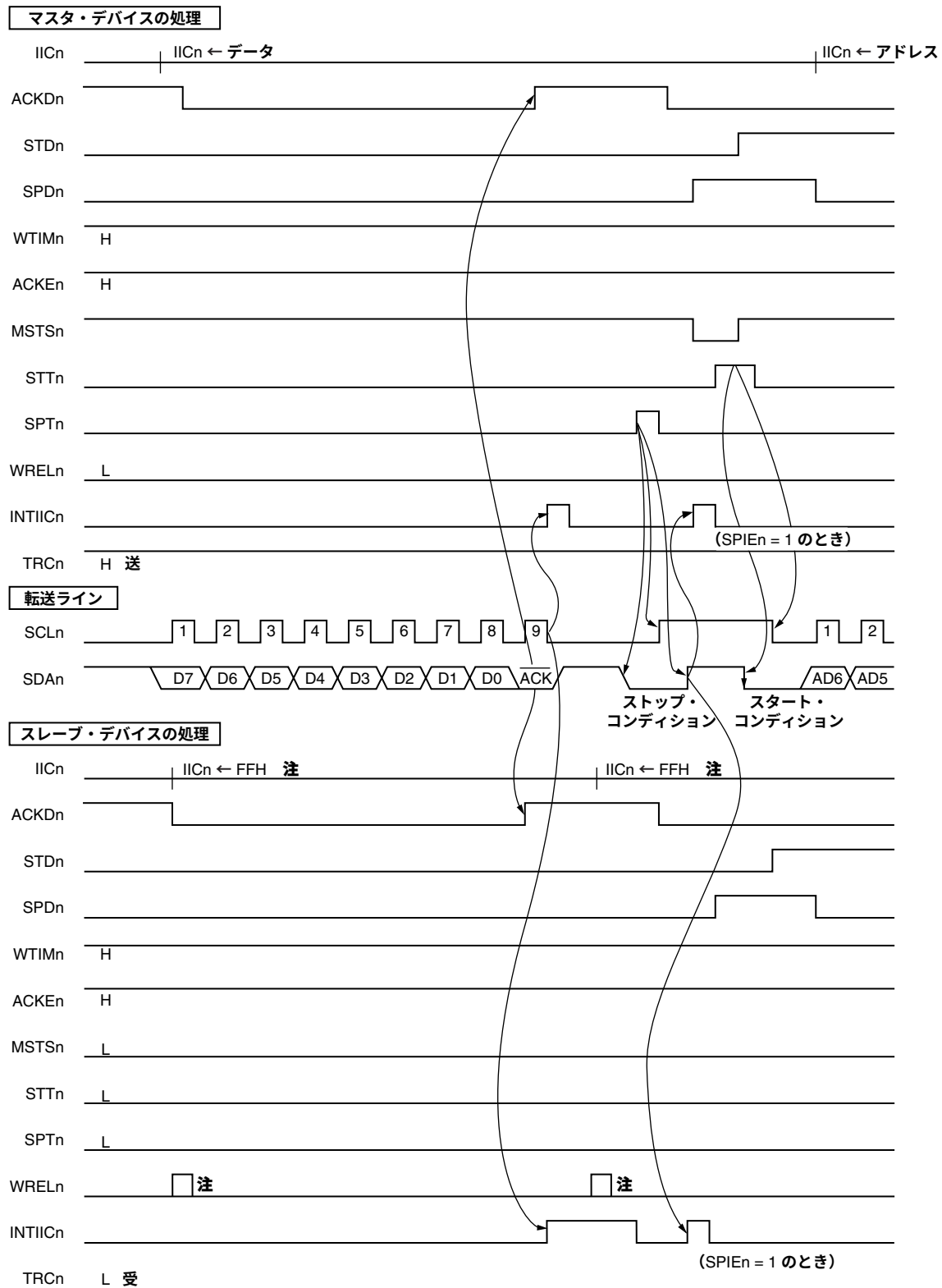


注 スレーブ・ウェイト解除は、IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考 n = 0, 1

図19-21 マスタ→スレーブ通信例（マスタ、スレーブとも9クロックでウェイト選択時）（3/3）

(c) ストップ・コンディション

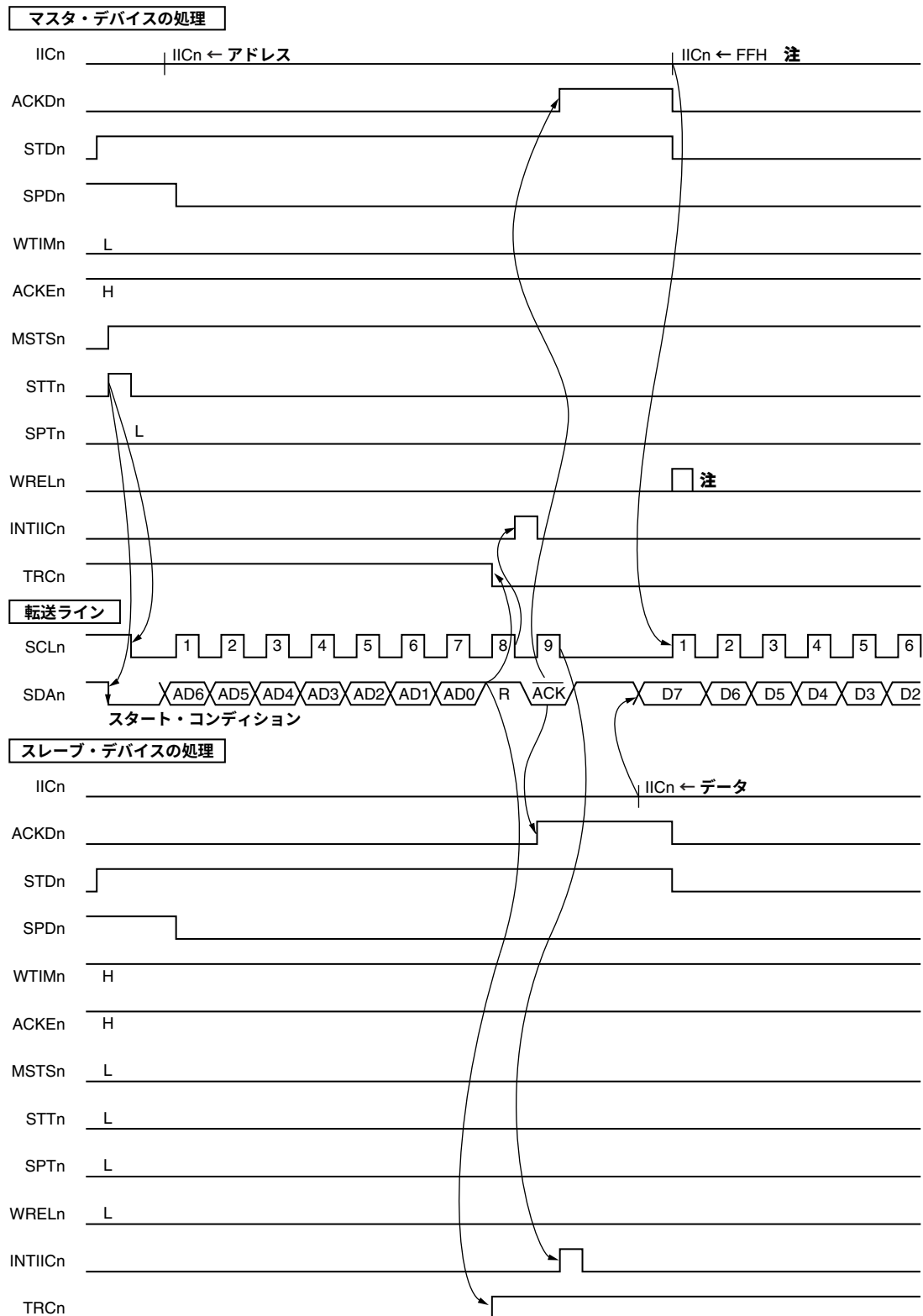


注 スレーブ・ウェイト解除は、IICn←FFHまたはWRELnのセットのどちらかで行ってください。

備考 n = 0, 1

図19-22 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択時）（1/3）

(a) スタート・コンディション～アドレス



注 マスタ・ウェイト解除は、IICn←FFHまたはWREL_nのセットのどちらかで行ってください。

備考 n = 0, 1

図19-22 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択時）（2/3）

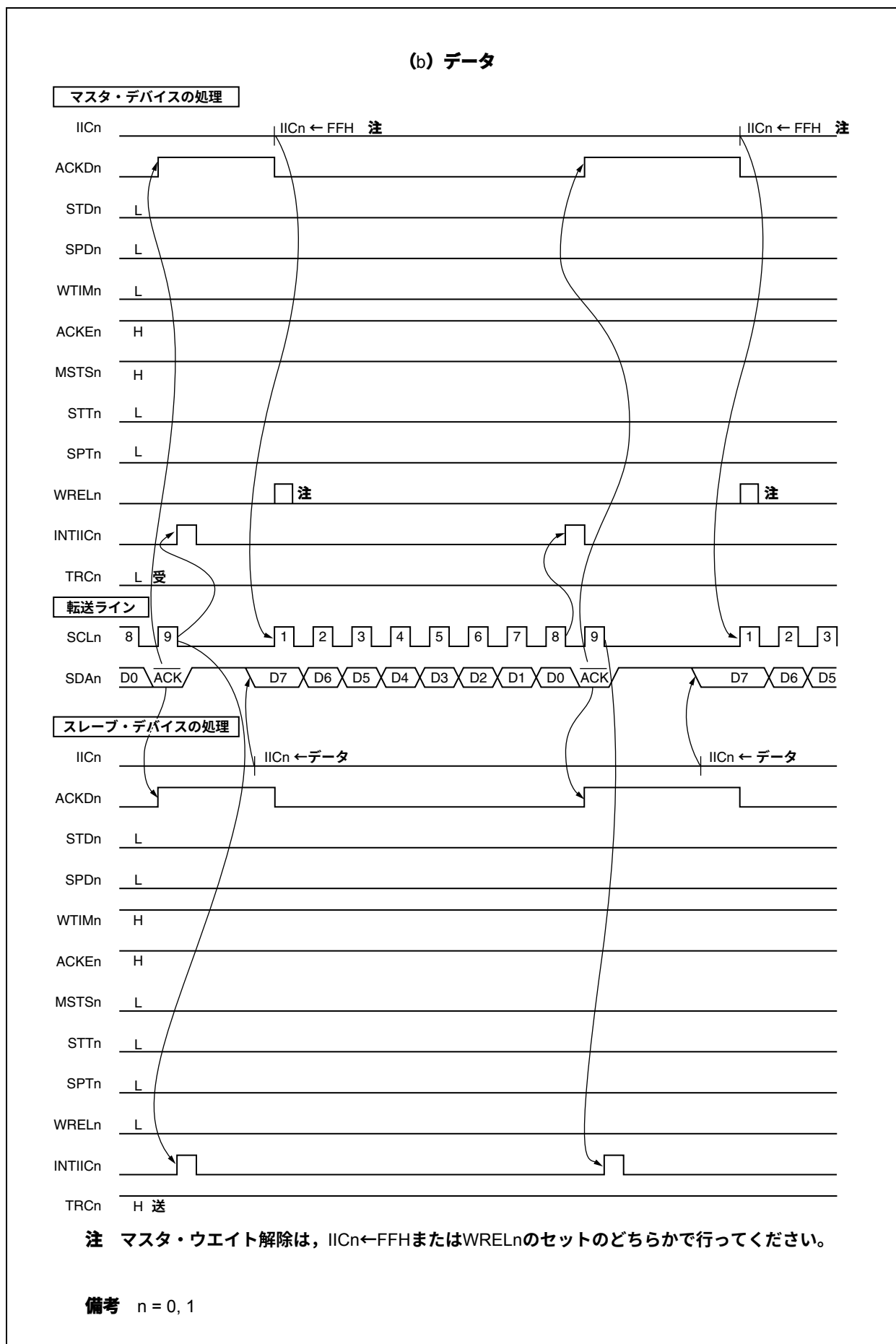
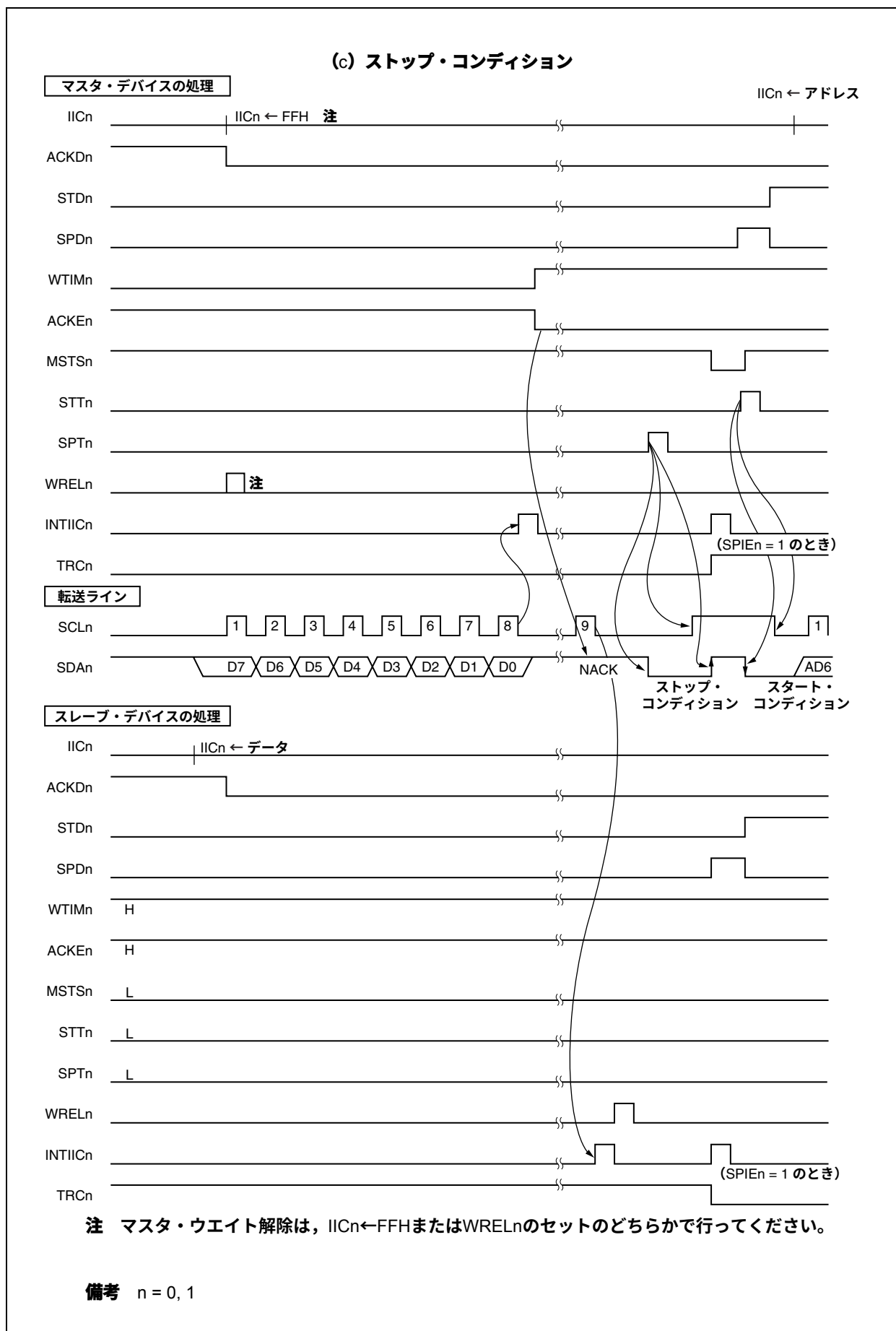


図19-22 スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウェイト選択時）（3/3）



第20章 DMA機能（DMAコントローラ）

V850ES/KJ2は、DMA（Direct Memory Access）転送を実行制御するDMAコントローラ（DMAC）を備えています。

DMACは、内蔵周辺I/O（シリアル・インタフェース、タイマ／カウンタ、A/Dコンバータ）、外部入力端子からの割り込みによる要求、またはソフトウェアによるトリガに基づいて、メモリ⇄I/O間、メモリ⇄メモリ間、I/O⇄I/O間でのデータ転送を制御します（メモリは内蔵RAM、または外部メモリを意味します）。

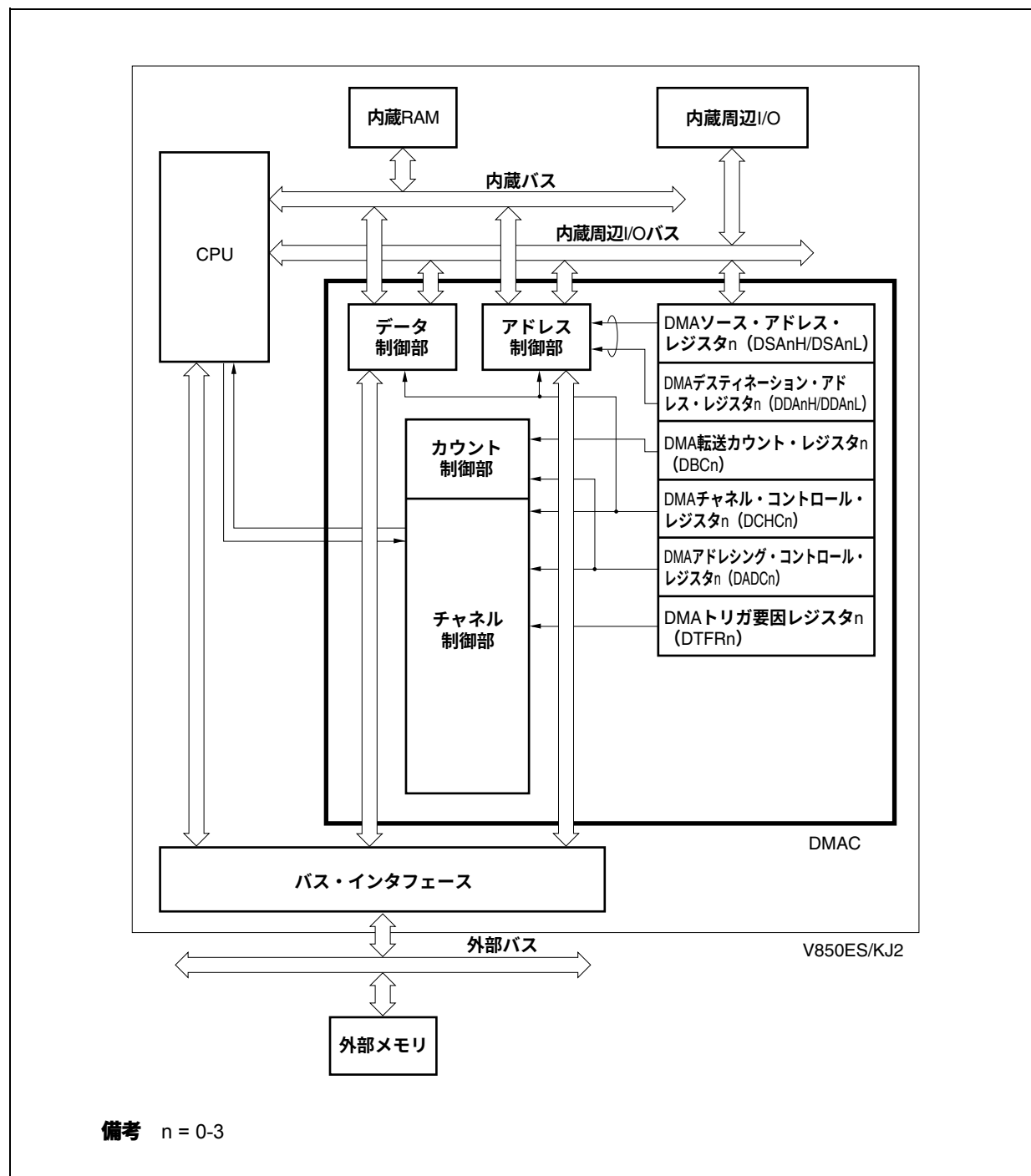
20.1 特 徴

- 4つの独立なDMAチャンネル
- 転送単位：8ビット/16ビット
- 最大転送回数：65536 (2^{16}) 回
- DMA転送中に内蔵ROMによるプログラム実行が可能
- 転送タイプ：2サイクル転送
 - ・異なるバス幅同士の転送が可能
- 転送モード：シングル転送モード
- 転送要求
 - ・内蔵周辺I/O（シリアル・インタフェース、タイマ／カウンタ、A/Dコンバータ）、外部入力端子からの割り込みによる要求
 - ・ソフトウェア・トリガによる要求
- 転送対象
 - ・内蔵RAM⇄内蔵周辺I/O
 - ・内蔵周辺I/O⇄内蔵周辺I/O
 - ・内蔵RAM⇄外部メモリ
 - ・外部メモリ⇄内蔵周辺I/O
 - ・外部メモリ⇄外部メモリ

20.2 構 成

次にDMAのブロック図を示します。

図20-1 DMAのブロック図



DMAは、次のハードウェアで構成されています。

表20-1 DMAの構成

項 目	構 成
レジスタ	DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

20.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャネル n のDMA転送元アドレス (26ビット) を設定します ($n = 0-3$)。

このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH ($n = 0-3$)	IRn	0	0	0	0	0	SAn25	SAn24	SAn23	SAn22	SAn21	SAn20	SAn19	SAn18	SAn17	SAn16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL ($n = 0-3$)	SAn15	SAn14	SAn13	SAn12	SAn11	SAn10	SAn9	SAn8	SAn7	SAn6	SAn5	SAn4	SAn3	SAn2	SAn1	SAn0

IRn	DMA転送元の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

SAn25-SAn16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。

SAn15-SAn0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送元アドレスを保持します。 DMA転送が完了すると, 最初に設定されたDMAアドレスが保持されます。

- 注意1.** DSAnHレジスタのビット14-10には, 必ず“0”を設定してください。
- DSAnH, DSAnLレジスタの設定は, DMA動作中でない次のいずれかのタイミングで行ってください。
 - ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DSAnレジスタの値を読み出す際, DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (20.13 注意事項参照)。
 - 16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。
奇数アドレスを転送元, または転送先に指定した場合, アドレスの最下位ビットは強制的に0として扱われます。
 - リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAAnH, DDAAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(2) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IRn	0	0	0	0	0	DAn25	DAn24	DAn23	DAn22	DAn21	DAn20	DAn19	DAn18	DAn17	DAn16
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DAn15	DAn14	DAn13	DAn12	DAn11	DAn10	DAn9	DAn8	DAn7	DAn6	DAn5	DAn4	DAn3	DAn2	DAn1	DAn0

IRn	DMA転送先の指定
0	外部メモリ, 内蔵周辺I/O
1	内蔵RAM

DAn25-DAn16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。

DAn15-DAn0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は, 次のDMA転送先アドレスを保持します。 DMA転送が終了すると, 最初に設定されたDMA転送元アドレスを保持します。

注意1. DDAnHレジスタのビット14-10には, 必ず“0”を設定してください。

2. DDAnH, DDAnLレジスタの設定は, DMA動作中でない次のいずれかのタイミングで行ってください。

・リセット後から最初のDMA転送起動までの期間

・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間

・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

3. DDAnレジスタの値を読み出す際, DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため, 読み出しと更新のタイミングが競合した場合, 更新途中の値が読み出されることがあります (20. 13 注意事項参照)。

4. 16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元, または転送先に指定した場合, アドレスの最下位ビットは強制的に0として扱われます。

5. リセット後, DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は, 動作を保証しません。

(3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネル n の転送数を設定する16ビット・レジスタです ($n = 0-3$)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

DMA転送が完了すると、最初に設定された転送データ数を保持します。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFFFFF0C0H, DBC1 FFFFFFF0C2H,
DBC2 FFFFFFF0C4H, DBC3 FFFFFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBCn (n = 0-3)	BCn15	BCn14	BCn13	BCn12	BCn11	BCn10	BCn9	BCn8	BCn7	BCn6	BCn5	BCn4	BCn3	BCn2	BCn1	BCn0

BCn15-BCn0	転送数の設定、またはDMA転送中の残りの転送数
0000H	1回の転送、または残り転送数
0001H	2回の転送、または残り転送数
:	:
FFFFH	65536 (2^{16}) 回の転送、または残り転送数

注意1. DBCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(4) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADcn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DSn0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SADn1	SADn0	DADn1	DADn0	0	0	0	0

DSn0	転送データ・サイズの設定
0	8ビット
1	16ビット

SADn1	SADn0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DADn1	DADn0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1.** DADcnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
2. DADcnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。
- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHcn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後（DCHcn.TCnビット = 1の状態）から次のDMA転送起動までの期間
3. DSn0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。外部バス・サイジングについては5. 5. 2 (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC) を参照してください。
4. 転送データ・サイズを16ビットに設定した場合 (DSn0ビット = 1)，奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
5. 内蔵周辺I/Oレジスタを対象（転送元／転送先）とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず（8ビット）転送を指定してください。

(5) DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMAチャネル n のDMA転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です (ただし、ビット7はリードのみ、ビット1, 2はライトのみ可能です。ビット1, 2をリードした場合は0が読み出されます)。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DCHC0 FFFFFFF0E0H, DCHC1 FFFFFFF0E2H,
DCHC2 FFFFFFF0E4H, DCHC3 FFFFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

($n = 0-3$)

TCn ^{注1}	DMAチャネル n のDMA転送の完了／未完了を示すステータス・フラグ
0	DMA転送未完了
1	DMA転送完了
DMA転送の最後の転送時にセット (1) され、読み出しによってクリア (0) されます。	

INITn ^{注2}	DMA転送が禁止された状態で (Ennビット = 0) , INITnビットをセット (1) するとDMA転送のステータスを初期化できます。

STGn ^{注2}	DMA転送のソフトウェア起動トリガです。 DMA転送が許可の状態 (TCnビット = 0, Ennビット = 1) でこのビットをセット (1) するとDMA転送を開始します。

Enn	DMAチャネル n のDMA転送の許可／禁止の設定
0	DMA転送の禁止
1	DMA転送の許可

Ennビットをセット (1) するとDMA転送が許可されます。
DMA転送が完了 (ターミナル・カウント発生) すると、自動的にクリア (0) されます。
なお、DMA転送を中断するには、ソフトウェアでEnnビットをクリア (0) してください。再開するには、再度Ennビットをセット (1) してください。ただし、DMA転送の中断／再開は、必ず20.13 (5) DMA転送の一時中断手順についてに示す手順にしたがって行ってください。

注1. TCnビットはリードのみ可能です。

2. INITn, STGnビットはライトのみ可能です。

注意1. DCHCnレジスタのビット6-3には、必ず“0”を設定してください。

- DMA転送完了時 (ターミナル・カウント時) は、Ennビットのクリア (0) → TCnビットのセット (1) の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値 (TCnビット = 0, かつEnnビット = 0) が読み出されることがあります。

(6) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード／ライト可能です。ただし、DFnビットのみ1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトします。

注意1. IFCn5-IFCn0ビットの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後（DCHCn.TCnビット = 1の状態）から次のDMA転送起動までの期間

2. スタンバイ・モード（IDLE, STOP, サブIDLEモード）中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません（DFnビットもセット（1）されません）。
3. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMAの動作許可／禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット（1）されます。この状態でDMA許可とした場合、直ちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表20-2 DMA起動要因を参照してください。

表20-2 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
0	0	0	0	0	0	割り込みによるDMA要求禁止
0	0	0	0	0	1	INTWDTM1
0	0	0	0	1	0	INTP0
0	0	0	0	1	1	INTP1
0	0	0	1	0	0	INTP2
0	0	0	1	0	1	INTP3
0	0	0	1	1	0	INTP4
0	0	0	1	1	1	INTP5
0	0	1	0	0	0	INTP6
0	0	1	0	0	1	INTTM000
0	0	1	0	1	0	INTTM001
0	0	1	0	1	1	INTTM010
0	0	1	1	0	0	INTTM011
0	0	1	1	0	1	INTTM50
0	0	1	1	1	0	INTTM51
0	0	1	1	1	1	INTCSi00
0	1	0	0	0	0	INTCSi01
0	1	0	0	0	1	INTSRE0
0	1	0	0	1	0	INTSR0
0	1	0	0	1	1	INTST0
0	1	0	1	0	0	INTSRE1
0	1	0	1	0	1	INTSR1
0	1	0	1	1	0	INTST1
0	1	0	1	1	1	INTTMH0
0	1	1	0	0	0	INTTMH1
0	1	1	0	0	1	INTCSIA0
0	1	1	0	1	0	INTIIC0
0	1	1	0	1	1	INTAD
0	1	1	1	0	0	INTKR
0	1	1	1	0	1	INTWTI
0	1	1	1	1	0	INTWT
0	1	1	1	1	1	INTBRG
1	0	0	0	0	0	INTTM020
1	0	0	0	0	1	INTTM021
1	0	0	0	1	0	INTTM030
1	0	0	0	1	1	INTTM031
1	0	0	1	0	0	INTCSIA1
1	0	0	1	0	1	INTTM040
1	0	0	1	1	0	INTTM041
1	0	0	1	1	1	INTTM050
1	0	1	0	0	0	INTTM051
1	0	1	0	0	1	INTCSi02
1	0	1	0	1	0	INTSRE2

備考 n = 0-3

表20-2 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因
1	0	1	0	1	1	INTSR2
1	0	1	1	0	0	INTST2
1	0	1	1	0	1	INTIIC1
1	0	1	1	1	1	INTP7
1	1	0	0	0	0	INTTP0OV
1	1	0	0	0	1	INTTP0CC0
1	1	0	0	1	0	INTTP0CC1
上記以外						設定禁止

備考 n = 0-3

20.4 転送対象

転送対象の関係を次に示します（○：転送可，×：転送不可）。

表20-3 転送対象の関係

		転送先			
		内蔵ROM	内蔵周辺I/O	内蔵RAM	外部メモリ
転送元	内蔵周辺I/O	×	○	○	○
	内蔵RAM	×	○	×	○
	外部メモリ	×	○	○	○
	内蔵ROM	×	×	×	×

注意 表20-3に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

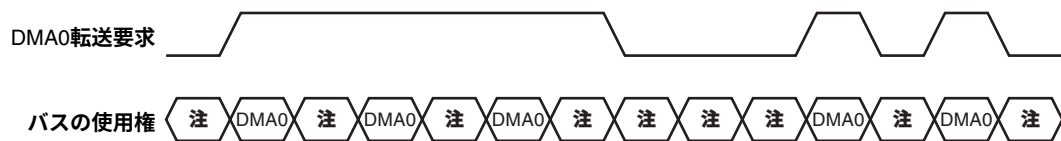
20.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト／ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

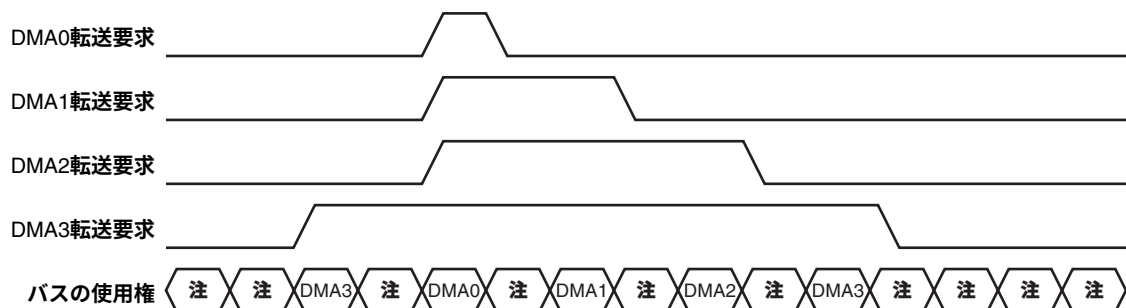
図20-2 シングル転送

(a) 1チャンネルのみ使用した場合



DMA0転送要求を受け付けると、1回のDMA転送を行い、バスの使用権をCPUに開放します。TC0ビットがセット（DMA転送完了）されないうちは、DMA0転送要求がある間、この動作を繰り返します。

(b) 複数チャンネルのみ使用した場合



一度に複数のDMA転送要求を受け付けると、優先順位の高い要求から転送を行います。

注 CPUが使用しているか、バスを使用していない。

20.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

<16ビット・データ転送 (DADCn.DSn0ビット = 1) の場合>

① 32ビット・バス→16ビット・バスへの転送

リード・サイクル (上位または、下位の16ビット・データ) が発生し、そのあとライト・サイクル (16ビット) が発生します。

② 16/32ビット・バス→8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

③ 8ビット・バス→16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

④ 16ビット・バス→32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象 (転送元／転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト (8ビット) 転送を指定してください。

備考 各転送対象 (転送元／転送先) のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅
- ・外部メモリ : 8もしくは16ビット・バス幅

20.7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

DMAチャネル0>DMAチャネル1>DMAチャネル2>DMAチャネル3

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります (転送サイクル中は、同一チャネルの新たな転送要求は無視されます)。

1回の転送サイクルの度に優先順位がチェックされます。

20.8 DMA転送に関する各種時間

DMA要求に対する応答時間，DMA転送にかかる最小クロック数を次に示します。

シングル転送：DMA応答時間（①）＋転送元メモリ・アクセス（②）＋1^{注1}＋転送先メモリ・アクセス（②）

表20-4 DMAサイクル中の実行クロック数

DMAサイクル		実行クロック数
①	DMA要求に対する応答時間	4クロック（MIN.）＋ノイズ除去時間 ^{注2}
②	メモリ・アクセス	
	外部メモリ・アクセス	接続するメモリで異なります ^{注3}
	内蔵RAMアクセス	2クロック
	周辺I/Oレジスタ・アクセス	3クロック＋VSWCレジスタによるウェイト数 ^{注4}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み（INTPn）をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます（n = 0-7）。
3. 8ビット・バスでの16ビット転送では2回の転送が必要です。
4. 3.4.9（1）にあるレジスタへのアクセスについては、さらにウェイト数が増える場合があります。

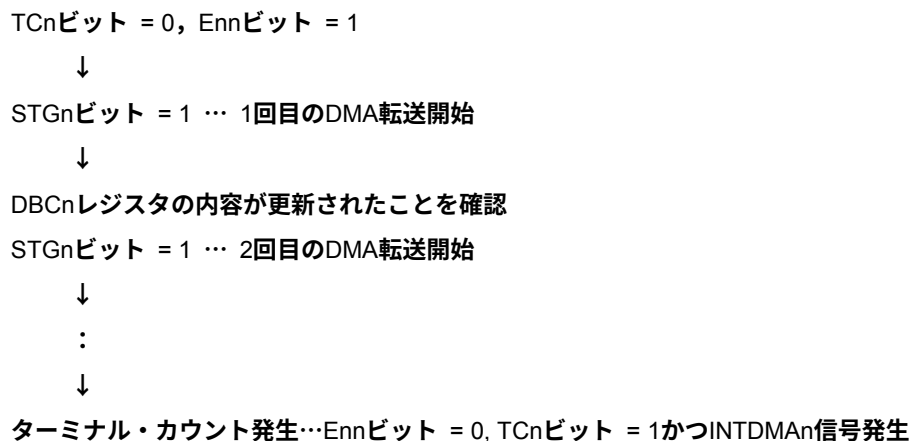
20.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0, かつDCHCn.Ennビット = 1 (DMA転送許可) の状態で, DCHCn.STGnビットをセット (1) すると, DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには, DBCnレジスタにて, 先のDMA転送サイクルが完了したことを確認してから, 再度STGnビットをセット (1) してください (n = 0-3)。



(2) 内蔵周辺I/Oによる要求

TCnビット = 0, かつEnnビット = 1 (DMA転送許可) の状態で, DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると, DMA転送を起動します (n = 0-3)。

- 注意1.** 同一のDMAチャンネルに対して, 2つの起動要因 (ソフトウェア・トリガ, ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して, 2つの起動要因が同時に発生した場合, どちらか一方だけが有効となりますが, 有効となる起動要因の特定はできません。
- 2.** 同一のDMAチャンネルに対して, 先のDMA転送要求が発生してから, DMA転送が終了するまでに新たな転送要求が発生しても, その要求は無視 (クリア) されます。
- 3.** 同一のDMAチャンネルに対する転送要求間隔は, DMA転送サイクル中のバス・ウエイトの設定や他のチャンネルの起動状況, または外部バス・ホールド要求により変化します。特に注意2のとおり, DMA転送サイクル前, または転送サイクル中に同一チャンネルの新たな転送要求が発生しても, その要求は無視されてしまいます。したがって, 同一のDMAチャンネルに対する転送要求間隔は, システム上で十分な間隔を確保してください。ソフトウェア・トリガ時は, DBCnレジスタの更新により, 先に発生したDMA転送サイクルの完了を確認できます。

20.10 DMAの中断要因

DMA転送は、バス・ホールドが発生すると中断されます。

内部メモリ／内蔵周辺IO⇄内部メモリ／内蔵周辺I/O時も同様です。

バス・ホールドが解除されると、引き続きDMA転送を開始します。

20.11 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア (0) , TCnビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3) 。

V850ES/KJ2では、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

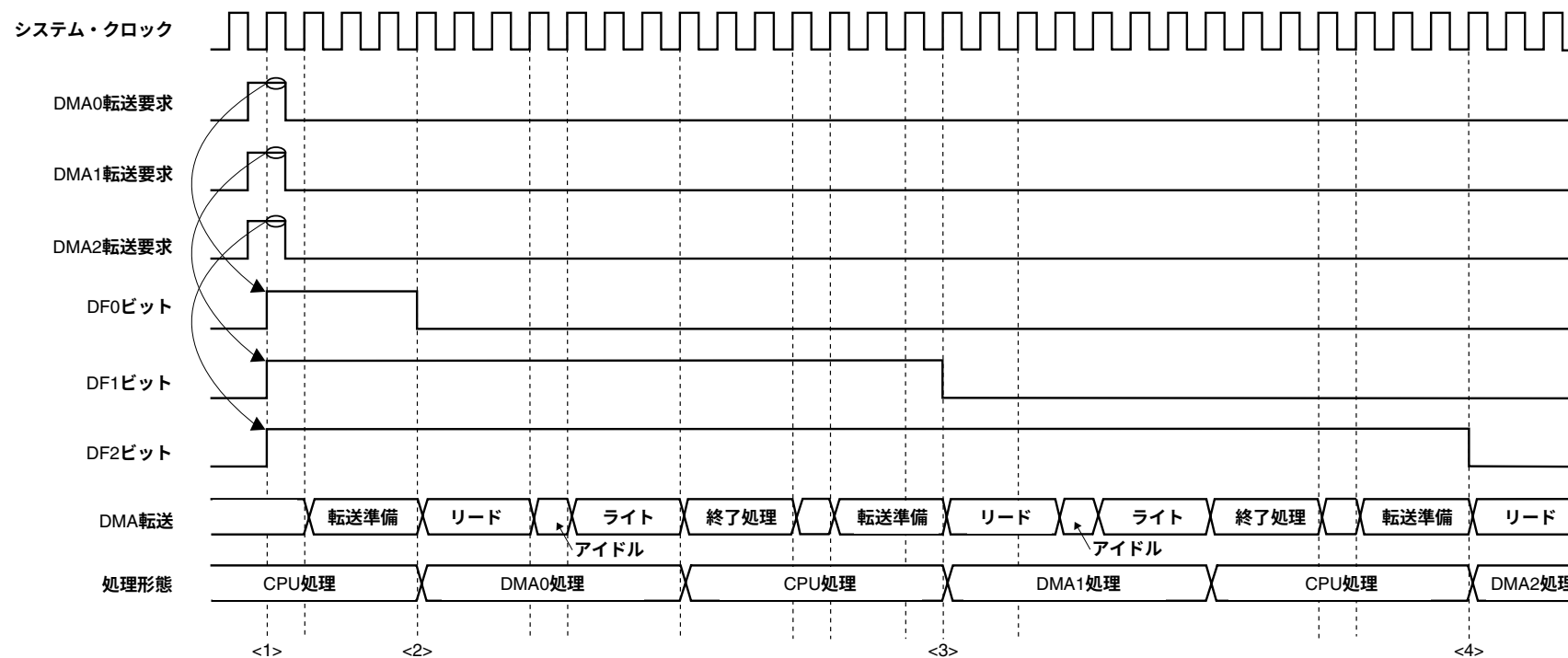
20.12 動作タイミング

次にDMAの動作タイミングを示します。

タイミング例は次の4種類です。

- ・複数チャネルから同時にDMA転送要求があった場合 (図20-3参照)
- ・DMA転送中に、さらに優先順位の高いDMA転送要求があった場合 (図20-4参照)
- ・同一チャネルのDMA転送要求が無視される場合 (1チャネル) (図20-5参照)
- ・同一チャネルのDMA転送要求が無視される場合 (多チャネル) (図20-6参照)

図20-3 DMAの優先順位 (1)

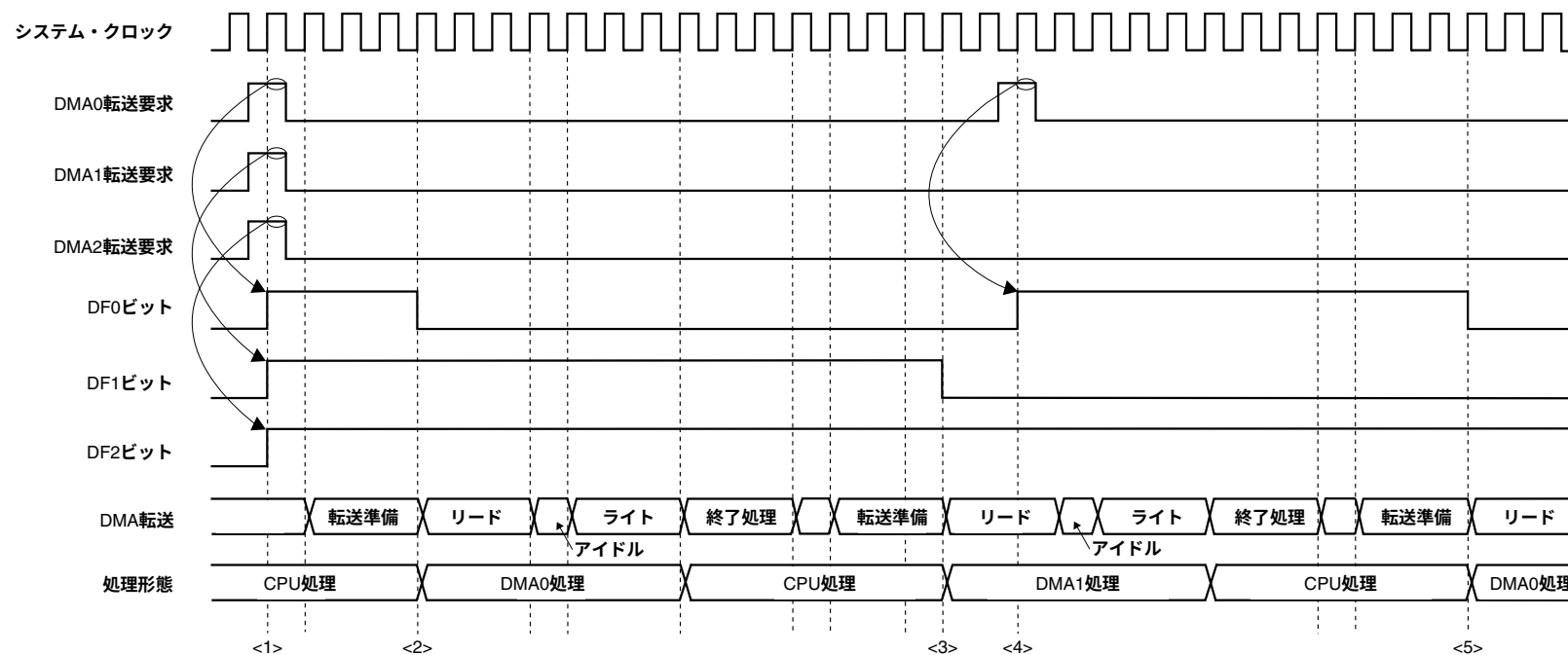


- <1> DMA転送要求が入ると、対応するDFビットがセット (1) される。
- <2> DMA0転送がスタートすることでDF0ビットがクリア (0) される。
- <3> DMA1転送がスタートすることでDF1ビットがクリア (0) される。
- <4> DMA2転送がスタートすることでDF2ビットがクリア (0) される。

備考1. DMA0→DMA1→DMA2の順で転送。

2. 外部メモリ空間↔外部メモリ空間の場合 (マルチプレクス・バス, ウェイトなし)。

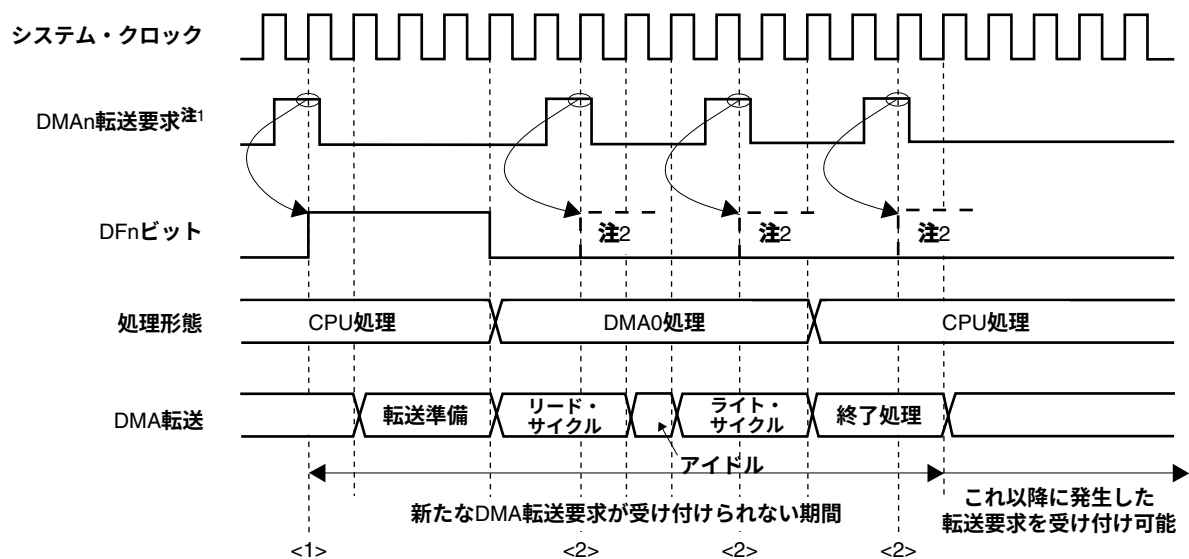
図20-4 DMAの優先順位 (2)



- <1> DMA転送要求が入ると、対応するDFビットがセット (1) される。
- <2> DMA0転送がスタートすることでDF0ビットがクリア (0) される。
- <3> DMA1転送がスタートすることでDF1ビットがクリア (0) される。
- <4> チャンネル0のDMA転送が終了したあとに、再度チャンネル0のDMA転送要求が発生。
- <5> DMA0転送がスタートすることでDF0ビットがクリア (0) される。このときDMA2は保留される。

- 備考1.** DMA0→DMA1→DMA0の順で転送 (DMA2は保留されたまま)。
- 2.** 外部メモリ空間↔外部メモリ空間の場合 (マルチプレクス・バス, ウェイトなし)。

図20-5 DMAの転送要求が無視される期間 (1)



<1> DMA転送要求が入ると、対応するDFビットがセット (1) される。

<2> 先のDMA転送が終了していないので、新たなDMA転送要求は無視される。

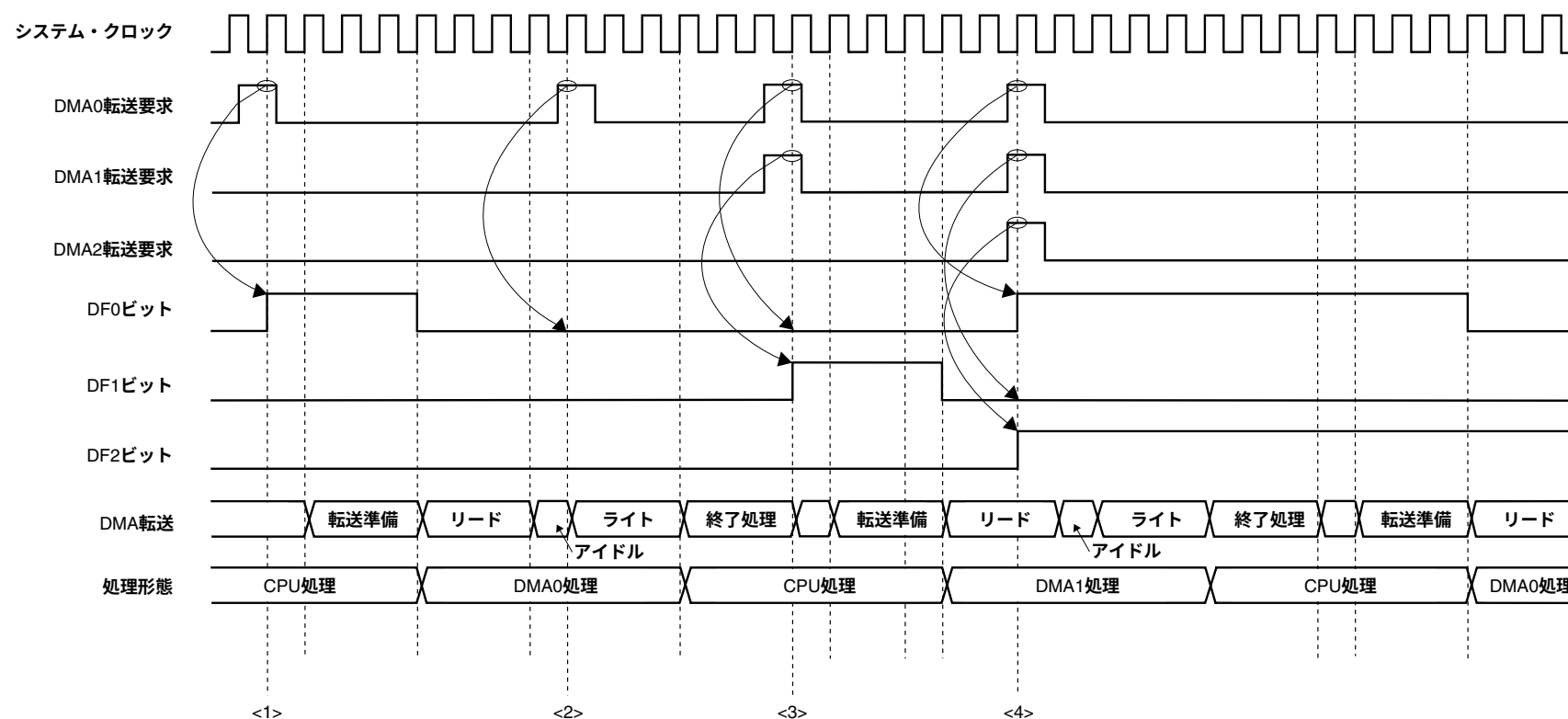
注1. 内蔵周辺I/Oからの割り込み、またはソフトウェア・トリガ (DCHC_n.STG_nビット)

2. 転送要求から終了処理までの間、同一チャネルに対する新たなDMA要求は無視されます。

備考1. 外部メモリ空間↔外部メモリ空間の場合 (マルチプレクス・バス、ウェイトなし)。

2. n = 0-3

図20-6 DMAの転送要求が無視される期間 (2)



<1> DMA0転送要求

<2> DMA0転送中に新たなDMA0転送要求が発生

→DMA転送中の同一チャネルのDMA要求は無視される

<3> DMA0とDMA1の要求が同時発生

→DMA0の要求は無視される（転送中の同一チャネルのDMA要求は無視される）

→DMA1の要求が受け付けられる

<4> DMA0とDMA1とDMA2の要求が同時に発生

→DMA1の要求は無視される（転送中の同一チャネルのDMA要求は無視される）

→優先順位によりDMA0の要求が受け付けられる。DMA2の要求は保留（次はDMA2の転送が発生）

20.13 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタは、最適な値以外で使用した場合は正常に動作できません (VSWCレジスタの詳細については、3.4.8 (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

(2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先／転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

逆に、内蔵RAMを対象 (転送先／転送元) としたDMA転送を行う場合は、次の命令を実行しないでください。

・内蔵RAMに配置されたミスアライン・アドレスに対するデータ・アクセス命令

(3) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(4) DMA転送の初期化手順について (DCHCn.INITnビットのセット (1))

DMA転送中のチャンネルを初期化するとき、INITnビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

★

(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す①～⑦の手順で初期化を実行してください。

ただし、次の⑤に示す処理の実行により、TCnビットがクリア (0) されてしまいます。他の処理において、TCnビット = 1となっていることを期待したプログラムになっていないことを確認してください。

- ① 割り込み禁止状態 (DI) にする。
- ② 強制終了したいチャンネル以外で使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。
- ③ 使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元／転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0 = 00Hを書き込む (E00ビットのクリア (0))
 - ・ DCHC1 = 00Hを書き込む (E11ビットのクリア (0))
 - ・ DCHC2 = 00Hを書き込む (E22ビットのクリア (0))
 - ・ 再度、DCHC2 = 00Hを書き込む (E22ビットのクリア (0))
- ④ 強制終了するチャンネルにDCHCn = 04Hを書き込む (INTnビットのセット (1))。
 - ⑤ 強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと②で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。
 - ⑥ ⑤で操作後のEnnビットをDCHCnレジスタに書き込む。
 - ⑦ 割り込み許可状態 (EI) にする。

注意1. 上記⑤は、②、③の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。

2. 上記③のEnnビットのクリア (0) , および④のINITnビットのセット (1) は、ビット操作命令を使用すると、TCnビットがクリア (0) されてしまうので、ビット操作命令は禁止です。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

- ① DMAを動かす前に、強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。
- ② 強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする（内蔵周辺I/Oの動作停止）。
- ③ DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。
- ④ 強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア（0）する。
- ⑤ 再度、強制終了するチャンネルのEnnビットをクリア（0）する。
ただし、強制終了するチャンネルの転送対象（転送元／転送先）が内蔵RAMの場合は、この操作をさらにもう一度実行する。
- ⑥ 強制終了するチャンネルのINITnビットをセット（1）する。
- ⑦ 強制終了するチャンネルのDBCnレジスタの値を読み出し、①でコピーした値と比較する。比較した結果、一致しない場合は⑥から⑦の操作を繰り返す。

備考1. ⑦でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されます。未完了の場合は残りの転送回数が読み出されます。

2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(5) DMA転送の一時中断手順について（Ennビットのクリア）

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

- ① DMA要求元からの転送要求が発生しないようにする（内蔵周辺I/Oの動作を停止）。
- ② DFnビットにより、DMA転送要求が保留されていないかを確認する（DFnビット = 0であることを確認）。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。
- ③ TCnビットにより、DMA転送が終了されていないかを確認する（TCnビット = 0であることを確認）。TCnビット = 1であれば、DMA転送終了として処理します。
- ④ DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア（0）する（この操作により、DMA転送が中断される）。
- ⑤ DMA転送を再開させるためにEnnビットをセット（1）する。
- ⑥ 停止しているDMA要求元の動作を再開する（内蔵周辺I/Oの動作を開始）。

(6) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象（外部メモリ、内蔵RAM、内蔵周辺I/O）の領域を越えた場合の動作は保証できません（各領域のアドレスについては図3-2を参照してください）。

(7) ミスアライン・データの転送

16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(8) CPUへのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし、CPUはDMA転送を行っていない内蔵ROM、内蔵RAMとのアクセスが可能です。

- ・外部メモリ⇄内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵ROM、内蔵RAMにアクセスできます。
- ・内蔵周辺I/O⇄内蔵RAMでDMA転送が行われているときは、CPUは内蔵ROMにアクセスできます。

(9) DMA動作中の書き換え禁止レジスタ／ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください (n = 0-3)。

【対象レジスタ】

- ・DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ
- ・DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- ・リセット後から最初のDMA転送開始までの期間
- ・チャンネル初期化後からDMA転送開始までの時間
- ・DMA転送完了後 (TCnビット = 1の状態) から次のDMA転送開始までの期間

(10) 次のレジスタの各ビットには、必ず“0”を設定してください (n = 0-3)。

- ・DSAnHレジスタのビット14-10
- ・DDAnHレジスタのビット14-10
- ・DADCnレジスタのビット15, 13-8, 3-0
- ・DCHCnレジスタのビット6-3

(11) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。

(12) DSA_n, DDA_nレジスタの読み出し値

DMA転送中にDSA_n, DDA_nレジスタの値を読み出した場合、更新前と更新後の値が組み合わさって読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が0000FFFFH、カウント方向がインクリメント (DADC_n.SAD1, SAD0ビット = 00) の場合、DSA_nHレジスタ→DSA_nLレジスタの順に読み出しを行うと、DSA_nHレジスタ読み出し直後のDMA転送の有無によって、DSA_nLレジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

- ① DSA_nHレジスタの読み出し：DSA_nHレジスタ = 0000H
- ② DSA_nLレジスタの読み出し：DSA_nLレジスタ = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

- ① DSA_nHレジスタの読み出し：DSA_nHレジスタ = 0000H
- ② DMA転送の発生
- ③ DSA_nレジスタのインクリメント：DSA_nレジスタ = 00010000H
- ④ DSA_nLレジスタの読み出し：DSA_nLレジスタ = 0000H

(13) DMA転送ステータスの再設定

DMA転送が完了する前に (TC_nビットがセット (1) される前)、DMA転送ステータスの再設定 (DDA_nH, DDA_nL, DSA_nH, DSA_nL, DBC_n, DADC_nレジスタの再設定) を行う場合は、必ずDMAチャネルの初期化後に行ってください。ただし、DMAコントローラの初期化は、必ず20. 13 (4) DMA転送の初期化手順についてに示す手順にしたがって行ってください。

第21章 割り込み／例外処理機能

21.1 概 要

V850ES/KJ2は、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計56要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/KJ2では、内蔵している周辺ハードウェアと外部からの各種割り込み要求を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（命令の不正実行の発生）による例外処理の起動（例外トラップ）が可能です。

21.1.1 特 徴

○割り込み

- ・ノンマスクブル割り込み：外部1本，内部2要因
- ・マスクブル割り込み：外部8本，内部60要因
- ・8レベルのプログラマブル優先順位制御（マスクブル割り込み）
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクブル割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ・ソフトウェア例外 ：32要因
- ・例外トラップ ：2要因（不正命令コード例外，デバッグ・トラップ）

これらの割り込み／例外要因を表21-1に示します。

リセットについては第24章 リセット機能を参照してください。

表21-1 割り込み要因一覧 (1/2)

種 類	デフォルト・ プライオリティ	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	割り込み制御 レジスタ
リセット	—	RESET	RESET端子入力	端子	0000H	00000000H	—
			WDT1, WDT2からの内部リセット入力	WDT1 WDT2			
ノンマス カブル	—	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	—
	—	INTWDT1	WDT1オーバフロー (ノンマスカブル割り込み選択時)	WDT1	0020H	00000020H	—
	—	INTWDT2	WDT2オーバフロー (ノンマスカブル割り込み選択時)	WDT2	0030H	00000030H	—
ソフトウェ ア例外 ^{注1}	—	TRAP0n ^{注2}	TRAP命令	—	004nH ^{注2}	00000040H	—
	—	TRAP1n ^{注2}	TRAP命令	—	005nH ^{注2}	00000050H	—
例外トラップ	—	ILGOP/ DBG0	不正命令コード／DBTRAP命令	—	0060H	00000060H	—
マスカブル	0	INTWDTM1	WDT1オーバフロー (インターバル・タイマ選択時)	WDT1	0080H	00000080H	WDT1IC
	1	INTP0	INTP0端子有効エッジ入力	端子	0090H	00000090H	PIC0
	2	INTP1	INTP1端子有効エッジ入力	端子	00A0H	000000A0H	PIC1
	3	INTP2	INTP2端子有効エッジ入力	端子	00B0H	000000B0H	PIC2
	4	INTP3	INTP3端子有効エッジ入力	端子	00C0H	000000C0H	PIC3
	5	INTP4	INTP4端子有効エッジ入力	端子	00D0H	000000D0H	PIC4
	6	INTP5	INTP5端子有効エッジ入力	端子	00E0H	000000E0H	PIC5
	7	INTP6	INTP6端子有効エッジ入力	端子	00F0H	000000F0H	PIC6
	8	INTTM000	TM00とCR000の一致／キャプチャ入力	TM00	0100H	00000100H	TM0IC00
	9	INTTM001	TM00とCR001の一致／キャプチャ入力	TM00	0110H	00000110H	TM0IC01
	10	INTTM010	TM01とCR010の一致／キャプチャ入力	TM01	0120H	00000120H	TM0IC10
	11	INTTM011	TM01とCR011の一致／キャプチャ入力	TM01	0130H	00000130H	TM0IC11
	12	INTTM50	TM50とCR50の一致	TM50	0140H	00000140H	TM5IC0
	13	INTTM51	TM51とCR51の一致	TM51	0150H	00000150H	TM5IC1
	14	INTCSI00	CSI00の転送終了	CSI00	0160H	00000160H	CSI0IC0
	15	INTCSI01	CSI01の転送終了	CSI01	0170H	00000170H	CSI0IC1
	16	INTSRE0	UART0の受信エラー発生	UART0	0180H	00000180H	SREIC0
	17	INTSR0	UART0の受信完了	UART0	0190H	00000190H	SRIC0
	18	INTST0	UART0の送信完了	UART0	01A0H	000001AH	STIC0
	19	INTSRE1	UART1の受信エラー発生	UART1	01B0H	000001B0H	SREIC1
	20	INTSR1	UART1の受信完了	UART1	01C0H	000001C0H	SRIC1
	21	INTST1	UART1の送信完了	UART1	01D0H	000001D0H	STIC1
	22	INTTMH0	TMH0とCMP00/CMP01の一致	TMH0	01E0H	000001E0H	TMHIC0

注1. どのソフトウェアが例外が発生したかはECR.EICCにセットされた例外コードで確認できます。

2. nは0-FHの値

表21-1 割り込み要因一覧 (2/2)

種 類	デフォルト・ プライオリティ	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	割り込み制御 レジスタ
マスカブル	23	INTTMH1	TMH1とCMP10/CMP11の一致	TMH1	01F0H	000001F0H	TMHIC1
	24	INTCSIA0	CSIA0の転送終了	CSIA0	0200H	00000200H	CSIAIC0
	25	INTIIC0	I ² C0の転送完了	I ² C0	0210H	00000210H	IICIC0
	26	INTAD	A/D変換終了	A/D	0220H	00000220H	ADIC
	27	INTKR	キー・リターン割り込み	KR	0230H	00000230H	KRIC
	28	INTWTI	時計用タイマのインターバル	WT	0240H	00000240H	WTIIC
	29	INTWT	時計用タイマの基準時間	WT	0250H	00000250H	WTIC
	30	INTBRG	プリスケラ3の8ビット・カウンタとPRSCM の一致	プ リ ス ケーラ3	0260H	00000260H	BRGIC
	31	INTTM020	TM02とCR020の一致／キャプチャ入力	TM02	0270H	00000270H	TM0IC20
	32	INTTM021	TM02とCR021の一致／キャプチャ入力	TM02	0280H	00000280H	TM0IC21
	33	INTTM030	TM03とCR030の一致／キャプチャ入力	TM03	0290H	00000290H	TM0IC30
	34	INTTM031	TM03とCR031の一致／キャプチャ入力	TM03	02A0H	000002A0H	TM0IC31
	35	INTCSIA1	CSIA1の転送終了	CSIA1	02B0H	000002B0H	CSIAIC1
	36	INTTM040	TM04とCR040の一致／キャプチャ入力	TM04	02C0H	000002C0H	TM0IC40
	37	INTTM041	TM04とCR041の一致／キャプチャ入力	TM04	02D0H	000002D0H	TM0IC41
	38	INTTM050	TM05とCR050の一致／キャプチャ入力	TM05	02E0H	000002E0H	TM0IC50
	39	INTTM051	TM05とCR051の一致／キャプチャ入力	TM05	02F0H	000002F0H	TM0IC51
	40	INTCSIA2	CSIA2の転送終了	CSIA2	0300H	00000300H	CSIAIC2
	41	INTSRE2	UART2の受信エラー発生	UART2	0310H	00000310H	SREIC2
	42	INTSR2	UART2の受信完了	UART2	0320H	00000320H	SRIC2
	43	INTST2	UART2の送信完了	UART2	0330H	00000330H	STIC2
	44	INTIIC1	I ² C1の転送完了	I ² C1	0340H	00000340H	IICIC1
	45	INTP7	INTP7端子有効エッジ入力	端子	0390H	00000390H	PIC7
	46	INTTP0OV	TMP0オーバフロー	TMP	03A0H	000003A0H	TPOVIC
	47	INTTP0CC0	TMP0キャプチャ0／コンペア0一致	TMP	03B0H	000003B0H	TPCCIC0
	48	INTTP0CC1	TMP0キャプチャ1／コンペア1一致	TMP	03C0H	000003C0H	TPCCIC1
	49	INTDMA0	DMA0転送終了	DMAC	03D0H	000003D0H	DMAIC0
	50	INTDMA1	DMA1転送終了	DMAC	03E0H	000003E0H	DMAIC1
	51	INTDMA2	DMA2転送終了	DMAC	03F0H	000003F0H	DMAIC2
	52	INTDMA3	DMA3転送終了	DMAC	0400H	00000400H	DMAIC3

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求が同時に発生している場合に優先される順位です。数字の小さい方が優先順位が高く、0が最高優先順位です。

ノンマスカブル割り込みの優先順位は次のとおりです。

INTWDT2>INTWDT1>NMI

2. 不正命令コード例外時の不正命令の実行アドレスは、(復帰PC-4)で求められます。

21.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の3つがあります。

- ・NMI端子入力（NMI）
- ・ウォッチドッグ・タイマ1のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT1）
- ・ウォッチドッグ・タイマ2のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“エッジ検出なし”の4種類から選択できます。初期値は“エッジ検出なし”になっているので、必ず有効エッジを設定してください。

ウォッチドッグ・タイマ1のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT1）は、WDTM1.WDTM14, WDTM13ビットを“10”と設定することで機能します。

ウォッチドッグ・タイマ2のオーバーフローによるノンマスカブル割り込み要求信号（INTWDT2）は、WDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込みが重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2>INTWDT1>NMI

なお、NMI 処理中に、新たに NMI, INTWDT1, INTWDT2 要求信号が発生した場合は次のような処理を行います。

(1) NMI 処理中に、新たに NMI 要求信号が発生した場合

PSW.NP ビットの値によらず、新たな NMI 要求信号は保留されます。保留された NMI 要求信号は、現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

(2) NMI 処理中に、新たに INTWDT1 要求信号が発生した場合

NMI 処理中に NP ビットがセット（1）されたままであれば、新たな INTWDT1 要求信号は保留されます。

保留された INTWDT1 要求信号は、現在実行中の NMI 処理終了後（RETI 命令実行後）に受け付けられます。

NMI 処理中に NP ビットをクリア（0）すれば、新たに発生した INTWDT1 要求信号が受け付けられます（NMI 処理は中断されます）。

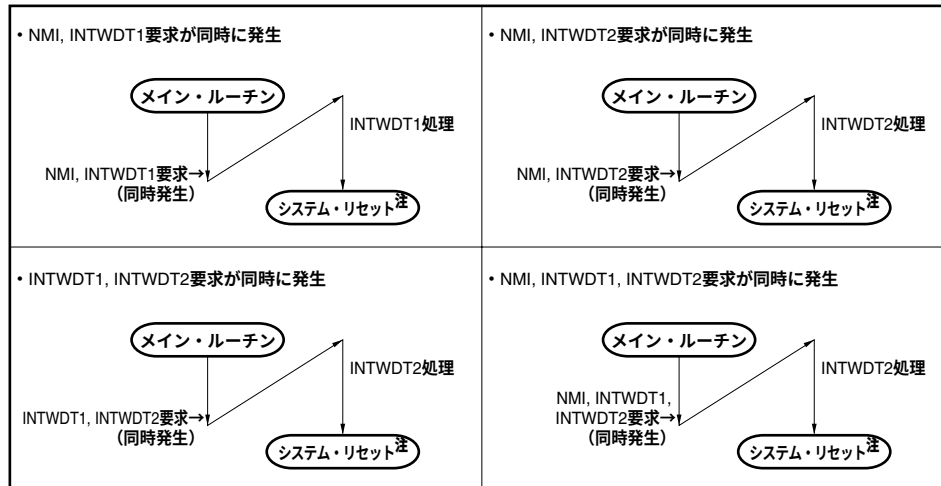
(3) NMI 処理中に、新たに INTWDT2 要求信号が発生した場合

NP ビットの値によらず、新たに発生した INTWDT2 要求信号が受け付けられます（NMI 処理は中断されます）。

注意 INTWDT1, INTWDT2要求信号によるノンマスカブル割り込み処理については、21. 10 注意事項を参照してください。

図21-1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

(a) 複数のNMI要求信号が同時に発生する場合



注 初期化ルーチンを実行して、再スタートしてください。

図21-1 ノンマスカブル割り込み要求信号の受け付け動作 (2/2)

(b) ノンマスカブル割り込み処理中に新たにノンマスカブル割り込み要求信号が発生する場合

処理中の ノンマスカブル 割り込み	ノンマスカブル割り込み処理中に新たに発生するノンマスカブル割り込み要求		
	NMI	INTWDT1	INTWDT2
NMI	・ NMI処理中にNMI要求が発生	・ NMI処理中にINTWDT1要求が発生 (INTWDT1要求前にNP = 1のまま) ・ NMI処理中にINTWDT1要求が発生 (INTWDT1要求前にNP = 0にする) ・ NMI処理中にINTWDT1要求が発生 (INTWDT1要求後にNP = 0にする)	・ NMI処理中にINTWDT2要求が発生
INTWDT1	・ INTWDT1処理中にNMI要求が発生	・ INTWDT1処理中にINTWDT1要求が発生	・ INTWDT1処理中にINTWDT2要求が発生
INTWDT2	・ INTWDT2処理中にNMI要求が発生	・ INTWDT2処理中にINTWDT1要求が発生	・ INTWDT2処理中にINTWDT2要求が発生

注 初期化ルーチンを実行して、再スタートしてください。

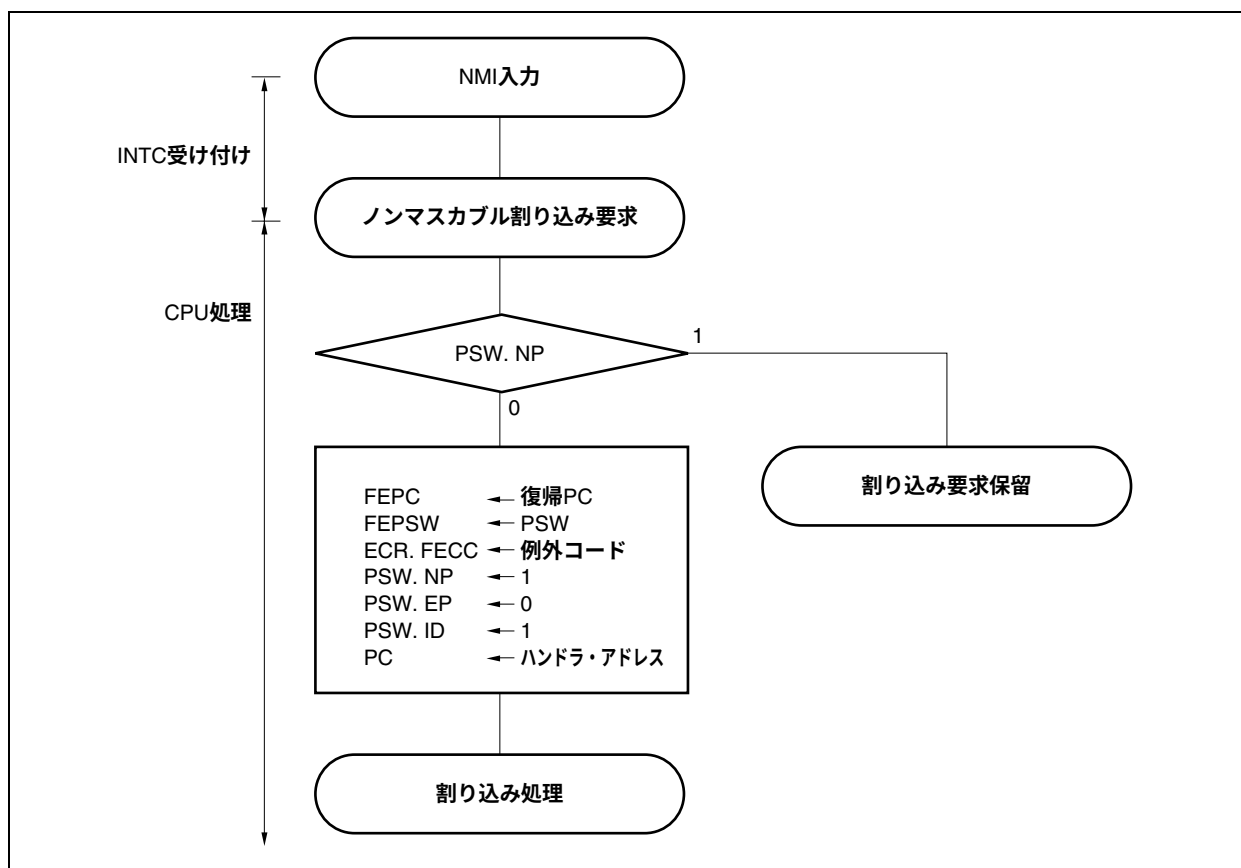
21.2.1 動作

ノンマスクابل割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

- ① 復帰PCをFEPCに退避します。
- ② 現在のPSWをFEPSWに退避します。
- ③ ECRの上位ハーフワード（FECC）に例外コード（0010H, 0020H, 0030H）を書き込みます。
- ④ PSWのNP, IDビットをセット（1）し、EPビットをクリア（0）します。
- ⑤ PCにノンマスクابل割り込みに対するハンドラ・アドレス（00000010H, 00000020H, 00000030H）をセットし、制御を移します。

ノンマスクابل割り込みの処理形態を次に示します。

図21-2 ノンマスクابل割り込みの処理形態



21.2.2 復 帰

ノンマスクابل割り込み処理からは、RETI命令で復帰します。

(1) NMIの場合

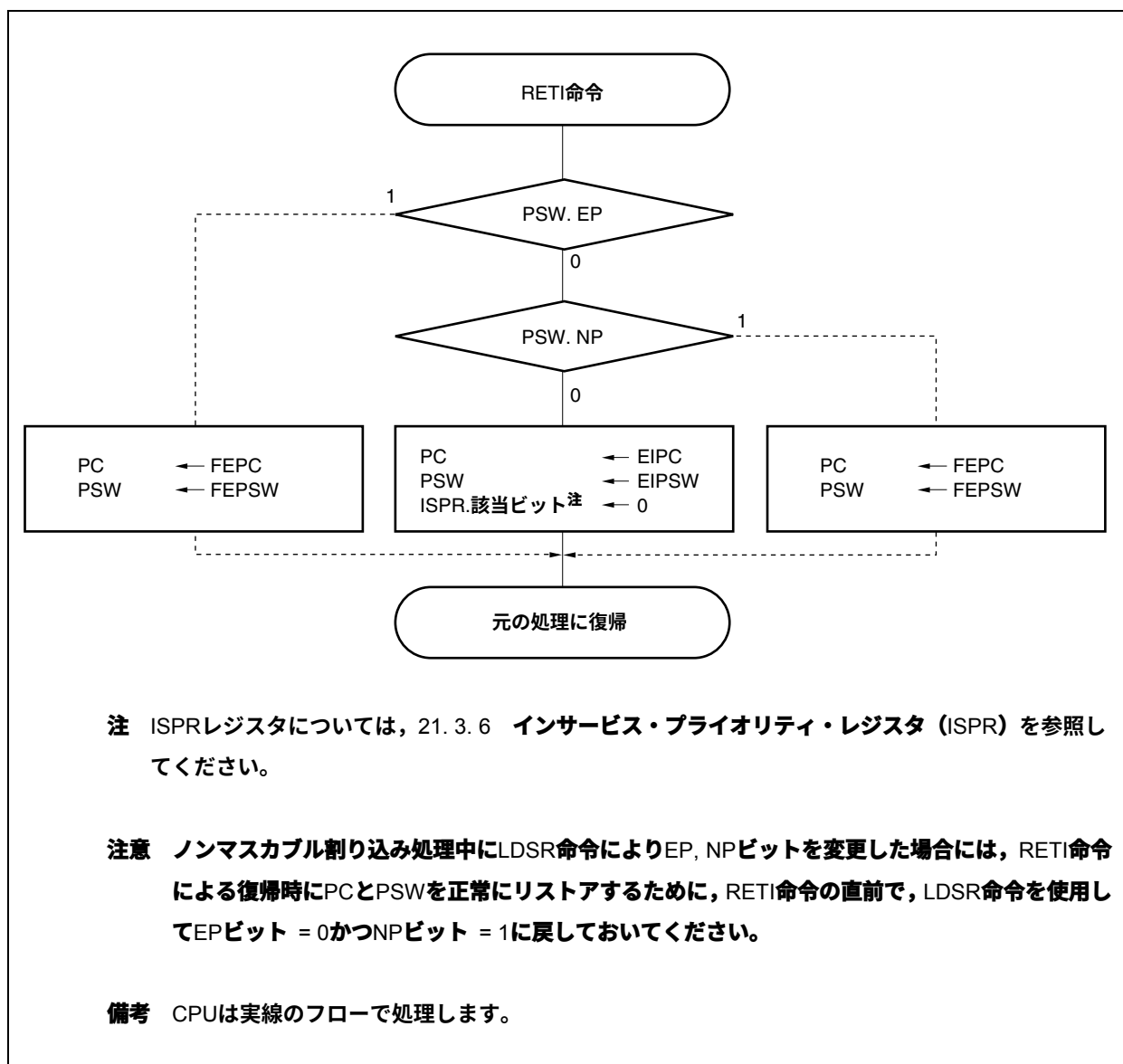
NMI処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い、復帰PCのアドレスへ制御を移します。

- ① PSW.EPビット = 0かつPSW.NPビット = 1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

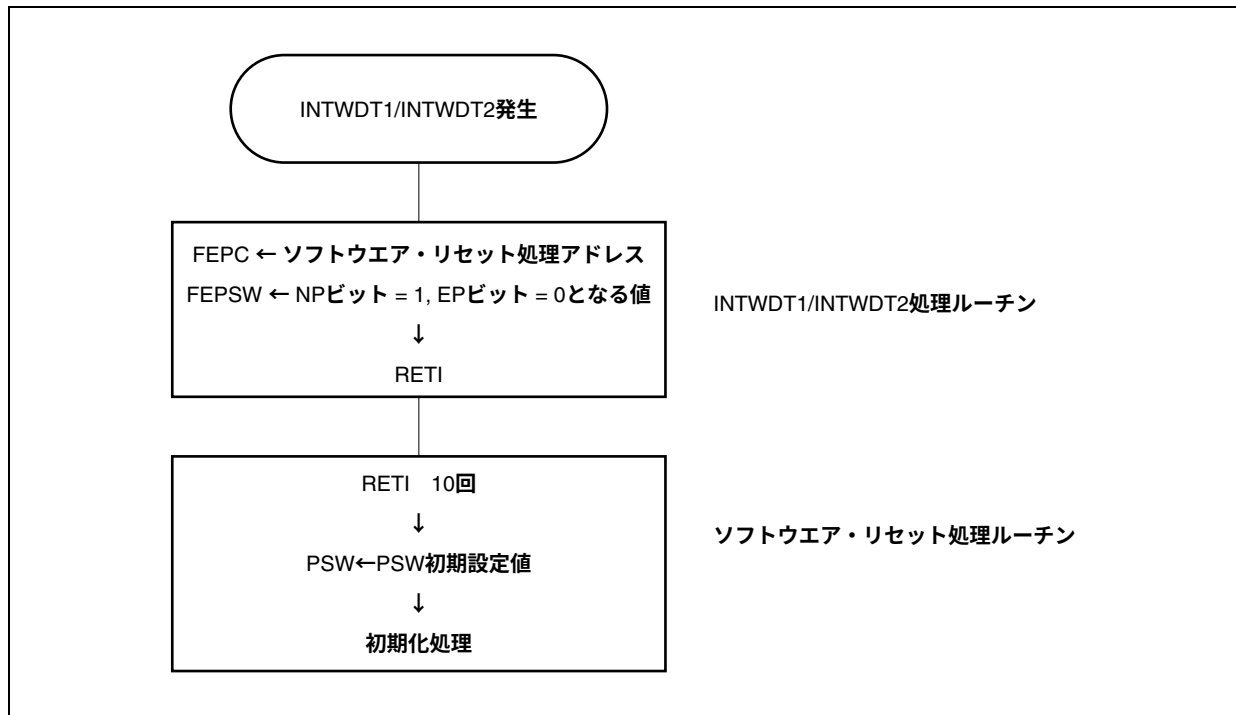
図21-3 RETI命令の処理形態



(2) INTWDT1, INTWDT2信号の場合

ノンマスカブル割り込み要求信号（INTWDT1/INTWDT2）によるノンマスカブル割り込み処理後のRETI命令による復帰は次のようにしてください。

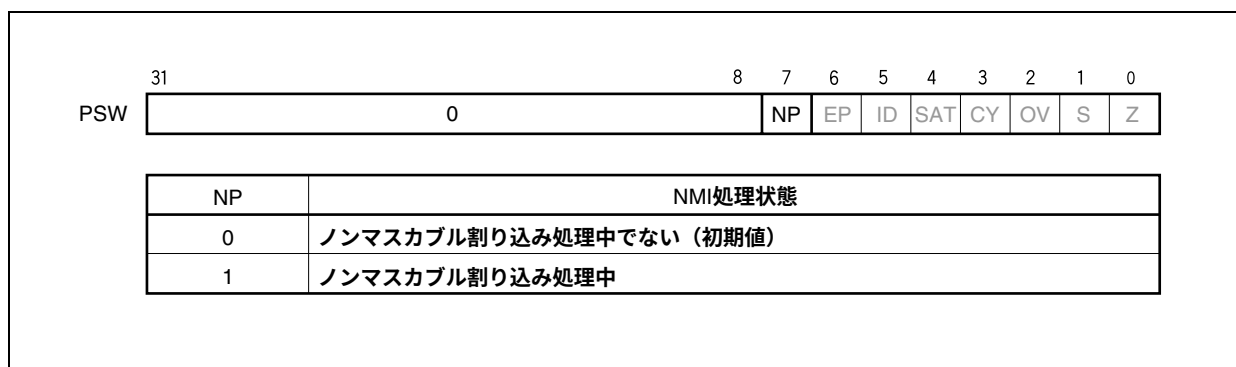
図21-4 RETI命令による復帰



21.2.3 NPフラグ

NPフラグは、ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求を受け付けるとセットされ、ノンマスカブル要求をマスクして多重割り込みを禁止します。



21.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号です。V850ES/KJ2には53種類のマスカブル割り込み要因があります。

割り込み要求信号が受け付けられると割り込み禁止（DI）状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可（EI）状態となり、受け付け中の割り込み要求信号の優先順位レベル（割り込み制御レジスタで指定）よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

多重割り込みについては、21.7 多重割り込み制御を参照してください。

WDTM1.WDTM14ビットを“0”に設定すると、ウォッチドッグ・タイマ1オーバーフロー割り込みは、マスカブル割り込み（INTWDTM1）として機能します。

21.3.1 動作

マスカブル割り込み要求が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

- ① 復帰PCをEIPCに退避します。
- ② 現在のPSWをEIPSWに退避します。
- ③ ECRの下位ハーフワード（EICC）に例外コードを書き込みます。
- ④ PSW.IDビットをセット（1）し、PSW.EPビットをクリア（0）します。
- ⑤ PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ（INTC）でマスクされている（xxMKビット = 1）マスカブル割り込み要求信号と、ほかの割り込み処理中（PSW.NPビット = 1またはIDビット = 1）に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。保留理由とその対処方法を次に示します。

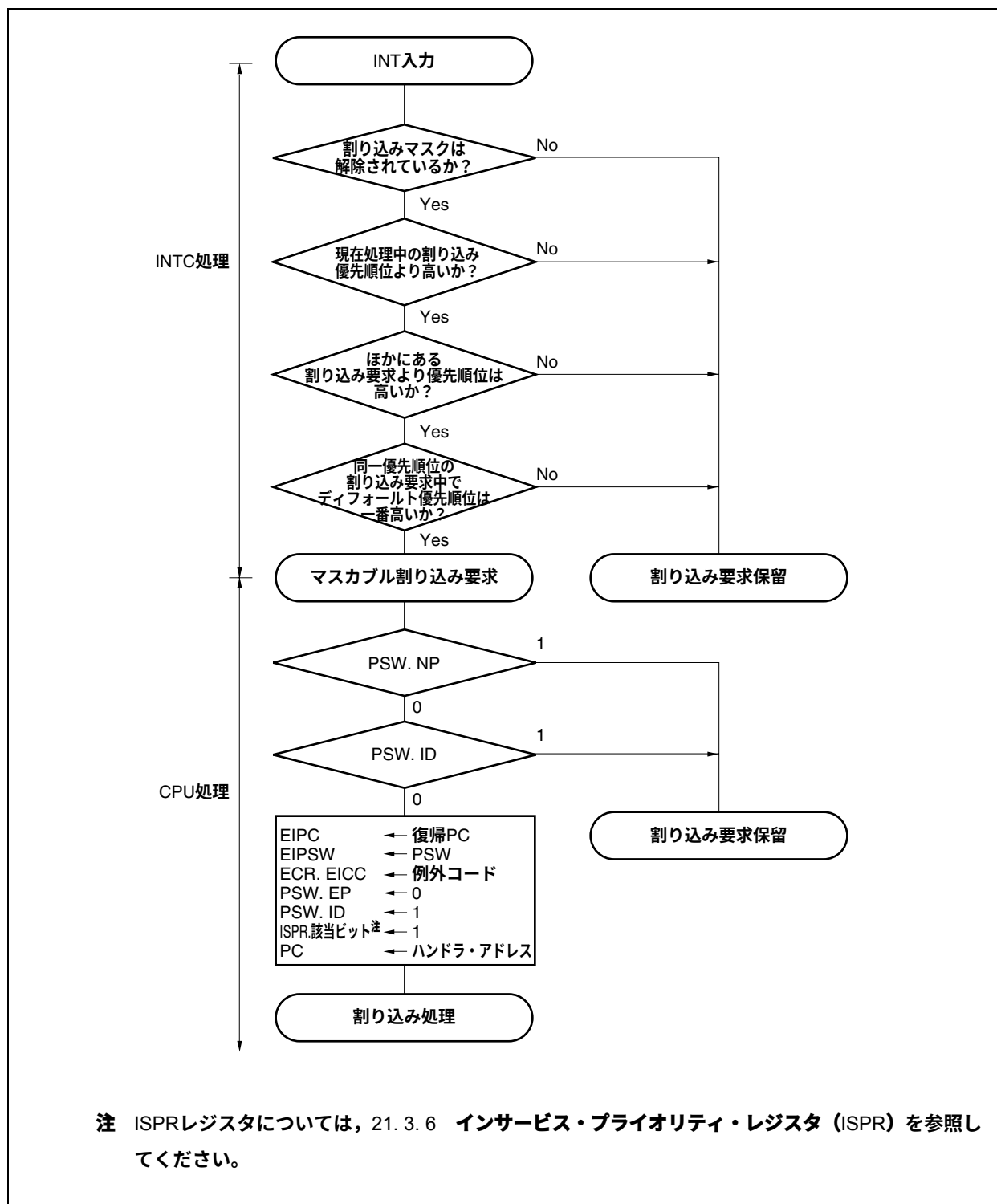
表21-2 マスカブル割り込みの保留

保留理由	対処方法
xxMKビット= 1の場合	マスクを解除（xxMKビット = 0に設定）してください。
ほかに優先順位の高い割り込みが保留中の場合	優先順位の高い割り込み処理が終わるまで待ちます。
PSW.NPビット= 1, PSW.IDビット = 1の場合	RETI命令, LDSR命令を使用しNPビット = 0かつIDビット = 0に設定してください。

備考 xxMKビットについては21.3.4 割り込み制御レジスタ（xxICn）を参照してください。

マスカブル割り込みの処理形態を次に示します。

図21-5 マスカブル割り込みの処理形態



21.3.2 復 帰

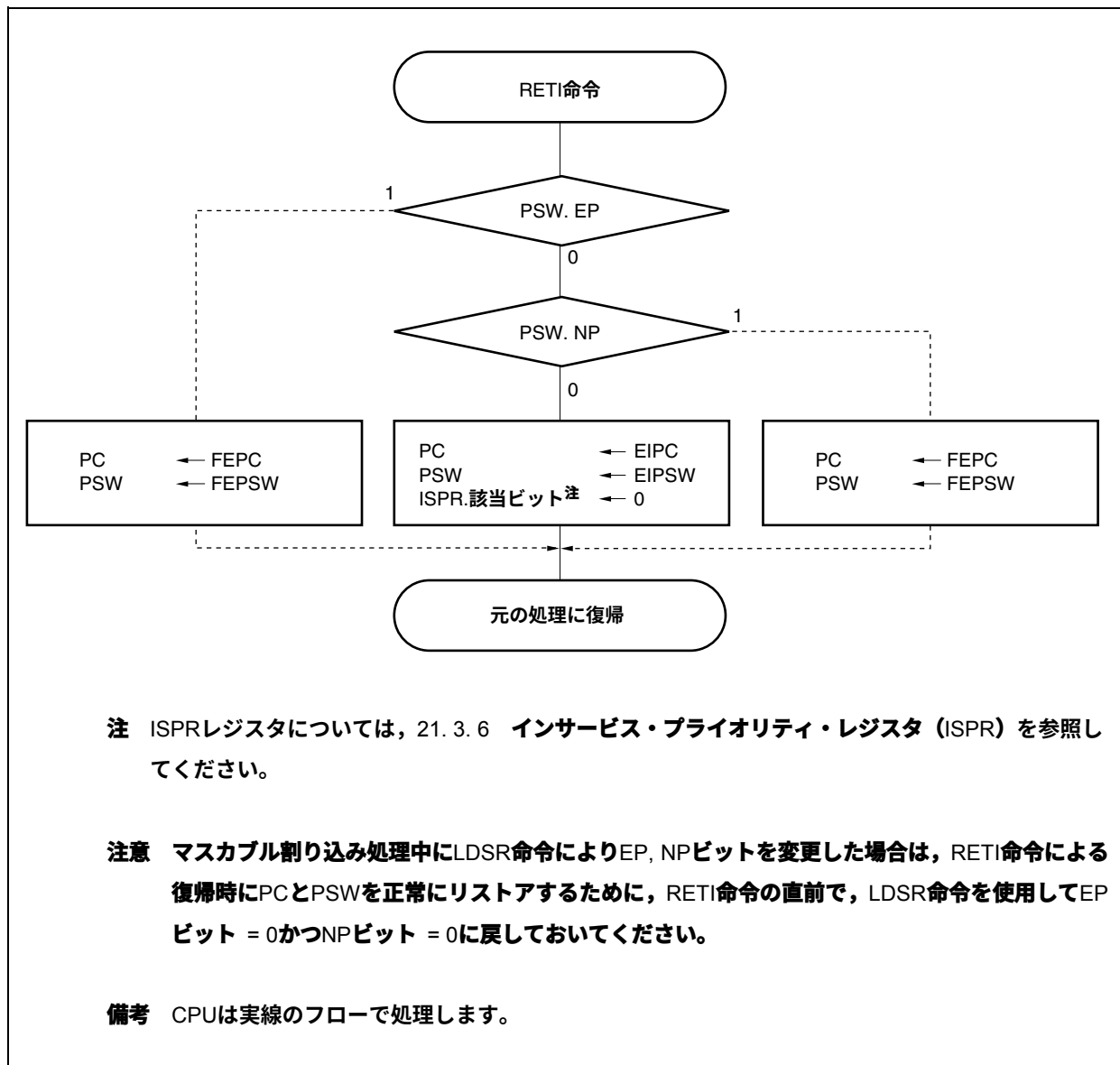
マスクابل割り込み処理からは、RETI命令で復帰します。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- ① PSW.EPビット = 0かつPSW.NPビット = 0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PC, PSWのアドレスに制御を移します。

RETI命令の処理形態を次に示します。

図21-6 RETI命令の処理形態



21.3.3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、割り込み優先順位指定ビット (xxICn.xxPRnビット) によるプログラマブル優先順位制御と、デフォルト優先順位による制御があります。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表21-1 割り込み要因一覧参照)。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

多重割り込みについては、21.7 多重割り込み制御を参照してください。

備考 xx : 各周辺ユニット識別名称 (表21-3 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表21-3 割り込み制御レジスタ (xxICn) 参照)

図21-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

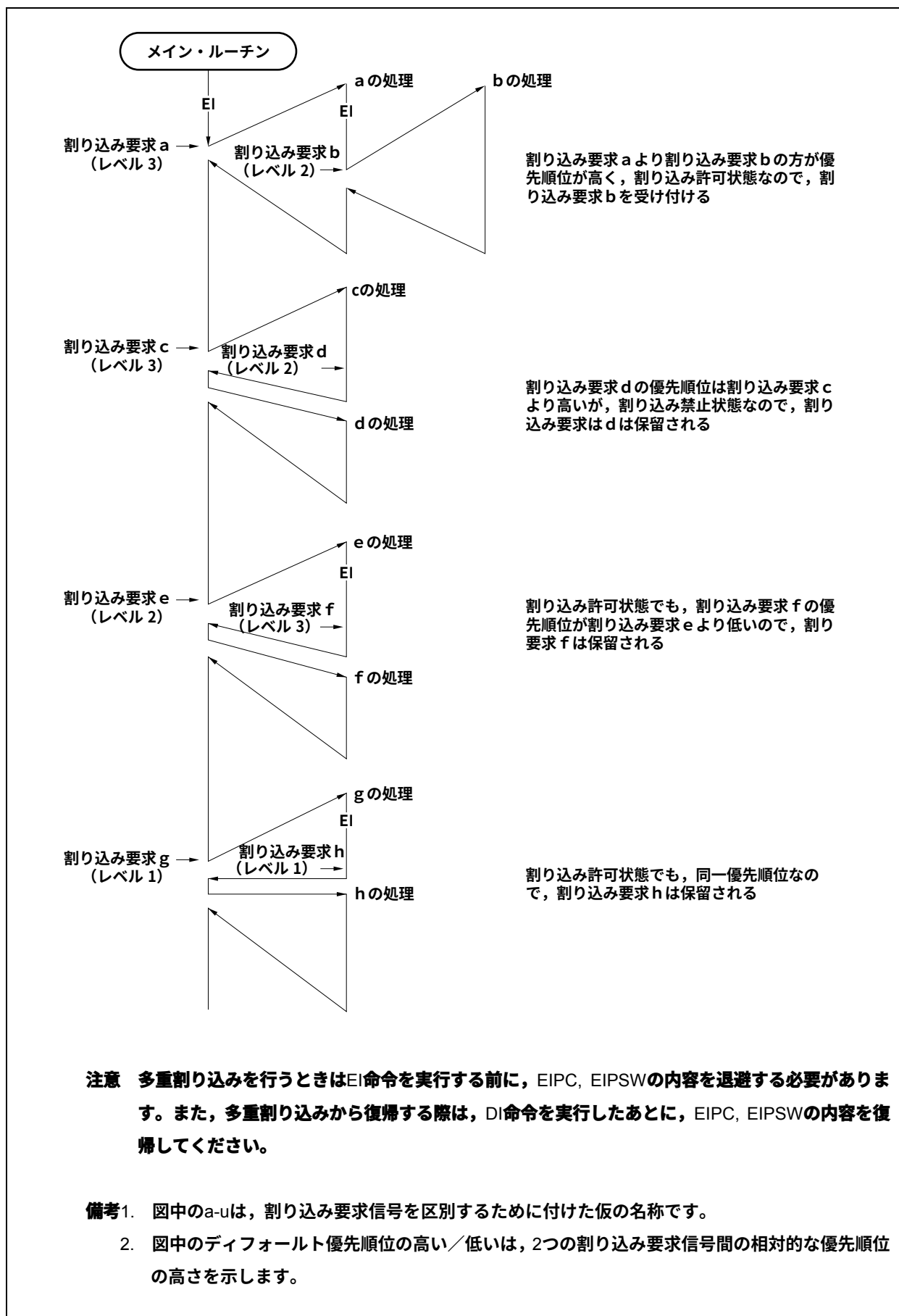
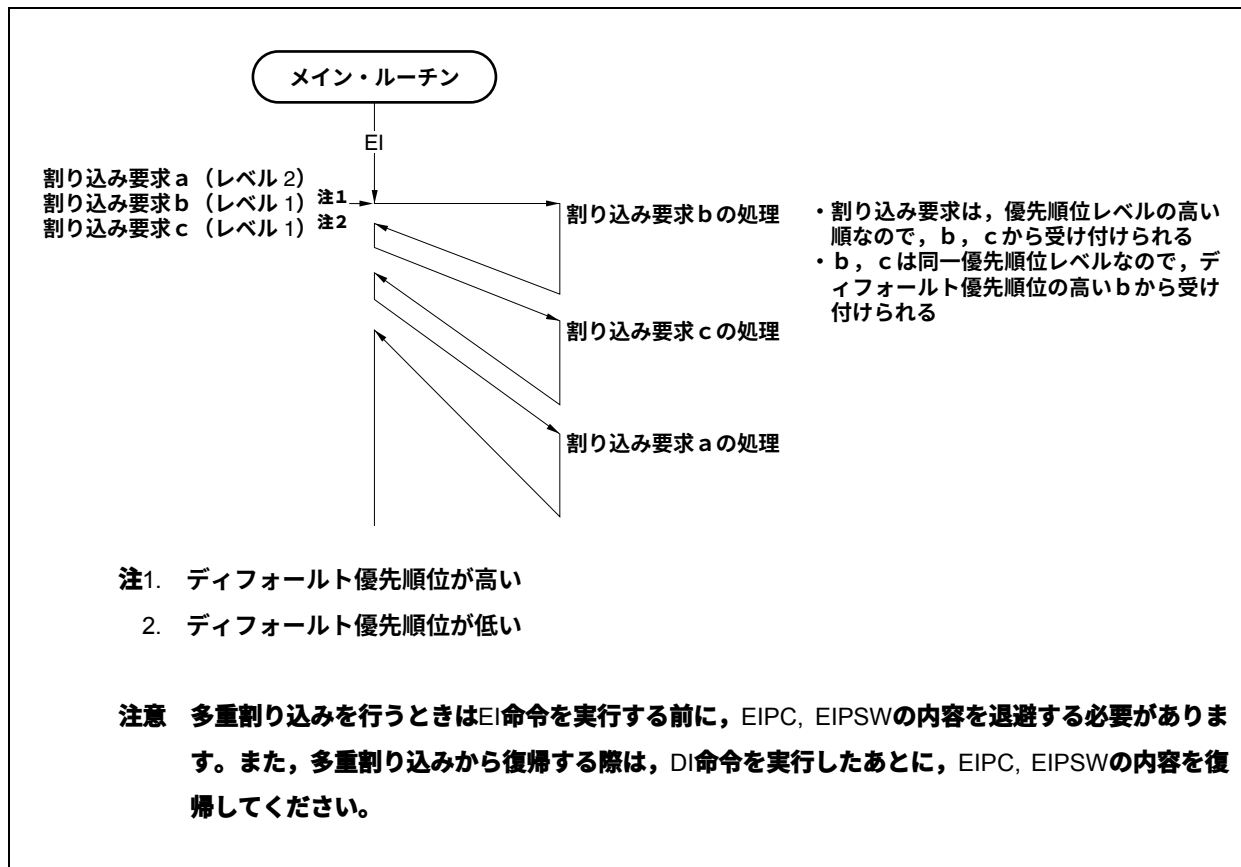


図21-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

図21-8 同時発生した割り込み要求信号の処理例



21.3.4 割り込み制御レジスタ (xxICn)

割り込み要求（マスカブル割り込み）ごとに割り当てられ、各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

リセットにより47Hになります。

注意1. 割り込みマスクする場合は、IMRレジスタで設定するか、ビット操作命令で処理してください。優先順位の設定は、割り込みが発生しないタイミングで設定してください。

2. xxICn.xxIFnビットを読み出す場合は、割り込み禁止（DI）状態で行ってください。割り込み許可（EI）状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時：47H R/W アドレス：FFFFF110H-FFFFF180H

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求なし
1	割り込み要求あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止（保留）

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0（最高位）を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7（最低位）を指定

注 割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx：各周辺ユニット識別名称（表21-3 割り込み制御レジスタ（xxICn）参照）

n：周辺ユニット番号（表21-3 割り込み制御レジスタ（xxICn）参照）

各割り込み制御レジスタのアドレスとビットを次に示します。

表21-3 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF110H	WDT1IC	WDT1IF	WDT1MK	0	0	0	WDT1PR2	WDT1PR1	WDT1PR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	TM0IC00	TM0IF00	TM0MK00	0	0	0	TM0PR002	TM0PR001	TM0PR000
FFFFF122H	TM0IC01	TM0IF01	TM0MK01	0	0	0	TM0PR012	TM0PR011	TM0PR010
FFFFF124H	TM0IC10	TM0IF10	TM0MK10	0	0	0	TM0PR102	TM0PR101	TM0PR100
FFFFF126H	TM0IC11	TM0IF11	TM0MK11	0	0	0	TM0PR112	TM0PR111	TM0PR110
FFFFF128H	TM5IC0	TM5IF0	TM5MK0	0	0	0	TM5PR02	TM5PR01	TM5PR00
FFFFF12AH	TM5IC1	TM5IF1	TM5MK1	0	0	0	TM5PR12	TM5PR11	TM5PR10
FFFFF12CH	CSI0IC0	CSI0IF0	CSI0MK0	0	0	0	CSI0PR02	CSI0PR01	CSI0PR00
FFFFF12EH	CSI0IC1	CSI0IF1	CSI0MK1	0	0	0	CSI0PR12	CSI0PR11	CSI0PR10
FFFFF130H	SREIC0	SREIF0	SREMK0	0	0	0	SREPR02	SREPR01	SREPR00
FFFFF132H	SRIC0	SRIF0	SRMK0	0	0	0	SRPR02	SRPR01	SRPR00
FFFFF134H	STIC0	STIF0	STMK0	0	0	0	STPR02	STPR01	STPR00
FFFFF136H	SREIC1	SREIF1	SREMK1	0	0	0	SREPR12	SREPR11	SREPR10
FFFFF138H	SRIC1	SRIF1	SRMK1	0	0	0	SRPR12	SRPR11	SRPR10
FFFFF13AH	STIC1	STIF1	STMK1	0	0	0	STPR12	STPR11	STPR10
FFFFF13CH	TMHIC0	TMHIF0	TMHMK0	0	0	0	TMHPR02	TMHPR01	TMHPR00
FFFFF13EH	TMHIC1	TMHIF1	TMHMK1	0	0	0	TMHPR12	TMHPR11	TMHPR10
FFFFF140H	CSIAIC0	CSIAIF0	CSIAMK0	0	0	0	CSIAPR02	CSIAPR01	CSIAPR00
FFFFF142H	IICIC0	IICIF0	IICMK0	0	0	0	IICPR02	IICPR01	IICPR00
FFFFF144H	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF146H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF148H	WTIIC	WTIIF	WTIMK	0	0	0	WTIPR2	WTIPR1	WTIPR0
FFFFF14AH	WTIC	WTIF	WTMK	0	0	0	WTPR2	WTPR1	WTPR0
FFFFF14CH	BRGIC	BRGIF	BRGMK	0	0	0	BRGPR2	BRGPR1	BRGPR0
FFFFF14EH	TM0IC20	TM0IF20	TM0MK20	0	0	0	TM0PR202	TM0PR201	TM0PR200
FFFFF150H	TM0IC21	TM0IF21	TM0MK21	0	0	0	TM0PR212	TM0PR211	TM0PR210
FFFFF152H	TM0IC30	TM0IF30	TM0MK30	0	0	0	TM0PR302	TM0PR301	TM0PR300
FFFFF154H	TM0IC31	TM0IF31	TM0MK31	0	0	0	TM0PR312	TM0PR311	TM0PR310
FFFFF156H	CSIAIC1	CSIAIF1	CSIAMK1	0	0	0	CSIAPR12	CSIAPR11	CSIAPR10
FFFFF158H	TM0IC40	TM0IF40	TM0MK40	0	0	0	TM0PR402	TM0PR401	TM0PR400
FFFFF15AH	TM0IC41	TM0IF41	TM0MK41	0	0	0	TM0PR412	TM0PR411	TM0PR410
FFFFF15CH	TM0IC50	TM0IF50	TM0MK50	0	0	0	TM0PR502	TM0PR501	TM0PR500
FFFFF15EH	TM0IC51	TM0IF51	TM0MK51	0	0	0	TM0PR512	TM0PR511	TM0PR510
FFFFF160H	CSI0IC2	CSI0IF2	CSI0MK2	0	0	0	CSI0PR22	CSI0PR21	CSI0PR20

表21-3 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF162H	SREIC2	SREIF2	SREMK2	0	0	0	SREPR22	SREPR21	SREPR20
FFFFF164H	SRIC2	SRIF2	SRMK2	0	0	0	SRPR22	SRPR21	SRPR20
FFFFF166H	STIC2	STIF2	STMK2	0	0	0	STPR22	STPR21	STPR20
FFFFF168H	IICIC1	IICIF1	IICMK1	0	0	0	IICPR12	IICPR11	IICPR10
FFFFF172H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF174H	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF176H	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF178H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF17AH	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMARP01	DMAPR00
FFFFF17CH	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMARP11	DMAPR10
FFFFF17EH	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMARP21	DMAPR20
FFFFF180H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMARP31	DMAPR30

21.3.5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスカブル割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICnレジスタのxxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード／ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ、下位8ビットをIMRmLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

注意 デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます (結果としてIMRmレジスタも書き換わります)。

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,
IMP0L FFFFF100H, IMR0H FFFFF101H

IMR0 (IMR0H ^注)	15	14	13	12	11	10	9	8
	CSIOMK1	CSIOMK0	TM5MK1	TM5MK0	TM0MK11	TM0MK10	TM0MK01	TM0MK00
(IMR0L)	7	6	5	4	3	2	1	0
	PMK6	PMK5	PMK4	PMK3	PMK2	PMK1	PMK0	WDT1MK

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H
IMR1L FFFFF102H, IMR1H FFFFF103H

IMR1 (IMR1H ^注)	15	14	13	12	11	10	9	8
	TM0MK20	BRGMK	WTMK	WTIMK	KRMK	ADMK	IICMK0	CSIAMK0
(IMR1L)	7	6	5	4	3	2	1	0
	TMHMK1	TMHMK0	STMK1	SRMK1	SREMK1	STMK0	SRMK0	SREMK0

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H
IMR2L FFFFF104H, IMR2H FFFFF105H

IMR2 (IMR2H ^注)	15	14	13	12	11	10	9	8
	1	1	1	IICMK1	STMK2	SRMK2	SREMK2	CSIOMK2
(IMR2L)	7	6	5	4	3	2	1	0
	TM0MK51	TM0MK50	TM0MK41	TM0MK40	CSIAMK1	TM0MK31	TM0MK30	TM0MK21

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H
IMR3L FFFFF106H, IMR3H FFFFF107H

IMR3 (IMR3H ^注)	15	14	13	12	11	10	9	8
	1	1	1	1	1	1	1	DMAMK3
(IMR3L)	7	6	5	4	3	2	1	0
	DMAMK2	DMAMK1	DMAMK0	TP0CCMK1	TP0CCMK2	TP0OVFMK	PMK7	1

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

注 IMR0-IMR3のビット8-15を8/1ビット単位でリード／ライトする場合は、IMR0H-IMR3Hのビット0-7として指定してください。

注意 IMR2レジスタのビット15-13, IMR3レジスタのビット15-9, 0には、必ず1を設定してください。変更した場合の動作は保証できません。

備考 xx：各周辺ユニット識別名称（表21-3 割り込み制御レジスタ（xxICn）参照）
n：周辺ユニット番号（表21-3 割り込み制御レジスタ（xxICn）参照）

21.3.6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット（1）され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット（1）されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にクリア（0）されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はクリア（0）されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可（EI）状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット（1）されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止（DI）状態でリードしてください。

リセット時：00H R アドレス：FFFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求を受け付けていない
1	優先順位nの割り込み要求を受け付け中

備考 n：0-7（優先順位のレベル）

21.3.8 ウォッチドッグ・タイマ・モード・レジスタ1 (WDTM1)

このレジスタは、特定レジスタです。特定のシーケンスによってのみ書き込みができます。マスカブル割り込み (INTWDT1) を発生させるには、WDTM14ビットは0のままにしておいてください。

8/1ビット単位でリード／ライト可能です (詳細は第12章 ウォッチドッグ・タイマ機能参照)。

リセット時：00H R/W アドレス：FFFFFF6C2H

	⑦	6	5	4	3	2	1	0
WDTM1	RUN1	0	0	WDTM14	WDTM13	0	0	0

RUN1	ウォッチドッグ・タイマの動作モードの選択 ^{注1}
0	カウントの停止
1	カウンタをクリアし、カウントを開始

WDTM14	WDTM13	ウォッチドッグ・タイマの動作モードの選択 ^{注2}
0	0	インターバル・タイマ・モード
0	1	(オーバーフロー発生時、マスカブル割り込みINTWDTM1発生)
1	0	ウォッチドッグ・タイマ・モード ^{注3} (オーバーフロー発生時、ノンマスカブル割り込みINTWDT1発生)
1	1	ウォッチドッグ・タイマ・モード2 (オーバーフロー発生時、リセット動作WDTRES2を起動)

注1. RUN1ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。

したがって、カウントを開始すると、リセット以外で停止させることはできません。

注2. WDTM14, WDTM13ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。これらのビットをクリアするには、リセットだけが有効です。

注3. ノンマスカブル割り込み要求信号 (INTWDT1) による、ノンマスカブル割り込み処理については、21.10 注意事項を参照してください。

21.4 外部割り込み要求入力端子（NMI, INTP0-INTP7）

21.4.1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイ（数10 ns）によるノイズ除去回路を内蔵しています。また、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用します。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP2, INTP4-INTP7端子のノイズ除去

INTP0-INTP2, INTP4-INTP7端子はアナログ・ディレイ（数10 ns）によるノイズ除去回路を内蔵しています。また、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(3) INTP3端子のノイズ除去

INTP3端子はデジタル／アナログ・ノイズ除去回路を内蔵しており、NFC.NFENビットにより選択できます（アナログ・ディレイ時間は数10 nsです）。

デジタル・ノイズ除去回路のサンプリング回数は、NFC.NFSTSビットにより3回または2回を選択できます。サンプリング・クロックは、NFC.NFC2-NFC0ビットにより $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{XT} の中から選択できます。なお、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ に設定した場合、IDLE/STOPモード時にサンプリング・クロックが停止するので、スタンバイ解除要因として使用できません。この場合、サンプリング・クロックを f_{XT} とするか、またはアナログ・ノイズ除去回路を選択することで、スタンバイ解除要因として使用できます。

(a) デジタル・ノイズ除去制御レジスタ (NFC)

NFCレジスタは、INTP3端子のノイズ除去の制御をします。ノイズ除去クロックに f_{XT} を使用すると、デジタル・ノイズ除去に設定した場合でも、IDLE/STOPモード時にINTP3端子による外部割り込み機能を使用できます。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	NFSTS	0	0	0	NFC2	NFC1	NFC0

NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去
1	デジタル・ノイズ除去

NFSTS	デジタル・ノイズ除去のサンプリング回数の設定
0	サンプリング回数 = 3回
1	サンプリング回数 = 2回

NFC2	NFC1	NFC0	サンプリング・クロックの選択
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{XT}
上記以外			設定禁止

備考 f_{xx} ：メイン・クロック周波数

f_{XT} ：サブクロック周波数

＜ノイズ除去幅＞

デジタル・ノイズ除去幅 (t_{WIT3}) は、サンプリング・クロック周期：T，サンプリング回数：Mとすると、次のようになります。

- $t_{WIT3} < (M-1) T$: 確実にノイズとして除去
- $(M-1) T \leq t_{WIT3} < MT$: ノイズとして除去，あるいは有効エッジとして検出
- $t_{WIT3} \geq MT$: 確実に有効エッジとして検出

したがって、INTP3端子入力の有効エッジを確実に検出するためには、MT以上のパルス幅を入力する必要があります。デジタル・ノイズ除去の設定とそのときに確実に除去できる最大ノイズ幅を次に示します。

表21-4 デジタル・ノイズ除去

NFSTS	NFC2	NFC1	NFC0	サンプリング・クロック	除去できる最大ノイズ幅		
					f _{xx} = 20 MHz	f _{xx} = 10 MHz	f _{xx} = 8 MHz
0	0	0	0	f _{xx} /64	6.4 μs	12.8 μs	16 μs
0	0	0	1	f _{xx} /128	12.8 μs	25.6 μs	32 μs
0	0	1	0	f _{xx} /256	25.6 μs	51.2 μs	64 μs
0	0	1	1	f _{xx} /512	51.2 μs	102.4 μs	128 μs
0	1	0	0	f _{xx} /1024	102.4 μs	204.8 μs	256 μs
0	1	0	1	f _{XT} (32.768 kHz)	61.04 μs		
1	0	0	0	f _{xx} /64	3.2 μs	6.4 μs	8 μs
1	0	0	1	f _{xx} /128	6.4 μs	12.8 μs	16 μs
1	0	1	0	f _{xx} /256	12.8 μs	25.6 μs	32 μs
1	0	1	1	f _{xx} /512	25.6 μs	51.2 μs	64 μs
1	1	0	0	f _{xx} /1024	51.2 μs	102.4 μs	128 μs
1	1	0	1	f _{XT} (32.768 kHz)	30.52 μs		
上記以外				設定禁止			

21.4.2 エッジ検出

NMI, INTP0-INTP7端子の有効エッジは、端子ごとに次の4種類から選択できます。

- 立ち上がりエッジ
- 立ち下がりエッジ
- 両エッジ
- エッジ検出なし

注意 NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

(1) 外部割り込み立ち上がり、立ち下がりエッジ指定レジスタ0 (INTR0, INTF0)

NMI, INTP0-INTP3端子の立ち上がり、立ち下がりエッジ検出を指定する8ビットのレジスタです。

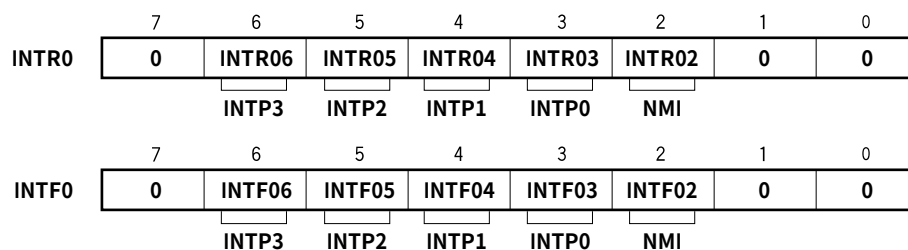
8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF0n, INTR0nビット = 00の状態では外部割り込み機能に設定（PMC0.PMC0nビット = 1）してください。

また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定（PMC0.PMC0nビット = 0）してください。

リセット時：00H R/W アドレス：INTR0 FFFFFFFC20H, INTF0 FFFFFFFC00H



備考 有効エッジの指定については表21-5を参照してください。

表21-5 NMI, INTP0-INTP3端子の有効エッジの指定

INTF0n	INTR0n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 2：NMI端子の制御

n = 3-6：INTP0-INTP3端子の制御

(2) 外部割り込み立ち上がり，立ち下がりエッジ指定レジスタ³ (INTR3, INTF3)

INTP7端子の立ち上がり，立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から，外部割り込み機能（兼用機能）に切り替える際，エッジ検出を行う可能性があるため，INTF31, INTR31ビット = 00の状態では外部割り込み機能に設定（PMC3.PMC31ビット = 1）してください。

また，外部割り込み機能からポート機能に切り替える際も，エッジ検出を行う可能性があるため，INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定（PMC3.PMC31ビット = 0）してください。

リセット時：00H R/W アドレス：INTR3 FFFFC26H, INTF3 FFFFC06H

	7	6	5	4	3	2	1	0
INTR3	0	0	0	0	0	0	INTR31	0
							INTP7	
	7	6	5	4	3	2	1	0
INTF3	0	0	0	0	0	0	INTF31	0
							INTP7	

備考 有効エッジの指定については表21-6を参照してください。

表21-6 INTP7端子の有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

(3) 外部割り込み立ち上がり、立ち下がりエッジ指定レジスタ9H (INTR9H, INTF9H)

INTP4-INTP6端子の立ち上がり／立ち下がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 00の状態では外部割り込み機能に設定（PMC9.PMC9nビット = 1）してください。

また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 00に設定したあとにポート・モードに設定（PMC9.PMC9nビット = 0）してください。

リセット時：00H R/W アドレス：INTR9H FFFFFFFC33H, INTF9H FFFFFFFC13H

	7	6	5	4	3	2	1	0
INTR9H	INTR915	INTR914	INTR913	0	0	0	0	0
	INTP6	INTP5	INTP4					
	7	6	5	4	3	2	1	0
INTF9H	INTF915	INTF914	INTF913	0	0	0	0	0
	INTP6	INTP5	INTP4					

備考 有効エッジの指定については表21-7を参照してください。

表21-7 INTP4-INTP6端子の有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

備考 n = 13-15：INTP4-INTP6端子の制御

21.5 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

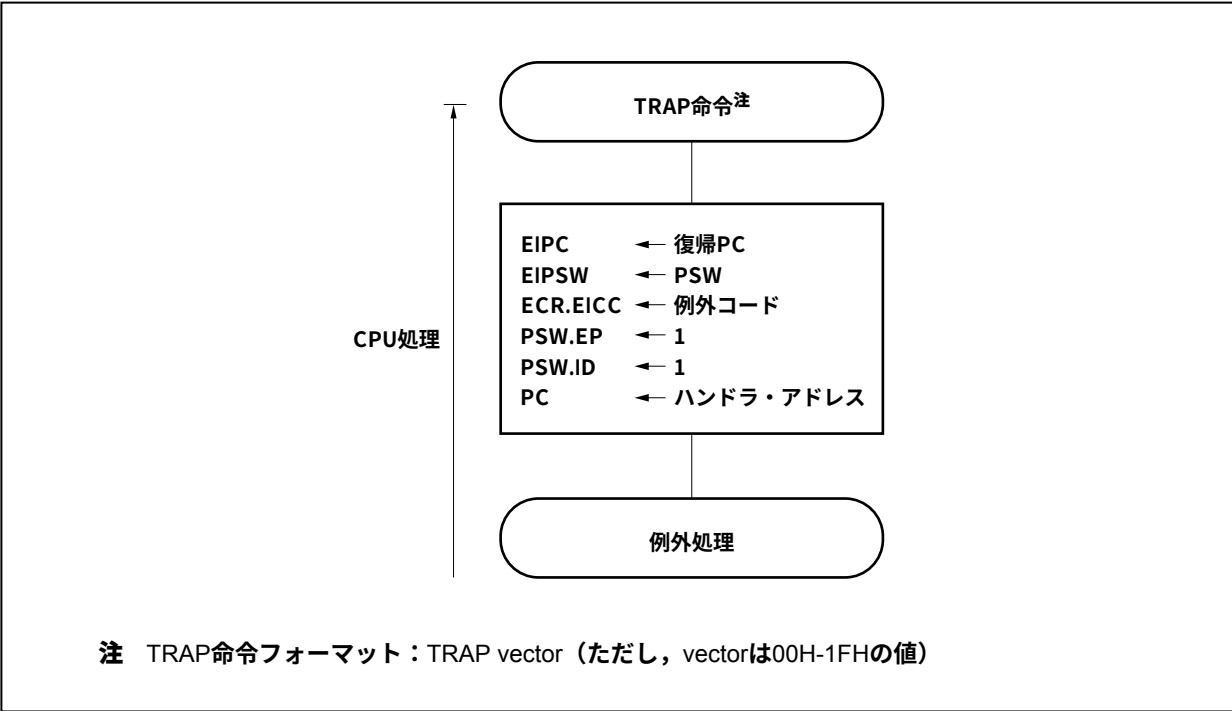
21.5.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- ① 復帰PCをEIPCに退避します。
- ② 現在のPSWをEIPSWに退避します。
- ③ ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
- ④ PSW.EP, IDビットをセット（1）します。
- ⑤ PCにソフトウェア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態を、次に示します。

図21-9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド（vector）によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

21.5.2 復 帰

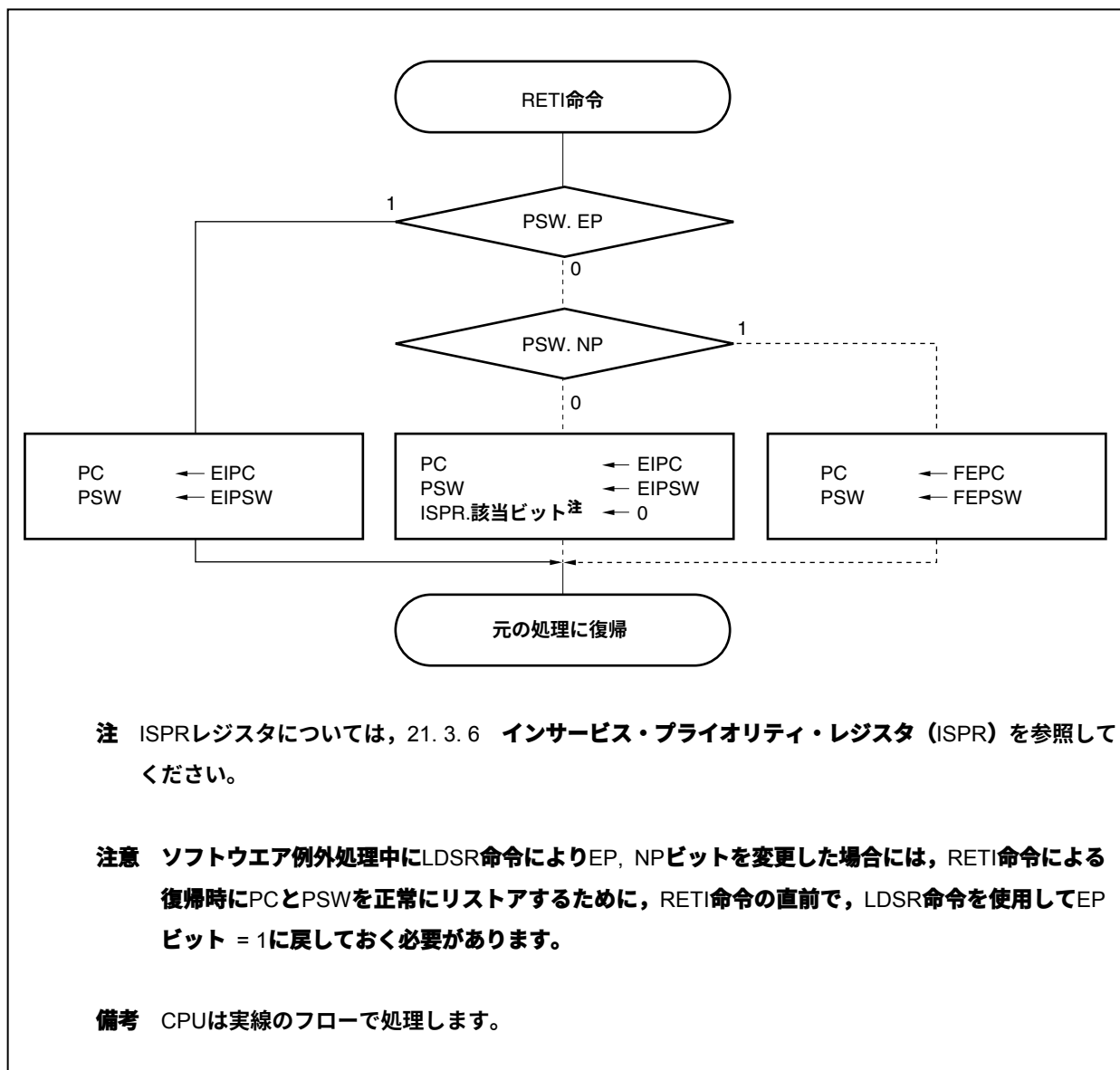
ソフトウェア例外処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- ① PSW.EPビット = 1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

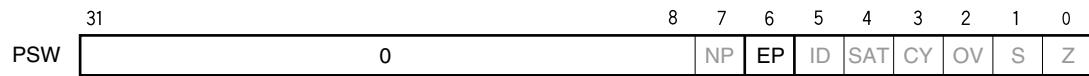
RETI命令の処理形態を次に示します。

図21-10 RETI命令の処理形態



21.5.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。



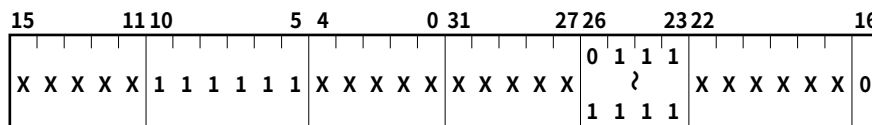
EP	例外処理状態
0	例外処理中でない（初期値）
1	例外処理中

21.6 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/KJ2では、不正命令コード・トラップ（ILGOP：Illegal Opcode Trap）が例外トラップに当たります。

21.6.1 不正命令コード

不正命令は、命令のオペコード（ビット10-5）が111111Bで、サブオペコード（ビット26-23）が0111B-1111B、サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



X：任意

注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用禁止です。

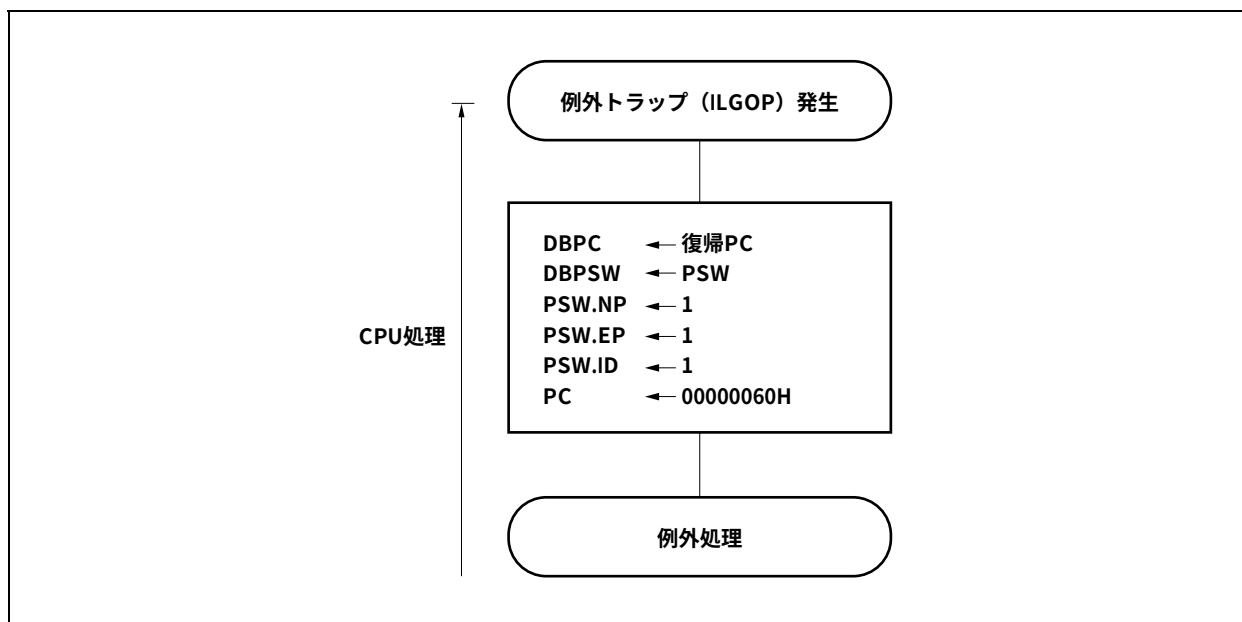
(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- ① 復帰PCをDBPCに退避します。
- ② 現在のPSWをDBPSWに退避します。
- ③ PSW.NP, EP, IDビットをセットします。
- ④ PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図21-11 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

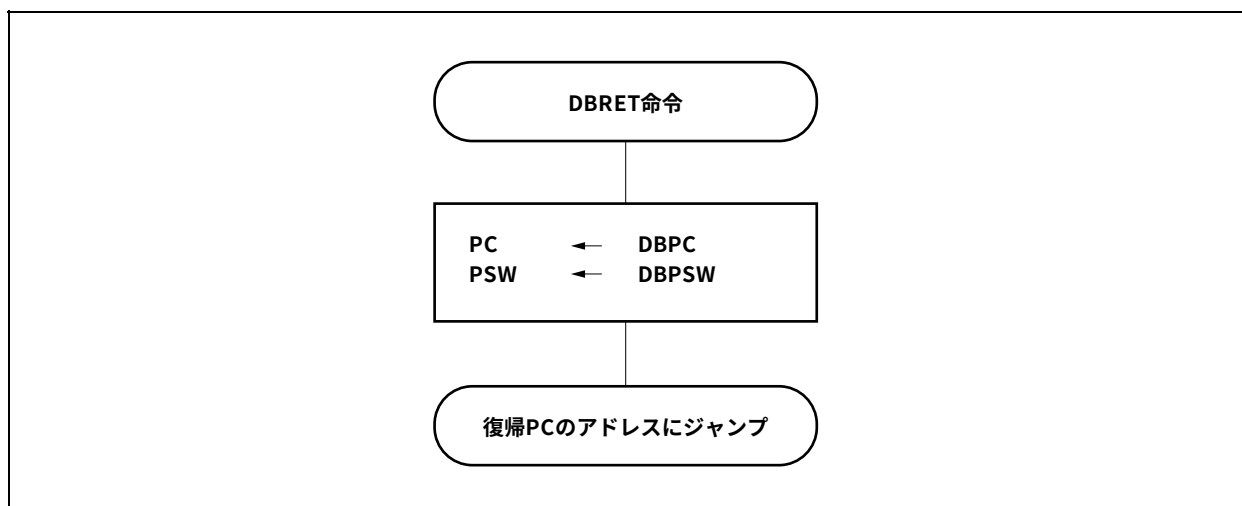
- ① DBPC, DBPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意1. DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

2. 不正命令コードを実行した場合、初期設定を実行するか、それ以降の処理を中断してください。

例外トラップからの復帰の処理形態を次に示します。

図21-12 例外トラップからの復帰の処理形態



21. 6. 2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

デバッグ・トラップが発生した場合、CPUは次の処理を行います。

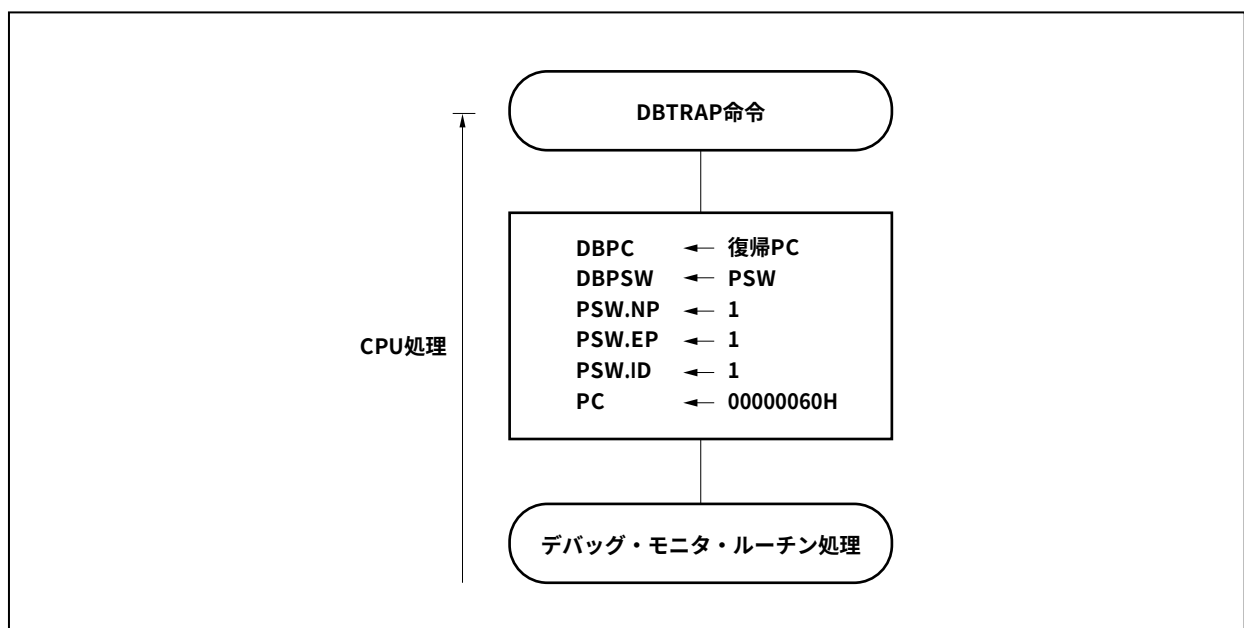
(1) 動作

- ① 復帰PCをDBPCに退避します。
- ② 現在のPSWをDBPSWに退避します。
- ③ PSW.NP, EP, IDビットをセットします。
- ④ PCにデバッグ・トラップに対するハンドラ・アドレス (00000060H) をセットし、制御を移します。

注意 DBTRAP命令はデバッグを目的とした命令のため、基本的にデバッグ・ツールが使用しています。このためデバッグ・ツールが使用しているときに、アプリケーションが使用すると誤動作する場合があります。

デバッグ・トラップの処理形態を次に示します。

図21-13 デバッグ・トラップの処理形態



(2) 復 帰

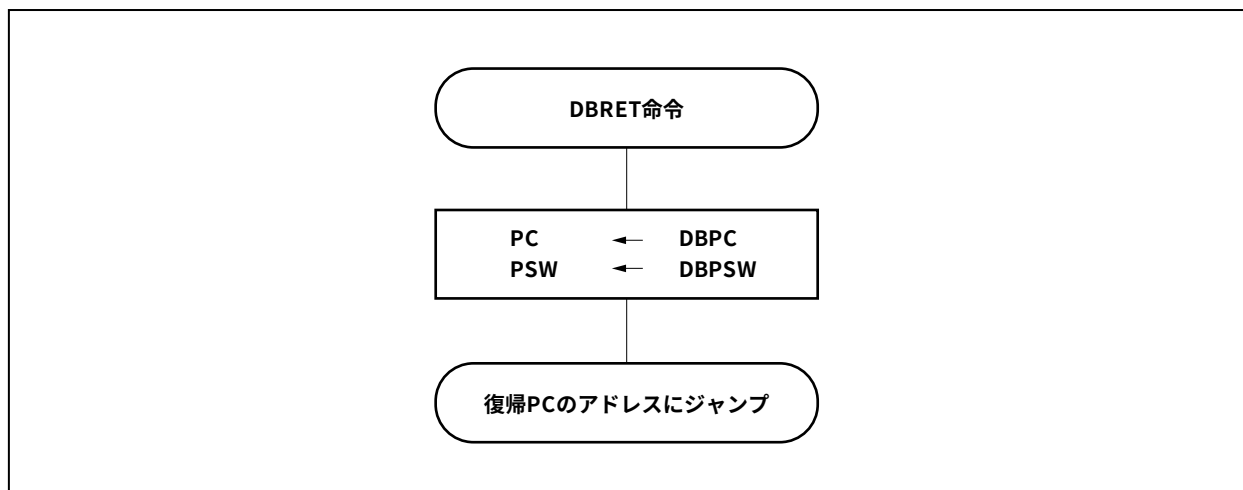
デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

- ① DBPC, DBPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を次に示します。

図21-14 デバッグ・トラップからの復帰の処理形態



21.7 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号の受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスカブル割り込みの多重割り込み処理制御は、割り込み許可状態 (PSW.IDビット = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (IDビット = 0) にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求信号を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
• EIPCをメモリまたはレジスタへ退避
• EIPSWをメモリまたはレジスタへ退避
• EI命令 (割り込み受け付け許可)
...
...
...
...
• DI命令 (割り込み受け付け禁止)
• 退避していた値をEIPSWに復帰
• 退避していた値をEIPCに復帰
• RETI命令

```

←マスカブル割り込み受け付け

(2) サービス・プログラム中に例外を発生させる場合

マスカブル割り込みまたは例外のサービス・プログラム

```

...
...
• EIPCをメモリまたはレジスタへ退避
• EIPSWをメモリまたはレジスタへ退避
...
• TRAP命令
...
• 退避していた値をEIPSWに復帰
• 退避していた値をEIPCに復帰
• RETI命令

```

←TRAP命令などの例外受け付け

多重割り込み処理制御のための優先順位は、各マスカブル割り込み要求ごとに0-7までの8レベル（0が最優先）が、ソフトウェアにより任意に設定可能です。優先順位レベルの設定は、マスカブル割り込み要求ごとに用意されているxxICn.xxPRn0-xxPRn2ビットで行います。システム・リセット時には、xxICn.xxMKnビットにより割り込み要求はマスクされ、xxPRn0-xxPRn2ビットにより優先順位はレベル7に設定されます。

マスカブル割り込みの優先順位は次のようになります。

（高） レベル0>レベル1>レベル2>レベル3>レベル4>レベル5>レベル6>レベル7 （低）

多重割り込み処理制御により中断された割り込み処理は、優先順位レベルの高い割り込み処理が終了し、RETI命令が実行されたあと、再開します。

保留された割り込み要求信号は、実行中の割り込み処理が終了したあと、RETI命令の実行後に受け付けられます。

注意 ノンマスカブル割り込み処理ルーチン内（RETI命令を実行するまでの期間）では、マスカブル割り込みを受け付けず、保留します。

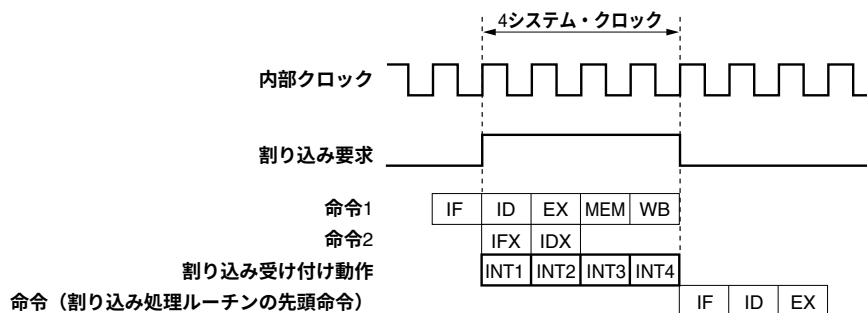
21.8 割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

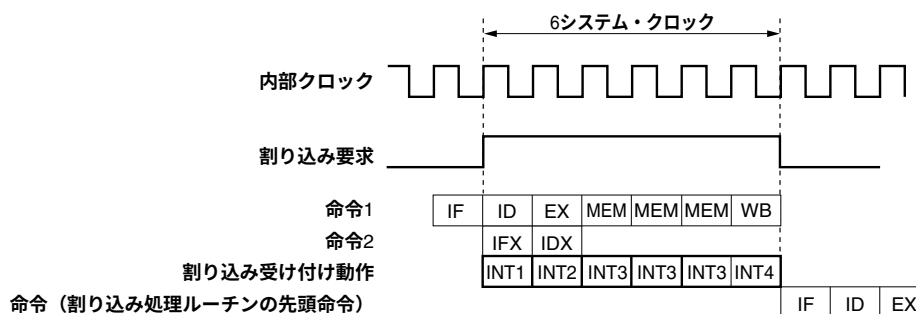
- ・IDLE/STOPモード時
- ・外部バス・アクセス時
- ・割り込み要求非サンプル命令（21.9 CPUが割り込みを受け付けられない期間参照）が連続しているとき
- ・割り込み制御レジスタへのアクセス時
- ・周辺I/Oレジスタへのアクセス時

図21-15 割り込み要求信号受け付け時のパイプライン動作（概略）

(1) 最小割り込み応答時間



(2) 最大割り込み応答時間



備考 INT1-INT4：割り込み受け付け処理

IFX：無効となる命令フェッチ

IDX：無効となる命令デコード

	割り込み応答時間（内部システム・クロック）		条 件
	内部割り込み	外部割り込み	
最小	4	4+アナログ・ディレイ	次の場合は除きます。 ・IDLE/STOPモード時 ・外部バス・アクセス時 ・割り込み要求非サンプル命令が連続しているとき ・割り込み制御レジスタへのアクセス時 ・周辺I/Oレジスタへのアクセス時
最大	6	6+アナログ・ディレイ	

21.9 CPUが割り込みを受け付けられない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR reg2, 0x5命令（対PSW）
- PRCMDレジスタに対するストア命令
- 次のレジスタに対するストア命令およびSET1, NOT1, CLR1操作命令
 - 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn），割り込みマスク・レジスタ0-3（IMR0-IMR3）
 - パワー・セーブ・コントロール・レジスタ（PSC）
 - オンチップ・デバッグ・モード・レジスタ（OCDM）

備考 具体的なパイプラインの動きは、V850ES **ユーザーズ・マニュアル アーキテクチャ編**（U15943J）を参照してください。

21.10 注意事項

21.10.1 復帰PC

割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。

- ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- 除算命令（DIV, DIVH, DIVU, DIVHU）
- PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

第22章 キー割り込み機能

22.1 機 能

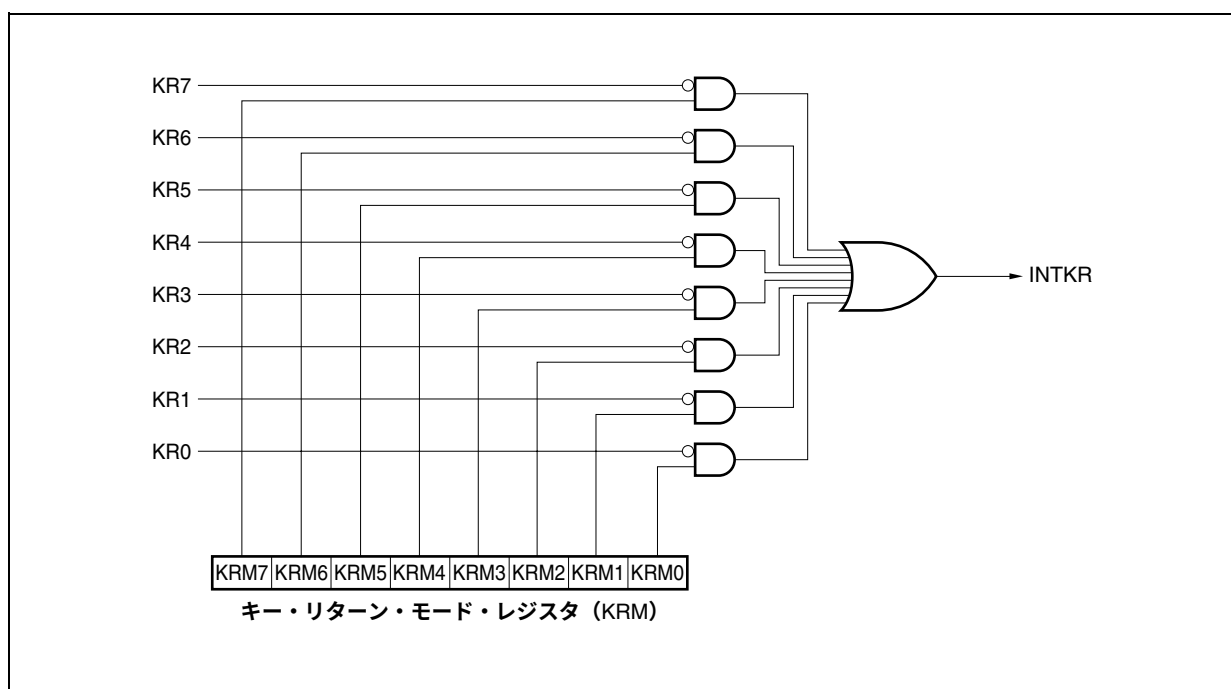
キー・リターン・モード・レジスタ（KRM）の設定により、キー入力端子（KR0-KR7）に立ち下がりエッジを入力することによって、キー割り込み要求信号（INTKR）を発生させることができます。

注意 KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子で立ち下がりエッジを入力してもINTKR信号が発生しません。

表22-1 フラグの機能

フラグ	設定される端子	兼用ポート
KRM0	KR0信号	P50
KRM1	KR1信号	P51
KRM2	KR2信号	P52
KRM3	KR3信号	P53
KRM4	KR4信号	P54
KRM5	KR5信号	P55
KRM6	KR6信号	P90
KRM7	KR7信号	P91

図22-1 キー・リターンのブロック図



★ 22.2 端子の構成

キー割り込み機能を構成するキー入力端子は、表22-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-19 端子を兼用機能として使用する場合参照）。

表22-2 端子構成

ピン番号	ポート	キー入力端子	その他の兼用機能
37	P50	KR0	TI011/RTP00
38	P51	KR1	TI50/RTP01
39	P52	KR2	TO50/RTP02/DDI ^注
40	P53	KR3	SIA0/RTP03/DDO ^注
41	P54	KR4	SOA0/RTP04/DCK ^注
42	P55	KR5	SCKA0/RTP05/DMS ^注
61	P90	KR6	A0/TXD1
62	P91	KR7	A1/RXD1

注 μ PD70F3734のみ

22.3 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットをそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを変更すると、割り込み要求信号（INTKR）が発生する場合があります。
したがって、あらかじめ割り込みを禁止（DI）してからKRMレジスタを変更し、割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから、割り込みを許可（EI）してください。

第23章 スタンバイ機能

23.1 概 要

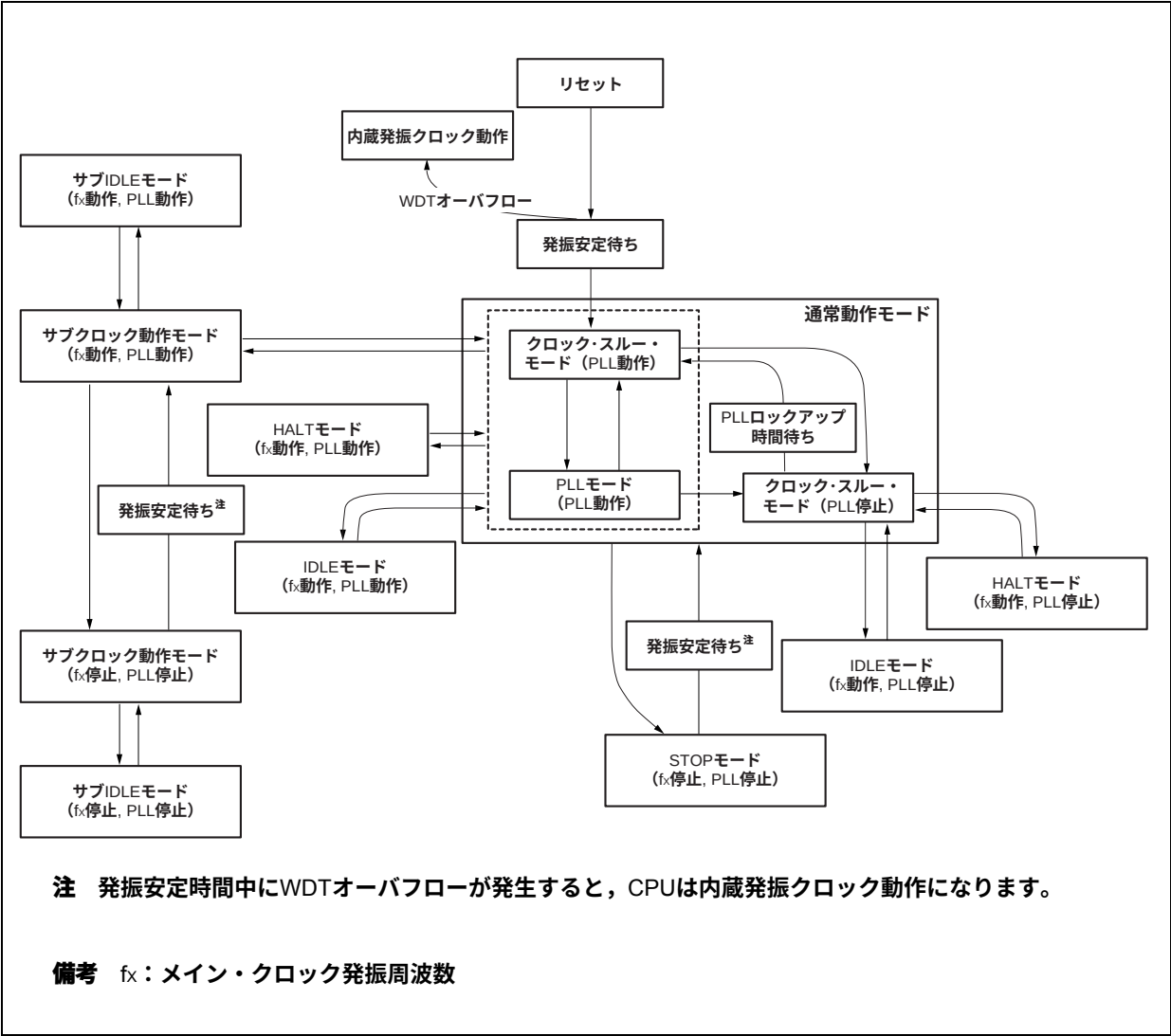
スタンバイ機能には、次に示すものがあります。各モードを組み合わせ、用途によって切り替えて使用すると、効果的な低消費電力システムを実現できます。

表23-1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
IDLEモード	発振回路の動作を継続したまま、それ以外のシステム全体が停止するモードです ^{注1} 。STOPモードに近い低消費電力と、HALTモードと同等の時間で、通常のプログラム動作に復帰できます。
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモードです。メイン・クロックが発振している場合と、していない場合があります。
サブIDLEモード	サブクロック動作モード時、発振回路以外の内部回路の動作をすべて停止させるモードです。
STOPモード	発振回路を停止させ、システム全体が停止するモードです ^{注2} 。 リーク電流だけの超低消費電力にすることができます。

- 注1. PLLは停止しません。低消費電力を実現する場合PLLを停止してからIDLEモードへ移行してください。
2. クロック・スルー・モードに変更し、次にPLLを停止させたあと、STOPモードに移行してください。詳細は第6章 クロック発生機能を参照してください。

図23-1 状態遷移図



23.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスによってだけ書き込みができます(3.4.7 特定レジスタ参照)。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	⑦	6	⑤	④	3	2	①	0
PSC	NMI2M	0	NMI0M	INTM	0	0	STP	0

NMI2M	INTWDT2信号によるスタンバイ・モード ^注 解除の制御
0	INTWDT2信号によるスタンバイ・モード ^注 解除許可
1	INTWDT2信号によるスタンバイ・モード ^注 解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード ^注 解除の制御
0	NMI端子入力によるスタンバイ・モード ^注 解除許可
1	NMI端子入力によるスタンバイ・モード ^注 解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード ^注 解除の制御
0	マスカブル割り込み要求信号によるスタンバイ・モード ^注 解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード ^注 解除禁止

STP	スタンバイ・モード ^注 の設定
0	通常動作モード
1	スタンバイ・モード ^注

注 スタンバイ・モードとは、ここではIDLE/STOP/サブIDLEモードのことです。HALTモードは含みません。

- 注意1.** NMI2M, NMI0M, INTMビットと、STPビットを同時にセット（1）した場合、NMI2M, NMI0M, INTMビットの設定は無効になります。したがって、IDLE/STOPモードに移行する際に、割り込み要求信号に対するビット（NMI2M, NMI0M, INTM）をセット（1）したあとにSTPビットをセット（1）してください。
- 2.** IDLE/STOPモードに設定するときは、PSMR.PSMビットを設定してから、STPビットをセット（1）してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

スタンバイ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	1	①
PSMR	XTSTP	0	0	0	0	0	0	PSM

XTSTP	サブクロック発振回路使用／未使用の指定
0	サブクロック発振回路使用
1	サブクロック発振回路未使用

PSM	スタンバイ・モード時の動作指定
0	IDLEモード
1	STOPモード

- 注意1.** サブクロック発振子を接続しているときは、XTSTPビットには必ず0を設定してください。
2. ビット1-6には、必ず0を設定してください。
3. PSMビットは、PSC.STPビット = 1のときのみ有効です。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間は、OSTSレジスタで制御します。

8ビット単位でリード／ライト可能です。

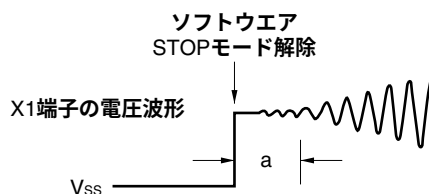
リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0		発振安定時間の選択		
				fx		
				4 MHz	5 MHz	10 MHz
0	0	0	$2^{13}/f_x$	2.048 ms	1.638 ms	0.819 ms
0	0	1	$2^{15}/f_x$	8.192 ms	6.554 ms	3.277 ms
0	1	0	$2^{16}/f_x$	16.38 ms	13.11 ms	6.554 ms
0	1	1	$2^{17}/f_x$	32.77 ms	26.21 ms	13.11 ms
1	0	0	$2^{18}/f_x$	65.54 ms	52.43 ms	26.21 ms
1	0	1	$2^{19}/f_x$	131.1 ms	104.9 ms	52.43 ms
1	1	0	$2^{20}/f_x$	262.1 ms	209.7 ms	104.9 ms
1	1	1	$2^{21}/f_x$	524.3 ms	419.4 ms	209.7 ms

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図 a）は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、 $2^{15}/f_x$ （OSTSレジスタの初期値 = 01Hのため）となります
- 外部クロック入力時においても発振安定時間は挿入されます。

備考 f_x ：メイン・クロック発振周波数

23.3 HALTモード

23.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表23-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードとの間欠動作により、システム全体の平均消費電力を低減できます。

注意1. HALT命令のあとには、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行しますが、保留されている割り込み要求信号によりHALTモードはすぐに解除されます。

23.3.2 HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT1、INTWDT2信号）、マスクされていないマスカブル割り込み要求信号、リセット信号（RESET端子入力、WDRES1、WDRES2信号）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

表23-2 HALTモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスカブル 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	HALTモードの解除とともに、割り込み要求受け付け
	許可 (EI) 状態		
マスカブル割り込み 要求信号	禁止 (DI) 状態	—	HALTモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。HALTモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の高い割り込み要求実行中	HALTモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。HALTモード前に処理中だった割り込み処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の低い割り込み要求実行中	HALTモードの解除とともに、割り込み要求受け付け

表23-3 HALTモード時の動作状態

項 目		HALTモードの設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合		サブクロックがある場合
CPU		動作停止		
メイン・クロック発振回路		発振		
サブクロック発振回路		—		発振可能
割り込みコントローラ		動作可能		
タイマP（TMP0）		動作可能		
16ビット・タイマ （TM00-TM05）		動作可能		
8ビット・タイマ （TM50, TM51）		動作可能		
タイマH（TMH0, TMH1）		動作可能		
時計用タイマ		カウント・クロックにメイン・クロックを 選択時に動作可能		動作可能
ウォッチドッグ・タイマ1		動作可能		
ウォッチドッグ・タイマ2		カウント・クロックにメイン・クロックを 選択時に動作可能		動作可能
シリアル・インタ フェース	CSI00-CSI02	動作可能		
	CSIA0, CSIA1	動作可能		
	I ² C0, I ² C1	動作可能		
	UART0-UART2	動作可能		
キー割り込み機能		動作可能		
A/Dコンバータ		動作可能		
D/Aコンバータ		リアルタイム出力モードを選択時に動作可能		
リアルタイム出力		動作可能		
DMA		動作可能		
レギュレータ		動作可能		
ポート機能		HALTモード設定前の状態を保持		
外部バス・インタフェース		2. 2 端子状態参照		
CPUレジスタ・セット		HALTモード設定前の状態を保持		
内蔵RAM				

23.4 IDLEモード

23.4.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、IDLEモードに設定されます。

IDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLEモード設定前の状態を保持します。また、CPUやその他の内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表23-5にIDLEモード時の動作状態を示します。

IDLEモードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLEモード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

- 注意1.** IDLEモードに設定するためのPSCレジスタに対するストア命令の後には、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE命令を実行した場合、IDLEモードに移行しますが、保留されている割り込み要求信号によりIDLEモードはすぐ解除されます。

23.4.2 IDLEモードの解除

IDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号（サブクロックで動作時））、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力（INTP3端子入力はアナログ・ノイズ除去、またはデジタル・ノイズ除去でサンプリング・クロックに f_{XT} を選択時））、IDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット（ $\overline{\text{RESET}}$ 端子入力、WDTRES2信号（サブクロックで動作時））により解除されます。

IDLEモードの解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でIDLEモードに設定した場合は次のようになります。

表23-4 IDLEモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスクابل 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	IDLEモードの解除とともに、割り込み要求受け付け
	許可 (EI) 状態		
マスクابل割り込み 要求信号	禁止 (DI) 状態	—	IDLEモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。IDLEモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の高い割り込み要求実行中	IDLEモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。IDLEモード前に処理中だった割り込み処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の低い割り込み要求実行中	IDLEモードの解除とともに、割り込み要求受け付け

注意 PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり、IDLEモードは解除されません。

表23-5 IDLEモード時の動作状態

項 目	IDLEモードの設定	CPUがメイン・クロックで動作中	
		サブクロックがない場合	サブクロックがある場合
CPU		動作停止	
メイン・クロック発振回路		発振	
サブクロック発振回路		—	発振可能
割り込みコントローラ		動作停止	
タイマP (TMP0)		動作停止	
16ビット・タイマ (TM00-TM05)		TM00, TM02-TM05：動作停止 TM01：カウント・クロックにINTWLTを選択し、WTのカウント・クロックにf _{BRG} を選択時に動作可能	TM00, TM02-TM05：動作停止 TM01：カウント・クロックにINTWLTを選択時に動作可能
8ビット・タイマ (TM50, TM51)		・ カウント・クロックにTl5mを選択時に動作可能 ・ カウント・クロックにINTTM010を選択し、TM01をIDLEモード時の動作可能条件に設定時に動作可能	
タイマH (TMH0)		動作停止	
タイマH (TMH1)		動作停止	カウント・クロックにf _{XT} を選択時に動作可能
時計用タイマ		カウント・クロックにメイン・クロックを選択時に動作可能	動作可能
ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		動作停止	カウント・クロックにf _{XT} を選択時に動作可能
シリアル・インタフェース	CSI00-CSI02	動作クロックにSCK0n入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I ² C0, I ² C1	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止 ^注	
D/Aコンバータ		動作可能 ただし、CPUが停止しているため、DACSnレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し、TM5mをIDLEモード時の動作可能条件に設定時に動作可能。ただし、CPUが停止しているためRTBHm, RTBLmレジスタは更新できません。	
DMA		動作停止	
レギュレータ		動作継続	
ポート機能		IDLEモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
CPUレジスタ・セット		IDLEモード設定前の状態を保持	
内蔵RAM			

注 ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考 m = 0, 1

n = 0-2

23.5 STOPモード

23.5.1 設定および動作状態

通常動作モード時、PSMR.PSMビットを“1”に設定し、PSC.STPビットを“1”に設定することにより、STOPモードに設定されます。

STOPモードに設定すると、サブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持します。また、CPUやその他の内蔵周辺機能は動作を停止します。ただし、サブクロック発振回路、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表23-7にSTOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するので、IDLEモードよりさらに低消費電力を実現できます。また、サブクロック発振回路、かつ外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます

- 注意1. STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でSTOP命令を実行した場合、STOPモードに移行しますが、保留されている割り込み要求信号によりSTOPモードはすぐに解除されます。

23.5.2 STOPモードの解除

STOPモードは、ノンマスカブル割り込み要求信号 (NMI端子入力, INTWDT2信号 (サブクロックで動作時)), マスクされていない外部割り込み要求信号 (INTP0-INTP7端子入力 (INTP3端子入力はアナログ・ノイズ除去選択時)), STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号, リセット (RESET端子入力, WDTRES2信号 (サブクロックで動作時)) により解除されます。

STOPモードの解除により, 発振安定時間を確保したあと, 通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号, マスクされていないマスカブル割り込み要求信号

ノンマスカブル割り込み要求信号, マスクされていないマスカブル割り込み要求信号により, 優先順位とは無関係に解除されます。ただし, 割り込み処理ルーチン内でSTOPモードに設定した場合は次のようになります。

表23-6 STOPモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスカブル 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	STOPモードの解除とともに, 割り込み要求受け付け
	許可 (EI) 状態		
マスカブル割り込み 要求信号	禁止 (DI) 状態	—	STOPモードの解除のみ行い, 解除ソースの割り込み要求そのものは保持。STOPモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の高い割り込み要求実行中	STOPモードの解除のみ行い, 解除ソースの割り込み要求そのものは保持。STOPモード前に処理中だった割り込み処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の低い割り込み要求実行中	STOPモードの解除とともに, 割り込み要求受け付け

注意 PSC.NMI2M, NMI0M, INTMビット = 1 (割り込み禁止) になっている割り込み要求信号は無効となり, STOPモードは解除されません。

表23-7 STOPモード時の動作状態

項 目		STOPモードの設定		CPUがメイン・クロックで動作中	
				サブクロックがない場合	サブクロックがある場合
CPU		動作停止			
メイン・クロック発振回路		発振停止			
サブクロック発振回路		—			
割り込みコントローラ		動作停止			
タイマP (TMP0)		動作停止			
16ビット・タイマ (TM00-TM05)		動作停止			
8ビット・タイマ (TM50, TM51)		動作停止			
タイマH (TMH0)		動作停止			
タイマH (TMH1)		動作停止			
時計用タイマ		動作停止			
ウォッチドッグ・タイマ1		動作停止			
ウォッチドッグ・タイマ2		動作停止			
シリアル・インタ フェース	CSI00-CSI02	動作クロックにSCK0n入力クロックを選択時に動作可能			
	CSIA0, CSIA1	動作停止			
	I ² C0, I ² C1	動作停止			
	UART0	カウント・クロックにASCK0を選択時に動作可能			
	UART1, UART2	動作停止			
キー割り込み機能		動作可能			
A/Dコンバータ		動作停止 ^注			
D/Aコンバータ		動作可能 ただし、CPUが停止しているため、DACSnレジスタを更新できません。			
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し、TM5mをSTOPモード時の動作可能条件に設定時に動作可能。ただし、CPUが停止しているためRTBHm, RTBLmレジスタを更新できません。			
DMA		動作停止			
レギュレータ		動作停止			
ポート機能		STOPモード設定前の状態を保持に動作可能			
外部バス・インタフェース		2.2 端子状態参照			
CPUレジスタ・セット		STOPモード設定前の状態を保持			
内蔵RAM					

注 ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考 m = 0, 1

n = 0-2

23.5.3 STOPモード解除時の発振安定時間の確保

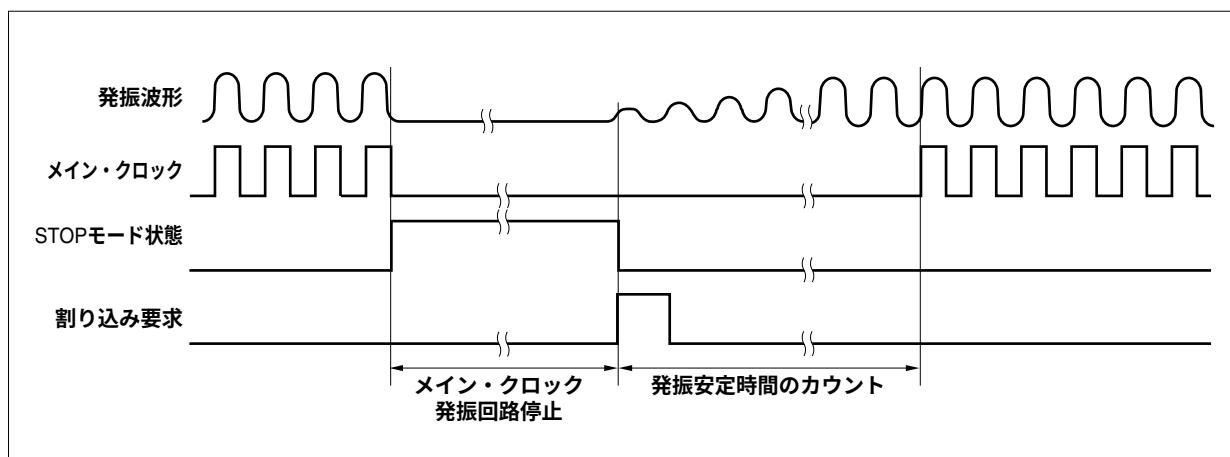
STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。

図23-2 発振安定時間



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間はOSTSレジスタの初期値： $2^{15}/f_x$ になります。

23. 6 サブクロック動作モード

23. 6. 1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック→サブクロックに切り替わります。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、システム全体がサブクロックでのみ動作します。

表23-8にサブクロック動作モード時の動作状態を示します。

サブクロック動作モードで、メイン・クロック発振回路の動作を停止させることにより、STOPモードに近い低消費電力を実現できます。

注意1. CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値は変更しないでください（ビット操作命令を推奨）。詳細は、6. 3 (1) プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック (f_{CLK}) > サブクロック (f_{XT} : 32.768 kHz) × 4

3. CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、ウェイトが発生するレジスタにアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。ウェイトが発生するレジスタについては表3-3 ウェイトが発生するレジスタを参照してください。

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

23. 6. 2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセット（RESET端子入力、WDTRES1、WDTRES2信号）により解除されます。なお、メイン・クロックを停止（MCKビット = 1）していた場合は、MCKビットを“1”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

注意 CK3ビットを操作する場合、CK2-CK0ビットの設定値は変更しないでください（ビット操作命令を推奨）。詳細は、6. 3 (1) プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

表23-8 サブクロック動作モード時の動作状態

項 目		サブクロック動作モードの設定	動作状態	
			メイン・クロック発振時	メイン・クロック停止時
CPU		動作可能		
サブクロック発振回路		発振		
割り込みコントローラ		動作可能		
タイマP（TMP0）		動作可能	動作停止	
16ビット・タイマ （TM00-TM05）		動作可能	TM00, TM02-TM05：動作停止 TM01：カウント・クロックにINTWTを選択し，WTのカウント・クロックにf _{XT} を選択時に動作可能	
8ビット・タイマ （TM50, TM51）		動作可能	・ カウント・クロックにTI5mを選択時に動作可能 ・ カウント・クロックにINTTM010を選択し，TM01をサブクロック動作モード時の動作可能条件に設定時に動作可能	
タイマH（TMH0）		動作可能	動作停止	
タイマH（TMH1）		動作可能	カウント・クロックにf _{XT} を選択時に動作可能	
時計用タイマ		動作可能	カウント・クロックにf _{XT} を選択時に動作可能	
ウォッチドッグ・タイマ1		動作停止		
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf _{XT} を選択時に動作可能	
シリアル・インタフェース	CSI00-CSI02	動作可能	動作クロックにSCK0n入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作可能	動作停止	
	I ² C0, I ² C1	動作可能	動作停止	
	UART0	動作可能	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作可能	動作停止	
キー割り込み機能		動作可能		
A/Dコンバータ		動作可能	動作停止	
D/Aコンバータ		動作可能		
リアルタイム出力		動作可能	リアルタイム出力トリガとしてINTTM5mを選択し，TM5mのカウント・クロックにTI5mを選択時に動作可能	
DMA		動作可能		
レギュレータ		動作継続		
ポート機能		設定可能		
外部バス・インタフェース		動作可能		
CPUレジスタ・セット		リード／ライト可能		
内蔵RAM				

備考 m = 0, 1

n = 0-2

23.7 サブIDLEモード

23.7.1 設定および動作状態

サブクロック動作モード時、PSMR.PSMビットを“0”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPUやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやその他の内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表23-10にサブIDLEモード時の動作状態を示します。

サブIDLEモードは、CPUやその他内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、STOPモードに近い低消費電力を実現できます。

注意 サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

23.7.2 サブIDLEモードの解除

サブIDLEモードは、ノンマスクابل割り込み要求信号（NMI端子入力、INTWDT2信号（サブクロックで動作時））、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力（INTP3端子入力はアナログ・ノイズ除去選択時））、サブIDLEモード中動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット（RESET端子入力、WDTRES2信号（サブクロックで動作時））により解除されます。

サブIDLEモードの割り込み要求信号による解除により、サブクロック動作モードに移行します。また、リセットによる解除により、通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号

ノンマスクابل割り込み要求信号、マスクされていないマスクابل割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でサブIDLEモードに設定した場合は次のようになります。

表23-9 サブIDLEモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスクابل 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	サブIDLEモードの解除とともに、割り込み要求受け付け
	許可 (EI) 状態		
マスクابل割り込み 要求信号	禁止 (DI) 状態	—	サブIDLEモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。サブIDLEモード前に処理中だった割り込み処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の高い割り込み要求実行中	サブIDLEモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。サブIDLEモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	サブIDLEモードの解除とともに、割り込み要求受け付け

注意 PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり、サブIDLEモードは解除されません。

表23-10 サブIDLEモード時の動作状態

項 目	サブIDLEモードの設定	動作状態	
		メイン・クロック発振時	メイン・クロック停止時
CPU		動作停止	
サブクロック発振回路		発振可能	
割り込みコントローラ		動作停止	
タイマP (TMP0)		動作停止	
16ビット・タイマ (TM00-TM05)		TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択時に動作可能	TM00, TM02-TM05 : 動作停止 TM01 : カウント・クロックにINTWTを選択し, WTのカウント・クロックにf _{XT} を選択時に動作可能
8ビット・タイマ (TM50, TM51)		・ カウント・クロックにTI5mを選択時に動作可能 ・ カウント・クロックにINTTM010を選択し, TM01をサブIDLEモード時の動作可能条件に設定時に動作可能	
タイマH (TMH0)		動作停止	
タイマH (TMH1)		カウント・クロックにf _{XT} を選択時に動作可能	
時計用タイマ		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ1		動作停止	
ウォッチドッグ・タイマ2		カウント・クロックにf _{XT} を選択時に動作可能	
シリアル・インタフェース	CSI00-CSI02	動作クロックにSCK0 _n 入力クロックを選択時に動作可能	
	CSIA0, CSIA1	動作停止	
	I ² C0, I ² C1	動作停止	
	UART0	カウント・クロックにASCK0を選択時に動作可能	
	UART1, UART2	動作停止	
キー割り込み機能		動作可能	
A/Dコンバータ		動作停止 ^注	
D/Aコンバータ		動作可能 ただし, CPUが停止しているため, DACSnレジスタを更新できません。	
リアルタイム出力		リアルタイム出力トリガとしてINTTM5mを選択し, TM5mをサブIDLEモード時の動作可能条件に設定時に動作可能	
DMA		動作停止	
レギュレータ		動作停止	
ポート機能		サブIDLEモード設定前の状態を保持	
外部バス・インタフェース		2.2 端子状態参照	
CPUレジスタ・セット		サブIDLEモード設定前の状態を保持	
内蔵RAM			

注 ADM.ADCS, ADCS2ビット = 00Bに設定してください。

備考 m = 0, 1

n = 0-2

第24章 リセット機能

24.1 概 要

リセット機能は、V850ES/KJ2の機能を初期状態にします。電源投入時には電源電圧が動作電圧になるまで動作を停止しておくために利用したり、任意のタイミングでV850ES/KJ2の機能を初期状態にするために利用します。また、ウォッチドッグ・タイマのオーバーフローでも発生します。

リセットが解除されると、V850ES/KJ2は00000000H番地から実行を開始します。

リセットの発生要因を次に示します。

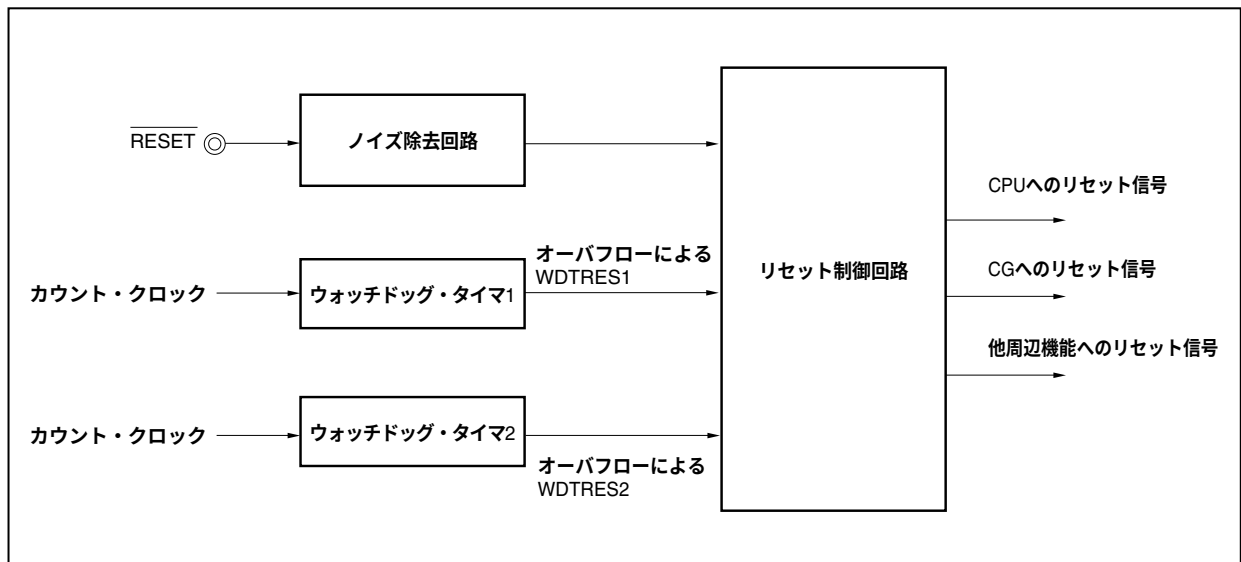
- $\overline{\text{RESET}}$ 端子入力によるリセット
- ウォッチドッグ・タイマ1のオーバーフローによるリセット (WDTRES1)
- ウォッチドッグ・タイマ2のオーバーフローによるリセット (WDTRES2)

リセットが解除されると、CPUはプログラムの実行を開始します。各種レジスタの内容は、プログラムの中で必要に応じてイニシャライズしてください。

$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイ (60 ns (TYP.)) によるノイズ除去回路を内蔵しています。

24.2 構 成

図24-1 リセットのブロック図



24.3 動作

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力，またはウォッチドッグ・タイマ1のオーバフロー（WDTRES1），ウォッチドッグ・タイマ2のオーバフロー（WDTRES2）によって，システム・リセットがかかり，各ハードウェアを初期化します。

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力期間中，またはWDTRES2信号が受け付けられると，メイン・クロック発振回路は停止します。したがって， $\overline{\text{RESET}}$ 端子にロウ・レベルを入力している間は，システム全体の消費電力を低減することができます[※]。

$\overline{\text{RESET}}$ 端子入力をロウ・レベルからハイ・レベルに変化，またはWDTRES1，WDTRES2信号が受け付けられると，リセット状態を解除します。

$\overline{\text{RESET}}$ 端子入力，またはWDTRES2信号によるリセット解除の場合，発振安定時間（OSTSレジスタで選択される初期値： $2^{15}/f_{\text{xx}}$ ）を確保したあと，CPUは00000000H番地からプログラムの実行を開始します。

WDTRES1信号によるリセット解除の場合，メイン・クロック発振回路は停止しないため，発振安定時間は挿入されません。

注 端子機能が入力ポートに初期化されるので，端子がハイ・インピーダンス状態になります。端子がオープンの場合に貫通電流が流れたり，外部回路でハイ・インピーダンス状態が問題となる場合があるので，注意してください。

表24-1 RESET端子入力、またはWDTRES2信号発生時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f _x)	発振停止	発振開始
サブクロック発振回路 (f _{XT})	発振継続	
周辺クロック (f _{XX} -f _{XX} /1024)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f _{CLK})	動作停止	発振安定時間確保後、動作開始 (f _{XX} /8に初期化)
CPUクロック (f _{CPU})	動作停止	発振安定時間確保後、動作開始 (f _{XX} /8に初期化)
ウォッチドッグ・タイマ1クロック (f _{XW})	動作停止	発振安定時間確保後、動作開始
CPU	初期化	発振安定時間確保後、00000000H番地からプログラムの実行開始
内蔵RAM	パワーオン時のリセット、またはRAMへのデータ書き込み (CPUやDMAによる) とリセットが競合 (データ破壊) した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	発振安定時間確保後、動作開始
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

表24-2 WDTRES1信号発生時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f _x)	発振継続	
サブクロック発振回路 (f _{XT})	発振継続	
周辺クロック (f _{XX} -f _{XX} /1024)	動作停止	動作開始
内部システム・クロック (f _{CLK})	発振継続 (f _{XX} /8に初期化)	
CPUクロック (f _{CPU})	発振継続 (f _{XX} /8に初期化)	
ウォッチドッグ・タイマ1クロック (f _{XW})	動作継続	
CPU	初期化	発振安定時間確保後、00000000H番地からプログラムの実行を開始
内蔵RAM	RAMへのデータ書き込み (CPUやDMAによる) とリセットが競合 (データ破壊) した場合、不定。 それ以外は、リセット直前の値を保持。	
I/Oライン	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化。	
ウォッチドッグ・タイマ2	動作停止	動作開始
上記以外の内蔵周辺機能	動作停止	動作開始可能

図24-2 RESET端子入力時の動作

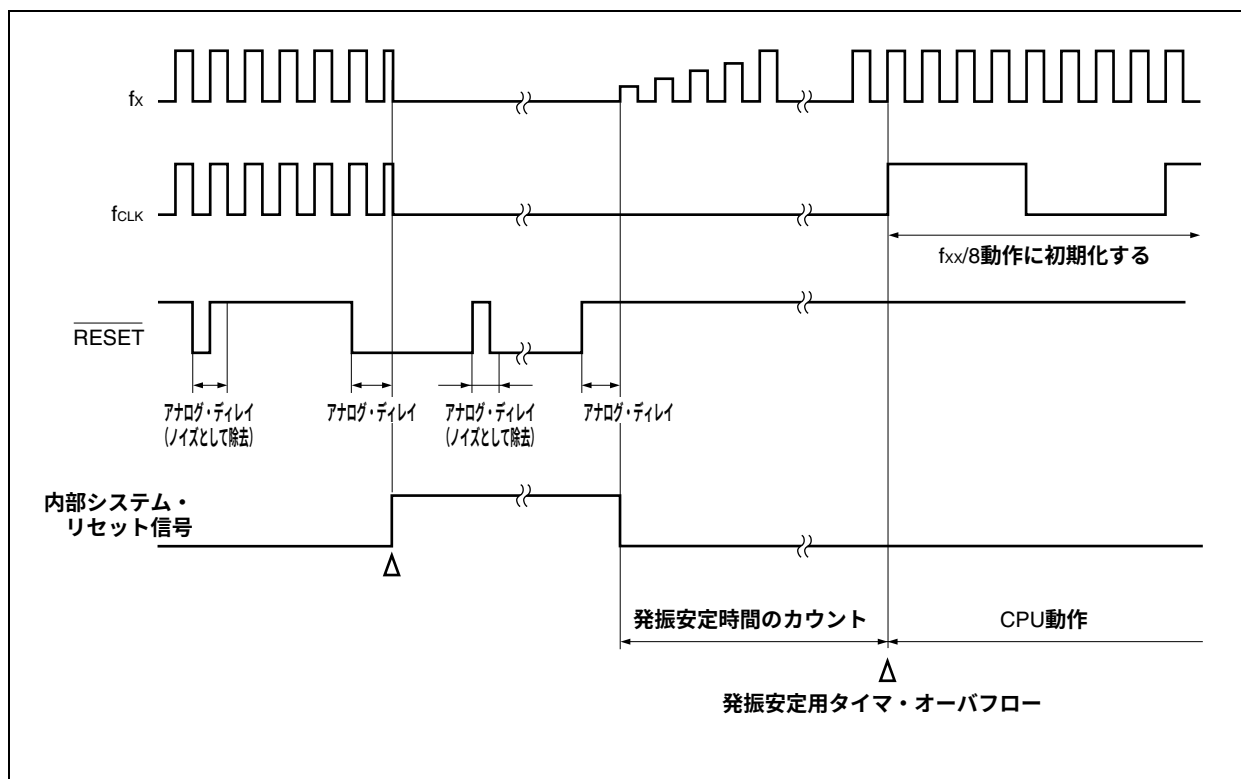


図24-3 パワーオン時の動作

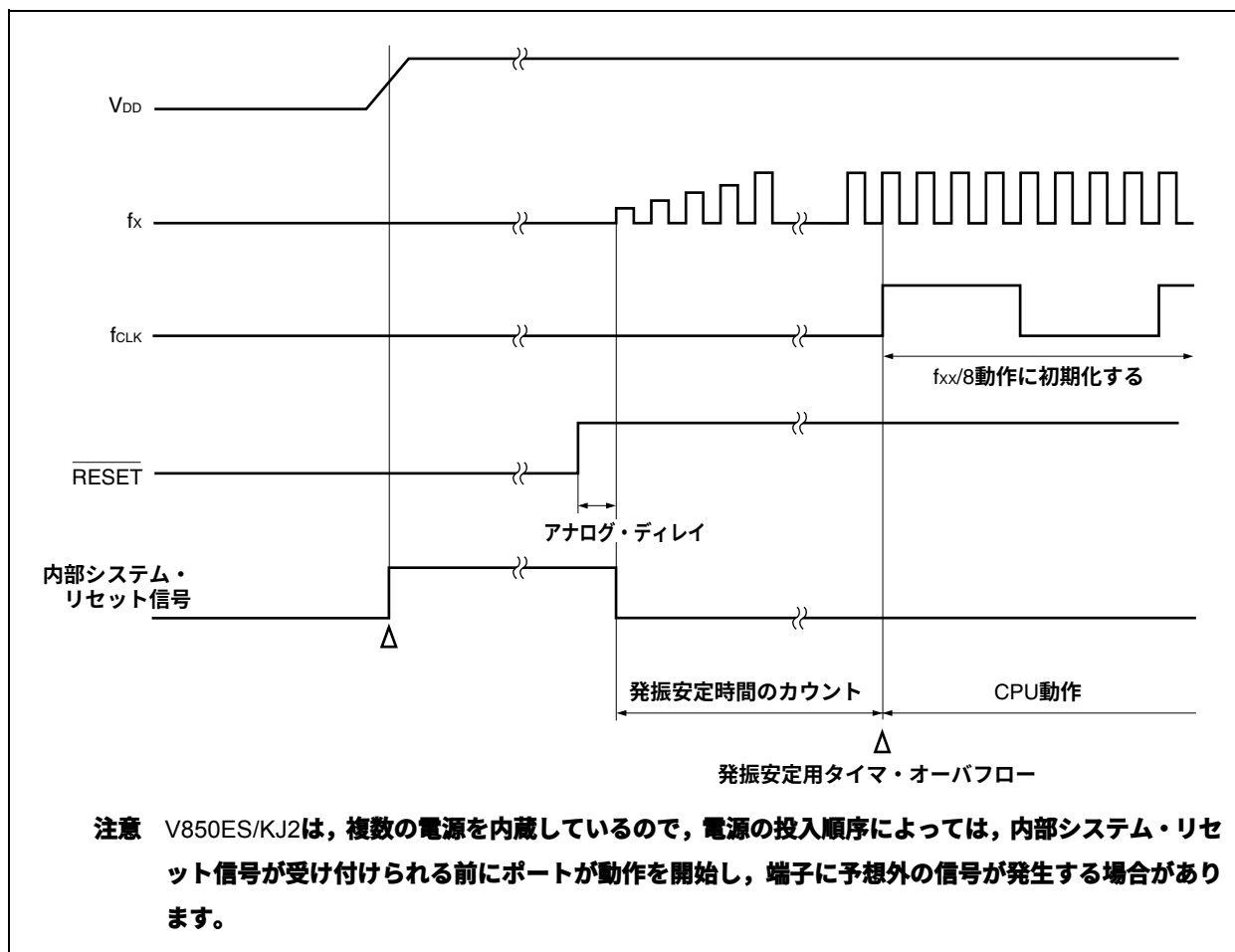


図24-4 ウォッチドッグ・タイマ1によるリセット動作のタイミング

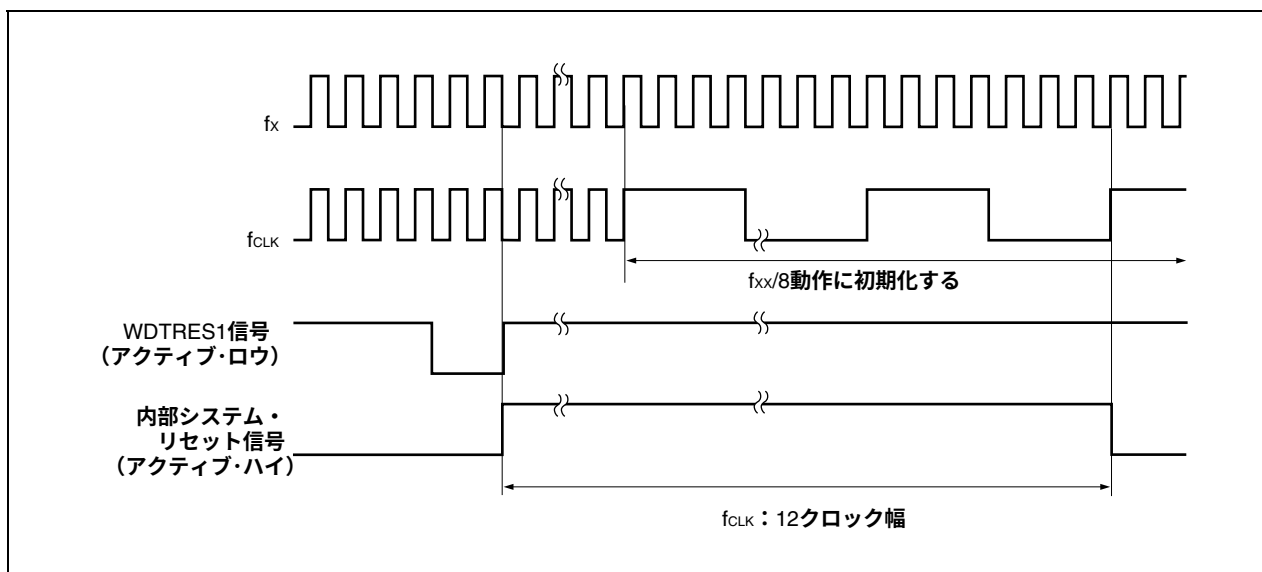
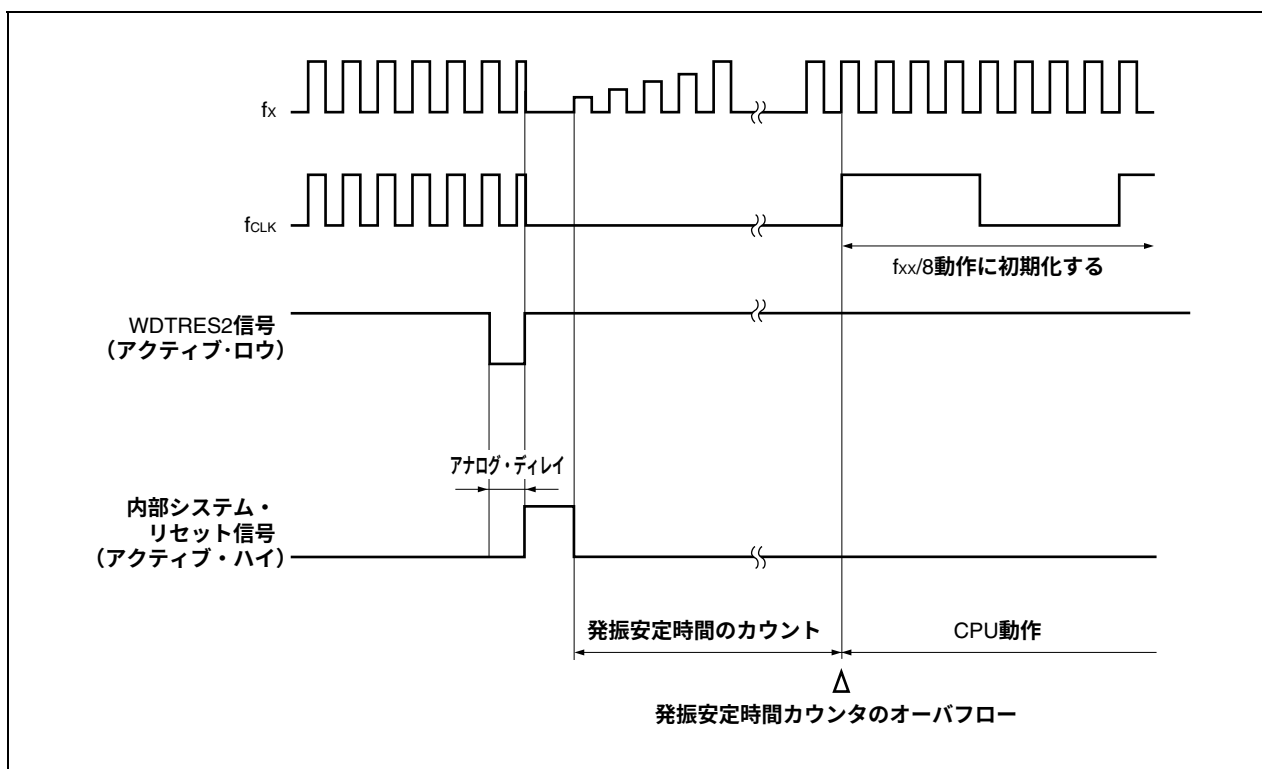


図24-5 ウォッチドッグ・タイマ2によるリセット動作のタイミング



24.4 注意事項

リセット解除後、最初に設定するレジスタについては、3.4.9 注意事項を参照してください。

第25章 レギュレータ

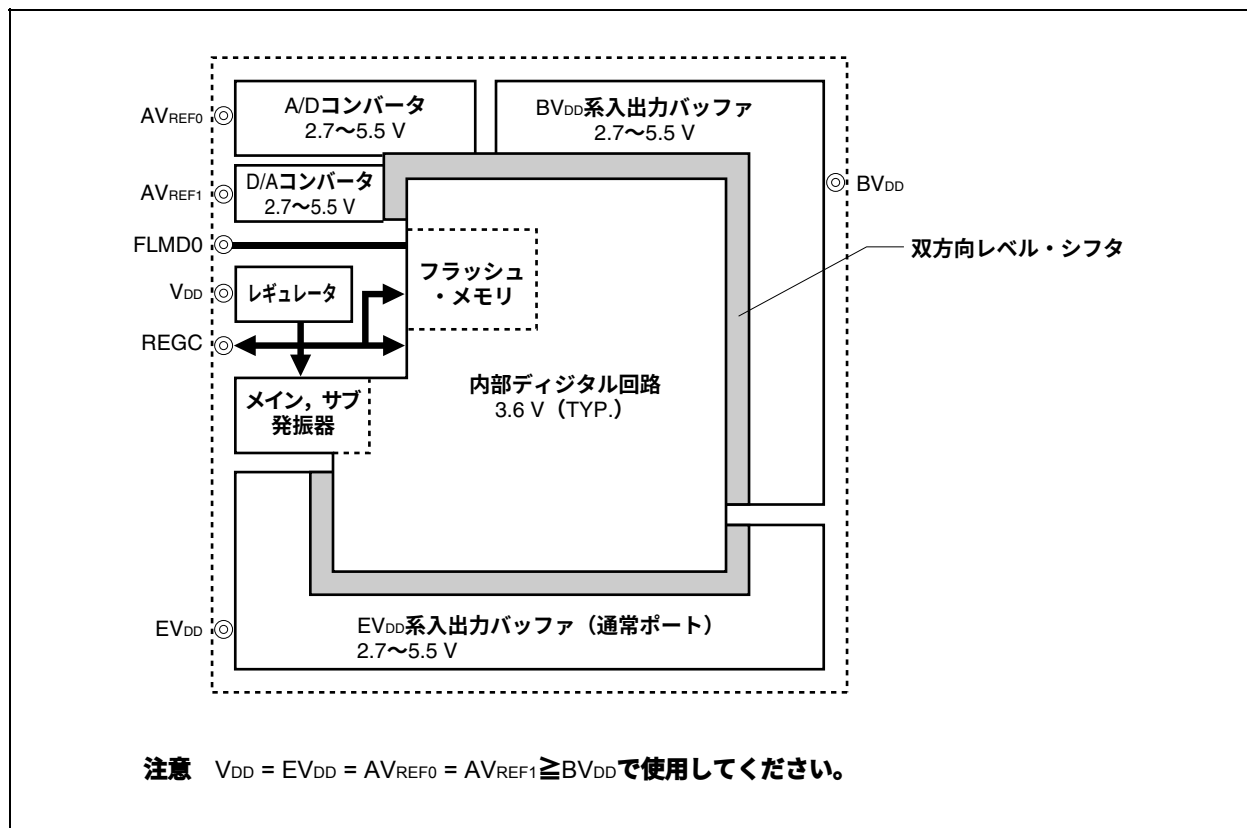
25.1 概 要

V850ES/KJ2では、低消費電力／低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に， V_{DD} 電源電圧を降圧した電圧を供給します。レギュレータ出力電圧は，3.6 V（TYP.）に設定しています。

注意 レギュレータ使用時（ $REGC = 10 \mu F$ ）は，メイン・クロック発振回路およびサブクロック発振回路に外部クロックを入力できません。

図25-1 レギュレータ



25.2 動作

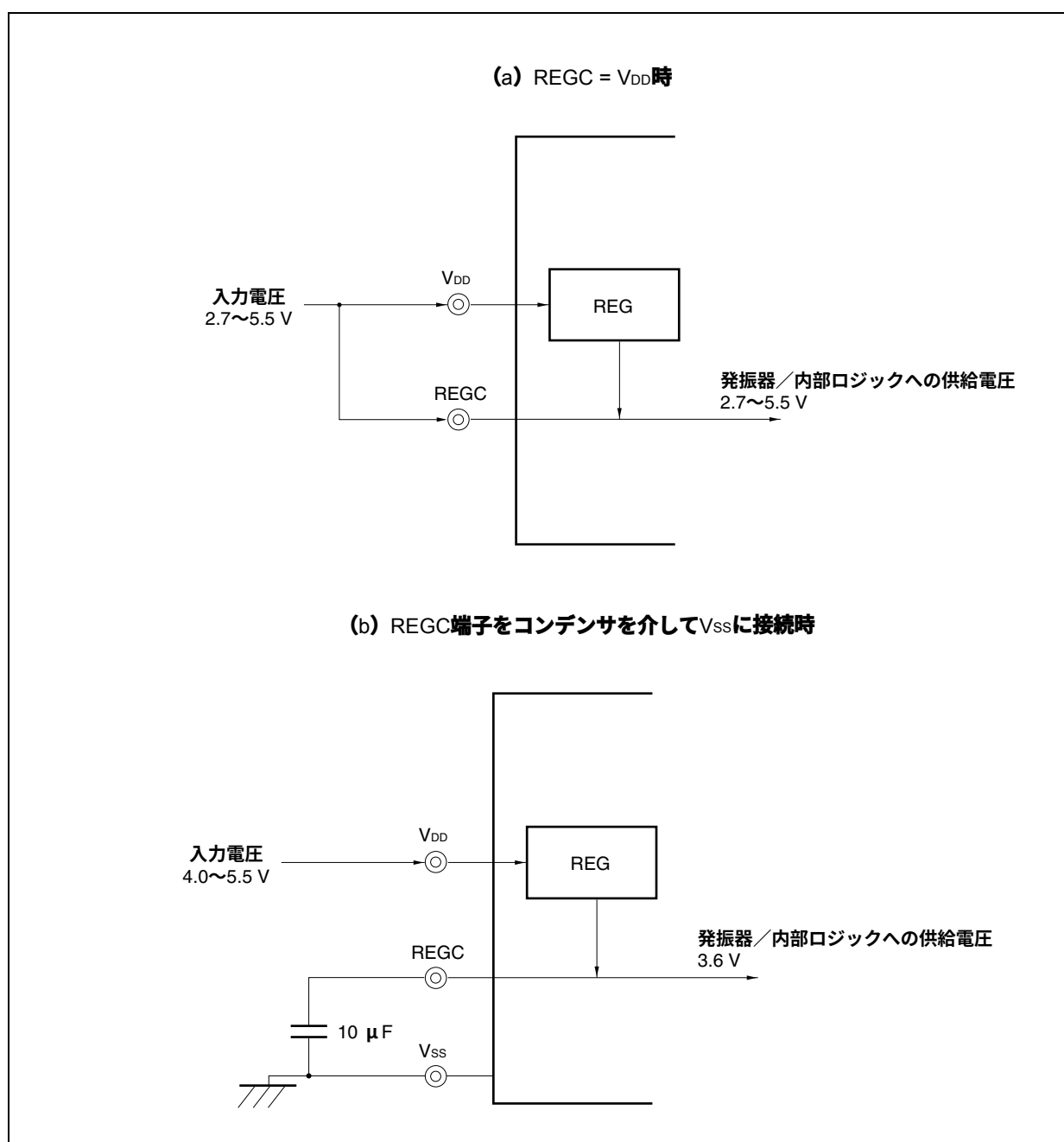
この製品のレギュレータは、次のモードのとき停止し、発振器への供給電圧は V_{DD} になります（ $REGC = 10\ \mu F$ 時のみ）。

- ・リセット中
- ・STOPモード
- ・サブIDLEモード

レギュレータを使用する場合、レギュレータの出力を安定させるために $REGC$ 端子にコンデンサ（ $10\ \mu F$ ）を接続してください。

次に端子の接続の方法を示します。

図25-2 $REGC$ 端子の接続



第26章 フラッシュ・メモリ

フラッシュ・メモリを内蔵することで開発用途および量産用途として次のようなことが考えられます。

- ターゲット・システムにV850ES/KJ2を半田実装後、ソフトウェアの変更可能
- 量産立ち上げ時のデータ調整が容易
- 規格ごとにソフトウェアを区別することで少量多品種生産が容易
- 在庫管理が容易
- 出荷後のソフトウェアのアップデートが容易

26.1 特 徴

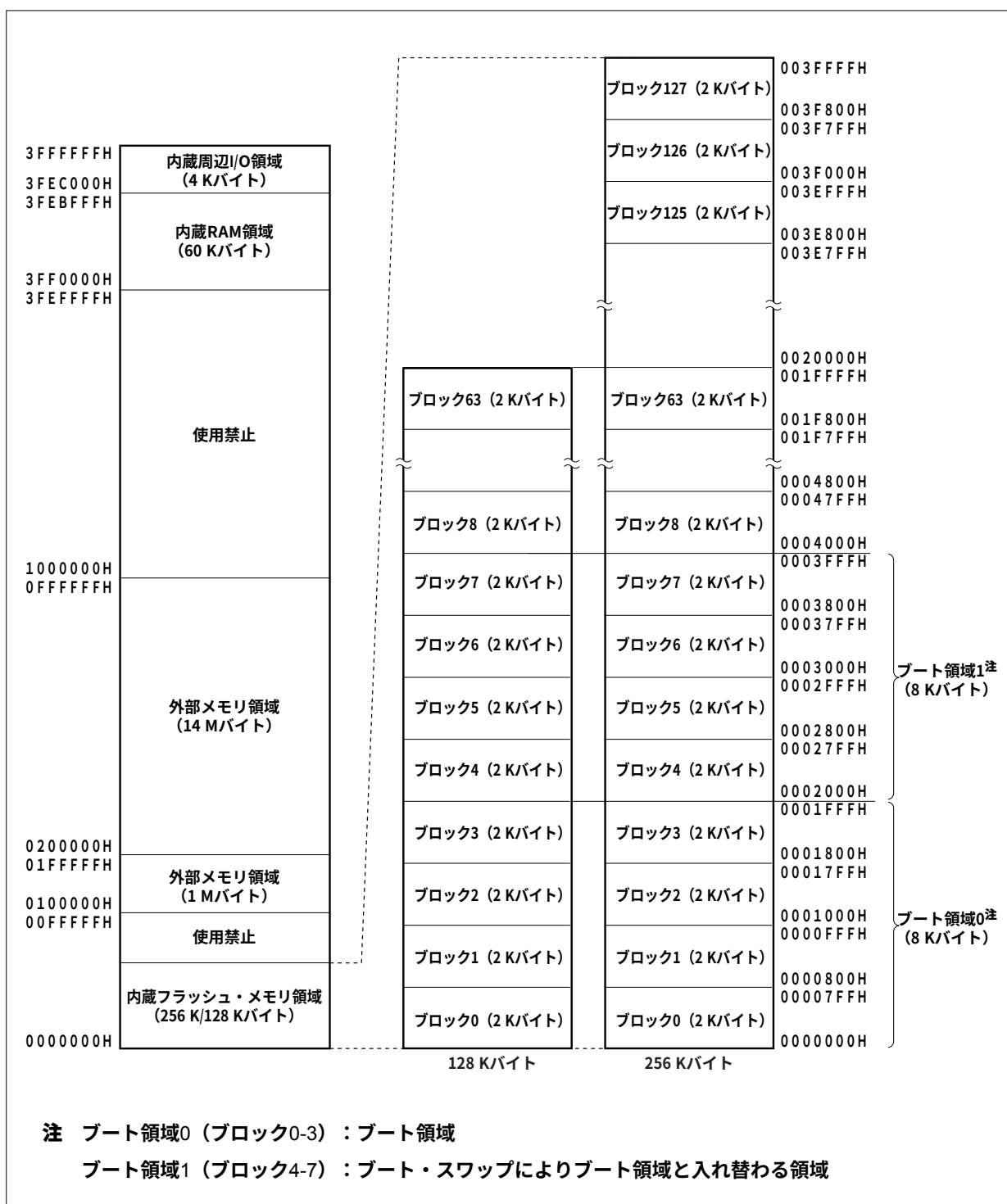
- 容量：256 Kバイト／128 Kバイト
- 書き換え方式
 - ・専用フラッシュ・プログラマとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）
 - ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
- フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）
- ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域の安全な書き換えが可能
- セルフ・プログラミング中の割り込み受け付け可能
- 4バイト/1クロック・アクセス（命令フェッチ時）

26.2 メモリ構成

256 K/128 Kバイトの内蔵フラッシュ・メモリの領域は128/64個のブロックに分割されており、各ブロック単位にて消去可能となっています。全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブート領域0のアドレスに配置された物理メモリ（ブロック0-3）と、ブート領域1のアドレスに配置された物理メモリ（ブロック4-7）が入れ替わります。ブート・スワップ機能詳細については、26.5 セルフ・プログラミングによる書き換えを参照してください。

図26-1 フラッシュ・メモリ・マッピング



26.3 機能概要

V850ES/KJ2の内蔵フラッシュ・メモリは、専用フラッシュ・プログラマによる書き換え機能により、ターゲット・システムへの実装前／実装後にかかわらず書き換えが可能です（オフボード／オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

リセット解除後にFLMD0端子がハイ・レベルのときはフラッシュ・メモリ・プログラミング・モード。ロウ・レベルのときは、通常モードになります。

表26-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・プログラマと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オンボード／オフボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。	通常動作モード

注意 セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表26-2 基本機能一覧

機 能	機能概要	サポートの有無 (○：サポート，×：未サポート)	
		オンボード／オフボード・ プログラミング	セルフ・プログラミング
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
チップ消去	全メモリの内容の一括消去を行います。	○	×
書き込み	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。	○	○
ベリファイ／チェック・サム	フラッシュ・メモリに書き込まれているデータと、フラッシュ・プログラマから転送されたデータの比較を行います。	○	×
ブランク・チェック	全メモリの消去状態の確認を行います。	○	○
セキュリティ設定	ブロック消去コマンド／チップ消去コマンド／プログラム・コマンド／リード・コマンドの使用禁止設定およびブート領域の書き換え禁止設定を行います。	○	×
			(ユーザ・プログラムにて読み出しは可能)
			(設定を許可から禁止にする場合のみ可能)

次にセキュリティ機能の一覧を示します。ブロック消去コマンド禁止／チップ消去コマンド禁止／プログラム・コマンド禁止機能は、出荷後の初期状態はすべて許可になっており、オンボード／オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表26-3 セキュリティ機能一覧

機 能	機能概要
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
チップ消去コマンド禁止	全ブロックに対してのブロック消去および、チップ消去コマンドの実行を禁止します。 注意 <u>一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。</u>
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドを禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート領域の書き換え禁止設定	ブロック0から指定した最終ブロックまで、ブート領域を保護することが可能です。ブート領域を保護すると、それ以降保護されたブート領域の書き換え（消去および書き込み）はできません。 注意 <u>チップ消去コマンドを実行しても、禁止設定の初期化はできません。</u>

表26-4 セキュリティ設定

機能	各セキュリティ設定時の消去／書き込み／読み出し動作 (○：実行可能，×：実行不可，－：未サポート)		セキュリティ設定 注意事項	
	オンボード／オフボード・ プログラミング	セルフ・プログラミング	オンボード／オフ ボード・プロ グラミング	セルフ・プログ ラミング
ブロック消去 コマンド禁止	ブロック消去コマンド：× チップ消去コマンド：○ プログラム・コマンド：○ リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマ ンドによる禁止 設定の初期化は 可能	設定を許可から 禁止にする場合 のみ可能
チップ消去 コマンド禁止	ブロック消去コマンド：× チップ消去コマンド：× プログラム・コマンド：○ リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	禁止設定の初期 化は不可能	
プログラム・ コマンド禁止	ブロック消去コマンド：× チップ消去コマンド：○ ^{注1} プログラム・コマンド：× リード・コマンド：○	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマ ンドによる禁止 設定の初期化は 可能	
リード・ コマンド禁止	ブロック消去コマンド：○ チップ消去コマンド：○ プログラム・コマンド：○ リード・コマンド：×	ブロック消去（FlashBlockErase）：○ チップ消去：－ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマ ンドによる禁止 設定の初期化は 可能	
ブート領域の書 き換え禁止	ブロック消去コマンド：○ ^{注2} チップ消去コマンド：× プログラム・コマンド：○ ^{注2} リード・コマンド：○	ブロック消去（FlashBlockErase）：○ ^{注2} チップ消去：－ 書き込み（FlashWordWrite）：○ ^{注2} 読み出し（FlashWordRead）：○	禁止設定の初期 化は不可能	

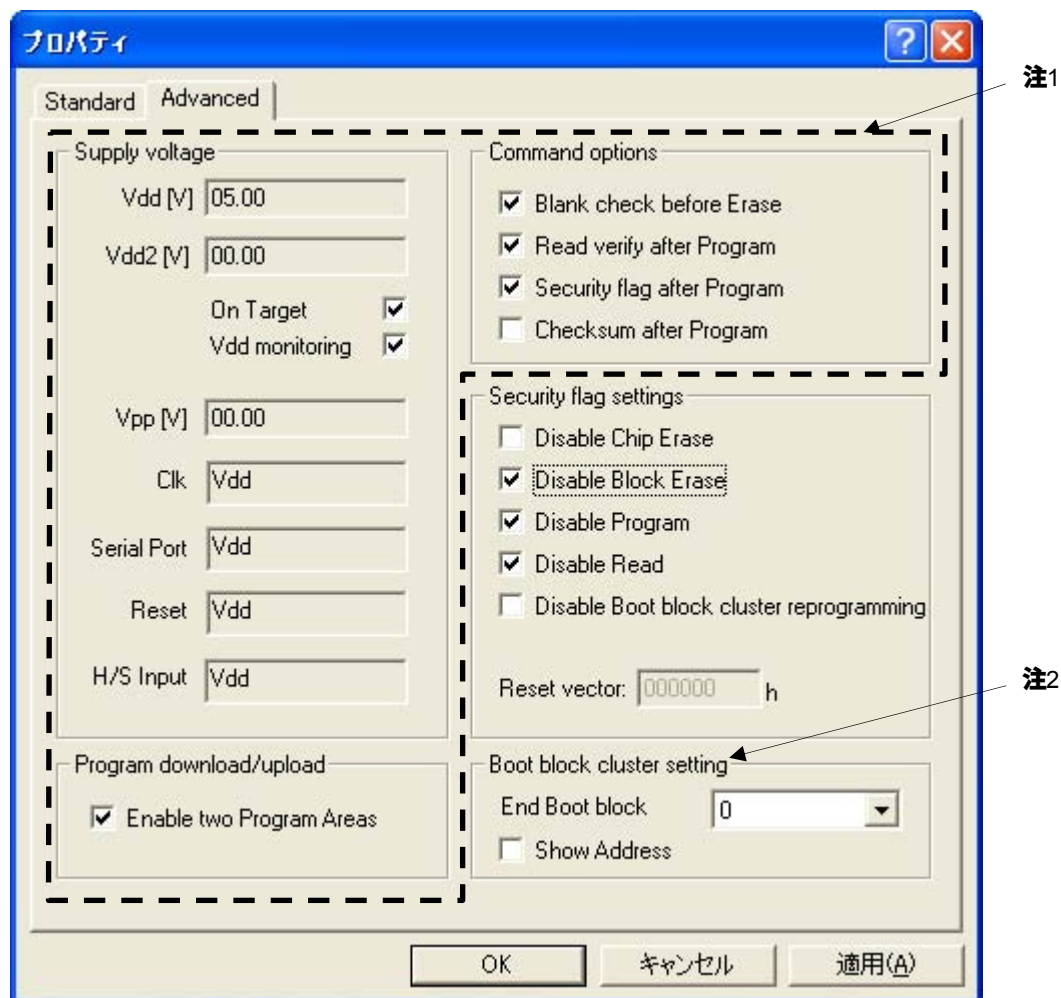
注1. 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. 書き換えが禁止されたブート領域は無効です。

(1) PG-FP4でのセキュリティ設定 (Security flag settings)

リード・コマンド禁止 (Disable Read) に設定する場合、セキュリティを高めるために、ブロック消去コマンド禁止 (Disable Block Erase) とプログラム・コマンド禁止 (Disable Program) にすることを推奨します。

さらに、マスクROM製品と同様にプログラムを書き換える必要がない場合は、チップ消去コマンド禁止 (Disable Chip Erase) を追加してください。



注1. 破線内のSupply voltage, Program download/upload, Command optionsに関しては使用条件に応じて設定してください。

- ブート領域 (Boot block cluster setting) の書き換えを禁止する場合は、Security flag settingのDisable Boot block cluster reprogrammingを選択し、書き換えを禁止するブート領域の最終ブロックを選択してください。

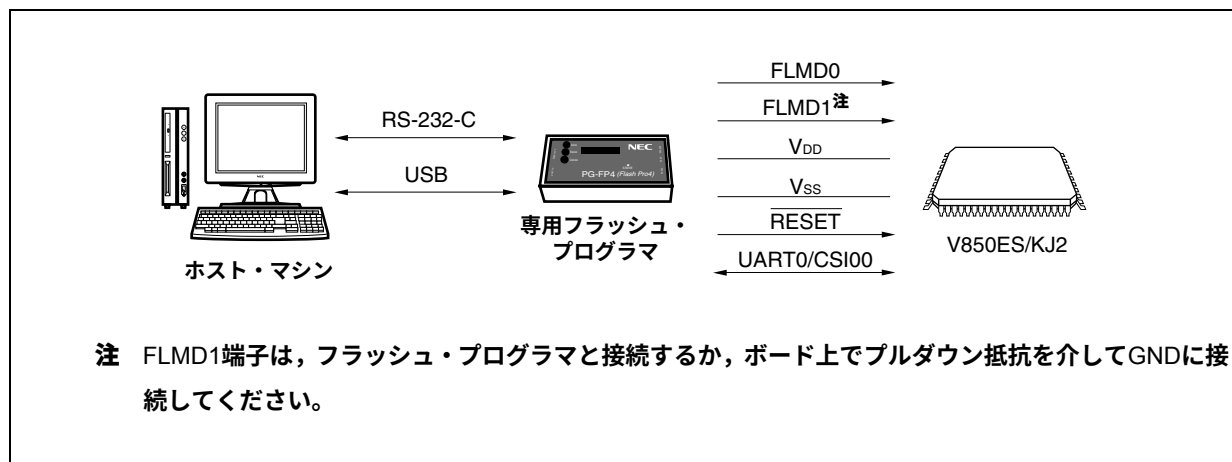
26. 4 専用フラッシュ・プログラマでの書き換え

専用フラッシュ・プログラマにて、ターゲット・システム上にV850ES/KJ2を実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）と組み合わせると、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

26. 4. 1 プログラミング環境

V850ES/KJ2のフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図26-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・プログラマには、これを制御するホスト・マシンが必要です。場合によっては、スタンド・アローンで専用フラッシュ・プログラマの使用も、可能です。詳細は専用フラッシュ・プログラマのユーザーズ・マニュアルを参照してください。

また、専用フラッシュ・プログラマとV850ES/KJ2とのインタフェースはUART0またはCSI00を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

次の製品を推奨します。

- FA-70F3734GJ-UEN-RX（配線済み）
- FA-144GJ-GAE-B（未配線：配線が必要です）

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

26. 4. 2 通信方式

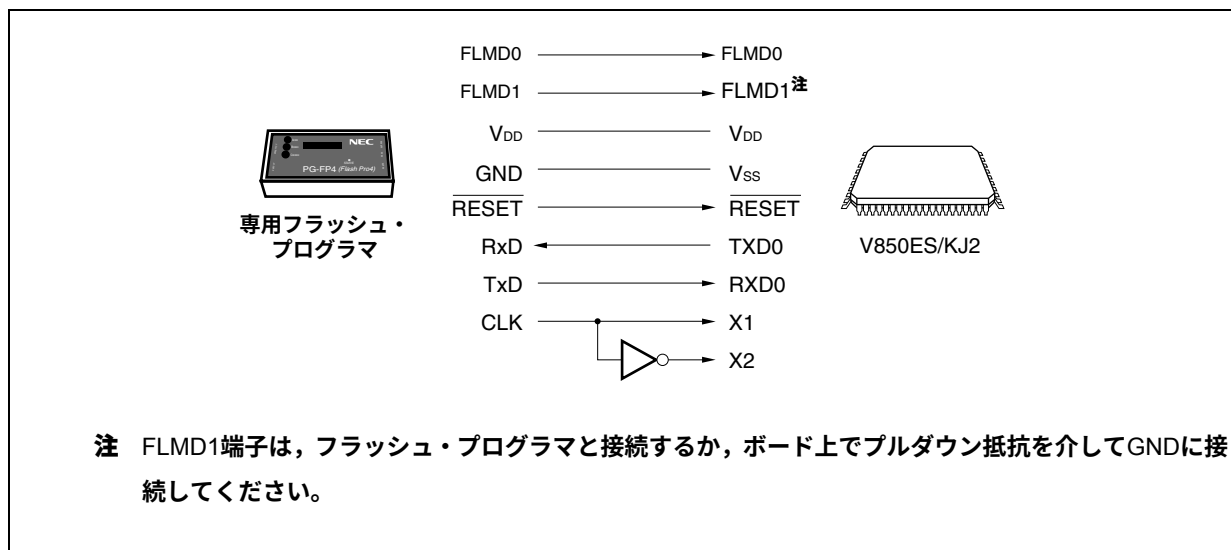
専用フラッシュ・プログラマとV850ES/KJ2との通信は、V850ES/KJ2のUART0またはCSI00によるシリアル通信で行います。

(1) UART0

転送レート：9600, 19200, 31250, 38400, 76800, 153600 bps

(57600, 115200, 128000 bpsの設定はサポートしていません)

図26-3 専用フラッシュ・プログラマとの通信 (UART0)

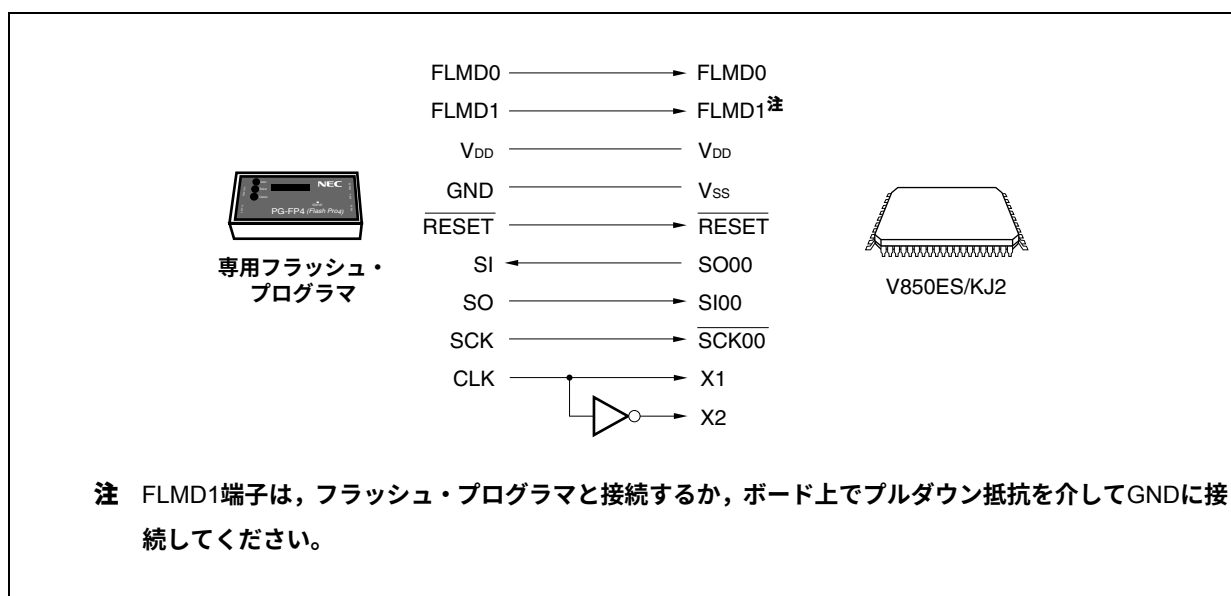


(2) CSI00

シリアル・クロック：2.4 kHz～2.5 MHz (MSBファースト)

V850ES/KJ2はスレーブとして動作します。

図26-4 専用フラッシュ・プログラマとの通信 (CSI00)

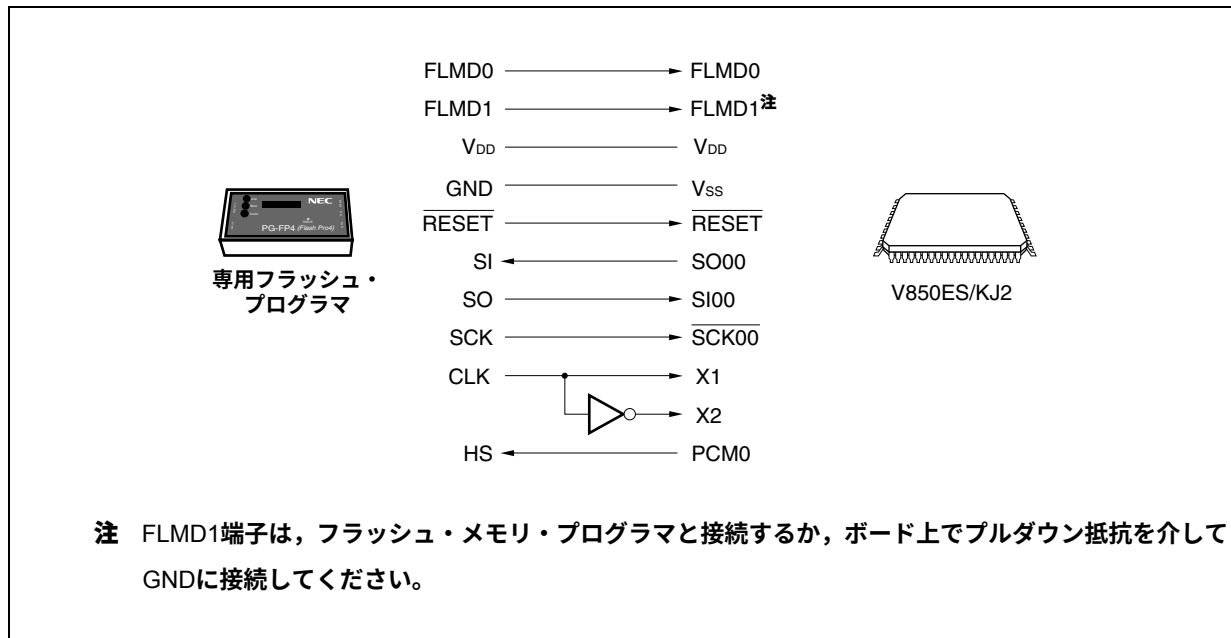


(3) CSI00+HS

シリアル・クロック：2.4 kHz～2.5 MHz（MSBファースト）

V850ES/KJ2はスレーブとして動作します。

図26-5 専用フラッシュ・メモリ・プログラマとの通信（CSI00+HS）



26. 4. 3 インタフェース

専用フラッシュ・メモリ・プログラマとしてPG-FP4を使用した場合、PG-FP4はV850ES/KJ2に対して次の信号を生成します。詳細はPG-FP4 ユーザーズ・マニュアル (U15260J) を参照してください。

表26-5 専用フラッシュ・メモリ・プログラマ (PG-FP4) の信号接続一覧

PG-FP4			V850ES/KJ2	接続時の処置		
信号名	入出力	端子機能	端子名	UARTA0	CSI00	CSI00+HS
FLMD0	出力	書き込み許可／禁止	FLMD0	◎	◎	◎
FLMD1	出力	書き込み許可／禁止	FLMD1	◎ ^{注1}	◎ ^{注1}	◎ ^{注1}
VDD	—	V _{DD} 電圧生成/電圧監視	V _{DD}	◎	◎	◎
GND	—	グランド	V _{SS}	◎	◎	◎
CLK	出力	V850ES/KJ2へのクロック出力	X1, X2	× ^{注2}	× ^{注2}	× ^{注2}
RESET	出力	リセット信号	RESET	◎	◎	◎
SI/RxD	入力	受信信号	SO00	◎	◎	◎
SO/TxD	出力	送信信号	SI00	◎	◎	◎
SCK	出力	転送クロック	SCK00	×	◎	◎
HS	入力	CSI00+HS通信のハンドシェイク信号	PCM0	×	×	◎

注1. オフ・ボードの場合、図26-6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。オン・ボードの場合、図26-11のように配線してください。

2. オフ・ボードの場合、PG-FP4からクロック供給を行う場合は接続してください（図26-6のように配線するか、ボード上に発振回路を作成してクロックを供給してください）。オン・ボードの場合、ボードから供給されるクロックを、そのまま使用してください。

備考 ◎：必ず接続してください。

×：接続の必要はありません。

表26-6 V850ES/KJ2フラッシュ書き込みアダプタ (FA-144GJ-GAE-B) の配線表

フラッシュ・メモリ・プログラマ (PG-FP4)			FAボードの 端子名	CSI00-HS使用時		CSI00使用時		UART0使用時	
信号名	入出力	端子機能		端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	受信信号	SI	P41/SO00	23	P41/SO00	23	P30/TXD0	25
SO/TxD	出力	送信信号	SO	P40/SI00	22	P40/SI00	22	P31/RXD0	26
SCK	出力	転送クロック	SCK	P42/SCK00	24	P42/SCK00	24	必要なし	必要なし
CLK	出力	V850ES/KJ2 への クロック	X1	X1	12	X1	12	X1	12
			X2	X2 ^注	13	X2 ^注	13	X2 ^注	13
/RESET	出力	リセット信号	/RESET	RESET	14	RESET	14	RESET	14
FLMD0	出力	書き込み電圧	FLMD0	FLMD0	8	FLMD0	8	FLMD0	8
FLMD1	出力	書き込み電圧	FLMD1	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110
HS	入力	CSI0 + HS 通信の ハンドシェーク信号	RESERVE /HS	PCM0/WAIT	85	必要なし	必要なし	必要なし	必要なし
VDD	—	VDD電圧生成 ／電圧監視	VDD	VDD	9	VDD	9	VDD	9
				BVDD	104	BVDD	104	BVDD	104
				EVDD	34	EVDD	34	EVDD	34
				AVREF0	1	AVREF0	1	AVREF0	1
				AVREF1	5	AVREF1	5	AVREF1	5
GND	—	グラウンド	GND	VSS	11	VSS	11	VSS	11
				AVSS	2	AVSS	2	AVSS	2
				BVSS	103	BVSS	103	BVSS	103
				EVSS	33	EVSS	33	EVSS	33

注 フラッシュ・メモリ・プログラマのクロック出力を使用する際は、フラッシュ・メモリ・プログラマのCLKとX1を接続し、X2にはその反転信号を接続してください。

注意1. REGC端子は、必ず次に示すどちらかの方法で接続してください。

- 10 μ Fのコンデンサを介してGNDに接続
- VDDに直接接続

2. REGC端子を10 μ Fのコンデンサを介してGNDに接続する場合、フラッシュ・メモリ・プログラマのCLK端子からのクロック供給はできません。
ボード上に発振回路を作成してクロックを供給してください。

図26-6 V850ES/KJ2フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (1/2)

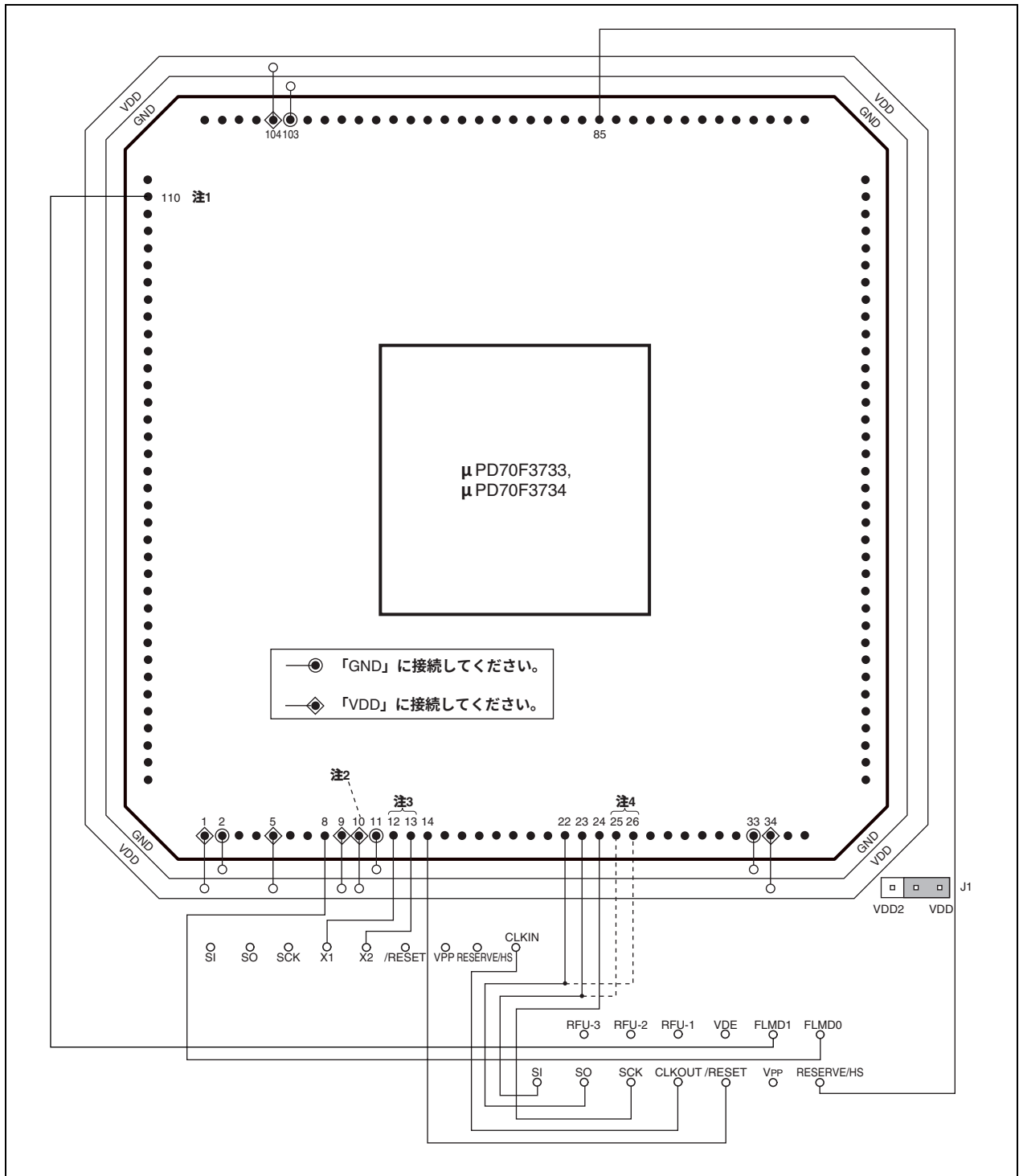


図26-6 V850ES/KJ2フラッシュ書き込み用アダプタ (FA-144GJ-GAE-B) の配線例 (2/2)

注1. FLMD1端子は図のように配線（推奨）するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。

2. REGC端子は、必ず次に示すどちらかの方法で接続してください。

- ・ $10\ \mu\text{F}$ のコンデンサを介してGNDに接続
- ・ V_{DD} に直接接続（推奨）

REGC端子を $10\ \mu\text{F}$ のコンデンサを介してGNDに接続する場合、フラッシュ・メモリ・プログラムのCLK端子からのク

ロック供給はできません。

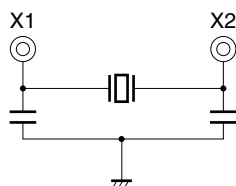
ボード上に発振回路を作成してクロックを供給してください。

3. この図はPG-FP4からクロック供給をする場合（推奨）の配線例です。

PG-FP4からクロック供給をする場合は必ず次のように設定、接続してください。

- ・ フラッシュ・アダプタ (FA) のJ1をVDD側に設定
- ・ FAのCLKOUTをFAのCLKINに接続
- ・ FAのX1をデバイスのX1に接続
- ・ FAのX2をデバイスのX2に接続

フラッシュ・アダプタ上に発振回路を作成してクロックを供給する場合は上記の設定・接続の必要はありません。次に回路例を示します。



4. UART0使用時の該当端子

備考 1. フラッシュ・プログラミングに使用しない端子はすべてリセット直後と同じ状態になります。記述していない端子は、未使用時の端子処理に従って処理してください（2.3 端子の入出力回路タイプと未使用時の処理参照）。

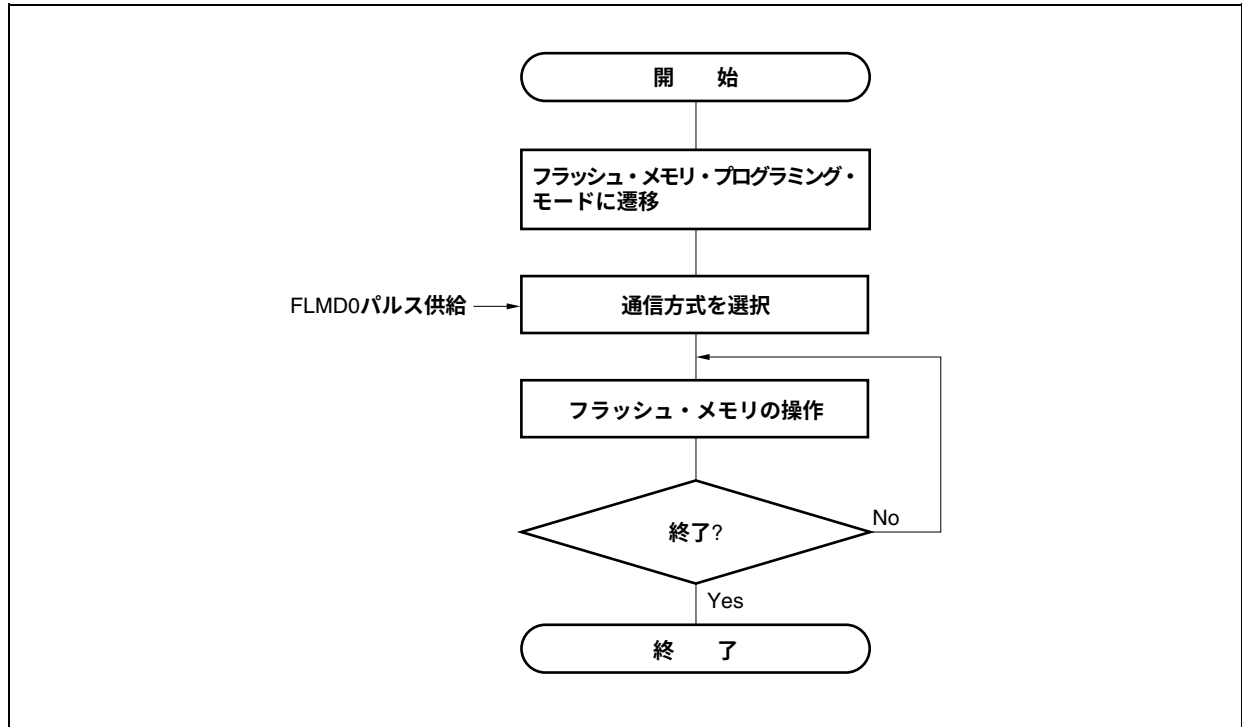
抵抗を介して V_{DD} に接続する場合、 $1\ \text{k}\Omega \sim 10\ \text{k}\Omega$ の抵抗を接続することを推奨します。

2. このアダプタは 144 ピン・プラスチック LQFP（ファインピッチ）パッケージ用です。
3. この図はハンドシェイク対応 CSI 時の結線です。

26. 4. 4 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図26-7 フラッシュ・メモリの操作手順

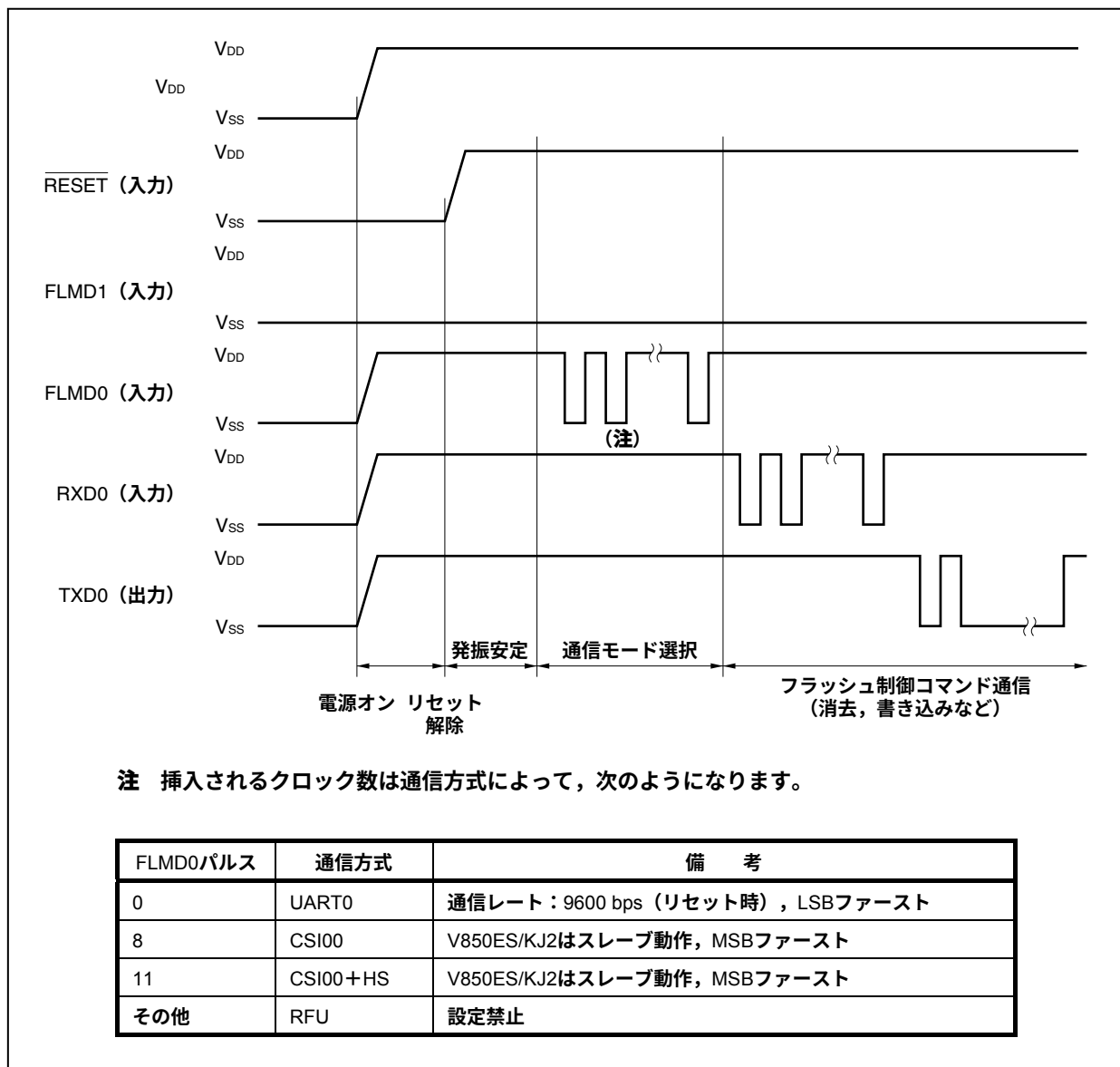


26. 4. 5 通信方式の選択

V850ES/KJ2では、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大11パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

図26-8 通信方式の選択



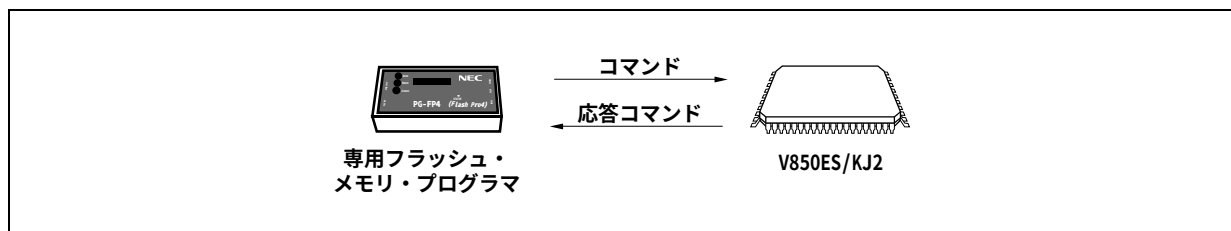
注 挿入されるクロック数は通信方式によって、次のようになります。

FLMD0パルス	通信方式	備 考
0	UART0	通信レート：9600 bps（リセット時）、LSBファースト
8	CSI00	V850ES/KJ2はスレーブ動作、MSBファースト
11	CSI00+HS	V850ES/KJ2はスレーブ動作、MSBファースト
その他	RFU	設定禁止

26. 4. 6 通信コマンド

V850ES/KJ2と専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850ES/KJ2へ送られる信号を「コマンド」と呼び、V850ES/KJ2から専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図26-9 通信コマンド



V850ES/KJ2のフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850ES/KJ2がコマンドに対応した各処理を行います。

表26-7 フラッシュ・メモリ制御用コマンド

分 類	コマンド名称	対応			機 能
		CSI00	CSI00+HS	UART0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド	○	○	○	指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド	○	○	○	全メモリの内容を消去
	ブロック消去コマンド	○	○	○	指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド	○	○	○	指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド	○	○	○	指定したアドレス範囲のメモリの内容と、フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド	○	○	○	指定したアドレス範囲のチェック・サムを読み出す。
システム設定, 制御	シリコン・シグネチャ・コマンド	○	○	○	シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド	○	○	○	チップ消去コマンド, ブロック消去コマンド, プログラム・コマンド, リード・コマンドの禁止設定, およびブート領域の書き換え禁止設定

26. 4. 7 オン・ボード・プログラミングでの端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。

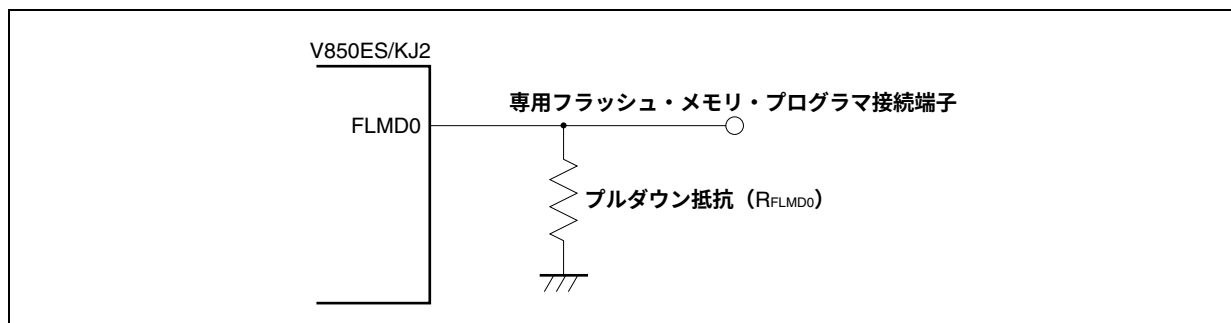
フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、26. 5. 5 (1) FLMD0端子を参照してください。

図26－10 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図26－11 FLMD1端子の接続例

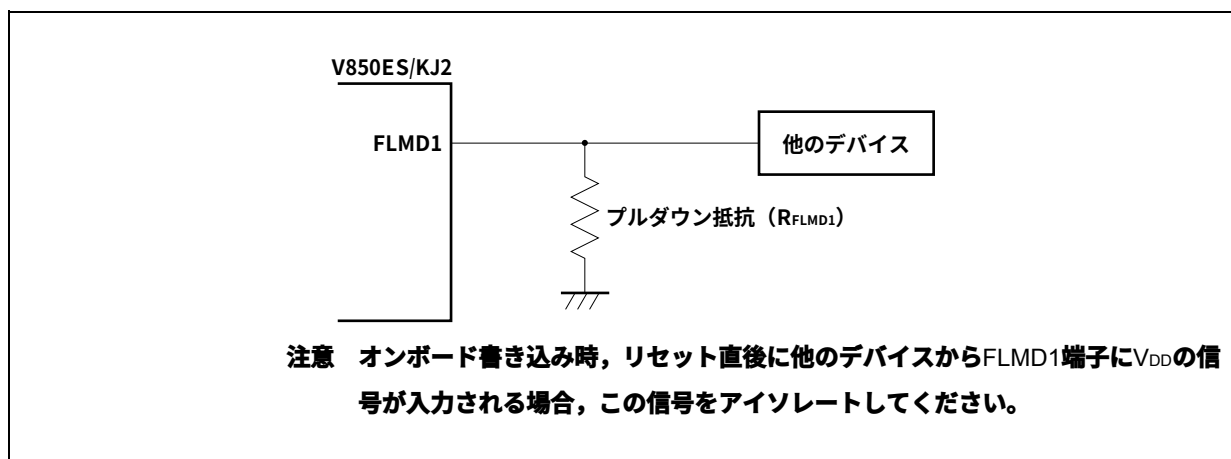


表26-8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V _{DD}	0	フラッシュ・メモリ・プログラミング・モード
V _{DD}	V _{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表26-9 各シリアル・インタフェースが使用する端子

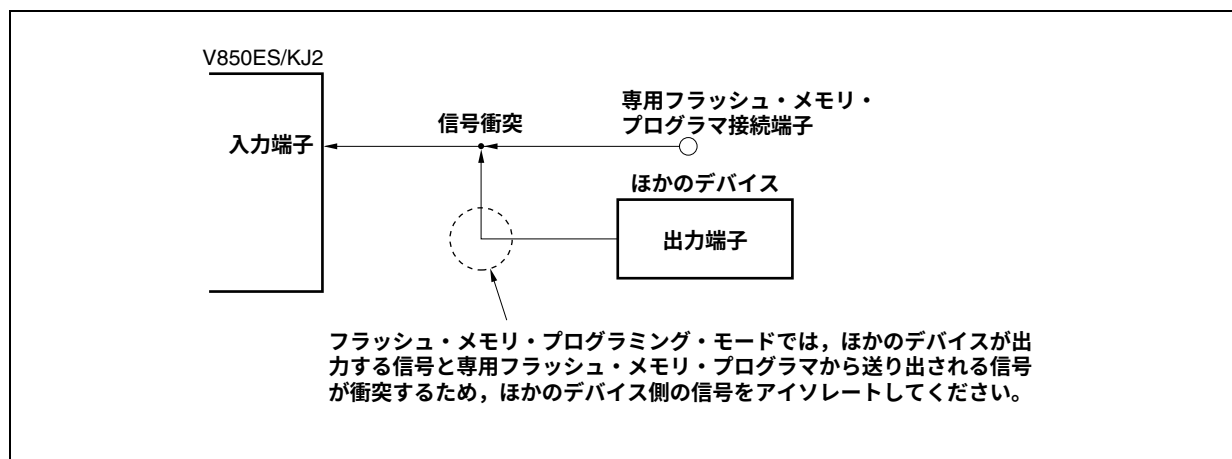
シリアル・インタフェース	使用端子
UART0	TXD0, RXD0
CSI00	SO00, SI00, SCK00
CSI00+HS	SO00, SI00, SCK00, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

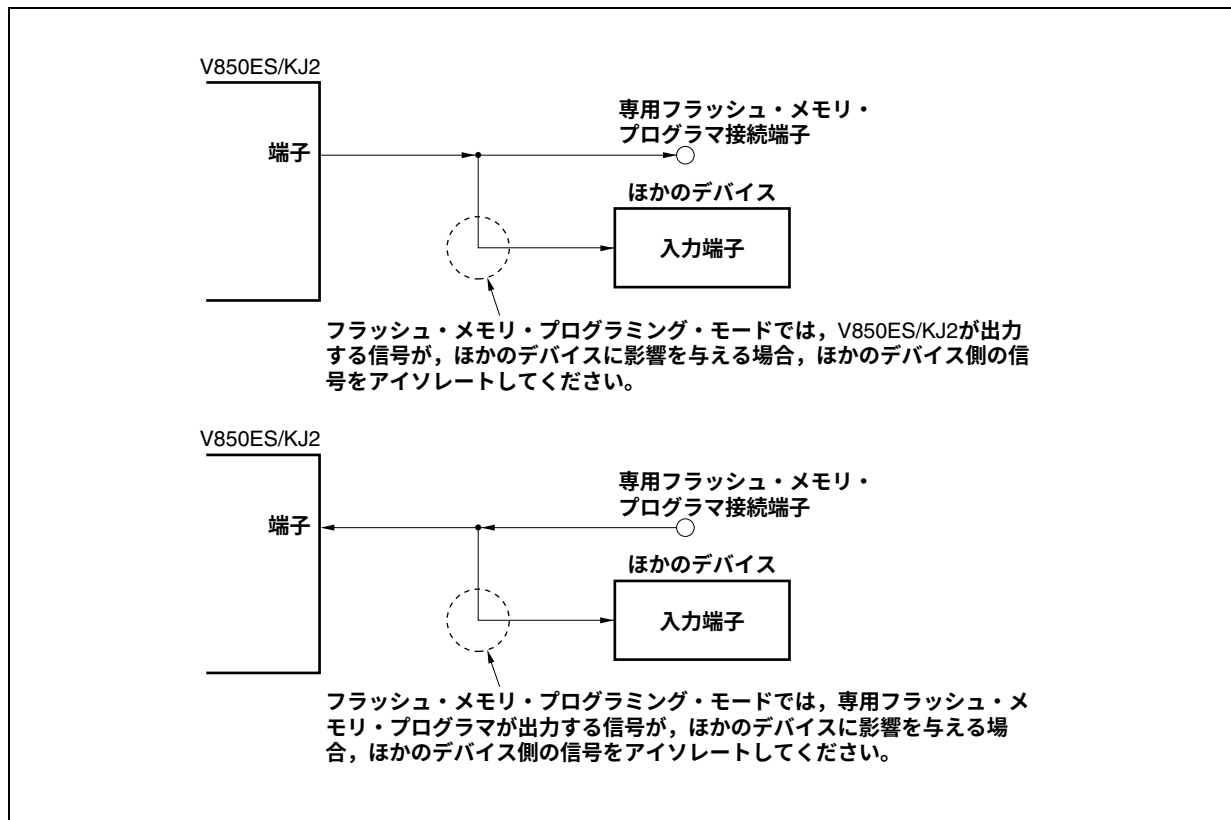
図26-12 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図26-13 ほかのデバイスの異常動作

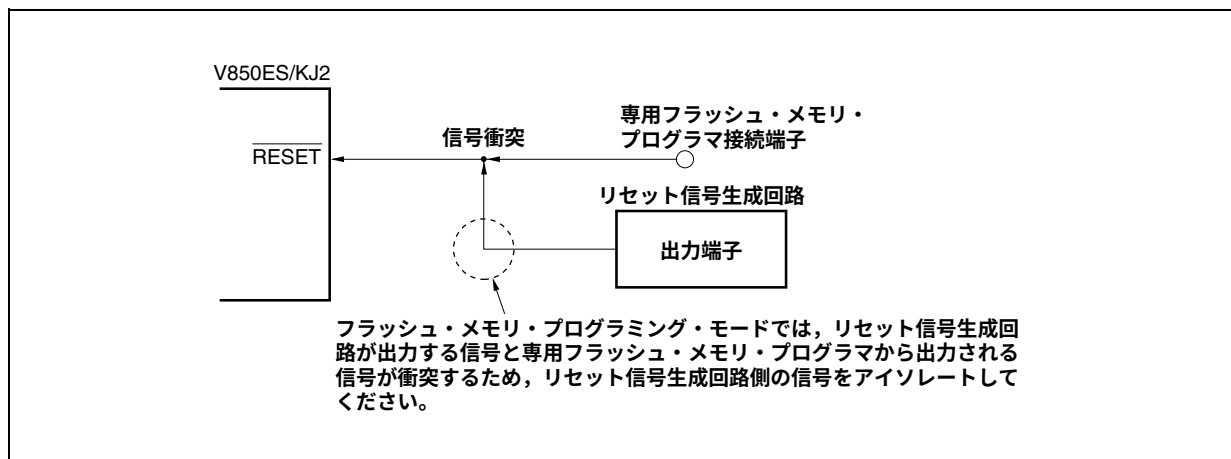


(4) RESET端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図26-14 信号の衝突 (RESET端子)



(5) ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCは、通常動作モード時と同じ状態に接続してください。

(7) 電 源

電源 (V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, AV_{SS}, BV_{DD}, BV_{SS}, AV_{REF0}, AV_{REF1}) は、通常動作モード時と同じ電源を供給してください。

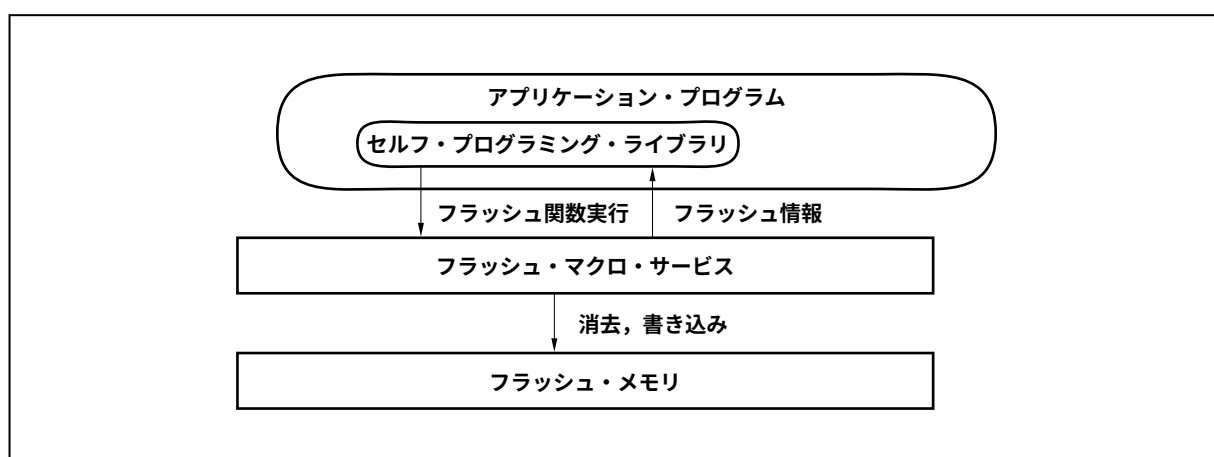
備考 端子処理の詳細についてはPG-FP4 ユーザーズ・マニュアル (U15260J) , またはPG-FP5 ユーザーズ・マニュアル (U18865J) を参照してください。

26.5 セルフ・プログラミングによる書き換え

26.5.1 概 要

V850ES/KJ2は、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMもしくは、外部メモリへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換えを行うことができます。

図26-15 セルフ・プログラミングの概念図

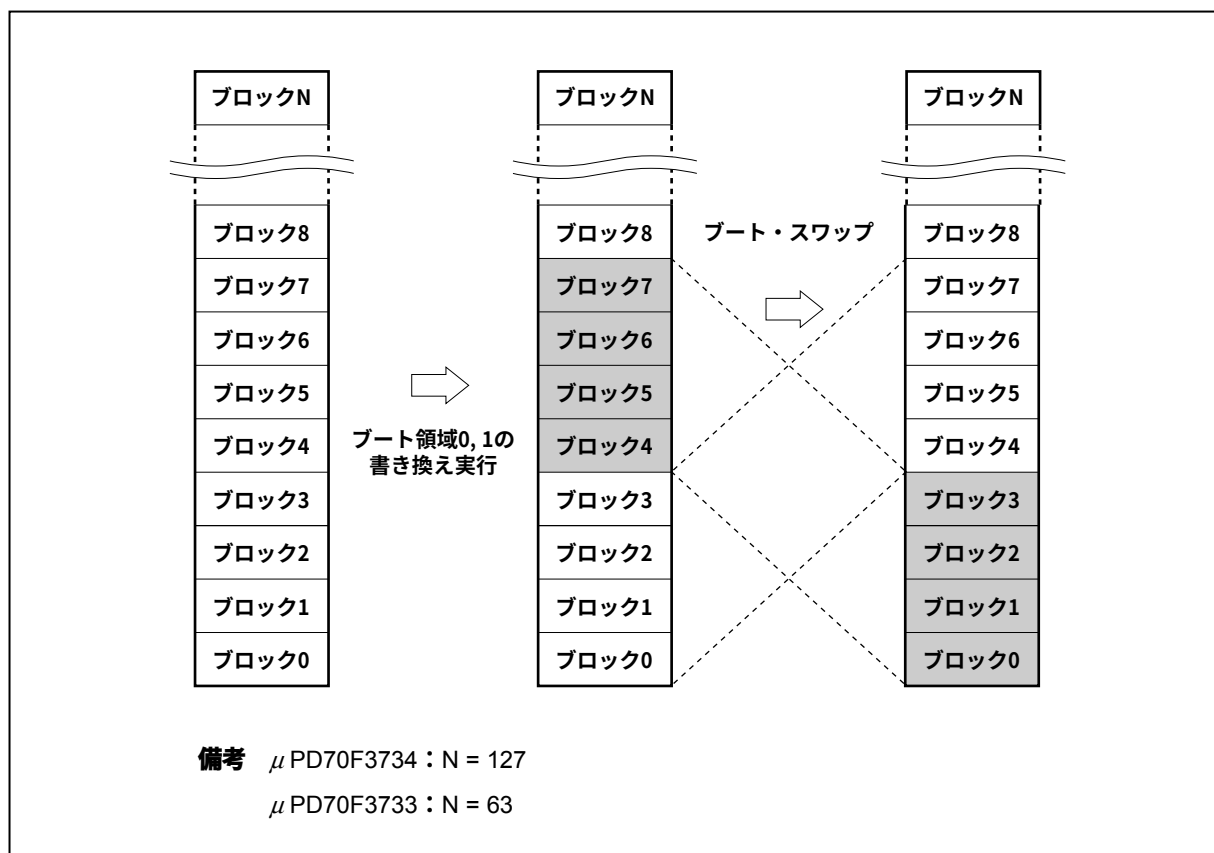


26. 5. 2 特 徴

(1) セキュア・セルフ・プログラミング（ブート・スワップ機能）

V850ES/KJ2は、ブート領域0の物理メモリ（ブロック0-3）と、ブート領域1の物理メモリ（ブロック4-7）を入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブート領域1に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブート領域0には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

図26-16 全メモリ領域の書き換え（ブート・スワップ対応）



(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、従来は割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

そのため、V850ES/KJ2では、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地^{*}に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地^{*}にユーザ割り込み処理へ遷移する分岐命令を用意してください。

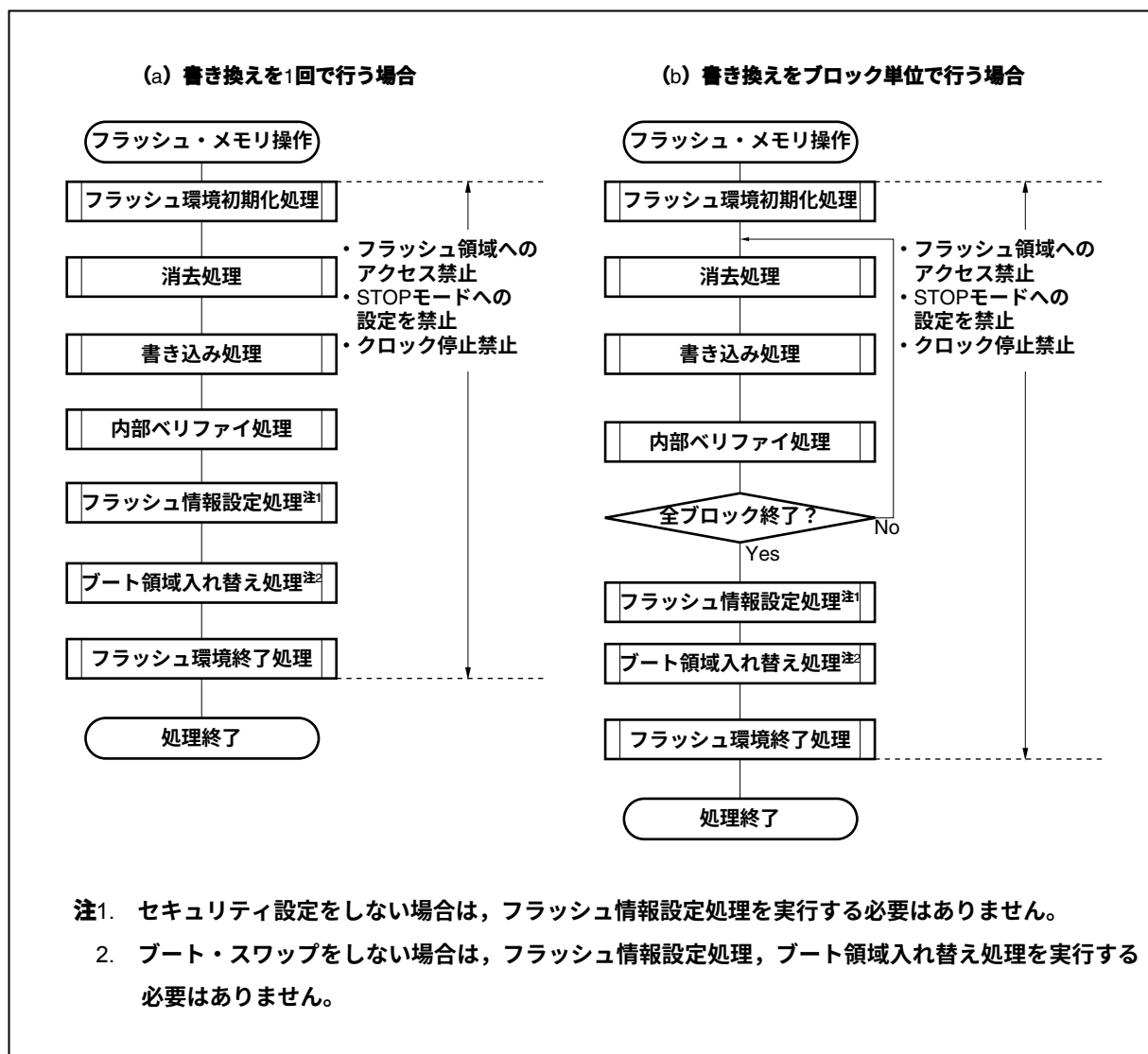
注意 例外トラップは使用できません。

注 NMI割り込み : 内蔵RAMの先頭番地
 マスカブル割り込み : 内蔵RAMの先頭+4番地

26. 5. 3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。詳細はフラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル (U18211J) を参照してください。

図26-17 標準セルフ・プログラミング・フロー



26. 5. 4 フラッシュ関数一覧

表26-10 主なフラッシュ関数一覧

関数名	概 要	対応
FlashEnv	フラッシュ制御マクロの初期化	○
FlashBlockErase	指定した1ブロックの消去	○
FlashWordWrite	指定したアドレスからの書き込み	○
FlashBlockVerify	指定した1ブロックの内部ベリファイ	○
FlashBlockBlankCheck	指定した1ブロックのブランク・チェック	○
FlashFLMDCheck	FLMD端子のチェック	○
FlashGetInfo	フラッシュ情報の読み出し	○
FlashSetInfo	フラッシュ情報の設定	○
FlashBootSwap	ブート領域入れ替え	○
FlashWordRead	指定したアドレスからのデータ読み出し	○

備考 詳細は、V850シリーズ フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編）ユーザーズ・マニュアルを参照してください。

なお、このマニュアルについては、当社販売員にお問い合わせください。

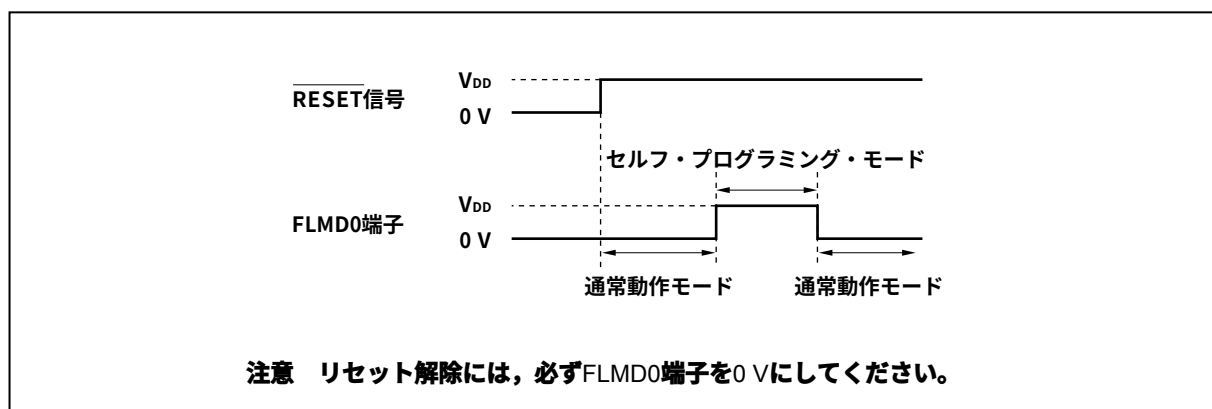
26. 5. 5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図26-18 モード切り替わりタイミング



26. 5. 6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表26-11 使用する内部資源

リソース名	説 明
エントリRAM領域 (内部RAM／外部RAMサイズ ：136バイト)	フラッシュ・マクロ・サービスへの遷移のためのルーチンとパラメータを配置。 ライブラリ初期化関数の呼び出しによりエントリ・プログラムとデフォルトのパ ラメータがコピーされます。
スタック領域 (スタック・サイズ：600バイト)	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM／外部RAMのどちらでも使用可)
ライブラリ・コード (コード・サイズ：約1600バイト)	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭+4番地 ^{※1} に処理が移 るので，あらかじめ内蔵RAMの先頭+4番地 ^{※1} にユーザ割り込み処理へ遷移する分岐 命令を用意してください。
NMI	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭番地 ^{※2} に処理が移るの で，あらかじめ内蔵RAMの先頭番地 ^{※2} にユーザ割り込み処理へ遷移する分岐命令を 用意してください。
TM50, TM51	フラッシュ・マクロ・サービスで使用しますので，セルフ・プログラミング状態では 使用しないでください。 セルフ・プログラミング後にTM50, TM51を使用する場合は，再度設定してください。

注1. μ PD70F3733：3FFC804H

μ PD70F3734：3FFB004H

2. μ PD70F3733：3FFC800H

μ PD70F3734：3FFB000H

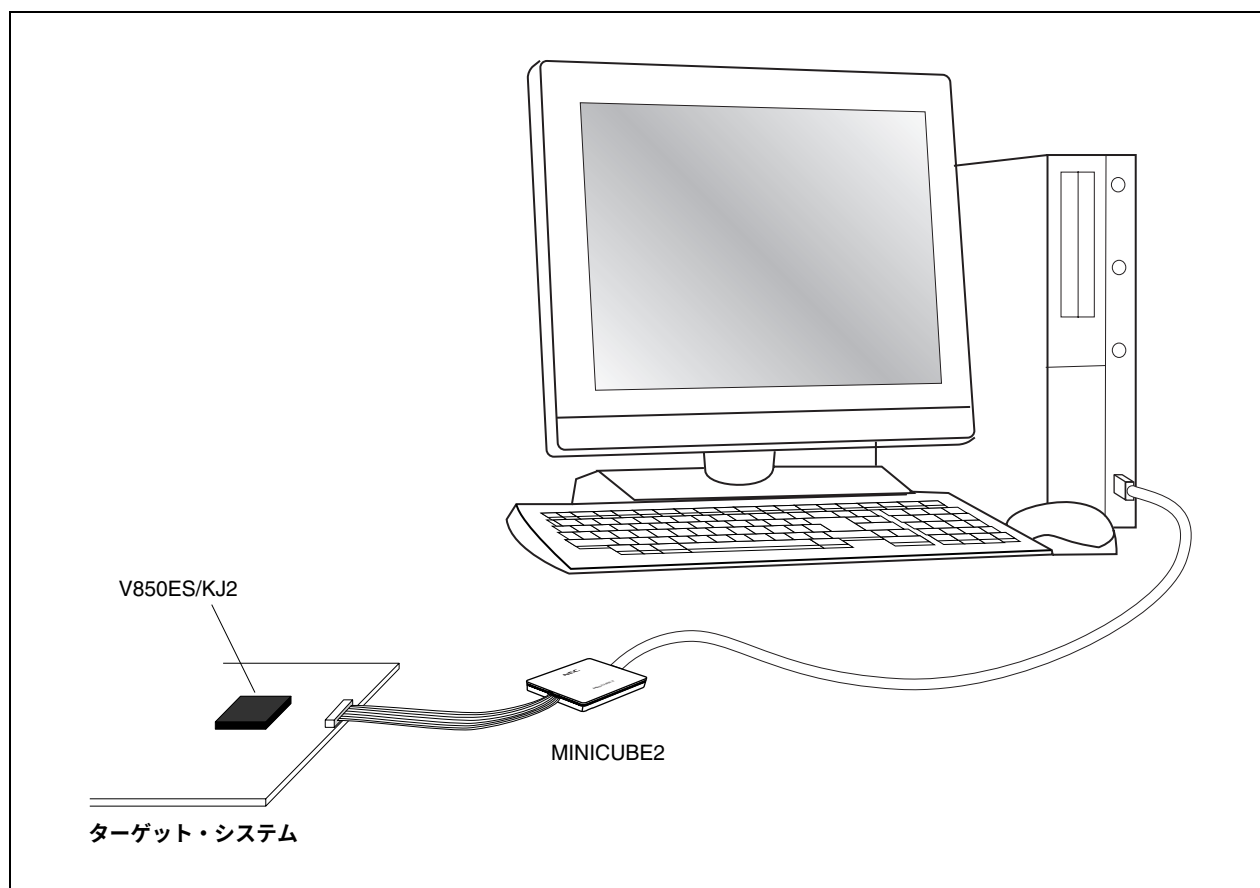
備考 詳細は、V850シリーズ フラッシュ・メモリ・セルフ・プログラミング（単電源フラッシュ・メモリ編）
ユーザーズ・マニュアルを参照してください。

なお、このマニュアルについては、当社販売員にお問い合わせください。

第27章 オンチップ・デバッグ機能

オンチップ・デバッグとは、ターゲット・システムにV850ES/KJ2を実装したままデバッグをする機能です。
特にMINICUBE2を使用すれば、簡単なインタフェースでオンチップ・デバッグが可能です。

図27-1 MINICUBE2を使用したオンチップ・デバッグのイメージ図



V850ES/KJ2でオンチップ・デバッグを行うには次の2つの方法があります。

- DCU（デバッグ・コントロール・ユニット）を使用する方法

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子として μ PD70F3734[※]に内蔵されているDCUによってオンチップ・デバッグを実現します。

- DCUを使用しない方法

DCUを使用せず、ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

注 μ PD70F3733にはDCUが内蔵されていません。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表27-1 オンチップ・デバッグ機能の概要

	DCUを使用する方法 (μPD70F3734のみ)	DCUを使用しない方法
デバッグ・インタフェース端子	DRST, DCK, DMS, DDI, DDO	• UART0使用時 RXD0, TXD0 • CSI00使用時 SI00, SO00, SCK00, HS (PCM0)
ユーザ資源の確保	不要	必要
ハードウェア・ブ레이크機能	2ポイント	2ポイント (μPD70F3734のみ)
ソフトウェア・ ブ레이크機能	内蔵ROM領域 4ポイント RAM領域 2000ポイント	4ポイント 2000ポイント
リアルタイムRAMモニタ機能 ^{注1}	可能	可能
ダイナミック・メモリ・モディフィ ケーション (DMM) 機能 ^{注2}	可能	可能
マスク機能	リセット, NMI, INTWDT1, INTWDT2, HLDRQ, WAIT	RESET端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	MINICUBE [®] など	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
デバッグ割り込みインタフェース機 能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

2. プログラム実行中にRAMの内容の書き換えを行う機能です。

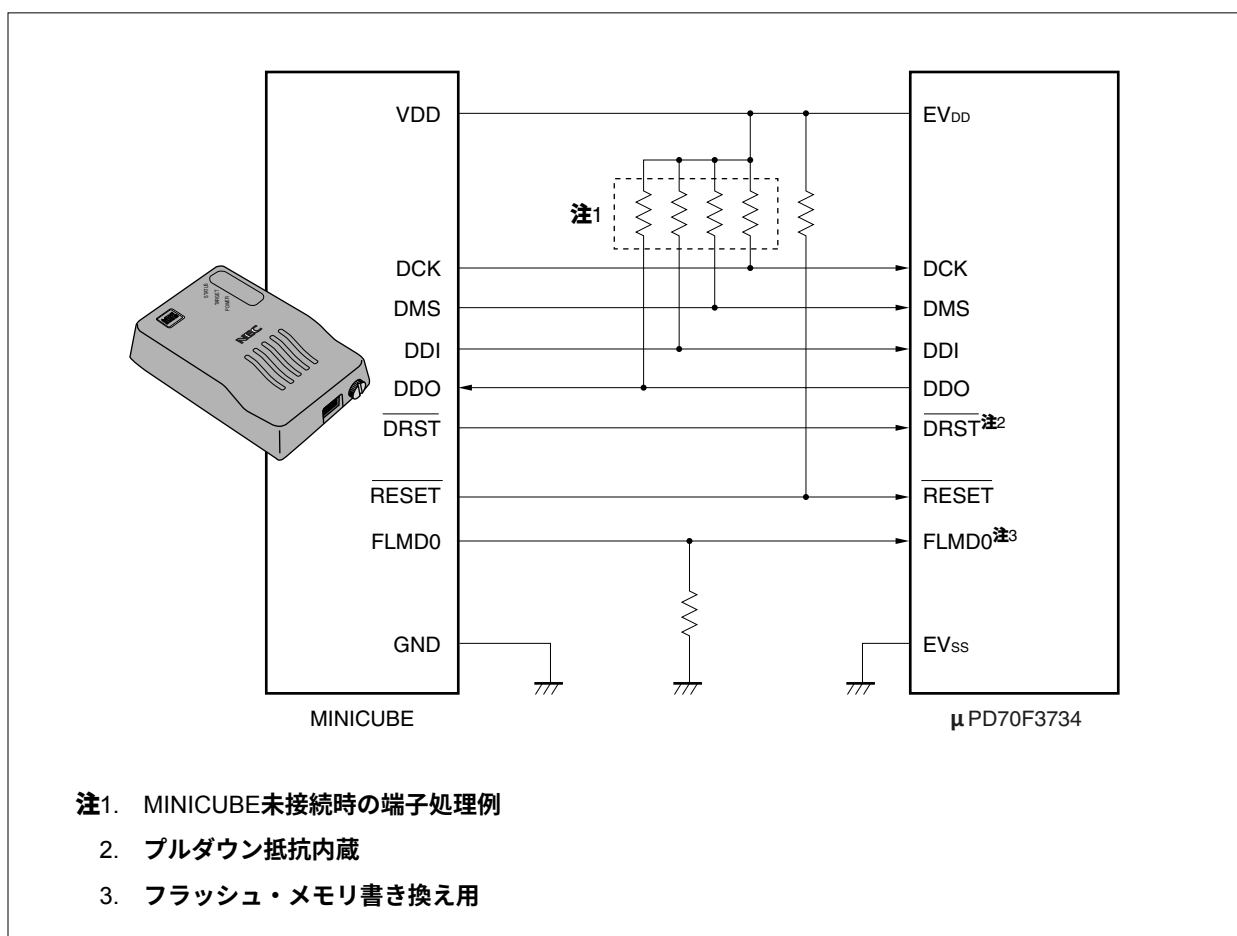
27.1 DCUを使用する方法

デバッグ・インタフェース端子 ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで, デバッグ・インタフェース端子以外のユーザ資源を消費することなく, プログラムのデバッグが可能です。

注意 DCUは, μ PD70F3734のみに搭載しています。 μ PD70F3733には搭載していませんが, オンチップ・デバッグ・モード・レジスタ (OCDM) は搭載しています。

27.1.1 接続回路例

図27-2 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



27. 1. 2 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッガの起動後にターゲット・システムの V_{DD} を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッガを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムのVDD検出用です。MINICUBEは、ターゲット・システムからのVDDを検出できない場合は、MINICUBEからの出力信号（ $\overline{\text{DRST}}$ 、DCK、DMS、DDI、FLMD0、 $\overline{\text{RESET}}$ 端子）をハイ・インピーダンスにします。

(7) FLMD0

統合デバッガ（ID850QB）によるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

① MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

ブレーク中に、統合デバッガのダウンロード機能を実行した際に、MINICUBEはFLMD0端子をハイ・レベルに制御します。それ以外の場合は、FLMD0端子はハイ・インピーダンスになります。

② ポートから制御する場合

セルフ・プログラミングを行う場合に、この方法を使用します。

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

ダウンロード機能を実行前に、FLMD0端子に接続したポートを統合デバッガのコンソールでハイ・レベルに設定してください。ダウンロード機能を完了したらロウ・レベルに戻してください。

詳細はID850QB Ver.3.40 **統合デバッガ ユーザーズ・マニュアル 操作編** (U18604J) を参照してください。

(8) RESET

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEからRESET端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

27. 1. 3 マスク機能

リセット、NMI、INTWDT1、INTWDT2、 $\overline{\text{WAIT}}$ 、HLDQRQ信号のマスクが可能です。

次に統合デバッガ（ID850QB）のマスク機能および対応する機能を示します。

表27-2 マスク機能

統合デバッガ（ID850QB）のマスク機能	対応する μ PD70F3734の機能
NMI0	NMI端子入力
NMI1	ノンマスクابل割り込み要求信号（INTWDT1）発生
NMI2	ノンマスクابل割り込み要求信号（INTWDT2）発生
STOP	マスクできません
HOLD	HLDQRQ端子入力
RESET	RESET端子入力またはウォッチドッグ・タイマ（WDT1、WDT2）のオーバーフローによるリセット信号発生
WAIT	WAIT端子入力

27. 1. 4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート／周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3. 4. 7 特定レジスタ参照)。

OCDMレジスタへの書き込みは、P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード／ライト可能です。

注 $\overline{\text{DRST}}$ は μ PD70F3734のみ

リセット時：01H^{注1} R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート／周辺機能端子として使用）かつ、P05/INTP2/DRST ^{注2} 端子の内蔵プルダウン抵抗を切断
1	P05/INTP2/DRST ^{注2} 端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート／周辺機能端子として使用） P05/INTP2/DRST ^{注2} 端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注1. RESET端子によるリセット時は01Hになります。ただし、WDTRES1信号、WDTRES2信号によるリセット時は、OCDMレジスタの値を保持します。

2. DRSTは、 μ PD70F3734のみ

注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です。

μ PD70F3733はポート機能しかないので、必ずこの処置をしてください。

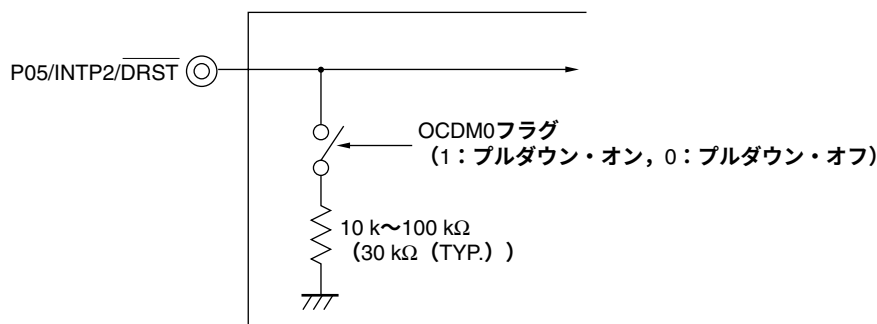
・P05/INTP2/DRST端子にロウ・レベルを入力します。

・OCDM0ビットを設定します。この場合の処置は次のとおりです。

① OCDM0ビットをクリア（0）します。

② ①の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

2. P05/INTP2/DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



27.1.5 動作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

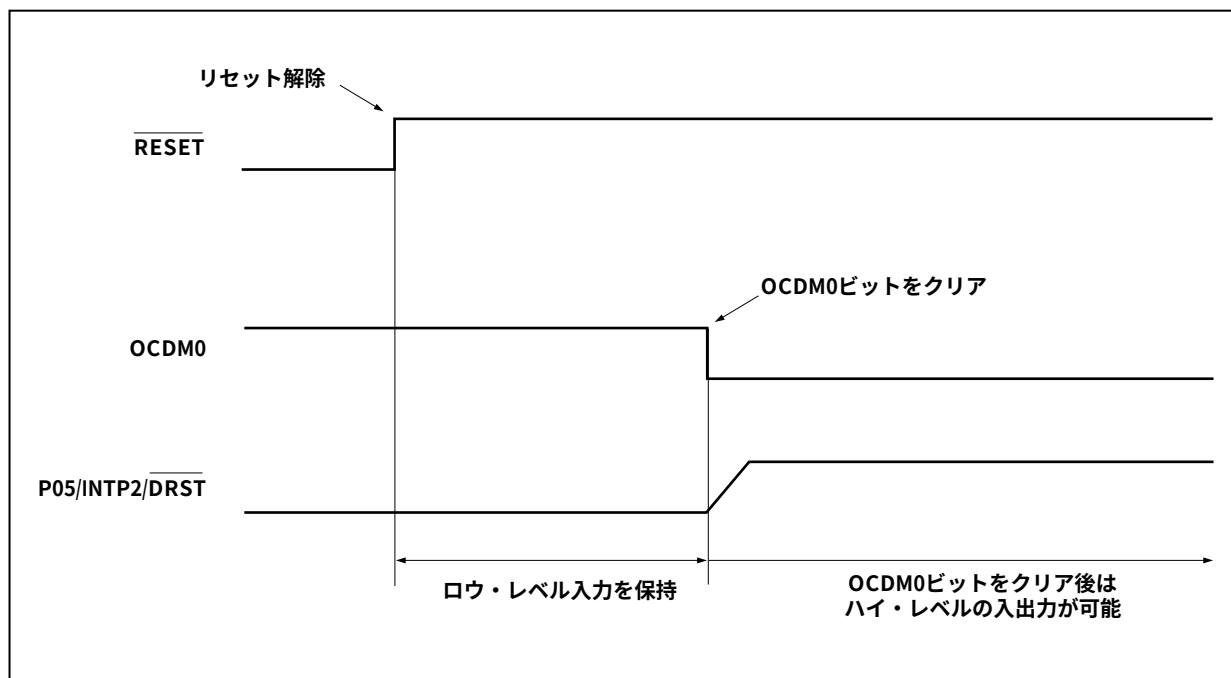
未使用時はOCDM.OCDM0フラグをクリア（0）するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

図27-3 オンチップ・デバッグ機能未使用時のタイミング



27. 1. 6 注意事項

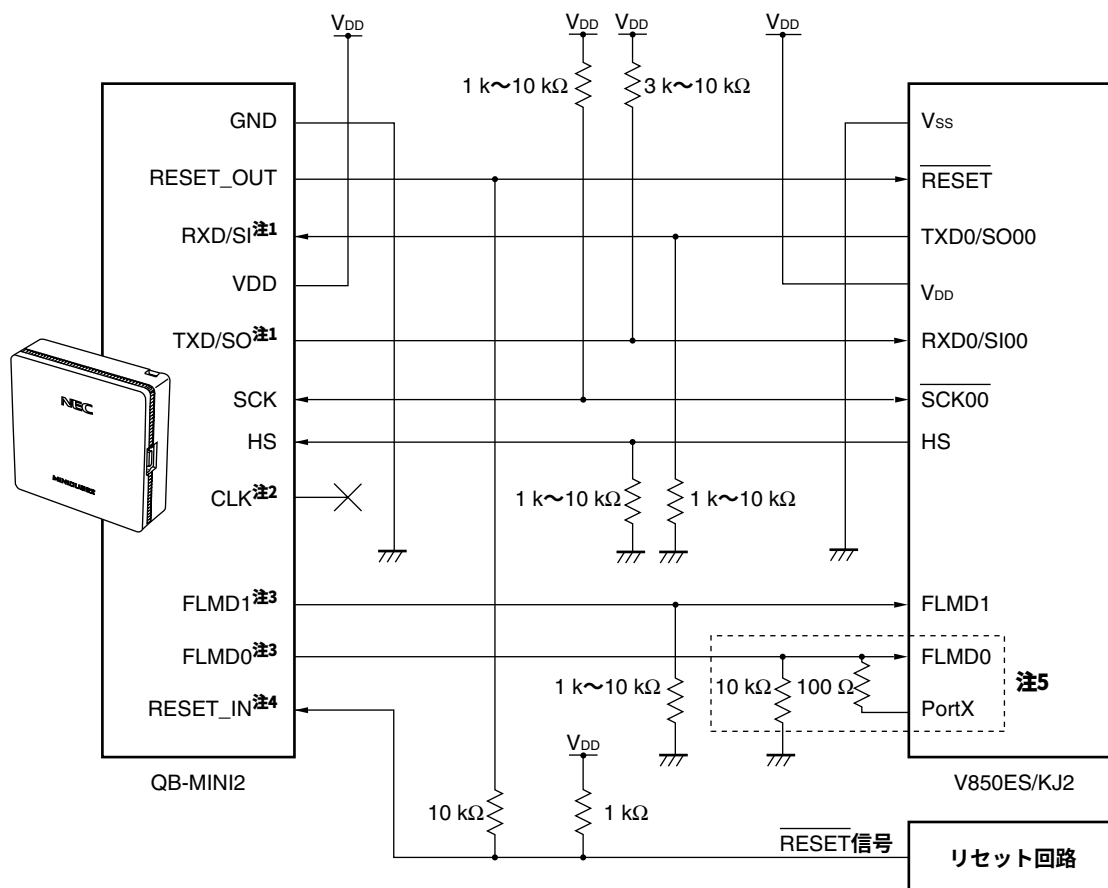
- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) 内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。
- (4) ブレーク中の端子によるリセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (5) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。

27.2 DCUを使用しない方法

DCUを使用せず、UART0用端子（RXD0, TXD0）またはCSI00用端子（SI00, SO00, SCK00, HS（PMC0））をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

27.2.1 接続回路例

図27-4 UART0/CSI00を通信インタフェースとして使用する場合の回路接続例



- 注1. V850ES/KJ2のTXD0/SO00（送信側）はターゲット・コネクタのRXD/SI（受信側）に、ターゲット・コネクタのTXD/SO（送信側）はV850ES/KJ2のRXD0/SI00（受信側）に接続してください。
2. オンチップ・デバッグ中は使用しません。
3. デバッグ時ブレーク中のメモリ書き換え以外は、Hi-Zになります。
4. RESET信号の出力がN-chオープン・ドレインのバッファ（出力抵抗100Ω以下）によるものを想定した回路接続です。
5. 点線内の回路はフラッシュ・セルフ・プログラミング用にFLMD0端子をポートで制御する場合の回路です。ポートは、ハイ・レベル出力か入力で使用してください。フラッシュ・セルフ・プログラミングを使用しない場合、FLMD0端子のプルダウン抵抗は1kΩ～10kΩで構いません。

備考 UART0またはCSI00を通信インタフェースとして使用する場合に使用する端子については表27-3を参照してください。

表27-3 V850ES/KJ2とMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSI00-HS使用時		UART0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/KJ2からのコマンド，データ受信端子	P41/SO00	23	P30/TXD0	25
SO/TxD	出力	V850ES/KJ2へのコマンド，データ送信端子	P40/SI00	22	P31/RXD0	26
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCK00	24	必要なし	必要なし
CLK	出力	V850ES/KJ2へのクロック出力端子	必要なし	必要なし	必要なし	必要なし
RESET_OUT	出力	V850ES/KJ2へのリセット出力端子	RESET	14	RESET	14
FLMD0	出力	V850ES/KJ2をデバッグ・モード，またはプログラミング・モードにするための出力端子	FLMD0	8	FLMD0	8
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/AD5/ FLMD1	110	PDL5/AD5/ FLMD1	110
HS	入力	CSI0+HS通信のハンドシェーク信号	PCM0/WAIT	85	必要なし	必要なし
GND	ー	グラウンド	V _{SS}	11	V _{SS}	11
			AV _{SS}	2	AV _{SS}	2
			BV _{SS}	103	BV _{SS}	103
			EV _{SS}	33	EV _{SS}	33
RESET_IN	入力	ターゲット・システム上のリセット入力端子				

27. 2. 2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ（ID850QB）のマスク機能および対応する機能を示します。

表27-4 マスク機能

デバッガ（ID850QB）のマスク機能	対応するV850ES/KJ2の機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

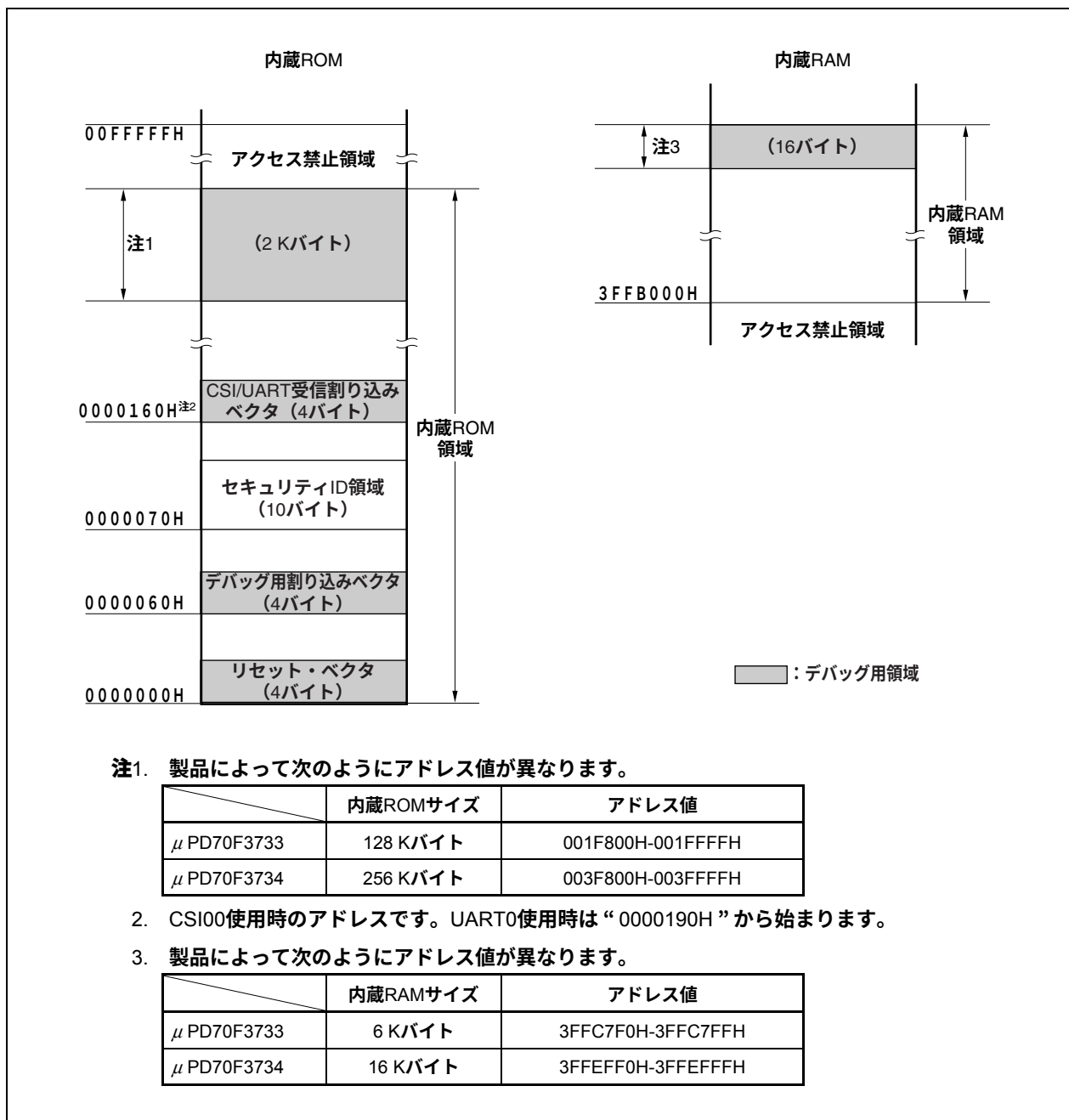
27.2.3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信、または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは、ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

(1) メモリ空間の確保

図27-5で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように、領域を確保する必要があります。

図27-5 デバッグ用モニタ・プログラムが配置されるメモリ空間



・セキュリティIDの設定

図27-5で示す0000070H-0000079H領域は第3者からメモリの内容を読み取られないようにするために、IDコードを埋め込む必要があります。詳細は27.3 ROMセキュリティ機能を参照してください。

(2) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0c34番）。

(a) 0番地からnopが2個連続している場合

書き換え前		書き換え後
0x0 nop	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
0x2 nop		0x4 xxxx
0x4 xxxx		

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前		書き換え後
0x0 0xFFFF	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
0x2 0xFFFF		0x4 xxxx
0x4 xxxx		

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前		書き換え後
0x0 jr disp22	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
		0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前		書き換え後
0x0 mov imm32,reg1	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
0x6 jmp [reg1]		0x4 mov imm32,reg1
		0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前		書き換え後
0x0 デバッグ用モニタ・プログラムヘジャンプ	→	変更なし

(3) デバッグ用モニタ・プログラム領域の確保

図27-5の示すデバック用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN／ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、NECエレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space 0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space 4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCSI00"
.space 4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm monitorramsym, 16, 4 ; -- monitorramsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、 μ PD70F3734（内蔵ROMが256 Kバイト（最終アドレス003FFFFH），内蔵RAMが16 Kバイト（最終アドレス：3FFEFFFH））の場合です。

```
MROMSEG : !LOAD ?R V0x03f800{
        MonitorROM = $PROGBITS ?A MonitorROM;
};

MRAMSEG : !LOAD ?RW V0x03ffeff0{
        MonitorRAM = $NOBITS ?AW MonitorRAM;
};
```

(4) 通信シリアル・インタフェースの確保

MINICUBE2は対象デバイスと通信するためにUART0、もしくはCSI00を使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信シリアル・インタフェースの確保を行う必要があります。

【通信シリアル・インタフェース確保の方法】**•オンチップ・デバッグ・モード・レジスタ (OCDM)**

UART0, CSI00を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- OCDM0ビットを設定します。この場合の処置は次のとおりです。
 - ① OCDM0ビットをクリア (0) します。
 - ② ①の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

注 μ PD70F3734のみ

•シリアル・インタフェースのレジスタ

通信用に使用するUART0やCSI00のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

•割り込みマスク・レジスタ

通信用にUART0を使用する場合、受信完了割り込み (INTSR0) をマスクしないようにしてください。
CSI00の場合、転送終了割り込み (INTCSI00) をマスクしないようにしてください。

(a) CSI00の場合

	7	6	5	4	3	2	1	0
CSI0IC0	×	0	×	×	×	×	×	×

(b) UART0の場合

	7	6	5	4	3	2	1	0
SRIC0	×	0	×	×	×	×	×	×

備考 ×：任意

●UART0使用時のポートに関するレジスタ

通信用にUART0を使用する場合、TXD0, RXD0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFC3	×	×	×	×	×	×	0	0

	7	6	5	4	3	2	1	0
PMC3L	×	×	×	×	×	×	1	1

備考 ×：任意

●CSI00使用時のポートに関するレジスタ

通信用にCSI00を使用する場合、SI00, SO00, SCK00およびHS（PMC0）端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SI00, SO00, SCK00の設定

	7	6	5	4	3	2	1	0
PFC4	×	×	×	×	×	×	0	0

	7	6	5	4	3	2	1	0
PMC4	×	×	×	×	×	1	1	1

(b) HS（PCM0端子）の設定

	7	6	5	4	3	2	1	0
PMCM	×	×	×	×	×	×	×	0

	7	6	5	4	3	2	1	0
PCM	×	×	×	×	×	×	×	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッグの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 ×：任意

27.2.4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- ・ 割り込み禁止中（DI）の場合
- ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- ・ 割り込み禁止中（DI）の場合
- ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、メイン・クロックを停止している場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- ・ MINICUBE2と対象デバイスの通信インタフェースがCSI00の場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。

27.3 ROMセキュリティ機能

27.3.1 セキュリティID

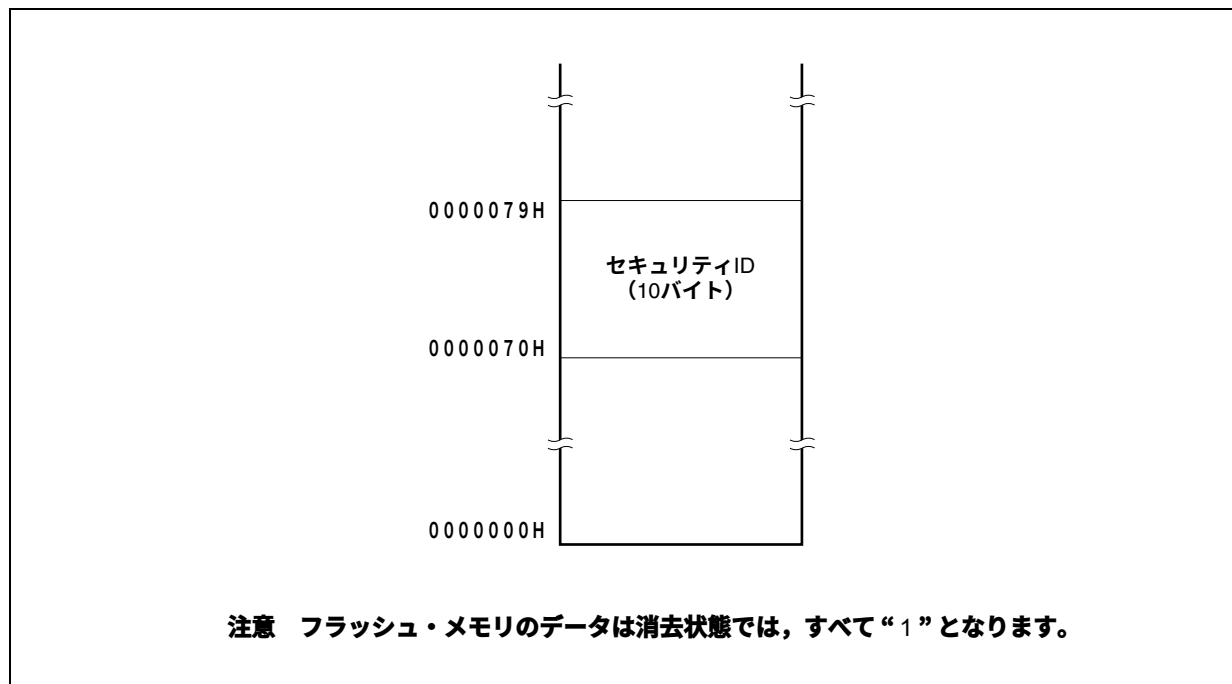
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の0000070H-0000079Hの10バイト分に設定し、デバッグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- 10バイトのIDコードは、0000070H-0000079Hに設定します。
- 0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0：使用禁止，1：使用許可)
- オンチップ・デバッグ・エミュレータを起動すると、デバッグがID入力を要求します。デバッグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッグが起動します。
- IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図27-6 セキュリティID領域



27.3.2 設定方法

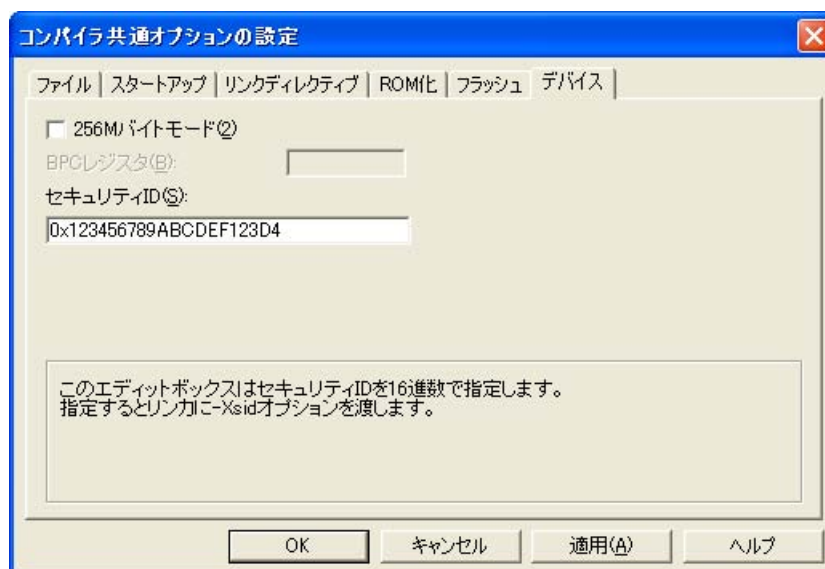
IDコードを表27-5のように設定する方法を次に示します。

表27-5のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表27-5 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

CA850 Ver. 3.10以上とセキュリティIDに対応したデバイス・ファイルであれば、PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



[プログラム例 (CA850 V3.10以上 使用時)]

```
#-----  
# SECURITYID  
#-----  
  
    .section    "SECURITY_ID"    -- Interrupt handler address 0x70  
    .word       0x78563412       -- 0 - 3 byte code  
    .word       0xF1DEBC9A       -- 4 - 7 byte code  
    .hword      0xD423           -- 8 - 9 byte code
```

備考 上記プログラム例はスタートアップ・ファイルに追加してください。

第28章 電気的特性

絶対最大定格 (T_A = 25 °C) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = AV _{REF0}	-0.3~+6.5	V
	BV _{DD}	BV _{DD} ≤ V _{DD}	-0.3~V _{DD} +0.3 ^注	V
	EV _{DD}	V _{DD} = EV _{DD} = AV _{REF0}	-0.3~+6.5	V
	AV _{REF0}	V _{DD} = EV _{DD} = AV _{REF0}	-0.3~+6.5	V
	AV _{REF1}	AV _{REF1} ≤ V _{DD} (D/A出力モード) AV _{REF1} = AV _{REF0} = V _{DD} (ポート・モード)	-0.3~V _{DD} +0.3 ^注	V
	V _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	-0.3~+0.3	V
	AV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	-0.3~+0.3	V
	BV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	-0.3~+0.3	V
	EV _{SS}	V _{SS} = EV _{SS} = BV _{SS} = AV _{SS}	-0.3~+0.3	V
入力電圧	V _{I1}	P00-P06, P30-P35, P38, P39, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915, RESET, FLMD0	-0.3~EV _{DD} +0.3 ^注	V
	V _{I2}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7	-0.3~BV _{DD} +0.3 ^注	V
	V _{I3}	P10, P11	-0.3~AV _{REF1} +0.3 ^注	V
	V _{I4}	P36, P37, P614, P615	-0.3~+13	V
	V _{I5}	X1, X2, XT1, XT2	-0.3~V _{DD} +0.3 ^注	V
アナログ入力電圧	V _{IAN}	P70-P715	-0.3~AV _{REF0} +0.3 ^注	V

注 それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ロウ・レベル出力電流	I _{OL}	注	1端子	20	mA
		P36-P39, P614, P615		30	mA
		P00-P06, P30-P39, P40-P42	全端子合計	35	mA
		P50-P55, P60-P615, P80, P81, P90-P915	70 mA	35	mA
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7	全端子合計 70 mA	35	mA
		PDL0-PDL15, PDH0-PDH7		35	mA
ハイ・レベル出力電流	I _{OH}	注	1端子	－10	mA
		P00-P06, P30-P35, P40-P42	全端子合計	－30	mA
		P50-P55, P60-P613, P80, P81, P90-P915,	－60 mA	－30	mA
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7	全端子合計 －60 mA	－30	mA
		PDL0-PDL15, PDH0-PDH7		－30	mA
動作周囲温度	T _A	通常動作モード		－40～＋85	℃
		フラッシュ・プログラミング・モード		－40～＋85	℃
保存温度	T _{stg}			－40～＋125	℃

注 P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

注意1. IC製品の出力（または入出力）端子同士を直結したり、 V_{DD} または V_{CC} やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 兼用端子の特性は、特に指定のないかぎり、ポート端子と同じです（D/A変換時に使用する端子（P10, P11）を除く）。

容量 ($T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = BV_{DD} = AV_{REF1} = V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力容量	C_i	$f_x = 1\text{ MHz}$			15	pF
入出力容量	C_{io}	被測定ピン以外は0 V			15	pF
		注 P36-P39, P614, P615			20	pF

注 P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915, PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7

備考 f_x : メイン・クロック発振周波数

PLL特性 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力周波数	f_x		2		5	MHz
出力周波数	f_{xx}		8		20	MHz
ロック時間	t_{PLL}	V_{DD} が2.7 V (MIN.) に達したあと			200	μs

動作条件

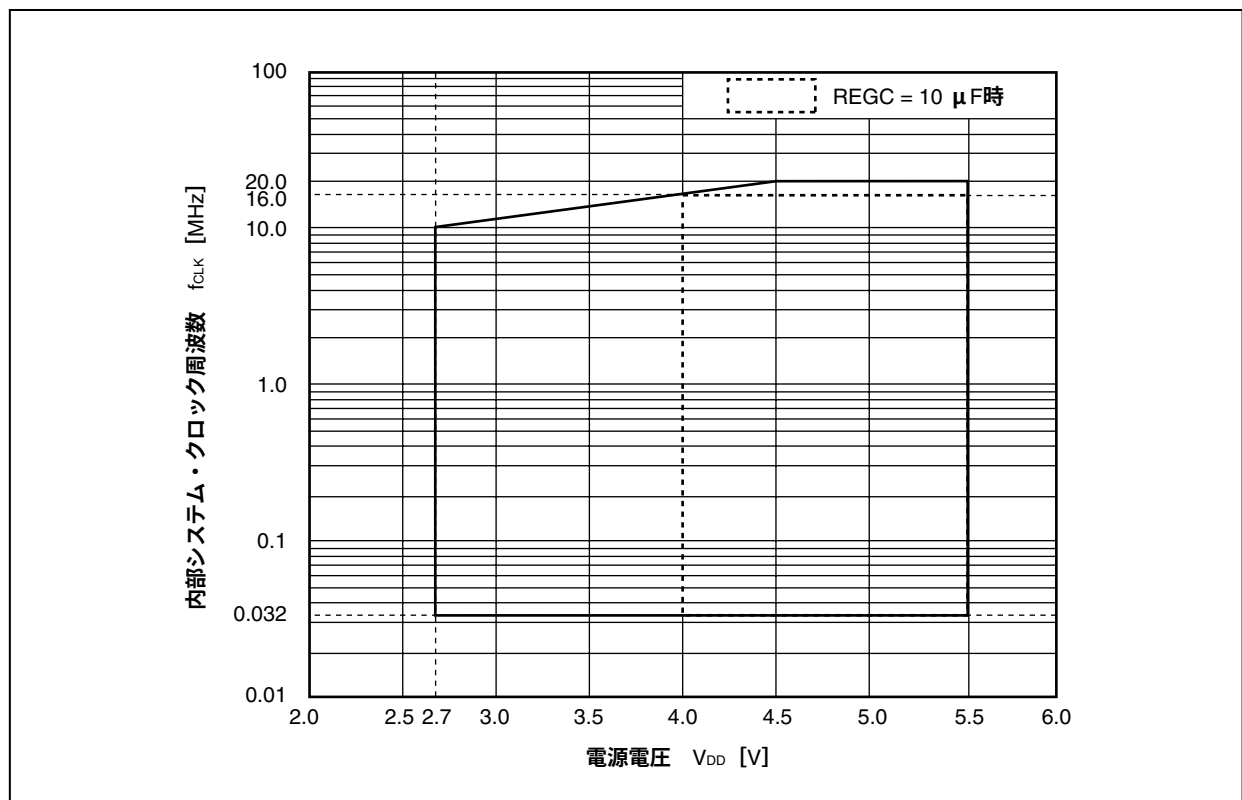
($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
内部システム・クロック周波数	f_{CLK}	PLLモード時				
		REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	0.25		20	MHz
		REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$	0.25		16	MHz
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$	0.25		16	MHz
		REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.25		10	MHz
		クロック・スルー・モード時				
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$	0.0625		10	MHz
		REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	0.0625		10	MHz
		サブクロック動作時		32.768		kHz

注 REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$, またはREGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$

備考 $V_{DD} = 2.7 \sim 4.5 \text{ V}$ に対する内部システム・クロック周波数については、図28-1を参照してください。

図28-1 内部システム・クロック周波数 vs. 電源電圧



EEPROMエミュレーション時の動作条件

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

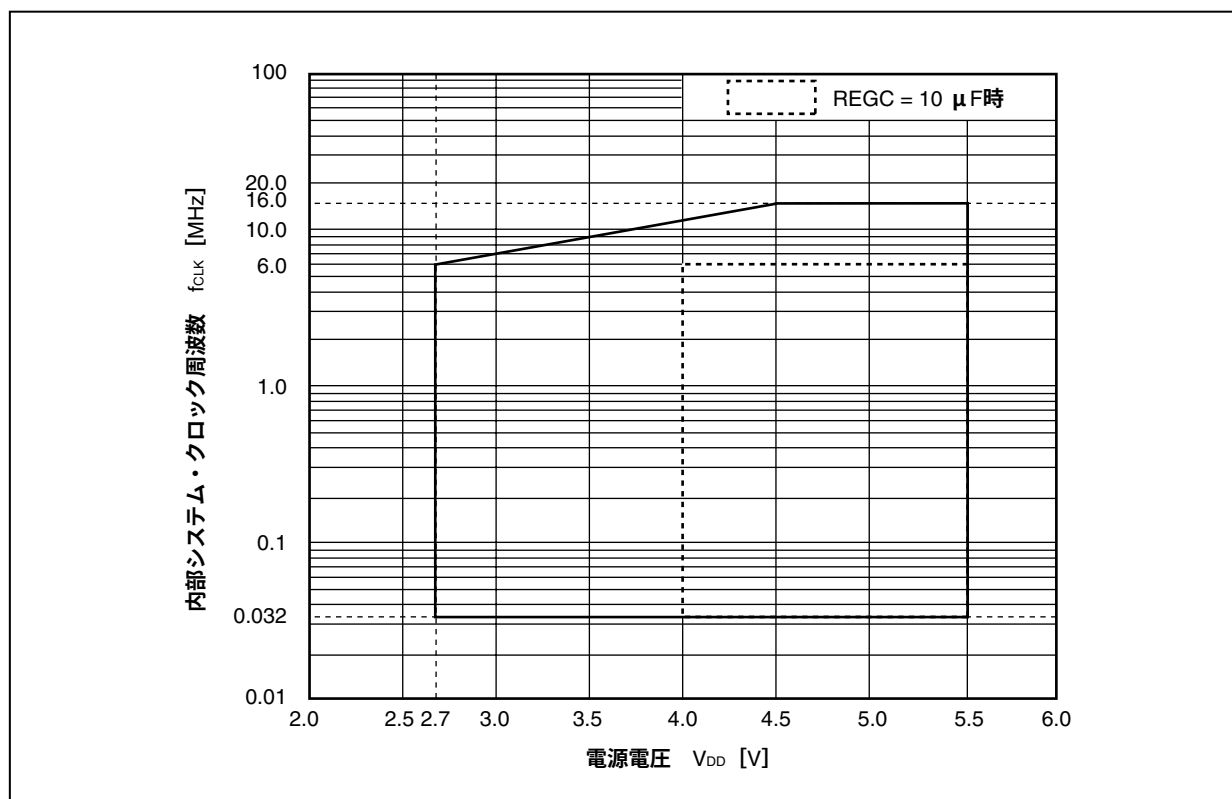
項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
内部システム・ クロック周波数	f _{CLK}	PLLモード時	REGC = V _{DD} = 4.5～5.5 V	0.25		16	MHz
			REGC = V _{DD} = 4.0～5.5 V	0.25		12	MHz
			REGC = 10 μF, V _{DD} = 4.0～5.5 V	0.25		6	MHz
			REGC = V _{DD} = 2.7～5.5 V	0.25		6	MHz
		クロック・スルー・モ ード時	REGC = V _{DD} = 4.0～5.5 V	0.0625		10	MHz
			REGC = 10 μF, V _{DD} = 4.0～5.5 V	0.0625		6	MHz
			REGC = V _{DD} = 2.7～5.5 V	0.0625		6	MHz
			サブクロック動作時	注1, 2		32.768	

注1. REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$, またはREGC = $10 \text{ } \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$

2. メイン・クロックを停止しないでください。

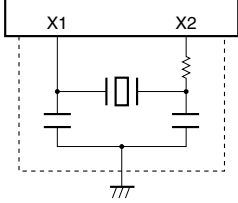
備考 $V_{DD} = 2.7 \sim 4.5 \text{ V}$ に対する内部システム・クロック周波数については、図28-2を参照してください。

図28-2 内部システム・クロック周波数 vs. 電源電圧 (EEPROMエミュレーション時)



メイン・クロック発振回路特性

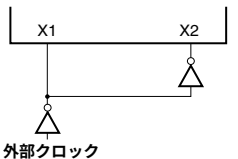
(1) 水晶振動子, セラミック発振子 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
	発振周波数 (f_x) ^{注1, 2}	PLLモード	REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	2		5 MHz
			REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$	2		4 MHz
			REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$	2		4 MHz
			REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	2		2.5 MHz
	クロック・スルー・モード	REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	2		10	MHz
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$	2		10	MHz
	発振安定時間 ^{注3}	リセット解除後		$2^{15}/f_x$		s
		STOPモード解除後		注4		s

注1. 発振回路の特性だけを示すものです。

- 2.7 V $\leq$ $V_{DD} \leq$ 4.5 Vに対する内部システム・クロック周波数については、図28-1を参照してください。
- リセットまたはSTOPモード解除後、発振子が安定するまでの時間です。
- OSTSレジスタの設定によって値が異なります。

(2) 外部クロック ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
	入力周波数 (f_x) ^注	PLLモード	REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	2		5 MHz
			REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$	2		4 MHz
			REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	2		2.5 MHz
	クロック・スルー・モード	REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	2		10	MHz

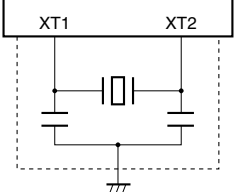
注 入力波形のデューティ比は50 % $\pm$ 5 %以内にしてください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
 - ・他の信号線と交差させない。
 - ・変化する大電流が流れる線に接近させない。
 - ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - ・大電流が流れるグランド・パターンに接地しない。
 - ・発振回路から信号を取り出さない。
- メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。
 - REGC = $10 \mu\text{F}$ のとき、発振回路の電源電圧は内蔵レギュレータ出力 (3.6 V (TYP.)) になります。ただし、次のモードのときは発振回路の電源電圧は V_{DD} になります。
 - ・リセット時 (WDTRES1, 発振安定時間中除く)
 - ・STOPモード
 - ・サブIDLEモード

サブクロック発振回路特性

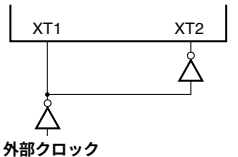
(1) 水晶振動子 ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = 2.7 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
	発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
	発振安定 時間 ^{注2}			10		s

注1. 発振回路の特性だけを示すものです。

2. V_{DD} が発振電圧範囲 (2.7 V (MIN.)) に達してから水晶振動子が安定するまでの時間です。

(2) 外部クロック ($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $REGC = V_{DD} = 2.7 \sim 5.5 \text{ V}$, $V_{SS} = 0 \text{ V}$)

推奨回路	項 目	条 件	MIN.	TYP.	MAX.	単 位
	入力周波数 (f_{XT}) ^注	$REGC = V_{DD} = 2.7 \sim 5.5 \text{ V}$	32		35	kHz

注 入力波形のデューティ比は50 % $\pm$ 5 %以内にしてください。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる線に接近させない。
 - 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - 大電流が流れるグラウンド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. $REGC = 10 \mu\text{F}$ のとき、発振回路の電源電圧は内蔵レギュレータ出力 (3.6 V (TYP.)) になります。ただし、次のモードのときは発振回路の電源電圧は V_{DD} になります。

- リセット時 (WDTRES1, 発振安定時間中除く)
- STOPモード
- サブIDLEモード

DC特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$) (1/4)

項 目	略 号	条 件		MAX.	単 位
ハイ・レベル出力電流 ^{注1}	I _{OH1}	P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915の 各1端子		-5.0	mA
		P00-P06, P30-P35, P40-P42 端子合計	EV _{DD} = 4.0~5.5 V	-30	mA
			EV _{DD} = 2.7~5.5 V	-15	mA
		P50-P55, P60-P613, P80, P81, P90-P915端子合計	EV _{DD} = 4.0~5.5 V	-30	mA
			EV _{DD} = 2.7~5.5 V	-15	mA
	I _{OH2}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15の 各1端子		-5.0	mA
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7 端 子合計	BV _{DD} = 4.0~5.5 V	-30	mA
			BV _{DD} = 2.7~5.5 V	-15	mA
		PDL0-PDL15, PDH0-PDH7端 子合計	BV _{DD} = 4.0~5.5 V	-30	mA
			BV _{DD} = 2.7~5.5 V	-15	mA
ロウ・レベル出力電流 ^{注2}	I _{OL1}	P00-P06, P10, P11, P30-P35, P40-P42, P50-P55, P60-P613, P80, P81, P90-P915の 各1端子		10	mA
		P36-P39の各1端子	EV _{DD} = 4.0~5.5 V	15	mA
			EV _{DD} = 2.7~5.5 V	8	mA
		P614, P615の各1端子	EV _{DD} = 4.0~5.5 V	10	mA
			EV _{DD} = 2.7~5.5 V	5	mA
		P00-P06, P30-P37, P40-P42端子合計		30	mA
		P38, P39, P50-P55, P60-P615, P80, P81, P90-P915端子合計		30	mA
	I _{OL2}	PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDH0-PDH7, PDL0-PDL15の 各1端子		10	mA
		PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7端子合計		30	mA
		PDL0-PDL15, PDH0-PDH7端子合計		30	mA

注1. EV_{DD}またはBV_{DD}から出力端子に流れ出しても、デバイスの動作を保証する電流値です。

2. 出力端子からEV_{SS}またはBV_{SS}に流れ込んでも、デバイスの動作を保証する電流値です。

備考 兼用端子（ANO0, ANO1を除く）の特性は、ポート端子として使用する場合の特性と同じです。

DC特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{ V}$, $2.7\text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7\text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$) (2/4)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH1}	注1	$0.7 EV_{DD}$		EV_{DD}	V
	V_{IH2}	注2	$0.8 EV_{DD}$		EV_{DD}	V
	V_{IH3}	注3	$0.7 BV_{DD}$		BV_{DD}	V
	V_{IH4}	P70-P715	$0.7 AV_{REF0}$		AV_{REF0}	V
	V_{IH5}	P10, P11 ^{注4}	$0.7 AV_{REF1}$		AV_{REF1}	V
	V_{IH6}	P36, P37, P614, P615	$0.7 EV_{DD}$		12	V
	V_{IH7} ^{注5}	X1, X2, XT1, XT2	$V_{DD} - 0.5$		V_{DD}	V
ロウ・レベル入力電圧	V_{IL1}	注1	EV_{SS}		$0.3 EV_{DD}$	V
	V_{IL2}	注2	EV_{SS}		$0.2 EV_{DD}$	V
	V_{IL3}	注3	BV_{SS}		$0.3 BV_{DD}$	V
	V_{IL4}	P70-P715	AV_{SS}		$0.3 AV_{REF0}$	V
	V_{IL5}	P10, P11 ^{注4}	AV_{SS}		$0.3 AV_{REF1}$	V
	V_{IL6}	P36, P37, P614, P615	EV_{SS}		$0.3 EV_{DD}$	V
	V_{IL7} ^{注5}	X1, X2, XT1, XT2	V_{SS}		0.4	V

注1. P00, P01, P30, P41, P60-P65, P67, P611, P98, P911 (兼用端子を含みます)

- RESET, FLMD0, P02-P06, P31-P35, P38, P39, P40, P42, P50-P55, P66, P68-P610, P612, P613, P80, P81, P90-P97, P99, P910, P912-P915 (兼用端子を含みます)
- PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7, PDL0-PDL15, PDH0-PDH7 (兼用端子を含みます)
- ポートとして使用する場合は $AV_{REF1} = AV_{REF0} = V_{DD}$ としてください。
- 外部クロックを使用したとき

DC特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{ V}$, $2.7\text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$) (3/4)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電圧	VOH1	注1	$I_{OH} = -2.0\text{ mA}$, $EV_{DD} = 4.0 \sim 5.5\text{ V}$	$EV_{DD} - 1.0$		EV_{DD} V
		注2	$I_{OH} = -0.1\text{ mA}$, $EV_{DD} = 2.7 \sim 5.5\text{ V}$	$EV_{DD} - 0.5$		EV_{DD} V
	VOH2	注3	$I_{OH} = -2.0\text{ mA}$, $BV_{DD} = 4.0 \sim 5.5\text{ V}$	$BV_{DD} - 1.0$		BV_{DD} V
		注4	$I_{OH} = -0.1\text{ mA}$, $BV_{DD} = 2.7 \sim 5.5\text{ V}$	$BV_{DD} - 0.5$		BV_{DD} V
	VOH3	P10, P11 ^{注5}	$I_{OH} = -2.0\text{ mA}$ $4.0\text{ V} \leq AV_{REF1} \leq 5.5\text{ V}$	$AV_{REF1} - 1.0$		AV_{REF1} V
			$I_{OH} = -0.1\text{ mA}$ $2.7\text{ V} \leq AV_{REF1} \leq 5.5\text{ V}$	$AV_{REF1} - 0.5$		AV_{REF1} V
ロウ・レベル出力電圧	VOL1	注6	$I_{OL} = 2.0\text{ mA}$ ^{注7}	0		0.8 V
	VOL2	注8	$I_{OL} = 2.0\text{ mA}$	0		0.8 V
	VOL3	P10, P11 ^{注5}	$I_{OL} = 2.0\text{ mA}$	0		0.8 V
	VOL4	P36-P39	$I_{OL} = 15\text{ mA}$, $EV_{DD} = 4.0 \sim 5.5\text{ V}$	0		2.0 V
			$I_{OL} = 8\text{ mA}$, $EV_{DD} = 3.0 \sim 5.5\text{ V}$	0		1.0 V
			$I_{OL} = 5\text{ mA}$, $EV_{DD} = 2.7 \sim 5.5\text{ V}$	0		1.0 V
	VOL5	P614, P615	$I_{OL} = 10\text{ mA}$, $EV_{DD} = 4.0 \sim 5.5\text{ V}$	0		2.0 V
			$I_{OL} = 5\text{ mA}$, $EV_{DD} = 2.7 \sim 5.5\text{ V}$	0		1.0 V
ハイ・レベル入力リーク電流	ILIH	$V_{IN} = V_{DD}$			3.0	μA
ロウ・レベル入力リーク電流	ILIL	$V_{IN} = 0\text{ V}$			-3.0	μA
ハイ・レベル出力リーク電流	ILOH	$V_O = V_{DD}$			3.0	μA
ロウ・レベル出力リーク電流	ILOL	$V_O = 0\text{ V}$			-3.0	μA
プルアップ抵抗	RL	$V_{IN} = 0\text{ V}$	10	30	100	k Ω

- 注1. P00-P06, P30-P35, P40-P42の端子合計 $I_{OH} \leq -30\text{ mA}$ (兼用端子を含みます),
P50-P55, P60-P613, P80, P81, P90-P915の端子合計 $I_{OH} \leq -30\text{ mA}$ (兼用端子を含みます)
2. P00-P06, P30-P35, P40-P42の端子合計 $I_{OH} \leq -15\text{ mA}$ (兼用端子を含みます),
P50-P55, P60-P613, P80, P81, P90-P915の端子合計 $I_{OH} \leq -15\text{ mA}$ (兼用端子を含みます)
3. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7の端子合計 $I_{OH} \leq -30\text{ mA}$
PDH0-PDH7, PDL0-PDL15の端子合計 $I_{OH} \leq -30\text{ mA}$ (兼用端子を含みます)
4. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7の端子合計 $I_{OH} \leq -15\text{ mA}$
PDH0-PDH7, PDL0-PDL15の端子合計 $I_{OH} \leq -15\text{ mA}$ (兼用端子を含みます)
5. ポートとして使用する場合は $AV_{REF1} = AV_{REF0} = V_{DD}$ としてください。
6. P00-P06, P30-P37, P40-P42の端子合計 $I_{OL} \leq 30\text{ mA}$ (兼用端子を含みます),
P38, P39, P50-P55, P60-P615, P80, P81, P90-P915の端子合計 $I_{OL} \leq 30\text{ mA}$ (兼用端子を含みます)
7. P36-P39, P614, P615の I_{OL} は I_{OL1} に従ってください。
8. PCD0-PCD3, PCM0-PCM5, PCS0-PCS7, PCT0-PCT7の端子合計 $I_{OL} \leq 30\text{ mA}$ (兼用端子を含みます),
PDH0-PDH7, PDL0-PDL15の端子合計 $I_{OL} \leq 30\text{ mA}$ (兼用端子を含みます)

DC特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$) (4/4)

項 目	略 号	条 件	MIN.	TYP. ^{注2}	MAX.	単 位
電源電流 ^{注1}	IDD1	通常動作モード（全周辺機能動作）				
		$f_{XX} = 20 \text{ MHz}$ ($f_X = 5 \text{ MHz}$)（PLLモード時） REGC = $V_{DD} = 5 \text{ V} \pm 10 \%$		55	75	mA
		$f_{XX} = 16 \text{ MHz}$ ($f_X = 4 \text{ MHz}$)（PLLモード時） $V_{DD} = 5 \text{ V} \pm 10 \%$, REGC = $10 \mu\text{F}$		34	50	mA
		$f_{XX} = 10 \text{ MHz}$ （クロック・スルー・モード時） REGC = $V_{DD} = 3 \text{ V} \pm 10 \%$		18	37	mA
	IDD2	HALTモード（全周辺機能動作）				
		$f_{XX} = 20 \text{ MHz}$ ($f_X = 5 \text{ MHz}$)（PLLモード時） REGC = $V_{DD} = 5 \text{ V} \pm 10 \%$		29	43	mA
		$f_{XX} = 16 \text{ MHz}$ ($f_X = 4 \text{ MHz}$)（PLLモード時） $V_{DD} = 5 \text{ V} \pm 10 \%$, REGC = $10 \mu\text{F}$		17	31	mA
		$f_{XX} = 10 \text{ MHz}$ （クロック・スルー・モード時） REGC = $V_{DD} = 3 \text{ V} \pm 10 \%$		10	17	mA
	IDD3	IDLEモード（時計タイマ動作）				
		$f_X = 5 \text{ MHz}$ （PLLモード・オフ時） REGC = $V_{DD} = 5 \text{ V} \pm 10 \%$		2.1	3.3	mA
		$f_X = 4 \text{ MHz}$ （PLLモード・オフ時） $V_{DD} = 5 \text{ V} \pm 10 \%$, REGC = $10 \mu\text{F}$		1.5	2.7	mA
		$f_X = 10 \text{ MHz}$ （クロック・スルー・モード時） REGC = $V_{DD} = 3 \text{ V} \pm 10 \%$		1.5	2.7	mA
	IDD4	サブクロック動作モード ($f_{XT} = 32.768 \text{ kHz}$) メイン発振停止		250	420	μA
	IDD5	サブIDLEモード ($f_{XT} = 32.768 \text{ kHz}$) 時計タイマ動作，メイン発振停止		20	75	μA
	IDD6	STOPモード				
		サブ発振動作		15	60	μA
		サブ発振停止 ($XT1 = V_{SS}$, PSMR.XTSTPビット = 1)		0.1	30	μA
	IDD7	フラッシュ・メモリ消去／書き込み時 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)				
		$f_{XX} = 20 \text{ MHz}$ ($f_X = 5 \text{ MHz}$)（PLLモード時） REGC = $V_{DD} = 5 \text{ V} \pm 10 \%$		55	75	mA
		$f_{XX} = 16 \text{ MHz}$ ($f_X = 4 \text{ MHz}$)（PLLモード時） $V_{DD} = 5 \text{ V} \pm 10 \%$, REGC = $10 \mu\text{F}$		34	50	mA
		$f_{XX} = 10 \text{ MHz}$ （クロック・スルー・モード時） REGC = $V_{DD} = 3 \text{ V} \pm 10 \%$		18	37	mA

注1. V_{DD} , EV_{DD} , BV_{DD} 合計の電流です（全ポート停止時）。 AV_{REF0} , AV_{REF1} は含みません。

2. TYP.値の V_{DD} は次に示すとおりです。

$V_{DD} = 5 \text{ V} \pm 10\%$ 時, $V_{DD} = 5.0 \text{ V}$

$V_{DD} = 3 \text{ V} \pm 10\%$ 時, $V_{DD} = 3.0 \text{ V}$

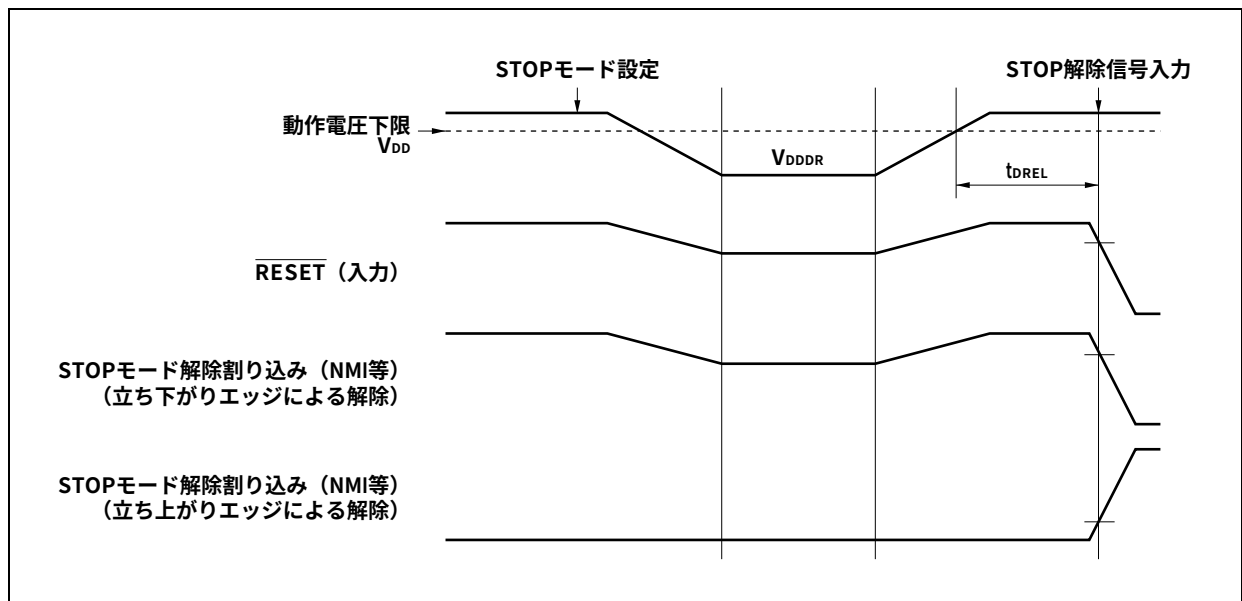
備考 f_{XX} : メイン・クロック周波数, f_X : メイン・クロック発振周波数, f_{XT} : サブクロック周波数

データ保持特性

STOPモード時 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

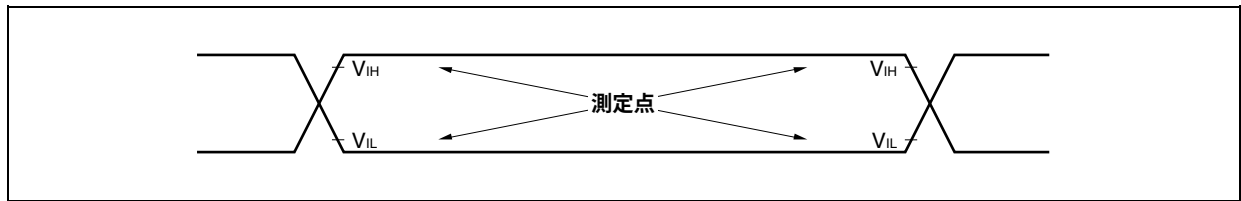
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
データ保持電圧	V_{DDDR}	STOPモード	2.0		5.5	V
STOP解除信号入力時間	t_{DREL}		0			μs

注意 STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。

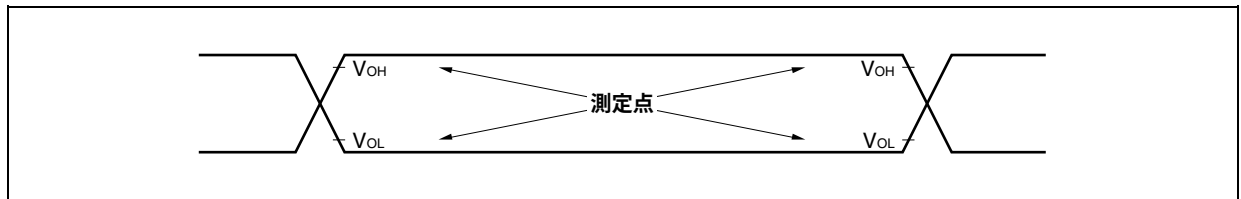


AC特性

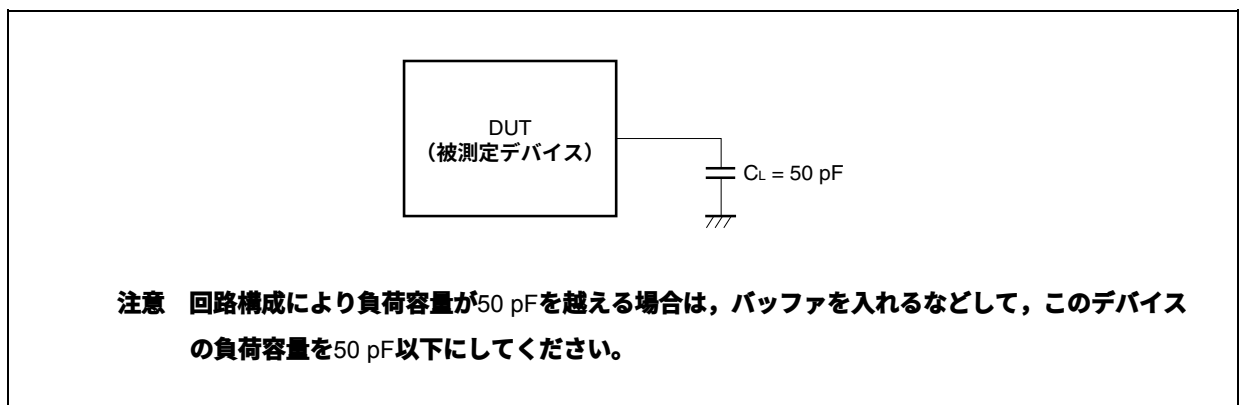
ACテスト入力測定点



ACテスト出力測定点



負荷条件

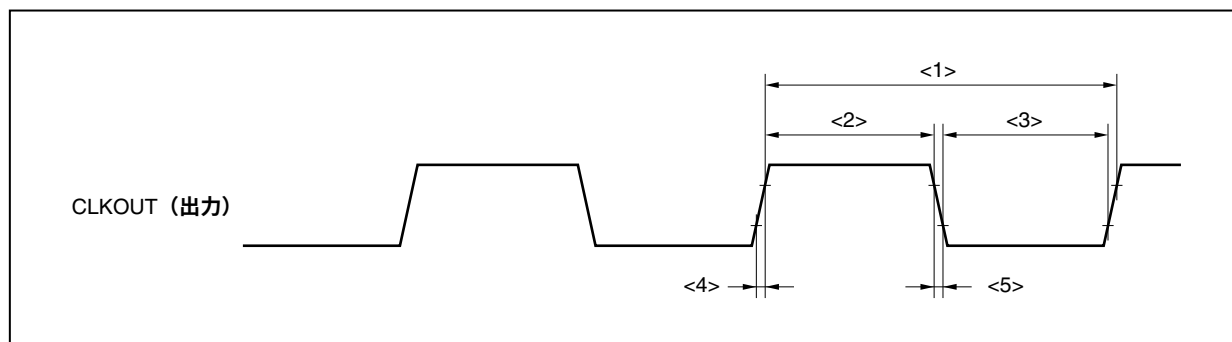


CLKOUT出力タイミング

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{ V}$, $2.7\text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
出力周期	t_{CYK}	<1> $t_{CYK} = 1/f_{XX}$	50 ns	30.6 μs	
ハイ・レベル幅	t_{WKH}	<2> $V_{DD} = 4.0 \sim 5.5\text{ V}$	$t_{CYK}/2 - 17$		ns
		$V_{DD} = 2.7 \sim 5.5\text{ V}$	$t_{CYK}/2 - 26$		ns
ロウ・レベル幅	t_{WKL}	<3> $V_{DD} = 4.0 \sim 5.5\text{ V}$	$t_{CYK}/2 - 17$		ns
		$V_{DD} = 2.7 \sim 5.5\text{ V}$	$t_{CYK}/2 - 26$		ns
立ち上がり時間	t_{KR}	<4> $V_{DD} = 4.0 \sim 5.5\text{ V}$		17	ns
		$V_{DD} = 2.7 \sim 5.5\text{ V}$		26	ns
立ち下がり時間	t_{KF}	<5> $V_{DD} = 4.0 \sim 5.5\text{ V}$		17	ns
		$V_{DD} = 2.7 \sim 5.5\text{ V}$		26	ns

クロック・タイミング



バス・タイミング

CLKOUT非同期とCLKOUT同期どちらか一方のみ数値を満たしてください。どちらも満たす必要はありません。

(1) マルチプレクス・バス・モード時

(a) リード／ライト・サイクル (CLKOUT非同期)

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス設定時間 (対ASTB↓)	t_{SAST}	<6>	$(0.5 + t_{ASW}) T - 23$		ns
アドレス保持時間 (対ASTB↓)	t_{HSTA}	<7>	$(0.5 + t_{AHW}) T - 15$		ns
$\overline{RD} \downarrow \rightarrow$ アドレス・フロート遅延時間	t_{FRDA}	<8>		16	ns
アドレス $\rightarrow$ データ入力設定時間	t_{SAID}	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 40$	ns
$\overline{RD} \downarrow \rightarrow$ データ入力設定時間	t_{SRID}	<10>		$(1 + n) T - 25$	ns
ASTB↓ $\rightarrow$ $\overline{RD}$, $\overline{WRm} \downarrow$ 遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 20$		ns
データ入力保持時間 (対 $\overline{RD} \uparrow$)	t_{HRDID}	<12>	0		ns
$\overline{RD} \uparrow \rightarrow$ アドレス出力時間	t_{DRDA}	<13>	$(1 + i) T - 16$		ns
$\overline{RD}$, $\overline{WRm} \uparrow \rightarrow$ ASTB↑ 遅延時間	$t_{DRDWRST}$	<14>	$0.5T - 10$		ns
$\overline{RD} \uparrow \rightarrow$ ASTB↓ 遅延時間	t_{DRDST}	<15>	$(1.5 + i + t_{ASW}) T - 10$		ns
$\overline{RD}$, $\overline{WRm}$ ロウ・レベル幅	t_{WRDWRL}	<16>	$(1 + n) T - 10$		ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>	$(1 + i + t_{ASW}) T - 25$		ns
$\overline{WRm} \downarrow \rightarrow$ データ出力時間	t_{DWROD}	<18>		20	ns
データ出力設定時間 (対 $\overline{WRm} \uparrow$)	t_{SODWR}	<19>	$(1 + n) T - 25$		ns
データ出力保持時間 (対 $\overline{WRm} \uparrow$)	t_{HWROD}	<20>	$T - 15$		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<21>	$n \geq 1$	$(1.5 + t_{ASW} + t_{AHW}) T - 45$	ns
	t_{SAWT2}	<22>		$(1.5 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<23>	$n \geq 1$	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	t_{HAWT2}	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB↓)	t_{SSTWT1}	<25>	$n \geq 1$	$(1 + t_{AHW}) T - 32$	ns
	t_{SSTWT2}	<26>		$(1 + n + t_{AHW}) T - 32$	ns
WAIT保持時間 (対ASTB↓)	t_{HSTWT1}	<27>	$n \geq 1$	$(n + t_{AHW}) T$	ns
	t_{HSTWT2}	<28>		$(1 + n + t_{AHW}) T$	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. t_{ASW} : アドレス・セットアップ・ウエイト・クロック数 (0または1)

t_{AHW} : アドレス・ホールド・ウエイト・クロック数 (0または1)

3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4. $m = 0, 1$

5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
アドレス設定時間 (対ASTB↓)	t_{SAST}	<6>	$(0.5 + t_{ASW}) T - 42$		ns
アドレス保持時間 (対ASTB↓)	t_{HSTA}	<7>	$(0.5 + t_{AHW}) T - 30$		ns
RD↓ → アドレス・フロート遅延時間	t_{FRDA}	<8>		32	ns
アドレス → データ入力設定時間	t_{SAID}	<9>		$(2 + n + t_{ASW} + t_{AHW}) T - 72$	ns
RD↓ → データ入力設定時間	t_{SRID}	<10>		$(1 + n) T - 40$	ns
ASTB↓ → RD, WRm↓遅延時間	$t_{DSTRDWR}$	<11>	$(0.5 + t_{AHW}) T - 35$		ns
データ入力保持時間 (対RD↑)	t_{HRDID}	<12>	0		ns
RD↑ → アドレス出力時間	t_{DRDA}	<13>	$(1 + i) T - 32$		ns
RD, WRm↑ → ASTB↑遅延時間	$t_{DRDWRST}$	<14>	$0.5T - 20$		ns
RD↑ → ASTB↓遅延時間	t_{DRDST}	<15>	$(1.5 + i + t_{ASW}) T - 20$		ns
RD, WRmロウ・レベル幅	t_{WRDWRL}	<16>	$(1 + n) T - 20$		ns
ASTB ハイ・レベル幅	t_{WSTH}	<17>	$(1 + i + t_{ASW}) T - 50$		ns
WRm↓ → データ出力時間	t_{DWROD}	<18>		35	ns
データ出力設定時間 (対WRm↑)	t_{SODWR}	<19>	$(1 + n) T - 40$		ns
データ出力保持時間 (対WRm↑)	t_{HWROD}	<20>	$T - 30$		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<21>	$n \geq 1$	$(1.5 + t_{ASW} + t_{AHW}) T - 80$	ns
	t_{SAWT2}	<22>		$(1.5 + n + t_{ASW} + t_{AHW}) T - 80$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<23>	$n \geq 1$	$(0.5 + n + t_{ASW} + t_{AHW}) T$	ns
	t_{HAWT2}	<24>		$(1.5 + n + t_{ASW} + t_{AHW}) T$	ns
WAIT設定時間 (対ASTB↓)	t_{SSTWT1}	<25>	$n \geq 1$	$(1 + t_{AHW}) T - 60$	ns
	t_{SSTWT2}	<26>		$(1 + n + t_{AHW}) T - 60$	ns
WAIT保持時間 (対ASTB↓)	t_{HSTWT1}	<27>	$n \geq 1$	$(n + t_{AHW}) T$	ns
	t_{HSTWT2}	<28>		$(1 + n + t_{AHW}) T$	ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください ($k = 0-3$)。

- $70 \text{ ns} < 1/f_{CPU} < 84 \text{ ns}$ 時

アドレス・セットアップ・ウエイト (AWC.ASWkビット = 1) を設定

- $62.5 \text{ ns} < 1/f_{CPU} < 70 \text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASWkビット = 1), およびアドレス・ホールド・ウエイト (AWC.AHWkビット = 1) を設定

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. t_{ASW} : アドレス・セットアップ・ウエイト・クロック数 (0または1)

t_{AHW} : アドレス・ホールド・ウエイト・クロック数 (0または1)

3. n : バス・サイクルに挿入されるウエイト・クロック数

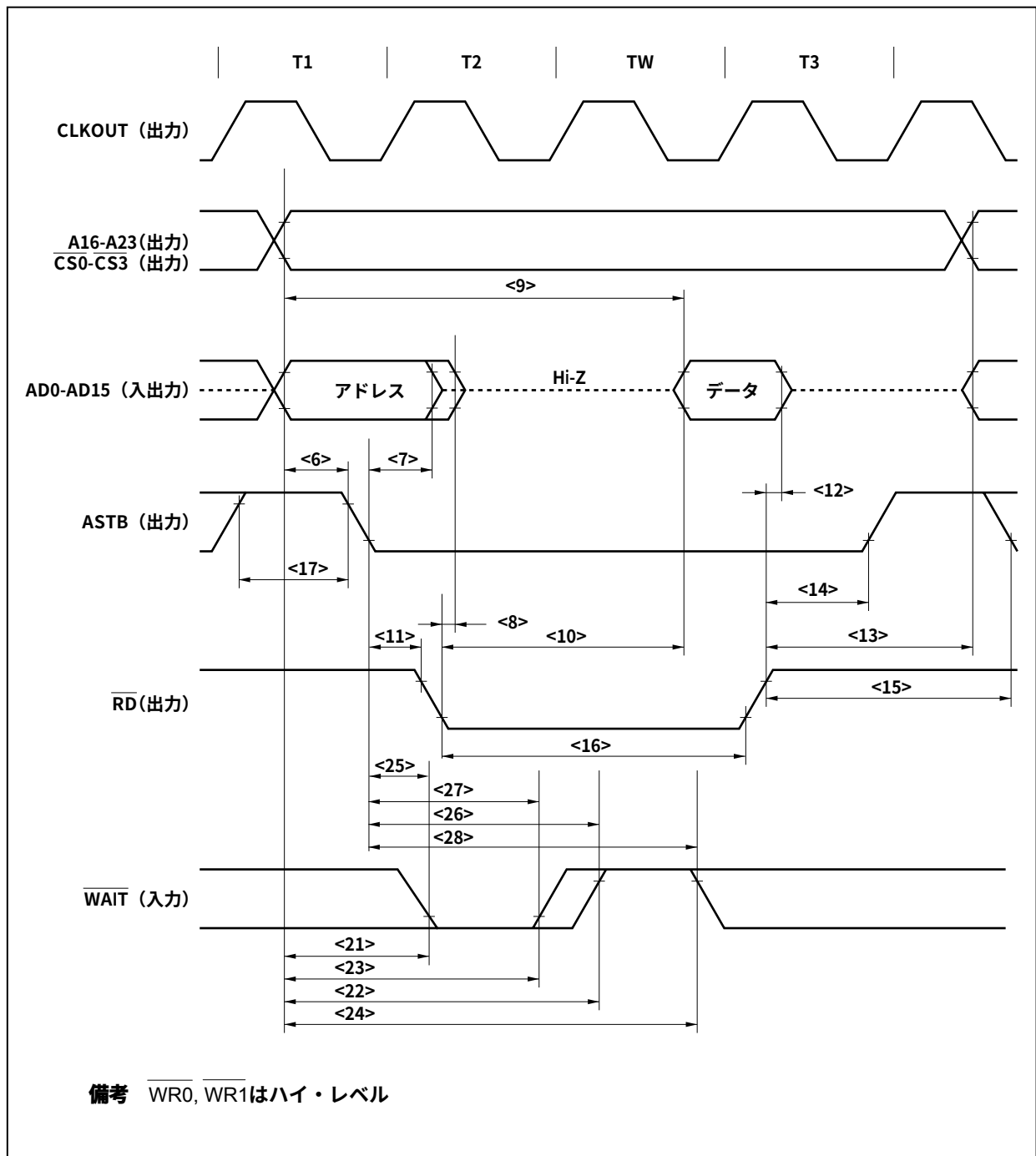
プログラマブル・ウエイト挿入時は、サンプル・タイミングが変わります。

4. $m = 0, 1$

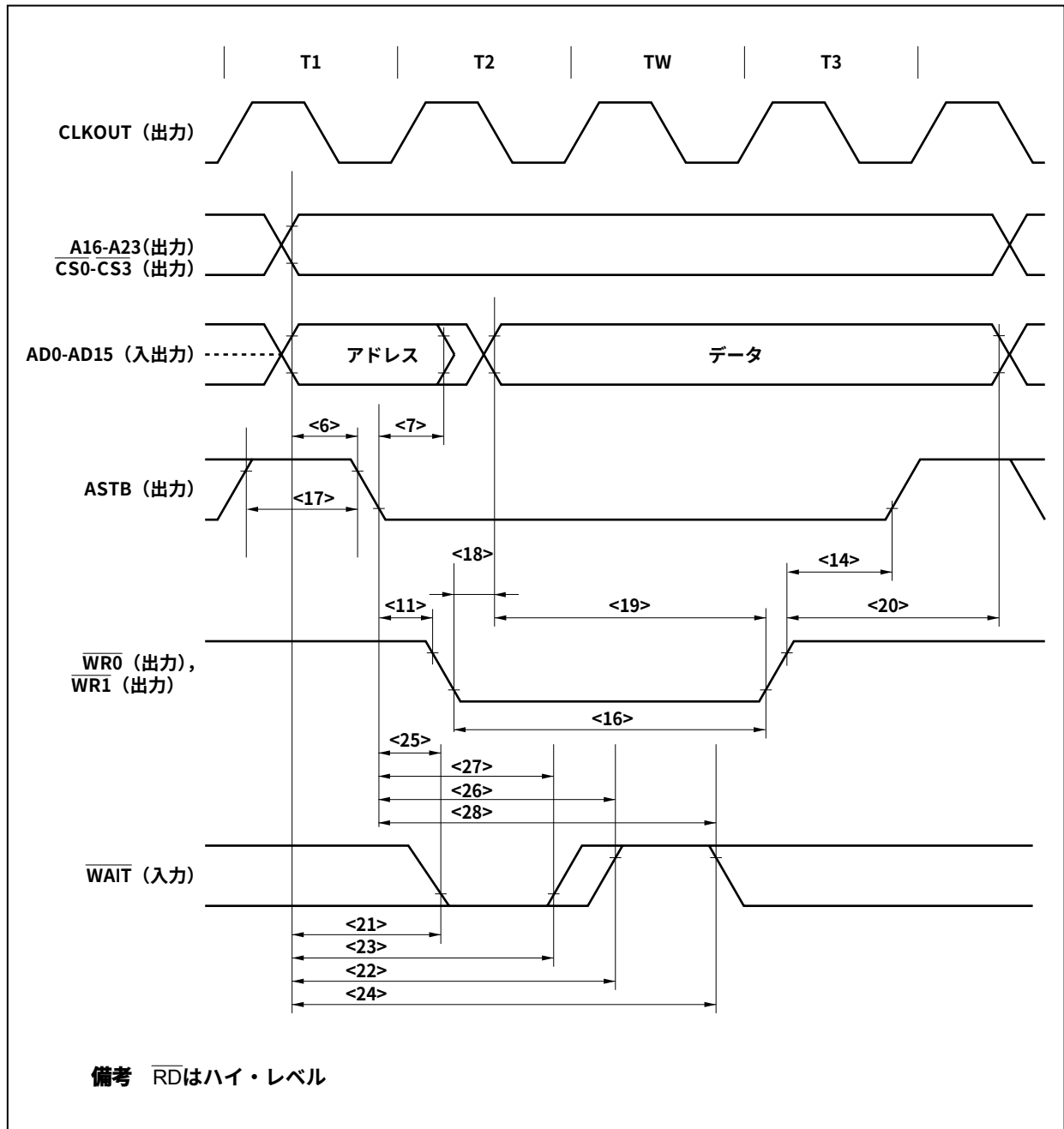
5. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

6. 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時



ライト・サイクル (CLKOUT非同期) : マルチプレクス・バス・モード時



(b) リード/ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT ↑ → アドレス遅延時間	t_{DKA}	<29>	0	19	ns
CLKOUT ↑ → アドレス・フロート遅延時間	t_{FKA}	<30>	0	14	ns
CLKOUT ↓ → ASTB遅延時間	t_{DKST}	<31>	0	23	ns
CLKOUT ↑ → $\overline{RD}$, $\overline{WRm}$ 遅延時間	t_{DKRDWR}	<32>	-22	0	ns
データ入力設定時間 (対CLKOUT ↑)	t_{SIDK}	<33>	15		ns
データ入力保持時間 (対CLKOUT ↑)	t_{HKID}	<34>	0		ns
CLKOUT ↑ → データ出力遅延時間	t_{DKOD}	<35>		19	ns
WAIT設定時間 (対CLKOUT ↓)	t_{SWTK}	<36>	15		ns
WAIT保持時間 (対CLKOUT ↓)	t_{HKWT}	<37>	0		ns

備考1. $m = 0, 1$

- 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。
- CLKOUT出力タイミングについては<1>~<5>を参照してください。

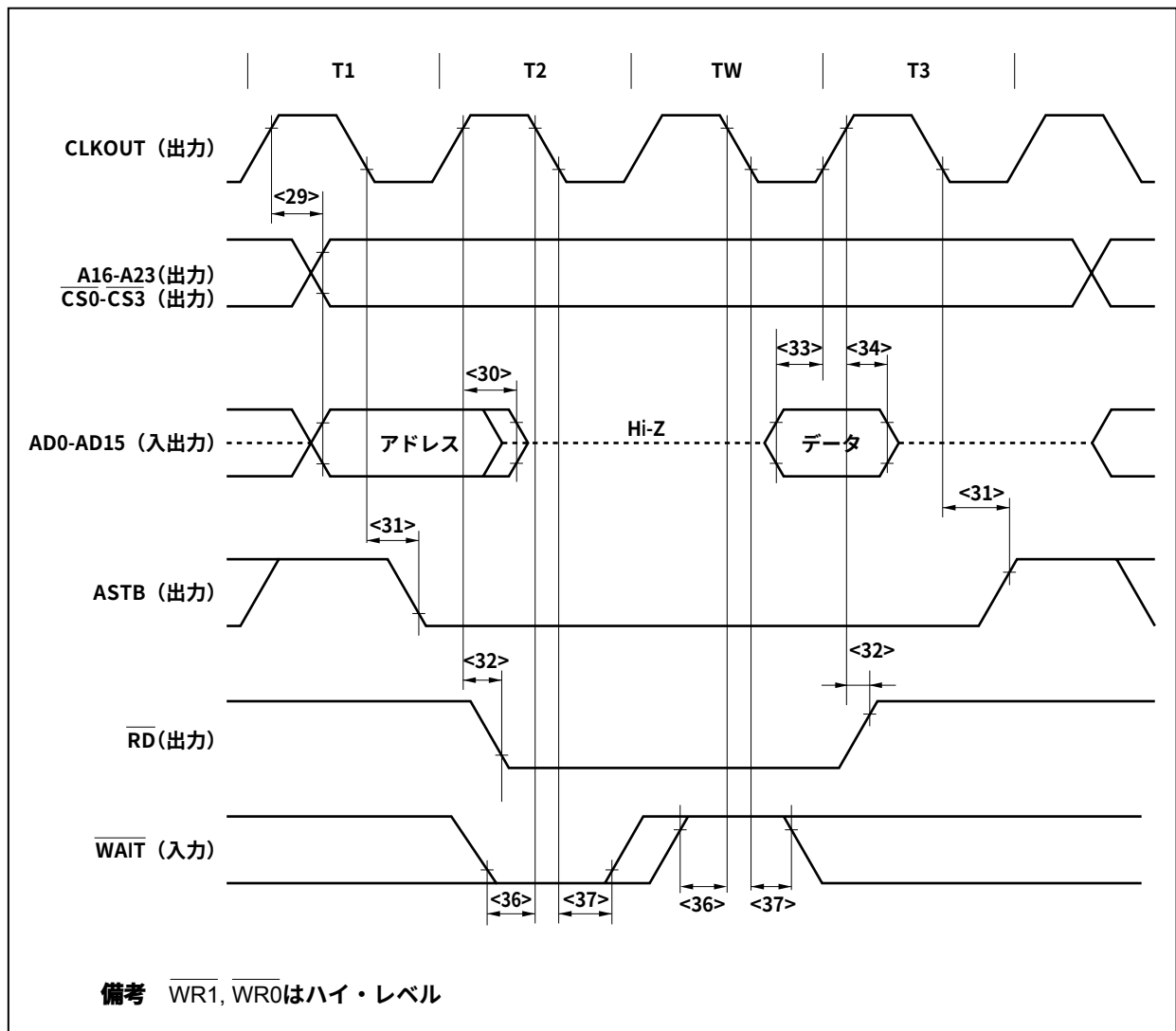
($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT ↑ → アドレス遅延時間	t_{DKA}	<29>	0	19	ns
CLKOUT ↑ → アドレス・フロート遅延時間	t_{FKA}	<30>	0	18	ns
CLKOUT ↓ → ASTB遅延時間	t_{DKST}	<31>	0	55	ns
CLKOUT ↑ → $\overline{RD}$, $\overline{WRm}$ 遅延時間	t_{DKRDWR}	<32>	-22	0	ns
データ入力設定時間 (対CLKOUT ↑)	t_{SIDK}	<33>	30		ns
データ入力保持時間 (対CLKOUT ↑)	t_{HKID}	<34>	0		ns
CLKOUT ↑ → データ出力遅延時間	t_{DKOD}	<35>		19	ns
WAIT設定時間 (対CLKOUT ↓)	t_{SWTK}	<36>	25		ns
WAIT保持時間 (対CLKOUT ↓)	t_{HKWT}	<37>	0		ns

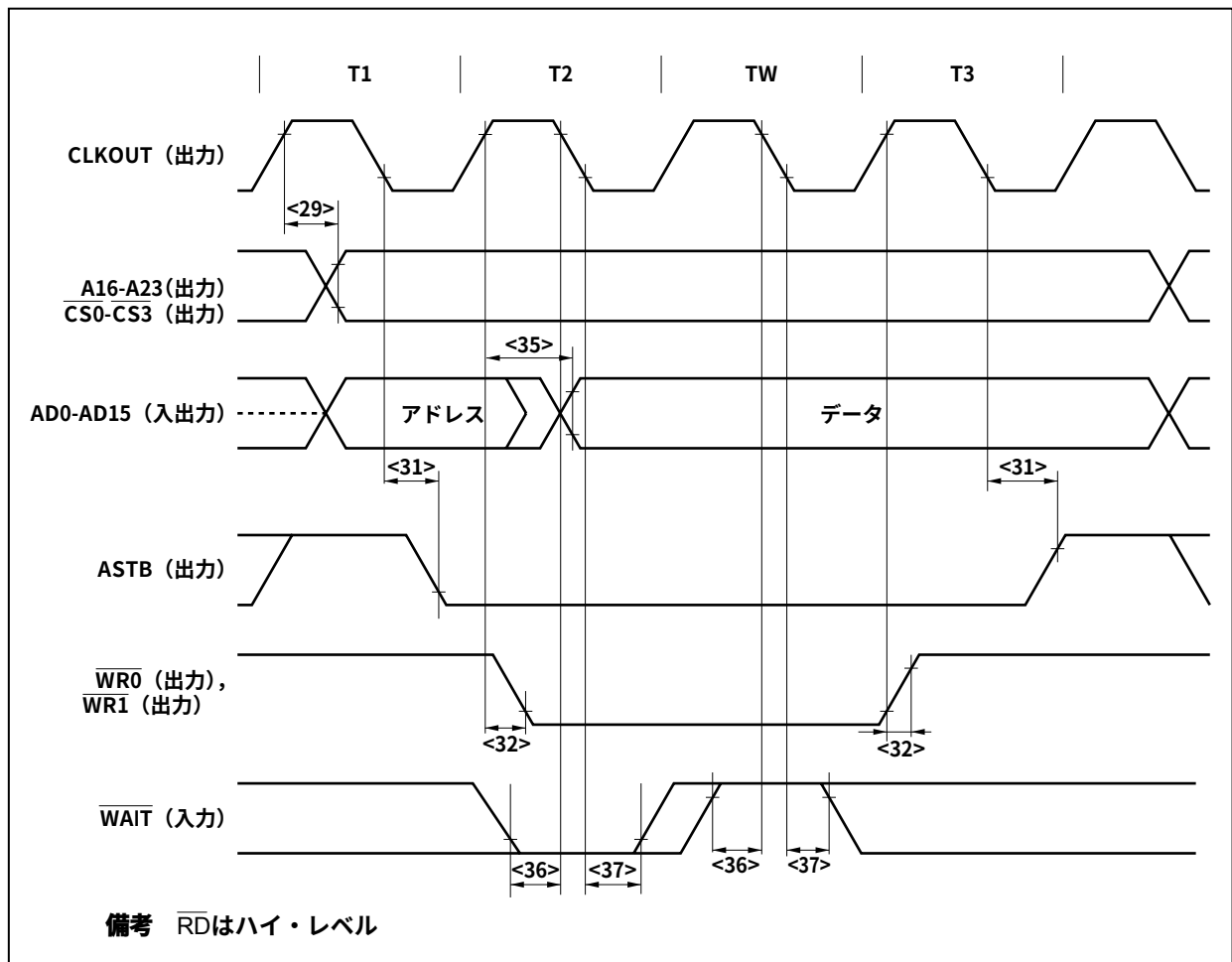
備考1. $m = 0, 1$

- 上記スペックは、X1からデューティ比1:1のクロックを入力した場合の値です。
- CLKOUT出力タイミングについては<1>~<5>を参照してください。

リード・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



ライト・サイクル (CLKOUT同期) : マルチプレクス・バス・モード時



(2) セパレート・バス・モード時

(a) リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条件	MIN.	MAX.	単 位
アドレス設定時間 (対 $\overline{RD} \downarrow$)	t_{SARD}	<38>	$(0.5 + t_{ASW}) T - 50$		ns
アドレス保持時間 (対 $\overline{RD} \uparrow$)	t_{HARD}	<39>	$iT - 13$		ns
$\overline{RD}$ ロウ・レベル幅	t_{WRDL}	<40>	$(1.5 + n + t_{AHW}) T - 15$		ns
データ設定時間 (対 $\overline{RD} \uparrow$)	t_{SISD}	<41>	30		ns
データ保持時間 (対 $\overline{RD} \uparrow$)	t_{HISD}	<42>	0		ns
データ設定時間 (対アドレス)	t_{SAID}	<43>		$(2 + n + t_{ASW} + t_{AHW}) T - 65$	ns
WAIT設定時間 (対 $\overline{RD} \downarrow$)	t_{SRDWT1}	<44>	$n \geq 1$	$(0.5 + t_{AHW}) T - 32$	ns
	t_{SRDWT2}	<45>		$(0.5 + n + t_{AHW}) T - 32$	ns
WAIT保持時間 (対 $\overline{RD} \downarrow$)	t_{HRDWT1}	<46>	$n \geq 1$	$(n - 0.5 + t_{AHW}) T$	ns
	t_{HRDWT2}	<47>		$(n + 0.5 + t_{AHW}) T$	ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<48>	$n \geq 1$	$(1 + t_{ASW} + t_{AHW}) T - 65$	ns
	t_{SAWT2}	<49>		$(1 + n + t_{ASW} + t_{AHW}) T - 65$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<50>	$n \geq 1$	$(n + t_{ASW} + t_{AHW}) T$	ns
	t_{HAWT2}	<51>		$(1 + n + t_{ASW} + t_{AHW}) T$	ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください ($k = 0-3$)。

• $1/f_{CPU} < 100 \text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASW k ビット = 1) を設定

備考1. t_{ASW} : アドレス・セットアップ・ウエイト・クロック数 (0または1)

t_{AHW} : アドレス・ホールド・ウエイト・クロック数 (0または1)

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条件	MIN.	MAX.	単 位
アドレス設定時間 (対 $\overline{RD} \downarrow$)	t_{SARD}	<38>	$(0.5 + t_{ASW}) T - 100$		ns
アドレス保持時間 (対 $\overline{RD} \uparrow$)	t_{HARD}	<39>	$iT - 26$		ns
$\overline{RD}$ ロウ・レベル幅	t_{WRDL}	<40>	$(1.5 + n + t_{AHW}) T - 30$		ns
データ設定時間 (対 $\overline{RD} \uparrow$)	t_{SISD}	<41>	60		ns
データ保持時間 (対 $\overline{RD} \uparrow$)	t_{HISD}	<42>	0		ns
データ設定時間 (対アドレス)	t_{SAID}	<43>		$(2 + n + t_{ASW} + t_{AHW}) T - 120$	ns
$\overline{WAIT}$ 設定時間 (対 $\overline{RD} \downarrow$)	t_{SRDWT1}	<44> $n \geq 1$		$(0.5 + t_{AHW}) T - 50$	ns
	t_{SRDWT2}	<45>		$(0.5 + n + t_{AHW}) T - 50$	ns
$\overline{WAIT}$ 保持時間 (対 $\overline{RD} \downarrow$)	t_{HRDWT1}	<46> $n \geq 1$	$(n - 0.5 + t_{AHW}) T$		ns
	t_{HRDWT2}	<47>	$(n + 0.5 + t_{AHW}) T$		ns
$\overline{WAIT}$ 設定時間 (対アドレス)	t_{SAWT1}	<48> $n \geq 1$		$(1 + t_{ASW} + t_{AHW}) T - 130$	ns
	t_{SAWT2}	<49>		$(1 + n + t_{ASW} + t_{AHW}) T - 130$	ns
$\overline{WAIT}$ 保持時間 (対アドレス)	t_{HAWT1}	<50> $n \geq 1$	$(n + t_{ASW} + t_{AHW}) T$		ns
	t_{HAWT2}	<51>	$(1 + n + t_{ASW} + t_{AHW}) T$		ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください ($k = 0-3$)。

- $1/f_{CPU} < 200 \text{ ns}$ 時

アドレス・セットアップ・ウエイト (ASW_k ビット = 1) を設定

備考1. t_{ASW} : アドレス・セットアップ・ウエイト・クロック数 (0または1)

t_{AHW} : アドレス・ホールド・ウエイト・クロック数 (0または1)

2. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

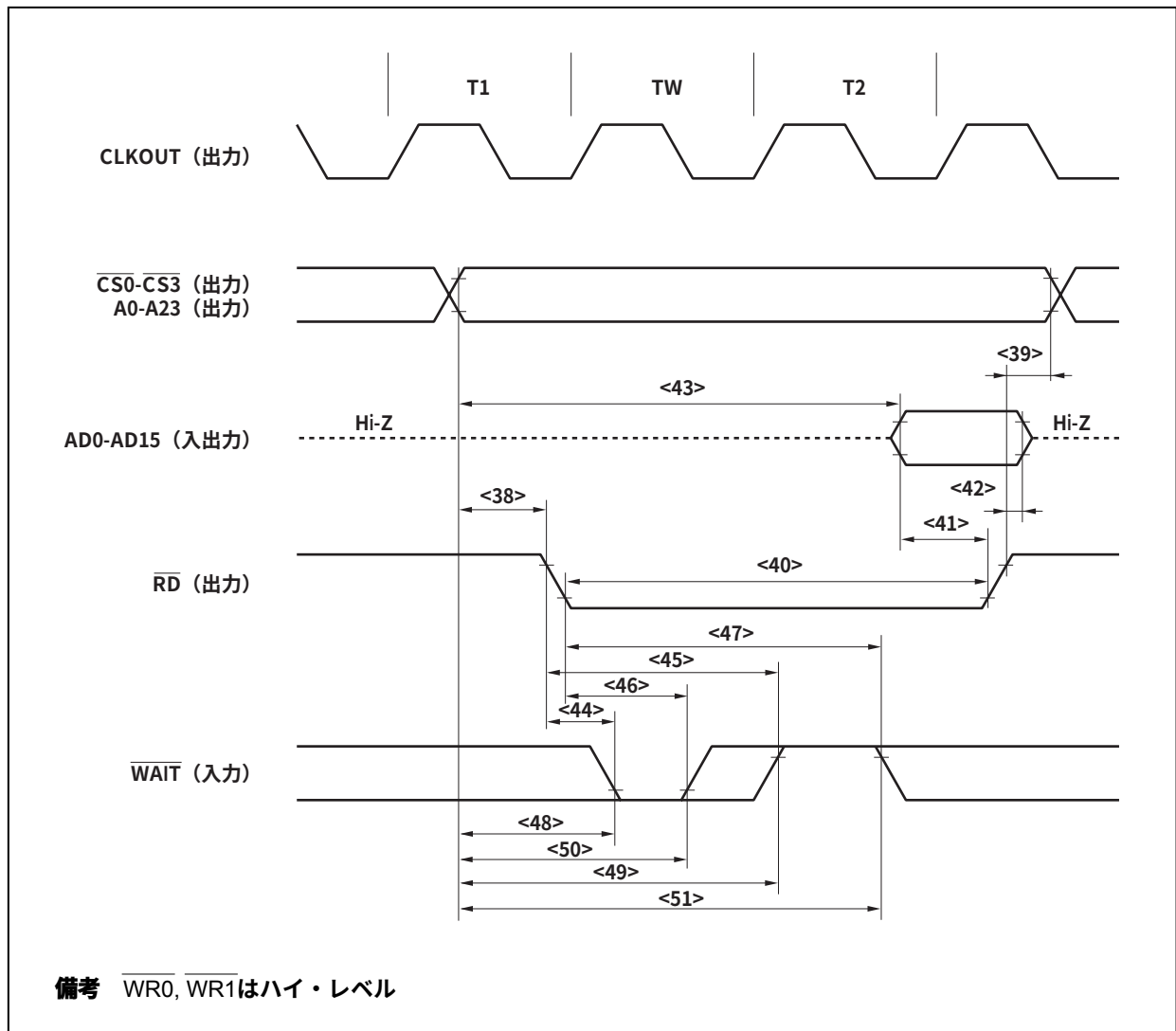
3. n : バス・サイクルに挿入されるウエイト・クロック数

プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。

4. i : リード・サイクル後に挿入されるアイドル・ステート数 (0または1)

5. 上記のスペックは、X1からデューティ比1 : 1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT非同期) : セパレート・バス・モード時



(b) ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条件	MIN.	MAX.	単 位
アドレス設定時間 (対 $\overline{WRm} \downarrow$)	t_{SAWR}	<52>	$(1 + t_{ASW} + t_{AHW}) T - 60$		ns
アドレス保持時間 (対 $\overline{WRm} \uparrow$)	t_{HAWR}	<53>	$0.5T - 10$		ns
$\overline{WRm}$ ロウ・レベル幅	t_{WWRL}	<54>	$(0.5 + n) T - 10$		ns
$\overline{WRm} \downarrow \rightarrow$ データ出力遅延時間	t_{DOSDW}	<55>	-5		ns
データ設定時間 (対 $\overline{WRm} \uparrow$)	t_{SOSDW}	<56>	$(0.5 + n) T - 20$		ns
データ保持時間 (対 $\overline{WRm} \uparrow$)	t_{HOSDW}	<57>	$0.5T - 20$		ns
データ設定時間 (対アドレス)	t_{SAOD}	<58>	$(1 + t_{ASW} + t_{AHW}) T - 30$		ns
WAIT設定時間 (対 $\overline{WRm} \downarrow$)	t_{SWRWT1}	<59>	30		ns
	t_{SWRWT2}	<60>		$nT - 30$	ns
WAIT保持時間 (対 $\overline{WRm} \downarrow$)	t_{HWRWT1}	<61>	0		ns
	t_{HWRWT2}	<62>	nT		ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<63>		$(1 + t_{ASW} + t_{AHW}) T - 45$	ns
	t_{SAWT2}	<64>		$(1 + n + t_{ASW} + t_{AHW}) T - 45$	ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<65>	$(n + t_{ASW} + t_{AHW}) T$		ns
	t_{HAWT2}	<66>	$(1 + n + t_{ASW} + t_{AHW}) T$		ns

注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください (k = 0-3)。

- $1/f_{CPU} < 60 \text{ ns}$ 時 (ライト時のみ, リード/ライト時は100 ns)
- アドレス・セットアップ・ウエイト (ASWkビット = 1) を設定

備考1. $m = 0, 1$

- t_{ASW} : アドレス・セットアップ・ウエイト・クロック数 (0または1)
 t_{AHW} : アドレス・ホールド・ウエイト・クロック数 (0または1)
- $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)
- n : バス・サイクルに挿入されるウエイト・クロック数
 プログラマブル・ウエイト挿入時は, サンプリング・タイミングが変わります。
- 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条件	MIN.	MAX.	単 位
アドレス設定時間 (対 $\overline{WRm} \downarrow$)	t_{SAWR}	<52>	$(1+t_{ASW}+t_{AHW}) T-100$		ns
アドレス保持時間 (対 $\overline{WRm} \uparrow$)	t_{HAWR}	<53>	$0.5T-10$		ns
$\overline{WRm}$ ロウ・レベル幅	t_{WWRL}	<54>	$(0.5+n) T-10$		ns
$\overline{WRm} \downarrow \rightarrow$ データ出力遅延時間	t_{DOSDW}	<55>	-5		ns
データ設定時間 (対 $\overline{WRm} \uparrow$)	t_{SOSDW}	<56>	$(0.5+n) T-35$		ns
データ保持時間 (対 $\overline{WRm} \uparrow$)	t_{HOSDW}	<57>	$0.5T-35$		ns
データ設定時間 (対アドレス)	t_{SAOD}	<58>	$(1+t_{ASW}+t_{AHW}) T-55$		ns
WAIT設定時間 (対 $\overline{WRm} \downarrow$)	t_{SWRWT1}	<59>	$n \geq 1$	50	ns
	t_{SWRWT2}	<60>		$nT-50$	ns
WAIT保持時間 (対 $\overline{WRm} \downarrow$)	t_{HWRWT1}	<61>	$n \geq 1$	0	ns
	t_{HWRWT2}	<62>		nT	ns
WAIT設定時間 (対アドレス)	t_{SAWT1}	<63>	$n \geq 1$		$(1+t_{ASW}+t_{AHW}) T-100$ ns
	t_{SAWT2}	<64>			$(1+n+t_{ASW}+t_{AHW}) T-100$ ns
WAIT保持時間 (対アドレス)	t_{HAWT1}	<65>	$n \geq 1$	$(n+t_{ASW}+t_{AHW}) T$	ns
	t_{HAWT2}	<66>		$(1+n+t_{ASW}+t_{AHW}) T$	ns

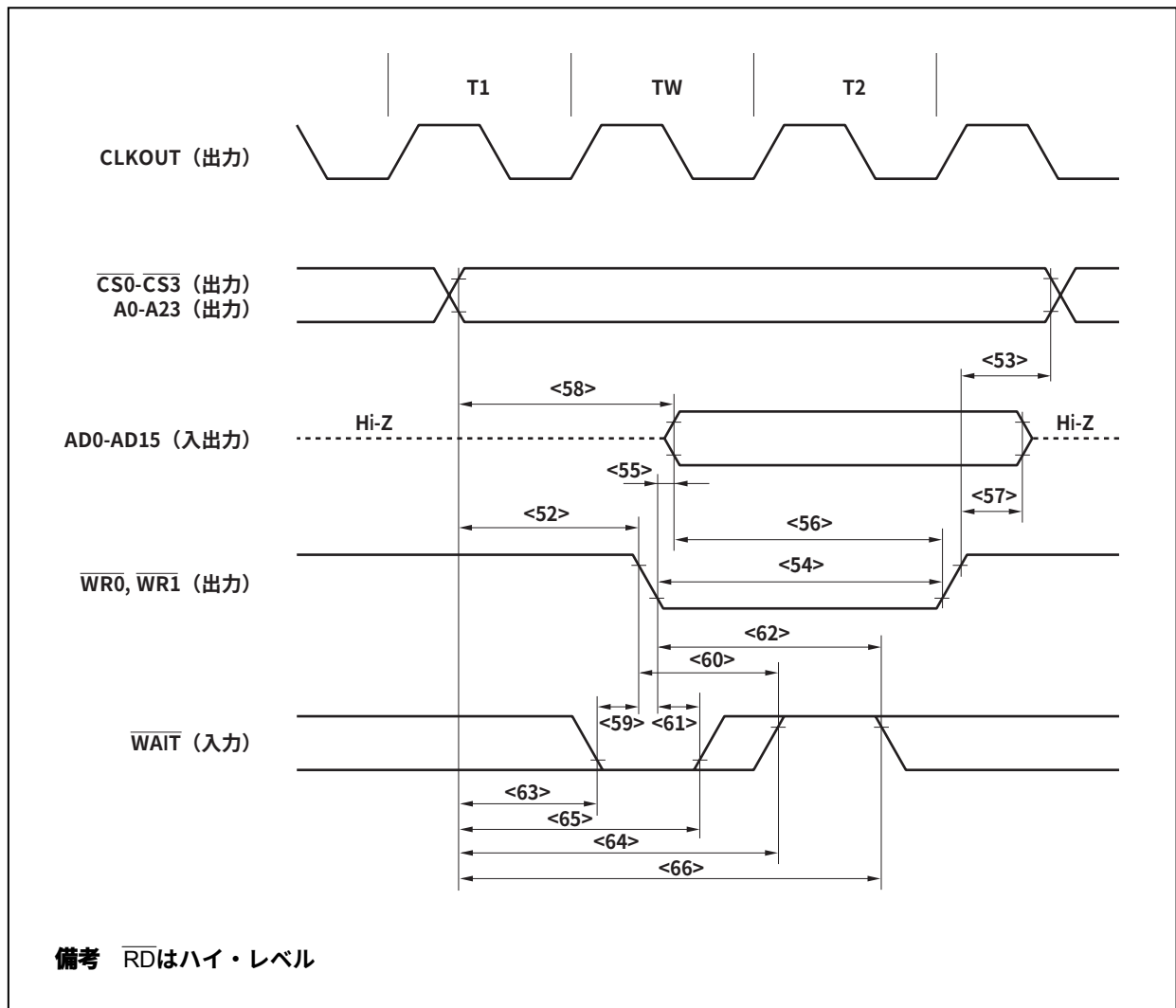
注意 CPU動作クロック周波数の使用条件によっては、次の設定を行ってください ($k = 0-3$)。

- $1/f_{CPU} < 100 \text{ ns}$ 時 (ライト時のみ、リード／ライト時は200 ns)
アドレス・セットアップ・ウエイト (ASWkビット = 1) を設定

備考1. $m = 0, 1$

- t_{ASW} : アドレス・セットアップ・ウエイト・クロック数 (0または1)
 t_{AHW} : アドレス・ホールド・ウエイト・クロック数 (0または1)
- $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)
- n : バス・サイクルに挿入されるウエイト・クロック数
プログラマブル・ウエイト挿入時は、サンプリング・タイミングが変わります。
- 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

ライト・サイクル (CLKOUT非同期) : セパレート・バス・モード時



(c) リード・サイクル (CLKOUT同期) : セパレート・バス・モード時

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT ↑ → アドレス, CS遅延時間	t _{DKSA}	<67>	0	35	ns
データ入力設定時間 (対CLKOUT ↑)	t _{SISDK}	<68>	15		ns
データ入力保持時間 (対CLKOUT ↑)	t _{HKISD}	<69>	0		ns
CLKOUT ↓ ↑ → RD遅延時間	t _{DKSR}	<70>	0	6	ns
WAIT設定時間 (対CLKOUT ↑)	t _{SWTK}	<71>	20		ns
WAIT保持時間 (対CLKOUT ↑)	t _{HKWT}	<72>	0		ns

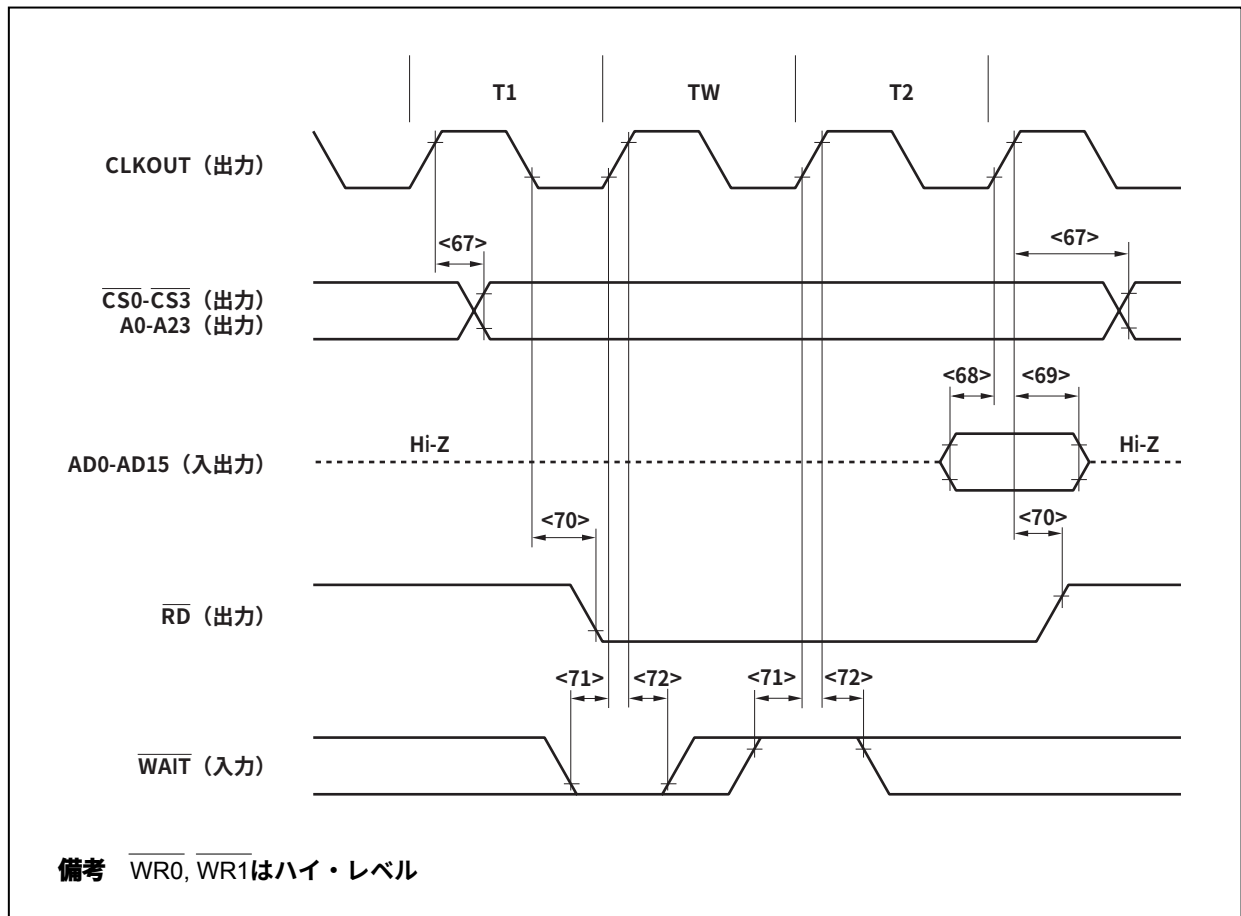
備考 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT ↑ → アドレス, CS遅延時間	t _{DKSA}	<67>	0	65	ns
データ入力設定時間 (対CLKOUT ↑)	t _{SISDK}	<68>	30		ns
データ入力保持時間 (対CLKOUT ↑)	t _{HKISD}	<69>	0		ns
CLKOUT ↓ ↑ → RD遅延時間	t _{DKSR}	<70>	0	10	ns
WAIT設定時間 (対CLKOUT ↑)	t _{SWTK}	<71>	40		ns
WAIT保持時間 (対CLKOUT ↑)	t _{HKWT}	<72>	0		ns

備考 上記のスペックは, X1からデューティ比1:1のクロックを入力した場合の値です。

リード・サイクル (CLKOUT同期, 1ウェイト) : セパレート・バス・モード時



(d) ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT ↑ → アドレス, CS遅延時間	t _{DKSA}	<73>	0	35	ns
CLKOUT ↑ → データ出力遅延時間	t _{DKSD}	<74>	0	10	ns
CLKOUT ↑ ↓ → WR $\overline{m}$ 遅延時間	t _{DKSW}	<75>	0	10	ns
WAIT設定時間 (対CLKOUT ↑)	t _{SWTK}	<76>	20		ns
WAIT保持時間 (対CLKOUT ↑)	t _{HKWT}	<77>	0		ns

備考1. $m = 0, 1$

2. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

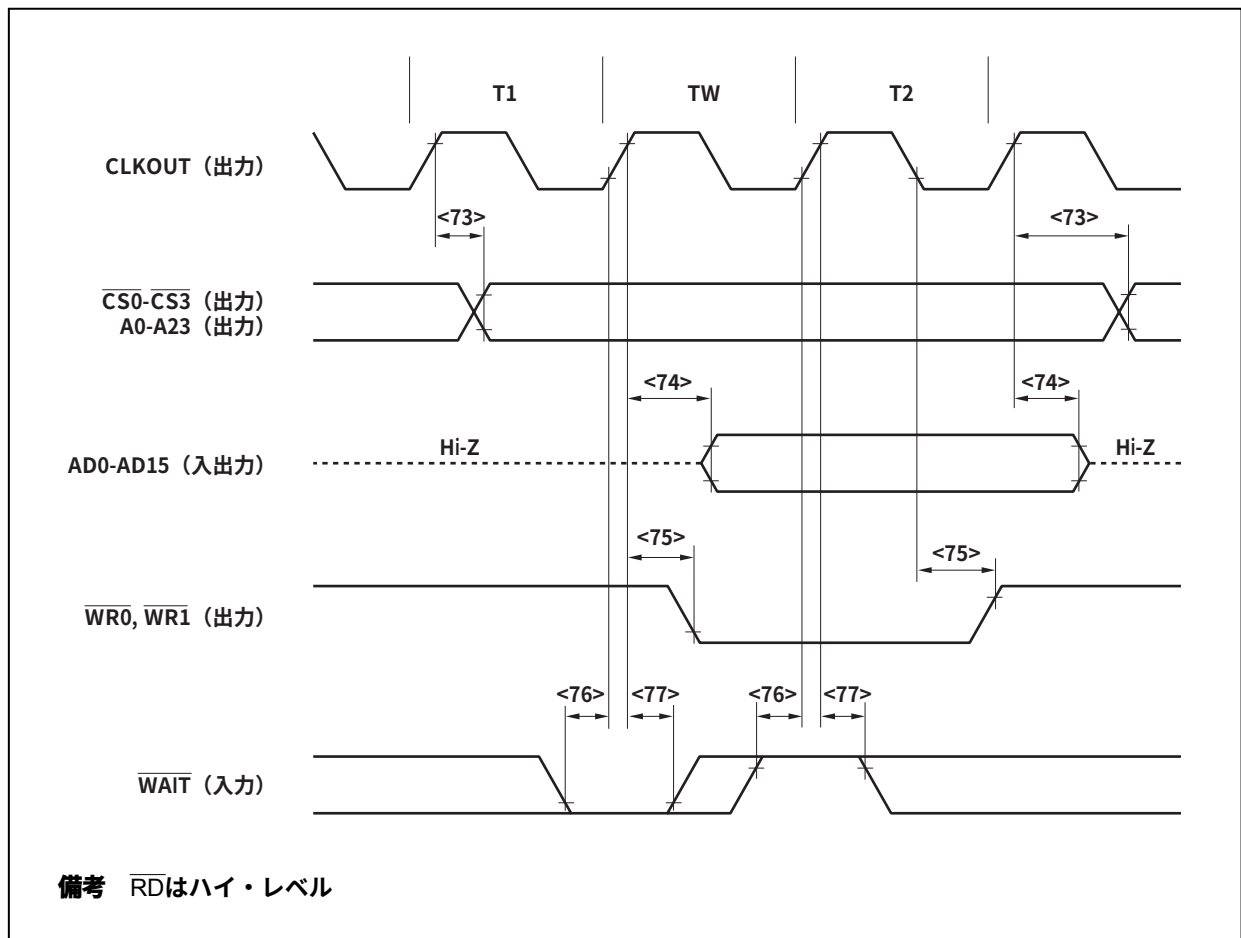
($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
CLKOUT ↑ → アドレス, CS遅延時間	t _{DKSA}	<73>	0	65	ns
CLKOUT ↑ → データ出力遅延時間	t _{DKSD}	<74>	0	15	ns
CLKOUT ↑ ↓ → WR $\overline{m}$ 遅延時間	t _{DKSW}	<75>	0	15	ns
WAIT設定時間 (対CLKOUT ↑)	t _{SWTK}	<76>	40		ns
WAIT保持時間 (対CLKOUT ↑)	t _{HKWT}	<77>	0		ns

備考1. $m = 0, 1$

2. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

ライト・サイクル (CLKOUT同期) : セパレート・バス・モード時



(3) バス・ホールド時

(a) CLKOUT非同期

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{RQ}$ ハイ・レベル幅	t_{WHQH}	<78>	$T + 10$		ns
HLD $\overline{AK}$ ロウ・レベル幅	t_{WHAL}	<79>	$T - 15$		ns
HLD $\overline{AK}$ $\uparrow \rightarrow$ バス出力遅延時間	t_{DHAC}	<80>	-40		ns
HLD $\overline{RQ}$ $\downarrow \rightarrow$ HLD $\overline{AK}$ $\downarrow$ 遅延時間	t_{DHQHA1}	<81>		$(2n + 7.5) T + 40$	ns
HLD $\overline{RQ}$ $\uparrow \rightarrow$ HLD $\overline{AK}$ $\uparrow$ 遅延時間	t_{DHQHA2}	<82>	$0.5T$	$1.5T + 40$	ns

備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n : バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

3. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{RQ}$ ハイ・レベル幅	t_{WHQH}	<78>	$T + 10$		ns
HLD $\overline{AK}$ ロウ・レベル幅	t_{WHAL}	<79>	$T - 15$		ns
HLD $\overline{AK}$ $\uparrow \rightarrow$ バス出力遅延時間	t_{DHAC}	<80>	-80		ns
HLD $\overline{RQ}$ $\downarrow \rightarrow$ HLD $\overline{AK}$ $\downarrow$ 遅延時間	t_{DHQHA1}	<81>		$(2n + 7.5) T + 70$	ns
HLD $\overline{RQ}$ $\uparrow \rightarrow$ HLD $\overline{AK}$ $\uparrow$ 遅延時間	t_{DHQHA2}	<82>	$0.5T$	$1.5T + 70$	ns

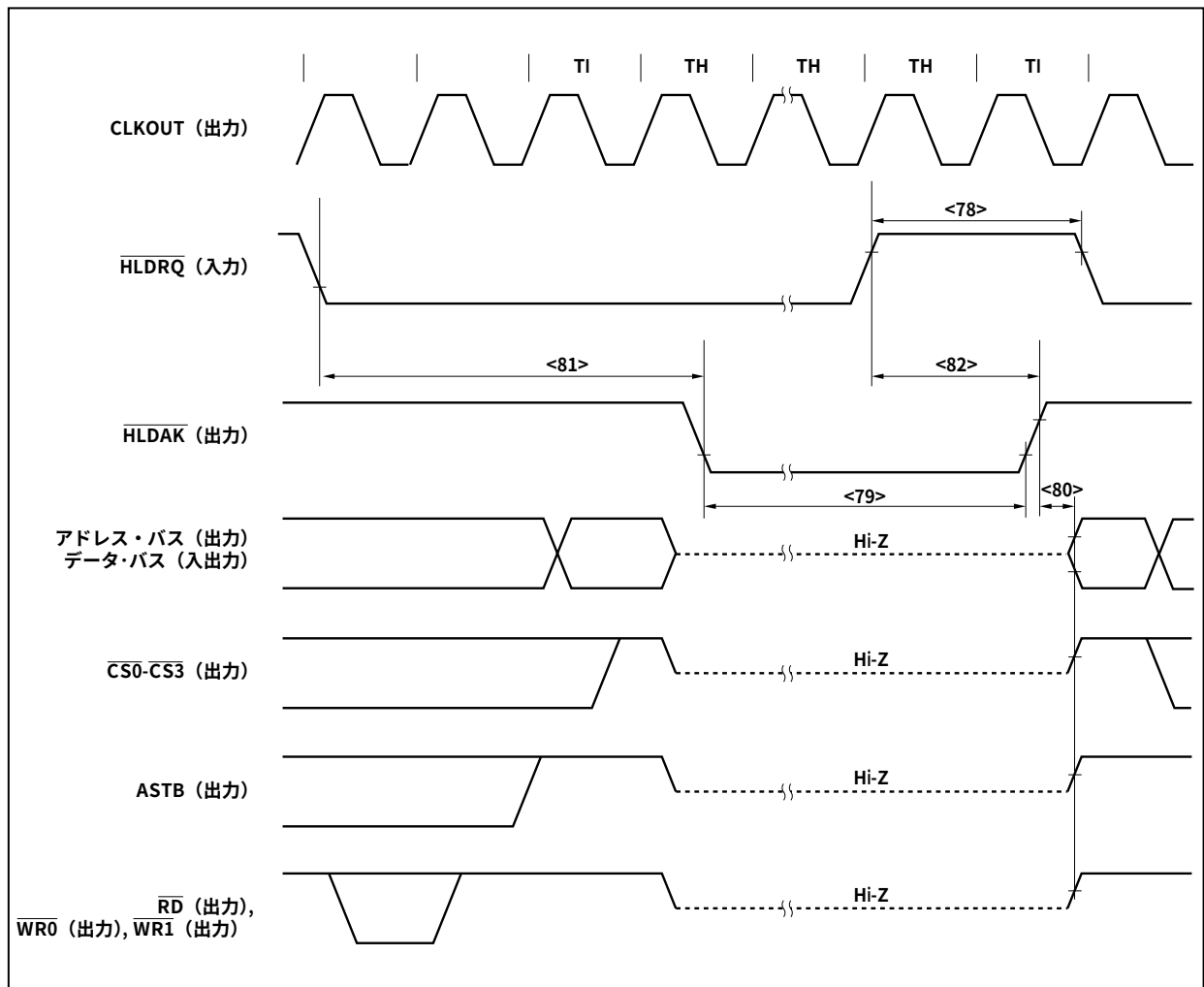
備考1. $T = 1/f_{CPU}$ (f_{CPU} : CPU動作クロック周波数)

2. n : バス・サイクルに挿入されるウェイト・クロック数

プログラマブル・ウェイト挿入時は、サンプル・タイミングが変わります。

3. 上記のスペックは、X1からデューティ比1:1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT非同期)



(b) CLKOUT同期

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 4.0 \sim 5.5 \text{ V}$, $4.0 \text{ V} \leq BV_{DD} \leq V_{DD}$, $4.0 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (1/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT↓)	t_{SHQK}	<83>	15		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT↓)	t_{HKHQ}	<84>	0		ns
CLKOUT↑→バス・フロート遅延時間	t_{DKF}	<85>		20	ns
CLKOUT↑→HLD $\overline{AK}$ 遅延時間	t_{DKHA}	<86>		20	ns

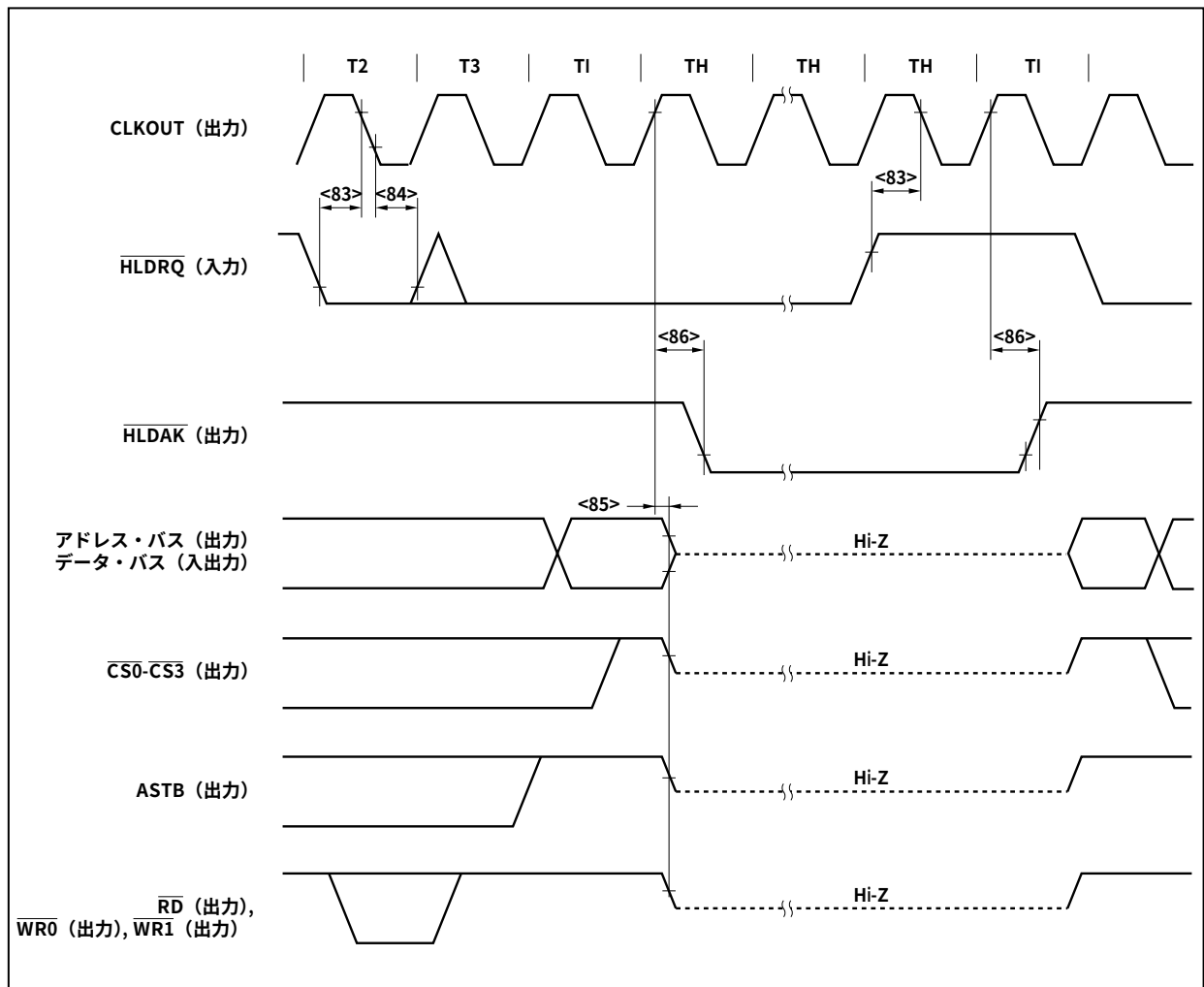
備考 上記のスペックは、X1からデューティ比1：1のクロックを入力した場合の値です。

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$) (2/2)

項 目	略 号	条 件	MIN.	MAX.	単 位
HLD $\overline{RQ}$ 設定時間 (対CLKOUT↓)	t_{SHQK}	<83>	25		ns
HLD $\overline{RQ}$ 保持時間 (対CLKOUT↓)	t_{HKHQ}	<84>	0		ns
CLKOUT↑→バス・フロート遅延時間	t_{DKF}	<85>		40	ns
CLKOUT↑→HLD $\overline{AK}$ 遅延時間	t_{DKHA}	<86>		40	ns

備考 上記のスペックは、X1からデューティ比1：1のクロックを入力した場合の値です。

バス・ホールド (CLKOUT同期)



基本動作

(1) リセット／外部割り込みタイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
RESETロウ・レベル幅	t_{WRSL1}	<87> パワーオン状態でのリセット	2		μs
	t_{WRSL2}	<88> REGC = V_{DD} 時のパワーオン・リセット	2		μs
		注 $t_{VR} > 150 \mu\text{s}$	10		μs
		$t_{VR} \leq 150 \mu\text{s}$	40		μs
NMIハイ・レベル幅	t_{WNIH}	<89>	1		μs
NMIロウ・レベル幅	t_{WNIL}	<90>	1		μs
INTPnハイ・レベル幅	t_{WITH}	<91> $n = 0-7$ (アナログ・ノイズ除去)	600		ns
		$n = 3$ (デジタル・ノイズ除去選択時)	$N_i \times t_{SMP} + 200$		ns
INTPnロウ・レベル幅	t_{WITL}	<92> $n = 0-7$ (アナログ・ノイズ除去)	600		ns
		$n = 3$ (デジタル・ノイズ除去選択時)	$N_i \times t_{SMP} + 200$		ns
ADTRGハイ・レベル幅	t_{WADH}	<93> REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$	$T + 50$		ns
		$V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $10 \mu\text{F}$	$T + 100$		ns
		REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	$T + 100$		ns
ADTRGロウ・レベル幅	t_{WADL}	<94> REGC = $V_{DD} = 4.0 \sim 5.5 \text{ V}$	$T + 50$		ns
		$V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $10 \mu\text{F}$	$T + 100$		ns
		REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	$T + 100$		ns

注 REGC = $10 \mu\text{F}$ 時のパワーオン・リセット

備考1. t_{VR} : $V_{DD} = 0 \text{ V} \rightarrow 4.0 \text{ V}$ (= 動作下限電圧) まで到達する時間

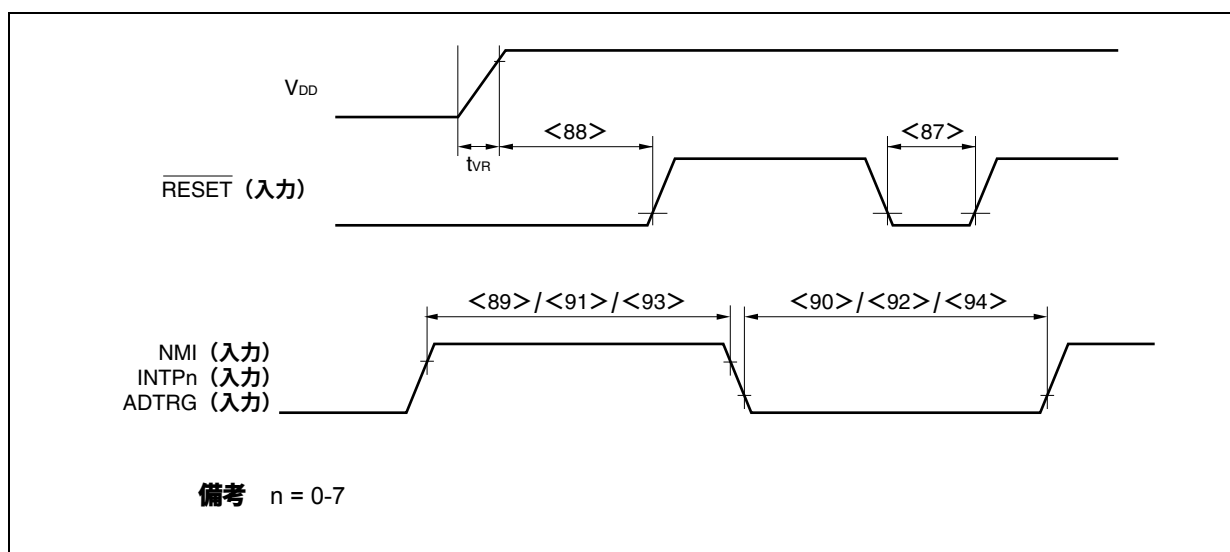
N_i : NFC.NFSTSビットで設定したサンプリング回数

t_{SMP} : INTP3端子のデジタル・ノイズ除去サンプリング・クロック周期

T : A/D基本クロック周期 (f_{AD})

2. 上記スペックは、確実に有効エッジとして検出されるパルス幅を示しており、上記スペック以下のパルス幅を入力しても有効エッジとして検出される可能性があります。

リセット／割り込み



タイマ・タイミング

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
TI0nハイ・レベル幅	t_{TIOH}	<95> REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	$2T_{smp0} + 100$ ^{注1}		ns
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	$2T_{smp0} + 200$ ^{注1}		ns
TI0nロウ・レベル幅	t_{TIOL}	<96> REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	$2T_{smp0} + 100$ ^{注1}		ns
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	$2T_{smp0} + 200$ ^{注1}		ns
TI5mハイ・レベル幅	t_{TI5H}	<97> REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	50		ns
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	100		ns
TI5mロウ・レベル幅	t_{TI5L}	<98> REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	50		ns
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	100		ns
TIP0mハイ・レベル幅	t_{TIPH}	<99> REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	$np \times T_{smpp} + 100$ ^{注2}		ns
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	$np \times T_{smpp} + 200$ ^{注2}		ns
TIP0mロウ・レベル幅	t_{TIPL}	<100> REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$	$np \times T_{smpp} + 100$ ^{注2}		ns
		REGC = $10 \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$	$np \times T_{smpp} + 200$ ^{注2}		ns

注1. T_{smp0} : タイマ0カウント・クロック周期

ただし、TI0nを外部イベント・カウント入力として使用する場合は $T_{smp0} = 4/f_{xx}$ となります。

2. np : PmNFC.PmNFSTSビットで設定したサンプリング・クロック数

T_{smpp} : TIP0m端子のデジタル・ノイズ除去サンプリング・クロック周期

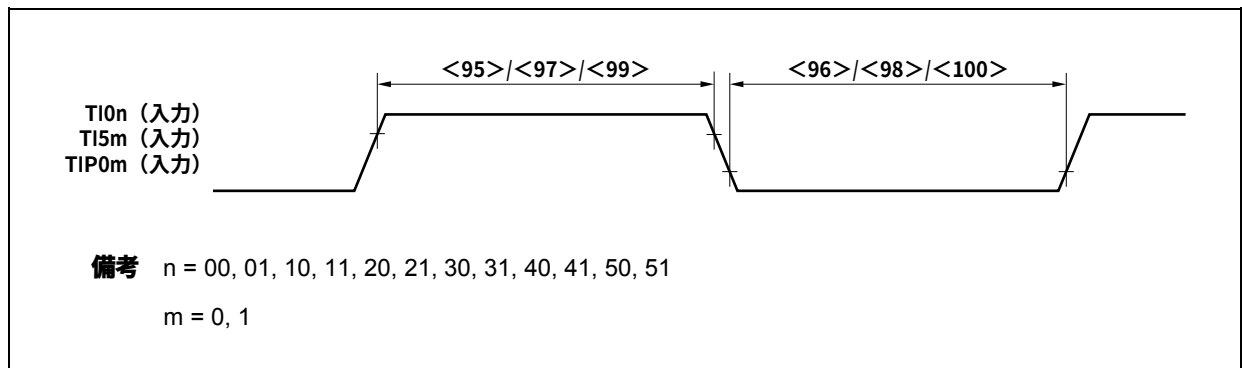
ただし、TIP00を外部イベント・カウント入力または外部トリガ入力として使用する場合は $T_{smpp} = 0$ となります（デジタル・ノイズ除去しません）。

備考1. $n = 00, 01, 10, 11, 20, 21, 30, 31, 40, 41, 50, 51$

$m = 0, 1$

2. 上記のスペックは、有効エッジとして確実に検出されるパルス幅を示しているため、上記のスペックより小さいパルス幅を入力しても有効エッジとして検出される可能性があります。

タイマ入力タイミング



UARTタイミング

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート				312.5	kbps
ASCK0周波数		REGC = $V_{DD} = 4.5 \sim 5.5 \text{ V}$		12	MHz
		REGC = $10 \text{ } \mu\text{F}$, $V_{DD} = 4.0 \sim 5.5 \text{ V}$,		6	MHz
		REGC = $V_{DD} = 2.7 \sim 5.5 \text{ V}$			

CSI0タイミング

(1) マスタ・モード

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{ V}$, $2.7\text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7\text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCK0nサイクル・タイム	t _{KCY1}	<101> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	200		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	400		ns
SCK0nハイ／ロウ・レベル幅	t _{KH1} , t _{KL1}	<102>	t _{KCY1} /2-30		ns
SI0nセットアップ時間 (対SCK0n)	t _{SIK1}	<103> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	30		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	50		ns
SI0nホールド時間 (対SCK0n)	t _{KSI1}	<104> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	30		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	50		ns
SCK0n → SO0n出力遅延時間	t _{KSO1}	<105> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$		30	ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$		60	ns

備考 n = 0-2

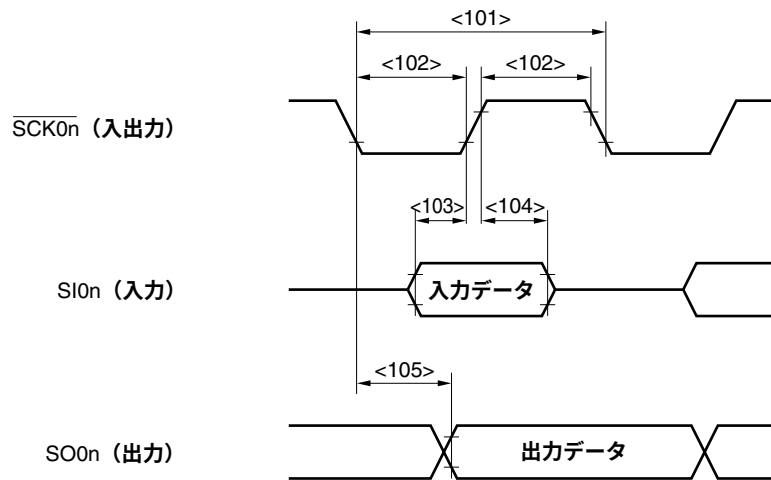
(2) スレーブ・モード

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{ V}$, $2.7\text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7\text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

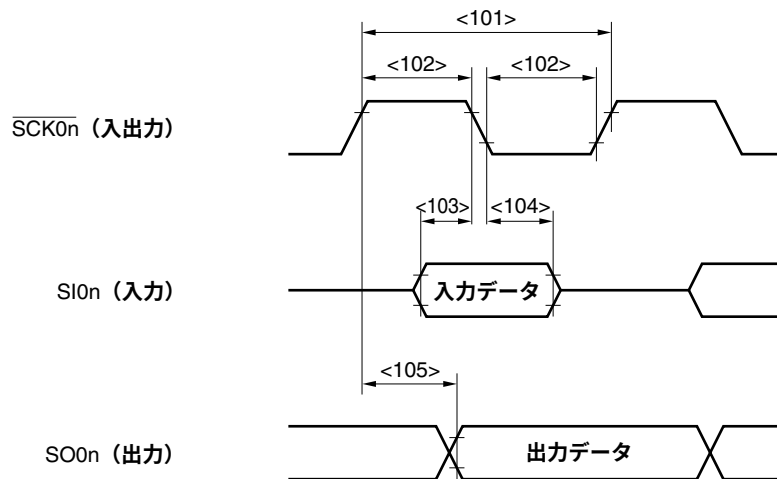
項 目	略 号	条 件	MIN.	MAX.	単 位
SCK0nサイクル・タイム	t _{KCY2}	<101> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	200		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	400		ns
SCK0nハイ／ロウ・レベル幅	t _{KH2} , t _{KL2}	<102> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	45		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	90		ns
SI0nセットアップ時間 (対SCK0n)	t _{SIK2}	<103> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	30		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	60		ns
SI0nホールド時間 (対SCK0n)	t _{KSI2}	<104> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	30		ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	60		ns
SCK0n → SO0n出力遅延時間	t _{KSO2}	<105> REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$		50	ns
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$, REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$		100	ns

備考 n = 0-2

(a) CSICn.CKPn, DAPnビット = 00または11



(b) CSICn.CKPn, DAPnビット = 01または10



備考 n = 0-2

CSIAタイミング

(1) マスタ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKAnサイクル・タイム	t _{KCY3}	<106> REGC = V _{DD} = 4.0~5.5 V	500		ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V	1000		ns
SCKAnハイ／ロウ・レベル幅	t _{KH3} , t _{KL3}	<107>	t _{KCY3} /2-30		ns
SIAnセットアップ時間 (対SCKAn↑)	t _{SIK3}	<108> REGC = V _{DD} = 4.0~5.5 V	30		ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V	60		ns
SIAnホールド時間 (対SCKAn↑)	t _{KSI3}	<109> REGC = V _{DD} = 4.0~5.5 V	30		ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V	60		ns
SCKAn↓→ SOAn出力遅延時間	t _{KSO3}	<110> REGC = V _{DD} = 4.0~5.5 V		30	ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V		60	ns

備考 n = 0, 1

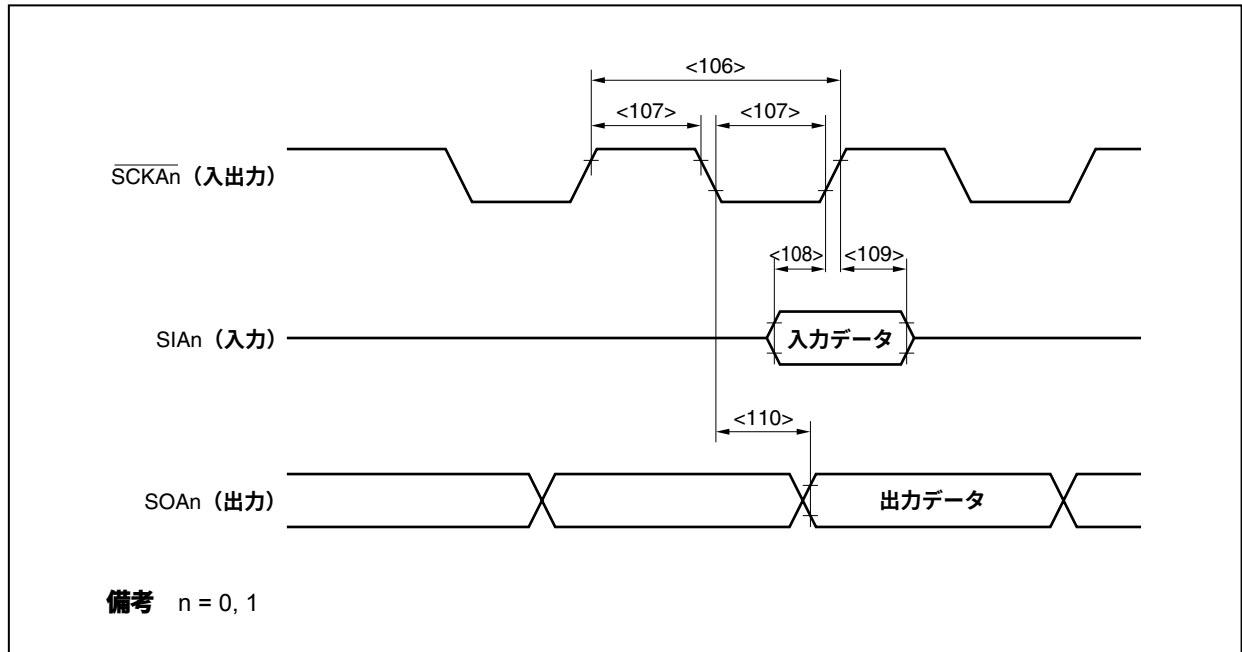
(2) スレーブ・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKAnサイクル・タイム	t _{KCY4}	<106> REGC = V _{DD} = 4.0~5.5 V	840		ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V	1700		ns
SCKAnハイ／ロウ・レベル幅	t _{KH4} , t _{KL4}	<107>	t _{KCY4} /2-30		ns
SIAnセットアップ時間 (対SCKAn↑)	t _{SIK4}	<108> REGC = V _{DD} = 4.0~5.5 V	50		ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V	100		ns
SIAnホールド時間 (対SCKAn↑)	t _{KSI4}	<109> REGC = V _{DD} = 4.0~5.5 V	t _{cy} ×2+15 ^注		ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V	t _{cy} ×2+30 ^注		ns
SCKAn↓→ SOAn出力遅延時間	t _{KSO4}	<110> REGC = V _{DD} = 4.0~5.5 V		t _{cy} ×2+30 ^注	ns
		REGC = 10 μ F, V _{DD} = 4.0~5.5 V, REGC = V _{DD} = 2.7~5.5 V		t _{cy} ×2+60 ^注	ns

注 t_{cy} : f_{SCKA}の周期 (18. 4 (4) シリアル・ステータス・レジスタn (CSISn) 参照)

備考 n = 0, 1



I²Cバス・モード

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号		標準モード		ファスト・モード		単 位
			MIN.	MAX.	MIN.	MAX.	
SCLnクロック周波数	f _{CLK}		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<111>	4.7	—	1.3	—	μs
ホールド時間 ^{注1}	t _{HD : STA}	<112>	4.0	—	0.6	—	μs
SCLnクロックのロウ・レベル幅	t _{LOW}	<113>	4.7	—	1.3	—	μs
SCLnクロックのハイ・レベル幅	t _{HIGH}	<114>	4.0	—	0.6	—	μs
スタート／リスタート・コンディションのセットアップ時間	t _{SU : STA}	<115>	4.7	—	0.6	—	μs
データ・ホールド 時間	CBUS互換マスタの場合	t _{HD : DAT}	<116>	—	—	—	μs
	I ² Cモードの場合		0 ^{注2}	—	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<117>	250	—	100 ^{注4}	—	ns
SDAnおよびSCLn信号の立ち上がり時間	t _r	<118>	—	1000	20+0.1Cb ^{注5}	300	ns
SDAnおよびSCLn信号の立ち下がり時間	t _f	<119>	—	300	20+0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<120>	4.0	—	0.6	—	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<121>	—	—	0	50	ns
各バス・ラインの容量性負荷	Cb		—	400	—	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCLnの立ち下がり端の未定義領域を埋めるために（SCLn信号のV_{IHmin.}での）SDAn信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCLn信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD : DAT}）のみ満たすことが必要です。
- ファスト・モードI²Cバス・デバイスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- 装置がSCLn信号のロウ状態ホールド時間を延長しない場合

$$t_{SU : DAT} \geq 250 \text{ ns}$$

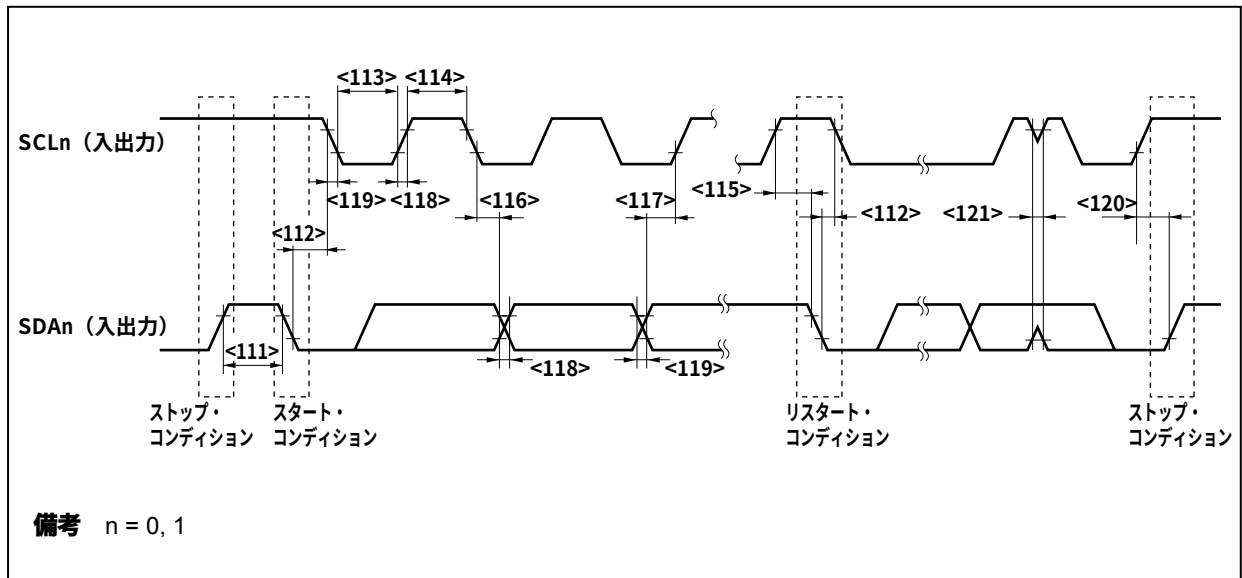
- 装置がSCLn信号のロウ状態ホールド時間を延長する場合

SCLnラインが解放される（t_{Rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様）前に、次のデータ・ビットをSDAnラインに送出してください。

- Cb：1つのバス・ラインの合計キャパシタンス（単位：pF）

備考 n = 0, 1

I²Cバス・モード



A/Dコンバータ

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件		MIN.	TYP.	MAX.	単 位
分解能				10	10	10	bit
総合誤差 ^{注1}	AINL	4.0≦AV _{REF0} ≦5.5 V			±0.2	±0.4	%FSR
		2.7≦AV _{REF0} ≦4.0 V			±0.3	±0.6	%FSR
変換時間	t _{CONV}	4.5≦AV _{REF0} ≦5.5 V	高速モード	3.0		100	μs
			通常モード	14.0		100	μs
		4.0≦AV _{REF0} ≦4.5 V	高速モード	4.8		100	μs
			通常モード	14.0		100	μs
		2.85 ≦AV _{REF0} ≦4.0 V	高速モード	6.0		100	μs
			通常モード	17.0		100	μs
		2.7≦AV _{REF0} ≦2.85 V	高速モード	14.0		100	μs
			通常モード	17.0		100	μs
ゼロスケール誤差 ^{注1}	E _{zs}	4.0≦AV _{REF0} ≦5.5 V				±0.4	%FSR
		2.7≦AV _{REF0} ≦4.0 V				±0.6	%FSR
フルスケール誤差 ^{注1}	E _{fs}	4.0≦AV _{REF0} ≦5.5 V				±0.4	%FSR
		2.7≦AV _{REF0} ≦4.0 V				±0.6	%FSR
非直線性誤差 ^{注2}	ILE	4.0≦AV _{REF0} ≦5.5 V				±2.5	LSB
		2.7≦AV _{REF0} ≦4.0 V				±4.5	LSB
微分直線性誤差 ^{注2}	DLE	4.0≦AV _{REF0} ≦5.5 V				±1.5	LSB
		2.7≦AV _{REF0} ≦4.0 V				±2.0	LSB
アナログ入力電圧	V _{IAN}			0		AV _{REF0}	V
AV _{REF0} 電流	IA _{REF0}	A/Dコンバータ使用時			1.3	2.5	mA
		A/Dコンバータ未使用時 ^{注3}			1.0	10	μA

注1. 量子化誤差 ($\pm 0.05 \text{ \%FSR}$) は含みません。

2. 量子化誤差 ($\pm 0.5 \text{ LSB}$) は含みません。

3. ADM.ADCSビット = 0, ADM.ADCS2ビット = 0

備考 LSB : Least Significant Bit

FSR : Full Scale Range

D/Aコンバータ

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5 \text{ V}$, $2.7 \text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7 \text{ V} \leq AV_{REF1} \leq V_{DD}$,
 $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0 \text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					8	bit
総合誤差 ^{注1, 2}		負荷条件 = 2 M Ω			1.2	%FSR
		負荷条件 = 4 M Ω			0.8	%FSR
		負荷条件 = 10 M Ω			0.6	%FSR
セットリング・タイム ^{注2}		C = 30 pF	$V_{DD} = 4.5 \sim 5.5 \text{ V}$		10	μs
			$V_{DD} = 2.7 \sim 4.5 \text{ V}$		15	μs
出力抵抗 ^{注3}	R _o	出力データ：DACSnレジスタ = 55H		8		k Ω
AV _{REF1} 電流 ^{注4}	IAV _{REF1}	D/A変換動作時		1.5	3.0	mA
		D/A変換停止時		1.0	10	μA

注1. 量子化誤差 ($\pm 0.2 \text{ %FSR}$) は含みません。

2. Cは出力端子の負荷容量です。
3. D/Aコンバータ1チャンネル分の値
4. D/Aコンバータ2チャンネル分の値

備考 n = 0, 1

フラッシュ・メモリ・プログラミング特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \sim 5.5\text{ V}$, $2.7\text{ V} \leq BV_{DD} \leq V_{DD}$, $2.7\text{ V} \leq AV_{REF1} \leq V_{DD}$, $V_{SS} = EV_{SS} = BV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

(1) 基本特性

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
プログラミング動作周波数		REGC = $V_{DD} = 4.5 \sim 5.5\text{ V}$	2		20	MHz
		REGC = $V_{DD} = 4.0 \sim 5.5\text{ V}$	2		16	MHz
		REGC = $10\text{ }\mu\text{F}$, $V_{DD} = 4.0 \sim 5.5\text{ V}$	2		16	MHz
		REGC = $V_{DD} = 2.7 \sim 5.5\text{ V}$	2		10	MHz
電源電圧	V_{DD}		2.7		5.5	V
書き換え回数	C_{ERWR}	注	100			回
プログラミング温度	t_{PRG}		-40	.	+85	$^{\circ}\text{C}$

注 出荷品に対する初回書き込み時には、「消去→書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。

例 (P：書き込み，E：消去)

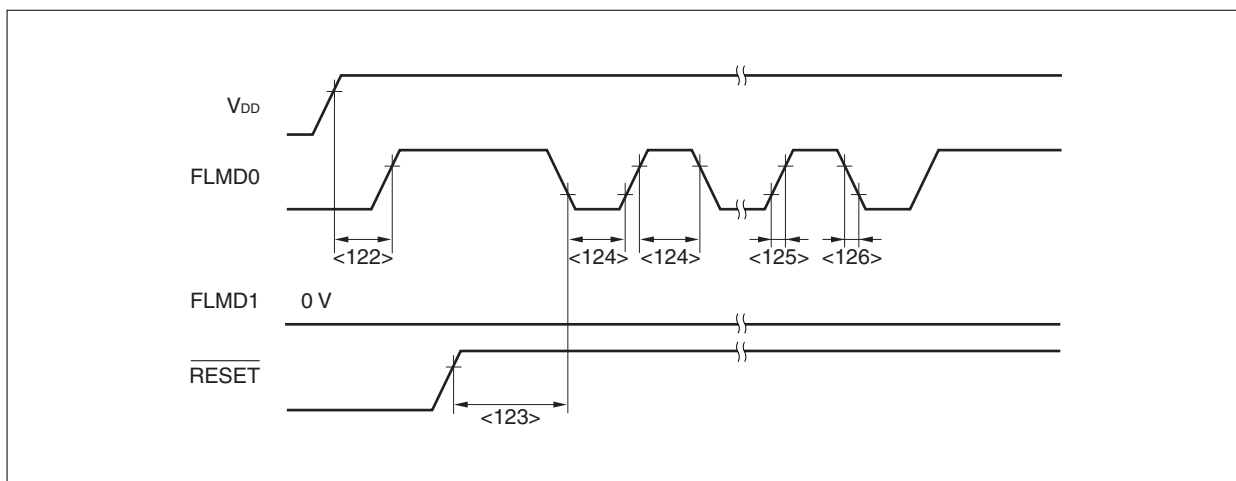
出荷品 → P → E → P → E → P : 書き換え回数3回

出荷品 → E → P → E → P → E → P : 書き換え回数3回

(2) シリアル書き込みオペレーション特性

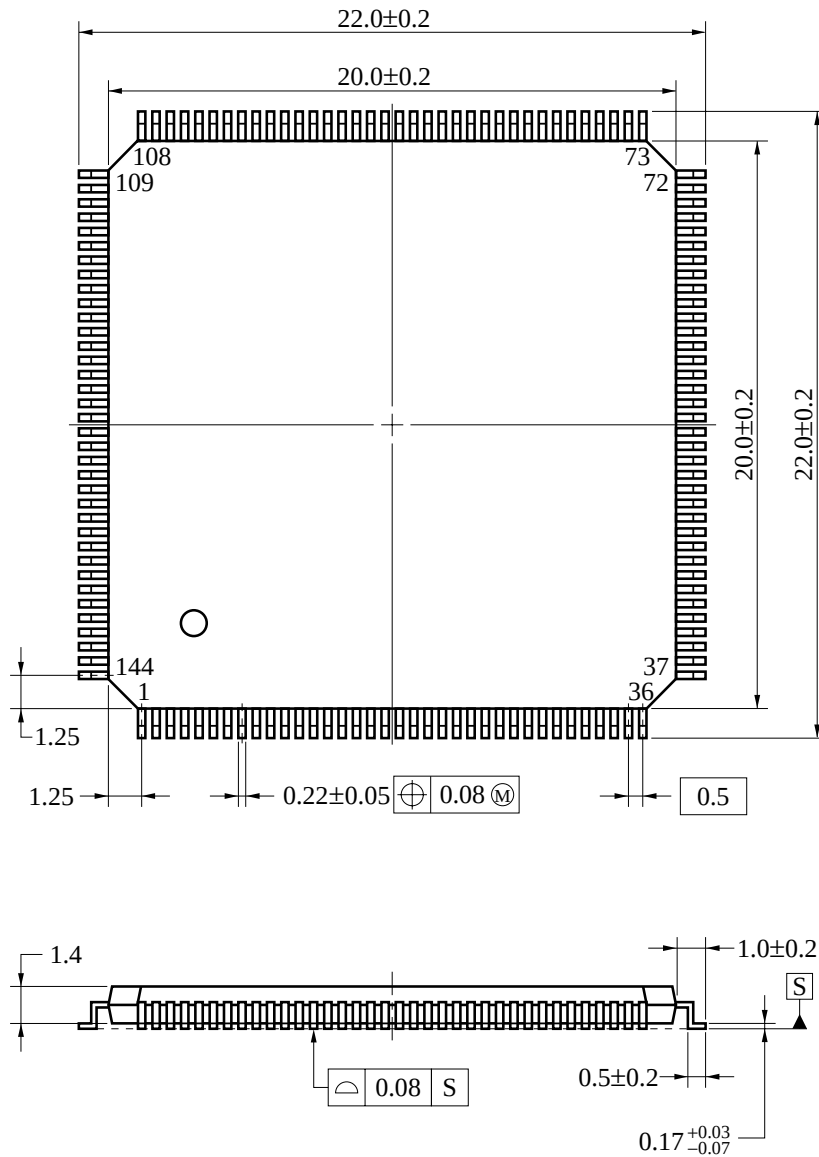
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
$V_{DD} \uparrow \rightarrow \text{FLMD0} \uparrow$ セットアップ時間	t_{DP}	<122>	10 ms		3 s	
RESET $\uparrow \rightarrow \text{FLMD0}$ パルス入力開始時間	t_{RP}	<123>	$66611.2/f_x$			s
FLMD0パルス・ハイ・レベル幅／ロウ・レベル幅	t_{PW}	<124>	10		100	μs
FLMD0パルス立ち上がり時間	t_R	<125>			50	ns
FLMD0パルス立ち下がり時間	t_F	<126>			50	ns

シリアル書き込みオペレーション・タイミング

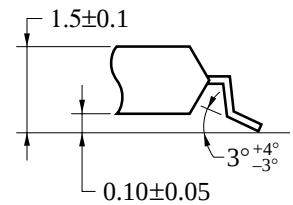


第29章 外形図

144ピン・プラスチック LQFP (ファインピッチ) (20x20) 外形図 (単位: mm)



端子先端形状詳細図



S144GJ-50-UEN

第30章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。

半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://www.necel.com/pkg/ja/jissou/index.html>)

表30-1 表面実装タイプの半田付け条件

μ PD70F3733GJ-UEN-A : 144ピン・プラスチックLQFP (ファインピッチ) (20×20)

μ PD70F3734GJ-UEN-A : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内 制限日数：7日間 [※] （以降は125 °Cプリバーク20～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-207-3
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライバック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. オーダ名称末尾「-A」の製品は，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

付録A 開発ツール

V850ES/KJ2を使用するシステム開発のために、次のような開発ツールを用意しています。

図A-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

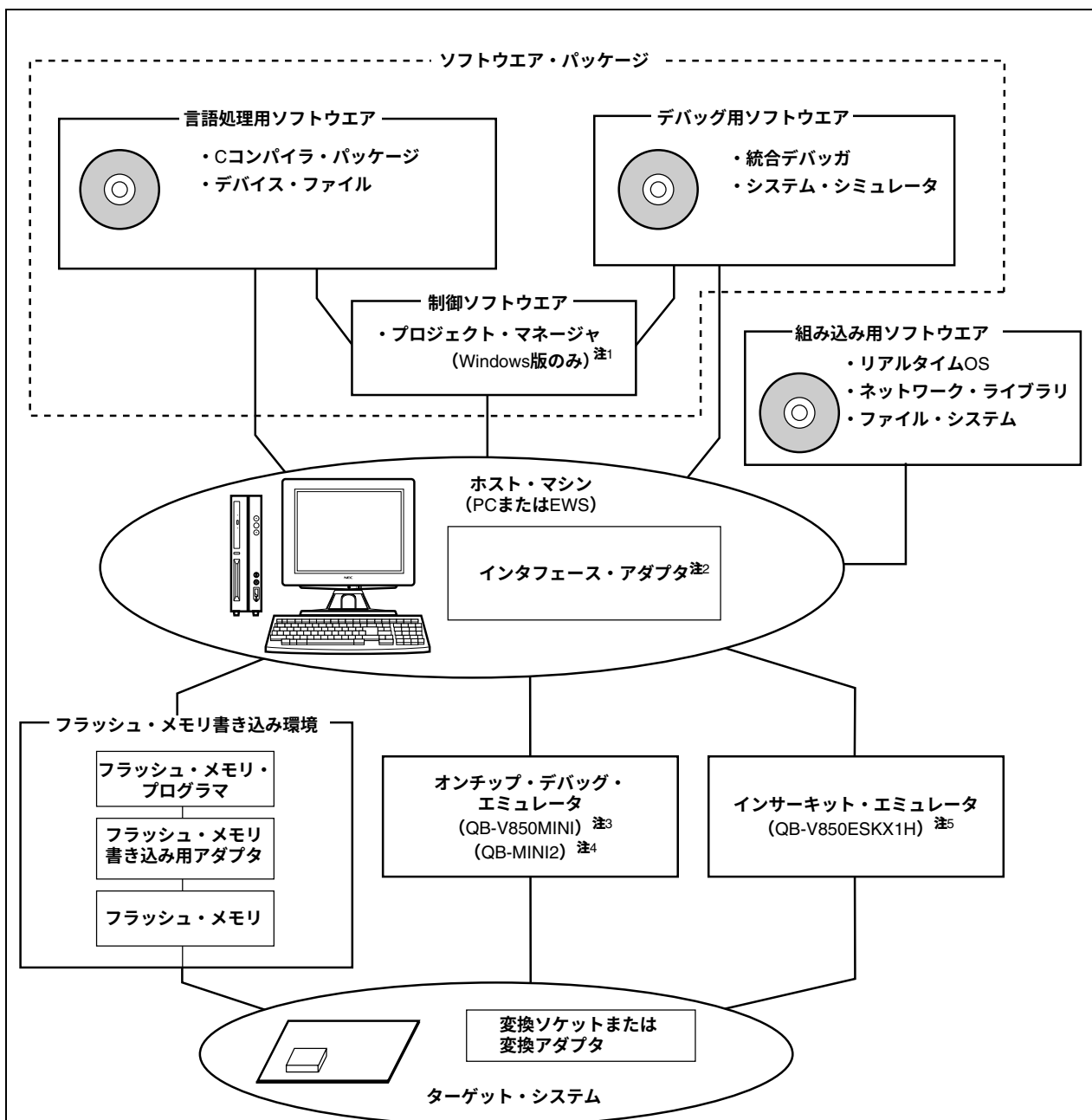
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

●Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- Windows 98, 2000
- Windows Me
- Windows XP[®]
- Windows NT[®] Ver. 4.0

図A-1 開発ツール構成



注1. プロジェクト・マネージャ PM+は、Cコンパイラ・パッケージに入っています。

また、Windows以外ではPM+は使用できません。

2. QB-V850MINI, QB-MINI2, QB-V850ESKX1HはUSBのみ対応です。

3. QB-V850MINIは、ID850QB, USBインタフェース・ケーブル, OCDケーブル, セルフチェック・ボード, KELアダプタ, KELコネクタを添付しています。それ以外の製品は、すべてオプションです。

4. QB-MINI2は、USBインタフェース・ケーブル, 16pinターゲット・ケーブル, 10pinターゲット・ケーブル, 78K0-OCDボードを添付しています(統合デバッガは添付されていません)。それ以外の製品は、すべてオプションです。

5. QB-V850ESKX1Hは、ID850QB, フラッシュ・メモリ・プログラマ (PG-FPL), 電源ユニットとUSBインタフェース・アダプタを添付しています。それ以外の製品は、すべてオプションです。

A. 1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称：μS××××SP850

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××SP850

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを、マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称：μS××××CA703000
DF703734 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, SM+ for V850ES/Kx2, ID850QB）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わされる各ツールに依存します。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μS××××CA703000

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation TM	SunOS TM (Rel. 4.1.4) ， Solaris TM (Rel. 2.5.1)	

A. 3 制御ソフトウェア

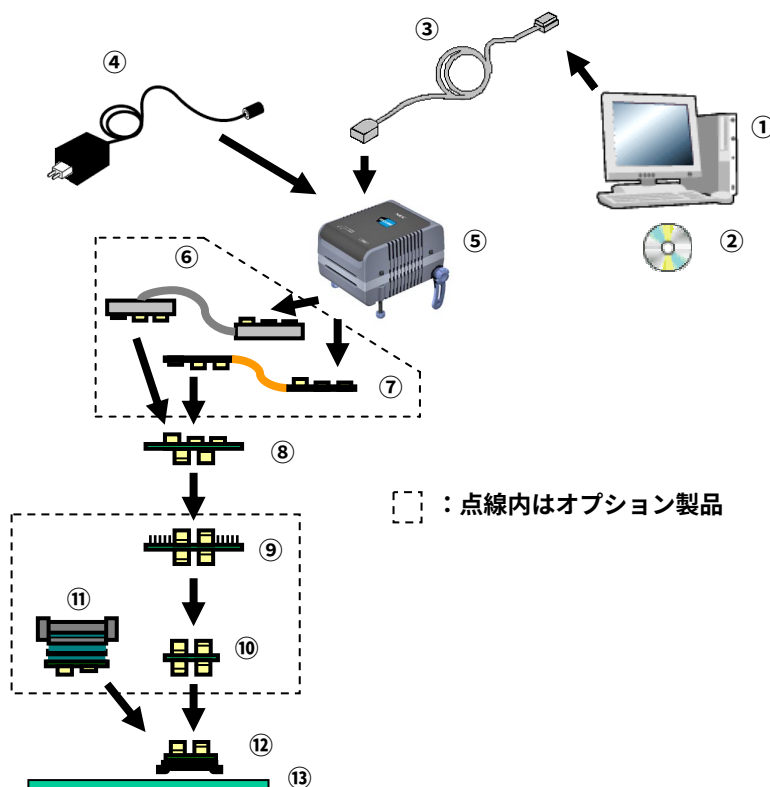
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から、エディタの起動、ビルド、デバッグの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は、Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。

A. 4 デバッグ用ツール（ハードウェア）

A. 4. 1 IECUBE® QB-V850ESKX1Hを使用する場合

QB-V850ESKX1Hとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A-2 システム構成（QB-V850ESKX1Hを使用する場合）（1/2）



- ① ホスト・マシン（PC-9821シリーズ，IBM-PC/AT互換機）
- ② デバッグ，USBドライバ，マニュアルなど（ID850QB Disk, Accessory Disk^{※1}）
- ③ USBインターフェース・ケーブル
- ④ ACアダプタ
- ⑤ インサートキット・エミュレータ（QB-V850ESKX1H）
- ⑥ 延長プローブ同軸タイプ（QB-144-EP-01S）（オプション）
- ⑦ 延長プローブ・フレキシブル・タイプ^{※2}（QB-144-EP-02S）（オプション）
- ⑧ エクステンジ・アダプタ^{※3}（QB-144GJ-EA-02S）
- ⑨ チェックピン・アダプタ^{※4}（QB-144-CA-01S）（オプション）
- ⑩ スペース・アダプタ^{※4}（QB-144-SA-01S）（オプション）
- ⑪ マウント・アダプタ（QB-144GJ-MA-01S）（オプション）
- ⑫ ターゲット・コネクタ^{※3}（QB-144GJ-TC-01S）
- ⑬ ターゲット・システム

図A-2 システム構成 (QB-V850ESKX1Hを使用する場合) (2/2)

注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

2. 開発中

3. オーダ品名によっては、添付品となります。

・QB-V850ESKX1H-ZZZでオーダーした場合

エクステンジ・アダプタ，ターゲット・コネクタは添付されていません。

・QB-V850ESKX1H-S144GJでオーダーした場合

QB-144GJ-EA-02S, QB-144GJ-TC-01Sが添付されています。

4. ⑨と⑩の両方を使用する場合，⑨と⑩の接続順序が逆でも接続できます。

⑤ QB-V850ESKX1H ^注 インサートキット・エミュレータ	V850ES/KJ2を使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのインサートキット・エミュレータです。統合デバッガ ID850QBに対応しています。電源ユニット，エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は，USBを使用します。
③ USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESKX1Hを接続するケーブルです。
④ ACアダプタ	ACプラグ差し替えて100～240 Vに対応可能です。
⑧ QB-144GJ-EA-02S エクステンジ・アダプタ	ピン変換を行うアダプタです。
⑨ QB-144-CA-01S チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
⑩ QB-144-SA-01S スペース・アダプタ	高さ調節用アダプタです。
⑪ QB-144GJ-MA-01S マウント・アダプタ	V850ES/KJ2をソケット実装するためのアダプタです。
⑫ QB-144GJ-TC-01S ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注 QB-V850ESKX1Hは，電源ユニット，USBインタフェース・ケーブルとフラッシュ・メモリ・プログラム (PG-FPL) を添付しています。また，コントロール・ソフトウェアとして，統合デバッガ ID850QBを添付しています。

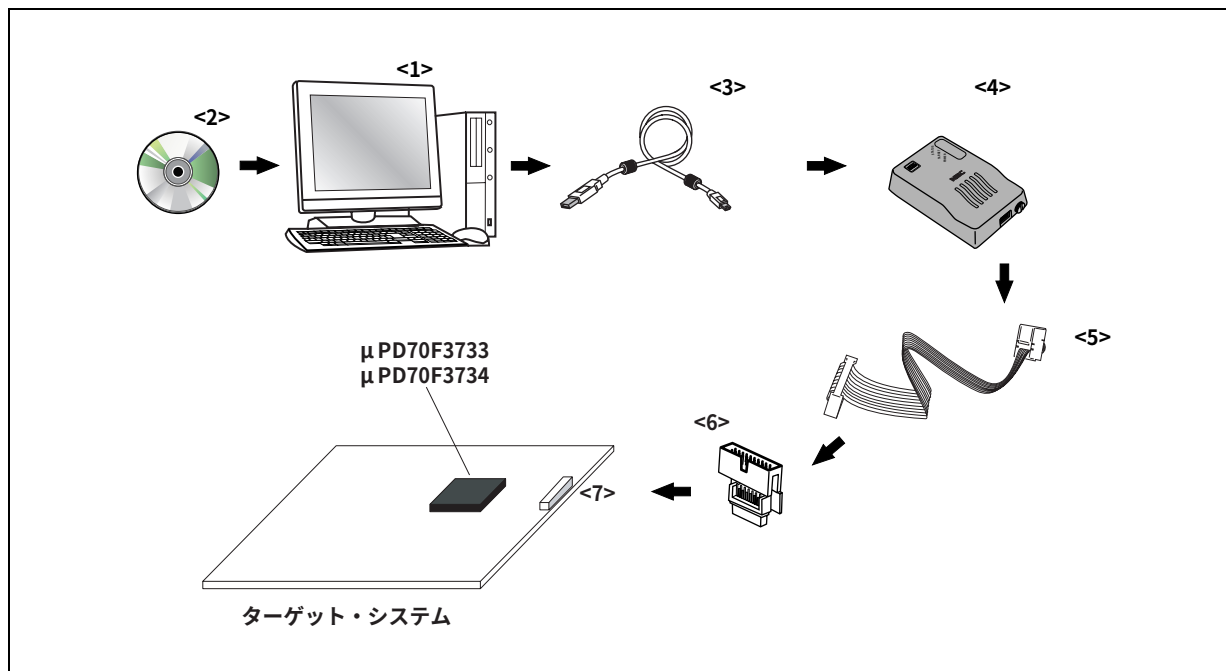
備考 表内の番号は図A-2の番号に対応しています。

A. 4. 2 MINICUBE QB-V850MINIを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-3 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{注1}	CD-ROM形式で統合デバッグ ID850QB, N-Wire Checker, デバイス・ドライバ, ドキュメントなどが含まれています。MINICUBEに添付されています。
<3> USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/KJ2を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> コネクタ変換ボード KELアダプタ	MINICUBEに添付されています。
<7> MINICUBE接続コネクタ KELコネクタ ^{注2}	8830E-026-170S（MINICUBEに添付されています） 8830E-026-170L（別売品）

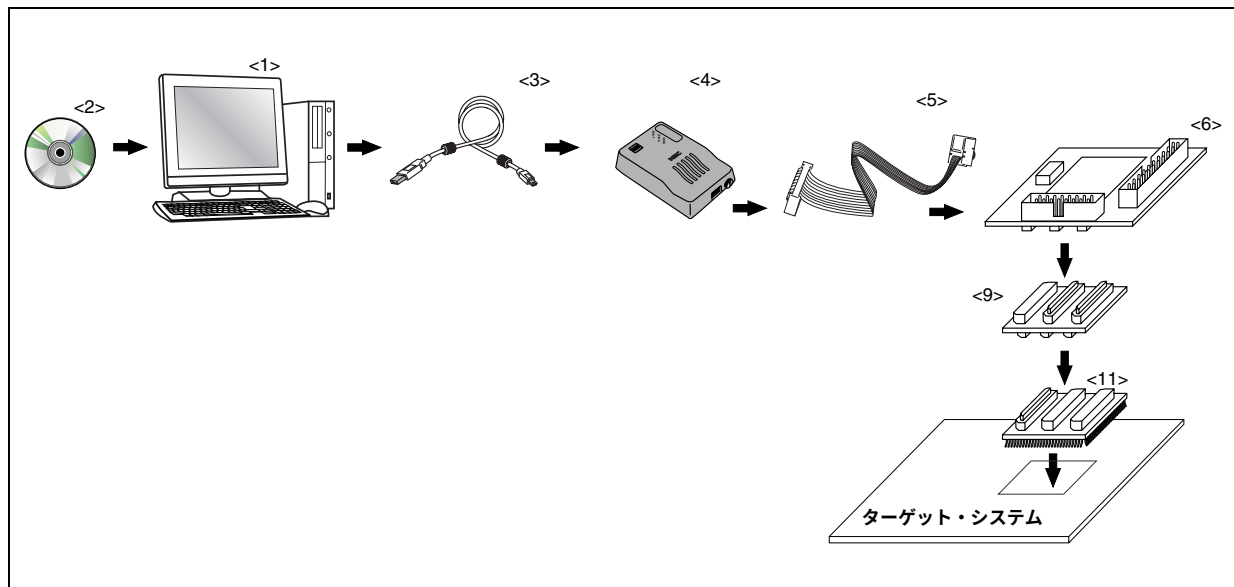
注1. デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/ods/jpn/index.html>

2. ケル株式会社の製品です。

備考 表内の番号は図A-3の番号に対応しています。

図A-5 QB-V850ESKX1H-DAを使用したシステム構成（オプション製品を使用しない場合）



<1> ホスト・マシン	USBポート搭載品。
<2> CD-ROM ^{※1}	CD-ROM形式で統合デバッガ ID850QB、N-Wire Checker、デバイス・ドライバ、ドキュメントなどが含まれています。MINICUBEに添付されています。
<3> USBインタフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/KJ2を使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。MINICUBEに添付されています。ケーブルの長さは約20 cmです。
<6> QB-V850ESKX1H-DA デバッグ・アダプタ	MINICUBEと組み合わせることでインサーキット・エミュレータとして動作します。MINICUBEに添付されています。
<7> QB-144-CA-01S（オプション） チェックピン・アダプタ	オシロスコープなどで波形を観測するときに使用するアダプタです。
<8> QB-144-EP-01S（オプション） 延長プローブ同軸タイプ	QB-V850ESKX1H-DAとエクステンジ・アダプタを接続するためのプローブです。ケーブルの長さは約40 cmです。
<9> QB-144GJ-EA-02S エクステンジ・アダプタ	ピン変換を行うアダプタです。
<10> QB-144-SA-01S（オプション） スペース・アダプタ	高さ調節用アダプタです。
<11> QB-144GJ-TC-01S ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。
<12> QB-144GJ-MA-01S（オプション） マウント・アダプタ	V850ES/KJ2をソケット実装するためのアダプタです。

注 デバイス・ファイルはNECエレクトロニクスのホームページから入手してください。

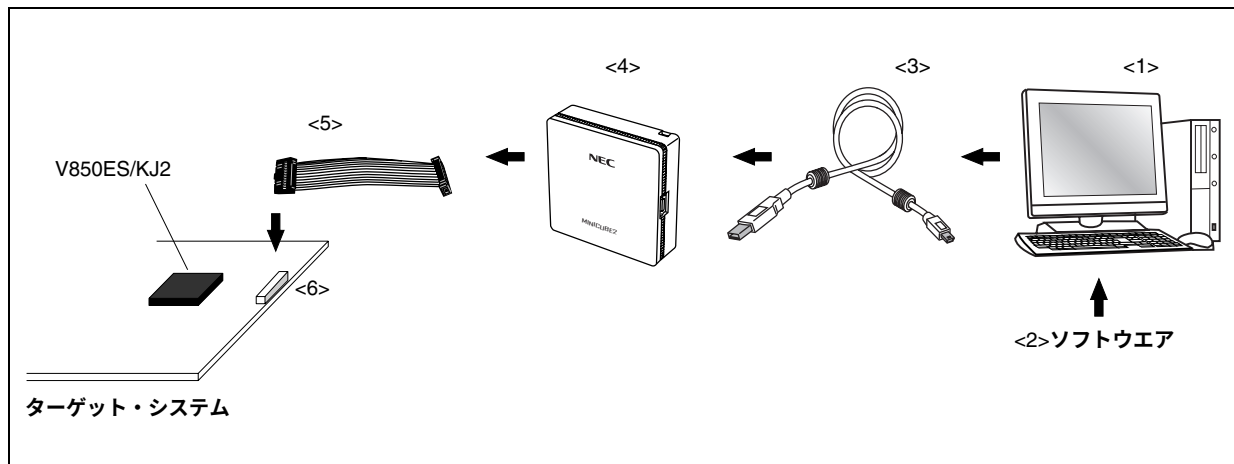
<http://www.necel.com/micro/ods/jpn/index.html>

備考 表内の番号は図A-4、図A-5の番号に対応しています。

A. 4. 3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-6 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッグ ID850QB, デバイス・ファイルなどです。 NECエレクトロニクスのホームページから入手してください http://www.necel.com/micro/ods/jpn/index.html
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBE2を接続するUSB対応のケーブルです。MINICUBE2に添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/KJ2を使用する応用システムを開発する際に，ハードウェア，ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBE2に添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A-6の番号に対応しています。

A. 5 デバッグ用ツール（ソフトウェア）

SM+ for V850ES/Kx2（開発中） システム・シュミレータ	V850シリーズ用のシステム・シュミレータです。SM+ for V850ES/Kx2は、Windowsベースのソフトウェアです。 ホスト・マシン上でターゲット・システムの動作をシミュレーションしながら、Cソース・レベルまたはアセンブラ・レベルでのデバッグが可能です。 SM+ for V850ES/Kx2を使用することにより、アプリケーションの論理検証、性能検証をハードウェア開発から独立して行えます。したがって、開発効率やソフトウェア品質の向上が図れます。デバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××SM703734-B
ID850QB 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。 オーダ名称：μS××××ID703000-QB

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μ S××××ID703000-QB

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ，	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A. 6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	μ ITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。 オーダ名称：μ S××××RX703000-△△△△（RX850） μ S××××RX703100-△△△△（RX850 Pro）
Applilet ^注	V850ES/KJ2用ドライバのサンプル・プログラムを自動生成するドライバ・コンフィギュレータです。
RX-FS850 (ファイル・システム)	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注 AppliletはNECエレクトロニクスのホームページから入手してください。

<http://www.necel.com/micro/v850/product/v850esx2/index.html>

注意 RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μ S×××× RX703000-△△△△

μ S×××× RX703100-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A. 7 フラッシュ・メモリ書き込み用ツール

Flashpro IV (型番 PG-FP4) Flashpro V (型番 PG-FP5) フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
QB-MINI2 (MINICUBE2)	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
FA-144GJ-GAE-B フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです（未配線）。Flashpro IVなどに接続して使用します。
FA-70F3734GJ-UEN-RX フラッシュ・メモリ書き込み用アダプタ	フラッシュ・メモリ書き込み用アダプタです（配線済み）。Flashpro IVなどに接続して使用します。

備考 FA-144GJ-GAE-B, FA-70F3734GJ-UEN-RXは、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL (042) 750-4172）

付録B 命令セット一覧

B.1 凡 例

(1) オペランド記述に使われる略号

略 号	説 明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り，乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm X	Xビット・イミディエイト・データ
disp X	Xビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list X	X個のレジスタ・リスト

(2) オペランドに使われる略号

略 号	説 明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
l	イミディエイトの1ビット分データ（イミディエイトの上位ビットを示す）
i	イミディエイトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略 号	説 明
←	代入
GR[]	汎用レジスタ
SR[]	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、 $n \geq 7FFFFFFFH$ となった場合、 $n = 7FFFFFFFH$ とする。 nが計算の結果、 $n \leq 80000000H$ となった場合、 $n = 80000000H$ とする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略 号	説 明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略 号	説 明
(ブランク)	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説 明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower (Less than)
1001	$CY = 0$	No carry No lower (Greater than or equal)
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	—	Always (無条件)
1101	$SAT = 1$	Saturated
0110	$(S \text{ xor } OV) = 1$	Less than signed
1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

B.2 インストラクション・セット (アルファベット順)

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2]←GR[reg2]+GR[reg1]	1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiii	GR[reg2]←GR[reg2]+sign-extend (imm5)	1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]+sign-extend (imm16)	1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2]←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] AND zero-extend (imm16)	1	1	1		0	×	×	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	2	2	2					
			then PC←PC+sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr11111100000 wwwww01101000010	GR[reg3]←GR[reg2] (23:16) GR[reg2] (31:24) GR[reg2] (7:0) GR[reg2] (15:8)	1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr11111100000 wwwww01101000000	GR[reg3]←GR[reg2] (7:0) GR[reg2] (15:8) GR[reg2] (23:16) GR[reg2] (31:24)	1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiii	CTPC←PC+2 (return PC) CTPSW←PSW adr←CTBP+zero-extend (imm6 logically shift left by 1) PC←CTBP+zero-extend(Load-memory (adr,Half-word))	4	4	4					
CLR1	bit#3,disp16[reg1]	10bbb111110RRRRR dddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100100	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3 注3	3 注3	3 注3				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr111111iiii wwwww011000cccc0	if conditions are satisfied then GR[reg3]←sign-extend (imm5) else GR[reg3]←GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr111111RRRRR wwwww011001cccc0	if conditions are satisfied then GR[reg3]←GR[reg1] else GR[reg3]←GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr001111RRRRR	result←GR[reg2]−GR[reg1]	1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010011iiii	result←GR[reg2]−sign-extend (imm5)	1	1	1	×	×	×	×	
CTRET		0000011111100000 0000000101000100	PC←CTPC PSW←CTPSW	3	3	3	R	R	R	R	R
DBRET		0000011111100000 0000000101000110	PC←DBPC PSW←DBPSW	3	3	3	R	R	R	R	R
DBTRAP		1111100001000000	DBPC ← PC+2 (復帰PC) DBPSW ← PSW PSW.NP← 1 PSW.EP← 1 PSW.ID ← 1 PC ← 00000060H	3	3	3					
DI		0000011111100000 0000000101100000	PSW.ID←1	1	1	1					

(2/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	0000011001iiiiL LLLLLLLLLLLL00000	sp←sp+zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp+4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	0000011001iiiiL LLLLLLLLLLLLRRRRR 注5	sp←sp+zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp+4 repeat 2 steps above until all regs in list12 is loaded PC←GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1] ^{注6}	35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] ^{注6} GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2]←GR[reg2]÷GR[reg1] ^{注6} GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWWW010110000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111100000 WWWWW01101000100	GR[reg3]←GR[reg2] (15:0) GR[reg2] (31:16)	1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110ddddd dddddddddddddd0 注7	GR[reg2]←PC+4 PC←PC+sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	3	3	3					
JR	disp22	0000011110ddddd dddddddddddddd0 注7	PC←PC+sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR ddddddddddddddd	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR ddddddddddddddd1 注8, 10	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR ddddddddddddddd0 注8	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 0000000000100000 注12	SR[regID]←GR[reg2]	1	1	1					
			regID = PSW以外 regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR ddddddddddddddd1 注8	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR dddddddddddddd1 注3	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr000000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]+sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]+(imm16 0 ¹⁶)	1	1	1					
MUL	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100000 注14	GR[reg3] GR[reg2]←GR[reg2]×GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII00 注13	GR[reg3] GR[reg2]←GR[reg2]×sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2] ²⁶ ×GR[reg1] ²⁶	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2]←GR[reg2] ²⁶ ×sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] ²⁶ ×imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr111111RRRRR WWWWW01000100010 注14	GR[reg3] GR[reg2]←GR[reg2]×GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr111111iiii WWWWW01001IIII10 注13	GR[reg3] GR[reg2]←GR[reg2]×zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR dddddddddddddd Store-memory-bit (adr, bit#3, Zフラグ)	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100010 Store-memory-bit (adr, reg2, Zフラグ)	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLL00001 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5)	Store-memory (sp-4, GR[reg in list12], Word) sp←sp-4 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp-4, GR[reg in list12], Word) sp←sp-4 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5) ep←sp/imm	n+2 注4 注17	n+2 注4 注17	n+2 注4 注17					

(4/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]+GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiii	GR[reg2]←saturated (GR[reg2]+sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]−GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]−sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]−GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR ddddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr111111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr111111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr111111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep], reg2	rrrrr0110ddddddd	adr←ep+zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep], reg2	rrrrr0000110dddd 注18	adr←ep+zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep], reg2	rrrrr1000ddddddd 注19	adr←ep+zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111ddddd 注18, 20	adr←ep+zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010ddddd0 注21	adr←ep+zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111ddddd0	adr←ep+zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001ddddd0 注19	adr←ep+zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010ddddd1 注21	adr←ep+zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr111010RRRRR dddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr111011RRRRR dddddddddddddd0 注3	adr←GR[reg1]+sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr111011RRRRR dddddddddddddd1 注3	adr←GR[reg1]+sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr11111RRRRR 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr001101RRRRR	GR[reg2]←GR[reg2]−GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr001100RRRRR	GR[reg2]←GR[reg1]−GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010RRRRR	adr←(PC+2)+(GR[reg1] logically shift left by 1) PC←(PC+2)+(sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000101RRRRR	GR[reg1]←sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000111RRRRR	GR[reg1]←sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	0000011111111111 0000000010000000	EIPC ← PC+4 (復帰PC) EIPSW ← PSW ECR.EICC ← 割り込みコード PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr001011RRRRR	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb111110RRRRR dddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr001001RRRRR	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr110101RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000100RRRRR	GR[reg1]←zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000110RRRRR	GR[reg1]←zero-extend (GR[reg1] (15 : 0))	1	1	1					

- 注1. ddddddddはdisp9の上位8ビットです。
2. 直前にPSWの内容を書き換える命令がある場合は3。
 3. ウェイト・ステートがない場合（3+リード・アクセス・ウェイト・ステート数）
 4. nはlist12のロード・レジスタの合計数（ウェイト・ステート数による。ウェイト・ステートがない場合、nはlist12のレジスタ数。n = 0の場合、n = 1と同じ動作）
 5. RRRRR：00000以外
 6. 下位ハーフワード・データだけ有効
 7. dddddddddddddddddddはdisp22の上位21ビットです。
 8. dddddddddddddddはdisp16の上位15ビットです。
 9. ウェイト・ステート数による（ウェイト・ステートがない場合は1）
 10. b：disp16のビット0
 11. ウェイト・ステート数による（ウェイト・ステートがない場合は2）
 12. この命令ではニモニクの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。
 rrrrrr = regID指定
 RRRRR = reg2指定
 13. iiii：imm9の下位5ビット
 IIII：imm9の上位4ビット
 14. 汎用レジスタreg1と汎用レジスタreg3に、同じレジスタを指定しないでください。
 15. sp/imm：サブオペコードのビット19, 20で指定
 16. ff = 00：spをepにロード
 01：符号拡張した16ビット・イミディエト・データ（ビット47-32）をepにロード
 10：16ビット論理左シフトした16ビット・イミディエト・データ（ビット47-32）をepにロード
 11：32ビット・イミディエト・データ（ビット63-32）をepにロード
 17. imm = imm32の場合はn+3クロック
 18. rrrrr：00000以外
 19. dddddddはdisp8の上位7ビットです。
 20. ddddはdisp5の上位4ビットです。
 21. dddddddはdisp8の上位6ビットです。

付録C レジスタ索引

(1/10)

略 号	名 称	ユニット	ページ
ADCR	A/D変換結果レジスタ	ADC	494
ADCRH	A/D変換結果レジスタH	ADC	494
ADIC	割り込み制御レジスタ	INTC	738
ADM	A/Dコンバータ・モード・レジスタ	ADC	488
ADS	アナログ入力チャネル指定レジスタ	ADC	493
ADTC0	自動データ転送アドレス・カウント・レジスタ0	CSIA	587
ADTC1	自動データ転送アドレス・カウント・レジスタ1	CSIA	587
ADTI0	自動データ転送間隔指定レジスタ0	CSIA	594
ADTI1	自動データ転送間隔指定レジスタ1	CSIA	594
ADTP0	自動データ転送アドレス・ポイント指定レジスタ0	CSIA	592
ADTP1	自動データ転送アドレス・ポイント指定レジスタ1	CSIA	592
ASIF0	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ0	UART	530
ASIF1	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ1	UART	530
ASIF2	アシンクロナス・シリアル・インタフェース送信ステータス・レジスタ2	UART	530
ASIM0	アシンクロナス・シリアル・インタフェース・モード・レジスタ0	UART	526
ASIM1	アシンクロナス・シリアル・インタフェース・モード・レジスタ1	UART	526
ASIM2	アシンクロナス・シリアル・インタフェース・モード・レジスタ2	UART	526
ASIS0	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ0	UART	529
ASIS1	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ1	UART	529
ASIS2	アシンクロナス・シリアル・インタフェース・ステータス・レジスタ2	UART	529
AWC	アドレス・ウェイト制御レジスタ	BCU	205
BCC	バス・サイクル制御レジスタ	BCU	206
BRGC0	ボー・レート・ジェネレータ・コントロール・レジスタ0	UART	548
BRGC1	ボー・レート・ジェネレータ・コントロール・レジスタ1	UART	548
BRGC2	ボー・レート・ジェネレータ・コントロール・レジスタ2	UART	548
BRGCA0	分周値選択レジスタ0	CSIA	591
BRGCA1	分周値選択レジスタ1	CSIA	591
BRGIC	割り込み制御レジスタ	INTC	738
BSC	バス・サイズ・コンフィギュレーション・レジスタ	BCU	194
CKSR0	クロック選択レジスタ0	UART	547
CKSR1	クロック選択レジスタ1	UART	547
CKSR2	クロック選択レジスタ2	UART	547
CMP00	8ビット・タイマHコンペア・レジスタ00	TMH	432
CMP01	8ビット・タイマHコンペア・レジスタ01	TMH	433
CMP10	8ビット・タイマHコンペア・レジスタ10	TMH	432
CMP11	8ビット・タイマHコンペア・レジスタ11	TMH	433
CR000	16ビット・タイマ・キャプチャ／コンペア・レジスタ000	TM0	331
CR001	16ビット・タイマ・キャプチャ／コンペア・レジスタ001	TM0	332
CR010	16ビット・タイマ・キャプチャ／コンペア・レジスタ010	TM0	331

略 号	名 称	ユニット	ページ
CR011	16ビット・タイマ・キャプチャ／コンペア・レジスタ011	TM0	332
CR020	16ビット・タイマ・キャプチャ／コンペア・レジスタ020	TM0	331
CR021	16ビット・タイマ・キャプチャ／コンペア・レジスタ021	TM0	332
CR030	16ビット・タイマ・キャプチャ／コンペア・レジスタ030	TM0	331
CR031	16ビット・タイマ・キャプチャ／コンペア・レジスタ031	TM0	332
CR040	16ビット・タイマ・キャプチャ／コンペア・レジスタ040	TM0	331
CR041	16ビット・タイマ・キャプチャ／コンペア・レジスタ041	TM0	332
CR050	16ビット・タイマ・キャプチャ／コンペア・レジスタ050	TM0	331
CR051	16ビット・タイマ・キャプチャ／コンペア・レジスタ051	TM0	332
CR5	16ビット・タイマ・コンペア・レジスタ5	TM5	414
CR50	8ビット・タイマ・コンペア・レジスタ50	TM5	414
CR51	8ビット・タイマ・コンペア・レジスタ51	TM5	414
CRC00	キャプチャ／コンペア・コントロール・レジスタ00	TM0	337
CRC01	キャプチャ／コンペア・コントロール・レジスタ01	TM0	337
CRC02	キャプチャ／コンペア・コントロール・レジスタ02	TM0	337
CRC03	キャプチャ／コンペア・コントロール・レジスタ03	TM0	337
CRC04	キャプチャ／コンペア・コントロール・レジスタ04	TM0	337
CRC05	キャプチャ／コンペア・コントロール・レジスタ05	TM0	337
CSI0IC0	割り込み制御レジスタ	INTC	738
CSI0IC1	割り込み制御レジスタ	INTC	738
CSI0IC2	割り込み制御レジスタ	INTC	738
CSIA0Bn	CSIA0バッファRAMn (n = 0-F)	CSIA	595
CSIA0BnH	CSIA0バッファRAMnH (n = 0-F)	CSIA	595
CSIA0BnL	CSIA0バッファRAMnL (n = 0-F)	CSIA	595
CSIA1Bn	CSIA1バッファRAMn (n = 0-F)	CSIA	595
CSIA1BnH	CSIA1バッファRAMnH (n = 0-F)	CSIA	595
CSIA1BnL	CSIA1バッファRAMnL (n = 0-F)	CSIA	595
CSIAIC0	割り込み制御レジスタ	INTC	738
CSIAIC1	割り込み制御レジスタ	INTC	738
CSIC0	クロック同期式シリアル・インタフェース・クロック選択レジスタ0	CSIO	561
CSIC1	クロック同期式シリアル・インタフェース・クロック選択レジスタ1	CSIO	561
CSIC2	クロック同期式シリアル・インタフェース・クロック選択レジスタ2	CSIO	561
CSIM00	クロック同期式シリアル・インタフェース・モード・レジスタ00	CSIO	559
CSIM01	クロック同期式シリアル・インタフェース・モード・レジスタ01	CSIO	559
CSIM02	クロック同期式シリアル・インタフェース・モード・レジスタ02	CSIO	559
CSIMA0	シリアル動作モード指定レジスタ0	CSIA	588
CSIMA1	シリアル動作モード指定レジスタ1	CSIA	588
CSIS0	シリアル・ステータス・レジスタ0	CSIA	589
CSIS1	シリアル・ステータス・レジスタ1	CSIA	589
CSIT0	シリアル・トリガ・レジスタ0	CSIA	590
CSIT1	シリアル・トリガ・レジスタ1	CSIA	590
CTBP	CALLTベース・ポインタ	CPU	56
CTPC	CALLT実行時状態退避レジスタ	CPU	55
CTPSW	CALLT実行時状態退避レジスタ	CPU	55

略 号	名 称	ユニット	ページ
DACS0	D/A変換値設定レジスタ0	DAC	517
DACS1	D/A変換値設定レジスタ1	DAC	517
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMA	703
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMA	703
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMA	703
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMA	703
DAM	D/Aコンバータ・モード・レジスタ	DAC	517
DBC0	DMA転送カウント・レジスタ0	DMA	702
DBC1	DMA転送カウント・レジスタ1	DMA	702
DBC2	DMA転送カウント・レジスタ2	DMA	702
DBC3	DMA転送カウント・レジスタ3	DMA	702
DBPC	例外／デバッグ・トラップ時状態退避レジスタ	CPU	56
DBPSW	例外／デバッグ・トラップ時状態退避レジスタ	CPU	56
DCHC0	DMAチャネル・コントロール・レジスタ0	DMA	704
DCHC1	DMAチャネル・コントロール・レジスタ1	DMA	704
DCHC2	DMAチャネル・コントロール・レジスタ2	DMA	704
DCHC3	DMAチャネル・コントロール・レジスタ3	DMA	704
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMA	701
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMA	701
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMA	701
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMA	701
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMA	701
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMA	701
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMA	701
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMA	701
DMAIC0	割り込み制御レジスタ	INTC	738
DMAIC1	割り込み制御レジスタ	INTC	738
DMAIC2	割り込み制御レジスタ	INTC	738
DMAIC3	割り込み制御レジスタ	INTC	738
DSA0H	DMAソース・アドレス・レジスタ0H	DMA	700
DSA0L	DMAソース・アドレス・レジスタ0L	DMA	700
DSA1H	DMAソース・アドレス・レジスタ1H	DMA	700
DSA1L	DMAソース・アドレス・レジスタ1L	DMA	700
DSA2H	DMAソース・アドレス・レジスタ2H	DMA	700
DSA2L	DMAソース・アドレス・レジスタ2L	DMA	700
DSA3H	DMAソース・アドレス・レジスタ3H	DMA	700
DSA3L	DMAソース・アドレス・レジスタ3L	DMA	700
DTFR0	DMAトリガ要因レジスタ0	DMA	705
DTFR1	DMAトリガ要因レジスタ1	DMA	705
DTFR2	DMAトリガ要因レジスタ2	DMA	705
DTFR3	DMAトリガ要因レジスタ3	DMA	705
DWC0	データ・ウェイト制御レジスタ0	BCU	202
ECR	割り込み要因レジスタ	CPU	53
EIPC	割り込み時状態退避レジスタ	CPU	52

略 号	名 称	ユニット	ページ
EIPSW	割り込み時状態退避レジスタ	CPU	52
EXIMC	外部バス・インタフェース・モード・コントロール・レジスタ	BCU	192
FEPC	NMI時状態退避レジスタ	CPU	53
FEPSW	NMI時状態退避レジスタ	CPU	53
IIC0	IICシフト・レジスタ0	I ² C	639
IIC1	IICシフト・レジスタ1	I ² C	639
IICC0	IICコントロール・レジスタ0	I ² C	627
IICC1	IICコントロール・レジスタ1	I ² C	627
IICCL0	IICクロック選択レジスタ0	I ² C	636
IICCL1	IICクロック選択レジスタ1	I ² C	636
IICF0	IICフラグ・レジスタ0	I ² C	634
IICF1	IICフラグ・レジスタ1	I ² C	634
IICIC0	割り込み制御レジスタ	INTC	738
IICIC1	割り込み制御レジスタ	INTC	738
IICS0	IIC状態レジスタ0	I ² C	631
IICS1	IIC状態レジスタ1	I ² C	631
IICX0	IIC機能拡張レジスタ0	I ² C	637
IICX1	IIC機能拡張レジスタ1	I ² C	637
IMR0	割り込みマスク・レジスタ0	INTC	741
IMR0H	割り込みマスク・レジスタ0H	INTC	741
IMR0L	割り込みマスク・レジスタ0L	INTC	741
IMR1	割り込みマスク・レジスタ1	INTC	741
IMR1H	割り込みマスク・レジスタ1H	INTC	741
IMR1L	割り込みマスク・レジスタ1L	INTC	741
IMR2	割り込みマスク・レジスタ2	INTC	741
IMR2H	割り込みマスク・レジスタ2H	INTC	741
IMR2L	割り込みマスク・レジスタ2L	INTC	741
IMR3	割り込みマスク・レジスタ3	INTC	741
IMR3H	割り込みマスク・レジスタ3H	INTC	741
IMR3L	割り込みマスク・レジスタ3L	INTC	741
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	749
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	750
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	751
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	749
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	750
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	751
ISPR	インサースビス・プライオリティ・レジスタ	INTC	743
KRIC	割り込み制御レジスタ	INTC	738
KRM	キー・リターン・モード・レジスタ	KR	764
NFC	ディジタル・ノイズ除去制御レジスタ	INTC	747
OCDM	オンチップ・デバッグ・モード・レジスタ	—	821
OSTS	発振安定時間選択レジスタ	スタンバイ	769
P0	ポート0レジスタ	ポート	97
P0NFC	TIP00ノイズ除去制御レジスタ	TMP	323

略 号	名 称	ユニット	ページ
P1	ポート1レジスタ	ポート	100
P1NFC	TIP01ノイズ除去制御レジスタ	TMP	323
P3	ポート3レジスタ	ポート	102
P3H	ポート3レジスタH	ポート	102
P3L	ポート3レジスタL	ポート	102
P4	ポート4レジスタ	ポート	107
P5	ポート5レジスタ	ポート	110
P6	ポート6レジスタ	ポート	114
P6H	ポート6レジスタH	ポート	114
P6L	ポート6レジスタL	ポート	114
P7	ポート7レジスタ	ポート	119
P7H	ポート7レジスタH	ポート	119
P7L	ポート7レジスタL	ポート	119
P8	ポート8レジスタ	ポート	120
P9	ポート9レジスタ	ポート	124
P9H	ポート9レジスタH	ポート	124
P9L	ポート9レジスタL	ポート	124
PC	プログラム・カウンタ	CPU	50
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	220
PCD	ポートCDレジスタ	ポート	131
PCM	ポートCMレジスタ	ポート	132
PCS	ポートCSレジスタ	ポート	134
PCT	ポートCTレジスタ	ポート	136
PDH	ポートDHレジスタ	ポート	138
PDL	ポートDLレジスタ	ポート	141
PDLH	ポートDLレジスタH	ポート	141
PDLL	ポートDLレジスタL	ポート	141
PF3H	ポート3ファンクション・レジスタH	ポート	104
PF4	ポート4ファンクション・レジスタ	ポート	109
PF5	ポート5ファンクション・レジスタ	ポート	111
PF6	ポート6ファンクション・レジスタ	ポート	114
PF6H	ポート6ファンクション・レジスタH	ポート	114
PF6L	ポート6ファンクション・レジスタL	ポート	114
PF8	ポート8ファンクション・レジスタ	ポート	121
PF9H	ポート9ファンクション・レジスタH	ポート	126
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	104
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	108
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	112
PFC6H	ポート6ファンクション・コントロール・レジスタ	ポート	116
PFC8	ポート8ファンクション・コントロール・レジスタ	ポート	122
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	127
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	127
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	127
PFCE3	ポート3ファンクション・コントロール拡張レジスタ	ポート	104

略 号	名 称	ユニット	ページ
PFM	パワー・フェイル比較モード・レジスタ	ADC	496
PFT	パワー・フェイル比較しきい値レジスタ	ADC	496
PIC0	割り込み制御レジスタ	INTC	738
PIC1	割り込み制御レジスタ	INTC	738
PIC2	割り込み制御レジスタ	INTC	738
PIC3	割り込み制御レジスタ	INTC	738
PIC4	割り込み制御レジスタ	INTC	738
PIC5	割り込み制御レジスタ	INTC	738
PIC6	割り込み制御レジスタ	INTC	738
PIC7	割り込み制御レジスタ	INTC	738
PLLCTL	PLLコントロール・レジスタ	CG	225, 484
PM0	ポート0モード・レジスタ	ポート	97
PM1	ポート1モード・レジスタ	ポート	100
PM3	ポート3モード・レジスタ	ポート	102
PM3H	ポート3モード・レジスタH	ポート	102
PM3L	ポート3モード・レジスタL	ポート	102
PM4	ポート4モード・レジスタ	ポート	107
PM5	ポート5モード・レジスタ	ポート	110
PM6	ポート6モード・レジスタ	ポート	114
PM6H	ポート6モード・レジスタH	ポート	114
PM6L	ポート6モード・レジスタL	ポート	114
PM8	ポート8モード・レジスタ	ポート	120
PM9	ポート9モード・レジスタ	ポート	124
PM9H	ポート9モード・レジスタH	ポート	124
PM9L	ポート9モード・レジスタL	ポート	124
PMC0	ポート0モード・コントロール・レジスタ	ポート	98
PMC3	ポート3モード・コントロール・レジスタ	ポート	103
PMC3H	ポート3モード・コントロール・レジスタH	ポート	103
PMC3L	ポート3モード・コントロール・レジスタL	ポート	103
PMC4	ポート4モード・コントロール・レジスタ	ポート	108
PMC5	ポート5モード・コントロール・レジスタ	ポート	111
PMC6	ポート6モード・コントロール・レジスタ	ポート	115
PMC6H	ポート6モード・コントロール・レジスタH	ポート	115
PMC6L	ポート6モード・コントロール・レジスタL	ポート	115
PMC8	ポート8モード・コントロール・レジスタ	ポート	121
PMC9	ポート9モード・コントロール・レジスタ	ポート	125
PMC9H	ポート9モード・コントロール・レジスタH	ポート	125
PMC9L	ポート9モード・コントロール・レジスタL	ポート	125
PMCCM	ポートCMモード・コントロール・レジスタ	ポート	133
PMCCS	ポートCSモード・コントロール・レジスタ	ポート	135
PMCCCT	ポートCTモード・コントロール・レジスタ	ポート	137
PMCD	ポートCDモード・レジスタ	ポート	131
PMCDH	ポートDHモード・コントロール・レジスタ	ポート	139
PMCDL	ポートDLモード・コントロール・レジスタ	ポート	142

略 号	名 称	ユニット	ページ
PMCDLH	ポートDLモード・コントロール・レジスタH	ポート	142
PMCDLL	ポートDLモード・コントロール・レジスタL	ポート	142
PMCM	ポートCMモード・レジスタ	ポート	132
PMCS	ポートCSモード・レジスタ	ポート	134
PMCT	ポートCTモード・レジスタ	ポート	136
PMDH	ポートDHモード・レジスタ	ポート	138
PMDL	ポートDLモード・レジスタ	ポート	141
PMDLH	ポートDLモード・レジスタH	ポート	141
PMDLL	ポートDLモード・レジスタL	ポート	141
PRCMD	コマンド・レジスタ	CPU	82
PRM00	プリスケラ・モード・レジスタ00	TM0	340
PRM01	プリスケラ・モード・レジスタ01	TM0	340
PRM02	プリスケラ・モード・レジスタ02	TM0	340
PRM03	プリスケラ・モード・レジスタ03	TM0	340
PRM04	プリスケラ・モード・レジスタ04	TM0	340
PRM05	プリスケラ・モード・レジスタ05	TM0	340
PRSCM	インターバル・タイマBRGコンペア・レジスタ	CG	455
PRSM	インターバル・タイマBRGモード・レジスタ	CG	454
PSC	パワー・セーブ・コントロール・レジスタ	スタンバイ	797
PSMR	パワー・セーブ・モード・レジスタ	スタンバイ	768
PSW	プログラム・ステータス・ワード	CPU	54
PU0	プルアップ抵抗オプション・レジスタ0	ポート	98
PU1	プルアップ抵抗オプション・レジスタ1	ポート	100
PU3	プルアップ抵抗オプション・レジスタ3	ポート	106
PU4	プルアップ抵抗オプション・レジスタ4	ポート	109
PU5	プルアップ抵抗オプション・レジスタ5	ポート	112
PU6	プルアップ抵抗オプション・レジスタ6	ポート	117
PU6H	プルアップ抵抗オプション・レジスタ6H	ポート	117
PU6L	プルアップ抵抗オプション・レジスタ6L	ポート	117
PU8	プルアップ抵抗オプション・レジスタ8	ポート	122
PU9	プルアップ抵抗オプション・レジスタ9	ポート	129
PU9H	プルアップ抵抗オプション・レジスタ9H	ポート	129
PU9L	プルアップ抵抗オプション・レジスタ9L	ポート	129
PUCD	プルアップ抵抗オプション・レジスタCD	ポート	131
PUCM	プルアップ抵抗オプション・レジスタCM	ポート	133
PUCS	プルアップ抵抗オプション・レジスタCS	ポート	135
PUCT	プルアップ抵抗オプション・レジスタCT	ポート	137
PUDH	プルアップ抵抗オプション・レジスタDH	ポート	139
PUDL	プルアップ抵抗オプション・レジスタDL	ポート	142
PUDLL	プルアップ抵抗オプション・レジスタDLL	ポート	142
PUDLH	プルアップ抵抗オプション・レジスタDLH	ポート	142
r0-r31	汎用レジスタ	CPU	50
RTBH0	リアルタイム出力バッファ・レジスタH0	RTP	477
RTBH1	リアルタイム出力バッファ・レジスタH1	RTP	477

略 号	名 称	ユニット	ページ
RTBL0	リアルタイム出力バッファ・レジスタL0	RTP	477
RTBL1	リアルタイム出力バッファ・レジスタL1	RTP	477
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	479
RTPC1	リアルタイム出力ポート・コントロール・レジスタ1	RTP	479
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	478
RTPM1	リアルタイム出力ポート・モード・レジスタ1	RTP	478
RXB0	受信バッファ・レジスタ0	UART	531
RXB1	受信バッファ・レジスタ1	UART	531
RXB2	受信バッファ・レジスタ2	UART	531
SELCNT1	セレクト動作制御レジスタ1	TM0	341
SIO00	シリアルI/Oソフト・レジスタ0	CSIO	566
SIO00L	シリアルI/Oソフト・レジスタ0L	CSIO	566
SIO01	シリアルI/Oソフト・レジスタ1	CSIO	566
SIO01L	シリアルI/Oソフト・レジスタ1L	CSIO	566
SIO02	シリアルI/Oソフト・レジスタ2	CSIO	566
SIO02L	シリアルI/Oソフト・レジスタ2L	CSIO	566
SIOA0	シリアルI/Oソフト・レジスタA0	CSIA	586
SIOA1	シリアルI/Oソフト・レジスタA1	CSIA	586
SIRB0	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0	CSIO	562
SIRB0L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ0L	CSIO	562
SIRB1	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1	CSIO	562
SIRB1L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ1L	CSIO	562
SIRB2	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2	CSIO	562
SIRB2L	クロック同期式シリアル・インタフェース受信バッファ・レジスタ2L	CSIO	562
SIRBE0	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0	CSIO	563
SIRBE0L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ0L	CSIO	563
SIRBE1	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1	CSIO	563
SIRBE1L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ1L	CSIO	563
SIRBE2	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2	CSIO	563
SIRBE2L	クロック同期式シリアル・インタフェース・リード専用受信バッファ・レジスタ2L	CSIO	563
SOTB0	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0	CSIO	564
SOTB0L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ0L	CSIO	564
SOTB1	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1	CSIO	564
SOTB1L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ1L	CSIO	564
SOTB2	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2	CSIO	564
SOTB2L	クロック同期式シリアル・インタフェース送信バッファ・レジスタ2L	CSIO	564
SOTBF0	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0	CSIO	565
SOTBF0L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ0L	CSIO	565
SOTBF1	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1	CSIO	565
SOTBF1L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ1L	CSIO	565
SOTBF2	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2	CSIO	565
SOTBF2L	クロック同期式シリアル・インタフェース初段送信バッファ・レジスタ2L	CSIO	565
SREIC0	割り込み制御レジスタ	INTC	738
SREIC1	割り込み制御レジスタ	INTC	738

略 号	名 称	ユニット	ページ
SREIC2	割り込み制御レジスタ	INTC	738
SRIC0	割り込み制御レジスタ	INTC	738
SRIC1	割り込み制御レジスタ	INTC	738
SRIC2	割り込み制御レジスタ	INTC	738
STIC0	割り込み制御レジスタ	INTC	738
STIC1	割り込み制御レジスタ	INTC	738
STIC2	割り込み制御レジスタ	INTC	738
SVA0	スレーブ・アドレス・レジスタ0	I ² C	639
SVA1	スレーブ・アドレス・レジスタ1	I ² C	639
SYS	システム・ステータス・レジスタ	CPU	83
TCL50	タイマ・クロック選択レジスタ50	TM5	415
TCL51	タイマ・クロック選択レジスタ51	TM5	415
TM00	16ビット・タイマ・カウンタ00	TM0	330
TM01	16ビット・タイマ・カウンタ01	TM0	330
TM02	16ビット・タイマ・カウンタ02	TM0	330
TM03	16ビット・タイマ・カウンタ03	TM0	330
TM04	16ビット・タイマ・カウンタ04	TM0	330
TM05	16ビット・タイマ・カウンタ05	TM0	330
TM0IC00	割り込み制御レジスタ	INTC	738
TM0IC01	割り込み制御レジスタ	INTC	738
TM0IC10	割り込み制御レジスタ	INTC	738
TM0IC11	割り込み制御レジスタ	INTC	738
TM0IC20	割り込み制御レジスタ	INTC	738
TM0IC21	割り込み制御レジスタ	INTC	738
TM0IC30	割り込み制御レジスタ	INTC	738
TM0IC31	割り込み制御レジスタ	INTC	738
TM0IC40	割り込み制御レジスタ	INTC	738
TM0IC41	割り込み制御レジスタ	INTC	738
TM0IC50	割り込み制御レジスタ	INTC	738
TM0IC51	割り込み制御レジスタ	INTC	738
TM5	16ビット・タイマ・カウンタ5	TM5	412
TM50	8ビット・タイマ・カウンタ50	TM5	412
TM51	8ビット・タイマ・カウンタ51	TM5	412
TM5IC0	割り込み制御レジスタ	INTC	738
TM5IC1	割り込み制御レジスタ	INTC	738
TMC00	16ビット・タイマ・モード・コントロール・レジスタ00	TM0	335
TMC01	16ビット・タイマ・モード・コントロール・レジスタ01	TM0	335
TMC02	16ビット・タイマ・モード・コントロール・レジスタ02	TM0	335
TMC03	16ビット・タイマ・モード・コントロール・レジスタ03	TM0	335
TMC04	16ビット・タイマ・モード・コントロール・レジスタ04	TM0	335
TMC05	16ビット・タイマ・モード・コントロール・レジスタ05	TM0	335
TMC50	8ビット・タイマ・モード・コントロール・レジスタ50	TM5	416
TMC51	8ビット・タイマ・モード・コントロール・レジスタ51	TM5	416
TMCYC0	8ビット・タイマHキャリア・コントロール・レジスタ0	TMH	436

略 号	名 称	ユニット	ページ
TMCYC1	8ビット・タイマHキャリア・コントロール・レジスタ1	TMH	436
TMHIC0	割り込み制御レジスタ	INTC	738
TMHIC1	割り込み制御レジスタ	INTC	738
TMHMD0	8ビット・タイマHモード・レジスタ0	TMH	434
TMHMD1	8ビット・タイマHモード・レジスタ1	TMH	435
TOC00	16ビット・タイマ出力コントロール・レジスタ00	TM0	338
TOC01	16ビット・タイマ出力コントロール・レジスタ01	TM0	338
TOC02	16ビット・タイマ出力コントロール・レジスタ02	TM0	338
TOC03	16ビット・タイマ出力コントロール・レジスタ03	TM0	338
TOC04	16ビット・タイマ出力コントロール・レジスタ04	TM0	338
TOC05	16ビット・タイマ出力コントロール・レジスタ05	TM0	338
TP0CCIC0	割り込み制御レジスタ	INTC	738
TP0CCIC1	割り込み制御レジスタ	INTC	738
TP0CCR0	TMP0キャプチャ／コンペア・レジスタ0	TMP	240
TP0CCR1	TMP0キャプチャ／コンペア・レジスタ1	TMP	242
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	TMP	244
TP0CTL0	TMP0制御レジスタ0	TMP	234
TP0CTL1	TMP0制御レジスタ1	TMP	235
TP0IOC0	TMP0I/O制御レジスタ0	TMP	236
TP0IOC1	TMP0I/O制御レジスタ1	TMP	237
TP0IOC2	TMP0I/O制御レジスタ2	TMP	238
TP0OPT0	TMP0オプション・レジスタ0	TMP	239
TP0OVIC	割り込み制御レジスタ	INTC	738
TXB0	送信バッファ・レジスタ0	UART	532
TXB1	送信バッファ・レジスタ1	UART	532
TXB2	送信バッファ・レジスタ2	UART	532
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	84
WDCS	ウォッチドッグ・タイマ・クロック選択レジスタ	WDT	466
WDT1IC	割り込み制御レジスタ	INTC	738
WDTE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	473
WDTM1	ウォッチドッグ・タイマ・モード・レジスタ1	WDT	467, 745
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	472
WTIC	割り込み制御レジスタ	INTC	738
WTIIC	割り込み制御レジスタ	INTC	738
WTM	時計タイマ動作モード・レジスタ	WT	459

付録D 注意事項一覧

本書に記載されている注意事項の一覧です。

なお、表内の「分類（ハード／ソフト）」の区別は、次のとおりです。

ハード：マイコン内部／外部のハードウェアについての注意事項

ソフト：レジスタの設定やプログラムなどソフトウェアについての注意事項

(1/34)

章	分類	機能	機能の詳細	注意事項	頁
第1章	ハード	端子機能	FLMD0	フラッシュ・プログラミング時に使用します。通常動作モード時はV _{SS} に接続してください。	p.24 ☐
			REGC	レギュレータを使用する場合、REGC端子は、10 μ Fのコンデンサを介してV _{SS} に接続してください。 レギュレータを使用しない場合、REGC端子はV _{DD} に直接接続してください。	p.24 ☐
			P05	リセット解除時のP05端子の処理に注意が必要です。詳細は4. 6. 3 P05端子に関する注意事項を参照してください。	p.24, 33,96 ☐
			EV _{DD}	EV _{DD} は、V _{DD} と同電位にしてください。	p.24 ☐
			BV _{DD}	BV _{DD} はV _{DD} = EV _{DD} $\geq$ BV _{DD} の条件で使用可能です。	p.24 ☐
第2章	ハード	端子機能	RXD2	V850ES/KJ2は、P80端子にもRXD2端子機能を割り当てており、P40、P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40、P80端子を同時にRXD2端子として使用しないでください。	p.34, 35,39 ☐
			FLMD0	FLMD0は、フラッシュ・メモリにデータを書き込むときに使用する端子です。オン・ボードでフラッシュ・メモリのデータを書き換える場合は、抵抗（10 k Ω 推奨）を介して、V _{SS} に接続してください。オンチップ・デバッグを行う場合も同様です。	P45 ☐
			XT1	未使用時には、PSMR.XTSTPビットに必ず1を設定してください。	p.45 ☐
第3章	ソフト	CPU機能	EIPC,EIPSW, FEPC,FEPSW	これらのレジスタは1組しかないため、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。	p.51 ☐
			EIPC, FEPC, CTPC	LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット（1）しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC、FEPC、CTPCに値を設定する場合は、偶数値（ビット0 = 0）を設定してください。	p.51 ☐
		内蔵ROM領域	0000000H-00FFFFFFH番地へのフェッチ・アクセスおよび、リード・アクセスは内蔵ROM領域に対して行われますが、データ・ライト・アクセス時は、外部メモリ領域として行われます。	p.59 ☐	
		内蔵周辺I/O領域	周辺I/Oレジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。	p.63 ☐	
			バイト・アクセス可能な周辺I/Oレジスタにハーフワード・アクセスした場合、下位8ビットが有効になります。上位8ビットに対しては、リード時は不定になり、ライト時は無効になります。	p.63 ☐	
			レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。	p.63 ☐	
		特定レジスタへのデータ設定	IDLE モード、STOP モードに移行する場合（PSC.STPビット = 1）、直後にNOP命令を5命令挿入する必要があります。 特定シーケンス後、DMA動作を禁止する以前の状態でDMA動作を再開するには、DMA動作を禁止する以前に、DCHCn レジスタの状態を退避する必要があります。 DCHCnレジスタの状態を退避後、DMA動作を禁止するまでにDMA転送終了が発生する可能性があるため、DMA動作を再開する前にDCHCn.TCnビットを確認し、TCnビットの状態により処理を次のようにする必要があります。 ・ TCnビット = 0（DMA転送未終了）のとき、DMA動作を禁止する以前に格納したDCHCnレジスタの内容を、DCHCn レジスタに再度書き込む。 ・ TCnビット = 1（DMA転送終了）のとき、DMA転送終了処理を行う。	p.80, 81 ☐ p.80 ☐	

章	分類	機能	機能の詳細	注意事項	頁
第3章	ソフト	CPU機能	特定レジスタへのデータ設定	PRCMDレジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記②、③を連続したストア命令で行うことを前提としているためです。②、③の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります	p.81 ☐
			SYSレジスタ	PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります（ライト優先）。	p.83 ☐
				PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。	p.83 ☐
			最初に設定するレジスタ	V850ES/KJ2を使用する際には、必ず最初に次のレジスタを設定してください。 ・システム・ウェイト・コントロール・レジスタ（VSWC） ・オンチップ・デバッグ・モード・レジスタ（OCDM） ・ウォッチドッグ・タイマ2（WDTM2）	p.84 ☐
			VSWCレジスタ	内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850ES/KJ2では、内部システム・クロック周波数によりウェイトが必要です。使用する内部システム・クロック周波数に応じて、VSWCレジスタには次に示す値を設定してください。	p.84 ☐
				内蔵ROMまたは内蔵RAMからフェッチした場合、上記のようなウェイト回数となります。外部メモリよりフェッチした場合は、このウェイト回数より減少する場合があります。外部メモリ・アクセス・サイクルによる影響は、ウェイトの設定などにより変化します。ただし、上記ウェイト数が最大値となり、これより増加することはありません。	p.87 ☐
				CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、ウェイトが発生するレジスタにアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。	p.87 ☐
第4章	ハード	ポート機能	PFnレジスタ	PMCnレジスタの設定によらず、PFnmビットは、PMn.PMnmビット=0（出力モード時）のときのみ有効です。PMnmビット=1（入力モード時）のときは、PFnレジスタの設定値は無効です。	p.94 ☐
			ポート0	P02-P06は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.96 ☐
	ソフト		ポート1	1ビット単位でANOn機能とポートの組み合わせはできません。	p.99 ☐
			PM1レジスタ	ANO0, ANO1端子として使用する場合は、一括してFFHに設定してください。	p.100 ☐
	ハード		ポート3	P31-35, P38, P39は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.101 ☐
			P3レジスタ	P3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P3Hレジスタのビット0-7として指定してください。	p.102 ☐
	ソフト		PM3レジスタ	PM3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM3Hレジスタのビット0-7として指定してください。	p.102 ☐
			PMC3レジスタ	PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。	p.103 ☐
			PF3Hレジスタ	P38, P39をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。 必ずポート・ラッチに1を設定後、N-chオープン・ドレインに設定してください。 P3nビット=1 → PF3nビット=1 → PMC3nビット=1	p.104 ☐
				兼用機能を使用する場合は、必ず1にしてください。	p.104 ☐
	ハード		ポート3の兼用端子の指定	ASCK0機能とADTRG機能は兼用となっています。ASCK0機能として使用する場合は、兼用しているADTRG機能のトリガ入力が無効にしてください（ADS.TRGビット=0、またはADS.ADTMDビット=1に設定）。また、ADTRG機能として使用する場合は、UART0の動作クロックを外部入力に設定しないでください（CKSR0.TPS03-TPS00ビット=1011以外に設定）。	p.105 ☐

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	ポート3の兼用端子の指定	INTP7機能とRXD0機能は兼用となっています。RXD0機能として使用する場合は、兼用しているINTP7機能のエッジ検出を無効にしてください（INTF3.INTF31ビット= 0, INTR3.INTR31ビット= 0に設定）。また、INTP7機能として使用する場合は、UART0を受信動作停止としてください（ASIM0.RXE0ビット= 0に設定）。	p.105
			ポート4	P40, P42は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.107
				V850ES/KJ2は、P80端子にもRXD2機能を割り当てており、P40, P80端子を同時にRXD2機能として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2機能として使用しないでください。	p.107
			PF4レジスタ	P41, P42をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。 必ずポート・ラッチに1を設定後、N-chオープン・ドレインに設定してください。 P4nビット= 1 → PF4nビット= 1 → PMC4nビット= 1	p.109
			ポート5	DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です（μPD70F3734のみ）。	p.110
			PF5レジスタ	PF5レジスタのビット0-3, 6, 7には必ず0を設定してください。 P54, P55をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。 必ずポート・ラッチに1を設定後、N-chオープン・ドレインに設定してください。 P5nビット= 1 → PF5nビット= 1 → PMC5nビット= 1	p.111
	ソフト				p.111
	ハード		ポート6	P66, P68-P610, P612, P613は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.113
			P6レジスタ	P6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P6Hレジスタのビット0-7として指定してください。	p.114
	ソフト		PM6レジスタ	PM6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM6Hレジスタのビット0-7として指定してください。	p.114
			PMC6レジスタ	PMC6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC6Hレジスタのビット0-7として指定してください。	p.115
	ハード		PF6レジスタ	PF6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PF6Hレジスタのビット0-7として指定してください。 PF6レジスタのビット0-6, 9-15には必ず0を設定してください。	p.116
			PU6レジスタ	PU6レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PU6Hレジスタのビット0-7として指定してください。	p.117
	ソフト		P7レジスタ	P7レジスタのビット8-15を8/1ビット単位でリードする場合は、P7Hレジスタのビット0-7として指定してください。	p.119
			ポート8	P80, P81は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時には、ヒステリシス特性を持ちません。 V850ES/KJ2は、P40端子にもRXD2端子機能を割り当てており、P40, P80端子を同時にRXD2端子として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80端子を同時にRXD2端子として使用しないでください。	p.120
	ハード		PF8レジスタ	P80, P81をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。 必ずポート・ラッチに1を設定後、N-chオープン・ドレインに設定してください。 P8nビット= 1 → PFC8nビット= 0/1 → PF8nビット= 1 → PMC8nビット= 1	p.121
			ポート9	P93, P95, P97, P99, P910, P912-P915は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。	p.123

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	P9レジスタ	P9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P9Hレジスタのビット0-7として指定してください。	p.124 ☐
			PM9レジスタ	PM9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM9Hレジスタのビット0-7として指定してください。	p.124 ☐
			PMC9レジスタ	A0-A15端子として使用する場合は、一括してFFFFHと16ビット設定してください。	p.125 ☐
				PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。	p.125 ☐
			PF9Hレジスタ	P98, P99, P911, P912をN-chオープン・ドレインで兼用端子として使用する場合は次の順で設定してください。 必ずポート・ラッチに1を設定後、N-chオープン・ドレインに設定してください。 P9nビット= 1 → PFC9nビット= 0/1 → PF9nビット= 1 → PMC9nビット= 1	p.126 ☐
			PFC9レジスタ	A0-A15端子として使用する場合は、一括して0000Hと16ビット設定してください。	p.127 ☐
				PFC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。	p.127 ☐
			PU9レジスタ	PU9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PU9Hレジスタのビット0-7として指定してください。	p.129 ☐
			ポートDH, PMCDH レジスタ	1ビットごとにポート／兼用機能を指定する場合は、アドレス・バス出力の動作について十分注意してください。	p.138, ☐ 139
			PDLレジスタ	PDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PDLHレジスタのビット0-7として指定してください。	p.141 ☐
			PMDLレジスタ	PMDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMDLHレジスタのビット0-7として指定してください。	p.141 ☐
			PMCDLレジスタ	PMCDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMCDLHレジスタのビット0-7として指定してください。	p.142 ☐
				1ビットごとにポート／ADn入出力を指定する場合は、使用する外部メモリにあわせて設定してください。	p.142 ☐
			PUDLレジスタ	PUDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PUDLHレジスタのビット0-7として指定してください。	p.142 ☐
			P05	V850ES/KJ2では、リセット解除時のP05端子の処理に注意が必要です。詳細は4. 6. 3 P05端子に関する注意事項を参照してください。	p.179 ☐
			RXD0, INTP7	INTP7機能とRXD0機能は兼用となっています。RXD0機能として使用する場合は、兼用しているINTP7機能のエッジ検出を無効にしてください (INTF3.INTF31ビット= 0, INTR3.INTR31ビット= 0に設定)。また、INTP7機能として使用する場合は、UART0を受信動作停止としてください (ASIM0.RXE0ビット= 0)。	p.179 ☐
			ASCK0, ADTRG	ASCK0機能とADTRG機能は兼用となっています。ASCK0機能として使用する場合は、兼用しているADTRG機能のトリガ入力を無効にしてください (ADS.TRGビット= 0, またはADS.ADTMDビット= 1に設定)。また、ADTRG機能として使用する場合はUART0の動作クロックを外部入力に設定しないでください (CKSR0.TPS03-TPS00ビット= 1011以外に設定)。	p.179 ☐
			P10, P11	P10, P11機能を兼用機能 (ANO0, ANO1機能) として使用する場合、PM1レジスタ= FFHに設定してください。	p.179 ☐
			RXD2	V850ES/KJ2は、P80機能にもRXD2機能を割り当てており、P40, P80機能を同時にRXD2機能として使用した場合、正常にUART2受信動作ができない可能性があります。したがって、P40, P80機能を同時にRXD2機能として使用しないでください。	p.180, ☐ 183
			A0-A15	A0-A15機能に設定する際は、一括してPFC9レジスタ= 0000H, PMC9レジスタ= FFFFHに16ビット設定してください。	p.184, ☐ 185
			ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	入力／出力が混在している、またはポートと兼用機能が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。 そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。	p.187 ☐
	ハード		ヒステリシス特性について	ポート・モードでは、次のポートはヒステリシス特性を持ちません。 P02-P06 P31-P35, P38, P39 P40, P42 P66, P68-P610, P612, P613 P80, P81 P93, P95, P97, P99, P910, P912-P915	p.188 ☐

章	分類	機能	機能の詳細	注意事項	頁
第4章	ソフト	ポート機能	P05端子に関する注意事項	P05端子はプルダウン抵抗 (30 kΩ (TYP.)) を内蔵しています。RESET端子によるリセット後は、プルダウン抵抗が接続されています。OCDM0ビットをクリア (0) することにより、プルダウン抵抗は切断されます。	p.188 ☐
	ハード・ソフト		P05端子に関する注意事項 (μ PD70F3734)	RESET端子によるリセット後、P05/INTP2/DRST端子はオンチップ・デバッグ用端子 (DRST) に初期化されます。このときDRST端子にハイ・レベルを入力すると、オンチップ・デバッグ・モードになり、DCK, DMS, DDI, DDO端子が使用可能になります。オンチップ・デバッグを使用しない場合は、P05/INTP2/DRST端子をハイ・レベルにする前に、次の処置が必要です。 ・OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0) このとき、RESET端子によるリセット解除時から、上記の処理を終えるまで、P05/INTP2/DRST端子をロウ・レベル固定にしてください。 上記処置を行う前にDRST端子にハイ・レベルを入力すると、誤動作 (CPUデッド・ロック) の原因となるため、P05端子の取り扱いには十分注意してください。	p.188 ☐
	ソフト			WDTRES1信号、WDTRES2信号によるリセット時は、P05/INTP2/DRST端子はオンチップ・デバッグ用端子 (DRST) に初期化されません。また、OCDMレジスタも値を保持します。	p.188 ☐
	ハード・ソフト		P05端子に関する注意事項 (μ PD70F3733)	μ PD70F3733では、リセット解除時、動作開始前に次の操作を行ってください。この操作を行わないと通常動作が行われません。 ① P05/INTP2端子にロウ・レベルを入力します。 ② OCDM.OCDM0ビットをクリア (0) します。 ②の処理を終えるまで、P05/INTP2端子はロウ・レベル入力に固定してください。	p.188 ☐
第5章	ソフト	バス制御機能	内蔵ROM, 内蔵RAM, 内蔵周辺I/Oアクセス時の端子状態	内蔵ROM領域ヘライト・アクセスしたときには、外部メモリ領域へのアクセスと同じくアドレス、データ、制御信号ともに活性化されます。	p.190 ☐
			EXIMCレジスタ	EXIMCレジスタの設定は、外部アクセスを行う前に、内蔵ROMまたは内蔵RAM領域から行ってください。 また、EXIMCレジスタ設定後には、必ずNOP命令を1つ、挿入してください。	p.192 ☐
			BSCレジスタ	BSCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BSCレジスタの初期設定が終わるまでは、外部メモリ領域をアクセスしないでください。	p.194 ☐
				16ビット・バス選択時の書き込みは、2本の制御端子 (WR0, WR1) で8ビットごとの制御が可能です。読み出し時では1本の制御端子 (RD) で制御するため、16ビットごとの制御しかできません。しかし、V850ES/KJ2の内部では必要のないデータは無視されるのでバイト・データのアクセスが可能です。	p.194 ☐
				ビット14, 12, 10, 8には必ず1を設定し、ビット15, 13, 11, 9, 7, 5, 3, 1には必ず0を設定してください。	p.194 ☐
			DWC0レジスタ	内蔵ROM領域、内蔵RAM領域は、プログラマブル・ウェイトの対象外で、常にノー・ウェイト・アクセスを行います。また、内蔵周辺I/O領域も、プログラマブル・ウェイトの対象外で、各周辺機能からのウェイト制御だけ行われます。	p.202 ☐
				DWC0レジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、DWC0レジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。	p.202 ☐
				ビット15, 11, 7, 3には必ず0を設定してください。	p.202 ☐
			AWCレジスタ	内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アドレス・セットアップ・ウェイト／アドレス・ホールド・ウェイト挿入の対象外になります。	p.205 ☐
				AWCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、AWCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。	p.205 ☐
				ビット15-8には必ず1を設定してください。	p.205 ☐
			BCCレジスタ	内蔵ROM領域、内蔵RAM領域、内蔵周辺I/O領域は、アイドル・ステート挿入の対象外になります。	p.206 ☐
				BCCレジスタへの書き込みはリセット後に行い、そのあとは値を変更しないでください。また、BCCレジスタの初期値を変更する場合は、設定が終了するまで外部メモリ領域にアクセスしないでください。	p.206 ☐
				ビット15, 13, 11, 9には必ず1を設定し、ビット14, 12, 10, 8, 6, 4, 2, 0には必ず0を設定してください。	p.206 ☐

章	分類	機能	機能の詳細	注意事項	頁
第5章	ハード	バス制御機能	バス制御機能	外部バス機能において、次の動作条件時には信号が正常なタイミングで出力されない可能性があります。 <動作条件> ○ マルチプレクス・バス・モード ① CLKOUT非同期 ($2.7\text{ V} \leq V_{DD} = EV_{DD} = AV_{REF0} < 4.0\text{ V}$, $2.7\text{ V} \leq BV_{DD} < 4.0\text{ V}$) $1/f_{CPU} < 84\text{ ns}$で使用时 ○ セパレート・バス・モード ① リード・サイクル, CLKOUT非同期 ($4.0\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} \leq 5.5\text{ V}$) $1/f_{CPU} < 100\text{ ns}$で使用时 ② ライト・サイクル, CLKOUT非同期 ($4.0\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} \leq 5.5\text{ V}$) $1/f_{CPU} < 60\text{ ns}$で使用时 ③ リード・サイクル, CLKOUT非同期 ($2.7\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} < 4.0\text{ V}$) $1/f_{CPU} < 200\text{ ns}$で使用时 ④ ライト・サイクル, CLKOUT非同期 ($2.7\text{ V} \leq V_{DD} = BV_{DD} = EV_{DD} = AV_{REF0} < 4.0\text{ V}$) $1/f_{CPU} < 100\text{ ns}$で使用时 <回避策> 上記条件で使用时には、次のようにAWCレジスタにてアドレス・セットアップ／ホールド・ウェイトを必ず挿入してください。 ○ マルチプレクス・バス・モード, 条件①で使用时 ・ $70\text{ ns} < 1/f_{CPU} < 84\text{ ns}$時 アドレス・セットアップ・ウェイト (ASWnビット= 1) を設定 ・ $62.5\text{ ns} < 1/f_{CPU} < 70\text{ ns}$時 アドレス・セットアップ・ウェイト (ASWnビット= 1) および、アドレス・ホールド・ウェイト (AHWnビット= 1) を設定 ○ セパレート・バス・モード条件①～④で使用时 アドレス・セットアップ・ウェイト (ASWnビット= 1) を設定	p.216 ☐
第6章	ソフト	クロック発生機能	PCCレジスタ	CLKOUTを出力している間は、CPUクロック (CK3-CK0ビット) を変更しないでください。	p.221 ☐
				CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。	p.221 ☐
				CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、ウェイトが発生するレジスタにアクセスしないでください (アクセス方法については3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照)。ウェイトが発生した場合、解除する方法はリセットのみです。	p.221 ☐
				メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。	p.222 ☐
				次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。 内部システム・クロック (f_{CLK}) > サブクロック ($f_{XT} : 32.768\text{ kHz}$) $\times 4$	p.222 ☐
				メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。	p.223 ☐
			PLLCTLレジスタ	ビット4-7には必ず0を設定してください。	p.225 ☐
第7章	ソフト	16ビット・タイマ／イベント・カウンタP (TMP)	TP0CTL0レジスタ	メイン・クロック発振回路およびサブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図6-2、図6-3の破線の部分を次のように配線してください。 ・ 配線は極力短くする。 ・ 他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。 ・ 発振回路のコンデンサの接地点は、常にVSSと同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。 ・ 発振回路から信号と取り出さない。 特に、サブクロック発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。 X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。	p.228 ☐
				TP0CKS2-TP0CKS0ビットは、TP0CEビット= 0のときに設定してください。TP0CEビットを“0”から“1”に設定するときに、同時にTP0CKS2-TP0CKS0ビットを設定することもできます。	p.234 ☐
				ビット3-6には必ず“0”を設定してください。	p.234 ☐

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ／イベント・カウンタP	TP0CTL1レジスタ	TP0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。 外部イベント・カウント・モードのときは、TP0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。 TP0EEE, TP0MD2-TP0MD0ビットは、タイマ動作停止（TP0CTL0.TP0CEビット= 0）のときに設定してください（TP0CEビット= 1のときの同値書き込みは可能）。TP0CEビット= 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TP0CEビットをクリア（0）してから再設定してください。 ビット3, 4, 7には必ず“0”を設定してください。	p.235 ☐ p.235 ☐ p.235 ☐ p.235 ☐
			TP0IOC0レジスタ	TP0OL1, TP0OE1, TP0OL0, TP0OE0ビットは、TP0CTL0.TP0CEビット= 0のときに書き換えてください（TP0CEビット= 1のときの同値書き込みは可能）。誤って書き換えた場合は、TP0CEビットをクリア（0）してから再設定してください。 TP0CEビット= 0, TP0OEnビット= 0の状態において、TP0OLnビットを操作した場合でも、TOP0n端子の出力レベルは変化します（n= 0, 1）。	p.236 ☐ p.236 ☐
			TP0IOC1レジスタ	TP0IS3-TP0IS0ビットは、TP0CTL0.TP0CEビット= 0のときに書き換えてください（TP0CEビット= 1のときの同値書き込みは可能）。誤って書き換えた場合は、TP0CEビットをクリア（0）してから再設定してください。 TP0IS3-TP0IS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。	p.237 ☐ p.237 ☐
			TP0IOC2レジスタ	TP0EES1, TP0EES0, TP0ETS1, TP0ETS0ビットは、TP0CTL0.TP0CEビット= 0のときに書き換えてください（TP0CEビット= 1のときの同値書き込みは可能）。誤って書き換えた場合は、TP0CEビットをクリア（0）してから再設定してください。 TP0EES1, TP0EES0ビットは、TP0CTL1.TP0EEEビット= 1, または外部イベント・カウント・モード（TP0CTL1.TP0MD2-TP0MD0ビット= 001）に設定したときのみ有効です。 TP0ETS1, TP0ETS0ビットは、外部トリガ・パルス出力モード（TP0MD2-TP0MD0ビット= 010）、ワンショット・パルス出力モード（TP0MD2-TP0MD0ビット= 011）に設定したときのみ有効です。	p.238 ☐ p.238 ☐ p.238 ☐
			TP0OPT0レジスタ	TP0CCS1, TP0CCS0ビットは、TP0CEビット= 0のときに書き換えてください（TP0CEビット= 1のときの同値書き込みは可能）。 誤って書き換えた場合は、TP0CEビットをクリア（0）してから再設定してください。 ビット1-3, 6, 7には必ず“0”を設定してください。	p.239 ☐ p.239 ☐
			TP0CCR0レジスタ	サブクロック動作時、かつメイン・クロック停止時のTP0CCR0レジスタへのアクセスは禁止です。詳細は、3. 4. 9 (1) を参照してください。	p.240 ☐
			TP0CCR1レジスタ	サブクロック動作時、かつメイン・クロック停止時のTP0CCR1レジスタへのアクセスは禁止です。詳細は、3. 4. 9 (1) を参照してください。	p.242 ☐
			TP0CNTレジスタ	サブクロック動作時、かつメイン・クロック停止時のTP0CNTレジスタへのアクセスは禁止です。詳細は、3. 4. 9 (1) を参照してください。	p.244 ☐
			動作	外部イベント・カウント・モードを使用する場合、TIP00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない（TP0IOC1.TP0IS1, TP0IS0ビットを“00”）に設定してください。 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択（TP0CTL1.TP0EEEビット= 0に設定）してください。	p.245 ☐ p.245 ☐
			TP0CTL1.TP0EEEビット	タイマ出力（TOP01）を使用する場合だけ、TP0EEEビット = 1に設定することを許可します。ただし、TP0CCR0, TP0CCR1レジスタの設定値は、同値にしてください（7. 5. 1 (2) (d) TP0CCR1レジスタの動作参照）。	p.253 ☐
			TP0IOC2.TP0EES1, TP0EES0ビット	タイマ出力（TOP01）を使用する場合だけ、TP0EES1, TP0EES0ビットを設定することを許可します。ただし、TP0CCR0, TP0CCR1レジスタの設定値は、同値にしてください。	p.254 ☐
			外部イベント・カウント・モード	外部イベント・カウント・モード時、TP0CCR0, TP0CCR1レジスタには、0000Hを設定しないでください。	p.266 ☐
				外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可（TP0CTL1.TP0MD2-TP0MD0ビット= 000, TP0CTL1.TP0EEEビット= 1）に選択してください（7. 5. 1 (3) 外部イベント・カウント入力（TIP00）による動作参照）。	p.266 ☐

章	分類	機能	機能の詳細	注意事項	頁
第7章	ソフト	16ビット・タイマ／イベント・カウンタP	外部トリガ・パルス出力モード、PWM出力モード	一度TP0CCR1レジスタにライトしたあとで、再度TP0CCR0、またはTP0CCR1レジスタへのライトを行う場合は、INTTP0CC0信号の発生後に行ってください。これを守れない場合には、TP0CCRNレジスタからCCRNバッファ・レジスタへのデータ転送タイミングと、TP0CCRNレジスタの書き換えの競合により、CCRNバッファ・レジスタの値が不定値になる場合があります。	p.279, ☐ 299
			ワンショット・パルス出力モード	ワンショット・パルス出力モードにおいて、TP0CCR1レジスタの設定値がTP0CCR0レジスタの設定値より大きい場合、TOP01端子からワンショット・パルスは出力しません。	p.287 ☐
			PnNFCレジスタ	サンプリング・クロック周期×サンプリング回数時間経過後TMP0の16ビット・カウンタのスタート許可 (TP0CTL.TP0CEビット= 1) をしてください。	p.323 ☐
			キャプチャ動作	ビット7, 5-3には必ず0を設定してください。	p.323 ☐
第8章	ソフト	16ビット・タイマ／イベント・カウンタ0	CR0n0, CR0n1レジスタ	キャプチャ動作を使用し、かつカウント・クロックとしてf _{xx} /8, f _{xx} /16, f _{xx} /32, f _{xx} /64, f _{xx} /128, 外部イベント・カウンタ (TP0CLT1.TP0EEEビット= 1) を選択した場合、TP0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TP0CCRNレジスタに0000HではなくFFFFHがキャプチャされる場合があります。	p.325 ☐
				P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジ入力として使用し、かつタイマ出力機能を使用するときは、P34, P32, P30, P31端子をタイマ出力端子 (TO00-TO03) に設定してください。	p.331 ☐
				TMC0n3, TMC0n2ビット= 00に設定したタイミングとキャプチャ・トリガの入力が競合した場合、キャプチャ・データは不定となります。	p.331 ☐
			CR0n0, CR0n1レジスタのキャプチャ動作	キャプチャ・モードからコンペア・モードに変更する場合は、いったんTMC0n3, TMC0n2ビット= 00にしてから、設定を変更してください。 なお、一度キャプチャした値は、リセットしないかぎりCR0n0, CR0n1レジスタに格納されたままです。コンペア・モードに変更したあとは、必ずコンペア値を設定してください。	p.331 ☐
				TI0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号 (INTTM0n0) は発生しません。この動作中に、TI0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。	p.334 ☐
				TMC0nレジスタ	p.335 ☐
			TMC0nレジスタ	16ビット・タイマ／イベント・カウンタ0nは、TMC0n3, TMC0n2ビットに00 (動作停止モード) 以外の値を設定した時点で動作を開始します。動作を停止させるには、TMC0n3, TMC0n2ビットに00を設定してください。	p.335 ☐
				メイン・クロック停止、サブクロック動作時に、TMC0nレジスタにアクセスしないでください。 詳細は、3. 4. 9 (1) を参照してください。	p.335 ☐
			CRC0nレジスタ	キャプチャを確実に行うためのキャプチャ・トリガには、PRM0n, SELCNT1レジスタで選択したカウント・クロックの2周期分より長いパルスが必要です。	p.337 ☐
			TOC0nレジスタ	TOC0nレジスタを設定するときは、必ず次の順序で設定してください。 ①TOC0n4, TOC0n1ビットのセット (1) ②TOE0nビットだけを単独でセット (1) ③LVS0nビットまたはLVR0nビットのどちらか片方だけをセット (1)	p.338 ☐
			PRM0nレジスタ	PRM0n1, PRM0n0ビット=11 (カウント・クロックをTI0n0端子の有効エッジに指定) に設定する場合、次の設定は禁止です。 ・TI0n0端子の有効エッジでクリア&スタート・モード ・TI0n0端子をキャプチャ・トリガに設定	p.340 ☐
				リセット後、TI0n0端子またはTI0n1端子がハイ・レベルの状態、TI0n0端子またはTI0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。TI0n0端子またはTI0n1端子をプルアップしている場合などは注意してください。 ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。	p.340 ☐
				P33, P35, P92, P94端子をTI000, TI010, TI020, TI030有効エッジ入力として使用し、かつタイマ出力機能を使用するときは、P34, P32, P30, P31端子をタイマ出力端子 (TO00-TO03) として使用してください。	p.340 ☐

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	16ビット・タイマ／イベント・カウンタ0	カウント・クロックの設定	内部クロック選択時は、次の条件を満たすように設定してください。 ・ $V_{DD} = \text{REGC} = 4.0 \sim 5.5 \text{ V}$: カウント・クロック $\leq 10 \text{ MHz}$ ・ $V_{DD} = 4.0 \sim 5.5 \text{ V}$, $\text{REGC} = 10 \mu\text{F}$: カウント・クロック $\leq 5 \text{ MHz}$ ・ $V_{DD} = \text{REGC} = 2.7 \sim 4.0 \text{ V}$: カウント・クロック $\leq 5 \text{ MHz}$ 外部クロックには、内部クロック ($f_{xx}/4$) の2周期分より長いパルスが必要です。	p.341 ☐ -343
			TI0n0端子の有効エッジ入力によるクリア&スタート・モードとしての動作	カウント・クロックをTI0n0端子の有効エッジ (PRM0n.PRM0n1, PRM0n0ビット= 11) に設定しないでください。PRM0n1, PRM0n0ビット= 11に設定すると、TM0nレジスタがクリアされてしまいます。	p.356 ☐
			PPGとしての動作	動作中にデューティの値 (CR0n1レジスタ) を変更したい場合は、8. 5. 1 コンペア・レジスタのTM0n動作中の書き換えを参照してください。	p.383 ☐
			PPG出力動作時のレジスタ設定	CR0n0, CR0n1レジスタには、 $0000\text{H} \leq \text{CR0n1} < \text{CR0n0} \leq \text{FFFFH}$ の値を設定してください。	p.385 ☐
			ワンショット・パルス出力としての動作	ワンショット・パルスを出力中に、さらにトリガ (OSPT0nビットのセット (1) , またはTI0n0端子の有効エッジ検出) を入力しないでください。再度、ワンショット・パルスを出力したいときは、現在のワンショット・パルス出力が終了したあとで、トリガを発生させてください。	p.387 ☐
			LVS0n, LVR0nビット	LVS0n, LVR0nビットは必ず上記①, ②, ③の手順で設定してください。 ①の設定をしてから、③の設定をするまでの間であれば、②の設定ができます。	p.401 ☐
			TM00について	TI000端子の有効エッジ検出をトリガとして、ワンショット・パルスを出力したい場合には、P34端子兼用のTO00端子出力を使用してください。 P33端子兼用のTO00端子出力を使用すると、同じくP33端子と兼用しているTI000端子が使用できません。 ソフトウェア・トリガ (TOC00. OSPT00ビットのセット (1)) だけをワンショット・パルス出力の起動トリガにする場合は、P33, P34端子のどちらでもTO00端子出力として使用できます。	p.402 ☐
				TMC00.TMC001ビット = 0に設定し、TI000端子入力の有効エッジ検出によって、TO00端子出力の反転動作を行いたい場合には、P34端子兼用のTO00端子出力を使用してください。 P33端子兼用のTO00端子出力を使用すると、同じくP33端子と兼用しているTI000端子が使用できないため、TI000端子入力の有効エッジ検出によるTO00端子出力反転動作ができません。	p.402 ☐
			TM01について	TI010端子の有効エッジ検出をトリガとして、ワンショット・パルスを出力したい場合には、P32端子兼用のTO01端子出力を使用してください。 P35端子兼用のTO01端子出力を使用すると、同じくP35端子と兼用しているTI010端子が使用できません。 ソフトウェア・トリガ (TOC01. OSPT01ビットのセット (1)) だけをワンショット・パルス出力の起動トリガにする場合は、P32, P35端子のどちらでもTO01端子出力として使用できます。	p.403 ☐
				TMC01.TMC011ビット = 0に設定し、TI010端子入力の有効エッジ検出によって、TO01端子出力の反転動作を行いたい場合には、P32端子兼用のTO01端子出力を使用してください。 P35端子兼用のTO01端子出力を使用すると、同じくP35端子と兼用しているTI010端子が使用できないため、TI010端子入力の有効エッジ検出によるTO01端子出力反転動作ができません。	p.403 ☐
			TM02について	ワンショット・パルスを出力したい場合には、P30端子兼用のTO02端子出力を使用してください。 TI020端子の有効エッジ検出によるトリガだけでなく、ソフトウェア・トリガ (TOC02. OSPT02ビットのセット (1)) だけを使用する場合でも、P92端子兼用のTO02端子出力を使用してワンショット・パルスを出力することはできません。	p.403 ☐
				TMC02.TMC021ビット = 0に設定し、TI020端子入力の有効エッジ検出によって、TO02端子出力の反転動作を行いたい場合には、P30端子兼用のTO02端子出力を使用してください。 P92端子兼用のTO02端子出力を使用すると、同じくP92端子と兼用しているTI020端子が使用できないため、TI020端子入力の有効エッジ検出によるTO02端子出力反転動作ができません。	p.403 ☐

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	16ビット・タイマ／イベント・カウンタ0	TM03について	ワンショット・パルスを出力したい場合には、P31端子兼用のTO03端子出力を使用してください。 TI030端子の有効エッジ検出によるトリガだけでなく、ソフトウェア・トリガ(TOC03.OSPT03ビットのセット(1))だけを使用する場合でも、P94端子兼用のTO03端子出力を使用してワンショット・パルスを出力することはできません。 TMC03.TMC031ビット = 0に設定し、TI030端子入力の有効エッジ検出によって、TO03端子出力の反転動作を行いたい場合には、P31端子兼用のTO03端子出力を使用してください。 P94端子兼用のTO03端子出力を使用すると、同じくP94端子と兼用しているTI030端子が使用できないため、TI030端子入力の有効エッジ検出によるTO03端子出力反転動作ができません。	p.403 ☐
			TM04, TM05について	TI040端子とTO04端子、TI050端子とTO05端子は兼用していません。	p.403 ☐
	ハード	タイマ・スタート時の誤差	タイマ・スタート後、一致信号が発生するまでの時間は最大で1クロック分の誤差が発生します。これは、カウント・パルスに対してTM0nレジスタのカウント・スタートが非同期で行われるためです。	p.404 ☐	
		ソフト	CR0n0, CR0n1レジスタの設定	TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードの場合CR0n0, CR0n1レジスタには、0000H以外の値を設定してください(外部イベント・カウンタとして使用する場合、1パルスのカウント動作はできません)。	p.404 ☐
	ハード	キャプチャ・レジスタのデータ保持タイミング	CR0n0/CR0n1レジスタの読み出し中にTI0n1/TI0n0端子の有効エッジ入力、TI0n0端子の逆相のエッジを検出したとき、CR0n0/CR0n1レジスタはキャプチャ動作を行います。CR0n0/CR0n1レジスタの読み出し値は保証されません。このとき、TI0n0/TI0n1端子の有効エッジの検出による割り込み信号(INTTM0n0/INTTM0n1)は発生します(TI0n0端子の逆相のエッジ検出時は、割り込み信号を発生しません)。TI0n0/TI0n1端子の有効エッジの検出によるキャプチャ時に、CR0n0/CR0n1レジスタの値を読み出す場合は、INTTM0n0/INTTM0n1発生後に行ってください。 16ビット・タイマ／イベント・カウンタ0n停止後のCR0n0, CR0n1レジスタの値は保証されません。	p.405 ☐	
		ソフト	有効エッジの設定	TI0n0端子の有効エッジの設定は、タイマ動作が停止(TMC0n.TMC0n3, TMC0n2ビット= 00)しているときに行ってください。有効エッジの設定は、PRM0n.ESn00, ESn01ビットで行います。	p.405 ☐
		ワンショット・パルスの再トリガ	ワンショット・パルス出力モードで、アクティブ・レベルを出力中に、トリガが発生しないようにしてください。次のトリガ入力は、必ず現在のアクティブ・レベル出力が終わったあとで発生するようにしてください。	p.405 ☐	
		OVF0nフラグ	TMC0n.OVF0nフラグは、TM0nレジスタがオーバーフローしたとき以外に、次のときにもセット(1)されます。 TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードを選択 →CR0n0レジスタをFFFFHに設定 →TM0nレジスタがCR0n0レジスタとの一致によりFFFFHから0000Hにクリアされる とき TM0nレジスタがオーバーフロー後、次のカウント・クロックがカウントされる(TM0nレジスタが0001Hになる)前にOVF0nフラグをクリア(0)しても、再度セット(1)されクリアは無効となります。	p.406 ☐	
	ハード	ワンショット・パルス出力	ワンショット・パルス出力は、フリー・ランニング・タイマ・モードまたはTI0n0端子の有効エッジでクリア&スタート・モードのときに、正常に動作します。TM0nレジスタとCR0n0レジスタの一致でクリア&スタート・モードでは、ワンショット・パルスを出力できません。	p.407 ☐	
		キャプチャ動作	カウント・クロックにTI0n0の有効エッジを指定した場合、TI0n0をトリガに指定したキャプチャ・レジスタは正常に動作しません。	p.407 ☐	
			確実にキャプチャするためのキャプチャ・トリガとして、TI0n0, TI0n1端子に入力するパルスには、PRM0n, SELCNT1レジスタで選択したカウント・クロックの2回分より長いパルス幅が必要です。	p.407 ☐	
			割り込み信号の発生時、キャプチャ動作はカウント・クロックの立ち下がりで行われますが、割り込み信号(INTTM0n0, INTTM0n1)は次のカウント・クロックの立ち上がりで発生します。	p.407 ☐	

章	分類	機能	機能の詳細	注意事項	頁
第8章	ソフト	16ビット・タイマ／イベント・カウンタ0	キャプチャ動作	CRC0n.CRC0n1ビット=1に設定したとき、Ti0n0端子入力の逆相でTM0nレジスタのカウント値をCR0n0レジスタにキャプチャする場合、キャプチャ後に割り込み要求信号(INTTM0n0)は発生しません。この動作中に、Ti0n1端子から有効エッジが検出された場合、キャプチャ動作は行われませんが、外部割り込み信号としてINTTM0n0信号が発生します。外部割り込みを使用しない場合は、INTTM0n0信号をマスクしてください。	p.408 ☐
	ハード		エッジ検出	リセット後の有効エッジ指定は、リセット後、Ti0n0端子またはTi0n1端子がハイ・レベルの状態、Ti0n0端子またはTi0n1端子の有効エッジを立ち上がりエッジまたは両エッジに指定して、16ビット・タイマ／イベント・カウンタ0nの動作を許可すると、そのハイ・レベルを立ち上がりエッジとして検出してしまいます。Ti0n0端子またはTi0n1端子をプルアップしている場合などは注意してください。ただし、いったん動作を停止させたあとの再動作許可時には、立ち上がりエッジは検出されません。	p.408 ☐
				ノイズ除去のためのサンプリング・クロックは、Ti0n0の有効エッジをカウント・クロックで使用する場合と、キャプチャ・トリガとして使用する場合で、ノイズ除去のためのサンプリング・クロックが異なります。前者はf _{xx} /4固定で、後者はPRM0n, SELCNT1レジスタで選択したカウント・クロックでサンプリングします。 Ti0n0端子入力信号をサンプリングして、2回連続して有効レベルを検出したときに、はじめて有効エッジと判断します。したがって、短いパルス幅のノイズを除去できます。	p.408 ☐
第9章	ソフト	8ビット・タイマ／イベント・カウンタ5	TM5nレジスタ	カスケード接続時は、下位タイマ(TM50)のTCE50ビットをクリアすることで0000Hとなります。	p.413 ☐
			CR5nレジスタ	TM5nレジスタとCR5nレジスタの一致でクリア&スタート・モード時(TMC5n.TMC5n6ビット=0)は、カウント動作中にCR5nレジスタに異なる値を書き込まないでください。	p.414 ☐
				PWMモード時は、CR5nレジスタの書き換え間隔を3カウント・クロック(TCL5nレジスタで選択したクロック)以上にしてください。	p.414 ☐
				カスケード接続時にCR5nレジスタの値を変更するときは、必ずタイマ動作を停止させてから行ってください。	p.414 ☐
			TCL5nレジスタ	内部クロック選択時は、次の条件を満たすように設定してください。 REGC = V _{DD} = 4.0~5.5 V : カウント・クロック ≤ 10 MHz REGC = 10 μF, V _{DD} = 4.0~5.5 V : カウント・クロック ≤ 5 MHz REGC = V _{DD} = 2.7~4.0 V : カウント・クロック ≤ 5 MHz	p.415 ☐
				TCL5nレジスタを同一データ以外に書き換える場合は、いったんタイマ動作を停止させてから行ってください。	p.415 ☐
	ハード		TMC5nレジスタ	TO51端子とTi51端子は兼用しているため、どちらか一方の機能しか使用できません。	p.417 ☐
	ソフト			LVS5nビットとLVR5nビットの設定は、PWMモード時以外で有効になります。	p.417 ☐
				次の①~④の設定は同時に行わないでください。また設定は次の手順で行ってください。 ①TMC5n1,TMC5n6,TMC514ビットを設定 : 動作モードの設定 ②出力を許可する場合、TOE5nビットを設定 : タイマ出力許可 ③LVS5nビット, LVR5nビットを設定 : タイマ出力F/Fの設定 ④TCE5nビットを設定	p.417 ☐
			インターバル・タイマとしての動作	インターバル・タイマ動作中にCR5nレジスタの値を書き換えしないでください。	p.418 ☐
			外部イベント・カウンタとしての動作	外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えしないでください。	p.420 ☐
			方形波出力としての動作	方形波出力中にCR5nレジスタの値を書き換えしないでください。	p.421 ☐
			8ビットPWM出力としての動作	CR5nレジスタの書き換え間隔は、動作クロック(TCL5nレジスタで設定)の3クロック以上必要です。	p.422 ☐
			CR5nレジスタ変更による動作について	①から②の間でCR5nレジスタからリードする場合、実際に動作する値と異なります(リード値:M, 実際のCR5nレジスタの値:N)。	p.424 ☐

章	分類	機能	機能の詳細	注意事項	頁
第9章	ソフト	8ビット・タイマ／イベント・カウンタ5	インターバル・タイマ（16ビット）としての動作	カスケード接続時のTCE5nビットの操作は、動作開始時はTCE51ビットをセット（1）してからTCE50ビットをセット（1）してください。動作停止時はTCE50ビットをクリア（0）してからTCE51ビットをクリア（0）してください。	p.425 ☐
				カスケード接続時はTI50入力、TO50出力、INTTM50信号を使用します。TI51入力は使用できません。TO51出力は使用しないでください。INTTM51信号は使用しないでマスクしてください（詳細は第21章割り込み／例外処理機能を参照してください）。（LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。）	p.425 ☐
				タイマ動作中はCR5レジスタの値を変更しないでください。	p.425 ☐
		外部イベント・カウンタ（16ビット）としての動作	外部イベント・カウンタ動作中にCR5nレジスタの値を書き換えないでください。	カスケード接続時のTCE5nビットの操作は、動作開始時はTCE51ビットをセット（1）してからTCE50ビットをセット（1）してください。動作停止時はTCE50ビットをクリア（0）してからTCE51ビットをクリア（0）してください。	p.427 ☐
				カスケード接続時はTI50入力、INTTM50信号を使用します。TI51入力は使用できません。TO51出力は使用しないでください。INTTM51信号は使用しないでマスクしてください（詳細は第21章割り込み／例外処理機能を参照してください）。（LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。）	p.427 ☐
		方形波出力（16ビット分解能）としての動作	タイマ動作中にCR5レジスタの値を変更しないでください。	カスケード接続時はTI50入力、TO50出力、INTTM50信号を使用します。TI51入力は使用できません。TO51出力は使用しないでください。INTTM51信号は使用しないでマスクしてください（詳細は第21章割り込み／例外処理機能を参照してください）。（LVS51, LVR51, TMC511, TOE51ビットは0に設定してください。）	p.428 ☐
				タイマ・スタート後、一致信号が発生するまでの時間は、最大で1クロック分の誤差が生じます。これは、カウント・パルスに対してTM5nレジスタのスタートが非同期で行われるためです。	p.428 ☐
第10章	ソフト	8ビット・タイマH	CMPn0レジスタ	CMPn0レジスタは、タイマ・カウント動作中に値を書き換えることは禁止です。	p.432 ☐
			CMPn1レジスタ	PWM出力モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止（TMHMDn.TMHEnビット= 0）設定後、タイマ・カウント動作を開始する（TMHEnビット= 1）場合、必ずCMPn1レジスタを設定してください（CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください）。	p.433 ☐
			TMHMD0レジスタ	次の条件を満たすように設定してください。 REGC = V _{DD} = 4.0~5.5 V : カウント・クロック ≤ 10 MHz REGC = 10 μF, V _{DD} = 4.0~5.5 V : カウント・クロック ≤ 5 MHz REGC = V _{DD} = 2.7~4.0 V : カウント・クロック ≤ 5 MHz	p.434 ☐
				TMHE0ビット = 1のとき、TMHE0ビット = 0（動作停止）以外の設定変更は禁止です。	p.434 ☐
				PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止（TMHE0ビット= 0）設定後、タイマ・カウント動作を開始する（TMHE0ビット= 1）場合、必ずCMP01レジスタを設定してください（CMP01レジスタへの設定値が同値の場合でも、必ず再設定してください）。	p.434 ☐
				キャリア・ジェネレータ・モードを使用する場合、8ビット・タイマH0のカウント・クロック周波数を8ビット・タイマ／イベント・カウンタ50のカウント・クロック周波数の6倍以上になるように設定してください。	p.434 ☐
			TMHMD1レジスタ	次の条件を満たすように設定してください。 REGC = V _{DD} = 4.0~5.5 V : カウント・クロック ≤ 10 MHz REGC = 10 μF, V _{DD} = 4.0~5.5 V : カウント・クロック ≤ 5 MHz REGC = V _{DD} = 2.7~4.0 V : カウント・クロック ≤ 5 MHz	p.435 ☐
				TMHE1ビット = 1のとき、TMHE1ビット = 0（動作停止）以外の設定変更は禁止です。	p.435 ☐
				PWMパルス・ジェネレータ・モードおよびキャリア・ジェネレータ・モードでは、タイマ・カウント動作停止（TMHE1ビット= 0）設定後、タイマ・カウント動作を開始する（TMHE1ビット= 1）場合、必ずCMP11レジスタを設定してください（CMP11レジスタへの設定値が同値の場合でも、必ず再設定してください）。	p.435 ☐
				キャリア・ジェネレータ・モードを使用する場合、8ビット・タイマH1のカウント・クロック周波数を8ビット・タイマ／イベント・カウンタ51のカウント・クロック周波数の6倍以上になるように設定してください。	p.435 ☐

章	分類	機能	機能の詳細	注意事項	頁
第10章	ソフト	8ビット・タイマH	PWM出力モードとしての動作	CMPn1レジスタの値を変更してからレジスタに値が転送されるまでに、動作クロック (TMHMDnレジスタのCKSHn2-CKSHn0ビットで選択された信号) の3クロック分以上かかります。	p.441 ☐
				タイマ・カウント動作停止 (TMHEnビット= 0) 設定後、タイマ・カウント動作を開始する (TMHEnビット= 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください)。	p.441 ☐
				CMPn1レジスタの設定値 (M) , CMPn0レジスタの設定値 (N) は、必ず次の範囲内にしてください。 $00H \leq \text{CMPn1 (M)} < \text{CMPn0 (N)} \leq \text{FFH}$	p.441 ☐
				周期を変更する場合には、いったんタイマを停止 (TMHEn = 0) してからCMPn0レジスタを書き換え、CMPn1レジスタを設定してからカウントを再開してください。	p.441 ☐
			転送タイミング	NRZBnビットの値を書き換えてから2クロック目までに、再びNRZBnビットの値を書き換えないでください。書き換えた場合のNRZBnビットからNRZnビットへの転送動作の保証はできません。	p.447 ☐
				8ビット・タイマ/イベント・カウンタ5nをキャリア・ジェネレータ・モードで使用する場合、①のタイミングで割り込みが発生します。8ビット・タイマ/イベント・カウンタ5nをキャリア・ジェネレータ・モード以外で使用する場合は、割り込み発生タイミングが異なります。	p.447 ☐
			キャリア・ジェネレータ・モード時のレジスタの設定	タイマ・カウント動作停止 (TMHEnビット= 0) 設定後、タイマ・カウント動作を開始する (TMHEnビット= 1) 場合、必ずCMPn1レジスタを設定してください (CMPn1レジスタへの設定値が同値の場合でも、必ず再設定してください)。	p.449 ☐
				CMPn0, CMPn1レジスタの値は、01H-FFHの範囲で設定してください。	p.449 ☐
				キャリア・ジェネレータ・モード時は、CMPn1レジスタを書き換えてから、実際にレジスタに転送するのに動作クロック (TMHMDn.CKSHn2-CKSHn0ビットで選択された信号) の3クロック分を必要とします。	p.449 ☐
				TMCYCn.RMCnビットの設定はカウント動作開始前に必ず設定してください。	p.449 ☐
				キャリア・ジェネレータ・モードを使用する場合、8ビット・タイマHnのカウント・クロック周波数を8ビット・タイマ/イベント・カウンタ5nのカウント・クロック周波数の6倍以上になるように設定してください。	p.449 ☐
第11章	ソフト	インターバル・タイマ, 時計タイマ	PRSMレジスタ	次の条件を満たすように設定してください。 $V_{DD} = 4.0 \sim 5.5 \text{ V} : f_{BGCS} \leq 10 \text{ MHz}$ $V_{DD} = 2.7 \sim 4.0 \text{ V} : f_{BGCS} \leq 5 \text{ MHz}$	p.454 ☐
				インターバル・タイマBRG動作中 (BGCEビット= 1) に、TODIS, BGCS1, BGCS0ビットの値を変更しないでください。TODIS, BGCS1, BGCS0ビットの設定は、BGCEビットをセット (1) する前に行ってください。	p.454 ☐
				BGCEビットをクリア (0) することにより、8ビット・カウンタはクリアされます。	p.454 ☐
			PRSCMレジスタ	インターバル・タイマBRG動作中 (PRSM.BGCEビット= 1) に、PRSCMレジスタを書き換えないでください。PRSCMレジスタの設定は、BGCEビットをセット (1) する前に行ってください。	p.455 ☐
			WTMレジスタ	WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。	p.460 ☐
			時計タイマとしての動作	動作許可 (WTM.WTM1, WTM0ビット= 11) してから、1回目の時計タイマ割り込み要求 (INTWT) は、正確にWTM2, WTM3ビットの設定した時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。	p.462 ☐
				1回目のINTWTが発生するまでに、最大0.515625 sかかります (最大 $2^9 \times 1/32768 = 0.015625 \text{ s}$ 長くかかります)。そのあとは0.5 sごとにINTWTが発生します。	p.462 ☐
	ハード				
	ソフト		時計タイマとインターバル・タイマBRGを同時に動作させる場合	時計タイマのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマBRGのインターバル時間を任意に設定できます。また、インターバル時間を変更しても時計タイマには影響しません (変更するときは動作を停止 (PRSM.BGCEビット = 0) してから変更してください)。 時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマBRGのインターバル時間は約15.3 μs にしてください。インターバル時間は変更しないでください。	p.463 ☐

章	分類	機能	機能の詳細	注意事項	頁
第11章	ソフト	インターバル・タイマ、時計タイマ	インターバル・タイマ BRG と インターバル・タイマ WT を同時に動作させる場合	インターバル・タイマ WT のカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマ BRG、WT のインターバル時間をそれぞれ任意に設定できます。また、途中で変更もできます（変更するときは動作を停止してから変更してください）。インターバル・タイマ BRG を変更したい場合にはインターバル・タイマを停止（BGCE ビット = 0）にしてから変更してください。インターバル・タイマ WT を変更したい場合にはインターバル・タイマ WT を停止（WTM1、WTM0 ビット = 00）にしてから変更してください。インターバル・タイマ WT のカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマ BRG のインターバル時間を任意に設定できますが、インターバル・タイマ WT のインターバル時間はインターバル・タイマ BRG の $2^5 \cdot 2^{12}$ 倍の時間を設定できます。インターバル・タイマ BRG の設定は途中で変更できません（インターバル・タイマ WT 動作停止時のみ変更できます）。インターバル・タイマ WT の設定は途中で変更できます。	p.463
		時計タイマとインターバル・タイマ WT を同時に動作させる場合	インターバル・タイマ WT のインターバル時間は $488 \mu\text{s}$ - 62.5 ms の時間を設定できます。途中で変更できません。 時計タイマ動作中に、インターバル・タイマ WT を停止（WTM.WTM0 ビットをクリア（0））しないでください。WTM0 ビットをクリア（0）して再度セット（1）すると、時計タイマが最大 0.5 秒または 0.25 秒ずれてしまいます。	p.463	
		時計タイマとインターバル・タイマ BRG と インターバル・タイマ WT を同時に動作させる場合	時計タイマのカウント・クロックとしてサブクロックを使用するときは、インターバル・タイマ BRG、WT のインターバル時間を任意に設定できます。また、インターバル・タイマ BRG のインターバル時間を途中で変更できます（変更するときは動作を停止してから変更してください）。 時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、インターバル・タイマ BRG のインターバル時間は約 $15.3 \mu\text{s}$ にしてください。途中で変更できません。インターバル・タイマ WT のインターバル時間は $488 \mu\text{s}$ - 62.5 ms の時間を設定できます。途中で変更できません。 時計タイマ動作中に、インターバル・タイマ BRG を停止（PRSM.BGCE ビットをクリア（0））しないでください。また、インターバル・タイマ WT を停止（WTM.WTM0 ビットをクリア（0））しないでください。	p.463	
第12章	ソフト	ウォッチドッグ・タイマ機能	WDTM1 レジスタ	メイン・クロック停止、サブクロック動作時に、WDTM1 レジスタにアクセスしないでください。 詳細は、3.4.9（1）を参照してください。 RUN1 ビットは、一度セット（1）されると、ソフトウェアでクリア（0）することはできません。 したがって、カウントを開始すると、リセット以外で停止させることはできません。 WDTM14、WDTM13 ビットは、一度セット（1）されると、ソフトウェアでクリア（0）することはできません。これらのビットをクリアするには、リセットのみが有効です。	p.467
			ウォッチドッグ・タイマ1としての動作	CPU クロックにサブクロックを選択しているとき、ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。	p.468
				INTWDT1 信号による、ノンマスカブル割り込み処理については、21.10 注意事項を参照してください。	p.468
		ウォッチドッグ・タイマ1は、STOP モード、IDLE モード、サブクロック動作モード時は停止します。よって STOP モード、IDLE モード、サブクロック動作モードに入る前に RUN1 ビットを“1”に設定し、ウォッチドッグ・タイマ1をクリアしてください。		p.468	
		インターバル・タイマとしての動作	HALT モード時はウォッチドッグ・タイマ1は動作するため、HALT 中にオーバフローが発生しないように注意してください。	p.468	
			インターバル・タイマ・モード中に、一度 WDTM14 ビットに“1”を設定すると、ウォッチドッグ・タイマ1モードに移行し、リセットがかからないかぎり、インターバル・タイマ・モードにもどれません。	p.469	
		ウォッチドッグ・タイマ2	CPU クロックにサブクロックを選択しているとき、ウォッチドッグ・タイマ1のカウント動作を停止（保持）します。	p.469	
			ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。 ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、次のインターバル時間内で停止してください。 また、デフォルトの設定（リセット・モード、インターバル時間： $f_{\text{xx}}/2^{25}$ ）で変更する必要がない場合も、動作を確定するために、1回だけ WDTM2 レジスタへの書き込みを行ってください。	p.470	
			ノンマスカブル割り込み要求信号（INTWDT2）によるノンマスカブル割り込み処理については 21.10 注意事項を参照してください。	p.470	

章	分類	機能	機能の詳細	注意事項	頁
第12章	ソフト	ウォッチドッグ・タイマ機能	WDTM2レジスタ	メイン・クロック停止、サブクロック動作時に、WDTM2レジスタにアクセスしないでください。 詳細は、3.4.9 (1) を参照してください。	p.472 ☐
				ウォッチドッグ・タイマ2の動作を停止する場合は、WDTM2レジスタに“1FH”を書き込んでください	p.472 ☐
			WDTM2レジスタ	リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生します。	p.472 ☐
				意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回だけ書き込むか、WDTEレジスタに“ACH”以外の値を1回だけ書き込んでください。	p.472 ☐
				ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回だけ書き込む、またはWDTEレジスタに“ACH”以外の値を1回だけ書き込んでもオーバフロー信号は発生しません。	
			WDTEレジスタ	WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。	p.473 ☐
				WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します。	p.473 ☐
				WDTEレジスタのリード値は、常に“9AH”（書き込んだ値（“ACH”）とは異なる値）になります。	p.473 ☐
				意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込むか、WDTM2レジスタに2回だけ書き込んでください。	p.473 ☐
				ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回だけ書き込む、またはWDTM2レジスタに2回だけ書き込んでもオーバフロー信号は発生しません。	
			動作	HALTモード時およびソース・クロックとしてサブクロックを選択した場合のIDLE/STOPモード時には、ウォッチドッグ・タイマ2は動作するため、HALT中にオーバフローが発生しないように注意してください。	p.474 ☐
第13章	ソフト	リアルタイム出力機能 (RTO)	RTBLn, RTBHn レジスタ	RTBHnレジスタのビット6, 7への書き込み時は、必ず“0”を書き込んでください。	p.477 ☐
				CPUがサブクロックで動作し、かつX1にクロックを入力していないとき、RTBLn, RTBHnレジスタにアクセスすると、ウェイトが発生します。ウェイトが発生した場合、解除する方法はリセットのみです。詳細は、3.4.9 (1) を参照してください。	p.477 ☐
			RTBLn, RTBHn レジスタに対する操作時の動作	リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBLn, RTBHnレジスタに出力データを設定してください。	p.477 ☐
			レジスタ	リアルタイム出力端子 (RTPn0-RTPn5) として使用するには、PMC5, PMC6, PFC5, PFC6レジスタでリアルタイム出力ポートに設定してください。	p.478 ☐
			RTPMnレジスタ	リアルタイム出力動作を許可 (RTPOEnビット= 1) することにより、リアルタイム出力を許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。	p.478 ☐
				リアルタイム出力動作を禁止 (RTPOEnビット= 0) の場合は、RTPMnレジスタの設定にかかわらず、リアルタイム出力信号 (RTPOUTn0-RTPOUTn5) は全ビット“0”を出力します。	p.478 ☐
			RTPCnレジスタ	リアルタイム出力動作禁止 (RTPOEnビット= 0) の場合、リアルタイム出力端子 (RTPn0-RTPn5) は全ビット“0”を出力します。	p.479 ☐
				INTTM000, INTTM020信号は、それぞれのバッファからラッチへの転送が1クロック分遅くなります。	p.479 ☐
				RTPEGn, BYTEn, EXTRnビットの設定は、必ずRTPOEnビット= 0のときに行ってください。	p.479 ☐
			RTPOEnビット	RTPOEnビット= 0のとき、RTBHn, RTBLnレジスタに対してライトを行うと、その値がそれぞれリアルタイム出力ラッチnH, リアルタイム出力ラッチnLに転送されます。	p.480 ☐
				RTPOEnビット= 1のとき、RTBHn, RTBLnレジスタに対してライトを行っても、リアルタイム出力ラッチnH, リアルタイム出力ラッチnLにデータ転送はされません。	p.481 ☐
			リアルタイム出力信号	リアルタイム出力端子に反映するにはPMC5, PMC6, PFC5, PFC6レジスタでリアルタイム出力ポート (RTPn0-RTPn5) に設定してください。	p.481 ☐
			競合	選択されたリアルタイム出力トリガの割り込み処理内でRTBLn, RTBHn, RTPCnレジスタへの書き込みを行うなど、ソフトウェアにより、次の競合を回避してください。 ・リアルタイム出力動作の禁止/許可の切り替え (RTPOEnビット) と選択したリアルタイム出力トリガとの競合 ・リアルタイム出力動作許可状態におけるRTBHn, RTBLnレジスタのライトと選択したリアルタイム出力トリガとの競合	p.482 ☐
			初期設定	初期設定は、リアルタイム出力動作を禁止 (RTPOEnビット= 0) にしてから行ってください。	p.482 ☐

章	分類	機能	機能の詳細	注意事項	頁
第13章	ハード	リアルタイム出力機能 (RTO)	再設定	一度リアルタイム出力動作を禁止 (RTPOEnビット= 0) した場合は、リアルタイム出力動作を許可 (RTPOEnビット= 0→1) する前に、必ずRTBHn, RTBLnレジスタに初期値を設定してください。	p.482 ☐
			セキュリティ機能	INTPnにより、ポートの設定にかかわらずP50-55, P60-65端子のすべてのポートがハイ・インピーダンスとなります。	p.483 ☐
	ソフト			初期化されるのは次のレジスタのP50-55, P60-65端子に対応するすべてのビットです。 ・ P5, P6Lレジスタ ・ PM5, PM6Lレジスタ ・ PMC5, PMC6Lレジスタ ・ PU5, PU6Lレジスタ ・ PFC5レジスタ ・ PF5レジスタ	p.483 ☐
			PLLCTLレジスタ	リアルタイム出力ポート (RTPn0-RTPn5) に値を出力する前に、INTPn端子の割り込みエッジ検出を選択し、その後にRTOST0, RTOST1ビットをセットしてください。	p.484 ☐
				INTPn端子にてハイ・インピーダンスにした後のポート (P50-55, P60-65端子) を、リアルタイム出力ポートとして再設定するには、まずセキュリティ機能の解除を行ってください。 [再設定手順] ① RTOSTnビットをクリア (0) してセキュリティ機能を解除し、ポート設定可能にする。 ② RTOSTnビットをセット (1) する (必要な場合のみ)。 ③ リアルタイム出力ポートとして再設定する。	p.484 ☐
				ビット4-7には必ず0を設定してください。	p.484 ☐
第14章	ハード	A/Dコンバータ	A/Dコンバータ	A/Dコンバータ使用時は、AVREF0はVDD, EVDDと同電位で動作させてください。	p.485 ☐
			ADMレジスタ	通常モード (ADHS1, ADHS0ビット= 00) でA/D変換動作中 (ADCSビット = 1) の場合、A/D変換停止を除く、ADMレジスタの書き込みは禁止です。 高速モード (ADHS1, ADHS0ビット= 10または01) でA/D変換動作中に同値書き込みをした場合、変換は中断され、再度最初から変換動作を開始します。またA/D変換動作中にFR2-FR0, ADHS1, ADHS0ビットの変更は禁止です。	p.489 ☐
	ソフト			ADHS1, ADHS0ビット= 11の設定は禁止です。	p.489 ☐
				メイン・クロック停止、サブクロック動作時に、ADMレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.489 ☐
			動作シーケンス	ADCS2ビットのセット (1) から、ADCSビットのセット (1) までの時間は昇圧用基準電圧生成回路動作のため1 μ s (高速モード) または14 μ s (通常モード) 以上必要です。	p.491 ☐
			ADCSビットとADCS2ビットの設定	ADCS, ADCS2ビット= 00B→10Bに設定した場合、昇圧用基準電圧生成回路は自動的にオンになります。また、ADCS2ビット= 0のまま、ADCSビット= 1→0に設定した場合、昇圧用基準電圧生成回路は自動的にオフになります。	p.492 ☐
				ADCS, ADCS2ビット = 00B→11Bに設定した場合、昇圧用基準電圧生成回路は自動的にオンになります。また、ADCS2ビット = 1のまま、ADCSビット = 1→0に設定した場合、昇圧用基準電圧生成回路はオンのままとなります。	p.492 ☐
				ソフトウェア・トリガ・モード (ADS.TRGビット= 0) の場合、1回目のA/D変換結果は規格を満たさない可能性があるため使用禁止です。	p.492 ☐
				ハードウェア・トリガ・モード (TRGビット= 1) の場合、昇圧用基準電圧生成回路の安定時間経過後にA/D変換スタートしたA/D変換結果のみを使用してください。	p.492 ☐
			ADSレジスタ	EGA1, EGA0ビットはハードウェア・トリガ・モード (TRGビット= 1) , かつ外部トリガ・モード (ADTRG端子入力: ADTMDビット= 1) を選択した場合のみ有効です。	p.493 ☐
				ADTMDビットはハードウェア・トリガ・モード (TRGビット= 1) を選択した場合のみ有効です。	p.493 ☐
				通常モード (ADM.ADHS1, ADHS0ビット= 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合、ADSレジスタの書き込みは禁止です (高速モードでは可能)。	p.493 ☐
				通常モード (ADHS1, ADHS0ビット= 00) でA/D変換動作中 (ADCSビット= 1) に、再度ソフトウェア／ハードウェア・トリガを入れることは禁止です (高速モードでは可能)。	p.493 ☐

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	A/Dコンバータ	ADSレジスタ	メイン・クロック停止、サブクロック動作時に、ADSレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.493 ☐
			ADCR, ADCRHレジスタ	メイン・クロック停止、サブクロック動作時に、ADCR, ADCRHレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.494 ☐
			PFMレジスタ	通常モード (ADM.ADHS1, ADHS0ビット= 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合、PFMレジスタの書き込みは禁止です。	p.496 ☐
				メイン・クロック停止、サブクロック動作時に、PFMレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.496 ☐
			PFTレジスタ	通常モード (ADM.ADHS1, ADHS0ビット = 00) でA/D変換動作中 (ADM.ADCSビット = 1) の場合、PFTレジスタの書き込みは禁止です。	p.496 ☐
				メイン・クロック停止、サブクロック動作時に、PFTレジスタにアクセスしないでください。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.496 ☐
		A/D変換動作として使用する場合	<1>から<3>までの間は、1 μ s (高速モード) または14 μ s (通常モード) 以上空けてください。	p.503 ☐	
			<1>と<2>の順番が逆でも問題ありません。	p.503 ☐	
			<1>は省略可能です。ただし、この場合には<3>のあとの1回目のA/D変換結果は使用しないでください。	p.503 ☐	
			スタンバイ・モード時の消費電力	A/Dコンバータは、スタンバイ・モード時には動作が停止します。このとき変換動作停止 (ADM.ADCSビット= 0) , および基準電圧生成回路を停止 (ADM.ADCS2ビット= 0) することにより、消費電力を低減させることができます。	p.505 ☐
	ハード	ANI0-ANI15端子入力範囲	ANI0-ANI15端子入力電圧は規格の範囲内でご使用ください。特にAV _{REF0} 以上、AV _{SS} 以下 (絶対最大定格の範囲内でも) の電圧が入力されると、そのチャネルの変換値が不定となります。また、ほかのチャネルの変換値にも影響を与えることがあります。	p.505 ☐	
			競合動作	変換終了時のADCRレジスタ・ライトと命令によるADCRレジスタ・リードとの競合 ADCRレジスタのリードが優先されます。リードしたあと、新しい変換結果がADCRレジスタにライトされます。	p.505 ☐
			変換終了時のADCRレジスタ・ライトとADMレジスタ・ライト、またはADSレジスタ・ライトの競合 ADMレジスタまたはADSレジスタへのライトが優先されます。ADCRレジスタへのライトはされません。また、変換終了割り込み要求信号 (INTAD) も発生しません。	p.505 ☐	
			ノイズ対策	10ビット分解能を保つためには、AV _{REF0} 、ANI0-ANI15端子へのノイズに注意する必要があります。アナログ入力源の出力インピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図14-9のようにコンデンサを外付けすることを推奨します。コンデンサの容量は入力信号の変化速度に応じた容量にしてください。 V _F の小さい (0.3 V以下) ダイオードでクランプしてください。	p.506 ☐
	ハード	ANI0/P70-ANI15/P715端子	アナログ入力 (ANI0-ANI15) 端子は入力ポート (P70-P715) 端子と兼用になっています。ANI0-ANI15端子のいずれかを選択してA/D変換をする場合、変換中にポート7に対する入力命令は実行しないでください。変換分解能が低下することがあります。また、A/D変換中の端子に隣接する端子へデジタル・パルスを印加すると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加はしないようにしてください。	p.506 ☐	
		AV _{REF0} 端子の入力インピーダンス	AV _{REF0} 端子とAV _{SS} 端子の間には数十k Ω の直列抵抗ストリングが接続されています。したがって、基準電圧源の出力インピーダンスが高い場合、AV _{REF0} 端子とAV _{SS} 端子の間の直列抵抗ストリングと直列接続することになり、基準電圧の誤差が大きくなります。	p.506 ☐	

章	分類	機能	機能の詳細	注意事項	頁
第14章	ソフト	A/Dコンバータ	割り込み要求フラグ (ADIC.ADIFビット)	ADSレジスタを変更してもADIFビットはクリア (0) されません。 したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADSレジスタ書き換え直前に、変更前のアナログ入力端子に対するA/D変換が終了しADIFビットがセット (1) されている場合があります。ADSレジスタ書き換え直後にADIFビットを読み出すと、変更後のアナログ入力端子に対するA/D変換が終了していないにもかかわらず、ADIFビットがセット (1) されていることになりますので注意してください。 また、A/D変換を一度停止させて再開する場合は、再開する前にADIFビットをクリア (0) してください。	p.507 ☐
			A/D変換スタート直後の変換結果	ADM.ADCS2ビットをセット (1) してから、1 μ s (高速モード) または14 μ s (通常モード) 以内でADM.ADCSビットをセット (1) した場合、またはADCS2ビット= 0の状態、ADCSビットをセット (1) した場合は、A/D変換動作をスタートした直後のA/D変換値は定格を満たさないことがあります。A/D変換終了割り込み要求信号 (INTAD) をポーリングし、最初の変換結果を廃棄するなどの対策を行ってください。	p.507 ☐
			A/D変換結果レジスタ (ADCR) の読み出し	ADM, ADSレジスタに対して書き込み動作を行ったとき、ADCRレジスタの内容は不定となることがあります。変換結果は、変換動作終了後、ADM, ADSレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。 また、CPUがサブクロックで動作し、かつメイン・クロック発振 (fx) を停止しているときに、ADCR, ADCRHレジスタへのアクセスは禁止です。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.508 ☐
			A/Dコンバータのサンプリング時間とA/D変換開始遅延時間	A/Dコンバータのサンプリング時間は、ADMレジスタの設定値によって異なります。また、A/Dコンバータを動作許可してから実際にサンプリングが行われるまで遅延時間が存在します。 A/D変換時間を厳密に必要とするセットの場合、図14-11と表14-4に示す内容に注意してください。	p.508 ☐
			レジスタ書き込み応答時間、トリガ応答時間	各応答時間はウェイト期間後の時間になります。ウェイトについては3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。	p.509 ☐
			A/D変換結果のばらつき	電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は、A/D変換結果の平均値をとるなど、プログラムで対策してください。	p.510 ☐
			A/D変換のヒステリシス特性	逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。 ・同一チャンネルでA/D変換を実行している場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 ・アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。 このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。	p.510 ☐
			通常モード時のA/D変換動作について	・ソフトウエア・トリガ・モード時： 通常モード (ADM.ADHS1, ADHS0ビット = 00) で、変換動作中のADM, ADS, PFM, PFTレジスタの書き込みは禁止です。 ・ハードウエア・トリガ (外部トリガ/タイマ・トリガ) ・モード時： 通常モード (ADHS1, ADHS0ビット = 00) では、使用できません。高速モード (ADHS1, ADHS0ビット = 10または01) を使用してください。	p.510 ☐
第15章	ハード	D/Aコンバータ	D/Aコンバータ	DAC0, DAC1は、AVREF1, AVSS端子を共用しています。また、AVSS端子はA/Dコンバータとも共用しています。	p.516 ☐
			DAMレジスタ	リアルタイム出力モード (DAMDnビット= 1) 時の出力トリガは、次のとおりです。 ・n = 0のとき: INTTMH0信号 (第10章 8ビット・タイマH参照) ・n = 1のとき: INTTMH1信号 (第10章 8ビット・タイマH参照)	p.517 ☐

章	分類	機能	機能の詳細	注意事項	頁	
第15章	ソフト	D/Aコンバータ	DACS0, DACS1レジスタ	リアルタイム出力モード (DAM.DAMDnビット= 1) のとき, INTTMH0, INTTMH1信号が発生する前に, DACS0, DACS1レジスタを設定してください。INTTMH0, INTTMH1信号発生でD/A変換を開始します。	p.517 ☐	
			D/Aコンバータ	ポート端子を入力モード (PM10, PM11ビット= 11) に設定してください。	p.519 ☐	
				ポート・リードは禁止です。	p.519 ☐	
				P10, P11両方ともD/A出力として使用してください。 ポート1の片側をD/A出力, 片側をポートとして使用することは禁止です。	p.519 ☐	
				リアルタイム出力モード時, トリガ信号が出ている間にDACSnレジスタの設定値を変更しないでください。	p.519 ☐	
	ハード			AVREF1 ≤ VDD, AVREF1 = 2.7~5.5 Vの範囲で使用してください。それ以外の場合の動作は保証できません。	p.519 ☐	
				D/Aコンバータの出力インピーダンスが高いため, ANOn端子から電流を取り出すことはできません。 2 MΩ以下の負荷を接続する場合には, 負荷とANOn端子の間にJFET入力型オペアンプを挿入するなどの対策をしてください。	p.519 ☐	
第16章	ソフト	アシンクロナス・シリアル・インタフェース (UART)	端子構成	UART2を使用する場合は, ピン番号22と23を, またはピン番号59と60をセットで使用してください。 また, ピン番号22と59を, またはピン番号23と60を同時に使用しないでください。	p.523 ☐	
			UART2 と CSI00を同時に使用したい場合	UART2またはCSI00において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合には, 必ず動作禁止にしてから行ってください。	p.524 ☐	
				ピン番号22, 23をUART2のRXD2, TXD2端子として使用する場合, ピン番号59, 60をRXD2, TXD2端子に設定しないでください。	p.524 ☐	
			UART2 と I ² C1を同時に使用したい場合	UART2またはI ² C1において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。モードの切り替えをする場合には, 必ず動作禁止にしてから行ってください。	p.525 ☐	
				ピン番号59, 60をUART2のRXD2, TXD2端子として使用する場合, ピン番号22, 23をRXD2, TXD2端子に設定しないでください。	p.525 ☐	
			ASIMnレジスタ	UARTnを使用する場合には, 必ずUARTn機能に関連する外部端子をコントロール・モードに設定したあと, CKSRn, BRGCnレジスタの設定を行ってからUARTEnビットをセット (1) してください。そのあとに, ほかのビットの設定を行ってください。	p.526 ☐	
				RXDn端子に通信相手からデータが送信されていない状態でUARTEnビット= 1, RXEnビット= 1と設定してください。ロウ・レベルのときにUARTEnビット= 1, RXEnビット= 1と設定すると受信を開始してしまいます。	p.526 ☐	
				受信禁止時は, 受信シフト・レジスタはスタート・ビットの検出を行いません。シフト・イン処理, RXBnレジスタへの転送処理は行わず, RXBnレジスタの内容は保持されます。受信許可状態中は, スタート・ビットの検出に同期して受信シフト動作を開始し, 1フレーム分の受信を終了すると受信シフト・レジスタの内容をRXBnレジスタに転送します。また, RXBnレジスタへの転送に同期して, 受信完了割り込み要求信号 (INTSRn) を発生します。	p.527 ☐	
			ASISnレジスタ	ASIMn.UARTEn, RXEnビットを0に設定したとき, またはASISnレジスタを読み出したとき, PEn, FEn, OVENビットはクリア (0) されます。	p.529 ☐	
				ビット操作命令による操作は禁止です。ASISnレジスタはリードするとクリアされるので, 必ず8ビット単位でリードしてください。	p.529 ☐	
				メイン・クロック停止, サブクロック動作時にASISnレジスタにアクセスしないでください。詳細は, 3.4.9 (1) を参照してください。	p.529 ☐	
			RXBnレジスタ	受信エラー発生時にもRXBnレジスタは必ず読み出してください。 RXBnレジスタを読み出さないと, 次のデータ受信時にオーバラン・エラーが発生し, いつまでも受信エラーの状態が続いてしまいます。	p.531 ☐	
			送信完了割り込みタイミング	通常, 送信シフト・レジスタが空になったときにINTSTn信号が発生します。しかし, リセットにより送信シフト・レジスタが空になった場合, INTSTn信号は発生しません。	p.535 ☐	
			TXBFnビット, TXSFnビット	連続送信でASIFn.TXBFn, TXSFnビットは, 「10」→「11」→「01」と変化します。そのため, ステータスを確認する場合は, TXBFn, TXSFnビットの組み合わせで判断しないでください。 連続送信を行う場合はTXBFnビットのみを読み出してください。	p.537 ☐	
			TXBFnビット	連続送信を行う場合は, 最初の送信データ (1バイト目) をTXBnレジスタに書き込んだあと, 必ずTXBFnビットが“0”であることを確認してから次の送信データ (2バイト目) をTXBnレジスタに書き込んでください。TXBFnビットが“1”のときにTXBnレジスタにデータを書き込んだ場合の送信データは保証できません。	p.537 ☐	

章	分類	機能	機能の詳細	注意事項	頁
第16章	ソフト	アシンクロナス・シリアル・インタフェース (UART)	TXSF _n ビット	連続送信でASIF _n .TXBF _n , TXSF _n ビットは、「10」→「11」→「01」と変化します。そのため、ステータスを確認する場合は、TXBF _n , TXSF _n ビットの組み合わせで判断しないでください。 連続送信を行う場合はTXBF _n ビットのみを読み出してください。	p.537 ☐
				連続送信完了時に送信ユニットを初期化する場合は、送信完了割り込み発生後に、必ずTXSF _n ビットが“0”であることを確認してから初期化を実行してください。TXSF _n ビットが“1”のときに初期化を実行した場合の送信データは保証できません。	p.537 ☐
				連続送信時には、1データ・フレーム送信後のINTST _n 割り込み処理を実行する前に次の送信が完了してしまうオーバーラン・エラーが発生する可能性があります。オーバーラン・エラーは送信データ数をカウントできるプログラムを組み込むこととTXSF _n ビットを参照することで検出できます。	p.537 ☐
			UART _n 受信完了割り込みタイミング	受信エラー発生時にもRxB _n レジスタは必ず読み出してください。 RxB _n レジスタを読み出さないと、次のデータ受信時にオーバーラン・エラーが発生し、いつまでも受信エラーの状態が続いてしまいます。	p.542 ☐
				受信では、常にストップ・ビット長 = 1として動作します。	p.542 ☐
				2ビット目のストップ・ビットは、無視されます。	
			ボー・レート・ジェネレータ (BRG _n)	次の条件を満たすようにf _{CLK} を設定してください。 ・V _{DD} = REGC = 4.5~5.5 V : f _{CLK} ≤ 12 MHz ・V _{DD} = 4.0~5.5 V, REGC = 10 μF : f _{CLK} ≤ 6 MHz ・V _{DD} = REGC = 2.7~4.5 V : f _{CLK} ≤ 6 MHz	p.546 ☐
				UART0のみASCK0端子入力が使用可能	p.546 ☐
			CKSR _n レジスタ	TPSn3-TPSn0ビットを書き換える場合は、ASIM _n .UARTE _n ビット = 0にしてから行ってください。	p.547 ☐
				次の条件を満たすようにf _{CLK} を設定してください。 ・REGC = V _{DD} = 4.5~5.5 V : f _{CLK} ≤ 12 MHz ・REGC = 10 μF, V _{DD} = 4.0~5.5 V : f _{CLK} ≤ 6 MHz ・REGC = V _{DD} = 2.7~4.5 V : f _{CLK} ≤ 6 MHz	p.547 ☐
				UART0のみASCK0端子入力クロックを使用可能	p.547 ☐
				UART1, UART2は設定禁止	
			BRGC _n レジスタ	MDLn7-MDLn0ビットを書き換える場合は、ASIM _n .TXE _n ビット = 0, RXE _n ビット = 0にしてから行ってください。	p.548 ☐
			ボー・レートの誤差	送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。	p.549 ☐
				受信時のボー・レート誤差は、16. 7. 4 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。	p.549 ☐
			ボー・レート・ジェネレータ設定	基本クロック (f _{CLK}) の許容周波数は次のとおりです。 ・REGC = V _{DD} = 4.5~5.5 V : f _{CLK} ≤ 12 MHz ・REGC = 10 μF, V _{DD} = 4.0~5.5 V : f _{CLK} ≤ 6 MHz ・REGC = V _{DD} = 2.7~4.5 V : f _{CLK} ≤ 6 MHz	p.550 ☐
			受信時の許容ボー・レート範囲	ここに示す、ボー・レート誤差は理論値で、UARTを使用する環境によって信号がなまったり、許容誤差範囲内でも通常通信ができなくなる場合がありますので、誤差はなるべく小さくするようにしてください。	p.551 ☐
			UART _n についての注意事項	UART _n への供給クロックが停止する場合 (例: IDLE, STOPモード) は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXD _n 端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はASIM _n .UARTE _n , RXE _n , TXE _n ビット = 000し、回路を初期化してください。	p.553 ☐
				UART _n は、TXB _n レジスタ、送信シフト・レジスタの2段バッファ構成になっており、それぞれのバッファの状態を示すステータス・フラグ (ASIF _n .TXBF _n , TXSF _n ビット) があります。連続送信でTXBF _n , TXSF _n ビットを同時に読み出した場合、「10」→「11」→「01」と変化します。連続送信を行う場合は、次のデータをTXB _n レジスタへ書き込むタイミングについて、TXBF _n ビットのみを読み出して判断してください。	p.553 ☐
				動作許可 (UARTE _n ビット = 1) した場合には、TXE _n ビット = 1としたあと、基本クロック (f _{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。また、動作許可 (UARTE _n ビット = 1) した場合には、RXE _n ビット = 1としたあと、基本クロック (f _{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。	p.553 ☐

章	分類	機能	機能の詳細	注意事項	頁
第17章	ソフト	クロック同期式シリアル・インタフェース0 (CSI0)	CSIM0nレジスタ	CSIM0n.TRMDn, CCLn, DIRn, CSITn, AUTOnビットの書き換えは、通信停止 (CSOTnビット= 0) のときのみ可能です。通信停止 (CSOTnビット= 0) 以外のときにこれらのビットを書き換えた場合の動作は保証しません。	p.559 ☐
			CSICnレジスタ	CSICnレジスタはCSIM0n.CSI0Enビット= 0のときのみ書き換えられます。	p.561 ☐
				次の条件を満たすようにシリアル・クロックを設定してください。 ・ REGC = V _{DD} = 4.0~5.5 V : シリアル・クロック ≤ 5 MHz ・ REGC = 10 μF, V _{DD} = 4.0~5.5 V : シリアル・クロック ≤ 2.5 MHz ・ REGC = V _{DD} = 2.7~4.0 V : シリアル・クロック ≤ 2.5 MHz	p.561 ☐
			SIRBn, SIRBnLレジスタ	SIRBnレジスタは、16ビット・データ長 (CSIM0n.CCLnビット= 1) に設定したときのみリードしてください。 SIRBnLレジスタは、8ビット・データ長 (CCLnビット= 0) に設定したときのみリードしてください。	p.562 ☐
				シングル転送モード (CSIM0n.AUTOnビット= 0) に設定したときには、通信停止中 (CSIM0n.CSOTnビット= 0) のみリードしてください。通信中 (CSIM0n.CSOTnビット= 1) にSIRBn, SIRBnLレジスタをリードした場合のデータは保証しません。	p.562 ☐
			SIRBEn, SIRBEnLレジスタ	SIRBEn, SIRBEnLレジスタからデータを読み出しても、受信動作は開始しません。	p.563 ☐
				SIRBEnレジスタは、16ビット・データ長 (CSIM0n.CCLnビット= 1) に設定したときのみリードしてください。 SIRBEnLレジスタは、8ビット・データ長 (CCLnビット= 0) に設定したときのみリードしてください。	p.563 ☐
			SOTBn, SOTBnLレジスタ	SOTBnレジスタは、16ビット・データ長 (CSIM0n.CCLnビット= 1) に設定したときのみアクセスしてください。 SOTBnLレジスタは、8ビット・データ長 (CCLnビット= 0) に設定したときのみアクセスしてください。	p.564 ☐
				シングル転送モード (CSIM0n.AUTOnビット= 0) に設定したときには、通信停止中 (CSIM0n.CSOTnビット= 0) のみアクセスしてください。通信中 (CSIM0n.CSOTnビット= 1) にSOTBn, SOTBnLレジスタをアクセスした場合のデータは保証しません。	p.564 ☐
			SOTBFn, SOTBFnLレジスタ	SOTBFnレジスタは、16ビット・データ長 (CSIM0n.CCLnビット= 1) , SOTBFnLレジスタは、8ビット・データ長 (CCLnビット= 0) で、通信停止中 (CSIM0n.CSOTnビット= 0) のときのみアクセスしてください。通信中 (CSIM0n.CSOTnビット= 1) にSOTBFn, SOTBFnLレジスタをアクセスした場合のデータは保証しません。	p.565 ☐
			SIO0n, SIO0nLレジスタ	SIO0nレジスタは、16ビット・データ長 (CSIM0n.CCLnビット= 1) , SIO0nLレジスタは、8ビット・データ長 (CCLnビット= 0) で、通信停止中 (CSIM0n.CSOTnビット= 0) のときのみリードしてください。通信中 (CSIM0n.CSOTnビット= 1) にSIO0n, SIO0nLレジスタをリードした場合のデータは保証しません。	p.566 ☐
			CSIM0n.CSITnビット= 1	遅延モード (CSIM0n.CSITnビット= 1) は、マスタ・モード (CSICn.CKS0n2-CKS0n0ビット= 111B以外) のときだけ有効です。スレーブ・モード (CKS0n2-CKS0n0ビット= 111B) 時は、遅延モードに設定しないでください。	p.568 ☐
			CSIM0n.CSOTnビット= 1	CSOTnビット= 1のときに、CSI0nのレジスタは操作しないでください。	p.570 ☐
			連続転送モードについての注意事項	連続転送を継続させるため、転送予約期間中にSIRBnレジスタのリード、またはSOTBnレジスタへのライトを必ず行ってください。 転送要求クリアとレジスタ・アクセスが競合した場合、転送要求のクリアは高い優先順位を持つため、次の転送要求は無視されます。そのため、転送は中断することになり、正常なデータ転送が行えなかったことになります。 送受信完了割り込み要求信号 (INTCSI0n) 発生とレジスタ・アクセスが競合した場合、マスタ・モードでは連続転送がいったん停止するため、新しい連続転送開始として実行します。 スレーブ・モードの場合には、ビット相違の転送エラーとなります (図17-8参照)。送受信モードの場合には、SOTBFnレジスタの値を再転送し、不正データを送ります。	p.579 ☐ p.579 ☐ p.580 ☐

章	分類	機能	機能の詳細	注意事項	頁
第18章	ソフト	自動送受信機能付きクロック同期式シリアル・インタフェースA (CSIA)	SIOAnレジスタ	転送動作の起動は、SIOAnレジスタへの書き込みで行われるため、送信禁止 (CSIMAn.TXEAnビット= 0) のときも、ダミー・データをSIOAnレジスタに書き込み、転送動作を起動してから受信動作を行ってください。	p.586 ☐
				自動送受信機能が動作しているとき、SIOAnレジスタにデータを書き込まないでください。	p.586 ☐
			CSISnレジスタ	次の条件を満たすようにf _{SCKA} を設定してください。 • REGC = V_{DD} = 4.0~5.5 V : f_{SCKA} ≤ 12 MHz • REGC = 10 μF, V_{DD} = 4.0~5.5 V : f_{SCKA} ≤ 6 MHz • REGC = V_{DD} = 2.7~4.0 V : f_{SCKA} ≤ 6 MHz	p.589 ☐
				TSFnビットはリードのみ可能です。	p.589 ☐
				TSFnビット= 1のとき、CSIMAn, CSISn, BRGCAn, ADTPn, ADTIn, SIOAnレジスタの書き換えは禁止です。 また転送バッファRAMの書き換えは可能です。	p.589 ☐
				ビット1-5には、必ず0を設定してください。	p.589 ☐
			ADTPnレジスタ	ビット7-5には、必ず0を設定してください。	p.592 ☐
			CSIAAnバッファRAM (CSIAAnBm)	CSIAAnBm レジスタへデータを書き込んだあと、その値を読み出す場合は、f _{SCKA} (CSISn.CKSAn1, CKSAn0ビットで設定したシリアル・クロック) の6クロック分以上空けたあと、または別のアドレスのバッファRAMへの書き込みを行ったあとに読み出してください。	p.595 ☐
				メイン・クロック停止、サブクロック動作時にCSIAAnBmレジスタにアクセスしないでください。詳細は、3.4.9 (1) を参照してください。	p.595 ☐
			1バイト送受信	兼用端子の設定手順は通信相手との関係によって考慮してください。	p.599 ☐
			3線式シリアルI/Oモードのタイミング	SIOAnレジスタ・ライトにより、SOAn端子はロウ・レベルになります。	p.599 ☐
			転送スタート	SIOAnレジスタにデータを書き込んだあと、CSIAEnビットをセット (1) しても、通信はスタートしません。	p.601 ☐
				受信のみを行う際には、SIOAnレジスタにダミーの値を書き込まなければ転送を開始することができません。	p.601 ☐
			自動送受信モードの動作タイミング	自動送受信モードでは、1バイト送受信後、スレーブでの転送処理を考慮し、次の送受信までの期間にインターバル時間を入れることができます。インターバル時間はADTInレジスタの設定値に依存します。	p.606 ☐
				TSFnビットがクリアされると、SOAn端子はロウ・レベルになります。	p.606 ☐
			自動送信モードの動作タイミング	自動送信モードでは、1バイト送信後、スレーブでの転送処理を考慮し、次の送信までの期間にインターバル時間を入れることができます。インターバル時間はADTInレジスタの設定値に依存します。	p.610 ☐
				TSFnビットがクリアされると、SOAn端子はロウ・レベルになります。	p.610 ☐
			繰り返し送信モードの動作タイミング	繰り返し送信モードでは、1バイト送信後、スレーブでの転送処理を考慮し、次の送信までの期間にインターバル時間を入れることができます。インターバル時間はADTInレジスタの設定値に依存します。	p.614 ☐
			自動送受信の中断と再開	自動送受信中にIDLE命令を実行すると、8ビット・データ転送の途中でも転送を中断し、IDLEモードになります。また、IDLEモードを解除すると、自動送受信動作を中断箇所より再開します。	p.619 ☐
				自動送受信動作を中断したとき、TSFnビット= 1の間は動作モードを3線式シリアルI/Oモードに変更しないでください。	p.619 ☐

章	分類	機能	機能の詳細	注意事項	頁
第19章	ソフット	I ² Cバス	端子の設定	この機能を使用する場合は、P38/SDA0、P39/SCL0、P80/SDA1、P81/SCL1端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。	p.620 ☐
			UART2とI ² C1のモード切り替え	UART2またはI ² C1において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証しません。使用しないユニットは必ず動作禁止にしてください。	p.620 ☐
			IICC0、IICC1レジスタ	SCLnラインがハイ・レベル、SDAnラインがロウ・レベルの状態で、I ² Cnを動作許可 (IICEnビット= 1) した場合、直後にスタート・コンディションを検出してしまいます。I ² Cnを動作許可 (IICEnビット= 1) したあと、連続してビット操作命令によりLRELnビットをセット (1) してください。	p.627 ☐
			IICn. SPTnビット	SPTnビットのセット (1) は、マスタのときのみ行ってください。ただし、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット (1) してストップ・コンディションを生成する必要があります。詳細は、19. 15 注意事項を参照してください。	p.630 ☐
				IICSn.TRCnビット= 1のとき、9クロック目にWRELnビットをセット (1) してウェイト解除すると、TRCnビットをクリア (0) してSDAnラインをハイ・インピーダンスにします。	p.630 ☐
			IICSnレジスタ	メイン・クロック停止、サブクロック動作時に、IICSnレジスタにアクセスしないでください。詳細は、3. 4. 9 (1) を参照してください。	p.631 ☐
			IICFnレジスタ	STCENnビットへの書き込みは動作停止 (IICEnビット= 0) 時のみ行ってください。	p.635 ☐
				STCENnビット= 1とした場合、実際のバス状態にかかわらずバス解放状態 (IICBSYnビット= 0) と認識しますので、1回目のスタート・コンディションを発行 (STTnビット= 1) する場合は他の通信を破壊しないように第3者の通信が行われていないことを確認する必要があります。	p.635 ☐
				IICRSVnビットへの書き込みは動作停止 (IICEnビット= 0) 時のみ行ってください。	p.635 ☐
			I ² C割り込み要求信号	ストップ・コンディションを生成するためにWTIMnビットをセット (1) し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。	p.650 ☐
				スタート・コンディションを生成するためにWTIMnビットをセット (1) し、割り込み要求信号 (INTIICn) の発生タイミングを変更してください。	p.651 ☐
				設定を元に戻すためにWTIMnビットをクリア (0) します。	p.651 ☐
			割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御	スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。 また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。 ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICn信号を発生しますが、ウェイトは発生しません。	p.671 ☐
				SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。	p.671 ☐

			アービトレーション	IICn.WTIMnビット= 1の場合には、9クロック目の立ち下がりタイミングで割り込み要求を発生します。 WTIMnビット= 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングで割り込み要求を発生します。 アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEnビット= 1にしてください。	p.675 ☐
			IICFn.STCENnビット= 0の場合	I ² Cn動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット= 1) と認識します。 ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。 ストップ・コンディションの生成は次の順番で行ってください。 ① IICLnレジスタの設定 ② IICn.IICEnビットのセット ③ IICn.SPTnビットのセット	p.680 ☐

章	分類	機能	機能の詳細	注意事項	頁
第19章	ソフト	I ² Cバス	IICFn.STCENnビット=1の場合	I ² Cn動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット=0) と認識しますので、1回目のスタート・コンディションを生成 (IICCn.STTnビット=1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。	p.680 ☐
			IICCn.IICEnビットのセット (1)	ほかのデバイス同士の通信中にV850ES/KJ2のIICCn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット (1) は、必ずSCLn, SDAnラインがハイ・レベルの状態で行ってください。	p.680 ☐
			IICCn.IICEnビット=1	動作許可 (IICCn.IICEnビット=1) する前にIICCLn, IICXnレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア (0) してください。	p.680 ☐
			IICCn.STTn, SPTnビット	IICCn.STTn, SPTnビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。	p.680 ☐
			送信予約	送信予約をした場合には、IICCn.SPIEnビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI ² Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICSn.MSTSnnビットを検出する場合には、SPIEnビットをセット (1) する必要はありません。	p.680 ☐
			シングルマスタ・システムでのマスタ動作	通信している製品の仕様に準拠し、I ² Cnバスを解放 (SCLn, SDAn端子= ハイ・レベル) してください。 たとえば、EEPROMがSDAn端子にロウ・レベルを出力した状態であれば、SCLn端子を出力ポートに設定し、SDAn端子が定期的にハイ・レベルになるまで、出力ポートからクロック・パルスを出力してください。	p.682 ☐
			マルチマスタ・システムでのマスタ動作	一定期間 (たとえば1フレーム分)、バス解放状態 (IICCLn.CLDnビット=1, IICCLn.DADnビット=1) であることを確認してください。定期的にSDAn端子がロウ・レベルの場合は、通信している製品の仕様に準拠し、I ² Cnバスを解放 (SCLn, SDAn端子= ハイ・レベル) するか判断してください。	p.683 ☐
				送信および受信フォーマットは通信している製品の仕様に準拠してください。	p.685 ☐
				マルチマスタ・システムでマスタとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTSnnビットをリードし、アービトレーション結果を確認してください。	p.685 ☐
			マルチマスタ・システムでスレーブとして使用する場合は、INTIICn割り込み発生ごとにIICSn, IICFnレジスタでステータスを確認して次に行う処理を決定してください。		p.685 ☐
			スレーブ・ウェイト解除	スレーブ・ウェイト解除は、IICn←FFHまたはWRELnのセットのどちらかで行ってください。	p.691 ☐ -693
			マスタ・ウェイト解除	マスタ・ウェイト解除は、IICn←FFHまたはWRELnのセットのどちらかで行ってください。	p.694 ☐ -696
第20章	ソフト	DMA機能 (DMAコントローラ)	DSA0-DSA3レジスタ	DSAnHレジスタのビット14-10には、必ず“0”を設定してください。	p.700 ☐
				DSAnH, DSAnLレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット=1の状態) から次のDMA転送起動までの期間	p.700 ☐
				DSAnレジスタの値を読み出す際、DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります (20.13 注意事項参照)。	p.700 ☐
			DSA0-DSA3レジスタ, DDA0-DDA3レジスタ	16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。	p.700, ☐ 701
				リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDA0H, DDA0L, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.700, ☐ 701
			DDA0-DDA3レジスタ	DDAnHレジスタのビット14-10には、必ず“0”を設定してください。	p.701 ☐
				DDAnH, DDAnLレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット=1の状態) から次のDMA転送起動までの期間	p.701 ☐

章	分類	機能	機能の詳細	注意事項	頁
第20章	ソフト	DMA機能 (DMAコントローラ)	DDA0-DDA3レジスタ	DDAnレジスタの値を読み出す際、DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります (20.13 注意事項参照)。	p.701 ☐
			DBC0-DBC3レジスタ	DBCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット=1の状態) から次のDMA転送起動までの期間 リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。	p.702 ☐
			DADC0-DADC3レジスタ	DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。	p.703 ☐
				DADCnレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット=1の状態) から次のDMA転送起動までの期間	p.703 ☐
				DSn0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。バス・サイジングについては、5.5.2 (1) バス・サイズ・コンフィギュレーション・レジスタ (BSC) を参照してください。	p.703 ☐
				転送データ・サイズを16ビットに設定した場合 (DSn0ビット=1)、奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。	p.703 ☐
				内蔵周辺I/Oレジスタを対象 (転送元/転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。	p.703 ☐
				TCnビットはリードのみ可能です。	p.704 ☐
			DCHC0-DCHC3レジスタ	INITn, STGnビットはライトのみ可能です。	p.704 ☐
				DCHCnレジスタのビット6-3には、必ず“0”を設定してください。	p.704 ☐
				DMA転送完了時 (ターミナル・カウント時) は、Ennビットのクリア (0) → TCnビットのセット (1) の順で各ビットの更新が行われます。そのため、DCHCnレジスタの各ビットの更新途中にDCHCnレジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値 (TCnビット=0、かつEnnビット=0) が読み出されることがあります。	p.704 ☐
				IFCn5-IFCn0ビットの設定は、DMA動作中でない次のいずれかのタイミングで行ってください。 ・リセット後から最初のDMA転送起動までの期間 ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間 ・DMA転送完了後 (DCHCn.TCnビット=1の状態) から次のDMA転送起動までの期間	p.705 ☐
			DTFR0-DTFR3レジスタ	DFnビットは0のみライト可能です。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトします。	p.705 ☐
				スタンバイ・モード (IDLE, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。	p.705 ☐
				IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMAの動作許可/禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、直ちにDMA転送が起動されます。	p.705 ☐
				表20-3に示す転送先と転送元で、“×”が表記されている組み合わせで転送を行った場合の動作は保証できません。	p.707 ☐
			内蔵周辺I/Oによる要求	同一のDMAチャンネルに対して、2つの起動要因 (ソフトウェア・トリガ、ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して、2つの起動要因が同時に発生した場合、どちらか一方だけが有効となりますが、有効となる起動要因の特定はできません。	p.711 ☐
				同一のDMAチャンネルに対して、先のDMA転送要求が発生してから、DMA転送が終了するまでに新たな転送要求が発生しても、その要求は無視 (クリア) されます。	p.711 ☐
				同一のDMAチャンネルに対する転送要求間隔は、DMA転送サイクル中のバス・ウェイトの設定や他のチャンネルの起動状況、または外部バス・ホールド要求により変化します。特に注意2のとおり、DMA転送サイクル前、または転送サイクル中に同一チャンネルの新たな転送要求が発生しても、その要求は無視されてしまいます。したがって、同一のDMAチャンネルに対する転送要求間隔は、システム上で十分な間隔を確保してください。ソフトウェア・トリガ時は、DBCnレジスタの更新により、先に発生したDMA転送サイクルの完了を確認できます。	p.711 ☐

章	分類	機能	機能の詳細	注意事項	頁
第20章	ソフト	DMA機能 (DMAコントローラ)	VSWCレジスタに関する注意	DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。 VSWCレジスタは、最適な値以外で使用した場合は正常に動作できません (VSWCレジスタの詳細については、3. 4. 8 (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。	p.717 ☐
			内蔵RAMを転送対象とするDMA転送時の注意	内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先/転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。逆に、内蔵RAMを対象 (転送先/転送元) としたDMA転送を行う場合は、次の命令を実行しないでください。 ・内蔵RAMに配置されたミス・アライン・アドレスに対するデータ・アクセス命令	p.717 ☐
			DCHCn.TCnビットのリードに関する注意事項	TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。 (a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合 TCnビットがセット (1) されたことを確認したあと (TCnビット= 1が読み出されたあと)、さらに3回のTCnビットのリードを行ってください。 (b) 割り込み処理ルーチンでTCnビットのリードを行う場合 TCnビットのリードを3回実行してください。	p.717 ☐
			DMA転送の初期化手順について (DCHCn.INITnビットのセット (1))	DMA転送中のチャンネルを初期化するとき、INITnビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。 (a) 一時的にすべてのDMAチャンネルの転送を停止させる方法 次に示す①～⑦の手順で初期化を実行してください。 ただし、次の⑤に示す処理の実行により、TCnビットがクリア (0) されてしまいます。他の処理において、TCnビット= 1となっていることを期待したプログラムになっていないことを確認してください。 ① 割り込み禁止状態 (DI) にする。 ② 強制終了したいチャンネル以外で使用しているDMAチャンネルのDCHCn.Ennビットを読み出し、汎用レジスタに転送する。 ③ 使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnnビットをクリア (0) する。 最終のDMAチャンネルの場合にはEnnビットのクリア命令を2回実行する。このとき、転送対象 (転送元/転送先) が内蔵RAMの場合は、3回実行する。 例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。 ・DCHC0 = 00Hを書き込む (E00ビットのクリア (0)) ・DCHC1 = 00Hを書き込む (E11ビットのクリア (0)) ・DCHC2 = 00Hを書き込む (E22ビットのクリア (0)) ・再度、DCHC2 = 00Hを書き込む (E22ビットのクリア (0)) ④ 強制終了するチャンネルにDCHCn = 04Hを書き込む (INITnビットをセット (1))。 ⑤ 強制終了しない各チャンネルのTCnビットを読み出し、TCnビットと②で読み出したEnnビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnnビットをクリア (0) する。 ⑥ ⑤で操作後のEnnビットをDCHCnレジスタに書き込む。 ⑦ 割り込み許可状態 (EI) にする。	p.718 ☐
				上記⑤は、②、③の間に正常終了したチャンネルに対して、再度Ennビットを不正にセットすることを防ぐため、必ず行ってください。	p.718 ☐
				上記③のEnnビットのクリア (0)、および④のINITnビットのセット (1) は、ビット操作命令で使用すると、TCnビットがクリア (0) されてしまうので禁止です。	p.718 ☐
				(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法 ① DMAを動かす前に、強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。 ② 強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする (内蔵周辺I/Oの動作停止)。 ③ DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認。 保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。 ④ 強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア (0) する。 ⑤ 再度、強制終了するチャンネルのEnnビットをクリア (0) する。 ただし、強制終了するチャンネルの転送対象 (転送元/転送先) が内蔵RAMの場合は、この操作をさらにもう一度実行する。 ⑥ 強制終了するチャンネルのINITnビットをセット (1) する。 ⑦ 強制終了するチャンネルのDBCnレジスタの値を読み出し、①でコピーした値と比較する。比較した結果、一致しない場合は⑥から⑦の操作を繰り返す。	p.719 ☐

章	分類	機能	機能の詳細	注意事項	頁
第20章	ソフト	DMA機能 (DMAコントローラ)	DMA転送の一時中断手順について (Ennビットのクリア)	実行中のDMA転送を中断し、再開するには次の手順にしたがってください。 ① DMA要求元からの転送要求が発生しないようにする (内蔵周辺I/Oの動作を停止)。 ② DFnビットにより、DMA転送要求が保留されていないかを確認する (DFnビット = 0であることを確認)。 保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。 ③ TCnビットにより、DMA転送が終了されていないかを確認する (TCnビット = 0であることを確認)。TCnビット = 1であれば、DMA転送終了として処理します。 ④ DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア (0) する (この操作により、DMA転送が中断される)。 ⑤ DMA転送を再開させるためにEnnビットをセット (1) する。 ⑥ 停止しているDMA要求元の動作を再開する (内蔵周辺I/Oの動作を開始)。	p.719 ☐
			メモリ境界	DMA転送中に、転送元、または転送先のアドレスがDMA対象 (外部メモリ、内蔵RAM、内蔵周辺I/O) の領域を越えた場合の動作は保証できません (各領域のアドレスについては図3-2を参照してください)。	p.719 ☐
			ミスアライン・データの転送	16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。	p.719 ☐
			CPUへのバス・アービトレーション	バス使用権の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。 ただし、CPUはDMA転送を行っていない内蔵ROM、内蔵RAMとのアクセスが可能です。 ・外部メモリ⇄内蔵周辺I/Oとの間でDMA転送が行われているとき、CPUは内蔵ROM、内蔵RAMにアクセスできます。 ・内蔵周辺I/O⇄内蔵RAMでDMA転送が行われているときは、CPUは内蔵ROMにアクセスできます。	p.720 ☐
			DMA動作中の書き換え禁止レジスタ/ビット	次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください (n = 0-3)。 【対象レジスタ】 ・DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ ・DTFRn.IFCn5-IFCn0ビット 【設定可能タイミング】 ・リセット後から最初のDMA転送開始までの期間 ・チャンネル初期化後からDMA転送開始までの時間 ・DMA転送完了後 (TCnビット = 1の状態) から次のDMA転送開始までの期間	p.720 ☐
			DSAnHレジスタ DDAnHレジスタ DADCnレジスタ DCHCnレジスタ	次のレジスタの各ビットには、必ず“0”を設定してください。 ・DSAnHレジスタのビット14-10 ・DDAnHレジスタのビット14-10 ・DADCnレジスタのビット15, 13-8, 3-0 ・DCHCnレジスタのビット6-3	p.720 ☐
			DMAの起動要因	同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があり、動作は保証できません。	p.720 ☐
			DSAn, DDAnレジスタの読み出し値	DMA転送中にDSAn, DDAnレジスタの値を読み出した場合、更新前と更新後の値が組み合わさって読み出されることがあります。 たとえば、DMA転送元アドレス (DSAnレジスタ) が0000FFFFH、カウント方向がインクリメント (DADCn.SAD1, SAD0ビット = 00) の場合、DSAnHレジスタ→DSAnLレジスタの順に読み出しを行うと、DSAnHレジスタ読み出し直後のDMA転送の有無によって、DSAnLレジスタの値が次のように異なります。 (a) DSAnレジスタの読み出し中にDMA転送が発生しない場合 ① DSAnHレジスタの読み出し : DSAnHレジスタ = 0000H ② DSAnLレジスタの読み出し : DSAnLレジスタ = FFFFH (b) DSAnレジスタの読み出し中にDMA転送が発生する場合 ① DSAnHレジスタの読み出し : DSAnHレジスタ = 0000H ② DMA転送の発生 ③ DSAnレジスタのインクリメント : DSAnレジスタ = 00010000H ④ DSAnLレジスタの読み出し : DSAnLレジスタ = 0000H	p.721 ☐
			DMA転送ステータスの再設定	DMA転送が完了する前に (TCnビットがセット (1) される前)、DMA転送ステータスの再設定 (DDAnH, DDAnL, DSAnH, DSAnL, DBCn, DADCnレジスタの再設定) を行う場合は、必ずDMAチャンネルの初期化後に行ってください。ただしDMAコントローラの初期化は、必ず20. 13 (4) DMA転送の初期化手順についてに示す手順に従ってください。	p.721 ☐

章	分類	機能	機能の詳細	注意事項	頁
第21章	ソフト	割り込み／例外処理機能	ノンマスカブル割り込み	INTWDT1, INTWDT2要求信号によるノンマスカブル割り込み処理については、21. 10 注意事項を参照してください。	p.725 ☐
				ノンマスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット= 0かつNPビット= 1に戻しておいてください。	p.729 ☐
			マスカブル割り込み	マスカブル割り込み処理中にLDSR命令によりEP, NPビットを変更した場合は、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット= 0かつNPビット= 0に戻しておいてください。	p.733 ☐
			多重割り込み	多重割り込みを行うときはEI命令を実行する前に、EIPC, EIPSWの内容を退避する必要があります。また、多重割り込みから復帰する際は、DI命令を実行したあとに、EIPC, EIPSWの内容を復帰してください。	p.735 ☐ -737
			割り込み制御レジスタ	割り込みをマスクする場合は、IMRレジスタで設定するか、ビット操作命令で処理してください。優先順位の決定は、割り込みが発生しないタイミングで設定してください。	p.738 ☐
				xxICn.xxIFn ビットを読み出す場合は、割り込み禁止 (DI) 状態で行ってください。割り込み許可 (EI) 状態でxxIFn ビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。	p.738 ☐
				割り込み要求が受け付けられるとハードウェアにより自動的にリセットされます。	p.738 ☐
			IMR0-IMR3 レジスタ	デバイス・ファイルでは、xxICnレジスタのxxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。	p.741 ☐
				IMR0-IMR3のビット8-15を8/1ビット単位でリード／ライトする場合は、IMR0H-IMR3Hのビット0-7として指定してください。	p.742 ☐
				IMR2レジスタのビット15-13, IMR3レジスタのビット15-9, 0には、必ず1を設定してください。変更した場合の動作は保証できません。	p.742 ☐
			ISPRレジスタ	割り込み許可 (EI) 状態において、ISPR レジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPR レジスタ値がリードされることがあります。割り込み受け付け前のISPR レジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。	p.743 ☐
			WDTM1レジスタ	RUN1ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。	p.745 ☐
				したがって、カウントを開始すると、リセット以外で停止させることはできません。	
				WDTM14, WDTM13ビットは、一度セット (1) されると、ソフトウェアでクリア (0) することはできません。これらのビットをクリアするには、リセットだけが有効です。	p.745 ☐
			NMI端子	NMI端子とP02は兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0で有効エッジを選択してください。	p.748 ☐
			INTR0, INTF0 レジスタ	ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF0n, INTR0nビット = 00の状態外部割り込み機能に設定 (PMC0.PMC0nビット = 1) してください。また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF0n, INTR0nビット = 00に設定したあとにポート・モードに設定 (PMC0.PMC0nビット = 0) してください。	p.749 ☐
			INTR3, INTF3 レジスタ	ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF31, INTR31ビット = 00の状態外部割り込み機能に設定 (PMC3.PMC31ビット = 1) してください。また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定 (PMC3.PMC31ビット = 0) してください。	p.750 ☐
			INTR9H, INTF9Hレジスタ	ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 00の状態外部割り込み機能に設定 (PMC9.PMC9nビット = 1) してください。また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 00に設定したあとにポート・モードに設定 (PMC9.PMC9nビット = 0) してください。	p.751 ☐
			ソフトウェア例外処理からの復帰	ソフトウェア例外処理中にLDSR命令によりEP, NPビットを変更した場合には、RETI命令による復帰時にPCとPSWを正常にリストアするために、RETI命令の直前で、LDSR命令を使用してEPビット= 1に戻しておく必要があります。	p.753 ☐
			不正命令コード	不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用禁止です。	p.755 ☐
			不正命令コードからの復帰	DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。	p.756 ☐
				不正命令コードを実行した場合、初期設定を実行するか、それ以降の処理を中断してください。	p.756 ☐

章	分類	機能	機能の詳細	注意事項	頁
第21章	ソフト	割り込み／例外処理機能	デバッグ・トラップ	DBTRAP命令はデバッグを目的とした命令のため、基本的にデバッグ・ツールが使用しています。このためデバッグ・ツールが使用しているときに、アプリケーションが使用すると誤動作する場合があります。	p.757 ☐
			デバッグ・トラップからの復帰	DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。	p.758 ☐
			サービス・プログラム中に例外を発生させる場合	ノンマスカブル割り込み処理ルーチン内（RET命令を実行するまでの期間）では、マスカブル割り込みを受け付けず、保留します。	p.760 ☐
			復帰PC	割り込み処理起動時に、CPUのEIPC、FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合の復帰PCはnextPCとはなりません（命令実行中に割り込みを受け付けると実行を中止し、割り込み処理完了後に再実行されます）。 ・ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W） ・除算命令（DIV, DIVH, DIVU, DIVHU） ・PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）	p.762 ☐
第22章	ハード ソフト	キー割り込み機能	KR0-KR7端子	KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子で立ち下がりエッジを入力してもINTKR信号が発生しません。	p.763 ☐
			KRMレジスタ	KRMレジスタを変更すると、割り込み要求信号（INTKR）が発生する場合があります。したがって、あらかじめ割り込みを禁止（DI）してからKRMレジスタを変更し、割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから、割り込みを許可（EI）してください。	p.764 ☐
第23章	ソフト	スタンバイ機能	IDLEモード	IDLEモードでは、PLLは停止しません。低消費電力を実現する場合PLLを停止してからIDLEモードへ移行してください。	p.765 ☐
			STOPモード	クロック・スルー・モードに変更し、次にPLLを停止させたあと、STOPモードに移行してください。詳細は第6章クロック発生機能を参照してください。	p.765 ☐
			PSCレジスタ	NMI2M, NMI0M, INTMビットと、STPビットを同時にセット（1）した場合、NMI2M, NMI0M, INTMビットの設定は無効になります。したがって、IDLE/STOPモードに移行する際に、割り込み要求信号に対するビット（NMI2M, NMI0M, INTM）をセット（1）したあとにSTPビットをセット（1）してください。	p.767 ☐
				IDLE/STOPモードに設定するときは、PSMR.PSMビットを設定してから、STPビットをセット（1）してください。	p.767 ☐
			PSMRレジスタ	サブクロック発振子を接続しているときは、XTSTPビットには必ず0を設定してください。	p.768 ☐
				ビット1-6には、必ず0を設定してください。	p.768 ☐
				PSMビットは、PSC.STPビット=1のときのみに有効です。	p.768 ☐
			OSTSレジスタ	STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間は含みません。	p.769 ☐
				ビット7-3には必ず“0”を設定してください。	p.769 ☐
				リセット解除後の発振安定時間は、 $2^{15}/f_x$ （OSTSレジスタの初期値=01Hのため）となります。	p.769 ☐
			HALT命令	外部クロック入力時においても発振安定時間は挿入されます。	p.769 ☐
				HALT命令のあとには、NOP命令を5命令以上挿入してください。	p.770 ☐
			IDLEモード	マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行しますが、保留されている割り込み要求信号によりHALTモードはすぐに解除されます。	p.770 ☐
				マスクされていない割り込み要求信号が保留されている状態でIDLE命令を実行した場合、IDLEモードに移行しますが、保留されている割り込み要求信号によりIDLEモードはすぐに解除されます。	p.772 ☐
			IDLEモード解除	IDLEモードに設定するためのPSCレジスタに対するストア命令の後には、NOP命令を5命令以上挿入してください。	p.772 ☐
			STOPモード	STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.773 ☐
			STOPモード解除	マスクされていない割り込み要求信号が保留されている状態でSTOP命令を実行した場合、STOPモードに移行しますが、保留されている割り込み要求信号によりSTOPモードはすぐに解除されます。	p.775 ☐
				マスクされていない割り込み要求信号が保留されている状態でSTOP命令を実行した場合、STOPモードに移行しますが、保留されている割り込み要求信号によりSTOPモードはすぐに解除されます。	p.775 ☐
			STOPモード解除	PSC.NMI2M, NMI0M, INTMビット=1（割り込み禁止）になっている割り込み要求信号は無効となり、STOPモードは解除されません。	p.776 ☐

章	分類	機能	機能の詳細	注意事項	頁
第23章	ソフト	スタンバイ機能	サブクロック動作モード	CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値は変更しないでください(ビット操作命令を推奨)。詳細は、6.3(1) プロセッサ・クロック・コントロール・レジスタ (PCC) を参照してください。	p.779 ☐
				次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。 内部システム・クロック (f_{CLK}) > サブクロック ($f_{XT} : 32.768 \text{ kHz}$) $\times 4$	p.779 ☐
				CPUがサブクロックで動作し、かつX1にクロックが入力していないとき、ウェイトが発生するレジスタにアクセスしないでください。ウェイトが発生した場合、解除する方法はリセットのみです。ウェイトが発生するレジスタについては表3-3 ウェイトが発生するレジスタを参照してください。	p.779 ☐
			サブクロック動作モードの解除	CK3ビットを操作する場合、CK2-CK0ビットの設定値は変更しないでください(ビット操作命令を推奨)。詳細は、6.3(1) プロセッサ・クロック・コントロール・レジスタ (PCC) を参照してください。	p.779 ☐
			サブIDLEモード	サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。	p.781 ☐
			サブIDLEモードの解除	PSC.NMI2M, NMI0M, INTMビット=1(割り込み禁止)になっている割り込み要求信号は無効となり、サブIDLEモードは解除されません。	p.782 ☐
第24章	ハード	リセット機能	パワーオン時の動作	V850ES/KJ2は、複数の電源を内蔵しているので、電源の投入順序によっては、内部システム・リセット信号が受け付けられる前にポートが動作を開始し、端子に予想外の信号が発生する場合があります。	p.787 ☐
	ソフト		注意事項	リセット解除後、最初に設定するレジスタについては、3.4.9 注意事項を参照してください。	p.788 ☐
第25章	ソフト	レギュレータ	レギュレータ	レギュレータ使用時 ($REGC = 10 \mu F$) は、メイン・クロック発振回路およびサブクロック発振回路に外部クロックを入力できません。	p.789 ☐
	ハード			$V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} \geq BV_{DD}$ で使用してください。	p.789 ☐
第26章	ハード	フラッシュ・メモリ	書き換え方法	セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMもしくは外部メモリへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。	p.793 ☐
			PG-FP4	FLMD1端子は、オフ・ボードの場合、図26-6のように配線するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。オン・ボード場合、図26-11のように配線してください。	p.800 ☐
				CLK端子は、オフ・ボードの場合、PG-FP4からクロック供給を行う場合は接続してください(図26-6のように配線するか、ボード上に発振回路を作成してクロックを供給してください。)。オン・ボードの場合、ボードから配給されるクロックを、そのまま使用してください。	p.800 ☐
				フラッシュ・プログラムのクロック出力を使用する際は、プログラムのCLKとX1を接続し、X2にはその反転信号を接続してください。	p.801 ☐
				REGC端子は、必ず次に示すどちらかの方法で接続してください。 ・ $10 \mu F$ のコンデンサを介してGNDに接続 ・ V_{DD} に直接接続	p.801 ☐
				REGC端子を $10 \mu F$ のコンデンサを介してGNDに接続する場合、フラッシュ・プログラムのCLK端子からのクロック供給はできません。 ボード上に発振回路を作成してクロックを供給してください。	p.801 ☐
			FA-144GJ-GAE-B	FLMD1端子は図のように配線(推奨)するか、もしくはボード上でプルダウン抵抗を介してGNDに接続してください。	p.803 ☐
				REGC端子は、必ず次に示すどちらかの方法で接続してください。 ・ $10 \mu F$ のコンデンサを介してGNDに接続 ・ V_{DD} に直接接続(推奨)	p.803 ☐
				REGC端子を $10 \mu F$ のコンデンサを介してGNDに接続する場合、フラッシュ・プログラムのCLK端子からのクロック供給はできません。 ボード上に発振回路を作成してクロックを供給してください。	
				PG-FP4からクロック供給をする場合は必ず次のように設定、接続してください。 ・ フラッシュ・アダプタ (FA) のJ1をVDD側に設定 ・ FAのCLKOUTをFAのCLKINに接続 ・ FAのX1をデバイスのX1に接続 ・ FAのX2をデバイスのX2に接続 フラッシュ・アダプタ上に発振回路を作成してクロックを供給する場合は上記の設定・接続の必要はありません。	p.803 ☐

章	分類	機能	機能の詳細	注意事項	頁
第26章	ハード	フラッシュ・メモリ	FLMD1端子	オンボード書き込み時、リセット直後に他のデバイスからFLMD1端子にV _{DD} の信号が入力される場合、この信号をアイソレートしてください。	p.807 ☐
			FLMD0端子	リセット解除には、必ずFLMD0端子を0 Vにしてください。	p.814 ☐
第27章	ハード	オンチップ・デバッグ機能	DCUを使用する方法	DCUは、 μ PD70F3734のみに搭載しています。 μ PD70F3733には搭載していませんが、オンチップ・デバッグ・モード・レジスタ（OCDM）は搭載しています。	p.818 ☐
			OCDMレジスタ	RESET端子によるリセット時は01Hになります。ただし、WDTRES1信号、WDTRES2信号によるリセット時は、OCDMレジスタの値を保持します。	p.822 ☐
				外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次の処置が必要です μ PD70F3733ポート機能しかないので、必ずこの処置をしてください。 ・ P05/INTP2/DRST端子にロウ・レベルを入力します。 ・ OCDM0ビットを設定します。この場合の処置は次のとおりです。 ① OCDM0ビットをクリア（0）します。 ② ①の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。	p.822 ☐
				P05/INTP2/DRST端子はブルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。	p.822 ☐
	ソフト	注意事項（DCU使用時）		RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。	p.824 ☐
				リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に出力バッファ（ポート端子）がリセット状態になる場合があります。	p.824 ☐
				内蔵フラッシュ・メモリに設定したソフトウェア・ブレークポイントは、ROMコレクション機能で実現しているため、ターゲット・リセットまたはウォッチドッグ・タイマ2により発生する内部リセットによって一時的に無効になります。ハードウェア・ブレークまたは強制ブレークによりいったんブレークしたあとには再度有効になりますが、それまではソフトウェア・ブレークは発生しません。	p.824 ☐
				ブレーク中の端子によるリセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。	p.824 ☐
	ハード	注意事項（DCU使用時以外）		オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。	p.824 ☐
				デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。	p.832 ☐
	ソフト			次の状態が継続している場合は、強制ブレークすることができません。 ・ 割り込み禁止中（DI）の場合 ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合 ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、メイン・クロックを停止している場合	p.832 ☐

章	分類	機能	機能の詳細	注意事項	頁
第27章	ソフト	オンチップ・デバッグ機能	注意事項 (DCU 使用時以外)	次の状態の場合、擬似RRM機能、DMM機能が動作しません。 ・ 割り込み禁止中 (DI) の場合 ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合 ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、メイン・クロックを停止している場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合	p.832 ☐
				次の状態の場合、擬似RRM機能、DMM機能によりスタンバイ・モードが解除されます。 ・ MINICUBE2と対象デバイスの通信インタフェースがCSI00の場合 ・ MINICUBE2と対象デバイスの通信インタフェースがUART0の場合に、メイン・クロックが停止していない場合	p.832 ☐
				特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。	p.832 ☐
				デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッガが正常に動作しなくなります。	p.832 ☐
			セキュリティID	フラッシュ・メモリのデータは消去状態では、すべて“1”となります。	p.833 ☐
第28章	ハード	電気的特性	絶対最大定格	それぞれの電源電圧の絶対最大定格 (MAX. 値) を越えないようにしてください。	p.836 ☐
				IC製品の出力 (または入出力) 端子同士を直結したり、V _{DD} またはV _{CC} やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。	p.836, ☐ 837
				各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。 つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。 DC特性とAC特性に示す規格や条件が、製品の正常動作、品質保証の範囲です。	p.836, ☐ 837
			EEPROMエミュレーション	メイン・クロックを停止しないでください。	p.839 ☐
			メイン・クロック	入力波形のデューティ比は50 % ± 5 %以内にしてください。	p.840 ☐
			発振回路特性	メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・ 配線は極力短くする。 ・ 他の信号線と交差させない。 ・ 変化する大電流が流れる線に接近させない。 ・ 発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・ 大電流が流れるグランド・パターンに接地しない。 ・ 発振回路から信号を取り出さない。	p.840 ☐
	ソフト			メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。	p.840 ☐
	ハード			REGC = 10 μ Fのとき、発振回路の電源電圧は内蔵レギュレータ出力 (3.6 V (TYP.)) になります。ただし、次のモードのときは発振回路の電源電圧はV _{DD} になります。 ・ リセット時 (WDTRES1, 発振安定時間中除く) ・ STOPモード ・ サブIDLEモード	p.840 ☐

章	分類	機能	機能の詳細	注意事項	頁
第28章	ハード	電 気 的 特 性	サブクロック発振回路特性	入力波形のデューティ比は50 % ± 5 %以内にしてください。	p.841 ☐
				サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。 ・配線は極力短くする。 ・他の信号線と交差させない。 ・変化する大電流が流れる線に接近させない。 ・発振回路のコンデンサの接地点は、常にV _{SS} と同電位になるようにする。 ・大電流が流れるグラウンド・パターンに接地しない。 ・発振回路から信号を取り出さない。	p.841 ☐
				サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。	p.841 ☐
				REGC = 10 μFのとき、発振回路の電源電圧は内蔵レギュレータ出力 (3.6 V (TYP.)) になります。ただし、次のモードのときは発振回路の電源電圧はV _{DD} になります。 ・リセット時 (WDTRST1, 発振安定時間中除く) ・STOPモード ・サブIDLEモード	p.841 ☐
			DC特性	・P10, P11 ポートとして使用する場合はAV _{REF1} = AV _{REF0} = V _{DD} としてください。 P36-P39, P614, P615のI _{OL} はI _{OL1} に従ってください。	p.843, ☐ 844
					p.844 ☐
			データ保持特性	STOPモードへの移行、およびSTOPモードからの復帰は、動作範囲内で行ってください。	p.846 ☐
			AC特性	回路構成により負荷容量が50 pFを越える場合は、バッファを入れるなどして、このデバイスの負荷容量を50 pF以下にしてください。	p.847 ☐
	ソフト	リード／ライト・サイクル (CLKOUT 非同期)	CPU動作クロック周波数の使用条件によっては、次の設定を行ってください。 ・70 ns < 1/f _{CPU} < 84 ns時 アドレス・セットアップ・ウエイト (AWC.ASWkビット= 1) を設定 ・62.5 ns < 1/f _{CPU} < 70 ns時 アドレス・セットアップ・ウエイト (ASWkビット= 1) , およびアドレス・ホールド・ウエイト (AWC.AHWkビット= 1) を設定	p.850 ☐	
			CPU動作クロック周波数の使用条件によっては、次の設定を行ってください。 ・1/f _{CPU} < 100 ns時 アドレス・セットアップ・ウエイト (ASWkビット= 1) を設定	p.856 ☐	
		リード・サイクル (CLKOUT 非同期)	CPU動作クロック周波数の使用条件によっては、次の設定を行ってください。 ・1/f _{CPU} < 200 ns時 アドレス・セットアップ・ウエイト (ASWkビット= 1) を設定	p.857 ☐	
			CPU動作クロック周波数の使用条件によっては、次の設定を行ってください。 ・1/f _{CPU} < 60 ns時 (ライト時のみ、リード／ライト時は100 ns) アドレス・セットアップ・ウエイト (ASWkビット= 1) を設定	p.859 ☐	
		ライト・サイクル (CLKOUT 非同期)	CPU動作クロック周波数の使用条件によっては、次の設定を行ってください。 ・1/f _{CPU} < 100 ns時 (ライト時のみ、リード／ライト時は200 ns) アドレス・セットアップ・ウエイト (ASWkビット= 1) を設定	p.860 ☐	
		I ² Cバス・モード	装置は、SCLnの立ち下がり端の未定義領域を埋めるために (SCLn信号のV _{IHmin.} での) SDA _n 信号用に最低300nsのホールド時間を内部的に提供する必要があります。 装置がSCLn信号のロウ・ホールド時間 (t _{LOW}) を延長しない場合は、最大データ・ホールド時間 (t _{HD} : DAT) のみ満たすことが必要です。	p.878 ☐	
			ファースト・モードI ² Cバス・デバイスは、標準モードI ² Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。 ・装置がSCLn信号のロウ状態ホールド時間を延長しない場合 t _{SU} : DAT ≥ 250 ns ・装置がSCLn信号のロウ状態ホールド時間を延長する場合 SCLnラインが解放される (t _{Rmax.} + t _{SU} : DAT = 1000 + 250 = 1250 ns : 標準モードI ² Cバス仕様) 前に、次のデータ・ビットをSDA _n ラインに送出してください。	p.878 ☐	
				p.878 ☐	
				p.878 ☐	

章	分類	機能	機能の詳細	注意事項	頁
第28章	ハード	電気的特性	フラッシュ・メモリ・プログラミング特性	出荷品に対する初回書き込み時には、「消去→書き込み」の場合も「書き込みのみ」の場合も、書き換え回数は1回となります。 例（P：書き込み，E：消去） 出荷品→→P→E→P→E→P：書き換え回数3回 出荷品→E→P→E→P→E→P：書き換え回数3回	p.882 ☐
第30章	ハード	半田付け推奨条件	半田付け推奨条件	半田付け方式の併用はお避けください（ただし，部分加熱は除く）。	p.884 ☐
付録A	ソフト	開発ツール	RX850, RX850 Pro	RX850, RX850 Proを購入する際，事前に購入申込書にご記入のうえ，使用許諾契約書を締結してください。	p.895 ☐
付録B	ソフト	命令セット一覧	インストラクション・セット	汎用レジスタreg1と汎用レジスタreg3に，同じレジスタを指定しないでください。	p.904 ☐

付録E 改版履歴

E. 1 本版で改訂された主な箇所

箇 所	内 容
p.43	2. 3 端子の入出力回路タイプと未使用時の処理 変更
p.65	図3-10 データ空間の符号拡張 追加
p.227	6. 6 発振子の接続方法 追加
p.233	7. 2. 1 端子の構成 追加
p.233	7. 2. 2 割り込み機能 追加
p.246	7. 4 (1) カウンタ基本動作 追加
p.247	7. 4 (2) 随時書き込みと一斉書き込み 追加
p.262	7. 4. 1 (3) 外部イベント・カウント入力 (TIP00) による動作 変更
p.274, 275	図7-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 変更
p.286, 287	図7-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 変更
p.324	図7-69 ノイズ除去のタイミング例 追加
p.329	8. 2. 1 端子の構成 追加
p.329	8. 2. 2 割り込み機能 追加
p.411	9. 3. 1 端子の構成 追加
p.411	9. 3. 2 割り込み機能 追加
p.431	10. 3. 1 端子の構成 追加
p.431	10. 3. 2 割り込み機能 追加
p.523	16. 3. 1 各チャンネルの端子機能について 追加
p.584	18. 3. 1 端子の構成 追加
p.610	図18-9 自動送信モードのフロー・チャート 変更
p.614	図18-12 繰り返し送信モードのフロー・チャート 変更
p.718	20. 13 (4) (a) 一時的にすべてのDMAチャンネルの転送を停止させる方法 変更
p.764	22. 2 端子の構成 追加

E.2 前版までの改版履歴

前版までの改版履歴を次に示します。なお、適用箇所は各版での章を示します。

版 数	内 容	適応箇所
2版	3. 2. 2 (6) 例外／デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW) 説明追加	第3章 CPU機能
	3. 4. 7 (1) 特定レジスタへのデータ設定を変更	
	5. 11 注意事項 変更	第5章 バス制御機能
	7. 4 (3) TMP0I/O制御レジスタ0 (TP0IOC0) 変更	第7章 16ビット・タイマ／イベント・カウンタP (TMP)
	図7-22 ワンショット・パルス出力モード動作時のレジスタ設定内容 注意追加	
	図9-1 8ビット・タイマ／イベント・カウンタ5nのブロック図 変更	第9章 8ビット・タイマ／イベント・カウンタ5 (TM5)
	図10-3 インターバル・タイマ／方形波出力動作のタイミング 注追加	第10章 8ビット・タイマH (TMH)
	11. 1. 4 (1) インターバル・タイマBRGの動作 変更	第11章 インターバル・タイマ, 時計タイマ
	12. 2. 3 (1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2) 注意変更	第12章 ウォッチドッグ・タイマ
	12. 2. 3 (2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE) 注意変更	
	14. 4 (1) A/Dコンバータ・モード・レジスタ (ADM) 注意変更	第14章 A/Dコンバータ
	14. 4 (2) アナログ入力チャネル指定レジスタ (ADS) 注意追加	
	14. 4 (4) パワー・フェイル比較モード・レジスタ (PFM) 注意追加	
	14. 4 (5) パワー・フェイル比較しきい値レジスタ (PFT) 注意追加	
	14. 5. 2 トリガ・モード 変更	
	14. 5. 3 (1) セレクト・モード 変更	
	14. 5. 3 (2) スキャン・モード 変更	
	表14-7 スタンバイ・モード時の消費電力を低減させる方法例 変更	
	14. 6 (14) 通常モード時のA/D変換動作について 追加	
	表19-7 ウェイト時間 変更	第19章 I ² Cバス
	20. 13 (11) DMAの起動要因 変更	第20章 DMA機能
	21. 6. 1 (2) 復帰 注意追加	第21章 割り込み／例外処理機能
	21. 6. 2 (2) 復帰 注意追加	
	表26-2 基本機能一覧 変更	第26章 フラッシュ・メモリ
	表26-3 セキュリティ機能一覧 変更	
	表26-4 セキュリティ設定 追加	
	26. 3 (1) PG-FP4でのセキュリティ設定 (Security flag settings) 追加	
	26. 4. 2 (1) UART 変更	
	表26-7 フラッシュ・メモリ制御用コマンド 変更	
	第27章 オンチップ・デバッグ機能 変更	第27章 オンチップ・デバッグ機能
	第30章 半田付け推奨条件 追加	第30章 半田付け推奨条件
	付録A 開発ツール 追加	付録A 開発ツール
	付録D 注意事項一覧 追加	付録D 注意事項一覧
	付録E 改版履歴 追加	付録E 改版履歴

(X モ)

【発 行】

NECエレクトロニクス株式会社

〒211-8668 神奈川県川崎市中原区下沼部1753

電話（代表）：044(435)5111

—— お問い合わせ先 ——

【ホームページ】

NECエレクトロニクスの情報がインターネットでご覧になれます。

URL(アドレス) <http://www.necel.co.jp/>

【営業関係、技術関係お問い合わせ先】

半導体ホットライン

（電話：午前 9:00～12:00，午後 1:00～5:00）

電 話 ： 044-435-9494

E-mail ： info@necel.com

【資料請求先】

NECエレクトロニクスのホームページよりダウンロードいただくか、NECエレクトロニクスの販売特約店へお申し付けください。