

V850ES/JC3-L, V850ES/JE3-L

ユーザーズマニュアル ハードウェア編

ルネサスマイクロコンピュータ

V850ES/Jx3-L マイクロコントローラ

V850ES/JC3-L

 μ PD70F3797 μ PD70F3798 μ PD70F3799 μ PD70F3800 μ PD70F3801 μ PD70F3802 μ PD70F3803 μ PD70F3804 μ PD70F3838 μ PD70F3839

V850ES/JE3-L

 μ PD70F3805 μ PD70F3806 μ PD70F3807 μ PD70F3808 μ PD70F3840

本資料に記載の全ての情報は本資料発行時点のものであり、ルネサス エレクトロニクスは、予告なしに、本資料に記載した製品または仕様を変更することがあります。
ルネサス エレクトロニクスのホームページなどにより公開される最新情報をご確認ください。

ご注意書き

1. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器・システムの設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因して、お客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
2. 本資料に記載されている情報は、正確を期すため慎重に作成したものです。誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
3. 本資料に記載された製品データ、図、表、プログラム、アルゴリズム、応用回路例等の情報の使用に起因して発生した第三者の特許権、著作権その他の知的財産権に対する侵害に関し、当社は、何らの責任を負うものではありません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
4. 当社製品を改造、改変、複製等しないでください。かかる改造、改変、複製等により生じた損害に関し、当社は、一切その責任を負いません。
5. 当社は、当社製品の品質水準を「標準水準」および「高品質水準」に分類しており、各品質水準は、以下に示す用途に製品が使用されることを意図しております。
標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、
 家電、工作機械、パーソナル機器、産業用ロボット等
高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、
 防災・防犯装置、各種安全装置等
当社製品は、直接生命・身体に危害を及ぼす可能性のある機器・システム（生命維持装置、人体に埋め込み使用するもの等）、もしくは多大な物的損害を発生させるおそれのある機器・システム（原子力制御システム、軍事機器等）に使用されることを意図しておらず、使用することはできません。たとえ、意図しない用途に当社製品を使用したことによりお客様または第三者に損害が生じて、当社は一切その責任を負いません。なお、ご不明点がある場合は、当社営業にお問い合わせください。
6. 当社製品をご使用の際は、当社が指定する最大定格、動作電源電圧範囲、放熱特性、実装条件その他の保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質および信頼性の向上に努めていますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害等を生じさせないよう、お客様の責任において、冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、お客様の機器・システムとしての出荷保証を行ってください。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様の機器・システムとしての安全検証をお客様の責任で行ってください。
8. 当社製品の環境適合性等の詳細につきましては、製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関して、当社は、一切その責任を負いません。
9. 本資料に記載されている当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器・システムに使用することはできません。また、当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事情報に使用しないでください。当社製品または技術を輸出する場合は、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。
10. お客様の転売等により、本ご注意書き記載の諸条件に抵触して当社製品が使用され、その使用から損害が生じた場合、当社は何らの責任も負わず、お客様にてご負担して頂きますのでご了承ください。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを禁じます。

注 1. 本資料において使用されている「当社」とは、ルネサス エレクトロニクス株式会社およびルネサス エレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

CMOSデバイスの一般的注意事項

① 入力端子の印加波形

入力ノイズや反射波による波形歪みは誤動作の原因になりますので注意してください。

CMOSデバイスの入力が入力ノイズなどに起因して、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域にとどまるような場合は、誤動作を引き起こす恐れがあります。入力レベルが固定な場合はもちろん、 V_{IL} (MAX.) から V_{IH} (MIN.) までの領域を通過する遷移期間中にチャタリングノイズ等が入らないようご使用ください。

② 未使用入力の処理

CMOSデバイスの未使用端子の入力レベルは固定してください。

未使用端子入力については、CMOSデバイスの入力に何も接続しない状態で動作させるのではなく、プルアップかプルダウンによって入力レベルを固定してください。また、未使用の入出力端子が出力となる可能性（タイミングは規定しません）を考慮すると、個別に抵抗を介して V_{DD} または GND に接続することが有効です。

資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

③ 静電気対策

MOSデバイス取り扱いの際は静電気防止を心がけてください。

MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレーやマガジン・ケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。

また、MOSデバイスを実装したボードについても同様の扱いをしてください。

④ 初期化以前の状態

電源投入時、MOSデバイスの初期状態は不定です。

電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。

リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

⑤ 電源投入切断順序

内部動作および外部インタフェースで異なる電源を使用するデバイスの場合、原則として内部電源を投入した後に外部電源を投入してください。切断の際には、原則として外部電源を切断した後に内部電源を切断してください。逆の電源投入切断順により、内部素子に過電圧が印加され、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源投入切断シーケンス」についての記載のある製品については、その内容を守ってください。

⑥ 電源OFF時における入力信号

当該デバイスの電源がOFF状態の時に、入力信号や入出力プルアップ電源を入れないでください。入力信号や入出力プルアップ電源からの電流注入により、誤動作を引き起こしたり、異常電流が流れ内部素子を劣化させたりする場合があります。

資料中に「電源OFF時における入力信号」についての記載のある製品については、その内容を守ってください。

このマニュアルの使い方

対 象 者 このマニュアルは、V850ES/JC3-L, V850ES/JE3-Lの機能を理解し、それを用いた応用システムを設計するユーザを対象とします。

目 的 このマニュアルは、次の構成に示すハードウェア機能をユーザに理解していただくことを目的としています。

構 成 V850ES/JC3-L, V850ES/JE3-Lのユーザーズ・マニュアルは、ハードウェア編（このマニュアル）と、アーキテクチャ編（V850ES ユーザーズ・マニュアル アーキテクチャ編）の2冊に分かれています。

ハードウェア編

- ・端子機能
- ・CPU機能
- ・内蔵周辺機能
- ・フラッシュ・メモリ・プログラミング
- ・電気的特性（ターゲット）

アーキテクチャ編

- ・データ・タイプ
- ・レジスタ・セット
- ・命令形式と命令セット
- ・割り込みと例外
- ・パイプラインの動作

読 み 方 このマニュアルの読者には、電気、論理回路、およびマイクロコントローラに関する一般知識を必要とします。

一通りV850ES/JC3-L, V850ES/JE3-Lの機能を理解しようとするとき

→目次に従ってお読みください。

レジスタ名がわかっていて、レジスタの詳細を確認するとき

→付録C レジスタ索引を利用してください。

レジスタ・フォーマットの見方

→ビット番号を○で囲んでいるものは、そのビット名称がデバイス・ファイルで予約語に定義されているものです。

命令機能の詳細を理解しようとするとき

→別冊のV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

V850ES/JC3-L (40ピン) の電気的特性を知りたいとき

→第30章 電気的特性 (V850ES/JE3-L (40ピン)) を参照してください。

V850ES/JC3-L (48ピン) の電気的特性を知りたいとき

→第31章 電気的特性 (V850ES/JE3-L (48ピン)) を参照してください。

V850ES/JE3-Lの電気的特性を知りたいとき

→第32章 電気的特性 (V850ES/JE3-L) (ターゲット) を参照してください。

このマニュアルでは、「xxxレジスタのyyyビット」を「xxx.yyyビット」と表記しています。ただし、プログラムにそのまま「xxx.yyy」と記述しても、コンパイラ／アセンブラは正しく認識できませんので、注意してください。

本文欄外の★印は、本版で改訂された主な箇所を示しています。

この“★”をPDF上でコピーして「検索する文字列」に指定することによって、改版箇所を容易に検索できます。

- 凡 例**
- データ表記の重み：左が上位桁，右が下位桁
- アクティブ・ロウの表記：xxx (端子，信号名称に上線)
- メモリ・マップのアドレス：上部－上位，下部－下位
- 注：本文中に付けた注の説明
- 注意：気を付けて読んでいただきたい内容
- 備考：本文の補足説明
- 数の表記：2進数 … xxxxまたはxxxxB
- 10進数 … xxxx
- 16進数 … xxxxH
- 2のべき数を示す接頭語 (アドレス空間，メモリ容量)：
- K (キロ)： $2^{10} = 1024$
- M (メガ)： $2^{20} = 1024^2$
- G (ギガ)： $2^{30} = 1024^3$

関連資料 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

V850ES/JC3-L, V850ES/JE3-Lに関する資料

資 料 名	資料番号	
	和文	英文
V850ES ユーザーズ・マニュアル アーキテクチャ編	U15943J	U15943E
V850ES/JC3-L, V850ES/JE3-L ユーザーズ・マニュアル ハードウェア編	このマニュアル	R01UH0018E

開発ツールに関する資料（ユーザーズ・マニュアル）

資 料 名	資料番号	
	和文	英文
QB-V850ESJX3L インサーキット・エミュレータ	作成予定	
QB-V850MINI, QB-V850MINIL オンチップ・デバック・エミュレータ	U17638J	U17638E
QB-MINI2 プログラミング機能付きオンチップ・デバック・エミュレータ	U18371J	U18371E
CA850 Ver.3.20 C コンパイラ・パッケージ	操作編	U18512J
	C 言語編	U18513J
	アセンブリ言語編	U18514J
	リンク・ディレクティブ編	U18515J
PM+ Ver.6.30 プロジェクト・マネージャ	U18416J	U18416E
ID850QB Ver.3.40 統合デバッグ	操作編	U18604J
SM850 Ver.2.50 システム・シミュレータ	操作編	U16218J
SM850 Ver.2.00以上 システム・シミュレータ	外部部品ユーザ・オープン・インタフェース仕様編	U14873J
SM+ システム・シミュレータ	操作編	U18601J
	ユーザ・オープン・インタフェース編	U18212J
RX850 Ver.3.20 リアルタイムOS	基礎編	U13430J
	インストレーション編	U17419J
	テクニカル編	U13431J
	タスク・デバッグ編	U17420J
RX850 Pro Ver.3.21 リアルタイムOS	基礎編	U18165J
	インストレーション編	U17421J
	タスク・デバッグ編	U17422J
AZ850 Ver.3.30 システム・パフォーマンス・アナライザ	U17423J	U17423E
PG-FP5 フラッシュ・メモリ・プログラマ	U18865J	U18865E

その他の資料

資 料 名	資料番号	
	和文	英文
SEMICONDUCTOR SELECTION GUIDE -Products and Packages-	X13769X	
半導体デバイス 実装マニュアル	注	
ルネサス 半導体デバイスの品質水準	C11531J	C11531E
ルネサス 半導体デバイスの信頼性品質管理	C10983J	C10983E
静電気放電（ESD）破壊対策ガイド	C11892J	C11892E
半導体 品質／信頼性ハンドブック	C12769J	—
マイクロコンピュータ関連製品ガイド 社外メーカ編	U11416J	—

注 「半導体デバイス実装マニュアル」のホーム・ページ参照

<http://www2.renesas.com/pkg/ja/jissou/index.html>

注意 上記関連資料は予告なしに内容を変更することがあります。設計などには、必ず最新の資料をご使用ください。

注意：本製品は、Silicon Storage Technology, Inc.からライセンスを受けたSuperFlash[®]を使用しています。

EEPROM, IECUBE, MINICUBE, Appliletはルネサス エレクトロニクス株式会社の登録商標です。

Windows, Windows XPおよびWindows NTは、米国Microsoft Corporationの米国およびその他の国における登録商標または商標です。

SuperFlashは、米国Silicon Storage Technology, Inc.の米国、日本などの国における登録商標です。

PC/ATは、米国IBM社の商標です。

SPARCstationは、米国SPARC International, Inc.の商標です。

Solaris, SunOSは、米国サン・マイクロシステムズ社の商標です。

TRONはThe Realtime Operating System Nucleusの略称です。

ITRONはIndustrial TRONの略称です。

目 次

第1章	イントロダクション	20
1.1	概 説	20
1.2	特 徴	24
1.3	応用分野	26
1.4	オーダ情報	26
1.4.1	V850ES/JC3-L	26
1.4.2	V850ES/JE3-L	26
1.5	端子接続図 (Top View)	27
1.6	機能ブロック構成	32
1.6.1	内部ブロック図	32
1.6.2	内部ユニット	35
第2章	端子機能	39
2.1	端子機能一覧	39
2.2	端子状態	47
2.3	端子の入出力回路タイプ, 入出力バッファ電源と未使用時の処理	48
2.4	注意事項	51
第3章	CPU機能	52
3.1	特 徴	52
3.2	CPUレジスタ・セット	53
3.2.1	プログラム・レジスタ・セット	54
3.2.2	システム・レジスタ・セット	55
3.3	動作モード	61
3.4	アドレス空間	62
3.4.1	CPUアドレス空間	62
3.4.2	メモリ・マップ	63
3.4.3	領 域	65
3.4.4	データ空間のラップ・アラウンド	71
3.4.5	アドレス空間の推奨使用方法	71
3.4.6	周辺I/Oレジスタ	75
3.4.7	特定レジスタ	85
3.4.8	最初に設定するレジスタ	89
3.4.9	注意事項	90
第4章	ポート機能	92
4.1	特 徴	92
4.1.1	V850ES/JC3-L (40 ピン)	92
4.1.2	V850ES/JC3-L (48 ピン)	92
4.1.3	V850ES/JE3-L	92
4.2	ポートの基本構成	93
4.2.1	V850ES/JC3-L (40 ピン)	93
4.2.2	V850ES/JC3-L (48 ピン)	94
4.2.3	V850ES/JE3-L	95

4.3	ポートの構成	96
4.3.1	ポート0	102
4.3.2	ポート1 (V850ES/JC3-L (48ピン), V850ES/JE3-L)	108
4.3.3	ポート3	110
4.3.4	ポート4	118
4.3.5	ポート5	121
4.3.6	ポート7	126
4.3.7	ポート9	129
4.3.8	ポートCM	141
4.3.9	ポートDL	142
4.4	ブロック図	144
4.5	兼用機能使用時のポートのレジスタ設定	174
4.6	注意事項	180
4.6.1	ポート端子設定上の注意事項	180
4.6.2	ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項	183
4.6.3	オンチップ・デバッグ用端子に関する注意事項	184
4.6.4	P05/INTP2/DRST端子に関する注意事項	184
4.6.5	P10, P53端子に関する電源投入時の注意事項	184
4.6.6	ヒステリシス特性について	184
第5章	クロック発生機能	185
5.1	概要	185
5.2	構成	186
5.3	レジスタ	188
5.4	動作	194
5.4.1	各クロックの動作	194
5.4.2	外部クロック入力機能	194
5.5	PLL機能	195
5.5.1	概要	195
5.5.2	レジスタ	195
5.5.3	使用方法	199
5.6	発振子の接続方法	200
5.6.1	メイン・クロック発振回路	200
5.6.2	サブクロック発振回路	200
第6章	16ビット・タイマ/イベント・カウンタP (TMP)	203
6.1	機能	203
6.2	構成	204
6.2.1	端子の構成	206
6.2.2	レジスタの構成	207
6.2.3	割り込み機能	210
6.3	レジスタ	211
6.4	動作	222
6.4.1	インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)	229
6.4.2	外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)	240
6.4.3	外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)	249
6.4.4	ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)	261
6.4.5	PWM出力モード (TPnMD2-TPnMD0ビット = 100)	269
6.4.6	フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)	279

6.4.7	パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)	295
6.4.8	タイマ出力動作説明	299
6.5	セレクト機能 (V850ES/JE3-Lのみ)	300
6.6	注意事項	301
第7章 16ビット・タイマ/イベント・カウンタQ (TMQ)		302
7.1	機能	302
7.2	構成	303
7.2.1	端子の構成	305
7.2.2	割り込み機能	306
7.3	レジスタ	307
7.4	動作	322
7.4.1	インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)	329
7.4.2	外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)	341
7.4.3	外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)	351
7.4.4	ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)	366
7.4.5	PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)	376
7.4.6	フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)	387
7.4.7	パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)	407
7.4.8	タイマ出力動作説明	412
7.5	注意事項	413
第8章 16ビット・インターバル・タイマM (TMM)		414
8.1	機能	414
8.2	構成	415
8.3	レジスタ	416
8.4	動作	418
8.4.1	インターバル・タイマ・モード	418
8.4.2	注意事項	422
第9章 時計タイマ機能		423
9.1	機能	423
9.2	構成	424
9.3	レジスタ	426
9.4	動作	430
9.4.1	時計タイマの動作	430
9.4.2	インターバル・タイマの動作	431
9.5	注意事項	433
第10章 リアルタイム・カウンタ		434
10.1	機能	434
10.2	構成	435
10.2.1	端子の構成	437
10.2.2	割り込み機能	437
10.3	レジスタ	438
10.4	動作	453
10.4.1	初期設定	453
10.4.2	リアルタイム・カウンタ動作中の各カウンタの書き換え	454

10. 4. 3	リアルタイム・カウンタ動作中の各カウンタの読み出し	455
10. 4. 4	リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更	456
10. 4. 5	リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更	457
10. 4. 6	INTRTC2割り込みの初期設定	458
10. 4. 7	リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更	459
10. 4. 8	リアルタイム・カウンタの初期化	460
10. 4. 9	リアルタイム・カウンタの時計誤差補正例	461
第11章 ウォッチドッグ・タイマ2機能		465
11. 1	機 能	465
11. 2	構 成	466
11. 3	レジスタ	467
11. 4	動 作	469
第12章 リアルタイム出力機能 (RTO)		470
12. 1	機 能	470
12. 2	構 成	471
12. 3	レジスタ	473
12. 4	動 作	475
12. 5	使用方法	476
12. 6	注意事項	477
第13章 A/Dコンバータ		478
13. 1	概 要	478
13. 2	機 能	479
13. 3	構 成	479
13. 4	レジスタ	483
13. 5	動 作	494
13. 5. 1	基本動作	494
13. 5. 2	変換動作タイミング	495
13. 5. 3	トリガ・モード	496
13. 5. 4	動作モード	498
13. 5. 5	パワー・フェイル比較モード	504
13. 6	注意事項	511
13. 7	A/Dコンバータ特性表の読み方	516
第14章 D/Aコンバータ (V850ES/JC3-L (48ピン) ,V850ES/JE3-L)		520
14. 1	機 能	520
14. 2	構 成	521
14. 3	レジスタ	522
14. 4	使用方法	524
14. 4. 1	通常モード時の使用方法	524
14. 4. 2	リアルタイム出力モード時の使用方法	524
14. 4. 3	注意事項	525
第15章 アシンクロナス・シリアル・インタフェースA (UARTA)		526
15. 1	特 徴	526
15. 2	構 成	527

15.2.1	各チャネルの端子機能について	529
15.3	UARTAとほかのシリアル・インタフェースのモード切り替え	530
15.3.1	UARTA0とCSIB4のモード切り替え	530
15.3.2	UARTA1とI ² C02のモード切り替え	531
15.3.3	UARTA2とI ² C00のモード切り替え	532
15.4	レジスタ	533
15.5	割り込み要求信号	541
15.6	動作	542
15.6.1	データ・フォーマット	542
15.6.2	UART送信	544
15.6.3	連続送信の手順説明	545
15.6.4	UART受信	547
15.6.5	受信エラー	549
15.6.6	パリティの種類と動作	551
15.6.7	LIN送信／受信フォーマット	552
15.6.8	SBF送信	554
15.6.9	SBF受信	555
15.6.10	受信データのノイズ・フィルタ	556
15.7	専用ボー・レート・ジェネレータ	557
15.8	注意事項	565
第16章	クロック同期式シリアル・インタフェースB (CSIB)	566
16.1	特徴	566
16.2	構成	567
16.2.1	各チャネルの端子機能について	568
16.3	CSIBとほかのシリアル・インタフェースのモード切り替え	569
16.3.1	CSIB0とI ² C01のモード切り替え	569
16.3.2	CSIB4とUARTA0のモード切り替え	570
16.4	レジスタ	571
16.5	割り込み要求信号	580
16.6	動作	581
16.6.1	シングル転送モード (マスタ・モード, 送信モード)	581
16.6.2	シングル転送モード (マスタ・モード, 受信モード)	583
16.6.3	シングル転送モード (マスタ・モード, 送受信モード)	585
16.6.4	シングル転送モード (スレーブ・モード, 送信モード)	587
16.6.5	シングル転送モード (スレーブ・モード, 受信モード)	589
16.6.6	シングル転送モード (スレーブ・モード, 送受信モード)	592
16.6.7	連続転送モード (マスタ・モード, 送信モード)	594
16.6.8	連続転送モード (マスタ・モード, 受信モード)	596
16.6.9	連続転送モード (マスタ・モード, 送受信モード)	599
16.6.10	連続転送モード (スレーブ・モード, 送信モード)	603
16.6.11	連続転送モード (スレーブ・モード, 受信モード)	605
16.6.12	連続転送モード (スレーブ・モード, 送受信モード)	608
16.6.13	受信エラー	611
16.6.14	クロック・タイミング	612
16.7	出力端子	614
16.8	ボー・レート・ジェネレータ	615
16.8.1	ボー・レートの生成	616
16.9	注意事項	617

第17章 I ² Cバス	618
17.1 I ² Cバスとほかのシリアル・インタフェースのモード切り替え	619
17.1.1 UARTA2とI ² C00のモード切り替え	619
17.1.2 CSIB0とI ² C01のモード切り替え	620
17.1.3 UARTA1とI ² C02のモード切り替え	621
17.2 特 徴	622
17.3 構 成	623
17.4 レジスタ	627
17.5 I ² Cバス・モードの機能	643
17.5.1 端子構成	643
17.6 I ² Cバスの定義および制御方法	644
17.6.1 スタート・コンディション	645
17.6.2 アドレス	646
17.6.3 転送方向指定	647
17.6.4 アクノリッジ (ACK)	648
17.6.5 ストップ・コンディション	649
17.6.6 ウェイト	650
17.6.7 ウェイト解除方法	652
17.7 I ² C割り込み要求信号 (INTIICn)	653
17.7.1 マスタ動作	653
17.7.2 スレーブ動作 (スレーブ・アドレス・データ受信時 (アドレス一致))	656
17.7.3 スレーブ動作 (拡張コード受信時)	660
17.7.4 通信不参加の動作	664
17.7.5 アービトレーション負けの動作 (アービトレーション負けのあと、スレーブとして動作)	665
17.7.6 アービトレーション負けの動作 (アービトレーション負けのあと、不参加)	667
17.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御	674
17.9 アドレスの一致検出方法	676
17.10 エラーの検出	676
17.11 拡張コード	676
17.12 アービトレーション	677
17.13 ウェイク・アップ機能	678
17.14 通信予約	679
17.14.1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)	679
17.14.2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)	683
17.15 注意事項	684
17.16 通信動作	685
17.16.1 シングルマスタ・システムでのマスタ動作	686
17.16.2 マルチマスタ・システムでのマスタ動作	687
17.16.3 スレーブ動作	690
17.17 データ通信のタイミング	694
第18章 DMA機能 (DMAコントローラ)	701
18.1 特 徴	701
18.2 構 成	702
18.3 レジスタ	704
18.4 転送対象	712
18.5 転送モード	712
18.6 転送タイプ	713
18.7 DMAチャネルの優先順位	714
18.8 DMA転送に関する各種時間	715
18.9 DMA転送起動要因	716

18.10	DMA転送の終了	717
18.11	注意事項	717
第19章 割り込み／例外処理機能		722
19.1	特 徴	722
19.2	ノンマスカブル割り込み	726
19.2.1	動 作	729
19.2.2	復 帰	730
19.2.3	NPフラグ	731
19.3	マスカブル割り込み	732
19.3.1	動 作	732
19.3.2	復 帰	734
19.3.3	マスカブル割り込みの優先順位	735
19.3.4	割り込み制御レジスタ (xxICn)	739
19.3.5	割り込みマスク・レジスタ0-3 (IMR0-IMR3)	742
19.3.6	インサース・プライオリティ・レジスタ (ISPR)	744
19.3.7	IDフラグ	745
19.3.8	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)	745
19.4	ソフトウェア例外	746
19.4.1	動 作	746
19.4.2	復 帰	747
19.4.3	EPフラグ	748
19.5	例外トラップ	749
19.5.1	不正命令コード	749
19.5.2	デバッグ・トラップ	751
19.6	多重割り込み処理制御	753
19.7	外部割り込み要求入力端子 (NMI, INTP0-INTP7)	754
19.7.1	ノイズ除去	754
19.7.2	エッジ検出	754
19.8	CPUの割り込み応答時間	760
19.9	CPUが割り込みを受け付けない期間	761
19.10	注意事項	761
19.10.1	復帰PC	761
第20章 キー割り込み機能		762
20.1	機 能	762
20.2	端子の構成	763
20.3	レジスタ	763
20.4	注意事項	764
第21章 スタンバイ機能		765
21.1	概 要	765
21.2	レジスタ	767
21.3	HALTモード	772
21.3.1	設定および動作状態	772
21.3.2	HALTモードの解除	772
21.4	IDLE1モード	774
21.4.1	設定および動作状態	774
21.4.2	IDLE1モードの解除	775
21.5	IDLE2モード	777
21.5.1	設定および動作状態	777

21. 5. 2	IDLE2モードの解除	778
21. 5. 3	IDLE2モード解除時のセットアップ時間の確保	780
21. 6	STOPモード／低電圧STOPモード	781
21. 6. 1	設定および動作状態	781
21. 6. 2	STOPモード／低電圧STOPモードの解除	785
21. 6. 3	低電圧STOPモードの解除後の再設定	786
21. 6. 4	STOPモード解除時の発振安定時間の確保	787
21. 7	サブクロック動作モード／低電圧サブクロック動作モード	788
21. 7. 1	設定および動作状態	788
21. 7. 2	サブクロック動作モードの解除	792
21. 7. 3	低電圧サブクロック動作モードの解除	792
21. 8	サブIDLEモード／低電圧サブIDLEモード	793
21. 8. 1	設定および動作状態	793
21. 8. 2	サブIDLEモード／低電圧サブIDLEモードの解除	796
第22章	リセット機能	797
22. 1	概 要	797
22. 2	構 成	798
22. 3	リセット要因を確認するレジスタ	799
22. 4	動 作	800
22. 4. 1	RESET端子によるリセット動作	800
22. 4. 2	ウォッチドッグ・タイマ2によるリセット動作	803
22. 4. 3	低電圧検出回路によるリセット動作	805
22. 4. 4	リセット解除後の動作	806
22. 4. 5	リセット機能の動作フロー	808
22. 5	注意事項	809
第23章	クロック・モニタ	810
23. 1	機 能	810
23. 2	構 成	811
23. 3	レジスタ	812
23. 4	動 作	813
第24章	低電圧検出回路（LVI）	816
24. 1	機 能	816
24. 2	構 成	816
24. 3	レジスタ	817
24. 4	動 作	819
24. 4. 1	内部リセット信号として使用する場合	819
24. 4. 2	割り込みとして使用する場合	820
第25章	CRC機能	821
25. 1	機 能	821
25. 2	構 成	821
25. 3	レジスタ	822
25. 4	動 作	823
25. 5	使用方法	824

第26章 レギュレータ	826
26.1 概 要	826
26.2 動 作	828
第27章 オプション・バイト	829
27.1 プログラム例	830
第28章 フラッシュ・メモリ	831
28.1 特 徴	831
28.2 メモリ構成	832
28.3 機能概要	834
28.4 専用フラッシュ・メモリ・プログラマでの書き換え	838
28.4.1 プログラミング環境	838
28.4.2 通信方式	839
28.4.3 フラッシュ・メモリ制御	840
28.4.4 通信方式の選択	841
28.4.5 通信コマンド	842
28.4.6 オンボード・プログラミングでの端子処理	843
28.5 セルフ・プログラミングによる書き換え	848
28.5.1 概 要	848
28.5.2 特 徴	849
28.5.3 標準セルフ・プログラミング・フロー	850
28.5.4 フラッシュ関数一覧	851
28.5.5 端子処理	851
28.5.6 使用する内部資源	852
第29章 オンチップ・デバッグ機能	853
29.1 DCUを使用する方法	855
29.1.1 接続回路例	855
29.1.2 インタフェース信号	856
29.1.3 マスク機能	857
29.1.4 レジスタ	858
29.1.5 動 作	860
29.1.6 注意事項	861
29.2 DCUを使用しない方法	862
29.2.1 接続回路例	862
29.2.2 マスク機能	865
29.2.3 ユーザ資源の確保	865
29.2.4 注意事項	872
29.3 ROMセキュリティ機能	873
29.3.1 セキュリティID	873
29.3.2 設定方法	874
第30章 電気的特性（V850ES/JC3-L（40ピン））	875
30.1 絶対最大定格	875
30.2 容 量	876
30.3 動作条件	877
30.4 発振回路特性	878

30.4.1	メイン・クロック発振回路特性	878
30.4.2	サブクロック発振回路特性	881
30.4.3	PLL特性	883
30.4.4	内蔵発振器特性	883
30.5	レギュレータ特性	884
30.6	DC特性	885
30.6.1	端子特性	885
30.6.2	電源電流特性	887
30.6.3	データ保持特性 (STOPモード時)	888
30.7	AC特性	889
30.7.1	測定条件	889
30.7.2	パワー・オン／パワー・オフ／リセット・タイミング	890
30.8	周辺機能特性	891
30.8.1	割り込みタイミング	891
30.8.2	キー・リターン・タイミング	891
30.8.3	タイマ・タイミング	891
30.8.4	UARTタイミング	891
30.8.5	CSIBタイミング	892
30.8.6	I ² Cバス・モード	893
30.8.7	A/Dコンバータ	894
30.8.8	LVI回路特性	895
30.9	フラッシュ・メモリ・プログラミング特性	896
第31章 電気的特性 (V850ES/JC3-L (48ピン))		898
31.1	絶対最大定格	898
31.2	容量	899
31.3	動作条件	900
31.4	発振回路特性	901
31.4.1	メイン・クロック発振回路特性	901
31.4.2	サブクロック発振回路特性	904
31.4.3	PLL特性	906
31.4.4	内蔵発振器特性	906
31.5	レギュレータ特性	907
31.6	DC特性	908
31.6.1	端子特性	908
31.6.2	電源電流特性	910
31.6.3	データ保持特性 (STOPモード時)	911
31.7	AC特性	912
31.7.1	測定条件	912
31.7.2	パワー・オン／パワー・オフ／リセット・タイミング	913
31.8	周辺機能特性	914
31.8.1	割り込みタイミング	914
31.8.2	キー・リターン・タイミング	914
31.8.3	タイマ・タイミング	914
31.8.4	UARTタイミング	914
31.8.5	CSIBタイミング	915
31.8.6	I ² Cバス・モード	916
31.8.7	A/Dコンバータ	917
31.8.8	D/Aコンバータ	918
31.8.9	LVI回路特性	918
31.9	フラッシュ・メモリ・プログラミング特性	919

第32章 電気的特性 (V850ES/JE3-L)	921
32.1 絶対最大定格	921
32.2 容 量	922
32.3 動作条件	923
32.4 発振回路特性	924
32.4.1 メイン・クロック発振回路特性	924
32.4.2 サブクロック発振回路特性	927
32.4.3 PLL特性	929
32.4.4 内蔵発振器特性	929
32.5 レギュレータ特性	930
32.6 DC特性	931
32.6.1 端子特性	931
32.6.2 電源電流特性	933
32.6.3 データ保持特性 (STOPモード時)	934
32.7 AC特性	935
32.7.1 測定条件	935
32.7.2 パワー・オン/パワー・オフ/リセット・タイミング	936
32.8 周辺機能特性	937
32.8.1 割り込みタイミング	937
32.8.2 キー・リターン・タイミング	937
32.8.3 タイマ・タイミング	937
32.8.4 UARTタイミング	937
32.8.5 CSIBタイミング	938
32.8.6 I ² Cバス・モード	939
32.8.7 A/Dコンバータ	940
32.8.8 D/Aコンバータ	941
32.8.9 LVI回路特性	941
32.9 フラッシュ・メモリ・プログラミング特性	942
第33章 半田付け推奨条件	944
第34章 外形図	946
付録A 開発ツール	950
A.1 ソフトウェア・パッケージ	952
A.2 言語処理用ソフトウェア	952
A.3 制御ソフトウェア	952
A.4 デバッグ用ツール (ハードウェア)	953
A.4.1 IECUBE [®] QB-V850ESJX3L, QB-V850ESSX2を使用する場合	953
A.4.2 MINICUBE QB-V850MINILを使用する場合	955
A.4.3 MINICUBE2 QB-MINI2を使用する場合	955
A.5 デバッグ用ツール (ソフトウェア)	957
A.6 組み込み用ソフトウェア	958
A.7 フラッシュ・メモリ書き込み用ツール	959
付録B 製品間の主な違い	960
付録C レジスタ索引	961

付録D 命令セット一覧.....	971
D.1 凡 例	971
D.2 インストラクション・セット（アルファベット順）	974

第1章 イン트로ダクション

V850ES/JC3-L, V850ES/JE3-Lは、ルネサス エレクトロニクスのリアルタイム制御向けシングルチップ・マイクロコントローラV850マイコンのロウ・パワー・シリーズの1製品です。

1.1 概 説

V850ES/JC3-L, V850ES/JE3-Lは、V850ES CPUコアを使用し、ROM/RAM、タイマ／カウンタ、シリアル・インタフェース、A/Dコンバータ、D/Aコンバータなどの周辺機能を内蔵した32ビット・シングルチップ・マイクロコントローラです。

V850ES/JC3-L, V850ES/JE3-Lは、高いリアルタイム応答性と1クロック・ピッチの基本命令に加え、デジタル・サーボ制御の応用に最適な命令として、ハードウェア乗算器による乗算命令、飽和演算命令、ビット操作命令などを持っています。また、リアルタイム制御システムとして、超低消費電力を必要とするPC周辺機器、ECR周辺機器、産業機器などへの応用が、きわめて高いコスト・パフォーマンスで実現できます。

表1-1 V850ES/JC3-Lの構成一覧 (1/2)

愛 称		V850ES/JC3-L				
品 名		μ PD70F3797	μ PD70F3798	μ PD70F3799	μ PD70F3800	μ PD70F3838
内部メモリ	フラッシュ・メモリ	16 Kバイト	32 Kバイト	64 Kバイト	128 Kバイト	256 Kバイト
	RAM	8 Kバイト	8 Kバイト	8 Kバイト	8 Kバイト	16 Kバイト
メモリ空間		64 Mバイト				
汎用レジスタ		32ビット×32レジスタ				
クロック	メイン・クロック (発振周波数)	セラミック／クリスタル (PLLモード時: $f_x = 2.5 \sim 5$ MHz (4通倍), クロック・スルー・モード時: $f_x = 2.5 \sim 10$ MHz) 外部クロック (PLLモード時: $f_x = 2.5 \sim 5$ MHz (4通倍), クロック・スルー・モード時: $f_x = 2.5 \sim 5$ MHz)				
	サブクロック (発振周波数)	クリスタル ($f_{XT} = 32.768$ kHz)				
	内蔵発振器	$f_R = 220$ kHz (TYP.)				
	最小命令実行時間	50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)				
I/Oポート		入出力: 27本 (5 Vトレラント/N-chオープン・ドレイン出力選択可能: 17本)				
タイマ	16ビットTMP	6チャンネル				
	16ビットTMQ	1チャンネル				
	16ビットTMM	1チャンネル				
	時計用タイマ	1チャンネル				
	RTC	1チャンネル				
	WDT	1チャンネル				
リアルタイム出力機能		4ビット×1チャンネル, 2ビット×1チャンネルまたは6ビット×1チャンネル				
10ビットA/Dコンバータ		5チャンネル				
8ビットD/Aコンバータ		—				
インタフェース	CSIB	1チャンネル				
	UARTA/CSIB	—				
	CSIB/I ² Cバス	1チャンネル				
	UARTA/I ² Cバス	1チャンネル				
	UARTA	1チャンネル				
DMAコントローラ		4チャンネル (転送対象: 内蔵周辺I/O, 内蔵RAM)				
割り込み要因	外部	6 (6) ^注				
	内部	42				
パワー・セーブ機能		HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLE/低電圧STOP/低電圧サブクロック/低電圧サブIDLEモード				
リセット要因		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)				
CRC機能		8ビット単位のデータに対して16ビットの誤り検出用コードを生成				
オンチップ・デバッグ		MINICUBE®, MINICUBE2対応				
動作電源電圧		2.2 V~3.6 V@5 MHz, 2.7 V~3.6 V@20 MHz				
動作周囲温度		-40~+85°C				
パッケージ		40ピンWQFN (6×6 mm)				

注 () 内はSTOPモード解除可能な外部割り込み本数です。

表1-1 V850ES/JC3-Lの構成一覧 (2/2)

愛 称		V850ES/JC3-L				
品 名		μ PD70F3801	μ PD70F3802	μ PD70F3803	μ PD70F3804	μ PD70F3839
内部メモリ	フラッシュ・メモリ	16 Kバイト	32 Kバイト	64 Kバイト	128 Kバイト	256 Kバイト
	RAM	8 Kバイト	8 Kバイト	8 Kバイト	8 Kバイト	16 Kバイト
メモリ空間		64 Mバイト				
汎用レジスタ		32ビット×32レジスタ				
クロック	メイン・クロック (発振周波数)	セラミック／クリスタル (PLLモード時: $f_x = 2.5 \sim 5$ MHz (4通倍), クロック・スルー・モード時: $f_x = 2.5 \sim 10$ MHz) 外部クロック (PLLモード時: $f_x = 2.5 \sim 5$ MHz (4通倍), クロック・スルー・モード時: $f_x = 2.5 \sim 5$ MHz)				
	サブクロック (発振周波数)	クリスタル ($f_{XT} = 32.768$ kHz)				
	内蔵発振器	$f_R = 220$ kHz (TYP.)				
	最小命令実行時間	50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)				
I/Oポート		入出力: 34本 (5 Vトレラント/N-chオープン・ドレイン出力選択可能: 20本)				
タイマ	16ビットTMP	6チャンネル				
	16ビットTMQ	1チャンネル				
	16ビットTMM	1チャンネル				
	時計用タイマ	1チャンネル				
	RTC	1チャンネル				
	WDT	1チャンネル				
リアルタイム出力機能		4ビット×1チャンネル, 2ビット×1チャンネルまたは6ビット×1チャンネル				
10ビットA/Dコンバータ		6チャンネル				
8ビットD/Aコンバータ		1チャンネル				
インタフェース	CSIB	2チャンネル				
	UARTA/CSIB	1チャンネル				
	CSIB/I ² Cバス	1チャンネル				
	UARTA/I ² Cバス	2チャンネル				
	UARTA	—				
DMAコントローラ		4チャンネル (転送対象: 内蔵周辺I/O, 内蔵RAM)				
割り込み要因	外部	6 (6) ^注				
	内部	46				
パワー・セーブ機能		HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLE/低電圧STOP/低電圧サブクロック/低電圧サブIDLEモード				
リセット要因		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)				
CRC機能		8ビット単位のデータに対して16ビットの誤り検出用コードを生成				
オンチップ・デバッグ		MINICUBE, MINICUBE2対応				
動作電源電圧		2.2 V~3.6 V@5 MHz, 2.7 V~3.6 V@20 MHz				
動作周囲温度		-40~+85°C				
パッケージ		48ピンLQFP (7×7 mm), 48ピンWQFN (7×7 mm)				

注 () 内はSTOPモード解除可能な外部割り込み本数です。

表1-2 V850ES/JE3-Lの構成一覧

愛 称		V850ES/JE3-L				
品 名		μ PD70F3805	μ PD70F3806	μ PD70F3807	μ PD70F3808	μ PD70F3840
内部メモリ	フラッシュ・メモリ	16 Kバイト	32 Kバイト	64 Kバイト	128 Kバイト	256 Kバイト
	RAM	8 Kバイト	8 Kバイト	8 Kバイト	8 Kバイト	16 Kバイト
メモリ空間		64 Mバイト				
汎用レジスタ		32ビット×32レジスタ				
クロック	メイン・クロック (発振周波数)	セラミック／クリスタル (PLLモード時: $f_x = 2.5 \sim 5$ MHz (4通倍), クロック・スルー・モード時: $f_x = 2.5 \sim 10$ MHz) 外部クロック (PLLモード時: $f_x = 2.5 \sim 5$ MHz (4通倍), クロック・スルー・モード時: $f_x = 2.5 \sim 5$ MHz)				
	サブクロック (発振周波数)	クリスタル ($f_{XT} = 32.768$ kHz)				
	内蔵発振器	$f_R = 220$ kHz (TYP.)				
	最小命令実行時間	50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時)				
I/Oポート		入出力: 50本 (5 Vトレラント/N-chオープン・ドレイン出力選択可能: 28本)				
タイマ	16ビットTMP	6チャンネル				
	16ビットTMQ	1チャンネル				
	16ビットTMM	1チャンネル				
	時計用タイマ	1チャンネル				
	RTC	1チャンネル				
	WDT	1チャンネル				
リアルタイム出力機能		4ビット×1チャンネル, 2ビット×1チャンネルまたは6ビット×1チャンネル				
10ビットA/Dコンバータ		10チャンネル				
8ビットD/Aコンバータ		1チャンネル				
インタフェース	CSIB	3チャンネル				
	UARTA/CSIB	1チャンネル				
	CSIB/I ² Cバス	1チャンネル				
	UARTA/I ² Cバス	2チャンネル				
	UARTA	—				
DMAコントローラ		4チャンネル (転送対象: 内蔵周辺I/O, 内蔵RAM)				
割り込み要因	外部	9 (9) ^注				
	内部	48				
パワー・セーブ機能		HALT/IDLE1/IDLE2/STOP/サブクロック/サブIDLE/低電圧STOP/低電圧サブクロック/低電圧サブIDLEモード				
リセット要因		RESET端子入力, ウォッチドッグ・タイマ2 (WDT2), クロック・モニタ (CLM), 低電圧検出回路 (LVI)				
CRC機能		8ビット単位のデータに対して16ビットの誤り検出用コードを生成				
オンチップ・デバッグ		MINICUBE, MINICUBE2対応				
動作電源電圧		2.2 V~3.6 V@5 MHz, 2.7 V~3.6 V@20 MHz				
動作周囲温度		-40~+85°C				
パッケージ		64ピンLQFP (10×10 mm)				

注 () 内はSTOPモード解除可能な外部割り込み本数です。

1.2 特 徴

- 最小命令実行時間 50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時 : V_{DD} = 2.7 V~3.6 V)
 200 ns (メイン・クロック (f_{xx}) = 5 MHz動作時 : V_{DD} = 2.2 V~3.6 V)
 30.5 μs (サブクロック (f_{XT}) = 32.768 kHz動作時)
- 汎用レジスタ 32ビット×32本
- CPUの特徴
 - 符号付き乗算 (16×16→32) : 1-2クロック)
 - 符号付き乗算 (32×32→64) : 1-5クロック)
 - 飽和演算 (オーバフロー／アンダフロー検出機能付き)
 - 32ビットのRISCアーキテクチャをベースにし、5段パイプライン構造でほとんどの命令を1クロックで実行可能
 - ハーバード・アーキテクチャにより、内蔵ROMからの命令フェッチと内蔵RAMへのアクセスが独立して動作
 - 可変長命令により高いコード効率を実現
 - 32ビット・シフト命令 : 1クロック
 - ビット操作命令
 - ロング／ショート形式を持つロード／ストア命令
- メモリ空間 64 Mバイト・リニア・アドレス空間 (プログラム／データ共用)
 - ・内蔵メモリ RAM : 8/16 Kバイト (表1-1, 表1-2参照)
 - フラッシュ・メモリ : 16/32/64/128/256 Kバイト (表1-1, 表1-2参照)
- 割り込み／例外

		内部			外部		
		ノンマスク ブル	マスクブル	計	ノンマスク ブル	マスクブル	計
V850ES/JC3-L (40ピン)	μPD70F3797	1	42	43	1	5	6
	μPD70F3798						
	μPD70F3799						
	μPD70F3800						
	μPD70F3838						
V850ES/JC3-L (48ピン)	μPD70F3801	1	46	47	1	5	6
	μPD70F3802						
	μPD70F3803						
	μPD70F3804						
	μPD70F3839						
V850ES/JE3-L	μPD70F3805	1	48	49	1	8	9
	μPD70F3806						
	μPD70F3807						
	μPD70F3808						
	μPD70F3840						

ソフトウェア例外 : 32要因
 例外トラップ : 2要因

○ポート 入出力ポート：27/34/50 (表1-1, 表1-2 参照)

○タイマ機能

16ビット・インターバル・タイマM (TMM) : 1ch

16ビット・タイマ/イベント・カウンタP (TMP) : 6ch

16ビット・タイマ/イベント・カウンタQ (TMQ) : 1ch

時計用タイマ : 1ch

ウォッチドッグ・タイマ : 1ch

注 製品によって使用できる機能が異なります。詳細は第6章 16ビット・タイマ/イベント・カウンタ (TMP) を参照してください。

○リアルタイム・カウンタ：1ch

○リアルタイム出力ポート 6ビット×1ch

○シリアル・インタフェース (搭載本数の詳細は表1-1, 表1-2を参照してください)

アシンクロナス・シリアル・インタフェースA (UARTA)

クロック同期式シリアル・インタフェースB (CSIB)

I²Cバス・インタフェース (I²C)

○A/Dコンバータ 10ビット分解能：5/6/10ch (表1-1, 表1-2参照)

○D/Aコンバータ 8ビット分解能：0/1ch (表1-1, 表1-2参照)

○DMAコントローラ：4ch

○DCU (デバッグ・コントロール・ユニット) : JTAGインタフェース

○クロック・ジェネレータ メイン・クロック/サブクロック動作

CPUクロック7段階 (f_{xx}, f_{xx}/2, f_{xx}/4, f_{xx}/8, f_{xx}/16, f_{xx}/32, f_{xt})

クロック・スルー・モード/PLLモード選択可

○内蔵発振クロック：220 kHz (TYP.)

○パワー・セーブ機能 HALT/IDLE1/IDLE2/STOP/低電圧STOP/サブクロック/サブIDLE/低電圧サブクロック/低電圧サブIDLEモード

○パッケージ V850ES/JC3-L

40ピン・プラスチックWQFN (6×6)

48ピン・プラスチックLQFP (ファインピッチ) (7×7)

48ピン・プラスチックWQFN (7×7)

V850ES/JE3-L

64ピン・プラスチックLQFP (ファインピッチ) (10×10)

○電源電圧 V_{DD} = 2.2 V~3.6 V (5 MHz)

V_{DD} = 2.7 V~3.6 V (20 MHz)

1. 3 応用分野

デジタル・カメラ，電力メータ，携帯端末，情報家電，その他民生機器

1. 4 オータ情報

1. 4. 1 V850ES/JC3-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3797K8-4B4-AX	40ピン・プラスチックWQFN (6×6)	16 Kバイト
μ PD70F3798K8-4B4-AX	"	32Kバイト
μ PD70F3799K8-4B4-AX	"	64 Kバイト
μ PD70F3800K8-4B4-AX	"	128 Kバイト
μ PD70F3838K8-4B4-AX	"	256 Kバイト
μ PD70F3801GA-GAM-AX	48ピン・プラスチックLQFP (ファインピッチ) (7×7)	16 Kバイト
μ PD70F3802GA-GAM-AX	"	32 Kバイト
μ PD70F3803GA-GAM-AX	"	64 Kバイト
μ PD70F3804GA-GAM-AX	"	128 Kバイト
μ PD70F3839GA-GAM-AX	"	256 Kバイト
μ PD70F3801K8-5B4-AX	48ピン・プラスチックWQFN (7×7)	16 Kバイト
μ PD70F3802K8-5B4-AX	"	32 Kバイト
μ PD70F3803K8-5B4-AX	"	64 Kバイト
μ PD70F3804K8-5B4-AX	"	128 Kバイト
μ PD70F3839K8-5B4-AX	"	256 Kバイト

備考 V850ES/JC3-Lは，鉛フリー製品です。

1. 4. 2 V850ES/JE3-L

オーダ名称	パッケージ	内蔵フラッシュ・メモリ
μ PD70F3805GB-GAH-AX	64ピン・プラスチックLQFP (ファインピッチ) (10×10)	16 Kバイト
μ PD70F3806GB-GAH-AX	"	32 Kバイト
μ PD70F3807GB-GAH-AX	"	64 Kバイト
μ PD70F3808GB-GAH-AX	"	128 Kバイト
μ PD70F3840GB-GAH-AX	"	256 Kバイト

備考 V850ES/JE3-Lは，鉛フリー製品です。

1.5 端子接続図 (Top View)

• V850ES/JC3-L

40ピン・プラスチックWQFN (6×6)

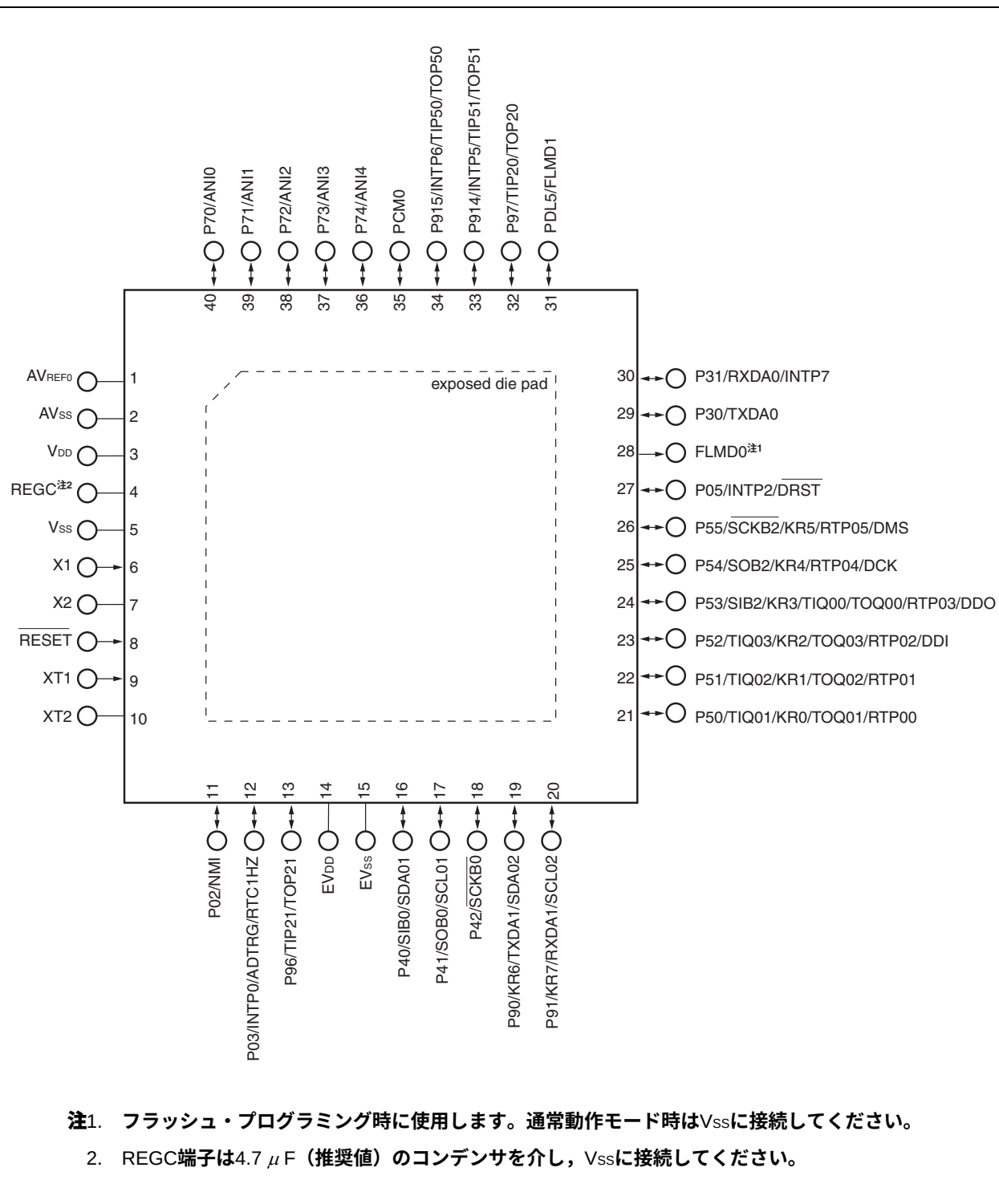
μ PD70F3797K8-4B4-AX

μ PD70F3798K8-4B4-AX

μ PD70F3799K8-4B4-AX

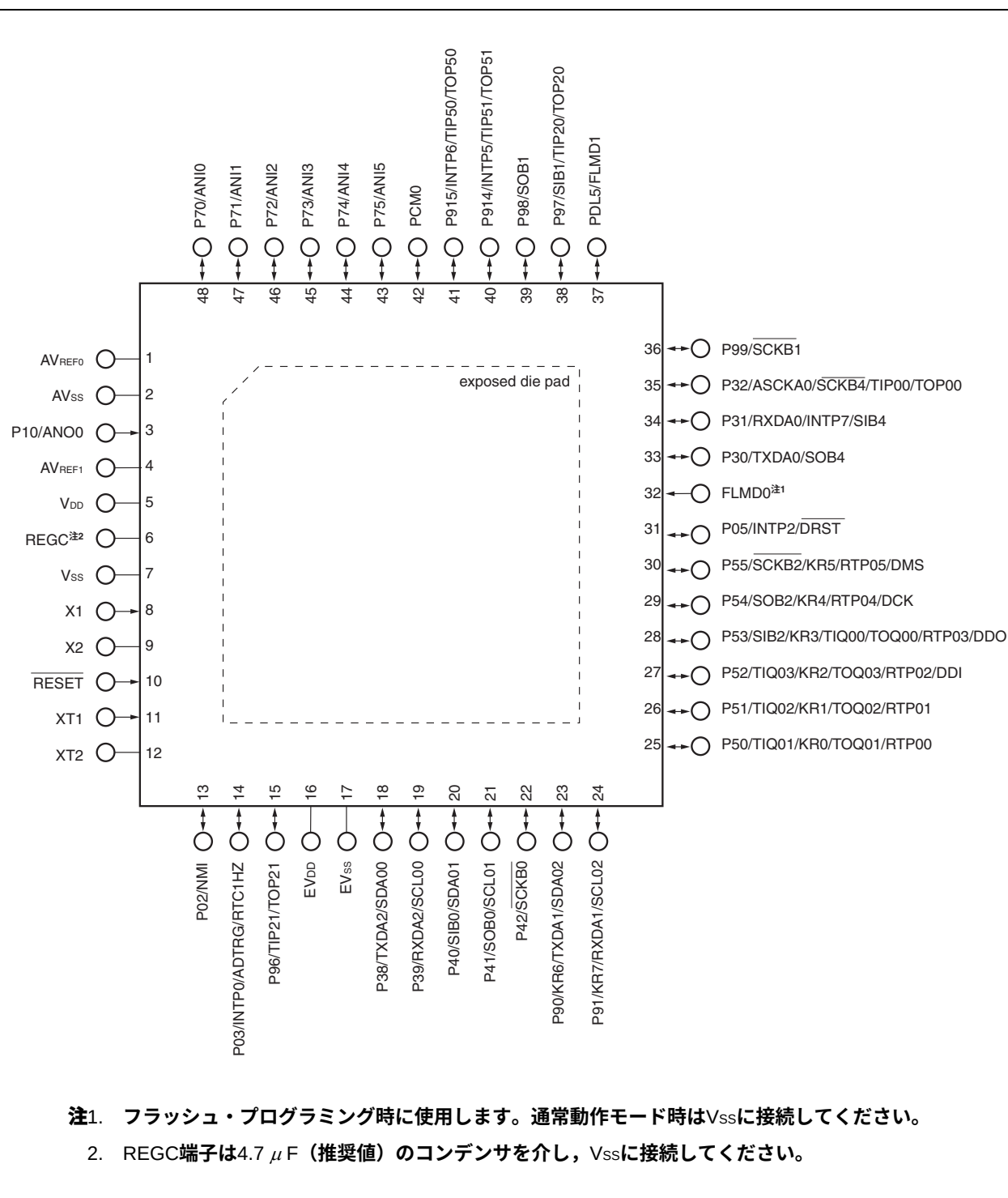
μ PD70F3800K8-4B4-AX

μ PD70F3838K8-4B4-AX



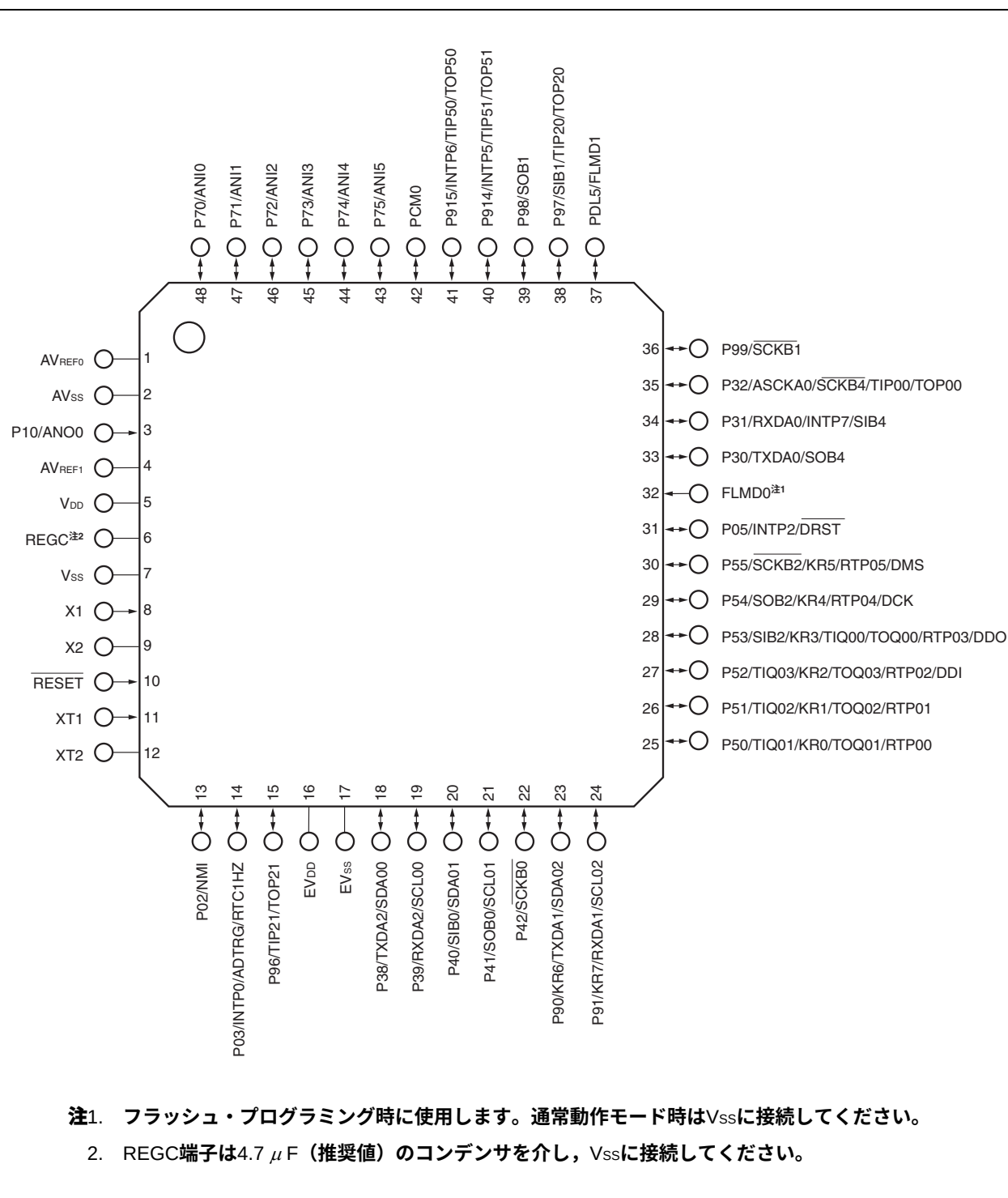
• V850ES/JC3-L

48ピン・プラスチックWQFN (7×7)

 μ PD70F3801K8-5B4-AX μ PD70F3802K8-5B4-AX μ PD70F3803K8-5B4-AX μ PD70F3804K8-5B4-AX μ PD70F3839K8-5B4-AX

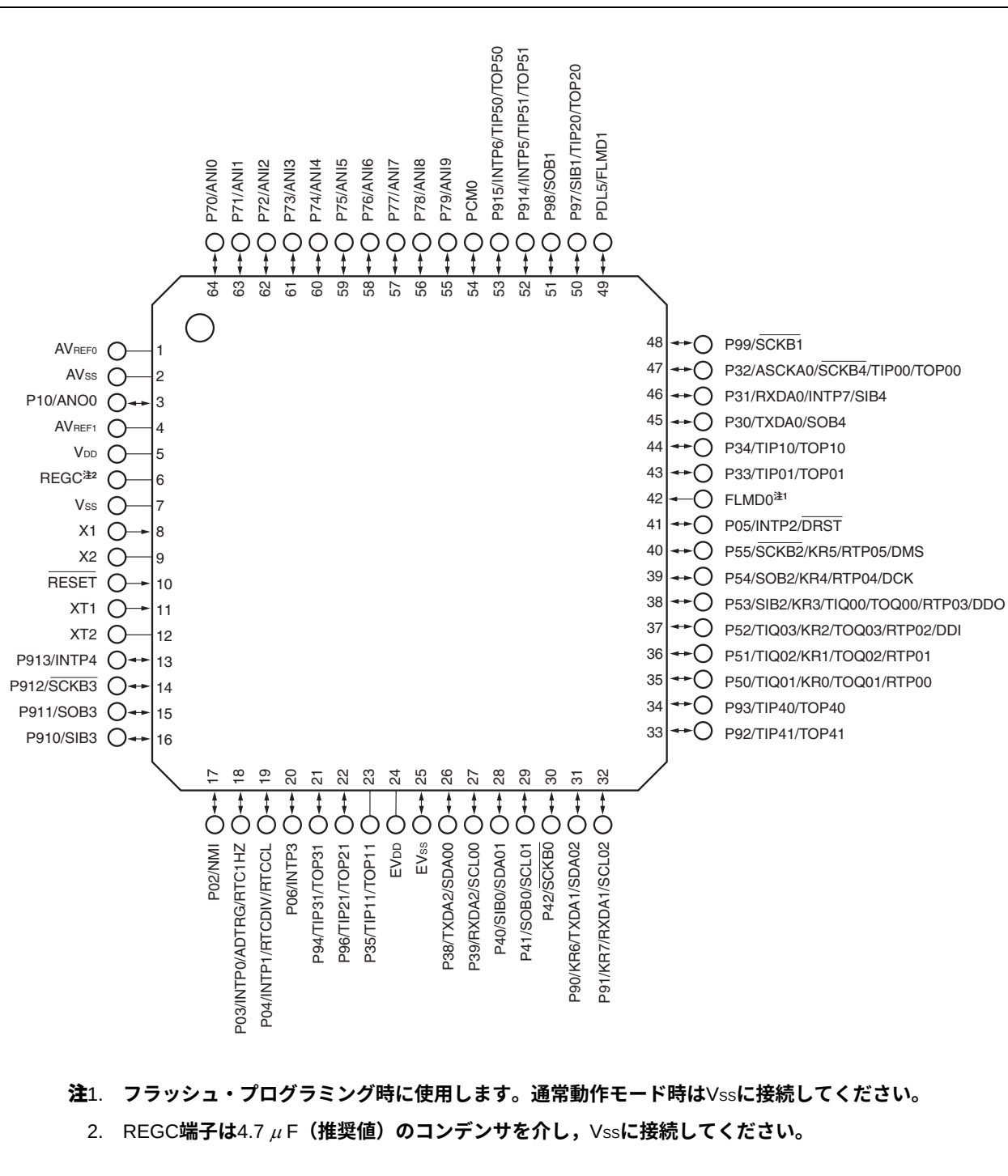
• V850ES/JC3-L

48ピン・プラスチックLQFP（ファインピッチ）（7×7）

 μ PD70F3801GA-GAM-AX μ PD70F3802GA-GAM-AX μ PD70F3803GA-GAM-AX μ PD70F3804GA-GAM-AX μ PD70F3839GA-GAM-AX

• V850ES/JE3-L

64ピン・プラスチックLQFP（ファインピッチ）（10×10）

 μ PD70F3805GB-GAH-AX μ PD70F3806GB-GAH-AX μ PD70F3807GB-GAH-AX μ PD70F3808GB-GAH-AX μ PD70F3840GB-GAH-AX

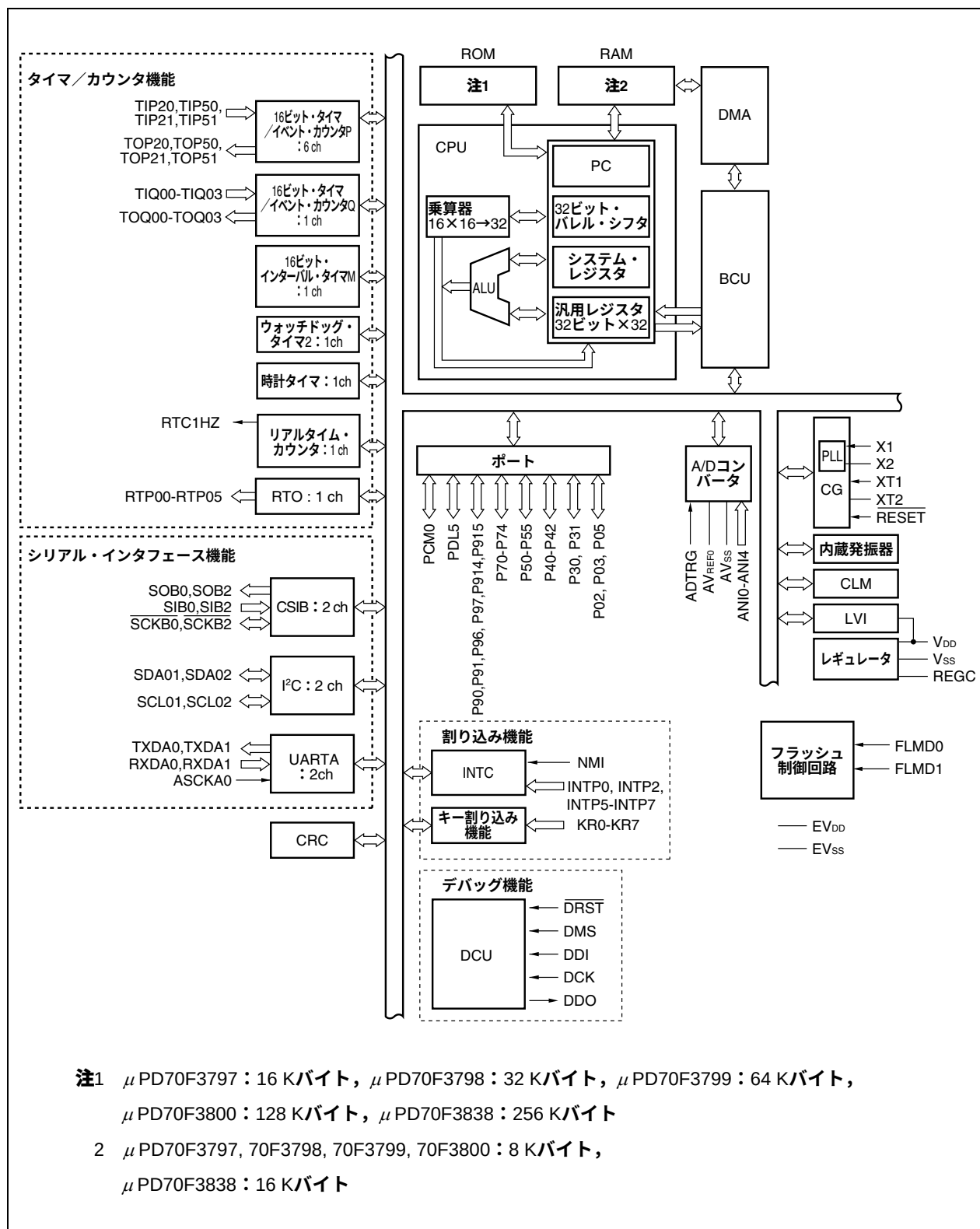
端子機能の名称

ADTRG	: A/D Trigger Input	$\overline{\text{RESET}}$	: Reset
ANI0-ANI9	: Analog Input	RTC1HZ, RTCCL,	: Real-time Counter Clock Output
ANO0	: Analog Output	RTCDIV	
ASCKA0	: Asynchronous Serial Clock	RTP00-RTP05	: Real-time Output Port
AV _{REF0} , AV _{REF1}	: Analog Reference Voltage	RXDA0-RXDA2	: Receive Data
AV _{SS}	: Analog V _{ss}	$\overline{\text{SCKB0-SCKB4}}$	: Serial Clock
DCK	: Debug Clock	SCL00-SCL02	: Serial Clock
DDI	: Debug Data Input	SDA00-SDA02	: Serial Data
DDO	: Debug Data Output	SIB0-SIB4	: Serial Input
DMS	: Debug Mode Select	SOB0-SOB4	: Serial Output
$\overline{\text{DRST}}$	: Debug Reset	TIP00, TIP01,	: Timer Input
EV _{DD}	: Power Supply for External Pin	TIP10, TIP11,	
EV _{SS}	: Ground for External Pin	TIP20, TIP21,	
FLMD0, FLMD1	: Flash Programming Mode	TIP31,	
INTP0-INTP7	: External Interrupt Input	TIP40, TIP41,	
KR0-KR7	: Key Return	TIP50, TIP51	
NMI	: Non-maskable Interrupt Request	TIQ00-TIQ03	: Timer Output
P02-P06	: Port 0	TOP00, TOP01,	
P10	: Port 1	TOP10, TOP11,	
P30-P35, P38, P39	: Port 3	TOP20, TOP21,	
P40-P42	: Port 4	TOP31,	
P50-P55	: Port 5	TOP40, TOP41,	
P70-P79	: Port 7	TOP50, TOP51	
P90-P94,	: Port 9	TOQ00-TOQ03	
P96-P915		TXDA0-TXDA2	: Transmit Data
PCM0	: Port CM	V _{DD}	: Power Supply
PDL15	: Port DL	V _{SS}	: Ground
REGC	: Regulator Control	X1, X2	: Crystal for Main Clock
		XT1, XT2	: Crystal for Subclock

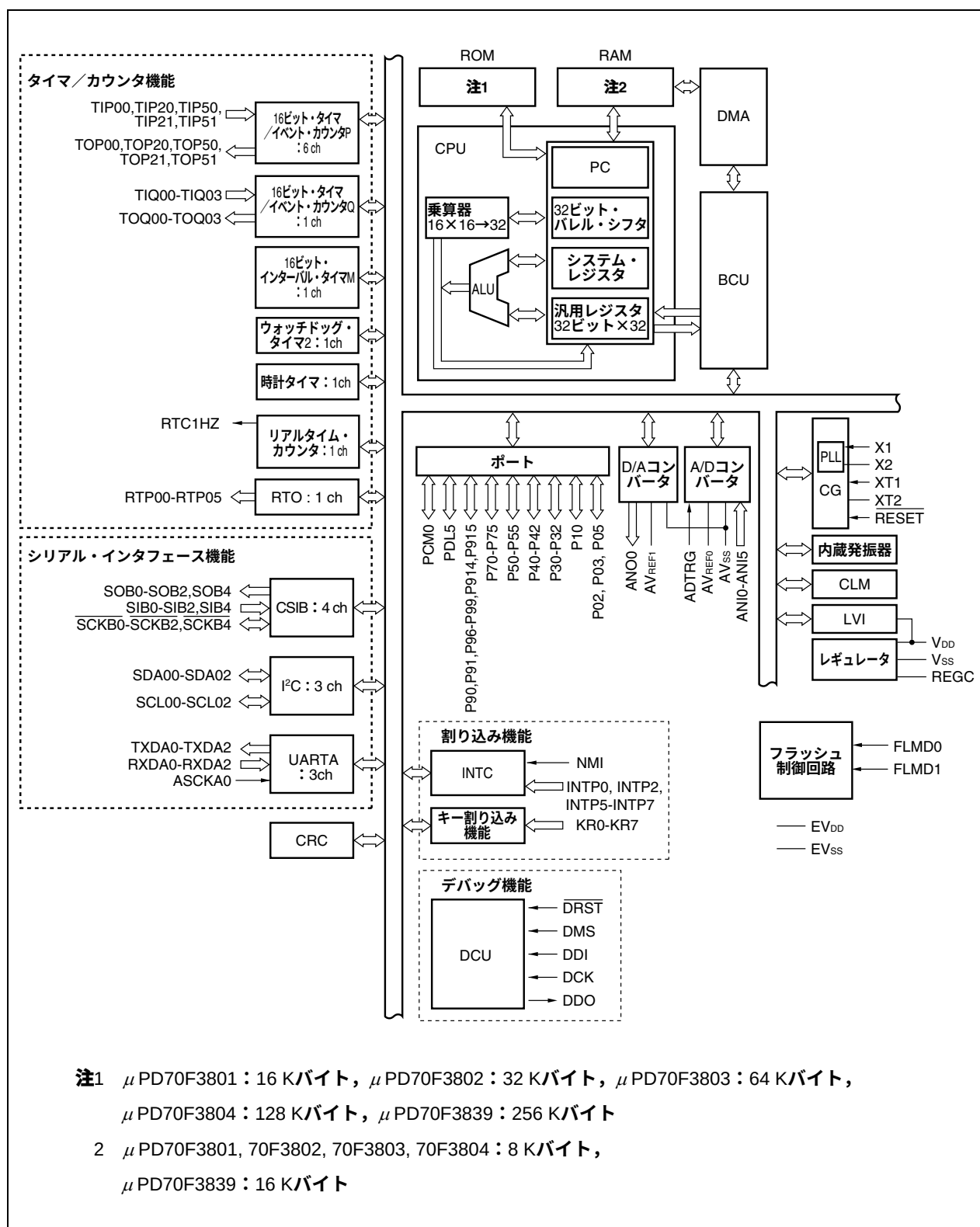
1.6 機能ブロック構成

1.6.1 内部ブロック図

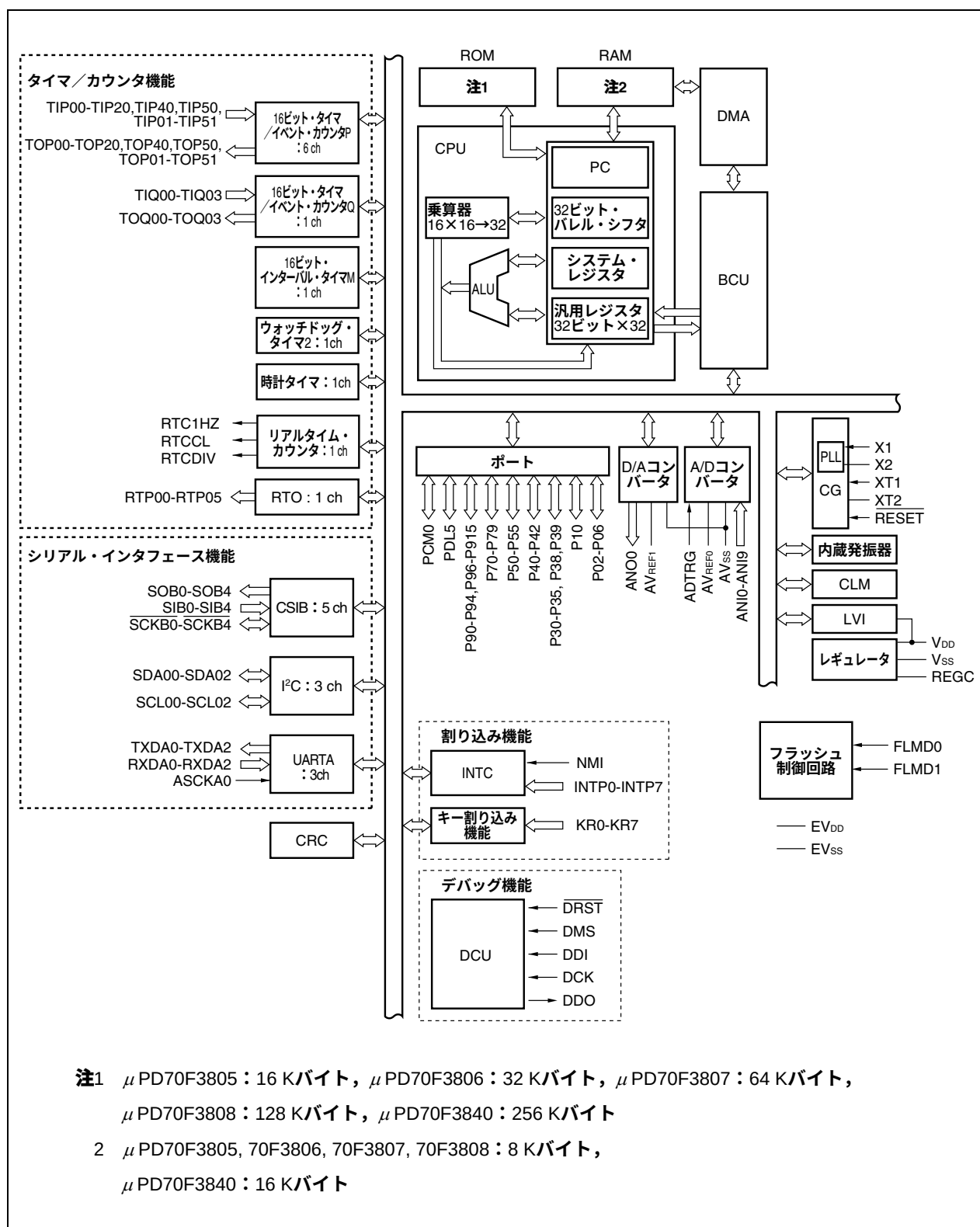
(1) V850ES/JC3-L (40ピン)



(2) V850ES/JC3-L (48ピン)



(3) V850ES/JE3-L (64ピン)



1. 6. 2 内部ユニット

(1) CPU

アドレス計算、算術論理演算、データ転送などのほとんどの命令処理を、5段パイプライン制御により1クロックで実行できます。

乗算器（16ビット×16ビット→32ビット）、バレル・シフタ（32ビット）などの専用ハードウェアを内蔵し、複雑な処理の高速化を図っています。

(2) バス・コントロール・ユニット（BCU）

内部バスを制御します。

(3) フラッシュ・メモリ（ROM）

0000000H-003FFFFH/0000000H-001FFFFH/0000000H-000FFFFH/0000000H-0007FFFH/0000000H-0003FFFF番地にマッピングされる256 K/128 K/64 K/32 K/16 Kバイトのフラッシュ・メモリです。命令フェッチ時にCPUから1クロックでアクセスできます。

(4) RAM

3FFB000H-3FFEFFFH/3FFD000H-3FFEFFFH番地にマッピングされる16 K/8 KバイトのRAMです。データ・アクセス時にCPUから1クロックでアクセスできます。

(5) 割り込みコントローラ（INTC）

内蔵周辺ハードウェア、および外部からのハードウェア割り込み要求（NMI, INTP0-INTP7）を処理します。これらの割り込み要求は、8レベルの割り込み優先順位を指定でき、多重割り込み制御ができます。

(6) クロック・ジェネレータ（CG）

メイン・クロック発振回路とサブクロック発振回路があり、メイン・クロック発振周波数（ f_x ）とサブクロック周波数（ f_{XT} ）を生成しています。メイン・クロック周波数（ f_{xx} ）として、 f_x をそのまま使用するクロック・スルー・モードと、 f_x を4逓倍して使用するPLLモードがあります。

CPUクロック周波数（ f_{CPU} ）としては、 f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{XT} の7種類から選択できます。

(7) 内蔵発振器

内蔵発振器を搭載しています。発振周波数は220 kHz（TYP.）です。ウォッチドッグ・タイマ2とタイマMへクロック供給します。

(8) タイマ／カウンタ

16ビットのタイマ／イベント・カウンタP（TMP）を6チャンネル、16ビットのタイマ／イベント・カウンタQ（TMQ）を1チャンネル、16ビットのインターバル・タイマM（TMM）を1チャンネル内蔵しています。

(9) 時計用タイマ

サブクロック (32.768 kHz) またはプリスケアラからの f_{BRG} (32.768 kHz) から時計カウント用の基準時間 (0.5秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。

(10) リアルタイム・カウンタ (時計用)

サブクロック (32.768 kHz) またはメイン・クロックから時計カウント用の基準時間 (1秒) をカウントします。メイン・クロックによるインターバル・タイマとしても同時に使用できます。年, 月, 曜日, 日, 時, 分, 秒の専用ハードウェア・カウンタを持ち, 最長99年までカウントが可能です。

(11) ウォッチドッグ・タイマ²

プログラムの暴走, システム異常などを検出するためのウォッチドッグ・タイマを内蔵しています。

ソース・クロックとして内蔵発振クロック, メイン・クロック, サブクロックを選択できます。

オーバフローでノンマスカブル割り込み要求信号 (INTWDT2), またはシステム・リセット信号 (WDT2RES) を発生します。

(12) シリアル・インタフェース

V850ES/JC3-L, V850ES/JE3-Lには, シリアル・インタフェースとしてアシンクロナス・シリアル・インタフェースA (UARTA), 3線式可変長シリアル・インタフェースB (CSIB), I²Cバス・インタフェース (I²C) を内蔵しています。

(13) A/Dコンバータ

10/6/5本のアナログ入力端子を持つ10ビットA/Dコンバータです。逐次変換方式で変換します。

(14) D/Aコンバータ

8ビット分解能のD/Aコンバータを1/0チャンネル内蔵しています。R-2Rラダー方式です。

(15) DMAコントローラ

4チャンネルのDMAコントローラを内蔵しています。内蔵周辺I/Oによる割り込み要求に基づいて, 内蔵RAM, 内蔵周辺I/O間でデータを転送します。

(16) キー割り込み機能

8チャンネルのキー入力端子に立ち下がりエッジを入力することによって, キー割り込み要求信号 (INTKR) を発生させることができます。

(17) リアルタイム出力機能

あらかじめ設定しておいた6ビット・データをタイマのコンペア・レジスタの一致信号により出力ラッチに転送します。

(18) CRC機能

8ビットのデータ設定により、16ビットのCRC（Cyclic Redundancy Check）コードを生成する、CRC演算回路を内蔵します。

(19) DCU（デバッグ・コントロール・ユニット）

JTAG（Joint Test Action Group）の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。通常ポート機能とオンチップ・デバッグ機能の切り替えは、制御端子の入力レベルとOCDMレジスタの2つで行います。

(20) ポート

次に示すように、汎用ポートとしての機能と制御端子の機能があります。

表1-2 ポートの構成（V850ES/JC3-L（40ピン））

ポート	入出力	兼用機能
P0	3ビット入出力	NMI，外部割り込み，A/Dコンバータ・トリガ，デバッグ・リセット，リアルタイム・カウンタ出力
P3	2ビット入出力	外部割り込み，シリアル・インタフェース
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	タイマ入出力，リアルタイム出力，キー割り込み入力，シリアル・インタフェース，デバッグ入出力
P7	5ビット入出力	A/Dコンバータ・アナログ入力
P9	6ビット入出力	シリアル・インタフェース，キー割り込み入力，タイマ入出力，外部割り込み
PCM	1ビット入出力	—
PDL	1ビット入出力	—

表1-3 ポートの構成（V850ES/JC3-L（48ピン））

ポート	入出力	兼用機能
P0	3ビット入出力	NMI，外部割り込み，A/Dコンバータ・トリガ，デバッグ・リセット，リアルタイム・カウンタ出力
P1	1ビット入出力	D/Aコンバータ・アナログ出力
P3	5ビット入出力	外部割り込み，シリアル・インタフェース，タイマ入出力
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	タイマ入出力，リアルタイム出力，キー割り込み入力，シリアル・インタフェース，デバッグ入出力
P7	6ビット入出力	A/Dコンバータ・アナログ入力
P9	8ビット入出力	シリアル・インタフェース，キー割り込み入力，タイマ入出力，外部割り込み
PCM	1ビット入出力	—
PDL	1ビット入出力	—

表1-4 ポートの構成 (V850ES/JE3-L)

ポート	入出力	兼用機能
P0	5ビット入出力	NMI, 外部割り込み, A/Dコンバータ・トリガ, デバッグ・リセット, リアルタイム・カウンタ出力
P1	1ビット入出力	D/Aコンバータ・アナログ出力
P3	8ビット入出力	外部割り込み, シリアル・インタフェース, タイマ入出力
P4	3ビット入出力	シリアル・インタフェース
P5	6ビット入出力	タイマ入出力, リアルタイム出力, キー割り込み入力, シリアル・インタフェース, デバッグ入出力
P7	10ビット入出力	A/Dコンバータ・アナログ入力
P9	15ビット入出力	シリアル・インタフェース, キー割り込み入力, タイマ入出力, 外部割り込み
PCM	1ビット入出力	—
PDL	1ビット入出力	—

第2章 端子機能

2.1 端子機能一覧

V850ES/JC3-L, V850ES/JE3-Lの端子機能を次に示します。

端子の入出力バッファ電源には、 AV_{REF0} 、 AV_{REF1} 、 EV_{DD} の2/3系統があります。それぞれの電源と端子の関係を次に示します。

表2-1 各端子の入出力バッファ電源（V850ES/JC3-L：40ピン製品）

電 源	対応する端子
AV_{REF0}	ポート7
EV_{DD}	$\overline{RESET}$ ，ポート0, 3-5, 9, CM, DL, FLMD0

表2-2 各端子の入出力バッファ電源（V850ES/JC3-L：48ピン製品）

電 源	対応する端子
AV_{REF0}	ポート7
AV_{REF1}	ポート1
EV_{DD}	$\overline{RESET}$ ，ポート0, 3-5, 9, CM, DL, FLMD0

表2-3 各端子の入出力バッファ電源（V850ES/JE3-L：64ピン製品）

電 源	対応する端子
AV_{REF0}	ポート7
AV_{REF1}	ポート1
EV_{DD}	$\overline{RESET}$ ，ポート0, 3-5, 9, CM DL, FLMD0

(1) ポート機能

(1/2)

機能 名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
P02	11	13	17	入出力	ポート0 (4.3.1参照) 5ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	NMI
P03	12	14	18			INTP0/ADTRG/RTC1HZ
P04	—	—	19			INTP1/RTCDIV/RTCCL
P05 ^注	27	31	41			INTP2/DRST
P06	—	—	20			INTP3
P10	—	3	3	入出力	ポート1 (4.3.2参照) 1ビット入出力ポート (V850ES/JC3-L: 48ピン, V850ES/JE3-Lのみ) 1ビット単位で入力／出力の指定が可能	AN00
P30	—	33	45	入出力	ポート3 (4.3.3参照) 2ビット入出力ポート (V850ES/JC3-L: 40ピン) 5ビット入出力ポート (V850ES/JC3-L: 48ピン) 8ビット入出力ポート (V850ES/JE3-L) 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	TXDA0/SOB4
	29	—	—			TXDA0
P31	—	34	46			RXDA0/INTP7/SIB4
	30	—	—			RXDA0/INTP7
P32	—	35	47			ASCKA0/SCKB4/TIP00/TOP00
P33	—	—	43			TIP01/TOP01
P34	—	—	44			TIP10/TOP10
P35	—	—	23			TIP11/TOP11
P38	—	18	26			TXDA2/SDA00
P39	—	19	27			RXDA2/SCL00
P40	16	20	28	入出力	ポート4 (4.3.4参照) 3ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	SIB0/SDA01
P41	17	21	29			SOB0/SCL01
P42	18	22	30			SCKB0
P50	21	25	35	入出力	ポート5 (4.3.5参照) 6ビット入出力ポート 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5Vトレラント対応	TIQ01/KR0/TOQ01/RTP00
P51	22	26	36			TIQ02/KR1/TOQ02/RTP01
P52	23	27	37			TIQ03/KR2/TOQ03/RTP02/DDI
P53	24	28	38			SIB2/KR3/TIQ00/TOQ00 /RTP03/DDO
P54	25	29	39			SOB2/KR4/RTP04/DCK
P55	26	30	40			SCKB2/KR5/RTP05/DMS

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,

JC3L (48) : V850ES/JC3-L (48ピン製品) ,

JE3L : V850ES/JE3-L

注 プルダウン抵抗を内蔵しています。OCDM.OCDM0ビットをクリア (0) することでプルダウン抵抗を切断できます。

(2/2)

機能 名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
P70	40	48	64	入出力	ポート7 (4. 3. 6参照) 5ビット入出力ポート (V850ES/JC3-L : 40ピン) 6ビット入出力ポート (V850ES/JC3-L : 48ピン) 10ビット入出力ポート (V850ES/JE3-L) 1ビット単位で入力／出力の指定が可能	ANI0
P71	39	47	63			ANI1
P72	38	46	62			ANI2
P73	37	45	61			ANI3
P74	36	44	60			ANI4
P75	—	43	59			ANI5
P76	—	—	58			ANI6
P77	—	—	57			ANI7
P78	—	—	56			ANI8
P79	—	—	55			ANI9
P90	19	23	31	入出力	ポート9 (4. 3. 7参照) 6ビット入出力ポート (V850ES/JC3-L : 40ピン) 8ビット入出力ポート (V850ES/JC3-L : 48ピン) 15ビット入出力ポート (V850ES/JE3-L) 1ビット単位で入力／出力の指定が可能 1ビット単位でN-chオープン・ドレイン出力指定可能 5 Vトレラント対応 (P90-P96)	KR6/TXDA1/SDA02
P91	20	24	32			KR7/RXDA1/SCL02
P92	—	—	33			TIP41/TOP41
P93	—	—	34			TIP40/TOP40
P94	—	—	21			TIP31/TOP31
P96	13	15	22			TIP21/TOP21
P97	—	38	50			SIB1/TIP20/TOP20
	32	—	—			TIP20/TOP20
P98	—	39	51			SOB1
P99	—	36	48			SCKB1
P910	—	—	16			SIB3
P911	—	—	15			SOB3
P912	—	—	14			SCKB3
P913	—	—	13			INTP4
P914	33	40	52			INTP5/TIP51/TOP51
P915	34	41	53			INTP6/TIP50/TOP50
PCM0	35	42	54	入出力	ポートCM (4. 3. 8参照) 1ビット入出力ポート 1ビット単位で入力／出力の指定が可能	—
PDL5	31	37	49	入出力	ポートDL (4. 3. 9参照) 1ビット入出力ポート 1ビット単位で入力／出力の指定が可能	FLMD1

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(2) ポート以外の機能

(1/5)

機能 名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
ADTRG	12	14	18	入力	A/Dコンバータ外部トリガ入力。5 Vトレラント対応。	P03/INTP0/RTC1HZ
ANI0	40	48	64	入力	A/Dコンバータ用アナログ電圧入力	P70
ANI1	39	47	63			P71
ANI2	38	46	62			P72
ANI3	37	45	61			P73
ANI4	36	44	60			P74
ANI5	—	43	59			P75
ANI6	—	—	58			P76
ANI7	—	—	57			P77
ANI8	—	—	56			P78
ANI9	—	—	55			P79
ANO0	—	3	3	出力	D/Aコンバータ用アナログ電圧出力	P10
ASCKA0	—	35	47	入力	UARTA0のボー・レート・クロック入力。5 Vトレラント対応。	P32/SCKB4/TIP00/TOP00
AV _{REF0}	1	1	1	—	A/Dコンバータ用基準電圧入力, 兼ポート7用正電源供給	—
AV _{REF1}	—	4	4		D/Aコンバータ用基準電圧入力, 兼ポート1用正電源供給	—
AV _{SS}	2	2	2	—	A/D, D/Aコンバータ用グランド電位 (V _{SS} と同電位)	—
DCK	25	29	39	入力	デバッグ・クロック入力。5 Vトレラント対応。	P54/SOB2/KR4/RTP04
DDI	23	27	37	入力	デバッグ・データ入力。5 Vトレラント対応。	P52/TIQ03/KR2/TOQ03/RTP02
DDO ^注	24	28	38	出力	デバッグ・データ出力 N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P53/SIB2/KR3/TIQ00/TOQ00/ RTP03
DMS	26	30	40	入力	デバッグ・モード・セレクト入力。5 Vトレラント対応。	P55/SCKB2/KR5/RTP05
DRST	27	31	41	入力	デバッグ・リセット入力。5 Vトレラント対応。	P05/INTP2
EV _{DD}	14	16	24	—	外部用正電源供給 (V _{DD} と同電位)	—
EV _{SS}	15	17	25	—	外部用グランド電位 (V _{SS} と同電位)	—
FLMD0	28	32	42	入力	フラッシュ・メモリ・プログラミング・モード引き込み用端子	—
FLMD1	31	37	49			PDL5

注 オンチップ・デバッグ・モード時, 強制的にハイ・レベル出力に設定されます。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
JC3L (48) : V850ES/JC3-L (48ピン製品) ,
JE3L : V850ES/JE3-L

(2/5)

機能名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
INTP0	12	14	18	入力	外部割り込み要求入力 (マスカブル, アナログ・ノイズ除去)。 INTP3端子は, アナログ・ノイズ除去/デジタル・ノイズ除去選択可能。 5 Vトレラント対応。	P03/ADTRG/RTC1HZ
INTP1	—	—	19			P04/RTCDIV/RTCCL
INTP2	27	31	41			P05/DRST
INTP3	—	—	20			P06
INTP4	—	—	13			P913
INTP5	33	40	52			P914/TIP51/TOP51
INTP6	34	41	53			P915/TIP50/TOP50
INTP7	—	34	46			P31/RXDA0/SIB4
	30	—	—			P31/RXDA0
KR0 ^{注1}	21	25	35	入力	キー割り込み入力 (アナログ・ノイズ除去回路内蔵)。 5 Vトレラント対応。	P50/TIQ01/TOQ01/RTP00
KR1 ^{注1}	22	26	36			P51/TIQ02/TOQ02/RTP01
KR2 ^{注1}	23	27	37			P52/TIQ03/TOQ03/RTP02/DDI
KR3 ^{注1}	24	28	38			P53/SIB2/TIQ00/TOQ00/RTP03/DDO
KR4 ^{注1}	25	29	39			P54/SOB2/RTP04/DCK
KR5 ^{注1}	26	30	40			P55/SCKB2/RTP05/DMS
KR6 ^{注1}	19	23	31			P90/TXDA1/SDA02
KR7 ^{注1}	20	24	32			P91/RXDA1/SCL02
NMI ^{注2}	11	13	17	入力	外部割り込み入力 (ノンマスカブル, アナログ・ノイズ除去)。5 Vトレラント対応。	P02
REGC	4	6	6	—	レギュレータ出力安定容量接続 (4.7 μ F (推奨値))	—
RESET	8	10	10	入力	システム・リセット入力	—
RTC1HZ	12	14	18	出力	リアルタイム・カウンタ補正クロック (1 Hz) 出力	P03/INTP0/ADTRG
RTCCL	—	—	19	出力	リアルタイム・カウンタ・クロック (32 kHz原発) 出力	P04/INTP1/RTCDIV
RTCDIV	—	—	19	出力	リアルタイム・カウンタ・クロック (32 kHz分周) 出力	P04/INTP1/RTCCL
RTP00	21	25	35	出力	リアルタイム出力ポート。 N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P50/TIQ01/KR0/TOQ01
RTP01	22	26	36			P51/TIQ02/KR1/TOQ02
RTP02	23	27	37			P52/TIQ03/KR2/TOQ03/DDI
RTP03	24	28	38			P53/SIB2/KR3/TIQ00/TOQ00/DDO
RTP04	25	29	39			P54/SOB2/KR4/DCK
RTP05	26	30	40			P55/SCKB2/KR5/DMS

注1. 外部でプルアップ処理を行ってください。

2. NMI端子はP02端子と兼用しており, リセット後はP02端子として機能します。NMI端子を有効にする場合は, PMC0.PMC02ビットをセット (1) してください。また, NMI端子の初期設定は“エッジ検出なし”になっています。INTF0, INTR0レジスタでNMI端子の有効エッジを選択してください。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品),
JC3L (48) : V850ES/JC3-L (48ピン製品),
JE3L : V850ES/JE3-L

(3/5)

機能名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
RXDA0	— 30	34 —	46 —	入力	シリアル受信データ入力 (UARTA0-UARTA2)。 5 Vトレラント対応。	P31/INTP7/SIB4 P31/INTP7 P91/KR7/SCL02 P39/SCL00
RXDA1	20	24	32			
RXDA2	—	19	27			
SCKB0	18	22	30			
SCKB1	—	36	48	入出力	シリアル・クロック入出力 (CSIB0-CSIB4)。 N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P42 P99 P55/KR5/RTP05/DMS P912 P32/ASCKA0/TIP00/TOP00
SCKB2	26	30	40			
SCKB3	—	—	14			
SCKB4	—	35	47			
SCL00	—	19	27	入出力	シリアル・クロック入出力 (I ² C00-I ² C02)。 N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P39/RXDA2 P41/SOB0 P91/KR7/RXDA1
SCL01	17	21	29			
SCL02	20	24	32			
SDA00	—	18	26	入出力	シリアル送受信データ入出力 (I ² C00-I ² C02)。 N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P38/TXDA2 P40/SIB0 P90/KR6/TXDA1
SDA01	16	20	28			
SDA02	19	23	31			
SIB0	16	20	28	入力	シリアル受信データ入力 (CSIB0-CSIB4)。 5 Vトレラント対応。	P40/SDA01 P97/TIP20/TOP20 P53/KR3/TIQ00/TOQ00/ RTP03/DDO P910 P31/RXDA0/INTP7
SIB1	—	38	50			
SIB2	24	28	38			
SIB3	—	—	16			
SIB4	—	34	46			
SOB0	17	21	29	出力	シリアル送信データ出力 (CSIB0-CSIB4)。 N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P41/SCL01 P98 P54/KR4/RTP04/DCK P911 P30/TXDA0
SOB1	—	39	51			
SOB2	25	29	39			
SOB3	—	—	15			
SOB4	—	33	45			
TIP00	—	35	47	入力	外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力 (TMP0)。5 Vトレラント対応。	P32/ASCKA0/SCKB4/TOP00
TIP01	—	—	43		キャプチャ・トリガ入力 (TMP0)。 5 Vトレラント対応。	P33/TOP01
TIP10	—	—	44		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力 (TMP1)。5 Vトレラント対応。	P34/TOP10
TIP11	—	—	23		キャプチャ・トリガ入力 (TMP1)。 5 Vトレラント対応。	P35/TOP11
TIP20	— 32	38 —	50 —		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力 (TMP2)。5 Vトレラント対応。	P97/SIB1/TOP20 P97/TOP20
TIP21	13	15	22		キャプチャ・トリガ入力 (TMP2)。 5 Vトレラント対応。	P96/TOP21

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(4/5)

機能名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
TIP31	—	—	21	入力	キャプチャ・トリガ入力 (TMP3)。 5 Vトレラント対応。	P94/TOP31
TIP40	—	—	34		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力 (TMP4)。5 Vトレラント対応。	P93/TOP40
TIP41	—	—	33		キャプチャ・トリガ入力 (TMP4)。 5 Vトレラント対応。	P92/TOP41
TIP50	34	41	53		外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力 (TMP5)。5 Vトレラント対応。	P915/INTP6/TOP50
TIP51	33	40	52		キャプチャ・トリガ入力 (TMP5)。 5 Vトレラント対応。	P914/INTP5/TOP51
TIQ00	24	28	38	入力	外部イベント・カウント入力／キャプチャ・トリガ入力／外部トリガ入力 (TMQ0)。 5 Vトレラント対応。	P53/SIB2/KR3/TOQ00/RTP03/ DDO
TIQ01	21	25	35		キャプチャ・トリガ入力 (TMQ0)。 5 Vトレラント対応。	P50/KR0/TOQ01/RTP00
TIQ02	22	26	36			P51/KR1/TOQ02/RTP01
TIQ03	23	27	37			P52/KR2/TOQ03/RTP02/DDI
TOP00	—	35	47	出力	タイマ出力 (TMP0)	P32/ASCKA0/SCKB4/TIP00
TOP01	—	—	43		N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P33/TIP01
TOP10	—	—	44		タイマ出力 (TMP1)	P34/TIP10
TOP11	—	—	23		N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P35/TIP11
TOP20	—	38	50		タイマ出力 (TMP2)	P97/SIB1/TIP20
	32	—	—		N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P97TIP20
TOP21	13	15	22			P96/TIP21
TOP31	—	—	21		タイマ出力 (TMP3) N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P94/TIP31
TOP40	—	—	34		タイマ出力 (TMP4)	P93/TIP40
TOP41	—	—	33		N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P92/TIP41
TOP50	34	41	53		タイマ出力 (TMP5)	P915/INTP6/TIP50
TOP51	33	40	52		N-chオープン・ドレイン出力選択可能。5 Vトレラント対応。	P914/INTP5/TIP51

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
JC3L (48) : V850ES/JC3-L (48ピン製品) ,
JE3L : V850ES/JE3-L

(5/5)

機能名称	ピン番号			入出力	機 能	兼用機能
	JC3L (40)	JC3L (48)	JE3L			
TOQ00	24	28	38	出力	タイマ出力 (TMQ0) N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P53/SIB2/KR3/TIQ00/RTP03/DDO
TOQ01	21	25	35			P50/TIQ01/KR0/RTP00
TOQ02	22	26	36			P51/TIQ02/KR1/RTP01
TOQ03	23	27	37			P52/TIQ03/KR2/RTP02/DDI
TXDA0	—	33	45	出力	シリアル送信データ出力 (UARTA0-UARTA2) N-chオープン・ドレイン出力選択可能。 5 Vトレラント対応。	P30/SOB4
	29	—	—			P30
TXDA1	19	23	31			P90/KR6/SDA02
TXDA2	—	18	26			P38/SDA00
V _{DD}	3	5	5	—	内部用正電源供給端子	—
V _{SS}	5	7	7	—	内部用グランド電位	—
X1	6	8	8	入力	メイン・クロック用発振子接続	—
X2	7	9		—		—
XT1	9	11	11	入力	サブクロック用発振子接続	—
XT2	10	12	12	—		—

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
JC3L (48) : V850ES/JC3-L (48ピン製品) ,
JE3L : V850ES/JE3-L

2.2 端子状態

動作モードによる各端子の動作状態を次に示します。

表2-2 動作モードによる各端子の動作状態

端子名称	電源投入時 ^{注1}	リセット中 (電源投入時以外)	HALTモード ^{注2}	IDLE1, IDLE2, サブIDLEモード ^{注2}	STOPモード ^{注2}
P05/DRST	プルダウン	プルダウン ^{注3}	保持	保持	保持
P10/AN00	不定	Hi-Z	保持	保持	保持
P53/DDO		Hi-Z ^{注4}	保持	保持	保持
その他のポート端子	Hi-Z	Hi-Z	保持	保持	保持

注1. 電源投入時，電源電圧が動作電源電圧範囲（下限）に達してから，1 ms経過するまでの期間です。

2. 兼用機能が動作しているときは動作します（兼用機能の動作状態は第21章 スタンバイ機能を参照してください）。
3. 外部リセット時はプルダウンされます。ウォッチドッグ・タイマやクロック・モニタなどによる内部リセット時は，OCDM.OCDM0ビットの設定によって異なります。
4. オンチップ・デバッグ・モード時には，DDO出力になります。

備考 Hi-Z ：ハイ・インピーダンス

保持 ：直前の端子のレベルの状態を保持

2.3 端子の入出力回路タイプ、入出力バッファ電源と未使用時の処理

(1/2)

端 子	兼用機能	ピン番号			入出力回路 タイプ	未使用時の推奨接続方法
		JC3L (40)	JC3L (48)	JE3L		
P02	NMI	11	13	17	10-D	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に 接続してください。 出力時：オープンにしてください。
P03	INTP0/ADTRG/RTC1HZ	12	14	18		
P04	INTP1/RTCDIV/RTCCL	—	—	19		
P05	INTP2/DRST	27	31	41	10-N	入力時：個別に抵抗を介して、EV _{SS} に接続してく ださい。V _{DD} レベルへの固定は禁止です。 出力時：オープンにしてください。 RESET端子によるリセット時、内部でプ ルダウンされます。
P06	INTP3	—	—	20	10-D	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に 接続してください。 出力時：オープンにしてください。
P10	ANO0	—	3	3	12-D	入力時：個別に抵抗を介して、AV _{REF1} またはAV _{SS} に接続してください。 出力時：オープンにしてください。
P30	TXDA0/SOB4	—	33	45	10-G	入力時：個別に抵抗を介して、EV _{DD} またはEV _{SS} に 接続してください。 出力時：オープンにしてください。
	TXDA0	29	—	—		
P31	RXDA0/INTP7/SIB4	—	34	46	10-D	
	RXDA0/INTP7	30	—	—		
P32	ASCKA0/SCKB4/TIP00/TOP00	—	35	47		
P33	TIP01/TOP01	—	—	43		
P34	TIP10/TOP10	—	—	44		
P35	TIP11/TOP11	—	—	23		
P38	TXDA2/SDA00	—	18	26		
P39	RXDA2/SCL00	—	19	27		
P40	SIB0/SDA01	16	20	28		
P41	SOB0/SCL01	17	21	29		
P42	SCKB0	18	22	30		
P50	TIQ01/KR0/TOQ01/RTP00	21	25	35		
P51	TIQ02/KR1/TOQ02/RTP01	22	26	36		
P52	TIQ03/KR2/TOQ03/RTP02 /DDI	23	27	37		
P53	SIB2/KR3/TIQ00/TOQ00 /RTP03/DDO	24	28	38		
P54	SOB2/KR4/RTP04/DCK	25	29	39		
P55	SCKB2/KR5/RTP05/DMS	26	30	40		

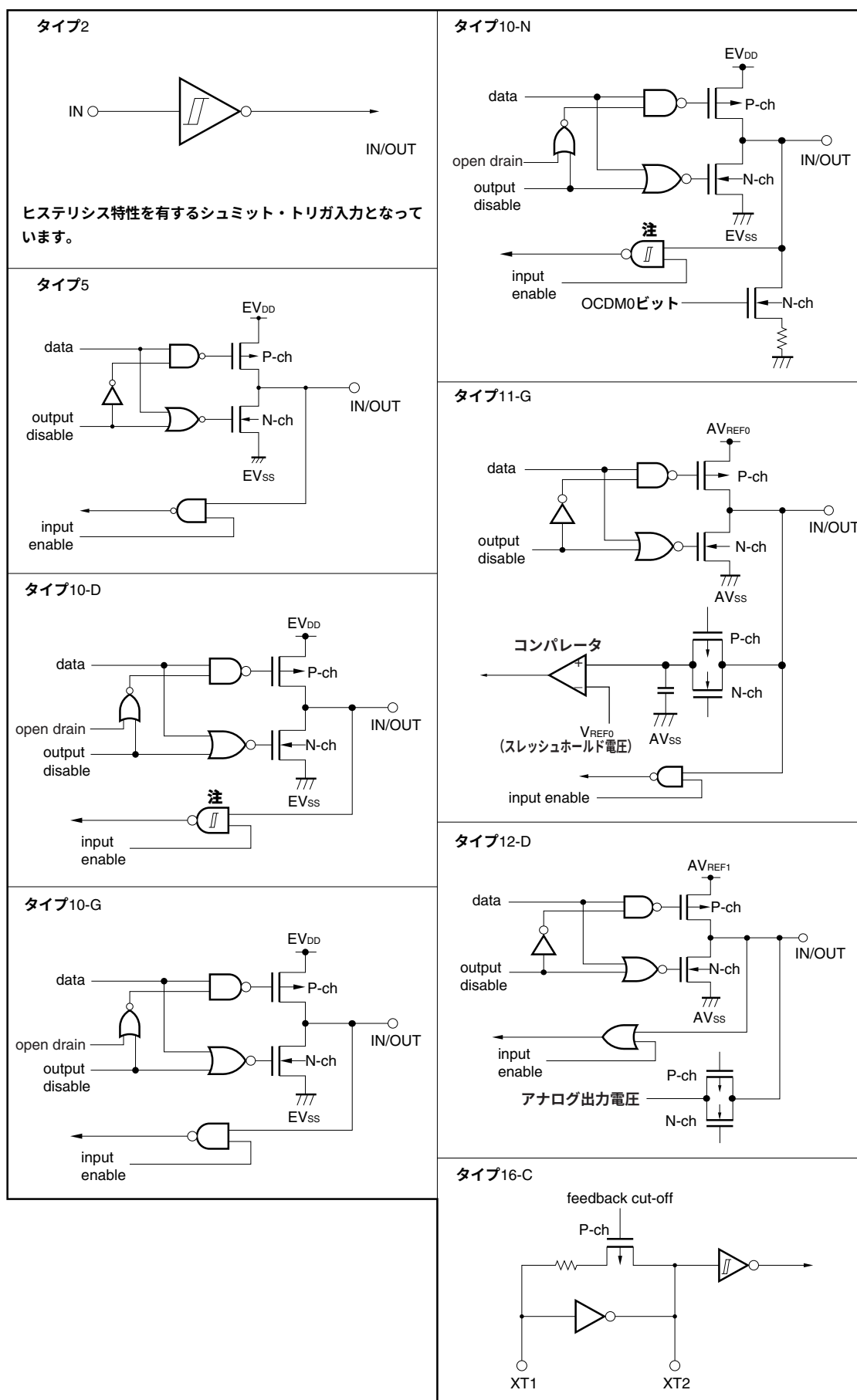
備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
JC3L (48) : V850ES/JC3-L (48ピン製品) ,
JE3L : V850ES/JE3-L

(2/2)

端 子	兼用機能	ピン番号			入出力回路 タイプ	未使用時の推奨接続方法	
		JC3L (40)	JC3L (48)	JE3L			
P70-P74	ANI0-ANI4	40-36	48-44	64-60	11-G	入力時：個別に抵抗を介して，AVREF0またはAVSS に接続してください。 出力時：オープンにしてください。	
P75	ANI5	—	43	59			
P76-P79	ANI6-ANI9	—	—	58-55			
P90	KR6/TDXA1/SDA02	19	23	31	10-D	入力時：個別に抵抗を介して，EVDDまたはEVSS に接続してください。 出力時：オープンにしてください。	
P91	KR7/RXDA1/SCL02	20	24	32			
P92	TIP41/TOP41/TXDA4	—	—	33			
P93	TIP40/TOP40/RXDA4	—	—	34			
P94	TIP31/TOP31/TXDA5	—	—	21			
P96	TIP21/TOP21	13	15	22			
P97	SIB1/TIP20/TOP20	—	38	50			
	TIP20/TOP20	32	—	—			
P98	SOB1	—	39	51	10-G		
P99	SCKB1	—	36	48	10-D		
P910	SIB3	—	—	16	10-G		
P911	SOB3	—	—	15			
P912	SCKB3	—	—	14	10-D		
P913	INTP4	—	—	13			
P914	INTP5/TIP51/TOP51	33	40	52			
P915	INTP6/TIP50/TOP50	34	41	53			
PCM0	—	35	42	54	5		
PDL5	FLMD1	31	37	49			
AVREF0	—	1	1	1	—		VDDに直接接続し常に電源を供給してください。
AVREF1	—	—	4	4	—		
AVSS	—	2	2	2	—		VSSに直接接続し常に電源を供給してください。
EVDD	—	14	16	24	—		VDDに直接接続し常に電源を供給してください。
EVSS	—	15	17	25	—		VSSに直接接続し常に電源を供給してください。
FLMD0	—	28	32	42	—		フラッシュ・メモリ・プログラミング・モード 時以外はVSSに直接接続してください。
REGC	—	4	6	6	—	レギュレータ出力安定容量接続 (4.7 μF (推奨値))	
RESET	—	8	10	10	2	—	
VDD	—	3	5	5	—	—	
VSS	—	5	7	7	—	—	
X1	—	6	8	8	—	—	
X2	—	7	9	9	—	—	
XT1	—	9	11	11	16-C	VSSに接続してください。	
XT2	—	10	12	12	16-C	オープンにしてください。	

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
JC3L (48) : V850ES/JC3-L (48ピン製品) ,
JE3L : V850ES/JE3-L

図2-1 端子の入出力回路タイプ



注 ポート・モード時はヒステリシス特性を持ちません。

2. 4 注意事項

次に示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/AN00端子
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

第3章 CPU機能

V850ES/JC3-L, V850ES/JE3-LのCPUは, RISCアーキテクチャをベースとして, 5段パイプラインの制御によりほとんどの命令を1クロックで実行します。

3.1 特 徴

- 可変命令長 (16ビット/32ビット)
- 最小命令実行時間 50 ns (メイン・クロック (f_{xx}) = 20 MHz動作時: V_{DD} = 2.7 V~3.6 V)
200 ns (メイン・クロック (f_{xx}) = 5 MHz動作時: V_{DD} = 2.2 V~3.6 V)
30.5 μ s (サブクロック (f_{xt}) = 32.768 kHz動作時)
- メモリ空間 プログラム空間: 64 Mバイト・リニア
データ空間 : 4 Gバイト・リニア
- 汎用レジスタ: 32ビット×32本
- 内部32ビット・アーキテクチャ
- 5段パイプライン制御
- 乗除算命令
- 飽和演算命令
- 32ビット・シフト命令: 1クロック
- ロング/ショート形式を持つロード/ストア命令
- ビット操作命令4種
 - SET1
 - CLR1
 - NOT1
 - TST1

3.2 CPUレジスタ・セット

V850ES/JC3-L, V850ES/JE3-Lのレジスタは、汎用のプログラム・レジスタ・セットと、専用のシステム・レジスタ・セットの2種類に分類できます。すべてのレジスタは32ビット幅となっています。

詳細はV850ES ユーザーズ・マニュアル アーキテクチャ編を参照してください。

(1) プログラム・レジスタ・セット			(2) システム・レジスタ・セット		
31	汎用レジスタ	0	31		0
r0	(ゼロ・レジスタ)		EIPC	(割り込み時状態回避レジスタ)	
r1	(アセンブラ予約レジスタ)		EIPSW	(割り込み時状態回避レジスタ)	
r2					
r3	(スタック・ポインタ (SP))		FEPC	(NMI時状態回避レジスタ)	
r4	(グローバル・ポインタ (GP))		FEPSW	(NMI時状態回避レジスタ)	
r5	(テキスト・ポインタ (TP))				
r6					
r7			ECR	(割り込み要因レジスタ)	
r8					
r9			PSW	(プログラム・ステータス・ワード)	
r10					
r11			CTPC	(CALLT実行時状態回避レジスタ)	
r12			CTPSW	(CALLT実行時状態回避レジスタ)	
r13					
r14			DBPC	(例外/デバッグ・トラップ時状態回避レジスタ)	
r15			DBPSW	(例外/デバッグ・トラップ時状態回避レジスタ)	
r16					
r17					
r18			CTBP	(CALLTベース・ポインタ)	
r19					
r20					
r21					
r22					
r23					
r24					
r25					
r26					
r27					
r28					
r29					
r30	(エレメント・ポインタ (EP))				
r31	(リンク・ポインタ (LP))				
31		0			
PC	(プログラム・カウンタ)				

3.2.1 プログラム・レジスタ・セット

プログラム・レジスタには、汎用レジスタとプログラム・カウンタがあります。

(1) 汎用レジスタ (r0-r31)

汎用レジスタとして、r0-r31の32本が用意されています。これらのレジスタは、どれでもデータ変数またはアドレス変数として利用できます。

ただし、r0とr30は命令により暗黙的に使用しますので、これらのレジスタを使用する際には注意が必要です。r0は常に0を保持しているレジスタで、0を使用する演算やオフセット0のアドレッシングで使用されます。r30はSLD命令とSST命令により、メモリをアクセスするときのベース・ポインタとして使用されます。また、r1, r3-r5, r31は、アセンブラとCコンパイラが暗黙的に使用しますので、これらのレジスタを使用する際にはレジスタの内容を破壊しないように退避してから使用し、使用後に元に戻す必要があります。r2は、リアルタイムOSが使用する場合があります。使用するリアルタイムOSがr2を使用していない場合は、変数用レジスタとしてr2を使用できます。

表3-1 プログラム・レジスタ一覧

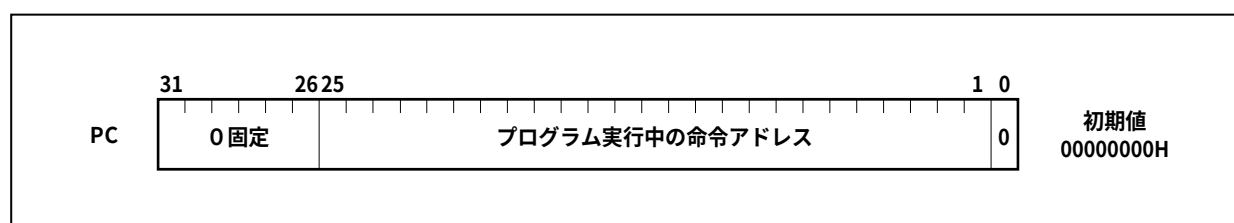
名 称	用 途	動 作
r0	ゼロ・レジスタ	常に0を保持
r1	アセンブラ予約レジスタ	32ビット・イミディエト作成用のワーキング・レジスタとして使用
r2	アドレス／データ変数用レジスタ (使用するリアルタイムOSがr2を使用していない場合)	
r3	スタック・ポインタ	関数コール時のスタック・フレーム生成時に使用
r4	グローバル・ポインタ	データ領域のグローバル変数をアクセスするときに使用
r5	テキスト・ポインタ	テキスト領域 (プログラム・コードを配置する領域) の先頭を指すレジスタとして使用
r6-r29	アドレス／データ変数用レジスタ	
r30	エレメント・ポインタ	メモリをアクセスするときのベース・ポインタとして使用
r31	リンク・ポインタ	コンパイラが関数コールをするときに使用
PC	プログラム・カウンタ	プログラム実行中の命令アドレスを保持

備考 アセンブラやCコンパイラで使用されるr1, r3-r5, r31の詳細な説明は、CA850 (Cコンパイラ・パッケージ) ユーザーズ・マニュアル アセンブリ言語編を参照してください。

(2) プログラム・カウンタ (PC)

プログラム実行中の命令アドレスを保持します。下位26ビットが有効で、ビット31-26は0に固定されます。ビット25からビット26へのキャリーがあっても無視します。

また、ビット0は0に固定されており、奇数番地への分岐はできません。



3.2.2 システム・レジスタ・セット

システム・レジスタは、CPUの状態制御、割り込み情報保持などを行います。

システム・レジスタへのリード／ライトは、システム・レジスタ・ロード／ストア命令（LDSR, STSR命令）により、次に示すシステム・レジスタ番号を設定することで行います。

表3-2 システム・レジスタ番号

システム・レジスタ番号	システム・レジスタ名称	オペランド指定の可否	
		LDSR命令	STSR命令
0	割り込み時状態退避レジスタ (EIPC) ^{注1}	○	○
1	割り込み時状態退避レジスタ (EIPSW) ^{注1}	○	○
2	NMI時状態退避レジスタ (FEPC) ^{注1}	○	○
3	NMI時状態退避レジスタ (FEPSW) ^{注1}	○	○
4	割り込み要因レジスタ (ECR)	×	○
5	プログラム・ステータス・ワード (PSW)	○	○
6-15	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×
16	CALLT実行時状態退避レジスタ (CTPC)	○	○
17	CALLT実行時状態退避レジスタ (CTPSW)	○	○
18	例外／デバッグ・トラップ時状態退避レジスタ (DBPC)	○ ^{注2}	○ ^{注2}
19	例外／デバッグ・トラップ時状態退避レジスタ (DBPSW)	○ ^{注2}	○ ^{注2}
20	CALLTベース・ポインタ (CTBP)	○	○
21-31	将来の機能拡張のための予約番号（アクセスした場合の動作は保証しません）	×	×

注1. これらのレジスタは1組しかないので、多重割り込みを許す場合はプログラムでこのレジスタを退避する必要があります。

2. DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

注意 LDSR命令によりEIPCかFEPC、またはCTPCのビット0をセット（1）しても、割り込み処理後のRETI命令で復帰するときにビット0は無視されます（PCのビット0を0固定してあるため）。EIPC、FEPC、CTPCに値を設定する場合は、偶数値（ビット0 = 0）を設定してください。

備考 ○：アクセス可能

×：アクセス禁止

(1) 割り込み時状態退避レジスタ (EIPC, EIPSW)

割り込み時状態退避レジスタには、EIPCとEIPSWがあります。

ソフトウェア例外やマスカブル割り込みが発生した場合、プログラム・カウンタ（PC）の内容がEIPCに、プログラム・ステータス・ワード（PSW）の内容がEIPSWに退避されます（ノンマスカブル割り込み（NMI）発生時には、NMI時状態退避レジスタ（FEPC、FEPSW）に退避されます）。

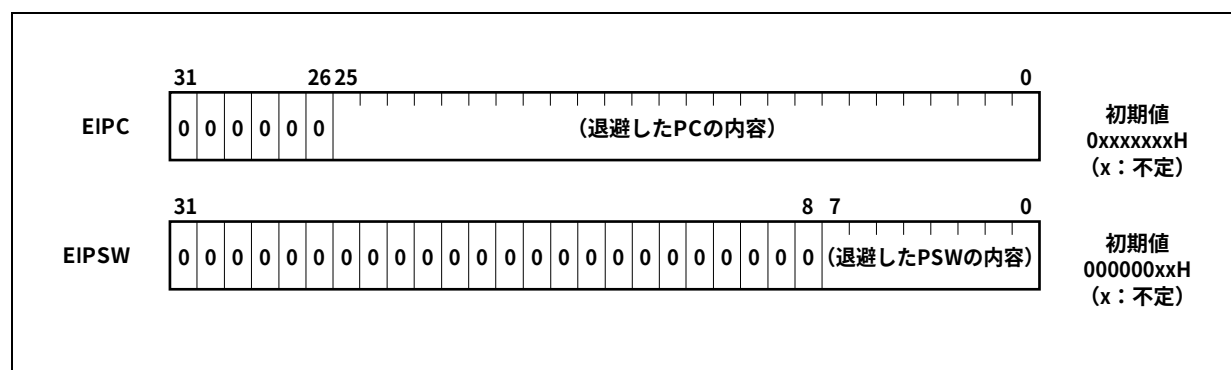
EIPCには、一部の命令（19.8 CPUが割り込みを受け付けない期間参照）を除き、ソフトウェア例外やマスカブル割り込みが発生したときに実行していた命令の次の命令のアドレスが退避されます。

EIPSWには、現在のPSWの内容が退避されます。

割り込み時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります。

なお、EIPCのビット31-26とEIPSWのビット31-8は、将来の機能拡張のために予約されています（0に固定）。

RETI命令により、EIPCの値はPCへ、EIPSWの値はPSWへ復帰します。



(2) NMI時状態退避レジスタ (FEPC, FEPSW)

NMI時状態退避レジスタには、FEPCとFEPSWがあります。

ノンマスクابل割り込み（NMI）が発生した場合、プログラム・カウンタ（PC）の内容がFEPCに、プログラム・ステータス・ワード（PSW）の内容がFEPSW に退避されます。

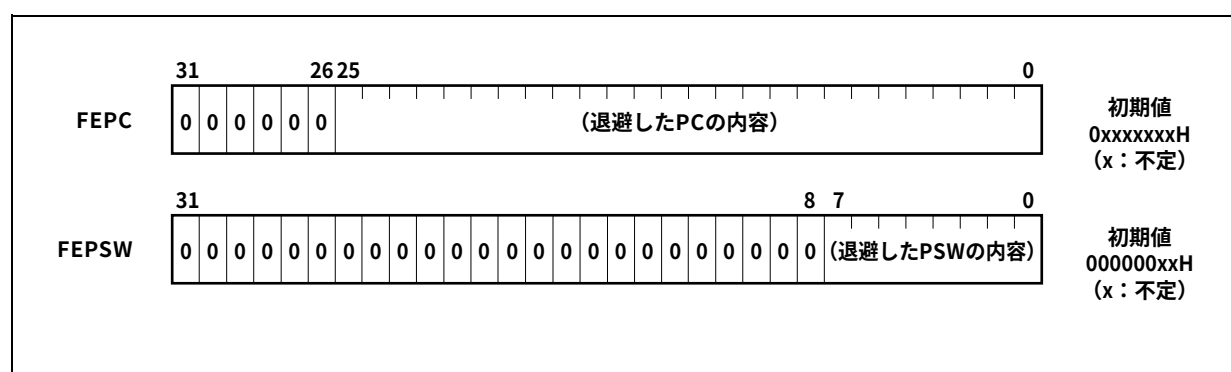
FEPCには、一部の命令を除き、NMIが発生したときに実行していた命令の次の命令のアドレスが退避されます。

FEPSWには、現在のPSWの内容が退避されます。

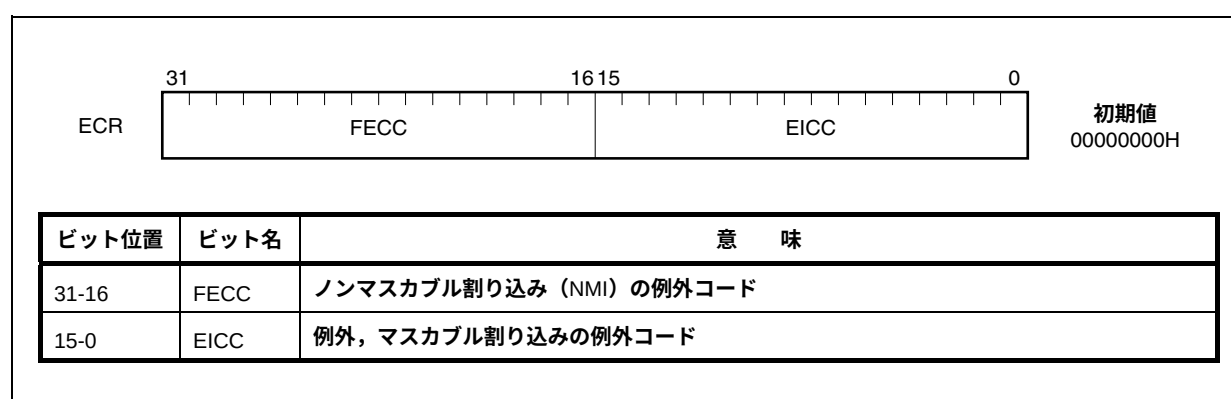
NMI時状態退避レジスタは1組しかないため、多重割り込みを行う場合はプログラムによってこれらのレジスタの内容を退避する必要があります（NMI端子、INTWDT2割り込みでの多重割り込みの場合）。

なお、FEPCのビット31-26とFEPSWのビット31-8は、将来の機能拡張のために予約されています（0に固定）。

RETI命令により、FEPCの値はPCへ、FEPSWの値はPSWへ復帰します。

**(3) 割り込み要因レジスタ (ECR)**

割り込み要因レジスタ（ECR）は、例外や割り込みが発生した場合に、その要因を保持するレジスタです。ECRが保持する値は、割り込み要因ごとにコード化された例外コードです。なお、このレジスタは読み出し専用のため、LDSR命令を使ってこのレジスタにデータを書き込むことはできません。



(4) プログラム・ステータス・ワード (PSW)

プログラム・ステータス・ワード (PSW) は、プログラムの状態 (命令実行の結果) やCPUの状態を示すフラグの集合です。

LDSR命令を使用してこのレジスタの各ビットの内容を変更した場合は、LDSR命令実行終了直後から変更内容が有効となります。ただし、IDフラグをセット（1）する場合、LDSR命令実行中から割り込み要求の受け付けを禁止します。

なお、ビット31-8は、将来の機能拡張のために予約されています（0に固定）。

(1/2)

31

8 7 6 5 4 3 2 1 0

PSW

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

0

NP

EP

ID

SAT

CY

OV

S

Z

初期値
00000020H

ビット位置	フラグ名	意 味
7	NP	ノンマスカブル割り込み（NMI）処理中であることを示します。NMI要求が受け付けられるとセット“1”され、多重割り込みを禁止します。 0：NMI処理中でない。 1：NMI処理中である。
6	EP	例外処理中であることを示します。例外の発生でセット“1”されます。なお、このビットがセットされても割り込み要求は受け付けます。 0：例外処理中でない。 1：例外処理中である。
5	ID	マスカブル割り込み要求を受け付ける状態かどうかを示します。 0：割り込み可 1：割り込み不可
4	SAT ^注	飽和演算命令の演算結果がオーバフローし、演算結果が飽和していることを示します。累積フラグのため、飽和演算命令で演算結果が飽和するとセット“1”され、以降の命令の演算結果が飽和しなくてもクリア“0”されません。クリア“0”する場合は、LDSR命令により行います。なお、算術演算命令の実行では、セット“1”もクリア“0”も行いません。 0：飽和していない。 1：飽和している。
3	CY	演算結果にキャリー、またはボローがあったかどうかを示します。 0：キャリー、またはボローは発生していない。 1：キャリー、またはボローが発生した。
2	OV ^注	演算中にオーバーフローが発生したかどうかを示します。 0：オーバーフローは発生していない。 1：オーバーフローが発生した。
1	S ^注	演算の結果が負かどうかを示します。 0：演算の結果は、正または0であった。 1：演算の結果は負であった。
0	Z	演算の結果が0かどうかを示します。 0：演算の結果は0でなかった。 1：演算の結果は0であった。

備考

注の説明は次ページに記載しています。

注 飽和演算時の OV フラグと S フラグの内容で飽和处理した演算結果が決まります。また、飽和演算時に OV フラグがセット (1) された場合だけ、SAT フラグはセット (1) されます。

演算結果の状態	フラグの状態			飽和处理をした演算結果
	SAT	OV	S	
正の最大値を越えた	1	1	0	7FFFFFFFH
負の最大値を越えた	1	1	1	80000000H
正 (最大値を越えない)	演算前の値を	0	0	演算結果そのもの
負 (最大値を越えない)	保持		1	

(5) CALLT 実行時状態退避レジスタ (CTPC, CTPSW)

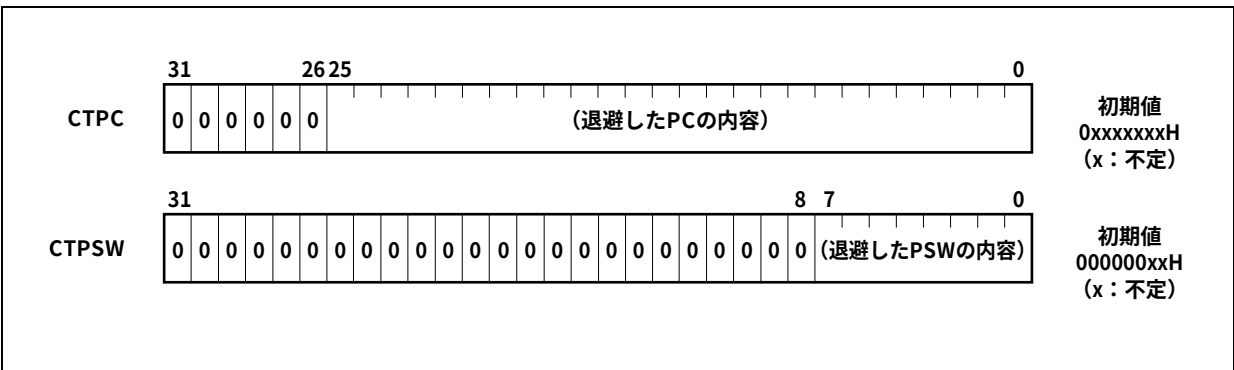
CALLT 実行時状態退避レジスタには、CTPC と CTPSW があります。

CALLT 命令が実行されると、プログラム・カウンタ (PC) の内容が CTPC に、プログラム・ステータス・ワード (PSW) の内容が CTPSW に退避されます。

CTPC に退避される内容は、CALLT 命令の次の命令のアドレスです。

CTPSW には、現在の PSW の内容が退避されます。

なお、CTPC のビット 31-26 と CTPSW のビット 31-8 は、将来の機能拡張のために予約されています (“0” に固定)。



(6) 例外／デバッグ・トラップ時状態退避レジスタ (DBPC, DBPSW)

例外／デバッグ・トラップ時状態退避レジスタとして、DBPCとDBPSWがあります。

例外トラップ,またはデバッグ・トラップが発生すると、プログラム・カウンタ (PC) の内容がDBPC に、プログラム・ステータス・ワード (PSW) の内容がDBPSWに退避されます。

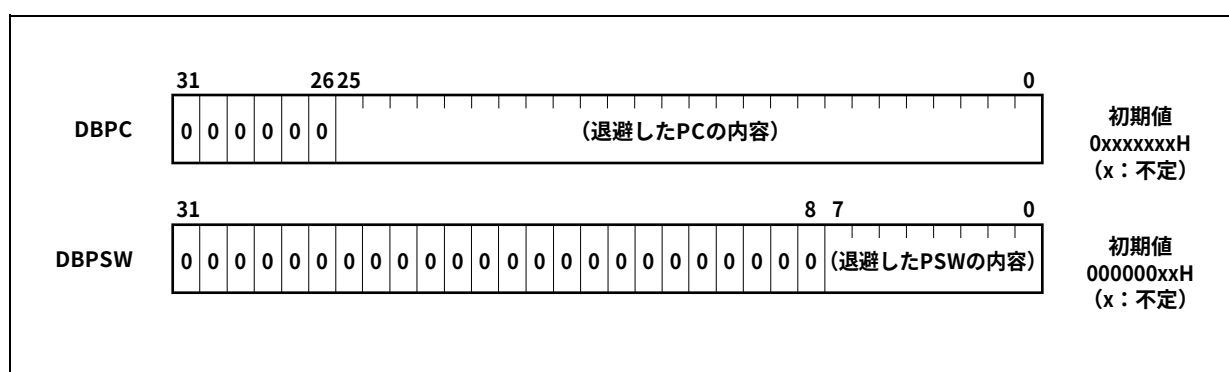
DBPCに退避される内容は、例外トラップ,またはデバッグ・トラップが発生したときに実行していた命令の次の命令のアドレスです。

DBPSWには、現在のPSWの内容が退避されます。

このレジスタへのリード／ライトは、DBTRAP命令または不正命令コードを実行してからDBRET命令を実行するまでの期間だけ可能です。

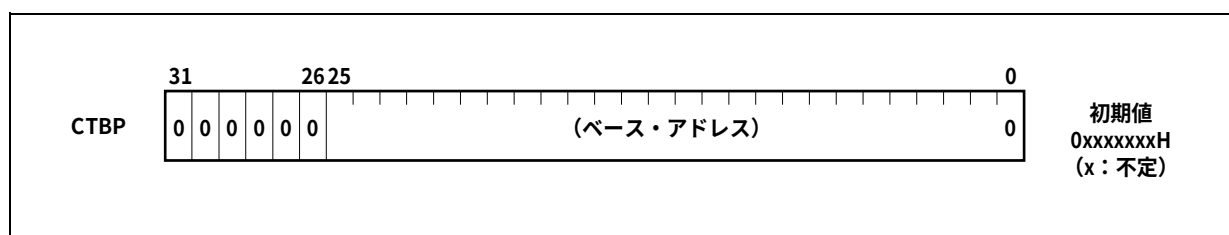
なお、DBPCのビット31-26とDBPSWのビット31-8は、将来の機能拡張のために予約されています（“0”に固定）。

DBRET命令により、DBPCの値はPCへ、DBPSWの値はPSWへ復帰します。

**(7) CALLTベース・ポインタ (CTBP)**

CALLTベース・ポインタ (CTBP) は、テーブル・アドレスの指定、ターゲット・アドレスの生成に使用されます（ビット0は“0”に固定）。

なお、ビット31-26は、将来の機能拡張のために予約されています（“0”に固定）。



3.3 動作モード

V850ES/JC3-L, V850ES/JE3-Lは次に示す動作モードを備えます。

- ・通常動作モード
- ・フラッシュ・メモリ・プログラミング・モード
- ・セルフ・プログラミング・モード
- ・オンチップ・デバッグ・モード

FLMD0, FLMD1端子の状態（入力レベル）により、動作モードを指定します。

通常動作モード時は、リセット期間にFLMD0端子がロウ・レベル入力となるようにしてください。

フラッシュ・メモリ・プログラミング・モード時のFLMD0端子へのハイ・レベル入力は、フラッシュ・メモリ・プログラマ接続時はフラッシュ・メモリ・プログラマから行いますが、セルフ・プログラミング時は外部回路で行ってください。

これらの端子の指定は応用システムにおいて固定とし、動作中に変更しないでください。

FLMD0	FLMD1	動作モード
L	X	通常動作モード
H	L	フラッシュ・メモリ・プログラミング・モード
H	H	設定禁止

備考 H：ハイ・レベル

L：ロウ・レベル

X：任意

(1) 通常動作モード

システム・リセット解除後、バス・インタフェース関連の各端子はポート・モードになり、内蔵ROMのリセット・エントリ・アドレスに分岐し、命令処理を開始します。

(2) フラッシュ・メモリ・プログラミング・モード

このモードを指定すると、フラッシュ・メモリ・プログラマによる内蔵フラッシュ・メモリへのプログラム動作が可能になります。

(3) セルフ・プログラミング・モード

ユーザ・アプリケーション内で内蔵フラッシュ・メモリの消去、書き込みを行うことができます。詳細は第28章 フラッシュ・メモリを参照してください。

(4) オンチップ・デバッグ・モード

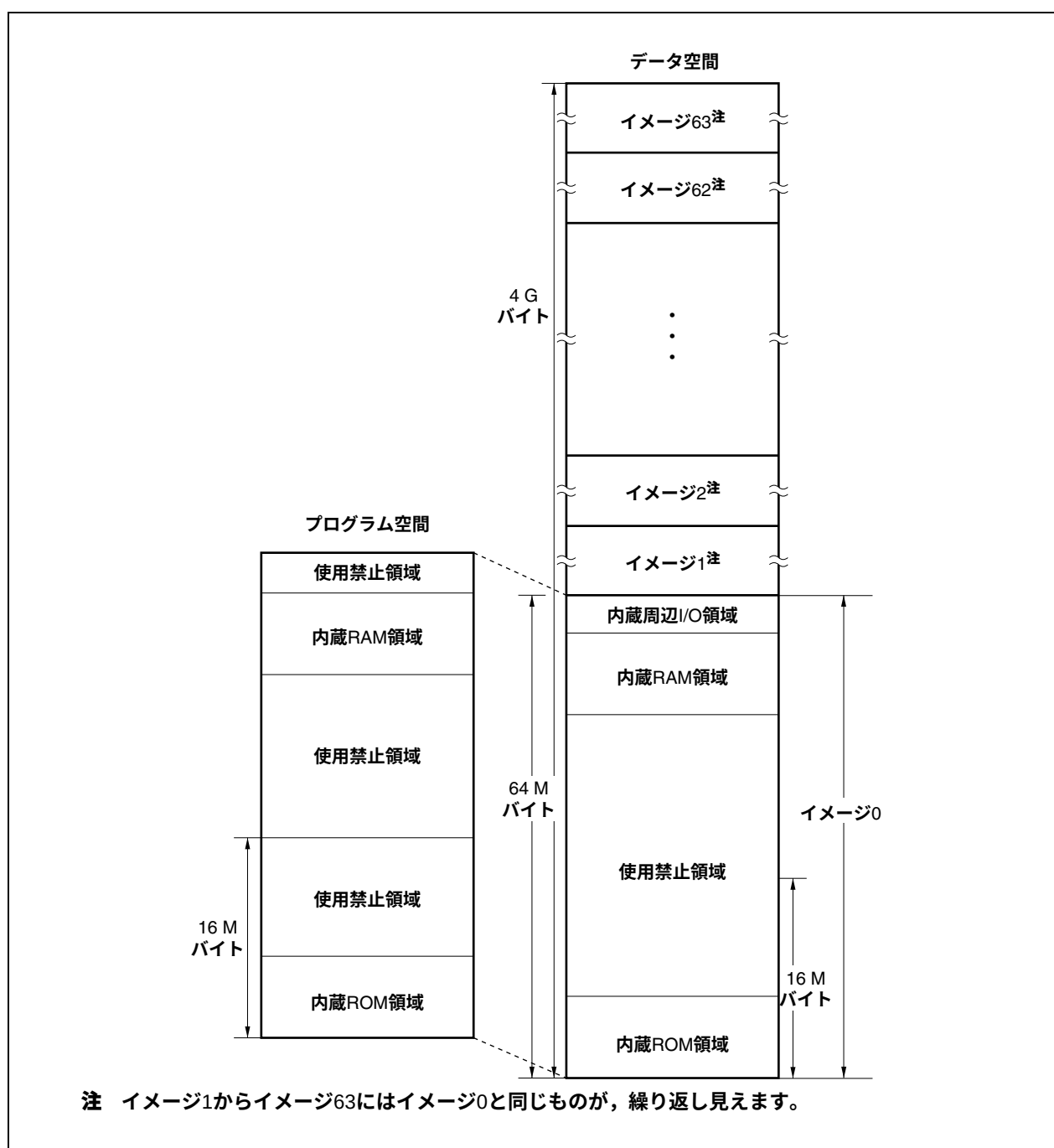
JTAG（Joint Test Action Group）の通信仕様を利用したオンチップ・デバッグ機能を内蔵しています。詳細は第29章 オンチップ・デバッグ機能を参照してください。

3. 4 アドレス空間

3. 4. 1 CPUアドレス空間

命令アドレスのアドレッシングにおいては、最大で64 Mバイトのリニア・アドレス空間（プログラム空間）のうち最大16 Mバイトの外部メモリ領域および内蔵ROM領域と、内蔵RAM領域をサポートしています。オペランド・アドレッシング（データ・アクセス）においては、最大4 Gバイトのリニア・アドレス空間（データ空間）をサポートしています。ただし、4 Gバイトのアドレス空間には64 Mバイトの物理アドレス空間が64個のイメージとして見えます。つまり、ビット31-ビット26がどのような値でも、同じ64 Mバイトの物理アドレス空間をアクセスします。

図3-1 アドレス空間上のイメージ



3. 4. 2 メモリ・マップ

V850ES/JC3-L, V850ES/JE3-Lでは、次に示すように各領域を予約しています。

図3-2 データ・メモリ・マップ (物理アドレス)

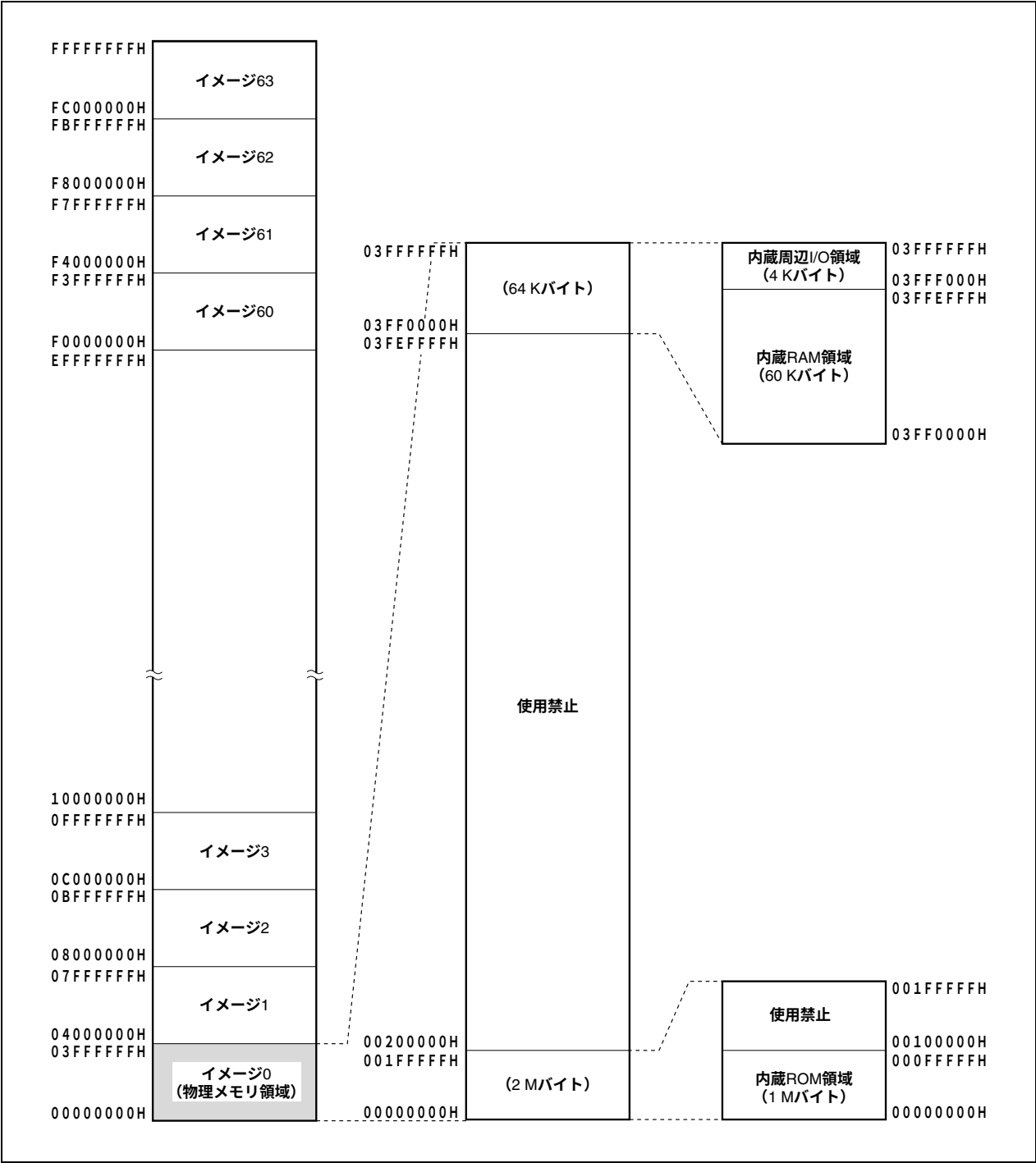
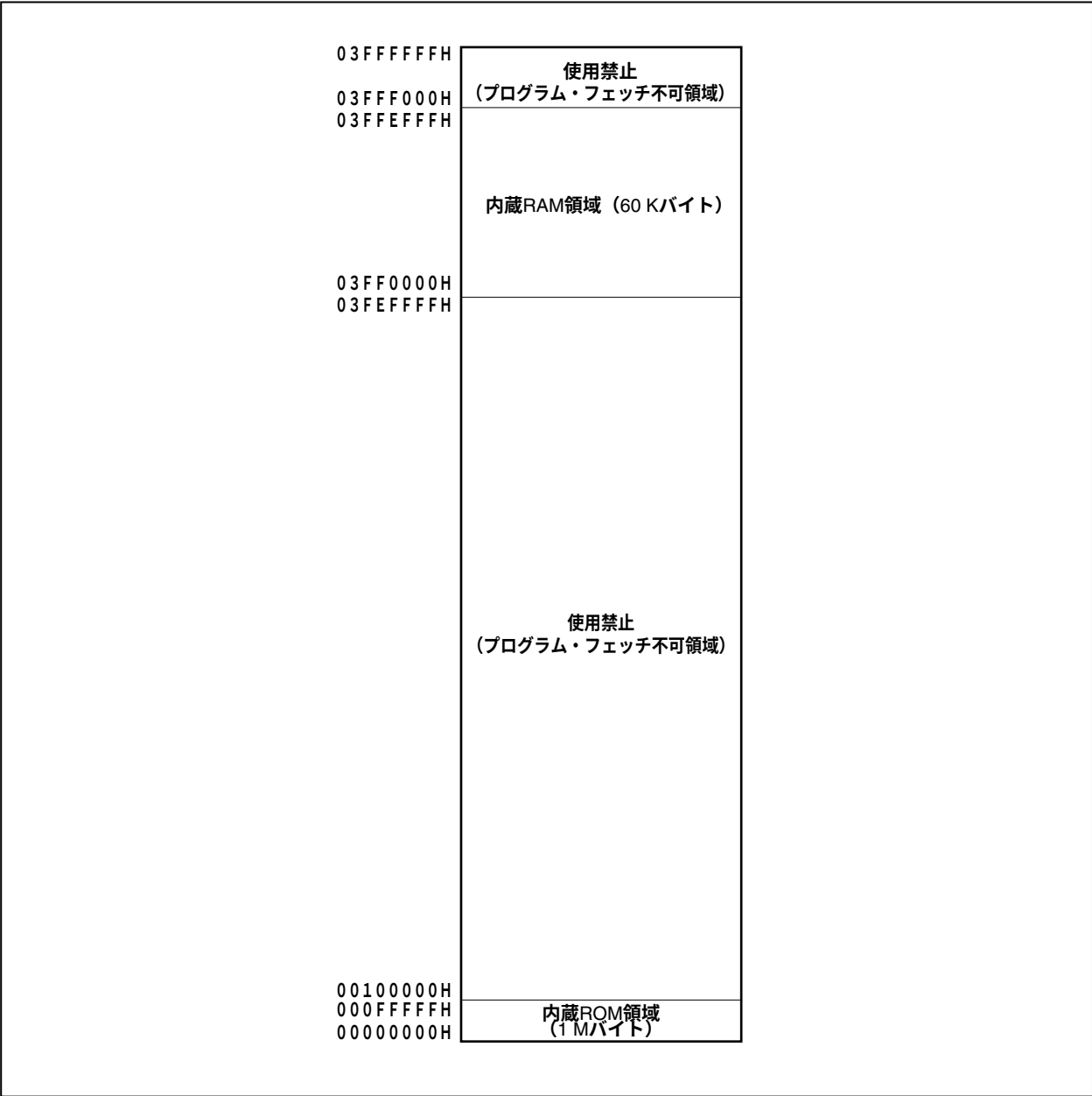


図3-3 プログラム・メモリ・マップ



3.4.3 領 域

(1) 内蔵ROM領域

内蔵ROM領域は、最大1 Mバイトが予約されています。

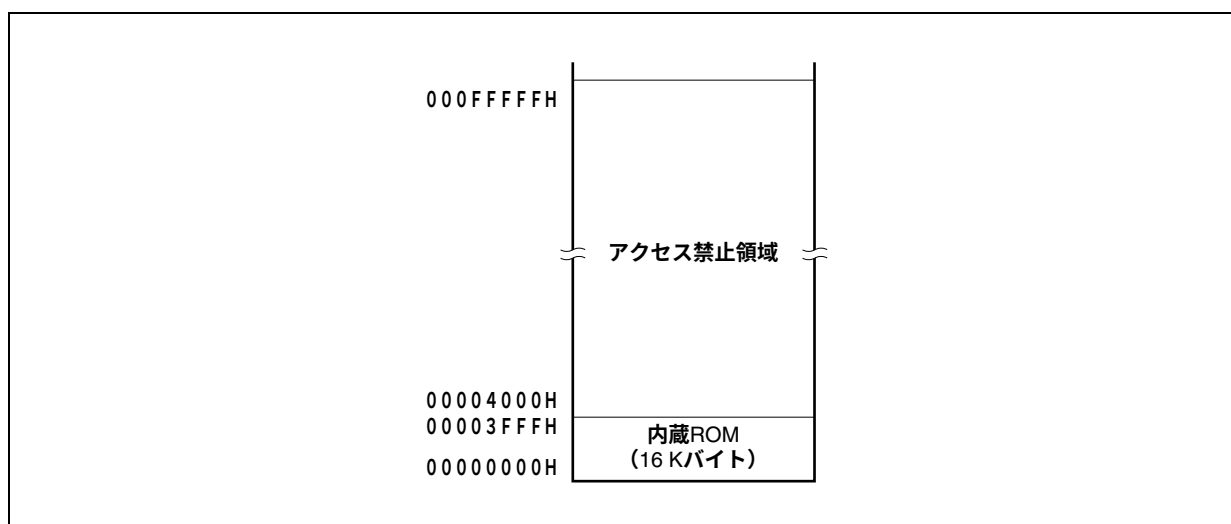
(a) 内蔵ROM (16 Kバイト)

次の製品には00000000Hから00003FFFH番地に16 Kバイト実装しています。

00004000Hから000FFFFFH番地はアクセス禁止領域です。

• μ PD70F3797, 70F3801, 70F3805

図3-4 内蔵ROM領域 (16 Kバイト)



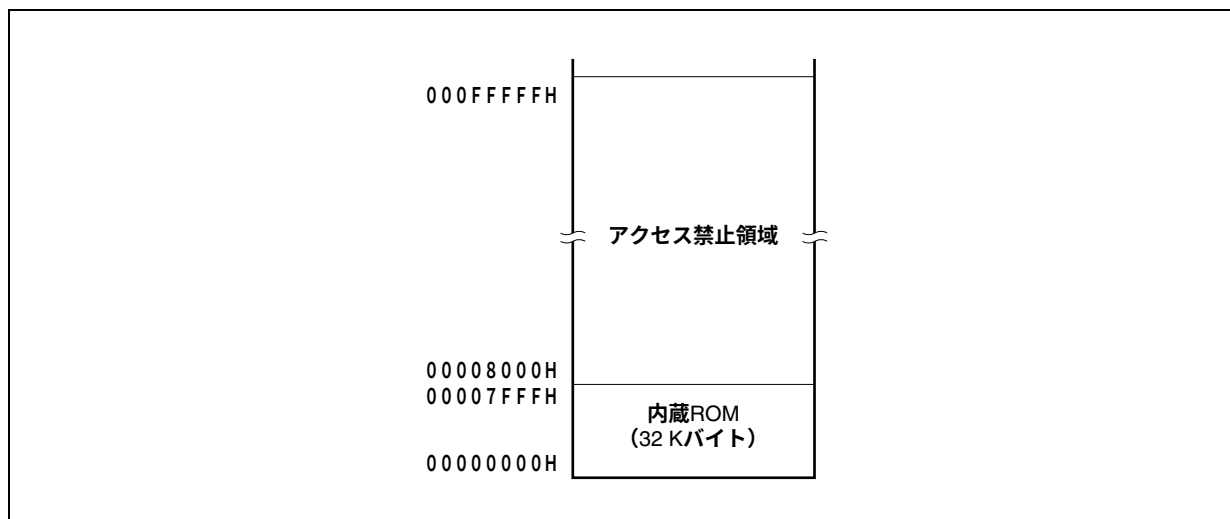
(b) 内蔵ROM (32 Kバイト)

次の製品には00000000Hから00007FFFH番地に32 Kバイト実装しています。

00008000Hから000FFFFFH番地はアクセス禁止領域です。

- μ PD70F3798, 70F3802, 70F3806

図3-5 内蔵ROM領域 (32 Kバイト)

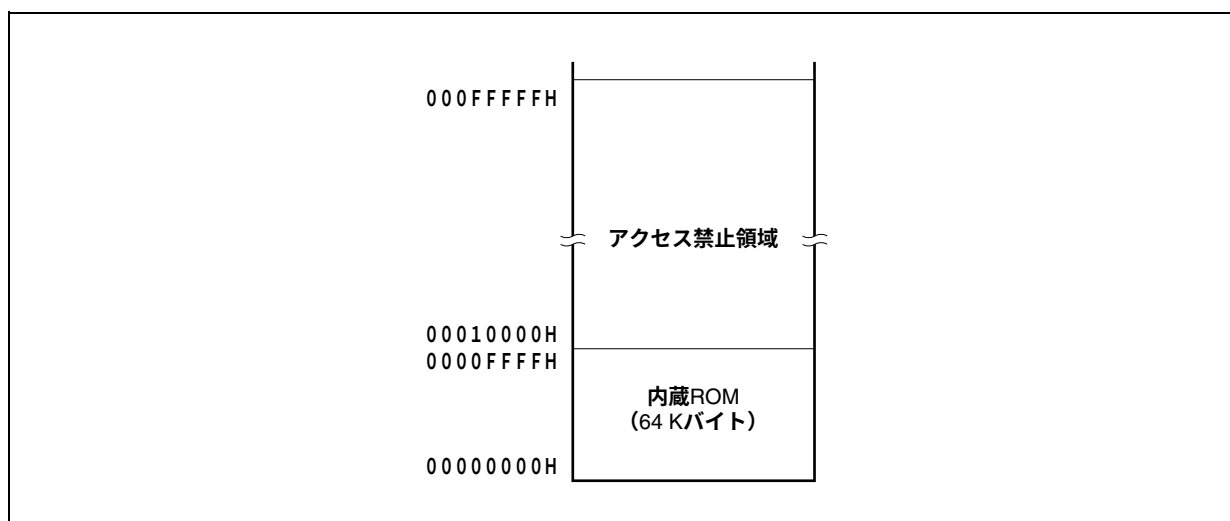
**(c) 内蔵ROM (64 Kバイト)**

次の製品には00000000Hから0000FFFFH番地に64 Kバイト実装しています。

00010000Hから000FFFFFH番地はアクセス禁止領域です。

- μ PD70F3799, 70F3803, 70F3807

図3-6 内蔵ROM領域 (64 Kバイト)



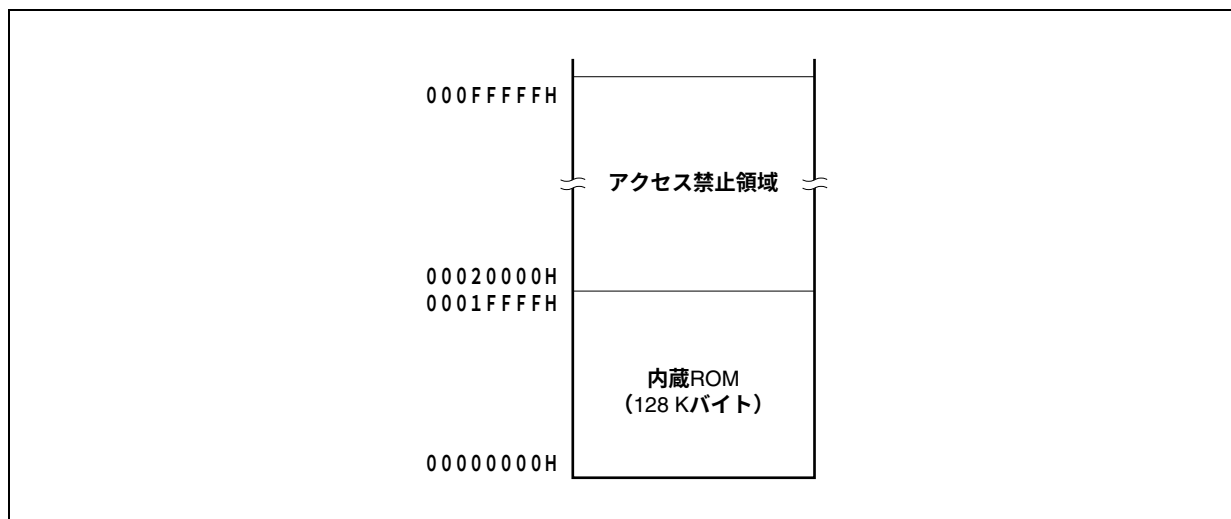
(d) 内蔵ROM (128 Kバイト)

次の製品には00000000Hから0001FFFFH番地に128 Kバイト実装しています。

00020000Hから000FFFFFH番地はアクセス禁止領域です。

- μ PD70F3800, 70F3804, 70F3808

図3-7 内蔵ROM領域 (128 Kバイト)

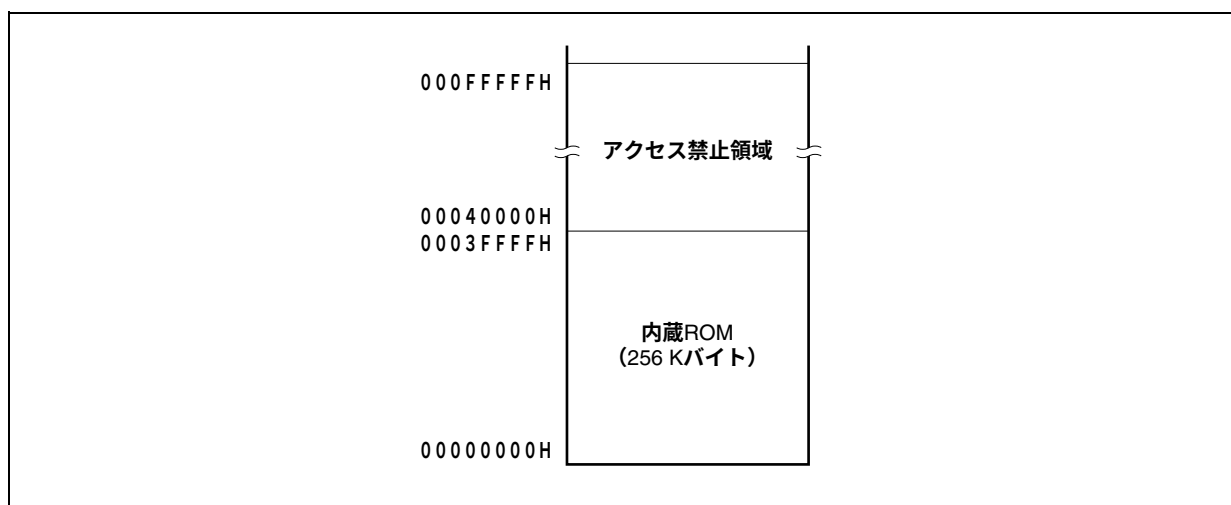
**(e) 内蔵ROM (256 Kバイト)**

次の製品には00000000Hから0003FFFFH番地に256 Kバイト実装しています。

00040000Hから000FFFFFH番地はアクセス禁止領域です。

- μ PD70F3838, 70F3839, 70F3840

図3-8 内蔵ROM領域 (256 Kバイト)



(2) 内蔵RAM領域

内蔵RAM領域は、03FF0000H-03FFFFFFFFH番地（物理アドレス）の最大60 Kバイトが予約されています。

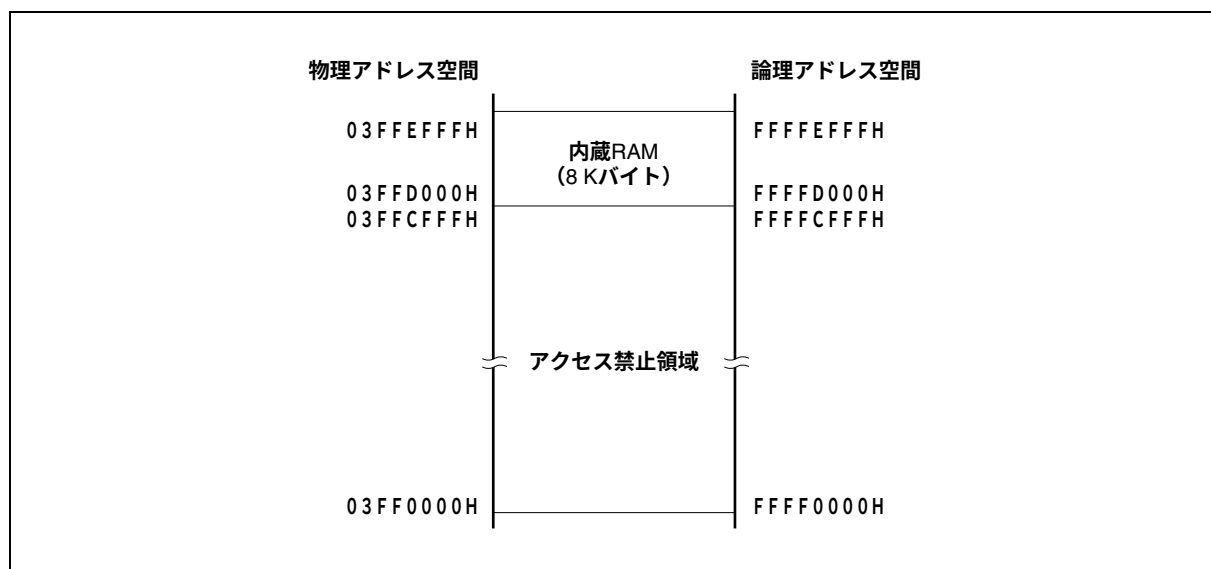
(a) 内蔵RAM（8 Kバイト）

次の製品には03FFD000Hから03FFFFFFFFH番地に8 Kバイト実装しています。

03FF0000Hから03FFCFFFH番地はアクセス禁止領域です。

- μ PD70F3797, 70F3798, 70F3799, 70F3800, 70F3801, 70F3802, 70F3803, 70F3804, 70F3805, 70F3806, 70F3807, 70F3808

図3-9 内蔵RAM領域（8 Kバイト）



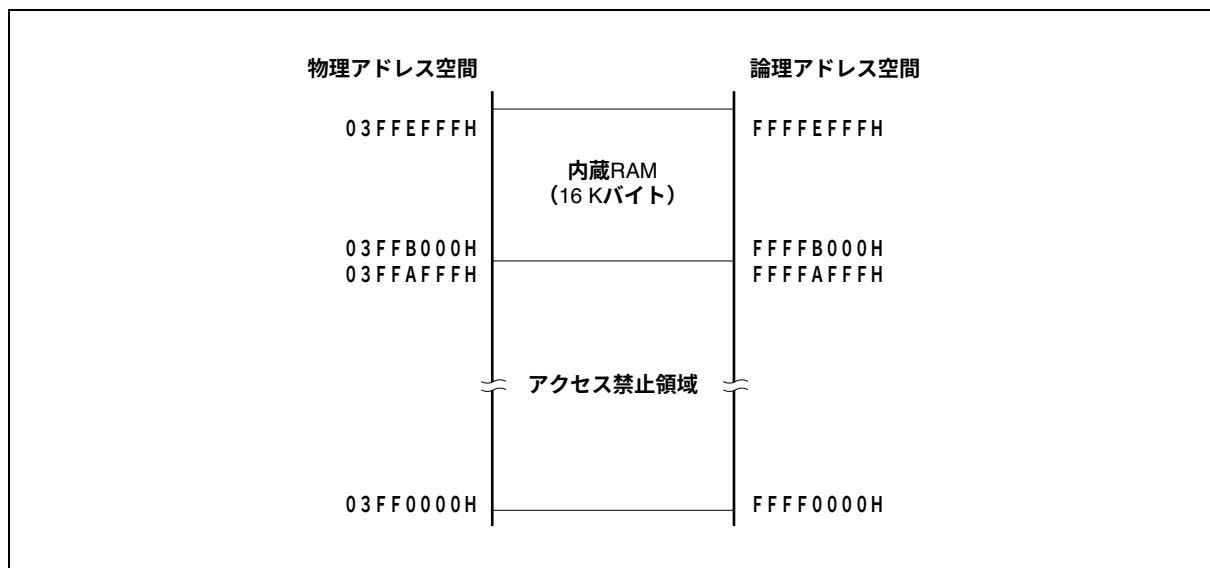
(b) 内蔵RAM (16 Kバイト)

次の製品には03FFB000Hから03FFFFFFFFH番地に16 Kバイト実装しています。

03FF0000Hから03FFAFFFFH番地はアクセス禁止領域です。

- μ PD70F3838, 70F3839, 70F3840

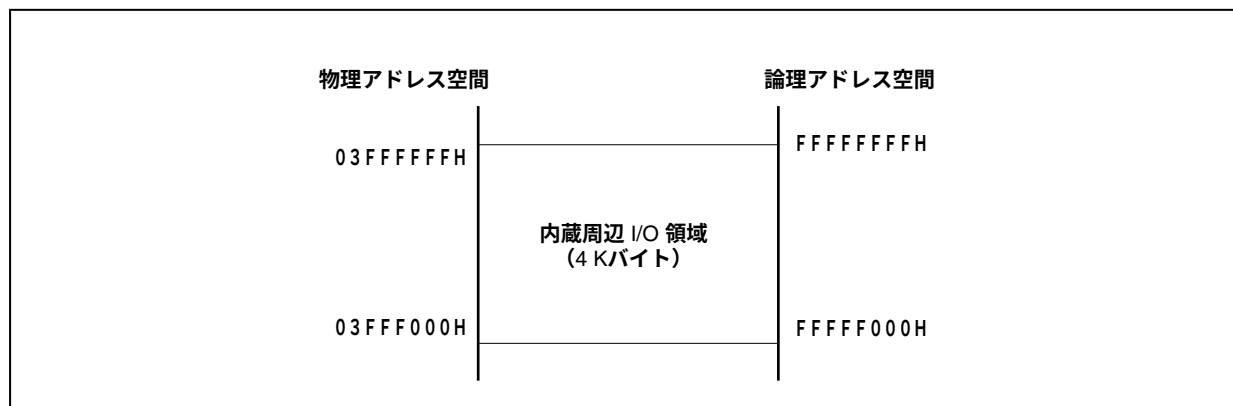
図3-10 内蔵RAM領域 (16 Kバイト)



(3) 内蔵周辺I/O領域

内蔵周辺I/O領域として03FFF000H-03FFFFFFFH番地（物理アドレス）の4 Kバイトを予約しています。

図3-11 内蔵周辺I/O領域



内蔵周辺I/O領域には、内蔵周辺I/Oの動作モード指定、状態モニタリングなどの機能を割り付けた周辺I/Oレジスタがマッピングされています。これらの領域からはプログラム・フェッチを行うことができません。

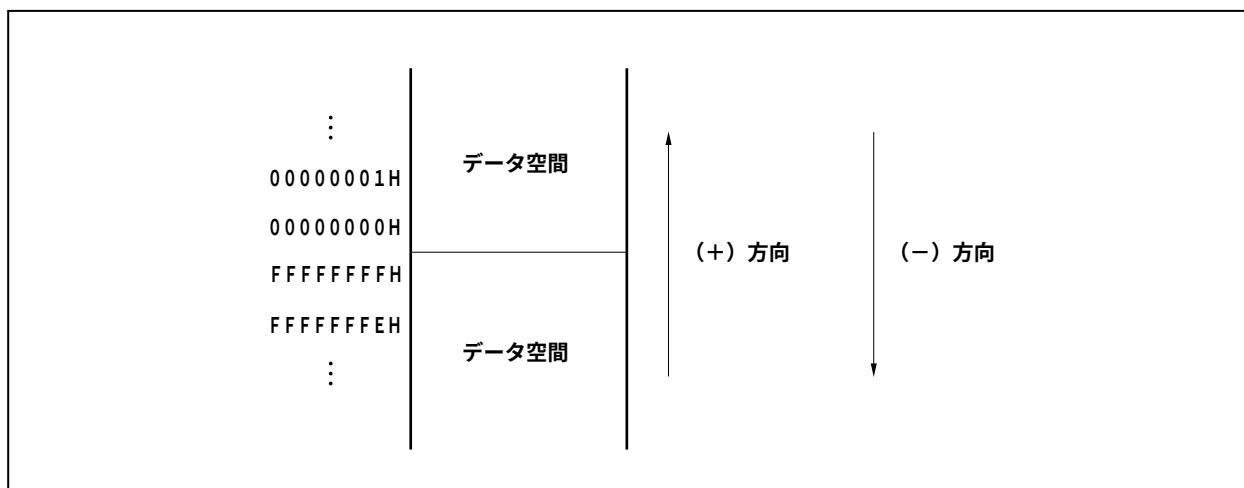
- 注意1.** 周辺I/Oレジスタにワード・アクセスを行うと、アドレスの下位2ビットを無視したワード領域に対し下位、上位の順番でハーフワード・アクセスを2回行います。
- バイト・アクセス可能な周辺I/Oレジスタにハーフワード・アクセスした場合、下位8ビットが有効になります。上位8ビットに対しては、リード時は不定になり、ライト時は無効になります。
 - レジスタとして定義されていないアドレスは、将来の拡張用に予約されており、アクセスした場合の動作は不定であり、保証しません。
 - 内蔵ROM/RAM領域と、内蔵周辺I/O領域のアドレスは連続しています。
そのため、ポインタ操作などでアドレスをインクリメント／デクリメントしながらアクセスする場合は、誤って内蔵ROM/RAM領域を越えて内蔵周辺I/O領域へアクセスしないください。

3.4.4 データ空間のラップ・アラウンド

オペランド・アドレス計算で32ビットを越える演算結果は無視します。

したがって、データ空間の上限であるFFFFFFFFH番地と、下限である00000000H番地は連続したアドレスになり、この境界でラップ・アラウンドします。

図3-12 データ空間のラップ・アラウンド



3.4.5 アドレス空間の推奨使用方法

V850ES/JC3-L, V850ES/JE3-Lのアーキテクチャでは、データ空間のオペランド・データ・アクセスを行うときに必ずポインタとなるレジスタをアドレス生成用に確保する必要があります。このポインタ用レジスタに入れたアドレスの±32 Kバイトには、命令から直接オペランド・データ・アクセスが行えます。しかし、ポインタ用レジスタとして使う汎用レジスタには限りがあるため、ポインタ値を変更する際のアドレス計算による性能ダウンを極力抑えるようにすることで、変数用の汎用レジスタを最大限に確保し、かつプログラム・サイズを抑えることができます。

(1) プログラム空間

PC（プログラム・カウンタ）は、32ビットのうち上位6ビットは0に固定であり、下位26ビットだけ有効となります。したがって、プログラム空間に関しては無条件に00000000H番地から連続した64 Mバイト空間がそのままメモリ・マップに対応します。

内蔵RAM領域をプログラム空間として使用する場合は、次の番地に対してアクセスしてください。

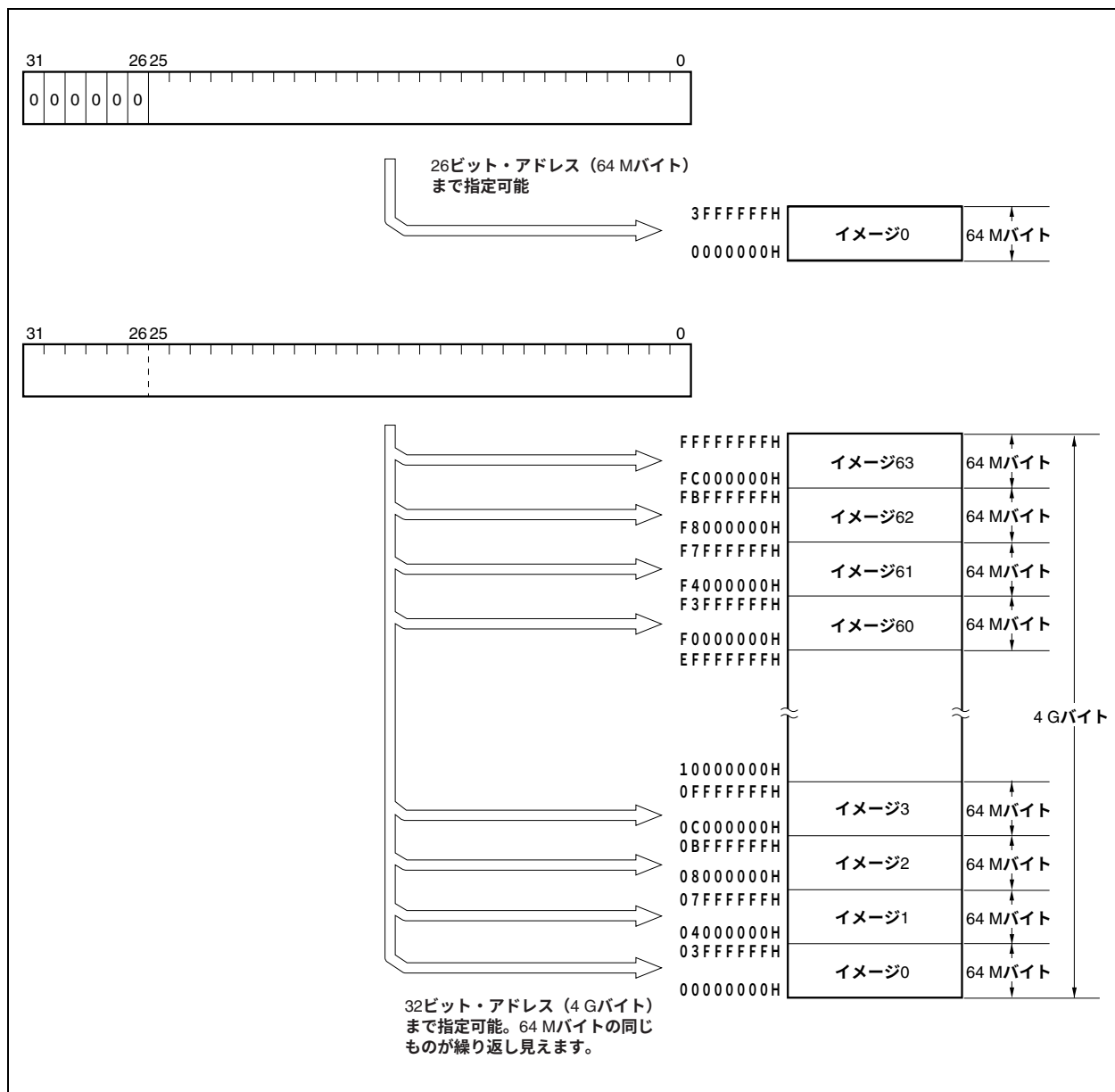
注意 内蔵RAM領域の上限に分岐命令がある場合、内蔵周辺I/O領域にまたがるプリフェッチ動作（無効フェッチ）は発生しません。

製品名	RAMサイズ	アクセス番地
μPD70F3797, 70F3798, 70F3799, 70F3800, 70F3801, 70F3802, 70F3803, 70F3804, 70F3805, 70F3806, 70F3807, 70F3808	8 Kバイト	03FFD000H-03FFFFFFFFH
μPD70F3838, 70F3839, 70F3840	16 Kバイト	03FFB000H-03FFFFFFFFH

(2) データ空間

V850ES/JC3-L, V850ES/JE3-Lでは、4 Gバイト（32ビット・アドレス）のCPUアドレス空間に64 Mバイト（26ビット・アドレス）の物理アドレス空間が64個のイメージとして見えるため、この64 Mバイト（26ビット・アドレス）の最上位ビット（ビット25）を32ビット長まで符号拡張したアドレスとして割り当てています。

図3-13 データ空間の符号拡張



(a) ラップ・アラウンドを利用した応用例

LD/ST disp16[R] 命令でR = r0(ゼロ・レジスタ)とした場合,符号拡張したdisp16により,00000000H番地±32 Kバイトの範囲がアドレッシング可能です。内蔵ハードウェアのすべてのリソースについて1つのポインタでアドレス指定可能です。

ゼロ・レジスタ (r0) はハードウェアでゼロ固定のレジスタであり,ポインタ専用に費やすレジスタは実質不要となります。

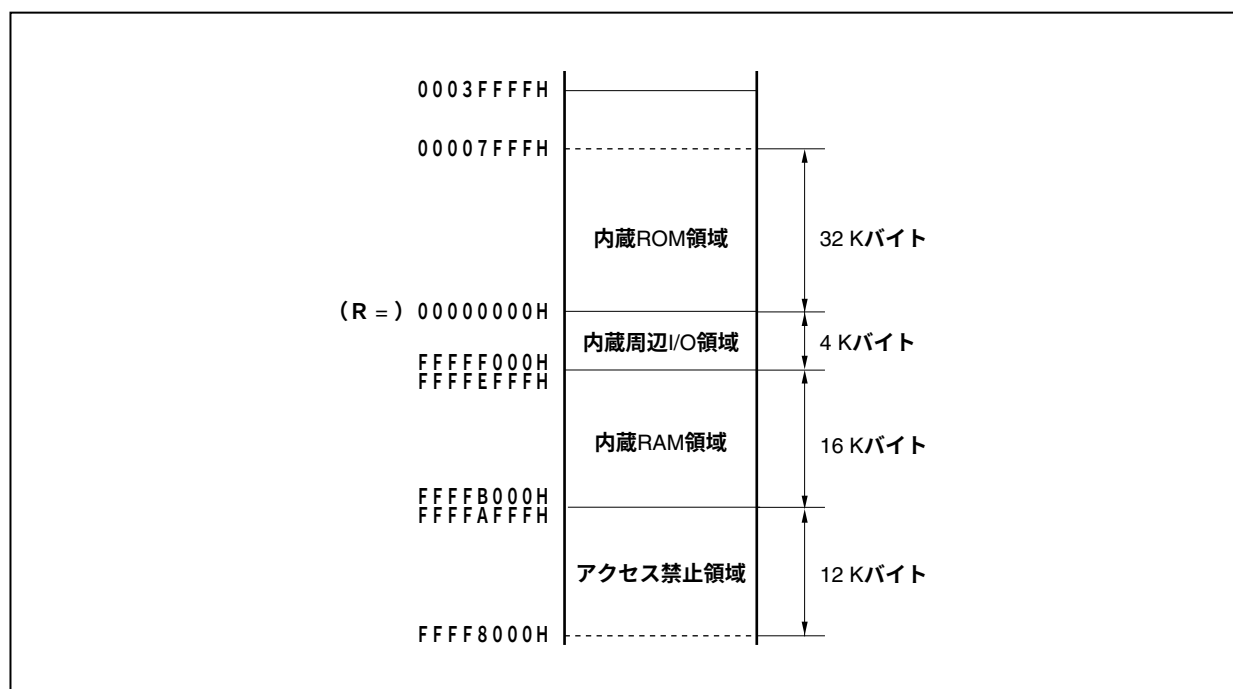
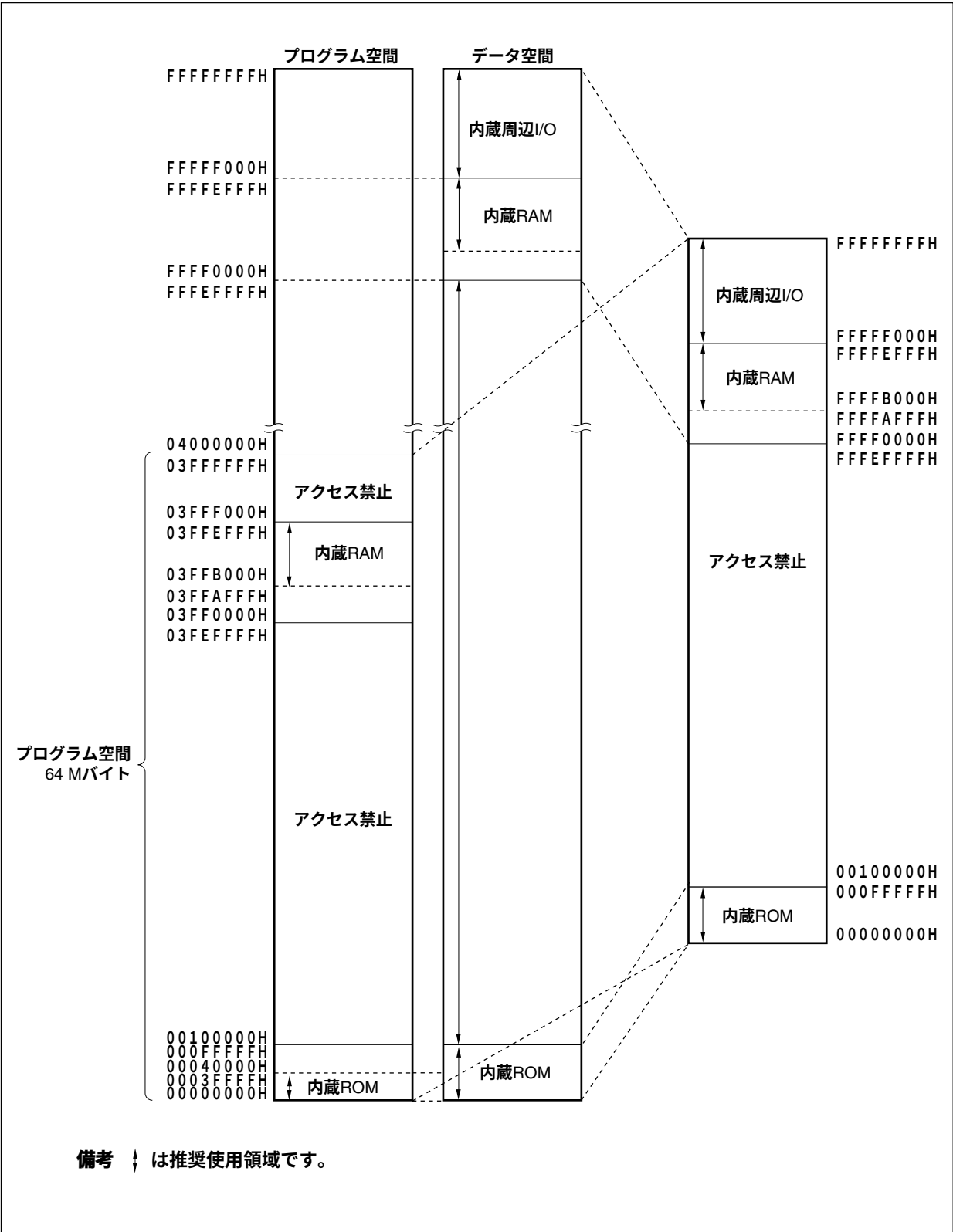
図3-14 μ PD70F3840のデータ空間の使用例

図3-15 推奨メモリ・マップ (μ PD70F3840)



3.4.6 周辺I/Oレジスタ

(1/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF004H	ポートDLレジスタ	PDL	R/W			○	0000H ^注
FFFFF004H	ポートDLレジスタL	PDLL		○	○		00H ^注
FFFFF00CH	ポートCMレジスタ	PCM		○	○		00H ^注
FFFFF024H	ポートDLモード・レジスタ	PMDL				○	FFFFH
FFFFF024H	ポートDLモード・レジスタL	PMDLL		○	○		FFH
FFFFF02CH	ポートCMモード・レジスタ	PMCM		○	○		FFH
FFFFF06EH	システム・ウェイト・コントロール・レジスタ	VSWC			○		77H
FFFFF080H	DMAソース・アドレス・レジスタ0L	DSA0L				○	不定
FFFFF082H	DMAソース・アドレス・レジスタ0H	DSA0H				○	不定
FFFFF084H	DMAデスティネーション・アドレス・レジスタ0L	DDA0L				○	不定
FFFFF086H	DMAデスティネーション・アドレス・レジスタ0H	DDA0H				○	不定
FFFFF088H	DMAソース・アドレス・レジスタ1L	DSA1L				○	不定
FFFFF08AH	DMAソース・アドレス・レジスタ1H	DSA1H				○	不定
FFFFF08CH	DMAデスティネーション・アドレス・レジスタ1L	DDA1L				○	不定
FFFFF08EH	DMAデスティネーション・アドレス・レジスタ1H	DDA1H				○	不定
FFFFF090H	DMAソース・アドレス・レジスタ2L	DSA2L				○	不定
FFFFF092H	DMAソース・アドレス・レジスタ2H	DSA2H				○	不定
FFFFF094H	DMAデスティネーション・アドレス・レジスタ2L	DDA2L				○	不定
FFFFF096H	DMAデスティネーション・アドレス・レジスタ2H	DDA2H				○	不定
FFFFF098H	DMAソース・アドレス・レジスタ3L	DSA3L				○	不定
FFFFF09AH	DMAソース・アドレス・レジスタ3H	DSA3H				○	不定
FFFFF09CH	DMAデスティネーション・アドレス・レジスタ3L	DDA3L				○	不定
FFFFF09EH	DMAデスティネーション・アドレス・レジスタ3H	DDA3H				○	不定
FFFFF0C0H	DMA転送カウント・レジスタ0	DBC0				○	不定
FFFFF0C2H	DMA転送カウント・レジスタ1	DBC1				○	不定
FFFFF0C4H	DMA転送カウント・レジスタ2	DBC2				○	不定
FFFFF0C6H	DMA転送カウント・レジスタ3	DBC3				○	不定
FFFFF0D0H	DMAアドレッシング・コントロール・レジスタ0	DADC0				○	0000H
FFFFF0D2H	DMAアドレッシング・コントロール・レジスタ1	DADC1				○	0000H
FFFFF0D4H	DMAアドレッシング・コントロール・レジスタ2	DADC2				○	0000H
FFFFF0D6H	DMAアドレッシング・コントロール・レジスタ3	DADC3				○	0000H
FFFFF0E0H	DMAチャンネル・コントロール・レジスタ0	DCHC0		○	○		00H
FFFFF0E2H	DMAチャンネル・コントロール・レジスタ1	DCHC1		○	○		00H
FFFFF0E4H	DMAチャンネル・コントロール・レジスタ2	DCHC2		○	○		00H
FFFFF0E6H	DMAチャンネル・コントロール・レジスタ3	DCHC3		○	○		00H
FFFFF100H	割り込みマスク・レジスタ0	IMR0				○	FFFFH
FFFFF100H	割り込みマスク・レジスタ0L	IMR0L		○	○		FFH
FFFFF101H	割り込みマスク・レジスタ0H	IMR0H		○	○		FFH

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(2/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF102H	割り込みマスク・レジスタ1	IMR1	R/W			○	FFFFH
FFFFF102H	割り込みマスク・レジスタ1L	IMR1L		○	○		FFH
FFFFF103H	割り込みマスク・レジスタ1H	IMR1H		○	○		FFH
FFFFF104H	割り込みマスク・レジスタ2	IMR2				○	FFFFH
FFFFF104H	割り込みマスク・レジスタ2L	IMR2L		○	○		FFH
FFFFF105H	割り込みマスク・レジスタ2H	IMR2H		○	○		FFH
FFFFF106H	割り込みマスク・レジスタ3	IMR3				○	FFFFH
FFFFF106H	割り込みマスク・レジスタ3L	IMR3L		○	○		FFH
FFFFF110H	割り込み制御レジスタ (INTLVI)	LVIIC		○	○		47H
FFFFF112H	割り込み制御レジスタ (INTP0)	PIC0		○	○		47H
FFFFF114H	割り込み制御レジスタ (INTP1)	PIC1		○	○		47H
FFFFF116H	割り込み制御レジスタ (INTP2)	PIC2		○	○		47H
FFFFF118H	割り込み制御レジスタ (INTP3)	PIC3		○	○		47H
FFFFF11AH	割り込み制御レジスタ (INTP4)	PIC4		○	○		47H
FFFFF11CH	割り込み制御レジスタ (INTP5)	PIC5		○	○		47H
FFFFF11EH	割り込み制御レジスタ (INTP6)	PIC6		○	○		47H
FFFFF120H	割り込み制御レジスタ (INTP7)	PIC7		○	○		47H
FFFFF122H	割り込み制御レジスタ (INTTQ0OV)	TQ0OVIC		○	○		47H
FFFFF124H	割り込み制御レジスタ (INTTQ0CC0)	TQ0CCIC0		○	○		47H
FFFFF126H	割り込み制御レジスタ (INTTQ0CC1)	TQ0CCIC1		○	○		47H
FFFFF128H	割り込み制御レジスタ (INTTQ0CC2)	TQ0CCIC2		○	○		47H
FFFFF12AH	割り込み制御レジスタ (INTTQ0CC3)	TQ0CCIC3		○	○		47H
FFFFF12CH	割り込み制御レジスタ (INTTP0OV)	TP0OVIC		○	○		47H
FFFFF12EH	割り込み制御レジスタ (INTTP0CC0)	TP0CCIC0		○	○		47H
FFFFF130H	割り込み制御レジスタ (INTTP0CC1)	TP0CCIC1		○	○		47H
FFFFF132H	割り込み制御レジスタ (INTTP1OV)	TP1OVIC		○	○		47H
FFFFF134H	割り込み制御レジスタ (INTTP1CC0)	TP1CCIC0		○	○		47H
FFFFF136H	割り込み制御レジスタ (INTTP1CC1)	TP1CCIC1		○	○		47H
FFFFF138H	割り込み制御レジスタ (INTTP2OV)	TP2OVIC		○	○		47H
FFFFF13AH	割り込み制御レジスタ (INTTP2CC0)	TP2CCIC0		○	○		47H
FFFFF13CH	割り込み制御レジスタ (INTTP2CC1)	TP2CCIC1		○	○		47H
FFFFF13EH	割り込み制御レジスタ (INTTP3OV)	TP3OVIC		○	○		47H
FFFFF140H	割り込み制御レジスタ (INTTP3CC0)	TP3CCIC0		○	○		47H
FFFFF142H	割り込み制御レジスタ (INTTP3CC1)	TP3CCIC1		○	○		47H
FFFFF144H	割り込み制御レジスタ (INTTP4OV)	TP4OVIC		○	○		47H
FFFFF146H	割り込み制御レジスタ (INTTP4CC0)	TP4CCIC0		○	○		47H
FFFFF148H	割り込み制御レジスタ (INTTP4CC1)	TP4CCIC1		○	○		47H
FFFFF14AH	割り込み制御レジスタ (INTTP5OV)	TP5OVIC		○	○		47H
FFFFF14CH	割り込み制御レジスタ (INTTP5CC0)	TP5CCIC0		○	○		47H
FFFFF14EH	割り込み制御レジスタ (INTTP5CC1)	TP5CCIC1		○	○		47H
FFFFF150H	割り込み制御レジスタ (INTTM0EQ0)	TM0EQIC0		○	○		47H

(3/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF152H	割り込み制御レジスタ (INTCB0R/INTIIC1)	CB0RIC/IICIC1	R/W	○	○		47H
FFFFF154H	割り込み制御レジスタ (INTCB0T)	CB0TIC		○	○		47H
FFFFF156H	割り込み制御レジスタ (INTCB1R)	CB1RIC		○	○		47H
FFFFF158H	割り込み制御レジスタ (INTCB1T)	CB1TIC		○	○		47H
FFFFF15AH	割り込み制御レジスタ (INTCB2R)	CB2RIC		○	○		47H
FFFFF15CH	割り込み制御レジスタ (INTCB2T)	CB2TIC		○	○		47H
FFFFF15EH	割り込み制御レジスタ (INTCB3R)	CB3RIC		○	○		47H
FFFFF160H	割り込み制御レジスタ (INTCB3T)	CB3TIC		○	○		47H
FFFFF162H	割り込み制御レジスタ (INTUA0R/INTCB4R)	UA0RIC/CB4RIC		○	○		47H
FFFFF164H	割り込み制御レジスタ (INTUA0T/INTCB4T)	UA0TIC/CB4TIC		○	○		47H
FFFFF166H	割り込み制御レジスタ (INTUA1R/INTIIC2)	UA1RIC/IICIC2		○	○		47H
FFFFF168H	割り込み制御レジスタ (INTUA1T)	UA1TIC		○	○		47H
FFFFF16AH	割り込み制御レジスタ (INTUA2R/INTIIC0)	UA2RIC/IICIC0		○	○		47H
FFFFF16CH	割り込み制御レジスタ (INTUA2T)	UA2TIC		○	○		47H
FFFFF16EH	割り込み制御レジスタ (INTAD)	ADIC		○	○		47H
FFFFF170H	割り込み制御レジスタ (INTDMA0)	DMAIC0		○	○		47H
FFFFF172H	割り込み制御レジスタ (INTDMA1)	DMAIC1		○	○		47H
FFFFF174H	割り込み制御レジスタ (INTDMA2)	DMAIC2		○	○		47H
FFFFF176H	割り込み制御レジスタ (INTDMA3)	DMAIC3		○	○		47H
FFFFF178H	割り込み制御レジスタ (INTKR)	KRIC		○	○		47H
FFFFF17AH	割り込み制御レジスタ (INTWTI/INTRTC2)	WTIIC/RTC2IC		○	○		47H
FFFFF17CH	割り込み制御レジスタ (INTWT/INTRTC0)	WTIC/RTC0IC		○	○		47H
FFFFF17EH	割り込み制御レジスタ (INTRTC1)	RTC1IC		○	○		47H
FFFFF1FAH	インサービス・プライオリティ・レジスタ	ISPR	R	○	○		00H
FFFFF1FCH	コマンド・レジスタ	PRCMD	W		○		不定
FFFFF1FEH	パワー・セーブ・コントロール・レジスタ	PSC ^注	R/W	○	○		00H
FFFFF200H	A/Dコンバータ・モード・レジスタ0	ADA0M0	R/W	○	○		00H
FFFFF201H	A/Dコンバータ・モード・レジスタ1	ADA0M1		○	○		00H
FFFFF202H	A/Dコンバータ・チャネル指定レジスタ	ADA0S		○	○		00H
FFFFF203H	A/Dコンバータ・モード・レジスタ2	ADA0M2		○	○		00H
FFFFF204H	パワー・フェイル比較モード・レジスタ	ADA0PFM		○	○		00H
FFFFF205H	パワー・フェイル比較しきい値レジスタ	ADA0PFT		○	○		00H
FFFFF210H	A/D変換結果レジスタ0	ADA0CR0				○	不定
FFFFF211H	A/D変換結果レジスタ0H	ADA0CR0H	R		○		不定
FFFFF212H	A/D変換結果レジスタ1	ADA0CR1				○	不定
FFFFF213H	A/D変換結果レジスタ1H	ADA0CR1H			○		不定
FFFFF214H	A/D変換結果レジスタ2	ADA0CR2				○	不定
FFFFF215H	A/D変換結果レジスタ2H	ADA0CR2H			○		不定
FFFFF216H	A/D変換結果レジスタ3	ADA0CR3				○	不定
FFFFF217H	A/D変換結果レジスタ3H	ADA0CR3H			○		不定

注 特定レジスタです。

(4/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF218H	A/D変換結果レジスタ4	ADA0CR4	R			○	不定
FFFFF219H	A/D変換結果レジスタ4H	ADA0CR4H			○		不定
FFFFF21AH	A/D変換結果レジスタ5	ADA0CR5				○	不定
FFFFF21BH	A/D変換結果レジスタ5H	ADA0CR5H			○		不定
FFFFF21CH	A/D変換結果レジスタ6	ADA0CR6				○	不定
FFFFF21DH	A/D変換結果レジスタ6H	ADA0CR6H			○		不定
FFFFF21EH	A/D変換結果レジスタ7	ADA0CR7				○	不定
FFFFF21FH	A/D変換結果レジスタ7H	ADA0CR7H			○		不定
FFFFF220H	A/D変換結果レジスタ8	ADA0CR8				○	不定
FFFFF221H	A/D変換結果レジスタ8H	ADA0CR8H			○		不定
FFFFF222H	A/D変換結果レジスタ9	ADA0CR9				○	不定
FFFFF223H	A/D変換結果レジスタ9H	ADA0CR9H			○		不定
FFFFF280H	D/A変換値設定レジスタ0	DA0CS0	R/W		○		00H
FFFFF282H	D/Aコンバータ・モード・レジスタ	DA0M		○	○		00H
FFFFF300H	キー・リターン・モード・レジスタ	KRM		○	○		00H
FFFFF308H	セレクト動作制御レジスタ0	SELCNT0		○	○		00H
FFFFF310H	CRCインプット・レジスタ	CRCIN			○		00H
FFFFF312H	CRCデータ・レジスタ	CRCD				○	0000H
FFFFF318H	ノイズ除去制御レジスタ	NFC			○		00H
FFFFF320H	プリスケラ・モード・レジスタ1	PRSM1		○	○		00H
FFFFF321H	プリスケラ・コンペア・レジスタ1	PRSCM1			○		00H
FFFFF324H	プリスケラ・モード・レジスタ2	PRSM2		○	○		00H
FFFFF325H	プリスケラ・コンペア・レジスタ2	PRSCM2			○		00H
FFFFF328H	プリスケラ・モード・レジスタ3	PRSM3		○	○		00H
FFFFF329H	プリスケラ・コンペア・レジスタ3	PRSCM3			○		00H
FFFFF331H	レギュレータ・プロテクション・レジスタ	REGPR			○		00H
FFFFF332H	レギュレータ出力電圧レベル制御レジスタ	REGOVL0			○		00H
FFFFF340H	IIC分周クロック選択レジスタ0	OCKS0			○		00H
FFFFF344H	IIC分周クロック選択レジスタ1	OCKS1			○		00H
FFFFF400H	ポート0レジスタ	P0		○	○		00H ^注
FFFFF402H	ポート1レジスタ	P1		○	○		00H ^注
FFFFF406H	ポート3レジスタ	P3				○	0000H ^注
FFFFF406H	ポート3レジスタL	P3L		○	○		00H ^注
FFFFF407H	ポート3レジスタH	P3H		○	○		00H ^注
FFFFF408H	ポート4レジスタ	P4		○	○		00H ^注
FFFFF40AH	ポート5レジスタ	P5		○	○		00H ^注
FFFFF40EH	ポート7レジスタL	P7L		○	○		00H ^注
FFFFF40FH	ポート7レジスタH	P7H		○	○		00H ^注
FFFFF412H	ポート9レジスタ	P9				○	0000H ^注
FFFFF412H	ポート9レジスタL	P9L		○	○		00H ^注
FFFFF413H	ポート9レジスタH	P9H		○	○		00H ^注
FFFFF420H	ポート0モード・レジスタ	PM0		○	○		FFH

注 出力ラッチは00Hまたは0000Hになります。入力時は端子の状態を読み出します。

(5/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF422H	ポート1モード・レジスタ	PM1	R/W	○	○		FFH
FFFFF426H	ポート3モード・レジスタ	PM3				○	FFFFH
FFFFF426H	ポート3モード・レジスタL	PM3L		○	○		FFH
FFFFF427H	ポート3モード・レジスタH	PM3H		○	○		FFH
FFFFF428H	ポート4モード・レジスタ	PM4		○	○		FFH
FFFFF42AH	ポート5モード・レジスタ	PM5		○	○		FFH
FFFFF42EH	ポート7モード・レジスタL	PM7L		○	○		FFH
FFFFF42FH	ポート7モード・レジスタH	PM7H		○	○		FFH
FFFFF432H	ポート9モード・レジスタ	PM9				○	FFFFH
FFFFF432H	ポート9モード・レジスタL	PM9L		○	○		FFH
FFFFF433H	ポート9モード・レジスタH	PM9H		○	○		FFH
FFFFF440H	ポート0モード・コントロール・レジスタ	PMC0		○	○		00H
FFFFF446H	ポート3モード・コントロール・レジスタ	PMC3				○	0000H
FFFFF446H	ポート3モード・コントロール・レジスタL	PMC3L		○	○		00H
FFFFF447H	ポート3モード・コントロール・レジスタH	PMC3H		○	○		00H
FFFFF448H	ポート4モード・コントロール・レジスタ	PMC4		○	○		00H
FFFFF44AH	ポート5モード・コントロール・レジスタ	PMC5		○	○		00H
FFFFF452H	ポート9モード・コントロール・レジスタ	PMC9				○	0000H
FFFFF452H	ポート9モード・コントロール・レジスタL	PMC9L		○	○		00H
FFFFF453H	ポート9モード・コントロール・レジスタH	PMC9H		○	○		00H
FFFFF460H	ポート0ファンクション・コントロール・レジスタ	PFC0		○	○		00H
FFFFF466H	ポート3ファンクション・コントロール・レジスタ	PFC3				○	0000H
FFFFF466H	ポート3ファンクション・コントロール・レジスタL	PFC3L		○	○		00H
FFFFF467H	ポート3ファンクション・コントロール・レジスタH	PFC3H		○	○		00H
FFFFF468H	ポート4ファンクション・コントロール・レジスタ	PFC4		○	○		00H
FFFFF46AH	ポート5ファンクション・コントロール・レジスタ	PFC5		○	○		00H
FFFFF472H	ポート9ファンクション・コントロール・レジスタ	PFC9				○	0000H
FFFFF472H	ポート9ファンクション・コントロール・レジスタL	PFC9L		○	○		00H
FFFFF473H	ポート9ファンクション・コントロール・レジスタH	PFC9H		○	○		00H
FFFFF540H	TMQ0制御レジスタ0	TQ0CTL0	R	○	○		00H
FFFFF541H	TMQ0制御レジスタ1	TQ0CTL1		○	○		00H
FFFFF542H	TMQ0I/O制御レジスタ0	TQ0IOC0		○	○		00H
FFFFF543H	TMQ0I/O制御レジスタ1	TQ0IOC1		○	○		00H
FFFFF544H	TMQ0I/O制御レジスタ2	TQ0IOC2		○	○		00H
FFFFF545H	TMQ0オプション・レジスタ0	TQ0OPT0		○	○		00H
FFFFF546H	TMQ0キャプチャ／コンペア・レジスタ0	TQ0CCR0				○	0000H
FFFFF548H	TMQ0キャプチャ／コンペア・レジスタ1	TQ0CCR1				○	0000H
FFFFF54AH	TMQ0キャプチャ／コンペア・レジスタ2	TQ0CCR2	R			○	0000H
FFFFF54CH	TMQ0キャプチャ／コンペア・レジスタ3	TQ0CCR3				○	0000H
FFFFF54EH	TMQ0カウンタ・リード・バッファ・レジスタ	TQ0CNT	R			○	0000H

(6/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF590H	TMP0制御レジスタ0	TP0CTL0	R/W	○	○		00H
FFFFF591H	TMP0制御レジスタ1	TP0CTL1		○	○		00H
FFFFF592H	TMP0I/O制御レジスタ0	TP0IOC0		○	○		00H
FFFFF593H	TMP0I/O制御レジスタ1	TP0IOC1		○	○		00H
FFFFF594H	TMP0I/O制御レジスタ2	TP0IOC2		○	○		00H
FFFFF595H	TMP0オプション・レジスタ0	TP0OPT0		○	○		00H
FFFFF596H	TMP0キャプチャ／コンペア・レジスタ0	TP0CCR0				○	0000H
FFFFF598H	TMP0キャプチャ／コンペア・レジスタ1	TP0CCR1				○	0000H
FFFFF59AH	TMP0カウンタ・リード・バッファ・レジスタ	TP0CNT	R			○	0000H
FFFFF5A0H	TMP1制御レジスタ0	TP1CTL0	R/W	○	○		00H
FFFFF5A1H	TMP1制御レジスタ1	TP1CTL1		○	○		00H
FFFFF5A2H	TMP1I/O制御レジスタ0	TP1IOC0		○	○		00H
FFFFF5A3H	TMP1I/O制御レジスタ1	TP1IOC1		○	○		00H
FFFFF5A4H	TMP1I/O制御レジスタ2	TP1IOC2		○	○		00H
FFFFF5A5H	TMP1オプション・レジスタ0	TP1OPT0		○	○		00H
FFFFF5A6H	TMP1キャプチャ／コンペア・レジスタ0	TP1CCR0				○	0000H
FFFFF5A8H	TMP1キャプチャ／コンペア・レジスタ1	TP1CCR1				○	0000H
FFFFF5AAH	TMP1カウンタ・リード・バッファ・レジスタ	TP1CNT	R			○	0000H
FFFFF5B0H	TMP2制御レジスタ0	TP2CTL0	R/W	○	○		00H
FFFFF5B1H	TMP2制御レジスタ1	TP2CTL1		○	○		00H
FFFFF5B2H	TMP2I/O制御レジスタ0	TP2IOC0		○	○		00H
FFFFF5B3H	TMP2I/O制御レジスタ1	TP2IOC1		○	○		00H
FFFFF5B4H	TMP2I/O制御レジスタ2	TP2IOC2	R/W	○	○		00H
FFFFF5B5H	TMP2オプション・レジスタ0	TP2OPT0		○	○		00H
FFFFF5B6H	TMP2キャプチャ／コンペア・レジスタ0	TP2CCR0				○	0000H
FFFFF5B8H	TMP2キャプチャ／コンペア・レジスタ1	TP2CCR1				○	0000H
FFFFF5BAH	TMP2カウンタ・リード・バッファ・レジスタ	TP2CNT	R			○	0000H
FFFFF5C0H	TMP3制御レジスタ0	TP3CTL0	R/W	○	○		00H
FFFFF5C1H	TMP3制御レジスタ1	TP3CTL1		○	○		00H
FFFFF5C2H	TMP3I/O制御レジスタ0	TP3IOC0		○	○		00H
FFFFF5C3H	TMP3I/O制御レジスタ1	TP3IOC1		○	○		00H
FFFFF5C5H	TMP3オプション・レジスタ0	TP3OPT0		○	○		00H
FFFFF5C6H	TMP3キャプチャ／コンペア・レジスタ0	TP3CCR0				○	0000H
FFFFF5C8H	TMP3キャプチャ／コンペア・レジスタ1	TP3CCR1				○	0000H
FFFFF5CAH	TMP3カウンタ・リード・バッファ・レジスタ	TP3CNT	R			○	0000H
FFFFF5D0H	TMP4制御レジスタ0	TP4CTL0	R/W	○	○		00H
FFFFF5D1H	TMP4制御レジスタ1	TP4CTL1		○	○		00H
FFFFF5D2H	TMP4I/O制御レジスタ0	TP4IOC0		○	○		00H
FFFFF5D3H	TMP4I/O制御レジスタ1	TP4IOC1		○	○		00H
FFFFF5D4H	TMP4I/O制御レジスタ2	TP4IOC2		○	○		00H
FFFFF5D5H	TMP4オプション・レジスタ0	TP4OPT0		○	○		00H

(7/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFF5D6H	TMP4キャプチャ／コンペア・レジスタ0	TP4CCR0	R/W			○	0000H
FFFFF5D8H	TMP4キャプチャ／コンペア・レジスタ1	TP4CCR1				○	0000H
FFFFF5DAH	TMP4カウンタ・リード・バッファ・レジスタ	TP4CNT	R			○	0000H
FFFFF5E0H	TMP5制御レジスタ0	TP5CTL0	R/W	○	○		00H
FFFFF5E1H	TMP5制御レジスタ1	TP5CTL1		○	○		00H
FFFFF5E2H	TMP5I/O制御レジスタ0	TP5IOC0		○	○		00H
FFFFF5E3H	TMP5I/O制御レジスタ1	TP5IOC1		○	○		00H
FFFFF5E4H	TMP5I/O制御レジスタ2	TP5IOC2		○	○		00H
FFFFF5E5H	TMP5オプション・レジスタ0	TP5OPT0		○	○		00H
FFFFF5E6H	TMP5キャプチャ／コンペア・レジスタ0	TP5CCR0				○	0000H
FFFFF5E8H	TMP5キャプチャ／コンペア・レジスタ1	TP5CCR1				○	0000H
FFFFF5EAH	TMP5カウンタ・リード・バッファ・レジスタ	TP5CNT	R			○	0000H
FFFFF680H	時計タイマ動作モード・レジスタ	WTM	R/W	○	○		00H
FFFFF690H	TMM0制御レジスタ0	TM0CTL0		○	○		00H
FFFFF694H	TMM0コンペア・レジスタ0	TM0CMP0				○	0000H
FFFFF6C0H	発振安定時間選択レジスタ	OSTS			○		06H
FFFFF6C1H	PLLロックアップ時間指定レジスタ	PLLS			○		03H
FFFFF6D0H	ウォッチドッグ・タイマ・モード・レジスタ2	WDTM2			○		67H
FFFFF6D1H	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDTE			○		9AH
FFFFF6E0H	リアルタイム出力バッファ・レジスタ0L	RTBL0		○	○		00H
FFFFF6E2H	リアルタイム出力バッファ・レジスタ0H	RTBH0		○	○		00H
FFFFF6E4H	リアルタイム出力ポート・モード・レジスタ0	RTPM0		○	○		00H
FFFFF6E5H	リアルタイム出力ポート・コントロール・レジスタ0	RTPC0		○	○		00H
FFFFF700H	ポート0ファンクション・コントロール拡張レジスタ	PFCE0		○	○		00H
FFFFF706H	ポート3ファンクション・コントロール拡張レジスタL	PFCE3L		○	○		00H
FFFFF70AH	ポート5ファンクション・コントロール拡張レジスタ	PFCE5		○	○		00H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタ	PFCE9				○	0000H
FFFFF712H	ポート9ファンクション・コントロール拡張レジスタL	PFCE9L		○	○		00H
FFFFF713H	ポート9ファンクション・コントロール拡張レジスタH	PFCE9H		○	○		00H
FFFFF802H	システム・ステータス・レジスタ	SYS		○	○		00H
FFFFF80CH	内蔵発振モード・レジスタ	RCM		○	○		00H
FFFFF810H	DMAトリガ要因レジスタ0	DTFR0		○	○		00H
FFFFF812H	DMAトリガ要因レジスタ1	DTFR1		○	○		00H
FFFFF814H	DMAトリガ要因レジスタ2	DTFR2		○	○		00H
FFFFF816H	DMAトリガ要因レジスタ3	DTFR3		○	○		00H
FFFFF820H	パワー・セーブ・モード・レジスタ	PSMR		○	○		00H
FFFFF822H	クロック・コントロール・レジスタ	CKC		○	○		0AH
FFFFF824H	ロック・レジスタ	LOCKR	R	○	○		00H
FFFFF828H	プロセッサ・クロック・コントロール・レジスタ	PCC ^注	R/W	○	○		03H
FFFFF82CH	PLLコントロール・レジスタ	PLLCTL		○	○		01H
FFFFF82EH	CPU動作クロック・ステータス・レジスタ	CCLS	R	○	○		00H

注 特定レジスタです。

(8/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFF870H	クロック・モニタ・モード・レジスタ	CLM	R/W	○	○		00H
FFFFFF888H	リセット要因フラグ・レジスタ	RESF		○	○		00H
FFFFFF890H	低電圧検出レジスタ	LVIM		○	○		00H
FFFFFF891H	低電圧検出レベル選択レジスタ	LVIS			○		00H
FFFFFF8B0H	プリスケラ・モード・レジスタ0	PRSM0		○	○		00H
FFFFFF8B1H	プリスケラ・コンペア・レジスタ0	PRSCM0			○		00H
FFFFFF9FCH	オンチップ・デバッグ・モード・レジスタ	OC [※]		○	○		01H
FFFFFFA00H	UARTA0制御レジスタ0	UA0CTL0		○	○		10H
FFFFFFA01H	UARTA0制御レジスタ1	UA0CTL1			○		00H
FFFFFFA02H	UARTA0制御レジスタ2	UA0CTL2			○		FFH
FFFFFFA03H	UARTA0オプション制御レジスタ0	UA0OPT0		○	○		14H
FFFFFFA04H	UARTA0状態レジスタ	UA0STR		○	○		00H
FFFFFFA06H	UARTA0受信データ・レジスタ	UA0RX	R		○		FFH
FFFFFFA07H	UARTA0送信データ・レジスタ	UA0TX	R/W		○		FFH
FFFFFFA10H	UARTA1制御レジスタ0	UA1CTL0		○	○		10H
FFFFFFA11H	UARTA1制御レジスタ1	UA1CTL1			○		00H
FFFFFFA12H	UARTA1制御レジスタ2	UA1CTL2			○		FFH
FFFFFFA13H	UARTA1オプション制御レジスタ0	UA1OPT0		○	○		14H
FFFFFFA14H	UARTA1状態レジスタ	UA1STR		○	○		00H
FFFFFFA16H	UARTA1受信データ・レジスタ	UA1RX	R		○		FFH
FFFFFFA17H	UARTA1送信データ・レジスタ	UA1TX	R/W		○		FFH
FFFFFFA20H	UARTA2制御レジスタ0	UA2CTL0		○	○		10H
FFFFFFA21H	UARTA2制御レジスタ1	UA2CTL1			○		00H
FFFFFFA22H	UARTA2制御レジスタ2	UA2CTL2			○		FFH
FFFFFFA23H	UARTA2オプション制御レジスタ0	UA2OPT0		○	○		14H
FFFFFFA24H	UARTA2状態レジスタ	UA2STR		○	○		00H
FFFFFFA26H	UARTA2受信データ・レジスタ	UA2RX	R		○		FFH
FFFFFFA27H	UARTA2送信データ・レジスタ	UA2TX	R/W		○		FFH
FFFFFFAD0H	RTCサブ・カウント・レジスタ	RC1SUBC	R			○	0000H
FFFFFFAD2H	RTC秒カウント・レジスタ	RC1SEC	R/W		○		00H
FFFFFFAD3H	RTC分カウント・レジスタ	RC1MIN			○		00H
FFFFFFAD4H	RTC時カウント・レジスタ	RC1HOUR			○		12H
FFFFFFAD5H	RTC曜日カウント・レジスタ	RC1WEEK			○		00H
FFFFFFAD6H	RTC日カウント・レジスタ	RC1DAY			○		01H
FFFFFFAD7H	RTC月カウント・レジスタ	RC1MONTH			○		01H
FFFFFFAD8H	RTC年カウント・レジスタ	RC1YEAR			○		00H
FFFFFFAD9H	RTC時計誤差補正カウント・レジスタ	RC1SUBU			○		00H
FFFFFFADAH	RTCアラーム分設定カウント・レジスタ	RC1ALM			○		00H
FFFFFFADBH	RTCアラーム時設定カウント・レジスタ	RC1ALH			○		12H
FFFFFFADCH	RTCアラーム曜日設定カウント・レジスタ	RC1ALW		○	○		00H

注 特定レジスタです。

(9/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFADDH	RTCコントロール・レジスタ0	RC1CC0	R/W	○	○		00H
FFFFFADEH	RTCコントロール・レジスタ1	RC1CC1		○	○		00H
FFFFFADFH	RTCコントロール・レジスタ2	RC1CC2		○	○		00H
FFFFFAE0H	RTCコントロール・レジスタ3	RC1CC3		○	○		00H
FFFFFC00H	外部割り込み立ち下がりエッジ指定レジスタ0	INTF0		○	○		00H
FFFFFC06H	外部割り込み立ち下がりエッジ指定レジスタ3	INTF3		○	○		00H
FFFFFC13H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTF9H		○	○		00H
FFFFFC20H	外部割り込み立ち上がりエッジ指定レジスタ0	INTR0		○	○		00H
FFFFFC26H	外部割り込み立ち上がりエッジ指定レジスタ3	INTR3		○	○		00H
FFFFFC33H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTR9H		○	○		00H
FFFFFC60H	ポート0ファンクション・レジスタ	PF0		○	○		00H
FFFFFC66H	ポート3ファンクション・レジスタ	PF3				○	0000H
FFFFFC66H	ポート3ファンクション・レジスタL	PF3L		○	○		00H
FFFFFC67H	ポート3ファンクション・レジスタH	PF3H		○	○		00H
FFFFFC68H	ポート4ファンクション・レジスタ	PF4	R/W	○	○		00H
FFFFFC6AH	ポート5ファンクション・レジスタ	PF5		○	○		00H
FFFFFC72H	ポート9ファンクション・レジスタ	PF9				○	0000H
FFFFFC72H	ポート9ファンクション・レジスタL	PF9L		○	○		00H
FFFFFC73H	ポート9ファンクション・レジスタH	PF9H		○	○		00H
FFFFFD00H	CSIB0制御レジスタ0	CB0CTL0		○	○		01H
FFFFFD01H	CSIB0制御レジスタ1	CB0CTL1		○	○		00H
FFFFFD02H	CSIB0制御レジスタ2	CB0CTL2			○		00H
FFFFFD03H	CSIB0状態レジスタ	CB0STR		○	○		00H
FFFFFD04H	CSIB0受信データ・レジスタ	CB0RX				○	0000H
FFFFFD04H	CSIB0受信データ・レジスタL	CB0RXL			○		00H
FFFFFD06H	CSIB0送信データ・レジスタ	CB0TX				○	0000H
FFFFFD06H	CSIB0送信データ・レジスタL	CB0TXL			○		00H
FFFFFD10H	CSIB1制御レジスタ0	CB1CTL0	R/W	○	○		01H
FFFFFD11H	CSIB1制御レジスタ1	CB1CTL1		○	○		00H
FFFFFD12H	CSIB1制御レジスタ2	CB1CTL2			○		00H
FFFFFD13H	CSIB1状態レジスタ	CB1STR		○	○		00H
FFFFFD14H	CSIB1受信データ・レジスタ	CB1RX	R			○	0000H
FFFFFD14H	CSIB1受信データ・レジスタL	CB1RXL			○		00H
FFFFFD16H	CSIB1送信データ・レジスタ	CB1TX	R/W			○	0000H
FFFFFD16H	CSIB1送信データ・レジスタL	CB1TXL			○		00H
FFFFFD20H	CSIB2制御レジスタ0	CB2CTL0		○	○		01H
FFFFFD21H	CSIB2制御レジスタ1	CB2CTL1		○	○		00H
FFFFFD22H	CSIB2制御レジスタ2	CB2CTL2	R		○		00H
FFFFFD23H	CSIB2状態レジスタ	CB2STR		○	○		00H
FFFFFD24H	CSIB2受信データ・レジスタ	CB2RX				○	0000H
FFFFFD24H	CSIB2受信データ・レジスタL	CB2RXL			○		00H

(10/10)

アドレス	機能レジスタ名称	略号	R/W	操作可能ビット			初期値
				1	8	16	
FFFFFD26H	CSIB2送信データ・レジスタ	CB2TX	R/W			○	0000H
FFFFFD26H	CSIB2送信データ・レジスタL	CB2TXL			○		00H
FFFFFD30H	CSIB3制御レジスタ0	CB3CTL0		○	○		01H
FFFFFD31H	CSIB3制御レジスタ1	CB3CTL1		○	○		00H
FFFFFD32H	CSIB3制御レジスタ2	CB3CTL2			○		00H
FFFFFD33H	CSIB3状態レジスタ	CB3STR		○	○		00H
FFFFFD34H	CSIB3受信データ・レジスタ	CB3RX	R			○	0000H
FFFFFD34H	CSIB3受信データ・レジスタL	CB3RXL			○		00H
FFFFFD36H	CSIB3送信データ・レジスタ	CB3TX	R/W			○	0000H
FFFFFD36H	CSIB3送信データ・レジスタL	CB3TXL			○		00H
FFFFFD40H	CSIB4制御レジスタ0	CB4CTL0	R/W	○	○		01H
FFFFFD41H	CSIB4制御レジスタ1	CB4CTL1		○	○		00H
FFFFFD42H	CSIB4制御レジスタ2	CB4CTL2			○		00H
FFFFFD43H	CSIB4状態レジスタ	CB4STR		○	○		00H
FFFFFD44H	CSIB4受信データ・レジスタ	CB4RX	R			○	0000H
FFFFFD44H	CSIB4受信データ・レジスタL	CB4RXL			○		00H
FFFFFD46H	CSIB4送信データ・レジスタ	CB4TX	R/W			○	0000H
FFFFFD46H	CSIB4送信データ・レジスタL	CB4TXL			○		00H
FFFFFD80H	IICシフト・レジスタ0	IIC0	R/W		○		00H
FFFFFD82H	IICコントロール・レジスタ0	IICC0		○	○		00H
FFFFFD83H	スレーブ・アドレス・レジスタ0	SVA0			○		00H
FFFFFD84H	IICクロック選択レジスタ0	IICCL0		○	○		00H
FFFFFD85H	IIC機能拡張レジスタ0	IICX0		○	○		00H
FFFFFD86H	IIC状態レジスタ0	IICS0		○	○		00H
FFFFFD8AH	IICフラグ・レジスタ0	IICF0	R/W	○	○		00H
FFFFFD90H	IICシフト・レジスタ1	IIC1			○		00H
FFFFFD92H	IICコントロール・レジスタ1	IICC1		○	○		00H
FFFFFD93H	スレーブ・アドレス・レジスタ1	SVA1			○		00H
FFFFFD94H	IICクロック選択レジスタ1	IICCL1		○	○		00H
FFFFFD95H	IIC機能拡張レジスタ1	IICX1		○	○		00H
FFFFFD96H	IIC状態レジスタ1	IICS1	R	○	○		00H
FFFFFD9AH	IICフラグ・レジスタ1	IICF1	R/W	○	○		00H
FFFFFDA0H	IICシフト・レジスタ2	IIC2			○		00H
FFFFFDA2H	IICコントロール・レジスタ2	IICC2		○	○		00H
FFFFFDA3H	スレーブ・アドレス・レジスタ2	SVA2			○		00H
FFFFFDA4H	IICクロック選択レジスタ2	IICCL2		○	○		00H
FFFFFDA5H	IIC機能拡張レジスタ2	IICX2		○	○		00H
FFFFFDA6H	IIC状態レジスタ2	IICS2	R	○	○		00H
FFFFFDAAH	IICフラグ・レジスタ2	IICF2	R/W	○	○		00H

3.4.7 特定レジスタ

特定レジスタは、プログラムの暴走などにより不正なデータが書き込まれないよう保護されているレジスタです。V850ES/JC3-L, V850ES/JE3-Lには次の7個の特定レジスタがあります。

- ・パワー・セーブ・コントロール・レジスタ (PSC)
- ・クロック・コントロール・レジスタ (CKC)
- ・プロセッサ・クロック・コントロール・レジスタ (PCC)
- ・クロック・モニタ・モード・レジスタ (CLM)
- ・リセット要因フラグ・レジスタ (RESF)
- ・低電圧検出レジスタ (LVIM)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)

また、プログラムの暴走により応用システムが不用意に停止しないように、特定レジスタへの書き込み動作に対するプロテクション・レジスタとして、PRCMDレジスタがあり、特定レジスタへのライト・アクセスは特定のシーケンスで行われ、不正なストア動作はSYSレジスタに報告されます。

(1) 特定レジスタへのデータ設定

特定レジスタへのデータ設定は次のシーケンスで行います。

- ① DMA動作を禁止する。
- ② 任意の汎用レジスタに特定レジスタへ設定するためのデータを用意する。
- ③ PRCMDレジスタに②で用意したデータを書き込む。
- ④ 特定レジスタに設定データを書き込む（次の命令で行う）。
 - ・ストア命令（ST/SST命令）
 - ・ビット操作命令（SET1/CLR1/NOT1命令）
- (⑤-⑨NOP命令を挿入する（5命令）。) ^注
- ⑩ DMA動作が必要な場合、DMA動作を許可する。

注 IDLEモード、STOPモードに移行する場合（PSC.STPビット = 1），直後にNOP命令を5命令挿入する必要があります。

注意 特定シーケンス後、DMA動作を禁止する以前の状態でDMA動作を再開するには、DMA動作を禁止する以前に、DCHCnレジスタの状態を退避する必要があります。

DCHCnレジスタの状態を退避後、DMA動作を禁止するまでにDMA転送終了が発生する可能性があるため、DMA動作を再開する前にDCHCn.TCnビットを確認し、TCnビットの状態により処理を次のようにする必要があります。

- ・TCnビット = 0（DMA転送未終了）のとき、DMA動作を禁止する以前に退避したDCHCnレジスタの内容を、DCHCnレジスタに再度書き込む。
- ・TCnビット = 1（DMA転送終了）のとき、DMA転送終了処理を行う。

備考 n = 0-3

【記述例】PSCレジスタの場合（スタンバイ・モードの設定）

```

ST.B r11, PSMR [r0] ;PSMRレジスタ設定（IDLE1, IDLE2, STOPモードの設定）
①CLR1 0, DCHCn [r0] ;DMA動作禁止, n = 0-3
②MOV 0x02, r10
③ST.B r10, PRCMD [r0] ;PRCMDレジスタ書き込み
④ST.B r10, PSC [r0] ;PSCレジスタ設定
⑤NOP注 ;ダミー命令
⑥NOP注 ;ダミー命令
⑦NOP注 ;ダミー命令
⑧NOP注 ;ダミー命令
⑨NOP注 ;ダミー命令
⑩SET1 0, DCHCn [r0] ;DMA動作許可, n = 0-3
(next instruction)

```

なお、特定レジスタを読み出す場合は、特別なシーケンスは必要ありません。

注 IDLE1, IDLE2, STOPモードに移行する場合（PSC.STPビット = 1），直後にNOP命令を5命令以上挿入する必要があります。

注意 コマンド・レジスタに対するストア命令では、割り込みを受け付けません。これはプログラムで上記③，④を連続したストア命令で行うことを前提としているためです。③，④の間にほかの命令が置かれていると、その命令で割り込みを受け付けた際、上記シーケンスが成立しなくなる場合があります、誤動作の要因となります。

備考 PRCMDレジスタへ書き込むデータはダミーですが、特定レジスタへの設定（例④）で使用する汎用レジスタと同じレジスタをPRCMDレジスタ書き込み（例③）でも使用してください。アドレッシングに汎用レジスタを使用する場合も同様です。

(2) コマンド・レジスタ（PRCMD）

PRCMDレジスタは、プログラムの暴走などにより、応用システムが不用意に停止しないように、システムに重大な影響を与える可能性があるレジスタへの書き込み動作に対してプロテクションを施すために使用する8ビット・レジスタです。あらかじめ、PRCMDレジスタに対して書き込み動作を行ったあとの最初の特定期レジスタへの書き込みのみ有効となります。これにより定められたシーケンスによってだけ、レジスタの値が書き換えられ、不正な書き込み動作ができなくなります。

8ビット単位でライトのみ可能です（リードした場合、不定データを読み出します）。

リセットにより不定になります。

リセット時：不定 W アドレス：FFFFFF1FCH

	7	6	5	4	3	2	1	0
PRCMD	REG7	REG6	REG5	REG4	REG3	REG2	REG1	REG0

(3) システム・ステータス・レジスタ (SYS)

システム全体の動作状態を示すステータス・フラグが割り付けられています。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF802H

	7	6	5	4	3	2	1	①
SYS	0	0	0	0	0	0	0	PRERR

PRERR	プロテクション・エラーの検出
0	プロテクション・エラーは発生していない
1	プロテクション・エラーが発生している

PRERRフラグの動作条件を次に示します。

(a) セット条件 (PRERRフラグ = 1)

- (i) PRCMDレジスタへの書き込み動作を行わず、特定レジスタへの書き込み動作を行ったとき
(3. 4. 7 (1) **特定レジスタへのデータ設定**で示す③を行わずに④を行ったとき)。
- (ii) PRCMDレジスタへの書き込み動作後、特定レジスタ以外の内蔵周辺I/Oレジスタに書き込み動作
(ビット操作命令を含む)を行ったとき (3. 4. 7 (1) **特定レジスタへのデータ設定**で示す④が特定レジスタでなかったとき)。

備考 特定レジスタは、PRCMDレジスタへの書き込み動作と特定レジスタへの書き込み動作の間に、内蔵周辺I/Oレジスタの読み出し動作（ビット操作命令を除く）や内蔵RAMへのアクセスを行っても、PRERRフラグはセットされず、特定レジスタに設定データを書き込むことができます。

(b) クリア条件 (PRERRフラグ = 0)

- (i) PRERRフラグに0を書き込んだとき。
- (ii) システム・リセットしたとき。

- 注意1.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないSYSレジスタのPRERRビットに“0”を書き込んだ場合、PRERRビットは“0”になります（ライト優先）。
- 2.** PRCMDレジスタへの書き込み動作直後に、特定レジスタではないPRCMDレジスタへの書き込み動作を行った場合、PRERRビットは“1”になります。

3.4.8 最初に設定するレジスタ

V850ES/JC3-L, V850ES/JE3-Lを使用する際には、必ず最初に次のレジスタを設定してください。

- ・システム・ウェイト・コントロール・レジスタ (VSWC)
- ・オンチップ・デバッグ・モード・レジスタ (OCDM)
- ・ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

VSWC, OCDM, WDTM2レジスタを設定後、必要に応じてその他の各レジスタを設定してください。

(a) システム・ウェイト・コントロール・レジスタ (VSWC)

VSWCレジスタは、内蔵周辺I/Oレジスタに対するバス・アクセスのウェイトを制御するレジスタです。

内蔵周辺I/Oレジスタへのアクセスは3クロック（ノー・ウェイト時）ですが、V850ES/JC3-L, V850ES/JE3-Lでは動作周波数によりウェイトが必要です。使用する動作周波数に応じて、VSWCレジスタには次に示す値を設定してください。

8ビット単位でリード／ライト可能です

リセットにより77H（ウェイト数：14）になります。

リセット時：77H R/W アドレス：FFFFFF06EH

	7	6	5	4	3	2	1	0
VSWC								

動作周波数 (f_{CLK})	VSWCの設定値	ウェイト数
$32\text{ kHz} \leq f_{CLK} < 16.6\text{ MHz}$	00H	0（ノー・ウェイト）
$16.6\text{ MHz} \leq f_{CLK} \leq 20\text{ MHz}$	01H	1

(b) オンチップ・デバッグ・モード・レジスタ (OCDM)

詳細は、第29章 オンチップ・デバッグ機能を参照してください。

(c) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

WDTM2レジスタは、ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。動作を確定するために、WDTM2レジスタへ書き込みを行ってください。

詳細は、第11章 ウォッチドッグ・タイマ2機能を参照してください。

3.4.9 注意事項

(1) 特定の内蔵周辺I/Oレジスタへのアクセスについて

この製品は、内部に2種類のシステム・バスを有しています。

1つはCPU用バスで、もう1つは低速周辺ハードウェアとのインタフェースを行う周辺用バスです。

CPU用バスのクロックと周辺用バスのクロックは非同期の関係となるため、CPUと周辺ハードウェアとのアクセス間に競合が発生した場合は、予期せぬ不正データの受け渡しが行われる可能性があります。したがって、競合の恐れがある周辺ハードウェアへのアクセス時は、CPUは正しいデータの受け渡しが行われるよう、アクセス・サイクル数が変わります。その結果、CPUは次の命令処理に移行せず、CPU処理としてウェイト状態となるため、このウェイトが発生した場合、命令の実行クロック数が次に示すウェイト・クロック数分長くなります。

リアルタイム性が要求される処理を行う場合は、この内容に注意してください。

特定の内蔵周辺I/Oレジスタへのアクセス時に、VSWCレジスタで設定したウェイト以外に、さらにウェイトを要する場合があります。

その際のアクセス条件と、挿入されるウェイト数（CPUクロック数）の算出方法を次に示します。

表3-3 ウェイトが発生するレジスタ

周辺機能	レジスタ名称	アクセス	k
16ビット・タイマ/イベント・カウンタP (TMP) (n = 0-5)	TPnCNT	リード	1-2
	TPnCCR0, TPnCCR1	ライト	・1回目：ウェイトなし ・連続書き込み：3-4
		リード	1-2
16ビット・タイマ/イベント・カウンタQ (TMQ)	TQ0CNT	リード	1-2
	TQ0CCR0-TQ0CCR3	ライト	・1回目：ウェイトなし ・連続書き込み：3-4
		リード	1-2
ウォッチドッグ・タイマ2 (WDT2)	WDTM2	ライト (WDT2動作時)	3
リアルタイム出力機能 (RTO)	RTBL0, RTBH0	ライト (RTPC0.RTPOE0 ビット = 0)	1
A/Dコンバータ	ADA0M0	リード	1-2
	ADA0CR0-ADA0CR9	リード	1-2
	ADA0CR0H-ADA0CR9H	リード	1-2
I ² C00-I ² C02	IICS0-IICS2	リード	1
CRC	CRCD	ライト	1

アクセスに必要なクロック数 = 3 + i + j + (2 + j) × k

注意 次に示す状態において、上記レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。

- ・CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- ・CPUが内蔵発振クロックで動作している場合

備考 i: VSWCレジスタの上位4ビットの値 (0)
j: VSWCレジスタの下位4ビットの値 (0, 1)

(2) sld命令と割り込み競合に関する制限事項

(a) 内 容

次の命令<1>の事項が完了する前に、後続の sld 命令の直前の命令<2>のデコード動作と割り込み要求が競合した場合、先の命令<1>の実行結果がレジスタに格納されないことがあります。

命令<1>

- ld 命令 : ld.b, ld.h, ld.w, ld.bu, ld.hu
- sld 命令 : sld.b, sld.h, sld.w, sld.bu, sld.hu
- 乗算命令 : mul, mulh, mulhi, mulu

命令<2>

mov reg1, reg2	not reg1, reg2	satsubr reg1, reg2	satsub reg1, reg2
satadd reg1, reg2	satadd imm5, reg2	or reg1, reg2	xor reg1, reg2
and reg1, reg2	tst reg1, reg2	subr reg1, reg2	sub reg1, reg2
add reg1, reg2	add imm5, reg2	cmp reg1, reg2	cmp imm5, reg2
mulh reg1, reg2	shr imm5, reg2	sar imm5, reg2	shl imm5, reg2

<例>

<i> ld.w [r11], r10	<i>の ld 命令の実行が完了する前に、<iii>の sld 命令の直前の mov 命令<ii>のデコード動作と割り込み要求が競合した場合、<i>の ld 命令の実行結果がレジスタに格納されないことがあります。
•	
•	
<ii> mov r10, r28	
<iii> sld.w 0x28, r10	

(b) 回 避 策

① コンパイラ (CA850) 使用時

Ver.2.61以降のバージョンを使用してください。該当命令シーケンスの生成を自動的に抑止します。

② アセンブラでの対策

命令<ii>の直後にsld命令を実行する場合は、次のいずれかの方法を用いて、上記動作を回避してください。

- sld 命令の直前に nop 命令を入れる。
- sld命令のディスティネーション・レジスタと同じレジスタを、sld命令の直前で実行する上記<ii>の命令で使用しない。

第4章 ポート機能

4.1 特 徴

4.1.1 V850ES/JC3-L (40 ピン)

○入出力ポート：27本

・N-chオープン・ドレイン出力切り替え可能：20本（5 Vトレラント：17本）

○1ビット単位で入力／出力指定可能

4.1.2 V850ES/JC3-L (48 ピン)

○入出力ポート：34本

・N-chオープン・ドレイン出力切り替え可能：25本（5 Vトレラント：20本）

○1ビット単位で入力／出力指定可能

4.1.3 V850ES/JE3-L

○入出力ポート：50本

・N-chオープン・ドレイン出力切り替え可能：37本（5 Vトレラント：28本）

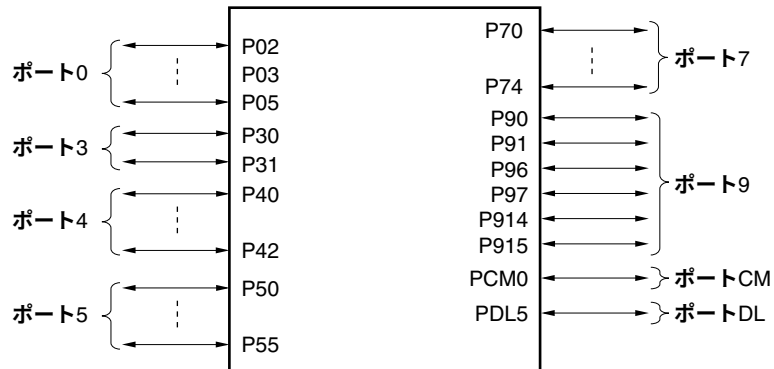
○1ビット単位で入力／出力指定可能

4.2 ポートの基本構成

4.2.1 V850ES/JC3-L (40 ピン)

V850ES/JC3-L (40 ピン) は、ポート0, 3-5, 7, 9, CM, DLの合計27本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4-1 ポートの構成図 (V850ES/JC3-L (40 ピン))



注意 ポート0, 3-5, 9 (P90, P91, P96) は、5 Vトレラント対応

表4-1 各端子の入出力バッファ電源 (V850ES/JC3-L (40 ピン))

電 源	対応する端子
AV _{REF0}	ポート7
EV _{DD}	RESET, ポート0, 3-5, 9, CM, DL

4. 2. 2 V850ES/JC3-L (48 ピン)

V850ES/JC3-L (48 ピン) は、ポート0, 1, 3-5, 7, 9, CM, DLの合計34本の入出力ポートを内蔵しています。
ポートの構成を次に示します。

図4-2 ポートの構成図 (V850ES/JC3-L (48 ピン))

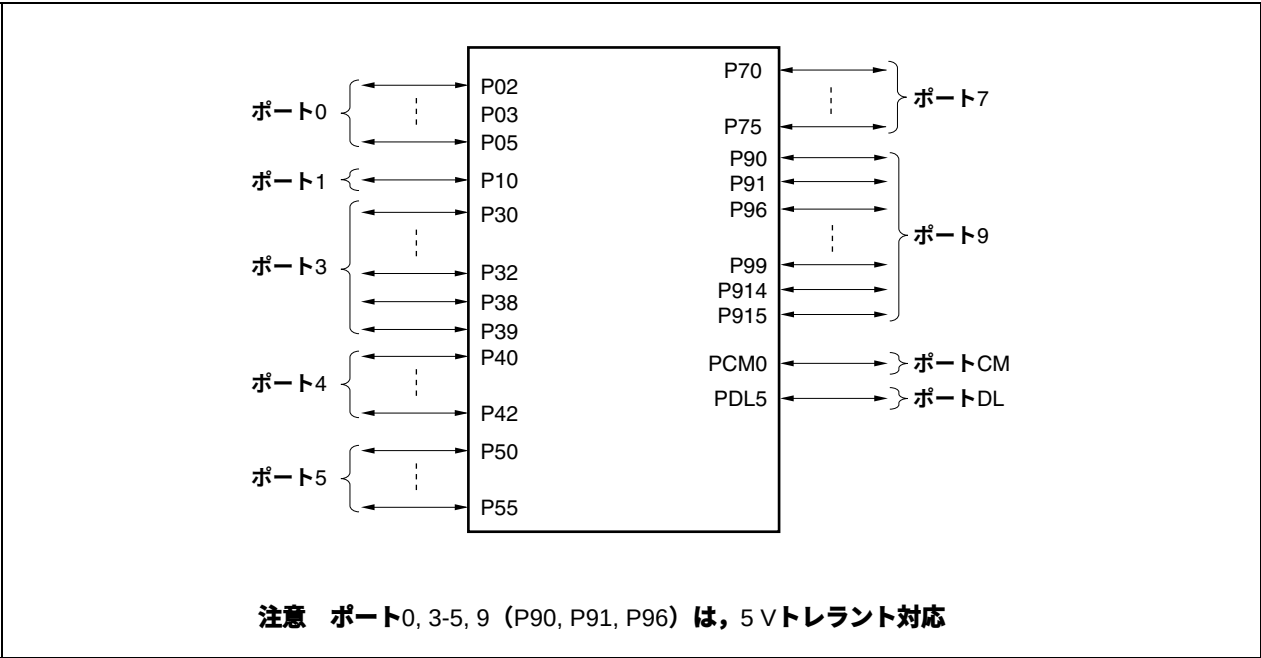


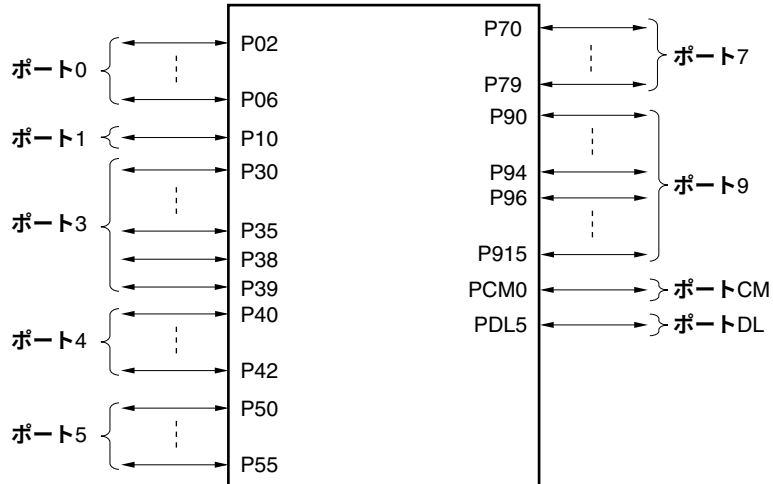
表4-2 各端子の入出力バッファ電源 (V850ES/JC3-L (48 ピン))

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
EV _{DD}	RESET, ポート0, 3-5, 9, CM, DL

4. 2. 3 V850ES/JE3-L

V850ES/JE3-Lは、ポート0, 1, 3-5, 7, 9, CM, DLの合計50本の入出力ポートを内蔵しています。ポートの構成を次に示します。

図4-3 ポートの構成図 (V850ES/JE3-L)



注意 ポート0, 3-5, 9 (P90-P94, P96) は、5 Vトレラント対応

表4-3 各端子の入出力バッファ電源 (V850ES/JE3-L)

電 源	対応する端子
AV _{REF0}	ポート7
AV _{REF1}	ポート1
EV _{DD}	RESET, ポート0, 3-5, 9, CM, DL

4.3 ポートの構成

ポートは、次のハードウェアで構成しています。

表4-4 ポートの構成 (V850ES/JC3-L (40ピン))

項 目	構 成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 3-5, 7, 9, CM, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-5, 9) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-5, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0, 5, 9) ポートnファンクション・レジスタ (PFn : n = 0, 3-5, 9)
ポート	入出力 : 27本

表4-5 ポートの構成 (V850ES/JC3-L (48ピン))

項 目	構 成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 1, 3-5, 7, 9, CM, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-5, 9) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-5, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0, 3, 5, 9) ポートnファンクション・レジスタ (PFn : n = 0, 3-5, 9)
ポート	入出力 : 34本

表4-6 ポートの構成 (V850ES/JE3-L)

項 目	構 成
制御レジスタ	ポートnモード・レジスタ (PMn : n = 0, 1, 3-5, 7, 9, CM, DL) ポートnモード・コントロール・レジスタ (PMCn : n = 0, 3-5, 9) ポートnファンクション・コントロール・レジスタ (PFCn : n = 0, 3-5, 9) ポートnファンクション・コントロール拡張レジスタ (PFCEn : n = 0, 3, 5, 9) ポートnファンクション・レジスタ (PFn : n = 0, 3-5, 9)
ポート	入出力 : 50本

(1) ポート_nレジスタ (Pn)

外部とのデータ入出力は、Pnレジスタへの書き込み、および読み出しによって行います。Pnレジスタは、出力データを保持するポート・ラッチ、および端子の状態を読み込む回路で構成されています。

Pnレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位でリード／ライト可能です。

リセット時：00H ^注 （出力ラッチ）								R/W
	7	6	5	7	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0

Pnm	出力データの制御（出力モード時）
0	0を出力
1	1を出力

注 入力専用ポートは不定になります。

設定されているモードによってPnレジスタへの書き込みや読み出しを行ったときの動作が異なります。

表4-7 Pnレジスタへの書き込み／読み出しについて

PMC _n レジスタの設定	PM _n レジスタへの設定	Pnレジスタへの書き込み	Pnレジスタの読み出し
ポート・モード (PMC _n mビット = 0)	出力モード (PM _n mビット = 0)	出力ラッチに対して書き込みます ^注 。 出力ラッチの内容が端子から出力されます。	出力ラッチの値を読み出します。
	入力モード (PM _n mビット = 1)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。	端子状態を読み出します。
兼用機能モード (PMC _n mビット = 1)	出力モード (PM _n mビット = 0)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。 端子は兼用機能として動作します。	出力ラッチの値を読み出します。
	入力モード (PM _n mビット = 1)	出力ラッチに対して書き込みます ^注 。 端子の状態には影響ありません。 端子は兼用機能として動作します。	端子状態を読み出します。

注 出力ラッチに書き込まれた値は、再度出力ラッチに値が書き込まれるまで保持されます。

リセットによりクリアされます。

(2) ポート_nモード・レジスタ (PM_n)

ポートの入力モード／出力モードを指定します。

PM_nレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：FFH R/W								
	7	6	5	4	3	2	1	0
PMn	PMn7	PMn6	PMn5	PMn4	PMn3	PMn2	PMn1	PMn0
PMnm	入出力モードの制御							
0	出力モード							
1	入力モード							

(3) ポート_nモード・コントロール・レジスタ (PMC_n)

ポートと兼用機能を切り替える必要がある場合、ポート・モード／兼用機能を指定します。

PMC_nレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PMCn	PMCn7	PMCn6	PMCn5	PMCn4	PMCn3	PMCn2	PMCn1	PMCn0

PMCnm	動作モードの指定
0	ポート・モード
1	兼用機能モード

(4) ポート_nファンクション・コントロール・レジスタ (PFCn)

1本の端子に兼用機能が2つ以上存在する場合に、使用する兼用機能を指定するレジスタです。

PFCnレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFCn	PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0

PFCnm	兼用機能の指定
0	兼用機能1
1	兼用機能2

(5) ポート_nファンクション・コントロール拡張レジスタ (PFCEn)

1本の端子に兼用機能が3つ以上存在する場合に、PFCnレジスタと組み合わせて使用する兼用機能を指定するレジスタです。

PFCEnレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H

R/W

76543210

PFCEn

PFCEn7	PFCEn6	PFCEn5	PFCEn4	PFCEn3	PFCEn2	PFCEn1	PFCEn0
--------	--------	--------	--------	--------	--------	--------	--------

76543210

PFCn

PFCn7	PFCn6	PFCn5	PFCn4	PFCn3	PFCn2	PFCn1	PFCn0
-------	-------	-------	-------	-------	-------	-------	-------

PFCEnm	PFCnm	兼用機能の指定
0	0	兼用機能1
0	1	兼用機能2
1	0	兼用機能3
1	1	兼用機能4

(6) ポート_nファンクション・レジスタ (PF_n)

通常出力 (CMOS出力) /N-chオープン・ドレイン出力を指定するレジスタです。

PF_nレジスタの各ビットは、それぞれポート_nの端子1本ずつに対応しており、1ビット単位で指定可能です。

リセット時：00H R/W

	7	6	5	4	3	2	1	0
PFn	PFn7	PFn6	PFn5	PFn4	PFn3	PFn2	PFn1	PFn0

PFnm ^注	通常出力（CMOS出力）/N-chオープン・ドレイン出力の制御
0	通常出力（CMOS出力）
1	N-chオープン・ドレイン出力

注 PMC_nレジスタの設定によらず、PF_nmビットは、PM_n.PM_nmビット = 0 (出力モード時) のときのみ有効です。PM_nmビット = 1 (入力モード時) のときは、PF_nレジスタの設定値は無効です。

例 ① PF_nレジスタの値が有効な場合

PF_nmビット = 1 … N-chオープン・ドレイン出力を指定

PM_nmビット = 0 … 出力モードを指定

PMC_nmビット = 任意

② PF_nレジスタの値が無効な場合

PF_nmビット = 1 … N-chオープン・ドレイン出力を指定

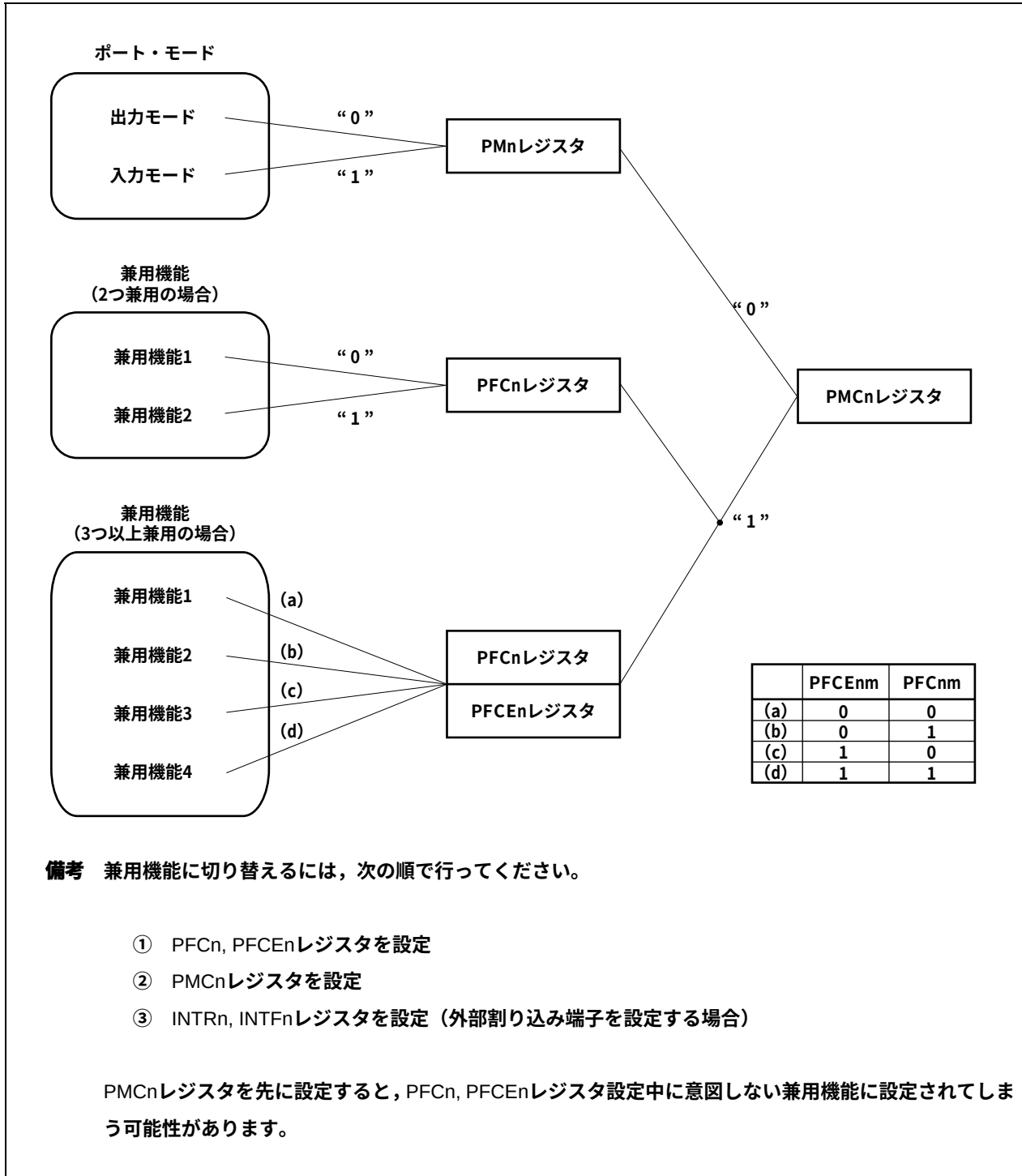
PM_nmビット = 1 … 入力モードを指定

PMC_nmビット = 任意

(7) ポートの設定

ポートの設定は、次のように設定してください。

図4-4 各レジスタの設定と端子の機能



4.3.1 ポート0

ポート0は1ビット単位で入出力を制御できる5ビット（V850ES/JE3-L）または3ビット（V850ES/JC3-L（40ピン）, V850ES/JC3-L（48ピン））のポートです。

ポート0は、次に示す端子と兼用しています。

表4-8 ポート0の兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・ タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
11	13	17	P02	NMI	入力	N-chオープン・ドレイン出力選 択可能	L-1
12	14	18	P03	INTP0/ADTRG/RTC1HZ	入出力		U-15
—	—	19	P04	INTP1/RTCDIV/RTCCL	入出力		N-2
27	31	41	P05	INTP2/ $\overline{\text{DRST}}$ ^注	入力		AA-1
—	—	20	P06	INTP3	入力		L-1

注 $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用の端子です。

オンチップ・デバッグを使用しない場合、 $\overline{\text{RESET}}$ 端子によるリセット解除後から、OCDM.OCDM0ビットをクリア（0）するまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子状態をロウ・レベルに固定してください。

詳細は、4.6.3 オンチップ・デバッグ用端子に関する注意事項を参照してください。

注意 P02-P06端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 JC3L（40）：V850ES/JC3-L（40ピン製品），
 JC3L（48）：V850ES/JC3-L（48ピン製品），
 JE3L：V850ES/JE3-L

(1) ポート0レジスタ (P0)

(a) V850ES/JC3-L (40ピン) , V850ES/JC3-L (48ピン)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	0	P05	0	P03	P02	0	0

P0n	出力データの制御 (出力モード時) (n = 2, 3, 5)
0	0を出力
1	1を出力

(b) V850ES/JE3-L

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF400H

	7	6	5	4	3	2	1	0
P0	0	P06	P05	P04	P03	P02	0	0

P0n	出力データの制御 (出力モード時) (n = 2-6)
0	0を出力
1	1を出力

(2) ポート0モード・レジスタ (PM0)

(a) V850ES/JC3-L (40ピン) , V850ES/JC3-L (48ピン)

リセット時: FFH R/W アドレス: FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	1	PM05	1	PM03	PM02	1	1

PM0n	入出力モードの制御 (n = 2, 3, 5)
0	出力モード
1	入力モード

(b) V850ES/JE3-L

リセット時: FFH R/W アドレス: FFFFF420H

	7	6	5	4	3	2	1	0
PM0	1	PM06	PM05	PM04	PM03	PM02	1	1

PM0n	入出力モードの制御 (n = 2-6)
0	出力モード
1	入力モード

(3) ポート0モード・コントロール・レジスタ (PMC0)

(a) V850ES/JC3-L (40ピン), V850ES/JC3-L (48ピン)

リセット時: 00H R/W アドレス: FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	0	PMC05	0	PMC03	PMC02	0	0

PMC05	端子の動作モードの指定
0	入出力ポート (P05)
1	INTP2入力

PMC03	端子の動作モードの指定
0	入出力ポート (P03)
1	INTP0入力/ADTRG入力/RTC1HZ出力

PMC02	端子の動作モードの指定
0	入出力ポート (P02)
1	NMI入力

(b) V850ES/JE3-L

リセット時: 00H R/W アドレス: FFFFF440H

	7	6	5	4	3	2	1	0
PMC0	0	PMC06	PMC05	PMC04	PMC03	PMC02	0	0

PMC06	端子の動作モードの指定
0	入出力ポート (P06)
1	INTP3入力

PMC05	端子の動作モードの指定
0	入出力ポート (P05)
1	INTP2入力

PMC04	端子の動作モードの指定
0	入出力ポート (P04)
1	INTP1入力/RTCDIV出力/RTCCL出力

PMC03	端子の動作モードの指定
0	入出力ポート (P03)
1	INTP0入力/ADTRG入力/RTC1HZ出力

PMC02	端子の動作モードの指定
0	入出力ポート (P02)
1	NMI入力

注意 P05/INTP2/DRST端子は、OCDM.OCDM0ビット = 1のときは、PMC05ビットの値に関係なくDRST端子となります。

(4) ポート0ファンクション・コントロール・レジスタ (PFC0)

(a) V850ES/JC3-L (40ピン) , V850ES/JC3-L (48ピン)

リセット時: 00H R/W アドレス: FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	0	PFC03	0	0	0

(b) V850ES/JE3-L

リセット時: 00H R/W アドレス: FFFFF460H

	7	6	5	4	3	2	1	0
PFC0	0	0	0	PFC04	PFC03	0	0	0

備考 兼用機能の指定については4. 3. 1 (6) ポート0の兼用機能の指定を参照してください。

(5) ポート0ファンクション・コントロール拡張レジスタ (PFCE0)

(a) V850ES/JC3-L (40ピン) , V850ES/JC3-L (48ピン)

リセット時: 00H R/W アドレス: FFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	0	0	PFCE03	0	0	0

(b) V850ES/JE3-L

リセット時: 00H R/W アドレス: FFFFF700H

	7	6	5	4	3	2	1	0
PFCE0	0	0	0	PFCE04	PFCE03	0	0	0

備考 兼用機能の指定については4. 3. 1 (6) ポート0の兼用機能の指定を参照してください。

(6) ポート0の兼用機能の指定

PFCE04 [※]	PFC04 [※]	P04端子の兼用機能の指定 [※]
0	0	INTP1入力
0	1	RTCDIV出力
1	0	RTCCL出力
1	1	設定禁止

注 V850ES/JE3-Lのみ

PFCE03	PFC03	P03端子の兼用機能の指定
0	0	INTP0入力
0	1	ADTRG入力
1	0	設定禁止
1	1	RTC1HZ入力

(7) ポート0ファンクション・レジスタ (PF0)

(a) V850ES/JC3-L (40ピン) , V850ES/JC3-L (48ピン)

リセット時: 00H R/W アドレス: FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	0	PF05	0	PF03	PF02	0	0

PF0n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 2, 3, 5)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(b) V850ES/JE3-L

リセット時: 00H R/W アドレス: FFFFFFFC60H

	7	6	5	4	3	2	1	0
PF0	0	PF06	PF05	PF04	PF03	PF02	0	0

PF0n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 2-6)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 出力端子に対して EV_{DD} 以上の電圧でプルアップする場合は、必ず該当するPF0nビットを1に設定してください。

4.3.2 ポート1 (V850ES/JC3-L (48ピン), V850ES/JE3-L)

ポート1は1ビット単位で入出力を制御できる1ビットのポートです。

ポート1は、次に示す端子と兼用しています。

表4-9 ポート1の兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
—	3	3	P10	ANO0	出力	—	A-2

注意 P10端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(1) ポート1レジスタ (P1) (V850ES/JC3-L (48ピン), V850ES/JE3-L)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF402H

	7	6	5	4	3	2	1	0
P1	0	0	0	0	0	0	0	P10

P10	出力データの制御 (出力モード時)
0	0を出力
1	1を出力

注意 D/A変換中にP1レジスタをリード／ライトしないでください (14. 4. 3 使用上の注意点参照)。

(2) ポート1モード・レジスタ (PM1)

リセット時：FFH R/W アドレス：FFFFFF422H

	7	6	5	4	3	2	1	0
PM1	1	1	1	1	1	1	1	PM10

PM10	入出力モードの制御
0	出力モード
1	入力モード

注意 P10を兼用機能 (ANO0端子出力) として使用する場合, 入力モード (PM10ビット = 1) に設定してください。

4.3.3 ポート3

ポート3は1ビット単位で入出力を制御できる8ビット（V850ES/JE3-L）、または5ビット（V850ES/JC3-L（48ピン））、または2ビット（V850ES/JC3-L（40ピン））のポートです。

ポート3は、次に示す端子と兼用しています。

表4-10 ポート3の兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
—	33	45	P30	TXDA0/SOB4	出力	N-chオープン・ドレイン出力選択可能	G-3
29	—	—		TXDA0	出力		G-13
—	34	46	P31	RXDA0/INTP7/SIB4	入力		N-3
30	—	—		RXDA0/INTP7	入力		N-4
—	35	47	P32	ASCKA0/SCKB4/TIP00/TOP00	入出力		U-1
—	—	43	P33	TIP01/TOP01	入出力		G-1
—	—	44	P34	TIP10/TOP10	入出力		G-1
—	—	23	P35	TIP11/TOP11	入出力		G-1
—	18	26	P38	TXDA2/SDA00	入出力		G-12
—	19	27	P39	RXDA2/SCL00	入出力		G-6

注意 P31-P35, P38, P39端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 JC3L（40）：V850ES/JC3-L（40ピン製品），
 JC3L（48）：V850ES/JC3-L（48ピン製品），
 JE3L：V850ES/JE3-L

(1) ポート3レジスタ (P3)

(a) V850ES/JC3-L (40ピン)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFF406H

	7	6	5	4	3	2	1	0
P3L	0	0	0	0	0	0	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0, 1)
0	0を出力
1	1を出力

(b) V850ES/JC3-L (48ピン)

リセット時: 0000H (出力ラッチ) R/W アドレス: P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H)	0	0	0	0	0	0	P39	P38

	7	6	5	4	3	2	1	0
(P3L)	0	0	0	0	0	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-2, 8, 9)
0	0を出力
1	1を出力

(c) V850ES/JE3-L

リセット時: 0000H (出力ラッチ) R/W アドレス: P3 FFFFF406H,
P3L FFFFF406H, P3H FFFFF407H

	15	14	13	12	11	10	9	8
P3 (P3H)	0	0	0	0	0	0	P39	P38

	7	6	5	4	3	2	1	0
(P3L)	0	0	P35	P34	P33	P32	P31	P30

P3n	出力データの制御 (出力モード時) (n = 0-5, 8, 9)
0	0を出力
1	1を出力

備考1. P3レジスタは、16ビット単位でリード／ライト可能です。

ただし、P3レジスタの上位8ビットをP3Hレジスタ、下位8ビットをP3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. P3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P3Hレジスタのビット0-7として指定してください。

(2) ポート3モード・レジスタ (PM3)

(a) V850ES/JC3-L (40ピン)

リセット時: FFH R/W アドレス: FFFFF426H

	7	6	5	4	3	2	1	0
PM3L	1	1	1	1	1	1	PM31	PM30

PM3n	入出力モードの制御 (n = 0, 1)
0	出力モード
1	入力モード

(b) V850ES/JC3-L (48ピン)

リセット時: FFFFH R/W アドレス: PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H)	1	1	1	1	1	1	PM39	PM38

	7	6	5	4	3	2	1	0
(PM3L)	1	1	1	1	1	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-2, 8, 9)
0	出力モード
1	入力モード

(c) V850ES/JE3-L

リセット時: FFFFH R/W アドレス: PM3 FFFFF426H,
PM3L FFFFF426H, PM3H FFFFF427H

	15	14	13	12	11	10	9	8
PM3 (PM3H)	1	1	1	1	1	1	PM39	PM38

	7	6	5	4	3	2	1	0
(PM3L)	1	1	PM35	PM34	PM33	PM32	PM31	PM30

PM3n	入出力モードの制御 (n = 0-5, 8, 9)
0	出力モード
1	入力モード

備考1. PM3レジスタは、16ビット単位でリード／ライト可能です。

ただし、PM3レジスタの上位8ビットをPM3Hレジスタ、下位8ビットをPM3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PM3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM3Hレジスタのビット0-7として指定してください。

(3) ポート3モード・コントロール・レジスタ (PMC3)

(1/2)

(a) V850ES/JC3-L (40ピン)

リセット時: 0000H R/W アドレス: FFFFF446H

	7	6	5	4	3	2	1	0
PMC3L	0	0	0	0	0	0	PMC31	PMC30

PMC31	端子の動作モードの指定
0	入出力ポート (P31)
1	RXDA0入力/INTP7入力

PMC30	端子の動作モードの指定
0	入出力ポート (P30)
1	TXDA0出力

(b) V850ES/JC3-L (48ピン)

リセット時: 0000H R/W アドレス: PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H)	0	0	0	0	0	0	PMC39	PMC38

	7	6	5	4	3	2	1	0
(PMC3L)	0	0	0	0	0	PMC32	PMC31	PMC30

PMC39	端子の動作モードの指定
0	入出力ポート (P39)
1	RXDA2入力/SCL00入出力

PMC38	端子の動作モードの指定
0	入出力ポート (P38)
1	TXDA2出力/SDA00入出力

PMC32	端子の動作モードの指定
0	入出力ポート (P32)
1	ASCKA0入力/SCKB4入出力/TIP00入力/TOP00出力

PMC31	端子の動作モードの指定
0	入出力ポート (P31)
1	RXDA0入力/SIB4入力/INTP7入力

PMC30	端子の動作モードの指定
0	入出力ポート (P30)
1	TXDA0出力/SOB4出力

(2/2)

(c) V850ES/JE3-L

リセット時: 0000H R/W アドレス: PMC3 FFFFF446H,
PMC3L FFFFF446H, PMC3H FFFFF447H

	15	14	13	12	11	10	9	8
PMC3 (PMC3H)	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
(PMC3L)	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

PMC39	端子の動作モードの指定
0	入出力ポート (P39)
1	RXDA2入力/SCL00入出力

PMC38	端子の動作モードの指定
0	入出力ポート (P38)
1	TXDA2出力/SDA00入出力

PMC35	端子の動作モードの指定
0	入出力ポート (P35)
1	TIP11入力/TOP11出力

PMC34	端子の動作モードの指定
0	入出力ポート (P34)
1	TIP10入力/TOP10出力

PMC33	端子の動作モードの指定
0	入出力ポート (P33)
1	TIP01入力/TOP01出力

PMC32	端子の動作モードの指定
0	入出力ポート (P32)
1	ASCKA0入力/SCKB4入出力/TIP00入力/TOP00出力

PMC31	端子の動作モードの指定
0	入出力ポート (P31)
1	RXDA0入力/SIB4入力/INTP7入力

PMC30	端子の動作モードの指定
0	入出力ポート (P30)
1	TXDA0出力/SOB4出力

備考1. PMC3レジスタは、16ビット単位でリード／ライト可能です。

ただし、PMC3レジスタの上位8ビットをPMC3Hレジスタ、下位8ビットをPMC3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PMC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC3Hレジスタのビット0-7として指定してください。

(4) ポート3ファンクション・コントロール・レジスタ (PFC3)

(a) V850ES/JC3-L (48ピン)

リセット時: 0000H R/W アドレス: PFC3 FFFFF466H,
PFC3L FFFFF466H, PFC3H FFFFF467H

	15	14	13	12	11	10	9	8
PFC3 (PFC3H)	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
(PFC3L)	0	0	0	0	0	PFC32	PFC31	PFC30

(b) V850ES/JE3-L

リセット時: 0000H R/W アドレス: PFC3 FFFFF466H,
PFC3L FFFFF466H, PFC3H FFFFF467H

	15	14	13	12	11	10	9	8
PFC3 (PFC3H)	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
(PFC3L)	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

- 備考1.** 兼用機能の指定については4. 3. 3 (6) ポート3の兼用機能の指定を参照してください。
2. PFC3レジスタは、16ビット単位でリード／ライト可能です。
ただし、PFC3レジスタの上位8ビットをPFC3Hレジスタ、下位8ビットをPFC3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。
3. PFC3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC3Hレジスタのビット0-7として指定してください。

(5) ポート3ファンクション・コントロール拡張レジスタL (PFCE3L) (V850ES/JC3-L (48ピン), V850ES/JE3-L)

リセット時: 00H R/W アドレス: FFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

備考 兼用機能の指定については4. 3. 3 (6) ポート3の兼用機能の指定を参照してください。

(6) ポート3の兼用機能の指定

PFC39 ^{注1}	P39端子の兼用機能の指定
0	RXDA2入力
1	SCL00入出力

PFC38 ^{注1}	P38端子の兼用機能の指定
0	TXDA2出力
1	SDA00入出力

PFC35 ^{注2}	P35端子の兼用機能の指定
0	TIP11入力
1	TOP11出力

PFC34 ^{注2}	P34端子の兼用機能の指定
0	TIP10入力
1	TOP10出力

PFC33 ^{注2}	P33端子の兼用機能の指定
0	TIP01入力
1	TOP01出力

PFCE32 ^{注1}	PFC32 ^{注1}	P32端子の兼用機能の指定
0	0	ASCKA0入力
0	1	SCKB4入出力
1	0	TIP00入力
1	1	TOP00出力

PFC31	P31端子の兼用機能の指定
0	RXDA0入力/INTP7 ^{注3} 入力
1	SIB4入力 ^{注1}

PFC30	P30端子の兼用機能の指定
0	TXDA0出力
1	SOB4出力 ^{注1}

注1. V850ES/JC3-L (48ピン), V850ES/JE3-Lのみ

2. V850ES/JE3-Lのみ

3. INTP7機能とRXDA0機能は兼用となっています。RXDA0機能として使用する場合は、兼用しているINTP7機能のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。また、INTP7機能として使用する場合は、UARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0に設定)。

(7) ポート3ファンクション・レジスタ (PF3)

(a) V850ES/JC3-L (40ピン)

リセット時: 00H R/W アドレス: FFFFC66H

	7	6	5	4	3	2	1	0
PF3L	0	0	0	0	0	0	PF31	PF30

PF3n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の指定 (n = 0, 1)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(b) V850ES/JC3-L (48ピン)

リセット時: 0000H R/W アドレス: PF3 FFFFC66H,
PF3L FFFFC66H, PF3H FFFFC67H

	15	14	13	12	11	10	9	8
PF3 (PF3H)	0	0	0	0	0	0	PF39	PF38

	7	6	5	4	3	2	1	0
(PF3L)	0	0	0	0	0	PF32	PF31	PF30

PF3n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の指定 (n = 0-2, 8, 9)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(c) V850ES/JE3-L

リセット時: 0000H R/W アドレス: PF3 FFFFC66H,
PF3L FFFFC66H, PF3H FFFFC67H

	15	14	13	12	11	10	9	8
PF3 (PF3H)	0	0	0	0	0	0	PF39	PF38

	7	6	5	4	3	2	1	0
(PF3L)	0	0	PF35	PF34	PF33	PF32	PF31	PF30

PF3n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の指定 (n = 0-5, 8, 9)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 出力端子に対して EV_{DD} 以上の電圧でプルアップする場合は、必ず該当するPF3nビットを1に設定してください。

備考1. PF3レジスタは、16ビット単位でリード／ライト可能です。

ただし、PF3レジスタの上位8ビットをPF3Hレジスタ、下位8ビットをPF3Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PF3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PF3Hレジスタのビット0-7として指定してください。

4.3.4 ポート4

ポート4は1ビット単位で入出力を制御できる3ビットのポートです。

ポート4は、次に示す端子と兼用しています。

表4-11 ポート4の兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
16	20	28	P40	SIB0/SDA01	入出力	N-chオープン・ドレイン出力選択可能	G-6
17	21	29	P41	SOB0/SCL01	入出力		G-12
18	22	30	P42	SCKB0	入出力		E-3

注意 P40-P42端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(1) ポート4レジスタ (P4)

リセット時：00H (出力ラッチ) R/W アドレス：FFFFFF408H

	7	6	5	4	3	2	1	0
P4	0	0	0	0	0	P42	P41	P40

P4n	出力データの制御 (出力モード時) (n = 0-2)
0	0を出力
1	1を出力

(2) ポート4モード・レジスタ (PM4)

リセット時：FFH R/W アドレス：FFFFFF428H

	7	6	5	4	3	2	1	0
PM4	1	1	1	1	1	PM42	PM41	PM40

PM4n	入出力モードの制御 (n = 0-2)
0	出力モード
1	入力モード

(3) ポート4モード・コントロール・レジスタ (PMC4)

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

PMC42	端子の動作モードの指定
0	入出力ポート (P42)
1	SCKB0入出力

PMC41	端子の動作モードの指定
0	入出力ポート (P41)
1	SOB0出力/SCL01入出力

PMC40	端子の動作モードの指定
0	入出力ポート (P40)
1	SIB0入力/SDA01入出力

(4) ポート4ファンクション・コントロール・レジスタ (PFC4)

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PFC41	P41端子の兼用機能の指定
0	SOB0出力
1	SCL01入出力

PFC40	P40端子の兼用機能の指定
0	SIB0入力
1	SDA01入出力

(5) ポート4ファンクション・レジスタ (PF4)

リセット時：00H R/W アドレス：FFFFFFC68H

	7	6	5	4	3	2	1	0
PF4	0	0	0	0	0	PF42	PF41	PF40

PF4n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 0-2)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 出力端子に対してEV_{DD}以上の電圧でプルアップする場合は、必ず該当するPF4nビットを1に設定してください。

4.3.5 ポート5

ポート5は1ビット単位で入出力を制御できる6ビットのポートです。

ポート5は、次に示す端子と兼用しています。

表4-12 ポート5の兼用端子

ピン番号			機能名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
21	25	35	P50	TIQ01/KR0/TOQ01/RTP00	入出力	N-chオープン・ ドレーン出力 選択可能	U-5
22	26	36	P51	TIQ02/KR1/TOQ02/RTP01	入出力		U-5
23	27	37	P52	TIQ03/KR2/TOQ03/RTP02/DDI ^注	入出力		U-6
24	28	38	P53	SIB2/KR3/TIQ00/TOQ00/RTP03/DDO ^注	入出力		U-7
25	29	39	P54	SOB2/KR4/RTP04/DCK ^注	入出力		U-8
26	30	40	P55	SCKB2/KR5/RTP05/DMS ^注	入出力		U-9

注 DDI, DDO, DCK, DMS端子はオンチップ・デバッグ用の端子です。

注意1. P53端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

2. P50-P55端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(1) ポート5レジスタ (P5)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF40AH

	7	6	5	4	3	2	1	0
P5	0	0	P55	P54	P53	P52	P51	P50

P5n	出力データの制御（出力モード時）（n = 0-5）
0	0を出力
1	1を出力

(2) ポート5モード・レジスタ (PM5)

リセット時：FFH R/W アドレス：FFFF42AH

	7	6	5	4	3	2	1	0
PM5	1	1	PM55	PM54	PM53	PM52	PM51	PM50

PM5n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(3) ポート5モード・コントロール・レジスタ (PMC5)

リセット時：00H R/W アドレス：FFFF44AH

	7	6	5	4	3	2	1	0
PMC5	0	0	PMC55	PMC54	PMC53	PMC52	PMC51	PMC50

PMC55	端子の動作モードの指定
0	入出力ポート (P55)
1	SCKB2入出力/KR5入力/RTP05出力

PMC54	端子の動作モードの指定
0	入出力ポート (P54)
1	SOB2出力/KR4入力/RTP04出力

PMC53	端子の動作モードの指定
0	入出力ポート (P53)
1	SIB2入力/KR3入力/TIQ00入力/TOQ00出力/RTP03出力

PMC52	端子の動作モードの指定
0	入出力ポート (P52)
1	TIQ03入力/KR2入力/TOQ03出力/RTP02出力

PMC51	端子の動作モードの指定
0	入出力ポート (P51)
1	TIQ02入力/KR1入力/TOQ02出力/RTP01出力

PMC50	端子の動作モードの指定
0	入出力ポート (P50)
1	TIQ01入力/KR0入力/TOQ01出力/RTP00出力

(4) ポート5ファンクション・コントロール・レジスタ (PFC5)

リセット時：00H R/W アドレス：FFFFFF46AH

	7	6	5	4	3	2	1	0
PFC5	0	0	PFC55	PFC54	PFC53	PFC52	PFC51	PFC50

備考 兼用機能の指定については4.3.5 (6) ポート5の兼用機能の指定を参照してください。

(5) ポート5ファンクション・コントロール拡張レジスタ (PFCE5)

リセット時：00H R/W アドレス：FFFFFF70AH

	7	6	5	4	3	2	1	0
PFCE5	0	0	PFCE55	PFCE54	PFCE53	PFCE52	PFCE51	PFCE50

備考 兼用機能の指定については4.3.5 (6) ポート5の兼用機能の指定を参照してください。

(6) ポート5の兼用機能の指定

PFCE55	PFC55	P55端子の兼用機能の指定
0	0	SCKB2入出力
0	1	KR5入力
1	0	設定禁止
1	1	RTP05出力

PFCE54	PFC54	P54端子の兼用機能の指定
0	0	SOB2出力
0	1	KR4入力
1	0	設定禁止
1	1	RTP04出力

PFCE53	PFC53	P53端子の兼用機能の指定
0	0	SIB2入力
0	1	TIQ00入力/KR3 ^注 入力
1	0	TOQ00出力
1	1	RTP03出力

PFCE52	PFC52	P52端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ03入力/KR2 ^注 入力
1	0	TOQ03出力
1	1	RTP02出力

PFCE51	PFC51	P51端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ02入力/KR1 ^注 入力
1	0	TOQ02出力
1	1	RTP01出力

PFCE50	PFC50	P50端子の兼用機能の指定
0	0	設定禁止
0	1	TIQ01入力/KR0 ^注 入力
1	0	TOQ01出力
1	1	RTP00出力

注 KRn機能とTIQ0m機能は兼用となっています。端子をTIQ0m機能として使用する場合は、兼用しているKRn機能のキー・リターン検出を無効にしてください（KRM.KRMnビットに0を設定）。また、KRn機能として使用する場合は、兼用しているTIQ0m機能のエッジ検出を無効にしてください（n = 0-3, m = 0-3）。

兼用機能名称	TIQ0m機能として使用する場合	KRn機能として使用する場合
KR0/TIQ01	KRM.KRM0ビット = 0	TQ0IOC1.TQ0TIG2, TQ0TIG3ビット = 0
KR1/TIQ02	KRM.KRM1ビット = 0	TQ0IOC1.TQ0TIG4, TQ0TIG5ビット = 0
KR2/TIQ03	KRM.KRM2ビット = 0	TQ0IOC1.TQ0TIG6, TQ0TIG7ビット = 0
KR3/TIQ00	KRM.KRM3ビット = 0	TQ0IOC1.TQ0TIG0, TQ0TIG1ビット = 0 TQ0IOC2.TQ0EES0, TQ0EES1ビット = 0 TQ0IOC2.TQ0ETS0, TQ0ETS1ビット = 0

(7) ポート5ファンクション・レジスタ (PF5)

リセット時：00H R/W アドレス：FFFFFC6AH

	7	6	5	4	3	2	1	0
PF5	0	0	PF55	PF54	PF53	PF52	PF51	PF50

PF5n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 0-5)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意1. 出力端子に対して EV_{DD} 以上の電圧でプルアップする場合は、必ず該当するPF5nビットを1に設定してください。

2. PF5レジスタのビット6, 7には必ず0を設定してください。

4.3.6 ポート7

ポート7は1ビット単位で入出力を制御できる10ビット（V850ES/JE3-L）、または6ビット（V850ES/JC3-L（48ピン））、または5ビット（V850ES/JC3-L（40ピン））のポートです。

ポート7は、次に示す端子と兼用しています。

表4-13 ポート7の兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
40	48	64	P70	ANI0	入力	—	A-1
39	47	63	P71	ANI1	入力		A-1
38	46	62	P72	ANI2	入力		A-1
37	45	61	P73	ANI3	入力		A-1
36	44	60	P74	ANI4	入力		A-1
—	43	59	P75	ANI5	入力		A-1
—	—	58	P76	ANI6	入力		A-1
—	—	57	P77	ANI7	入力		A-1
—	—	56	P78	ANI8	入力		A-1
—	—	55	P79	ANI9	入力		A-1

備考 JC3L（40）：V850ES/JC3-L（40ピン製品），
 JC3L（48）：V850ES/JC3-L（48ピン製品），
 JE3L：V850ES/JE3-L

(1) ポート7レジスタH, ポート7レジスタL (P7H, P7L)

(a) V850ES/JC3-L (40ピン)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFFFF40EH

	7	6	5	4	3	2	1	0
P7L	0	0	0	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-4)
0	0を出力
1	1を出力

(b) V850ES/JC3-L (48ピン)

リセット時: 00H (出力ラッチ) R/W アドレス: FFFFFFF40EH

	7	6	5	4	3	2	1	0
P7L	0	0	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-5)
0	0を出力
1	1を出力

(c) V850ES/JE3-L

リセット時: 00H (出力ラッチ) R/W アドレス: P7L FFFFFFF40EH, P7H FFFFFFF40FH

	7	6	5	4	3	2	1	0
P7H	0	0	0	0	0	0	P79	P78

	7	6	5	4	3	2	1	0
P7L	P77	P76	P75	P74	P73	P72	P71	P70

P7n	出力データの制御 (出力モード時) (n = 0-9)
0	0を出力
1	1を出力

注意 A/D変換中にP7H, P7Lレジスタをリード／ライトしないでください (13. 4 (4) 兼用入出力について参照)。

備考 P7レジスタとして16ビット・アクセスはできません。P7H, P7Lレジスタとして8/1ビット単位でリード／ライト可能です。

(2) ポート7モード・レジスタH, ポート7モード・レジスタL (PM7H, PM7L)

(a) V850ES/JC3-L (40ピン)

リセット時: FFH R/W アドレス: FFFFF42EH

	7	6	5	4	3	2	1	0
PM7L	1	1	1	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-4)
0	出力モード
1	入力モード

(b) V850ES/JC3-L (48ピン)

リセット時: FFH R/W アドレス: FFFFF42EH

	7	6	5	4	3	2	1	0
PM7L	1	1	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-5)
0	出力モード
1	入力モード

(c) V850ES/JE3-L

リセット時: FFH R/W アドレス: PM7L FFFFF42EH, PM7H FFFFF42FH

	7	6	5	4	3	2	1	0
PM7H	1	1	1	1	1	1	PM79	PM78

	7	6	5	4	3	2	1	0
PM7L	PM77	PM76	PM75	PM74	PM73	PM72	PM71	PM70

PM7n	入出力モードの制御 (n = 0-9)
0	出力モード
1	入力モード

注意 P7n端子を兼用機能 (ANIn端子) として使用する場合は、PM7nビット = 1に設定してください。

備考 PM7レジスタとして16ビット・アクセスはできません。PM7H, PM7Lレジスタとして8/1ビット単位でリード／ライト可能です。

4.3.7 ポート9

ポート9は1ビット単位で入出力を制御できる15ビット（V850ES/JE3-L）、または6ビット（V850ES/JC3-L（48ピン））、または5ビット（V850ES/JC3-L（40ピン））のポートです。

ポート9は、次に示す端子と兼用しています。

表4-14 ポート9の兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
19	23	31	P90	KR6/TXDA1/SDA02	入出力	N-chオープン・ドレイン出力 選択可能	U-18
20	24	32	P91	KR7/RXDA1/SCL02	入出力		U-19
—	—	33	P92	TIP41/TOP41	入出力		U-20
—	—	34	P93	TIP40/TOP40	入出力		U-20
—	—	21	P94	TIP31/TOP31	入出力		U-20
13	15	22	P96	TIP21/TOP21	入出力		U-21
—	38	50	P97	SIB1/TIP20/TOP20	入出力		U-22
32	—	—		TIP20/TOP20	入出力		U-23
—	39	51	P98	SOB1	出力		G-14
—	36	48	P99	SCKB1	入出力		G-15
—	—	16	P910	SIB3	入力		G-16
—	—	15	P911	SOB3	出力		G-14
—	—	14	P912	SCKB3	入出力		G-15
—	—	13	P913	INTP4	入力		N-5
33	40	52	P914	INTP5/TIP51/TOP51	入出力		U-24
34	41	53	P915	INTP6/TIP50/TOP50	入出力		U-24

注意 P90-P94, P96, P97, P99, P910, P912-P915端子は、兼用機能の入力時にはヒステリシス特性を持ちますが、ポート・モード時にはヒステリシス特性を持ちません。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(1) ポート9レジスタ (P9)

(a) V850ES/JC3-L (40ピン)

リセット時：0000H（出力ラッチ） R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	0	0	0	0	P91	P90

P9n	出力データの制御（出力モード時）（n = 0, 1, 6, 7, 14, 15）
0	0を出力
1	1を出力

(b) V850ES/JC3-L (48ピン)

リセット時：0000H（出力ラッチ） R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	0	0	0	0	P99	P98

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	0	0	0	0	P91	P90

P9n	出力データの制御（出力モード時）（n = 0, 1, 6-9, 14, 15）
0	0を出力
1	1を出力

(c) V850ES/JE3-L

リセット時：0000H（出力ラッチ） R/W アドレス：P9 FFFFF412H,
P9L FFFFF412H, P9H FFFFF413H

	15	14	13	12	11	10	9	8
P9 (P9H)	P915	P914	P913	P912	P911	P910	P99	P98

	7	6	5	4	3	2	1	0
(P9L)	P97	P96	0	P94	P93	P92	P91	P90

P9n	出力データの制御（出力モード時）（n = 0-4, 6-15）
0	0を出力
1	1を出力

備考1. P9レジスタは、16ビット単位でリード／ライト可能です。

ただし、P9レジスタの上位8ビットをP9Hレジスタ、下位8ビットをP9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. P9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、P9Hレジスタのビット0-7として指定してください。

(2) ポート9モード・レジスタ (PM9)

(a) V850ES/JC3-L (40ピン)

リセット時: FFFFH R/W アドレス: PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	1	1	1	1	PM91	PM90
PM9n	入出力モードの制御 (n = 0, 1, 6, 7, 14, 15)							
0	出力モード							
1	入力モード							

(b) V850ES/JC3-L (48ピン)

リセット時: FFFFH R/W アドレス: PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	1	1	1	1	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	1	1	1	1	PM91	PM90
PM9n	入出力モードの制御 (n = 0, 1, 6-9, 14, 15)							
0	出力モード							
1	入力モード							

(c) V850ES/JE3-L

リセット時: FFFFH R/W アドレス: PM9 FFFFF432H,
PM9L FFFFF432H, PM9H FFFFF433H

	15	14	13	12	11	10	9	8
PM9 (PM9H)	PM915	PM914	PM913	PM912	PM911	PM910	PM99	PM98
	7	6	5	4	3	2	1	0
(PM9L)	PM97	PM96	1	PM94	PM93	PM92	PM91	PM90
PM9n	入出力モードの制御 (n = 0-4, 6-15)							
0	出力モード							
1	入力モード							

備考1. PM9レジスタは、16ビット単位でリード／ライト可能です。

ただし、PM9レジスタの上位8ビットをPM9Hレジスタ、下位8ビットをPM9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PM9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PM9Hレジスタのビット0-7として指定してください。

(3) ポート9モード・コントロール・レジスタ (PMC9)

(1/4)

(a) V850ES/JC3-L (40ピン)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,
 PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	0	0	0	0	PMC91	PMC90

PMC915	端子の動作モードの指定
0	入出力ポート (P915)
1	INTP6入力/TIP50入力/TOP50出力

PMC914	端子の動作モードの指定
0	入出力ポート (P914)
1	INTP5入力/TIP51入力/TOP51出力

PMC97	端子の動作モードの指定
0	入出力ポート (P97)
1	TIP20入力/TOP20出力

PMC96	端子の動作モードの指定
0	入出力ポート (P96)
1	TIP21入力/TOP21出力

PMC91	端子の動作モードの指定
0	入出力ポート (P91)
1	KR7入力/RXDA1入力/SCL02入出力

PMC90	端子の動作モードの指定
0	入出力ポート (P90)
1	KR6入力/TXDA1出力/SDA02入出力

(2/4)

(b) V850ES/JC3-L (48ピン)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	0	0	0	0	PMC99	PMC98

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	0	0	0	0	PMC91	PMC90

PMC915	端子の動作モードの指定
0	入出力ポート (P915)
1	INTP6入力/TIP50入力/TOP50出力

PMC914	端子の動作モードの指定
0	入出力ポート (P914)
1	INTP5入力/TIP51入力/TOP51出力

PMC99	端子の動作モードの指定
0	入出力ポート (P99)
1	SCKB1入出力

PMC98	端子の動作モードの指定
0	入出力ポート (P98)
1	SOB1出力

PMC97	端子の動作モードの指定
0	入出力ポート (P97)
1	SIB1入力/TIP20入力/TOP20出力

PMC96	端子の動作モードの指定
0	入出力ポート (P96)
1	TIP21入力/TOP21出力

PMC91	端子の動作モードの指定
0	入出力ポート (P91)
1	KR7入力/RXDA1入力/SCL02入出力

PMC90	端子の動作モードの指定
0	入出力ポート (P90)
1	KR6入力/TXDA1出力/SDA02入出力

(c) V850ES/JE3-L (1/2)

リセット時：0000H R/W アドレス：PMC9 FFFFF452H,
PMC9L FFFFF452H, PMC9H FFFFF453H

	15	14	13	12	11	10	9	8
PMC9 (PMC9H)	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98

	7	6	5	4	3	2	1	0
(PMC9L)	PMC97	PMC96	0	PMC94	PMC93	PMC92	PMC91	PMC90

PMC915	端子の動作モードの指定
0	入出力ポート (P915)
1	INTP6入力/TIP50入力/TOP50出力
PMC914	端子の動作モードの指定
0	入出力ポート (P914)
1	INTP5入力/TIP51入力/TOP51出力
PMC913	端子の動作モードの指定
0	入出力ポート (P913)
1	INTP4入力
PMC912	端子の動作モードの指定
0	入出力ポート (P912)
1	SCKB3入出力
PMC911	端子の動作モードの指定
0	入出力ポート (P911)
1	SOB3出力
PMC910	端子の動作モードの指定
0	入出力ポート (P910)
1	SIB3入力
PMC99	端子の動作モードの指定
0	入出力ポート (P99)
1	SCKB1入出力
PMC98	端子の動作モードの指定
0	入出力ポート (P98)
1	SOB1出力

(c) V850ES/JE3-L (2/2)

PMC97	端子の動作モードの指定
0	入出力ポート (P97)
1	SIB1入力/TIP20入力/TOP20出力
PMC96	端子の動作モードの指定
0	入出力ポート (P96)
1	TIP21入力/TOP21出力
PMC94	端子の動作モードの指定
0	入出力ポート (P94)
1	TIP31入力/TOP31出力
PMC93	端子の動作モードの指定
0	入出力ポート (P93)
1	TIP40入力/TOP40出力
PMC92	端子の動作モードの指定
0	入出力ポート (P92)
1	TIP41入力/TOP41出力
PMC91	端子の動作モードの指定
0	入出力ポート (P91)
1	KR7入力/RXDA1入力/SCL02入出力
PMC90	端子の動作モードの指定
0	入出力ポート (P90)
1	KR6入力/TXDA1出力/SDA02入出力

備考1. PMC9レジスタは、16ビット単位でリード／ライト可能です。

ただし、PMC9レジスタの上位8ビットをPMC9Hレジスタ、下位8ビットをPMC9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PMC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMC9Hレジスタのビット0-7として指定してください。

(4) ポート9ファンクション・コントロール・レジスタ (PFC9)

(a) V850ES/JC3-L (40ピン)

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	0	0	0	0	PFC91	PFC90

(b) V850ES/JC3-L (48ピン)

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	0	0	0	0	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	0	0	0	0	PFC91	PFC90

(c) V850ES/JE3-L

リセット時：0000H R/W アドレス：PFC9 FFFFF472H,
PFC9L FFFFF472H, PFC9H FFFFF473H

	15	14	13	12	11	10	9	8
PFC9 (PFC9H)	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
(PFC9L)	PFC97	PFC96	0	PFC94	PFC93	PFC92	PFC91	PFC90

- 備考1.** 兼用機能の指定については4. 3. 7 (6) ポート9の兼用機能の指定を参照してください。
2. PFC9レジスタは、16ビット単位でリード／ライト可能です。
ただし、PFC9レジスタの上位8ビットをPFC9Hレジスタ、下位8ビットをPFC9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。
3. PFC9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFC9Hレジスタのビット0-7として指定してください。

(5) ポート9ファンクション・コントロール拡張レジスタ (PFCE9)

(a) V850ES/JC3-L (40ピン) , V850ES/JC3-L (48ピン)

リセット時: 0000H R/W アドレス: PFCE9 FFFF712H,
PFCE9L FFFF712H, PFCE9H FFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	0	0	0	0	PFCE91	PFCE90

(b) V850ES/JE3-L

リセット時: 0000H R/W アドレス: PFCE9 FFFF712H,
PFCE9L FFFF712H, PFCE9H FFFF713H

	15	14	13	12	11	10	9	8
PFCE9 (PFCE9H)	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
(PFCE9L)	PFCE97	PFCE96	0	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

備考1. 兼用機能の指定については4. 3. 7 (6) ポート9の兼用機能の指定を参照してください。

2. PFCE9レジスタは、16ビット単位でリード／ライト可能です。

ただし、PFCE9レジスタの上位8ビットをPFCE9Hレジスタ、下位8ビットをPFCE9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

3. PFCE9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PFCE9Hレジスタのビット0-7として指定してください。

(6) ポート9の兼用機能の指定

PFC915	PFC915	P915端子の兼用機能の指定
0	0	設定禁止
0	1	INTP6入力
1	0	TIP50入力
1	1	TOP50出力

PFC914	PFC914	P914端子の兼用機能の指定
0	0	設定禁止
0	1	INTP5入力
1	0	TIP51入力
1	1	TOP51出力

PFC913 ^{注1}	P913端子の兼用機能の指定
0	設定禁止
1	INTP4入力

PFC912 ^{注1}	P912端子の兼用機能の指定
0	設定禁止
1	SCKB3入出力

PFC911 ^{注1}	P911端子の兼用機能の指定
0	設定禁止
1	SOB3出力

PFC910 ^{注1}	P910端子の兼用機能の指定
0	設定禁止
1	SIB3入力

PFC99 ^{注2}	P99端子の兼用機能の指定
0	設定禁止
1	SCKB1入出力

PFC98 ^{注2}	P98端子の兼用機能の指定
0	設定禁止
1	SOB1出力

PFC97	PFC97	P97端子の兼用機能の指定
0	0	設定禁止
0	1	SIB1入力 ^{注2}
1	0	TIP20入力
1	1	TOP20出力

注1. V850ES/JE3-Lのみ

2. V850ES/JC3-L (48ピン), V850ES/JE3-Lのみ

PFCE96	PFC96	P96端子の兼用機能の指定
0	0	設定禁止
0	1	設定禁止
1	0	TIP21入力
1	1	TOP21出力

PFCE94 ^{注1}	PFC94 ^{注1}	P94端子の兼用機能の指定
0	0	設定禁止
0	1	TIP31入力
1	0	TOP31出力
1	1	設定禁止

PFCE93 ^{注1}	PFC93 ^{注1}	P93端子の兼用機能の指定
0	0	設定禁止
0	1	TIP40入力
1	0	TOP40出力
1	1	設定禁止

PFCE92 ^{注1}	PFC92 ^{注1}	P92端子の兼用機能の指定
0	0	設定禁止
0	1	TIP41入力
1	0	TOP41出力
1	1	設定禁止

PFCE91	PFC91	P91端子の兼用機能の指定
0	0	設定禁止
0	1	KR7入力
1	0	RXDA1入力/KR7入力 ^{注2}
1	1	SCL02入出力

PFCE90	PFC90	P90端子の兼用機能の指定
0	0	設定禁止
0	1	KR6入力
1	0	TXDA1出力
1	1	SDA02入出力

注1. V850ES/JE3-Lのみ

2. RXDA1機能とKR7機能は同時に使用することはできません。RXDA1機能を使用する場合は、KR7機能を使用しないでください。また、KR7機能を使用する場合は、RXDA1機能を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

(7) ポート9ファンクション・レジスタ (PF9)

(a) V850ES/JC3-L (40ピン)

リセット時: 0000H R/W アドレス: PF9 FFFFFFFC72H,
PF9L FFFFFFFC72H, PF9H FFFFFFFC73H

	15	14	13	12	11	10	9	8
PF9 (PF9H)	PF915	PF914	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
(PF9L)	PF97	PF96	0	0	0	0	PF91	PF90

PF9n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 0, 1, 6, 7, 14, 15)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(b) V850ES/JC3-L (48ピン)

リセット時: 0000H R/W アドレス: PF9 FFFFFFFC72H,
PF9L FFFFFFFC72H, PF9H FFFFFFFC73H

	15	14	13	12	11	10	9	8
PF9 (PF9H)	PF915	PF914	0	0	0	0	PF99	PF98

	7	6	5	4	3	2	1	0
(PF9L)	PF97	PF96	0	0	0	0	PF91	PF90

PF9n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 0, 1, 6-9, 14, 15)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

(c) V850ES/JE3-L

リセット時: 0000H R/W アドレス: PF9 FFFFFFFC72H,
PF9L FFFFFFFC72H, PF9H FFFFFFFC73H

	15	14	13	12	11	10	9	8
PF9 (PF9H)	PF915	PF914	PF913	PF912	PF911	PF910	PF99	PF98

	7	6	5	4	3	2	1	0
(PF9L)	PF97	PF96	0	PF94	PF93	PF92	PF91	PF90

PF9n	通常出力 (CMOS出力) /N-chオープン・ドレイン出力の制御 (n = 0-4, 6-15)
0	通常出力 (CMOS出力)
1	N-chオープン・ドレイン出力

注意 P90-P95の出力端子に対してEV_{DD}以上の電圧でプルアップする場合は、必ず該当するPF9nビットを1に設定してください。

P97-P915の出力端子は、N-chオープン・ドレイン出力に設定する場合でも、EV_{DD}と同電位でプルアップしてください。

備考1. PF9レジスタは、16ビット単位でリード／ライト可能です。

ただし、PF9レジスタの上位8ビットをPF9Hレジスタ、下位8ビットをPF9Lレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PF9レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PF9Hレジスタのビット0-7として指定してください。

4.3.8 ポートCM

ポートCMは1ビット単位で入出力を制御できる1ビットのポートです。

表4-15 ポートCMの兼用端子

ピン番号			機能 名称	兼用機能		備 考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名 称	入出力		
35	42	54	PCM0	—	—	—	C-1

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(1) ポートCMレジスタ (PCM)

リセット時：00H（出力ラッチ） R/W アドレス：FFFFFF00CH

	7	6	5	4	3	2	1	0	
PCM	0	0	0	0	0	0	0	0	PCM0

PCM0	出力データの制御（出力モード時）
0	0を出力
1	1を出力

(2) ポートCMモード・レジスタ (PMCM)

リセット時：FFH R/W アドレス：FFFFFF02CH

	7	6	5	4	3	2	1	0	
PMCM	1	1	1	1	1	1	1	1	PMCM0

PMCM0	入出力モードの制御
0	出力モード
1	入力モード

4.3.9 ポートDL

ポートDLは1ビット単位で入出力を制御できる1ビットのポートです。

表4-16 ポートDLの兼用端子

ピン番号			機能名称	兼用機能		備考	ブロック・タイプ
JC3L (40)	JC3L (48)	JE3L		名称	入出力		
31	37	49	PDL5	FLMD1 ^注	入力	—	C-1

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第28章 フラッシュ・メモリを参照してください。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

(1) ポートDLレジスタ (PDL)

リセット時：0000H（出力ラッチ） R/W アドレス：PDL FFFFF004H, PDLL FFFFF004H

	15	14	13	12	11	10	9	8
PDL	0	0	0	0	0	0	0	0

	7	6	5	4	3	2	1	0
(PDLL)	0	0	PDL5	0	0	0	0	0

PDL5	出力データの制御（出力モード時）
0	0を出力
1	1を出力

備考 PDLレジスタは、16ビット単位でリード／ライト可能です。

ただし、下位8ビットをPDLLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

(2) ポートDLモード・レジスタ (PMDL)

リセット時：FFFFH R/W アドレス：PMDL FFFFF024H, PMDLL FFFFF024H

	15	14	13	12	11	10	9	8
PMDL	1	1	1	1	1	1	1	1

	7	6	5	4	3	2	1	0
(PMDLL)	1	1	PMDL5	1	1	1	1	1

PMDL5	入出力モードの制御
0	出力モード
1	入力モード

備考1. PMDLレジスタは、16ビット単位でリード／ライト可能です。

ただし、PMDLレジスタの上位8ビットをPMDLHレジスタ、下位8ビットをPMDLLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です。

2. PMDLレジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、PMDLHレジスタのビット0-7として指定してください。

4.4 ブロック図

図4-5 タイプA-1のブロック図

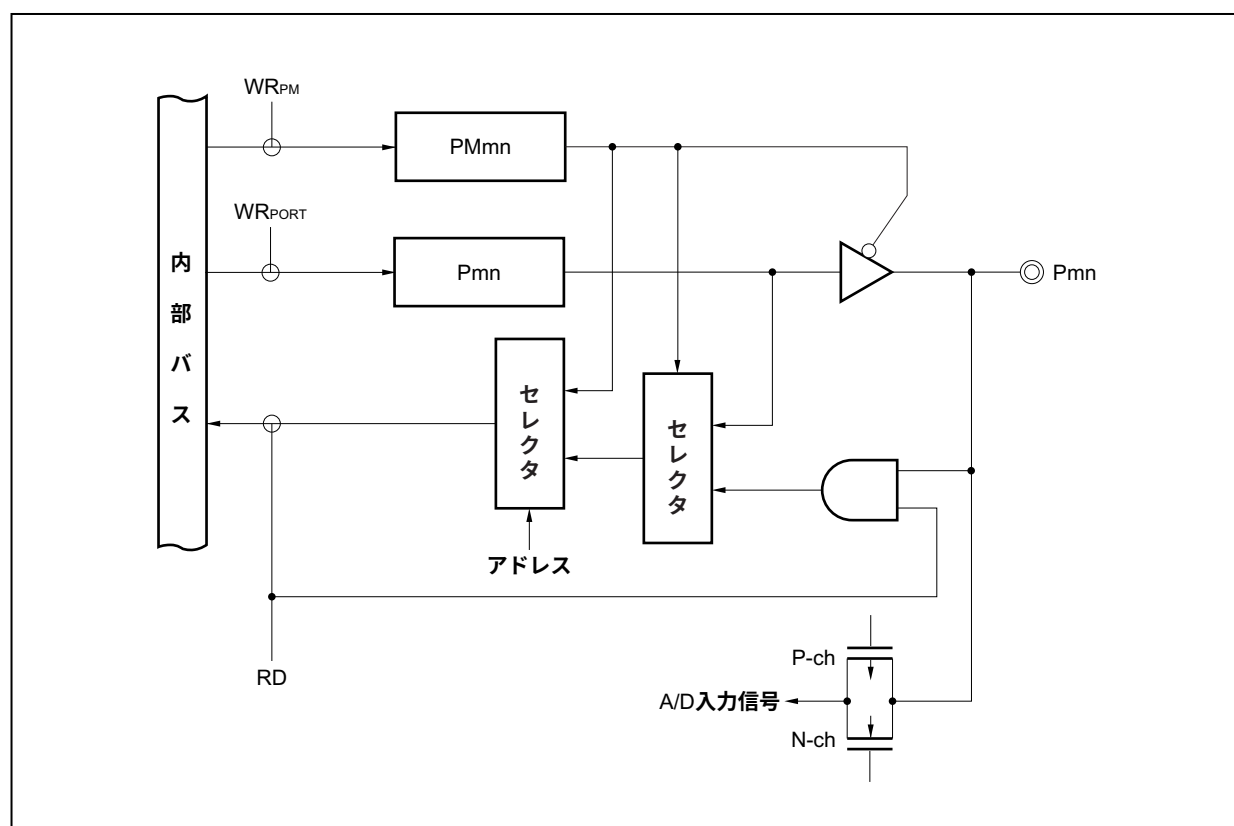


図4-6 タイプA-2のブロック図

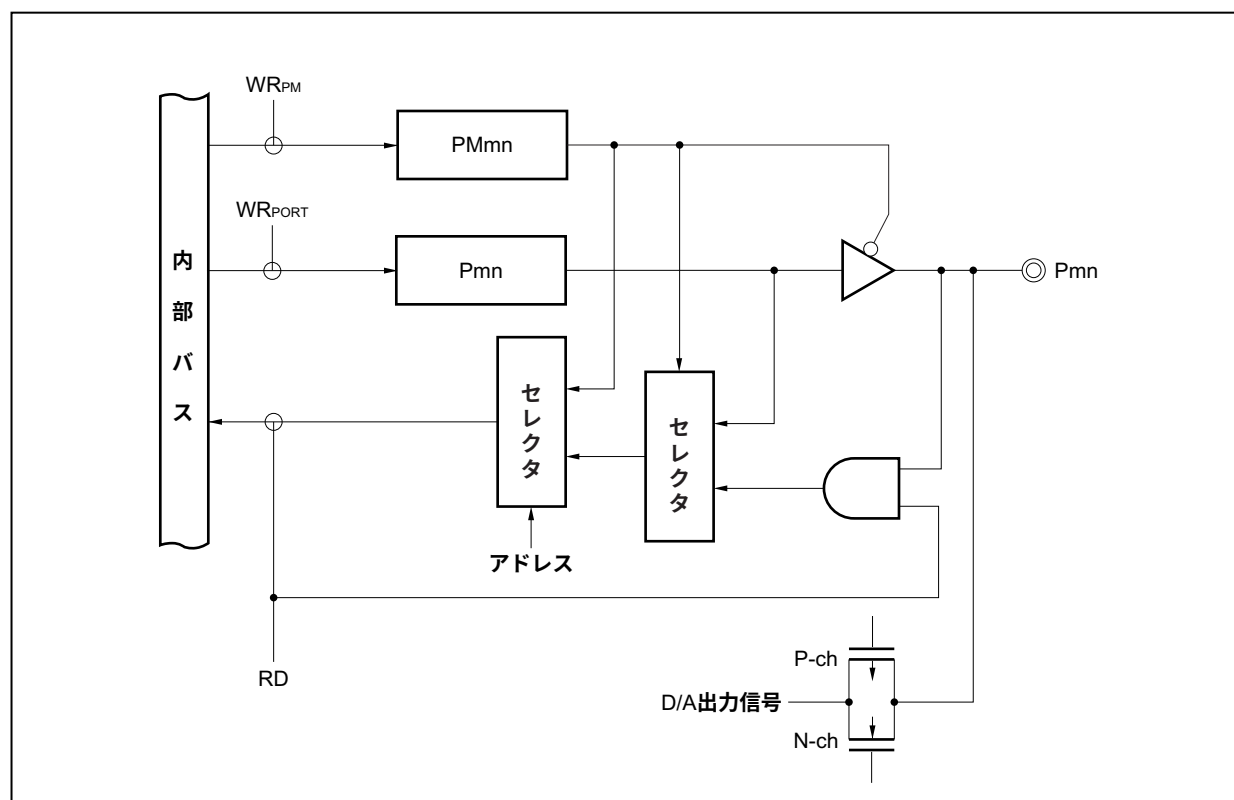


図4-7 タイプC-1のブロック図

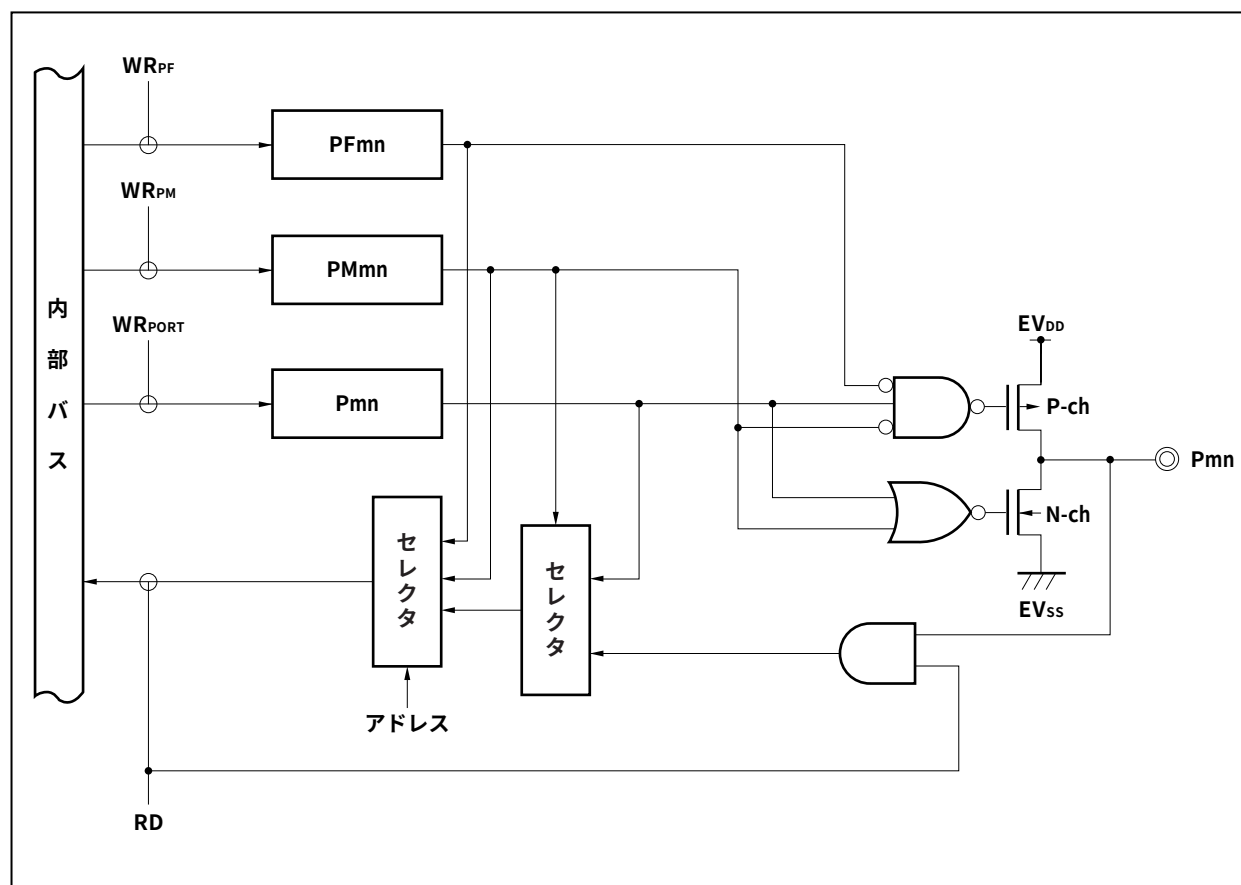


図4-8 タイプE-3のブロック図

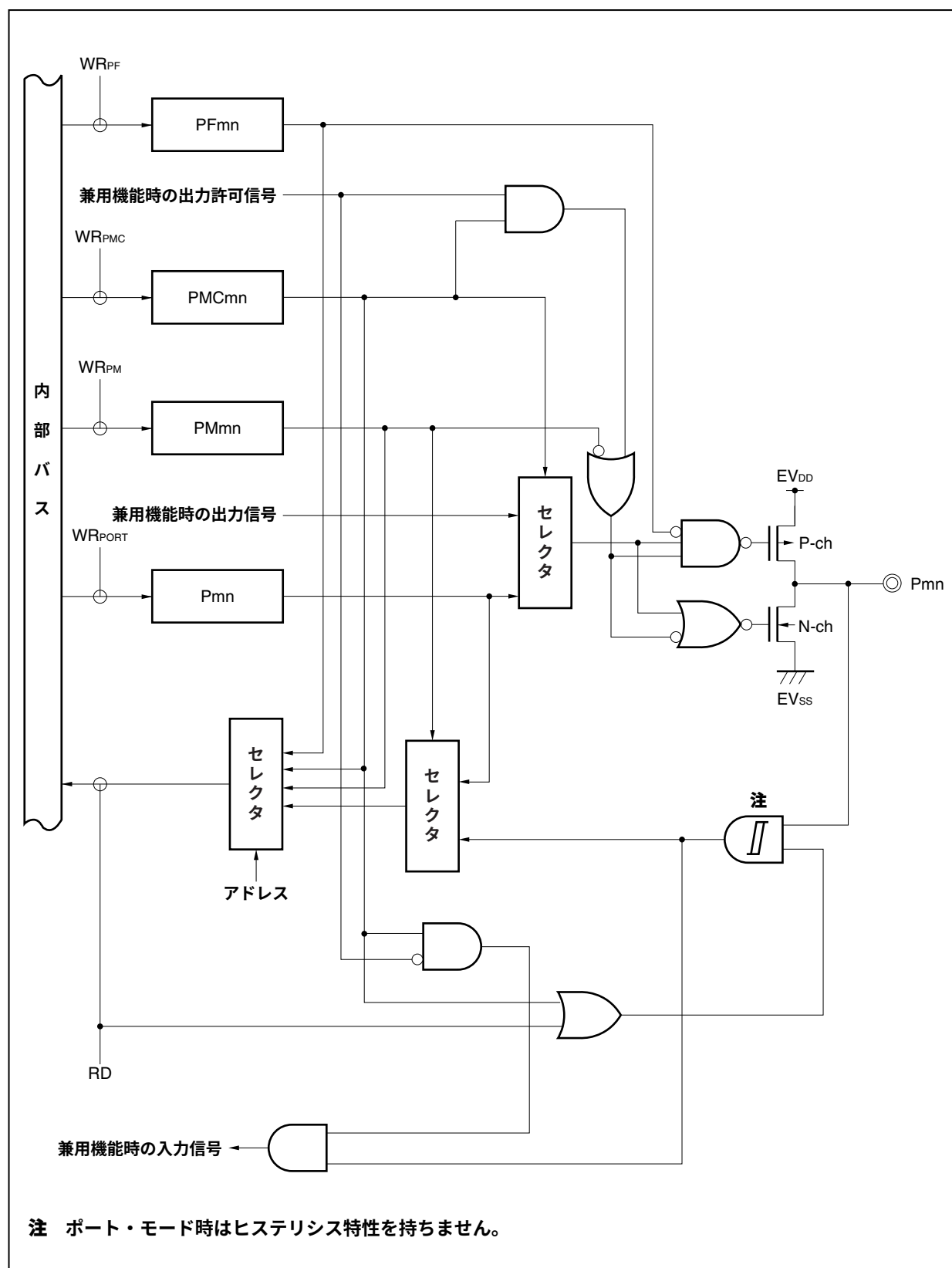


図4-9 タイプG-1のブロック図

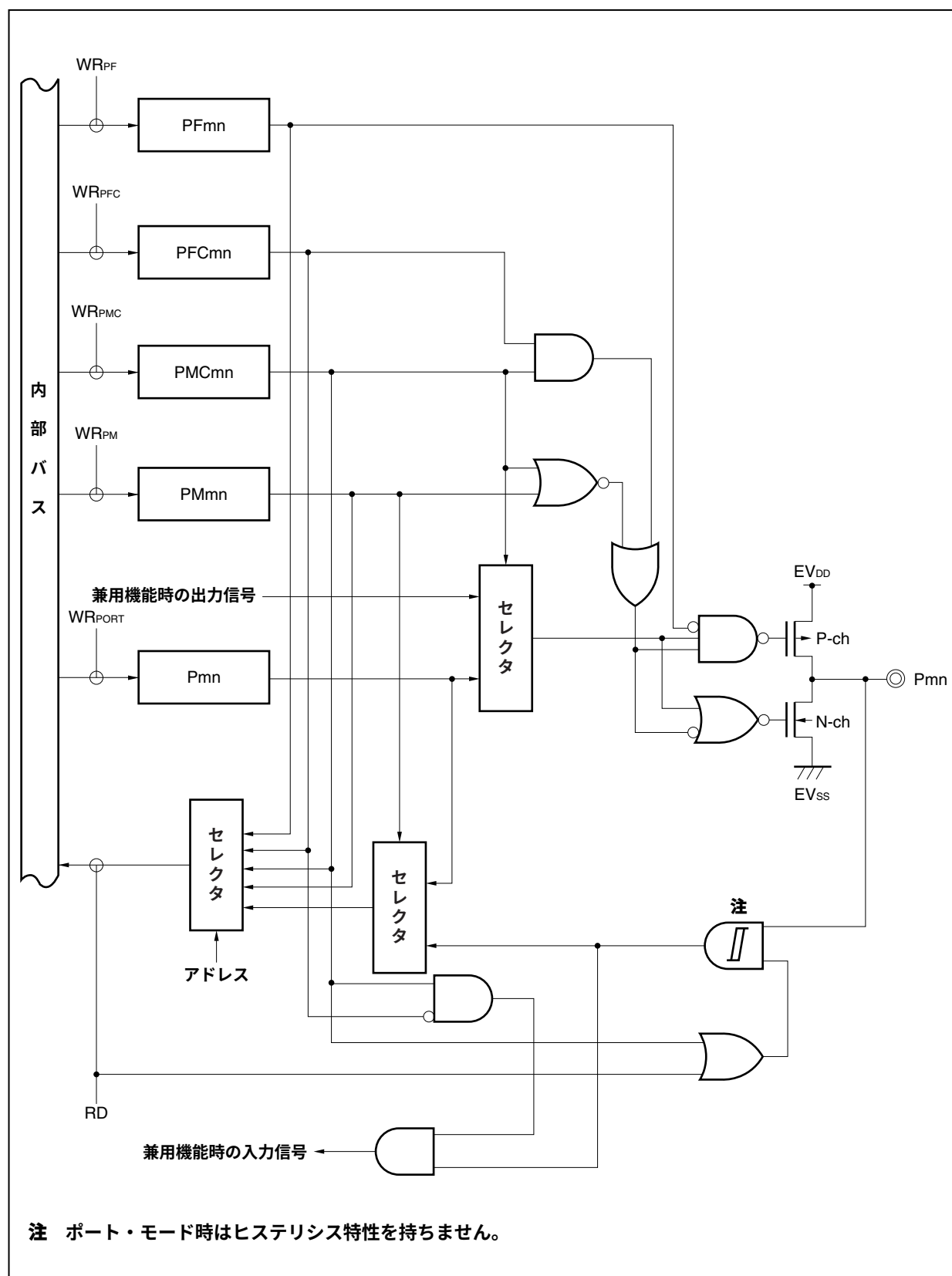


図4-10 タイプG-3のブロック図

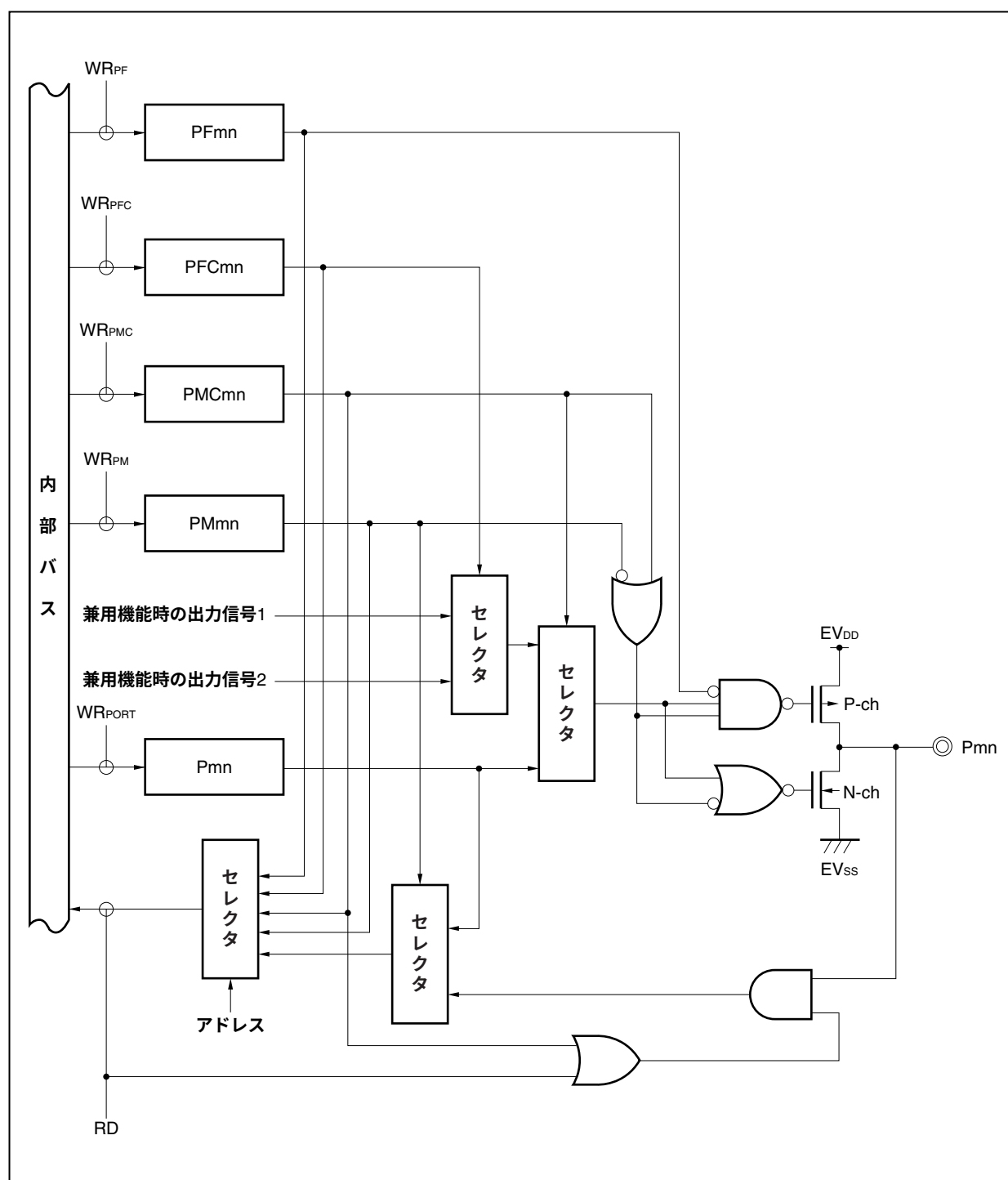


図4-11 タイプG-6のブロック図

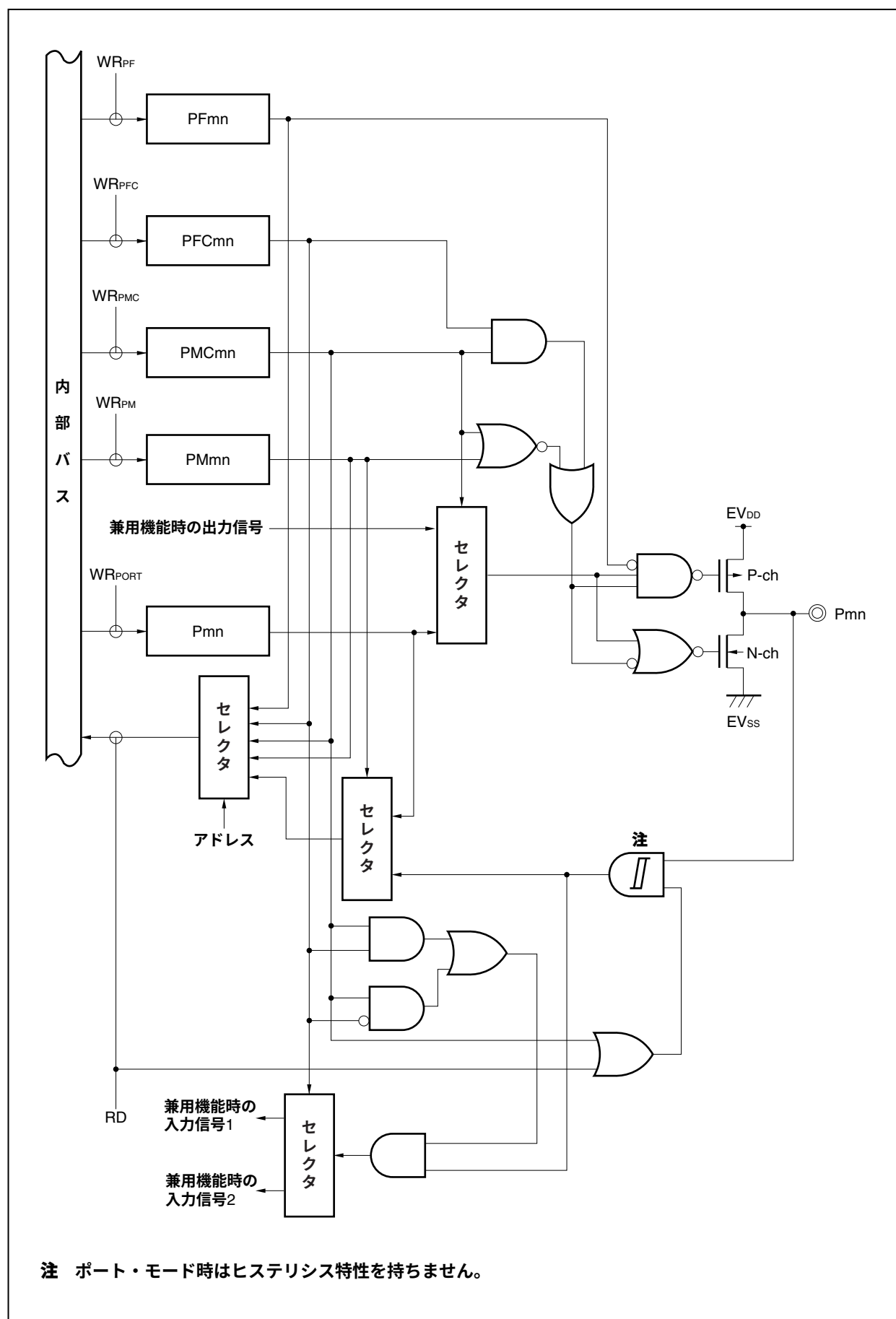


図4-12 タイプG-12のブロック図

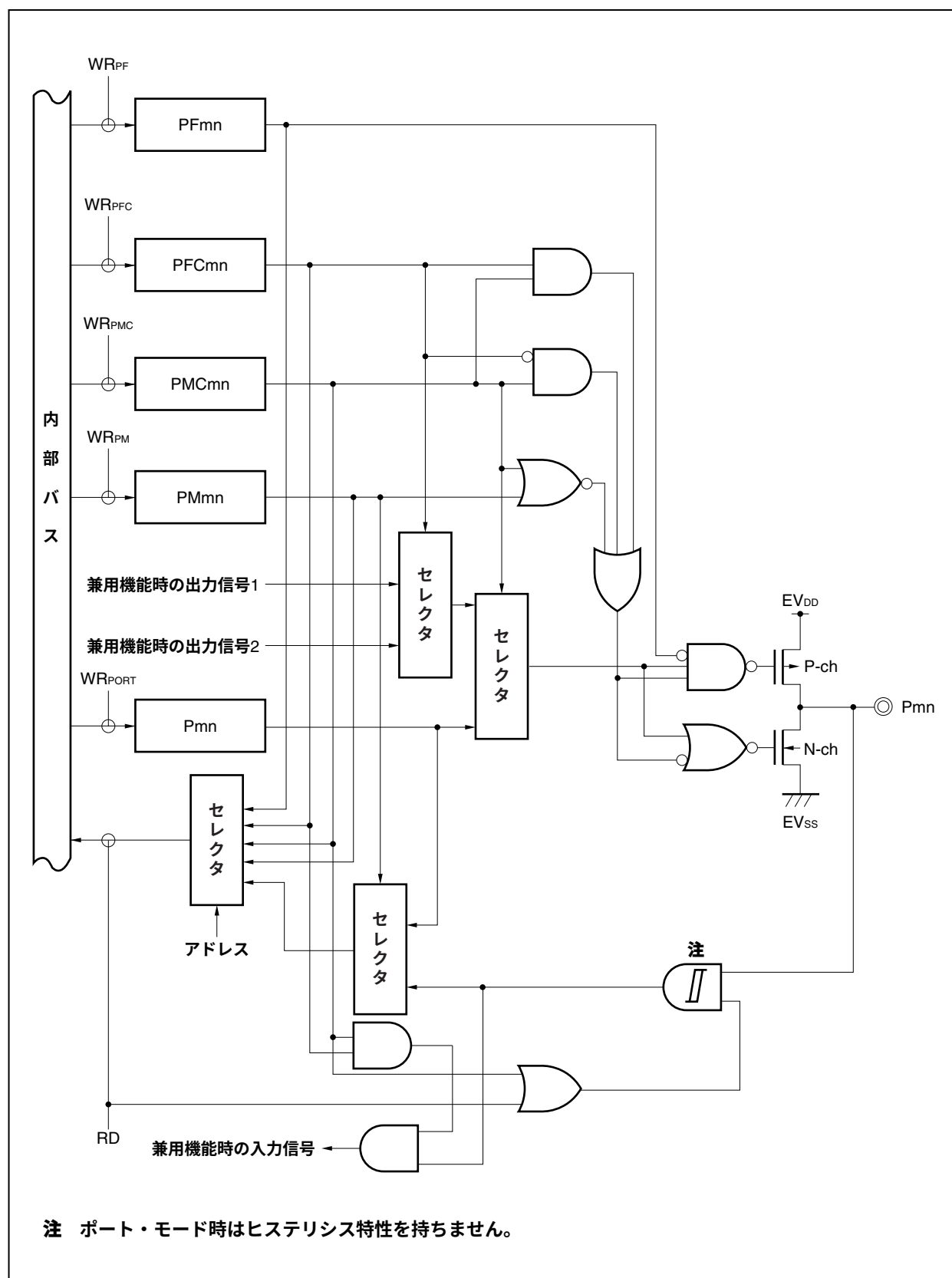


図4-13 タイプG-13のブロック図

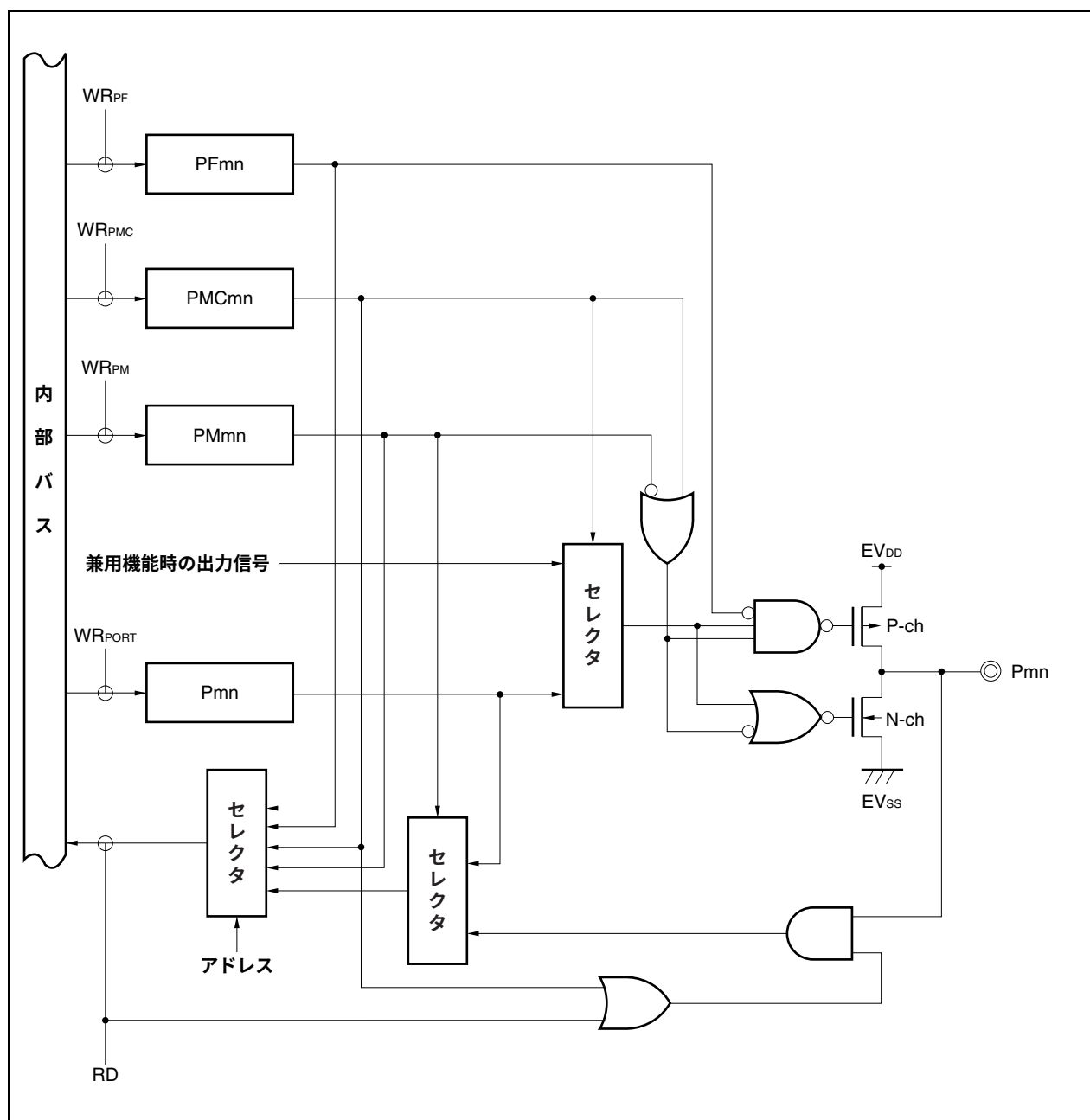


図4-14 タイプG-14のブロック図

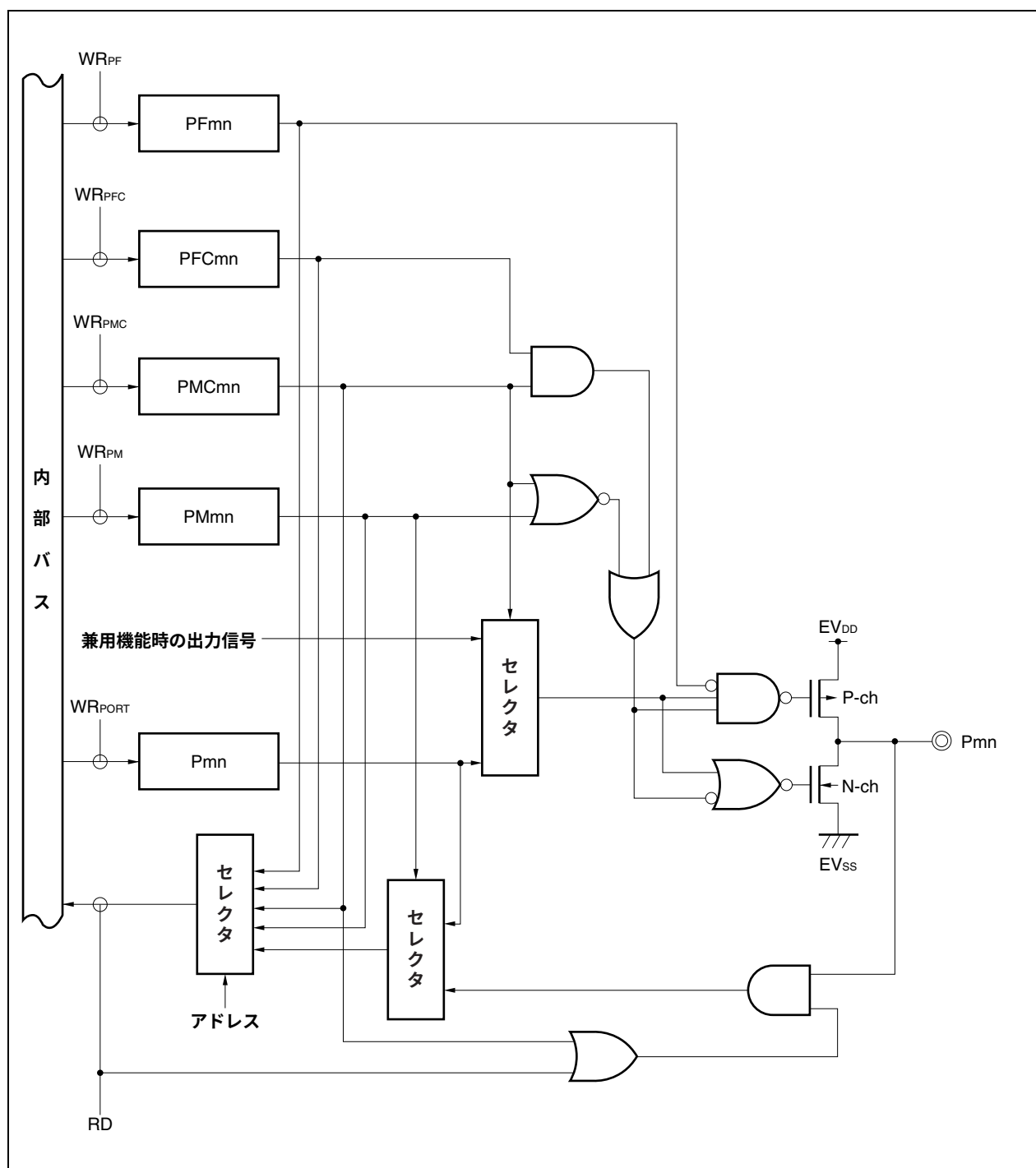


図4-15 タイプG-15のブロック図

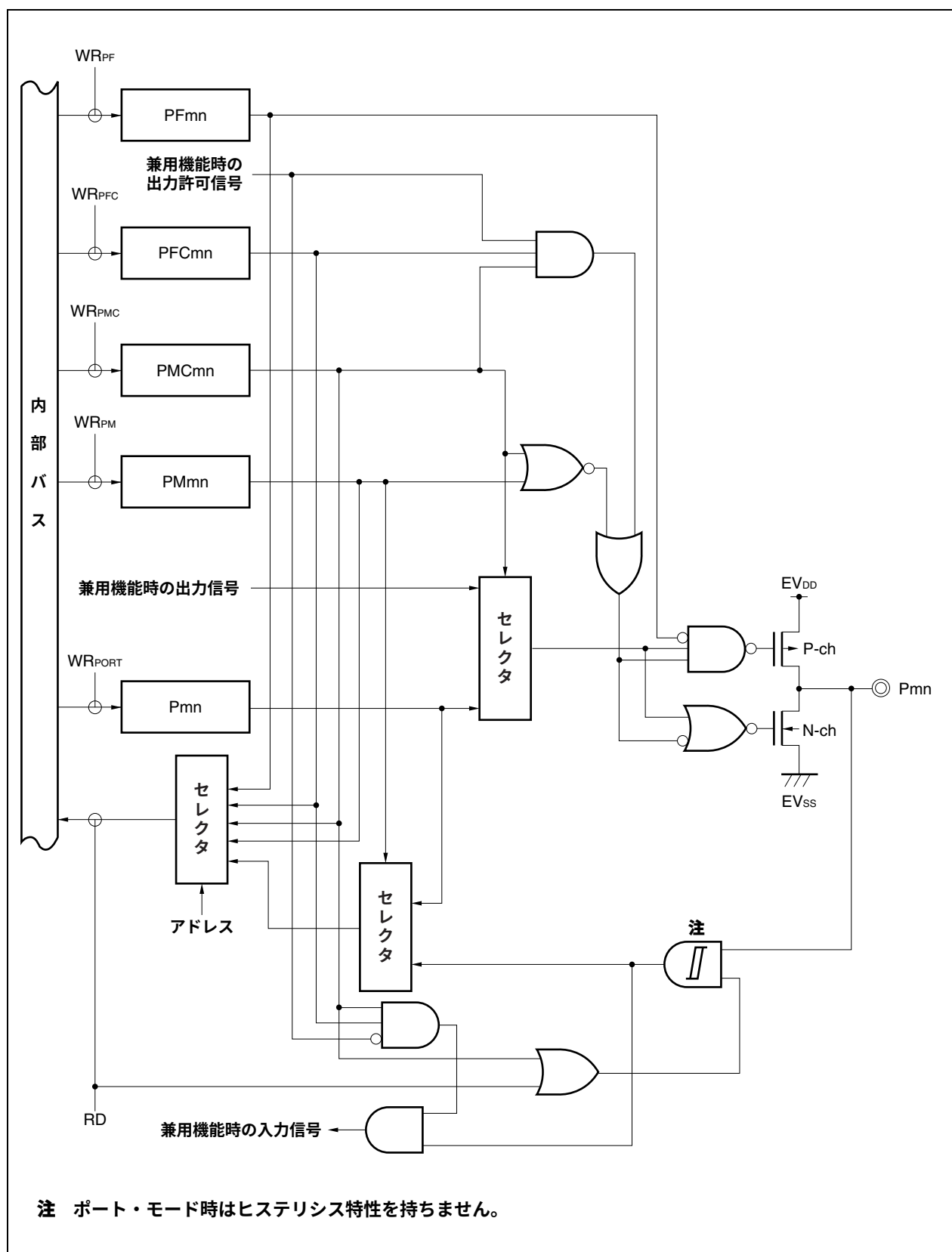


図4-16 タイプG-16のブロック図

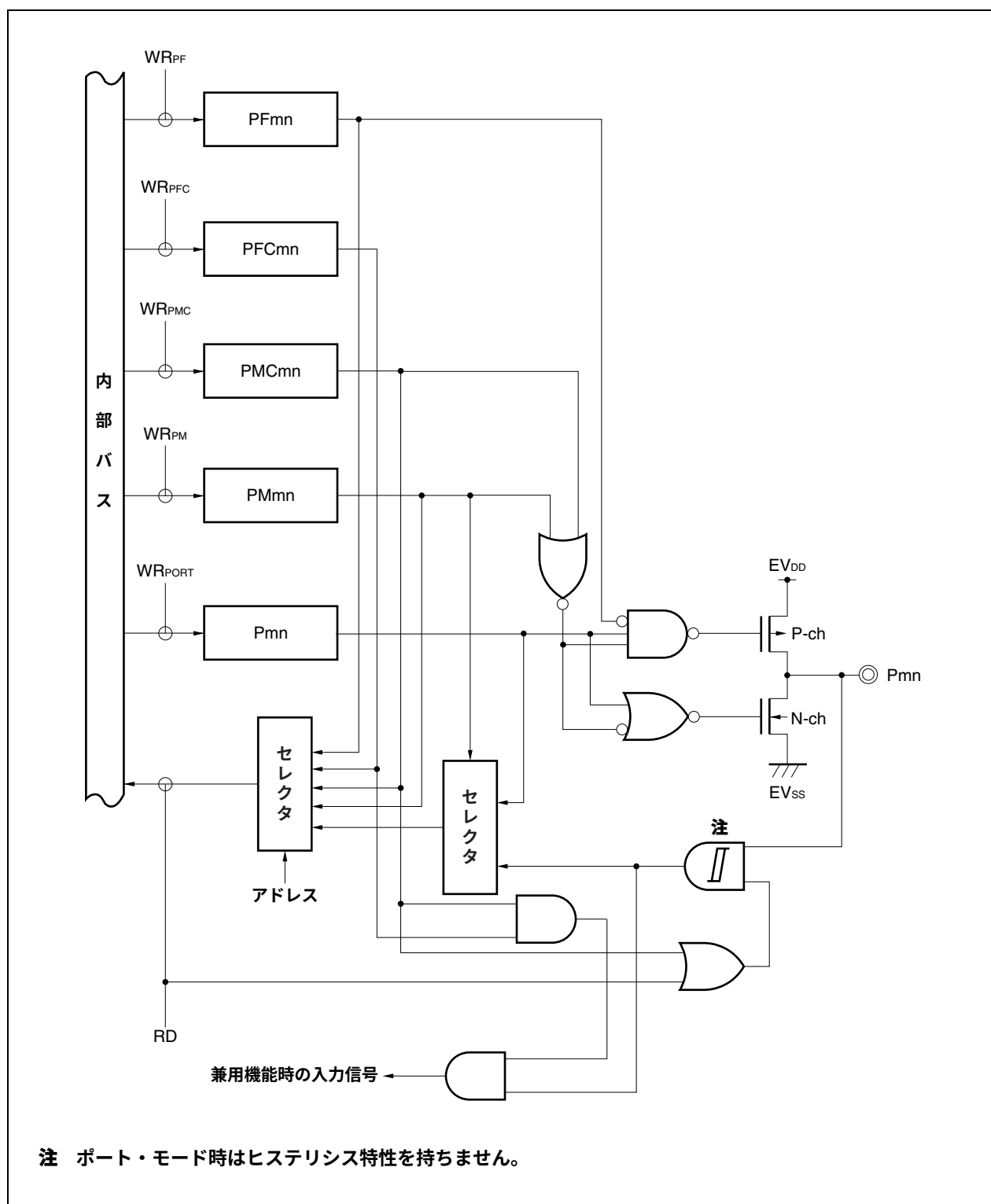


図4-17 タイプL-1のブロック図

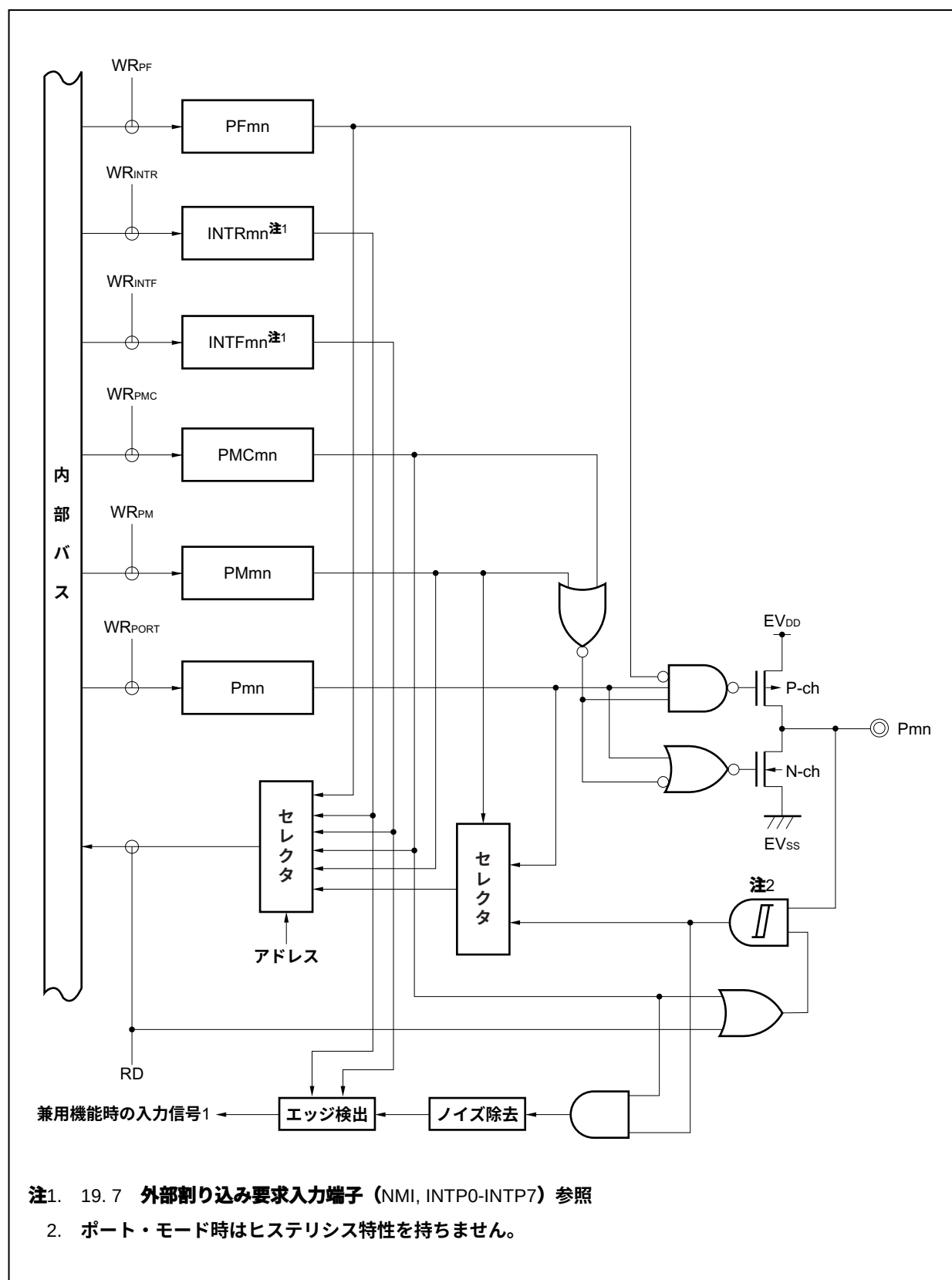


図4-18 タイプN-2のブロック図

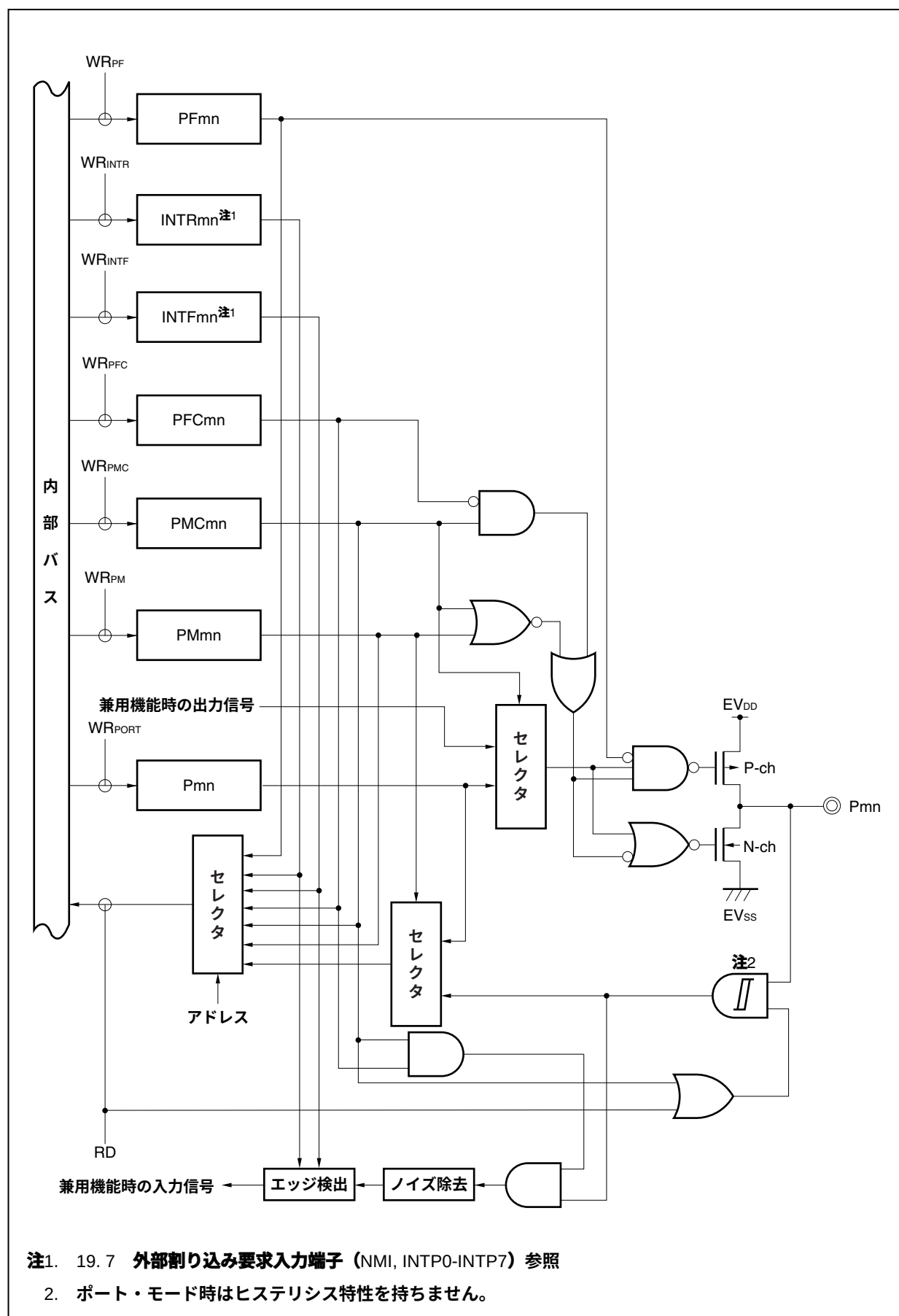


図4-19 タイプN-3のブロック図

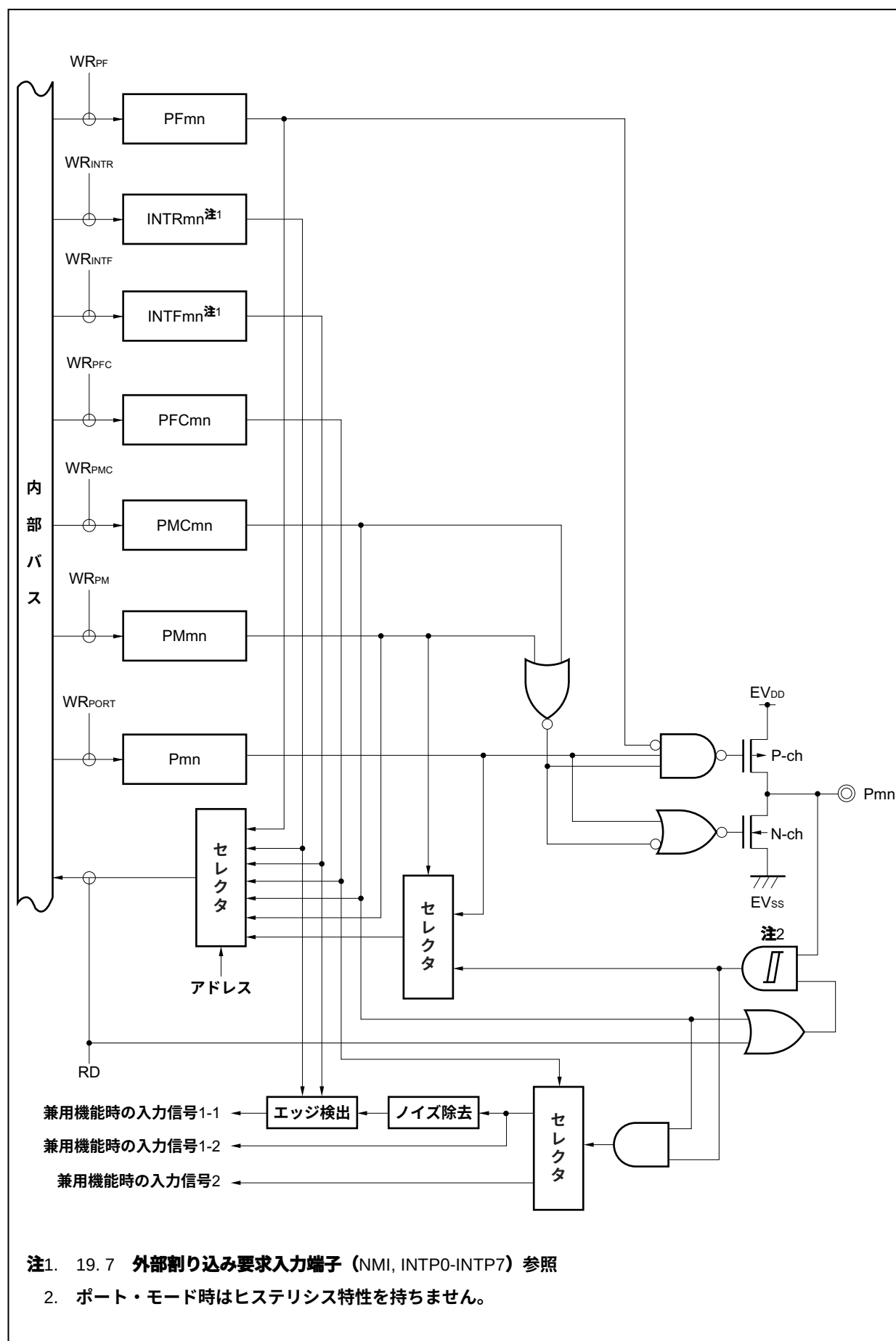


図4-20 タイプN-4のブロック図

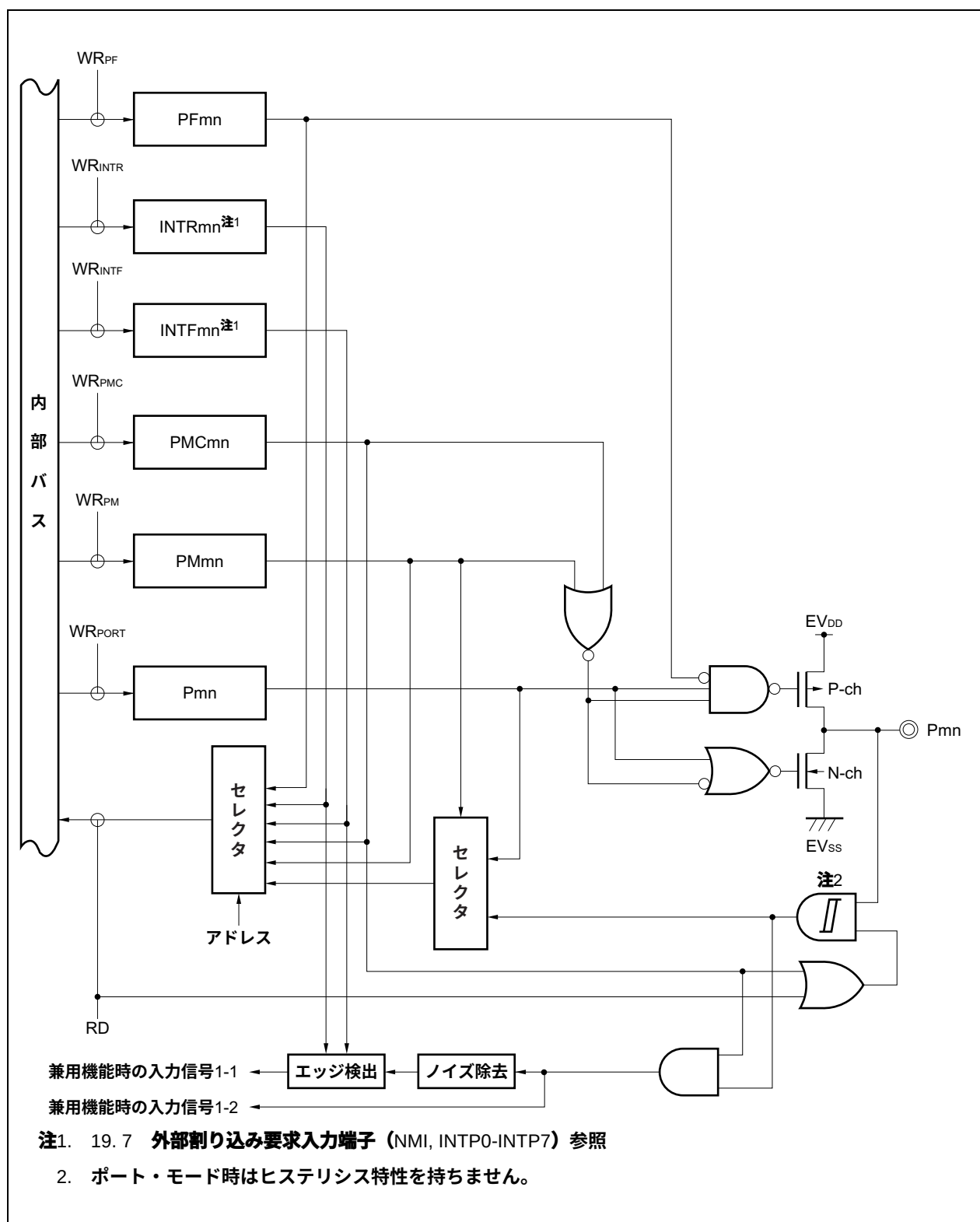


図4-21 タイプN-5のブロック図

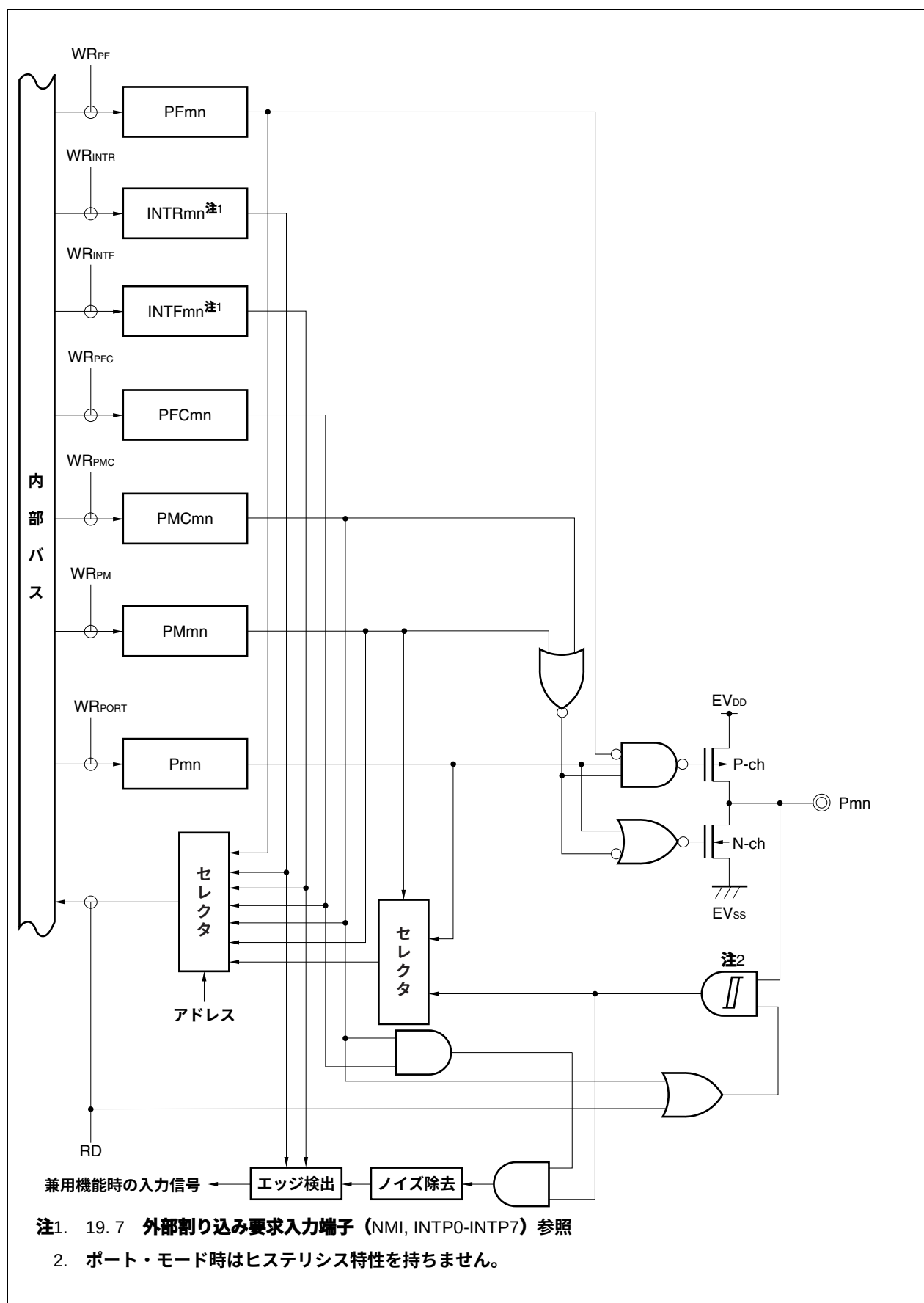


図4-22 タイプU-1のブロック図

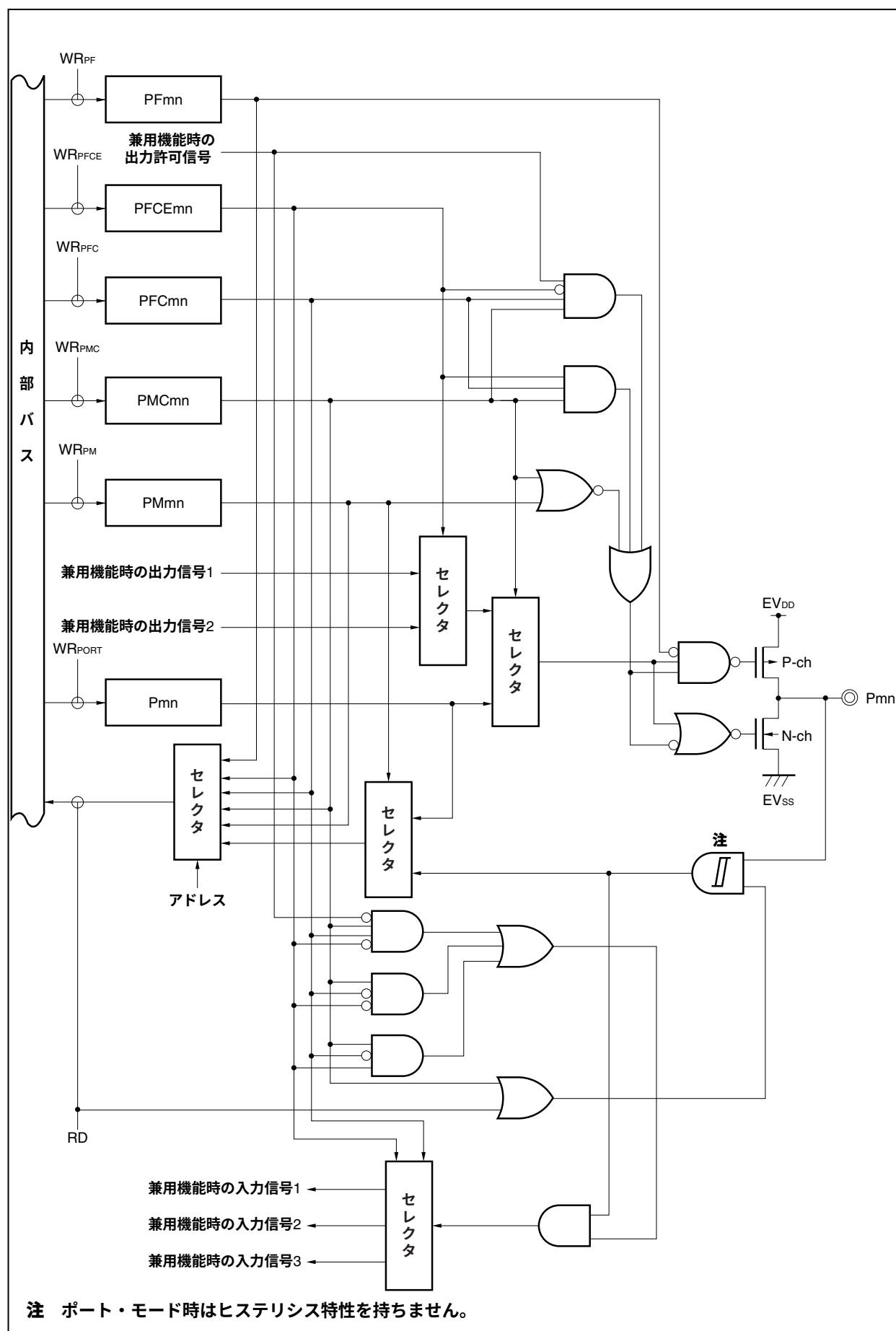


図4-23 タイプU-5のブロック図

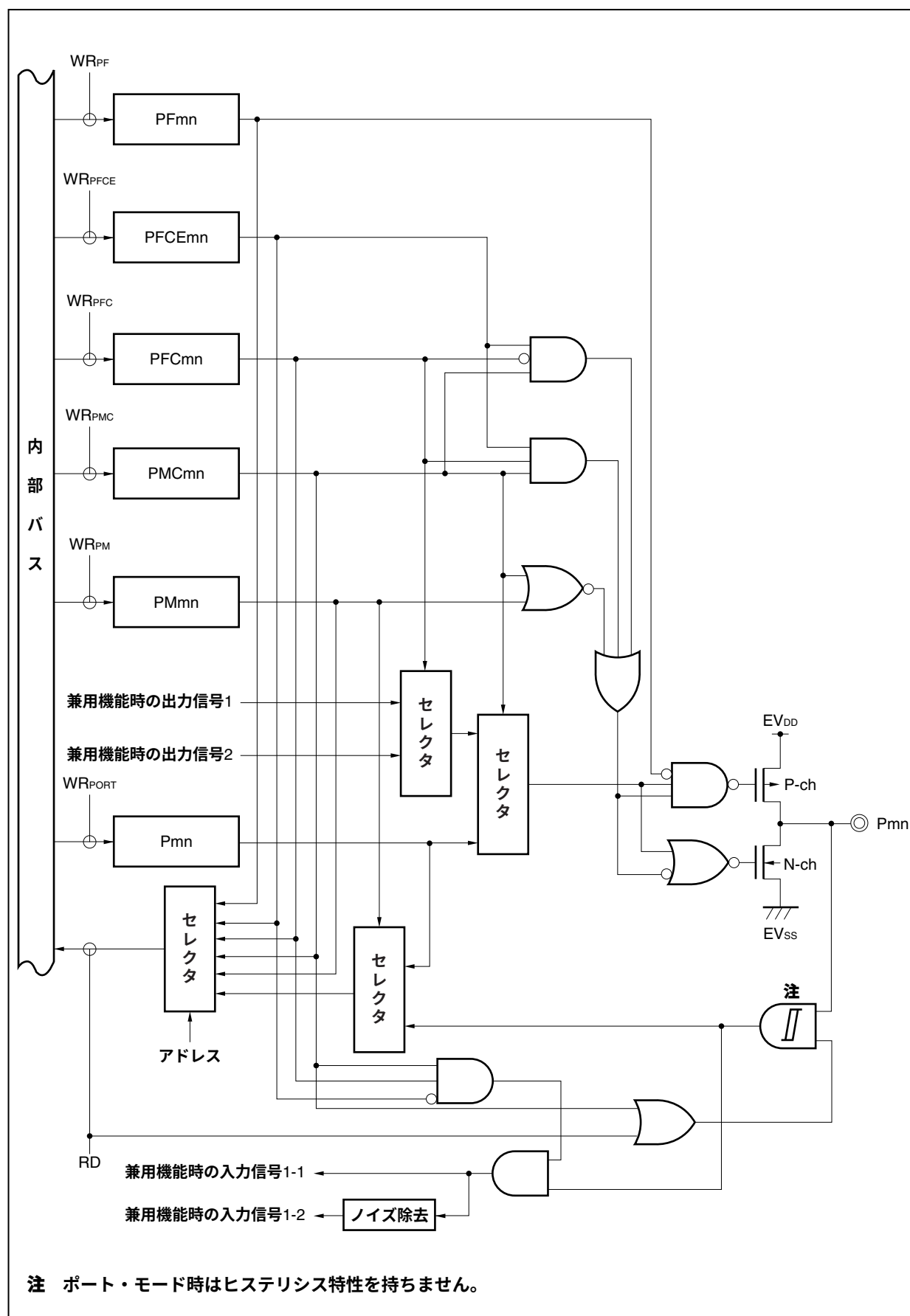


図4-24 タイプU-6のブロック図

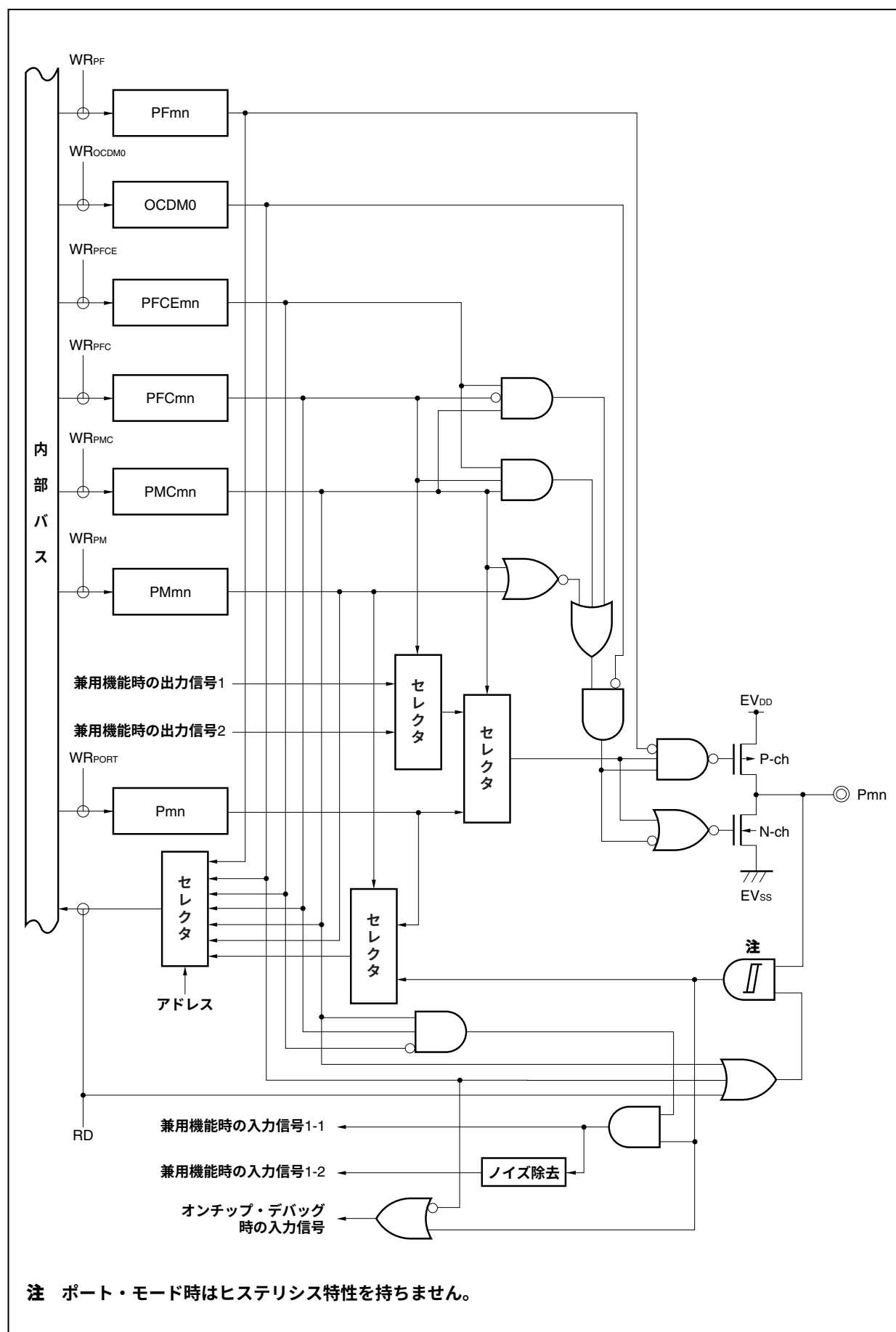


図4-25 タイプU-7のブロック図

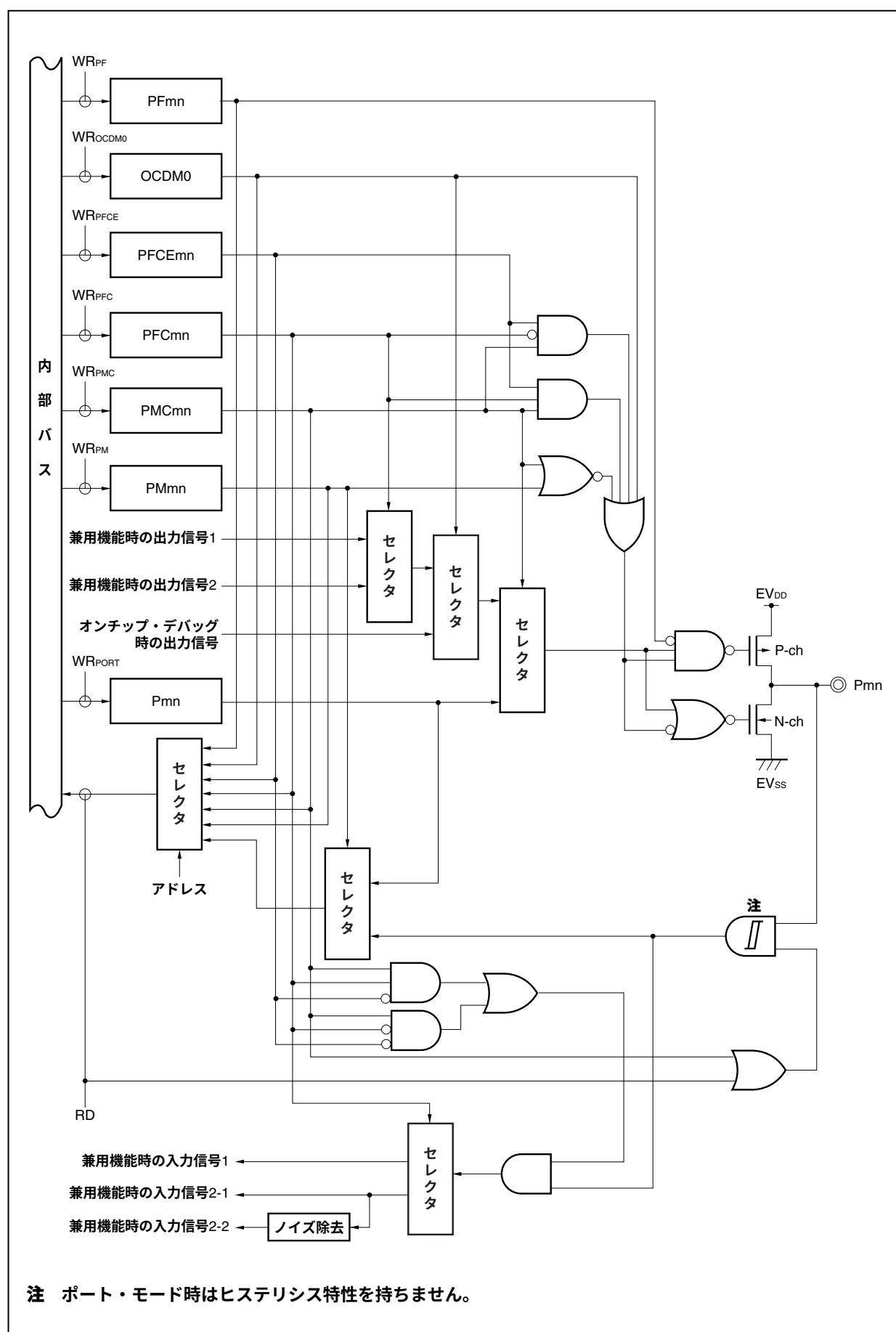


図4-26 タイプU-8のブロック図

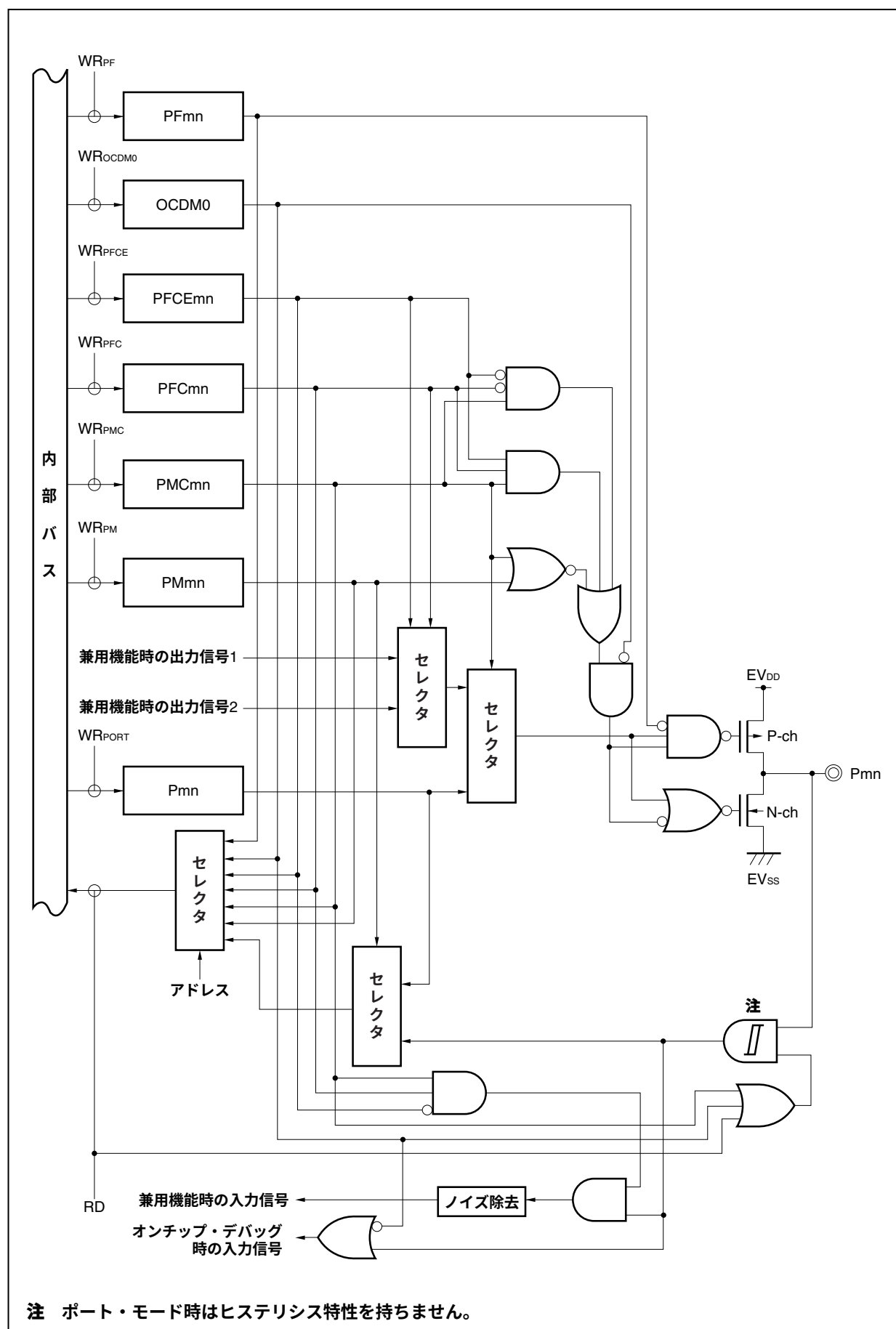


図4-27 タイプU-9のブロック図

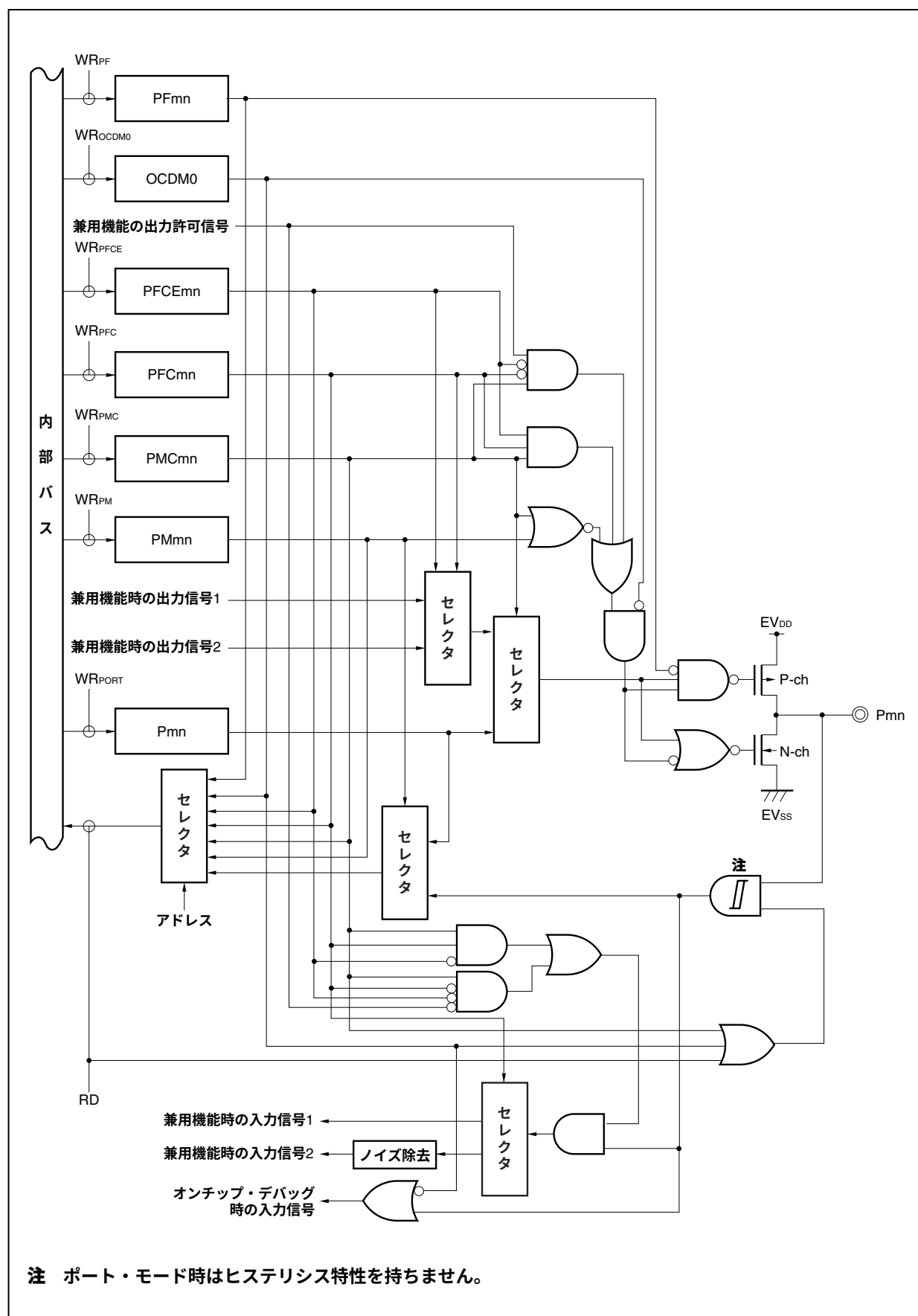


図4-28 タイプU-15のブロック図

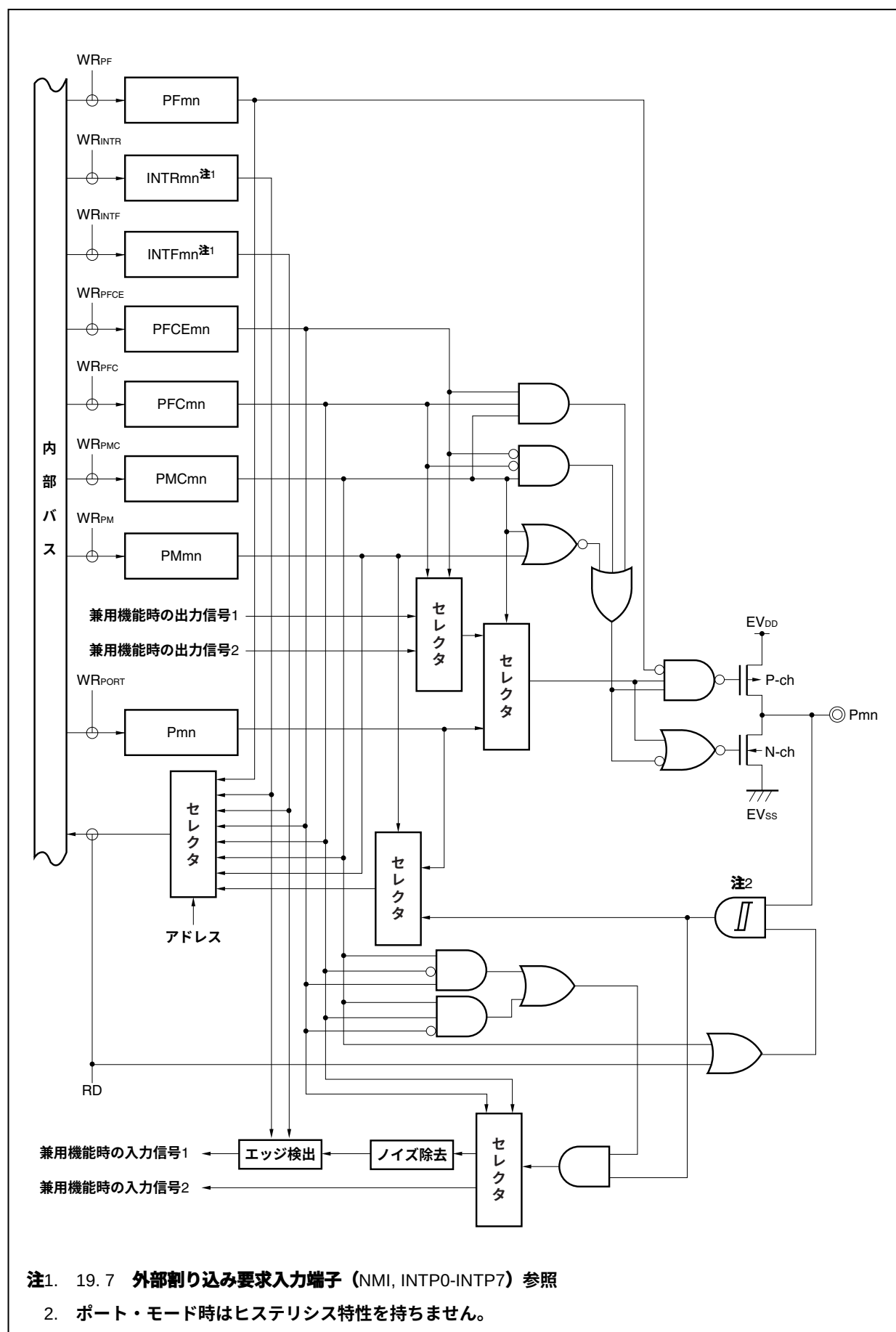


図4-29 タイプU-18のブロック図

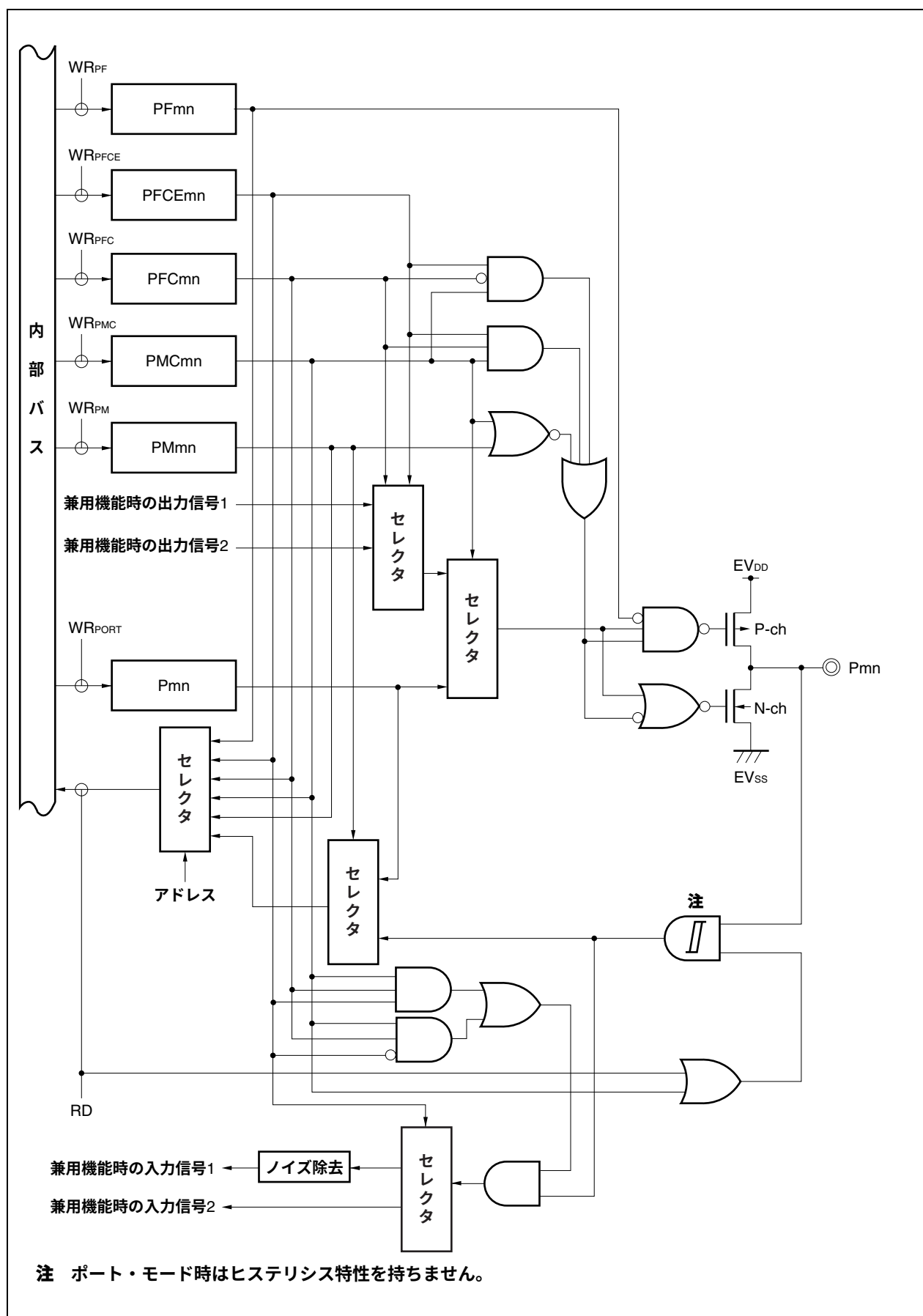


図4-30 タイプU-19のブロック図

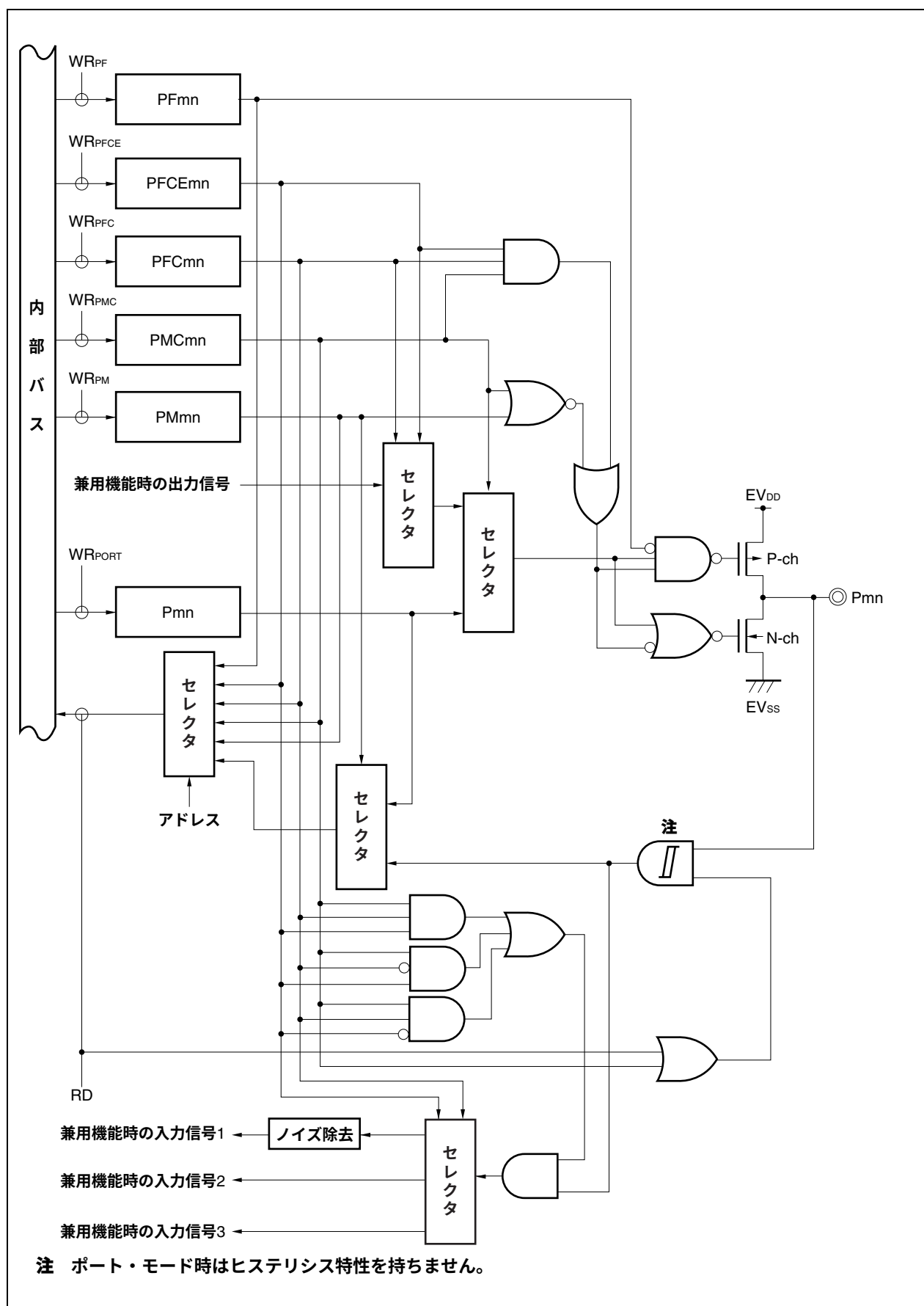


図4-31 タイプU-20のブロック図

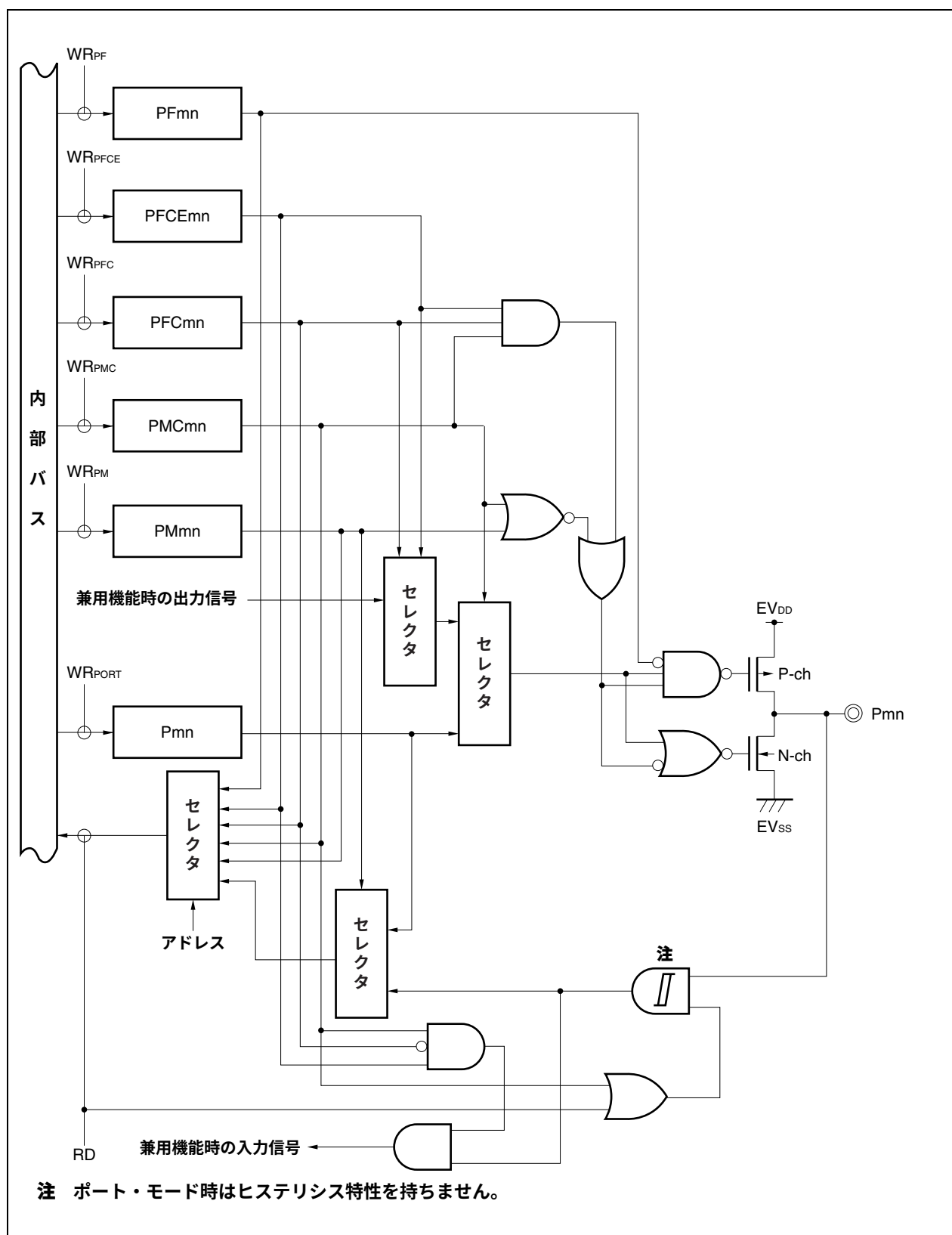


図4-32 タイプU-21のブロック図

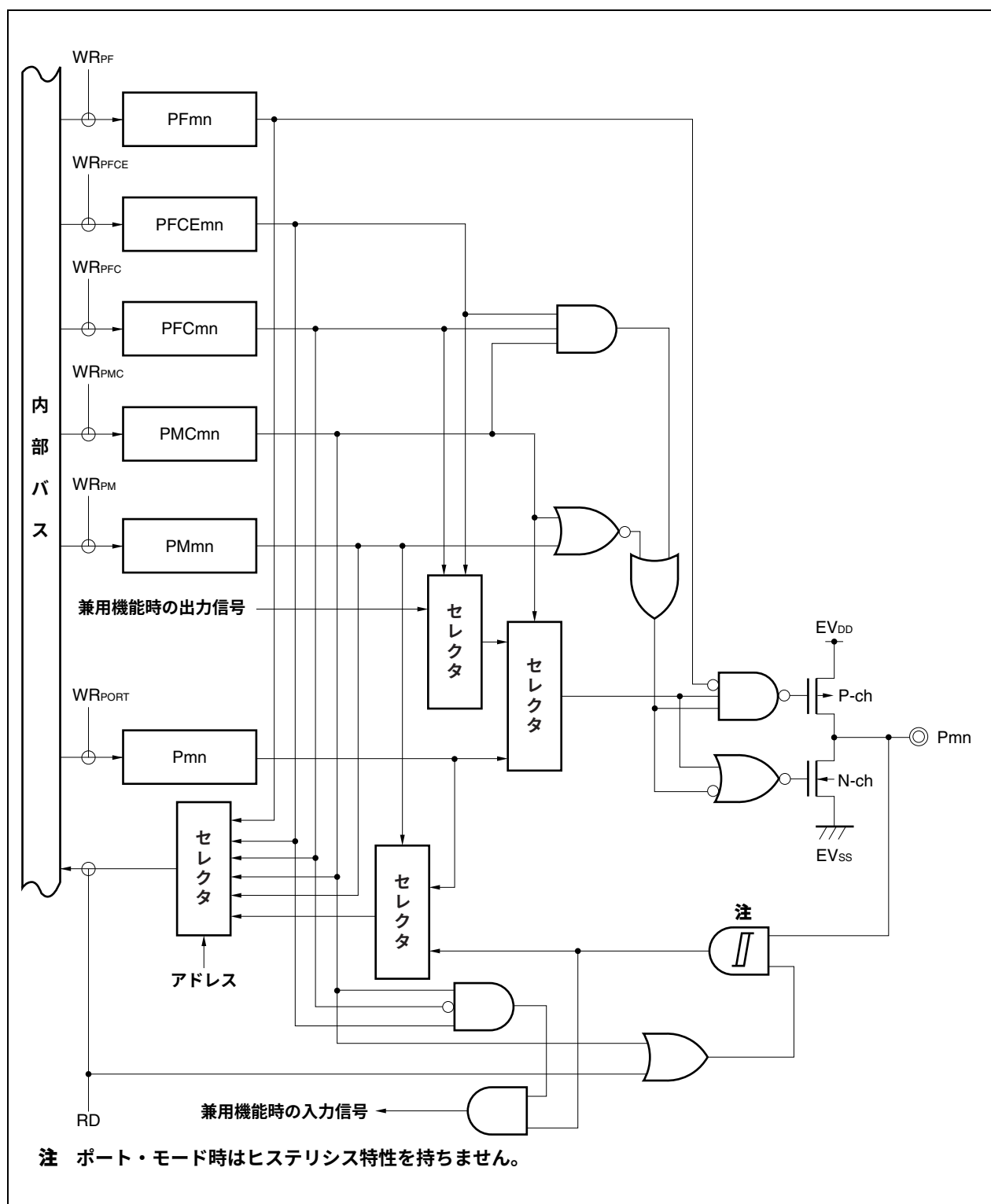


図4-33 タイプU-22のブロック図

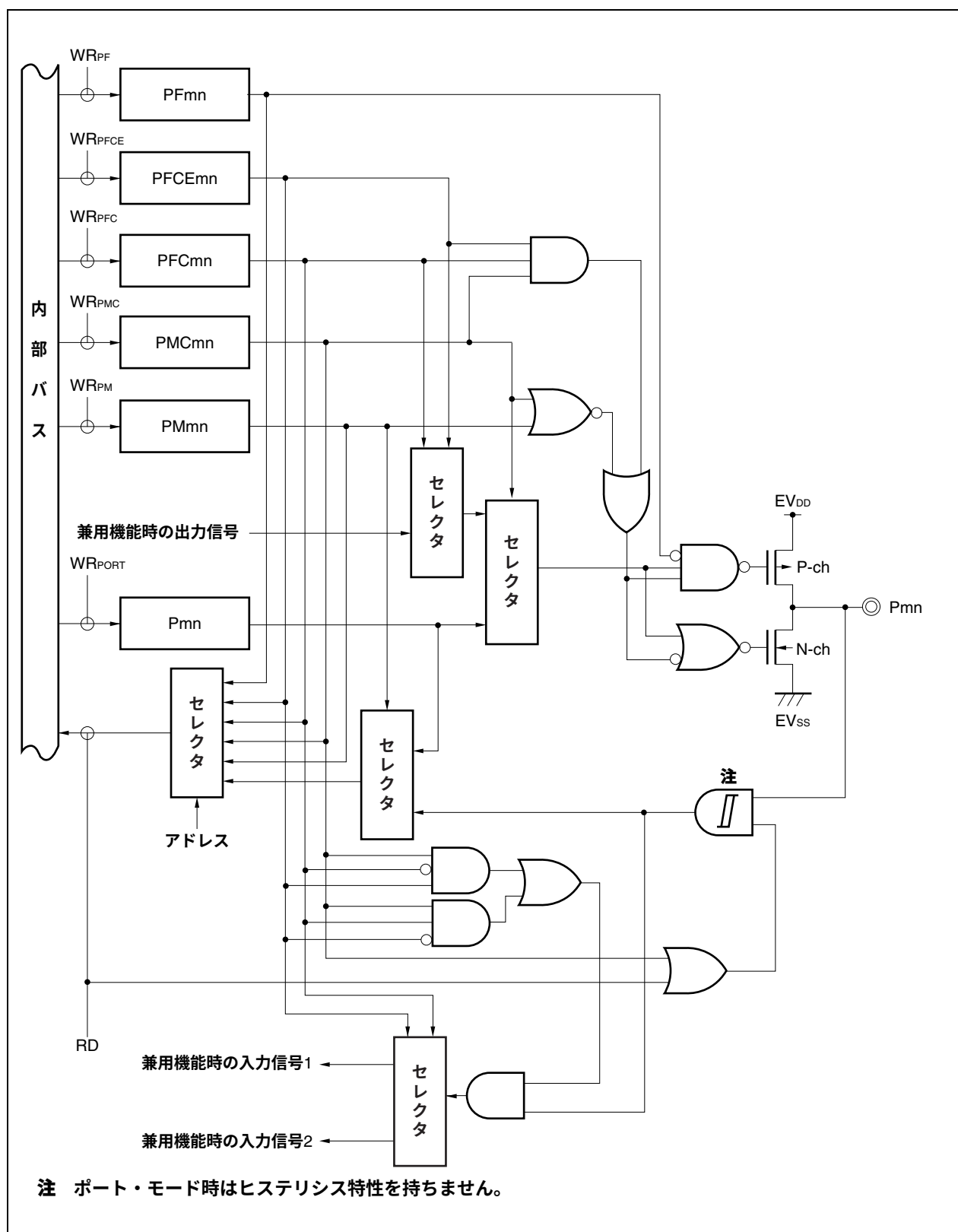


図4-34 タイプU-23のブロック図

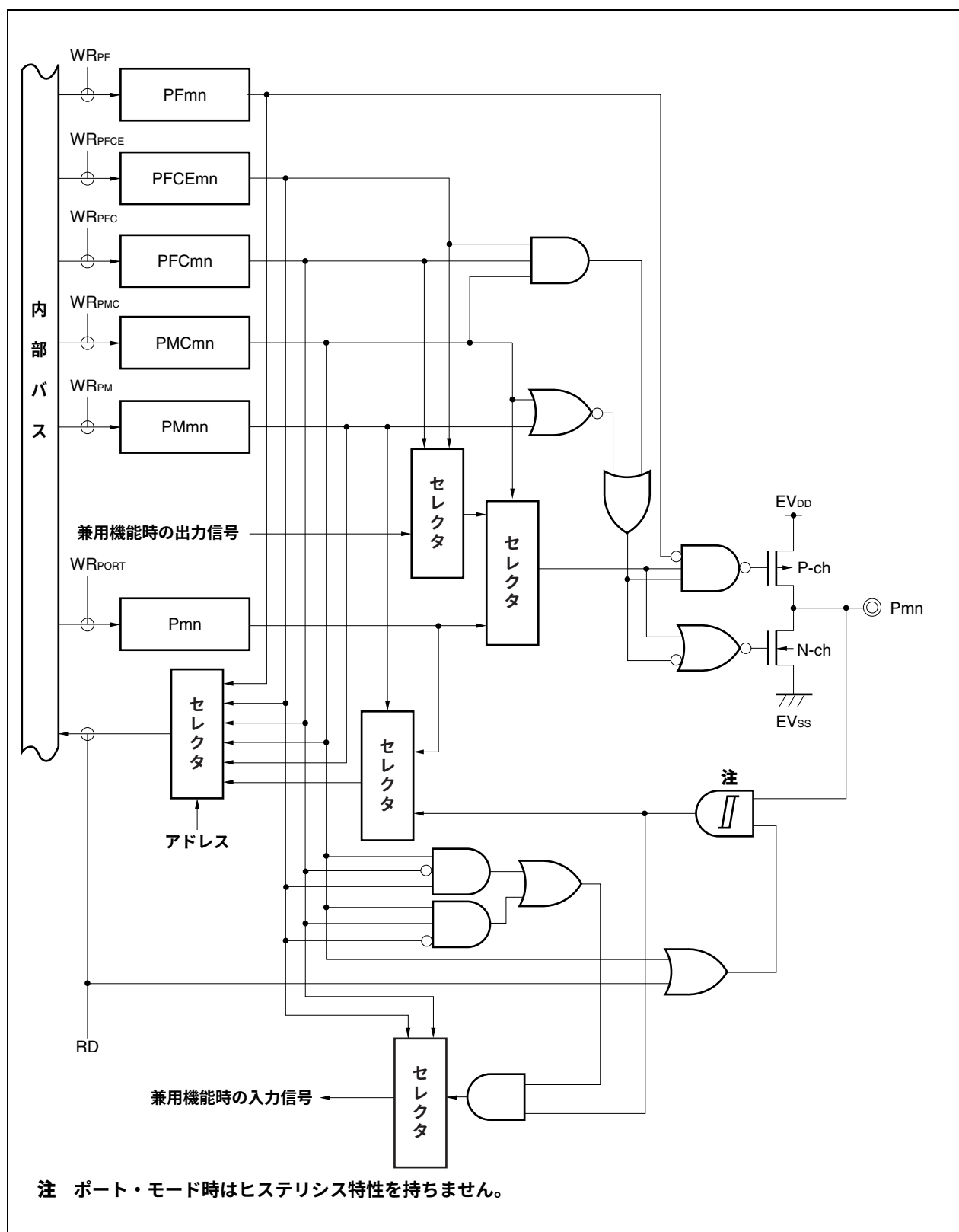


図4-35 タイプU-24のブロック図

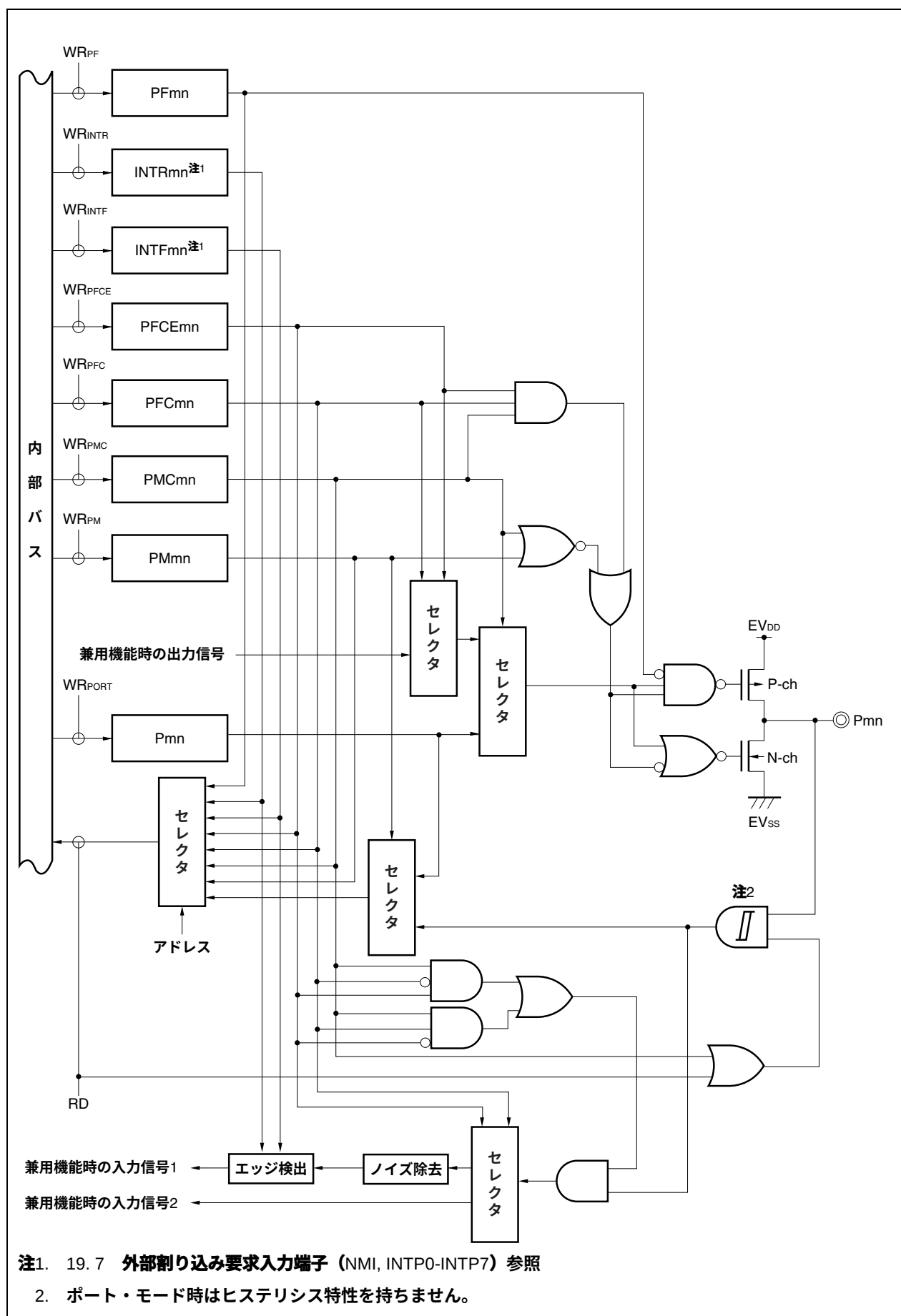
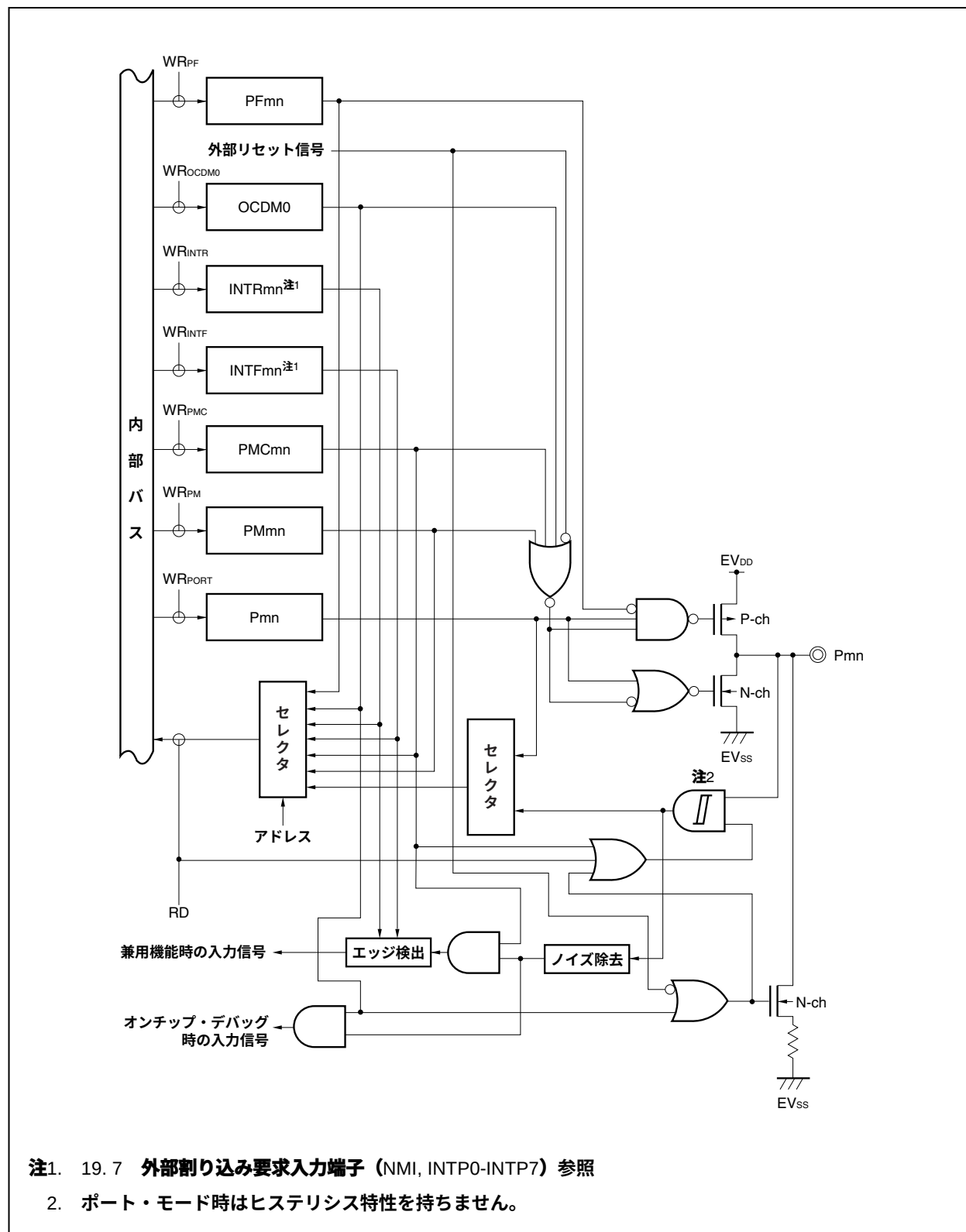


図4-36 タイプAA-1のブロック図



4.5 兼用機能使用時のポートのレジスタ設定

各ポートを兼用端子として使用する場合のポートのレジスタ設定を表4-17に示します。

兼用端子として使用する場合は各機能を参照してください。

表4-17 端子を兼用機能として使用する場合 (1/5)

機能名称	兼用機能		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P02	NMI	入力	P02 = 設定不要	PM02 = 設定不要	PMC02 = 1	—	—	
P03	INTP0	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 0	
	ADTRG	入力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 0	PFC03 = 1	
	RTC1HZ	出力	P03 = 設定不要	PM03 = 設定不要	PMC03 = 1	PFCE03 = 1	PFC03 = 1	
P04	INTP1	入力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 0	
	RTCDIV	出力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 1	
	RTCCL	出力	P04 = 設定不要	PM04 = 設定不要	PMC04 = 1	PFCE04 = 0	PFC04 = 0	
P05	INTP2	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 1	—	—	
	DRST	入力	P05 = 設定不要	PM05 = 設定不要	PMC05 = 設定不要	—	—	OCDM0 (OCDM) = 1
P06	INTP3	入力	P06 = 設定不要	PM06 = 設定不要	PMC06 = 1	—	—	
P10	ANO0	出力	P10 = 設定不要	PM10 = 1	—	—	—	
P30	TXDA0	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	—	PFC30 = 0	
	SOB4	出力	P30 = 設定不要	PM30 = 設定不要	PMC30 = 1	—	PFC30 = 1	
P31	RXDA0	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	—	注 PFC31 = 0	
	INTP7	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	—	注 PFC31 = 0	
	SIB4	入力	P31 = 設定不要	PM31 = 設定不要	PMC31 = 1	—	PFC31 = 1	
P32	ASCKA0	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 0	
	SCKB4	入出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 0	PFC32 = 1	
	TIP00	入力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 0	
	TOP00	出力	P32 = 設定不要	PM32 = 設定不要	PMC32 = 1	PFCE32 = 1	PFC32 = 1	
P33	TIP01	入力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	—	PFC33 = 0	
	TOP01	出力	P33 = 設定不要	PM33 = 設定不要	PMC33 = 1	—	PFC33 = 1	
P34	TIP10	入力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	—	PFC34 = 0	
	TOP10	出力	P34 = 設定不要	PM34 = 設定不要	PMC34 = 1	—	PFC34 = 1	
P35	TIP11	入力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	—	PFC35 = 0	
	TOP11	出力	P35 = 設定不要	PM35 = 設定不要	PMC35 = 1	—	PFC35 = 1	

注 INTP7機能とRXDA0機能は兼用となっています。RXDA0機能として使用する場合は兼用しているINTP7機能のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7機能として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

表4-17 端子を兼用機能として使用する場合 (2/5)

機能名称	兼用機能		Pnレジスタの	PMnレジスタの	PMCnレジスタの	PFCEnレジスタの	PFCnレジスタの	その他のビット (レジスタ)
	名称	入出力	Pnxビット	PMnxビット	PMCnxビット	PFCEnxビット	PFCnxビット	
P38	TXDA2	出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	—	PFC38 = 0	
	SDA00	入出力	P38 = 設定不要	PM38 = 設定不要	PMC38 = 1	—	PFC38 = 1	PF38 (PF3) = 1
P39	RXDA2	入力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	—	PFC39 = 0	
	SCL00	入出力	P39 = 設定不要	PM39 = 設定不要	PMC39 = 1	—	PFC39 = 1	PF39 (PF3) = 1
P40	SIB0	入力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	—	PFC40 = 0	
	SDA01	入出力	P40 = 設定不要	PM40 = 設定不要	PMC40 = 1	—	PFC40 = 1	PF40 (PF4) = 1
P41	SOB0	出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	—	PFC41 = 0	
	SCL01	入出力	P41 = 設定不要	PM41 = 設定不要	PMC41 = 1	—	PFC41 = 1	PF41 (PF4) = 1
P42	SCKB0	入出力	P42 = 設定不要	PM42 = 設定不要	PMC42 = 1	—	—	
P50	TIQ01	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	KRM0 (KRM) = 0
	KR0	入力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 0	PFC50 = 1	TQ0TIG2, TQ0TIG3 (TQ0IOC1) = 0
	TOQ01	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 0	
	RTP00	出力	P50 = 設定不要	PM50 = 設定不要	PMC50 = 1	PFCE50 = 1	PFC50 = 1	
P51	TIQ02	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	KRM1 (KRM) = 0
	KR1	入力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 0	PFC51 = 1	TQ0TIG4, TQ0TIG5 (TQ0IOC1) = 0
	TOQ02	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 0	
	RTP01	出力	P51 = 設定不要	PM51 = 設定不要	PMC51 = 1	PFCE51 = 1	PFC51 = 1	
P52	TIQ03	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	KRM2 (KRM) = 0
	KR2	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 0	PFC52 = 1	TQ0TIG6, TQ0TIG7 (TQ0IOC1) = 0
	TOQ03	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 0	
	RTP02	出力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 1	PFCE52 = 1	PFC52 = 1	
	DDI	入力	P52 = 設定不要	PM52 = 設定不要	PMC52 = 設定不要	PFCE52 = 設定不要	PFC52 = 設定不要	OCDM0 (OCDM) = 1

表4-17 端子を兼用機能として使用する場合 (3/5)

機能名称	兼用機能		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P53	SIB2	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 0	
	TIQ00	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	KRM3 (KRM) = 0
	KR3	入力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 0	PFC53 = 1	TQ0TIG0, TQ0TIG1 (TQ0IOC1) = 0, TQ0EES0, TQ0EES1 (TQ0IOC2) = 0, TQ0ETS0, TQ0ETS1 (TQ0IOC2) = 0
	TOQ00	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 0	
	RTP03	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 1	PFCE53 = 1	PFC53 = 1	
	DDO	出力	P53 = 設定不要	PM53 = 設定不要	PMC53 = 設定不要	PFCE53 = 設定不要	PFC53 = 設定不要	OCDM0 (OCDM) = 1
P54	SOB2	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 0	
	KR4	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 0	PFC54 = 1	
	RTP04	出力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 1	PFCE54 = 1	PFC54 = 1	
	DCK	入力	P54 = 設定不要	PM54 = 設定不要	PMC54 = 設定不要	PFCE54 = 設定不要	PFC54 = 設定不要	OCDM0 (OCDM) = 1
P55	SCKB2	入出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 0	
	KR5	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 0	PFC55 = 1	
	RTP05	出力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 1	PFCE55 = 1	PFC55 = 1	
	DMS	入力	P55 = 設定不要	PM55 = 設定不要	PMC55 = 設定不要	PFCE55 = 設定不要	PFC55 = 設定不要	OCDM0 (OCDM) = 1

表4-17 端子を兼用機能として使用する場合 (4/5)

機能名称	兼用機能		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P70	ANI0	入力	P70 = 設定不要	PM70 = 1	—	—	—	
P71	ANI1	入力	P71 = 設定不要	PM71 = 1	—	—	—	
P72	ANI2	入力	P72 = 設定不要	PM72 = 1	—	—	—	
P73	ANI3	入力	P73 = 設定不要	PM73 = 1	—	—	—	
P74	ANI4	入力	P74 = 設定不要	PM74 = 1	—	—	—	
P75	ANI5	入力	P75 = 設定不要	PM75 = 1	—	—	—	
P76	ANI6	入力	P76 = 設定不要	PM76 = 1	—	—	—	
P77	ANI7	入力	P77 = 設定不要	PM77 = 1	—	—	—	
P78	ANI8	入力	P78 = 設定不要	PM78 = 1	—	—	—	
P79	ANI9	入力	P79 = 設定不要	PM79 = 1	—	—	—	
P90	KR6	入力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 0	PFC90 = 1	
	TXDA1	出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 0	
	SDA02	入出力	P90 = 設定不要	PM90 = 設定不要	PMC90 = 1	PFCE90 = 1	PFC90 = 1	PF90 (PF9) = 1
P91	KR7	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 0	PFC91 = 1	
	RXDA1/KR7 ^注	入力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 0	
	SCL02	入出力	P91 = 設定不要	PM91 = 設定不要	PMC91 = 1	PFCE91 = 1	PFC91 = 1	PF91 (PF9) = 1
P92	TIP41	入力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 0	PFC92 = 1	
	TOP41	出力	P92 = 設定不要	PM92 = 設定不要	PMC92 = 1	PFCE92 = 1	PFC92 = 0	
P93	TIP40	入力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 0	PFC93 = 1	
	TOP40	出力	P93 = 設定不要	PM93 = 設定不要	PMC93 = 1	PFCE93 = 1	PFC93 = 0	
P94	TIP31	入力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 0	PFC94 = 1	
	TOP31	出力	P94 = 設定不要	PM94 = 設定不要	PMC94 = 1	PFCE94 = 1	PFC94 = 0	

注 RXDA1機能とKR7機能は同時に使用することはできません。RXDA1機能を使用する場合は、KR7機能を使用しないでください。また、KR7機能を使用する場合は、RXDA1機能を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。

表4-17 端子を兼用機能として使用する場合 (5/5)

機能名称	兼用機能		Pnレジスタの Pnxビット	PMnレジスタの PMnxビット	PMCnレジスタの PMCnxビット	PFCEnレジスタの PFCEnxビット	PFCnレジスタの PFCnxビット	その他のビット (レジスタ)
	名称	入出力						
P96	TIP21	入力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 0	
	TOP21	出力	P96 = 設定不要	PM96 = 設定不要	PMC96 = 1	PFCE96 = 1	PFC96 = 1	
P97	TIP20	入力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 0	
	TOP20	出力	P97 = 設定不要	PM97 = 設定不要	PMC97 = 1	PFCE97 = 1	PFC97 = 1	
P98	SOB1	出力	P98 = 設定不要	PM98 = 設定不要	PMC98 = 1	—	PFC98 = 1	
P99	SCKB1	入出力	P99 = 設定不要	PM99 = 設定不要	PMC99 = 1	—	PFC99 = 1	
P910	SIB3	入力	P910 = 設定不要	PM910 = 設定不要	PMC910 = 1	—	PFC910 = 1	
P911	SOB3	出力	P911 = 設定不要	PM911 = 設定不要	PMC911 = 1	—	PFC911 = 1	
P912	SCKB3	入出力	P912 = 設定不要	PM912 = 設定不要	PMC912 = 1	—	PFC912 = 1	
P913	INTP4	入力	P913 = 設定不要	PM913 = 設定不要	PMC913 = 1	—	PFC913 = 1	
P914	INTP5	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 0	PFC914 = 1	
	TIP51	入力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 0	
	TOP51	出力	P914 = 設定不要	PM914 = 設定不要	PMC914 = 1	PFCE914 = 1	PFC914 = 1	
P915	INTP6	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 0	PFC915 = 1	
	TIP50	入力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 0	
	TOP50	出力	P915 = 設定不要	PM915 = 設定不要	PMC915 = 1	PFCE915 = 1	PFC915 = 1	
PDL5	FLMD1 ^注	入力	PDL5 = 設定不要	PMDL5 = 設定不要	PMCDL5 = 設定不要	—	—	

注 フラッシュ・メモリ・プログラミング・モード時に設定する端子なので、ポート制御用レジスタで操作する必要はありません。詳細は第28章 フラッシュ・メモリを参照してください。

4.6 注意事項

4.6.1 ポート端子設定上の注意事項

- (1) V850ES/JC3-L, V850ES/JE3-Lでは、1本の端子に汎用ポートと複数の周辺機能の入出力端子が兼用されています。汎用ポート（ポート・モード）と、周辺機能の入出力端子（兼用機能モード）との切り替えは、PMCnレジスタで設定します。このレジスタの設定順序に関して、次の点に注意してください。

(a) ポート・モードから兼用機能モードへ切り替える場合の注意事項

ポート・モードから兼用機能モードへ切り替える場合は、次の順序で行ってください。

- | | |
|-------------------------------------|-------------------|
| ① PFnレジスタを設定 ^{※1} | : N-chオープン・ドレイン設定 |
| ② PFCn, PFCEnレジスタを設定 | : 兼用端子機能選択 |
| ③ PMCnレジスタの該当ビットに1を設定 | : 兼用機能モードへ切り替え |
| ④ INTRn, INTFnレジスタを設定 ^{※2} | : 外部割り込み設定 |

PMCnレジスタを先に設定すると、その瞬間、またそのあとのPFn, PFCn, PFCEnレジスタの設定に伴う端子状態の変化によっては、意図しない動作に陥る可能性があるので注意してください。

【例】に具体例を示します。

- 注1. N-chオープン・ドレイン出力端子のみ
2. 外部割り込み機能選択時のみ

注意 ポート・モード／兼用機能モードに関係なく、Pnレジスタのリード／ライトは次のようになります。

- ・Pnレジスタのリード : ポート出力ラッチの値（PMn.PMnmビット = 0時）、または端子状態（PMn.PMnmビット = 1時）の読み出し
- ・Pnレジスタへのライト : ポート出力ラッチへの書き込み

【例】SCL01端子の設定例

SCL01端子は、P41/SOB0と兼用されています。有効な端子機能を、PMC4, PFC4, PF4レジスタによって次のように選択します。

PMC41ビット	PFC41ビット	PF41ビット	有効な端子機能
0	don't care	1	P41（出力ポート・モードの場合、N-chオープン・ドレイン出力）
1	0	1	SOB0出力（N-chオープン・ドレイン出力）
	1	1	SCL01入出力（N-chオープン・ドレイン出力）

次に、P41端子からSCL01端子への切り替え時に、問題が発生する可能性がある設定順序を示します。

設定順	設定内容	端子状態	端子レベル
①	初期値 (PMC41ビット = 0, PFC41ビット = 0, PF41ビット = 0)	ポート・モード (入力)	Hi-Z
②	PMC41ビット←1	SOB0出力	ロウ・レベル (CSIB0の設定によってはハイ・レベル)
③	PFC41ビット←1	SCL01入出力	ハイ・レベル (CMOS出力)
④	PF41ビット←1	SCL01入出力	Hi-Z (N-chオープン・ドレイン出力)

②で、兼用されているSOB0出力が端子に出力されるため、I²C通信に影響を与える可能性があります。また、②、③のCMOS出力の期間に、不要な電流が発生する可能性があります。

(b) 兼用機能モード（入力）に関する注意事項

兼用機能ブロックへの入力信号は、PMCnレジスタの設定値と端子レベルのAND出力のため、PMCn.PMCnmビット = 0のときはロウ・レベルとなります。そのため、ポート設定と兼用機能動作許可のタイミングによっては、意図しない動作に陥る可能性があります。したがって、PMCnレジスタによるポート・モードと兼用機能モードの切り替えは、次に示す順序で実行してください。

- ・ポート・モードから兼用機能モード（入力）へ切り替える場合
PMCnレジスタで端子を兼用機能モードにしてから、兼用機能の動作を許可してください。
- ・兼用機能モード（入力）からポート・モードへ切り替える場合
兼用機能の動作を停止してから、端子をポート・モードへ切り替えてください。

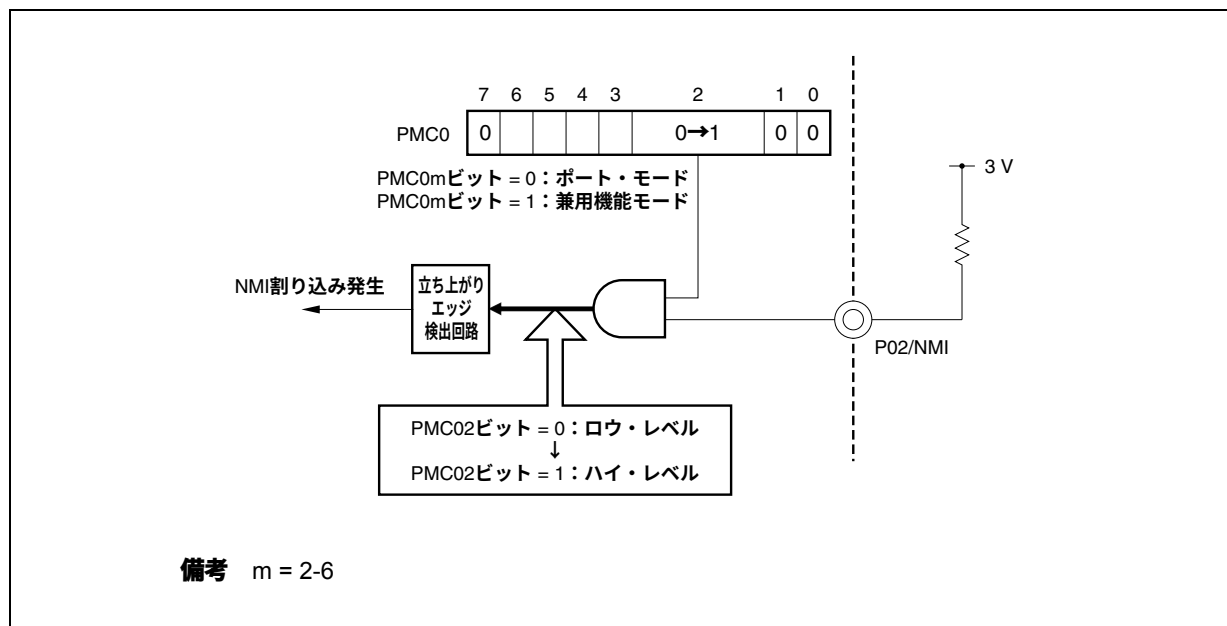
【例1】，【例2】に具体例を示します。

【例1】汎用ポート（P02）から外部割り込み端子（NMI）への切り替え

P02/NMI端子が図4-37のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち上がりエッジを指定している場合に、P02端子からNMI端子へ切り替えたとき（PMC02ビット = 0→1）、NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ロウ・レベル→ハイ・レベルと変化したかのように立ち上がりエッジとして検出し、NMI割り込みが発生します。

対策として、P02端子からNMI端子へ切り替えてから、NMI端子の有効エッジを設定してください。

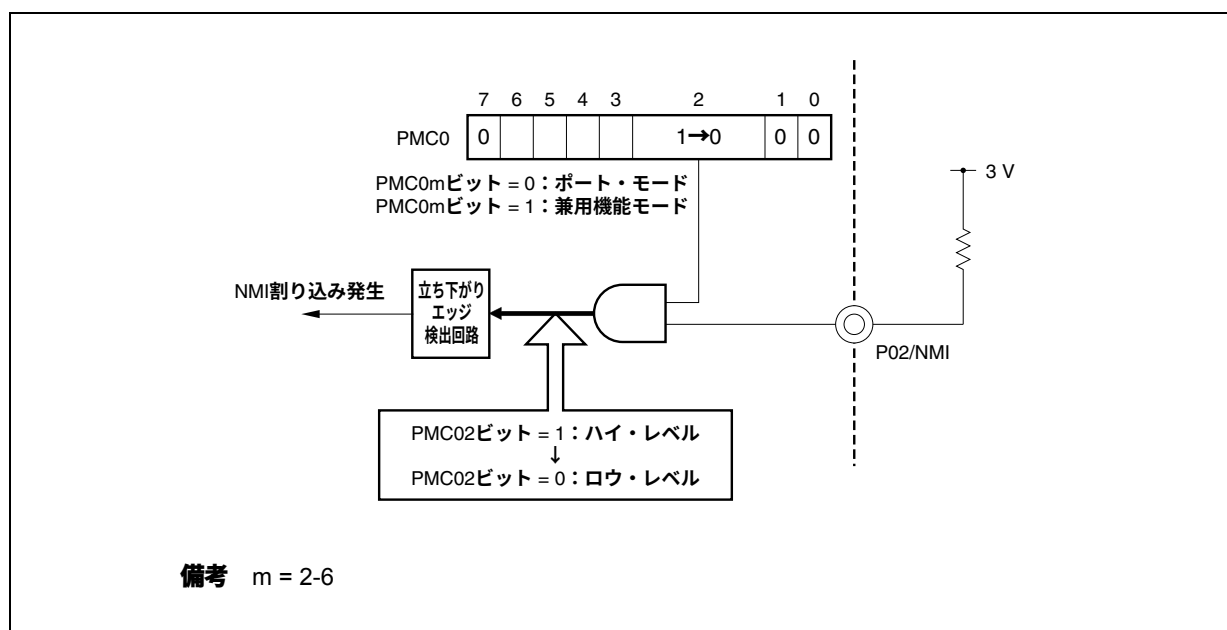
図4-37 P02からNMIへの切り替え（悪い例）



【例2】外部割り込み端子（NMI）から、汎用ポート（P02）への切り替え

P02/NMI端子が図4-38のようにプルアップされており、かつNMI端子のエッジ検出設定で立ち下がりエッジを指定している場合に、NMI端子からP02端子へ切り替えたとき（PMCO2ビット = 1→0），NMI端子にはハイ・レベルが入力され続けているにもかかわらず、ハイ・レベル→ロウ・レベルと変化したかのように立ち下がりエッジとして検出し、NMI割り込みが発生します。対策として、NMI端子のエッジ検出設定を“エッジ検出しない”にしてから、NMI端子からP02端子へ切り替えてください。

図4-38 NMIからP02への切り替え（悪い例）



- (2) ポート・モードにおいてPFn.PFn_mビットは、出力モード（PMn.PMn_mビット = 0）時のみ有効となります。入力モード（PMn_mビット = 1）のとき、PFn_mビットの値はバッファに反映されません。

4.6.2 ポートnレジスタ (Pn) に対するビット操作命令に関する注意事項

入力／出力が混在している、またはポートと兼用機能が混在しているポートに対して1ビット操作命令を行った場合、操作対象のビットだけでなく、操作対象ではない入力ポートの出力ラッチの値も書き換わる可能性があります。

そのため、任意のポートを入力モードから出力モードに切り替える前には、出力ラッチの値を書き直すことを推奨します。

<例> P90端子は出力ポート、P91-P97端子は入力ポート（端子状態はすべてハイ・レベル）で、かつポート・ラッチの値が“00H”のとき、P90端子の出力をビット操作命令により“ロウ・レベル”→“ハイ・レベル”とすると、ポート・ラッチの値は、“FFH”になります。

説明：PMnmビット = 1であるポートのPnレジスタへの書き込み／読み出しの対象は、それぞれ出力ラッチ／端子状態です。

また、ビット操作命令はV850ES/JC3-L, V850ES/JE3-L内部で、次の順序で行われます。

<1> Pnレジスタを8ビット単位で読み出し

<2> 対象の1ビットを操作

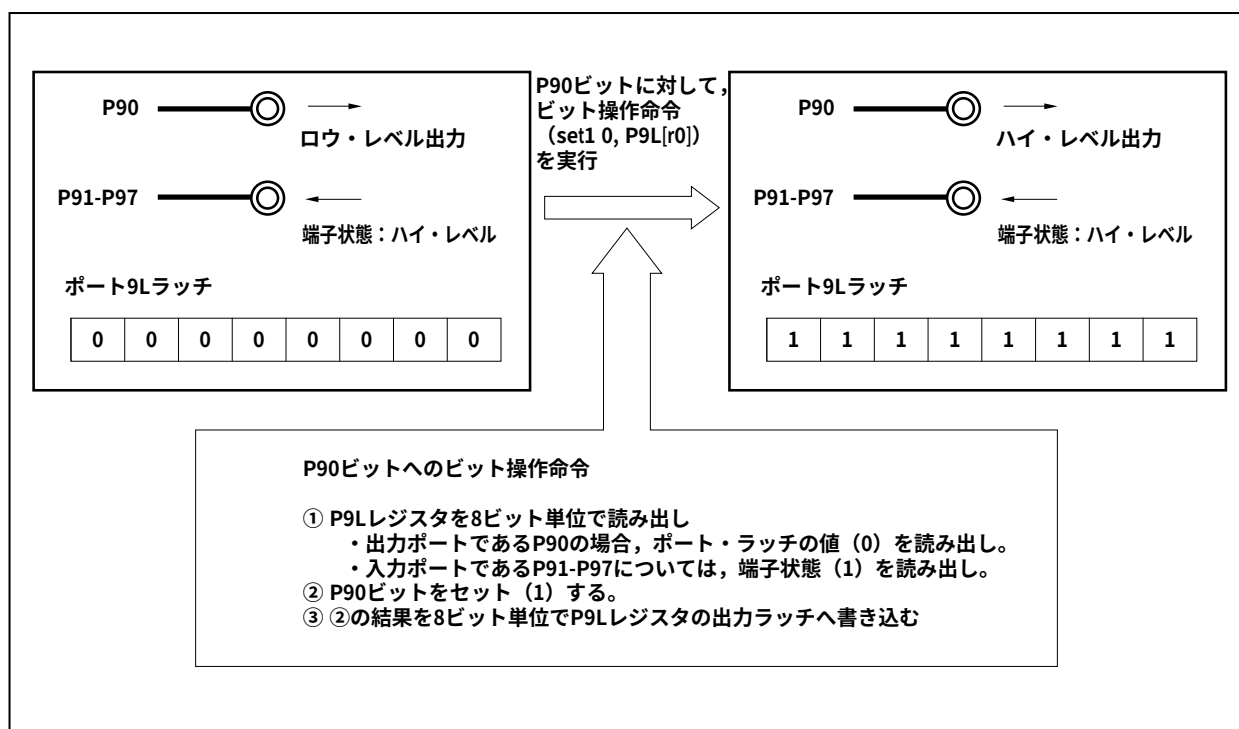
<3> Pnレジスタへ8ビット単位で書き込み

<1> のとき、出力ポートであるP90端子は出力ラッチの値（0）を読み出しますが、入力ポートであるP91-P97端子は端子状態を読み出します。このときP91-P97端子の端子状態が“ハイ・レベル”とすると、読み出し値は“FEH”となります。

<2> の操作で、値は“FFH”となります。

<3> の操作で、出力ラッチに“FFH”が書き込まれます。

図4-39 ビット操作命令（P90端子の場合）



4. 6. 3 オンチップ・デバッグ用端子に関する注意事項

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子はオンチップ・デバッグ用の端子です。

$\overline{\text{RESET}}$ 端子によるリセット後, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されます。このとき $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, オンチップ・デバッグ・モードになり, DCK, DMS, DDI, DDO端子が使用可能になります。

オンチップ・デバッグを使用しない場合は, 次の処置が必要です。

- ・OCDMレジスタ (特定レジスタ) のOCDM0ビットをクリア (0)

このとき, $\overline{\text{RESET}}$ 端子によるリセット解除時から, 上記の処理を終えるまで, P05/INTP2/ $\overline{\text{DRST}}$ 端子をロウ・レベル固定にしてください。

上記処置を行う前に $\overline{\text{DRST}}$ 端子にハイ・レベルを入力すると, 誤動作 (CPUデッド・ロック) の原因となるため, P05端子の取り扱いには十分注意してください。

注意 WDT2RES信号, クロック・モニタ (CLM), 低電圧検出回路 (LVI) によるリセット時は, P05/INTP2/ $\overline{\text{DRST}}$ 端子はオンチップ・デバッグ用端子 ($\overline{\text{DRST}}$) に初期化されません。また, OCDMレジスタも値を保持します。

4. 6. 4 P05/INTP2/ $\overline{\text{DRST}}$ 端子に関する注意事項

P05/INTP2/ $\overline{\text{DRST}}$ 端子はプルダウン抵抗 (30 k Ω (TYP.)) を内蔵しています。 $\overline{\text{RESET}}$ 端子によるリセット後は, プルダウン抵抗が接続されています。OCDM0ビットをクリア (0) することにより, プルダウン抵抗は切断されます。

4. 6. 5 P10, P53端子に関する電源投入時の注意事項

次に示す端子は, 電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- ・P10/ANO0端子
- ・P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

4. 6. 6 ヒステリシス特性について

ポート・モードでは, 次のポートはヒステリシス特性を持ちません。

P02-P06

P30-P32, P38, P39

P40-P42

P50-P55

P90-P94, P96, P97, P99, P910, P912-P915

第5章 クロック発生機能

5.1 概 要

クロック発生回路は、CPUおよび周辺ハードウェアに供給するクロックを発生する回路です。PLL回路を内蔵しており、発振／供給したクロックを4逓倍して使用することができます。また、クロックを分周してCPUや内蔵周辺機能に供給したり、クロック発振を停止して低消費電力状態にすることが可能です。

クロック発生機能の概要を次に示します。

○メイン・クロック発振回路

・クロック・スルー・モード時

$f_x = 2.5 \sim 10 \text{ MHz}$ ($f_{xx} = 2.5 \sim 10 \text{ MHz}$)

・PLLモード時

$f_x = 2.5 \sim 5 \text{ MHz}$ (4逓倍: $f_{xx} = 10 \sim 20 \text{ MHz}$)

○サブクロック発振回路

・ $f_{xt} = 32.768 \text{ kHz}$

○内蔵発振器

・ $f_R = 220 \text{ kHz}$ (TYP.)

○PLL (Phase Locked Loop) による逓倍機能 (4逓倍)

・クロック・スルー・モード/PLLモード選択可 ($f_x = 2.5 \sim 5 \text{ MHz}$)

○内部システム・クロックの生成

・7段階 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, f_{xt})

○周辺クロックの生成

○外部クロック入力機能

備考 f_x : メイン・クロック発振周波数

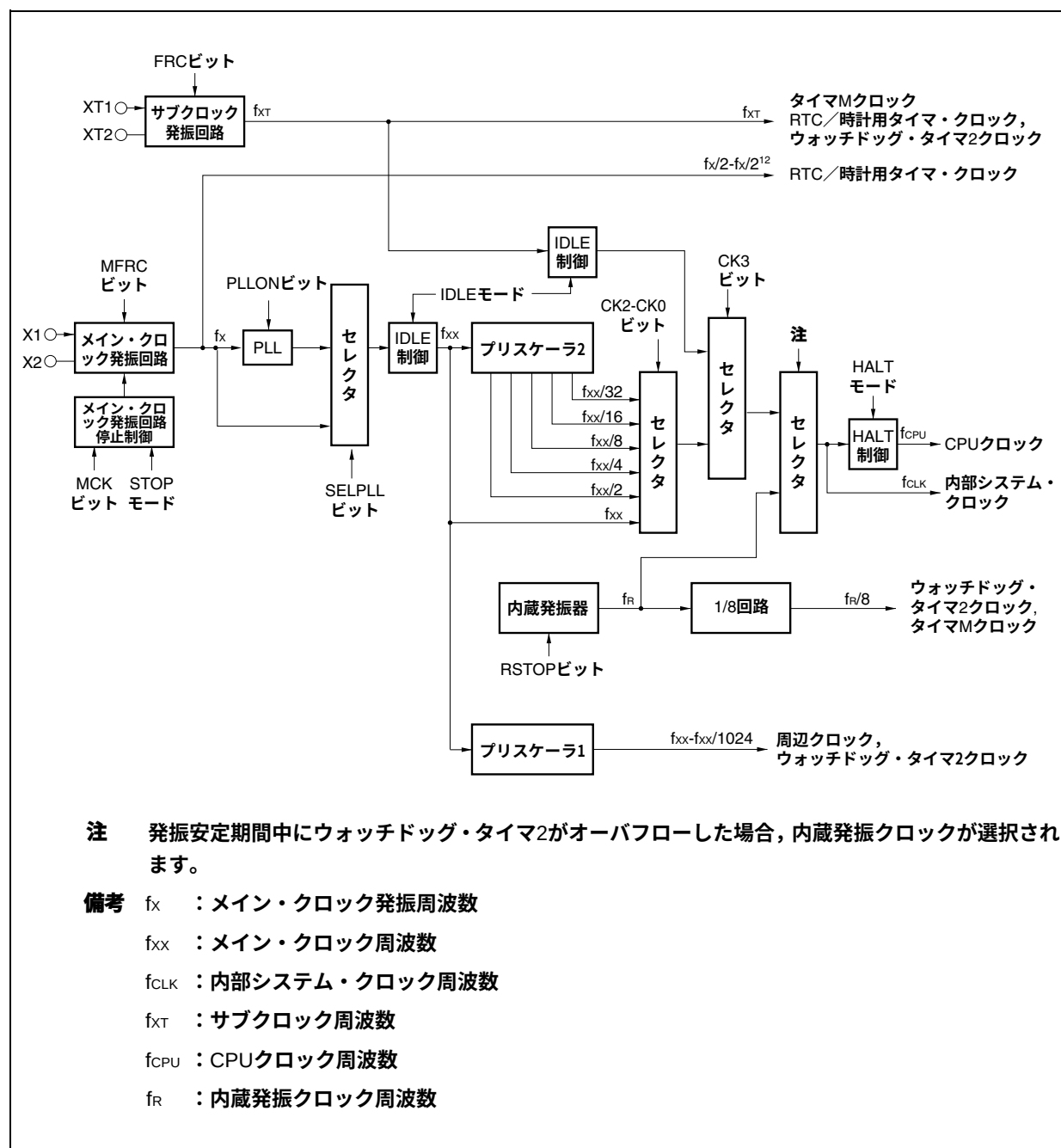
f_{xx} : メイン・クロック周波数

f_{xt} : サブクロック周波数

f_R : 内蔵発振クロック周波数

5.2 構 成

図5-1 クロック発生回路



(1) メイン・クロック発振回路

セラミック発振子／水晶振動子をX1, X2端子に接続し、次の周波数 (f_x) を発振します。

・クロック・スルー・モード時

$f_x = 2.5 \sim 10 \text{ MHz}$ ($f_{xx} = 2.5 \sim 10 \text{ MHz}$)

・PLLモード時

$f_x = 2.5 \sim 5 \text{ MHz}$ (4通倍: $f_{xx} = 10 \sim 20 \text{ MHz}$)

また、次の周波数の外部クロックをX1端子に入力できます。

・クロック・スルー／PLLモード時

$f_x = 2.5 \sim 5 \text{ MHz}$

(2) サブクロック発振回路

32.768 kHzの周波数 (f_{XT}) を発振します。

(3) メイン・クロック発振回路停止制御

メイン・クロック発振回路の発振を停止する制御信号を生成します。

STOPモード時、またはPCC.MCKビット = 1 (PCC.CLSビット = 1のときだけ有効) のとき、メイン・クロック発振回路の発振を停止します。

(4) 内蔵発振器

220 kHz (TYP.) の周波数 (f_R) を発振します。

(5) プリスケアラ1

内蔵周辺機能に供給するクロック ($f_{xx} \cdot f_{xx}/1024$) を生成します。

クロック供給の対象となるブロックを次に示します。

TMP0-TMP5, TMQ0, TMM0, CSIB0-CSIB4, UARTA0-UARTA2, I²C00-I²C02, ADC, WDT2

(6) プリスケアラ2

メイン・クロック (f_{xx}) を分周する回路です。

CPUクロック (f_{CPU})、内部システム・クロック (f_{CLK}) を生成するセレクトに、プリスケアラ2で生成したクロック ($f_{xx} \cdot f_{xx}/32$) を供給します。

なお、 f_{CLK} は、INTC, ROM, RAM, DMAブロックに供給するクロックです。

(7) PLL

メイン・クロック発振回路で生成するクロック (f_x) を4通倍にします。

PLLCTL.SELPLLビットにより、 f_x をそのまま出力するクロック・スルー・モードと、通倍クロックを出力するPLLモードを選択します。

PLLCTL.PLLONビットによりPLLを動作、停止します。

5.3 レジスタ

(1) プロセッサ・クロック・コントロール・レジスタ (PCC)

PCCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.

4.7 特定レジスタ参照)。

8/1ビット単位でリード／ライト可能です。

リセットにより03Hになります。

(1/2)

リセット時：03H R/W アドレス：FFFFFF828H

	7	⑥	5	④	③	2	1	0
PCC	FRC	MCK	MFRC	CLS ^注	CK3	CK2	CK1	CK0

FRC	サブクロックの内蔵帰還抵抗の選択
0	使用する
1	使用しない

MCK	メイン・クロック発振回路の制御
0	発振許可
1	発振停止

MFRC	メイン・クロックの内蔵帰還抵抗の選択
0	使用する (セラミック発振子／水晶振動子使用時)
1	使用しない (外部クロック使用時)

CLS ^注	CPUクロック (f _{CPU}) の状態
0	メイン・クロック動作
1	サブクロック動作

CK3	CK2	CK1	CK0	クロックの選択 (f _{CLK} /f _{CPU})
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8 (初期値)
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	X	設定禁止
1	X	X	X	f _{XT}

注 CLSビットはリードのみ可能です。

- 注意**
1. CK3ビットを操作する際は、ビット操作命令で行ってください。8ビット操作命令で行う場合は、CK2-CK0ビットの設定値を変更しないでください。
 2. 外部クロック使用時は、MFRCビットを“1”にして“内蔵帰還抵抗を使用しない”に設定してください。
 3. CPUクロックがメイン・クロックで動作中にMCKビットをセット（1）しても、メイン・クロックの動作は停止しません。CPUクロックをサブクロックに変更したあと、停止します。
 4. MCKビットを0から1にセットする前に、メイン・クロックで動作している内蔵周辺機能を停止してください。
 5. メイン・クロックを停止させてサブクロックで動作している場合に、再度CPUクロックをメイン・クロックに切り替えるとき、または内蔵周辺機能を動作させたいときは、MCKビットをクリア（0）し、ソフトウェアで発振安定時間を確保したあとにCPUクロックを切り替え、または内蔵周辺機能を動作させてください。

備考 X：任意

(a) メイン・クロック動作→サブクロック動作の設定例

- ① CK3ビット ← 1 : ビット操作命令推奨。CK2-CK0ビットは変更しないでください。
- ② サブクロック動作 : CLSビットをリードしてサブクロック動作に切り替わったかどうかを確認してください。CK3ビットを設定したあと、サブクロック動作に切り替わるまでの時間は次のとおりです。
- 最大: $1/f_{XT}$ (1/サブクロック周波数)
- ③ MCKビット ← 1 : メイン・クロックを停止するときだけ、MCKビットを1に設定します。

注意1. メイン・クロックを停止する場合は、PLLを停止してください。また、メイン・クロックで動作している内蔵周辺機能を動作停止にしてください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

内部システム・クロック (f_{CLK}) > サブクロック (f_{XT} : 32.768 kHz) × 4

備考 内部システム・クロック (f_{CLK}) : CK2-CK0ビットの設定によってメイン・クロック (f_{XX}) から生成するクロック

[記述例]

```

_DMA_DISABLE :
clr1      0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
① _SET_SUB_RUN :
st.b      r0, PRCMD[r0]
set1      3, PCC[r0]            -- CK3ビット ← 1
② _CHECK_CLS :
tst1      4, PCC[r0]            -- サブクロック動作に切り替わるまでウェイト
bz        _CHECK_CLS
③ _STOP_MAIN_CLOCK :
st.b      r0, PRCMD[r0]
set1      6, PCC[r0]            -- MCKビット ← 1, メイン・クロック停止
_DMA_ENABLE :
set1      0, DCHCn[r0]          -- DMA動作許可 n=0-3

```

備考 この記述例はあくまでも一例です。特に、②において閉ループでCLSビットをチェックしていますので、注意してください。

(b) サブクロック動作→メイン・クロック動作の設定例

- ① MCKビット ← 0 : メイン・クロック発振開始
- ② プログラムによりウエイトを挿入して、メイン・クロックの発振安定時間が経過するまで待ちます。
- ③ CK3ビット ← 0 : ビット操作命令を推奨します。CK2-CK0ビットは変更しないでください。
- ④ メイン・クロック動作 : CK3ビットを設定したあと、メイン・クロック動作に切り替わるまでの時間は次のとおりです。
 最大： $1/f_{XT}$ (1/サブクロック周波数)
 したがって、CK3ビットを0とした直後にNOP命令を1つ挿入してください。

注意 メイン・クロックで動作する内蔵周辺機能は、メイン・クロックの発振が安定してから動作を許可してください。発振安定時間が経過する前に動作許可すると、誤動作する可能性があります。

[記述例]

```

_DMA_DISABLE :
    clr1        0, DCHCn[r0]          -- DMA動作禁止 n = 0-3
① _START_MAIN_OSC :
    st.b        r0, PRCMD[r0]         -- 特定レジスタ、プロテクション解除
    clr1        6, PCC[r0]            -- メイン・クロック発振開始
② movea        0x55, r0, r11         -- 発振安定時間待ち
_WAIT_OST :
    nop
    nop
    nop
    addi        -1, r11, r11
    bnz         _WAIT_OST
③ st.b         r0, PRCMD[r0]
    clr1        3, PCC[r0]            -- CK3 ← 0
④ nop
_DMA_ENABLE :
    set1        0, DCHCn[r0]          -- DMA動作許可 n = 0-3

```

(2) 内蔵発振器モード・レジスタ (RCM)

RCMレジスタは、内蔵発振器の動作モードの設定を行う8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF80CH

	7	6	5	4	3	2	1	①
RCM	0	0	0	0	0	0	0	RSTOP

RSTOP	内蔵発振器の発振／停止
0	内蔵発振器発振
1	内蔵発振器停止

- 注意1.** CPUが内蔵発振クロックで動作している間（CCLS.CCLSFビット = 1）は内蔵発振器を停止できません。RSTOPビットをセット（1）しないでください。
- 2.** 内蔵発振器が停止（RSTOPビット = 1）の場合でも、STOPモードを割り込みで解除したあとに、発振安定時間中にWDTオーバフローが発生（CCLS.CCLSFビット = 1）すると、内蔵発振器は発振します。このときRSTOPビットはセット（1）されたままです。

(3) CPU動作クロック・ステータス・レジスタ (CCLS)

CCLSレジスタは、CPU動作クロックの状態を示すレジスタです。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H^注 R アドレス：FFFFFF82EH

	7	6	5	4	3	2	1	0
CCLS	0	0	0	0	0	0	0	CCLS F

CCLS F	CPU動作クロックの状態
0	メイン・クロック (f _x) またはサブクロック (f _{xt}) で動作
1	内蔵発振クロック (f _R) で動作

注 リセット解除後、またはSTOPモード解除後の発振安定時間中にWDTオーバフローが発生した場合、CCLS Fビットがセット (1) され、リセット値は01Hになります。

5.4 動作

5.4.1 各クロックの動作

各クロックの動作状態を次の表に示します。

表5-1 各クロックの動作状態

レジスタ設定および動作状態 対象クロック	PCCレジスタ								
	CLSビット = 0, MCKビット = 0					CLSビット = 1, MCKビット = 0		CLSビット = 1, MCKビット = 1	
	リセット中	発振安定時間カウンタ中	HALTモード	IDLE1, IDLE2モード	STOPモード	サブクロック・モード	サブIDLEモード	サブクロック・モード	サブIDLEモード
メイン・クロック発振回路 (f_x)	×	○	○	○	×	○	○	×	×
サブクロック発振回路 (f_{XT})	○	○	○	○	○	○	○	○	○
CPUクロック (f_{CPU})	×	×	×	×	×	○	×	○	×
内部システム・クロック (f_{CLK})	×	×	○	×	×	○	×	○	×
メイン・クロック (PLLモード時, f_{XX})	×	○ ^{注1}	○	×	×	○	○	×	×
周辺クロック ($f_{XX}-f_{XX}/1024$)	×	×	○	×	×	○	×	×	×
WTクロック (メイン)	×	○	○	○	×	○	○	×	×
WTクロック (サブ)	○	○	○	○	○	○	○	○	○
WDT2クロック (内蔵発振)	×	○	○	○	○	○	○	○	○
WDT2クロック (メイン)	×	×	○	×	×	○	×	×	×
WDT2クロック (サブ)	○	○	○	○	○	○	○	○	○
RTCクロック (メイン)	×	×	○	○	×	○	○	×	×
RTCクロック (サブ)	○	○	○	○	○	○	○	○	○

注1. ロックアップ時間

2. 必ずPCCLCTL, PLLON = 0に設定してください。

備考 ○：動作

×

—：不定

5.4.2 外部クロック入力機能

発振回路には、外部クロックを直接入力することができます。この場合、X1端子からクロックを入力し、X2端子はオープンにし、PCC.MFRCビット = 1（内蔵帰還抵抗を使用しない）としてください。ただし、外部クロック・モード時でも、発振安定時間は挿入されます。

5.5 PLL機能

5.5.1 概要

V850ES/JC3-L, V850ES/JE3-Lでは、CPUおよび内蔵周辺機能の動作クロックとしてPLL機能による発振周波数の4逓倍出力とクロック・スルー・モードを選択できます。

PLL機能使用時 : 入力クロック = 2.5～5 MHz (出力10～20 MHz)

クロック・スルー・モード : 入力クロック = 2.5～10 MHz (出力2.5～10 MHz)

5.5.2 レジスタ

(1) PLLコントロール・レジスタ (PLLCTL)

PLLを制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

リセット時：01H R/W アドレス：FFFFFF82CH

	7	6	5	4	3	2	①	②
PLLCTL	0	0	0	0	0	0	SELPLL	PLLON

SELPLL	CPU動作クロック・モードの選択
0	クロック・スルー・モード
1	PLLモード

PLLON	PLL動作の制御
0	PLL停止
1	PLL動作 (PLLを動作開始後、周波数が安定するまで所定のロックアップ時間が必要)

- 注意1.** PLLONビット = 0に設定すると、自動的にSELPLLビット = 0 (クロック・スルー・モード) になります。
- 2.** SELPLLビット = 1の設定は、PLLクロック周波数が安定した状態のときのみ可能です。安定していないとき (アンロック中) にSELPLLビットをライトすると“0”がライトされます。

(2) クロック・コントロール・レジスタ (CKC)

CKCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.

4.7 特定レジスタ参照)

CKCレジスタは、PLLモード時の内部システム・クロックを制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより0AHになります。

リセット時：0AH R/W アドレス：FFFFF822H

	7	6	5	4	3	2	1	0
CKC	0	0	0	0	1	0	1	CKDIV0

CKDIV0	PLLモード時の内部システム・クロック (f_{xx})
0	$f_{xx} = 4 \times f_x$ ($f_x = 2.5 \sim 5.0$ MHz)
1	設定禁止

注意1. $f_x = 5.0 \sim 10.0$ MHzではPLLモードは使用できません。

2. CKCレジスタには、必ず0AHを設定してください。0AH以外を設定した場合、動作は保証できません。

(3) ロック・レジスタ (LOCKR)

電源投入後、またはSTOPモード解除直後からPLLが所定の周波数でフェーズ・ロックし、安定するまでの時間がロックアップ時間（周波数安定時間）です。この安定するまでの状態をロックアップ状態と呼び、安定した状態をロック状態と呼びます。

LOCKRレジスタには、PLL周波数の安定状態を反映するLOCKビットがあります。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

リセット時：00H R アドレス：FFFFF824H

	7	6	5	4	3	2	1	①
LOCKR	0	0	0	0	0	0	0	LOCK

LOCK	PLLのロック状態の確認
0	ロック状態
1	アンロック（ロックしていない）状態

注意 LOCKビットはPLLのロック状態をリアルタイムに反映するものではありません。セット／クリア条件は次のとおりです。

【セット条件】

- ・システム・リセット時[※]
- ・IDLE2, STOPモード時
- ・PLL停止を設定した時（PLLCTL.PLLONビットに“0”を設定）
- ・CPUをサブクロック動作としメイン・クロックを停止したとき（PCC.CK3ビットに“1”を設定し、PCC.MCKビットに“1”を設定）

注 リセットで01Hになり、リセット解除後の発振安定時間経過後に00Hになります。

【クリア条件】

- ・リセット解除後の発振安定用タイマのオーバフロー（第27章 オプション・バイト参照）
- ・PLL動作状態でSTOPモードを設定した場合の、STOPモード解除後の発振安定用タイマのオーバフロー（OSTSレジスタで時間設定）
- ・PLLCTL.PLLONビットを0→1に設定した時の、PLLロックアップ時間タイマのオーバフロー（PLLSレジスタで時間設定）
- ・PLL動作状態でIDLE2モードを設定した場合の、IDLE2モード解除時に挿入されるセットアップ時間解除後（OSTSレジスタで時間設定）

(4) PLLロックアップ時間指定レジスタ (PLLS)

PLLSレジスタは、PLLCTL.PLLONビットを0→1に設定したときの、PLLロックアップ時間を選択する8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより03Hになります。

リセット時：03H R/W アドレス：FFFFFF6C1H

	7	6	5	4	3	2	1	0
PLLS	0	0	0	0	0	0	PLLS1	PLLS0

PLLS1	PLLS0	PLLロックアップ時間の選択
0	0	$2^{10}/f_x$
0	1	$2^{11}/f_x$
1	0	$2^{12}/f_x$
1	1	$2^{13}/f_x$ (初期値)

注意1. ロックアップ時間は、 $400 \mu s$ 以上になるように設定してください。

2. ロックアップ期間中は、PLLSレジスタの設定を変更しないでください。

5.5.3 使用方法

(1) PLLを使用する場合

- ・リセット解除後は、PLLは動作（PLLCTL.PLLONビット = 1）していますが、初期設定はクロック・スルー・モード（PLLCTL.SELPLLビット = 0）のため、PLLモード（SELPLLビット = 1）に変更してください。
- ・PLLを動作させる場合はPLLONビット = 1として、LOCKR.LOCKビット = 0となってからSELPLLビット = 1としてください。PLLを停止させる場合は、最初にクロック・スルー・モード（SELPLLビット = 0）として、8クロック以上後に、PLL停止（PLLONビット = 0）としてください。
- ・IDLE2/STOPモードへ遷移時は、設定にかかわらずPLLは停止しますが、IDLE2/STOPモードからは遷移前の状態で復帰します。復帰にかかる時間は次のとおりです。

(a) クロック・スルー・モード時にIDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が400 μ s以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が200 μ s以上となるようにOSTSレジスタを設定してください。

(b) PLL動作モードのままIDLE2/STOPモードへ遷移する場合

- ・STOPモード：発振安定時間が400 μ s以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が400 μ s以上となるようにOSTSレジスタを設定してください。

IDLE1モードへ遷移時は、PLLは停止しません。必要に応じて停止してください。

(2) PLLを使用しない場合

- ・リセット解除後は、クロック・スルー・モード（SELPLLビット = 0）ですが、PLLは動作（PLLONビット = 1）しているので、PLLを停止（PLLONビット = 0）してください。
- IDLE2/STOPモードから復帰にかかる時間は次のとおりです。

- ・STOPモード：発振安定時間が400 μ s以上となるようにOSTSレジスタを設定してください。
- ・IDLE2モード：セットアップ時間が200 μ s以上となるようにOSTSレジスタを設定してください。

5.6 発振子の接続方法

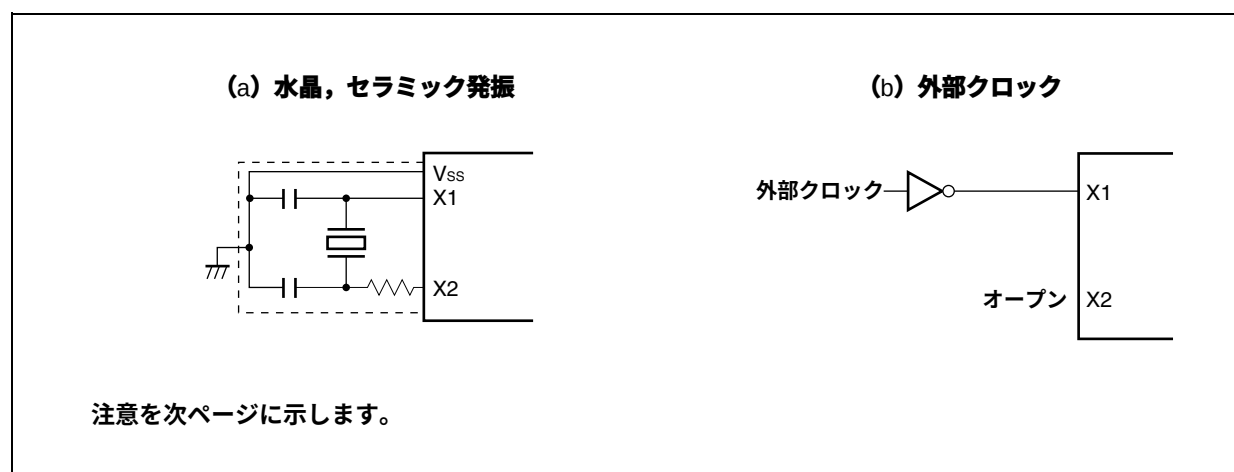
5.6.1 メイン・クロック発振回路

メイン・クロック発振回路はX1, X2端子に接続された水晶振動子またはセラミック発振子（2.5～10 MHz）によって発振します。

また、外部クロックを入力することができます。

図5-2にメイン・クロック発振回路の外付け回路例を示します。

図5-2 メイン・クロック発振回路の外付け回路例

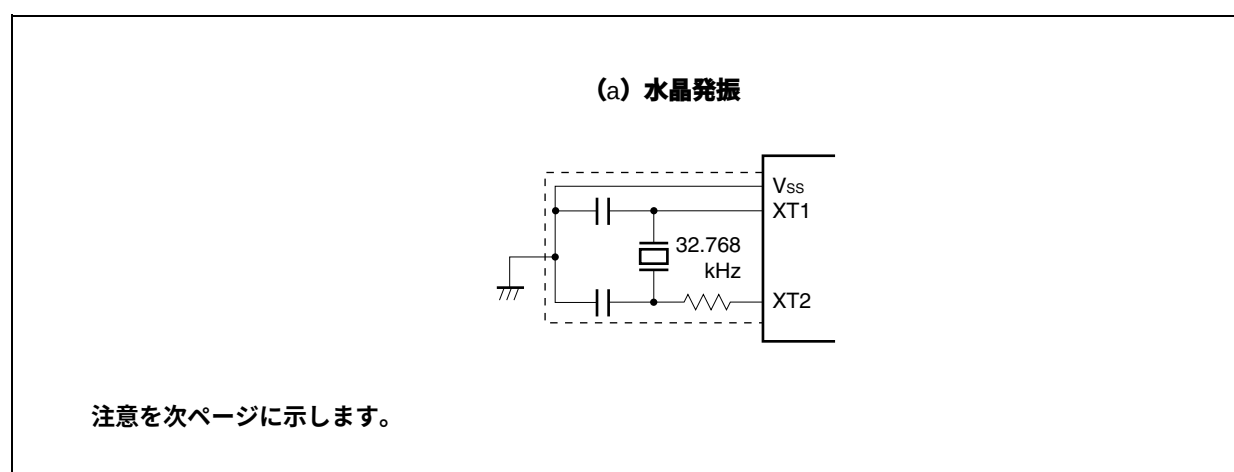


5.6.2 サブクロック発振回路

サブクロック発振回路はXT1, XT2端子に接続された水晶振動子（標準：32.768 kHz）によって発振します。

図5-3にサブクロック発振回路の外付け回路例を示します。

図5-3 サブクロック発振回路の外付け回路例



注意1. メイン・クロック発振回路およびサブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図5-2, 5-3の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。また、変化する大電流が流れる線と接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位となるようにする。大電流が流れるグラウンド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

特に、サブクロック発振回路は、低消費電力にするために増幅度の低い回路になっていますのでご注意ください。

図5-4に発振子の接続の悪い例を示します。

図5-4 発振子の接続の悪い例 (1/2)

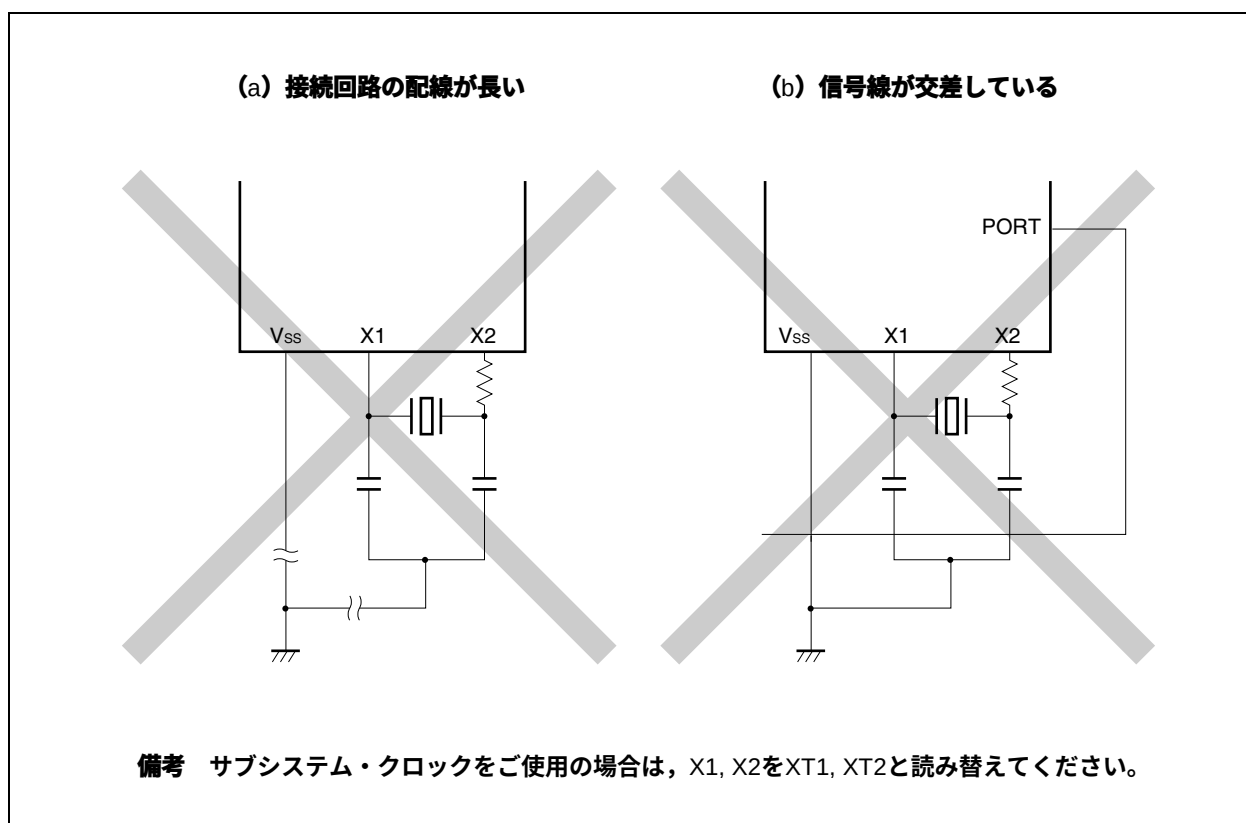
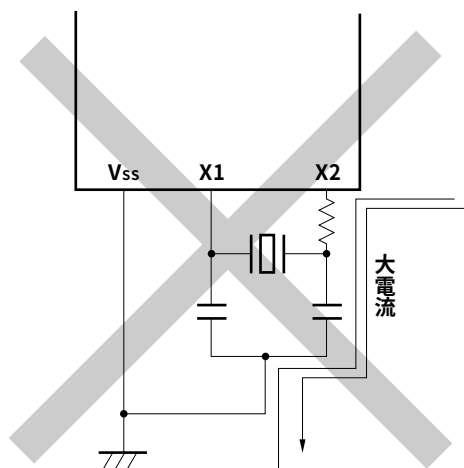
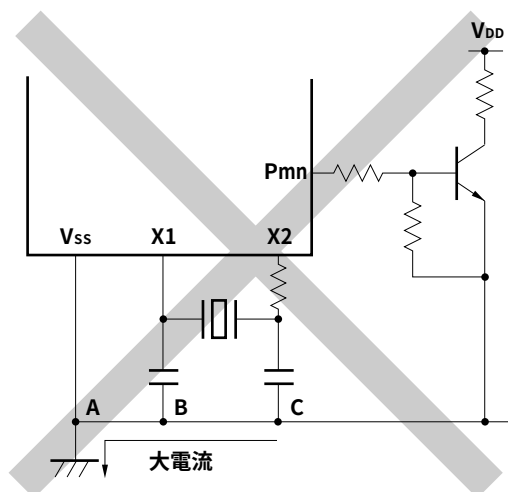


図5-4 発振子の接続の悪い例 (2/2)

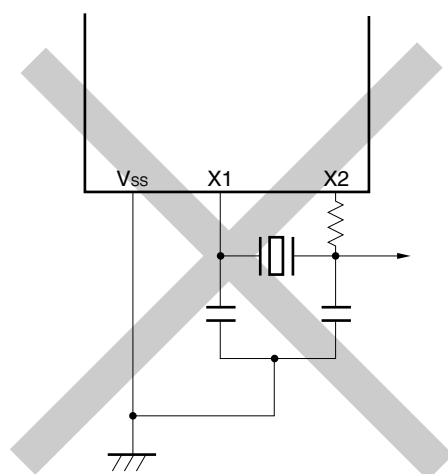
(c) 変化する大電流が信号線に
近接している



(d) 発振回路部のグランド・ライン上に電流が流れる
(A点, B点, C点の電位が変動する)



(e) 信号を取り出している



備考 サブシステム・クロックをご使用の場合は、X1, X2をXT1, XT2と読み替えてください。

注意2. X2とXT1が平行に配線されている場合、X2のクロストーク・ノイズがXT1に相乗し誤動作を引き起こすことがあります。

第6章 16ビット・タイマ／イベント・カウンタP (TMP)

タイマP (TMP) は、16ビットのタイマ／イベント・カウンタです。

V850ES/JC3-L, V850ES/JE3-Lは、TMP0 -TMP5を内蔵しています。

6.1 機 能

TMPnには次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。

方形波を出力することができます。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 外部トリガ・パルス出力

外部から入力される信号をトリガとして、タイマを起動しパルスを出力します。

(4) ワンショット・パルス出力

出力幅を任意に設定できるワンショット・パルスを出力できます。

(5) PWM出力

アクティブ幅を変更できる一定周期のパルスを出力できます。

タイマ動作中でもデューティを自由に変更できます。

(6) フリー・ランニング・タイマ

16ビット・カウンタが0000HからFFFFHまでカウントアップしFFFFHまでカウントするとまた0000Hにもどり、動作を継続します。

(7) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

備考 n = 0-5

6.2 構 成

TMPnは、次のハードウェアで構成されています。

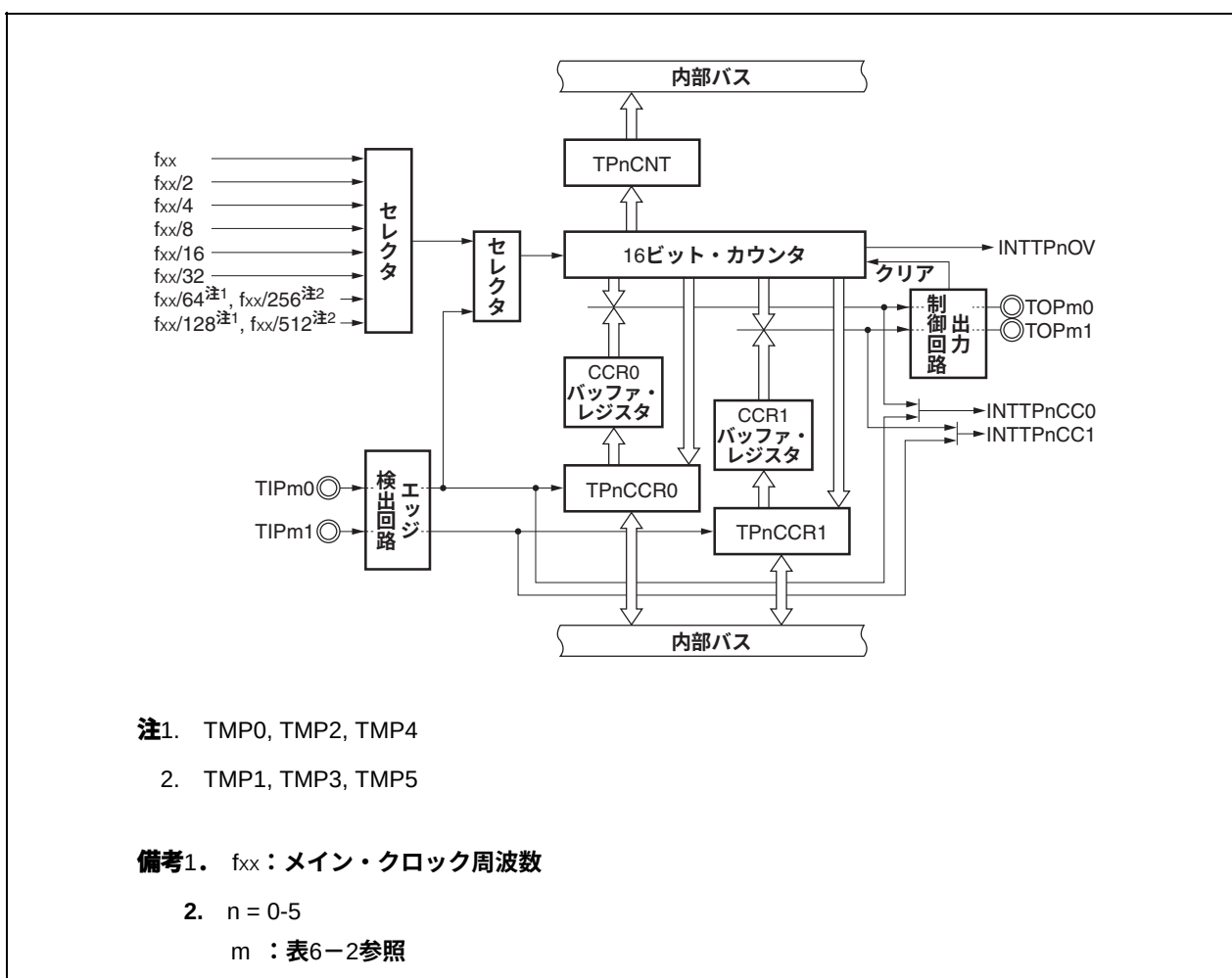
表6-1 TMPnの構成

項 目	構 成
レジスタ	16ビット・カウンタ TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT) TMPnキャプチャ／コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1) CCR0, CCR1バッファ・レジスタ TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1) TMPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2) TMPnオプション・レジスタ0 (TPnOPT0)
タイマ入力	2本 (TIPm0, TIPm1端子)
タイマ出力	2本 (TOPm0, TOPm1端子)

備考1. n = 0-5

2. m = 表6-2参照

図6-1 TMPnのブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントするための16ビットのカウンタです。

16ビット・カウンタのカウント値は、TPnCNTレジスタでリードできます。

動作停止 (TPnCTL0.TPnCEビット = 0) 時、16ビット・カウンタはFFFFHになります。このときTPnCNTレジスタをリードすると、0000Hがリードされます。

リセットにより動作停止 (TPnCEビット = 0) になるため、16ビット・カウンタはFFFFHになります。

(2) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

16ビット・カウンタのカウント値をリードできるリード・バッファ・レジスタです。

(3) TMPnキャプチャ／コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

(4) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値と比較する16ビットのコンペア・レジスタです。

TPnCCR0レジスタをコンペア・レジスタとして使用するとき、TPnCCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

CCR0バッファ・レジスタは、直接リード／ライトできません。

リセットによりTPnCCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(5) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値と比較する16ビットのコンペア・レジスタです。

TPnCCR1レジスタをコンペア・レジスタとして使用するとき、TPnCCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペア一致割り込み要求信号 (INTTPnCC1) を発生します。

CCR1バッファ・レジスタは、直接リード／ライトできません。

リセットによりTPnCCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(6) TMPn制御レジスタ0, 1 (TPnCTL0, TPnCTL1)

TMPnの動作を制御する8ビット・レジスタです。

(7) TMPnI/O制御レジスタ0-2 (TPnIOC0-TPnIOC2)

TMPnの入出力を制御する8ビット・レジスタです。

(8) TMPnオプション・レジスタ0 (TPnOPT0)

キャプチャ／コンペア動作の設定などを制御する8ビット・レジスタです。

(9) エッジ検出回路

TIPn0, TIPn1端子に入力される有効エッジを検出します。有効エッジは、TPnIOC1, TPnIOC2レジスタにより、エッジ検出なし、立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジから選択できます。

(10) 出力制御回路

TOPn0, TOPn1端子の出力を制御します。TOPn0, TOPn1端子の出力は、TPnIOC0レジスタで制御します。

(11) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

6. 2. 1 端子の構成

TMPnを構成するタイマ入力およびタイマ出力は、表6-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-17 端子を兼用機能として使用する場合参照）。

表6-2 端子構成

チャンネル数	ピン番号			ポート	タイマP入力	タイマP出力	その他の兼用機能
	JC3L (40)	JC3L (48)	JE3L				
TMP0	—	35	47	P32	TIP00 ^注	TOP00	ASCKA0/SCKB4
	—	—	43	P33	TIP01	TOP01	—
TMP1	—	—	44	P34	TIP10 ^注	TOP10	—
	—	—	23	P35	TIP11	TOP11	—
TMP2	—	38	50	P97	TIP20 ^注	TOP20	SIB
	32	—	—				—
	13	15	22	P96	TIP21	TOP21	—
TMP3	—	—	21	P94	TIP31	TOP31	—
TMP4	—	—	34	P93	TIP40 ^注	TOP40	—
	—	—	33	P92	TIP41	TOP41	—
TMP5	34	41	53	P915	TIP50 ^注	TOP50	INTP6
	33	40	52	P914	TIP51	TOP51	INTP5

注 TIPn0端子にはキャプチャ・トリガ入力機能と外部イベント入力機能と外部トリガ入力機能が兼用されています（n = 0-2, 4, 5）。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

6. 2. 2 レジスタの構成

V850ES/JC3-L, V850ES/JE3-Lではレジスタおよびビットの構成が製品ごとに異なります。

各製品のレジスタ構成を次に示します。

(1) V850ES/JC3-L (40ピン)

チャンネル	レジスタ名	ビット位置							
		7	6	5	4	3	2	1	0
TMP0	TP0CTL0	TP0CE	0	0	0	0	TP0CKS2	TP0CKS1	TP0CKS0
	TP0CTL1	0	0	0	0	0	TP0MD2	TP0MD1	TP0MD0
TMP1	TP1CTL0	TP1CE	0	0	0	0	TP1CKS2	TP1CKS1	TP1CKS0
	TP1CTL1	0			0	0	TP1MD2	TP1MD1	TP1MD0
TMP2	TP2CTL0	TP2CE	0	0	0	0	TP2CKS2	TP2CKS1	TP2CKS0
	TP2CTL1	0	TP2EST	TP2EEE	0	0	TP2MD2	TP2MD1	TP2MD0
	TP2IOC0	0	0	0	0	TP2OL1	TP2OE1	TP2OL0	TP2OE0
	TP2IOC1	0	0	0	0	TP2IS3	TP2IS2	TP2IS1	TP2IS0
	TP2IOC2	0	0	0	0	TP2EES1	TP2EES0	TP2ETS1	TP2ETS0
	TP2OPT0	0	0	TP2CCS1	TP2CCS0	0	0	0	TP2OVF
TMP3	TP3CTL0	TP3CE	0	0	0	0	TP3CKS2	TP3CKS1	TP3CKS0
	TP3CTL1	0	0	0	0	0	TP3MD2	TP3MD1	TP3MD0
TMP4	TP4CTL0	TP4CE	0	0	0	0	TP4CKS2	TP4CKS1	TP4CKS0
	TP4CTL1	0	0	0	0	0	TP4MD2	TP4MD1	TP4MD0
TMP5	TP5CTL0	TP5CE	0	0	0	0	TP5CKS2	TP5CKS1	TP5CKS0
	TP5CTL1	0	TP5EST	TP5EEE	0	0	TP5MD2	TP5MD1	TP5MD0
	TP5IOC0	0	0	0	0	TP5OL1	TP5OE1	TP5OL0	TP5OE0
	TP5IOC1	0	0	0	0	TP5IS3	TP5IS2	TP5IS1	TP5IS0
	TP5IOC2	0	0	0	0	TP5EES1	TP5EES0	TP5ETS1	TP5ETS0
	TP5OPT0	0	0	TP5CCS1	TP5CCS0	0	0	0	TP5OVF

備考 TPnCCR0, TPnCCR1, TPnCNTレジスタはすべてのチャンネルに存在します。

(2) V850ES/JC3-L (48ピン)

チャンネル	レジスタ名	ビット位置							
		7	6	5	4	3	2	1	0
TMP0	TP0CTL0	TP0CE	0	0	0	0	TP0CKS2	TP0CKS1	TP0CKS0
	TP0CTL1	0	TP0EST	TP0EEE	0	0	TP0MD2	TP0MD1	TP0MD0
	TP0IOC0	0	0	0	0	0	0	TP0OL0	TP0OE0
	TP0IOC1	0	0	0	0	0	0	TP0IS1	TP0IS0
	TP0IOC2	0	0	0	0	TP0EES1	TP0EES0	TP0ETS1	TP0ETS0
	TP0OPT0	0	0	TP0CCS1	TP0CCS0	0	0	0	TP0OVF
TMP1	TP1CTL0	TP1CE	0	0	0	0	TP1CKS2	TP1CKS1	TP1CKS0
	TP1CTL1	0			0	0	TP1MD2	TP1MD1	TP1MD0
TMP2	TP2CTL0	TP2CE	0	0	0	0	TP2CKS2	TP2CKS1	TP2CKS0
	TP2CTL1	0	TP2EST	TP2EEE	0	0	TP2MD2	TP2MD1	TP2MD0
	TP2IOC0	0	0	0	0	TP2OL1	TP2OE1	TP2OL0	TP2OE0
	TP2IOC1	0	0	0	0	TP2IS3	TP2IS2	TP2IS1	TP2IS0
	TP2IOC2	0	0	0	0	TP2EES1	TP2EES0	TP2ETS1	TP2ETS0
	TP2OPT0	0	0	TP2CCS1	TP2CCS0	0	0	0	TP2OVF
TMP3	TP3CTL0	TP3CE	0	0	0	0	TP3CKS2	TP3CKS1	TP3CKS0
	TP3CTL1	0	0	0	0	0	TP3MD2	TP3MD1	TP3MD0
TMP4	TP4CTL0	TP4CE	0	0	0	0	TP4CKS2	TP4CKS1	TP4CKS0
	TP4CTL1	0	0	0	0	0	TP4MD2	TP4MD1	TP4MD0
TMP5	TP5CTL0	TP5CE	0	0	0	0	TP5CKS2	TP5CKS1	TP5CKS0
	TP5CTL1	0	TP5EST	TP5EEE	0	0	TP5MD2	TP5MD1	TP5MD0
	TP5IOC0	0	0	0	0	TP5OL1	TP5OE1	TP5OL0	TP5OE0
	TP5IOC1	0	0	0	0	TP5IS3	TP5IS2	TP5IS1	TP5IS0
	TP5IOC2	0	0	0	0	TP5EES1	TP5EES0	TP5ETS1	TP5ETS0
	TP5OPT0	0	0	TP5CCS1	TP5CCS0	0	0	0	TP5OVF

備考 TPnCCR0, TPnCCR1, TPnCNTレジスタはすべてのチャンネルに存在します。

(3) V850ES/JE3-L

チャンネル	レジスタ名	ビット位置							
		7	6	5	4	3	2	1	0
TMP0	TP0CTL0	TP0CE	0	0	0	0	TP0CKS2	TP0CKS1	TP0CKS0
	TP0CTL1	0	TP0EST	TP0EEE	0	0	TP0MD2	TP0MD1	TP0MD0
	TP0IOC0	0	0	0	0	TP0OL1	TP0OE1	TP0OL0	TP0OE0
	TP0IOC1	0	0	0	0	TP0IS3	TP0IS2	TP0IS1	TP0IS0
	TP0IOC2	0	0	0	0	TP0EES1	TP0EES0	TP0ETS1	TP0ETS0
	TP0OPT0	0	0	TP0CCS1	TP0CCS0	0	0	0	TP0OVF
TMP1	TP1CTL0	TP1CE	0	0	0	0	TP1CKS2	TP1CKS1	TP1CKS0
	TP1CTL1	0	TP1EST	TP1EEE	0	0	TP1MD2	TP1MD1	TP1MD0
	TP1IOC0	0	0	0	0	TP1OL1	TP1OE1	TP1OL0	TP1OE0
	TP1IOC1	0	0	0	0	TP1IS3	TP1IS2	TP1IS1	TP1IS0
	TP1IOC2	0	0	0	0	TP1EES1	TP1EES0	TP1ETS1	TP1ETS0
	TP1OPT0	0	0	TP1CCS1	TP1CCS0	0	0	0	TP1OVF
TMP2	TP2CTL0	TP2CE	0	0	0	0	TP2CKS2	TP2CKS1	TP2CKS0
	TP2CTL1	0	TP2EST	TP2EEE	0	0	TP2MD2	TP2MD1	TP2MD0
	TP2IOC0	0	0	0	0	TP2OL1	TP2OE1	TP2OL0	TP2OE0
	TP2IOC1	0	0	0	0	TP2IS3	TP2IS2	TP2IS1	TP2IS0
	TP2IOC2	0	0	0	0	TP2EES1	TP2EES0	TP2ETS1	TP2ETS0
	TP2OPT0	0	0	TP2CCS1	TP2CCS0	0	0	0	TP2OVF
TMP3	TP3CTL0	TP3CE	0	0	0	0	TP3CKS2	TP3CKS1	TP3CKS0
	TP3CTL1	0	TP3EST	0	0	0	TP3MD2	TP3MD1	TP3MD0
	TP3IOC0	0	0	0	0	TP3OL1	TP3OE1	0	0
	TP3IOC1	0	0	0	0	TP3IS3	TP3IS2	0	0
	TP3OPT0	0	0	TP3CCS1	TP3CCS0	0	0	0	TP3OVF
TMP4	TP4CTL0	TP4CE	0	0	0	0	TP4CKS2	TP4CKS1	TP4CKS0
	TP4CTL1	0	TP4EST	TP4EEE	0	0	TP4MD2	TP4MD1	TP4MD0
	TP4IOC0	0	0	0	0	TP4OL1	TP4OE1	TP4OL0	TP4OE0
	TP4IOC1	0	0	0	0	TP4IS3	TP4IS2	TP4IS1	TP4IS0
	TP4IOC2	0	0	0	0	TP4EES1	TP4EES0	TP4ETS1	TP4ETS0
	TP4OPT0	0	0	TP4CCS1	TP4CCS0	0	0	0	TP4OVF
TMP5	TP5CTL0	TP5CE	0	0	0	0	TP5CKS2	TP5CKS1	TP5CKS0
	TP5CTL1	0	TP5EST	TP5EEE	0	0	TP5MD2	TP5MD1	TP5MD0
	TP5IOC0	0	0	0	0	TP5OL1	TP5OE1	TP5OL0	TP5OE0
	TP5IOC1	0	0	0	0	TP5IS3	TP5IS2	TP5IS1	TP5IS0
	TP5IOC2	0	0	0	0	TP5EES1	TP5EES0	TP5ETS1	TP5ETS0
	TP5OPT0	0	0	TP5CCS1	TP5CCS0	0	0	0	TP5OVF

備考 TPnCCR0, TPnCCR1, TPnCNTレジスタはすべてのチャンネルに存在します。

6. 2. 3 割り込み機能

TMPnには3種類の割り込み信号があります。

(1) INTTPnCC0

16ビット・カウンタの値とCCR0バッファ・レジスタの値の一致，もしくはTIPn0端子からのキャプチャ入力により発生します。

(2) INTTPnCC1

16ビット・カウンタの値とCCR1バッファ・レジスタの値の一致，もしくはTIPn1端子からのキャプチャ入力により発生します。

(3) INTTPnOV

16ビット・カウンタがカウント・アップしFFFFHからオーバーフローするときに発生します。

6.3 レジスタ

TMPnを制御するレジスタを次に示します。

- TMPn制御レジスタ0 (TPnCTL0)
- TMPn制御レジスタ1 (TPnCTL1)
- TMPnI/O制御レジスタ0 (TPnIOC0)
- TMPnI/O制御レジスタ1 (TPnIOC1)
- TMPnI/O制御レジスタ2 (TPnIOC2)
- TMPnオプション・レジスタ0 (TPnOPT0)
- TMPnキャプチャ／コンペア・レジスタ0 (TPnCCR0)
- TMPnキャプチャ／コンペア・レジスタ1 (TPnCCR1)
- TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

備考 TIPn0, TIPn1, TOPn0, TOPn1端子の機能を使用する場合は、表4-17 端子を兼用端子として使用する場合を参照してください。

(1) TMPn制御レジスタ0 (TPnCTL0)

TPnCTL0レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TPnCTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H R/W アドレス：TP0CTL0 FFFFF590H, TP1CTL0 FFFFF5A0H,
TP2CTL0 FFFFF5B0H, TP3CTL0 FFFFF5C0H,
TP4CTL0 FFFFF5D0H, TP5CTL0 FFFFF5E0H

	⑦	6	5	4	3	2	1	0
TPnCTL0 (n = 0-5)	TPnCE	0	0	0	0	TPnCKS2	TPnCKS1	TPnCKS0

TPnCE	TMPnの動作の制御
0	TMPn動作禁止 (TMPnを非同期にリセット※)
1	TMPn動作許可。TMPn動作開始

TPnCKS2	TPnCKS1	TPnCKS0	内部カウント・クロックの選択	
			n = 0, 2, 4	n = 1, 3, 5
0	0	0	f _{xx}	
0	0	1	f _{xx} /2	
0	1	0	f _{xx} /4	
0	1	1	f _{xx} /8	
1	0	0	f _{xx} /16	
1	0	1	f _{xx} /32	
1	1	0	f _{xx} /64	f _{xx} /256
1	1	1	f _{xx} /128	f _{xx} /512

注 TPnOPT0.TPnOVFビット, 16ビット・カウンタ, タイマ出力 (TOPn0, TOPn1端子)。

- 注意1.** TPnCKS2-TPnCKS0ビットは、TPnCEビット = 0のときに設定してください。TPnCEビットを“0”から“1”に設定するときに、同時にTPnCKS2-TPnCKS0ビットを設定することができます。
2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx}：メイン・クロック周波数

(2) TMPn制御レジスタ1 (TPnCTL1)

TPnCTL1レジスタは、TMPnの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0CTL1 FFFFF591H, TP1CTL1 FFFFF5A1H,
TP2CTL1 FFFFF5B1H, TP3CTL1 FFFFF5C1H,
TP4CTL1 FFFFF5D1H, TP5CTL1 FFFFF5E1H

	7	⑥	⑤	4	3	2	1	0
TPnCTL1 (n = 0-5)	0	TPnEST	TPnEEE	0	0	TPnMD2	TPnMD1	TPnMD0

TPnEST	ソフトウェア・トリガ制御
0	—
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TPnESTビットへの”1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TPnESTビットへの”1”ライトをトリガとして、PWM波形を出力

TPnEEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TPnCTL0.TPnCK0-TPnCK2ビットによって選択された内部カウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TPnMD2	TPnMD1	TPnMD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** TPnESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
- 2.** 外部イベント・カウント・モードのときは、TPnEEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
- 3.** TPnEEE, TPnMD2-TPnMD0ビットは、タイマ動作停止 (TPnCTL0.TPnCEビット = 0) のときに設定してください (TPnCEビット = 1のときの同値書き込みは可能)。TPnCEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 4.** ビット3, 4, 7には必ず“0”を設定してください。

(3) TMPnI/O制御レジスタ0 (TPnIOC0)

TPnIOC0レジスタは、タイマ出力 (TOPn0, TOPn1端子) の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC0 FFFFF592H, TP1IOC0 FFFFF5A2H,
TP2IOC0 FFFFF5B2H, TP3IOC0 FFFFF5C2H,
TP4IOC0 FFFFF5D2H, TP5IOC0 FFFFF5E2H

	7	6	5	4	3	②	1	①
TPnIOC0	0	0	0	0	TPnOL1	TPnOE1	TPnOL0	TPnOE0

(n = 0-5)

TPnOL1	TOPn1端子出力レベルの設定 [※]
0	TOPn1端子ハイ・レベル・スタート
1	TOPn1端子ロウ・レベル・スタート

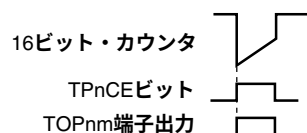
TPnOE1	TOPn1端子出力の設定
0	タイマ出力禁止 ・ TPnOL1ビット = 0のときTOPn1端子からロウ・レベルを出力 ・ TPnOL1ビット = 1のときTOPn1端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn1端子からパルスを出力)

TPnOL0	TOPn0端子出力レベルの設定 [※]
0	TOPn0端子ハイ・レベル・スタート
1	TOPn0端子ロウ・レベル・スタート

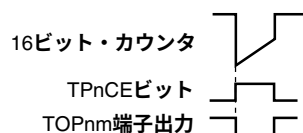
TPnOE0	TOPn0端子出力の設定
0	タイマ出力禁止 ・ TPnOL0ビット = 0のときTOPn0端子からロウ・レベルを出力 ・ TPnOL0ビット = 1のときTOPn0端子からハイ・レベルを出力
1	タイマ出力許可 (TOPn0端子からパルスを出力)

注 TPnOLmビットの指定によるタイマ出力端子 (TOPnm) の出力レベルを次に示します (m = 0, 1)。

・ TPnOLmビット = 0の場合



・ TPnOLmビット = 1の場合



- 注意1.** TPnOL1, TPnOE1, TPnOL0, TPnOE0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のとき同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnCEビット = 0, TPnOEmビット = 0の状態において、TPnOLmビットを操作した場合でも、TOPnm端子の出力レベルは変化します (m = 0, 1)。

(4) TMPnI/O制御レジスタ1 (TPnIOC1)

TPnIOC1レジスタは、キャプチャ・トリガ入力信号 (TIPn0, TIPn1端子) に対する有効エッジの指定を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC1 FFFFF593H, TP1IOC1 FFFFF5A3H,
TP2IOC1 FFFFF5B3H, TP3IOC1 FFFFF5C3H,
TP4IOC1 FFFFF5D3H, TP5IOC1 FFFFF5E3H

	7	6	5	4	3	2	1	0
TPnIOC1 (n = 0-5)	0	0	0	0	TPnIS3	TPnIS2	TPnIS1	TPnIS0

TPnIS3	TPnIS2	キャプチャ・トリガ入力信号 (TIPn1端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnIS1	TPnIS0	キャプチャ・トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnIS3-TPnIS0ビットは、TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TPnCEビットをクリア (0) してから再設定してください。
- 2.** TPnIS3-TPnIS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMPnI/O制御レジスタ2 (TPnIOC2)

TPnIOC2レジスタは、外部イベント・カウント入力信号 (TIPn0端子)、外部トリガ入力信号 (TIPn0端子) に対する有効エッジの指定を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0IOC2 FFFFF594H, TP1IOC2 FFFFF5A4H,
TP2IOC2 FFFFF5B4H, TP3IOC2 FFFFF5C4H,
TP4IOC2 FFFFF5D4H, TP5IOC2 FFFFF5E4H

	7	6	5	4	3	2	1	0
TPnIOC2 (n = 0-5)	0	0	0	0	TPnEES1	TPnEES0	TPnETS1	TPnETS0

TPnEES1	TPnEES0	外部イベント・カウント入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TPnETS1	TPnETS0	外部トリガ入力信号 (TIPn0端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TPnEES1, TPnEES0, TPnETS1, TPnETS0ビットは、
TPnCTL0.TPnCEビット = 0のときに書き換えてください (TPnCE
ビット = 1のときの同値書き込みは可能)。誤って書き換えた場合
は、TPnCEビットをクリア (0) してから再設定してください。
2. TPnEES1, TPnEES0ビットは、TPnCTL1.TPnEEEビット = 1、または
外部イベント・カウント・モード (TPnCTL1.TPnMD2-TPnMD0
ビット = 001) に設定したときのみ有効です。
3. TPnETS1, TPnETS0ビットは、外部トリガ・パルス出力モード
(TPnCTL1.TPnMD2-TPnMD0ビット = 010)、ワンショット・パル
ス出力モード (TPnCTL1.TPnMD2-TPnMD0 = 011) に設定したと
きのみ有効です。

(6) TMPnオプション・レジスタ0 (TPnOPT0)

TPnOPT0レジスタは、キャプチャ／コンペア動作の設定、オーバフローの検出を示す8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：TP0OPT0 FFFFF595H, TP1OPT0 FFFFF5A5H,
TP2OPT0 FFFFF5B5H, TP3OPT0 FFFFF5C5H,
TP4OPT0 FFFFF5D5H, TP5OPT0 FFFFF5E5H

	7	6	5	4	3	2	1	①
TPnOPT0 (n = 0-5)	0	0	TPnCCS1	TPnCCS0	0	0	0	TPnOVF

TPnCCS1	TPnCCR1レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタを選択
1	キャプチャ・レジスタを選択
TPnCCS1ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnCCS0	TPnCCR0レジスタのキャプチャ／コンペア選択
0	コンペア・レジスタを選択
1	キャプチャ・レジスタを選択
TPnCCS0ビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TPnOVF	TMPnのオーバフロー検出フラグ
0	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
1	オーバフロー発生
・TPnOVFビットは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット（1）されます。 ・TPnOVFビットがセット（1）されると同時に、割り込み要求信号（INTTPnOV）が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTPnOV信号は発生しません。 ・TPnOVFビット = 1のときにTPnOVFビットまたはTPnOPT0レジスタをリードしても、TPnOVFビットはクリアされません。 ・TPnOVFビットはリード／ライト可能ですが、ソフトウェアでTPnOVFビットをセット（1）することはできません。“1”をライトしてもTMPnの動作に影響はありません。	

注意1. TPnCCS1, TPnCCS0ビットは、TPnCEビット = 0のときに書き換えてください（TPnCEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は、TPnCEビットをクリア（0）してから再設定してください。

2. ビット1-3, 6, 7には必ず“0”を設定してください。

(7) TMPnキャプチャ／コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR0レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TPnCCR0レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：TP0CCR0 FFFFF596H, TP1CCR0 FFFFF5A6H,
TP2CCR0 FFFFF5B6H, TP3CCR0 FFFFF5C6H,
TP4CCR0 FFFFF5D6H, TP5CCR0 FFFFF5E6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCCR0																
(n = 0-5)																

(a) コンペア・レジスタとしての機能

TPnCCR0レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC0) を発生し、TOPn0端子出力を許可している場合、TOPn0端子出力を反転します（詳細は、各動作モードを参照してください）。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TPnCCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn0端子) の有効エッジを検出すると、16ビット・カウンタのカウンタ値をTPnCCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR0レジスタのリードが競合しても、TPnCCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6-3 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み、一斉書き込みについては6.4 (2) 随時書き込みと一斉書き込みを参照してください。

(8) TMPnキャプチャ／コンペア・レジスタ1 (TPnCCR1)

TPnCCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TPnCCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TPnOPT0.TPnCCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TPnCCR1レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TPnCCR1レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：TP0CCR1 FFFFF598H, TP1CCR1 FFFFF5A8H,
TP2CCR1 FFFFF5B8H, TP3CCR1 FFFFF5C8H,
TP4CCR1 FFFFF5D8H, TP5CCR1 FFFFF5E8H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPnCCR1																
(n = 0-5)																

(a) コンペア・レジスタとしての機能

TPnCCR1レジスタは、TPnCTL0.TPnCEビット = 1のときでも書き換えできます。

TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTPnCC1) を発生し、TOPn1端子出力を許可している場合、TOPn1端子出力を反転します (詳細は、各動作モードを参照してください)。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TPnCCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTPnCCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIPn1端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTPnCCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTPnCCR1レジスタのリードが競合しても、TPnCCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表6-4 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み、一斉書き込みについては6.4 (2) 随時書き込みと一斉書き込みを参照してください。

(9) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタは、16ビットのカウンタ値をリードするためのリード・バッファ・レジスタです。

TPnCTL0.TPnCEビット = 1のときにTPnCNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

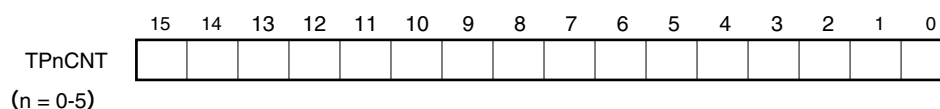
TPnCEビット = 0のとき、TPnCNTレジスタは0000Hになります。このときにTPnCNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTPnCEビット = 0になるため、TPnCNTレジスタは0000Hになります。

注意 次に示す状態において、TPnCNTレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R アドレス：TP0CNT FFFFF59AH, TP1CNT FFFFF5AAH,
TP2CNT FFFFF5BAH, TP3CNT FFFFF5CAH,
TP4CNT FFFFF5DAH, TP5CNT FFFFF5EAH



6.4 動作

V850ES/JC3-L, V850ES/JE3-Lでは、チャンネルによって実現できるモードが異なります。次にチャンネルごとの実現可能な機能について示します。

表6-5 TMPnの機能の実行可能チャンネル (V850ES/JC3-L (48ピン))

動作モード	TMP0	TMP1	TMP2	TMP3	TMP4	TMP5
インターバル・タイマ・モード	一部可能 ^注	一部可能 ^注	可能	一部可能 ^注	不可	可能
外部イベント・カウント・モード	不可	不可	可能	不可	不可	可能
外部トリガ・パルス出力モード	不可	不可	可能	不可	不可	可能
ワンショット・パルス出力モード	不可	不可	可能	不可	不可	可能
PWM出力モード	不可	不可	可能	不可	不可	可能
フリー・ランニング・タイマ・モード	不可	不可	可能	不可	不可	可能
パルス幅測定モード	不可	不可	可能	不可	不可	可能

注 TIP00, TIP01, TOP00, TOP01, TIP10, TIP11, TOP10, TOP11, TIP30, TIP31, TOP30, TOP31, TIP40, TIP41, TOP40, TOP41が存在しないためTIP00, TIP01, TOP00, TOP01, TIP10, TIP11, TOP10, TOP11, TIP30, TIP31, TOP30, TOP31, TIP40, TIP41, TOP40, TOP41を利用するような方法では使用できません。

表6-6 TMPnの機能の実行可能チャンネル (V850ES/JC3-L (48ピン))

動作モード	TMP0	TMP1	TMP2	TMP3	TMP4	TMP5
インターバル・タイマ・モード	一部可能 ^注	一部可能 ^注	可能	一部可能 ^注	不可	可能
外部イベント・カウント・モード	一部可能 ^注	不可	可能	不可	不可	可能
外部トリガ・パルス出力モード	一部可能 ^注	不可	可能	不可	不可	可能
ワンショット・パルス出力モード	一部可能 ^注	不可	可能	不可	不可	可能
PWM出力モード	一部可能 ^注	不可	可能	不可	不可	可能
フリー・ランニング・タイマ・モード	一部可能 ^注	不可	可能	不可	不可	可能
パルス幅測定モード	一部可能 ^注	不可	可能	不可	不可	可能

注 TIP01, TOP01, TIP10, TIP11, TOP10, TOP11, TIP30, TIP31, TOP30, TOP31, TIP40, TIP41, TOP40, TOP41が存在しないためTIP01, TOP01, TIP10, TIP11, TOP10, TOP11, TIP30, TIP31, TOP30, TOP31, TIP40, TIP41, TOP40, TOP41を利用するような方法では使用できません。

表6-7 TMPnの機能の実行可能チャンネル (V850ES/JE3-L)

動作モード	TMP0	TMP1	TMP2	TMP3	TMP4	TMP5
インターバル・タイマ・モード	可能	可能	可能	一部可能 ^注	可能	可能
外部イベント・カウント・モード	可能	可能	可能	不可	可能	可能
外部トリガ・パルス出力モード	可能	可能	可能	一部可能 ^注	可能	可能
ワンショット・パルス出力モード	可能	可能	可能	一部可能 ^注	可能	可能
PWM出力モード	可能	可能	可能	一部可能 ^注	可能	可能
フリー・ランニング・タイマ・モード	可能	可能	可能	一部可能 ^注	可能	可能
パルス幅測定モード	可能	可能	可能	一部可能 ^注	可能	可能

注 TIP30, TOP30が存在しないためTIP30, TOP30を利用するような方法では使用できません。

TMPnには次のような動作モードがあります。

表6-8 TMPnの動作モード

動作モード	TPnCTL1.TPnEST ビット (ソフトウェア・ トリガ・ビット)	TIPn0端子 (外部トリガ入力)	キャプチャ／ コンペア・レジスタ の設定	コンペア・レジスタ の書き込み方法	カウント・ クロック
インターバル・タイマ・ モード	無効	無効	コンペア専用	随時書き込み	内部／外部
外部イベント・カウント・ モード ^{注1}	無効	無効	コンペア専用	随時書き込み	外部
外部トリガ・パルス出力 モード ^{注2}	有効	有効	コンペア専用	一斉書き込み	内部
ワンショット・パルス出力 モード ^{注2}	有効	有効	コンペア専用	随時書き込み	内部
PWM出力モード	無効	無効	コンペア専用	一斉書き込み	内部／外部
フリー・ランニング・タ イマ・モード	無効	無効	切り替え可能	随時書き込み	内部／外部
パルス幅測定モード ^{注3}	無効	無効	キャプチャ専用	—	内部

注1. 外部イベント・カウント・モードを使用する場合、TIPn0端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TPnIOC1.TPnIS1, TPnIS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TPnCTL1.TPnEEEビット = 0に設定) してください。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作

TMPnの16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTPnCC0, INTTPnCC1割り込み信号は発生しません。

(c) オーバフロー動作

16ビット・カウンタのオーバフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバフローが発生すると、TPnOPT0.TPnOVFビットがセット (1) され、割り込み要求信号 (INTTPnOV) が発生します。なお、次の条件ではINTTPnOV信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値がFFFFHで一致&クリアされた場合
- ・ パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTPnOV) 発生後は、必ずオーバフロー・フラグ (TPnOVF ビット) が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMPnでは、TPnCNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TPnCTL0.TPnCEビット = 1のときは、TPnCNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TPnCEビット = 0のときは、16ビット・カウンタがFFFFHで、TPnCNTレジスタが0000Hです。

(2) 随時書き込みと一斉書き込み

TMPnでは、タイマ動作中 (TPnCTL0.TPnCEビット = 1) でもTPnCCR0, TPnCCR1レジスタの書き換えを許可していますが、モードによってCCR0, CCR1バッファ・レジスタへの書き込み方法 (随時書き込み, 一斉書き込み) が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を随時行います。

図6-2 随時書き込みの基本動作フロー・チャート

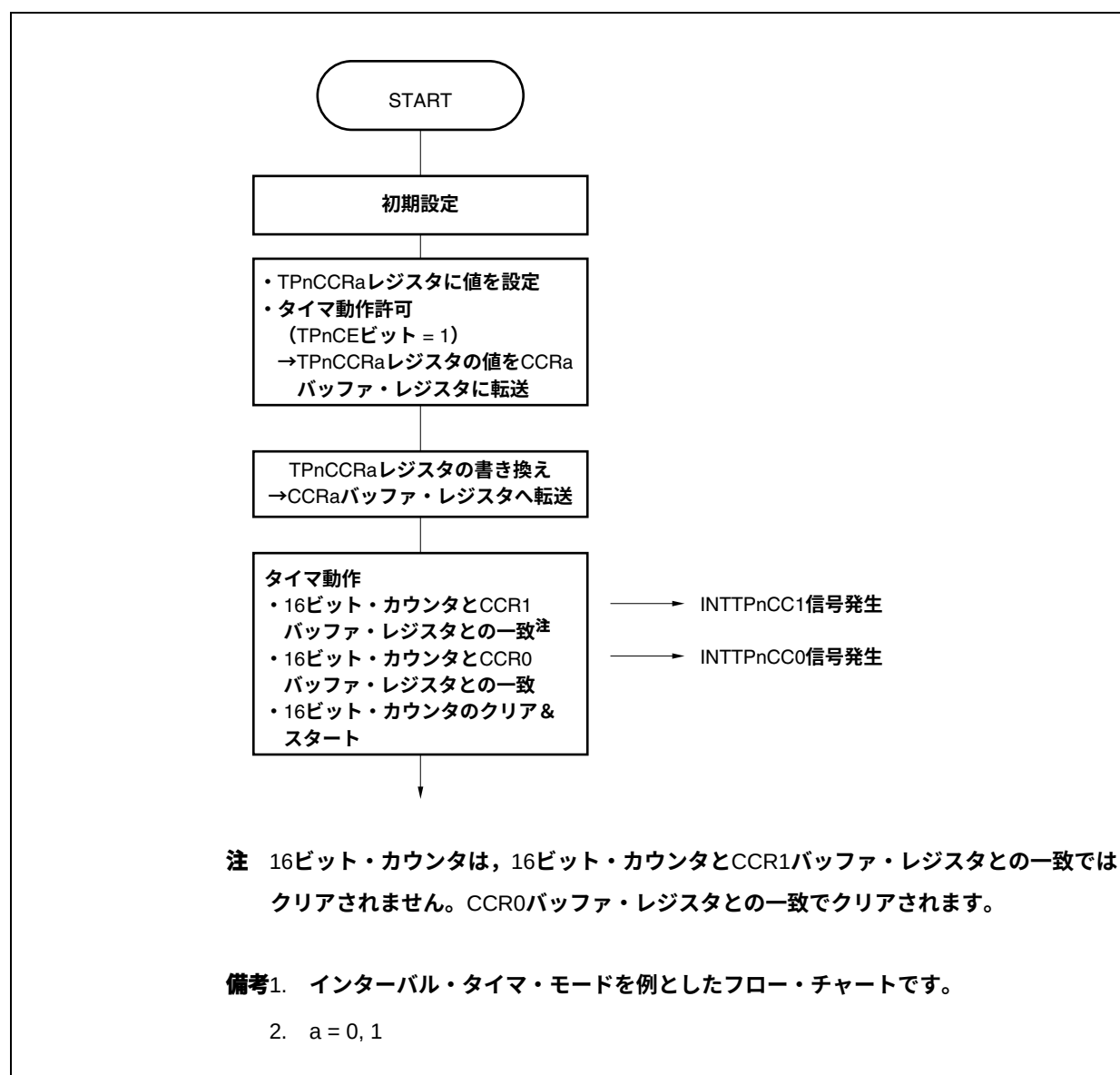
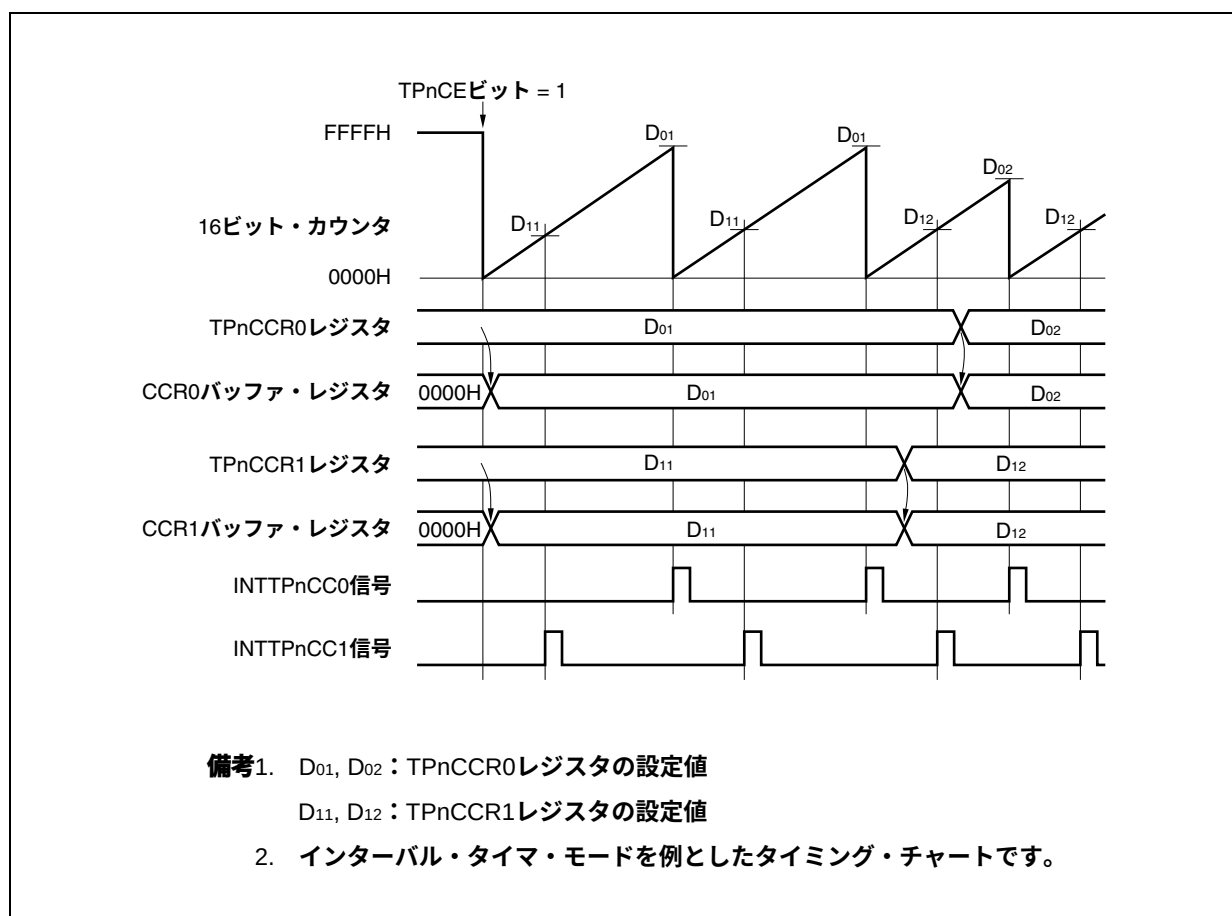


図6-3 随時書き込みのタイミング



(b) 一斉書き込み

このモードは、タイマ動作中にTPnCCR0, TPnCCR1レジスタからCCR0, CCR1バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTPnCCR1レジスタへの書き込みとなります。TPnCCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TPnCCR0, TPnCCR1レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする (CCR0, CCR1バッファ・レジスタに転送される) には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTPnCCR0レジスタを書き換え、次にTPnCCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TPnCCR0, TPnCCR1レジスタの値はCCR0, CCR1バッファ・レジスタに転送されます。なお、TPnCCR0レジスタの値だけ書き換えたい場合でも、TPnCCR1レジスタに同値 (すでに設定したTPnCCR1レジスタと同じ値) を書き込んでください。

図6-4 一斉書き込みの基本動作フロー・チャート

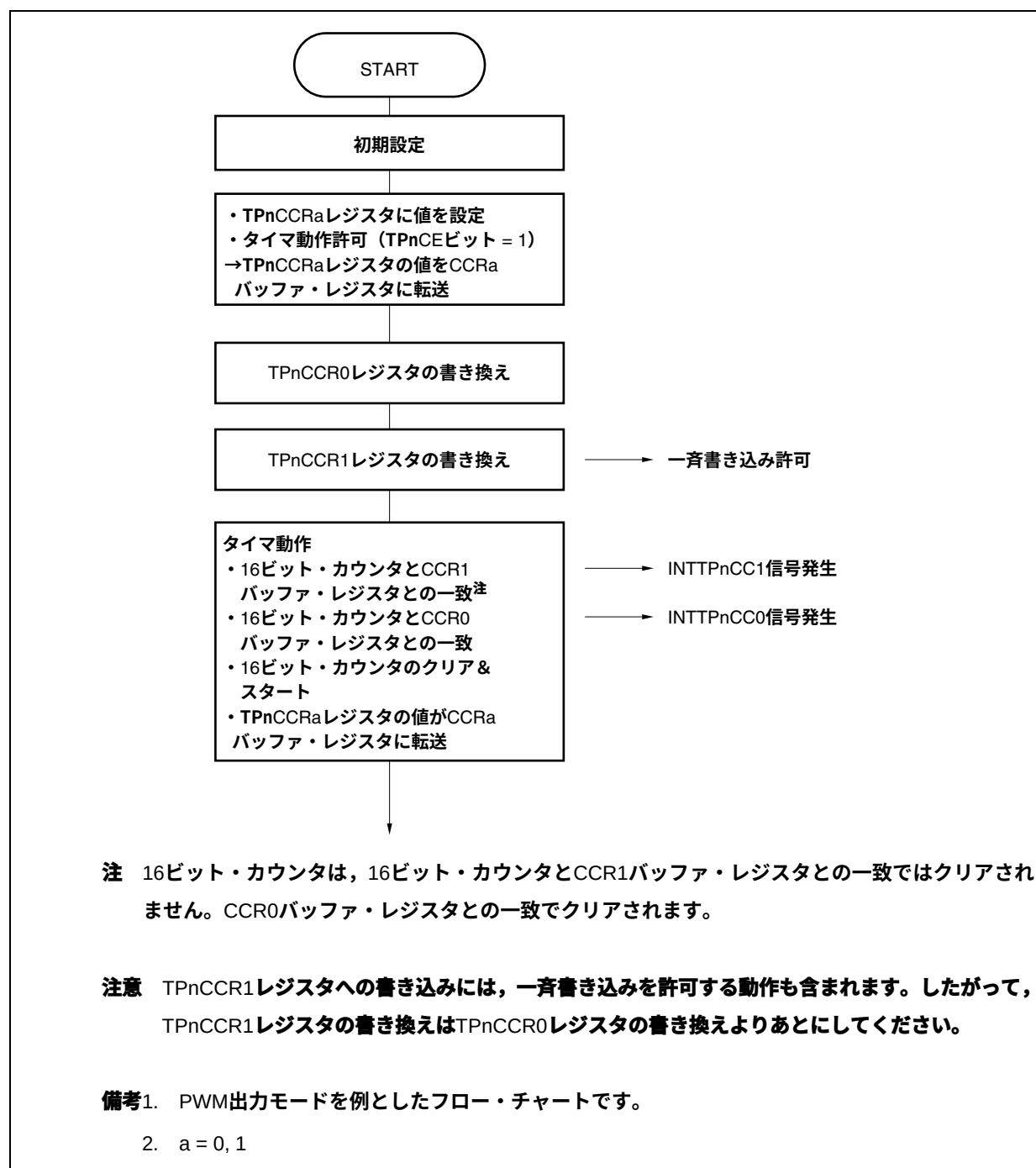
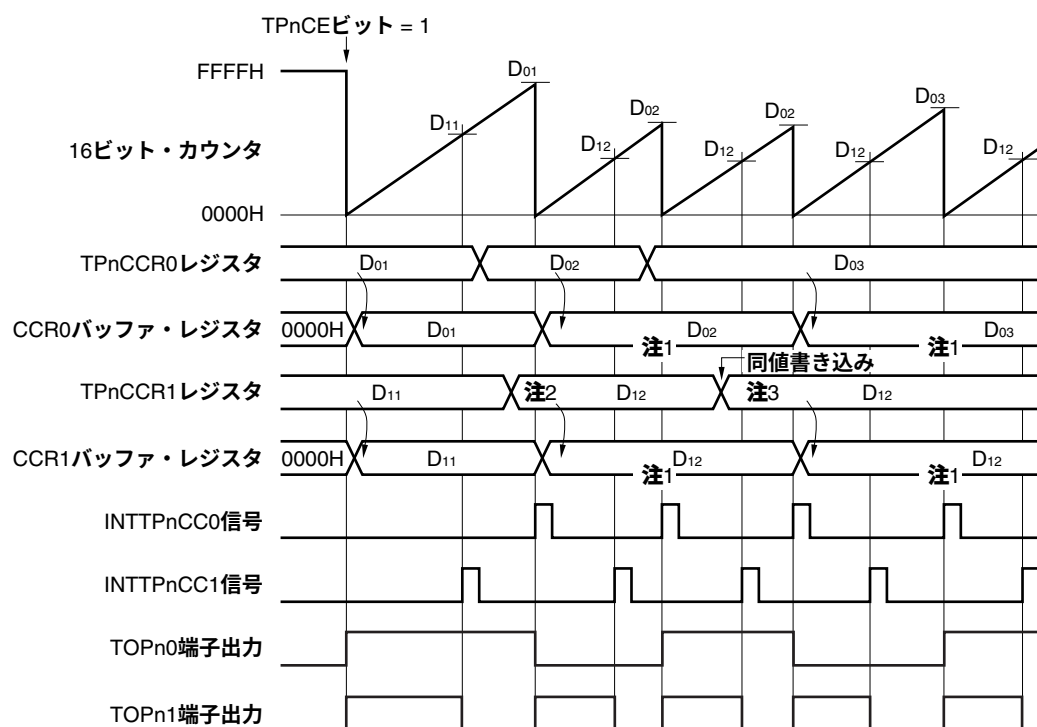


図6-5 一斉書き込みのタイミング



注1. TPnCCR1レジスタの書き込みがなかったためD03は転送しません。

2. TPnCCR1レジスタへの書き込み (D12) があったため、TPnCCR0レジスタとの一致 (D01) により CCR1バッファ・レジスタへの転送を行います。
3. TPnCCR1レジスタへの書き込み (D12) があったため、TPnCCR0レジスタとの一致 (D02) により CCR1バッファ・レジスタへの転送を行います。

備考1. D01, D02, D03 : TPnCCR0レジスタの設定値

D11, D12 : TPnCCR1レジスタの設定値

2. PWM出力モードを例としたタイミング・チャートです。

6. 4. 1 インターバル・タイマ・モード (TPnMD2-TPnMD0ビット = 000)

インターバル・タイマ・モードは、TPnCTL0.TPnCEビットをセット (1) することで、任意のインターバル間隔にて割り込み要求信号 (INTTPnCC0) を発生します。また、TPnCEビットをセット (1) することで動作を開始し、TOPn0端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。割り込みマスク・フラグ (TPnCCMK1) でマスク設定してください。

- 備考1. TOPn0端子の設定については表6-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTPnCC0信号の割り込み許可については、第19章 割り込み／例外処理機能を参照してください。

図6-6 インターバル・タイマの構成図

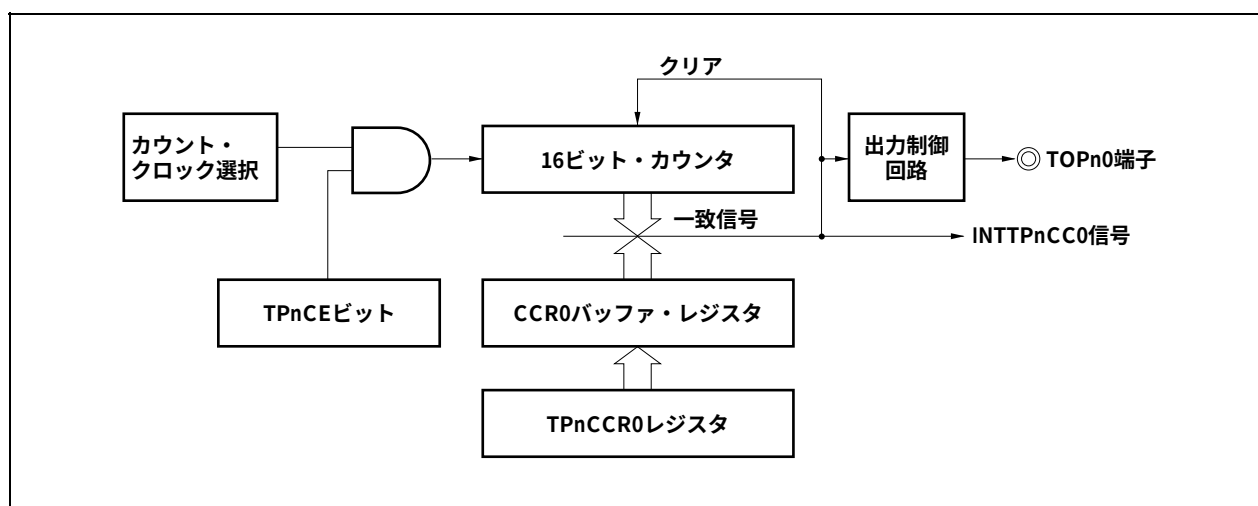
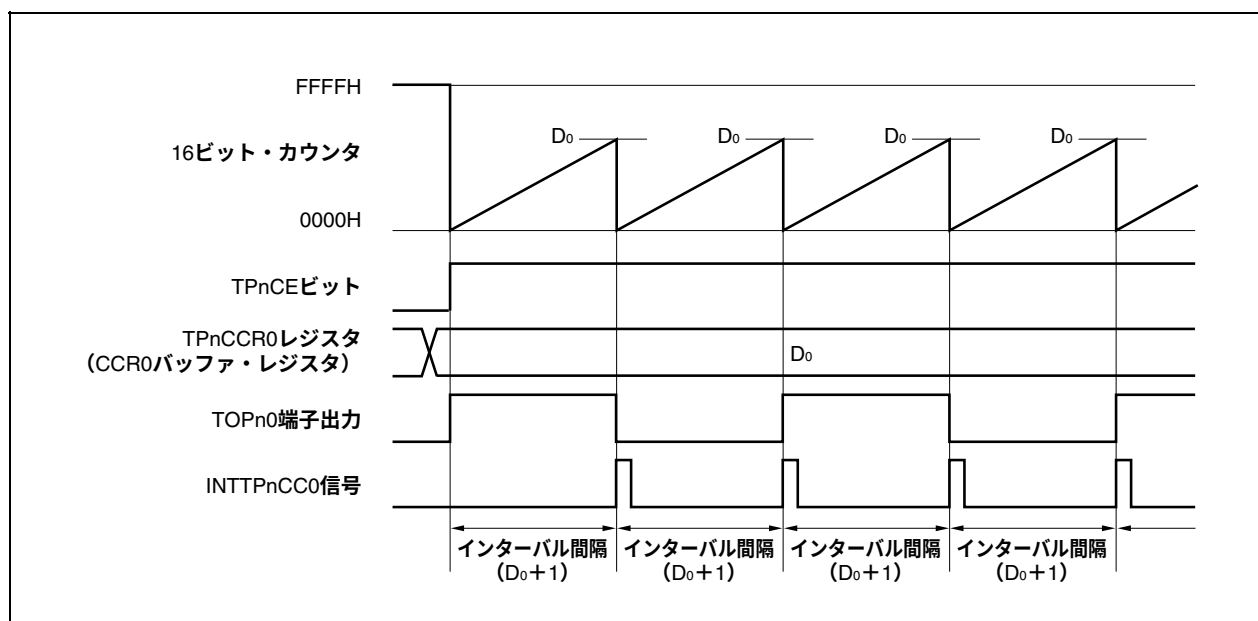


図6-7 インターバル・タイマ・モード動作の基本タイミング



TPnCEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOPn0端子出力を反転します。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOPn0端子出力を反転させて、コンペアー一致割り込み要求信号 (INTTPnCC0) を発生します。

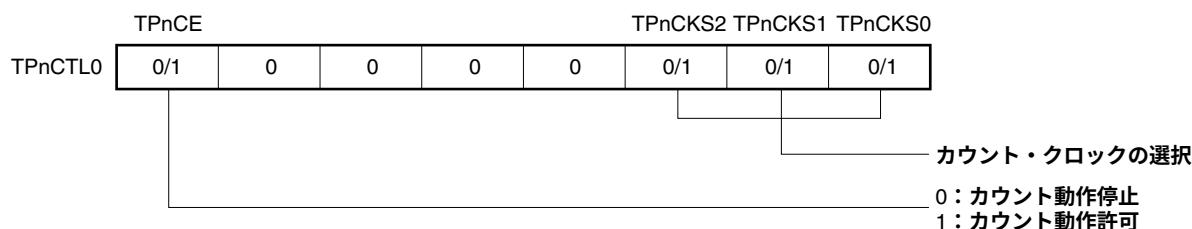
インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TPnCCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

次にインターバル・タイマ・モード動作時のレジスタ設定例を示します。

図6-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)



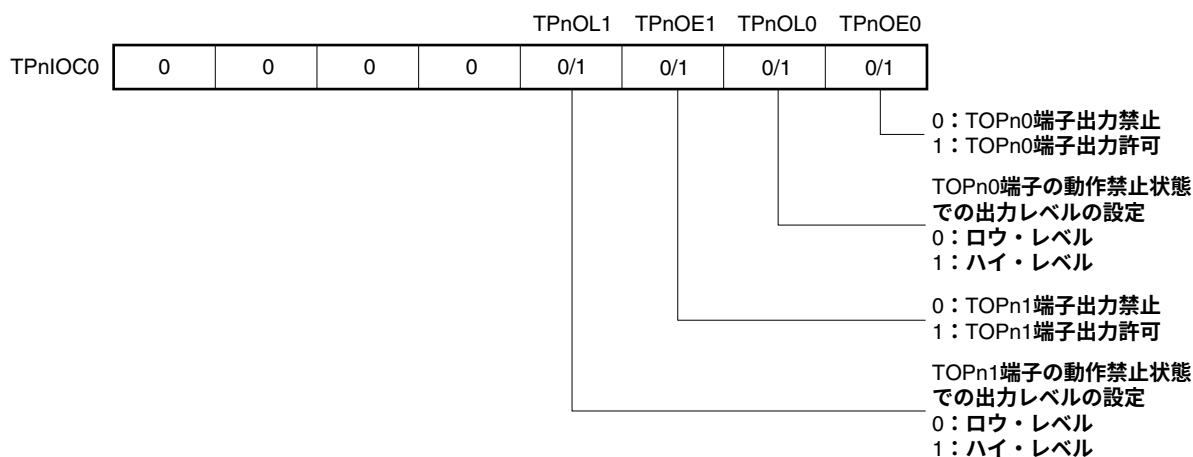
(b) TMPn制御レジスタ1 (TPnCTL1)



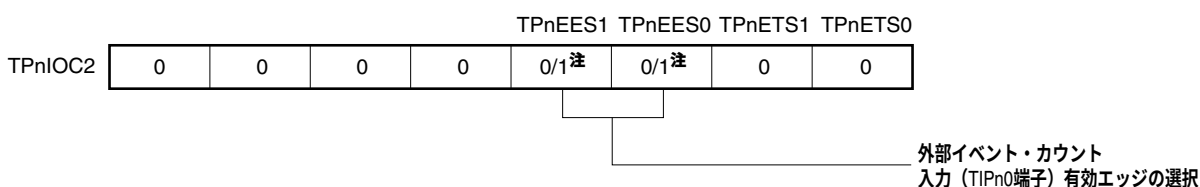
注 タイマ出力 (TOPn1) を使用する場合だけ、TPnEEEビット = 1にすることを許可します。ただし、TPnCCR0, TPnCCR1レジスタの設定値は、同値にしてください (6. 4. 1 (2) (d) TPnCCR1レジスタの動作参照)。

図6-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/2)

(c) TMPnI/O制御レジスタ0 (TPnIOC0)



(d) TMPnI/O制御レジスタ2 (TPnIOC2)



注 タイマ出力 (TOPn1) を使用する場合だけ、TPnEES1, TPnEES0ビットを設定することを許します。ただし、TPnCCR0, TPnCCR1レジスタは同値に設定してください。

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMPnキャプチャ／コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

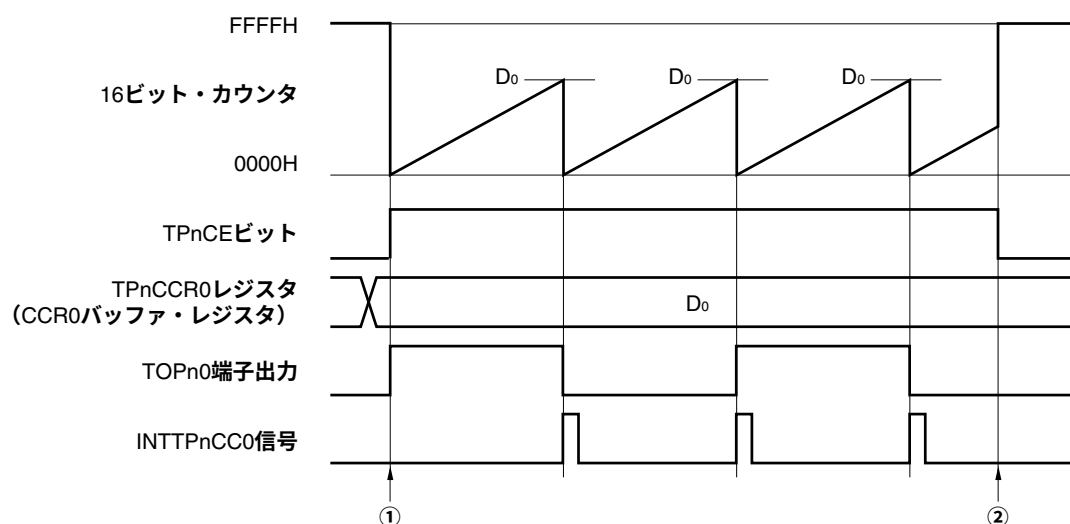
(g) TMPnキャプチャ／コンペア・レジスタ1 (TPnCCR1)

インターバル・タイマ・モードでは、通常、TPnCCR1レジスタを使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウンタ値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

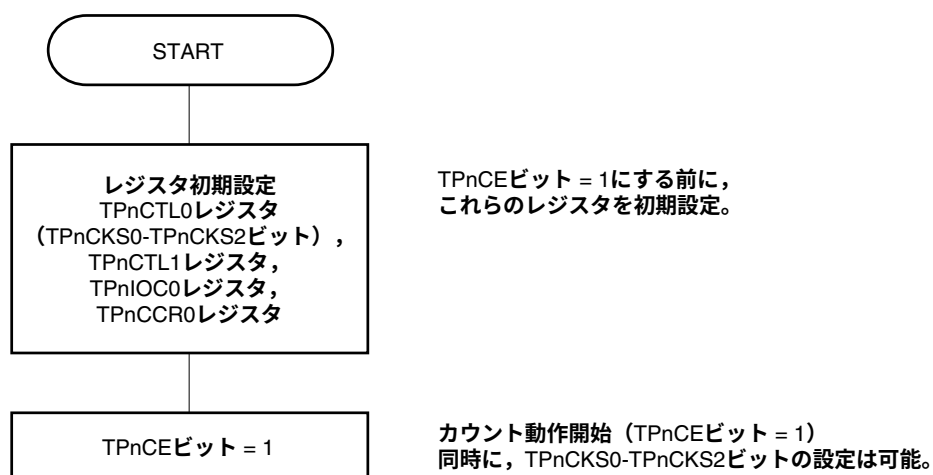
備考 TMPnI/O制御レジスタ1 (TPnIOC1), TMPnオプション・レジスタ0 (TPnOPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

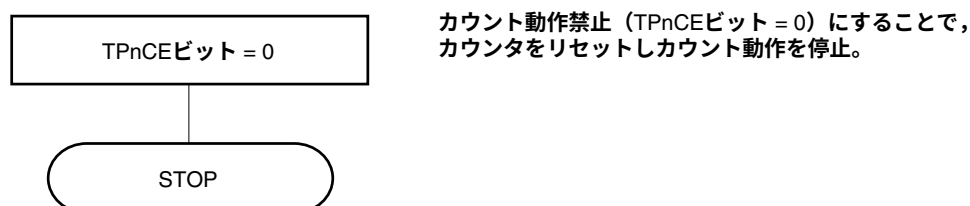
図6-9 インターバル・タイマ・モード動作タイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



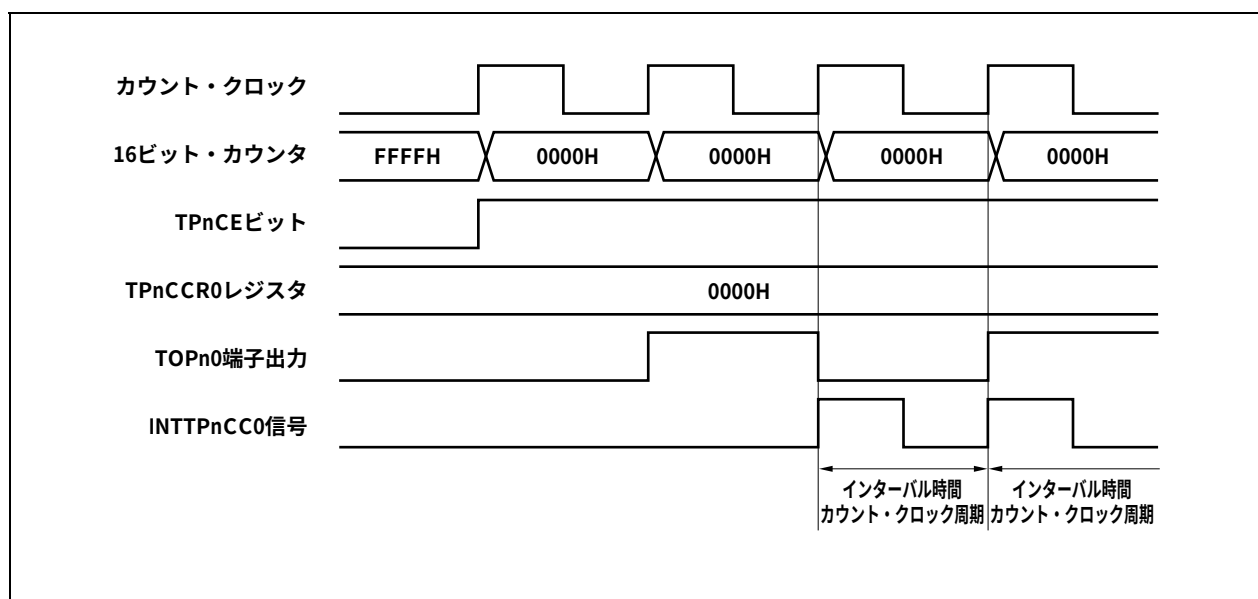
(2) インターバル・タイマ・モードの応用

(a) TPnCCR0レジスタに0000Hを設定した場合の動作

TPnCCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとにINTTPnCC0信号を発生し、TOPn0端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。

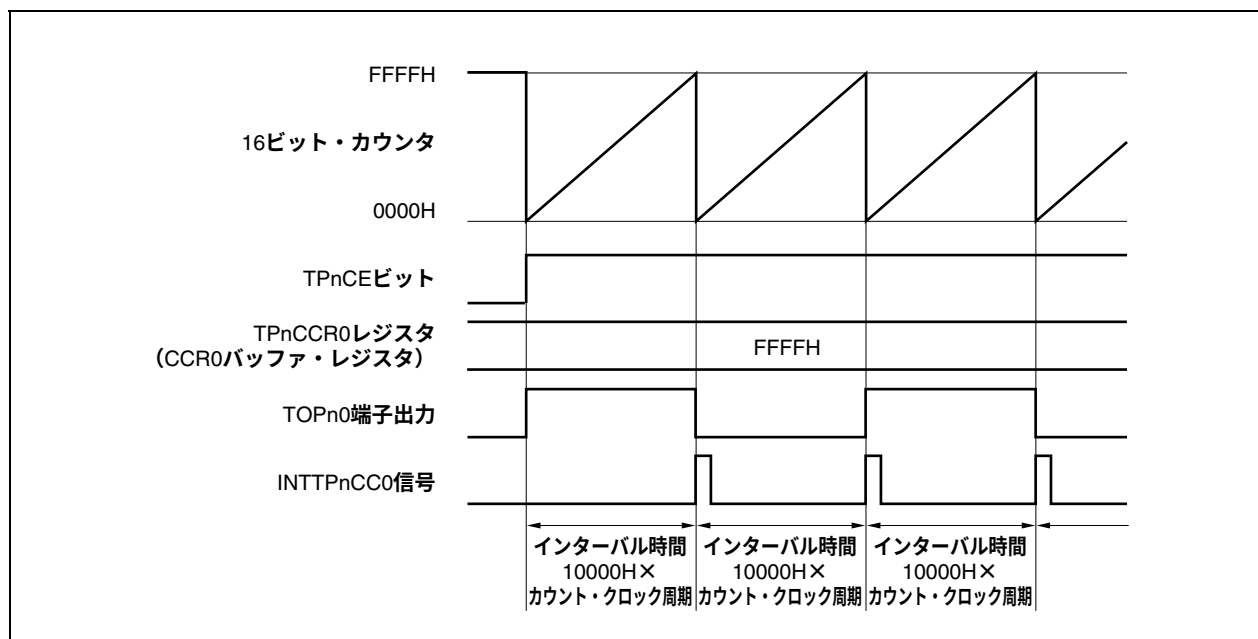
図6-10 TPnCCR0レジスタに0000Hを設定した場合の動作



(b) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生し、TOPn0端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTPnOV) は発生せず、オーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されません。

図6-11 TPnCCR0レジスタにFFFFHを設定した場合の動作

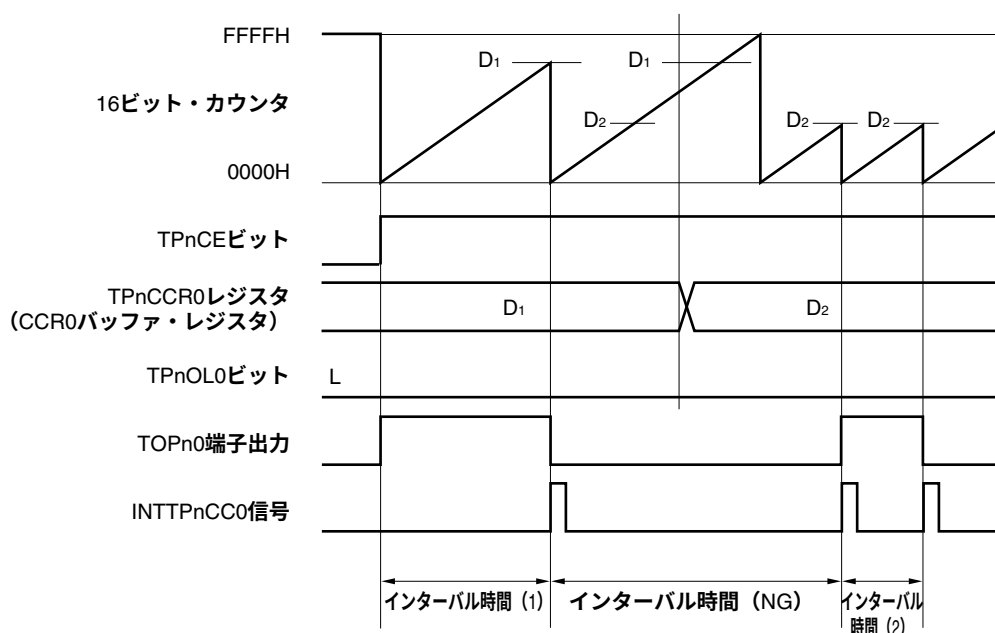


(c) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。

図6-12 TPnCCR0レジスタの書き換えに関する注意事項



備考 インターバル時間 (1) : $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$
 インターバル時間 (2) : $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$

カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TPnCCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

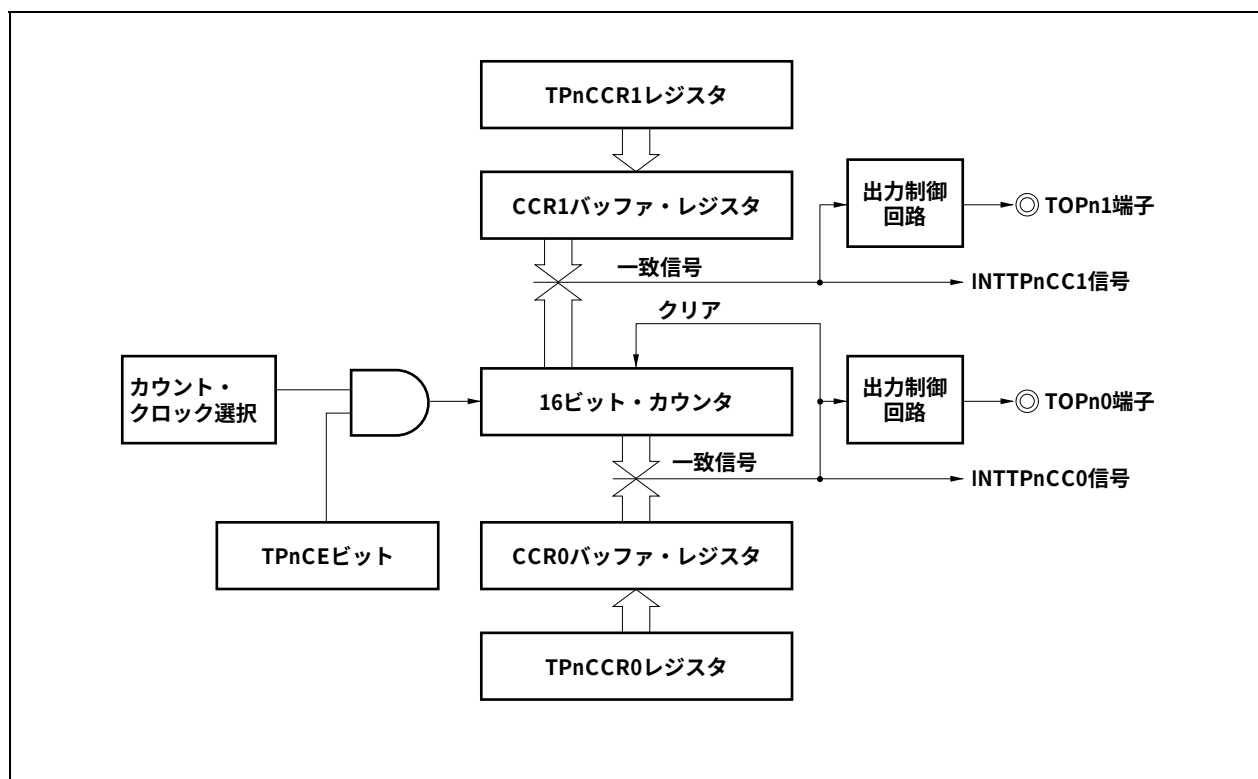
しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTPnCC0信号を発生しTOPn0端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」でINTTPnCC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント} \cdot \text{クロック周期}$ 」の間隔でINTTPnCC0信号が発生する場合があります。

(d) TPnCCR1レジスタの動作

次にインターバル・タイマ・モード動作時のTPnCCR1レジスタの構成について示します。

図6-13 TPnCCR1レジスタの構成図

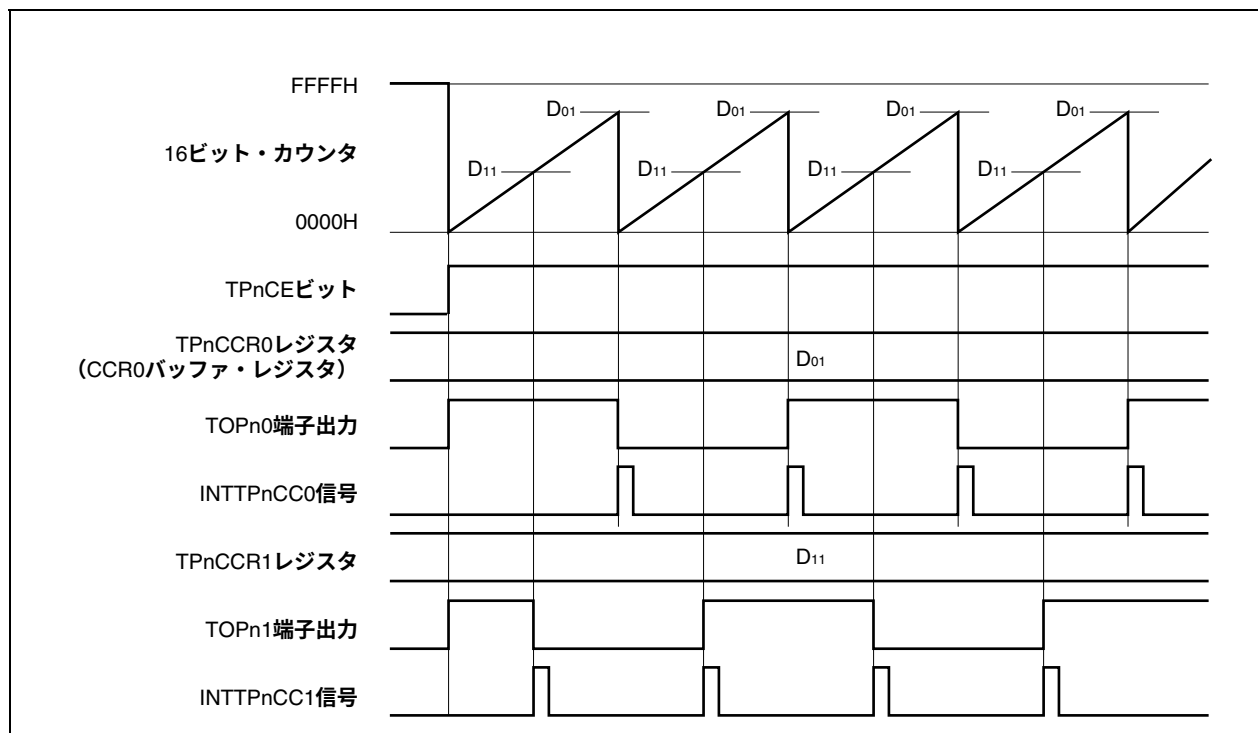


TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。また、同じタイミングでTOPn1端子出力は反転します。

TOPn1端子出力は、TOPn0端子出力と同じ周期で位相がずれた方形波を出力します。

TPnCCR1レジスタの設定値 (D_{11}) が、TPnCCR0レジスタの設定値 (D_{01}) より小さい場合のタイミング図を次に示します。

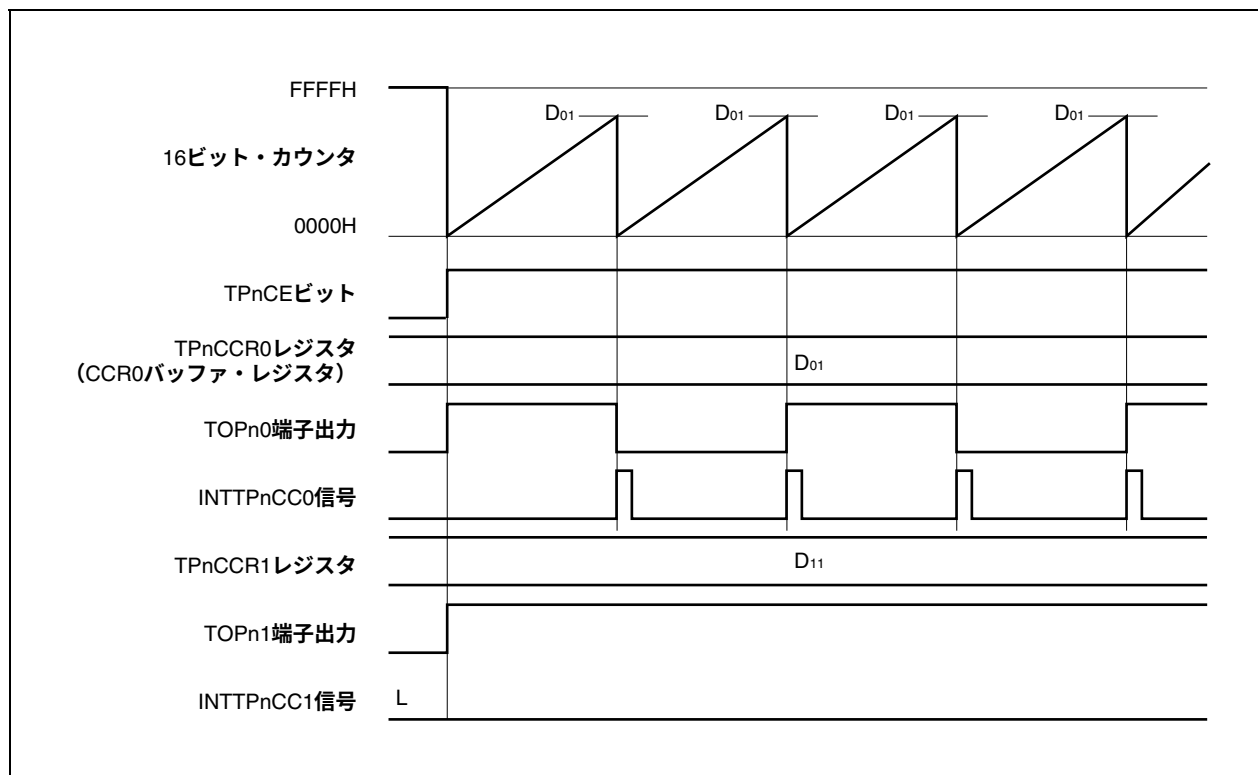
図6-14 $D_{01} \geq D_{11}$ の場合のタイミング図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。また、TOPn1端子出力も変化しません。

TPnCCR1レジスタの設定値 (D_{11}) が、TPnCCR0レジスタの設定値 (D_{01}) より大きい場合のタイミング図を次に示します。

図6-15 $D_{01} < D_{11}$ の場合のタイミング図



(3) 外部イベント・カウント入力 (TIPn0) による動作

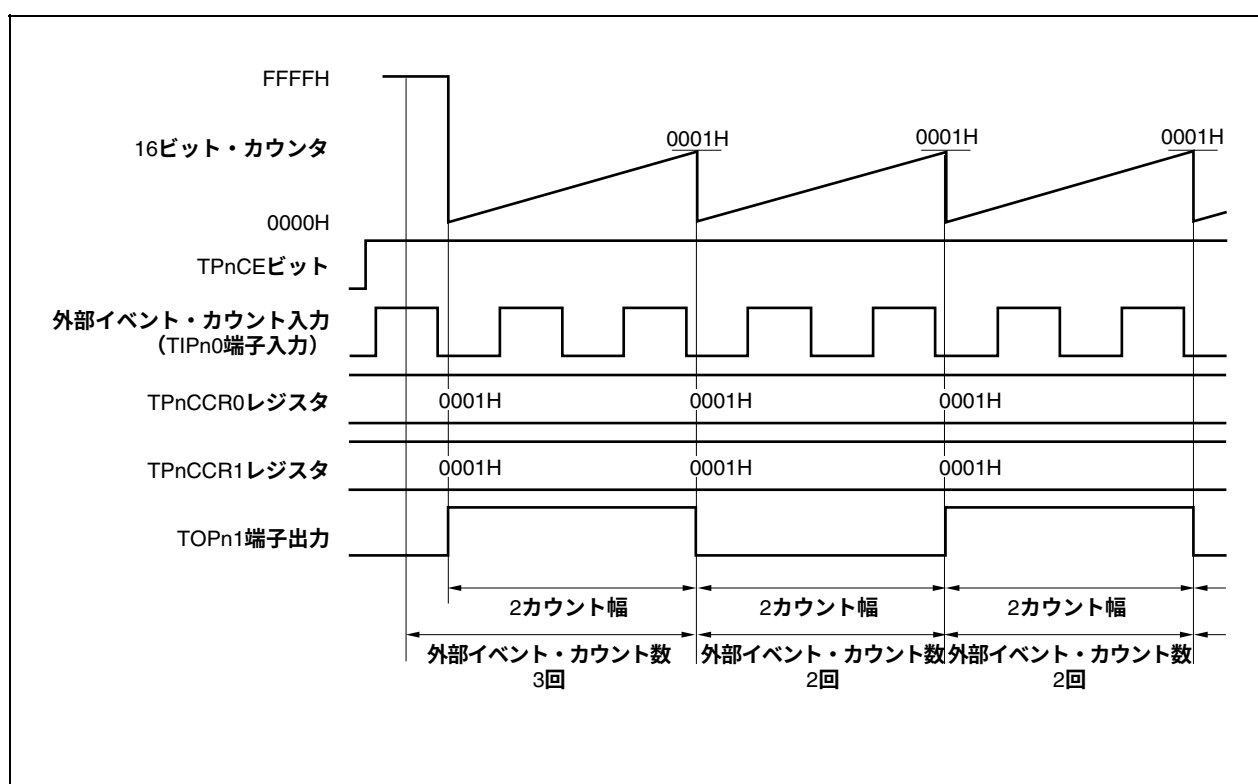
(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIPn0) の有効エッジで16ビット・カウンタをカウントする場合, TPnCEビットを0から1に設定した直後に, 16ビット・カウンタをFFFFHから0000Hにクリアするために, 1回の外部イベント・カウント入力の有効エッジが必要です。

TPnCCR0, TPnCCR1レジスタに0001Hを設定 (同値設定) すると, 16ビット・カウンタの2カウントごとにTOPn1端子の出力を反転します。

外部イベント・カウント入力でタイマ出力 (TOPn1) を使用する場合だけ, インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1の設定が可能です。

図6-16 外部イベント・カウント入力 (TIPn0) による動作



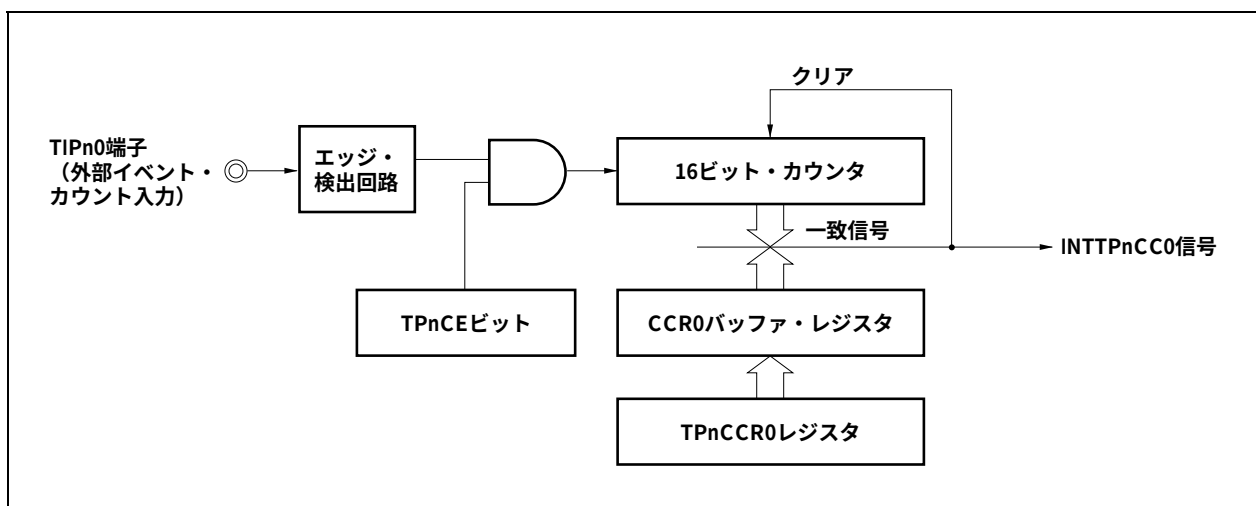
6.4.2 外部イベント・カウント・モード (TPnMD2-TPnMD0ビット = 001)

外部イベント・カウント・モードは、TPnCTL0.TPnCEビットをセット (1) することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすると割り込み要求信号 (INTTPnCC0) を発生します。タイマ出力 (TOPn0, TOPn1端子) は使用できません。外部イベント・カウント・モードでTOPn1端子を使用したい場合は、インターバル・タイマ・モード時にTPnCTL1.TPnEEEビット = 1に設定してください (6.4.1 (3) 外部イベント・カウント入力 (TIPn0) による動作参照)。

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。

- 備考1. TIPn0端子の設定については表6-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTPnCC0信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図6-17 外部イベント・カウント・モードの構成図

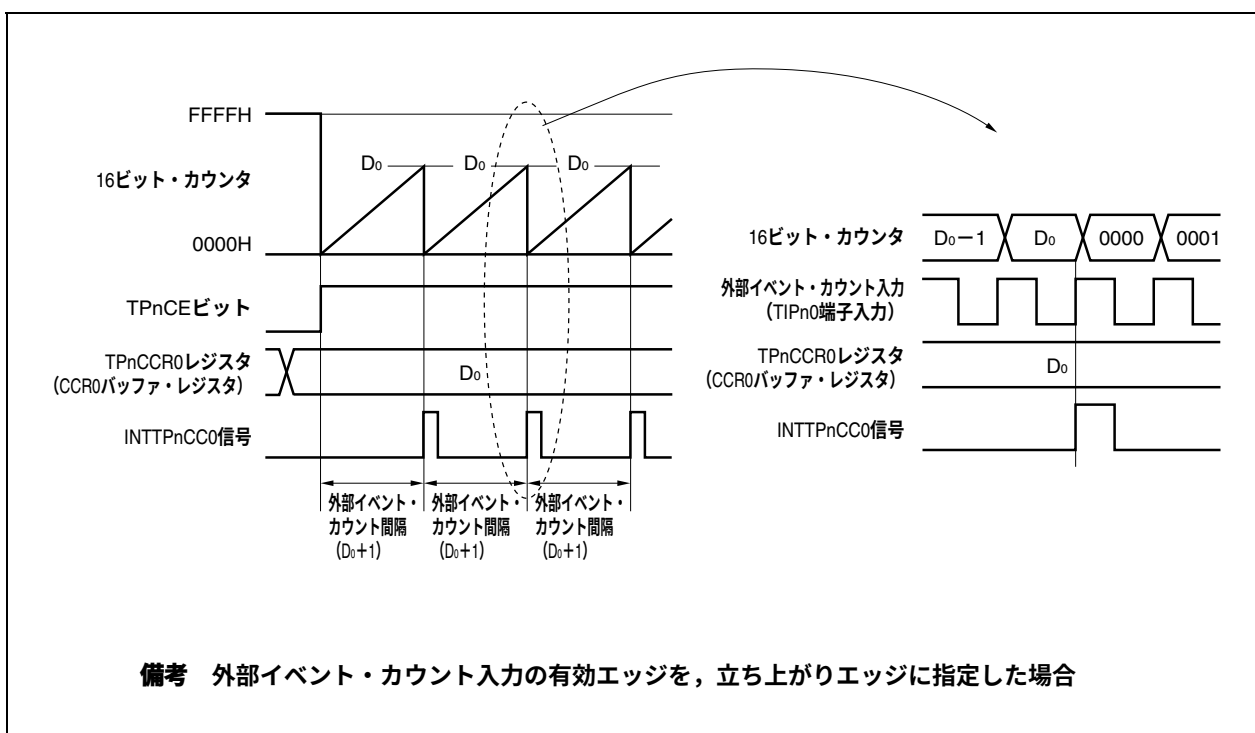


TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出するごとにカウント動作を行います。また、TPnCCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンパレー一致割り込み要求信号 (INTTPnCC0) を発生します。

INTTPnCC0信号は、外部イベント・カウント入力の有効エッジを (TPnCCR0レジスタに設定した値+1) 回検出するごとに発生します。

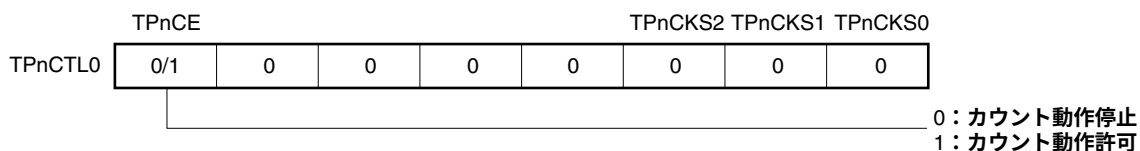
図6-18 外部イベント・カウント・モードの基本タイミング



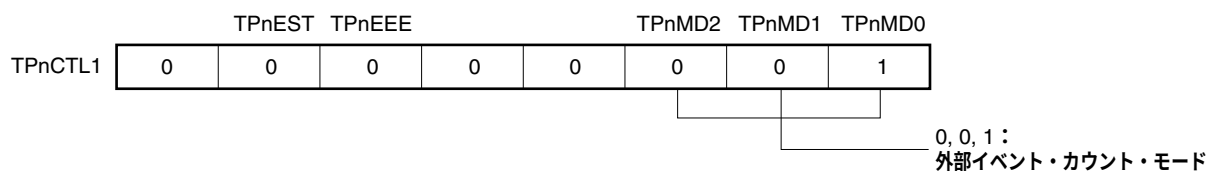
次に外部イベント・カウント・カウント・モード動作時のレジスタ設定例を示します。

図6-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

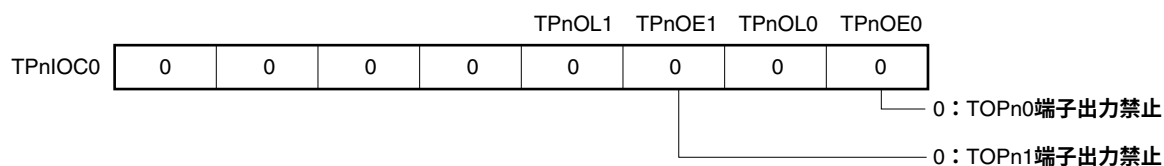
(a) TMPn制御レジスタ0 (TPnCTL0)



(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPnI/O制御レジスタ0 (TPnIOC0)



(d) TMPnI/O制御レジスタ2 (TPnIOC2)

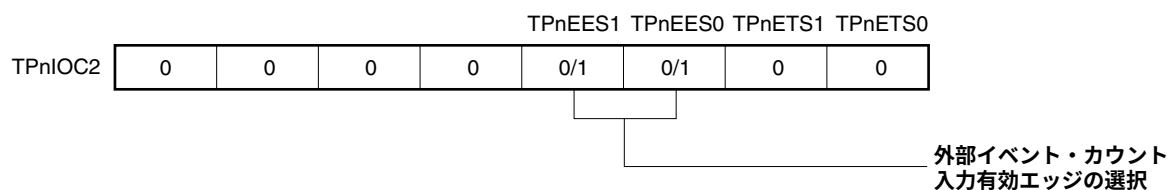


図6-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

(f) TMPnキャプチャ／コンペア・レジスタ0 (TPnCCR0)

TPnCCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTPnCC0) を発生します。

(g) TMPnキャプチャ／コンペア・レジスタ1 (TPnCCR1)

外部イベント・カウント・モードでは、通常、TPnCCR1レジスタは使用しません。しかし、TPnCCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTPnCC1) が発生します。したがって、割り込みマスク・フラグ (TPnCCMK1) でマスク設定しておいてください。

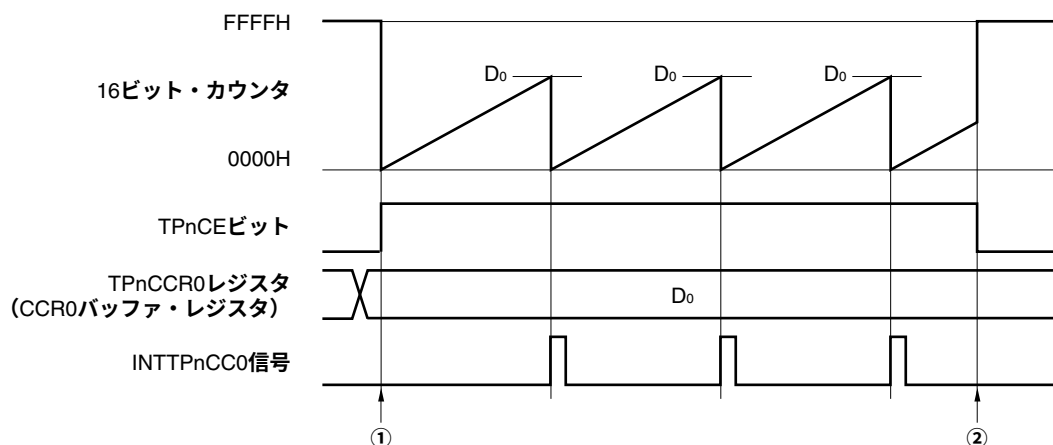
注意1. 外部イベント・カウント・モード時、TPnCCR0レジスタには、0000Hを設定しないでください。

2. 外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TPnCTL1.TPnMD2-TPnMD0ビット = 000, TPnCTL1.TPnEEEビット = 1) に選択してください (6. 4. 1 (3) 外部イベント・カウント入力 (TIPn0) による動作参照)。

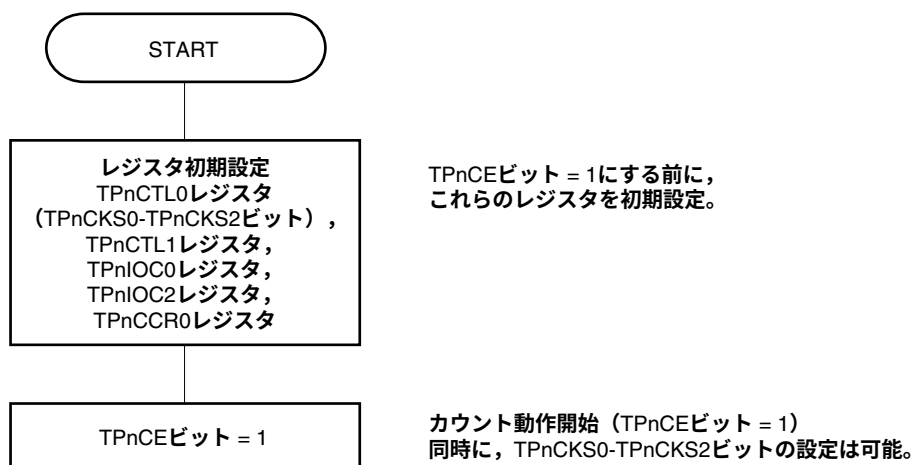
備考 TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

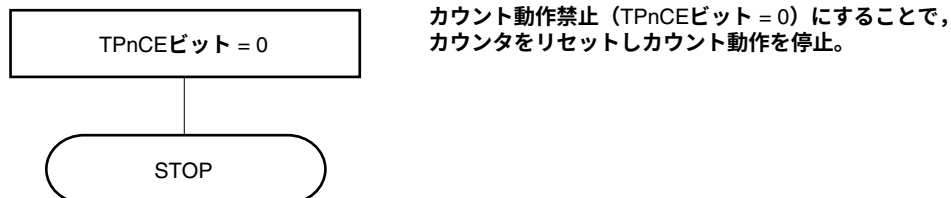
図6-20 外部イベント・カウント・モード動作タイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー

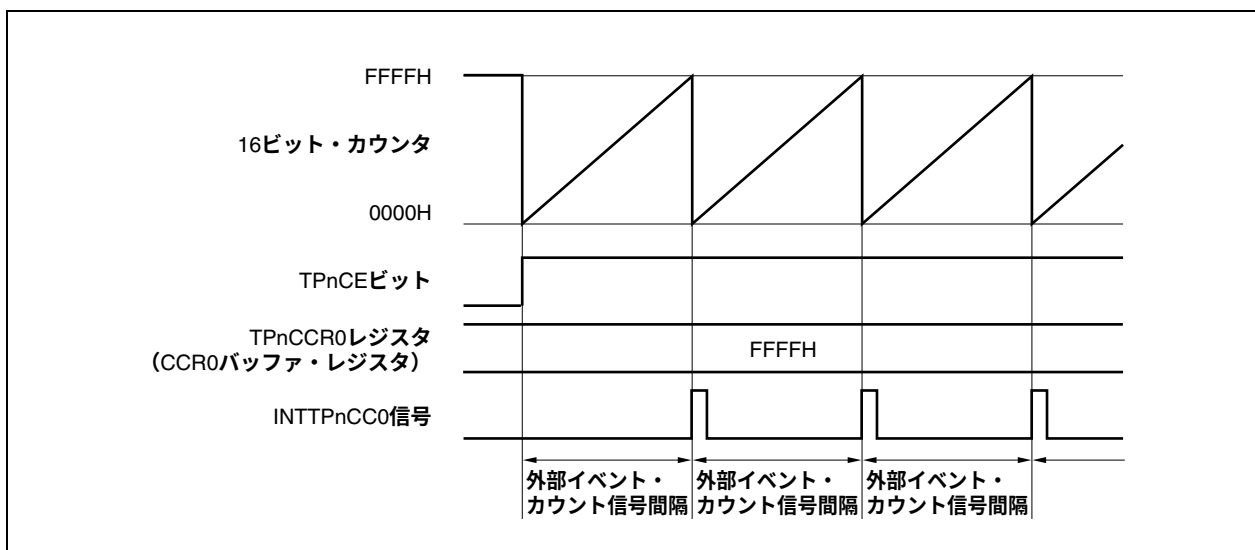


(2) 外部イベント・カウント・モードの応用

(a) TPnCCR0レジスタにFFFFHを設定した場合の動作

TPnCCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTPnCC0信号を発生します。このとき、TPnOPT0.TPnOVFビットはセットされません。

図6-21 TPnCCR0レジスタにFFFFHを設定した場合の動作

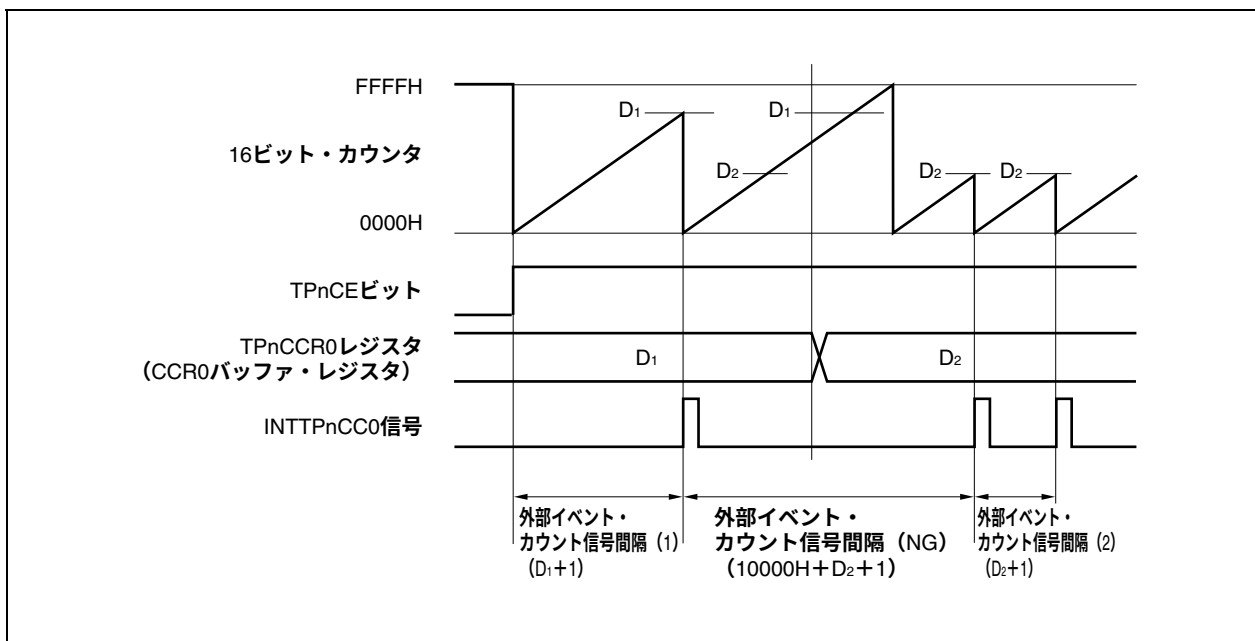


(b) TPnCCR0レジスタの書き換えに関する注意事項

TPnCCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTPnCCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。

図6-22 TPnCCR0レジスタの書き換えに関する注意事項



カウント値がD₂よりも大きくD₁よりも小さい状態において、TPnCCR0レジスタをD₁からD₂に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値がD₂となります。

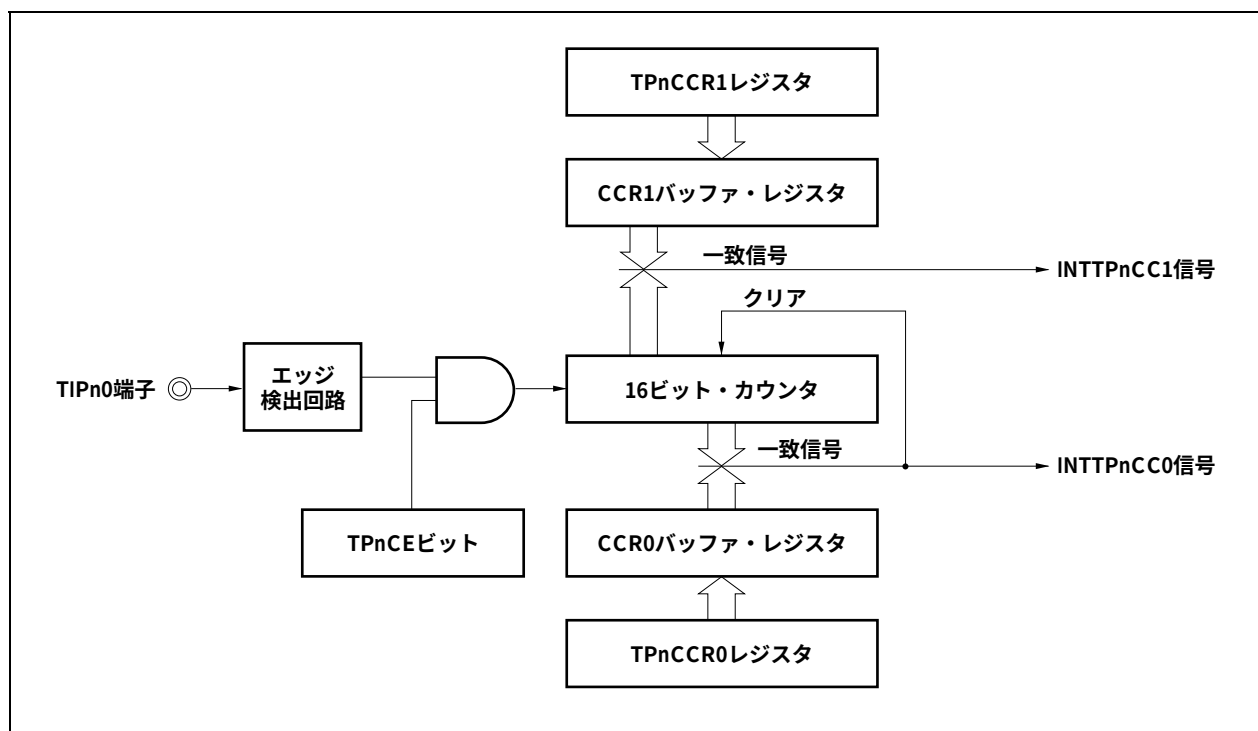
しかし、カウント値はすでにD₂を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、D₂との一致でINTTPnCC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「(D₁+1)回」または「(D₂+1)回」の有効エッジ数でINTTPnCC0信号は発生せずに、「(10000H+D₂+1)回」の有効エッジ数でINTTPnCC0信号が発生する場合があります。

(c) TPnCCR1レジスタの動作

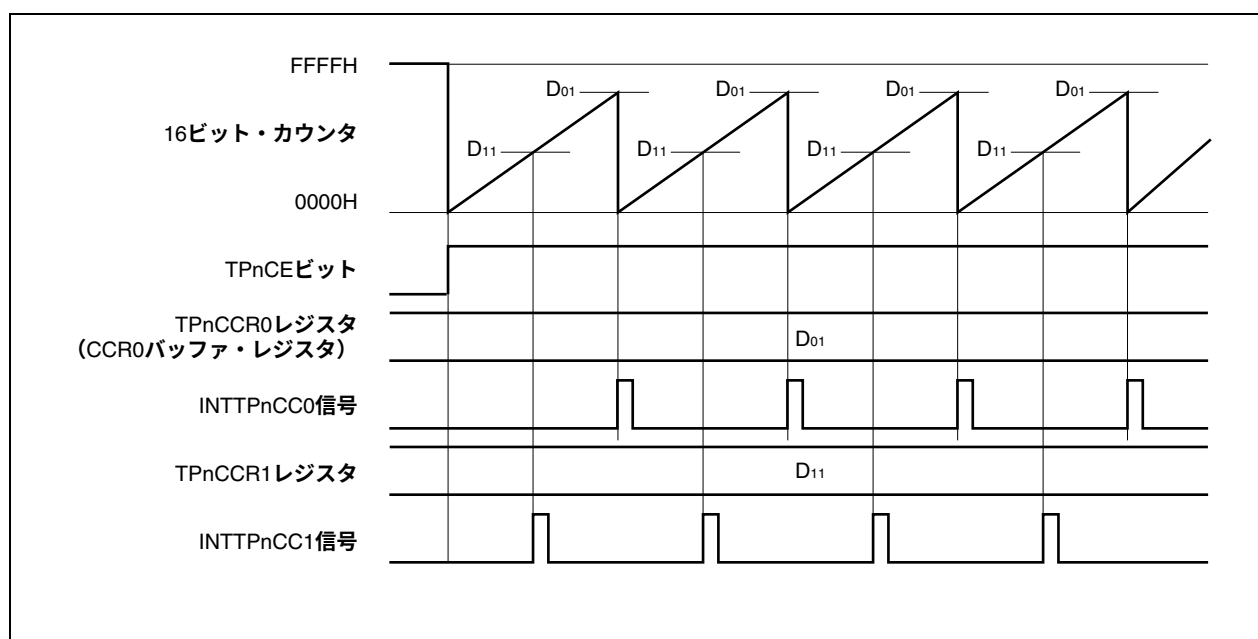
次に外部イベント・カウント・モード動作時のTPnCCR1レジスタの構成について示します。

図6-23 TPnCCR1レジスタの構成図



TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTPnCC1信号が発生します。

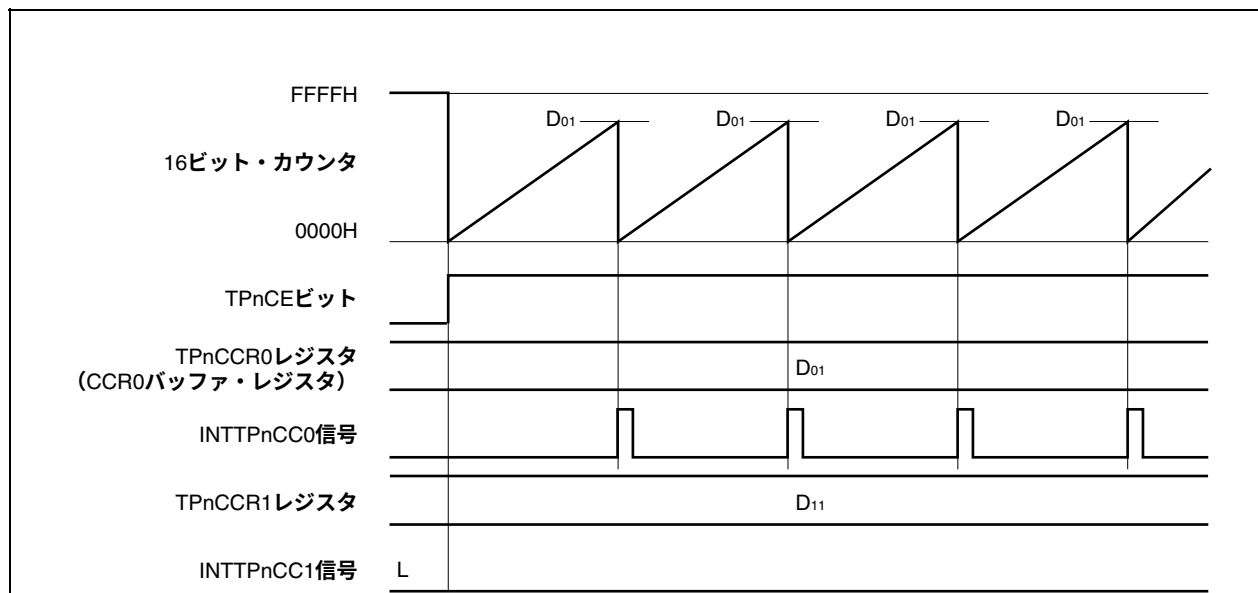
TPnCCR1レジスタの設定値 (D_{11}) が、TPnCCR0レジスタの設定値 (D_{01}) より小さい場合のタイミング図を次に示します。

図6-24 $D_{01} \geq D_{11}$ の場合のタイミング図

TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値が一致しないので、INTTPnCC1信号は発生しません。

TPnCCR1レジスタの設定値 (D_{11}) が、TPnCCR0レジスタの設定値 (D_{01}) より大きい場合のタイミング図を次に示します。

図6-25 $D_{01} < D_{11}$ の場合のタイミング図



6. 4. 3 外部トリガ・パルス出力モード (TPnMD2-TPnMD0ビット = 010)

外部トリガ・パルス出力モードは、TPnCTL0.TPnCEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることもパルスを出力できます。外部トリガ入力を使用せず、ソフトウェア・トリガを使用する場合、TOPn0端子から、PWM波形の1周期を半周期とする方波波も出力できます。

備考1. TIPn0, TOPn0, TOPn1端子の設定については表6-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。

2. INTTPnCC0, INTTPnCC1信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図6-26 外部トリガ・パルス出力モードの構成図

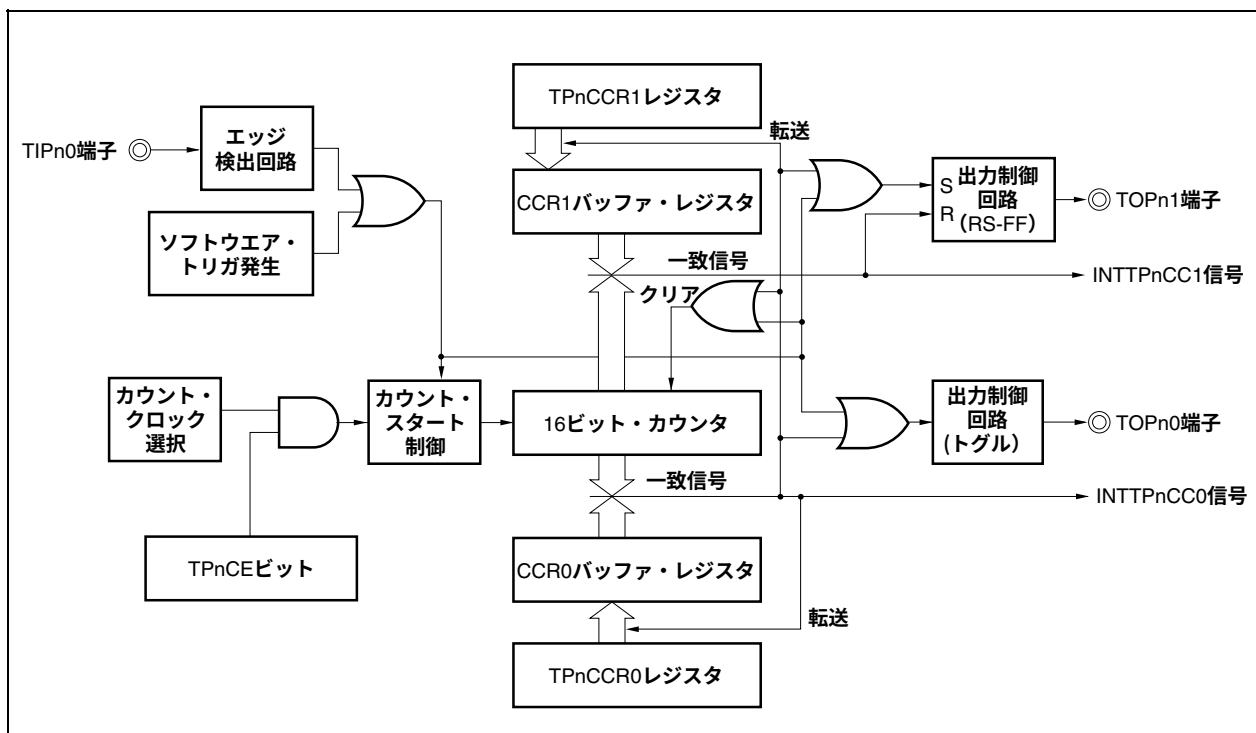
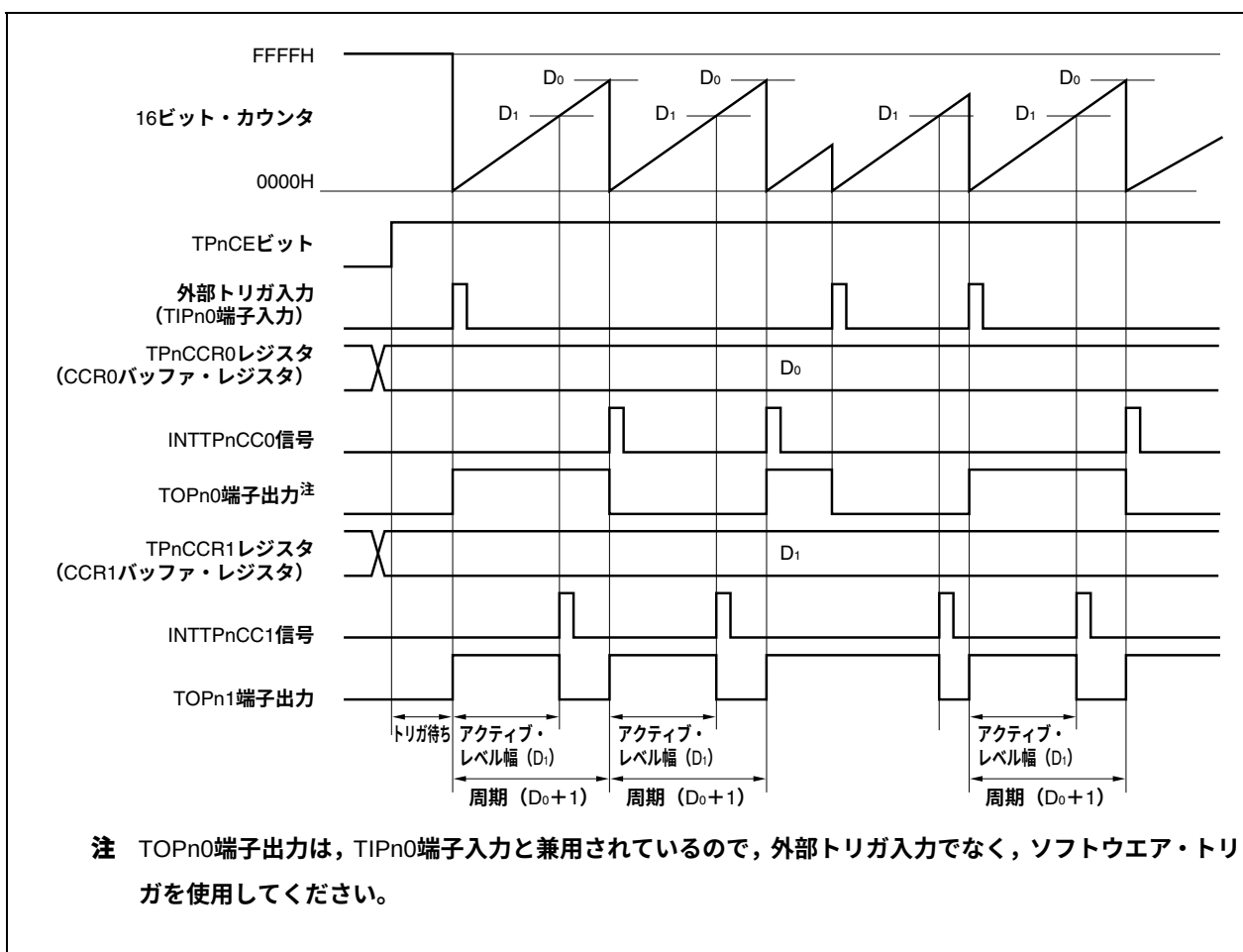


図6-27 外部トリガ・パルス出力モードの基本タイミング



TPnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からPWM波形を出力します。カウント動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TOPn0端子出力は反転します。TOPn1端子出力はトリガが発生したときの状態がロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TPnCCR1レジスタの設定値) × カウント・クロック周期

周期 = (TPnCCR0レジスタの設定値 + 1) × カウント・クロック周期

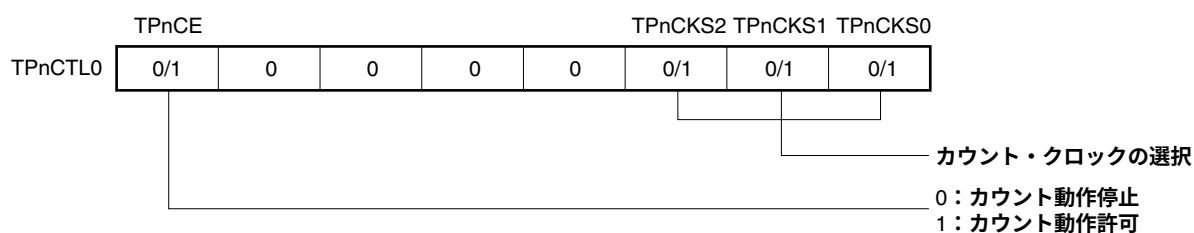
デューティ = (TPnCCR1レジスタの設定値) / (TPnCCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット (1) があります。

図6-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/2)

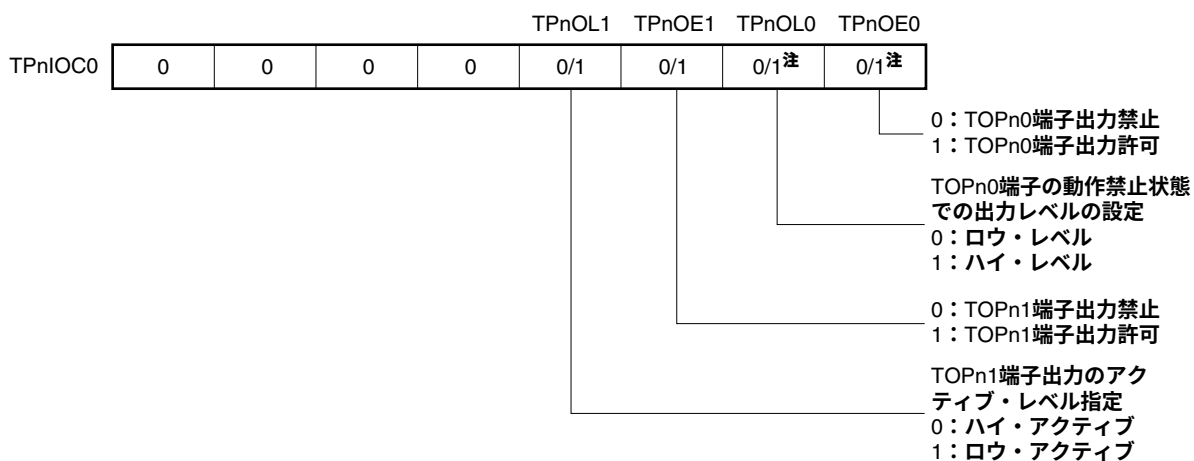
(a) TMPn制御レジスタ0 (TPnCTL0)



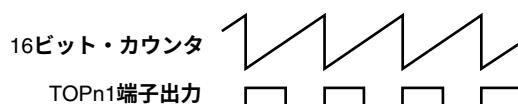
(b) TMPn制御レジスタ1 (TPnCTL1)



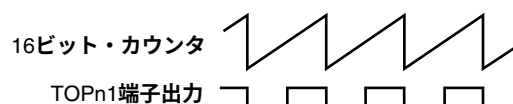
(c) TMPn/O制御レジスタ0 (TPnIOC0)



・ TPnOL1ビット = 0の場合



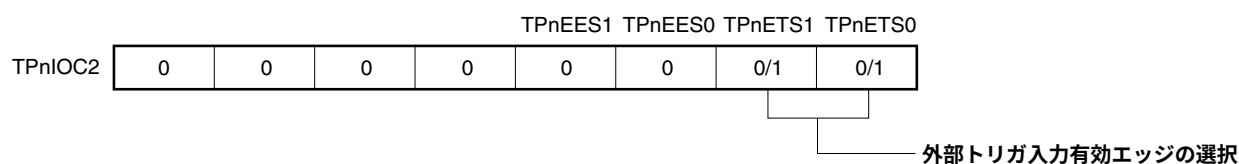
・ TPnOL1ビット = 1の場合



注 外部トリガ・パルス出力でTOPn0端子を使用しない場合は、“0”に設定してください。

図6-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMPnI/O制御レジスタ2 (TPnIOC2)



(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ／コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント} \cdot \text{クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント} \cdot \text{クロック周期}$$

となります。

備考 TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、外部トリガ・パルス出力モードでは使用しません。

(1) 外部トリガ・パルス出力モード動作フロー

図6-29 外部トリガ・パルス出力モード動作タイミングと処理フロー (1/2)

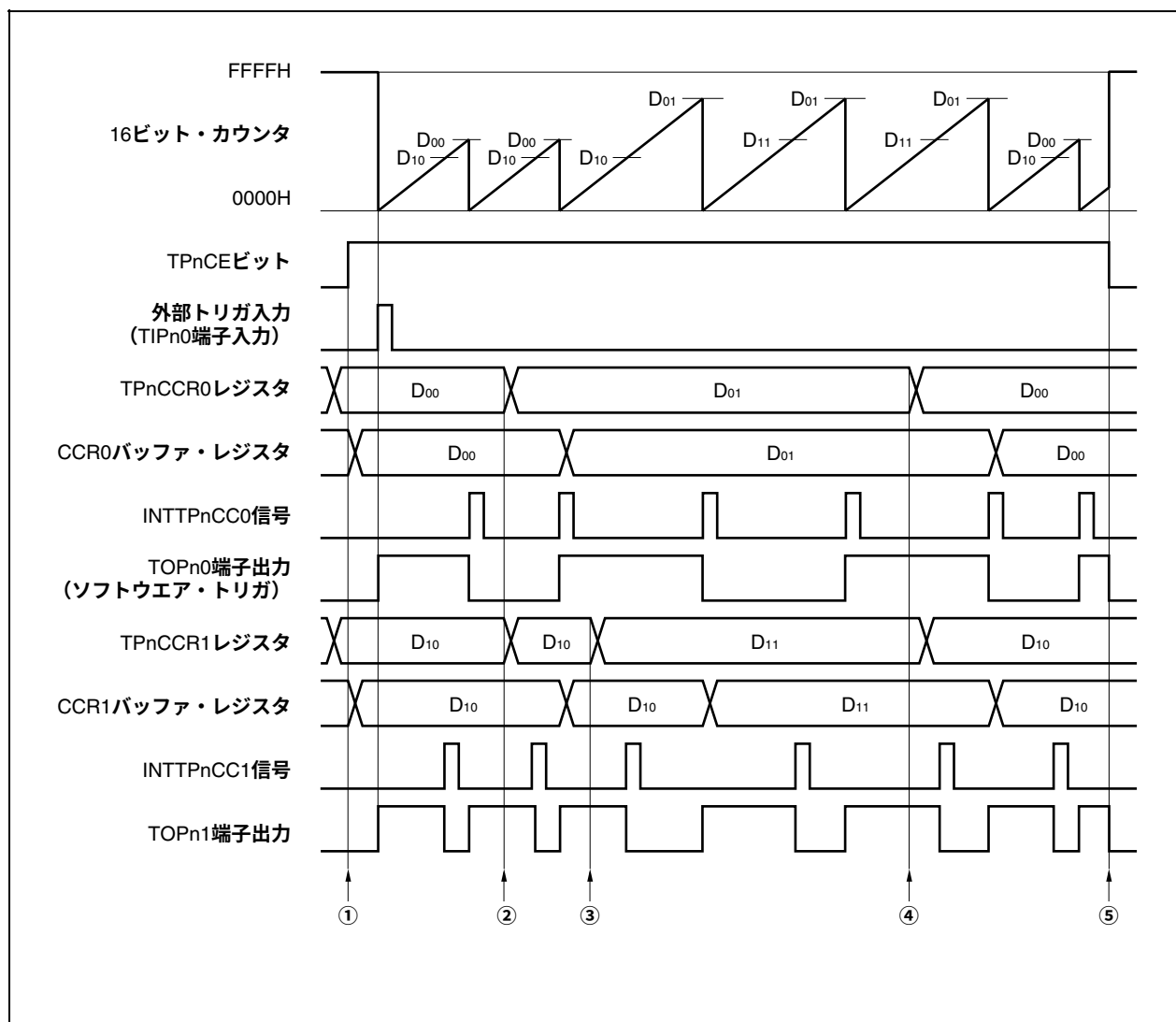
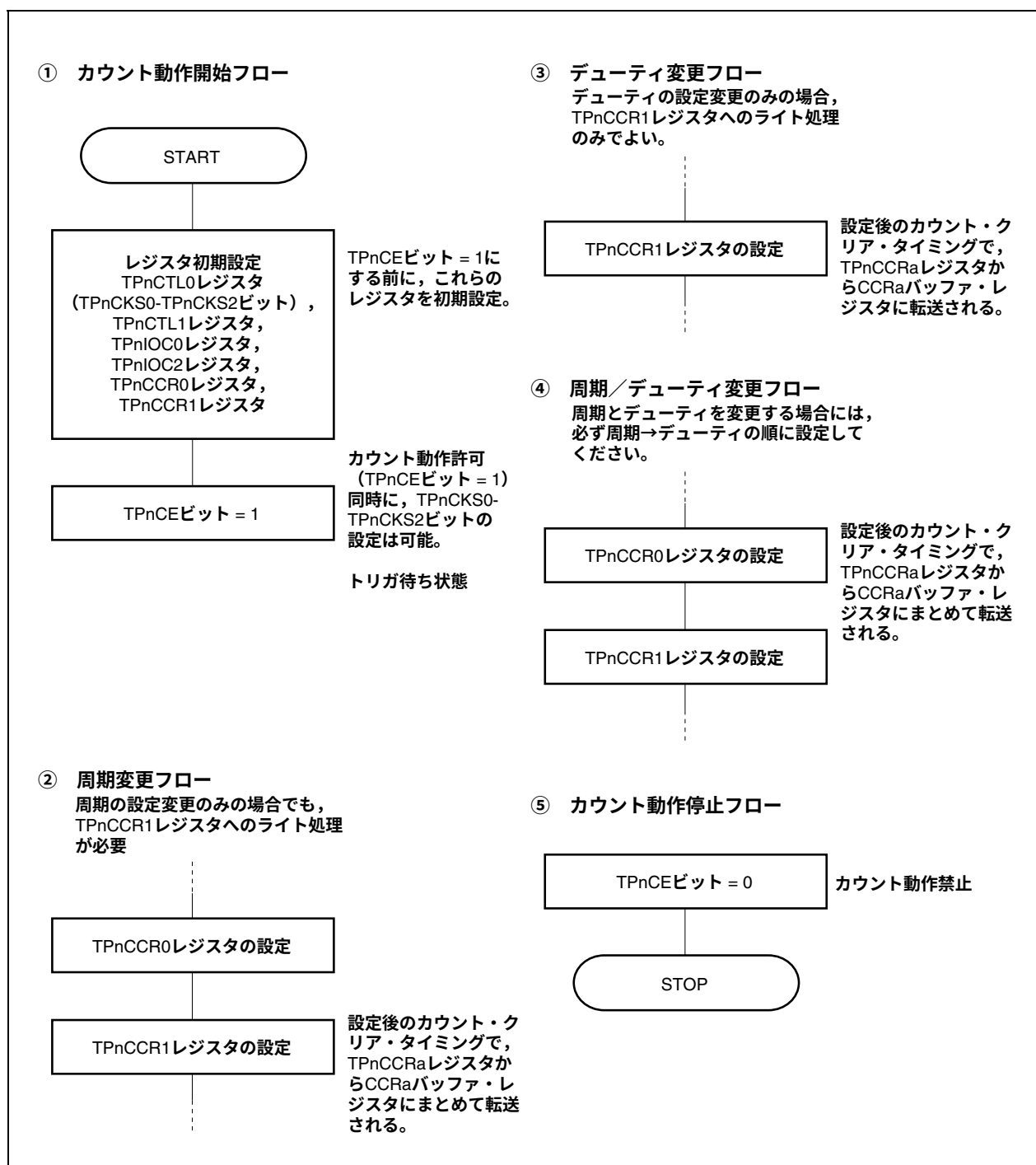


図6-29 外部トリガ・パルス出力モード動作タイミングと処理フロー (2/2)



(2) 外部トリガ・パルス出力モードの応用

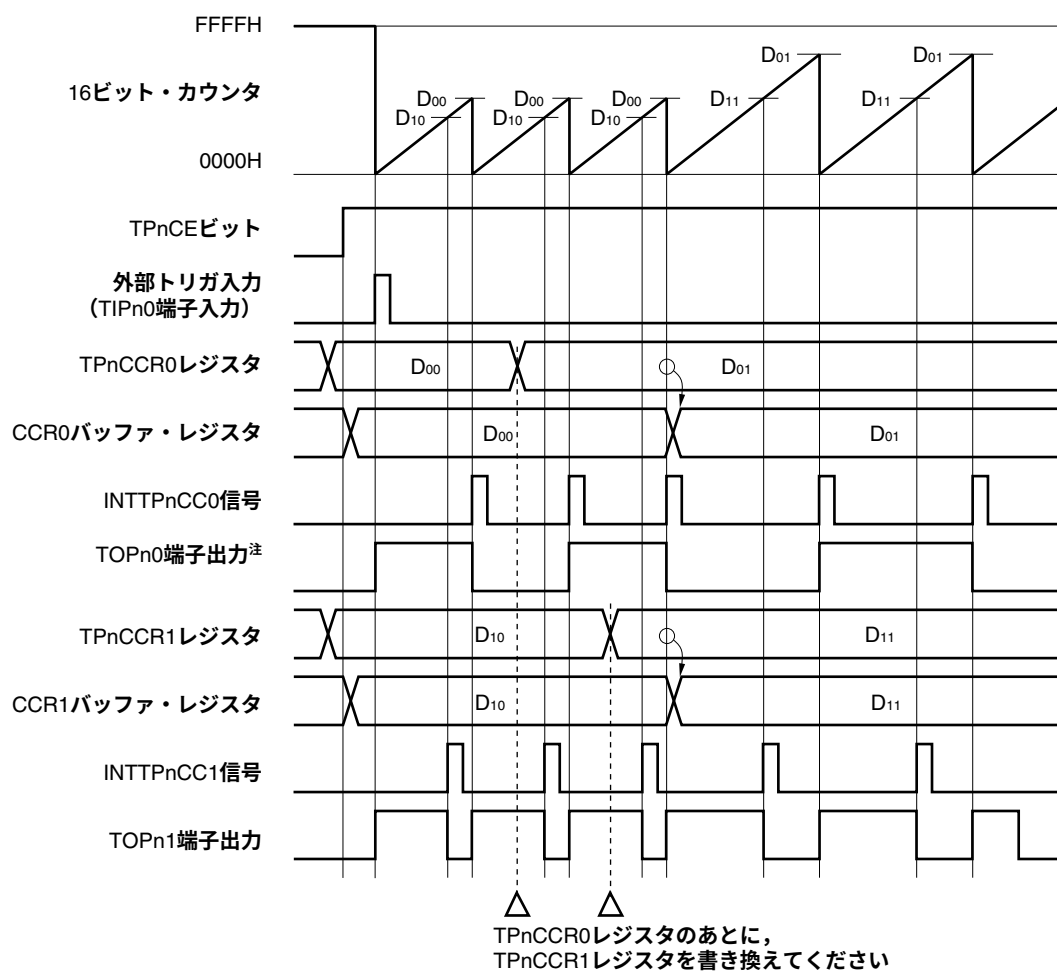
外部トリガ・パルス出力モード時のPWM波形の変更について次に示します。

(a) カウント動作中のPWM波形の変更

カウント動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRaレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。

図6-30 カウント動作中のPWM波形の変更



注 TOPn0端子は、TIPn0端子入力と兼用されているので、外部トリガ入力でなく、ソフトウェア・トリガを使用してください。

TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

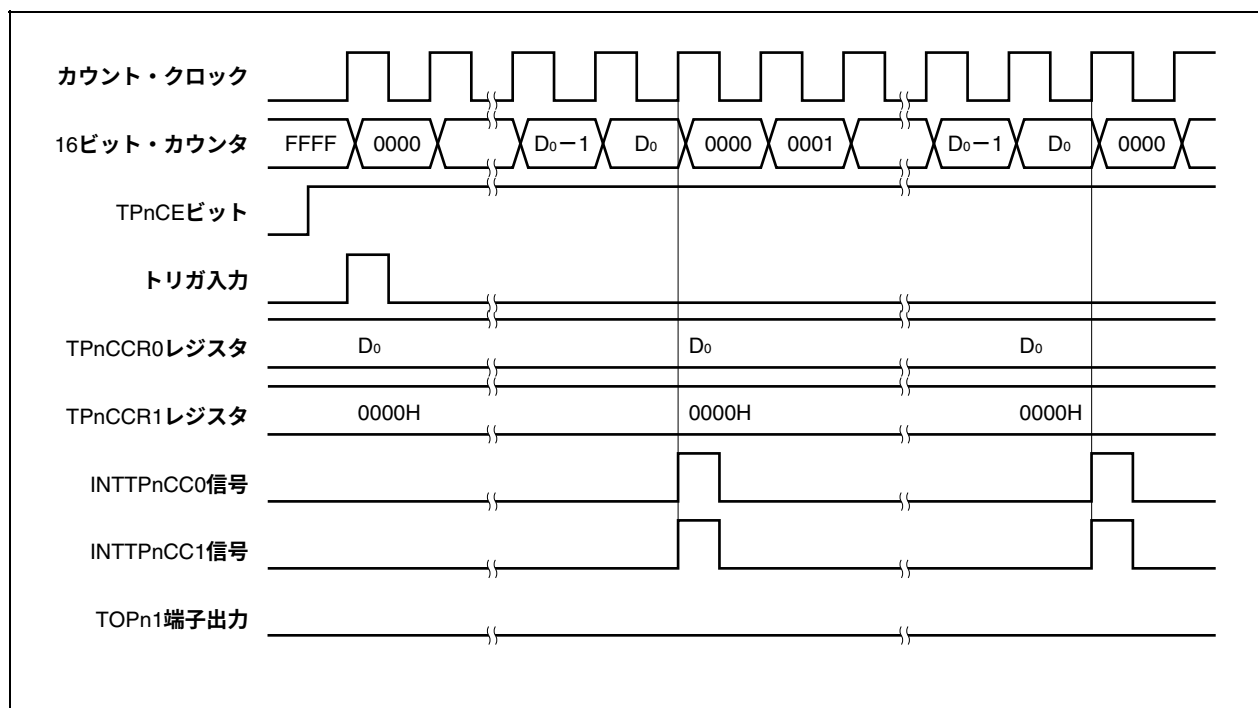
- <1> PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。
- <2> PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。
- <3> PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

注意 一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0、またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

(b) 外部トリガ・パルス出力モードのPWM波形の0 %/100 %出力

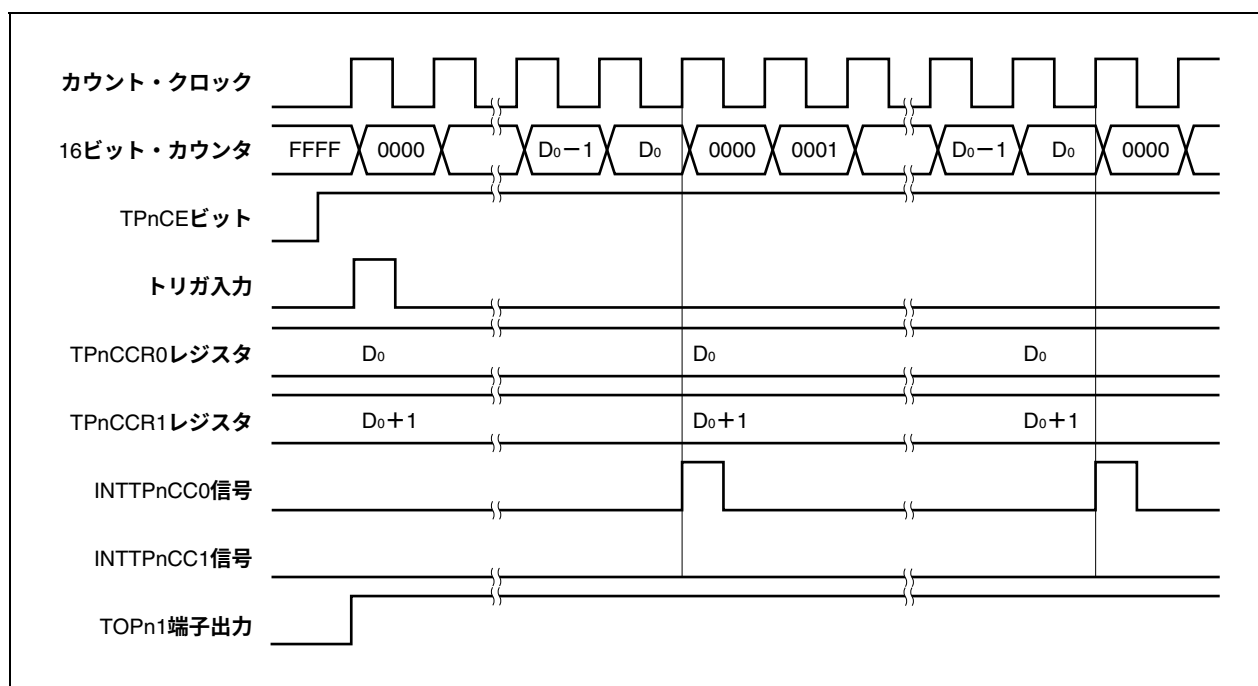
0 %波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。ただし、TPnCCR0レジスタの設定値がFFFFHの場合には、INTTPnCC1信号が定期的に発生します。

図6-31 PWM波形の0 %出力



100 %波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値+1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

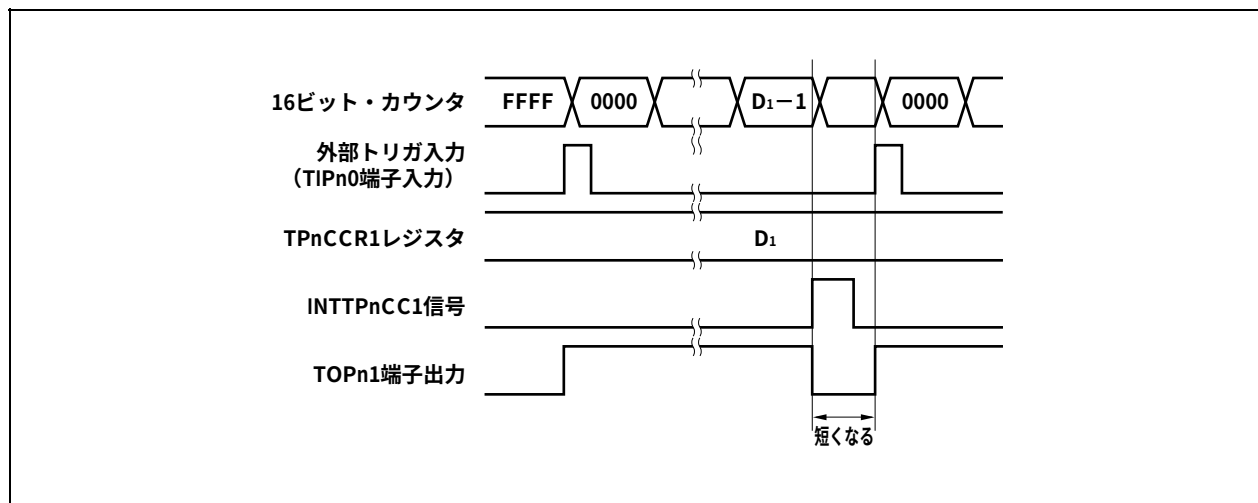
図6-32 PWM波形の100 %出力



(c) 16ビット・カウンタとTPnCCR1レジスタとの一致付近でのトリガ検出

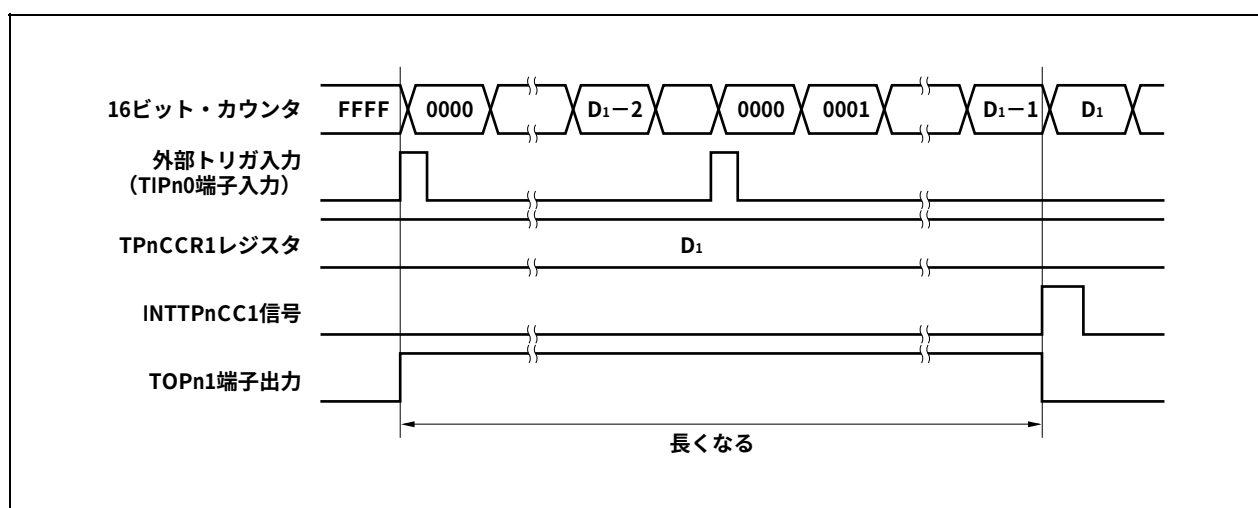
INTTPnCC1信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

図6-33 INTTPnCC1信号発生直後のトリガ検出



INTTPnCC1信号発生直前にトリガを検出した場合には、INTTPnCC1信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOPn1端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

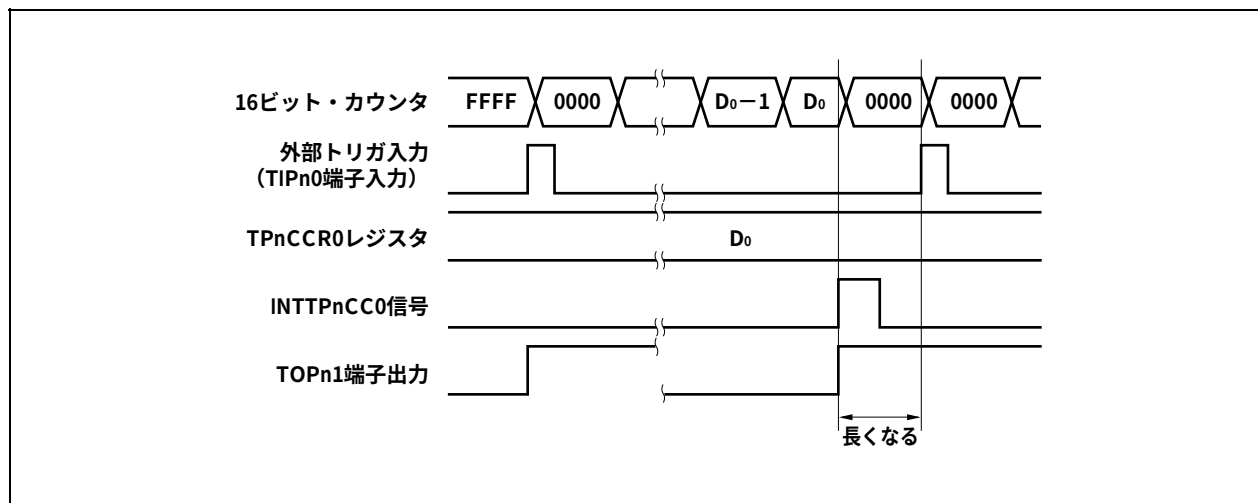
図6-34 INTTPnCC1信号発生直前のトリガ検出



(d) 16ビット・カウンタとTPnCCR0レジスタとの一致付近でのトリガ検出

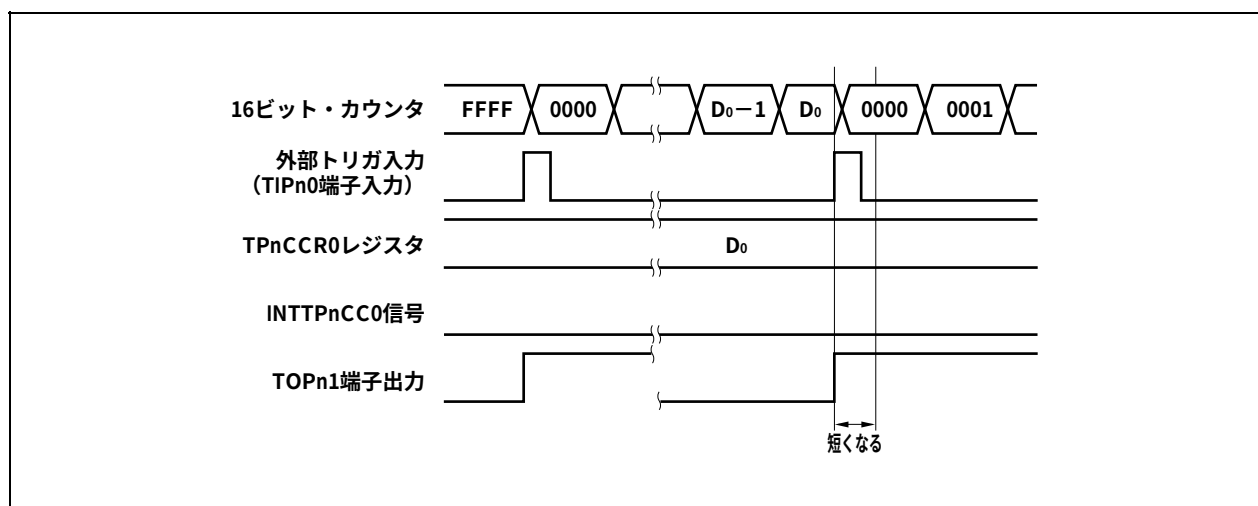
INTTPnCC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOPn1端子出力のアクティブ期間が、INTTPnCC0信号発生からトリガ検出までの分だけ長くなります。

図6-35 INTTPnCC0信号発生直後のトリガ検出



INTTPnCC0信号発生直前にトリガを検出した場合、INTTPnCC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOPn1端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。

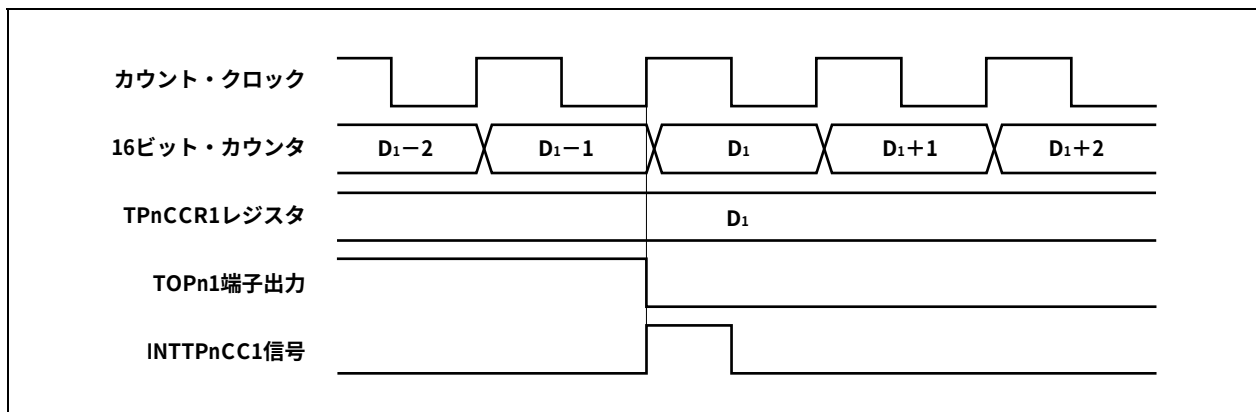
図6-36 INTTPnCC0信号発生直前のトリガ検出



(e) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

外部トリガ・パルス出力モードでは, 16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値と
の一致と同時にINTTPnCC1信号が発生します。

図6-37 コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング



6.4.4 ワンショット・パルス出力モード (TPnMD2-TPnMD0ビット = 011)

ワンショット・パルス出力モードは、TPnCTL0.TPnCEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOPn1端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOPn0端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

- 備考1. TIPn0, TOPn0, TOPn1端子の設定については表6-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTPnCC0, INTTPnCC1信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図6-38 ワンショット・パルス出力モードの構成図

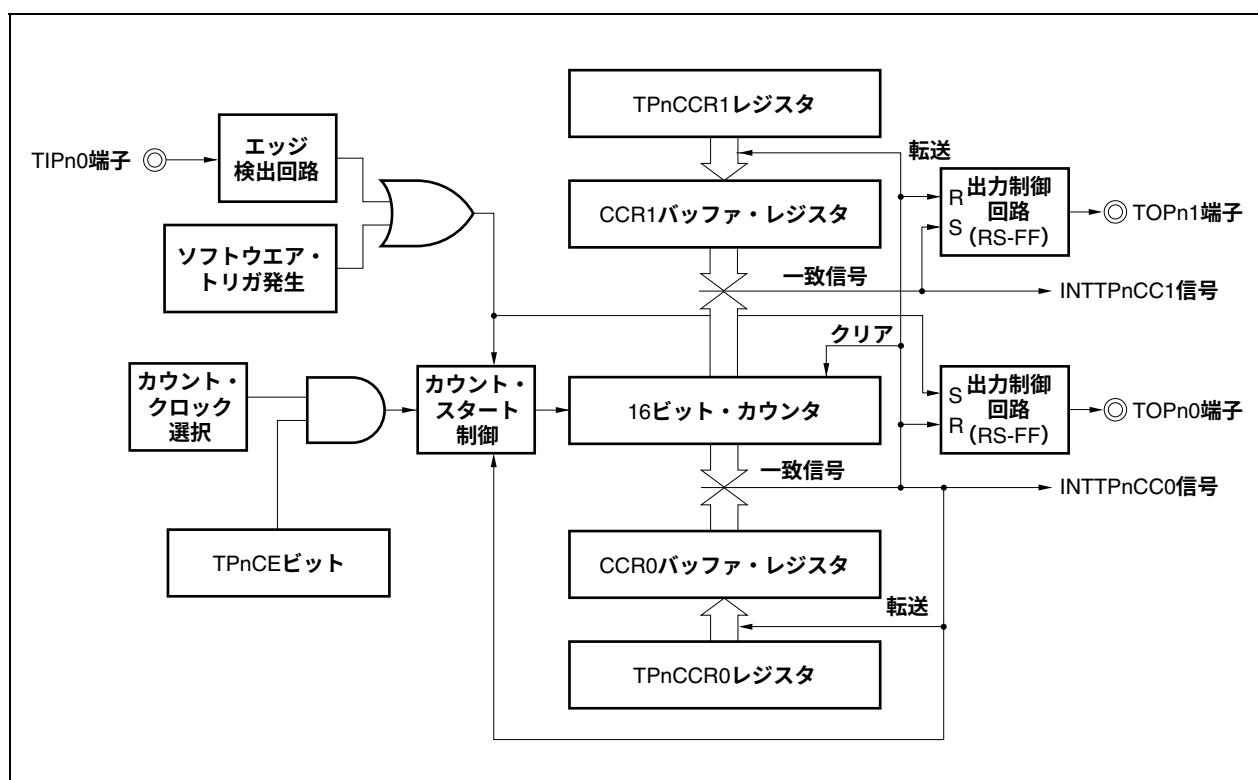
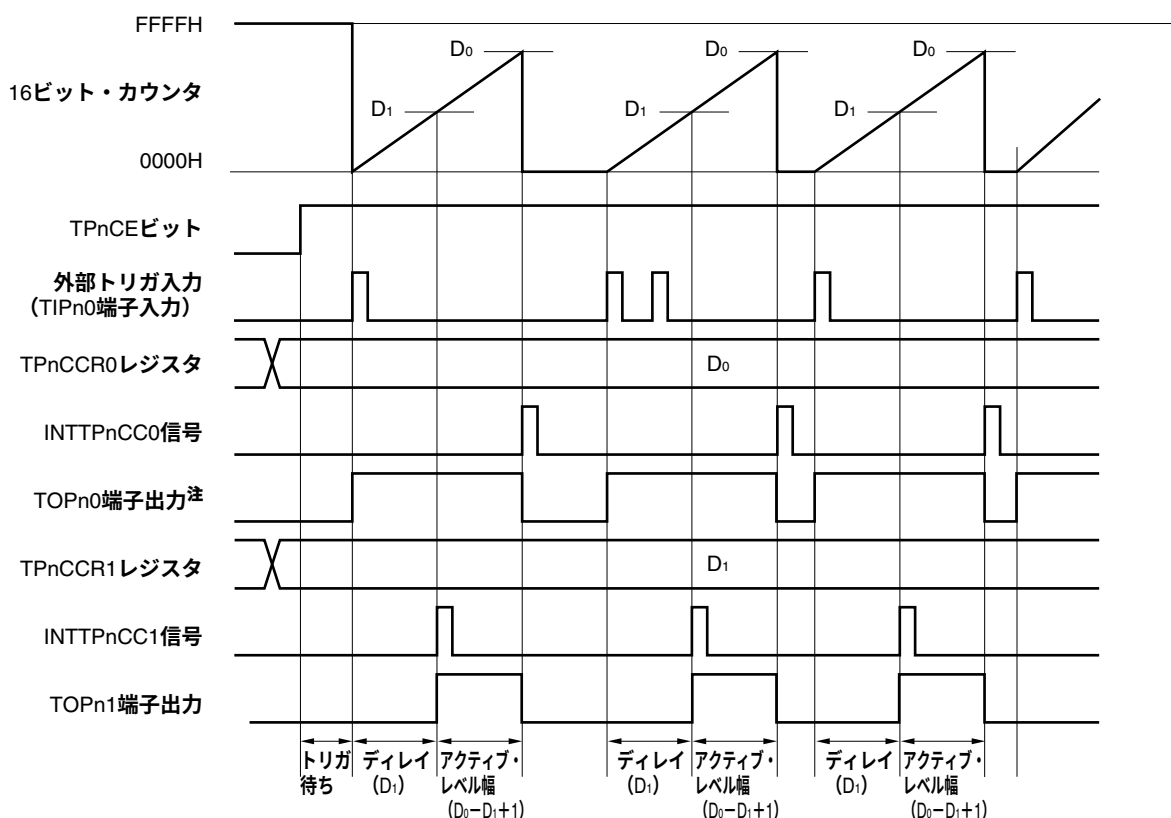


図6-39 ワンショット・パルス出力モードの基本タイミング



注 TOPn0端子出力は、TIPn0端子入力と兼用されているので、外部トリガ入力ではなく、ソフトウェア・トリガを使用してください。

TPnCEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からワンショット・パルスを出します。ワンショット・パルスを出したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TPnCCR1レジスタの設定値) × カウント・クロック周期

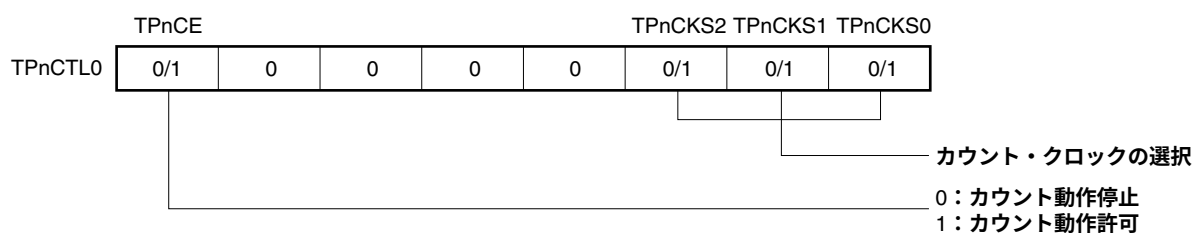
アクティブ・レベル幅 = (TPnCCR0レジスタの設定値 - TPNCCR1レジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

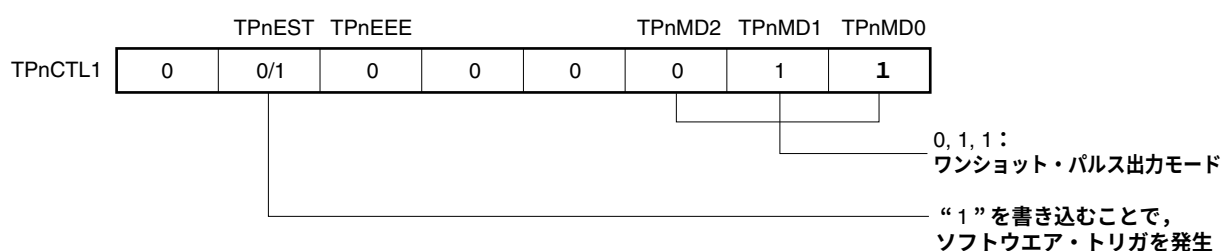
トリガ条件には、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TPnCTL1.TPnESTビット) のセット (1) があります。

図6-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/2)

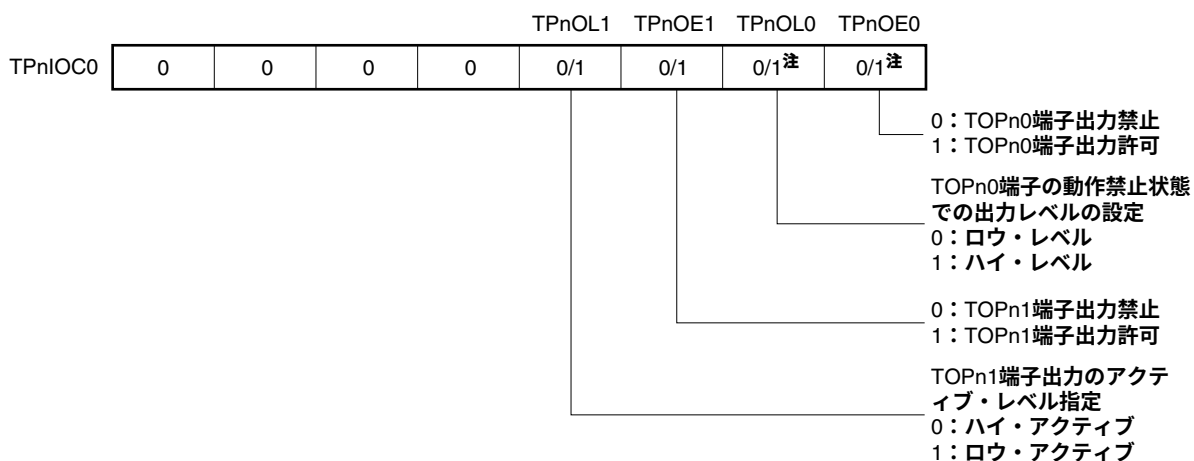
(a) TMPn制御レジスタ0 (TPnCTL0)



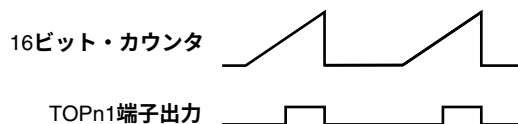
(b) TMPn制御レジスタ1 (TPnCTL1)



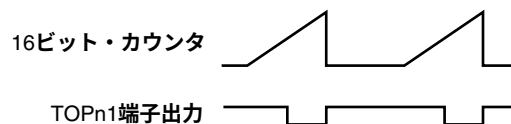
(c) TMPnI/O制御レジスタ0 (TPnIOC0)



・TPnOL1ビット = 0の場合



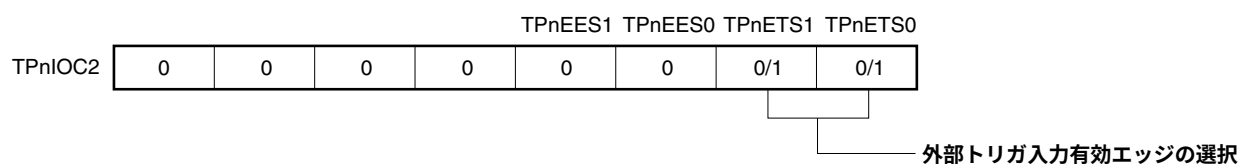
・TPnOL1ビット = 1の場合



注 ワンショット・パルス出力モードでTOPn0端子を使用しない場合は、“0”に設定してください。

図6-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/2)

(d) TMPnI/O制御レジスタ2 (TPnIOC2)



(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ／コンペア・レジスタ_{0, 1} (TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = (D₀ - D₁ + 1) × カウント・クロック周期

ワンショット・パルスの出力ディレイ期間 = D₁ × カウント・クロック周期

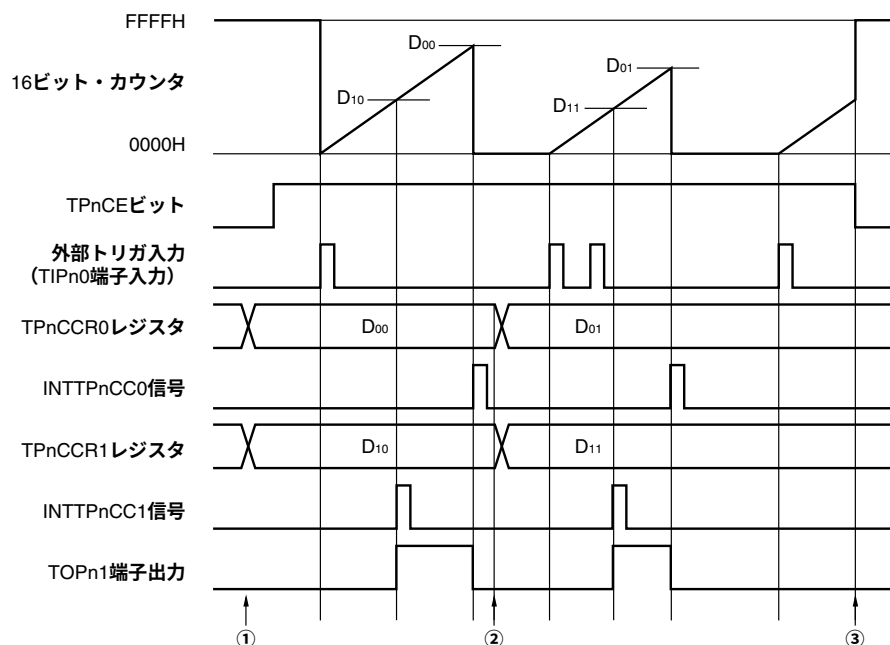
となります。

注意 ワンショット・パルス出力モードにおいて、TPnCCR1レジスタの設定値がTPnCCR0レジスタの設定値より大きい場合、TOPn1端子からワンショット・パルスは出力しません。

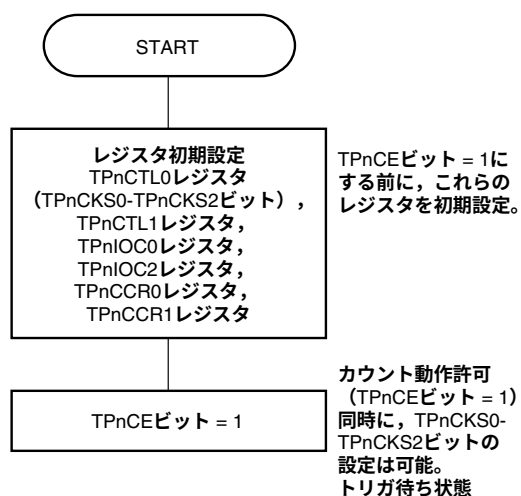
備考 TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、ワンショット・パルス出力モードでは使用しません。

(1) ワンショット・パルス出力モード動作フロー

図6-41 ワンショット・パルス出力モード動作タイミングと処理フロー



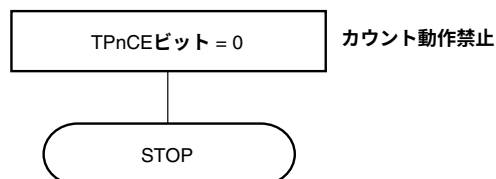
① カウント動作開始フロー



② TPNCCR0, TPNCCR1レジスタ設定変更フロー



③ カウント動作停止フロー



(2) ワンショット・パルス出力モードの応用

(a) TPnCCRaレジスタの書き換え

TPnCCRaレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

TPnCCR0レジスタをD₀₀からD₀₁に、TPnCCR1レジスタをD₁₀からD₁₁に書き換える場合において、TPnCCR0、TPnCCR1レジスタを次のような条件で書き換えた場合、本来期待しているワンショット・パルスが出力できません。

<条件1>TPnCCR0を次の条件で書き換えた場合

$$D_{00} > D_{01}$$

$$D_{00} < 16 \text{ ビット・カウンタのカウント値} < D_{01}$$

<条件1>の場合、16ビット・カウンタは、書き換えた周期ではクリアされずオーバフローを起こし、書き換えたあとの値 (D₀₁) ではじめてクリアされます。

<条件2>TPnCCR0を次の条件で書き換えた場合

$$D_{10} > D_{11}$$

$$D_{10} < 16 \text{ ビット・カウンタのカウント値} < D_{11}$$

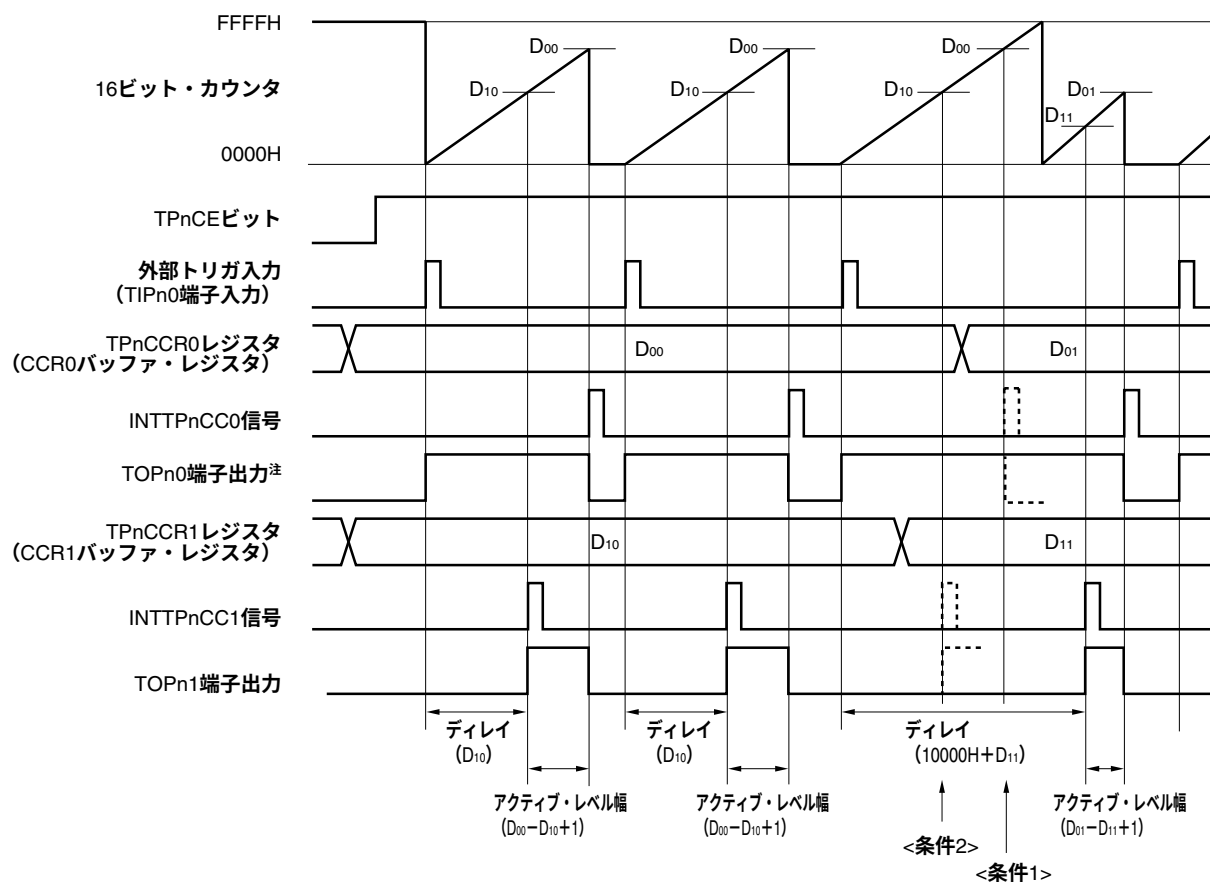
<条件2>の場合、TOPn1端子出力は書き換えた周期では、アクティブ・レベルに反転することができません。

<条件1>と<条件2>同じ周期で起こった例が図6-42です。

カウント値はFFFFHまでカウント動作を行い、オーバフローし、0000Hから再度カウント・アップを行います。

D₁₁との一致でINTTPnCC1信号を発生してTOPn1端子出力をアクティブ・レベルにし、D₀₁との一致でINTTPnCC0信号を発生してTOPn1端子出力をインアクティブにしてカウント動作を停止します。

図6-42 TPnCCRaレジスタの書き換え

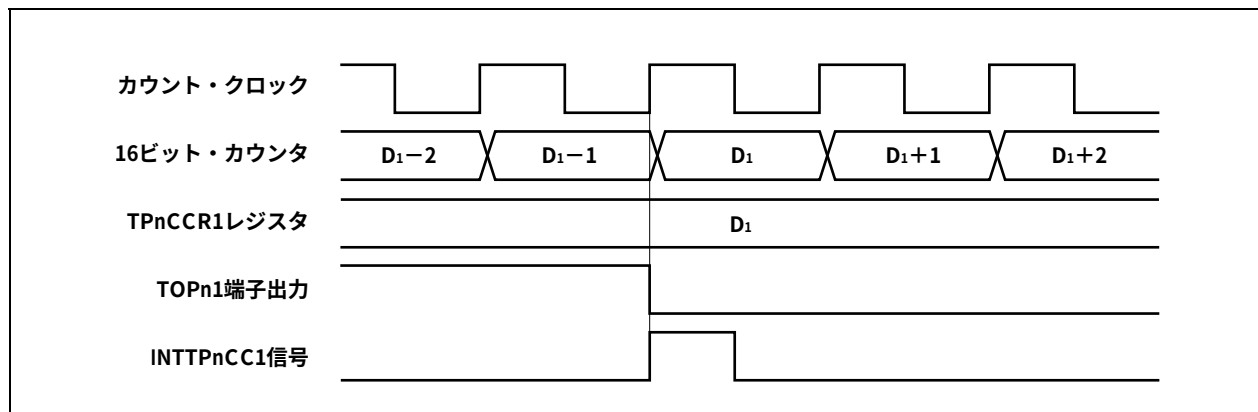


注 TOPn0端子は、TIPn0端子入力と兼用されているので、外部トリガ入力でなく、ソフトウェア・トリガを使用してください。

(b) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

ワンショット・パルス出力モードでは、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時にINTTPnCC1信号が発生します。

図6-43 コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング



6.4.5 PWM出力モード (TPnMD2-TPnMD0ビット = 100)

PWM出力モードは、TPnCTL0.TPnCEビットをセット (1) することで、TOPn1端子からPWM波形を出力します。

また、TOPn0端子から、PWM波形の1周期を半周期とするパルスを出力します。

- 備考1.** TIPn0, TOPn0, TOPn1端子の設定については表6-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。
- 2.** INTTPnCC0, INTTPnCC1信号の割り込み許可については、第19章 割り込み／例外処理機能を参照してください。

図6-44 PWM出力モードの構成図

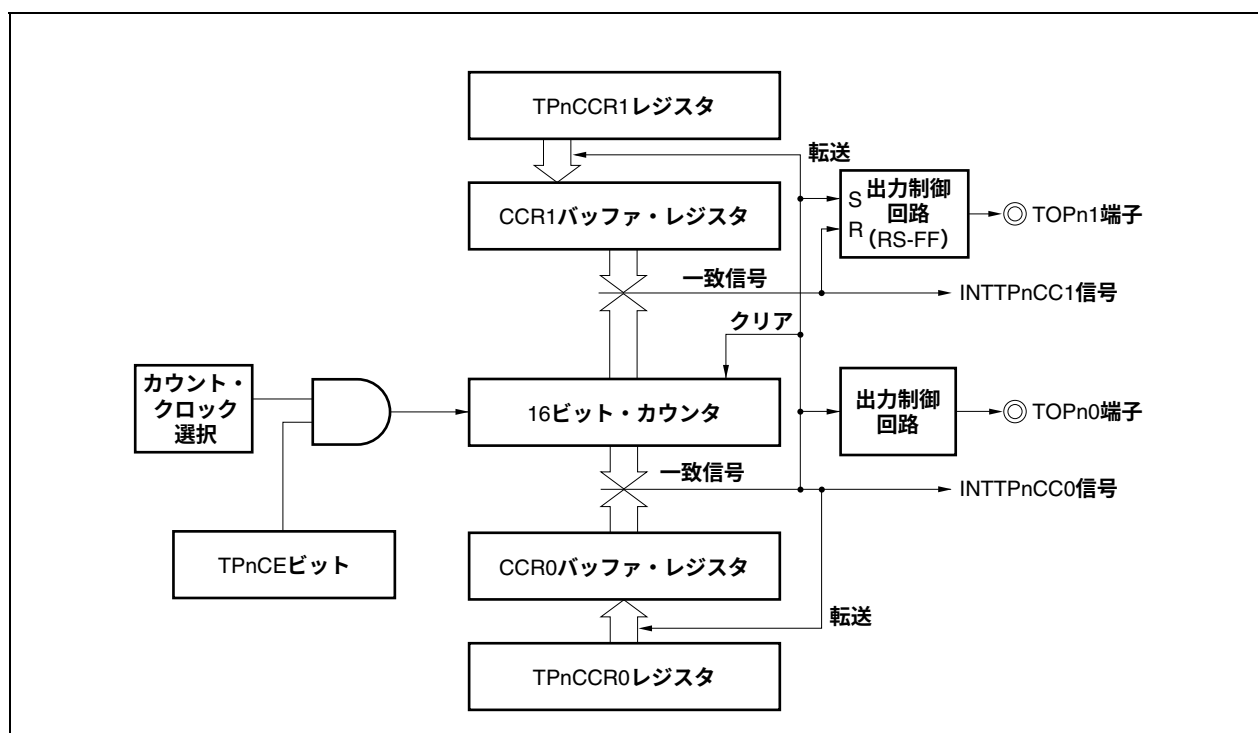
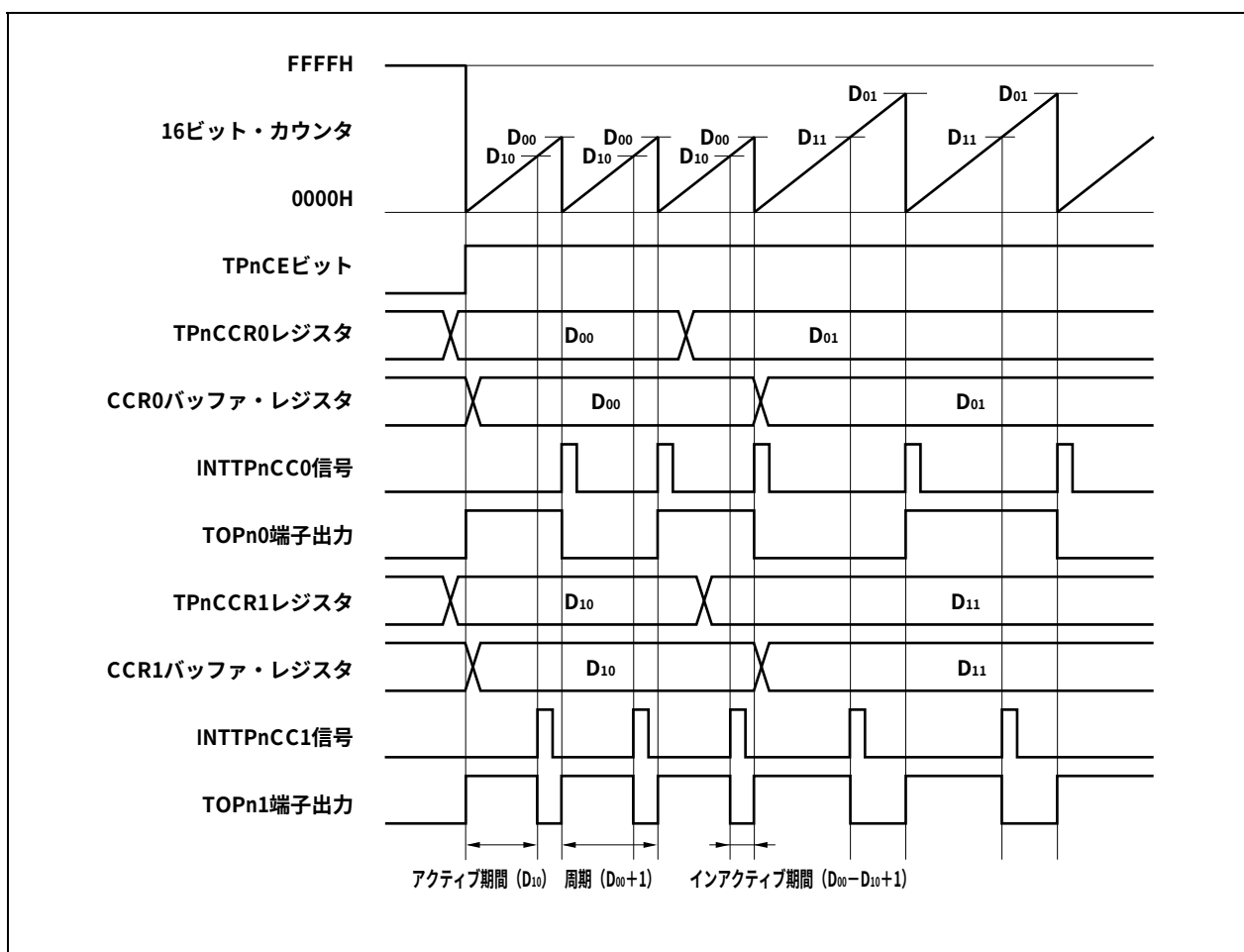


図6-45 PWM出力モードの基本タイミング



TPnCEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOPn1端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TPnCCR1レジスタの設定値) × カウント・クロック周期

周期 = (TPnCCR0レジスタの設定値 + 1) × カウント・クロック周期

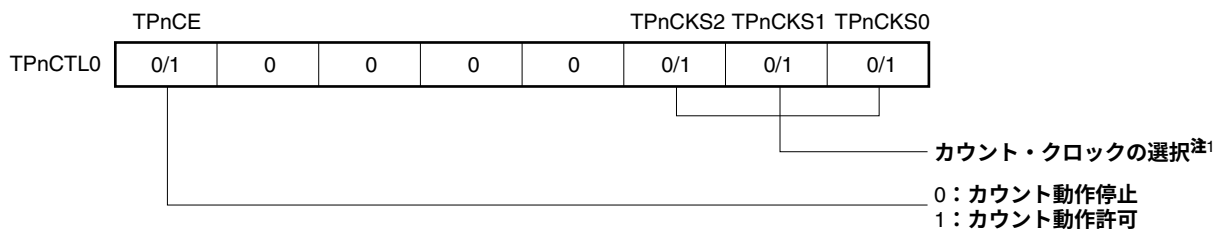
デューティ = (TPnCCR1レジスタの設定値) / (TPnCCR0レジスタの設定値 + 1)

動作中にTPnCCR_aレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

コンペアー一致割り込み要求信号 (INTTPnCC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTPnCC1) は、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致するタイミングで発生します。

図6-46 PWM出力モード動作時のレジスタ設定内容 (1/2)

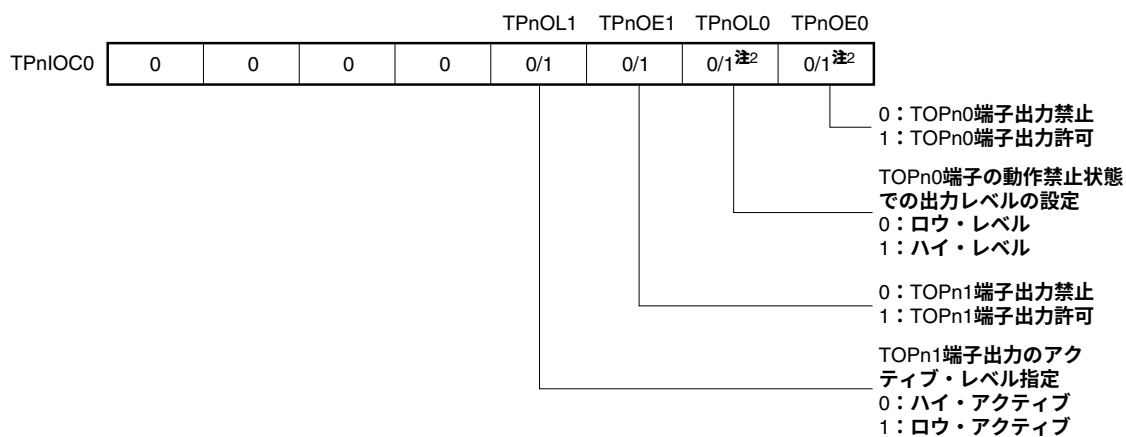
(a) TMPn制御レジスタ0 (TPnCTL0)



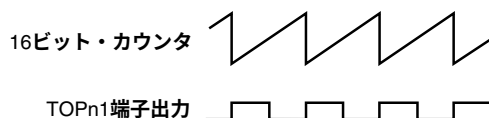
(b) TMPn制御レジスタ1 (TPnCTL1)



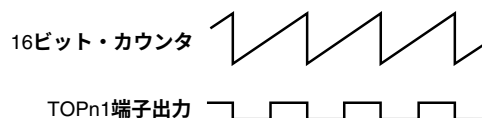
(c) TMPnI/O制御レジスタ0 (TPnIOC0)



・ TPnOL1ビット = 0の場合



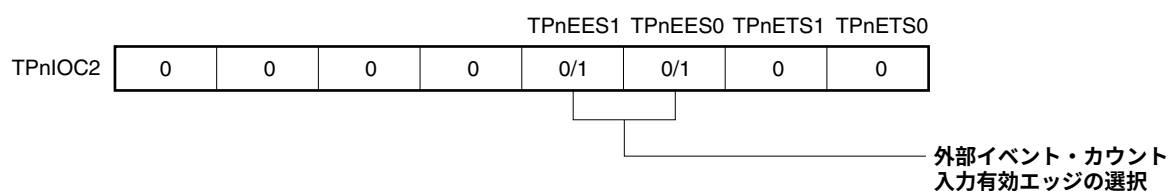
・ TPnOL1ビット = 1の場合

**注1.** TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

2. PWM出力モードでTOPn0端子を使用しない場合は, “0” に設定してください。

図6-46 PWM出力モード動作時のレジスタ設定内容 (2/2)

(d) TMPnI/O制御レジスタ2 (TPnIOC2)



(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMPnキャプチャ／コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TPnCCR0レジスタにD₀を設定し、TPnCCR1レジスタにD₁を設定した場合、

$$\text{PWM波形の周期} = (D_0 + 1) \times \text{カウント・クロック周期}$$

$$\text{PWM波形のアクティブ・レベル幅} = D_1 \times \text{カウント・クロック周期}$$

となります。

備考 TMPnI/O制御レジスタ1 (TPnIOC1) , TMPnオプション・レジスタ0 (TPnOPT0) は、PWM出力モードでは使用しません。

(1) PWM出力モード動作フロー

図6-47 PWM出力モード動作タイミングと処理フロー (1/2)

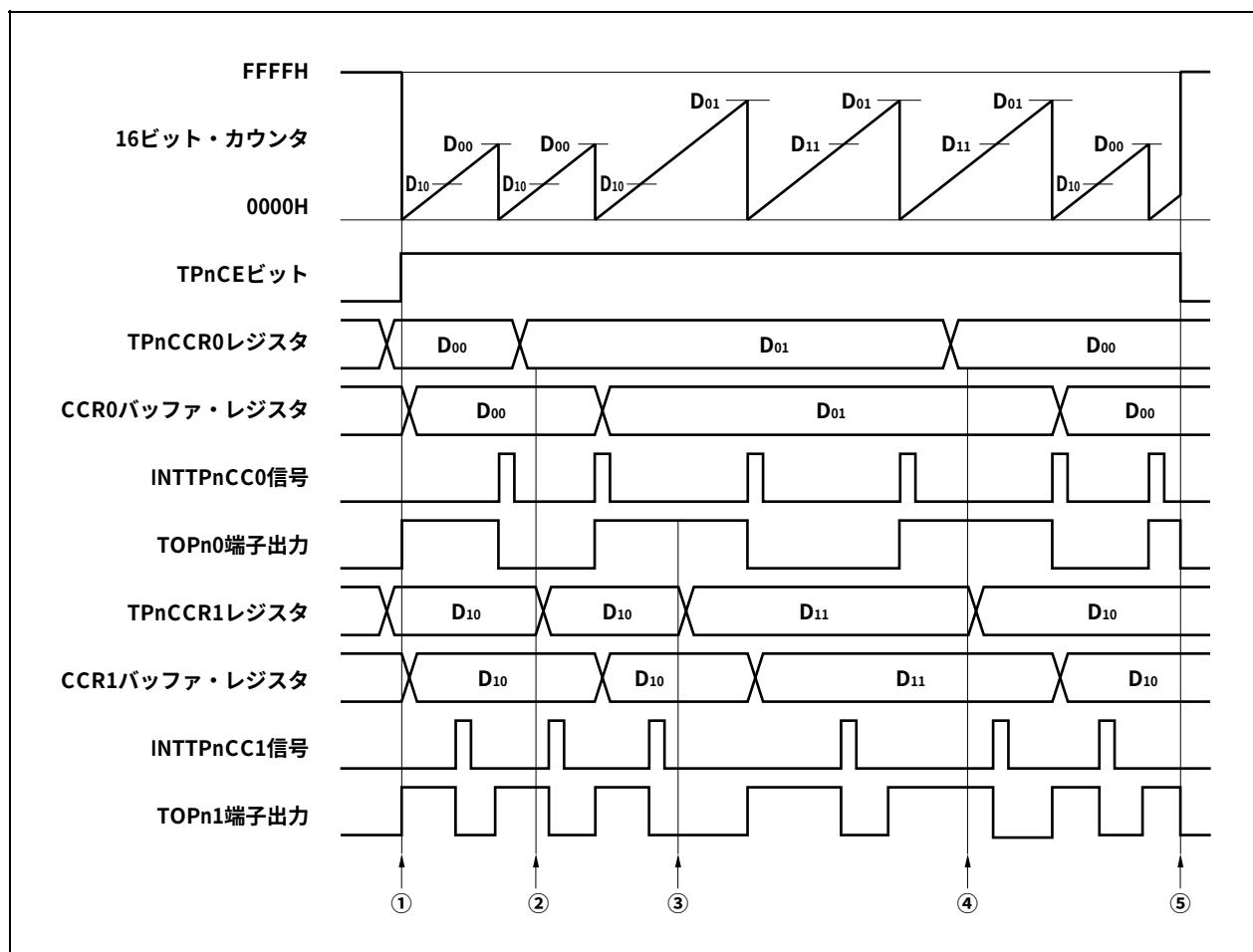
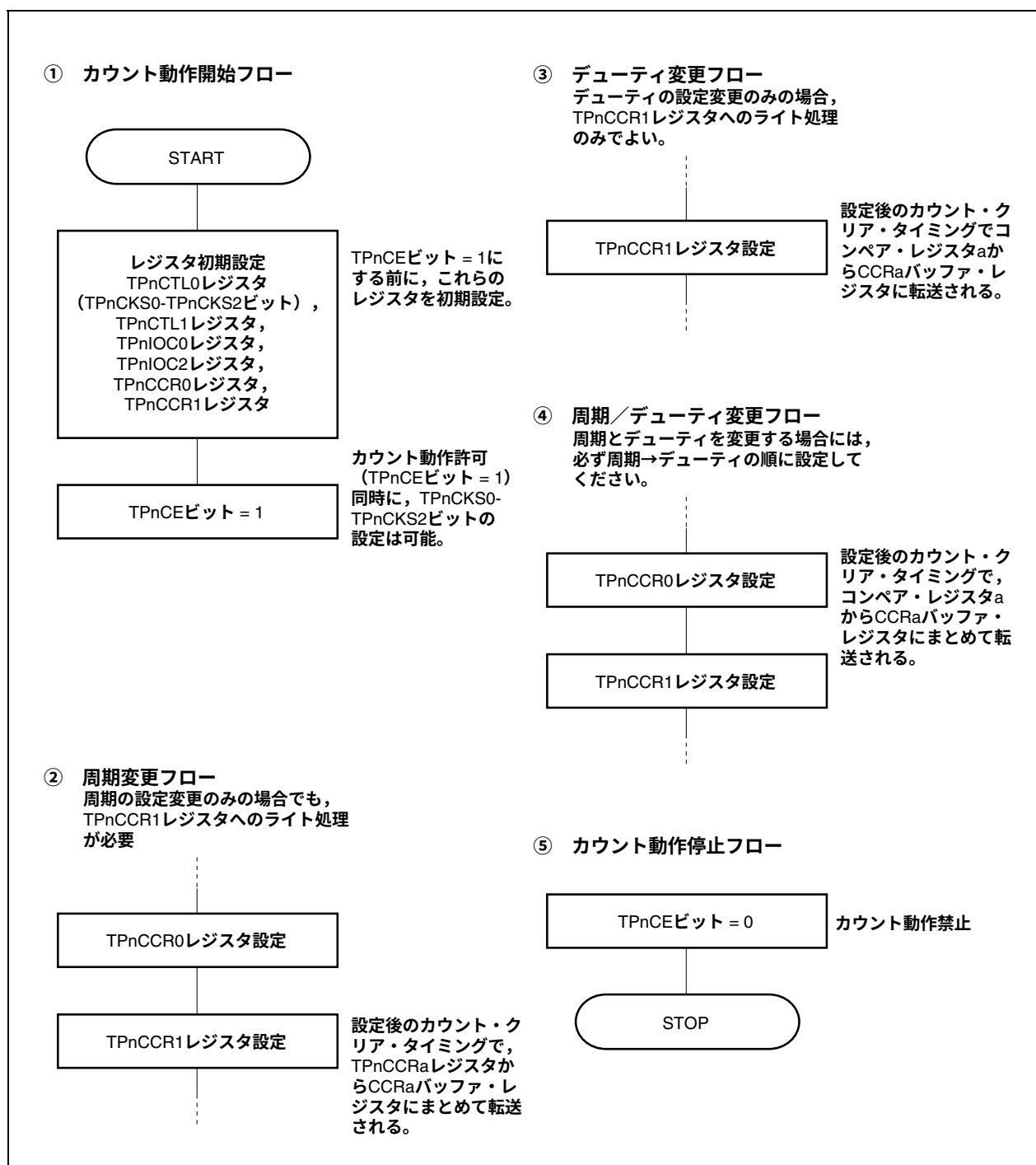


図6-47 PWM出力モード動作タイミングと処理フロー (2/2)



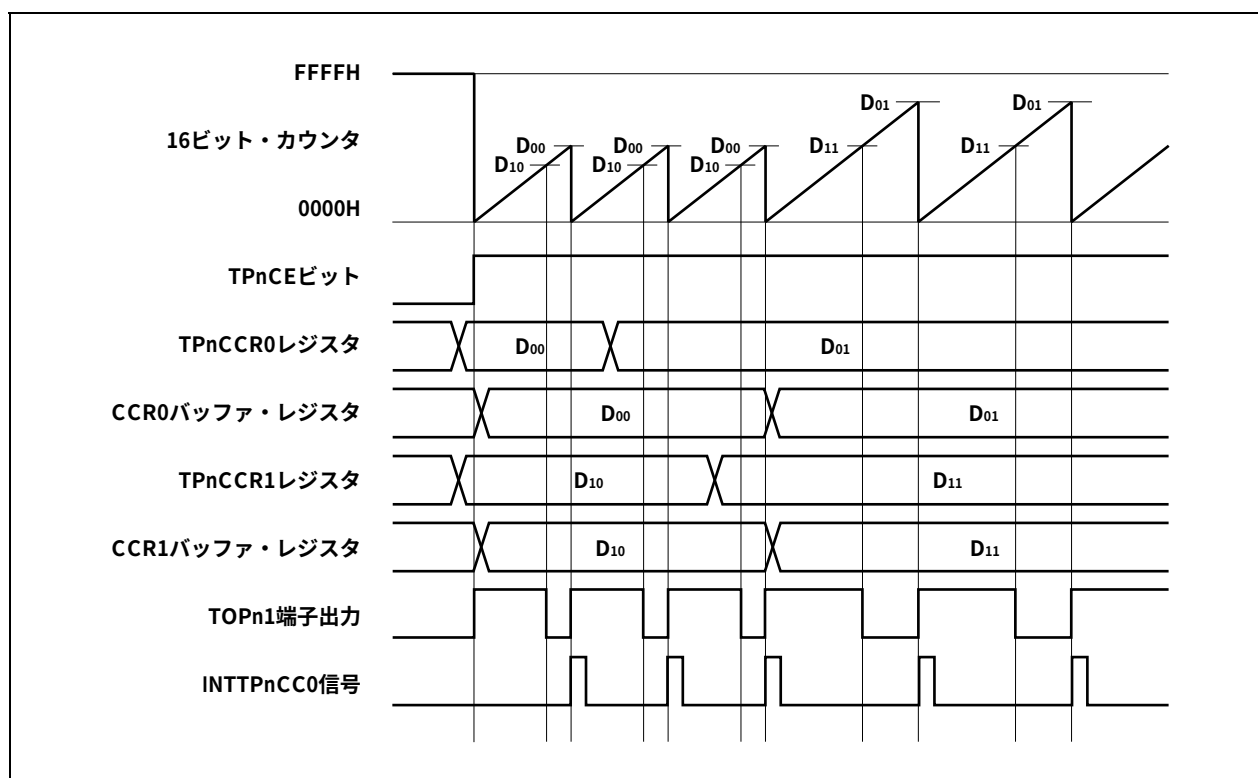
(2) PWM出力モードの応用

(a) カウント動作中のPWM波形の変更

カウント動作中にPWM波形を変更する場合には、最後にTPnCCR1レジスタにライトしてください。

TPnCCR1レジスタにライト後、再度TPnCCRaレジスタの書き換えを行う場合には、INTTPnCC0信号を検出後に書き換えてください。

図6-48 カウント動作中のPWM波形の変更



TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送を行うためには、TPnCCR1レジスタに対してライトする必要があります。

TPnCCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TPnCCRaレジスタに書き込まれた値がCCRaバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

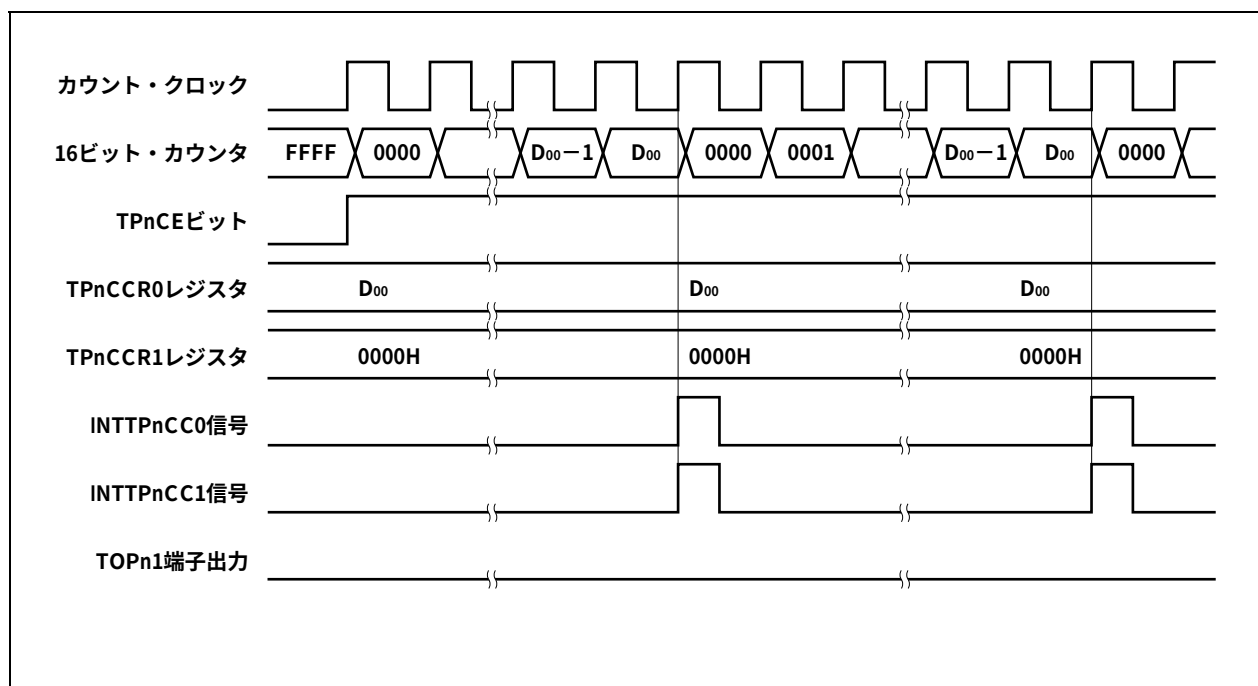
- <1> PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタにアクティブ・レベル幅を設定してください。
- <2> PWM波形の周期だけを変更する場合には、まずTPnCCR0レジスタに周期を設定し、そのあとでTPnCCR1レジスタに同値をライトしてください。
- <3> PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TPnCCR1レジスタのみの設定でかまいません。

注意 一度TPnCCR1レジスタにライトしたあとで、再度TPnCCR0, またはTPnCCR1レジスタへのライトを行う場合は、INTTPnCC0信号の発生後に行ってください。これを守れない場合には、TPnCCRaレジスタからCCRaバッファ・レジスタへのデータ転送タイミングと、TPnCCRaレジスタの書き換えの競合により、CCRaバッファ・レジスタの値が不定値になる場合があります。

(b) PWM波形の0 %/100 %出力

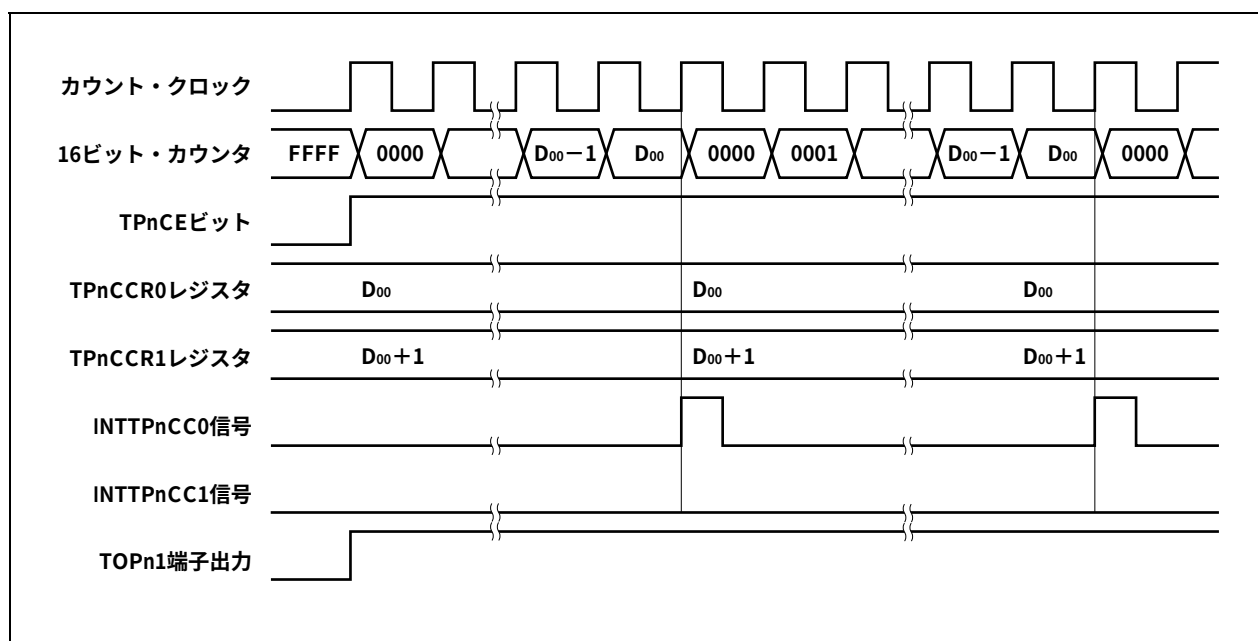
0 %波形を出力するためには、TPnCCR1レジスタに対して0000Hを設定します。

図6-49 PWM波形の0 %出力



100 %波形を出力するためには、TPnCCR1レジスタに対して (TPnCCR0レジスタの設定値+1) の値を設定してください。TPnCCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

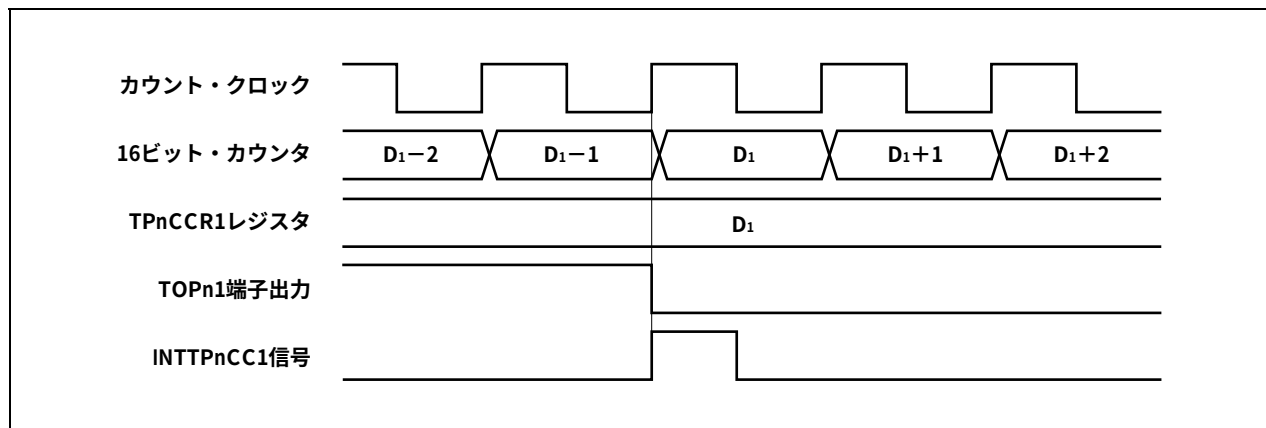
図6-50 PWM波形の100 %出力



(c) コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

PWM出力モードでは、16ビット・カウンタのカウンタ値とTPnCCR1レジスタの値との一致と同時にINTTPnCC1信号が発生します。

図6-51 コンペアー一致割り込み要求信号 (INTTPnCC1) の発生タイミング

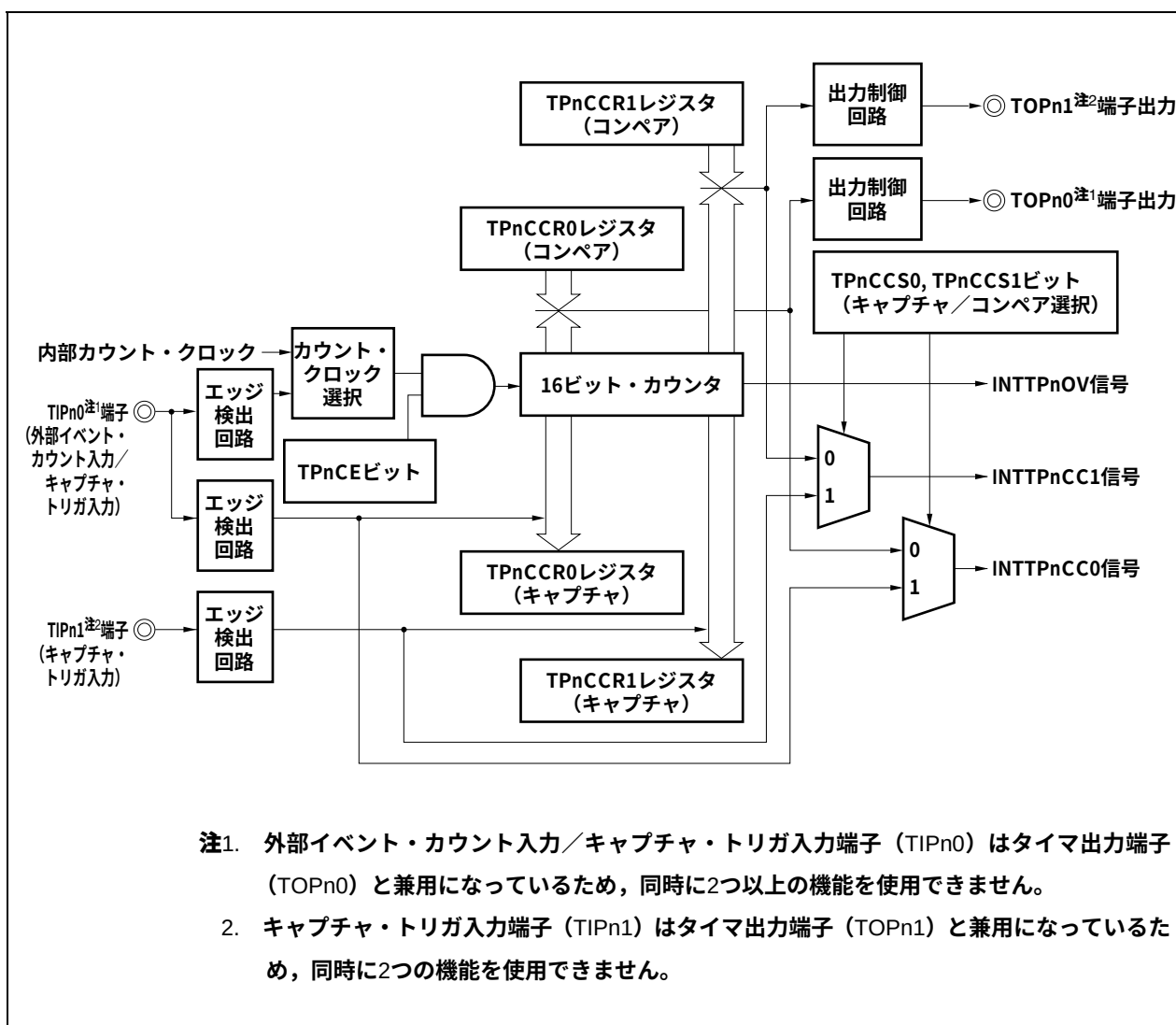


6.4.6 フリー・ランニング・タイマ・モード (TPnMD2-TPnMD0ビット = 101)

フリー・ランニング・タイマ・モードは、TPnCTL0.TPnCEビットをセット (1) することでカウント動作を開始します。このときのTPnCCRaレジスタの動作は、TPnOPT0.TPnCCS0, TPnCCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます ($n = 0, 1$)。

- 備考1. TIPn0, TIPn1, TOPn0, TOPn1端子の設定については表6-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTPnCC0, INTTPnCC1信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図6-52 フリー・ランニング・タイマ・モードの構成図



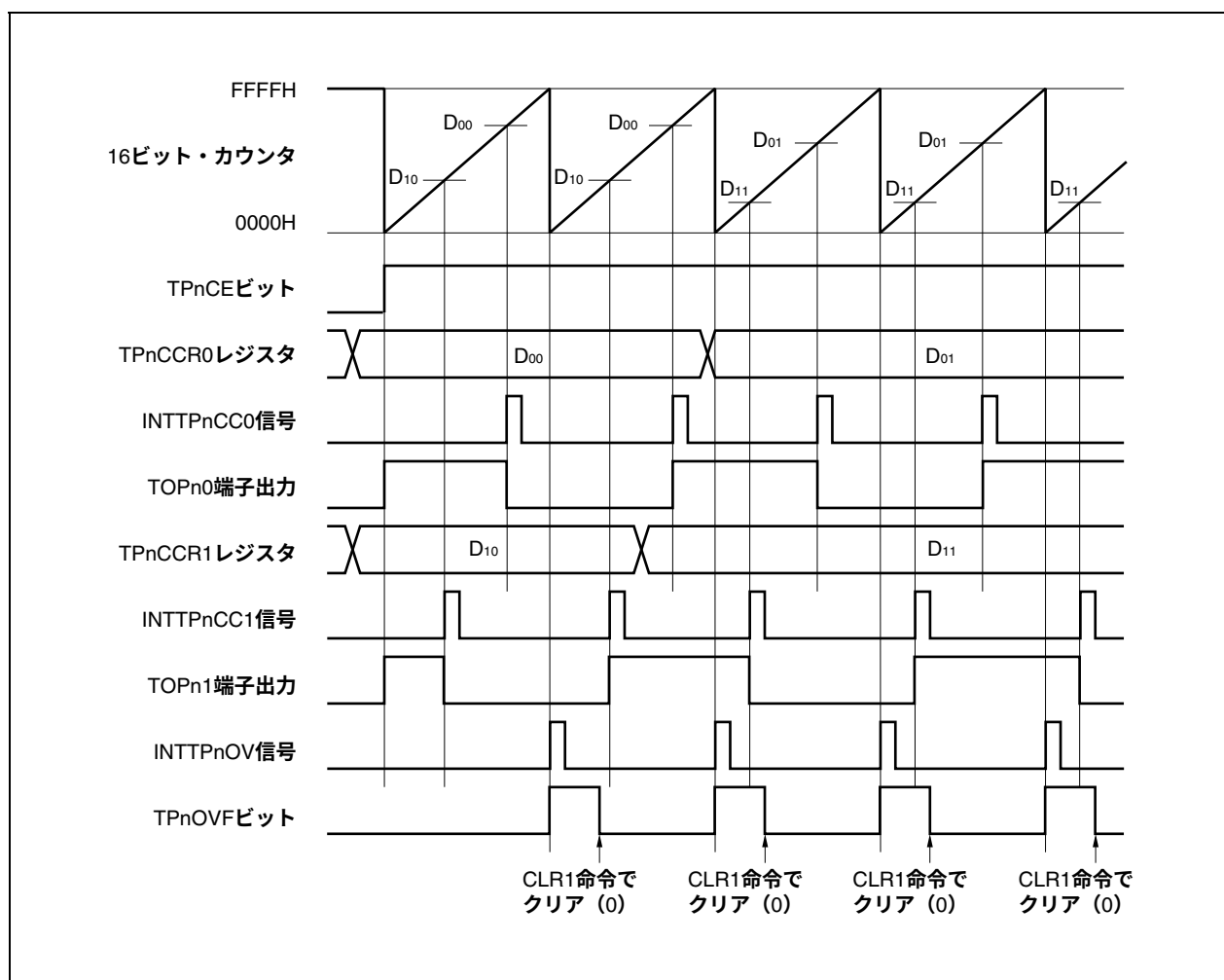
・コンペア動作

TPnCEビットをセット (1) することで、カウント動作を開始し、TOPn0, TOPn1端子出力を反転します。その後、16ビット・カウンタのカウント値とTPnCCRaレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTPnCCa) を発生し、TOPna端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

TPnCCRaレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

図6-53 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)

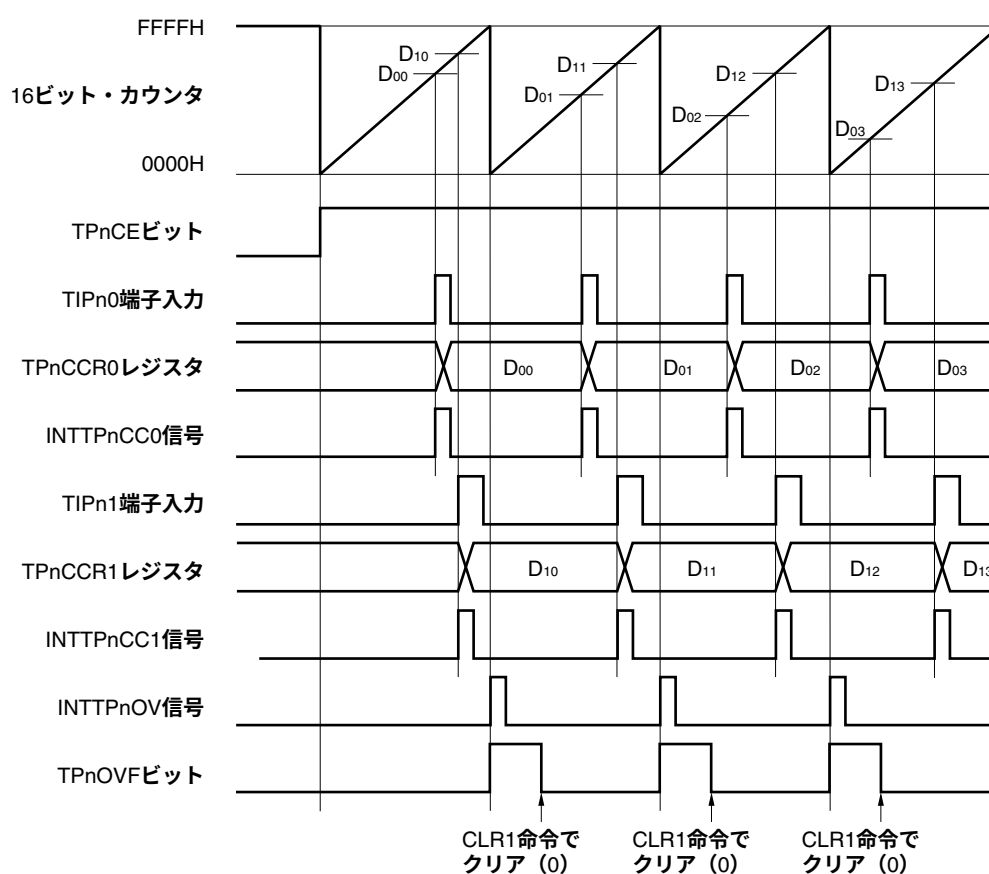


・キャプチャ動作

TPnCEビットをセット (1) することで、カウント動作を開始します。その後、TIPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、キャプチャ割り込み要求信号 (INTTPnCCa) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TPnOPT0.TPnOVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

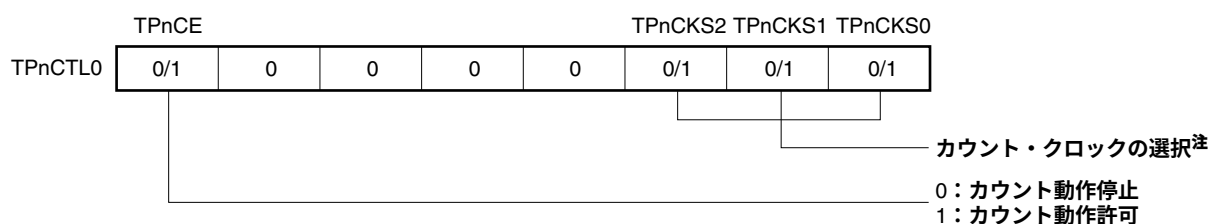
図6-54 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)



備考 有効エッジは立ち上がりエッジに設定しています。

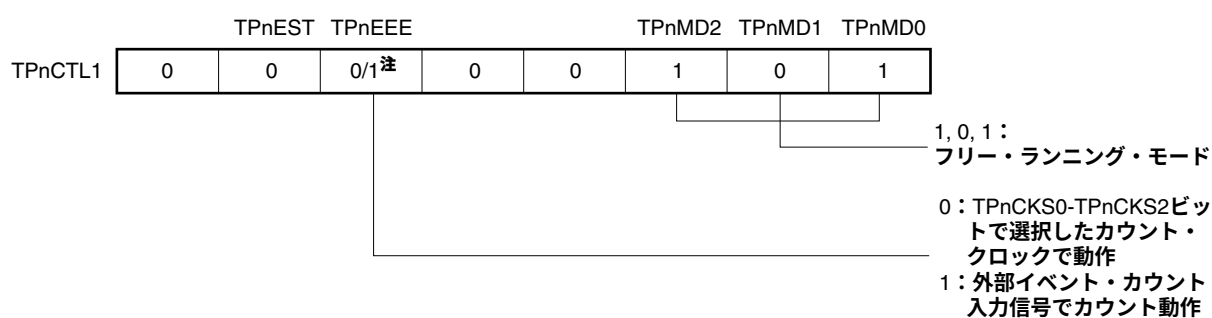
図6-55 フリー・ランニング・タイマモード動作時のレジスタ設定内容 (1/2)

(a) TMPn制御レジスタ0 (TPnCTL0)



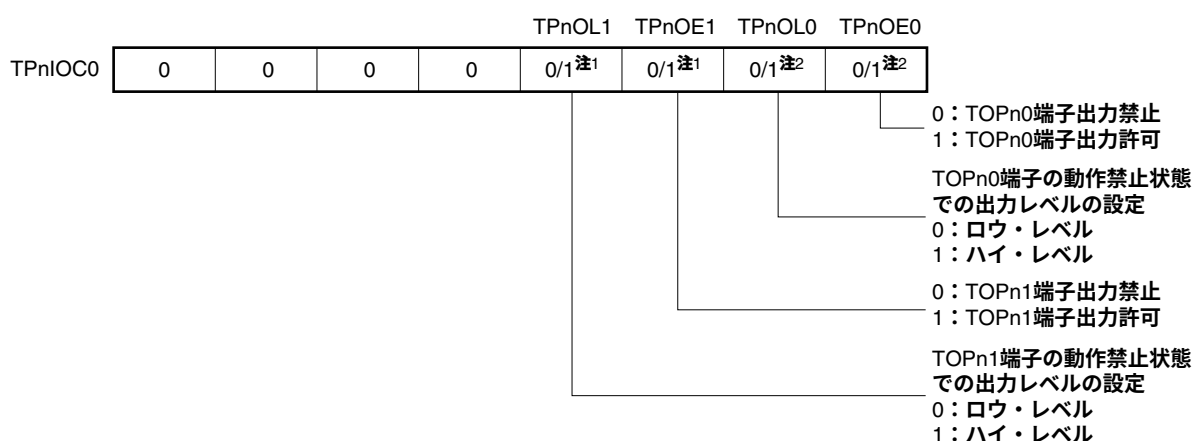
注 TPnCTL1.TPnEEEビット = 1のときは設定が無効になります。

(b) TMPn制御レジスタ1 (TPnCTL1)



注 TPnEEE = 1に設定した場合、TIPn0端子のキャプチャ機能は使用できません。

(c) TMPnI/O制御レジスタ0 (TPnIOC0)

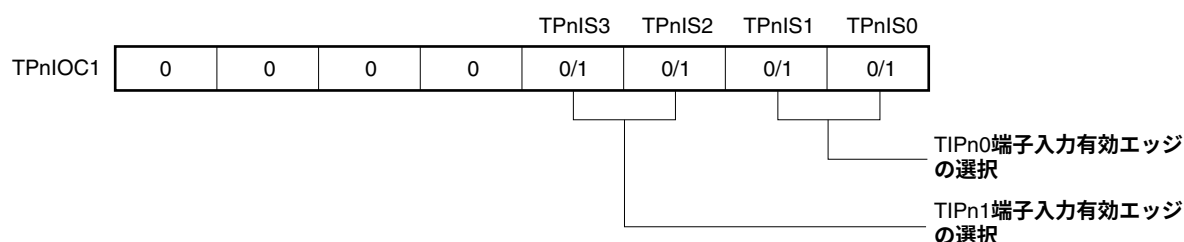


注1. TIPn1端子を使用する場合、TOPn1端子は使用できません。

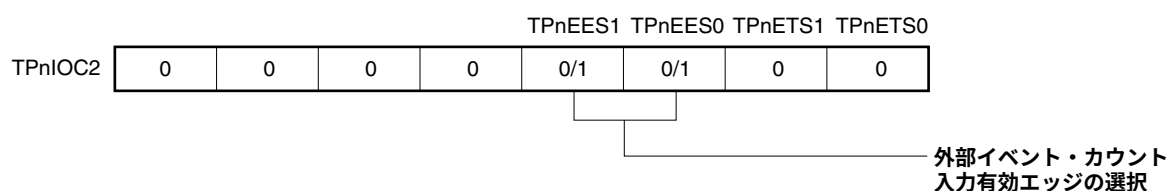
2. TIPn0端子を使用する場合、TOPn0端子は使用できません。

図6-55 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/2)

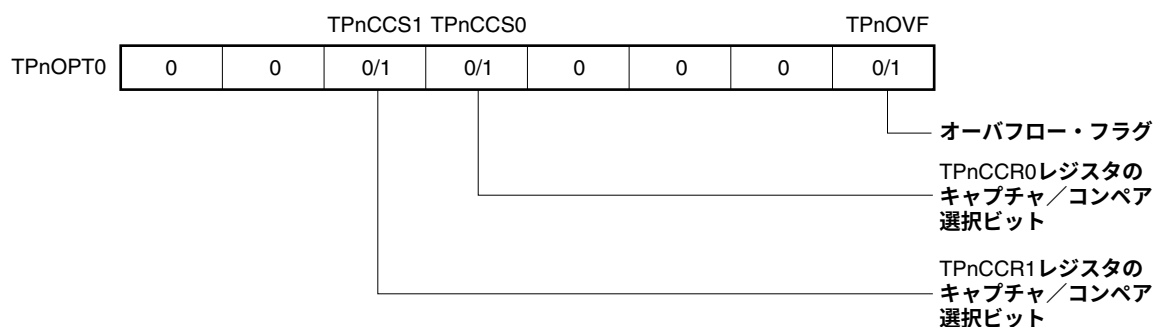
(d) TMPnI/O**制御レジスタ1** (TPnILOC1)



(e) TMPnI/O制御レジスタ2 (TPnIIOC2)



(f) TMPnオプション・レジスタ0 (TPnOPT0)



(g) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMPnキャプチャ／コンペア・レジスタ_{0, 1} (TPnCCR0, TPnCCR1)

TPnOPT0.TPnCCSaビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIPna端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納し、INTTPnCCa信号を発生します。

コンペア・レジスタとして動作する場合には、TPnCCRaレジスタにDaを設定した場合、カウンタが(Da+1)になるタイミングでINTTPnCCa信号を発生し、TOPna端子出力を反転します。

(1) フリー・ランニング・タイマ・モード動作フロー

フリー・ランニング・タイマ・モードには次の2つの機能があります。

- ・コンペア機能
- ・キャプチャ機能

(a) キャプチャ／コンペア・レジスタをコンペア・レジスタとして使用した場合

図6-56 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（コンペア機能） (1/2)

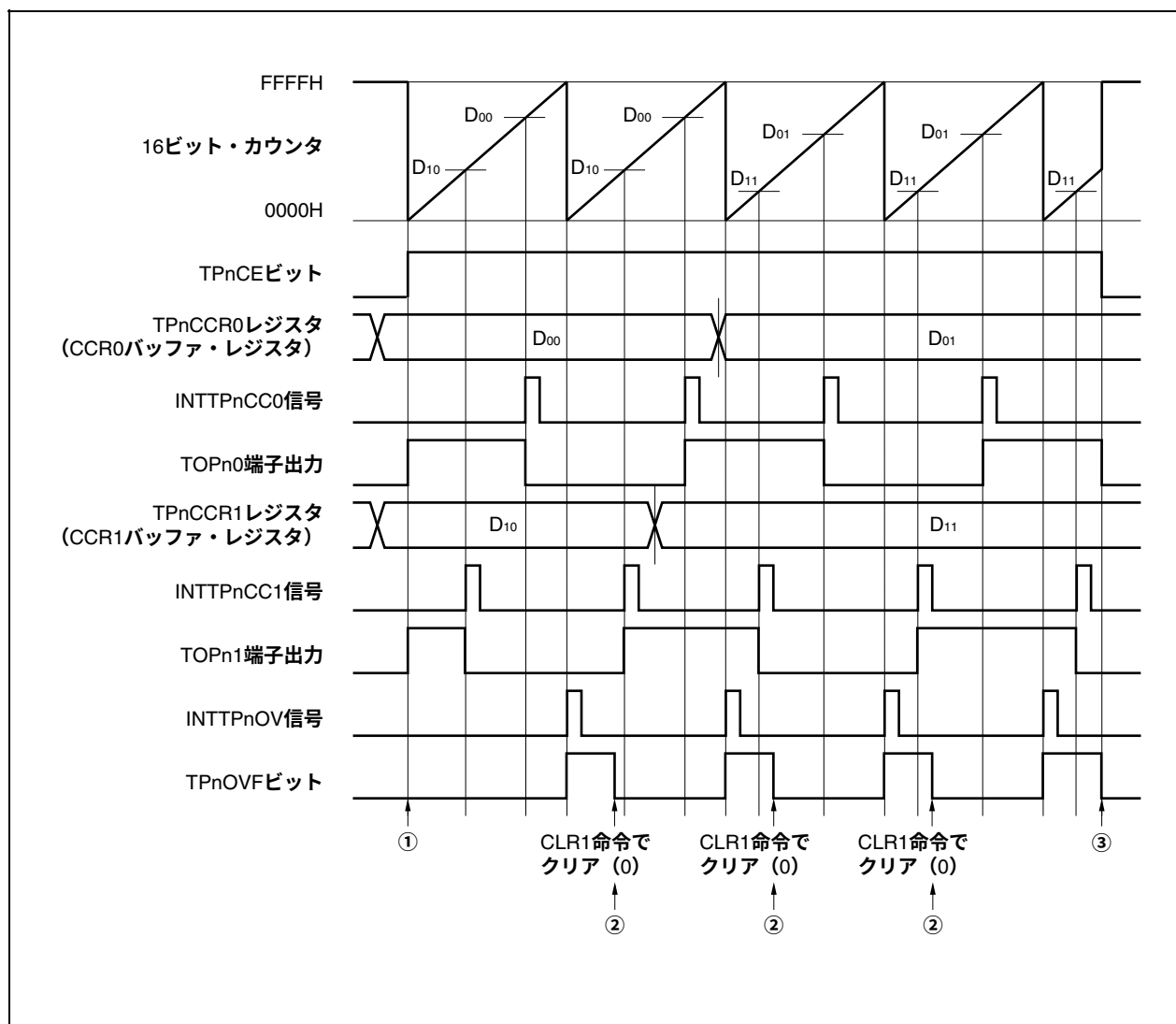
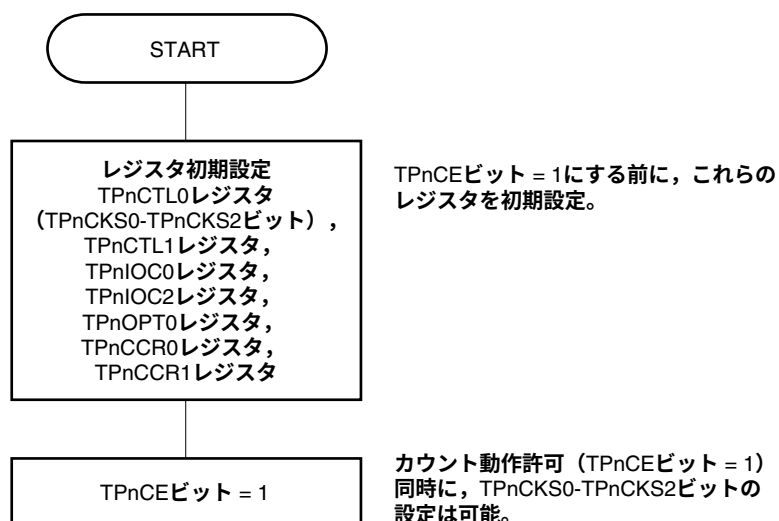
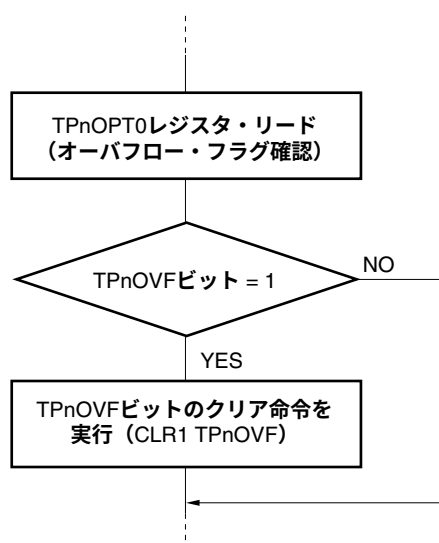


図6-56 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー (コンペア機能) (2/2)

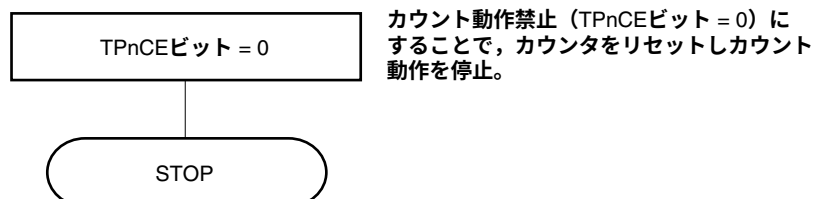
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



③ カウント動作停止フロー



(b) キャプチャ／コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図6-57 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（キャプチャ機能）（1/2）

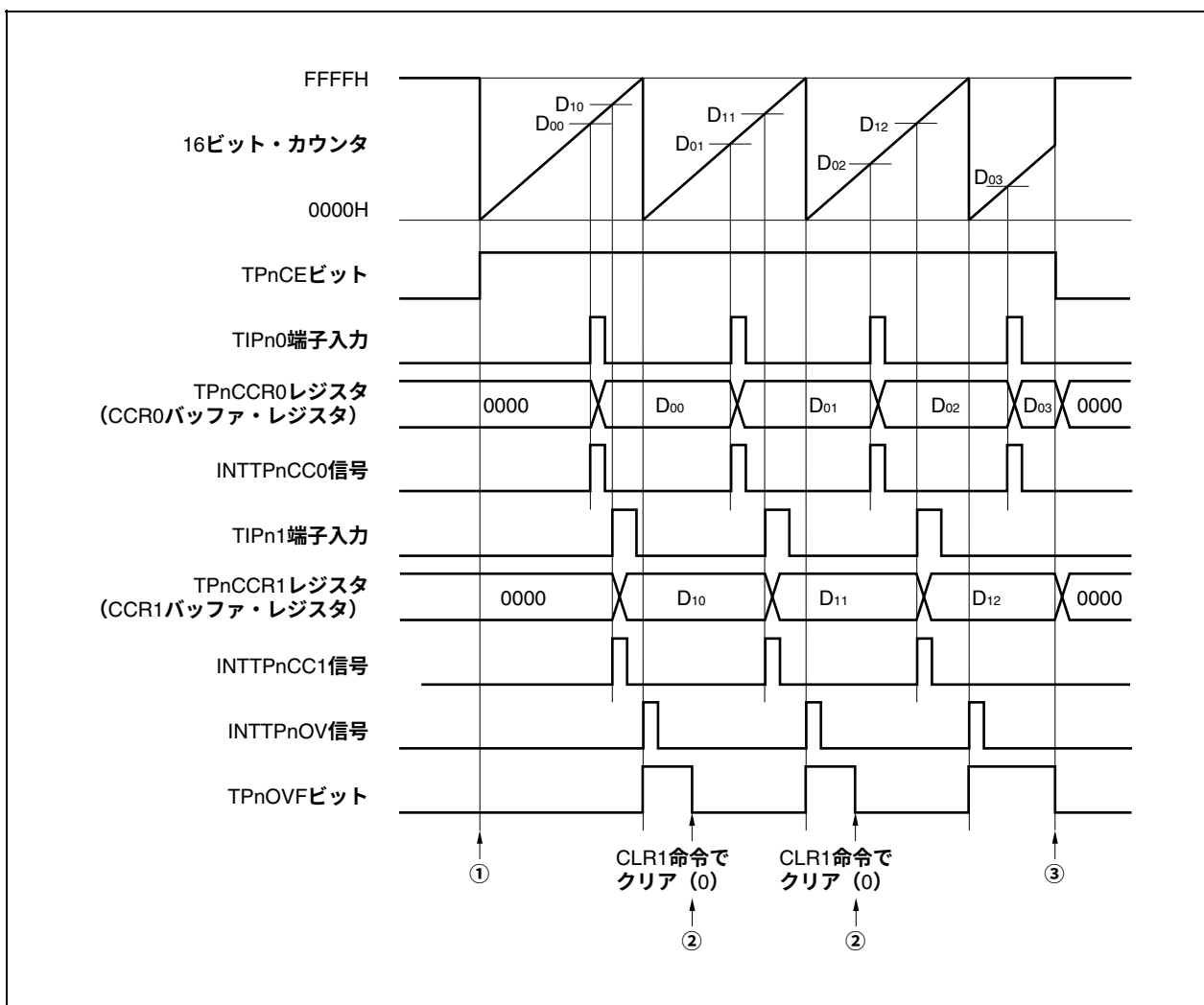
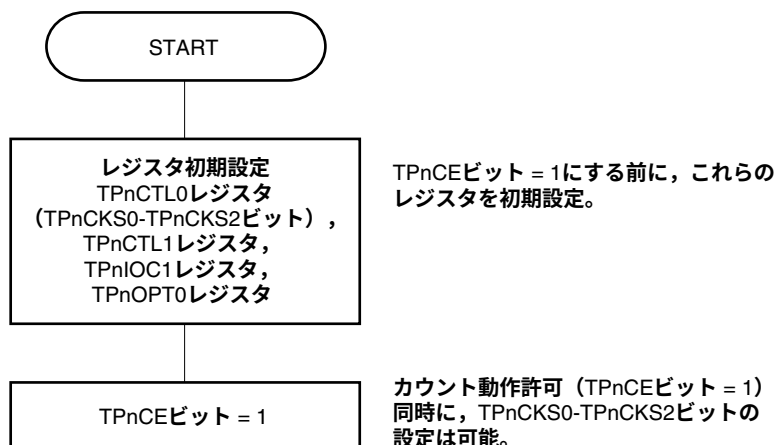
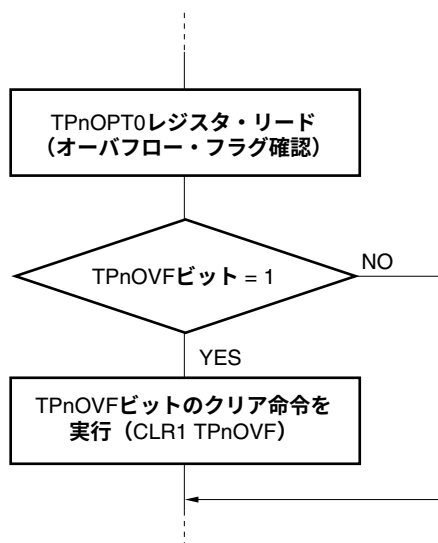


図6-57 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー (キャプチャ機能) (2/2)

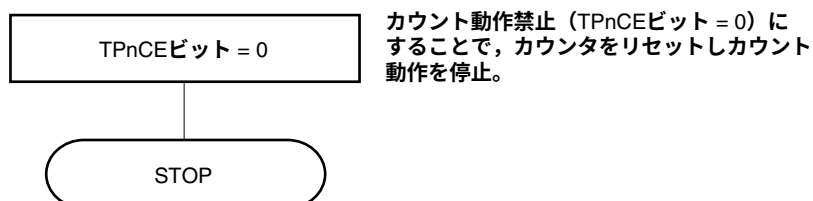
① カウント動作開始フロー



② オーバフロー・フラグ・クリア・フロー



③ カウント動作停止フロー

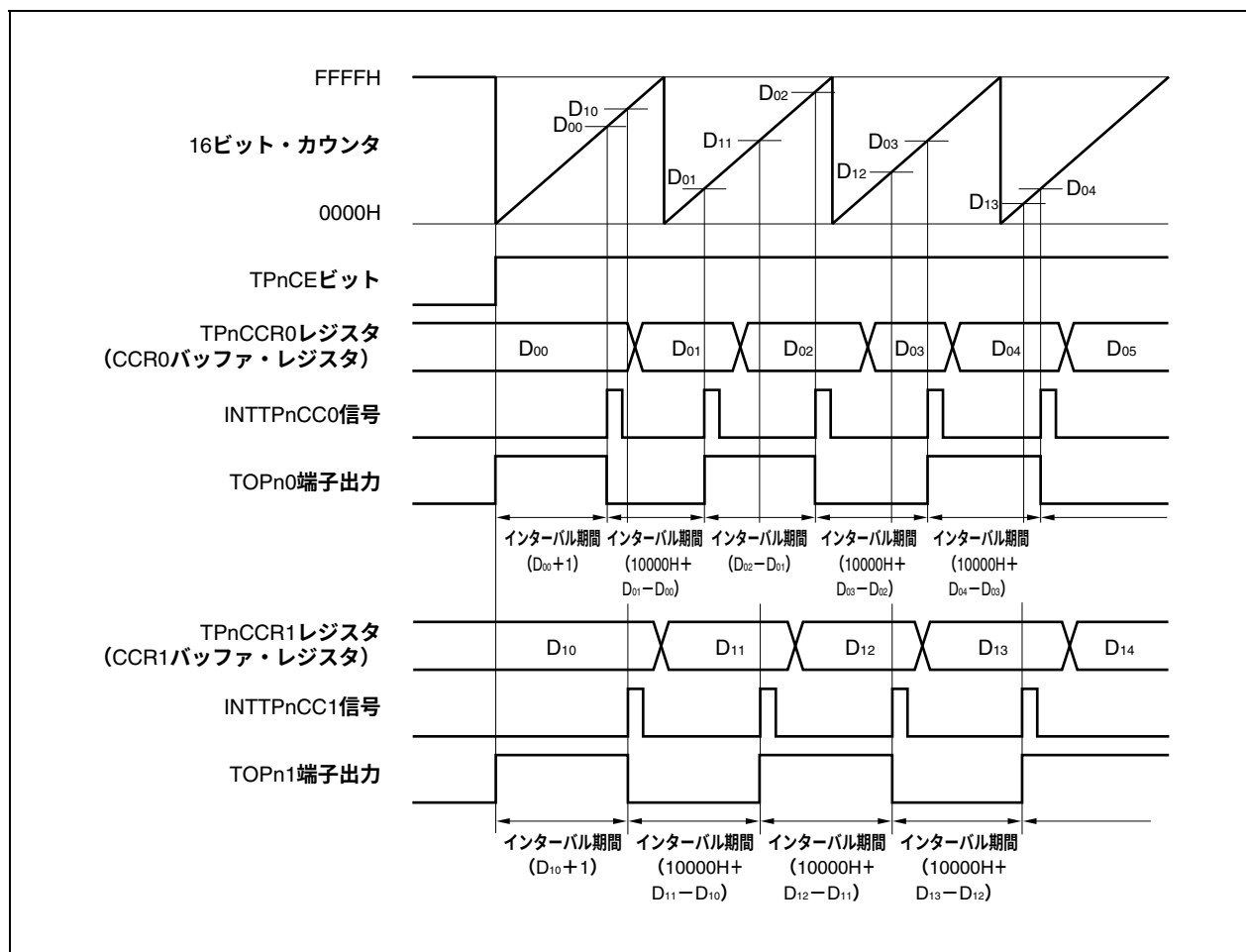


(2) フリー・ランニング・タイマ・モードの応用

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TPnCCRaレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTPnCCa信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。

図6-58 フリー・ランニング・タイマ・モードのインターバル動作



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、1チャンネルで2つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTPnCCa信号を検出したときの割り込み処理中に、対応するTPnCCRaレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_a ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_a - 1$

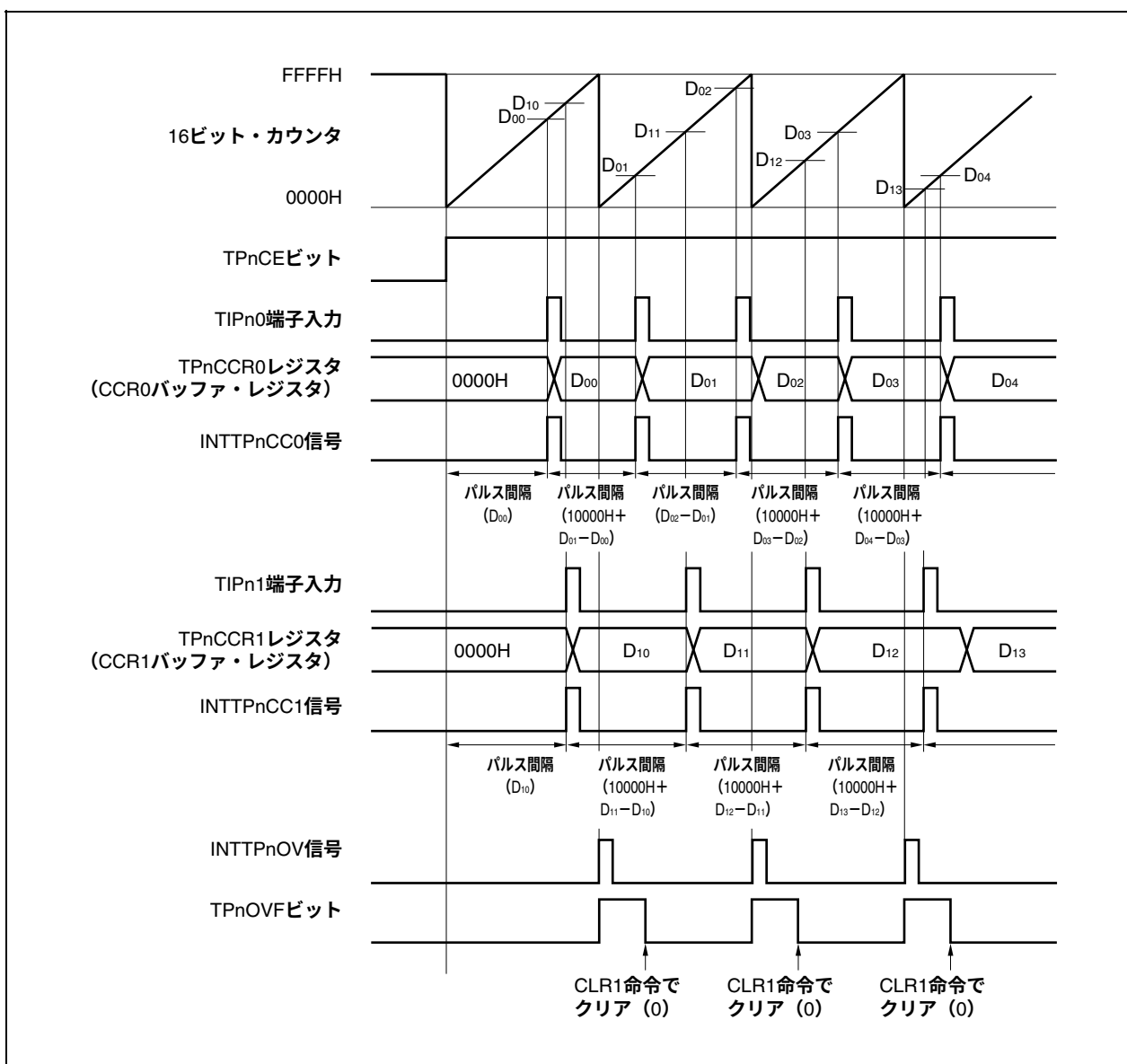
2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_a

(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください)

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TPnCCRaレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTPnCCa信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。

図6-59 フリー・ランニング・タイマ・モードのパルス幅測定



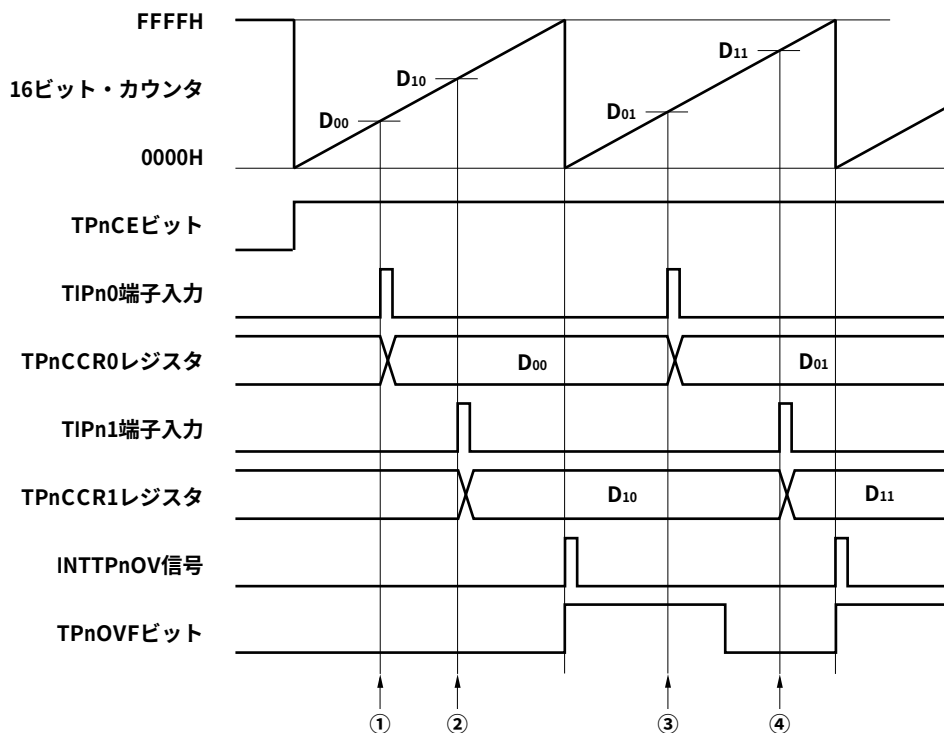
フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、1チャンネルで2つのパルス幅測定ができます。

パルス幅測定を行う場合、INTTPnCCa信号に同期してTPnCCRaレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

(c) 2つのキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つのキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

図6-60 2つのキャプチャを使用するときの悪い例



フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

- ① TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。
- ② TPnCCR1レジスタをリードする (TIPn1端子入力の初期値設定)。
- ③ TPnCCR0レジスタをリードする。

TPnOVFビットをリードする。→TPnOVFビットが“1”だった場合、クリア (0) する。
TPnOVFビットが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。

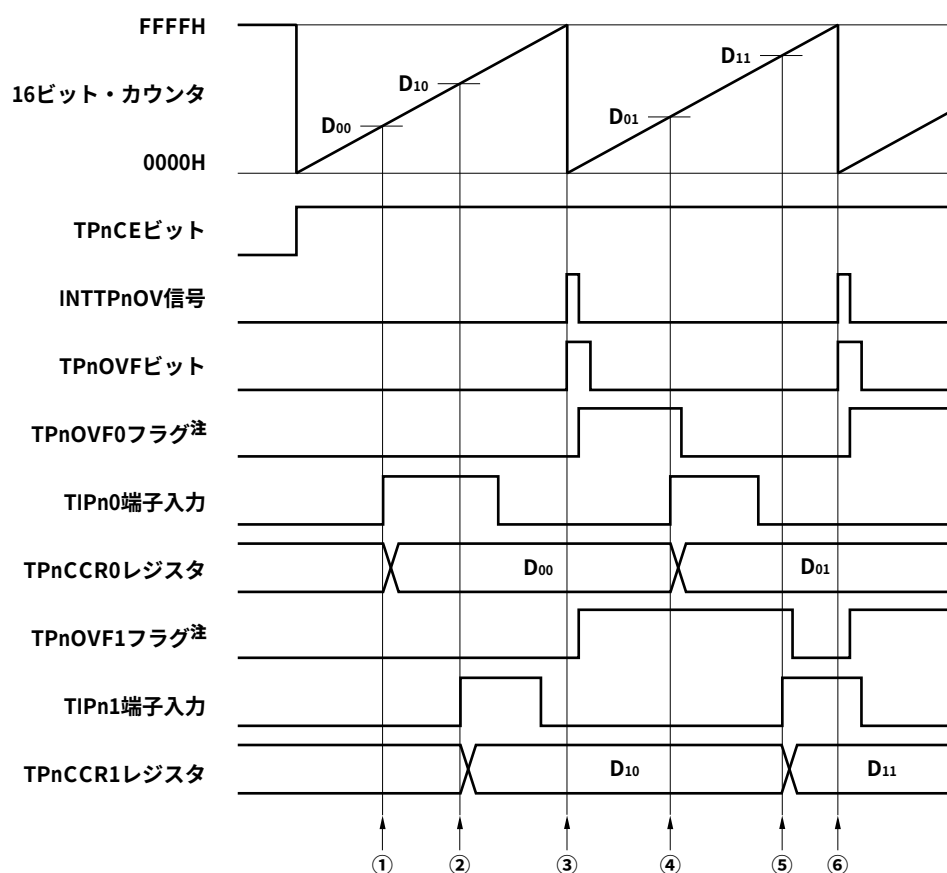
- ④ TPnCCR1レジスタをリードする。

TPnOVFビットをリードする。→③でクリア (0) されているため、0がリードされます。
TPnOVFビットが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つのキャプチャを使用する場合に、1つのキャプチャでTPnOVFビットをクリア (0) してしまうと、もう1つのキャプチャは正しいパルス幅が求められない可能性があります。

2つのキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

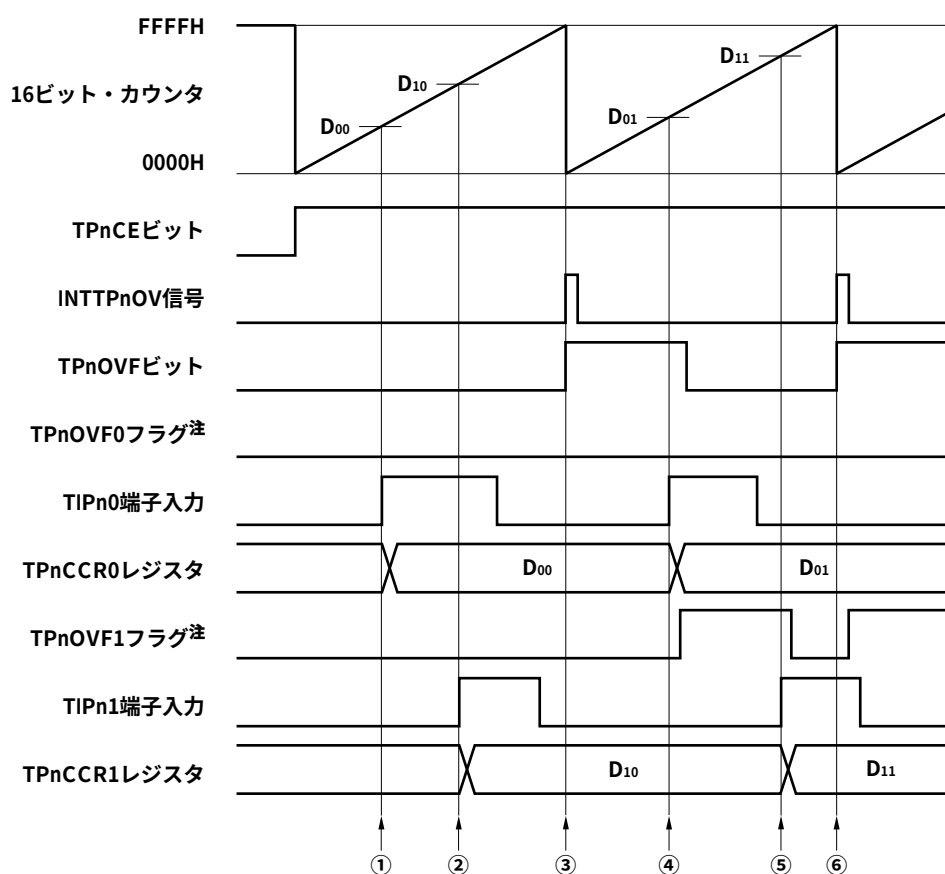
図6-61 2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用）



注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。
- ② TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。
- ③ オーバフローが発生する。オーバーフロー割り込み処理の中で、TPnOVF0, TPnOVF1フラグをセット（1）し、TPnOVFビットをクリア（0）する。
- ④ TPnCCR0レジスタをリードする。
TPnOVF0フラグをリードする。→TPnOVF0フラグが“1”なので、クリア（0）する。
TPnOVF0フラグが“1”なので、パルス幅は（10000H+D01-D00）で求められます。
- ⑤ TPnCCR1レジスタをリードする。
TPnOVF1フラグをリードする。→TPnOVF1フラグが“1”なので、クリア（0）する（④でクリア（0）されたのはTPnOVF0フラグであり、TPnOVF1フラグは“1”のまま）。
TPnOVF1フラグが“1”なので、パルス幅は（10000H+D11-D10）で求められます（OK）。
- ⑥ ③と同じです。

図6-62 2つのキャプチャを使用するときの対応例（オーバフロー割り込みを使用しない）



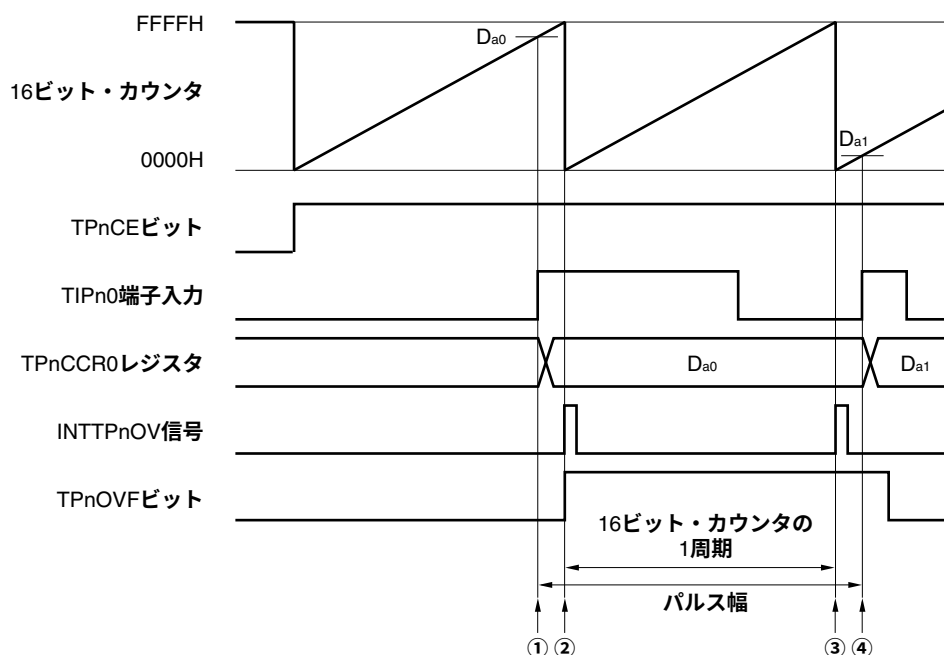
注 TPnOVF0, TPnOVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TPnCCR0レジスタをリードする（TIPn0端子入力の初期値設定）。
- ② TPnCCR1レジスタをリードする（TIPn1端子入力の初期値設定）。
- ③ オーバフローが発生する。ソフトウェアでは何もしない。
- ④ TPnCCR0レジスタをリードする。
TPnOVFビットをリードする。→TPnOVFビットが“1”なので、TPnOVF1フラグのみをセット（1）し、TPnOVFビットをクリア（0）する。
TPnOVFビットが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。
- ⑤ TPnCCR1レジスタをリードする。
TPnOVFビットをリードする。TPnOVFビットは④でクリア（0）されているので“0”がリードされる。
TPnOVF1フラグをリードする。→TPnOVF1フラグが“1”なので、クリア（0）する。
TPnOVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます（OK）。
- ⑥ ③と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。

図6-63 キャプチャ・トリガの間隔が長いときの悪い例 (TIPn0使用時)



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

- ① TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。
- ② オーバフローが発生する。ソフトウェアでは何もしない。
- ③ 2回目のオーバフローが発生する。ソフトウェアでは何もしない。
- ④ TPnCCR0レジスタをリードする。

TPnOVFビットをリードする。→TPnOVFビットが“1”なので、クリア (0) する。

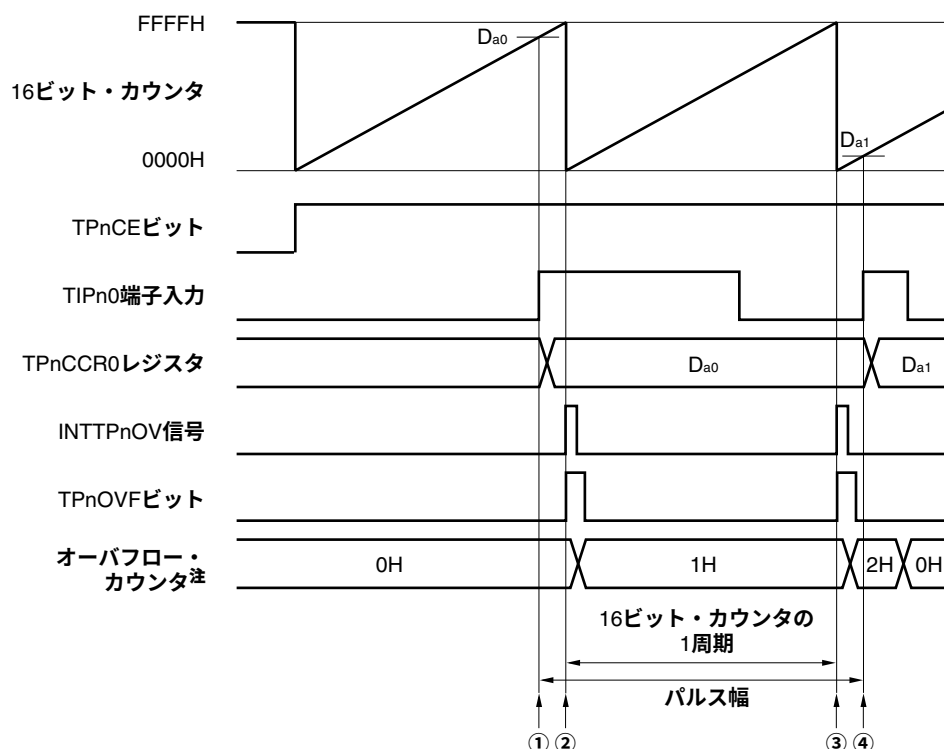
TPnOVFビットが“1”なので、パルス幅は $(10000H + Da1 - Da0)$ で求められます (NG)。

実際には、2回のオーバフローが発生しているので、パルス幅は、 $(20000H + Da1 - Da0)$ になるはずですが。

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

図6-64 キャプチャ・トリガの間隔が長いときの対応例 (TIPn0使用時)



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TPnCCR0レジスタをリードする (TIPn0端子入力の初期値設定)。
- ② オーバフローが発生する。オーバーフロー割り込み処理の中で、オーバーフロー・カウンタをインクリメントし、TPnOVFビットをクリア (0) する。
- ③ 2回目のオーバーフローが発生する。オーバーフロー割り込み処理の中で、オーバーフロー・カウンタをインクリメント (+1) し、TPnOVFビットをクリア (0) する。
- ④ TPnCCR0レジスタをリードする。

オーバーフロー・カウンタをリードする。

→オーバーフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{a1} - D_{a0})$ で求められる。

この例では、2回のオーバーフローが発生しているので、パルス幅は、 $(20000H + D_{a1} - D_{a0})$ になります。

オーバーフロー・カウンタをクリア (0H) する。

(e) オーバフロー・フラグ (TPnOVF) のクリア方法

オーバーフロー・フラグ (TPnOVF) をクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR1命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

6.4.7 パルス幅測定モード (TPnMD2-TPnMD0ビット = 110)

パルス幅測定モードは、TPnCTL0.TPnCEビットをセット (1) することでカウント動作を開始し、TIPna端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTPnCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTPnCCa) が発生したあと、TPnCCRaレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIPn0、TIPn1端子のいずれか1本を使用してください。使用しない端子は、TPnIOC1レジスタで“エッジ検出なし”に設定してください。

- 備考1.** TIPn0、TIPn1端子の設定については表6-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。
- 2.** INTTPnCC0、INTTPnCC1信号の割り込み許可については、第19章 割り込み／例外処理機能を参照してください。

図6-65 パルス幅測定モードの構成図

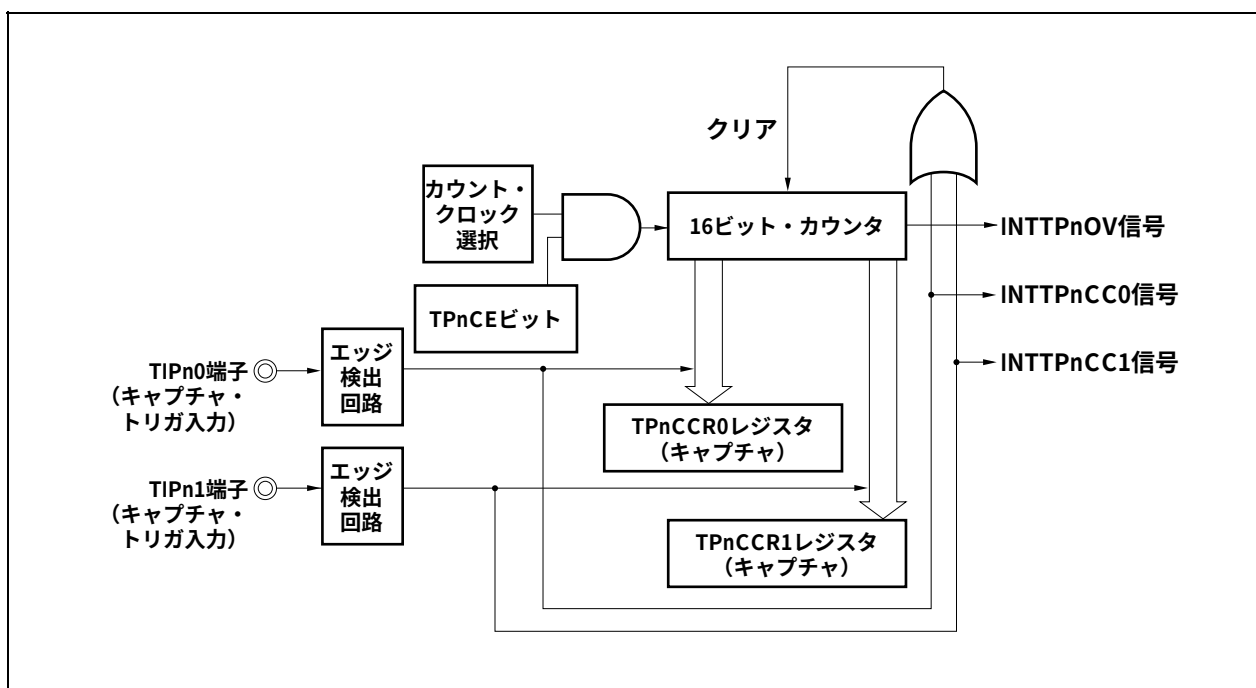
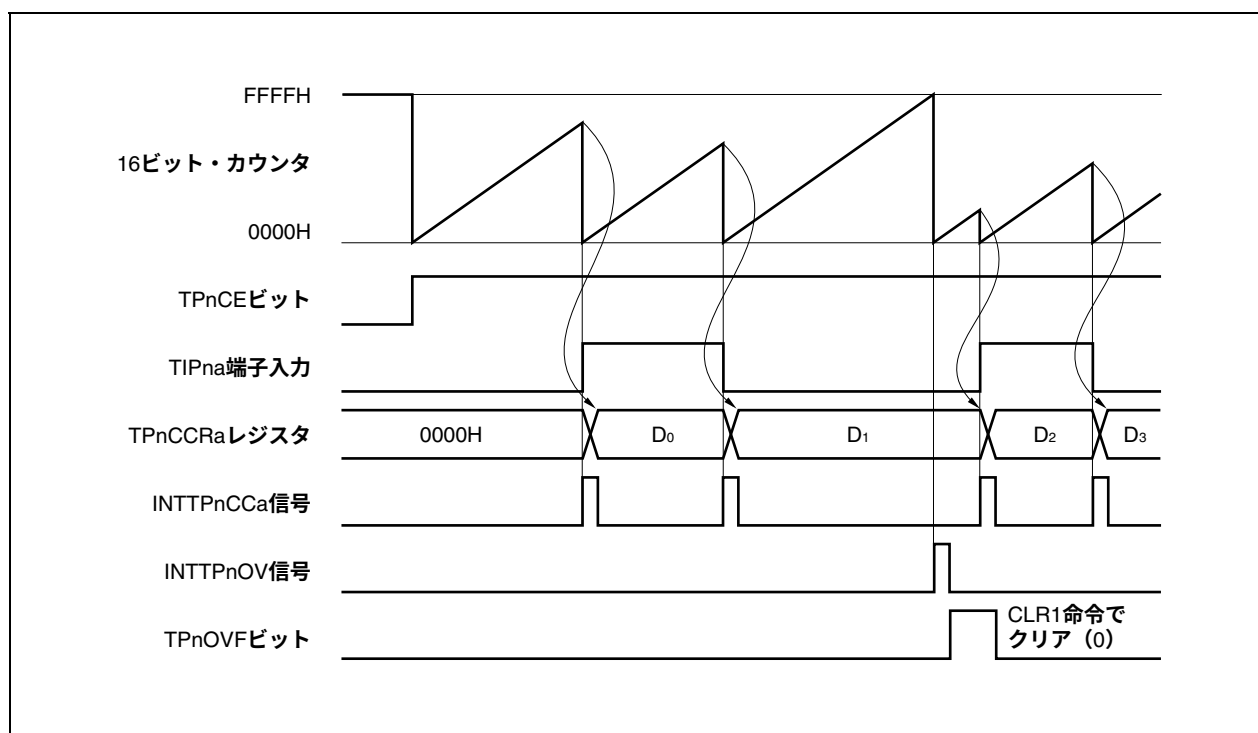


図6-66 パルス幅測定モードの基本タイミング



TPNCEビットをセット (1) することで、カウント動作を開始します。その後、TIPna端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTPNCCRaレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号 (INTTPnCCa) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

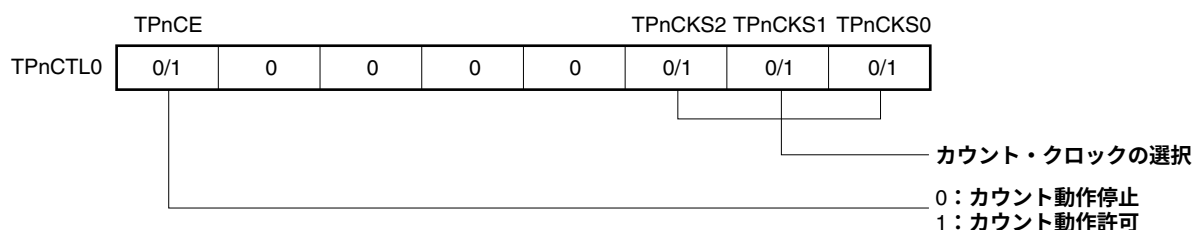
16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTPnOV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TPNOPT0.TPNOVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

オーバフロー・フラグがセット (1) した場合、パルス幅は次のように求められます。

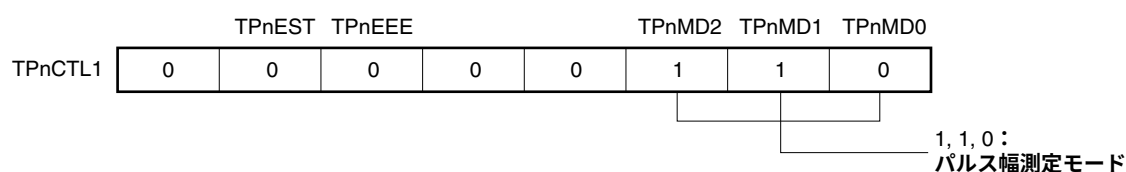
$$\begin{aligned} \text{パルス幅} = & (10000\text{H} \times \text{TPNOVFビットがセット (1) された回数} + \text{キャプチャされた値}) \\ & \times \text{カウント} \cdot \text{クロック周期} \end{aligned}$$

図6-67 パルス幅測定モード動作時のレジスタ設定内容

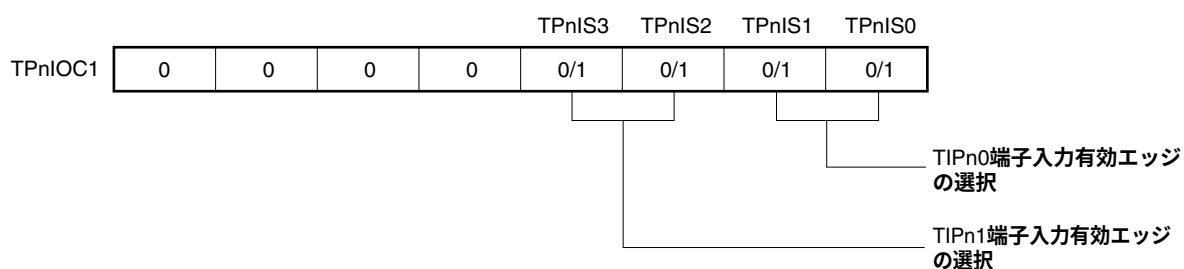
(a) TMPn制御レジスタ0 (TPnCTL0)



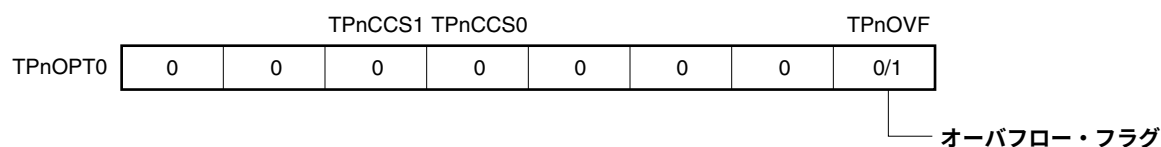
(b) TMPn制御レジスタ1 (TPnCTL1)



(c) TMPnI/O制御レジスタ1 (TPnIOC1)



(d) TMPnオプション・レジスタ0 (TPnOPT0)



(e) TMPnカウンタ・リード・バッファ・レジスタ (TPnCNT)

TPnCNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

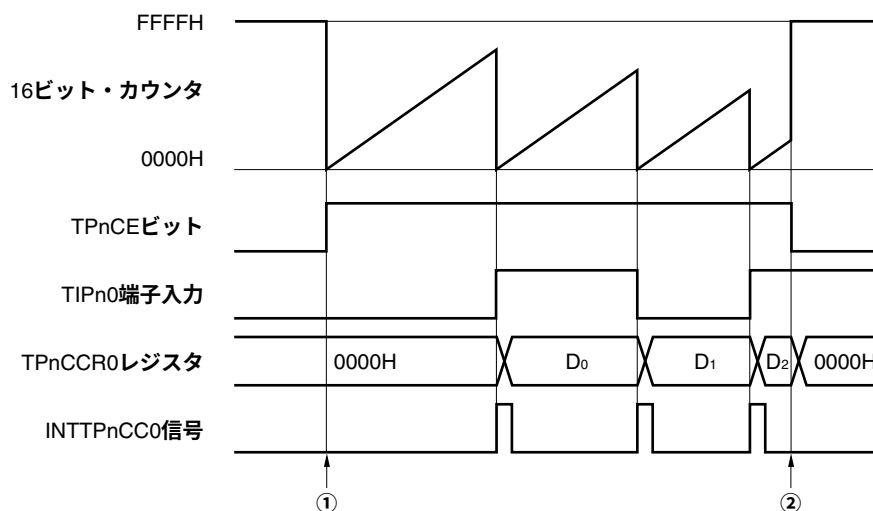
(f) TMPnキャプチャ/コンペア・レジスタ0, 1 (TPnCCR0, TPnCCR1)

TIPn0/TIPn1端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

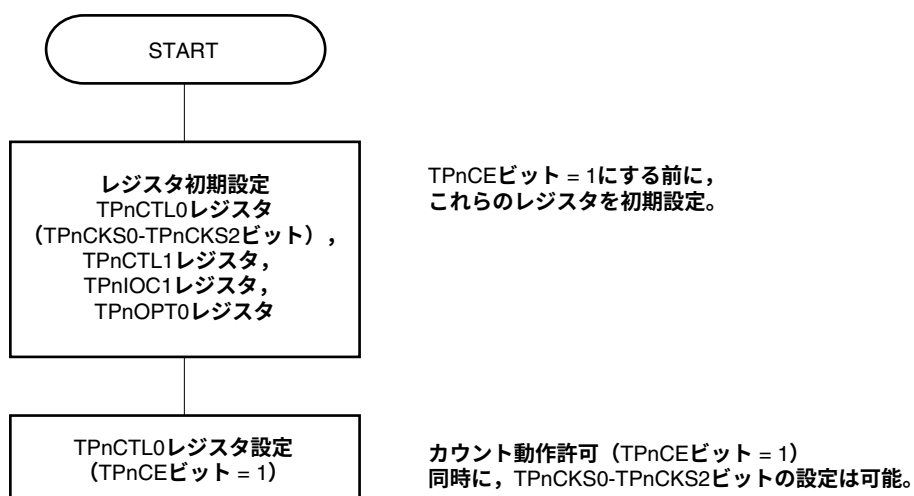
備考 パルス幅測定モードでは、TMPnI/O制御レジスタ0 (TPnIOC0) , TMPnI/O制御レジスタ2 (TPnIOC2) は使用しません。

(1) パルス幅測定モード動作フロー

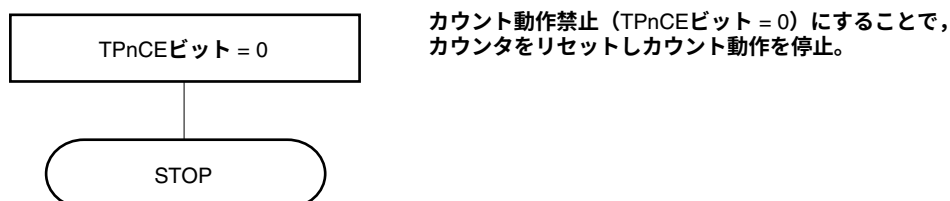
図6-68 パルス幅測定モード動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



(2) パルス幅測定モードの応用

(a) オーバフロー・フラグ (TPnOVF) のクリア方法

オーバフロー・フラグ (TPnOVF) をクリア (0) する方法は、TPnOVFビット = 1をリードしたあとにTPnOVFビットをCLR1命令でクリア (0) する方法と、TPnOVFビット = 1をリードしたあとにTPnOPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

6. 4. 8 タイマ出力動作説明

次にTOPn0, TOPn1端子の動作, および出力レベルを示します。

表6-9 各モードによるタイマ出力制御

動作モード	TOPn1端子	TOPn0端子
インターバル・タイマ・モード	方形波出力	
外部イベント・カウント・モード	—	
外部トリガ・パルス出力モード	外部トリガ・パルス出力	方形波出力
ワンショット・パルス出力モード	ワンショット・パルス出力	
PWM出力モード	PWM出力	
フリー・ランニング・タイマ・モード	方形波出力（コンペア機能のときのみ）	
パルス幅測定モード	—	

表6-10 タイマ出力制御ビットによるTOPn0, TOPn1端子の真理値表

TPnIOC0.TPnOLaビット	TPnIOC0.TPnOEaビット	TPnCTL0.TPnCEビット	TOPna端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル, カウント開始直後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル, カウント開始直後はロウ・レベル

6.5 セレクタ機能 (V850ES/JE3-Lのみ)

V850ES/JE3-LではTMPのキャプチャ・トリガ入力を、ポートの兼用端子と周辺I/O (TMP, UARTA) 信号とで選択が可能です。

この機能を利用して、次のことが可能です。

- TMP1のTIP10, TIP11入力信号を、ポートのタイマ兼用端子 (TIP10, TIP11端子) とUARTAの受信兼用端子 (RXDA0, RXDA1) とで選択。
→UARTA0, UARTA1のRXDA0, RXDA1信号を選択すると、UARTAのLIN受信転送レートのボー・レート誤差算出として使用

- 注意1.** セレクタ機能を使用する場合は、接続されるTMPをキャプチャ・トリガ入力に設定してください。
- 2.** セレクタ機能を設定する場合は、接続される周辺I/O (TMP, UARTA) を動作禁止にしてから設定してください。

セレクタ機能によるキャプチャ入力の設定は次のレジスタで設定します。

(1) セレクタ動作制御レジスタ0 (SELCNT0)

SELCNT0レジスタは、TMP1のキャプチャ・トリガを選択する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF308H							
	7	6	5	④	③	2	1 0
SELCNT0	0	0	0	ISEL4	ISEL3	0	0 0

ISEL4	TIP11入力信号選択 (TMP1)
0	TIP11端子入力
1	RXDA1端子入力

ISEL3	TIP10入力信号選択 (TMP1)
0	TIP10端子入力
1	RXDA0端子入力

- 注意1.** ISEL3, ISEL4の各ビットを“1”に設定する場合は、対応する機能端子をキャプチャ入力に設定してください。
- 2.** ビット7-5, 2-0には必ず0を設定してください。

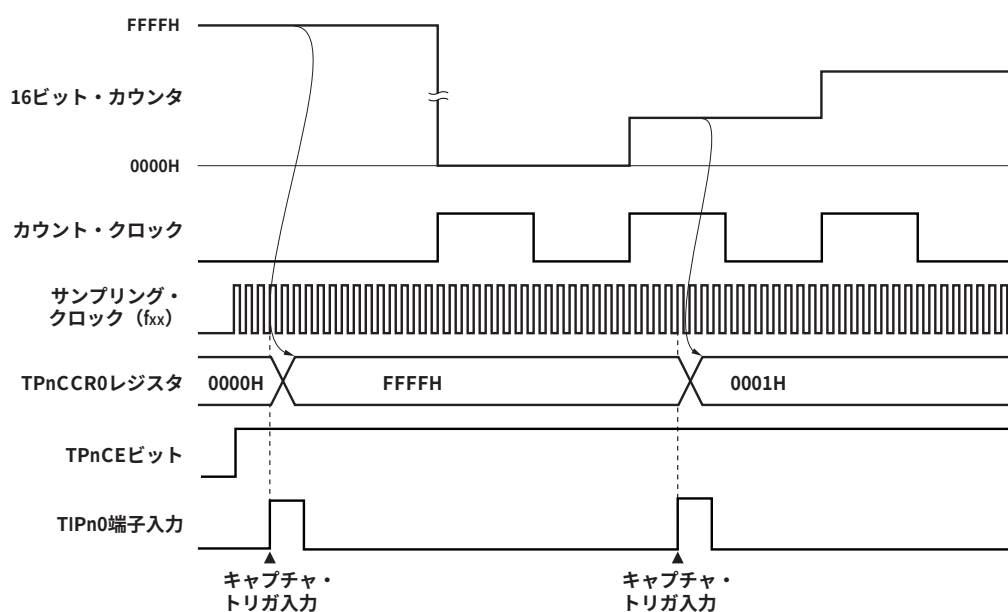
6. 6 注意事項

(1) キャプチャ動作

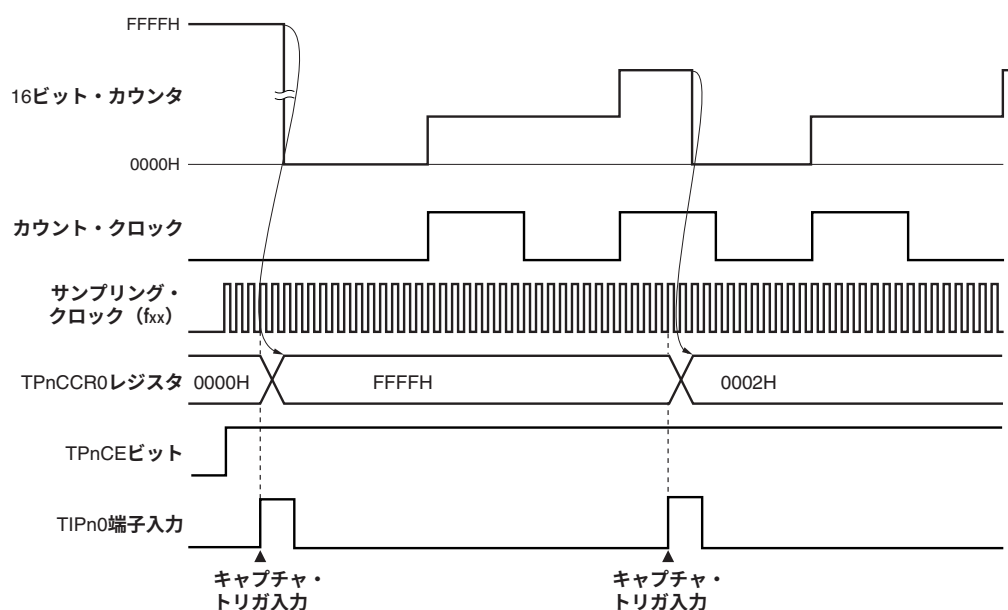
キャプチャ動作を使用し、かつカウント・クロックとして $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$ を選択した場合、TPnCEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TPnCCR0, TPnCCR1 レジスタに 0000H ではなく FFFFH がキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。

キャプチャ動作を使用し、かつカウント・クロックとして外部イベント・カウント入力を選択し、外部イベントが一度も入力されない期間も同様の動作となります。

(a) フリー・ランニング・タイマ・モード



(b) パルス幅測定モード



第7章 16ビット・タイマ／イベント・カウンタQ (TMQ)

タイマQ (TMQ) は、16ビットのタイマ／イベント・カウンタです。

V850ES/JC3-L, V850ES/JE3-Lは、TMQ0を内蔵しています。

7.1 機能

TMQ0には次のような機能があります。

(1) インターバル・タイマ

あらかじめ設定した任意の時間間隔で割り込みを発生します。
方形波を出力することができます。

(2) 外部イベント・カウンタ

外部から入力される信号のパルス数を測定できます。

(3) 外部トリガ・パルス出力

外部から入力される信号をトリガとして、タイマを起動しパルスを出力します。

(4) ワンショット・パルス出力

出力幅を任意に設定できるワンショット・パルスを出力できます。

(5) PWM出力

アクティブ幅を変更できる一定周期のパルスを出力できます。
タイマ動作中でもデューティを自由に変更できます。

(6) フリー・ランニング・タイマ

16ビット・カウンタが0000HからFFFFHまでカウントアップしFFFFHまでカウントするとまた0000Hにもどり、動作を継続します。

(7) パルス幅測定

外部から入力される信号のパルス幅を測定できます。

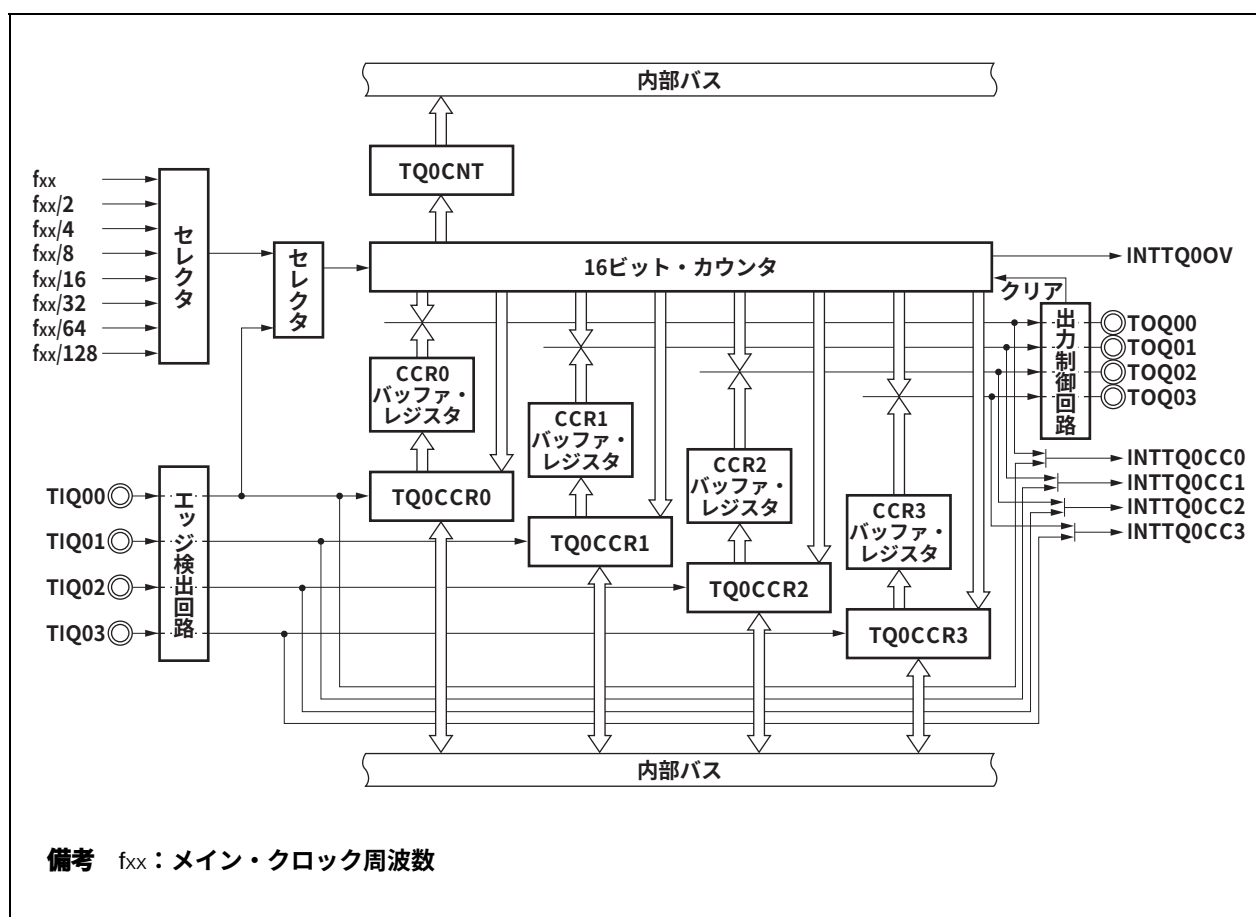
7.2 構 成

TMQ0は、次のハードウェアで構成されています。

表7-1 TMQ0の構成

項 目	構 成
レジスタ	16ビット・カウンタ TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT) CCR0-CCR3バッファ・レジスタ TMQ0制御レジスタ0, 1 (TQ0CTL0, TQ0CTL1) TMQ0I/O制御レジスタ0-2 (TQ0IOC0-TQ0IOC2) TMQ0オプション・レジスタ0 (TQ0OPT0)
タイマ入力	4本 (TIQ00-TIQ03端子)
タイマ出力	4本 (TOQ00-TOQ03端子)

図7-1 TMQ0のブロック図



(1) 16ビット・カウンタ

内部クロックまたは外部イベントをカウントできる16ビットのカウンタです。

16ビット・カウンタのカウント値は、TQ0CNTレジスタでリードできます。

TQ0CTL0.TQ0CEビット = 0のとき、16ビット・カウンタはFFFFHになります。このときTQ0CNTレジスタをリードすると、0000Hがリードされます。

リセットによりTQ0CEビット = 0になるため、16ビット・カウンタはFFFFHになります。

(2) CCR0バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR0レジスタをコンペア・レジスタとして使用するとき、TQ0CCR0レジスタにライトした値がCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、コンペアー一致割り込み要求信号 (INTTQ0CC0) を発生します。

CCR0バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR0レジスタが0000Hになるため、CCR0バッファ・レジスタも0000Hになります。

(3) CCR1バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR1レジスタをコンペア・レジスタとして使用するとき、TQ0CCR1レジスタにライトした値がCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致すると、コンペアー一致割り込み要求信号 (INTTQ0CC1) を発生します。

CCR1バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR1レジスタが0000Hになるため、CCR1バッファ・レジスタも0000Hになります。

(4) CCR2バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR2レジスタをコンペア・レジスタとして使用するとき、TQ0CCR2レジスタにライトした値がCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致すると、コンペアー一致割り込み要求信号 (INTTQ0CC2) を発生します。

CCR2バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR2レジスタが0000Hになるため、CCR2バッファ・レジスタも0000Hになります。

(5) CCR3バッファ・レジスタ

16ビット・カウンタのカウント値を比較する16ビットのコンペア・レジスタです。

TQ0CCR3レジスタをコンペア・レジスタとして使用するとき、TQ0CCR3レジスタにライトした値がCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致すると、コンペアー一致割り込み要求信号 (INTTQ0CC3) を発生します。

CCR3バッファ・レジスタは、直接リード/ライトできません。

リセットによりTQ0CCR3レジスタが0000Hになるため、CCR3バッファ・レジスタも0000Hになります。

(6) エッジ検出回路

TIQ00-TIQ03端子に入力される有効エッジを検出します。有効エッジは、TQ0IOC1、TQ0IOC2レジスタにより、エッジ検出し、立ち上がり、立ち下がり、立ち上がり/立ち下がり両エッジから選択できます。

(7) 出力制御回路

TOQ00-TOQ03端子の出力を制御します。TOQ00-TOQ03端子の出力は、TQ0IOC0レジスタで制御します。

(8) セレクタ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類の内部クロックまたは外部イベントから選択できます。

7.2.1 端子の構成

TMQ0を構成するタイマ入力およびタイマ出力は、表7-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-17 端子を兼用機能として使用する場合参照）。

表7-2 端子構成

ピン番号			ポート	タイマQ入力	タイマQ出力	その他の兼用機能
JC3L (40)	JC3L (48)	JE3L				
24	28	38	P53	TIQ00 ^注	TOQ00	SIB2/KR3/RTP03/DDO
21	25	35	P50	TIQ01	TOQ01	KR0/RTP00
22	26	36	P51	TIQ02	TOQ02	KR1/RTP01
23	27	37	P52	TIQ03	TOQ03	KR2/RTP02/DDI

注 TIQ00端子にはキャプチャ・トリガ入力機能と外部イベント入力機能と外部トリガ入力機能が兼用されています。

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

7.2.2 割り込み機能

TMQ0には5種類の割り込み信号があります。

(1) INTTQ0CC0

16ビット・カウンタの値とCCR0バッファ・レジスタの値の一致，もしくはTIQ00端子からのキャプチャ入力により発生します。

(2) INTTQ0CC1

16ビット・カウンタの値とCCR1バッファ・レジスタの値の一致，もしくはTIQ01端子からのキャプチャ入力により発生します。

(3) INTTQ0CC2

16ビット・カウンタの値とCCR2バッファ・レジスタの値の一致，もしくはTIQ02端子からのキャプチャ入力により発生します。

(4) INTTQ0CC3

16ビット・カウンタの値とCCR3バッファ・レジスタの値の一致，もしくはTIQ03端子からのキャプチャ入力により発生します。

(5) INTTQ0OV

16ビット・カウンタがカウントアップしFFFFHからオーバーフローするときに発生します。

7.3 レジスタ

TMQ0を制御するレジスタを次に示します。

- TMQ0制御レジスタ0 (TQ0CTL0)
- TMQ0制御レジスタ1 (TQ0CTL1)
- TMQ0I/O制御レジスタ0 (TQ0IOC0)
- TMQ0I/O制御レジスタ1 (TQ0IOC1)
- TMQ0I/O制御レジスタ2 (TQ0IOC2)
- TMQ0オプション・レジスタ0 (TQ0OPT0)
- TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)
- TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1)
- TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2)
- TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3)
- TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

備考 TIQ00-TIQ03, TOQ00-TOQ03端子の機能を使用する場合は、表4-17 端子を兼用端子として使用する場合を参照してください。

(1) TMQ0制御レジスタ0 (TQ0CTL0)

TQ0CTL0レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TQ0CTL0レジスタは、常時ソフトウェアでの同値書き込みができます。

リセット時：00H		R/W	アドレス：FFFFF540H				
⑦		6	5	4	3	2	1 0
TQ0CTL0	TQ0CE	0	0	0	0	TQ0CKS2	TQ0CKS1 TQ0CKS0

TQ0CE	TMQ0の動作の制御
0	TMQ0動作禁止。動作クロック供給停止。(TMQ0を非同期にリセット ^注)
1	TMQ0動作許可。動作クロック供給開始。(TMQ0動作開始)

TQ0CKS2	TQ0CKS1	TQ0CKS0	内部カウント・クロックの選択
0	0	0	fxx
0	0	1	fxx/2
0	1	0	fxx/4
0	1	1	fxx/8
1	0	0	fxx/16
1	0	1	fxx/32
1	1	0	fxx/64
1	1	1	fxx/128

注 TQ0OPT0.TQ0OVFビット、16ビット・カウンタが同時にリセットされます。さらにタイマ出力 (TOQ00-TOQ03端子) も16ビット・カウンタと同時にTQ0IOC0レジスタの設定状態にリセットされます。

- 注意1.** TQ0CKS2-TQ0CKS0ビットは、TQ0CEビット = 0のときに設定してください。TQ0CEビットを“0”から“1”に設定するときに、同時にTQ0CKS2-TQ0CKS0ビットを設定することもできます。
- 2.** ビット3-6には必ず“0”を設定してください。

備考 fxx：メイン・クロック周波数

(2) TMQ0制御レジスタ1 (TQ0CTL1)

TQ0CTL1レジスタは、TMQ0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF541H

	7	⑥	⑤	4	3	2	1	0
TQ0CTL1	0	TQ0EST	TQ0EEE	0	0	TQ0MD2	TQ0MD1	TQ0MD0

TQ0EST	ソフトウェア・トリガ制御
0	—
1	外部トリガ入力への有効な信号を作成 ・ワンショット・パルス出力モード時：TQ0ESTビットへの“1”ライトをトリガとして、ワンショット・パルスを出力 ・外部トリガ・パルス出力モード時：TQ0ESTビットへの“1”ライトをトリガとして、PWM波形を出力

TQ0EEE	カウント・クロックの選択
0	外部イベント・カウント入力での動作禁止 (TQ0CTL0.TQ0CK0-TQ0CK2ビットによって選択された内部カウント・クロックでカウント動作を行う)
1	外部イベント・カウント入力での動作許可 (外部イベント・カウント入力信号の有効エッジごとにカウント動作を行う)

TQ0MD2	TQ0MD1	TQ0MD0	タイマ・モードの選択
0	0	0	インターバル・タイマ・モード
0	0	1	外部イベント・カウント・モード
0	1	0	外部トリガ・パルス出力モード
0	1	1	ワンショット・パルス出力モード
1	0	0	PWM出力モード
1	0	1	フリー・ランニング・タイマ・モード
1	1	0	パルス幅測定モード
1	1	1	設定禁止

- 注意1.** TQ0ESTビットは、外部トリガ・パルス出力モードまたはワンショット・パルス出力モード時のみ有効です。それ以外のモードでは、“1”をライトしても無視されます。
2. 外部イベント・カウント・モードのときは、TQ0EEEビットの値にかかわらず外部イベント・カウント入力を選択されます。
3. TQ0EEE, TQ0MD2-TQ0MD0ビットは、タイマ動作停止 (TQ0CTL0.TQ0CEビット = 0) のときに設定してください (TQ0CEビット = 1のときの同値書き込みは可能)。TQ0CEビット = 1のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
4. ビット3, 4, 7は必ず“0”を設定してください。

(3) TMQ0I/O制御レジスタ0 (TQ0IOC0)

TQ0IOC0レジスタは、タイマ出力 (TOQ00-TOQ03端子) の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF542H

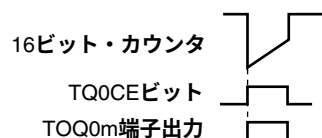
	7	⑥	5	④	3	②	1	①
TQ0IOC0	TQ00L3	TQ00E3	TQ00L2	TQ00E2	TQ00L1	TQ00E1	TQ00L0	TQ00E0

TQ00Lm	TOQ0m端子出力レベルの設定 (m = 0-3) 注
0	TOQ0m端子ハイ・レベル・スタート
1	TOQ0m端子ロウ・レベル・スタート

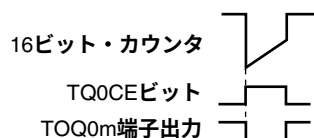
TQ00Em	TOQ0m端子出力の設定 (m = 0-3)
0	タイマ出力禁止 ・ TQ00Lmビット = 0のときTOQ0m端子からロウ・レベルを出力 ・ TQ00Lmビット = 1のときTOQ0m端子からハイ・レベルを出力
1	タイマ出力許可 (TOQ0m端子からパルスを出力)

注 TQ00Lmビットの指定によるタイマ出力端子 (TOQ0m) の出力レベルを次に示します。

・ TQ00Lmビット = 0の場合



・ TQ00Lmビット = 1の場合



注意1. TQ00Lm, TQ00Emビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。

2. TQ0CEビット = 0, TQ00Emビット = 0の状態において、TQ00Lmビットを操作した場合でも、TOQ0m端子の出力レベルは変化します。

備考 m = 0-3

(4) TMQ0I/O制御レジスタ1 (TQ0IOC1)

TQ0IOC1レジスタは、キャプチャ・トリガ入力信号 (TIQ00-TIQ03端子) に対する有効エッジの指定を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF543H

	7	6	5	4	3	2	1	0
TQ0IOC1	TQ0IS7	TQ0IS6	TQ0IS5	TQ0IS4	TQ0IS3	TQ0IS2	TQ0IS1	TQ0IS0

TQ0IS7	TQ0IS6	キャプチャ・トリガ入力信号 (TIQ03端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS5	TQ0IS4	キャプチャ・トリガ入力信号 (TIQ02端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS3	TQ0IS2	キャプチャ・トリガ入力信号 (TIQ01端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0IS1	TQ0IS0	キャプチャ・トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (キャプチャ動作無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0IS7-TQ0IS0ビットは、TQ0CTL0.TQ0CEビット=0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
- 2.** TQ0IS7-TQ0IS0ビットは、フリー・ランニング・タイマ・モードと、パルス幅測定モードのときのみ有効です。それ以外のモードではキャプチャ動作は行われません。

(5) TMQ0I/O制御レジスタ2 (TQ0IOC2)

TQ0IOC2レジスタは、外部イベント・カウント入力信号 (TIQ00端子)、外部トリガ入力信号 (TIQ00端子) に対する有効エッジの指定を制御する8ビット・レジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF544H

	7	6	5	4	3	2	1	0
TQ0IOC2	0	0	0	0	TQ0EES1	TQ0EES0	TQ0ETS1	TQ0ETS0

TQ0EES1	TQ0EES0	外部イベント・カウント入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (外部イベント・カウント無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

TQ0ETS1	TQ0ETS0	外部トリガ入力信号 (TIQ00端子) の有効エッジの設定
0	0	エッジ検出なし (外部トリガ無効)
0	1	立ち上がりエッジを検出
1	0	立ち下がりエッジを検出
1	1	両エッジを検出

- 注意1.** TQ0EES1, TQ0EES0, TQ0ETS1, TQ0ETS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください (TQ0CEビット = 1のときの同値書き込みは可能)。誤って書き換えた場合は、TQ0CEビットをクリア (0) してから再設定してください。
2. TQ0EES1, TQ0EES0ビットは、TQ0CTL1.TQ0EEEビット = 1、または外部イベント・カウント・モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 001) に設定したときのみ有効です。
3. TQ0ETS1, TQ0ETS0ビットは、外部トリガ・パルス出力モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 010)、ワンショット・パルス出力モード (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 011) に設定したときのみ有効です。

(6) TMQ0オプション・レジスタ0 (TQ0OPT0)

TQ0OPT0レジスタは、キャプチャ／コンペア動作の設定、オーバフローの検出を示す8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF545H

	7	6	5	4	3	2	1	①
TQ0OPT0	TQ0CCS3	TQ0CCS2	TQ0CCS1	TQ0CCS0	0	0	0	TQ0OVF

TQ0CCSm	TQ0CCRmレジスタのキャプチャ／コンペア選択
0	コンペア・レジスタを選択
1	キャプチャ・レジスタを選択
TQ0CCSmビットの設定はフリー・ランニング・タイマ・モードのときのみ有効になります。	

TQ0OVF	TMQ0のオーバフロー検出
0	TPnOVFビットへの0ライトまたはTPnCTL0.TPnCEビット = 0
1	オーバフロー発生
・TQ0OVFビットは、カウントフリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、16ビット・カウンタのカウント値がFFFFHから0000Hにオーバフローするときセット（1）されます。 ・TQ0OVFビットがセット（1）されると同時に、割り込み要求信号（INTTQ0OV）が発生します。フリー・ランニング・タイマ・モードおよびパルス幅測定モード以外では、INTTQ0OV信号は発生しません。 ・TQ0OVFビット = 1のときにTQ0OVFビットまたはTQ0OPT0レジスタをリードしてもTQ0OVFビットはクリアされません。 ・TQ0OVFビットはリード／ライト可能ですが、ソフトウェアでTQ0OVFビットをセット（1）することはできません。“1”をライトしてもTMQ0の動作に影響はありません。	

注意1. TQ0CCS3-TQ0CCS0ビットは、TQ0CTL0.TQ0CEビット = 0のときに書き換えてください（TQ0CEビット = 1のときの同値書き込みは可能）。誤って書き換えた場合は、TQ0CEビットをクリア（0）してから再設定してください。

2. ビット1-3には必ず“0”を設定してください。

備考 m = 0-3

(7) TMQ0キャプチャ／コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR0レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS0ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR0レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR0レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合



(a) コンペア・レジスタとしての機能

TQ0CCR0レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR0レジスタの設定値はCCR0バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC0) を発生し、TOQ00端子出力を許可している場合、TOQ00端子出力を反転します（詳細は、各動作モードを参照してください）。

インターバル・タイマ・モード、外部イベント・カウント・モード、外部トリガ・パルス出力モード、ワンショット・パルス出力モード、PWM出力モードにおいて、TQ0CCR0レジスタを周期レジスタとして使用する場合は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致することで16ビット・カウンタをクリア (0000H) します。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR0レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR0レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ00端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR0レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR0レジスタのリードが競合しても、TQ0CCR0レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-3 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み、一斉書き込みについては7.4 (2) 随時書き込みと一斉書き込みを参照してください。

(8) TMQ0キャプチャ／コンペア・レジスタ1 (TQ0CCR1)

TQ0CCR1レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR1レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS1ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR1レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR1レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：FFFFFF548H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR1																

(a) コンペア・レジスタとしての機能

TQ0CCR1レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR1レジスタの設定値はCCR1バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC1) を発生し、TOQ01端子出力を許可している場合、TOQ01端子出力を反転します（詳細は、各動作モードを参照してください）。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR1レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR1レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ01端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR1レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR1レジスタのリードが競合しても、TQ0CCR1レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-4 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み、一斉書き込みについては7.4 (2) 随時書き込みと一斉書き込みを参照してください。

(9) TMQ0キャプチャ／コンペア・レジスタ2 (TQ0CCR2)

TQ0CCR2レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR2レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS2ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR2レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR2レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：FFFFF54AH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR2																

(a) コンペア・レジスタとしての機能

TQ0CCR2レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR2レジスタの設定値はCCR2バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR2バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC2) を発生し、TOQ02端子出力を許可している場合、TOQ02端子出力を反転します（詳細は、各動作モードを参照してください）。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR2レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR2レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ02端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR2レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR2レジスタのリードが競合しても、TQ0CCR2レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ／コンペア・レジスタの機能，およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-5 各動作モードとキャプチャ／コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ／コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ／コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み，一斉書き込みについては7.4 (2) 随時書き込みと一斉書き込みを参照してください。

(10) TMQ0キャプチャ／コンペア・レジスタ3 (TQ0CCR3)

TQ0CCR3レジスタは、各モードによりキャプチャ機能とコンペア機能を切り替えて使用できるレジスタです。

TQ0CCR3レジスタは、フリー・ランニング・タイマ・モードの場合のみ、TQ0OPT0.TQ0CCS3ビットの設定により、キャプチャ・レジスタまたはコンペア・レジスタが選択できます。パルス幅測定モードの場合は、キャプチャ・レジスタとしてのみ使用します。これら以外のモードでは、コンペア・レジスタとしてのみ使用します。

TQ0CCR3レジスタは、動作中のリード／ライトを許可します。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次に示す状態において、TQ0CCR3レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R/W アドレス：FFFFF54CH																
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CCR3																

(a) コンペア・レジスタとしての機能

TQ0CCR3レジスタは、TQ0CTL0.TQ0CEビット = 1のときでも書き換えできます。

TQ0CCR3レジスタの設定値はCCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR3バッファ・レジスタの値が一致することでコンペア一致割り込み要求信号 (INTTQ0CC3) を発生し、TOQ03端子出力を許可している場合、TOQ03端子出力を反転します（詳細は、各動作モードを参照してください）。

(b) キャプチャ・レジスタとしての機能

フリー・ランニング・タイマ・モードにおいて、TQ0CCR3レジスタをキャプチャ・レジスタとして使用する場合、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR3レジスタに格納します。パルス幅測定モードの場合は、キャプチャ・トリガ入力 (TIQ03端子) の有効エッジを検出すると、16ビット・カウンタのカウント値をTQ0CCR3レジスタに格納し、16ビット・カウンタをクリア (0000H) します。

キャプチャ動作とTQ0CCR3レジスタのリードが競合しても、TQ0CCR3レジスタは正しい値をリードできます。

各動作モードと、対応するキャプチャ/コンペア・レジスタの機能、およびコンペア・レジスタの書き込み方法は次のとおりです。

表7-6 各動作モードとキャプチャ/コンペア・レジスタの機能およびコンペア・レジスタの書き込み方法

動作モード	キャプチャ/コンペア・レジスタ	コンペア・レジスタ書き込み方法
インターバル・タイマ	コンペア・レジスタ	随時書き込み
外部イベント・カウンタ	コンペア・レジスタ	随時書き込み
外部トリガ・パルス出力	コンペア・レジスタ	一斉書き込み
ワンショット・パルス出力	コンペア・レジスタ	随時書き込み
PWM出力	コンペア・レジスタ	一斉書き込み
フリー・ランニング・タイマ	キャプチャ/コンペア・レジスタ	随時書き込み
パルス幅測定	キャプチャ・レジスタ	—

備考 随時書き込み、一斉書き込みについては7.4 (2) 随時書き込みと一斉書き込みを参照してください。

(11) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタは、16ビットのカウンタ値をリードするためのリード・バッファ・レジスタです。

TQ0CTL0.TQ0CEビット = 1のときにTQ0CNTレジスタをリードすると、16ビット・カウンタのカウンタ値をリードできます。

16ビット単位でリードのみ可能です。

TQ0CEビット = 0のとき、TQ0CNTレジスタは0000Hになります。このときにTQ0CNTレジスタをリードすると、16ビット・カウンタの値 (FFFFH) をリードせず、そのまま0000Hをリードします。

リセットによりTQ0CEビット = 0になるため、TQ0CNTレジスタは0000Hになります。

注意 次を示す状態において、TQ0CNTレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：0000H R アドレス：FFFFF54EH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TQ0CNT																

7.4 動作

TMQ0には次のような動作があります。

表7-7 TMQ0の動作モード

動作モード	TQ0CTL1.TQ0EST ビット (ソフトウェア・ トリガ・ビット)	TIQ00端子 (外部トリガ入力)	キャプチャ/ コンペア・レジスタ の設定	コンペア・レジスタ の書き込み方法	カウント・ クロック
インターバル・タイマ・ モード	無効	無効	コンペア専用	随時書き込み	内部/外部
外部イベント・カウント・ モード ^{注1}	無効	無効	コンペア専用	随時書き込み	外部
外部トリガ・パルス出力 モード ^{注2}	有効	有効	コンペア専用	一斉書き込み	内部
ワンショット・パルス出力 モード ^{注2}	有効	有効	コンペア専用	随時書き込み	内部
PWM出力モード	無効	無効	コンペア専用	一斉書き込み	内部/外部
フリー・ランニング・タ イマ・モード	無効	無効	切り替え可能	随時書き込み	内部/外部
パルス幅測定モード ^{注2}	無効	無効	キャプチャ専用	—	内部

注1. 外部イベント・カウント・モードを使用する場合、TIQ00端子のキャプチャ・トリガ入力の有効エッジの設定を、エッジを検出しない (TQ0IOC1.TQ0IS1, TQ0IS0ビットを“00”) に設定してください。

2. 外部トリガ・パルス出力モード、ワンショット・パルス出力モード、パルス幅測定モードを使用する場合、カウント・クロックは内部クロックを選択 (TQ0CTL1.TQ0EEEビット = 0に設定) してください。

(1) カウンタ基本動作

次に16ビット・カウンタの基本動作を説明します。詳細は各モードでの動作説明を参照してください。

(a) カウント開始動作

TMQ0の16ビット・カウンタは、すべてのモードで初期値FFFFHからカウントを開始します。

カウント動作は、FFFFH, 0000H, 0001H, 0002H, 0003H, …とカウント・アップします。

(b) クリア動作

16ビット・カウンタとコンペア・レジスタの値の一致&クリアおよび16ビット・カウンタの値のキャプチャ&クリアの場合、16ビット・カウンタは0000Hにクリアされます。なお、カウント動作開始直後およびオーバーフローの場合のFFFFHから0000Hへのカウント動作はクリア動作ではありません。したがって、INTTQ0CCm割り込み信号は発生しません (m = 0-3)。

(c) オーバフロー動作

16ビット・カウンタのオーバーフローは、フリー・ランニング・タイマ・モードおよびパルス幅測定モード時に、FFFFHから0000Hへのカウント・アップのタイミングで発生します。オーバーフローが発生すると、TQ0OPT0.TQ0OVFビットがセット (1) され、割り込み要求信号 (INTTQ0OV) が発生します。なお、次の条件ではINTTQ0OV信号は発生しません。

- ・ カウント動作開始直後
- ・ コンペア値がFFFFHで一致&クリアされた場合
- ・ パルス幅測定モード時のFFFFHをキャプチャし、クリアした場合のFFFFHから0000Hになるタイミング

注意 オーバフロー割り込み要求信号 (INTTQ0OV) 発生後は、必ずオーバーフロー・フラグ (TQ0OVFビット) が“1”にセットされているのを確認してください。

(d) カウント動作中のカウンタ・リード動作

TMQ0では、TQ0CNTレジスタにより、カウント動作中の16ビット・カウンタの値をリードできます。

TQ0CTL0.TQ0CEビット = 1のときは、TQ0CNTレジスタをリードすることにより、16ビット・カウンタの値をリードできます。ただし、TQ0CEビット = 0のときは、16ビット・カウンタがFFFFHで、TQ0CNTレジスタが0000Hです。

(2) 随時書き込みと一斉書き込み

TMQ0では、タイマ動作中 (TQ0CTL0.TQ0CEビット = 1) でもTQ0CCR0-TQ0CCR3レジスタの書き換えを許可していますが、モードによってCCR0-CCR3バッファ・レジスタへの書き込み方法(随時書き込み、一斉書き込み)が異なります。

(a) 随時書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を随時行います。

図7-2 随時書き込みの基本動作フロー・チャート

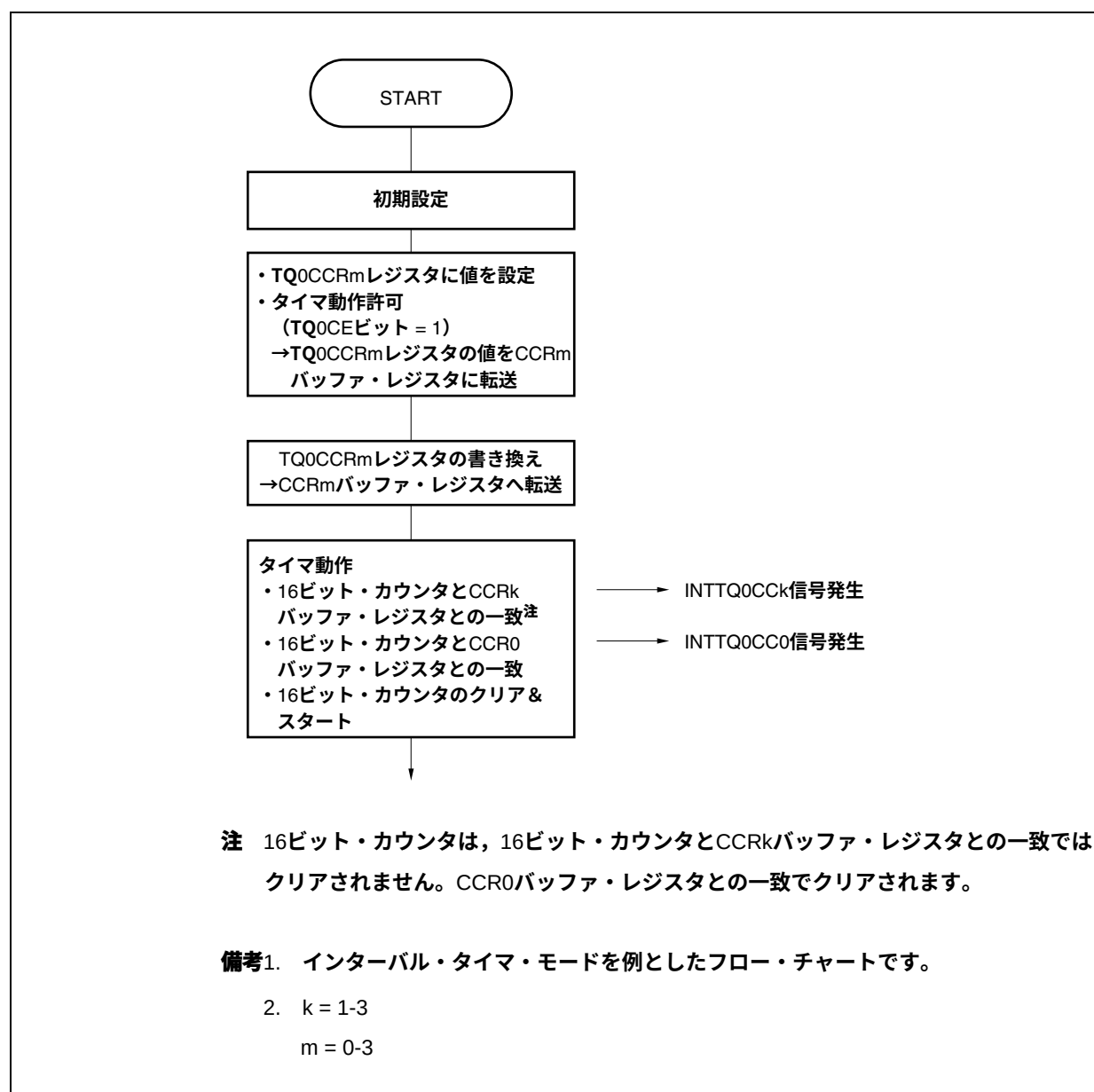
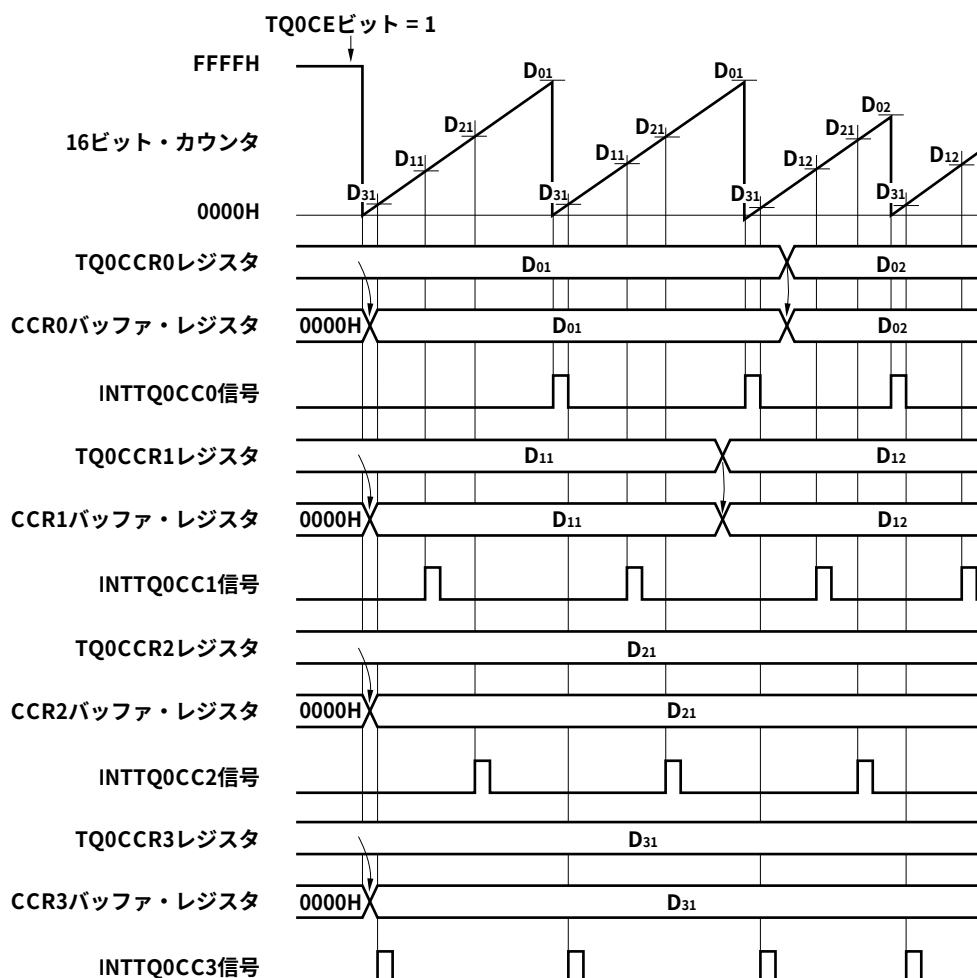


図7-3 随時書き込みのタイミング



備考1. D01, D02 : TQ0CCR0レジスタの設定値

D11, D12 : TQ0CCR1レジスタの設定値

D21 : TQ0CCR2レジスタの設定値

D31 : TQ0CCR3レジスタの設定値

2. インターバル・タイマ・モードを例としたタイミング・チャートです。

(b) 一斉書き込み

このモードは、タイマ動作中にTQ0CCR0-TQ0CCR3レジスタからCCR0-CCR3バッファ・レジスタへの転送を一斉に行います。その転送タイミングはCCR0バッファ・レジスタと16ビット・カウンタの一致時で、転送許可はTQ0CCR1レジスタへの書き込みとなります。TQ0CCR1レジスタの書き込みの有無で、次の転送タイミングを有効とするか無効とするかを制御します。

TQ0CCR0-TQ0CCR3レジスタを書き換えた場合の設定値が16ビット・カウンタのコンペア値とする（CCR0-CCR3バッファ・レジスタに転送される）には、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致する前にTQ0CCR0レジスタを書き換え、次にTQ0CCR1レジスタを書き込む必要があります。これにより、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値との一致タイミングで、TQ0CCR0-TQ0CCR3レジスタの値はCCR0-CCR3バッファ・レジスタに転送されます。なお、TQ0CCR0、TQ0CCR2、TQ0CCR3レジスタのいずれかの値だけ書き換えたい場合でも、TQ0CCR1レジスタに同値（すでに設定したTQ0CCR1レジスタと同じ値）を書き込んでください。

図7-4 一斉書き込みの基本動作フロー・チャート

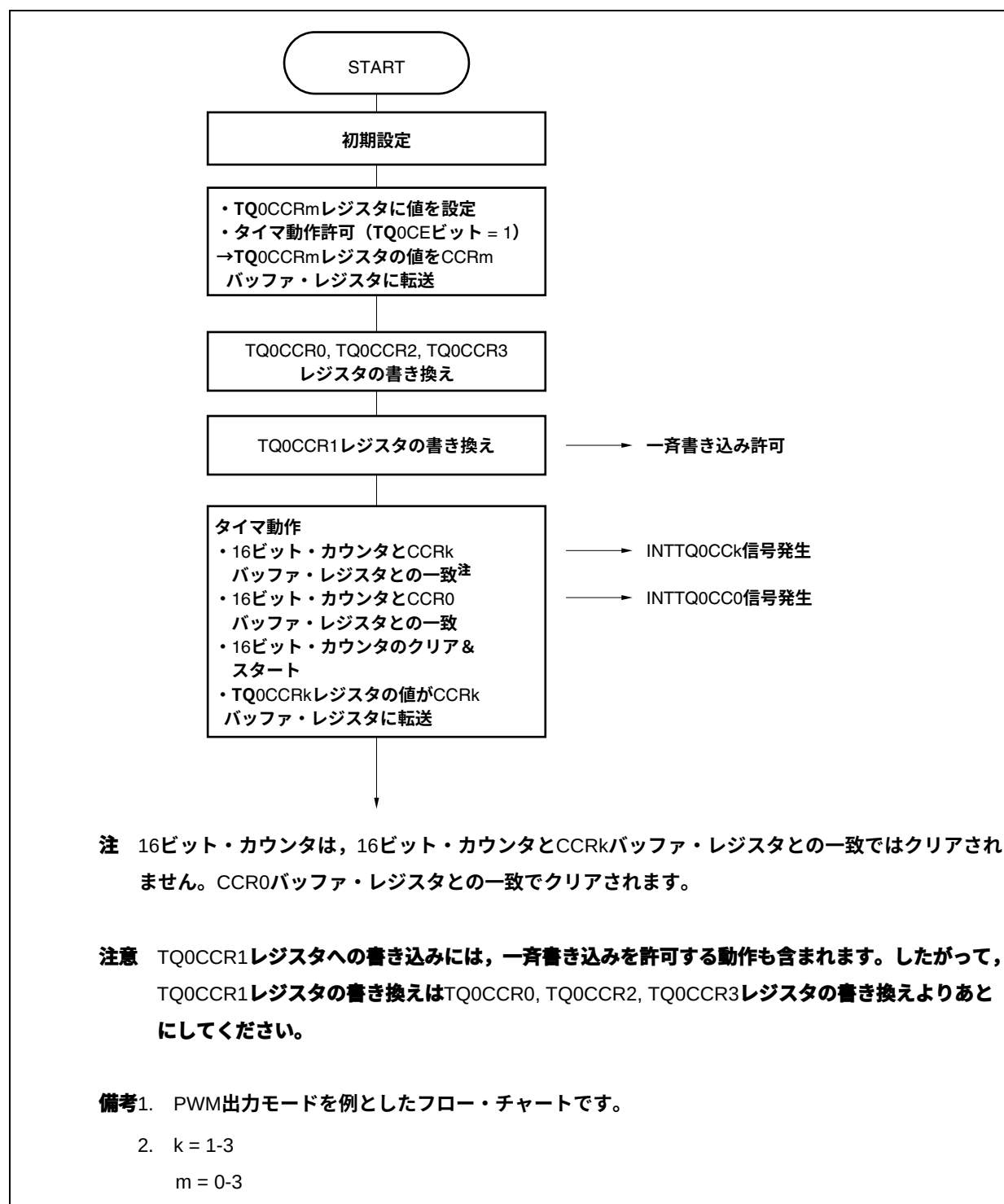
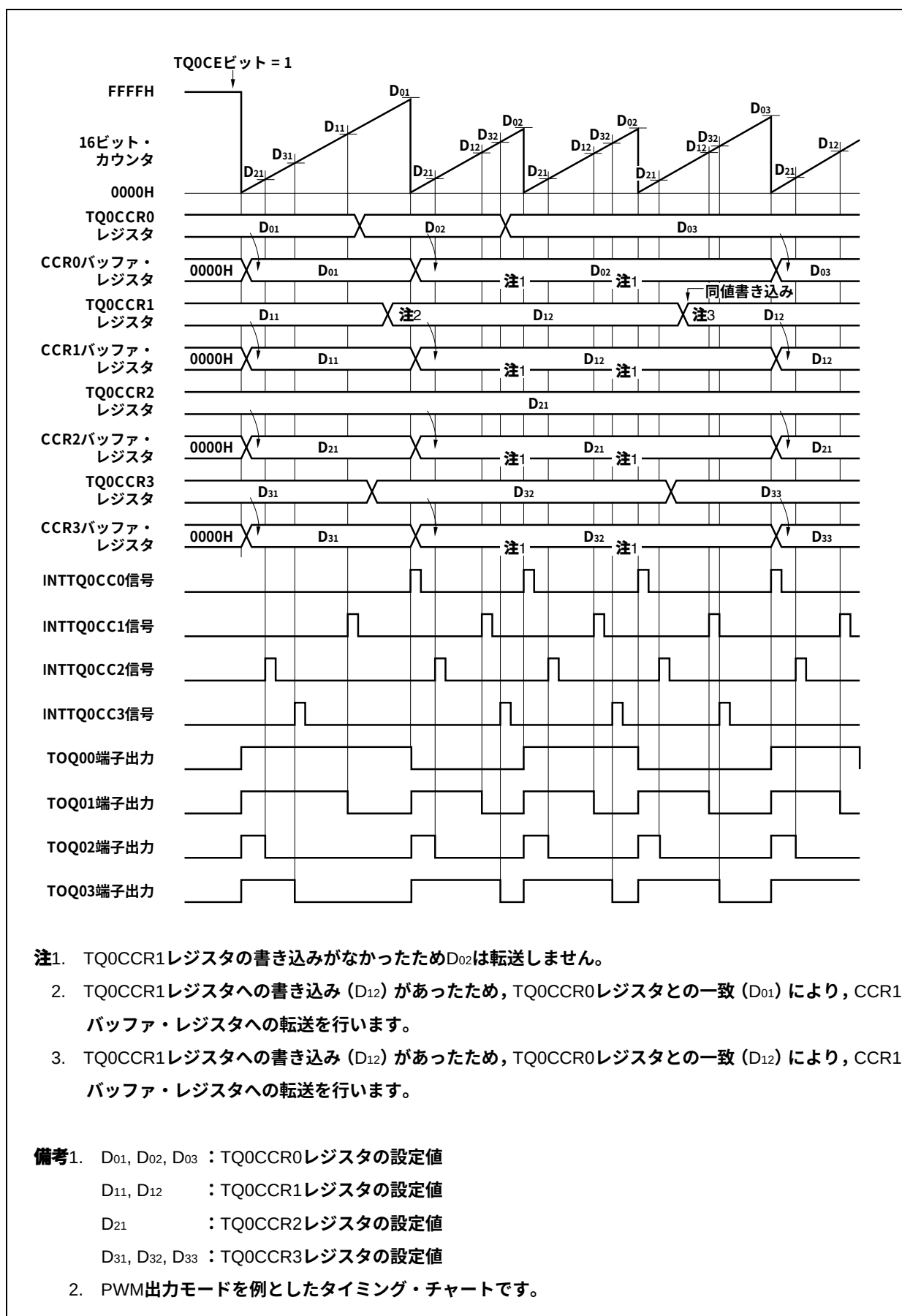


図7-5 一斉書き込みのタイミング



7.4.1 インターバル・タイマ・モード (TQ0MD2-TQ0MD0ビット = 000)

インターバル・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット (1) することで、任意のインターバル間隔にて割り込み要求信号 (INTTQ0CC0) を発生します。また、TQ0CEビットをセット (1) することで動作を開始し、TOQ00端子から、インターバル間隔を半周期とする方形波を出力できます。

インターバル・タイマ・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタを使用しません。割り込みマスク・フラグ (TQ0CCMK1-TQ0CCMK3) でマスク設定してください。

- 備考1. TOQ00端子の設定については表7-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTQ0CC0信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図7-6 インターバル・タイマの構成図

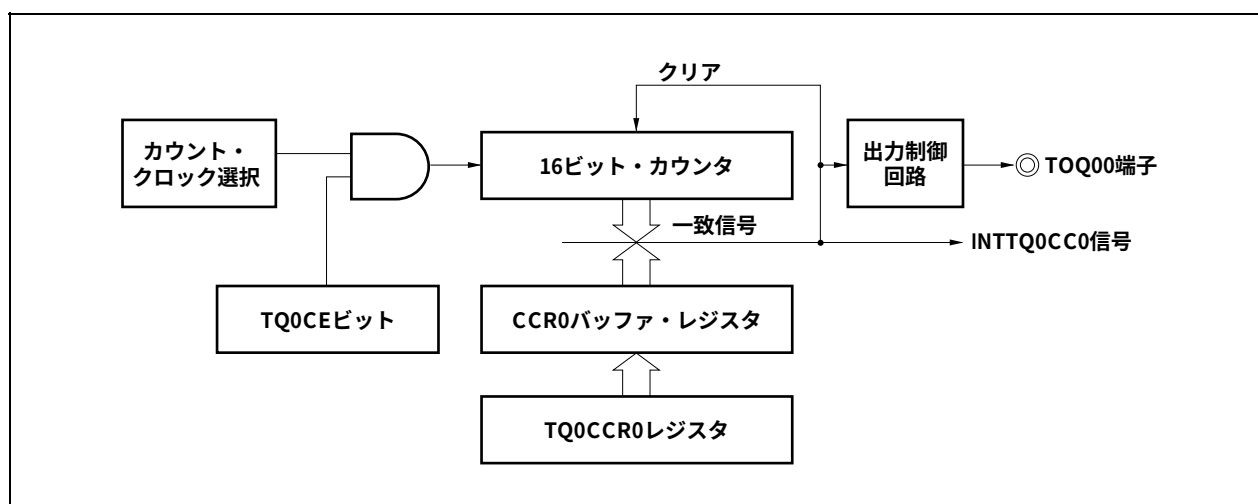
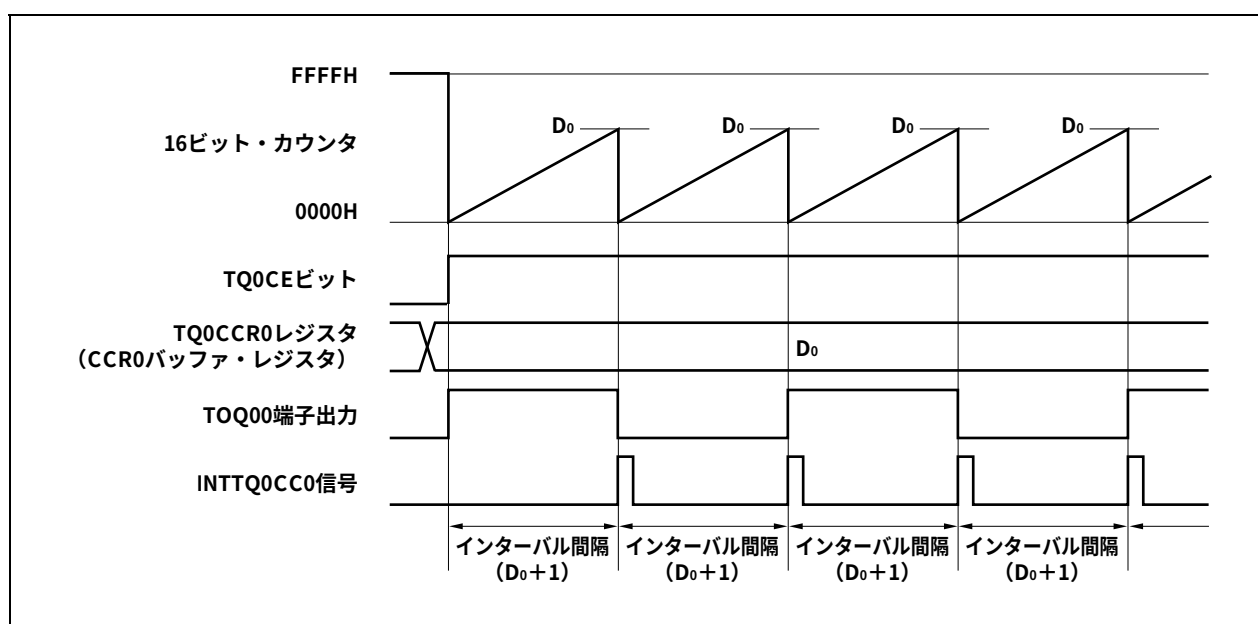


図7-7 インターバル・タイマ・モード動作の基本タイミング



TQ0CEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。このときTOQ00端子出力を反転します。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

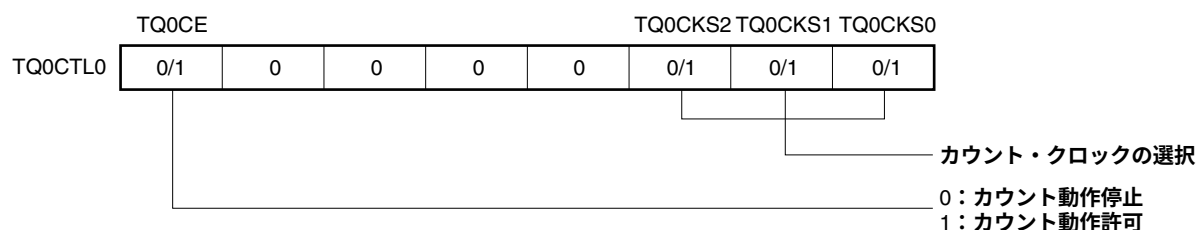
16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、TOQ00端子出力を反転させて、コンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (\text{TQ0CCR0レジスタ設定値} + 1) \times \text{カウント・クロック周期}$$

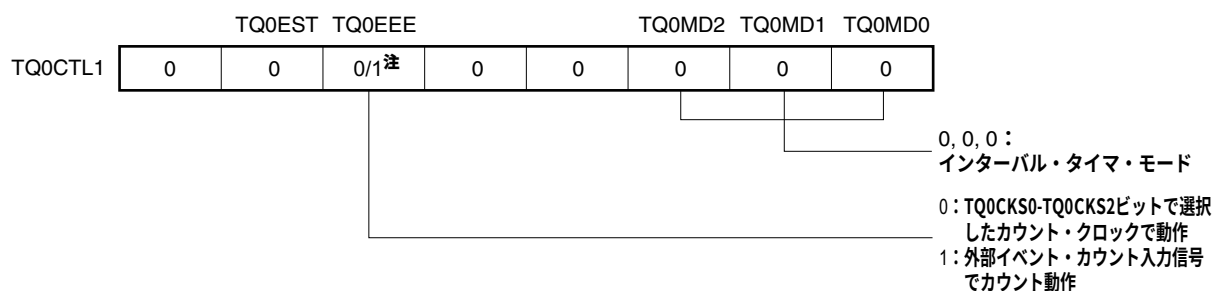
次にインターバル・タイマ・モード動作時のレジスタ設定例を示します。

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMQ0制御レジスタ0 (TQ0CTL0)



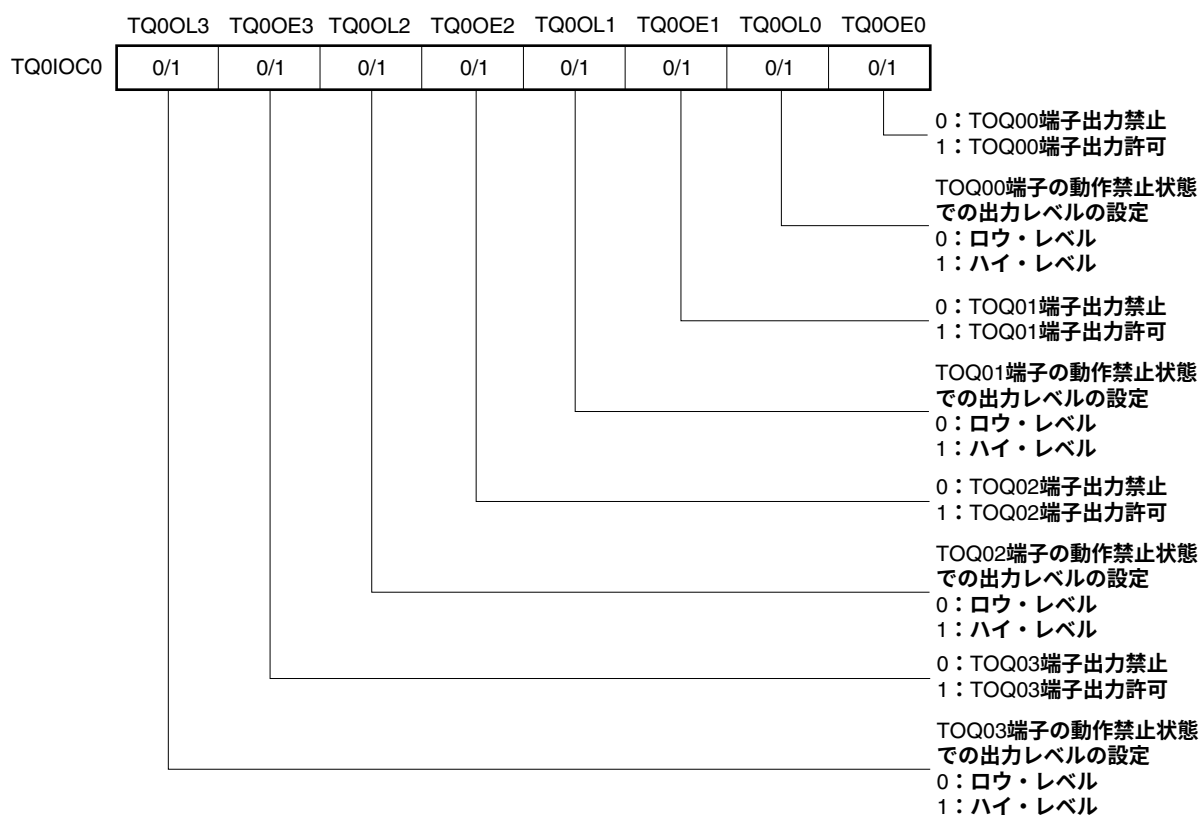
(b) TMQ0制御レジスタ1 (TQ0CTL1)



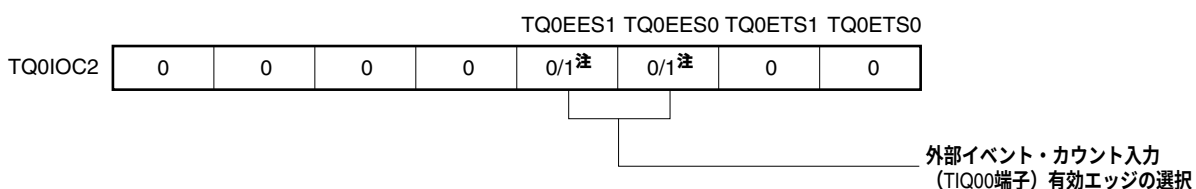
注 タイマ出力 (TOQ0k) を使用する場合だけ、TQ0EEEビット = 1にすることを許可します。ただし、TQ0CCR0, TQ0CCRkレジスタの設定値は、同値にしてください(7.4.1(2)(d)TQ0CCR1-TQ0CCR3レジスタの動作参照) (k = 1-3)。

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



注 タイマ出力 (TOQ01-TOQ03) を使用する場合だけ、TQ0EES1, TQ0EES0ビットを設定することを許可します。ただし、TQ0CCR0-TQ0CCR3レジスタは同値に設定してください。

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタのカウンタ値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合、

$$\text{インターバル間隔} = (D_0 + 1) \times \text{カウント・クロック周期}$$

となります。

図7-8 インターバル・タイマ・モード動作時のレジスタ設定内容 (3/3)

(g) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

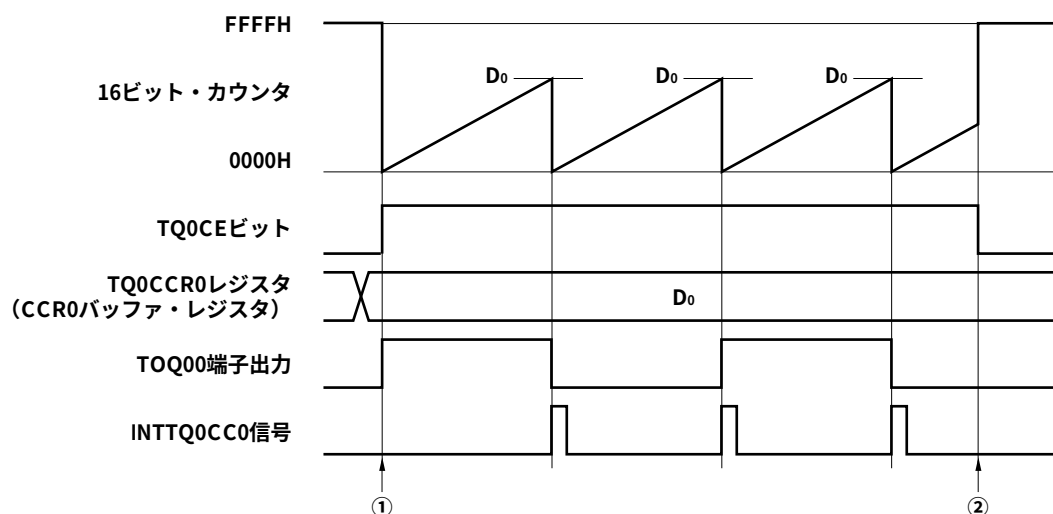
インターバル・タイマ・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタを使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

したがって、割り込みマスク・フラグ (TQ0CCMK1-TQ0CCMK3) でマスク設定しておいてください。

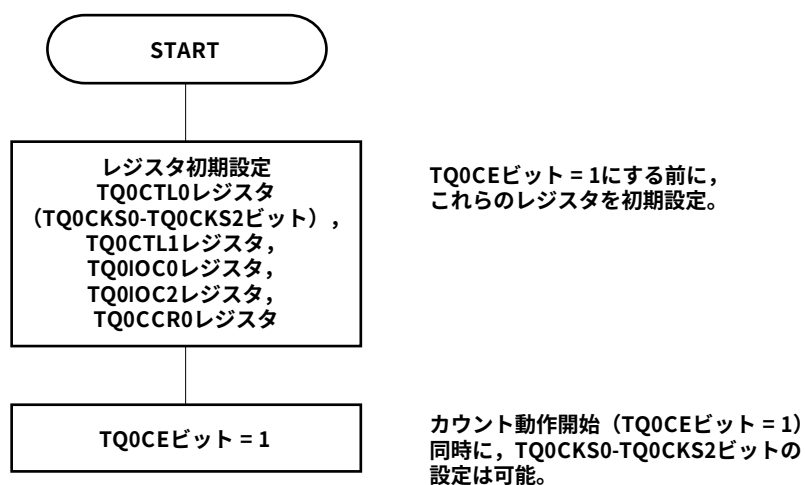
備考 TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、インターバル・タイマ・モードでは使用しません。

(1) インターバル・タイマ・モード動作フロー

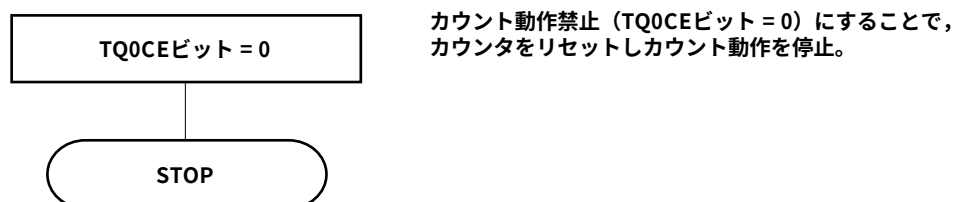
図7-9 インターバル・タイマ・モード動作タイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



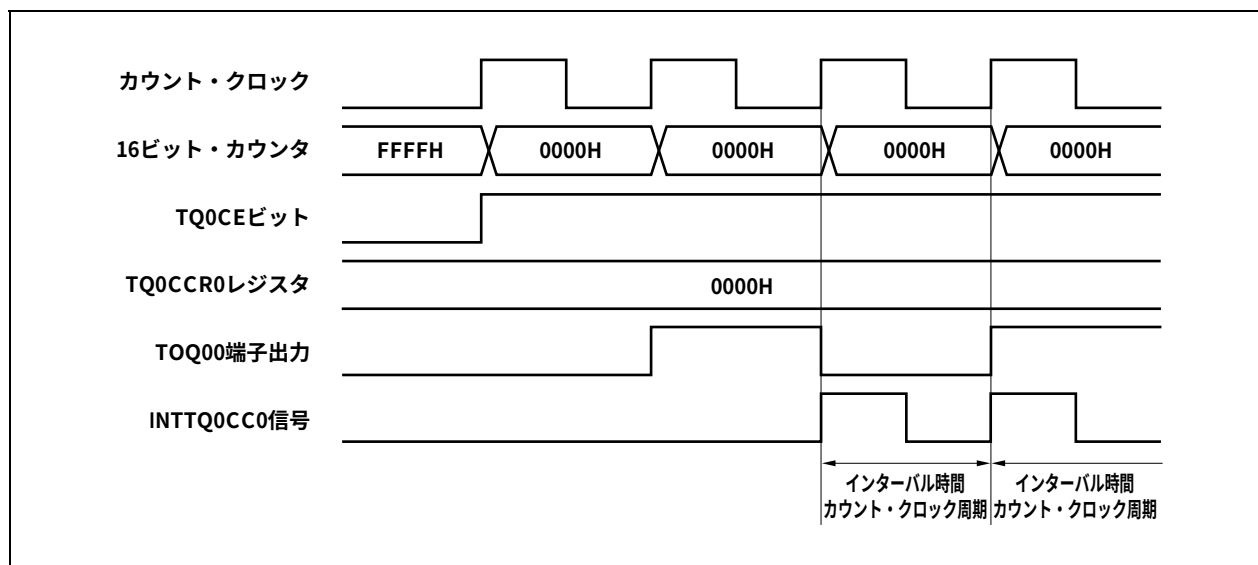
(2) インターバル・タイマ・モードの応用

(a) TQ0CCR0レジスタに0000Hを設定した場合の動作

TQ0CCR0レジスタに0000Hを設定した場合、2クロック目以降のカウンタ・クロックごとに INTTQ0CC0信号を発生し、TOQ00端子の出力を反転します。

16ビット・カウンタは、常に0000Hとなります。

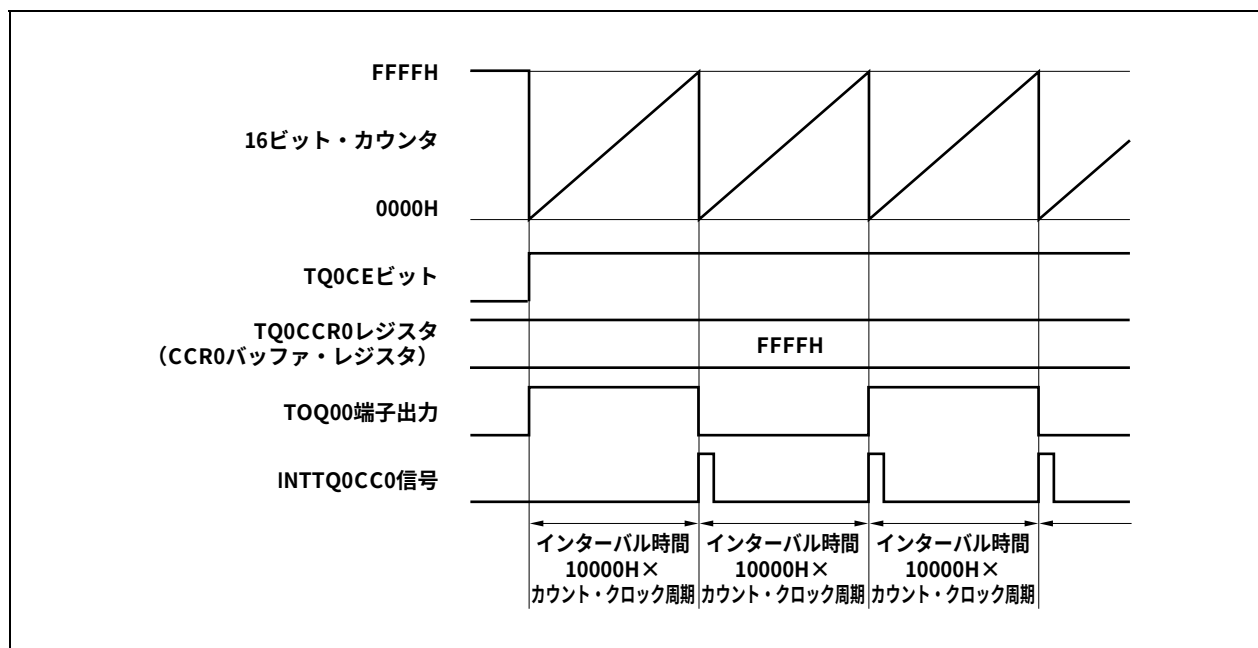
図7-10 TQ0CCR0レジスタに0000Hを設定した場合の動作



(b) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタはFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQ0CC0信号を発生し、TOQ00端子の出力を反転します。このとき、オーバフロー割り込み要求信号 (INTTQ0OV) は発生せず、オーバフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されません。

図7-11 TQ0CCR0レジスタにFFFFHを設定した場合の動作

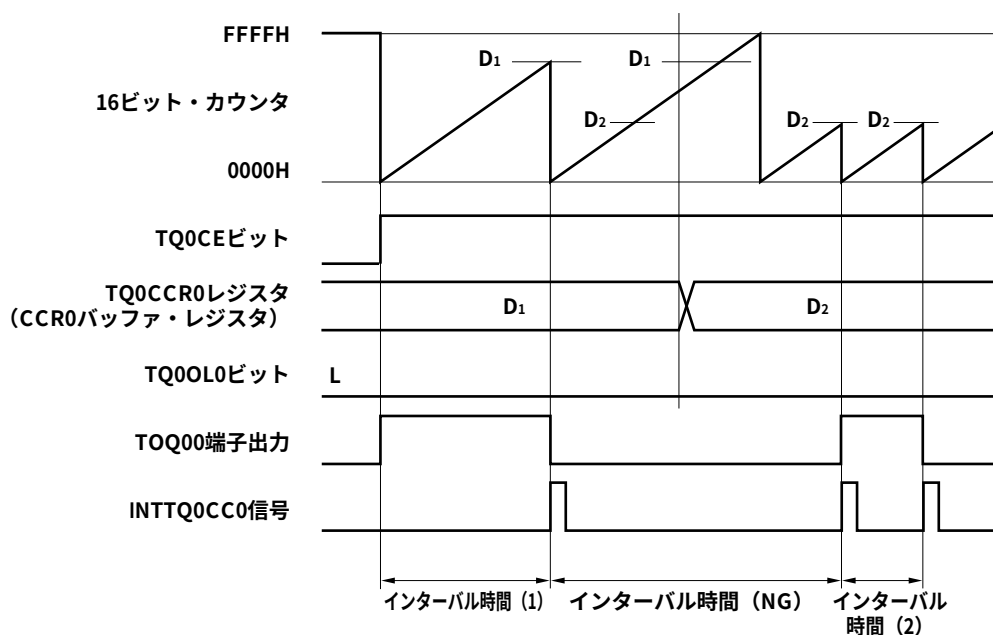


(c) TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合がありますので注意してください。

図7-12 TQ0CCR0レジスタの書き換えに関する注意事項



備考 インターバル時間 (1) : $(D_1 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (NG) : $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$

インターバル時間 (2) : $(D_2 + 1) \times \text{カウント・クロック周期}$

カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQ0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

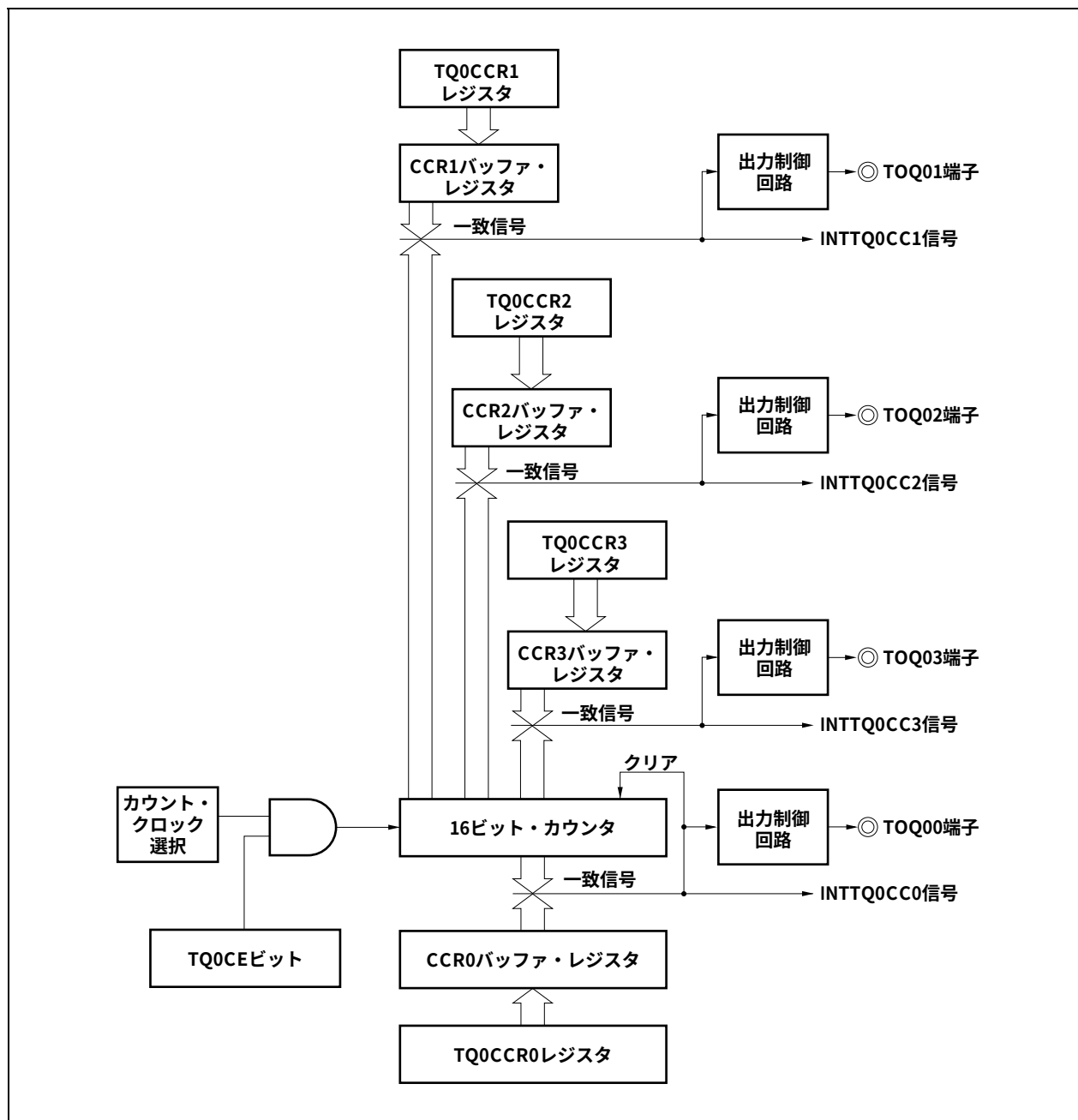
しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQ0CC0信号を発生しTOQ00端子出力を反転します。

したがって、本来期待しているインターバル時間である「 $(D_1 + 1) \times \text{カウント・クロック周期}$ 」または「 $(D_2 + 1) \times \text{カウント・クロック周期}$ 」でINTTQ0CC0信号は発生せずに、「 $(10000H + D_2 + 1) \times \text{カウント・クロック周期}$ 」の間隔でINTTQ0CC0信号が発生する場合があります。

(d) TQ0CCR1-TQ0CCR3レジスタの動作

次にインターバル・タイマ・モード動作時のTQ0CCR k レジスタの構成について示します ($k = 1-3$)。

図7-13 TQ0CCR1-TQ0CCR3レジスタの構成図



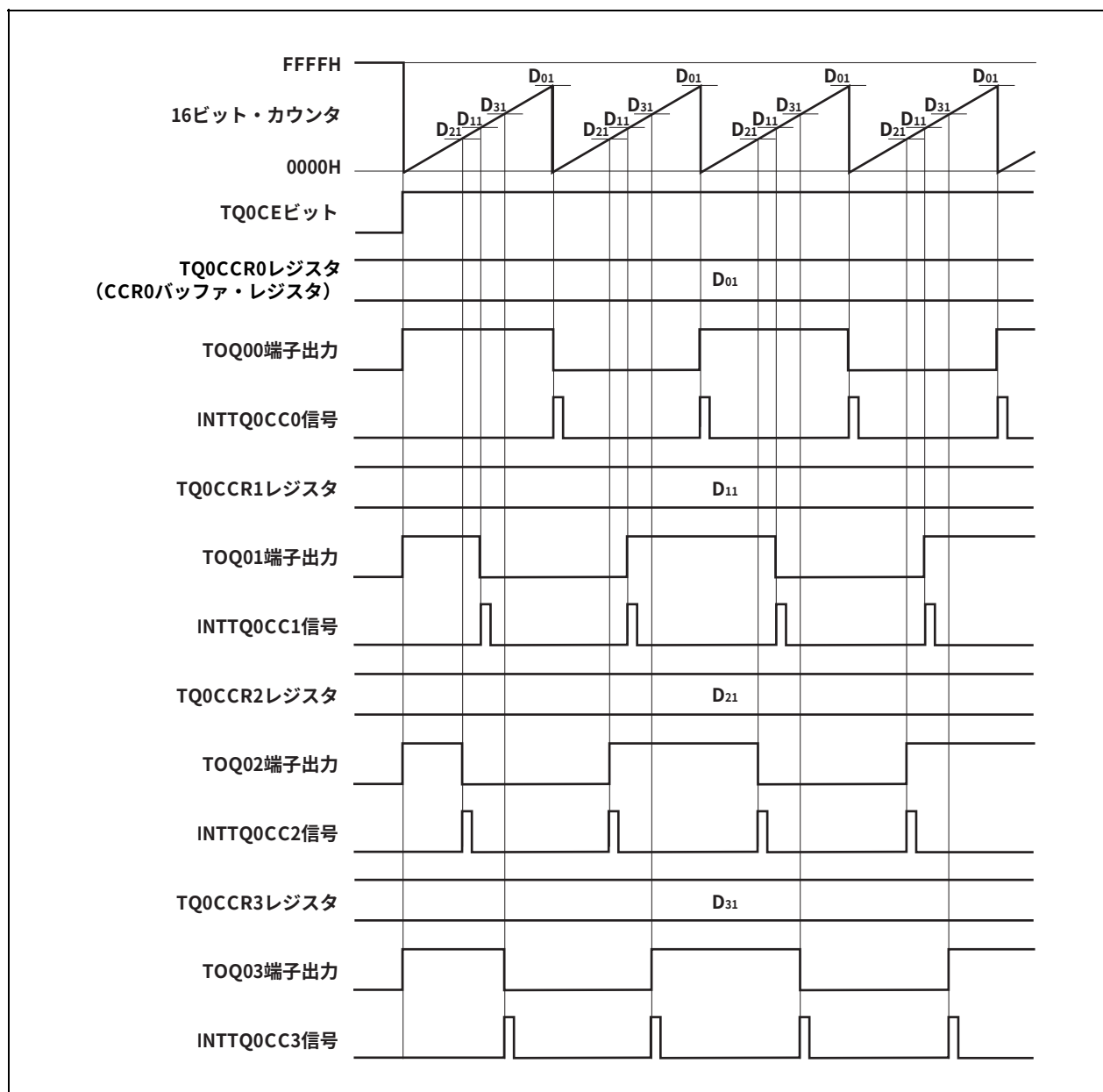
TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCk信号が発生します。また、同じタイミングでTOQ0k端子出力は反転します。

TOQ0k端子出力は、TOQ00端子出力と同じ周期で位相がずれた方形波を出力します。

TQ0CCRkレジスタの設定値 (D_{k1}) が、TQ0CCR0レジスタの設定値 (D_{01}) より小さい場合のタイミング図を次に示します。

備考 k = 1-3

図7-14 $D_{01} \geq D_{k1}$ の場合のタイミング図

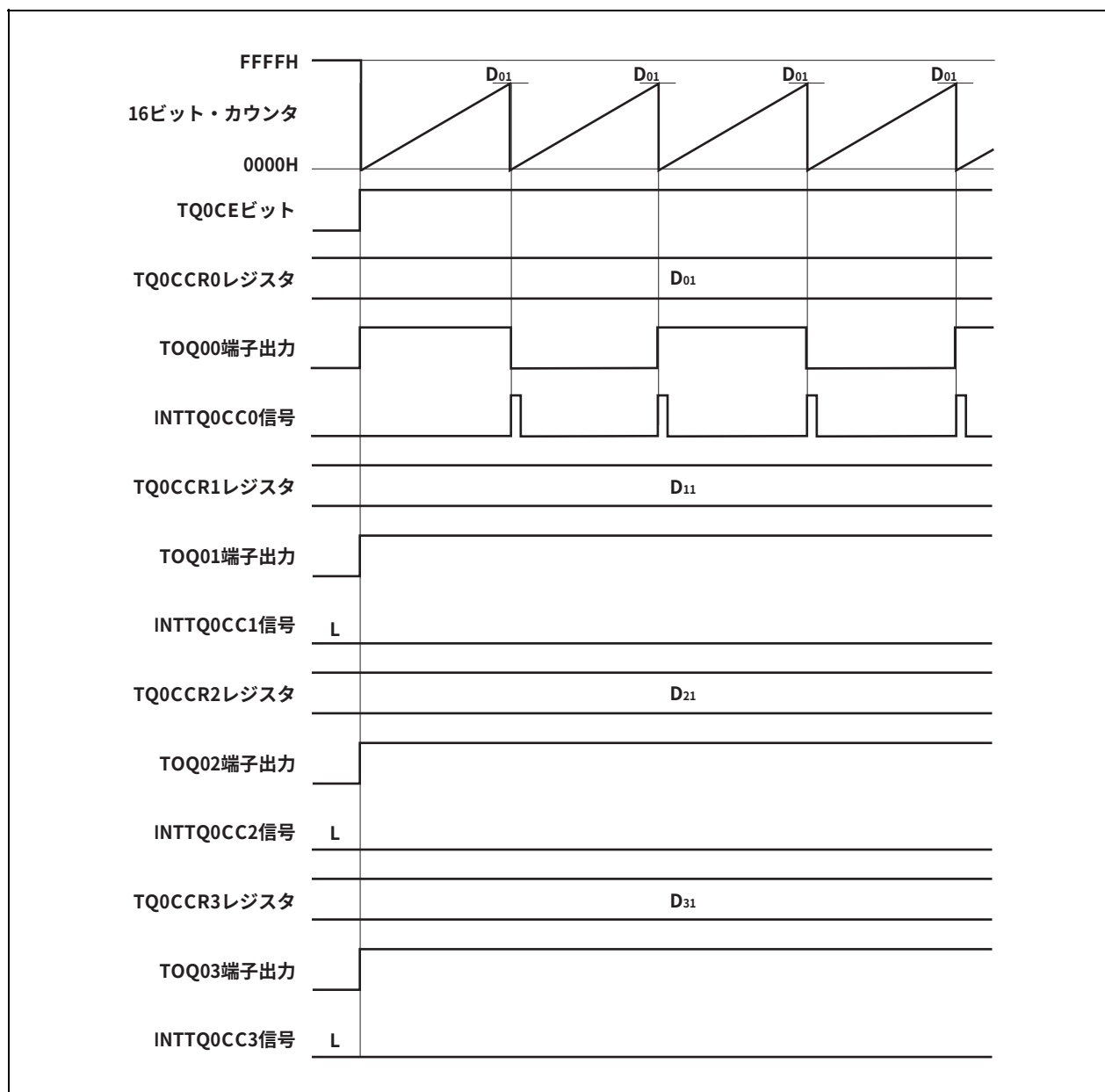


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。また、TOQ0k端子出力も変化しません。

TQ0CCRkレジスタの設定値 (D_{k1}) が、TQ0CCR0レジスタの設定値 (D_{01}) より大きい場合のタイミング図を次に示します。

備考 k = 1-3

図7-15 $D_{01} < D_{k1}$ の場合のタイミング図



(3) 外部イベント・カウント入力 (TIQ00) による動作

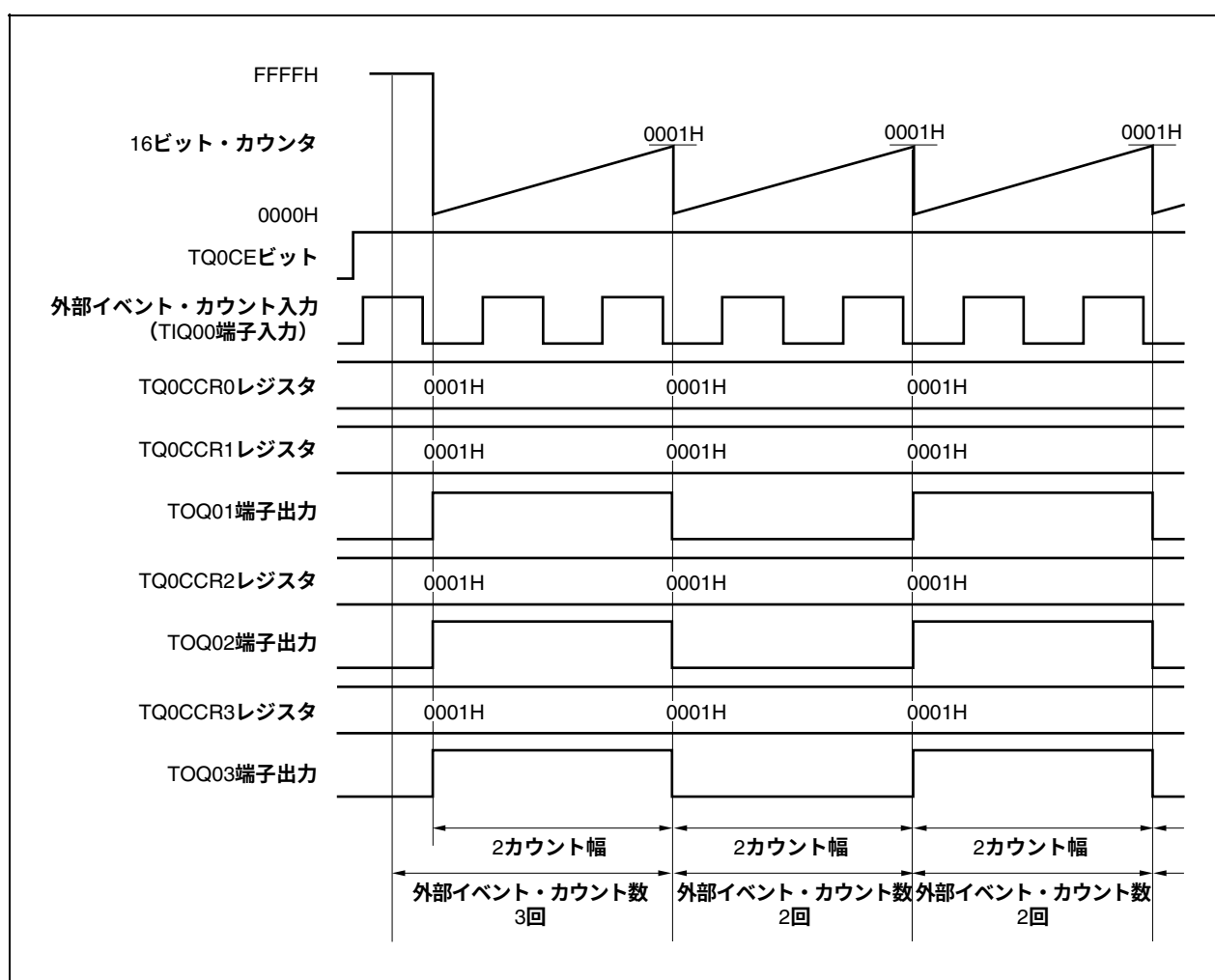
(a) 動作

インターバル・タイマ・モード時に外部イベント・カウント入力 (TIQ00) の有効エッジで16ビット・カウンタをカウントする場合、TQ0CEビットを0から1に設定した直後に、16ビット・カウンタをFFFFHから0000Hにクリアするために、1回の外部イベント・カウント入力の有効エッジが必要です。

TQ0CCR0, TQ0CCRkレジスタに0001Hを設定 (同値設定) すると、16ビット・カウンタの2カウントごとにTOQ0k端子の出力を反転します (k = 1-3)。

外部イベント・カウント入力でタイマ出力 (TOQ0k) を使用する場合だけ、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1の設定が可能です。

図7-16 外部イベント・カウント入力 (TIQ00) による動作



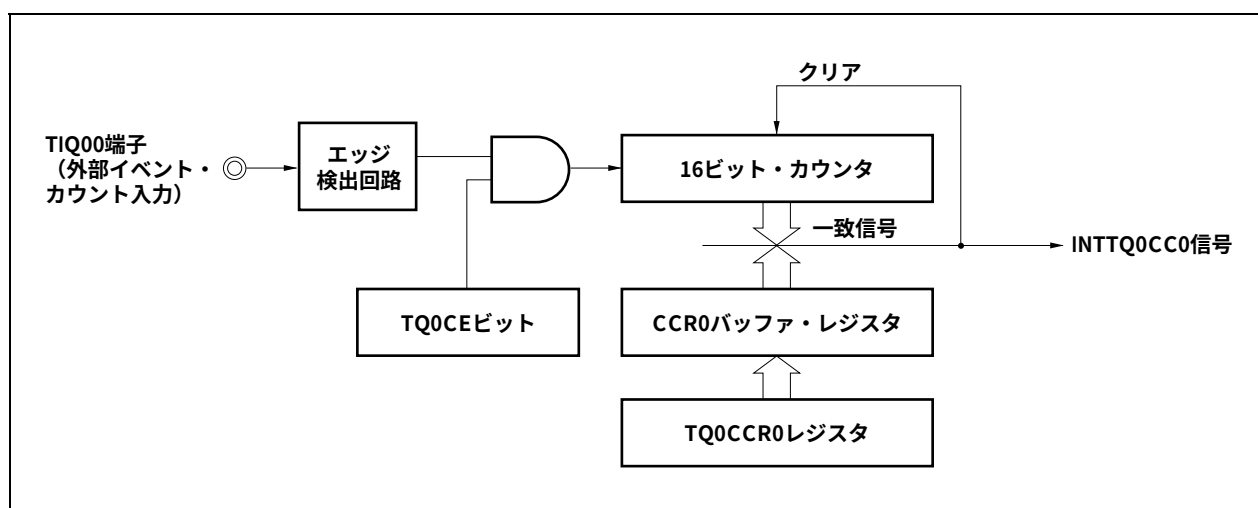
7.4.2 外部イベント・カウント・モード (TQ0MD2-TQ0MD0ビット = 001)

外部イベント・カウント・モードは、TQ0CTL0.TQ0CEビットをセット (1) することで、外部イベント・カウント入力の有効エッジをカウントし、任意のカウント数をカウントすると割り込み要求信号 (INTTQ0CC0) を発生します。タイマ出力 (TOQ00-TOQ03端子) は使用できません。外部イベント・カウント・モードで TOQ01-TOQ03端子を使用したい場合は、インターバル・タイマ・モード時にTQ0CTL1.TQ0EEEビット = 1に設定してください (7.4.1 (3) 外部イベント・カウント入力 (TIQ00) による動作参照)。

外部イベント・カウント・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタは使用しません。

- 備考1. TIQ00端子の設定については表7-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTQ0CC0信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図7-17 外部イベント・カウント・モードの構成図

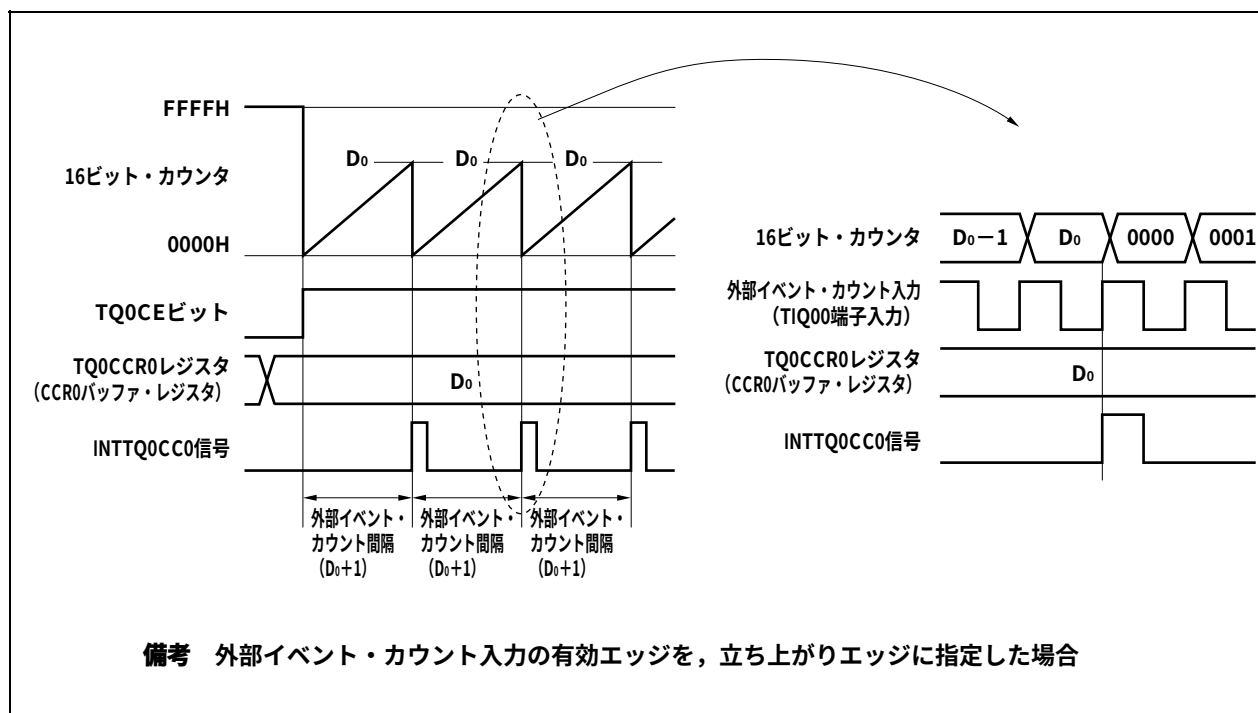


TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアし、外部イベント・カウント入力の有効エッジを検出することによりカウント動作を行います。また、TQ0CCR0レジスタの設定値がCCR0バッファ・レジスタに転送されます。

16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、コンペアー一致割り込み要求信号 (INTTQ0CC0) を発生します。

INTTQ0CC0信号は、外部イベント・カウント入力の有効エッジを (TQ0CCR0レジスタに設定した値+1) 回検出することにより発生します。

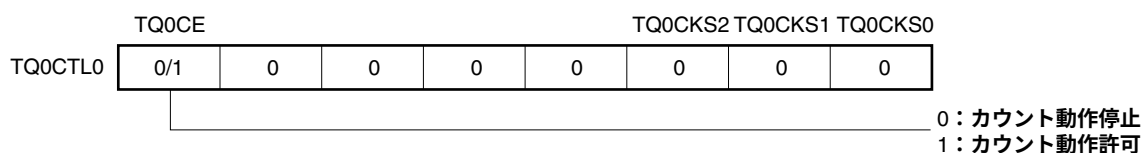
図7-18 外部イベント・カウント・モードの基本タイミング



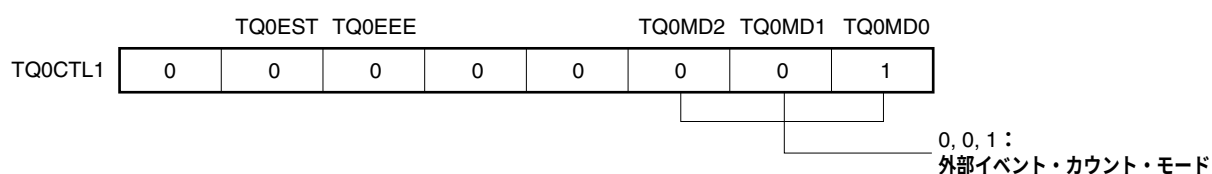
次に外部イベント・カウント・モード動作時のレジスタ設定例を示します。

図7-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (1/2)

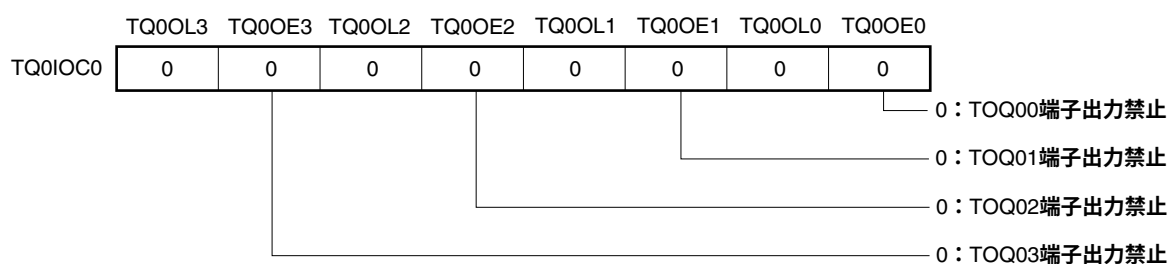
(a) TMQ0制御レジスタ0 (TQ0CTL0)



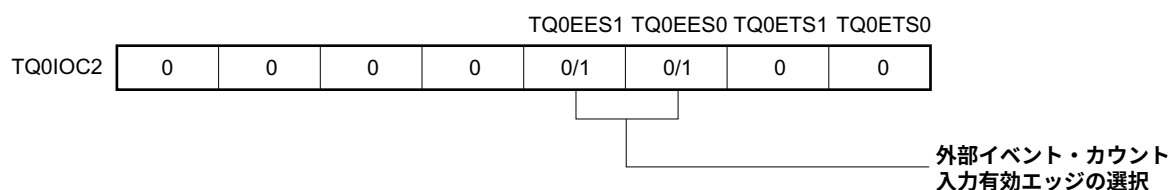
(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタのカウント値をリードできます。

図7-19 外部イベント・カウント・モード動作時のレジスタ設定内容 (2/2)

(f) TMQ0キャプチャ/コンペア・レジスタ0 (TQ0CCR0)

TQ0CCR0レジスタにD₀を設定した場合、外部イベント・カウント数が(D₀+1)回となるとカウントをクリアしコンペア一致割り込み要求信号 (INTTQ0CC0) を発生します。

(g) TMQ0キャプチャ/コンペア・レジスタ1-3 (TQ0CCR1-TQ0CCR3)

外部イベント・カウント・モードでは、通常、TQ0CCR1-TQ0CCR3レジスタは使用しません。しかし、TQ0CCR1-TQ0CCR3レジスタの設定値はCCR1-CCR3バッファ・レジスタに転送され、16ビット・カウンタのカウント値とCCR1-CCR3バッファ・レジスタの値が一致するとコンペア一致割り込み要求信号 (INTTQ0CC1-INTTQ0CC3) が発生します。

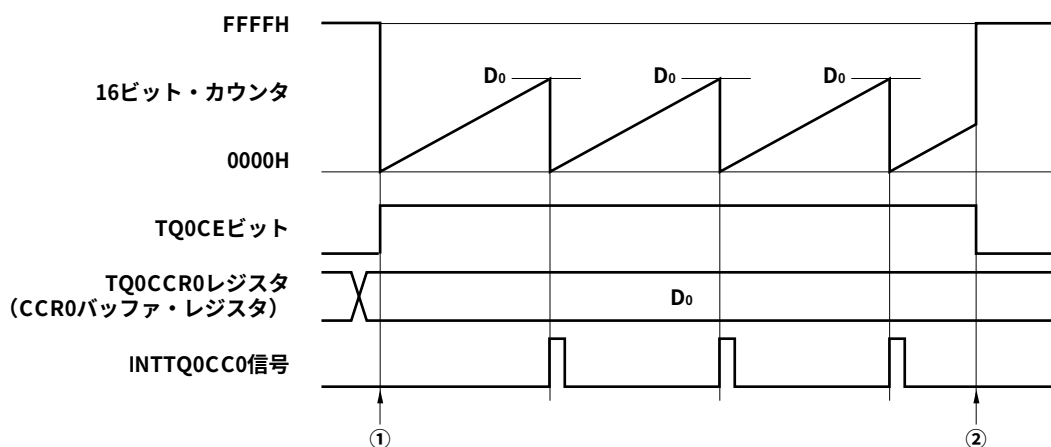
したがって、割り込みマスク・フラグ (TQ0CCMK1-TQ0CCMK3) でマスク設定しておいてください。

- 注意1.** 外部イベント・カウント・モード時、TQ0CCR0レジスタには、0000Hを設定しないでください。
2. 外部イベント・カウント・モード時、タイマ出力は使用禁止です。外部イベント・カウント入力でタイマ出力を行う場合は、インターバル・タイマ・モードに設定してカウント・クロックを外部イベント・カウント入力での動作許可 (TQ0CTL1.TQ0MD2-TQ0MD0ビット = 000, TQ0CTL1.TQ0EEEビット = 1) に選択してください (7.4.1 (3) 外部イベント・カウント入力 (TIQ00) による動作参照)。
3. カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子からのみ入力できます。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00 (キャプチャ・トリガ入力 (TIQ00端子) : エッジ検出なし) に設定してください。

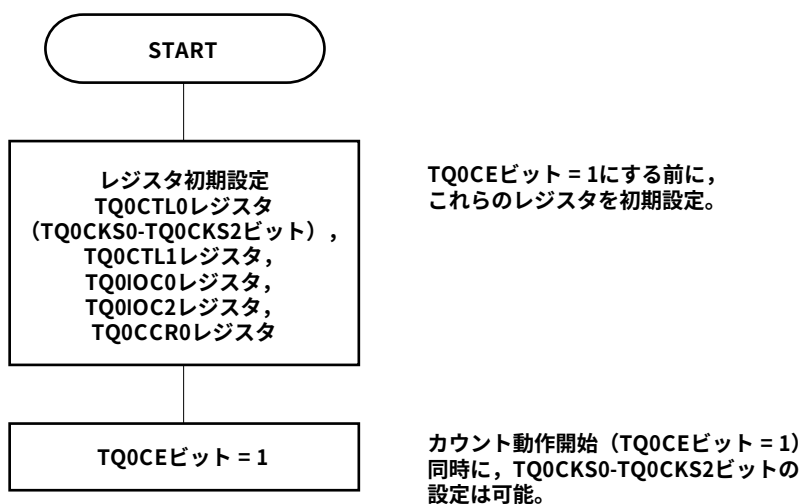
備考 TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部イベント・カウント・モードでは使用しません。

(1) 外部イベント・カウント・モード動作フロー

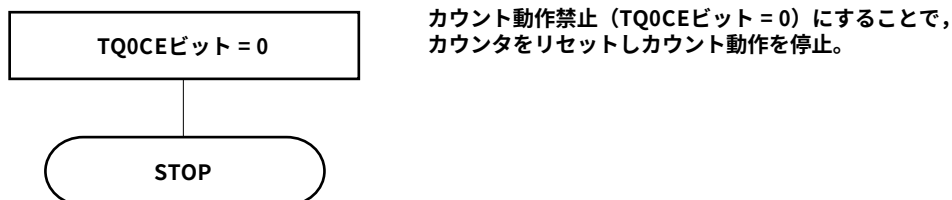
図7-20 外部イベント・カウント・モード動作タイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー

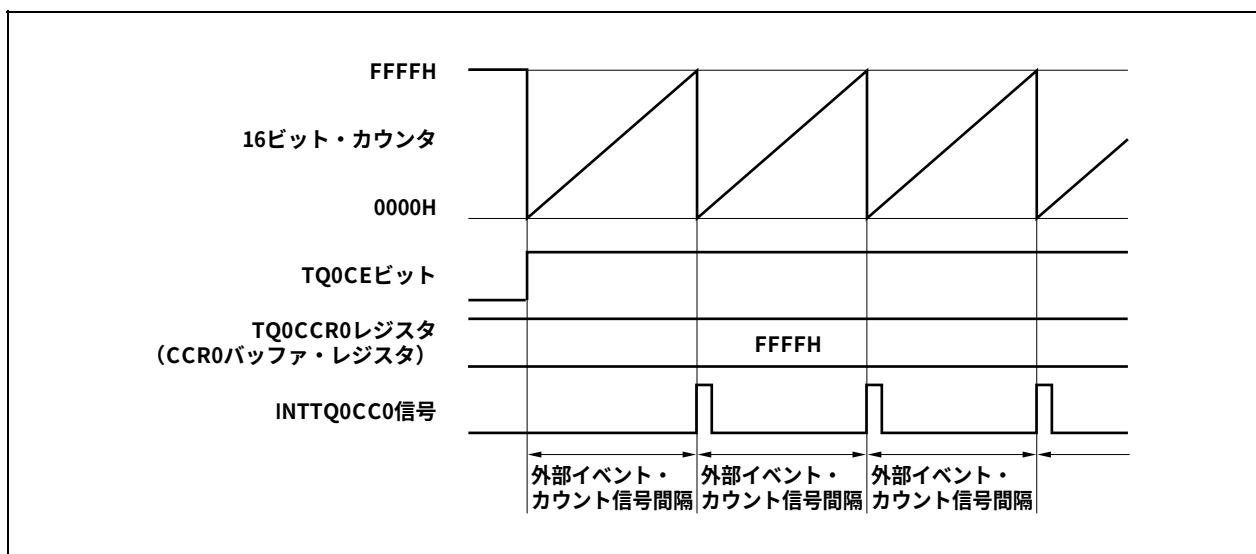


(2) 外部イベント・カウント・モードの応用

(a) TQ0CCR0レジスタにFFFFHを設定した場合の動作

TQ0CCR0レジスタにFFFFHを設定した場合、16ビット・カウンタは外部イベント・カウント信号の有効エッジを検出するごとにFFFFHまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTQ0CC0信号を発生します。このとき、TQ0OPT0.TQ0OVFビットはセットされません。

図7-21 TQ0CCR0レジスタにFFFFHを設定した場合の動作

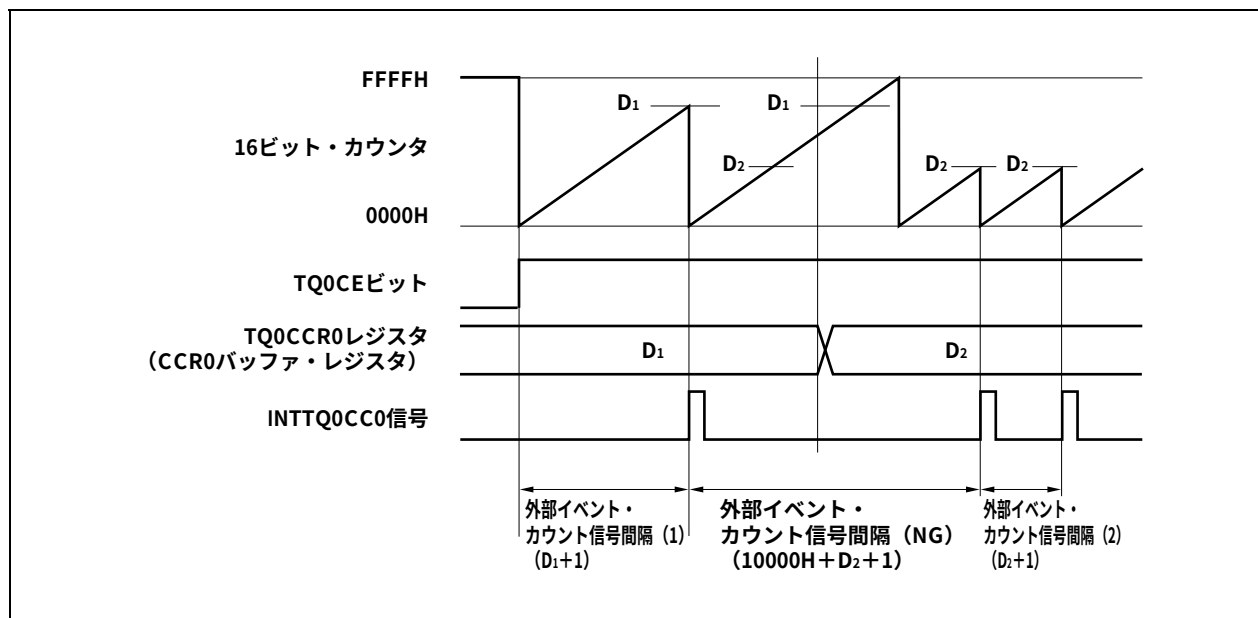


(b) TQ0CCR0レジスタの書き換えに関する注意事項

TQ0CCR0レジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

カウント動作中にTQ0CCR0レジスタの値を小さい値に書き換えると、16ビット・カウンタがオーバーフローする場合があるので注意してください。

図7-22 TQ0CCR0レジスタの書き換えに関する注意事項



カウント値が D_2 よりも大きく D_1 よりも小さい状態において、TQ0CCR0レジスタを D_1 から D_2 に書き換えると、書き換えたタイミングでCCR0バッファ・レジスタに転送されるため、16ビット・カウンタとのコンペア値が D_2 となります。

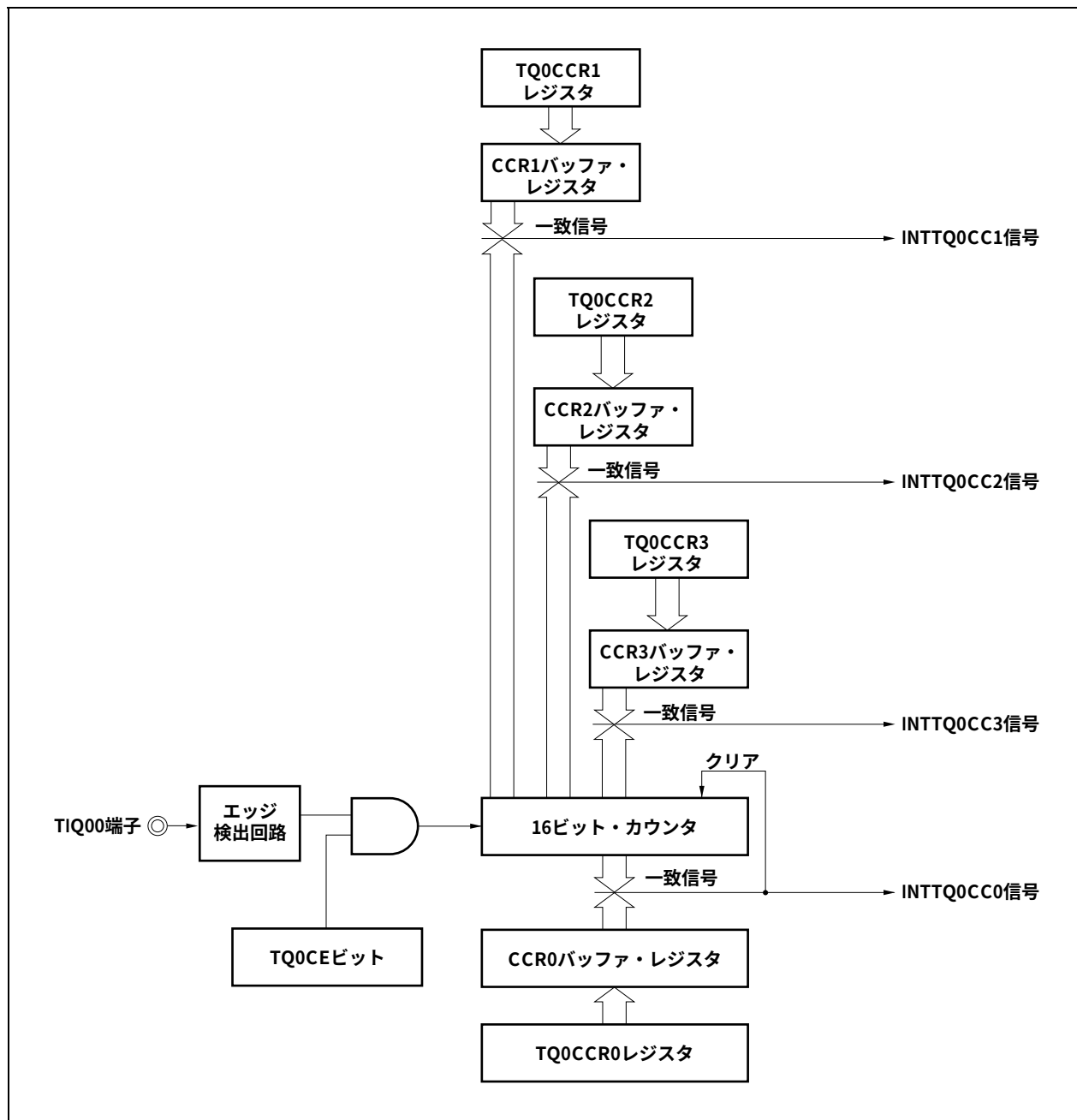
しかし、カウント値はすでに D_2 を越えているためにFFFFHまでカウントを行い、オーバーフロー後、0000Hから再度カウント・アップを行います。そして、 D_2 との一致でINTTQ0CC0信号を発生します。

したがって、本来期待している外部イベント・カウント数である「 (D_1+1) 回」または「 (D_2+1) 回」の有効エッジ数でINTTQ0CC0信号は発生せずに、「 $(10000H + D_2 + 1)$ 回」の有効エッジ数でINTTQ0CC0信号が発生する場合があります。

(c) TQ0CCR1-TQ0CCR3レジスタの動作

次に外部イベント・カウント・モード動作時のTQ0CCR1-TQ0CCR3レジスタの構成について示します。

図7-23 TQ0CCR1-TQ0CCR3レジスタの構成図

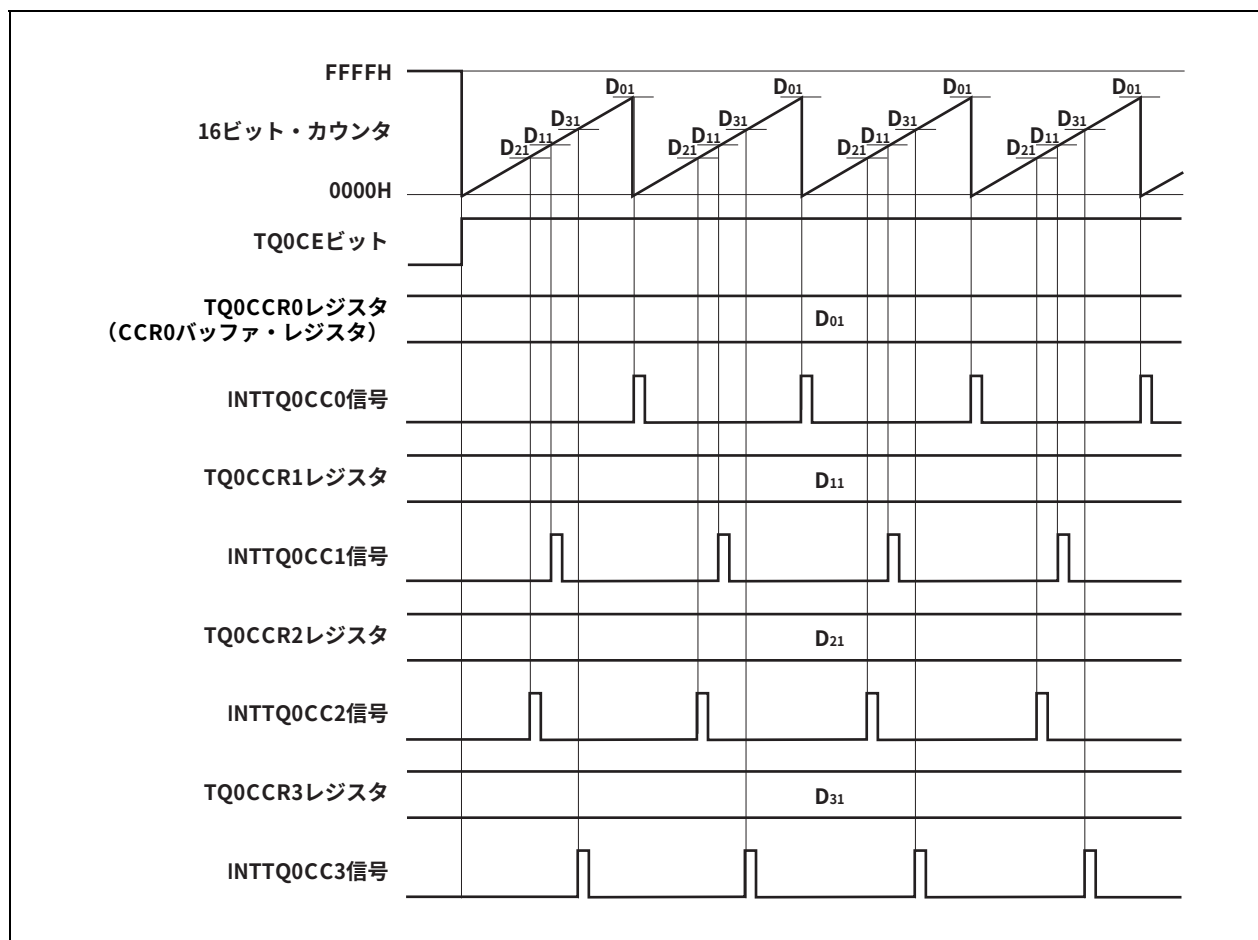


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも小さい場合には、1周期に1回のINTTQ0CCK信号が発生します。

TQ0CCRkレジスタの設定値 (D_{k1}) が、TQ0CCR0レジスタの設定値 (D_{01}) より小さい場合のタイミング図を次に示します。

備考 k = 1-3

図7-24 $D_{01} \geq D_{k1}$ の場合のタイミング図

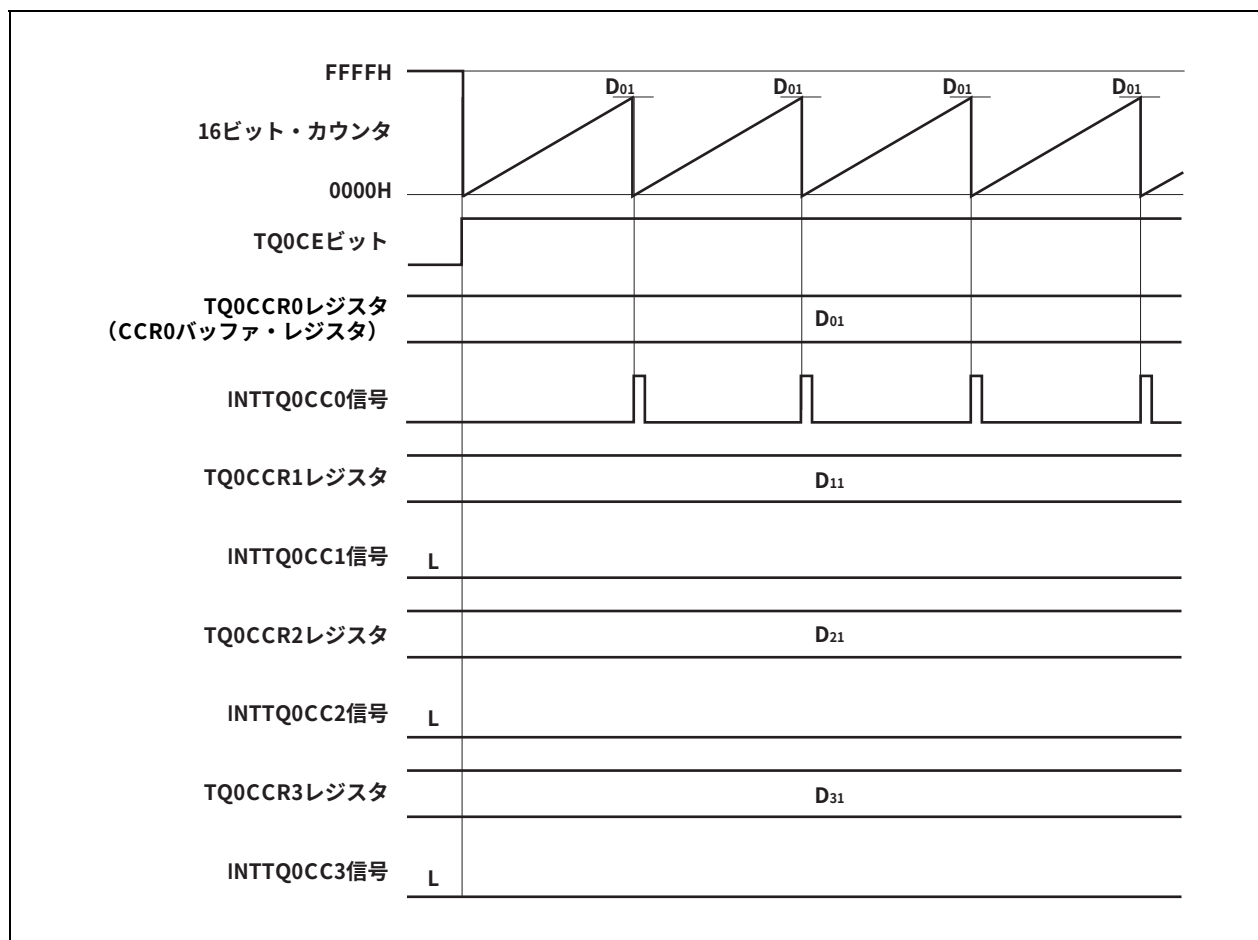


TQ0CCRkレジスタの設定値がTQ0CCR0レジスタの設定値よりも大きい場合には、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値が一致しないので、INTTQ0CCk信号は発生しません。

TQ0CCRkレジスタの設定値 (D_{k1}) が、TQ0CCR0レジスタの設定値 (D_{01}) より大きい場合のタイミング図を次に示します。

備考 k = 1-3

図7-25 $D_{01} < D_{k1}$ の場合のタイミング図



7.4.3 外部トリガ・パルス出力モード (TQ0MD2-TQ0MD0ビット = 010)

外部トリガ・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット(1)することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子からPWM波形を出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。外部トリガ入力を使用せず、ソフトウェア・トリガを使用する場合、TOQ00端子から、PWM波形の1周期を半周期とする方形波も出力できます。

- 備考1. TIQ00, TOQ00-TOQ03端子の設定については表7-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTQ0CC0-INTTQ0CC3信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図7-26 外部トリガ・パルス出力モードの構成図

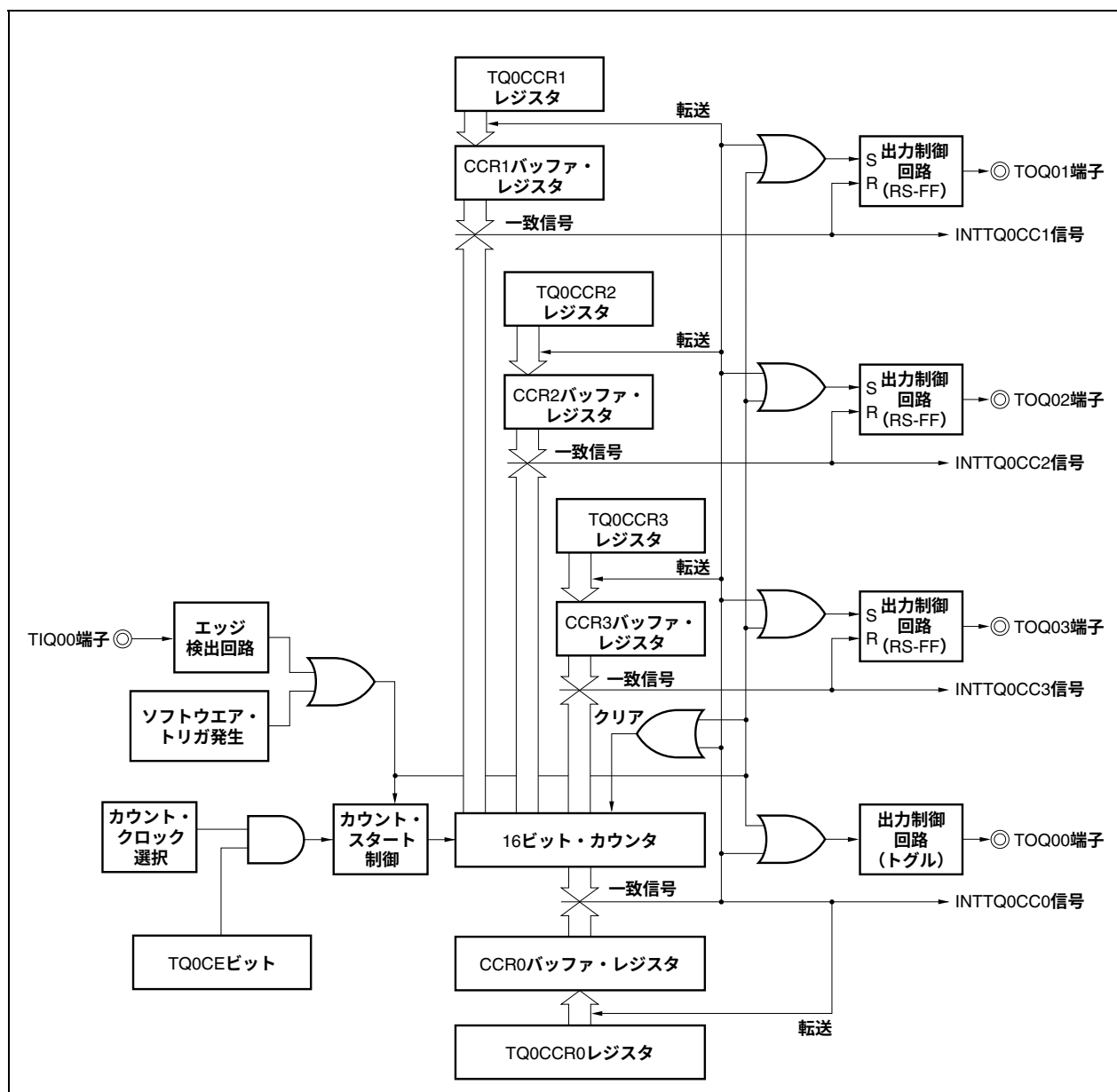
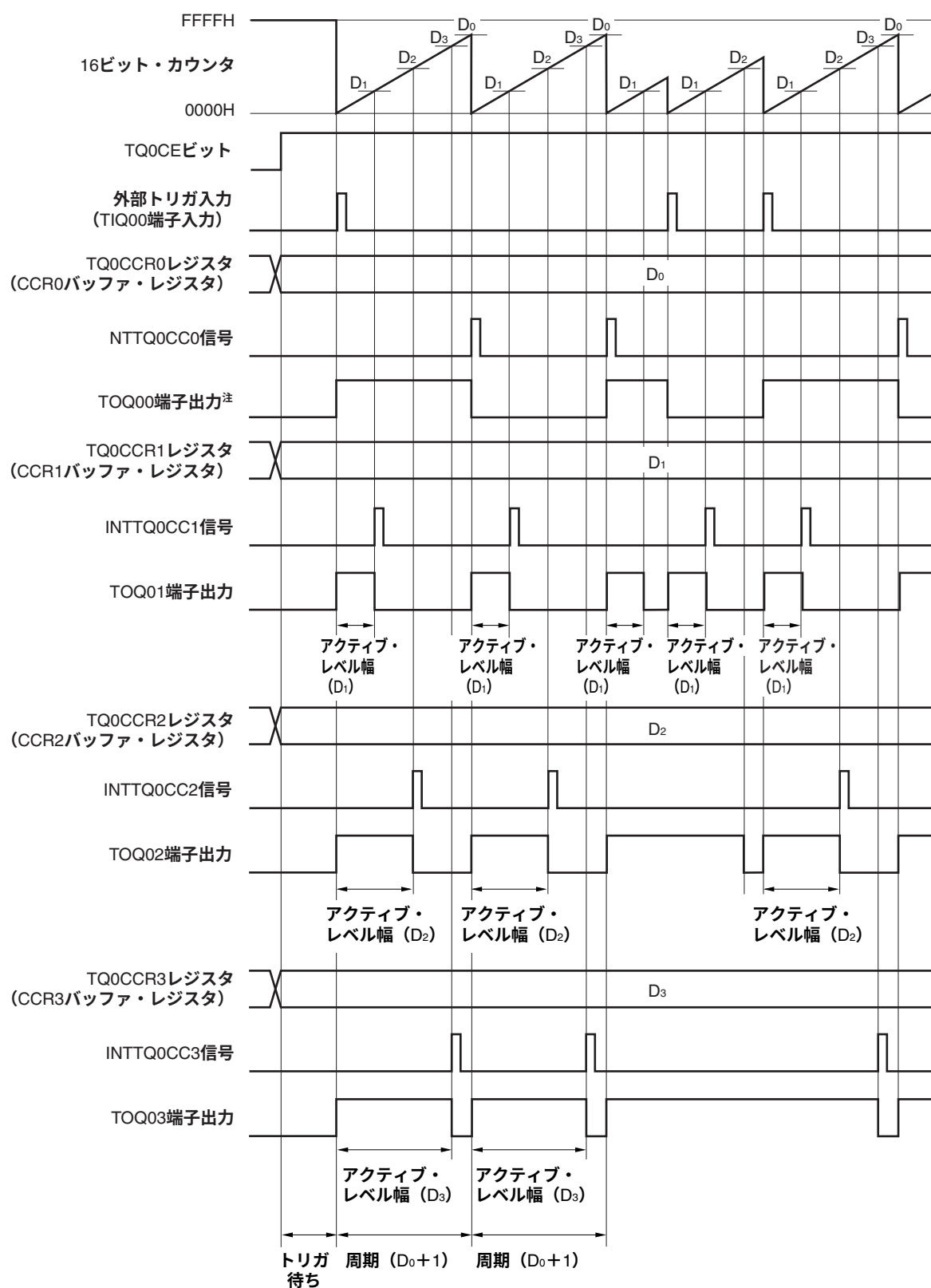


図7-27 外部トリガ・パルス出力モードの基本タイミング



注 TQ000端子出力は、TIQ00端子入力と兼用されているので、外部トリガ入力でなく、ソフトウェア・トリガを使用してください。

TQ0CEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TOQ0k端子からPWM波形を出力します。カウント動作中に、再度トリガが発生した場合には、カウンタを0000Hにクリアし再スタートします (TOQ00端子出力は反転します。TOQ0k端子出力は、ロウ・レベル出力、ハイ・レベル出力にかかわらず、ハイ・レベル出力になります)。

PWM波形のアクティブ・レベル幅、周期、およびデューティは次のように求められます。

アクティブ・レベル幅 = (TQ0CCRkレジスタの設定値) × カウント・クロック周期

周期 = (TQ0CCR0レジスタの設定値 + 1) × カウント・クロック周期

デューティ = (TQ0CCRkレジスタの設定値) / (TQ0CCR0レジスタの設定値 + 1)

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQ0CCK) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガには、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット (1) があります。

備考 k = 1-3

図7-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (1/3)

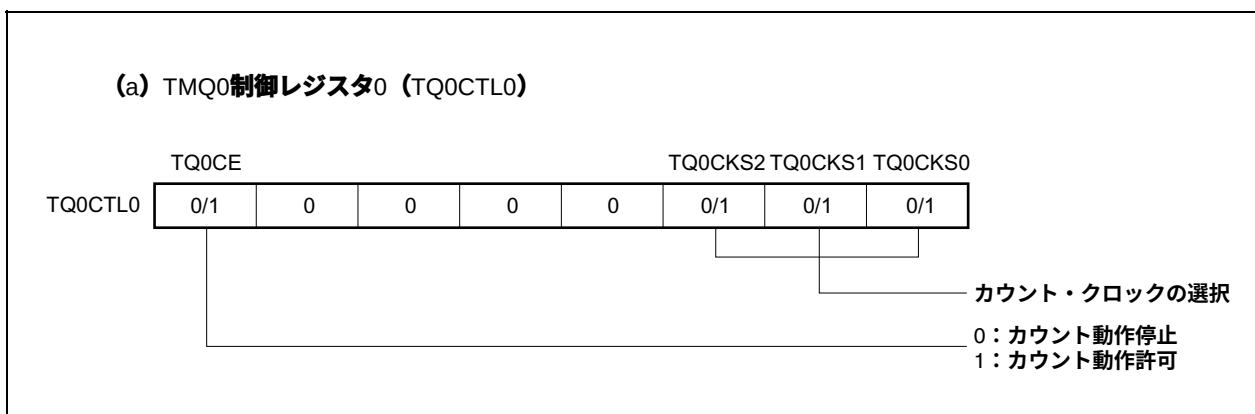


図7-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (2/3)

(b) TMQ0制御レジスタ1 (TQ0CTL1)

	TQ0EST TQ0EEE			TQ0MD2 TQ0MD1 TQ0MD0			
TQ0CTL1	0	0/1	0	0	0	1	0

0, 1, 0 :
外部トリガ・パルス出力モード

“1”を書き込むことで、
ソフトウェア・トリガを発生

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)

	TQ0OL3	TQ0OE3	TQ0OL2	TQ0OE2	TQ0OL1	TQ0OE1	TQ0OL0	TQ0OE0
TQ0IOC0	0/1	0/1	0/1	0/1	0/1	0/1	0/1 ^注	0/1 ^注

0 : TOQ00端子出力禁止
1 : TOQ00端子出力許可

TOQ00端子の動作禁止状態
での出力レベルの設定

0 : ロウ・レベル
1 : ハイ・レベル

0 : TOQ01端子出力禁止
1 : TOQ01端子出力許可

TOQ01端子出力のアク
ティブ・レベル指定
0 : ハイ・アクティブ
1 : ロウ・アクティブ

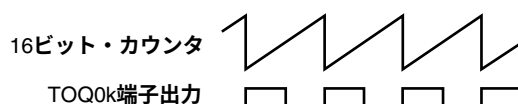
0 : TOQ02端子出力禁止
1 : TOQ02端子出力許可

TOQ02端子出力のアク
ティブ・レベル指定
0 : ハイ・アクティブ
1 : ロウ・アクティブ

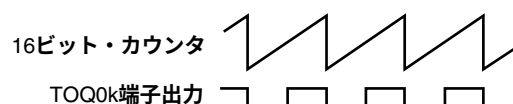
0 : TOQ03端子出力禁止
1 : TOQ03端子出力許可

TOQ03端子出力のアク
ティブ・レベル指定
0 : ハイ・アクティブ
1 : ロウ・アクティブ

・ TQ0OLkビット = 0の場合



・ TQ0OLkビット = 1の場合



注 外部トリガ・パルス出力モードでTOQ00端子を使用しない場合は、“0”に設定してください。

図7-28 外部トリガ・パルス出力モード動作時のレジスタ設定内容 (3/3)

(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)

	TQ0EES1		TQ0EES0		TQ0ETS1		TQ0ETS0	
TQ0IOC2	0	0	0	0	0	0	0/1	0/1

外部トリガ入力有効エッジの選択

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCR1レジスタにD₁を、TQ0CCR2レジスタにD₂を、TQ0CCR3レジスタにD₃を設定した場合、

PWM波形の周期 = (D₀+1) × カウント・クロック周期

TOQ01端子からのPWM波形のアクティブ・レベル幅 = D₁ × カウント・クロック周期

TOQ02端子からのPWM波形のアクティブ・レベル幅 = D₂ × カウント・クロック周期

TOQ03端子からのPWM波形のアクティブ・レベル幅 = D₃ × カウント・クロック周期

となります。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、外部トリガ・パルス出力モードでは使用しません。

2. TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2) , TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3) の更新は、TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1) への書き込みにより有効になります。

(1) 外部トリガ・パルス出力モード動作フロー

図7-29 外部トリガ・パルス出力モード動作タイミングと処理フロー (1/2)

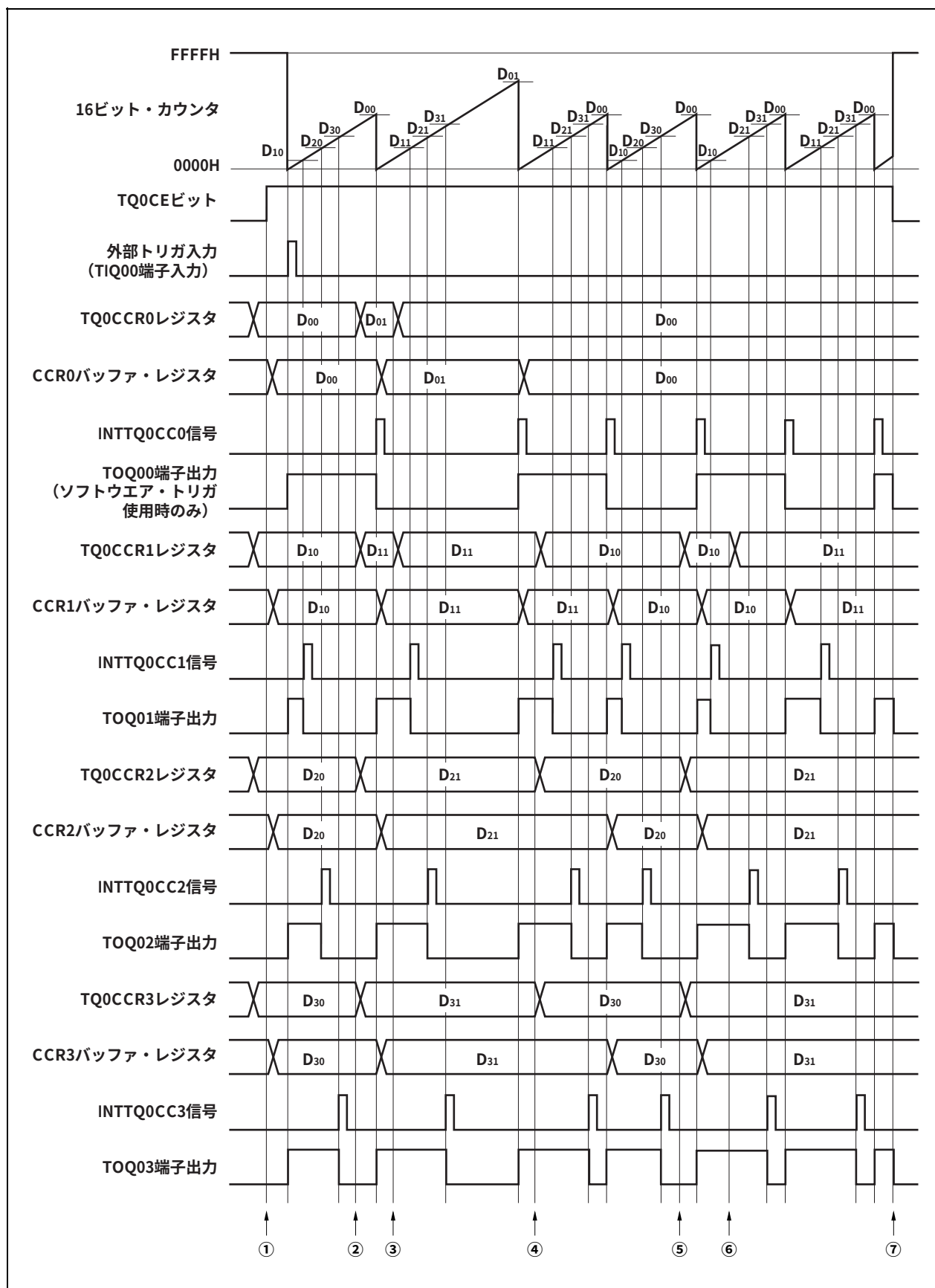


図7-29 外部トリガ・パルス出力モード動作タイミングと処理フロー (2/2)



(2) 外部トリガ・パルス出力モードの応用

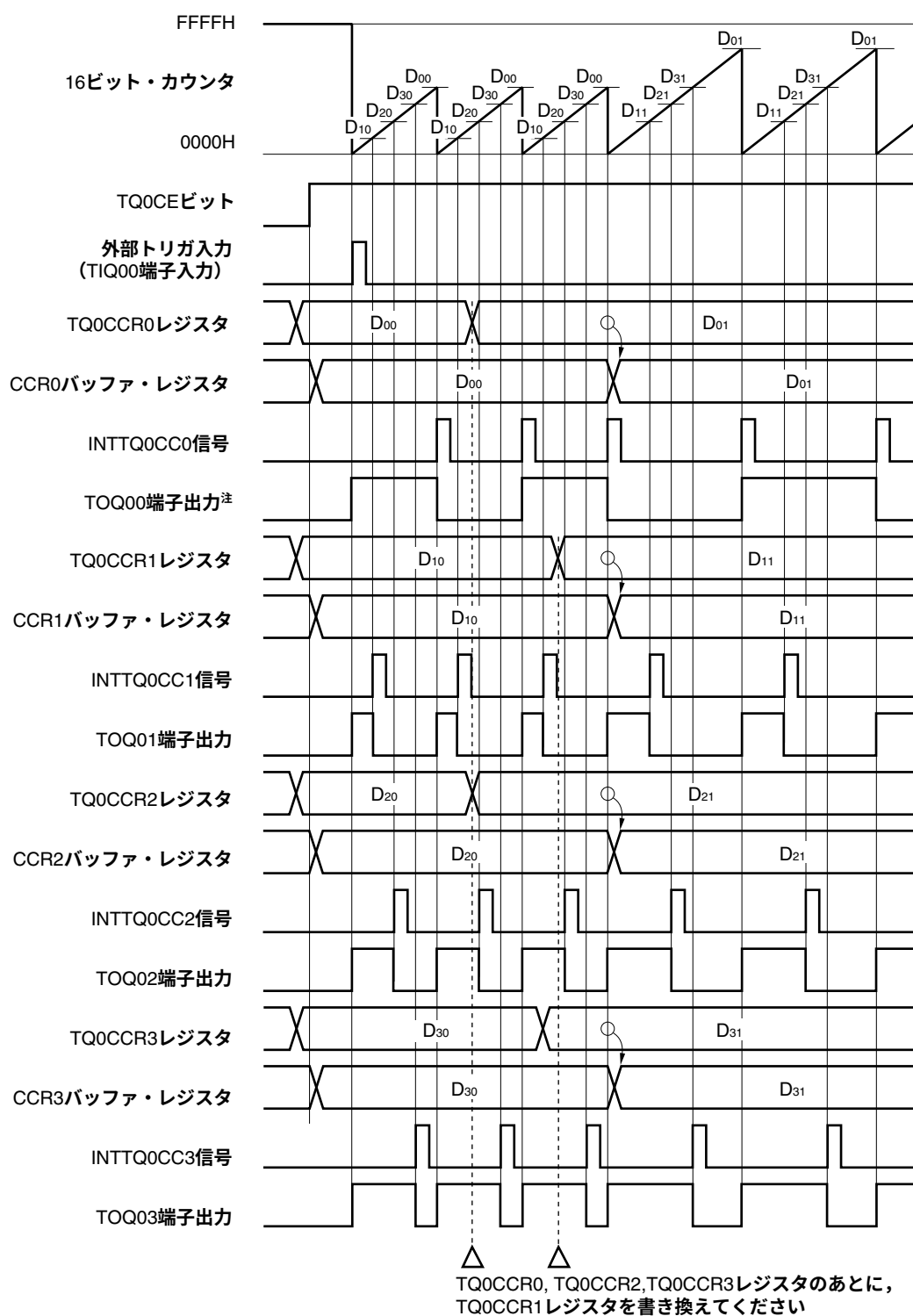
外部トリガ・パルス出力モード時のPWM波形の変更について次に示します。

(a) カウント動作中のPWM波形の変更

カウント動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRkレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。

図7-30 カウント動作中のPWM波形の変更



注 TQ000端子は、TIQ00端子入力と兼用されているので、外部トリガ入力でなく、ソフトウェア・トリガを使用してください。

TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRmレジスタに書き込まれた値がCCRmバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

- <1> PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。
- <2> PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。
- <3> PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。
- <4> TOQ01端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。
- <5> TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。

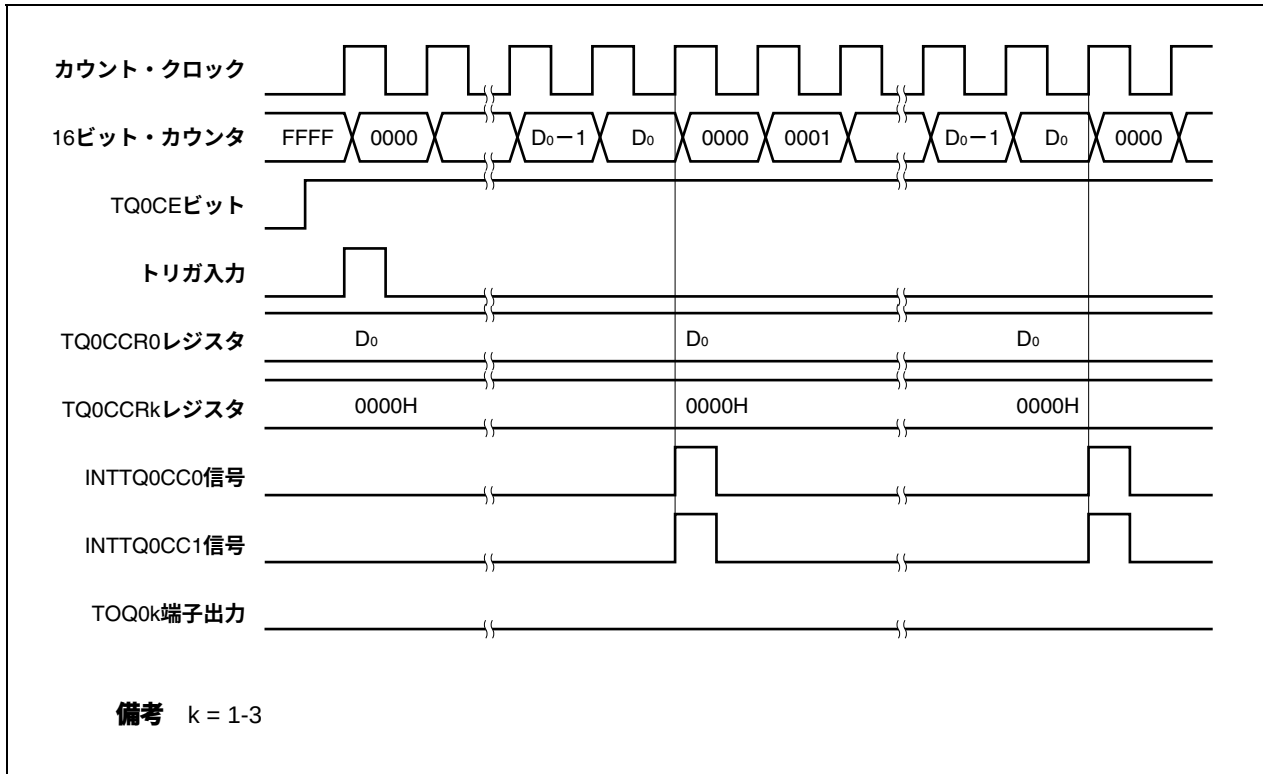
注意 一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRmレジスタからCCRmバッファ・レジスタへのデータ転送タイミングと、TQ0CCRmレジスタの書き換えの競合により、CCRmバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0-3

(b) 外部トリガ・パルス出力モードのPWM波形の0 %/100 %出力

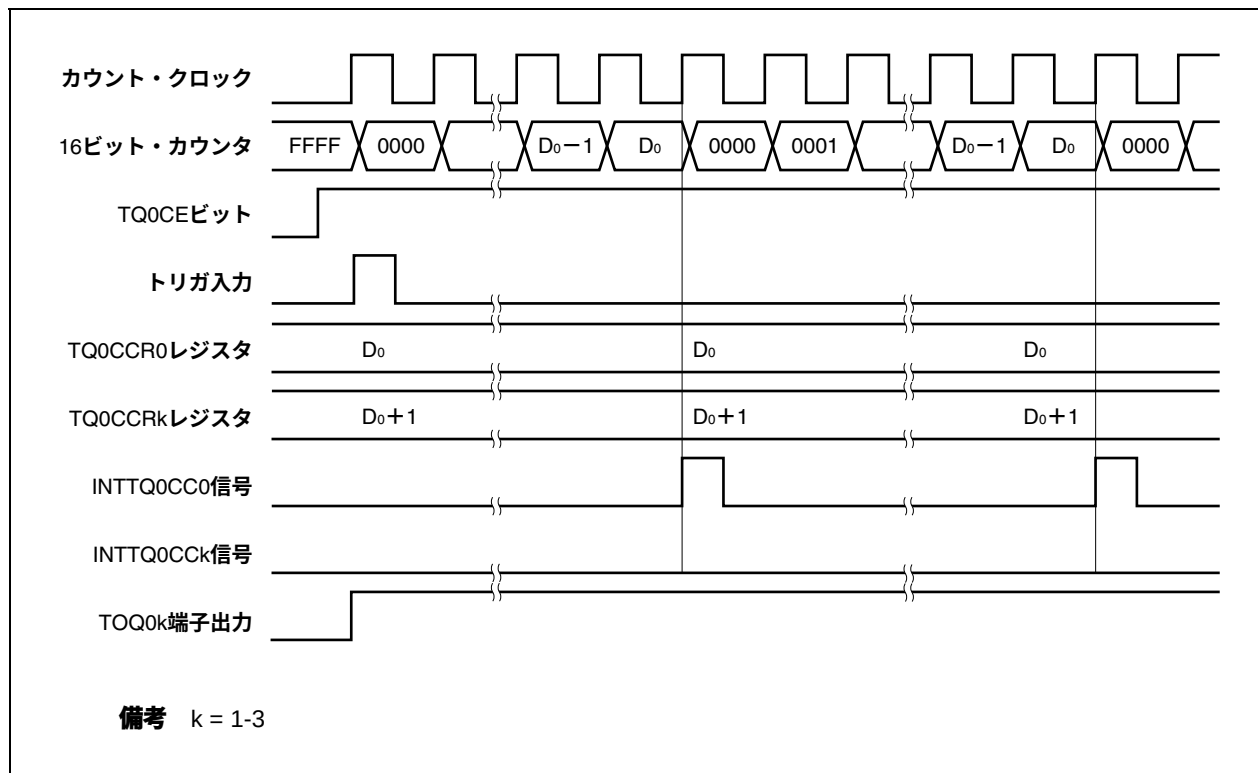
0 %波形を出力するためには、TQ0CCRkレジスタに対して0000Hを設定します。ただし、TQ0CCR0レジスタの設定値がFFFFHの場合には、INTTQ0CCk信号が定期的に発生します。

図7-31 PWM波形の0 %出力



100 % 波形を出力するためには、TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値+1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

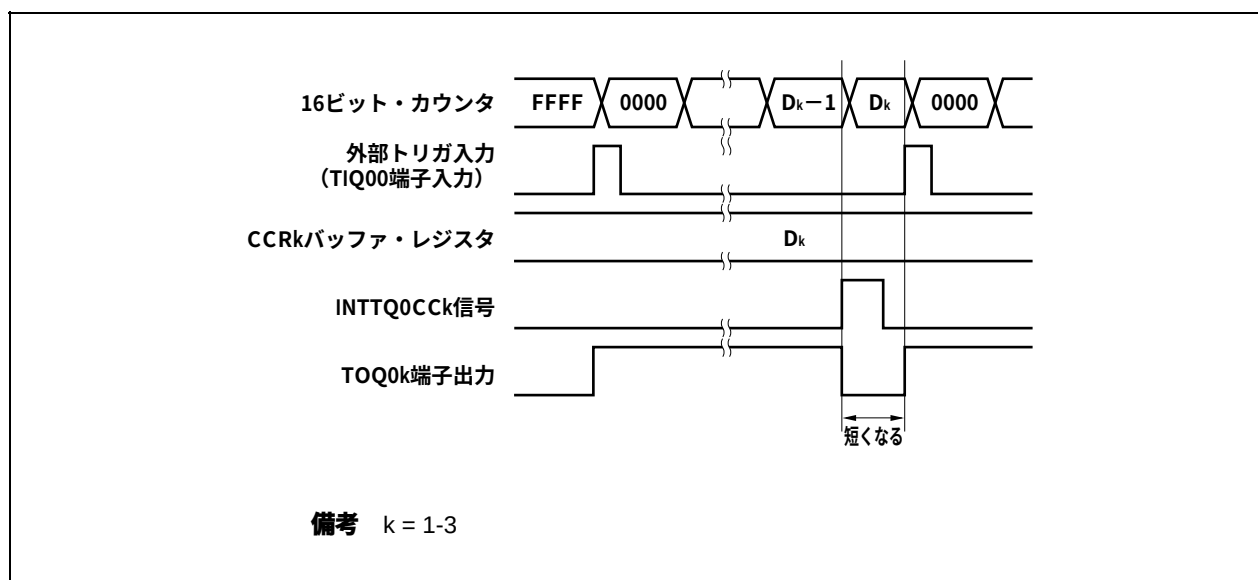
図7-32 PWM波形の100 %出力



(c) 16ビット・カウンタとTQ0CCRkレジスタとの一致付近でのトリガ検出

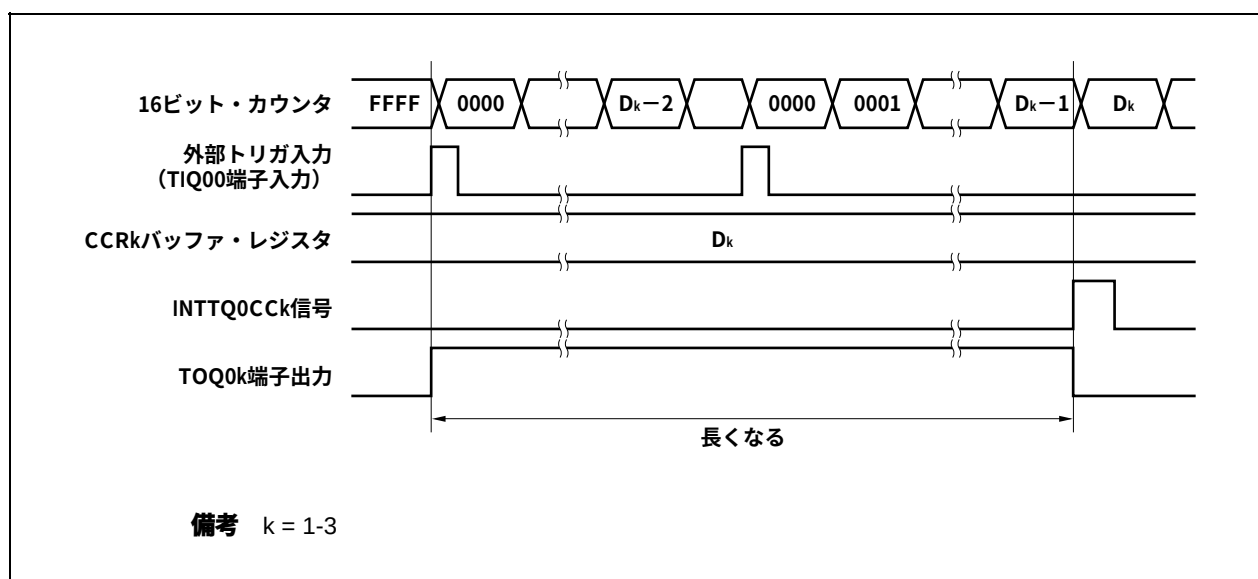
INTTQ0CCK信号発生直後にトリガが検出された場合には、トリガ検出とともに16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにしてカウント動作を続けます。そのため、PWM波形のインアクティブ期間が短くなります。

図7-33 INTTQ0CCK信号発生直後のトリガ検出



INTTQ0CCK信号発生直前にトリガを検出した場合には、INTTQ0CCK信号を発生することなく、16ビット・カウンタを0000Hにクリアしてカウント動作を継続します。TOQ0k端子出力はアクティブ・レベルのままとなるため、PWM波形のアクティブ期間が長くなります。

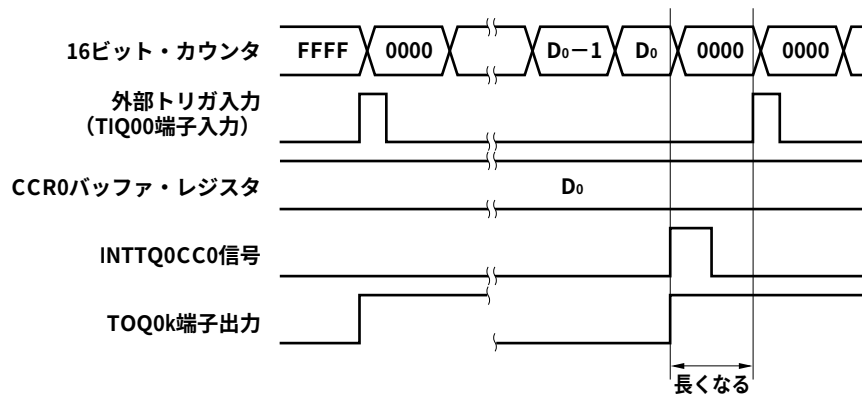
図7-34 INTTQ0CCK信号発生直前のトリガ検出



(d) 16ビット・カウンタとTQ0CCR0レジスタとの一致付近でのトリガ検出

INTTQ0CC0信号発生直後にトリガを検出した場合、そこから再度16ビット・カウンタを0000Hにクリアしてカウント・アップ動作を継続します。したがって、TOQ0k端子出力のアクティブ期間が、INTTQ0CC0信号発生からトリガ検出までの分だけ長くなります。

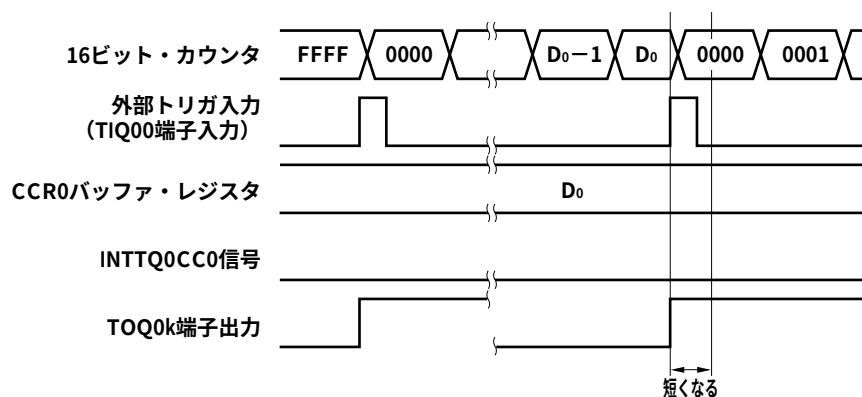
図7-35 INTTQ0CC0信号発生直後のトリガ検出



備考 k = 1-3

INTTQ0CC0信号発生直前にトリガを検出した場合、INTTQ0CC0信号を発生することなく、16ビット・カウンタを0000Hにクリアし、TOQ0k端子出力をアクティブ・レベルにして、カウント動作を継続します。そのため、それまで出力していたPWM波形のインアクティブ期間は短くなります。

図7-36 INTTQ0CC0信号発生直前のトリガ検出

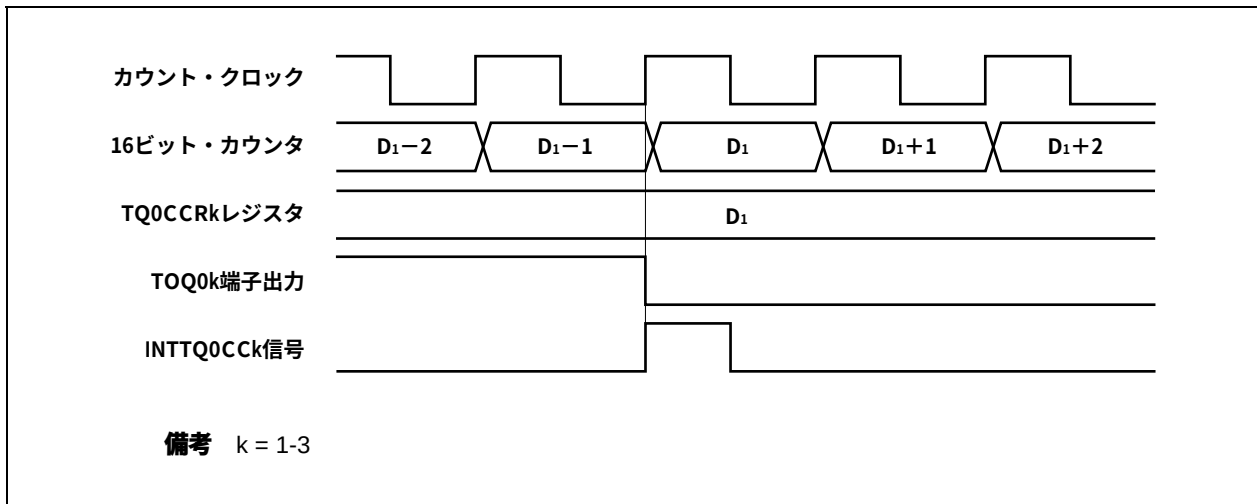


備考 k = 1-3

(e) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

外部トリガ・パルス出力モードでは, 16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致と同時にINTTQ0CCK信号が発生します。

図7-37 コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング



7.4.4 ワンショット・パルス出力モード (TQ0MD2-TQ0MD0ビット = 011)

ワンショット・パルス出力モードは、TQ0CTL0.TQ0CEビットをセット (1) することでトリガ待ち状態となり、外部トリガ入力の有効エッジを検出すると、カウント動作を開始し、TOQ01-TOQ03端子からワンショット・パルスを出力します。

外部トリガ入力の代わりに、ソフトウェア・トリガを発生させることでもパルスを出力できます。ソフトウェア・トリガを使用する場合、TOQ00端子から、16ビット・カウンタがカウント動作中のときはアクティブ・レベルを出力し、カウント停止 (トリガ待ち状態) 中のときはインアクティブ・レベルを出力できます。

- 備考1. TIQ00, TOQ00-TOQ03端子の設定については表7-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTQ0CC0-INTTQ0CC3信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図7-38 ワンショット・パルス出力モードの構成図

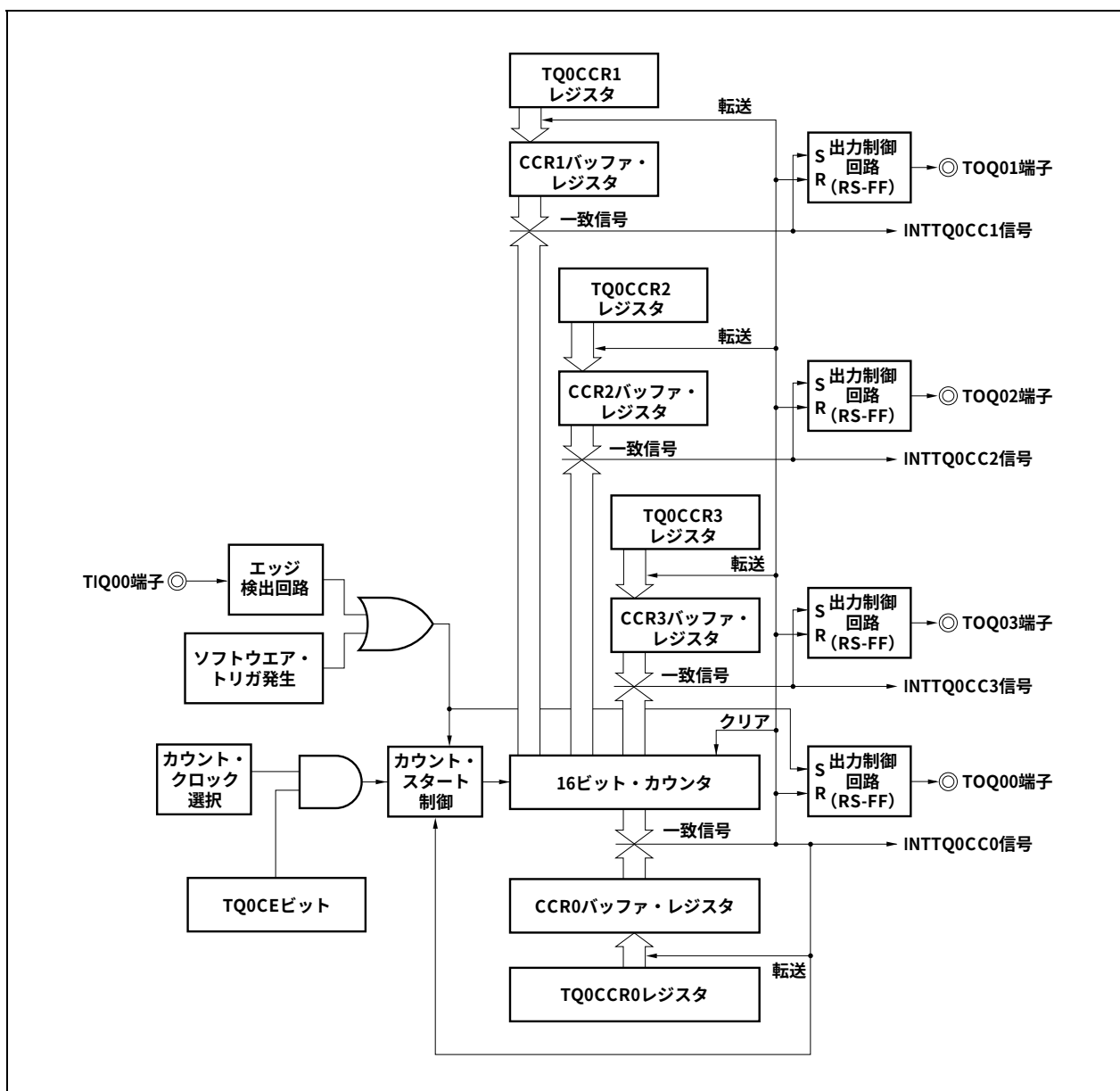
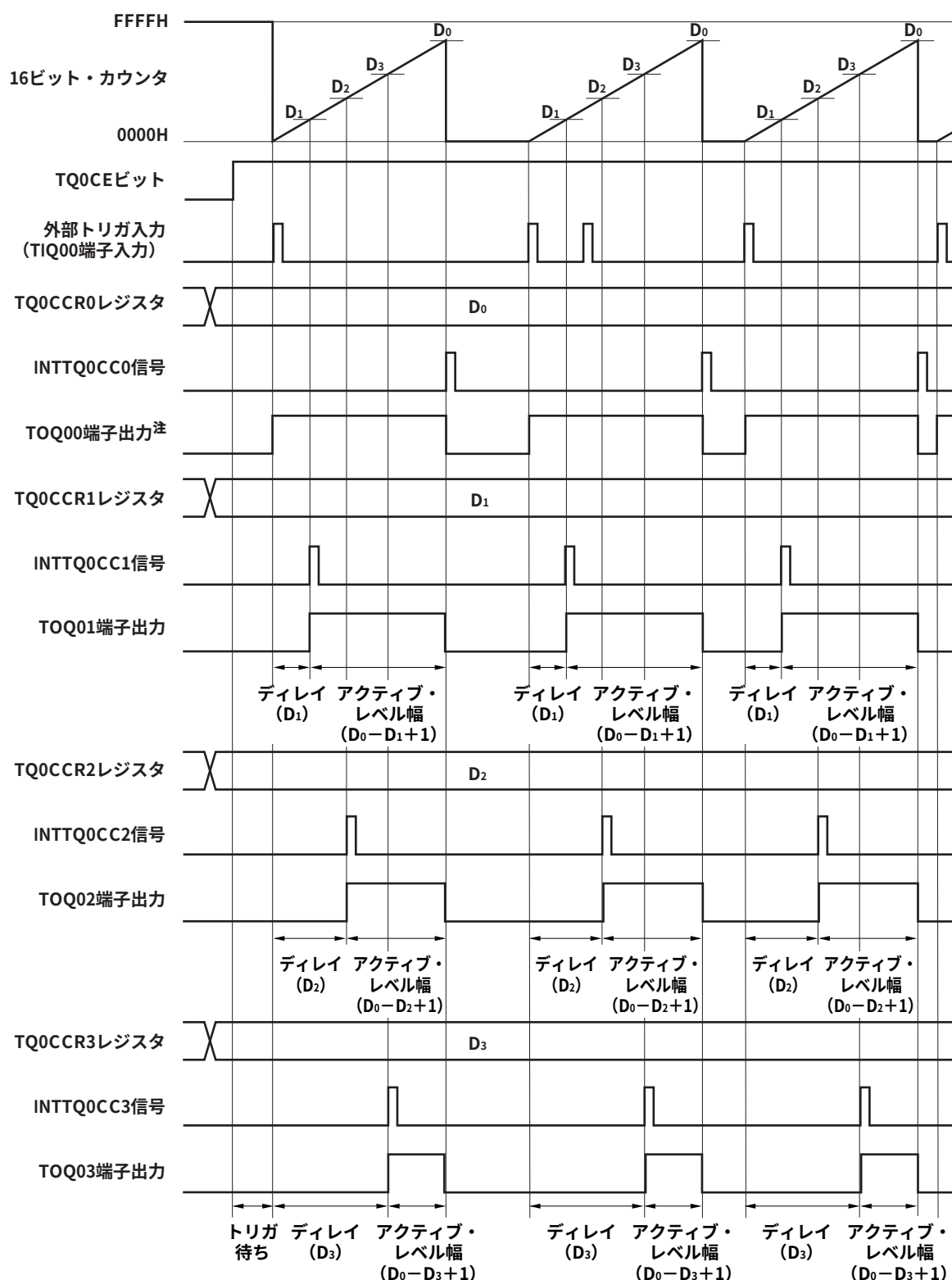


図7-39 ワンショット・パルス出力モードの基本タイミング



注 TQ000端子は、TIQ00端子入力と兼用されているので、外部トリガ入力ではなく、ソフトウェア・トリガを使用してください。

TQ0CEビットをセット (1) することで、トリガ待ち状態となります。トリガが発生すると、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0Qk端子からワンショット・パルスを出力します。ワンショット・パルスを出力したあと、16ビット・カウンタを0000Hにしてカウント動作を停止し、トリガ待ち状態になります。ワンショット・パルス出力中に再度トリガが発生しても無視します。

ワンショット・パルスの出力ディレイ期間、およびアクティブ・レベル幅は次のように求められます。

出力ディレイ期間 = (TQ0CCRkレジスタの設定値) × カウント・クロック周期

アクティブ・レベル幅 = (TQ0CCR0レジスタの設定値 - TQ0CCRkレジスタの設定値 + 1)
× カウント・クロック周期

コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生します。コンペアー一致割り込み要求信号 (INTTQ0CCK) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

トリガ条件には、外部トリガ入力の有効エッジ、またはソフトウェア・トリガ (TQ0CTL1.TQ0ESTビット) のセット (1) があります。

備考 k = 1-3

図7-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (1/3)

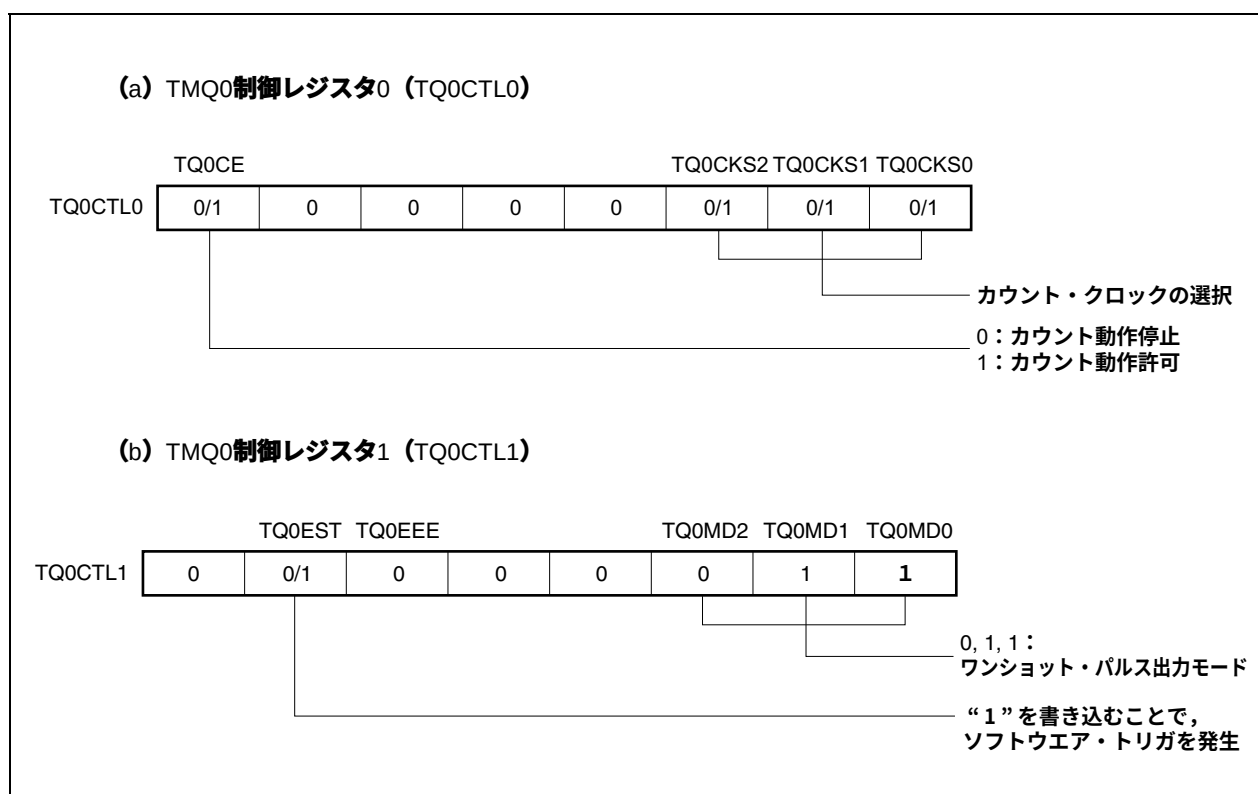
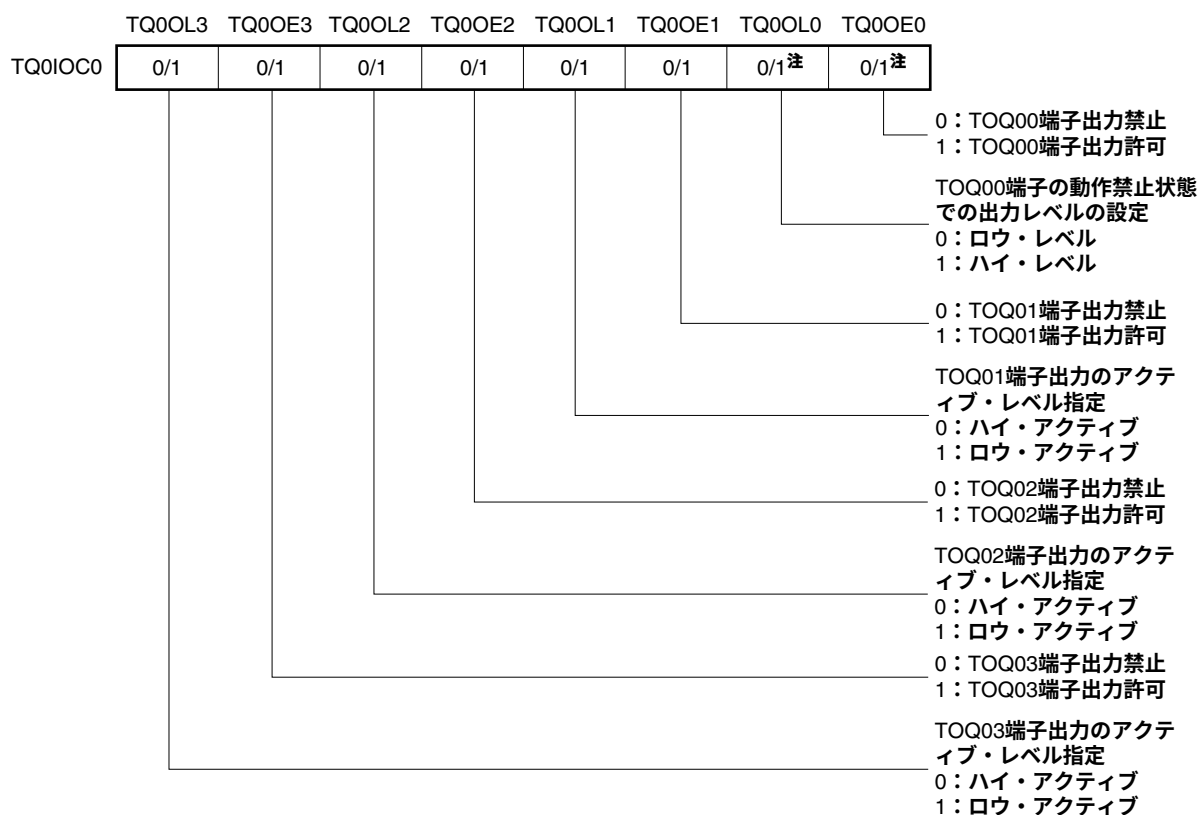
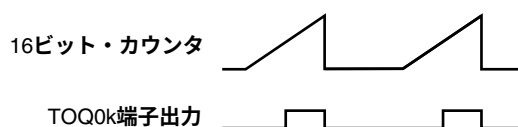


図7-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (2/3)

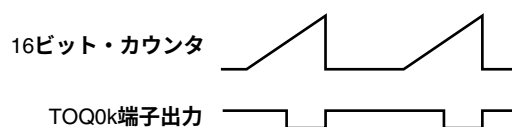
(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



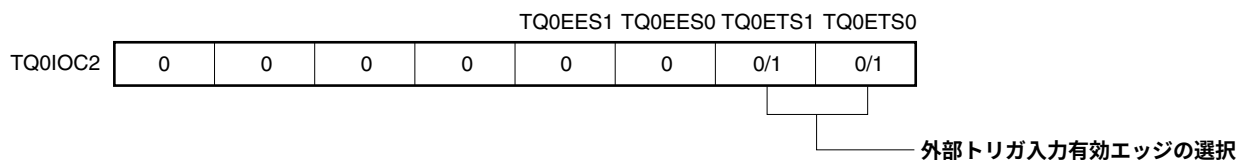
・ TQ0OLkビット = 0の場合



・ TQ0OLkビット = 1の場合



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

注 ワンショット・パルス出力モードでTOQ00端子を使用しない場合は、“0”に設定してください。

図7-40 ワンショット・パルス出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタに D_0 を設定し、TQ0CCR k レジスタに D_k を設定した場合、

ワンショット・パルスのアクティブ・レベル幅 = $(D_0 - D_k + 1) \times \text{カウント} \cdot \text{クロック周期}$

ワンショット・パルスの出力ディレイ期間 = $(D_k) \times \text{カウント} \cdot \text{クロック周期}$

となります。

注意 ワンショット・パルス出力モードにおいて、TQ0CCR k レジスタの設定値が、TQ0CCR0レジスタより大きい場合、TQ0 k 端子からワンショット・パルスは出力しません。

備考1. TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、ワンショット・パルス出力モードでは使用しません。

2. $k = 1-3$

(1) ワンショット・パルス出力モード動作フロー

図7-41 ワンショット・パルス出力モード動作タイミングと処理フロー (1/2)

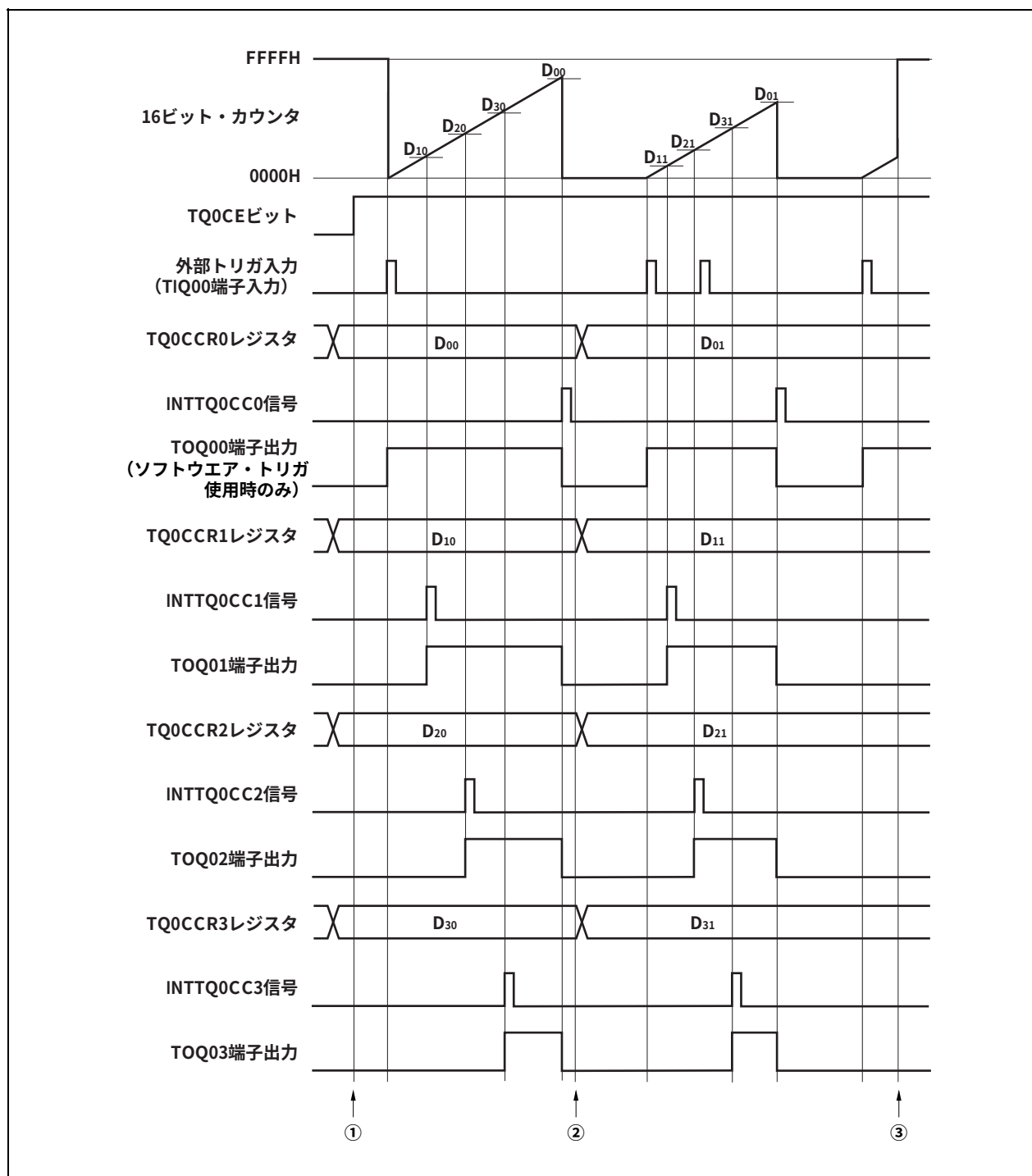
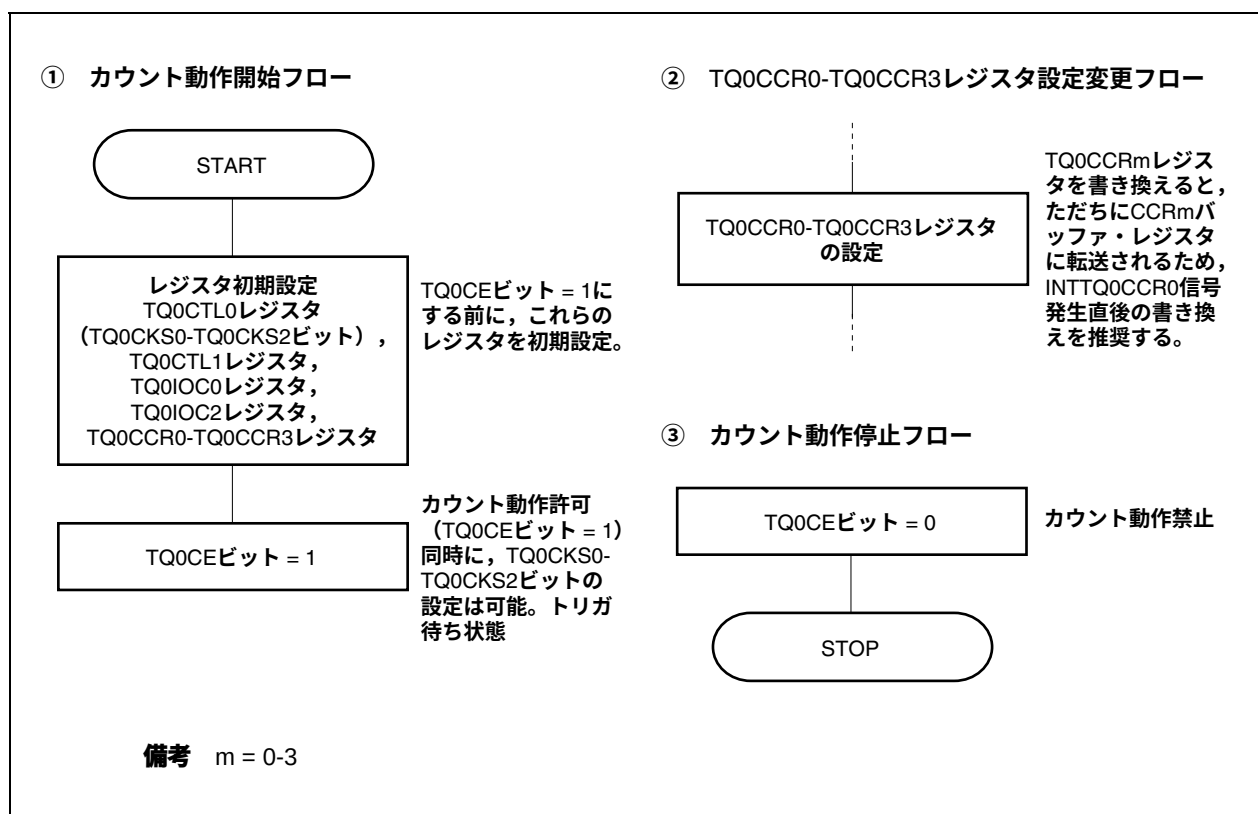


図7-41 ワンショット・パルス出力モード動作タイミングと処理フロー (2/2)



(2) ワンショット・パルス出力モードの応用

(a) TQ0CCRMレジスタの書き換え

TQ0CCRMレジスタの設定値を小さい値に変更する場合には、一度カウント動作を停止させ、その後、設定値を変更してください。

TQ0CCR0レジスタをD₀₀からD₀₁に、TQ0CCRkレジスタをD_{k0}からD_{k1}に書き換える場合において、TQ0CCR0, TQ0CCRkレジスタを次のような条件で書き換えた場合、本来期待しているワンショット・パルスが出力できません。

<条件1>TQ0CCR0を次の条件で書き換えた場合

$$D_{00} > D_{01}$$

$$D_{00} < 16 \text{ ビット・カウンタのカウント値} < D_{01}$$

<条件1>の場合、16ビット・カウンタは、書き換えた周期ではクリアされずオーバフローを起こし、書き換えたあとの値 (D₀₁) ではじめてクリアされます。

<条件2>TQ0CCRkを次の条件で書き換えた場合

$$D_{k0} > D_{k1}$$

$$D_{k0} < 16 \text{ ビット・カウンタのカウント値} < D_{k1}$$

<条件2>の場合、TOQ0k端子出力は書き換えた周期では、アクティブ・レベルに反転することができません。

<条件1>と<条件2>同じ周期で起こった例が図7-42です。

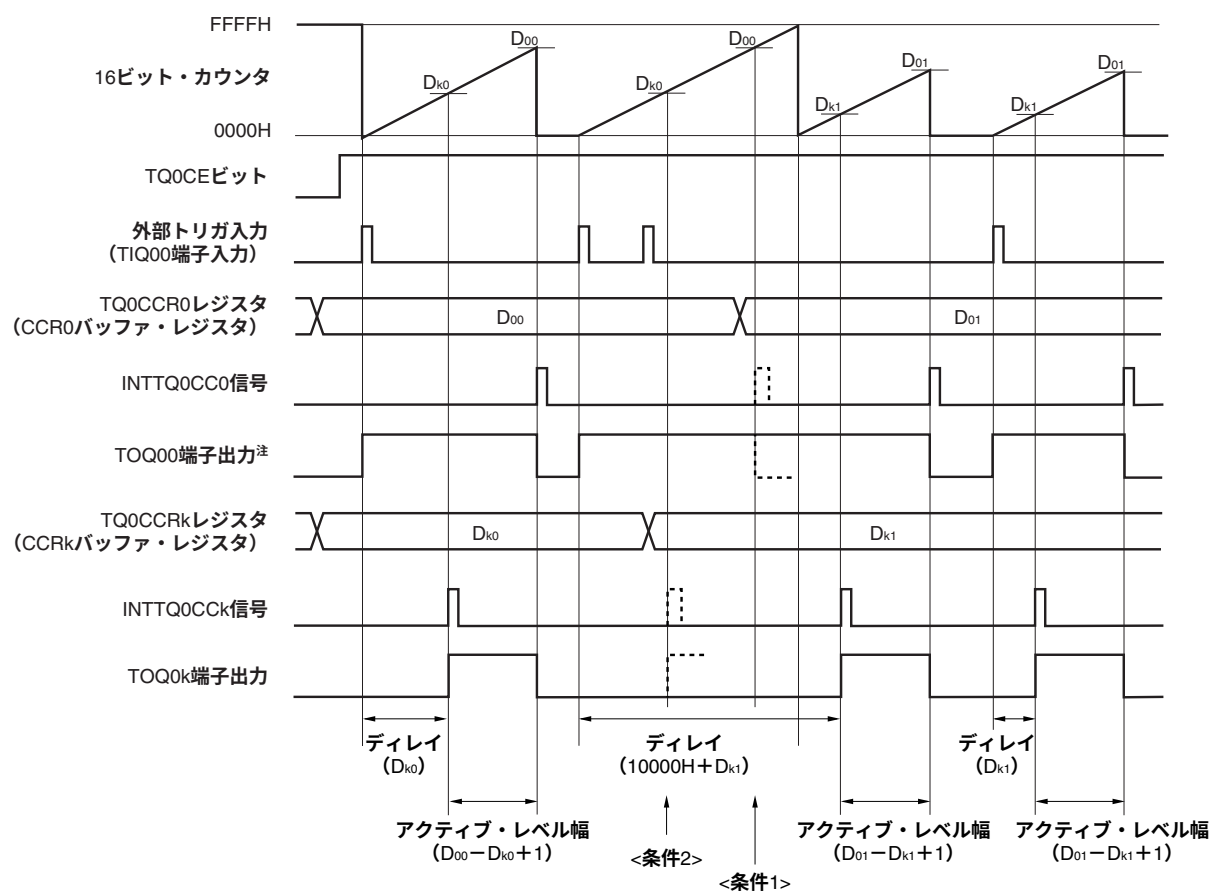
カウント値はFFFFHまでカウント動作を行い、オーバフローし、0000Hから再度カウント・アップを行います。

D_{k1}との一致でINTTQ0CCK信号を発生してTOQ0k端子出力をアクティブ・レベルにし、D₀₁との一致でINTTQ0CC0信号を発生してTOQ0k端子出力をインアクティブにしてカウント動作を停止します。

備考 m = 0-3

k = 1-3

図7-42 TQ0CCRmレジスタの書き換え



注 TOQ00端子は、TIQ00端子入力と兼用されているので、外部トリガ入力でなく、ソフトウェア・トリガを使用してください。

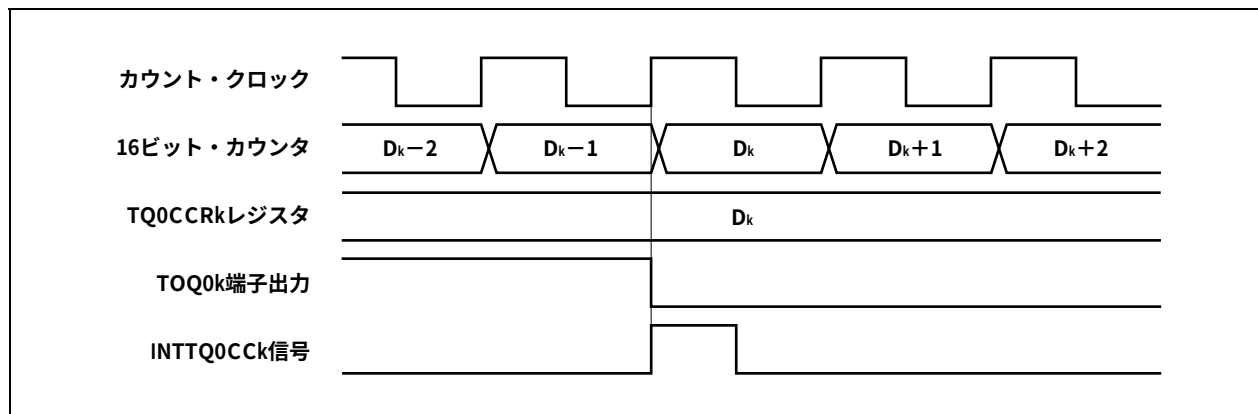
備考 m = 0-3

k = 1-3

(b) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

ワンショット・パルス出力モードでは、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致と同時にINTTQ0CCK信号が発生します。

図7-43 コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング



備考 k = 1-3

7.4.5 PWM出力モード (TQ0MD2-TQ0MD0ビット = 100)

PWM出力モードは、TQ0CTL0.TQ0CEビットをセット (1) することで、TOQ01-TOQ03端子からPWM波形を出力します。

また、TOQ00端子から、PWM波形の1周期を半周期とするパルスを出力します。

- 備考1. TIQ00, TOQ00-TOQ03端子の設定については表7-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTQ0CC0-INTTQ0CC3信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

図7-44 PWM出力モードの構成図

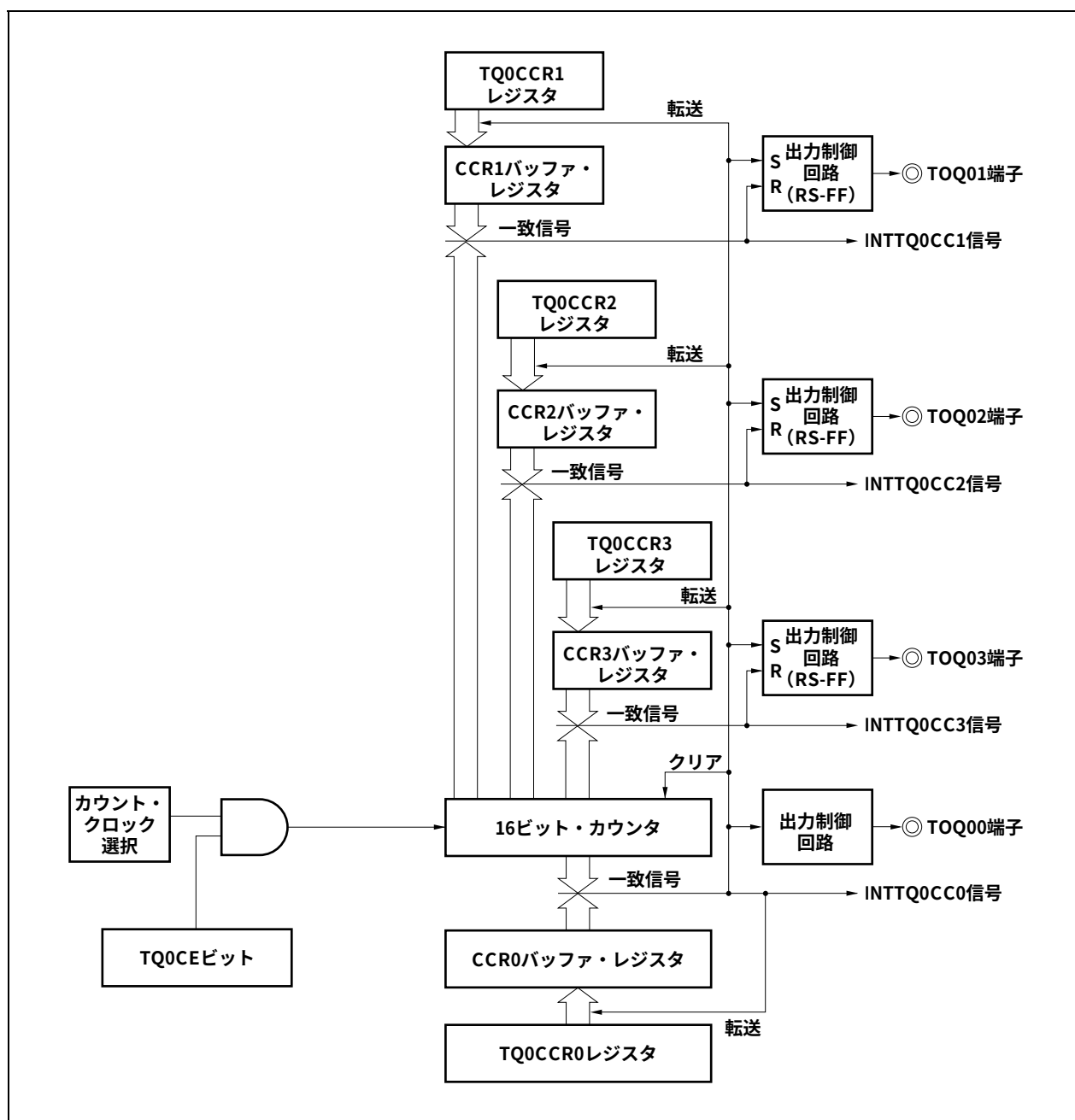
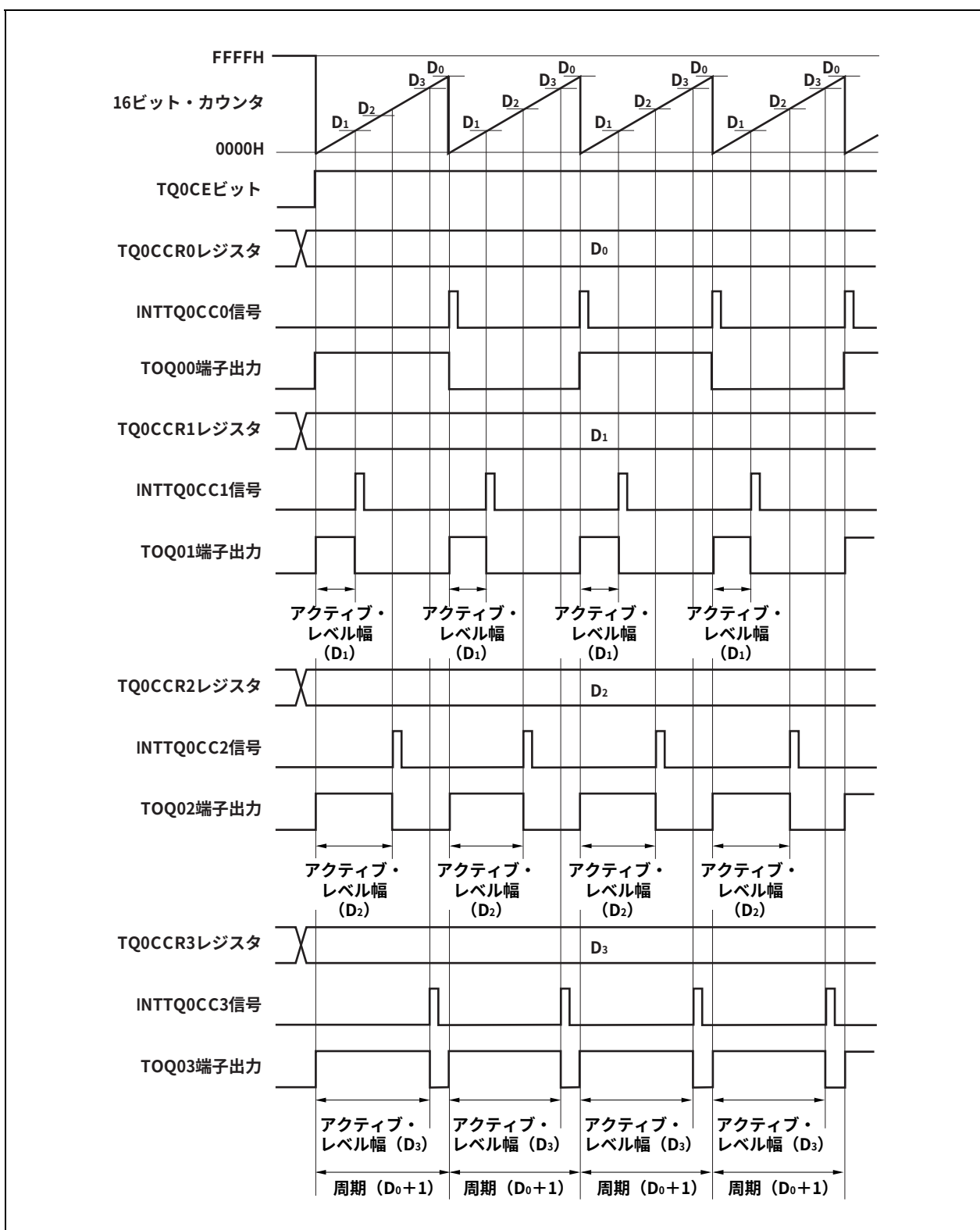


図7-45 PWM出力モードの基本タイミング



TQ0CEビットをセット (1) することで、16ビット・カウンタをFFFFHから0000Hにクリアして同時にカウント動作を開始し、TQ0Qk端子からPWM波形を出力します。

PWM波形のアクティブ・レベル幅, 周期, およびデューティは次のように求められます。

アクティブ・レベル幅 = (TQ0CCRkレジスタの設定値) × カウント・クロック周期

周期 = (TQ0CCR0レジスタの設定値+1) × カウント・クロック周期

デューティ = (TQ0CCRkレジスタの設定値) / (TQ0CCR0レジスタの設定値+1)

動作中にTQ0CCRmレジスタを書き換えることにより、PWM波形を変更できます。書き換えた値は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致し、16ビット・カウンタが0000Hにクリアされるタイミングで反映されます。

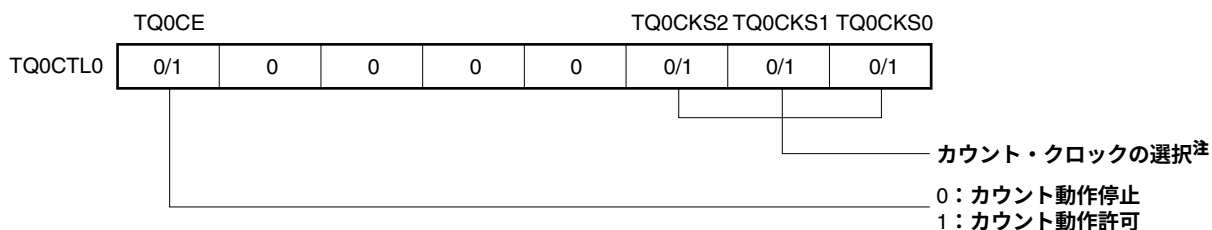
コンペアー一致割り込み要求信号 (INTTQ0CC0) は、16ビット・カウンタのカウント値とCCR0バッファ・レジスタの値が一致した次のカウント・タイミングで発生し、同時に16ビット・カウンタを0000Hにクリアします。コンペアー一致割り込み要求信号 (INTTQ0CCK) は、16ビット・カウンタのカウント値とCCRkバッファ・レジスタの値が一致するタイミングで発生します。

備考 k = 1-3

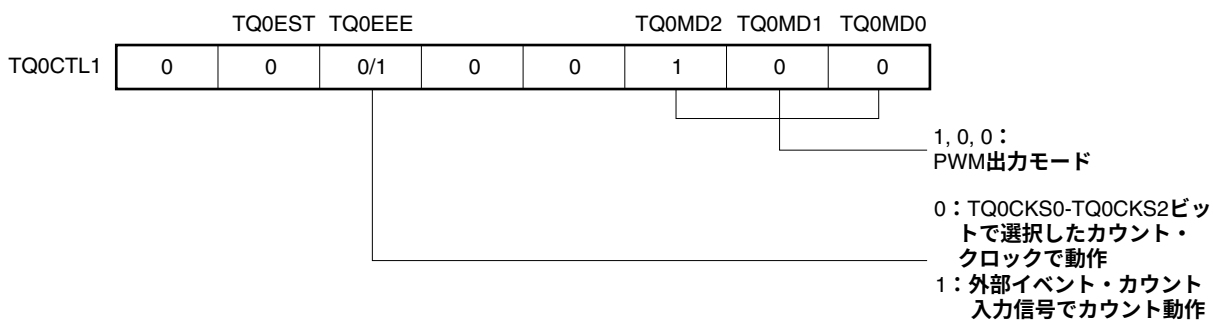
m = 0-3

図7-46 PWM出力モード動作時のレジスタ設定内容 (1/3)

(a) TMQ0制御レジスタ0 (TQ0CTL0)



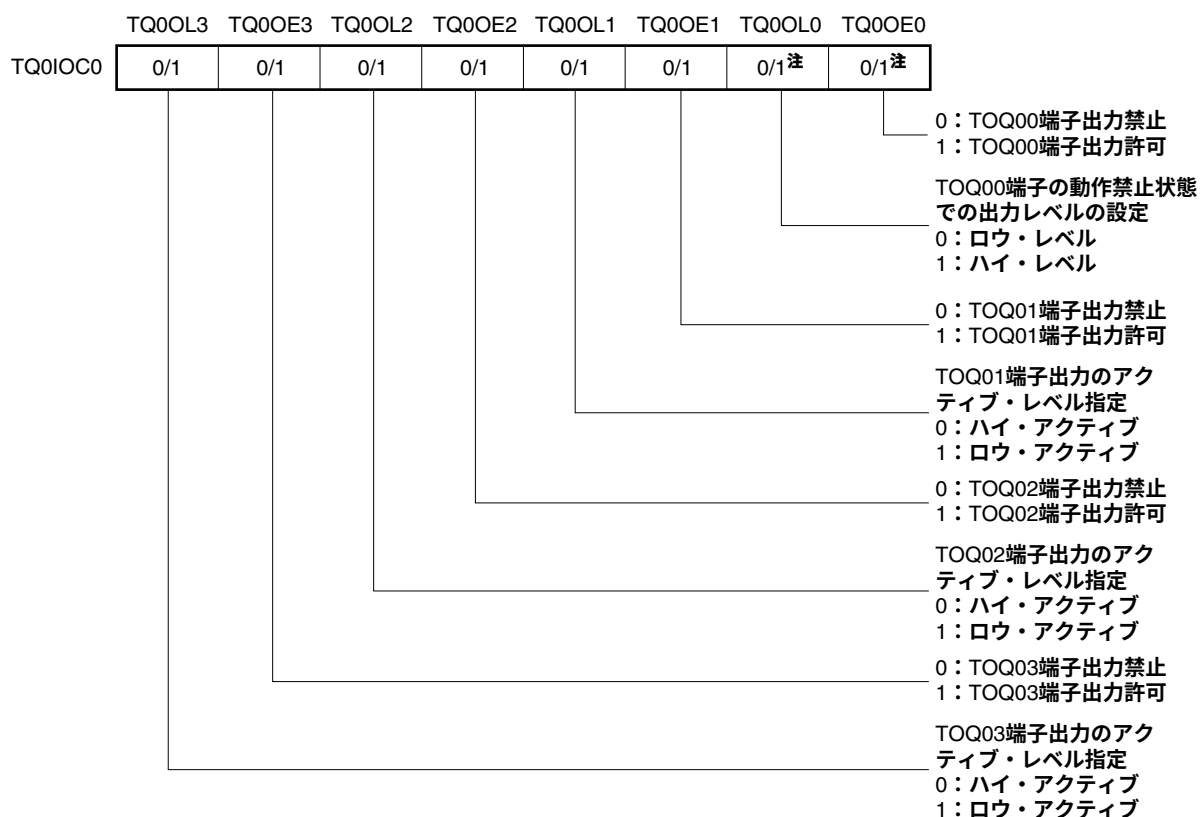
(b) TMQ0制御レジスタ1 (TQ0CTL1)



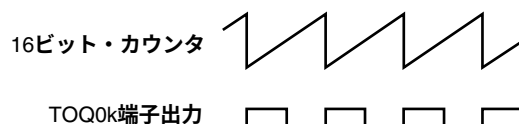
注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

図7-46 PWM出力モード動作時のレジスタ設定内容 (2/3)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



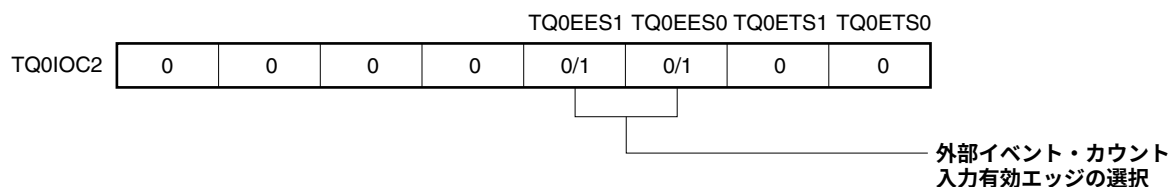
・ TQ0OLkビット = 0の場合



・ TQ0OLkビット = 1の場合



(d) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

注 PWM出力モードでTOQ00端子を使用しない場合は、“0”に設定してください。

図7-46 PWM出力モード動作時のレジスタ設定内容 (3/3)

(f) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0CCR0レジスタにD₀を設定し、TQ0CCR_kレジスタにD_kを設定した場合、

PWM波形の周期 = (D₀+1) × カウント・クロック周期

PWM波形のアクティブ・レベル幅 = D_k × カウント・クロック周期

となります。

- 備考1.** TMQ0I/O制御レジスタ1 (TQ0IOC1) , TMQ0オプション・レジスタ0 (TQ0OPT0) は、PWM出力モードでは使用しません。
- 2.** TMQ0キャプチャ/コンペア・レジスタ2 (TQ0CCR2) , TMQ0キャプチャ/コンペア・レジスタ3 (TQ0CCR3) の更新は、TMQ0キャプチャ/コンペア・レジスタ1 (TQ0CCR1) への書き込みにより有効になります。

(1) PWM出力モード動作フロー

図7-47 PWM出力モード動作タイミングと処理フロー (1/2)

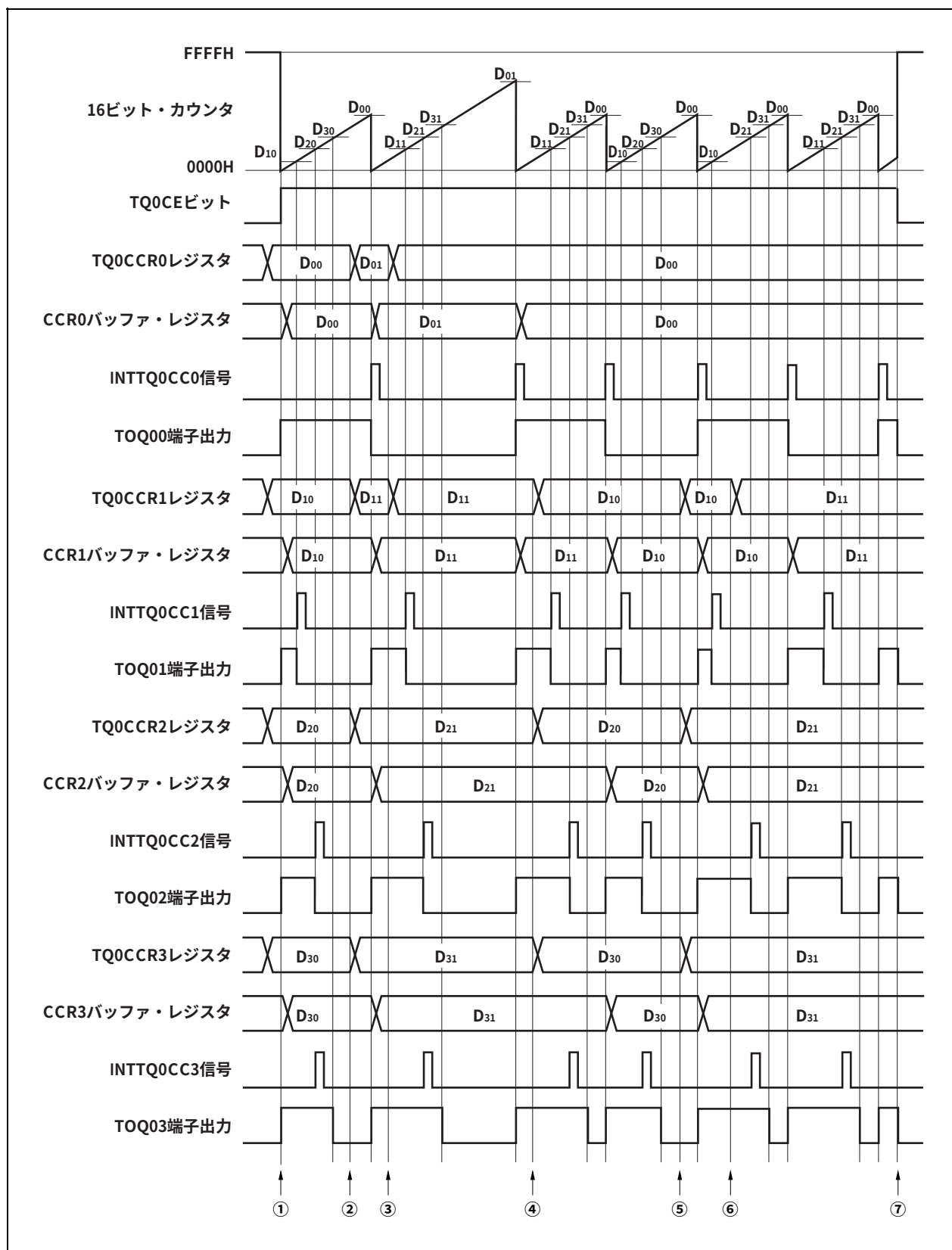
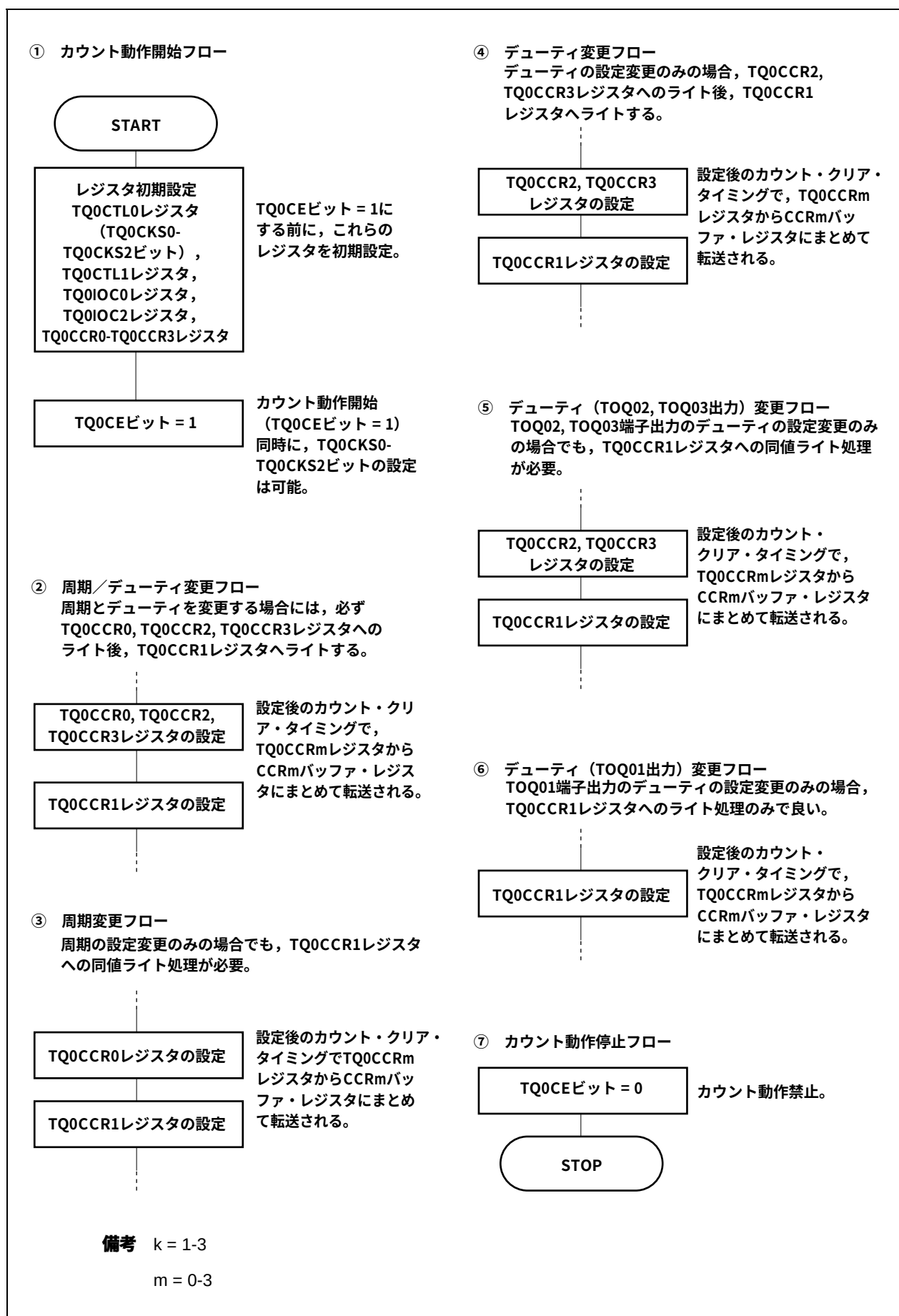


図7-47 PWM出力モード動作タイミングと処理フロー (2/2)



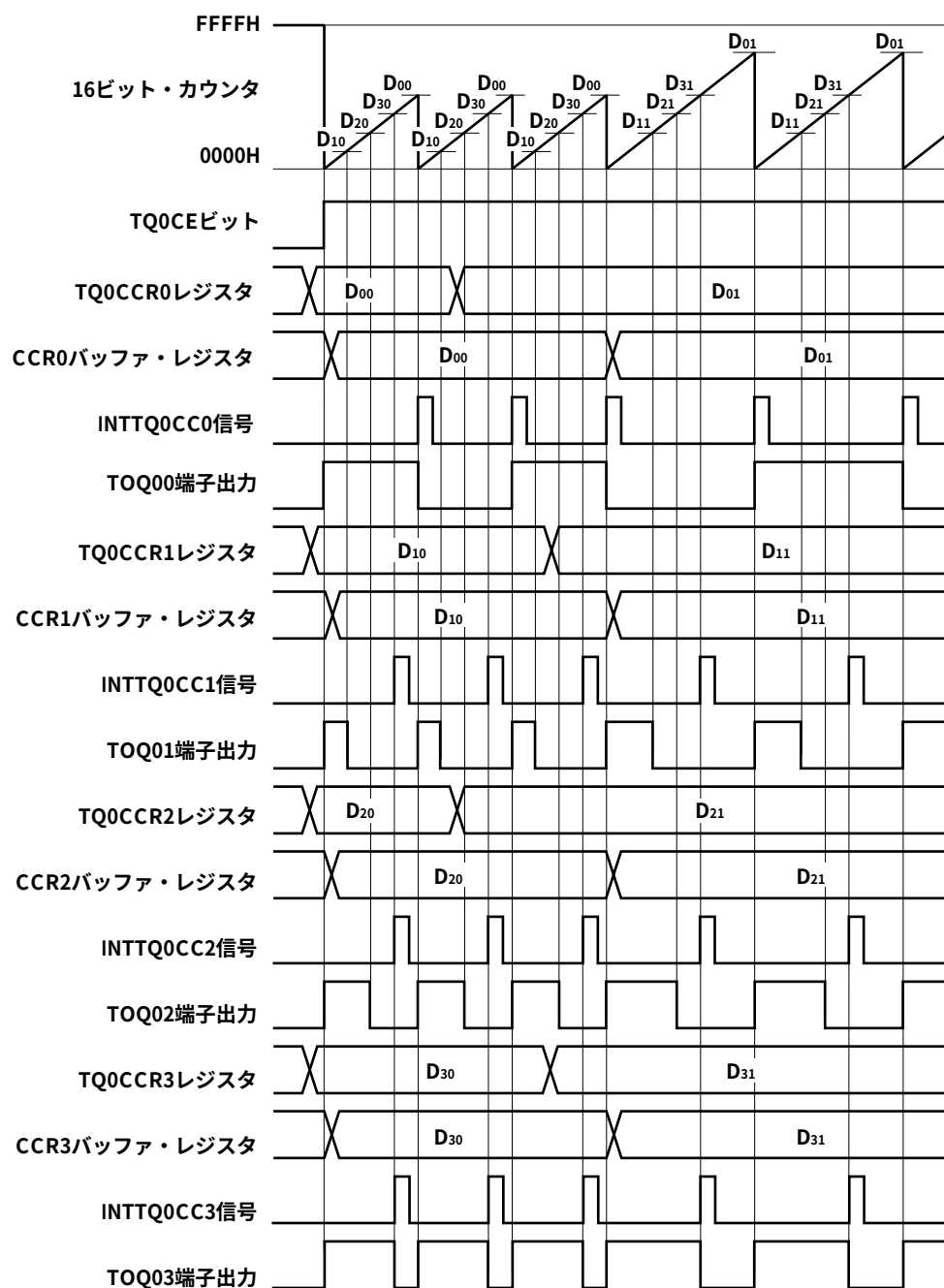
(2) PWM出力モードの応用

(a) カウント動作中のPWM波形の変更

カウント動作中にPWM波形を変更する場合には、最後にTQ0CCR1レジスタにライトしてください。

TQ0CCR1レジスタにライト後、再度TQ0CCRmレジスタの書き換えを行う場合には、INTTQ0CC0信号を検出後に書き換えてください。

図7-48 カウント動作中のPWM波形の変更



TQ0CCRMレジスタからCCRMバッファ・レジスタへのデータ転送を行うためには、TQ0CCR1レジスタに対してライトする必要があります。

TQ0CCR1レジスタにライトしたあと、16ビット・カウンタのクリア・タイミングに同期して、TQ0CCRMレジスタに書き込まれた値がCCRMバッファ・レジスタに転送され、16ビット・カウンタとのコンペア値となります。

- <1> PWM波形の周期とアクティブ・レベル幅の両方を変更する場合には、まずTQ0CCR0レジスタに周期を、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。
- <2> PWM波形の周期だけを変更する場合には、まずTQ0CCR0レジスタに周期を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。
- <3> PWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合には、まず、TQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、最後にTQ0CCR1レジスタにアクティブ・レベル幅を設定してください。
- <4> TOQ01端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、TQ0CCR1レジスタのみの設定でかまいません。
- <5> TOQ02, TOQ03端子出力のPWM波形のアクティブ・レベル幅（デューティ）のみ変更する場合は、まずTQ0CCR2, TQ0CCR3レジスタにアクティブ・レベル幅を設定し、そのあとでTQ0CCR1レジスタに同値をライトしてください。

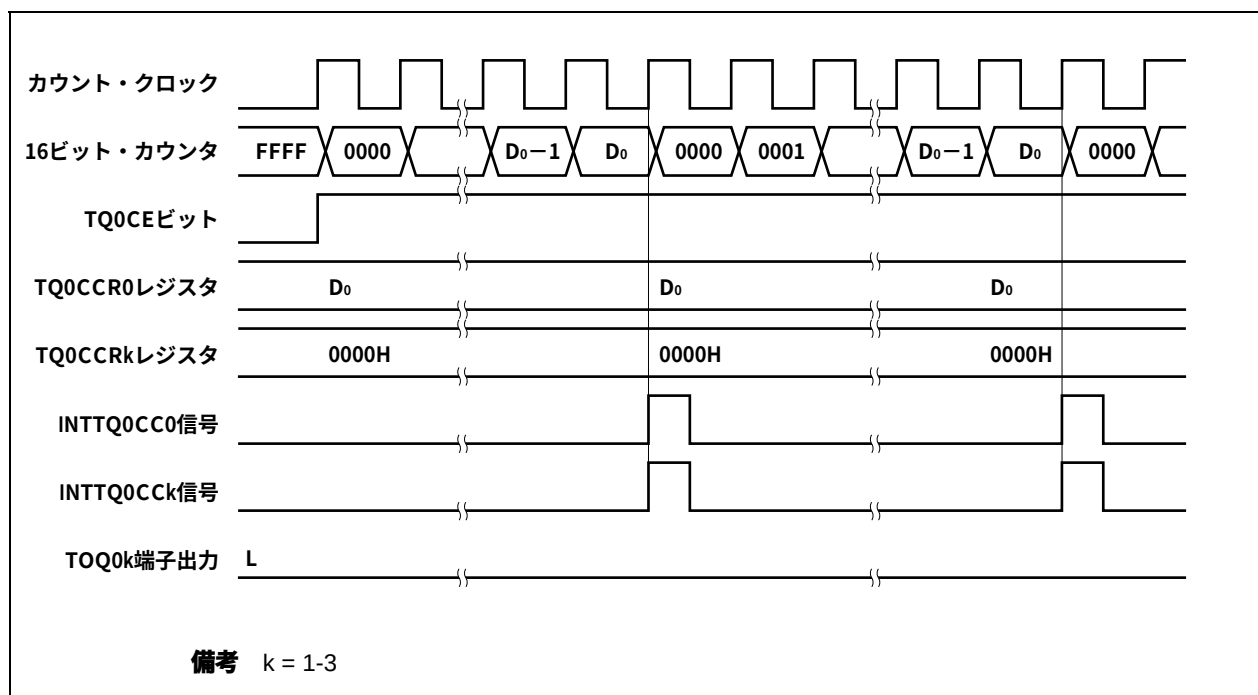
注意 一度TQ0CCR1レジスタにライトしたあとで、再度TQ0CCR0-TQ0CCR3レジスタへのライトを行う場合は、INTTQ0CC0信号の発生後に行ってください。これを守れない場合には、TQ0CCRMレジスタからCCRMバッファ・レジスタへのデータ転送タイミングと、TQ0CCRMレジスタの書き換えの競合により、CCRMバッファ・レジスタの値が不定値になる場合があります。

備考 m = 0-3

(b) PWM波形の0 %/100 %出力

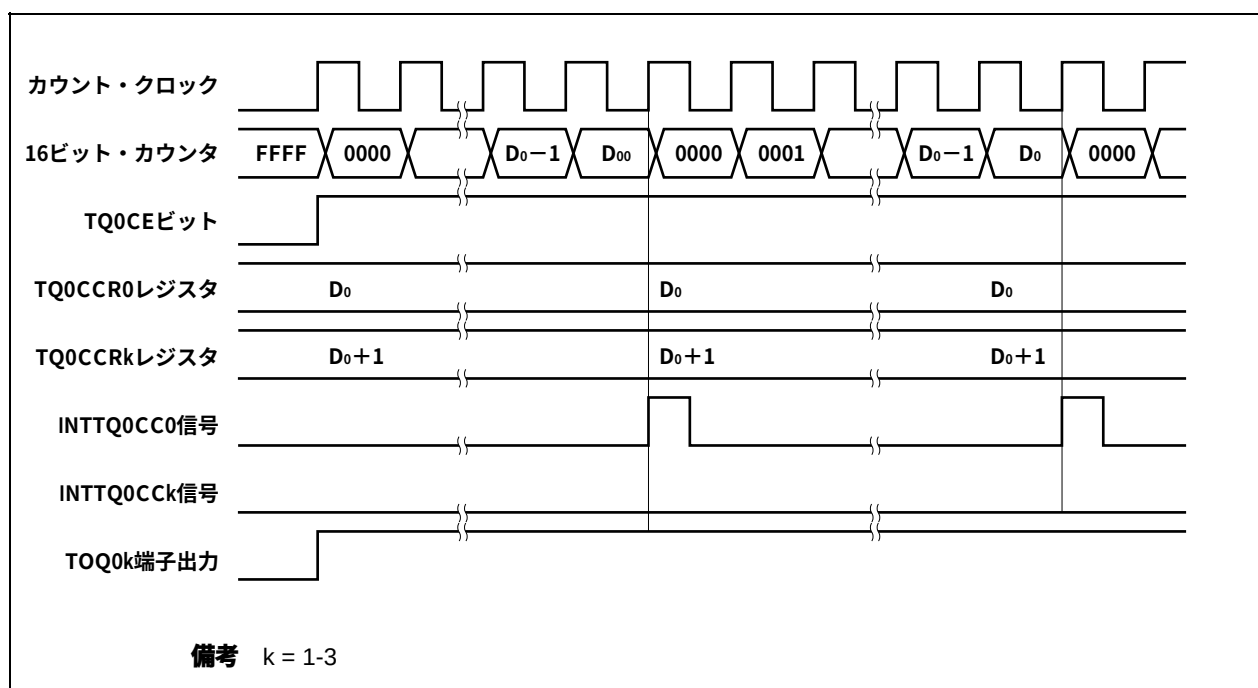
0 %波形を出力するためには、TQ0CCRkレジスタに対して0000Hを設定します。

図7-49 PWM波形の0 %出力



100 %波形を出力するためには、TQ0CCRkレジスタに対して (TQ0CCR0レジスタの設定値+1) の値を設定してください。TQ0CCR0レジスタの設定値がFFFFHの場合には、100 %出力はできません。

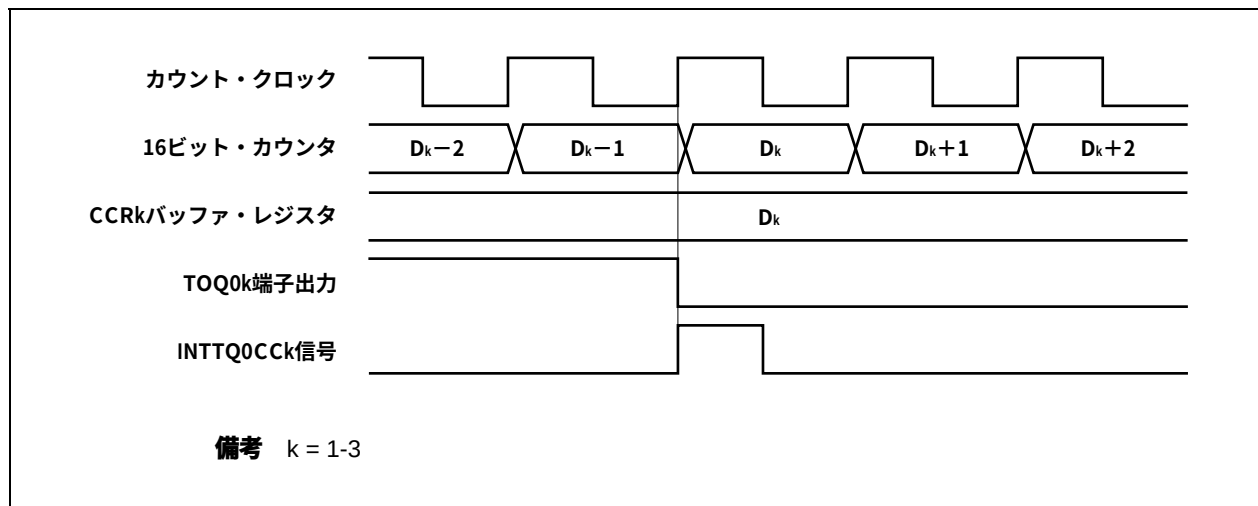
図7-50 PWM波形の100 %出力



(c) コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

PWM出力モードでは、16ビット・カウンタのカウンタ値とTQ0CCRkレジスタの値との一致と同時に発生します。

図7-51 コンペアー一致割り込み要求信号 (INTTQ0CCK) の発生タイミング

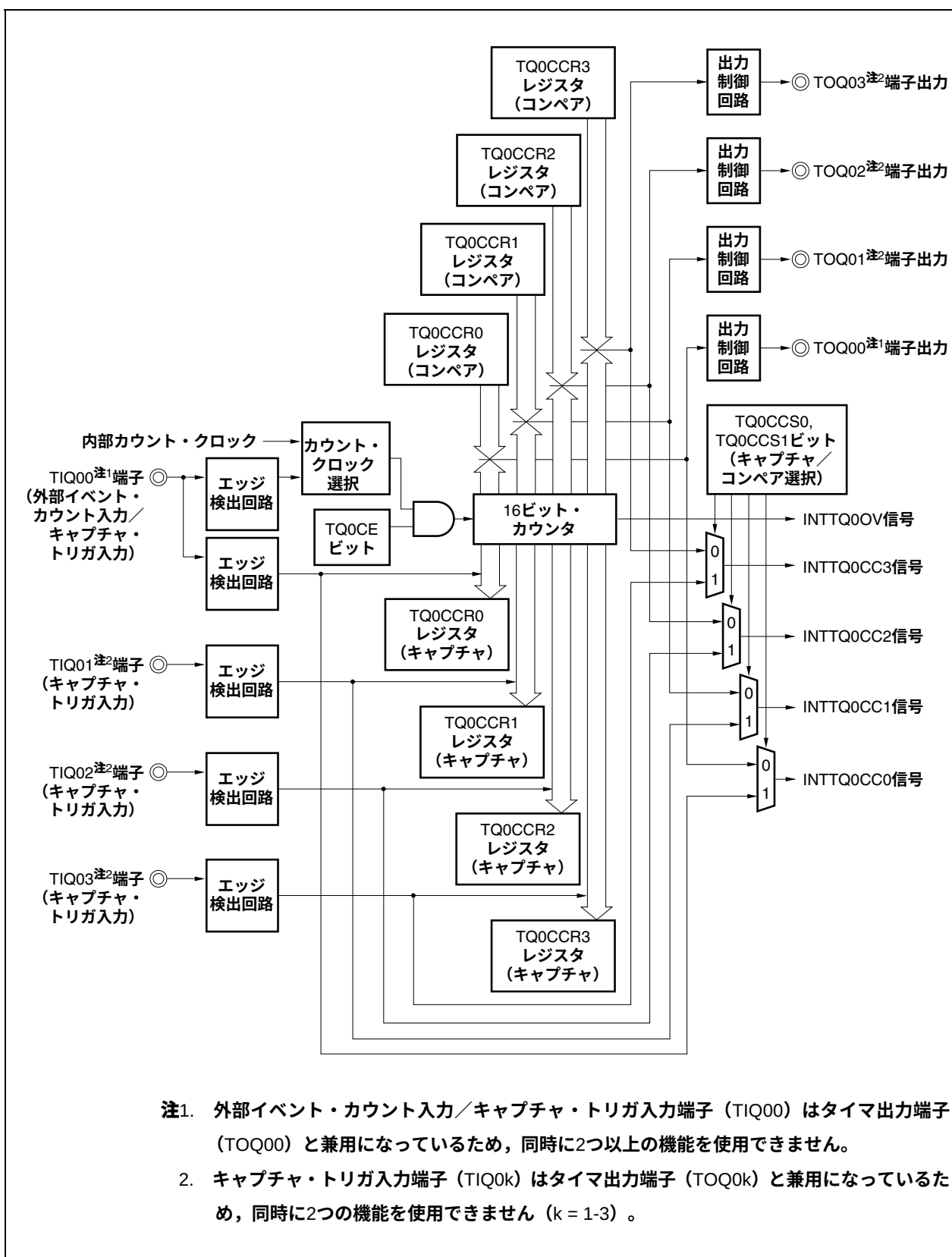


7. 4. 6 フリー・ランニング・タイマ・モード (TQ0MD2-TQ0MD0ビット = 101)

フリー・ランニング・タイマ・モードは、TQ0CTL0.TQ0CEビットをセット (1) することでカウント動作を開始します。このときのTQ0CCRMレジスタの動作は、TQ0OPT0.TQ0CCS0, TQ0CCS1ビットの設定により、コンペア・レジスタまたはキャプチャ・レジスタの選択ができます。

- 備考**1. TIQ0m, TOQ0m端子の設定については表7-2 端子構成, および表4-17 端子を兼用機能として使用する場合を参照してください。
2. INTTQ0CCm信号の割り込み許可については, 第19章 割り込み／例外処理機能を参照してください。
3. m = 0-3

図7-52 フリー・ランニング・タイマ・モードの構成図



・コンペア動作

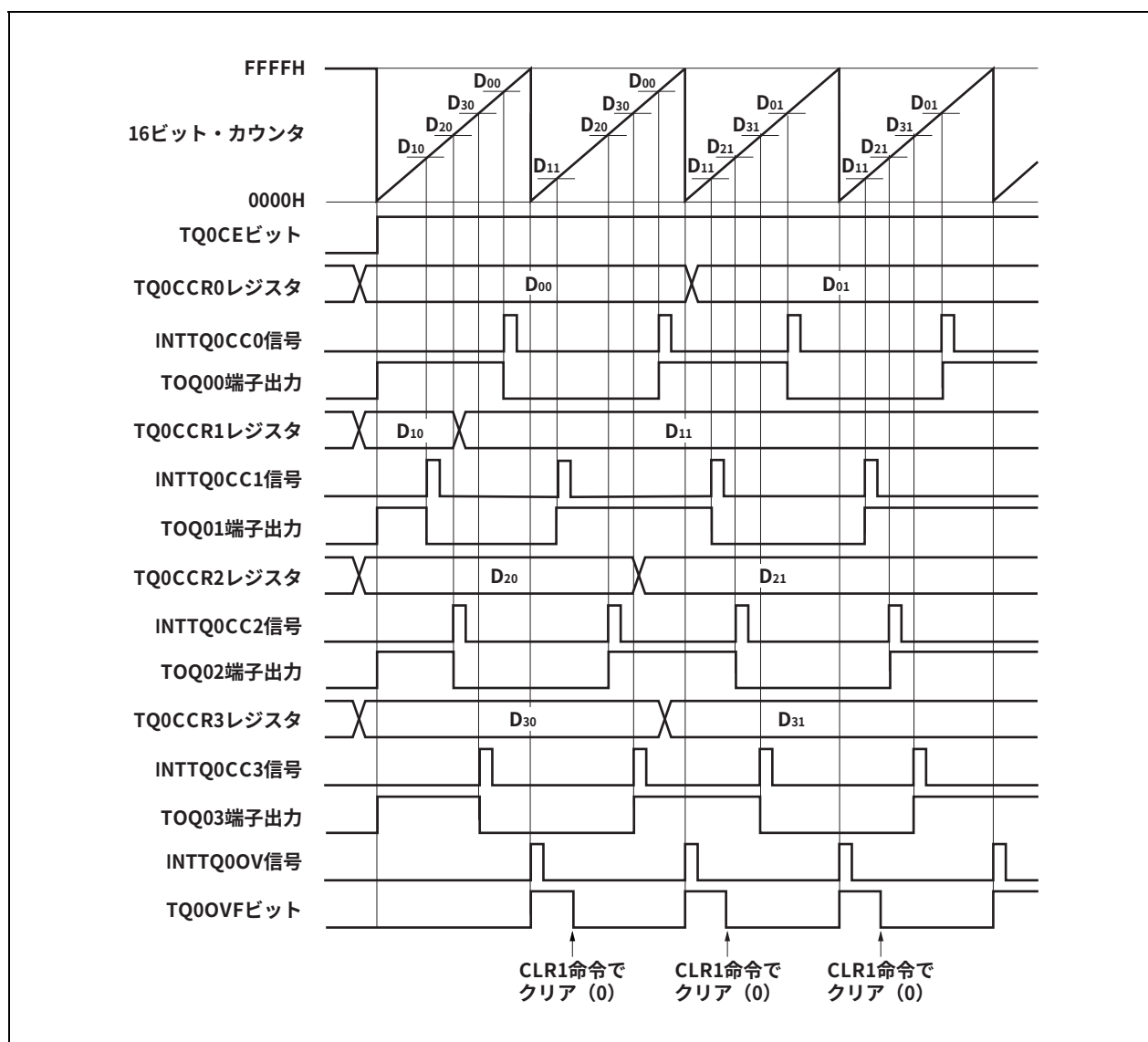
TQ0CEビットをセット (1) することで、カウント動作を開始し、TOQ00-TOQ03端子出力を反転します。その後、16ビット・カウンタのカウント値とTQ0CCRmレジスタの設定値が一致すると、コンペア一致割り込み要求信号 (INTTQ0CCm) を発生し、TOQ0m端子出力を反転します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバーフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバーフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されます。オーバーフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

TQ0CCRmレジスタは、カウント動作中の書き換えを許可しています。書き換えた場合、随時書き換えた値が反映され、カウント値と比較されます。

備考 m = 0-3

図7-53 フリー・ランニング・タイマ・モードの基本タイミング (コンペア機能)



・キャプチャ動作

TQ0CEビットをセット (1) することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、キャプチャ割り込み要求信号 (INTTQ0CCm) を発生します。

16ビット・カウンタは、カウント・クロックに同期してカウント動作を続け、FFFFHまでカウントすると、次のクロックでオーバフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TQ0OVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

備考 m = 0-3

図7-54 フリー・ランニング・タイマ・モードの基本タイミング (キャプチャ機能)

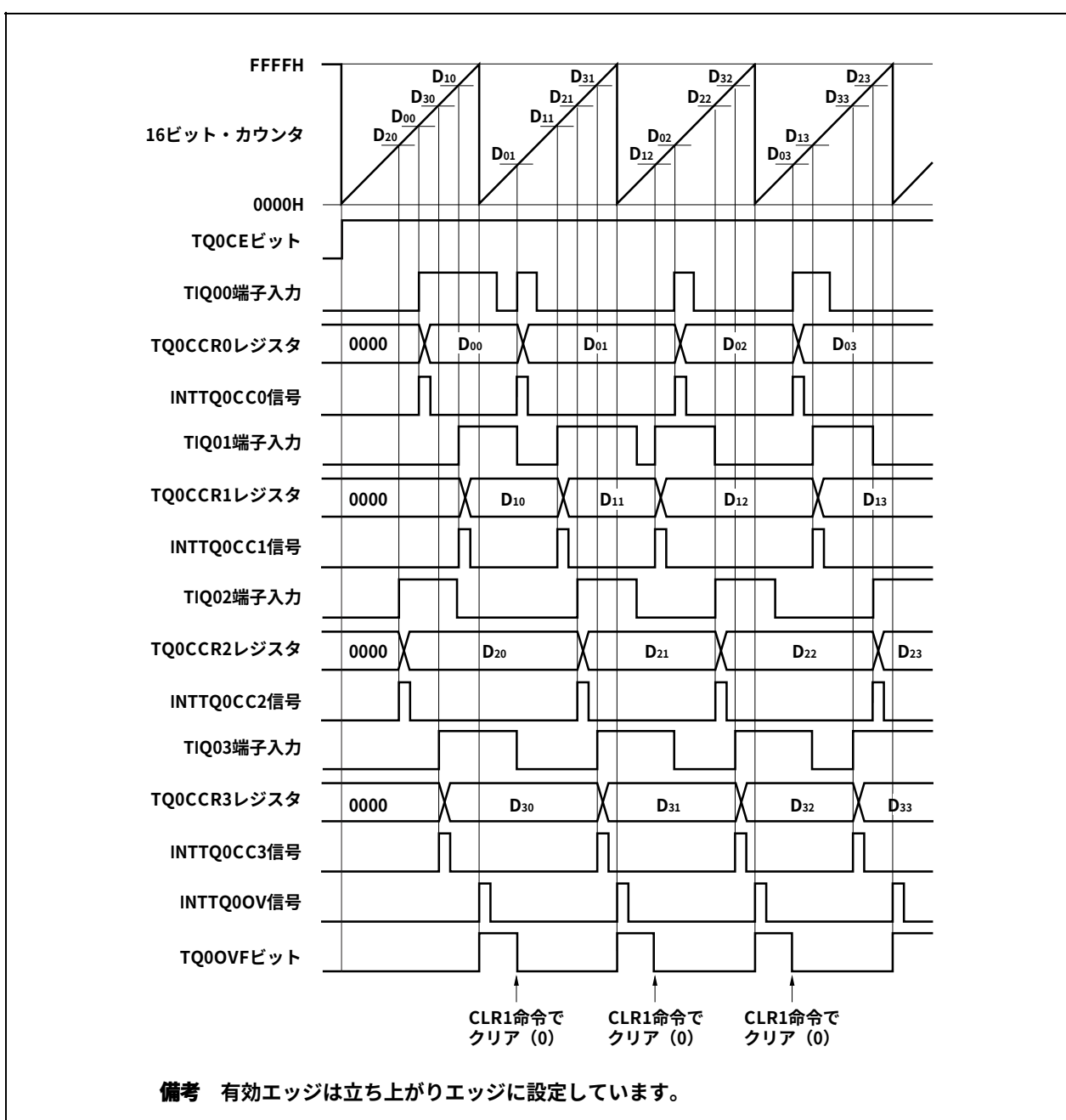
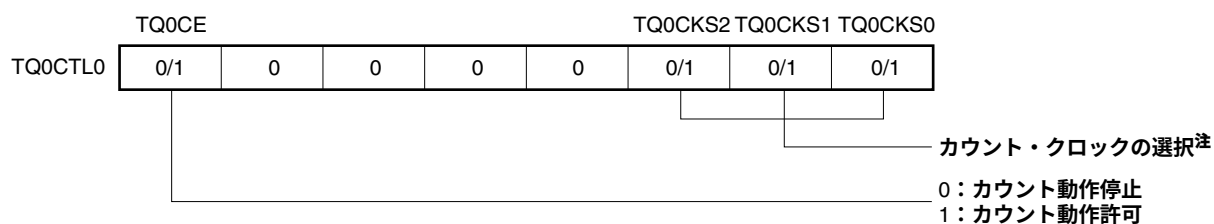


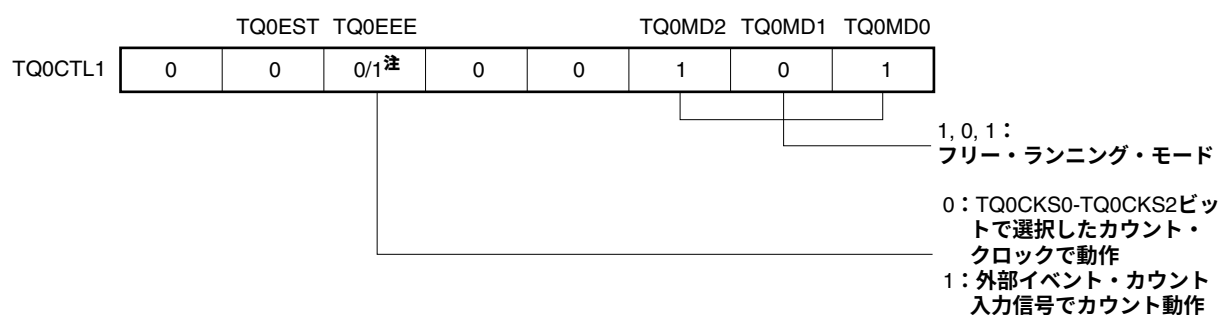
図7-55 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (1/3)

(a) TMQ0制御レジスタ0 (TQ0CTL0)



注 TQ0CTL1.TQ0EEEビット = 1のときは設定が無効になります。

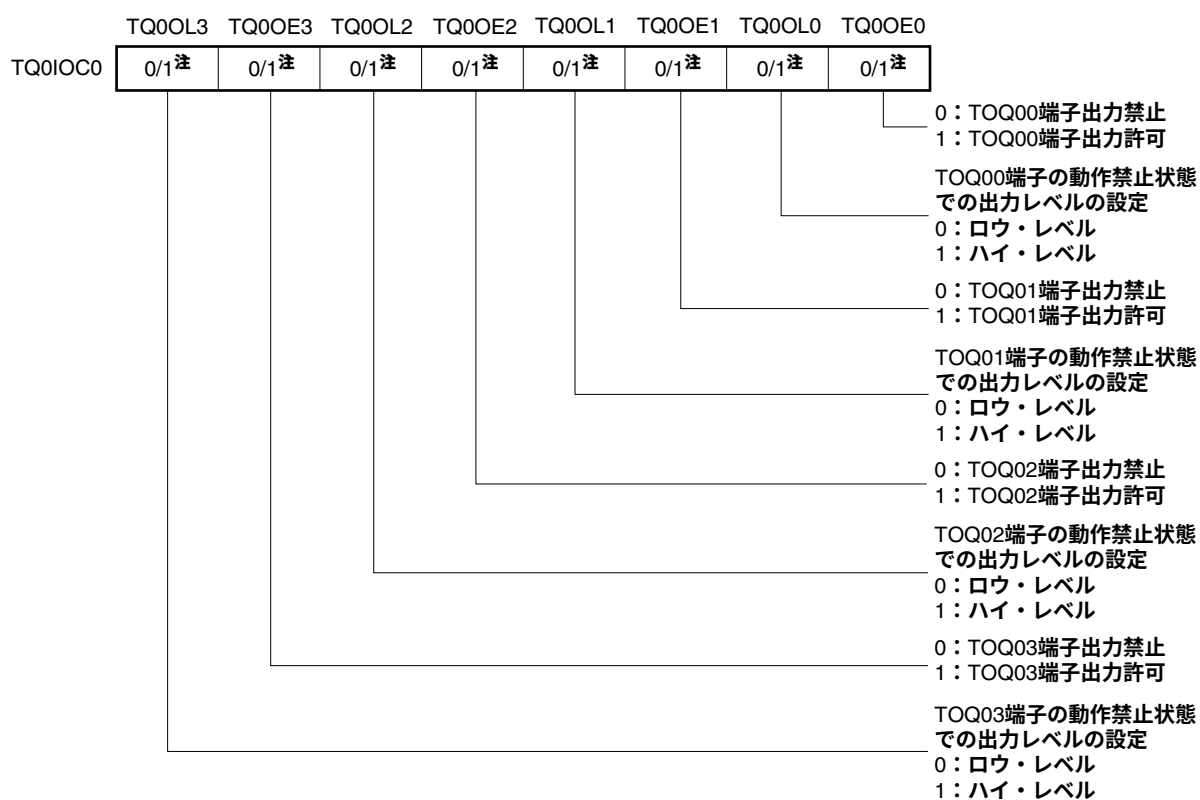
(b) TMQ0制御レジスタ1 (TQ0CTL1)



注 TQ0EEE = 1に設定した場合、TIQ00端子のキャプチャ機能は使用できません。

図7-55 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (2/3)

(c) TMQ0I/O制御レジスタ0 (TQ0IOC0)



注 TIQ0m端子を使用する場合、TOQ0m端子は使用できません。

備考 m = 0-3

(d) TMQ0I/O制御レジスタ1 (TQ0IOC1)

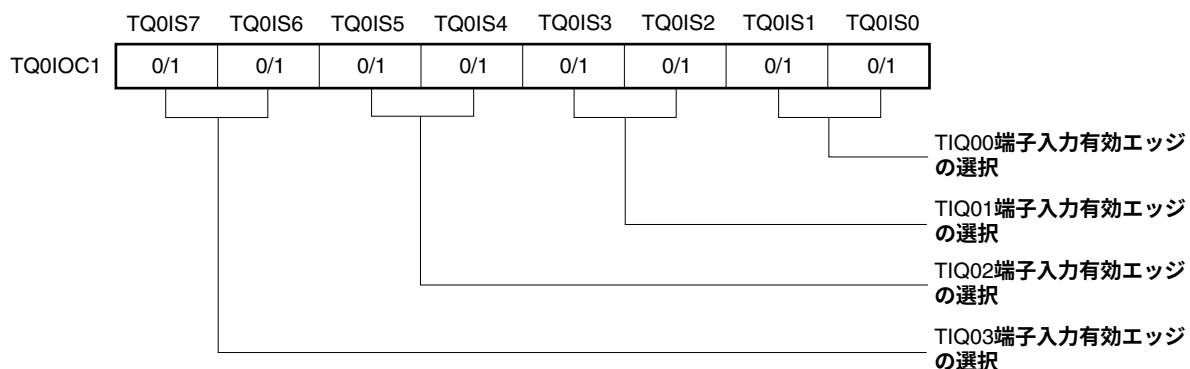
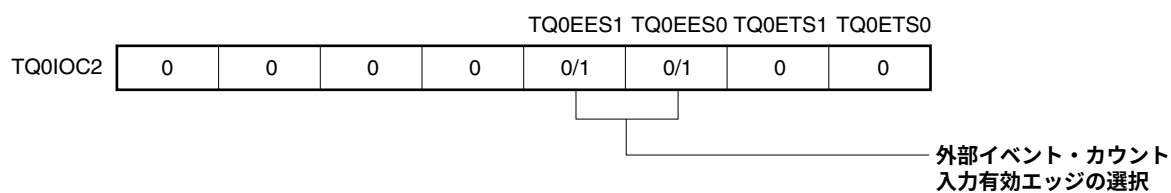
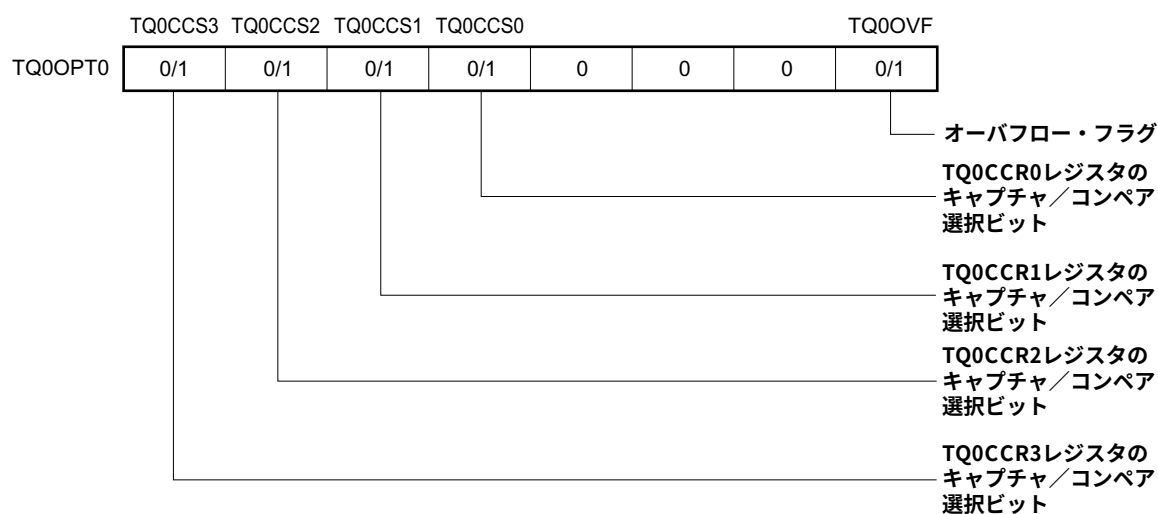


図7-55 フリー・ランニング・タイマ・モード動作時のレジスタ設定内容 (3/3)

(e) TMQ0I/O制御レジスタ2 (TQ0IOC2)



(f) TMQ0オプション・レジスタ0 (TQ0OPT0)



(g) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

(h) TMQ0キャプチャ/コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TQ0OPT0.TQ0CCSmビットの設定によりキャプチャ・レジスタまたはコンペア・レジスタとして動作します。

キャプチャ・レジスタとして動作する場合には、TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納し、INTTQ0CCm信号を発生します。

コンペア・レジスタとして動作する場合には、TQ0CCRmレジスタにD_mを設定した場合、カウンタが(D_m+1)になるタイミングでINTTQ0CCm信号を発生し、TOQ0m端子出力を反転します。

備考 m = 0-3

(1) フリー・ランニング・タイマ・モード動作フロー

フリー・ランニング・タイマ・モードには次の2つの機能があります。

- ・コンペア機能
- ・キャプチャ機能

(a) キャプチャ/コンペア・レジスタをコンペア・レジスタとして使用した場合

図7-56 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（コンペア機能）（1/2）

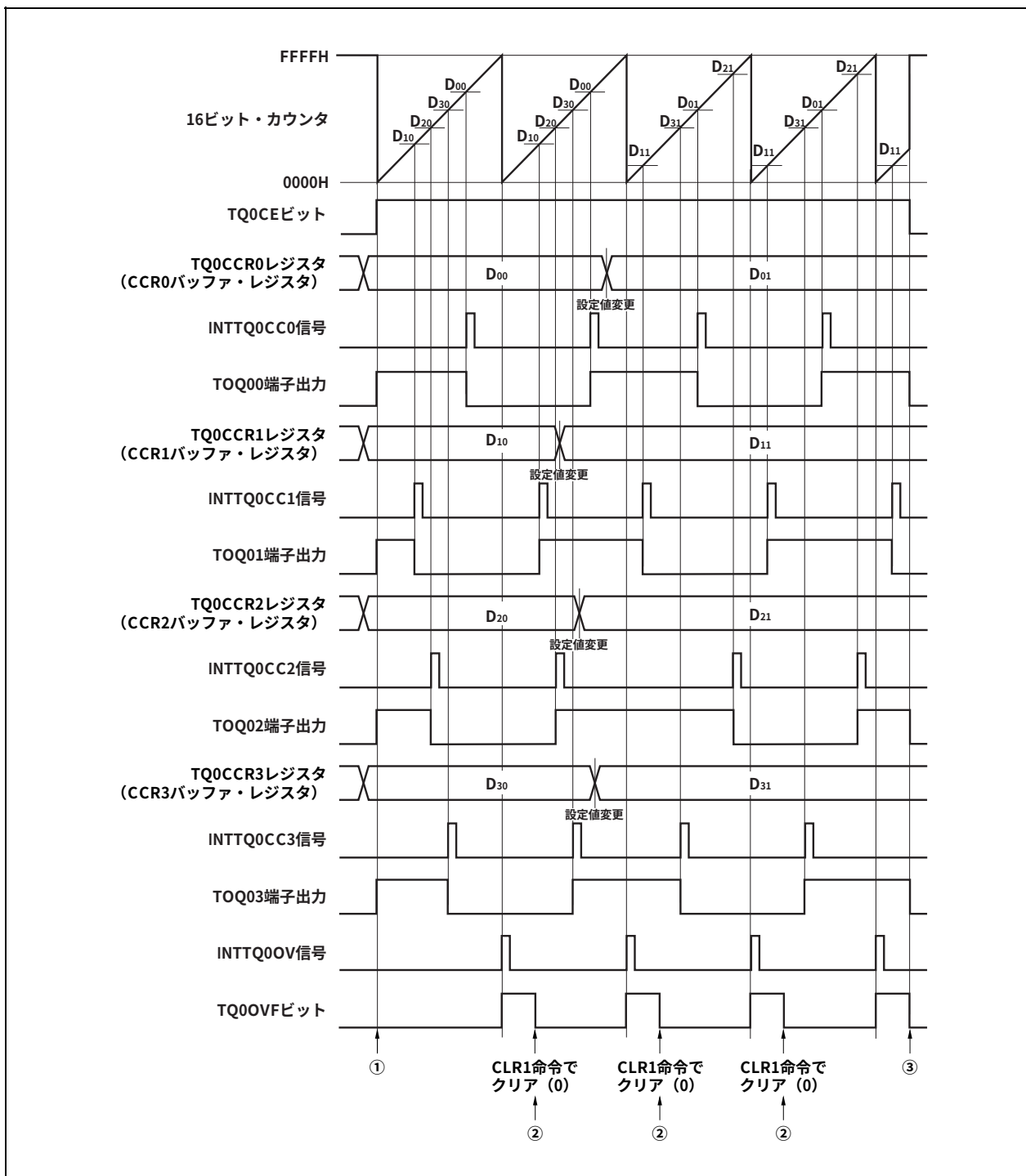
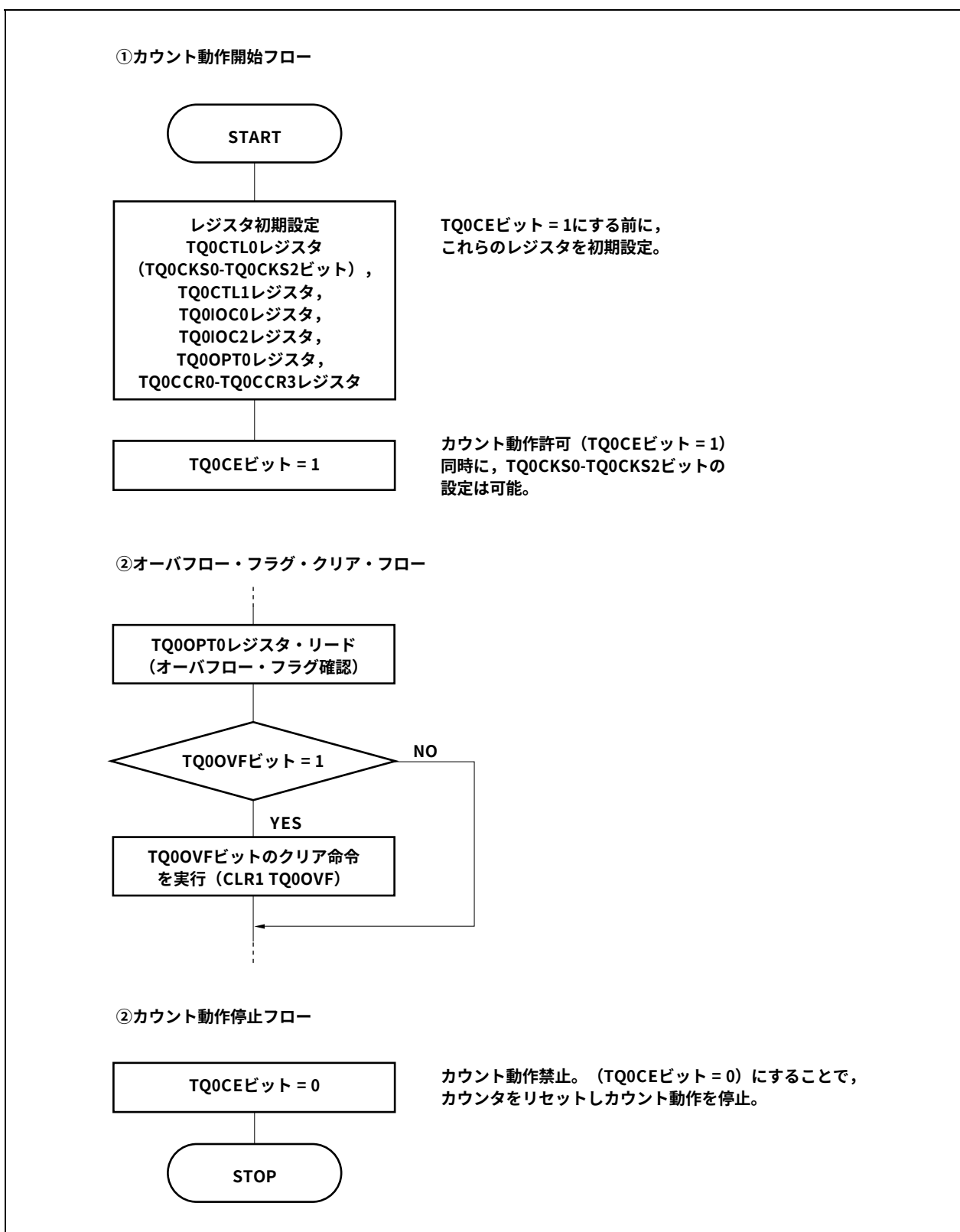


図7-56 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー (コンペア機能) (2/2)



(b) キャプチャ/コンペア・レジスタをキャプチャ・レジスタとして使用する場合

図7-57 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（キャプチャ機能）（1/2）

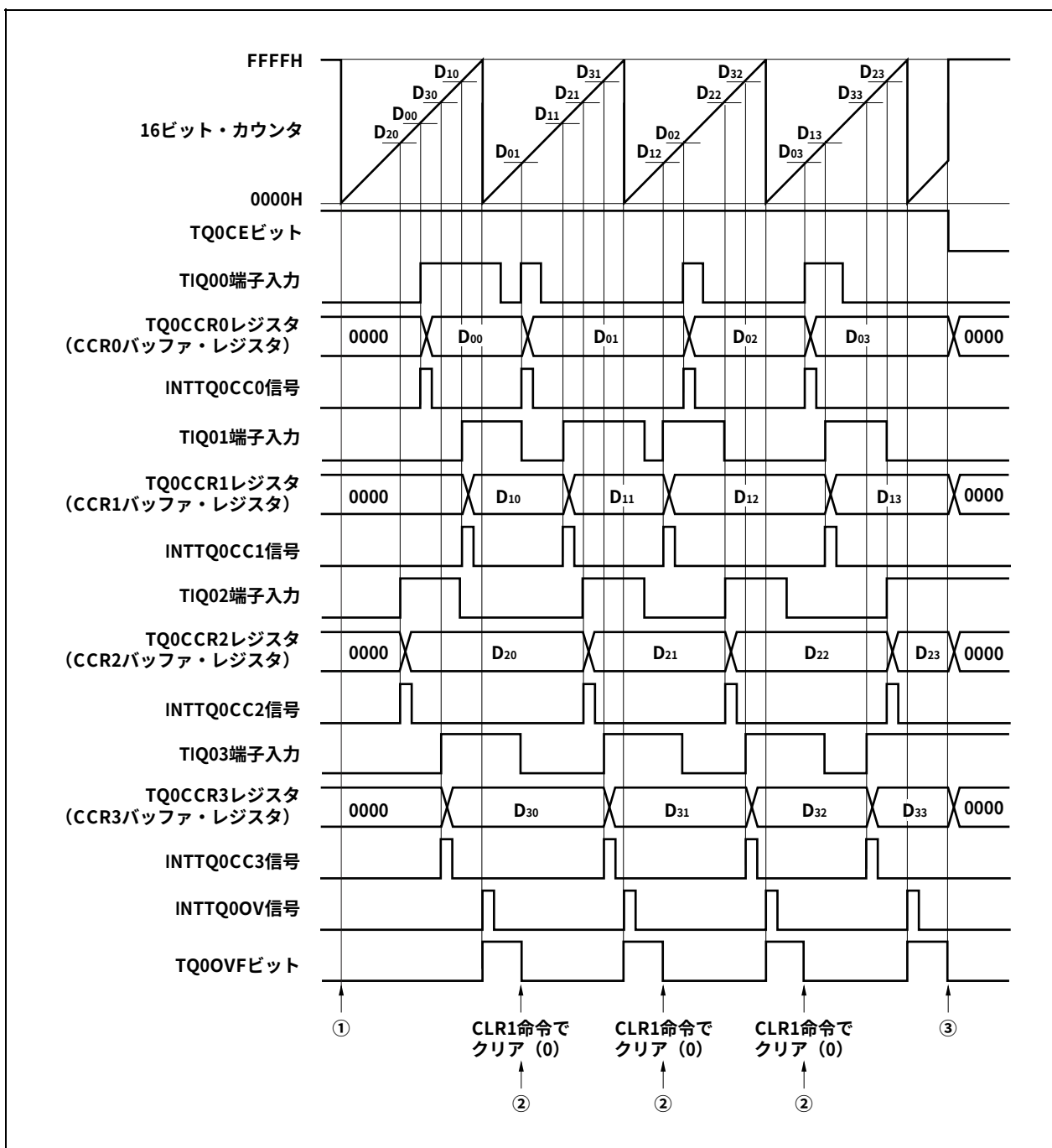
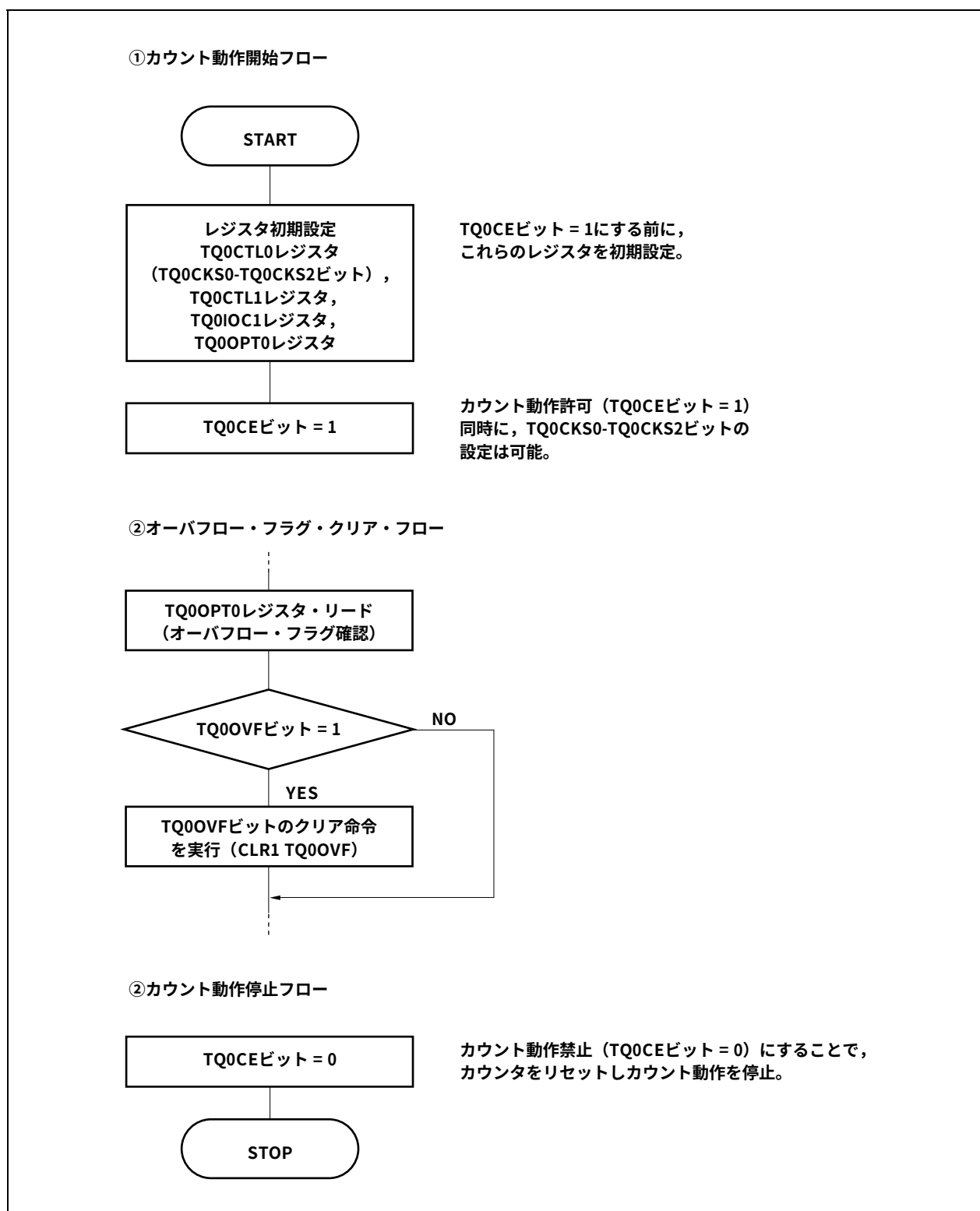


図7-57 フリー・ランニング・タイマ・モード動作時のタイミングと処理フロー（キャプチャ機能）（2/2）

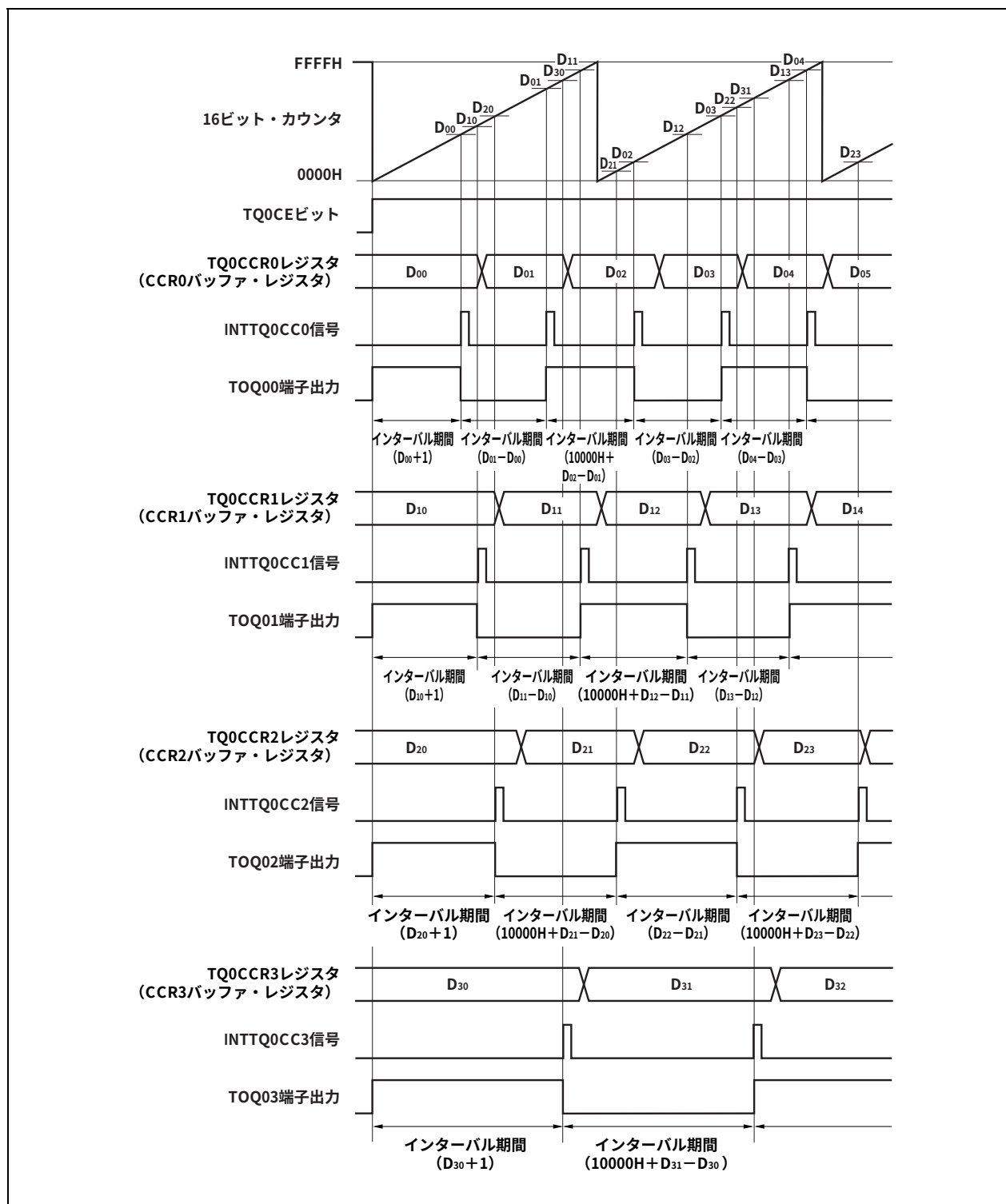


(2) フリー・ランニング・タイマ・モードの応用

(a) コンペア・レジスタとして使用し、インターバル動作をさせる場合

TQ0CCRmレジスタをコンペア・レジスタとして使用してインターバル動作をさせる場合、INTTQ0CCm信号を検出するごとに、次の割り込み要求信号を発生させるためのコンペア値を設定するソフトウェア処理が必要となります。

図7-58 フリー・ランニング・タイマ・モードのインターバル動作



フリー・ランニング・タイマ・モードでインターバル動作を行う場合、4つのインターバル時間を設定できます。

インターバル動作を行う場合、INTTQ0CCm信号を検出したときの割り込み処理中に、対応するTQ0CCRmレジスタの値を再設定する必要があります。

再設定する場合の設定値は、インターバル期間を“ D_m ”とすると、次のように求められます。

コンペア・レジスタ初期値： $D_m - 1$

2回目以降のコンペア・レジスタ設定値 = 前回の設定値 + D_m

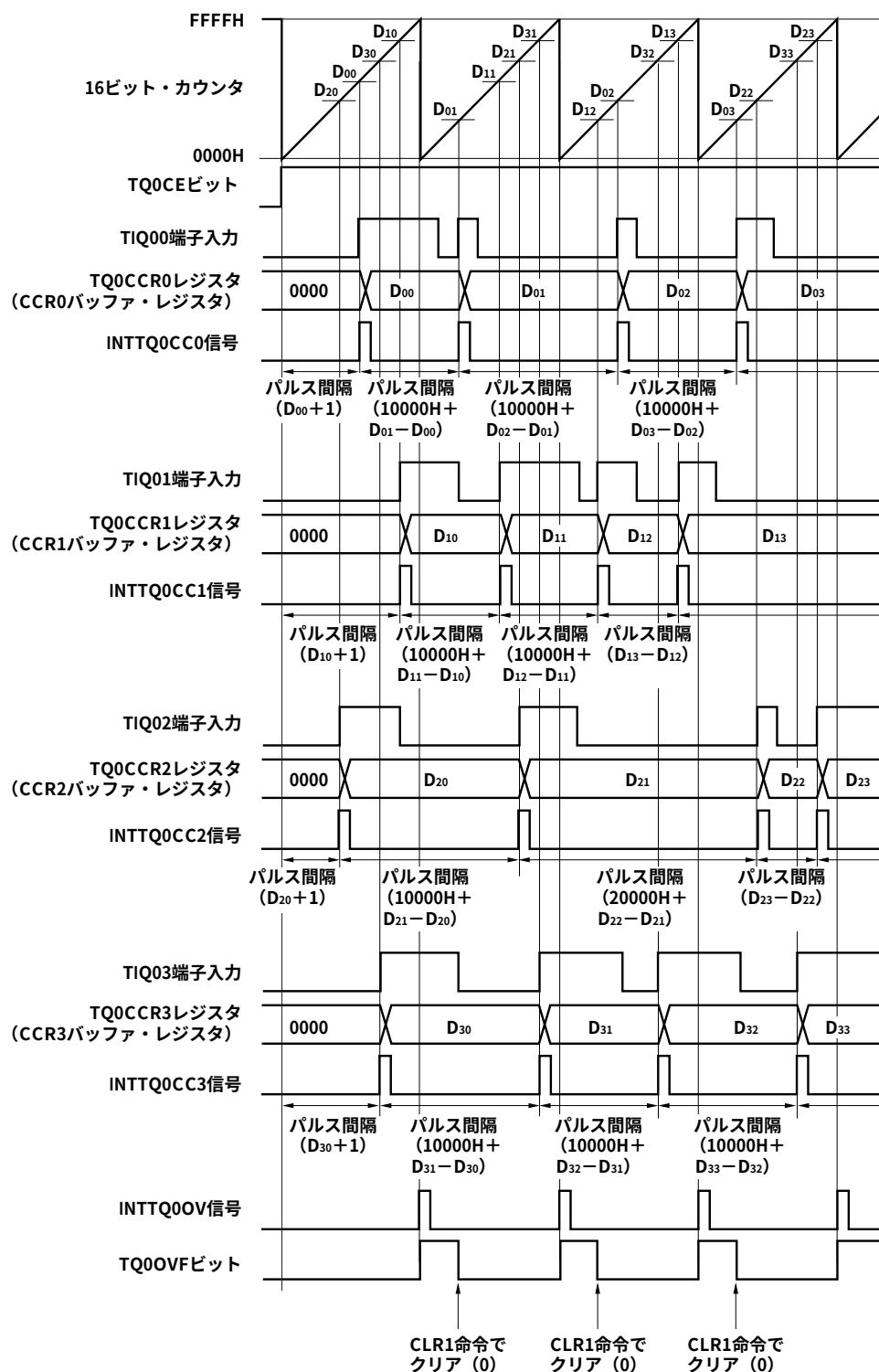
(演算結果がFFFFHよりも大きい場合には、演算結果から10000Hを引いた値を設定してください。)

備考 $m = 0-3$

(b) キャプチャ・レジスタとして使用し、パルス幅測定をさせる場合

TQ0CCRmレジスタをキャプチャ・レジスタとして使用し、パルス幅測定を行う場合、INTTQ0CCm信号を検出するごとに、キャプチャ・レジスタをリードし、間隔を算出するソフトウェア処理が必要となります。

図7-59 フリー・ランニング・タイマ・モードのパルス幅測定



フリー・ランニング・タイマ・モードでパルス幅測定を行う場合、4つのパルス幅測定ができます。

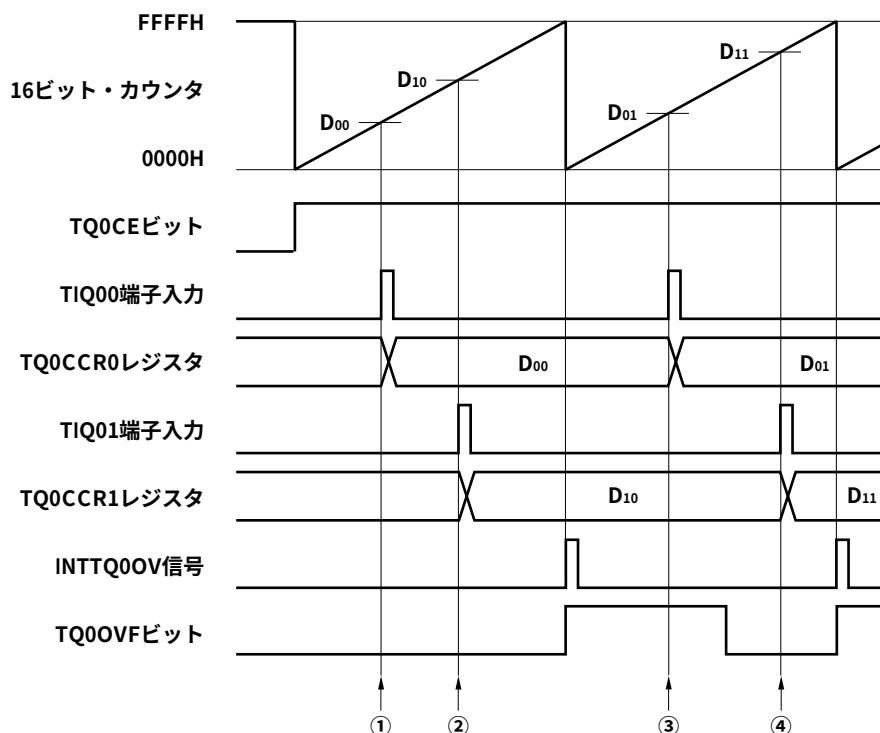
パルス幅測定を行う場合、INTTQ0CCm信号に同期してTQ0CCRmレジスタの値をリードし、同一キャプチャ・レジスタの前のリード・データとの差分を求めることでパルス幅を算出できます。

備考 m = 0-3

(c) 2つ以上のキャプチャ・レジスタを使用した場合のオーバーフローの処理方法

2つ以上のキャプチャを使用する場合には、オーバーフロー・フラグの処理に注意が必要です。まず悪い例を、次に示します。

図7-60 2つ以上のキャプチャを使用するときの悪い例



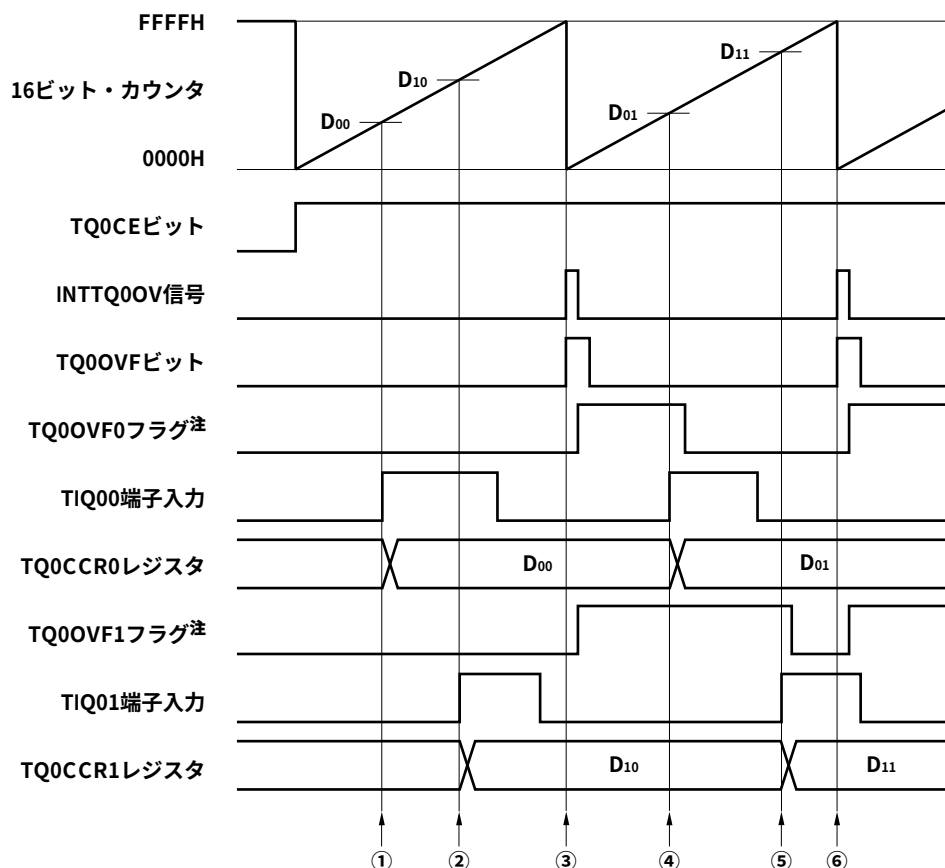
フリー・ランニング・タイマ・モードで2つのパルス幅を測定する場合、次のような問題が起こる場合があります。

- ① TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。
- ② TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。
- ③ TQ0CCR0レジスタをリードする。
TQ0OVFビットをリードする。→TQ0OVFビットが“1”だった場合、クリア (0) する。
TQ0OVFビットが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。
- ④ TQ0CCR1レジスタをリードする。
TQ0OVFビットをリードする。→③でクリア (0) されているため、0がリードされます。
TQ0OVFビットが“0”なので、パルス幅は $(D_{11} - D_{10})$ で求められます (NG)。

このように、2つ以上のキャプチャを使用する場合に、1つのキャプチャでオーバーフロー・フラグをクリア (0) してしまうと、他のキャプチャは正しいパルス幅が求められない可能性があります。

2つ以上のキャプチャを使用する場合には、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

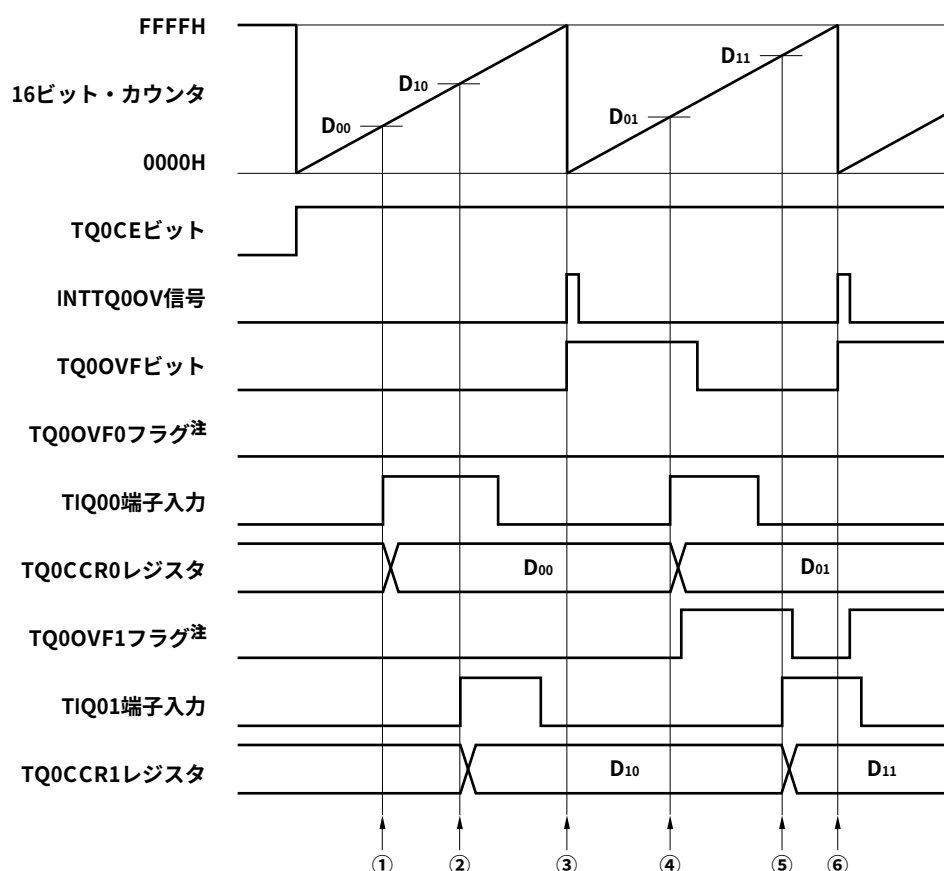
図7-61 2つのキャプチャを使用するときの対応例（オーバーフロー割り込みを使用）



注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TQ0CCR0レジスタをリードする（TIQ00端子入力の初期値設定）。
- ② TQ0CCR1レジスタをリードする（TIQ01端子入力の初期値設定）。
- ③ オーバフローが発生する。オーバフロー割り込み処理の中で、TQ0OVF0、TQ0OVF1フラグをセット（1）し、TQ0OVFビットをクリア（0）する。
- ④ TQ0CCR0レジスタをリードする。
TQ0OVF0フラグをリードする。→TQ0OVF0フラグが“1”なので、クリア（0）する。
TQ0OVF0フラグが“1”なので、パルス幅は（10000H + D₀₁ - D₀₀）で求められます。
- ⑤ TQ0CCR1レジスタをリードする。
TQ0OVF1フラグをリードする。→TQ0OVF1フラグが“1”なので、クリア（0）する（④でクリア（0）されたのはTQ0OVF0フラグであり、TQ0OVF1フラグは“1”のまま）。
TQ0OVF1フラグが“1”なので、パルス幅は（10000H + D₁₁ - D₁₀）で求められます（OK）。
- ⑥ ③と同じです。

図7-62 2つのキャプチャを使用するときの対応例 (オーバーフロー割り込みを使用しない)



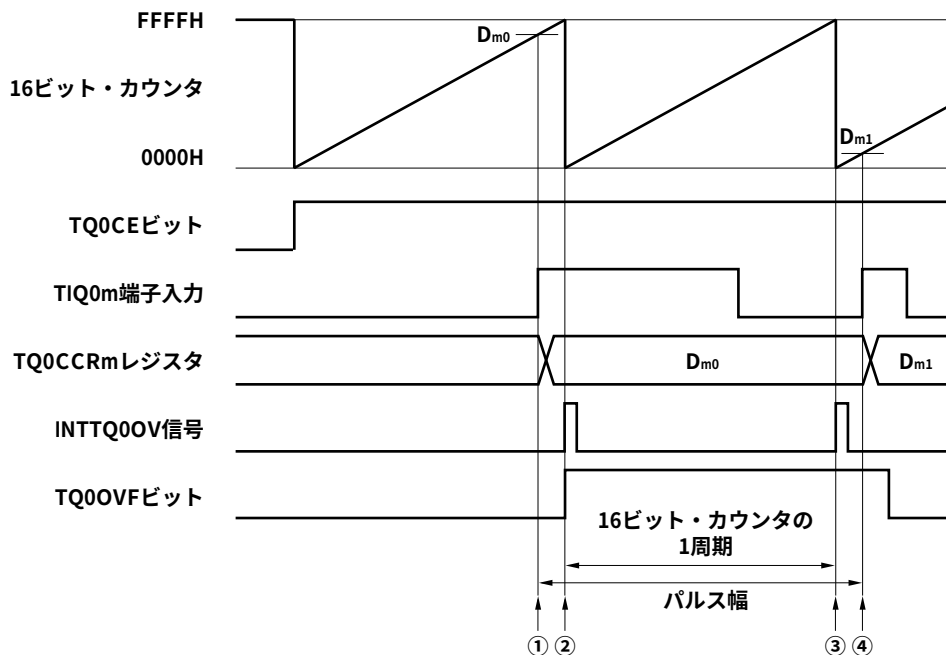
注 TQ0OVF0, TQ0OVF1フラグは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TQ0CCR0レジスタをリードする (TIQ00端子入力の初期値設定)。
- ② TQ0CCR1レジスタをリードする (TIQ01端子入力の初期値設定)。
- ③ オーバフローが発生する。ソフトウェアでは何もしない。
- ④ TQ0CCR0レジスタをリードする。
TQ0OVFビットをリードする。→TQ0OVFビットが“1”なので、TQ0OVF1フラグのみをセット (1) し、TQ0OVFビットをクリア (0) する。
TQ0OVFビットが“1”なので、パルス幅は $(10000H + D_{01} - D_{00})$ で求められます。
- ⑤ TQ0CCR1レジスタをリードする。
TQ0OVFビットをリードする。TQ0OVFビットは④でクリア (0) されているので“0”がリードされる。
TQ0OVF1フラグをリードする。→TQ0OVF1フラグが“1”なので、クリア (0) する。
TQ0OVF1フラグが“1”なので、パルス幅は $(10000H + D_{11} - D_{10})$ で求められます (OK)。
- ⑥ ③と同じです。

(d) キャプチャ・トリガの間隔が長いときのオーバフローの処理方法

パルス幅が16ビット・カウンタの1周期以上ある場合、キャプチャ・トリガから次のキャプチャ・トリガまでの間にオーバフローが2回以上発生する可能性があるので注意が必要です。まず悪い例を、次に示します。

図7-63 キャプチャ・トリガの間隔が長いときの悪い例 (TIQ0m使用時)



フリー・ランニング・タイマ・モードで長いパルス幅を測定する場合、次のような問題が起こる場合があります。

- ① TQ0CCRMレジスタをリードする (TIQ0m端子入力の初期値設定)。
- ② オーバフローが発生する。ソフトウェアでは何もしない。
- ③ 2回目のオーバフローが発生する。ソフトウェアでは何もしない。
- ④ TQ0CCRMレジスタをリードする。

TQ0OVFビットをリードする。→TQ0OVFビットが“1”なので、クリア (0) する。

TQ0OVFビットが“1”なので、パルス幅は $(10000H + D_{m1} - D_{m0})$ で求められます (NG)。

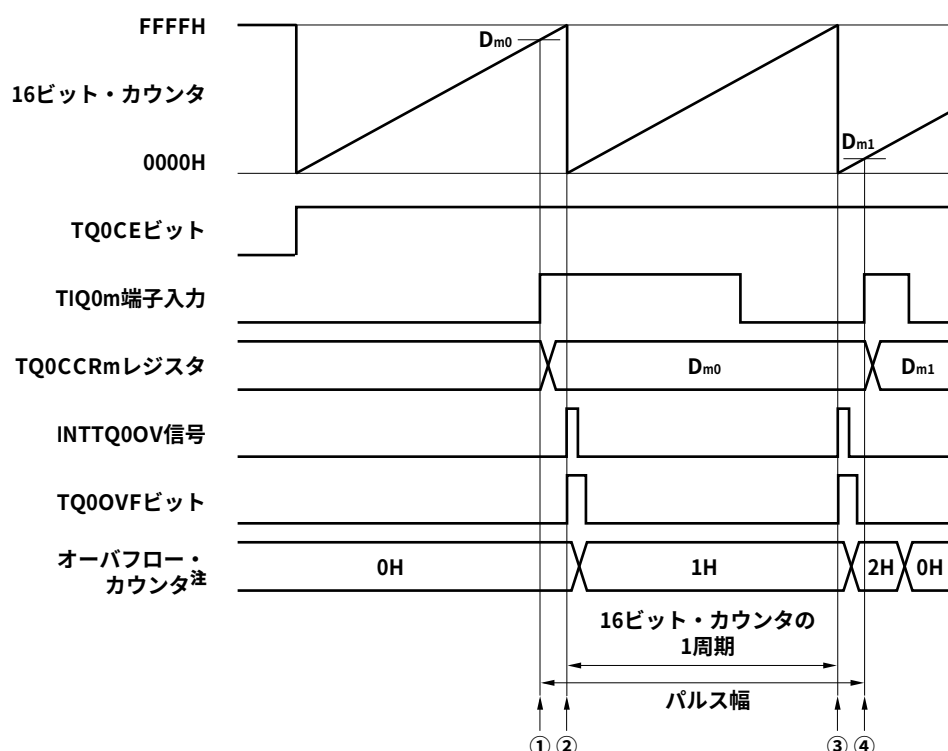
実際には、2回のオーバフローが発生しているので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になるはずですが。

備考 m = 0-3

このように、キャプチャ・トリガの間隔が長い場合に、2回以上のオーバフローが発生すると、正しいパルス幅が求められない可能性があります。

キャプチャ・トリガの間隔が長い場合には、カウント・クロックを遅くして16ビット・カウンタの1周期を長くするか、ソフトウェアで対応してください。次に、ソフトウェア対応例を示します。

図7-64 キャプチャ・トリガの間隔が長いときの対応例 (TIQ0m使用時)



注 オーバフロー・カウンタは、ソフトウェアにより、内蔵RAM上に任意に設定したものです。

- ① TQ0CCRmレジスタをリードする (TIQ0m端子入力の初期値設定)。
- ② オーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、TQ0OVFビットをクリア (0) する。
- ③ 2回目のオーバフローが発生する。オーバフロー割り込み処理の中で、オーバフロー・カウンタをインクリメントし、TQ0OVFビットをクリア (0) する。
- ④ TQ0CCRmレジスタをリードする。

オーバフロー・カウンタをリードする。

→オーバフロー・カウンタが“N”のとき、パルス幅は $(N \times 10000H + D_{m1} - D_{m0})$ で求められる。

この例では、2回のオーバフローが発生しているのので、パルス幅は、 $(20000H + D_{m1} - D_{m0})$ になります。

オーバフロー・カウンタをクリア (0H) する。

備考 m = 0-3

(e) オーバフロー・フラグ (TQ0OVF) のクリア方法

オーバフロー・フラグ (TQ0OVF) をクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR1命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに8ビット・データ (ビット0は“0”) をライトする方法があります。

7.4.7 パルス幅測定モード (TQ0MD2-TQ0MD0ビット = 110)

パルス幅測定モードは、TQ0CTL0.TQ0CEビットをセット (1) することでカウント動作を開始し、TIQ0m端子入力の有効エッジを検出するごとに、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアします。

キャプチャ割り込み要求信号 (INTTQ0CCm) が発生したあと、TQ0CCRmレジスタをリードすることにより、有効エッジ間隔を測定できます。

キャプチャ・トリガ入力端子として、TIQ00-TIQ03端子のいずれか1本を使用してください。使用しない端子は、TQ0IOC1レジスタで“エッジ検出なし”に設定してください。

また、カウント・クロックとして外部クロックを使用するときは、外部クロックはTIQ00端子固定ですので、TIQ0k端子のパルス幅を測定してください。このとき、TQ0IOC1.TQ0IS1, TQ0IS0ビット = 00 (キャプチャ・トリガ入力 (TIQ00端子) : エッジ検出なし) に設定してください。

備考1. TIQ0m端子の設定については表7-2 端子構成、および表4-17 端子を兼用機能として使用する場合を参照してください。

2. INTTQ0CCm信号の割り込み許可については、第19章 割り込み/例外処理機能を参照してください。

3. m = 0-3

k = 1-3

図7-65 パルス幅測定モードの構成図

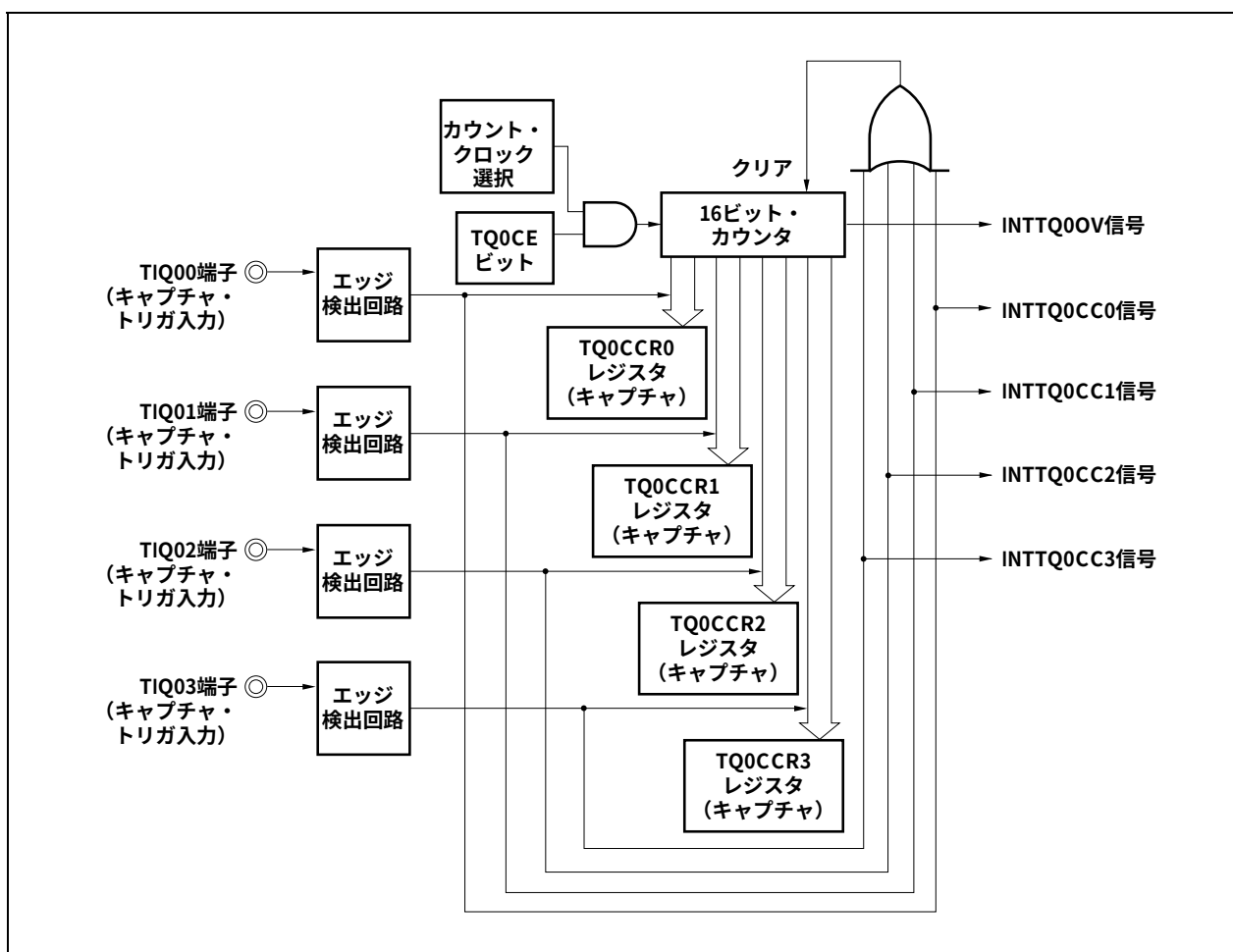
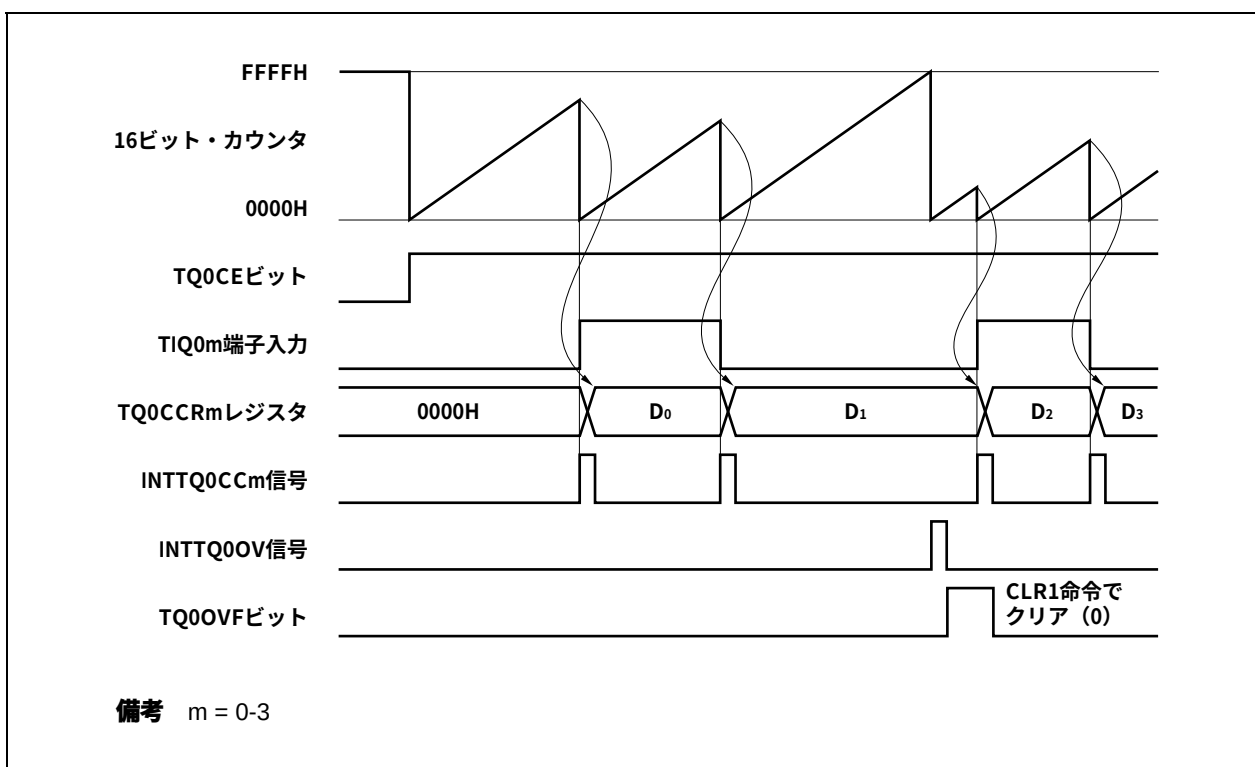


図7-66 パルス幅測定モードの基本タイミング



TQ0CEビットをセット (1) することで、カウント動作を開始します。その後、TIQ0m端子入力の有効エッジを検出することにより、16ビット・カウンタのカウント値をTQ0CCRmレジスタに格納し、16ビット・カウンタを0000Hにクリアし、キャプチャ割り込み要求信号 (INTTQ0CCm) を発生します。

パルス幅は次のように求められます。

$$\text{パルス幅} = \text{キャプチャされた値} \times \text{カウント} \cdot \text{クロック周期}$$

16ビット・カウンタがFFFFHまでカウントしても有効エッジが入力されなかった場合、次のクロックでオーバフロー割り込み要求信号 (INTTQ0OV) を発生するとともに、0000Hにクリアしカウント動作を継続します。また、このときオーバフロー・フラグ (TQ0OPT0.TQ0OVFビット) もセット (1) されます。オーバフロー・フラグは、ソフトウェアでCLR1命令を実行してクリア (0) してください。

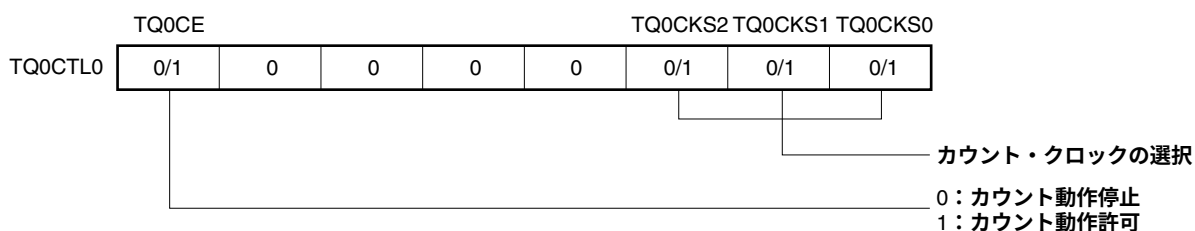
オーバフロー・フラグがセット (1) した場合、パルス幅は次のように求められます。

$$\text{パルス幅} = (10000H \times \text{TQ0OVFビットがセット (1) された回数} + \text{キャプチャされた値}) \times \text{カウント} \cdot \text{クロック周期}$$

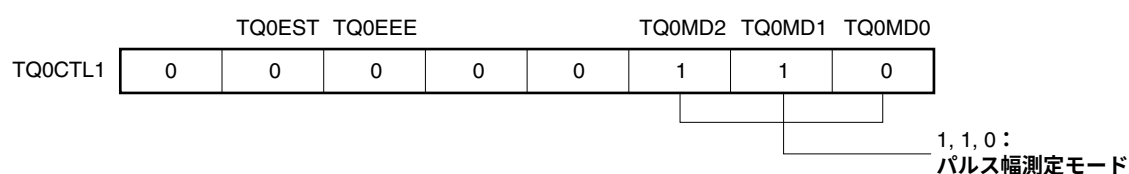
備考 m = 0-3

図7-67 パルス幅測定モード動作時のレジスタ設定内容 (1/2)

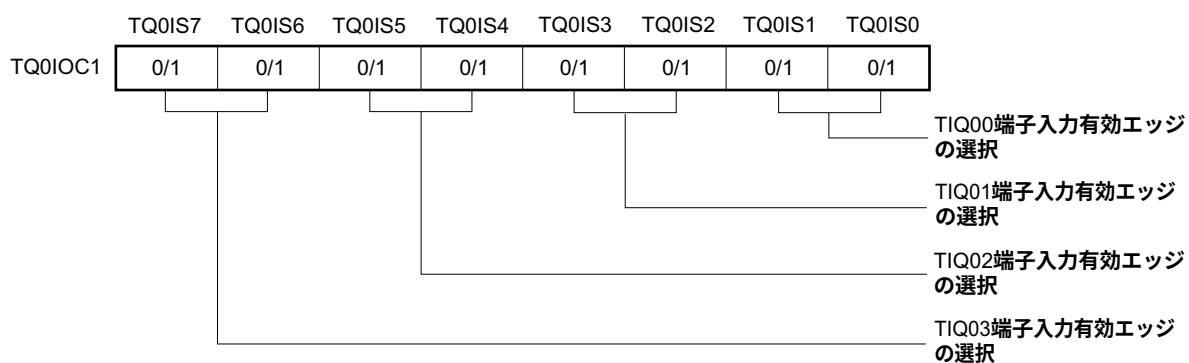
(a) TMQ0制御レジスタ0 (TQ0CTL0)



(b) TMQ0制御レジスタ1 (TQ0CTL1)



(c) TMQ0I/O制御レジスタ1 (TQ0IOC1)



(d) TMQ0オプション・レジスタ0 (TQ0OPT0)

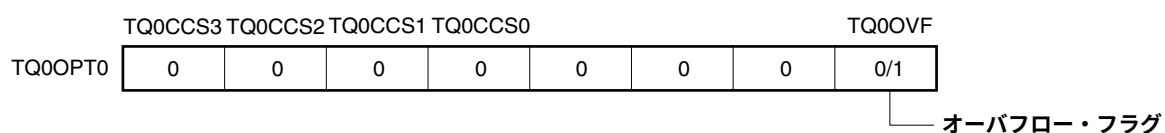


図7-67 パルス幅測定モード動作時のレジスタ設定内容 (2/2)

(e) TMQ0カウンタ・リード・バッファ・レジスタ (TQ0CNT)

TQ0CNTレジスタをリードすることで、16ビット・カウンタの値をリードできます。

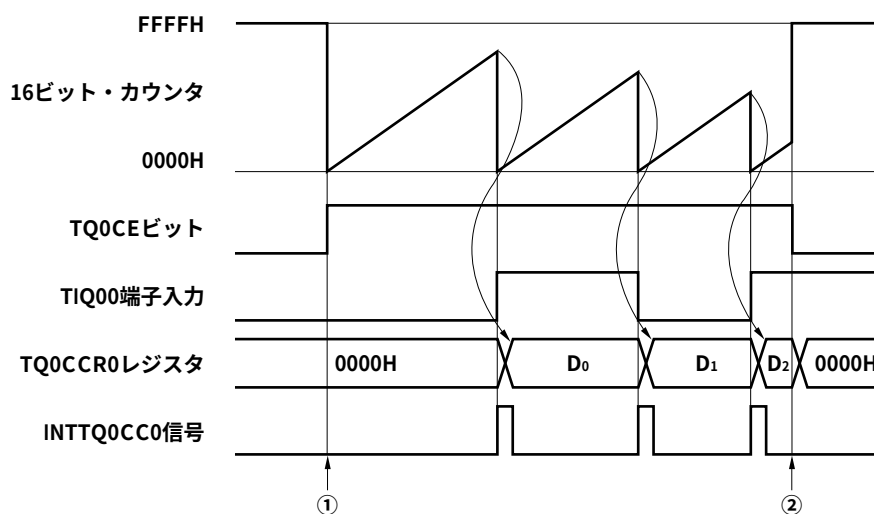
(f) TMQ0キャプチャ／コンペア・レジスタ0-3 (TQ0CCR0-TQ0CCR3)

TIQ0m端子入力の有効エッジ検出により、16ビット・カウンタのカウント値を格納します。

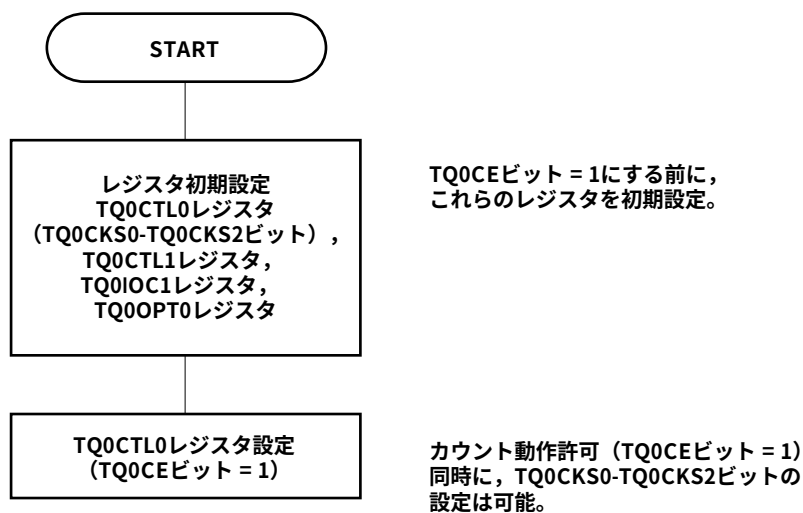
備考 パルス幅測定モードでは、TMQ0I/O制御レジスタ0 (TQ0IOC0) , TMQ0I/O制御レジスタ2 (TQ0IOC2) は使用しません。

(1) パルス幅測定モード動作フロー

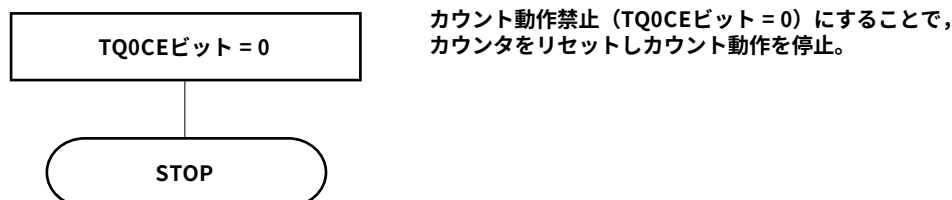
図7-68 パルス幅測定モード動作時のタイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



(2) パルス幅測定モードの応用

(a) オーバフロー・フラグ (TQ0OVF) のクリア方法

オーバフロー・フラグ (TQ0OVF) をクリア (0) する方法は、TQ0OVFビット = 1をリードしたあとにTQ0OVFビットをCLR1命令でクリア (0) する方法と、TQ0OVFビット = 1をリードしたあとにTQ0OPT0レジスタに7ビット・データ (ビット0は“0”) をライトする方法があります。

7.4.8 タイマ出力動作説明

次にTOQ00-TOQ03端子の動作，および出力レベルを示します。

表7-8 各モードによるタイマ出力制御

動作モード	TOQ00端子	TOQ01端子	TOQ02端子	TOQ03端子
インターバル・タイマ・モード	方形波出力			
外部イベント・カウント・モード	—			
外部トリガ・パルス出力モード	方形波出力	外部トリガ・パルス出力	外部トリガ・パルス出力	外部トリガ・パルス出力
ワンショット・パルス出力モード		ワンショット・パルス出力	ワンショット・パルス出力	ワンショット・パルス出力
PWM出力モード		PWM出力	PWM出力	PWM出力
フリー・ランニング・タイマ・モード	方形波出力 (コンペア機能のときのみ)			
パルス幅測定モード	—			

表7-9 タイマ出力制御ビットによるTOQ00-TOQ03端子の真理値表

TQ0IOC0.TQ0OLmビット	TQ0IOC0.TQ0OEmビット	TQ0CTL0.TQ0CEビット	TOQ0m端子のレベル
0	0	×	ロウ・レベル出力
	1	0	ロウ・レベル出力
		1	カウント直前はロウ・レベル， カウント開始直後はハイ・レベル
1	0	×	ハイ・レベル出力
	1	0	ハイ・レベル出力
		1	カウント直前はハイ・レベル， カウント開始直後はロウ・レベル

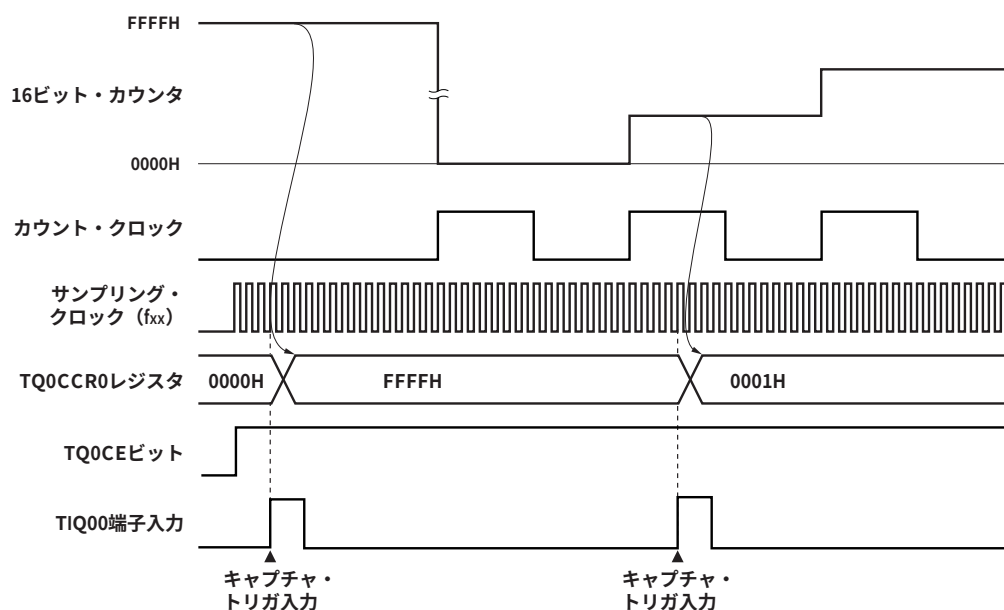
備考 m = 0-3

7.5 注意事項

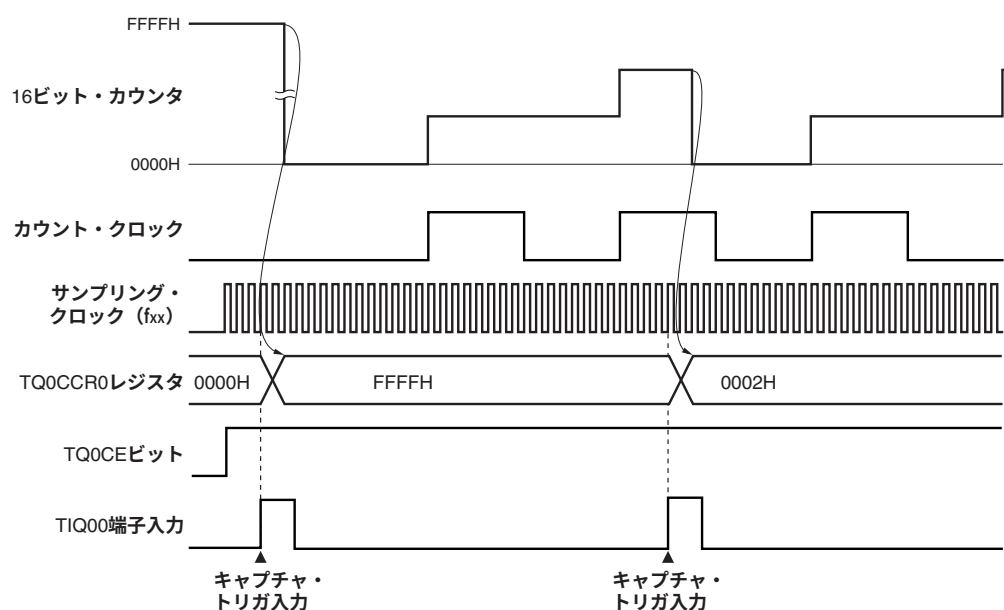
(1) キャプチャ動作

キャプチャ動作を使用し、かつカウント・クロックとして $f_{xx}/8$, $f_{xx}/16$, $f_{xx}/32$, $f_{xx}/64$, $f_{xx}/128$, 外部イベント・カウンタ (TQ0CLT1.TQ0EEEビット = 1) を選択した場合、TQ0CEビットをセット (1) したすぐあとに、キャプチャ・トリガが入力されると、TQ0CCR0, TQ0CCR1, TQ0CCR2, TQ0CCR3レジスタに0000HではなくFFFFHがキャプチャされる場合やキャプチャ動作が行われない (キャプチャ割り込みが発生しない) 場合があります。

(a) フリー・ランニング・タイマ・モード



(b) パルス幅測定モード



第8章 16ビット・インターバル・タイマM (TMM)

タイマM (TMM) は16ビットのインターバル・タイマです。

8.1 機 能

16ビット・インターバル・タイマMはインターバル・タイマ専用のタイマでメイン・クロックとその分周クロック／時計タイマ割り込み要求信号／内蔵発振クロック／サブ・クロックの8種類 (f_{xx} , $f_{xx}/2$, $f_{xx}/4$, $f_{xx}/64$, $f_{xx}/512$, INTWT, $f_R/8$, f_{XT}) のクロック・ソースからカウント・クロックを選択して指定されたインターバルで割り込み要求を発生します。

タイマMはクリア&スタート・モードのみサポートしています。フリー・ランニング・タイマ・モードはサポートしていません。

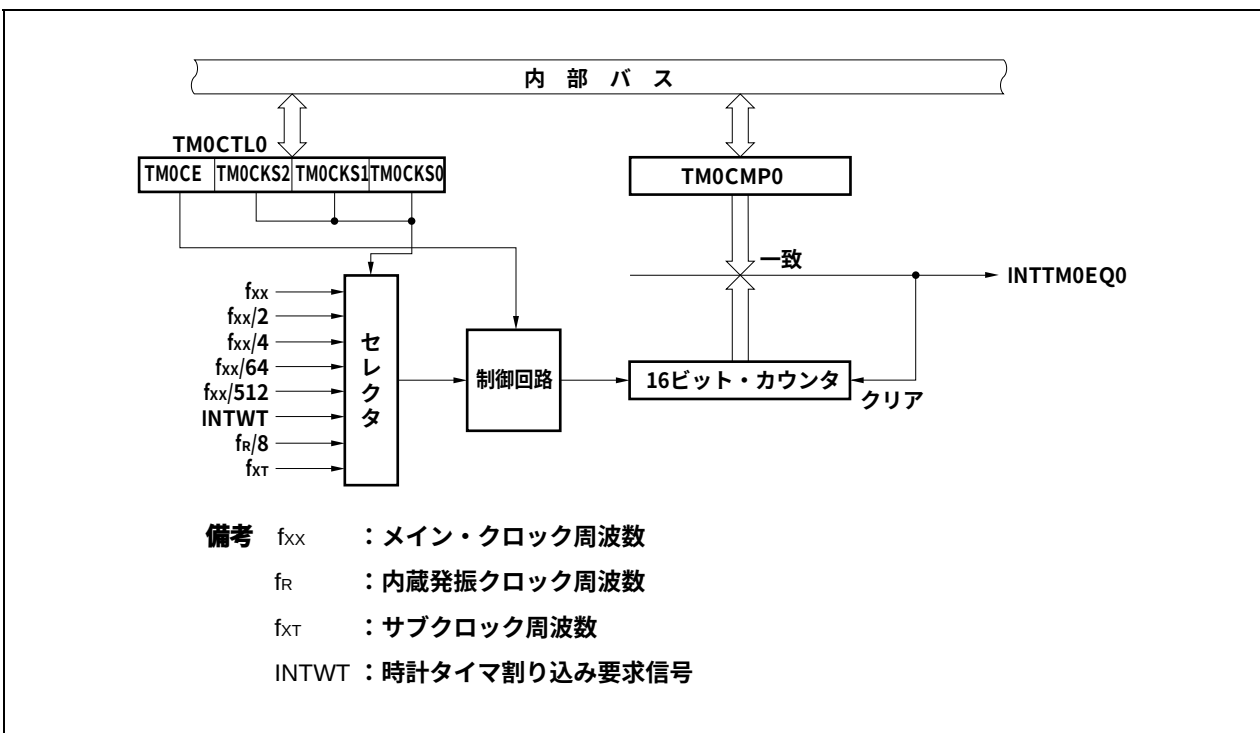
8.2 構 成

TMM0は、次のハードウェアで構成されています。

表8-1 TMM0の構成

項 目	構 成
レジスタ	16ビット・カウンタ TMM0コンペア・レジスタ0 (TM0CMP0) TMM0制御レジスタ0 (TM0CTL0)

図8-1 TMM0のブロック図



(1) 16ビット・カウンタ

内部クロックをカウントする16ビットのカウンタです。

16ビット・カウンタはリード／ライトできません。

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

(3) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

(4) セレクトラ

16ビット・カウンタのカウント・クロックを選択します。カウント・クロックとして、8種類クロックから選択できます。

8.3 レジスタ

(1) TMM0制御レジスタ0 (TM0CTL0)

TM0CTL0レジスタはTMM0の動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

TM0CTL0レジスタは、TM0CEビット以外のタイマ動作中の書き換えは禁止です（同値書き込みはできます）。

リセット時：00H R/W アドレス：FFFF690H

	⑦	6	5	4	3	2	1	0
TM0CTL0	TM0CE	0	0	0	0	TM0CKS2	TM0CKS1	TM0CKS0

TM0CE	内部クロック動作許可／禁止指定
0	TMM0動作禁止（16ビット・カウンタを非同期にリセット）。
1	TMM0動作許可。
TM0CEビットをクリア（0）すると、TMM0の内部クロックは停止（ロウ・レベル固定）し、16ビット・カウンタが非同期にリセットされます。	

TM0CKS2	TM0CKS1	TM0CKS0	カウント・クロックの選択
0	0	0	f _{xx}
0	0	1	f _{xx} /2
0	1	0	f _{xx} /4
0	1	1	f _{xx} /64
1	0	0	f _{xx} /512
1	0	1	INTWT
1	1	0	f _R /8
1	1	1	f _{XT}

注意1. TM0CKS2-TM0CKS0ビットは停止中（TM0CEビット = 0）のときに設定してください。
TM0CEビットを“0”から“1”に設定するときに、同時にTM0CKS2-TM0CKS0ビットを設定できません。

2. ビット3-6には必ず“0”を設定してください。

備考 f_{xx}：メイン・クロック周波数

f_R：内蔵発振クロック周波数

f_{XT}：サブクロック周波数

INTWT：時計タイマ割り込み要求信号

(2) TMM0コンペア・レジスタ0 (TM0CMP0)

TM0CMP0レジスタは16ビットのコンペア・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。ただし動作停止中はFFFFHになります。

TM0CMP0レジスタは、常時ソフトウェアでの同値書き込みができます。

動作中 (TM0CTL0.TM0CEビット = 1) のとき、TM0CMP0レジスタの書き換えは禁止です。

注意 TM0CMP0レジスタには、FFFFHを設定しないでください。

リセット時：0000H		R/W	アドレス：FFFFF694H																	
					15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TM0CMP0																				

8. 4 動 作

8. 4. 1 インターバル・タイマ・モード

TM0CEビットをセット (1) することで、カウント・クロックに同期して16ビット・カウンタをFFFFHから0000Hにクリアし、カウント動作を開始します。

16ビット・カウンタのカウント値とTM0CMP0レジスタの値が一致すると、16ビット・カウンタを0000Hにクリアし、任意のインターバル間隔でのコンペア一致割り込み要求信号 (INTTM0EQ0) を発生します。

図8-2 インターバル・タイマの構成図

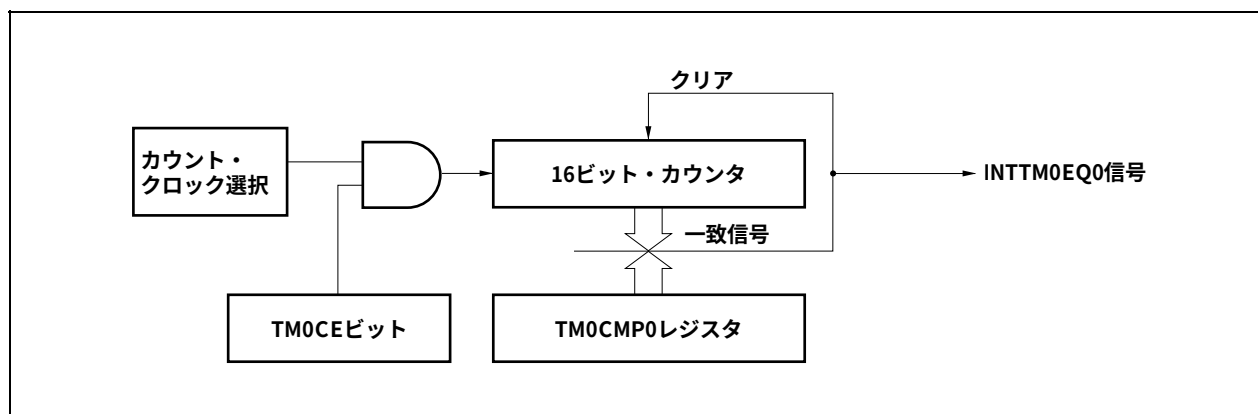
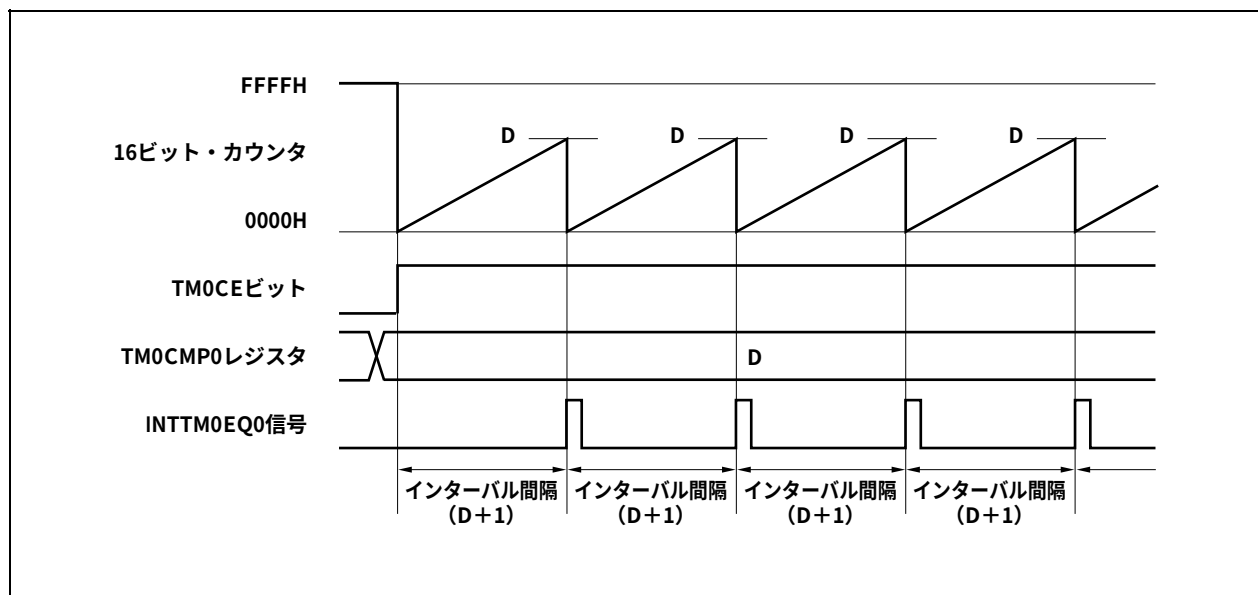


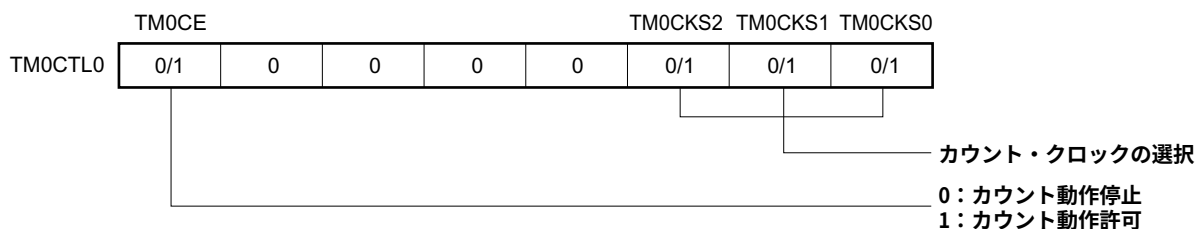
図8-3 インターバル・タイマ・モード動作の基本タイミング



次にインターバル・タイマ・モード動作時のレジスタ設定例を示します。

図8-4 インターバル・タイマ・モード動作時のレジスタ設定内容

(a) TMM0制御レジスタ0 (TM0CTL0)



(b) TMM0コンペア・レジスタ0 (TM0CMP0)

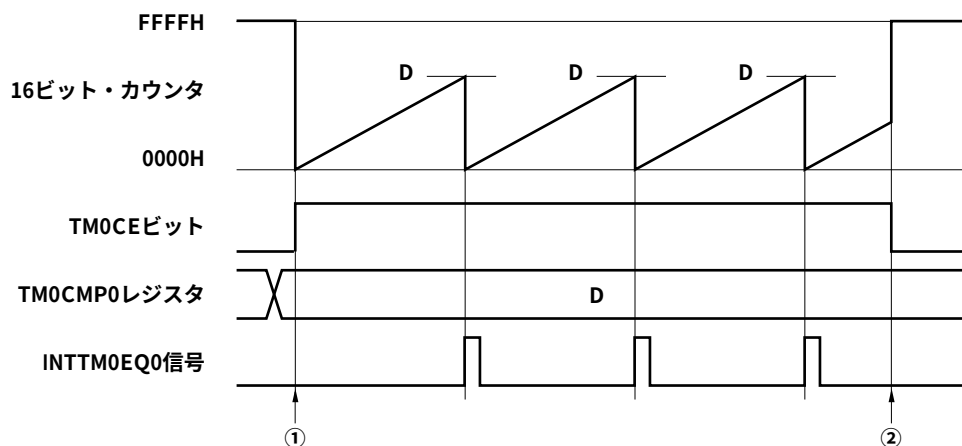
TM0CMP0レジスタにDを設定した場合、インターバル間隔は次のようになります。

$$\text{インターバル間隔} = (D+1) \times \text{カウント・クロック周期}$$

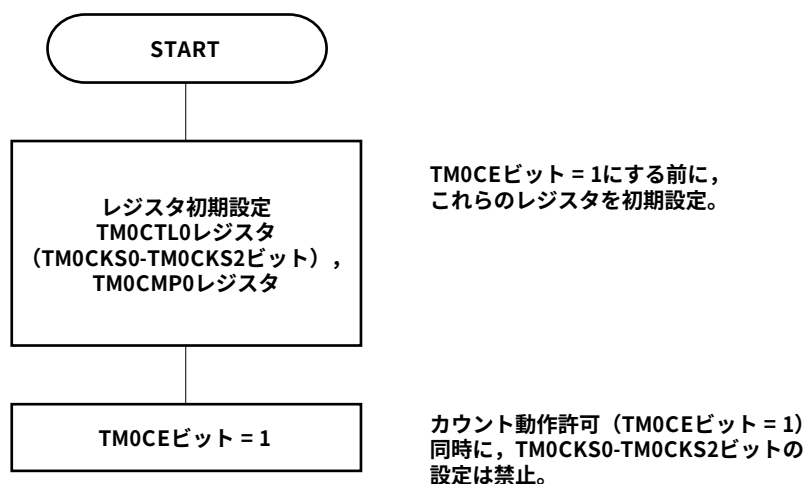
(0000H ≤ TM0CMP0レジスタの設定値 < FFFFH)

(1) インターバル・タイマ・モード動作フロー

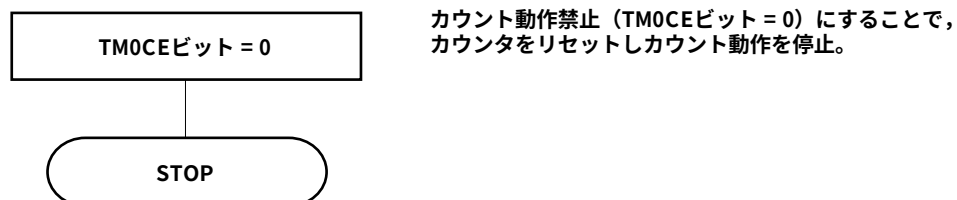
図8-5 インターバル・タイマ・モード動作タイミングと処理フロー



① カウント動作開始フロー



② カウント動作停止フロー



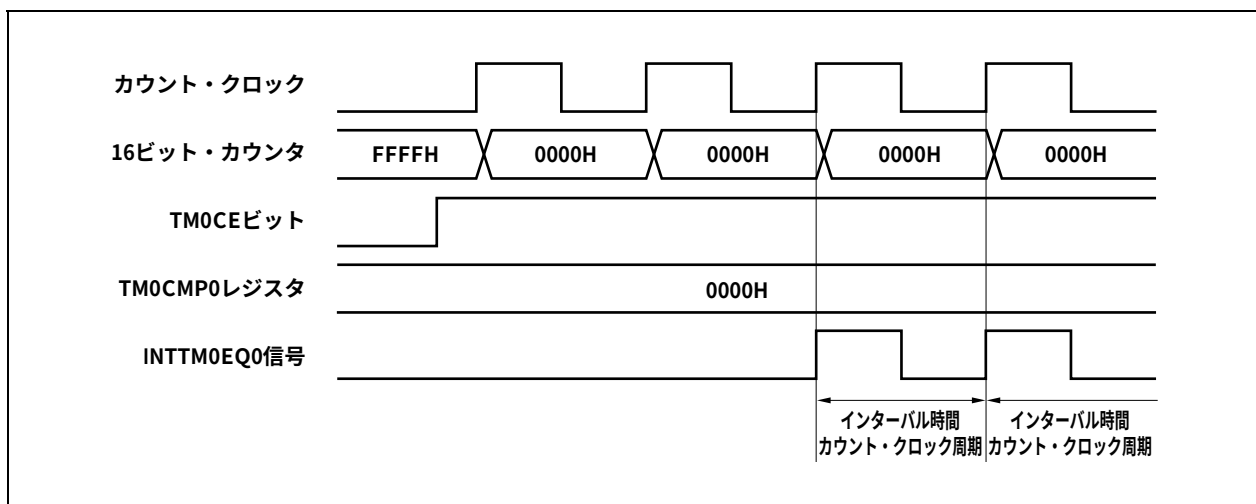
(2) インターバル・タイマ・モードの応用

(a) TM0CMP0レジスタに0000Hを設定した場合の動作

TM0CMP0レジスタに0000Hを設定した場合、カウント・クロックごとにINTTM0EQ0信号を発生します。

16ビット・カウンタは、常に0000Hとなります。

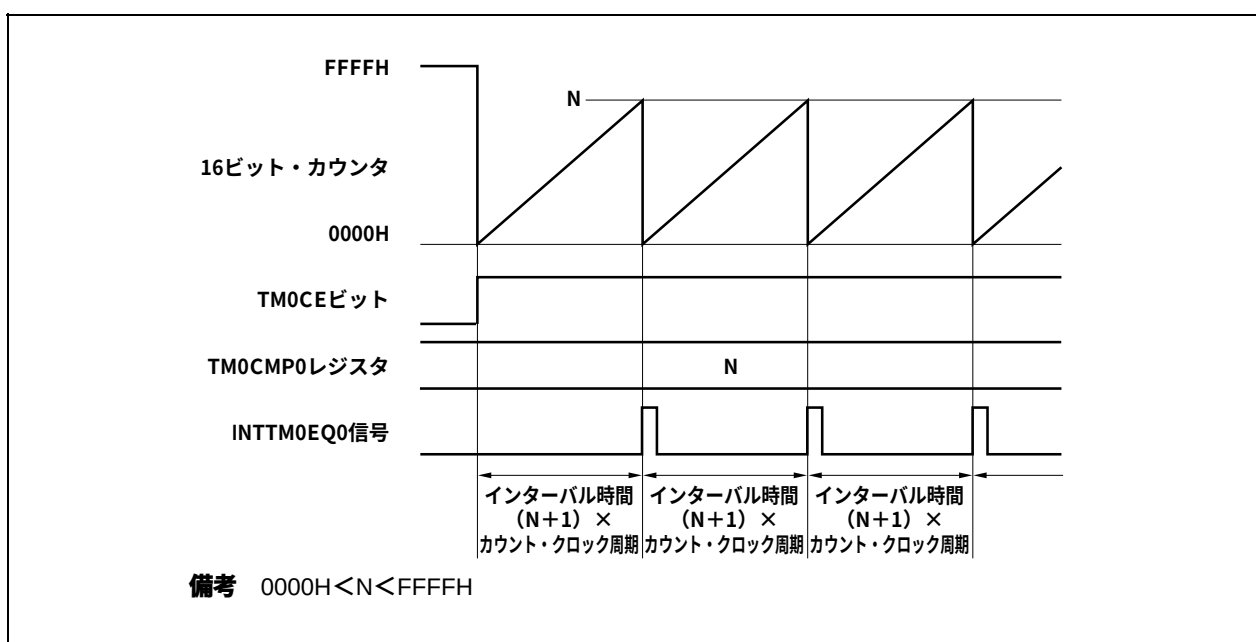
図8-6 TM0CMP0レジスタに0000Hを設定した場合の動作



(b) TM0CMP0レジスタにNを設定した場合の動作

TM0CMP0レジスタにNを設定した場合、16ビット・カウンタはNまでカウント動作を行い、次のカウント・アップ・タイミングに同期して、16ビット・カウンタを0000Hにクリアし、INTTM0EQ0信号を発生します。

図8-7 TM0CMP0レジスタに0000H, FFFFH以外の値を設定した場合の動作



8.4.2 注意事項

- (1) TM0CTL0.TM0CEビット = 1としてからカウント開始するまで、選択したカウント・クロックによって次の時間が最大かかります。

選択したカウント・クロック	カウント開始までの最大時間
f_{XX}	$2/f_{XX}$
$f_{XX}/2$	$3/f_{XX}$
$f_{XX}/4$	$6/f_{XX}$
$f_{XX}/64$	$128/f_{XX}$
$f_{XX}/512$	$1024/f_{XX}$
INTWT	INTWT信号の2回目の立ち上がり
$f_R/8$	$16/f_R$
f_{XT}	$2/f_{XT}$

- (2) TM0CMP0, TM0CTL0レジスタはタイマ動作中の書き換えは禁止です。

TMM0動作中 (TM0CEビット = 1) のときに書き換えた場合、動作を保証できません。誤って書き換えた場合は、TM0CTL0.TM0CEビットをクリア (0) してから再設定してください。

第9章 時計タイマ機能

9.1 機能

時計タイマには、次のような機能があります。

- ・時計タイマ : メイン・クロックまたはサブクロックを使用することで、0.5秒または0.25秒の時間間隔で割り込み要求信号 (INTWT) を発生します。
- ・インターバル・タイマ : あらかじめ設定した時間間隔で割り込み要求信号 (INTWTI) を発生します。

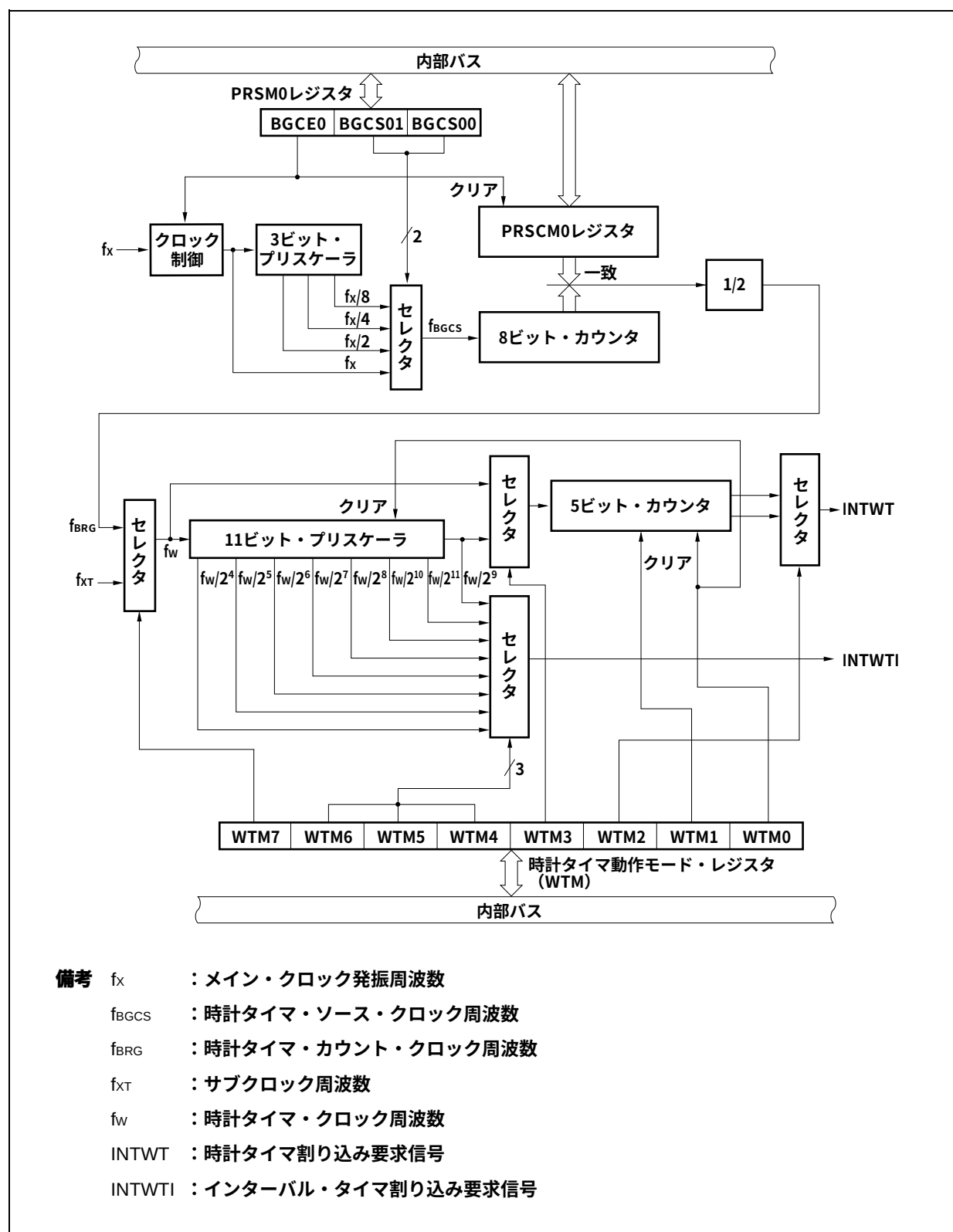
時計タイマとインターバル・タイマは、同時に使用できます。

注意 時計タイマは、リアルタイム・カウンタと割り込み信号を兼用しているため、同時に使用することができません。

9.2 構成

次に時計タイマのブロック図を示します。

図9-1 時計タイマのブロック図



(1) クロック制御

時計タイマのメイン・クロックでの動作クロック (f_x) の供給／停止を制御します。

(2) 3 ビット・プリスケアラ

f_x を分周して、 $f_x/2$, $f_x/4$, $f_x/8$ を生成します。

(3) 8 ビット・カウンタ

ソース・クロック (f_{BGCS}) をカウントする8ビットのカウンタです。

(4) 11 ビット・プリスケアラ

f_w を分周して、 $f_w/2^4$ - $f_w/2^{11}$ のクロックを生成します。

(5) 5 ビット・カウンタ

f_w または $f_w/2^9$ をカウントして、 $2^4/f_w$, $2^5/f_w$, $2^{13}/f_w$ または $2^{14}/f_w$ ごとに時計タイマ割り込み要求信号 (INTWIT) を発生します。

(6) セレクタ

時計タイマには、次の5つのセレクタがあります。

- ・時計タイマのソース・クロックとして、 f_x , $f_x/2$, $f_x/4$, $f_x/8$ のうちの1つを選択します。
- ・時計タイマのクロックとして、メイン・クロック (f_x) かサブクロック (f_{XT}) かを選択します。
- ・5ビット・カウンタのカウント・クロック周波数として、 f_w か $f_w/2^9$ かを選択します。
- ・INTWIT信号発生時間間隔として、 $2^4/f_w$ または $2^{13}/f_w$ か、 $2^5/f_w$ または $2^{14}/f_w$ かを選択します。
- ・インターバル・タイマ割り込み要求信号 (INTWITI) 発生時間間隔として、 $2^4/f_w$ - $2^{11}/f_w$ から選択します。

(7) PRSCM0 レジスタ

インターバル時間を設定する8ビットのコンペア・レジスタです。

(8) PRSM0 レジスタ

時計タイマへのクロック供給を制御するレジスタです。

(9) WTM レジスタ

時計タイマ／インターバル・タイマの動作制御や割り込み要求信号発生間隔を設定する8ビットのレジスタです。

9.3 レジスタ

時計タイマには次のレジスタがあります。

- ・プリスケラ・モード・レジスタ0 (PRSM0)
- ・プリスケラ・コンペア・レジスタ0 (PRSCM0)
- ・時計タイマ動作モード・レジスタ (WTM)

(1) プリスケラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、時計タイマのカウント・クロックの生成を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	時計タイマ・ソース・クロック (f_{BGCS}) の選択		
			5 MHz	4 MHz
0	0	f_x	200 ns	250 ns
0	1	$f_x/2$	400 ns	500 ns
1	0	$f_x/4$	800 ns	1 μ s
1	1	$f_x/8$	1.6 μ s	2 μ s

- 注意1.** 時計タイマ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。
- PRSM0レジスタの設定はBGCE0ビットをセット (1) する前に行ってください。
 - f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

(2) プリスケアラ・コンペア・レジスタ 0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

注意1. 時計タイマ動作中にPRSCM0レジスタを書き換えしないでください。

2. PRSM0.BGCE0ビットをセット (1) する前にPRSCM0レジスタの設定を行ってください。
3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS}/2N$$

備考 f_{BGCS} : PRSM0レジスタで設定した時計タイマ・ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

(3) 時計タイマ動作モード・レジスタ (WTM)

時計タイマのカウンタ・クロックおよび動作の許可／禁止, プリスケアラのインターバル時間, 5ビット・カウンタの動作制御および時計フラグのセット時間を設定するレジスタです。

WTMレジスタを設定する前にPRSM0, PRSCM0レジスタを設定してください。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(1/2)

リセット時：00H R/W アドレス：FFFFF680H

	7	6	5	4	3	2	①	②
WTM	WTM7	WTM6	WTM5	WTM4	WTM3	WTM2	WTM1	WTM0
WTM7	WTM6	WTM5	WTM4	プリスケアラのインターバル時間の選択				
0	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)				
0	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)				
0	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{XT}$)				
0	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{XT}$)				
0	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{XT}$)				
0	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{XT}$)				
0	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{XT}$)				
0	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{XT}$)				
1	0	0	0	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)				
1	0	0	1	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)				
1	0	1	0	$2^6/f_w$ (1.95 ms : $f_w = f_{BRG}$)				
1	0	1	1	$2^7/f_w$ (3.91 ms : $f_w = f_{BRG}$)				
1	1	0	0	$2^8/f_w$ (7.81 ms : $f_w = f_{BRG}$)				
1	1	0	1	$2^9/f_w$ (15.6 ms : $f_w = f_{BRG}$)				
1	1	1	0	$2^{10}/f_w$ (31.3 ms : $f_w = f_{BRG}$)				
1	1	1	1	$2^{11}/f_w$ (62.5 ms : $f_w = f_{BRG}$)				

WTM7	WTM3	WTM2	時計用フラグのセット時間の選択
0	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{XT}$)
0	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{XT}$)
0	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{XT}$)
0	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{XT}$)
1	0	0	$2^{14}/f_w$ (0.5 s : $f_w = f_{BRG}$)
1	0	1	$2^{13}/f_w$ (0.25 s : $f_w = f_{BRG}$)
1	1	0	$2^5/f_w$ (977 μ s : $f_w = f_{BRG}$)
1	1	1	$2^4/f_w$ (488 μ s : $f_w = f_{BRG}$)

WTM1	5ビット・カウンタの動作制御
0	動作停止後クリア
1	スタート

WTM0	時計用タイマの動作許可
0	動作停止（プリスケアラ, 5ビット・カウンタともにクリア）
1	動作許可

注意 WTM2-WTM7ビットを書き換える場合は、WTM0, WTM1ビットがともに0の状態で行ってください。

備考1. f_w : 時計タイマ・クロック周波数

2. () 内は, $f_w = 32.768$ kHz動作時

9.4 動作

9.4.1 時計タイマの動作

時計タイマは、メイン・クロックまたはサブクロックを使用し、一定の時間間隔ごとに割り込み要求信号 (INTWT) を発生します。

サブクロック (32.768 kHz) またはメイン・クロックを使用して、0.25秒または0.5秒の正確な時間間隔の時計タイマとして動作します。

WTM.WTM1, WTM0ビットに“11”を設定するとカウント動作がスタートします。WTM0ビットに0を設定すると11ビット・プリスケアラと5ビット・カウンタがクリアされ、カウント動作が停止します。

時計タイマをインターバル・タイマと同時に動作させているとき、WTM1ビットをクリア (0) して5ビット・カウンタをクリアすることにより、時刻合わせができます。このとき、インターバル・タイマには影響はありませんが、時計タイマは最大で15.6 msの誤差が発生することがあります。

時計タイマのカウント・クロックとしてメイン・クロックを使用するときは、PRSM0.BGCS01, BGCS00ビットでカウント・クロックを、PRSCM0レジスタで8ビットのコンペア値を設定し、時計タイマのカウント・クロック周波数 (f_{BRG}) が32.768 kHzになるようにしてください。

PRSM0.BGCE0ビットをセット (1) すると、時計タイマに f_{BRG} を供給します。

f_{BRG} は、次の式で求められます。

$$f_{BRG} = f_x / (2^{m+1} \times N)$$

f_{BRG} を32.768 kHzにするには、次のように計算してBGCS01, BGCS00ビット, PRSCM0レジスタを設定してください。

- ① $N = f_x / 65,536$ とし、 $m = 0$ としてください。
- ② N の小数点第一位を四捨五入した値が偶数のとき、四捨五入する前の $N = N/2$ とし、 $m = m+1$ としてください。
- ③ N が奇数になるか、または $m = 3$ になるまで、②を繰り返してください。
- ④ N の小数点第一位を四捨五入した値をPRSCM0レジスタに、 m をBGCS01, BGCS00ビットに設定してください。

例： $f_x = 4.00$ MHzの場合

- ① $N = 4,000,000 / 65,536 = 61.03\dots$, $m = 0$
- ②, ③ N (小数点第一位を四捨五入) は奇数なので、 $N = 61$, $m = 0$ のまま
- ④ PRSCM0レジスタ設定値：3DH (61), BGCS01, BGCS00ビット設定値：00

このとき、実際の f_{BRG} の周波数は、次のようになります。

$$\begin{aligned} f_{BRG} &= f_x / (2^{m+1} \times N) = 4,000,000 / (2 \times 61) \\ &= 32.787 \text{ kHz} \end{aligned}$$

備考 m ：分周値 (BGCS01, BGCS00ビット設定値) = 0-3

N ：PRSCM0レジスタ設定値 = 1-256

ただし、 $N = 256$ となるのは、PRSCM0レジスタに00Hを設定した場合です。

f_x ：メイン・クロック発振周波数

9.4.2 インターバル・タイマの動作

あらかじめ設定した条件で決まるインターバルで、繰り返し割り込み要求信号 (INTWTI) を発生するインターバル・タイマとして動作します。

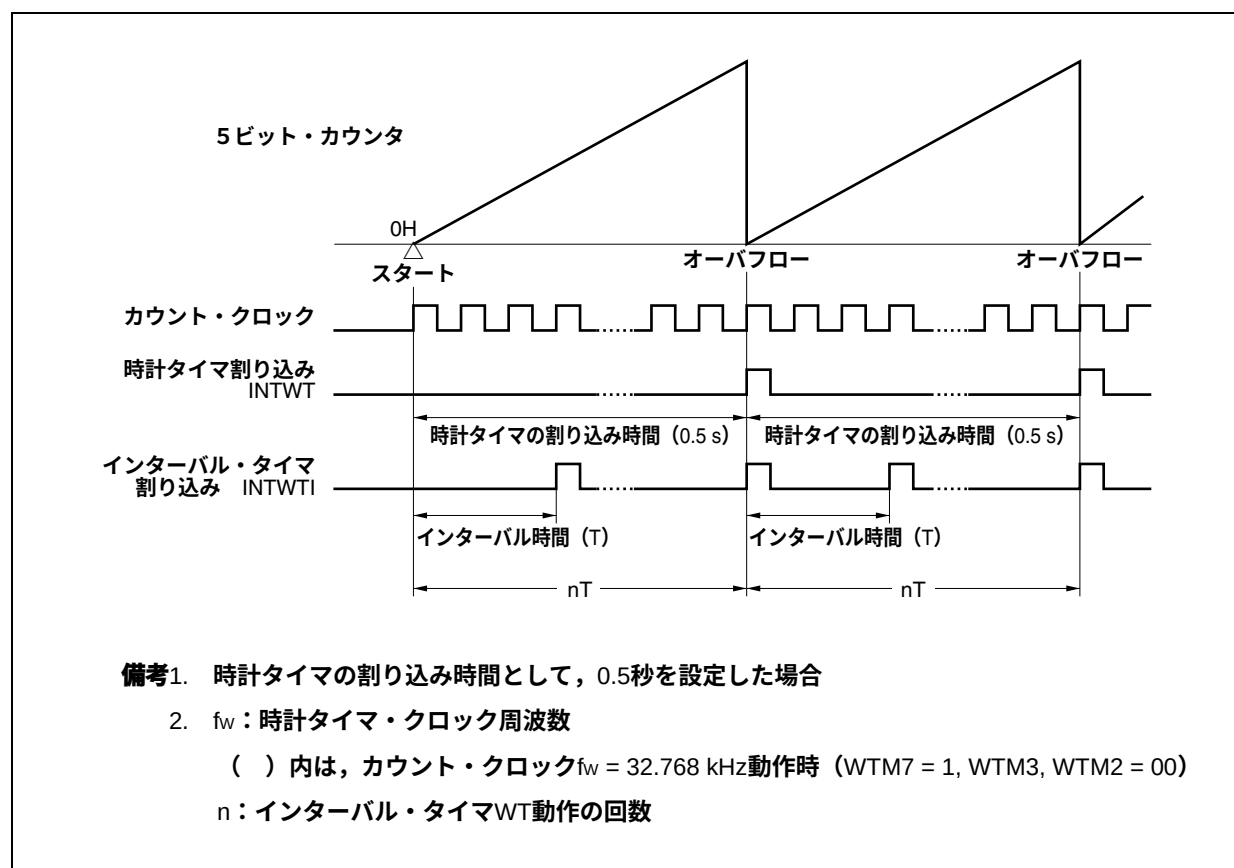
WTMレジスタのWTM4-WTM7ビットにより、インターバル時間を選択できます。

表9-1 インターバル・タイマのインターバル時間

WTM7	WTM6	WTM5	WTM4	インターバル時間	
0	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
0	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{XT} = 32.768$ kHz動作時)
1	0	0	0	$2^4 \times 1/f_w$	488 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	0	1	$2^5 \times 1/f_w$	977 μ s ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	0	$2^6 \times 1/f_w$	1.95 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	0	1	1	$2^7 \times 1/f_w$	3.91 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	0	$2^8 \times 1/f_w$	7.81 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	0	1	$2^9 \times 1/f_w$	15.6 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	0	$2^{10} \times 1/f_w$	31.3 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)
1	1	1	1	$2^{11} \times 1/f_w$	62.5 ms ($f_w = f_{BRG} = 32.768$ kHz動作時)

備考 f_w : 時計タイマ・クロック周波数

図9-2 時計タイマ／インターバル・タイマの動作タイミング



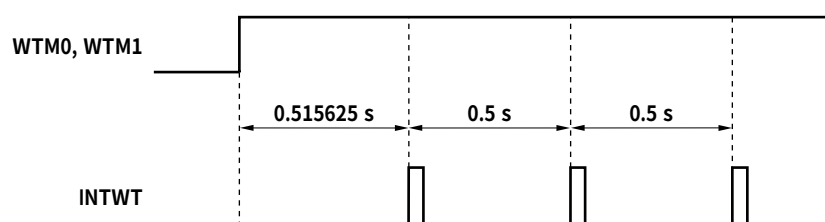
9.5 注意事項

(1) 時計タイマとしての動作

動作許可 (WTM.WTM1, WTM0ビット = 11) してから, 1回目の時計タイマ割り込み要求 (INTWT) は正確にWTM2, WTM3ビットの設定した時間にはなりません。2回目以降は設定時間ごとにINTWT信号が発生します。

図9-3 時計タイマ割り込み要求 (INTWT) の発生例 (割り込み周期 = 0.5 sの場合)

1回目のINTWTが発生するまでに, 最大0.515625 sかかります (最大 $2^9 \times 1/32768 = 0.015625$ s長くかかります)。そのあとは0.5 sごとにINTWTが発生します。



(2) 時計タイマとインターバル・タイマ WT を同時に動作させる場合

インターバル・タイマWTのインターバル時間は $488 \mu\text{s}$ -62.5 msの時間を設定できます。途中で変更できません。

時計タイマ動作中に, インターバル・タイマWTを停止 (WTM.WTM0ビットをクリア (0)) しないでください。WTM0ビットをクリア (0) して再度セット (1) すると, 時計タイマが最大0.5秒または0.25秒ずれてしまいます。

第10章 リアルタイム・カウンタ

10.1 機 能

リアルタイム・カウンタ（RTC）には、次のような機能があります。

- ・年、月、曜日、日、時、分、秒、サブカウンタを持ち、99年までをカウント可能
- ・年、月、曜日、日、時、分、秒カウンタはBCDコード^{注1}で表示
- ・アラーム割り込み機能
- ・定周期割り込み機能（周期1ヶ月～0.5秒）
- ・インターバル割り込み機能（周期1.95 ms～125 ms）
- ・1 Hzの端子出力機能
- ・32.768 kHzの端子出力機能（V850ES/JE3-Lのみ）
- ・512 Hzまたは16.384 kHzの端子出力機能（V850ES/JE3-Lのみ）
- ・時計誤差補正機能
- ・サブクロック動作／メイン・クロック動作^{注2}選択可能

注1. BCDコード（Binary Coded Decimal）とは、10進数の各桁の値を4ビットの2進数で表現したものです。

2. リアルタイム・カウンタ専用ポー・レート・ジェネレータにて、メイン・クロックを32.768 kHzに分周して使用してください。

注意 リアルタイム・カウンタは、時計タイマと割り込み信号を兼用しているため、同時に使用することはできません。

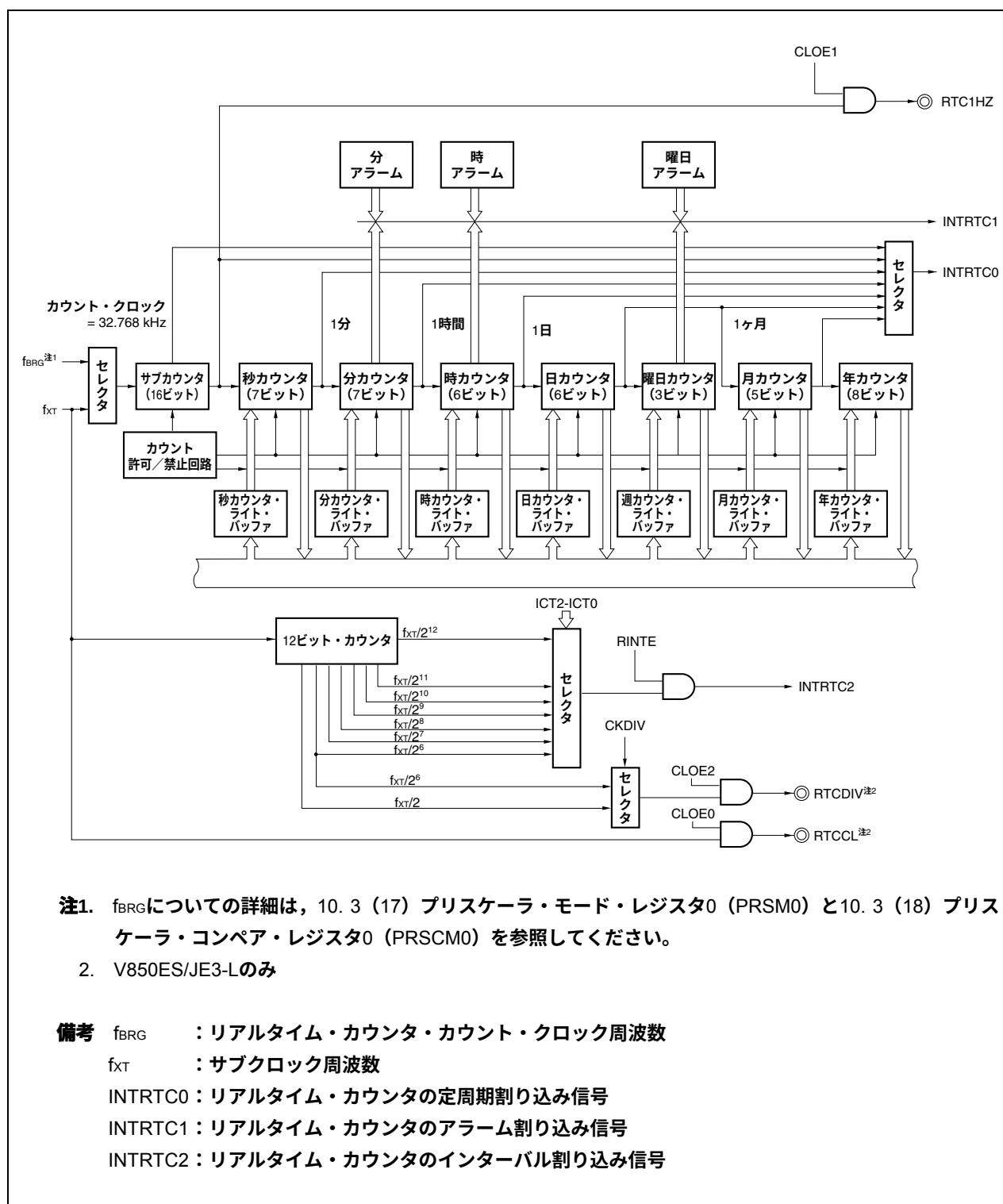
10.2 構 成

リアルタイム・カウンタは、次のハードウェアで構成されています。

表10-1 リアルタイム・カウンタの構成

項 目	構 成
制御レジスタ	リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0) リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1) リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2) リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3) サブカウント・レジスタ (RC1SUBC) 秒カウント・レジスタ (RC1SEC) 分カウント・レジスタ (RC1MIN) 時カウント・レジスタ (RC1HOUR) 日カウント・レジスタ (RC1DAY) 曜日カウント・レジスタ (RC1WEEK) 月カウント・レジスタ (RC1MONTH) 年カウント・レジスタ (RC1YEAR) 時計誤差補正レジスタ (RC1SUBU) アラーム分レジスタ (RC1ALM) アラーム時レジスタ (RC1ALH) アラーム曜日レジスタ (RC1ALW) プリスケアラ・モード・レジスタ0 (PRSM0) プリスケアラ・コンペア・レジスタ0 (PRSCM0)

図10-1 リアルタイム・カウンタのブロック図



10.2.1 端子の構成

リアルタイム・カウンタを構成するRTC出力は、表10-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-20 ポート端子を兼用端子として使用する場合参照）

表10-2 端子構成

ピン番号			ポート	RTC出力	その他の兼用機能
JC3L (40)	JC3L (48)	JE3L			
12	14	18	P03	RTC1HZ	INTP0/ADTRG
—	—	19	P04	RTCDIV	INTP1/RTCCL
—	—	19	P04	RTCCL	INTP1/RTCDIV

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

10.2.2 割り込み機能

RTCには3種類の割り込み信号があります。

(1) INTRTC0

0.5秒／1秒／1分／1時間／1日／1ヶ月に一度の定周期割り込み信号を発生します。

(2) INTRTC1

アラーム割り込み信号

(3) INTRTC2

$f_{XT}/2^6 / f_{XT}/2^7 / f_{XT}/2^8 / f_{XT}/2^9 / f_{XT}/2^{10} / f_{XT}/2^{11} / f_{XT}/2^{12}$ 周期のインターバル割り込み信号を発生します。

10.3 レジスタ

リアルタイム・カウンタは、次の18種類のレジスタで制御します。

(1) リアルタイム・カウンタ・コントロール・レジスタ0 (RC1CC0)

リアルタイム・カウンタの入クロックを選択するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス： FFFFFADDH

	7	6	5	4	3	2	1	0
RC1CC0	RC1PWR	RC1CKS	0	0	0	0	0	0

RC1PWR	リアルタイム・カウンタの動作の制御
0	リアルタイム・カウンタ動作停止
1	リアルタイム・カウンタ動作許可

RC1CKS	動作クロックの選択
0	f _{XT} を動作クロックとして選択
1	f _{BRG} を動作クロックとして選択

- 注意1.** 動作中のリアルタイム・カウンタを停止 (RC1PWR = 1→0) させる場合は、10.4.8 リアルタイム・カウンタの初期化にそって行ってください。
- 2.** RC1CKSビットの書き換えは、リアルタイム・カウンタ動作停止時 (RC1PWRビット = 0) のみ可能です。また、RC1PWRビットを“0”から“1”にするのと同時にRC1CKSビットを書き換えることは禁止です。

(2) リアルタイム・カウンタ・コントロール・レジスタ1 (RC1CC1)

リアルタイム・カウンタ動作の開始／停止、RTCCL端子／RTC1HZ端子の制御、12/24時間制、定周期割り込み機能を設定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFADEH

	7	6	5	4	3	2	1	0
RC1CC1	RTCE	0	CLOE1	CLOE0 ^注	AMPM	CT2	CT1	CT0

RTCE	各カウンタの動作の制御
0	カウンタ動作停止
1	カウンタ動作許可

CLOE1	RTC1HZ端子の出力制御
0	RTC1HZ端子の出力（1 Hz）禁止
1	RTC1HZ端子の出力（1 Hz）許可

CLOE0 ^注	RTCCL端子の出力制御
0	RTCCL端子の出力（32.768 kHz）禁止
1	RTCCL端子の出力（32.768 kHz）許可

AMPM	12時間制／24時間制の選択
0	12時間制表示（午前／午後を表示）
1	24時間制表示

CT2	CT1	CT0	定周期割り込み（INTRTC0）の選択
0	0	0	定周期割り込みを使用しない
0	0	1	0.5秒に1度（秒カウント・アップに同期）
0	1	0	1秒に1度（秒カウント・アップと同時）
0	1	1	1分に1度（毎分00秒）
1	0	0	1時間に1度（毎時00分00秒）
1	0	1	1日に1度（毎日00時00分00秒）
1	1	×	1月に1度（毎月1日午前00時00分00秒）

注 V850ES/JE3-Lのみ

- 注意1.** RTCEビット = 1の状態ではRTCEビットに“0”を書き込むことは禁止です。10.4.8 リアルタイム・カウンタの初期化にそってRC1PWRビットをクリアすることでRTCEビットをクリアしてください。
2. CLOE1ビットの設定変更時、RTC1HZ出力は次のように動作します。
- ・0→1に変更した場合：最大2クロック後（2 x 32.768 kHz）に、RTC1HZ出力は1 Hzのパルスを出力
 - ・1→0に変更した場合：最大2クロック後（2 x 32.768 kHz）に、RTC1HZ出力は出力停止（ロウ・レベル固定）。
3. AMPMビットの設定／変更は、10.4.1 初期設定、10.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換えを参照してください。また、AMPMビットを書き換えた場合は、RC1HOURレジスタを再設定してください。
4. リアルタイム・カウンタ動作中（RC1PWRビット = 1）にCT2-CT0ビットを書き換える場合は、10.4.4 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更を参照してください。

(3) リアルタイム・カウンタ・コントロール・レジスタ2 (RC1CC2)

アラーム割り込み機能，カウンタのウェイトを制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス：FFFFFFADFH

	7	6	5	4	3	2	1	0
RC1CC2	WALE	0	0	0	0	0	RWST	RWAIT

WALE	アラーム割り込み (INTRTC1) の動作制御
0	アラームの一致による割り込みを発生しない
1	アラームの一致による割り込みを発生する

RWST	リアルタイム・カウンタのウェイト状態
0	カウンタ動作中
1	秒〜年カウンタのカウンタ・アップ停止状態 (カウンタ値の読み出し，書き込み許可状態)

RWAITビットの設定が有効であることを示すステータス・フラグです。
カウンタ値の読み出し，書き込みは，RWSTビットが1になっていることを確認したあとに行ってください。

RWAIT	リアルタイム・カウンタのウェイト制御
0	カウンタ動作設定
1	秒〜年カウンタのカウンタ動作停止 (カウンタ値の読み出し，書き込みモード)

カウンタの動作を制御します。
カウンタ値の読み出し，書き込みを行う際には必ず“1”を書き込んでください。
RWAITビットが“1”のときにRC1SUBCレジスタのオーバーフローが起きた場合は，オーバーフロー情報を内部で保持して，RWAITビットに“0”を書き込んだあと，最大2クロック後 (2×32.768 kHz) にRC1SECレジスタをカウンタ・アップします。
ただし，RWAITビット = 1中に秒カウンタの値を書き換えた場合，保持していたオーバーフロー情報は破棄されます。

- 注意1.** WALEビットをリアルタイム・カウンタ動作中 (RC1PWRビット = 1) に書き換える場合は，10. 4. 5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更を参照してください。
2. 各カウンタ値の読み出し／書き込みを行う場合は，RWSTビットが1になっていることを確認してください。
3. RWAITビットを“0”に設定しても，各カウンタ書き込み中は，RWSTビットは“0”になりません。各カウンタ書き込み完了後に“0”になります。

(4) リアルタイム・カウンタ・コントロール・レジスタ3 (RC1CC3)

インターバル割り込み機能，RTCDIV端子を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより，00Hになります。

リセット時：00H R/W アドレス： FFFFFFFAE0H

	7	6	5	4	3	2	1	0
RC1CC3	RINTE	CLOE2 ^注	CKDIV ^注	0	0	ICT2	ICT1	ICT0

RINTE	インターバル割り込み (INTRTC2) の制御
0	インターバル割り込みを発生しない
1	インターバル割り込みを発生する

CLOE2 ^注	RTCDIV端子の出力制御
0	RTCDIV端子の出力禁止
1	RTCDIV端子の出力許可

CKDIV ^注	RTCDIV端子の出力周波数の選択
0	RTCDIV端子から512 Hz (1.95 ms) を出力
1	RTCDIV端子から16.384 kHz (0.061 ms) を出力

ICT2	ICT1	ICT0	インターバル割り込み (INTRTC2) の選択
0	0	0	$2^6/f_{XT}$ (1.953125 ms)
0	0	1	$2^7/f_{XT}$ (3.90625 ms)
0	1	0	$2^8/f_{XT}$ (7.8125 ms)
0	1	1	$2^9/f_{XT}$ (15.625 ms)
1	0	0	$2^{10}/f_{XT}$ (31.25 ms)
1	0	1	$2^{11}/f_{XT}$ (62.5 ms)
1	1	X	$2^{12}/f_{XT}$ (125 ms)

注 V850ES/JE3-Lのみ

- 注意1.** RINTEビットをリアルタイム・カウンタ動作中 (RC1PWRビット = 1) に書き換える場合は，10. 4. 7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更を参照してください。
- 2.** CLOE2ビットの設定変更時，RTCDIV出力は次のように動作します。
- ・0→1に変更した場合：最大2クロック後 (2 x 32.768 kHz) に，CKDIVビットで設定したパルスを出力
 - ・1→0に変更した場合：最大2クロック後 (2 x 32.768 kHz) に，RTCDIV出力は出力停止 (ロウ・レベル固定)。
- 3.** リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にICT2-ICT0ビットを書き換える場合は，10. 4. 7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更を参照してください。

(5) サブカウント・レジスタ (RC1SUBC)

リアルタイム・カウンタの1秒の基準時間をカウントする16ビットのレジスタです。

0000H-7FFFHまでの値をとり、32.768 kHzのクロックで1秒をカウントします。

16ビット単位でリード可能のみです。

リセットにより、0000Hになります。

注意1. RC1SUBUレジスタにより補正を行う場合は、8000H以上の値になる場合があります。

2. RC1SUBCレジスタは、秒カウント・レジスタへのライトによってもクリアされます。

3. RC1SUBCレジスタの読み出し値は、動作中に読み出しを行った場合、変化中の値を読み出すため、値は保証されません。

リセット時：0000H		R	アドレス： FFFFFAD0H													
RC1SUBC	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

(6) 秒カウント・レジスタ (RC1SEC)

0-59（10進）までの値を取り、秒のカウント値を示す8ビットのレジスタです。

サブカウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ、最大2クロック（2 x 32.768 kHz）後にカウンタへ書き込まれます。また設定する値は10進の00-59をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

注意 RC1SECレジスタに00-59以外の値を設定することは禁止です。

備考 RC1SECレジスタのリード／ライトは、10. 4. 1 初期設定、10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え、10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：00H		R/W	アドレス：FFFFFFAD2H					
RC1SEC	7	6	5	4	3	2	1	0
	0							

(7) 分カウント・レジスタ (RC1MIN)

0-59 (10進) までの値を取り、分のカウント値を示す8ビットのレジスタです。

秒カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後に、カウンタへ書き込まれます。また設定する値は、10進の00-59をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

注意 RC1MINレジスタに00-59以外の値を設定することは禁止です。

備考 RC1MINレジスタのリード／ライトは、10. 4. 1 初期設定, 10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：00H R/W アドレス：FFFFFAD3H								
	7	6	5	4	3	2	1	0
RC1MIN	0							

(8) 時カウント・レジスタ (RC1HOUR)

0-23または1-12 (10進) までの値を取り、時のカウント値を示す8ビットのレジスタです。

分カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後にカウンタへ書き込み

されます。また設定する値は、10進の00-23または01-12, 21-32をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、12Hになります。

ただし、リセット後に、AMPMビットに1をセットした場合は00Hとなります。

- 注意1.** RC1HOURレジスタのビット5は、AMPM = 0 (12時間制) を選択した場合、AM (0) /PM (1) を示します。
- 2.** RC1HOURレジスタに01-12, 21-32 (AMPMビット = 0) , または00-23 (AMPMビット = 1) 以外の値を設定することは禁止です。

備考 RC1HOURレジスタのリード／ライトは、10. 4. 1 初期設定, 10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：12H		R/W	アドレス：FFFFFFAD4H					
	7	6	5	4	3	2	1	0
RC1HOUR	0	0						

AMPMビットの設定値とRC1HOURレジスタの値と時間の関係を表10-3に示します。

表10-3 時間桁表示表

12時間表示 (AMPMビット = 0)		24時間表示 (AMPMビット = 1)	
時間	RC1HOURレジスタの値	時間	RC1HOURレジスタの値
AM0時	12 H	0時	00H
AM1時	01 H	1時	01 H
AM2時	02 H	2時	02 H
AM3時	03 H	3時	03 H
AM4時	04 H	4時	04 H
AM5時	05 H	5時	05 H
AM6時	06 H	6時	06 H
AM7時	07 H	7時	07 H
AM8時	08 H	8時	08 H
AM9時	09 H	9時	09 H
AM10時	10 H	10時	10 H
AM11時	11 H	11時	11 H
PM0時	32 H	12時	12 H
PM1時	21 H	13時	13 H
PM2時	22 H	14時	14 H
PM3時	23 H	15時	15 H
PM4時	24 H	16時	16 H
PM5時	25 H	17時	17 H
PM6時	26 H	18時	18 H
PM7時	27 H	19時	19 H
PM8時	28 H	20時	20 H
PM9時	29 H	21時	21 H
PM10時	30 H	22時	22 H
PM11時	31 H	23時	23 H

RC1HOURレジスタの値は、AMPMビットが“0”のとき12時間表示で、“1”のとき24時間表示となります。

12時間表示の場合は、RCHOURの5ビットが午前／午後を表示し、午前（AM）のときに0に、午後（PM）のときに1となります。

(9) 日カウント・レジスタ (RC1DAY)

1-31 (10進) までの値を取り、日のカウント値を示す8ビットのレジスタです。

時カウンタからのオーバーフローによりカウント・アップします。

カウンタは、次に示すようにカウントします。

- 01-31 (1, 3, 5, 7, 8, 10, 12月)
- 01-30 (4, 6, 9, 11月)
- 01-29 (2月 うるう年)
- 01-28 (2月 通常年)

書き込みを行った場合は、バッファに書き込まれ最大2クロック (2 x 32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の01-31をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、01Hになります。

注意 RC1DAYレジスタに01-31以外の値を設定することは禁止です。また上記カウント範囲外“2月30日を設定するなど”も禁止です。

備考 RC1DAYレジスタのリード／ライトは、10. 4. 1 初期設定, 10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：01H R/W アドレス：FFFFFAD6H

	7	6	5	4	3	2	1	0
RC1DAY	0	0						

(10) 曜日カウント・レジスタ (RC1WEEK)

0-6 (10進) までの値を取り、曜日のカウント値を示す8ビットのレジスタです。

日カウンタと同期してカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大の2クロック (2 x 32.768 kHz) 後にカウンタへ書き込まれます。また設定する値は、10進の00-06をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFFAD5H

	7	6	5	4	3	2	1	0
RC1WEEK	0	0	0	0	0			

注意1. RC1WEEKレジスタに00-06以外の値を設定することは禁止です。

2. 曜日カウント・レジスタには、月カウント・レジスタおよび日カウント・レジスタに対応した値が自動的に格納されるわけではありません。

リセット解除後、必ず次のように設定してください。

曜日	RC1WEEK
日	00H
月	01H
火	02H
水	03H
木	04H
金	05H
土	06H

備考 RC1WEEKレジスタのリード／ライトは、10. 4. 1 初期設定、10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え、10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

(11) 月カウント・レジスタ (RC1MONTH)

RC1MONTHレジスタは1-12（10進）までの値を取り、月のカウント値を示す8ビットのレジスタです。

日カウンタからのオーバーフローによりカウント・アップします。

書き込みを行った場合は、バッファに書き込まれ最大2クロック（2 x 32.768 kHz）後にカウンタへ書き込まれます。また設定する値は、10進の01-12をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、01Hになります。

注意 RC1MONTHレジスタに01-12以外の値を設定することは禁止です。

備考 RC1MONTHレジスタのリード／ライトは、10. 4. 1 初期設定, 10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：01H R/W アドレス：FFFFFFAD7H								
	7	6	5	4	3	2	1	0
RC1MONTH	0	0	0					

(12) 年カウント・レジスタ (RC1YEAR)

0-99（10進）までの値を取り、年のカウント値を示す8ビットのレジスタです。

月カウンタからのオーバーフローによりカウント・アップします。

00, 04, 08, ..., 92, 96がうるう年となります。

書き込みを行った場合は、バッファに書き込まれ最大2クロック（2 x 32.768 kHz）後にカウンタへ書き込まれます。また設定する値は、10進の00-99をBCDコードで設定してください。

8ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

注意 RC1YEARレジスタに00-99以外の値を設定することは禁止です。

備考 RC1YEARレジスタのリード／ライトは、10. 4. 1 初期設定, 10. 4. 2 リアルタイム・カウンタ動作中の各カウンタの書き換え, 10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出しを参照してください。

リセット時：00H R/W アドレス：FFFFFFAD8H

	7	6	5	4	3	2	1	0
RC1YEAR								

(13) 時計誤差補正レジスタ (RC1SUBU)

サブカウント・レジスタ (RSUBC) から秒カウンタ・レジスタへオーバーフローする値 (基準値: 7FFFH) を変化させることにより、時計の進みや遅れをより高精度に補正することができる8ビットのレジスタです。
8/1ビット単位でリード／ライト可能です。
リセットにより、00Hになります。

- 備考1.** RC1SUBUレジスタの書き換えはリアルタイム・カウンタの初期設定時のみ可能です。
必ず 10. 4. 1 初期設定を参照してください。
2. 時計誤差補正については、10. 4. 9 リアルタイム・カウンタの時計誤差補正例を参照してください。

リセット時：00H R/W アドレス：FFFFFFAD9H

	7	6	5	4	3	2	1	0
RC1SUBU	DEV	F6	F5	F4	F3	F2	F1	F0

DEV	時計誤差補正のタイミングの設定
0	RC1SEC（秒カウンタ）が00, 20, 40秒のとき（20秒ごと）に時計誤差補正
1	RC1SEC（秒カウンタ）が00秒のとき（60秒ごと）に時計誤差補正

F6	時計誤差補正值の設定
0	F5-F0ビットで設定した値分，RC1SUBCのカウント値を増加（＋補正） 増加値計算式：（F5-F0ビットの設定値－1）×2
1	F5-F0ビットで設定した値分，RC1SUBCのカウント値を減少（－補正） 減少値計算式：（F5-F0ビットの設定値の反転値データ＋1）×2
F6-F0ビットの値が {1/0, 0, 0, 0, 0, 0, 1/0} のときは，時計誤差補正は行いません。	

(14) アラーム分設定レジスタ (RC1ALM)

アラームの分を設定する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

注意 設定する値は、10進の00-59をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

リセット時：00H R/W アドレス：FFFFFFADAH

	7	6	5	4	3	2	1	0
RC1ALM	0							

(15) アラーム時設定レジスタ (RC1ALH)

アラームの時を設定する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより、12Hになります。

注意1. 設定する値は、10進の00-23または、01-12, 21-32をBCDコードで設定してください。範囲外の値を設定した場合、アラームは検出されません。

2. RC1ALHレジスタのビット5は、AMPMビット = 0 (12時間制) を選択した場合、AM (0) / PM (1) を示します。

リセット時：12H R/W アドレス：FFFFFFADBH

	7	6	5	4	3	2	1	0
RC1ALH	0	0						

(16) アラーム曜日設定レジスタ (RC1ALW)

アラームの曜日を設定する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

注意 リアルタイム・カウンタ動作中 (RC1PWRビット = 1) にRC1ALWレジスタを書き換える場合は、10. 4. 5 クロック動作中のINTRTC1割り込み設定の変更を参照してください。

リセット時：00H R/W アドレス：FFFFFADCH

	7	6	5	4	3	2	1	0
RC1ALW	0	RC1ALW6	RC1ALW5	RC1ALW4	RC1ALW3	RC1ALW2	RC1ALW1	RC1ALW0
	土 金 木 水 火 月 日							
RC1ALW6	アラーム割り込み曜日設定ビット6							
0	RC1WEEK = 06H (土) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 06H (土) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW5	アラーム割り込み曜日設定ビット5							
0	RC1WEEK = 05H (金) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 05H (金) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW4	アラーム割り込み曜日設定ビット4							
0	RC1WEEK = 04H (木) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 04H (木) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW3	アラーム割り込み曜日設定ビット3							
0	RC1WEEK = 03H (水) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 03H (水) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW2	アラーム割り込み曜日設定ビット2							
0	RC1WEEK = 02H (火) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 02H (火) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW1	アラーム割り込み曜日設定ビット1							
0	RC1WEEK = 01H (月) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 01H (月) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							
RC1ALW0	アラーム割り込み曜日設定ビット0							
0	RC1WEEK = 00H (日) のときに、アラーム割り込みを発生しない							
1	RC1WEEK = 00H (日) のときに、RC1ALM, RC1ALHレジスタで設定した時間になるとアラーム割り込みを発生する							

(a) アラーム割り込み設定例 (RC1ALM, RC1ALH, RC1ALW設定例)

日曜日をRC1WEEK = 00, 月曜日をRC1WEEK = 01, 火曜日をRC1WEEK = 02, ..., 土曜日をRC1WEEK = 06とした場合の設定例を表10-4, 表10-5に示します。

表10-4 AMPM=0 (RC1HOURレジスタ12時間表示) の時のアラーム設定例

アラーム設定時間 \ レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, AM 7時00分	01H	07H	00H
日曜日/月曜日, PM 12時15分	03H	32H	15H
月曜日/火曜日/金曜日, PM 5時30分	26H	25H	30H
毎日, PM 10時45分	7FH	30H	45H

表10-5 AMPM=1 (RC1HOURレジスタ24時間表示) の時のアラーム設定例

アラーム設定時間 \ レジスタ	RC1ALW	RC1ALH	RC1ALM
日曜日, 7時00分	01H	07H	00H
日曜日/月曜日, 12時15分	03H	12H	15H
月曜日/火曜日/金曜日, 17時30分	26H	17H	30H
毎日, 22時45分	7FH	22H	45H

(17) プリスケアラ・モード・レジスタ0 (PRSM0)

PRSM0レジスタは、リアルタイム・カウンタのカウンタ・クロック (f_{BRG}) の生成を制御する8ビットのレジスタです。

8/1ビット単位でリード/ライト可能です。

リセットにより00Hになります。

リセット時: 00H R/W アドレス: FFFFF8B0H

	7	6	5	④	3	2	1	0
PRSM0	0	0	0	BGCE0	0	0	BGCS01	BGCS00

BGCE0	メイン・クロックでの動作許可
0	禁止
1	許可

BGCS01	BGCS00	リアルタイム・カウンタ・ソース・クロック (f_{BGCS}) の選択		
			5 MHz	4 MHz
0	0	fx	200 ns	250 ns
0	1	fx/2	400 ns	500 ns
1	0	fx/4	800 ns	1 μ s
1	1	fx/8	1.6 μ s	2 μ s

注意1. リアルタイム・カウンタ動作中に、BGCS01, BGCS00ビットの値を変更しないでください。

2. PRSM0レジスタの設定はBGCE0ビットをセット (1) する前に行ってください。

3. f_{BRG} の周波数が32.768 kHzに近くなるよう、使用するメイン・クロック周波数にあわせて、PRSM0, PRSCM0レジスタの設定を行ってください。

(18) プリスケアラ・コンペア・レジスタ0 (PRSCM0)

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF8B1H

	7	6	5	4	3	2	1	0
PRSCM0	PRSCM07	PRSCM06	PRSCM05	PRSCM04	PRSCM03	PRSCM02	PRSCM01	PRSCM00

- 注意1.** リアルタイム・カウンタ動作中にPRSCM0レジスタを書き換えないでください。
2. PRSCM0.BGCE0ビットをセット（1）する前にPRSCM0レジスタの設定を行ってください。
3. f_{BRG} の周波数が32.768 kHzとなるよう、使用するメイン・クロック周波数にあわせて、PRSCM0レジスタの設定を行ってください。

f_{BRG} の計算式を次に示します。

$$f_{BRG} = f_{BGCS} / 2N$$

備考 f_{BGCS} : PRSCM0レジスタで設定した時計タイマ・ソース・クロック

N : PRSCM0レジスタの設定値 = 1-256

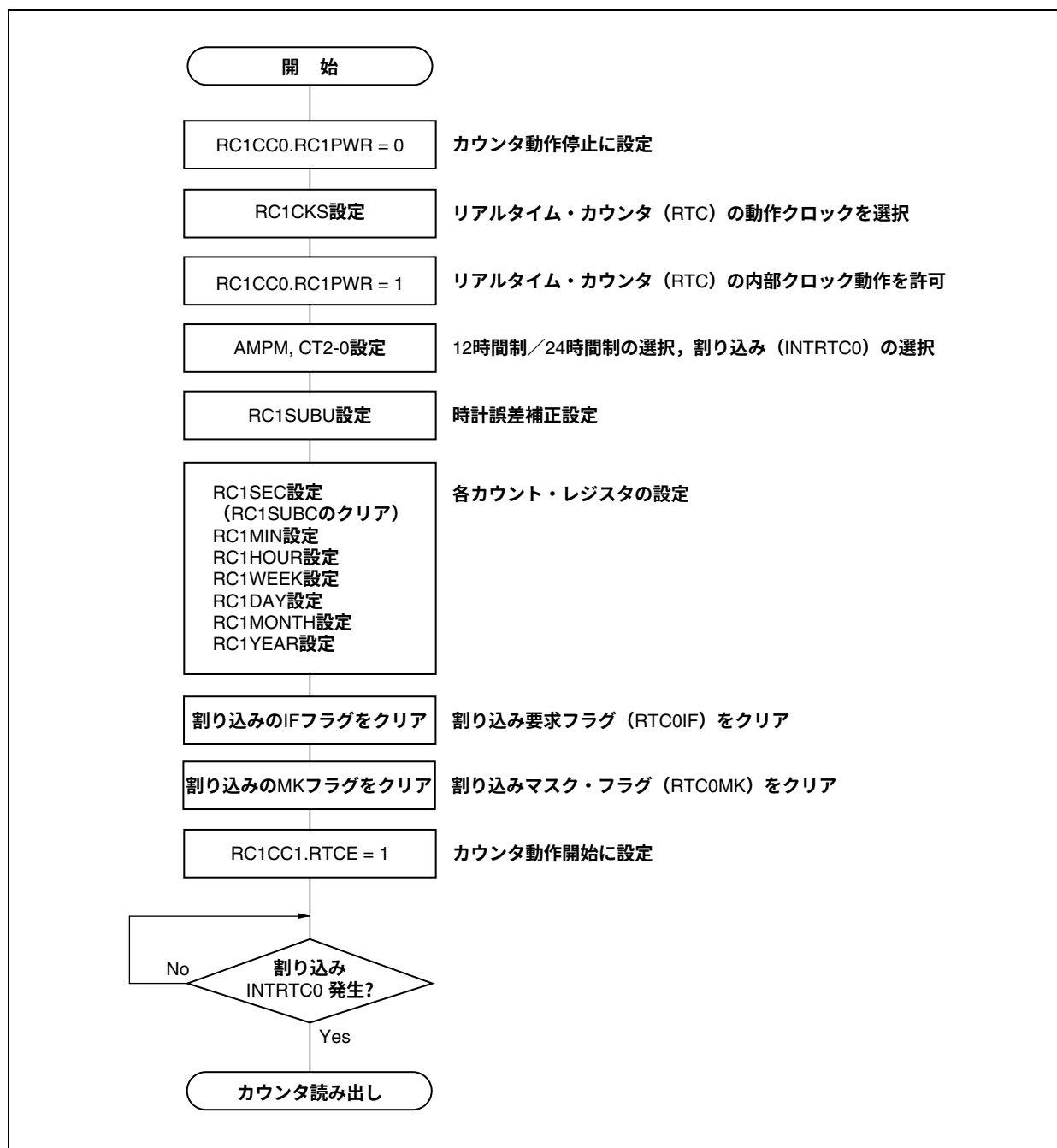
ただし、N = 256となるのは、PRSCM0レジスタに00Hを設定した場合です。

10.4 動作

10.4.1 初期設定

時計機能、定周期割り込み動作をする場合に設定します。

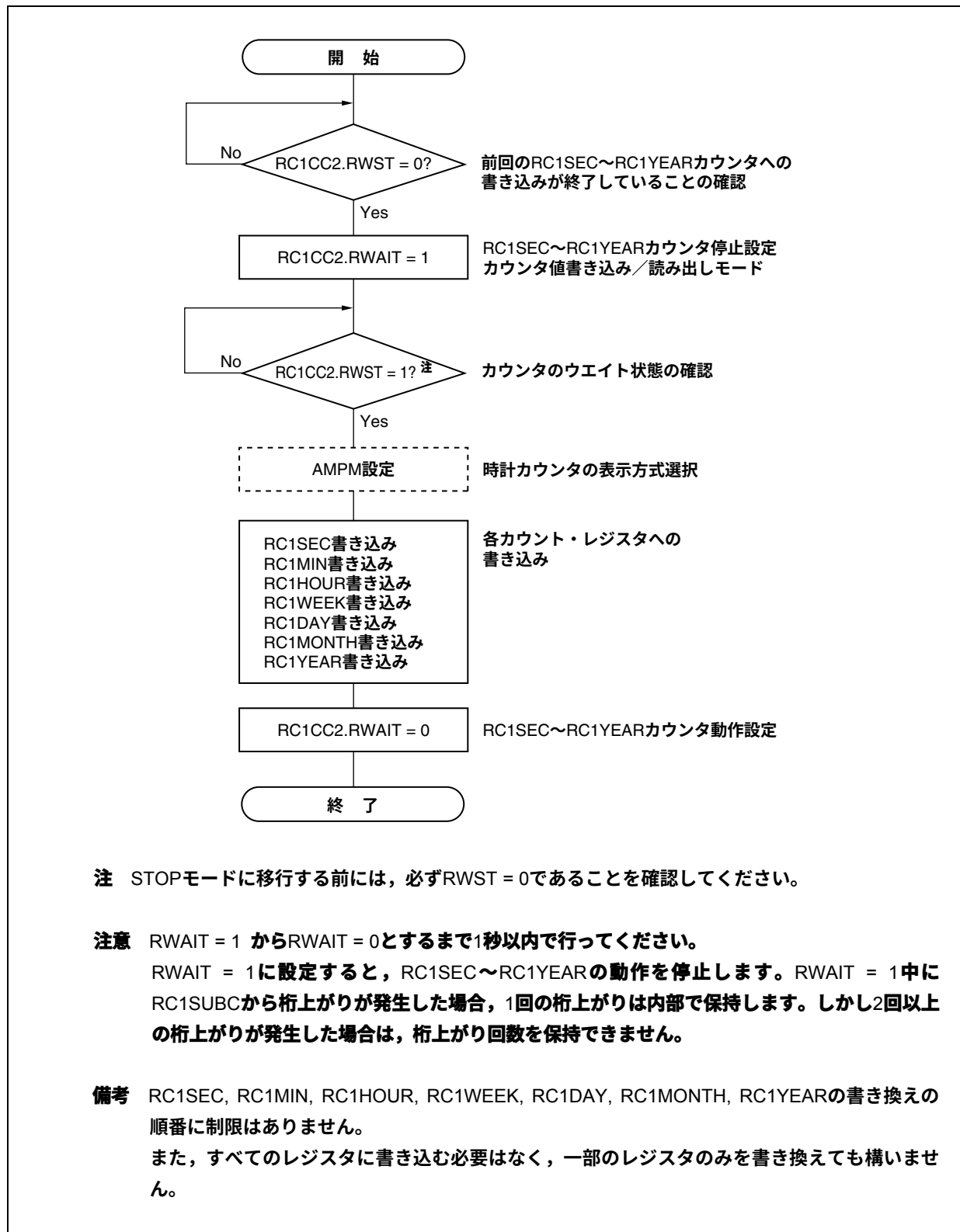
図10-2 初期設定手順



10.4.2 リアルタイム・カウンタ動作中の各カウンタの書き換え

リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEAR) を書き換える場合は次のように設定してください。

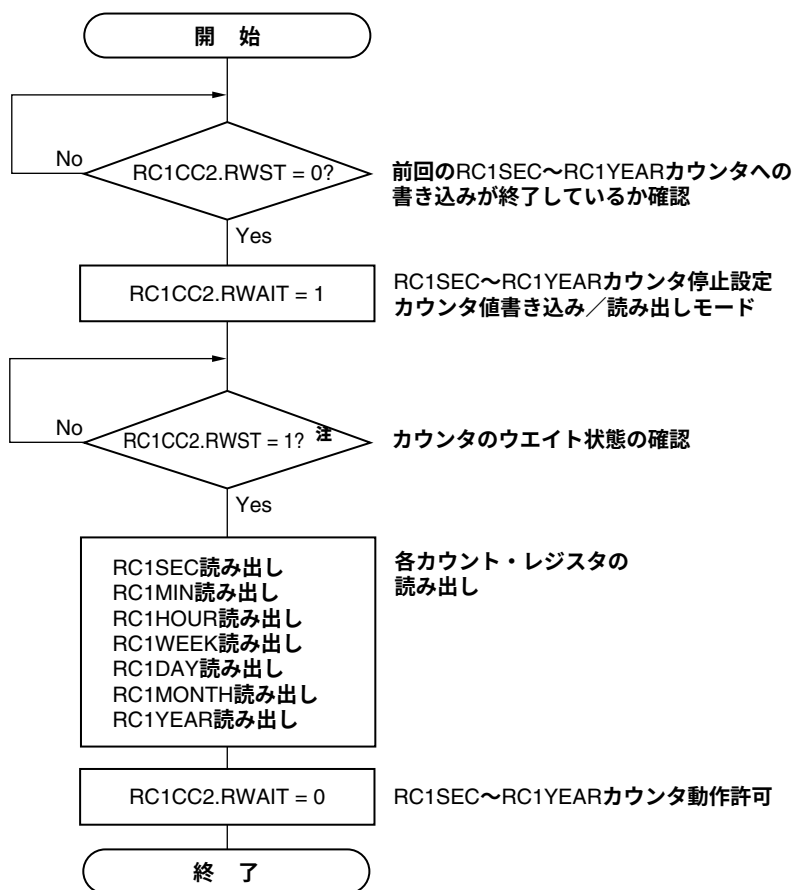
図10-3 リアルタイム・カウンタ動作中の各カウンタの書き換え



10. 4. 3 リアルタイム・カウンタ動作中の各カウンタの読み出し

リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に各カウンタ (RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEAR) を読み出す場合は次のように設定してください。

図10-4 リアルタイム・カウンタ動作中の各カウンタの読み出し



注 STOPモードに移行する前には、必ずRWST = 0であることを確認してください。

注意 RWAIT = 1 からRWAIT = 0とするまで1秒以内で行ってください。

RWAIT = 1に設定すると、RC1SEC～RC1YEARの動作を停止します。RWAIT = 1中にRC1SUBCから桁上がりが発生した場合、1回の桁上がりは内部で保持します。しかし2回以上の桁上がりが発生した場合は、桁上がり回数を保持できません。

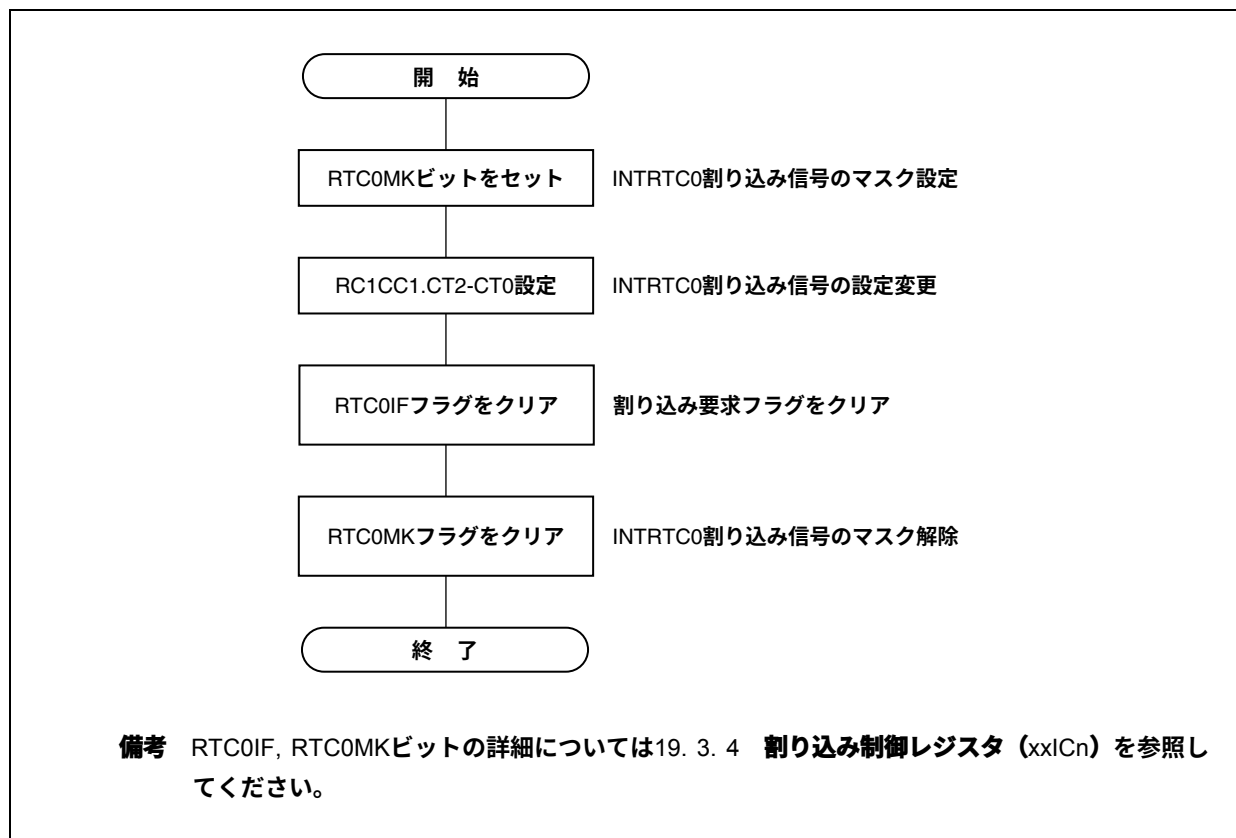
備考 RC1SEC, RC1MIN, RC1HOUR, RC1WEEK, RC1DAY, RC1MONTH, RC1YEARの読み出しの順番に制限はありません。

また、すべてのレジスタを読み出す必要はなく、一部のレジスタのみを読み出しても構いません。

10. 4. 4 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更

リアルタイム・カウンタの動作中（RC1PWR = 1, RTCE = 1）のときに、INTRTC0割り込み（定周期割り込み）信号の設定を変更すると、INTRTC0割り込みの波形にヒゲが混じり、意図しない信号が出力される可能性があります。ヒゲをマスクするため、リアルタイム・カウンタ動作中（RC1PWR = 1, RTCE = 1）に、INTRTC0割り込み信号の設定を変更する場合は次のように設定してください。

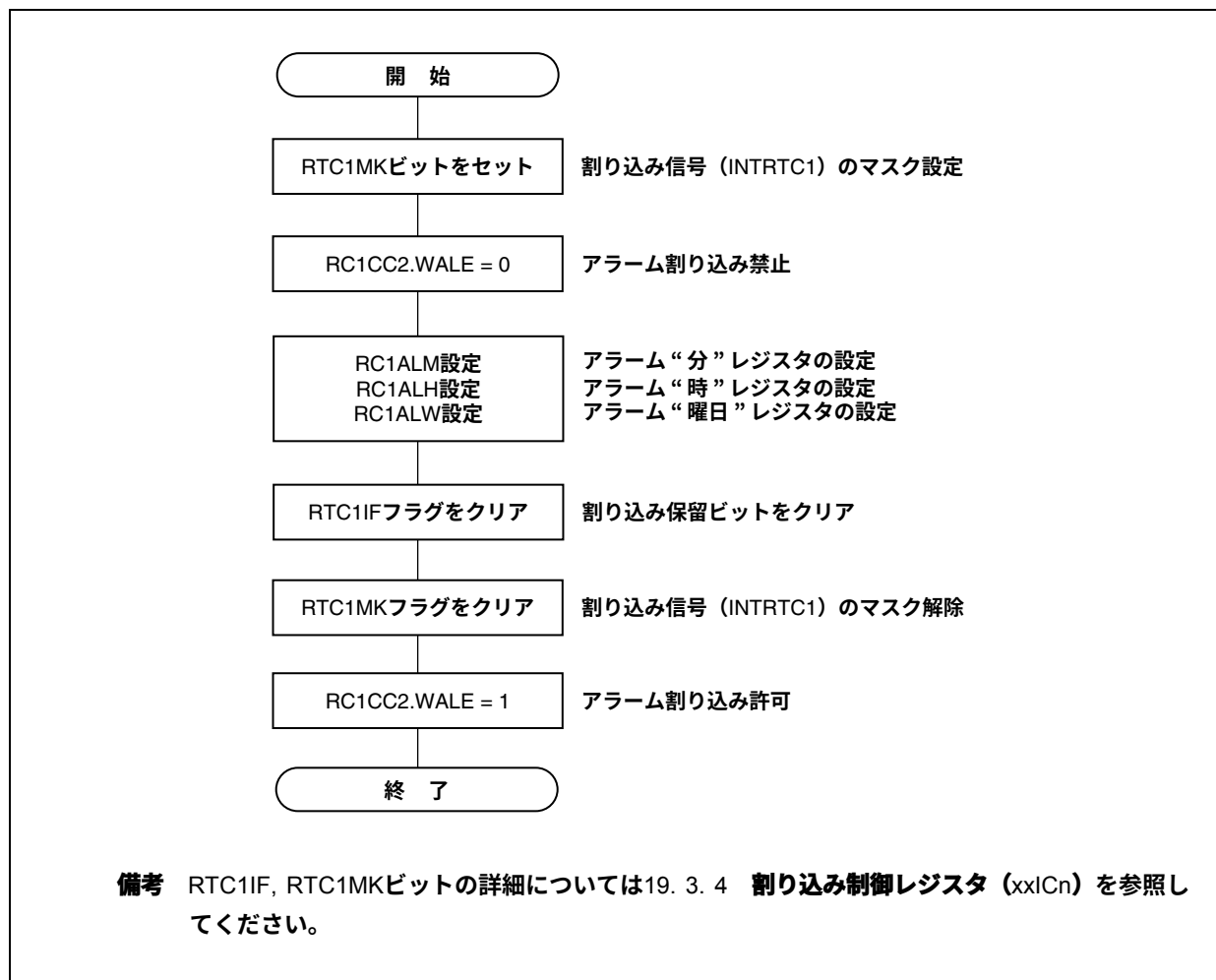
図10-5 リアルタイム・カウンタ動作中のINTRTC0割り込み設定の変更



10. 4. 5 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更

リアルタイム・カウンタの動作中（RC1PWR = 1, RTCE = 1）のときに、INTRTC1割り込み（アラーム割り込み）の設定を変更すると、INTRTC1割り込みの波形にヒゲが混じり、意図しない信号が出力される可能性があります。ヒゲをマスクするため、リアルタイム・カウンタ動作中（RC1PWR = 1, RTCE = 1）に、INTRTC1割り込み信号の設定を変更する場合は次のように設定してください。

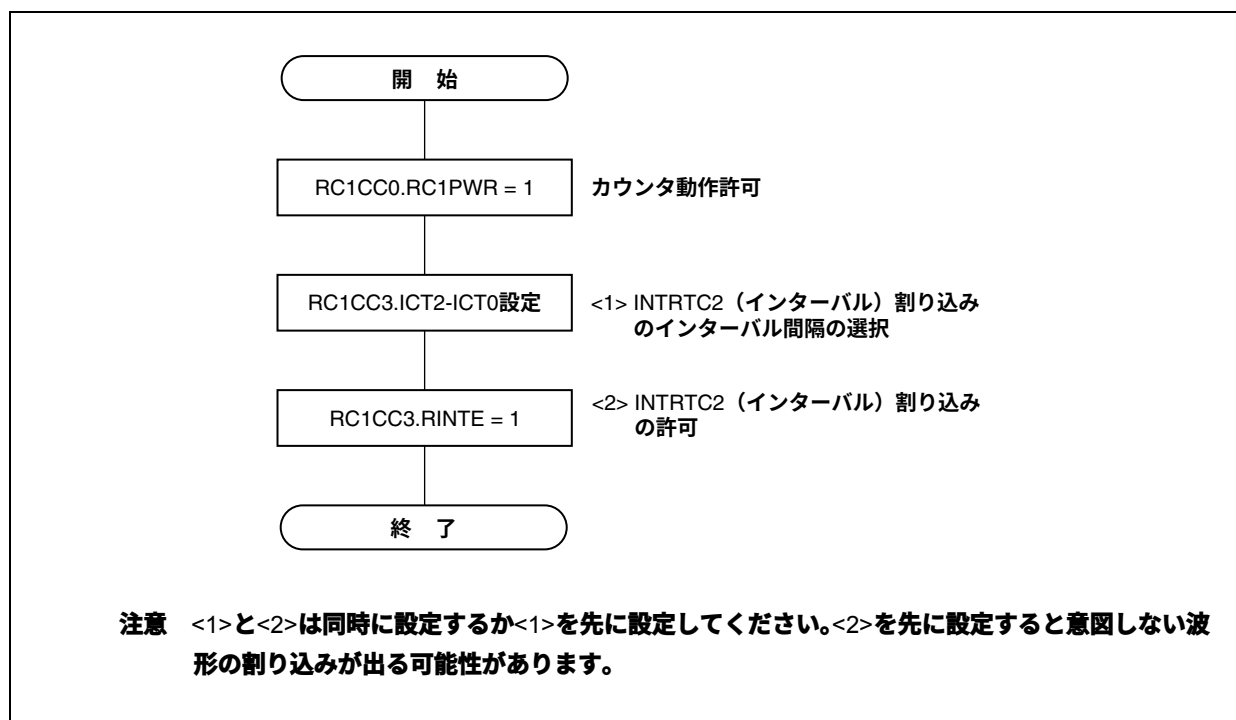
図10-6 リアルタイム・カウンタ動作中のINTRTC1割り込み設定の変更



10. 4. 6 INTRTC2割り込みの初期設定

INTRTC1割り込み（インターバル割り込み）の設定をする場合は次のように設定してください。

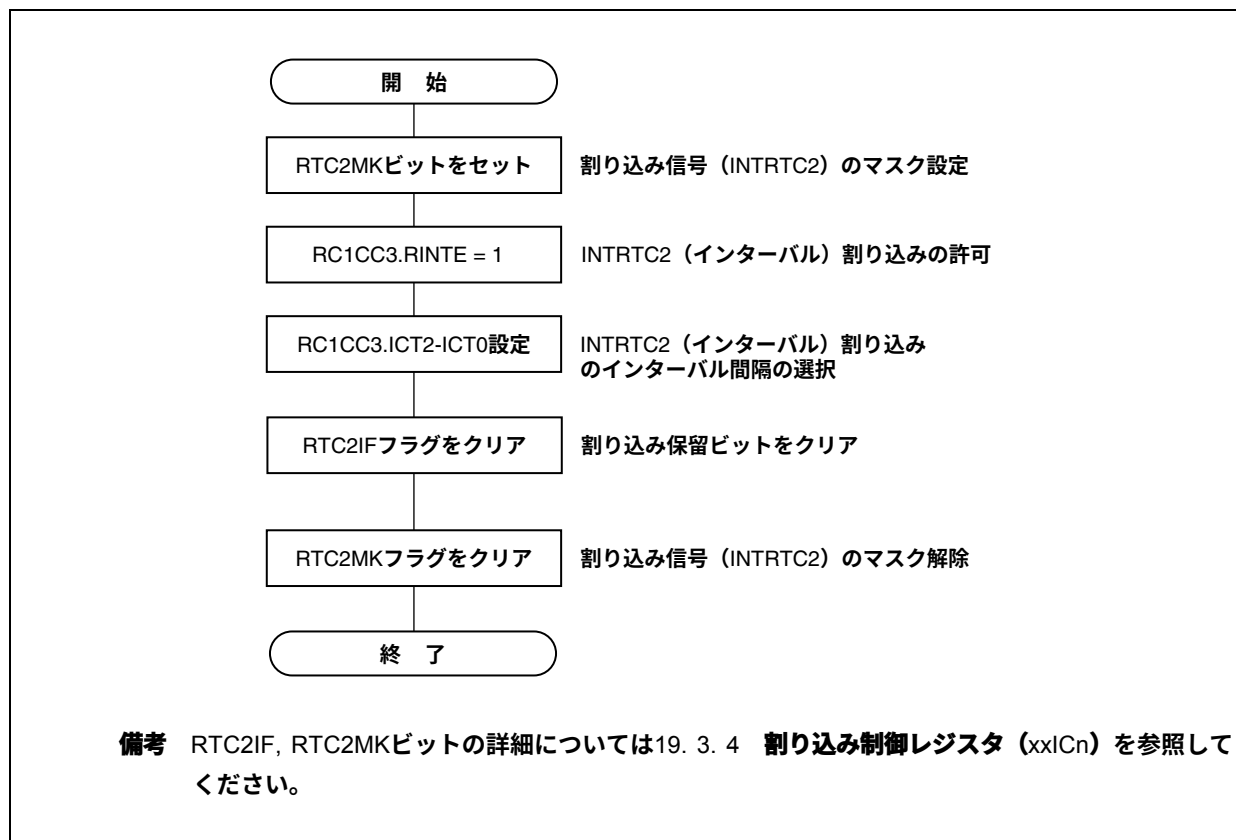
図10-7 INTRTC2割り込み設定



10. 4. 7 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更

リアルタイム・カウンタの動作中 (RC1PWR = 1, RTCE = 1) のときに、INTRTC2割り込み (インターバル割り込み) の設定を変更すると、INTRTC2割り込みの波形にヒゲが混じり、意図しない信号が出力される可能性があります。ヒゲをマスクするため、リアルタイム・カウンタ動作中 (RC1PWR = 1, RTCE = 1) に、INTRTC2割り込み信号の設定を変更する場合は次のように設定してください。

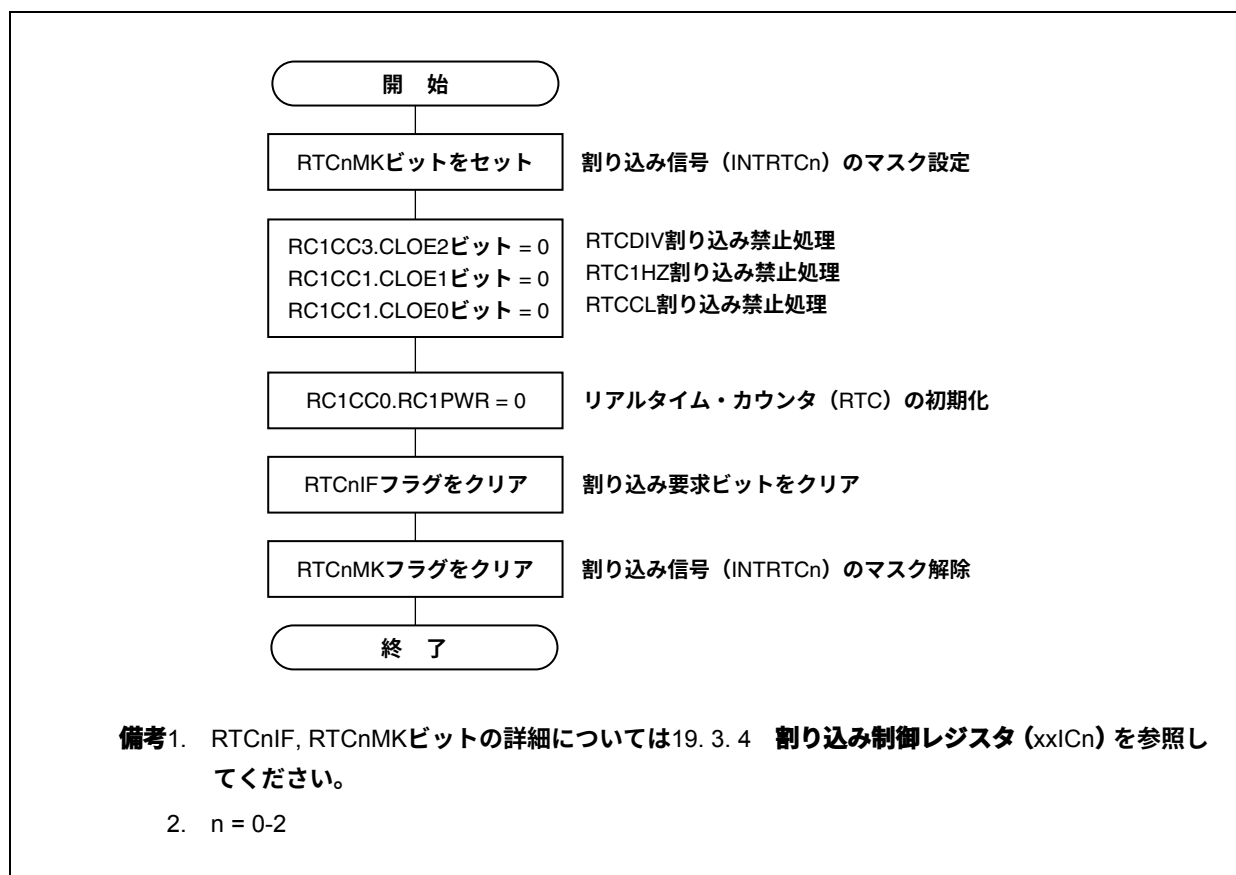
図10-8 リアルタイム・カウンタ動作中のINTRTC2割り込み設定の変更



10. 4. 8 リアルタイム・カウンタの初期化

リアルタイム・カウンタの初期化手順を次に示します。

図10-9 リアルタイム・カウンタの初期化



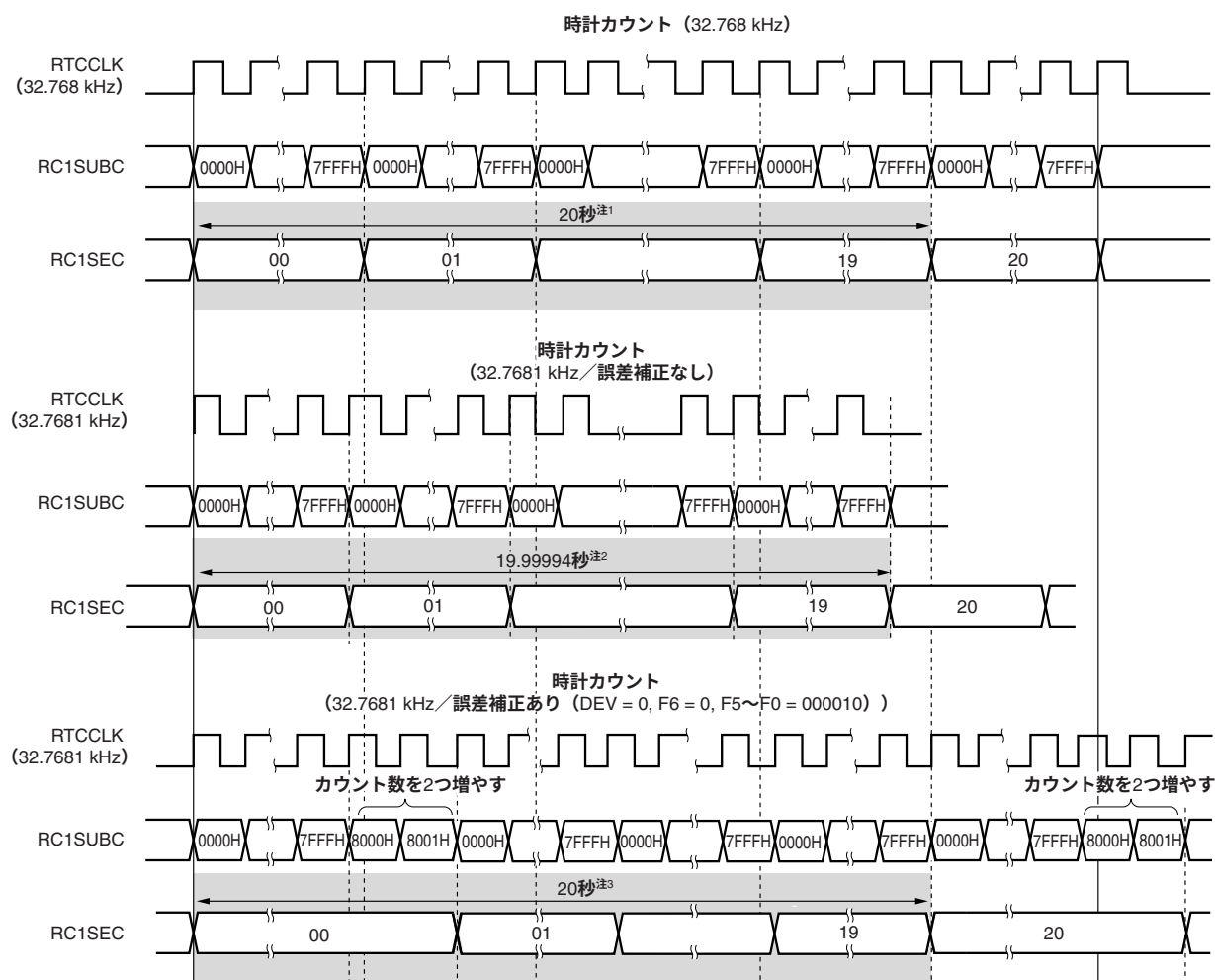
10.4.9 リアルタイム・カウンタの時計誤差補正例

時計誤差補正機能とは、V850ES/Jx3-Lに接続される発振子をもつ発振周波数の偏差を補正する機能です。

ここでの偏差とは、発振子設計時の周波数の偏りである“定常偏差”を示します。

次に、システム設計時に意図する入力クロック“32.768 kHz”に誤差が生じて、32.7681 kHzの発振子が接続されてしまったときのタイミング図とそれを補正するためのRC1SUBC, RC1SECのカウンタ動作を示します。

図10-10 時計誤差補正例



注1. 32.768 kHzのクロックで32768 (0000H-7FFFH) カウントすることで20秒をカウントします。

2. 32.7681 kHzのクロックで32768 (0000H-7FFFH) カウントすると $32768/32768.1 \times 0.999997$ 秒
これを20回繰り返すと $(32768/32768.1) \times 20$ (秒) 19.99994秒となり、0.00006秒の誤差が発生します。

3. 32.7681 kHzのクロックの場合、DEVビット= 0, F6ビット= 0, F5-F0ビット= 2H (000010B) と設定することで、RC1SECが00, 20, 40秒のときに32770 (0000H-8001H) カウントすることで誤差なしで20秒をカウントできます。

図10-10のように、発振子に32.768 kHzより速い“+誤差”が生じた場合は、RC1SUBCのカウント値を増やす事で正確に時計をカウントできることがわかります。また同様に発振子に32.768 kHzより遅い“-誤差”が生じた場合は、RC1SUBCのカウント値を減らすことで正確に時計をカウントできることがわかります。

RC1SUBCの補正値を決定するのがRC1SUBU.F6-F0ビットです。

F6ビットでRC1SUBCの増加/減少を決定し、F5-F0ビットで値を決定します。

(1) RC1SUBCのカウント増加

F6ビット=0にすることによって、F5-F0ビットで設定した値分、RC1SUBCのカウント値を増加します。

増加値計算式：(F5-F0ビット設定値-1) × 2

【RC1SUBCのカウント増加例：F6ビット = 0】

F5-F0ビットに15H (010101B) を設定した場合

(15H-1) × 2 = 40 (RC1SUBCカウント値を40増)

RC1SUBCカウント値 = 32768 + 40 = 32808

(2) RC1SUBCのカウント減少

F6ビット= 1にすることによって、F5-F0ビット設定した値の反転値分、RC1SUBCのカウント値を減少します。

減少値計算式：(F5-F0ビット設定値の反転値+1) × 2

【RC1SUBCのカウント増加例：F6ビット = 1】

F5-F0ビットに15H (010101B) を設定した場合

15H (010101B) の反転データ= 2AH (101010B)

(2AH+1) × 2 = 86 (RC1SUBCカウント値を86減)

RC1SUBCカウント値 = 32768 - 86 = 32682

(3) DEVビットについて

DEVビットは、F6-F0ビットでの設定が有効となるタイミングを決定します。

F6-F0ビットで設定した値は、毎回RC1SUBCカウント値に反映されるわけではなく次のタイミングで、反映されます。

表10-6 DEVビットの設定

DEVビットの値	RC1SUBCへの反映タイミング
0の場合	RC1SECが00, 20, 40秒のとき
1の場合	RC1SECが00秒のとき

【F6-F0ビットに0010101Bを設定した場合の例】

・DEVビット= 0の場合

RC1SUBCカウント値は、00秒, 20秒, 40秒のとき「32808」

それ以外のとき「32768」

・DEVビット= 1の場合

RC1SUBCカウント値は、00秒のとき「32808」

それ以外のとき「32768」

このように、毎秒RC1SUBCカウント値を補正するのではなく、20秒ごと、60秒ごとに補正しているのは、発振子をもつ偏差幅に合わせているためです。

実際に補正できる発振子の周波数範囲は次のようになります。

・DEVビット = 0のとき：32.76180000 kHz～32.77420000 kHz

・DEVビット = 1のとき：32.76593333 kHz～32.77006667 kHz

DEVビット = 0の方が、DEVビット = 1より3倍広い周波数範囲を補正できます。

ただしDEVビット = 1の方が、3倍の精度で周波数を設定できます。

表10-7、表10-8に、DEVビット、F6-F0ビットの設定値と、そのときに補正できる周波数の一覧を示します。

表10-7 DEVビット = 0のときの補正できる周波数範囲

F6	F5-F0	RC1SUBC補正值	接続クロック周波数（定常偏差込み）
0	000000	補正なし	—
0	000001	補正なし	—
0	000010	20秒に1度, RC1SUBCカウント値を+2	32.76810000 kHz
0	000011	20秒に1度, RC1SUBCカウント値を+4	32.76820000 kHz
0	000100	20秒に1度, RC1SUBCカウント値を+6	32.76830000 kHz
⋮			
0	111011	20秒に1度, RC1SUBCカウント値を+120	32.77400000 kHz
0	111110	20秒に1度, RC1SUBCカウント値を+122	32.77410000 kHz
0	111111	20秒に1度, RC1SUBCカウント値を+124	32.77420000 kHz（上限）
1	000000	補正なし	—
1	000001	補正なし	—
1	000010	20秒に1度, RC1SUBCカウント値を-124	32.76180000 kHz(下限)
1	000011	20秒に1度, RC1SUBCカウント値を-122	32.76190000 kHz
1	000100	20秒に1度, RC1SUBCカウント値を-120	32.76200000 kHz
⋮			
1	11011	20秒に1度, RC1SUBCカウント値を-6	32.76770000 kHz
1	11110	20秒に1度, RC1SUBCカウント値を-4	32.76780000 kHz
1	11111	20秒に1度, RC1SUBCカウント値を-2	32.76790000 kHz

表10-8 DEVビット = 1のときの補正できる周波数範囲

F6	F5-F0	RC1SUBC補正值	接続クロック周波数（定常偏差込み）
0	000000	補正なし	—
0	000001	補正なし	—
0	000010	60秒に1度, RC1SUBCカウント値を+2	32.76803333 kHz
0	000011	60秒に1度, RC1SUBCカウント値を+4	32.76806667 kHz
0	000100	60秒に1度, RC1SUBCカウント値を+6	32.76810000 kHz
⋮			
0	111011	60秒に1度, RC1SUBCカウント値を+120	32.77000000 kHz
0	111110	60秒に1度, RC1SUBCカウント値を+122	32.77003333 kHz
0	111111	60秒に1度, RC1SUBCカウント値を+124	32.77006667 kHz（上限）
1	000000	補正なし	—
1	000001	補正なし	—
1	000010	60秒に1度, RC1SUBCカウント値を-124	32.76593333 kHz（下限）
1	000011	60秒に1度, RC1SUBCカウント値を-122	32.76596667 kHz
1	000100	60秒に1度, RC1SUBCカウント値を-120	32.76600000 kHz
⋮			
1	11011	60秒に1度, RC1SUBCカウント値を-6	32.76790000 kHz
1	11110	60秒に1度, RC1SUBCカウント値を-4	32.76793333 kHz
1	11111	60秒に1度, RC1SUBCカウント値を-2	32.76796667 kHz

第11章 ウォッチドッグ・タイマ2機能

11.1 機 能

ウォッチドッグ・タイマ2はデフォルト・スタート・ウォッチドッグ・タイマで、リセット解除後に自動的に内蔵発振クロックの 2^{19} カウントのオーバフロー時間、リセット・モードで起動します。オーバフローするとWDT2RES信号を発生してリセット動作を行います。

ウォッチドッグ・タイマ2には、次のような機能があります。

- ・デフォルト・スタート・ウォッチドッグ・タイマ^{※1}
- ・WDTのオーバフローによる2つの動作
 - リセット・モード：ウォッチドッグ・タイマ2のオーバフローによるリセット動作（WDT2RES信号を発生）
 - ノンマスクابل割り込み要求モード：ウォッチドッグ・タイマ2のオーバフローによるNMI動作（INTWDT2信号を発生）^{※2}
- ・ソース・クロックとしてメイン・クロック，内蔵発振クロック，サブクロックからの入力を選択可能

注1. ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。ウォッチドッグ・タイマ2を使用しない場合は、この機能によるリセットが発生する前に停止するか、一度ウォッチドッグ・タイマ2をクリアし、オーバフローする前に停止してください。また、デフォルトの設定（リセット・モード，暴走検出時間間隔： $2^{19}/f_R$ ）で変更する必要がない場合も、動作を確定するために、1回だけWDTM2レジスタへの書き込みを行ってください。

2. ノンマスクابل割り込み要求信号（INTWDT2）によるノンマスクابل割り込み処理については19.2.2（2）INTWDT2信号の場合を参照してください。

11.2 構 成

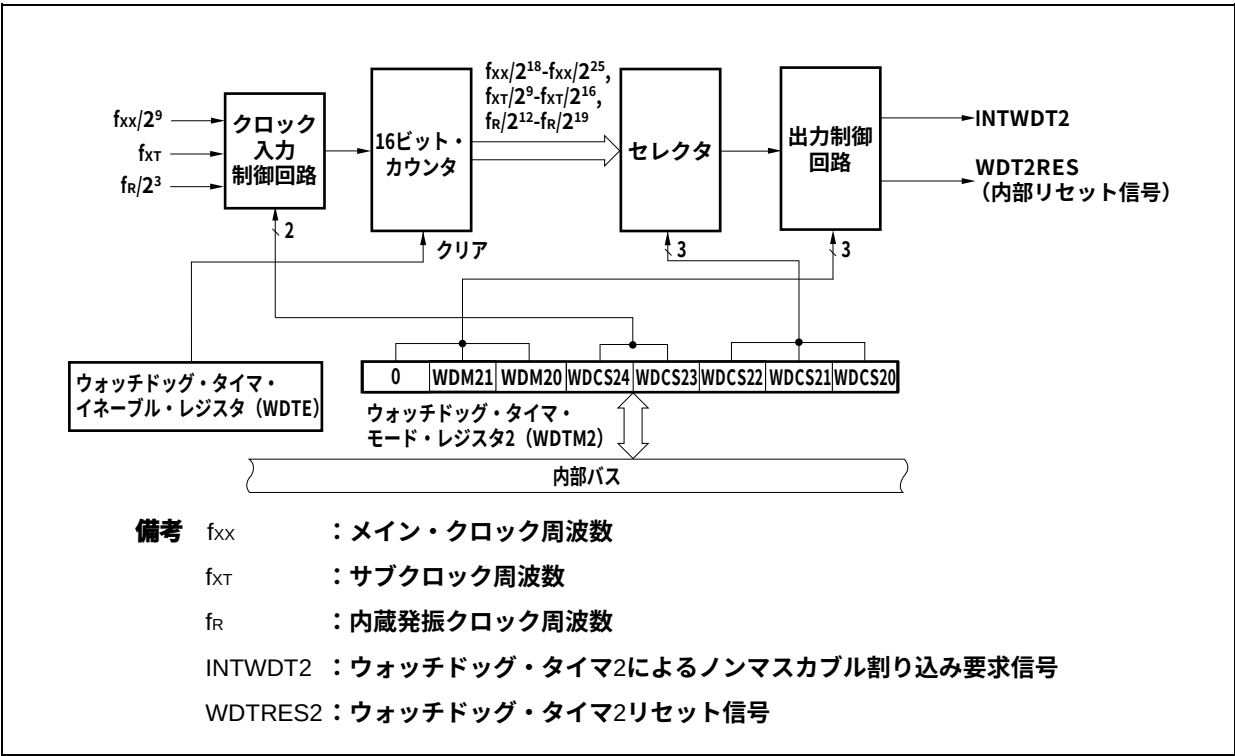
ウォッチドッグ・タイマ2は、次のハードウェアで構成されています。

表11-1 ウォッチドッグ・タイマ2の構成

項 目	構 成
制御レジスタ	ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)
	ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

次にウォッチドッグ・タイマ2のブロック図を示します。

図11-1 ウォッチドッグ・タイマ2のブロック図



11.3 レジスタ

(1) ウォッチドッグ・タイマ・モード・レジスタ2 (WDTM2)

ウォッチドッグ・タイマ2のオーバフロー時間および動作クロックを設定するレジスタです。

WDTM2は8ビット単位でリード／ライト可能です。ただし、リードは何回でもできますが、ライトはリセット解除後に1回のみできます。

リセットにより67Hになります。

注意 次に示す状態において、WDTM2レジスタへのアクセスは禁止です。ウエイトが発生した場合、解除する方法はリセットだけです。詳細は3.4.8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20

WDM21	WDM20	ウォッチドッグ・タイマ2の動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード (INTWDT2信号を発生)
1	—	リセット・モード (WDT2RES信号を発生)

- 注意1.** WDCS24-WDCS20ビットについては表11-2 ウォッチドッグ・タイマ2のクロック選択を参照してください。
- リセット後、WDTM2レジスタに2回書き込んだ場合、強制的にオーバフロー信号を発生し、カウンタをリセットします。
 - 意図的にオーバフロー信号を発生させたい場合は、WDTM2レジスタに2回書き込むか、WDTEレジスタに“ACH”以外の値を1回書き込んでください。
ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTM2レジスタに2回書き込む、またはWDTEレジスタに“ACH”以外の値を1回書き込んでもオーバフロー信号は発生しません。
 - ウォッチドッグ・タイマ2の動作を停止する場合は、RCM.RSTOPビット = 1に設定 (内蔵発振器の停止) するとともに、WDTM2レジスタに00Hを書き込んでください。
RCM.RSTOPビット = 1に設定できない場合は、WDCS23ビット = 1に設定してください ($2^n/f_{xx}$ が選択され、IDLE1, IDLE2, サブIDLE, サブクロック動作モードでクロックを停めることができます)。

表11-2 ウォッチドッグ・タイマ2の暴走検出時間間隔

	WDCS24	WDCS23	WDCS22	WDCS21	WDCS20	選択クロック	100 kHz (MIN.)	220 kHz (TYP.)	400 kHz (MAX.)
内蔵発振クロック	0	0	0	0	0	$2^{12}/f_R$	41.0 ms	18.6 ms	10.2 ms
	0	0	0	0	1	$2^{13}/f_R$	81.9 ms	37.2 ms	20.5 ms
	0	0	0	1	0	$2^{14}/f_R$	163.8 ms	74.5 ms	41.0 ms
	0	0	0	1	1	$2^{15}/f_R$	327.7 ms	148.9 ms	81.9 ms
	0	0	1	0	0	$2^{16}/f_R$	655.4 ms	297.9 ms	163.8 ms
	0	0	1	0	1	$2^{17}/f_R$	1310.7 ms	595.8 ms	327.7 ms
	0	0	1	1	0	$2^{18}/f_R$	2621.4 ms	1191.6 ms	655.4 ms
	0	0	1	1	1	$2^{19}/f_R$	5242.9 ms	2383.1 ms	1310.7 ms
メイン・クロック							$f_{XX} = 20 \text{ MHz時}$	$f_{XX} = 16 \text{ MHz時}$	$f_{XX} = 10 \text{ MHz時}$
	0	1	0	0	0	$2^{18}/f_{XX}$	13.1 ms	16.4 ms	26.2 ms
	0	1	0	0	1	$2^{19}/f_{XX}$	26.2 ms	32.8 ms	52.4 ms
	0	1	0	1	0	$2^{20}/f_{XX}$	52.4 ms	65.5 ms	104.9 ms
	0	1	0	1	1	$2^{21}/f_{XX}$	104.9 ms	131.1 ms	209.7 ms
	0	1	1	0	0	$2^{22}/f_{XX}$	209.7 ms	262.1 ms	419.4 ms
	0	1	1	0	1	$2^{23}/f_{XX}$	419.4 ms	524.3 ms	838.9 ms
	0	1	1	1	0	$2^{24}/f_{XX}$	838.9 ms	1048.6 ms	1677.7 ms
	0	1	1	1	1	$2^{25}/f_{XX}$	1677.7 ms	2097.2 ms	3355.4 ms
サブクロック							$f_{XT} = 32.768 \text{ kHz}$		
	1	×	0	0	0	$2^9/f_{XT}$	15.625 ms		
	1	×	0	0	1	$2^{10}/f_{XT}$	31.25 ms		
	1	×	0	1	0	$2^{11}/f_{XT}$	62.5 ms		
	1	×	0	1	1	$2^{12}/f_{XT}$	125 ms		
	1	×	1	0	0	$2^{13}/f_{XT}$	250 ms		
	1	×	1	0	1	$2^{14}/f_{XT}$	500 ms		
	1	×	1	1	0	$2^{15}/f_{XT}$	1000 ms		
	1	×	1	1	1	$2^{16}/f_{XT}$	2000 ms		

備考 x: 任意

(2) ウォッチドッグ・タイマ・イネーブル・レジスタ (WDTE)

WDTEレジスタに“ACH”を書き込むことにより、ウォッチドッグ・タイマ2のカウンタがクリアされ、再びカウントを開始します。

8ビット単位でリード／ライト可能です (WDTEレジスタに1ビット・メモリ操作命令を実行した場合、強制的にオーバフロー信号を発生します)。

リセットにより9AHになります。

リセット時：9AH R/W アドレス：FFFFFF6D1H

	7	6	5	4	3	2	1	0
WDTE								

注意1. WDTEレジスタに“ACH”以外の値を書き込んだ場合、強制的にオーバフロー信号を発生します。

2. 意図的にオーバフロー信号を発生させたい場合は、WDTEレジスタに“ACH”以外の値を1回書き込むか、WDTM2レジスタに2回書き込んでください。

ただし、ウォッチドッグ・タイマ2を動作停止に設定した場合は、WDTEレジスタに“ACH”以外の値を1回書き込む、またはWDTM2レジスタに2回書き込んでもオーバフロー信号は発生しません。

3. WDTEレジスタのリード値は、“9AH” (書き込んだ値 (“ACH”) とは異なる値) になります。

11.4 動作

ウォッチドッグ・タイマ2は、リセット解除後に自動的にリセット・モードでスタートします。

WDTM2レジスタへの書き込みは、バイト・アクセスのみリセット後に一度だけ可能です。ウォッチドッグ・タイマ2を使用する場合は、動作モードと暴走検出時間間隔を8ビット・メモリ操作でWDTM2レジスタに書き込んでください。この操作後、動作停止することはできません。

WDTM2.WDCS24-WDCS20ビットで、ウォッチドッグ・タイマ2の暴走検出時間間隔を選択できます。

WDTEレジスタにACHを書き込むことにより、ウォッチドッグ・タイマ2のカウンタがクリアされ、再度カウント動作を開始します。カウント動作を開始したあと、設定した暴走検出時間間隔内にWDTEレジスタにACHを書き込んでください。

WDTEレジスタにACHが書き込まれず、暴走検出時間間隔を越えてしまった場合は、WDTM2.WDM21, WDM20ビットの設定値により、リセット信号 (WDT2RES) またはノンマスカブル割り込み要求信号 (INTWDT2) が発生します。

WDTM2.WDM21ビット = 1 (リセット・モード) に設定している場合、リセットやスタンバイ解除後の発振安定時間中にWDTオーバフローが発生すると、内部リセットは発生せずに、CPUクロックが内蔵発振クロックに切り替わります。

ウォッチドッグ・タイマ2を使用しない場合は、WDTM2レジスタに00Hを書き込んでください。

また、ノンマスカブル割り込み要求モードに設定した場合、ノンマスカブル割り込み処理については19.2.2 (2) INTWDT2信号の場合を参照してください。

第12章 リアルタイム出力機能 (RTO)

12.1 機 能

リアルタイム出力バッファ・レジスタ (RTBL0, RTBH0) にあらかじめ設定したデータを、タイマ割り込みの発生と同時にハードウェアで出力ラッチに転送して、外部に出力することをリアルタイム出力機能 (RTO) といいます。また、外部へ出力する端子をリアルタイム出力ポートと呼びます。

RTOを使用することにより、ジッタのない信号を出力できますので、ステッピング・モータなどの制御に最適です。

V850ES/JC3-L, V850ES/JE3-Lでは、6ビット・リアルタイム出力ポートを1チャンネル搭載しています。

1ビット単位でポート・モード／リアルタイム出力ポート・モードの指定ができます。

12.2 構 成

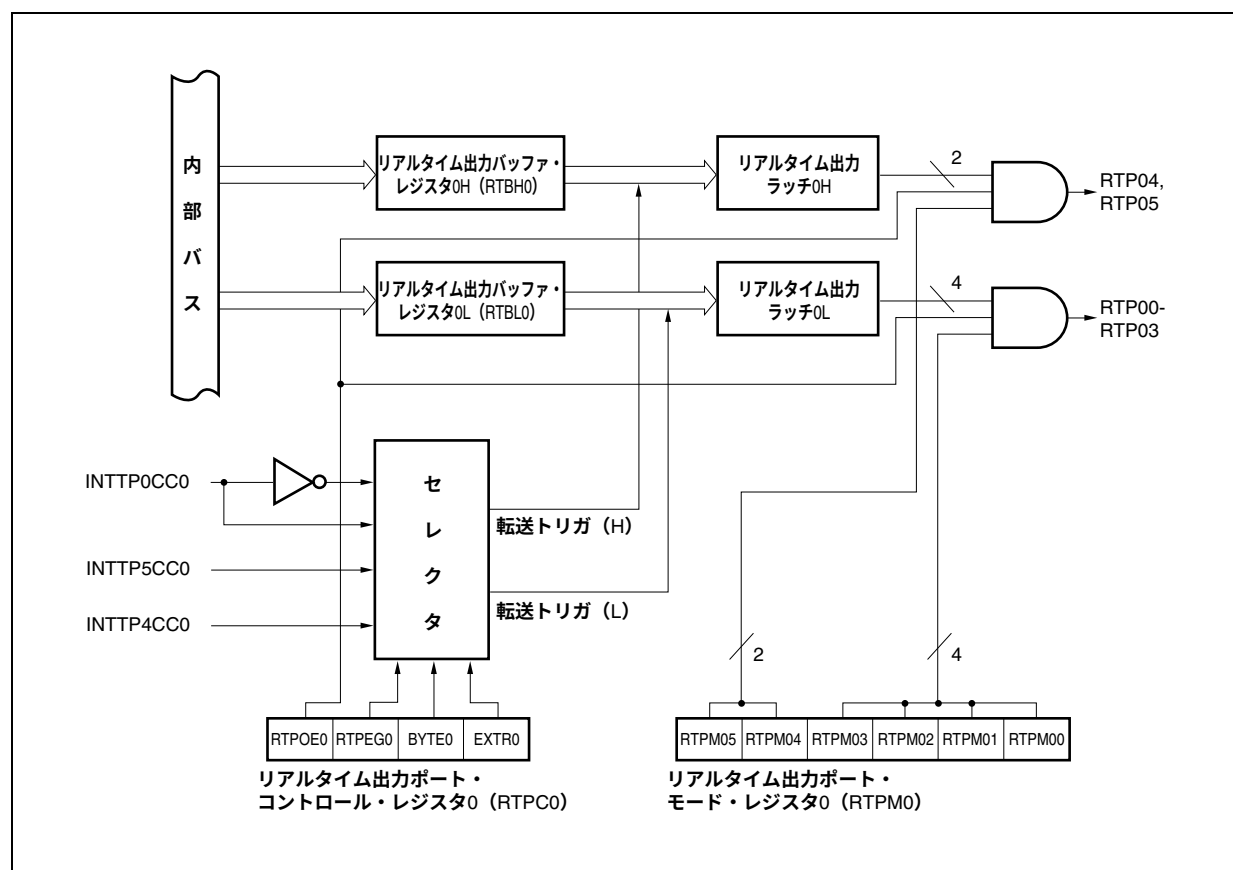
RTOは、次のハードウェアで構成しています。

表12-1 RTOの構成

項 目	構 成
レジスタ	リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)
	リアルタイム出力ラッチ0H, 0L
	リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
	リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

次にRTOのブロック図を示します。

図12-1 RTOのブロック図



(1) リアルタイム出力バッファ・レジスタ0L, 0H (RTBL0, RTBH0)

出力データをあらかじめ保持しておく4ビットのレジスタです。

RTBL0, RTBH0レジスタは、周辺I/Oレジスタ領域内でそれぞれ異なるアドレスにマッピングされています。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

4ビット×1チャンネル、2ビット×1チャンネルの動作モードを指定したとき (RTPC0.BYTE0ビット = 0) は、RTBL0, RTBH0レジスタはそれぞれ独立にデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

6ビット×1チャンネルの動作モードを指定したとき (BYTE0ビット = 1) は、RTBL0, RTBH0レジスタのどちらか一方に8ビット・データを書き込むことにより、RTBL0, RTBH0レジスタそれぞれにデータを設定できます。また、RTBL0, RTBH0レジスタのどちらのアドレスを指定しても両方のデータを一括して読み出せます。

表12-2にRTBL0, RTBH0レジスタに対する操作時の動作を示します。

リセット時：00H R/W アドレス：RTBL0 FFFFF6E0H, RTBH0 FFFFF6E2H	
	7 6 5 4 3 2 1 0 RTBL0 RTBL03 RTBL02 RTBL01 RTBL00 RTBH0 0 0 RTBH05 RTBH04
注意1. RTBH0レジスタのビット6, 7への書き込み時は、必ず“0”を設定してください。 2. 次に示す状態において、RTBL0, RTBH0レジスタへアクセスすると、ウェイトが発生します。ウェイトが発生した場合、解除する方法はリセットのみです。詳細は3.4.9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。 • CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合 • CPUが内蔵発振クロックで動作している場合	

表12-2 RTBL0, RTBH0レジスタに対する操作時の動作

動作モード	操作対象 レジスタ	リード時		ライト時 ^注	
		上位4ビット	下位4ビット	上位4ビット	下位4ビット
4ビット×1チャンネル, 2ビット×1チャンネル	RTBL0	RTBH0	RTBL0	無効	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	無効
6ビット×1チャンネル	RTBL0	RTBH0	RTBL0	RTBH0	RTBL0
	RTBH0	RTBH0	RTBL0	RTBH0	RTBL0

注 リアルタイム出力ポートに設定後、リアルタイム出力トリガが発生されるまでにRTBL0, RTBH0レジスタに出力データを設定してください。

12.3 レジスタ

RTOは、次の2種類のレジスタで制御します。

- ・リアルタイム出力ポート・モード・レジスタ0 (RTPM0)
- ・リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

注意 リアルタイム出力端子 (RTP00-RTP05) として使用するには、PMC、PFCレジスタでリアルタイム出力ポートに設定してください。

(1) リアルタイム出力ポート・モード・レジスタ0 (RTPM0)

RTPM0レジスタは、リアルタイム出力ポート・モードとポート・モードの選択を1ビット単位で許可するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF6E4H

	7	6	5	4	3	2	1	0
RTPM0	0	0	RTPM05	RTPM04	RTPM03	RTPM02	RTPM01	RTPM00

RTPM0m	リアルタイム出力ポートの制御 (m = 0-5)
0	リアルタイム出力禁止
1	リアルタイム出力許可

- 注意1.** リアルタイム出力動作を許可 (RTPC0.RTPOE0ビット = 1) することにより、RTP00-RTP05信号のうちリアルタイム出力許可されたビットはリアルタイム出力を行い、リアルタイム出力動作禁止に指定されたビットは“0”を出力します。
2. リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は、RTPM0レジスタの設定にかかわらず、リアルタイム出力端子 (RTP00-RTP05) は全ビット“0”を出力します。
3. RTPM0レジスタのビット6, 7への書き込み時は必ず“0”を設定してください。

(2) リアルタイム出力ポート・コントロール・レジスタ0 (RTPC0)

RTPC0レジスタは、リアルタイム出力ポートの動作モード、および出力トリガを設定するレジスタです。

リアルタイム出力ポートの動作モードと出力トリガについては表12-3に示すような関係があります。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF6E5H

	⑦	6	5	4	3	2	1	0
RTPC0	RTPOE0	RTPEG0	BYTE0	EXTR0	0	0	0	0

RTPOE0	リアルタイム出力の動作制御
0	動作禁止 ^{注1}
1	動作許可

RTPEG0	INTTP0CC0信号の有効エッジ
0	立ち下がりエッジ ^{注2}
1	立ち上がりエッジ

BYTE0	リアルタイム出力のチャンネル構成指定
0	4ビット×1チャンネル, 2ビット×1チャンネル
1	6ビット×1チャンネル

注1. リアルタイム出力動作禁止 (RTPOE0ビット = 0) の場合、リアルタイム出力端子 (RTP00-RTP05) は全ビット“0”を出力します。

2. INTTP0CC0信号は、バッファからラッチへの転送が1クロック分遅くなります。

注意 RTPEG0, BYTE0, EXTR0ビットの設定は、必ずRTPOE0ビット = 0のときに行ってください。

表12-3 リアルタイム出力ポートの動作モードと出力トリガ

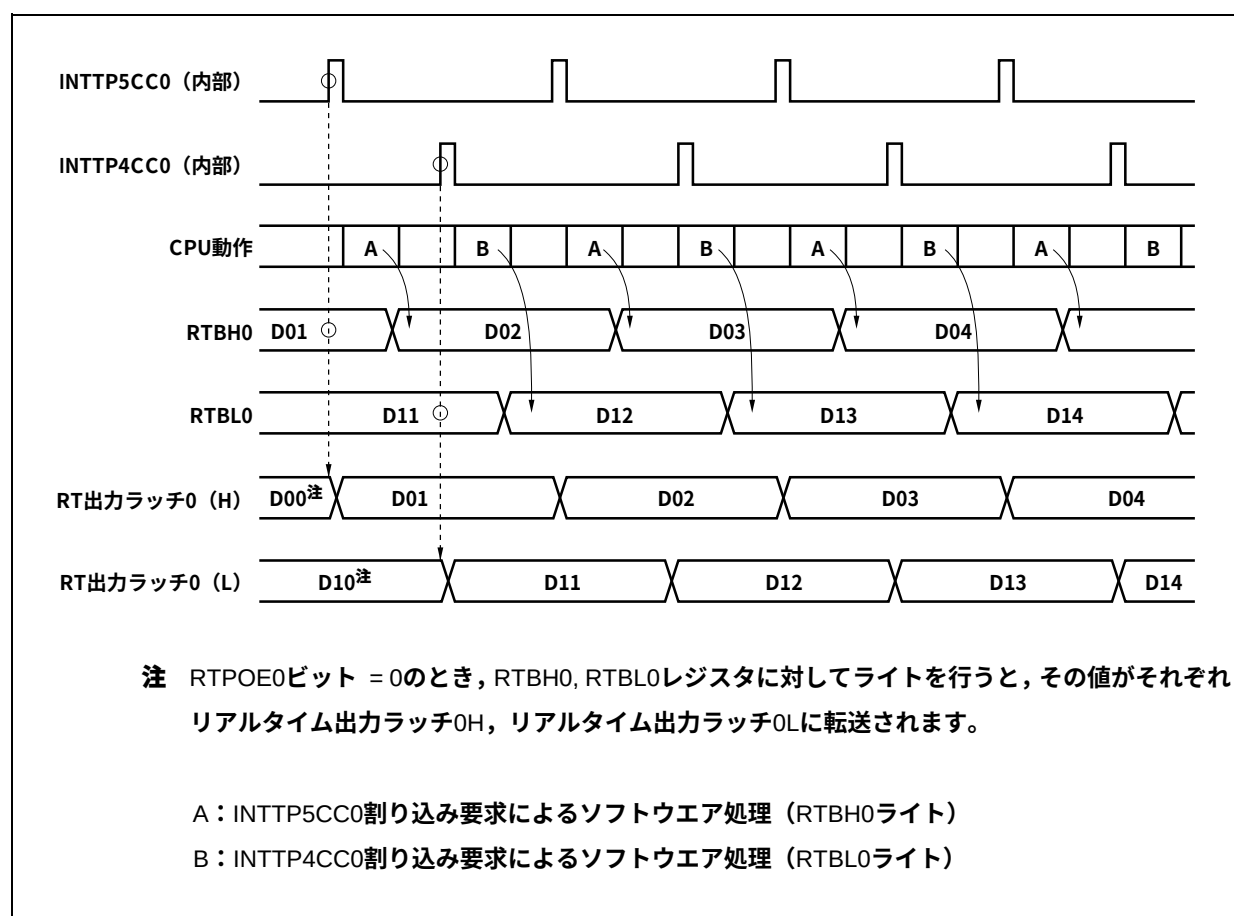
BYTE0	EXTR0	動作モード	RTBH0 (RTP04, RTP05)	RTBL0 (RTP00-RTP03)
0	0	4ビット×1チャンネル,	INTTP5CC0	INTTP4CC0
	1	2ビット×1チャンネル	INTTP4CC0	INTTP0CC0
1	0	6ビット×1チャンネル	INTTP4CC0	
	1		INTTP0CC0	

12.4 動作

RTPC0.RTPOE0ビット = 1でリアルタイム出力動作を許可した場合、選択された転送トリガ (RTPC0.EXTR0, BYTE0ビットで設定) の発生に同期して、RTBH0, RTBL0レジスタのデータをリアルタイム出力ラッチに転送します。転送されたデータのうちRTPM0レジスタの設定により、リアルタイム出力を許可されたビットのデータのみをRTP00-RTP05のそれぞれのビットから出力します。RTPM0レジスタでリアルタイム出力動作禁止に指定されたビットは0を出力します。

RTPOE0ビット = 0でリアルタイム出力動作を禁止した場合は、RTPM0レジスタの設定に関係なく RTP00-RTP05端子は0を出力します。

図12-2 RTO0の動作タイミング例 (EXTR0ビット = 0, BYTE0ビット = 0の場合)



備考 スタンバイ時の動作については、第21章 スタンバイ機能を参照してください。

12.5 使用方法

- (1) リアルタイム出力動作を禁止する。

RTPC0.RTPOE0ビット = 0に設定。

- (2) 初期設定

- ・ポート5の兼用端子を設定する。

PFC5.PFC5mビット, PFCE5.PFCE5mビットに1を設定後, PMC5.PMC5mビットに1を設定する (m = 0-5)。

- ・ビット単位でリアルタイム出力ポート・モード／ポート・モードを指定する。

RTPM0レジスタを設定。

- ・チャンネル構成, トリガおよび有効エッジを選択する。

RTPC0.EXTR0, BYTE0, RTPEG0ビットを設定。

- ・初期値をRTBH0, RTBL0レジスタに設定する^{注1}。

- (3) リアルタイム出力動作を許可する。

RTPOE0ビット = 1に設定。

- (4) 選択した転送トリガが発生するまでに, 次の出力値をRTBH0, RTBL0レジスタに設定する^{注2}。

- (5) 選択したトリガに対応する割り込み処理により, 順次, 次のリアルタイム出力値をRTBH0, RTBL0レジスタに設定する。

注1. RTPOE0ビット = 0のとき, RTBH0, RTBL0レジスタに対してライトを行うと, その値がそれぞれリアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lに転送されます。

2. RTPOE0ビット = 1のとき, RTBH0, RTBL0レジスタに対してライトを行っても, リアルタイム出力ラッチ0H, リアルタイム出力ラッチ0Lにデータ転送はされません。

注意 リアルタイム出力端子に反映するにはPMC5, PFC5レジスタでリアルタイム出力ポート (RTP00-RTP05) に設定してください。

12.6 注意事項

- (1) 選択されたリアルタイム出力トリガの割り込み処理内でRTBL0, RTBH0, RTPC0レジスタへの書き込みを行うなど、ソフトウェアにより、次の競合を回避してください。

- ・リアルタイム出力動作の禁止／許可の切り替え (RTPOE0ビット) と選択したリアルタイム出力トリガとの競合
- ・リアルタイム出力動作許可状態におけるRTBH0, RTBL0レジスタのライトと選択したリアルタイム出力トリガとの競合

- (2) 初期設定は、リアルタイム出力動作を禁止 (RTPOE0ビット = 0) にしてから行ってください。

- (3) 一度リアルタイム出力動作を禁止 (RTPOE0ビット = 0) した場合は、リアルタイム出力動作を許可 (RTPOE0ビット = 0→1) する前に、必ずRTBH0, RTBL0レジスタに初期値を設定してください。

第13章 A/Dコンバータ

13.1 概 要

A/Dコンバータは、アナログ入力をデジタル値に変換するコンバータで、10ビット分解能のコンバータです。

A/Dコンバータの搭載数を次に示します。

品名	V850ES/JC3-L (40ピン)	V850ES/JC3-L (48ピン)	V850ES/JE3-L
ANIチャンネル数 (m)	5 ch (m = 5)	6 ch (m = 6)	10 ch (m = 10)
ANI本数 (n)	ANI0-ANI4 (n = 0-4)	ANI0-ANI5 (n = 0-5)	ANI0-ANI9 (n = 0-9)

この章では、ANIチャンネル数をm、ANI本数（アナログ入力機能端子）をnと省略して表記してあります。

次にA/Dコンバータの特徴について示します。

- 10ビット分解能
- 逐次比較変換方式
- 動作電圧： $AV_{REF0} = 2.7 \sim 3.6 \text{ V}$
- アナログ入力電圧： $0 \text{ V} \sim AV_{REF0}$
- 動作モードとして、次の機能があります。
 - ・連続セレクト・モード
 - ・連続スキャン・モード
 - ・ワンショット・セレクト・モード
 - ・ワンショット・スキャン・モード
- トリガ・モードとして、次の機能があります。
 - ・ソフトウェア・トリガ・モード
 - ・外部トリガ・モード（外部1本）
 - ・タイマ・トリガ・モード
- 変換時間
 - $2.6 \sim 24 \mu\text{s} @ 3.0 \text{ V} \leq AV_{REF0} \leq 3.6 \text{ V}$
 - $3.9 \sim 24 \mu\text{s} @ 2.7 \text{ V} \leq AV_{REF0} < 3.0 \text{ V}$
- パワー・フェイル監視機能（変換結果比較機能）

13.2 機 能

(1) 10ビット分解能A/D変換

ANInから選択した1チャンネルのアナログ入力に対して、10ビット分解能のA/D変換動作を繰り返します。
A/D変換を1回終了するたびに、割り込み要求信号（INTAD）を発生します。

(2) パワー・フェイル検出

A/D変換結果（ADA0CRnHレジスタ値）とADA0PFTレジスタの値との大小比較を行い、ADA0PFMレジスタで設定した比較条件に合致した場合のみINTAD信号を発生します。バッテリー電圧低下を検出するための機能です。

13.3 構 成

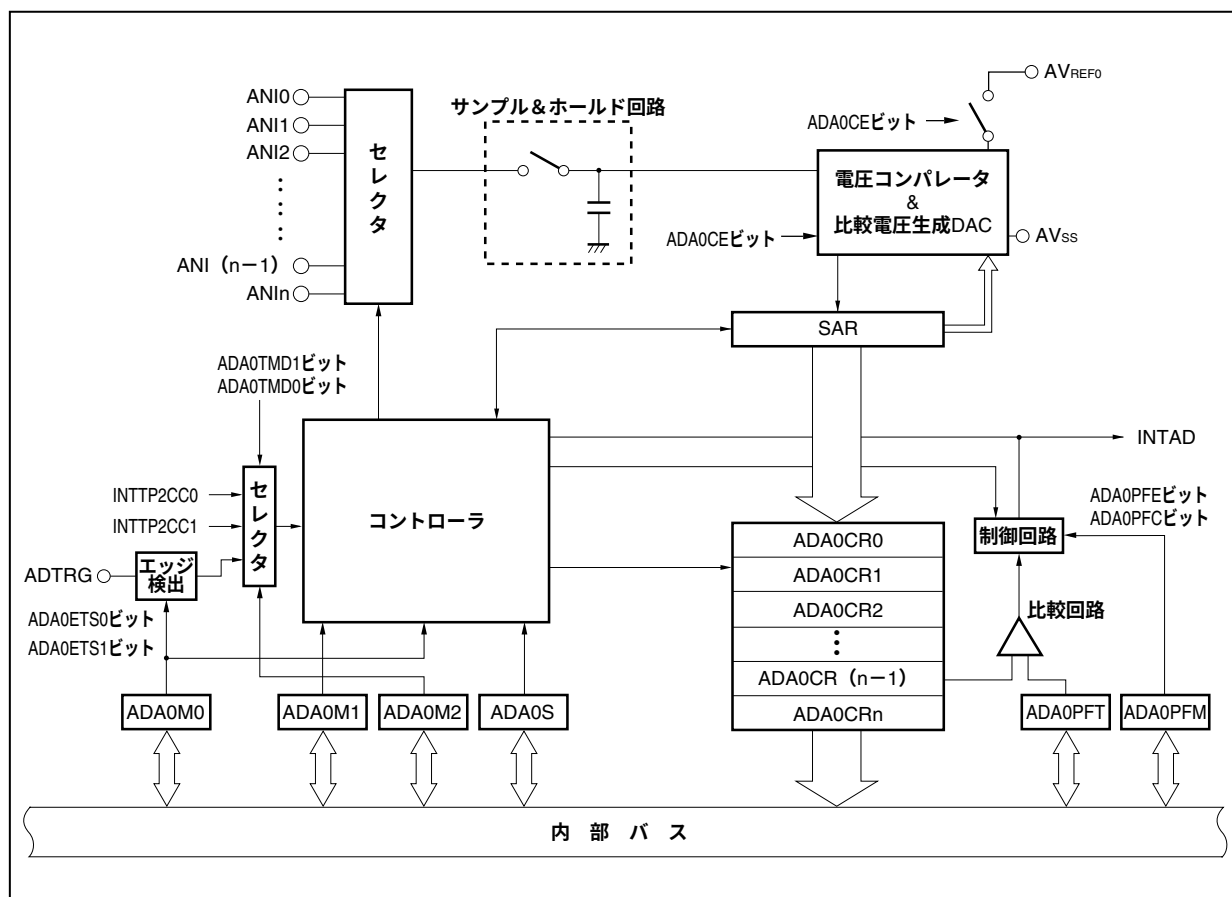
A/Dコンバータは、次のハードウェアで構成しています。

表13-1 A/Dコンバータの構成

項 目	構 成
アナログ入力	mチャンネル（ANIn端子）
レジスタ	逐次変換レジスタ（SAR） A/D変換結果レジスタn（ADA0CR0-ADA0CR11） A/D変換結果レジスタnH（ADCRnH）：上位8ビットだけ読み出し可能 A/Dコンバータ・モード・レジスタ0-2（ADA0M0-ADA0M2） A/Dコンバータ・チャンネル指定レジスタ0（ADA0S） パワー・フェイル比較モード・レジスタ（ADA0PFM） パワー・フェイル比較しきい値レジスタ（ADA0PFT）

次にブロック図を示します。

図13-1 A/Dコンバータのブロック図



(1) ANIn端子

A/D コンバータへのmチャンネルのアナログ入力端子です。A/D変換したいアナログ信号を入力します。ADA0Sレジスタでアナログ入力として選択した端子以外は、入出力ポートとして使用できます。

注意 ANIn端子入力電圧は規格の範囲内で使用してください。特に AV_{REF0} 以上の電圧が入力されると、そのチャンネルの変換値が不定となり、またほかのチャンネルの変換値にも影響を与えることがあります。

(2) サンプル&ホールド回路

サンプル&ホールド回路は、入力回路で選択されたアナログ入力信号をサンプリングし、電圧コンパレータに送ります。また、そのサンプリングしたアナログ入力電圧値をA/D変換中は保持します。

(3) 比較電圧生成DAC

比較電圧生成DACは AV_{REF0} - AV_{SS} 間に接続されており、サンプリングされ保持された値と比較する電圧を生成します。

(4) 電圧コンパレータ

電圧コンパレータは、サンプリングされ保持された電圧値と比較電圧生成DACの出力電圧を比較します。

(5) 逐次変換レジスタ (SAR)

サンプリングされたアナログ入力の電圧値と比較電圧生成DACの出力電圧（比較電圧）の値を比較し、その結果を最上位ビット（MSB）から1ビットずつ逐次保持するレジスタです。

最下位ビット（LSB）まで保持すると（A/D変換終了）、SARレジスタの内容はADA0CRnレジスタに転送されます。

(6) 10ビットA/D変換結果レジスタn (ADA0CRn)

ADA0CRnレジスタはA/D変換の結果を格納する16ビットのレジスタです。m本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位10ビットに格納します（下位6ビットは0に固定）。

(7) A/D変換結果レジスタnH (ADA0CRnH)

ADA0CRnHレジスタはA/D変換の結果を格納する8ビットのレジスタです。m本のレジスタで構成されており、A/D変換結果はアナログ入力に対応したADA0CRnレジスタの上位8ビットが読み出されます。

(8) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行うレジスタです。

(9) A/Dコンバータ・モード・レジスタ1 (ADA0M1)

アナログ入力をA/D変換する変換時間を設定するレジスタです。

(10) A/D コンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定するレジスタです。

(11) A/D コンバータ・チャネル指定レジスタ (ADA0S)

A/D変換したいアナログ電圧の入力（端子）を設定するレジスタです。

(12) パワー・フェイル比較モード・レジスタ (ADA0PFM)

パワー・フェイル監視動作を制御するレジスタです。

(13) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

A/D変換結果レジスタ_{nH} (ADA0CR_{nH}) と大小比較する場合のしきい値を設定するレジスタです。

ADA0PFTレジスタに設定した8ビット・データとA/D変換結果レジスタの上位8ビット (ADA0CR_{nH}) が比較されます。

(14) 制御回路

A/D変換が終了するか、パワー・フェイル検出機能使用時、A/D変換結果 (ADA0CR_{nH}レジスタ値) と ADA0PFTレジスタの値との大小比較を行い、比較条件に合致した場合のみINTAD信号を発生します。

(15) AV_{REF0}端子

A/Dコンバータの基準電圧を入力する端子です。A/Dコンバータを使用しないときでも、常にV_{DD}端子と同電位で使用してください。

AV_{REF0}, AV_{SS}間にかかる電圧に基づいて、AN_{In}端子に入力される信号をデジタル信号に変換します。

(16) AV_{SS}端子

A/Dコンバータのグランド電位端子です。A/Dコンバータを使用しないときでも、常にV_{SS}端子と同電位で使用してください。

13. 4 レジスタ

A/Dコンバータは、次に示すレジスタで制御します。

- A/Dコンバータ・モード・レジスタ0, 1, 2 (ADA0M0, ADA0M1, ADA0M2)
- A/Dコンバータ・チャンネル指定レジスタ0 (ADA0S)
- パワー・フェイル比較モード・レジスタ (ADA0PFM)

また、次のレジスタも使用します。

- A/D変換結果レジスタ_n (ADA0CR_n)
- A/D変換結果レジスタ_{nH} (ADA0CR_{nH})
- パワー・フェイル比較しきい値レジスタ (ADA0PFT)

(1) A/Dコンバータ・モード・レジスタ0 (ADA0M0)

動作モードの指定および変換動作の制御を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、ADA0EFビットはリードのみ可能です。

リセットにより、00Hになります。

注意 次に示す状態において、ADA0M0レジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

(1/2)

リセット時：00H R/W アドレス：FFFFFF200H

	⑦	6	5	4	3	2	1	①
ADA0M0	ADA0CE	0	ADA0MD1	ADA0MD0	ADA0ETS1	ADA0ETS0	ADA0TMD	ADA0EF

ADA0CE	A/D変換動作の制御	
0	A/D変換動作停止	
1	A/D変換動作許可	

ADA0MD1	ADA0MD0	A/Dコンバータ動作モードの制御
0	0	連続セレクト・モード
0	1	連続スキャン・モード
1	0	ワンショット・セレクト・モード
1	1	ワンショット・スキャン・モード

ADA0ETS1	ADA0ETS0	外部トリガ（ADTRG端子）入力の有効エッジを指定
0	0	エッジ検出なし
0	1	立ち下がりエッジ検出
1	0	立ち上がりエッジ検出
1	1	立ち上がり／立ち下がり両エッジ検出

ADA0TMD	トリガ・モードの選択
0	ソフトウェア・トリガ・モード
1	外部トリガ・モード／タイマ・トリガ・モード

ADA0EF	A/Dコンバータの状態を提示
0	A/D変換停止中
1	A/D変換動作中

注意1. ビット0に書き込みを行った場合、書き込みは無視されます。

- A/D変換動作許可中（ADA0CEビット = 1）は、ADA0M1.ADA0FR2-ADA0FR0ビットの変更は禁止です。
- 次のモードでは、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みはA/D変換動作停止（ADA0CEビット = 0）の状態で行い、そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

- ・通常変換モード

- ・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

また、そのほかのモードでA/D変換動作中（ADA0EFビット = 1）にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合には各モードにより次のようになります。

- ・ソフトウェア・トリガ・モード時

A/D変換動作は中断され、再度、最初から変換動作を行います。

- ・ハードウェア・トリガ・モード時

A/D変換動作は中断され、再度、トリガ待機状態になります。

- 外部トリガ・モード／タイマ・トリガ・モードを選択する場合（ADA0TMDビット = 1）は、高速変換モード（ADA0M1.ADA0HS1ビット = 1）に設定してください。また、A/D変換動作許可（ADA0CEビット = 1）したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。
- A/Dコンバータを使用しない場合は、消費電力を小さくするために、ADA0CEビット = 0として動作を停止させてください。

(2) A/Dコンバータ・モード・レジスタ¹ (ADA0M1)

変換時間の指定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF201H

	7	6	5	4	3	2	1	0
ADA0M1	ADA0HS1	0	0	0	0	ADA0FR2	ADA0FR1	ADA0FR0

ADA0HS1	A/D変換時間の通常変換モード／高速変換モードの選択
0	通常変換モード
1	高速変換モード

注意1. A/D変換動作許可中 (ADA0M0.ADA0CEビット = 1) は、ADA0M1レジスタの変更は禁止です。

2. 外部トリガ・モード／タイマ・トリガ・モードを選択する場合 (ADA0M0.ADA0TMDビット = 1) は、高速変換モード (ADA0HS1ビット = 1) に設定してください。また、A/D変換動作許可 (ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

3. ビット6-3には必ず“0”を設定してください。

備考 A/D変換時間の設定例は表13-2，表13-3を参照してください。

次に各クロックにおける変換時間の例を示します。

表13-2 通常変換モード時の変換時間の選択 (ADA0HS1ビット = 0)

ADA0 FR2	ADA0 FR1	ADA0 FR0	A/D変換時間						トリガ 応答時間
			安定時間+変換時間+ウェイト時間	$f_{\text{CK}} = 20 \text{ MHz}$	$f_{\text{CK}} = 16 \text{ MHz}$	$f_{\text{CK}} = 12 \text{ MHz}$	$f_{\text{CK}} = 10 \text{ MHz}$	$f_{\text{CK}} = 4 \text{ MHz}$	
0	0	0	$66/f_{\text{CK}} (13/f_{\text{CK}} + 26/f_{\text{CK}} + 27/f_{\text{CK}})$	設定禁止	設定禁止	設定禁止	$6.6 \mu\text{s}^{\text{注}}$	$16.5 \mu\text{s}$	$3/f_{\text{CK}}$
0	0	1	$131/f_{\text{CK}} (26/f_{\text{CK}} + 52/f_{\text{CK}} + 53/f_{\text{CK}})$	$6.55 \mu\text{s}^{\text{注}}$	$8.19 \mu\text{s}^{\text{注}}$	$10.92 \mu\text{s}$	$13.1 \mu\text{s}$	設定禁止	$3/f_{\text{CK}}$
0	1	0	$196/f_{\text{CK}} (39/f_{\text{CK}} + 78/f_{\text{CK}} + 79/f_{\text{CK}})$	$9.8 \mu\text{s}$	$12.25 \mu\text{s}$	$16.33 \mu\text{s}$	$19.6 \mu\text{s}$	設定禁止	$3/f_{\text{CK}}$
0	1	1	$259/f_{\text{CK}} (50/f_{\text{CK}} + 104/f_{\text{CK}} + 105/f_{\text{CK}})$	$12.95 \mu\text{s}$	$16.19 \mu\text{s}$	$21.58 \mu\text{s}$	設定禁止	設定禁止	$3/f_{\text{CK}}$
1	0	0	$311/f_{\text{CK}} (50/f_{\text{CK}} + 130/f_{\text{CK}} + 131/f_{\text{CK}})$	$15.55 \mu\text{s}$	$19.44 \mu\text{s}$	設定禁止	設定禁止	設定禁止	$3/f_{\text{CK}}$
1	0	1	$363/f_{\text{CK}} (50/f_{\text{CK}} + 156/f_{\text{CK}} + 157/f_{\text{CK}})$	$18.15 \mu\text{s}$	$22.69 \mu\text{s}$	設定禁止	設定禁止	設定禁止	$3/f_{\text{CK}}$
1	1	0	$415/f_{\text{CK}} (50/f_{\text{CK}} + 182/f_{\text{CK}} + 183/f_{\text{CK}})$	$20.75 \mu\text{s}$	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{\text{CK}}$
1	1	1	$467/f_{\text{CK}} (50/f_{\text{CK}} + 208/f_{\text{CK}} + 209/f_{\text{CK}})$	$23.35 \mu\text{s}$	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{\text{CK}}$
上記以外			設定禁止						

注 2.7 V $\leq$ AV_{REF0} < 3.0 Vの場合は、設定禁止。

- 備考1. 安定時間 : A/Dコンバータのセットアップ時間 (1 μs 以上)
 変換時間 : 実際にA/D変換にかかる時間 (2.6~10.4 μs)
 ウェイト時間 : 次の変換までに挿入されるウェイト時間
 トリガ応答時間 : ソフトウェア・トリガ、外部トリガ、またはタイマ・トリガが安定時間経過後に発生した場合、変換時間の前に挿入されます。
2. 動作タイミングについては、13.5.2 変換動作タイミングを参照してください。

通常変換モードでは、ADA0M0.ADA0CEビットをセット (1) してから、安定時間後に変換を開始し、変換時間 (2.6~10.4 μs) の間だけA/D変換動作を行います。変換終了後、動作を停止し、ウェイト時間が経過してからA/D変換終了割り込み要求信号 (INTAD) が発生します。

ウェイト時間中は変換動作を停止しているため、動作電流を低減することができます。

- 注意1. 3.0 V $\leq$ AV_{REF0} $\leq$ 3.6 Vのときは、2.6 μs $\leq$ 変換時間 $\leq$ 10.4 μs になるように設定してください。
 2.7 V $\leq$ AV_{REF0} < 3.0 Vのときは、3.9 μs $\leq$ 変換時間 $\leq$ 10.4 μs になるように設定してください。
2. A/D変換中に、ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが、安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合、または安定時間終了タイミングとトリガの入力が競合した場合は、安定時間が64クロック再挿入されます。
- また、再挿入の安定時間終了タイミングと再び競合すると、再度、安定時間が挿入されますので、トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

表13-3 高速変換モード時の変換時間の選択 (ADA0HS1ビット = 1)

ADA0 FR2	ADA0 FR1	ADA0 FR0	A/D変換時間						トリガ 応答時間
			変換時間 (+安定時間)	$f_{xx} = 20 \text{ MHz}$	$f_{xx} = 16 \text{ MHz}$	$f_{xx} = 12 \text{ MHz}$	$f_{xx} = 10 \text{ MHz}$	$f_{xx} = 4 \text{ MHz}$	
0	0	0	$26/f_{xx} (+13/f_{xx})$	設定禁止	設定禁止	設定禁止	$2.6 \mu\text{s}^{\text{注}}$ (+1.3 μs)	$6.5 \mu\text{s}$ (+3.25 μs)	$3/f_{xx}$
0	0	1	$52/f_{xx} (+26/f_{xx})$	$2.6 \mu\text{s}^{\text{注}}$ (+1.3 μs)	$3.25 \mu\text{s}^{\text{注}}$ (+1.625 μs)	$4.333 \mu\text{s}$ (+2.167 μs)	$5.2 \mu\text{s}$ (+2.6 μs)	設定禁止	$3/f_{xx}$
0	1	0	$78/f_{xx} (+39/f_{xx})$	$3.9 \mu\text{s}$ (+1.95 μs)	$4.875 \mu\text{s}$ (+2.438 μs)	$6.5 \mu\text{s}$ (+3.25 μs)	$7.8 \mu\text{s}$ (+3.9 μs)	設定禁止	$3/f_{xx}$
0	1	1	$104/f_{xx} (+50/f_{xx})$	$5.2 \mu\text{s}$ (+2.5 μs)	$6.5 \mu\text{s}$ (+3.125 μs)	$8.667 \mu\text{s}$ (+4.167 μs)	$10.4 \mu\text{s}$ (+5 μs)	設定禁止	$3/f_{xx}$
1	0	0	$130/f_{xx} (+50/f_{xx})$	$6.5 \mu\text{s}$ (+2.5 μs)	$8.125 \mu\text{s}$ (+3.125 μs)	設定禁止	設定禁止	設定禁止	$3/f_{xx}$
1	0	1	$156/f_{xx} (+50/f_{xx})$	$7.8 \mu\text{s}$ (+2.5 μs)	$9.75 \mu\text{s}$ (+3.125 μs)	設定禁止	設定禁止	設定禁止	$3/f_{xx}$
1	1	0	$182/f_{xx} (+50/f_{xx})$	$9.1 \mu\text{s}$ (+2.5 μs)	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{xx}$
1	1	1	$208/f_{xx} (+50/f_{xx})$	$10.4 \mu\text{s}$ (+2.5 μs)	設定禁止	設定禁止	設定禁止	設定禁止	$3/f_{xx}$
上記以外			設定禁止						

注 $2.7 \text{ V} \leq \text{AV}_{\text{REF0}} < 3.0 \text{ V}$ の場合は、設定禁止。

備考1. 変換時間 : 実際にA/D変換にかかる時間 (2.6~10.4 μs)

安定時間 : A/Dコンバータのセットアップ時間 (1 μs 以上)

トリガ応答時間: ソフトウェア・トリガ, 外部トリガ, またはタイマ・トリガが安定時間経過後に発生した場合, 変換時間の前に挿入されます。

2. 動作タイミングについては, 13. 5. 2 変換動作タイミングを参照してください。

高速変換モードでは, ADA0M0.ADA0CEビットをセット (1) してから, 安定時間後に変換を開始し, 変換時間 (2.6~10.4 μs) の間A/D変換動作を行います。変換終了後, ただちにA/D変換終了割り込み要求信号 (INTAD) が発生します。

連続変換モードの場合, 1回目の変換前だけに安定時間が挿入され, 2回目以降は安定時間が挿入されません (A/Dコンバータは起動したままです)。

注意1. $3.0 \text{ V} \leq \text{AV}_{\text{REF0}} \leq 3.6 \text{ V}$ のときは, $2.6 \mu\text{s} \leq \text{変換時間} \leq 10.4 \mu\text{s}$ になるように設定してください。

$2.7 \text{ V} \leq \text{AV}_{\text{REF0}} < 3.0 \text{ V}$ のときは, $3.9 \mu\text{s} \leq \text{変換時間} \leq 10.4 \mu\text{s}$ になるように設定してください。

2. 高速モードでは, 安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタの書き換え, およびトリガ入力を禁止します。

(3) A/Dコンバータ・モード・レジスタ2 (ADA0M2)

ハードウェア・トリガのモードを指定します。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFF203H

	7	6	5	4	3	2	1	0
ADA0M2	0	0	0	0	0	0	ADA0TMD1	ADA0TMD0

ADA0TMD1	ADA0TMD0	ハードウェア・トリガ・モードの指定
0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
0	1	タイマ・トリガ・モード0 (INTTP2CC0割り込み要求発生時)
1	0	タイマ・トリガ・モード1 (INTTP2CC1割り込み要求発生時)
1	1	設定禁止

注意1. 次のモードでは、ADA0M2レジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。

・通常変換モード

・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

2. ビット7-2には必ず“0”を設定してください。

(4) A/Dコンバータ・チャネル指定レジスタ0 (ADA0S)

A/D変換するアナログ電圧の入力ポートを指定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF202H

	7	6	5	4	3	2	1	0
ADA0S	0	0	0	0	ADA0S3	ADA0S2	ADA0S1	ADA0S0

ADA0S3	ADA0S2	ADA0S1	ADA0S0	セレクト・モード	スキャン・モード
0	0	0	0	ANI0	ANI0
0	0	0	1	ANI1	ANI0-ANI1
0	0	1	0	ANI2	ANI0-ANI2
0	0	1	1	ANI3	ANI0-ANI3
0	1	0	0	ANI4	ANI0-ANI4
0	1	0	1	ANI5 ^{注1}	ANI0-ANI5 ^{注1}
0	1	1	0	ANI6 ^{注2}	ANI0-ANI6 ^{注2}
0	1	1	1	ANI7 ^{注2}	ANI0-ANI7 ^{注2}
1	0	0	0	ANI8 ^{注2}	ANI0-ANI8 ^{注2}
1	0	0	1	ANI9 ^{注2}	ANI0-ANI9 ^{注2}
1	0	1	0	設定禁止	設定禁止
1	0	1	1	設定禁止	設定禁止
1	1	0	0	設定禁止	設定禁止
1	1	0	1	設定禁止	設定禁止
1	1	1	0	設定禁止	設定禁止
1	1	1	1	設定禁止	設定禁止

注1. V850ES/JC3-L (48ピン) , V850ES/JE3-Lのみ

2. V850ES/JE3-Lのみ

注意1. 次のモードでは、ADA0Sレジスタへの書き込みはA/D変換動作停止

(ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可

(ADA0CEビット = 1) してください。

・通常変換モード

・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

2. ビット7-4には必ず“0”を設定してください。

(5) A/D変換結果レジスタ_n, nH (ADA0CR_n, ADA0CR_nH)

ADA0CR_n, ADA0CR_nHレジスタは、A/D変換結果を格納するレジスタです。

16/8ビット単位でリードのみ可能です。ただし、16ビット・アクセス時はADA0CR_nレジスタを指定、8ビット・アクセス時はADA0CR_nHレジスタを指定します。ADA0CR_nレジスタは上位10ビットに変換結果の10ビットが読み出され、下位6ビットには0が読み出されます。ADA0CR_nHレジスタには変換結果の上位8ビットが読み出されます。

注意 次に示す状態において、ADA0CR_n, ADA0CR_nHレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットだけです。詳細は3. 4. 9 (1) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合

リセット時：不定 R アドレス：ADA0CR0 FFFFFFF210H, ADA0CR1 FFFFFFF212H,
ADA0CR2 FFFFFFF214H, ADA0CR3 FFFFFFF216H,
ADA0CR4 FFFFFFF218H, ADA0CR5 FFFFFFF21AH,
ADA0CR6 FFFFFFF21CH, ADA0CR7 FFFFFFF21EH,
ADA0CR8 FFFFFFF220H, ADA0CR9 FFFFFFF222H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADA0CR _n	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2	AD1	AD0	0	0	0	0	0	0

リセット時：不定 R アドレス：ADA0CR0H FFFFFFF211H, ADA0CR1H FFFFFFF213H,
ADA0CR2H FFFFFFF215H, ADA0CR3H FFFFFFF217H,
ADA0CR4H FFFFFFF219H, ADA0CR5H FFFFFFF21BH,
ADA0CR6H FFFFFFF21DH, ADA0CR7H FFFFFFF21FH,
ADA0CR8H FFFFFFF221H, ADA0CR9H FFFFFFF223H

	7	6	5	4	3	2	1	0
ADA0CR _n H	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2

注意 ADA0M0, ADA0Sレジスタに対して書き込み動作を行ったとき、ADA0CR_nレジスタの内容は不定になることがあります。変換結果は、変換動作終了後、ADA0M0, ADA0Sレジスタに対して書き込み動作を行う前に読み出してください。上記以外のタイミングでは、正しい変換結果が読み出されないことがあります。

アナログ入力端子 (ANIn) に入力されたアナログ入力電圧とA/D変換結果 (ADA0CRnレジスタ) には次式に示す関係があります。

$$SAR = \text{INT} \left(\frac{V_{IN}}{AV_{REF0}} \times 1024 + 0.5 \right)$$

$$ADA0CR^{\#} = SAR \times 64$$

または,

$$(SAR - 0.5) \times \frac{AV_{REF0}}{1024} \leq V_{IN} < (SAR + 0.5) \times \frac{AV_{REF0}}{1024}$$

INT () : () 内の値の整数部を返す関数

V_{IN} : アナログ入力電圧

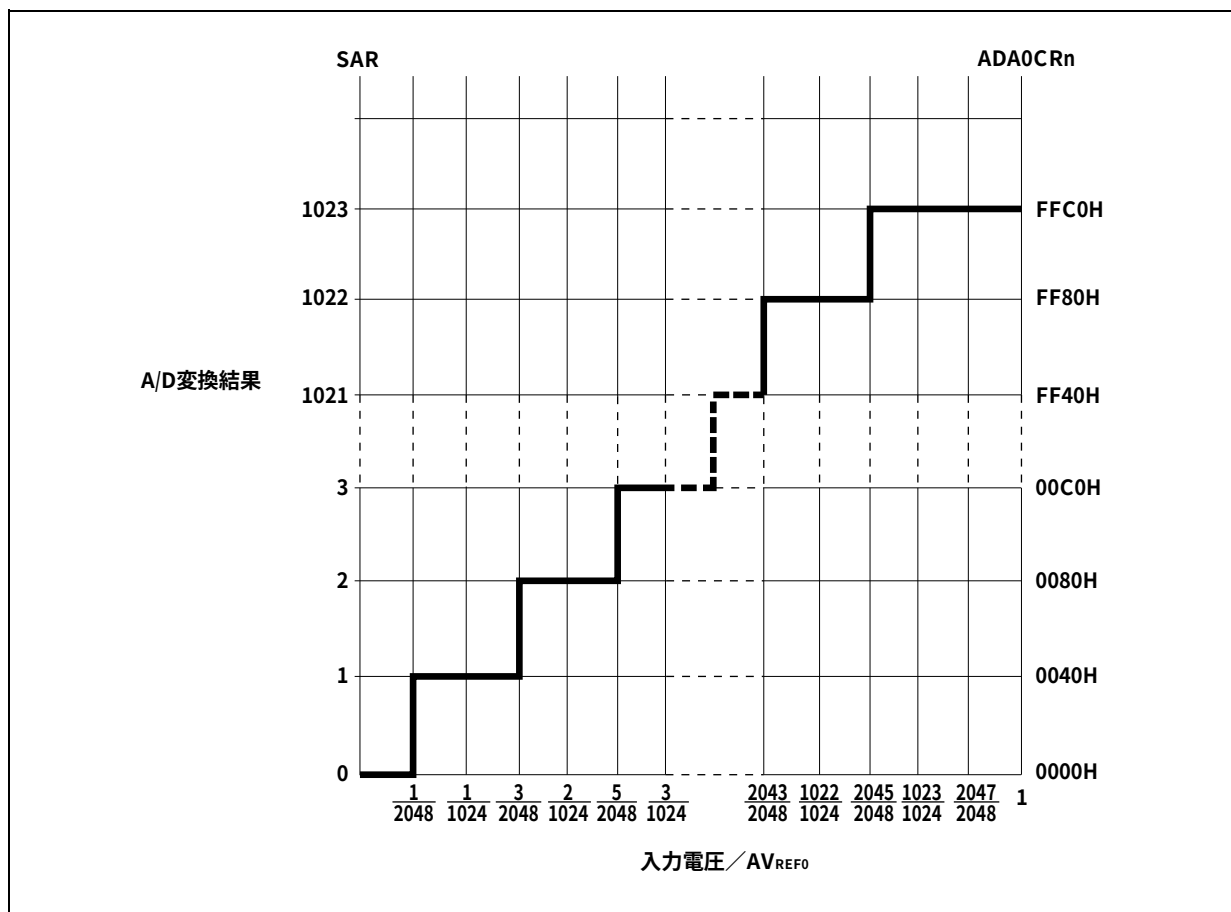
AV_{REF0} : AV_{REF0} 端子電圧

ADA0CR : ADA0CRnレジスタの値

注 ADA0CRnレジスタの下位6ビットは0固定です。

次にアナログ入力電圧とA/D変換結果の関係を示します。

図13-2 アナログ入力電圧とA/D変換結果の関係



(6) パワー・フェイル比較モード・レジスタ (ADA0PFM)

ADA0PFMレジスタは、パワー・フェイル比較モードの設定を行う8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF204H

	⑦	6	5	4	3	2	1	0
ADA0PFM	ADA0PFE	ADA0PFC	0	0	0	0	0	0

ADA0PFE	パワー・フェイル比較許可／禁止の選択
0	パワー・フェイル比較禁止
1	パワー・フェイル比較許可

ADA0PFC	パワー・フェイル比較モードの選択
0	ADA0CRnH $\geq$ ADA0PFTで割り込み要求信号 (INTAD) を発生
1	ADA0CRnH<ADA0PFTで割り込み要求信号 (INTAD) を発生

- 注意1. セレクト・モードではADA0PFTレジスタに設定した8ビット・データとADA0Sレジスタで指定したチャンネルの変換結果を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CRnレジスタに変換結果を格納しINTAD信号が発生しますが、一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。
2. スキャン・モードではADA0PFTレジスタに設定した8ビット・データとチャンネル0の変換結果を比較し、結果がADA0PFCビットで設定された条件に一致した場合はADA0CR0レジスタに変換結果を格納しINTAD信号を発生させますが、一致しない場合は、ADA0CR0レジスタに変換結果を格納しますが、INTAD信号を発生させません。また比較結果にかかわらず、比較後はスキャン動作を継続しスキャン終了までADA0CRnレジスタに変換結果は格納しますが、スキャン終了後のINTAD信号は発生しません。
3. 次のモードでは、ADA0PFMレジスタへの書き込みはA/D変換動作停止 (ADA0M0.ADA0CEビット = 0) の状態で行い、そのあとでA/D変換動作許可 (ADA0CEビット = 1) してください。
- ・通常変換モード
 - ・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

(7) パワー・フェイル比較しきい値レジスタ (ADA0PFT)

ADA0PFTレジスタは、パワー・フェイル比較モード時の比較値を設定するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより、00Hになります。

リセット時：00H R/W アドレス：FFFFFF205H

	7	6	5	4	3	2	1	0
ADA0PFT								

注意 次のモードでは、ADA0PFTレジスタへの書き込みはA/D変換動作停止（ADA0M0.ADA0CEビット = 0）の状態で行い、そのあとでA/D変換動作許可（ADA0CEビット = 1）してください。

- ・通常変換モード
- ・高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード

13.5 動作

13.5.1 基本動作

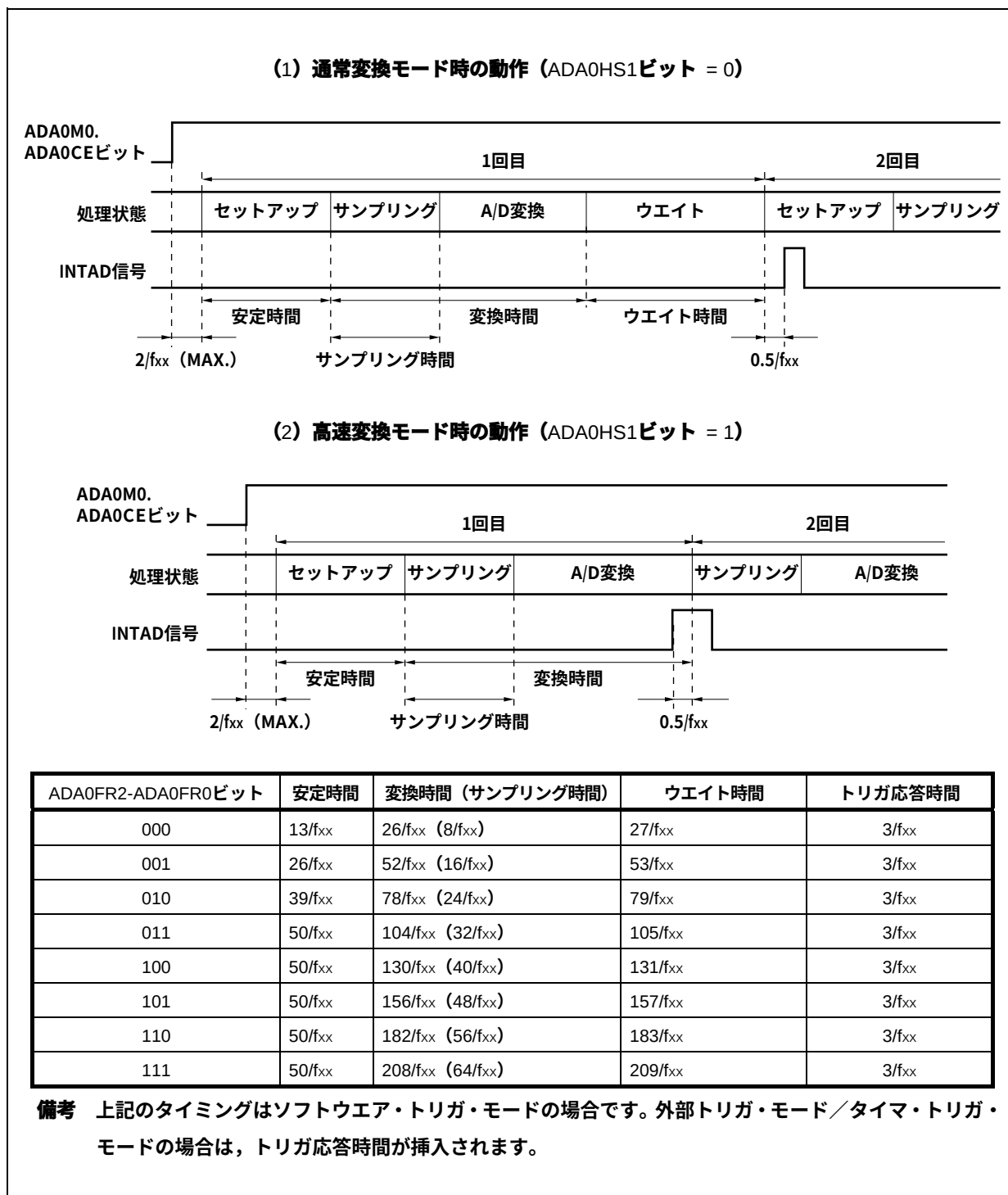
- ① A/D変換する動作モード、トリガ・モード、変換時間などをADA0M0, ADA0M1, ADA0M2, ADA0Sレジスタで設定します。ADA0M0レジスタのADA0CEビットをセットすると、ソフトウェア・トリガ・モード時は変換を開始し、外部／タイマ・トリガ・モード時はトリガ待機状態になります。
- ② A/D変換が開始されると選択されたアナログ入力チャネルに入力されている電圧を、サンプル&ホールド回路でサンプリングします。
- ③ 一定時間サンプリングを行うとサンプル&ホールド回路はホールド状態となり、入力されたアナログ電圧をA/D変換が終了するまで保持します。
- ④ 逐次変換レジスタ (SAR) のビット9をセットし、タップ・セレクトは比較電圧生成DACを (1/2) AV_{REF0} にします。
- ⑤ 比較電圧生成DACとアナログ入力との電圧差を電圧コンパレータで比較します。もし、アナログ入力 (1/2) AV_{REF0} よりも大きければ、SARレジスタのMSBをセット (1) したままです。また、(1/2) AV_{REF0} よりも小さければMSBをリセットします。
- ⑥ 次にSARレジスタのビット8が自動的にセットされ、次の比較に移ります。ここではすでに結果がセットされているビット9の値によって、次に示すように比較電圧生成DACが選択されます。
 - ・ビット9 = 1 : (3/4) AV_{REF0}
 - ・ビット9 = 0 : (1/4) AV_{REF0}
 この比較電圧とアナログ入力電圧を比較し、その結果でSARレジスタのビット8を次のように操作します。
 アナログ入力電圧 $\geq$ 比較電圧 : ビット8 = 1
 アナログ入力電圧 $\leq$ 比較電圧 : ビット8 = 0
- ⑦ このような比較をSARレジスタのビット0まで続けます。
- ⑧ 10ビットの比較が終了したとき、SARレジスタには有効なデジタルの結果が残り、その値がADA0CRnレジスタに転送され格納されます。そのあと、次の条件でA/D変換終了割り込み要求信号 (INTAD) を発生します。
 - ・連続／ワンショット・セレクト・モード : 1回目のA/D変換の終了後
 - ・連続／ワンショット・スキャン・モード : ADA0Sレジスタで指定したアナログ入力端子まで順にA/D変換をしたあと
- ⑨ ワンショット・セレクト・モードの場合は、変換を停止します[※]。ワンショット・スキャン・モードの場合は、スキャンを一巡すると停止します[※]。連続セレクト・モードの場合はADA0M0.ADA0CEビット = 0とするまで②～⑧を繰り返します。連続スキャン・モードの場合もそれぞれのチャネルに対して②～⑧を繰り返します。

注 外部トリガ・モード、タイマ・トリガ・モード0、タイマ・トリガ・モード1時はトリガ待機状態になります。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

13.5.2 変換動作タイミング

図13-3 変換動作タイミング (連続変換)



13.5.3 トリガ・モード

トリガ・モードの設定により、変換動作の開始タイミングの指定を行います。トリガ・モードにはソフトウェア・トリガ・モード、ハードウェア・トリガ・モードがあり、ハードウェア・トリガ・モードでは、タイマ・トリガ・モード0, 1, 外部トリガ・モードの3つがあります。トリガ・モードの設定はADA0M0.ADA0TMDビットで行い、さらにハードウェア・トリガ・モードの設定はADA0M2.ADA0TMD1, ADA0TMD0ビットで行います。

表13-4 トリガ・モード一覧

ADA0M0レジスタ	ADA0M2レジスタ		トリガ・モード
ADA0TMDビット	ADA0TMD1ビット	ADA0TMD0ビット	
0	—	—	ソフトウェア・トリガ・モード
1	0	0	外部トリガ・モード (ADTRG端子の有効エッジ検出時)
	0	1	タイマ・トリガ・モード0 (INTTP2CC0割り込み要求発生時)
	1	0	タイマ・トリガ・モード1 (INTTP2CC1割り込み要求発生時)
	1	1	設定禁止

(1) ソフトウェア・トリガ・モード

ADA0M0.ADA0CEビットを“1”に設定すると、ADA0Sレジスタで指定したアナログ入力 (ANIn端子) に対し、変換動作を開始します。変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、A/D変換終了割り込み要求信号 (INTAD) を発生します。

ADA0M0.ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト／スキャン・モードであれば、変換終了後はADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。動作モードがワンショット・セレクト／スキャン・モードであれば、1回で変換を終了します。

変換が開始されると、ADA0M0.ADA0EFビット = 1 (動作中) となります。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度最初から変換を行います。ただし、通常変換モード時、高速変換モードのワンショット・セレクト・モード／ワンショット・スキャン・モード時の書き込みは禁止です。

(2) 外部トリガ・モード

外部トリガ (ADTRG端子) の入力により、ADA0Sレジスタで指定したアナログ入力 (ANIn端子) に対し、変換動作を開始するモードです。ADA0M0.ADA0ETS1, ADA0ETS0ビットの設定により、外部トリガのエッジ検出 (立ち上がり, 立ち下がり, 立ち上がり／立ち下がりの両エッジ) の指定ができます。ADA0CEビットをセット (1) 設定するとトリガ待機状態となり、外部トリガが入力された後に変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト／連続スキャン／ワンショット・セレクト／ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1 (動作中) となります。ただし、トリガ待機状態のときはADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度トリガ待機状態になります。ただし、ワンショット・セレクト・モード／ワンショット・スキャン・モード時の書き込みは禁止です。

注意 外部トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

(3) タイマ・トリガ・モード

タイマに接続されたキャプチャ／コンペア・レジスタのコンペアー一致割り込み要求信号 (INTTP2CC0, INTTP2CC1) により、ADA0Sレジスタで指定したアナログ入力 (ANIn端子) に対し、変換動作を開始するモードです。ADA0TMD1, ADA0TMD0ビットの設定により、INTTP2CC0, INTTP2CC1信号のいずれかを指定し、指定されたコンペアー一致割り込み要求信号の立ち上がりエッジで変換を開始します。ADA0CEビットをセット (1) するとトリガ待機状態となり、タイマのコンペアー一致割り込み要求信号が入力されたあとに変換を開始します。

ADA0MD1, ADA0MD0ビットで設定される動作モードが、連続セレクト／連続スキャン／ワンショット・セレクト／ワンショット・スキャン・モードにかかわらず、変換を終了すると、変換結果をADA0CRnレジスタに格納し、同時に、INTAD信号を発生し、再びトリガ待機状態になります。

変換が開始されると、ADA0EFビット = 1 (動作中) となります。ただし、トリガ待機状態の時はADA0EFビット = 0 (停止中) となります。変換動作中に有効なトリガが入力されると、変換は中断され、再度最初から変換を行います。

変換動作中にADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに書き込みを行った場合、変換は中断され、再度、トリガ待機状態になります。ただし、ワンショット・セレクト・モード／ワンショット・スキャン・モード時の書き込みは禁止です。

注意 タイマ・トリガ・モードを選択する場合は、高速変換モードに設定してください。また、A/D変換動作許可 (ADA0M0.ADA0CEビット = 1) したあとに一度だけ挿入される安定時間中にトリガを入力しないでください。

備考 トリガ待機状態とは、安定時間経過後の状態を示します。

13.5.4 動作モード

動作モードには、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4つがあります。

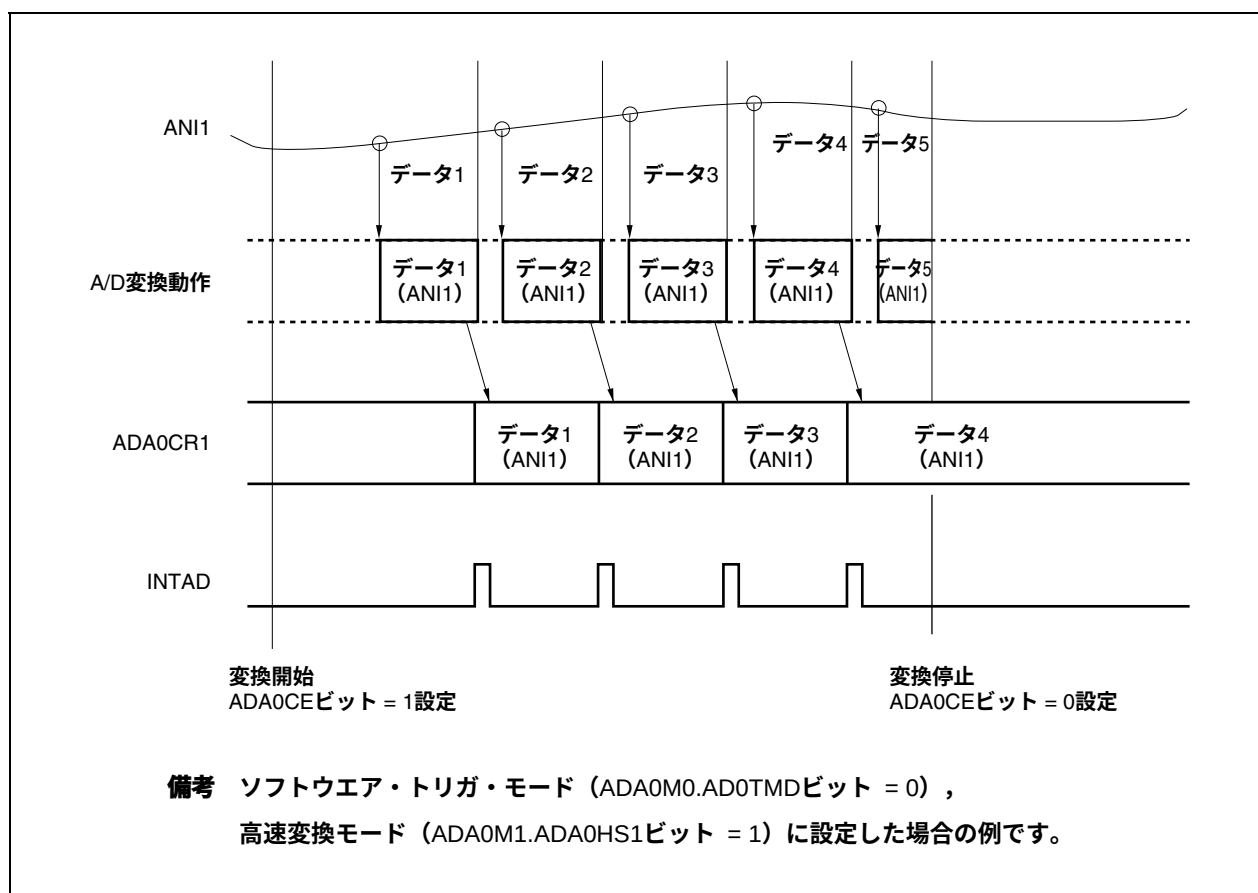
動作モードはADA0M0.ADA0MD1, ADA0MD0ビットで設定します。

(1) 連続セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子の電圧を連続してA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。1回のA/D変換終了ごとにA/D変換終了割り込み要求信号（INTAD）が発生します。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。

図13-4 連続セレクト・モード動作タイミング例（ADA0Sレジスタ = 01H）



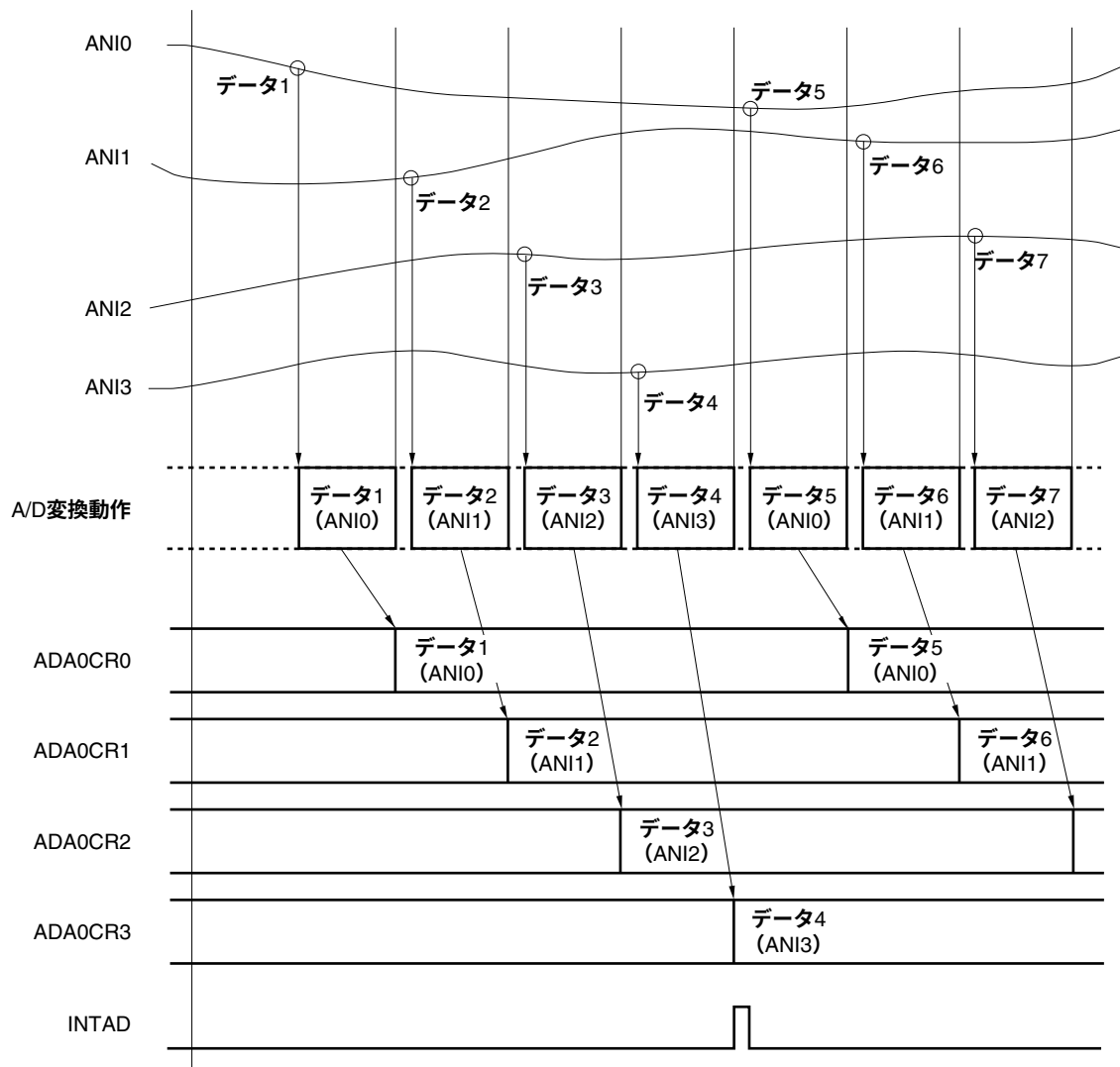
(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換を連続で行います。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、ADA0CEビットを“0”にしないかぎり、再びANI0端子からA/D変換を開始します。

図13-5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H) (1/2)

(a) タイミング例

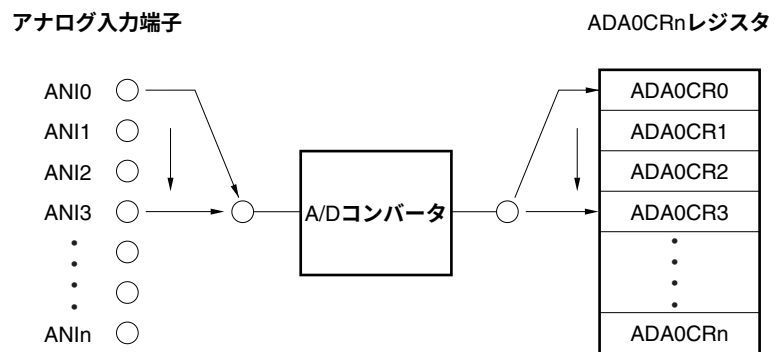


変換開始
ADA0CEビット = 1設定

備考 ソフトウェア・トリガ・モード (ADA0M0.AD0TMDビット = 0) ,
高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定した場合の例です。

図13-5 連続スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H) (2/2)

(b) アナログ入力端子と変換結果レジスタの関係

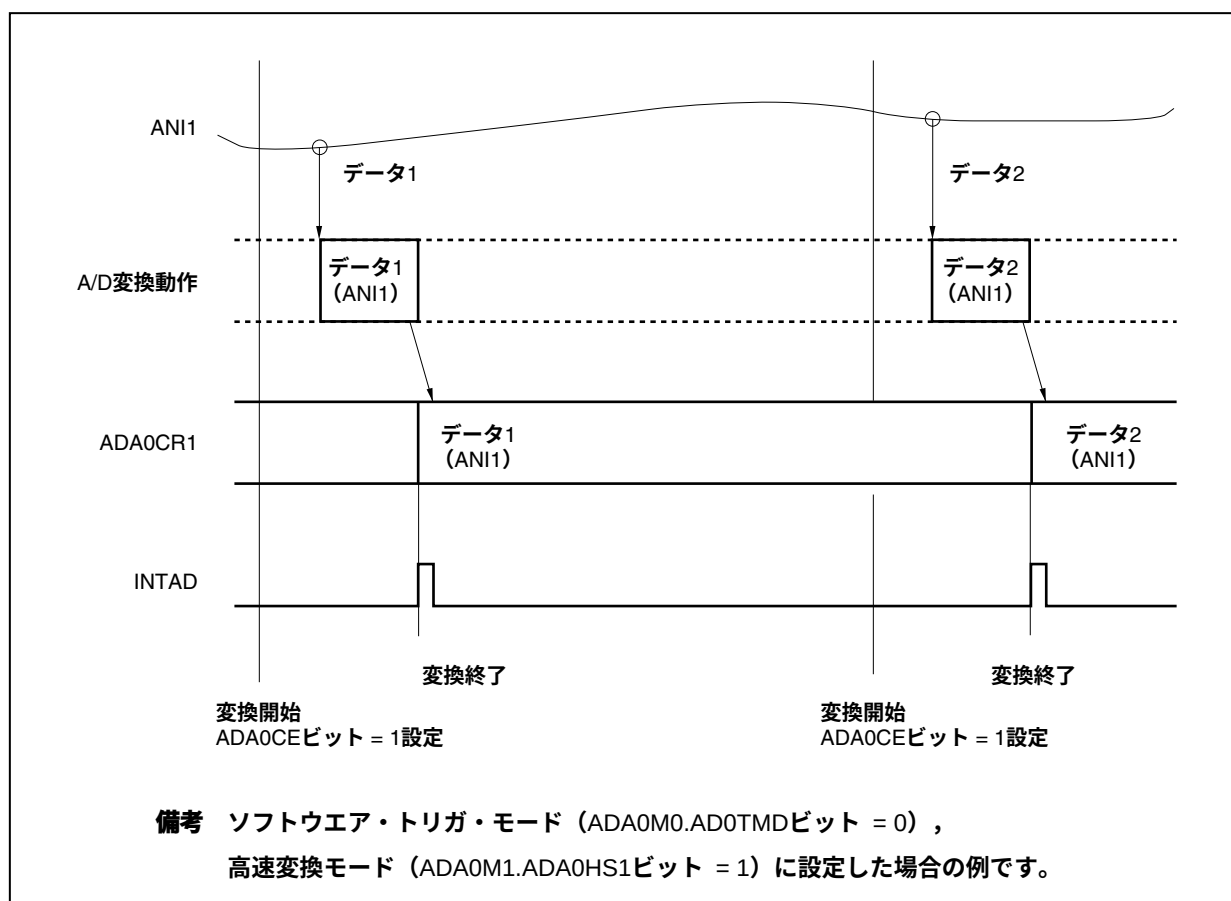


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定される1つのアナログ入力端子を1回のみA/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。このモードではアナログ入力端子とADA0CRnレジスタは1対1に対応しており、1回のA/D変換終了後、INTAD信号が発生します。A/D変換終了後はA/D変換動作を停止します。

図13-6 ワンショット・セレクト・モード動作タイミング例 (ADA0Sレジスタ = 01H)



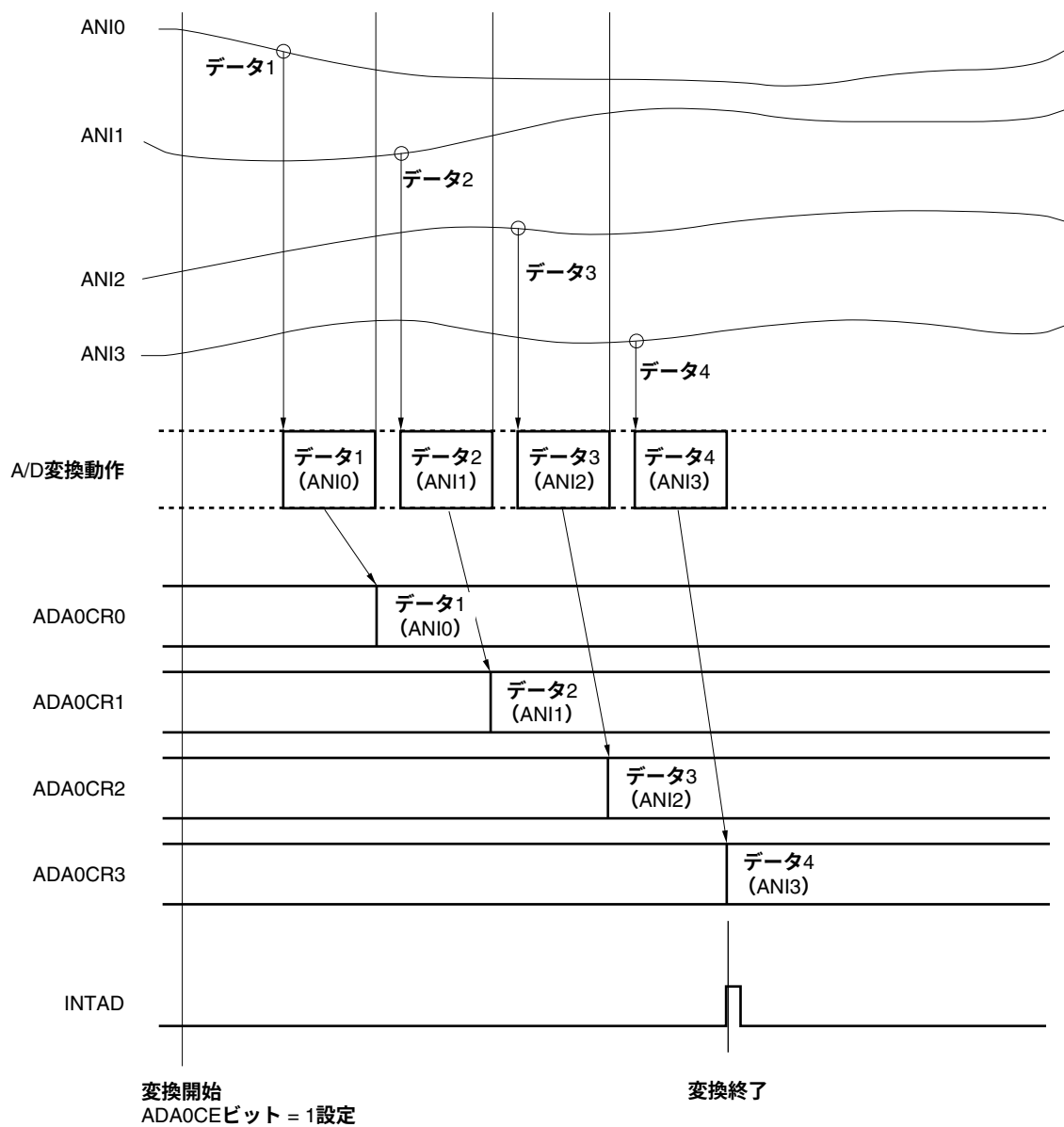
(4) ワンショット・スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択し、A/D変換します。

変換結果はアナログ入力端子に対応したADA0CRnレジスタに格納されます。ADA0Sレジスタで指定したアナログ入力端子の変換を終了すると、INTAD信号が発生し、A/D変換終了後はA/D変換動作を停止します。

図13-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H) (1/2)

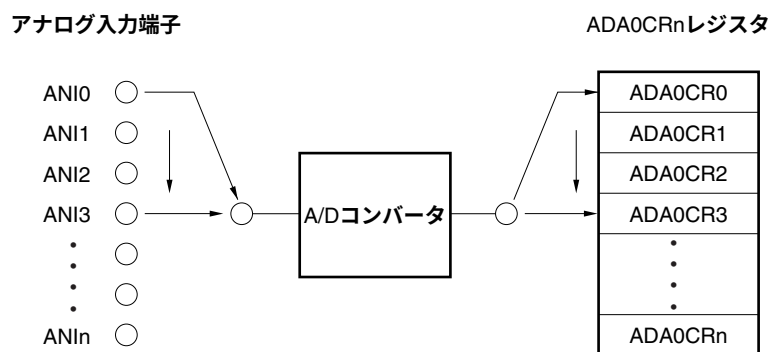
(a) タイミング例



備考 ソフトウェア・トリガ・モード (ADA0M0.AD0TMDビット = 0) ,
高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定した場合の例です。

図13-7 ワンショット・スキャン・モード動作タイミング例 (ADA0Sレジスタ = 03H) (2/2)

(b) アナログ入力端子と変換結果レジスタの関係



13. 5. 5 パワー・フェイル比較モード

入力したアナログ信号の電圧が指定された電圧以上か未満かを判定して、条件に一致すればA/D変換終了割り込み要求信号（INTAD）を発生させます。

- ADA0PFM.ADA0PFEビット = 0の場合、変換終了ごとに、次のタイミングでINTAD信号が発生します（通常のA/Dコンバータとして使用）。
 - ・連続／ワンショット・セレクト・モード : 1回目のA/D変換の終了後
 - ・連続／ワンショット・スキャン・モード : ADA0Sレジスタで指定したアナログ入力端子まで順にA/D変換をしたあと
- ADA0PFEビット = 1かつADA0PFM.ADA0PFCビット = 0の場合、変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し、 $ADA0CRnH \geq ADA0PFT$ の場合のみ、INTAD信号を発生します。
- ADA0PFEビット = 1かつADA0PFCビット = 1の場合、変換終了タイミングでADA0CRnHレジスタとADA0PFTレジスタの値を比較し、 $ADA0CRnH < ADA0PFT$ の場合のみ、INTAD信号を発生します。

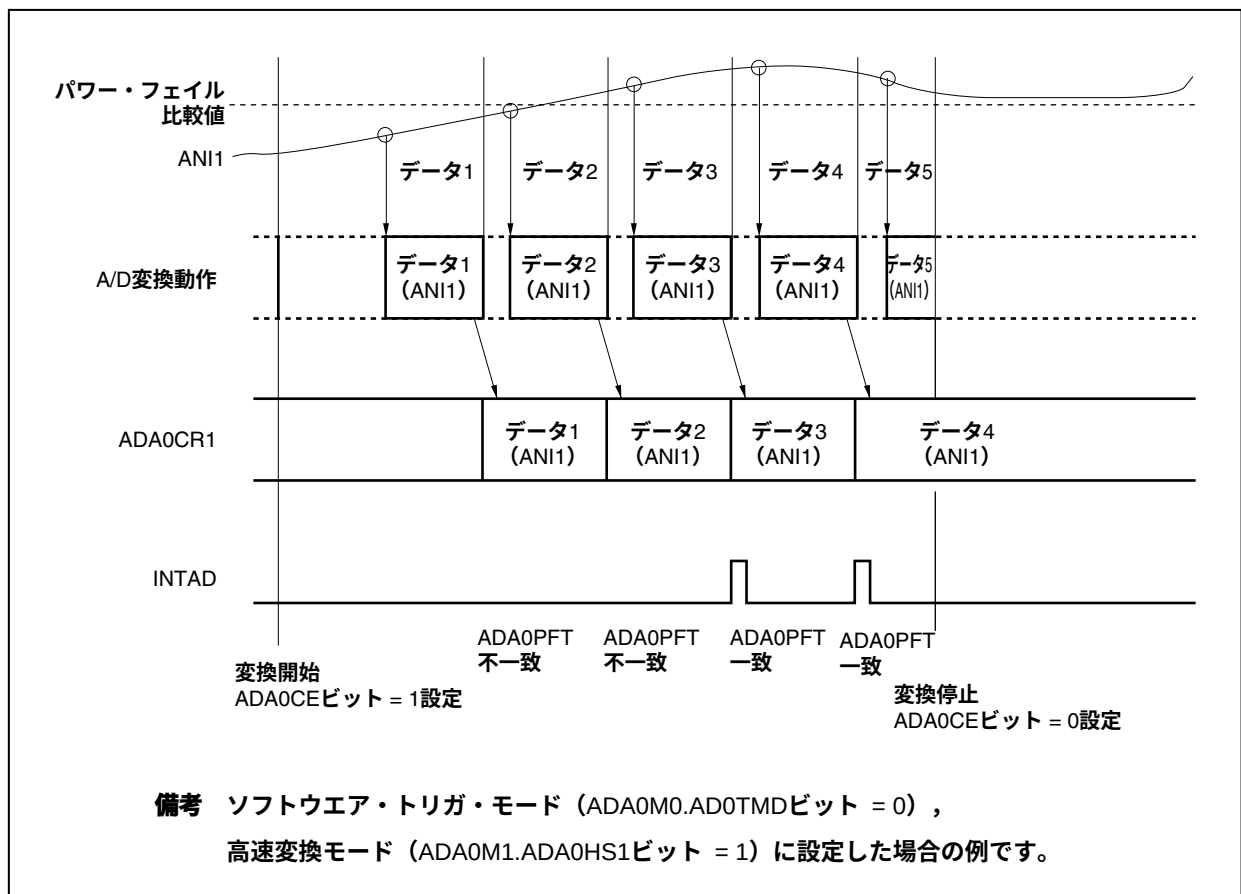
パワー・フェイル比較モードにも、連続セレクト・モード、連続スキャン・モード、ワンショット・セレクト・モード、ワンショット・スキャン・モードの4つがあります。

(1) 連続セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子電圧の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後はADA0M0.ADA0CEビットを“0”にしないかぎり、次の変換を繰り返し行います。

図13-8 連続セレクト・モード動作タイミング例

(パワー・フェイル比較時 (ADA0PFM.ADA0PFCビット = 0) : ADA0Sレジスタ = 01H)



(2) 連続スキャン・モード

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納します。

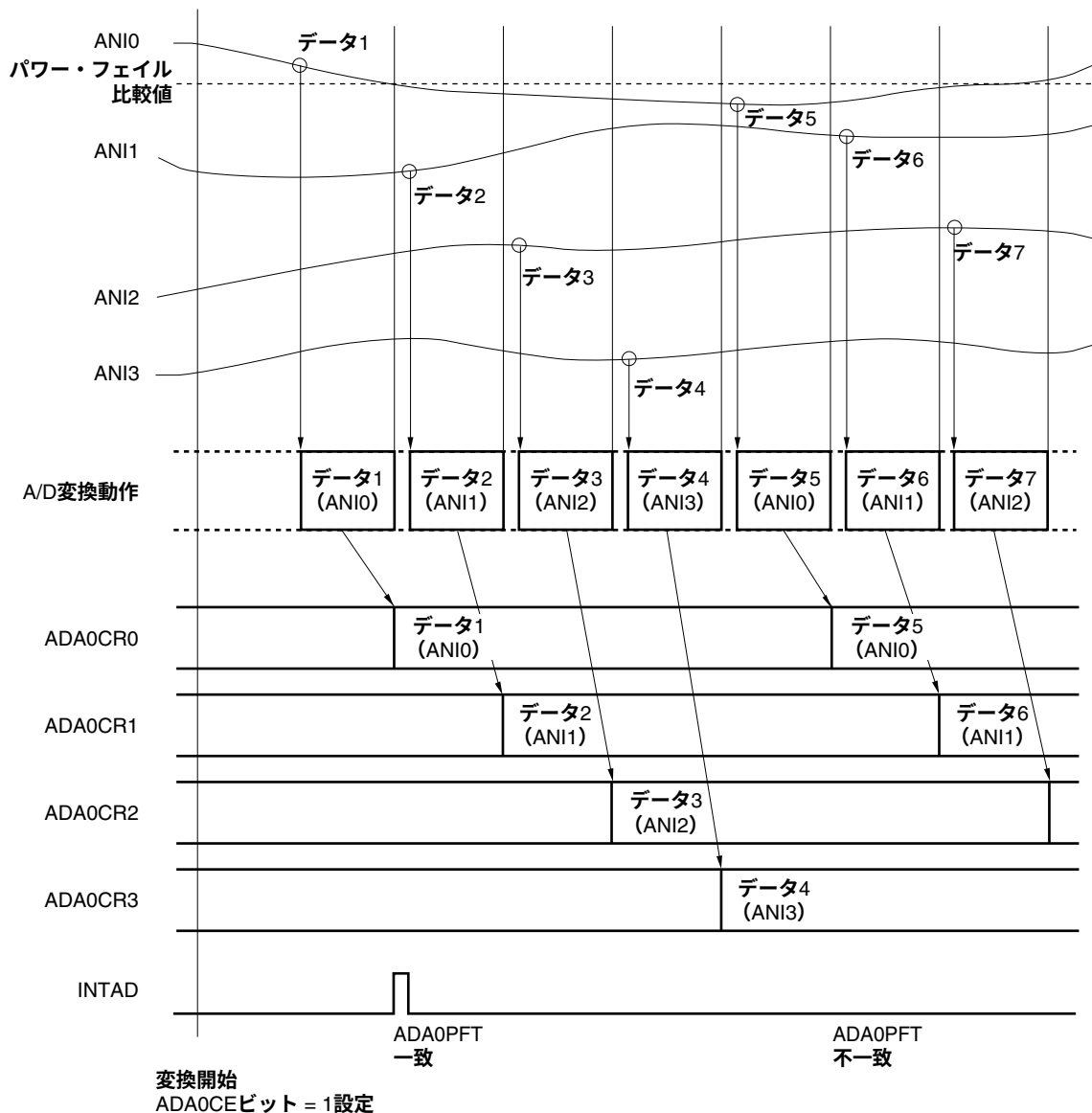
まず、チャンネル0の変換結果を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。

ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後はADA0CEビットを“0”にしないかぎり、再びANI0端子から変換を開始します。

図13-9 連続スキャン・モード動作タイミング例

(パワー・フェイル比較時 (ADA0PFM.ADA0PFCビット = 0) : ADA0Sレジスタ = 03H) (1/2)

(a) タイミング例

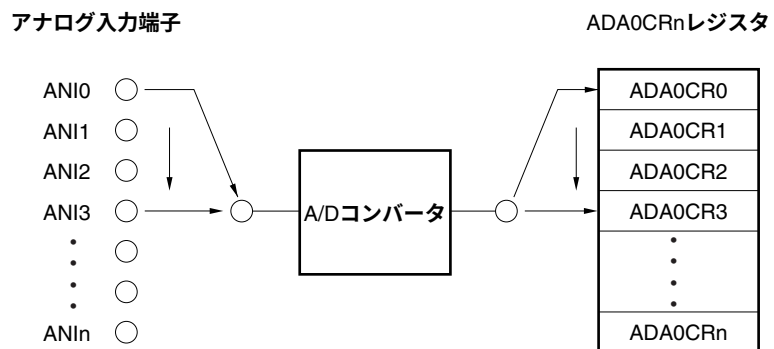


備考 ソフトウェア・トリガ・モード (ADA0M0.AD0TMDビット = 0) ,
高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定した場合の例です。

図13-9 連続スキャン・モード動作タイミング例

(パワー・フェイル比較時 (ADA0PFM.ADA0PFCビット = 0) : ADA0Sレジスタ = 03H) (2/2)

(b) アナログ入力端子と変換結果レジスタの関係

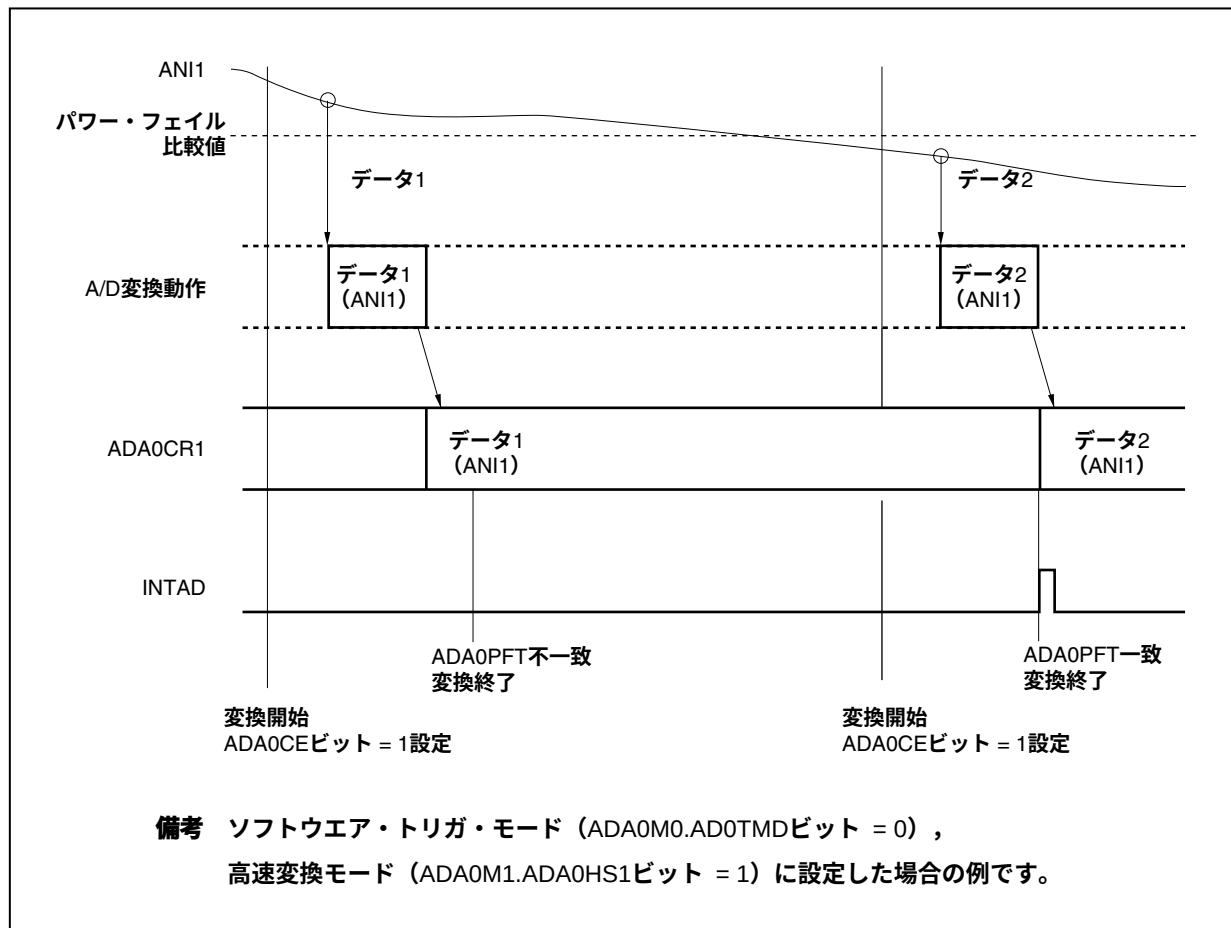


(3) ワンショット・セレクト・モード

ADA0Sレジスタで指定された1つのアナログ入力端子の変換結果とADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CRnレジスタに格納し、INTAD信号が発生します。一致しない場合、変換結果をADA0CRnレジスタに格納し、INTAD信号を発生しません。変換終了後は変換を停止します。

図13-10 ワンショット・セレクト・モード動作タイミング例

(パワー・フェイル比較時 (ADA0PFM.ADA0PFCビット = 1) : ADA0Sレジスタ = 01H)

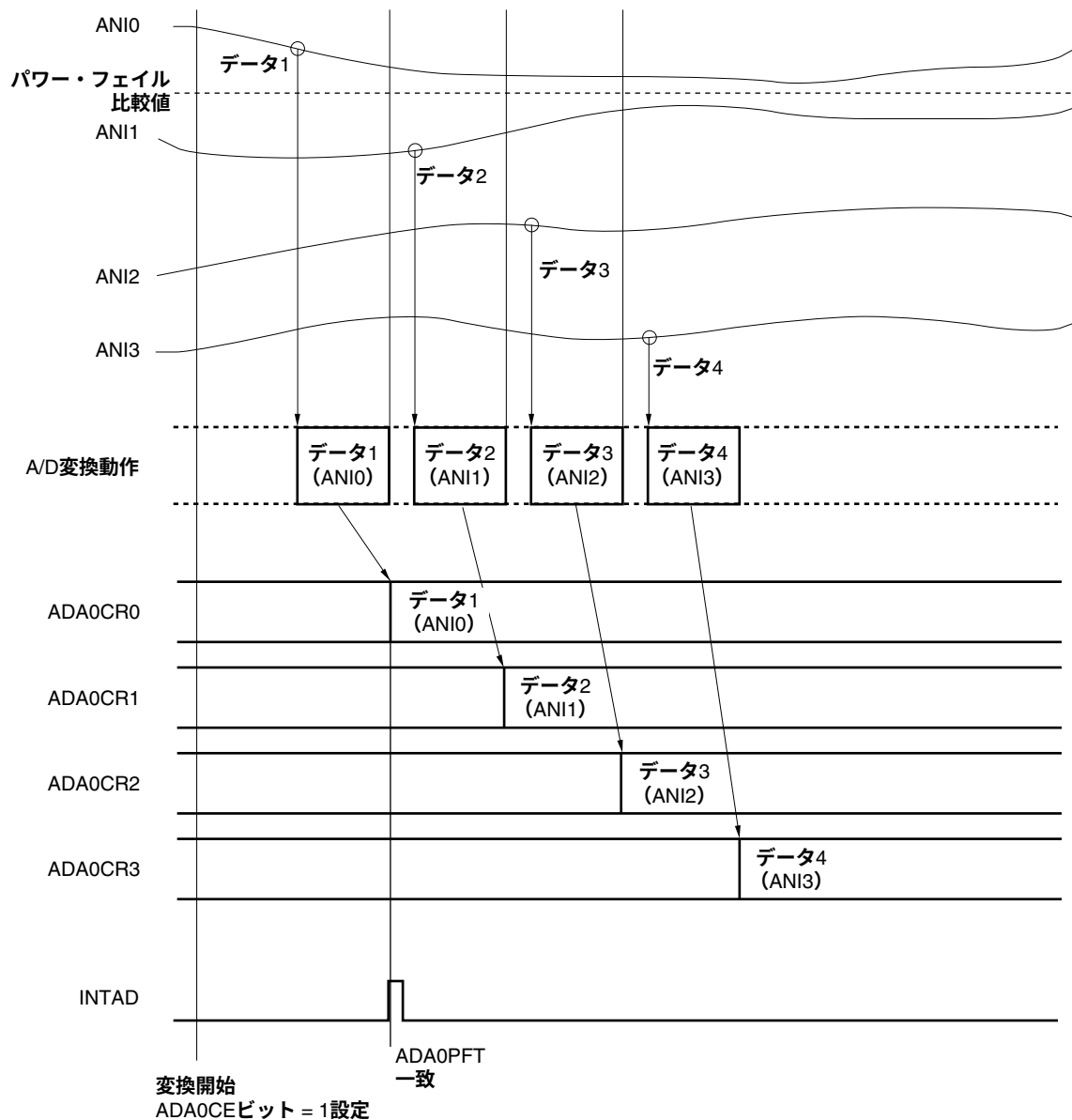
**(4) ワンショット・スキャン・モード**

ANI0端子からADA0Sレジスタで指定したアナログ入力端子まで順に選択した変換結果を格納し、チャンネル0のADA0CR0HレジスタとADA0PFTレジスタの設定値を比較します。パワー・フェイル比較した結果がADA0PFCビットで設定された条件に一致した場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生します。一致しない場合、変換結果をADA0CR0レジスタに格納し、INTAD信号を発生しません。ADA0CR0レジスタに格納後、ADA0Sレジスタで指定されたアナログ入力端子まで順に変換結果を格納します。変換終了後は変換を停止します。

図13-11 ワンショット・スキャン・モード動作タイミング例

(パワー・フェイル比較時 (ADA0PFM.ADA0PFCビット = 0) : ADA0Sレジスタ = 03H) (1/2)

(a) タイミング例

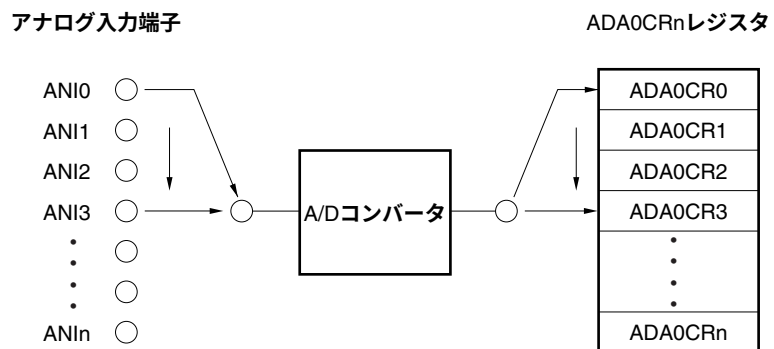


備考 ソフトウェア・トリガ・モード (ADA0M0.AD0TMDビット = 0) ,
高速変換モード (ADA0M1.ADA0HS1ビット = 1) に設定した場合の例です。

図13-11 ワンショット・スキャン・モード動作タイミング例

(パワー・フェイル比較時 (ADA0PFM.ADA0PFCビット = 0) : ADA0Sレジスタ = 03H) (2/2)

(b) アナログ入力端子と変換結果レジスタの関係



13.6 注意事項

(1) A/Dコンバータ未使用時について

未使用時は、ADA0M0.ADA0CEビット = 0とすることにより消費電力を低減できます。

(2) ANIn端子入力範囲について

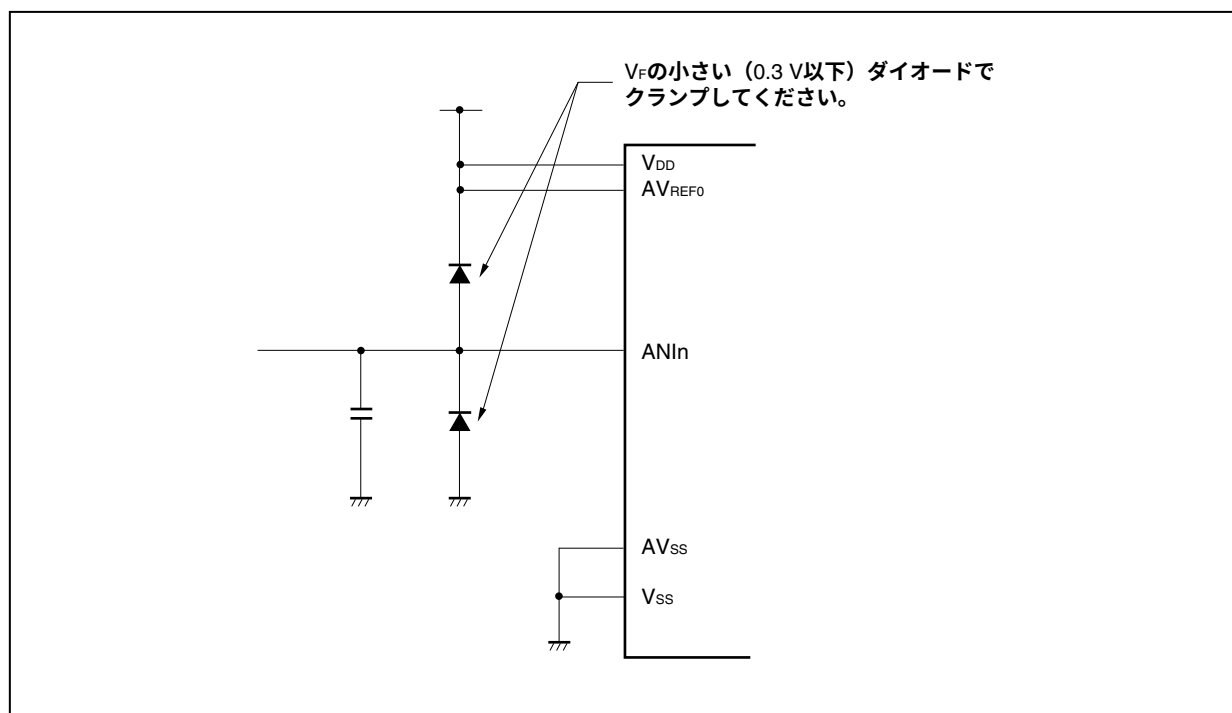
ANIn端子の入力電圧は定格の範囲内で使用してください。ただし、絶対最大定格の範囲内であっても AV_{REF0} 以上、 AV_{SS} 以下の電圧が入力されると、そのチャンネルの変換値が不定となります。また、ほかのチャンネルの変換値にも影響を与えることがあります。

(3) ノイズ対策について

10ビット分解能を保つためには、ANIn端子へのノイズに注意する必要があります。アナログ入力源の出カインピーダンスが高いほど影響が大きくなりますので、ノイズを低減するために図13-12のようにコンデンサを外付けすることを推奨します。

コンデンサの容量は入力信号の変化速度に応じた容量にしてください。

図13-12 アナログ入力端子の処理



(4) 兼用入出力について

アナログ入力 (ANIn) 端子はポート端子と兼用になっています。ANIn端子のいずれかを選択してA/D変換をする場合、変換中に入力ポートへの読み出し命令、または出力ポートへの書き込み命令を実行しないでください。変換分解能が低下することがあります。

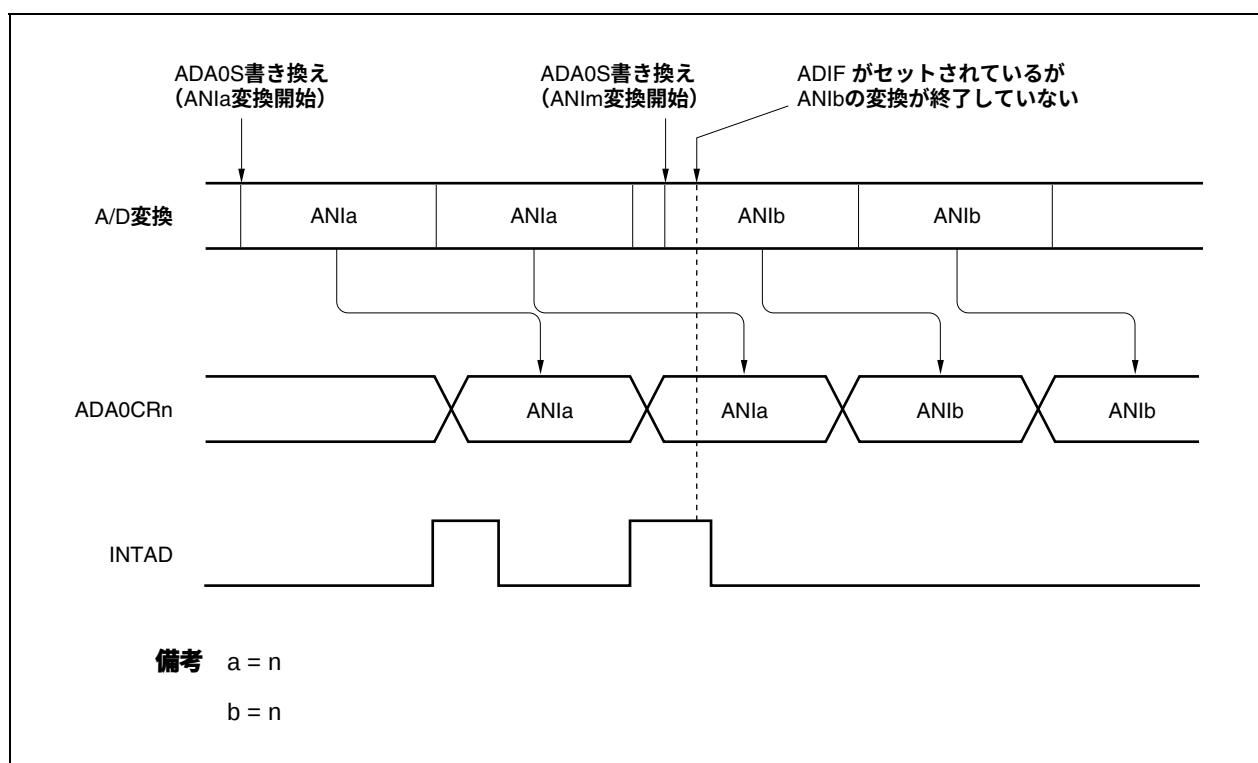
また、A/D変換中に出力ポートに設定している端子で、ポート端子に接続される外部回路の影響で出力電流が変動する場合も変換分解能が低下することがあります。

A/D変換中の端子に隣接する端子へデジタル・パルス印加したりデジタル・パルスを出したりすると、カップリング・ノイズによってA/D変換値が期待どおりに得られないこともあります。したがって、A/D変換中の端子に隣接する端子へのパルス印加またはパルス出力はしないでください。

(5) 割り込み要求フラグ (ADIF) について

ADA0Sレジスタを変更しても、割り込み要求フラグ (ADIF) はクリア (0) されません。したがって、A/D変換中にアナログ入力端子の変更を行った場合、ADA0Sレジスタ書き換え直前に変更前のアナログ入力に対するA/D変換結果および変換終了割り込み要求フラグがセット (1) される場合があります。ADA0Sレジスタ書き換え直後にADIFフラグを読み出すと、変更後のアナログ入力に対するA/D変換が終了していないにもかかわらずADIFフラグがセット (1) されている場合がありますので注意してください。また、A/D変換を一度停止させて再開する場合は、再開する前にADIFフラグをクリア (0) してください。

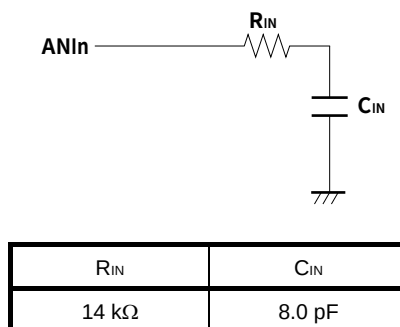
図13-13 A/D変換終了割り込み要求発生タイミング



(6) 内部等価回路について

アナログ入力部の等価回路を次に示します。

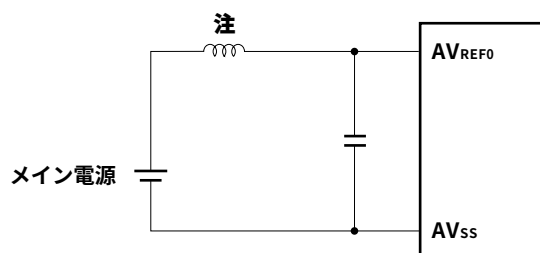
図13-14 ANIn端子内部等価回路



備考 値は参考値です。

(7) AV_{REF0}端子について

- (a) AV_{REF0}端子はA/Dコンバータの電源端子を兼用しており、また兼用ポートにも電源を供給しています。したがって、バックアップ電源に切り替えるようなアプリケーションにおいても図13-15のように必ずV_{DD}と同じ電位を印加してください。
- (b) AV_{REF0}端子はA/Dコンバータ用の基準電圧端子を兼用しています。したがって、AV_{REF0}端子への供給部のインピーダンス値が高い場合や、電源の電流供給能力が低い場合、変換時に流れる電流（特に変換動作許可ADA0CEビット = 1とした直後）により基準電圧が変動し、変換精度が悪くなるおそれがあります。これを避けるため図13-15のようにAV_{REF0}端子とAV_{SS}端子間にコンデンサを接続し変動を抑えるようにすることを推奨します。
- (c) AV_{REF0}端子への供給部に直流抵抗値が高いと、A/D変換電流による電圧降下により、変換動作停止時より動作許可時のほうが電圧が低くなる可能性があります。

図13-15 AV_{REF0}端子の処理例

注 寄生インダクタンス

(8) ADA0CRnレジスタの読み出しについて

ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行ったとき, ADA0CRnレジスタの内容は不定になることがあります。変換結果は, 変換動作終了後, ADA0M0-ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタに対して書き込み動作を行う前に読み出してください。また, 外部／タイマ・トリガを受け付けたときも, ADA0CRnレジスタの内容は不定になることがあります。変換結果は, 変換動作終了後, 次の外部／タイマ・トリガを受け付ける前に読み出してください。上記以外のタイミングでは, 正しい変換結果が読み出されないことがあります。

(9) スタンバイ・モードについて

A/Dコンバータは, STOPモード時に動作が停止するため, 消費電力を低減できますが変換結果は無効になります。STOPモード解除後, 再び動作を開始しますが, STOPモード解除後のA/D変換結果は無効です。STOPモード解除後にA/Dコンバータを使用する場合は, STOPモード設定前またはSTOPモード解除後にADA0M0.ADA0CEビット = 0に設定してからSTOPモード解除後にADA0CEビット = 1に設定してください。

IDLE1, IDLE2モード, サブクロック動作モードでは動作が保持されます。ただし, IDLE1, IDLE2モード期間中は, アナログ入力電圧値が保持できなくなるため, IDLE1, IDLE2モード解除後のA/D変換結果は無効です。また, IDLE1, IDLE2モード設定前のA/D変換結果は有効です。消費電力を低減する場合にはADA0M0.ADA0CEビット = 0にしてください。

(10) 高速変換モードについて

高速変換モードでは, 安定時間中のADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTのレジスタの書き換え, およびトリガ入力を禁止します。

(11) A/D変換時間について

A/D変換時間は, 安定時間, 変換時間, ウェイト時間, およびトリガ応答時間の合計時間になります(それぞれの時間については, 表13-2 通常変換モード時の変換時間の選択 (ADA0HS1ビット= 0), 表13-3 高速変換モード時の変換時間の選択 (ADA0HS1ビット= 1) を参照してください)。

通常変換モードでは, A/D変換中に, ADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みまたはトリガが入力されると再変換が行われますが, 安定時間終了タイミングとADA0M0, ADA0M2, ADA0S, ADA0PFM, ADA0PFTレジスタへの書き込みが競合した場合, または安定時間終了タイミングとトリガの入力が競合した場合は, 安定時間が64クロック再挿入されます。

また, 再挿入の安定時間終了タイミングと再び競合すると, 再度, 安定時間が挿入されますので, トリガの入力間隔と制御レジスタ書き込みの間隔は64クロック以下にしないでください。

(12) A/D変換結果のばらつきについて

電源電圧の変動やノイズなどの影響によりA/D変換結果がばらつくことがあります。ばらつきを軽減する必要がある場合は, A/D変換結果の平均値をとるなど, プログラムで対策してください。

(13) A/D変換のヒステリシス特性について

逐次比較型A/Dコンバータは、内部のサンプル&ホールド用コンデンサにアナログ入力電圧を保持し、そのあと、A/D変換を行います。A/D変換が終了したあとも、内部のサンプル&ホールド用コンデンサには、アナログ入力電圧が残っています。このため次のような現象が起きることがあります。

- ・ 同一チャンネルでA/D変換を実行する場合、以前のA/D変換時よりも高い電圧、または低い電圧に変化していると、変換結果が以前の値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。
- ・ アナログ入力チャンネルを切り替える場合、1つのA/Dコンバータを用いてA/D変換を行っているため、変換結果が以前のチャンネルの値に影響されるヒステリシス特性が現れ、同じ電位でも変換結果が異なる場合があります。

このため、より正確な変換結果を得たい場合は、同一チャンネルで2回連続A/D変換を行い、1回目の変換結果を廃棄してください。

13. 7 A/Dコンバータ特性表の読み方

A/Dコンバータに特有な用語について説明します。

(1) 分解能

識別可能な最小アナログ入力電圧, つまり, デジタル出力1ビットあたりのアナログ入力電圧の比率を1 LSB (Least Significant Bit) といいます。1 LSBのフルスケールに対する比率を%FSR (Full Scale Range) で表します。%FSRとは変換可能なアナログ入力電圧範囲に対する比率を百分率で表したもので分解能に関係なく次のような式になります。

$$\begin{aligned} 1 \text{ \%FSR} &= (\text{変換可能なアナログ入力電圧の最大値} - \text{変換可能なアナログ入力電圧の最小値}) / 100 \\ &= (AV_{REF0} - 0) / 100 \\ &= AV_{REF0} / 100 \end{aligned}$$

分解能10ビットのとき, 1 LSBは次のようになります。

$$\begin{aligned} 1 \text{ LSB} &= 1/2^{10} = 1/1024 \\ &= 0.098 \text{ \%FSR} \end{aligned}$$

精度は分解能とは関係なく, 総合誤差によって決まります。

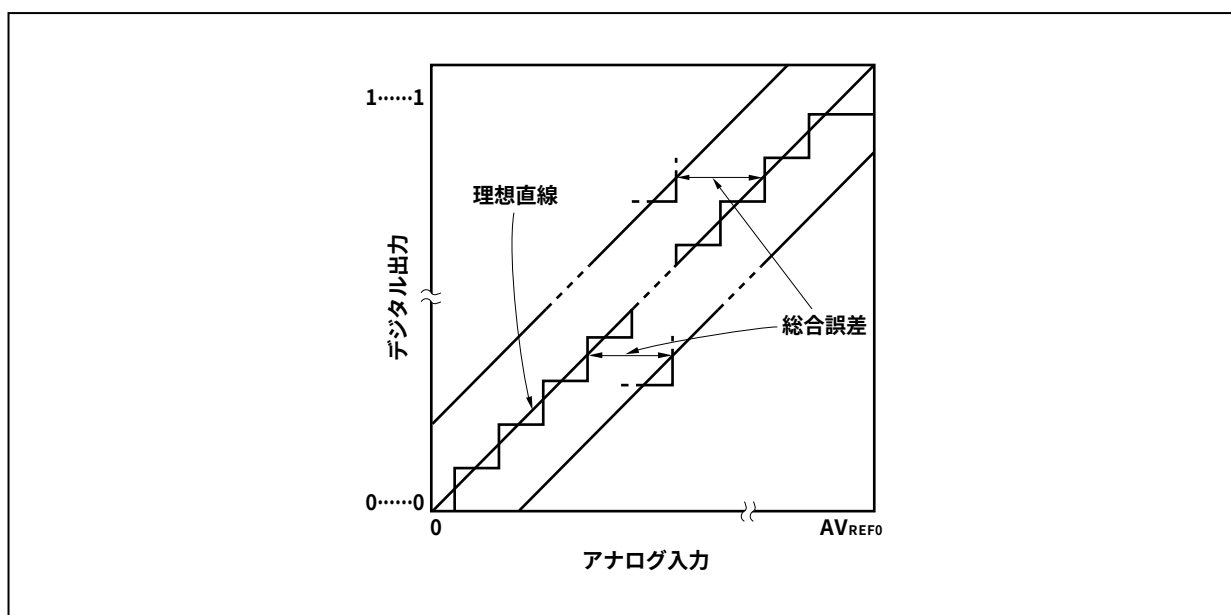
(2) 総合誤差

実測値と理論値との差の最大値を指しています。

ゼロスケール誤差, フルスケール誤差, 直線性誤差, およびそれらの組み合わせから生じる誤差を総合した誤差を表しています。

なお, 特性表の総合誤差には量子化誤差は含まれていません。

図13-16 総合誤差

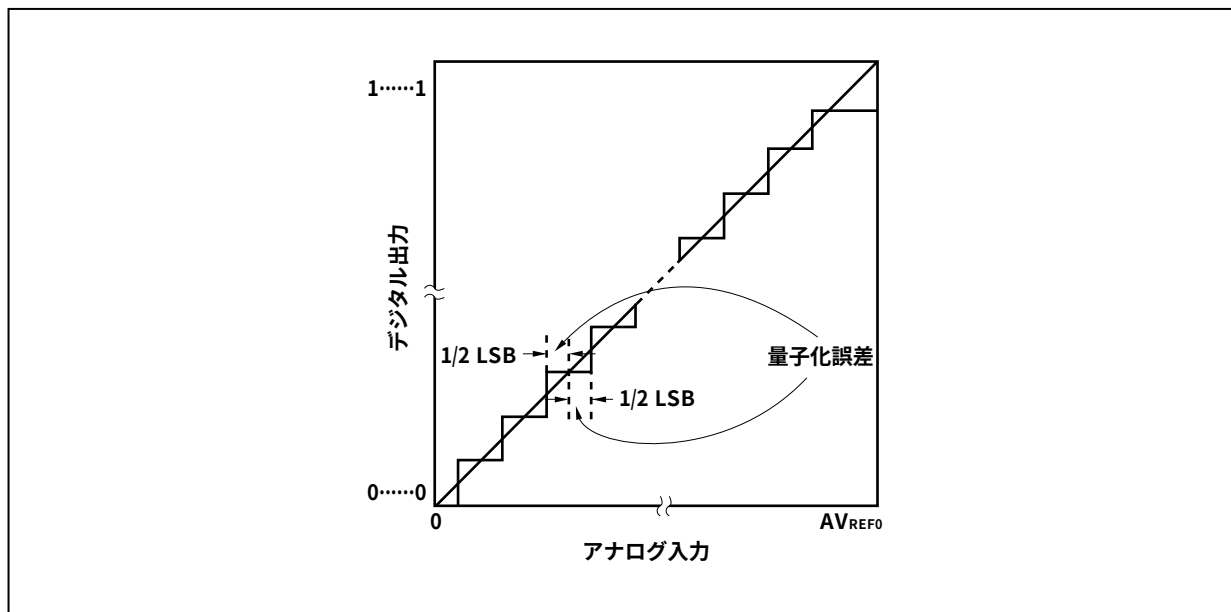


(3) 量子化誤差

アナログ値をデジタル値に変換するとき、必然的に生じる $\pm 1/2$ LSBの誤差です。A/Dコンバータでは、 $\pm 1/2$ LSBの範囲にあるアナログ入力電圧は、同じデジタル・コードに変換されるため、量子化誤差を避けることはできません。

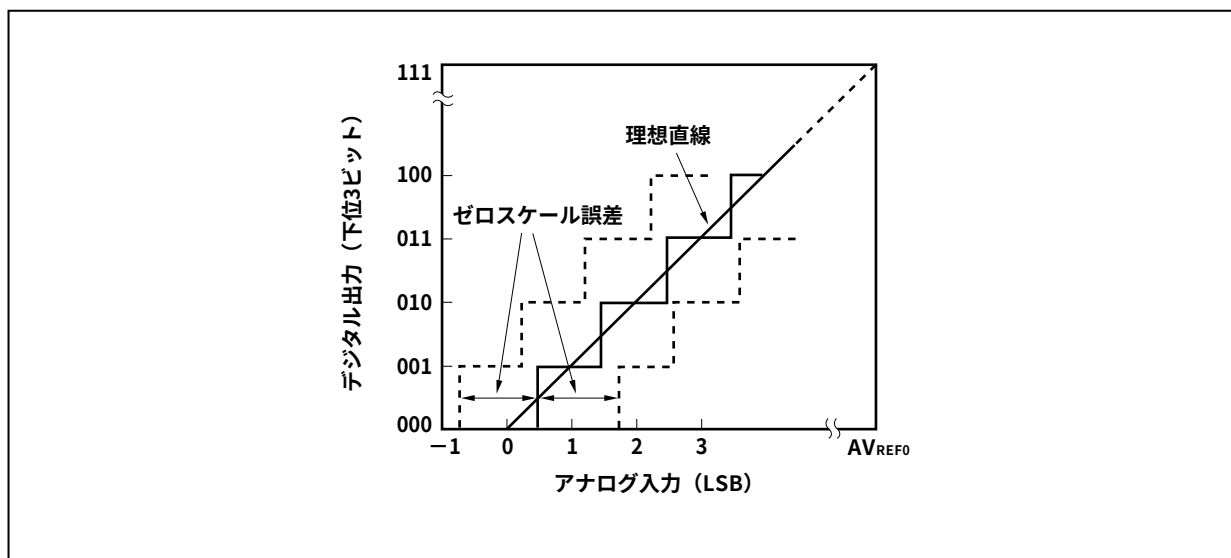
なお、特性表の総合誤差、ゼロスケール誤差、フルスケール誤差、積分直線性誤差、微分直線性誤差には含まれていません。

図13-17 量子化誤差

**(4) ゼロスケール誤差**

デジタル出力が0.....000から0.....001に変化するときの、アナログ入力電圧の実測値と理論値 ($1/2$ LSB) との差を表します。

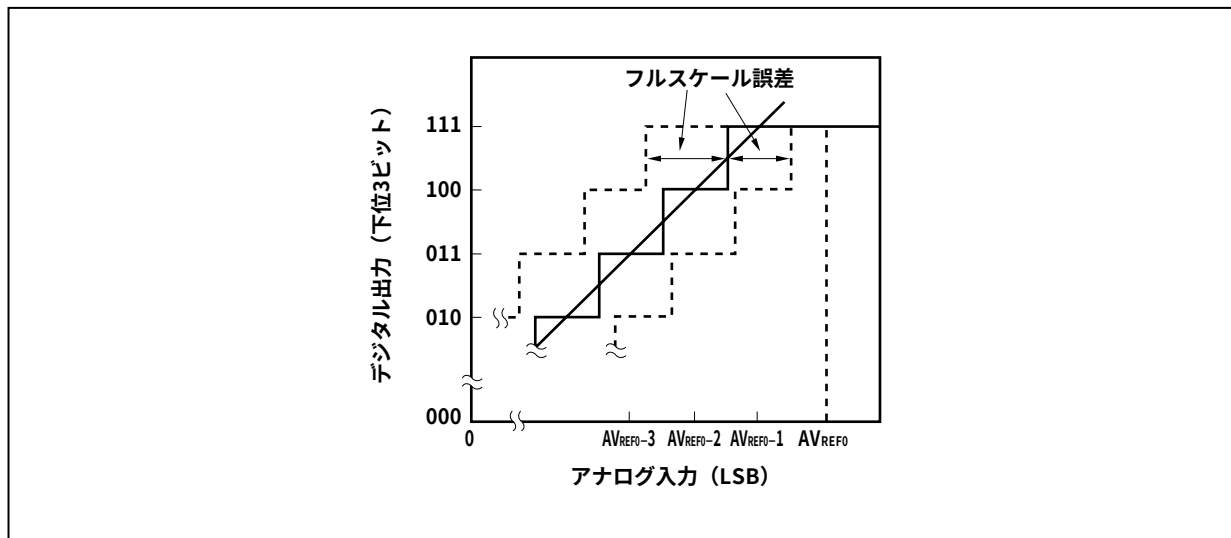
図13-18 ゼロスケール誤差



(5) フルスケール誤差

デジタル出力が1………110から1………111に変化するときの、アナログ入力電圧の実測値と理論値（フルスケール-3/2 LSB）との差を表します。

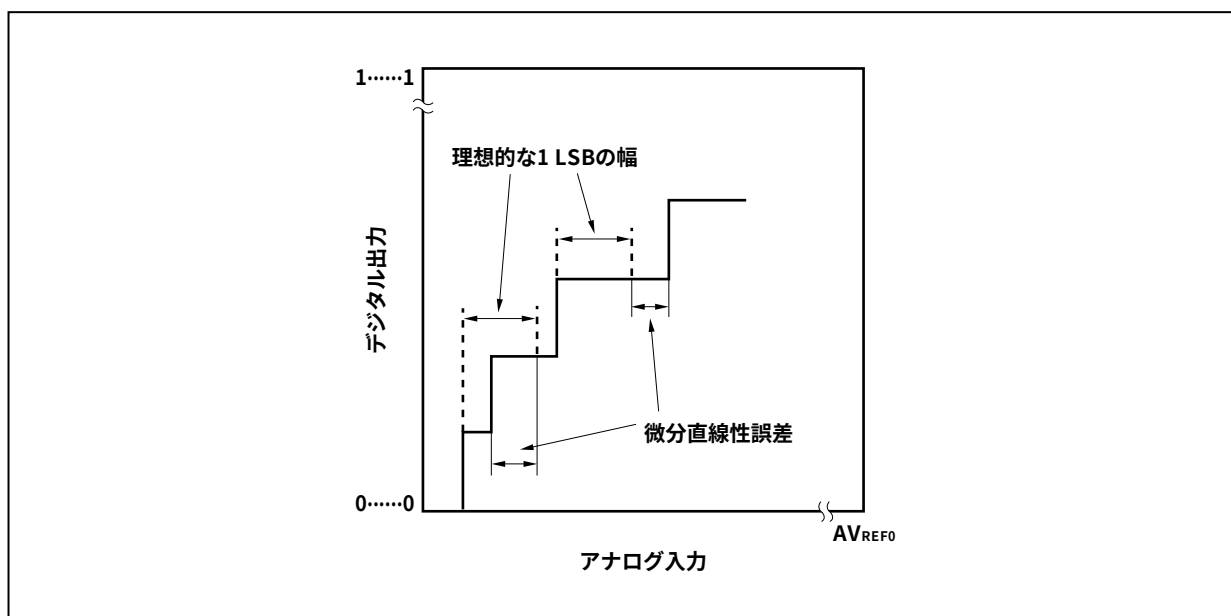
図13-19 フルスケール誤差



(6) 微分直線性誤差

理想的にはあるコードを出力する幅は1 LSBですが、あるコードを出力する幅の実測値と理想値との差を表します。同一チャネルのアナログ入力端子に印加する電圧を AV_{SS} から AV_{REF0} まで少しずつ単調増加させた場合のA/D変換の基本特性を示します。入力電圧が増減する場合や複数チャネルを使用する場合は、13.7 (2) 総合誤差を参照してください。

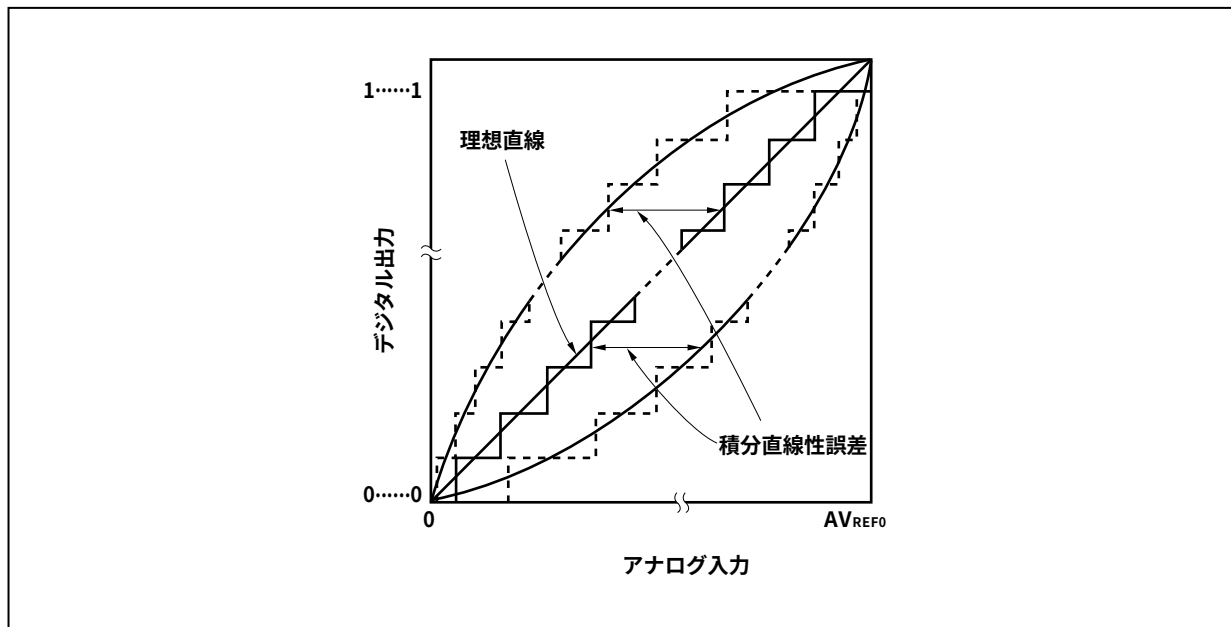
図13-20 微分直線性誤差



(7) 積分直線性誤差

変換特性が、理想的な直線関係からはずれている程度を指します。ゼロスケール誤差、フルスケール誤差を0としたときの、実測値と理想直線との差の最大値を表します。

図13-21 積分直線性誤差



(8) 変換時間

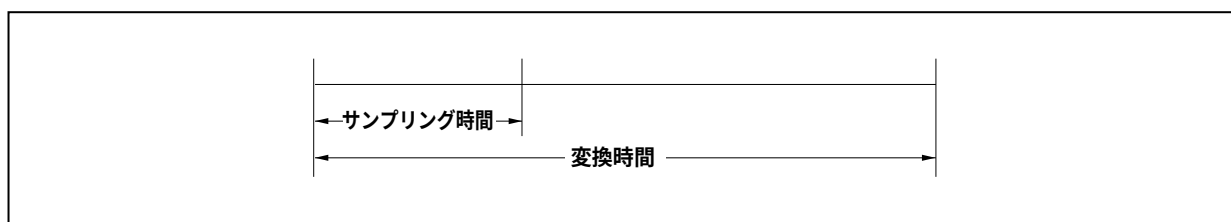
サンプリングを開始してから、デジタル出力が得られるまでの時間を表します。

特性表の変換時間にはサンプリング時間が含まれています。

(9) サンプリング時間

アナログ電圧をサンプル&ホールド回路に取り込むため、アナログ・スイッチがオンしている時間です。

図13-22 変換時間とサンプリング時間の関係



第14章 D/Aコンバータ (V850ES/JC3-L (48ピン) ,V850ES/JE3-L)

14.1 機 能

V850ES/JC3-L (48ピン) , V850ES/JE3-Lは、R-2Rラダー方式によるD/Aコンバータを1チャンネル搭載しています (DA0CS0)。

D/Aコンバータには、次のような機能があります。

- 8ビット分解能×1ch
- R-2Rラダー方式
- 変換時間：3 μ s (MAX.) ($AV_{REF1} = 2.7 \sim 3.6$ V, 外部負荷20 pF時)
- アナログ出力電圧： $AV_{REF1} \times m/256$ ($m = 0-255$; DA0CS0レジスタに設定した値)
- 動作モード：通常モード／リアルタイム出力モード

14.2 構成

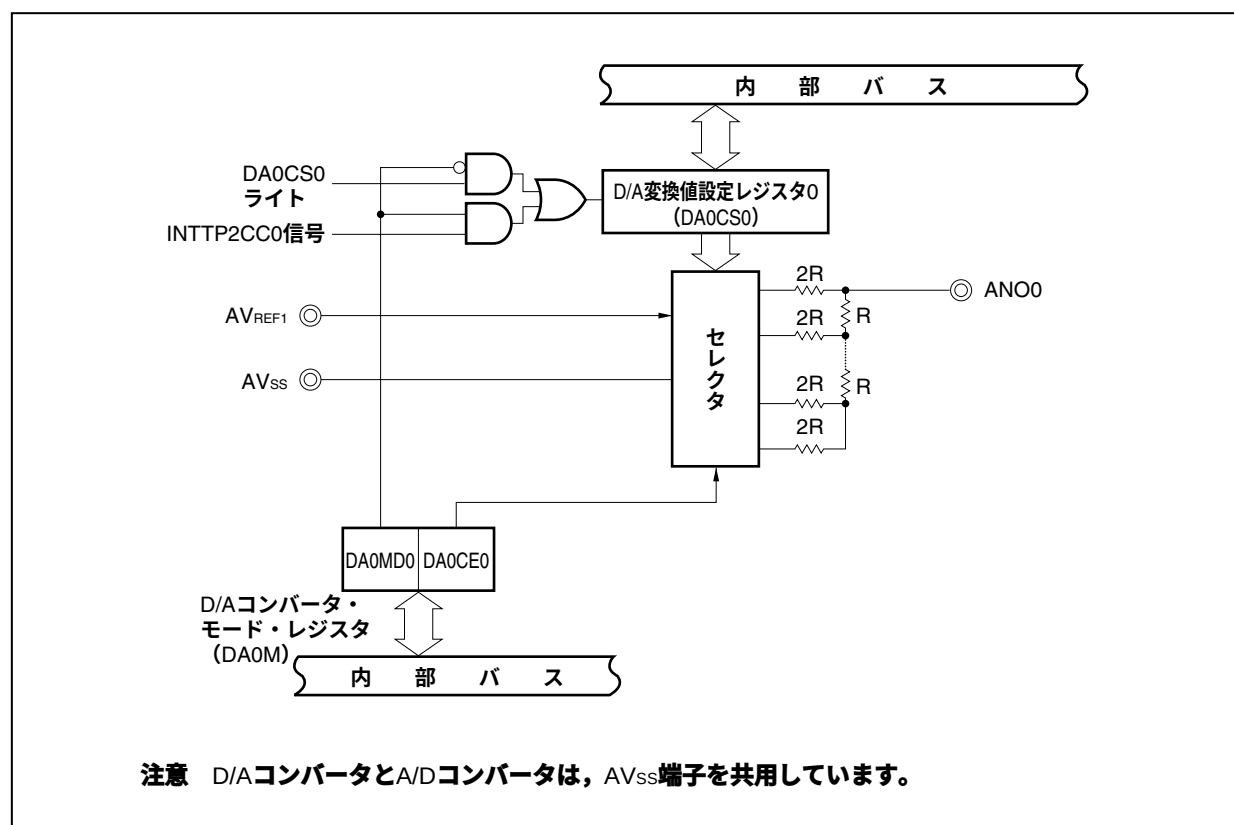
D/Aコンバータは、次のハードウェアで構成されています。

表14-1 ソフトウェアで使用するD/Aコンバータのレジスタ

項 目	構 成
制御レジスタ	D/Aコンバータ・モード・レジスタ (DA0M) D/A変換値設定レジスタ0 (DA0CS0)

次にD/Aコンバータの構成について示します。

図14-1 D/Aコンバータのブロック図



14.3 レジスタ

D/Aコンバータを制御するレジスタを次に示します。

- ・ D/Aコンバータ・モード・レジスタ (DA0M)
- ・ D/A変換値設定レジスタ0 (DA0CS0)

(1) D/Aコンバータ・モード・レジスタ (DA0M)

D/Aコンバータの動作を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF282H

	7	6	5	④	3	2	1	0
DA0M	0	0	0	DA0CE0	0	0	0	DA0MD0

DA0CE0	D/Aコンバータの動作許可／禁止制御
0	動作禁止
1	動作許可

DA0MD0	D/Aコンバータの動作モードの選択
0	通常モード
1	リアルタイム出力モード ^注

注 リアルタイム出力モード (DA0MD0ビット = 1) 時の出力トリガは、次のとおりです。

- ・ INTTP2CC0信号 (第6章 16ビット・タイマ／イベント・カウンタP (TMP) 参照)

(2) D/A変換値設定レジスタ0 (DA0CS0)

ANO0端子に出力するアナログ電圧値を設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF280H

	7	6	5	4	3	2	1	0
DA0CS0	DA0CS07	DA0CS06	DA0CS05	DA0CS04	DA0CS03	DA0CS02	DA0CS01	DA0CS00

注意 リアルタイム出力モード (DA0M.DA0MD0ビット = 1) のとき、INTTP2CC0信号が発生する前に、DA0CS0レジスタを設定してください。INTTP2CC0信号発生でD/A変換を開始します。

14. 4 使用方法

14. 4. 1 通常モード時の使用方法

DA0CS0レジスタへのライト動作を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

- ① PM10ビットを1（入力モード）に設定してください。
- ② DA0M.DA0MD0ビット = 0（通常モード）に設定してください。
- ③ DA0CS0レジスタに、ANO0端子に出力するアナログ電圧値を設定してください。
以上②、③を初期設定として行います。
- ④ DA0M.DA0CE0ビットをセット（1）（D/A変換動作許可）してください。
これによりD/A変換したアナログ電圧値をANO0端子から出力します。
- ⑤ 以降、アナログ電圧値を変更する場合は、DA0CS0レジスタへのライト動作を行ってください。
なお、次のライト動作を行うまでは、直前に設定したアナログ電圧値を保持します。

備考 兼用端子の設定は表4-17 端子を兼用機能として使用する場合を参照してください。

14. 4. 2 リアルタイム出力モード時の使用方法

TMP2の割り込み要求信号（INTTP2CC0）を起動トリガとして、D/A変換を行います。

次に、その設定方法を示します。

- ① PM10ビットを1（入力モード）に設定してください。
- ② DA0M.DA0MD0ビット = 1（リアルタイム出力モード）に設定してください。
- ③ DA0CS0レジスタに、ANO0端子に出力するアナログ電圧値を設定してください。
- ④ DA0M.DA0CE0ビットをセット（1）（D/A変換動作許可）してください。
以上②～④を初期設定として行います。
- ⑤ TMP2を動作させます。
- ⑥ INTTP2CC0信号が発生すると、D/A変換したアナログ電圧値をANO0端子から出力します。次のINTTP2CC0信号が発生する前に、DA0CS0レジスタに次に出力するアナログ電圧値を設定してください。
- ⑦ 以降、DA0CS0レジスタに設定した値が、INTTP2CC0信号発生のタイミングでANO0端子から出力されます。

備考1. ⑥までのANO0端子の出力値は不定です。

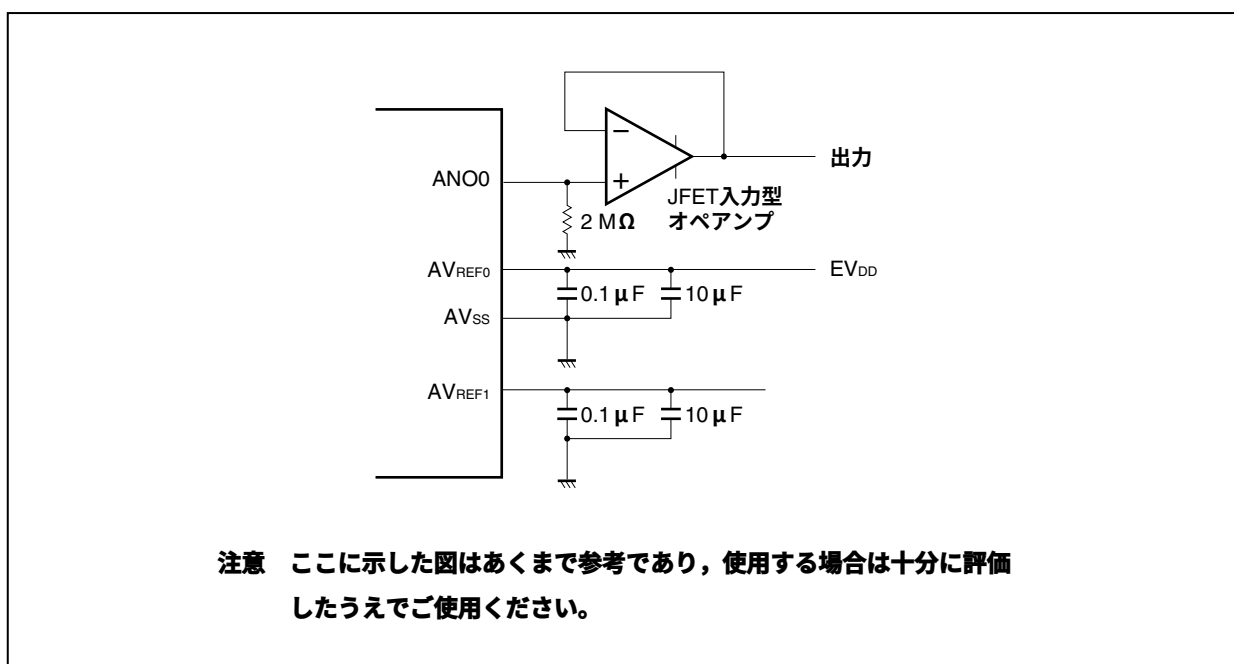
2. IDLE1, IDLE2, HALT, STOPモード時のANO0端子の出力値については、第21章 スタンバイ機能を参照してください。

14. 4. 3 注意事項

D/Aコンバータを使用する際の注意事項を次に示します。

- (1) ポート端子を入力モード (PM10ビット = 1) に設定してください。
- (2) D/A変換中にP1レジスタをリード／ライトしないでください。
- (3) リアルタイム出力モード時、選択されたトリガ信号の割り込み処理内でDA0CS0レジスタへの書き込みを行うなど、ソフトウェアによるDA0CS0レジスタの書き込みと、リアルタイム出力時のトリガ信号との競合を回避してください。
- (5) $AV_{REF1} \leq V_{DD}$, $AV_{REF1} = 2.7 \sim 3.6$ Vの範囲で使用してください。それ以外の場合の動作は保証できません。
- (6) AV_{REF1} の電源投入および電源切断は、 AV_{REF0} と同じタイミングで行ってください。
- (7) D/Aコンバータの出カインピーダンスが高いため、ANO0端子から電流を取り出すことはできません。2 M Ω 以下の負荷を接続する場合には、負荷とANO0端子の間にJFET入力型オペアンプを挿入するなどの対策をしてください。

図14-2 外部端子の接続例



- (8) D/Aコンバータは、STOPモード時に動作が停止するため、ANO0端子は、ハイ・インピーダンスになり消費電力を低減できます。
ただし、IDLE1、IDLE2モード、サブクロック動作モードでは端子は保持されるため、消費電力を低減する場合にはDA0M.DA0CE0ビット = 0にしてください。

第15章 アシクロナス・シリアル・インタフェースA (UARTA)

V850ES/JC3-L, V850ES/JE3-Lに搭載されているUARTAのチャンネル数を次に示します。

品名	V850ES/JC3-L (40ピン)	V850ES/JC3-L (48ピン)	V850ES/JE3-L
チャンネル数	2チャンネル UARTA0, UARTA1	3チャンネル UARTA0-UARTA2	3チャンネル UARTA0-UARTA2

この章では、チャンネル数をnと省略して表記してあります。

15.1 特 徴

- 専用ボー・レート・ジェネレータ内蔵
- 転送速度 300 bps～625 kbps (専用ボー・レート・ジェネレータ使用)
- 全二重通信
- ダブル・バッファ構成 UARTAn受信データ・レジスタ (UAnRX) 内蔵
UARTAn送信データ・レジスタ (UAnTX) 内蔵
- 受信エラー検出機能
 - ・パリティ・エラー
 - ・フレーミング・エラー
 - ・オーバラン・エラー
- 割り込みソース：2種類
 - ・受信完了割り込み (INTUAnR) : 受信許可状態において、シリアル転送完了後、受信シフト・レジスタから受信データ・レジスタへ受信データを転送すると発生
 - ・送信許可割り込み (INTUAnT) : 送信許可状態において、送信データ・レジスタから送信シフト・レジスタへ送信データを転送すると発生 (連続送信が可能)
- キャラクタ長：7, 8ビット
- パリティ機能：奇数, 偶数, 0, なし
- 送信ストップ・ビット：1, 2ビット
- MSB/LSBファースト転送選択可能
- デジタル・ノイズ・フィルタ内蔵
- 送受信データの反転入出力が可能
- LIN (Local Interconnect Network) 通信フォーマットにおけるSBF (Synch Break Field) 送信可能
 - ・SBF送信は13-20ビットまで選択可能
 - ・SBF受信は11ビット以上認識可能
 - ・SBF受信フラグあり

15.2 構成

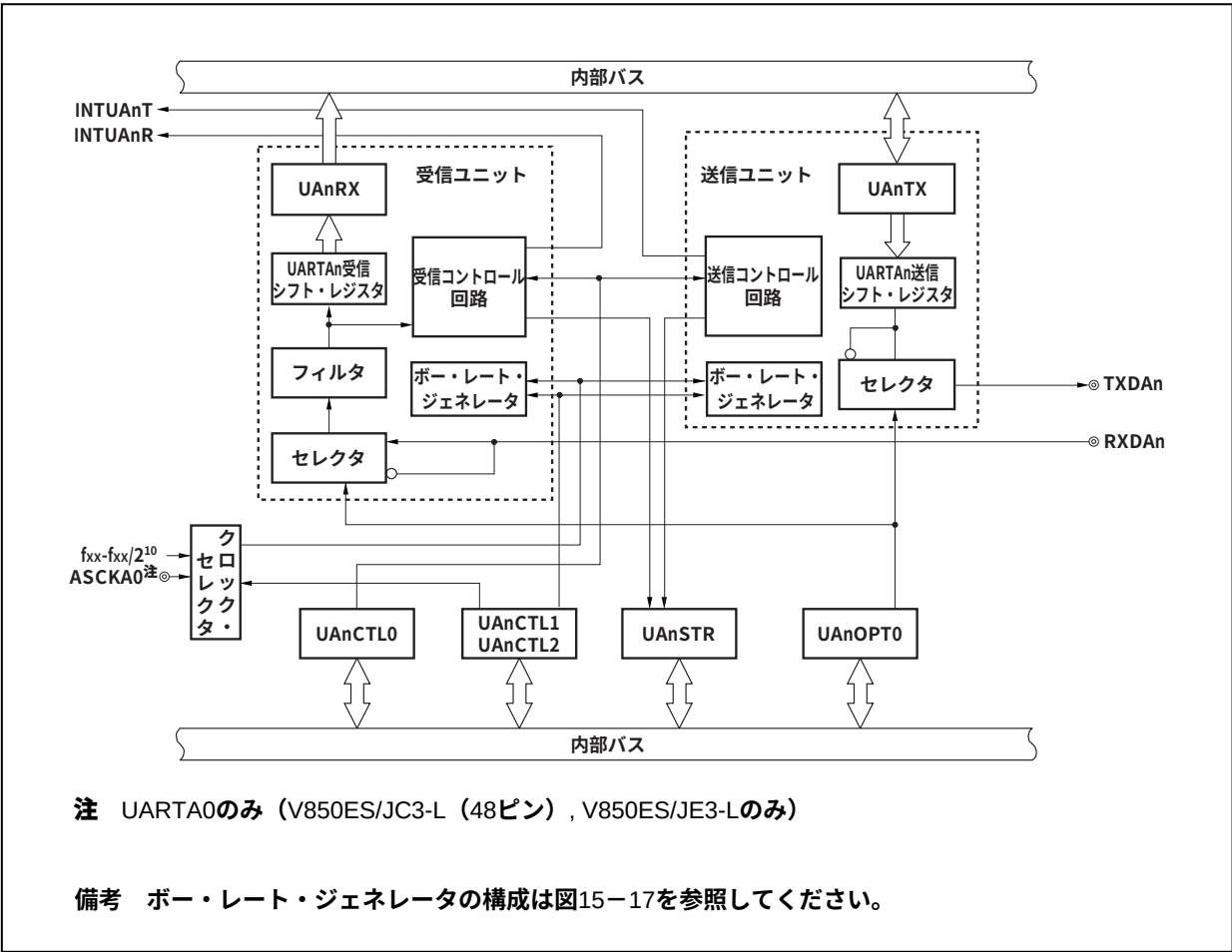
UARTAnは、次のハードウェアで構成されています。

表15-1 UARTAnの構成

項 目	構 成
レジスタ	UARTAn制御レジスタ0 (UAnCTL0)
	UARTAn制御レジスタ1 (UAnCTL1)
	UARTAn制御レジスタ2 (UAnCTL2)
	UARTAnオプション制御レジスタ0 (UAnOPT0)
	UARTAn状態レジスタ (UAnSTR)
	UARTAn受信シフト・レジスタ
	UARTAn受信データ・レジスタ (UAnRX)
	UARTAn送信シフト・レジスタ
	UARTAn送信データ・レジスタ (UAnTX)

次にUARTAnのブロック図を示します。

図15-1 アシクロナス・シリアル・インタフェースAnのブロック図



(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnの動作を指定する8ビット・レジスタです。

(2) UARTAn制御レジスタ1 (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロック (f_{CLK}) を選択する8ビット・レジスタです。

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UAnCTL1レジスタと組み合わせてUARTAnのボー・レートの生成に使用する8ビット・レジスタです。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのLIN通信のSBF制御や送受信信号のレベルを制御する8ビット・レジスタです。

(5) UARTAn状態レジスタ (UAnSTR)

UAnSTRレジスタは、受信エラー発生時のエラー内容を示す8ビットのレジスタです。受信エラーの各フラグは受信エラー発生時にセット (1) されます。

(6) UARTAn受信シフト・レジスタ

RXDAn端子に入力されたシリアル・データをパラレル・データに変換するシフト・レジスタです。1キャラクタ分のデータを受信し、ストップ・ビットを検出すると、受信データをUAnRXレジスタへ転送します。

このレジスタは直接操作することはできません。

(7) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信データを保持する8ビットのバッファ・レジスタです。

受信許可状態中は、受信データは1キャラクタ分のシフト・イン処理終了に同期してUARTAn受信シフト・レジスタからUAnRXレジスタに転送されます。

また、UAnRXレジスタへの転送により、受信完了割り込み要求信号 (INTUAnR) が発生します。

(8) UARTAn送信シフト・レジスタ

送信シフト・レジスタは、UAnTXレジスタから転送されたパラレル・データをシリアル・データに変換するシフト・レジスタです。

UAnTXレジスタから1キャラクタ分のデータが転送されると、シフト・レジスタのデータをTXDAn端子から出力します。

このレジスタは直接操作することはできません。

(9) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、8ビットの送信データ用バッファです。UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタにデータの書き込みが可能になる (UAnTXレジスタからUARTAn送信シフト・レジスタに1キャラクタ分のデータが転送される) と、送信許可割り込み要求信号 (INTUAnT) を発生します。

15. 2. 1 各チャネルの端子機能について

V850ES/JC3-L, V850ES/JE3-Lでは、UARTAを構成するRXDAn, TXDAn, ASCKA0端子は、表15-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-17 端子を兼用機能として使用する場合参照）。

表15-2 端子構成

チャネル	ピン番号			ポート	UARTA受信 入力	UARTA送信 出力	UARTAクロック 入出力 ^注	その他の兼用機能
	JC3L (40)	JC3L (48)	JE3L					
UARTA0	—	34	46	P31	RXDA0	—	—	INTP7/SIB4
	30	—	—					INTP7
	—	33	45	P30	—	TXDA0	—	SOB4
	29	—	—					—
	—	35	47	P32	—	—	ASCKA0 ^注	SCKB4/TIP00/TOP00
UARTA1	20	24	32	P91	RXDA1	—	—	KR7/SCL02
	19	23	31	P90	—	TXDA1	—	KR6/SDA02
UARTA2	—	19	27	P39	RXDA2	—	—	SCL00
	—	18	26	P38	—	TXDA2	—	SDA00

注 ASCKA0はUARTA0のみ（V850ES/JC3-L（48ピン）, V850ES/JE3-Lのみ）

備考 JC3L（40）：V850ES/JC3-L（40ピン製品），
JC3L（48）：V850ES/JC3-L（48ピン製品），
JE3L：V850ES/JE3-L

15.3 UARTAとほかのシリアル・インタフェースのモード切り替え

15.3.1 UARTA0とCSIB4のモード切り替え

V850ES/JC3-L (48ピン), V850ES/JE3-Lでは, UARTA0とCSIB4は端子が兼用になっており, 同時には使用できません。UARTA0を使用するときは, あらかじめPMC3, PFC3, PFCE3レジスタで設定する必要があります。

次にシリアル・インタフェースのUARTA0とCSIB4との動作モードの設定について示します。

注意 UARTA0またはCSIB4において, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15-2 UARTA0とCSIB4の動作モード切り替え設定

リセット時：0000H R/W アドレス：FFFFF446H, FFFFF447H

15141312111098

PMC3

0	0	0	0	0	0	PMC39	PMC38
---	---	---	---	---	---	-------	-------

76543210

0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30
---	---	-------	-------	-------	-------	-------	-------

リセット時：0000H R/W アドレス：FFFFF466H, FFFFF467H

15141312111098

PFC3

0	0	0	0	0	0	PFC39	PFC38
---	---	---	---	---	---	-------	-------

76543210

0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30
---	---	-------	-------	-------	-------	-------	-------

リセット時：00H R/W アドレス：FFFFF706H

76543210

PFCE3L

0	0	0	0	0	PFCE32	0	0
---	---	---	---	---	--------	---	---

PMC32	PFCE32	PFC32	動作モード
0	×	×	ポート入出力モード
1	0	0	ASCKA0
1	0	1	SCKB4

PMC3m	PFC3m	動作モード
0	×	ポート入出力モード
1	0	UARTA0モード
1	1	CSIB4モード

備考1. m = 0, 1

2. x = don't care

15. 3. 2 UARTA1とI²C02のモード切り替え

V850ES/JC3-L, V850ES/JE3-Lでは, UARTA1とI²C02は端子が兼用になっており, 同時には使用できません。

UARTA1を使用するときは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

次にシリアル・インタフェースのUARTA1とI²C02との動作モードの設定について示します。

注意 UARTA1とI²C02において, 送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15-3 UARTA1とI²C02の動作モード切り替え設定

リセット時: 0000H R/W アドレス: FFFFF452H, FFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	0	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時: 0000H R/W アドレス: FFFFF472H, FFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	0	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時: 0000H R/W アドレス: FFFFF712H, FFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	0	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC9m	PFCE9m	PFC9m	動作モード
1	1	0	UARTA1モード
1	1	1	I ² C02モード

備考 m = 0, 1

15. 3. 3 UARTA2とI²C00のモード切り替え

V850ES/JC3-L, V850ES/JE3-Lでは、UARTA2とI²C00は端子が兼用になっており、同時には使用できません。UARTA2を使用するときは、あらかじめPMC3, PFC3レジスタで設定する必要があります。

次にシリアル・インタフェースのUARTA2とI²C00との動作モードの設定について示します。

注意 UARTA2またはI²C00において、送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図15-4 UARTA2とI²C00の動作モード切り替え設定

リセット時：0000H R/W アドレス：FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H R/W アドレス：FFFFF466H, FFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

PMC3m	PFC3m	動作モード
0	×	ポート入出力モード
1	0	UARTA2モード
1	1	I ² C00モード

備考1. m = 8, 9

2. x = don't care

15.4 レジスタ

(1) UARTAn制御レジスタ0 (UAnCTL0)

UAnCTL0レジスタは、UARTAnシリアル転送動作を制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより10Hになります。

(1/2)

リセット時：10H R/W アドレス：UA0CTL0 FFFFFFFA00H, UA1CTL0 FFFFFFFA10H,
UA2CTL0 FFFFFFFA20H

	⑦	⑥	⑤	④	3	2	1	0
UAnCTL0	UAnPWR	UAnTXE	UAnRXE	UAnDIR	UAnPS1	UAnPS0	UAnCL	UAnSL

UAnPWR	UARTAnの動作の制御
0	UARTAn動作禁止 (UARTAnを非同期にリセット)
1	UARTAn動作許可

UAnPWRビットにより、UARTAn動作の制御を行います。UAnPWRビットをクリア (0) すると、TXDAn端子の出力はハイ・レベルに固定されます (UAnOPT0, UAnTDLビット = 1のときは、ロウ・レベルに固定されます)。

UAnTXE	送信動作許可
0	送信動作禁止
1	送信動作許可

- 起動時はUAnPWRビット = 1にしてから、UAnTXEビット = 1としてください。また、停止時はUAnTXEビット = 0にしてから、UAnPWRビット = 0としてください。
- 送信ユニットを初期化する場合は、UAnTXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnTXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 15.7 (1) (a) 基本クロック参照)。
- 動作許可 (UAnPWRビット = 1) した場合には、UAnTXEビット = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから送信動作が許可状態になります。

UAnRXE	受信動作許可
0	受信動作禁止
1	受信動作許可

- 起動時はUAnPWRビット = 1にしてから、UAnRXEビット = 1としてください。また、停止時は、UAnRXEビット = 0にしてから、UAnPWRビット = 0としてください。
- 受信ユニットの状態を初期化する場合は、UAnRXEビットをクリア (0) して、基本クロックの2周期分の時間を経過してから、再びUAnRXEビットをセット (1) しなければ、状態の初期化ができない場合があります (基本クロックについては 15.7 (1) (a) 基本クロック参照)。
- 動作許可 (UAnPWRビット = 1) した場合には、UAnRXEビット = 1としたあと、基本クロック (f_{CLK}) の2周期分以上の時間を経過してから受信動作が許可状態になります。受信動作の許可状態前にスタート・ビットを受信した場合は、スタート・ビットは無視されます。

UAnDIR	データ転送順序
0	MSBファースト
1	LSBファースト

・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UAnDIRビットは“1”に設定してください。

UAnPS1	UAnPS0	送信時のパリティ選択	受信時のパリティ選択
0	0	パリティを出力しない	パリティなしで受信
0	1	0パリティを出力	0パリティとして受信
1	0	奇数パリティを出力	奇数パリティとして判定を行う
1	1	偶数パリティを出力	偶数パリティとして判定を行う

・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
 ・ 受信時に「0パリティとして受信」を選択した場合, パリティ判定を行いません。したがって, UAnSTR.UAnPEビットはセットされません。
 ・ LINのフォーマットで送受信を行う場合, UAnPS1, UAnPS0ビットは“00”に設定してください。

UAnCL	送受信データ1フレームのデータ・キャラクタ長指定
0	7ビット
1	8ビット

・ UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。
 ・ LINのフォーマットで送受信を行う場合は, UAnCLビットは“1”に設定してください。

UAnSL	送信データのストップ・ビット長指定
0	1ビット
1	2ビット

UAnPWRビット = 0, またはUAnTXEビット = UAnRXEビット = 0の場合のみ書き換え可能です。

備考 パリティについての詳細は, 15. 6. 6 **パリティの種類と動作**を参照してください。

(2) UARTAn制御レジスタ1 (UAnCTL1)

詳細は, 15. 7 (2) **UARTAn制御レジスタ1 (UAnCTL1)**を参照してください。

(3) UARTAn制御レジスタ2 (UAnCTL2)

詳細は, 15. 7 (3) **UARTAn制御レジスタ2 (UAnCTL2)**を参照してください。

(4) UARTAnオプション制御レジスタ0 (UAnOPT0)

UAnOPT0レジスタは、UARTAnのLIN通信のSBF制御や送受信信号のレベルを制御する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより14Hになります。

(1/2)

リセット時：14H R/W アドレス：UA0OPT0 FFFFFFFA03H, UA1OPT0 FFFFFFFA13H,
UA2OPT0 FFFFFFFA23H

	⑦	6	5	4	3	2	1	0
UAnOPT0	UAnSRF	UAnSRT	UAnSTT	UAnSLS2	UAnSLS1	UAnSLS0	UAnTDL	UAnRDL

UAnSRF	SBF受信フラグ
0	UAnCTL0.UAnPWRビット = 0, またはUAnCTL0.UAnRXEビット = 0に設定したとき。またはSBF受信正常終了したとき。
1	SBF受信中
・LIN通信でのSBF (Synch Break Field) を受信しているかどうかを示します。 ・SBF受信エラー時, UAnSRFビットは“1”を保持し, 再度SBF受信を開始します。 ・UAnSRFビットはリードのみ可能です。	

UAnSRT	SBF受信トリガ
0	—
1	SBF受信トリガ
・LIN通信でのSBFの受信トリガ・ビットであり, 読み出した場合, 常に“0”が読み出されます。 ・SBFを受信する場合, UAnSRTビットをセット (1) するとSBF受信可能状態になります。 ・UAnPWRビット = UAnRXEビット = 1としてからUAnSRTビットを設定してください。	

UAnSTT	SBF送信トリガ
0	—
1	SBF送信トリガ
・LIN通信でのSBFの送信トリガ・ビットであり, 読み出した場合, 常に“0”が読み出されます。 ・UAnSTTビットをセット (1) するとSBFが送信されます。 ・UAnPWRビット = UAnTXEビット = 1としてからUAnSTTビットを設定してください。	

注意 UAnSRT, UAnSTT ビットは, SBF受信中 (UAnSRFビット = 1) にセット (1) しないでください。

UAnSLS2	UAnSLS1	UAnSLS0	SBF送信長選択
1	0	1	13ビット長で出力 (初期値)
1	1	0	14ビット長で出力
1	1	1	15ビット長で出力
0	0	0	16ビット長で出力
0	0	1	17ビット長で出力
0	1	0	18ビット長で出力
0	1	1	19ビット長で出力
1	0	0	20ビット長で出力
UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。			

UAnTDL	送信データ・レベル・ビット
0	転送データ通常出力
1	転送データ反転出力
- UAnTDLビットによりTXDAn端子の出力レベルを反転できます。 - UAnPWRビット = 0またはUAnTXEビット = 0のとき設定できます。	

UAnRDL	受信データ・レベル・ビット
0	転送データ通常入力
1	転送データ反転入力
- UAnRDLビットによりRXDAn端子の入力レベルを反転できます。 - UAnPWRビット = 0またはUAnRXEビット = 0のとき設定できます。	

(5) UARTAn**状態レジスタ (UAnSTR)**

UAnSTRレジスタは、UARTAnの転送状態と受信エラー内容を示す8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。UAnTSFビットはリードのみ可能で、UAnPE、UAnFE、UAnOVEビットについてはリード／ライト可能ですが、ライト時は“0”ライトによるクリアのみ可能で、“1”ライトによるセット動作はできません（“1”をライトしても値を保持します）。

次にクリア条件を示します。

表15-3 STRレジスタのクリア条件

レジスタ／ビット	クリア条件
UAnSTRレジスタ	・リセット ・UAnCTL0.UAnPWRビット = 0
UAnTSFビット	・UAnCTL0.UAnTXEビット = 0
UAnPE, UAnFE, UAnOVEビット	・0の書き込み ・UAnCTL0.UAnRXEビット = 0

(1/2)

リセット時：00H R/W アドレス：UA0STR FFFFFFFA04H, UA1STR FFFFFFFA14H,
UA2STR FFFFFFFA24H

	⑦	6	5	4	3	②	①	①
UAnSTR	UAnTSF	0	0	0	0	UAnPE	UAnFE	UAnOVE

UAnTSF	転送状態フラグ
0	送信シフト・レジスタにデータなし ・UAnPWRビット = 0, またはUAnTXEビット = 0に設定したとき ・転送完了後に, UAnTXレジスタに次のデータ転送がなかったとき
1	送信シフト・レジスタにデータあり (UAnTXレジスタへの書き込み)

連続送信を行っている場合にはUAnTSFビットは常に“1”になっています。
送信ユニットの初期化を行う場合には, UAnTSFビット = 0になっていることを確認してから初期化を行ってください。UAnTSFビット = 1の状態では初期化を行った場合の送信データは保証できません。

UAnPE	パリティ・エラー・フラグ
0	・UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき ・“0”をライトしたとき
1	受信したパリティ・ビットが設定と一致しないとき

・UAnPEビットの動作は, UAnCTL0.UAnPS1, UAnPS0ビットの設定により左右されます。
 ・UAnPEビットは一度セット (1) されると, クリア (0) されるまで値を保持します。
 ・UAnPEビットはリード／ライト可能となっていますが, “0”ライトによるクリアのみ可能で, “1”ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。

UAnFE	フレーミング・エラー・フラグ
0	• UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき • “0”をライトしたとき
1	受信時, ストップ・ビットが検出されないとき
	• 受信データのストップ・ビットは, UAnCTL0.UAnSLビットの値に関わらず, 最初の1ビットのみチェックします。 • UAnFEビットは一度セット (1) されると, クリア (0) されるまで値を保持します。 • UAnFEビットはリード／ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。

UAnOVE	オーバラン・エラー・フラグ
0	• UAnPWRビット = 0, またはUAnRXEビット = 0に設定したとき • “0”をライトしたとき
1	UAnRXレジスタに受信データがセットされ, それを読み出す前に次の受信動作が完了したとき
	• オーバラン・エラーが発生したとき, 次の受信データは受信バッファに書き込まれず, データは破棄されます。 • UAnOVEビットは一度セット (1) されると, クリア (0) されるまで値を保持します。 • UAnOVEビットはリード／ライト可能となっていますが, “0” ライトによるクリアのみ可能で, “1” ライトによるセット動作はできません。“1”をライトした場合, 値を保持します。

(6) UARTAn受信データ・レジスタ (UAnRX)

UAnRXレジスタは、受信シフト・レジスタで変換したパラレル・データを格納するための8ビット・バッファ・レジスタです。

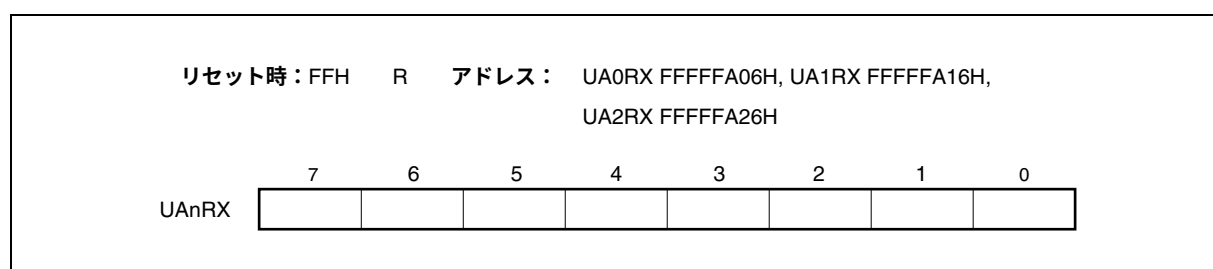
1キャラクタの受信完了により受信シフト・レジスタに格納したデータをUAnRXレジスタに転送します。

データ長を7ビットに指定し、LSBファーストで受信する場合、受信データはUAnRXレジスタのビット6-ビット0に転送され、MSBは必ず“0”になります。MSBファーストで受信する場合、受信データはUAnRXレジスタのビット7-ビット1に転送されLSBは必ず“0”になります。

オーバラン・エラー (UAnOVE) が発生した場合は、そのときの受信データはUAnRXレジスタに転送されず破棄されます。

8ビット単位でリードのみ可能です。

リセット以外に、UAnCTL0.UAnPWRビット = 0によってもUAnRXレジスタはFFHになります。



(7) UARTAn送信データ・レジスタ (UAnTX)

UAnTXレジスタは、送信データを設定するための8ビット・レジスタです。

送信許可状態 (UAnCTL0.UAnTXEビット = 1) のときに、UAnTXレジスタへ送信データを書き込むことにより、送信動作が開始されます。UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送終了したタイミングで、送信許可割り込み要求信号 (INTUAnT) を発生します。

データ長を7ビットに指定し、LSBファーストで送信する場合、送信データはUAnTXレジスタのビット6-0に転送されます。MSBファーストで送信する場合、送信データはUAnTXレジスタのビット7-1に転送されます。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意 送信動作許可状態 (UAnPWRビット = 1かつUAnTXEビット = 1) では、UAnTXレジスタへの書き込みは、送信トリガとして作用されるため、直前の値と同一の値を書き込むと、二度同じデータが送信されてしまいます。送信中の送信データの書き込みは、必ず送信許可割り込み要求信号 (INTUAnT) が発生したあとにしてください。

また、送信禁止状態 (UAnPWRビット = 0またはUAnTXEビット = 0) にてUAnTXレジスタに書き込み後、送信許可状態に設定しても送信は開始されません。

リセット時：FFH R/W アドレス：UA0TX FFFFFFFA07H, UA1TX FFFFFFFA17H,
UA2TX FFFFFFFA27H

	7	6	5	4	3	2	1	0
UAnTX								

15.5 割り込み要求信号

UARTAnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTUAnR)
- ・送信許可割り込み要求信号 (INTUAnT)

これら2種類の割り込み要求信号のデフォルト優先順位は受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表15-4 発生する割り込みとデフォルト優先順位

割り込み要求信号	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTUAnR)

受信許可状態中で、受信シフト・レジスタに受信されたデータがUAnRXレジスタに転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、受信エラーが起った場合にも発生しますので、受信完了割り込み要求信号を受け付け、データを読み出すときに、UAnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

受信禁止状態中は、受信完了割り込み要求信号は発生しません。

(2) 送信許可割り込み要求信号 (INTUAnT)

送信許可状態で、UAnTXレジスタからUARTAn送信シフト・レジスタへ送信データが転送されると送信許可割り込み要求信号を発生します。

15.6 動作

15.6.1 データ・フォーマット

送受信データのフォーマットは図15-5に示すとおり、スタート・ビット、キャラクタ・ビット、パリティ・ビット、ストップ・ビットで1データ・フレームを構成します。

1データ・フレーム内のキャラクタ・ビット長の指定、パリティ選択、ストップ・ビット長の指定、MSBファースト/LSBファーストの転送指定は、UAnCTL0レジスタによって行います。

また、UAnOPT0.UAnTDLビットでTXDAn端子の転送データの通常出力/反転出力の制御を行います。

UAnOPT0.UAnRDLビットでRXDAn端子の受信データの通常入力/反転入力の制御を行います。

- ・スタート・ビット 1ビット
- ・キャラクタ・ビット ... 7ビット/8ビット
- ・パリティ・ビット 偶数パリティ/奇数パリティ/0パリティ/パリティなし
- ・ストップ・ビット 1ビット/2ビット
- ・入力論理 通常入力/反転入力
- ・出力論理 通常出力/反転出力
- ・通信方向 MSB/LSB

図15-5 UARTAの送受信データのフォーマット

(a) 8ビット・データ長, LSBファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55H



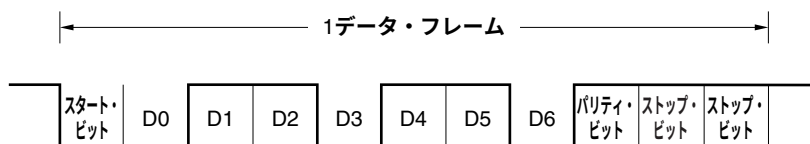
(b) 8ビット・データ長, MSBファースト, 偶数パリティ, 1ストップ・ビット, 転送データ: 55H



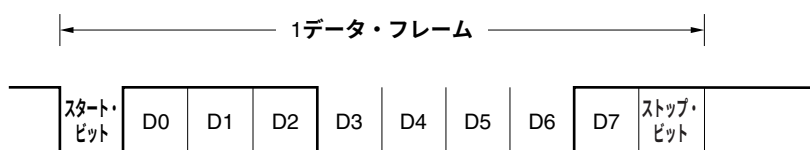
(c) 8ビット・データ長, MSBファースト, 偶数パリティ, 1ストップ・ビット,
転送データ: 55H, 送受信データ反転



(d) 7ビット・データ長, LSBファースト, 奇数パリティ, 2ストップ・ビット, 転送データ: 36H



(e) 8ビット・データ長, LSBファースト, パリティなし, 1ストップ・ビット, 転送データ: 87H



15. 6. 2 UART送信

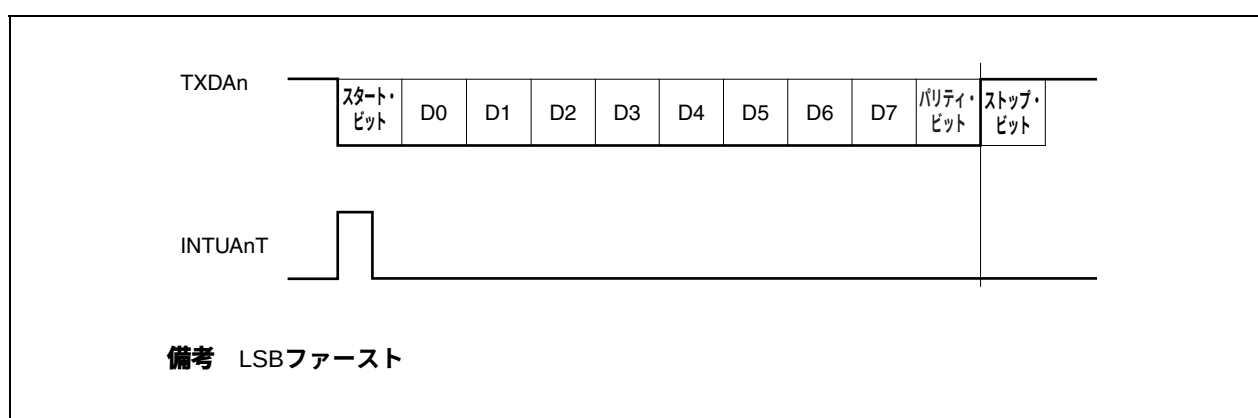
UAnCTL0.UAnPWRビット = 1にし、UAnCTL0.UAnTXEビット = 1にすると送信許可状態となり、UAnTXレジスタに送信データを書き込むことにより送信動作は起動します。スタート・ビット、パリティ・ビット、ストップ・ビットは自動的に付加します。

なお、UARTAnにはCTS（送信許可信号）入力端子がないので、相手側が受信許可状態かを確認するときはポートを使用してください。

送信動作の開始により、UAnTXレジスタ内のデータをUARTAn送信シフト・レジスタへ転送します。

UAnTXレジスタのデータをUARTAn送信シフト・レジスタに転送完了したタイミングで、送信許可割り込み要求信号（INTUAnT）を発生し、そのあとUARTAn送信シフト・レジスタから順次、TXDAn端子に出力します。INTUAnT信号の発生後、UAnTXレジスタに次の転送データの書き込みができます。

図15-6 UART送信



15. 6. 3 連続送信の手順説明

送信許可状態で, UAnTXレジスタに送信データを書き込むと送信動作が起動します。送信動作の開始により, UAnTXレジスタ内のデータがUARTAn送信シフト・レジスタに転送され, 送信許可割り込み要求信号 (INTUAnT) が発生し, シフト動作を開始します。送信許可割り込み要求信号 (INTUAnT) が発生した時点で, 次の送信データをUAnTXレジスタへ書き込むことができます。UARTAn送信シフト・レジスタへの送信タイミングは, 送信許可割り込み要求信号 (INTUAnT) で判断できます。次に送信するデータを, 転送中にUAnTXレジスタに書き込むことにより, 効率的な通信レートを実現できます。

注意 送信の初期化を行う場合, 連続送信実行中は, UAnSTR.UAnTSFビットが“0”であることを確認してから初期化を実行してください。UAnTSFビットが“1”のときに初期化を実行した場合の送信データの保証できません。

図15-7 連続送信の処理フロー

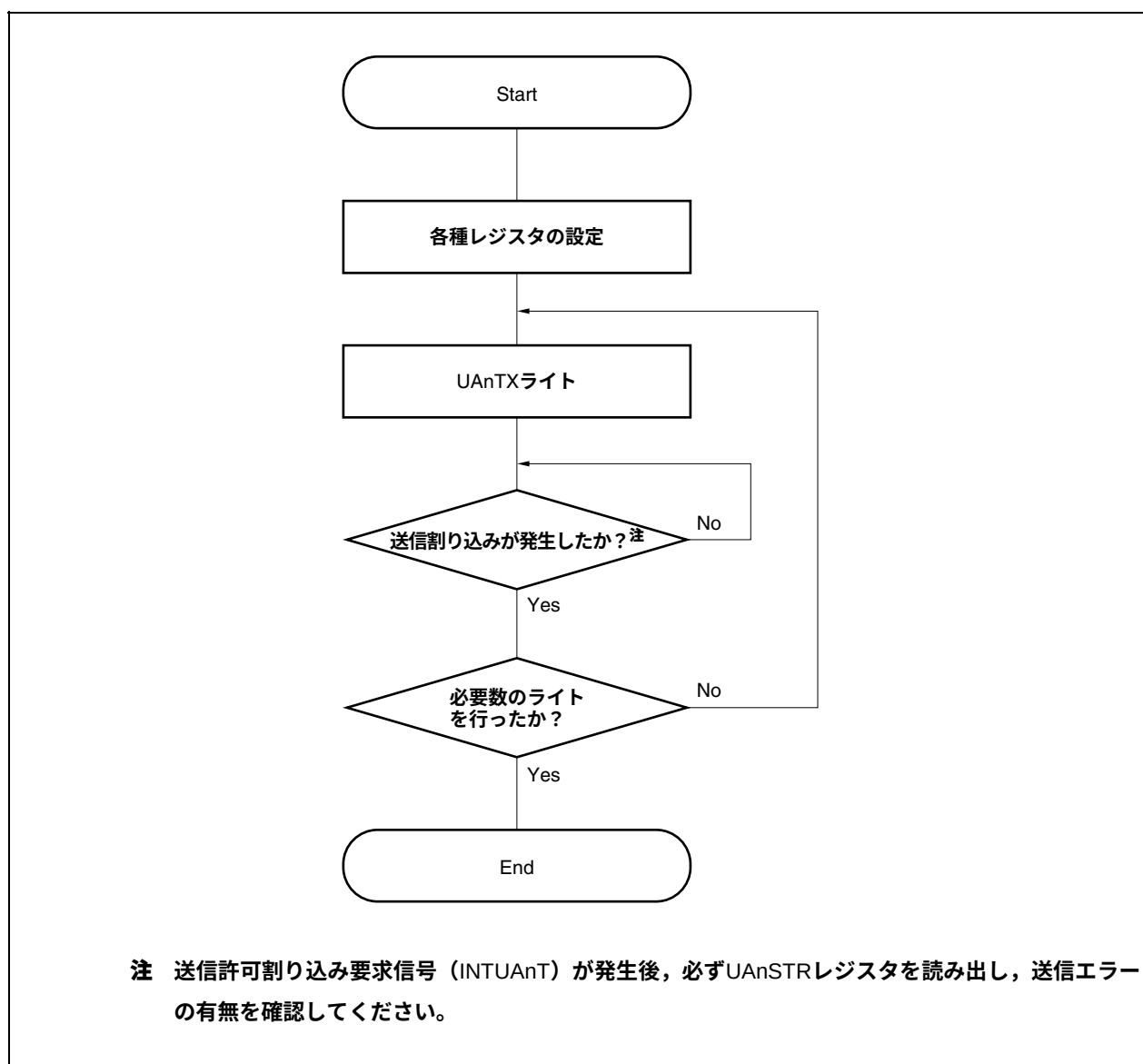
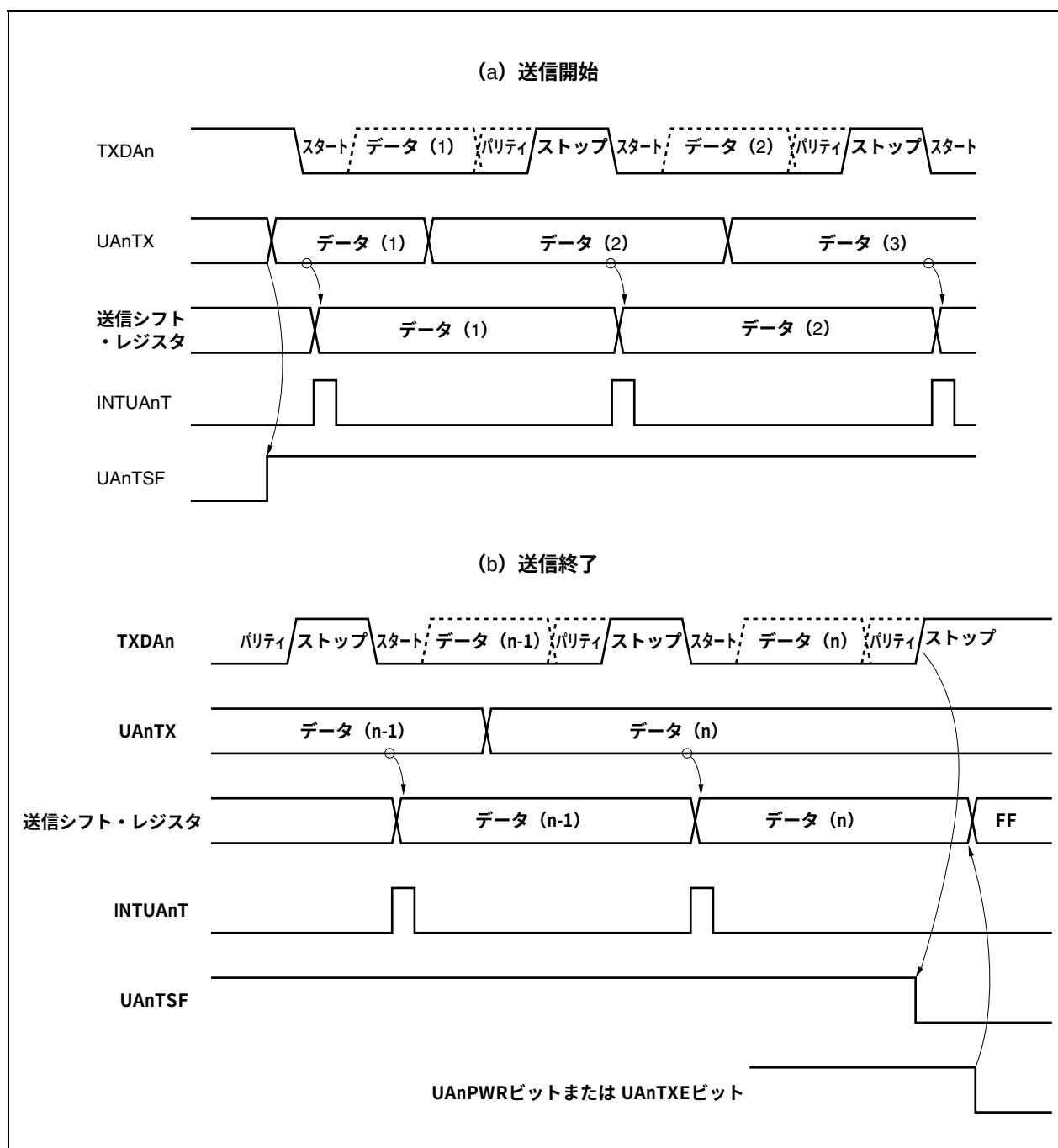


図15-8 連続送信動作のタイミング



15. 6. 4 UART受信

まず次の操作で受信許可状態とし、RXDAn入力のモニタとスタート・ビットの検出を行います。

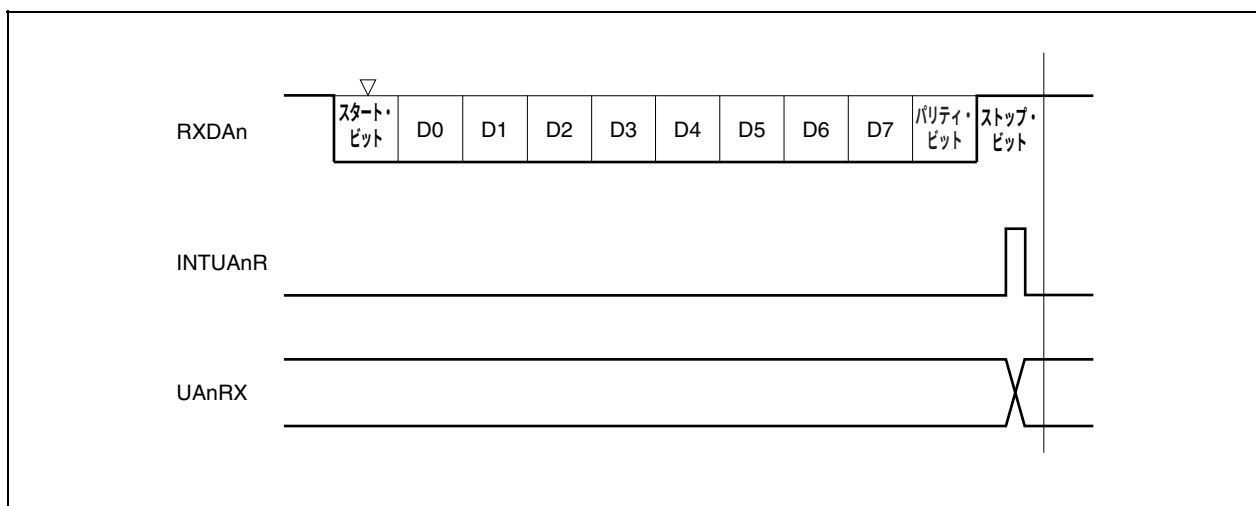
- ・動作クロックをUARTA制御レジスタ1 (UAnCTL1) で指定
- ・ボー・レートをUARTA制御レジスタ2 (UAnCTL2) で指定
- ・出力論理レベルをUARTAオプション制御レジスタ0 (UAnOPT0) で指定
- ・通信方向、パリティ、データ・キャラクタ長、ストップ・ビット長をUARTA制御レジスタ0 (UAnCTL0) で指定
- ・パワー・ビットと受信許可ビットをセット (UAnPWR = 1, UAnRXE = 1)

次に通信方向、パリティ、データ・キャラクタ長、ストップ・ビット長の設定を変更する場合には、パワー・ビットをクリア (UAnPWR = 0) した状態、または送信許可ビットと受信許可ビットが共にクリア (UAnTXE = 0, UAnRXE = 0) の状態にしてから、設定を変更してください。

RXDAn入力のレベルを動作クロックでサンプリングし、立ち下がりエッジを検出すると、RXDAn入力のデータ・サンプリングが始まり、立ち下がりエッジ検出後の1/2ビット分の時間後 (図15-9の▽印) にロウ・レベルであればスタート・ビットと認識します。スタート・ビットが認識されたら、受信動作を開始し、設定されたボー・レートに合わせてシリアル・データを順次、受信シフト・レジスタに格納します。ストップ・ビットを受信したら、受信完了割り込み要求信号 (INTUAnR) が発生すると同時に、受信シフト・レジスタに格納されたデータを受信データ・レジスタ (UAnRX) レジスタに転送します。

ただし、オーバラン・エラーが発生 (UAnOVE = 1) した場合、そのときの受信データはUAnRXに転送されず、破棄されます。一方、パリティ・エラー (UAnPE = 1) , フレーミング・エラー (UAnFE = 1) が発生しても、受信を継続し、受信データはUAnRXレジスタに転送されます。どの受信エラーが発生した場合でも、受信完了後にINTUAnR割り込みが発生します。

図15-9 UART受信



- 注意1.** 受信エラー発生時にも、UAnRXレジスタは必ず読み出してください。UAnRXレジスタを読み出さないと、次のデータ受信にオーバラン・エラーが発生し、いつまでも受信エラーの状態が続くことになります。
2. 受信時は、常に「ストップ・ビット数 = 1」として動作します。2ビット目のストップ・ビットは、無視されます。
 3. 受信終了時は、受信完了割り込み要求信号 (INTUAnR) 発生後、UAnRXレジスタを読み出してから UAnRXEビット = 0としてください。INTUAnR信号が発生する前にUAnRXEビット = 0とした場合、UAnRXレジスタのリード値は保証できません。
 4. UARTAnの受信完了処理 (INTUAnR信号の発生) と、UAnPWRビット = 0またはUAnRXEビット = 0が競合した場合、UAnRXレジスタにデータを格納していないにもかかわらず、INTUAnR信号が発生することがあります。INTUAnR信号の発生を待たずに受信終了を行うときには、必ず割り込み制御レジスタ (UAnRIC) の割り込みマスク・フラグ (UAnRMK) をセット (1) してから、UAnPWRビット = 0またはUAnRXEビット = 0とし、さらにUAnRICレジスタの割り込み要求フラグ (UAnRIF) をクリア (0) してください。

15. 6. 5 受信エラー

受信動作時のエラーは、パリティ・エラー、フレーミング・エラー、オーバラン・エラーの3種類があります。データ受信の結果エラー・フラグがUAnSTRレジスタに設定され、受信完了割り込み要求信号（INTUAnR）が発生します。

UAnSTRレジスタの内容を読み出すことによって、いずれのエラーが受信時に発生したかを検出することができます。

受信エラー・フラグをリードしたあとは、“0” ライトによりクリアしてください。

図15-10 受信データの読み出しフロー

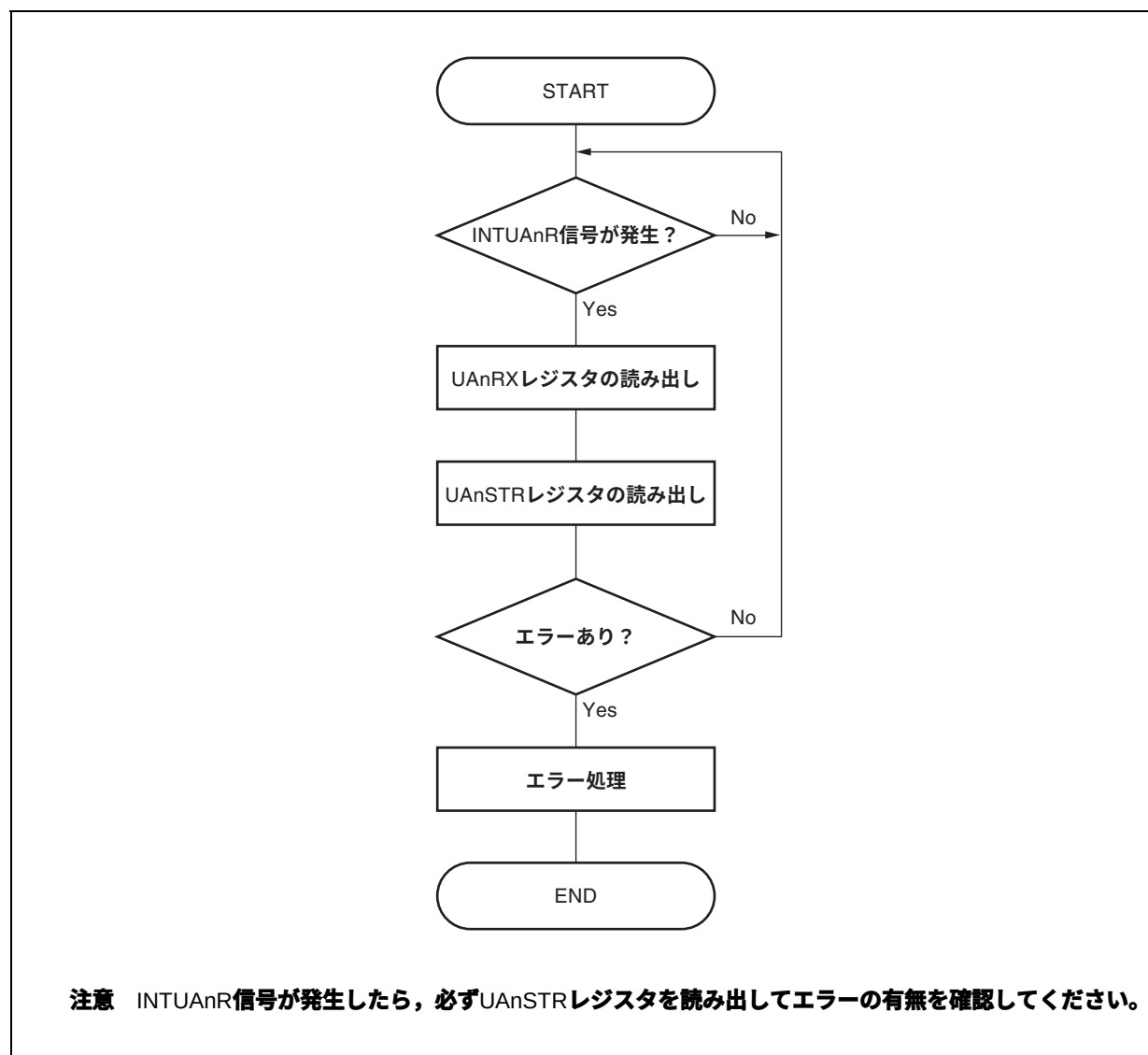


表15-4 受信エラーの要因

エラー・フラグ	受信エラー	要 因
UAnPE	パリティ・エラー	受信したパリティ・ビットが設定と一致しない
UAnFE	フレーミング・エラー	ストップ・ビットが検出されない
UAnOVE	オーバラン・エラー	受信バッファからデータを読み出す前に次のデータ受信が完了

受信エラー発生時は、エラーの内容によって、次の処理を行ってください。

・パリティ・エラー

受信ラインへのノイズなどによって誤ったデータを受信しているため、受信データを破棄し、再度通信を行ってください。

・フレーミング・エラー

送信側との間でボー・レートずれが発生しているか、何らかの理由で誤ってスタート・ビットを検出してしまったことが考えられます。通信フォーマットのフェータルなエラーであるため、送信側の動作停止を確認後、互いに初期化処理を行って再度通信を開始してください。

・オーバラン・エラー

受信バッファを読み出す前に次の受信が完了してしまったため、1フレーム分のデータが破棄された状態になっています。必要なデータであれば再度通信をやり直してください。

注意 受信時には、次の受信が完了する前にUAnSTRレジスタの内容を読み出してエラーの有無を確認し、エラーが発生した場合、エラー処理を実施してください。

15. 6. 6 パリティの種類と動作

パリティ・ビットは通信データのビット誤りを検出するためのビットです。通常は送信側と受信側のパリティ・ビットは同一の種類のもを使用します。

偶数パリティと奇数パリティでは奇数個ビットの誤りを検出することができます。0パリティとパリティなしでは誤りを検出することはできません。

(a) 偶数パリティ

(i) 送信時

パリティ・ビットを含めた送信データ中の、値が“1”のビット数を偶数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に値が“1”のビット数が奇数個：1
- ・送信データ中に値が“1”のビット数が偶数個：0

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、奇数個であった場合にパリティ・エラーが発生します。

(b) 奇数パリティ

(i) 送信時

偶数パリティとは逆に、パリティ・ビットを含めた送信データ中の、値が“1”のビット数を奇数個にするように制御します。パリティ・ビットの値は次のようになります。

- ・送信データ中に、値が“1”のビット数が奇数個：0
- ・送信データ中に、値が“1”のビット数が偶数個：1

(ii) 受信時

パリティ・ビットを含めた受信データ中の、値が“1”のビット数をカウントし、偶数個であった場合にパリティ・エラーが発生します。

(c) 0パリティ

送信時には、送信データによらずパリティ・ビットを“0”にします。

受信時にはパリティ・ビットの検査を行いません。したがって、パリティ・ビットが“0”でも“1”でもパリティ・エラーが発生しません。

(d) パリティなし

送信データにパリティ・ビットを付加しません。

受信時にもパリティ・ビットがないものとして受信動作を行います。パリティ・ビットがないため、パリティ・エラーが発生しません。

注意 LIN機能を使用する場合、UAnCTL0.UAnPS1, UAnPS0ビットを“00”に固定してください。

15. 6. 7 LIN送信／受信フォーマット

V850ES/JC3-L, V850ES/JE3-LにはLIN機能として使用するために、SBF (Synch Break Field) 送信／受信制御機能があります。

備考 LINとは、Local Interconnect Networkの略称で、車載ネットワークのコストダウンを目的とする低速 (1～20 kbps) のシリアル通信プロトコルです。

LINの通信はシングル・マスタ通信で、1つのマスタに対し最大15のスレーブが接続可能です。

LINのスレーブは、スイッチ、アクチュエータ、センサなどの制御に使用され、これらがLINのネットワークを介してLINのマスタに接続されます。

LINのマスタは通常、CAN (Controller Area Network) などのネットワークに接続されます。

また、LINバスはシングル・ワイヤ方式で、ISO9141に準拠したトランシーバを介して各ノードが接続されます。

LINの Protokol では、マスタはフレームにボー・レート情報をつけて送信し、スレーブはこれを受信してマスタとのボー・レート誤差を補正します。このため、スレーブのボー・レート誤差が±15 % 以下であれば、通信可能です。

LINの送信操作と受信操作の概略を、図15-11、図15-12に示します。

図15-11 LINの送信フォーマット

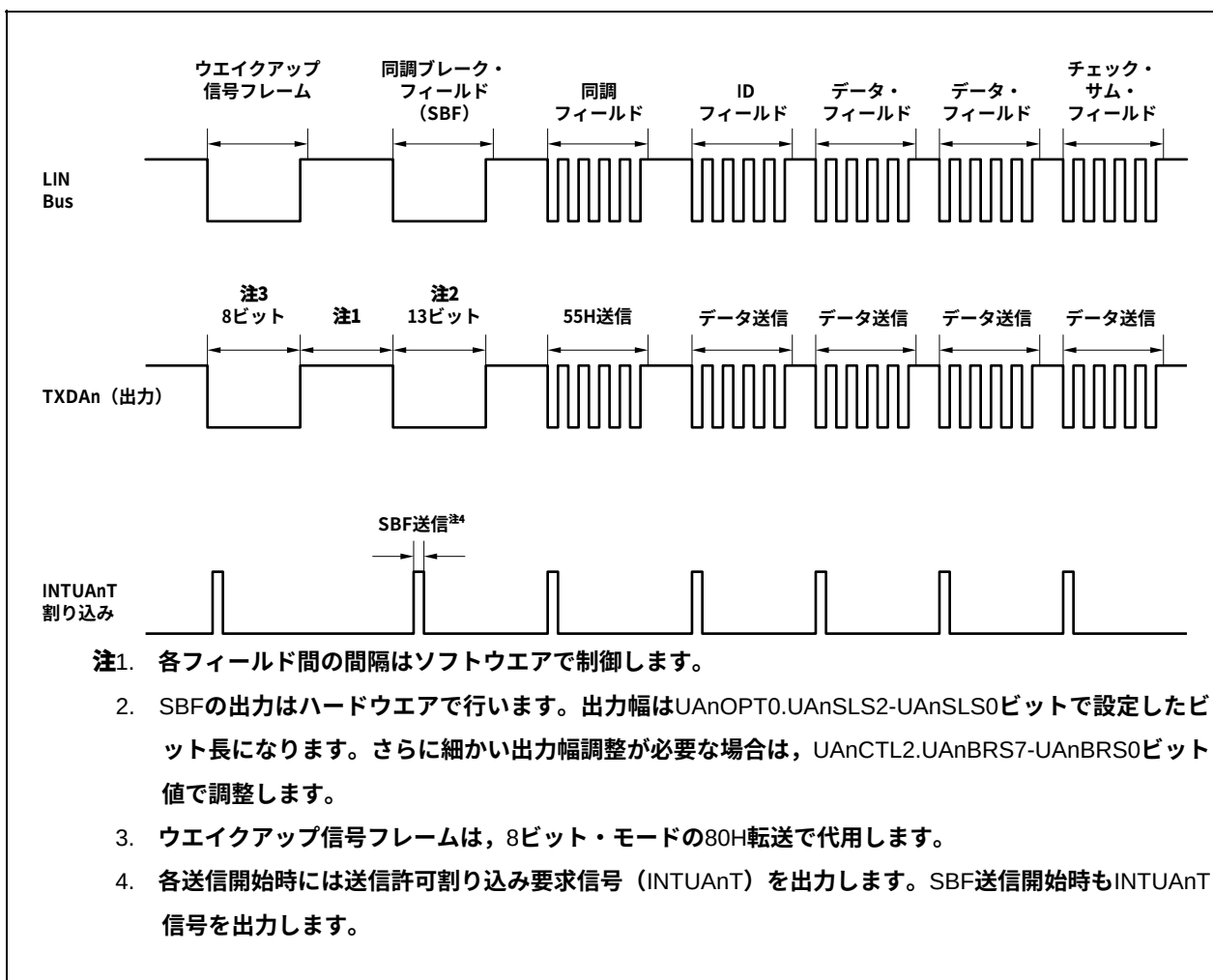
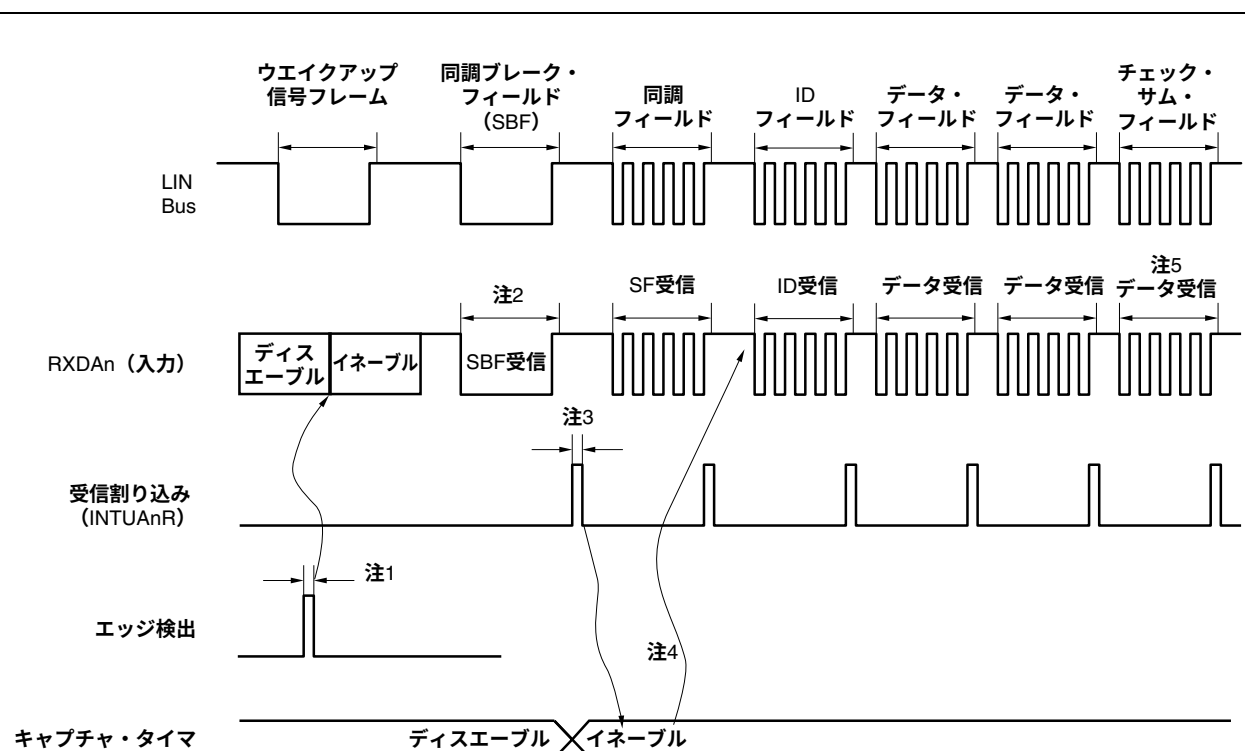


図15-12 LINの受信フォーマット



- 注1. ウェイクアップ・シグナルは、端子のエッジ検出器で行い、UARTAnをイネーブルし、SBF受信モードに設定します。
2. STOPビットの検出まで受信動作を行います。11ビット以上のSBF受信を検出したら、正常SBF受信終了と判断し、割り込み信号を出力します。11ビット以下のSBF受信を検出したら、SBF受信エラーと判断し、割り込み信号を出力せず、SBF受信モードに戻ります。
3. 正常にSBF受信を終了した場合、割り込み要求信号を出力します。SBF受信完了割り込みでタイマをイネーブルにします。また、UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制され、UART通信のエラー検出処理、およびUARTAn受信シフト・レジスタとUAnRXレジスタのデータ転送も行われません。UARTAn受信シフト・レジスタは初期値のFFHを保持します。
4. RXDAn端子をタイマのTI（キャプチャ入力）に接続し転送レートを計算します。SF受信後にUARTAのイネーブルを落としてからボー・レート誤差を補正したUAnCTL2レジスタの値を再セットし、受信状態にします。
5. チェック・サム・フィールドの区別はソフトウェアで行います。チェック・サム・フィールド受信後にUARTAnを初期化し、再びSBF受信モードに設定する処理もソフトウェアにて行います。

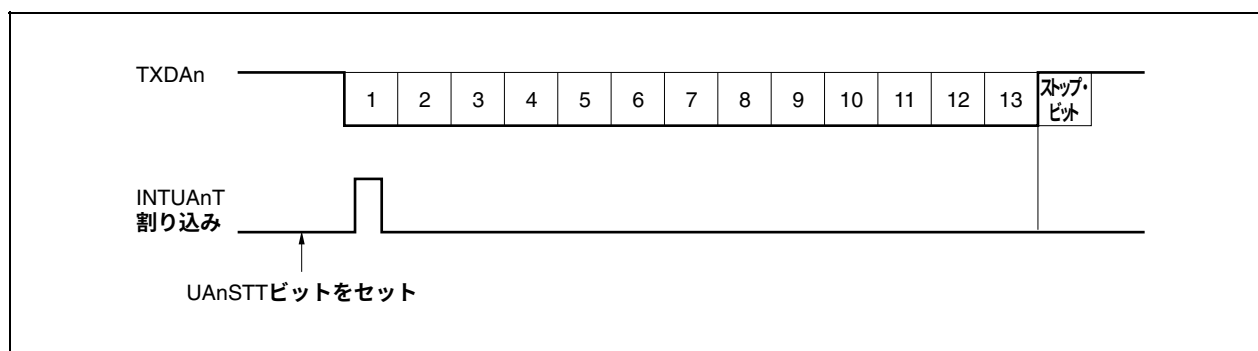
15. 6. 8 SBF送信

UAnCTL0.UAnPWRビット = UAnTXEビット = 1にすると送信許可状態となり、SBF送信トリガ (UAnOPT0.UAnSTTビット) をセット (1) することによりSBF送信動作は起動します。

そのあとUAnOPT0.UAnSLS2-UAnSLS0ビットで指定された13ビット長から20ビット長までの幅のロウ・レベルを出力します。SBF送信開始時には送信許可割り込み要求信号 (INTUAnT) を発生します。SBF送信を終了したあと、UAnSTTビットは自動的にクリアされます。

次に送信するデータをUAnTXレジスタに書き込み、あるいはSBF送信トリガ (UAnSTTビット) をセットするまで、送信動作は中断します。

図15-13 SBF送信例



15. 6. 9 SBF受信

UAnCTL0.UAnPWRビット = 1にして、次に、UAnCTL0.UAnRXEビット = 1にすることにより、受信待ち状態になります。

SBF受信トリガ (UAnOPT0.UAnSRTビット) をセット (1) することで、SBF受信待ち状態になります。

SBF受信待ち状態はUARTの受信待ち状態と同じくRXDAn端子をモニタし、スタート・ビットの検出を行います。

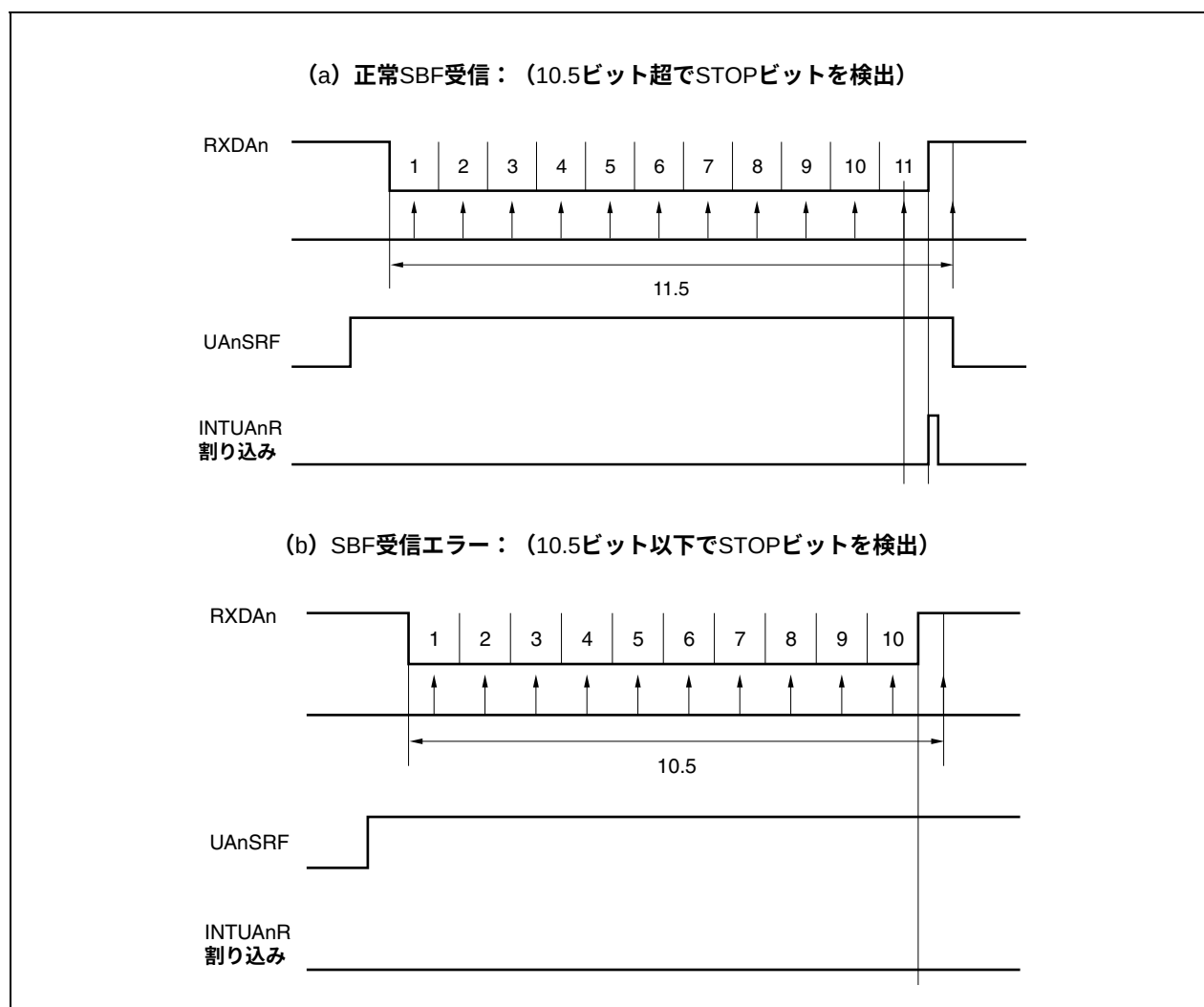
スタート・ビットを検出したら、受信動作を開始し、設定されたボー・レートにあわせて、内蔵カウンタをカウント・アップします。

ストップ・ビットを受信したら、SBFの幅が11ビット長以上の場合、正常処理として、受信完了割り込み要求信号 (INTUAnR) を発生します。UAnOPT0.UAnSRFビットは自動的にクリアされ、SBF受信を終了します。UAnSTR.UAnOVE, UAnPE, UAnFEビットの各エラー検出は抑制されUART通信のエラー検出処理は行われません。また、UARTAn受信シフト・レジスタとUAnRXレジスタのデータの転送も行われず、初期値のFFHを保持します。SBFの幅が10ビット長以下の場合、エラー処理として、割り込みを出さずに受信を終了し、再びSBF受信モードに戻ります。その際UAnSRFビットはクリアされません。

注意1. データ受信中に、SBFが送信されてきた場合には、フレーミング・エラーとなります。

2. SBF受信トリガ・ビット (UAnSRT) , SBF送信トリガ・ビット (UAnSTT) はSBF受信中 (UAnSRF = 1) にセット (1) しないでください。

図15-14 SBF受信



15.6.10 受信データのノイズ・フィルタ

専用ポー・レート・ジェネレータからの基本クロックでRXDAn端子をサンプリングします。

サンプリング値が同じ値を2回取ると、一致検出器の出力が変化し、入力データとしてサンプリングされます。したがって、1クロック幅以下のデータはノイズとして判断され、内部回路には伝わりません(図15-16参照)。基本クロックについては15.7 (1) (a) 基本クロックを参照してください。

また、回路は図15-15のようにになっているので、受信動作の内部での処理は、外部の信号状態より3クロック分遅れて動作することになります。

図15-15 ノイズ・フィルタ回路

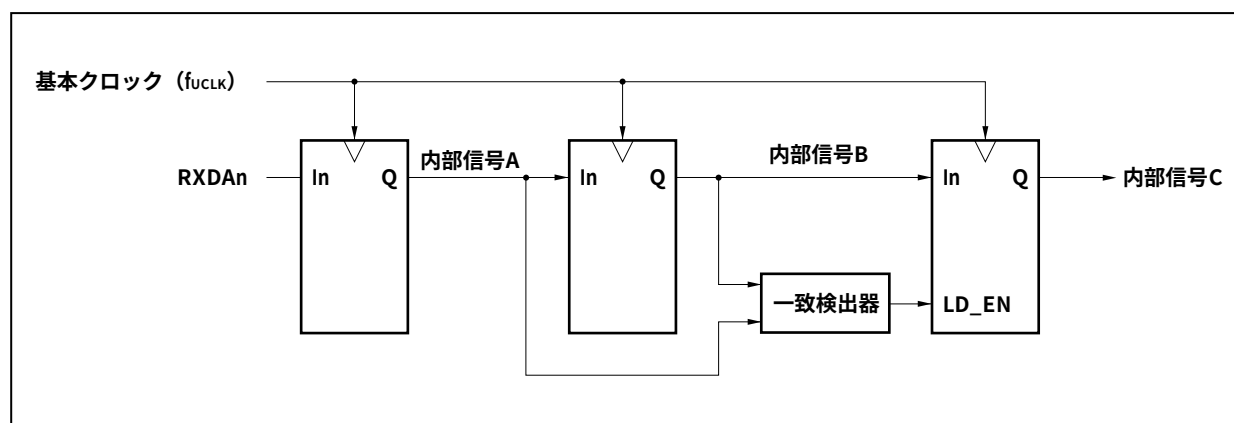
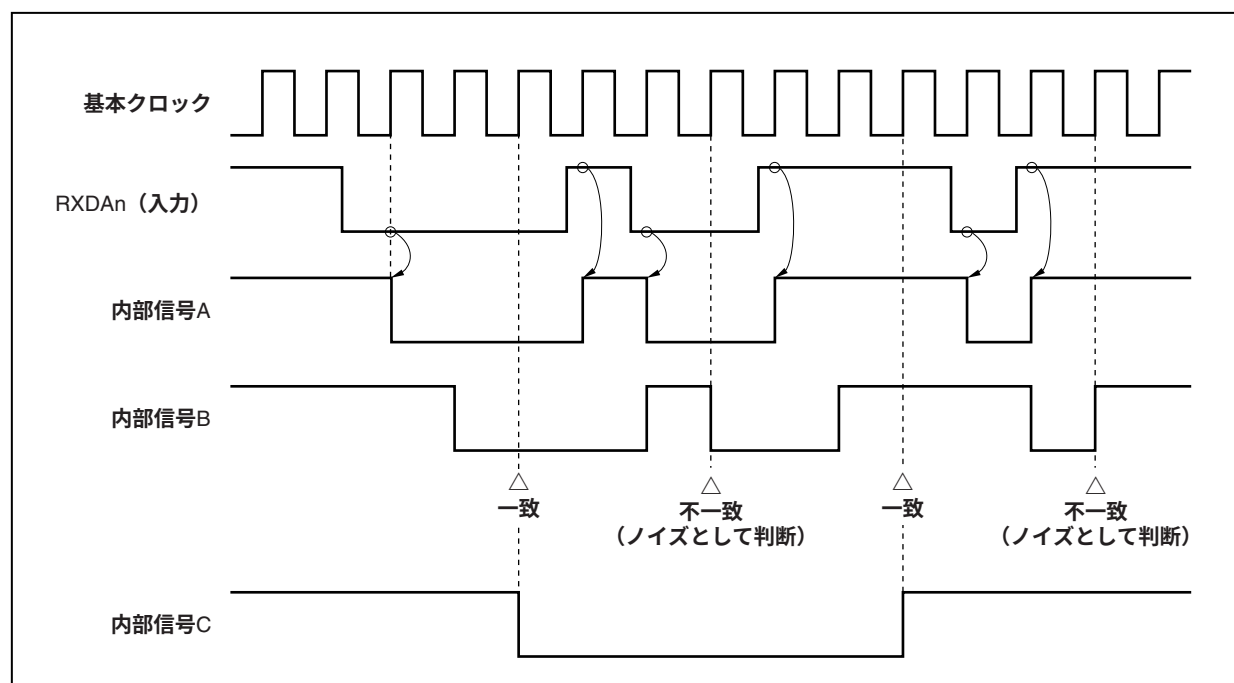


図15-16 ノイズとして判断されるRXDAn信号のタイミング



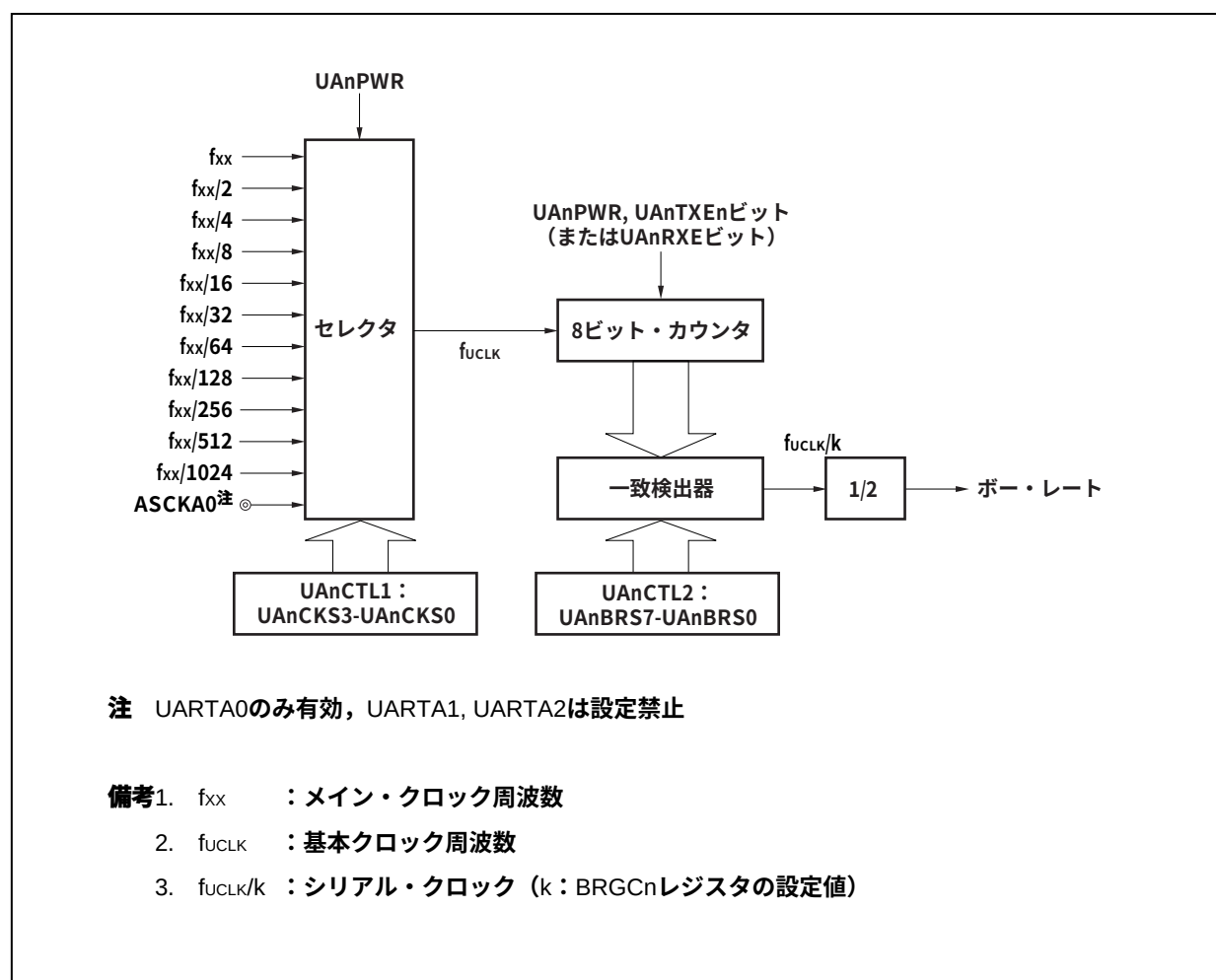
15.7 専用ボー・レート・ジェネレータ

専用ボー・レート・ジェネレータは、ソース・クロック・セクタ部と8ビットのプログラマブル・カウンタ部により構成され、UARTAnにおける送受信時のシリアル・クロックを生成します。シリアル・クロックは、チャネルごとに専用ボー・レート・ジェネレータ出力を選択できます。

なお、8ビット・カウンタは送信用と受信用が別々に存在します。

(1) ボー・レート・ジェネレータの構成

図15-17 ボー・レート・ジェネレータの構成



(a) 基本クロック

UAnCTL0.UAnPWRビット = 1のとき，UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロックを8ビット・カウンタに供給します。このクロックを基本クロック (f_{UCLK}) と呼びます。

(b) シリアル・クロックの生成

UAnCTL1レジスタとUAnCTL2レジスタの設定により，シリアル・クロックを生成できます ($n = 0-2$)。

UAnCTL1.UAnCKS3-UAnCKS0ビットにより，基本クロックを選択します。

UAnCTL2.UAnBRS7-UAnBRS0ビットにより，8ビット・カウンタの分周値を設定できます。

シリアル・クロックを2分周したものが，ボー・レート・クロックになります。

(2) UARTAn**制御レジスタ1** (UAnCTL1)

UAnCTL1レジスタは、UARTAnの基本クロックを選択するための8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 UAnCTL1レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0にしてから行ってください。

リセット時：00H R/W アドレス：UA0CTL1 FFFFFFFA01H, UA1CTL1 FFFFFFFA11H,
UA2CTL1 FFFFFFFA21H

	7	6	5	4	3	2	1	0
UAnCTL1	0	0	0	0	UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0

UAnCKS3	UAnCKS2	UAnCKS1	UAnCKS0	基本クロック (f _{CLK}) の選択
0	0	0	0	f _{xx}
0	0	0	1	f _{xx} /2
0	0	1	0	f _{xx} /4
0	0	1	1	f _{xx} /8
0	1	0	0	f _{xx} /16
0	1	0	1	f _{xx} /32
0	1	1	0	f _{xx} /64
0	1	1	1	f _{xx} /128
1	0	0	0	f _{xx} /256
1	0	0	1	f _{xx} /512
1	0	1	0	f _{xx} /1024
1	0	1	1	外部クロック ^注 (ASCKA0端子)
上記以外				設定禁止

注 UARTA0のみ有効、UARTA1, UARTA2, V850ES/JC3-L (40ピン) は設定禁止

備考 f_{xx}：メイン・クロック周波数

(3) UARTAn制御レジスタ2 (UAnCTL2)

UAnCTL2レジスタは、UARTAnのボー・レート（シリアル転送スピード）クロックを選択するための8ビットのレジスタです。UAnCTL2レジスタで設定したクロックを2分周したクロックがボー・レート・クロックになります。

8ビット単位でリード／ライト可能です。

リセットによりFFHになります。

注意 UAnCTL2レジスタを書き換える場合は、UAnCTL0.UAnPWRビット = 0、またはUAnTXE, UAnRXEビット = 00にしてから行ってください。

リセット時：FFH R/W アドレス：UA0CTL2 FFFFFFFA02H, UA1CTL2 FFFFFFFA12H,
UA2CTL2 FFFFFFFA22H

	7	6	5	4	3	2	1	0
UAnCTL2	UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0

UAnBRS7	UAnBRS6	UAnBRS5	UAnBRS4	UAnBRS3	UAnBRS2	UAnBRS1	UAnBRS0	規定値 (k)	シリアル・クロック
0	0	0	0	0	0	×	×	×	設定禁止
0	0	0	0	0	1	0	0	4	f _{UCLK} /4
0	0	0	0	0	1	0	1	5	f _{UCLK} /5
0	0	0	0	0	1	1	0	6	f _{UCLK} /6
:	:	:	:	:	:	:	:	:	:
1	1	1	1	1	1	0	0	252	f _{UCLK} /252
1	1	1	1	1	1	0	1	253	f _{UCLK} /253
1	1	1	1	1	1	1	0	254	f _{UCLK} /254
1	1	1	1	1	1	1	1	255	f _{UCLK} /255

備考 f_{UCLK}：UAnCTL1.UAnCKS3-UAnCKS0ビットで選択したクロック周波数

(4) ボー・レート

ボー・レートは次の式によって求められます。

$$\text{ボー・レート} = \frac{f_{\text{CLK}}}{2 \times k} \quad [\text{bps}]$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{ボー・レート} = \frac{f_{\text{xx}}}{2^{m+1} \times k} \quad [\text{bps}]$$

備考 $f_{\text{CLK}} = \text{UAnCTL1.UAnCKS3-UAnCKS0}$ ビットで選択した基本クロックの周波数

f_{xx} : メイン・クロック周波数

$m = \text{UAnCTL1.UAnCKS3-UAnCKS0}$ ビットで設定した値 ($m = 0-10$)

$k = \text{UAnCTL2.UAnBRS7-UAnBRS0}$ ビットで設定した値 ($k = 4-255$)

ボー・レート誤差は次の式によって求められます。

$$\begin{aligned} \text{誤差 (\%)} &= \left(\frac{\text{実際のボー・レート (誤差のあるボー・レート)}}{\text{目標ボー・レート (正常なボー・レート)}} - 1 \right) \times 100 [\%] \\ &= \left(\frac{f_{\text{CLK}}}{2 \times k \times \text{目標ボー・レート}} - 1 \right) \times 100 [\%] \end{aligned}$$

内部クロックを使用する場合は、次の式になります (UARTA0でASCKA0端子入力をクロックとして使用する場合は、上の式で計算してください)。

$$\text{誤差 (\%)} = \left(\frac{f_{\text{xx}}}{2^{m+1} \times k \times \text{目標ボー・レート}} - 1 \right) \times 100 [\%]$$

注意1. 送信時のボー・レート誤差は、受信先の許容誤差以内にしてください。

2. 受信時のボー・レート誤差は、(5) 受信時の許容ボー・レート範囲で示す範囲を満たすようにしてください。

ボー・レートを設定するときは、次のように計算してUAnCTL1, UAnCTL2レジスタを設定してください
(内部クロック使用時)。

- ① $k = f_{xx} / (2 \times \text{目標ボー・レート})$ とし、 $m = 0$ としてください。
- ② $k \geq 256$ のとき、 $k = k/2$ とし、 $m = m+1$ としてください。
- ③ $k < 256$ になるまで、②を繰り返してください。
- ④ k の小数点第一位を四捨五入します。

四捨五入して、 $k = 256$ になったときは、 $m = m+1$ として、 $k = \frac{256}{2} = 128$ になります。

- ⑤ m をUAnCTL1レジスタに、 k をUAnCTL2レジスタに設定してください。

例： $f_{xx} = 20 \text{ MHz}$ 、目標ボー・レート：153,600 bpsの場合

- ① $k = 20,000,000 / (2 \times 153,600) = 65.10\cdots$ 、 $m = 0$
- ②, ③ $k = 65.10\cdots < 256$ 、 $m = 0$
- ④ UAnCTL2レジスタ設定値： $k = 65 = 41\text{H}$ 、UAnCTL1レジスタ設定値： $m = 0$

実際のボー・レート = $20,000,000 / (2 \times 65)$
= 153,846 [bps]

ボー・レート誤差 = $\{20,000,000 / (2 \times 65 \times 153,600) - 1\} \times 100$
= 0.160 [%]

次に、代表的なボー・レートの設定例を示します。

表15-3 ボー・レート・ジェネレータ設定データ

ボー・レート (bps)	$f_{xx} = 20 \text{ MHz}$			$f_{xx} = 16 \text{ MHz}$			$f_{xx} = 10 \text{ MHz}$		
	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)	UAnCTL1	UAnCTL2	ERR (%)
300	08H	82H	0.16	07H	D0H	0.16	07H	82H	0.16
600	07H	82H	0.16	06H	D0H	0.16	06H	82H	0.16
1200	06H	82H	0.16	05H	D0H	0.16	05H	82H	0.16
2400	05H	82H	0.16	04H	D0H	0.16	04H	82H	0.16
4800	04H	82H	0.16	03H	D0H	0.16	03H	82H	0.16
9600	03H	82H	0.16	02H	D0H	0.16	02H	82H	0.16
19200	02H	82H	0.16	01H	D0H	0.16	01H	82H	0.16
31250	01H	A0H	0	01H	80H	0	00H	A0H	0
38400	01H	82H	0.16	00H	D0H	0.16	00H	82H	0.16
76800	00H	82H	0.16	00H	68H	0.16	00H	41H	0.16
153600	00H	41H	0.16	00H	34H	0.16	00H	21H	-1.36
312500	00H	20H	0	00H	1AH	-1.54	00H	10H	0
625000	00H	10H	0	00H	0DH	-1.54	00H	08H	0

備考 f_{xx} : メイン・クロック周波数

ERR : ボー・レート誤差 [%]

(5) 受信時の許容ボー・レート範囲

受信の際に、送信先のボー・レートのずれがどの程度まで許容できるかを次に示します。

注意 ここに示すボー・レート誤差は理論値です。実際には、UARTを使用する環境によって信号がなまったり、許容誤差範囲内でも正常通信ができなくなる場合がありますので、誤差はなるべく小さくするようにしてください。

図15-18 受信時の許容ボー・レート範囲

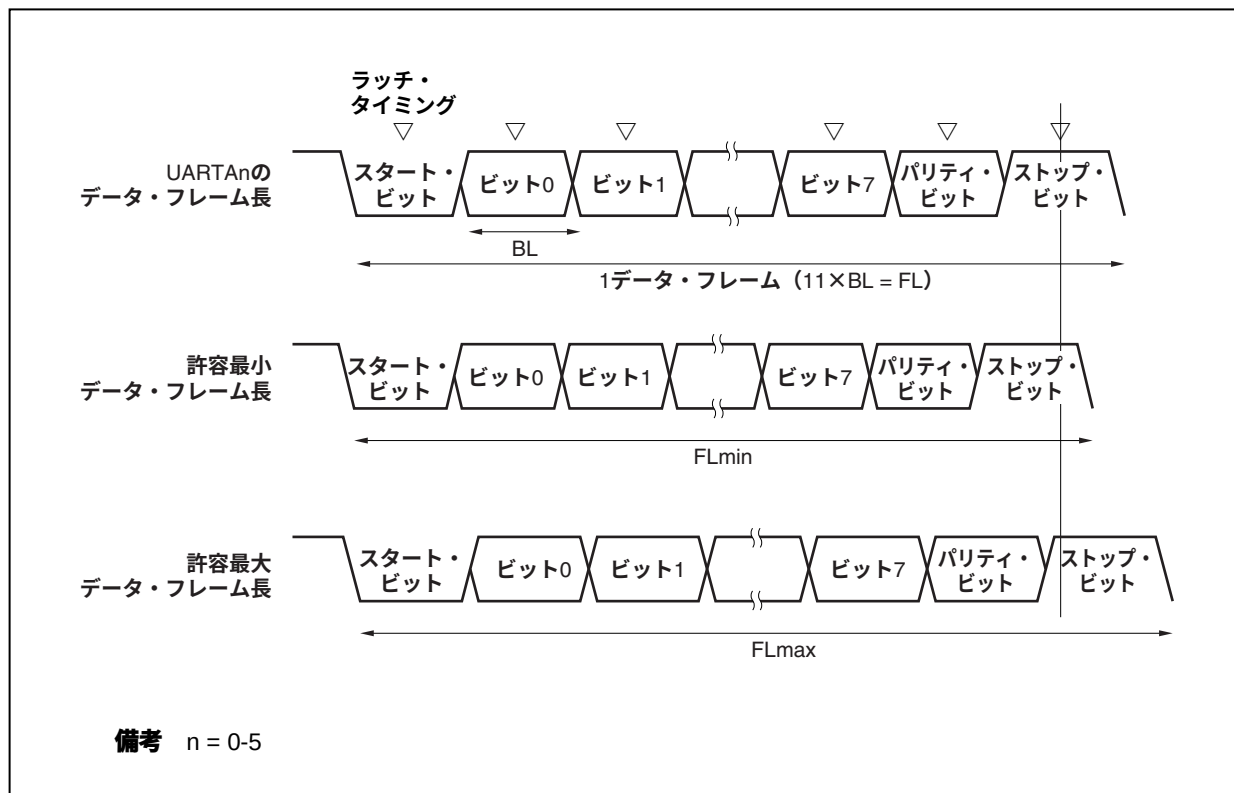


図15-18に示すように、スタート・ビット検出後はUAnCTL2レジスタで設定したカウンタにより、受信データのラッチ・タイミングが決定されます。このラッチ・タイミングに最終データ（ストップ・ビット）までが間に合えば正常に受信できます。

これを11ビット受信に当てはめると理論上、次のようになります。

$$BL = (\text{Brate})^{-1}$$

Brate : UARTAnのボー・レート (n = 0-2)

k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値 (n = 0-2)

BL : 1ビット・データ長

FL : 1データ・フレーム長

ラッチ・タイミングのマージン：2クロック

$$\text{許容最小データ・フレーム長} : FL_{\min} = 11 \times BL - \frac{k-2}{2k} \times BL = \frac{21k+2}{2k} BL$$

したがって、受信可能な送信先の最大ボー・レートは次のようになります。

$$BR_{\max} = (FL_{\min}/11)^{-1} = \frac{22k}{21k+2} \text{ Brate}$$

同様に、許容最大データ・フレーム長を求めると、次のようになります。

$$\frac{10}{11} \times FL_{\max} = 11 \times BL - \frac{k+2}{2 \times k} \times BL = \frac{21k-2}{2 \times k} BL$$

$$FL_{\max} = \frac{21k-2}{20k} BL \times 11$$

したがって、受信可能な送信先の最小ボー・レートは次のようになります。

$$BR_{\min} = (FL_{\max}/11)^{-1} = \frac{20k}{21k-2} \text{ Brate}$$

前述の最小／最大ボー・レート値の算出式から、UARTAnと送信先とのボー・レートの許容誤差を求めると次のようになります。

表15-4 許容最大／最小ボー・レート誤差 (11ビット長の例)

分周比 (k)	許容最大ボー・レート誤差	許容最小ボー・レート誤差
4	+2.32 %	-2.43 %
8	+3.53 %	-3.61 %
20	+4.26 %	-4.31 %
50	+4.56 %	-4.58 %
100	+4.66 %	-4.67 %
255	+4.72 %	-4.73 %

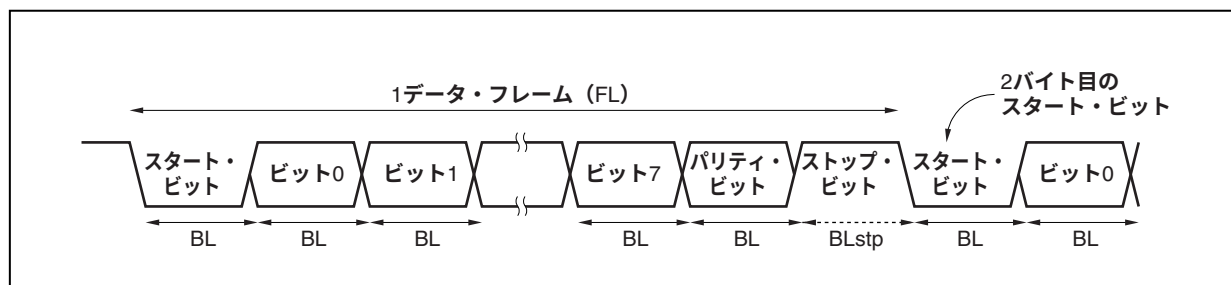
備考1. 受信の精度は、1フレーム・ビット数、基本クロック周波数 (f_{CLK})、分周比 (k) に依存します。基本クロック周波数 (f_{CLK}) が高く、分周比 (k) が大きくなるほど精度は高くなります。

2. k : UAnCTL2.UAnBRS7-UAnBRS0ビットの設定値

(6) 連続送信時のデータ・フレーム長

連続送信する場合、ストップ・ビットから次のスタート・ビットまでのデータ・フレーム長が通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出により、タイミングの初期化が行われるので転送結果には影響しません。

図15-19 連続送信時のデータ・フレーム長



1ビット・データ長：BL，ストップ・ビット長：BLstp，基本クロック周波数： f_{CLK} とすると次の式が成り立ちます。

$$BL_{stp} = BL + 2 / f_{CLK}$$

したがって、連続送信での転送レートは次のようになります。

$$\text{データ・フレーム長} = 11 \times BL + (2 / f_{CLK})$$

15.8 注意事項

- (1) UARTAnへの供給クロックが停止する場合（例：IDLE1, IDLE2, STOPモード）は、各レジスタはクロック停止直前の値を保持したまま動作を停止します。TXDAn端子出力も停止直前の値を保持、出力します。ただし、クロック供給の再開後の動作は保証しません。したがって、再開後はUAnCTL0.UAnPWR, UAnRXEn, UAnTXEnビット = 000とし、回路を初期化してください。
- (2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。
- (3) UARTAnでは、通信エラーによる割り込みを発生しません。そのため、DMA転送で送信データ、受信データの転送を行う場合、転送中にエラー（パリティ／オーバラン／フレーミング）が発生しても、エラー処理を行えません。DMA転送終了後にUAnSTRレジスタを読み出してエラーがなかったことを確認するか、通信中に適宜UAnSTRレジスタを読み出してエラーの有無を確認してください。
- (4) RXDA0端子とINTP7端子は兼用となっています。RXDA0端子として使用する場合は、兼用しているINTP7端子のエッジ検出を無効にしてください（INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定）。
- (5) UARTAnの起動は次の順序で行ってください。
 - ① UAnCTL0.UAnPWRビット = 1
 - ② ポートの設定
 - ③ UAnCTL0.UAnTXEビット = 1, UAnCTL0.UAnRXEビット = 1
- (6) UARTAnの停止は次の順序で行ってください。
 - ① UAnCTL0.UAnTXEビット = 0, UAnCTL0.UAnRXEビット = 0
 - ② ポートの設定, UAnCTL0.UAnPWRビット = 0（ポートの設定は変更しなくても問題ありません）
- (7) 送信モード中（UAnCTL0.UAnPWRビット = 1, かつUAnCTL0.UAnTXEビット = 1）に、ソフトウェアでUAnTXレジスタの同値書き込みをしないでください。このレジスタへの書き込みにより送信が開始するためです。同値を連続送信する場合は問題ありません。
- (8) 連続送信の場合、ストップ・ビットから次のスタート・ビットまでの期間が、通常より基本クロックの2クロック分延びます。ただし、受信側はスタート・ビットの検出でタイミングの初期化を行うため、受信結果には影響しません。
- (9) RXDAn端子に常にロウ・レベルが入力されている状態では、UARTAはスタート・ビットとは判断できません。

第16章 クロック同期式シリアル・インタフェースB (CSIB)

V850ES/JC3-L, V850ES/JE3-Lに搭載されているCSIBのチャンネル数を次に示します。

品名	V850ES/JC3-L (40ピン)	V850ES/JC3-L (48ピン)	V850ES/JE3-L
チャンネル数	2チャンネル CSIB0, CSIB2	4チャンネル CSIB0-CSIB2, CSIB4	5チャンネル CSIB0-CSIB4

この章では、チャンネル数をnと省略して表記してあります。

16.1 特 徴

○3線式シリアル・インタフェース

SOBn : シリアル・データ出力

SIBn : シリアル・データ入力

SCKBn : シリアル・クロック入出力

送信モード、受信モード、送受信モードを指定可能

○転送速度：最大8 Mbps

○マスタ・モードとスレーブ・モードを選択可能

○割り込み要求信号：2種類

- ・受信完了割り込み (INTCBnR) : 受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生（オーバラン・エラーが起こった場合にも発生）。

また、シングル転送モード時は送信のみにおいても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生。

- ・送信許可割り込み (INTCBnT) : 連続送信／連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号が発生。

○SCKBnに対するデータの送受信タイミングの指定が可能

○転送データ長を8-16ビットに1ビット単位で選択可能

○転送データのMSB先頭／LSB先頭を切り替え可能

○送信、受信ともにダブル・バッファ構成

○オーバラン・エラー検出機能

16.2 構 成

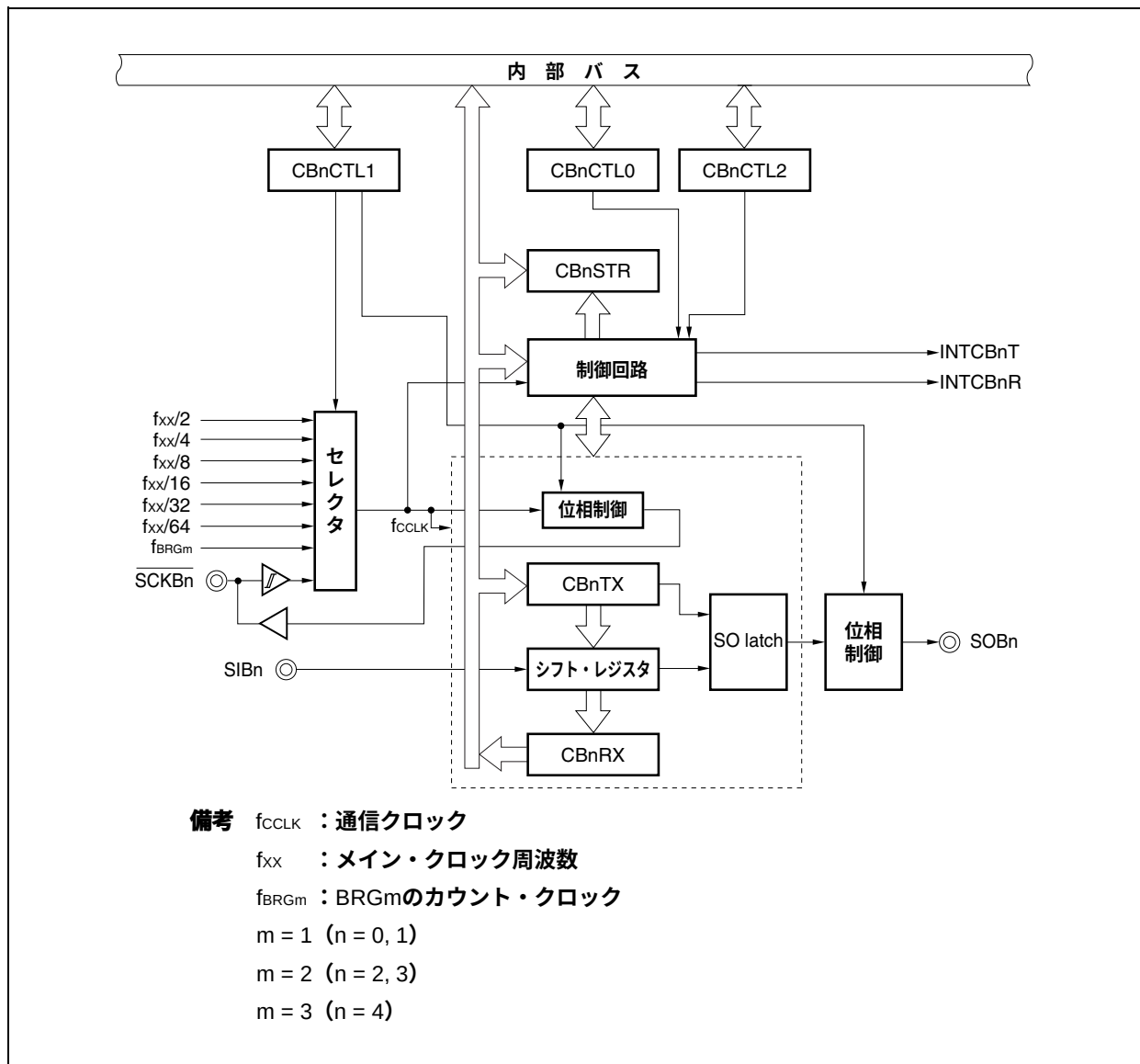
CSIBnは、次のハードウェアで構成されています。

表16-1 CSIBnの構成

項 目	構 成
レジスタ	CSIBn受信データ・レジスタ (CBnRX)
	CSIBn送信データ・レジスタ (CBnTX)
	CSIBn制御レジスタ0 (CBnCTL0)
	CSIBn制御レジスタ1 (CBnCTL1)
	CSIBn制御レジスタ2 (CBnCTL2)
	CSIBn状態レジスタ (CBnSTR)

次にCSIBnのブロック図を示します。

図16-1 CSIBnのブロック図



16. 2. 1 各チャネルの端子機能について

V850ES/JC3-L, V850ES/JE3-Lでは、CSIBを構成するSIB_n, SOB_n, $\overline{\text{SCKB}}_n$ 端子は、表16-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-17 端子を兼用機能として使用する場合参照）。

表16-2 端子構成

チャネル	ピン番号			ポート	CSIB受信 入力	CSIB送信 出力	CSIBクロック 入出力	その他の兼用機能
	JC3-L (40)	JC3-L (48)	JE3-L					
CSIB0	16	20	28	P40	SIB0	—	—	SDA01
	17	21	29	P41	—	SOB0	—	SCL01
	18	22	30	P42	—	—	$\overline{\text{SCKB}}_0$	—
CSIB1	—	38	50	P97	SIB1	—	—	TIP20/TOP20
	—	39	51	P98	—	SOB1	—	—
	—	36	48	P99	—	—	$\overline{\text{SCKB}}_1$	—
CSIB2	24	28	38	P53	SIB2	—	—	KR3/TIQ00/TOQ00/RTP03/DDO
	25	29	39	P54	—	SOB2	—	KR4/RTP04/DCK
	26	30	40	P55	—	—	$\overline{\text{SCKB}}_2$	KR5/RTP05/DMS
CSIB3	—	—	16	P910	SIB3	—	—	—
	—	—	15	P911	—	SOB3	—	—
	—	—	14	P912	—	—	$\overline{\text{SCKB}}_3$	—
CSIB4	—	34	46	P31	SIB4	—	—	RXDA0/INTP7
	—	33	45	P30	—	SOB4	—	TXDA0
	—	35	47	P32	—	—	$\overline{\text{SCKB}}_4$	ASCKA0/TIP00/TOP00

備考 JC3L (40) : V850ES/JC3-L (40ピン製品) ,

JC3L (48) : V850ES/JC3-L (48ピン製品) ,

JE3L : V850ES/JE3-L

16.3 CSIB とほかのシリアル・インタフェースのモード切り替え

16.3.1 CSIB0 と I²C01 のモード切り替え

V850ES/JC3-L, V850ES/JE3-L では、CSIB0 と I²C01 は端子が兼用になっており、同時には使用できません。CSIB0 を使用するときは、あらかじめ PMC4, PFC4 レジスタで設定する必要があります。

次にシリアル・インタフェースの CSIB0 と I²C01 との動作モードの設定について示します。

注意 CSIB0 または I²C01 において、送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-2 CSIB0 と I²C01 の動作モード切り替え設定

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PMC4m	PFC4m	動作モード
0	×	ポート入出力モード
1	0	CSIB0モード
1	1	I ² C01モード

- 備考** 1. m = 0, 1
 2. × = don't care

16. 3. 2 CSIB4とUARTA0のモード切り替え

V850ES/JE3-Lでは、CSIB4とUARTA0は端子が兼用になっており、同時には使用できません。CSIB4を使用するときは、あらかじめPMC3、PFC3、PFCE3Lレジスタで設定する必要があります。

次にシリアル・インタフェースのCSIB4とUARTA0との動作モードの設定について示します。

注意 CSIB4またはUARTA0において、送信あるいは受信動作中に動作モードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図16-3 CSIB4とUARTA0の動作モード切り替え設定

リセット時：0000H R/W アドレス：FFFFFF446H, FFFFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時：0000H R/W アドレス：FFFFFF466H, FFFFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

リセット時：00H R/W アドレス：FFFFFF706H

	7	6	5	4	3	2	1	0
PFCE3L	0	0	0	0	0	PFCE32	0	0

PMC32	PFCE32	PFC32	動作モード
0	×	×	ポート入出力モード
1	0	0	ASCKA0
1	0	1	SCKB4

PMC3m	PFC3m	動作モード
0	×	ポート入出力モード
1	0	UARTA0モード
1	1	CSIB4モード

備考1. m = 0, 1

2. × = don't care

16.4 レジスタ

CSIBnを制御するレジスタを次に示します。

- CSIBn受信データ・レジスタ (CBnRX)
- CSIBn送信データ・レジスタ (CBnTX)
- CSIBn制御レジスタ0 (CBnCTL0)
- CSIBn制御レジスタ1 (CBnCTL1)
- CSIBn制御レジスタ2 (CBnCTL2)
- CSIBn状態レジスタ (CBnSTR)

(1) CSIBn受信データ・レジスタ (CBnRX)

CBnRXレジスタは、受信データを保持する16ビットのバッファ・レジスタです。

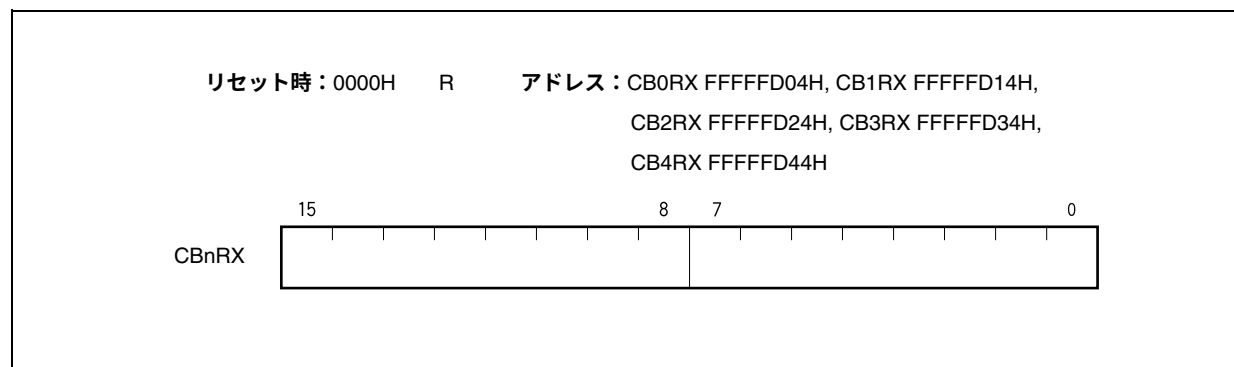
16ビット単位でリードのみ可能です。

受信モード時に、CBnRXレジスタをリードすることにより、受信動作を開始します。

転送データ長が8ビットの場合は、CBnRXレジスタの下位8ビットをCBnRXLレジスタとして、8ビット単位でリードのみ可能です。

リセットにより0000Hになります。

リセット以外に、CBnCTL0レジスタのCBnPWRビットをクリア (0) しても初期化されます。



(2) CSIBn送信データ・レジスタ (CBnTX)

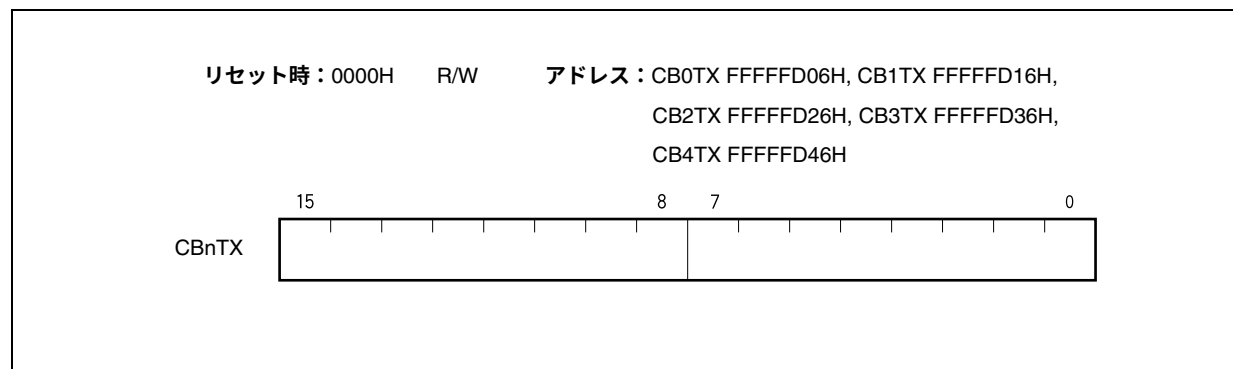
CBnTXレジスタは、CSIBnの転送データを書き込む16ビットのバッファ・レジスタです。

16ビット単位でリード／ライト可能です。

送信許可状態のときは、CBnTXレジスタにデータをライトすることにより、送信動作を開始します。

転送データ長が8ビットの場合は、CBnTXレジスタの下位8ビットをCBnTXLレジスタとして、8ビット単位でリード／ライト可能です。

リセットにより0000Hになります。



備考 通信開始条件について

送信モード (CBnTXEビット = 1, CBnRXEビット = 0) : CBnTXレジスタへのライト

送受信モード (CBnTXEビット = 1, CBnRXEビット = 1) : CBnTXレジスタへのライト

受信モード (CBnTXEビット = 0, CBnRXEビット = 1) : CBnRXレジスタのリード

(3) CSIBn制御レジスタ0 (CBnCTL0)

CSIBnのシリアル転送動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより01Hになります。

(1/3)

リセット時：01H R/W アドレス：CB0CTL0 FFFFFFFD00H, CB1CTL0 FFFFFFFD10H,
CB2CTL0 FFFFFFFD20H, CB3CTL0 FFFFFFFD30H,
CB4CTL0 FFFFFFFD40H

	⑦	⑥	⑤	④	3	2	1	①
CBnCTL0	CBnPWR	CBnTXE ^注	CBnRXE ^注	CBnDIR ^注	0	0	CBnTMS ^注	CBnSCE

CBnPWR	CSIBn動作禁止／許可の指定
0	CSIBn動作禁止, CBnSTRレジスタをリセットする
1	CSIBn動作許可
・CBnPWRビットはCSIBnの動作の制御と内部回路のリセットを行います。	

CBnTXE ^注	送信動作禁止／許可の指定
0	送信動作禁止
1	送信動作許可
・CBnTXEビット = 0のとき, SOBn出力はロウ・レベルとなります。	

CBnRXE ^注	受信動作禁止／許可の指定
0	受信動作禁止
1	受信動作許可
・CBnRXEビット = 0のとき, 規定のデータを転送されても受信完了割り込みは出力されず, 受信データ (CBnRXレジスタ) は更新されません。	

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただしCBnPWRビットと同時に0→1, または1→0に変更することは可能です。

注意 送受信を強制中断する場合は, CBnRXE, CBnTXEビットではなく, CBnPWRビットをクリア (0) してください。このとき, クロック出力も停止します。

CBnDIR ^注	転送方向モード (MSB/LSB) の指定
0	MSBファースト
1	LSBファースト

CBnTMS ^注	転送モードの指定
0	シングル転送モード
1	連続転送モード

【シングル転送モード】

- ・このモードでは通信完了で受信完了割り込み (INTCBnR) が発生します。送信許可 (CBnTXEビット = 1) の場合でも送信許可割り込み (INTCBnT) は発生しません。
- ・受信完了割り込み (INTCBnR) が発生したら、次の送信データをライトしたり受信データをリードしたりすることで、次の通信が起動します。
- ・通信中 (CBnSTR.CBnTSFビット = 1) に、次の送信データをライトしたり受信データをリードしても次の通信は起動しません。

【連続転送モード】

- ・このモードでは、送信動作許可 (CBnTXEビット = 1) なら、次の送信データが書き込み可能になると送信許可割り込み (INTCBnT) が発生し、受信動作許可 (CBnRXEビット = 1) なら、転送が完了すると受信完了割り込み (INTCBnR) が発生します。
- ・送信許可割り込み (INTCBnT) 発生後に、次の送信データが書き込み可能になります。そこで、データをライトすると連続した転送ができます。
- ・受信のみの通信に設定 (CBnTXEビット = 0, CBnRXEビット = 1) すると、CBnRXレジスタのリード操作に関係なく、受信完了割り込み (INTCBnR) 後、連続して次の受信を開始します。受信完了割り込み (INTCBnR) 後、速やかに受信データをリードしてください。次の受信完了割り込み (INTCBnR) が発生するまでにリードしなかった場合にはオーバラン・エラー (CBnSTR.CBnOVEビット = 1) が発生します。

注 CBnPWRビット = 0の場合のみ書き換えが可能です。ただしCBnPWRビットと同時に0→1, または1→0に変更することは可能です。

CBnSCE	起動転送無効／許可の指定
0	通信起動トリガ無効
1	通信起動トリガ有効

受信モード時の通信起動トリガの有効／無効を制御するビットです。

- ・マスタ・モード時
 - (a) シングル送信／送受信モード，連続送信／送受信モード時
CBnSCEビットの設定は，動作に影響ありません。
 - (b) シングル受信モード時
受信データ (CBnRXレジスタ) のリードで受信動作が起動されるため，最終受信データのリードを行う前にCBnSCEビットを“0”に設定して次の受信動作の起動を無効にしてください^{注1}。
 - (c) 連続受信モード時
最終データのひとつ前の受信データをリードしたら，CBnSCEビットを“0”に設定して最終データ受信後の受信動作の起動を無効にしてください^{注2}。
- ・スレーブ・モード時
CBnSCEビットは“1”に設定してください。

【CBnSCEビットの使用方法】

- ・シングル受信モード時
 - ①INTCBnR割り込み処理で最終データの受信が完了している場合には，CBnSCEビット = 0にしてからCBnRXレジスタを読み出す。
 - ②CBnSTR.CBnTSFビット = 0を確認後，受信を禁止する場合，CBnPWRビット = 0, CBnRXEビット = 0とする。
再びデータを受信したい場合には，CBnSCEビット = 1にしてCBnRXレジスタのダミー・リードにより次の受信動作を起動する。
- ・連続受信モード時
 - ①最終データのひとつ前のINTCBnR割り込み処理で，CBnSCEビット = 0とする。
 - ②CBnRXレジスタを読み出す。
 - ③CBnTIR割り込みを受けて，CBnRXレジスタを読み出すことで，最終受信データを読み出す。
 - ④CBnSTR.CBnTSFビット = 0を確認後，受信を禁止する場合，CBnPWRビット = 0, CBnRXEビット = 0とする。
再びデータを受信したい場合には，CBnSCEビット = 1にしてCBnRXレジスタのダミー・リードにより次の受信動作まで待つ。

- 注1.** CBnSCEビットが“1”のままCBnRXレジスタをリードした場合，次回の通信動作が起動されます。
- 2.** 最終データの受信を完了する1通信クロック前までにCBnSCEビットが“0”にならない場合，自動的に次回の通信動作が起動されます。

注意 ビット3, 2には必ず0を設定してください。

(4) CSIBn制御レジスタ1 (CBnCTL1)

CSIBnのシリアル転送動作モードを指定する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 CBnCTL1レジスタは、CBnCTL0.CBnPWRビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL1 FFFFFFFD01H, CB1CTL1 FFFFFFFD11H,
CB2CTL1 FFFFFFFD21H, CB3CTL1 FFFFFFFD31H,
CB4CTL1 FFFFFFFD41H

	7	6	5	4	3	2	1	0
CBnCTL1	0	0	0	CBnCKP	CBnDAP	CBnCKS2	CBnCKS1	CBnCKS0

	CBnCKP	CBnDAP	SCKBnに対するデータの送受信タイミングの指定
通信タイプ1	0	0	
通信タイプ2	0	1	
通信タイプ3	1	0	
通信タイプ4	1	1	

CBnCKS2	CBnCKS1	CBnCKS0	通信クロック (f _{CCLK}) 注	モード
0	0	0	f _{xx} /2	マスタ・モード
0	0	1	f _{xx} /4	マスタ・モード
0	1	0	f _{xx} /8	マスタ・モード
0	1	1	f _{xx} /16	マスタ・モード
1	0	0	f _{xx} /32	マスタ・モード
1	0	1	f _{xx} /64	マスタ・モード
1	1	0	f _{BRGm}	マスタ・モード
1	1	1	外部クロック (SCKBn)	スレーブ・モード

注 通信クロック (f_{CCLK}) は、8 MHz以下になるように設定してください。

備考 n = 0, 1の場合, m = 1

n = 2, 3の場合, m = 2

n = 4の場合, m = 3

f_{BRGm}についての詳細は16. 8 ポー・レート・ジェネレータを参照してください。

(5) CSIBn制御レジスタ2 (CBnCTL2)

CSIBnのシリアル転送データ長を指定する8ビットのレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 CBnCTL2レジスタは、CBnCTL0.CBnPWRビット = 0、またはCBnTXE, CBnRXEビット = 0の場合のみ書き換えが可能です。

リセット時：00H R/W アドレス：CB0CTL2 FFFFFFFD02H, CB1CTL2 FFFFFFFD12H,
CB2CTL2 FFFFFFFD22H, CB3CTL2 FFFFFFFD32H,
CB4CTL2 FFFFFFFD42H

	7	6	5	4	3	2	1	0
CBnCTL2	0	0	0	0	CBnCL3	CBnCL2	CBnCL1	CBnCL0

CBnCL3	CBnCL2	CBnCL1	CBnCL0	転送データ長
0	0	0	0	8ビット
0	0	0	1	9ビット
0	0	1	0	10ビット
0	0	1	1	11ビット
0	1	0	0	12ビット
0	1	0	1	13ビット
0	1	1	0	14ビット
0	1	1	1	15ビット
1	×	×	×	16ビット

備考1. 転送データ長が8/16ビットではない場合には、CBnTX, CBnRXレジスタの最下位ビットから詰めてデータを準備して使用してください。

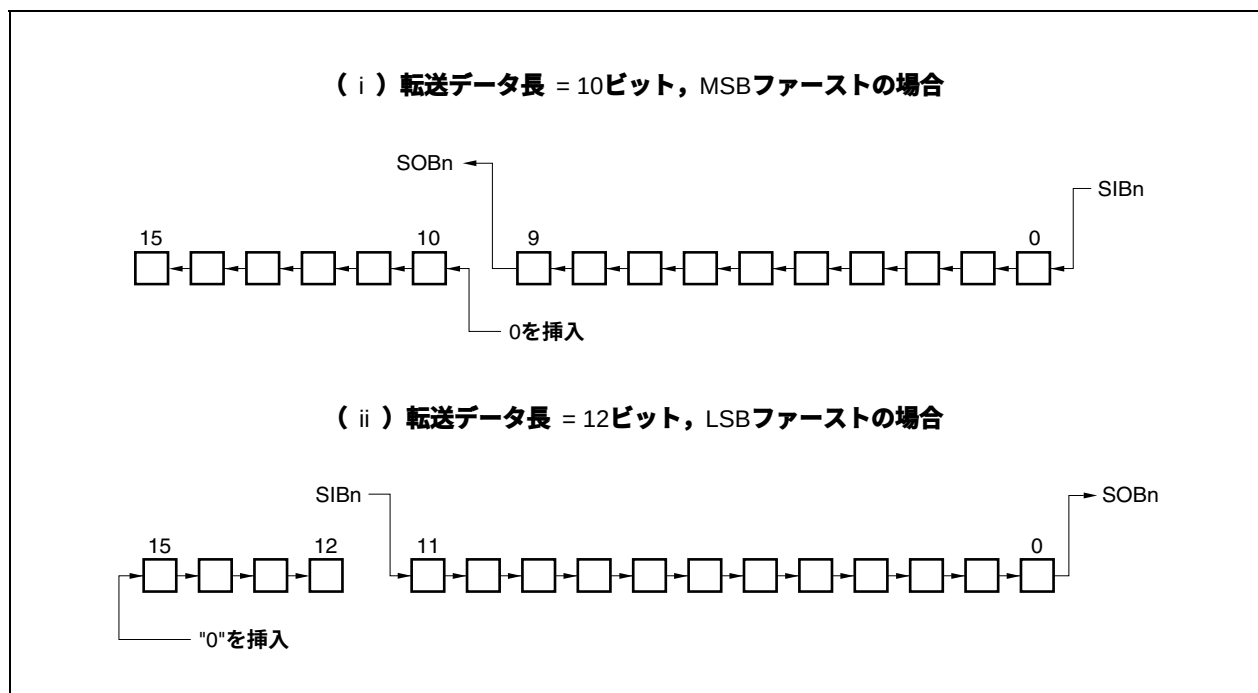
2. ×：don't care

(a) 転送データ長変更機能

CSIBnの転送データ長はCBnCTL2.CBnCL3-CBnCL0ビットによって、8-16ビットに1ビット単位で設定可能です。

転送データ長を16ビット以外に設定した場合、CBnTX, CBnRXレジスタへは、転送先頭ビットがMSBであってもLSBであっても最下位ビットから詰めてデータをセットしてください。使用しない上位ビットにセットするデータは任意ですが、シリアル転送後の受信データは“0”になります。

図16-4 転送データ長を16ビット以外に設定した動作例



(6) CSIBn状態レジスタ (CBnSTR)

CSIBnの状態をあらわす8ビットのレジスタです。

8/1ビット単位でリード／ライト可能ですが、CBnTSFフラグはリードのみ可能です。

リセットにより00Hになります。

リセット以外に、CBnCTL0.CBnPWRビットをクリア (0) する場合も初期化されます。

リセット時：00H R/W アドレス：CB0STR FFFFFFFD03H, CB1STR FFFFFFFD13H,
CB2STR FFFFFFFD23H, CB3STR FFFFFFFD33H,
CB4STR FFFFFFFD43H

	⑦	6	5	4	3	2	1	①
CBnSTR	CBnTSF	0	0	0	0	0	0	CBnOVE

CBnTSF	通信状態フラグ
0	通信停止
1	通信中
送信時にはCBnTXレジスタにデータを準備したタイミングでセットされます。受信時にはCBnRXレジスタをダミー・リードしたタイミングでセットされます。転送終了時、クロックの最後のエッジでクリア (0) されます。	

CBnOVE	オーバラン・エラー・フラグ
0	オーバランなし
1	オーバランあり
- 受信時もしくは受信動作完了後に、受信バッファの値をCPUがリードせずに次の受信が完了した場合、オーバラン・エラーとなります。 CBnOVEフラグは、このような場合のオーバラン・エラーの発生状態を示します。 - シングル転送モード時もCBnOVEビットは有効です。そのため、送信のみで使用する場合は、次のように対応してください。 - CBnOVEフラグのチェックを行わない。 - 受信データを読み出す必要がない場合でも読み出す。 - CBnOVEフラグは“0”ライトによりクリアされます。“1”ライトしてもセットされません。	

16.5 割り込み要求信号

CSIBnからは次の2種類の割り込み要求信号を発生します。

- ・受信完了割り込み要求信号 (INTCBnR)
- ・送信許可割り込み要求信号 (INTCBnT)

これら2種類の割り込み要求信号のデフォルト優先順位は、受信完了割り込み要求信号の方が高く、送信許可割り込み要求信号の方が低くなっています。

表16-3 発生する割り込みとデフォルト優先順位

割り込み要求信号	優先順位
受信完了	高
送信許可	低

(1) 受信完了割り込み要求信号 (INTCBnR)

受信許可状態中で、CBnRXレジスタに受信データが転送されると受信完了割り込み要求信号が発生します。

受信完了割り込み要求信号は、オーバラン・エラーが起こった場合にも発生します。

受信完了割り込み要求信号を受け付け、データを読み出すときに、CBnSTRレジスタを読み出して受信結果がエラーでないか確認してください。

また、シングル転送モード時は送信のみにあっても、送信完了のタイミングで、INTCBnR割り込み要求信号が発生します。

(2) 送信許可割り込み要求信号 (INTCBnT)

連続送信／連続送受信モードにおいて、CBnTXレジスタから送信データが転送され、CBnTXへの書き込みが可能となった時点で送信許可割り込み要求信号を発生します。

シングル送信／シングル送受信モードにおいては、INTCBnT割り込みは発生しません。

16.6 動作

16.6.1 シングル転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CLK}) = $f_{\text{xx}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

図16-5 シングル転送モード動作フロー (マスタ・モード, 送信モード)

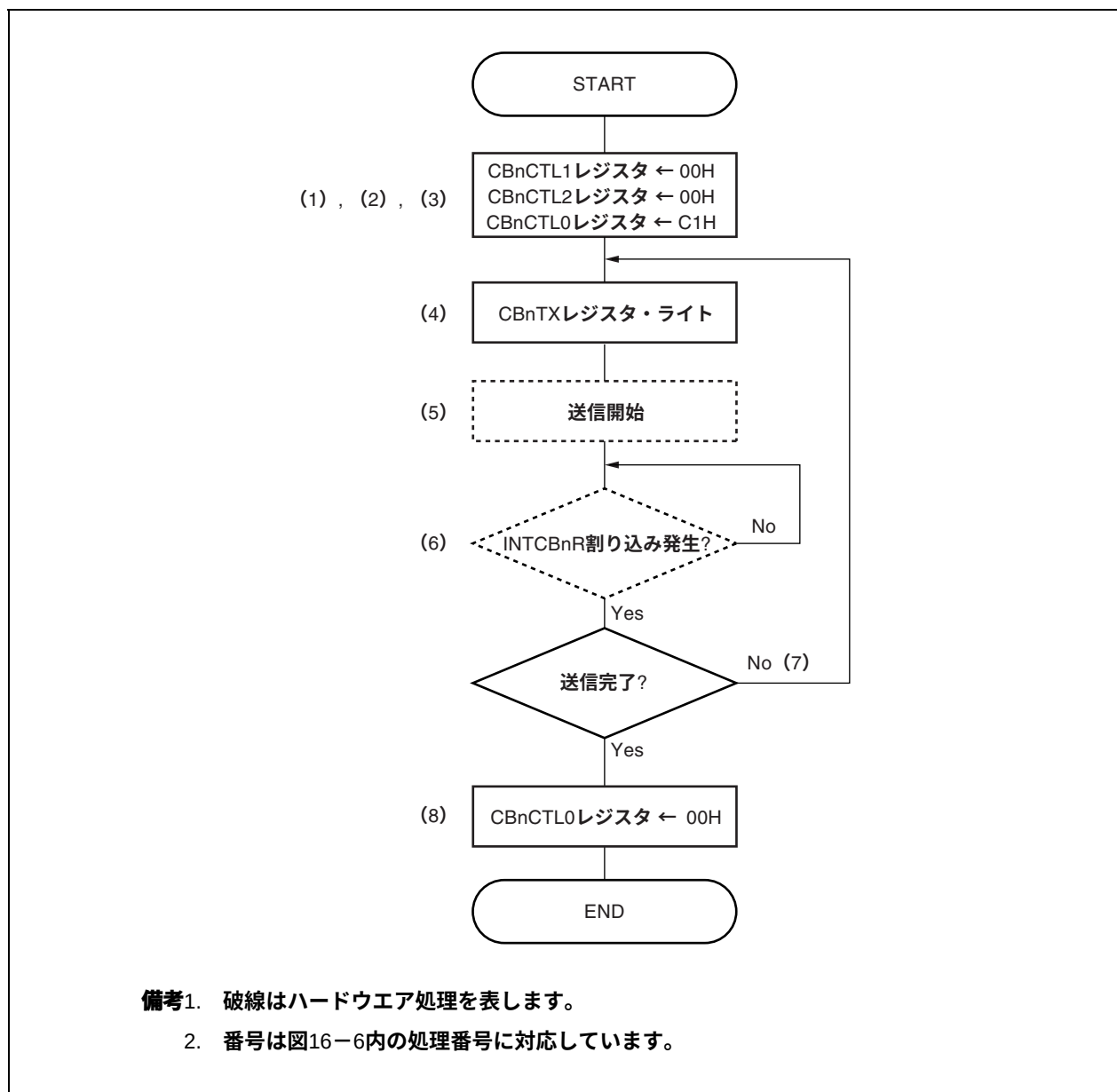
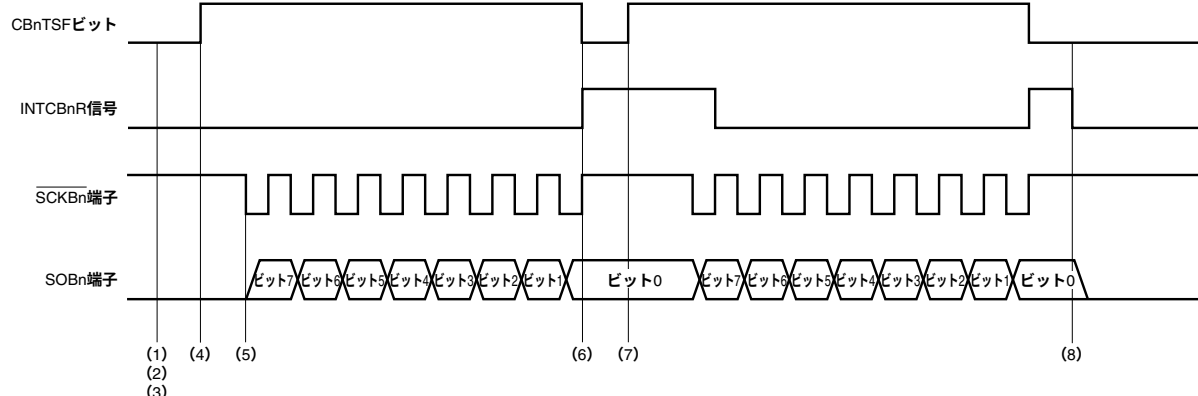


図16-6 シングル転送モード動作タイミング (マスタ・モード, 送信モード)

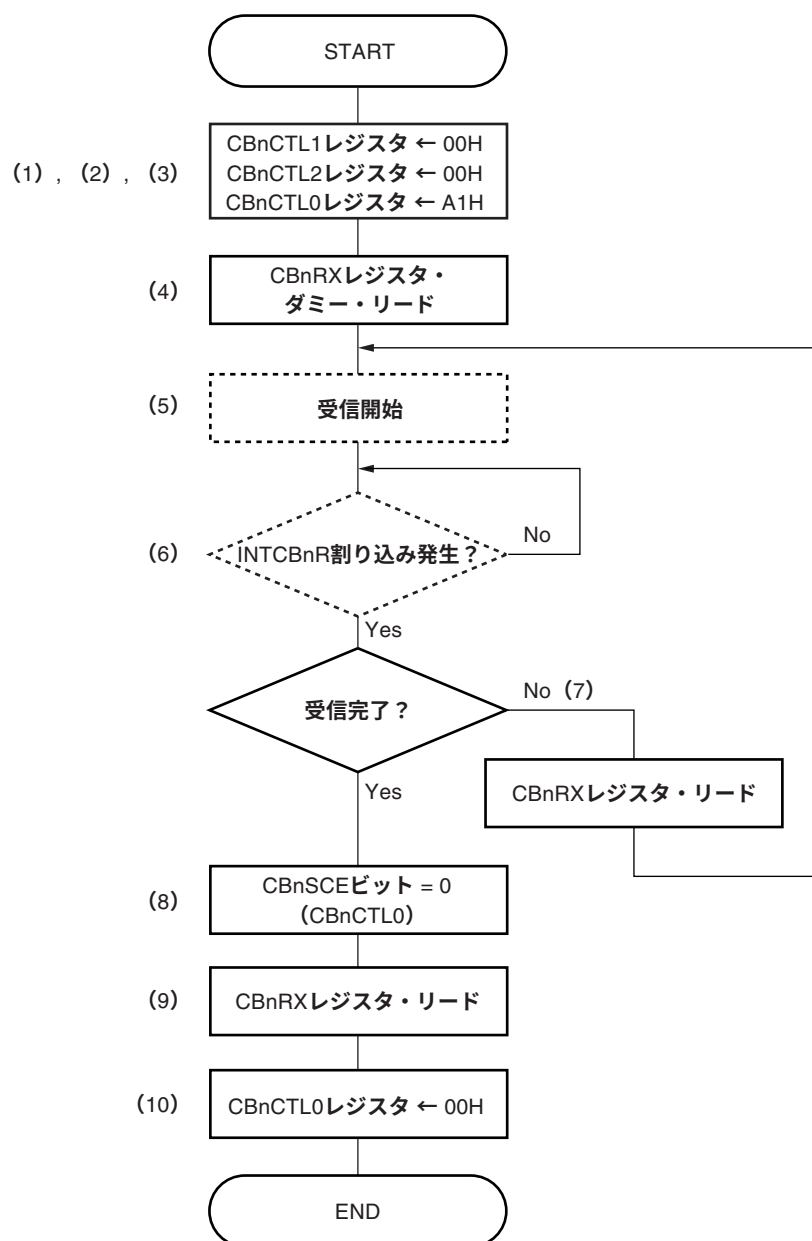


- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると、シリアル・クロックの出力と送信データの出力を停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) 続けて送信を行う場合は、INTCBnR信号発生後、再び (4) から処理を繰り返す。
- (8) 送信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0に設定する。

16. 6. 2 シングル転送モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

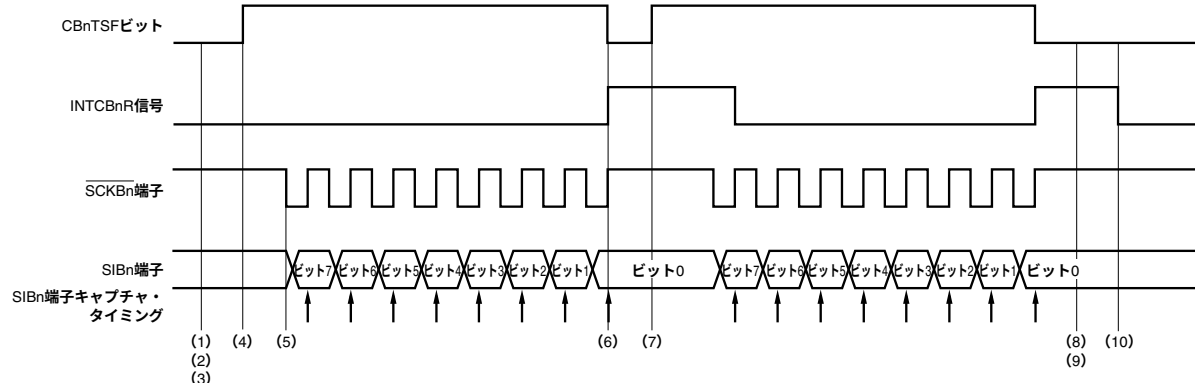
図16-7 シングル転送モード動作フロー (マスタ・モード, 受信モード)



備考1. 破線はハードウェア処理を表します。

2. 番号は図16-8内の処理番号に対応しています。

図16-8 シングル転送モード動作タイミング (マスタ・モード, 受信モード)

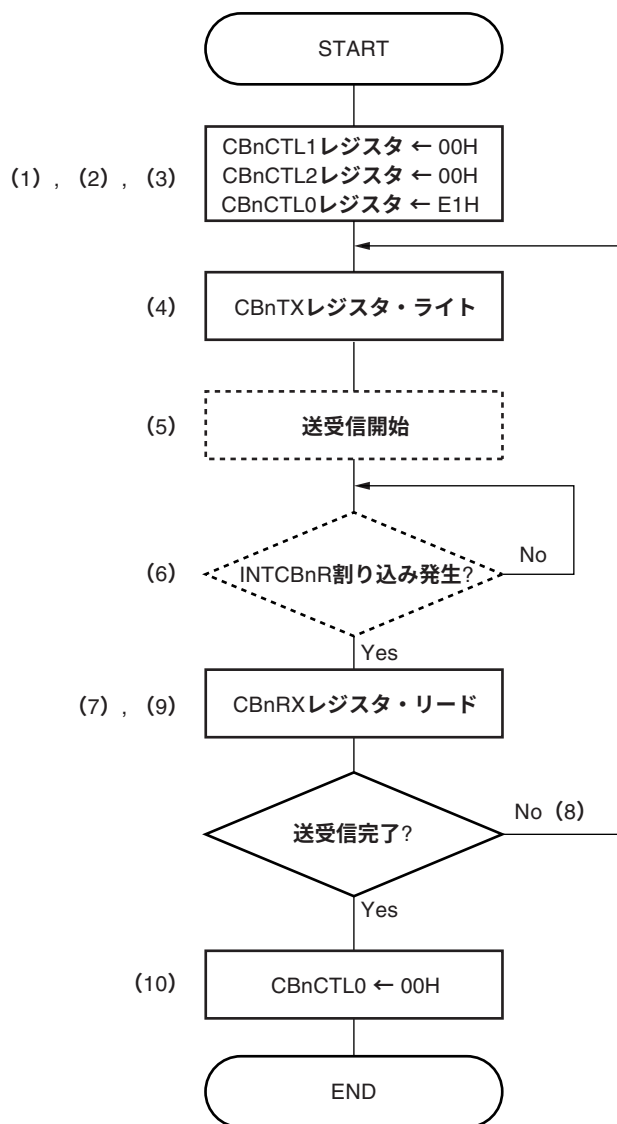


- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット (1) され、受信を開始する。
- (5) 受信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロック出力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) 続けて受信を行う場合は、INTCBnR信号発生後、CBnCTL0.CBnSCEビット = 1のまま、CBnRXレジスタをリードする。
- (8) 次の受信を開始させずにCBnRXレジスタをリードする場合には、CBnSCEビット = 0に設定する。
- (9) CBnRXレジスタをリードする。
- (10) 受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

16. 6. 3 シングル転送モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

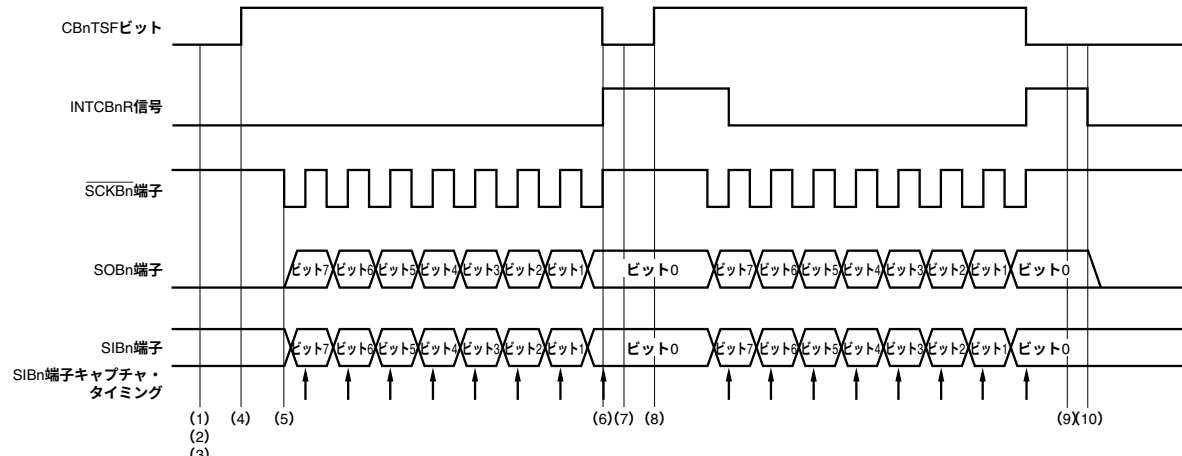
図16-9 シングル転送モード動作フロー (マスタ・モード, 送受信モード)



備考1. 破線はハードウェア処理を表します。

2. 番号は図16-10内の処理番号に対応しています。

図16-10 シングル転送モード動作タイミング (マスタ・モード, 送受信モード)

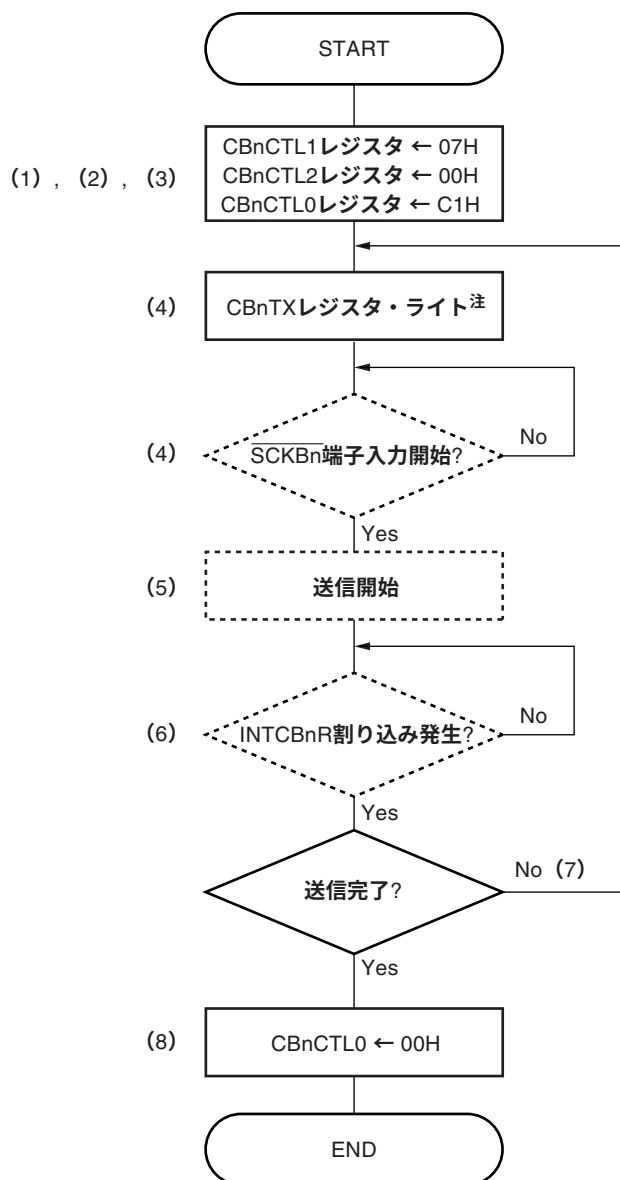


- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、 $\overline{SCKBn}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの出力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再び (4) から処理を繰り返す。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

16. 6. 4 シングル転送モード (スレーブ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック ($\overline{SCKBn}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

図16-11 シングル転送モード動作フロー (スレーブ・モード, 送信モード)

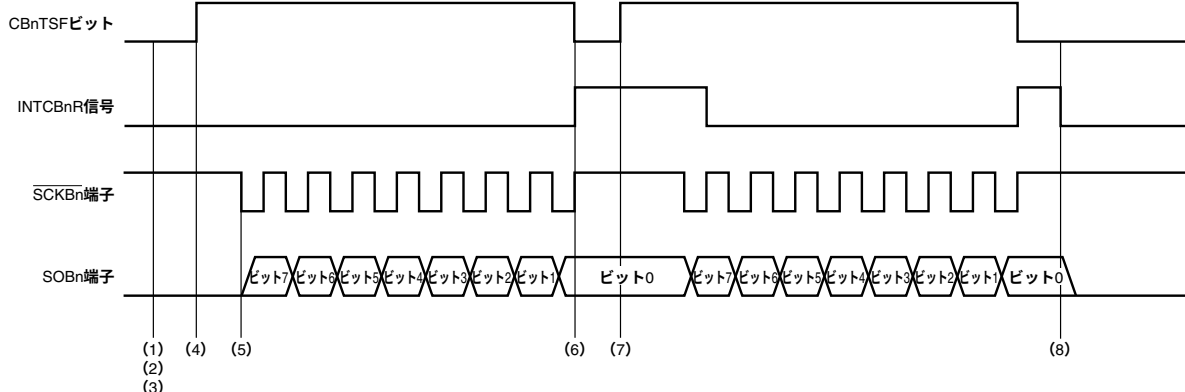


注 CBnTXレジスタ・ライトより早く、マスタから $\overline{SCKBn}$ 端子入力からクロックが入力された場合、正常にデータ送信ができません。この場合マスタ/スレーブ共に初期化を行ってください。

備考1. 破線はハードウェア処理を表します。

2. 番号は図16-12内の処理番号に対応しています。

図16-12 シングル転送モード動作タイミング (スレーブ・モード, 送信モード)

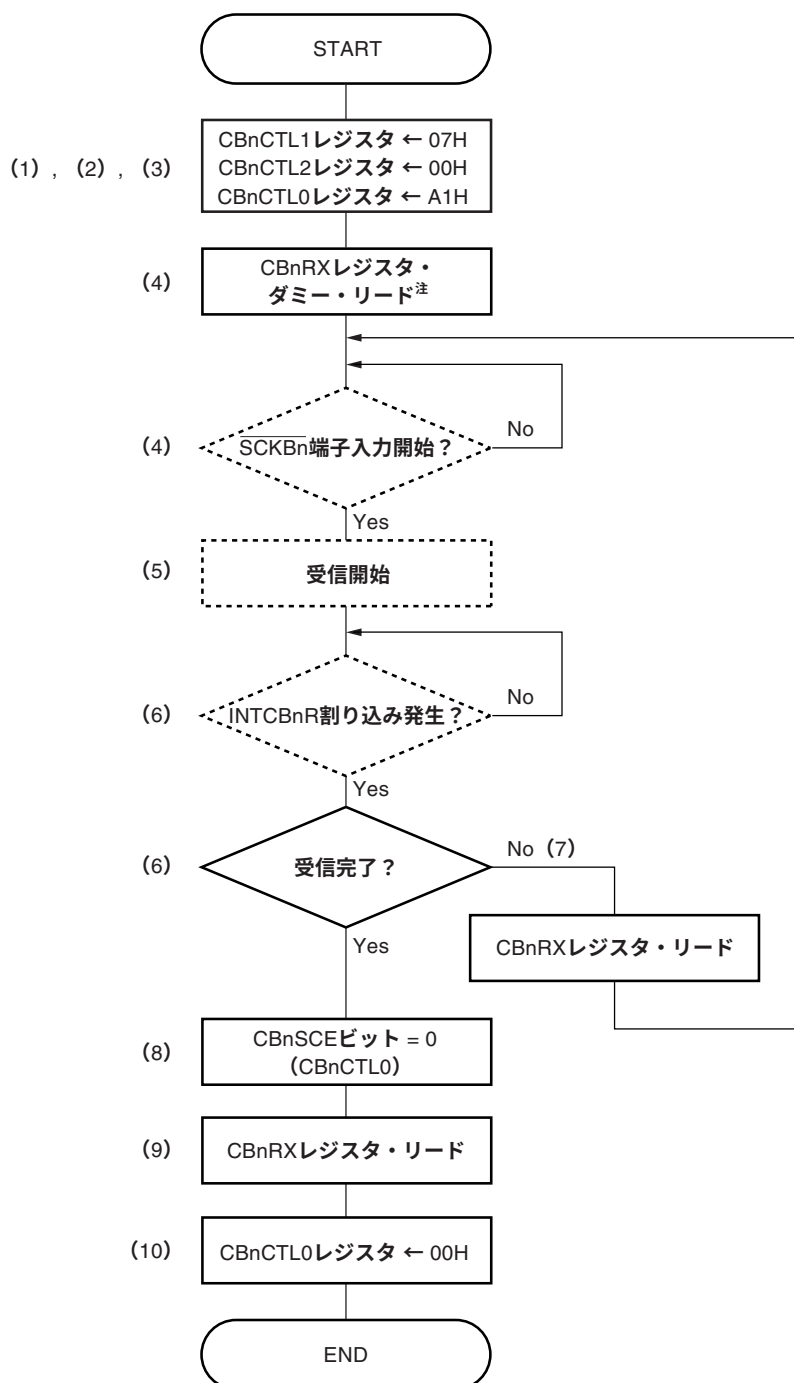


- (1) CBnCTL1レジスタに07Hをライトし, 通信タイプ1, 通信クロック (f_{CCLK}) = 外部クロック (SCKBn), スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし, 転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC1Hをライトし, 通信クロック (f_{CCLK}) を動作許可状態にすると同時に, 送信モード, MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで, CBnSTR.CBnTSFビットがセット (1) され, シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると, シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnCTL2レジスタで設定した転送データ長分の送信が終了すると, シリアル・クロックの最終エッジで, 受信完了割り込み要求信号 (INTCBnR) を発生し, シリアル・クロックの入力と送信データの出力を停止し, CBnTSFビットをクリア (0) する。
- (7) 続けて送信を行う場合は, INTCBnR信号発生後, 再び (4) から処理を繰り返す。
- (8) 送信を完了する場合は, CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0に設定する。

16. 6. 5 シングル転送モード (スレーブ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック ($\overline{SCKBn}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

図16-13 シングル転送モード動作フロー (スレーブ・モード, 受信モード)

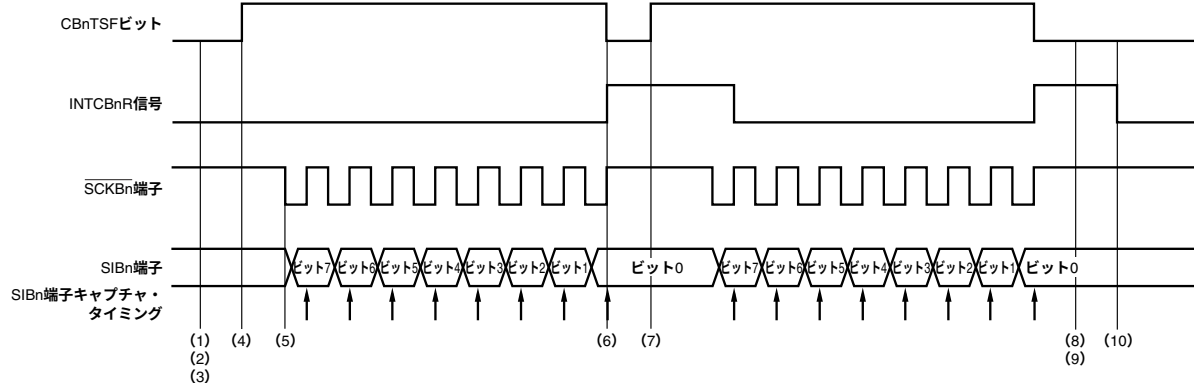


注 CbNRXレジスタ・ダミー・リードより早く、マスタから $\overline{\text{SCKBn}}$ 端子入力からクロックが入力された場合、正常にデータ受信ができません。この場合マスタ／スレーブ共に初期化を行ってください。

備考1. 破線はハードウェア処理を表します。

2. 番号は図16-14内の処理番号に対応しています。

図16-14 シングル転送モード動作タイミング (スレーブ・モード, 受信モード)

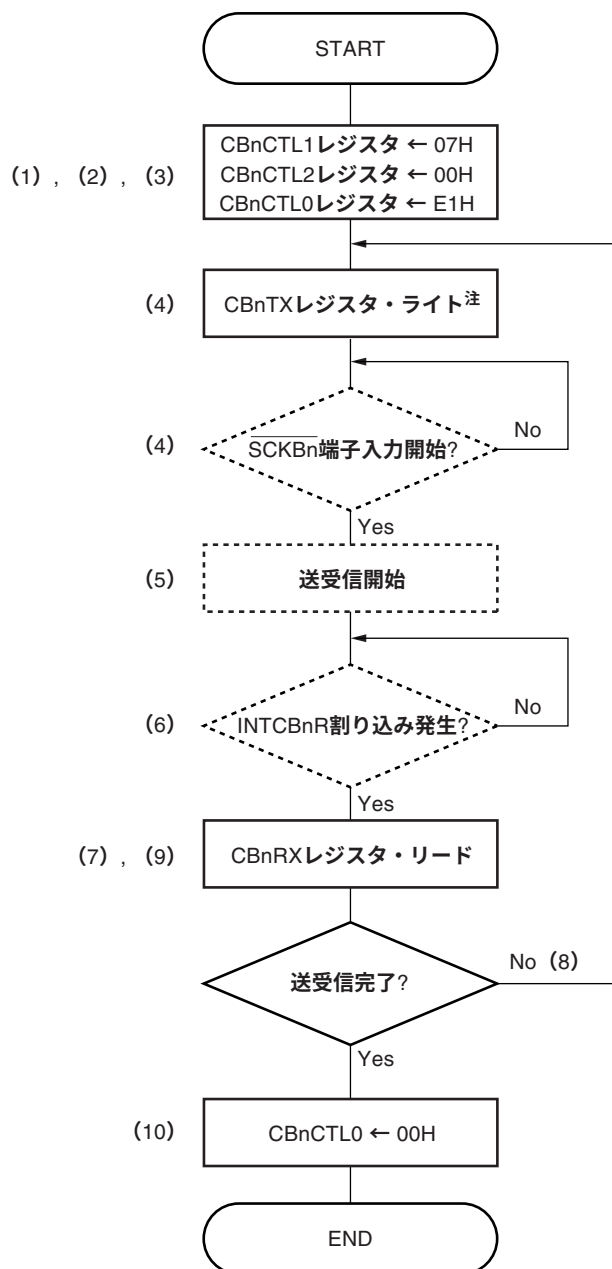


- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CLK}) = 外部クロック (SCKBn) , スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA1Hをライトし、通信クロック (f_{CLK}) を動作許可状態にすると同時に、受信モード、MSBファーストを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、シリアル・クロックの入力とデータ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) 続けて受信を行う場合は、INTCBnR信号発生後、CBnCTL0.CBnSCEビット = 1のまま、CBnRXレジスタをリードし、シリアル・クロックの入力を待つ。
- (8) 受信を完了する場合は、CBnSCEビット = 0に設定する。
- (9) CBnRXレジスタをリードする。
- (10) CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

16. 6. 6 シングル転送モード (スレーブ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック ($\overline{SCKBn}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

図16-15 シングル転送モード動作フロー (スレーブ・モード, 送受信モード)

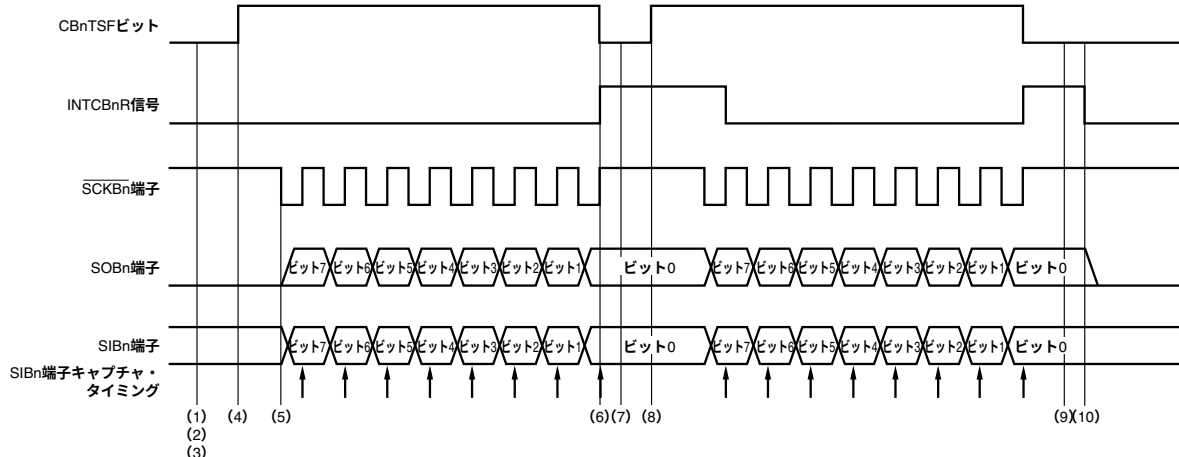


注 CBnTXレジスタ・ライトより早く、マスタから $\overline{SCKBn}$ 端子入力からクロックが入力された場合、正常にデータ送受信ができません。この場合マスタ／スレーブ共に初期化を行ってください。

備考1. 破線はハードウェア処理を表します。

2. 番号は図16-16内の処理番号に対応しています。

図16-16 シングル転送モード動作タイミング (スレーブ・モード, 送受信モード)

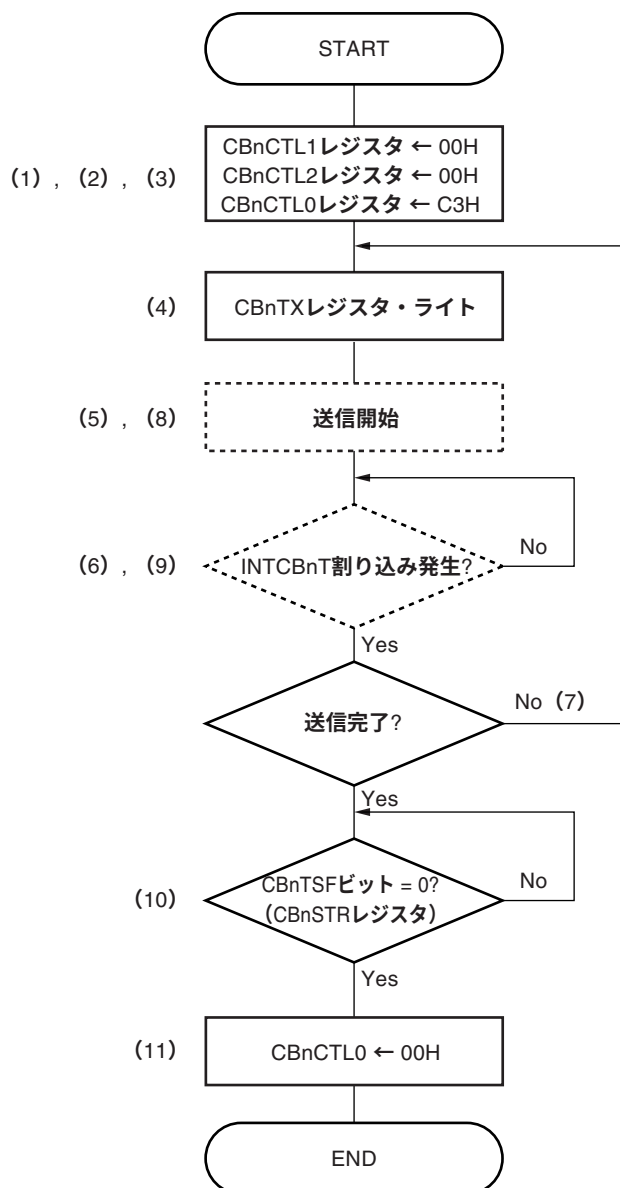


- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック ($\overline{\text{SCKBn}}$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE1Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファーストを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnCTL2レジスタで設定した転送データ長分の送受信が終了すると、シリアル・クロックの入力、送信データの出力、データ・キャプチャを停止し、シリアル・クロックの最終エッジで、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnTSFビットをクリア (0) する。
- (7) CBnRXレジスタをリードする。
- (8) 続けて送受信を行う場合は、再び (4) から処理を繰り返す。
- (9) CBnRXレジスタをリードする。
- (10) 送受信を完了する場合は、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

16. 6. 7 連続転送モード (マスタ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = $f_{\text{xx}}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

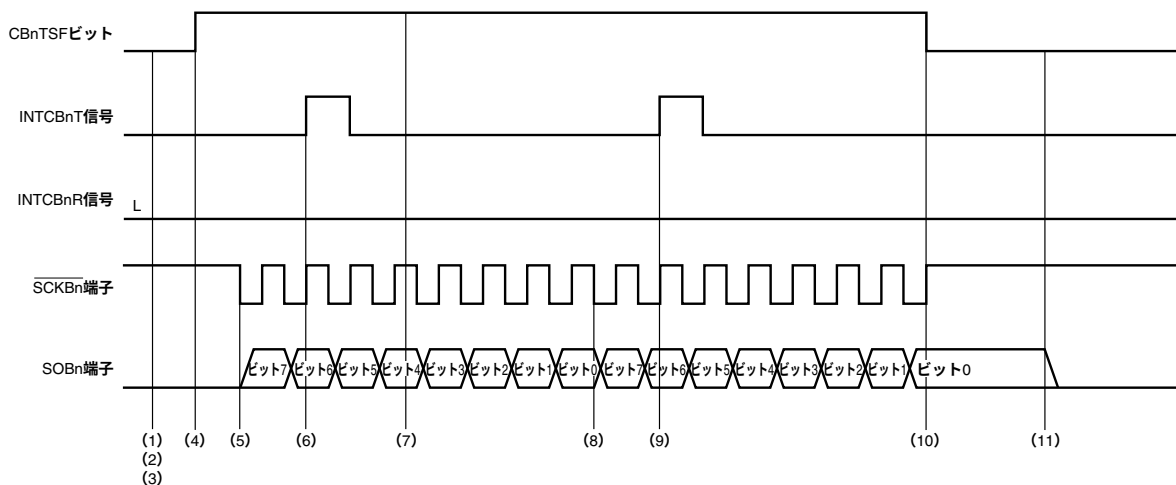
図16-17 連続転送モード動作フロー (マスタ・モード, 送信モード)



備考1. 破線はハードウェア処理を表します。

2. 番号は図16-18内の処理番号に対応しています。

図16-18 連続転送モード動作タイミング (マスタ・モード, 送信モード)



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送信を開始する。
- (5) 送信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再び (4) から処理を繰り返す。
- (8) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。
現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) 転送完了までに次の送信データがCBnTXレジスタへライトされていなかった場合は、転送完了後、CBnTSFビットがクリア (0) されるのを待つ。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnTXEビット = 0に設定する。

注意 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

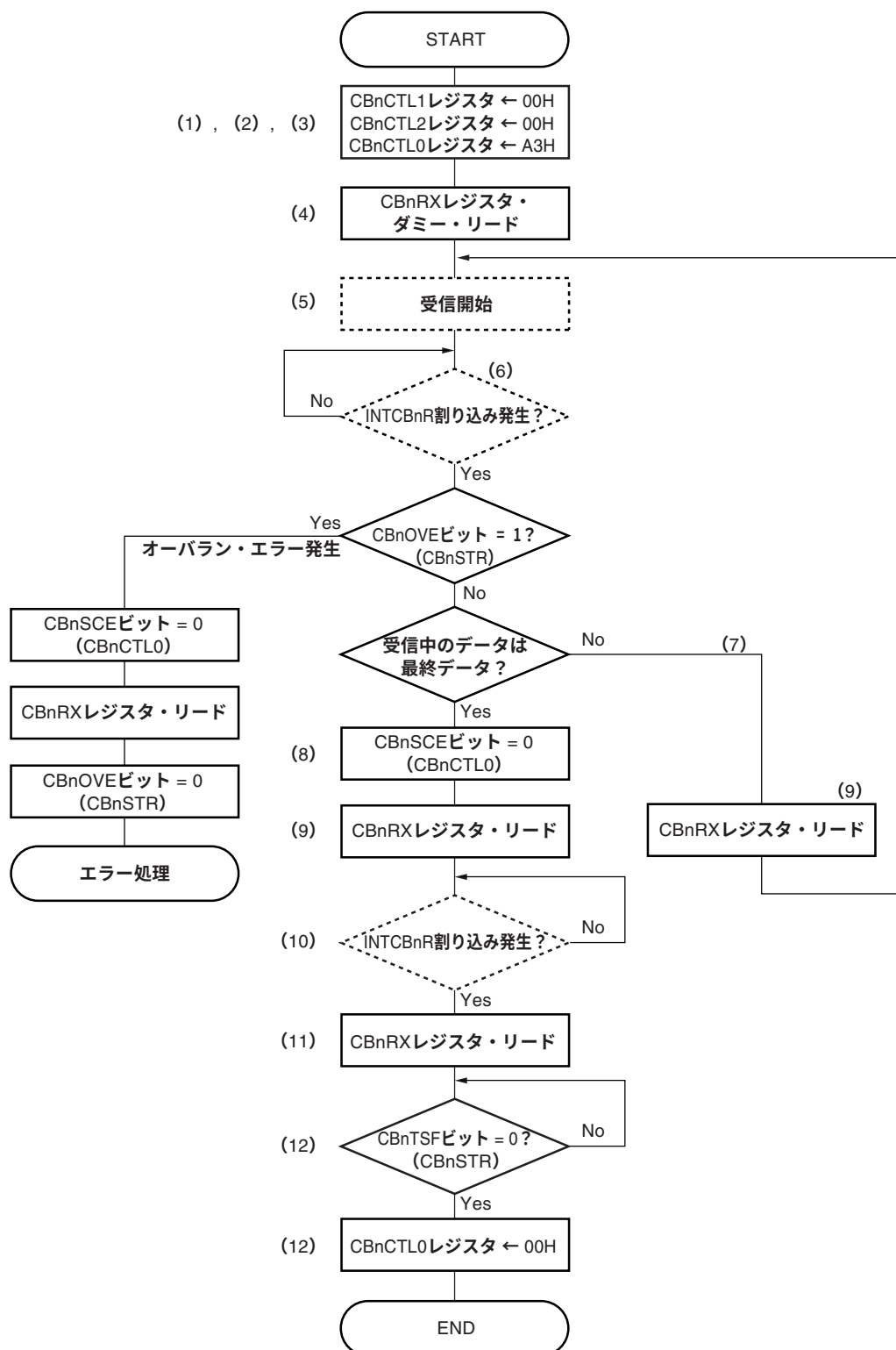
16. 6. 8 連続転送モード (マスタ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

ある決まったデータ数をマスタとして受信する動作フローです (図16-19参照)。指定された受信データが終了するまで、処理を繰り返します。ただし、オーバラン・エラーが発生した場合、転送を終了します。必要に応じてエラー処理をしてください。オーバラン・エラーについては16. 6. 13 受信エラーを参照してください。

動作タイミングについてはエラーが発生しなかった場合について示しています (図16-20参照)。

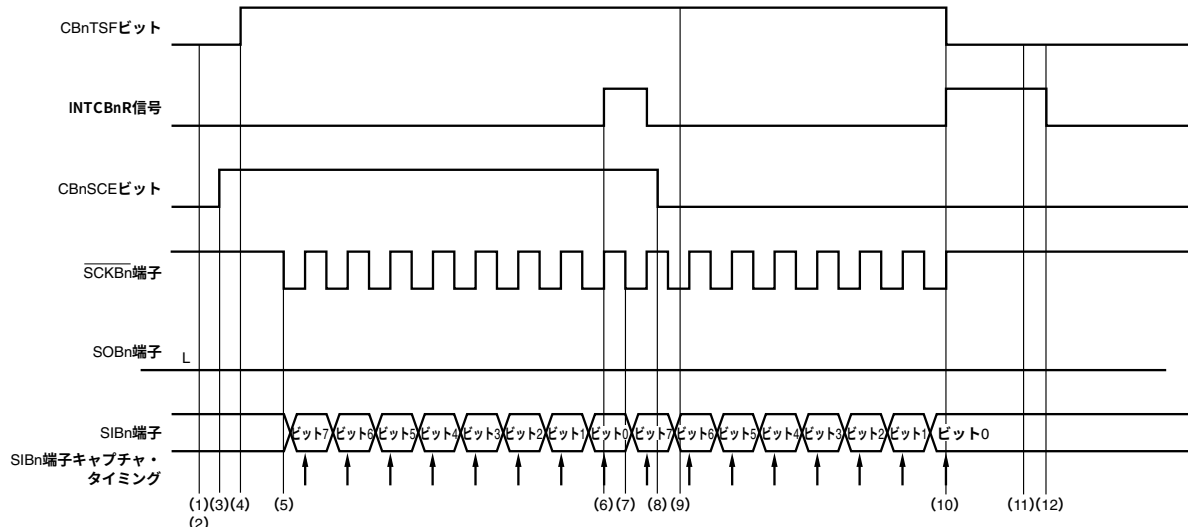
図16-19 連続転送動作フロー (マスタ・モード, 受信モード)



備考1. 破線はハードウェア処理を表します。

2. 番号は図16-20内の処理番号に対応しています。

図16-20 連続転送動作タイミング (マスタ・モード, 受信モード)



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{\text{xx}}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット (1) され、受信を開始する。
- (5) 受信が開始されると、 $\overline{\text{SCKBn}}$ 端子にシリアル・クロックを出力し、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタからの受信データがリード可能になる。
- (7) 通信完了時にCBnCTL0.CBnSCEビット = 1なので、通信完了後に続けて次の通信を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0に設定する。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタからの受信データがリード可能になる。通信完了前にCBnSCEビット = 0に設定されていると、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア (0) し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0、CBnCTL0.CBnRXEビット = 0に設定する。

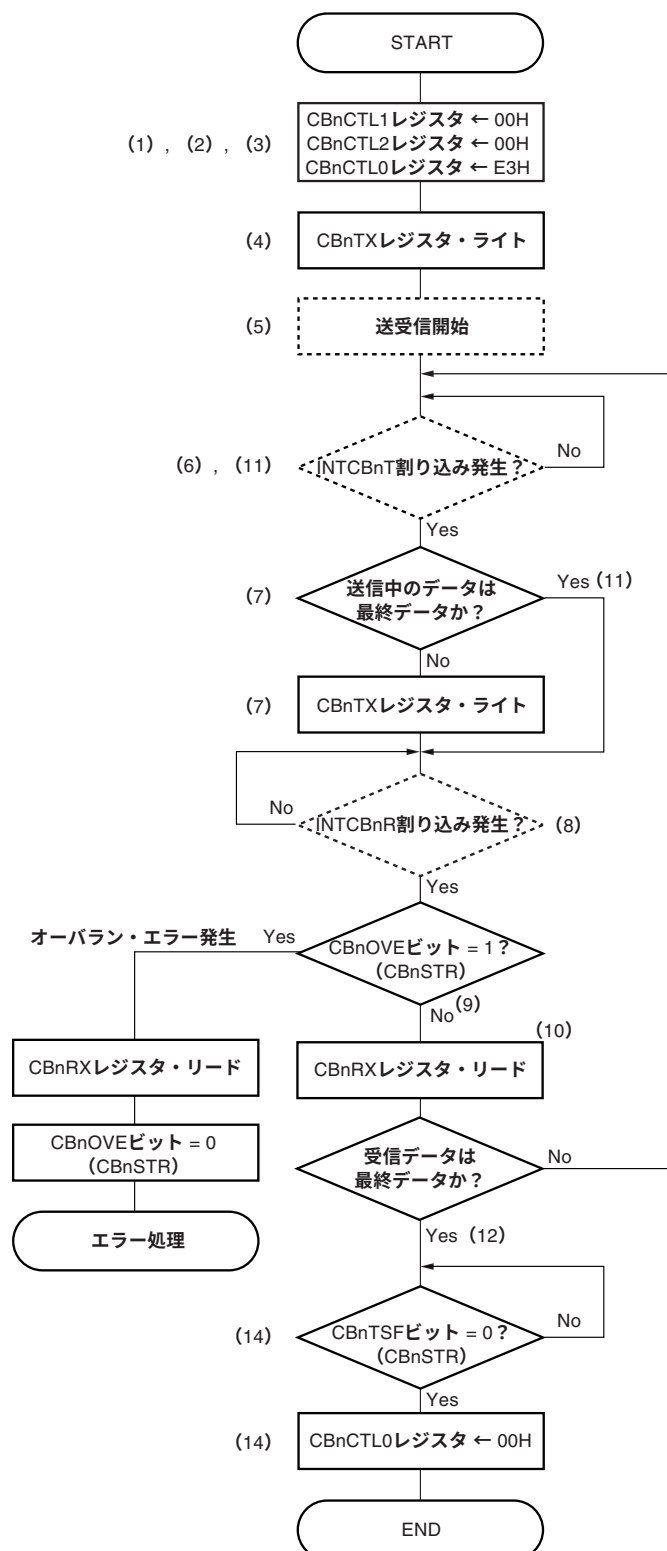
16. 6. 9 連続転送モード (マスタ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = $f_{xx}/2$ (CBnCTL1.CBnCKS2-CBnCKS0ビット = 000), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

同じ数の送信データと受信データをマスタ・モードで送受信する動作フローです (図16-21参照)。指定された送受信データが終了するまで、処理を繰り返します。ただし、オーバラン・エラーが発生した場合、転送を終了します。必要に応じてエラー処理をしてください。オーバラン・エラーについては16. 6. 13 受信エラーを参照してください。

動作タイミングについてはエラーが発生しなかった場合について示しています (図16-22参照)。

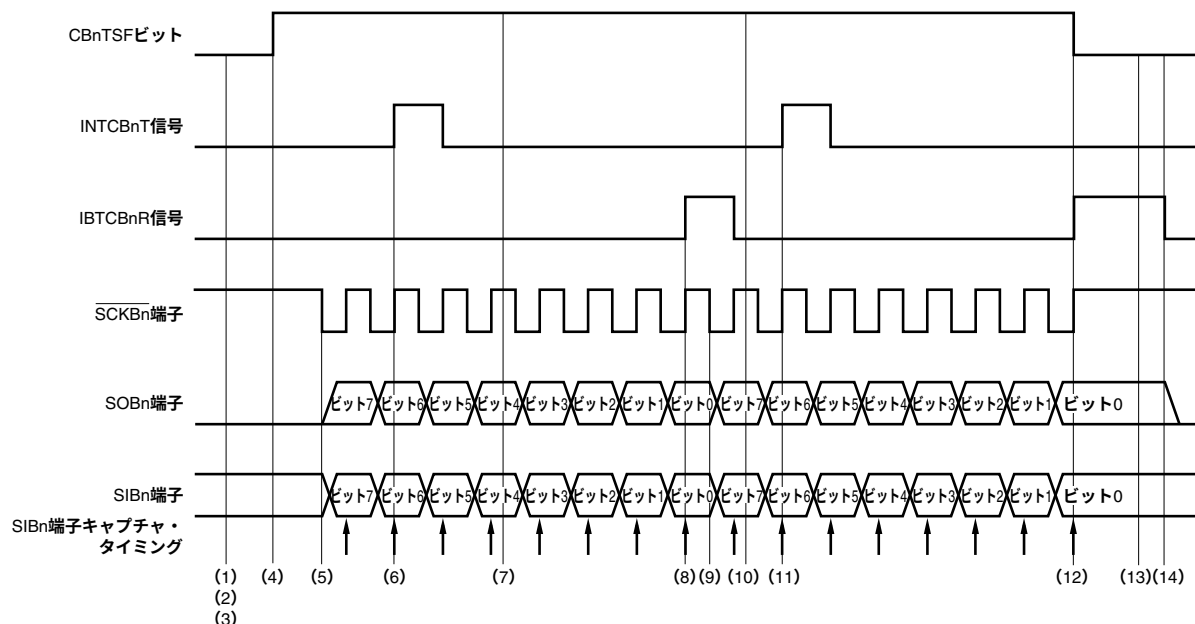
図16-21 連続転送モード動作フロー (マスタ・モード, 送受信モード)



備考1. 破線はハードウェア処理を表します。

2. 番号は図16-22内の処理番号に対応しています。

図16-22 連続転送モード動作タイミング (マスタ・モード, 送受信モード) (1/2)



- (1) CBnCTL1レジスタに00Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = $f_{xx}/2$ 、マスタ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、送受信を開始する。
- (5) 送受信が開始されると、SCKBn端子にシリアル・クロックを出力し、シリアル・クロックに同期してSOBn端子に送信データを出力し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送受信を行う場合は、INTCBnT信号発生後、再びCBnRXレジスタに送信データをライトする。
- (8) 1回の送受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタのリードが可能になる。
- (9) 通信完了前に新たな送信データがCBnTXレジスタへライトされていると、通信完了後に続けて次の通信を開始する。
- (10) CBnRXレジスタをリードする。

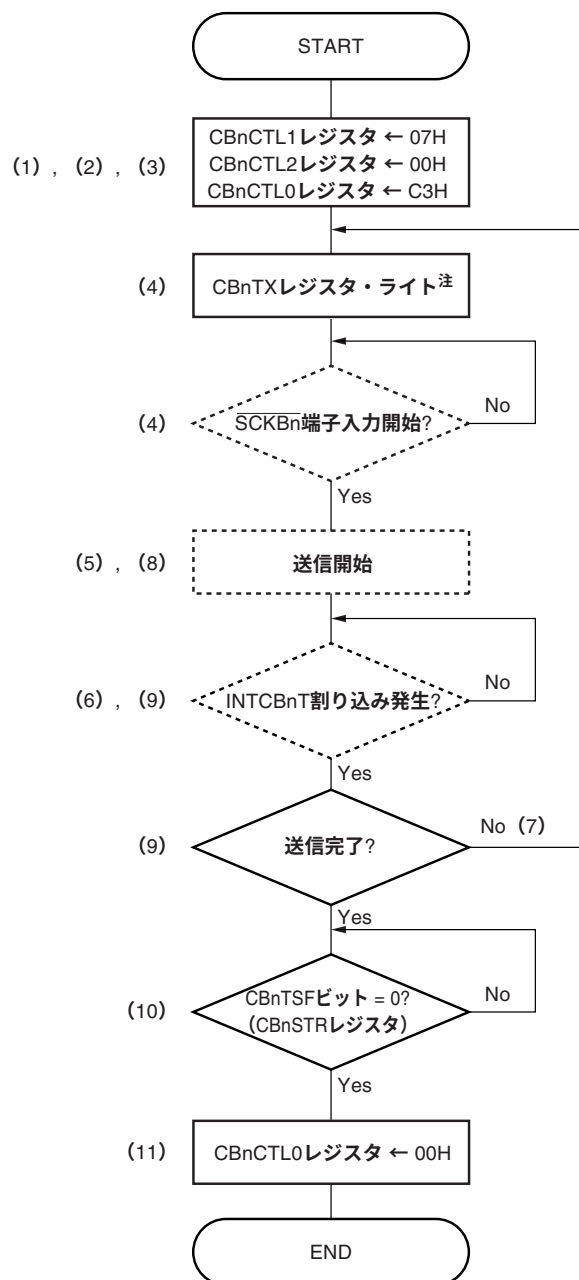
図16-22 連続転送モード動作タイミング (マスタ・モード, 送受信モード) (2/2)

- (11) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、INTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (12) 転送完了までに次の送信データがCBnTXレジスタへライトしなかった場合は、転送完了後、 $\overline{\text{SCKBn}}$ 端子へのシリアル・クロックの出力を停止し、CBnTSFビットをクリア (0) されるのを待つ。
- (13) 受信完了割り込み要求信号 (INTCBnR) 発生時は、CBnRXレジスタをリードする。
- (14) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

16. 6. 10 連続転送モード (スレーブ・モード, 送信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック ($SCKBn$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

図16-23 連続転送モード動作フロー (スレーブ・モード, 送信モード)

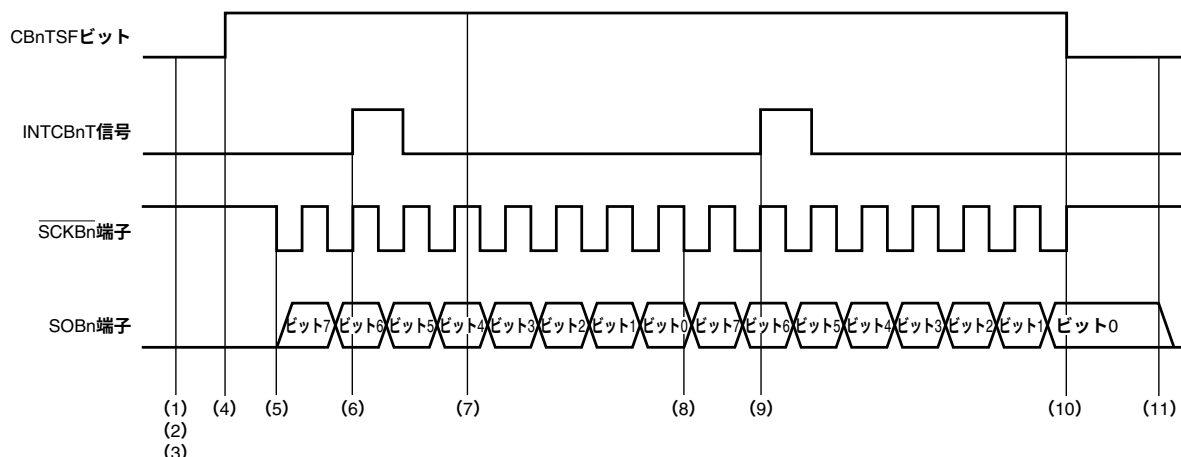


注 CBnTXレジスタ・ライトより早く、マスタからSCKBn端子入力からクロックが入力された場合、正常にデータ送信ができません。この場合マスタ／スレーブ共に初期化を行ってください。

備考1. 破線はハードウェア処理を表します。

2. 番号は図16-24内の処理番号に対応しています。

図16-24 連続転送モード動作タイミング (スレーブ・モード, 送信モード)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック ($\overline{\text{SCKBn}}$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにC3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子より送信データを出力する。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再び (4) から処理を繰り返す。
- (8) CBnCTL2レジスタで設定した転送データ長分の送信が完了後に続けてシリアル・クロックが入力されると、連続送信を開始する。
- (9) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送信で連続送信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (10) CBnTXレジスタへライトされていない状態で、CBnCTL2レジスタに設定した転送データ長分のクロックが入力されると、CBnTSFビットをクリア (0) し、送信を終了する。
- (11) 送信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0に設定する。

注意 連続送信モードでは、受信完了割り込み要求信号 (INTCBnR) は発生しません。

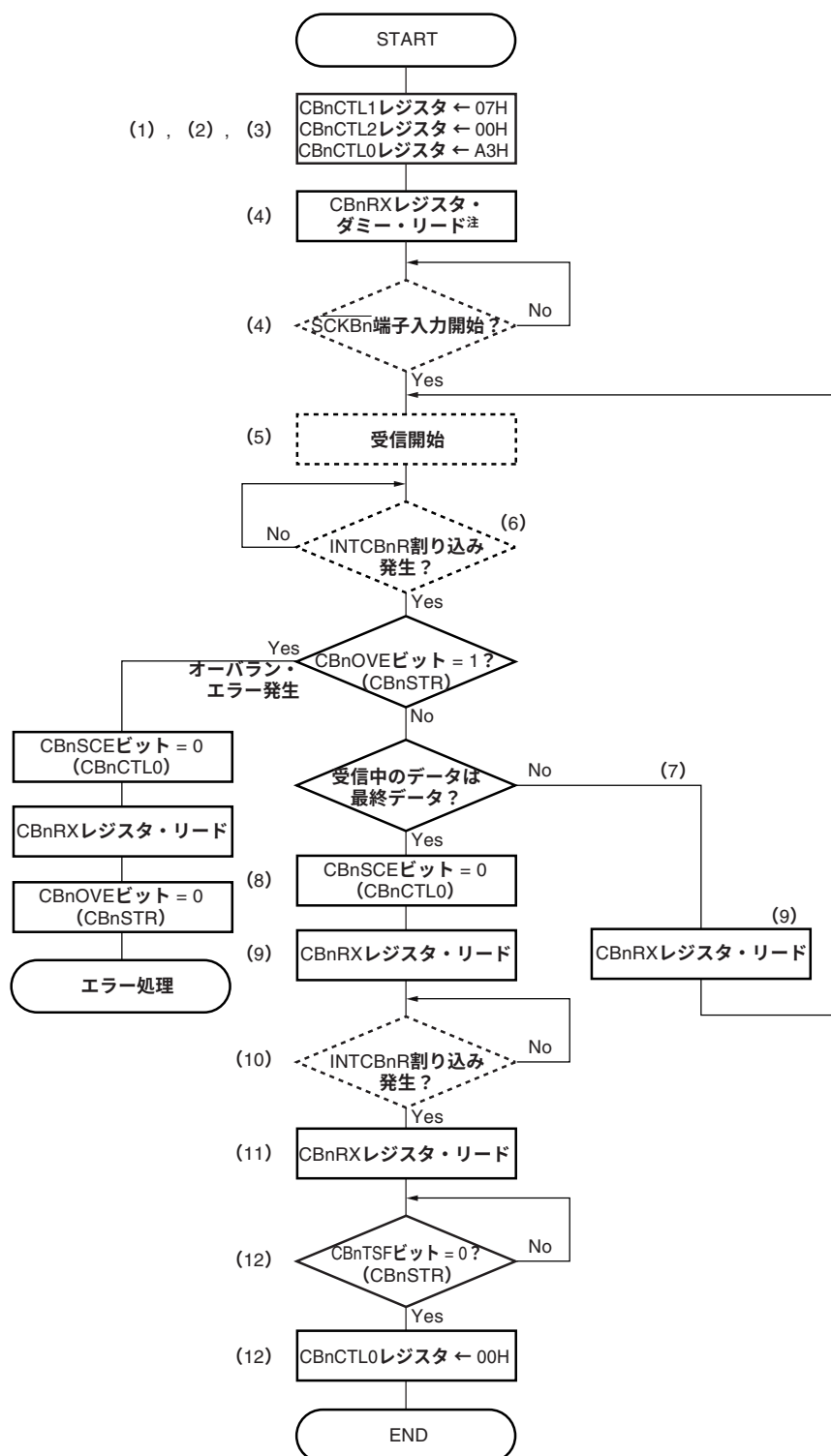
16. 6. 11 連続転送モード (スレーブ・モード, 受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック ($\overline{SCKBn}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

ある決まったデータ数をスレーブとして受信する動作フローです (図16-25参照)。指定された受信データが終了するまで、処理を繰り返します。ただし、オーバラン・エラーが発生した場合、転送を終了します。必要に応じてエラー処理をしてください。オーバラン・エラーについては16. 6. 13 受信エラーを参照してください。

動作タイミングについてはエラーが発生しなかった場合について示しています (図16-26参照)。

図16-25 連続転送モード動作フロー (スレーブ・モード, 受信モード)

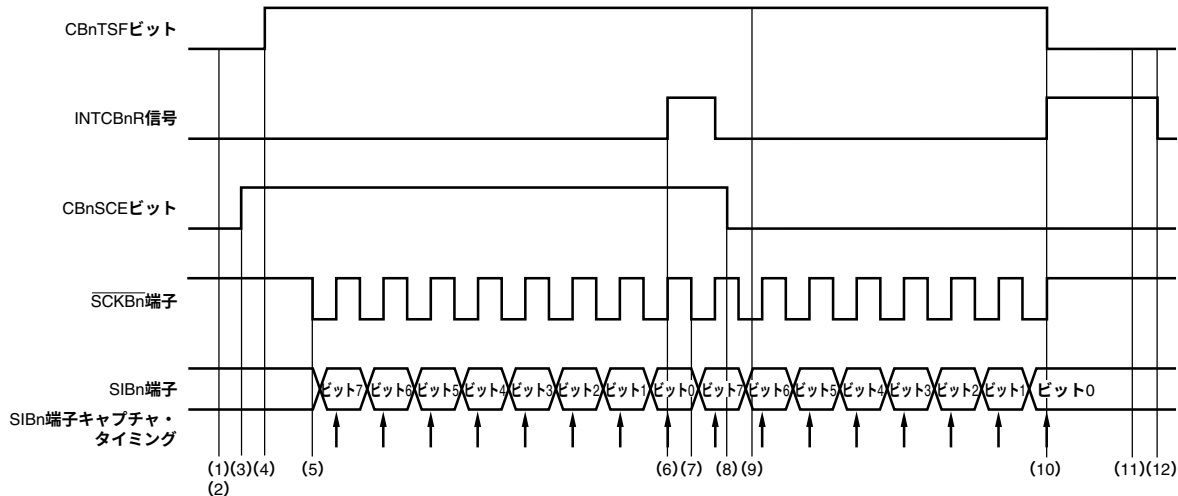


注 CbNRXレジスタ・ダミー・リードより早く、マスタからSCKBn端子入力からクロックが入力された場合、正常にデータ受信ができません。この場合マスタ／スレーブ共に初期化を行ってください。

備考1. 破線はハードウェア処理を表します。

備考2. 番号は図16-26内の処理番号に対応しています。

図16-26 連続転送モード動作タイミング (スレーブ・モード, 受信モード)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック ($\overline{\text{SCKBn}}$)、スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにA3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnRXレジスタをダミー・リードすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSIBn端子の受信データをキャプチャする。
- (6) 受信が完了すると、受信完了割り込み要求信号 (INTCBnR) が発生し、CBnRXレジスタからの受信データがリード可能になる。
- (7) CBnCTL0.CBnSCEビット = 1状態でシリアル・クロックが入力されると、連続して受信動作を開始する。
- (8) 現受信で連続受信を完了する場合は、CBnSCEビット = 0に設定する。
- (9) CBnRXレジスタをリードする。
- (10) 受信が完了すると、INTCBnR信号が発生し、CBnRXレジスタからの受信データがリード可能になる。通信完了前にCBnSCEビット = 0に設定されていると、CBnTSFビットをクリア (0) し受信動作を終了する。
- (11) CBnRXレジスタをリードする。
- (12) 受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

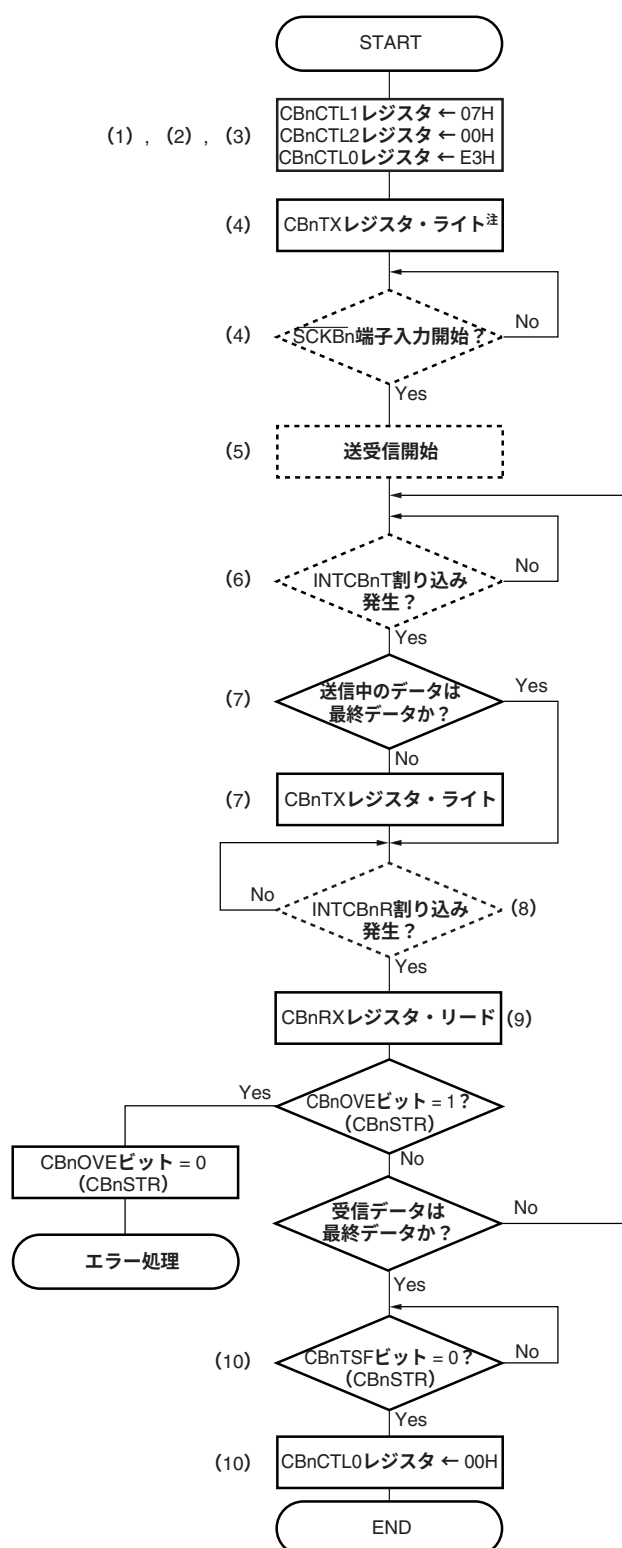
16. 6. 12 連続転送モード (スレーブ・モード, 送受信モード)

MSBファースト (CBnCTL0.CBnDIRビット = 0), 通信タイプ1 (CBnCTL1.CBnCKP, CBnDAPビット = 00), 通信クロック (f_{CCLK}) = 外部クロック ($\overline{\text{SCKBn}}$) (CBnCTL1.CBnCKS2-CBnCKS0ビット = 111), 転送データ長8ビット (CBnCTL2.CBnCL3-CBnCL0ビット = 0000) の場合

同じ数の送信データと受信データをスレーブ・モードで送受信する動作フローです (図16-27参照)。指定された送受信データが終了するまで、処理を繰り返します。ただし、オーバラン・エラーが発生した場合、転送を終了します。必要に応じてエラー処理をしてください。オーバラン・エラーについては16. 6. 13 受信エラーを参照してください。

動作タイミングについてはエラーが発生しなかった場合について示しています (図16-28参照)。

図16-27 連続転送モード動作フロー (スレーブ・モード, 送受信モード)

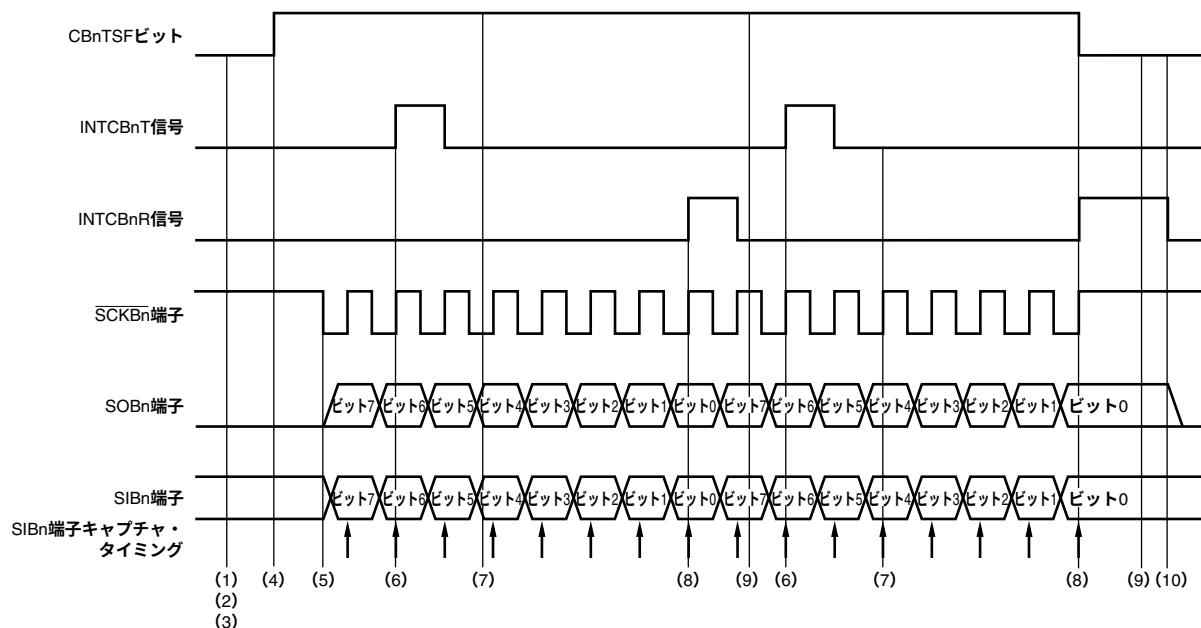


注 CBnTXレジスタ・ライトより早く、マスタからSCKBn端子入力からクロックが入力された場合、正常にデータ送受信ができません。この場合マスタ/スレーブ共に初期化を行ってください。

備考1. 破線はハードウェア処理を表します。

2. 番号は図16-28内の処理番号に対応しています。

図16-28 連続転送モード動作タイミング (スレーブ・モード, 送受信モード)



- (1) CBnCTL1レジスタに07Hをライトし、通信タイプ1、通信クロック (f_{CCLK}) = 外部クロック (SCKBn), スレーブ・モードを選択する。
- (2) CBnCTL2レジスタに00Hをライトし、転送データ長を8ビットに設定する。
- (3) CBnCTL0レジスタにE3Hをライトし、通信クロック (f_{CCLK}) を動作許可状態にすると同時に、送受信モード、MSBファースト、連続転送モードを選択する。
- (4) CBnTXレジスタに送信データをライトすることで、CBnSTR.CBnTSFビットがセット (1) され、シリアル・クロック入力待ち状態になる。
- (5) シリアル・クロックが入力されると、シリアル・クロックに同期してSOBn端子に送信データを出し、SIBn端子の受信データをキャプチャする。
- (6) CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になると、送信許可割り込み要求信号 (INTCBnT) が発生する。
- (7) 続けて送信を行う場合は、INTCBnT信号発生後、再びCBnTXレジスタに送信データをライトする。CBnTXレジスタからシフト・レジスタへの送信データの転送が完了し、CBnTXレジスタへのライトが可能になるとINTCBnT信号が発生する。現送受信で連続送受信を完了する場合は、CBnTXレジスタへのライトを行わない。
- (8) CBnCTL2レジスタで設定した転送データ長分の受信が終了すると、受信完了割り込み要求信号 (INTCBnR) を発生し、CBnRXレジスタのリードが可能になる。(7) でCBnTXレジスタに次の送信データがライトされており、続けてシリアル・クロックが入力されると、連続送受信を開始する。CBnTXレジスタへライトされていないと、CBnTSFビットをクリア (0) し、送受信を終了する。
- (9) CBnRXレジスタをリードする。
- (10) 送受信許可状態を解除する場合は、CBnTSFビット = 0を確認後、CBnCTL0.CBnPWRビット = 0, CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 0に設定する。

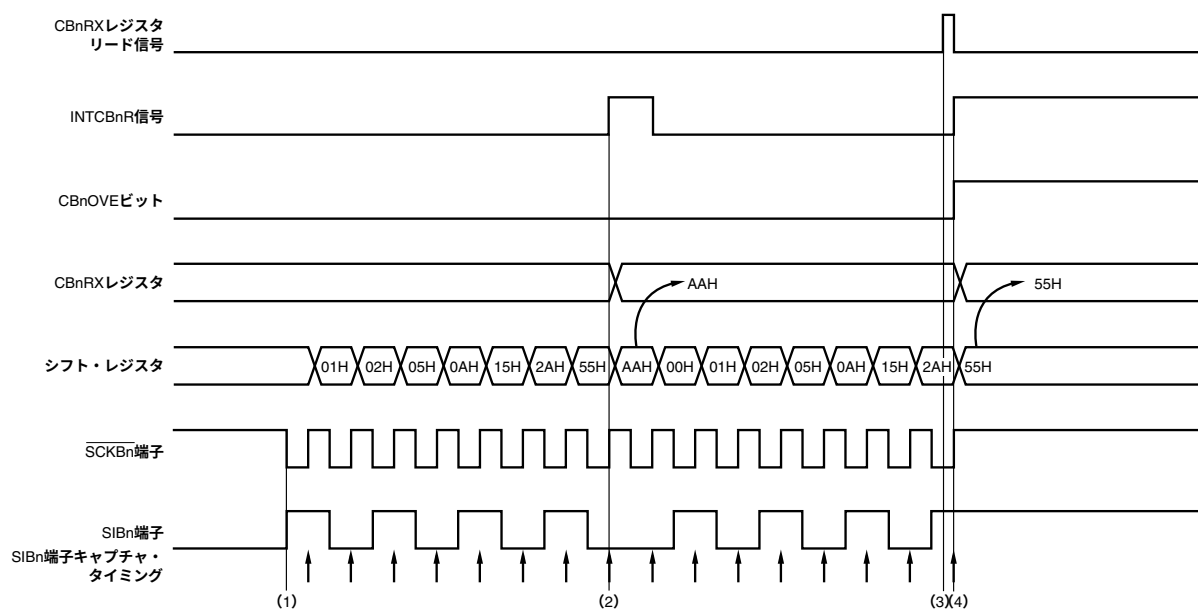
16. 6. 13 受信エラー

連続転送モード時に受信許可 (CBnCTL0.CBnRXEビット = 1) で転送を行う場合、受信完了割り込み要求信号 (INTCBnR) 発生後、CBnRXレジスタをリードする前に次の受信動作が完了すると再度INTCBnR信号が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) されます。

オーバラン・エラーが発生した場合でも、CBnRXレジスタは更新されるため、前回の受信データは失われます。また、受信エラーが発生した場合でもCBnRXレジスタをリードしないと、次の受信完了で再びINTCBnR信号が発生します。

オーバラン・エラーは、INTCBnR信号発生後から次の受信データの最終ビットをサンプリングする半クロック前までに、CBnRXレジスタのリードを完了していないと発生します。

図16-29 オーバラン・エラーの動作タイミング



- (1) 連続転送開始。
- (2) 1回目の転送完了。
- (3) 2回目の転送完了の半クロック前までにCBnRXレジスタをリードできない。
- (4) オーバラン・エラーが発生し、受信完了割り込み要求信号 (INTCBnR) が発生し、オーバラン・エラー・フラグ (CBnSTR.CBnOVE) がセット (1) される。受信データは上書きされる。

16. 6. 14 クロック・タイミング

図16-30 クロック・タイミング (1/2)

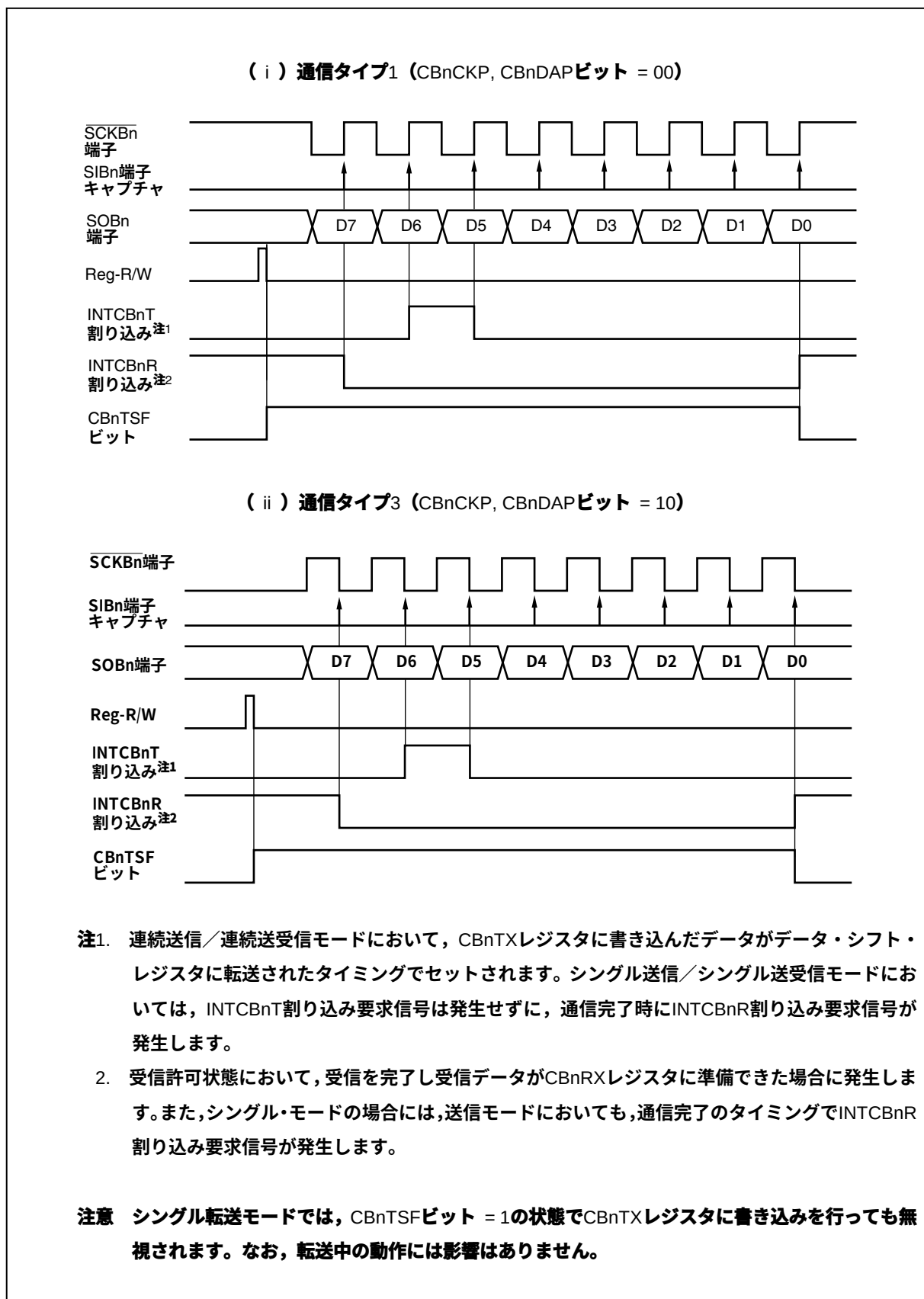
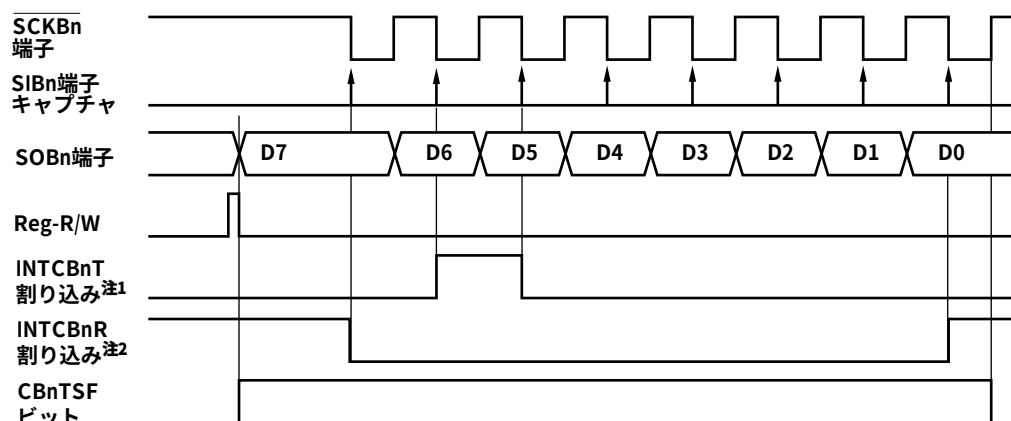
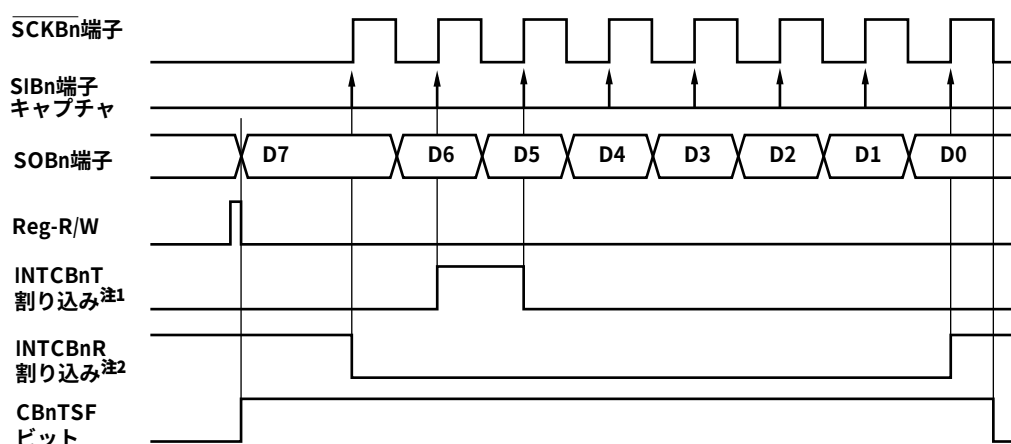


図16-30 クロック・タイミング (2/2)

(iii) 通信タイプ2 (CBnCKP, CBnDAPビット = 01)



(iv) 通信タイプ4 (CBnCKP, CBnDAPビット = 11)



注1. 連続送信／連続送受信モードにおいて、CBnTXレジスタに書き込んだデータがデータ・シフト・レジスタに転送されたタイミングでセットされます。シングル送信／シングル送受信モードにおいては、INTCBnT割り込み要求信号は発生せずに、通信完了時にINTCBnR割り込み要求信号が発生します。

2. 受信許可状態において、受信を完了し受信データがCBnRXレジスタに準備できた場合に発生します。また、シングル・モードの場合には、送信モードにおいても、通信完了のタイミングでINTCBnR割り込み要求信号が発生します。

注意 シングル転送モードでは、CBnTSFビット = 1の状態でもCBnTXレジスタに書き込みを行っても無視されます。なお、転送中の動作には影響はありません。

たとえば、INTCBnR信号発生によりDMAを起動し、CBnTXレジスタに次のデータを書き込んでも、CBnTSFビット = 1のため書き込んだデータの転送は行われません。

このようなアプリケーションは、シングル転送モードではなく連続転送モードを使用してください。

16. 7 出力端子

(1) SCKBn端子

CSIBn動作禁止 (CBnCTL0.CBnPWRビット = 0) のとき、SCKBn端子出力状態は次のようになります。

表16-4 CSIB動作禁止時のSCKBn端子出力の状態

CBnCKP	CBnCKS2	CBnCKS1	CBnCKS0	SCKBn端子出力
0	1	1	1	ハイ・インピーダンス
	上記以外			ハイ・レベル
1	1	1	1	ハイ・インピーダンス
	上記以外			ロウ・レベル

備考 CBnCTL1.CBnCKP, CBnCKS2-CBnCKS0ビットのいずれかを書き換えるとSCKBn端子の出力が変化します。

(2) SOBn端子

CSIBn動作禁止 (CBnPWRビット = 0) のとき、SOBn端子出力状態は次のようになります。

表16-5 CSIB動作禁止時のSOBn端子出力の状態

CBnTXE	CBnDAP	CBnDIR	SOBn端子出力
0	x	x	ロウ・レベル
1	0	x	ロウ・レベル
	1	0	CBnTXの値 (MSB)
		1	CBnTXの値 (LSB)

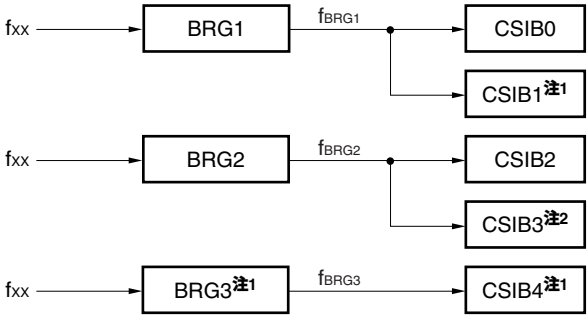
備考1. CBnCTL0.CBnTXE, CBnDIRビット, CBnCTL1.CBnDAPビットのいずれかを書き換えるとSOBn端子の出力が変化します。

2. x: 任意

16. 8 ポー・レート・ジェネレータ

ポー・レート・ジェネレータBRG1-BRG3とCSIB0-CSIB4は、次のブロック図のように接続されています。

図16-31 ポー・レート・ジェネレータの接続



注1. V850ES/JC3-L (48ピン) , V850ES/JE3-Lのみ

2. V850ES/JE3-Lのみ

(1) プリスケアラ・モード・レジスタ 1-3 (PRSM1-PRSM3)

PRSMmレジスタは、CSIBのポー・レート信号の生成を制御します。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSM1 FFFFF320H, PRSM2 FFFFF324H,
PRSM3 FFFFF328H

	7	6	5	④	3	2	1	0
PRSMm (m = 1-3)	0	0	0	BGCEm	0	0	BGCSm1	BGCSm0
BGCEm	ポー・レート出力							
0	禁止							
1	許可							
BGCSm1	BGCSm0	入力クロックの選択 (fBGCSm)						設定値 (k)
0	0	fxx						0
0	1	fxx/2						1
1	0	fxx/4						2
1	1	fxx/8						3

注意1. 動作中に、PRSMmレジスタを書き換えないでください。

2. BGCEmビットをセット (1) する前にBGCSm1, BGCSm0ビットとプリスケアラ・コンペア・レジスタ1-3 (PRSCM1-PRSCM3) レジスタを設定してください。
3. ビット7-5, 3, 2には必ず“0”を設定してください。

(2) プリスケアラ・コンペア・レジスタ 1-3 (PRSCM1-PRSCM3)

8ビットのコンペア・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：PRSCM1 FFFFF321H, PRSCM2 FFFFF325H,
PRSCM3 FFFFF329H

	7	6	5	4	3	2	1	0
PRSCMm (m = 1-3)	PRSCMm7	PRSCMm6	PRSCMm5	PRSCMm4	PRSCMm3	PRSCMm2	PRSCMm1	PRSCMm0

注意1. 動作中にPRSCMmレジスタを書き換えしないでください。

2. PRSMm.BGCEmビットに“1”を設定する前にPRSCMmレジスタの設定を行ってください。

16. 8. 1 ボー・レート生成

メイン・クロックを分周して送受信クロックを生成します。メイン・クロックから生成するボー・レートは次の式によって求められます。

$$f_{BRGm} = \frac{f_{xx}}{2^{k+1} \times N}$$

注意 f_{BRGm} は、8 MHz以下になるように設定してください。

備考 f_{BRGm} : BRGmのカウント・クロック

f_{xx} : メイン・クロックの発振周波数

k : PRSMmレジスタの設定値 = 0-3

N : PRSCMmレジスタ設定値 = 1-256

ただし、N = 256となるのは、PRSCMmレジスタに00Hを設定した場合です。

m = 1-3

16.9 注意事項

- (1) DMA転送により、送信データ、受信データの転送を行う場合、シリアル転送中にオーバーラン・エラーが発生してもエラー処理を行えません。DMA転送終了後にCBnSTR.CBnOVEビットを読み出してオーバーラン・エラーがなかったことを確認してください。

- (2) 動作中 (CBnCTL0.CBnPWRビット = 1) の書き換えを禁止しているレジスタに対して、動作中に誤って書き換えを行ってしまった場合は、一度CBnCTL0.CBnPWRビット = 0に設定してCSIBnを初期化してください。

動作中の書き換えが禁止されているレジスタを次に示します。

- CBnCTL0レジスタ：CBnTXE, CBnRXE, CBnDIR, CBnTMSビット
- CBnCTL1レジスタ：CBnCKP, CBnDAP, CBnCKS2-CBnCKS0ビット
- CBnCTL2レジスタ：CBnCL3-CBnCL0ビット

- (3) 通信タイプ2, 4 (CBnCTL1.CBnDAPビット = 1) では、受信完了割り込み (INTCBnR) 発生後、SCKBn半クロック後にCBnSTR.CBnTSFビットがクリアされます。

一方、シングル転送モードでは、通信中 (CBnTSFビット = 1) に次の送信データをライトしても無視され、次の通信は起動しません。また、受信のみの通信に設定したとき (CBnCTL0.CBnTXEビット = 0, CBnCTL0.CBnRXEビット = 1) も、通信中 (CBnTSFビット = 1) に受信データをリードしても次の通信は起動しません。

そのため、通信タイプ2, 4 (CBnDAPビット = 1) でシングル転送モードを使用する場合、次の点に注意してください。

- 次の送信を起動する場合は、CBnTSFビット = 0であることを確認したあと、CBnTXレジスタに送信データを書き込む
- 受信のみの通信に設定したとき (CBnTXEビット = 0, CBnRXEビット = 1) に続けて次の受信を行う場合は、CBnTSFビット = 0であることを確認したあと、CBnRXレジスタをリードする

または、シングル転送モードではなく、連続転送モードを使用してください。特にDMAを使用する場合は連続転送モードの使用を推奨します。

- (4) SIB1端子とRXDC0端子は兼用しているので、同時に使用することはできません。SIB1端子を使用する場合は、UARTC0を受信動作禁止としてください (UC0CTL0.UC0RXEビット = 0に設定)。また、RXDC0端子を使用する場合は、CSIB1を受信動作禁止としてください (CB1CTL0.CB1RXE ビット = 0に設定)。

第17章 I²Cバス

この機能を使用する場合は、P38/SDA00, P39/SCL00, P40/SDA01, P41/SCL01, P90/SDA02, P91/SCL02端子を兼用端子として使用し、N-chオープン・ドレイン出力に設定してください。

V850ES/JC3-L,V850ES/JE3-Lに搭載されているI²Cのチャンネル数を次に示します。

品名	V850ES/JC3-L (40ピン)	V850ES/JC3-L (48ピン)	V850ES/JE3-L
チャンネル数	2チャンネル I ² C01, I ² C02	3チャンネル I ² C00-I ² C02	3チャンネル I ² C00-I ² C02

この章では、チャンネル数をnと省略して表記してあります。

17. 1 I²Cバスとほかのシリアル・インタフェースのモード切り替え

17. 1. 1 UARTA2とI²C00のモード切り替え

V850ES/JC3-L, V850ES/JE3-Lでは, UARTA2とI²C00は端子が兼用になっており, 同時には使用できません。
I²C00を使用するときは, あらかじめPMC3, PFC3レジスタで設定する必要があります。

注意 UARTA2またはI²C00において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-1 UARTA2とI²C00のモード切り替え設定

リセット時: 0000H R/W アドレス: FFFFF446H, FFFFF447H

	15	14	13	12	11	10	9	8
PMC3	0	0	0	0	0	0	PMC39	PMC38
	7	6	5	4	3	2	1	0
	0	0	PMC35	PMC34	PMC33	PMC32	PMC31	PMC30

リセット時: 0000H R/W アドレス: FFFFF466H, FFFFF467H

	15	14	13	12	11	10	9	8
PFC3	0	0	0	0	0	0	PFC39	PFC38
	7	6	5	4	3	2	1	0
	0	0	PFC35	PFC34	PFC33	PFC32	PFC31	PFC30

PMC3m	PFC3m	動作モード
0	×	ポート入出力モード
1	0	UARTA2モード
1	1	I ² C00モード

- 備考**1. m = 8, 9
2. × = don't care

17. 1. 2 CSIB0とI²C01のモード切り替え

V850ES/JC3-L, V850ES/JE3-Lでは、CSIB0とI²C01は端子が兼用になっており、同時には使用できません。
I²C01を使用するときは、あらかじめPMC4, PFC4レジスタで設定する必要があります。

注意 CSIB0またはI²C01において、送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-2 CSIB0とI²C01のモード切り替え設定

リセット時：00H R/W アドレス：FFFFFF448H

	7	6	5	4	3	2	1	0
PMC4	0	0	0	0	0	PMC42	PMC41	PMC40

リセット時：00H R/W アドレス：FFFFFF468H

	7	6	5	4	3	2	1	0
PFC4	0	0	0	0	0	0	PFC41	PFC40

PMC4m	PFC4m	動作モード
0	×	ポート入出力モード
1	0	CSIB0モード
1	1	I ² C01モード

- 備考**1. m = 0, 1
2. × = don't care

17. 1. 3 UARTA1とI²C02のモード切り替え

V850ES/JC3-L, V850ES/JE3-Lでは, UARTA1とI²C02は端子が兼用になっており, 同時には使用できません。
I²C02を使用するときは, あらかじめPMC9, PFC9, PFCE9レジスタで設定する必要があります。

注意 UARTA1とI²C02において, 送信あるいは受信動作中にモードの切り替えを行った場合の送受信に関する動作は保証できません。使用しないユニットは必ず動作禁止にしてください。

図17-3 UARTA1とI²C02のモード切り替え設定

リセット時：0000H R/W アドレス：FFFFFF452H, FFFFFFF453H

	15	14	13	12	11	10	9	8
PMC9	PMC915	PMC914	PMC913	PMC912	PMC911	PMC910	PMC99	PMC98
	7	6	5	4	3	2	1	0
	PMC97	PMC96	0	PMC94	PMC93	PMC92	PMC91	PMC90

リセット時：0000H R/W アドレス：FFFFFF472H, FFFFFFF473H

	15	14	13	12	11	10	9	8
PFC9	PFC915	PFC914	PFC913	PFC912	PFC911	PFC910	PFC99	PFC98
	7	6	5	4	3	2	1	0
	PFC97	PFC96	0	PFC94	PFC93	PFC92	PFC91	PFC90

リセット時：0000H R/W アドレス：FFFFFF712H, FFFFFFF713H

	15	14	13	12	11	10	9	8
PFCE9	PFCE915	PFCE914	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	PFCE97	PFCE96	0	PFCE94	PFCE93	PFCE92	PFCE91	PFCE90

PMC9m	PFCE9m	PFC9m	動作モード
1	1	0	UARTA1モード
1	1	1	I ² C02モード

備考 m = 0, 1

17.2 特 徴

I²C0nには、次の2種類のモードがあります。

- ・動作停止モード
- ・I²C (Inter IC) バス・モード (マルチマスタ対応)

(1) 動作停止モード

シリアル転送を行わないときに使用するモードです。消費電力を低減できます。

(2) I²Cバス・モード (マルチマスタ対応)

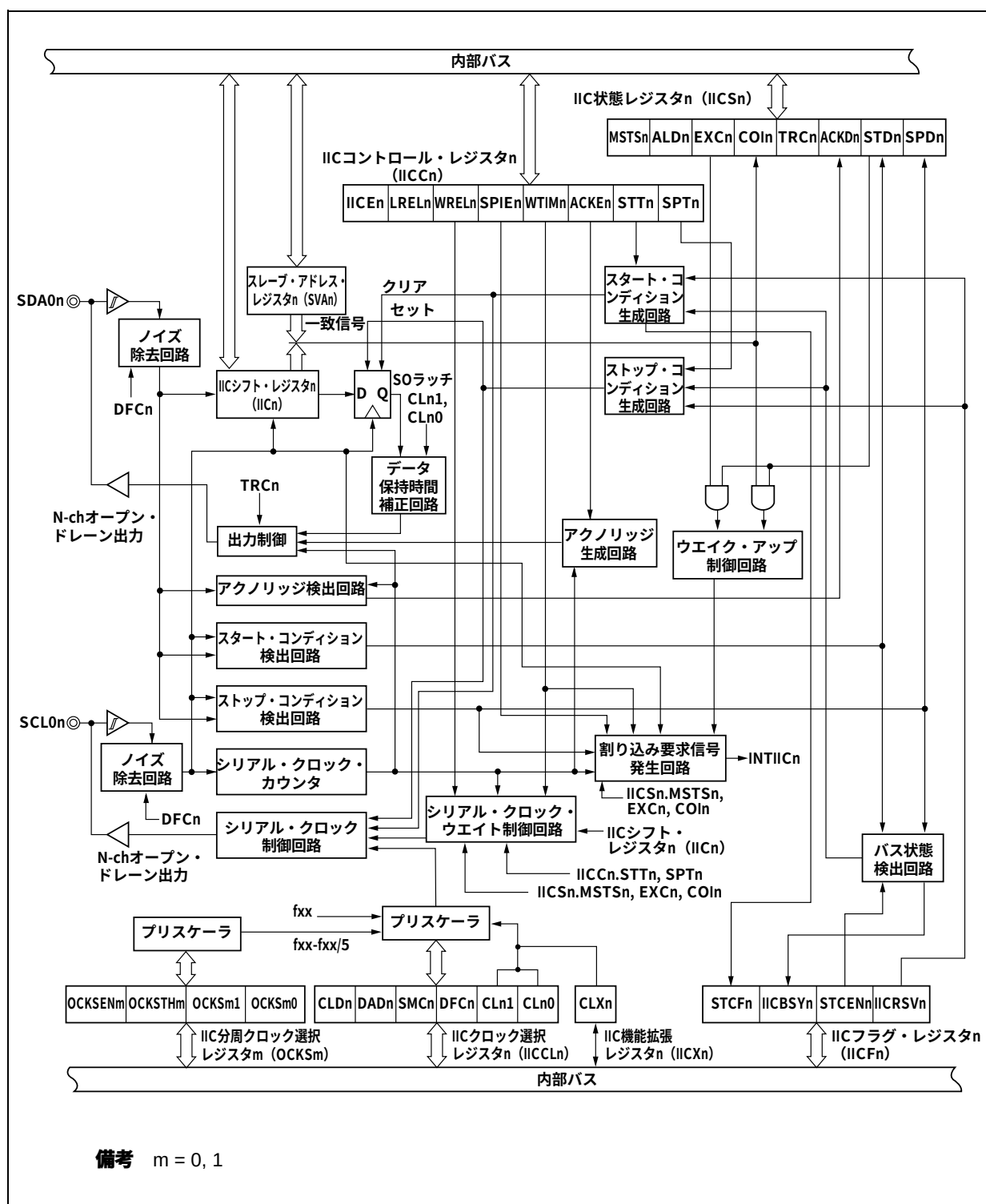
シリアル・クロック端子 (SCL0n) とシリアル・データ・バス端子 (SDA0n) の2本のラインにより、複数のデバイスと8ビット・データ転送を行うモードです。

I²Cバス・フォーマットに準拠しており、マスタはスレーブに対してシリアル・データ・バス上に“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”を生成できます。スレーブは、受信したこれらの状態およびデータをハードウェアにより自動的に検出します。この機能により応用プログラムのI²Cバス制御部分を簡単にすることができます。

I²C0nでは、SCL0n端子とSDA0n端子はN-chオープン・ドレイン出力で使用するため、シリアル・クロック・ラインおよびシリアル・データ・バス・ラインにはプルアップ抵抗が必要です。

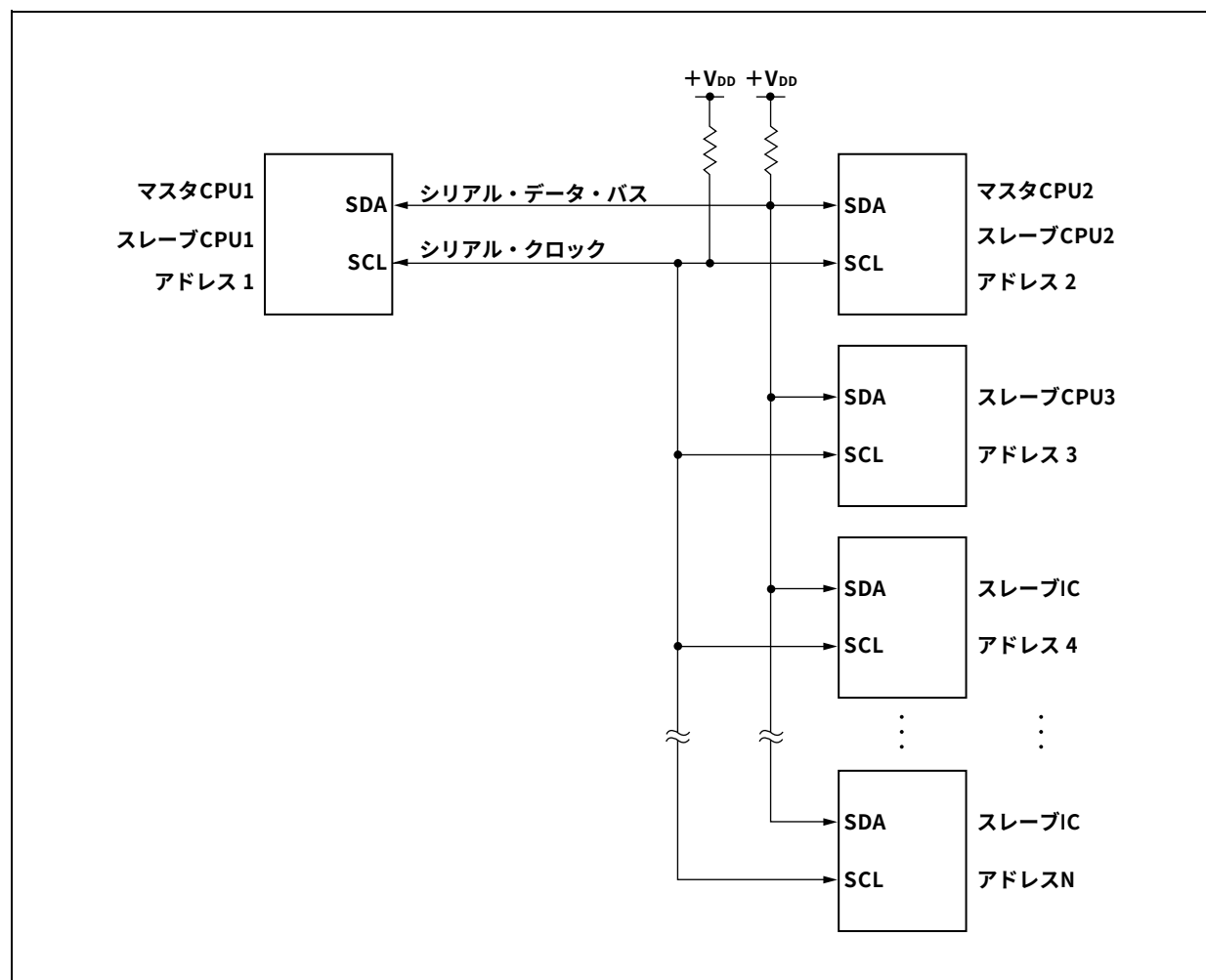
17.3 構 成

I²C0nのブロック図を次に示します。

図17-4 I²C0nのブロック図

次にシリアル・バス構成例を示します。

図17-5 I²Cバスによるシリアル・バス構成例



I²C0nは、次のハードウェアで構成されています。

表17-1 I²C0nの構成

項 目	構 成
レジスタ	IICシフト・レジスタ _n (IICn) スレーブ・アドレス・レジスタ _n (SVAn)
制御レジスタ	IICコントロール・レジスタ _n (IICCN) IIC状態レジスタ _n (IICSn) IICフラグ・レジスタ _n (IICFn) IICクロック選択レジスタ _n (IICCLn) IIC機能拡張レジスタ _n (IICXn) IIC分周クロック選択レジスタ _{0,1} (OCKS0, OCKS1)

(1) IICシフト・レジスタ_n (IICn)

IICnレジスタは、8ビットのシリアル・データを8ビットの平行・データに、8ビットの平行・データを8ビットのシリアル・データに変換するレジスタです。IICnレジスタは送信および受信の両方に使用されます。

IICnレジスタに対する書き込み／読み出しにより、実際の送受信動作が制御されます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(2) スレーブ・アドレス・レジスタ_n (SVAn)

スレーブとして使用する場合に、自局アドレスを設定するレジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

(3) SOラッチ

SOラッチは、SDA0n端子出力レベルを保持するラッチです。

(4) ウェイク・アップ制御回路

SVAnレジスタに設定したアドレス値と受信アドレスが一致した場合、または拡張コードを受信した場合に割り込み要求信号 (INTIICn) を発生させる回路です。

(5) プリスケアラ

使用するサンプリング・クロックを選択します。

(6) シリアル・クロック・カウンタ

送信／受信動作時に出力する、または入力されるシリアル・クロックをカウントし、8ビット・データの送受信が行われたことを調べます。

(7) 割り込み要求信号発生回路

割り込み要求信号 (INTIICn) の発生を制御します。

I²C 割り込みは、次の2つのトリガで発生します。

- ・ シリアル・クロックの8クロック目または9クロック目の立ち下がり (IICn.WTIMnビットで設定)
- ・ ストップ・コンディション検出による割り込み発生 (IICn.SPIEnビットで設定)

(8) シリアル・クロック制御回路

マスタ・モード時に、SCL0n端子に出力するクロックをサンプリング・クロックから生成します。

(9) シリアル・クロック・ウェイト制御回路

ウェイト・タイミングを制御します。

(10) アクノリッジ生成回路, ストップ・コンディション検出回路, スタート・コンディション検出回路, アクノリッジ検出回路

各状態の生成および検出を行います。

(11) データ保持時間補正回路

SCL0n端子の立ち下がりに対するデータの保持時間を生成するための回路です。

(12) スタート・コンディション生成回路

IICn.STTnビットがセットされるとスタート・コンディションを生成します。

ただし、通信予約禁止状態 (IICFn.IICRSVnビット = 1) で、かつバスが解放されていない (IICFn.IICBSYnビット = 1) 場合には、この要求は無視し、IICFn.STCFnビットをセット (1) します。

(13) ストップ・コンディション生成回路

IICn.SPTnビットがセットされるとストップ・コンディションを生成します。

(14) バス状態検出回路

スタート・コンディションおよびストップ・コンディションの検出により、バスが解放されているか、解放されていないかを検出します。

ただし、動作直後はバス状態を検出できないため、IICFn.STCENnビットにより、バス状態検出回路の初期状態を設定してください。

17.4 レジスタ

I²C0nは、次のレジスタで制御します。

- IICコントロール・レジスタ_n (IICCn)
- IIC状態レジスタ_n (IICSn)
- IICフラグ・レジスタ_n (IICFn)
- IICクロック選択レジスタ_n (IICCLn)
- IIC機能拡張レジスタ_n (IICXn)
- IIC分周クロック選択レジスタ_{0, 1} (OCKS₀, OCKS₁)

また、次のレジスタも使用します。

- IICシフト・レジスタ_n (IICn)
- スレーブ・アドレス・レジスタ_n (SVAn)

備考 兼用端子の設定は表4-17 端子を兼用端子として使用する場合を参照してください。

(1) IICコントロール・レジスタ_n (IICCn)

I²C0nの動作許可／停止、ウェイト・タイミングの設定、その他I²C動作の設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、SPIEn, WTIMn, ACKEnビットは、IICEnビット = 0 のとき、またはウェイト期間中に設定してください。IICEnビットを“0”から“1”に設定するときに、同時にこれらのビットを設定できます。

リセットにより00Hになります。

(1/4)

リセット時：00H R/W アドレス：IICC0 FFFFFFFD82H, IICC1 FFFFFFFD92H, IICC2 FFFFFFFDA2H

	⑦	⑥	⑤	④	③	②	①	①
IICn	IICEn	LRELn	WRELn	SPIEn	WTIMn	ACKEn	STTn	SPTn

IICEn	I ² Cn動作許可／禁止の指定
0	動作停止。IICSnレジスタをリセット ^{注1} 。内部動作も停止。
1	動作許可。
このビットのセット（1）は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。	
クリアされる条件（IICEnビット = 0）	
・命令によるクリア ・リセット時	
セットされる条件（IICEnビット = 1）	
・命令によるセット	

LRELn ^{注2}	通信回避
0	通常動作。
1	現在行っている通信から回避し、待機状態。実行後自動的にクリアされる。 自局に関係ない拡張コードを受信したときなどに使用する。 SCL0n, SDA0nラインはハイ・インピーダンス状態になる。 STTn, SPTnビット, IICSn.MSTS _n , EXCn, COIn, TRCn, ACKDn, STDnビットがクリアされる。
次の通信参加条件が満たされるまでは、通信から回避した待機状態となる。 ストップ・コンディション検出後、マスタとしての起動 スタート・コンディション後のアドレス一致または拡張コード受信	
クリアされる条件（LRELnビット = 0）	
・実行後、自動的にクリア ・リセット時	
セットされる条件（LRELnビット = 1）	
・命令によるセット	

WRELn ^{注2}	ウェイト解除の制御
0	ウェイトを解除しない。
1	ウェイト解除する。ウェイト解除後、自動的にクリアされる。
クリアされる条件（WRELnビット = 0）	
・実行後、自動的にクリア ・リセット時	
セットされる条件（WRELnビット = 1）	
・命令によるセット	

注1. リセットされるのはIICSnレジスタ, IICFn.STCFn, IICBSYnビット, IICCLn.CLDn, DADnビットです。

2. IICEnビット = 0により、このフラグの信号を無効にします。

注意 SCL0nラインがハイ・レベル, SDA0nラインがロウ・レベルの状態、I²Cnを動作許可（IICEnビット = 1）した場合、直後にスタート・コンディションを検出してしまいます。I²Cnを動作許可（IICEnビット = 1）したあと、連続してビット操作命令によりLRELnビットをセット（1）してください。

備考 LRELn, WRELnビットは、データ設定後に読み出すと0になっています。

SPIEn ^注	ストップ・コンディション検出による割り込み要求発生の許可／禁止
0	禁止
1	許可
クリアされる条件 (SPIEnビット = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (SPIEnビット = 1)	
・命令によるセット	

WTIMn ^注	ウェイトおよび割り込み要求発生制御
0	8クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 8クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 8クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
1	9クロック目の立ち下がりで割り込み要求発生。 マスタの場合 : 9クロック出力後、クロック出力をロウ・レベルにしたままウェイト スレーブの場合 : 9クロック入力後、クロックをロウ・レベルにしてマスタをウェイト
アドレス転送中はこのビットの設定にかかわらず、9クロック目の立ち下がりで割り込みが発生します。アドレス転送終了後このビットの設定が有効になります。またマスタ時、アドレス転送中は9クロックの立ち下がりにウェイトが入ります。自局アドレスを受信したスレーブは、アクノリッジ (ACK) 発生後の9クロック目の立ち下がりでウェイトに入ります。ただし拡張コードを受信したスレーブは、8クロック目の立ち下がりでウェイトに入ります。	
クリアされる条件 (WTIMnビット = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (WTIMnビット = 1)	
・命令によるセット	

ACKEn ^注	アクノリッジ制御
0	アクノリッジを禁止。
1	アクノリッジを許可。9クロック期間中にSDA0nラインをロウ・レベルにする。
スレーブでアドレス受信のときは、ACKEnビットの設定は無効です。この場合、アドレスが一致したときはアクノリッジを生成します。 ただし、拡張コードを受信するときは、ACKEnビットの設定は有効になります。拡張コードを受信するシステムでは、ACKEnビットの設定をしてください。	
クリアされる条件 (ACKEnビット = 0)	
・命令によるクリア ・リセット時	
セットされる条件 (ACKEnビット = 1)	
・命令によるセット	

注 IICEnビット = 0により、このフラグの信号を無効にします。

STTn	スタート・コンディション・トリガ				
0	スタート・コンディションを生成しない。				
1	バスが解放されているとき（ストップ状態）： スタート・コンディションを生成する（マスタとしての起動）。SCLnラインがハイ・レベルの状態ではSDA0nラインをハイ・レベルからロウ・レベルに変化させ、スタート・コンディションを生成する。そのあと、規格の時間を確保し、SCL0nラインをロウ・レベルにする。 第三者が通信中のとき： 通信予約機能許可の場合（IICFn.IICRSVnビット = 0） - スタート・コンディション予約フラグとして機能。セット（1）されると、バスが解放されたあと自動的にスタート・コンディションを生成する。 通信予約機能禁止の場合（IICRSVnビット = 1） - IICFn.STCFnビットをセット（1）し、STTnビットにセット（1）した情報をクリアする。スタート・コンディションは生成しない。 ウェイト状態（マスタ時）： ウェイトを解除してリスタート・コンディションを生成する。				
セット・タイミングに関する注意 マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとにだけセット（1）可能です。 マスタ送信の場合：アクノリッジ期間中は、正常にスタート・コンディションが生成されないことがあります。9クロック目出力後のウェイト期間中にセット（1）してください。 スレーブの場合：通信予約機能禁止（IICRSVnビット = 1）の場合でも、通信予約状態になってしまいます。 - SPTnビットと同時にセット（1）することは禁止です。 - STTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。					
<table border="1"> <thead> <tr> <th>クリアされる条件（STTnビット = 0）</th><th>セットされる条件（STTnビット = 1）</th></tr> </thead> <tbody> <tr> <td> - 通信予約禁止状態でのSTTnビットのセット（1） - アービトレーションに負けたとき - マスタでのスタート・コンディション生成後クリア - LRELnビット = 1（通信退避）によるクリア - IICEnビット = 0（動作停止）のとき - リセット時 </td><td> - 命令によるセット </td></tr> </tbody> </table>		クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）	- 通信予約禁止状態でのSTTnビットのセット（1） - アービトレーションに負けたとき - マスタでのスタート・コンディション生成後クリア - LRELnビット = 1（通信退避）によるクリア - IICEnビット = 0（動作停止）のとき - リセット時	命令によるセット
クリアされる条件（STTnビット = 0）	セットされる条件（STTnビット = 1）				
- 通信予約禁止状態でのSTTnビットのセット（1） - アービトレーションに負けたとき - マスタでのスタート・コンディション生成後クリア - LRELnビット = 1（通信退避）によるクリア - IICEnビット = 0（動作停止）のとき - リセット時	命令によるセット				

備考 STTnビットは、データ設定後に読み出すと0になっています。

SPTn	ストップ・コンディション・トリガ				
0	ストップ・コンディションを生成しない。				
1	ストップ・コンディションを生成する（マスタとしての転送終了）。 SDA0nラインをロウ・レベルにしたあと、SCL0nラインをハイ・レベルにするか、またはSCL0n端子がハイ・レベルになるのを待つ。そのあと、規格の時間を確保し、SDA0nラインをロウ・レベルからハイ・レベルに変化させ、ストップ・コンディションを生成する。				
セット・タイミングに関する注意 マスタ受信の場合：転送中のセット（1）は禁止です。ACKEnビット = 0に設定し、受信の最後であることをスレーブに伝えたあとのウエイト期間中にだけセット（1）可能です。 マスタ送信の場合：アクノリッジ受信期間中は、正常にストップ・コンディションが生成されないことがあります。9クロック目出力後のウエイト期間中にセット（1）してください。 • STTnビットと同時にセット（1）することは禁止です。 • SPTnビットのセット（1）は、マスタのときのみ行ってください^注。 • WTIMnビット = 0設定時に、8クロック出力後のウエイト期間中にSPTnビットをセット（1）すると、ウエイト解除後、9クロック目のハイ・レベル期間中にストップ・コンディションを生成するので注意してください。8クロック出力後のウエイト期間中にWTIMnビット = 0→1にセットし、9クロック目出力後のウエイト期間中にSPTnビットをセット（1）してください。 • SPTnビットをセット（1）後、クリア（0）される前に再度セット（1）することは禁止です。					
<table border="1"> <thead> <tr> <th>クリアされる条件（SPTnビット = 0）</th><th>セットされる条件（SPTnビット = 1）</th></tr> </thead> <tbody> <tr> <td> • アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELnビット = 1（通信退避）によるクリア • IICEnビット = 0（動作停止）のとき • リセット時 </td><td> • 命令によるセット </td></tr> </tbody> </table>		クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）	• アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELnビット = 1（通信退避）によるクリア • IICEnビット = 0（動作停止）のとき • リセット時	• 命令によるセット
クリアされる条件（SPTnビット = 0）	セットされる条件（SPTnビット = 1）				
• アービトレーションに負けたとき • ストップ・コンディション検出後、自動的にクリア • LRELnビット = 1（通信退避）によるクリア • IICEnビット = 0（動作停止）のとき • リセット時	• 命令によるセット				

注 SPTnビットのセット（1）は、マスタのときのみ行ってください。ただし、IICRSVnビットが0の場合、動作許可後最初のストップ・コンディションを検出する前にマスタ動作を行うには、一度SPTnビットをセット（1）してストップ・コンディションを生成する必要があります。詳細は、17.15 **注意事項**を参照してください。

注意 TRCnビット = 1のとき、9クロック目にWRELnビットをセット（1）してウエイトを解除すると、TRCnビットをクリア（0）してSDA0nラインをハイ・インピーダンスにします。

備考 SPTnビットは、データ設定後に読み出すと0になっています。

(2) IIC 状態レジスタ0-2 (IICS0-IICS2)

I²C0n のステータスを表すレジスタです。

8/1 ビット単位でリードのみ可能です。ただし、IICS_n レジスタは、IIC_{Cn}.STT_n ビット = 1 のとき、またはウェイト期間中だけリード可能です。

リセットにより 00H になります。

注意 次に示す状態において、IICS_n レジスタへのアクセスは禁止です。詳細は 3. 4. 8 (2) 特定の内蔵周辺 I/O レジスタへのアクセスについてを参照してください。

- CPU がサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPU が内蔵発振クロックで動作している場合

(1/3)

リセット時：00H R アドレス：IICS0 FFFFFFFD86H, IICS1 FFFFFFFD96H, IICS2 FFFFFFFDA6H

	⑦	⑥	⑤	④	③	②	①	①
IICS _n	MSTS _n	ALD _n	EXC _n	COL _n	TRC _n	ACKD _n	STD _n	SPD _n

MSTS _n	マスタの状態
0	スレーブ状態または通信待機状態。
1	マスタ通信状態。
クリアされる条件 (MSTS _n ビット = 0)	
• ストップ・コンディション検出時 • ALD_n ビット = 1 (アービトレーション負け) のとき • IIC_{Cn}.LREL_n ビット = 1 (通信退避) によるクリア • IIC_{Cn}.IICEn ビット = 1→0 (動作停止) のとき • リセット時	
セットされる条件 (MSTS _n ビット = 1)	
• スタート・コンディション生成時	

ALD _n	アービトレーション負け検出
0	アービトレーションが起こっていない状態。またはアービトレーションに勝った状態。
1	アービトレーションに負けた状態。MSTS _n ビットがクリア (0) される。
クリアされる条件 (ALD _n ビット = 0)	
• IICS_n レジスタ読み出し後、自動的にクリア^注 • IICEn ビット = 1→0 (動作停止) のとき • リセット時	
セットされる条件 (ALD _n ビット = 1)	
• アービトレーションに負けたとき	

EXC _n	拡張コード受信検出
0	拡張コードを受信していない。
1	拡張コードを受信。
クリアされる条件 (EXC _n ビット = 0)	
• スタート・コンディション検出時 • ストップ・コンディション検出時 • LREL_n ビット = 1 (通信退避) によるクリア • IICEn ビット = 1→0 (動作停止) のとき • リセット時	
セットされる条件 (EXC _n ビット = 1)	
受信したアドレス・データの上位 4 ビットが “0000” または “1111” のとき (8 クロック目の立ち上がりでセット)	

注 IICS_n レジスタのほかのビットに対しビット操作命令を実行した場合もクリアされます。

(2/3)

COIn	アドレス一致検出	
0	アドレスが一致していない。	
1	アドレスが一致している。	
クリアされる条件 (COInビット = 0)		セットされる条件 (COInビット = 1)
・スタート・コンディション検出時 ・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時		受信アドレスが自局アドレス (SVAnレジスタ) と一致したとき (8クロック目の立ち上がりでセット)

TRCn	送信／受信状態検出	
0	受信状態 (送信状態以外)。SDA0nラインをハイ・インピーダンスにする。	
1	送信状態。SDA0nラインにSOラッチの値が出力できるようにする (1バイト目の9クロック目の立ち上がり以降有効)	
クリアされる条件 (TRCnビット = 0)		セットされる条件 (TRCnビット = 1)
・ストップ・コンディション検出時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・IICn.WRELnビット = 1によるクリア^注 ・ALDnビット = 0→1 (アービトレーション負け) のとき ・リセット時		マスタの場合 ・スタート・コンディション生成時 ・1バイト目のLSB (転送方向指定ビット) に “0” を出力したとき スレーブの場合 ・1バイト目のLSB (転送方向指定ビット) に “1” を入力したとき
マスタの場合 ・1バイト目のLSB (転送方向指定ビット) に “1” を出力したとき スレーブの場合 ・スタート・コンディション検出時 通信不参加の場合		

ACKDn	アクノリッジ (ACK) 検出	
0	アクノリッジを検出していない。	
1	アクノリッジを検出。	
クリアされる条件 (ACKDnビット = 0)		セットされる条件 (ACKDnビット = 1)
・ストップ・コンディション検出時 ・次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時		SCL0n端子の9クロック目の立ち上がり時にSDA0n端子がロウ・レベルであったとき

注 TRCnビット = 1のとき、9クロック目にWRELnビットをセット (1) してウェイトを解除すると、TRCnビットをクリア (0) してSDA0nラインをハイ・インピーダンスにします。

STDn	スタート・コンディション検出	
0	スタート・コンディションを検出していない。	
1	スタート・コンディションを検出。アドレス転送期間であることを示す。	
クリアされる条件 (STDnビット = 0)		セットされる条件 (STDnビット = 1)
・ストップ・コンディション検出時 ・アドレス転送後の次のバイトの1クロック目の立ち上がり時 ・LRELnビット = 1 (通信退避) によるクリア ・IICEnビット = 1→0 (動作停止) のとき ・リセット時		・スタート・コンディション検出時

SPDn	ストップ・コンディション検出	
0	ストップ・コンディションを検出していない。	
1	ストップ・コンディションを検出。マスタでの通信が終了し、バスが解放される。	
クリアされる条件 (SPDnビット = 0)		セットされる条件 (SPDnビット = 1)
・このビットのセット後で、スタート・コンディション検出後の、アドレス転送バイトの1クロック目の立ち上がり時 ・IICEnビット = 1→0 (動作停止) のとき ・リセット時		・ストップ・コンディション検出時

(3) IICフラグ・レジスタ0-2 (IICF0-IICF2)

I²C0nの動作モードの設定と、I²Cバスの状態を表すレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、STCFn, IICBSYnビットはリードのみ可能です。

IICRSVnビットにより通信予約機能の禁止／許可を設定します (17. 14 通信予約参照)。

また、STCENnビットにより、IICBSYnビットの初期値を設定します (17. 15 注意事項参照)。

IICRSVn, STCENnビットは、I²C0nが動作禁止 (IICCn.IICEnビット = 0) のときのみ書き込み可能です。

動作許可後、IICFnレジスタは読み出し可能となります。

リセットにより00Hになります。

リセット時: 00H R/W^注 アドレス: IICF0 FFFFFFFD8AH, IICF1 FFFFFFFD9AH, IICF2 FFFFFFFDAAH

	⑦	⑥	5	4	3	2	①	①
IICFn	STCFn	IICBSYn	0	0	0	0	STCENn	IICRSVn

STCFn	STTnビット・クリア
0	スタート・コンディション発行
1	スタート・コンディション発行できずSTTnビット・クリア
クリアされる条件 (STCFnビット = 0)	
• IICn.STTnビット = 1によるクリア • IICn.IICEnビット = 0のとき • リセット時	
セットされる条件 (STCFnビット = 1)	
• 通信予約禁止 (IICRSVnビット = 1) 設定時にスタート・コンディション発行できず, STTnフラグ・クリア (0) されたとき	

IICBSYn	I ² C0nバス状態
0	バス解放状態 (STCENnビット = 1時の通信初期状態)
1	バス通信状態 (STCENnビット = 0時の通信初期状態)
クリアされる条件 (IICBSYnビット = 0)	
• ストップ・コンディション検出時 • IICEnビット = 0のとき • リセット時	
セットされる条件 (IICBSYnビット = 1)	
• スタート・コンディション検出時 • STCENnビット = 0のときIICEnビットのセット	

STCENn	初期スタート許可トリガ
0	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出するまで, スタート・コンディションを生成できない。
1	動作許可 (IICEnビット = 1) 後, ストップ・コンディションを検出しなくても, スタート・コンディションを生成できる。
クリアされる条件 (STCENnビット = 0)	
• スタート・コンディション検出時 • リセット時	
セットされる条件 (STCENnビット = 1)	
• 命令によるセット	

IICRSVn	通信予約機能禁止ビット
0	通信予約許可
1	通信予約禁止
クリアされる条件 (IICRSVnビット = 0)	
• 命令によるクリア • リセット時	
セットされる条件 (IICRSVnビット = 1)	
• 命令によるセット	

注 ビット6, 7はリード・オンリーです。

- 注意1.** STCENnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。
2. STCENnビット = 1とした場合, I²C動作許可直後は実際のバス状態にかかわらずバス解放状態 (IICBSYnビット = 0) と認識しますので, 1回目のスタート・コンディションを発行 (STTnビット = 1) する場合は他の通信を破壊しないようにバスが解放されていることを確認する必要があります。
3. IICRSVnビットへの書き込みは, 動作停止 (IICEnビット = 0) 時のみ行ってください。

(4) IICクロック選択レジスタ0-2 (IICCL0-IICCL2)

I²C0nの転送クロックを設定するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、CLDn, DADnビットはリードのみ可能です。

IICCLnレジスタは、IICCn.IICEnビット = 0のときに設定してください。

SMCn, CLn1, CLn0ビットの設定は、IICXn.CLXnビットと、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットと組み合わせて設定します (17.4 (6) I²C0nの転送クロックの設定方法参照) (m = 0, 1)。
リセットにより00Hになります。

リセット時：00H R/W^注 アドレス：IICCL0 FFFFFFFD84H, IICCL1 FFFFFFFD94H, IICCL2 FFFFFFFD44H

	7	6	⑤	④	3	2	1	0
IICCLn	0	0	CLDn	DADn	SMCn	DFCn	CLn1	CLn0

CLDn	SCL0n端子のレベル検出 (IICCn.IICEnビット = 1のときのみ有効)
0	SCL0n端子がロウ・レベルであることを検出
1	SCL0n端子がハイ・レベルであることを検出
クリアされる条件 (CLDnビット = 0) ・ SCL0n端子がロウ・レベルのとき ・ IICEnビット = 0 (動作停止) のとき ・ リセット時 セットされる条件 (CLDnビット = 1) ・ SCL0n端子がハイ・レベルのとき	

DADn	SDA0n端子のレベル検出 (IICEnビット = 1のときのみ有効)
0	SDA0n端子がロウ・レベルであることを検出
1	SDA0n端子がハイ・レベルであることを検出
クリアされる条件 (DADnビット = 0) ・ SDA0n端子がロウ・レベルのとき ・ IICEnビット = 0 (動作停止) のとき ・ リセット時 セットされる条件 (DADnビット = 1) ・ SDA0n端子がハイ・レベルのとき	

SMCn	動作モードの切り替え
0	標準モードで動作
1	高速モードで動作

DFCn	デジタル・フィルタの動作制御
0	デジタル・フィルタ・オフ
1	デジタル・フィルタ・オン
デジタル・フィルタは、高速モード時にのみ使用できます。 高速モード時は、DFCnビットの設定により転送クロックが変化することはありません。 デジタル・フィルタは、高速モード時にノイズ除去のために使用します。	

注 ビット4, 5はリード・オンリーです。

注意 ビット7, 6には必ず“0”を設定してください。

備考 IICCn.IICEnビット = 0のとき、CLDn, DADnビットは0がリードされます。

(5) IIC機能拡張レジスタ0-2 (IICX0-IICX2)

I²C0nの機能拡張を設定するレジスタです（高速モード時のみ有効）。

8/1ビット単位でリード／ライト可能です。

CLXnビットの設定は、IICCLn.SMCn, CLn1, CLn0ビットと、OCKSm.OCKSTHm, OCKSm1, OCKSm0ビット（m = 0, 1）と組み合わせて設定します（17. 4 (6) I²C0nの転送クロックの設定方法参照）。

IICXnレジスタは、IICCn.IICEnビット = 0のときに設定してください。

リセットにより00Hになります。

リセット時：00H R/W アドレス：IICX0 FFFFFFFD85H, IICX1 FFFFFFFD95H, IICX2 FFFFFFFDA5H							
IICXn	7	6	5	4	3	2	1 ①
	0	0	0	0	0	0	CLXn

(6) I²C0nの転送クロックの設定方法

I²C0nの転送クロック周波数（f_{SCL}）は、次の計算式により求められます。

$$f_{SCL} = 1 / (m \times T + t_R + t_F)$$

m = 12, 18, 24, 36, 44, 48, 54, 60, 66, 72, 86, 88, 96, 132, 172, 176, 198, 220, 258, 344 (表17-2 クロックの設定参照)

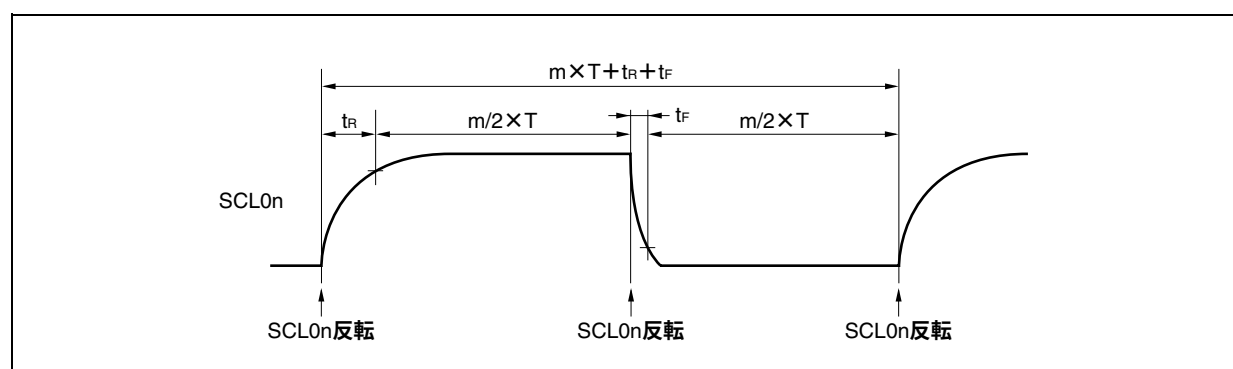
T : 1/f_{xx}

t_R : SCL0n端子立ち上がり時間

t_F : SCL0n端子立ち下がり時間

たとえば、f_{xx} = 19.2 MHz, m = 198, t_R = 200 ns, t_F = 50 nsの場合のI²C0nの転送クロック周波数（f_{SCL}）は、次の計算式により求められます。

$$f_{SCL} = 1 / (198 \times 52 \text{ ns} + 200 \text{ ns} + 50 \text{ ns}) \quad 94.7 \text{ kHz}$$



選択クロックは、IICCLn.SMCn, CLn1, CLn0ビット, IICXn.CLXnビット, OCKSm.OCKSTHm, OCKSm1, OCKSm0ビットを組み合わせて設定します（m = 0, 1）。

表17-2 クロックの設定 (1/2)

IICX0	IICCL0			選択クロック	転送クロック	設定可能なメイン・クロック 周波数 (f _{xx}) の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLX0	SMC0	CL01	CL00				
0	0	0	0	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /44	2.50 MHz ≤ f _{xx} ≤ 4.19 MHz	標準モード (SMC0ビット = 0)
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /88	4.00 MHz ≤ f _{xx} ≤ 8.38 MHz	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /132	6.00 MHz ≤ f _{xx} ≤ 12.57 MHz	
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /176	8.00 MHz ≤ f _{xx} ≤ 16.76 MHz	
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /220	10.00 MHz ≤ f _{xx} ≤ 20.00 MHz	
0	0	0	1	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /86	4.19 MHz ≤ f _{xx} ≤ 8.38 MHz	
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /172	8.38 MHz ≤ f _{xx} ≤ 16.76 MHz	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /258	12.57 MHz ≤ f _{xx} ≤ 20.00 MHz	
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /344	16.76 MHz ≤ f _{xx} ≤ 20.00 MHz	
0	0	1	0	f _{xx} ^注	f _{xx} /86	4.19 MHz ≤ f _{xx} ≤ 8.38 MHz	
0	0	1	1	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /66	f _{xx} = 6.40 MHz	
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /132	f _{xx} = 12.80 MHz	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /198	f _{xx} = 19.20 MHz	
0	1	0	X	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /24	4.19 MHz ≤ f _{xx} ≤ 8.38 MHz	高速モード (SMC0ビット = 1)
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /48	8.00 MHz ≤ f _{xx} ≤ 16.76 MHz	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /72	12.00 MHz ≤ f _{xx} ≤ 20.00 MHz	
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /96	16.00 MHz ≤ f _{xx} ≤ 20.00 MHz	
0	1	1	0	f _{xx} ^注	f _{xx} /24	4.00 MHz ≤ f _{xx} ≤ 8.38 MHz	
0	1	1	1	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /18	f _{xx} = 6.40 MHz	
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /36	f _{xx} = 12.80 MHz	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /54	f _{xx} = 19.20 MHz	
1	1	0	X	f _{xx} (OCKS0 = 18H設定時)	f _{xx} /12	4.00 MHz ≤ f _{xx} ≤ 4.19 MHz	
				f _{xx} /2 (OCKS0 = 10H設定時)	f _{xx} /24	8.00 MHz ≤ f _{xx} ≤ 8.38 MHz	
				f _{xx} /3 (OCKS0 = 11H設定時)	f _{xx} /36	12.00 MHz ≤ f _{xx} ≤ 12.57 MHz	
				f _{xx} /4 (OCKS0 = 12H設定時)	f _{xx} /48	16.00 MHz ≤ f _{xx} ≤ 16.67 MHz	
				f _{xx} /5 (OCKS0 = 13H設定時)	f _{xx} /60	f _{xx} = 20.00 MHz	
1	1	1	0	f _{xx} ^注	f _{xx} /12	4.00 MHz ≤ f _{xx} ≤ 4.19 MHz	
上記以外				設定禁止	—	—	—

注 OCKS0レジスタの設定値によらずf_{xx}になるので、OCKS0レジスタ = 00H (I²C分周クロックは停止状態)を設定してください。

備考 X : don't care

表17-2 クロックの設定 (2/2)

IICXm	IICCLm			選択クロック	転送クロック	設定可能なメイン・クロック 周波数 (f _{xx}) の範囲	動作モード
ビット0	ビット3	ビット1	ビット0				
CLXm	SMCm	CLm1	CLm0				
0	0	0	0	f _{xx} (OCKS1 = 18H設定時)	f _{xx} /44	2.50 MHz ≤ f _{xx} ≤ 4.19 MHz	標準モード (SMCm ビット = 0)
				f _{xx} /2 (OCKS1 = 10H設定時)	f _{xx} /88	4.00 MHz ≤ f _{xx} ≤ 8.38 MHz	
				f _{xx} /3 (OCKS1 = 11H設定時)	f _{xx} /132	6.00 MHz ≤ f _{xx} ≤ 12.57 MHz	
				f _{xx} /4 (OCKS1 = 12H設定時)	f _{xx} /176	8.00 MHz ≤ f _{xx} ≤ 16.76 MHz	
				f _{xx} /5 (OCKS1 = 13H設定時)	f _{xx} /220	10.00 MHz ≤ f _{xx} ≤ 20.00 MHz	
0	0	0	1	f _{xx} (OCKS1 = 18H設定時)	f _{xx} /86	4.19 MHz ≤ f _{xx} ≤ 8.38 MHz	
				f _{xx} /2 (OCKS1 = 10H設定時)	f _{xx} /172	8.38 MHz ≤ f _{xx} ≤ 16.76 MHz	
				f _{xx} /3 (OCKS1 = 11H設定時)	f _{xx} /258	12.57 MHz ≤ f _{xx} ≤ 20.00 MHz	
				f _{xx} /4 (OCKS1 = 12H設定時)	f _{xx} /344	16.76 MHz ≤ f _{xx} ≤ 20.00 MHz	
0	0	1	0	f _{xx} ^注	f _{xx} /86	4.19 MHz ≤ f _{xx} ≤ 8.38 MHz	
0	0	1	1	f _{xx} (OCKS1 = 18H設定時)	f _{xx} /66	f _{xx} = 6.40 MHz	
				f _{xx} /2 (OCKS1 = 10H設定時)	f _{xx} /132	f _{xx} = 12.80 MHz	
				f _{xx} /3 (OCKS1 = 11H設定時)	f _{xx} /198	f _{xx} = 19.20 MHz	
0	1	0	X	f _{xx} (OCKS1 = 18H設定時)	f _{xx} /24	4.19 MHz ≤ f _{xx} ≤ 8.38 MHz	高速モード (SMCm ビット = 1)
				f _{xx} /2 (OCKS1 = 10H設定時)	f _{xx} /48	8.00 MHz ≤ f _{xx} ≤ 16.76 MHz	
				f _{xx} /3 (OCKS1 = 11H設定時)	f _{xx} /72	12.00 MHz ≤ f _{xx} ≤ 20.00 MHz	
				f _{xx} /4 (OCKS1 = 12H設定時)	f _{xx} /96	16.00 MHz ≤ f _{xx} ≤ 20.00 MHz	
0	1	1	0	f _{xx} ^注	f _{xx} /24	4.00 MHz ≤ f _{xx} ≤ 8.38 MHz	
0	1	1	1	f _{xx} (OCKS1 = 18H設定時)	f _{xx} /18	f _{xx} = 6.40 MHz	
				f _{xx} /2 (OCKS1 = 10H設定時)	f _{xx} /36	f _{xx} = 12.80 MHz	
				f _{xx} /3 (OCKS1 = 11H設定時)	f _{xx} /54	f _{xx} = 19.20 MHz	
1	1	0	X	f _{xx} (OCKS1 = 18H設定時)	f _{xx} /12	4.00 MHz ≤ f _{xx} ≤ 4.19 MHz	
				f _{xx} /2 (OCKS1 = 10H設定時)	f _{xx} /24	8.00 MHz ≤ f _{xx} ≤ 8.38 MHz	
				f _{xx} /3 (OCKS1 = 11H設定時)	f _{xx} /36	12.00 MHz ≤ f _{xx} ≤ 12.57 MHz	
				f _{xx} /4 (OCKS1 = 12H設定時)	f _{xx} /48	16.00 MHz ≤ f _{xx} ≤ 16.67 MHz	
				f _{xx} /5 (OCKS1 = 13H設定時)	f _{xx} /60	f _{xx} = 20.00 MHz	
1	1	1	0	f _{xx} ^注	f _{xx} /12	4.00 MHz ≤ f _{xx} ≤ 4.19 MHz	
上記以外				設定禁止	—	—	—

注 OCKS1レジスタの設定値によらずf_{xx}になるので、OCKS1レジスタ = 00H (I²C分周クロックは停止状態)を設定してください。

備考1. m = 1, 2

2. X : don't care

(7) IIC分周クロック選択レジスタ0, 1 (OCKS0, OCKS1)

I²C0nの分周クロックを制御するレジスタです。

OCKS0レジスタでI²C00の分周クロックを、OCKS1レジスタでI²C01, I²C02の分周クロックを制御します。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：OCKS0 FFFFFF340H, OCKS1 FFFFFF344H

	7	6	5	4	3	2	1	0
OCKSm	0	0	0	OCKSENm	OCKSTHm	0	OCKSm1	OCKSm0

OCKSENm	I ² C分周クロック動作指定
0	I ² C分周クロック動作停止
1	I ² C分周クロック動作許可

OCKSTHm	OCKSm1	OCKSm0	I ² C分周クロック選択
0	0	0	f _{xx} /2
0	0	1	f _{xx} /3
0	1	0	f _{xx} /4
0	1	1	f _{xx} /5
1	0	0	f _{xx}
その他			設定禁止

(8) IICシフト・レジスタ0-2 (IIC0-IIC2)

このレジスタは、シリアル・クロックに同期してシリアル送受信（シフト動作）を行うためのものです。

8ビット単位でリード／ライト可能ですが、データ転送中にIICnレジスタへデータを書き込まないでください。

IICnレジスタには、ウェイト期間中にだけアクセス（リード／ライト）してください。ウェイト期間中を除く通信状態でのIICnレジスタへのアクセスは禁止です。ただし、マスタになる場合は、送信トリガ・ビット（IICn.STTnビット）をセット（1）したあと、1回だけライトできます。

ウェイト期間中のIICnレジスタへの書き込みにより、ウェイト解除しデータ転送を開始します。

リセットにより00Hになります。

リセット時：00H R/W アドレス：IIC0 FFFFFFD80H, IIC1 FFFFFFD90H, IIC2 FFFFFFDA0H

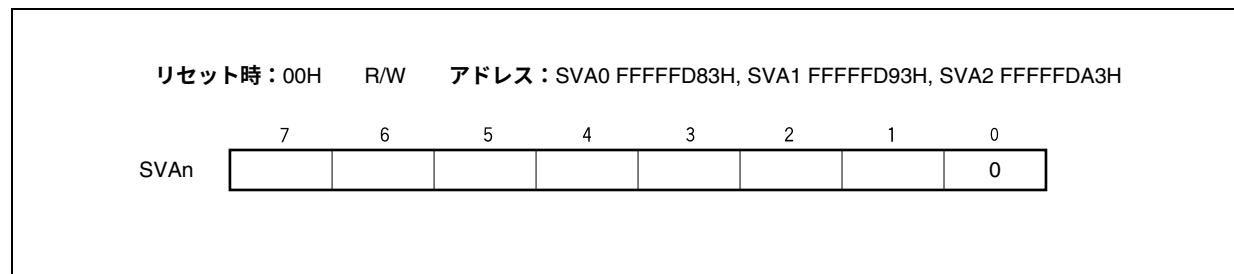
	7	6	5	4	3	2	1	0
IICn								

(9) スレーブ・アドレス・レジスタ0-2 (SVA0-SVA2)

SVAnレジスタには、I²Cバスのスレーブ・アドレスを格納します。

8ビット単位でリード／ライト可能ですが、ビット0は0に固定されています。ただし、IICSn.STDnビット = 1（スタート・コンディション検出）のときの書き換えは禁止です。

リセットにより00Hになります。



17.5 I²C バス・モードの機能

17.5.1 端子構成

シリアル・クロック端子 (SCL0n) と、シリアル・データ・バス端子 (SDA0n) の構成は、次のようになっています。

SCL0n … シリアル・クロックを入出力するための端子。

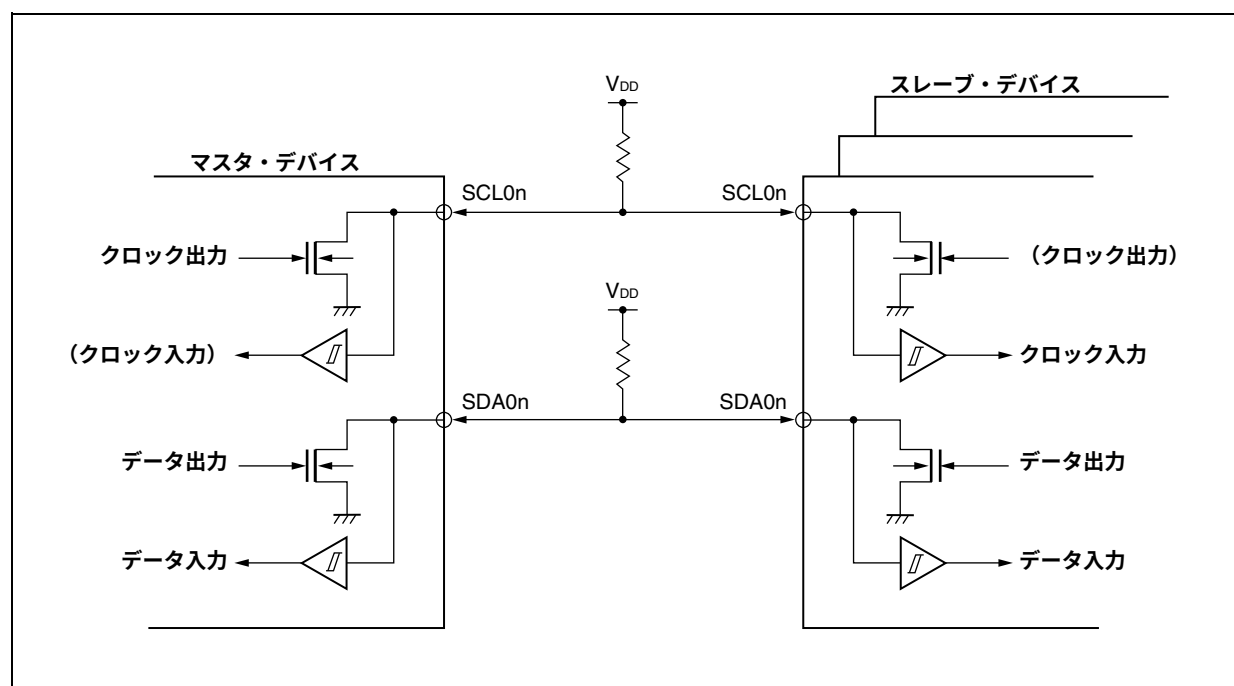
マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

SDA0n … シリアル・データの入出力兼用端子。

マスタ、スレーブともに、出力はN-chオープン・ドレイン。入力はシュミット入力。

シリアル・クロック・ラインおよびシリアル・データ・バス・ラインは、出力がN-chオープン・ドレインのため、外部にプルアップ抵抗が必要となります。

図17-6 端子構成図

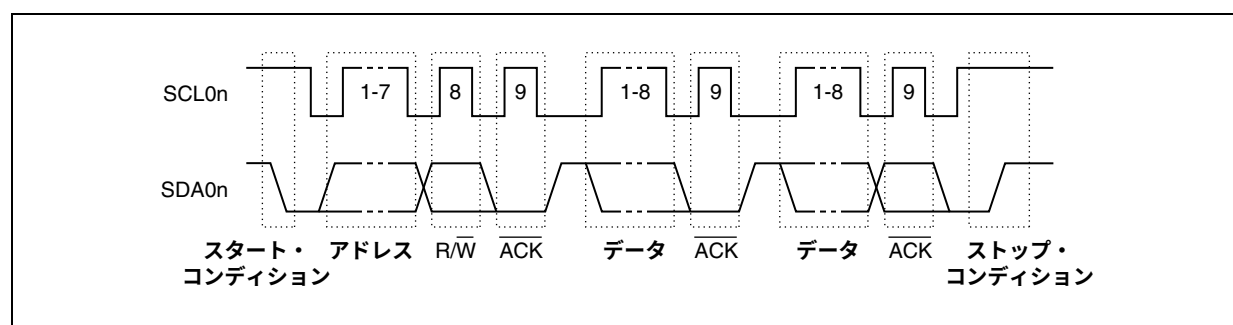


17.6 I²Cバスの定義および制御方法

I²Cバスのシリアル・データ通信フォーマットおよび、使用する信号の意味について次に説明します。

I²Cバスのシリアル・データ・バス上に生成されている“スタート・コンディション”，“アドレス”，“転送方向指定”，“データ”および“ストップ・コンディション”の各転送タイミングを次に示します。

図17-7 I²Cバスのシリアル・データ転送タイミング



スタート・コンディション，スレーブ・アドレス，ストップ・コンディションはマスタが生成します。

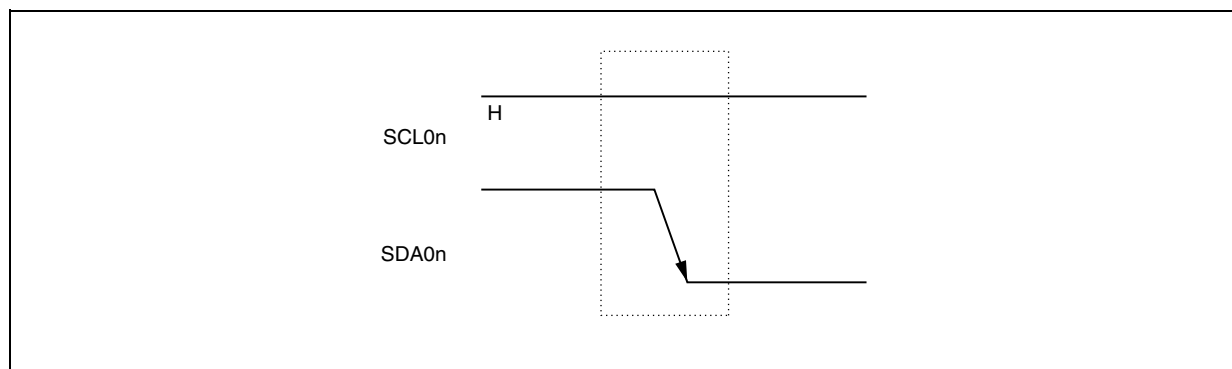
アクノリッジ (ACK) は，マスタ，スレーブのどちらでも生成できます（通常，8ビット・データの受信側が生成します）。

シリアル・クロック (SCL0n) は，マスタが出力し続けます。ただし，スレーブはSCL0n端子のロウ・レベル期間を延長し，ウェイトを挿入できます。

17. 6. 1 スタート・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がハイ・レベルからロウ・レベルに変化するとスタート・コンディションとなります。SCL0n, SDA0n端子のスタート・コンディションはマスタがスレーブに対してシリアル転送を開始するときに出力する信号です。スレーブとして使用する場合は、スタート・コンディションを検出できます。

図17-8 スタート・コンディション



スタート・コンディションは、ストップ・コンディション検出状態（IICSn.SPDnビット = 1）のときに IICn.STTnビットをセット（1）すると出力されます。また、スタート・コンディションを検出すると、IICSn.STDnビットがセット（1）されます。

注意 ほかのデバイス同士の通信中にV850ES/JC3-L, V850ES/JE3-LのIICn.IICEnビットをセット（1）した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICn.IICEnビットのセット（1）は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

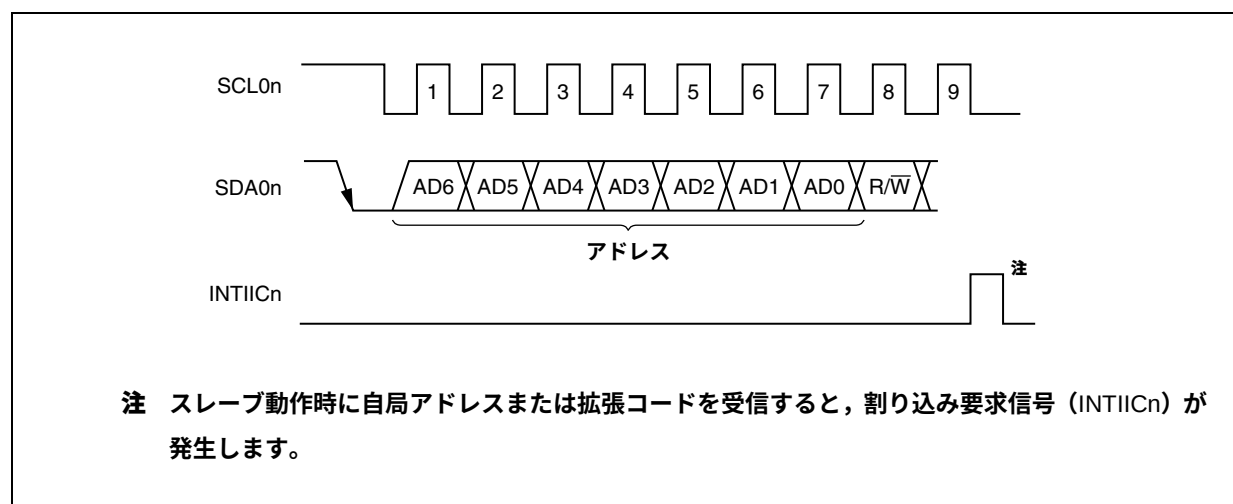
17. 6. 2 アドレス

スタート・コンディションに続く7ビット・データはアドレスと定義されています。

アドレスは、マスタがバス・ラインに接続されている複数のスレーブの中から、特定のスレーブを選択するために出力する7ビット・データです。したがって、バス・ライン上のスレーブは、すべて異なるアドレスにしておく必要があります。

スレーブは、ハードウェアでこの条件を検出し、さらに、7ビット・データがSVAnレジスタと一致しているかを調べます。このとき、7ビット・データとSVAnレジスタの値が一致すると、そのスレーブが選択されたことになり、以後、マスタがスタート・コンディションまたはストップ・コンディションを生成するまでマスタとの通信を行います。

図17-9 アドレス



アドレスは、スレーブのアドレスと17. 6. 3 転送方向指定に説明する転送方向を合わせて8ビットとしてIICnレジスタに書き込むと出力します。また、受信したアドレスはIICnレジスタに書き込まれます。

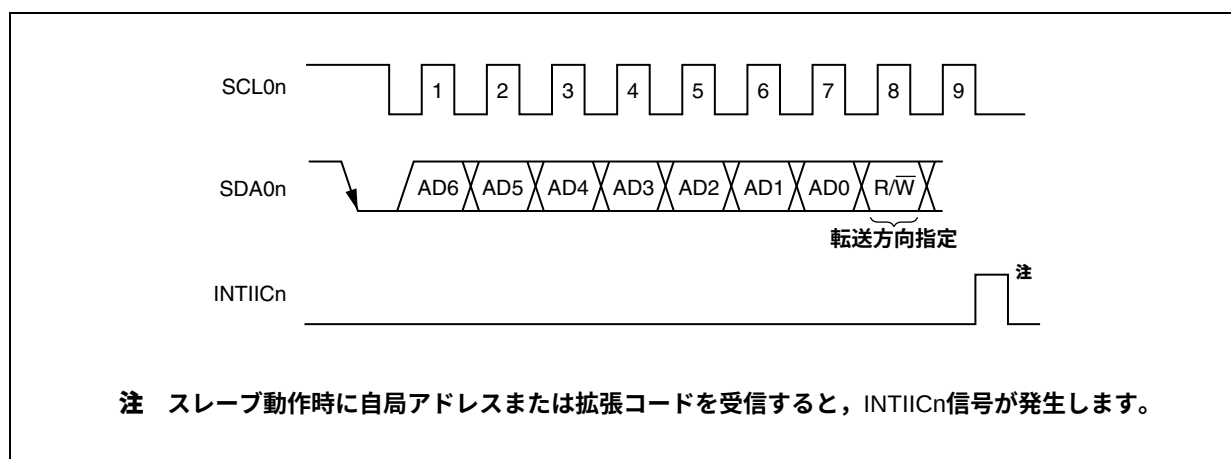
なお、スレーブのアドレスは、IICnレジスタの上位7ビットに割り当てられます。

17. 6. 3 転送方向指定

マスタは、7ビットのアドレスに続いて、転送方向を指定するための1ビット・データを送信します。

この転送方向指定ビットが0のとき、マスタがスレーブにデータを送信することを示します。また、転送方向指定ビットが1のとき、マスタがスレーブからデータを受信することを示します。

図17-10 転送方向指定



17. 6. 4 アクノリッジ (ACK)

アクノリッジ (ACK) によって、送信側と受信側におけるシリアル・データの状態を確認することができます。

受信側は、8ビット・データを受信するごとにアクノリッジを返します。

送信側は通常、8ビット・データ送信後、アクノリッジを受信します。受信側からアクノリッジが返されたとき、受信が正しく行われたものとして処理を続けます。アクノリッジの検出は、IICSn.ACKDnビットで確認できます。

マスタが受信で最終データを受信したときはアクノリッジを返さず、ストップ・コンディションを生成します。スレーブが受信でアクノリッジを返さないとき、マスタはストップ・コンディションまたはリスタート・コンディションを生成し、送信を中止します。アクノリッジが返らない場合、次の要因が考えられます。

- ① 受信が正しく行われていない。
- ② 最終データの受信が終わっている。
- ③ アドレス指定した受信側が存在しない。

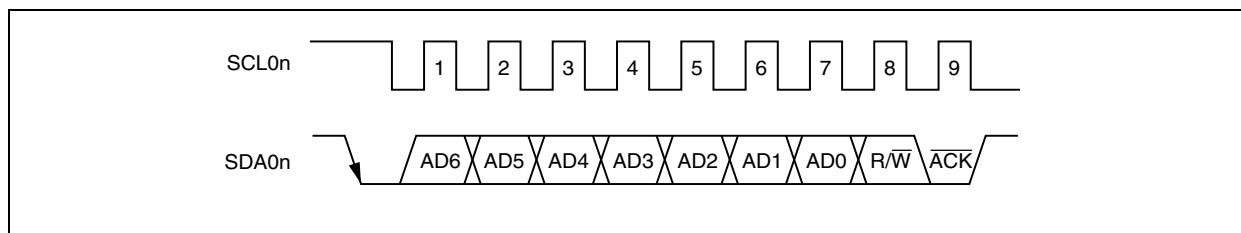
アクノリッジ生成は、受信側が9クロック目にSDA0nラインをロウ・レベルにすることによって行われます(正常受信)。

IICn.ACKEnビットをセット (1) することによって、アクノリッジが自動生成可能な状態になります。7ビットのアドレス情報に続く8ビット目のデータによりIICSn.TRCnビットが設定されます。受信 (TRCnビット = 0) の場合は、通常、ACKEnビットをセット (1) してください。

スレーブ受信動作時 (TRCnビット = 0) にデータを受信できなくなったとき、または次のデータを必要としないときには、ACKEnビットをクリア (0) し、マスタ側に受信ができないことを示してください。

マスタ受信動作時 (TRCnビット = 0) に、次のデータを必要としない場合、アクノリッジを生成しないようにACKEnビットをクリア (0) してください。これによって、スレーブ送信側にデータの終わりを知らせます(送信停止)。

図17-11 アクノリッジ



自局アドレス受信時は、ACKEnビットの値にかかわらずアクノリッジを自動生成します。自局アドレス以外の受信時は、アクノリッジを生成しません (NACK)。

拡張コード受信時は、あらかじめACKEnビットをセット (1) しておくことによってアクノリッジを生成します。データ受信時のアクノリッジ生成方法は、ウェイト・タイミングの設定により次のように異なります。

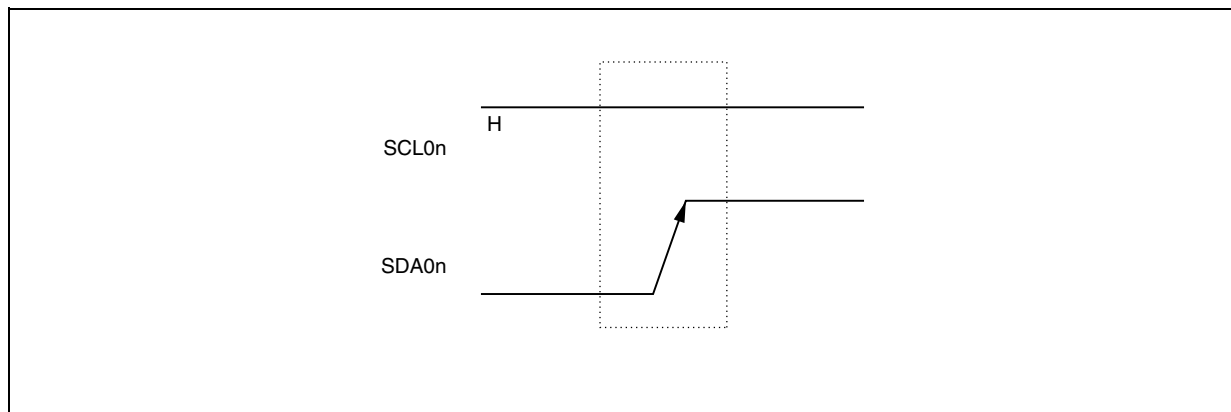
- ・8クロック・ウェイト選択時 (IICn.WTIMnビット = 0) :
ウェイト解除を行う前にACKEnビットをセット (1) することによって、SCL0n端子の8クロック目の立ち下がり同期してアクノリッジを生成します。
- ・9クロック・ウェイト選択時 (WTIMnビット = 1) :
あらかじめACKEnビットをセット (1) することによって、アクノリッジを生成します。

17. 6. 5 ストップ・コンディション

SCL0n端子がハイ・レベルのときに、SDA0n端子がロウ・レベルからハイ・レベルに変化すると、ストップ・コンディションとなります。

ストップ・コンディションは、マスタがスレーブに対してシリアル転送が終了したときに生成します。スレーブとして使用する場合は、ストップ・コンディションを検出できます。

図17-12 ストップ・コンディション



ストップ・コンディションは、IICCn.SPTnビットをセット（1）すると発生します。また、ストップ・コンディションを検出するとIICSn.SPDnビットがセット（1）され、IICCn.SPIEnビットがセット（1）されている場合には割り込み要求信号（INTIICn）が発生します。

17.6.6 ウェイト

ウェイトは、マスタまたはスレーブがデータの送受信が準備中（ウェイト状態）であることを相手に知らせます。

SCL0n端子をロウ・レベルにすることにより、相手にウェイト状態を知らせます。マスタ、スレーブ両方のウェイト状態が解除されると、次の転送を開始できます。

図17-13 ウェイト (1/2)

(a) マスタは9クロック・ウェイト、スレーブは8クロック・ウェイト時（マスタ：送信，スレーブ：受信，IICn.ACKEnビット = 1）

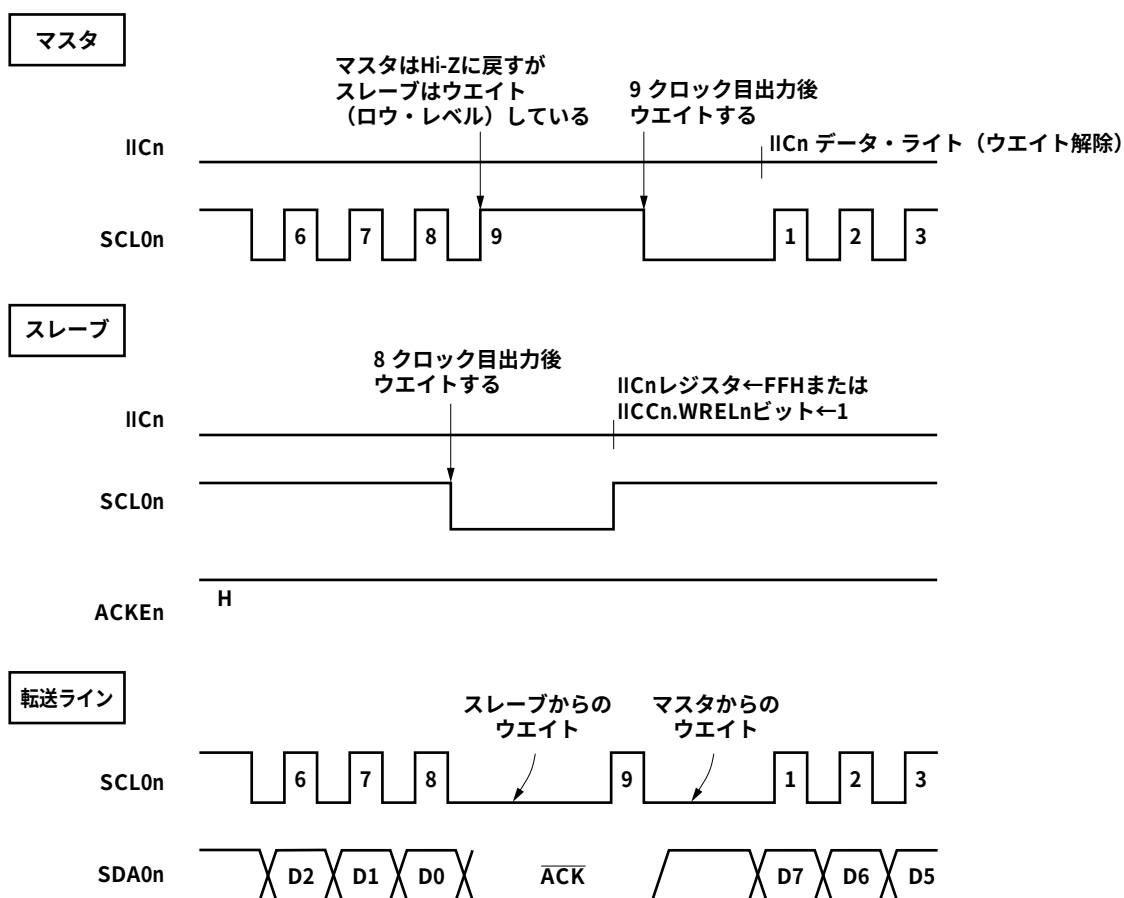
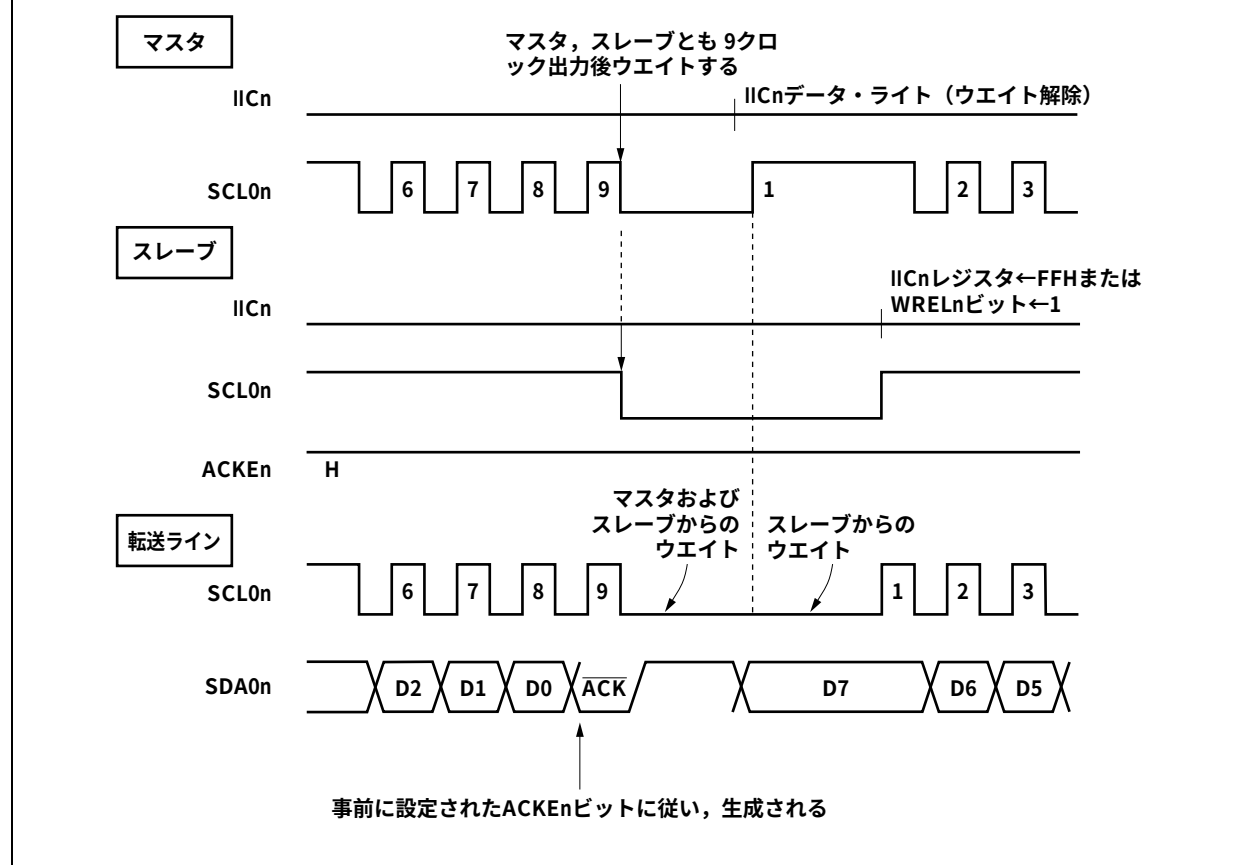


図17-13 ウェイト (2/2)

(b) マスタ、スレーブとも9クロック・ウェイト時（マスタ：送信，スレーブ：受信，ACKEnビット = 1）



ウェイトは、IICn.WTImnビットの設定により自動的に発生します。

通常、受信側はWRELnビット = 1またはIICnレジスタ←FFHライトにするとウェイトを解除し、送信側はIICnレジスタにデータを書き込むとウェイトを解除します。

マスタの場合は、次の方法でもウェイトを解除できます。

- IICn.STTnビット = 1
- IICn.SPTnビット = 1

17. 6. 7 ウェイト解除方法

I²C0nでは、通常、次のような処理でウェイトを解除できます。

- IICnレジスタへのデータの書き込み
- IICCn.WRELnビットのセット (1) (ウェイト解除)
- IICCn.STTnビットのセット (1) (スタート・コンディションの生成)
- IICCn.SPTnビットのセット (1) (ストップ・コンディションの生成)

これらのウェイト解除処理を実行した場合、I²C0nはウェイトを解除し通信が再開されます。

ウェイトを解除してデータ (アドレスを含む) を送信する場合には、IICnレジスタにデータを書き込んでください。

ウェイト解除後にデータを受信する場合、またはデータ送信を完了する場合には、WRELnビットをセット (1) してください。

ウェイト解除後にリスタート・コンディションを生成する場合には、STTnビットをセット (1) してください。

ウェイト解除後にストップ・コンディションを生成する場合には、SPTnビットをセット (1) してください。

1回のウェイト状態に対して、1回だけ解除処理を実行してください。

たとえば、WRELnビットのセット (1) によるウェイト解除後、IICnレジスタへのデータ書き込みを実施した場合には、SDA0nラインの変化タイミングとIICnレジスタへの書き込みタイミングの競合により、SDA0nラインへの出力データが間違った値になる可能性があります。

このような処理以外でも、通信を途中で中止した場合には、IICCn.IICEnビットをクリア (0) すると通信を停止するので、ウェイトを解除できます。

I²Cバスがノイズなどによりデッド・ロックしてしまった場合には、IICCn.LRELnビットをセット (1) すると通信から退避するので、ウェイトを解除できます。

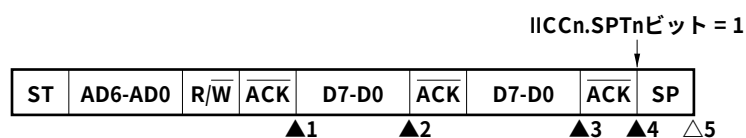
17.7 I²C 割り込み要求信号 (INTIICn)

次に, INTIICn 割り込み要求信号発生タイミングと, INTIICn 信号タイミングでの IICSn レジスタの値を示します。

17.7.1 マスタ動作

(1) Start～Address～Data～Data～Stop (通常送受信)

① IICn.WTIMn ビット = 0 のとき



▲1: IICSn レジスタ = 1000X110B

▲2: IICSn レジスタ = 1000X000B

▲3: IICSn レジスタ = 1000X000B (WTIMn ビット = 1)

▲4: IICSn レジスタ = 1000XX00B

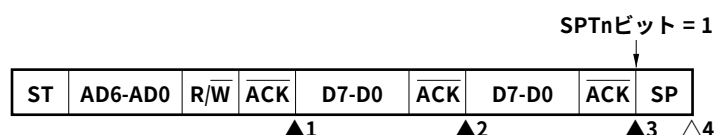
△5: IICSn レジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEn ビット = 1 のときだけ発生

X 任意

② WTIMn ビット = 1 のとき



▲1: IICSn レジスタ = 1000X110B

▲2: IICSn レジスタ = 1000X100B

▲3: IICSn レジスタ = 1000XX00B

△4: IICSn レジスタ = 00000001B

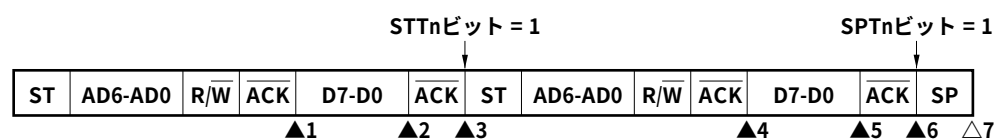
備考 ▲ 必ず発生

△ SPIEn ビット = 1 のときだけ発生

X 任意

(2) Start~Address~Data~Start~Address~Data~Stop (リスタート)

① WTIMnビット = 0 のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3：IICSnレジスタ = 1000XX00B (WTIMnビット = 0)

▲4：IICSnレジスタ = 1000X110B (WTIMnビット = 0)

▲5：IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲6：IICSnレジスタ = 1000XX00B

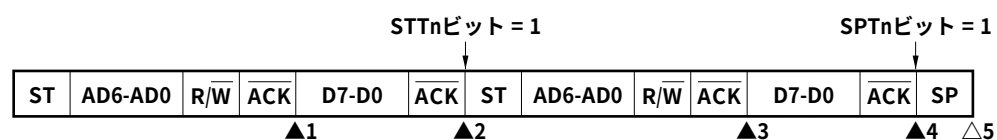
△7：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

② WTIMnビット = 1のとき



▲1：IICS_nレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

▲3：IICSnレジスタ = 1000X110B

▲4：IICSnレジスタ = 1000XX00B

△5：IICSnレジスタ = 00000001B

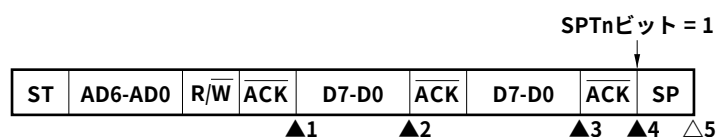
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

(3) Start~Code~Data~Data~Stop (拡張コード送信)

① WTIMnビット = 0 のとき



▲1 : IICSnレジスタ = 1010X110B

▲2 : IICSnレジスタ = 1010X000B

▲3 : IICSnレジスタ = 1010X000B (WTIMnビット = 1)

▲4 : IICSnレジスタ = 1010XX00B

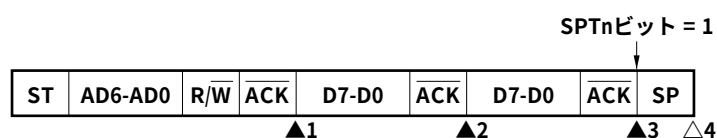
△5 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき



▲1 : IICSnレジスタ = 1010X110B

▲2 : IICSnレジスタ = 1010X100B

▲3 : IICSnレジスタ = 1010XX00B

△4 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

17.7.2 スレーブ動作（スレーブ・アドレス・データ受信時（アドレス一致））

(1) Start～Address～Data～Data～Stop

① IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3		△4

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X000B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

② WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICSnレジスタ = 0001X110B

▲2：IICSnレジスタ = 0001X100B

▲3：IICSnレジスタ = 0001XX00B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

(2) Start~Address~Data~Start~Address~Data~Stop

① WTIMnビット = 0 のとき (リスタート後、アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1 : IICSnレジスタ = 0001X110B

▲2 : IICSnレジスタ = 0001X000B

▲3 : IICSnレジスタ = 0001X110B

▲4 : IICSnレジスタ = 0001X000B

△5 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき (リスタート後、アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1 : IICSnレジスタ = 0001X110B

▲2 : IICSnレジスタ = 0001XX00B

▲3 : IICSnレジスタ = 0001X110B

▲4 : IICSnレジスタ = 0001XX00B

△5 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

(3) Start~Address~Data~Start~Code~Data~Stop

① WTIMnビット = 0 のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3		▲4	△5

▲1: IICSnレジスタ = 0001X110B

▲2: IICSnレジスタ = 0001X000B

▲3: IICSnレジスタ = 0010X010B

▲4: IICSnレジスタ = 0010X000B

△5: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき (リスタート後, 拡張コード受信)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3 ▲4		▲5	△6

▲1: IICSnレジスタ = 0001X110B

▲2: IICSnレジスタ = 0001XX00B

▲3: IICSnレジスタ = 0010X010B

▲4: IICSnレジスタ = 0010X110B

▲5: IICSnレジスタ = 0010XX00B

△6: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

(4) Start~Address~Data~Start~Address~Data~Stop

① WTIMnビット = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3			△4

▲1 : IICSnレジスタ = 0001X110B

▲2 : IICSnレジスタ = 0001X000B

▲3 : IICSnレジスタ = 00000X10B

△4 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外))

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2				▲3			△4

▲1 : IICSnレジスタ = 0001X110B

▲2 : IICSnレジスタ = 0001XX00B

▲3 : IICSnレジスタ = 00000X10B

△4 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

17.7.3 スレーブ動作（拡張コード受信時）

(1) Start～Code～Data～Data～Stop

① IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0010X000B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

② WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1	▲2		▲3		▲4 △5

▲1：IICSnレジスタ = 0010X010B

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010X100B

▲4：IICSnレジスタ = 0010XX00B

△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

(2) Start~Code~Data~Start~Address~Data~Stop

① WTIMnビット = 0 のとき (リスタート後、アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1		▲2					▲3	▲4	△5

▲1 : IICSnレジスタ = 0010X010B

▲2 : IICSnレジスタ = 0010X000B

▲3 : IICSnレジスタ = 0001X110B

▲4 : IICSnレジスタ = 0001X000B

△5 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき (リスタート後、アドレス一致)

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	ST	AD6-AD0	R/W	ACK	D7-D0	ACK	SP
			▲1	▲2	▲3					▲4	▲5	△6

▲1 : IICSnレジスタ = 0010X010B

▲2 : IICSnレジスタ = 0010X110B

▲3 : IICSnレジスタ = 0010XX00B

▲4 : IICSnレジスタ = 0001X110B

▲5 : IICSnレジスタ = 0001XX00B

△6 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

(3) Start~Code~Data~Start~Code~Data~Stop

① WTIMnビット = 0 のとき (リスタート後, 拡張コード受信)



▲1: IICSnレジスタ = 0010X010B

▲2: IICSnレジスタ = 0010X000B

▲3: IICSnレジスタ = 0010X010B

▲4: IICSnレジスタ = 0010X000B

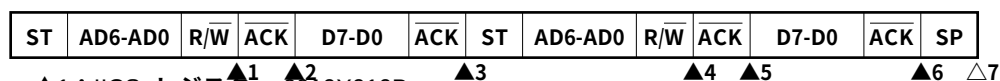
△5: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき (リスタート後, 拡張コード受信)



▲1: IICSnレジスタ = 0010X010B

▲2: IICSnレジスタ = 0010X110B

▲3: IICSnレジスタ = 0010XX00B

▲4: IICSnレジスタ = 0010X010B

▲5: IICSnレジスタ = 0010X110B

▲6: IICSnレジスタ = 0010XX00B

△7: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

(4) Start~Code~Data~Start~Address~Data~Stop

① WTIMnビット = 0 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICSnレジスタ = 0010X010B

▲2 : IICSnレジスタ = 0010X000B

▲3 : IICSnレジスタ = 00000X10B

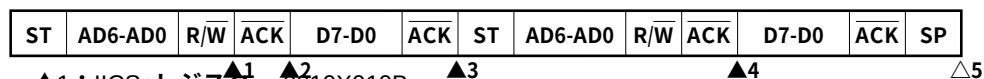
△4 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき (リスタート後、アドレス不一致 (拡張コード以外))



▲1 : IICSnレジスタ = 0010X010B

▲2 : IICSnレジスタ = 0010X110B

▲3 : IICSnレジスタ = 0010XX00B

▲4 : IICSnレジスタ = 00000X10B

△5 : IICSnレジスタ = 00000001B

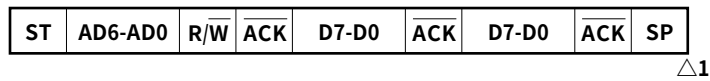
備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

17.7.4 通信不参加の動作

(1) Start~Code~Data~Data~Stop



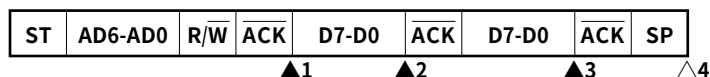
△1 : IICSnレジスタ = 00000001B

備考 △ SPIEnビット = 1のときだけ発生

17. 7. 5 アービトレーション負けの動作（アービトレーション負けのあと、スレーブとして動作）

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合

① IICn.WTIMnビット = 0 のとき



▲1：IICSnレジスタ = 0101X110B（例 割り込み処理中にIICSn.ALDnビットをリード）

▲2：IICSnレジスタ = 0001X000B

▲3：IICSnレジスタ = 0001X000B

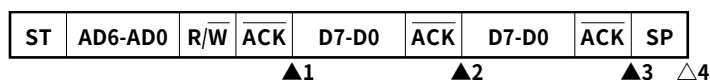
△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき



▲1：IICSnレジスタ = 0101X110B（例 割り込み処理中にALDnビットをリード）

▲2：IICSnレジスタ = 0001X100B

▲3：IICSnレジスタ = 0001XX00B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

(2) 拡張コード送信中にアービトレーションに負けた場合

① WTIMnビット = 0 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2		▲3	△4

▲1：IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

▲2：IICSnレジスタ = 0010X000B

▲3：IICSnレジスタ = 0010X000B

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

② WTIMnビット = 1 のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1 ▲2		▲3		▲4 ▲5	

▲1：IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

▲2：IICSnレジスタ = 0010X110B

▲3：IICSnレジスタ = 0010X100B

▲4：IICSnレジスタ = 0010XX00B

△5：IICSnレジスタ = 00000001B

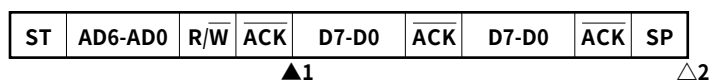
備考 ▲ 必ず発生

△ SPIEnビット = 1 のときだけ発生

X 任意

17.7.6 アービトレーション負けの動作（アービトレーション負けのあと、不参加）

(1) スレーブ・アドレス・データ送信中にアービトレーションに負けた場合



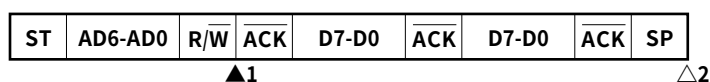
▲1：IICSnレジスタ = 01000110B（例 割り込み処理中にIICSn.ALDnビットをリード）

△2：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ IICn.SPIEnビット = 1のときだけ発生

(2) 拡張コード送信中にアービトレーションに負けた場合



▲1：IICSnレジスタ = 0110X010B（例 割り込み処理中にALDnビットをリード）

ソフトウェアでIICn.LRELnビット = 1を設定

△2：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

(3) データ転送時にアービトレーションに負けた場合

① IICn.WTIMnビット = 0のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2			△3

▲1 : IICSnレジスタ = 10001110B

▲2 : IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

△3 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

② WTIMnビット = 1のとき

ST	AD6-AD0	R/W	ACK	D7-D0	ACK	D7-D0	ACK	SP
			▲1		▲2			△3

▲1 : IICSnレジスタ = 10001110B

▲2 : IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)

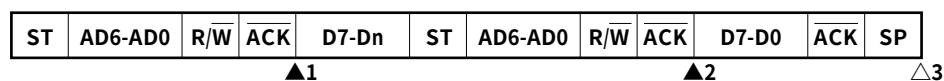
△3 : IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

(4) データ転送時にリスタート・コンディションで負けた場合

① 拡張コード以外 (例 アドレス不一致)



▲1: IICSnレジスタ = 1000X110B

▲2: IICSnレジスタ = 01000110B (例 割り込み処理中にALDnビットをリード)

△3: IICSnレジスタ = 00000001B

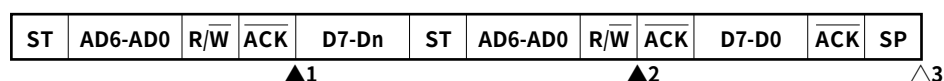
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

② 拡張コード



▲1: IICSnレジスタ = 1000X110B

▲2: IICSnレジスタ = 0110X010B (例 割り込み処理中にALDnビットをリード)

ソフトウェアでIICn.LRELnビット = 1を設定

△3: IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

Dn = D6-D0

(5) データ転送時にストップ・コンディションで負けた場合

ST	AD6-AD0	R/W	ACK	D7-Dn	SP
			▲1		△2

▲1 : IICSnレジスタ = 1000X110B

△2 : IICSnレジスタ = 01000001B

備考1. ▲ 必ず発生

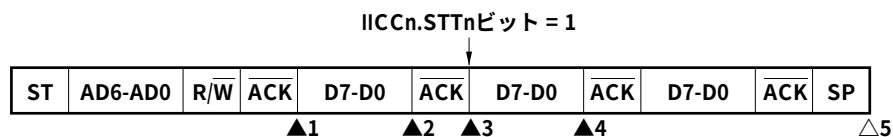
△ SPIEnビット = 1のときだけ発生

X 任意

2. Dn = D6-D0

(6) リスタート・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3：IICSnレジスタ = 1000XX00B (WTIMnビット = 0)

▲4：IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

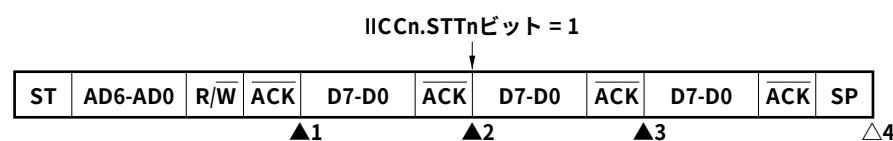
△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

▲3：IICSnレジスタ = 01000100B (例 割り込み処理中にALDnビットをリード)

△4：IICSnレジスタ = 00000001B

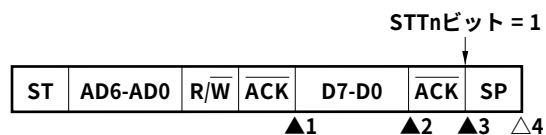
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

(7) リスタート・コンディションを発生しようとして、ストップ・コンディションでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1 : IICSnレジスタ = 1000X110B

▲2 : IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3 : IICSnレジスタ = 1000XX00B

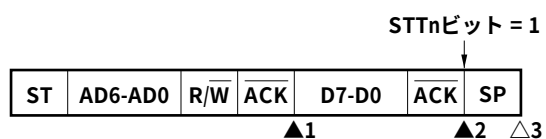
△4 : IICSnレジスタ = 01000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

② WTIMnビット = 1のとき



▲1 : IICSnレジスタ = 1000X110B

▲2 : IICSnレジスタ = 1000XX00B

△3 : IICSnレジスタ = 01000001B

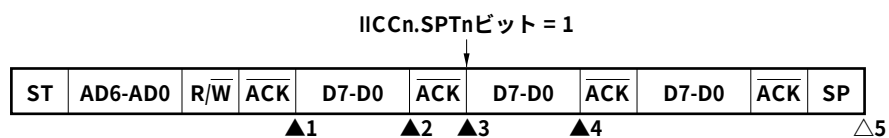
備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

(8) ストップ・コンディションを発生しようとしたが、SDA0n端子がロウ・レベルでアービトレーションに負けた場合

① WTIMnビット = 0のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000X000B (WTIMnビット = 1)

▲3：IICSnレジスタ = 1000XX00B (WTIMnビット = 0)

▲4：IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

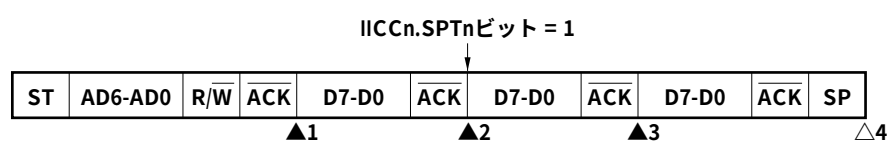
△5：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

② WTIMnビット = 1のとき



▲1：IICSnレジスタ = 1000X110B

▲2：IICSnレジスタ = 1000XX00B

▲3：IICSnレジスタ = 01000000B (例 割り込み処理中にALDnビットをリード)

△4：IICSnレジスタ = 00000001B

備考 ▲ 必ず発生

△ SPIEnビット = 1のときだけ発生

X 任意

17.8 割り込み要求信号 (INTIICn) 発生タイミングおよびウェイト制御

IICn.WTIMnビットの設定で、次に示すタイミングでINTIICn信号が発生して、ウェイト制御を行います。

表17-3 INTIICn信号発生タイミングおよびウェイト制御

WTIMnビット	スレーブ動作時			マスタ動作時		
	アドレス	データ受信	データ送信	アドレス	データ受信	データ送信
0	9 ^{注1, 2}	8 ^{注2}	8 ^{注2}	9	8	8
1	9 ^{注1, 2}	9 ^{注2}	9 ^{注2}	9	9	9

注1. スレーブのINTIICn信号およびウェイトは、SVAnレジスタに設定しているアドレスと一致したときのみ、9クロック目の立ち下がりで発生します。

また、このとき、IICn.ACKEnビットの設定にかかわらず、アクノリッジが生成されます。拡張コードを受信したスレーブは8クロック目の立ち下がりでINTIICn信号を発生します。

ただし、リスタート後にアドレス不一致になった場合には、9クロック目の立ち下がりでINTIICn信号を発生しますが、ウェイトは発生しません。

2. SVAnレジスタと受信したアドレスが一致せず、かつ拡張コードを受信していない場合は、INTIICn信号もウェイトも発生しません。

備考 表中の数字は、シリアル・クロックのクロック数を示しています。また、割り込み要求、ウェイト制御ともにシリアル・クロックの立ち下がりに同期します。

(1) アドレス送受信時

- ・スレーブ動作時：WTIMnビットにかかわらず、上記の注1、注2の条件により、割り込みおよびウェイト・タイミングが決まります。
- ・マスタ動作時：WTIMnビットにかかわらず、割り込みおよびウェイト・タイミングは、9クロック目の立ち下がりで発生します。

(2) データ受信時

マスタ／スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(3) データ送信時

マスタ／スレーブ動作時：WTIMnビットにより、割り込みおよびウェイト・タイミングが決まります。

(4) ウェイト解除方法

ウェイトの解除方法には次の4つがあります。

- IICn.WRELnビット = 1
- IICnレジスタのライト動作
- スタート・コンディションのセット (IICn.STTnビット = 1) ^注
- ストップ・コンディションのセット (IICn.SPTnビット = 1) ^注

注 マスタのみ

8クロック・ウェイト選択 (WTIMnビット = 0) 時は、ウェイト解除前にアクノリッジの生成の有無を決定する必要があります。

(5) ストップ・コンディション検出

ストップ・コンディションを検出すると、INTIICn信号を発生します。

17.9 アドレスの一致検出方法

I²Cバス・モードでは、マスタがスレーブ・アドレスを送信することにより、特定のスレーブ・デバイスを選択できます。

アドレス一致の検出は、ハードウェアで自動的に行えます。SVAnレジスタに自局アドレスを設定した場合、マスタから送信されたスレーブ・アドレスとSVAnレジスタに設定したアドレスが一致したとき、または拡張コードを受信した場合だけ、INTIICn信号が発生します。

17.10 エラーの検出

I²Cバス・モードでは、送信中のシリアル・バス端子（SDA0n）の状態が、送信しているデバイスのIICnレジスタにも取り込まれるため、送信開始前と送信終了後のIICnレジスタのデータを比較することにより、送信エラーを検出できます。この場合、2つのデータが異なっていれば送信エラーが発生したものと判断します。

17.11 拡張コード

- (1) 受信アドレスの上位4ビットが“0000”と“1111”のときを拡張コード受信として、拡張コード受信フラグ（IICSn.EXCnビット）をセットし、8クロック目の立ち下がりで割り込み要求信号（INTIICn）を発生します。

SVAnレジスタに格納された自局アドレスは影響しません。

- (2) 10ビット・アドレス転送で、SVAnレジスタに“11110xx0”を設定し、マスタから“11110xx0”が転送されてきた場合は、次のようになります。ただしINTIICn信号は、8クロック目の立ち下がりで発生します。

上位4ビット・データの一致：EXCnビット = 1

7ビット・データの一致：IICSn.COInビット = 1

- (3) 割り込み要求信号発生後の処理は、拡張コードに続くデータによって異なるため、ソフトウェアが行います。

たとえば拡張コード受信後、スレーブとして動作したくない場合は、IICn.LRELnビット = 1に設定し、次の通信待機状態となります。

表17-4 拡張コードのビットの定義

スレーブ・アドレス	R/Wビット	説 明
0000 000	0	ジェネラル・コール・アドレス
0000 000	1	スタート・バイト
0000 001	×	CBUSアドレス
0000 010	×	異なるバス・フォーマット用に予約されているアドレス
1111 0xx	×	10ビット・スレーブ・アドレス指定

17.12 アービトレーション

複数のマスタがスタート・コンディションを同時に生成した場合（IICSn.STDnビット = 1になる前に IICn.STTnビット = 1にしたとき），データが異なるまでクロックの調整をしながら，マスタ通信を行います。この動作をアービトレーションと呼びます。

アービトレーションに負けたマスタは，アービトレーションに負けたタイミングで，アービトレーション負けフラグ（IICSn.ALDnビット）をセット（1）し，SCL0n, SDA0nラインともハイ・インピーダンス状態にしてバスを解放します。

アービトレーションに負けたことは，次の割り込み要求信号（INTIICn）発生タイミング（8または9クロック目，ストップ・コンディション検出など）で，ソフトウェアでALDnビット = 1になっていることで検出します。

割り込み発生タイミングについては，17.7 I²C割り込み要求信号（INTIICn）を参照してください。

図17-14 アービトレーション・タイミング例

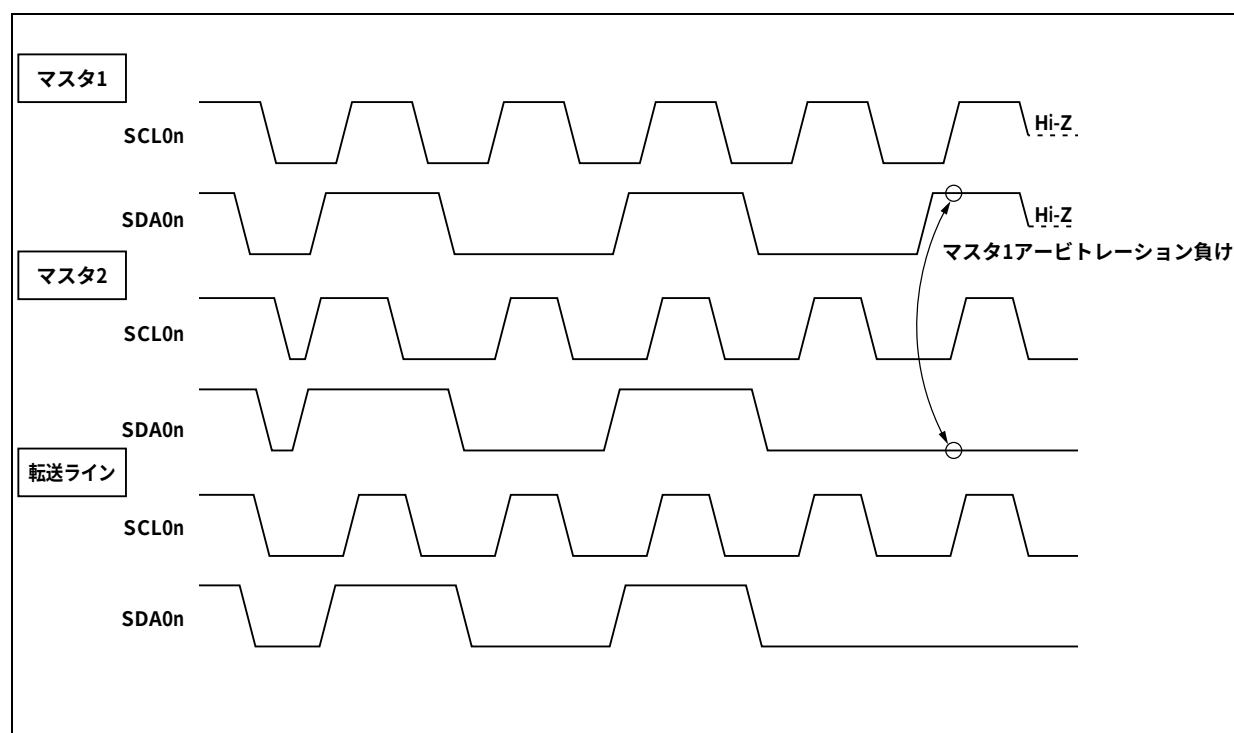


表17-5 アービトレーション発生時の状態と割り込み要求信号発生タイミング

アービトレーション発生時の状態	割り込み要求発生タイミング
アドレス送信中	バイト転送後8または9クロック目の立ち下がり ^{注1}
アドレス送信後のリード／ライト情報	
拡張コード送信中	
拡張コード送信後のリード／ライト情報	
データ送信中	
データ受信後のアクノリッジ転送期間中	
データ転送中、リスタート・コンディション検出	
データ転送中、ストップ・コンディション検出	ストップ・コンディション生成時 (IICn.SPIEnビット = 1時) ^{注2}
リスタート・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがストップ・コンディション検出	ストップ・コンディション生成時 (SPIEnビット = 1時) ^{注2}
ストップ・コンディションを生成しようとしたがSDA0n端子がロウ・レベル	バイト転送後8または9クロック目の立ち下がり ^{注1}
リスタート・コンディションを生成しようとしたがSCL0n端子がロウ・レベル	

注1. IICn.WTIMnビット = 1の場合には、9クロック目の立ち下がりタイミングでINTIICn信号を発生します。

WTIMnビット = 0および拡張コードのスレーブ・アドレス受信時には、8クロック目の立ち下がりタイミングでINTIICn信号を発生します。

2. アービトレーションが起こる可能性がある場合、マスタ動作ではSPIEnビット = 1にしてください。

17. 13 ウェイク・アップ機能

I²Cバスのスレーブ機能で、自局アドレスまたは拡張コードを受信したときに割り込み要求信号 (INTIICn) が発生する機能です。アドレスが一致しないときは不要なINTIICn信号を発生せず、効率よく処理できます。

スタート・コンディションを検出すると、ウェイク・アップ待機状態となります。マスタ (スタート・コンディションを生成した場合) でも、アービトレーション負けでスレーブになる可能性があるため、アドレスを送信しながらウェイク・アップ待機状態になります。

ただしストップ・コンディションを検出すると、ウェイク・アップ機能に関係なく、IICn.SPIEnビットの設定によって、INTIICn信号の発生許可／禁止が決定します。

17. 14 通信予約

17. 14. 1 通信予約機能許可の場合 (IICFn.IICRSVnビット = 0)

バスに不参加の状態、次にマスタ通信を行いたい場合は、通信予約を行うことにより、バス解放時にスタート・コンディションを送信できます。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICn.LRELnビット = 1でバスを解放した）とき

バスに不参加の状態、IICn.STTnビットをセット（1）すると、バスが解放されたあと（ストップ・コンディション検出後）に、自動的にスタート・コンディションを生成し、ウェイト状態になります。

バスの解放を検出（ストップ・コンディション検出）すると、IICnレジスタ・ライト操作により、マスタとしてのアドレス転送を開始します。このとき、IICn.SPIEnビットをセット（1）しておいてください。

STTnビットをセット（1）したとき、スタート・コンディションとして動作するか通信予約として動作するかはバスの状態により決定されます。

バスが解放されているとき	……………	スタート・コンディション生成
バスが解放されていないとき（待機状態）	…	通信予約

通信予約として動作するかどうかを確認するには、STTnビットをセット（1）し、ウェイト時間をとったあと、IICSn.MSTSnビットを確認することで行います。

ウェイト時間は、表17-6に示す時間をソフトウェアにより確保してください。なお、ウェイト時間はIICLn.SMCn, CLn1, CLn0ビットと、IICXn.CLXnビットにより設定できます。

表17-6 ウェイト時間

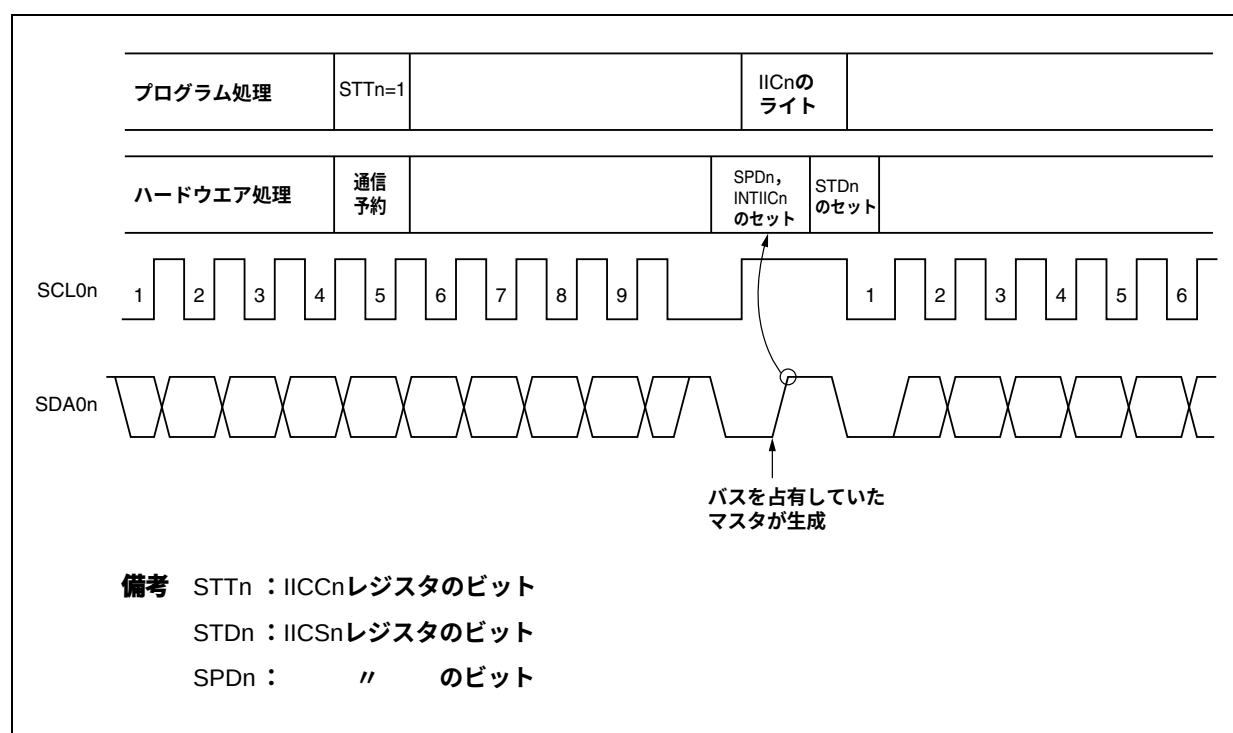
選択クロック	CLXn	SMCn	CLn1	CLn0	ウェイト時間
f _{xx} (OCKSm = 18H設定時)	0	0	0	0	26クロック
f _{xx} /2 (OCKSm = 10H設定時)	0	0	0	0	52クロック
f _{xx} /3 (OCKSm = 11H設定時)	0	0	0	0	78クロック
f _{xx} /4 (OCKSm = 12H設定時)	0	0	0	0	104クロック
f _{xx} /5 (OCKSm = 13H設定時)	0	0	0	0	130クロック
f _{xx} (OCKSm = 18H設定時)	0	0	0	1	47クロック
f _{xx} /2 (OCKSm = 10H設定時)	0	0	0	1	94クロック
f _{xx} /3 (OCKSm = 11H設定時)	0	0	0	1	141クロック
f _{xx} /4 (OCKSm = 12H設定時)	0	0	0	1	188クロック
f _{xx}	0	0	1	0	47クロック
f _{xx} (OCKSm = 18H設定時)	0	0	1	1	37クロック
f _{xx} /2 (OCKSm = 10H設定時)	0	0	1	1	74クロック
f _{xx} /3 (OCKSm = 11H設定時)	0	0	1	1	111クロック
f _{xx} (OCKSm = 18H設定時)	0	1	0	×	16クロック
f _{xx} /2 (OCKSm = 10H設定時)	0	1	0	×	32クロック
f _{xx} /3 (OCKSm = 11H設定時)	0	1	0	×	48クロック
f _{xx} /4 (OCKSm = 12H設定時)	0	1	0	×	64クロック
f _{xx}	0	1	1	0	16クロック
f _{xx} (OCKSm = 18H設定時)	0	1	1	1	13クロック
f _{xx} /2 (OCKSm = 10H設定時)	0	1	1	1	26クロック
f _{xx} /3 (OCKSm = 11H設定時)	0	1	1	1	39クロック
f _{xx} (OCKSm = 18H設定時)	1	1	0	×	10クロック
f _{xx} /2 (OCKSm = 10H設定時)	1	1	0	×	20クロック
f _{xx} /3 (OCKSm = 11H設定時)	1	1	0	×	30クロック
f _{xx} /4 (OCKSm = 12H設定時)	1	1	0	×	40クロック
f _{xx} /5 (OCKSm = 13H設定時)	1	1	0	×	50クロック
f _{xx}	1	1	1	0	10クロック

備考1. m = 0, 1

2. × = Don't care

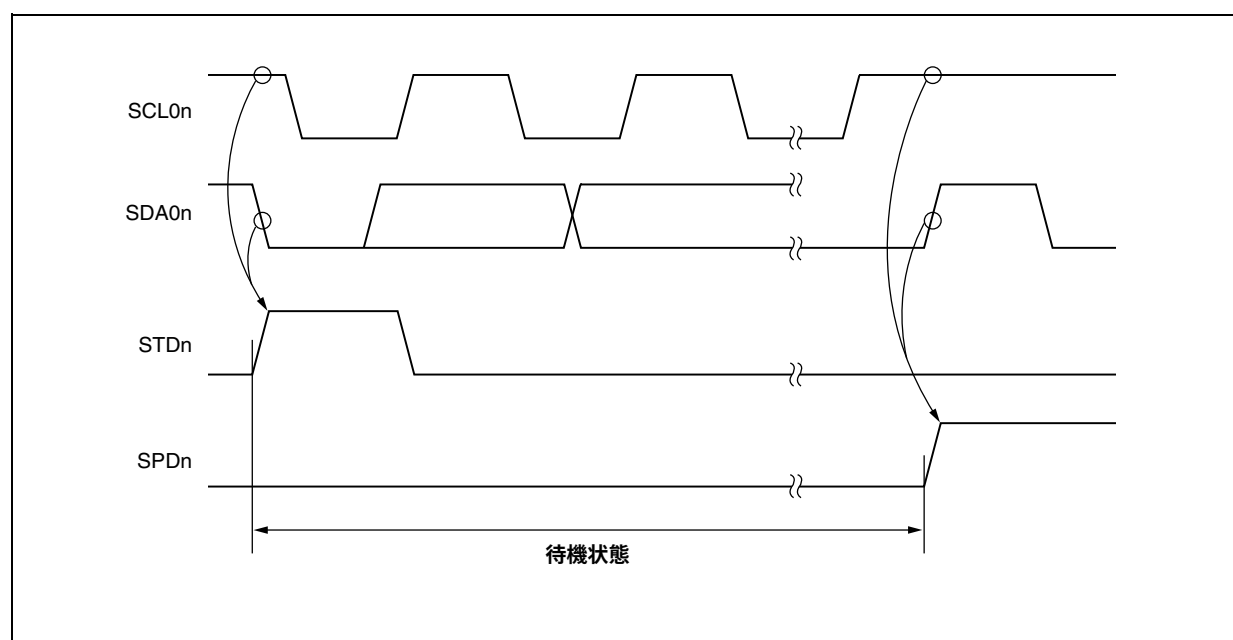
通信予約のタイミングを次に示します。

図17-15 通信予約のタイミング



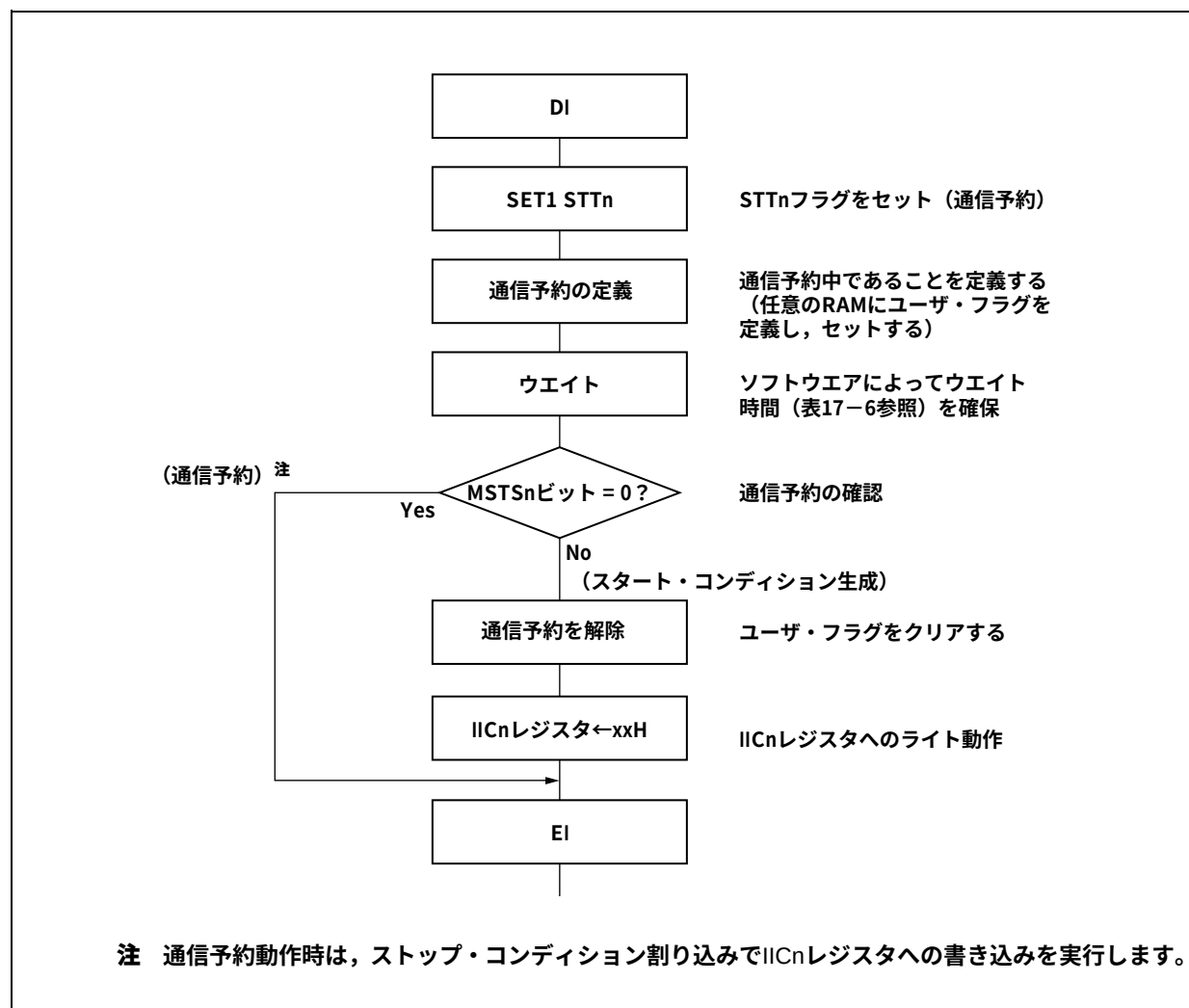
通信予約は次のタイミングで受け付けられます。IICSn.STDnビット = 1になったあと、ストップ・コンディション検出までにIICn.STTnビット = 1で通信予約をします。

図17-16 通信予約受け付けタイミング



次に通信予約の手順を示します。

図17-17 通信予約の手順



17. 14. 2 通信予約機能禁止の場合 (IICFn.IICRSVnビット = 1)

バスが通信中で、この通信に不参加の状態ではIICFn.STTnビットをセットすると、この要求を拒絶しスタート・コンディションを生成しません。この場合のバスの不参加とは次の2つの状態を含みます。

- ・アービトレーションでマスタにもスレーブにもなれなかった場合
- ・拡張コードを受信してスレーブとして動作しない（アクノリッジを返さず、IICFn.LRELnビット = 1でバスを解放した）とき。

スタート・コンディションが生成されたか拒絶されたを確認するには、IICFn.STCFnフラグを確認することにより行います。STTnビット = 1としてからSTCFnフラグがセットされるまで表17-7に示す時間がかかりますので、ソフトウェアによりこの時間を確保してください。

表17-7 ウェイト時間

OCKSENm	OCKSm1	OCKSm0	CLn1	CLn0	ウェイト時間
1	0	0	0	X	10クロック
1	0	1	0	X	15クロック
1	1	0	0	X	20クロック
1	1	1	0	X	25クロック
0	0	0	1	0	5クロック

備考1. X : Don't care

2. m = 0, 1

17.15 注意事項

(1) IICFn.STCENnビット = 0の場合

I²C0n動作許可直後、実際のバス状態にかかわらず通信状態 (IICFn.IICBSYnビット = 1) と認識します。ストップ・コンディションを検出していない状態からマスタ通信を行おうとする場合は、まずストップ・コンディションを生成し、バスを解放してからマスタ通信を行ってください。ストップ・コンディションの生成は次の順番で行ってください。

- ① IICCLnレジスタの設定
- ② IICCn.IICEnビットのセット
- ③ IICCn.SPTnビットのセット

(2) IICFn.STCENnビット = 1の場合

I²C0n動作許可直後、実際のバス状態にかかわらず解放状態 (IICBSYnビット = 0) と認識しますので、1 回目のスタート・コンディションを生成 (IICCn.STTnビット = 1) する場合は、ほかの通信を破壊しないようにバスが解放されていることを確認する必要があります。

(3) ほかのデバイス同士の通信中にV850ES/JC3-L, V850ES/JE3-LのIICCn.IICEnビットをセット (1) した場合、通信ラインの状態によってスタート・コンディションを検出することがあります。IICCn.IICEnビットのセット (1) は、必ずSCL0n, SDA0nラインがハイ・レベルの状態で行ってください。

(4) 動作許可 (IICCn.IICEnビット = 1) する前にIICCLn, IICXn, OCKSmレジスタで動作クロック周波数を決定してください。動作クロック周波数を変更する場合は、一度IICCn.IICEnビットをクリア (0) してください。

(5) IICCn.STTn, SPTnビットをセット (1) したあと、クリア (0) される前の再セットは禁止します。

(6) 送信予約をした場合には、IICCn.SPIEnビットをセット (1) してストップ・コンディション検出で割り込み要求が発生するようにしてください。割り込み要求発生後にI²Cnに通信データをライトすることによってウェイトが解除され転送が開始します。ストップ・コンディション検出で割り込みを発生させないと、スタート時には割り込み要求が発生しないため、ウェイト状態で停止します。ただし、ソフトウェアでIICSn.MSTSnビットを検出する場合には、SPIEnビットをセット (1) する必要はありません。

備考 m = 0, 1

17.16 通信動作

ここでは、次の3つの動作手順をフローとして示します。

(1) シングルマスタ・システムでのマスタ動作

シングルマスタ・システムで、マスタとして使用する場合のフローを示します。

このフローは大きく「初期設定」と「通信処理」に分かれています。起動時に「初期設定」部分を実行し、スレーブとの通信が必要になったら通信に必要な準備を行って「通信処理」部分を実行します。

(2) マルチマスタ・システムでのマスタ動作

I²C0n バスのマルチマスタ・システムでは、通信に参加した段階ではバスが解放状態にあるか使用状態にあるかが I²C バスの仕様だけでは判断できません。ここでは、一定 (1 フレーム) 期間、データとクロックがハイ・レベルであれば、バスが解放状態としてバスに参加するようにしています。

このフローは大きく「初期設定」、「通信待ち」、「通信処理」に分かれています。ここでは、アービトレーションで負けてスレーブに指定された場合の処理は省略し、マスタとしての処理だけを示しています。起動時に「初期設定」部分を実行してバスに参加します。そのあとは「通信待ち」で、マスタとしての通信要求、またはスレーブとしての指定を待ちます。実際に通信を行うのは「通信処理」部分で、スレーブとのデータ送受信以外に、ほかのマスタとのアービトレーションにも対応しています。

(3) スレーブ動作

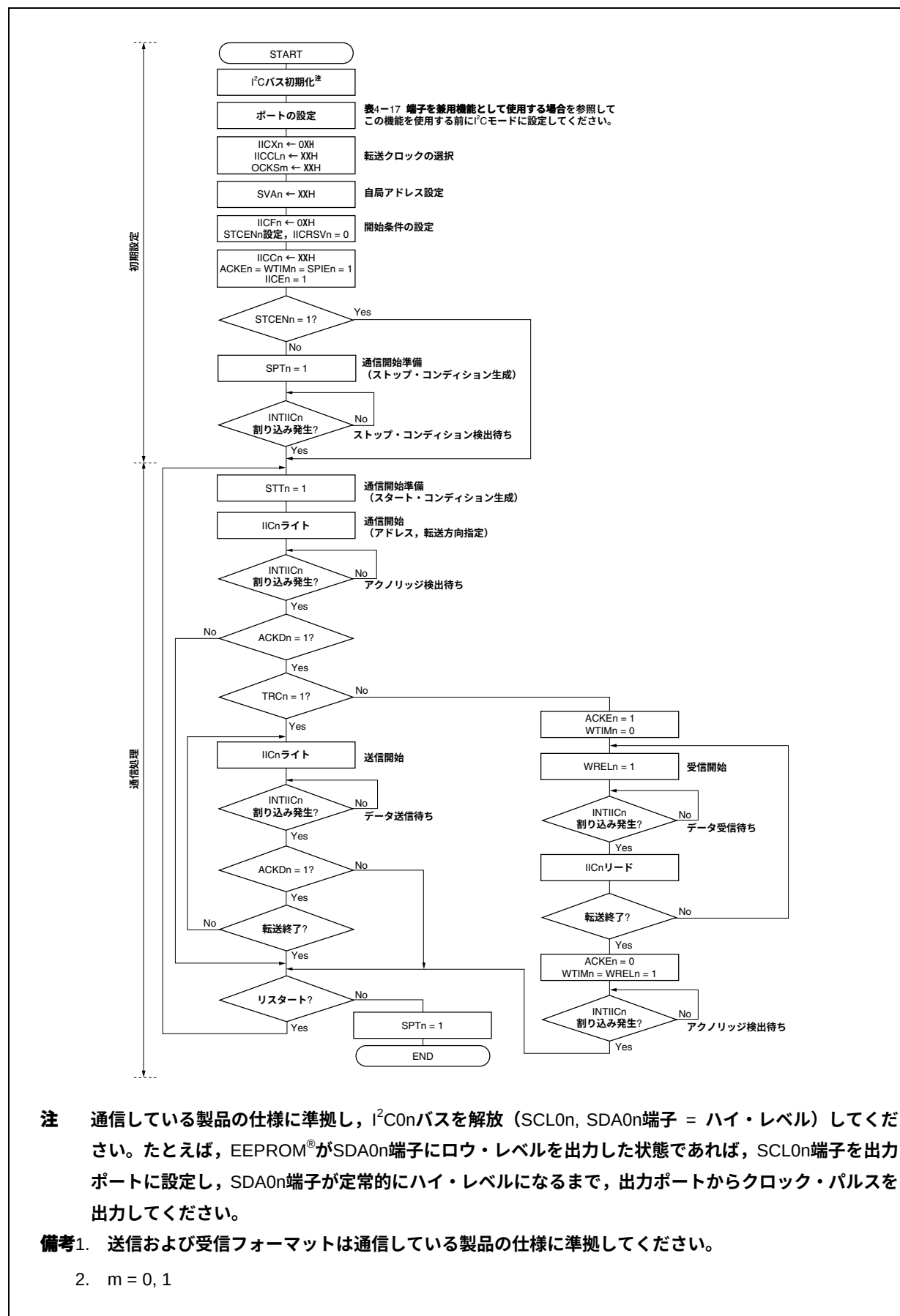
I²C0n バスのスレーブとして使用する場合の例を示します。

スレーブの場合には、割り込みによって動作を開始します。起動時に「初期設定」部分を実行し、そのあとは通信待ちで INTIICn 割り込みの発生を待ちます。INTIICn 割り込みが発生すると、通信状態を判定し、フラグとしてメイン処理に引き渡します。

各フラグをチェックすることにより、必要な「通信処理」を行います。

17. 16. 1 シングルマスタ・システムでのマスタ動作

図17-18 シングルマスタ・システムでのマスタ動作



17. 16. 2 マルチマスタ・システムでのマスタ動作

図17-19 マルチマスタ・システムでのマスタ動作 (1/3)

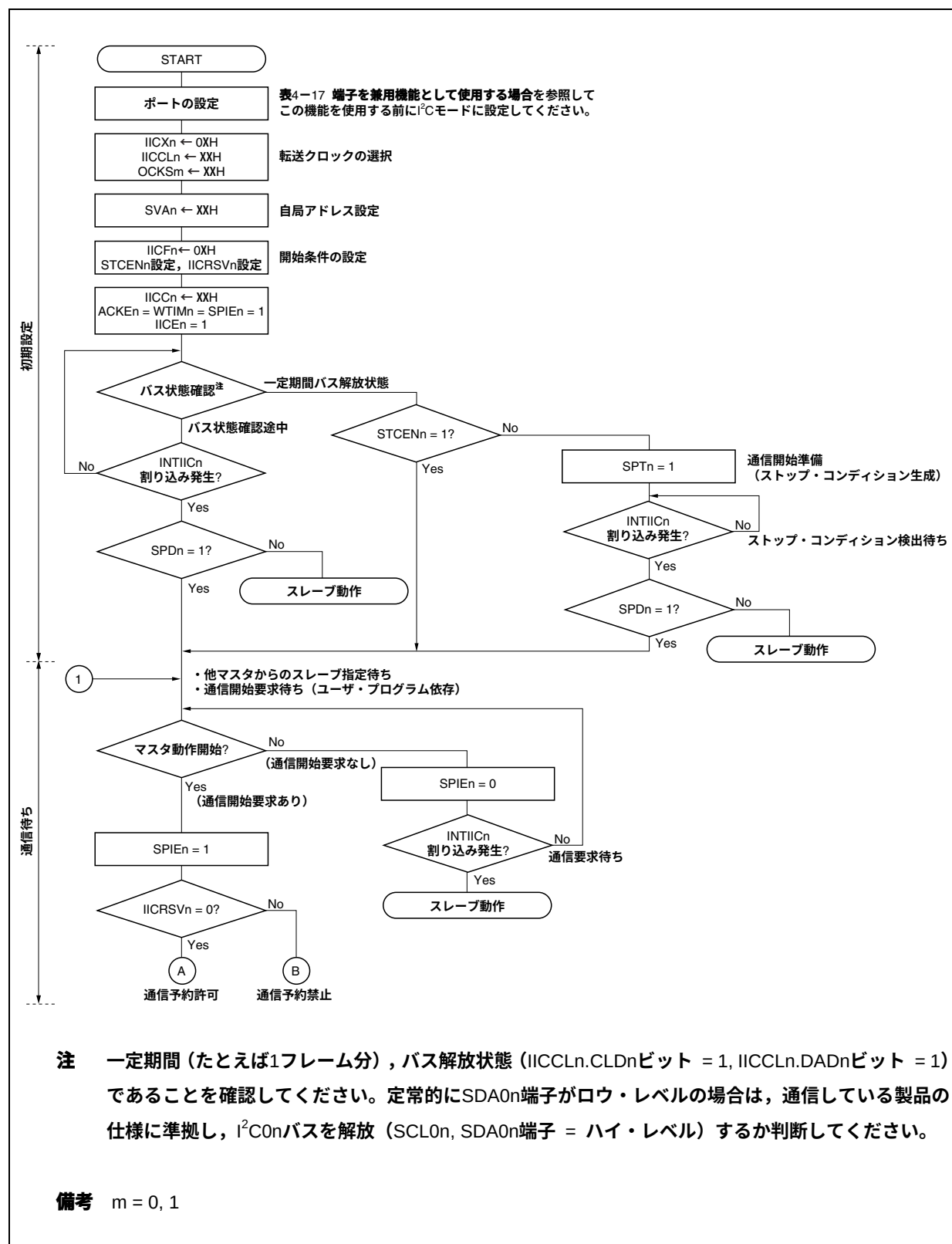


図17-19 マルチマスタ・システムでのマスタ動作 (2/3)

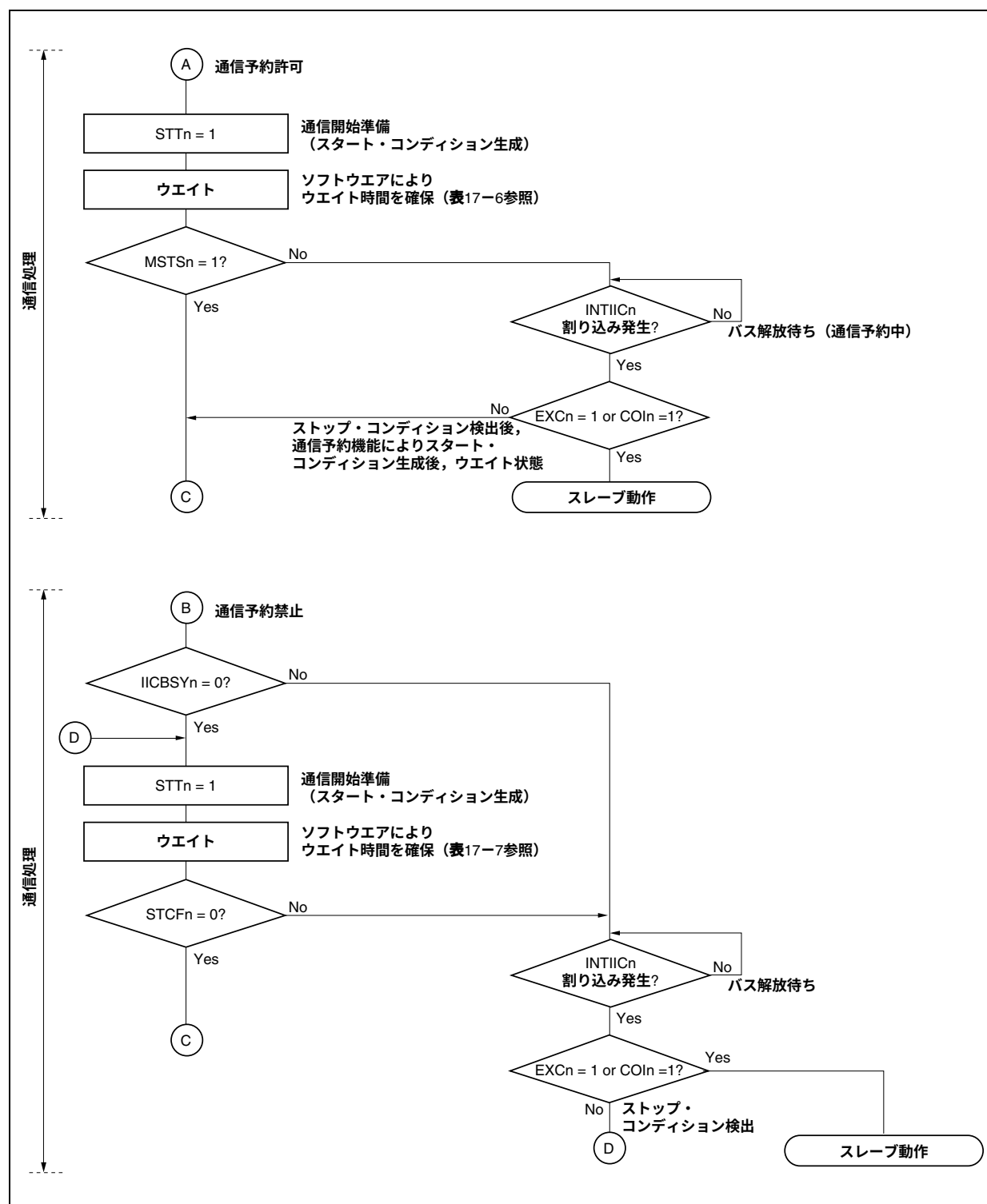
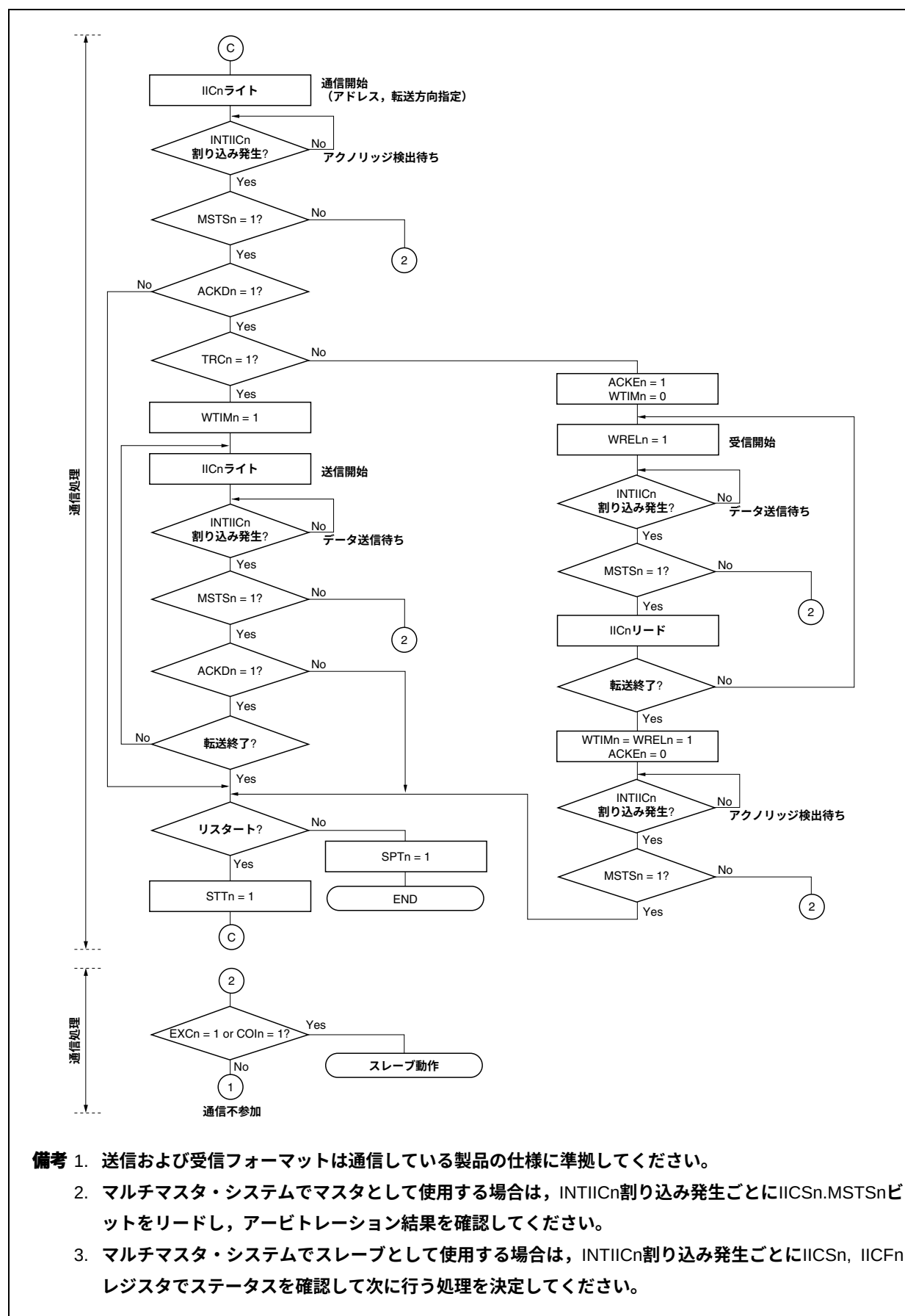


図17-19 マルチマスタ・システムでのマスタ動作 (3/3)



備考 1. 送信および受信フォーマットは通信している製品の仕様に準拠してください。

2. マルチマスタ・システムでマスタとして使用する場合は、INTIICn割り込み発生ごとにIICSn.MSTSnビットをリードし、アービトレーション結果を確認してください。

3. マルチマスタ・システムでスレーブとして使用する場合は、INTIICn割り込み発生ごとにIICSn, IICFnレジスタでステータスを確認して次に行う処理を決定してください。

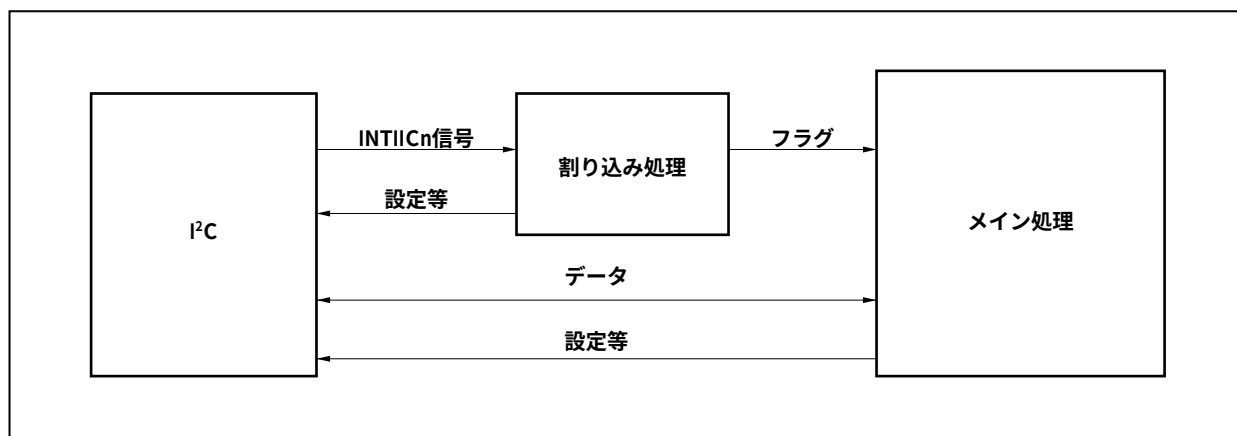
17. 16. 3 スレーブ動作

スレーブ動作の処理手順を次に示します。

基本的にスレーブの場合には、イベント・ドリブンでの動作となります。このためINTIICn割り込みによる処理（通信中のストップ・コンディション検出など、動作状態を大きく変更する必要がある処理）が必要となります。

この説明では、データ通信は拡張コードには対応しないものとします。またINTIICn割り込み処理では状態遷移の処理だけを行い、実際のデータ通信はメイン処理で行うものとします。

図17-20 スレーブ動作時のソフトウェア概要



このため、3つのフラグを準備し、これをINTIICn信号の代わりにメイン処理に渡すことでデータ転送処理を行います。

(1) 通信モード・フラグ

次の2つの通信状態を示します。

クリア・モード : データ通信を行っていない状態

通信モード : データの通信を行っている状態（有効アドレス検出～ストップ・コンディション検出、マスタからのアクノリッジ未検出、アドレス不一致）

(2) レディ・フラグ

データ通信が可能になったことを示します。通常のデータ転送ではINTIICn割り込みと同じです。割り込み処理部でセットし、メイン処理部でクリアします。通信の開始時には、割り込み処理部でクリアしておきます。ただし、送信の最初のデータについては、レディ・フラグは割り込み処理部でセットされませんので、クリア処理をしないで最初のデータを送信することになります（アドレス一致自体が次のデータの要求と解釈します）。

(3) 通信方向フラグ

通信の方向を示すフラグで、IICSn.TRCnビットの値と同じです。

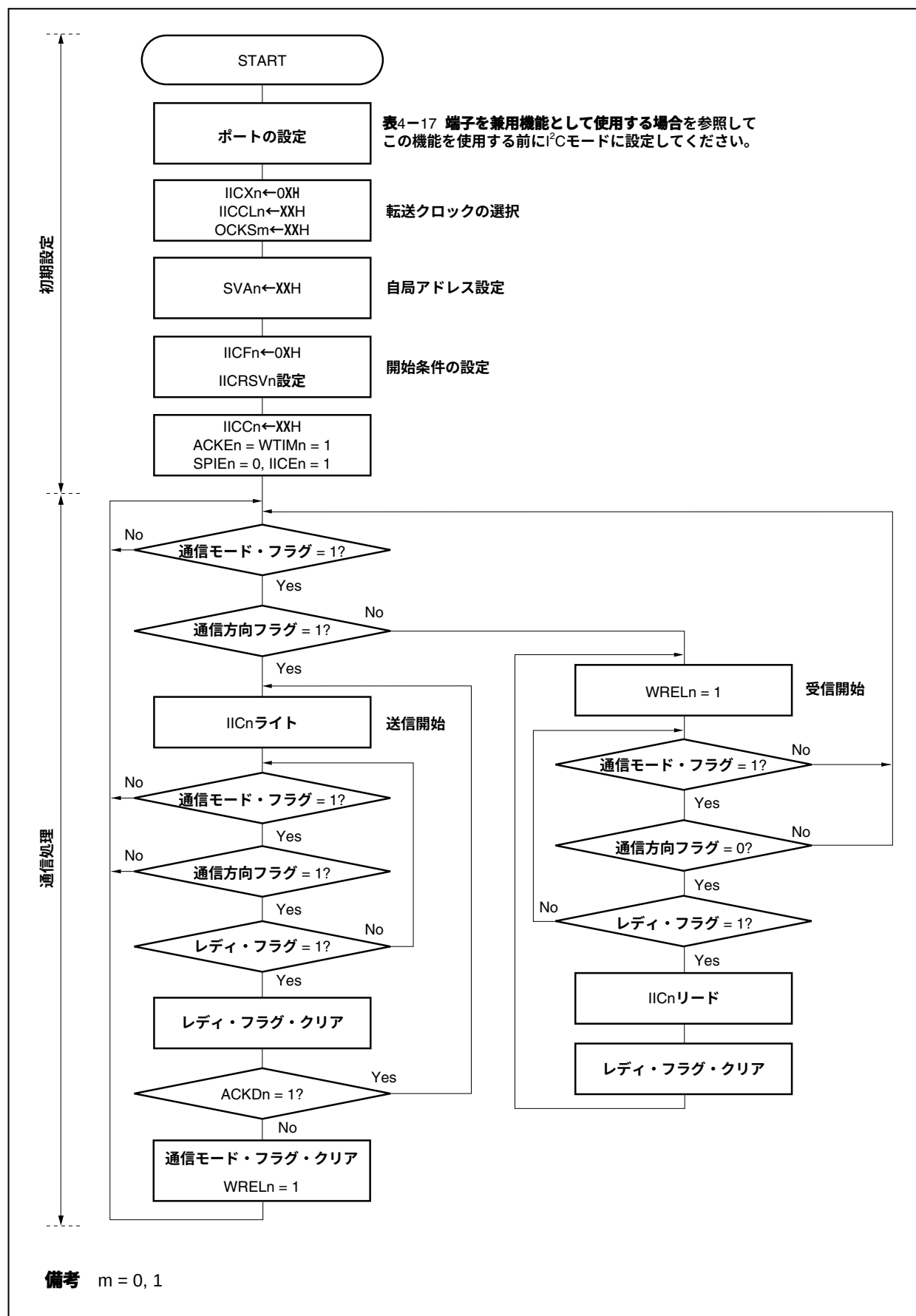
次にスレーブ動作でのメイン処理部の動作を示します。

I²C0nを起動し、通信可能状態になるのを待ちます。通信可能状態になったら、通信モード・フラグとレディ・フラグを使って転送を行います（ストップ・コンディションやスタート・コンディションの処理は割り込みで行いますので、ここではフラグで確認します）。

送信ではマスタからアクノリッジが来なくなるまで送信動作を繰り返します。マスタからアクノリッジが戻らなかったら転送を完了します。

受信では必要な数のデータを受信し、転送完了したら次のデータでアクノリッジを戻さないようにします。その後、マスタはストップ・コンディションまたはリスタート・コンディションを発行します。これにより、通信状態から抜け出します。

図17-21 スレーブ動作手順 (1)

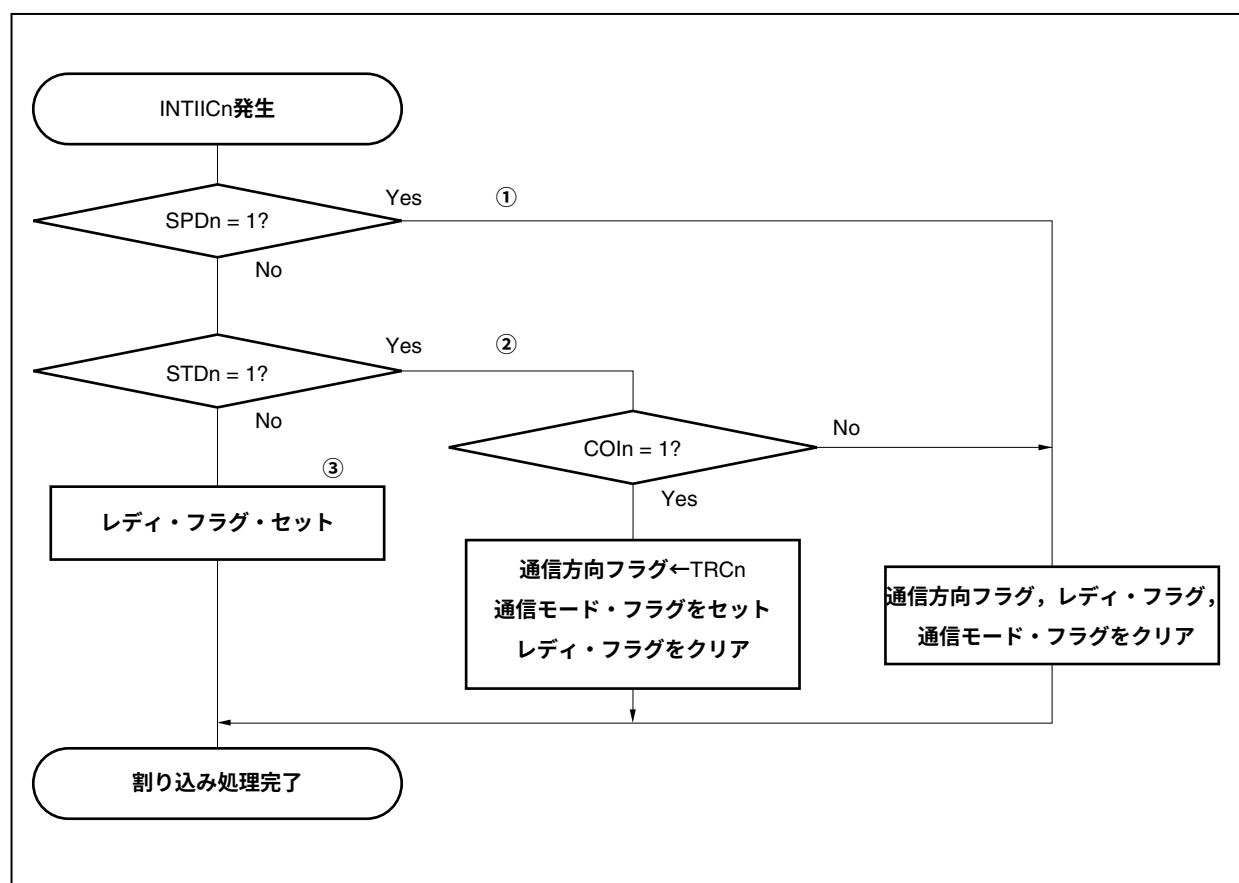


スレーブのINTIICn割り込みでの処理手順例を示します（ここでは拡張コードはないものとして処理します）。INTIICn割り込みではステータスを確認して、次のように行います。

- ① ストップ・コンディションの場合、通信を終了します。
- ② スタート・コンディションの場合、アドレスを確認し、一致していなければ通信を終了します。アドレスが一致していれば、モードを通信モードに設定し、ウェイトを解除して、割り込みから戻ります（レディ・フラグはクリアする）。
- ③ データ送受信の場合、レディ・フラグをセットするだけで、I²C0nバスはウェイト状態のまま、割り込みから戻ります。

備考 上述の①～③は、図17-22 スレーブ動作手順（2）の①～③と対応しています。

図17-22 スレーブ動作手順（2）



17. 17 データ通信のタイミング

I²Cバス・モードでは、マスタがシリアル・バス上にアドレスを出力することで複数のスレーブ・デバイスの中から通信対象となるスレーブ・デバイスを1つ選択します。

マスタは、スレーブ・アドレスの次にデータの転送方向を示すIICSn.TRCnビットを送信し、スレーブとのシリアル通信を開始します。

シリアル・クロック端子（SCL0n）の立ち下がりに同期してIICnレジスタのシフト動作が行われ、送信データがSOラッチに転送され、SDA0n端子からMSBファーストで出力されます。

また、SCL0n端子の立ち上がりでSDA0n端子に入力されたデータがIICnレジスタに取り込まれます。

データ通信のタイミングを次に示します。

図17-23 マスタ→スレーブ通信例（マスタ、スレーブとも9クロックでウェイト選択時）（1/3）

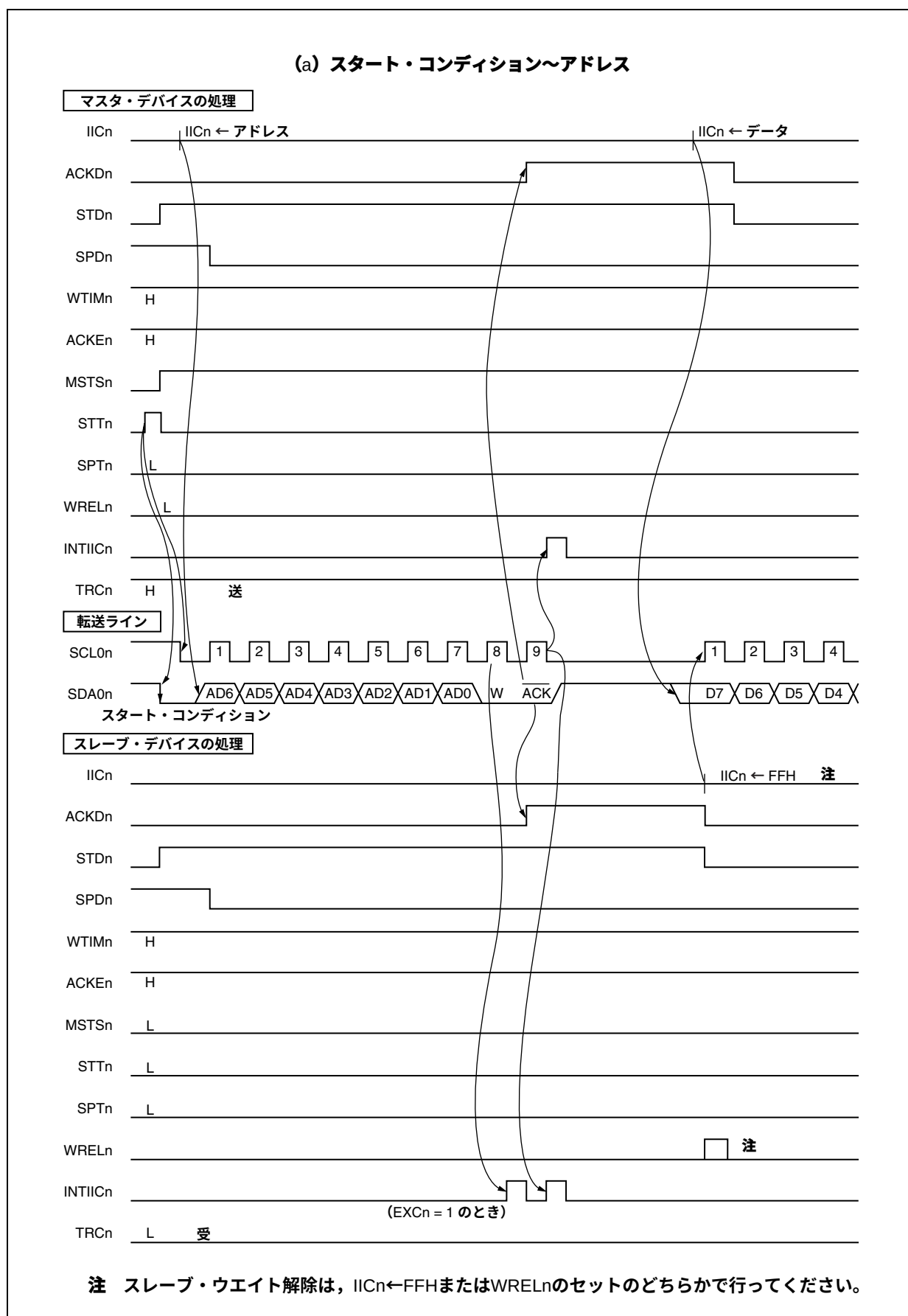


図17-23 マスタ→スレーブ通信例（マスタ、スレーブとも9クロックでウェイト選択時）（2/3）

(b) データ

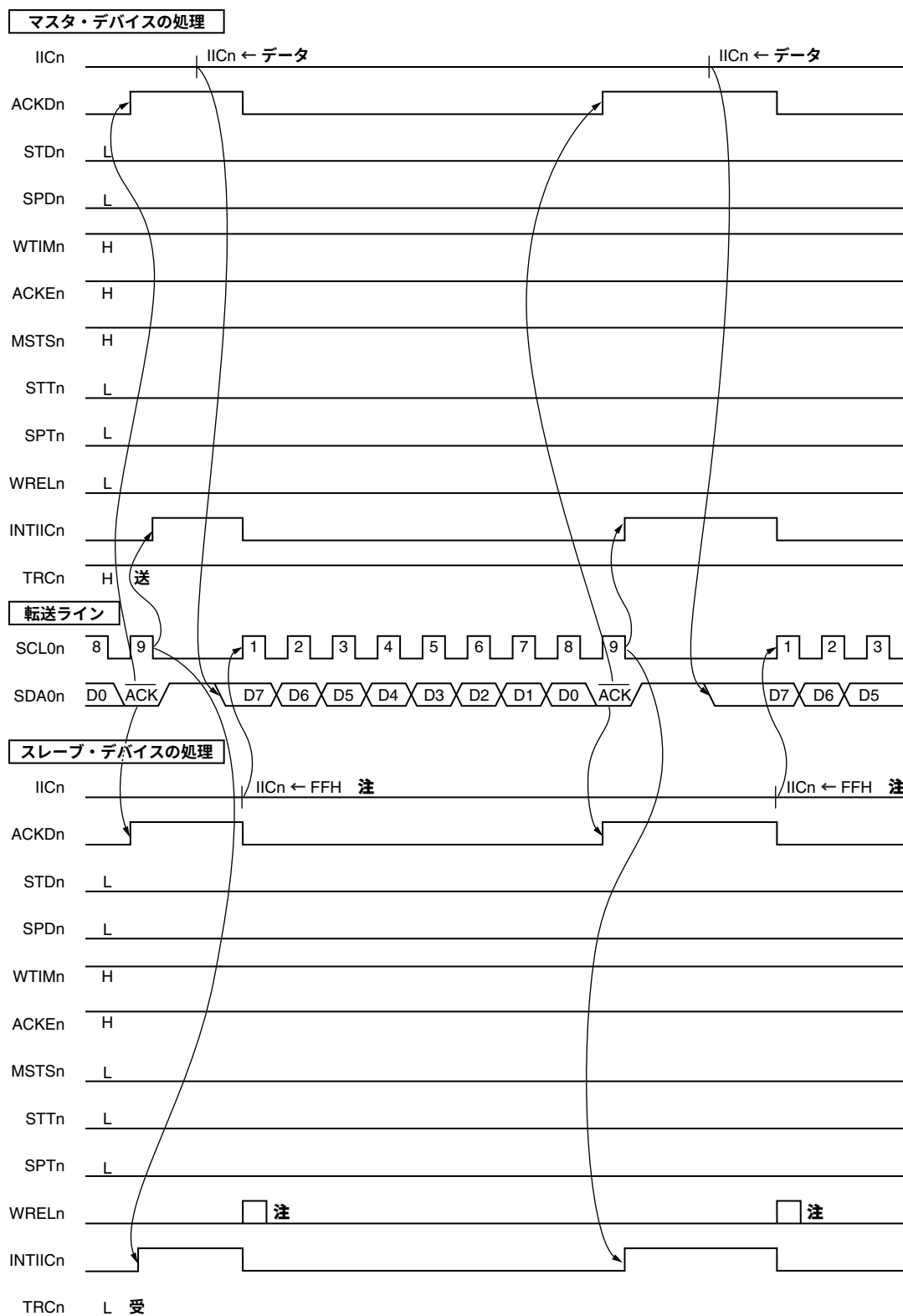


図17-23 マスタ→スレーブ通信例（マスタ、スレーブとも9クロックでウェイト選択時）（3/3）

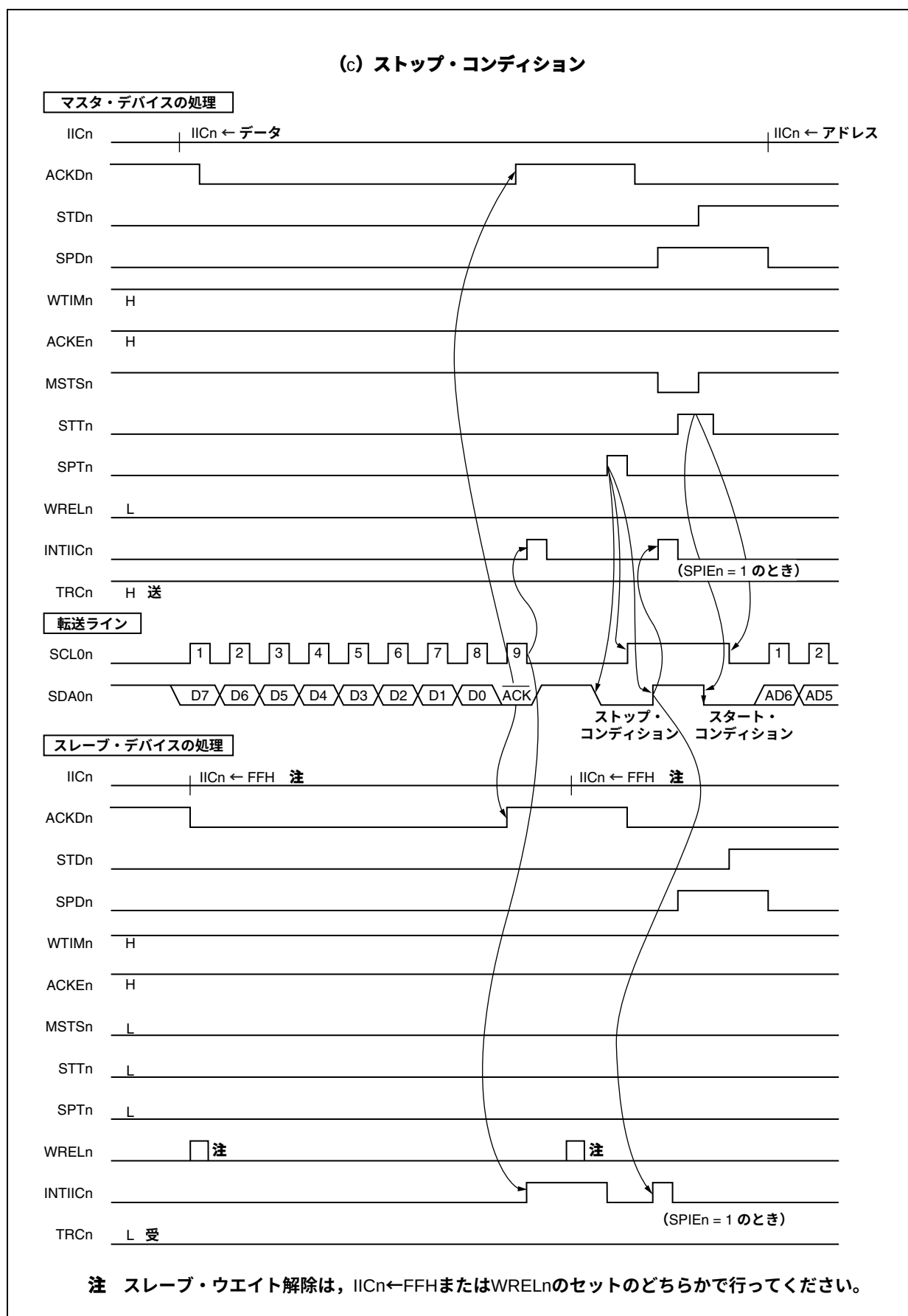


図17-24 スレーブ→マスタ通信例（マスタ：8クロック，スレーブ：9クロックでウェイト選択時）（1/3）

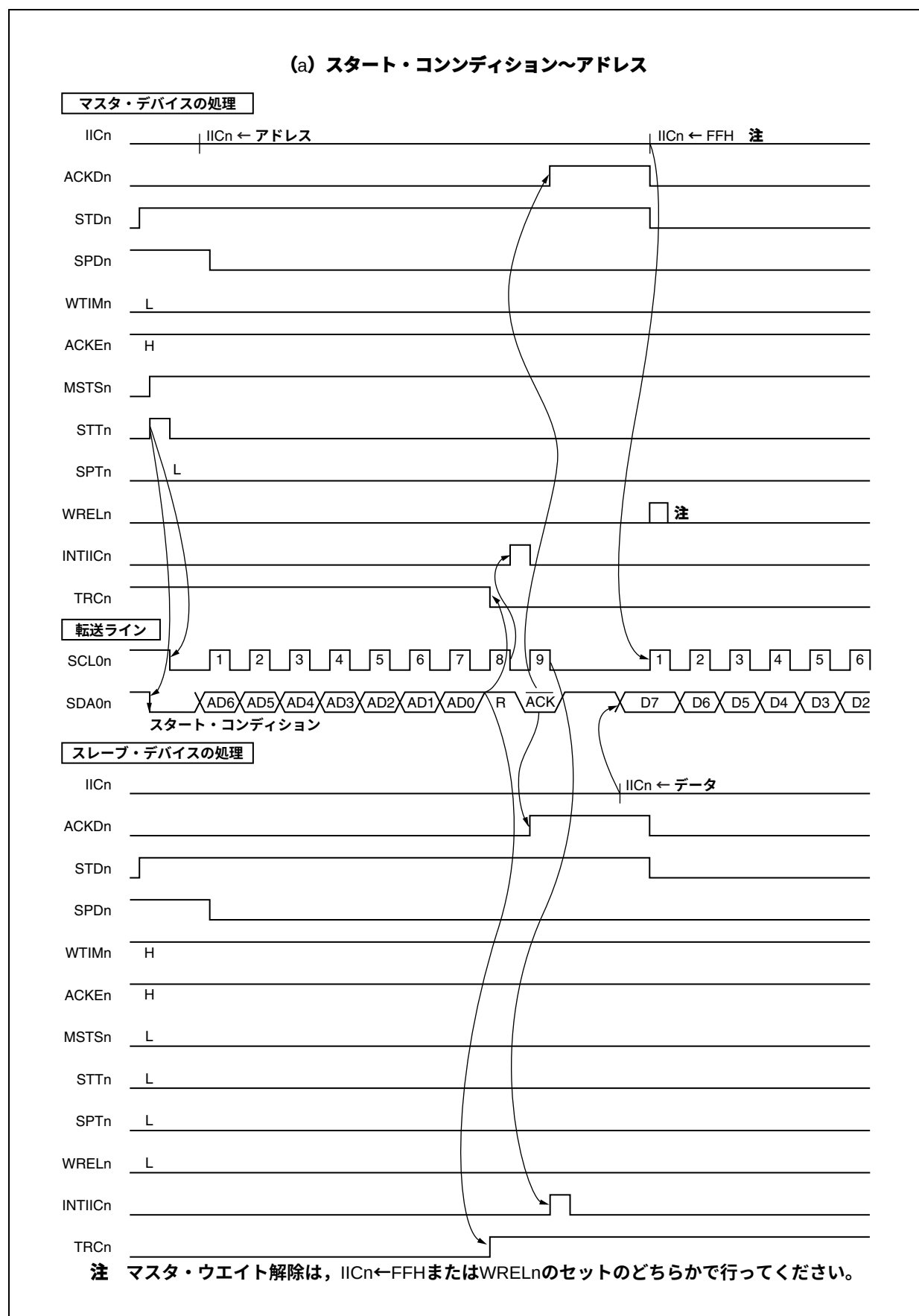


図17-24 スレーブ→マスタ通信例（マスタ：8クロック、スレーブ：9クロックでウェイト選択時）（2/3）

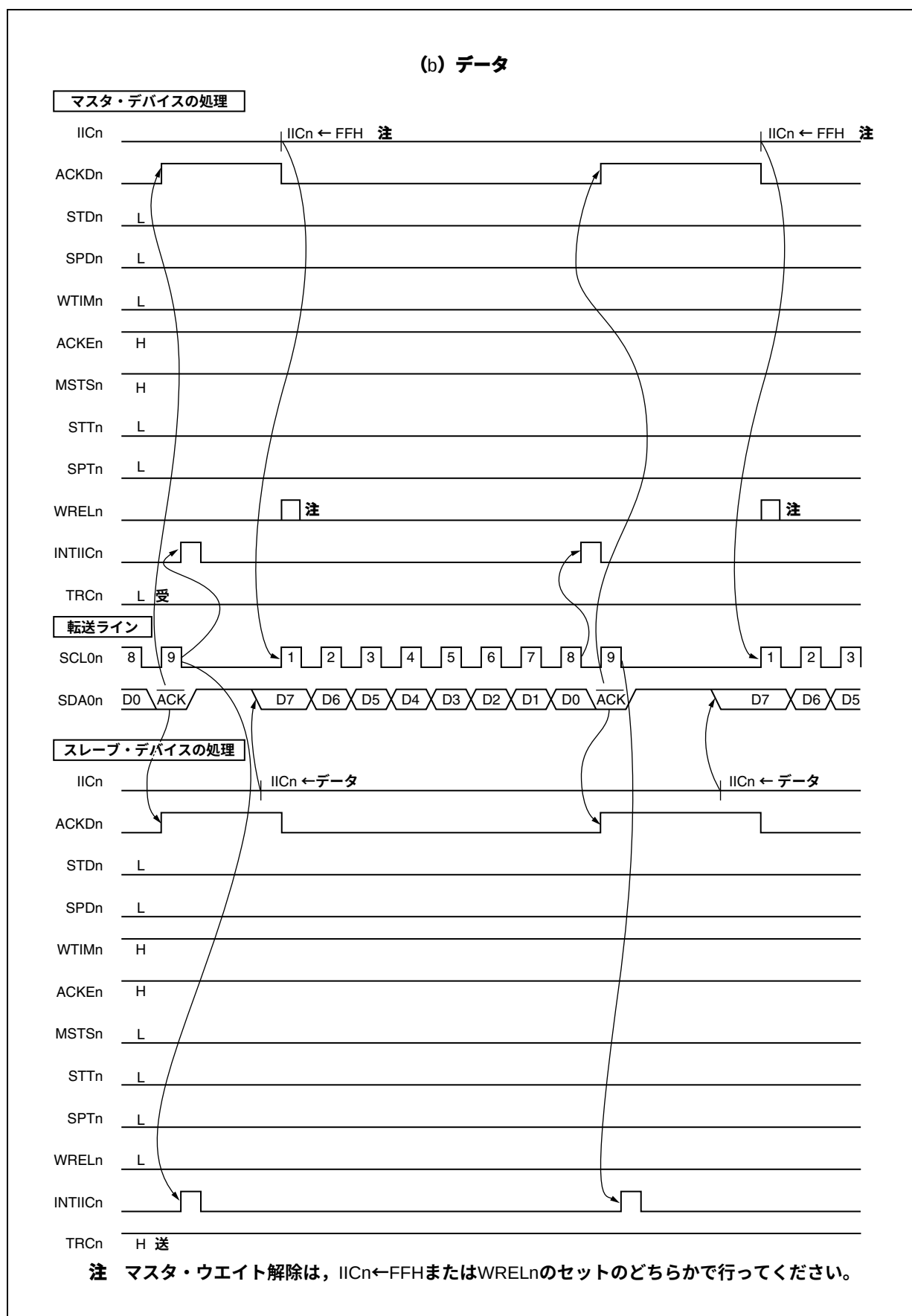
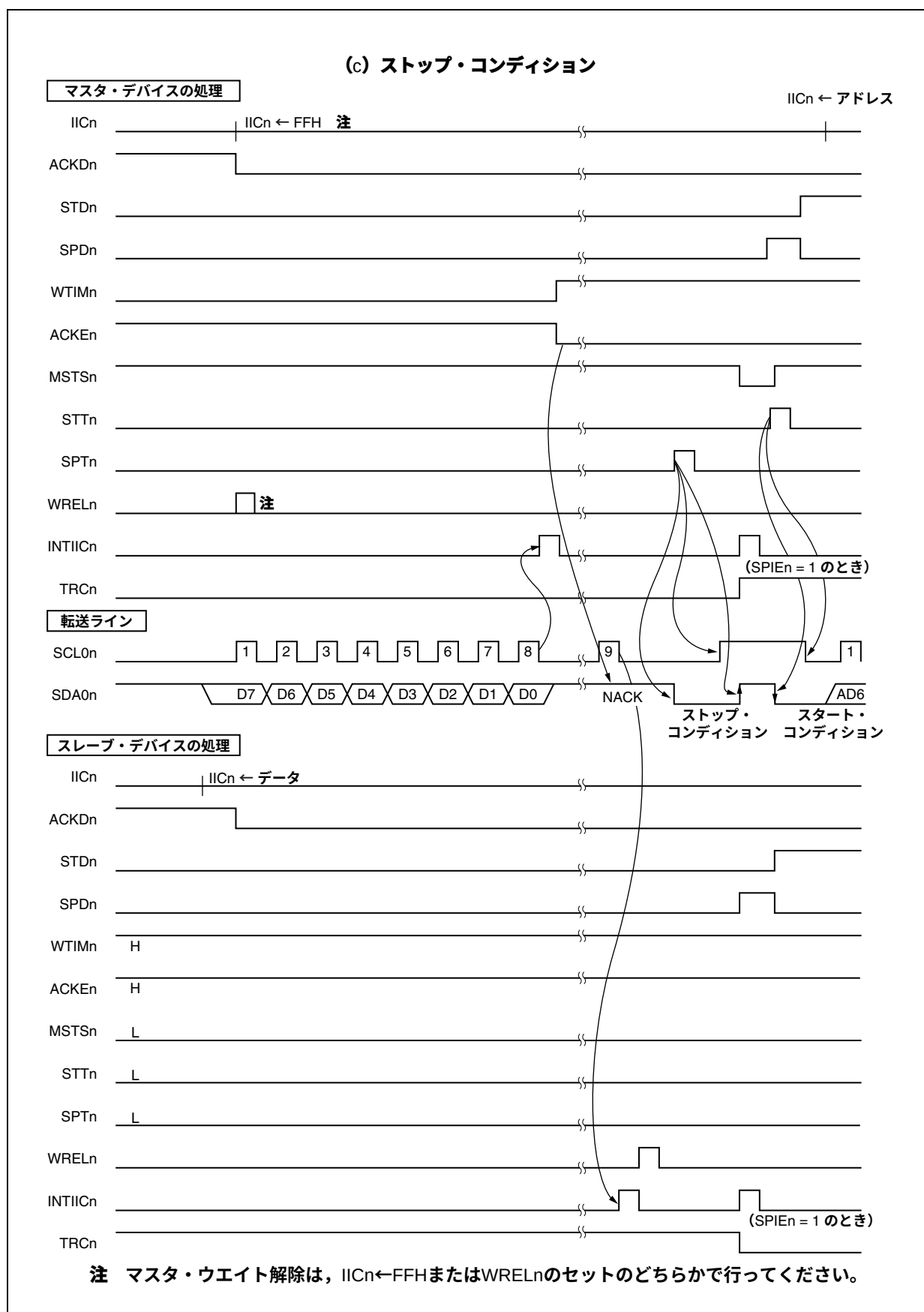


図17-24 スレーブ→マスタ通信例（マスタ：8→9クロック，スレーブ：9クロックでウェイト選択時）（3/3）



第18章 DMA機能 (DMAコントローラ)

V850ES/JC3-L, V850ES/JE3-Lは, DMA (Direct Memory Access) 転送を実行制御するDMAコントローラ (DMAC) を備えています。

DMACは, 内蔵周辺I/O (シリアル・インタフェース, タイマ／カウンタ, A/Dコンバータ) , 外部入力端子からの割り込みによる要求, またはソフトウェアによるトリガに基づいて, メモリ⇄I/O間, I/O⇄I/O間でのデータ転送を制御します (メモリは内蔵RAMを意味します) 。

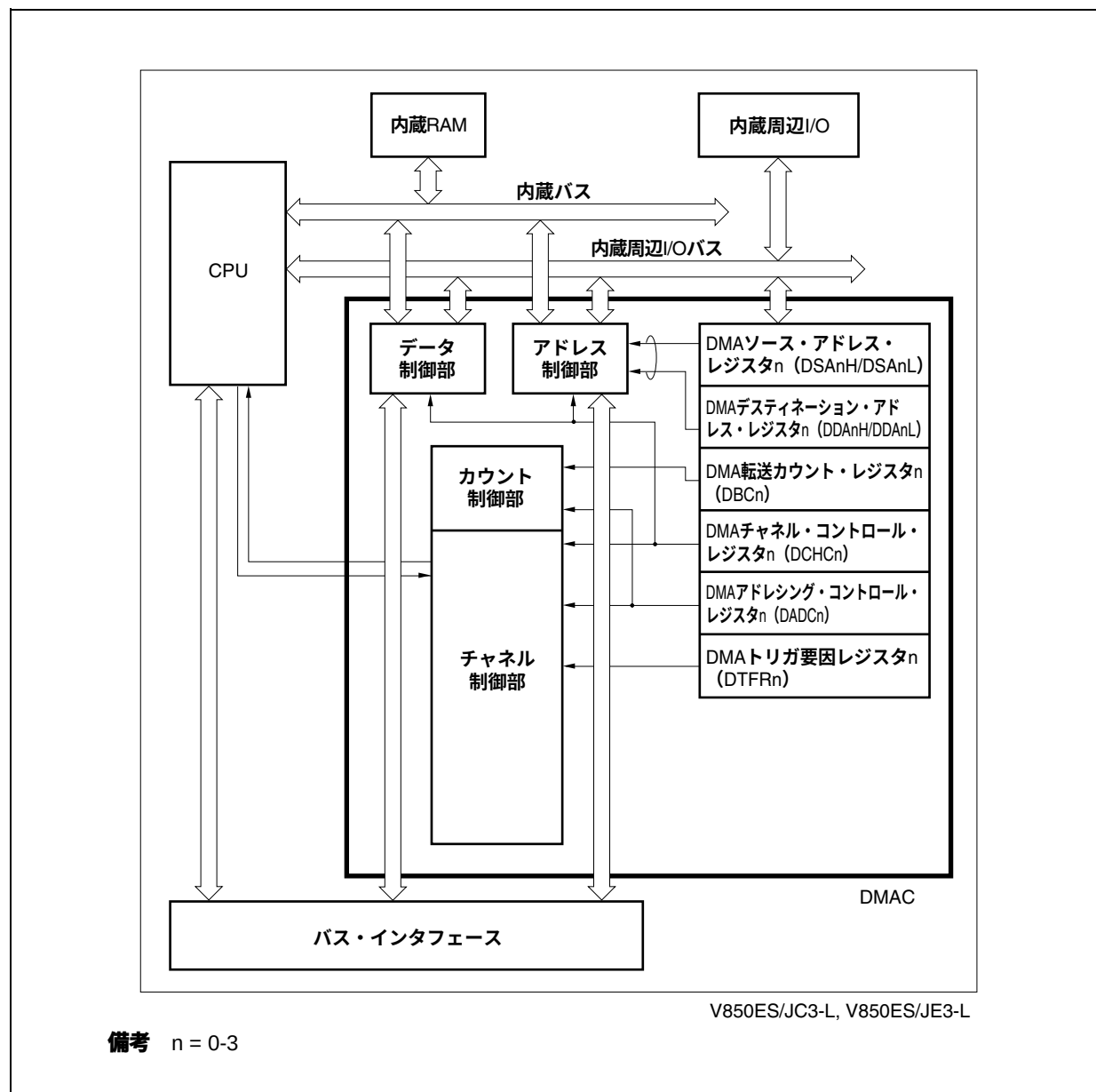
18.1 特 徴

- 4つの独立なDMAチャンネル
- 転送単位: 8ビット/16ビット
- 最大転送回数: 65536 (2^{16}) 回
- DMA転送中に内蔵ROMによるプログラム実行が可能
- 転送タイプ: 2サイクル転送
 - ・異なるバス幅同士の転送が可能
- 転送モード: シングル転送モード
- 転送要求
 - ・内蔵周辺I/O (シリアル・インタフェース, タイマ／カウンタ, A/Dコンバータ) , 外部入力端子からの割り込みによる要求
 - ・ソフトウェア・トリガによる要求
- 転送対象
 - ・内蔵RAM⇄内蔵周辺I/O
 - ・内蔵周辺I/O⇄内蔵周辺I/O

18.2 構 成

次にDMAのブロック図を示します。

図18-1 DMAのブロック図



DMAは、次のハードウェアで構成されています。

表18-1 DMAの構成

項 目	構 成
レジスタ	DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3) DMAデスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3) DMA転送カウント・レジスタ0-3 (DBC0-DBC3) DMAアドレッシング・コントロール・レジスタ0-3 (DADC0-DADC3) DMAチャネル・コントロール・レジスタ0-3 (DCHC0-DCHC3) DMAトリガ要因レジスタ0-3 (DTFR0-DTFR3)

18.3 レジスタ

(1) DMAソース・アドレス・レジスタ0-3 (DSA0-DSA3)

DMAチャンネルnのDMA転送元アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DSAnH, DSAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DSA0H FFFFF082H, DSA1H FFFFF08AH,
DSA2H FFFFF092H, DSA3H FFFFF09AH,
DSA0L FFFFF080H, DSA1L FFFFF088H,
DSA2L FFFFF090H, DSA3L FFFFF098H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnH (n = 0-3)	IR	0	0	0	0	0	SA25	SA24	SA23	SA22	SA21	SA20	SA19	SA18	SA17	SA16

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSAnL (n = 0-3)	SA15	SA14	SA13	SA12	SA11	SA10	SA9	SA8	SA7	SA6	SA5	SA4	SA3	SA2	SA1	SA0

IR	DMA転送元の指定
0	内蔵周辺I/O
1	内蔵RAM

SA25-SA16	DMA転送元のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は、次のDMA転送元アドレスを保持します。 DMA転送が完了すると、最初に設定されたDMAアドレスが保持されます。
-----------	--

SA15-SA0	DMA転送元のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は、次のDMA転送元アドレスを保持します。 DMA転送が完了すると、最初に設定されたDMAアドレスが保持されます。
----------	---

- 注意1.** DSAnHレジスタのビット14-10には、必ず“0”を設定してください。
- DSAnH, DSAnLレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
 - リセット後から最初のDMA転送起動までの期間
 - DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
 - DSAnレジスタの値を読み出す際、DSAnHレジスタとDSAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります (18.13 注意事項参照)。
 - 16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。
奇数アドレスを転送元に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。
 - リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(2) DMA デスティネーション・アドレス・レジスタ0-3 (DDA0-DDA3)

DMAチャネルnのDMA転送先アドレス (26ビット) を設定します (n = 0-3)。

このレジスタは、DDAnH, DDAnLの2つの16ビット・レジスタに分かれます。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DDA0H FFFFF086H, DDA1H FFFFF08EH,
DDA2H FFFFF096H, DDA3H FFFFF09EH,
DDA0L FFFFF084H, DDA1L FFFFF08CH,
DDA2L FFFFF094H, DDA3L FFFFF09CH

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnH (n = 0-3)	IR	0	0	0	0	0	DA25	DA24	DA23	DA22	DA21	DA20	DA19	DA18	DA17	DA16
	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DDAnL (n = 0-3)	DA15	DA14	DA13	DA12	DA11	DA10	DA9	DA8	DA7	DA6	DA5	DA4	DA3	DA2	DA1	DA0

IR	DMA転送先の指定
0	内蔵周辺I/O
1	内蔵RAM

DA25-DA16	DMA転送先のアドレス (A25-A16) を設定してください (初期値不定)。 DMA転送中は、次のDMA転送先アドレスを保持します。 DMA転送が終了すると、最初に設定されたDMA転送元アドレスを保持します。
-----------	--

DA15-DA0	DMA転送先のアドレス (A15-A0) を設定してください (初期値不定)。 DMA転送中は、次のDMA転送先アドレスを保持します。 DMA転送が終了すると、最初に設定されたDMA転送元アドレスを保持します。
----------	---

注意1. DDAnHレジスタのビット14-10には、必ず“0”を設定してください。

- DDAnH, DDAnL レジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- リセット後から最初のDMA転送起動までの期間
- DCHCn.INITnビットによるチャネル初期化後からDMA転送起動までの期間
- DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間

- DDAnレジスタの値を読み出す際、DDAnHレジスタとDDAnLレジスタの2つの16ビット・レジスタごとに読み出すため、読み出しと更新のタイミングが競合した場合、更新途中の値が読み出されることがあります (18.13 注意事項参照)。
- 16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。
奇数アドレスを転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。
- リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBCnレジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(3) DMA 転送カウント・レジスタ0-3 (DBC0-DBC3)

DMAチャネル n の転送数を設定する16ビット・レジスタです ($n = 0-3$)。

DMA転送中は、残りの転送数を保持します。

転送データ単位 (8/16ビット) にかかわらず、1回の転送につき1ずつデクリメントされ、ポローが発生すると転送を終了します。

DMA転送が完了すると、最初に設定された転送データ数を保持します。

16ビット単位でリード／ライト可能です。

リセット時：不定 R/W アドレス：DBC0 FFFF0C0H, DBC1 FFFF0C2H,
DBC2 FFFF0C4H, DBC3 FFFF0C6H

	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBC n ($n = 0-3$)	BC15	BC14	BC13	BC12	BC11	BC10	BC9	BC8	BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0

BC15-BC0	転送数の設定、またはDMA転送中の残りの転送数
0000H	1回の転送、または残り転送数
0001H	2回の転送、または残り転送数
:	:
FFFFH	65536 (2^{16}) 回の転送、または残り転送数

注意1. DBC n レジスタの設定は、DMA転送禁止状態 (DCHC n .Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
- ・DCHC n .INIT n ビットによるチャネル初期化後からDMA転送起動までの期間
- ・DMA転送完了後 (DCHC n .TC n ビット = 1の状態) から次のDMA転送起動までの期間

2. リセット後、DMA転送を開始する前にDSAnH, DSAnL, DDAnH, DDAnL, DBC n レジスタを設定してください。これらのレジスタを設定しないでDMA転送を開始した場合は、動作を保証しません。

(4) DMA アドレス・コントロール・レジスタ0-3 (DADC0-DADC3)

DMAチャネルnのDMA転送モードを制御する16ビット・レジスタです (n = 0-3)。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

リセット時：0000H R/W アドレス：DADC0 FFFFF0D0H, DADC1 FFFFF0D2H,
DADC2 FFFFF0D4H, DADC3 FFFFF0D6H

DADCn (n = 0-3)	15	14	13	12	11	10	9	8
	0	DS0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
	SAD1	SAD0	DAD1	DAD0	0	0	0	0

DS0	転送データ・サイズの設定
0	8ビット
1	16ビット

SAD1	SAD0	転送元アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

DAD1	DAD0	転送先アドレスのカウント方向の設定
0	0	インクリメント
0	1	デクリメント
1	0	固定
1	1	設定禁止

- 注意1.** DADCnレジスタのビット15, 13-8, 3-0には、必ず“0”を設定してください。
2. DADCnレジスタの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。
- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
3. DSn0ビットは転送データ・サイズを設定するものであり、バス・サイジングを制御するものではありません。
4. 転送データ・サイズを16ビットに設定した場合 (DS0ビット = 1)，奇数アドレスから始まる転送はできません。下位アドレスの1ビットを“0”にアラインしたアドレスから必ず転送を開始します。
5. 内蔵周辺I/Oレジスタを対象 (転送元／転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ず (8ビット) 転送を指定してください。

(5) DMA チャンネル・コントロール・レジスタ0-3 (DCHC0-DCHC3)

DMA チャンネル n の DMA 転送動作を制御する 8 ビット・レジスタです。

8/1 ビット単位でリード／ライト可能です (ただし、ビット 7 はリードのみ、ビット 1, 2 はライトのみ可能です。ビット 1, 2 をリードした場合は 0 が読み出されます。)。

リセットにより 00H になります。

リセット時: 00H R/W アドレス: DCHC0 FFFFF0E0H, DCHC1 FFFFF0E2H,
DCHC2 FFFFF0E4H, DCHC3 FFFFF0E6H

	⑦	6	5	4	3	②	①	①
DCHCn	TCn ^{注1}	0	0	0	0	INITn ^{注2}	STGn ^{注2}	Enn

($n = 0-3$)

TCn ^{注1}	DMA チャンネル n の DMA 転送の完了／未完了を示すステータス・フラグ
0	DMA 転送未完了
1	DMA 転送完了
DMA 転送の最後の転送時にセット (1) され、読み出しによってクリア (0) されます。	

INITn ^{注2}	DMA 転送が禁止された状態で (Enn ビット = 0), INITn ビットをセット (1) すると DMA 転送のステータスを初期化できます。
---------------------	--

STGn ^{注2}	DMA 転送のソフトウェア起動トリガです。 DMA 転送が許可の状態 (TCn ビット = 0, Enn ビット = 1) でこのビットをセット (1) すると DMA 転送を開始します。
--------------------	---

Enn	DMA チャンネル n の DMA 転送の許可／禁止の設定
0	DMA 転送の禁止
1	DMA 転送の許可

Enn ビットをセット (1) すると DMA 転送が許可されます。
DMA 転送が完了 (ターミナル・カウント発生) すると、自動的にクリア (0) されます。
なお、DMA 転送を中断するには、ソフトウェアで Enn ビットをクリア (0) してください。再開するには、再度 Enn ビットをセット (1) してください。
ただし、DMA 転送の中断／再開は、必ず 18.13 (5) DMA 転送の一時中断手順について示す手順にしたがって行ってください。

注1. TCn ビットはリードのみ可能です。

2. INITn, STGn ビットはライトのみ可能です。

注意1. DCHCn レジスタのビット 6-3 には、必ず “0” を設定してください。

2. DMA 転送完了時 (ターミナル・カウント時) は、Enn ビットのクリア (0) → TCn ビットのセット (1) の順で各ビットの更新が行われます。そのため、DCHCn レジスタの各ビットの更新途中で DCHCn レジスタを読み出した場合、「転送未完了、かつ転送禁止」の状態を示す値 (TCn ビット = 0, かつ Enn ビット = 0) が読み出されることがあります。

(6) DMA トリガ要因レジスタ0-3 (DTFR0-DTFR3)

内蔵周辺I/Oからの割り込み要求信号によるDMA転送開始トリガを制御する8ビット・レジスタです。

このレジスタで設定した割り込み要求信号が、DMA転送の起動要因になります。

8ビット単位でリード／ライト可能です。ただし、DFnビットのみ1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：DTFR0 FFFFF810H, DTFR1 FFFFF812H,
DTFR2 FFFFF814H, DTFR3 FFFFF816H

	⑦	6	5	4	3	2	1	0
DTFRn	DFn	0	IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0

(n = 0-3)

DFn ^注	DMA転送要求ステータス・フラグ
0	DMA転送要求なし
1	DMA転送要求あり

注 DFnビットはソフトウェアにより“1”を設定しないでください。DMA転送を禁止している間にDMA転送の起動要因に設定している割り込みが発生し、DMA転送要求をクリアする必要がある場合に0をライトしてください。

注意1. IFCn5-IFCn0ビットの設定は、DMA転送禁止状態 (DCHCn.Ennビット = 0) である次のいずれかのタイミングで行ってください。

- ・リセット後から最初のDMA転送起動までの期間
 - ・DCHCn.INITnビットによるチャンネル初期化後からDMA転送起動までの期間
 - ・DMA転送完了後 (DCHCn.TCnビット = 1の状態) から次のDMA転送起動までの期間
2. DTFRnレジスタの設定を変更する場合は必ず次の手順で行ってください (n = 0-3, m = 0-3, n ≠ m)。
- ・書き換え対象となるチャンネルのDMA動作を停止 (DCHCn.Ennビット = 0) する。
 - ・DTFRnレジスタの設定を変更する (必ずDFnビット = 0とし、かつ8ビット操作で行ってください)。
 - ・DFnビット = 0であることを確認する (あらかじめ、割り込み発生要因の動作を停止しておいてください)。
 - ・DMA動作を許可 (Ennビット = 1) する
3. スタンバイ・モード (IDLE1, IDLE2, STOP, サブIDLEモード) 中に発生した割り込み要求は、DMA転送サイクルの起動要因にはなりません (DFnビットもセット (1) されません)。
4. IFCn5-IFCn0ビットで任意のDMA起動要因を選択したあとは、DMA転送の許可／禁止にかかわらず、選択した内蔵周辺I/Oからの割り込みが発生するとDFnビットはセット (1) されます。この状態でDMA許可とした場合、ただちにDMA転送が起動されます。

備考 IFCn5-IFCn0ビットについては表18-2 DMA起動要因を参照してください。

表18-2 DMA起動要因 (1/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	JC3-L (40)	JC3-L (48)	JE3-L
0	0	0	0	0	0	割り込みによるDMA要求禁止	○	○	○
0	0	0	0	0	1	INTP0	○	○	○
0	0	0	0	1	0	INTP1	—	—	○
0	0	0	0	1	1	INTP2	○	○	○
0	0	0	1	0	0	INTP3	—	—	○
0	0	0	1	0	1	INTP4	—	—	○
0	0	0	1	1	0	INTP5	○	○	○
0	0	0	1	1	1	INTP6	○	○	○
0	0	1	0	0	0	INTP7	○	○	○
0	0	1	0	0	1	INTTQ0OV	○	○	○
0	0	1	0	1	0	INTTQ0CC0	○	○	○
0	0	1	0	1	1	INTTQ0CC1	○	○	○
0	0	1	1	0	0	INTTQ0CC2	○	○	○
0	0	1	1	0	1	INTTQ0CC3	○	○	○
0	0	1	1	1	0	INTTP0OV	○	○	○
0	0	1	1	1	1	INTTP0CC0	○	○	○
0	1	0	0	0	0	INTTP0CC1	○	○	○
0	1	0	0	0	1	INTTP1OV	○	○	○
0	1	0	0	1	0	INTTP1CC0	○	○	○
0	1	0	0	1	1	INTTP1CC1	○	○	○
0	1	0	1	0	0	INTTP2OV	○	○	○
0	1	0	1	0	1	INTTP2CC0	○	○	○
0	1	0	1	1	0	INTTP2CC1	○	○	○
0	1	0	1	1	1	INTTP3CC0	○	○	○
0	1	1	0	0	0	INTTP3CC1	○	○	○
0	1	1	0	0	1	INTTP4CC0	○	○	○
0	1	1	0	1	0	INTTP4CC1	○	○	○
0	1	1	0	1	1	INTTP5CC0	○	○	○
0	1	1	1	0	0	INTTP5CC1	○	○	○
0	1	1	1	0	1	INTTM0EQ0	○	○	○
0	1	1	1	1	0	INTCB0R/INTIIC1	○	○	○
0	1	1	1	1	1	INTCB0T	○	○	○
1	0	0	0	0	0	INTCB1R	—	○	○
1	0	0	0	0	1	INTCB1T	—	○	○
1	0	0	0	1	0	INTCB2R	○	○	○
1	0	0	0	1	1	INTCB2T	○	○	○
1	0	0	1	0	0	INTCB3R	—	—	○
1	0	0	1	0	1	INTCB3T	—	—	○

備考1. n = 0-3

2. JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

表18-2 DMA起動要因 (2/2)

IFCn5	IFCn4	IFCn3	IFCn2	IFCn1	IFCn0	割り込み要因	JC3-L (40)	JC3-L (48)	JE3-L
1	0	0	1	1	0	INTUA0R/INTCB4R	—	○	○
						INTUA0R	○	—	—
1	0	0	1	1	1	INTUA0T/INTCB4T	—	○	○
						INTUA0T	○	—	—
1	0	1	0	0	0	INTUA1R/INTIIC2	○	○	○
1	0	1	0	0	1	INTUA1T	○	○	○
1	0	1	0	1	0	INTUA2R/INTIIC0	—	○	○
1	0	1	0	1	1	INTUA2T	—	○	○
1	0	1	1	0	0	INTAD	○	○	○
1	0	1	1	0	1	INTKR	○	○	○
1	0	1	1	1	0	INTRTC1	○	○	○
上記以外						設定禁止			

備考1. n = 0-3

2. JC3L (40) : V850ES/JC3-L (40ピン製品) ,
 JC3L (48) : V850ES/JC3-L (48ピン製品) ,
 JE3L : V850ES/JE3-L

18.4 転送対象

転送対象の関係を次に示します (○：転送可，×：転送不可)。

表18-3 転送対象の関係

		転送先		
		内蔵ROM	内蔵周辺I/O	内蔵RAM
転送元	内蔵周辺I/O	×	○	○
	内蔵RAM	×	○	×
	内蔵ROM	×	×	×

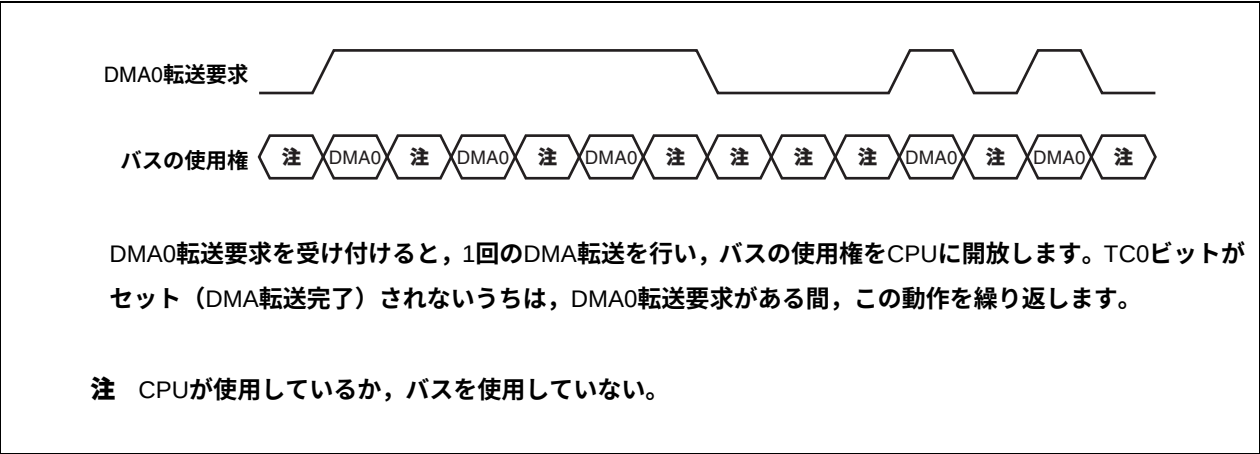
注意 表18-3に示す転送先と転送元で、「×」が表記されている組み合わせで転送を行った場合の動作は保証できません。

18.5 転送モード

転送モードとして、シングル転送をサポートしています。

シングル転送では、1回のバイト／ハーフワード転送ごとにバスを解放します。その後、DMA転送要求があると再度1回の転送を行います。この動作をターミナル・カウントが発生するまで続けます。

図18-2 シングル転送 (1チャンネルのみを使用した場合)



18.6 転送タイプ

転送タイプとして、2サイクル転送をサポートしています。

2サイクル転送は、リード・サイクル、ライト・サイクルと2回のサイクルでデータを転送します。

リード・サイクルでは、転送元のアドレスを出力し転送元からDMACへのリードを行い、ライト・サイクルでは、転送先のアドレスを出力しDMACから転送先への書き込みを行います。

リード・サイクルとライト・サイクルの間には、必ず1クロック分のアイドル・サイクルが挿入されます。

2サイクルのDMA転送で、転送元と転送先のデータ・バス幅が異なる場合、次のような動作になります。

<16ビット・データ転送 (DADCn.DSn0ビット = 1) の場合>

① 32ビット・バス→16ビット・バスへの転送

リード・サイクル (上位または、下位の16ビット・データ) が発生し、そのあとライト・サイクル (16ビット) が発生します。

② 16/32ビット・バス→8ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後8ビットのライト・サイクルが2回発生します。

③ 8ビット・バス→16/32ビット・バスへの転送の場合

8ビットのリード・サイクルが2回発生し、その後16ビットのライト・サイクルが1回発生します。

④ 16ビット・バス→32ビット・バスへの転送の場合

16ビットのリード・サイクルが1回発生し、その後16ビットのライト・サイクルが1回発生します。

なお、内蔵周辺I/Oレジスタを対象 (転送元／転送先) とするDMA転送の場合、必ずレジスタ・サイズと同じ転送サイズを指定してください。たとえば、8ビットのレジスタに対するDMA転送の場合は、必ずバイト (8ビット) 転送を指定してください。

備考 各転送対象 (転送元／転送先) のバス幅は次のとおりです。

- ・内蔵周辺I/O : 16ビット・バス幅
- ・内蔵RAM : 32ビット・バス幅

18. 7 DMAチャネルの優先順位

DMAチャネルの優先順位は固定で、次のようになります。

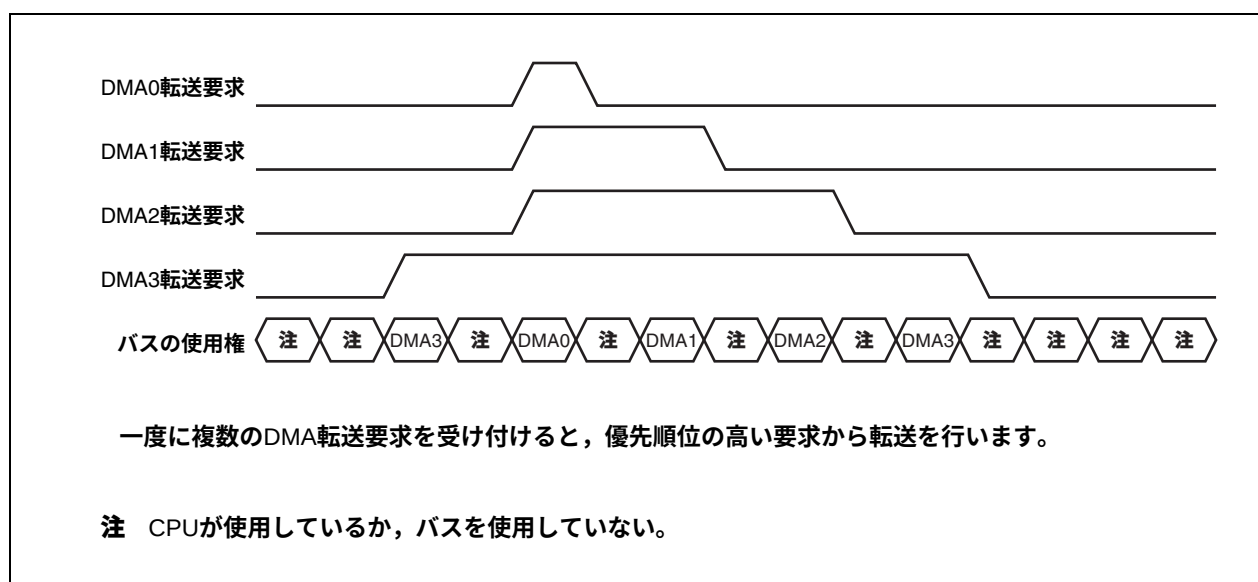
DMAチャネル0>DMAチャネル1>DMAチャネル2>DMAチャネル3

DMACがバスを解放している間にほかの優先順位が高いDMA転送要求が発生した場合、常に優先順位が高いDMA要求を優先させます。

ただし、転送サイクル中に同一チャネルの新たな転送要求と、他の優先順位が低いチャネルの転送要求が発生した場合、CPUにバスを解放した次の転送は、新たに要求のあった優先順位の低いチャネルのDMA転送となります（転送サイクル中は、同一チャネルの新たな転送要求は無視されます）。

1回の転送サイクルの度に優先順位がチェックされます。

図18-3 シングル転送（複数チャネルを使用した場合）



18. 8 DMA転送に関する各種時間

DMA要求に対する応答時間, DMA転送にかかる最小クロック数を次に示します。

シングル転送: DMA応答時間 (①) + 転送元メモリ・アクセス (②) + 1^{注1} + 転送先メモリ・アクセス (②)

表18-4 DMAサイクル中の実行クロック数

DMAサイクル		実行クロック数
①	DMA要求に対する応答時間	4クロック (MIN.) + ノイズ除去時間 ^{注2}
②	メモリ・アクセス	内蔵RAMアクセス 2クロック
	周辺I/Oレジスタ・アクセス	3クロック + VSWCレジスタによるウェイト数 ^{注4}

- 注1. DMA転送のリード・サイクルとライト・サイクルの間には、必ず1クロック挿入されます。
2. 外部割り込み (INTPn) をDMA転送の起動要因に指定した場合、ノイズ除去時間が加算されます (n = 0-7)。
3. 8ビット・バスでの16ビット転送では2回の転送が必要です。
4. 3. 4. 9 (1) にあるレジスタへのアクセスについては、さらにウェイト数が増える場合があります。

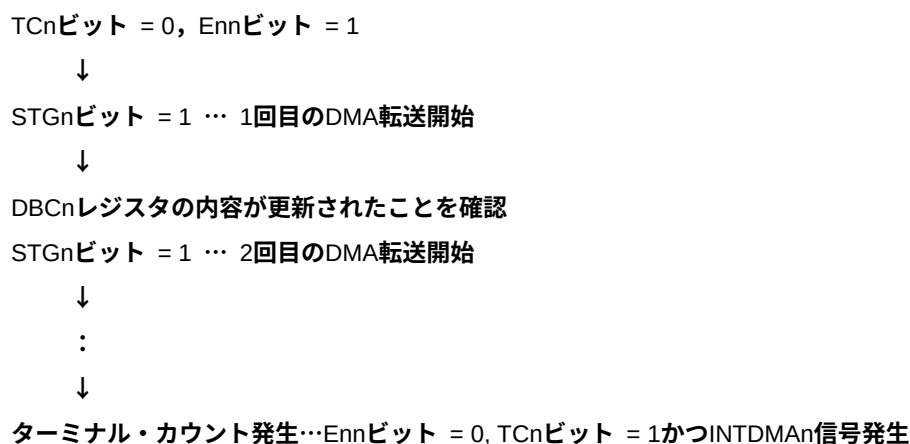
18.9 DMA転送起動要因

DMA転送の起動要因には、次の2種類があります。

(1) ソフトウェアによる要求

DCHCn.TCnビット = 0、かつDCHCn.Ennビット = 1 (DMA転送許可) の状態で、DCHCn.STGnビットをセット (1) すると、DMA転送を起動します。

続けて次のDMA転送サイクルを要求するには、DBCnレジスタにて、先のDMA転送サイクルが完了したことを確認してから、再度STGnビットをセット (1) してください (n = 0-3)。



(2) 内蔵周辺I/Oによる要求

TCnビット = 0、かつEnnビット = 1 (DMA転送許可) の状態で、DTFRnレジスタに設定している内蔵周辺I/Oからの割り込み要求が発生すると、DMA転送を起動します (n = 0-3)。

- 注意1.** 同一のDMAチャンネルに対して、2つの起動要因 (ソフトウェア・トリガ、ハードウェア・トリガ) を併用できません。1つのDMAチャンネルに対して、2つの起動要因が同時に発生した場合、どちらか一方だけが有効となりますが、有効となる起動要因の特定はできません。
2. 同一のDMAチャンネルに対して、先のDMA転送要求が発生してから、DMA転送が終了するまでに新たな転送要求が発生しても、その要求は無視 (クリア) されます。
3. 同一のDMAチャンネルに対する転送要求間隔は、DMA転送サイクル中のバス・ウエイトの設定や他のチャンネルの起動状況により変化します。特に注意2のとおり、DMA転送サイクル前、または転送サイクル中に同一チャンネルの新たな転送要求が発生しても、その要求は無視されてしまいます。したがって、同一のDMAチャンネルに対する転送要求間隔は、システム上で十分な間隔を確保してください。ソフトウェア・トリガ時は、DBCnレジスタの更新により、先に発生したDMA転送サイクルの完了を確認できます。

18. 10 DMA転送の終了

DBCnレジスタに設定した回数分DMA転送が終了し、DCHCn.Ennビットがクリア (0) , TCnビットがセット (1) されると、割り込みコントローラ (INTC) に対して、DMA転送終了割り込み要求信号 (INTDMA_n) を発生します (n = 0-3)。

V850ES/JC3-L, V850ES/JE3-Lでは、ターミナル・カウント信号を外部に出力していませんので、DMA転送終了割り込み、またはTCnビットのポーリングによりDMA転送の完了を確認してください。

18. 11 注意事項

(1) VSWCレジスタに関する注意

DMACを使用する際は、必ずVSWCレジスタに、動作周波数に応じた最適な値を設定してください。

VSWCレジスタは、最適な値以外で使用した場合は正常に動作できません (VSWCレジスタの詳細については、3. 4. 8 (a) システム・ウェイト・コントロール・レジスタ (VSWC) を参照してください)。

(2) 内蔵RAMを転送対象とするDMA転送時の注意

内蔵RAMに配置された次の命令を実行する場合は、内蔵RAMを対象 (転送先/転送元) とするDMA転送を行わないでください。その後CPUが正常に動作しない可能性があります。

逆に、内蔵RAMを対象 (転送先/転送元) としたDMA転送を行う場合は、次の命令を実行しないでください。

・内蔵RAMに配置されたミスアライン・アドレスに対するデータ・アクセス命令

(3) DCHCn.TCnビットのリードに関する注意事項 (n = 0-3)

TCnビットは、読み出しによりクリア (0) されますが、ある特定タイミングにおいてTCnビットをリードしても、自動的にクリア (0) されません。TCnビットのクリアを確実に実行するために次の処理を追加してください。

(a) TCnビットをポーリングしてDMA転送完了の待ち合わせを行う場合

TCnビットがセット (1) されたことを確認したあと (TCnビット = 1が読み出されたあと) , さらに3回のTCnビットのリードを行ってください。

(b) 割り込み処理ルーチンでTCnビットのリードを行う場合

TCnビットのリードを3回実行してください。

(4) DMA 転送の初期化手順について (DCHCn.INITn ビットのセット (1))

DMA 転送中のチャンネルを初期化するとき、INITn ビットをセット (1) しても、チャンネルの初期化が行われない場合があります。初期化を確実に実行するために、次に示す2つの手順のいずれかを実行させてください。

(a) 一時的にすべてのDMAチャンネルの転送を停止させる方法

次に示す①～⑦の手順で初期化を実行してください。

ただし、次の⑤に示す処理の実行により、TCn ビットがクリア (0) されてしまいます。他の処理において、TCn ビット = 1 となっていることを期待したプログラムになっていないことを確認してください。

- ① 割り込み禁止状態 (DI) にする。
- ② 強制終了したいチャンネル以外で使用しているDMAチャンネルのDCHCn.Enn ビットを読み出し、汎用レジスタに転送する。
- ③ 使用しているDMAチャンネル (強制終了するチャンネルを含む) のEnn ビットをクリア (0) する。最終のDMAチャンネルの場合にはEnn ビットのクリア命令を2回実行する。このとき、転送対象 (転送元／転送先) が内蔵RAMの場合は、3回実行する。

例 チャンネル0, 1, 2を使用している場合には、次の順で命令を実行する (転送対象が内蔵RAMでない場合)。

- ・ DCHC0 = 00H を書き込む (E00 ビットのクリア (0))
 - ・ DCHC1 = 00H を書き込む (E11 ビットのクリア (0))
 - ・ DCHC2 = 00H を書き込む (E22 ビットのクリア (0))
 - ・ 再度、DCHC2 = 00H を書き込む (E22 ビットのクリア (0))
- ④ 強制終了するチャンネルにDCHCn = 04H を書き込む (INITn ビットのセット (1))。
 - ⑤ 強制終了しない各チャンネルのTCn ビットを読み出し、TCn ビットと②で読み出したEnn ビットが、ともに1 (論理積 (AND) が1) の場合は退避していたEnn ビットをクリア (0) する。
 - ⑥ ⑤で操作後のEnn ビットをDCHCn レジスタに書き込む。
 - ⑦ 割り込み許可状態 (EI) にする。

注意1. 上記⑤は、②、③の間に正常終了したチャンネルに対して、再度Enn ビットを不正にセットすることを防ぐため、必ず行ってください。

2. 上記③のEnn ビットのクリア (0)、および④のINITn ビットのセット (1) は、ビット操作命令を使用すると、TCn ビットがクリア (0) されてしまうので、ビット操作命令は禁止です。

(b) 正常に強制終了するまでINITnビットのセットを繰り返し実行する方法

- ① DMAを動かす前に、強制終了するチャンネルの初期転送回数を汎用レジスタにコピーする。
- ② 強制終了したいチャンネルのDMA要求元からのリクエストが発生しないようにする（内蔵周辺I/Oの動作停止）。
- ③ DTFRn.DFnビットにより、強制終了するチャンネルのDMA転送要求が保留されていないかを確認。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。
- ④ 強制終了するチャンネルのDMA要求が保留されていないことが確認できたら、Ennビットをクリア（0）する。
- ⑤ 再度、強制終了するチャンネルのEnnビットをクリア（0）する。
ただし、強制終了するチャンネルの転送対象（転送元／転送先）が内蔵RAMの場合は、この操作をさらにもう一度実行する。
- ⑥ 強制終了するチャンネルのINITnビットをセット（1）する。
- ⑦ 強制終了するチャンネルのDBCnレジスタの値を読み出し、①でコピーした値と比較する。比較した結果、一致しない場合は⑥から⑦の操作を繰り返す。

備考1. ⑦でDBCnレジスタの値を読み出すと、正常に強制終了を完了した場合は初期転送回数が読み出されます。未完了の場合は残りの転送回数が読み出されます。

2. (b)の方法は、強制終了の対象となっているDMAチャンネル以外のDMA転送が頻繁に行われるようなアプリケーションの場合、強制終了されるまでに時間を要する可能性があるので注意してください。

(5) DMA転送の一時中断手順について（Ennビットのクリア）

実行中のDMA転送を中断し、再開するには次の手順にしたがってください。

- ① DMA要求元からの転送要求が発生しないようにする（内蔵周辺I/Oの動作を停止）。
- ② DFnビットにより、DMA転送要求が保留されていないかを確認する（DFnビット = 0であることを確認）。保留されている場合は、保留されているDMA転送要求の実行が完了するまで待つ。
- ③ TCnビットにより、DMA転送が終了されていないかを確認する（TCnビット = 0であることを確認）。TCnビット = 1であれば、DMA転送終了として処理します。
- ④ DMA転送要求が保留されていないことを確認できたら、Ennビットをクリア（0）する（この操作により、DMA転送が中断される）。
- ⑤ DMA転送を再開させるためにEnnビットをセット（1）する。
- ⑥ 停止しているDMA要求元の動作を再開する（内蔵周辺I/Oの動作を開始）。

(6) メモリ境界

DMA転送中に、転送元、または転送先のアドレスがDMA対象（内蔵RAM、内蔵周辺I/O）の領域を越えた場合の動作は保証できません（各領域のアドレスについては図3-2を参照してください）。

(7) ミスアライン・データの転送

16ビット・バス幅のミスアライン・データのDMA転送はサポートしていません。

奇数アドレスを転送元、または転送先に指定した場合、アドレスの最下位ビットは強制的に0として扱われます。

(8) CPU へのバス・アービトレーション

バス使用权の優先順位はCPUよりDMAコントローラが高いため、DMA転送中に発生したCPUのアクセスは、DMA転送サイクルが完了しCPUにバスが解放されるまで待たされます。

ただし、CPUは内蔵ROM、およびDMA転送を行っていない内蔵RAMにアクセスが可能です。

- ・内蔵周辺I/O⇄内蔵RAMでDMA転送が行われているとき、CPUは内蔵ROMにアクセスできます。

(9) DMA動作中の書き換え禁止レジスタ／ビット

次のレジスタの設定は、DMA動作中でない次のいずれかのタイミングで行ってください (n = 0-3)。

【対象レジスタ】

- ・DSAnH, DSAnL, DDAnH, DDAnL, DBCn, DADCnレジスタ
- ・DTFRn.IFCn5-IFCn0ビット

【設定可能タイミング】

- ・リセット後から最初のDMA転送開始までの期間
- ・チャンネル初期化後からDMA転送開始までの時間
- ・DMA転送完了後 (TCnビット = 1の状態) から次のDMA転送開始までの期間

(10) 次のレジスタの各ビットには、必ず“0”を設定してください (n = 0-3)。

- ・DSAnHレジスタのビット14-10
- ・DDAnHレジスタのビット14-10
- ・DADCnレジスタのビット15, 13-8, 3-0
- ・DCHCnレジスタのビット6-3

(11) DMAの起動要因

同じ起動要因で複数のDMAチャンネルを起動しないでください。起動した場合、すでに設定済みのチャンネルのDMAが起動されたり、優先順位の低いDMAチャンネルが優先順位の高いDMAチャンネルより先に受け付けられたりする場合があります、動作は保証できません。

(12) DSA_n, DDA_nレジスタの読み出し値

DMA転送中にDSA_n, DDA_nレジスタの値を読み出した場合、更新前と更新後の値が組み合わさって読み出されることがあります (n = 0-3)。

たとえば、DMA転送元アドレス (DSA_nレジスタ) が0000FFFFH、カウント方向がインクリメント (DADC_n.SAD1, SAD0ビット = 00) の場合、DSA_nHレジスタ→DSA_nLレジスタの順に読み出しを行うと、DSA_nHレジスタ読み出し直後のDMA転送の有無によって、DSA_nLレジスタの値が次のように異なります。

(a) DSA_nレジスタの読み出し中にDMA転送が発生しない場合

- ① DSA_nHレジスタの読み出し：DSA_nHレジスタ = 0000H
- ② DSA_nLレジスタの読み出し：DSA_nLレジスタ = FFFFH

(b) DSA_nレジスタの読み出し中にDMA転送が発生する場合

- ① DSA_nHレジスタの読み出し：DSA_nHレジスタ = 0000H
- ② DMA転送の発生
- ③ DSA_nレジスタのインクリメント：DSA_nレジスタ = 00010000H
- ④ DSA_nLレジスタの読み出し：DSA_nLレジスタ = 0000H

(13) DMA転送ステータスの再設定

DMA転送が完了する前に (TC_nビットがセット (1) される前)、DMA転送ステータスの再設定 (DDA_nH, DDA_nL, DSA_nH, DSA_nL, DBC_n, DADC_nレジスタの再設定) を行う場合は、必ずDMAチャネルの初期化後に行ってください。ただし、DMAコントローラの初期化は、必ず18.11 (4) DMA転送の初期化手順についてに示す手順にしたがって行ってください。

第19章 割り込み／例外処理機能

V850ES/JC3-L, V850ES/JE3-Lは、割り込み処理用に専用の割り込みコントローラ（INTC）を内蔵し、合計49, 53, 58要因の割り込み要求を処理できる割り込み機能を実現しています。

なお、割り込みをプログラムの実行とは別に独立して発生する事象とし、例外をプログラムの実行に依存して発生する事象とします。

V850ES/JC3-L, V850ES/JE3-Lでは、内蔵している周辺ハードウェアおよび外部からの各種割り込み要求信号を処理できます。さらに、TRAP命令による例外処理の起動（ソフトウェア例外）や、例外事象の発生（命令の不正実行の発生）による例外処理の起動（例外トラップ）が可能です。

19.1 特 徴

○割り込み

- ・ノンマスクابل割り込み、マスクابل割り込み

	内部			外部		
	ノンマスクابل	マスクابل	計	ノンマスクابل	マスクابل	計
V850ES/JC3-L (40ピン)	1	42	43	1	5	6
V850ES/JC3-L (48ピン)	1	46	47	1	5	6
V850ES/JC3-L	1	48	49	1	8	9

- ・8レベルのプログラマブル優先順位制御（マスクابل割り込み）
- ・優先順位に従った割り込み多重処理制御
- ・個々のマスクابل割り込み要求に対するマスク指定
- ・外部割り込み要求のノイズ除去とエッジ検出および有効エッジ指定

○例外

- ・ソフトウェア例外：32要因
- ・例外トラップ：2要因（不正命令コード例外、デバッグ・トラップ）

これらの割り込み／例外要因を表19-1に示します。

表19-1 割り込み要因一覧 (1/3)

種 類	デフォルト・プライオリティ	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	割り込み制御 レジスタ
リセット	—	RESET	RESET端子入力／ 内部要因からのリセット入力	RESET	0000H	00000000H	—
ノンマスカ ブル	—	NMI	NMI端子有効エッジ入力	端子	0010H	00000010H	—
	—	INTWDT2	WDT2のオーバフロー	WDT2	0020H	00000020H	—
ソフトウエ ア例外	—	TRAP0 ^{注2}	TRAP命令	—	004nH ^{注2}	00000040H	—
	—	TRAP1 ^{注2}	TRAP命令	—	005nH ^{注2}	00000050H	—
例外トラップ	—	ILGOP/ DBG0	不正命令コード／ DBTRAP命令	—	0060H	00000060H	—
マスカブル	0	INTLVI	低電圧検出	POCLVI	0080H	00000080H	LVIIC
	1	INTP0	外部割り込み端子入力エッジ 検出 (INTP0)	端子	0090H	00000090H	PIC0
	2	INTP1 ^{注3}	外部割り込み端子入力エッジ 検出 (INTP1)	端子	00A0H	000000A0H	PIC1
	3	INTP2	外部割り込み端子入力エッジ 検出 (INTP2)	端子	00B0H	000000B0H	PIC2
	4	INTP3 ^{注3}	外部割り込み端子入力エッジ 検出 (INTP3)	端子	00C0H	000000C0H	PIC3
	5	INTP4 ^{注3}	外部割り込み端子入力エッジ 検出 (INTP4)	端子	00D0H	000000D0H	PIC4
	6	INTP5	外部割り込み端子入力エッジ 検出 (INTP5)	端子	00E0H	000000E0H	PIC5
	7	INTP6	外部割り込み端子入力エッジ 検出 (INTP6)	端子	00F0H	000000F0H	PIC6
	8	INTP7	外部割り込み端子入力エッジ 検出 (INTP7)	端子	0100H	00000100H	PIC7
	9	INTTQ0OV	TMQ0オーバフロー	TMQ0	0110H	00000110H	TQ0OVIC
	10	INTTQ0CC0	TMQ0キャプチャ0／ コンペア0一致	TMQ0	0120H	00000120H	TQ0CCIC0
	11	INTTQ0CC1	TMQ0キャプチャ1／ コンペア1一致	TMQ0	0130H	00000130H	TQ0CCIC1
	12	INTTQ0CC2	TMQ0キャプチャ2／ コンペア2一致	TMQ0	0140H	00000140H	TQ0CCIC2
	13	INTTQ0CC3	TMQ0キャプチャ3／ コンペア3一致	TMQ0	0150H	00000150H	TQ0CCIC3
	14	INTTP0OV	TMP0オーバフロー	TMP0	0160H	00000160H	TP0OVIC
	15	INTTP0CC0	TMP0キャプチャ0／ コンペア0一致	TMP0	0170H	00000170H	TP0CCIC0
	16	INTTP0CC1	TMP0キャプチャ1／ コンペア1一致	TMP0	0180H	00000180H	TP0CCIC1
	17	INTTP1OV	TMP1オーバフロー	TMP1	0190H	00000190H	TP1OVIC

注1. どのソフトウェアが例外が発生したかはECR.EICCにセットされた例外コードで確認できます。

2. nは0-FHの値

3. V850ES/JE3-Lのみ

表19-1 割り込み要因一覧 (2/3)

種 類	デフォルト・ プライオリティ	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	割り込み制御 レジスタ
マスカブル	18	INTTP1CC0	TMP1キャプチャ0／ コンペア0一致	TMP1	01A0H	000001A0H	TP1CCIC0
	19	INTTP1CC1	TMP1キャプチャ1／ コンペア1一致	TMP1	01B0H	000001B0H	TP1CCIC1
	20	INTTP2OV	TMP2オーバフロー	TMP2	01C0H	000001C0H	TP2OVIC
	21	INTTP2CC0	TMP2キャプチャ0／ コンペア0一致	TMP2	01D0H	000001D0H	TP2CCIC0
	22	INTTP2CC1	TMP2キャプチャ1／ コンペア1一致	TMP2	01E0H	000001E0H	TP2CCIC1
	23	INTTP3OV	TMP3オーバフロー	TMP3	01F0H	000001F0H	TP3OVIC
	24	INTTP3CC0	TMP3キャプチャ0／ コンペア0一致	TMP3	0200H	00000200H	TP3CCIC0
	25	INTTP3CC1	TMP3キャプチャ1／ コンペア1一致	TMP3	0210H	00000210H	TP3CCIC1
	26	INTTP4OV	TMP4オーバフロー	TMP4	0220H	00000220H	TP4OVIC
	27	INTTP4CC0	TMP4キャプチャ0／ コンペア0一致	TMP4	0230H	00000230H	TP4CCIC0
	28	INTTP4CC1	TMP4キャプチャ1／ コンペア1一致	TMP4	0240H	00000240H	TP4CCIC1
	29	INTTP5OV	TMP5オーバフロー	TMP5	0250H	00000250H	TP5OVIC
	30	INTTP5CC0	TMP5キャプチャ0／ コンペア0一致	TMP5	0260H	00000260H	TP5CCIC0
	31	INTTP5CC1	TMP5キャプチャ1／ コンペア1一致	TMP5	0270H	00000270H	TP5CCIC1
	32	INTTM0EQ0	TMM0コンペア一致	TMM0	0280H	00000280H	TM0EQIC0
	33	INTCB0R/ INTIIC1	CSIB0の受信終了／ CSIB0の受信エラー／ IIC1の転送終了	CSIB0 / IIC1	0290H	00000290H	CB0RIC/ IICIC1
	34	INTCB0T	CSIB0の連続送信書き込み許可	CSIB0	02A0H	000002A0H	CB0TIC
	35	INTCB1R ^{注1}	CSIB1の受信終了／ CSIB1の受信エラー	CSIB1	02B0H	000002B0H	CB1RIC
	36	INTCB1T ^{注1}	CSIB1の連続送信書き込み許可	CSIB1	02C0H	000002C0H	CB1TIC
	37	INTCB2R	CSIB2の受信終了／ CSIB2の受信エラー	CSIB2	02D0H	000002D0H	CB2RIC
	38	INTCB2T	CSIB2の連続送信書き込み許可	CSIB2	02E0H	000002E0H	CB2TIC
	39	INTCB3R ^{注2}	CSIB3の受信終了／ CSIB3の受信エラー	CSIB3	02F0H	000002F0H	CB3RIC
	40	INTCB3T ^{注2}	CSIB3の連続送信書き込み許可	CSIB3	0300H	00000300H	CB3TIC

注1. V850ES/JC3-L (48ピン), V850ES/JE3-Lのみ

2. V850ES/JE3-Lのみ

表19-1 割り込み要因一覧 (3/3)

種 類	デフォルト・ プライオリティ	名 称	トリガ	発生 ユニット	例外 コード	ハンドラ・ アドレス	割り込み制御 レジスタ
マスカブル	41	INTUA0R/ INTCB4R ^注	UARTA0の受信終了／ UARTA0受信エラー／ CSIB4の受信終了／ CSIB4の受信エラー	UARTA0/ CSIB4	0310H	00000310H	UA0RIC/ CB4RIC
	42	INTUA0T/ INTCB4T ^注	UARTA0 の 連 続 送 信 許 可 ／ CSIB4の連続送信書き込み許 可	UARTA0/ CSIB4	0320H	00000320H	UA0TIC/ CB4TIC
	43	INTUA1R/ INTIIC2	UARTA1 の 受 信 終 了 ／ UARTA1受信エラー／ IIC2転送終了	UARTA1/ IIC2	0330H	00000330H	UA1RIC/ IICIC2
	44	INTUA1T	UARTA1の連続送信許可	UARTA1	0340H	00000340H	UA1TIC
	45	INTUA2R ^注 / INTIIC0 ^注	UARTA2の受信終了／ UARTA2受信エラー／ IIC0の転送終了	UARTA2/ IIC0	0350H	00000350H	UA2RIC/ IICIC0
	46	INTUA2T ^注	UARTA2の連続送信許可	UARTA2	0360H	00000360H	UA2TIC
	47	INTAD	A/D変換終了	A/D	0370H	00000370H	ADIC
	48	INTDMA0	DMA0転送終了	DMA	0380H	00000380H	DMAIC0
	49	INTDMA1	DMA1転送終了	DMA	0390H	00000390H	DMAIC1
	50	INTDMA2	DMA2転送終了	DMA	03A0H	000003A0H	DMAIC2
	51	INTDMA3	DMA3転送終了	DMA	03B0H	000003B0H	DMAIC3
	52	INTKR	キー・リターン割り込み	KR	03C0H	000003C0H	KRIC
	53	INTWTI /INTRTC2	時計タイマのインターバル／ RTCインターバル信号	WT /RTC	03D0H	000003D0H	WTIIC /RTC2IC
	54	INTWT /INTRTC0	時計タイマの基準時間／ RTC定周期信号	WT /RTC	03E0H	000003E0H	WTIC /RTC1IC
	55	INTRTC1	RTCアラーム信号	RTC	03F0H	000003F0H	RTC1IC

注 V850ES/JC3-L (48ピン) , V850ES/JE3-Lのみ

備考1. デフォルト・プライオリティ：複数の同一優先順位レベルのマスカブル割り込み要求信号が同時に発生している場合に優先される順位です。数字の小さい方が優先順位が高く，0が最高優先順位です。

ノンマスカブル割り込みの優先順位は，INTWDT2>NMIとなります。

2. 不正命令コード例外時の不正命令の実行アドレスは，（復帰PC－4）で求められます。

19.2 ノンマスカブル割り込み

ノンマスカブル割り込み要求信号は、CPUが割り込み禁止（DI）状態でも受け付けられます。また、割り込み優先順位の対象にならず、すべての割り込み要求信号に対して最優先されます。

この製品のノンマスカブル割り込み要求信号には、次の2つがあります。

- ・ NMI端子入力（NMI）
- ・ ウォッチドッグ・タイマのオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）

NMI端子の有効エッジは、“立ち上がりエッジ”，“立ち下がりエッジ”，“両エッジ”，“エッジ検出なし”の4種類から選択できます。初期値は“エッジ検出なし”になっているので、必ず有効エッジを設定してください。

ウォッチドッグ・タイマ2のオーバフローによるノンマスカブル割り込み要求信号（INTWDT2）はWDTM2.WDM21, WDM20ビットを“01”と設定することで機能します。

複数のノンマスカブル割り込み要求信号が重なって発生した場合は、次の優先順位に従って順位の高い処理が実行されます（優先順位の低い割り込み要求信号は無視されます）。

INTWDT2>NMI

なお、NMI処理中に、新たにNMI, INTWDT2要求信号が発生した場合は次のような処理を行います。

(1) NMI処理中に、新たにNMI要求信号が発生した場合

PSW.NPビットの値によらず、新たなNMI要求信号は保留されます。保留されたNMI要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

(2) NMI処理中に、新たにINTWDT2要求信号が発生した場合

NMI処理中にNPビットがセット（1）されたままであれば、新たなINTWDT2要求信号は保留されます。保留されたINTWDT2要求信号は、現在実行中のNMI処理終了後（RETI命令実行後）に受け付けられます。

NMI処理中にNPビットをクリア（0）すれば、新たに発生したINTWDT2要求信号が受け付けられます（NMI処理は中断されます）。

注意 INTWDT2要求信号によるノンマスカブル割り込み処理については19.2.2 (2) INTWDT2信号の場合を参照してください。

図19-1 ノンマスカブル割り込み要求信号の受け付け動作 (1/2)

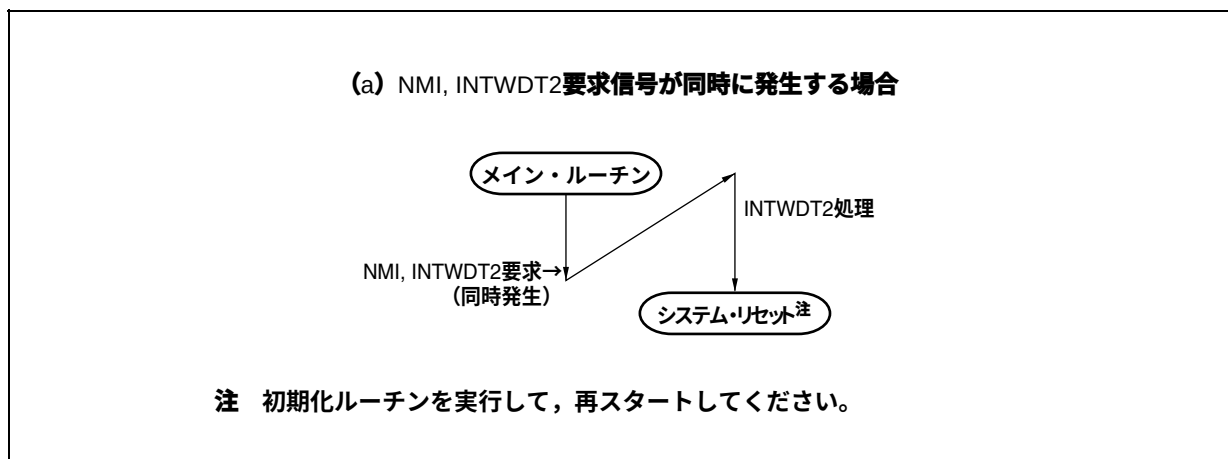


図19-1 ノンマスカブル割り込み要求信号の受け付け動作 (2/2)

(b) ノンマスカブル割り込み処理中に新たにノンマスカブル割り込み要求信号が発生する場合

処理中の ノンマスカブル 割り込み	ノンマスカブル割り込み処理中に新たに発生するノンマスカブル割り込み要求信号	
	NMI	INTWDT2
NMI	・ NMI処理中にNMI要求が発生 <pre> graph TD MR([メイン・ルーチン]) --> NMI_P[NMI処理] NMI_P --> NMIReq[NMI要求] NMIReq --> NMIReqReserve[NMI要求→(保留)] NMIReqReserve --> NMIReqResume[(保留された) NMI処理] NMIReqResume --> NMI_P </pre>	・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNPビット = 1のまま) <pre> graph TD MR([メイン・ルーチン]) --> NMI_P[NMI処理] NMI_P --> INTWDT2Req[INTWDT2要求] INTWDT2Req --> INTWDT2ReqReserve[INTWDT2要求→(保留)] INTWDT2ReqReserve --> INTWDT2Resume[INTWDT2処理] INTWDT2Resume --> SR([システム・リセット注]) </pre> ・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求前にNPビット = 0にする) <pre> graph TD MR([メイン・ルーチン]) --> NMI_P[NMI処理] NMI_P --> NMIReq[NMI要求] NMIReq --> NP0[NP = 0] NP0 --> INTWDT2Req[INTWDT2要求] INTWDT2Req --> INTWDT2ReqReserve[INTWDT2要求→(保留)] INTWDT2ReqReserve --> INTWDT2Resume[INTWDT2処理] INTWDT2Resume --> NP0_2[NP = 0] NP0_2 --> SR([システム・リセット注]) </pre> ・ NMI処理中にINTWDT2要求が発生 (INTWDT2要求後にNP = 0にする) <pre> graph TD MR([メイン・ルーチン]) --> NMI_P[NMI処理] NMI_P --> NMIReq[NMI要求] NMIReq --> NMI_PResume[NMI処理] NMI_PResume --> INTWDT2Req[INTWDT2要求] INTWDT2Req --> INTWDT2ReqReserve[INTWDT2要求→(保留)] INTWDT2ReqReserve --> INTWDT2Resume[INTWDT2処理] INTWDT2Resume --> NP0[NP = 0] NP0 --> SR([システム・リセット注]) </pre>
	・ INTWDT2処理中にNMI要求が発生 <pre> graph TD MR([メイン・ルーチン]) --> INTWDT2_P[INTWDT2処理] INTWDT2_P --> NMIReq[NMI要求] NMIReq --> NMIReqReserve[NMI要求→(無効)] NMIReqReserve --> SR([システム・リセット注]) </pre>	・ INTWDT2処理中にINTWDT2要求が発生 <pre> graph TD MR([メイン・ルーチン]) --> INTWDT2_P[INTWDT2処理] INTWDT2_P --> INTWDT2Req[INTWDT2要求] INTWDT2Req --> INTWDT2ReqReserve[INTWDT2要求→(無効)] INTWDT2ReqReserve --> SR([システム・リセット注]) </pre>

注 初期化ルーチンを実行して、再スタートしてください。

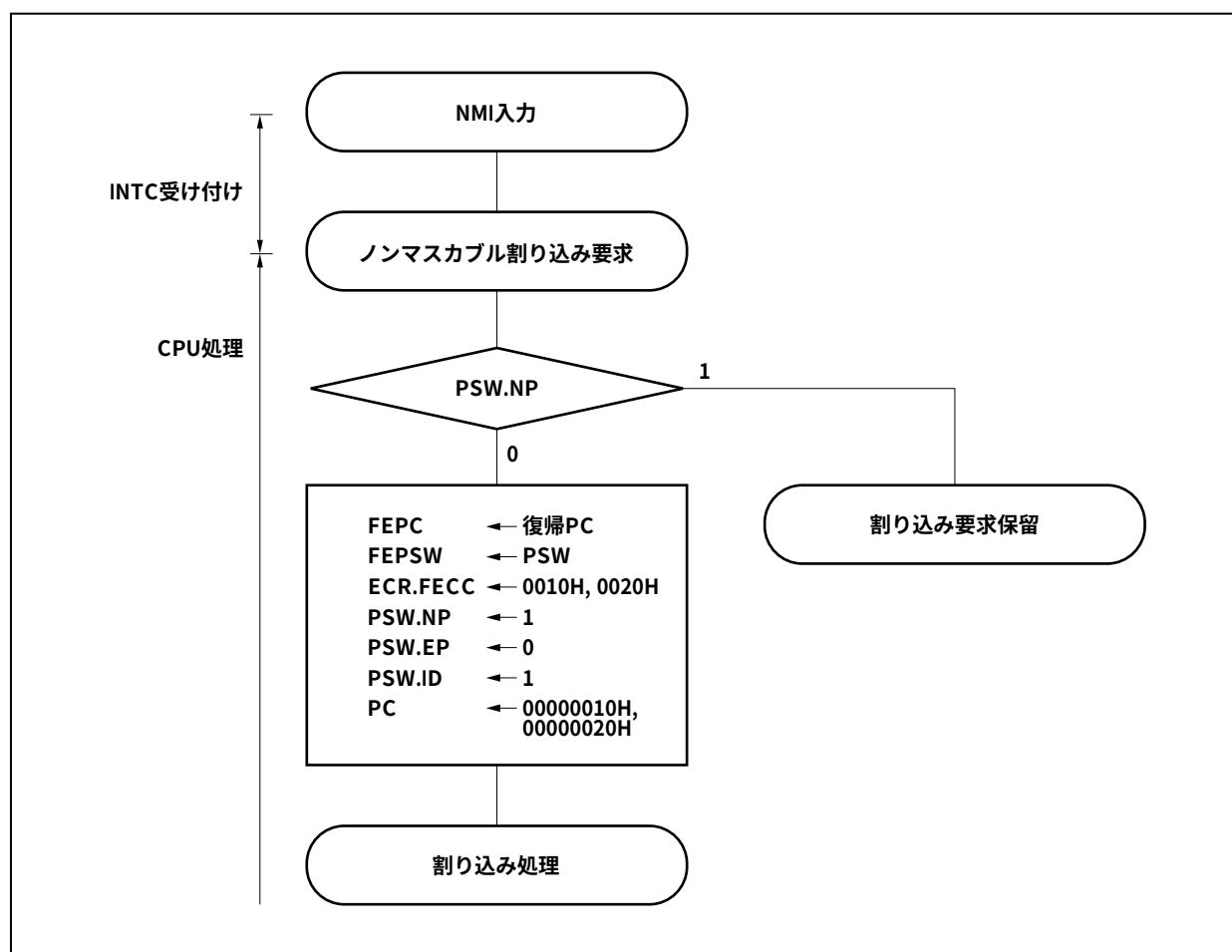
19.2.1 動作

ノンマスクابل割り込み要求信号が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- ① 復帰PCをFEPCに退避します。
- ② 現在のPSWをFEPSWに退避します。
- ③ ECRの上位ハーフワード (FECC) に例外コード (0010H, 0020H) を書き込みます。
- ④ PSW.NP, IDビットをセット (1) し, PSW.EPビットをクリア (0) します。
- ⑤ PCにノンマスクابل割り込みに対するハンドラ・アドレス (00000010H, 00000020H) をセットし, 制御を移します。

ノンマスクابل割り込みの処理形態を次に示します。

図19-2 ノンマスクابل割り込みの処理形態



19.2.2 復 帰

(1) NMI端子入力の場合

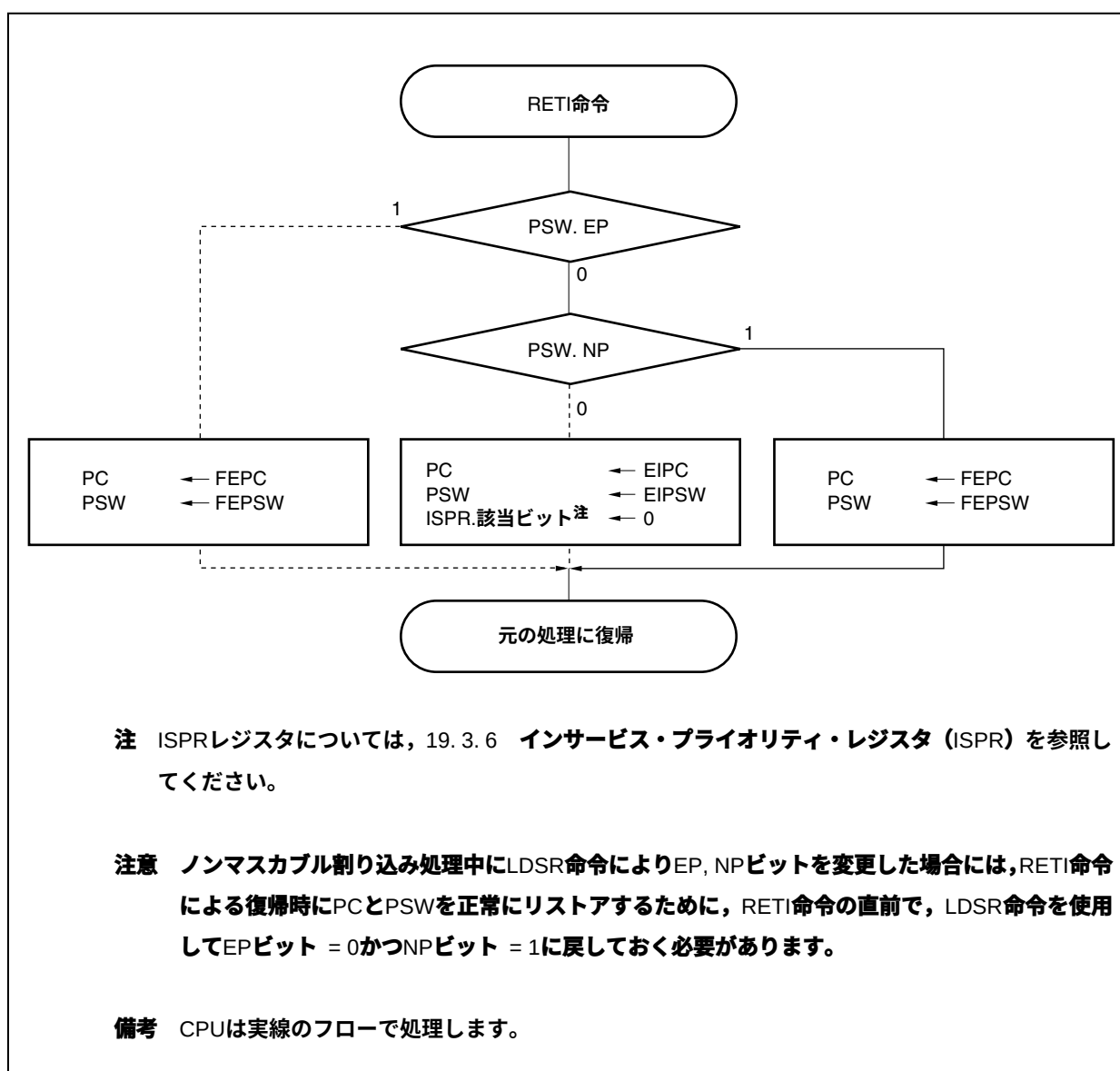
NMI処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへの制御を移します。

- ① PSW.EPビットが0かつPSW.NPビットが1なので、FEPC, FEPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図19-3 RETI命令の処理形態

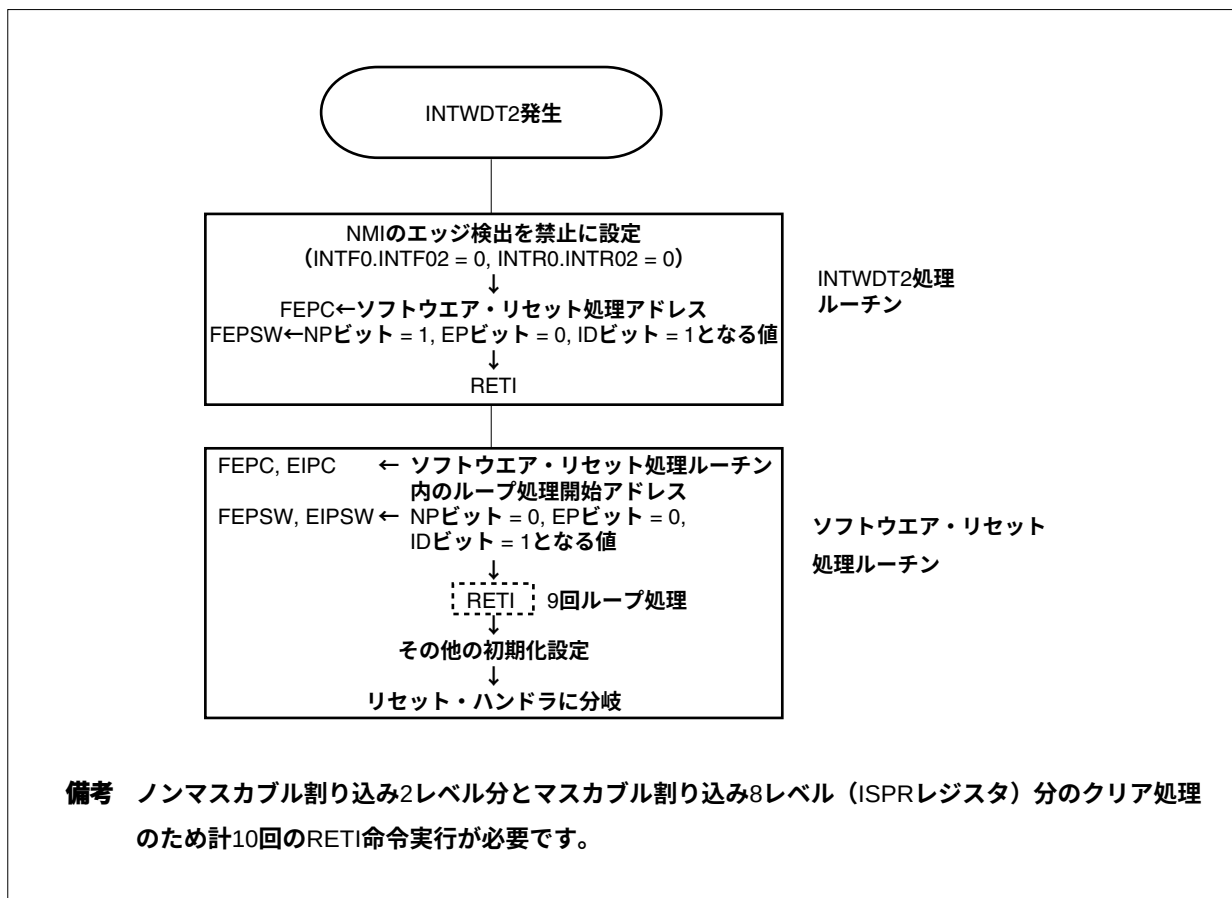


(2) INTWDT2信号の場合

ノンマスカブル割り込み要求 (INTWDT2) によるノンマスカブル割り込み処理実行後に、RETI命令による復帰はできません。次に示すソフトウェア・リセット処理を実行し、割り込み処理を初期化した後に、リセット・ハンドラに分岐してください。

ただし、ソフトウェア・リセット処理では、リセット解除後に一度しか設定できないレジスタ (WDTM2 など) を再設定することはできません。これらのレジスタを初期状態に戻すためには、リセット端子入力などのハードウェア・リセットが必要になります。

図19-4 ソフトウェア・リセット処理



19. 2. 3 NPフラグ

NPフラグは、ノンマスカブル割り込みの処理中であることを示すステータス・フラグです。

ノンマスカブル割り込み要求信号を受け付けるとセットされ、ノンマスカブル割り込み要求をマスクして多重割り込みを禁止します。

	31																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																				
--	----	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

19.3 マスカブル割り込み

マスカブル割り込み要求信号は、割り込み制御レジスタにより、割り込み受け付けをマスクできる割り込み要求信号です。V850ES/JC3-L, V850ES/JE3-Lには47/51/56種類のマスカブル割り込み要因があります。

割り込み要求信号が受け付けられると割り込み禁止 (DI) 状態になり、以後のマスカブル割り込み要求信号の受け付けを禁止します。

割り込み処理ルーチン内でEI命令を実行すると割り込み許可 (EI) 状態となり、受け付け中の割り込み要求信号の優先順位レベル (割り込み制御レジスタで指定) よりも高い優先順位の割り込み要求信号の受け付けを許可します。同一レベル同士のネスティングはできません。

多重割り込みについては、19.7 多重割り込み処理制御を参照してください。

19.3.1 動作

マスカブル割り込み要求が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンに制御を移します。

- ① 復帰PCをEIPCに退避します。
- ② 現在のPSWをEIPSWに退避します。
- ③ ECRの下位ハーフワード (EICC) に例外コードを書き込みます。
- ④ PSW.IDビットをセット (1) し、PSW.EPビットをクリア (0) します。
- ⑤ PCに各割り込みに対するハンドラ・アドレスをセットし、制御を移します。

なお、割り込みコントローラ (INTC) でマスクされている (xxMKビット = 1) マスカブル割り込み要求信号と、ほかの割り込み処理中 (PSW.NPビット = 1またはIDビット = 1) に発生したマスカブル割り込み要求信号は、INTC内部で保留されます。保留理由とその対処方法を次に示します。

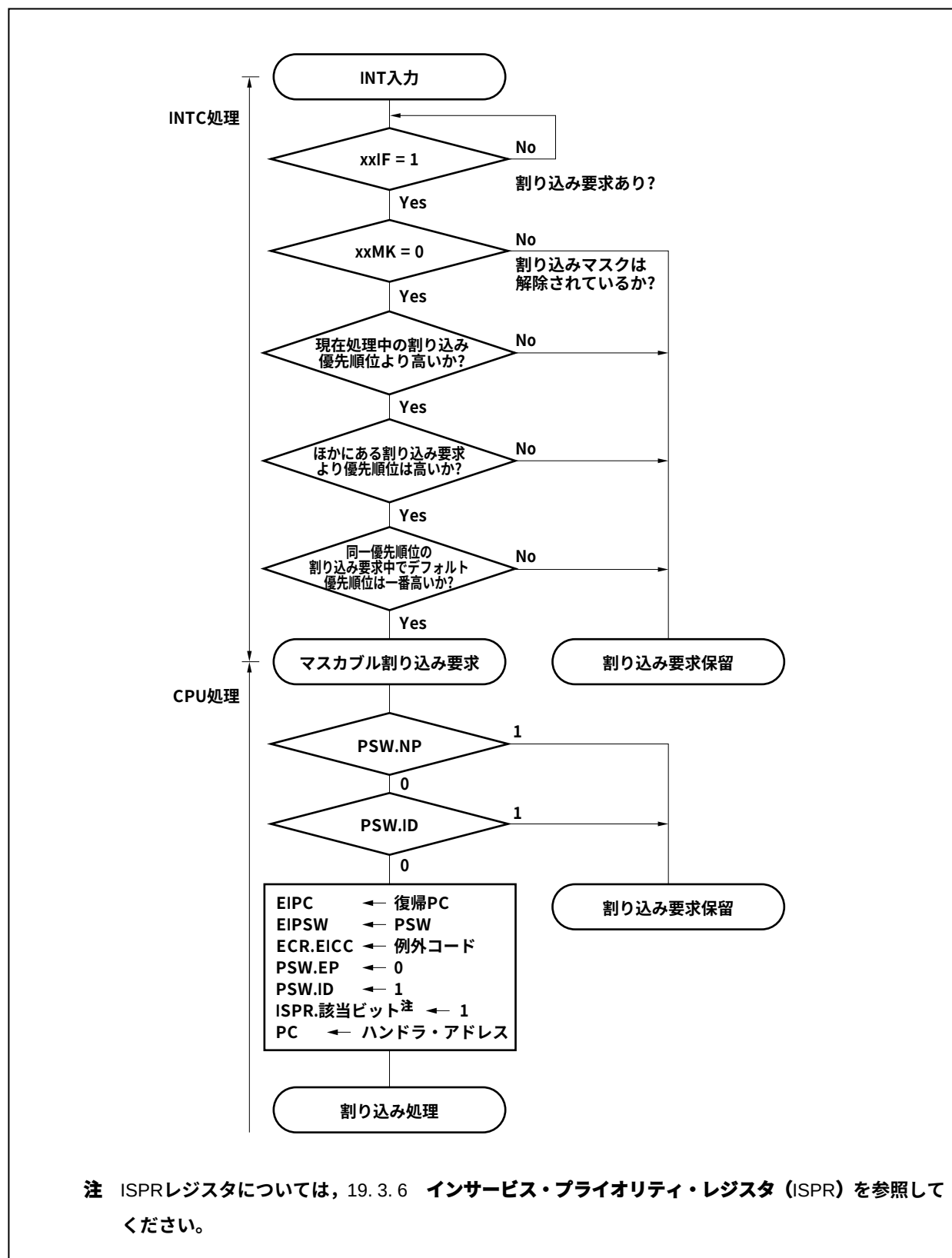
表19-2 マスカブル割り込みの保留

保留理由	対処方法
xxMKビット= 1の場合	マスクを解除 (xxMKビット = 0に設定) してください。
ほかに優先順位の高い割り込みが保留中の場合	優先順位の高い割り込み処理が終わるまで待ちます。
PSW.NPビット= 1, PSW.IDビット = 1の場合	RETI命令, LDSR命令を使用しNPビット = 0かつIDビット = 0に設定してください。

備考 xxMKビットについては19.3.4 割り込み制御レジスタ (xxICn) を参照してください。

マスカブル割り込みの処理形態を次に示します。

図19-5 マスカブル割り込みの処理形態



19.3.2 復 帰

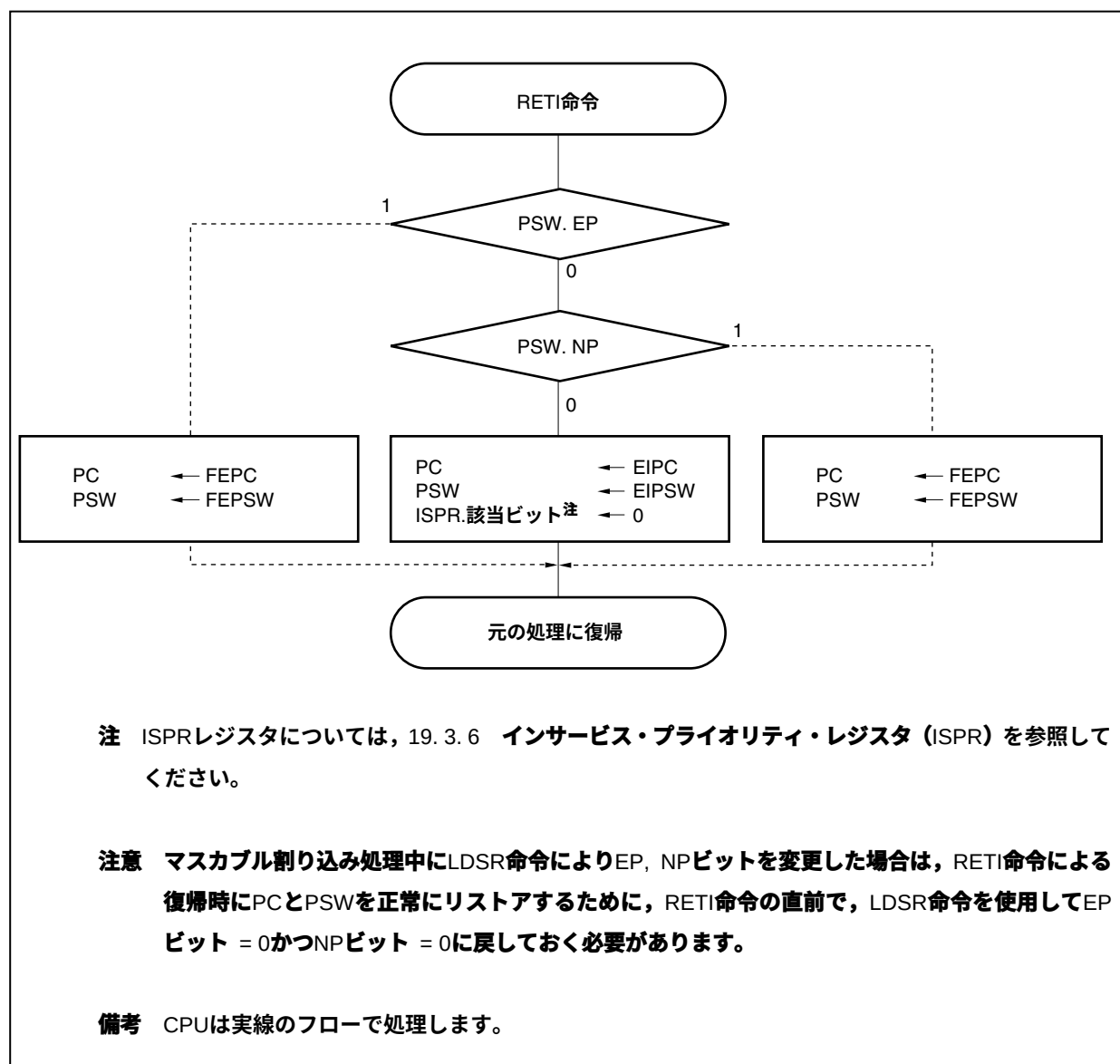
マスクابل割り込み処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- ① PSW.EPビットが0かつPSW.NPビットが0なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PCのアドレス, PSWの状態に制御を移します。

RETI命令の処理形態を次に示します。

図19-6 RETI命令の処理形態



19. 3. 3 マスカブル割り込みの優先順位

INTCは、割り込み処理中にさらに別の割り込みを受け付ける多重割り込みの処理を行います。多重割り込みは、優先順位によって制御できます。

優先順位制御には、割り込み優先順位指定ビット (xxICn.xxPRnビット) によるプログラマブル優先順位制御と、デフォルト優先順位による制御があります。プログラマブル優先順位制御は、各割り込み要求を優先順位指定フラグの設定によって8レベルに分けます。xxPRnビットによる複数の同一優先順位レベルの割り込みが同時に発生している場合、各割り込み要求にあらかじめ割り付けてある優先順位 (デフォルト優先順位) に従って割り込みを処理します (表19-1 割り込み要因一覧参照)。

なお、割り込み要求信号を受け付けるとPSW.IDフラグが自動的にセット (1) されるので、多重割り込みを使用する場合は、割り込み処理プログラム中でEI命令を実行するなどしてIDフラグをクリア (0) し、割り込み許可状態にしてください。

多重割り込みについては、19. 7 多重割り込み制御を参照してください。

備考 xx : 各周辺ユニット識別名称 (表19-3 割り込み制御レジスタ (xxICn) 参照)

n : 周辺ユニット番号 (表19-3 割り込み制御レジスタ (xxICn) 参照)

図19-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (1/2)

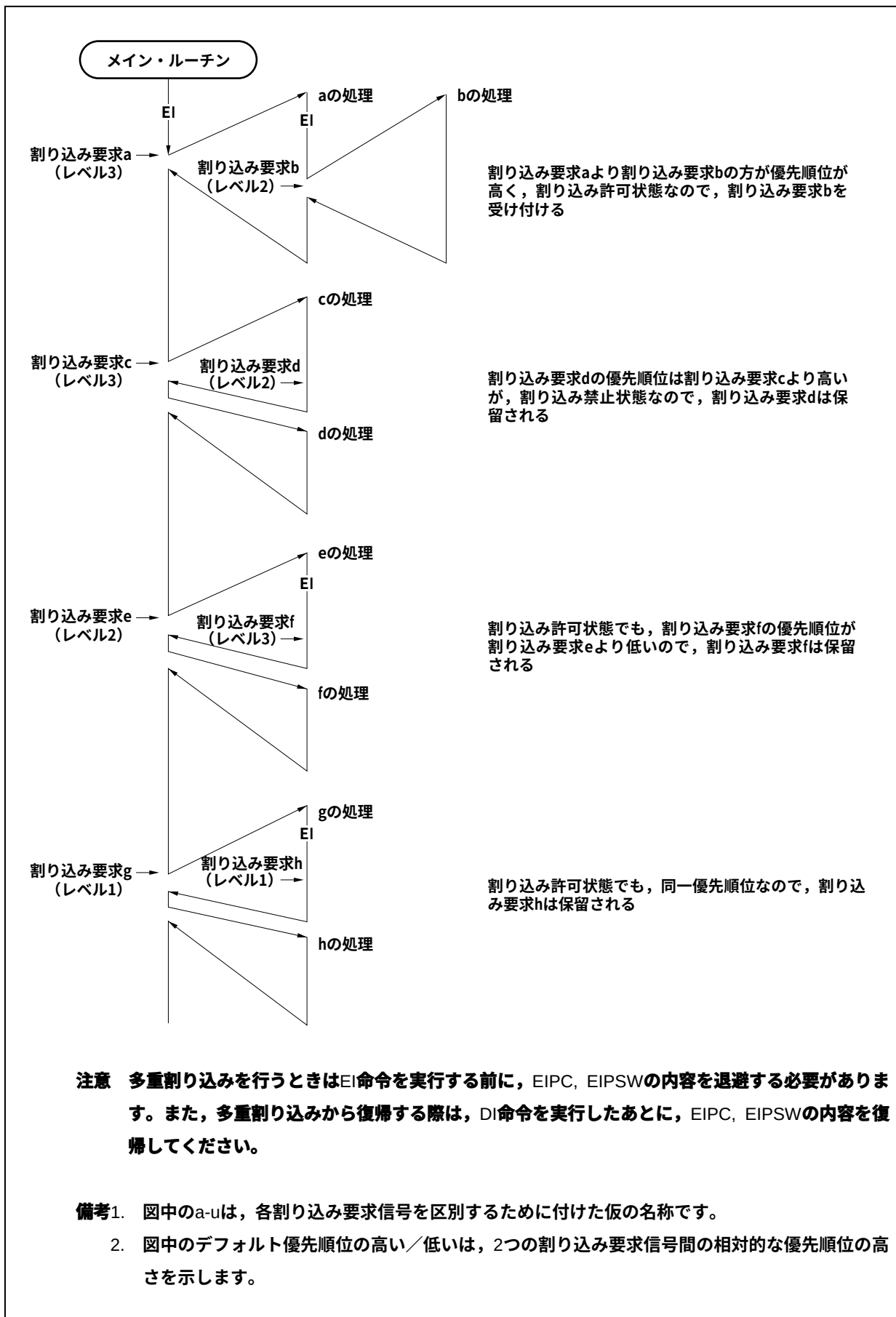


図19-7 割り込み処理中にほかの割り込み要求信号が発生した場合の処理例 (2/2)

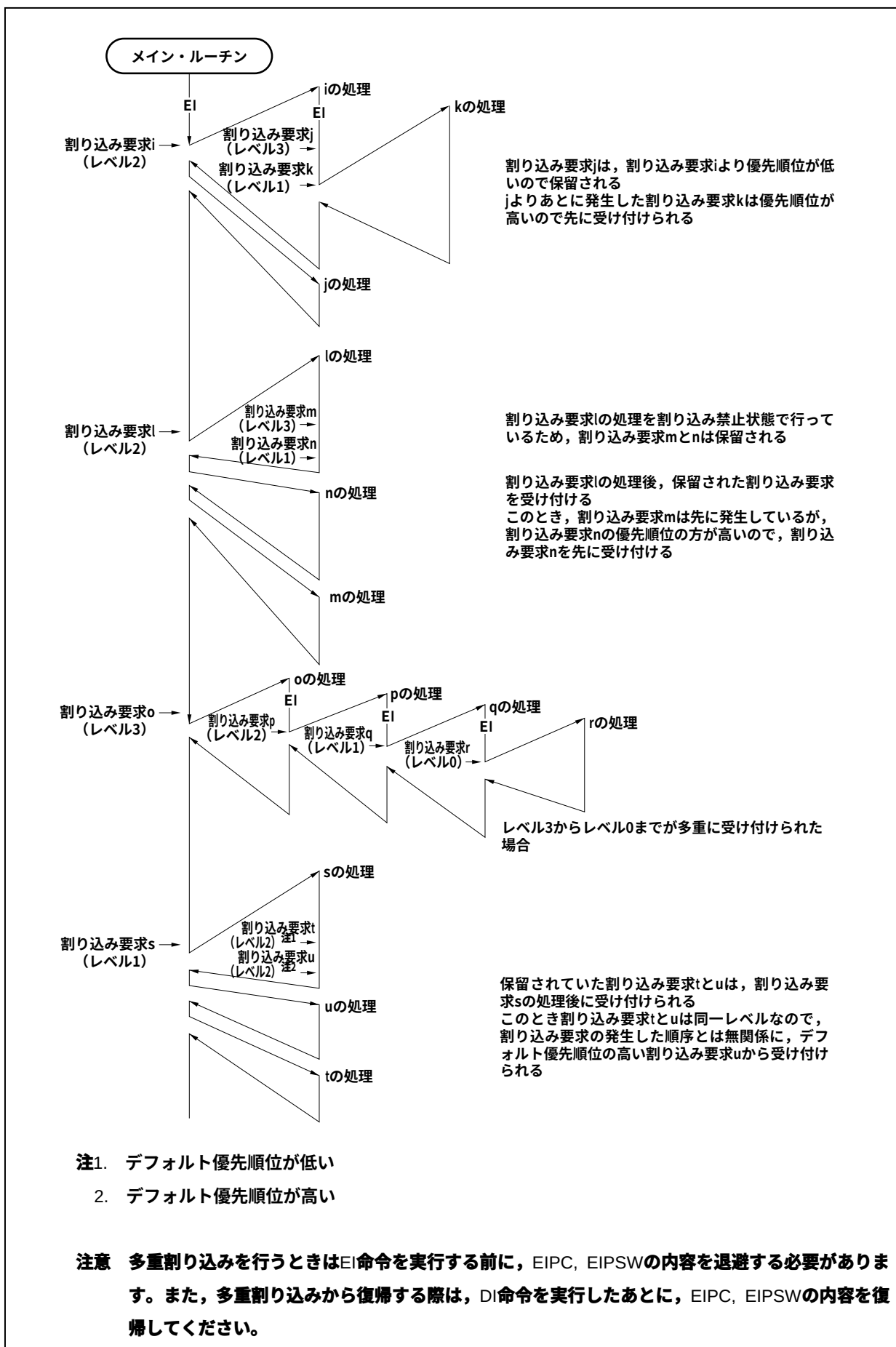
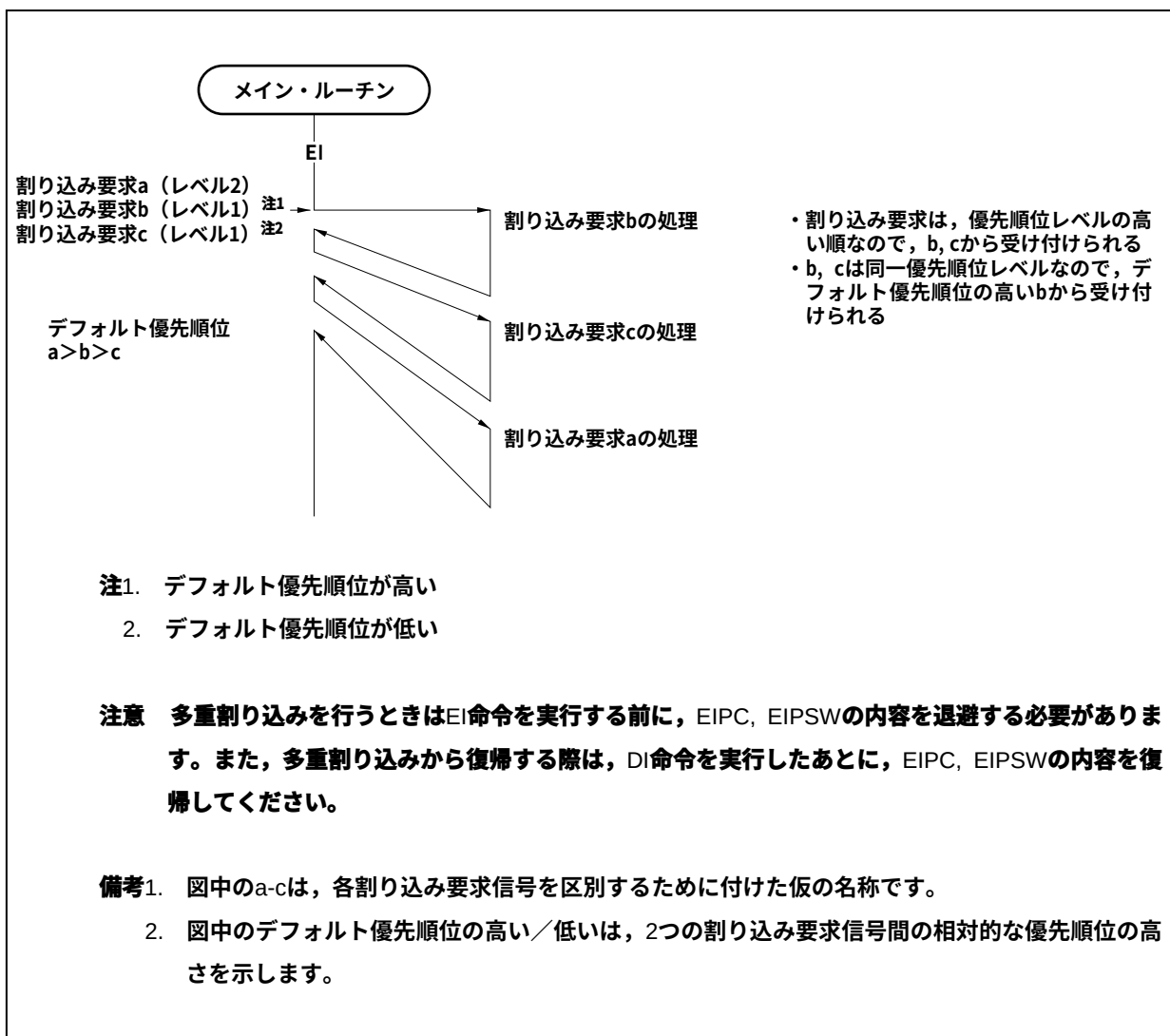


図19-8 同時発生した割り込み要求信号の処理例



19.3.4 割り込み制御レジスタ (xxICn)

割り込み要求信号 (マスカブル割り込み) ごとに割り当てられ、各割り込みに対する制御条件を設定します。

8/1ビット単位でリード／ライト可能です。

リセットにより47Hになります。

注意1. 割り込みマスクする場合は、IMRレジスタで設定するか、ビット操作命令で処理してください。優先順位の設定は、割り込みが発生しないタイミングで設定してください。

2. xxICn.xxIFnビットを読み出す場合は、割り込み禁止 (DI) 状態で行ってください。割り込み許可 (EI) 状態でxxIFnビットを読み出すと、割り込みの受け付けとビットの読み出しのタイミングが競合した場合に、正常な値が読み出せないことがあります。

リセット時：47H R/W アドレス：FFFFFF110H-FFFFFF17CH

	⑦	⑥	5	4	3	2	1	0
xxICn	xxIFn	xxMKn	0	0	0	xxPRn2	xxPRn1	xxPRn0

xxIFn	割り込み要求フラグ ^注
0	割り込み要求信号なし
1	割り込み要求信号あり

xxMKn	割り込みマスク・フラグ
0	割り込み処理を許可
1	割り込み処理を禁止 (保留)

xxPRn2	xxPRn1	xxPRn0	割り込み優先順位指定ビット
0	0	0	レベル0 (最高位) を指定
0	0	1	レベル1を指定
0	1	0	レベル2を指定
0	1	1	レベル3を指定
1	0	0	レベル4を指定
1	0	1	レベル5を指定
1	1	0	レベル6を指定
1	1	1	レベル7 (最低位) を指定

注 割り込み要求信号が受け付けられるとハードウェアにより自動的にリセットされます。

備考 xx：各周辺ユニット識別名称 (表19-3 割り込み制御レジスタ (xxICn) 参照)

n：周辺ユニット番号 (表19-3 割り込み制御レジスタ (xxICn) 参照)

各割り込み制御レジスタのアドレスとビットを次に示します。

表19-3 割り込み制御レジスタ (xxICn) (1/2)

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF110H	LVIIC	LVIIF	LVIMK	0	0	0	LVIPR2	LVIPR1	LVIPR0
FFFFF112H	PIC0	PIF0	PMK0	0	0	0	PPR02	PPR01	PPR00
FFFFF114H	PIC1 ^{※1}	PIF1	PMK1	0	0	0	PPR12	PPR11	PPR10
FFFFF116H	PIC2	PIF2	PMK2	0	0	0	PPR22	PPR21	PPR20
FFFFF118H	PIC3 ^{※1}	PIF3	PMK3	0	0	0	PPR32	PPR31	PPR30
FFFFF11AH	PIC4 ^{※1}	PIF4	PMK4	0	0	0	PPR42	PPR41	PPR40
FFFFF11CH	PIC5	PIF5	PMK5	0	0	0	PPR52	PPR51	PPR50
FFFFF11EH	PIC6	PIF6	PMK6	0	0	0	PPR62	PPR61	PPR60
FFFFF120H	PIC7	PIF7	PMK7	0	0	0	PPR72	PPR71	PPR70
FFFFF122H	TQ0OVIC	TQ0OVIF	TQ0OVMK	0	0	0	TQ0OVPR2	TQ0OVPR1	TQ0OVPR0
FFFFF124H	TQ0CCIC0	TQ0CCIF0	TQ0CCMK0	0	0	0	TQ0CCPR02	TQ0CCPR01	TQ0CCPR00
FFFFF126H	TQ0CCIC1	TQ0CCIF1	TQ0CCMK1	0	0	0	TQ0CCPR12	TQ0CCPR11	TQ0CCPR10
FFFFF128H	TQ0CCIC2	TQ0CCIF2	TQ0CCMK2	0	0	0	TQ0CCPR22	TQ0CCPR21	TQ0CCPR20
FFFFF12AH	TQ0CCIC3	TQ0CCIF3	TQ0CCMK3	0	0	0	TQ0CCPR32	TQ0CCPR31	TQ0CCPR30
FFFFF12CH	TP0OVIC	TP0OVIF	TP0OVMK	0	0	0	TP0OVPR2	TP0OVPR1	TP0OVPR0
FFFFF12EH	TP0CCIC0	TP0CCIF0	TP0CCMK0	0	0	0	TP0CCPR02	TP0CCPR01	TP0CCPR00
FFFFF130H	TP0CCIC1	TP0CCIF1	TP0CCMK1	0	0	0	TP0CCPR12	TP0CCPR11	TP0CCPR10
FFFFF132H	TP1OVIC	TP1OVIF	TP1OVMK	0	0	0	TP1OVPR2	TP1OVPR1	TP1OVPR0
FFFFF134H	TP1CCIC0	TP1CCIF0	TP1CCMK0	0	0	0	TP1CCPR02	TP1CCPR01	TP1CCPR00
FFFFF136H	TP1CCIC1	TP1CCIF1	TP1CCMK1	0	0	0	TP1CCPR12	TP1CCPR11	TP1CCPR10
FFFFF138H	TP2OVIC	TP2OVIF	TP2OVMK	0	0	0	TP2OVPR2	TP2OVPR1	TP2OVPR0
FFFFF13AH	TP2CCIC0	TP2CCIF0	TP2CCMK0	0	0	0	TP2CCPR02	TP2CCPR01	TP2CCPR00
FFFFF13CH	TP2CCIC1	TP2CCIF1	TP2CCMK1	0	0	0	TP2CCPR12	TP2CCPR11	TP2CCPR10
FFFFF13EH	TP3OVIC	TP3OVIF	TP3OVMK	0	0	0	TP3OVPR2	TP3OVPR1	TP3OVPR0
FFFFF140H	TP3CCIC0	TP3CCIF0	TP3CCMK0	0	0	0	TP3CCPR02	TP3CCPR01	TP3CCPR00
FFFFF142H	TP3CCIC1	TP3CCIF1	TP3CCMK1	0	0	0	TP3CCPR12	TP3CCPR11	TP3CCPR10
FFFFF144H	TP4OVIC	TP4OVIF	TP4OVMK	0	0	0	TP4OVPR2	TP4OVPR1	TP4OVPR0
FFFFF146H	TP4CCIC0	TP4CCIF0	TP4CCMK0	0	0	0	TP4CCPR02	TP4CCPR01	TP4CCPR00
FFFFF148H	TP4CCIC1	TP4CCIF1	TP4CCMK1	0	0	0	TP4CCPR12	TP4CCPR11	TP4CCPR10
FFFFF14AH	TP5OVIC	TP5OVIF	TP5OVMK	0	0	0	TP5OVPR2	TP5OVPR1	TP5OVPR0
FFFFF14CH	TP5CCIC0	TP5CCIF0	TP5CCMK0	0	0	0	TP5CCPR02	TP5CCPR01	TP5CCPR00
FFFFF14EH	TP5CCIC1	TP5CCIF1	TP5CCMK1	0	0	0	TP5CCPR12	TP5CCPR11	TP5CCPR10
FFFFF150H	TM0EQIC0	TM0EQIF0	TM0EQMK0	0	0	0	TM0EQPR02	TM0EQPR01	TM0EQPR00
FFFFF152H	CB0RIC/ IICIC1	CB0RIF/ IICIF1	CB0RMK/ IICMK1	0	0	0	CB0RPR2/II CPR12	CB0RPR1/I ICPR11	CB0RPR0/I ICPR10
FFFFF154H	CB0TIC	CB0TIF	CB0TMK	0	0	0	CB0TPR2	CB0TPR1	CB0TPR0
FFFFF156H	CB1RIC ^{※2}	CB1RIF	CB1RMK	0	0	0	CB1RPR2	CB1RPR1	CB1RPR0

注1. V850ES/JE3-Lのみ

2. V850ES/JC3-L (48ピン) , V850ES/JE3-Lのみ

表19-3 割り込み制御レジスタ (xxICn) (2/2)

アドレス	レジスタ	ビット							
		⑦	⑥	5	4	3	2	1	0
FFFFF158H	CB1TIC ^{注1}	CB1TIF	CB1TMK	0	0	0	CB1TPR2	CB1TPR1	CB1TPR0
FFFFF15AH	CB2RIC	CB2RIF	CB2RMK	0	0	0	CB2RPR2	CB2RPR1	CB2RPR0
FFFFF15CH	CB2TIC	CB2TIF	CB2TMK	0	0	0	CB2TPR2	CB2TPR1	CB2TPR0
FFFFF15EH	CB3RIC ^{注2}	CB3RIF	CB3RMK	0	0	0	CB3RPR2	CB3RPR1	CB3RPR0
FFFFF160H	CB3TIC ^{注2}	CB3TIF	CB3TMK	0	0	0	CB3TPR2	CB3TPR1	CB3TPR0
FFFFF162H	UA0RIC/ CB4RIC ^{注1}	UA0RIF/ CB4RIF	UA0RMK/C B4RMK	0	0	0	UA0RPR2/ CB4RPR2	UA0RPR1/ CB4RPR1	UA0RPR0/ CB4RPR0
FFFFF164H	UA0TIC/ CB4TIC ^{注1}	UA0TIF/ CB4TIF	UA0TMK/ CB4TMK	0	0	0	UA0TPR2/ CB4TPR2	UA0TPR1/ CB4TPR1	UA0TPR0/ CB4TPR0
FFFFF166H	UA1RIC/ IICIC2	UA1RIF/ IICIF2	UA1RMK/ IICMK2	0	0	0	UA1RPR2/ IICPR22	UA1RPR1/ IICPR21	UA1RPR0/ IICPR20
FFFFF168H	UA1TIC	UA1TIF	UA1TMK	0	0	0	UA1TPR2	UA1TPR1	UA1TPR0
FFFFF16AH	UA2RIC ^{注1} / IICIC0 ^{注1}	UA2RIF/ IICIF0	UA2RMK/ IICMK0	0	0	0	UA2RPR2/ IICPR02	UA2RPR1/ IICPR01	UA2RPR0/ IICPR00
FFFFF16CH	UA2TIC ^{注1}	UA2TIF	UA2TMK	0	0	0	UA2TPR2	UA2TPR1	UA2TPR0
FFFFF16EH	ADIC	ADIF	ADMK	0	0	0	ADPR2	ADPR1	ADPR0
FFFFF170H	DMAIC0	DMAIF0	DMAMK0	0	0	0	DMAPR02	DMAPR01	DMAPR00
FFFFF172H	DMAIC1	DMAIF1	DMAMK1	0	0	0	DMAPR12	DMAPR11	DMAPR10
FFFFF174H	DMAIC2	DMAIF2	DMAMK2	0	0	0	DMAPR22	DMAPR21	DMAPR20
FFFFF176H	DMAIC3	DMAIF3	DMAMK3	0	0	0	DMAPR32	DMAPR31	DMAPR30
FFFFF178H	KRIC	KRIF	KRMK	0	0	0	KRPR2	KRPR1	KRPR0
FFFFF17AH	WTIIC/ RTC2IC	WTIIF/ RTC2IF	WTIMK/ RTC2MK	0	0	0	WTIPR2/ RTC2PPR2	WTIPR1/ RTC2PPR1	WTIPR0/ RTC2PPR0
FFFFF17CH	WTIC/ RTC0IC	WTIF/ RTC0IF	WTMK/ RTC0MK	0	0	0	WTPR2/ RTC0PPR2	WTPR1/ RTC0PPR1	WTPR0/ RTC0PPR0
FFFFF17EH	RTC1IC	RTC1IF	RTC1MK	0	0	0	RTC1PPR2	RTC1PPR1	RTC1PPR0

注1. V850ES/JC3-L (48ピン) , V850ES/JE3-Lのみ

2. V850ES/JE3-Lのみ

19. 3. 5 割り込みマスク・レジスタ0-3 (IMR0-IMR3)

マスクابل割り込みに対する割り込みマスク状態を設定します。IMR0-IMR3レジスタのxxMKnビットとxxICn.xxMKnビットは、それぞれ連結しています。

IMRmレジスタは、16ビット単位でリード／ライト可能です (m = 0-3)。

IMRmレジスタの上位8ビットをIMRmHレジスタ, 下位8ビットをIMRmLレジスタとして使用する場合は、8/1ビット単位でリード／ライト可能です (m = 0-3)。

リセットによりFFFFHになります。

注意 デバイス・ファイルでは、xxICn.xxMKnビットを予約語として定義しています。したがって、xxMKnビットの名称でビット操作を行うと、IMRmレジスタではなくxxICnレジスタを書き換えます（結果としてIMRmレジスタも書き換わります）。

リセット時：FFFFH R/W アドレス：IMR3 FFFFF106H,
IMR3L FFFFF106H, IMR3H FFFFF107H

	15	14	13	12	11	10	9	8
IMR3 (IMR3H ^{注1})	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
IMR3L	RTC1MK	WTMK/ RTC0MK	WTMK/ RTC2MK	KRMK	DMAMK3	DMAMK2	DMAMK1	DMAMK0

リセット時：FFFFH R/W アドレス：IMR2 FFFFF104H,
IMR2L FFFFF104H, IMR2H FFFFF105H

	15	14	13	12	11	10	9	8
IMR2 (IMR2H ^{注1})	ADMK	UA2TMK ^{注2}	UA2RMK ^{注2} / IICMK0 ^{注2}	UA1TMK	UA1RMK/ IICMK2	UA0TMK/ CB4TMK ^{注2}	UA0RMK/ CB4RMK ^{注2}	CB3TMK ^{注3}
	7	6	5	4	3	2	1	0
IMR2L	CB3RMK ^{注3}	CB2TMK	CB2RMK	CB1TMK ^{注2}	CB1RMK ^{注2}	CB0TMK	CB0RMK/ IICMK1	TM0EQMK0

リセット時：FFFFH R/W アドレス：IMR1 FFFFF102H,
IMR1L FFFFF102H, IMR1H FFFFF103H

	15	14	13	12	11	10	9	8
IMR1 (IMR1H ^注)	TP5CCMK1	TP5CCMK0	TP5OVMK	TP4CCMK1	TP4CCMK0	TP4OVMK	TP3CCMK1/ UA5TMK	TP3CCMK0
	7	6	5	4	3	2	1	0
IMR1L	TP3OVMK/ UA5RMK	TP2CCMK1	TP2CCMK0	TP2OVMK	TP1CCMK1/ UFMK0	TP1CCMK0	TP1OVMK/ UFMK1	TP0CCMK1

リセット時：FFFFH R/W アドレス：IMR0 FFFFF100H,
IMR0L FFFFF100H, IMR0H FFFFF101H

	15	14	13	12	11	10	9	8
IMR0 (IMR0H ^注)	TP0CCMK0	TP0OVMK	TQ0CCMK3	TQ0CCMK2	TQ0CCMK1	TQ0CCMK0	TQ0OVMK	PMK7
	7	6	5	4	3	2	1	0
IMR0L	PMK6	PMK5	PMK4 ^{注3}	PMK3 ^{注3}	PMK2	PMK1 ^{注3}	PMK0	LVIMK

xxMKn	割り込みマスク・フラグの設定
0	割り込み処理を許可
1	割り込み処理を禁止

- 注1.** IMR0-IMR3レジスタのビット8-15を8/1ビット単位でリード／ライトする場合は、IMR0H-IMR3Hレジスタのビット0-7として指定してください。
- 2.** V850ES/JE3-Lのみ。V850ES/LC3-Lでは必ず1を設定してください。
- 3.** V850ES/JE3-L, V850ES/JC3-L (48ピン) のみ。V850ES/JC3-L (40ピン) では必ず1を設定してください。

注意 IMR3レジスタのビット8-15には1を設定してください。変更した場合の動作は保証できません。

備考 xx：各周辺ユニット識別名称（表19-3 割り込み制御レジスタ（xxICn）参照）
n：周辺ユニット番号（表19-3 割り込み制御レジスタ（xxICn）参照）

19. 3. 6 インサース・プライオリティ・レジスタ (ISPR)

受け付け中のマスカブル割り込みの優先順位レベルを保持します。割り込み要求信号が受け付けられると、その割り込み要求信号の優先順位レベルに対応するビットがセット (1) され、サービス中保持されます。

RETI命令の実行時、ISPRレジスタ内でセット (1) されているビットのうち、最も優先順位の高い割り込み要求信号に対応するビットがハードウェアにより自動的にリセット (0) されます。ただし、ノンマスカブルの割り込み処理や例外処理からの復帰の場合はリセット (0) されません。

8/1ビット単位でリードのみ可能です。

リセットにより00Hになります。

注意 割り込み許可 (EI) 状態において、ISPRレジスタをリード中に割り込みを受け付けた場合、その割り込み受け付けによるビットがセット (1) されたあとのISPRレジスタ値がリードされることがあります。割り込み受け付け前のISPRレジスタの値を確実にリードしたい場合は、割り込み禁止 (DI) 状態でリードしてください。

リセット時：00H R アドレス：FFFFF1FAH

	⑦	⑥	⑤	④	③	②	①	①
ISPR	ISPR7	ISPR6	ISPR5	ISPR4	ISPR3	ISPR2	ISPR1	ISPR0

ISPRn	受け付け中の割り込みの優先順位
0	優先順位nの割り込み要求信号を受け付けていない
1	優先順位nの割り込み要求信号を受け付け中

備考 n：0-7 (優先順位のレベル)

19.3.7 IDフラグ

マスカブル割り込みの動作状態を制御し、割り込み要求信号受け付けの許可／禁止制御情報を記憶します。

割り込み禁止フラグ (ID) は、PSWに割り付けられています。

リセットにより、IDフラグは1にPSWレジスタは00000020Hになります。

リセット時：00000020H

	31								8	7	6	5	4	3	2	1	0
PSW	0									NP	EP	ID	SAT	CY	OV	S	Z

ID	マスカブル割り込み処理の指定 ^注
0	マスカブル割り込み要求信号の受け付けを許可
1	マスカブル割り込み要求信号の受け付けを禁止

注 割り込み禁止フラグ (ID) の機能

DI命令でセット(1)，EI命令でクリア(0)されます。また，RETI命令およびPSWへのLDSR命令により値が書き換えられます。

ノンマスカブル割り込み要求信号および例外は、このフラグの状態に関係なく受け付けられます。

また、マスカブル割り込み要求信号を受け付けると、IDフラグはハードウェアで自動的にセット (1) されます。

受け付け禁止期間中 (IDフラグ = 1) に発生した割り込み要求信号は、xxICn.xxIFnビットがセット (1) され、IDフラグがクリア (0) されると受け付けられます。

19.3.8 ウォッチドッグ・タイマ・モード・レジスタ² (WDTM2)

8ビット単位でリード／ライト可能です（詳細は第11章 ウォッチドッグ・タイマ²機能参照）。

リセットにより67Hになります。

リセット時：67H R/W アドレス：FFFFFF6D0H

	7	6	5	4	3	2	1	0
WDTM2	0	WDM21	WDM20	0	0	0	0	0

WDM21	WDM20	ウォッチドッグ・タイマの動作モードの選択
0	0	動作停止
0	1	ノンマスカブル割り込み要求モード
1	×	リセット・モード（初期値）

19.4 ソフトウェア例外

ソフトウェア例外は、CPUのTRAP命令の実行により発生する例外で、常に受け付け可能です。

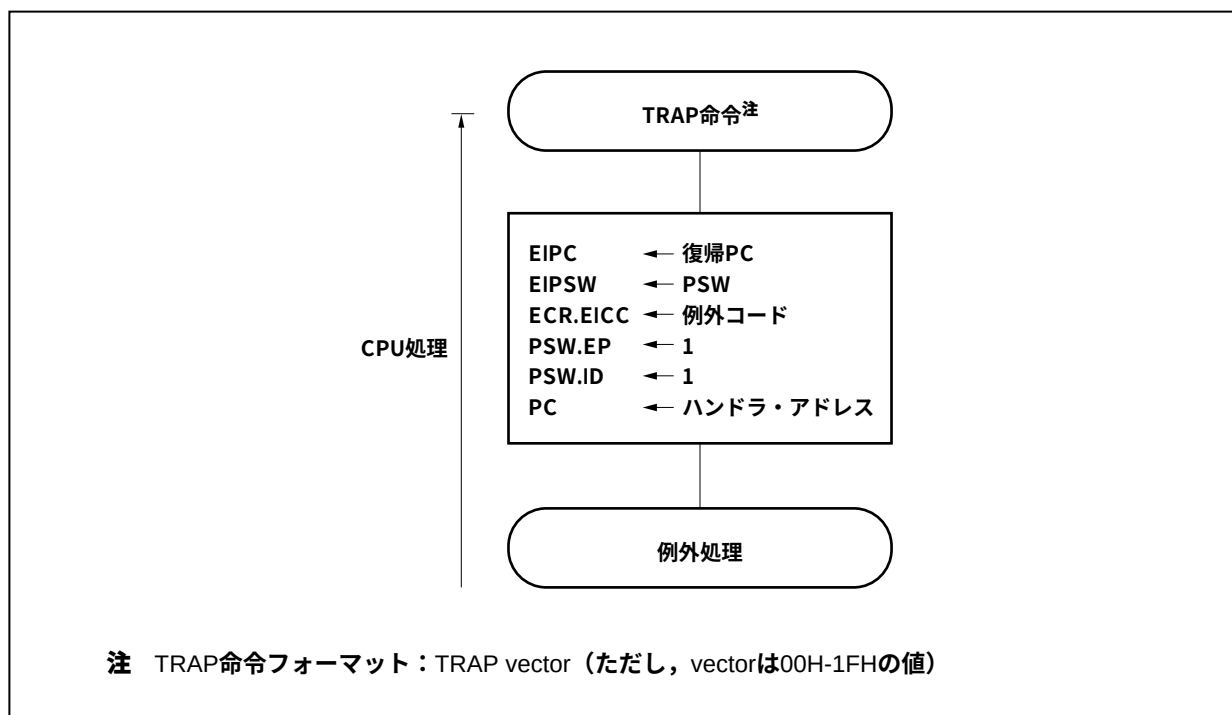
19.4.1 動作

ソフトウェア例外が発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- ① 復帰PCをEIPCに退避します。
- ② 現在のPSWをEIPSWに退避します。
- ③ ECR（割り込み要因）の下位16ビット（EICC）に例外コードを書き込みます。
- ④ PSW.EP, IDビットをセット（1）します。
- ⑤ PCにソフトウェア例外に対するハンドラ・アドレス（00000040Hまたは00000050H）をセットし、制御を移します。

ソフトウェア例外の処理形態次に示します。

図19-9 ソフトウェア例外の処理形態



ハンドラ・アドレスは、TRAP命令のオペランド（vector）によって決まります。vectorが00H-0FHの場合は00000040Hとなり、10H-1FHの場合は00000050Hとなります。

19.4.2 復 帰

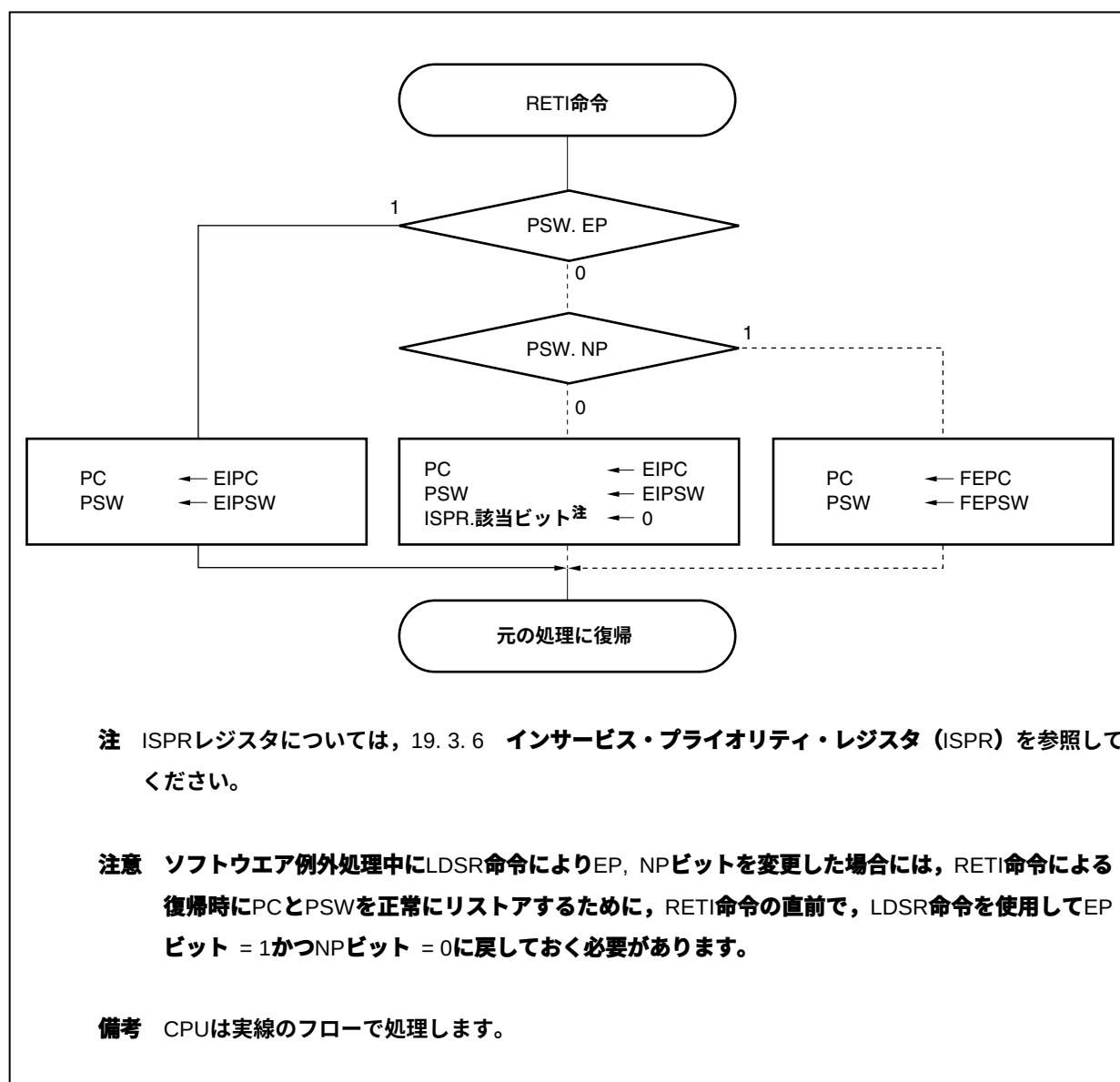
ソフトウェア例外処理からの復帰は、RETI命令により行います。

RETI命令の実行により、CPUは次の処理を行い復帰PCのアドレスへ制御を移します。

- ① PSW.EPビットは1なので、EIPC, EIPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PCのアドレス、PSWの状態に制御を移します。

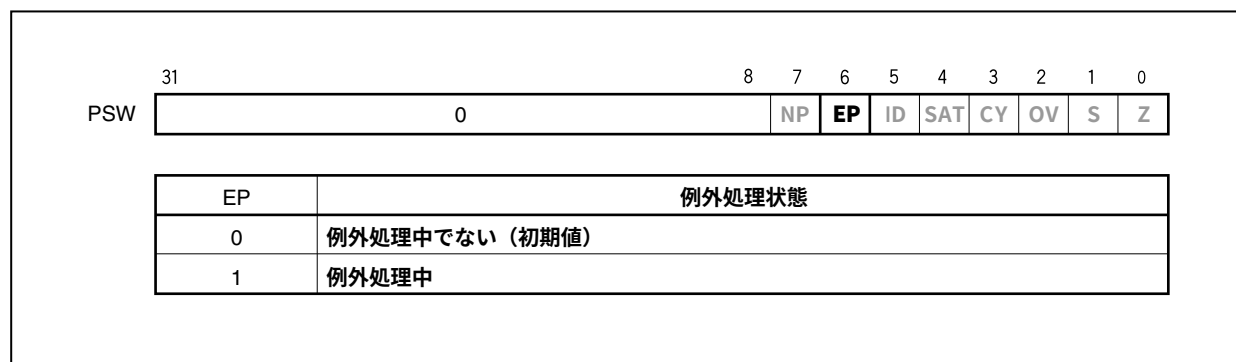
RETI命令の処理形態を次に示します。

図19-10 RETI命令の処理形態



19.4.3 EPフラグ

EPフラグは例外処理中であることを示すステータス・フラグです。例外の発生でセットされます。

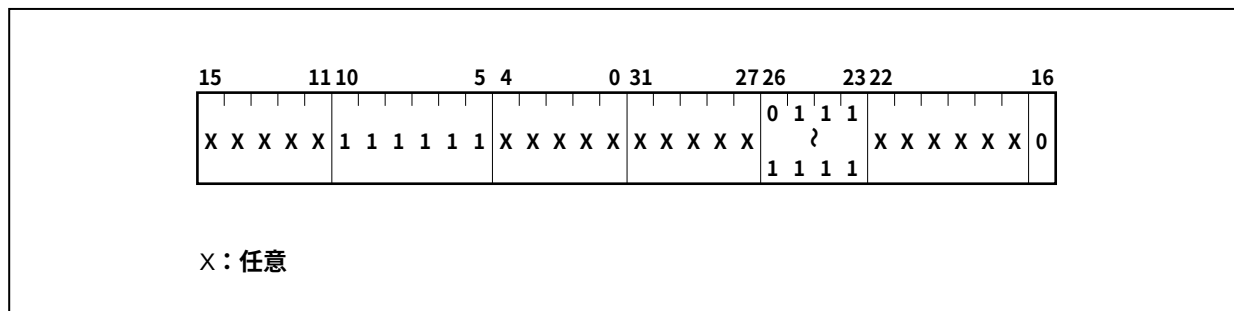


19.5 例外トラップ

例外トラップは、命令の不正実行が発生した場合に要求される割り込みです。V850ES/JC3-L, V850ES/JE3-L
では、不正命令コード・トラップ (ILGOP: Illegal Opcode Trap) が例外トラップに当たります。

19.5.1 不正命令コード

不正命令は、命令のオペコード（ビット10-5）が1111111Bで、サブオペコード（ビット26-23）が01111B-11111B、サブオペコード（ビット16）が0Bであるものです。この不正命令に当てはまる命令を実行したときに、例外トラップが発生します。



注意 不正命令コードには、将来、新規に命令を割り当てる可能性があるため、使用禁止です。

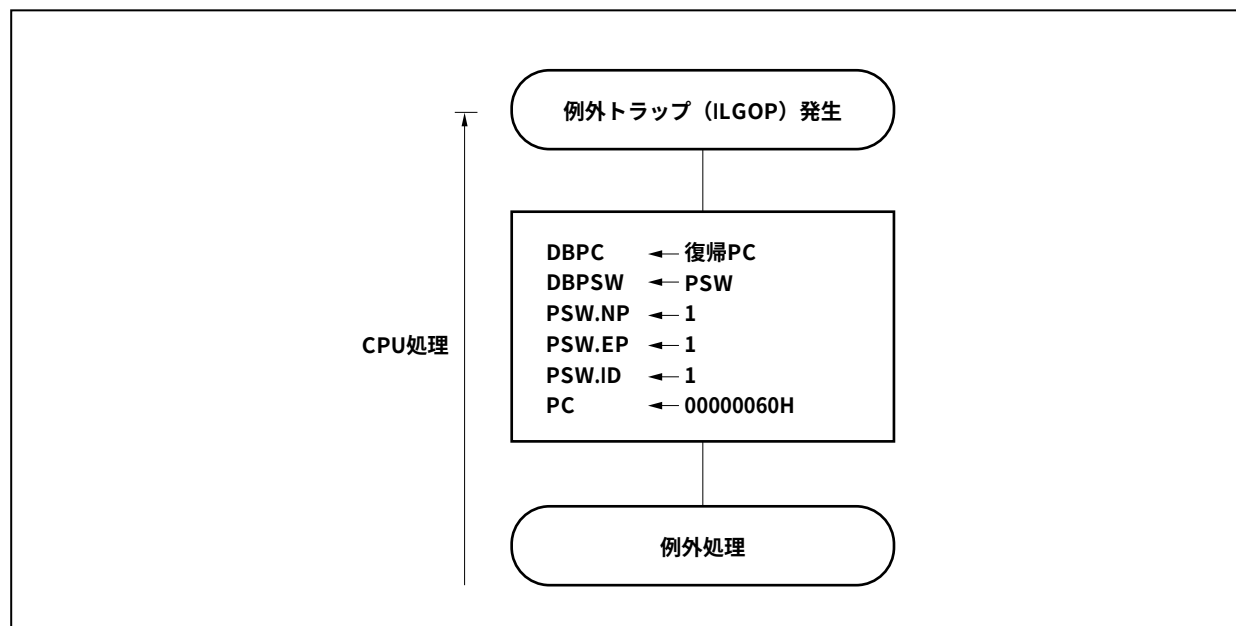
(1) 動作

例外トラップが発生した場合、CPUは次の処理を行い、ハンドラ・ルーチンへ制御を移します。

- ① 復帰PCをDBPCに退避します。
- ② 現在のPSWをDBPSWに退避します。
- ③ PSW.NP, EP, IDビットをセット（1）します。
- ④ PCに例外トラップに対するハンドラ・アドレス（00000060H）をセットし、制御を移します。

例外トラップの処理形態を次に示します。

図19-11 例外トラップの処理形態



(2) 復 帰

例外トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

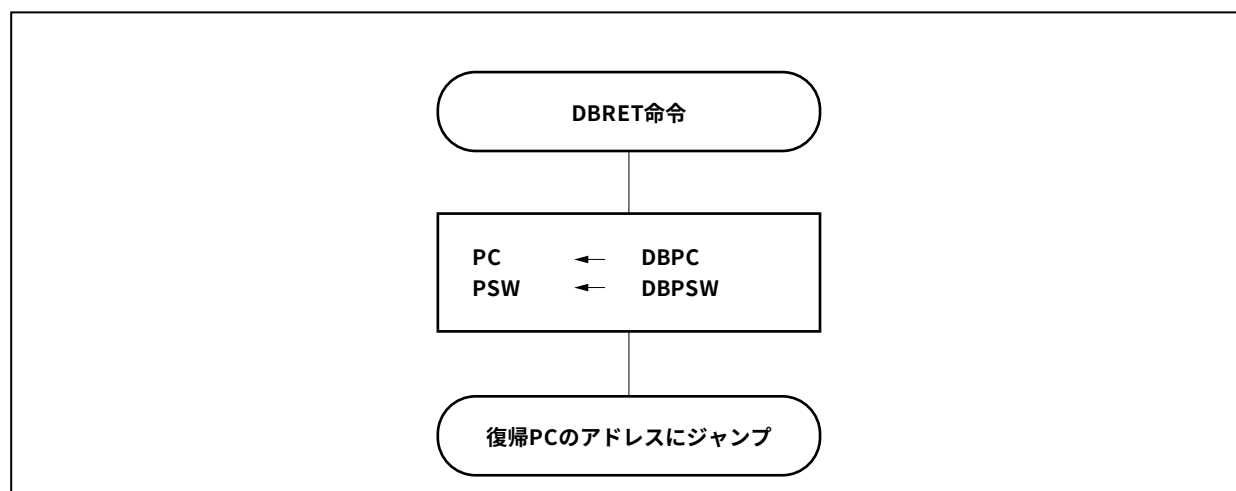
- ① DBPC, DBPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意1. DBPCとDBPSWには、不正命令コードを実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

2. 不正命令コードを実行した場合、初期設定を実行するか、それ以降の処理を中断してください。

例外トラップからの復帰の処理形態を次に示します。

図19-12 例外トラップからの復帰の処理形態



19. 5. 2 デバッグ・トラップ

デバッグ・トラップは、DBTRAP命令の実行により発生する常時受け付けが可能な例外です。

(1) 動作

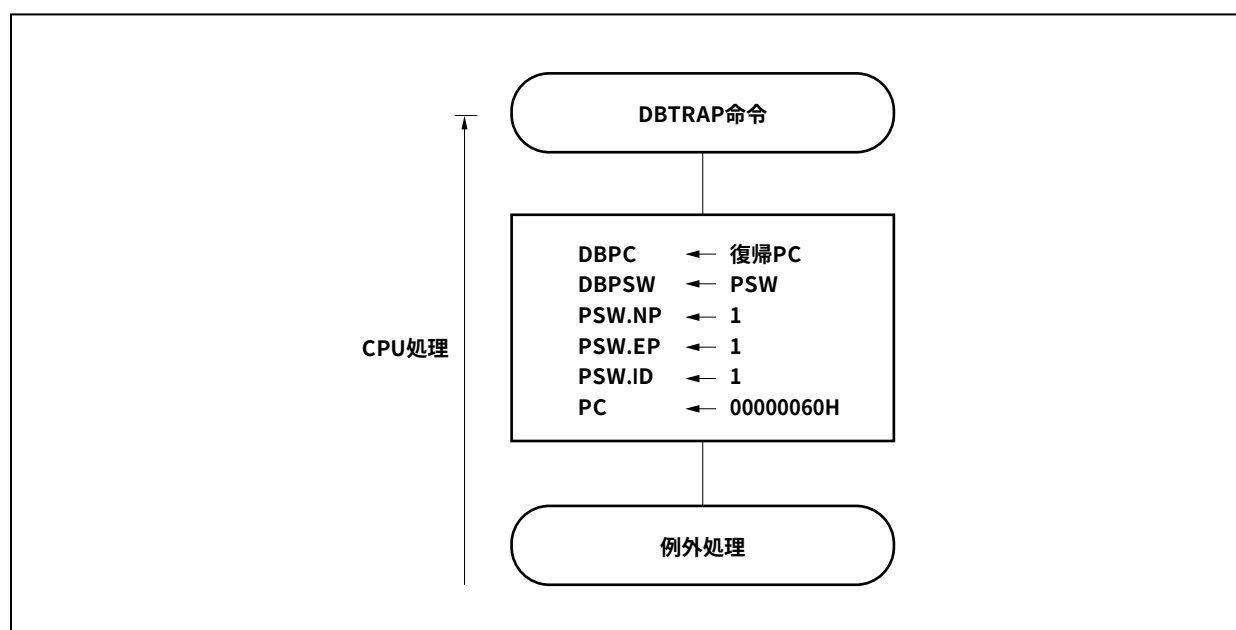
デバッグ・トラップが発生した場合、CPUは次の処理を行います。

- ① 復帰PCをDBPCに退避します。
- ② 現在のPSWをDBPSWに退避します。
- ③ PSW.NP, EP, IDビットをセット（1）します。
- ④ PCにデバッグ・トラップに対するハンドラ・アドレス（00000060H）をセットし、制御を移します。

注意 DBTRAP命令はデバッグを目的とした命令のため、基本的にデバッグ・ツールが使用しています。このためデバッグ・ツールが使用しているときに、アプリケーションが使用すると誤動作する場合があります。

デバッグ・トラップの処理形態を次に示します。

図19-13 デバッグ・トラップの処理形態



(2) 復 帰

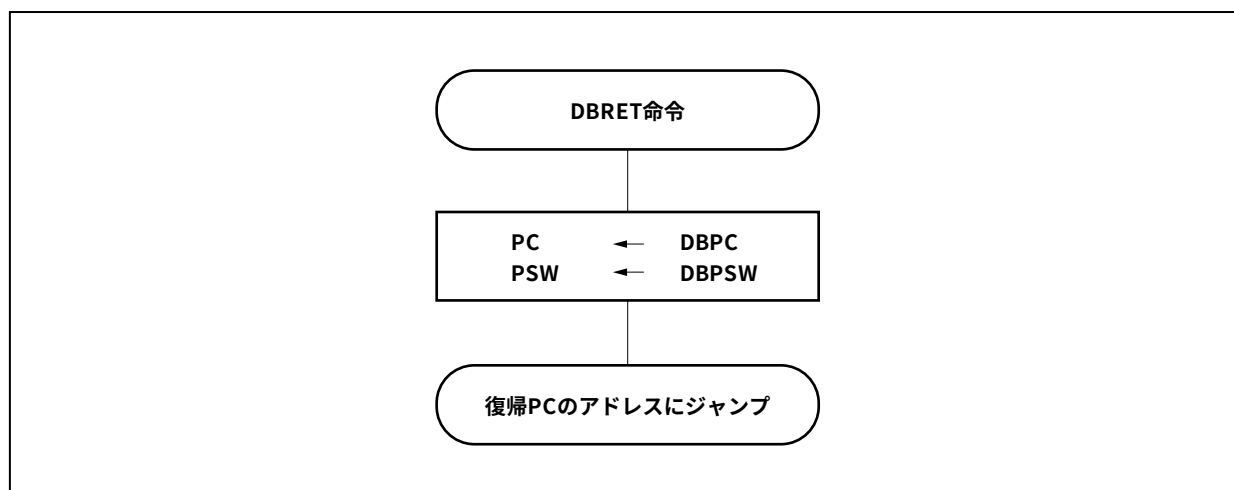
デバッグ・トラップからの復帰は、DBRET命令により行われます。DBRET命令の実行により、CPUは次の処理を行い復帰PCのアドレスを制御します。

- ① DBPC, DBPSWから復帰PC, PSWを取り出します。
- ② 取り出した復帰PC, PSWのアドレスに制御を移します。

注意 DBPCとDBPSWには、DBTRAP命令を実行してからDBRET命令を実行するまでの期間だけアクセス可能です。

デバッグ・トラップからの復帰の処理形態を次に示します。

図19-14 デバッグ・トラップからの復帰の処理形態



19. 6 多重割り込み処理制御

多重割り込み処理制御は、現在処理中の割り込みより優先順位レベルの高い割り込み要求信号があった場合、現在処理中の割り込みを中断して、優先順位の高い割り込み要求信号の受け付け処理を行う機能です。

現在処理中の割り込みの優先順位レベル以下の割り込み要求信号だった場合は、その割り込み要求信号は保留されます。

マスカブル割り込みの多重割り込み処理制御は、割り込み許可状態 (PSW.IDビット = 0) のときに行われます。したがって、多重割り込みを行う場合は割り込み処理ルーチンでも割り込み許可状態 (IDビット = 0) にする必要があります。

マスカブル割り込みまたはソフトウェア例外のサービス・プログラム中に、マスカブル割り込みの許可またはソフトウェア例外を発生させる場合は、EIPC, EIPSWを退避する必要があります。

次のような手順で行います。

(1) サービス・プログラム中にマスカブル割り込み要求信号を受け付ける場合

マスカブル割り込みまたは例外のサービス・プログラム

```
...  
...  
• EIPCをメモリまたはレジスタへ退避  
• EIPSWをメモリまたはレジスタへ退避  
• EI命令 (割り込み受け付け許可)  
...  
...  
...  
...  
• DI命令 (割り込み受け付け禁止)  
• 退避していた値をEIPSWに復帰  
• 退避していた値をEIPCに復帰  
• RETI命令
```

←マスカブル割り込み受け付け

19. 7 外部割り込み要求入力端子 (NMI, INTP0-INTP7)

19. 7. 1 ノイズ除去

(1) NMI端子のノイズ除去

NMI端子はアナログ・ディレイ (数10 ns) によるノイズ除去回路を内蔵しています。したがって、NMI端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

なお、NMI端子はSTOPモードの解除に使用します。STOPモードでは、内部システム・クロックは停止しているため、システム・クロックを使用したノイズ除去を行っていません。

(2) INTP0-INTP7端子のノイズ除去

INTP0-INTP7端子はアナログ・ディレイ (数10 ns) によるノイズ除去回路を内蔵しています。したがって、各端子への入力レベルを一定時間以上維持しなければ、エッジとして検出できません。また、エッジの検出は一定時間後になります。

(3) INTP3端子のノイズ除去

INTP3端子はデジタル／アナログ・ノイズ除去回路を内蔵しており、NFC.NFENビットにより選択できます (アナログ・ディレイ時間は数10 nsです)。

サンプリング・クロックは、NFC.NFC2-NFC0ビットにより $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{XT} の中から選択できます。なお、サンプリング・クロックを $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$ に設定した場合、IDLE/STOPモード時にサンプリング・クロックが停止するので、スタンバイ解除要因として使用できません。この場合、サンプリング・クロックを f_{XT} とするか、またはアナログ・ノイズ除去回路を選択することで、スタンバイ解除要因として使用できます。

19. 7. 2 エッジ検出

NMI, INTP0-INTP7端子の有効エッジは、端子ごとに次の4種類から選択できます。

- ・立ち上がりエッジ
- ・立ち下がりエッジ
- ・両エッジ
- ・エッジ検出なし

注意 NMI端子はP02と兼用しており、リセット後は通常ポートとして機能します。NMI端子を使用する場合には、PMC0レジスタでNMI端子を有効にしてください。また、NMI端子の初期設定は“エッジ検出なし”になっていますので、INTF0, INTR0レジスタで有効エッジを選択してください。

(1) 外部割り込み立ち下がり、立ち上がりエッジ指定レジスタ₀ (INTF0, INTR0)

ビット2でNMI端子、ビット3-6で外部割り込み端子 (INTP0-INTP3) の立ち下がり、立ち上がりエッジ検出を指定する8ビットのレジスタです。

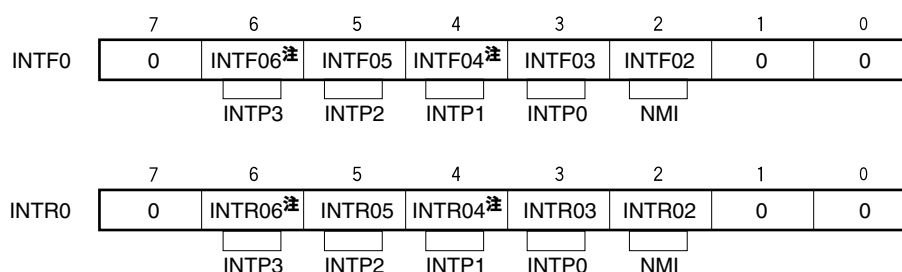
8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF0_n, INTR0_nビット = 00の状態 で外部割り込み機能に設定 (PMC0.PMC0_nビット = 1) してください。

また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF0_n, INTR0_nビット = 00に設定したあとにポート・モードに設定 (PMC0.PMC0_nビット = 0) してください。

リセット時：00H R/W アドレス：INTF0 FFFFFFFC00H, INTR0 FFFFFFFC20H



注 V850ES/JE3-Lのみ。V850ES/JC3-Lでは、必ず0を設定してください。

備考 有効エッジの指定については表19-4を参照してください。

表19-4 有効エッジの指定

INTF0 _n	INTR0 _n	有効エッジの指定 (n = 2-6)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 NMI, INTP0-INTP3端子として使用しない場合、必ずINTF0_n, INTR0_nビット = 00に設定してください。

備考 n = 2 : NMI端子の制御

n = 3-6 : INTP0-INTP3端子の制御

(2) 外部割り込み立ち下がり、立ち上がりエッジ指定レジスタ³ (INTF3, INTR3)

外部割り込み端子 (INTP7) の立ち下がり、立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意1. ポート機能から、外部割り込み機能（兼用機能）に切り替える際、エッジ検出を行う可能性があるため、INTF31, INTR31ビット = 00の状態では外部割り込み機能に設定 (PMC3.PMC31ビット = 1) してください。

また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF31, INTR31ビット = 00に設定したあとにポート・モードに設定 (PMC3.PMC31ビット = 0) してください。

2. INTP7端子とRXDA0端子は兼用となっています。RXDA0端子として使用する場合は兼用しているINTP7端子のエッジ検出を無効にしてください (INTF3.INTF31ビット = 0, INTR3.INTR31ビット = 0に設定)。またINTP7端子として使用する場合はUARTA0を受信動作停止としてください (UA0CTL0.UA0RXEビット = 0)。

リセット時：00H R/W アドレス：INTF3 FFFFFFFC06H, INTR3 FFFFFFFC26H

	7	6	5	4	3	2	1	0
INTF3	0	0	0	0	0	0	INTF31	0
							INTP7	
	7	6	5	4	3	2	1	0
INTR3	0	0	0	0	0	0	INTR31	0
							INTP7	

備考 有効エッジの指定については表19-5を参照してください。

表19-5 有効エッジの指定

INTF31	INTR31	有効エッジの指定
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP7端子として使用しない場合、必ずINTF31, INTR31ビット = 00に設定してください。

(3) 外部割り込み立ち下がり、立ち上がりエッジ指定レジスタ^{9H} (INTF9H, INTR9H)

外部割り込み端子 (INTP4-INTP6) の立ち下がり、立ち上がりエッジ検出を指定する8ビットのレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 ポート機能から、外部割り込み機能 (兼用機能) に切り替える際、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 00の状態では外部割り込み機能に設定 (PMC9.PMC9nビット = 1) してください。

また、外部割り込み機能からポート機能に切り替える際も、エッジ検出を行う可能性があるため、INTF9n, INTR9nビット = 00に設定したあとにポート・モードに設定 (PMC9.PMC9nビット = 0) してください。

リセット時：00H R/W アドレス：INTF9H FFFFC13H, INTR9H FFFFC33H

	15	14	13	12	11	10	9	8
INTF9H	INTF915	INTF914	INTF913 ^注	0	0	0	0	0
	INTP6	INTP5	INTP4					

	15	14	13	12	11	10	9	8
INTR9H	INTR915	INTR914	INTR913 ^注	0	0	0	0	0
	INTP6	INTP5	INTP4					

注 V850ES/JE3-Lのみ。V850ES/JC3-Lでは、必ず0を設定してください。

備考 有効エッジの指定については表19-6を参照してください。

表19-6 有効エッジの指定

INTF9n	INTR9n	有効エッジの指定 (n = 13-15)
0	0	エッジ検出なし
0	1	立ち上がりエッジ
1	0	立ち下がりエッジ
1	1	両エッジ

注意 INTP4-INTP6端子として使用しない場合、必ずINTF9n, INTR9nビット = 00に設定してください。

備考 n = 13-15：INTP4-INTP6端子の制御

(4) ノイズ除去制御レジスタ (NFC) (V850ES/JE3-Lのみ)

INTP3端子はデジタル・ノイズ除去を選択することが可能で、NFCレジスタにてノイズ除去の設定を選択します。

デジタル・ノイズ除去を選択した場合、デジタル・サンプリングを行うサンプリング・クロックを、 $f_{xx}/64$, $f_{xx}/128$, $f_{xx}/256$, $f_{xx}/512$, $f_{xx}/1024$, f_{xt} の中から選択できます。なおサンプリングの回数は3回です。

デジタル・ノイズ除去を選択した場合でも、サンプリング・クロックに f_{xt} を使用すると、IDLE1/IDLE2/STOPモードの解除にINTP3の割り込み要求信号を使用できます。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。

注意 サンプリング・クロック変更後、デジタル・ノイズ除去回路が初期化されるのに、サンプリング・クロック $\times 3$ クロックの時間がかかります。そのため、サンプリング・クロックを変更してからサンプリング・クロック $\times 3$ クロックの間に、INTP3の有効エッジが入力されると割り込み要求信号が発生する可能性があります。したがって、割り込み機能、DMA機能を使用する場合は、次の点に注意してください。

- ・割り込み機能使用時は、サンプリング・クロック $\times 3$ クロック経過後、割り込み要求フラグ (PIC3.PIF3ビット) をクリアしてから割り込みを許可してください。
- ・DMA機能使用時 (INTP3で起動) は、サンプリング・クロック $\times 3$ クロック経過後、DMAを許可してください。

リセット時：00H R/W アドレス：FFFFF318H

	7	6	5	4	3	2	1	0
NFC	NFEN	0	0	0	0	NFC2	NFC1	NFC0

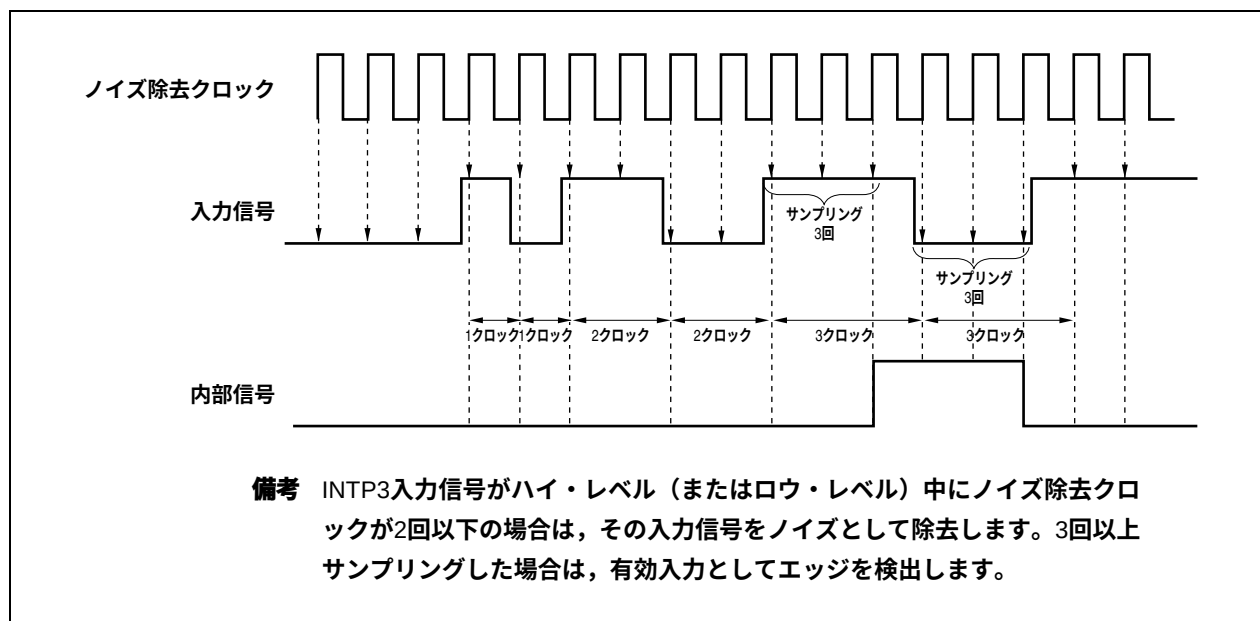
NFEN	INTP3端子のノイズ除去の設定
0	アナログ・ノイズ除去を行う (60 ns (TYP.))
1	デジタル・ノイズ除去を行う

NFC2	NFC1	NFC0	デジタル・サンプリングを行うクロック
0	0	0	$f_{xx}/64$
0	0	1	$f_{xx}/128$
0	1	0	$f_{xx}/256$
0	1	1	$f_{xx}/512$
1	0	0	$f_{xx}/1024$
1	0	1	f_{xt} (サブクロック)
その他			設定禁止

- 備考1.** 3回サンプリングするため、確実に除去するノイズ幅はサンプリング・クロック $\times 2$ となります。
- 2.** サンプリング・クロック $\times 2$ より短いノイズがあっても、サンプリング・クロックに同期したノイズが入力された場合には、割り込み要求信号が発生します。

図19-15にタイマT入力端子のデジタル・フィルタによるノイズ除去のタイミング例を示します。

図19-15 デジタル・ノイズ除去タイミング例



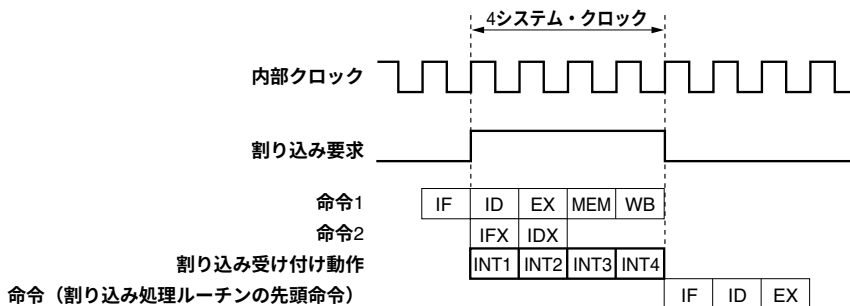
19.8 CPUの割り込み応答時間

次の場合を除き、CPUの割り込み応答時間は、最小4クロックとなります。連続して割り込み要求信号を入力する場合には、最低でも4クロック以上間をあけて次の割り込み要求信号を入力する必要があります。

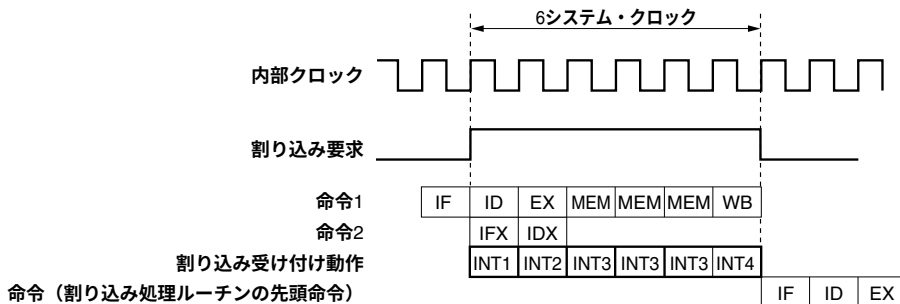
- IDLE1/IDLE2/STOPモード時
- 割り込み要求非サンプル命令（19.9 CPUが割り込みを受け付けない期間参照）が連続しているとき
- 割り込み制御レジスタへのアクセス時

図19-16 割り込み要求信号受け付け時のパイプライン動作例（概略）

(1) 最小割り込み応答時間



(2) 最大割り込み応答時間



備考 INT1-INT4：割り込み受け付け処理

IFX：無効となる命令フェッチ

IDX：無効となる命令デコード

割り込み応答時間（内部システム・クロック）			条 件
	内部割り込み	外部割り込み	
最小	4	4＋アナログ・ディレイ時間	次の場合は除きます。 ・ IDLE1, IDLE2, STOPモード時 ・ 割り込み要求非サンプル命令が連続しているとき ・ 周辺I/Oレジスタへのアクセス時
最大	6	6＋アナログ・ディレイ時間	

19.9 CPUが割り込みを受け付けない期間

CPUの割り込み受け付けは、命令の実行中に行います。ただし、割り込み要求非サンプル命令とその次の命令の間では、割り込みを受け付けません（割り込みは保留されます）。

割り込み要求非サンプル命令は次のとおりです。

- EI命令
- DI命令
- LDSR reg2, 0x5命令（対PSW）
- PRCMDレジスタに対するストア命令
- 次のレジスタに対するストア命令およびSET1, NOT1, CLR1命令
 - 割り込み関連のレジスタ：
 - 割り込み制御レジスタ（xxICn）, 割り込みマスク・レジスタ0-3（IMR0-IMR3）
 - パワー・セーブ・コントロール・レジスタ（PSC）
 - オンチップ・デバッグ・モード・レジスタ（OCDM）

備考1. xx：各周辺ユニット識別名称（表19-2 割り込み制御レジスタ（xxICn）参照）

n：周辺ユニット番号（表19-2 割り込み制御レジスタ（xxICn）参照）

2. 具体的なパイプラインの動きは、V850ES ユーザーズ・マニュアル アーキテクチャ編（U15943J）を参照してください。

19.10 注意事項

19.10.1 復帰PC

割り込み処理起動時に、CPUのEIPC, FEPCまたはDBPCにセーブされるプログラム・カウンタ（PC）のことです。なお、次の命令実行中にノンマスカブル／マスカブル割り込みを受け付けた場合、命令実行を中止し、割り込み処理完了後に再実行されます。

- ロード命令（SLD.B, SLD.BU, SLD.H, SLD.HU, SLD.W）
- 除算命令（DIV, DIVH, DIVU, DIVHU）
- PREPARE, DISPOSE命令（スタック・ポインタの更新前に割り込みが発生した場合のみ）

第20章 キー割り込み機能

20.1 機 能

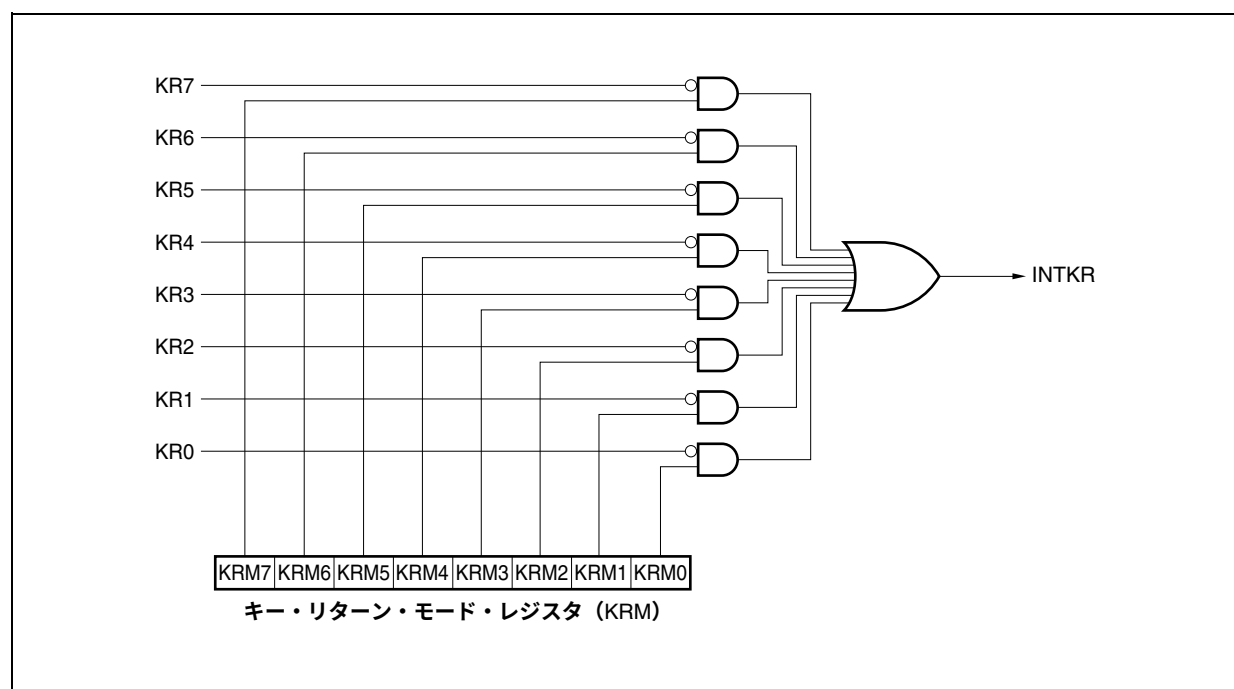
キー・リターン・モード・レジスタ (KRM) の設定により、キー入力端子 (KR0-KR7) に立ち下がりエッジを入力することによって、キー割り込み要求信号 (INTKR) を発生させることができます。

注意 KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子で立ち下がりエッジを入力してもINTKR信号が発生しません。

表20-1 フラグの機能

フラグ	設定される端子	兼用ポート
KRM0	KR0信号	P50
KRM1	KR1信号	P51
KRM2	KR2信号	P52
KRM3	KR3信号	P53
KRM4	KR4信号	P54
KRM5	KR5信号	P55
KRM6	KR6信号	P90
KRM7	KR7信号	P91

図20-1 キー・リターンのブロック図



20.2 端子の構成

キー割り込み機能を構成するキー入力端子は、表20-2のように兼用されています。各端子を使用する場合は、ポート機能の設定をする必要があります（表4-17 キー割り込み端子を兼用機能として使用する場合参照）。

表20-2 端子構成

ピン番号	ポート	キー入力端子	その他の兼用機能
37	P50	KR0	P50/TIQ01/TOQ01/RTP00
38	P51	KR1	P51/TIQ02/TOQ02/RTP01
39	P52	KR2	P52/TIQ03/TOQ03/RTP02/DDI
40	P53	KR3	P53/SIB2/TIQ00/TOQ00/RTP03/DDO
41	P54	KR4	P54/SOB2/RTP04/DCK
42	P55	KR5	P55/SCKB2/RTP05/DMS
61	P90	KR6	P90/TXDA1/SDA02
62	P91	KR7	P91/RXDA1/SCL02

20.3 レジスタ

(1) キー・リターン・モード・レジスタ (KRM)

KRMレジスタは、KRM0-KRM7ビットでそれぞれKR0-KR7信号を制御するレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF300H

	7	6	5	4	3	2	1	0
KRM	KRM7	KRM6	KRM5	KRM4	KRM3	KRM2	KRM1	KRM0

KRMn	キー・リターン・モードの制御
0	キー・リターン信号を検出しない
1	キー・リターン信号を検出する

注意 KRMレジスタを書き換える場合は、一度00Hとしてから書き換えてください。

20.4 注意事項

- (1) KR0-KR7端子のうち1つでもロウ・レベルが入力されていると、別の端子の立ち下がりエッジを入力してもINTKR信号が発生しません。
- (2) RXDA1端子とKR7端子は同時に使用することはできません。RXDA1端子を使用する場合は、KR7端子を使用しないでください。また、KR7端子を使用する場合は、RXDA1端子を使用しないでください（PFC91ビット = 1, PFCE91ビット = 0に設定することを推奨します）。
- (3) KRMレジスタを変更すると、割り込み要求信号（INTKR）が発生する場合があります。したがって、あらかじめ割り込みを禁止（DI）またはマスクしてからKRMレジスタを変更し、割り込み要求フラグ（KRIC.KRIFビット）をクリア（0）してから、割り込みを許可（EI）またはマスク解除してください。
- (4) キー割り込み機能を使用する場合は、必ずポート端子をキー・リターン用端子に設定してからKRMレジスタで動作を許可してください。また、逆にキー・リターン用端子からポート端子に切り替える場合は、KRMレジスタで動作を禁止してからポート端子の設定を行ってください。

第21章 スタンバイ機能

21.1 概 要

スタンバイ機能には、次に示すものがあります。

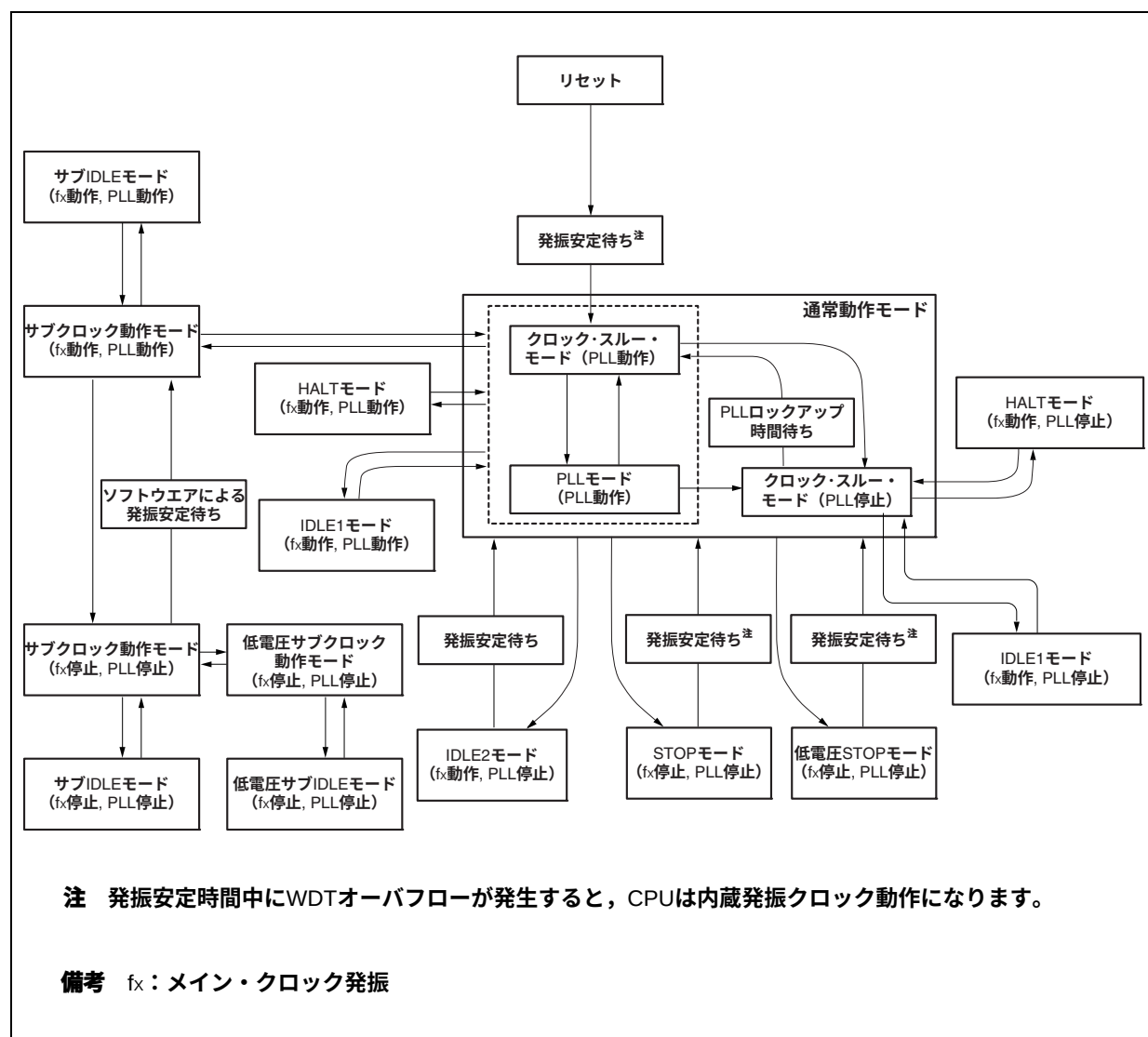
各モードを組み合わせ、用途によって切り替えて使用すると、効果的に低消費電力システムを実現できます。

表21-1 スタンバイ機能のモード一覧

モード	機能概要
HALTモード	CPUの動作クロックを停止させるモードです。通常動作モードとの組み合わせによる間欠動作により、システムのトータル消費電力を低下させることができます。
IDLE1モード	発振回路、PLL動作 [※] 、フラッシュ・メモリ以外の内部回路の動作を停止させるモードです。内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。
IDLE2モード	発振回路以外の内部回路の動作を停止させるモードです。内蔵周辺機能、PLL、フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。
STOPモード	サブクロック発振回路以外の内部回路の動作を停止させるモードです。IDLE2モードよりさらに低消費電力を実現できます。STOPモードと低電圧STOPモードがあります。低電圧STOPモードではレギュレータの電圧を下げるため、さらに低消費電力になります。
サブクロック動作モード	内部システム・クロックをサブクロックで動作させるモードです。通常動作モードよりも消費電力を低減できます。サブクロック動作モードと低電圧サブクロック動作モードがあります。低電圧サブクロック動作モードではレギュレータの電圧を下げるため、さらに低消費電力になります。
サブIDLEモード	サブクロック動作モード時、発振回路、PLL動作 [※] 、フラッシュ・メモリ以外の内部回路の動作をすべて停止させるモードです。サブクロック動作モードよりさらに低消費電力を実現できます。サブIDLEモードと低電圧サブIDLEモードがあります。低電圧サブIDLEモードではレギュレータの電圧を下げるため、さらに低消費電力になります。

注 IDLE1モード、サブIDLEモード時にPLLは、モード遷移直前の動作状態を保持します。PLL動作が不要な場合は、消費電力低減のためにPLLを停止させてください。なお、IDLE2モードの場合、PLLはモード遷移で自動的に停止します。

図21-1 状態遷移図



21.2 レジスタ

(1) パワー・セーブ・コントロール・レジスタ (PSC)

スタンバイ機能を制御する8ビットのレジスタです。STPビットの設定によりスタンバイ・モードを指定します。PSCレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.4.7 特定レジスタ参照)。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF1FEH

	7	⑥	⑤	④	3	2	①	0
PSC	0	NMI1M	NMI0M	INTM	0	0	STP	0

NMI1M	INTWDT2信号発生によるスタンバイ・モード解除制御
0	INTWDT2信号によるスタンバイ・モード解除許可
1	INTWDT2信号によるスタンバイ・モード解除禁止

NMI0M	NMI端子入力によるスタンバイ・モード解除制御
0	NMI端子入力によるスタンバイ・モード解除許可
1	NMI端子入力によるスタンバイ・モード解除禁止

INTM	マスカブル割り込み要求信号によるスタンバイ・モード解除制御
0	マスカブル割り込み要求信号によるスタンバイ・モード解除許可
1	マスカブル割り込み要求信号によるスタンバイ・モード解除禁止

STP	スタンバイ・モード [※] の設定
0	通常動作モード
1	スタンバイ・モード

注 STPビットにおけるスタンバイ・モード：IDLE1, IDLE2, STOP, サブIDLEモード

注意1. スタンバイ・モード (HALTモード含まず) に設定するときは、PSMR.PSM1, PSM0ビットで使用するモードを設定してから、STPビットを設定してください。

2. NMI1M, NMI0M, INTMビットの設定は、HALTモード解除時は無効です。

3. NMI1M, NMI0M, INTMビットと、STPビットを同時にセット (1) した場合、NMI1M, NMI0M, INTMビットの設定は無効になります。したがって、IDLE1/IDLE2/STOPモードに移行する際にマスクされていない保留中の割り込み要求信号がある場合は、その割り込み要求信号に対するビット (NMI1M, NMI0M, INTM) をセット (1) したあとにSTPビットをセット (1) してください。

(2) パワー・セーブ・モード・レジスタ (PSMR)

パワー・セーブ・モードの動作状態やクロックの動作を制御する8ビット・レジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF820H

	7	6	5	4	3	2	①	①
PSMR	0	0	0	0	0	0	PSM1	PSM0

PSM1	PSM0	ソフトウェア・スタンバイ・モード時の動作指定
0	0	IDLE1, サブIDLEモード
0	1	STOPモード
1	0	IDLE2, サブIDLEモード
1	1	STOPモード

注意1. ビット2-7には、必ず0を設定してください。

2. PSM0, PSM1ビットは、PSC.STPビット = 1のときのみ有効です。

- 備考**
- IDLE1** : 発振回路と一部の回路（フラッシュ・メモリ、PLL）以外の動作を停止するモードです。
IDLE1モード解除後、HALTモードと同様に発振安定時間を確保する必要なく、通常モードに復帰します。
- IDLE2** : 発振回路以外の動作を停止するモードです。
IDLE2モード解除後、OSTSレジスタで指定したセットアップ時間（フラッシュ・メモリ、PLL）を確保したあと、通常モードに復帰します。
- STOP** : サブクロック発振回路以外の動作を停止するモードです。
STOPモード解除後、OSTSレジスタで指定した発振安定時間を確保したあと、通常モードに復帰します。
- サブIDLE** : サブクロック動作モード時、発振回路以外の動作を停止するモードです。
割り込み要求信号によるサブIDLEモードの解除後、サブクロックの12周期分の時間を確保したあと、サブクロック動作モードに復帰します。

(3) 発振安定時間選択レジスタ (OSTS)

STOPモードを解除してから発振が安定するまでのウェイト時間や、IDLE2モードを解除してから内蔵フラッシュ・メモリが安定するまでのセットアップ時間は、OSTSレジスタで制御します。

OSTSレジスタは、8ビット単位でリード／ライト可能です。

リセットにより06Hになります。

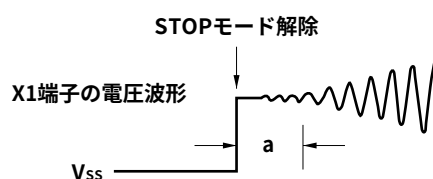
リセット時：06H R/W アドレス：FFFFF6C0H

	7	6	5	4	3	2	1	0
OSTS	0	0	0	0	0	OSTS2	OSTS1	OSTS0

OSTS2	OSTS1	OSTS0	発振安定時間／セットアップ時間の選択 ^注	fx	
				4 MHz	5 MHz
0	0	0	$2^{10}/f_x$	0.256 ms	0.205 ms
0	0	1	$2^{11}/f_x$	0.512 ms	0.410 ms
0	1	0	$2^{12}/f_x$	1.024 ms	0.819 ms
0	1	1	$2^{13}/f_x$	2.048 ms	1.638 ms
1	0	0	$2^{14}/f_x$	4.096 ms	3.277 ms
1	0	1	$2^{15}/f_x$	8.192 ms	6.554 ms
1	1	0	$2^{16}/f_x$	16.38 ms	13.107 ms
1	1	1	設定禁止		

注 発振安定時間はSTOPモードの解除時に、セットアップ時間はIDLE2モード解除時に必要になります。

注意1. STOPモード解除時のウェイト時間は、リセットによる場合も、割り込み要求信号発生による場合も、STOPモード解除後クロック発振を開始するまでの時間（下図a）は含みません。



- ビット7-3には必ず“0”を設定してください。
- リセット解除後の発振安定時間は、オプション・バイトの設定により異なります。詳細は第27章 オプション・バイトを参照してください。

備考 f_x = メイン・クロック発振周波数

(4) レギュレータ・プロテクション・レジスタ (REGPR)

REGPRレジスタは、レギュレータ出力電圧レベル制御レジスタ0 (REGOVL0) に、不正なデータがライトされないように保護するレジスタです。REGPRレジスタに許可データ (C9H) をライトしたあとでないと、REGOVL0レジスタをライト・アクセスすることはできません。ライト・データは、C9H (許可データ) または00H (保護データ) の2種類のみ許可し、これ以外の値をライトすることは使用上禁止です (動作上は、REGPRレジスタにC9H, 00H以外の値をライトした場合は、ライト値が設定され、REGOVL0レジスタへのライト・アクセス禁止状態となりますが、動作保証はされません)。

8ビット単位でのみ、リード／ライト可能です (1ビット単位のアクセスは禁止です)。

リセットにより00Hになります (保護データ状態)。

リセット時：00H R/W アドレス：FFFFFF331H

	7	6	5	4	3	2	1	0
REGPR	PR7	PR6	PR5	PR4	PR3	PR2	PR1	PR0

・ **保護データ状態**：REGPR = 00H

不正なライト・アクセスから REGOVL0 レジスタを保護する状態です。保護データ状態では REGOVL0 レジスタにライトしようとしても、値は書き込まれず REGOVL0 レジスタは以前の値を保持します。

予期せぬ誤動作を避けるため、REGOVL0 レジスタの変更をするとき以外は、必ず REGPR = 00H 状態にしてください。

・ **許可データ状態**：REGPR = C9H

REGOVL0 レジスタへのライト・アクセスを許可した状態です。

・ 通常モード→低電圧 STOP モードへの移行

21. 6. 1 **設定および動作状態を参照してください。**

・ サブクロック動作モード→低電圧サブクロック動作モードへの移行

21. 7. 1 **設定および動作状態を参照してください。**

・ サブクロック動作モード→低電圧サブ IDLE モードへの移行

21. 8. 1 **設定および動作状態を参照してください。**

(5) レギュレータ出力電圧レベル制御レジスタ0 (REGOVL0)

低電圧STOPモード、低電圧サブクロック動作モード、低電圧サブIDLEモードのモード選択を行います。
レギュレータの出力電圧を下げることで低電力にすることができます。

8ビット単位でのみ、リード／ライト可能です（1ビット単位のアクセスは禁止です）。

リセットにより00Hになります。

ライト・アクセスは、必ずレギュレータ・プロテクション・レジスタ (REGPR) とペアで操作する必要があります。

リセット時：00H R/W アドレス：FFFFFF332H

	7	6	5	4	3	2	1	0
REGOVL0	0	0	0	0	0	0	SUBMD	STPMD

SUBMD	サブクロック動作モード／サブIDLEモード時レギュレータの出力モード選択
0	サブクロック動作モード／サブIDLEモード
1	低電圧サブクロック動作モード／低電圧サブIDLEモード

STPMD	STOPモード時のレギュレータの出力モード選択
0	STOPモード
1	低電圧STOPモード

・REGOVL0レジスタのライト動作

REGPR レジスタに C9H がライトされたときのみ REGOVL0 レジスタへのライトが許可されます（21.2 (4) レギュレータ・プロテクション・レジスタ (REGPR) を参照）。

00H, 01H, 02H のみ設定可能です。

03H は設定禁止です。03H を設定した場合は、動作保証されません。

・REGOVL0レジスタのリード動作

初期値は 00H です。適正な手順[※]でライト後はライトした値がリードされます。リード手順については特に制限はありません。

注 ・通常モード→低電圧 STOP モードへの移行

21.6.1 設定および動作状態を参照してください。

・サブクロック動作モード→低電圧サブクロック動作モードへの移行

21.7.1 設定および動作状態を参照してください。

・サブクロック動作モード→低電圧サブ IDLE モードへの移行

21.8.1 設定および動作状態を参照してください。

注意 低電圧サブクロック・モードおよび低電圧サブ IDLE モードに設定する場合は、
かならず、メイン・クロック、PLL を停止してください。

21.3 HALTモード

21.3.1 設定および動作状態

通常動作モード時、専用命令（HALT命令）を実行することにより、HALTモードに設定されます。

HALTモードに設定すると、クロック発振回路は動作を継続しますが、CPUへのクロック供給のみが停止し、そのほかの内蔵周辺機能へのクロック供給は継続されます。

これにより、プログラムの実行が停止し、内蔵RAMの内容は、HALTモード設定前の状態を保持します。また、CPUの命令処理に依存しない内蔵周辺機能は動作を継続します。

表21-3にHALTモード時の動作状態を示します。

HALTモードは、通常動作モードと組み合わせて使用することで、システム全体の平均消費電力を低減することができます。

注意1. HALT命令の後には、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でHALT命令を実行した場合、HALTモードに移行するが、保留されている割り込み要求によりHALTモードはすぐに解除されます。

21.3.2 HALTモードの解除

HALTモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、HALTモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。

HALTモードの解除により、通常動作モードに移行します。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でHALTモードに設定した場合は次のようになります。

表21-2 HALTモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスカブル割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	HALTモードの解除とともに、割り込み要求受け付け
	許可 (EI) 状態		
マスカブル割り込み要求信号	禁止 (DI) 状態	—	HALTモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。HALTモード前に処理中だった処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の高い割り込み要求実行中	HALTモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。HALTモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	HALTモードの解除とともに、割り込み要求受け付け

表21-3 HALTモード時の動作状態

項 目		HALTモードの設定	動作状態	
			サブクロックがない場合	サブクロックがある場合
LVI			動作可能	
メイン・クロック発振回路			発振	
サブクロック発振回路			—	発振
内蔵発振器			発振可能	
PLL			動作可能	
CPU			動作停止	
DMA			動作可能	
割り込みコントローラ			動作可能	
タイマP（TMP0-TMP5）			動作可能	
タイマQ（TMQ0）			動作可能	
タイマM（TMM0）			カウント・クロックに f_{XT} 以外を選択時に動作可能	動作可能
時計用タイマ/RTC			カウント・クロックに f_X （BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2			カウント・クロックに f_{XT} 以外を選択時に動作可能	動作可能
シリアル・インタフェース	CSIB0-CSIB4		動作可能	
	I ² C00-I ² C02		動作可能	
	UARTA0-UARTA2		動作可能	
A/Dコンバータ			動作可能	
D/Aコンバータ			動作可能	
リアルタイム出力機能（RTO）			動作可能	
キー割り込み機能（KR）			動作可能	
CRC演算回路			動作可能（ただしCPU停止のためCRCINレジスタへのデータ入力がない状態）	
ポート機能			HALTモード設定前の状態を保持	
CPUレジスタ・セット			HALTモード設定前の状態を保持	
内蔵RAM				

21. 4 IDLE1モード

21. 4. 1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“00”に設定し、PSC.STPビットを“1”に設定することにより、IDLE1モードに設定されます。

IDLE1モードに設定すると、クロック発振回路、PLL動作、フラッシュ・メモリは動作を継続しますが、CPUやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE1モード設定前の状態を保持します。また、CPUや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表21-5にIDLE1モード時の動作状態を示します。

IDLE1モードは、内蔵周辺機能の動作が停止するので、HALTモードよりさらに低消費電力を実現できます。また、メイン・クロック発振回路は停止しないので、IDLE1モード解除時、HALTモードと同様に発振安定時間を確保することなく、通常動作モードに復帰できます。

- 注意1.** IDLE1モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE1モードに設定した場合、IDLE1モードに移行せず、次の命令が実行されます。

21. 4. 2 IDLE1モードの解除

IDLE1モードは、ノンマスクابل割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLE1モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。

IDLE1モードの解除により，通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号による解除

ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE1モードに設定した場合は次のようになります。

表21-4 IDLE1モード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスクابل 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	IDLE1モードの解除とともに，割り込み要求受け付け
	許可 (EI) 状態		
マスクابل割り込み 要求信号	禁止 (DI) 状態	—	IDLE1モードの解除のみ行い，解除ソースの割り込み要求そのものは保持。IDLE1モード前に処理中だった処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の高い割り込み要求実行中	IDLE1モードの解除のみ行い，解除ソースの割り込み要求そのものは保持。IDLE1モード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	IDLE1モードの解除とともに，割り込み要求受け付け

注意 PSC.NMI2M, NMI0M, INTMビット = 1 (割り込み禁止) になっている割り込み要求信号は無効となり，IDLE1モードは解除されません。

表21-5 IDLE1モード時の動作状態

項 目 / IDLE1モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
LVI		動作可能	
メイン・クロック発振回路		発振	
サブクロック発振回路		—	発振
内蔵発振器		発振可能	
PLL		動作可能	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能
時計用タイマ/RTC		カウント・クロックに f_x （BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能（ $n = 0-4$ ）	
	I ² C00-I ² C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
A/Dコンバータ		動作保持（変換結果も保持） [*]	
D/Aコンバータ		動作保持（出力保持 [*] ）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
ポート機能		IDLE1モード設定前の状態を保持	
CPUレジスタ・セット		IDLE1モード設定前の状態を保持	
内蔵RAM			

注 低消費電力を実現するためには、IDLE1モードに移移する前にA/Dコンバータ、D/Aコンバータを停止してください。

21. 5 IDLE2モード

21. 5. 1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“10”に設定し、PSC.STPビットを“1”に設定することにより、IDLE2モードに設定されます。

IDLE2モードに設定すると、クロック発振回路は動作を継続しますが、CPU, PLL, フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はIDLE2モード設定前の状態を保持します。また、CPU, PLLや、その他の内蔵周辺機能は動作を停止します。ただし、サブクロックあるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。

表21-7にIDLE2モード時の動作状態を示します。

IDLE2モードは、内蔵周辺機能、PLL, フラッシュ・メモリの動作が停止するので、IDLE1モードよりさらに低消費電力を実現できます。ただし、PLL, フラッシュ・メモリは停止するため、IDLE2モード解除時、必ずPLL, フラッシュ・メモリのセットアップ時間が必要となります。

- 注意1.** IDLE2モードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
- 2.** マスクされていない割り込み要求信号が保留されている状態でIDLE2モードに設定した場合、IDLE2モードに移行せず、次の命令が実行されます。

21. 5. 2 IDLE2モードの解除

IDLE2モードは、ノンマスクابل割り込み要求信号（NMI端子入力，INTWDT2信号），マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力），IDLE2モード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号，リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除されます。また，PLLはIDLE2モード設定前の動作状態に復帰します。

IDLE2モードの解除により，通常動作モードに移行します。

(1) ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号による解除

ノンマスクابل割り込み要求信号，マスクされていないマスクابل割り込み要求信号により，優先順位とは無関係に解除されます。ただし，割り込み処理ルーチン内でIDLE2モードに設定した場合は次のようになります。

表21-6 IDLE2モード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスクابل 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	IDLE2モードの解除をして，所定のセットアップ時間確保後，割り込み要求受け付け
	許可 (EI) 状態		
マスクابل割り込み 要求信号	禁止 (DI) 状態	—	IDLE2モードの解除のみ行い，解除ソースの割り込み要求そのものは保持。所定のセットアップ時間確保後，IDLE2モード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の高い割り込み要求実行中	IDLE2モードの解除のみ行い，解除ソースの割り込み要求そのものは保持。所定のセットアップ時間確保後，IDLE2モード前に処理中だった処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の低い割り込み要求実行中	IDLE2モードの解除をして，所定のセットアップ時間確保後，割り込み要求受け付け

注意 PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり，IDLE2モードは解除されません。

表21-7 IDLE2モード時の動作状態

項 目 / IDLE2モードの設定		動作状態	
		サブクロックがない場合	サブクロックがある場合
LVI		動作可能	
メイン・クロック発振回路		発振	
サブクロック発振回路		—	発振
内蔵発振器		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能
時計用タイマ/RTC		カウント・クロックに f_x （BRG分周）を選択時に動作可能	動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能（ $n = 0-4$ ）	
	I ² C00-I ² C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
A/Dコンバータ		動作保持（変換結果も保持） [*]	
D/Aコンバータ		動作保持（出力保持 [*] ）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
ポート機能		IDLE2モード設定前の状態を保持	
CPUレジスタ・セット		IDLE2モード設定前の状態を保持	
内蔵RAM			

注 低消費電力を実現するためには、IDLE1モードに遷移する前にA/Dコンバータ，D/Aコンバータを停止してください。

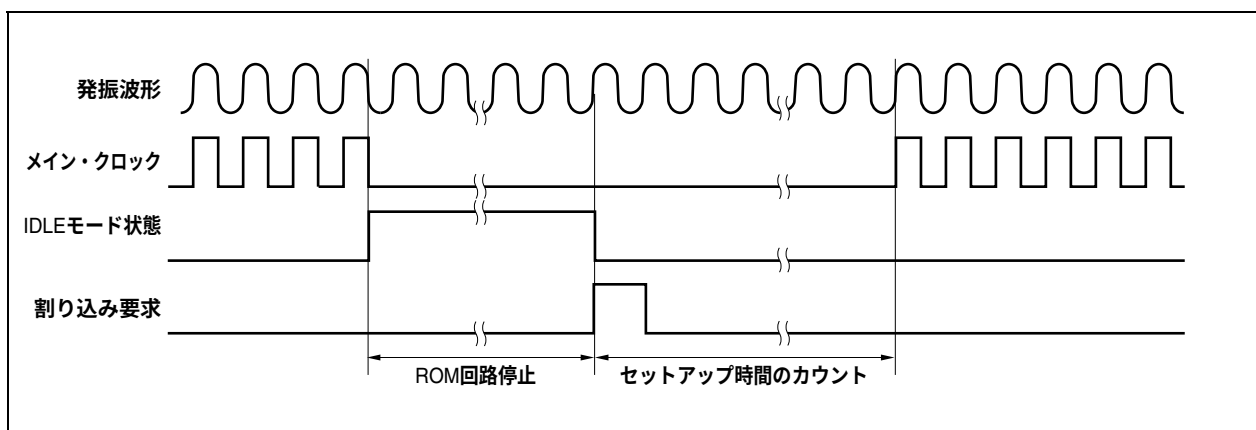
21. 5. 3 IDLE2モード解除時のセットアップ時間の確保

IDLE2モードに設定されることにより、メイン・クロック発振回路以外は動作を停止するので、IDLE2モード解除後、PLL、フラッシュ・メモリのOSTSで設定されたセットアップ時間が自動的に確保されます。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

所定のセットアップ時間は、OSTSレジスタの設定により確保します。

IDLE2モードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセット (RESET端子入力, WDT2RES発生) による解除

通常のリセット動作と同じです。

なお、発振安定時間は、オプション・バイトの設定により異なります。詳細は第27章 オプション・バイトを参照してください。

21.6 STOPモード／低電圧STOPモード

21.6.1 設定および動作状態

通常動作モード時、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することによりSTOPモードに設定されます。また、通常動作モード時、REGOVL0レジスタに“01H”を設定したあと、PSMR.PSM1, PSM0ビットを“01”または“11”に設定し、PSC.STPビットを“1”に設定することにより低電圧STOPモードに設定されます。

STOPモードに設定するとサブクロック発振回路は動作を継続しますが、メイン・クロック発振回路は動作を停止します。また、CPUやそのほかの内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はSTOPモード設定前の状態を保持しますが、CPUやそのほかの内蔵周辺機能へのクロック供給は停止します。ただし、サブクロック発振回路に関しては動作を継続します。また、STOPモード時は外部クロックで動作可能なCSIBnとUARTA0でも動作を継続します。しかし低電圧STOPモード時は動作が継続できないので、CSIBnとUARTA0の外部クロック入力を停止してください（n = 0-4）。

表21-8にSTOPモード時の動作状態を、表21-9に低電圧STOPモード時の動作状態を示します。

STOPモードは、メイン・クロック発振回路の動作が停止するのでIDLE2モードよりさらに低消費電力を実現できます。また、サブクロック発振回路、内蔵発振器、低電圧検出回路（LVI）、外部クロックを使用しない場合は、リーク電流のみの超低消費電力を実現できます。

低電圧STOPモードではレギュレータの電圧を下げるため、さらに低消費電力になります。

低電圧STOPモードの設定は必ず次の手順で行ってください。

(1) 「通常モード」→「低電圧STOPモード」の設定手順

次の設定を、通常動作モード（メイン・クロック動作）中に行います。また必要に応じて、OSTSレジスタの設定を行ってください。

① 表21-9 低電圧STOPモード時の動作状態で動作停止に指定された機能を停止

特に次の機能はV850ES/JC3-L, V850ES/JE3-L外部からの信号のため、必ず停止してください。

- ・ CSIBnにSCKBn入力クロック選択時は、SCKBn入力クロックを停止
- ・ UARTA0にASCKA0入力クロック選択時は、ASCKA0入力クロックを停止

② DMA動作禁止

③ ・ DI命令によるマスカブル割り込みの禁止

- ・ NMI割り込みの禁止（INTF02 = 0, INTR02 = 0）
- ・ INTWDT2信号が発生しない状態（ウォッチドッグ・タイマ2をクリアして、すぐにINTWDT2信号が発生しない状態にする）

④ REGPRレジスタに、C9H（許可データ）をライト

⑤ REGOVL0レジスタに、01Hをライト

このとき、レギュレータの出力電圧は通常レベルです。

⑥ REGPRレジスタに、00H（保護データ）をライト

⑦ 必要に応じて、EI命令によるマスカブル割り込み許可, NMI割り込み許可, INTWDT2割り込み許可（上記②③の設定を戻す）

⑧ STOPモードに設定

$$\left(\begin{array}{l} \text{PSMR. PSM1, PSM0ビット} = 01 \text{ または } 11 \\ \text{PSC. STPビット} = 1 \end{array} \right)$$

STOPモード期間中は、レギュレータが低電圧出力状態となり超低消費電力を実現します。

上記の順番を必ず守ってください。

ただし、⑦は⑥以降であれば問題ありません（低電圧STOPモード解除後に設定しても問題ありません）。

注意1. STOPモード／低電圧STOPモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。

2. マスクされていない割り込み要求信号が保留されている状態でSTOPモード／低電圧STOPモードに設定した場合、STOPモード／低電圧STOPモードには移行せず、次の命令が実行されます。

表21-8 STOPモード時の動作状態

項 目		STOPモードの設定		動作状態	
				サブクロックがない場合	サブクロックがある場合
LVI				動作可能	
メイン・クロック発振回路				発振停止	
サブクロック発振回路				—	発振
内蔵発振器				発振可能	
PLL				動作停止	
CPU				動作停止	
DMA				動作停止	
割り込みコントローラ				動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP5）				動作停止	
タイマQ（TMQ0）				動作停止	
タイマM（TMM0）				カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能
時計用タイマ/RTC				動作停止	カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2				カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4			カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能（ $n = 0-4$ ）	
	I ² C00-I ² C02			動作停止	
	UARTA0-UARTA2			動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
A/Dコンバータ				動作停止（変換結果も不定） ^{※1, 2}	
D/Aコンバータ				動作停止 ^{※3, 4} （出力はハイ・インピーダンス）	
リアルタイム出力機能（RTO）				動作停止（出力保持）	
キー割り込み機能（KR）				動作可能	
CRC演算回路				動作停止	
ポート機能				STOPモード設定前の状態を保持	
CPUレジスタ・セット				STOPモード設定前の状態を保持	
内蔵RAM					

- 注1. A/Dコンバータを動作したままSTOPモードに遷移した場合、STOPモード期間中A/Dコンバータは自動的に停止しますが、STOPモード解除後、再び動作を開始します。ただし、その場合STOPモード解除後の最初のA/D変換結果は無効です。また、STOPモード遷移前のA/D変換結果は無効です。
2. A/Dコンバータを動作したままSTOPモードに遷移した場合でも、STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。
3. D/Aコンバータを動作したままSTOPモードに遷移した場合、STOPモード期間中D/Aコンバータは自動的に停止し、端子状態はハイ・インピーダンスになります。STOPモード解除後、再び動作を開始しセトリング時間を経て、STOPモード遷移前の出力レベルにもどります。
4. D/Aコンバータを動作したままSTOPモードに遷移した場合でも、STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

表21-9 低電圧STOPモード時の動作状態

項 目		動作状態	
		サブクロックがない場合	サブクロックがある場合
LVI		動作可能	
メイン・クロック発振回路		発振停止	
サブクロック発振回路		—	発振
内蔵発振器		発振可能	
PLL		動作停止	
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能
時計用タイマ/RTC		動作停止	カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ を選択時に動作可能	カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	動作停止 (カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時は、 $\overline{SCKBn}$ 入力クロックを必ず停止してください (n = 0-4) 。)	
	I ² C00-I ² C02	動作停止	
	UARTA0-UARTA2	動作停止 (UARTA0でASCKA0入力クロック選択時は、ASCKA0入力クロックを必ず停止してください。)	
A/Dコンバータ		動作停止（変換結果も不定） ^{※1, 2}	
D/Aコンバータ		動作停止 ^{※3, 4} （出力はハイ・インピーダンス）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
ポート機能		低電圧STOPモード設定前の状態を保持	
CPUレジスタ・セット		低電圧STOPモード設定前の状態を保持	
内蔵RAM			

注1. A/Dコンバータを動作したまま低電圧STOPモードに遷移した場合、低電圧STOPモード期間中A/Dコンバータは自動的に停止しますが、低電圧STOPモード解除後、再び動作を開始します。ただし、その場合、低電圧STOPモード解除後のA/D変換結果は無効です。また、低電圧STOPモード遷移前のA/D変換結果はすべて無効です。

2. A/Dコンバータを動作したまま低電圧STOPモードに遷移した場合でも、低電圧STOPモード遷移前にA/Dコンバータを停止した場合と同等に消費電力を低減できます。
3. D/Aコンバータを動作したまま低電圧STOPモードに遷移した場合、低電圧STOPモード期間中D/Aコンバータは自動的に停止します。低電圧STOPモード解除後、再び動作を開始しセトリング時間を経て、低電圧STOPモード遷移前の出力レベルにもどります。
4. D/Aコンバータを動作したまま低電圧STOPモードに遷移した場合でも、低電圧STOPモード遷移前にD/Aコンバータを停止した場合と同等に消費電力を低減できます。

21. 6. 2 STOPモード／低電圧STOPモードの解除

STOPモード／低電圧STOPモードは、ノンマスカブル割り込み要求信号（NMI端子入力, INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、STOPモード／低電圧STOPモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（ $\overline{\text{RESET}}$ 端子入力, WDT2RES信号、低電圧検出回路（LVI）によるリセット）により解除されます。

STOPモード／低電圧STOPモードの解除により発振安定時間を確保したあと、通常動作モードに移行します。

低電圧STOPモードの解除後の再設定については、21. 6. 3 低電圧STOPモードの解除後の再設定を参照してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でSTOPモード／低電圧STOPモードに設定した場合は次のようになります。

表21-10 STOPモード／低電圧STOPモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスカブル割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	STOPモード／低電圧STOPモードの解除をして、発振安定時間確保後、割り込み要求受け付け
	許可 (EI) 状態		
マスカブル割り込み要求信号	禁止 (DI) 状態	—	STOPモード／低電圧STOPモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。発振安定時間確保後STOPモード／低電圧STOPモード前に処理中だった処理を実行
		・解除ソースより優先順位の高い割り込み要求実行中	STOPモード／低電圧STOPモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。発振安定時間確保後STOPモード／低電圧STOPモード前に処理中だった割り込み処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の低い割り込み要求実行中	STOPモード／低電圧STOPモードの解除をして、発振安定時間確保後割り込み要求受け付け

注意 PSC.NMI2M, NMI0M, INTMビット = 1 (割り込み禁止) になっている割り込み要求信号は無効となり、STOPモード／低電圧STOPモードは解除されません。

21. 6. 3 低電圧STOPモードの解除後の再設定

(1) 低電圧STOPモードを割り込みで解除した場合

解除後は次の状態になります。

- ・レギュレータ：通常レベルに自動復帰
OSTSレジスタで設定した発振安定時間が確保されます。
 - ・REGOVL0レジスタ = 01H（低電圧STOPモード）：21. 6. 1 (1) ⑤を保持
 - ・REGPRレジスタ = 00H（保護データ）：21. 6. 1 (1) ⑥を保持
- (a) REGOVL0レジスタ = 01H（低電圧STOPモード）で継続使用する場合、各種レジスタの再設定は特に必要ありません。
- (b) REGOVL0レジスタ = 00Hに設定を戻す場合は次の手順にしたがってください。
- ① DMAを禁止する。
 - ② ・DI命令によるマスカブル割り込みの禁止
 - ・NMI割り込みの禁止（INTF02 = 0, INTR02 = 0）
 - ・INTWDT2信号が発生しない状態（ウォッチドッグ・タイマ2を停止またはINTWDT2モード以外に設定、ウォッチドッグ・タイマ2をクリア後すぐにINTWDT2信号が発生しない状態にする）
 - ③ REGPR レジスタに、C9H（許可データ）をライト。
 - ④ REGOVL0レジスタに、00Hをライト。
 - ⑤ REGPRレジスタに、00H（保護データ）をライト。
 - ⑥ 必要に応じて、DMA許可、EI命令によるマスカブル割り込みの許可、NMI割り込みの許可、INTWDT2割り込みの許可（上記①②の設定を戻す）

上記の順番を必ず守ってください。

(2) 低電圧STOPモードをリセットで解除した場合

リセット解除後は通常動作モードに移行し、REGOVL0レジスタは00Hに、REGPRレジスタは00H（保護データ）にそれぞれ初期化されます。リセット解除後の発振安定時間は、オプション・バイトの設定で確保してください。詳細は、第27章 オプション・バイトを参照してください。

注意 PSC.NMI1M, NMI0M, INTMビットで1に設定（割り込み禁止）されている割り込み要求は無効になり、低電圧STOPモードは解除されません。

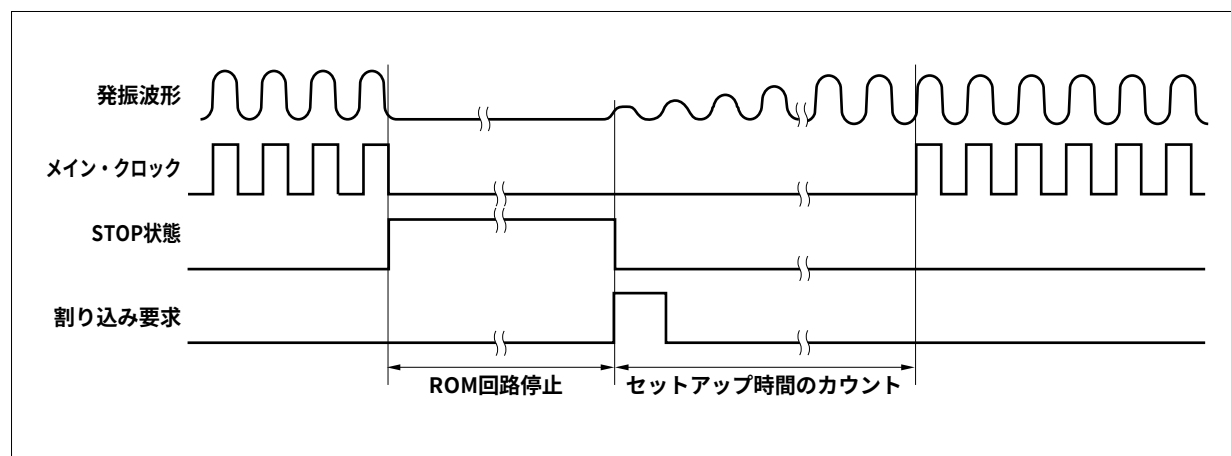
21. 6. 4 STOPモード解除時の発振安定時間の確保

STOPモードに設定されることにより、メイン・クロック発振回路は動作を停止するので、STOPモード解除後、メイン・クロック発振回路の発振安定時間を確保してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号による解除

発振安定時間は、OSTSレジスタの設定により確保します。

STOPモードの解除要因が発生すると、OSTSレジスタの設定に従い内部専用タイマはカウント動作を開始し、オーバフローすると通常動作モードに移行します。



(2) リセットによる解除

通常のリセット動作と同じです。

なお、発振安定時間は、オプション・バイトの設定により異なります。詳細は第27章 オプション・バイトを参照してください。

21. 7 サブクロック動作モード／低電圧サブクロック動作モード

21. 7. 1 設定および動作状態

通常動作モード時、PCC.CK3ビットを“1”に設定することにより、サブクロック動作モードに設定されます。また、サブクロック動作モード時、REGOVL0レジスタに“02H”を設定することにより、低電圧サブクロック動作モードに設定されます。

サブクロック動作モードに設定すると、内部システム・クロックがメイン・クロック→サブクロックに切り替わります。切り替わりは、PCC.CLSビットで確認してください。

さらに、PCC.MCKビットを“1”に設定することにより、メイン・クロック発振回路の動作を停止します。これにより、システム全体がサブクロックでのみ動作します。

サブクロック動作モードは、内部システム・クロックがサブクロックとなるので、通常動作モードよりも消費電力を低減できます。さらに、メイン・クロック発振回路の動作を停止させることにより、STOPモードに近い低消費電力を実現できます。低電圧サブクロック動作モードではレギュレータの電圧を下げるため、さらに低消費電力になります。

サブクロック動作モードでメイン・クロック発振回路を停止したとき、外部クロックで動作可能なCSIBnとUARTA0でも動作を継続します。しかし低電圧サブクロック動作モード時は動作が継続できないので、CSIBnとUARTA0の外部クロック入力を停止してください（n = 0-4）。

注意1. CK3ビットを操作する場合、PCC.CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。PCCレジスタの詳細は、5. 3 (1) プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

2. 次の条件を満たしていない場合は、条件を満たすようにCK2-CK0ビットを変更後、サブクロック動作モードに移行してください。

$$\text{内部システム・クロック (f}_{\text{CLK}}) > \text{サブクロック (f}_{\text{XT}} = 32.768 \text{ kHz}) \times 4$$

備考 内部システム・クロック（f_{CLK}）： CK2-CK0ビットの設定によってメイン・クロック（f_{xx}）から生成するクロック

低電圧サブクロック動作モードの設定は必ず次の手順で行ってください。

(1) 「サブクロック動作モード」→「低電圧サブクロック動作モード」の設定手順

次の設定を、サブクロック動作モード中に行います。

- ①メイン・クロックを停止，PLLを停止する。
- ②表21-14 **低電圧サブIDLEモード時の動作状態**で動作停止に指定された機能を停止。
特に次の機能はV850ES/JC3-L, V850ES/JE3-L外部からの信号のため，必ず停止してください。
 - ・CSIBnに $\overline{\text{SCKBn}}$ 入力クロック選択時は， $\overline{\text{SCKBn}}$ 入力クロックを停止（n = 0-4）。
 - ・UARTA0にASCKA0入力クロック選択時は，ASCKA0入力クロックを停止。
- ③DMA動作禁止（DMA動作許可の場合）。
- ④・DI命令によるマスカブル割り込みの禁止
 - ・NMI割り込みの禁止（INTF02 = 0, INTR02 = 0）
 - ・INTWDT2信号が発生しない状態（ウォッチドッグ・タイマ2をクリアして，すぐにINTWDT2信号が発生しない状態にする）
- ⑤REGPRレジスタに，C9H（許可データ）をライト。
- ⑥REGOVL0レジスタに，02Hをライト。
このとき，レギュレータの出力電圧は低電圧になり，超低消費電力を実現します。
- ⑦REGPRレジスタに，00H（保護データ）をライト。
- ⑧必要に応じて，EI命令によるマスカブル割り込み許可，NMI割り込み許可，INTWDT2割り込み許可（上記④の設定を戻す）

上記の順番を必ず守ってください。

サブクロック動作モードの設定については21. 7. 1 **設定および動作状態**を参照してください。

サブクロック動作モード時の動作状態を表21-11に，低電圧サブクロック動作モードの動作状態を表21-12に示します。

表21-11 サブクロック動作モード時の動作状態

サブクロック動作モードの設定 項 目		動作状態	
		メイン・クロック発振時	メイン・クロック停止時
LVI		動作可能	
サブクロック発振回路		発振	
内蔵発振器		発振可能	
PLL		動作可能	動作停止 [※]
CPU		動作可能	
DMA		動作可能	
割り込みコントローラ		動作可能	
タイマP（TMP0-TMP5）		動作可能	動作停止
タイマQ（TMQ0）		動作可能	動作停止
タイマM（TMM0）		動作可能	カウント・クロックにf _R /8またはf _{XT} 選択時に動作可能
時計用タイマ/RTC		動作可能	カウント・クロックにf _{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		動作可能	カウント・クロックにf _R またはf _{XT} 選択時に動作可能
シリアル・インタフェース	CSIB0-CSIB4	動作可能	カウント・クロックにSCKB _n 入力クロック選択時に動作可能（n = 0-4）
	I ² C00-I ² C02	動作可能	動作停止
	UARTA0-UARTA2	動作可能	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）
A/Dコンバータ		動作可能	動作停止
D/Aコンバータ		動作可能	
リアルタイム出力機能（RTO）		動作可能	動作停止（出力保持）
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作可能	
ポート機能		設定可能	
CPUレジスタ・セット		設定可能	
内蔵RAM			

注 メイン・クロックを停止するときは、必ずPLL停止 (PLLCTL.PLLONビット = 0) に設定してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです (3. 4. 8 (2) 参照)。

表21-12 低電圧サブクロック動作モード時の動作状態

低電圧サブクロック動作モード の設定		動作状態
項 目		メイン・クロック停止（必ず停止してください）
LVI		動作可能
サブクロック発振回路		発振
内蔵発振器		発振可能
PLL		動作停止*
CPU		動作可能
DMA		動作停止（必ず停止してください）
割り込みコントローラ		動作可能
タイマP（TMP0-TMP5）		動作停止
タイマQ（TMQ0）		動作停止
タイマM（TMM0）		カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
時計用タイマ/RTC		カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
シリアル・インタ フェース	CSIB0-CSIB4	動作停止 (カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時は、 $\overline{SCKBn}$ 入力クロックを必ず停止してください (n = 0-4) 。)
	I ² C00-I ² C02	動作停止
	UARTA0-UARTA2	動作停止 (UARTA0でASCKA0入力クロック選択時は、ASCKA0入力クロックを必ず停止してください。)
A/Dコンバータ		動作停止
D/Aコンバータ		動作停止（必ず停止してください）
リアルタイム出力機能（RTO）		動作停止（出力保持）
キー割り込み機能（KR）		動作可能
CRC演算回路		動作停止（必ず停止してください）
ポート機能		設定可能
CPUレジスタ・セット		設定可能
内蔵RAM		

注 必ずPLL停止（PLLCTL.PLLONビット = 0）に設定してください。

注意 CPUがサブクロックで動作し、かつメイン発振を停止している場合、ウェイトが発生するレジスタへのアクセスは禁止です。ウェイトが発生した場合、解除する方法はリセットのみです（3.4.8（2）参照）。

21. 7. 2 サブクロック動作モードの解除

サブクロック動作モードは、CK3ビットを“0”に設定するか、リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除します。

なお、メイン・クロックを停止（MCKビット = 1）していた場合は、MCKビットを“1”に設定し、メイン・クロックの発振安定時間をソフトウェアにより確保してから、CK3ビットを“0”に設定します。

サブクロック動作モードの解除により、通常動作モードに移行します。

注意 CK3ビットを操作する場合、CK2-CK0ビットの設定値の変更は禁止です（ビット操作命令を推奨）。
PCCレジスタの詳細は、5.3（1）プロセッサ・クロック・コントロール・レジスタ（PCC）を参照してください。

21. 7. 3 低電圧サブクロック動作モードの解除

低電圧サブクロック動作モードは、REGOVL0レジスタに“00H”を設定することで、サブクロック動作モードになります。その後、21. 7. 2 サブクロック動作モードの解除により通常モードに移行してください。低電圧サブクロック動作モードからサブクロック動作モードへの以降は必ず次の手順で行ってください。

（1）「低電圧サブクロック動作モード」→「サブクロック動作モード」の設定手順

次の設定を、低電圧サブクロック動作モード中に行います。

- ① ・DI命令によるマスカブル割り込みの禁止
 - ・NMI割り込みの禁止（INTF02 = 0, INTR02 = 0）
 - ・INTWDT2信号が発生しない状態（ウォッチドッグ・タイマ2をクリアして、すぐにINTWDT2信号が発生しない状態にする）
- ② REGPRレジスタに、C9H（許可データ）をライト。
- ③ REGOVL0レジスタに、00Hをライト（サブクロック動作モードに移行）。
- ④ REGPRレジスタに、00H（保護データ）をライト。
- ⑤ ソフトウェアにて、800 μ s以上ウエイト。
- ⑥ 必要に応じて、EI命令によるマスカブル割り込みの許可，NMI割り込みの許可，INTWDT2割り込みの許可（上記①の設定を戻す）。
- ⑦ DMAが必要な場合は、DMAを許可。
- ⑧ 21. 7. 1（1）「サブクロック動作モード」→「低電圧サブクロック動作モード」の設定手順の①②で停止した機能のうち、使用したい機能を動作スタート。

上記の順番を必ず守ってください。

ただし、⑥、⑦、⑧は⑤以降であれば、特に設定順番の制限はありません。

（2）低電圧サブクロック動作モードをリセットで解除した場合

リセット信号（ $\overline{\text{RESET}}$ 端子入力，WDT2RES信号，低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット）により解除する場合、リセット解除後は通常動作モードに移行し、REGOVL0レジスタは00Hに、REGPRレジスタは00H（保護データ）にそれぞれ初期化されます。リセット解除後の発振安定時間は、オプション・バイトの設定で確保してください。詳細は、第27章 オプション・バイトを参照してください。

21. 8 サブIDLEモード／低電圧サブIDLEモード

21. 8. 1 設定および動作状態

サブクロック動作モード時、PSMR.PSM1, PSM0ビットを“00”または“10”に設定し、PSC.STPビットを“1”に設定することにより、サブIDLEモードに設定されます。またサブクロック動作モード時、REGOVL0レジスタ“02H”を設定したあと、PSMR.PSM1, PSM0ビットを“00”または“10”に設定し、PSC.STPビットを“1”に設定することにより、低電圧サブIDLEモードに設定されます。

サブIDLEモードに設定すると、クロック発振回路は動作を継続しますが、CPU、フラッシュ・メモリやその他の内蔵周辺機能へのクロック供給が停止します。

これにより、プログラムの実行が停止し、内蔵RAMの内容はサブIDLEモード設定前の状態を保持します。また、CPUやその他の内蔵周辺機能は動作を停止します。ただし、サブクロック、あるいは外部クロックで動作可能な内蔵周辺機能に関しては、動作を継続します。サブクロック動作モード時は外部クロックで動作可能なCSIBnとUARTA0でも動作を継続します。しかし低電圧サブクロック動作モード時は動作が継続できないので、CSIBnとUARTA0の外部クロック入力を停止してください（n = 0-4）。

サブIDLEモードは、CPU、フラッシュ・メモリやその他の内蔵周辺機能の動作が停止するので、サブクロック動作モードよりさらに低消費電力を実現できます。

また、メイン・クロックを停止してからサブIDLEモードに設定した場合は、STOPモードに近い低消費電力を実現できます。低電圧サブIDLEモードではレギュレータの電圧を下げるため、さらに低消費電力になります。

表21-13にサブIDLEモード時の動作状態を、表21-14に低電圧サブIDLEモード時の動作状態を示します。低電圧サブIDLEモードの設定は必ず次の手順で行ってください。

- (1) 「サブクロック動作モード」→「低電圧サブクロック動作モード」→「低電圧サブIDLEモード」の設定手順次の設定を、サブクロック動作モード中に行います。

①メイン・クロックを停止、PLLを停止する。

②表21-14 低電圧サブIDLEモード時の動作状態で動作停止に指定された機能を停止。

特に次の機能はV850ES/JC3-L, V850ES/JE3-L外部からの信号のため、必ず停止してください。

・CSIBnに $\overline{SCKBn}$ 入力クロック選択時は、 $\overline{SCKBn}$ 入力クロックを停止（n = 0-4）。

・UARTA0にASCKA0入力クロック選択時は、ASCKA0入力クロックを停止。

③DMA動作禁止（DMA動作許可の場合）。

④・DI命令によるマスカブル割り込みの禁止

・NMI割り込みの禁止（INTF02 = 0, INTR02 = 0）

・INTWDT2信号が発生しない状態（ウォッチドッグ・タイマ2をクリアして、すぐにINTWDT2信号が発生しない状態にする）

⑤REGPRレジスタに、C9H（許可データ）をライト。

⑥REGOVL0レジスタに、02Hをライト。

このとき、レギュレータの出力電圧は低電圧になり、超低消費電力を実現します。

⑦REGPRレジスタに、00H（保護データ）をライト。

⑧必要に応じて、EI命令によるマスカブル割り込み許可、NMI割り込み許可、INTWDT2割り込み許可（上記④の設定を戻す）

⑨サブIDLEモードに設定

$$\left(\begin{array}{l} \text{PSMR.PSM1, PSM0ビット} = 00 \text{ または } 10 \\ \text{PSC.STPビット} = 1 \end{array} \right)$$

上記の順番を必ず守ってください。

サブクロック動作モードの設定については21. 7. 1 設定および動作状態を参照してください。

- 注意1. サブIDLEモード／低電圧サブIDLEモードに設定するためのPSCレジスタに対するストア命令のあとには、NOP命令を5命令以上挿入してください。
2. マスクされていない割り込み要求信号が保留されている状態でサブIDLEモード／低電圧サブIDLEモードに設定した場合、サブIDLEモード／低電圧サブIDLEモードには移行されず、次の命令が実行されます。

表21-13 サブIDLEモード時の動作状態

項 目	サブIDLEモードの設定	動作状態	
		メイン・クロック発振時	メイン・クロック停止時
LVI		動作可能	
サブクロック発振回路		発振	
内蔵発振器		発振可能	
PLL		動作可能	動作停止 ^{※1}
CPU		動作停止	
DMA		動作停止	
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）	
タイマP（TMP0-TMP5）		動作停止	
タイマQ（TMQ0）		動作停止	
タイマM（TMM0）		カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能	
時計用タイマ/RTC		動作可能	カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ または f_{XT} 選択時に動作可能	
シリアル・インタフェース	UARTA0-UARTA5	カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時に動作可能（ $n = 0-4$ ）	
	I ² C00-I ² C02	動作停止	
	UARTA0-UARTA2	動作停止（ただしUARTA0はASCKA0入力クロック選択時に動作可能）	
A/Dコンバータ		動作保持（変換結果も保持） ^{※2}	
D/Aコンバータ		動作保持（出力保持 ^{※2} ）	
リアルタイム出力機能（RTO）		動作停止（出力保持）	
キー割り込み機能（KR）		動作可能	
CRC演算回路		動作停止	
ポート機能		サブIDLEモード設定前の状態を保持	
CPUレジスタ・セット		サブIDLEモード設定前の状態を保持	
内蔵RAM			

注1. メイン・クロックを停止するときは、必ずPLL停止（PLLCTL.PLLONビット = 0）に設定してください。

2. 低消費電力を実現するためには、サブIDLEモードに移移する前にA/Dコンバータ、D/Aコンバータを停止してください。

表21-14 低電圧サブIDLEモード時の動作状態

低電圧サブIDLEモード の設定		動作状態
項 目		メイン・クロック停止（必ず停止してください）
LVI		動作可能
サブクロック発振回路		発振
内蔵発振器		発振可能
PLL		動作停止*
CPU		動作停止
DMA		動作停止
割り込みコントローラ		動作停止（ただしスタンバイ・モードの解除は可能）
タイマP（TMP0-TMP5）		動作停止
タイマQ（TMQ0）		動作停止
タイマM（TMM0）		カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
時計用タイマ/RTC		カウント・クロックに f_{XT} を選択時に動作可能
ウォッチドッグ・タイマ2		カウント・クロックに $f_{R/8}$ または f_{XT} を選択時に動作可能
シリアル・インタ フェース	CSIB0-CSIB4	動作停止 (カウント・クロックに $\overline{SCKBn}$ 入力クロック選択時は、 $\overline{SCKBn}$ 入力クロックを必ず停止してください（ $n = 0-4$ ）。)
	I ² C00-I ² C02	動作停止
	UARTA0-UARTA2	動作停止 (UARTA0でASCKA0入力クロック選択時は、ASCKA0入力クロックを必ず停止してください。)
A/Dコンバータ		動作停止
D/Aコンバータ		動作停止（必ず停止してください）
リアルタイム出力機能（RTO）		動作停止（出力保持）
キー割り込み機能（KR）		動作可能
CRC演算回路		動作停止
ポート機能		低電圧サブIDLEモード設定前の状態を保持
CPUレジスタ・セット		低電圧サブIDLEモード設定前の状態を保持
内蔵RAM		

注 必ずPLL停止（PLLCTL.PLLONビット = 0）に設定してください。

21. 8. 2 サブIDLEモード／低電圧サブIDLEモードの解除

サブIDLEモード／低電圧サブIDLEモードは、ノンマスカブル割り込み要求信号（NMI端子入力、INTWDT2信号）、マスクされていない外部割り込み要求信号（INTP0-INTP7端子入力）、サブIDLEモード／低電圧サブIDLEモード中に動作可能な周辺機能のマスクされていない内部割り込み要求信号、リセット信号（RESET端子入力、WDT2RES信号、低電圧検出回路（LVI）、クロック・モニタ（CLM）によるリセット）により解除されます。また、PLLはサブIDLEモード設定前の動作状態と同じ状態に、低電圧サブIDLEモード時は停止状態で復帰します。

割り込み要求信号によるサブIDLEモードの解除により、サブクロック動作モードに移行します。

割り込み要求信号による低電圧サブIDLEモードの解除により、低電圧サブクロック動作モードに移行します。

低電圧サブクロック動作モードの解除については、21. 7. 3 低電圧サブクロック動作モードの解除を参照してください。

(1) ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号の解除

ノンマスカブル割り込み要求信号、マスクされていないマスカブル割り込み要求信号により、優先順位とは無関係に解除されます。ただし、割り込み処理ルーチン内でサブIDLEモード／低電圧サブIDLEモードに設定した場合は次のようになります。

表21-15 サブIDLEモード／低電圧サブIDLEモード解除と解除後の動作

解除ソース	割り込み受け付け状態	解除時の状態	解除後の動作
リセット	禁止 (DI) 状態	—	通常のリセット動作
	許可 (EI) 状態		
ノンマスカブル 割り込み要求信号 (多重割り込み除く)	禁止 (DI) 状態	—	サブIDLEモード／低電圧サブIDLEモードの解除とともに、割り込み要求受け付け
	許可 (EI) 状態		
マスカブル割り込み 要求信号	禁止 (DI) 状態	—	サブIDLEモード／低電圧サブIDLEモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。サブIDLEモード／低電圧サブIDLEモード前に処理中だった処理を実行
	許可 (EI) 状態	・解除ソースより優先順位の高い割り込み要求実行中	サブIDLEモード／低電圧サブIDLEモードの解除のみ行い、解除ソースの割り込み要求そのものは保持。サブIDLEモード／低電圧サブIDLEモード前に処理中だった割り込み処理を実行
		・解除ソースより優先順位の低い割り込み要求実行中	サブIDLEモード／低電圧サブIDLEモードの解除とともに、割り込み要求受け付け

注意1. PSC.NMI2M, NMI0M, INTMビット = 1（割り込み禁止）になっている割り込み要求信号は無効となり、サブIDLEモード／低電圧サブIDLEモードは解除されません。

2. サブIDLEモード／低電圧サブIDLEモードからの復帰時は、割り込み要求信号による解除要因が発生してから解除されるまでに、サブクロックの12周期分の時間（約366 μ s）が挿入されます。

第22章 リセット機能

22.1 概 要

リセット機能は、V850ES/JC3-L, V850ES/JE3-Lの機能を初期状態にします。電源投入時には電源電圧が動作電圧になるまで動作を停止しておくために利用したり、任意のタイミングでV850ES/JC3-L, V850ES/JE3-Lの機能を初期状態にするために利用します。

リセットが解除されると、V850ES/JC3-L, V850ES/JE3-Lは00000000H番地から実行を開始します。

リセットの発生要因を次に示します。

(1) 4種類のリセット要因

- RESET端子による外部リセット入力
- ウォッチドッグ・タイマ2 (WDT2) のオーバフローによるリセット機能 (WDT2RES)
- 低電圧検出回路 (LVI) の電源電圧と検出電圧との比較によるシステム・リセット
- クロック・モニタ (CLM) の発振停止検出によるシステム・リセット

リセット解除後、リセット要因フラグ・レジスタ (RESF) によりリセット要因を確認できます。

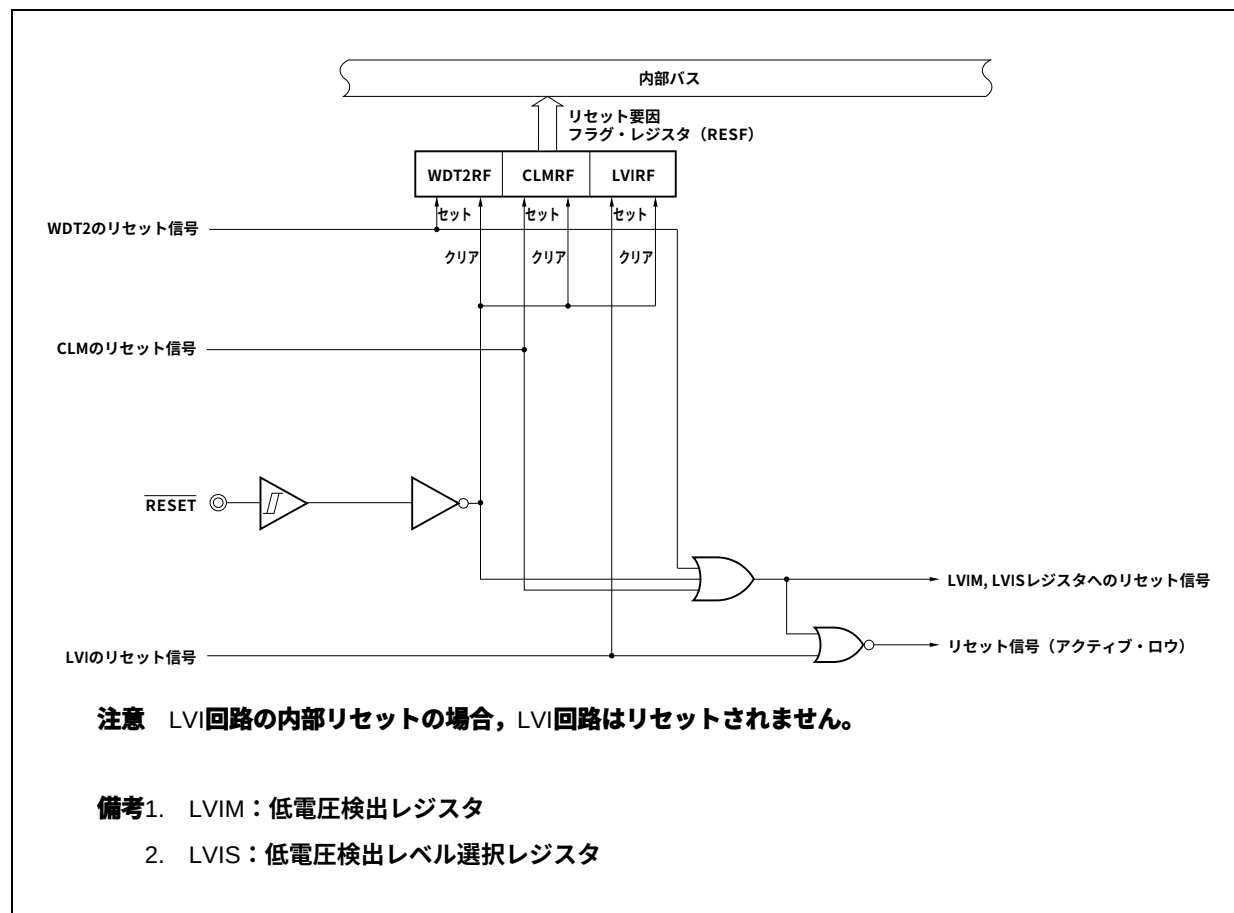
(2) 緊急動作モード

リセット後に挿入されるメイン・クロック発振安定期間内でWDT2がオーバフローした場合、メイン・クロックの発振異常と判断し、内蔵発振クロックでCPUの動作を開始します。

注意 緊急動作モード時は、内蔵発振クロックで動作が可能な“割り込み機能，ポート機能，WDT2，タイマ^M”用レジスタ以外の内蔵周辺I/Oレジスタにアクセスしないでください。また、外部クロック入力を使用したCSIB0-CSIB4, UARTA0の動作も禁止します。

22.2 構 成

図22-1 リセット機能のブロック図



22.3 リセット要因を確認するレジスタ

V850ES/JC3-L, V850ES/JE3-Lには4つのリセット要因が存在します。リセット解除後、リセット要因フラグ・レジスタ（RESF）により発生したリセット要因を確認できます。

(1) リセット要因フラグ・レジスタ（RESF）

RESFレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3.4.7 特定レジスタ参照）。

RESFレジスタは、どの要因から発生したリセット信号かを格納するレジスタです。

8/1ビット単位でリード／ライト可能です。

$\overline{\text{RESET}}$ 端子入力により00Hになります。 $\overline{\text{RESET}}$ 端子以外の要因のリセットにより初期値は異なります。

リセット時：00H[※] R/W アドレス：FFFFFF888H

	7	6	5	4	3	2	1	0
RESF	0	0	0	WDT2RF	0	0	CLMRF	LVIRF
WDT2RF	WDT2からのリセット信号発生有無							
0	発生なし							
1	発生あり							
CLMRF	CLMからのリセット信号発生有無							
0	発生なし							
1	発生あり							
LVIRF	LVIからのリセット信号発生有無							
0	発生なし							
1	発生あり							

注 $\overline{\text{RESET}}$ 端子によるリセット時はRESFレジスタは00H。

ウォッチドッグ・タイマ2（WDT2），低電圧検出回路（LVI），クロック・モニタ（CLM）によるリセット時は、自身のリセット・フラグ（WDT2RF, CLMRF, LVIRFビット）をセットします。ただし、ほかの要因は保持します。

注意 各ビットへの書き込みは“0”ライトのみ可能で，“0”ライト書き込みとフラグ・セット（リセットの発生）が競合した場合、フラグ・セットが優先されます。

22. 4 動 作

22. 4. 1 $\overline{\text{RESET}}$ 端子によるリセット動作

$\overline{\text{RESET}}$ 端子にロウ・レベルを入力すると、システム・リセットがかかり、各ハードウェアを初期化します。

$\overline{\text{RESET}}$ 端子入力をロウ・レベルからハイ・レベルに変化させると、リセット状態を解除します。

$\overline{\text{RESET}}$ 端子はノイズによる誤動作を防ぐためにアナログ・ディレイ（60 ns（TYP.））によるノイズ除去回路を内蔵しています。

表22-1 $\overline{\text{RESET}}$ 端子入力時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ($f_x \cdot f_x/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{CLK}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、00000000H番地 からプログラムの実行開始
ウォッチドッグ・タイマ2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロック として0からカウント・アップ
RTC	動作継続	
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス [※]	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタはセット（01H）	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

注 次を示す端子は、電源投入時にはリセット中でも一時的に不定レベルを出力する可能性があります。

- P10/ANO0端子
- P53/SIB2/KR3/TIQ00/TOQ00/RTP03/DDO端子

注意 OCDMレジスタは $\overline{\text{RESET}}$ 端子入力によって初期化されます。そのため、リセット解除後、再度OCDM.OCDM0ビットをクリアするまでの間にP05/ $\overline{\text{DRST}}$ 端子にハイ・レベルが入力されると、オンチップ・デバッグ・モードに入るため注意してください。詳細は、第4章 ポート機能を参照してください。

図22-2 RESET端子入力によるリセット動作のタイミング

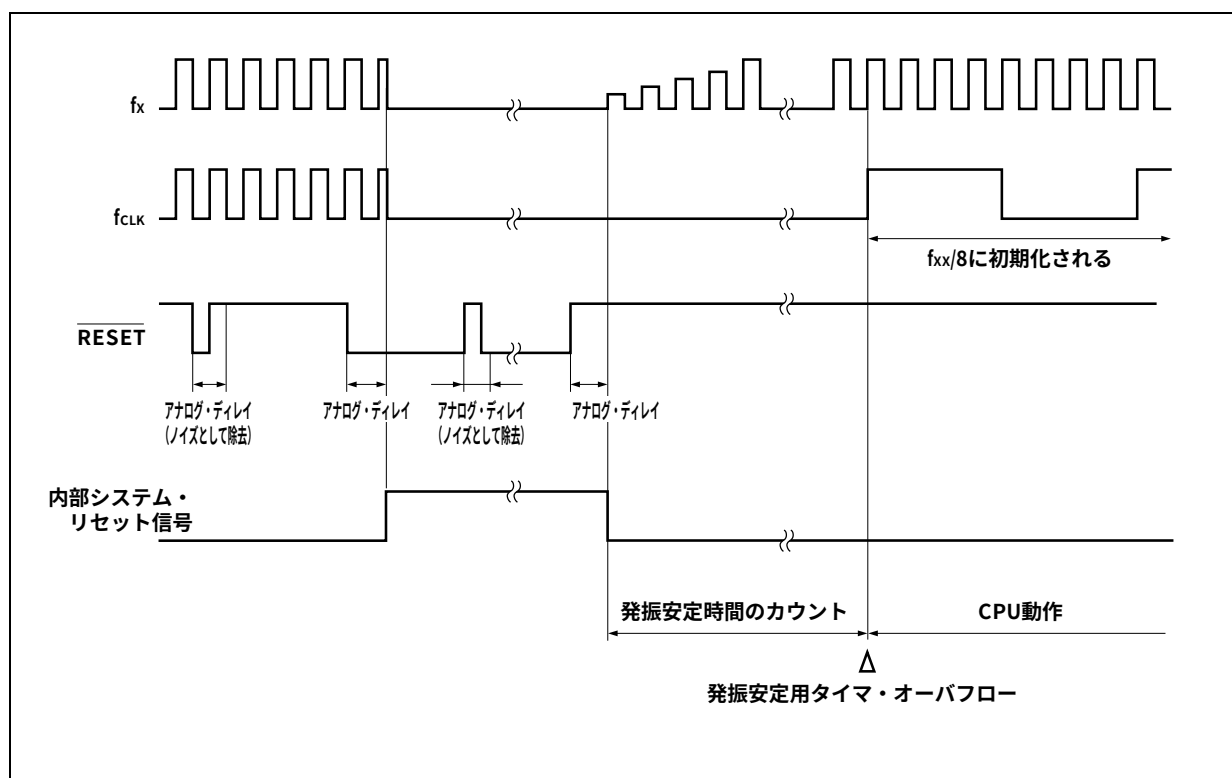
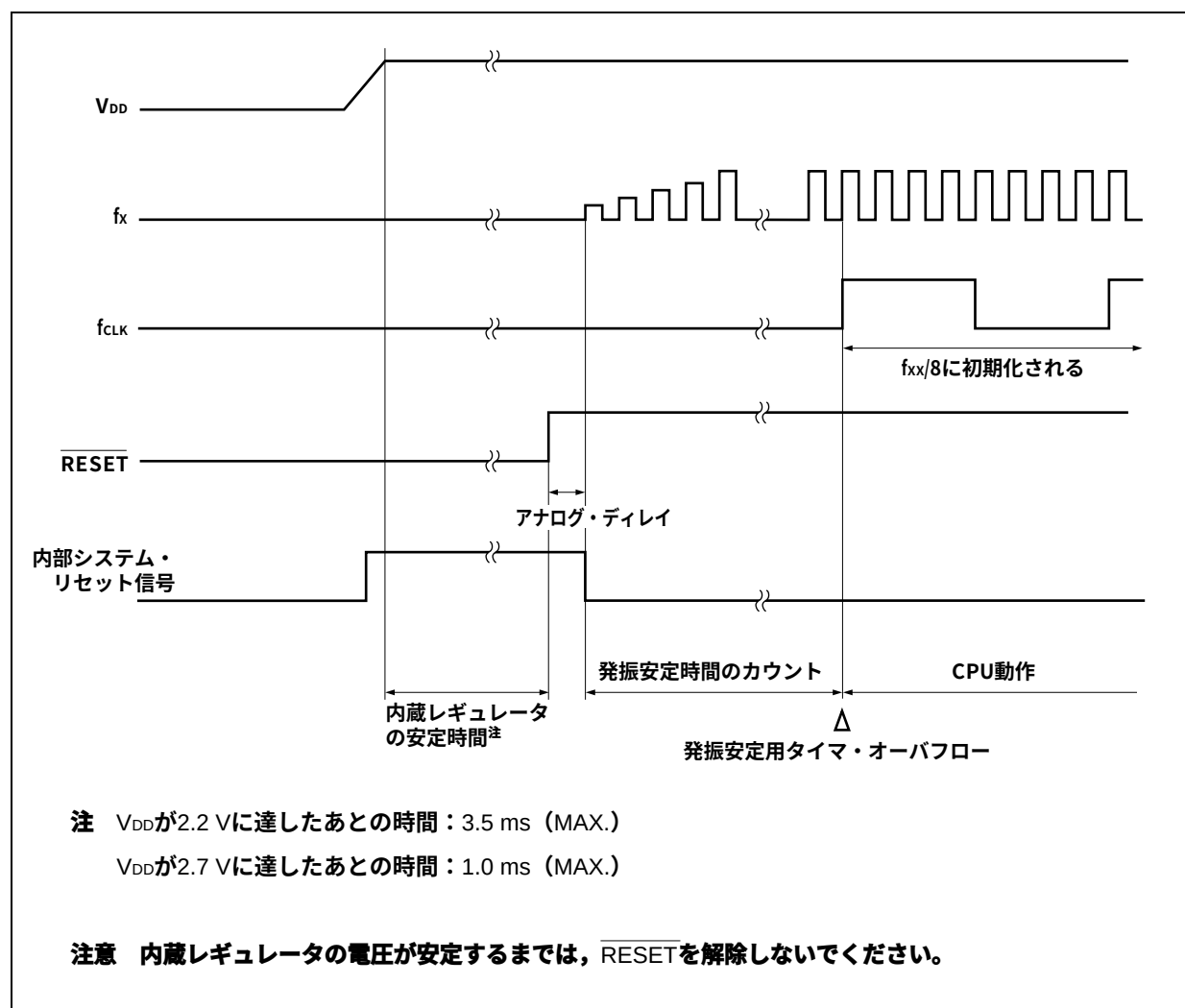


図22-3 パワーオン時のリセット動作のタイミング



22. 4. 2 ウォッチドッグ・タイマ2によるリセット動作

ウォッチドッグ・タイマ2をオーバフローによるリセット動作モードに設定時、ウォッチドッグ・タイマ2がオーバフロー（WDT2RES信号発生）すると、システム・リセットがかかり各ハードウェアを所定の状態に初期化します。

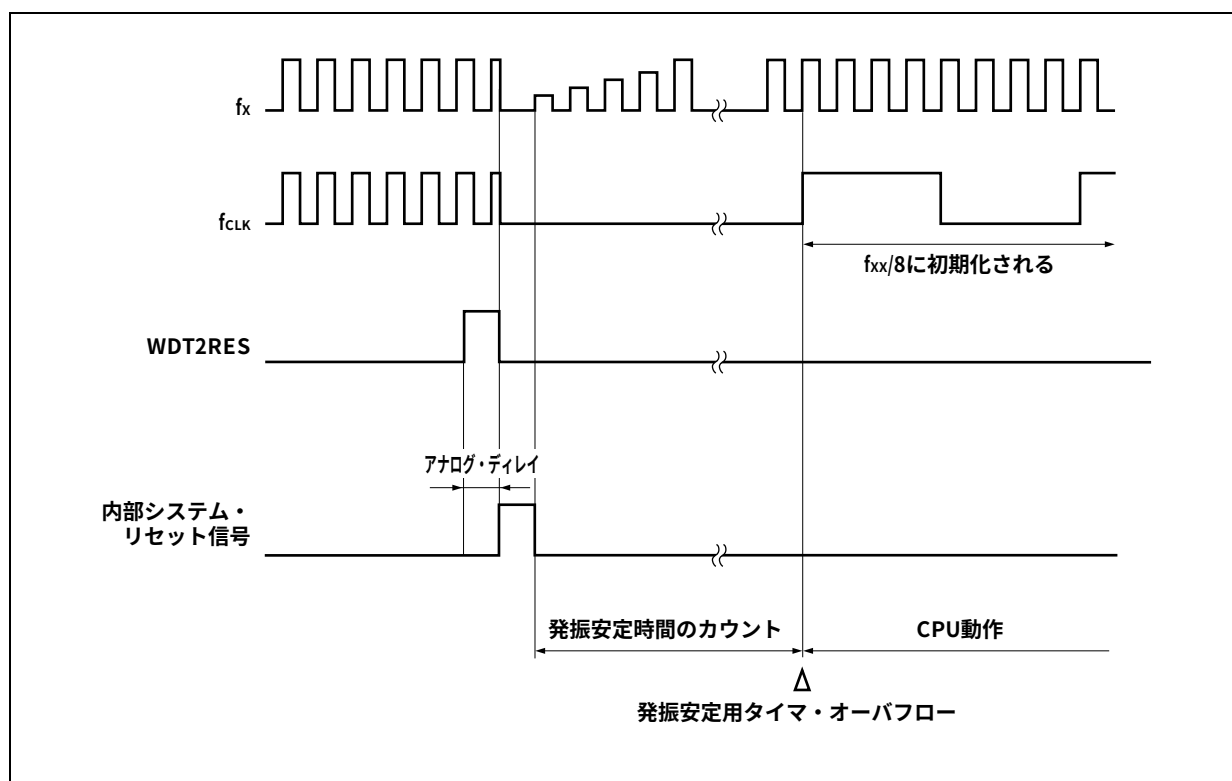
ウォッチドッグ・タイマ2のオーバフロー後、所定の時間（アナログ・ディレイ分）リセット状態となり、その後リセット状態を自動的に解除します。

なお、リセット期間中はメイン・クロック発振回路は停止します。

表22-2 ウォッチドッグ・タイマ2によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ($f_{xx}-f_{xx}/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{xx}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止（カウントは0に初期化）	内蔵発振クロックをソース・クロックとして0からカウント・アップ
RTC	動作継続	
内蔵RAM	パワーオン時のリセット、またはCPUアクセスとリセット入力競合（データ破壊）した場合、不定。 それ以外は、リセット入力直前の値を保持。	
I/Oライン（ポート／兼用端子）	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

図22-4 WDT2RES信号発生によるリセット動作のタイミング



22. 4. 3 低電圧検出回路によるリセット動作

LVIの動作許可時、電源電圧と検出電圧を比較し、電源電圧が検出電圧を下回った場合、システム・リセットがかかり (LVIM.LVIMDビット = 1設定時)、各ハードウェアを所定の状態に初期化します。

電圧低下検出から電源電圧が検出電圧を上回るまでリセット状態となります。

なお、リセット期間中はメイン・クロック発振回路は停止します。

LVIMDビット = 0設定時は、電源電圧値が検出電圧値を下回ったとき、または上回ったときに割り込み要求信号 (INTLVI) を発生します。

表22-3 低電圧検出回路によるリセット動作時の各ハードウェアの状態

項 目	リセット中	リセット後
メイン・クロック発振回路 (f_x)	発振停止	発振開始
サブクロック発振回路 (f_{XT})	発振継続	
内蔵発振器	発振停止	発振開始
周辺クロック ($f_x \cdot f_x/1024$)	動作停止	発振安定時間確保後、動作開始
内部システム・クロック (f_{xx}) , CPUクロック (f_{CPU})	動作停止	発振安定時間確保後、動作開始 ($f_{xx}/8$ に初期化)
CPU	初期化	発振安定時間確保後、プログラムの実行開始
ウォッチドッグ・タイマ2	動作停止 (カウントは0に初期化)	内蔵発振クロックをソース・クロックとして0からカウント・アップ
RTC	動作継続	
内蔵RAM	不定	
I/Oライン (ポート／兼用端子)	ハイ・インピーダンス	
内蔵周辺I/Oレジスタ	所定の状態に初期化、OCDMレジスタは値を保持。	
LVI	動作停止	
上記以外の内蔵周辺機能	動作停止	発振安定時間確保後、動作開始可能

備考 低電圧検出回路のリセット・タイミングは、第24章 低電圧検出回路 (LVI) を参照してください。

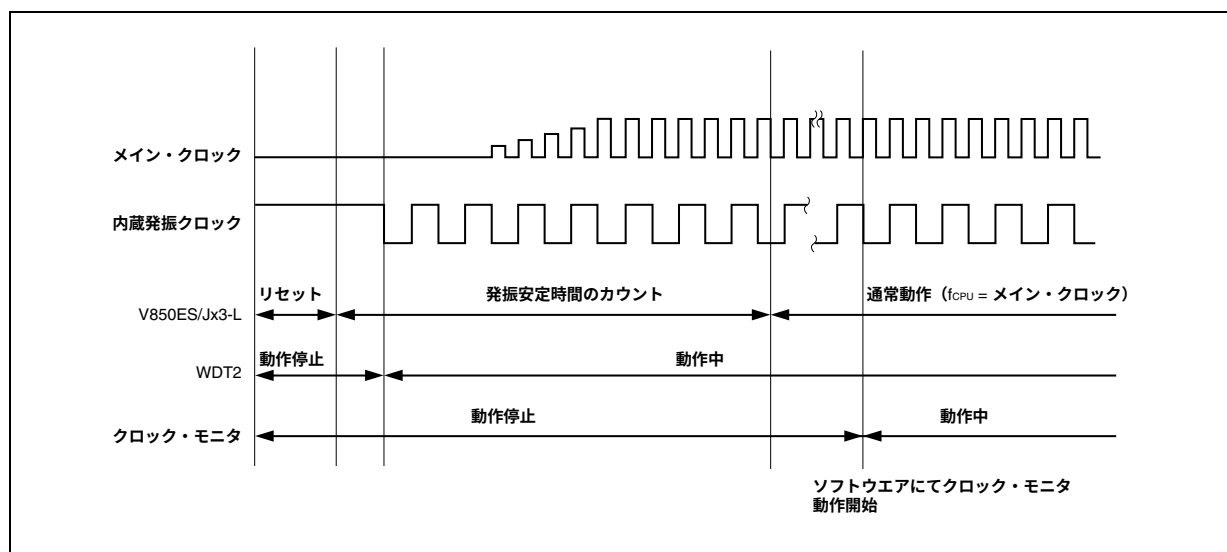
22. 4. 4 リセット解除後の動作

(1) 通常のリセット解除

リセット解除後、メイン・クロックは発振を開始し、発振安定時間（オプション・バイトの設定により異なります。詳細は、第27章 オプション・バイトを参照してください。）を確保したあと、CPUはプログラムの実行を開始します。

また、WDT2はリセット解除後、内蔵発振クロックをソース・クロックとして、すぐに動作を開始します。

図22-5 リセット解除後の動作

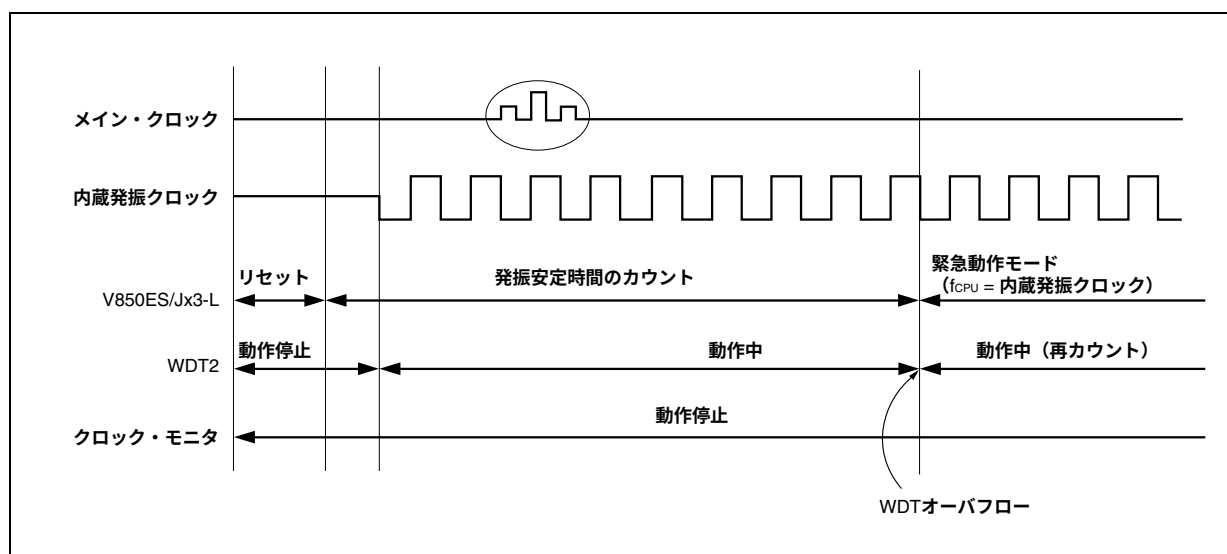


(2) 緊急動作モード

発振安定時間が確保される前にメイン・クロックに異常が発生した場合、CPUがプログラムの実行を開始する前にWDT2がオーバーフローします。このとき、CPUは内蔵発振クロックをソース・クロックとして、プログラムの実行を開始します。

注意 緊急動作モード時は、内蔵発振クロックで動作が可能な“割り込み機能、ポート機能、WDT2、タイマM”用レジスタ以外の内蔵周辺I/Oレジスタにアクセスしないでください。また、外部クロック入力を使用したCSIB0-CSIB4, UARTA0の動作も禁止します。

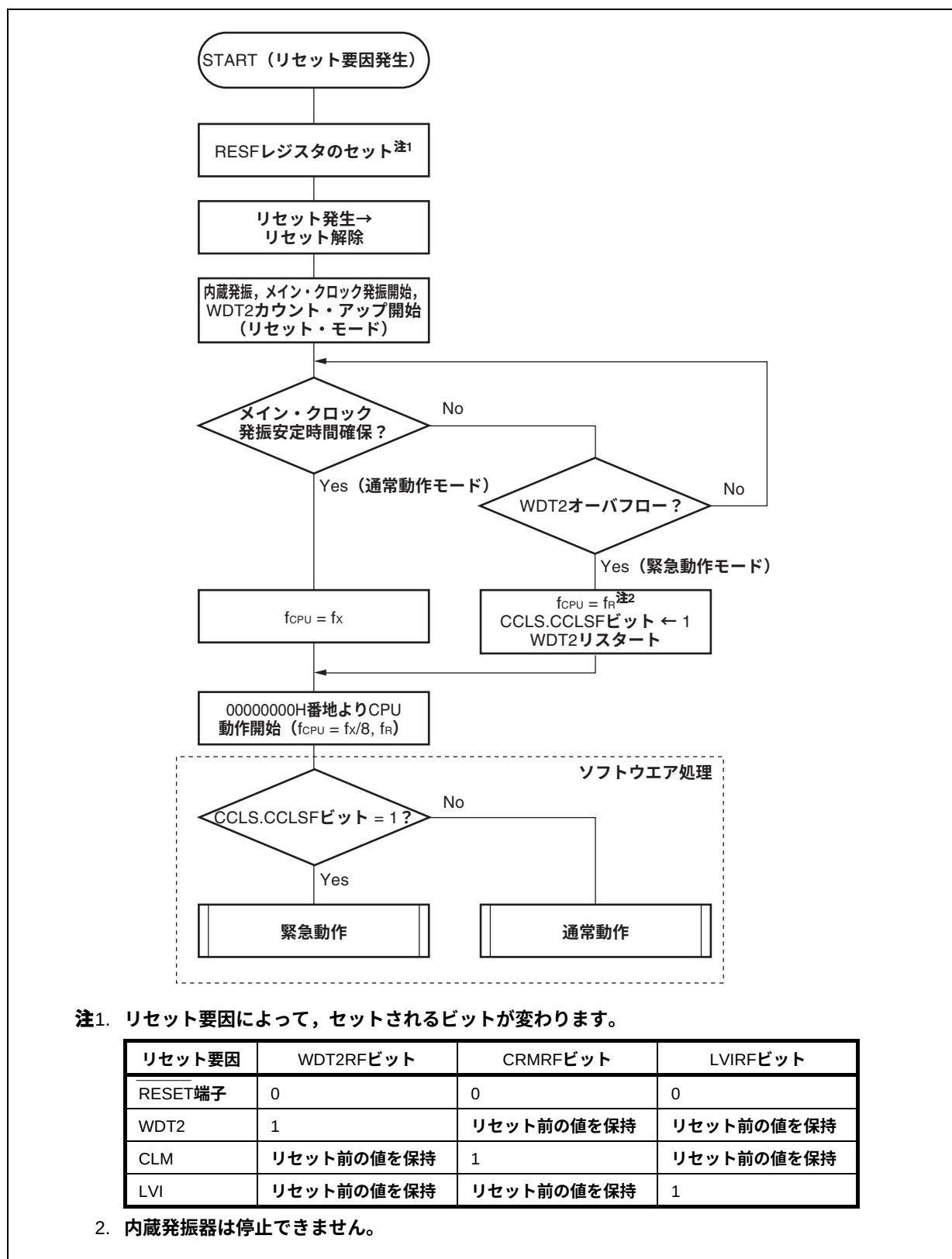
図22-6 リセット解除後の動作



CPU動作クロックの状態は、CPU動作クロック・ステータス・レジスタ (CCLS) で確認してください。

22. 4. 5 リセット機能の動作フロー

図22-7 リセット機能の動作フロー



22.5 注意事項

パワーオン時のリセット動作は、リセット解除時の電源電圧が動作保証範囲内である必要があります。また、V850ES/JC3-L, V850ES/JE3-Lは、電源電圧によって内部動作周波数の使用可能範囲が異なります（2.2 V～2.7 V 時@5 MHz（MAX.）, 2.7 V～3.6 V時@20 MHz（MAX.））。したがって、次の内容を守ってください。

(1) リセット解除時、2.2 V未満の場合

使用禁止です。

(2) リセット解除時、2.2 V以上、2.7 V未満の場合

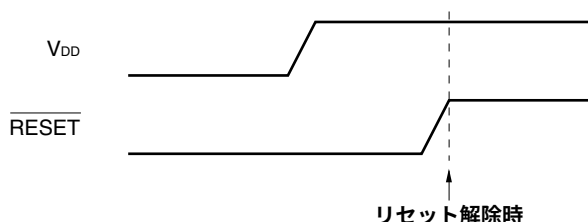
- ・メイン・クロック発振回路に $f_x = 2.5 \text{ MHz} \sim 5 \text{ MHz}$ を入力し、かつクロック・スルー・モード（PLLCTL.SELPLL = 0）に設定してください。
- ・メイン・クロック発振回路に5 MHzを越える周波数を入力することは禁止です。
- ・初期ルーチンで必ずPLL停止（PLLCTL.PLLON = 0）に設定してください。

(3) リセット解除時、2.7 V～3.6 Vの場合

- ・クロック・スルー・モードとPLLモードのいずれでも使用可能です。

備考1. 電圧値（V）は V_{DD} の値です。

2. リセット解除時とは下記のタイミングです。なお、 V_{DD} 立ち上がりと $\overline{\text{RESET}}$ 端子によるリセット解除の関係については30. 7. 4, 31. 7. 4, 32. 7. 4 **パワー・オン／パワー・オフ／リセット・タイミング**を参照してください。



第23章 クロック・モニタ

23.1 機 能

クロック・モニタは、内蔵発振クロックで、メイン・クロックのモニタリングを行い、メイン・クロックの発振停止時に、リセット要求信号を発生します。

動作許可フラグにより一度動作許可にすると、リセット以外ではクリア (0) できません。

クロック・モニタによるリセットが発生した場合、RESF.CLMRFビットがセットされます。RESFレジスタの詳細については、22.3 リセット要因を確認するレジスタを参照してください。

次の条件のとき、クロック・モニタは自動的に停止します。

- STOPモード～発振安定時間時
- メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット=1としてから、メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- モニタリング・クロック (内蔵発振クロック) 停止時
- CPUが内蔵発振クロック動作時

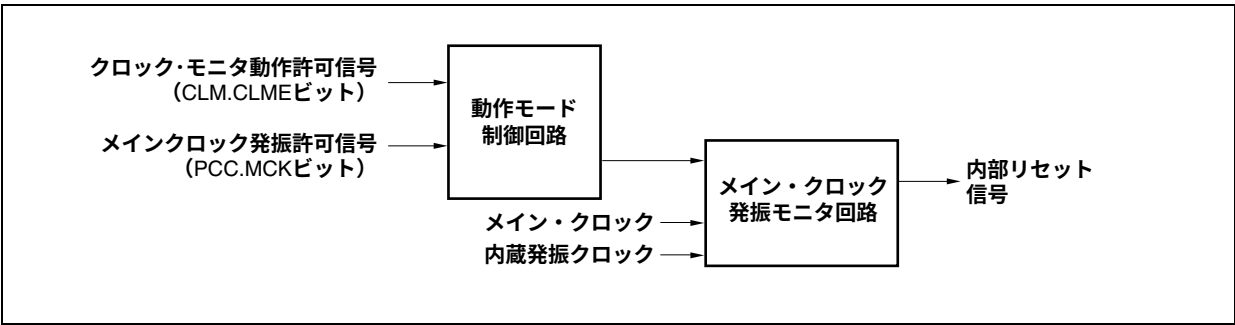
23.2 構 成

クロック・モニタは、次のハードウェアで構成しています。

表23-1 クロック・モニタの構成

項 目	構 成
制御レジスタ	クロック・モニタ・モード・レジスタ (CLM)

図23-1 クロック・モニタのブロック図



23.3 レジスタ

クロック・モニタは、クロック・モニタ・モード・レジスタ（CLM）で制御します。

(1) クロック・モニタ・モード・レジスタ（CLM）

CLMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます（3.

4.7 特定レジスタ参照）。

クロック・モニタの動作モードの設定を行うレジスタです。

8/1ビット単位でリード／ライト可能です。

リセットにより00Hになります。

リセット時：00H R/W アドレス：FFFFFF870H							
	7	6	5	4	3	2	1 ①
CLM	0	0	0	0	0	0	CLME

CLME	クロック・モニタの動作許可／禁止
0	クロック・モニタの動作禁止
1	クロック・モニタの動作許可

- 注意1.** 一度CLMEビット = 1に設定した場合、リセット以外ではクリア（0）できません。
- 2.** クロック・モニタによるリセットが発生した場合、CLMEビットはクリア（0）され、RESF.CLMRFビットがセット（1）されます。

23.4 動作

クロック・モニタの動作について説明します。モニタ開始条件，モニタ停止条件は次のようになります。

<モニタ開始条件>

CLM.CLMEビットを動作許可 (1) に設定

<モニタ停止条件>

- ・STOPモード～発振安定時間カウント時
- ・メイン・クロック停止時
(サブクロック動作時にPCC.MCKビット= 1としてから，メイン・クロック動作時にPCC.CLSビット = 0とするまで)
- ・サンプリング・クロック (内蔵発振クロック) 停止時
- ・CPUが内蔵発振クロック動作時

表23-2 クロック・モニタの動作状態 (CLM.CLMEビット = 1設定時)

CPU動作クロック	動作モード	メイン・クロックの 状態	内蔵発振クロックの 状態	クロック・モニタの 状態
メイン・クロック	HALTモード	発振	発振 ^{注1}	動作
	IDLE1, IDLE2モード	発振	発振 ^{注1}	動作
	STOPモード	停止	発振 ^{注1}	停止
サブクロック (PCCレジスタの MCKビット = 0)	サブIDLEモード	発振	発振 ^{注1}	動作
サブクロック (PCCレジスタの MCKビット = 1)	サブIDLEモード	停止	発振 ^{注1}	停止
内蔵発振クロック	緊急動作モード ^{注2}	停止	発振 ^{注3}	停止
リセット中	—	停止	停止	停止

注1. RCM.RSTOPビットをセット (1) することで内蔵発振器を停止できます。

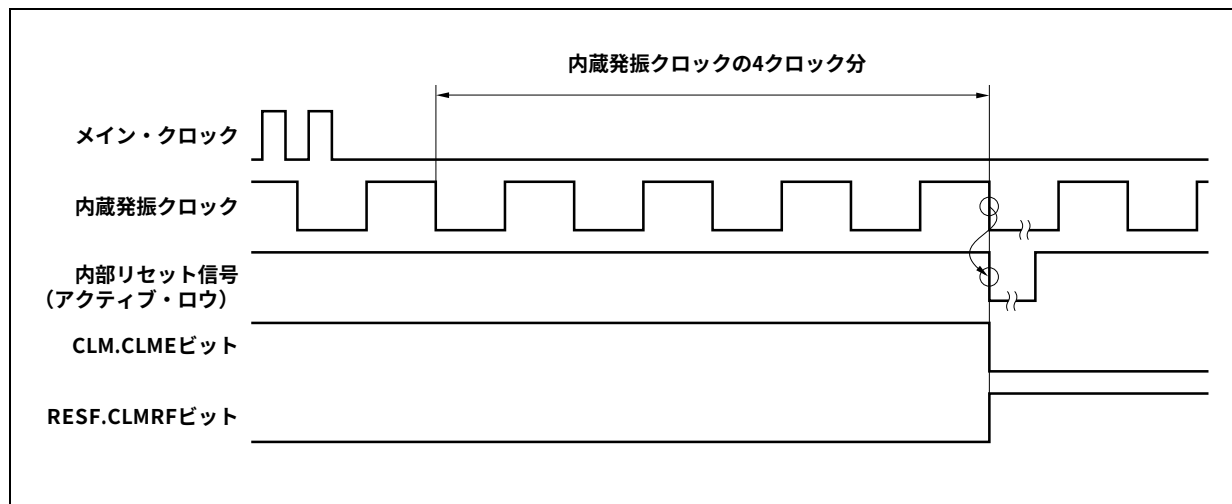
2. 22.3.4 (1) 緊急動作モード参照。

3. 内蔵発振器をソフトウェアで停止することはできません。

(1) メイン・クロック発振停止時の動作 (CLMEビット = 1)

CLMEビット = 1のとき、メイン・クロックの発振が停止した場合、図23-2のタイミングで内部リセット信号が発生します。

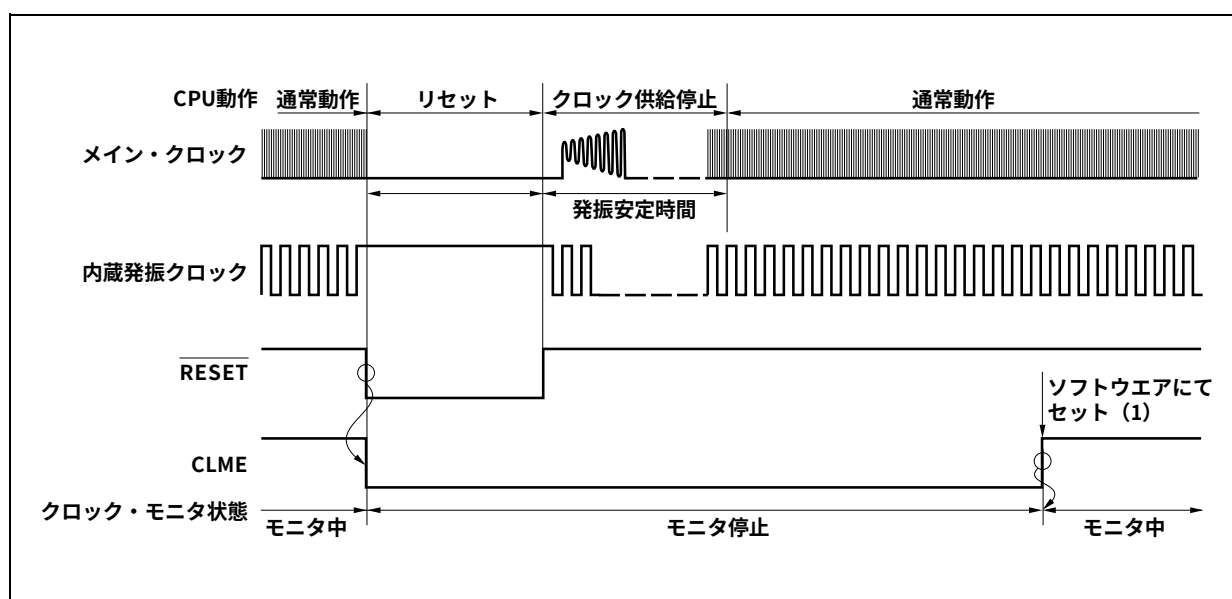
図23-2 メイン・クロックの発振停止によってリセットがかかる時間

(2) $\overline{\text{RESET}}$ 入力後のクロック・モニタの状態

$\overline{\text{RESET}}$ 入力により、CLM.CLMEビットはクリア (0) されて、クロック・モニタは動作停止します。通常動作開始後にソフトウェアでCLMEビットをセット (1) すると、モニタ動作を開始します。

図23-3 $\overline{\text{RESET}}$ 入力後のクロック・モニタの状態

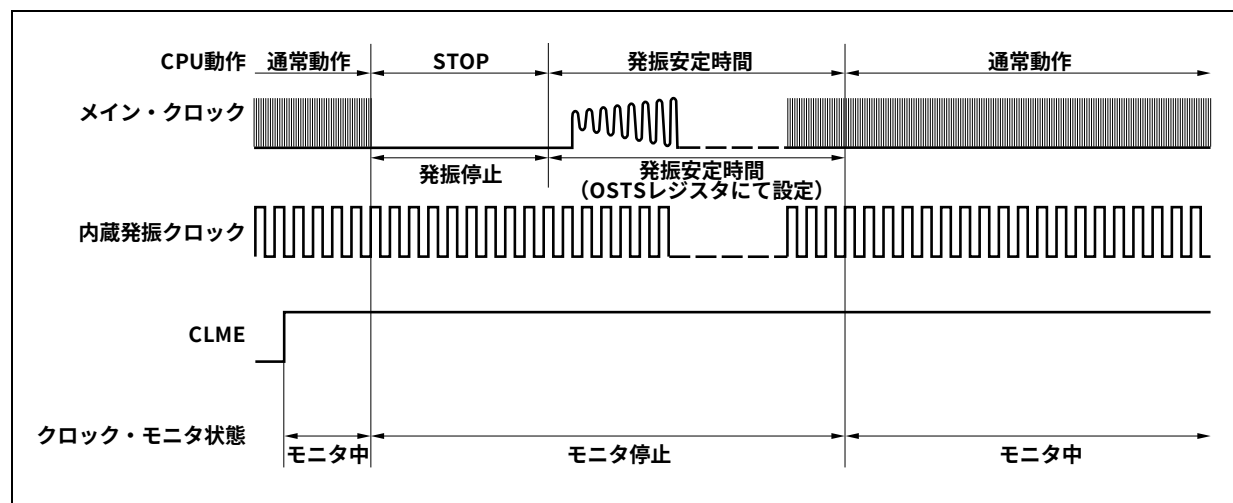
($\overline{\text{RESET}}$ 入力後、メイン・クロックの通常動作開始後に、CLM.CLMEビット = 1を設定)



(3) STOPモード中およびSTOPモード解除後の動作

CLM.CLMEビット = 1の状態ではSTOPモードに移行した場合、STOPモード中および発振安定時間カウンタ中はモニタ動作を停止します。発振安定時間カウンタ終了後に自動的にモニタ動作を開始します。

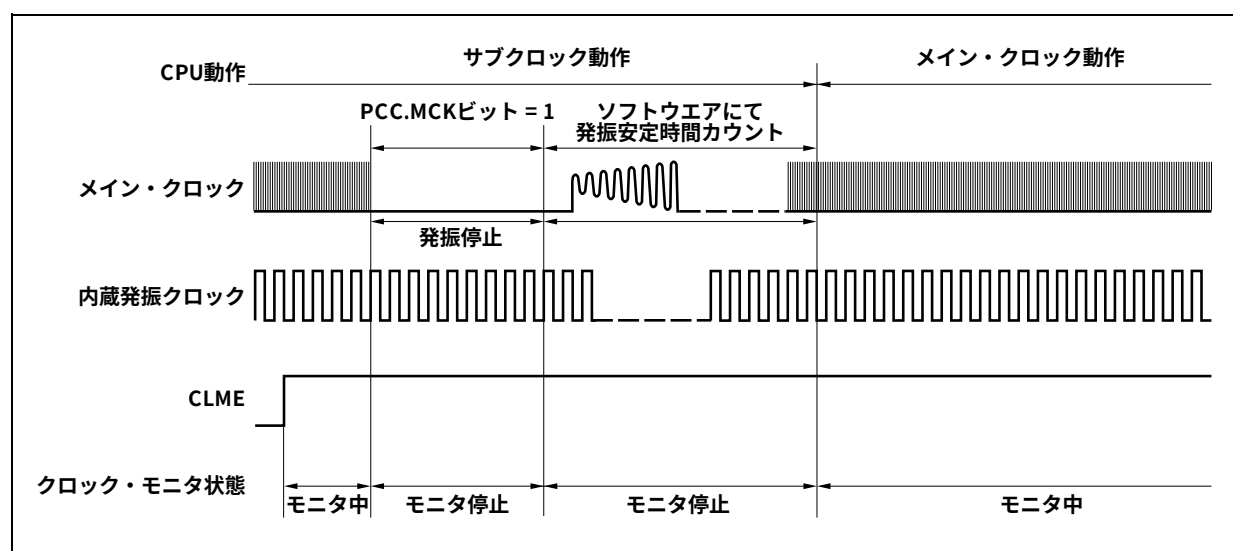
図23-4 STOPモード中およびSTOPモード解除後の動作



(4) メイン・クロック停止時（任意）の動作

サブクロック動作時（PCC.CLSビット = 1）、PCC.MCKビット = 1に設定することによりメイン・クロックを停止した場合、メイン・クロック動作（PCC.CLSビット = 0）に移行するまでモニタ動作を停止し、メイン・クロック動作移行後に自動的にモニタ動作を開始します。

図23-5 メイン・クロック停止時（任意）の動作



(5) CPUが内蔵発振クロックで動作時（CCLS.CCLSFBビット = 1）の動作

CCLSFBビット = 1のとき、CLMEビット = 1に設定してもモニタ動作を開始しません。

第24章 低電圧検出回路 (LVI)

24.1 機 能

低電圧検出回路 (LVI) は次のような機能を持ちます。

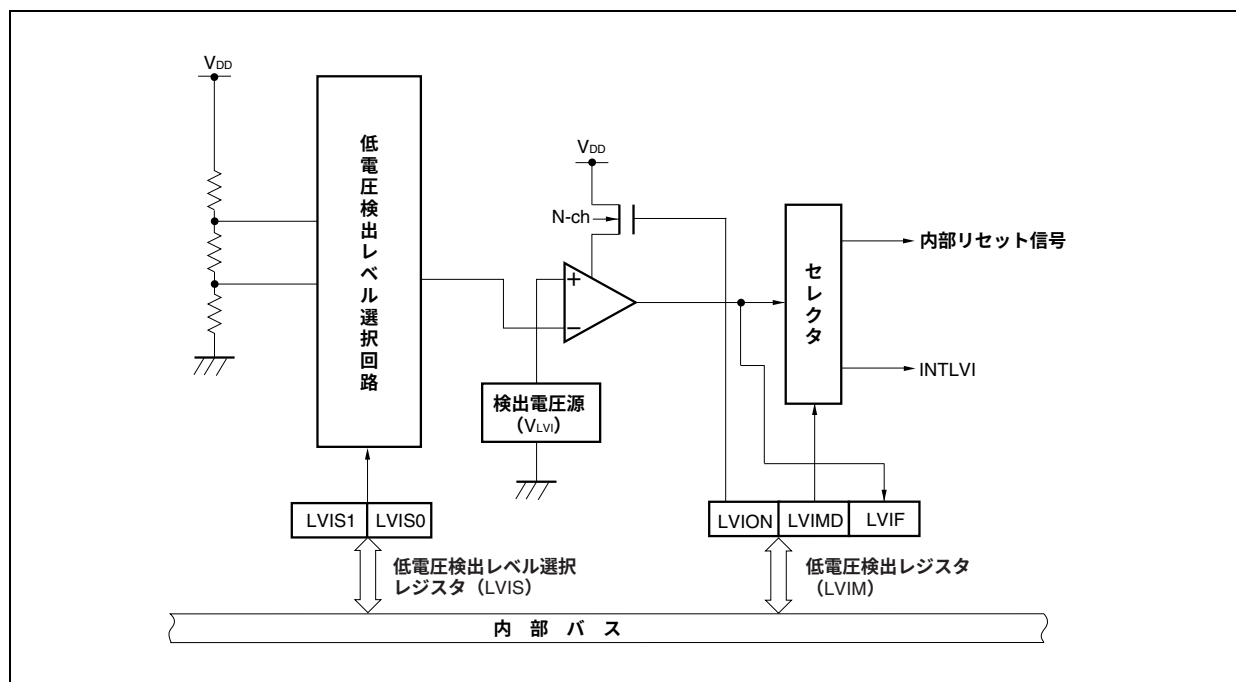
- ・ 低電圧検出時に割り込み発生を選択している場合、電源電圧 (V_{DD}) と検出電圧 (V_{LVI}) を比較し、電源電圧が検出電圧を下回ったとき、および上回ったとき、内部割り込み信号を発生します。
- ・ 低電圧検出時にリセット発生を選択している場合、電源電圧 (V_{DD}) が検出電圧 (V_{LVI}) を下回ったときに内部リセット信号を発生します。
- ・ 電源電圧の検出レベルをソフトウェアにて変更できます。
- ・ 割り込み／リセットをソフトウェアにて選択できます。
- ・ スタンバイ・モードにおいて動作可能です。

低電圧検出回路をリセット発生を選択して使用した場合に、リセットが発生するとRESF.LVIRFビットがセット (1) されます。RESFレジスタについての詳細は、22.3 リセット要因を確認するレジスタを参照してください。

24.2 構 成

低電圧検出回路のブロック図を次に示します。

図24-1 低電圧検出回路のブロック図



24.3 レジスタ

低電圧検出回路は次のレジスタで制御します。

- ・低電圧検出レジスタ (LVIM)
- ・低電圧検出レベル選択レジスタ (LVIS)

(1) 低電圧検出レジスタ (LVIM)

LVIMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3.

4.7 特定レジスタ参照)。

LVIMレジスタは、低電圧検出、動作モードを設定するレジスタです。

8/1ビット単位でリード／ライト可能です。ただし、LVIFビットはリードのみ可能です。

リセット時：注1 R/W アドレス：FFFFFF890H

	⑦	6	5	4	3	2	①	①
LVIM	LVION	0	0	0	0	0	LVIMD	LVIF

LVION	低電圧検出動作の許可／禁止
0	動作禁止
1	動作許可

LVIMD	低電圧検出の動作モード選択
0	電源電圧値が検出電圧値を下回ったとき、または上回ったときに割り込み要求信号INTLVIを発生
1	電源電圧<検出電圧時に内部リセット信号LVIREを発生

LVIF ^{注2,3}	低電圧検出フラグ
0	電源電圧>検出電圧、または動作禁止時
1	接続する電源電圧<検出電圧

注1. 低電圧検出によるリセット : 82H

その他の要因によるリセット : 00H

- 電源電圧 (V_{DD}) が検出電圧 (V_{LVI}) を下回っている間 (LVIM.LVIFビット = 1) は、LVIONビットを“1”から“0”に設定しないでください。
- LVI動作開始 (LVIONビット = 1) 後、LVIFビットを確認してください。
- INTLVI発生時には、電源電圧値が検出電圧値を下回ったのか、上回ったのかを確認するためLVIFビットで電源電圧の状態を確認してください。

注意1. LVIONビット = 1かつLVIMDビット = 1に設定した場合、低電圧検出によるリセット以外のリセット要求が発生するまで低電圧検出回路を停止できません。

- LVIONビットをセット (1) すると、LVI回路内のコンパレータの動作が開始します。LVIONビットをセットしてからLVIFビットで電圧を確認するまでに、ソフトウェアで0.2 ms以上ウエイトしてください。
- ビット6-2には必ず0を設定してください。

(2) 低電圧検出レベル選択レジスタ (LVIS)

LVISレジスタは、低電圧検出レベルを選択するレジスタです。

8ビット単位でリード／ライト可能です。

リセット時：注 R/W アドレス：FFFFFF891H

	7	6	5	4	3	2	1	①
LVIS	0	0	0	0	0	0	0	LVIS0

LVIS0	低電圧検出レベル
0	2.80 V (TYP.)
1	2.30 V (TYP.)

注 低電圧検出によるリセット : 保持
 そのほかの要因によるリセット : 00H

注意 ビット7-2には必ず0を設定してください。

24. 4 動作

LVIM.LVIMDビットの設定により、割り込み信号 (INTLVI) もしくは内部リセット信号を発生します。
次に動作設定方法とタイミング図を示します。

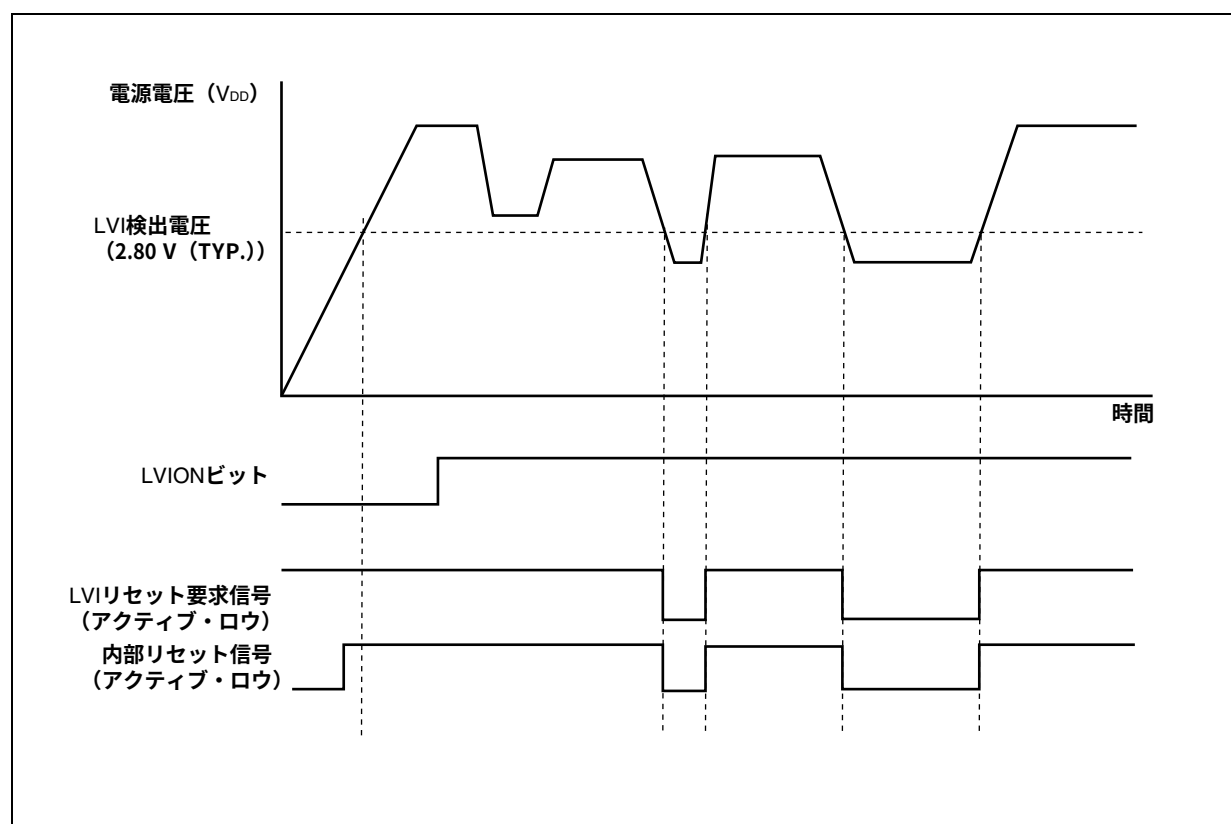
24. 4. 1 内部リセット信号として使用する場合

＜動作開始時＞

- ① LVIの割り込みをマスクします。
- ② LVIS.LVIS0ビットにて検出電圧を設定します。
- ③ LVIM.LVIONビット = 1に設定 (動作許可) します。
- ④ 0.2 ms以上ソフトウェアにてウェイトを挿入します。
- ⑤ LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- ⑥ LVIMDビット = 1 (内部リセット発生) を設定します。

注意 LVIMDビット = 1に設定した場合、LVI以外のリセット要求が発生するまで、LVIM, LVISレジスタの変更はできません。

図24-2 低電圧検出回路の動作タイミング (LVIMDビット = 1 : 低電圧検出レベル : 2.80 V時)



24. 4. 2 割り込みとして使用する場合

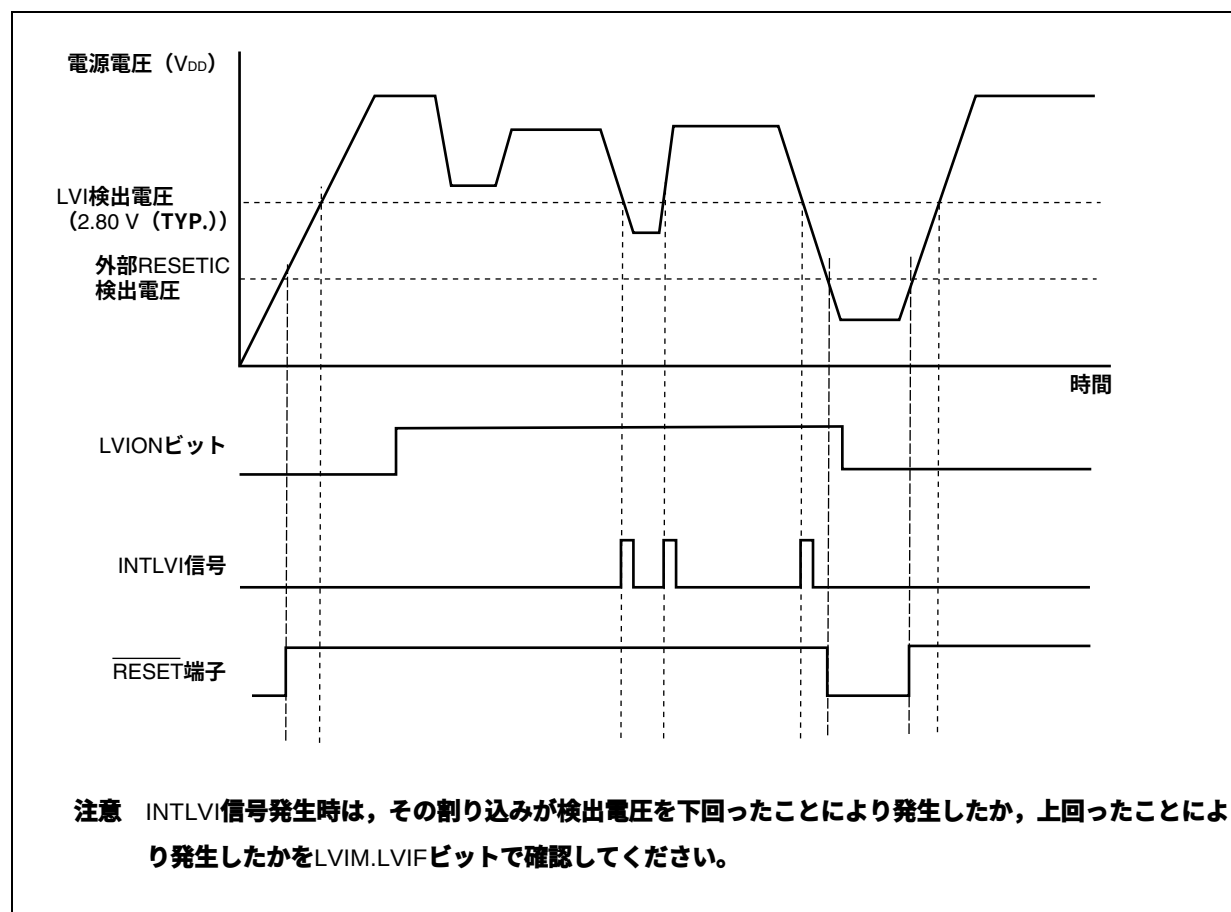
<動作開始時>

- ① LVIの割り込みをマスクします。
- ② LVIS.LVIS0ビットにて検出電圧を設定します。
- ③ LVIM.LVIONビット = 1に設定（動作許可）します。
- ④ 0.2 ms (MAX.) 以上ソフトウェアにてウェイトを挿入します。
- ⑤ LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- ⑥ LVIの割り込み要求フラグをクリアします。
- ⑦ LVIの割り込みマスクを解除します。

<動作停止時>

- ① LVIM.LVIFビットで電源電圧 > 検出電圧であることを確認します。
- ② LVIONビット = 0に設定します。

図24-3 低電圧検出回路の動作タイミング (LVIMDビット = 0: 低電圧検出レベル: 2.80 V時)



第25章 CRC機能

25.1 機 能

- 通信データの誤り検出に使用するCRCコード（巡回冗長符号）を生成します。
- データ・ブロックの誤り検出用のCRCコード生成回路です。
- 8ビット単位の任意のデータ長ブロックに対し、CRC-CCITT ($X^{16}+X^{12}+X^5+1$) の生成多項式を使用し、16ビットCRCコードを生成します。
- CRCコードは、CRCDレジスタに初期値を設定したあと、1バイトのデータをCRCINレジスタに転送することにより、CRCDレジスタに設定されます。

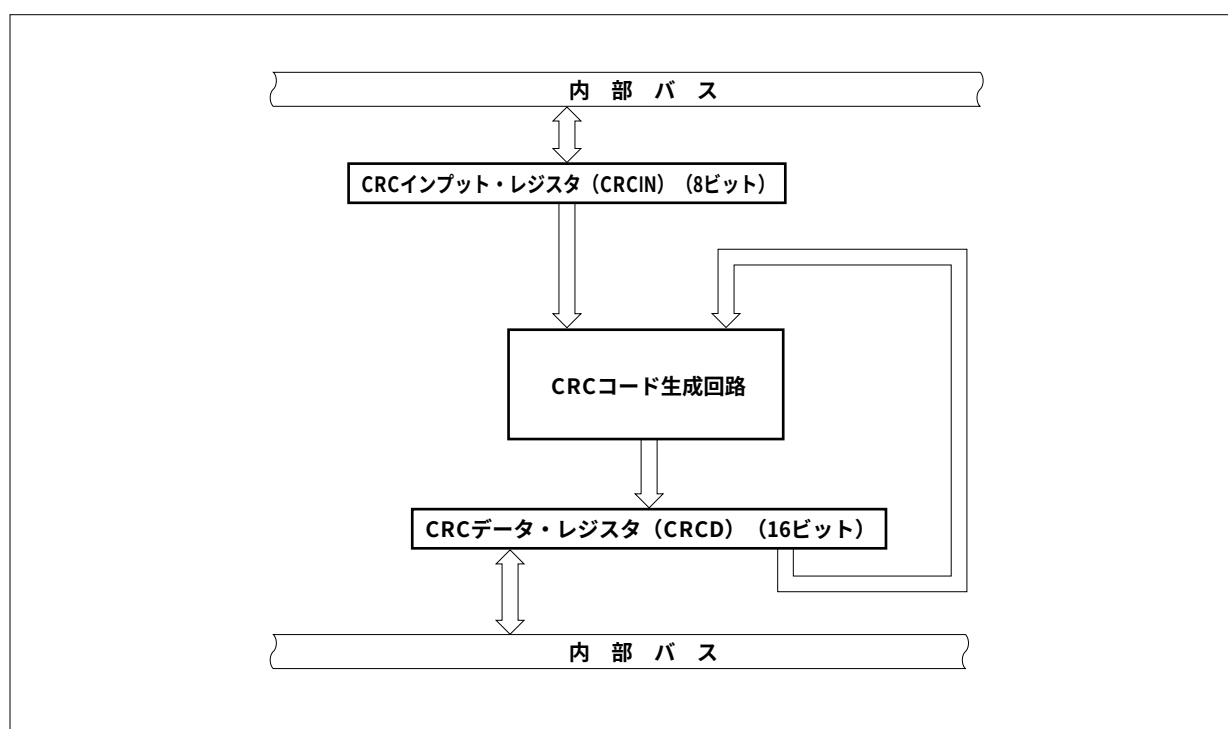
25.2 構 成

CRC機能は、次のハードウェアで構成されています。

表25-1 CRCの構成

項 目	構 成
制御レジスタ	CRCインプット・レジスタ (CRCIN)
	CRCデータ・レジスタ (CRCD)

図25-1 CRCレジスタのブロック図



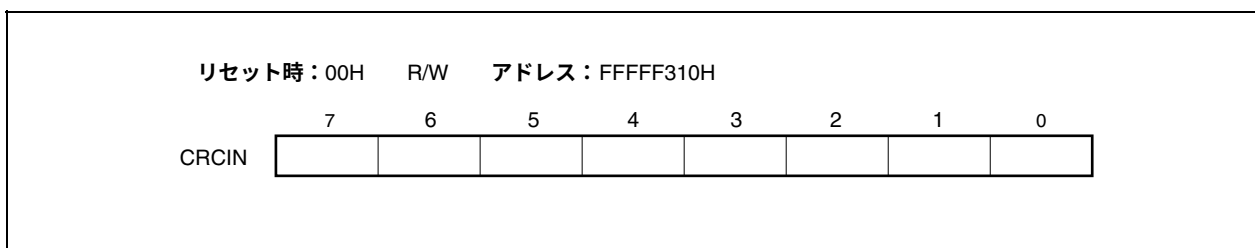
25.3 レジスタ

(1) CRCインプット・レジスタ (CRCIN)

CRCINレジスタは、データ設定用の8ビット・レジスタです。

8ビット単位でリード／ライト可能です。

リセットにより00Hになります。



(2) CRCデータ・レジスタ (CRCD)

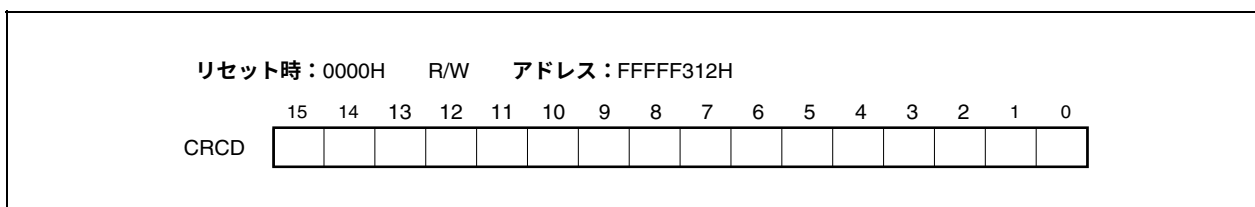
CRCDレジスタは、CRC-CCITT演算結果格納の16ビット・レジスタです。

16ビット単位でリード／ライト可能です。

リセットにより0000Hになります。

注意 次を示す状態において、CRCDレジスタへのアクセスは禁止です。ウェイトが発生した場合の解除方法はウェイトのみです。詳細は3. 4. 8 (2) 特定の内蔵周辺I/Oレジスタへのアクセスについてを参照してください。

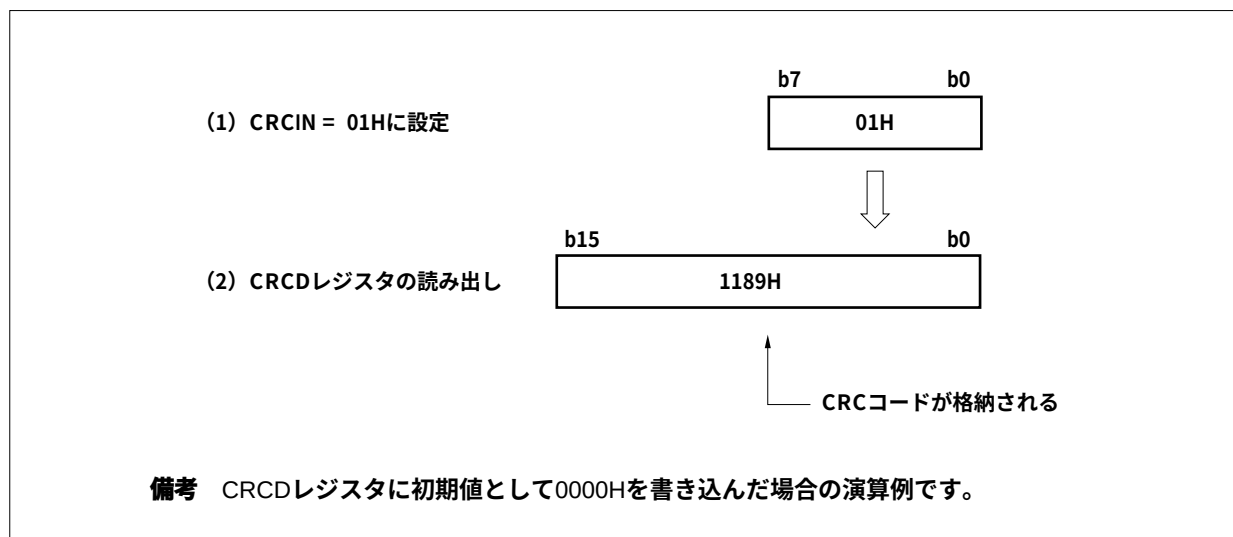
- CPUがサブクロックで動作し、かつメイン・クロック発振を停止している場合
- CPUが内蔵発振クロックで動作している場合



25.4 動作

CRC演算回路の演算例を次に示します。

図25-2 CRC演算回路の演算例 (LSBファースト)



01HをLSBファーストで送信した場合のコードは(1000 0000)です。したがって、生成多項式 $X^{16}+X^{12}+X^5+1$ でのCRCコードは、モジュロ2の演算法則を用いて、(1000 0000)に0を16桁追加して(1000 0000 0000 0000 0000 0000)とし生成多項式(1 0001 0000 0010 0001)で除算をした場合の剰余となります。

モジュロ2の演算とは次の法則に基づいた演算です。

$$\begin{aligned} 0+0 &= 0 \\ 0+1 &= 1 \\ 1+0 &= 1 \\ 1+1 &= 0 \\ -1 &= 1 \end{aligned}$$

1 0001 0000 0010 0001 / 1000 0000 0000 0000 1000 1000

1000 1000 0001 0000 1

1000 0001 0000 1000 0

1000 1000 0001 0000 1

1001 0001 1000 1000

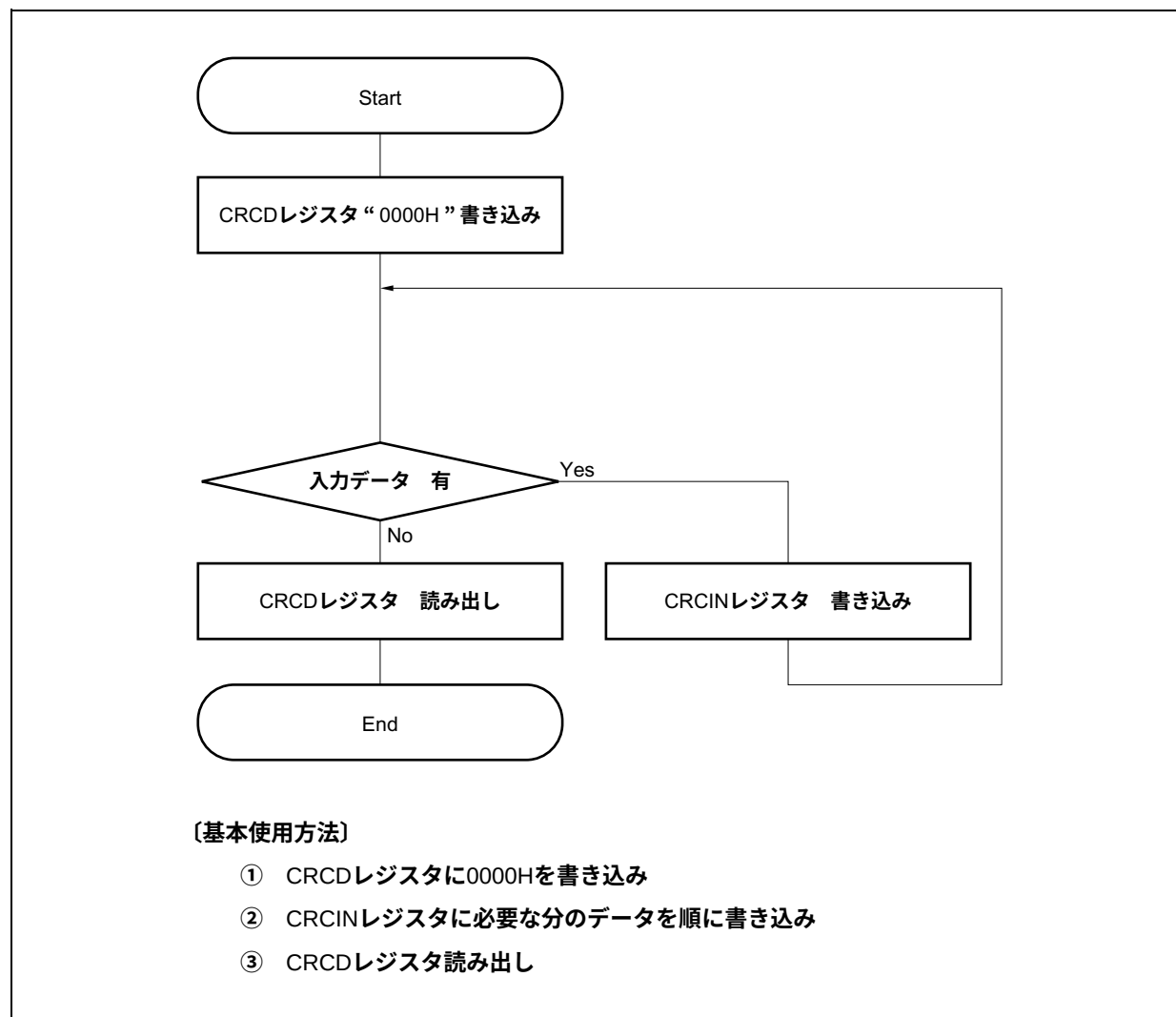
LSB MSB

したがって、CRC符号は $\overset{9}{1001} \overset{8}{0001} \overset{1}{1000} \overset{1}{1000}$ となります。LSBファーストなので16進数表記では、1189Hに相当します。

25.5 使用方法

次にCRC論理回路の使用方法について説明します。

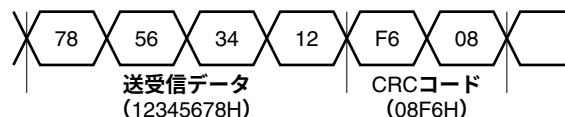
図25-3 CRC動作フロー



複数バイトのデータを送受信する際、送受信データとともに、CRCコードを送受信すると、通信エラーを容易に検出できます。

次に12345678H (0001 0010 0011 0100 0101 0110 0111 1000B) 全体をLSBファーストで送信する場合の例について示します。

図25-4 CRC送信例



送信側の処理手順

- ① CRCDレジスタに、初期値“0000H”を書き込む
- ② 最初に送信する1バイト・データを、送信バッファ・レジスタに書き込む（このとき、CRCINレジスタにも同じデータを書き込む）
- ③ 複数バイトのデータを送信する場合は、送信データを送信バッファ・レジスタに書き込むたびに、同じデータをCRCINレジスタに書き込む
- ④ すべてのデータを送信したあと、CRCDレジスタの内容（CRCコード）を送信バッファ・レジスタに書き込み、送信する（データ全体をLSBファーストで、下位バイト、上位バイトの順に送信する）
- ⑤ 受信側から再送要求があった場合は再送信する

受信側の処理手順

- ① CRCDレジスタに、初期値“0000H”を書き込む
- ② 最初の1バイト・データの受信完了後、その受信データを、CRCINレジスタに書き込む
- ③ 複数バイトのデータを受信する場合は、受信完了のたびに、その受信データをCRCINレジスタに書き込む（正常に受信している場合、すべての受信データをCRCINレジスタに書き込んだ時点で、受信側のCRCDレジスタの内容と送信側のCRCDレジスタの内容は同一になる）
- ④ このあと、送信側からはCRCコードが送信されるので、受信データと同様に、CRCINレジスタに書き込む
- ⑤ CRCコードを含めて、すべての受信が完了した時点で、CRCDレジスタの内容が“0000H”であれば、正常受信。CRCDレジスタの内容は“0000H”以外の値の場合は、通信エラーであるため、送信側へ再送要求を行う

第26章 レギュレータ

26.1 概 要

V850ES/JC3-L, V850ES/JE3-Lは、低消費電力／低ノイズを実現するために、レギュレータを内蔵しています。

このレギュレータは、発振器ブロックと内部ロジック回路（A/Dコンバータ，D/Aコンバータ，出力バッファは除く）に、 V_{DD} 電源電圧を降圧した電圧を供給します。

図26-1 レギュレータ（V850ES/JC3-L（40ピン））

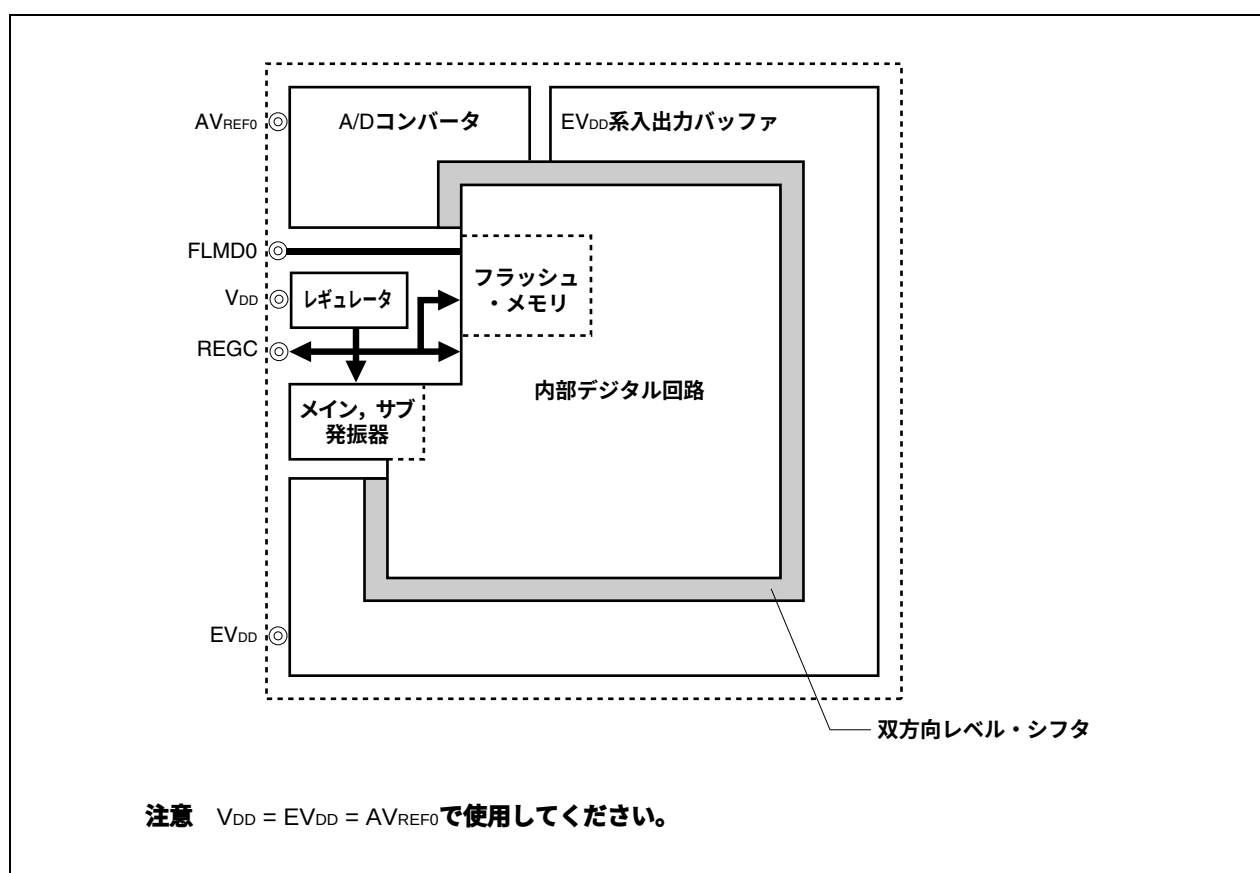
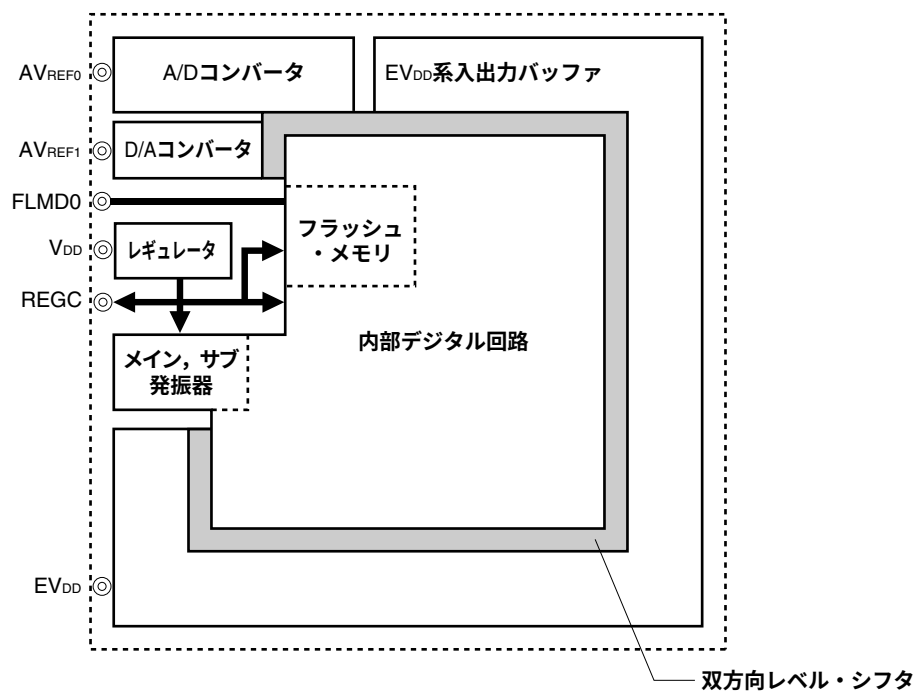


図26-2 レギュレータ (V850ES/JC3-L (48ピン), V850ES/JE3-L)



注意 $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$ で使用してください。

26.2 動作

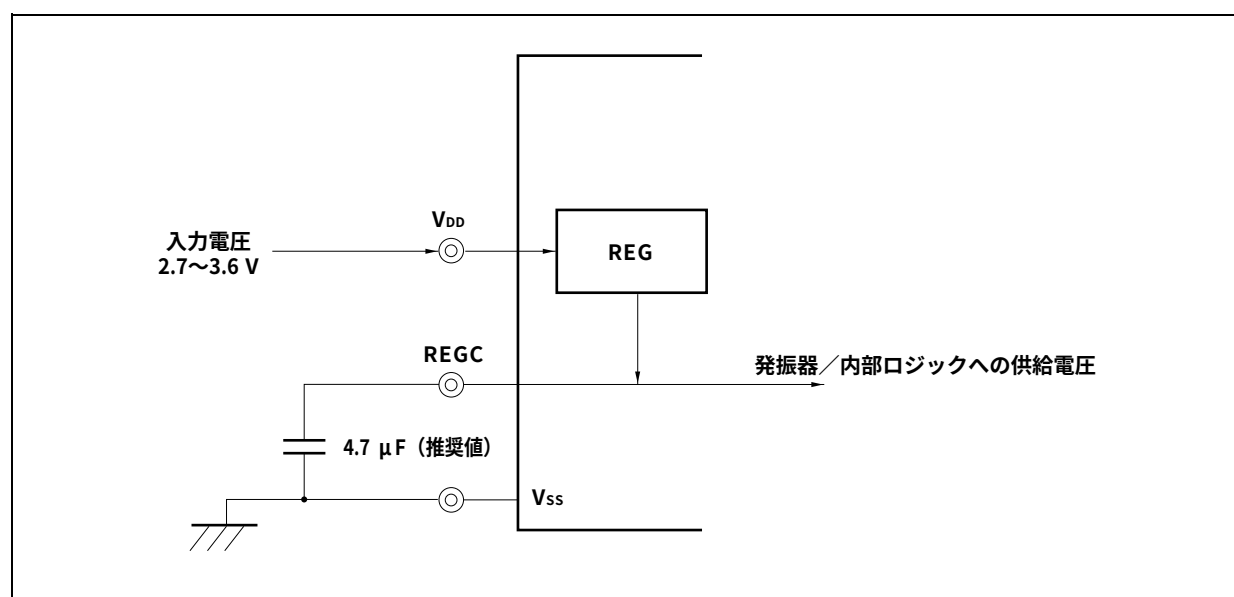
V_{DD}に接続されているレギュレータは、いかなるモード（通常動作モード／HALTモード／IDLE1モード／IDLE2モード／STOPモード／サブクロック動作モード／サブIDLEモード／リセット中）でも常に動作します。

レギュレータの出力電圧は、STOPモード、サブクロック動作モード、サブIDLEモードのとき、低消費電力を実現するために低電圧の出力設定ができます。詳細は、第21章 スタンバイ機能を参照してください。

また、レギュレータの出力を安定させるためにREGC端子にコンデンサ（4.7 μ F（推奨値））を接続してください。

次に端子の接続の方法を示します。

図26-3 REGC端子の接続



第27章 オプション・バイト

オプション・バイトは、内蔵フラッシュ・メモリの000007AH番地（内蔵ROM領域）に8ビット・データとして格納されています。この8ビット・データは、リセット解除後の発振安定時間を設定するデータです。リセット解除後は、この設定値に対応した発振安定時間が確保されます。

V850ES/JC3-L, V850ES/JE3-Lにプログラムを書き込む場合には、27. 1 プログラム例を参考にして、オプション・データをプログラムに組み込んでください。000007AH番地にオプション・データをプログラム上に設定してください。

なお、プログラム実行上、この領域のデータの書き換えなどはできません。

アドレス：0000007AH

7	6	5	4	3	2	1	0
0	0	0	0	0	RESOSTS2	RESOSTS1	RESOSTS0

RES OSTS2	RES OSTS1	RES OSTS0		発振安定時間の選択（理論値）		
				fx		
				2.5 MHz	6 MHz	10 MHz
0	0	0	$2^{10}/f_x$	409.6 μ s	設定禁止	設定禁止
0	0	1	$2^{11}/f_x$	819.2 μ s	設定禁止	設定禁止
0	1	0	$2^{12}/f_x$	1.638 ms	682.7 μ s	409.6 μ s
0	1	1	$2^{13}/f_x$	3.277 ms	1.365 ms	819.2 μ s
1	0	0	$2^{14}/f_x$	6.554 ms	2.731 ms	1.638 ms
1	0	1	$2^{15}/f_x$	13.11 ms	5.461 ms	3.277 ms
1	1	0	$2^{16}/f_x$	26.21 ms	10.92 ms	6.554 ms
1	1	1	$2^{16}/f_x$	26.21 ms	10.92 ms	6.554 ms

- 備考1.** STOPモードやIDLE2モードを解除してからのウェイト時間は、OSTSレジスタで設定します。OSTSレジスタの詳細は21. 2 (3) 発振安定時間選択レジスタ (OSTS) を参照してください。
- 2.** f_x ：メイン・クロック発振周波数

- 注意1.** 電源投入時からのオーバーヘッド時間を考慮しているため、理論値で設定する時間より、実際の発振安定時間は長くなります。最大で260 μ sを加算した時間が、実際の発振安定時間となります。
- 2.** 発振安定時間の選択（理論値）は、必ず400 μ s以上になるように設定してください。400 μ s以下にした場合、内部状態が不安定となり動作は保証できません。
- 3.** ビット7-3には必ず“0”をセットしてください。

27.1 プログラム例

次に，CA850をご使用の場合のプログラム例を示します。

```
#-----  
# OPTION_BYTES  
#-----  
.section "OPTION_BYTES"      //オプション・バイト (0000007A番地) の指定//  
.byte 0b00000001 -- 0x7a    //オプション・バイトとして 0b00000001を指定//  
.byte 0b00000000 -- 0x7b    //0000007B番地に0b00000000を指定//  
.byte 0b00000000 -- 0x7c    //0000007C番地に0b00000000を指定//  
.byte 0b00000000 -- 0x7d    //0000007D番地に0b00000000を指定//  
.byte 0b00000000 -- 0x7e    //0000007E番地に0b00000000を指定//  
.byte 0b00000000 -- 0x7f    //0000007F番地に0b00000000を指定//
```

注意 このセクションは必ず6バイト分を記述してください。6バイト未満の場合は，リンクの際にエラーとなります。

エラー・メッセージ： F4112: illegal "OPTION_BYTES" section size.

備考 007BH-007FH番地には0x00を設定してください。

第28章 フラッシュ・メモリ

V850ES/JC3-L, V850ES/JE3-Lは、フラッシュ・メモリを内蔵しています。

- ・ μ PD70F3797, 70F3801, 70F3805：16 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3798, 70F3802, 70F3806：32 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3799, 70F3803, 70F3807：64 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3800, 70F3804, 70F3808：128 Kバイトのフラッシュ・メモリ内蔵
- ・ μ PD70F3838, 70F3839, 70F3840：256 Kバイトのフラッシュ・メモリ内蔵

フラッシュ・メモリ内蔵品は、開発用途および量産用途として次のような利点があります。

- ターゲット・システムにV850ES/JC3-L, V850ES/JE3-Lを半田実装後、ソフトウェアの変更可能
- 量産立ち上げ時のデータ調整が容易
- 規格ごとにソフトウェアを区別することで少量多品種生産が容易
- 在庫管理が容易
- 出荷後のソフトウェアのアップデートが容易

28.1 特 徴

- 容量：256 K/128 K/64 K/32 K/16 Kバイト
- 書き換え方式
 - ・専用フラッシュ・メモリ・プログラマとのシリアル・インタフェースを介しての通信による書き換え（オンボード／オフボード・プログラミング）
 - ・ユーザ・プログラムによるフラッシュ・メモリの書き換え（セルフ・プログラミング）
- フラッシュ・メモリの書き換え禁止機能をサポート（セキュリティ機能）
- ブート・スワップ機能により、セルフ・プログラミングによる全フラッシュ・メモリ領域のセキュアな書き換えが可能
- セルフ・プログラミング中の割り込み受け付け可能
- 4バイト/1クロック・アクセス（命令フェッチ時）

28.2 メモリ構成

V850ES/JC3-L, V850ES/JE3-Lの内蔵フラッシュ・メモリの領域は8, 16, 32, 64, 128個のブロックに分割されており、各ブロック単位で消去可能となっています。また、全ブロックの一括消去も可能です。

また、ブート・スワップ機能を用いた場合、ブロック0-7のアドレスに配置された物理メモリと、ブロック8-15のアドレスに配置された物理メモリが入れ替わります。ブート・スワップ機能詳細については、28.5 セルフ・プログラミングによる書き換えを参照してください。

図28-1 フラッシュ・メモリ・マッピング (1/2)

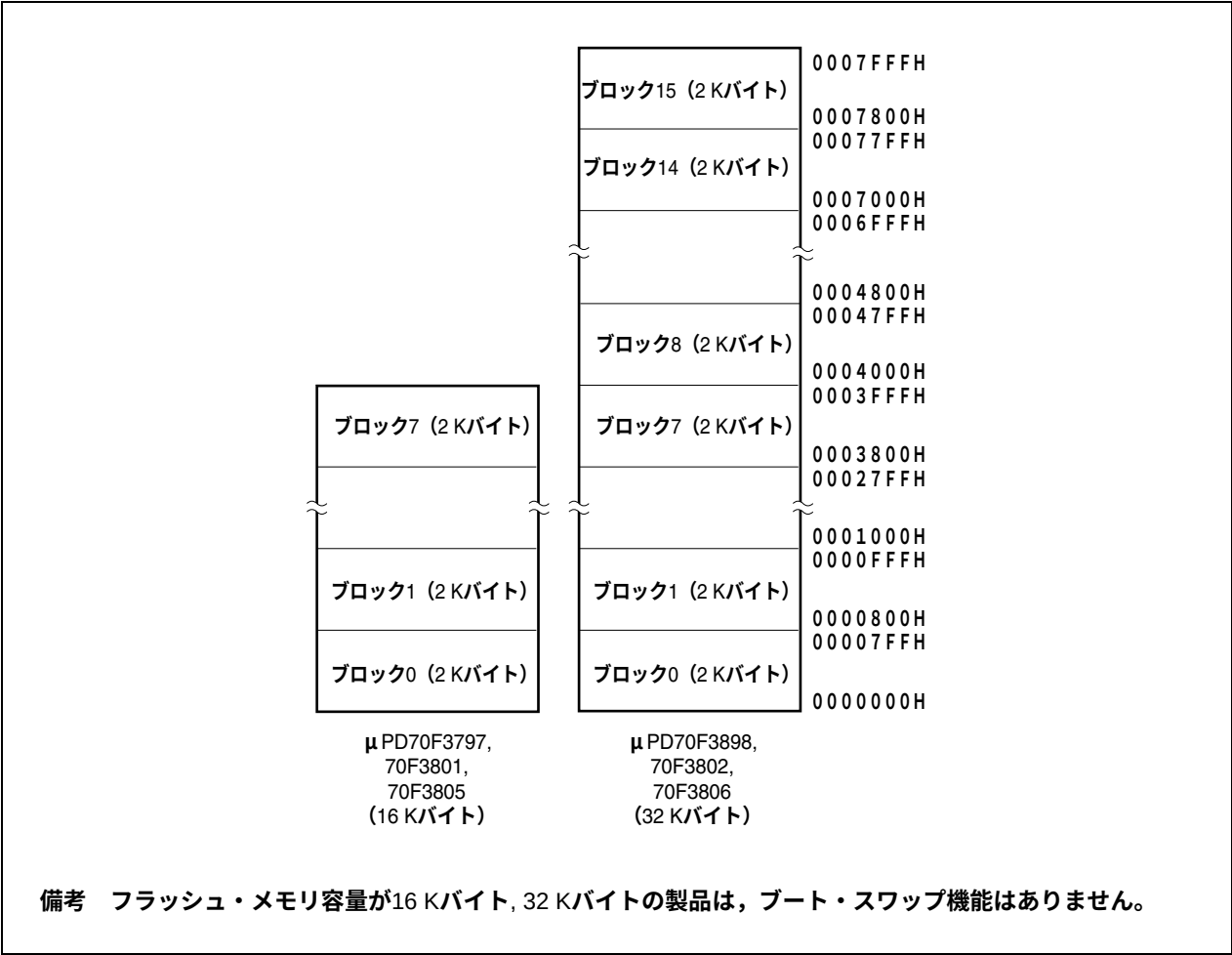
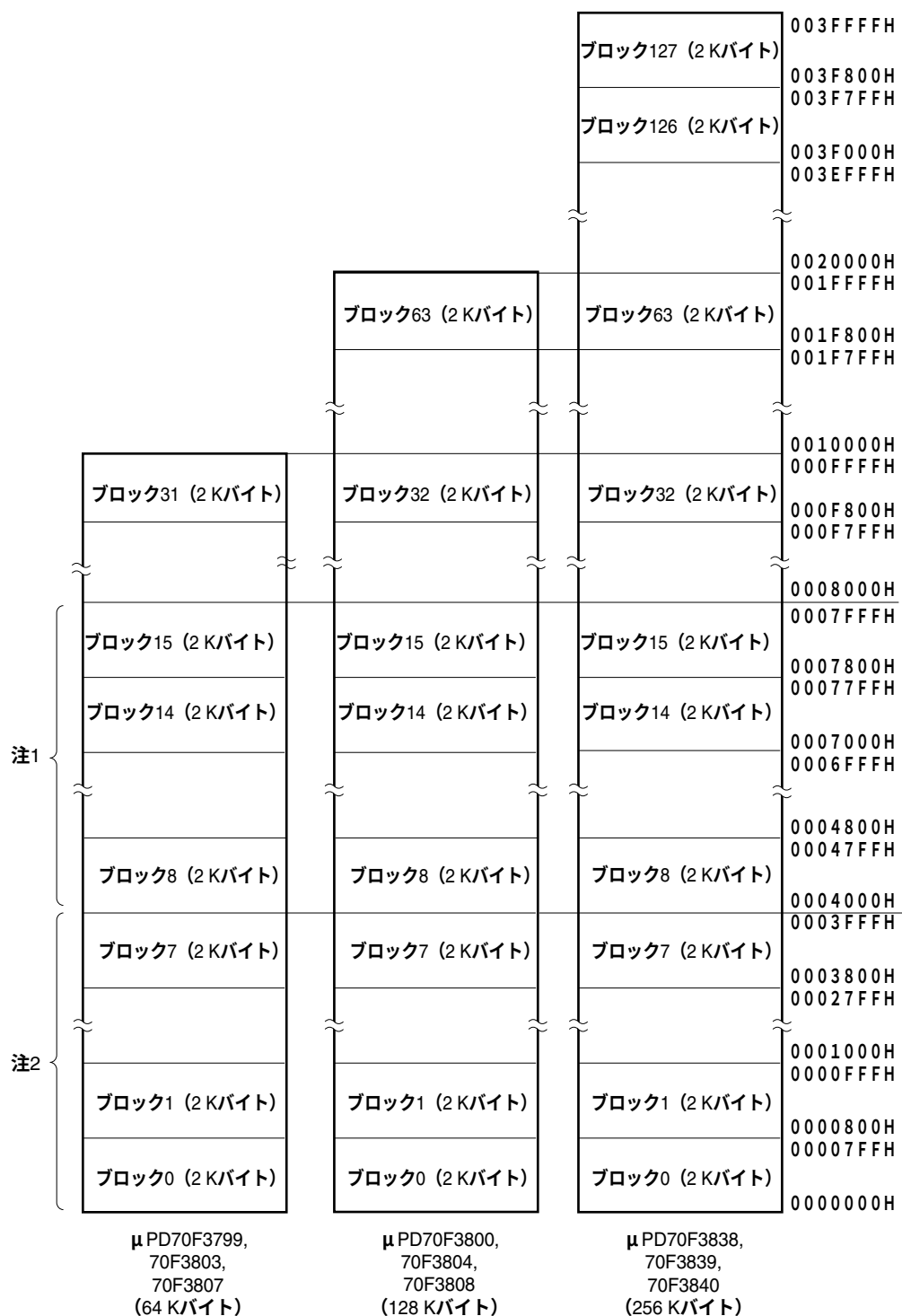


図28-1 フラッシュ・メモリ・マッピング (2/2)



注1. ブート・スワップによりブート領域と入れ替わる領域

2. ブート領域

28.3 機能概要

V850ES/JC3-L, V850ES/JE3-Lの内蔵フラッシュ・メモリは、専用フラッシュ・メモリ・プログラマによる書き換え機能により、ターゲット・システムへの実装前、実装後にかかわらず書き換えが可能です（オフボード／オンボード・プログラミング）。

また、内蔵フラッシュ・メモリに書かれたユーザ・プログラムの書き換えを禁止するセキュリティ機能をサポートしており、第三者によるプログラムの改ざん防止などに対応可能となっています。

ユーザ・プログラムによる書き換え機能（セルフ・プログラミング）は、ターゲット・システムの製造／出荷後のプログラム変更を想定したアプリケーションに適した書き換え方法です。全フラッシュ・メモリ領域を安全に書き換えるためのブート・スワップ機能もサポートしています。また、セルフ・プログラミング中の割り込み処理のサポートにより、外部との通信処理を行いながら書き換えを行うなど、さまざまな条件での書き換えが可能です。

表28-1 書き換え方法

書き換え方法	機能概要	動作モード
オンボード・プログラミング	専用フラッシュ・メモリ・プログラマを用いてターゲット・システム上に実装後にフラッシュ・メモリの書き換えが可能です。	フラッシュ・メモリ・プログラミング・モード
オフボード・プログラミング	専用フラッシュ・メモリ・プログラマと専用プログラム・アダプタ・ボード（FAシリーズ）を用いることにより、ターゲット・システムに実装する前に、フラッシュ・メモリの書き換えが可能です。	
セルフ・プログラミング	オフボード／オンボード・プログラミングによりフラッシュ・メモリへあらかじめ書き込まれたユーザ・プログラムの実行により、フラッシュ・メモリの書き換えが可能です。（セルフ・プログラミング中は内蔵フラッシュ・メモリ領域からの命令フェッチおよびデータ・アクセスはできませんので、内蔵RAMへ書き換え用のプログラムをあらかじめ転送して実行する必要があります。）	通常動作モード

備考 FAシリーズは、（株）内藤電誠町田製作所の製品です。

表28-2 基本機能一覧

機 能	機能概要	サポートの有無 (○：サポート，×：未サポート)	
		オンボード／オフボード・ プログラミング	セルフ・プログラミング
ブランク・チェック	全メモリの消去状態の確認を行います。	○	○
チップ消去	全メモリの内容の一括消去を行います。	○	× [※]
ブロック消去	指定したブロックのメモリの内容の消去を行います。	○	○
プログラム	指定したアドレスの書き込みおよび書き込みレベルが確保されているかどうかのベリファイ・チェックを行います。	○	○
ベリファイ／チェック・サム	フラッシュ・メモリから読み出したデータと、フラッシュ・メモリ・プログラムから転送されたデータの比較を行います。	○	× (ユーザ・プログラムにて読み出しは可能)
リード	フラッシュ・メモリに書き込まれたデータの読み出しを行います。	○	×
セキュリティ設定	チップ消去コマンド／ブロック消去コマンド／プログラム・コマンド／リード・コマンドの使用禁止設定およびブート・ブロック・クラスタの書き換え禁止設定を行います。	○	× (設定を許可から禁止にする場合のみ可能)

注 ブロック消去関数において全メモリ領域を指定することにより可能です。

次にセキュリティ機能の一覧を示します。チップ消去コマンド禁止／ブロック消去コマンド禁止／プログラム・コマンド禁止／リード・コマンド禁止／ブート・ブロック・クラスタの書き換え禁止設定機能は、出荷後の初期状態はすべて許可になっており、オンボード／オフボード・プログラミングによる書き換えでのみセキュリティ設定が可能です。各セキュリティ設定に関しては、同時に組み合わせて使用できます。

表28-3 セキュリティ機能一覧

機 能	機能概要
チップ消去コマンド禁止	全ブロックに対してのブロック消去、およびチップ消去コマンドの実行を禁止します。一度禁止設定するとチップ消去コマンドが実行できないため、すべての禁止設定の初期化ができなくなります。
ブロック消去コマンド禁止	全ブロックに対してのブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
プログラム・コマンド禁止	全ブロックに対してのプログラム・コマンドとブロック消去コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
リード・コマンド禁止	全ブロックに対してのリード・コマンドの実行を禁止します。チップ消去コマンドの実行によって、禁止設定の初期化が可能です。
ブート・ブロック・クラスタの書き換え禁止設定	ブロック0から指定したブロックまで、ブート・ブロック・クラスタを保護することが可能です。ブート・ブロック・クラスタを保護すると、それ以降保護されたブート・ブロック・クラスタの書き換え（消去および書き込み）はできません。チップ消去コマンドを実行しても、禁止設定の初期化はできません。 指定可能な最大ブロックは次のとおりです。 μ PD70F3797, 70F3801, 70F3805：ブロック7 μ PD70F3798, 70F3802, 70F3806：ブロック15 μ PD70F3799, 70F3803, 70F3807：ブロック31 μ PD70F3800, 70F3804, 70F3808：ブロック63 μ PD70F3838, 70F3839, 70F3840：ブロック127

表28-4 セキュリティ設定

機 能	各セキュリティ設定時の消去／書き込み／読み出し動作 (○：実行可能，×：実行不可，－：未サポート)		セキュリティ設定 注意事項	
	オンボード／オフボード・ プログラミング	セルフ・プログラミング	オンボード／オ フボード・プロ グラミング	セルフ・プログ ラミング
チップ消去 コマンド禁止	チップ消去コマンド：× ブロック消去コマンド：× プログラム・コマンド：○ ^{※1} リード・コマンド：○	チップ消去：－ ブロック消去（FlashBlockErase）：○ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	禁止設定の初期 化が不可能	設定を許可から 禁止にする場合 のみ可能
ブロック消去 コマンド禁止	チップ消去コマンド：○ ブロック消去コマンド：× プログラム・コマンド：○ リード・コマンド：○	チップ消去：－ ブロック消去（FlashBlockErase）：○ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
プログラム・ コマンド禁止	チップ消去コマンド：○ ブロック消去コマンド：× プログラム・コマンド：× リード・コマンド：○	チップ消去：－ ブロック消去（FlashBlockErase）：○ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
リード・ コマンド禁止	チップ消去コマンド：○ ブロック消去コマンド：○ プログラム・コマンド：○ リード・コマンド：×	チップ消去：－ ブロック消去（FlashBlockErase）：○ 書き込み（FlashWordWrite）：○ 読み出し（FlashWordRead）：○	チップ消去コマ ンドによる禁止 設定の初期化が 可能	
ブート・ブロッ ク・クラスタの書 き換え禁止	チップ消去コマンド：× ブロック消去コマンド：× ^{※2} プログラム・コマンド：× ^{※2} リード・コマンド：○	チップ消去：－ ブロック消去（FlashBlockErase）：× ^{※2} 書き込み（FlashWordWrite）：× ^{※2} 読み出し（FlashWordRead）：○	禁止設定の初期 化が不可能	

注1. 消去コマンドは無効となるため、すでにフラッシュ・メモリに書き込まれているデータと異なるデータを書き込むことはできません。

2. ブート・ブロック・クラスタ以外は実行可能です。

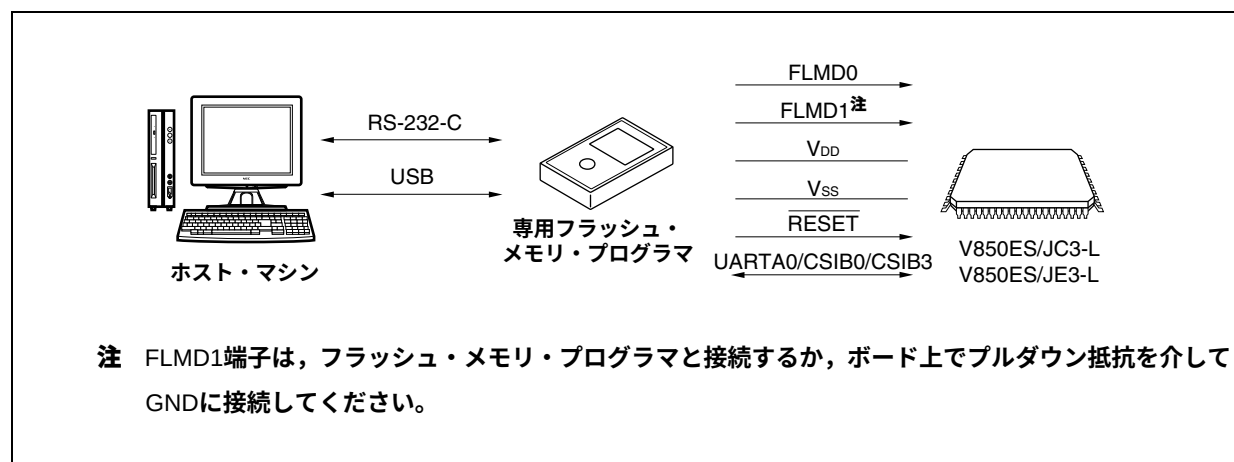
28. 4 専用フラッシュ・メモリ・プログラマでの書き換え

専用フラッシュ・メモリ・プログラマにて、ターゲット・システム上にV850ES/JC3-L, V850ES/JE3-Lを実装後のフラッシュ・メモリの書き換えが可能です（オンボード・プログラミング）。また、専用プログラム・アダプタ（FAシリーズ）と組み合わせると、ターゲット・システムに実装する前でのフラッシュ・メモリの書き換えが可能です（オフボード・プログラミング）。

28. 4. 1 プログラミング環境

V850ES/JC3-L, V850ES/JE3-Lのフラッシュ・メモリにプログラムを書き込むために必要な環境を示します。

図28-2 フラッシュ・メモリにプログラムを書き込むための環境



専用フラッシュ・メモリ・プログラマには、これを制御するホスト・マシンが必要です。場合によっては、スタンド・アローンで専用フラッシュ・メモリ・プログラマの使用も可能です。詳細は専用フラッシュ・メモリ・プログラマのユーザズ・マニュアルを参照してください。

また、専用フラッシュ・メモリ・プログラマとV850ES/JC3-L, V850ES/JE3-LとのインタフェースはUARTA0, CSIB0またはCSIB3を使用して、書き込み、消去等の操作を行います。オフボードで書き込む場合は、専用プログラム・アダプタ（FAシリーズ）が必要です。

備考 FAシリーズは、(株)内藤電誠町田製作所の製品です。

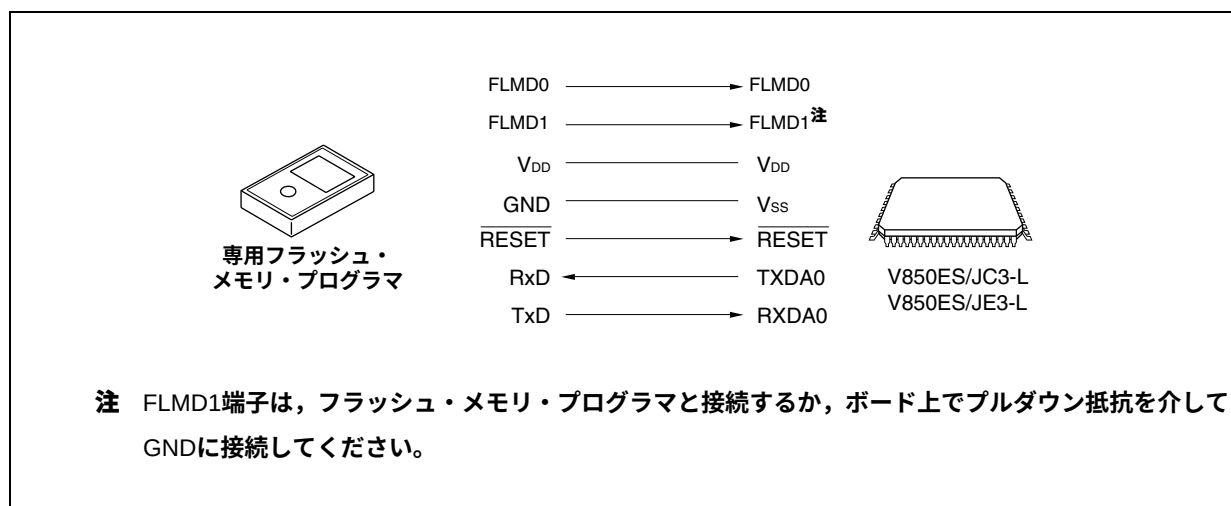
28. 4. 2 通信方式

専用フラッシュ・メモリ・プログラマとV850ES/JC3-L, V850ES/JE3-Lとの通信は, V850ES/JC3-L, V850ES/JE3-LのUARTA0, CSIB0またはCSIB3によるシリアル通信で行います。

(1) UARTA0

転送レート：9600～153600 bps

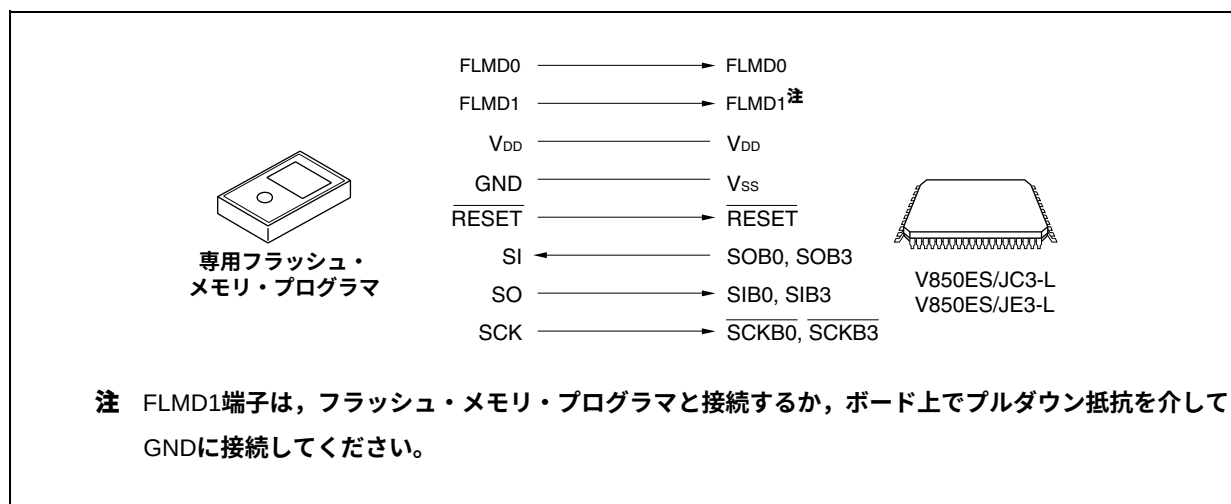
図28-3 専用フラッシュ・メモリ・プログラマとの通信 (UARTA0)



(2) CSIB0, CSIB3

シリアル・クロック：2.4 kHz～5 MHz (MSBファースト)

図28-4 専用フラッシュ・メモリ・プログラマとの通信 (CSIB0, CSIB3)

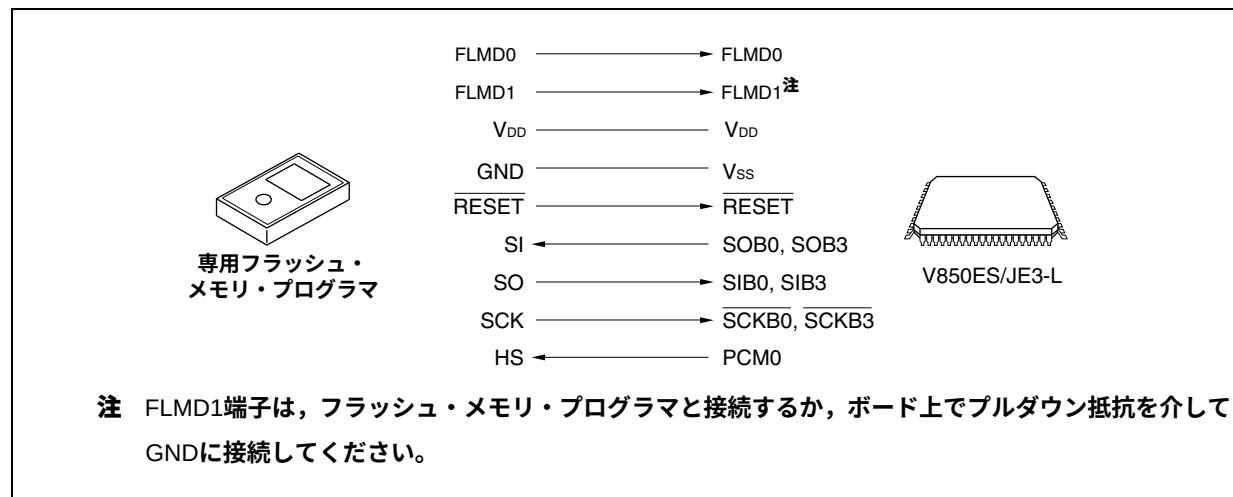


(3) CSIB0+HS, CSIB3+HS

シリアル・クロック：2.4 kHz～5 MHz（MSBファースト）

V850ES/JE3-Lはスレーブとして動作します（V850ES/JC3-Lでは使用できません）。

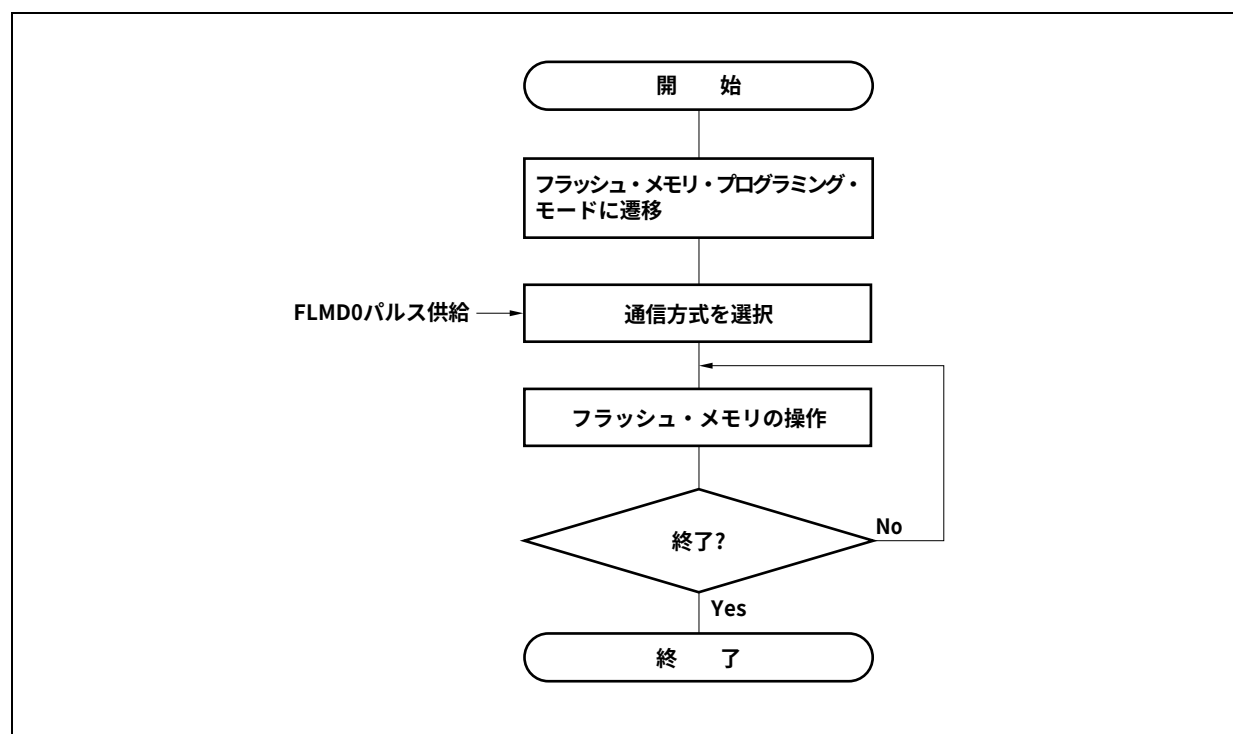
図28-5 専用フラッシュ・メモリ・プログラマとの通信（CSIB0+HS, CSIB3+HS）



28. 4. 3 フラッシュ・メモリ制御

フラッシュ・メモリを操作する手順を次に示します。

図28-6 フラッシュ・メモリの操作手順

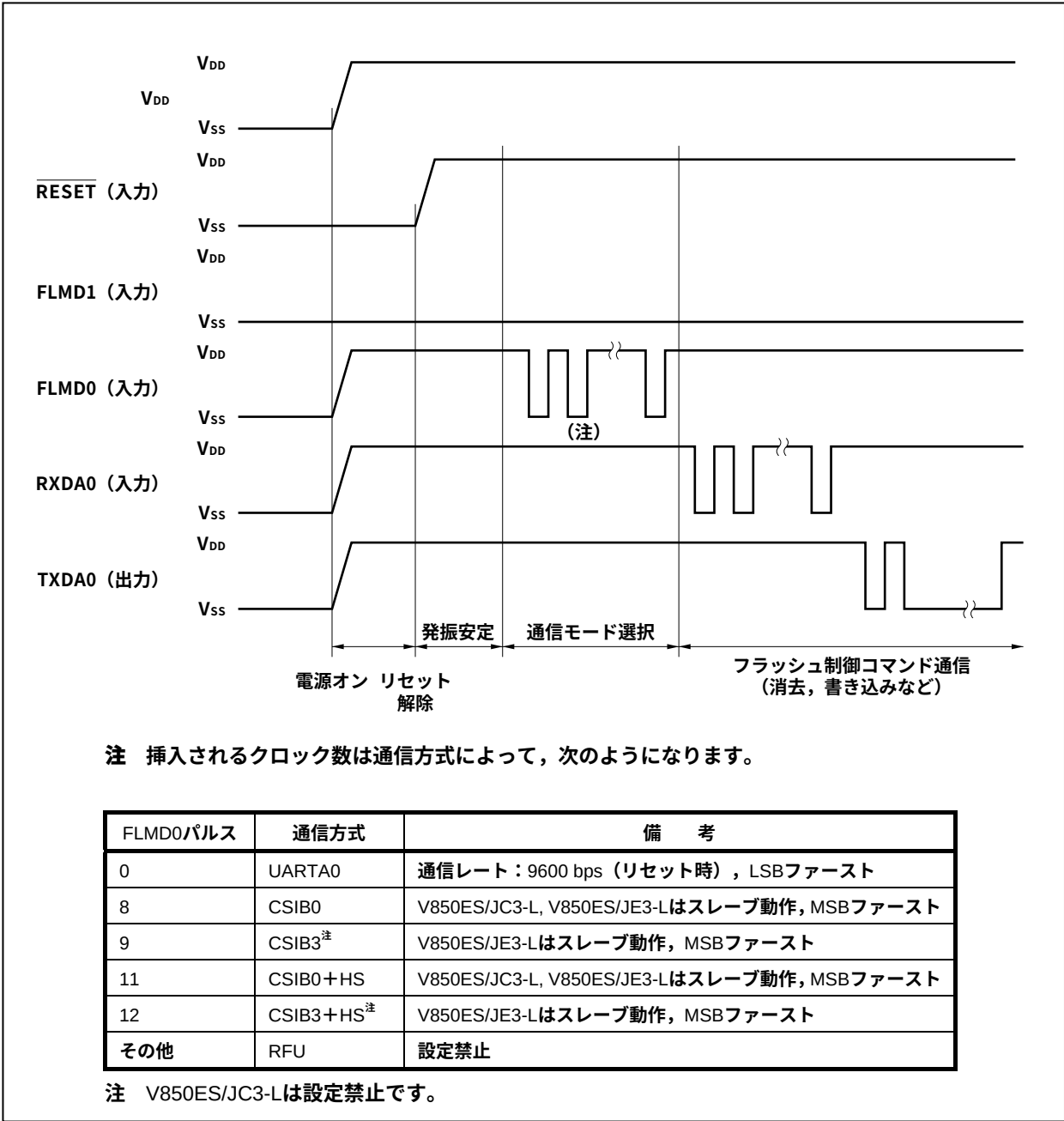


28. 4. 4 通信方式の選択

V850ES/JC3-L, V850ES/JE3-Lでは、フラッシュ・メモリ・プログラミング・モードに遷移後、FLMD0端子にパルス（最大12パルス）を入力することで通信方式を選択します。このFLMD0パルスは専用フラッシュ・メモリ・プログラマが生成します。

パルス数と通信方式の関係を次に示します。

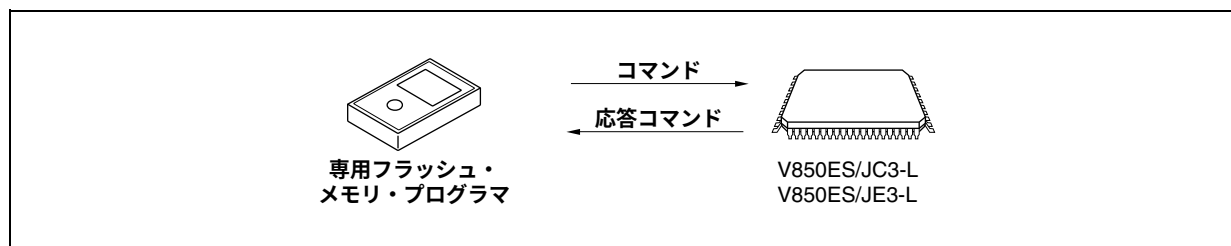
図28-7 通信方式の選択



28. 4. 5 通信コマンド

V850ES/JC3-L, V850ES/JE3-Lと専用フラッシュ・メモリ・プログラマは、コマンドを介して通信します。専用フラッシュ・メモリ・プログラマからV850ES/JC3-L, V850ES/JE3-Lへ送られる信号を「コマンド」と呼び、V850ES/JC3-L, V850ES/JE3-Lから専用フラッシュ・メモリ・プログラマへ送られる応答信号を「応答コマンド」と呼びます。

図28-8 通信コマンド



V850ES/JC3-L, V850ES/JE3-Lのフラッシュ・メモリ制御用コマンドを次に示します。これらのコマンドはすべてプログラマから発行され、V850ES/JC3-L, V850ES/JE3-Lがコマンドに対応した各処理を行います。

表28-7 フラッシュ・メモリ制御用コマンド

分 類	コマンド名称	対応			機 能
		CSIB0, CSIB3	CSIB0+HS, CSIB3+HS	UARTA0	
ブランク・チェック	ブロック・ブランク・チェック・コマンド	○	○	○	指定したブロックのメモリの消去状態を確認
消去	チップ消去コマンド	○	○	○	全メモリの内容を消去
	ブロック消去コマンド	○	○	○	指定したブロックのメモリの内容を消去
書き込み	プログラム・コマンド	○	○	○	指定したアドレス範囲の書き込み、内容ベリファイ・チェックを実行
ベリファイ	ベリファイ・コマンド	○	○	○	指定したアドレス範囲のメモリの内容と、フラッシュ・メモリ・プログラマから転送されたデータを比較
	チェック・サム・コマンド	○	○	○	指定したアドレス範囲のチェック・サムを読み出す
リード	リード・コマンド	○	○	○	フラッシュ・メモリに書き込まれたデータを読み出す
システム設定, 制御	シリコン・シグネチャ・コマンド	○	○	○	シリコン・シグネチャ情報を読み出す
	セキュリティ設定コマンド	○	○	○	チップ消去コマンド、ブロック消去コマンド、プログラム・コマンド、リード・コマンドの禁止設定、およびブート領域の書き換え禁止設定

28. 4. 6 オンボード・プログラミングでの端子処理

オンボード書き込みを行う場合は、ターゲット・システム上に専用フラッシュ・メモリ・プログラマと接続するためのコネクタを設けます。

フラッシュ・メモリ・プログラミング・モードに遷移すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、外部デバイスがリセット直後の状態を認めない場合は端子処理が必要です。

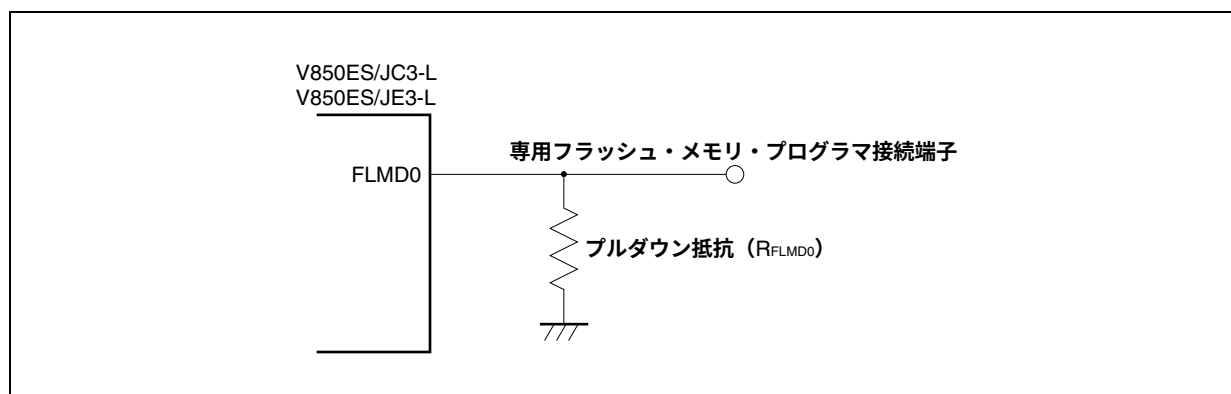
(1) FLMD0端子

通常動作モード時は、FLMD0端子に V_{SS} レベルの電圧を入力します。また、フラッシュ・メモリ・プログラミング・モード時は、FLMD0端子に V_{DD} レベルの書き込み電圧を供給します。

また、FLMD0端子はセルフ・プログラミング・モード時には書き換え保護用の端子となるため、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を供給する必要があります。詳細は、28. 5.

5 (1) FLMD0端子を参照してください。

図28-9 FLMD0端子の接続例



(2) FLMD1端子

FLMD0端子に0 Vを入力された場合、FLMD1端子は機能しません。FLMD0端子に V_{DD} が供給された場合、フラッシュ・メモリ・プログラミング・モードに引き込むため、FLMD1端子に0 Vを入力する必要があります。FLMD1端子の接続例を次に示します。

図28-10 FLMD1端子の接続例

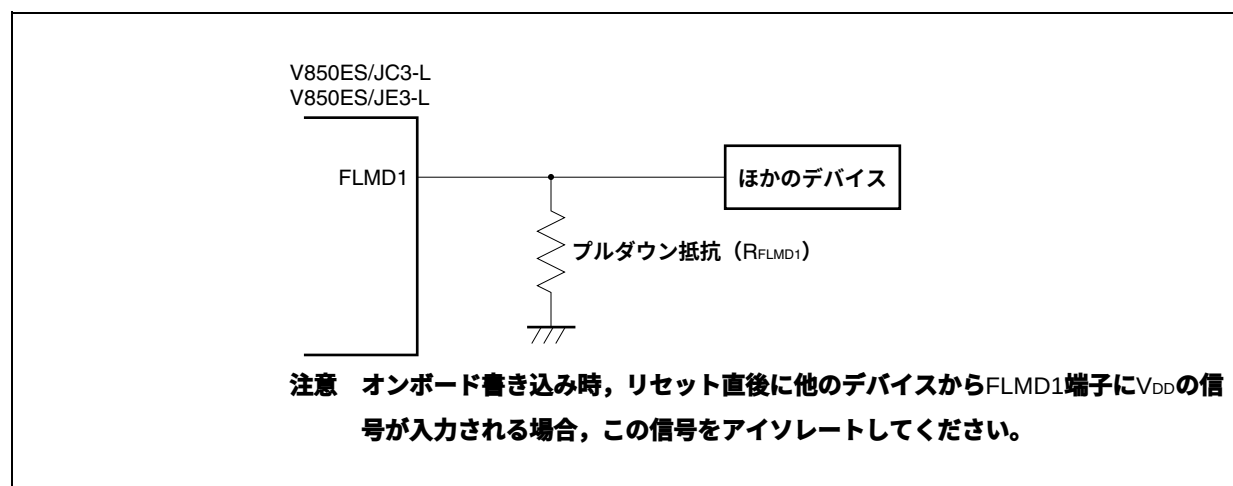


表28-8 リセット解除時のFLMD0, FLMD1端子の動作モードとの関係

FLMD0	FLMD1	動作モード
0	任意	通常動作モード
V_{DD}	0	フラッシュ・メモリ・プログラミング・モード
V_{DD}	V_{DD}	設定禁止

(3) シリアル・インタフェース端子

各シリアル・インタフェースが使用する端子を次に示します。

表28-9 各シリアル・インタフェースが使用する端子

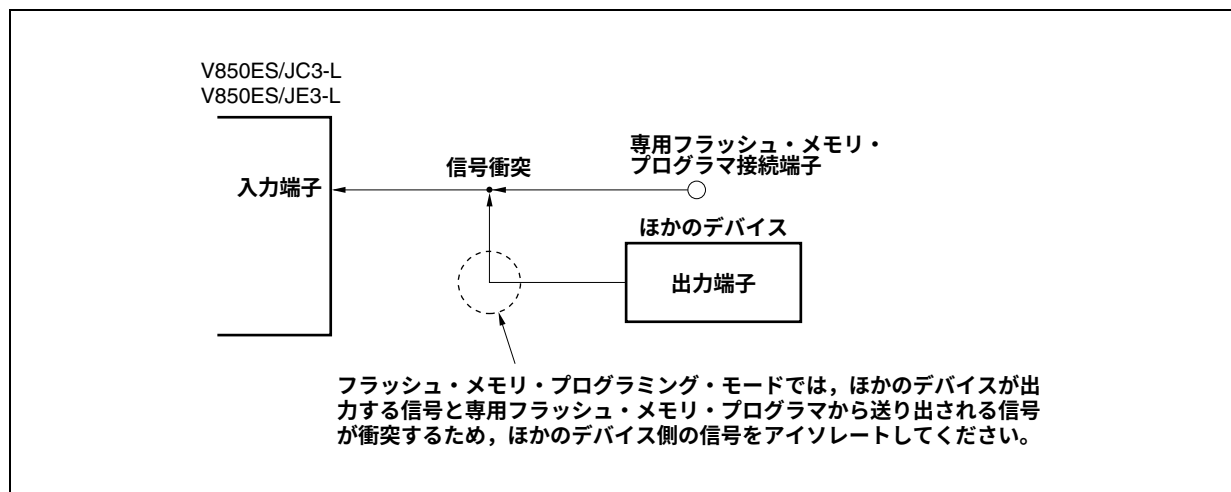
シリアル・インタフェース	使用端子
UARTA0	TXDA0, RXDA0
CSIB0	SOB0, SIB0, $\overline{SCKB0}$
CSIB3	SOB3, SIB3, $\overline{SCKB3}$
CSIB0+HS	SOB0, SIB0, $\overline{SCKB0}$, PCM0
CSIB3+HS	SOB3, SIB3, $\overline{SCKB3}$, PCM0

オンボード上でほかのデバイスと接続しているシリアル・インタフェース用の端子に、専用フラッシュ・メモリ・プログラマを接続する場合、信号の衝突、ほかのデバイスの異常動作などに注意してください。

(a) 信号の衝突

ほかのデバイス（出力）と接続しているシリアル・インタフェース用の端子（入力）に、専用フラッシュ・メモリ・プログラマ（出力）を接続すると、信号の衝突が発生します。この信号の衝突を避けるため、ほかのデバイスとの接続をアイソレートするか、またはほかのデバイスを出力ハイ・インピーダンス状態にしてください。

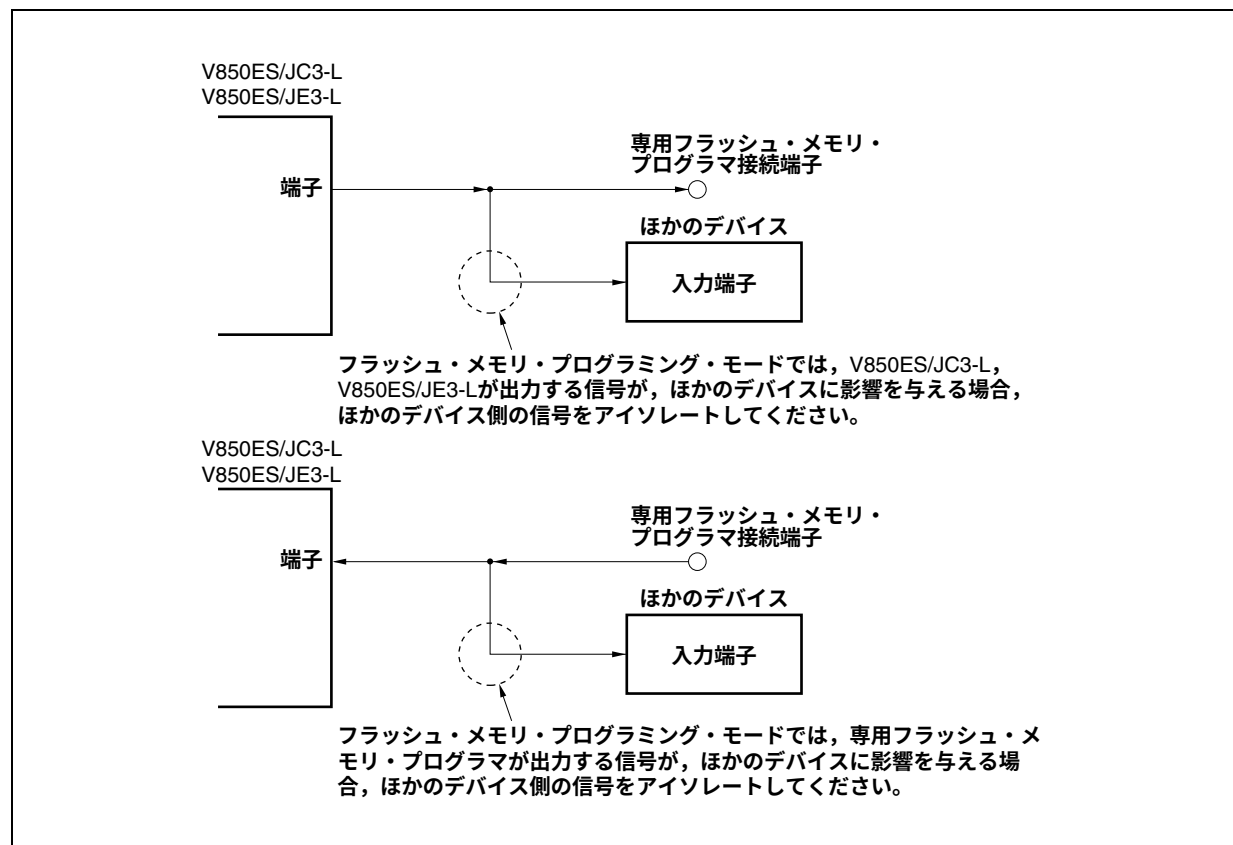
図28-11 信号の衝突（シリアル・インタフェースの入力端子）



(b) ほかのデバイスの異常動作

ほかのデバイス（入力）と接続しているシリアル・インタフェース用の端子（入力または出力）に、専用フラッシュ・メモリ・プログラマ（出力または入力）を接続する場合、ほかのデバイスに信号が出力され、異常動作を起こす可能性があります。この異常動作を避けるため、ほかのデバイスとの接続をアイソレートしてください。

図28-12 ほかのデバイスの異常動作

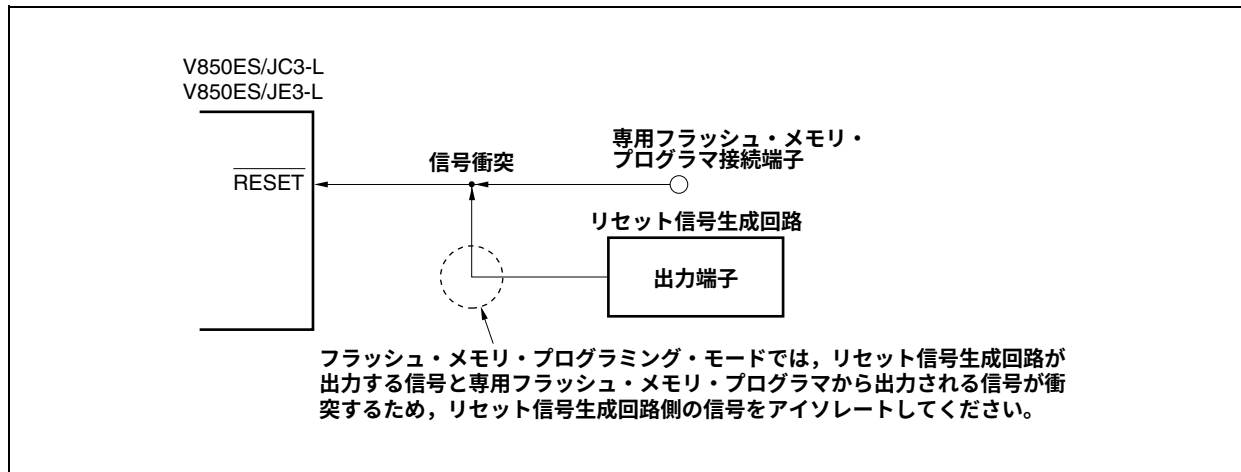


(4) RESET 端子

オンボード上で、リセット信号生成回路と接続しているRESET端子に、専用フラッシュ・メモリ・プログラムのリセット信号を接続する場合、信号の衝突が発生します。この信号の衝突を避けるため、リセット信号生成回路との接続をアイソレートしてください。

また、フラッシュ・メモリ・プログラミング・モード期間中に、ユーザ・システムからリセット信号を入力した場合、正常なプログラミング動作が行われなくなるので、専用フラッシュ・メモリ・プログラマからのリセット信号以外は入力しないでください。

図28-13 信号の衝突 (RESET 端子)



(5) ポート端子 (NMIを含む)

フラッシュ・メモリ・プログラミング・モードに設定すると、フラッシュ・メモリ・プログラミングに使用しない端子は、すべてリセット直後と同じ状態になります。したがって、各ポートに接続された外部デバイスが、リセット直後のポート状態を認めない場合は、抵抗を介してV_{DD}に接続するか、または抵抗を介してV_{SS}に接続するなどの端子処理が必要です。

(6) その他の信号端子

X1, X2, XT1, XT2, REGCは、通常動作モード時と同じ状態に接続してください。

また、フラッシュ・メモリ・プログラミング中、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力またはオープンにし、ハイ・レベル入力しないようにしてください。

(7) 電 源

電源 (V_{DD}, V_{SS}, EV_{DD}, EV_{SS}, AV_{REF0}, AV_{REF1}, AV_{SS}) は、通常動作モード時と同じ電源を供給してください。

備考 端子処理の詳細についてはPG-FP5 ユーザーズ・マニュアル (U18865J) を参照してください。

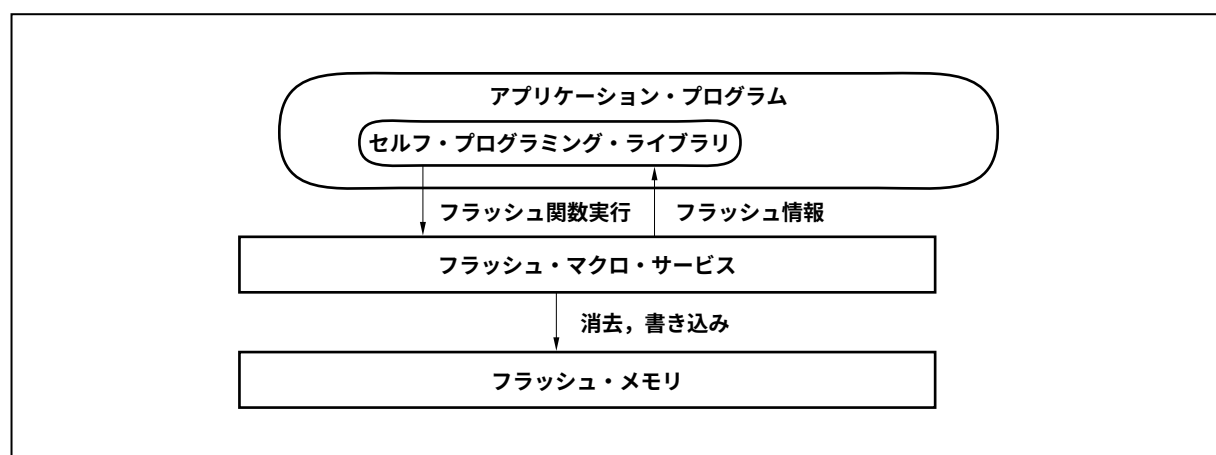
28.5 セルフ・プログラミングによる書き換え

28.5.1 概 要

V850ES/JC3-L, V850ES/JE3-Lは、ユーザ・プログラム自身で内蔵フラッシュ・メモリの書き換えを行うための、フラッシュ・マクロ・サービスをサポートしています。このインタフェースおよび、フラッシュ・メモリの書き換えをユーザのアプリケーション・プログラムで行うためのセルフ・プログラミング・ライブラリを利用することにより、内蔵RAMへあらかじめ転送しておいたユーザ・アプリケーションから、フラッシュ・メモリの書き換えが可能になり、フィールドでのユーザ・プログラムのアップグレードや、定数データ書き換え[※]を行うことができます。

注 書き換え対象の定数データがあるブロックに、プログラム・コードを配置しないよう注意してください。ブロック構成については、28.2 メモリ構成を参照してください。

図28-14 セルフ・プログラミングの概念図



28.5.2 特 徴

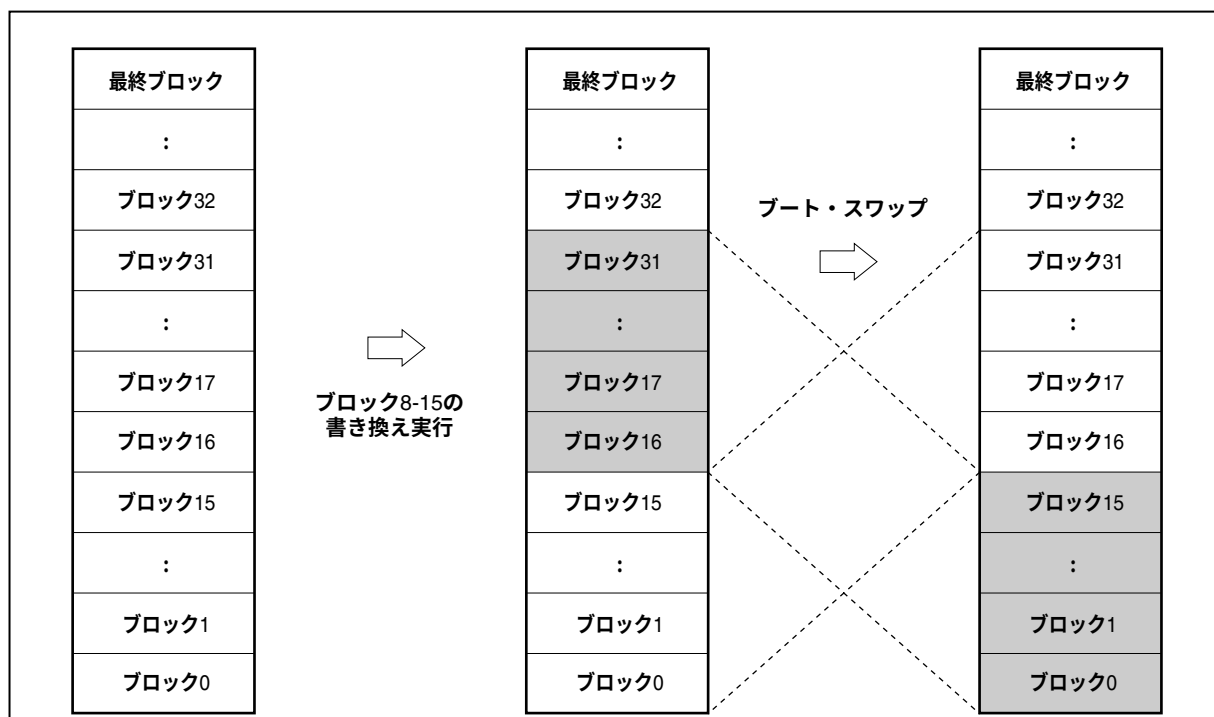
(1) セキュア・セルフ・プログラミング（ブート・スワップ機能）

V850ES/JC3-L, V850ES/JE3-Lは、ブロック0-15の物理メモリと、ブロック16-31の物理メモリを入れ替えることができるブート・スワップ機能をサポートしているため、あらかじめ書き換えたい起動用のプログラムをブロック16-31に書いておき、物理メモリをスワップさせることにより、書き換え中に電源遮断が発生しても常にブロック0-15には正常なユーザ・プログラムが存在する状態となるため、全領域の書き換えが安全に実行可能となります。

ただし、次の製品はブート・スワップに対応していません。

- ・ μ PD70F3797, 70F3801, 70F3805 : 16 Kバイトのフラッシュ・メモリ内蔵製品
- ・ μ PD70F3798, 70F3802, 70F3806 : 32 Kバイトのフラッシュ・メモリ内蔵製品

図28-15 全メモリ領域の書き換え（ブート・スワップ対応）



(2) 割り込み対応

セルフ・プログラミング中は、フラッシュ・メモリからの命令フェッチが不可能であるため、割り込みが発生してもフラッシュ・メモリに書き込まれているユーザ・ハンドラは使用できません。

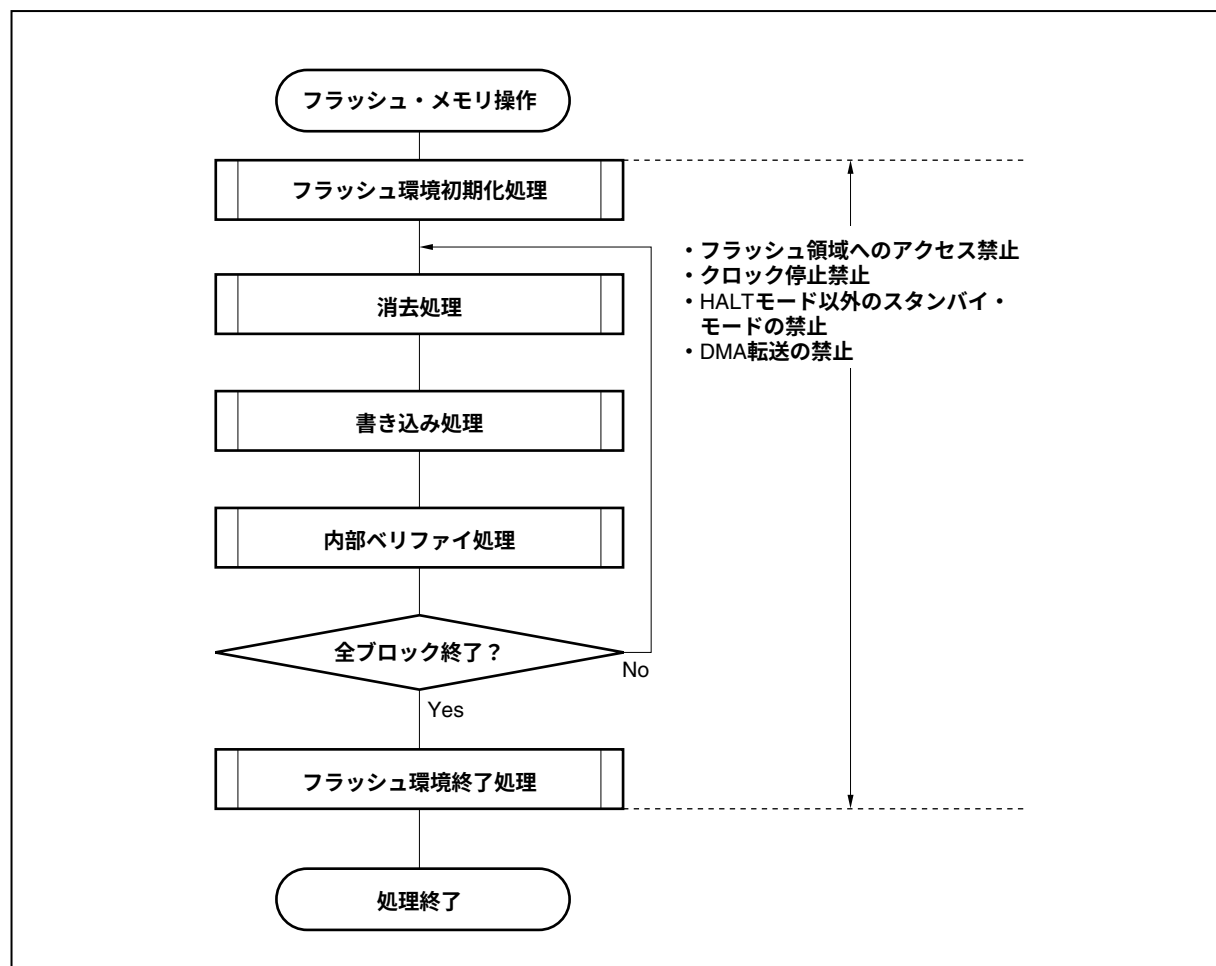
そのため、V850ES/JC3-L, V850ES/JE3-Lでは、セルフ・プログラミング中に割り込みを利用する場合、内蔵RAMの特定番地[※]に処理が移ります。したがって、あらかじめ内蔵RAMの特定番地[※]にユーザ割り込み処理へ遷移する分岐命令を用意してください。

注 NMI割り込み : 内蔵RAMの先頭番地
 マスカブル割り込み : 内蔵RAMの先頭+4番地

28. 5. 3 標準セルフ・プログラミング・フロー

フラッシュ・セルフ・プログラミングにて、フラッシュ・メモリへの書き換えを行う際の全体処理を次に示します。詳細はフラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアル (U17819J) を参照してください。

図28-16 標準セルフ・プログラミング・フロー



28. 5. 4 フラッシュ関数一覧

表28-10 フラッシュ関数一覧

関数名	概 要	対応
FlashInit	セルフ・ライブラリの初期化	○
FlashEnv	フラッシュ環境の開始／終了	○
FlashFLMDCheck	FLMD端子のチェック	○
FlashStatusCheck	ハードウェア処理の実況チェック	○
FlashBlockErase	ブロックの消去	○
FlashWordWrite	データの書き込み	○
FlashBlockIVerify	ブロックの内部ベリファイ	○
FlashBlockBlankCheck	ブロックのブランク・チェック	○
FlashSetInfo	フラッシュ情報の設定	○
FlashGetInfo	フラッシュ情報の獲得	○
FlashBootSwap	ブート・スワップの実行	○

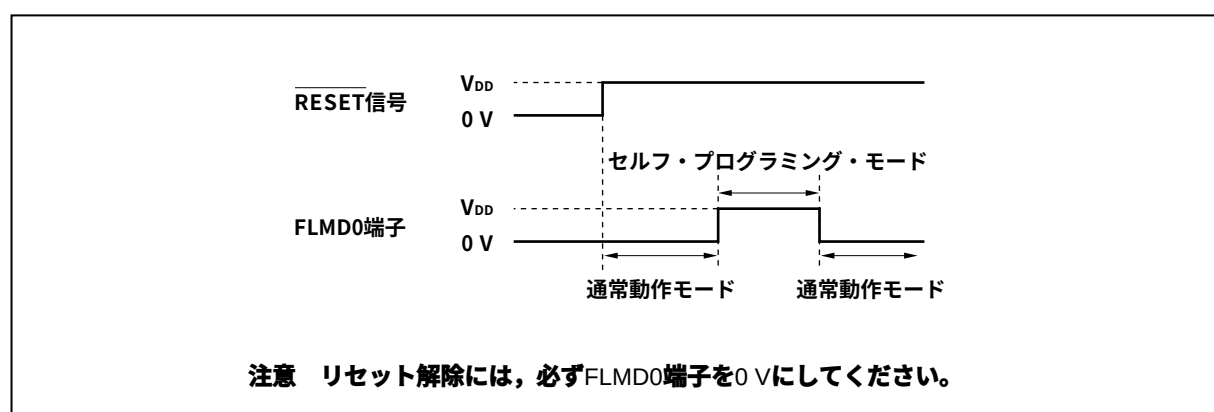
28. 5. 5 端子処理

(1) FLMD0端子

FLMD0端子は、リセット解除時の動作モード設定と、セルフ書き換え時の書き換え保護機能の兼用端子となっているため、リセット解除～通常動作実行時は、FLMD0端子へ印加される電圧を0 Vに保持し、セルフ・プログラミング・モードの期間は、書き換え前にポート制御などによって、FLMD0端子に V_{DD} レベルの電圧を印加する必要があります。

また、セルフ・プログラミングが終了したあとは、FLMD0端子の電圧を0 Vに戻す必要があります。

図28-17 モード切り替わりタイミング



28. 5. 6 使用する内部資源

セルフ・プログラミングにて使用する内部資源を次に示します。なお、セルフ・プログラミング以外では、次の内部資源については自由に使用できます。

表28-11 使用する内部資源

リソース名	説 明
スタック領域	ユーザの使用しているスタックの延長をライブラリが使用。 (内部RAM／外部RAMのどちらでも使用可)
ライブラリ・コード ^注	ライブラリのプログラム本体。 (操作対象のフラッシュ・メモリ・ブロック以外ならどこでも使用可)
アプリケーション・プログラム	ユーザ・アプリケーションとしての実行 フラッシュ関数の呼び出し
マスカブル割り込み	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭+4番地に処理が移るため，あらかじめ内蔵RAMの先頭+4番地にユーザ割り込み処理へ遷移する分岐命令を用意してください。
NMI	ユーザ・アプリケーションの実行状態，セルフ・プログラミング状態で利用可能。 セルフ・プログラミング状態で利用した場合，内蔵RAMの先頭番地に処理が移るため，あらかじめ内蔵RAMの先頭番地にユーザ割り込み処理へ遷移する分岐命令を用意してください。

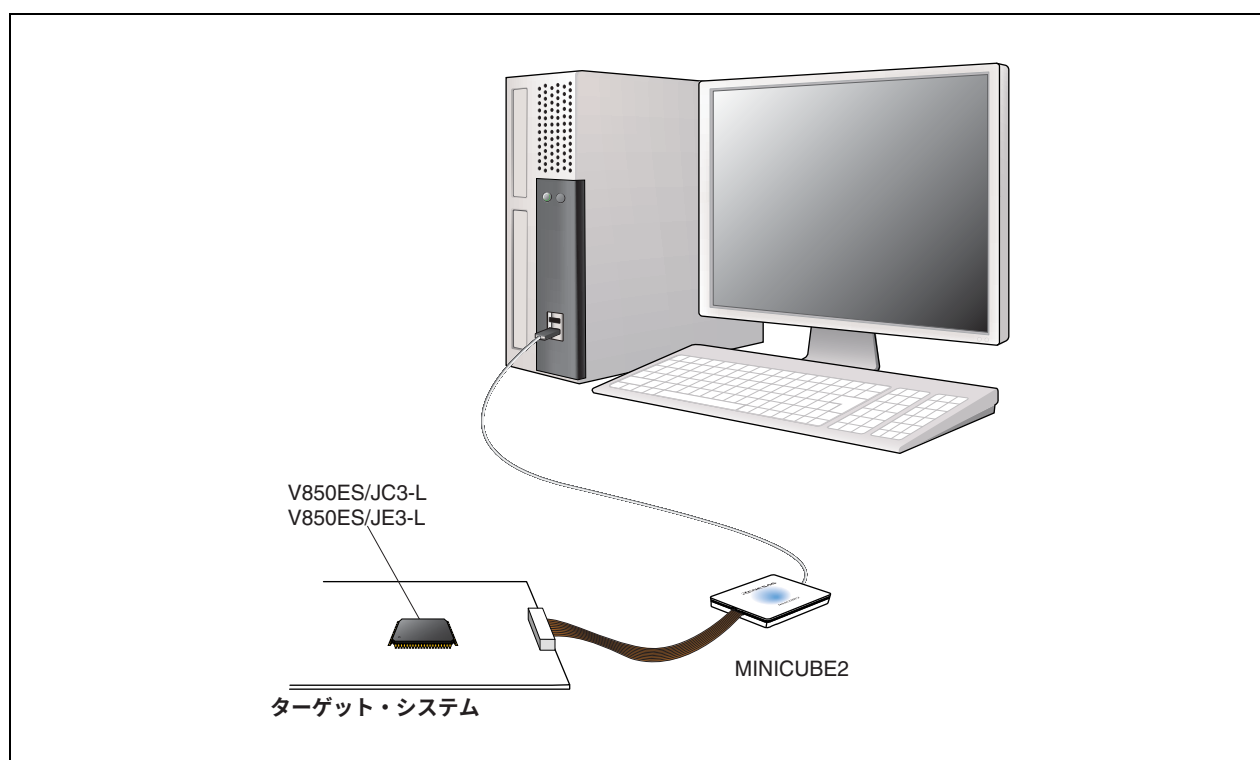
注 使用リソースについては、フラッシュ・メモリ・セルフ・プログラミング・ライブラリ ユーザーズ・マニュアルを参照してください。

第29章 オンチップ・デバッグ機能

オンチップ・デバッグとは、ターゲット・システムにV850ES/JC3-L, V850ES/JE3-Lを実装したままデバッグをする機能です。

特にMINICUBE2を使用すれば、簡単なインタフェースでオンチップ・デバッグが可能です。

図29-1 MINICUBE2を使用したオンチップ・デバッグのイメージ図



V850ES/JC3-L, V850ES/JE3-Lのオンチップ・デバッグを行うには次の2つの方法があります。

- DCU（デバッグ・コントロール・ユニット）を使用する方法

$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子をデバッグ・インタフェース端子としてV850ES/JC3-L, V850ES/JE3-Lに内蔵されているDCUによってオンチップ・デバッグを実現します。

- DCUを使用しない方法

DCUを使用せず、ユーザ資源を使用してMINICUBE2などによってオンチップ・デバッグを実現します。

2つのオンチップ・デバッグ機能の特徴を次に示します。

表29-1 オンチップ・デバッグ機能の概要

	DCUを使用する方法	DCUを使用しない方法
デバッグ・インタフェース端子	$\overline{\text{DRST}}$, DCK, DMS, DDI, DDO	• UARTA0使用時 RXDA0, TXDA0 • CSIB0使用時 SIB0, SOB0, SCKB0, HS (PCM0) • CSIB3使用時^{※3} SIB3, SOB3, SCKB3, HS (PCM0)
ユーザ資源の確保	不要	必要
ハードウェア・ブ레이크機能	2ポイント	2ポイント
ソフトウェア・ブ레이크機能	内蔵ROM領域 内蔵RAM領域	4ポイント 2000ポイント
リアルタイムRAMモニタ機能 ^{※1}	可能	可能
ダイナミック・メモリ・モディフィケーション (DMM) 機能 ^{※2}	可能	可能
マスク機能	リセット, NMI, INTWDT2, HLDRQ, WAIT	RESET端子
ROMセキュリティ機能	10バイトIDコード認証	10バイトIDコード認証
使用するハードウェア	MINICUBE [®] など	MINICUBE2など
トレース機能	サポートしていません	サポートしていません
デバッグ割り込みインタフェース機能 (DBINT)	サポートしていません	サポートしていません

注1. プログラム実行中にメモリの内容の読み出しを行う機能です。

2. プログラム実行中にRAMの内容の書き換えを行う機能です。

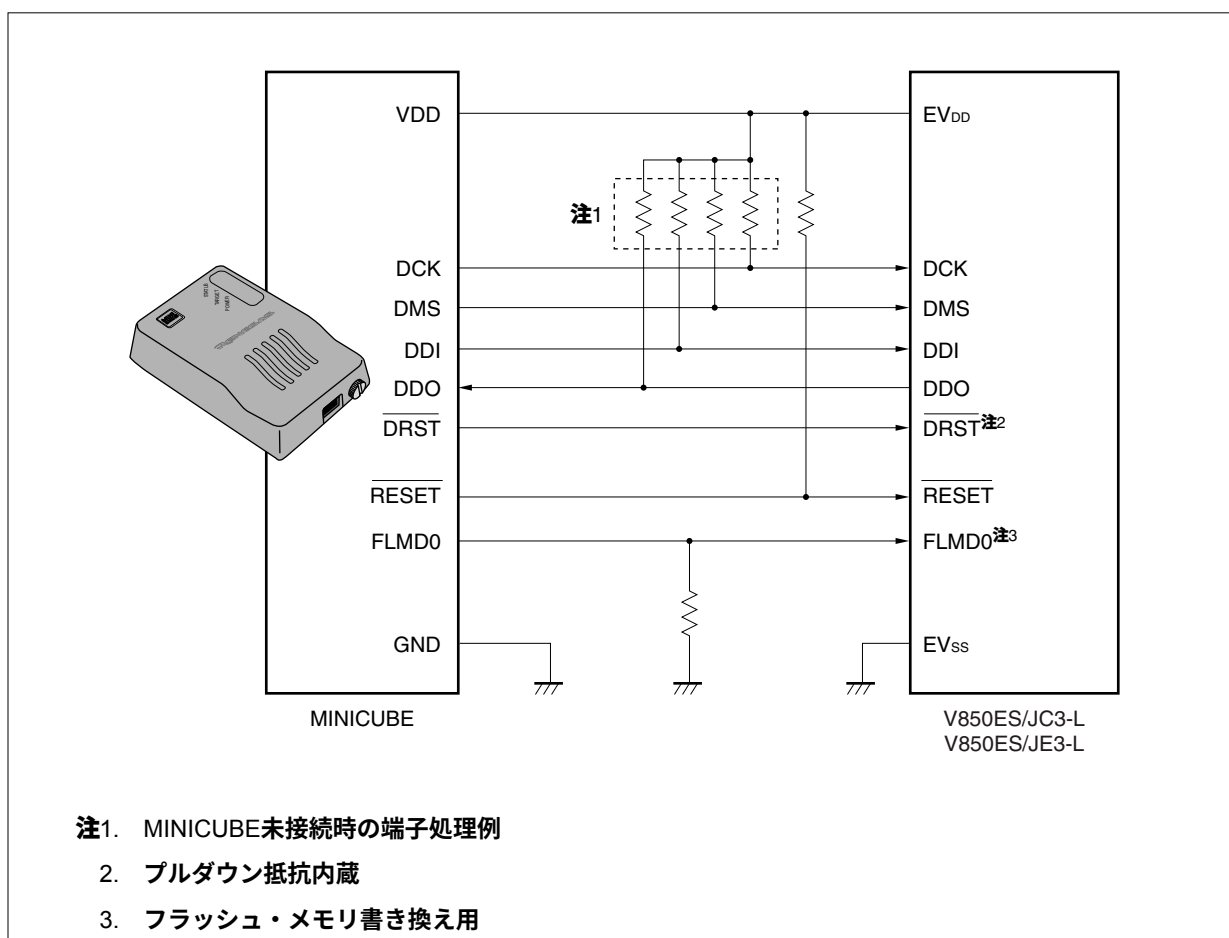
3. V850ES/JC3-Lでは使用できません。

29. 1 DCUを使用する方法

デバッグ・インタフェース端子 ($\overline{\text{DRST}}$, DCK, DMS, DDI, DDO端子) を利用して, オンチップ・デバッグ・エミュレータ (MINICUBE) を接続することで, デバッグ・インタフェース端子以外のユーザ資源を消費することなく, プログラムのデバッグが可能です。

29. 1. 1 接続回路例

図29-2 デバッグ・インタフェース端子を通信インタフェースとして使用する場合の回路接続例



29. 1. 2 インタフェース信号

インタフェース信号について説明します。

(1) $\overline{\text{DRST}}$

オンチップ・デバッグ・ユニット用のリセット入力信号です。デバッグ・コントロール・ユニットを非同期に初期化するための負論理の信号です。

MINICUBEは、統合デバッグの起動後にターゲット・システムの V_{DD} を検出すると、 $\overline{\text{DRST}}$ 信号をロウ・レベルからハイ・レベルに立ち上げて、対象デバイス内のオンチップ・デバッグ・ユニットを起動させます。

また、 $\overline{\text{DRST}}$ 信号がロウ・レベルからハイ・レベルに立ち上がることにより、CPUにもリセットが発生します。

統合デバッグを起動してデバッグを開始する際には、必ずCPUリセットが発生します。

(2) DCK

クロック入力信号です。MINICUBEから20 MHzあるいは10 MHzのクロックを供給します。オンチップ・デバッグ・ユニット内で、DCK信号の立ち上がりに同期してDMS、DDI信号をサンプリングし、DCK信号の立ち下がりに同期してデータDDOを出力します。

(3) DMS

転送モード選択信号です。DMS信号のレベルによりデバッグ・ユニット内の転送状態が遷移します。

(4) DDI

データ入力信号です。オンチップ・デバッグ・ユニット内でDCKの立ち上がりに同期してサンプリングします。

(5) DDO

データ出力信号です。オンチップ・デバッグ・ユニットからDCK信号の立ち下がりに同期して出力されます。

(6) EV_{DD}

ターゲット・システムの V_{DD} 検出用です。MINICUBEは、ターゲット・システムからの V_{DD} を検出できない場合は、MINICUBEからの出力信号（ $\overline{\text{DRST}}$ 、DCK、DMS、DDI、FLMD0、 $\overline{\text{RESET}}$ 端子）をハイ・インピーダンスにします。

(7) FLMD0

統合デバッガ（ID850QB）によるフラッシュ・メモリへのダウンロード機能は、フラッシュ・セルフ・プログラミング機能を利用しています。フラッシュ・セルフ・プログラミング中はFLMD0端子をハイ・レベルにする必要があります。また、FLMD0端子にはプルダウン抵抗を接続してください。

FLMD0端子の制御方法として、次の2種類のうち、どちらかの方法を選択してください。

① MINICUBEから制御する場合

MINICUBEからのFLMD0信号をデバイスのFLMD0端子に接続します。

ブレーク中に、統合デバッガのダウンロード機能を実行した際に、MINICUBEはFLMD0端子をハイ・レベルに制御します。それ以外の場合は、FLMD0端子はハイ・インピーダンスになります。

② ポートから制御する場合

セルフ・プログラミングを行う場合に、この方法を使用します。

デバイスの任意のポートをFLMD0端子に接続します。

ユーザ・プログラムにおいてフラッシュ・セルフ・プログラミング機能を実現する場合と同じポート端子で問題ありません。

ダウンロード機能を実行前に、FLMD0端子に接続したポートを統合デバッガのコンソールでハイ・レベルに設定してください。ダウンロード機能を完了したらロウ・レベルに戻してください。

詳細はID850QB Ver.3.40 **統合デバッガ ユーザーズ・マニュアル 操作編**（U18604J）を参照してください。

(8) RESET

システム・リセット入力信号です。ユーザ・プログラムにおいてOCDM.OCDM0ビットの値によって、 $\overline{\text{DRST}}$ 端子を無効としたあとは、オンチップ・デバッグは行えません。そのため、MINICUBEからRESET端子によるリセットを与えて、 $\overline{\text{DRST}}$ 端子を有効（初期化）にします。

29. 1. 3 マスク機能

リセット、NMI、INTWDT2、 $\overline{\text{WAIT}}$ 、HLDRQ信号のマスクが可能です。

次に統合デバッガ（ID850QB）のマスク機能および対応する機能を示します。

表29-2 マスク機能

統合デバッガ（ID850QB）のマスク機能	対応するV850ES/JC3-L, V850ES/JE3-Lの機能
NMI0	NMI端子入力
NMI2	ノンマスクابل割り込み要求信号（INTWDT2）発生
STOP	マスクできません
HOLD	HLDRQ端子入力
RESET	RESET端子入力、低電圧検出回路、クロック・モニタまたはウォッチドッグ・タイマ（WDT2）のオーバフローによるリセット信号発生
WAIT	WAIT端子入力

29. 1. 4 レジスタ

(1) オンチップ・デバッグ・モード・レジスタ (OCDM)

通常動作モードとオンチップ・デバッグ・モードを切り替えるレジスタで、オンチップ・デバッグ機能が割り付けられている兼用端子をオンチップ・デバッグ用端子として使用するか、通常のポート／周辺機能兼用端子として使用するかを指定します。また同時に、P05/INTP2/ $\overline{\text{DRST}}$ 端子の内蔵プルダウン抵抗の切断を制御します。

OCDMレジスタは特定レジスタです。特定のシーケンスの組み合わせによってだけ書き込みができます (3. 4. 7 特定レジスタ参照)。

OCDMレジスタへの書き込みは、P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルが入力されているときのみ有効です。

8/1ビット単位でリード／ライト可能です。

リセット時：01H^注 R/W アドレス：FFFFFF9FCH

	7	6	5	4	3	2	1	①
OCDM	0	0	0	0	0	0	0	OCDM0

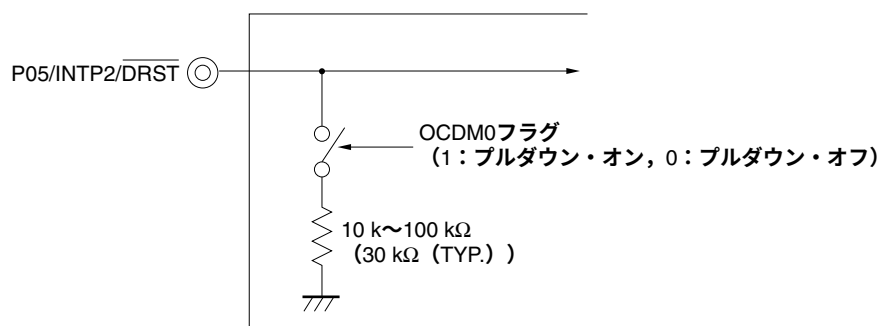
OCDM0	動作モード
0	通常動作モード（オンチップ・デバッグ兼用端子をポート／周辺機能端子として使用）かつ、P05/INTP2/DRST端子の内蔵プルダウン抵抗を切断
1	P05/INTP2/DRST端子がロウ・レベルの場合： 通常動作モード（オンチップ・デバッグ兼用端子をポート／周辺機能端子として使用） P05/INTP2/DRST端子がハイ・レベルの場合： オンチップ・デバッグ・モード（オンチップ・デバッグ・モード用端子として使用）

注 RESET端子によるリセット時は01Hになります。ただし、WDT2RES信号、クロック・モニタ（CLM）、低電圧検出回路（LVI）によるリセット時は、OCDMレジスタの値を保持します。

注意1. 外部リセット後、DDI, DDO, DCK, DMS端子をオンチップ・デバッグ用端子として使用せず、ポートとして使用する場合は、次のいずれかの処置が必要です。

- P05/INTP2/DRST端子にロウ・レベルを入力します。
- OCDM0ビットを設定します。この場合の処置は次のとおりです。
 - ① OCDM0ビットをクリア（0）します。
 - ② ①の処理を終えるまで、P05/INTP2/DRST端子入力をロウ・レベル固定にしておきます。

2. P05/INTP2/DRST端子はプルダウン抵抗を内蔵しています。OCDM0フラグを“0”に設定すると切断されます。



29. 1. 5 動 作

オンチップ・デバッグ機能は次の表に示す条件で有効になります。

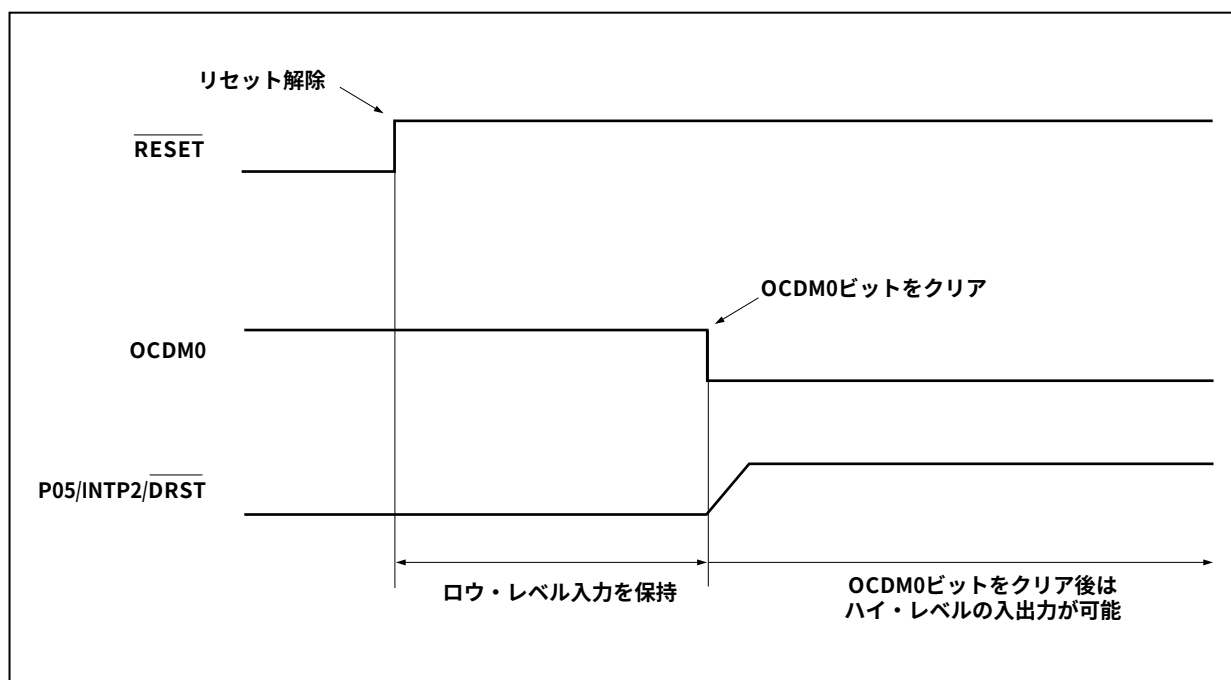
未使用時はOCDM.OCDM0フラグをクリア (0) するまで、 $\overline{\text{DRST}}$ 端子はロウ・レベル入力の状態を保持してください。

OCDM0フラグ DRST端子	0	1
L	無効	無効
H	無効	有効

備考 L：ロウ・レベル入力

H：ハイ・レベル入力

図29-3 オンチップ・デバッグ機能未使用時のタイミング



29. 1. 6 注意事項

- (1) RUN中（プログラム実行中）にリセット入力（ターゲット・システムからのリセット入力や内部リセット要因によるリセット）があった場合、ブレーク機能が誤動作することがあります。
- (2) リセットをマスク機能でマスクしていても、端子からのリセットが入力された際に入出力バッファ（ポート端子）がリセット状態になる場合があります。
- (3) ブレーク中の端子によるリセットはマスクされ、CPUや周辺I/Oはリセットされません。また、ユーザ・プログラム実行中に、DMMで書き換える瞬間やRAMモニタ機能で読み出す瞬間に、端子リセットや内部リセットが発生した場合、CPUや周辺I/Oが正しくリセットされない場合があります。
- (4) オンチップ・デバッグ・モード時、DDO端子は強制的にハイ・レベル出力に設定されます。
- (5) オンチップ・デバッグは、電源電圧（ V_{DD} ）が2.7 V～3.6 Vの範囲でのみ使用可能です。2.7 V未満では使用できません。
- (6) オンチップ・デバッグ・モード時、低電圧STOPモード／低電圧サブ動作モード／低電圧サブIDLEモード中でもレギュレータの出力は低電圧になりません。

29.2 DCUを使用しない方法

DCUを使用せず、UARTA0用端子（RXDA0, TXDA0）、CSIB0用端子（SIB0, SOB0, $\overline{\text{SCKB0}}$, HS（PCM0））またはCSIB3用端子（SIB3, SOB3, $\overline{\text{SCKB3}}$, HS（PCM0））をデバッグ・インタフェースとしてMINICUBE2を使用してオンチップ・デバッグ機能を実現する方法を次に示します。

29.2.1 接続回路例

図29-4 UARTA0/CSIB0/CSIB3を通信インタフェースとして使用する場合の回路接続例

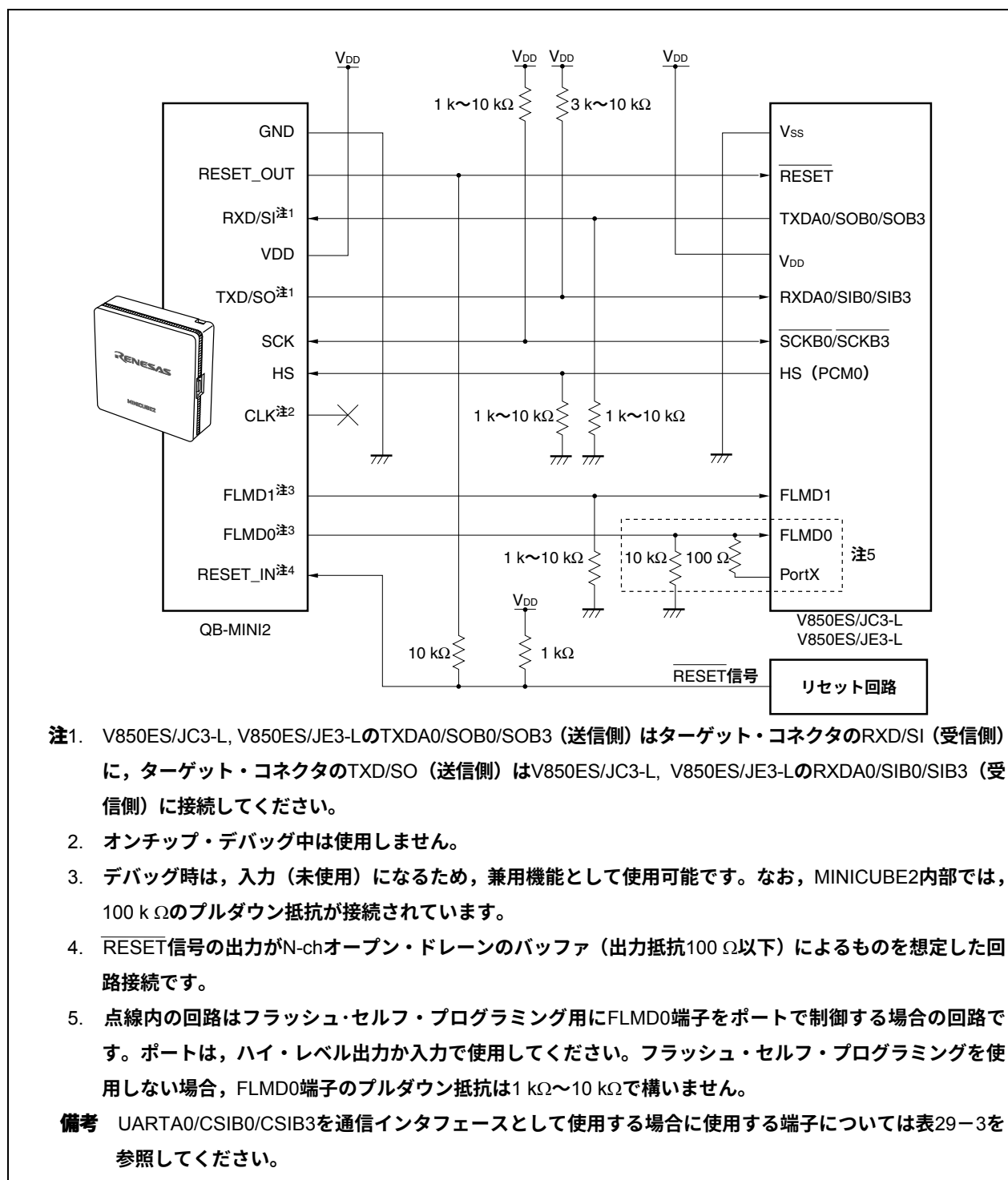


表29-3 V850ES/JC3-LとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時			UARTA0使用時		
信号名	入出力	端子機能	端子名	ピン番号		端子名	ピン番号	
				(40)	(48)		(40)	(48)
SI/RxD	入力	V850ES/JC3-Lからのコマンド，データ受信端子	P41/SOB0	17	21	P30/TXDA0	29	33
SO/TxD	出力	V850ES/JC3-Lへのコマンド，データ送信端子	P40/SIB0	16	20	P31/RXDA0	30	34
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKB0	18	22	必要なし	—	—
CLK	出力	V850ES/JC3-Lへのクロック出力端子	必要なし	—	—	必要なし	—	—
RESET_OUT	出力	V850ES/JC3-Lへのリセット出力端子	RESET	8	10	RESET	8	10
FLMD0	出力	V850ES/JC3-L を デ バ ッ グ ・ モード，またはプログラミング・モードにするための出力端子	FLMD0	28	32	FLMD0	28	32
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	31	37	PDL5/FLMD1	31	37
HS	入力	CSI0+HS通信のハンドシェイク信号	PCM0	32	35	必要なし	—	—
GND	—	グラウンド	V _{SS}	5	7	V _{SS}	5	7
			AV _{SS}	2	2	AV _{SS}	2	2
			EV _{SS}	15	17	EV _{SS}	15	17
RESET_IN	入力	ターゲット・システム上のリセット入力端子						

備考 (40)：40ピン・プラスチックWQFN (6×6)

(48)：48ピン・プラスチックWQFN (7×7) ， 48ピン・プラスチックLQFP (7×7)

表29-4 V850ES/JE3-LとMINICUBE2の配線表

MINICUBE2 (QB-MINI2) 接続端子			CSIB0-HS使用時		CSIB3-HS使用時		UARTA0使用時	
信号名	入出力	端子機能	端子名	ピン番号	端子名	ピン番号	端子名	ピン番号
SI/RxD	入力	V850ES/JE3-Lからのコマンド，データ受信端子	P41/SOB0	29	P911/SOB3	15	P30/TXDA0	45
SO/TxD	出力	V850ES/JE3-Lへのコマンド，データ送信端子	P40/SIB0	28	P910/SIB3	16	P31/RXDA0	32
SCK	出力	3線式シリアル通信用クロック出力端子	P42/SCKB0	30	P912/SCKB3	14	必要なし	—
CLK	出力	V850ES/JE3-Lへのクロック出力端子	必要なし	—	必要なし	—	必要なし	—
RESET_OUT	出力	V850ES/JE3-Lへのリセット出力端子	RESET	10	RESET	10	RESET	10
FLMD0	出力	V850ES/JE3-L を デ バ ッ グ ・ モード，またはプログラミング・モードにするための出力端子	FLMD0	42	FLMD0	42	FLMD0	42
FLMD1	出力	プログラミング・モードにするための出力端子	PDL5/FLMD1	49	PDL5/FLMD1	49	PDL5/FLMD1	49
HS	入力	CSI0+HS通信のハンドシェイク信号	PCM0	54	PCM0	54	必要なし	—
GND	—	グラウンド	V _{ss}	7	V _{ss}	7	V _{ss}	7
			AV _{ss}	2	AV _{ss}	2	AV _{ss}	2
			EV _{ss}	25	EV _{ss}	25	EV _{ss}	25
RESET_IN	入力	ターゲット・システム上のリセット入力端子						

29. 2. 2 マスク機能

リセット信号のみマスクが可能です。

次にデバッガ（ID850QB）のマスク機能および対応する機能を示します。

表29-5 マスク機能

デバッガ（ID850QB）のマスク機能	対応するV850ES/JC3-L, V850ES/JE3-Lの機能
NMI0	×
NMI1	×
NMI2	×
STOP	×
HOLD	×
RESET	RESET端子入力によるリセット信号発生
WAIT	×

29. 2. 3 ユーザ資源の確保

MINICUBE2は対象デバイスとの通信、または各デバッグ機能を実現するために次に示す準備を行う必要があります。これらは、ユーザ・プログラムやコンパイラ・オプションで設定する必要があります。

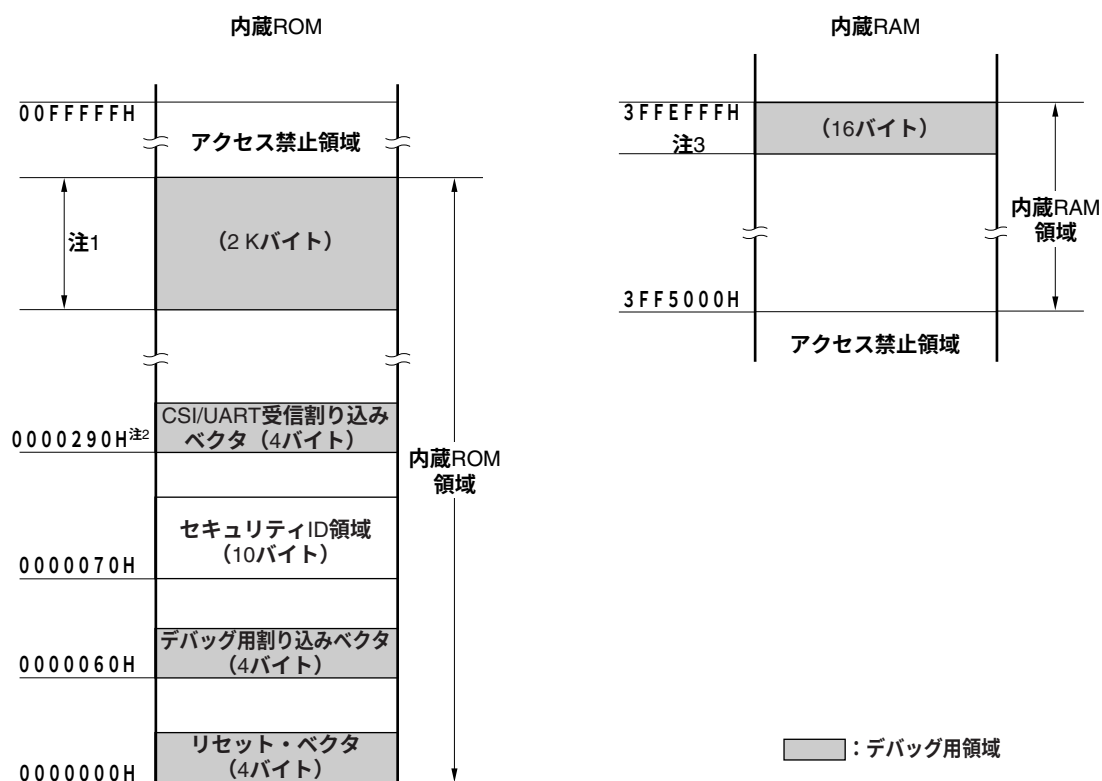
(1) メモリ空間の確保

図29-5で示すデバッグ領域はデバッグ用のモニタ・プログラムを組み込むために、ユーザ・プログラムやデータを配置できない空間です。この空間を使用しないように、領域を確保する必要があります。

(2) セキュリティIDの設定

図29-5で示す0000070H-0000079H領域は第3者からメモリの内容を読み取られないようにするために、IDコードを埋め込む必要があります。詳細は29. 3 ROMセキュリティ機能を参照してください。

図29-5 デバッグ用モニタ・プログラムが配置されるメモリ空間



注1. 製品によって次のようにアドレス値が異なります。

	内蔵ROMサイズ	アドレス値
μ PD70F3797, 70F3801, 70F3805	16 Kバイト	0003800H-0003FFFFH
μ PD70F3798, 70F3802, 70F3806	32 Kバイト	0007800H-0007FFFFH
μ PD70F3799, 70F3803, 70F3807	64 Kバイト	000F800H-000FFFFFH
μ PD70F3800, 70F3804, 70F3808	128 Kバイト	001F800H-001FFFFFH
μ PD70F3838, 70F3839, 70F3840	256 Kバイト	003F800H-003FFFFFH

2. CSIB0使用時のアドレスです。CSIB3使用時は“00002F0H”，UARTA0使用時は“0000310H”から始まります。

3. 製品によって次のようにアドレス値が異なります。

	内蔵RAMサイズ	アドレス値
μ PD70F3797, 70F3801, 70F3805	8Kバイト	3FFD000H
μ PD70F3798, 70F3802, 70F3806		
μ PD70F3799, 70F3803, 70F3807		
μ PD70F3800, 70F3804, 70F3808		
μ PD70F3838, 70F3839, 70F3840	16 Kバイト	3FFB000H

(3) リセット・ベクタ

リセット・ベクタにはデバッグ用モニタ・プログラムへのジャンプ命令が組み込まれます。

【領域確保の方法】

この領域は意図的に確保する必要はありません。ただし、プログラムのダウンロード時に、次のケースに応じてデバッガがリセット・ベクタの書き換えを行います。書き換えパターンが次に示すケースに一致しない場合、デバッガがエラーを発生します（ID850QBの場合F0C34番）。

(a) 0番地からnopが2個連続している場合

書き換え前		書き換え後
0x0 nop	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
0x2 nop		0x4 xxxx
0x4 xxxx		

(b) 0番地から0xFFFFが2個連続している場合（消去済みデバイスが該当します）

書き換え前		書き換え後
0x0 0xFFFF	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
0x2 0xFFFF		0x4 xxxx
0x4 xxxx		

(c) 0番地がjr命令の場合（CA850では通常このケースに該当）

書き換え前		書き換え後
0x0 jr disp22	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
		0x4 jr disp22 - 4

(d) 0番地からmov32とjmpが連続している（IAR社製コンパイラ ICCV850では通常このケースに該当）

書き換え前		書き換え後
0x0 mov imm32,reg1	→	0x0 デバッグ用モニタ・プログラムヘジャンプ
0x6 jmp [reg1]		0x4 mov imm32,reg1
		0xa jmp [reg1]

(e) 0番地が既にデバッグ用モニタ・プログラムへのジャンプ命令の場合

書き換え前		書き換え後
0x0 デバッグ用モニタ・プログラムヘジャンプ	→	変更なし

(4) デバッグ用モニタ・プログラム領域の確保

図29-5の示すデバック用領域は、デバッグ用モニタ・プログラムが配置される空間です。モニタ・プログラムはデバッグ用通信インタフェースの初期化処理や、CPUのRUN／ブレーク処理などを行うものです。内蔵ROM領域については0xFFでフィルする必要があります。また、この領域をユーザ・プログラム内で書き換えないようにすることが必要です。

【領域確保の方法】

この空間をユーザ・プログラムで使用しない場合は、必ずしも領域を確保する必要はありません。

しかし、デバッグ起動時のトラブルを回避するために、あらかじめコンパイラなどで領域確保しておくことを推奨いたします。

次に、ルネサス エレクトロニクス社製コンパイラCA850を使用している場合に領域の確保を行う例を示します。次に示すように、アセンブル・ソースとリンクディレクティブ・コードを追加してください。

- ・アセンブル・ソース（次の内容をアセンブル・ソース・ファイルとして追加してください）

```
-- MonitorROMセクションとして2Kバイトの空間を確保
.section "MonitorROM", const
.space    0x800, 0xff

-- デバッグ用割り込みベクタの確保
.section "DBG0"
.space    4, 0xff

-- シリアル通信用割り込みベクタの確保
-- セクション名は使用するシリアル通信に応じて変更してください
.section "INTCB0R"
.space    4, 0xff

-- MonitorRAMセクションとして16バイトの空間を確保
.section "MonitorRAM", bss
.lcomm    monitorramsym, 16, 4 ;    -- monitorramsymシンボルを定義
```

- ・リンク・ディレクティブ（以下をリンク・ディレクティブ・ファイルの内容に追加してください）

次の例は、 μ PD70F3840（内蔵ROMが256 Kバイト（最終アドレス003FFFFH）、内蔵RAMが16Kバイト（最終アドレス：3FFEFFFH））の場合です。

```
MROMSEG    : !LOAD ?R V0x03f800{
            MonitorROM = $PROGBITS    ?A MonitorROM;
};
MRAMSEG     : !LOAD ?RW V0x03ffeff0{
            MonitorRAM = $NOBITS      ?AW MonitorRAM;
};
```

(5) 通信用シリアル・インタフェースの確保

MINICUBE2は対象デバイスと通信するためにUARTA0, CSIB0もしくはCSIB3のいずれかを使用します。これらのシリアル・インタフェースに関する設定は、デバッグ用モニタ・プログラムで行っていますが、ユーザ・プログラム上で、この設定を変更した場合、通信異常となりエラーが発生する可能性があります。

このようなトラブルが発生しないよう、ユーザ・プログラムで通信用シリアル・インタフェースの確保を行う必要があります。

【通信用シリアル・インタフェース確保の方法】**•オンチップ・デバッグ・モード・レジスタ (OCDM)**

UARTA0, CSIB0, CSIB3を使用するオンチップ・デバッグ機能の場合、OCDMレジスタの機能を通常モードにする必要があります。必ず次の設定をしてください。

- P05/INTP2/ $\overline{\text{DRST}}$ 端子にロウ・レベルを入力します。
- OCDM0ビットを設定します。この場合の処置は次のとおりです。
 - ① OCDM0ビットをクリア (0) します。
 - ② ①の処理を終えるまで、P05/INTP2/ $\overline{\text{DRST}}$ 端子入力をロウ・レベル固定にしておきます。

•シリアル・インタフェースのレジスタ

通信用に使用するCSIB0, CSIB3やUARTA0のレジスタ設定は、ユーザ・プログラムで行わないようにしてください。

•割り込みマスク・レジスタ

通信用にCSIB0を使用する場合、転送終了割り込み (INTCB0R) をマスクしないようにしてください。CSIB3の場合、転送終了割り込み (INTCB3R) をマスクしないようにしてください。UARTA0の場合、受信完了割り込み (INTUA0R) をマスクしないようにしてください。

(a) CSIB0の場合

	7	6	5	4	3	2	1	0
CB0RIC	×	0	×	×	×	×	×	×

(b) CSIB3の場合

	7	6	5	4	3	2	1	0
CB3RIC	×	0	×	×	×	×	×	×

(c) UARTA0の場合

	7	6	5	4	3	2	1	0
UA0RIC	×	0	×	×	×	×	×	×

備考 ×：任意

●UARTA0使用時のポートに関するレジスタ

通信用にUARTA0を使用する場合、TXDA0, RXDA0端子を有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

	7	6	5	4	3	2	1	0
PFC3	X	X	X	X	X	X	0	0

	7	6	5	4	3	2	1	0
PMC3L	X	X	X	X	X	X	1	1

備考 X：任意

●CSIB0使用時のポートに関するレジスタ

通信用にCSIB0を使用する場合、SIB0, SOB0, $\overline{\text{SCKB0}}$ およびHS (PCM0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB0, SOB0, $\overline{\text{SCKB0}}$ の設定

	7	6	5	4	3	2	1	0
PFC4	X	X	X	X	X	X	0	0

	7	6	5	4	3	2	1	0
PMC4	X	X	X	X	X	1	1	1

(b) HS (PCM0端子) の設定

	7	6	5	4	3	2	1	0
PMCM	X	X	X	X	X	X	X	0

	7	6	5	4	3	2	1	0
PCM	X	X	X	X	X	X	X	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッガの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 X：任意

●CSIB3使用時のポートに関するレジスタ

通信用にCSIB3を使用する場合、SIB3, SOB3, $\overline{\text{SCKB3}}$ およびHS (PCM0) 端子が有効になるように、デバッグ用モニタ・プログラムで行っています。デバッグ中に次のレジスタの設定をユーザ・プログラムで変更しないでください（同値書き込みは可能です）。

(a) SIB3, SOB3, $\overline{\text{SCKB3}}$ の設定

	7	6	5	4	3	2	1	0
PFC9H	×	×	×	1	1	1	×	×

	7	6	5	4	3	2	1	0
PMC9H	×	×	×	1	1	1	×	×

(b) HS (PCM0端子) の設定

	7	6	5	4	3	2	1	0
PMCM	×	×	×	×	×	×	×	0

	7	6	5	4	3	2	1	0
PCM	×	×	×	×	×	×	×	注

注 ライト禁止です。

HS端子の値はモニタ・プログラムがデバッガの状態に応じて変更を行っています。ポート・レジスタの設定を8ビット単位で操作したい場合、ユーザ・プログラム上でリード・モディファイ・ライトを行えば、ほとんど問題ありませんが、ライト前にデバッグ用の割り込みが入った場合、意図しない動作になる可能性があります。

備考 ×：任意

29. 2. 4 注意事項

(1) デバッグに使用したデバイスの取り扱いについて

デバッグに使用したデバイスを、量産製品に搭載しないでください（デバッグ中にフラッシュ・メモリの書き換えをしており、フラッシュ・メモリの書き換え回数を保証することができないためです）。また、デバッグ用モニタ・プログラムは量産製品には組み込まないでください。

(2) ブレークができない場合について

次の状態が継続している場合は、強制ブレークすることができません。

- ・ 割り込み禁止中（DI）の場合
- ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合

(3) 疑似リアルタイムRAMモニタ（RRM）機能やDMM機能が動作しない場合について

次の状態の場合、疑似RRM機能、DMM機能が動作しません。

- ・ 割り込み禁止中（DI）の場合
- ・ MINICUBE2と対象デバイスの通信に使用するシリアル・インタフェースの割り込みがマスクされている場合
- ・ マスカブル割り込みによるスタンバイ解除を禁止している状態で、スタンバイ・モードに入っている場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックを停止している場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、デバッガで指定する動作クロックと異なるクロックで動作している場合

(4) 疑似RRMやDMM機能を有効にしている場合のスタンバイ解除について

次の状態の場合、疑似RRM機能、DMM機能によりスタンバイ・モードが解除されます。

- ・ MINICUBE2と対象デバイスの通信インタフェースがCSIB0, CSIB3の場合
- ・ MINICUBE2と対象デバイスの通信インタフェースがUARTA0の場合に、メイン・クロックが停止していない場合

(5) 特定シーケンスを必要とする周辺I/OレジスタへのDMM機能による書き換えについて

特定シーケンスを必要とする周辺I/Oレジスタは、DMM機能により書き換えることができません。

(6) フラッシュ・セルフ・プログラミングについて

デバッグ用モニタ・プログラムが配置された空間を、フラッシュ・セルフ・プログラミングで書き換えた場合、デバッグが正常に動作しなくなります。

(7) オンチップ・デバッグは、電源電圧 (V_{DD}) が 2.7 V～3.6 V の範囲でのみ使用可能です。2.7 V 未満では使用できません。

29.3 ROMセキュリティ機能**29.3.1 セキュリティID**

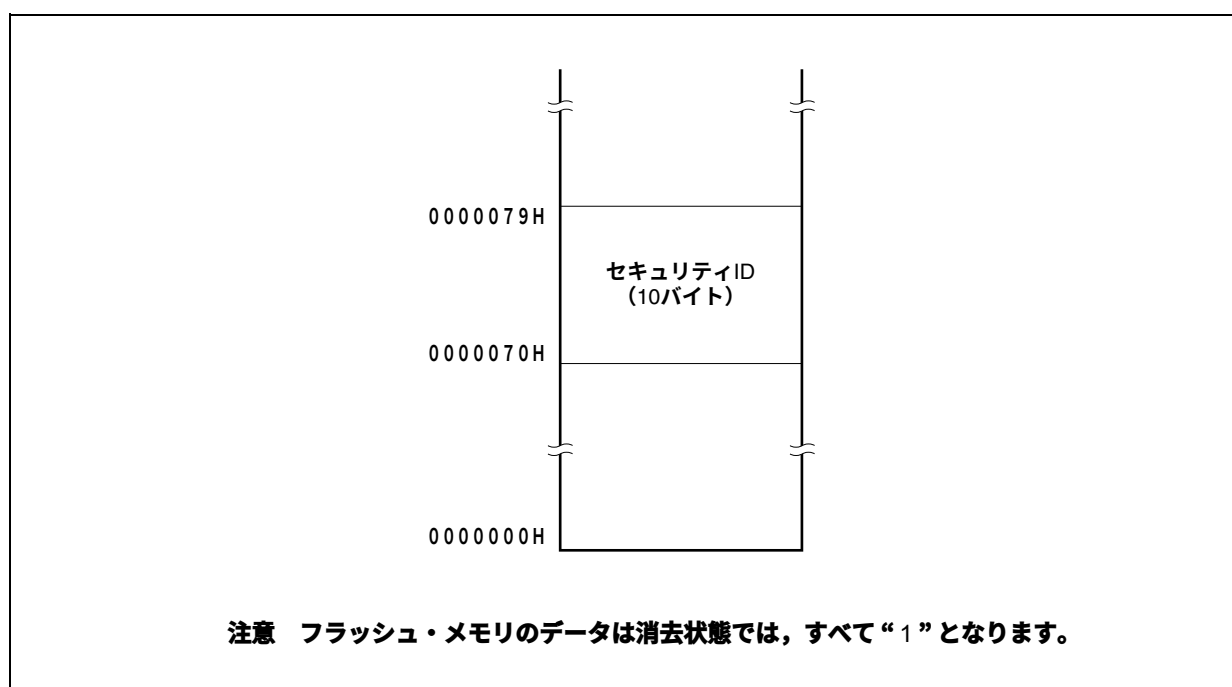
オンチップ・デバッグ・エミュレータによるオンチップ・デバッグ時、フラッシュ・メモリの内容を第三者に読み出されることを防ぐために、10バイトのIDコードによる認証を行います。

IDコードは、あらかじめ内蔵フラッシュ・メモリ領域の 0000070H-0000079H の 10 バイト分に設定し、デバッグがID認証を行います。

このID照合が一致していれば、セキュリティが解除されフラッシュ・メモリ読み出し許可、オンチップ・デバッグ・エミュレータ使用許可となります。

- ・ 10バイトのIDコードは、0000070H-0000079Hに設定します。
- ・ 0000079Hのビット7はオンチップ・デバッグ・エミュレータ使用許可フラグです。
(0：使用禁止，1：使用許可)
- ・ オンチップ・デバッグ・エミュレータを起動すると、デバッグがID入力を要求します。デバッグ上で入力したIDコードと、0000070H-0000079Hに埋め込んだIDコードが一致すればデバッグが起動します。
- ・ IDコードが一致しても、オンチップ・デバッグ・エミュレータ使用許可フラグが“0”である場合は、デバッグを行うことはできません。

図29-6 セキュリティID領域



29. 3. 2 設定方法

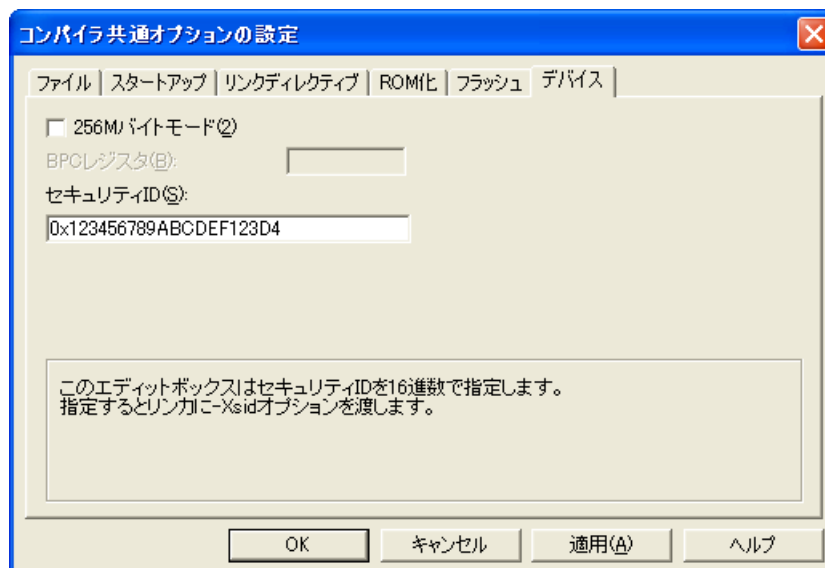
IDコードを表29-6のように設定する方法を次に示します。

表29-6のようにIDコードを設定した場合、ID850QBのコンフィギュレーション・ダイアログ上で入力するIDコードは「123456789ABCDEF123D4」となります（英数字は大文字でも小文字でも同じIDコードとして認識します）。

表29-6 IDコード

番地	値
0x70	0x12
0x71	0x34
0x72	0x56
0x73	0x78
0x74	0x9A
0x75	0xBC
0x76	0xDE
0x77	0xF1
0x78	0x23
0x79	0xD4

PM+のコンパイラ共通オプション設定でIDコードを指定することができます。



第30章 電気的特性 (V850ES/JC3-L (40ピン))

30.1 絶対最大定格

絶対最大定格 (T_A = 25 °C) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = AV _{REF0}	-0.5~+4.6	V
	EV _{DD}	V _{DD} = EV _{DD} = AV _{REF0}	-0.5~+4.6	V
	AV _{REF0}	V _{DD} = EV _{DD} = AV _{REF0}	-0.5~+4.6	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
入力電圧	V _{I1}	P97, P914, P915, PCM0, PDL5, RESET, FLMD0	-0.5~EV _{DD} +0.5 ^{注1}	V
	V _{I3}	X1	-0.5~V _{DD} +0.5 ^{注1}	V
		X2	-0.5~V _{RO} ^{注2} +0.5	V
	V _{I4}	P02, P03, P05, P30, P31, P40-P42, P50-P55, P90, P91, P96	-0.5~+6.0	V
	V _{I5}	XT1, XT2	-0.5~V _{RO} ^{注2} +0.5	V
アナログ入力電圧	V _{IAN}	P70-P74	-0.5~AV _{REF0} +0.5 ^{注1}	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. 内蔵レギュレータ出力電圧

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性, AC特性, 動作条件に示す規格や条件が、製品の正常動作, 品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の定格は、ポート端子以外の機能として使用しても同じです。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ロウ・レベル出力電流	I _{OL}	P02, P03, P05, P30, P31, P40-P42, P50-P55, P90, P91, P96, P97, P914, P915	1端子	4	mA
			全端子合計	50	mA
		PCM0, PDL5	1端子	4	mA
			全端子合計	8	mA
		P70-P74	1端子	4	mA
			全端子合計	20	mA
ハイ・レベル出力電流	I _{OH}	P02, P03, P05, P30, P31, P40-P42, P50-P55, P90, P91, P96, P97, P914, P915	1端子	－4	mA
			全端子合計	－50	mA
		PCM0, PDL5	1端子	－4	mA
			全端子合計	－8	mA
		P70-P74	1端子	－4	mA
			全端子合計	－20	mA
動作周囲温度	T _A	通常動作モード		－40～＋85	℃
		フラッシュ・メモリ・プログラミング・モード		－40～＋85	℃
保存温度	T _{stg}			－40～＋125	℃

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性、AC特性、動作条件に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の定格は、ポート端子以外の機能として使用しても同じです。

30.2 容 量

($T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{IO}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

30.3 動作条件

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

内部システム・クロック周波数	条 件	電源電圧			単 位
		V_{DD}	EV_{DD}	AV_{REF0}	
$f_{xx} = 2.5 \sim 20 \text{ MHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ動作	2.7~3.6	2.7~3.6	2.7~3.6	V
$f_{xx} = 2.5 \sim 5 \text{ MHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ停止	2.2~3.6	2.2~3.6	2.2~3.6	V
$f_{XT} = 32.768 \text{ kHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ停止	2.2~3.6	2.2~3.6	2.2~3.6	V

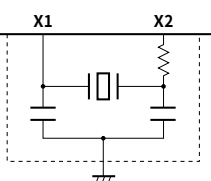
30.4 発振回路特性

30.4.1 メイン・クロック発振回路特性

(1) 発振回路特性

メイン・クロック発振回路特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子／ 水晶振動子		発振周波数 (f_x) ^{注1}	クロック・ス ループ・モード $V_{DD} = 2.2 \sim 3.6\text{ V}$	2.5		5	MHz
			$V_{DD} = 2.7 \sim 3.6\text{ V}$	2.5		10	MHz
			PLLモード, $V_{DD} = 2.7 \sim 3.6\text{ V}$	2.5		5	MHz
		発振安定時間 ^{注2}	リセット解除後, $V_{DD} = 2.2 \sim 3.6\text{ V}$	注3	注4		s
			STOP モード 解除後 クロック・ スループ・モード $V_{DD} = 2.2 \sim 3.6\text{ V}$	400 ^{注5}	注6		μs
			PLLモード $V_{DD} = 2.7 \sim 3.6\text{ V}$	400 ^{注7}	注6		μs
			IDLE2 モード 解除後 クロック・ スループ・モード $V_{DD} = 2.2 \sim 3.6\text{ V}$	200 ^{注5}	注6		μs
			PLLモード $V_{DD} = 2.7 \sim 3.6\text{ V}$	400 ^{注7}	注6		μs

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。

3. オプション・バイトの設定値によって発振安定時間が異なります。詳細は、第27章 オプション・バイトを参照してください。

4. オプション・バイトの設定値によってリセット解除後の発振安定時間には制限があります。詳細は、第27章 オプション・バイトを参照してください。

5. レギュレータのセットアップ、フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

6. OSTSレジスタの設定によって値が異なります。

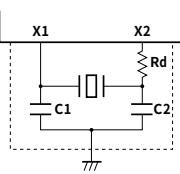
7. レギュレータのセットアップ、フラッシュ・メモリのセットアップ、PLLのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

注意2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

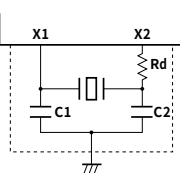
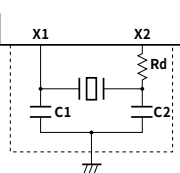
(a) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70 \text{ }^{\circ}\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		CX49GFWB04000H0PESZZ	4.000	10	10	1000	2.2	3.6	10.45
		CX49GFWB05000H0PESZZ	5.000	10	10	1000	2.2	3.6	10.08
		CX49GFWB06000H0PESZZ	6.000	10	10	1000	2.2	3.6	9.26
		CX49GFWB08000H0PESZZ	8.000	10	10	0	2.2	3.6	8.98
		CX49GFWB10000H0PESZZ	10.000	10	10	0	2.2	3.6	8.59

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(b) 株式会社村田製作所：セラミック発振子 ($T_A = -20 \sim +80 \text{ }^{\circ}\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		CSTCC2M50G56-R0	2.500	(47)	(47)	2200	2.2	3.6	0.09
		CSTCR4M00G55-R0	4.000	(39)	(39)	680	2.2	3.6	0.09
		CSTCR5M00G55-R0	5.000	(39)	(39)	680	2.2	3.6	0.11
		CSTCR6M00G55-R0	6.000	(39)	(39)	470	2.2	3.6	0.11
		CSTCE8M00G55-R0	8.000	(33)	(33)	0	2.2	3.6	0.10
		CSTCE10M0G55-R0	10.000	(33)	(33)	0	2.2	3.6	0.10
リード		CSTLS4M00G56-B0	4.000	(47)	(47)	680	2.2	3.6	0.11
		CSTLS5M00G56-B0	5.000	(47)	(47)	680	2.2	3.6	0.13
		CSTLS6M00G56-B0	6.000	(47)	(47)	470	2.2	3.6	0.11
		CSTLS8M00G56-B0	8.000	(47)	(47)	100	2.2	3.6	0.10
		CSTLS10M0G56-B0	10.000	(47)	(47)	100	2.2	3.6	0.10

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

備考 C1, C2の () 内の数値は発振子に内蔵されている容量を表しています。

(c) 京セラ株式会社：セラミック発振子 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		PBRC2.50HR50X000	2.50	(30)	(30)	0	2.2	3.6	0.10
		PBRC4.00MR50X000	4.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC5.00MR50X000	5.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC6.00MR50X000	6.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC8.00MR50X000	8.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC10.00MR50X000	10.00	(10)	(10)	0	2.2	3.6	0.10

注意 発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(2) 外部クロック

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単位
外部 クロック		入力周波数 (f_x) 注	クロック・スルー・モード	2.5		5	MHz
			PLLモード	2.5		5	MHz
		V_{IH}	X1	2.3		V_{DD}	V
		V_{IL}	X1	V_{SS}		0.4	V

注 入力波形のデューティ比は45%~55%に収まるようにしてください。

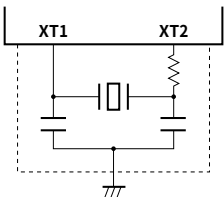
注意1. リセット後、必ず内蔵帰還抵抗を切断してください (PCC.MFRC = 1に設定)。

2. X2端子は、オープンにしてください。

3. COMSインバータはX1端子にできるかぎり近づけてください。

30.4.2 サブクロック発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

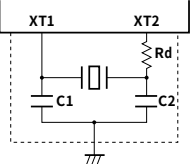
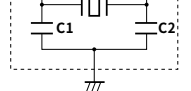
注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性、動作条件の規格内で使用してください。

2. V_{DD} が発振電圧範囲 (2.2 V (MIN.)) に達してから水晶発振子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる線に接近させない。
 - 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - 大電流が流れるグランド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

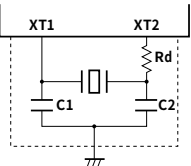
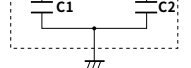
(a) セイコーインスツル株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)発振周波数: $f_{XT} = 32.768 \text{ kHz}$

タイプ	回路例	品 名	水晶振動子の 負荷容量 (pF)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)
表面 実装		SP-T2A	6	5	5	0	2.2	3.6
			12.5	18	18	0	2.2	3.6
リード		SSP-T7	7	8	8	0	2.2	3.6
		VT-200	6	6	6	0	2.2	3.6
			12.5	18	18	0	2.2	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(b) シチズンミヨタ株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)発振周波数: $f_{XT} = 32.768 \text{ kHz}$

タイプ	回路例	品 名	水晶振動子の 負荷容量 (pF)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)
表面 実装		CM200S	9	12	12	100	2.2	3.6
		CMR200T	9	12	12	100	2.2	3.6
		CM519	9	12	12	100	2.2	3.6
リード		CM315	9	15	12	100	2.2	3.6
		CFS-206	9	12	12	100	2.2	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

30.4.3 PLL特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力周波数	f _X		2.5		5	MHz
出力周波数	f _{XX}		10		20	MHz
ロック時間	t _{PLL}	V _{DD} が2.7 V (MIN.) に達したあと			400	μs

30.4.4 内蔵発振器特性

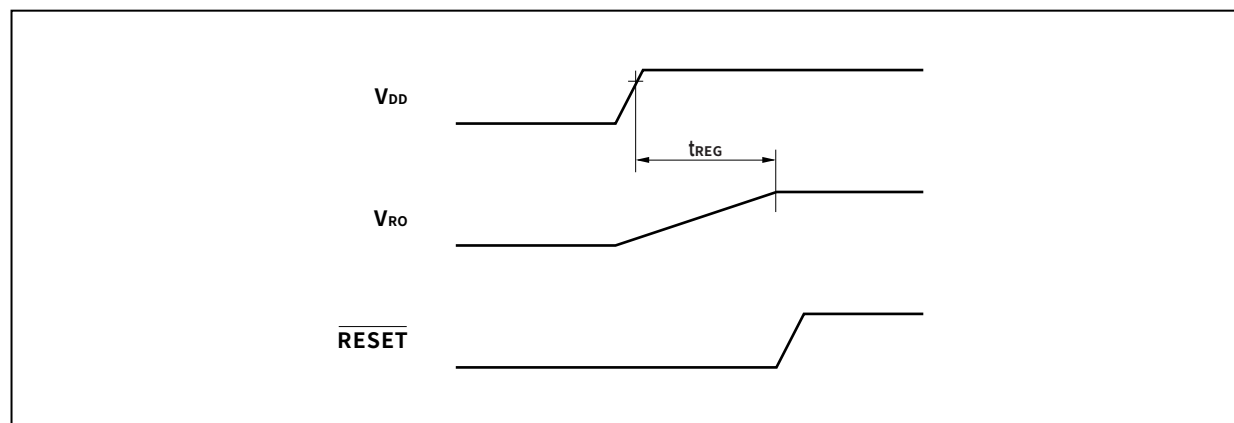
(TA = -40~+85 °C, VDD = EVDD = AVREF0, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
出力周波数	f _R		100	220	400	kHz

30.5 レギュレータ特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力電圧	V_{DD}	$f_{XX} = 20\text{ MHz (MAX.)}$	2.7		3.6	V
		$f_{XX} = 5\text{ MHz (MAX.)}$	2.2		3.6	V
		データ保持 (STOPモード)	1.9		3.6	V
出力電圧	V_{RO}	$V_{DD} = 2.7 \sim 3.6\text{ V}$		2.5		V
レギュレータ出力安定時間	t_{REG}	V_{DD} が2.7 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7\text{ }\mu\text{F}$ (推奨値) を接続時			1	ms
		V_{DD} が2.2 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7\text{ }\mu\text{F}$ (推奨値) を接続時			3.5	ms
外付け容量	REGC	REGC端子に接続する外付け容量の 許容誤差	3.76	4.70	5.64	μF



30.6 DC特性

30.6.1 端子特性

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0}, V_{SS} = EV_{SS} = AV_{SS} = 0 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH1}	RESET, FLMD0, P97, P914, P915	0.8 EV _{DD}		EV _{DD}	V
	V _{IH2}	P02, P03, P05, P30, P31, P42, P50-P55, P96	0.8 EV _{DD}		5.5	V
	V _{IH3}	P40, P41, P90, P91	0.7 EV _{DD}		5.5	V
	V _{IH4}	PCM0, PDL5	0.7 EV _{DD}		EV _{DD}	V
	V _{IH5}	P70-P74	0.7 AV _{REF0}		AV _{REF0}	V
ロウ・レベル入力電圧	V _{IL1}	RESET, FLMD0, P97, P914, P915	EV _{SS}		0.2 EV _{DD}	V
	V _{IL2}	P02, P03, P05, P30, P31, P42, P50-P55, P96	EV _{SS}		0.2 EV _{DD}	V
	V _{IL3}	P40, P41, P90, P91	EV _{SS}		0.3 EV _{DD}	V
	V _{IL4}	PCM0, PDL5	EV _{SS}		0.3 EV _{DD}	V
	V _{IL5}	P70-P74	AV _{SS}		0.3 AV _{REF0}	V
ハイ・レベル入力リーク電流	I _{LIH}	V _I = V _{DD} = EV _{DD} = AV _{REF0}			5	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			-5	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD} = EV _{DD} = AV _{REF0}			5	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			-5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0}, V_{SS} = EV_{SS} = AV_{SS} = 0 V) (2/2)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電圧	V _{OH1}	P02, P03, P05, P30, P31, P40-P42, P50-P55, P90, P91, P96, P97, P914, P915	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	EV _{DD} -1.0		EV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -2.0 mA	EV _{DD} -0.5		EV _{DD}	V
	V _{OH2}	PCM0, PDL5	1端子 I _{OH} = -1.0 mA	端子合計 -2 mA	EV _{DD} -1.0		EV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -0.2 mA	EV _{DD} -0.5		EV _{DD}	V
	V _{OH3}	P70-P74	1端子 I _{OH} = -0.4 mA	端子合計 -2.0 mA	AV _{REF0} -1.0		AV _{REF0}	V
			1端子 I _{OH} = -100 μA	端子合計 -0.5 mA	AV _{REF0} -0.5		AV _{REF0}	V
ロウ・レベル出力電圧	V _{OL1}	P02, P03, P05, P30, P31, P42, P50-P55, P96, P97, P914, P915	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V _{OL2}	P40, P41, P90, P91	1端子 I _{OL} = 3.0 mA		0		0.4	V
	V _{OL3}	PCM0, PDL5	1端子 I _{OL} = 1.0 mA	端子合計 2 mA	0		0.4	V
	V _{OL4}	P70-P74	1端子 I _{OL} = 0.4 mA	端子合計 2.0 mA	0		0.4	V
ソフトウェア・ プルダウン抵抗 [※]	R ₁	P05	V _I = V _{DD}		10	20	100	kΩ

注 DRST端子のみ (OCDMレジスタで制御)

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

30. 6. 2 電源電流特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0, VSS = EVSS = AVSS = 0 V)

項 目	略号	条 件		MIN.	TYP. ^{注1}	MAX. ^{注2}	単位
電源電流 ^{注3}	IDD1	通常動作	f _{xx} = 20 MHz (f _x = 5 MHz) ^{注4}		8.2 ^{注5}	20	mA
			f _{xx} = 10 MHz (f _x = 10 MHz) , PLLオフ時 ^{注4}		4.1 ^{注5}	10	mA
	IDD2	HALTモード	f _{xx} = 20 MHz (f _x = 5 MHz) ^{注4}		5.3	14	mA
	IDD3	IDLE1モード	f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時 ^{注4}		0.5	1	mA
	IDD4	IDLE2モード	f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時 ^{注4}		0.21	0.5	mA
	IDD5	サブクロック動作モード	f _{XT} = 32.768 kHz, メイン・クロック停止, 内蔵発振器停止, PLLオフ REGOVL0 = 02H (低電圧サブクロック動作モード)		9.6		μA
	IDD6	サブIDLEモード	f _{XT} = 32.768 kHz, メイン・クロック停止, 内蔵発振器停止, PLLオフ REGOVL0 = 02H (低電圧サブIDLEモード)		1.9	30	μA
	IDD7	STOPモード	サブクロック停止, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード) T _A = 25 °C		1.1	3.0	μA
			サブクロック停止, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード) T _A = 85 °C			25	μA
			サブクロック動作, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード)		1.9	30	μA
IDD8	セルフ・プログラミング・モード	f _{xx} = 20 MHz (f _x = 5 MHz)		14	24	mA	
LVI電流	ILVI				1.2	3	μA
WDT, 内蔵発振電流	IWDT				5		μA

注1. TYP.電流とは, VDD = EVDD = 3.3 V, TA = 25 °Cの値です。

TYP.は個々のデバイスに対する保証値ではありません。

2. MAX.電流とは, VDD = EVDD = 3.6 V, TA = -40~+85 °Cの範囲で対象特性がワーストになる条件の電流値です。

3. VDD, EVDD電流の合計です。出力バッファ, A/Dコンバータ, 内蔵プルダウン抵抗で流れる電流値, ILVI, IWDTは含みません。

4. TYP.周辺機能として, “RTC” もしくは “時計タイマ+TMM (時計タイマ割り込みによるカウント)” が動作しているときの電流値です。

MAX.周辺機能として, 端子変化をともしない範囲で動作可能な全機能が動作しているときの電流値です。

ただしILVI, IWDTは除きます。

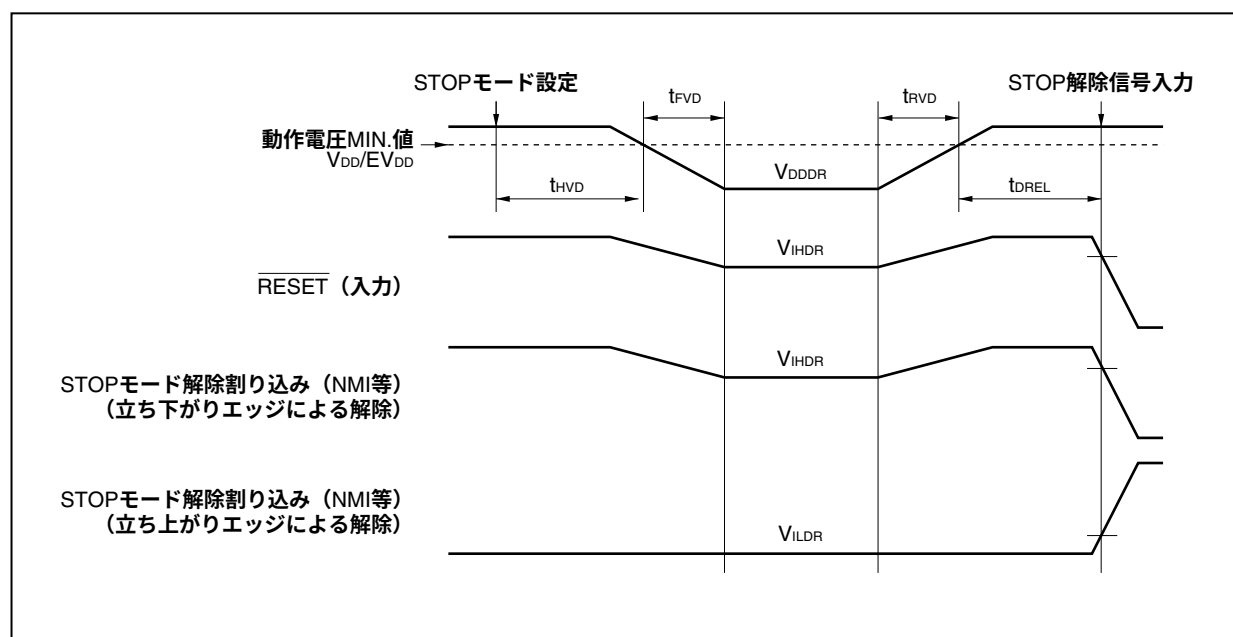
5. IDD1のTYP.は, 全命令実行のときの値です。

備考 動作電圧については, 30. 3 動作条件を参照してください。

30. 6. 3 データ保持特性 (STOPモード時)

(TA = -40~+85 °C, VDD = EVDD = AVREF0, VSS = EVSS = AVSS = 0 V)

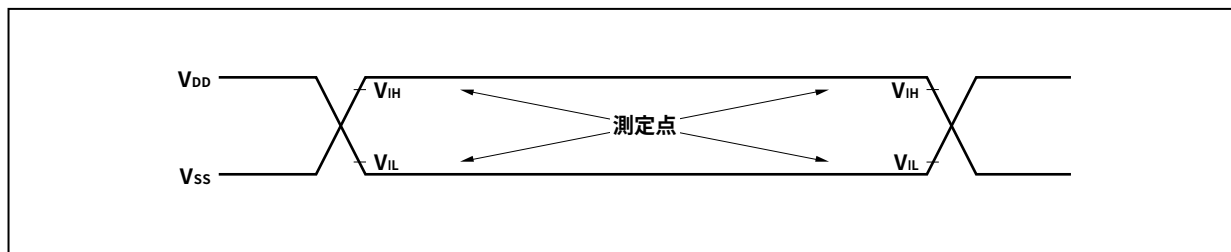
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
データ保持電圧	VDDDR	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	IDDDR	サブクロック停止, 内蔵発振器 停止 TA = 85 °C			45	μA
電源電圧立ち上がり時間	tRVD		200			μs
電源電圧立ち下がり時間	tFVD		200			μs
電源電圧保持時間	tHVD	STOPモード設定後	0			ms
STOP解除信号入力時間	tDREL	VDDが動作電圧のMIN.値に達したあと (30.3 動作条件参照)	0			ms
データ保持ハイ・レベル入力電圧	VIHDR	VDD = EVDD = VDDDR	0.9VDDDR		VDDDR	V
データ保持ロウ・レベル入力電圧	VILDR	VDD = EVDD = VDDDR	0		0.1VDDDR	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

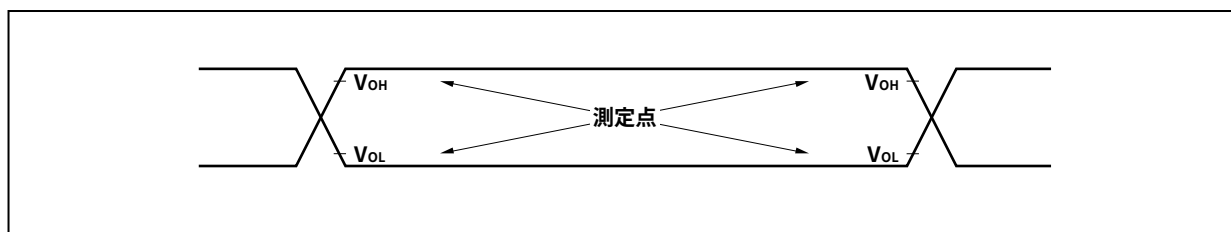
30.7 AC特性

30.7.1 測定条件

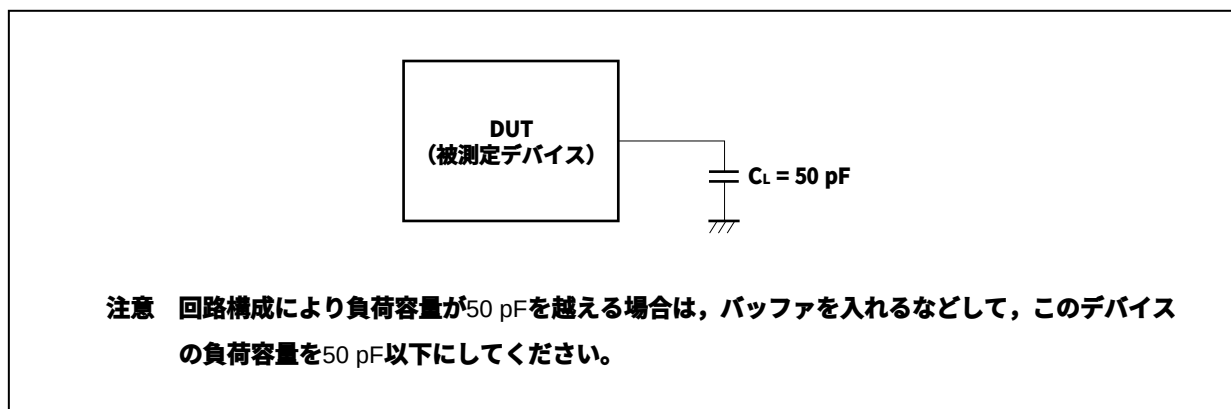
(1) ACテスト入力測定点



(2) ACテスト出力測定点



(3) 負荷条件



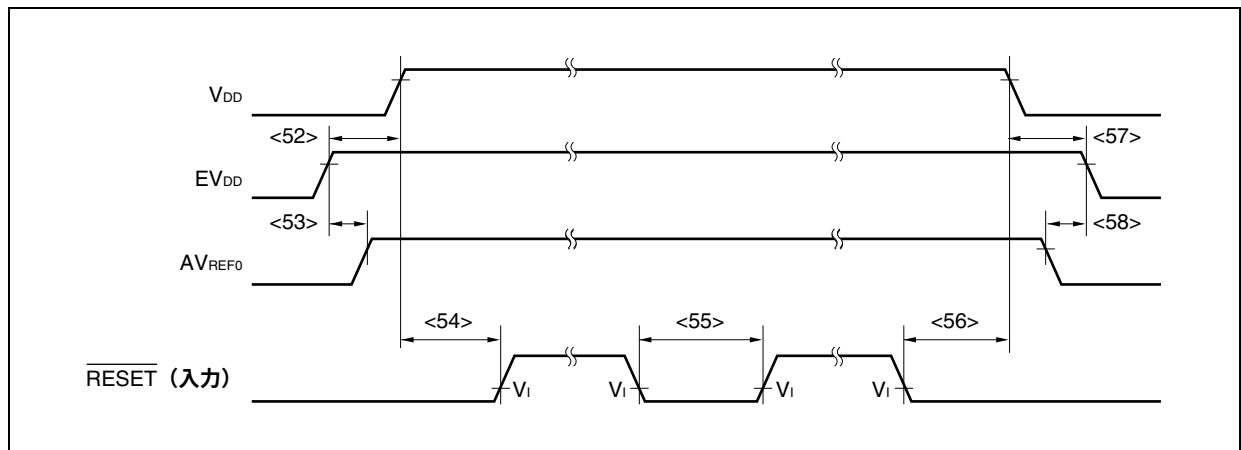
30.7.2 パワー・オン／パワー・オフ／リセット・タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
$EV_{DD} \uparrow \rightarrow V_{DD} \uparrow$	t_{REL}	<52>	0		ns
$EV_{DD} \uparrow \rightarrow AV_{REF0} \uparrow$	t_{REA}	<53>	0	t_{REL}	ns
$V_{DD} \uparrow \rightarrow \overline{RESET} \uparrow$	t_{RER}	<54>	$500 + t_{REG}$ 注		ns
RESET ロウ・レベル幅	t_{WRS}	<55>	500		ns
RESET $\downarrow \rightarrow V_{DD} \downarrow$	t_{FRE}	<56>	500		ns
$V_{DD} \downarrow \rightarrow EV_{DD} \downarrow$	t_{FEL}	<57>	0		ns
$AV_{REF0} \downarrow \rightarrow EV_{DD} \downarrow$	t_{FEA}	<58>	0	t_{FEL}	ns

注 30.5 レギュレータ特性参照

備考 $\overline{RESET}$ 端子には、アナログ・ノイズ除去機能があります。



30.8 周辺機能特性

30.8.1 割り込みタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.2\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIハイ・レベル幅	t_{WNIH}		500		ns
NMIロウ・レベル幅	t_{WNIL}		500		ns
INTPn ^注 ハイ・レベル幅	t_{WITH}	$n = 0, 2, 5-7$	500		ns
INTPn ^注 ロウ・レベル幅	t_{WITL}	$n = 0, 2, 5-7$	500		ns

注 DRST端子と同じ特性です (P05/INTP2/DRST)。

備考 NMI端子, INTPn端子にはアナログ・ノイズ除去機能があります ($n = 0, 2, 5-7$)。

30.8.2 キー・リターン・タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.2\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
KRnハイ・レベル幅	t_{WKRH}		500		ns
KRnロウ・レベル幅	t_{WKRL}		500		ns

備考1. $n = 0-7$

2. KRn端子にはアナログ・ノイズ除去機能があります。

30.8.3 タイマ・タイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.2\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
TIハイ・レベル幅	t_{TIH}	TIP20, TIP21, TIP50, TIP51,	2T+20		ns
TIロウ・レベル幅	t_{TIL}	TIQ00-TIQ03	2T+20		ns

備考 $T = 1/f_{xx}$

30.8.4 UARTタイミング

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート		$V_{DD} = 2.2 \sim 3.6\text{ V}$		625	kbps
ASCK0周波数		$V_{DD} = 2.2 \sim 3.6\text{ V}$		5	MHz
		$V_{DD} = 2.7 \sim 3.6\text{ V}$		10	MHz

30. 8. 5 CSIBタイミング

(1) マスタ・モード

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0}, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKBnサイクル・タイム	t _{KCY1}	<60> 2.7 V ≤ V _{DD} ≤ 3.6 V	125		ns
			2.2 V ≤ V _{DD} < 2.7 V	800	ns
SCKBnハイ・レベル幅	t _{KH1}	2.7 V ≤ V _{DD} ≤ 3.6 V	t _{KCY1} /2 - 8		ns
		2.2 V ≤ V _{DD} < 2.7 V	t _{KCY1} /2 - 80		ns
SCKBnロウ・レベル幅	t _{KL1}	2.7 V ≤ V _{DD} ≤ 3.6 V	t _{KCY1} /2 - 8		ns
		2.2 V ≤ V _{DD} < 2.7 V	t _{KCY1} /2 - 80		ns
SIBnセットアップ時間 (対SCKBn↑)	t _{SIK1}	2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
		2.2 V ≤ V _{DD} < 2.7 V	100		ns
SIBnホールド時間 (対SCKBn↑)	t _{KS1}	2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
		2.2 V ≤ V _{DD} < 2.7 V	100		ns
SCKBn↓ → SOBn出力遅延時間	t _{KS01}	2.7 V ≤ V _{DD} ≤ 3.6 V		27	ns
		2.2 V ≤ V _{DD} < 2.7 V		95	ns

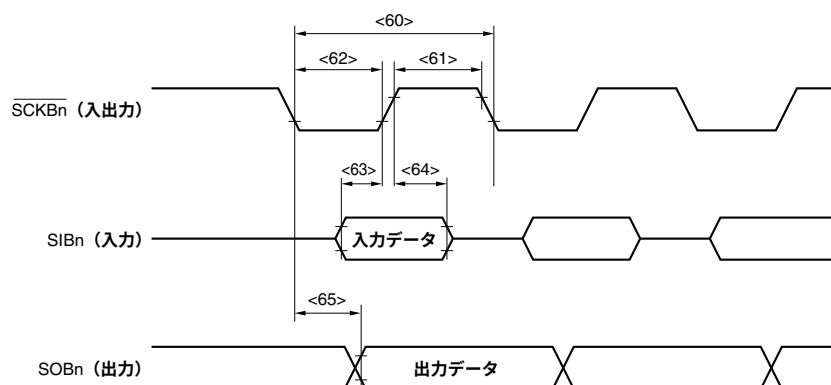
備考 n = 0, 2

(2) スレーブ・モード

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0}, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKBnサイクル・タイム	t _{KCY2}	2.7 V ≤ V _{DD} ≤ 3.6 V	125		ns
		2.2 V ≤ V _{DD} < 2.7 V	800		ns
SCKBnハイ・レベル幅	t _{KH2}	2.2 V ≤ V _{DD} ≤ 3.6 V	54.5		ns
SCKBnロウ・レベル幅	t _{KL2}	2.2 V ≤ V _{DD} ≤ 3.6 V	54.5		ns
SIBnセットアップ時間 (対SCKBn↑)	t _{SIK2}	2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
		2.2 V ≤ V _{DD} < 2.7 V	100		ns
SIBnホールド時間 (対SCKBn↑)	t _{KS2}	2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
		2.2 V ≤ V _{DD} < 2.7 V	100		ns
SCKBn↓ → SOBn出力遅延時間	t _{KS02}	2.7 V ≤ V _{DD} ≤ 3.6 V		27	ns
		2.2 V ≤ V _{DD} < 2.7 V		95	ns

備考 n = 0, 2



備考 n = 0, 2

30.8.6 I²Cバス・モード(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = 2.2 V~3.6 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V)

項 目	略 号		標準モード		高速モード		単 位
			MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数	f _{CLK}		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<66>	4.7	—	1.3	—	μs
ホールド時間 ^{注1}	t _{HD : STA}	<67>	4.0	—	0.6	—	μs
SCL0nクロックのロウ・レベル幅	t _{LOW}	<68>	4.7	—	1.3	—	μs
SCL0nクロックのハイ・レベル幅	t _{HIGH}	<69>	4.0	—	0.6	—	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<70>	4.7	—	0.6	—	μs
データ・ホールド 時間	CBUS互換マスタの場合	t _{HD : DAT}	<71>	—	—	—	μs
	I ² Cモードの場合						
			0 ^{注2}	—	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<72>	250	—	100 ^{注4}	—	ns
SDA0nおよびSCL0n信号の立ち上がり時間	t _r	<73>	—	1000	20+0.1Cb ^{注5}	300	ns
SDA0nおよびSCL0n信号の立ち下がり時間	t _f	<74>	—	300	20+0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<75>	4.0	—	0.6	—	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<76>	—	—	0	50	ns
各バス・ラインの容量性負荷	Cb		—	400	—	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために (SCL0n信号のV_{IHmin.}での) SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- 装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

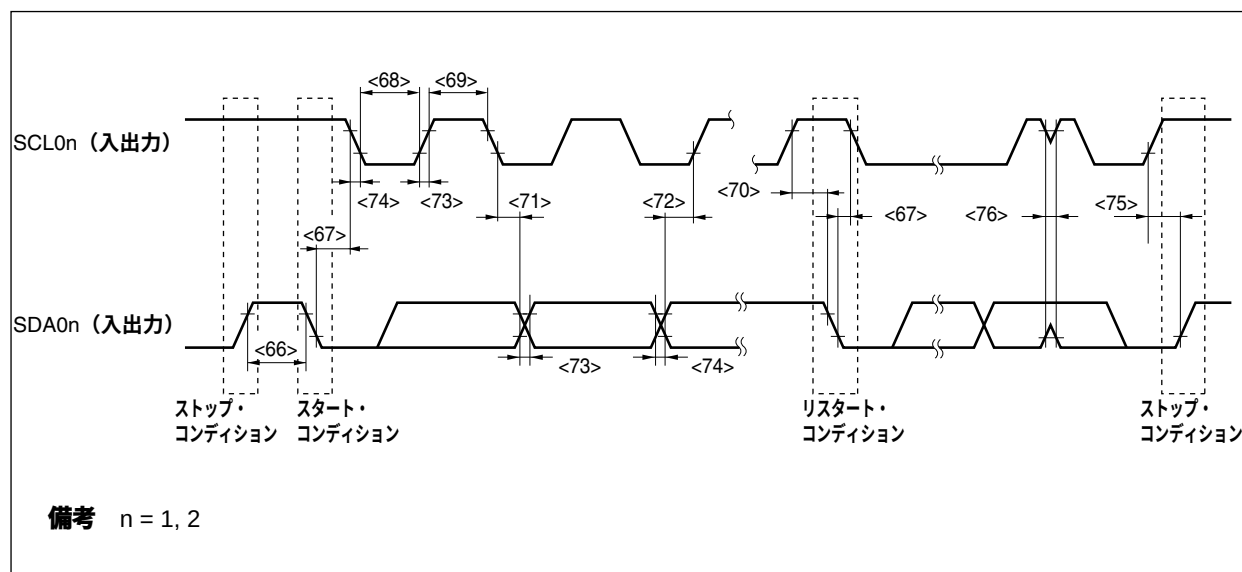
$$t_{SU : DAT} \geq 250 \text{ ns}$$

- 装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される (t_{Rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA0nラインに送出してください。

- Cb : 1つのバス・ラインの合計キャパシタンス (単位: pF)

備考 n = 1, 2

I²C バス・タイミング

30. 8. 7 A/Dコンバータ

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0}$, $2.7\text{ V} \leq AV_{REF0} \leq 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					10	bit
総合誤差 ^注		$2.7\text{ V} \leq AV_{REF0} \leq 3.6\text{ V}$			± 0.6	%FSR
A/D変換時間	t_{CONV}	$3.0\text{ V} \leq AV_{REF0} \leq 3.6\text{ V}$	2.6		24	μS
		$2.7\text{ V} \leq AV_{REF0} < 3.0\text{ V}$	3.9		24	μS
ゼロスケール誤差					± 0.5	%FSR
フルスケール誤差					± 0.5	%FSR
非直線性誤差					± 4.0	LSB
微分直線性誤差					± 4.0	LSB
アナログ入力電圧	V_{IAN}		AV_{SS}		AV_{REF0}	V
基準電圧	AV_{REF0}		2.7		3.6	V
AV_{REF0} 電流	AI_{REF0}	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	μA

注 量子化誤差 ($\pm 0.05\%$ FSR) は含みません。

注意 A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 LSB: Least Significant Bit
FSR: Full Scale Range

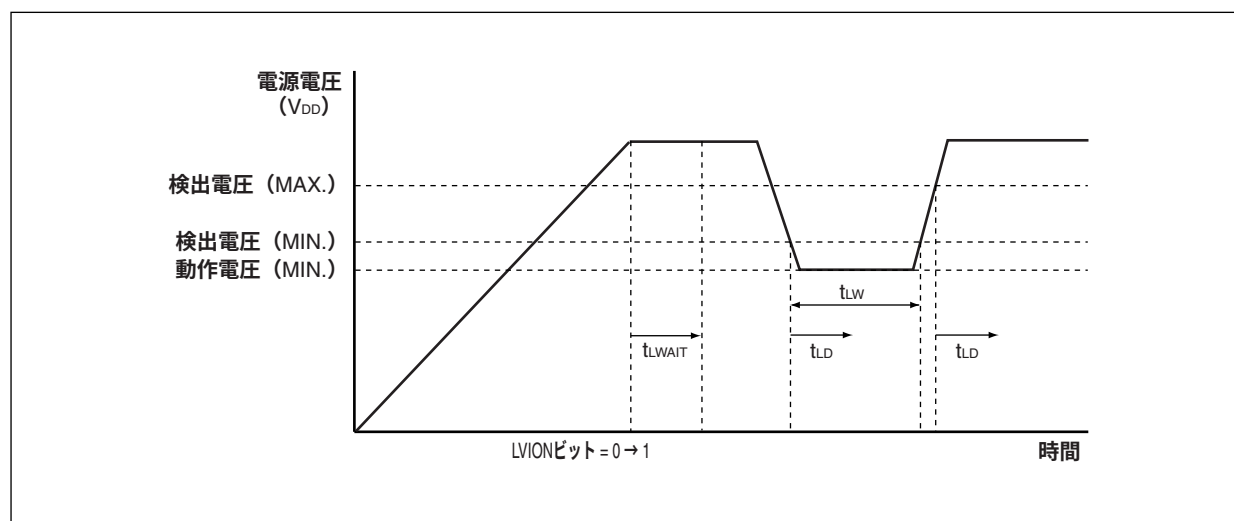
30. 8. 8 LVI回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$,

$C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
検出電圧	V_{LV10}		2.7	2.8	2.9	V
	V_{LV11}		2.2	2.3	2.4	V
応答時間 ^注	t_{LD}	立ち上がり時: V_{DD} が V_{LV10}/V_{LV11} (MAX.) に達したあと。 立ち下がり時: V_{DD} が V_{LV10}/V_{LV11} (MIN.) まで下がったあと。		0.2	2.0	ms
最小パルス幅	t_{LW}	$V_{DD} = V_{LV10}/V_{LV11}$ (MIN.)	0.2			ms
基準電圧安定待ち時間	t_{LWAIT}	V_{DD} が V_{LV10} または V_{LV11} (MAX.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。



30.9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = 2.7 V~3.6 V, VSS = EVSS = AVSS = 0 V, CL = 50 pF)

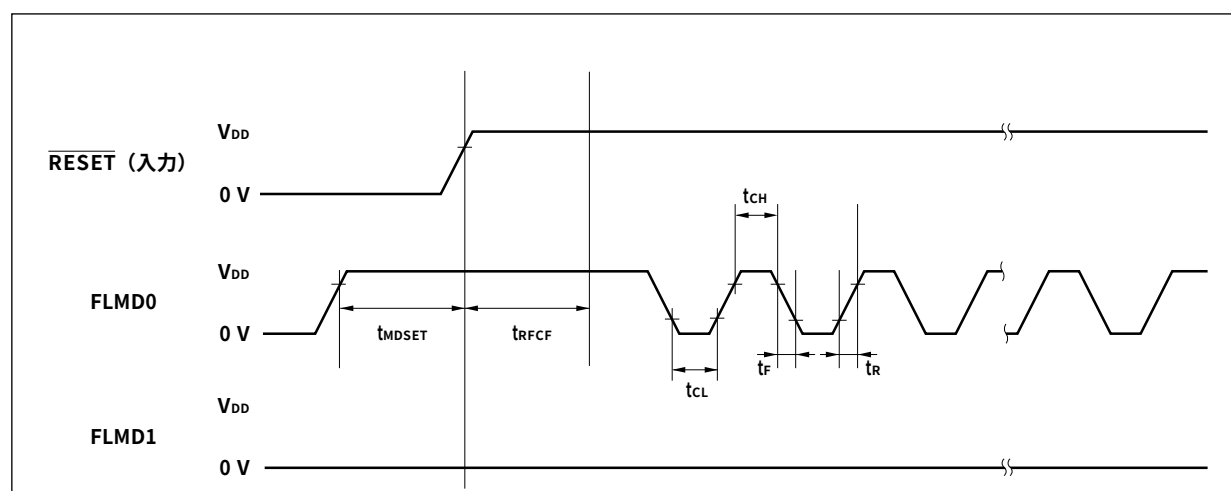
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	fCPU		2.5		20	MHz
電源電圧	VDD	2.5 MHz ≤ fxx ≤ 20 MHz	2.7		3.6	V
書き換え回数	CWRT	プログラム更新用途 フラッシュ・メモリ・プログラ マ使用時および当社提供のセルフ・プ ログラミング・ライブラリ使用時	保持 15 年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレーショ ン・ライブラリ使用時 使用可能ROMサイズ: 連続した6プロ ックの12Kバイト, もしくは連続した 3ブロックの6 Kバイト	保持 5 年	10,000		回
プログラミング温度	tPRG		-40		+85	°C

(2) シリアル書き込みオペレーション特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = 2.7 V~3.6 V, VSS = EVSS = AVSS = 0 V, CL = 50 pF)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
FLMD0, FLMD1設定時間	tMDSET		2		3000	ms
RESET ↑ → FLMD0カウンタ開始時間	trFCF	fx = 2.5~10 MHz	800			μs
FLMD0カウンタ・ハイ・レベル幅/ ロウ・レベル幅	tCH/tCL		10		100	μs
FLMD0カウンタ立ち上がり時間/ 立ち下がり時間	tr/tf				1	μs

フラッシュ書き込みモード設定タイミング



(3) プログラミング特性

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チップ消去時間		$f_{xx} = 20 \text{ MHz}$ (チップ消去コマンド実行時)		105		ms
256バイトあたりの書き込み時間		$f_{xx} = 20 \text{ MHz}$		2.0		ms
ブロック内部ベリファイ時間		$f_{xx} = 20 \text{ MHz}$		10		ms
ブロック・ブランク・チェック時間		$f_{xx} = 20 \text{ MHz}$		0.5		ms
フラッシュ情報設定時間		$f_{xx} = 20 \text{ MHz}$		30		ms

備考 ブロック・サイズ = 2 Kバイト

第31章 電気的特性 (V850ES/JC3-L (48ピン))

31.1 絶対最大定格

絶対最大定格 (T_A = 25 °C) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	EV _{DD}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	AV _{REF0}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	AV _{REF1}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
入力電圧	V _{I1}	P97-P99, P914, P915, PCM0, PDL5, RESET, FLMD0	-0.5~EV _{DD} +0.5 ^{注1}	V
	V _{I2}	P10	-0.5~AV _{REF1} +0.5 ^{注1}	V
	V _{I3}	X1	-0.5~V _{DD} +0.5 ^{注1}	V
		X2	-0.5~V _{RO} ^{注2} +0.5	V
	V _{I4}	P02, P03, P05, P30-P32, P38, P39, P40-P42, P50-P55, P90, P91, P96	-0.5~+6.0	V
	V _{I5}	XT1, XT2	-0.5~V _{RO} ^{注2} +0.5	V
アナログ入力電圧	V _{IAN}	P70-P75	-0.5~AV _{REF0} +0.5 ^{注1}	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. 内蔵レギュレータ出力電圧

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性, AC特性, 動作条件に示す規格や条件が、製品の正常動作, 品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の定格は、ポート端子以外の機能として使用しても同じです。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ロウ・レベル出力電流	I _{OL}	P02, P03, P05, P30-P32, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P914, P915	1端子	4	mA
			全端子合計	50	mA
		PCM0, PDL5	1端子	4	mA
			全端子合計	8	mA
		P10		4	mA
		P70-P75	1端子	4	mA
			全端子合計	20	mA
		ハイ・レベル出力電流	I _{OH}	P02, P03, P05, P30-P32, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P914, P915	1端子
全端子合計	－50				mA
PCM0, PDL5	1端子			－4	mA
	全端子合計			－8	mA
P10				－4	mA
P70-P75	1端子			－4	mA
	全端子合計			－20	mA
動作周囲温度	T _A			通常動作モード	
		フラッシュ・メモリ・プログラミング・モード		－40～＋85	℃
保存温度	T _{stg}			－40～＋125	℃

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性、AC特性、動作条件に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の定格は、ポート端子以外の機能として使用しても同じです。

31.2 容 量

($T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{io}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

31.3 動作条件

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

内部システム・クロック周波数	条 件	電源電圧			単 位
		V_{DD}	EV_{DD}	AV_{REF0} , AV_{REF1}	
$f_{xx} = 2.5 \sim 20 \text{ MHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ動作, D/Aコンバータ動作	2.7~3.6	2.7~3.6	2.7~3.6	V
$f_{xx} = 2.5 \sim 5 \text{ MHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ停止, D/Aコンバータ停止	2.2~3.6	2.2~3.6	2.2~3.6	V
$f_{XT} = 32.768 \text{ kHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ停止, D/Aコンバータ停止	2.2~3.6	2.2~3.6	2.2~3.6	V

31.4 発振回路特性

31.4.1 メイン・クロック発振回路特性

(1) 発振回路特性

メイン・クロック発振回路特性

($T_A = -40 \sim +85^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子/ 水晶振動子		発振周波数 (f_x) ^{注1}	クロック・ス ルー・モード $V_{DD} = 2.2 \sim 3.6\text{ V}$	2.5		5	MHz
			$V_{DD} = 2.7 \sim 3.6\text{ V}$	2.5		10	MHz
			PLLモード, $V_{DD} = 2.7 \sim 3.6\text{ V}$	2.5		5	MHz
		発振安定時間 ^{注2}	リセット解除後, $V_{DD} = 2.2 \sim 3.6\text{ V}$	注3	注4		s
			STOP モード 解除後 クロック・ スルー・モード $V_{DD} = 2.2 \sim 3.6\text{ V}$	400 ^{注5}	注6		μs
			PLLモード $V_{DD} = 2.7 \sim 3.6\text{ V}$	400 ^{注7}	注6		μs
			IDLE2 モード 解除後 クロック・ スルー・モード $V_{DD} = 2.2 \sim 3.6\text{ V}$	200 ^{注5}	注6		μs
			PLLモード $V_{DD} = 2.7 \sim 3.6\text{ V}$	400 ^{注7}	注6		μs

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。

3. オプション・バイトの設定値によって発振安定時間が異なります。詳細は、第27章 オプション・バイトを参照してください。

4. オプション・バイトの設定値によってリセット解除後の発振安定時間には制限があります。詳細は、第27章 オプション・バイトを参照してください。

5. レギュレータのセットアップ、フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

6. OSTSレジスタの設定によって値が異なります。

7. レギュレータのセットアップ、フラッシュ・メモリのセットアップ、PLLのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

注意2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

(a) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70 \text{ }^{\circ}\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		CX49GFWB04000H0PESZZ	4.000	10	10	1000	2.2	3.6	10.45
		CX49GFWB05000H0PESZZ	5.000	10	10	1000	2.2	3.6	10.08
		CX49GFWB06000H0PESZZ	6.000	10	10	1000	2.2	3.6	9.26
		CX49GFWB08000H0PESZZ	8.000	10	10	0	2.2	3.6	8.98
		CX49GFWB10000H0PESZZ	10.000	10	10	0	2.2	3.6	8.59

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(b) 株式会社村田製作所：セラミック発振子 ($T_A = -20 \sim +80 \text{ }^{\circ}\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		CSTCC2M50G56-R0	2.500	(47)	(47)	2200	2.2	3.6	0.09
		CSTCR4M00G55-R0	4.000	(39)	(39)	680	2.2	3.6	0.09
		CSTCR5M00G55-R0	5.000	(39)	(39)	680	2.2	3.6	0.11
		CSTCR6M00G55-R0	6.000	(39)	(39)	470	2.2	3.6	0.11
		CSTCE8M00G55-R0	8.000	(33)	(33)	0	2.2	3.6	0.10
		CSTCE10M0G55-R0	10.000	(33)	(33)	0	2.2	3.6	0.10
リード		CSTLS4M00G56-B0	4.000	(47)	(47)	680	2.2	3.6	0.11
		CSTLS5M00G56-B0	5.000	(47)	(47)	680	2.2	3.6	0.13
		CSTLS6M00G56-B0	6.000	(47)	(47)	470	2.2	3.6	0.11
		CSTLS8M00G56-B0	8.000	(47)	(47)	100	2.2	3.6	0.10
		CSTLS10M0G56-B0	10.000	(47)	(47)	100	2.2	3.6	0.10

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

備考 C1, C2の () 内の数値は発振子に内蔵されている容量を表しています。

(c) 京セラ株式会社：セラミック発振子 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		PBRC2.50HR50X000	2.50	(30)	(30)	0	2.2	3.6	0.10
		PBRC4.00MR50X000	4.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC5.00MR50X000	5.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC6.00MR50X000	6.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC8.00MR50X000	8.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC10.00MR50X000	10.00	(10)	(10)	0	2.2	3.6	0.10

注意 発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(2) 外部クロック

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単位
外部 クロック		入力周波数 (f_x) 注	クロック・スルー・モード	2.5		5	MHz
			PLLモード	2.5		5	MHz
		V_{IH}	X1	2.3		V_{DD}	V
		V_{IL}	X1	V_{SS}		0.4	V

注 入力波形のデューティ比は45%~55%に収まるようにしてください。

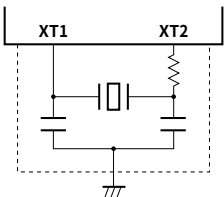
注意1. リセット後、必ず内蔵帰還抵抗を切断してください (PCC.MFRC = 1に設定)。

2. X2端子は、オープンにしてください。

3. COMSインバータはX1端子にできるかぎり近づけてください。

31. 4. 2 サブクロック発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

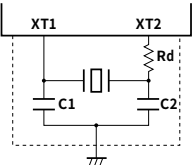
注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性、動作条件の規格内で使用してください。

2. V_{DD} が発振電圧範囲 (2.2 V (MIN.)) に達してから水晶発振子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる線に接近させない。
 - 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - 大電流が流れるグランド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

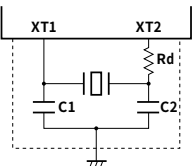
(a) セイコーインスツル株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)発振周波数: $f_{XT} = 32.768 \text{ kHz}$

タイプ	回路例	品 名	水晶振動子の 負荷容量 (pF)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)
表面 実装		SP-T2A	6	5	5	0	2.2	3.6
			12.5	18	18	0	2.2	3.6
リード		SSP-T7	7	8	8	0	2.2	3.6
		VT-200	6	6	6	0	2.2	3.6
			12.5	18	18	0	2.2	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(b) シチズンミヨタ株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)発振周波数: $f_{XT} = 32.768 \text{ kHz}$

タイプ	回路例	品 名	水晶振動子の 負荷容量 (pF)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)
表面 実装		CM200S	9	12	12	100	2.2	3.6
		CMR200T	9	12	12	100	2.2	3.6
		CM519	9	12	12	100	2.2	3.6
リード		CM315	9	15	12	100	2.2	3.6
		CFS-206	9	12	12	100	2.2	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JC3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

31. 4. 3 PLL特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力周波数	f _X		2.5		5	MHz
出力周波数	f _{XX}		10		20	MHz
ロック時間	t _{PLL}	V _{DD} が2.7 V (MIN.) に達したあと			400	μs

31. 4. 4 内蔵発振器特性

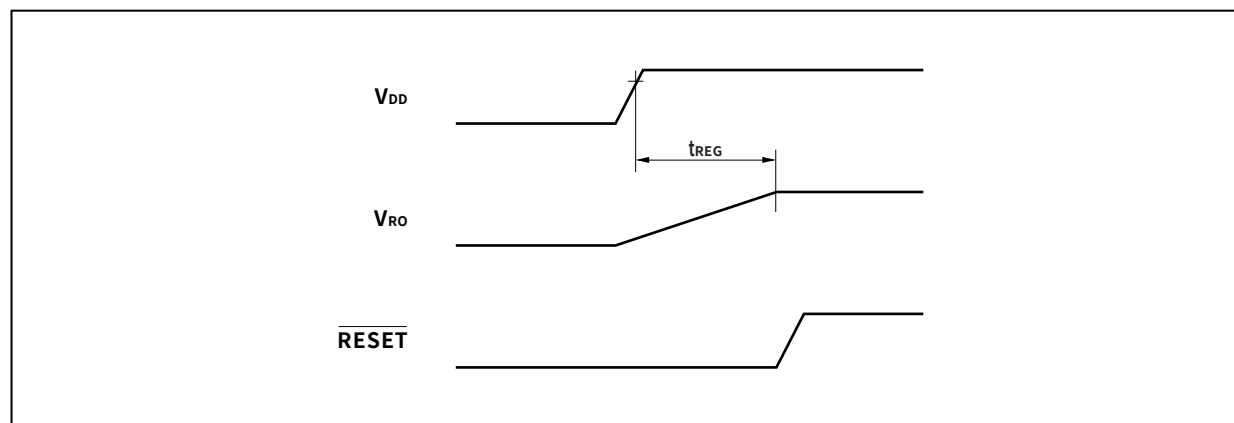
(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
出力周波数	f _R		100	220	400	kHz

31.5 レギュレータ特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力電圧	V_{DD}	$f_{XX} = 20\text{ MHz (MAX.)}$	2.7		3.6	V
		$f_{XX} = 5\text{ MHz (MAX.)}$	2.2		3.6	V
		データ保持 (STOPモード)	1.9		3.6	V
出力電圧	V_{RO}	$V_{DD} = 2.7 \sim 3.6\text{ V}$		2.5		V
レギュレータ出力安定時間	t_{REG}	V_{DD} が2.7 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7\text{ }\mu\text{F}$ (推奨値) を接続時			1	ms
		V_{DD} が2.2 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7\text{ }\mu\text{F}$ (推奨値) を接続時			3.5	ms
外付け容量	REGC	REGC端子に接続する外付け容量の 許容誤差	3.76	4.70	5.64	μF



31.6 DC特性

31.6.1 端子特性

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V _{IH1}	RESET, FLMD0, P97-P99, P914, P915	0.8 EV _{DD}		EV _{DD}	V
	V _{IH2}	P02, P03, P05, P30-P32, P42, P50-P55, P96	0.8 EV _{DD}		5.5	V
	V _{IH3}	P38, P39, P40, P41, P90, P91	0.7 EV _{DD}		5.5	V
	V _{IH4}	PCM0, PDL5	0.7 EV _{DD}		EV _{DD}	V
	V _{IH5}	P70-P75	0.7 AV _{REF0}		AV _{REF0}	V
	V _{IH6}	P10	0.7 AV _{REF1}		AV _{REF1}	V
ロウ・レベル入力電圧	V _{IL1}	RESET, FLMD0, P97-P99, P914, P915	EV _{SS}		0.2 EV _{DD}	V
	V _{IL2}	P02, P03, P05, P30-P32, P42, P50-P55, P96	EV _{SS}		0.2 EV _{DD}	V
	V _{IL3}	P38, P39, P40, P41, P90, P91	EV _{SS}		0.3 EV _{DD}	V
	V _{IL4}	PCM0, PDL5	EV _{SS}		0.3 EV _{DD}	V
	V _{IL5}	P70-P75	AV _{SS}		0.3 AV _{REF0}	V
	V _{IL6}	P10	AV _{SS}		0.3 AV _{REF1}	V
ハイ・レベル入力リーク電流	I _{LIH}	V _I = V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}			5	μA
ロウ・レベル入力リーク電流	I _{LIL}	V _I = 0 V			-5	μA
ハイ・レベル出力リーク電流	I _{LOH}	V _O = V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}			5	μA
ロウ・レベル出力リーク電流	I _{LOL}	V _O = 0 V			-5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V) (2/2)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位	
ハイ・レベル出力電圧	V _{OH1}	P02, P03, P05, P30-P32, P38, P39, P40-P42, P50-P55, P90, P91, P96-P99, P914, P915	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	EV _{DD} -1.0		EV _{DD}	V	
			1端子 I _{OH} = -100 μA	端子合計 -2.5 mA	EV _{DD} -0.5		EV _{DD}	V	
	V _{OH2}	PCM0, PDL5	1端子 I _{OH} = -1.0 mA	端子合計 -2 mA	EV _{DD} -1.0		EV _{DD}	V	
			1端子 I _{OH} = -100 μA	端子合計 -0.2 mA	EV _{DD} -0.5		EV _{DD}	V	
	V _{OH3}	P70-P75	1端子 I _{OH} = -0.4 mA	端子合計 -2.4 mA	AV _{REF0} -1.0		AV _{REF0}	V	
			1端子 I _{OH} = -100 μA	端子合計 -0.6 mA	AV _{REF0} -0.5		AV _{REF0}	V	
	V _{OH4}	P10	I _{OH} = -0.4 mA			AV _{REF1} -1.0		AV _{REF1}	V
			I _{OH} = -100 μA			AV _{REF1} -0.5		AV _{REF1}	V
	ロウ・レベル出力電圧	V _{OL1}	P02, P03, P05, P30-P32, P42, P50-P55, P96-P99, P914, P915	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
		V _{OL2}	P38, P39, P40, P41, P90, P91	1端子 I _{OL} = 3.0 mA		0		0.4	V
V _{OL3}		PCM0, PDL5	1端子 I _{OL} = 1.0 mA	端子合計 2 mA	0		0.4	V	
V _{OL4}		P10, P70-P75	1端子 I _{OL} = 0.4 mA	端子合計 2.8 mA	0		0.4	V	
ソフトウェア・プルダウン抵抗 [※]	R ₁	P05	V _I = V _{DD}			10	20	100	kΩ

注 DRST端子のみ (OCDMレジスタで制御)

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

31. 6. 2 電源電流特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略号	条 件		MIN.	TYP. ^{注1}	MAX. ^{注2}	単位
電源電流 ^{注3}	IDD1	通常動作	f _{xx} = 20 MHz (f _x = 5 MHz) ^{注4}		8.2 ^{注5}	20	mA
			f _{xx} = 10 MHz (f _x = 10 MHz) , PLLオフ時 ^{注4}		4.1 ^{注5}	10	mA
	IDD2	HALTモード	f _{xx} = 20 MHz (f _x = 5 MHz) ^{注4}		5.3	14	mA
	IDD3	IDLE1モード	f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時 ^{注4}		0.5	1	mA
	IDD4	IDLE2モード	f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時 ^{注4}		0.21	0.5	mA
	IDD5	サブクロック動作モード	f _{XT} = 32.768 kHz, メイン・クロック停止, 内蔵発振器停止, PLLオフ REGOVL0 = 02H (低電圧サブクロック動作モード)		9.6		μA
	IDD6	サブIDLEモード	f _{XT} = 32.768 kHz, メイン・クロック停止, 内蔵発振器停止, PLLオフ REGOVL0 = 02H (低電圧サブIDLEモード)		1.9	30	μA
	IDD7	STOPモード	サブクロック停止, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード) T _A = 25 °C		1.1	3.0	μA
			サブクロック停止, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード) T _A = 85 °C			25	μA
			サブクロック動作, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード)		1.9	30	μA
IDD8	セルフ・プログラミング・モード	f _{xx} = 20 MHz (f _x = 5 MHz)		14	24	mA	
LVI電流	ILVI				1.2	3	μA
WDT, 内蔵発振電流	IWDT				5		μA

注1. TYP.電流とは, VDD = EVDD = 3.3 V, TA = 25 °Cの値です。

TYP.は個々のデバイスに対する保証値ではありません。

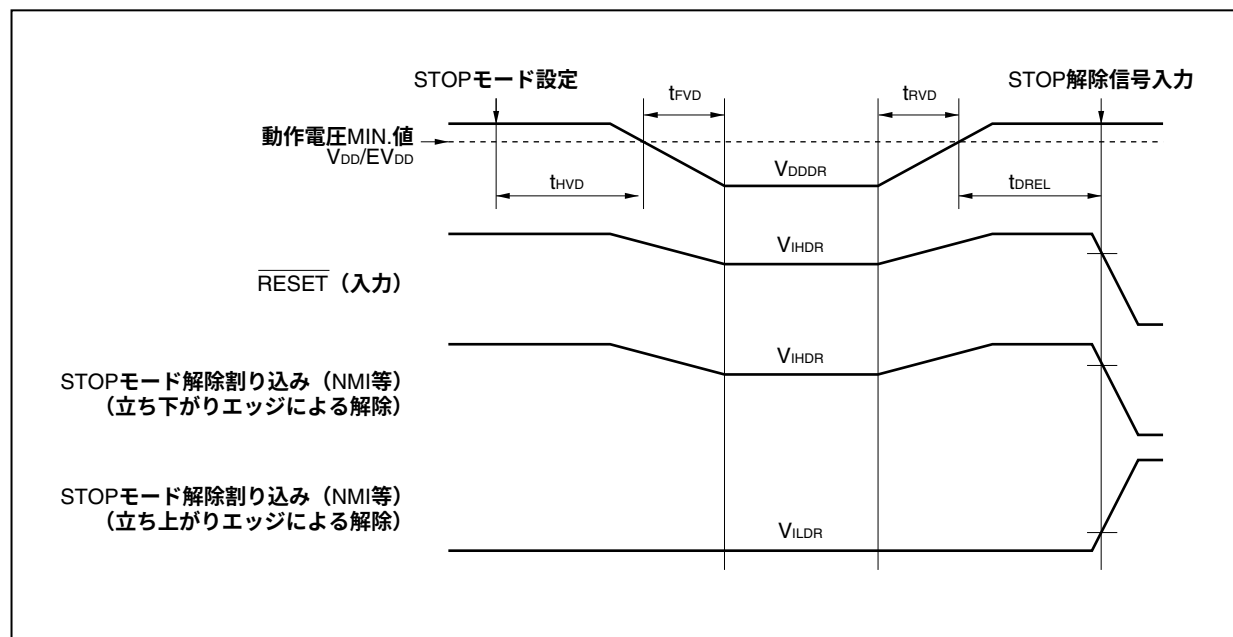
- MAX.電流とは, VDD = EVDD = 3.6 V, TA = -40~+85 °Cの範囲で対象特性がワーストになる条件の電流値です。
- VDD, EVDD電流の合計です。出力バッファ, A/Dコンバータ, D/Aコンバータ, 内蔵プルダウン抵抗で流れる電流値, ILVI, IWDTは含みません。
- TYP.周辺機能として, “RTC” もしくは “時計タイマ+TMM (時計タイマ割り込みによるカウント)” が動作しているときの電流値です。
MAX.周辺機能として, 端子変化をともしない範囲で動作可能な全機能が動作しているときの電流値です。
ただしILVI, IWDTは除きます。
- IDD1のTYP.は, 全命令実行のときの値です。

備考 動作電圧については, 31. 3 動作条件を参照してください。

31. 6. 3 データ保持特性 (STOPモード時)

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

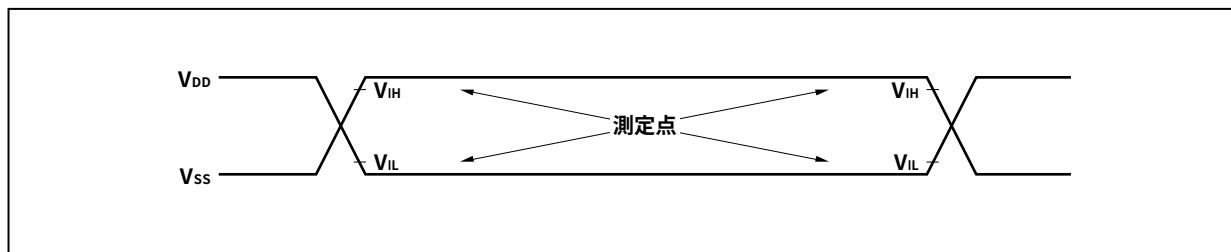
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
データ保持電圧	VDDDR	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	IDDDR	サブクロック停止, 内蔵発振器 停止 TA = 85 °C			45	μA
電源電圧立ち上がり時間	tRVD		200			μs
電源電圧立ち下がり時間	tFVD		200			μs
電源電圧保持時間	tHVD	STOPモード設定後	0			ms
STOP解除信号入力時間	tDREL	VDDが動作電圧のMIN.値に達したあと (31. 3 動作条件参照)	0			ms
データ保持ハイ・レベル入力電圧	VIHDR	VDD = EVDD = VDDDR	0.9VDDDR		VDDDR	V
データ保持ロウ・レベル入力電圧	VILDR	VDD = EVDD = VDDDR	0		0.1VDDDR	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

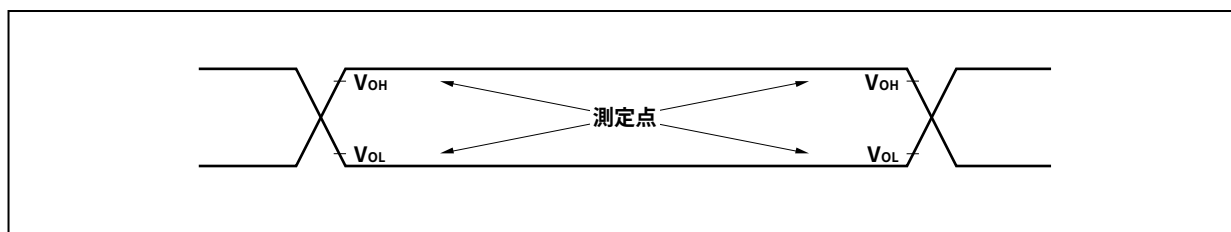
31. 7 AC特性

31. 7. 1 測定条件

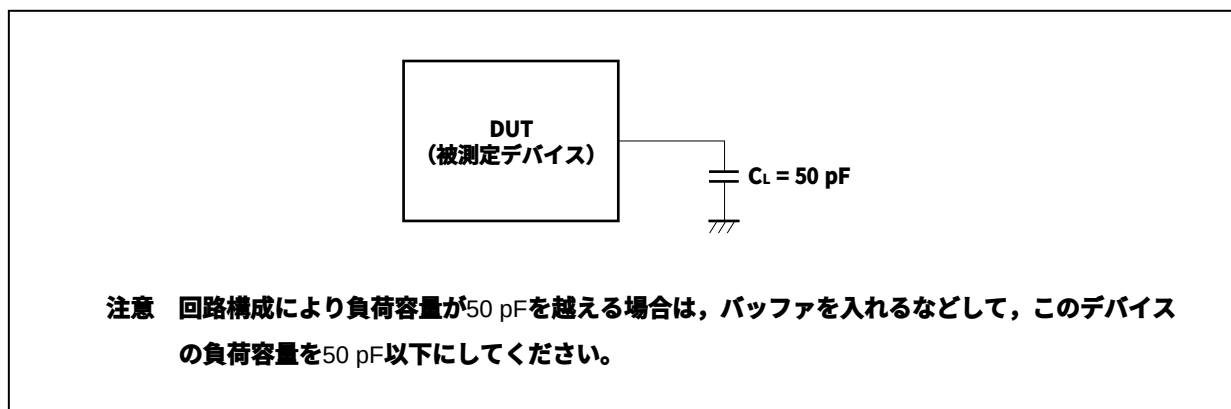
(1) ACテスト入力測定点



(2) ACテスト出力測定点



(3) 負荷条件



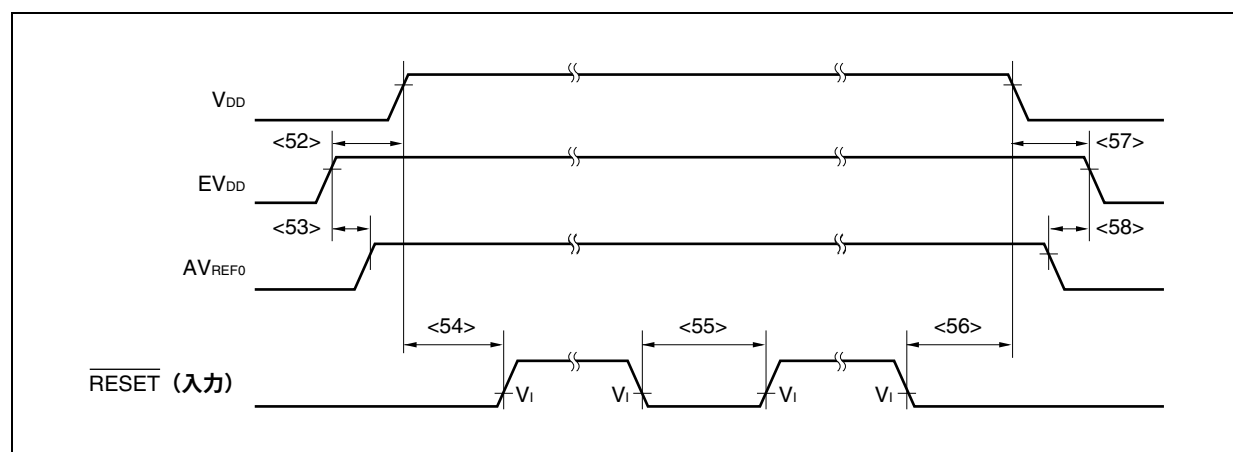
31. 7. 2 パワー・オン／パワー・オフ／リセット・タイミング

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
$EV_{DD} \uparrow \rightarrow V_{DD} \uparrow$	t_{REL}	<52>	0		ns
$EV_{DD} \uparrow \rightarrow AV_{REF0}, AV_{REF1} \uparrow$	t_{REA}	<53>	0	t_{REL}	ns
$V_{DD} \uparrow \rightarrow \overline{RESET} \uparrow$	t_{RER}	<54>	$500 + t_{REG}$ 注		ns
RESET ロウ・レベル幅	t_{WRS}	<55>	500		ns
$RESET \downarrow \rightarrow V_{DD} \downarrow$	t_{FRE}	<56>	500		ns
$V_{DD} \downarrow \rightarrow EV_{DD} \downarrow$	t_{FEL}	<57>	0		ns
$AV_{REF0} \downarrow \rightarrow EV_{DD} \downarrow$	t_{FEA}	<58>	0	t_{FEL}	ns

注 31.5 レギュレータ特性参照

備考 $\overline{RESET}$ 端子には、アナログ・ノイズ除去機能があります。



31.8 周辺機能特性

31.8.1 割り込みタイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIハイ・レベル幅	t_{WNIH}		500		ns
NMIロウ・レベル幅	t_{WNIL}		500		ns
INTPn ^注 ハイ・レベル幅	t_{WITH}	$n = 0, 2, 5-7$	500		ns
INTPn ^注 ロウ・レベル幅	t_{WITL}	$n = 0, 2, 5-7$	500		ns

注 DRST端子と同じ特性です (P05/INTP2/DRST)。

備考 NMI端子, INTPn端子にはアナログ・ノイズ除去機能があります ($n = 0, 2, 5-7$)。

31.8.2 キー・リターン・タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
KRnハイ・レベル幅	t_{WKRH}		500		ns
KRnロウ・レベル幅	t_{WKRL}		500		ns

備考1. $n = 0-7$

2. KRn端子にはアナログ・ノイズ除去機能があります。

31.8.3 タイマ・タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
TIハイ・レベル幅	t_{TIH}	TIP00, TIP20, TIP21, TIP50, TIP51,	2T+20		ns
TIロウ・レベル幅	t_{TIL}	TIQ00-TIQ03	2T+20		ns

備考 $T = 1/f_{xx}$

31.8.4 UARTタイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート		$V_{DD} = 2.2 \sim 3.6 \text{ V}$		625	kbps
ASCK0周波数		$V_{DD} = 2.2 \sim 3.6 \text{ V}$		5	MHz
		$V_{DD} = 2.7 \sim 3.6 \text{ V}$		10	MHz

31. 8. 5 CSIBタイミング

(1) マスタ・モード

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKBnサイクル・タイム	t _{KCY1}	<60> 2.7 V ≤ V _{DD} ≤ 3.6 V	125		ns
			2.2 V ≤ V _{DD} < 2.7 V	800	ns
SCKBnハイ・レベル幅	t _{KH1}	<61> 2.7 V ≤ V _{DD} ≤ 3.6 V	t _{KCY1} /2 - 8		ns
			2.2 V ≤ V _{DD} < 2.7 V	t _{KCY1} /2 - 80	ns
SCKBnロウ・レベル幅	t _{KL1}	<62> 2.7 V ≤ V _{DD} ≤ 3.6 V	t _{KCY1} /2 - 8		ns
			2.2 V ≤ V _{DD} < 2.7 V	t _{KCY1} /2 - 80	ns
SIBnセットアップ時間 (対SCKBn↑)	t _{SIK1}	<63> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SIBnホールド時間 (対SCKBn↑)	t _{KS1}	<64> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SCKBn↓ → SOBn出力遅延時間	t _{KSO1}	<65> 2.7 V ≤ V _{DD} ≤ 3.6 V		27	ns
			2.2 V ≤ V _{DD} < 2.7 V	95	ns

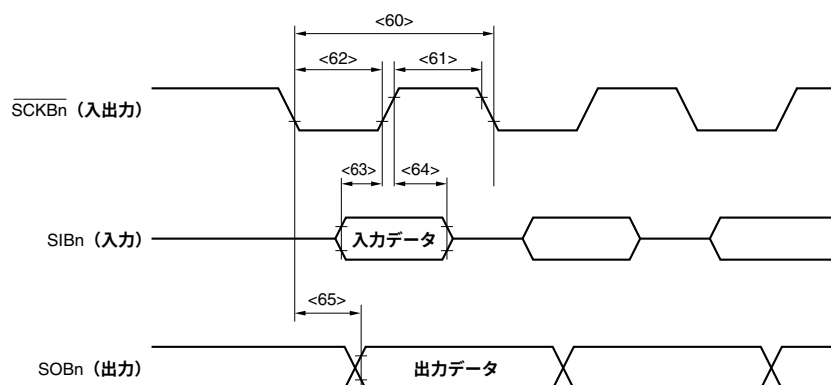
備考 n = 0-2, 4

(2) スレーブ・モード

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKBnサイクル・タイム	t _{KCY2}	<60> 2.7 V ≤ V _{DD} ≤ 3.6 V	125		ns
			2.2 V ≤ V _{DD} < 2.7 V	800	ns
SCKBnハイ・レベル幅	t _{KH2}	<61> 2.2 V ≤ V _{DD} ≤ 3.6 V	54.5		ns
SCKBnロウ・レベル幅	t _{KL2}	<62> 2.2 V ≤ V _{DD} ≤ 3.6 V	54.5		ns
SIBnセットアップ時間 (対SCKBn↑)	t _{SIK2}	<63> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SIBnホールド時間 (対SCKBn↑)	t _{KS2}	<64> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SCKBn↓ → SOBn出力遅延時間	t _{KSO2}	<65> 2.7 V ≤ V _{DD} ≤ 3.6 V		27	ns
			2.2 V ≤ V _{DD} < 2.7 V	95	ns

備考 n = 0-2, 4



備考 n = 0-2, 4

31. 8. 6 I²Cバス・モード(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 V~3.6 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V)

項 目	略 号		標準モード		高速モード		単 位
			MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数	f _{CLK}		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<66>	4.7	—	1.3	—	μs
ホールド時間 ^{注1}	t _{HD : STA}	<67>	4.0	—	0.6	—	μs
SCL0nクロックのロウ・レベル幅	t _{LOW}	<68>	4.7	—	1.3	—	μs
SCL0nクロックのハイ・レベル幅	t _{HIGH}	<69>	4.0	—	0.6	—	μs
スタート/リスタート・コンディションのセットアップ時間	t _{SU : STA}	<70>	4.7	—	0.6	—	μs
データ・ホールド 時間	CBUS互換マスタの場合	t _{HD : DAT}	<71>	—	—	—	μs
	I ² Cモードの場合						
			0 ^{注2}	—	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<72>	250	—	100 ^{注4}	—	ns
SDA0nおよびSCL0n信号の立ち上がり時間	t _r	<73>	—	1000	20+0.1Cb ^{注5}	300	ns
SDA0nおよびSCL0n信号の立ち下がり時間	t _f	<74>	—	300	20+0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<75>	4.0	—	0.6	—	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<76>	—	—	0	50	ns
各バス・ラインの容量性負荷	Cb		—	400	—	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために (SCL0n信号のV_{IHmin.}での) SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間 (t_{LOW}) を延長しない場合は、最大データ・ホールド時間 (t_{HD : DAT}) のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- ・装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

$$t_{SU : DAT} \geq 250 \text{ ns}$$

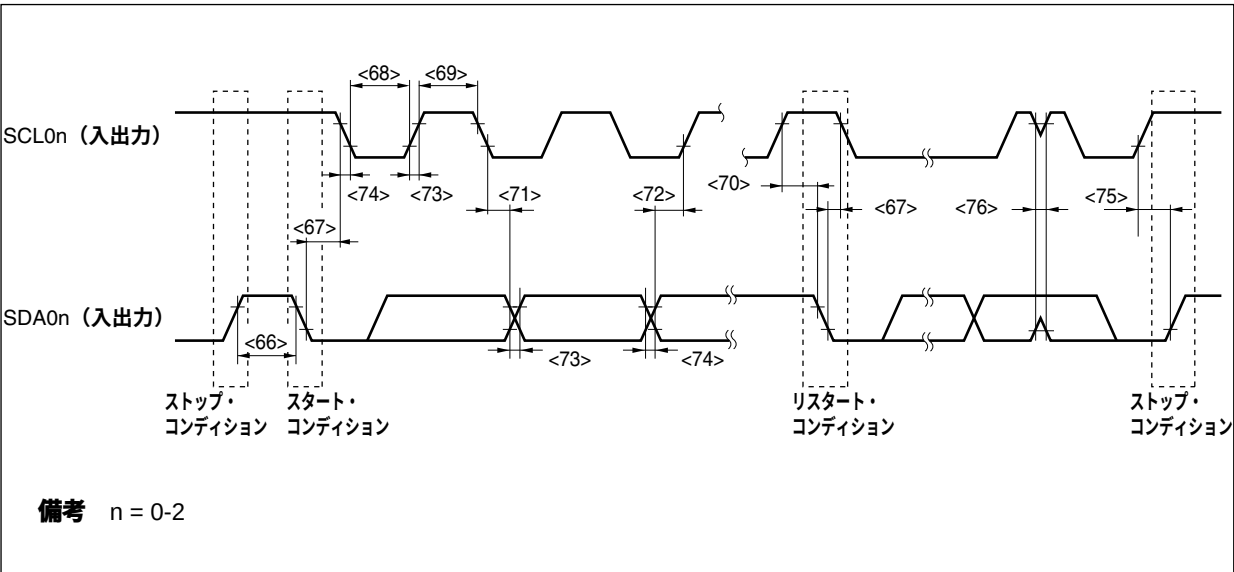
- ・装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される (t_{Rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns : 標準モードI²Cバス仕様) 前に、次のデータ・ビットをSDA0nラインに送出してください。

- Cb : 1つのバス・ラインの合計キャパシタンス (単位: pF)

備考 n = 0-2

I²C バス・タイミング



31. 8. 7 A/Dコンバータ

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 2.7 V ≤ AV_{REF0} = AV_{REF1} ≤ 3.6 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					10	bit
総合誤差 [※]		2.7 V ≤ AV _{REF0} ≤ 3.6 V			±0.6	%FSR
A/D変換時間	t _{CONV}	3.0 V ≤ AV _{REF0} ≤ 3.6 V	2.6		24	μs
		2.7 V ≤ AV _{REF0} < 3.0 V	3.9		24	μs
ゼロスケール誤差					±0.5	%FSR
フルスケール誤差					±0.5	%FSR
非直線性誤差					±4.0	LSB
微分直線性誤差					±4.0	LSB
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF0}	V
基準電圧	AV _{REF0}		2.7		3.6	V
AV _{REF0} 電流	AI _{REF0}	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	μA

注 量子化誤差 (±0.05 %FSR) は含みません。

注意 A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit

FSR : Full Scale Range

31. 8. 8 D/Aコンバータ

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					8	bit
総合誤差		R = 2 MΩ			±1.2	%FSR
セトリング・タイム		C = 20 pF			3	μs
出力抵抗	Ro	出力データ55H		6.42		kΩ
基準電圧	AVREF1		2.7		3.6	V
AVREF1 電流	AIREF1	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	μA

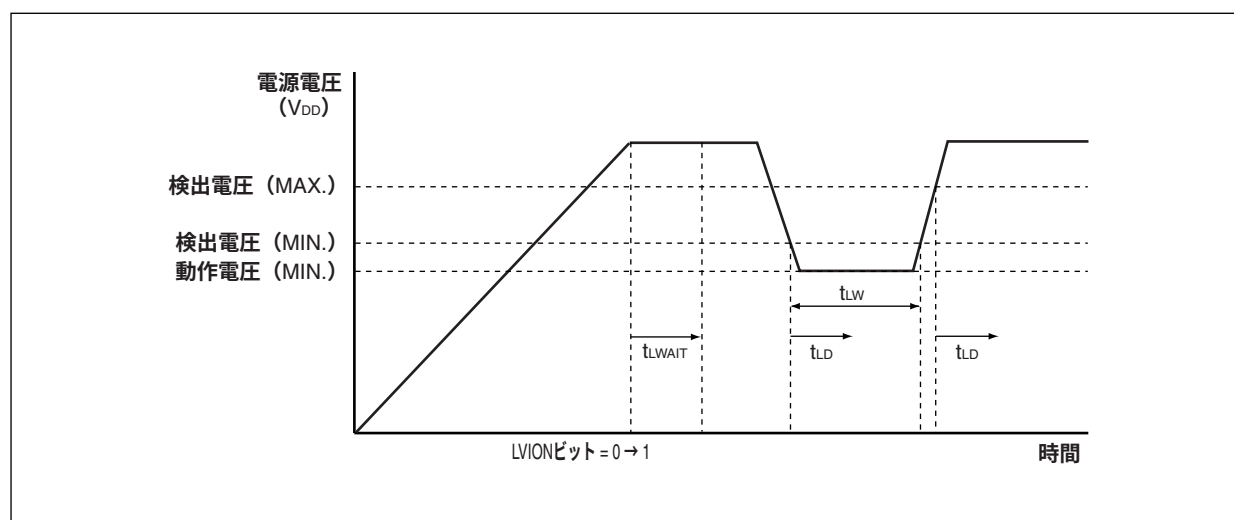
備考 Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

31. 8. 9 LVI回路特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1 = 2.2 V~3.6 V, VSS = EVSS = AVSS = 0 V, CL = 50 pF)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
検出電圧	VLVI0		2.7	2.8	2.9	V
	VLVI1		2.2	2.3	2.4	V
応答時間 ^注	tLD	立ち上がり時: VDDがVLVI0/VLVI1 (MAX.) に達したあと。 立ち下がり時: VDDがVLVI0/VLVI1 (MIN.) まで下がったあと。		0.2	2.0	ms
最小パルス幅	tLW	VDD = VLVI0/VLVI1 (MIN.)	0.2			ms
基準電圧安定待ち時間	tLWAIT	VDDがVLVI0またはVLVI1 (MAX.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。



31.9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

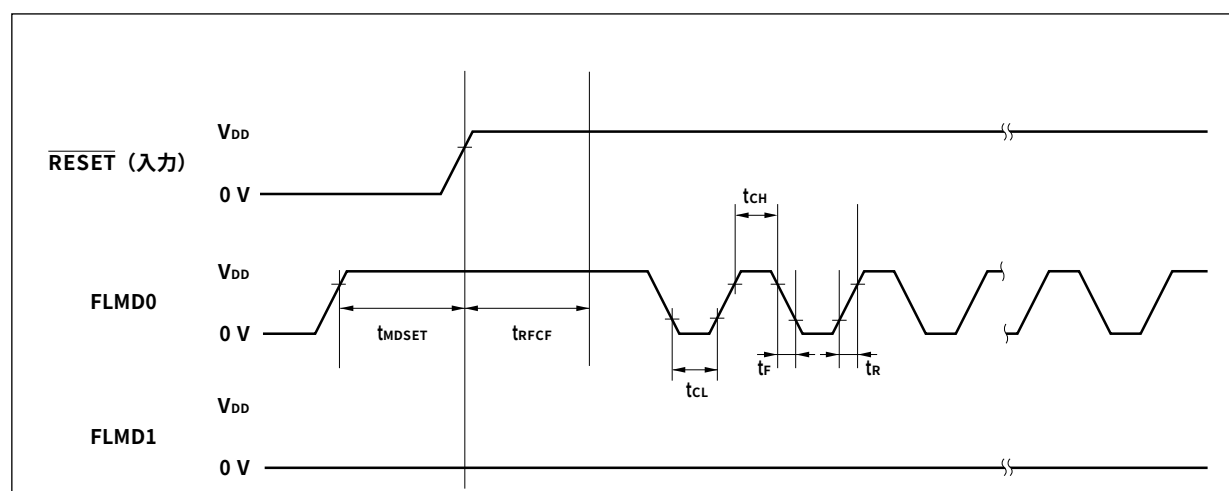
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	f_{CPU}		2.5		20	MHz
電源電圧	V_{DD}	$2.5\text{ MHz} \leq f_{xx} \leq 20\text{ MHz}$	2.7		3.6	V
書き換え回数	C_{WRT}	プログラム更新用途 フラッシュ・メモリ・プログラ マ使用時および当社提供のセルフ・プ ログラミング・ライブラリ使用時	保持 15 年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレーショ ン・ライブラリ使用時 使用可能ROMサイズ: 連続した6プロ ックの12Kバイト, もしくは連続した 3ブロックの6 Kバイト	保持 5 年	10,000		回
プログラミング温度	t_{PRG}		-40		+85	$^{\circ}\text{C}$

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
FLMD0, FLMD1設定時間	t_{MDSET}		2		3000	ms
RESET $\uparrow$ $\rightarrow$ FLMD0カウンタ開始時間	t_{RFCF}	$f_x = 2.5 \sim 10\text{ MHz}$	800			μs
FLMD0カウンタ・ハイ・レベル幅/ ロウ・レベル幅	t_{CH}/t_{CL}		10		100	μs
FLMD0カウンタ立ち上がり時間/ 立ち下がり時間	t_r/t_f				1	μs

フラッシュ書き込みモード設定タイミング



(3) プログラミング特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チップ消去時間		$f_{xx} = 20 \text{ MHz}$ (チップ消去コマンド実行時)		105		ms
256バイトあたりの書き込み時間		$f_{xx} = 20 \text{ MHz}$		2.0		ms
ブロック内部ベリファイ時間		$f_{xx} = 20 \text{ MHz}$		10		ms
ブロック・ブランク・チェック時間		$f_{xx} = 20 \text{ MHz}$		0.5		ms
フラッシュ情報設定時間		$f_{xx} = 20 \text{ MHz}$		30		ms

備考 ブロック・サイズ = 2 Kバイト

第32章 電気的特性 (V850ES/JE3-L)

32.1 絶対最大定格

絶対最大定格 (T_A = 25 °C) (1/2)

項 目	略 号	条 件	定 格	単 位
電源電圧	V _{DD}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	EV _{DD}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	AV _{REF0}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	AV _{REF1}	V _{DD} = EV _{DD} = AV _{REF0} = AV _{REF1}	-0.5~+4.6	V
	V _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
	AV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
	EV _{SS}	V _{SS} = EV _{SS} = AV _{SS}	-0.5~+0.5	V
入力電圧	V _{I1}	P97-P915, PCM0, PDL5, RESET, FLMD0	-0.5~EV _{DD} +0.5 ^{注1}	V
	V _{I2}	P10	-0.5~AV _{REF1} +0.5 ^{注1}	V
	V _{I3}	X1	-0.5~V _{DD} +0.5 ^{注1}	V
		X2	-0.5~V _{RO} ^{注2} +0.5	V
	V _{I4}	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P94, P96	-0.5~+6.0	V
	V _{I5}	XT1, XT2	-0.5~V _{RO} ^{注2} +0.5	V
アナログ入力電圧	V _{IAN}	P70-P79	-0.5~AV _{REF0} +0.5 ^{注1}	V

注1. それぞれの電源電圧の絶対最大定格 (MAX.値) を越えないようにしてください。

2. 内蔵レギュレータ出力電圧

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性、AC特性、動作条件に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の定格は、ポート端子以外の機能として使用しても同じです。

絶対最大定格 ($T_A = 25\text{ }^{\circ}\text{C}$) (2/2)

項 目	略 号	条 件		定 格	単 位
ロウ・レベル出力電流	I _{OL}	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P94, P96-P915	1端子	4	mA
			全端子合計	50	mA
		PCM0, PDL5	1端子	4	mA
			全端子合計	8	mA
		P10		4	mA
		P70-P79	1端子	4	mA
			全端子合計	20	mA
		ハイ・レベル出力電流	I _{OH}	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P94, P96-P915	1端子
全端子合計	－50				mA
PCM0, PDL5	1端子			－4	mA
	全端子合計			－8	mA
P10				－4	mA
P70-P79	1端子			－4	mA
	全端子合計			－20	mA
動作周囲温度	T _A			通常動作モード	
		フラッシュ・メモリ・プログラミング・モード		－40～＋85	℃
保存温度	T _{stg}			－40～＋125	℃

注意1. IC製品の出力（または入出力）端子同士を直結したり、V_{DD}またはV_{CC}やGNDに直結したりしないでください。ただし、オープン・ドレイン端子やオープン・コレクタ端子同士は直結できます。また、ハイ・インピーダンスとなる端子で出力の衝突を避けるタイミング設計をした外部回路でも直結可能です。

2. 各項目のうち1項目でも、また一瞬でも絶対最大定格を越えると、製品の品質を損なう恐れがあります。つまり絶対最大定格とは、製品に物理的な損傷を与えかねない定格値です。できるだけこの定格値に近づけない状態で、製品をご使用ください。

DC特性、AC特性、動作条件に示す規格や条件が、製品の正常動作、品質保証の範囲です。

備考 特に指定のないかぎり兼用端子の定格は、ポート端子以外の機能として使用しても同じです。

32.2 容 量

($T_A = 25\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入出力容量	C _{io}	f _x = 1 MHz 被測定ピン以外は0 V			10	pF

32.3 動作条件

($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

内部システム・クロック周波数	条 件	電源電圧			単 位
		V_{DD}	EV_{DD}	AV_{REF0} , AV_{REF1}	
$f_{xx} = 2.5 \sim 20 \text{ MHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ動作, D/Aコンバータ動作	2.7~3.6	2.7~3.6	2.7~3.6	V
$f_{xx} = 2.5 \sim 5 \text{ MHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ停止, D/Aコンバータ停止	2.2~3.6	2.2~3.6	2.2~3.6	V
$f_{XT} = 32.768 \text{ kHz}$	$C = 4.7 \text{ } \mu\text{F}$, A/Dコンバータ停止, D/Aコンバータ停止	2.2~3.6	2.2~3.6	2.2~3.6	V

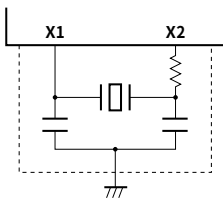
32.4 発振回路特性

32.4.1 メイン・クロック発振回路特性

(1) 発振回路特性

メイン・クロック発振回路特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
セラミック 発振子/ 水晶振動子		発振周波数 (f_x) ^{注1}	クロック・ス ルー・モード $V_{DD} = 2.2 \sim 3.6 \text{ V}$	2.5		5	MHz
			$V_{DD} = 2.7 \sim 3.6 \text{ V}$	2.5		10	MHz
			PLLモード, $V_{DD} = 2.7 \sim 3.6 \text{ V}$	2.5		5	MHz
		発振安定時間 ^{注2}	リセット解除後, $V_{DD} = 2.2 \sim 3.6 \text{ V}$	注3	注4		s
			STOP モード 解除後	400 ^{注5}	注6		μs
			クロック・ スルー・モード $V_{DD} = 2.2 \sim 3.6 \text{ V}$				
			PLLモード $V_{DD} = 2.7 \sim 3.6 \text{ V}$	400 ^{注7}	注6		μs
			IDLE2 モード 解除後	200 ^{注5}	注6		μs
			クロック・ スルー・モード $V_{DD} = 2.2 \sim 3.6 \text{ V}$				
			PLLモード $V_{DD} = 2.7 \sim 3.6 \text{ V}$	400 ^{注7}	注6		μs

注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性の規格内で使用してください。

2. 発振を開始してから発振子が安定するまでの時間です。

3. オプション・バイトの設定値によって発振安定時間が異なります。詳細は、第27章 オプション・バイトを参照してください。

4. オプション・バイトの設定値によってリセット解除後の発振安定時間には制限があります。詳細は、第27章 オプション・バイトを参照してください。

5. レギュレータのセットアップ、フラッシュ・メモリのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

6. OSTSレジスタの設定によって値が異なります。

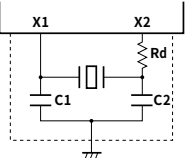
7. レギュレータのセットアップ、フラッシュ・メモリのセットアップ、PLLのセットアップに必要な時間です。OSTSレジスタによって確実にセットアップ時間を確保してください。

注意1. メイン・クロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- ・配線は極力短くする。
- ・他の信号線と交差させない。
- ・変化する大電流が流れる線に接近させない。
- ・発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
- ・大電流が流れるグランド・パターンに接地しない。
- ・発振回路から信号を取り出さない。

注意2. メイン・クロックを停止させサブクロックで動作させているときに、再度メイン・クロックに切り替える場合には、プログラムで発振安定時間を確保したあとに切り替えてください。

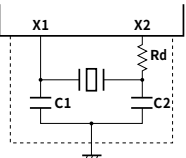
(a) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70 \text{ } ^\circ\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		CX49GFWB04000H0PESZZ	4.000	10	10	1000	2.2	3.6	10.45
		CX49GFWB05000H0PESZZ	5.000	10	10	1000	2.2	3.6	10.08
		CX49GFWB06000H0PESZZ	6.000	10	10	1000	2.2	3.6	9.26
		CX49GFWB08000H0PESZZ	8.000	10	10	0	2.2	3.6	8.98
		CX49GFWB10000H0PESZZ	10.000	10	10	0	2.2	3.6	8.59

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JE3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(b) 株式会社村田製作所：セラミック発振子 ($T_A = -20 \sim +80 \text{ } ^\circ\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		CSTCC2M50G56-R0	2.500	(47)	(47)	2200	2.2	3.6	0.09
		CSTCR4M00G55-R0	4.000	(39)	(39)	680	2.2	3.6	0.09
		CSTCR5M00G55-R0	5.000	(39)	(39)	680	2.2	3.6	0.11
		CSTCR6M00G55-R0	6.000	(39)	(39)	470	2.2	3.6	0.11
		CSTCE8M00G55-R0	8.000	(33)	(33)	0	2.2	3.6	0.10
		CSTCE10M0G55-R0	10.000	(33)	(33)	0	2.2	3.6	0.10
リード		CSTLS4M00G56-B0	4.000	(47)	(47)	680	2.2	3.6	0.11
		CSTLS5M00G56-B0	5.000	(47)	(47)	680	2.2	3.6	0.13
		CSTLS6M00G56-B0	6.000	(47)	(47)	470	2.2	3.6	0.11
		CSTLS8M00G56-B0	8.000	(47)	(47)	100	2.2	3.6	0.10
		CSTLS10M0G56-B0	10.000	(47)	(47)	100	2.2	3.6	0.10

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JE3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

備考 C1, C2の () 内の数値は発振子に内蔵されている容量を表しています。

(c) 京セラ株式会社：セラミック発振子 ($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$)

タイプ	回路例	品 名	発振 周波数 f_x (MHz)	推奨回路定数			発振電圧範囲		発振安 定時間
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)	
表面 実装		PBRC2.50HR50X000	2.50	(30)	(30)	0	2.2	3.6	0.10
		PBRC4.00MR50X000	4.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC5.00MR50X000	5.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC6.00MR50X000	6.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC8.00MR50X000	8.00	(15)	(15)	0	2.2	3.6	0.06
		PBRC10.00MR50X000	10.00	(10)	(10)	0	2.2	3.6	0.10

注意 発振回路定数は発振子メーカによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカに依頼してください。また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JE3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(2) 外部クロック

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単位
外部 クロック		入力周波数 (f_x) 注	クロック・スルー・モード	2.5		5	MHz
			PLLモード	2.5		5	MHz
		V_{IH}	X1	2.3		V_{DD}	V
		V_{IL}	X1	V_{SS}		0.4	V

注 入力波形のデューティ比は45%~55%に収まるようにしてください。

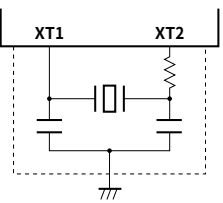
注意1. リセット後、必ず内蔵帰還抵抗を切断してください (PCC.MFRC = 1に設定)。

2. X2端子は、オープンにしてください。

3. COMSインバータはX1端子にできるかぎり近づけてください。

32. 4. 2 サブクロック発振回路特性

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$)

発振子	回路例	項 目	条 件	MIN.	TYP.	MAX.	単 位
水晶振動子		発振周波数 (f_{XT}) ^{注1}		32	32.768	35	kHz
		発振安定時間 ^{注2}				10	s

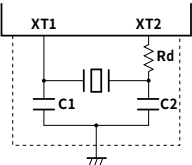
注1. 発振周波数はあくまで発振回路の特性を示すものであり、内部動作条件については、AC特性、DC特性、動作条件の規格内で使用してください。

2. V_{DD} が発振電圧範囲 (2.2 V (MIN.)) に達してから水晶発振子が安定するまでの時間です。

注意1. サブクロック発振回路を使用する場合は、配線容量などの影響を避けるために、図中の破線の部分を次のように配線してください。

- 配線は極力短くする。
 - 他の信号線と交差させない。
 - 変化する大電流が流れる線に接近させない。
 - 発振回路のコンデンサの接地点は、常に V_{SS} と同電位になるようにする。
 - 大電流が流れるグランド・パターンに接地しない。
 - 発振回路から信号を取り出さない。
2. サブクロック発振回路は、低消費電力にするため増幅度の低い回路になっており、ノイズによる誤動作がメイン・クロックよりも起こりやすくなっています。したがって、サブクロックを使用する場合は、配線方法について特に注意してください。
3. 発振子の選択および発振回路定数については、お客様において発振評価していただくか、発振子メーカーに評価を依頼してください。

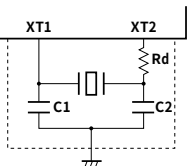
(a) セイコーインスツル株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)発振周波数: $f_{XT} = 32.768 \text{ kHz}$

タイプ	回路例	品 名	水晶振動子の 負荷容量 (pF)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)
表面 実装		SP-T2A	6	5	5	0	2.2	3.6
			12.5	18	18	0	2.2	3.6
リード		SSP-T7	7	8	8	0	2.2	3.6
		VT-200	6	6	6	0	2.2	3.6
			12.5	18	18	0	2.2	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JE3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

(b) シチズンミヨタ株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$)発振周波数: $f_{XT} = 32.768 \text{ kHz}$

タイプ	回路例	品 名	水晶振動子の 負荷容量 (pF)	推奨回路定数			発振電圧範囲	
				C1 (pF)	C2 (pF)	Rd (Ω)	MIN. (V)	MAX. (V)
表面 実装		CM200S	9	12	12	100	2.2	3.6
		CMR200T	9	12	12	100	2.2	3.6
		CM519	9	12	12	100	2.2	3.6
リード		CM315	9	15	12	100	2.2	3.6
		CFS-206	9	12	12	100	2.2	3.6

注意 発振回路定数は発振子メーカーによる特定の環境下での評価に基づく参考値です。実アプリケーションにおいて発振回路特性の最適化が必要な場合は、実装回路上での評価を発振子メーカーに依頼してください。

また、発振電圧、発振周波数はあくまで発振回路特性を示すものであり、V850ES/JE3-Lの内部動作条件についてはAC特性、DC特性、動作条件の規格内で使用してください。

32. 4. 3 PLL特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力周波数	f _X		2.5		5	MHz
出力周波数	f _{XX}		10		20	MHz
ロック時間	t _{PLL}	V _{DD} が2.7 V (MIN.) に達したあと			400	μs

32. 4. 4 内蔵発振器特性

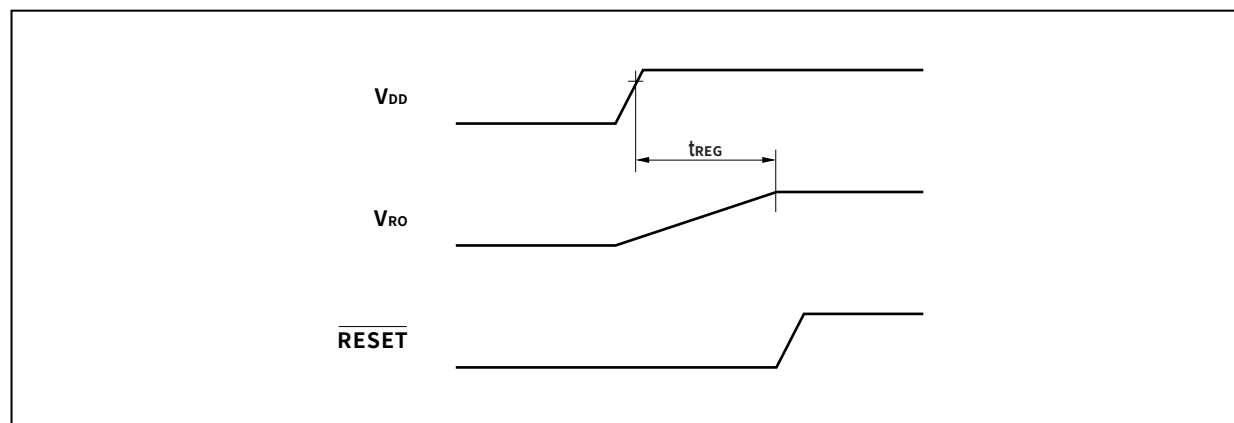
(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
出力周波数	f _R		100	220	400	kHz

32.5 レギュレータ特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
入力電圧	V_{DD}	$f_{XX} = 20\text{ MHz (MAX.)}$	2.7		3.6	V
		$f_{XX} = 5\text{ MHz (MAX.)}$	2.2		3.6	V
		データ保持 (STOPモード)	1.9		3.6	V
出力電圧	V_{RO}	$V_{DD} = 2.7 \sim 3.6\text{ V}$		2.5		V
レギュレータ出力安定時間	t_{REG}	V_{DD} が2.7 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7\text{ }\mu\text{F}$ (推奨値) を接続時			1	ms
		V_{DD} が2.2 V (MIN.) に達したあと REGC端子に安定化容量 $C = 4.7\text{ }\mu\text{F}$ (推奨値) を接続時			3.5	ms
外付け容量	REGC	REGC端子に接続する外付け容量の 許容誤差	3.76	4.70	5.64	μF



32.6 DC特性

32.6.1 端子特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$) (1/2)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
ハイ・レベル入力電圧	V_{IH1}	RESET, FLMD0, P97-P915	$0.8 EV_{DD}$		EV_{DD}	V
	V_{IH2}	P02-P06, P30-P35, P42, P50-P55, P92-P94, P96	$0.8 EV_{DD}$		5.5	V
	V_{IH3}	P38, P39, P40, P41, P90, P91	$0.7 EV_{DD}$		5.5	V
	V_{IH4}	PCM0, PDL5	$0.7 EV_{DD}$		EV_{DD}	V
	V_{IH5}	P70-P79	$0.7 AV_{REF0}$		AV_{REF0}	V
	V_{IH6}	P10	$0.7 AV_{REF1}$		AV_{REF1}	V
ロウ・レベル入力電圧	V_{IL1}	RESET, FLMD0, P97-P915	EV_{SS}		$0.2 EV_{DD}$	V
	V_{IL2}	P02-P06, P30-P35, P42, P50-P55, P92-P94, P96	EV_{SS}		$0.2 EV_{DD}$	V
	V_{IL3}	P38, P39, P40, P41, P90, P91	EV_{SS}		$0.3 EV_{DD}$	V
	V_{IL4}	PCM0, PDL5	EV_{SS}		$0.3 EV_{DD}$	V
	V_{IL5}	P70-P79	AV_{SS}		$0.3 AV_{REF0}$	V
	V_{IL6}	P10	AV_{SS}		$0.3 AV_{REF1}$	V
ハイ・レベル入力リーク電流	I_{LIH}	$V_i = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$			5	μA
ロウ・レベル入力リーク電流	I_{LIL}	$V_i = 0 \text{ V}$			-5	μA
ハイ・レベル出力リーク電流	I_{LOH}	$V_o = V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$			5	μA
ロウ・レベル出力リーク電流	I_{LOL}	$V_o = 0 \text{ V}$			-5	μA

備考 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V) (2/2)

項 目	略 号	条 件			MIN.	TYP.	MAX.	単 位
ハイ・レベル出力電圧	V _{OH1}	P02-P06, P30-P35, P38, P39, P40-P42, P50-P55, P90-P94, P96-P915	1端子 I _{OH} = -1.0 mA	端子合計 -20 mA	EV _{DD} -1.0		EV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -3.7 mA	EV _{DD} -0.5		EV _{DD}	V
	V _{OH2}	PCM0, PDL5	1端子 I _{OH} = -1.0 mA	端子合計 -2 mA	EV _{DD} -1.0		EV _{DD}	V
			1端子 I _{OH} = -100 μA	端子合計 -0.2 mA	EV _{DD} -0.5		EV _{DD}	V
	V _{OH3}	P70-P79	1端子 I _{OH} = -0.4 mA	端子合計 -4.0 mA	AV _{REF0} -1.0		AV _{REF0}	V
			1端子 I _{OH} = -100 μA	端子合計 -1.0 mA	AV _{REF0} -0.5		AV _{REF0}	V
	V _{OH4}	P10	I _{OH} = -0.4 mA		AV _{REF1} -1.0		AV _{REF1}	V
			I _{OH} = -100 μA		AV _{REF1} -0.5		AV _{REF1}	V
ロウ・レベル出力電圧	V _{OL1}	P02-P06, P30-P35, P42, P50-P55, P92-P94, P96-P915	1端子 I _{OL} = 1.0 mA	端子合計 20 mA	0		0.4	V
	V _{OL2}	P38, P39, P40, P41, P90, P91	1端子 I _{OL} = 3.0 mA		0		0.4	V
	V _{OL3}	PCM0, PDL5	1端子 I _{OL} = 1.0 mA	端子合計 2 mA	0		0.4	V
	V _{OL4}	P10, P70-P79	1端子 I _{OL} = 0.4 mA	端子合計 4.4 mA	0		0.4	V
ソフトウェア・ プルダウン抵抗 ^注	R ₁	P05	V _I = V _{DD}			10	20	100 kΩ

注 DRST端子のみ (OCDMレジスタで制御)

備考1. 兼用端子の特性は、ポート端子として使用する場合の特性と同じです。

2. I_{OH}, I_{OL}の条件を1端子のみ満たさず合計値は条件を満たしている場合、DC特性も満たさなくなるのは、その端子のみです。

32. 6. 2 電源電流特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略号	条 件		MIN.	TYP. ^{注1}	MAX. ^{注2}	単位
電源電流 ^{注3}	IDD1	通常動作	f _{xx} = 20 MHz (f _x = 5 MHz) ^{注4}		8.2 ^{注5}	20	mA
			f _{xx} = 10 MHz (f _x = 10 MHz) , PLLオフ時 ^{注4}		4.1 ^{注5}	10	mA
	IDD2	HALTモード	f _{xx} = 20 MHz (f _x = 5 MHz) ^{注4}		5.3	14	mA
	IDD3	IDLE1モード	f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時 ^{注4}		0.5	1	mA
	IDD4	IDLE2モード	f _{xx} = 5 MHz (f _x = 5 MHz) , PLLオフ時 ^{注4}		0.21	0.5	mA
	IDD5	サブクロック動作モード	f _{XT} = 32.768 kHz, メイン・クロック停止, 内蔵発振器停止, PLLオフ REGOVL0 = 02H (低電圧サブクロック動作モード)		9.6		μA
	IDD6	サブIDLEモード	f _{XT} = 32.768 kHz, メイン・クロック停止, 内蔵発振器停止, PLLオフ REGOVL0 = 02H (低電圧サブIDLEモード)		1.9	30	μA
	IDD7	STOPモード	サブクロック停止, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード) T _A = 25 °C		1.1	3.0	μA
			サブクロック停止, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード) T _A = 85 °C			25	μA
			サブクロック動作, 内蔵発振器停止 REGOVL0 = 01H (低電圧STOPモード)		1.9	30	μA
IDD8	セルフ・プログラミング・モード	f _{xx} = 20 MHz (f _x = 5 MHz)		14	24	mA	
LVI電流	ILVI				1.2	3	μA
WDT, 内蔵発振電流	IWDT				5		μA

注1. TYP.電流とは, VDD = EVDD = 3.3 V, TA = 25 °Cの値です。

TYP.は個々のデバイスに対する保証値ではありません。

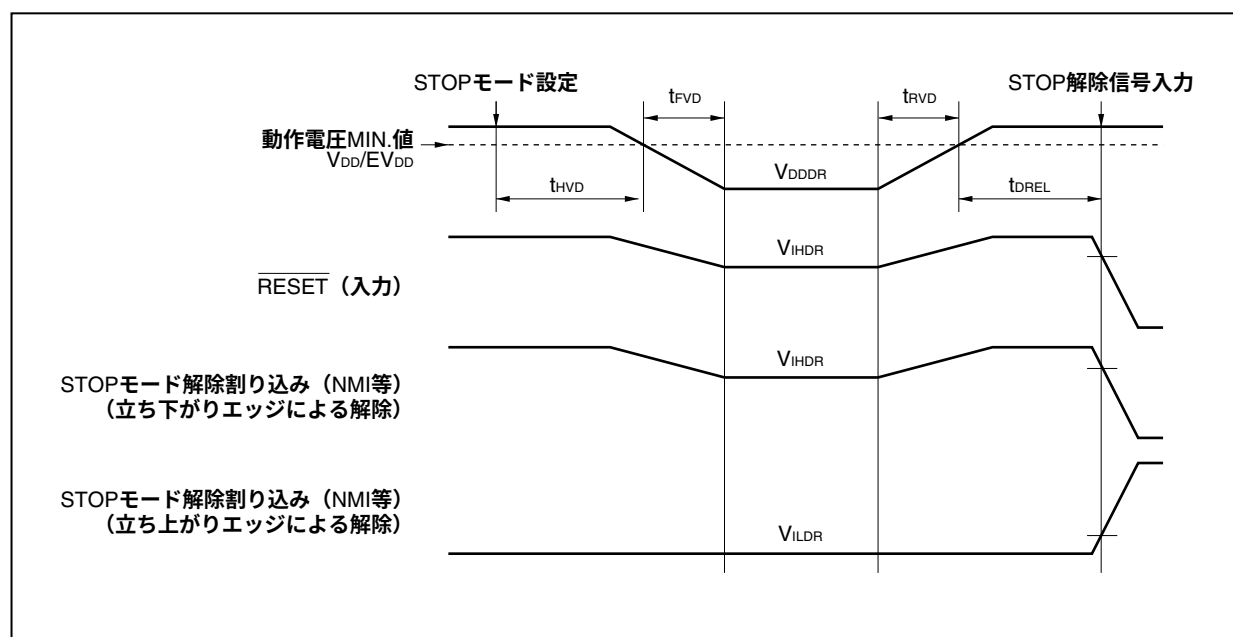
- MAX.電流とは, VDD = EVDD = 3.6 V, TA = -40~+85 °Cの範囲で対象特性がワーストになる条件の電流値です。
- VDD, EVDD電流の合計です。出力バッファ, A/Dコンバータ, D/Aコンバータ, 内蔵プルダウン抵抗で流れる電流値, ILVI, IWDTは含みません。
- TYP.周辺機能として, “RTC” もしくは “時計タイマ+TMM (時計タイマ割り込みによるカウント)” が動作しているときの電流値です。
MAX.周辺機能として, 端子変化をともしない範囲で動作可能な全機能が動作しているときの電流値です。
ただしILVI, IWDTは除きます。
- IDD1のTYP.は, 全命令実行のときの値です。

備考 動作電圧については, 32. 3 動作条件を参照してください。

32. 6. 3 データ保持特性 (STOPモード時)

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

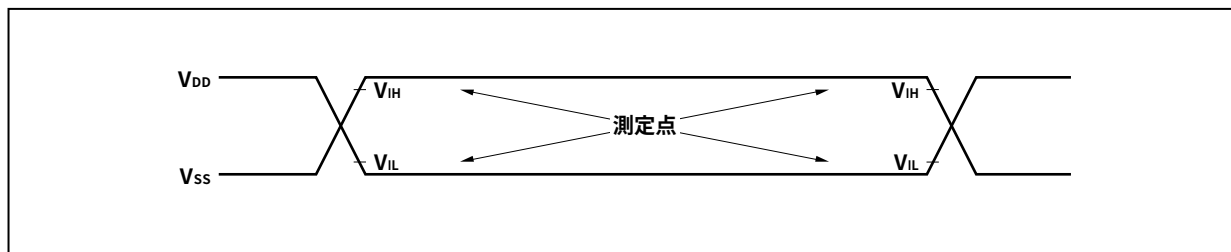
項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
データ保持電圧	V _{DDDR}	STOPモード (全機能停止)	1.9		3.6	V
データ保持電流	I _{DDDR}	サブクロック停止, 内蔵発振器停止 TA = 85 °C			45	μA
電源電圧立ち上がり時間	t _{RV} D		200			μs
電源電圧立ち下がり時間	t _{FV} D		200			μs
電源電圧保持時間	t _{HV} D	STOPモード設定後	0			ms
STOP解除信号入力時間	t _{DREL}	V _{DD} が動作電圧のMIN.値に達したあと (32. 3 動作条件参照)	0			ms
データ保持ハイ・レベル入力電圧	V _{IHDR}	V _{DD} = EV _{DD} = V _{DDDR}	0.9V _{DDDR}		V _{DDDR}	V
データ保持ロウ・レベル入力電圧	V _{ILDR}	V _{DD} = EV _{DD} = V _{DDDR}	0		0.1V _{DDDR}	V

注意 STOPモードへの移行, およびSTOPモードからの復帰は, 動作範囲内で行ってください。

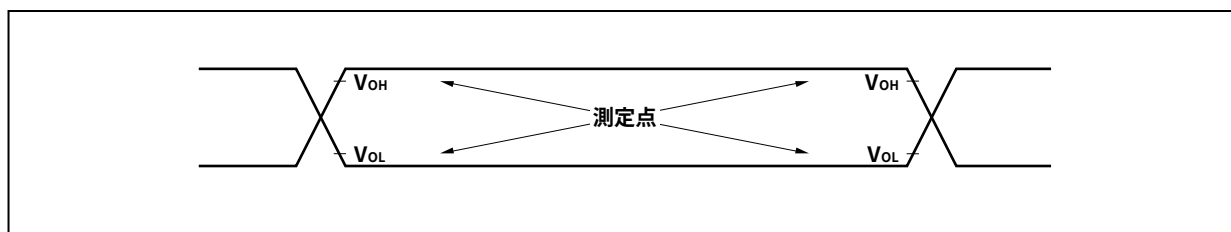
32.7 AC特性

32.7.1 測定条件

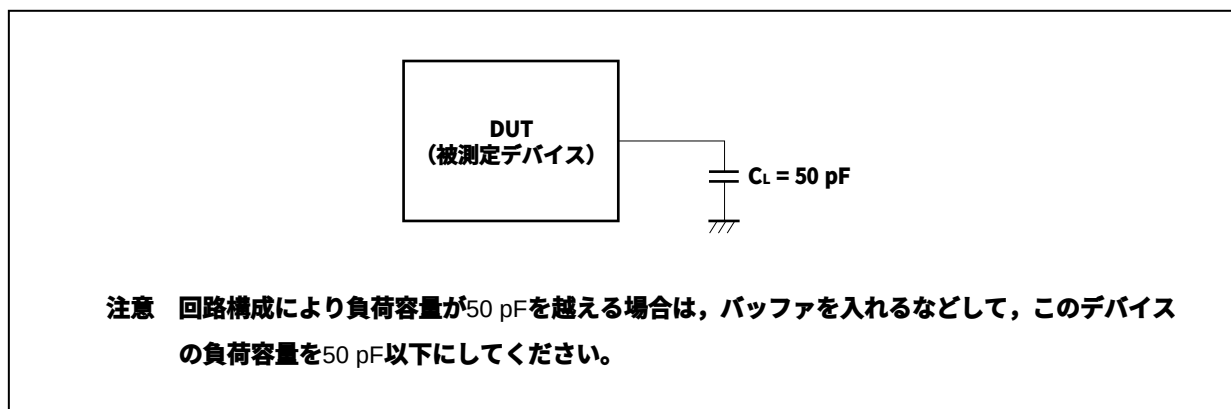
(1) ACテスト入力測定点



(2) ACテスト出力測定点



(3) 負荷条件



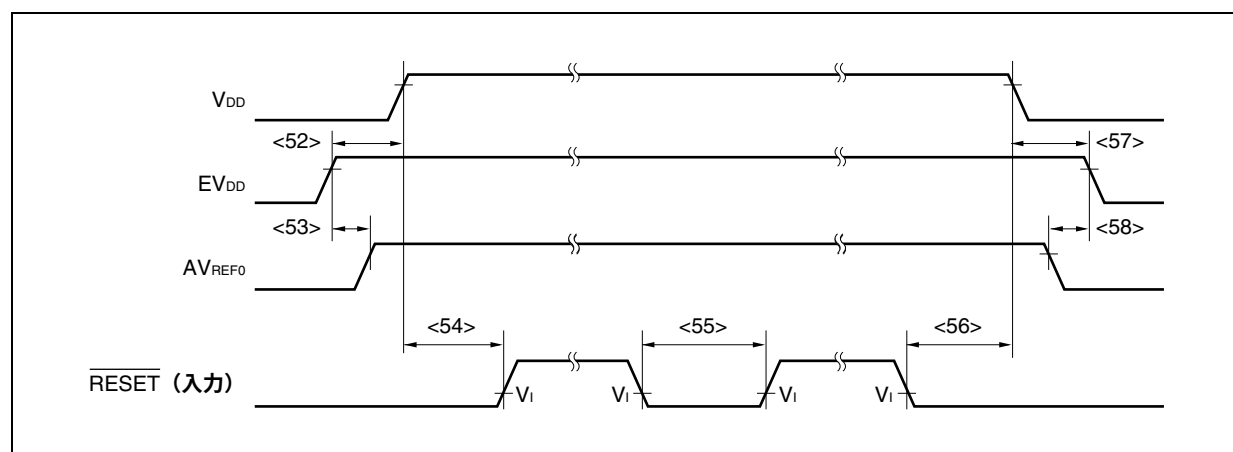
32.7.2 パワー・オン/パワー・オフ/リセット・タイミング

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
$EV_{DD} \uparrow \rightarrow V_{DD} \uparrow$	t_{REL}	<52>	0		ns
$EV_{DD} \uparrow \rightarrow AV_{REF0}, AV_{REF1} \uparrow$	t_{REA}	<53>	0	t_{REL}	ns
$V_{DD} \uparrow \rightarrow \overline{RESET} \uparrow$	t_{RER}	<54>	$500 + t_{REG}$ 注		ns
RESET ロウ・レベル幅	t_{WRS}	<55>	500		ns
$RESET \downarrow \rightarrow V_{DD} \downarrow$	t_{FRE}	<56>	500		ns
$V_{DD} \downarrow \rightarrow EV_{DD} \downarrow$	t_{FEL}	<57>	0		ns
$AV_{REF0} \downarrow \rightarrow EV_{DD} \downarrow$	t_{FEA}	<58>	0	t_{FEL}	ns

注 32.5 レギュレータ特性参照

備考 $\overline{RESET}$ 端子には、アナログ・ノイズ除去機能があります。



32. 8 周辺機能特性

32. 8. 1 割り込みタイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
NMIハイ・レベル幅	t_{WNIH}		500		ns
NMIロウ・レベル幅	t_{WNIL}		500		ns
INTPn [※] ハイ・レベル幅	t_{WITH}	n = 0-7 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	$3T_{SMP} + 20$		ns
INTPn [※] ロウ・レベル幅	t_{WITL}	n = 0-7 (アナログ・ノイズ除去)	500		ns
		n = 3 (デジタル・ノイズ除去)	$3T_{SMP} + 20$		ns

注 DRST端子と同じ特性です (P05/INTP2/DRST)。

備考1. T_{SMP} : ノイズ除去サンプリング・クロック周期

2. NMI端子, INTPn端子にはアナログ・ノイズ除去機能があります (n = 0-7)。

32. 8. 2 キー・リターン・タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
KRnハイ・レベル幅	t_{WKRH}		500		ns
KRnロウ・レベル幅	t_{WKRL}		500		ns

備考1. n = 0-7

2. KRn端子にはアナログ・ノイズ除去機能があります。

32. 8. 3 タイマ・タイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
TIハイ・レベル幅	t_{TIH}	TIP00, TIP01, TIP10, TIP11,	2T + 20		ns
TIロウ・レベル幅	t_{TIL}	TIP20, TIP21, TIP31, TIP40, TIP41, TIP50, TIP51, TIQ00-TIQ03	2T + 20		ns

備考 $T = 1/f_{xx}$

32. 8. 4 UARTタイミング

($T_A = -40 \sim +85 \text{ } ^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	MAX.	単 位
送信レート		$V_{DD} = 2.2 \sim 3.6 \text{ V}$		625	kbps
ASCK0周波数		$V_{DD} = 2.2 \sim 3.6 \text{ V}$		5	MHz
		$V_{DD} = 2.7 \sim 3.6 \text{ V}$		10	MHz

32. 8. 5 CSIBタイミング

(1) マスタ・モード

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKBnサイクル・タイム	t _{KCY1}	<60> 2.7 V ≤ V _{DD} ≤ 3.6 V	125		ns
			2.2 V ≤ V _{DD} < 2.7 V	800	ns
SCKBnハイ・レベル幅	t _{KH1}	<61> 2.7 V ≤ V _{DD} ≤ 3.6 V	t _{KCY1} /2 - 8		ns
			2.2 V ≤ V _{DD} < 2.7 V	t _{KCY1} /2 - 80	ns
SCKBnロウ・レベル幅	t _{KL1}	<62> 2.7 V ≤ V _{DD} ≤ 3.6 V	t _{KCY1} /2 - 8		ns
			2.2 V ≤ V _{DD} < 2.7 V	t _{KCY1} /2 - 80	ns
SIBnセットアップ時間 (対SCKBn↑)	t _{SIK1}	<63> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SIBnホールド時間 (対SCKBn↑)	t _{KS1}	<64> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SCKBn↓ → SOBn出力遅延時間	t _{KSO1}	<65> 2.7 V ≤ V _{DD} ≤ 3.6 V		27	ns
			2.2 V ≤ V _{DD} < 2.7 V	95	ns

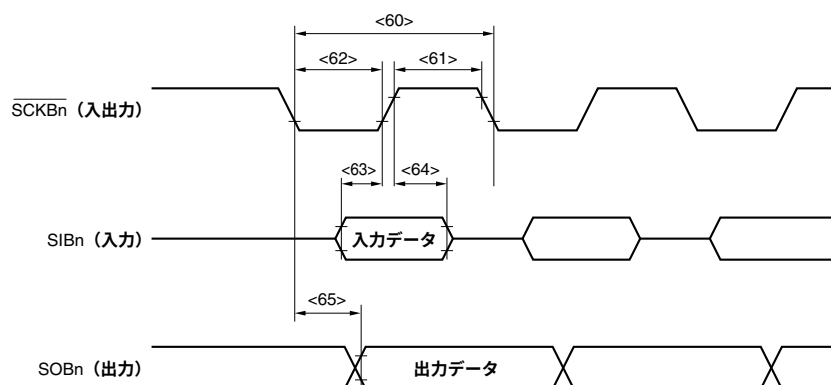
備考 n = 0-4

(2) スレーブ・モード

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	MAX.	単 位
SCKBnサイクル・タイム	t _{KCY2}	<60> 2.7 V ≤ V _{DD} ≤ 3.6 V	125		ns
			2.2 V ≤ V _{DD} < 2.7 V	800	ns
SCKBnハイ・レベル幅	t _{KH2}	<61> 2.2 V ≤ V _{DD} ≤ 3.6 V	54.5		ns
SCKBnロウ・レベル幅	t _{KL2}	<62> 2.2 V ≤ V _{DD} ≤ 3.6 V	54.5		ns
SIBnセットアップ時間 (対SCKBn↑)	t _{SIK2}	<63> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SIBnホールド時間 (対SCKBn↑)	t _{KS2}	<64> 2.7 V ≤ V _{DD} ≤ 3.6 V	27		ns
			2.2 V ≤ V _{DD} < 2.7 V	100	ns
SCKBn↓ → SOBn出力遅延時間	t _{KSO2}	<65> 2.7 V ≤ V _{DD} ≤ 3.6 V		27	ns
			2.2 V ≤ V _{DD} < 2.7 V	95	ns

備考 n = 0-4



備考 n = 0-4

32. 8. 6 I²Cバス・モード(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.2 V~3.6 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V)

項 目	略 号		標準モード		高速モード		単 位
			MIN.	MAX.	MIN.	MAX.	
SCL0nクロック周波数	f _{CLK}		0	100	0	400	kHz
バス・フリー・タイム (ストップ・スタート・コンディション間)	t _{BUF}	<66>	4.7	—	1.3	—	μs
ホールド時間 ^{注1}	t _{HD : STA}	<67>	4.0	—	0.6	—	μs
SCL0nクロックのロウ・レベル幅	t _{LOW}	<68>	4.7	—	1.3	—	μs
SCL0nクロックのハイ・レベル幅	t _{HIGH}	<69>	4.0	—	0.6	—	μs
スタート／リスタート・コンディションのセットアップ時間	t _{SU : STA}	<70>	4.7	—	0.6	—	μs
データ・ホールド 時間	CBUS互換マスタの場合	t _{HD : DAT}	<71>	—	—	—	μs
	I ² Cモードの場合						
			0 ^{注2}	—	0 ^{注2}	0.9 ^{注3}	μs
データ・セットアップ時間	t _{SU : DAT}	<72>	250	—	100 ^{注4}	—	ns
SDA0nおよびSCL0n信号の立ち上がり時間	t _r	<73>	—	1000	20+0.1Cb ^{注5}	300	ns
SDA0nおよびSCL0n信号の立ち下がり時間	t _f	<74>	—	300	20+0.1Cb ^{注5}	300	ns
ストップ・コンディションのセットアップ時間	t _{SU : STO}	<75>	4.0	—	0.6	—	μs
入力フィルタによって抑制されるスパイクのパルス幅	t _{SP}	<76>	—	—	0	50	ns
各バス・ラインの容量性負荷	C _b		—	400	—	400	pF

注1. スタート・コンディション時に、最初のクロック・パルスは、ホールド時間のあとに生成されます。

- 装置は、SCL0nの立ち下がり端の未定義領域を埋めるために（SCL0n信号のV_{IHmin.}での）SDA0n信号用に最低300 nsのホールド時間を内部的に提供する必要があります。
- 装置がSCL0n信号のロウ・ホールド時間（t_{LOW}）を延長しない場合は、最大データ・ホールド時間（t_{HD : DAT}）のみ満たすことが必要です。
- 高速モードI²Cバスは、標準モードI²Cバス・システム内で利用できます。この場合、次の条件を満たすようにしてください。

- 装置がSCL0n信号のロウ状態ホールド時間を延長しない場合

$$t_{SU : DAT} \geq 250 \text{ ns}$$

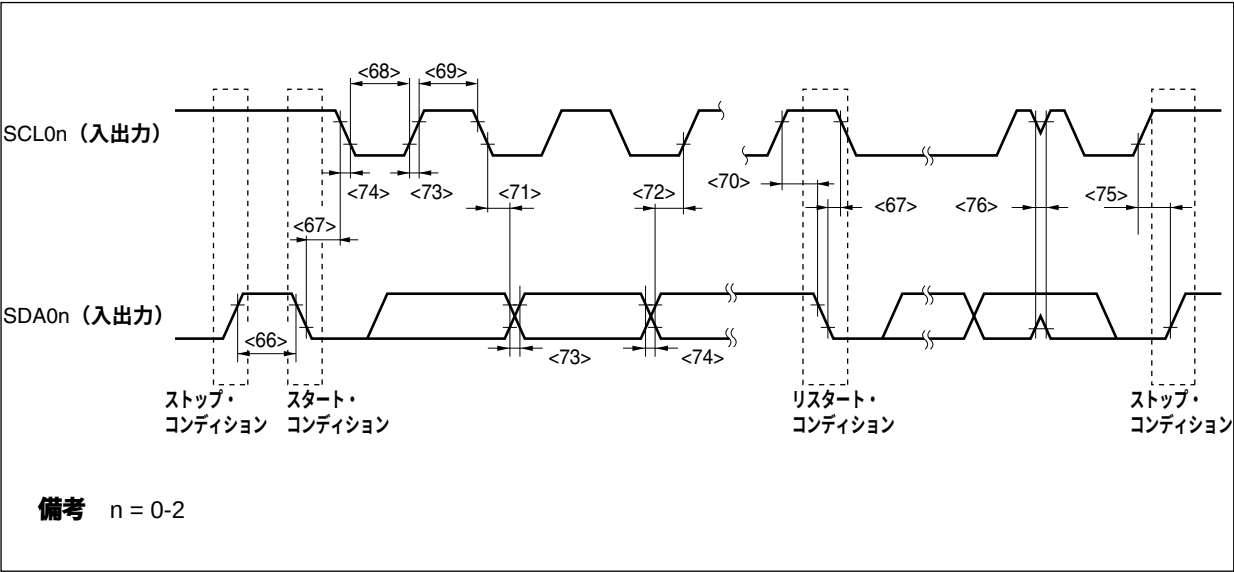
- 装置がSCL0n信号のロウ状態ホールド時間を延長する場合

SCL0nラインが解放される（t_{Rmax.} + t_{SU : DAT} = 1000 + 250 = 1250 ns：標準モードI²Cバス仕様）前に、次のデータ・ビットをSDA0nラインに送出してください。

5. C_b：1つのバス・ラインの合計キャパシタンス（単位：pF）

備考 n = 0-2

I²Cバス・タイミング



32. 8. 7 A/Dコンバータ

(T_A = -40~+85 °C, V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1}, 2.7 V ≤ AV_{REF0} = AV_{REF1} ≤ 3.6 V, V_{SS} = EV_{SS} = AV_{SS} = 0 V, C_L = 50 pF)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					10	bit
総合誤差 [※]		2.7 V ≤ AV _{REF0} ≤ 3.6 V			±0.6	%FSR
A/D変換時間	t _{CONV}	3.0 V ≤ AV _{REF0} ≤ 3.6 V	2.6		24	μs
		2.7 V ≤ AV _{REF0} < 3.0 V	3.9		24	μs
ゼロスケール誤差					±0.5	%FSR
フルスケール誤差					±0.5	%FSR
非直線性誤差					±4.0	LSB
微分直線性誤差					±4.0	LSB
アナログ入力電圧	V _{IAN}		AV _{SS}		AV _{REF0}	V
基準電圧	AV _{REF0}		2.7		3.6	V
AV _{REF0} 電流	AI _{REF0}	通常変換モード		3	6.5	mA
		高速変換モード		4	10	mA
		A/Dコンバータ未使用時			5	μA

注 量子化誤差 (±0.05 %FSR) は含みません。

注意 A/D変換中に兼用ポートの設定 (リード/ライト) を行わないでください。変換分解能が低下することがあります。

備考 LSB : Least Significant Bit
FSR : Full Scale Range

32. 8. 8 D/Aコンバータ

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1, VSS = EVSS = AVSS = 0 V)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
分解能					8	bit
総合誤差		R = 2 MΩ			±1.2	%FSR
セトリング・タイム		C = 20 pF			3	μs
出力抵抗	Ro	出力データ55H		6.42		kΩ
基準電圧	AVREF1		2.7		3.6	V
AVREF1 電流	AIREF1	D/A変換動作時		1	2.5	mA
		D/A変換停止時			5	μA

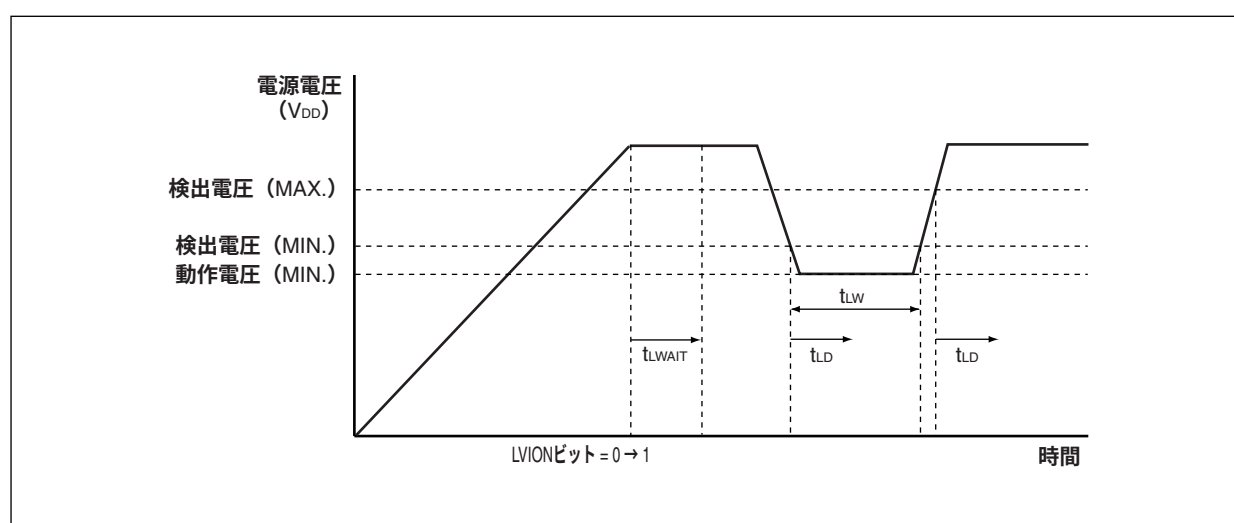
備考 Rは出力端子の負荷抵抗, Cは出力端子の負荷容量です。

32. 8. 9 LVI回路特性

(TA = -40~+85 °C, VDD = EVDD = AVREF0 = AVREF1 = 2.2 V~3.6 V, VSS = EVSS = AVSS = 0 V, CL = 50 pF)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単位
検出電圧	VLVI0		2.7	2.8	2.9	V
	VLVI1		2.2	2.3	2.4	V
応答時間 ^注	tLD	立ち上がり時: VDDがVLVI0/VLVI1 (MAX.) に達したあと。 立ち下がり時: VDDがVLVI0/VLVI1 (MIN.) まで下がったあと。		0.2	2.0	ms
最小パルス幅	tLW	VDD = VLVI0/VLVI1 (MIN.)	0.2			ms
基準電圧安定待ち時間	tLWAIT	VDDがVLVI0またはVLVI1 (MAX.) に達したあと。		0.1	0.2	ms

注 検出電圧を検出して割り込みまたはリセット信号を出力するまでの時間です。



32. 9 フラッシュ・メモリ・プログラミング特性

(1) 基本特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

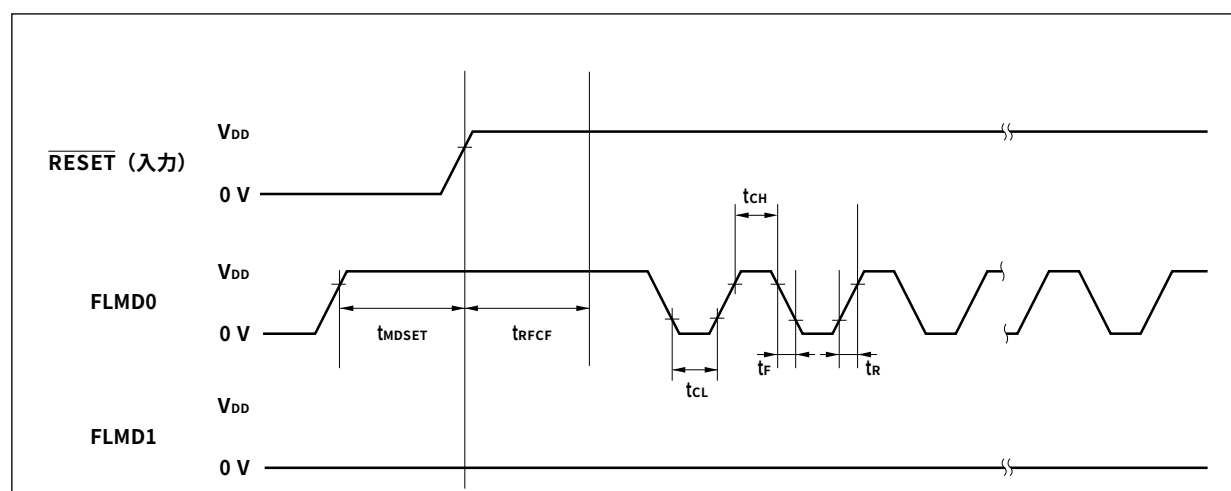
項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
動作周波数	f_{CPU}		2.5		20	MHz
電源電圧	V_{DD}	$2.5 \text{ MHz} \leq f_{xx} \leq 20 \text{ MHz}$	2.7		3.6	V
書き換え回数	C_{WRT}	プログラム更新用途 フラッシュ・メモリ・プログラ マ使用時および当社提供のセルフ・プ ログラミング・ライブラリ使用時	保持 15 年	1,000		回
		データ更新用途 当社提供のEEPROMエミュレーショ ン・ライブラリ使用時 使用可能ROMサイズ: 連続した6プロ ックの12Kバイト, もしくは連続した 3ブロックの6 Kバイト	保持 5 年	10,000		回
プログラミング温度	t_{PRG}		-40		+85	$^\circ\text{C}$

(2) シリアル書き込みオペレーション特性

($T_A = -40 \sim +85 \text{ }^\circ\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7 \text{ V} \sim 3.6 \text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0 \text{ V}$, $C_L = 50 \text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
FLMD0, FLMD1設定時間	t_{MDSET}		2		3000	ms
RESET $\uparrow$ $\rightarrow$ FLMD0カウンタ開始時間	t_{RFCF}	$f_x = 2.5 \sim 10 \text{ MHz}$	800			μs
FLMD0カウンタ・ハイ・レベル幅/ ロウ・レベル幅	t_{CH}/t_{CL}		10		100	μs
FLMD0カウンタ立ち上がり時間/ 立ち下がり時間	t_r/t_f				1	μs

フラッシュ書き込みモード設定タイミング



(3) プログラミング特性

($T_A = -40 \sim +85\text{ }^{\circ}\text{C}$, $V_{DD} = EV_{DD} = AV_{REF0} = AV_{REF1} = 2.7\text{ V} \sim 3.6\text{ V}$, $V_{SS} = EV_{SS} = AV_{SS} = 0\text{ V}$, $C_L = 50\text{ pF}$)

項 目	略 号	条 件	MIN.	TYP.	MAX.	単 位
チップ消去時間		$f_{xx} = 20\text{ MHz}$ (チップ消去コマンド実行時)		105		ms
256バイトあたりの書き込み時間		$f_{xx} = 20\text{ MHz}$		2.0		ms
ブロック内部ベリファイ時間		$f_{xx} = 20\text{ MHz}$		10		ms
ブロック・ブランク・チェック時間		$f_{xx} = 20\text{ MHz}$		0.5		ms
フラッシュ情報設定時間		$f_{xx} = 20\text{ MHz}$		30		ms

備考 ブロック・サイズ = 2 Kバイト

第33章 半田付け推奨条件

この製品の半田付け実装は、次の推奨条件で実施してください。
半田付け推奨条件の技術的内容については下記を参照してください。

「半導体デバイス実装マニュアル」 (<http://japan.renesas.com/prod/package/manual/index.html>)

表33-1 表面実装タイプの半田付け条件 (1/2)

- (1) μ PD70F3797K8-4B4-AX : 40ピン・プラスチックWQFN (6×6)
 μ PD70F3798K8-4B4-AX : "
 μ PD70F3799K8-4B4-AX : "
 μ PD70F3800K8-4B4-AX : "
 μ PD70F3838K8-4B4-AX : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内 制限日数：7日間 [※] （以降は125 °Cプリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3

注 ドライバック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. V850ES/JC3-Lは，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

- (2) μ PD70F3801GA-GAM-AX : 48ピン・プラスチックLQFP（ファインピッチ）（7×7）
 μ PD70F3802GA-GAM-AX : "
 μ PD70F3803GA-GAM-AX : "
 μ PD70F3804GA-GAM-AX : "
 μ PD70F3839GA-GAM-AX : "

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内 制限日数：7日間 [※] （以降は125 °Cプリベーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライバック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

備考1. V850ES/JC3-Lは，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

表33-1 表面実装タイプの半田付け条件 (2/2)

- (3) μ PD70F3801K8-5B4-AX : 48ピン・プラスチックWQFN (7×7)
 μ PD70F3802K8-5B4-AX : //
 μ PD70F3803K8-5B4-AX : //
 μ PD70F3804K8-5B4-AX : //
 μ PD70F3839K8-5B4-AX : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内 制限日数：7日間 [※] （以降は125 °Cプリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください。

備考1. V850ES/JC3-Lは，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

- (4) μ PD70F3805GB-GAH-AX : 64ピン・プラスチックLQFP（ファインピッチ）（10×10）
 μ PD70F3806GB-GAH-AX : //
 μ PD70F3807GB-GAH-AX : //
 μ PD70F3808GB-GAH-AX : //
 μ PD70F3840GB-GAH-AX : //

半田付け方式	半田付け条件	推奨条件記号
赤外線リフロ	パッケージ・ピーク温度：260 °C，時間：60秒以内（220 °C以上），回数：3回以内 制限日数：7日間 [※] （以降は125 °Cプリバーク10～72時間必要） <留意事項> 耐熱トレイ以外（マガジン，テーピング，非耐熱トレイ）は，包装状態でのベーキングができません。	IR60-107-3
端子部分加熱	端子温度：350 °C以下，時間：3秒以内（デバイスの一辺当たり）	—

注 ドライパック開封後の保管日数で，保管条件は25 °C，65 %RH以下。

注意 半田付け方式の併用はお避けください（ただし，端子部分加熱は除く）。

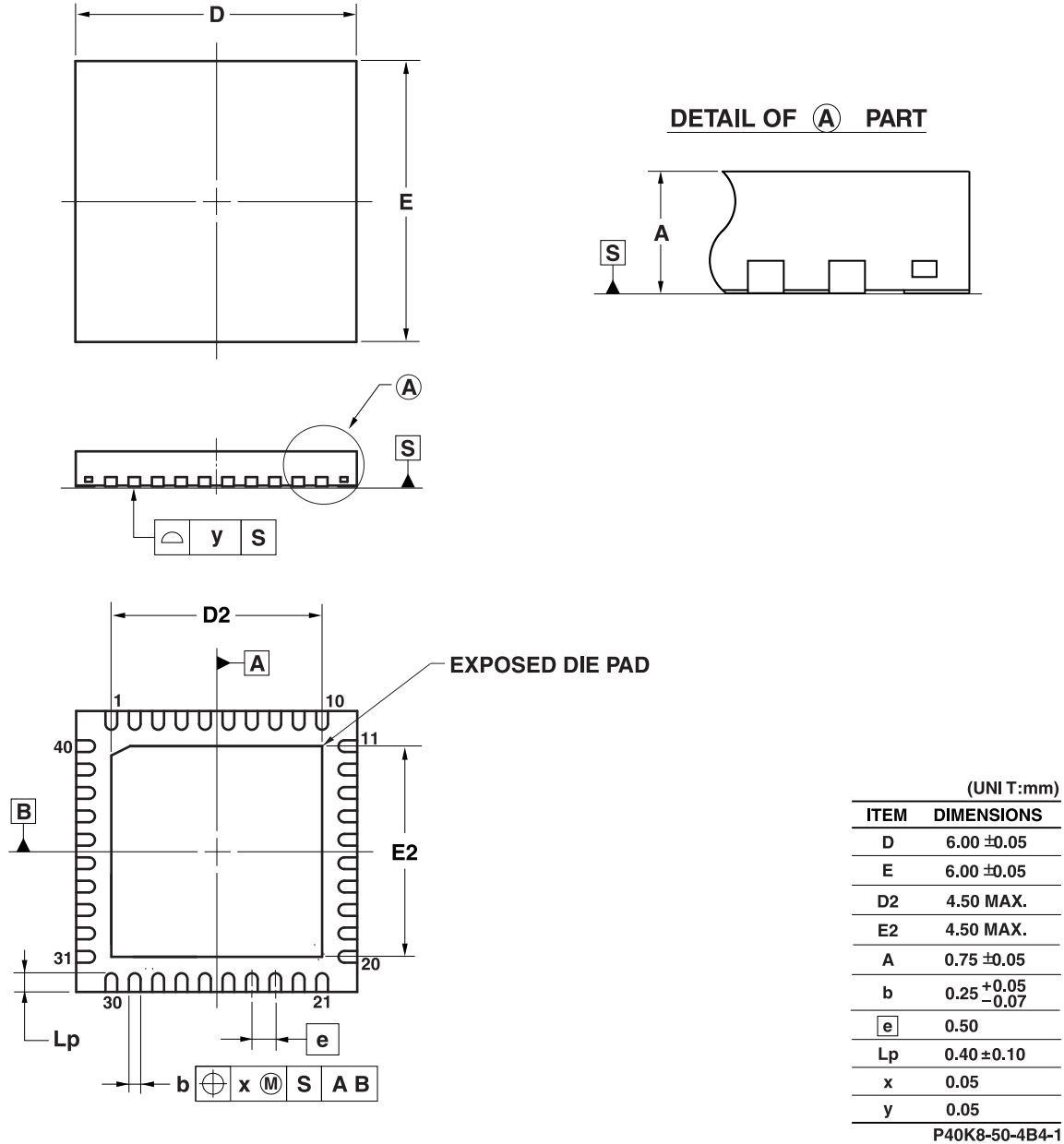
備考1. V850ES/JE3-Lは，鉛フリー製品です。

2. 推奨条件以外の半田付け方式および半田付け条件については，当社販売員にお問い合わせください。

第34章 外形图

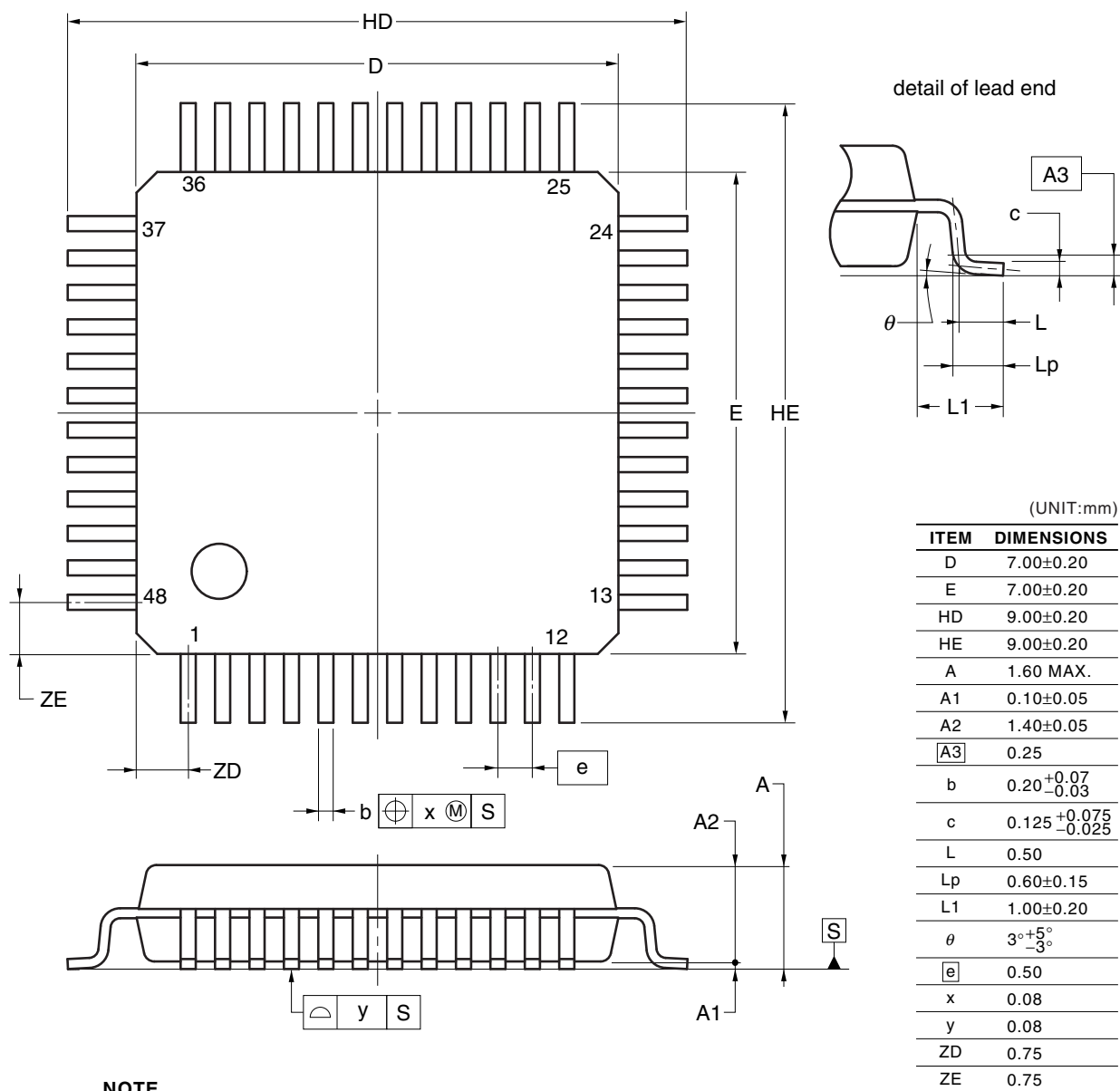
• V850ES/JC3-L

40-PIN PLASTIC WQFN(6x6)



• V850ES/JC3-L

48-PIN PLASTIC LQFP (FINE PITCH) (7x7)

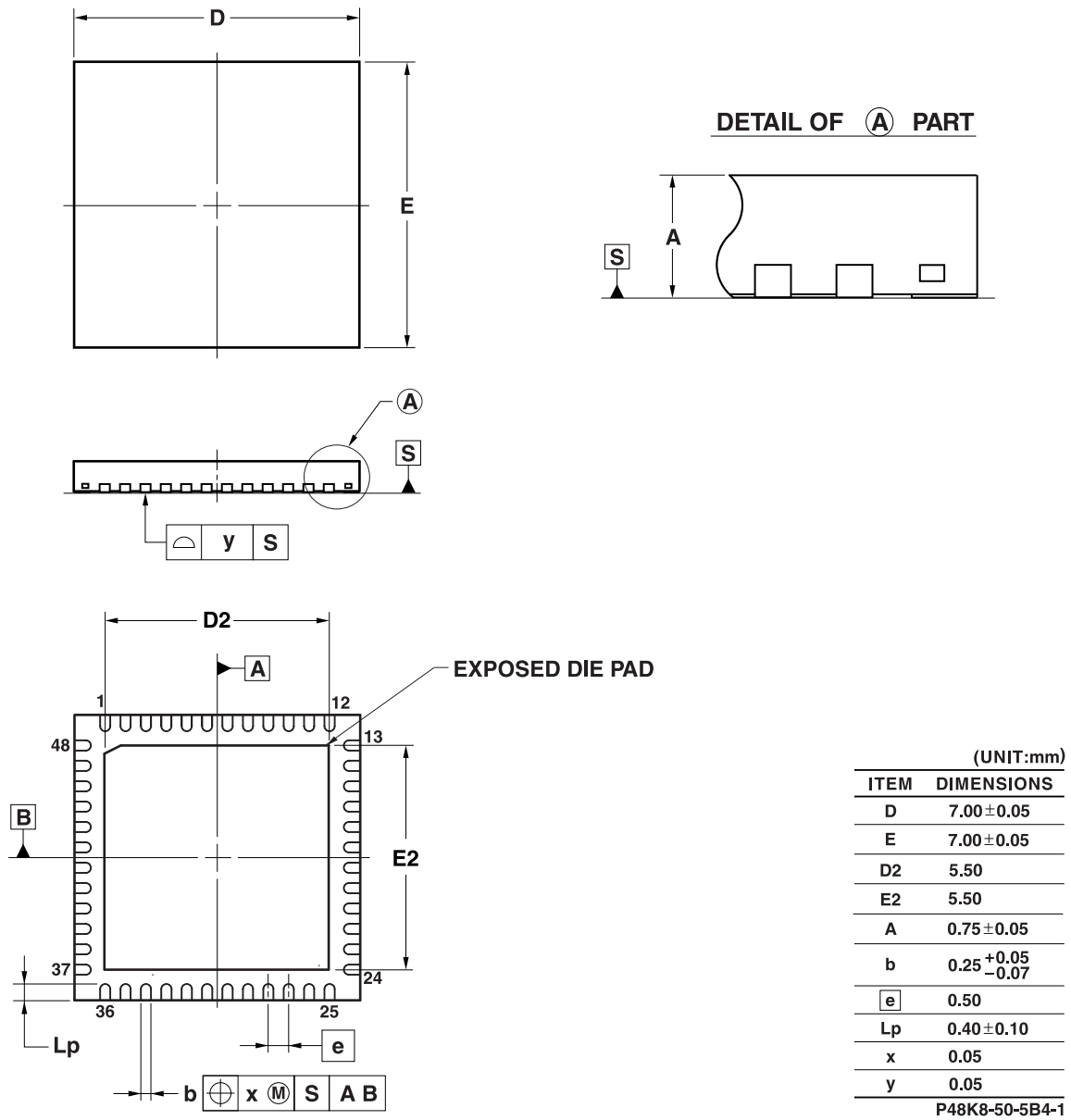
**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

P48GA-50-GAM

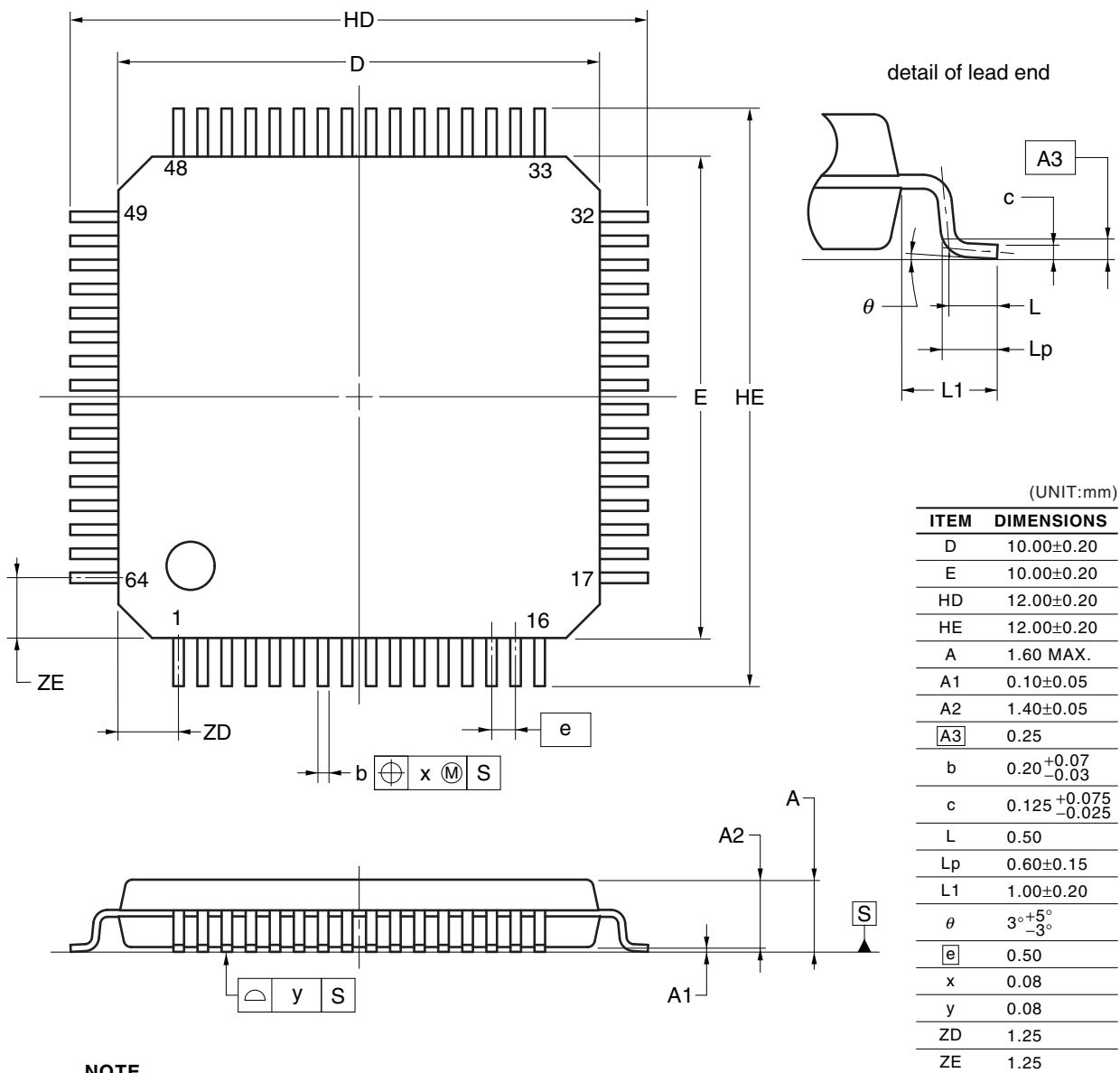
• V850ES/JC3-L

48-PIN PLASTIC WQFN(7x7)



• V850ES/JE3-L

64-PIN PLASTIC LQFP(FINE PITCH)(10x10)

**NOTE**

Each lead centerline is located within 0.08 mm of its true position at maximum material condition.

付録A 開発ツール

V850ES/JC3-L, V850ES/JE3-Lを使用するシステム開発のために、次のような開発ツールを用意しています。
図A-1に開発ツール構成を示します。

●PC98-NXシリーズへの対応について

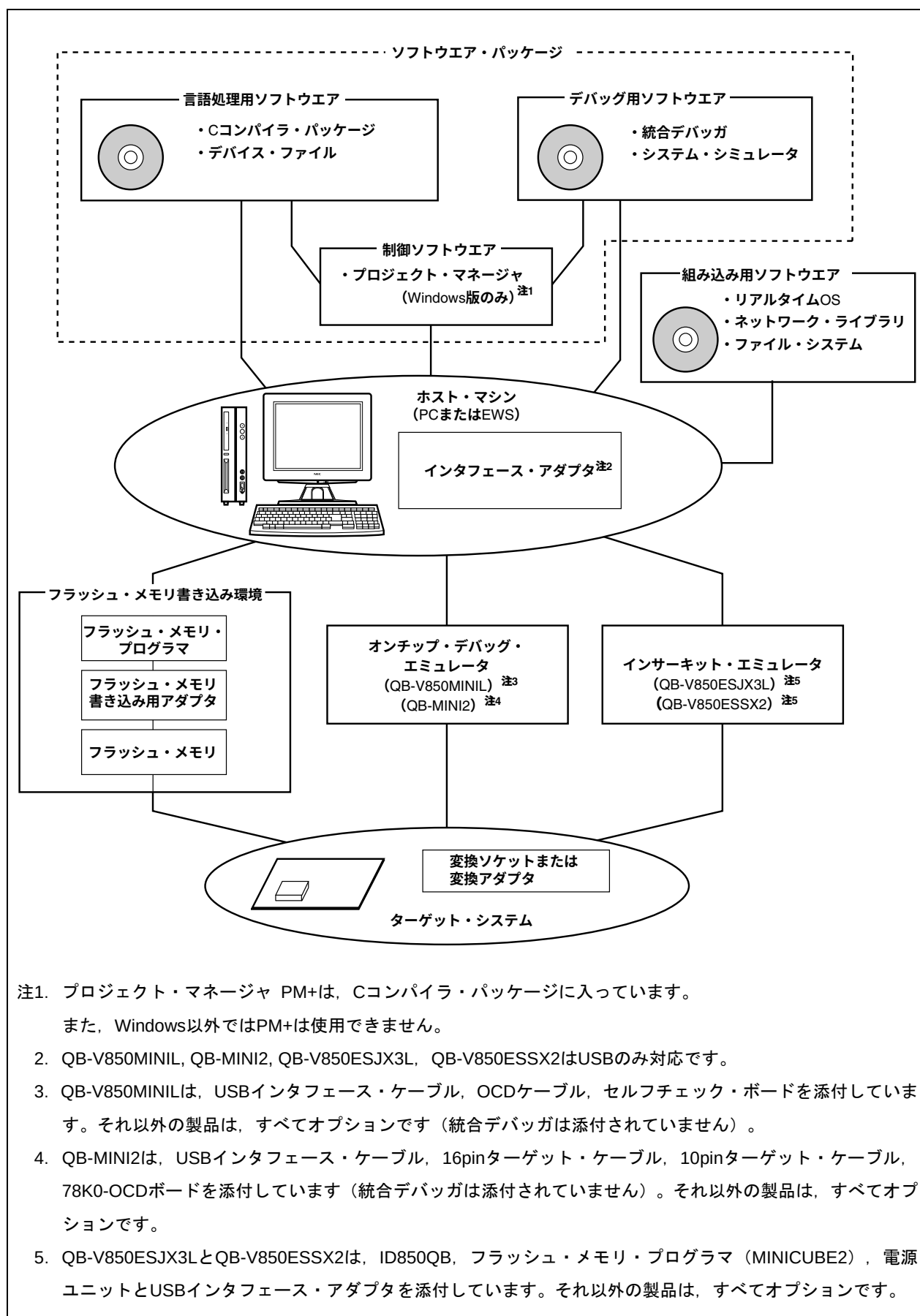
特に断りのないかぎり、IBM PC/ATTM互換機でサポートされている製品については、PC98-NXシリーズでも使用できます。PC98-NXシリーズを使用する場合は、IBM PC/AT互換機の説明を参照してください。

●Windows[®]について

特に断りのないかぎり、「Windows」は次のOSを示しています。

- ・ Windows 98, 2000
- ・ Windows Me
- ・ Windows XP[®]
- ・ Windows NT[®] Ver. 4.0

図A-1 開発ツール構成



A.1 ソフトウェア・パッケージ

SP850 V850シリーズ・ソフトウェア・ パッケージ	V850シリーズ共通の開発ツール（ソフトウェア）を1つのパッケージにした製品です。 オーダ名称： μ S××××SP850
------------------------------------	--

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μ S××××SP850

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	

A.2 言語処理用ソフトウェア

CA850 Cコンパイラ・パッケージ	C言語で書かれたプログラムを、マイコンの実行可能なオブジェクト・コードに変換するプログラムです。プロジェクト・マネージャ PM+から起動されます。 オーダ名称： μ S××××CA703000
DF703738 デバイス・ファイル	デバイス固有の情報が入ったファイルです。 各ツール（CA850, ID850QB）と組み合わせて使用します。 対応OS、ホスト・マシンは組み合わせられる各ツールに依存します。

備考 オーダ名称の××××は、使用するホスト・マシン、OSにより異なります。

μ S××××CA703000

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation TM	SunOS TM (Rel. 4.1.4) , Solaris TM (Rel. 2.5.1)	

A.3 制御ソフトウェア

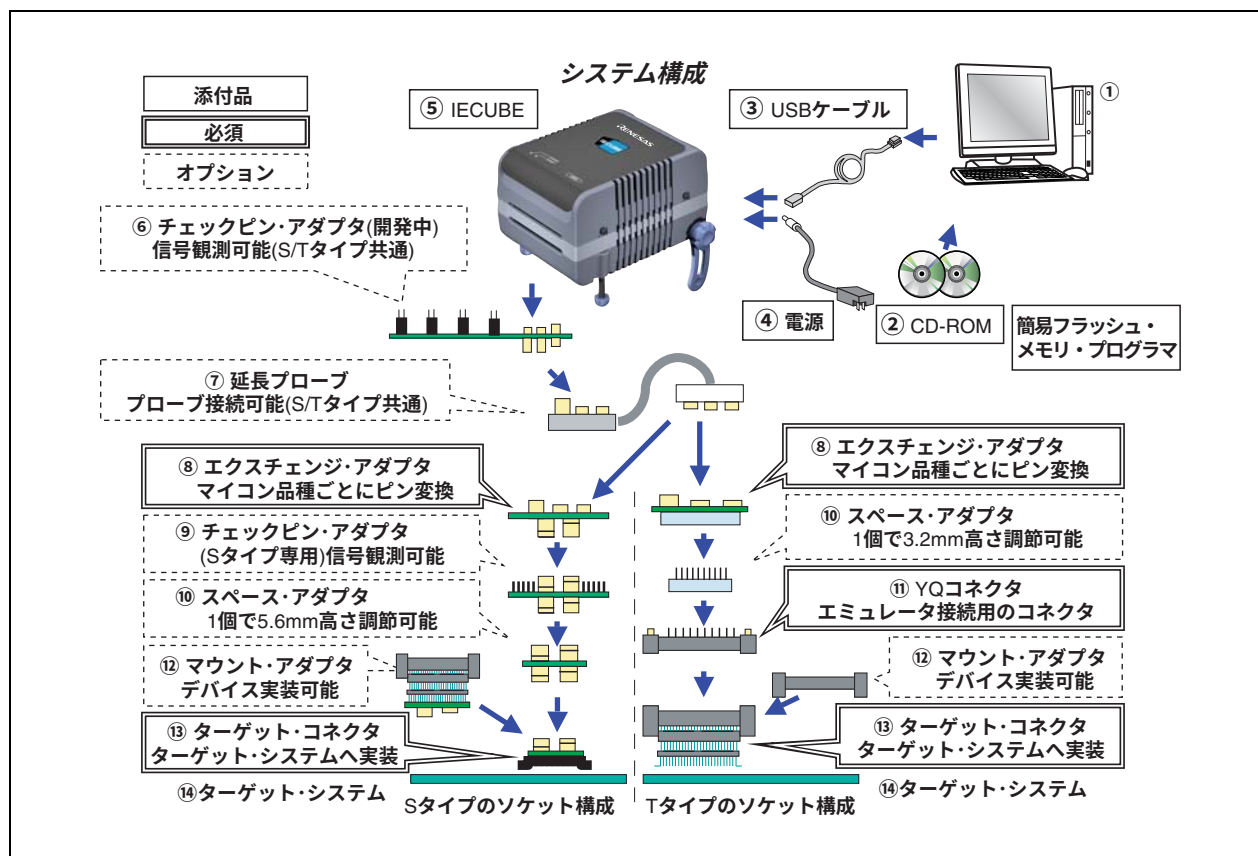
PM+ プロジェクト・マネージャ	Windows環境で効率よくユーザ・プログラム開発できるように作られた制御ソフトウェアです。PM+上から、エディタの起動、ビルド、デバッグの起動など、ユーザ・プログラム開発の一連の作業を行うことができます。 <注意> PM+は、Cコンパイラ・パッケージ CA850の中に入っています。 Windows以外の環境では使用できません。
---------------------	--

A. 4 デバッグ用ツール（ハードウェア）

A. 4.1 IECUBE[®] QB-V850ESJX3L, QB-V850ESSX2を使用する場合

QB-V850ESJX3L, QB-V850ESSX2とホスト・マシン（PC-9821シリーズ, PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。オプション製品がない場合でも接続は可能です。

図A-2 システム構成（QB-V850ESJX3L, QB-V850ESSX2を使用する場合）（1/2）



図A-2 システム構成 (QB-V850ESJX3L, QB-V850ESSX2を使用する場合) (2/2)

- ① ホスト・マシン (PC-9821シリーズ, IBM-PC/AT互換機)
- ② デバッグ, USBドライバ, マニュアルなど (ID850QB Disk, Accessory Disk^{注1})
- ③ USBインタフェース・ケーブル
- ④ ACアダプタ
- ⑤ インサーキット・エミュレータ (QB-V850ESJX3L, QB-V850ESSX2)
- ⑥ チェックピン・アダプタ (S/Tタイプ共通) (QB-144-CA-01) (オプション)
- ⑦ 延長プローブ (S/Tタイプ共通) (QB-144-EP-01S) (オプション)
- ⑧ エクスチェンジ・アダプタ (Sタイプ/Tタイプ^{注2})
- ⑨ チェックピン・アダプタ^{注2,3} (オプション)
- ⑩ スペース・アダプタ^{注2,3} (オプション)
- ⑪ YQコネクタ^{注2} (オプション)
- ⑫ マウント・アダプタ^{注2} (オプション)
- ⑬ ターゲット・コネクタ (Sタイプ/Tタイプ^{注2}) (オプション)
- ⑭ ターゲット・システム

注1. デバイス・ファイルは, ルネサス エレクトロニクスのホームページから入手してください。

<http://www2.renesas.com/micro/ja/ods/index.html>

2. 開発中

3. ⑨と⑩の両方を使用する場合, ⑨と⑩の接続順序が逆でも接続できます。

⑤ QB-V850ESJX3L ^注 QB-V850ESSX2 ^注 インサーキット・エミュレータ	V850ES/JC3-L, V850ES/JE3-Lを使用する応用システムを開発する際に, ハードウェア, ソフトウェアをデバッグするためのインサーキット・エミュレータです。統合デバッグ ID850QBに対応しています。電源ユニット, エミュレーション・プローブと組み合わせて使用します。ホスト・マシンとの接続は, USBを使用します。
③ USBインタフェース・ケーブル	ホスト・マシンとQB-V850ESJX3L, QB-V850ESSX2を接続するケーブルです。
④ ACアダプタ	ACプラグ差し替えで100~240 Vに対応可能です。
⑧ エクスチェンジ・アダプタ	ピン変換を行うアダプタです。
⑨ チェックピン・アダプタ	オシロスコープなどで波形観測を行うときに使用するアダプタです。
⑩ スペース・アダプタ	高さ調節用アダプタです。
⑪ YQコネクタ	ターゲット・コネクタとエクスチェンジ・アダプタを接続する変換アダプタです。
⑫ マウント・アダプタ	V850ES/JC3-L, V850ES/JE3-Lをソケット実装するためのアダプタです。
⑬ ターゲット・コネクタ	ターゲット・システム上へ半田付けするコネクタです。

注 QB-V850ESJX3L, QB-V850ESSX2は, 電源ユニット, USBインタフェース・ケーブルとフラッシュ・メモリ・プログラマ (MINICUBE2) を添付しています。また, コントロール・ソフトウェアとして, 統合デバッグ ID850QBを添付しています。

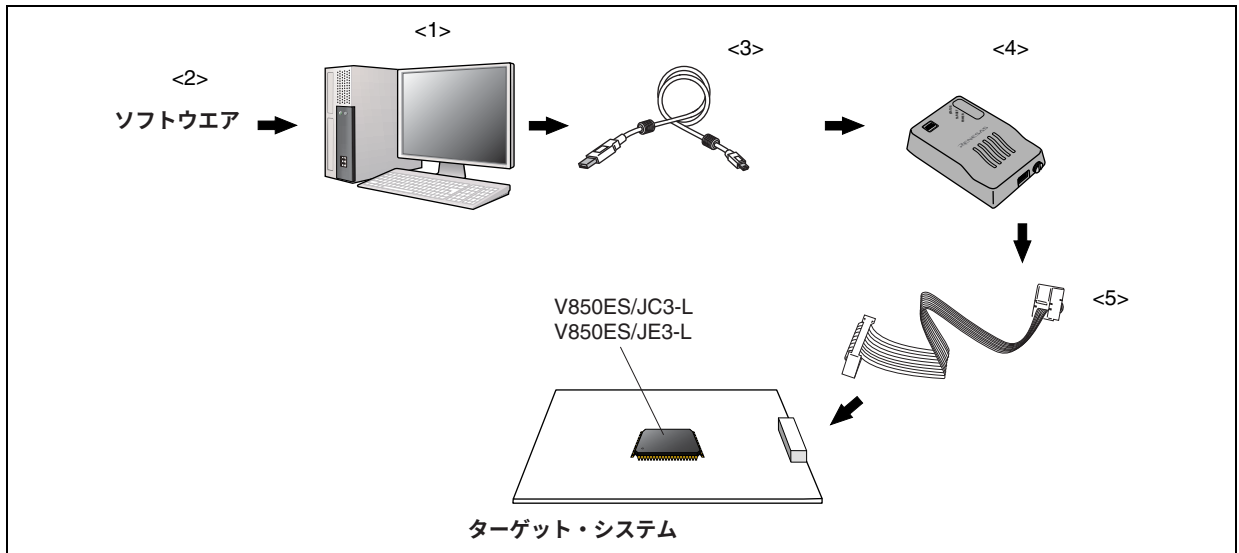
備考 表内の番号は図A-2の番号に対応しています。

A. 4. 2 MINICUBE QB-V850MINILを使用する場合

(1) MINICUBEを使用してのオンチップ・エミュレーション

MINICUBEとホスト・マシン（PC-9821シリーズ, PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-3 オンチップ・エミュレーション・システム構成例



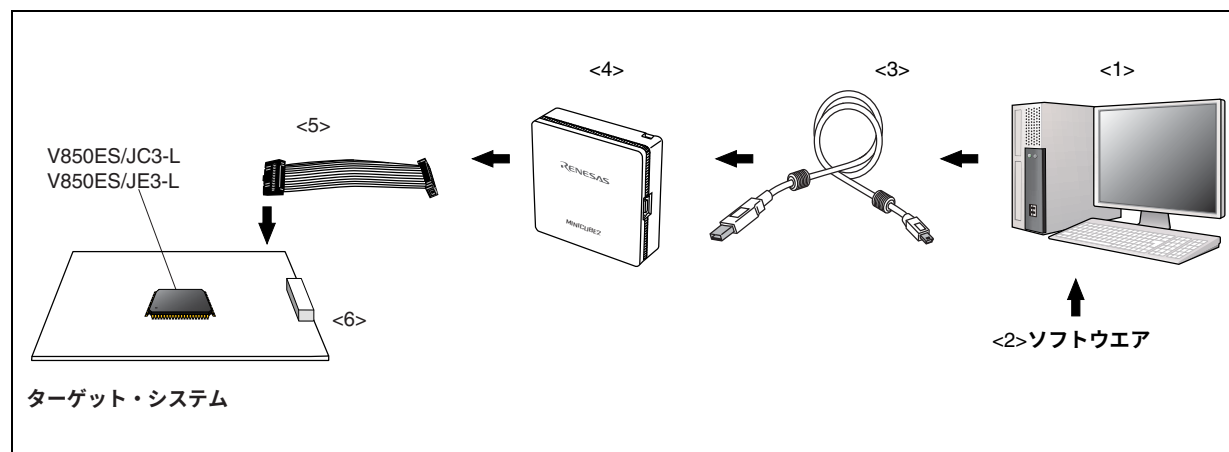
<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッガ ID850QB, デバイス・ファイルなどです。 ルネサス エレクトロニクスのホームページから入手してください http://www2.renesas.com/micro/ja/ods/index.html
<3>USBインターフェース・ケーブル	ホスト・マシンとMINICUBEを接続するUSB対応のケーブルです。MINICUBEに添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE オンチップ・デバッグ・エミュレータ	V850ES/JC3-L, V850ES/JE3-Lを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッガ ID850QBに対応しています。
<5> OCDケーブル	MINICUBEとターゲット・システムを接続するケーブルです。 MINICUBEに添付されています。ケーブルの長さは約20 cmです。

備考 表内の番号は図A-3の番号に対応しています。

A. 4.3 MINICUBE2 QB-MINI2を使用する場合

MINICUBE2とホスト・マシン（PC-9821シリーズ，PC/AT互換機）を接続して使用する場合のシステム構成を次に示します。

図A-4 オンチップ・エミュレーション・システム構成例



<1> ホスト・マシン	USBポート搭載品。
<2> ソフトウェア	統合デバッグ ID850QB, デバイス・ファイルなどです。 ルネサス エレクトロニクスのホームページから入手してください http://www2.renesas.com/micro/ja/ods/index.html
<3>USBインタフェース・ケーブル	ホスト・マシンとMINICUBE2を接続するUSB対応のケーブルです。MINICUBE2に添付しています。ケーブルの長さは約2 mです。
<4> MINICUBE2 オンチップ・デバッグ・エミュレータ	V850ES/JC3-L, V850ES/JE3-Lを使用する応用システムを開発する際に、ハードウェア、ソフトウェアをデバッグするためのオンチップ・エミュレータです。統合デバッグ ID850QBに対応しています。
<5> 16pinターゲット・ケーブル	MINICUBE2とターゲット・システムを接続するケーブルです。 MINICUBE2に添付されています。ケーブルの長さは約15 cmです。
<6>ターゲット・コネクタ（別売品）	2.54 mmピッチの16ピン汎用コネクタを使用してください。

備考 表内の番号は図A-4の番号に対応しています。

A. 5 デバッグ用ツール（ソフトウェア）

ID850QB 統合デバッガ	V850シリーズ用のインサーキット・エミュレータに対応したデバッガです。ID850QBは、Windowsベースのソフトウェアです。 C言語対応のデバッグ機能を強化しており、ソース・プログラムや逆アセンブル表示、メモリ表示をトレース結果に連動させるウインドウ統合機能を使用することにより、トレース結果をソース・プログラムと対応させて表示することもできます。 デバイス・ファイルと組み合わせて使用します。
-------------------	---

A. 6 組み込み用ソフトウェア

RX850, RX850 Pro リアルタイムOS	μITRON3.0仕様に準拠したリアルタイムOSです。 複数の情報テーブルを作成するためのツール（コンフィギュレータ）を添付しています。 RX850よりRX850 Proの方が多機能になっています。
	オーダ名称：μS××××RX703000-△△△△（RX850） μS××××RX703100-△△△△（RX850 Pro）
Applilet [®] （開発中）	V850ES/JC3-L, V850ES/JE3-L用ドライバのサンプル・プログラムを自動生成するドライバ・コンフィギュレータです。
RX-FS850 （ファイル・システム）	FATファイル・システム機能です。 CD-ROMファイル・システム機能をサポートしたファイル・システムです。 リアルタイムOS RX850 Proと共に使用します。

注意 RX850, RX850 Proを購入する際、事前に購入申込書にご記入のうえ、使用許諾契約書を締結してください。

備考 オーダ名称の××××および△△△△は、使用するホスト・マシン、OSなどにより異なります。

μS×××× RX703000-△△△△

μS×××× RX703100-△△△△

△△△△	製品概要	量産時使用数量の上限
001	評価用オブジェクト	量産品には使用しないでください。
100K	量産用オブジェクト	10万個
001M		100万個
010M		1000万個
S01	ソース・プログラム	量産用オブジェクトのソース・プログラム

××××	ホスト・マシン	OS	供給媒体
AB17	PC-9800シリーズ,	日本語Windows	CD-ROM
BB17	IBM PC/AT互換機	英語Windows	
3K17	SPARCstation	Solaris (Rel. 2.5.1)	

A. 7 フラッシュ・メモリ書き込み用ツール

Flashpro V（型番 PG-FP5） フラッシュ・メモリ・プログラマ	フラッシュ・メモリ内蔵マイコン専用のフラッシュ・メモリ・プログラマです。
QB-MINI2（MINICUBE2）	プログラミング機能付きオンチップ・デバッグ・エミュレータです。
フラッシュ・メモリ書き込み用アダプタ （開発中）	フラッシュ・メモリ書き込み用アダプタです。Flashpro Vなどに接続して使用します。

備考 フラッシュ・メモリ書き込み用アダプタ（開発中）は、株式会社内藤電誠町田製作所の製品です。

問い合わせ先：株式会社内藤電誠町田製作所（TEL（042）750-4172）

付録B 製品間の主な違い

表B-1 V850ES/Jx3-L製品間の主な違い

主な差異点		V850ES/JC3-L		V850ES/JE3-L	V850ES/JF3-L	V850ES/JG3-L	
製品名		μPD70F3797, 70F3798, 70F3799, 70F3800, 70F3838	μPD70F3801, 70F3802, 70F3803, 70F3804, 70F3839	μPD70F3805, 70F3806, 70F3807, 70F3808, 70F3840	μPD70F3735, 70F3736	μPD70F3737, 70F3738	μPD70F3792, 70F3793, 70F3841, 70F3842
ピン数		40	48	64	80	100/121	100/121
メモリ	内蔵フラッシュ・メモリ	16/32/64/128/ 256 KB	16/32/64/128/ 256 KB	16/32/64/128/ 256 KB	128/256 KB	128/256 KB	384/512/768/1 024 KB
	内蔵RAM	8/16 KB	8/16 KB	8/16 KB	8/16 KB	8/16 KB	32/40/80 KB
外部バス	バス・タイプ	—	—	—	マルチプレクス	セパレート/ マルチプレクス	セパレート/ マルチプレクス ^注
	アドレス・バス	—	—	—	18	22	22
	アドレス・データ・バス	—	—	—	16	16	16
I/Oポート		27本	34本	50本	66本	84本	83本
タイマ	16ビットTMP	6チャンネル	6チャンネル	6チャンネル	4チャンネル	6チャンネル	6チャンネル
	16ビットTMQ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
	16ビットTMM	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
	時計タイマ	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
	RTC	1チャンネル	1チャンネル	1チャンネル	—	—	1チャンネル
	WDT	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル	1チャンネル
10ビットA/Dコンバータ		5チャンネル	6チャンネル	10チャンネル	8チャンネル	12チャンネル	12チャンネル
8ビットD/Aコンバータ		—	1チャンネル	1チャンネル	1チャンネル	2チャンネル	2チャンネル
インターフェイス	CSIB	2チャンネル	4チャンネル	5チャンネル	3チャンネル	5チャンネル	5チャンネル
	UARTA	2チャンネル	3チャンネル	3チャンネル	3チャンネル	3チャンネル	6チャンネル
	UARTC	—	—	—	—	—	1チャンネル
	I ² C	2チャンネル	3チャンネル	3チャンネル	2チャンネル	3チャンネル	3チャンネル
	USB ^F	—	—	—	—	—	1チャンネル
DMAコントローラ		4チャンネル	4チャンネル	4チャンネル	4チャンネル	4チャンネル	4チャンネル
割り込み要因	外部	6	6	9	9	9	9
	内部	42	46	48	40	48	55
RTCバックアップ・モード		なし	なし	なし	なし	なし	あり
動作電源電圧		2.2~3.6V	2.2~3.6V	2.2~3.6V	2.2~3.6V	2.2~3.6V	2.0~3.6V
パッケージ		40ピンWQFN (6×6 mm)	48ピンWQFN (7×7 mm) , 48ピンLQFP (7×7 mm)	64ピンLQFP (10×10 mm)	80ピンLQFP (14×14 mm) , 80ピンLQFP (12×12 mm)	100ピンLQFP (14×14 mm) , 121ピンFBGA (8×8 mm)	100ピンLQFP (14×14 mm) , 121ピンFBGA (8×8 mm)

注 μPD70F3794, 70F3795, 70F3796, 70F3841, 70F3842はマルチプレクス・バス・モード（セパレート出力可能）

付録C レジスタ索引

(1/10)

略 号	名 称	ユニット	ページ
ADA0CR0	A/D変換結果レジスタ0	ADC	490
ADA0CR0H	A/D変換結果レジスタ0H	ADC	490
ADA0CR1	A/D変換結果レジスタ1	ADC	490
ADA0CR1H	A/D変換結果レジスタ1H	ADC	490
ADA0CR2	A/D変換結果レジスタ2	ADC	490
ADA0CR2H	A/D変換結果レジスタ2H	ADC	490
ADA0CR3	A/D変換結果レジスタ3	ADC	490
ADA0CR3H	A/D変換結果レジスタ3H	ADC	490
ADA0CR4	A/D変換結果レジスタ4	ADC	490
ADA0CR4H	A/D変換結果レジスタ4H	ADC	490
ADA0CR5	A/D変換結果レジスタ5	ADC	490
ADA0CR5H	A/D変換結果レジスタ5H	ADC	490
ADA0CR6	A/D変換結果レジスタ6	ADC	490
ADA0CR6H	A/D変換結果レジスタ6H	ADC	490
ADA0CR7	A/D変換結果レジスタ7	ADC	490
ADA0CR7H	A/D変換結果レジスタ7H	ADC	490
ADA0CR8	A/D変換結果レジスタ8	ADC	490
ADA0CR8H	A/D変換結果レジスタ8H	ADC	490
ADA0CR9	A/D変換結果レジスタ9	ADC	490
ADA0CR9H	A/D変換結果レジスタ9H	ADC	490
ADA0M0	A/Dコンバータ・モード・レジスタ0	ADC	483
ADA0M1	A/Dコンバータ・モード・レジスタ1	ADC	485
ADA0M2	A/Dコンバータ・モード・レジスタ2	ADC	488
ADA0PFM	パワー・フェイル比較モード・レジスタ	ADC	492
ADA0PFT	パワー・フェイル比較しきい値レジスタ	ADC	493
ADA0S	A/Dコンバータ・チャンネル指定レジスタ	ADC	489
ADIC	割り込み制御レジスタ	INTC	739
CB0CTL0	CSIB0制御レジスタ0	CSIB	573
CB0CTL1	CSIB0制御レジスタ1	CSIB	576
CB0CTL2	CSIB0制御レジスタ2	CSIB	577
CB0RIC	割り込み制御レジスタ	INTC	739
CB0RX	CSIB0受信データ・レジスタ	CSIB	571
CB0RXL	CSIB0受信データ・レジスタL	CSIB	571
CB0STR	CSIB0状態レジスタ	CSIB	579
CB0TIC	割り込み制御レジスタ	INTC	739
CB0TX	CSIB0送信データ・レジスタ	CSI	572
CB0TXL	CSIB0送信データ・レジスタL	CSI	572
CB1CTL0	CSIB1制御レジスタ0	CSI	573
CB1CTL1	CSIB1制御レジスタ1	CSI	576

(2/10)

略 号	名 称	ユニット	ページ
CB1CTL2	CSIB1制御レジスタ2	CSI	577
CB1RIC	割り込み制御レジスタ	INTC	739
CB1RX	CSIB1受信データ・レジスタ	CSI	571
CB1RXL	CSIB1受信データ・レジスタL	CSI	571
CB1STR	CSIB1状態レジスタ	CSI	579
CB1TIC	割り込み制御レジスタ	INTC	739
CB1TX	CSIB1送信データ・レジスタ	CSI	572
CB1TXL	CSIB1送信データ・レジスタL	CSI	572
CB2CTL0	CSIB2制御レジスタ0	CSI	573
CB2CTL1	CSIB2制御レジスタ1	CSI	576
CB2CTL2	CSIB2制御レジスタ2	CSI	577
CB2RIC	割り込み制御レジスタ	INTC	739
CB2RX	CSIB2受信データ・レジスタ	CSI	571
CB2RXL	CSIB2受信データ・レジスタL	CSI	571
CB2STR	CSIB2状態レジスタ	CSI	579
CB2TIC	割り込み制御レジスタ	INTC	739
CB2TX	CSIB2送信データ・レジスタ	CSI	572
CB2TXL	CSIB2送信データ・レジスタL	CSI	572
CB3CTL0	CSIB3制御レジスタ0	CSI	573
CB3CTL1	CSIB3制御レジスタ1	CSI	576
CB3CTL2	CSIB3制御レジスタ2	CSI	577
CB3RIC	割り込み制御レジスタ	INTC	739
CB3RX	CSIB3受信データ・レジスタ	CSI	571
CB3RXL	CSIB3受信データ・レジスタL	CSI	571
CB3STR	CSIB3状態レジスタ	CSI	579
CB3TIC	割り込み制御レジスタ	INTC	739
CB3TX	CSIB3送信データ・レジスタ	CSI	572
CB3TXL	CSIB3送信データ・レジスタL	CSI	572
CB4CTL0	CSIB4制御レジスタ0	CSI	573
CB4CTL1	CSIB4制御レジスタ1	CSI	576
CB4CTL2	CSIB4制御レジスタ2	CSI	577
CB4RIC	割り込み制御レジスタ	INTC	739
CB4RX	CSIB4受信データ・レジスタ	CSI	571
CB4RXL	CSIB4受信データ・レジスタL	CSI	571
CB4STR	CSIB4状態レジスタ	CSI	579
CB4TIC	割り込み制御レジスタ	INTC	739
CB4TX	CSIB4送信データ・レジスタ	CSI	572
CB4TXL	CSIB4送信データ・レジスタL	CSI	572
CCLS	CPU動作クロック・ステータス・レジスタ	CG	193
CKC	クロック・コントロール・レジスタ	CG	196
CLM	クロック・モニタ・モード・レジスタ	CLM	812
CRCD	CRCデータ・レジスタ	CRC	822
CRCIN	CRCインプット・レジスタ	CRC	822

(3/10)

略 号	名 称	ユニット	ページ
CTBP	CALLTベース・ポインタ	CPU	60
CTPC	CALLT実行時状態退避レジスタ	CPU	59
CTPSW	CALLT実行時状態退避レジスタ	CPU	59
DA0CS0	D/A変換値設定レジスタ0	DAC	523
DA0M	D/Aコンバータ・モード・レジスタ	DAC	522
DADC0	DMAアドレッシング・コントロール・レジスタ0	DMAC	707
DADC1	DMAアドレッシング・コントロール・レジスタ1	DMAC	707
DADC2	DMAアドレッシング・コントロール・レジスタ2	DMAC	707
DADC3	DMAアドレッシング・コントロール・レジスタ3	DMAC	707
DBC0	DMA転送カウント・レジスタ0	DMAC	706
DBC1	DMA転送カウント・レジスタ1	DMAC	706
DBC2	DMA転送カウント・レジスタ2	DMAC	706
DBC3	DMA転送カウント・レジスタ3	DMAC	706
DBPC	例外／デバッグ・トラップ時状態退避レジスタ	CPU	60
DBPSW	例外／デバッグ・トラップ時状態退避レジスタ	CPU	60
DCHC0	DMAチャネル・コントロール・レジスタ0	DMAC	708
DCHC1	DMAチャネル・コントロール・レジスタ1	DMAC	708
DCHC2	DMAチャネル・コントロール・レジスタ2	DMAC	708
DCHC3	DMAチャネル・コントロール・レジスタ3	DMAC	708
DDA0H	DMAデスティネーション・アドレス・レジスタ0H	DMAC	705
DDA0L	DMAデスティネーション・アドレス・レジスタ0L	DMAC	705
DDA1H	DMAデスティネーション・アドレス・レジスタ1H	DMAC	705
DDA1L	DMAデスティネーション・アドレス・レジスタ1L	DMAC	705
DDA2H	DMAデスティネーション・アドレス・レジスタ2H	DMAC	705
DDA2L	DMAデスティネーション・アドレス・レジスタ2L	DMAC	705
DDA3H	DMAデスティネーション・アドレス・レジスタ3H	DMAC	705
DDA3L	DMAデスティネーション・アドレス・レジスタ3L	DMAC	705
DMAIC0	割り込み制御レジスタ	INTC	739
DMAIC1	割り込み制御レジスタ	INTC	739
DMAIC2	割り込み制御レジスタ	INTC	739
DMAIC3	割り込み制御レジスタ	INTC	739
DSA0H	DMAソース・アドレス・レジスタ0H	DMAC	704
DSA0L	DMAソース・アドレス・レジスタ0L	DMAC	704
DSA1H	DMAソース・アドレス・レジスタ1H	DMAC	704
DSA1L	DMAソース・アドレス・レジスタ1L	DMAC	704
DSA2H	DMAソース・アドレス・レジスタ2H	DMAC	704
DSA2L	DMAソース・アドレス・レジスタ2L	DMAC	704
DSA3H	DMAソース・アドレス・レジスタ3H	DMAC	704
DSA3L	DMAソース・アドレス・レジスタ3L	DMAC	704
DTFR0	DMAトリガ要因レジスタ0	DMAC	709
DTFR1	DMAトリガ要因レジスタ1	DMAC	709
DTFR2	DMAトリガ要因レジスタ2	DMAC	709
DTFR3	DMAトリガ要因レジスタ3	DMAC	709

(4/10)

略 号	名 称	ユニット	ページ
ECR	割り込み要因レジスタ	CPU	57
EIPC	割り込み時状態退避レジスタ	CPU	56
EIPSW	割り込み時状態退避レジスタ	CPU	56
FEPC	NMI時状態退避レジスタ	CPU	57
FEPSW	NMI時状態退避レジスタ	CPU	57
IIC0	IICシフト・レジスタ0	I ² C	641
IIC1	IICシフト・レジスタ1	I ² C	641
IIC2	IICシフト・レジスタ2	I ² C	641
IICC0	IICコントロール・レジスタ0	I ² C	627
IICC1	IICコントロール・レジスタ1	I ² C	627
IICC2	IICコントロール・レジスタ2	I ² C	627
IICCL0	IICクロック選択レジスタ0	I ² C	637
IICCL1	IICクロック選択レジスタ1	I ² C	637
IICCL2	IICクロック選択レジスタ2	I ² C	637
IICF0	IICフラグ・レジスタ0	I ² C	635
IICF1	IICフラグ・レジスタ1	I ² C	635
IICF2	IICフラグ・レジスタ2	I ² C	635
IICIC0	割り込み制御レジスタ	INTC	739
IICIC1	割り込み制御レジスタ	INTC	739
IICIC2	割り込み制御レジスタ	INTC	739
IICS0	IIC状態レジスタ0	I ² C	632
IICS1	IIC状態レジスタ1	I ² C	632
IICS2	IIC状態レジスタ2	I ² C	632
IICX0	IIC機能拡張レジスタ0	I ² C	638
IICX1	IIC機能拡張レジスタ1	I ² C	638
IICX2	IIC機能拡張レジスタ2	I ² C	638
IMR0	割り込みマスク・レジスタ0	INTC	742
IMR0H	割り込みマスク・レジスタ0H	INTC	742
IMR0L	割り込みマスク・レジスタ0L	INTC	742
IMR1	割り込みマスク・レジスタ1	INTC	742
IMR1H	割り込みマスク・レジスタ1H	INTC	742
IMR1L	割り込みマスク・レジスタ1L	INTC	742
IMR2	割り込みマスク・レジスタ2	INTC	742
IMR2H	割り込みマスク・レジスタ2H	INTC	742
IMR2L	割り込みマスク・レジスタ2L	INTC	742
IMR3	割り込みマスク・レジスタ3	INTC	742
IMR3H	割り込みマスク・レジスタ3H	INTC	742
IMR3L	割り込みマスク・レジスタ3L	INTC	742
INTF0	外部割り込み立ち下がりエッジ指定レジスタ0	INTC	755
INTF3	外部割り込み立ち下がりエッジ指定レジスタ3	INTC	756
INTF9H	外部割り込み立ち下がりエッジ指定レジスタ9H	INTC	757
INTR0	外部割り込み立ち上がりエッジ指定レジスタ0	INTC	755
INTR3	外部割り込み立ち上がりエッジ指定レジスタ3	INTC	756

(5/10)

略 号	名 称	ユニット	ページ
INTR9H	外部割り込み立ち上がりエッジ指定レジスタ9H	INTC	757
ISPR	インサースビス・プライオリティ・レジスタ	INTC	744
KRIC	割り込み制御レジスタ	INTC	739
KRM	キー・リターン・モード・レジスタ	KR	763
LOCKR	ロック・レジスタ	CG	197
LVIIC	割り込み制御レジスタ	INTC	739
LVIM	低電圧検出レジスタ	LVI	817
LVIS	低電圧検出レベル選択レジスタ	LVI	818
NFC	ノイズ除去制御レジスタ	INTC	758
OCDM	オンチップ・デバッグ・モード・レジスタ	DCU	859
OCKS0	IIC分周クロック選択レジスタ0	I ² C	641
OCKS1	IIC分周クロック選択レジスタ1	I ² C	641
OSTS	発振安定時間選択レジスタ	スタンバイ	769
P0	ポート0レジスタ	ポート	103
P1	ポート1レジスタ	ポート	108
P3	ポート3レジスタ	ポート	111
P3H	ポート3レジスタH	ポート	111
P3L	ポート3レジスタL	ポート	111
P4	ポート4レジスタ	ポート	118
P5	ポート5レジスタ	ポート	121
P7H	ポート7レジスタH	ポート	127
P7L	ポート7レジスタL	ポート	127
P9	ポート9レジスタ	ポート	130
P9H	ポート9レジスタH	ポート	130
P9L	ポート9レジスタL	ポート	130
PC	プログラム・カウンタ	CPU	54
PCC	プロセッサ・クロック・コントロール・レジスタ	CG	188
PCM	ポートCMレジスタ	ポート	141
PDL	ポートDLレジスタ	ポート	143
PDLL	ポートDLレジスタL	ポート	143
PF0	ポート0ファンクション・レジスタ	ポート	107
PF3	ポート3ファンクション・レジスタ	ポート	117
PF3H	ポート3ファンクション・レジスタH	ポート	117
PF3L	ポート3ファンクション・レジスタL	ポート	117
PF4	ポート4ファンクション・レジスタ	ポート	120
PF5	ポート5ファンクション・レジスタ	ポート	125
PF9	ポート9ファンクション・レジスタ	ポート	140
PF9H	ポート9ファンクション・レジスタH	ポート	140
PF9L	ポート9ファンクション・レジスタL	ポート	140
PFC0	ポート0ファンクション・コントロール・レジスタ	ポート	106
PFC3	ポート3ファンクション・コントロール・レジスタ	ポート	115
PFC3H	ポート3ファンクション・コントロール・レジスタH	ポート	115
PFC3L	ポート3ファンクション・コントロール・レジスタL	ポート	115

(6/10)

略 号	名 称	ユニット	ページ
PFC4	ポート4ファンクション・コントロール・レジスタ	ポート	119
PFC5	ポート5ファンクション・コントロール・レジスタ	ポート	123
PFC9	ポート9ファンクション・コントロール・レジスタ	ポート	136
PFC9H	ポート9ファンクション・コントロール・レジスタH	ポート	136
PFC9L	ポート9ファンクション・コントロール・レジスタL	ポート	136
PFCE0	ポート0ファンクション・コントロール拡張レジスタ	ポート	106
PFCE3L	ポート3ファンクション・コントロール拡張レジスタL	ポート	115
PFCE5	ポート5ファンクション・コントロール拡張レジスタ	ポート	123
PFCE9	ポート9ファンクション・コントロール拡張レジスタ	ポート	137
PFCE9H	ポート9ファンクション・コントロール拡張レジスタH	ポート	137
PFCE9L	ポート9ファンクション・コントロール拡張レジスタL	ポート	137
PIC0	割り込み制御レジスタ	INTC	739
PIC1	割り込み制御レジスタ	INTC	739
PIC2	割り込み制御レジスタ	INTC	739
PIC3	割り込み制御レジスタ	INTC	739
PIC4	割り込み制御レジスタ	INTC	739
PIC5	割り込み制御レジスタ	INTC	739
PIC6	割り込み制御レジスタ	INTC	739
PIC7	割り込み制御レジスタ	INTC	739
PLLCTL	PLLコントロール・レジスタ	CG	195
PLLS	PLLロックアップ時間指定レジスタ	CG	198
PM0	ポート0モード・レジスタ	ポート	104
PM1	ポート1モード・レジスタ	ポート	109
PM3	ポート3モード・レジスタ	ポート	112
PM3H	ポート3モード・レジスタH	ポート	112
PM3L	ポート3モード・レジスタL	ポート	112
PM4	ポート4モード・レジスタ	ポート	118
PM5	ポート5モード・レジスタ	ポート	122
PM7H	ポート7モード・レジスタH	ポート	128
PM7L	ポート7モード・レジスタL	ポート	128
PM9	ポート9モード・レジスタ	ポート	131
PM9H	ポート9モード・レジスタH	ポート	131
PM9L	ポート9モード・レジスタL	ポート	131
PMC0	ポート0モード・コントロール・レジスタ	ポート	105
PMC3	ポート3モード・コントロール・レジスタ	ポート	113
PMC3H	ポート3モード・コントロール・レジスタH	ポート	113
PMC3L	ポート3モード・コントロール・レジスタL	ポート	113
PMC4	ポート4モード・コントロール・レジスタ	ポート	119
PMC5	ポート5モード・コントロール・レジスタ	ポート	122
PMC9	ポート9モード・コントロール・レジスタ	ポート	132
PMC9H	ポート9モード・コントロール・レジスタH	ポート	132
PMC9L	ポート9モード・コントロール・レジスタL	ポート	132
PMCM	ポートCMモード・レジスタ	ポート	141

(7/10)

略 号	名 称	ユニット	ページ
PMDL	ポートDLモード・レジスタ	ポート	143
PMDLL	ポートDLモード・レジスタL	ポート	143
PRCMD	コマンド・レジスタ	CPU	87
PRSCM0	プリスケラ・コンペア・レジスタ0	WT, RTC	427, 452
PRSCM1	プリスケラ・コンペア・レジスタ1	BRG	616
PRSCM2	プリスケラ・コンペア・レジスタ2	BRG	616
PRSCM3	プリスケラ・コンペア・レジスタ3	BRG	616
PRSM0	プリスケラ・モード・レジスタ0	WT, RTC	426, 451
PRSM1	プリスケラ・モード・レジスタ1	BRG	615
PRSM2	プリスケラ・モード・レジスタ2	BRG	615
PRSM3	プリスケラ・モード・レジスタ3	BRG	615
PSC	パワー・セーブ・コントロール・レジスタ	CG	767
PSMR	パワー・セーブ・モード・レジスタ	CG	768
PSW	プログラム・ステータス・ワード	CPU	58
r0-r31	汎用レジスタ	CPU	54
RC1ALH	アラーム時設定レジスタ	RTC	449
RC1ALM	アラーム分設定レジスタ	RTC	449
RC1ALW	アラーム曜日設定レジスタ	RTC	450
RC1CC0	RTCコントロール・レジスタ0	RTC	438
RC1CC1	RTCコントロール・レジスタ1	RTC	438
RC1CC2	RTCコントロール・レジスタ2	RTC	440
RC1CC3	RTCコントロール・レジスタ3	RTC	441
RC1DAY	RTC日カウント・レジスタ	RTC	445
RC1HOUR	RTC時カウント・レジスタ	RTC	443
RC1MIN	RTC分カウント・レジスタ	RTC	443
RC1MONTH	RTC月カウント・レジスタ	RTC	447
RC1SEC	RTC秒カウント・レジスタ	RTC	442
RC1SUBC	RTCサブカウント・レジスタ	RTC	442
RC1SUBU	RTC時計誤差補正レジスタ	RTC	448
RC1WEEK	RTC曜日カウント・レジスタ	RTC	446
RC1YEAR	RTC年カウント・レジスタ	RTC	447
RCM	内蔵発振モード・レジスタ	CG	192
REGOVL0	レギュレータ出力電圧レベル制御レジスタ0	REGC	771
REGPR	レギュレータ・プロテクション・レジスタ	REGC	770
RESF	リセット要因フラグ・レジスタ	リセット	799
RTBH0	リアルタイム出力バッファ・レジスタ0H	RTP	472
RTBL0	リアルタイム出力バッファ・レジスタ0L	RTP	472
RTC0IC	割り込み制御レジスタ	INTC	739
RTC1IC	割り込み制御レジスタ	INTC	739
RTC2IC	割り込み制御レジスタ	INTC	739
RTPC0	リアルタイム出力ポート・コントロール・レジスタ0	RTP	474
RTPM0	リアルタイム出力ポート・モード・レジスタ0	RTP	473
SELCNT0	セレクト動作制御レジスタ0	タイマ	300

(8/10)

略 号	名 称	ユニット	ページ
SVA0	スレーブ・アドレス・レジスタ0	I ² C	642
SVA1	スレーブ・アドレス・レジスタ1	I ² C	642
SVA2	スレーブ・アドレス・レジスタ2	I ² C	642
SYS	システム・ステータス・レジスタ	CPU	88
TM0CMP0	TMM0コンペア・レジスタ0	タイマ	416
TM0CTL0	TMM0制御レジスタ0	タイマ	417
TM0EQIC0	割り込み制御レジスタ	INTC	739
TP0CCIC0	割り込み制御レジスタ	INTC	739
TP0CCIC1	割り込み制御レジスタ	INTC	739
TP0CCR0	TMP0キャプチャ／コンペア・レジスタ0	タイマ	218
TP0CCR1	TMP0キャプチャ／コンペア・レジスタ1	タイマ	219
TP0CNT	TMP0カウンタ・リード・バッファ・レジスタ	タイマ	221
TP0CTL0	TMP0制御レジスタ0	タイマ	212
TP0CTL1	TMP0制御レジスタ1	タイマ	213
TP0IOC0	TMP0I/O制御レジスタ0	タイマ	214
TP0IOC1	TMP0I/O制御レジスタ1	タイマ	215
TP0IOC2	TMP0I/O制御レジスタ2	タイマ	216
TP0OPT0	TMP0オプション・レジスタ0	タイマ	217
TP0OVIC	割り込み制御レジスタ	INTC	739
TP1CCIC0	割り込み制御レジスタ	INTC	739
TP1CCIC1	割り込み制御レジスタ	INTC	739
TP1CCR0	TMP1キャプチャ／コンペア・レジスタ0	タイマ	218
TP1CCR1	TMP1キャプチャ／コンペア・レジスタ1	タイマ	220
TP1CNT	TMP1カウンタ・リード・バッファ・レジスタ	タイマ	221
TP1CTL0	TMP1制御レジスタ0	タイマ	212
TP1CTL1	TMP1制御レジスタ1	タイマ	213
TP1IOC0	TMP1I/O制御レジスタ0	タイマ	214
TP1IOC1	TMP1I/O制御レジスタ1	タイマ	215
TP1IOC2	TMP1I/O制御レジスタ2	タイマ	215
TP1OPT0	TMP1オプション・レジスタ0	タイマ	217
TP1OVIC	割り込み制御レジスタ	INTC	739
TP2CCIC0	割り込み制御レジスタ	INTC	739
TP2CCIC1	割り込み制御レジスタ	INTC	739
TP2CCR0	TMP2キャプチャ／コンペア・レジスタ0	タイマ	218
TP2CCR1	TMP2キャプチャ／コンペア・レジスタ1	タイマ	220
TP2CNT	TMP2カウンタ・リード・バッファ・レジスタ	タイマ	221
TP2CTL0	TMP2制御レジスタ0	タイマ	212
TP2CTL1	TMP2制御レジスタ1	タイマ	213
TP2IOC0	TMP2I/O制御レジスタ0	タイマ	214
TP2IOC1	TMP2I/O制御レジスタ1	タイマ	215
TP2IOC2	TMP2I/O制御レジスタ2	タイマ	216
TP2OPT0	TMP2オプション・レジスタ0	タイマ	217
TP2OVIC	割り込み制御レジスタ	INTC	739
TP3CCIC0	割り込み制御レジスタ	INTC	739

(9/10)

略 号	名 称	ユニット	ページ
TP3CCIC1	割り込み制御レジスタ	INTC	739
TP3CCR0	TMP3キャプチャ／コンペア・レジスタ0	タイマ	218
TP3CCR1	TMP3キャプチャ／コンペア・レジスタ1	タイマ	220
TP3CNT	TMP3カウンタ・リード・バッファ・レジスタ	タイマ	221
TP3CTL0	TMP3制御レジスタ0	タイマ	212
TP3CTL1	TMP3制御レジスタ1	タイマ	213
TP3IOC0	TMP3I/O制御レジスタ0	タイマ	214
TP3IOC1	TMP3I/O制御レジスタ1	タイマ	215
TP3IOC2	TMP3I/O制御レジスタ2	タイマ	216
TP3OPT0	TMP3オプション・レジスタ0	タイマ	217
TP3OVIC	割り込み制御レジスタ	INTC	739
TP4CCIC0	割り込み制御レジスタ	INTC	739
TP4CCIC1	割り込み制御レジスタ	INTC	739
TP4CCR0	TMP4キャプチャ／コンペア・レジスタ0	タイマ	218
TP4CCR1	TMP4キャプチャ／コンペア・レジスタ1	タイマ	220
TP4CNT	TMP4カウンタ・リード・バッファ・レジスタ	タイマ	221
TP4CTL0	TMP4制御レジスタ0	タイマ	212
TP4CTL1	TMP4制御レジスタ1	タイマ	213
TP4IOC0	TMP4I/O制御レジスタ0	タイマ	214
TP4IOC1	TMP4I/O制御レジスタ1	タイマ	215
TP4IOC2	TMP4I/O制御レジスタ2	タイマ	216
TP4OPT0	TMP4オプション・レジスタ0	タイマ	217
TP4OVIC	割り込み制御レジスタ	INTC	739
TP5CCIC0	割り込み制御レジスタ	INTC	739
TP5CCIC1	割り込み制御レジスタ	INTC	739
TP5CCR0	TMP5キャプチャ／コンペア・レジスタ0	タイマ	218
TP5CCR1	TMP5キャプチャ／コンペア・レジスタ1	タイマ	220
TP5CNT	TMP5カウンタ・リード・バッファ・レジスタ	タイマ	221
TP5CTL0	TMP5制御レジスタ0	タイマ	212
TP5CTL1	TMP5制御レジスタ1	タイマ	213
TP5IOC0	TMP5I/O制御レジスタ0	タイマ	214
TP5IOC1	TMP5I/O制御レジスタ1	タイマ	215
TP5IOC2	TMP5I/O制御レジスタ2	タイマ	216
TP5OPT0	TMP5オプション・レジスタ0	タイマ	217
TP5OVIC	割り込み制御レジスタ	INTC	739
TQ0CCIC0	割り込み制御レジスタ	INTC	739
TQ0CCIC1	割り込み制御レジスタ	INTC	739
TQ0CCIC2	割り込み制御レジスタ	INTC	739
TQ0CCIC3	割り込み制御レジスタ	INTC	739
TQ0CCR0	TMQ0キャプチャ／コンペア・レジスタ0	タイマ	314
TQ0CCR1	TMQ0キャプチャ／コンペア・レジスタ1	タイマ	316
TQ0CCR2	TMQ0キャプチャ／コンペア・レジスタ2	タイマ	318
TQ0CCR3	TMQ0キャプチャ／コンペア・レジスタ3	タイマ	320

(10/10)

略 号	名 称	ユニット	ページ
TQ0CNT	TMQ0カウンタ・リード・バッファ・レジスタ	タイマ	321
TQ0CTL0	TMQ0制御レジスタ0	タイマ	308
TQ0CTL1	TMQ0制御レジスタ1	タイマ	309
TQ0IOC0	TMQ0I/O制御レジスタ0	タイマ	310
TQ0IOC1	TMQ0I/O制御レジスタ1	タイマ	311
TQ0IOC2	TMQ0I/O制御レジスタ2	タイマ	312
TQ0OPT0	TMQ0オプション・レジスタ0	タイマ	313
TQ0OVIC	割り込み制御レジスタ	INTC	739
UA0CTL0	UARTA0制御レジスタ0	UARTA	533
UA0CTL1	UARTA0制御レジスタ1	UARTA	558
UA0CTL2	UARTA0制御レジスタ2	UARTA	559
UA0OPT0	UARTA0オプション制御レジスタ0	UARTA	535
UA0RIC	割り込み制御レジスタ	INTC	739
UA0RX	UARTA0受信データ・レジスタ	UARTA	539
UA0STR	UARTA0状態レジスタ	UARTA	537
UA0TIC	割り込み制御レジスタ	INTC	739
UA0TX	UARTA0送信データ・レジスタ	UARTA	540
UA1CTL0	UARTA1制御レジスタ0	UARTA	533
UA1CTL1	UARTA1制御レジスタ1	UARTA	558
UA1CTL2	UARTA1制御レジスタ2	UARTA	559
UA1OPT0	UARTA1オプション制御レジスタ0	UARTA	535
UA1RIC	割り込み制御レジスタ	INTC	739
UA1RX	UARTA1受信データ・レジスタ	UARTA	539
UA1STR	UARTA1状態レジスタ	UARTA	537
UA1TIC	割り込み制御レジスタ	INTC	739
UA1TX	UARTA1送信データ・レジスタ	UARTA	540
UA2CTL0	UARTA2制御レジスタ0	UARTA	533
UA2CTL1	UARTA2制御レジスタ1	UARTA	558
UA2CTL2	UARTA2制御レジスタ2	UARTA	559
UA2OPT0	UARTA2オプション制御レジスタ0	UARTA	535
UA2RIC	割り込み制御レジスタ	INTC	739
UA2RX	UARTA2受信データ・レジスタ	UARTA	539
UA2STR	UARTA2状態レジスタ	UARTA	537
UA2TIC	割り込み制御レジスタ	INTC	739
UA2TX	UARTA2送信データ・レジスタ	UARTA	540
VSWC	システム・ウェイト・コントロール・レジスタ	CPU	89
WDE	ウォッチドッグ・タイマ・イネーブル・レジスタ	WDT	469
WDTM2	ウォッチドッグ・タイマ・モード・レジスタ2	WDT	467
WTIC	割り込み制御レジスタ	INTC	739
WTIIC	割り込み制御レジスタ	INTC	739
WTM	時計タイマ動作モード・レジスタ	WT	428

付録D 命令セット一覧

D.1 凡 例

(1) オペランド記述に使われる略号

略 号	説 明
reg1	汎用レジスタ（ソース・レジスタとして使用）
reg2	汎用レジスタ（おもにデスティネーション・レジスタとして使用。一部の命令で、ソース・レジスタとしても使用。）
reg3	汎用レジスタ（おもに除算結果の余り、乗算結果の上位32ビットを格納）
bit#3	ビット・ナンバ指定用3ビット・データ
imm ×	×ビット・イミディエト・データ
disp ×	×ビット・ディスプレースメント・データ
regID	システム・レジスタ番号
vector	トラップ・ベクタ（00H-1FH）を指定する5ビット・データ
cccc	条件コードを示す4ビット・データ
sp	スタック・ポインタ（r3）
ep	エレメント・ポインタ（r30）
list ×	×個のレジスタ・リスト

(2) オペランドに使われる略号

略 号	説 明
R	reg1またはregIDを指定するコードの1ビット分データ
r	reg2を指定するコードの1ビット分データ
w	reg3を指定するコードの1ビット分データ
d	ディスプレースメントの1ビット分データ
l	イミディエトの1ビット分データ（イミディエトの上位ビットを示す）
i	イミディエトの1ビット分データ
cccc	条件コードを示す4ビット・データ
CCCC	Bcond命令の条件コードを示す4ビット・データ
bbb	ビット・ナンバ指定用3ビット・データ
L	レジスタ・リスト中のプログラム・レジスタを指定する1ビット分データ

(3) オペレーションに使われる略号

略 号	説 明
←	代入
GR []	汎用レジスタ
SR []	システム・レジスタ
zero-extend (n)	nをワード長までゼロ拡張する。
sign-extend (n)	nをワード長まで符号拡張する。
load-memory (a, b)	アドレス「a」からサイズ「b」のデータを読み出す。
store-memory (a, b, c)	アドレス「a」に、データ「b」をサイズ「c」で書き込む。
load-memory-bit (a, b)	アドレス「a」のビット「b」を読み出す。
store-memory-bit (a, b, c)	アドレス「a」のビット「b」に「c」を書き込む。
saturated (n)	nの飽和处理を行う (nは2の補数)。 nが計算の結果、 $n \geq 7FFFFFFFH$ となった場合、 $n = 7FFFFFFFH$ とする。 nが計算の結果、 $n \leq 80000000H$ となった場合、 $n = 80000000H$ とする。
result	結果をフラグに反映する。
Byte	バイト (8ビット)
Half-word	ハーフワード (16ビット)
Word	ワード (32ビット)
+	加算
-	減算
//	ビット連結
×	乗算
÷	除算
%	除算結果の余り
AND	論理積
OR	論理和
XOR	排他的論理和
NOT	論理否定
logically shift left by	論理左シフト
logically shift right by	論理右シフト
arithmetically shift right by	算術右シフト

(4) 実行クロックに使われる略号

略 号	説 明
i	命令実行直後にほかの命令を実行する場合 (issue)
r	命令実行直後に同一命令を繰り返す場合 (repeat)
l	命令実行結果を命令実行直後の命令で利用する場合 (latency)

(5) フラグの動作に使われる略号

略 号	説 明
(ブランク)	変化なし
0	0にクリア
×	結果に従ってセットまたはクリアされる。
R	以前に退避した値がリストアされる。

(6) 条件コード

条件コード (cccc)	条件式	説 明
0000	$OV = 1$	Overflow
1000	$OV = 0$	No overflow
0001	$CY = 1$	Carry Lower (Less than)
1001	$CY = 0$	No carry No lower (Greater than or equal)
0010	$Z = 1$	Zero
1010	$Z = 0$	Not zero
0011	$(CY \text{ or } Z) = 1$	Not higher (Less than or equal)
1011	$(CY \text{ or } Z) = 0$	Higher (Greater than)
0100	$S = 1$	Negative
1100	$S = 0$	Positive
0101	—	Always (無条件)
1101	$SAT = 1$	Saturated
0110	$(S \text{ xor } OV) = 1$	Less than signed
1110	$(S \text{ xor } OV) = 0$	Greater than or equal signed
0111	$((S \text{ xor } OV) \text{ or } Z) = 1$	Less than or equal signed
1111	$((S \text{ xor } OV) \text{ or } Z) = 0$	Greater than signed

D.2 インストラクション・セット（アルファベット順）

(1/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
ADD	reg1, reg2	rrrrr001110RRRRR	GR[reg2] ← GR[reg2] + GR[reg1]	1	1	1	×	×	×	×	
	imm5, reg2	rrrrr010010iiii	GR[reg2] ← GR[reg2] + sign-extend (imm5)	1	1	1	×	×	×	×	
ADDI	imm16, reg1, reg2	rrrrr110000RRRRR iiiiiiiiiiiiiiii	GR[reg2] ← GR[reg1] + sign-extend (imm16)	1	1	1	×	×	×	×	
AND	reg1, reg2	rrrrr001010RRRRR	GR[reg2] ← GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
ANDI	imm16, reg1, reg2	rrrrr110110RRRRR iiiiiiiiiiiiiiii	GR[reg2] ← GR[reg1] AND zero-extend (imm16)	1	1	1		0	×	×	
Bcond	disp9	dddd1011ddcccc 注1	if conditions are satisfied	2	2	2					
			then PC ← PC + sign-extend (disp9)	注2	注2	注2					
			条件不成立時	1	1	1					
BSH	reg2, reg3	rrrrr1111100000 wwww01101000010	GR[reg3] ← GR[reg2] (23:16) // GR[reg2] (31:24) // GR[reg2] (7:0) // GR[reg2] (15:8)	1	1	1	×	0	×	×	
BSW	reg2, reg3	rrrrr1111100000 wwww01101000000	GR[reg3] ← GR[reg2] (7:0) // GR[reg2] (15:8) // GR[reg2] (23:16) // GR[reg2] (31:24)	1	1	1	×	0	×	×	
CALLT	imm6	0000001000iiii	CTPC ← PC + 2 (return PC) CTPSW ← PSW adr ← CTBP + zero-extend (imm6 logically shift left by 1) PC ← CTBP + zero-extend (Load-memory (adr, Half-word))	4	4	4					
CLR1	bit#3, disp16[reg1]	10bbb111110RRRRR dddddddddddddd	adr ← GR[reg1] + sign-extend (disp16)	3	3	3				×	
			Zフラグ ← Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 0)	注3	注3	注3					
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100100	adr ← GR[reg1] Zフラグ ← Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 0)	3	3	3				×	
CMOV	cccc, imm5, reg2, reg3	rrrrr11111iiii wwww011000cccc0	if conditions are satisfied then GR[reg3] ← sign-extend (imm5) else GR[reg3] ← GR[reg2]	1	1	1					
	cccc, reg1, reg2, reg3	rrrrr11111RRRRR wwww011001cccc0	if conditions are satisfied then GR[reg3] ← GR[reg1] else GR[reg3] ← GR[reg2]	1	1	1					
CMP	reg1, reg2	rrrrr00111RRRRR	result ← GR[reg2] − GR[reg1]	1	1	1	×	×	×	×	
	imm5, reg2	rrrrr01001iiii	result ← GR[reg2] − sign-extend (imm5)	1	1	1	×	×	×	×	
CTRET		000001111100000	PC ← CTPC	3	3	3	R	R	R	R	R
		0000000101000100	PSW ← CTPSW								
DBRET		000001111100000	PC ← DBPC	3	3	3	R	R	R	R	R
		0000000101000110	PSW ← DBPSW								
DBTRAP		1111100001000000	DBPC ← PC + 2 (復帰PC)	3	3	3					
			DBPSW ← PSW								
			PSW.NP ← 1								
			PSW.EP ← 1								
			PSW.ID ← 1								
DI		000001111100000	PC ← 00000060H								
		0000000101100000	PSW.ID ← 1	1	1	1					

(2/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
DISPOSE	imm5, list12	00000110011111L LLLLLLLLLLLL00000	sp←sp+zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp+4 repeat 2 steps above until all regs in list12 is loaded	n+1 注4	n+1 注4	n+1 注4					
	imm5, list12 [reg1]	00000110011111L LLLLLLLLLLLLRRRRR 注5	sp←sp+zero-extend (imm5 logically shift left by 2) GR[reg in list12]←Load-memory (sp, Word) sp←sp+4 repeat 2 steps above until all regs in list12 is loaded PC←GR[reg1]	n+3 注4	n+3 注4	n+3 注4					
DIV	reg1, reg2, reg3	rrrrr11111RRRRR WWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVH	reg1, reg2	rrrrr000010RRRRR	GR[reg2]←GR[reg2]÷GR[reg1] ^{注6}	35	35	35		×	×	×	
	reg1, reg2, reg3	rrrrr11111RRRRR WWWW01011000000	GR[reg2]←GR[reg2]÷GR[reg1] ^{注6} GR[reg3]←GR[reg2]%GR[reg1]	35	35	35		×	×	×	
DIVHU	reg1, reg2, reg3	rrrrr11111RRRRR WWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] ^{注6} GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
DIVU	reg1, reg2, reg3	rrrrr11111RRRRR WWWW01011000010	GR[reg2]←GR[reg2]÷GR[reg1] GR[reg3]←GR[reg2]%GR[reg1]	34	34	34		×	×	×	
EI		1000011111100000 0000000101100000	PSW.ID←0	1	1	1					
HALT		0000011111100000 0000000100100000	停止する	1	1	1					
HSW	reg2, reg3	rrrrr11111000000 WWWW01101000100	GR[reg3]←GR[reg2] (15:0) // GR[reg2] (31:16)	1	1	1	×	0	×	×	
JARL	disp22, reg2	rrrrr11110dddddd dddddddddddddd0 注7	GR[reg2]←PC+4 PC←PC+sign-extend(disp22)	2	2	2					
JMP	[reg1]	00000000011RRRRR	PC←GR[reg1]	3	3	3					
JR	disp22	0000011110dddddd dddddddddddddd0 注7	PC←PC+sign-extend(disp22)	2	2	2					
LD.B	disp16[reg1], reg2	rrrrr111000RRRRR dddddddddddddd0	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注11					
LD.BU	disp16[reg1], reg2	rrrrr11110bRRRRR dddddddddddddd1 注8, 10	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注11					
LD.H	disp16[reg1], reg2	rrrrr111001RRRRR dddddddddddddd0 注8	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注11					
LDSR	reg2, regID	rrrrr11111RRRRR 000000000100000 注12	SR[regID]←GR[reg2]	1	1	1					
			regID = PSW以外 regID = PSW	1	1	1	×	×	×	×	×
LD.HU	disp16[reg1], reg2	rrrrr11111RRRRR dddddddddddddd1 注8	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注11					

(3/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
LD.W	disp16[reg1], reg2	rrrrr111001RRRRR dddddddddddddd1 注8	adr←GR[reg1]+sign-extend (disp16) GR[reg2]←Load-memory (adr, Word)	1	1	注11					
MOV	reg1, reg2	rrrrr00000RRRRR	GR[reg2]←GR[reg1]	1	1	1					
	imm5, reg2	rrrrr010000iiii	GR[reg2]←sign-extend (imm5)	1	1	1					
	imm32, reg1	00000110001RRRRR iiiiiiiiiiiiiiii IIIIIIIIIIIIIIII	GR[reg1]←imm32	2	2	2					
MOVEA	imm16, reg1, reg2	rrrrr110001RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]+sign-extend (imm16)	1	1	1					
MOVHI	imm16, reg1, reg2	rrrrr110010RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1]+(imm16 // 0 ¹⁶)	1	1	1					
MUL	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01000100000 注14	GR[reg3] // GR[reg2]←GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii wwwww01001IIII00 注13	GR[reg3] // GR[reg2]←GR[reg2] × sign-extend (imm9)	1	4	5					
MULH	reg1, reg2	rrrrr000111RRRRR	GR[reg2]←GR[reg2] ^{注6} × GR[reg1] ^{注6}	1	1	2					
	imm5, reg2	rrrrr010111iiii	GR[reg2]←GR[reg2] ^{注6} × sign-extend (imm5)	1	1	2					
MULHI	imm16, reg1, reg2	rrrrr110111RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] ^{注6} × imm16	1	1	2					
MULU	reg1, reg2, reg3	rrrrr11111RRRRR wwwww01000100010 注14	GR[reg3] // GR[reg2]←GR[reg2] × GR[reg1]	1	4	5					
	imm9, reg2, reg3	rrrrr11111iiii wwwww01001IIII10 注13	GR[reg3] // GR[reg2]←GR[reg2] × zero-extend (imm9)	1	4	5					
NOP		0000000000000000	何もせず最低1クロック費やします	1	1	1					
NOT	reg1, reg2	rrrrr000001RRRRR	GR[reg2]←NOT (GR[reg1])	1	1	1		0	×	×	
NOT1	bit#3, disp16[reg1]	01bbb11110RRRRR dddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, Zフラグ)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100010	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, Zフラグ)	3 注3	3 注3	3 注3				×	
OR	reg1, reg2	rrrrr001000RRRRR	GR[reg2]←GR[reg2] OR GR[reg1]	1	1	1		0	×	×	
ORI	imm16, reg1, reg2	rrrrr110100RRRRR iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] OR zero-extend (imm16)	1	1	1		0	×	×	
PREPARE	list12, imm5	0000011110iiiiL LLLLLLLLLLLL00001	Store-memory (sp−4, GR[reg in list12], Word) sp←sp−4 repeat 1 steps above until all regs in list12 is stored sp←sp-zero-extend (imm5)	n+1 注4	n+1 注4	n+1 注4					
	list12, imm5, sp/imm ^{注15}	0000011110iiiiL LLLLLLLLLLLLff011 imm16/imm32 注16	Store-memory (sp−4, GR[reg in list12], Word) sp←sp−4 repeat 1 steps above until all regs in list12 is stored sp←sp−zero-extend (imm5) ep←sp/imm	n+2 注4 注17	n+2 注4 注17	n+2 注4 注17					

(4/5)

ニモニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
RETI		0000011111100000 0000000101000000	if PSW.EP = 1 then PC ← EIPC PSW ← EIPSW else if PSW.NP = 1 then PC ← FEPC PSW ← FEPSW else PC ← EIPC PSW ← EIPSW	3	3	3	R	R	R	R	R
SAR	reg1, reg2	rrrrr11111RRRRR 0000000010100000	GR[reg2]←GR[reg2] arithmetically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010101iiii	GR[reg2]←GR[reg2] arithmetically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SASF	cccc, reg2	rrrrr111110cccc 0000001000000000	if conditions are satisfied then GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000001H else GR[reg2]←(GR[reg2] Logically shift left by 1) OR 00000000H	1	1	1					
SATADD	reg1, reg2	rrrrr000110RRRRR	GR[reg2]←saturated (GR[reg2]+GR[reg1])	1	1	1	×	×	×	×	×
	imm5, reg2	rrrrr010001iiii	GR[reg2]←saturated (GR[reg2]+sign-extend (imm5))	1	1	1	×	×	×	×	×
SATSUB	reg1, reg2	rrrrr000101RRRRR	GR[reg2]←saturated (GR[reg2]−GR[reg1])	1	1	1	×	×	×	×	×
SATSUBI	imm16, reg1, reg2	rrrrr110011RRRRR iiiiiiiiiiiiiiii	GR[reg2]←saturated (GR[reg1]−sign-extend (imm16))	1	1	1	×	×	×	×	×
SATSUBR	reg1, reg2	rrrrr000100RRRRR	GR[reg2]←saturated (GR[reg1]−GR[reg2])	1	1	1	×	×	×	×	×
SETF	cccc, reg2	rrrrr111110cccc 0000000000000000	if conditions are satisfied then GR[reg2]← 00000001H else GR[reg2]← 00000000H	1	1	1					
SET1	bit#3, disp16 [reg1]	00bbb111110RRRRR dddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3)) Store-memory-bit (adr, bit#3, 1)	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr11111RRRRR 0000000011100000	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2)) Store-memory-bit (adr, reg2, 1)	3 注3	3 注3	3 注3				×	
SHL	reg1, reg2	rrrrr11111RRRRR 0000000011000000	GR[reg2]←GR[reg2] logically shift left by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010110iiii	GR[reg2]←GR[reg2] logically shift left by zero-extend (imm5)	1	1	1	×	0	×	×	
SHR	reg1, reg2	rrrrr11111RRRRR 0000000010000000	GR[reg2]←GR[reg2] logically shift right by GR[reg1]	1	1	1	×	0	×	×	
	imm5, reg2	rrrrr010100iiii	GR[reg2]←GR[reg2] logically shift right by zero-extend (imm5)	1	1	1	×	0	×	×	
SLD.B	disp7 [ep], reg2	rrrrr0110dddddd	adr←ep+zero-extend (disp7) GR[reg2]←sign-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.BU	disp4 [ep], reg2	rrrrr0000110ddd 注18	adr←ep+zero-extend (disp4) GR[reg2]←zero-extend (Load-memory (adr, Byte))	1	1	注9					
SLD.H	disp8 [ep], reg2	rrrrr1000dddddd 注19	adr←ep+zero-extend (disp8) GR[reg2]←sign-extend (Load-memory (adr, Halfword))	1	1	注9					

(5/5)

二モニック	オペランド	オペコード	オペレーション	実行クロック			フラグ				
				i	r	l	CY	OV	S	Z	SAT
SLD.HU	disp5 [ep] , reg2	rrrrr0000111111111111 注18, 20	adr←ep+zero-extend (disp5) GR[reg2]←zero-extend (Load-memory (adr, Halfword))	1	1	注9					
SLD.W	disp8 [ep] , reg2	rrrrr1010111111111111 注21	adr←ep+zero-extend (disp8) GR[reg2]←Load-memory (adr, Word)	1	1	注9					
SST.B	reg2, disp7 [ep]	rrrrr0111111111111111	adr←ep+zero-extend (disp7) Store-memory (adr, GR[reg2], Byte)	1	1	1					
SST.H	reg2, disp8 [ep]	rrrrr1001111111111111 注19	adr←ep+zero-extend(disp8) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
SST.W	reg2, disp8 [ep]	rrrrr1010111111111111 注21	adr←ep+zero-extend(disp8) Store-memory (adr, GR[reg2], Word)	1	1	1					
ST.B	reg2, disp16 [reg1]	rrrrr1110101111111111 dddddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Store-memory (adr, GR[reg2], Byte)	1	1	1					
ST.H	reg2, disp16 [reg1]	rrrrr1110111111111111 dddddddddddddddd0 注8	adr←GR[reg1]+sign-extend (disp16) Store-memory (adr, GR[reg2], Halfword)	1	1	1					
ST.W	reg2, disp16 [reg1]	rrrrr1110111111111111 dddddddddddddddd1 注8	adr←GR[reg1]+sign-extend(disp16) Store-memory (adr, GR[reg2], Word)	1	1	1					
STSR	regID, reg2	rrrrr1111111111111111 0000000001000000	GR[reg2]←SR[regID]	1	1	1					
SUB	reg1, reg2	rrrrr0011011111111111	GR[reg2]←GR[reg2]−GR[reg1]	1	1	1	×	×	×	×	
SUBR	reg1, reg2	rrrrr0011001111111111	GR[reg2]←GR[reg1]−GR[reg2]	1	1	1	×	×	×	×	
SWITCH	reg1	00000000010111111111	adr←(PC+2)+(GR[reg1] logically shift left by 1) PC←(PC+2)+(sign-extend (Load-memory (adr, Halfword))) logically shift left by 1	5	5	5					
SXB	reg1	00000000010111111111	GR[reg1]←sign-extend (GR[reg1] (7 : 0))	1	1	1					
SXH	reg1	00000000011111111111	GR[reg1]←sign-extend (GR[reg1] (15 : 0))	1	1	1					
TRAP	vector	00000111111111111111 000000001000000000	EIPC ← PC+4 (復帰PC) EIPSW ← PSW ECR.EICC ← 割り込みコード PSW.EP ← 1 PSW.ID ← 1 PC ← 00000040H (vectorが00H-0FHのとき) 00000050H (vectorが10H-1FHのとき)	3	3	3					
TST	reg1, reg2	rrrrr0010111111111111	result←GR[reg2] AND GR[reg1]	1	1	1		0	×	×	
TST1	bit#3, disp16 [reg1]	11bbb1111101111111111 dddddddddddddddd	adr←GR[reg1]+sign-extend (disp16) Zフラグ←Not (Load-memory-bit (adr, bit#3))	3 注3	3 注3	3 注3				×	
	reg2, [reg1]	rrrrr1111111111111111 00000000011100110	adr←GR[reg1] Zフラグ←Not (Load-memory-bit (adr, reg2))	3 注3	3 注3	3 注3				×	
XOR	reg1, reg2	rrrrr0010011111111111	GR[reg2]←GR[reg2] XOR GR[reg1]	1	1	1		0	×	×	
XORI	imm16, reg1, reg2	rrrrr1101011111111111 iiiiiiiiiiiiiiii	GR[reg2]←GR[reg1] XOR zero-extend (imm16)	1	1	1		0	×	×	
ZXB	reg1	00000000010011111111	GR[reg1]←zero-extend (GR[reg1] (7 : 0))	1	1	1					
ZXH	reg1	00000000011011111111	GR[reg1]←zero-extend (GR[reg1] (15 : 0))	1	1	1					

注1. ddddddddはdisp9の上位8ビットです。

2. 直前にPSWの内容を書き換える命令がある場合は3。
3. ウェイト・ステートがない場合（3+リード・アクセス・ウェイト・ステート数）
4. nはlist12のロード・レジスタの合計数（ウェイト・ステート数による。ウェイト・ステートがない場合、nはlist12のレジスタ数。n = 0の場合、n = 1と同じ動作）
5. RRRRR : 00000以外
6. 下位ハーフワード・データだけ有効
7. dddddddddddddddddddはdisp22の上位21ビットです。
8. dddddddddddddddはdisp16の上位15ビットです。
9. ウェイト・ステート数による（ウェイト・ステートがない場合は1）
10. b : disp16のビット0
11. ウェイト・ステート数による（ウェイト・ステートがない場合は2）
12. この命令ではニモニクの記述の都合上、ソース・レジスタをreg2としていますが、オペコード上はreg1のフィールドを使用しています。したがって、ニモニク記述とオペコードにおいてレジスタ指定の意味付けがほかの命令と異なります。

rrrrr = regID指定

RRRRR = reg2指定

13. iiii : imm9の下位5ビット

IIII : imm9の上位4ビット

14. 汎用レジスタreg1と汎用レジスタreg3に、同じレジスタを指定しないでください。

15. sp/imm : サブオペコードのビット19, 20で指定

16. ff = 00 : spをepにロード

01 : 符号拡張した16ビット・イミディエト・データ（ビット47-32）をepにロード

10 : 16ビット論理左シフトした16ビット・イミディエト・データ（ビット47-32）をepにロード

11 : 32ビット・イミディエト・データ（ビット63-32）をepにロード

17. imm = imm32の場合はn+3クロック

18. rrrrr : 00000以外

19. dddddddはdisp8の上位7ビットです。

20. ddddはdisp5の上位4ビットです。

21. dddddddはdisp8の上位6ビットです。

改訂記録	V850ES/JC3-L, V850ES/JE3-L ハードウェア編
------	---------------------------------------

Rev.	発行日	改訂内容	
		ページ	ポイント
0.01	2010.07.09	—	初版発行
1.00	2011.03.25	全般	V850ES/JE3-Lに次の製品を追加 • μ PD70F3807F1-AN9-A • μ PD70F3808F1-AN9-A • μ PD70F3840F1-AN9-A
		p.199	5. 5. 2 (4) PLLロックアップ時間指定レジスタ (PLLS) 注意 変更
		p.200	5. 5. 3 使用方法 変更
		p.732	19.2.2 (2) INTWDT2信号の場合 変更
		p.880	30. 4. 1 (1) 発振回路特性 変更
		p.881	30. 4. 1 (1) (a) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70 \text{ }^{\circ}\text{C}$) 追加
		p.881	30. 4. 1 (1) (b) 株式会社村田製作所：セラミック発振子 ($T_A = -20 \sim +80 \text{ }^{\circ}\text{C}$) 追加
		p.882	30. 4. 1 (1) (c) 京セラ株式会社：セラミック発振子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.884	30. 4. 2 (a) セイコーインスツル株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.884	30. 4. 2 (b) シチズンミヨタ株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.885	30. 4. 3 PLL特性 変更
		p.889	30. 6. 2 電源電流特性 変更
		p.903	31. 4. 1 (1) 発振回路特性 変更
		p.904	31. 4. 1 (1) (a) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70 \text{ }^{\circ}\text{C}$) 追加
		p.904	31. 4. 1 (1) (b) 株式会社村田製作所：セラミック発振子 ($T_A = -20 \sim +80 \text{ }^{\circ}\text{C}$) 追加
		p.905	31. 4. 1 (1) (c) 京セラ株式会社：セラミック発振子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.907	31. 4. 2 (a) セイコーインスツル株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.907	31. 4. 2 (b) シチズンミヨタ株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.908	31. 4. 3 PLL特性 変更
		p.912	31. 6. 2 電源電流特性 変更
		p.926	32. 4. 1 (1) 発振回路特性 変更
		p.927	32. 4. 1 (1) (a) 京セラキンセキ株式会社：水晶振動子 ($T_A = -10 \sim +70 \text{ }^{\circ}\text{C}$) 追加
		p.927	32. 4. 1 (1) (b) 株式会社村田製作所：セラミック発振子 ($T_A = -20 \sim +80 \text{ }^{\circ}\text{C}$) 追加
		p.928	32. 4. 1 (1) (c) 京セラ株式会社：セラミック発振子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.930	32. 4. 2 (a) セイコーインスツル株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.930	32. 4. 2 (b) シチズンミヨタ株式会社：水晶振動子 ($T_A = -40 \sim +85 \text{ }^{\circ}\text{C}$) 追加
		p.931	32. 4. 3 PLL特性 変更
		p.935	32. 6. 2 電源電流特性 変更
		p.946	第33章 半田付け推奨条件 追加
2.00	2014.03.25	全般	• 開発中→量産 μ UPD70F3805GB-GAH-AX, 70F3806GB-GAH-AX, 70F3807GB-GAH-AX, 70F3808GB-GAH-AX, 70F3840GB-GAH-AX • 開発中→開発中止 μ UPD70F3807F1-AN9-A, 70F3808F1-AN9-A, 70F3840F1-AN9-A

V850ES/JC3-L, V850ES/JE3-L ユーザーズマニュアル ハードウェア編

発行年月日 2010 年 7 月 9 日 Rev.0.01
 2011 年 3 月 25 日 Rev.1.00
 2014 年 3 月 25 日 Rev.2.00

発行 ルネサス エレクトロニクス株式会社
 〒211-8668 神奈川県川崎市中原区下沼部 1753



ルネサス エレクトロニクス株式会社

■営業お問合せ窓口

<http://www.renesas.com>

※営業お問合せ窓口の住所は変更になることがあります。最新情報につきましては、弊社ホームページをご覧ください。

ルネサス エレクトロニクス株式会社 〒100-0004 千代田区大手町2-6-2（日本ビル）

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：<http://japan.renesas.com/contact/>

V850ES/JC3-L, V850ES/JE3-L