

お客様各位

カタログ等資料中の旧社名の扱いについて

2010年4月1日を以ってNECエレクトロニクス株式会社及び株式会社ルネサステクノロジが合併し、両社の全ての事業が当社に承継されております。従いまして、本資料中には旧社名での表記が残っておりますが、当社の資料として有効ですので、ご理解の程宜しくお願ひ申し上げます。

ルネサスエレクトロニクス ホームページ (<http://www.renesas.com>)

2010年4月1日
ルネサスエレクトロニクス株式会社

【発行】ルネサスエレクトロニクス株式会社 (<http://www.renesas.com>)

【問い合わせ先】<http://japan.renesas.com/inquiry>

ご注意書き

1. 本資料に記載されている内容は本資料発行時点のものであり、予告なく変更することがあります。当社製品のご購入およびご使用にあたりましては、事前に当社営業窓口で最新の情報をご確認いただきますとともに、当社ホームページなどを通じて公開される情報に常にご注意ください。
2. 本資料に記載された当社製品および技術情報の使用に関連し発生した第三者の特許権、著作権その他の知的財産権の侵害等に関し、当社は、一切その責任を負いません。当社は、本資料に基づき当社または第三者の特許権、著作権その他の知的財産権を何ら許諾するものではありません。
3. 当社製品を改造、改変、複製等しないでください。
4. 本資料に記載された回路、ソフトウェアおよびこれらに関連する情報は、半導体製品の動作例、応用例を説明するものです。お客様の機器の設計において、回路、ソフトウェアおよびこれらに関連する情報を使用する場合には、お客様の責任において行ってください。これらの使用に起因しお客様または第三者に生じた損害に関し、当社は、一切その責任を負いません。
5. 輸出に際しては、「外国為替及び外国貿易法」その他輸出関連法令を遵守し、かかる法令の定めるところにより必要な手続を行ってください。本資料に記載されている当社製品および技術を大量破壊兵器の開発等の目的、軍事利用の目的その他軍事事務の目的で使用しないでください。また、当社製品および技術を国内外の法令および規則により製造・使用・販売を禁止されている機器に使用することができません。
6. 本資料に記載されている情報は、正確を期すため慎重に作成したのですが、誤りがないことを保証するものではありません。万一、本資料に記載されている情報の誤りに起因する損害がお客様に生じた場合においても、当社は、一切その責任を負いません。
7. 当社は、当社製品の品質水準を「標準水準」、「高品質水準」および「特定水準」に分類しております。また、各品質水準は、以下に示す用途に製品が使われることを意図しておりますので、当社製品の品質水準をご確認ください。お客様は、当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途に当社製品を使用することができません。また、お客様は、当社の文書による事前の承諾を得ることなく、意図されていない用途に当社製品を使用することができません。当社の文書による事前の承諾を得ることなく、「特定水準」に分類された用途または意図されていない用途に当社製品を使用したことによりお客様または第三者に生じた損害等に関し、当社は、一切その責任を負いません。なお、当社製品のデータ・シート、データ・ブック等の資料で特に品質水準の表示がない場合は、標準水準製品であることを表します。

標準水準： コンピュータ、OA 機器、通信機器、計測機器、AV 機器、家電、工作機械、パーソナル機器、産業用ロボット

高品質水準： 輸送機器（自動車、電車、船舶等）、交通用信号機器、防災・防犯装置、各種安全装置、生命維持を目的として設計されていない医療機器（厚生労働省定義の管理医療機器に相当）

特定水準： 航空機器、航空宇宙機器、海中継機器、原子力制御システム、生命維持のための医療機器（生命維持装置、人体に埋め込み使用するもの、治療行為（患部切り出し等）を行うもの、その他直接人命に影響を与えるもの）（厚生労働省定義の高度管理医療機器に相当）またはシステム等
8. 本資料に記載された当社製品のご使用につき、特に、最大定格、動作電源電圧範囲、放熱特性、実装条件その他諸条件につきましては、当社保証範囲内でご使用ください。当社保証範囲を超えて当社製品をご使用された場合の故障および事故につきましては、当社は、一切その責任を負いません。
9. 当社は、当社製品の品質および信頼性の向上に努めておりますが、半導体製品はある確率で故障が発生したり、使用条件によっては誤動作したりする場合があります。また、当社製品は耐放射線設計については行っておりません。当社製品の故障または誤動作が生じた場合も、人身事故、火災事故、社会的損害などを生じさせないようお客様の責任において冗長設計、延焼対策設計、誤動作防止設計等の安全設計およびエージング処理等、機器またはシステムとしての出荷保証をお願いいたします。特に、マイコンソフトウェアは、単独での検証は困難なため、お客様が製造された最終の機器・システムとしての安全検証をお願いいたします。
10. 当社製品の環境適合性等、詳細につきましては製品個別に必ず当社営業窓口までお問合せください。ご使用に際しては、特定の物質の含有・使用を規制する RoHS 指令等、適用される環境関連法令を十分調査のうえ、かかる法令に適合するようご使用ください。お客様がかかる法令を遵守しないことにより生じた損害に関し、当社は、一切その責任を負いません。
11. 本資料の全部または一部を当社の文書による事前の承諾を得ることなく転載または複製することを固くお断りいたします。
12. 本資料に関する詳細についてのお問い合わせその他お気付きの点等がございましたら当社営業窓口までご照会ください。

注 1. 本資料において使用されている「当社」とは、ルネサスエレクトロニクス株式会社およびルネサスエレクトロニクス株式会社がその総株主の議決権の過半数を直接または間接に保有する会社をいいます。

注 2. 本資料において使用されている「当社製品」とは、注 1 において定義された当社の開発、製造製品をいいます。

改訂一覧は表紙をクリックして直接ご覧になれます。
改訂一覧は改訂箇所をまとめたものであり、詳細については、
必ず本文の内容をご確認ください。

SH-2E SH7058F-ZTAT™

ハードウェアマニュアル

ルネサス32ビットRISCマイクロコンピュータ

SuperH™ RISC engineファミリ / SH7000シリーズ

安全設計に関するお願い

1. 弊社は品質、信頼性の向上に努めておりますが、半導体製品は故障が発生したり、誤動作する場合があります。弊社の半導体製品の故障又は誤動作によって結果として、人身事故、火災事故、社会的損害などを生じさせないような安全性を考慮した冗長設計、延焼対策設計、誤動作防止設計などの安全設計に十分ご留意ください。

本資料ご利用に際しての留意事項

1. 本資料は、お客様が用途に応じた適切なルネサス テクノロジ製品をご購入いただくための参考資料であり、本資料中に記載の技術情報についてルネサス テクノロジが所有する知的財産権その他の権利の実施、使用を許諾するものではありません。
2. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他応用回路例の使用に起因する損害、第三者所有の権利に対する侵害に関し、ルネサス テクノロジは責任を負いません。
3. 本資料に記載の製品データ、図、表、プログラム、アルゴリズムその他全ての情報は本資料発行時点のものであり、ルネサス テクノロジは、予告なしに、本資料に記載した製品または仕様を変更することがあります。ルネサス テクノロジ半導体製品のご購入に当たりましては、事前にルネサス テクノロジ、ルネサス販売または特約店へ最新の情報をご確認頂きますとともに、ルネサス テクノロジホームページ (<http://www.renesas.com>) などを通じて公開される情報に常にご注意ください。
4. 本資料に記載した情報は、正確を期すため、慎重に制作したものです。万一本資料の記述誤りに起因する損害がお客様に生じた場合には、ルネサス テクノロジはその責任を負いません。
5. 本資料に記載の製品データ、図、表に示す技術的な内容、プログラム及びアルゴリズムを流用する場合は、技術内容、プログラム、アルゴリズム単位で評価するだけでなく、システム全体で十分に評価し、お客様の責任において適用可否を判断してください。ルネサス テクノロジは、適用可否に対する責任を負いません。
6. 本資料に記載された製品は、人命にかかわるような状況の下で使用される機器あるいはシステムに用いられることを目的として設計、製造されたものではありません。本資料に記載の製品を運輸、移動体用、医療用、航空宇宙用、原子力制御用、海底中継用機器あるいはシステムなど、特殊用途へのご利用をご検討の際には、ルネサス テクノロジ、ルネサス販売または特約店へご照会ください。
7. 本資料の転載、複製については、文書によるルネサス テクノロジの事前の承諾が必要です。
8. 本資料に関し詳細についてのお問い合わせ、その他お気づきの点がございましたらルネサス テクノロジ、ルネサス販売または特約店までご照会ください。

製品に関する一般的注意事項

1. NC 端子の処理

【注意】NC端子には、何も接続しないようにしてください。

NC (Non-Connection) 端子は、内部回路に接続しない場合の他、テスト用端子やノイズ軽減などの目的で使用します。このため、NC端子には、何も接続しないようにしてください。接続された場合については保証できません。

2. 未使用入力端子の処理

【注意】未使用の入力端子は、ハイまたはローレベルに固定してください。

CMOS製品の入力端子は、一般にハイインピーダンス入力となっています。未使用端子を開放状態で動作させると、周辺ノイズの誘導により中間レベルが発生し、内部で貫通電流が流れて誤動作を起こす恐れがあります。未使用の入力端子は、ハイまたはローレベルに固定してください。

3. 初期化前の処置

【注意】電源投入時は、製品の状態は不定です。

すべての電源に電圧が印加され、リセット端子にローレベルが入力されるまでの間、内部回路は不確定であり、レジスタの設定や各端子の出力状態は不定となります。この不定状態によってシステムが誤動作を起こさないようにシステム設計を行ってください。リセット機能を持つ製品は、電源投入後は、まずリセット動作を実行してください。

4. 未定義・リザーブアドレスのアクセス禁止

【注意】未定義・リザーブアドレスのアクセスを禁止します。

未定義・リザーブアドレスは、将来の機能拡張用の他、テスト用レジスタなどが割り付けられている場合があります。これらのレジスタをアクセスしたときの動作および継続する動作については、保証できませんので、アクセスしないようにしてください。

はじめに

本 LSI は、内部 32 ビット構成の SH-2E CPU を核に、システム構成に必要な周辺機能を集積したシングルチップ RISC マイクロコンピュータです。

本 LSI は、大容量 ROM、RAM、浮動小数点演算ユニット (FPU)、ダイレクトメモリコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、コントローラエリアネットワーク-II (HCAN-II)、A/D 変換器、I/O ポートなどの周辺機能を内蔵しており、高度な制御システムの組み込み用マイコンとして活用できます。内蔵 ROM はフラッシュメモリ

(F-ZTAT^{TM*}) で、仕様流動性の高い応用機器、量産初期から本格量産の各状況に応じた迅速かつ柔軟な対応が可能です。

【注】* F-ZTAT は (株) ルネサス テクノロジーの商標です。

対象者 このマニュアルは、SH7058 F-ZTAT を用いた応用システムを設計するユーザーを対象としています。

このマニュアルを使用される読者には、電気回路、論理回路、およびマイクロコンピュータに関する基本的な知識を必要とします。

目的 このマニュアルは、SH7058 F-ZTAT のハードウェア機能と電気的特性をユーザーに理解していただくことを目的としています。

なお、実行命令の詳細については、「SH-2E プログラミングマニュアル」に記載しておりますので、あわせてご覧ください。

読み方

- 機能全体を理解しようとするとき。
→目次にしたがって読んでください。
本書は、大きく分類すると、CPU、システム制御機能、周辺機能、電気的特性の順に構成されています。
- CPU 機能の詳細を理解したいとき。
→別冊の「SH-2E プログラミングマニュアル」を参照してください。

凡例 ビット表記順 : 左側が上位ビット、右側が下位ビット

関連資料一覧 ウェブ・サイトに最新資料を掲載しています。ご入手の資料が最新版であるかを確認してください。(<http://www.renesas.com/jp/>)

- SH7058 F-ZTAT に関するユーザーズマニュアル

資料名	資料番号
SH7058 F-ZTAT ハードウェアマニュアル	本マニュアル
SH-2E プログラミングマニュアル	ADJ-602-198

- 開発ツール関連ユーザーズマニュアル

資料名	資料番号
C/C++ コンパイラ、アセンブラ、最適化リンケージエディタユーザーズマニュアル	ADJ-702-304
シミュレータ・デバッガ ユーザーズマニュアル	ADJ-702-266
High-performance Embedded Workshop ユーザーズマニュアル	ADJ-702-275

- アプリケーションノート

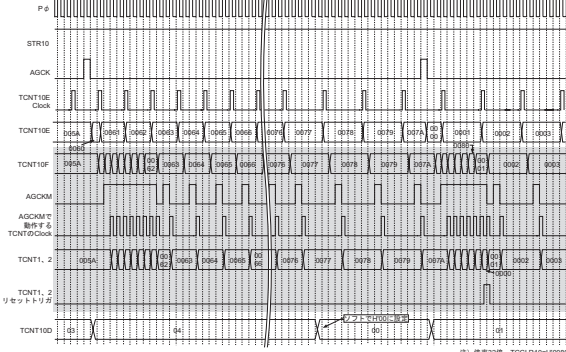
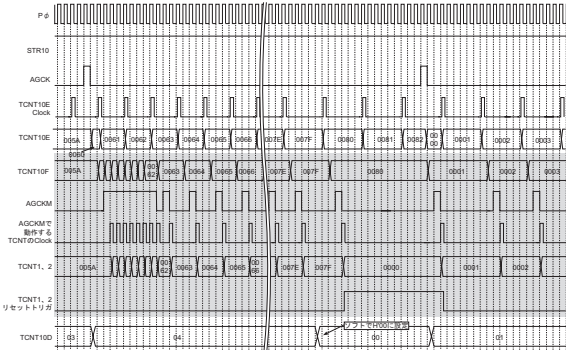
資料名	資料番号
C/C++ コンパイラ編	ADJ-502-046

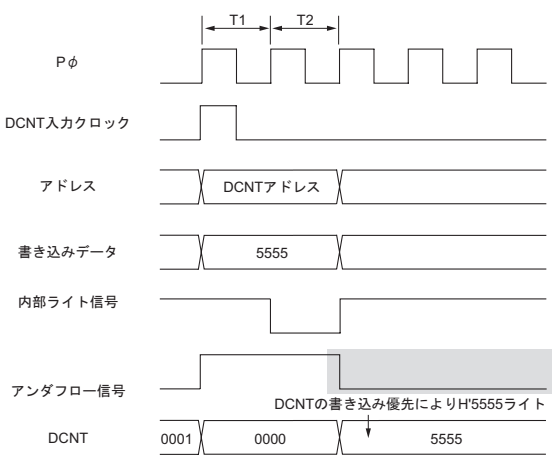
本版で改訂された箇所

修正項目	ページ	修正内容（詳細はマニュアル参照）
1.3.1 ピン配置 図 1.3 ピン配置 (BP-272)	1-4	新規追加
1.3.2 端子機能 表 1.2 端子の機能	1-9～ 1-15	表に BP-272 を追加
1.3.3 端子一覧 表 1.3 端子一覧	1-16～ 1-21	表に BP-272 を追加、【注】を追加
5.1.1 ブロック図 図 5.1 CPG のブロック図	5-1	図を修正
7.1.1 特長	7-1	<p>■ 割り込みが発生したことを外部へ出力可能 (IRQOUT 端子)</p> <p>例えば、本 LSI がバス権を解放しているときに、内蔵周辺モジュール割り込み要求が発生したことを外部バスマスタに知らせ、バス権を要求することができます。</p>
7.4.1 割り込み動作の流れ 図 7.2 割り込み動作フロー	7-15	<p>【注】を修正</p> <p>*1 IRQOUT は周辺クロック Pφ に同期して出力されるため、CPU への割り込み要求に比べ遅れて出力される場合があります。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）																																																																								
7.5 割り込み応答時間 表 7.5 割り込み応答時間	7-17	<p>表の修正、【注】の追加</p> <table border="1"> <caption>表 7.5 割り込み応答時間</caption> <thead> <tr> <th rowspan="2">項目</th> <th colspan="3">ステート数備考</th> <th rowspan="2">備考</th> </tr> <tr> <th>周辺モジュール</th> <th>NMI</th> <th>IRQ</th> </tr> </thead> <tbody> <tr> <td>周辺クロックφから内部クロックφへの同期化およびDMAC判定</td> <td>0または6 [0または3]</td> <td>1~4 [1~2]</td> <td>6~9 [3~5]</td> <td>割り込み要因毎のステート数は*1を参照願います。 [] 内は4倍のとき。</td> </tr> <tr> <td>優先順位判定およびSRのマスクビットとの比較時間</td> <td>2</td> <td>2</td> <td>2</td> <td></td> </tr> <tr> <td>CPUが実行中のシーケンス終了までの待ち時間</td> <td colspan="3">X (≥0)</td> <td>最も長いシーケンスは割り込み例外処理またはアドレスエラー 例外処理で、 X=4+m1+m2+m3+m4。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。</td> </tr> <tr> <td>割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間</td> <td colspan="3">5+m1+m2+m3</td> <td>SR、PCの選定とベクタアドレスのフェッチを行います。</td> </tr> <tr> <td>合計</td> <td>(7または13) +m1+m2+m3+X</td> <td>(8から11) +m1+m2+m3+X</td> <td>(13から16) +m1+m2+m3+X</td> <td></td> </tr> <tr> <td>応答時間</td> <td></td> <td></td> <td></td> <td></td> </tr> <tr> <td>最小時</td> <td>10</td> <td>11</td> <td>16</td> <td></td> </tr> <tr> <td>最大時</td> <td>17+2 (m1+m2+m3)+m4</td> <td>15+2 (m1+m2+m3)+m4</td> <td>20+2 (m1+m2+m3)+m4</td> <td></td> </tr> </tbody> </table>	項目	ステート数備考			備考	周辺モジュール	NMI	IRQ	周辺クロックφから内部クロックφへの同期化およびDMAC判定	0または6 [0または3]	1~4 [1~2]	6~9 [3~5]	割り込み要因毎のステート数は*1を参照願います。 [] 内は4倍のとき。	優先順位判定およびSRのマスクビットとの比較時間	2	2	2		CPUが実行中のシーケンス終了までの待ち時間	X (≥0)			最も長いシーケンスは割り込み例外処理またはアドレスエラー 例外処理で、 X=4+m1+m2+m3+m4。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。	割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3			SR、PCの選定とベクタアドレスのフェッチを行います。	合計	(7または13) +m1+m2+m3+X	(8から11) +m1+m2+m3+X	(13から16) +m1+m2+m3+X		応答時間					最小時	10	11	16		最大時	17+2 (m1+m2+m3)+m4	15+2 (m1+m2+m3)+m4	20+2 (m1+m2+m3)+m4																									
項目	ステート数備考			備考																																																																						
	周辺モジュール	NMI	IRQ																																																																							
周辺クロックφから内部クロックφへの同期化およびDMAC判定	0または6 [0または3]	1~4 [1~2]	6~9 [3~5]	割り込み要因毎のステート数は*1を参照願います。 [] 内は4倍のとき。																																																																						
優先順位判定およびSRのマスクビットとの比較時間	2	2	2																																																																							
CPUが実行中のシーケンス終了までの待ち時間	X (≥0)			最も長いシーケンスは割り込み例外処理またはアドレスエラー 例外処理で、 X=4+m1+m2+m3+m4。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。																																																																						
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	5+m1+m2+m3			SR、PCの選定とベクタアドレスのフェッチを行います。																																																																						
合計	(7または13) +m1+m2+m3+X	(8から11) +m1+m2+m3+X	(13から16) +m1+m2+m3+X																																																																							
応答時間																																																																										
最小時	10	11	16																																																																							
最大時	17+2 (m1+m2+m3)+m4	15+2 (m1+m2+m3)+m4	20+2 (m1+m2+m3)+m4																																																																							
7.5 割り込み応答時間 図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例	7-18	<p>図を修正</p>																																																																								
8.5.6 モジュールスタンバイ	8-14	<p>記述を修正</p> <p>モジュールスタンバイは、システムコントロールレジスタ 2 (SYSCR2)で制御します。</p>																																																																								
9.1.5 アドレスマップ 表 9.3 アドレスマップ	9-5	<p>表を追加</p> <p>● 内蔵ブロック レジスタアクセスのサイクル数を追加。</p>																																																																								
10.2.4 DMA チャネルコントロールレジスタ 0~3 (CHCR0~3)	10-5	<p>ビットの表を修正</p> <table border="1"> <tr> <td>ビット：</td> <td>31</td> <td>30</td> <td>29</td> <td>28</td> <td>27</td> <td>26</td> <td>25</td> <td>24</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>—</td> <td>DI</td> <td>—</td> <td>—</td> <td>—</td> <td>RO</td> </tr> <tr> <td>初期値：</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W：</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R</td> <td>R</td> <td>R</td> <td>R/W</td> </tr> </table> <table border="1"> <tr> <td>ビット：</td> <td>15</td> <td>14</td> <td>13</td> <td>12</td> <td>11</td> <td>10</td> <td>9</td> <td>8</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>SM1</td> <td>SM0</td> <td>—</td> <td>—</td> <td>DM1</td> <td>DM0</td> </tr> <tr> <td>初期値：</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>R/W：</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R/W</td> <td>R</td> <td>R</td> <td>R/W</td> <td>R/W</td> </tr> </table>	ビット：	31	30	29	28	27	26	25	24		—	—	—	DI	—	—	—	RO	初期値：	0	0	0	0	0	0	0	0	R/W：	R	R	R	R/W	R	R	R	R/W	ビット：	15	14	13	12	11	10	9	8		—	—	SM1	SM0	—	—	DM1	DM0	初期値：	0	0	0	0	0	0	0	0	R/W：	R	R	R/W	R/W	R	R	R/W	R/W
ビット：	31	30	29	28	27	26	25	24																																																																		
	—	—	—	DI	—	—	—	RO																																																																		
初期値：	0	0	0	0	0	0	0	0																																																																		
R/W：	R	R	R	R/W	R	R	R	R/W																																																																		
ビット：	15	14	13	12	11	10	9	8																																																																		
	—	—	SM1	SM0	—	—	DM1	DM0																																																																		
初期値：	0	0	0	0	0	0	0	0																																																																		
R/W：	R	R	R/W	R/W	R	R	R/W	R/W																																																																		

修正項目	ページ	修正内容（詳細はマニュアル参照）																				
10.3.2 DMA 転送要求 (2) 内蔵周辺モジュールリクエストモード	10-12~ 10-14	<p>記述を追加</p> <p>また、転送要求を HCAN0 にした場合は、転送元は HCAN0 のメッセージデータでなければなりません。</p> <p>内蔵周辺モジュールリクエストによる転送では、DMAC が転送要求を受け付けると、サイクルスチールモードの場合は 1 回の転送が終了するまで、また、バーストモードの場合はすべての転送が終了するまでは、次の転送要求がきても無視されます。なお、アドレスリロード機能を使用している場合に限り、バーストモードでは 4 回の転送が終了するまで、次の転送要求が無視されます。</p> <p>表を修正</p> <table border="1"> <thead> <tr> <th>RS4</th> <th>RS3</th> <th>RS2</th> <th>RS1</th> <th>RS0</th> <th>DMAC 転送要求元</th> <th>DMAC 転送要求番号</th> <th>転送元</th> <th>転送先</th> <th>バーストモード</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>HCAN0</td> <td>RMD (HCAN0受信割り込み)</td> <td>MB0~31</td> <td>任意*</td> <td>バースト/サイクルスチール</td> </tr> </tbody> </table>	RS4	RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求番号	転送元	転送先	バーストモード	0	0	0	1	1	HCAN0	RMD (HCAN0受信割り込み)	MB0~31	任意*	バースト/サイクルスチール
RS4	RS3	RS2	RS1	RS0	DMAC 転送要求元	DMAC 転送要求番号	転送元	転送先	バーストモード													
0	0	0	1	1	HCAN0	RMD (HCAN0受信割り込み)	MB0~31	任意*	バースト/サイクルスチール													
10.3.8 CPU からの DMAC アクセス	10-23	<p>記述を修正</p> <p>DMAC が割り付けられているアドレス空間は 4 サイクル空間です。したがって、CPU がバスマスタとなって DMAC をアクセスする場合の 1 バスサイクルは、最少でも内部クロック (ϕ) 4 サイクルを必要とします。また DMAC はワード空間に配置されています。したがって DMAC に対しワードサイズのアクセスを行った場合は 1 バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス 2 回に分割され、2 バスサイクル=8 内部クロックを必要とします。</p>																				
11.2.21 オフセットベースレジスタ (OSBR)	11-139	<p>ビットの表を修正</p> <table border="1"> <thead> <tr> <th>チャンネル</th> <th>路 称</th> <th>機 能</th> </tr> </thead> <tbody> <tr> <td>1</td> <td>OSBR1</td> <td>チャンネル 0 の ICR0A と同じ信号を入力トリガとしたインプットキャプチャ専用レジスタ</td> </tr> <tr> <td>2</td> <td>OSBR2</td> <td></td> </tr> </tbody> </table>	チャンネル	路 称	機 能	1	OSBR1	チャンネル 0 の ICR0A と同じ信号を入力トリガとしたインプットキャプチャ専用レジスタ	2	OSBR2												
チャンネル	路 称	機 能																				
1	OSBR1	チャンネル 0 の ICR0A と同じ信号を入力トリガとしたインプットキャプチャ専用レジスタ																				
2	OSBR2																					
11.2.21 オフセットベースレジスタ (OSBR) (1) オフセットベースレジスタ 1、2 (OSBR1,2)	11-139	<p>記述を修正</p> <p>OSBR1、2 はチャンネル 0 のインプットキャプチャレジスタ(ICR0A)と同じ TIOA の入力をトリガ信号とし、エッジを検出すると TCNT1A、2A の値を格納します。</p>																				
11.3.1 概要 (8) チャンネル 10 (c) 倍周クロック補正ブロック	11-160	<p>記述を修正</p> <p>...補正カウンタ 10F (TCNT10F) が 16 ビット補正カウンタ 10E (TCNT10E) の値を上回ったときには、カウントアップ動作をしません。</p>																				
11.3.2 フリーランニングカウンタ動作と周期カウンタ動作 図 11.13 フリーランニングカウンタ動作およびオーバフロータイミング	11-161	<p>図を修正</p>																				
11.3.8 ツインキャプチャ機能	11-167	<p>記述を修正</p> <p>タイマスタートレジスタ (TSTR) への設定によりチャンネル 0、チャンネル 1、チャンネル 2 の TCNT0、TCNT1A および TCNT2A をスタートさせ、TIOA の入力をトリガ信号とし、エッジを検出すると、OSBR1 には TCNT1A の値が、OSBR2 には TCNT2A の値が転送されます。</p>																				

修正項目	ページ	修正内容（詳細はマニュアル参照）
(3) 倍周クロック補正機能 図 11.32 TCNT10D の動作 図 11.33 TCNT10E の動作 図 11.34 TCNT10F の動作 (起動時)	11-176～ 11-178	記述を修正 TST10→STR10 TCNT10F が TCNT10E の値を上回ったとき には、カウントアップ動作をしません。この AGCKM は、チャンネル 1～5 のフリーランカウンタ (TCNT1～5) に出力されます。
(3) 倍周クロック補正機能 図 11.35 TCNT10F の動作 (サイクル終了、加速、減速)	11-178	記述を修正 TST10→STR10 図を修正 
(3) 倍周クロック補正機能 図 11.36 TCNT10F の動作 (サイクル終了、定常時)	11-179	

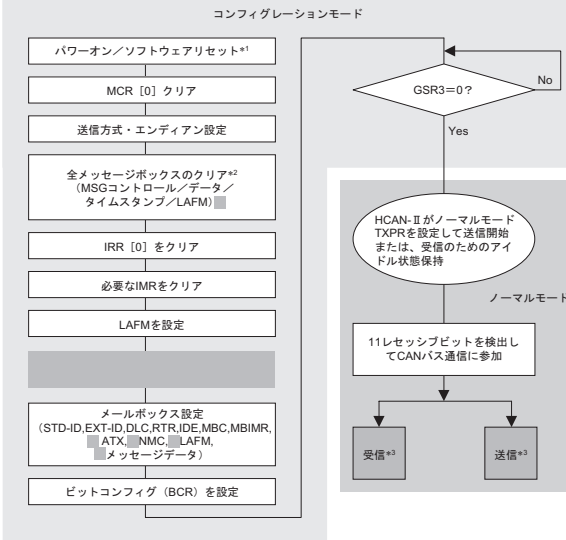
修正項目	ページ	修正内容（詳細はマニュアル参照）
<p>11.7 使用上の注意</p> <p>(9) DCNT 書き込みアンダフローによるカウンタ 0 クリアの競合</p> <p>図 11.72 DCNT の書き込みとアンダフローの競合</p>	11-211	<p>【注】を修正</p> <p>SH7055 の場合は、DCNT への CPU からの書き込みは行われず、H'0000 保持を優先していました。動作が異なるので注意してください。</p> <p>図を修正</p>  <p>割り込みステータスフラグ (OSF)</p>
<p>12.1.4 レジスタ構成</p> <p>表 12.2 レジスタ構成</p>	12-3	<p>【注】を修正</p> <p>【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (φ) で 4 または 5 サイクルです。</p>
<p>14.1.3 レジスタ構成</p> <p>表 14.1 レジスタ構成</p>	14-2	<p>【注】を修正</p> <p>【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、バイトアクセス、ワードアクセス時の内部クロック (φ) で 4 または 5 サイクル、ロングワードアクセス時の内部クロック (φ) で 8 または 9 サイクルとなります。</p>
<p>15.1.4 レジスタ構成</p> <p>表 15.2 レジスタ構成</p>	15-6	<p>【注】を修正</p> <p>【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、バイトアクセス時の内部クロック (φ) で 4 または 5 サイクル、ワードアクセス時の内部クロック (φ) で 8 または 9 サイクルとなります。</p>
<p>16.1.1 特長</p>	16-1、16-2	<p>記述を修正</p> <ul style="list-style-type: none"> ● CAN 仕様 2.0A/2.0B および ISO-11898-1 をサポート <p>記述を削除</p> <p>柔軟な割り込み機能</p> <ul style="list-style-type: none"> ● 章末の「16.8 使用上の注意事項」を必ずよくお読みください。 <p>HCAN-II で追加された機能について以下に示します。</p> <ul style="list-style-type: none"> ● ソフトウェアリセットとホルトを通知する IRR0 機能

修正項目	ページ	修正内容（詳細はマニュアル参照）													
16.2.2 各ブロックの機能 (1) マイクロプロセッサインタフェース (MPI)	16-4	記述を削除 MPIによってホストCPUとHCANのレジスタやメールボックスと通信し、 ■ メモリインタフェース、データコントローラなどを制御することができます。													
(2) メールボックス	16-4	記述を削除 ● CANメッセージデータ (CANデータフレーム用) ■ ● 受信時のローカルアクセプタンスフィルタマスク(LAFM) ● 3ビットのメールボックスコンフィグレーション、 ■ リモートリクエスト用自動送信ビット、新着メッセージコントロールビット ■													
(4) タイマ	16-4	【重要】を追加 【重要】SH7058ではタイマ機能はサポートしておりません。													
16.3.1 メールボックスの構成	16-8	【注】を修正 【注】メッセージコントロール (STDID/EXTID/RTR/ZDE)、タイムスタンプ、LAFM/送信トリガタイムフィールドは16ビットサイズでのみアクセスできます。メッセージコントロール (NMC/ATX/MBC/DLC) メッセージデータエリアは16ビットまたは8ビットでアクセスできます。未使用のメールボックスは、RAMの構成に影響があるので、MBCの設定がインアクティブの状態 ■ で初期化する必要があります。LAFMがメッセージを受信するために使用されないときはクリア(0に設定)する必要があります。													
16.3.1 メールボックスの構成 図 16.3 メールボックスNの構成	16-9	【注】を修正 1. グレー表示のビットは予約ビットで書き込む値は0にしてください。初期値の読み出し値は保証されません。													
16.3.2 メッセージコントロールフィールド	16-10	表の説明を修正 <table border="1"> <thead> <tr> <th>レジスタ名</th> <th>アドレス</th> <th>ビット</th> <th>ビット名</th> <th>説明</th> </tr> </thead> <tbody> <tr> <td rowspan="2">MBx(4)~(5)*</td> <td rowspan="2">H104 + N×32</td> <td>15</td> <td>CCM</td> <td>CAN-IDコンペアマッチ 本ビットがセットされると、対応するメールボックスへのメッセージ受信によって2つのトリガが発生します。 TCR9が1の場合、TCR14をクリアしてICR0をフリーズします。 TCR10が1の場合、TCNTR (タイムカウンタレジスタ) を自動的にクリアし、さらにLOSR (ローカルオフセットレジスタ) の値を設定します。 【重要】本機能はSH7058ではサポートしておりません。したがって、書き込む値は0にしてください。初期値の読み出し値は保証されません。</td> </tr> <tr> <td>14</td> <td>TTE</td> <td>タイムトリガインペール 本ビットがセットされると、TXPRがすでにセットされているメールボックスがTxトリガタイムフィールドで設定された時刻にメッセージを送信します。 【重要】本ビットをセットするとメッセージ送信に不具合が起きます。設定禁止。書き込む値は0にしてください。初期値の読み出しは保証されません。</td> </tr> </tbody> </table>	レジスタ名	アドレス	ビット	ビット名	説明	MBx(4)~(5)*	H104 + N×32	15	CCM	CAN-IDコンペアマッチ 本ビットがセットされると、対応するメールボックスへのメッセージ受信によって2つのトリガが発生します。 TCR9が1の場合、TCR14をクリアしてICR0をフリーズします。 TCR10が1の場合、TCNTR (タイムカウンタレジスタ) を自動的にクリアし、さらにLOSR (ローカルオフセットレジスタ) の値を設定します。 【重要】本機能はSH7058ではサポートしておりません。したがって、書き込む値は0にしてください。初期値の読み出し値は保証されません。	14	TTE	タイムトリガインペール 本ビットがセットされると、TXPRがすでにセットされているメールボックスがTxトリガタイムフィールドで設定された時刻にメッセージを送信します。 【重要】本ビットをセットするとメッセージ送信に不具合が起きます。設定禁止。書き込む値は0にしてください。初期値の読み出しは保証されません。
レジスタ名	アドレス	ビット	ビット名	説明											
MBx(4)~(5)*	H104 + N×32	15	CCM	CAN-IDコンペアマッチ 本ビットがセットされると、対応するメールボックスへのメッセージ受信によって2つのトリガが発生します。 TCR9が1の場合、TCR14をクリアしてICR0をフリーズします。 TCR10が1の場合、TCNTR (タイムカウンタレジスタ) を自動的にクリアし、さらにLOSR (ローカルオフセットレジスタ) の値を設定します。 【重要】本機能はSH7058ではサポートしておりません。したがって、書き込む値は0にしてください。初期値の読み出し値は保証されません。											
		14	TTE	タイムトリガインペール 本ビットがセットされると、TXPRがすでにセットされているメールボックスがTxトリガタイムフィールドで設定された時刻にメッセージを送信します。 【重要】本ビットをセットするとメッセージ送信に不具合が起きます。設定禁止。書き込む値は0にしてください。初期値の読み出しは保証されません。											

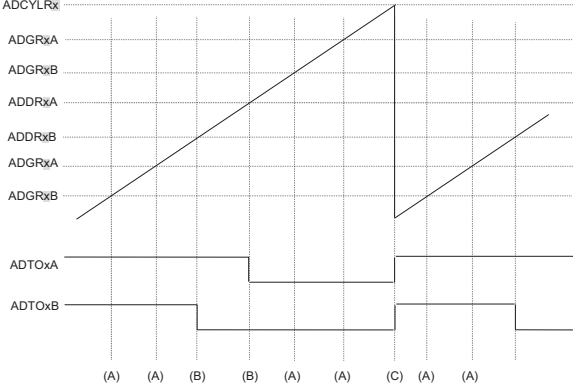
修正項目	ページ	修正内容（詳細はマニュアル参照）				
16.3.2 メッセージコントロールフィールド	16-11、 16-12	レジスタ名	アドレス	ビット	ビット名	説明
		MBx[4]-[5]*	H104 + N × 32	13	NMC	<p>ニューメッセージコントロール</p> <p>本ビットがクリアされると、RXPR/RREPR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し UMSR の対応するビットをセットします。</p> <p>本ビットがセットされると RXPR/RREPR がすでにセットされているメールボックスは新しいメッセージを格納し UMSR の対応するビットをセットします。</p> <p>書き換えモード (NMC=1) でメールボックスがメッセージを受信すると、ホスト CPU はメールボックスからのデータ読み出しの最後に追加チェックを実行しなければなりません。これは、別の受信メッセージによってメールボックスが破壊されなかったことを保証するためです。この、メールボックスへのアクセスの最後に実施される追加チェックでは、UMSR の関連ビットがセットされていないことをチェックして書き換えが行われなかったことを確認します。もし、UMSR の関連ビットがセットされていれば、データは壊れているため、メッセージを破壊しなければなりません。</p>
				11	DART	<p>自動再送信無効</p> <p>本ビットがセットされると、CAN バス上でエラーのイベントが発生した場合や、または CAN バスのアービトレーションでロストした場合メッセージ自動再送信を無効にします。本機能が使用されるときは、対応する TXCR ビットが送信の最初に自動的にセットされます。このビットがクリアされると、HCAN は送信が正常終了されるまで、または TXCR で送信取り消しされるまでメッセージを繰り返し送ります。</p> <p>【重要】本機能は SH7058 ではサポートしておりません。したがって、書き込む値は 0 にしてください。初期値の読み出し値は保証されません。</p>
		レジスタ名	アドレス	ビット	ビット名	説明
		MBx[4]-[5]*	H104 + N × 32	6	TCT	<p>タイマカウンタ送信</p> <p>本ビットがセットされ、メールボックスが送信に設定されている状態で、DLC が 4 に設定されると SF で TCNTR が MSG_DATA_2 と MSG_DATA_3 の代わりにメッセージデータの 2 バイト目と 3 バイト目に埋め込まれます。</p> <p>また、メールボックスの送信開始時に MSG_DATA_0[3:0]の代わりに CYCLE_COUNT が 1 バイト目に埋め込まれます。</p> <p>本機能は HCAN がタイムマスタでタイムリファレンスメッセージを送信するときに便利です。</p> <p>たとえば、2 個の HCAN コントローラが同じネットワークにつながり、レシーバがメールボックス N にメッセージを格納している場合、データ形式は CAN バスのエンディアンの設定 (MCR4) によって図 16.4 のようになります。</p> <p>【重要】本機能は SH7058 ではサポートしておりません。したがって、書き込む値は 0 にしてください。初期値の読み出し値は保証されません。</p>
				5	CBE	<p>CAN バスエラー</p> <p>外部のフォールトトレラントな CAN トランシーバを、HCAN モジュールに接続して使うことができます。そのエラー出力端子 (通常はローアクティブ) が本 LSI の CAN_NERR 端子に接続されている場合、CAN_NERR の値は各送受信の最後 (CBE ビット) で本ビットに格納されます (ただし、メッセージが格納されるとき)。CBE のビットは、CAN_NERR の反転値が設定されます。ハイアクティブ端子を持つ場合は逆になります。このビットがセットされると、CAN バスに物理エラーがある可能性を示します。CAN_NERR は対応するメールボックスの送受信後に更新されるので、この機能は割り込みなし専用です。送信正常終了割り込み (IRF6)、受信正常終了割り込み (IRF2) が代わる手段です。</p> <p>【重要】本機能は SH7058 ではサポートしておりません。したがって、書き込む値は 0 にしてください。初期値の読み出し値は保証されません。</p>
				4	CLE	<p>送信クリアネーブル</p> <p>本ビットがセットされると、対応するメールボックスへのメッセージ受信によって、送信キューの送信待ちメッセージが取り消しされます。また、IRR8 と ABACK によって、この送信待ち取り消し動作が通知されます。</p> <p>【重要】本機能は SH7058 ではサポートしておりません。したがって、書き込む値は 0 にしてください。初期値の読み出し値は保証されません。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）				
16.3.2 メッセージコントロールフィールド	16-15	レジスタ名	アドレス	ビット	ビット名	説明
		MBx[6]*	H106+N×32	15~0	TimeStamp [15:0]	<p>【メッセージ受信】</p> <p>メッセージ受信時には、SOF あるいは EOF を検出したとき、ICR1（インプットキャプチャレジスタ）に TCNTR（タイマカウンタレジスタ値）または Cycle_Counter+TCNTR[15:4]をキャプチャします。</p> <p>どちらをキャプチャするかは、TMR（タイマモードレジスタ）のビット3の値により決まります。</p> <p>SOF が検出されたときか EOF が検出されたときかは、TCR13（タイマコントロールレジスタ）の値に依存します。</p> <p>このキャプチャされた ICR1 の値は、対応するメールボックスのタイムスタンプフィールドに格納されます。</p> <p>【重要】SH7058 においては SOF 時におけるキャプチャはサポートされておりません。したがって、本機能をご使用の際は TCR13 の設定は EOF 検出モード設定にしてください。</p> <p>【メッセージ送信】</p> <p>メッセージ送信時には、TXPR ビットまたは TXACK ビットがセットされたとき、TCNTR（タイマカウンタレジスタ値）または Cycle_Counter+TCNTR[15:4]をキャプチャします。</p> <p>どちらをキャプチャするかは、TMR（タイマモードレジスタ）のビット3の値によって決まります。</p> <p>TXPR ビットがセットされたときか TXACK ビットがセットされたときかは、TCR12 の値に依存します。</p> <p>キャプチャした値は対応するメールボックスのタイムスタンプフィールドに格納します。</p> <p>【重要】SH7058 においては TXPR におけるキャプチャはサポートされておりません。</p> <p>SH7058 においては TCNTR（タイマ）の起動による不具合があります。（タイマの使用禁止）したがってタイムスタンプはサポートされません。書き込み値は 0 にしてください。初期値の読み出し値は保証されません。</p>
16.3.4 ローカルアクセプタンスフィルタマスク (LAFM)/Tx トリガタイム (TTT)	16-17	フィールドの説明を修正				
LAFM フィールド		レジスタ名	アドレス	ビット	ビット名	説明
Tx トリガタイムフィールド		MBx[15]~[16]*	H110 + N×32	15	—	リザーブビットです。 書き込み値は 0 にしてください。初期値の読み出し値は保証されません。
				3~2	—	リザーブビットです。 書き込み値は 0 にしてください。初期値の読み出し値は保証されません。
		レジスタ名	アドレス	ビット	ビット名	説明
		MBx[17]~[18]*	H112+N×32	15~12	—	リザーブビットです。 書き込み値は 0 にしてください。初期値の読み出し値は保証されません。
				7~4	—	リザーブビットです。 書き込み値は 0 にしてください。初期値の読み出し値は保証されません。
16.4.2 マスタコントロールレジスタ_n (MCR_n) (n=0, 1)	16-22	ビット 5：【重要】を追加				
		ビット	ビット名	初期値	R/W	説明
		5	MCR5	0	R/W	<p>HCAN-II スリープモード</p> <p>スリープモードへの遷移を有効/無効にします。本ビットがセットされるとスリープモードが有効になります。HCAN は、スリープモードになる前に現在のバスアクセスの終了を待ちます。このモードが終了するまで HCAN は CAN バスの動作を無視します。2 つのエラーカウンタ (REC, TEC) はスリープモード中とそのままで同じです。スリープモードを解除するには 2 つの方法があります。このビットに 0 をライトする。</p> <p>MCR7 が有効の場合、CAN バス上のドミナントビットを検出スリープモードを解除するとき HCAN は再起動前に 11 のリセッティングを確認することで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに HCAN が最初のメッセージを受信できないことを意味しますが、CAN トランシーバも同じ特長を持ち、ソフトウェアはこの方法で設計される必要があります。</p> <p>【注】このモードはモジュールをホルトモードにしたリクロックを停止するのと同じです。これは、スリープモードに遷移するときに割り込みは IFR0 から生成されることを意味します。スリープモード中は MPI ブロック、すなわち、MCR[SRIRRR] だけがアクセス可能です。しかし、IFR1 はスリープモード中にクリアすることはできません。なぜならば、IFR1 は RXPR というスリープモード中にクリアすることができない信号と OR をとっているからです。したがって、最初にホルトモードを設定してからスリープモードに遷移することを推奨します。</p> <p>0：HCAN スリープモードが解除されています。 1：HCAN スリープモードへの遷移が有効です。</p> <p>【重要】スリープモードには使用制限があります。章末の「16.8 使用上の注意事項」を必ずよくお読みください。</p>

修正項目	ページ	修正内容（詳細はマニュアル参照）										
16.4.4 HCAN II__ビットコンフィグレジスタ n(HCAN II__BCR0__n, HCAN II__BCR1__n) (n=0, 1) BCR0	16-27	<p>ビットコンフィグレジスタについての記述を修正</p> <p>BCR 設定は以下を満足するように設定してください。 $TSEG1 > TSEG2 \geq SJW$ ($SJW=1\sim4$) $TSEG1 + TSEG2 + 3 = 8\sim25$ タイムクオンタム</p>										
16.4.4 HCAN II__ビットコンフィグレジスタ n(HCAN II__BCR0__n, HCAN II__BCR1__n) (n=0, 1) 表 16.5 TSEG1, TSEG2 設定	16-28	<p>表の修正、例の修正、【重要】の追加</p> <p>表 001*</p> <p>例</p> <p>2. 周辺クロック周波数 fclk が 16MHz でビットレートを 500kbps の場合、BRP[7 : 0]=1、TSEG1[3 : 0]=9、TSEG2[2 : 0]=4 が条件を満たします。この場合、BCR1 には H'9400、BCR0 には H'0001 をライトすることになります</p>										
16.4.5 インタラプトレジスタ __n(IRR__n) (n=0, 1) ・ IRR	16-29、 16-31	<p>ビットの表を修正</p> <p>ビット: 9 8 <table border="1" style="margin-left: auto; margin-right: auto;"> <tr> <td>IRR9</td> <td>IRR8</td> </tr> </table> 初期値: 0 0 R/W: R R</p> <table border="1" style="margin-left: auto; margin-right: auto;"> <thead> <tr> <th>ビット</th> <th>ビット名</th> <th>初期値</th> <th>R/W</th> </tr> </thead> <tbody> <tr> <td>9</td> <td>IRR9</td> <td>0</td> <td>R</td> </tr> </tbody> </table>	IRR9	IRR8	ビット	ビット名	初期値	R/W	9	IRR9	0	R
IRR9	IRR8											
ビット	ビット名	初期値	R/W									
9	IRR9	0	R									
16.5 HCAN メールボックスレジスタ 表 16.6 HCAN メールボックスレジスタ	16-36	<p>アドレスを修正 チャンネル 0 : H'D05C</p>										
16.6 タイマレジスタ 表 16.7 HCAN タイマレジスタ	16-48	<p>アドレスを修正 チャンネル 0、TCNTR0 : H'D080</p>										

修正項目	ページ	修正内容（詳細はマニュアル参照）
16.7.2 HCAN の設定 ・リセットシーケンス 図 16.7 リセットシーケンス	16-62	図および【注】を修正  <p>【注】*1 ソフトウェアリセットは、MCR[0]=1 を設定することによりいつでも実行できます。</p> <p>*4 削除</p>
16.7.4 メッセージ送信取り消しシーケンス 図 16.10 送信取り消しシーケンス	16-65	図を修正 TXACK[N]がセット ABACK[N]がセット*2 【重要】 を修正 *2 送信中のメッセージに対し、本送信取り消し操作を EOF 付近で行うと TXACK が正常にセットされるにもかかわらず、ABACK もセットされる場合があります（フラグ不正）。このときは、ABACK をクリアしてください。
16.7.5 メッセージ受信シーケンス 図 16.11 メッセージ受信シーケンス	16-66	図を修正 再割り込み監視を追加。
16.7.10 HCAN-II 端子ポート設定	16-72	【注】 の追加 (2) 1 チャンネルの 64 バッファの HCAN-II * 【注】 * 64 バッファ使用には注意が必要です。章末の「16.8 使用上の注意事項」を必ずお読みください。
16.7.11 CAN バスインタフェース 図 16.16 HA13721 を用いたハイスピードインタフェース	16-73	新規追加
16.8.4 送信中における TXPR 設定について	16-76	タイトルおよび記述を修正 16.8.4 送信中における TXPR 設定について HCAN-II モジュールをポーレート、1Mbps でご使用になる際、送信中において TXPR 設定を行い送信が完了するまでの期間に送信設定メールボックス (MB) 数とメールボックスへのアクセス数に以下の制限事項があります。なお、ポーレート、500kbps では制限はありません。

修正項目	ページ	修正内容（詳細はマニュアル参照）																																								
16.8.6 HCAN スリープ中のメールボックスアクセスについて 図 16.17 HCAN スリープモードのフローチャート	16-77	新規追加																																								
16.8.7 1チャンネル64バッファポート設定についての注意事項	16-78	新規追加																																								
17.1.1 特長	17-1	■高速変換 変換時間：1チャンネル当たり最小 13.3 μ s（周辺クロック(P ϕ)=20MHz 動作時）																																								
17.1.3 端子構成	17-4	記述を修正 ADTRG0、ADTRG1 端子は、LSI 外部から、A/D 変換開始タイミングを与えるための端子です。ADTRG0、ADTRG1 端子に Low レベルのパルスを印加すると、A/D0~2 は A/D 変換を開始します。																																								
17.1.4 レジスタ構成 表 17.2 レジスタ構成	17-7	【注】を差し替え 内部クロック遅延比が4 遅倍時のレジスタアクセスは、バイトアクセス時の内部クロック(ϕ)で6 または7 サイクル、ワードアクセス時の内部クロック(ϕ)で12 または13 サイクルとなります。																																								
17.2.3 A/D コントロールレジスタ 0、1、2 (ADCR0、1、2) ビット 7：トリガイネーブル (TRGE)	17-13	外部トリガに設定した場合、TRGE を 1 にセットした後、ADTRG0、ADTRG1 端子に Low レベルのパルスを入力すると、A/D 変換はパルスの立ち下がりエッジを検出し、ADCR の ADST ビットを 1 にセットします。この後は、ソフトウェアで ADST ビットに 1 をライトしたときと同じ動作をします。ただし、外部トリガ入力による A/D 変換の開始機能は ADST ビットが 0 にクリアされているときのみ有効です。 なお、外部トリガ開始機能を使用するとき、ADTRG0、ADTRG1 端子に入力する Low パルス幅は 1.5 P ϕ クロック以上であることが必要です。詳しくは「17.4.4 外部トリガによる A/D 変換器の起動」を参照してください。																																								
17.4.3 アナログ入力のサンプリングと A/D 変換時間 表 17.4 A/D 変換時間（単一モード）	17-25	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">項目</th> <th rowspan="2">記号</th> <th colspan="3">CKS=0：周辺クロック (Pϕ) = 10~20MHz</th> <th colspan="3">CKS=1：周辺クロック (Pϕ) = 10MHz</th> <th rowspan="2">単位</th> </tr> <tr> <th>min</th> <th>typ</th> <th>max</th> <th>min</th> <th>typ</th> <th>max</th> </tr> </thead> <tbody> <tr> <td>A/D 変換開始遅延時間</td> <td>t_{ld}</td> <td>10</td> <td>—</td> <td>17</td> <td>6</td> <td>—</td> <td>9</td> <td rowspan="3">ステート (周辺クロック (Pϕ) 換算)</td> </tr> <tr> <td>入力サンプリング時間</td> <td>t_{sp}</td> <td>—</td> <td>64</td> <td>—</td> <td>—</td> <td>32</td> <td>—</td> </tr> <tr> <td>A/D 変換時間</td> <td>t_{conv}</td> <td>259</td> <td>—</td> <td>266</td> <td>131</td> <td>—</td> <td>134</td> </tr> </tbody> </table>	項目	記号	CKS=0：周辺クロック (P ϕ) = 10~20MHz			CKS=1：周辺クロック (P ϕ) = 10MHz			単位	min	typ	max	min	typ	max	A/D 変換開始遅延時間	t _{ld}	10	—	17	6	—	9	ステート (周辺クロック (P ϕ) 換算)	入力サンプリング時間	t _{sp}	—	64	—	—	32	—	A/D 変換時間	t _{conv}	259	—	266	131	—	134
項目	記号	CKS=0：周辺クロック (P ϕ) = 10~20MHz			CKS=1：周辺クロック (P ϕ) = 10MHz			単位																																		
		min	typ	max	min	typ	max																																			
A/D 変換開始遅延時間	t _{ld}	10	—	17	6	—	9	ステート (周辺クロック (P ϕ) 換算)																																		
入力サンプリング時間	t _{sp}	—	64	—	—	32	—																																			
A/D 変換時間	t _{conv}	259	—	266	131	—	134																																			
17.4.4 外部トリガによる A/D 変換器の起動 図 17.7 外部トリガ入力タイミング	17-26	記述の修正 外部トリガで A/D 変換器を起動するときには、PFC（ピンファンクションコントローラ）で端子機能を設定したのち、A/D コントロールレジスタ (ADCR) の TRGE ビットを 1 にセットします。さらに A/D トリガレジスタ (ADTRGR) の EXTRG ビットを 1 にします。この状態で ADTRG 端子に Low レベルを入力すると、A/D 変換器は、パルスの立ち下がりエッジを検出して ADST ビットを 1 にセットします。図 17.7 に外部トリガ入力タイミングを示します。 ADST が 1 にセットされるタイミングは、A/D 変換器が ADTRG 端子の立ち下がりエッジをサンプリングしてから 2 ステートです。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。 図の修正 P ϕ																																								

修正項目	ページ	修正内容（詳細はマニュアル参照）
18.2.3 A/D タイミントラプトイネーブルレジスタ (ADTIER0、1)	18-10	ビットの表を修正 ビット 0 : ADCMExA
18.5.7 動作波形例 (C) ハード処理 ソフト処理 図 18.5 MTAD PWM 波形出力例	18-33	<p>● ハード処理 記述を修正 (2) A/D トリガインタラプトイネーブルレジスタ (ADTIER) の A/D サイクルイネーブル (ADCYLR) がセットされていると割り込みを発生します。</p> <p>● ソフト処理 図タイトルを修正 図を修正</p>  <p>【注】 x=0、1 DTSELxA、DTSELxB=0 (PWM出力はオンデューティ)</p>
20.5.1 初期化	20-7	記述を修正 (4) SYSCR1 レジスタの AUDSRST ビットに 1 をセットしたとき (25.2.2 参照) (5) SYSCR2 レジスタの MSTOP3 ビットに 1 をセットしたとき (25.2.3 参照)
21.3.8 ポート D・IO レジスタ	21-20	ビットの表の修正 ビット 8 : PD8IOR
22.2.1 レジスタ構成 表 22.1 レジスタ構成	22-2	【注】を修正 【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。
22.3.1 レジスタ構成 表 22.3 レジスタ構成	22-3	【注】を修正 【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。
22.4.1 レジスタ構成 表 22.5 レジスタ構成	22-5	【注】を修正 【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。
22.5.1 レジスタ構成 表 22.7 レジスタ構成	22-6	【注】を修正 【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。
22.6.1 レジスタ構成 表 22.9 レジスタ構成	22-8	【注】を修正 【注】内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

修正項目	ページ	修正内容（詳細はマニュアル参照）
22.7.1 レジスタ構成 表 22.11 レジスタ構成	22-10	【注】を修正 【注】内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック（φ）で4または5サイクルです。
22.8.1 レジスタ構成 表 22.13 レジスタ構成	22-11	【注】を修正 【注】内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック（φ）で4または5サイクルです。
22.9.1 レジスタ構成 表 22.15 レジスタ構成	22-14	【注】を修正 【注】内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック（φ）で4または5サイクルです。
22.10.1 レジスタ構成 表 22.17 レジスタ構成	22-15	【注】を修正 【注】内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック（φ）で4または5サイクルです。
22.11.1 レジスタ構成 表 22.19 レジスタ構成	22-17	【注】を修正 【注】内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック（φ）で4または5サイクルです。
22.12.1 レジスタ構成 表 22.21 レジスタ構成	22-19	【注】を修正 【注】内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック（φ）で4または5サイクルです。
23.4.1 レジスタ一覧 表 23.4 (1) レジスタ構成	23-10	【注】を修正 *4 RAMER レジスタを除くレジスタは、バイトアクセスのみ有効で、4サイクルアクセスとなります。 RAMER レジスタは、BSC 内にあるため、バイトアクセス時、ワードアクセス時は4サイクル、ロングワードアクセス時は8サイクルアクセスとなります。
23.4.3 書き込み/消去インタフェースパラメータ (2.2) フラッシュユーザブランチアドレスセットパラメータ (FUBRA : CPU の汎用レジスタ R5) ビット 31~0 : ユーザブランチ先アドレス (UA31~UA0)	23-21	記述を修正 汎用レジスタ R8 から R15 とコントロールレジスタ GBR は保存してください。汎用レジスタ R0 から R7 は保存せずに使うことができます。
23.5.2 ユーザプログラムモード (2.3) VBR レジスタの0クリアと、FCCS レジスタのSCO ビットに1を書き込んで、ダウンロードを実行します。	23-38	記述を修正 ダウンロード中にDMAC、AUDによるアクセスが発生した場合は、動作保証ができませんので、DMAC、AUDによるアクセスが発生しないようにご注意ください。
24.1.1 概要	24-1	記述を修正 CPU、DMAC、AUDは8、16または32ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、常にリード1サイクル、ライト1サイクル (SYSCR2のCKSELビットが0のとき) / 2サイクル (SYSCR2のCKSELビットが1のとき) でアクセスできます。
25.1.3 関連レジスタ 表 25.3 レジスタ構成	25-3	【注】を修正 *1 内部クロック通倍比が4通倍時のレジスタアクセスは、SBYCRは内部クロック（φ）で4サイクル、SYSCR1およびSYSCR2は内部クロック（φ）で4~5です。
25.2.2 システムコントロールレジスタ1 (SYSCR1)	25-5	記述を修正 ビット7、6 : 「5.4 水晶発振停止検出機能」を参照してください。

修正項目	ページ	修正内容 (詳細はマニュアル参照)																																																																							
27.2 DC 特性 表 27.4 DC 特性	27-10	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> <th>測定条件</th> </tr> </thead> <tbody> <tr> <td rowspan="3">入力容量</td> <td>RES</td> <td>—</td> <td>—</td> <td>60</td> <td>pF</td> <td rowspan="3">Vin=0V f=1MHz Ts=25°C</td> </tr> <tr> <td>NM#</td> <td>—</td> <td>—</td> <td>30</td> <td>pF</td> </tr> <tr> <td>その他の全入力端子</td> <td>—</td> <td>—</td> <td>20</td> <td>pF</td> </tr> <tr> <td rowspan="5">消費電流</td> <td>通常動作時</td> <td>—</td> <td>100</td> <td>150</td> <td>mA</td> <td rowspan="5">f=80MHz Ts≤50°C</td> </tr> <tr> <td>スリープ時</td> <td>—</td> <td>80</td> <td>130</td> <td>mA</td> </tr> <tr> <td>スタンバイ時 (2.7V≤Vcc≤3.6V)</td> <td>—</td> <td>—</td> <td>300</td> <td>μA</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>750</td> <td>μA</td> <td>50°C<Ts≤105°C</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>1000</td> <td>μA</td> <td>105°C<Ts≤125°C</td> </tr> <tr> <td>RAMスタンバイ時 (2.4V≤Vcc<2.7V)</td> <td>—</td> <td>—</td> <td>800</td> <td>μA</td> <td>Ts≤50°C</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>1000</td> <td>μA</td> <td>50°C<Ts≤105°C</td> </tr> <tr> <td></td> <td>—</td> <td>—</td> <td>1000</td> <td>μA</td> <td>105°C<Ts≤125°C</td> </tr> </tbody> </table>	項目	記号	min	typ	max	単位	測定条件	入力容量	RES	—	—	60	pF	Vin=0V f=1MHz Ts=25°C	NM#	—	—	30	pF	その他の全入力端子	—	—	20	pF	消費電流	通常動作時	—	100	150	mA	f=80MHz Ts≤50°C	スリープ時	—	80	130	mA	スタンバイ時 (2.7V≤Vcc≤3.6V)	—	—	300	μA		—	—	750	μA	50°C<Ts≤105°C		—	—	1000	μA	105°C<Ts≤125°C	RAMスタンバイ時 (2.4V≤Vcc<2.7V)	—	—	800	μA	Ts≤50°C		—	—	1000	μA	50°C<Ts≤105°C		—	—	1000	μA	105°C<Ts≤125°C
項目	記号	min	typ	max	単位	測定条件																																																																			
入力容量	RES	—	—	60	pF	Vin=0V f=1MHz Ts=25°C																																																																			
	NM#	—	—	30	pF																																																																				
	その他の全入力端子	—	—	20	pF																																																																				
消費電流	通常動作時	—	100	150	mA	f=80MHz Ts≤50°C																																																																			
	スリープ時	—	80	130	mA																																																																				
	スタンバイ時 (2.7V≤Vcc≤3.6V)	—	—	300	μA																																																																				
		—	—	750	μA		50°C<Ts≤105°C																																																																		
		—	—	1000	μA		105°C<Ts≤125°C																																																																		
RAMスタンバイ時 (2.4V≤Vcc<2.7V)	—	—	800	μA	Ts≤50°C																																																																				
	—	—	1000	μA	50°C<Ts≤105°C																																																																				
	—	—	1000	μA	105°C<Ts≤125°C																																																																				
27.5 フラッシュメモリ特性 表 27.20 フラッシュメモリ特性	27-38	表を修正 <table border="1"> <thead> <tr> <th>項目</th> <th>記号</th> <th>min</th> <th>typ</th> <th>max</th> <th>単位</th> </tr> </thead> <tbody> <tr> <td>書き込み時間^{*1,2,4}</td> <td>t_w</td> <td>-</td> <td>3</td> <td>200</td> <td>ms/128バイト</td> </tr> <tr> <td>消去時間^{*1,3,5}</td> <td>t_e</td> <td>-</td> <td>2</td> <td>20</td> <td>s/ブロック</td> </tr> <tr> <td>書き換え回数</td> <td>N_{WEC}</td> <td>100</td> <td>-</td> <td>-</td> <td>回</td> </tr> </tbody> </table> <p>*4 総書き換え時間 (書き込み時間+消去時間) は以下のようになります。 40s (typ)、参考値 60s、80s (max) ただし、参考値以内に入るのは 90% です。 *5 t_w、t_e は typ 値近傍を中心に分布します。</p>	項目	記号	min	typ	max	単位	書き込み時間 ^{*1,2,4}	t _w	-	3	200	ms/128バイト	消去時間 ^{*1,3,5}	t _e	-	2	20	s/ブロック	書き換え回数	N _{WEC}	100	-	-	回																																															
項目	記号	min	typ	max	単位																																																																				
書き込み時間 ^{*1,2,4}	t _w	-	3	200	ms/128バイト																																																																				
消去時間 ^{*1,3,5}	t _e	-	2	20	s/ブロック																																																																				
書き換え回数	N _{WEC}	100	-	-	回																																																																				
27.6.2 モード端子入力に関する注意事項	27-40	記述を修正 本電気的特性は、表 27.3 に規定しているモード端子 (FWE、MD2~0) の組み合わせに対して特性を規定しています。表 27.3 の組み合わせ以外は特性の保証はできません。																																																																							
A.1 アドレス一覧 表 A.1 アドレス一覧	付録-61	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">アドレス</th> <th rowspan="2">レジスタ略称</th> <th colspan="5">ビット名</th> </tr> <tr> <th>ビット7</th> <th>ビット3</th> <th>ビット2</th> <th>ビット1</th> <th>ビット0</th> </tr> </thead> <tbody> <tr> <td>H'FFFFFF0A</td> <td>SYCSR2^{*1}</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> <td>—</td> </tr> </tbody> </table>	アドレス	レジスタ略称	ビット名					ビット7	ビット3	ビット2	ビット1	ビット0	H'FFFFFF0A	SYCSR2 ^{*1}	—	—	—	—	—																																																				
アドレス	レジスタ略称	ビット名																																																																							
		ビット7	ビット3	ビット2	ビット1	ビット0																																																																			
H'FFFFFF0A	SYCSR2 ^{*1}	—	—	—	—	—																																																																			
A.2 リセット、低消費電力状態でのレジスタ状態 表 A.2 リセット、低消費電力状態でのレジスタ状態	付録-72	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">略称</th> <th>リセット状態</th> <th colspan="3">低消費電力状態</th> </tr> <tr> <th>パワーオン</th> <th>ハードウェアスタンバイ</th> <th>ソフトウェアスタンバイ</th> <th>スリープ</th> </tr> </thead> <tbody> <tr> <td>コントローラ エリアネットワーク (HCAN)</td> <td>MB</td> <td>不定</td> <td>保持</td> <td>保持</td> <td>保持</td> </tr> </tbody> </table>	分類	略称	リセット状態	低消費電力状態			パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ	コントローラ エリアネットワーク (HCAN)	MB	不定	保持	保持	保持																																																							
分類	略称	リセット状態			低消費電力状態																																																																				
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ																																																																				
コントローラ エリアネットワーク (HCAN)	MB	不定	保持	保持	保持																																																																				
B. 端子状態 表 B.1 端子状態 (1)	付録-74	表を修正 <table border="1"> <thead> <tr> <th rowspan="2">分類</th> <th rowspan="2">端子名</th> <th>端子状態</th> </tr> <tr> <th>低消費電力状態</th> </tr> </thead> <tbody> <tr> <td>UBC</td> <td>UBCTRG</td> <td>AUD モジュール スタンバイ O</td> </tr> </tbody> </table>	分類	端子名	端子状態	低消費電力状態	UBC	UBCTRG	AUD モジュール スタンバイ O																																																																
分類	端子名	端子状態																																																																							
		低消費電力状態																																																																							
UBC	UBCTRG	AUD モジュール スタンバイ O																																																																							
C. 型名一覧 表 C.1 SH7058 F-ZTAT 型名一覧	付録-76	表を修正 <table border="1"> <thead> <tr> <th>製品分類</th> <th>製品型名</th> <th>マーク型名</th> <th>パッケージ</th> <th>動作温度 (フラッシュメモリの W/E 除く)</th> </tr> </thead> <tbody> <tr> <td rowspan="4">SH7058</td> <td rowspan="4">F-ZTAT</td> <td>HD64F7058BF80L</td> <td>64F7058F80</td> <td>256 ピン (FP-256H)</td> <td>-40°C~105°C</td> </tr> <tr> <td>HD64F7058BF80K</td> <td>64F7058F80</td> <td>256 ピン (FP-256H)</td> <td>-40°C~125°C</td> </tr> <tr> <td>HD64F7058BP80L</td> <td>64F7058BP80</td> <td>272 ピン (BP-272)</td> <td>-40°C~105°C</td> </tr> <tr> <td>HD64F7058BP80K</td> <td>64F7058BP80</td> <td>272 ピン (BP-272)</td> <td>-40°C~125°C</td> </tr> </tbody> </table>	製品分類	製品型名	マーク型名	パッケージ	動作温度 (フラッシュメモリの W/E 除く)	SH7058	F-ZTAT	HD64F7058BF80L	64F7058F80	256 ピン (FP-256H)	-40°C~105°C	HD64F7058BF80K	64F7058F80	256 ピン (FP-256H)	-40°C~125°C	HD64F7058BP80L	64F7058BP80	272 ピン (BP-272)	-40°C~105°C	HD64F7058BP80K	64F7058BP80	272 ピン (BP-272)	-40°C~125°C																																																
製品分類	製品型名	マーク型名	パッケージ	動作温度 (フラッシュメモリの W/E 除く)																																																																					
SH7058	F-ZTAT	HD64F7058BF80L	64F7058F80	256 ピン (FP-256H)	-40°C~105°C																																																																				
		HD64F7058BF80K	64F7058F80	256 ピン (FP-256H)	-40°C~125°C																																																																				
		HD64F7058BP80L	64F7058BP80	272 ピン (BP-272)	-40°C~105°C																																																																				
		HD64F7058BP80K	64F7058BP80	272 ピン (BP-272)	-40°C~125°C																																																																				

目次

第1章 概要

1.1	特長	1-1
1.2	ブロック図	1-6
1.3	端子説明	1-7
1.3.1	ピン配置	1-7
1.3.2	端子機能	1-9
1.3.3	端子一覧	1-16

第2章 CPU

2.1	レジスタ構成	2-1
2.1.1	汎用レジスタ (Rn)	2-1
2.1.2	コントロールレジスタ	2-2
2.1.3	システムレジスタ	2-4
2.1.4	浮動小数点レジスタ	2-4
2.1.5	浮動小数点システムレジスタ	2-5
2.1.6	レジスタの初期値	2-6
2.2	データ形式	2-6
2.2.1	レジスタのデータ形式	2-6
2.2.2	メモリ上でのデータ形式	2-6
2.2.3	イミディエイトデータのデータ形式	2-7
2.3	命令の特長	2-7
2.3.1	RISC方式	2-7
2.3.2	アドレッシングモード	2-10
2.3.3	命令形式	2-13
2.4	命令セット	2-15
2.4.1	分類順命令セット	2-15
2.5	処理状態	2-25
2.5.1	状態遷移	2-25

第3章 浮動小数点演算ユニット (FPU)

3.1	概要	3-1
3.2	浮動小数点レジスタと浮動小数点システムレジスタ	3-2
3.2.1	浮動小数点レジスタファイル	3-2
3.2.2	浮動小数点コミュニケーションレジスタ (FPUL)	3-2
3.2.3	浮動小数点ステータス/コントロールレジスタ (FPSCR)	3-2
3.3	浮動小数点フォーマット	3-5
3.3.1	浮動小数点数フォーマット	3-5
3.3.2	非数 (NaN)	3-6

3.3.3	非正規化数の値	3-6
3.3.4	その他の特殊な値について	3-7
3.4	浮動小数点例外モデル	3-8
3.4.1	イネーブル状態の例外	3-8
3.4.2	ディスイネーブル状態の例外	3-8
3.4.3	FPU の例外事象とコード	3-8
3.4.4	メモリ内の浮動小数点データの配置	3-8
3.4.5	特殊オペランドを伴う算術演算	3-8
3.5	CPU との同期化	3-9
3.6	使用上の注意	3-10

第 4 章 動作モード

4.1	動作モードの種類と選択	4-1
-----	-------------	-----

第 5 章 クロック発振器 (CPG)

5.1	概要	5-1
5.1.1	ブロック図	5-1
5.1.2	端子構成	5-2
5.1.3	関連レジスタ	5-2
5.2	周波数範囲とクロック選択	5-3
5.2.1	周波数範囲	5-3
5.2.2	クロック選択	5-4
5.2.3	レジスタアクセス時の注意	5-5
5.3	クロックソース	5-6
5.3.1	水晶発振子の接続方法	5-6
5.3.2	外部クロックの入力方法	5-7
5.4	水晶発振停止検出機能	5-8
5.4.1	概要	5-8
5.4.2	水晶発振子停止検出機能の設定方法	5-8
5.4.3	関連レジスタ	5-9
5.4.4	水晶発振子停止検出機能動作時の注意事項	5-10
5.5	使用上の注意	5-10

第 6 章 例外処理

6.1	概要	6-1
6.1.1	例外処理の種類と優先順位	6-1
6.1.2	例外処理の動作	6-2
6.1.3	例外処理ベクタテーブル	6-3
6.2	リセット	6-5
6.2.1	リセットの種類	6-5
6.2.2	パワーオンリセット	6-5
6.2.3	マニュアルリセット	6-6
6.3	アドレスエラー	6-7
6.3.1	アドレスエラー発生要因	6-7
6.3.2	アドレスエラー例外処理	6-8

6.4	割り込み	6-8
6.4.1	割り込み要因	6-8
6.4.2	割り込み優先順位	6-9
6.4.3	割り込み例外処理	6-9
6.5	命令による例外	6-10
6.5.1	命令による例外の種類	6-10
6.5.2	トラップ命令	6-10
6.5.3	スロット不当命令	6-10
6.5.4	一般不当命令	6-11
6.5.5	浮動小数点演算命令	6-11
6.6	例外処理が受け付けられない場合	6-12
6.7	例外処理後のスタックの状態	6-13
6.8	使用上の注意	6-14
6.8.1	スタックポインタ (SP) の値	6-14
6.8.2	ベクタベースレジスタ (VBR) の値	6-14
6.8.3	アドレサエラー例外処理のスタッキングで発生するアドレサエラー	6-14

第7章 割り込みコントローラ (INTC)

7.1	概要	7-1
7.1.1	特長	7-1
7.1.2	ブロック図	7-2
7.1.3	端子構成	7-3
7.1.4	レジスタ構成	7-3
7.2	割り込み要因	7-4
7.2.1	NMI 割り込み	7-4
7.2.2	ユーザブレイク割り込み	7-4
7.2.3	H-UDI 割り込み	7-4
7.2.4	IRQ 割り込み	7-4
7.2.5	内蔵周辺モジュール割り込み	7-5
7.2.6	割り込み例外処理ベクタと優先順位	7-5
7.3	レジスタの説明	7-10
7.3.1	割り込み優先レベル設定レジスタ A~L (IPRA~IPRL)	7-10
7.3.2	割り込みコントロールレジスタ (ICR)	7-11
7.3.3	IRQ ステータスレジスタ (ISR)	7-13
7.4	動作説明	7-14
7.4.1	割り込み動作の流れ	7-14
7.4.2	割り込み例外処理終了後のスタックの状態	7-16
7.5	割り込み応答時間	7-17
7.6	割り込み要求信号によるデータ転送	7-19
7.6.1	割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合	7-19
7.6.2	割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合	7-19

第8章 ユーザブレイクコントローラ (UBC)

8.1	概要	8-1
8.1.1	特長	8-1
8.1.2	ブロック図	8-2
8.1.3	レジスタ構成	8-3
8.2	レジスタの説明	8-3
8.2.1	ユーザブレイクアドレスレジスタ (UBAR)	8-3
8.2.2	ユーザブレイクアドレスマスクレジスタ (UBAMR)	8-4
8.2.3	ユーザブレイクバスサイクルレジスタ (UBBR)	8-5
8.2.4	ユーザブレイクコントロールレジスタ (UBCR)	8-7
8.3	動作説明	8-8
8.3.1	ユーザブレイク動作の流れ	8-8
8.3.2	内蔵メモリの命令フェッチサイクルによるブレイク	8-10
8.3.3	退避するプログラムカウンタ (PC) の値	8-10
8.4	ユーザブレイク使用例	8-10
8.5	使用上の注意	8-12
8.5.1	2命令同時フェッチ	8-12
8.5.2	分岐時の命令フェッチ	8-12
8.5.3	ユーザブレイクと例外処理の競合	8-13
8.5.4	非遅延分岐命令の飛び先でのブレイク	8-13
8.5.5	ユーザブレイクトリガ出力	8-13
8.5.6	モジュールスタンバイ	8-14
8.5.7	内部クロック (ϕ) の通倍比と $\overline{UBCTR\overline{G}}$ のパルス幅	8-14

第9章 バスステートコントローラ (BSC)

9.1	概要	9-1
9.1.1	特長	9-1
9.1.2	ブロック図	9-2
9.1.3	端子構成	9-3
9.1.4	レジスタ構成	9-3
9.1.5	アドレスマップ	9-4
9.2	レジスタの説明	9-6
9.2.1	バスコントロールレジスタ 1 (BCR1)	9-6
9.2.2	バスコントロールレジスタ 2 (BCR2)	9-8
9.2.3	ウェイトコントロールレジスタ (WCR)	9-11
9.2.4	RAM エミュレーションレジスタ (RAMER)	9-12
9.3	外部空間アクセス	9-13
9.3.1	基本タイミング	9-13
9.3.2	ウェイトステート制御	9-14
9.3.3	\overline{CS} アサート期間拡張	9-15
9.4	アクセスサイクル間ウェイト	9-16
9.4.1	データバス衝突防止	9-16
9.4.2	バスサイクル開始検出の容易化	9-17

9.5	バスアービトレーション	9-17
9.6	メモリ接続例	9-18

第 10 章 ダイレクトメモリアクセスコントローラ (DMAC)

10.1	概要	10-1
10.1.1	特長	10-1
10.1.2	DMAC ブロック図	10-2
10.1.3	レジスタ構成	10-3
10.2	各レジスタの説明	10-4
10.2.1	DMA ソースアドレスレジスタ 0~3 (SAR0~3)	10-4
10.2.2	DMA デスティネーションアドレスレジスタ 0~3 (DAR0~3)	10-4
10.2.3	DMA トランスファカウントレジスタ 0~3 (DMATCR0~3)	10-4
10.2.4	DMA チャネルコントロールレジスタ 0~3 (CHCR0~3)	10-5
10.2.5	DMA オペレーションレジスタ (DMAOR)	10-9
10.3	動作説明	10-10
10.3.1	動作説明	10-10
10.3.2	DMA 転送要求	10-12
10.3.3	チャネルの優先順位	10-14
10.3.4	DMA 転送の種類	10-14
10.3.5	バスモード	10-19
10.3.6	ソースアドレスリロード機能	10-21
10.3.7	DMA 転送終了	10-22
10.3.8	CPU からの DMAC アクセス	10-23
10.4	使用例	10-23
10.4.1	内蔵 SCI と外部メモリとの DMA 転送例	10-23
10.4.2	A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)	10-24
10.4.3	外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)	10-25
10.5	使用上の注意	10-26

第 11 章 アドバンスドタイマユニット-II (ATU-II)

11.1	概要	11-1
11.1.1	特長	11-1
11.1.2	端子構成	11-6
11.1.3	レジスタ構成	11-9
11.1.4	ブロック図	11-16
11.1.5	チャネル間およびモジュール間信号連絡図	11-25
11.1.6	プリスケアラ図	11-26
11.2	レジスタの説明	11-27
11.2.1	タイマスタートレジスタ (TSTR)	11-27
11.2.2	プリスケアラレジスタ (PSCR)	11-32
11.2.3	タイマコントロールレジスタ (TCR)	11-33
11.2.4	タイマ I/O コントロールレジスタ (TIOR)	11-42
11.2.5	タイマステータスレジスタ (TSR)	11-52
11.2.6	タイマインタラプトイネーブルレジスタ (TIER)	11-82
11.2.7	インターバルインタラプトリクエストレジスタ (ITVRR)	11-104

11.2.8	トリガモードレジスタ (TRGMDR)	11-109
11.2.9	タイマモードレジスタ (TMDR)	11-110
11.2.10	PWM モードレジスタ (PMDR)	11-111
11.2.11	ダウンカウントスタートレジスタ (DSTR)	11-113
11.2.12	タイマコネクションレジスタ (TCNR)	11-122
11.2.13	ワンショットパルスターミネートレジスタ (OTR)	11-126
11.2.14	リロードイネーブルレジスタ (RLDENR)	11-130
11.2.15	フリーランニングカウンタ (TCNT)	11-131
11.2.16	ダウンカウンタ (DCNT)	11-133
11.2.17	イベントカウンタ (ECNT)	11-134
11.2.18	アウトプットコンペアレジスタ (OCR)	11-135
11.2.19	インプットキャプチャレジスタ (ICR)	11-136
11.2.20	ジェネラルレジスタ (GR)	11-137
11.2.21	オフセットベースレジスタ (OSBR)	11-139
11.2.22	サイクルレジスタ (CYLR)	11-139
11.2.23	バッファレジスタ (BFR)	11-140
11.2.24	デューティレジスタ (DTR)	11-140
11.2.25	リロードレジスタ (RLDR)	11-141
11.2.26	チャンネル 10 のレジスタ	11-142
11.3	動作説明	11-155
11.3.1	概要	11-155
11.3.2	フリーランニングカウンタ動作と周期カウンタ動作	11-161
11.3.3	コンペアマッチ機能	11-162
11.3.4	インプットキャプチャ機能	11-163
11.3.5	ワンショットパルス機能	11-164
11.3.6	オフセット付きワンショットパルス機能と出力遮断機能	11-165
11.3.7	インターバルタイマ機能	11-166
11.3.8	ツインキャプチャ機能	11-167
11.3.9	PWM タイマ機能	11-167
11.3.10	チャンネル 3~5 の PWM 機能	11-170
11.3.11	イベントカウント機能とイベント周期計測	11-171
11.3.12	チャンネル 10 の機能	11-172
11.4	割り込み	11-180
11.4.1	ステータスフラグのセットタイミング	11-180
11.4.2	ステータスフラグのクリア	11-185
11.5	CPU とのインタフェース	11-187
11.5.1	32 ビットアクセスのみ可能なレジスタ	11-187
11.5.2	8 ビット、16 ビットおよび 32 ビットアクセス可能なレジスタ	11-188
11.5.3	16 ビットアクセスのみ可能なレジスタ	11-189
11.5.4	8 ビットおよび 16 ビットアクセス可能なレジスタ	11-190
11.5.5	8 ビットのみアクセス可能なレジスタ	11-191
11.6	設定手順例	11-192
11.7	使用上の注意	11-203
11.8	ATU-II のレジスタおよび端子の一覧表	11-215

第 12 章 アドバンストパルスコントローラ (APC)

12.1	概要	12-1
12.1.1	特長	12-1
12.1.2	ブロック図	12-2
12.1.3	端子構成	12-3
12.1.4	レジスタ構成	12-3
12.2	レジスタの説明	12-3
12.2.1	パルスアウトポートコントロールレジスタ (POPCR)	12-3
12.3	動作説明	12-4
12.3.1	概要	12-4
12.3.2	APC 出力動作	12-6
12.4	使用上の注意	12-8

第 13 章 ウォッチドッグタイマ (WDT)

13.1	概要	13-1
13.1.1	特長	13-1
13.1.2	ブロック図	13-2
13.1.3	端子構成	13-2
13.1.4	レジスタ構成	13-3
13.2	レジスタの説明	13-3
13.2.1	タイマカウンタ (TCNT)	13-3
13.2.2	タイマコントロール/ステータスレジスタ (TCSR)	13-4
13.2.3	リセットコントロール/ステータスレジスタ (RSTCSR)	13-5
13.2.4	レジスタアクセス時の注意	13-7
13.3	動作説明	13-8
13.3.1	ウォッチドッグタイマモード時の動作	13-8
13.3.2	インターバルタイマモード時の動作	13-9
13.3.3	オーバフローフラグ (OVF) のセットタイミング	13-10
13.3.4	ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング	13-10
13.4	使用上の注意	13-11
13.4.1	タイマカウンタ (TCNT) の書き込みとカウントアップの競合	13-11
13.4.2	CKS2~CKS0 ビットの書き換え	13-12
13.4.3	ウォッチドッグタイマモードとインターバルタイマモードの切り替え	13-12
13.4.4	WDTOVF 信号によるシステムのリセット	13-12
13.4.5	ウォッチドッグタイマモードでの内部リセット	13-12
13.4.6	ウォッチドッグタイマモードでのマニュアルリセット	13-12
13.4.7	内部クロック (ϕ) の通倍比とオーバフロー時間	13-13

第 14 章 コンペアマッチタイマ (CMT)

14.1	概要	14-1
14.1.1	特長	14-1
14.1.2	ブロック図	14-1
14.1.3	レジスタ構成	14-2
14.2	レジスタの説明	14-2
14.2.1	コンペアマッチタイマスタートレジスタ (CMSTR)	14-2

14.2.2	コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)	14-3
14.2.3	コンペアマッチタイマカウンタ (CMCNT)	14-4
14.2.4	コンペアマッチタイマコンスタントレジスタ (CMCOR)	14-5
14.3	動作説明	14-5
14.3.1	周期カウント動作	14-5
14.3.2	CMCNTのカウントタイミング	14-5
14.4	割り込み	14-6
14.4.1	割り込み要因	14-6
14.4.2	コンペアマッチフラグのセットタイミング	14-6
14.4.3	コンペアマッチフラグのクリアタイミング	14-7
14.5	使用上の注意	14-7
14.5.1	CMCNTの書き込みとコンペアマッチの競合	14-7
14.5.2	CMCNTのワード書き込みとカウントアップの競合	14-7
14.5.3	CMCNTのバイト書き込みとカウントアップの競合	14-8
第 15 章 シリアルコミュニケーションインタフェース (SCI)		
15.1	概要	15-1
15.1.1	特長	15-1
15.1.2	ブロック図	15-3
15.1.3	端子構成	15-4
15.1.4	レジスタ構成	15-5
15.2	レジスタの説明	15-7
15.2.1	レシーブシフトレジスタ (RSR)	15-7
15.2.2	レシーブデータレジスタ (RDR)	15-7
15.2.3	トランスミットシフトレジスタ (TSR)	15-8
15.2.4	トランスミットデータレジスタ (TDR)	15-8
15.2.5	シリアルモードレジスタ (SMR)	15-9
15.2.6	シリアルコントロールレジスタ (SCR)	15-12
15.2.7	シリアルステータスレジスタ (SSR)	15-15
15.2.8	ビットレートレジスタ (BRR)	15-19
15.2.9	シリアルディレクションコントロールレジスタ (SDCR)	15-24
15.2.10	SCK 端子信号の反転	15-24
15.3	動作説明	15-25
15.3.1	概要	15-25
15.3.2	調歩同期式モード時の動作	15-27
15.3.3	マルチプロセッサ通信機能	15-37
15.3.4	クロック同期式モード時の動作	15-44
15.4	SCIの割り込み要因とDMAC	15-53
15.5	使用上の注意	15-54
15.5.1	TDRへの書き込みとTDREフラグの関係について	15-54
15.5.2	複数の受信エラーが同時に発生した場合の動作について	15-54
15.5.3	ブレイクの検出と処理について (調歩同期式モードのみ)	15-55
15.5.4	ブレイクの送り出し (調歩同期式モードのみ)	15-55
15.5.5	受信エラーフラグと送信動作について (クロック同期式モードのみ)	15-55
15.5.6	調歩同期式モードの受信データサンプリングタイミングと受信マージン	15-55
15.5.7	DMACの使用上の注意事項	15-57

15.5.8	クロック同期外部クロックモード時の注意事項.....	15-57
15.5.9	クロック同期内部クロックモード時の注意事項.....	15-57
第 16 章 コントローラエリアネットワーク-II (HCAN-II)		
16.1	概要	16-1
16.1.1	特長.....	16-1
16.2	構成	16-3
16.2.1	ブロック図.....	16-3
16.2.2	各ブロックの機能.....	16-4
16.2.3	端子構成.....	16-5
16.2.4	メモリマップ	16-6
16.3	メールボックス.....	16-8
16.3.1	メールボックスの構成.....	16-8
16.3.2	メッセージコントロールフィールド	16-10
16.3.3	メッセージデータフィールド.....	16-15
16.3.4	ローカルアクセプタンスフィルタマスク (LAFM) / Tx トリガタイム (TTT)	16-16
16.4	HCAN コントロールレジスタ	16-19
16.4.1	レジスタの説明.....	16-19
16.4.2	マスタコントロールレジスタ _n (MCR _n) (n=0, 1)	16-20
16.4.3	ジェネラルステータスレジスタ _n (GSR _n) (n=0, 1)	16-24
16.4.4	HCAN II_ビットコンフィグレジスタ _n (HCAN II_BCR0 _n , HCAN II_BCR1 _n) (n=0, 1)	16-25
16.4.5	インタラプトレジスタ _n (IRR _n) (n=0, 1)	16-29
16.4.6	インタラプトマスクレジスタ _n (IMR _n) (n=0, 1)	16-34
16.4.7	送信エラーカウンタ _n (TEC _n) (n=0, 1) / 受信エラーカウンタ _n (REC _n) (n=0, 1)	16-35
16.5	HCAN メールボックスレジスタ	16-36
16.5.1	送信待ちレジスタ _n (TXPR0 _n , TXPR1 _n) (n=0, 1)	16-38
16.5.2	送信待ち取り消しレジスタ _n (TXCR1, TXCR0) (n=0, 1)	16-39
16.5.3	送信アックレジットレジスタ _n (TXACK1 _n , TXACK0 _n) (n=0, 1)	16-41
16.5.4	取り消しアックレジットレジスタ _n (ABACK1 _n , ABACK0 _n) (n=0, 1)	16-42
16.5.5	受信完了レジスタ _n (RXPR1 _n , RXPR0 _n) (n=0, 1)	16-43
16.5.6	リモートリクエストレジスタ _n (RFPR1 _n , RFPR0 _n) (n=0, 1)	16-44
16.5.7	メールボックスインタラプトマスクレジスタ _n (MBIMR1 _n , MBIMR0 _n) (n=0, 1)	16-45
16.5.8	未読メッセージステータスレジスタ _n (UMSR1 _n , UMSR0 _n) (n=0, 1)	16-46
16.6	タイマレジスタ	16-48
16.6.1	タイマカウンタレジスタ _n (TCNTR _n) (n=0, 1)	16-49
16.6.2	タイマコントロールレジスタ _n (TCR _n) (n=0, 1)	16-49
16.6.3	タイマステータスレジスタ _n (TSR _n) (n=0, 1)	16-52
16.6.4	タイマモードレジスタ _n (TMR _n) (n=0, 1)	16-54
16.6.5	タイマドリフトコレクションレジスタ _n (TDCR _n) (n=0, 1)	16-55
16.6.6	ローカルオフセットレジスタ _n (LOSR _n) (n=0, 1)	16-55
16.6.7	サイクルカウンタレジスタ _n (CCR _n) (n=0, 1)	16-56
16.6.8	サイクルカウンタダブルバッファレジスタ _n (CCR_buf _n) (n=0, 1)	16-56

16.6.9	サイクルマキシマムレジスタ n (CMAXn) (n=0, 1)	16-57
16.6.10	インプットキャプチャレジスタ n (ICR0_cc n, ICR0_buf, ICR0_tm n, ICR1 n) (n=0, 1)	16-58
16.6.11	タイマコンペアマッチレジスタ n (TCMR0n, TCMR1n, TCMR2n) (n=0, 1)	16-60
16.7	動作説明	16-61
16.7.1	テストモード設定	16-61
16.7.2	HCAN の設定	16-62
16.7.3	メッセージ送信シーケンス	16-63
16.7.4	メッセージ送信取り消しシーケンス	16-65
16.7.5	メッセージ受信シーケンス	16-66
16.7.6	メールボックスの再設定	16-67
16.7.7	レジスタ一覧	16-69
16.7.8	割り込み要因	16-70
16.7.9	DMAC インタフェース	16-71
16.7.10	HCAN-II 端子ポート設定	16-72
16.7.11	CAN バスインタフェース	16-73
16.8	使用上の注意事項	16-74
16.8.1	受信中の TXPR の設定について	16-74
16.8.2	バスアイドル時の送信設定直後の送信取り消し設定について	16-74
16.8.3	メールボックス 31 の送信取り消し不具合について	16-75
16.8.4	送信中における TXPR 設定について	16-76
16.8.5	タイムトリガ送信設定/タイマ動作禁止について	16-76
16.8.6	HCAN スリープ中のメールボックスアクセスについて	16-77
16.8.7	1 チャンネル 64 バッファ ポート設定についての注意事項	16-78

第 17 章 A/D 変換器

17.1	概要	17-1
17.1.1	特長	17-1
17.1.2	ブロック図	17-3
17.1.3	端子構成	17-4
17.1.4	レジスタ構成	17-6
17.2	レジスタの説明	17-8
17.2.1	A/D データレジスタ 0~31 (ADDR0~31)	17-8
17.2.2	A/D コントロールステータスレジスタ 0, 1 (ADCSR0, 1)	17-9
17.2.3	A/D コントロールレジスタ 0, 1, 2 (ADCR0, 1, 2)	17-13
17.2.4	A/D コントロールステータスレジスタ 2 (ADCSR2)	17-15
17.2.5	A/D トリガレジスタ 0, 1, 2 (ADTRGR0, 1, 2)	17-17
17.3	CPU とのインタフェース	17-19
17.4	動作説明	17-20
17.4.1	単一モード	17-20
17.4.2	スキャンモード	17-21
17.4.3	アナログ入力のサンプリングと A/D 変換時間	17-25
17.4.4	外部トリガによる A/D 変換器の起動	17-26
17.4.5	ATU-II による A/D 変換器の起動	17-26
17.4.6	ADEND 出力端子	17-27

17.5	割り込み要因と DMA 転送要求	17-28
17.6	使用上の注意	17-28
17.6.1	A/D 変換精度の定義	17-30
第 18 章 MTAD (マルチトリガ A/D)		
18.1	概要	18-1
18.1.1	特長	18-1
18.1.2	マルチトリガ A/D ブロック図	18-2
18.1.3	端子構成	18-3
18.1.4	レジスタ構成	18-4
18.2	レジスタ説明	18-5
18.2.1	A/D トリガコントロールレジスタ 0,1 (ADTCR0、1)	18-5
18.2.2	A/D トリガステータスレジスタ 0,1 (ADTSR0、1)	18-7
18.2.3	A/D タイマインタラプトイネーブルレジスタ (ADTIER0、1)	18-10
18.2.4	A/D フリーランニングカウンタ (ADCNT0、1)	18-13
18.2.5	A/D ジェネラルレジスタ A、B (ADGR0A、B、ADGR1A、B)	18-13
18.2.6	A/D サイクルレジスタ A、B (ADCYLR0、ADCYLR1)	18-14
18.2.7	A/D デューティレジスタ A、B (ADDR0A、B、ADDR1A、B)	18-14
18.3	割り込みインタフェース	18-15
18.3.1	内蔵周辺モジュール割り込み	18-15
18.3.2	割り込み例外処理ベクタと優先順位	18-15
18.3.3	割り込み優先レベル設定レジスタ A~L (IPRA~IPRL)	18-19
18.4	PFC、I/O ポートインタフェース	18-20
18.4.1	PFC インタフェース	18-20
18.4.2	ポート A コントロールレジスタ H、L (PACRH、PACRL)	18-20
18.4.3	I/O ポート A	18-25
18.5	動作説明	18-26
18.5.1	概要	18-26
18.5.2	PWM 機能	18-27
18.5.3	コンペアマッチ機能	18-27
18.5.4	マルチトリガ A/D 機能	18-27
18.5.5	割り込み	18-31
18.5.6	使用上の注意	18-32
18.5.7	動作波形例	18-32
18.6	付録	18-34
18.6.1	内蔵周辺モジュールレジスタ	18-34
18.6.2	端子状態	18-35
18.6.3	AC 特性	18-35
第 19 章 ハイパフォーマンスユーザデバッグインタフェース (H-UDI)		
19.1	概要	19-1
19.1.1	特長	19-1
19.1.2	H-UDI ブロック図	19-2
19.1.3	端子構成	19-3
19.1.4	レジスタ構成	19-3

19.2	外部信号	19-5
19.2.1	テストクロック (TCK)	19-5
19.2.2	テストモードセレクト (TMS)	19-5
19.2.3	テストデータ入力 (TDI)	19-5
19.2.4	テストデータ出力 (TDO)	19-5
19.2.5	テストリセット ($\overline{\text{TRST}}$)	19-5
19.3	レジスタ	19-6
19.3.1	インストラクションレジスタ (SDIR)	19-6
19.3.2	ステータスレジスタ (SDSR)	19-7
19.3.3	データレジスタ (SDDR)	19-8
19.3.4	バイパスレジスタ (SDBPR)	19-9
19.3.5	バウンダリスキャンレジスタ (SDBSR)	19-9
19.3.6	ID コードレジスタ (SDIDR)	19-20
19.4	動作	19-21
19.4.1	TAP コントローラ	19-21
19.4.2	H-UDI 割り込みとシリアル転送	19-21
19.4.3	H-UDI のリセット	19-25
19.5	バウンダリスキャン	19-26
19.5.1	サポートする命令	19-26
19.5.2	注意事項	19-27
19.6	使用上の注意事項	19-28
第 20 章 アドバンスユーザデバッグ (AUD)		
20.1	概要	20-1
20.1.1	特長	20-1
20.1.2	ブロック図	20-2
20.2	端子構成	20-2
20.2.1	端子説明	20-2
20.3	ブランチトレースモード	20-4
20.3.1	概要	20-4
20.3.2	動作説明	20-4
20.4	RAM モニタモード	20-5
20.4.1	概要	20-5
20.4.2	通信プロトコル	20-5
20.4.3	動作説明	20-5
20.5	使用上の注意事項	20-7
20.5.1	初期化	20-7
20.5.2	ソフトウェアスタンバイ時の動作	20-7
第 21 章 ピンファンクションコントローラ (PFC)		
21.1	概要	21-1
21.2	レジスタ構成	21-5
21.3	レジスタ説明	21-6
21.3.1	ポート A・IO レジスタ (PAIOR)	21-6
21.3.2	ポート A コントロールレジスタ H、L (PACRH、PACRL)	21-6

21.3.3	ポート B・IO レジスタ (PBIOR)	21-12
21.3.4	ポート B コントロールレジスタ H、L (PBCRH、PBCRL)	21-12
21.3.5	ポート B インバートレジスタ (PBIR)	21-17
21.3.6	ポート C・IO レジスタ (PCIOR)	21-18
21.3.7	ポート C コントロールレジスタ (PCCR)	21-18
21.3.8	ポート D・IO レジスタ (PDIOR)	21-20
21.3.9	ポート D コントロールレジスタ H、L (PDCRH、PDCRL)	21-20
21.3.10	ポート E・IO レジスタ (PEIOR)	21-25
21.3.11	ポート E コントロールレジスタ (PECR)	21-25
21.3.12	ポート F・IO レジスタ (PFIOR)	21-29
21.3.13	ポート F コントロールレジスタ H、L (PFCRH、PFCRL)	21-30
21.3.14	ポート G・IO レジスタ (PGIOR)	21-35
21.3.15	ポート G コントロールレジスタ (PGCR)	21-36
21.3.16	ポート H・IO レジスタ (PHIOR)	21-37
21.3.17	ポート H コントロールレジスタ (PHCR)	21-38
21.3.18	ポート J・IO レジスタ (PJIOR)	21-42
21.3.19	ポート J コントロールレジスタ H、L (PJCRH、PJCRL)	21-42
21.3.20	ポート K・IO レジスタ (PKIOR)	21-47
21.3.21	ポート K コントロールレジスタ H、L (PKCRH、PKCRL)	21-48
21.3.22	ポート K インバートレジスタ (PKIR)	21-53
21.3.23	ポート L・IO レジスタ (PLIOR)	21-53
21.3.24	ポート L コントロールレジスタ H、L (PLCRH、PLCRL)	21-54
21.3.25	ポート L インバートレジスタ (PLIR)	21-58

第 22 章 I/O ポート

22.1	概要	22-1
22.2	ポート A	22-1
22.2.1	レジスタ構成	22-2
22.2.2	ポート A データレジスタ (PADR)	22-2
22.2.3	ポート A ポートレジスタ (PAPR)	22-2
22.3	ポート B	22-3
22.3.1	レジスタ構成	22-3
22.3.2	ポート B データレジスタ (PBDR)	22-3
22.3.3	ポート B ポートレジスタ (PBPR)	22-4
22.4	ポート C	22-4
22.4.1	レジスタ構成	22-5
22.4.2	ポート C データレジスタ (PCDR)	22-5
22.5	ポート D	22-6
22.5.1	レジスタ構成	22-6
22.5.2	ポート D データレジスタ (PDDR)	22-6
22.5.3	ポート D ポートレジスタ (PDPR)	22-7
22.6	ポート E	22-8
22.6.1	レジスタ構成	22-8
22.6.2	ポート E データレジスタ (PEDR)	22-8
22.7	ポート F	22-10
22.7.1	レジスタ構成	22-10

22.7.2	ポート F データレジスタ (PFDR)	22-10
22.8	ポート G	22-11
22.8.1	レジスタ構成	22-11
22.8.2	ポート G データレジスタ (PGDR)	22-12
22.9	ポート H	22-13
22.9.1	レジスタ構成	22-14
22.9.2	ポート H データレジスタ (PHDR)	22-14
22.10	ポート J	22-15
22.10.1	レジスタ構成	22-15
22.10.2	ポート J データレジスタ (PJDR)	22-15
22.10.3	ポート J ポートレジスタ (PJPR)	22-16
22.11	ポート K	22-17
22.11.1	レジスタ構成	22-17
22.11.2	ポート K データレジスタ (PKDR)	22-17
22.12	ポート L	22-18
22.12.1	レジスタ構成	22-19
22.12.2	ポート L データレジスタ (PLDR)	22-19
22.12.3	ポート L ポートレジスタ (PLPR)	22-20
22.13	POD (ポートアウトプットディスエーブル)	22-20

第 23 章 ROM

23.1	特長	23-1
23.2	概要	23-3
23.2.1	ブロック図	23-3
23.2.2	動作モード	23-4
23.2.3	モード比較	23-5
23.2.4	フラッシュメモリ構成	23-6
23.2.5	ブロック分割	23-7
23.2.6	書き込み/消去インタフェース	23-8
23.3	端子構成	23-10
23.4	レジスタ構成	23-10
23.4.1	レジスタ一覧	23-10
23.4.2	書き込み/消去インタフェースレジスタ	23-12
23.4.3	書き込み/消去インタフェースパラメータ	23-17
23.4.4	RAM エミュレーションレジスタ (RAMER)	23-29
23.5	オンボードプログラミングモード	23-31
23.5.1	ブートモード	23-31
23.5.2	ユーザプログラムモード	23-34
23.5.3	ユーザブートモード	23-44
23.6	プロテクト	23-48
23.6.1	ハードウェアプロテクト	23-48
23.6.2	ソフトウェアプロテクト	23-48
23.6.3	エラープロテクト	23-49

23.7	RAMによるフラッシュメモリのエミュレーション	23-50
23.8	使用上のご注意	23-53
23.8.1	ユーザマットとユーザブートマトの切り替え	23-53
23.8.2	書き込み/消去手続き実行中の割り込み	23-54
23.8.3	その他のご注意	23-57
23.9	ライターモード	23-59
23.9.1	ソケットアダプタの端子対応図	23-59
23.9.2	ライターモードの動作	23-61
23.9.3	メモリ読み出しモード	23-62
23.9.4	自動書き込みモード	23-63
23.9.5	自動消去モード	23-63
23.9.6	ステータス読み出しモード	23-64
23.9.7	ステータスポーリング	23-64
23.9.8	ライターモードへの遷移時間	23-64
23.9.9	メモリ書き込み注意事項	23-65
23.10	付録	23-65
23.10.1	ブートモードの標準シリアル通信インタフェース仕様	23-65
23.10.2	ライターモードの AC 特性、タイミング	23-85
23.10.3	手順プログラム、または書き込みデータの格納可能領域	23-91
第 24 章 RAM		
24.1	概要	24-1
24.1.1	概要	24-1
24.2	動作説明	24-2
第 25 章 低消費電力状態		
25.1	概要	25-1
25.1.1	低消費電力モードの種類	25-1
25.1.2	端子構成	25-3
25.1.3	関連レジスタ	25-3
25.2	レジスタの説明	25-4
25.2.1	スタンバイコントロールレジスタ (SBYCR)	25-4
25.2.2	システムコントロールレジスタ 1 (SYSCR1)	25-5
25.2.3	システムコントロールレジスタ 2 (SYSCR2)	25-6
25.2.4	レジスタアクセス時の注意	25-8
25.3	ハードウェアスタンバイモード	25-8
25.3.1	ハードウェアスタンバイモードへの遷移	25-8
25.3.2	ハードウェアスタンバイモードの解除	25-8
25.3.3	ハードウェアスタンバイモードのタイミング	25-8
25.4	ソフトウェアスタンバイモード	25-9
25.4.1	ソフトウェアスタンバイモードへの遷移	25-9
25.4.2	ソフトウェアスタンバイモードの解除	25-9
25.4.3	ソフトウェアスタンバイモードの応用例	25-10
25.5	スリープモード	25-10
25.5.1	スリープモードへの遷移	25-10

25.5.2	スリープモードの解除	25-11
第 26 章	信頼性について	
26.1	信頼性について	26-1
第 27 章	電気的特性	
27.1	絶対最大定格	27-1
27.2	DC 特性	27-2
27.3	AC 特性	27-12
27.3.1	電源投入・切断タイミング	27-12
27.3.2	クロックタイミング	27-13
27.3.3	制御信号タイミング	27-15
27.3.4	バスタイミング	27-18
27.3.5	アドバンストタイムユニットタイミング アドバンストパルス コントローラタイミング	27-22
27.3.6	I/O ポートタイミング	27-24
27.3.7	ウォッチドッグタイマタイミング	27-25
27.3.8	シリアルコミュニケーションインタフェースタイミング	27-26
27.3.9	HCAN-II タイミング	27-28
27.3.10	A/D 変換器タイミング	27-29
27.3.11	H-UDI タイミング	27-31
27.3.12	AUD タイミング	27-33
27.3.13	UBC トリガタイミング	27-35
27.3.14	AC 特性測定条件	27-36
27.4	A/D 変換器特性	27-37
27.5	フラッシュメモリ特性	27-38
27.6	使用上の注意	27-39
27.6.1	V _{CL} コンデンサ接続方法	27-39
27.6.2	モード端子入力に関する注意事項	27-40
付録		
A.	内蔵周辺モジュールレジスタ	付録-1
A.1	アドレス一覧	付録-1
A.2	リセット、低消費電力状態でのレジスタ状態	付録-69
B.	端子状態	付録-73
C.	型名一覧	付録-76
D.	外形寸法図	付録-77

1. 概要

1.1 特長

本 LSI は、ルネサスオリジナルの RISC 方式の CPU をコアにして、システム構成に必要な周辺機能を集積したシングルチップ RISC マイコンです。

本 LSI の CPU は、RISC 方式の命令セットを持っており、基本命令は 1 命令 1 ステート (1 システムクロックサイクル) で動作するので、命令実行速度が飛躍的に向上しています。また内部 32 ビット構成を採用しており、データ処理能力を強化しています。本 LSI の CPU によって、従来のマイコンでは実現が不可能だった、高速性が要求されるリアルタイム制御などのアプリケーションでも、低コストでかつ高性能／高機能なシステムを組むことができるようになります。

さらに本 LSI はシステム構成に必要な周辺機能として、浮動小数点演算ユニット (FPU)、ROM、RAM、ダイレクトメモリアクセスコントローラ (DMAC)、タイマ、シリアルコミュニケーションインタフェース (SCI)、コントローラエリアネットワーク-II (HCAN-II)、A/D 変換器、割り込みコントローラ (INTC)、I/O ポートなどを内蔵しています。

また、外部メモリアクセスサポート機能により、ROM や SRAM と直接接続することができます。これらにより、システムコストの大幅な低減が可能です。

内蔵 ROM はフラッシュメモリを内蔵した F-ZTATTM* (Flexible Zero Turn Around Time) 版です。フラッシュメモリは本 LSI の書き込みをサポートしているライタを用いてプログラムの書き込みができるほか、ソフトウェアで書き込み／消去することもできます。これにより、LSI をボードに組み込んだままユーザサイドで書き換えが可能です。

本 LSI の特長を表 1.1 に示します。

【注】* F-ZTAT は、(株)ルネサス テクノロジーの商標です。

1. 概要

表 1.1 特長

項目	特長
CPU	<ul style="list-style-type: none"> ●最高動作周波数：80MHz ●ルネサスオリジナル SH-2E CPU ●内部 32 ビット構成 ●汎用レジスタマシン <ul style="list-style-type: none"> ー汎用レジスタ32 ビット×16 本 ーコントロールレジスタ32 ビット×3 本 ーシステムレジスタ32 ビット×4 本 ●命令実行時間 基本命令は 1 命令／1 ステート（80MHz 動作時：12.5ns／命令） ●アドレス空間 アーキテクチャ上は 4GB ●パイプライン 5 段パイプライン方式
動作状態	<ul style="list-style-type: none"> ●動作モード <ul style="list-style-type: none"> ーシングルチップモード ー 8/16 ビットバス拡張モード <ul style="list-style-type: none"> ・内蔵 ROM ありモード ・内蔵 ROM なしモード ●処理状態 <ul style="list-style-type: none"> ーリセット状態 ープログラム実行状態 ー例外処理状態 ーバス権解放状態 ー低消費電力状態 ●低消費電力機能 <ul style="list-style-type: none"> ースリープモード ーソフトウェアスタンバイモード ーハードウェアスタンバイモード ーモジュールスタンバイ
乗算器	<ul style="list-style-type: none"> ●32×32→64 の乗算を 2~4 ステートで実行 ●32×32+64→64 の積和演算を 2~4 ステートで実行
浮動小数点演算器 (FPU)	<ul style="list-style-type: none"> ●SuperH アーキテクチャのコプロセッサ ●単精度浮動少数点演算サポート ●IEEE 規格で規定されているデータタイプのサブセットをサポート ●無効演算 (Invalid Operation) およびゼロによる除算の例外検出をサポート (IEEE 規格のサブセット) ●丸めモードとして、ゼロ方向への丸めをサポート (IEEE 規格のサブセット) ●16 本の 32 ビット浮動小数点データレジスタ ●FMAC 命令 (積和演算命令) をサポート ●FDIV 命令 (除算命令) をサポート ●FLDI0/FLDI1 命令 (定数 0/1 のロード命令) をサポート ●命令遅延時間：FMAC/FADD/FSUB/FMUL の各命令の場合、2 サイクル ●実行ピッチ：FMAC/FADD/FSUB/FMUL の各命令の場合、1 サイクル
クロック発振器 (CPG/PLL)	<ul style="list-style-type: none"> ●内蔵発振回路 (最大動作周波数：80MHz) ●CPU 用システムクロックと周辺モジュール用周辺クロックを独立に生成 ●内蔵 PLL によりクロック逡倍 (×4、×8) が可能 ●入力クロック周波数 5~10MHz

項目	特長
割り込み コントローラ (INTC)	<ul style="list-style-type: none"> ●外部割り込み端子×9本 (NMI、$\overline{IRQ0}$~$\overline{IRQ7}$) ●内部割り込み要因 117 要因 (ATU-II×75、SCI×20、DMAC×4、A/D×5、WDT×1、UBC×1、CMT×2、HCAN-II×8、H-UDI×1) ●16 レベルの優先順位設定が可能
ユーザブレイク コントローラ (UBC)	<ul style="list-style-type: none"> ●CPU や DMAC が、ある設定した条件のバスサイクルを生成すると割り込みを発生 (割り込みマスクも可能) ●ブレイク条件でトリガパルス出力 (UBCTRG) が可能 ートリガパルス幅選択可能 (ϕ×1、×4、×8、×16) ●オンチップデバッグの構築が容易
バステート コントローラ (BSC)	<ul style="list-style-type: none"> ●外部のメモリアクセスをサポート (SRAM、ROM をダイレクト接続可) : 8/16 ビットバス空間 ●3.3V バスインタフェース ●アドレス空間を 16MB の 4 空間に分割、それぞれ以下の機能を選択可能 ーバスサイズ : 8/16 ビット ーウェイトサイクル数 ーエリアに対応した選択信号 ($\overline{CS0}$~$\overline{CS3}$) を出力 ●外部 \overline{WAIT} 信号によるウェイトサイクルの挿入可 ●外部最小アクセスサイクル 2 サイクル ●バス衝突回避のためのアイドルサイクル挿入可
ダイレクトメモリ アクセス コントローラ (DMAC) ×4 チャンネル	<ul style="list-style-type: none"> ●下記デバイス間の DMA 転送が可能 ー外部メモリ、内蔵メモリ、内蔵周辺モジュール (DMAC、UBC、BSC 除く) ●DMA 転送要求可能な内蔵モジュール ーSCI、A/D 変換器、ATU-II、HCAN-II ●サイクルスチールモードまたはバーストモード転送可能 ●デュアルアドレスモード ー直接転送モード ー間接転送モード (チャンネル3のみ) ●アドレスリロード機能 (チャンネル2のみ) ●転送データ幅 : バイト/ワード/ロングワード
アドバンスドタイマ ユニット (ATU-II)	<ul style="list-style-type: none"> ●最大 65 本の入出力が可能 ー32 ビットインプットキャプチャ×4本 ー16 ビットインプットキャプチャ/アウトプットコンペア×30本 ー16 ビットワンショットパルス×16本 ー16 ビットPWM×8本 ー8 ビットイベントカウンタ×6本 ー欠け歯検出機能×1本 ●入出力端子出力反転機能
アドバンスドパルス コントローラ (APC)	<ul style="list-style-type: none"> ●ATU-II (チャンネル11) のコンペアマッチ信号を受けて最大 8 本のパルス出力に分配
ウォッチドッグ タイマ (WDT) ×1 チャンネル	<ul style="list-style-type: none"> ●ウォッチドッグタイマ/インタバルタイマの切り替えが可能 ●カウンタオーバフロー時、内部リセット、外部信号、または割り込みを発生 ●2 種類の内部リセット ーパワーオンリセット ーマニュアルリセット

1. 概要

項目	特長
コンペアマッチ タイマ (CMT) ×2 チャンネル	<ul style="list-style-type: none"> ●4 種類のカウンタ入力クロックを選択可能 ●コンペアマッチ割り込みを各チャンネル独立に要求可能
シリアル コミュニケーション インタフェース (SCI) ×5 チャンネル	<ul style="list-style-type: none"> ●調歩同期/クロック同期式モードの選択が可能 ●送受信を同時に行うことが可能 (全二重) ●複数のプロセッサとシリアルデータ通信が可能 (調歩同期モード) ●クロック反転機能 ●送信時 LSB/MSB ファースト選択機能
コントローラ エリアネットワーク-II (HCAN-II) ×2 チャンネル	<ul style="list-style-type: none"> ●CAN バージョン : Bosch 2.0B active 対応 ●バッファサイズ (各チャンネル) : 送信/受信 ×31 本、受信専用 ×1 本 ●受信メッセージのフィルタリング可能
A/D 変換器	<ul style="list-style-type: none"> ●チャンネル数 : 32 チャンネル ●サンプル&ホールドを 3 系統搭載 <ul style="list-style-type: none"> — 12 チャンネル ×2、8 チャンネル ×1 独立動作 ●2 種類の変換モード選択可能 <ul style="list-style-type: none"> — 単一変換モード — スキャンモード <ul style="list-style-type: none"> ・連続スキャンモード ・1 サイクルスキャンモード ●外部トリガと ATU-II のコンペアマッチによる起動も可能 ●10 ビット分解能 ●精度 : ±2LSB
マルチトリガ A/D (MTAD)	<ul style="list-style-type: none"> ●特定の ch のスキャン変換時に A/D 内蔵タイマのコンペアマッチにより、要求があったチャンネルを優先的に A/D 変換することが可能
ハイパフォーマンス ユーザデバッグ インタフェース (H-UDI)	<ul style="list-style-type: none"> ●IEEE1149.1 対応 <ul style="list-style-type: none"> ・5 本のテスト信号 (TCK、TDI、TDO、TMS、TRST) ・TAP コントローラ ・インストラクションレジスタ ・データレジスタ ・バイパスレジスタ ●IEEE1149.1 規格対応のテストモード <ul style="list-style-type: none"> ・標準命令 : BYPASS、SAMPLE/PRELOAD、EXTEST ・オプション命令 : CLAMP、HIGHZ、IDCODE ●H-UDI 割り込み <ul style="list-style-type: none"> ・INTC への H-UDI 割り込み要求
アドバンストユーザ デバッグ (AUD)	<ul style="list-style-type: none"> ●8 本の専用端子 ●RAM モニタモード <ul style="list-style-type: none"> — データ入出力周波数 : 10MHz 以下かつ動作周波数の 1/4 以下 — 内部/外部バスに接続されているモジュールのリード/ライトが可能 ●分岐アドレス出力モード
I/O ポート (タイマ入出力端子、 アドレス、データバス を含む)	<ul style="list-style-type: none"> ●入出力兼用端子 : 149 本 ●シュミット入力端子 : NMI、IRQn、RES、HSTBY、FWE、TCLK、IC、IC/OC、SCK、ADTRG ●入力ポートの保護

項目	特長
ROM	<ul style="list-style-type: none">●1MB フラッシュメモリ●1MB を 16 ブロックに分割<ul style="list-style-type: none">ー小ブロック : 4kB×8 ブロックー中ブロック : 96kB×1 ブロックー大ブロック : 128kB×7 ブロック●RAM エミュレーション機能 (小ブロック 4kB を使用)●フラッシュメモリプログラム方法<ul style="list-style-type: none">ーブートモードーユーザプログラムモードーユーザブートモードーライターモード
RAM	●48k バイト SRAM

1. 概要

1.2 ブロック図

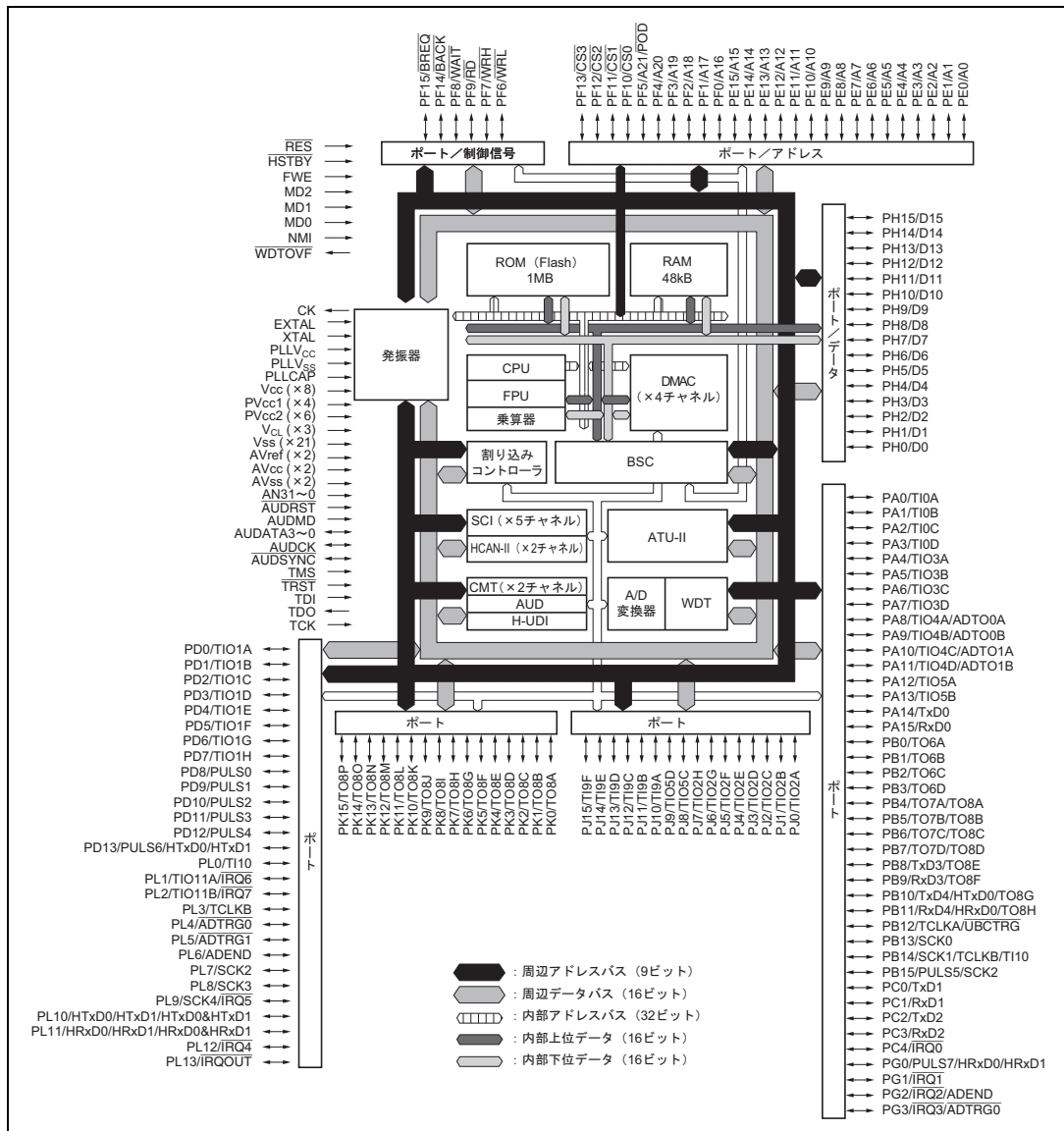
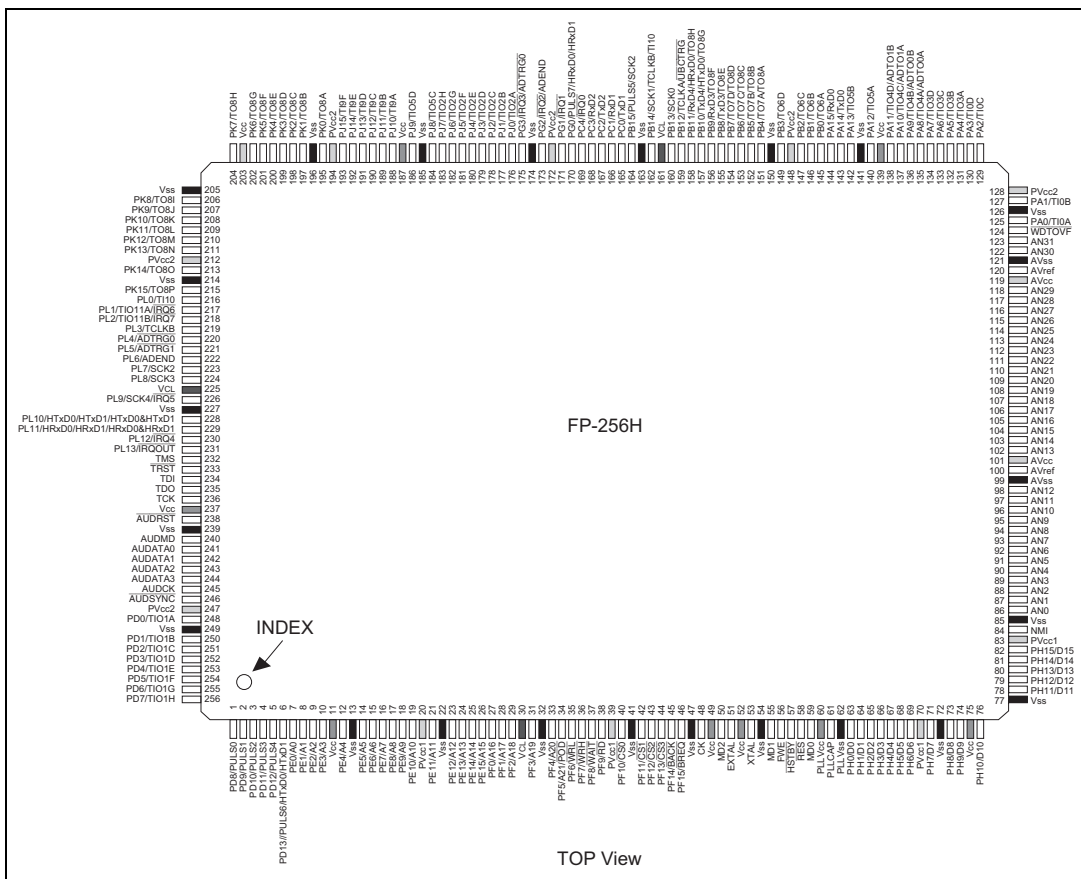


図 1.1 SH7058 ブロック図

1.3 端子説明

1.3.1 ピン配置



1. 概要

20		PH5/D5	PH13/D13	PH15/D15	NMI	AN3	AN5	AN8	AVss	AVcc	AN15	AN16	AN19	AN21	AN24	AVcc	AVss	PA2/TIO3	PA4/TIO3A		
19	PH2/D2	PH4/D4	PH7/D7	PH12/D12	PH14/D14	Vss	AN2	AN7	AN9	AVref	AN13	AN18	AN22	AN23	AN28	AVref	PVcc2	PA3/TIO0	PA6/TIO3C	PA7/TIO3D	
18	PLLvss	PH1/D1	PH3/D3	PH8/D8	PH11/D11	PVcc1	AN1	AN4	AN10	AN11	AN14	AN20	AN26	AN27	AN31	Vss	PA0/TIOA	PA5/TIO3B	PA8/TIO4A/ADT0A	PA10/TIO4C/ADT0A	
17	PLLvcc	PLLCAP	PH6/D6	PH9/D9	PH10/D10	Vcc	Vss	AN0	AN6	AN12	AN17	AN25	AN29	AN30	WDT0V/F	PA1/TIOB	PA9/TIO4B/ADT0B	PA11/TIO4D/ADT0B	PA12/TIO5A	PA14/TxD0	
16	HSTBY	RES	MD0	PVcc1													Vcc	Vss	PA13/TIO5B	PA15/RxD0	
15	XTAL	Vss	MD1	PH0/D0													PB0/TO6A	PVcc2	PB1/TO6B	PB2/TO6C	
14	EXTAL	Vcc	MD2	FWE													PB4/TO7A/TO8A	PB5/TO7B/TO8B	PB6/TO7C/TO8C	PB3/TO6D	
13	CK	Vss	PF15/BREQ	Vcc													PB9/RxD3/TO8F	PB10/TxD4/TO8G	PB8/TxD3/TO8E	PB7/TO7D/TO8D	
12	PF11/CS1	PF13/CS3	PF12/CS2	PF14/BACK					Vss	Vss	Vss	Vss					PB15/PULS3/SCK2	PB11/RxD4/HrxD0/TO8H	PB12/TCU0A/USCTR0	PB13/SCK0	
11	PF10/CS0	PF9/RD	PVcc1	Vss					Vss	Vss	Vss	Vss					PC1/RxD1	PC0/TxD1	Vss	VCL	
10	PF8/WAIT	PF6/WRL	PF5/A21/POD	PF7/WRH					Vss	Vss	Vss	Vss					PC3/RxD2	PC4/IR00	PC2/TxD2	PB14/SCK1/TCU0B/TIO1	
9	Vss	VCL	PF4/A20	PF3/A19					Vss	Vss	Vss	Vss					Vss	PVcc2	PG2/IRQ2/ADEND	PG0/PULS7/Hr00/HrD1	
8	PF2/A18	PF1/A17	PF0/A16	PE15/A15													PJ3/TIO2D	PJ2/TIO2C	PG3/IRQ3/ADTRG0	PG1/IRQ1	
7	PE14/A14	PE13/A13	PE12/A12	Vss													PJ8/TIO5C	PJ7/TIO2H	PJ4/TIO2E	PJ0/TIO2A	
6	PE11/A11	PE10/A10	PVcc1	PE9/A9													Vcc	Vss	PJ6/TIO2G	PJ1/TIO2B	
5	PE8/A8	PE7/A7	PE6/A6	Vcc													Vss	PVcc2	PJ11/TIO9	PJ5/TIO2F	
4	PE5/A5	PE4/A4	PE2/A2	PE1/A1	PD8/PULS0	PD6/TIO1G	PD1/TIO1B	PVcc2	Vss	TDI	PL8/SCK3	PL4/ADTRG0	PL0/TIO10	Vss	PK8/TO8I	PK5/TO8G	Vcc	PJ15/TIO9F	PJ13/TIO9D	PJ9/TIO5D	
3	PE3/A3	PE0/A0	PD11/PULS3	PD9/PULS1	PD7/TIO1H	PD5/TIO1F	Vss	AUDMD	Vcc	TMS	PL9/SCK4/IRG5	PL7/SCK2	PL3/TKLB	PVcc2	PK12/TO8M	PK10/TO8K	PK9/TO8J	PK11/TO8B	PJ14/TIO9E	PJ10/TIO8A	
2	PD13/PULS6/HrD0/HrD1	PD12/PULS4	PD10/PULS2	PD4/TIO1E	PD2/TIO1C	AUDSYNC	AUDATA2	AUDRST	TCK	PL12/IRG4	PL11/HrD0/IRD1/HrD0/HrD1	VCL	PL6/ADEND	PL1/TIO11A/IR06	PK14/TO8O	PK11/TO8L	PK7/TO8H	PK3/TO8D	PK2/TO8C	PJ12/TIO9C	
1		PD3/TIO1D	PD0/TIO1A	AUDCK	AUDATA3	AUDATA1	AUDATA0	TDO	TRST	PL13/IRQOUT	PL10/HrD0/IRD1/HrD0/HrD1	Vss	PL5/ADTRG1	PL2/TIO11B/IR07	PK15/TO8P	PK13/TO8N	PK5/TO8F	PK4/TO8E	PK0/TO8A		
		A	B	C	D	E	F	G	H	J	K	L	M	N	P	R	T	U	V	W	Y

図 1.3 ピン配置 (BP-272)

1.3.2 端子機能

端子の機能について表 1.2 に示します。

表 1.2 端子の機能

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
電源	V _{CC}	11,49,52,75, 139,187, 203, 237	D5,D13,B14, F17,U16,U6, U4,J3	入力	電源	LSI 内部およびシステム系ポート (RES、MD2~0、FWE、HSTBY、NMI、CK、EXTAL、XTAL、H-UDI ポート) 用の電源です。V _{CC} 端子は、すべてシステムのシステム系電源に接続してください。開放端子があると動作しません。
	PV _{CC1}	20,39,70,83	C6,C11,D16, F18	入力	ポート電源 1	バス系ポート (ポート E、ポート F、ポート H) 用電源です。PV _{CC1} 端子は、すべてシステムのバス系電源に接続してください。開放端子があると動作しません。
	PV _{CC2}	128,148,172, 194,212,247	U19,V15,V9, V5,P3,H4	入力	ポート電源 2	周辺モジュール系ポート (ポート A、ポート B、ポート C、ポート D、ポート G、ポート J、ポート K、ポート L、AUD ポート、WDTOVF) 用電源です。PV _{CC2} 端子は、すべてシステムの周辺モジュール系電源に接続してください。開放端子があると動作しません。
	V _{CL}	30,161,225	B9,Y11,M2	入力	内部降圧電源端子	内部降圧電源の電圧安定用のコンデンサを接続する端子です。(0.33μF、0.47μF) のコンデンサを介して V _{SS} に接続してください (端子近くに配置)。外部電源に接続しないでください。
	V _{SS}	13,22,32,41, 47,54,72,77, 85,126,141, 150,163,174, 185,196,205, 214,227,239, 249	A9,B13,B15, D7,D11,F19, G3,G17,J4, J9~12, K9~12, L9~12,M1, M9~12,P4, T18,U5,U9, V6,V16,W11	入力	グラウンド	グラウンドに接続します。V _{SS} 端子は、すべてシステムのグラウンドに接続してください。開放端子があると動作しません。
フラッシュメモリ	FWE	56	D14	入力	フラッシュライトイネーブル	通常動作時は、グラウンドに接続します。オンボードプログラム時は、V _{CC} を印加します。
クロック	PLL _{VCC}	60	A17	入力	PLL 用電源	内蔵 PLL 発振器用の電源です。電源の接続は「第 5 章 クロック発振器 (CPG)」を参照してください。
	PLL _{VSS}	62	A18	入力	PLL 用グラウンド	内蔵 PLL 発振器用のグラウンドです。電源の接続は「第 5 章 クロック発振器 (CPG)」を参照してください。
	PLL _{CAP}	61	B17	入力	PLL 用容量	内蔵 PLL 発振器用の外付け容量端子です。外付け容量の接続は「第 5 章 クロック発振器 (CPG)」を参照してください。

1. 概要

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
クロック	EXTAL	51	A14	入力	外部クロック	水晶発振子を接続します。 また、EXTAL 端子は外部クロックを入力することもできます。
	XTAL	53	A15	入力	クリスタル	水晶発振子を接続します。
	CK	48	A13	出力	周辺クロック	周辺デバイスに周辺クロックを供給します。
システム制御	$\overline{\text{RES}}$	58	B16	入力	パワーオンリセット	この端子にローレベルを印加すると、パワーオンリセット状態になります。
	$\overline{\text{WDTOVF}}$	124	R17	出力	ウォッチドッグタイマ オーバフロー	WDT からのオーバフロー出力信号です。
	$\overline{\text{BREQ}}$	46	C13	入力	バス権要求	外部デバイスがバス権の解放を要求するときにローレベルにします。
	$\overline{\text{BACK}}$	45	D12	出力	バス権要求 アクノリッジ	バス権を外部デバイスに解放したことを示します。 $\overline{\text{BREQ}}$ 信号を出力したデバイスは、 $\overline{\text{BACK}}$ 信号を受けて、バス権を獲得したことを知ることができます。
動作モード制御	MD0~MD2	59,55,50	C16,C15,C14	入力	モード設定	動作モードを決める端子です。 動作中は、入力値を変化させないでください。
	$\overline{\text{HSTBY}}$	57	A16	入力	ハードウェアスタンバイ	この端子にローレベルを入力するとハードウェアスタンバイ状態になります。
割り込み	NMI	84	E20	入力	ノンマスクابل 割り込み	マスク不可能な割り込み要求端子です。 立ち上がりエッジ、立ち下がりエッジのどちらで受け付けるかを選択できます。
	$\overline{\text{IRQ0}}\sim\overline{\text{IRQ7}}$	169,171,173, 175,230,226, 217,218	V10,Y8,W9, W8,K2,L3, P2,P1	入力	割り込み要求 0~7	マスク可能な割り込み要求端子です。レベル入力、エッジ入力の選択が可能です。
	$\overline{\text{IRQOUT}}$	231	K1	出力	割り込み要求 出力	割り込み要因が発生したことを示します。 バスリリース中にも割り込み発生を知ることができます。
アドレスバス	A0~A21	7~10,12, 14~19,21, 23~29,31, 33,34	B3,D4,C4, A3,B4,A4,C5, B5,A5,D6,B6, A6,C7,B7,A7, D8,C8,B8, A8,D9,C9, C10	出力	アドレスバス	アドレスを出力します。
データバス	D0~D15	63~69,71, 73,74,76, 78~82	D15,B18, A19,C18, B19,B20, C17,C19, D18,D17, E17,E18, D19,C20, E19,D20	入出力	データバス	16 ビットの双方向データバスです。

1. 概要

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
バス制御	$\overline{CS0} \sim \overline{CS3}$	40,42~44	A11,A12, C12,B12	出力	チップセレクト 0~3	外部メモリまたはデバイスのためのチップセレクト信号です。
	\overline{RD}	38	B11	出力	リード	外部のデバイスから読み出しすることを示します。
	\overline{WRH}	36	D10	出力	上位側ライト	外部の上位 8 ビットに書き込みすることを示します
	\overline{WRL}	35	B10	出力	下位側ライト	外部の下位 8 ビットに書き込みすることを示します
	\overline{WAIT}	37	A10	入力	ウェイト	外部空間をアクセスするときのバスサイクルにウェイトサイクルを挿入させる入力です。
アドバンスド タイマ ユニット-II (ATU-II)	TCLKA, TCLKB	159,162,219	W12,Y10,N3	入力	ATU-II タイマ クロック入力	ATU-IIのカウンタへの外部クロック入力端子です。
	TIOA~TIOD	125,127,129, 130	U18,T17, V20,V19	入力	ATU-II インพุット キャプチャ (チャンネル0)	チャンネル0のインพุットキャプチャ入力端子です。
	TIO1A~ TIO1H	248, 250~256	C1,G4,E2, B1,D2,F3,F4, E3	入出力	ATU-II インพุット キャプチャ/ アウトพุット コンペア (チャンネル1)	チャンネル1のインพุットキャプチャ入力/ アウトพุットコンペア出力端子です。
	TIO2A~ TIO2H	176~183	Y7,Y6,V8,U8, W7,Y5,W6, V7	入出力	ATU-II インพุット キャプチャ/ アウトพุット コンペア (チャンネル2)	チャンネル2のインพุットキャプチャ入力/ アウトพุットコンペア出力端子です。
	TIO3A~ TIO3D	131~134	W20,V18, W19,Y19	入出力	ATU-II インพุット キャプチャ/ アウトพุット コンペア/PWM 出力 (チャンネル3)	チャンネル3のインพุットキャプチャ入力/ アウトพุットコンペア/PWM出力端子 です。
	TIO4A~ TIO4D	135~138	W18,U17, Y18,V17	入出力	ATU-II インพุット キャプチャ/ アウトพุット コンペア/PWM 出力 (チャンネル4)	チャンネル4のインพุットキャプチャ入力/ アウトพุットコンペア/PWM出力端子 です。
	TIO5A~ TIO5D	140,142,184, 186	W17,W16, U7,Y4	入出力	ATU-II インพุット キャプチャ/ アウトพุット コンペア/PWM 出力 (チャンネル5)	チャンネル5のインพุットキャプチャ入力/ アウトพุットコンペア/PWM出力端子 です。
	TO6A~ TO6D	145~147, 149	U15,W15, Y15,Y14	出力	ATU-II PWM 出力 (チャンネル6)	チャンネル6のPWM出力端子です。
	TO7A~ TO7D	151~154	U14,V14, W14,Y13	出力	ATU-II PWM 出力 (チャンネル7)	チャンネル7のPWM出力端子です。

1. 概要

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
アドバンス トタイマ ユニット-II (ATU-II)	TO8A~ TO8P	151~158, 195, 197~202, 204, 206~211, 213,215	U14,V14, W14,Y13, W13,U13, V13,V12,W1, V3,W2,V2, V1,U1,T4,U2, R4,U3,T3,T2, R3,T1,R2,R1	出力	ATU-II ワンショット パルス (チャンネル8)	チャンネル8のダウンカウンタのワンショットパルス出力端子です。
	TI9A~TI9F	188~193	Y3,W5,Y2, W4,W3,V4	入力	ATU-II イベント入力 (チャンネル9)	チャンネル9イベントカウンタ入力
	TI10	162,216	Y10,N4	入力	ATU-II倍周 クロック生成 (チャンネル10)	チャンネル10の外部クロック入力端子です。
	TIO11A, TIO11B	217,218	P2,P1	入出力	ATU-IIインプット キャプチャ/ アウトプット コンペア出力	チャンネル11のインプットキャプチャ入力/アウトプットコンペア出力端子です。
アドバンス トパルスコン ローラ (APC)	PULS0~ PULS7	1~6,164,170	E4,D3,C2, C3,B2,A2, U12,Y9	出力	APCパルス出力 0~7	APCのパルス出力端子です。
シリアルコ ミュニケー ションイン タフェ ース (SCI)	TxD0~TxD4	143,165,167, 155, 157	Y17,V11, W10,W13, V13	出力	送信データ (チャンネル0~4)	SCI0~SCI4の送信データ出力端子です。
	RxD0~ RxD4	144,166,168, 156,158	Y16,U11, U10,U13, V12	入力	受信データ (チャンネル0~4)	SCI0~SCI4の受信データ入力端子です。
	SCK0~ SCK4	160,162,223, 224,226,164	Y12,Y10,M3, L4,L3,U12	入出力	シリアルクロック (チャンネル0~4)	SCI0~SCI4のクロック入出力端子です。
コントロー ラエリア	HTxD0, HTxD1	157,228,6	V13,L1,A2	出力	送信データ	CANバス送信データ出力端子です。
ネットワー ク-II (HCAN-II)	HRxD0, HRxD1	158,229,170	V12,L2,Y9	入力	受信データ	CANバス受信データ入力端子です。
A/D変換器	AV _{CC}	101,119	K20,T20	入力	アナログ電源	A/D変換器用の電源です。
	AV _{SS}	99,121	J20,U20	入力	アナロググランド	A/D変換器用の電源です。
	AV _{ref}	100,120	K19,T19	入力	アナログ リファレンス 電源	アナログリファレンス電源入力端子です。

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
A/D 変換器	AN0~ AN31	86~98, 102~118, 122,123	H17,G18, G19,F20, H18,G20, J17,H19, H20,J19,J18, K18,K17,L19, L18,L20,M20, L17,M19, N20,M18, P20,N19, P19,R20, M17,N18, P18,R19, N17,P17,R18	入力	アナログ入力	アナログ信号入力端子です。
	ADTRG0, ADTRG1	175,220,221	W8,M4,N1	入力	A/D 変換トリガ 入力	A/D 変換開始の外部トリガ入力です。
	ADEND	173,222	W9,N2	出力	ADEND 出力	A/D2 のチャンネル 31 変換タイミングモニ タ出力端子
	ADTO0A	135	W18	出力	PWM 出力	マルチトリガ A/D 変換時の PWM 出力端 子です。
	ADTO0B	136	U17	出力	PWM 出力	マルチトリガ A/D 変換時の PWM 出力端 子です。
	ADTO1A	137	Y18	出力	PWM 出力	マルチトリガ A/D 変換時の PWM 出力端 子です。
ADTO1B	138	V17	出力	PWM 出力	マルチトリガ A/D 変換時の PWM 出力端 子です。	
ユーザブレイク コントローラ (UBC)	UBCTRG	159	W12	出力	ユーザブレイク トリガ出力	UBC 条件一致のトリガ出力端子です。
ハイパフォーマンスユーザ デバッグインタフェース (H-UDI)	TCK	236	J2	入力	テストクロック	テストクロック入力端子です。
	TMS	232	K3	入力	テストモード セレクト	テストモードセレクト信号入力端子で す。
	TDI	234	K4	入力	テストデータ 入力	インストラクションとデータのシリアル 入力端子です
	TDO	235	H1	出力	テストデータ 出力	インストラクションとデータのシリアル 出力端子です。
	TRST	233	J1	入力	テストリセット	初期化信号入力端子です。
アドバンスト ユーザデバッ ガ (AUD)	AUDATA0~ AUDATA3	241~244	G1,F1,G2,E1	入出力	AUD データ	ブランチトレースモード： 分岐先アドレス出力端子です。 RAM モニタモード： モニタアドレス入力/データ入出力端子 です。
	AUDRST	238	H2	入力	AUD リセット	リセット信号入力端子です。
	AUDMD	240	H3	入力	AUD モード	モード選択信号入力端子です。 ブランチトレースモード (L) RAM モニタモード (H)

1. 概要

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
アドバンスト ユーザデバッ ガ (AUD)	AUDCK	245	D1	入出力	AUD クロック	ブランチトレースモード： 同期クロック出力端子です。 RAM モニタモード： 同期クロック入力端子です。
	AUDSYNC	246	F2	入出力	AUD 同期信号	ブランチトレースモード： データ先頭位置認識信号出力端子です。 RAM モニタモード： データ先頭位置認識信号入力端子です。
I/O ポート	\overline{POD}	34	C10	入力	ポート アウトプット ディスエーブル	汎用ポートが出力設定時に、ポート端子のドライブ制御をするための入力端子です。
	PA0~PA15	125,127, 129~138, 140, 142~144	U18,T17, V20,V19, W20,V18, W19,Y19, W18,U17, Y18,V17, W17,W16, Y17,Y16	入出力	ポート A	汎用入出力ポート端子です。1 ビットごとに入出力を指定できます。
	PB0~PB15	145~147, 149, 151~160, 162,164	U15,W15, Y15,Y14, U14,V14, W14,Y13, W13,U13, V13,V12, W12,Y12, Y10,U12	入出力	ポート B	汎用入出力ポート端子です。1 ビットごとに入出力を指定できます。
	PC0~PC4	165~169	V11,U11, W10,U10, V10	入出力	ポート C	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PD0~PD13	248, 250~256, 1~6	C1,G4,E2, B1,D2,F3,F4, E3,E4,D3, C2,C3,B2,A2	入出力	ポート D	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PE0~PE15	7~10,12, 14~19,21, 23~26	B3,D4,C4, A3,B4,A4,C5, B5,A5,D6,B6, A6,C7,B7,A7, D8	入出力	ポート E	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PF0~PF15	27~29,31, 33~38,40, 42~46	C8,B8,A8, D9,C9,C10, B10,D10, A10,B11, A11,A12, C12,B12, D12,C13	入出力	ポート F	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PG0~PG3	170,171,173, 175	Y9,Y8,W9, W8	入出力	ポート G	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。

分類	記号	ピン番号		入出力	名称	機能
		FP-256H	BP-272			
I/O ポート	PH0~PH15	63~69,71, 73,74,76, 78~82	D15,B18, A19,C18, B19,B20, C17,C19, D18,D17, E17,E18, D19,C20, E19,D20	入出力	ポート H	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PJ0~PJ15	176~184, 186, 188~193	Y7,Y6,V8,U8, W7,Y5,W6, V7,U7,Y4,Y3, W5,Y2,W4, W3,V4	入出力	ポート I	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PK0~PK15	195, 197~202, 204, 206~211, 213,215	W1,V3,W2, V2,V1,U1,T4, U2,R4,U3, T3,T2,R3,T1, R2,R1	入出力	ポート J	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。
	PL0~PL13	216~224, 226, 228~231	N4,P2,P1, N3,M4,N1, N2,M3,L4,L3, L1,L2,K2,K1	入出力	ポート K	汎用入出力ポート端子です。 1 ビットごとに入出力を指定できます。

1. 概要

1.3.3 端子一覧

表 1.3 端子一覧

ピン番号		MCU モード	ライタモード
FP-256H	BP-272		
1	E4	PD8/PULS0	NC
2	D3	PD9/PULS1	NC
3	C2	PD10/PULS2	NC
4	C3	PD11/PULS3	NC
5	B2	PD12/PULS4	NC
6	A2	PD13/PULS6/HTxD0/HTxD1	NC
7	B3	PE0/A0	A0
8	D4	PE1/A1	A1
9	C4	PE2/A2	A2
10	A3	PE3/A3	A3
11	D5	V _{CC}	V _{CC}
12	B4	PE4/A4	A4
13	* ¹	V _{SS}	V _{SS}
14	A4	PE5/A5	A5
15	C5	PE6/A6	A6
16	B5	PE7/A7	A7
17	A5	PE8/A8	A8
18	D6	PE9/A9	A9
19	B6	PE10/A10	A10
20	C6	PV _{CC} 1	V _{CC}
21	A6	PE11/A11	A11
22	* ¹	V _{SS}	V _{SS}
23	C7	PE12/A12	A12
24	B7	PE13/A13	A13
25	A7	PE14/A14	A14
26	D8	PE15/A15	A15
27	C8	PF0/A16	A16
28	B8	PF1/A17	A17
29	A8	PF2/A18	A18
30	B9	V _{CL}	V _{CL}
31	D9	PF3/A19	A19
32	* ¹	V _{SS}	V _{SS}
33	C9	PF4/A20	NC
34	C10	PF5/A21/POD	NC
35	B10	PF6/ $\overline{\text{WRL}}$	NC
36	D10	PF7/ $\overline{\text{WRH}}$	NC
37	A10	PF8/ $\overline{\text{WAIT}}$	V _{CC}
38	B11	PF9/ $\overline{\text{RD}}$	NC
39	C11	PV _{CC} 1	V _{CC}
40	A11	PF10/ $\overline{\text{CS0}}$	NC
41	* ¹	V _{SS}	V _{SS}

ピン番号		MCU モード	ライタモード
FP-256H	BP-272		
42	A12	PF11/ $\overline{\text{CS1}}$	V _{CC}
43	C12	PF12/ $\overline{\text{CS2}}$	V _{CC}
44	B12	PF13/ $\overline{\text{CS3}}$	V _{SS}
45	D12	PF14/ $\overline{\text{BACK}}$	NC
46	C13	PF15/ $\overline{\text{BREQ}}$	V _{CC}
47	* ¹	V _{SS}	V _{SS}
48	A13	CK	NC
49	D13	V _{CC}	V _{CC}
50	C14	MD2	V _{SS}
51	A14	EXTAL	EXTAL
52	B14	V _{CC}	V _{CC}
53	A15	XTAL	XTAL
54	* ¹	V _{SS}	V _{SS}
55	C15	MD1	V _{CC}
56	D14	FWE	FWE
57	A16	HSTBY	V _{CC}
58	B16	$\overline{\text{RES}}$	RES
59	C16	MD0	V _{CC}
60	A17	PLL _{V_{CC}}	PLL _{V_{CC}}
61	B17	PLL _{CAP}	PLL _{CAP}
62	A18	PLL _{V_{SS}}	PLL _{V_{SS}}
63	D15	PH0/D0	D0
64	B18	PH1/D1	D1
65	A19	PH2/D2	D2
66	C18	PH3/D3	D3
67	B19	PH4/D4	D4
68	B20	PH5/D5	D5
69	C17	PH6/D6	D6
70	D16	PV _{CC1}	V _{CC}
71	C19	PH7/D7	D7
72	* ¹	V _{SS}	V _{SS}
73	D18	PH8/D8	NC
74	D17	PH9/D9	NC
75	F17	V _{CC}	V _{CC}
76	E17	PH10/D10	NC
77	* ¹	V _{SS}	V _{SS}
78	E18	PH11/D11	NC
79	D19	PH12/D12	NC
80	C20	PH13/D13	NC
81	E19	PH14/D14	NC
82	D20	PH15/D15	NC
83	F18	PV _{CC1}	V _{CC}
84	E20	NMI	V _{SS}
85	* ¹	V _{SS}	V _{SS}

1. 概要

ピン番号		MCU モード	ライターモード
FP-256H	BP-272		
86	H17	AN0	NC
87	G18	AN1	NC
88	G19	AN2	NC
89	F20	AN3	NC
90	H18	AN4	NC
91	G20	AN5	NC
92	J17	AN6	NC
93	H19	AN7	NC
94	H20	AN8	NC
95	J19	AN9	NC
96	J18	AN10	NC
97	K18	AN11	NC
98	K17	AN12	NC
99	J20	AV _{SS}	V _{SS}
100	K19	AV _{ref}	V _{CC}
101	K20	AV _{CC}	V _{CC}
102	L19	AN13	NC
103	L18	AN14	NC
104	L20	AN15	NC
105	M20	AN16	NC
106	L17	AN17	NC
107	M19	AN18	NC
108	N20	AN19	NC
109	M18	AN20	NC
110	P20	AN21	NC
111	N19	AN22	NC
112	P19	AN23	NC
113	R20	AN24	NC
114	M17	AN25	NC
115	N18	AN26	NC
116	P18	AN27	NC
117	R19	AN28	NC
118	N17	AN29	NC
119	T20	AV _{CC}	V _{CC}
120	T19	AV _{ref}	V _{CC}
121	U20	AV _{SS}	V _{SS}
122	P17	AN30	NC
123	R18	AN31	NC
124	R17	WDTOVF	NC
125	U18	PA0/TI0A	NC
126	* ¹	V _{SS}	V _{SS}
127	T17	PA1/TI0B	NC
128	U19	PV _{CC2}	V _{CC}
129	V20	PA2/TI0C	NC

ピン番号		MCU モード	ライタモード
FP-256H	BP-272		
130	V19	PA3/TIO0D	NC
131	W20	PA4/TIO3A	NC
132	V18	PA5/TIO3B	NC
133	W19	PA6/TIO3C	NC
134	Y19	PA7/TIO3D	NC
135	W18	PA8/TIO4A/ADTO0A	NC
136	U17	PA9/TIO4B/ADTO0B	NC
137	Y18	PA10/TIO4C/ADTO1A	NC
138	V17	PA11/TIO4D/ADTO1B	NC
139	U16	V _{CC}	V _{CC}
140	W17	PA12/TIO5A	NC
141	* ¹	V _{SS}	V _{SS}
142	W16	PA13/TIO5B	NC
143	Y17	PA14/TxD0	NC
144	Y16	PA15/RxD0	NC
145	U15	PB0/TO6A	NC
146	W15	PB1/TO6B	NC
147	Y15	PB2/TO6C	NC
148	V15	PV _{CC2}	V _{CC}
149	Y14	PB3/TO6D	NC
150	* ¹	V _{SS}	V _{SS}
151	U14	PB4/TO7A/TO8A	NC
152	V14	PB5/TO7B/TO8B	NC
153	W14	PB6/TO7C/TO8C	NC
154	Y13	PB7/TO7D/TO8D	NC
155	W13	PB8/TxD3/TO8E	NC
156	U13	PB9/RxD3/TO8F	NC
157	V13	PB10/TxD4/HTxD0/TO8G	NC
158	V12	PB11/RxD4/HRxD0/TO8H	NC
159	W12	PB12/TCLKA/ $\overline{\text{UBCTR}}\overline{\text{G}}$	NC
160	Y12	PB13/SCK0	NC
161	Y11	V _{CL}	V _{CL}
162	Y10	PB14/SCK1/TCLKB/TI10	NC
163	* ¹	V _{SS}	V _{SS}
164	U12	PB15/PULS5/SCK2	NC
165	V11	PC0/TxD1	NC
166	U11	PC1/RxD1	NC
167	W10	PC2/TxD2	NC
168	U10	PC3/RxD2	NC
169	V10	PC4/ $\overline{\text{IRQ}}\overline{0}$	NC
170	Y9	PG0/PULS7/HRxD0/HRxD1	NC
171	Y8	PG1/ $\overline{\text{IRQ}}\overline{1}$	NC
172	V9	PV _{CC2}	V _{CC}
173	W9	PG2/ $\overline{\text{IRQ}}\overline{2}$ /ADEND	NC

1. 概要

ピン番号		MCU モード	ライターモード
FP-256H	BP-272		
174	* ¹	V _{SS}	V _{SS}
175	W8	PG3/IRQ3/ADTRG0	NC
176	Y7	PJ0/TIO2A	NC
177	Y6	PJ1/TIO2B	NC
178	V8	PJ2/TIO2C	NC
179	U8	PJ3/TIO2D	NC
180	W7	PJ4/TIO2E	NC
181	Y5	PJ5/TIO2F	NC
182	W6	PJ6/TIO2G	NC
183	V7	PJ7/TIO2H	NC
184	U7	PJ8/TIO5C	NC
185	* ¹	V _{SS}	V _{SS}
186	Y4	PJ9/TIO5D	NC
187	U6	V _{CC}	V _{CC}
188	Y3	PJ10/TI9A	NC
189	W5	PJ11/TI9B	NC
190	Y2	PJ12/TI9C	NC
191	W4	PJ13/TI9D	NC
192	W3	PJ14/TI9E	NC
193	V4	PJ15/TI9F	NC
194	V5	PV _{CC2}	V _{CC}
195	W1	PK0/TO8A	NC
196	* ¹	V _{SS}	V _{SS}
197	V3	PK1/TO8B	NC
198	W2	PK2/TO8C	NC
199	V2	PK3/TO8D	NC
200	V1	PK4/TO8E	NC
201	U1	PK5/TO8F	NC
202	T4	PK6/TO8G	NC
203	U4	V _{CC}	V _{CC}
204	U2	PK7/TO8H	NC
205	* ¹	V _{SS}	V _{SS}
206	R4	PK8/TO8I	NC
207	U3	PK9/TO8J	NC
208	T3	PK10/TO8K	NC
209	T2	PK11/TO8L	NC
210	R3	PK12/TO8M	NC
211	T1	PK13/TO8N	NC
212	P3	PV _{CC2}	V _{CC}
213	R2	PK14/TO8O	NC
214	* ¹	V _{SS}	V _{SS}
215	R1	PK15/TO8P	NC
216	N4	PL0/TI10	NC
217	P2	PL1/TIO11A/IRQ6	NC

ピン番号		MCU モード	ライターモード
FP-256H	BP-272		
218	P1	PL2/TIO11B/ $\overline{\text{IRQ7}}$	$\overline{\text{CE}}$
219	N3	PL3/TCLKB	NC
220	M4	PL4/ $\overline{\text{ADTRG0}}$	NC
221	N1	PL5/ $\overline{\text{ADTRG1}}$	NC
222	N2	PL6/ $\overline{\text{ADEND}}$	NC
223	M3	PL7/SCK2	NC
224	L4	PL8/SCK3	NC
225	M2	V _{CL}	V _{CL}
226	L3	PL9/SCK4/ $\overline{\text{IRQ5}}$	$\overline{\text{WE}}$
227	* ¹	V _{SS}	V _{SS}
228	L1	PL10/HTxD0/HTxD1/HTxD0&HTxD1	NC
229	L2	PL11/HRxD0/HRxD1/HRxD0&HRxD1	NC
230	K2	PL12/ $\overline{\text{IRQ4}}$	$\overline{\text{OE}}$
231	K1	PL13/ $\overline{\text{IRQOUT}}$	NC
232	K3	TMS	NC
233	J1	$\overline{\text{TRST}}$	NC
234	K4	TDI	NC
235	H1	TDO	NC
236	J2	TCK	NC
237	J3	V _{CC}	V _{CC}
238	H2	AUDRST	NC
239	* ¹	V _{SS}	V _{SS}
240	H3	AUDMD	NC
241	G1	AUDATA0	NC
242	F1	AUDATA1	NC
243	G2	AUDATA2	NC
244	E1	AUDATA3	NC
245	D1	AUDCK	NC
246	F2	AUDSYNC	NC
247	H4	PV _{CC2}	V _{CC}
248	C1	PD0/TIO1A	NC
249	* ¹	V _{SS}	V _{SS}
250	G4	PD1/TIO1B	NC
251	E2	PD2/TIO1C	NC
252	B1	PD3/TIO1D	NC
253	D2	PD4/TIO1E	NC
254	F3	PD5/TIO1F	NC
255	F4	PD6/TIO1G	NC
256	E3	PD7/TIO1H	NC
—	A1	NC	NC
—	A20	NC	NC
—	Y1	NC	NC
—	Y20	NC	NC

*1 V_{SS}は基盤でつながっています。

2. CPU

2.1 レジスタ構成

レジスタは、汎用レジスタ（32ビット×16本）、コントロールレジスタ（32ビット×3本）、システムレジスタ（32ビット×4本）の3種類があります。

また、FPUのレジスタとして浮動小数点レジスタ(32ビット×16本)、浮動小数点システムレジスタ(32ビット×2本)があり、これらはFPUに内蔵しています。

2.1.1 汎用レジスタ（Rn）

汎用レジスタ（Rn）は、32ビットの長さで、R0からR15までの16本あります。汎用レジスタは、データ処理、アドレス計算に使われます。R0は、インデックスレジスタとしても使用します。いくつかの命令では使用できるレジスタがR0に固定されています。R15は、ハードウェアスタックポインタ（SP）として使われます。例外処理でのステータスレジスタ（SR）とプログラムカウンタ（PC）の退避、回復はR15を用いてスタックを参照し行います。

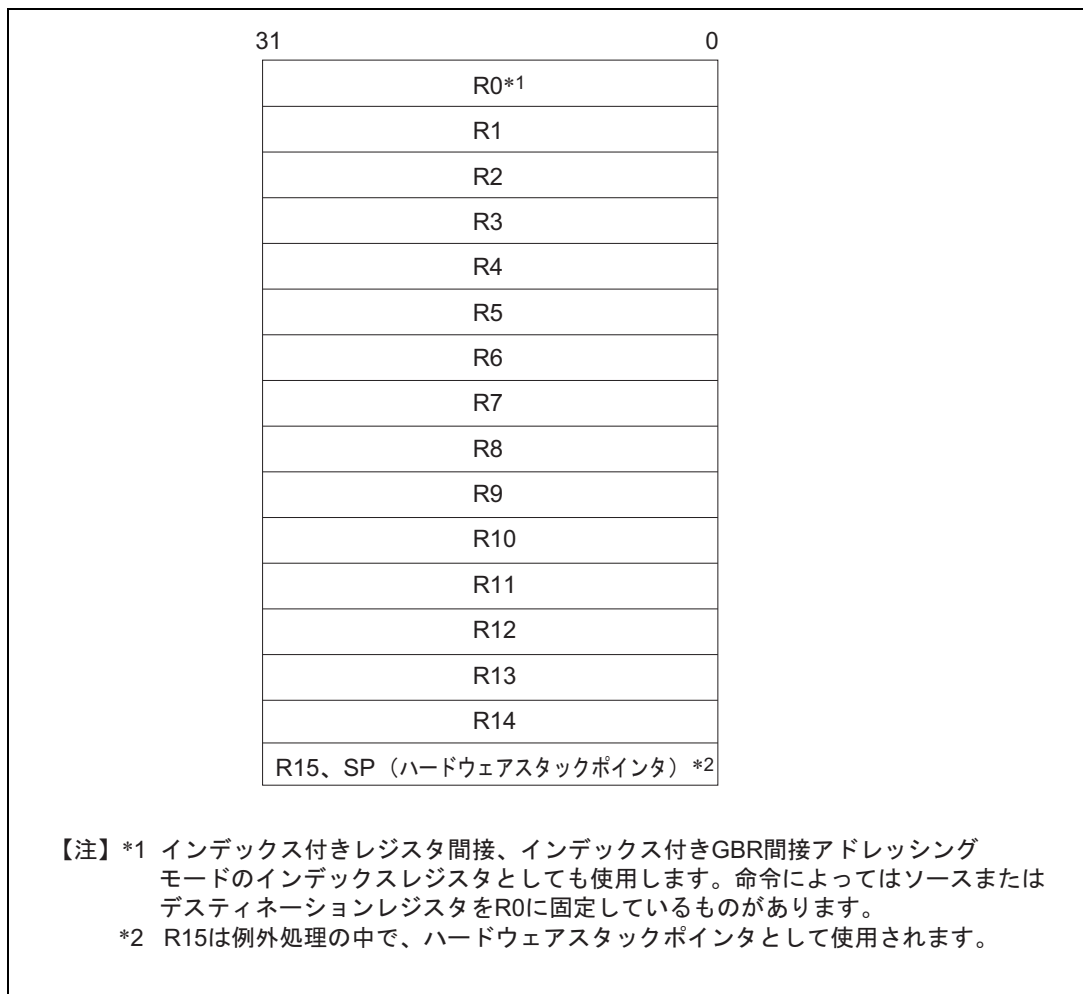


図 2.1 汎用レジスタ (Rn)

2.1.2 コントロールレジスタ

コントロールレジスタは32ビットの長さで、ステータスレジスタ (SR)、グローバルベースレジスタ (GBR)、ベクタベースレジスタ (VBR) の3本があります。SRは処理の状態を表します。GBRはGBR間接アドレッシングモードのベースアドレスとして使用し、内蔵周辺モジュールのレジスタのデータ転送などに使用します。VBRは割り込みを含む例外処理ベクタ領域のベースアドレスとして使用します。

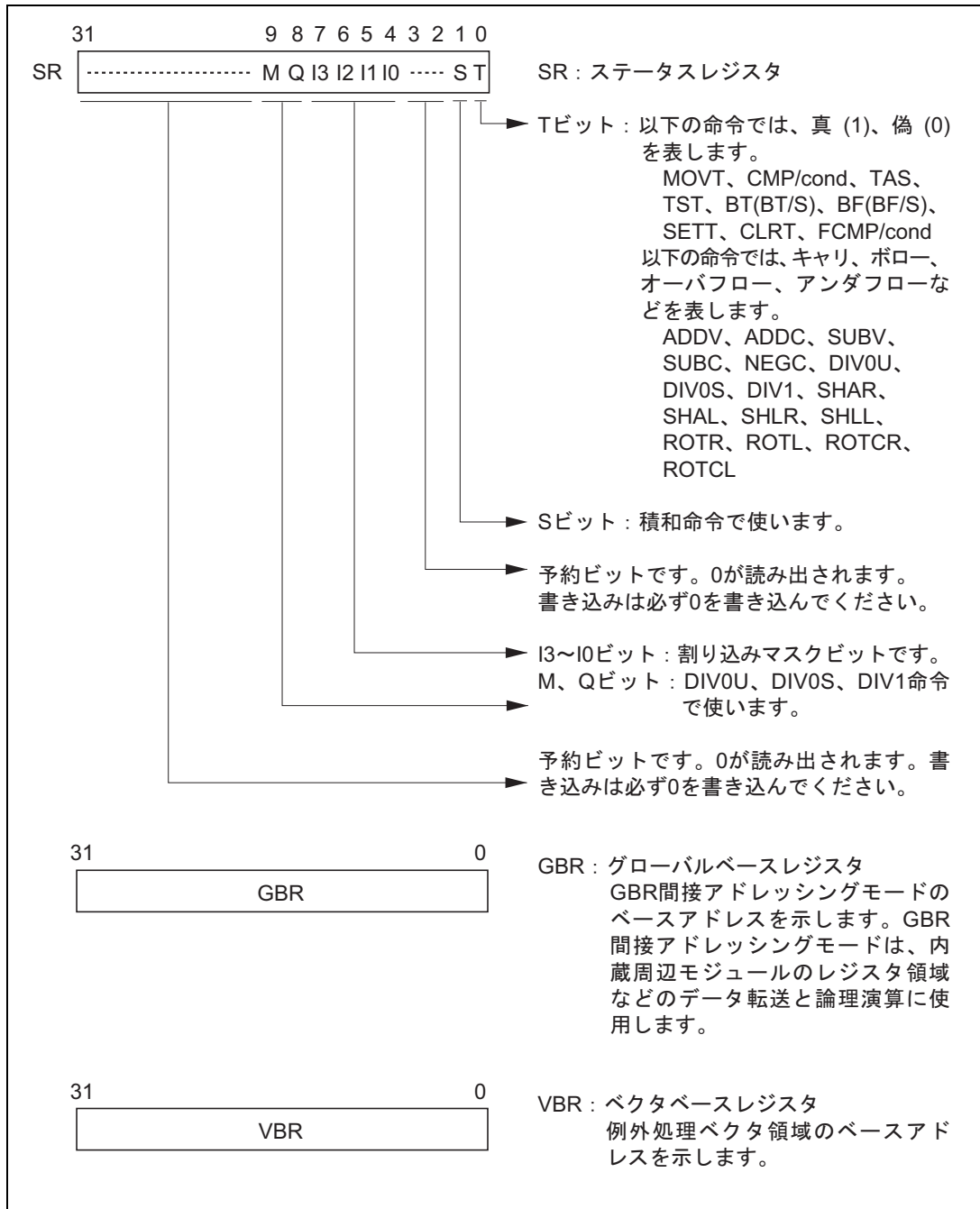


図 2.2 コントロールレジスタ

2.1.3 システムレジスタ

システムレジスタは32ビットの長さで、積和レジスタ（MACH、MACLの2本）、プロシージャレジスタ（PR）、プログラムカウンタ（PC）の4本があります。MACH、MACLは乗算または積和演算の結果を格納します。PRはサブルーチンプロシージャからの戻り先アドレスを格納します。PCは実行中のプログラムのアドレスを示し、処理の流れを制御します。

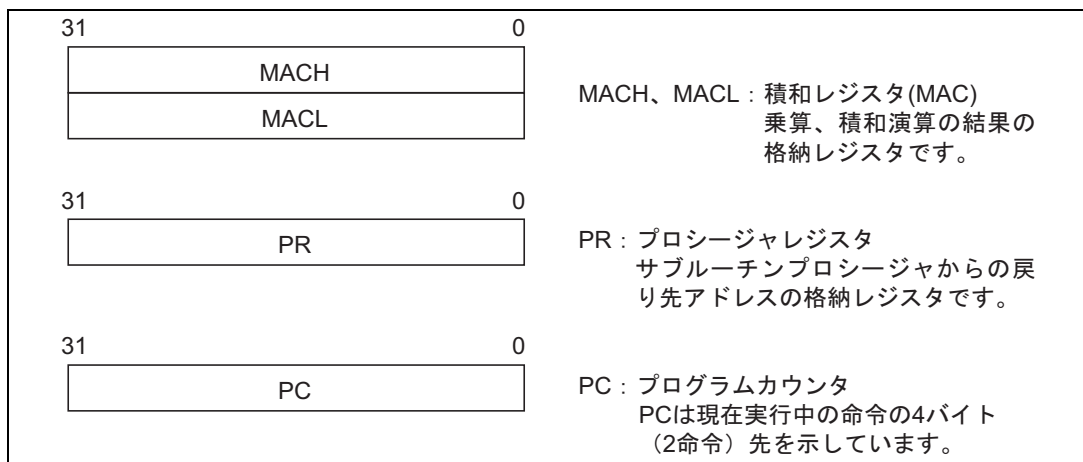


図 2.3 システムレジスタ

2.1.4 浮動小数点レジスタ

浮動小数点レジスタ（FRn）は32ビットの長さで、FR0～15までの16本あります。浮動小数点レジスタは浮動小数点命令で使用します。FR0はFMAC命令のインデックスレジスタとして機能します。これらのレジスタは浮動小数点演算ユニット（FPU）に内蔵しています。

詳しくは、「第3章 浮動小数点演算ユニット（FPU）」を参照してください。



図 2.4 浮動小数点レジスタ

2.1.5 浮動小数点システムレジスタ

浮動小数点システムレジスタは 32 ビットの長さで、浮動小数点コミュニケーションレジスタ (FPUL) と浮動小数点ステータス/コントロールレジスタ (FPSCR) の 2 本があります。FPUL は CPU と浮動小数点ユニット (FPU) 間の通信レジスタです。

FPSCR は FPU 例外に関するステータス/コントロール情報を表示/格納します。

これらのレジスタは浮動小数点演算ユニット (FPU) に内蔵されています。詳しくは、「第 3 章 浮動小数点演算ユニット (FPU)」を参照してください。

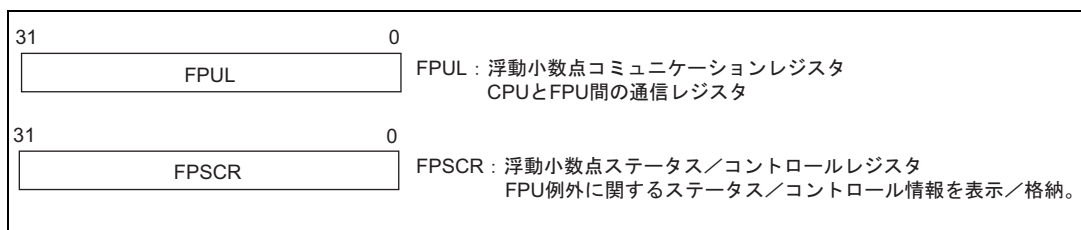


図 2.5 浮動小数点システムレジスタ

2. CPU

2.1.6 レジスタの初期値

リセット後のレジスタの値を表 2.1 に示します。

表 2.1 レジスタの初期値

区 分	レジスタ	初期値
汎用レジスタ	R0~R14	不定
	R15 (SP)	ベクタアドレステーブル中の SP の値
コントロールレジスタ	SR	I3~I0 は 1111 (H'F)、予約ビットは 0、 その他は不定
	GBR	不定
	VBR	H'00000000
システムレジスタ	MACH、MACL、PR	不定
	PC	ベクタアドレステーブル中の PC の値
浮動小数点レジスタ	FR0~FR15	不定
浮動小数点 システムレジスタ	FPUL FPSCR	不定 H'00040001

2.2 データ形式

2.2.1 レジスタのデータ形式

レジスタオペランドのデータサイズは常にロングワード (32 ビット) です。メモリ上のデータをレジスタへロードするとき、メモリオペランドのデータサイズがバイト (8 ビット)、もしくはワード (16 ビット) の場合は、ロングワードに符号拡張し、レジスタに格納します。

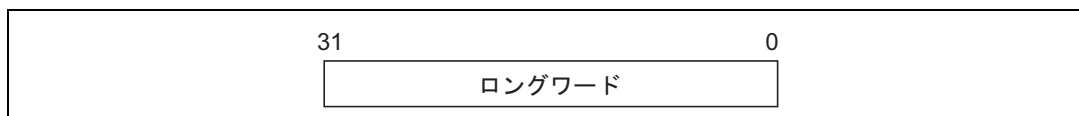


図 2.6 レジスタのデータ形式

2.2.2 メモリ上でのデータ形式

バイト、ワード、ロングワードのデータ形式があります。

バイトデータは任意番地に、ワードデータは $2n$ 番地から、ロングワードデータは $4n$ 番地から配置してください。その境界以外からアクセスすると、アドレスエラーが発生します。このとき、アクセスした結果は保証されません。特に、ハードウェアスタックポインタ (SP、R15) が指し示すスタックにはプログラムカウンタ (PC) とステータスレジスタ (SR) をロングワードで保持しますので、ハードウェアスタックポインタの値が $4n$ になるように設定してください。

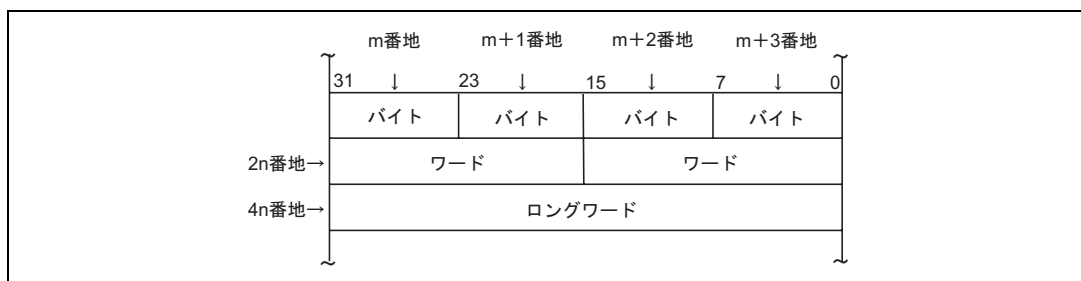


図 2.7 メモリ上でのデータ形式

2.2.3 イミディエイトデータのデータ形式

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。

MOV、ADD、CMP/EQ 命令ではイミディエイトデータを符号拡張後、ロングワードで演算します。一方、TST、AND、OR、XOR 命令ではイミディエイトデータをゼロ拡張後、ロングワードで演算します。したがって、AND 命令でイミディエイトデータを用いると、デスティネーションレジスタの上位 24 ビットは常にクリアされます。

ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータのデータ転送命令（MOV）で、参照します。

2.3 命令の特長

2.3.1 RISC 方式

命令は RISC 方式です。特長は次のとおりです。

(1) 16 ビット固定長命令

命令長はすべて 16 ビット固定長です。これによりプログラムのコード効率が向上します。

(2) 1 命令/1 ステート

パイプライン方式を採用し、基本命令は、1 命令を 1 ステートで実行できます。40MHz 動作時、1 ステートは 25ns になります。

(3) データサイズ

演算の基本的なデータサイズはロングワードです。メモリのアクセスサイズは、バイト/ワード/ロングワードを選択できます。メモリのバイトとワードのデータは符号拡張後、ロングワードで演算されます。イミディエイトデータは算術演算では符号拡張後、論理演算ではゼロ拡張後、ロングワードで演算されます。

表 2.2 ワードデータの符号拡張

本 LSI の CPU	説明	他の CPU の例
MOV.W @ (disp, PC), R1	32 ビットに符号拡張され、R1 は H'00001234 になります。次に ADD 命令で演算されます。	ADD.W #H'1234, R0
ADD R1, R0		
.....		
.DATA.W H'1234		

【注】 @ (disp, PC) でイミディエイトデータを参照します。

2. CPU

(4) ロードストアアーキテクチャ

基本演算はレジスタ間で実行します。メモリとの演算は、レジスタにデータをロードし実行します（ロードストアアーキテクチャ）。ただし、ANDなどのビットを操作する命令は直接メモリに対して実行します。

(5) 遅延分岐

無条件分岐命令は、遅延分岐命令です。遅延分岐命令の場合、遅延分岐命令の直後の命令を実行してから、分岐します。これにより、分岐時のパイプラインの乱れを軽減しています。条件付き分岐命令には遅延分岐命令と通常分岐命令の2通りがあります。

表 2.3 遅延分岐命令

本 LSI の CPU		説明	他の CPU の例	
BRA	TRGET	TRGET に分岐する前に ADD を実行します。	ADD.W	R1, R0
ADD	R1, R0		BRA	TRGET

(6) 乗算／積和演算

16×16→32の乗算を1～2ステート、16×16+64→64の積和演算を2～3ステートで実行します。32×32→64の乗算や、32×32+64→64の積和演算を2～4ステートで実行します。

(7) Tビット

比較結果はSRのTビットに反映し、その真、偽によって条件分岐します。必要最小限の命令によってのみTビットを変化させ、処理速度を向上させています。

表 2.4 Tビット

本 LSI の CPU		説明	他の CPU の例	
CMP/GE	R1, R0	R0 ≥ R1 のとき T ビットがセットされます。	CMP.W	R1, R0
BT	TRGET0	R0 ≥ R1 のとき TRGET0 へ分岐します。	BGE	TRGET0
BF	TRGET1	R0 < R1 のとき TRGET1 へ分岐します。	BLT	TRGET1
ADD	#1, R0	ADD では T ビットが変化しません。	SUB.W	#1, R0
CMP/EQ	#0, R0	R0 = 0 のとき T ビットがセットされます。	BEQ	TRGET
BT	TRGET	R0 = 0 のとき分岐します。		

(8) イミディエイトデータ

バイト（8ビット）のイミディエイトデータは命令コードの中に配置します。ワードとロングワードのイミディエイトデータは命令コードの中に配置せず、メモリ上のテーブルに配置します。メモリ上のテーブルは、ディスプレイメント付き PC 相対アドレッシングモードを使ったイミディエイトデータの転送命令（MOV）で参照します。

表 2.5 イミディエイトデータによる参照

区分	本 LSI の CPU		他の CPU の例	
8ビットイミディエイト	MOV	#H'12, R0	MOV.B	#H'12, R0
16ビットイミディエイト	MOV.W	@(disp, PC), R0	MOV.W	#H'1234, R0
	.DATA.W	H'1234		
32ビットイミディエイト	MOV.L	@(disp, PC), R0	MOV.L	#H'12345678, R0
	.DATA.L	H'12345678		

【注】 @(disp, PC)でイミディエイトデータを参照します。

(9) 絶対アドレス

絶対アドレスでデータを参照するときは、あらかじめ絶対アドレスの値を、メモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法で、この値をレジスタに転送し、レジスタ間接アドレッシングモードでデータを参照します。

表 2.6 絶対アドレスによる参照

区 分	本 LSI の CPU	他の CPU の例
絶対アドレス	MOV.L @ (disp, PC), R1	MOV.B @ H'12345678, R0
	MOV.B @ R1, R0	
	
	.DATA.L H'12345678	

【注】 @ (disp, PC) でイミディエイトデータを参照します。

(10) 16ビット/32ビットディスプレースメント

16ビット、または32ビットディスプレースメントでデータを参照するときは、あらかじめディスプレースメントの値をメモリ上のテーブルに配置しておきます。命令実行時にイミディエイトデータをロードする方法でこの値をレジスタに転送し、インデックス付きレジスタ間接アドレッシングモードでデータを参照します。

表 2.7 ディスプレースメントによる参照


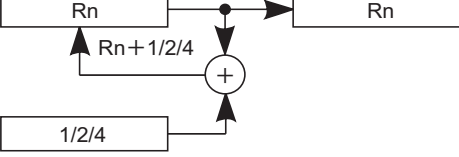
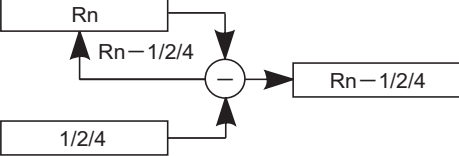
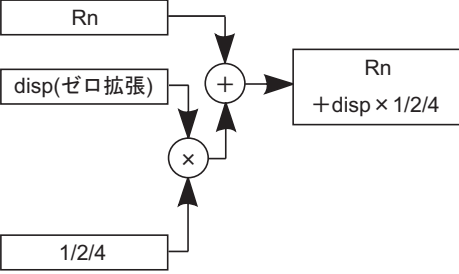
区 分	本 LSI の CPU	他の CPU の例
16ビットディスプレースメント	MOV.W @ (disp, PC), R0	MOV.W @ (H'1234, R1), R2
	MOV.W @ (R0, R1), R2	
	
	.DATA.W H'1234	

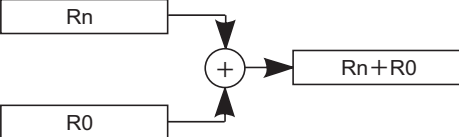
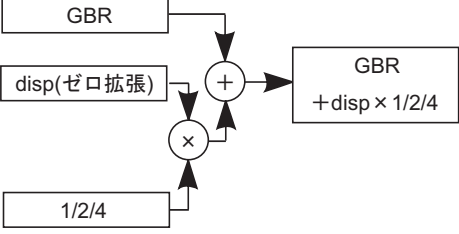
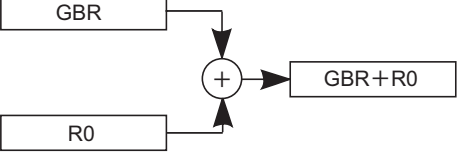
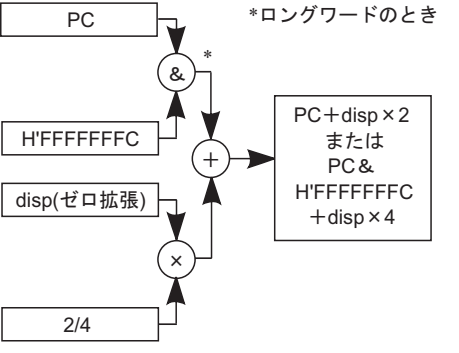
【注】 @ (disp, PC) でイミディエイトデータを参照します。

2.3.2 アドレッシングモード

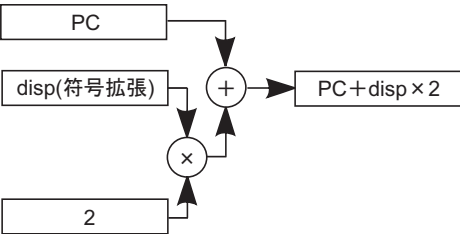
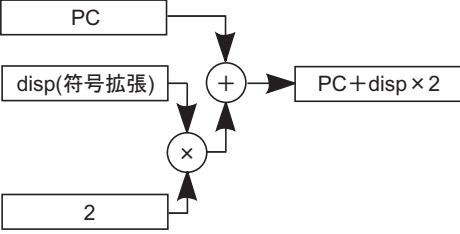
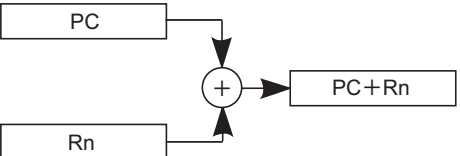
アドレッシングモードと実効アドレスの計算方法を表 2.8 に示します。

表 2.8 アドレッシングモードと実効アドレス

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
レジスタ直接	Rn	実効アドレスはレジスタ Rn です。 (オペランドはレジスタ Rn の内容です)	—
レジスタ間接	@Rn	実効アドレスはレジスタ Rn の内容です。 	Rn
ポストインクリメントレジスタ間接	@Rn +	実効アドレスはレジスタ Rn の内容です。命令実行後 Rn に定数を加算します。定数はオペランドサイズがバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	Rn 命令実行後 バイト : $Rn + 1 \rightarrow Rn$ ワード : $Rn + 2 \rightarrow Rn$ ロングワード : $Rn + 4 \rightarrow Rn$
プリデクリメントレジスタ間接	@-Rn	実効アドレスは、あらかじめ定数を減算したレジスタ Rn の内容です。定数はバイトのとき 1、ワードのとき 2、ロングワードのとき 4 です。 	バイト : $Rn - 1 \rightarrow Rn$ ワード : $Rn - 2 \rightarrow Rn$ ロングワード : $Rn - 4 \rightarrow Rn$ (計算後の Rn で命令実行)
ディスプレイースメント付きレジスタ間接	@(disp:4, Rn)	実効アドレスはレジスタ Rn に 4 ビットディスプレイースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。 	バイト : $Rn + disp$ ワード : $Rn + disp \times 2$ ロングワード : $Rn + disp \times 4$

アドレッシングモード	命令フォーマット	実行アドレスの計算方法	計算式
インデックス付きレジスタ間接	@ (R0, Rn)	<p>実効アドレスはレジスタ Rn に R0 を加算した内容です。</p> 	$Rn + R0$
ディスプレースメント付き GBR 間接	@(disp: 8, GBR)	<p>実効アドレスはレジスタ GBR に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってバイトで 1 倍、ワードで 2 倍、ロングワードで 4 倍します。</p> 	バイト : $GBR + disp$ ワード : $GBR + disp \times 2$ ロングワード : $GBR + disp \times 4$
インデックス付き GBR 間接	@(R0, GBR)	<p>実効アドレスはレジスタ GBR に R0 を加算した内容です。</p> 	$GBR + R0$
ディスプレースメント付き PC 相対	@ (disp: 8, PC)	<p>実効アドレスはレジスタ PC に 8 ビットディスプレースメント disp を加算した内容です。disp はゼロ拡張後、オペランドサイズによってワードで 2 倍、ロングワードで 4 倍します。さらにロングワードのときは PC の下位 2 ビットをマスクします。</p> 	ワード : $PC + disp \times 2$ ロングワード : $PC \& H'FFFFFFFC + disp \times 4$

2. CPU

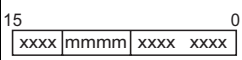
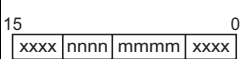
アドレッシングモード	表 記	実行アドレスの計算方法	計算式
PC 相対	disp: 8	<p>実効アドレスはレジスタ PC に 8 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC+ disp × 2
	disp: 12	<p>実効アドレスはレジスタ PC に 12 ビットディスプレイメント disp を符号拡張後 2 倍し、加算した内容です。</p> 	PC+ disp × 2
	Rn	<p>実行アドレスはレジスタ PC に Rn を加算した内容です。</p> 	PC + Rn
イミディエイト	#imm:8	TST, AND, OR, XOR 命令の 8 ビットイミディエイト imm はゼロ拡張します。	—
	#imm:8	MOV, ADD, CMP/EQ 命令の 8 ビットイミディエイト imm は符号拡張します。	—
	#imm:8	TRAPA 命令の 8 ビットイミディエイト imm はゼロ拡張後、4 倍します。	—

2.3.3 命令形式

命令形式とソースオペランドとデスティネーションオペランドの意味を示します。命令コードによりオペランドの意味が異なります。記号は次のとおりです。

xxxx : 命令コード
 mmmm : ソースレジスタ
 nnnn : デスティネーションレジスタ
 iiiii : イミディエイトデータ
 dddd : ディスプレースメント

表 2.9 命令形式

命令形式	ソースオペランド	デスティネーションオペランド	命令の例
0 形式 	—	—	NOP
n 形式 	—	nnnn: レジスタ直接	MOVTRn
	コントロールレジスタ またはシステムレジスタ	nnnn: レジスタ直接	STSMACH, Rn
	コントロールレジスタ またはシステムレジスタ	nnnn: プリデクリメント レジスタ間接	STC.LSR, @-Rn
m 形式 	mmmm: レジスタ直接	コントロールレジスタ またはシステムレジスタ	LDCRm, SR
	mmmm: ポストインク リメントレジスタ間接	コントロールレジスタ またはシステムレジスタ	LDC.L@Rm+, SR
	mmmm: レジスタ直接	—	JMP@Rm
	mmmm: Rm を用いた PC 相対	—	BRAFRm
nm 形式 	mmmm: レジスタ直接	nnnn: レジスタ直接	ADDRm, Rn
	mmmm: レジスタ直接	nnnn: レジスタ間接	MOV.LRm, @Rn
	mmmm: ポストインクリメント レジスタ間接 (積和演算) nnnn: * ポストインクリメント レジスタ間接 (積和演算)	MACH, MACL	MAC.W@Rm+, @Rn+
	mmmm: ポストインクリメント レジスタ間接	nnnn: レジスタ直接	MOV.L@Rm+, Rn
	mmmm: レジスタ直接	nnnn: プリデクリメント レジスタ間接	MOV.LRm, @-Rn
	mmmm: レジスタ直接	nnnn: インデックス付 きレジスタ間接	MOV.LRm, @(R0, Rn)

【注】 *積和命令では nnnn は、ソースレジスタです。

2. CPU

命令形式		ソースオペランド	デスティネーション オペランド	命令の例
md 形式		mmmmddd: ディスプレースメント付きレジスタ間接	R0 (レジスタ直接)	MOV.B@(disp, Rn), R0
nd4 形式		R0 (レジスタ直接)	nnnnddd: ディスプレースメント付きレジスタ間接	MOV.BR0, @(disp, Rn)
nmd 形式		mmmm: レジスタ直接	nnnnddd: ディスプレースメント付きレジスタ間接	MOV.LRm, @(disp, Rn)
		mmmmddd: ディスプレースメント付きレジスタ間接	nnnn: レジスタ直接	MOV.L@(disp, Rm), Rn
d 形式		ddddddd: ディスプレースメント付き GBR 間接	R0 (レジスタ直接)	MOV.L@(disp, GBR), R0
		R0 (レジスタ直接)	ddddddd: ディスプレースメント付き GBR 間接	MOV.LR0, @(disp, GBR)
		ddddddd: ディスプレースメント付き PC 相対	R0 (レジスタ直接)	MOVA@(disp, PC), R0
		—	ddddddd: PC 相対	BFlabel
d12 形式		—	ddddddddddd: PC 相対	BRAlabel (label=disp+pc)
nd8 形式		ddddddd: ディスプレースメント付き PC 相対	nnnn: レジスタ直接	MOV.L@(disp, PC), Rn
i 形式		iiiiiii: イミディエイト	インデックス付き GBR 間接	AND.B#imm, @(R0, GBR)
		iiiiiii: イミディエイト	R0 (レジスタ直接)	AND#imm, R0
		iiiiiii: イミディエイト	—	TRAPA#imm
ni 形式		iiiiiii: イミディエイト	nnnn: レジスタ直接	ADD#imm, Rn

2.4 命令セット

2.4.1 分類順命令セット

命令を分類順に表 2.10 に示します。

表 2.10 命令の分類

分類	命令の種類	オペコード	機能	命令数
データ転送命令	5	MOV	データ転送 イミディエイトデータの転送 周辺モジュールデータの転送 構造体データの転送	39
		MOVA	実行アドレスの転送	
		MOVNT	Tビットの転送	
		SWAP	上位と下位の交換	
		XTRCT	連結レジスタの中央切り出し	
算術演算命令	21	ADD	2進加算	33
		ADDC	キャリ付き2加算	
		ADDV	オーバフロー付き2進加算	
		CMP/cond	比較	
		DIV1	除算	
		DIV0S	符号付き除算の初期化	
		DIV0U	符号なし除算の初期化	
		DMULS	符号付き倍精度乗算	
		DMULU	符号なし倍精度乗算	
		DT	デクリメントとテスト	
		EXTS	符号拡張	
		EXTU	ゼロ拡張	
		MAC	積和演算、倍精度積和演算	
		MUL	倍精度乗算	
		MULS	符号付き乗算	
		MULU	符号なし乗算	
		NEG	符号反転	
		NEGC	ポロー付き符号反転	
		SUB	2進減算	
		SUBC	ポロー付き2減算	
		SUBV	アンダフロー付き2進減算	

2. CPU

分 類	命令の種類	オペコード	機 能	命令数
論理演算命令	6	AND	論理積演算	14
		NOT	ビット反転	
		OR	論理和演算	
		TAS	メモリテストとビットセット	
		TST	論理積演算のTビットセット	
		XOR	排他的論理和演算	
シフト命令	10	ROTL	1ビット左回転	14
		ROTR	1ビット右回転	
		ROTCL	Tビット付き1ビット左回転	
		ROTCR	Tビット付き1ビット右回転	
		SHAL	算術的1ビット左シフト	
		SHAR	算術的1ビット右シフト	
		SHLL	論理的1ビット左シフト	
		SHLLn	論理的nビット左シフト	
		SHLR	論理的1ビット右シフト	
		SHLRn	論理的nビット右シフト	
分岐命令	9	BF	条件分岐、遅延付き条件分岐 (T=0で分岐)	11
		BT	条件分岐、遅延付き条件分岐 (T=1で分岐)	
		BRA	無条件分岐	
		BRAF	無条件分岐	
		BSR	サブルーチンプロシージャへの分岐	
		BSRF	サブルーチンプロシージャへの分岐	
		JMP	無条件分岐	
		JSR	サブルーチンプロシージャへの分岐	
		RTS	サブルーチンプロシージャからの復帰	
システム制御命令	11	CLRT	Tビットのクリア	31
		CLRMAC	MACレジスタのクリア	
		LDC	コントロールレジスタへのロード	
		LDS	システムレジスタへのロード	
		NOP	無操作	
		RTE	例外処理からの復帰	
		SETT	Tビットのセット	
		SLEEP	低消費電力状態への遷移	
		STC	コントロールレジスタからのストア	
		STS	システムレジスタからのストア	
		TRAPA	トラップ例外処理	

分 類	命令の種類	オペコード	機 能	命令数
浮動小数点演算命令	15	FABS	浮動小数点数絶対値	22
		FADD	浮動小数点数加算	
		FCMP	浮動小数点数比較	
		FDIV	浮動小数点数除算	
		FLDI0	浮動小数点数ロードイミディエイト0	
		FLDI1	浮動小数点数ロードイミディエイト1	
		FLDS	システムレジスタ FPUL への浮動小数点数ロード	
		FLOAT	整数から浮動小数点数への変換	
		FMAC	浮動小数点数積和演算	
		FMOV	浮動小数点数転送	
		FMUL	浮動小数点数乗算	
		FNEG	浮動小数点数符号反転	
		FSTS	システムレジスタ FPUL からの浮動小数点数ストア	
		FSUB	浮動小数点数減算	
		FTRC	浮動小数点数の整数への切り捨て変換	
FPUに関するCPU命令	2	LDS	浮動小数点システムレジスタへのロード	8
		STS	浮動小数点システムレジスタからのストア	
	計 79			172

2. CPU

命令の命令コード、動作、実行ステートを、以下の形式で分類順に説明します。

命令	命令コード	動作の概略	実行ステート	Tビット
<p>ニーモニックで表示していません。</p> <p>記号の説明 OP.Sz SRC, DEST OP:オペコード Sz:サイズ SRC:ソース DEST:デスティネーション Rm: ソースレジスタ Rn: デスティネーションレジスタ imm: イミディエイトデータ disp: ディスプレースメント*²</p>	<p>MSB ←→ LSB の順で表示しています。</p> <p>記号の説明 mmmm:ソースレジスタ nnnn:デスティネーションレジスタ 0000: R0 0001: R1 ……… 1111: R15 imm: イミディエイトデータ dddd: ディスプレースメント</p>	<p>動作の概略を表示していません。</p> <p>記号の説明 →, ←: 転送方向 (xx): メモリオペランド M/Q/T: SR 内のフラグ ビット &: ビットごとの論理積 : ビットごとの論理和 ^: ビットごとの排他的論理和 ~: ビットごとの論理否定 <<n: 左 n ビットシフト >>n: 右 n ビットシフト</p>	<p>ノーウェイトのときの値です。*¹</p>	<p>命令実行後の、Tビットの値を表示していません。</p> <p>記号の説明 -: 変化しない</p>

【注】 *1 命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

(1) 命令フェッチとデータアクセスの競合が起こる場合

(2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

*2 命令のオペランドサイズなどに応じてスケーリング（×1、×2、×4）されます。

詳しくは「SH-2E プログラミングマニュアル」を参照してください。

(1) データ転送命令

命 令	命令コード	動 作	実行 ステート	Tビット
MOV #imm, Rn	1110nnnniiiiiiii	#imm → 符号拡張 → Rn	1	—
MOV.W @(disp, PC), Rn	1001nnnndddddddd	(disp×2+PC) → 符号拡張 → Rn	1	—
MOV.L @(disp, PC), Rn	1101nnnndddddddd	(disp×4+PC) → Rn	1	—
MOV Rm, Rn	0110nnnnmmmm0011	Rm → Rn	1	—
MOV.B Rm, @Rn	0010nnnnmmmm0000	Rm → (Rn)	1	—
MOV.W Rm, @Rn	0010nnnnmmmm0001	Rm → (Rn)	1	—
MOV.L Rm, @Rn	0010nnnnmmmm0010	Rm → (Rn)	1	—
MOV.B @Rm, Rn	0110nnnnmmmm0000	(Rm) → 符号拡張 → Rn	1	—
MOV.W @Rm, Rn	0110nnnnmmmm0001	(Rm) → 符号拡張 → Rn	1	—
MOV.L @Rm, Rn	0110nnnnmmmm0010	(Rm) → Rn	1	—
MOV.B Rm, @-Rn	0010nnnnmmmm0100	Rn-1 → Rn, Rm → (Rn)	1	—
MOV.W Rm, @-Rn	0010nnnnmmmm0101	Rn-2 → Rn, Rm → (Rn)	1	—
MOV.L Rm, @-Rn	0010nnnnmmmm0110	Rn-4 → Rn, Rm → (Rn)	1	—
MOV.B @Rm+, Rn	0110nnnnmmmm0100	(Rm) → 符号拡張 → Rn, Rm+1 → Rm	1	—
MOV.W @Rm+, Rn	0110nnnnmmmm0101	(Rm) → 符号拡張 → Rn, Rm+2 → Rm	1	—
MOV.L @Rm+, Rn	0110nnnnmmmm0110	(Rm) → Rn, Rm+4 → Rm	1	—
MOV.B R0, @(disp, Rn)	10000000nnnndddd	R0 → (disp+Rn)	1	—
MOV.W R0, @(disp, Rn)	10000001nnnndddd	R0 → (disp×2+Rn)	1	—
MOV.L Rm, @(disp, Rn)	0001nnnnmmmmdddd	Rm → (disp×4+Rn)	1	—
MOV.B @(disp, Rm), R0	10000100mmmmdddd	(disp+Rm) → 符号拡張 → R0	1	—
MOV.W @(disp, Rm), R0	10000101mmmmdddd	(disp×2+Rm) → 符号拡張 → R0	1	—
MOV.L @(disp, Rm), R0	0101nnnnmmmmdddd	(disp×4+Rm) → Rn	1	—
MOV.B Rm, @(R0, Rn)	0000nnnnmmmm0100	Rm → (R0+Rn)	1	—
MOV.W Rm, @(R0, Rn)	0000nnnnmmmm0101	Rm → (R0+Rn)	1	—
MOV.L Rm, @(R0, Rn)	0000nnnnmmmm0110	Rm → (R0+Rn)	1	—
MOV.B @(R0, Rm), Rn	0000nnnnmmmm1100	(R0+Rm) → 符号拡張 → Rn	1	—
MOV.W @(R0, Rm), Rn	0000nnnnmmmm1101	(R0+Rm) → 符号拡張 → Rn	1	—
MOV.L @(R0, Rm), Rn	0000nnnnmmmm1110	(R0+Rm) → Rn	1	—
MOV.B R0, @(disp, GBR)	11000000dddddddd	R0 → (disp+GBR)	1	—
MOV.W R0, @(disp, GBR)	11000001dddddddd	R0 → (disp×2+GBR)	1	—
MOV.L R0, @(disp, GBR)	11000010dddddddd	R0 → (disp×4+GBR)	1	—
MOV.B @(disp, GBR), R0	11000100dddddddd	(disp+GBR) → 符号拡張 → R0	1	—
MOV.W @(disp, GBR), R0	11000101dddddddd	(disp×2+GBR) → 符号拡張 → R0	1	—
MOV.L @(disp, GBR), R0	11000110dddddddd	(disp×4+GBR) → R0	1	—
MOVA @(disp, PC), R0	11000111dddddddd	disp×4+PC → R0	1	—
MOVT Rn	0000nnnn00101001	T → Rn	1	—
SWAP.B Rm, Rn	0110nnnnmmmm1000	Rm → 下位2バイトの上下バイト交換 → Rn	1	—
SWAP.W Rm, Rn	0110nnnnmmmm1001	Rm → 上下ワード交換 → Rn	1	—
XTRCT Rm, Rn	0010nnnnmmmm1101	Rm: Rn の中央32ビット → Rn	1	—

2. CPU

(2) 算術演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
ADD Rm, Rn	0011nnnnmmmm1100	Rn+Rm→ Rn	1	—
ADD #imm, Rn	0111nnnniiiiiii	Rn+imm→ Rn	1	—
ADDC Rm, Rn	0011nnnnmmmm1110	Rn+Rm+T→ Rn, キャリ→T	1	キャリ
ADDV Rm, Rn	0011nnnnmmmm1111	Rn+Rm→ Rn, オーバフロー→T	1	オーバフロー
CMP/EQ #imm, R0	10001000iiiiiii	R0=imm のとき 1→T	1	比較結果
CMP/EQ Rm, Rn	0011nnnnmmmm0000	Rn=Rm のとき 1→T	1	比較結果
CMP/HS Rm, Rn	0011nnnnmmmm0010	無符号で Rn ≥ Rm のとき 1→T	1	比較結果
CMP/GE Rm, Rn	0011nnnnmmmm0011	有符号で Rn ≥ Rm のとき 1→T	1	比較結果
CMP/HT Rm, Rn	0011nnnnmmmm0110	無符号で Rn > Rm のとき 1→T	1	比較結果
CMP/GT Rm, Rn	0011nnnnmmmm0111	有符号で Rn > Rm のとき 1→T	1	比較結果
CMP/PL Rn	0100nnnn00010101	Rn > 0 のとき 1→T	1	比較結果
CMP/PZ Rn	0100nnnn00010001	Rn ≥ 0 のとき 1→T	1	比較結果
CMP/STR Rm, Rn	0010nnnnmmmm1100	いずれかのバイトが等しいとき 1→T	1	比較結果
DIV1 Rm, Rn	0011nnnnmmmm0100	1ステップ除算 (Rn ÷ Rm)	1	計算結果
DIV0S Rm, Rn	0010nnnnmmmm0111	Rn の MSB→Q, Rm の MSB→M, M^Q→T	1	計算結果
DIV0U	0000000000010001	0→M/Q/T	1	0
DMULS.L Rm, Rn	0011nnnnmmmm1101	符号付きで Rn × Rm → MACH, MACL 32×32→64ビット	2~4* ¹	—
DMULU.L Rm, Rn	0011nnnnmmmm0101	符号なしで Rn × Rm → MACH, MACL 32×32→64ビット	2~4* ¹	—
DT Rn	0100nnnn00010000	Rn-1→Rn, Rnが0のとき 1→T Rnが0以外るとき 0→T	1	比較結果
EXTS.B Rm, Rn	0110nnnnmmmm1110	Rm をバイトから符号拡張→ Rn	1	—
EXTS.W Rm, Rn	0110nnnnmmmm1111	Rm をワードから符号拡張→ Rn	1	—
EXTU.B Rm, Rn	0110nnnnmmmm1100	Rm をバイトからゼロ拡張→ Rn	1	—
EXTU.W Rm, Rn	0110nnnnmmmm1101	Rm をワードからゼロ拡張→ Rn	1	—
MAC.L @Rm+, @Rn+	0000nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 32×32+64→64ビット	3/(2~4)* ¹	—
MAC.W @Rm+, @Rn+	0100nnnnmmmm1111	符号付きで (Rn) × (Rm) + MAC → MAC 16×16+64→64ビット	3/(2)* ¹	—
MUL.L Rm, Rn	0000nnnnmmmm0111	Rn × Rm → MACL 32×32→32ビット	2~4* ¹	—
MULS.W Rm, Rn	0010nnnnmmmm1111	符号付きで Rn × Rm → MACL 16×16→32ビット	1~3* ¹	—
MULU.W Rm, Rn	0010nnnnmmmm1110	符号なしで Rn × Rm → MACL 16×16→32ビット	1~3* ¹	—
NEG Rm, Rn	0110nnnnmmmm1011	0-Rm→ Rn	1	—
NEGC Rm, Rn	0110nnnnmmmm1010	0-Rm-T→ Rn, ボロー→T	1	ボロー
SUB Rm, Rn	0011nnnnmmmm1000	Rn-Rm→ Rn	1	—
SUBC Rm, Rn	0011nnnnmmmm1010	Rn-Rm-T→ Rn, ボロー→T	1	ボロー
SUBV Rm, Rn	0011nnnnmmmm1011	Rn-Rm→ Rn, アンダフロー→T	1	オーバフロー

【注】 *1 通常実行ステートを示します。() 内の値は、前後の命令との競合関係による実行ステートです。

(3) 論理演算命令

命 令	命令コード	動 作	実行 ステート	Tビット
AND Rm, Rn	0010nnnnmmmm1001	$Rn \& Rm \rightarrow Rn$	1	—
AND #imm, R0	11001001iiiiiii	$R0 \& imm \rightarrow R0$	1	—
AND.B #imm, @(R0, GBR)	11001101iiiiiii	$(R0+GBR) \& imm \rightarrow (R0+GBR)$	3	—
NOT Rm, Rn	0110nnnnmmmm0111	$\sim Rm \rightarrow Rn$	1	—
OR Rm, Rn	0010nnnnmmmm1011	$Rn Rm \rightarrow Rn$	1	—
OR #imm, R0	11001011iiiiiii	$R0 imm \rightarrow R0$	1	—
OR.B #imm, @(R0, GBR)	11001111iiiiiii	$(R0+GBR) imm \rightarrow (R0+GBR)$	3	—
TAS.B @Rn	0100nnnn00011011	(Rn) が 0 のとき 1→T, 1→MSB of (Rn)	4	テスト結果
TST Rm, Rn	0010nnnnmmmm1000	$Rn \& Rm$, 結果が 0 のとき 1→T	1	テスト結果
TST #imm, R0	11001000iiiiiii	$R0 \& imm$, 結果が 0 のとき 1→T	1	テスト結果
TST.B #imm, @(R0, GBR)	11001100iiiiiii	$(R0+GBR) \& imm$, 結果が 0 のとき 1→T	3	テスト結果
XOR Rm, Rn	0010nnnnmmmm1010	$Rn \wedge Rm \rightarrow Rn$	1	—
XOR #imm, R0	11001010iiiiiii	$R0 \wedge imm \rightarrow R0$	1	—
XOR.B #imm, @(R0, GBR)	11001110iiiiiii	$(R0+GBR) \wedge imm \rightarrow (R0+GBR)$	3	—

(4) シフト命令

命 令	命令コード	動 作	実行 ステート	Tビット
ROTL Rn	0100nnnn00000100	$T \leftarrow Rn \leftarrow MSB$	1	MSB
ROTR Rn	0100nnnn00000101	$LSB \rightarrow Rn \rightarrow T$	1	LSB
ROTCL Rn	0100nnnn00100100	$T \leftarrow Rn \leftarrow T$	1	MSB
ROTCR Rn	0100nnnn00100101	$T \rightarrow Rn \rightarrow T$	1	LSB
SHAL Rn	0100nnnn00100000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHAR Rn	0100nnnn00100001	$MSB \rightarrow Rn \rightarrow T$	1	LSB
SHLL Rn	0100nnnn00000000	$T \leftarrow Rn \leftarrow 0$	1	MSB
SHLR Rn	0100nnnn00000001	$0 \rightarrow Rn \rightarrow T$	1	LSB
SHLL2 Rn	0100nnnn00001000	$Rn \ll 2 \rightarrow Rn$	1	—
SHLR2 Rn	0100nnnn00001001	$Rn \gg 2 \rightarrow Rn$	1	—
SHLL8 Rn	0100nnnn00011000	$Rn \ll 8 \rightarrow Rn$	1	—
SHLR8 Rn	0100nnnn00011001	$Rn \gg 8 \rightarrow Rn$	1	—
SHLL16 Rn	0100nnnn00101000	$Rn \ll 16 \rightarrow Rn$	1	—
SHLR16 Rn	0100nnnn00101001	$Rn \gg 16 \rightarrow Rn$	1	—

2. CPU

(5) 分岐命令

命 令	命令コード	動 作	実行 ステート	Tビット
BF label	100010111ddddddd	T=0 のとき disp×2+PC→PC, T=1 のとき nop	3/1* ²	—
BF/S label	100011111ddddddd	遅延分岐、T=0 のとき disp×2+PC→PC, T=1 のとき nop	2/1* ²	—
BT label	100010011ddddddd	T=1 のとき disp×2+PC→PC, T=0 のとき nop	3/1* ²	—
BT/S label	100011011ddddddd	遅延分岐、T=1 のとき disp×2+PC→PC, T=0 のとき nop	2/1* ²	—
BRA label	1010ddddddddddd	遅延分岐、disp×2+PC→PC	2	—
BRAF Rm	0000mmmm00100011	遅延分岐、Rm+PC→PC	2	—
BSR label	1011ddddddddddd	遅延分岐、PC→PR, disp×2+PC→PC	2	—
BSRF Rm	0000mmmm00000011	遅延分岐、PC→PR, Rm+PC→PC	2	—
JMP @Rm	0100mmmm00101011	遅延分岐、Rm→PC	2	—
JSR @Rm	0100mmmm00001011	遅延分岐、PC→PR, Rm→PC	2	—
RTS	0000000000001011	遅延分岐、PR→PC	2	—

【注】 *2 分岐しないときは1ステートになります。

(6) システム制御命令

命 令	命令コード	動 作	実行 ステート	Tビット
CLRT	0000000000001000	0 → T	1	0
CLRMACH	0000000000101000	0 → MACH, MACL	1	—
LDC Rm, SR	0100mmmm00001110	Rm → SR	1	LSB
LDC Rm, GBR	0100mmmm00011110	Rm → GBR	1	—
LDC Rm, VBR	0100mmmm00101110	Rm → VBR	1	—
LDC.L @Rm+, SR	0100mmmm00000111	(Rm) → SR, Rm+4 → Rm	3	LSB
LDC.L @Rm+, GBR	0100mmmm00010111	(Rm) → GBR, Rm+4 → Rm	3	—
LDC.L @Rm+, VBR	0100mmmm00100111	(Rm) → VBR, Rm+4 → Rm	3	—
LDS Rm, MACH	0100mmmm00001010	Rm → MACH	1	—
LDS Rm, MACL	0100mmmm00011010	Rm → MACL	1	—
LDS Rm, PR	0100mmmm00101010	Rm → PR	1	—
LDS.L @Rm+, MACH	0100mmmm00000110	(Rm) → MACH, Rm+4 → Rm	1	—
LDS.L @Rm+, MACL	0100mmmm00010110	(Rm) → MACL, Rm+4 → Rm	1	—
LDS.L @Rm+, PR	0100mmmm00100110	(Rm) → PR, Rm+4 → Rm	1	—
NOP	0000000000001001	無操作	1	—
RTE	0000000000101011	遅延分岐、スタック領域 → PC/SR	4	—
SETT	0000000000011000	1 → T	1	1
SLEEP	0000000000011011	スリープ	3 ^{*3}	—
STC SR, Rn	0000nnnn00000010	SR → Rn	1	—
STC GBR, Rn	0000nnnn00010010	GBR → Rn	1	—
STC VBR, Rn	0000nnnn00100010	VBR → Rn	1	—
STC.L SR, @-Rn	0100nnnn00000011	Rn-4 → Rn, SR → (Rn)	2	—
STC.L GBR, @-Rn	0100nnnn00010011	Rn-4 → Rn, GBR → (Rn)	2	—
STC.L VBR, @-Rn	0100nnnn00100011	Rn-4 → Rn, VBR → (Rn)	2	—
STS MACH, Rn	0000nnnn00001010	MACH → Rn	1	—
STS MACL, Rn	0000nnnn00011010	MACL → Rn	1	—
STS PR, Rn	0000nnnn00101010	PR → Rn	1	—
STS.L MACH, @-Rn	0100nnnn00000010	Rn-4 → Rn, MACH → (Rn)	1	—
STS.L MACL, @-Rn	0100nnnn00010010	Rn-4 → Rn, MACL → (Rn)	1	—
STS.L PR, @-Rn	0100nnnn00100010	Rn-4 → Rn, PR → (Rn)	1	—
TRAPA #imm	11000011iiiiiiii	PC/SR→スタック領域、 (imm×4+VBR)→PC	8	—

【注】 *3 スリープ状態に遷移するまでのステート数です。

・命令の実行ステートについて

表に示した実行ステートは最少値です。実際は、

- (1) 命令フェッチとデータアクセスの競合が起こる場合
- (2) ロード命令（メモリ→レジスタ）のデスティネーションレジスタと、その直後の命令が使うレジスタが同一な場合

などの条件により、命令実行ステート数は増加します。

2. CPU

(7) 浮動小数点命令

命 令	命令コード	動 作	実行 ステート	Tビット
FABS FRn	1111nnnn01011101	FRn → FRn	1	—
FADD FRm, FRn	1111nnnnmmmm0000	FRn+FRm → FRn	1	—
FCMP/EQ FRm, FRn	1111nnnnmmmm0100	(FRn=FRm)? 1:0→ T	1	比較結果
FCMP/GT FRm, FRn	1111nnnnmmmm0101	(FRn>FRm)? 1:0→ T	1	比較結果
FDIV FRm, FRn	1111nnnnmmmm0011	FRn/FRm → FRn	13	—
FLDI0 FRn	1111nnnn10001101	0x00000000 → FRn	1	—
FLDI1 FRn	1111nnnn10011101	0x3F800000 → FRn	1	—
FLDS FRm, FPUL	1111mmmm00011101	FRm → FPUL	1	—
FLOAT FPUL, FRn	1111nnnn00101101	(float)FPUL → FRn	1	—
FMAC FR0, FRm, FRn	1111nnnnmmmm1110	FR0×FRm+FRn → FRn	1	—
FMOV FRm, FRn	1111nnnnmmmm1100	FRm → FRn	1	—
FMOV.S @(R0, Rm), FRn	1111nnnnmmmm0110	(R0+Rm) → FRn	1	—
FMOV.S @Rm+, FRn	1111nnnnmmmm1001	(Rm) → FRn, Rm+=4	1	—
FMOV.S @Rm, FRn	1111nnnnmmmm1000	(Rm) → FRn	1	—
FMOV.S FRm, @(R0, Rn)	1111nnnnmmmm0111	FRm → (R0+Rn)	1	—
FMOV.S FRm, @-Rn	1111nnnnmmmm1011	Rn=4, FRm → (Rn)	1	—
FMOV.S FRm, @Rn	1111nnnnmmmm1010	FRm → (Rn)	1	—
FMUL FRm, FRn	1111nnnnmmmm0010	FRn×FRm → FRn	1	—
FNEG FRn	1111nnnn01001101	-FRn → FRn	1	—
FSTS FPUL, FRn	1111nnnn00001101	FPUL → FRn	1	—
FSUB FRm, FRn	1111nnnnmmmm0001	FRn-FRm → FRn	1	—
FTRC FRm, FPUL	1111mmmm00111101	(long)FRm → FPUL	1	—

(8) FPUに関するCPU命令

命 令	命令コード	動 作	実行 ステート	Tビット
LDS Rm, FPSCR	0100mmmm01101010	Rm → FPSCR	1	—
LDS Rm, FPUL	0100mmmm01011010	Rm → FPUL	1	—
LDS.L @Rm+, FPSCR	0100mmmm01100110	@Rm → FPSCR, Rm+=4	1	—
LDS.L @Rm+, FPUL	0100mmmm01010110	@Rm → FPUL, Rm+=4	1	—
STS FPSCR, Rn	0000nnnn01101010	FPSCR → Rn	1	—
STS FPUL, Rn	0000nnnn01011010	FPUL → Rn	1	—
STS.L FPSCR, @-Rn	0100nnnn01100010	Rn=4, FPSCR → @Rn	1	—
STS.L FPUL, @-Rn	0100mmmm01010010	Rn=4, FPUL → @Rn	1	—

2.5 処理状態

2.5.1 状態遷移

CPUの処理状態には、パワーオンリセット状態、例外処理状態、バス権解放状態、プログラム実行状態、低消費電力状態の5種類があります。状態間の遷移を図2.8に示します。

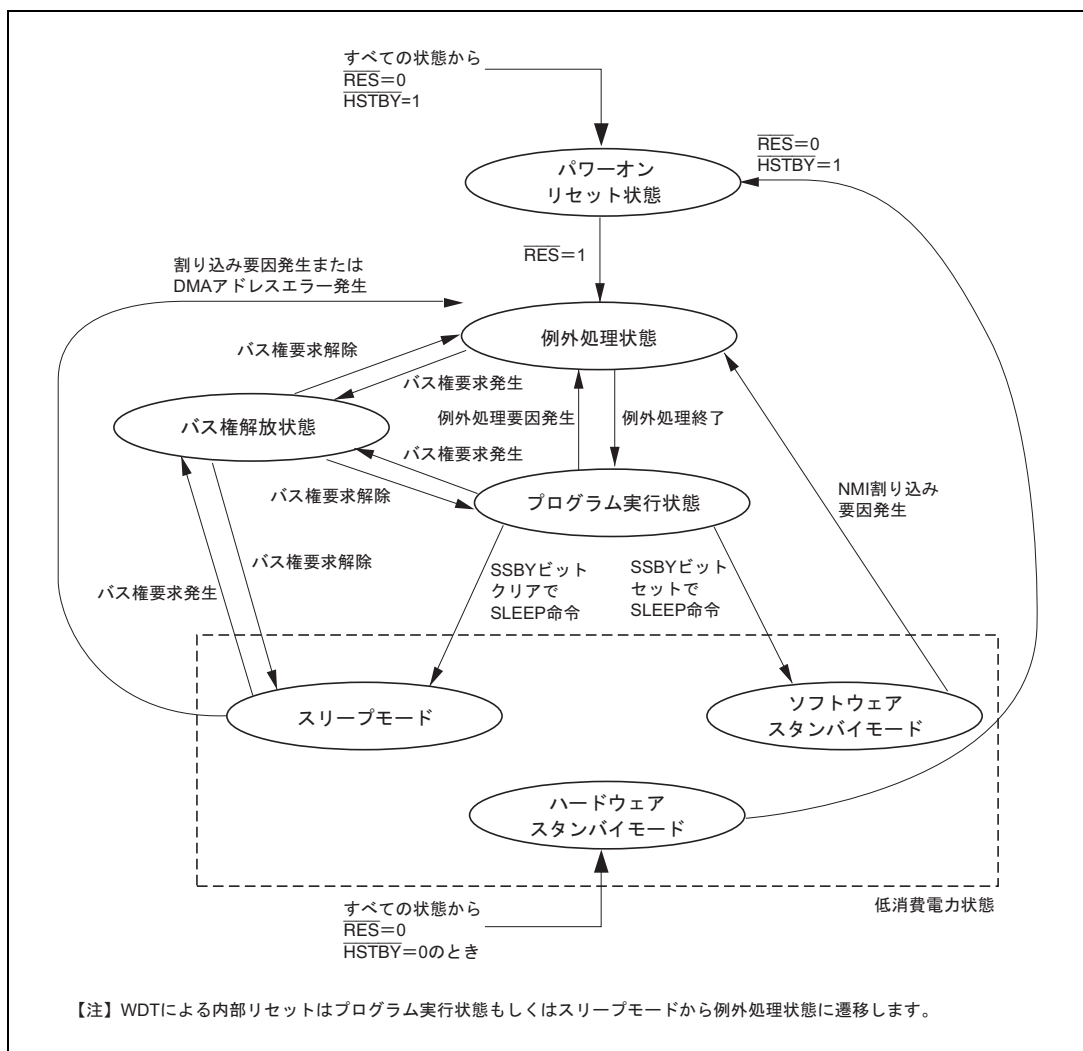


図 2.8 処理状態の状態遷移図

2. CPU

(1) パワーオンリセット状態

CPU がリセットされている状態です。 $\overline{\text{HSTBY}}$ 端子をハイレベルにして $\overline{\text{RES}}$ 端子がローレベルになるとパワーオンリセット状態になります。

(2) 例外処理状態

リセットや割り込みなどの例外処理要因によって、CPU が処理状態の流れを変えるときに過渡的な状態です。

リセットの場合は、例外処理ベクタテーブルからプログラムカウンタ (PC) の初期値としての実行開始アドレスとスタックポインタ (SP) の初期値を取り出しそれぞれ格納し、スタートアドレスに分岐してプログラムの実行を開始します。

割り込みなどの場合は、SPを参照して、PCとステータスレジスタ (SR) をスタック領域に退避します。例外処理ベクタテーブルから例外サービスルーチンの開始アドレスを取り出し、そのアドレスに分岐してプログラムの実行を開始します。

その後処理状態はプログラム実行状態となります。

(3) プログラム実行状態

CPU が順次プログラムを実行している状態です。

(4) 低消費電力状態

CPU の動作が停止し消費電力が低い状態です。スリープ命令でスリープモード、またはソフトウェアスタンバイモードになります。また、 $\overline{\text{RES}}$ 端子をローレベルにした状態で $\overline{\text{HSTBY}}$ 端子をローレベルにするとハードウェアスタンバイモードになります。

(5) バス権解放状態

CPU がバス権を要求したデバイスにバスを解放している状態です。

3. 浮動小数点演算ユニット (FPU)

3.1 概要

本 LSI は、浮動小数点演算ユニット (FPU) を内蔵しています。FPU のレジスタ構成を図 3.1 に示します。

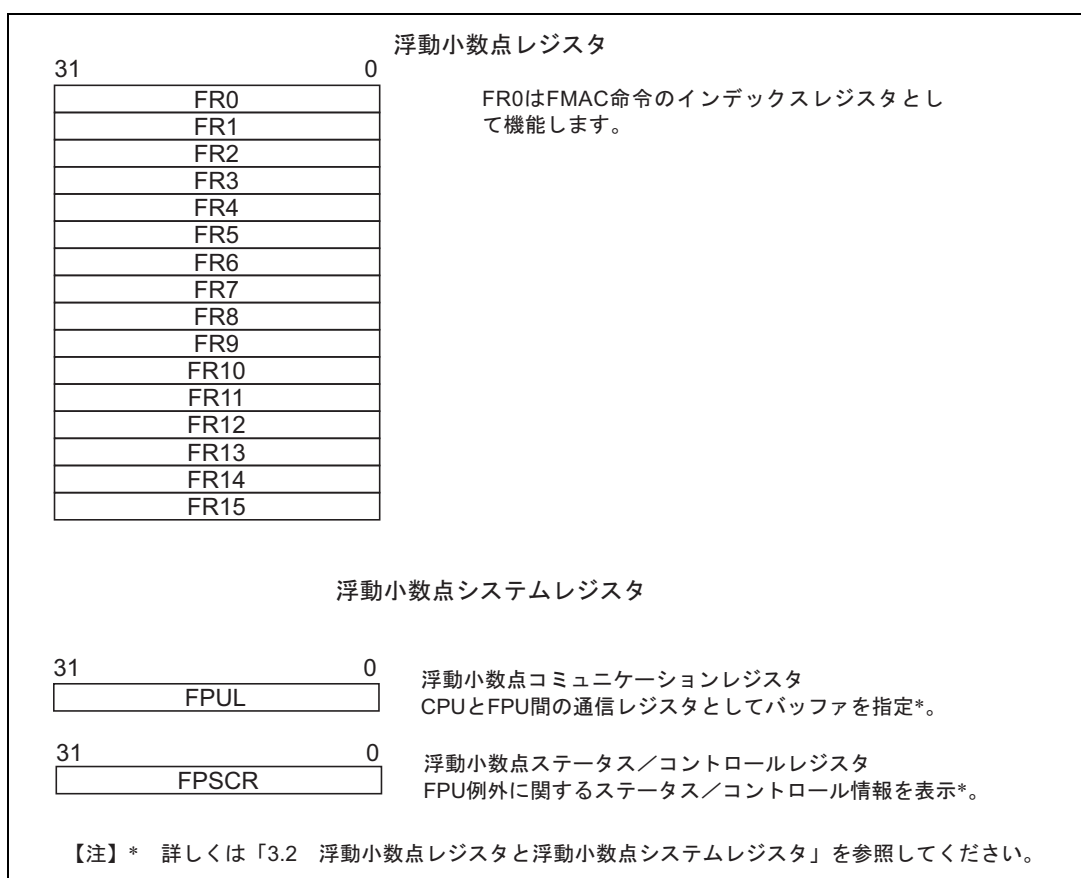


図 3.1 レジスタの構成の概要 (浮動小数点レジスタ、浮動小数点システムレジスタ)

3.2 浮動小数点レジスタと浮動小数点システムレジスタ

3.2.1 浮動小数点レジスタファイル

本 LSI は 16 本の 32 ビット単精度浮動小数点レジスタを持っています。レジスタ指定は常に 4 ビットで行います。アセンブリ言語では、浮動小数点レジスタは、FR0、FR1、FR2、…などのように指定します。FR0 は FMAC 命令のインデックスレジスタとして機能します。

3.2.2 浮動小数点コミュニケーションレジスタ (FPUL)

FPU と CPU 間で転送される情報は、整数ユニットの MACL、MACH に類似した 1 本の通信レジスタ FPUL を介して転送されます。整数形式と浮動小数点形式とは異なるため、SH7058 ではこの通信レジスタを設けています。32 ビット FPUL はシステムレジスタで、CPU 側からは LDS、STS 命令によりアクセスされます。

3.2.3 浮動小数点ステータス/コントロールレジスタ (FPSCR)

本 LSI は、浮動小数点ステータス/コントロールレジスタ (FPSCR) を備えており、このレジスタは、LDS、STS 命令によりアクセスするシステムレジスタとして機能します (図 3.2)。FPSCR は、ユーザプログラムによる書き込みが可能です。FPSCR は、プロセスコンテキストの一部であり、コンテキスト切り替え時にはセーブする必要があります。また、プロシジャコール時にも、セーブする必要がある場合があります。

FPSCR は、32 ビットのレジスタで、丸めモード、漸近的なアンダフロー (非正規化数)、および FPU 例外に関する詳細情報の格納を制御します。FPU 自体を無効とするモジュールストップビットはモジュールスタンバイコントロールレジスタ (MSTCR) にあります。詳しくは「第 25 章 低消費電力状態」を参照してください。FPU はリセットスタート時は常にイネーブル状態です。

表 3.1 に起こりうる 5 種類の FPU 例外と対応するフラグを示します。さらに 6 番目のフラグとして FPU エラーがあり、これは浮動小数点ユニットが 5 種類以外のエラー状態を知らせるものです。

表 3.1 浮動小数点例外フラグ

フラグ	意味	SH7058 でのサポート
E	FPU エラー	—
V	無効演算	○
Z	ゼロによる除算	○
O	オーバフロー (値は表現されない)	—
U	アンダフロー (値は表現されない)	—
I	不正確 (結果は表現されない)	—

要因フィールド中のビットは、そのとき実行中の命令の例外要因を示します。要因ビットは浮動小数点命令によって変更されます。これらのビットは、単一の命令の実行期間中に例外状態が発生するか否かにより、1 または 0 になります。

イネーブルフィールド中のビットは、イネーブルにする例外の種類を指定します。すなわち例外処理に流れを変更することを可能にします。イネーブルビットと対応する要因ビットが、そのとき実行中の命令よりセットされれば、例外が発生します。

フラグフィールド中のビットは一連の命令の実行中に発生したすべての例外を、累積して格納するのに使用されます。これらのビットは、いったん命令によってセットされると、その後の命令によってリセットされません。このフィールド中のビットは、FPSCR に対して明示的にストア動作を行うことによつてのみ、リセットすることができます。

3. 浮動小数点演算ユニット (FPU)

31												19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
リザーブ													要因				イネーブル				フラグ										
													DN	CE	CV	CZ	CO	CU	CI	EV	EZ	EO	EU	EI	FV	FZ	FO	FU	FI	RM	
DN :	非正規化ビット SH7058では常に1で非正規化数のソースまたはデスティネーションオペランドは0になります。このビットはLDS命令でも書き込めません。																														
CV :	無効演算要因ビット 1のとき：現在の命令の実行中に無効演算例外が発生したことを示します。 0のとき：無効演算例外が発生していないことを示します。																														
CZ :	0による除算要因ビット 1のとき：現在の命令の実行中に0による除算例外が発生したことを示します。 0のとき：0による除算例外が発生していないことを示します。																														
EV :	無効演算例外イネーブル 1のとき：無効演算例外を発生許可 0のとき：無効演算例外は発生せず、結果としてqNaNを返します。																														
EZ :	0による除算イネーブル 1のとき：現在の命令の実行中に0による除算例外を発生許可 0のとき：0による除算例外は発生せず、結果として現在の式の符号 (+もしくは-) を付けた無限値を返します。																														
FV :	無効演算例外フラグビット 1のとき：命令の実行中に無効演算例外が発生したことを示します。 0のとき：無効演算例外は発生していないことを示します。																														
FZ :	0による除算例外フラグビット 1のとき：命令の実行中に0による除算例外が発生したことを示します。 0のとき：0による除算例外が発生していないことを示します。																														
RM :	丸めモードビット SH7058では、常に01でゼロ方向への丸めが (RZモード) 行われていることを意味します。このビットはLDS命令でも書き込めません。																														
SH7058では、要因フィールドEOUI (CE、CO、CU、およびCI) イネーブルフィールドのOUI (EO、EU、およびEI)、またフラグフィールド中のOUI (FO、FU、およびFI) の各ビットとリザーブ領域は0にプリセットされており、LDS命令を使用しても変更できません。																															

図 3.2 浮動小数点ステータス/コントロールレジスタ

3.3 浮動小数点フォーマット

3.3.1 浮動小数点数フォーマット

本 LSI は単精度浮動小数点演算をサポートしています。さらに IEEE754 小数点規格完全準拠です。浮動小数点数は、次の 3 つのフィールドにより構成されます。

- 符号部 s
- 指数部 e
- 仮数部 f

指数はゲタばき表現 (バイアス) されます。すなわち、

$$e = E + \text{bias}$$

の形式をとります。

バイアスされていない指数 E の範囲は、 $E_{\min}-1$ から $E_{\max}+1$ となります。2 つの値 ($E_{\min}-1$ と $E_{\max}+1$) は以下のように識別されます。 $E_{\min}-1$ は、ゼロ (符号は正負の双方とも) と非正規化数を表し、 $E_{\max}+1$ は、正負の無限大と非数 (NaN) を表します。単精度演算では、バイアス値は 127、 E_{\min} は -126、そして E_{\max} は 127 となります。

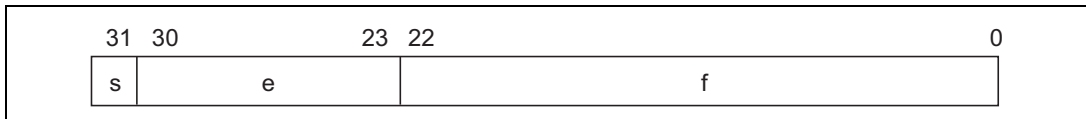


図 3.3 浮動小数点数のフォーマット

浮動小数点数の値 v は、次のように決定されます。

- $E = E_{\max}+1$ かつ $f \neq 0$ ならば、符号 s に関係なく v は非数 (NaN)
- $E = E_{\max}+1$ かつ $f = 0$ ならば、 $v = (-1)^s (\text{infinity})$ [正または負の無限大]
- $E_{\min} \leq E \leq E_{\max}$ ならば、 $v = (-1)^s 2^E (1.f)$ [正規化数]
- $E = E_{\min}-1$ かつ $f \neq 0$ ならば、 $v = (-1)^s 2^{E_{\min}} (0.f)$ [非正規化数]
- $E = E_{\min}-1$ かつ $f = 0$ ならば、 $v = (-1)^s 0$ [正または負のゼロ]

3. 浮動小数点演算ユニット (FPU)

3.3.2 非数 (NaN)

単精度演算値における非数 (NaN) の表現では、ビット 22~0 のうち少なくとも 1 つのビットがセットされます。ビット 22 がセットされていれば、シグナリング NaN (sNaN) を示します。ビット 22 がリセットされていれば、その値はクワイアット NaN (qNaN) です。

非数 (NaN) のビットパターンを図 3.4 に示します。図中のビット N はシグナリング NaN ではセットされ、クワイアット NaN ではリセットされます。x は don't care のビットを示しています。ただし、ビット 22~0 のうち少なくとも 1 つのビットはセットされています。

非数 (NaN) では、符号ビットは、don't care となります。

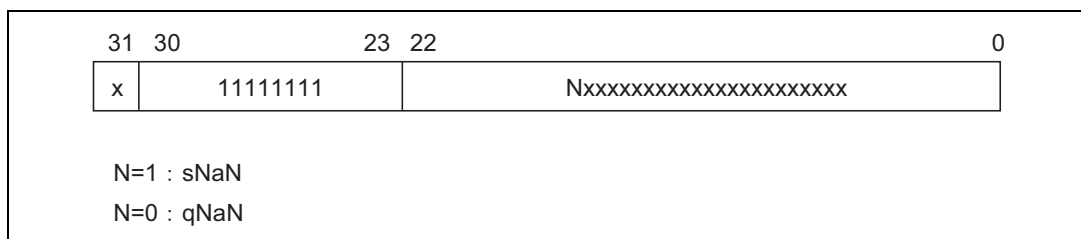


図 3.4 NaN ビットパターン

浮動小数点値を生成する演算に非数 (sNaN) を入力した場合、

- FPSCR レジスタの EV ビットがリセットされると、演算結果 (出力) はクワイアット NaN (qNaN) となります。
- FPSCR レジスタの EV ビットがセットされると、無効演算例外が発生します。この場合は、演算のデスティネーション側のレジスタの内容は変更されません。

浮動小数点値を生成する演算にクワイアット NaN を入力し、かつシグナリング NaN がその演算に入力されていない場合、FPSCR レジスタの EV ビットのセットとは無関係に、出力は常にクワイアット NaN となります。そしてこのとき例外は発生しません。

非数 (NaN) が入力された場合の浮動小数点演算については、「SH-2E プログラミングマニュアル」を参照してください。

3.3.3 非正規化数の値

非正規化数の浮動小数点数の値は、バイアスされた指数が 0、仮数部がノン-ゼロでヒドウンビットが 0 として表現されます。本 LSI の浮動小数点演算ユニットでは、非正規化数 (オペランドソースまたは演算結果) は、値を生成する浮動小数点演算 (コピー以外の演算) では画一的に 0 にフラッシュされます。

3.3.4 その他の特殊な値について

浮動小数点数の値の表現には、表 3.2 に示すように 7 種類の異なる種類の特殊な値があります。

表 3.2 IEEE754 規格で規定されている単精度における特殊な値の表現

値	表現
+0.0	0x00000000
-0.0	0x80000000
非正規化数	「3.3.3 非正規化数の値」で説明
+INF	0x7F800000
-INF	0xFF800000
qNaN (クワイアット NaN)	「3.3.2 非数 (NaN)」で説明
sNaN (シグナリング NaN)	「3.3.2 非数 (NaN)」で説明

3.4 浮動小数点例外モデル

3.4.1 イネーブル状態の例外

無効演算およびゼロによる除算例外の双方は、イネーブルビットをセットすることでイネーブル状態になります。FPUにより発生する例外はすべて、同一の例外事象としてマッピングされています。個々の例外の意味は、システムレジスタ FPSCR を読み出し、そこに保持されている情報を解析して、ソフトウェアにより決定することになります。

3.4.2 ディスイネーブル状態の例外

イネーブルビット EV がセットされていないならば、無効演算は結果として qNaN を生成します (FCMP と FTRC を除く)。イネーブルビット EZ がセットされていないならば、ゼロによる除算は現在の式の符号 (+もしくは-) を付けた無限値を返します。オーバーフローは、フォーマットにおいて絶対値が表現可能な最大値となる有限数で、かつ正しい符号を持った数を生成します。アンダフローは、正しい符号を持ったゼロを生成します。もし演算結果が不正確である場合は、デスティネーションレジスタは、その不正確な結果を格納することになります。

3.4.3 FPU の例外事象とコード

すべての FPU 例外は、同一の一般例外事象すなわち FPU 例外として、H'00000034 番地にベクターテーブルアドレスオフセットを持っています。

3.4.4 メモリ内の浮動小数点データの配置

単精度浮動小数点データは、4 バイト境界のメモリ上に配置されます。すなわち、SH7058 のロング整数と同一の形式で配置されます。

3.4.5 特殊オペランドを伴う算術演算

特殊オペランド (qNaN、sNaN、+INF、-INF、+0、-0) を伴う算術演算はすべて、IEEE754 規格の規定に従っています。詳しくは「SH-2E プログラミングマニュアル」を参照してください。

3.5 CPU との同期化

(1) CPU との同期化

浮動小数点演算命令と CPU 命令は、プログラム順序に従って順番に実行されていきますが、実行サイクルの相違により動作完了がプログラムの順番通りにならない場合があります。浮動小数点演算命令が FPU リソースのみをアクセスする場合は、CPU との同期化は必要ありませんし、FPU 命令に続く CPU 命令は、FPU 動作の完了以前に動作を終えることができます。それゆえ、最適化されたプログラムにおいては、Divide のような長い実行サイクルを要する浮動小数点演算命令の実行サイクルを見かけ上隠すことが可能です。一方、CPU リソースにアクセスする Compare のような浮動小数点演算命令は、プログラム順序を保証する同期化が必要になります。

(2) 同期化を必要とする浮動小数点命令

ロード、ストア、比較、および FPUL や FPSCR にアクセスする命令は、CPU リソースにアクセスするため、同期化が必要となります。ロード、ストア命令は、汎用レジスタを参照します。ポストインクリメントロードとプリデクリメントストアは、汎用レジスタの内容を変更します。比較は T ビットを変更します。FPUL や FPSCR にアクセスする命令は FPUL や FPSCR を参照するか、内容を変更します。これらの参照と変更は CPU と同期をとる必要があります。

4. 動作モード

4.1 動作モードの種類と選択

本 LSI には、5 種類の動作モードがあります。動作モードは、MD2～MD0、FWE 端子で設定します。モード設定端子は、LSI の動作中には変化させないでください。また、表 4.1 にない組み合わせは設定しないでください。

PVcc1 の電源電圧は表 4.1 に示す範囲で使用してください。

表 4.1 動作モードの選択

動作モード 番号	端子設定				モード名	内蔵 ROM	エリア 0 のバス幅	PVcc1 電圧
	FWE	MD2	MD1	MD0				
モード 0	0	1	0	0	MCU 拡張モード	無効	8 ビット	3.3V±0.3V
モード 1	0	1	0	1			16 ビット	
モード 2	0	1	1	0		有効	BCR1 により設定	
モード 3	0	1	1	1	MCU シングルチップ モード	有効	—	5.0V±0.5V
モード 4	1	1	0	0	ブートモード	有効	BCR1 により設定	3.3V±0.3V
モード 5	1	1	0	1			—	5.0V±0.5V
モード 6	1	1	1	0	ユーザプログラム モード	有効	BCR1 により設定	3.3V±0.3V
モード 7	1	1	1	1			—	5.0V±0.5V
モード 8	1	0	0	0	ユーザブート モード	有効	BCR1 により設定	3.3V±0.3V
モード 9	1	0	0	1			—	5.0V±0.5V
—	0/1	0	1	1	ライターモード	—	—	3.3V±0.3V

MCU 動作モードとして、MCU 拡張モードと MCU シングルチップモードがあります。

フラッシュメモリにプログラムを書き込むモードとして、オンボードプログラミングモードであるブートモード、ユーザブートモード、ユーザプログラムモード、および EPROM ライタ（本デバイスの書き込みをサポートしているライタ）により書き込むライターモードがあります。

なおライターモードについての詳細は「第 23 章 ROM」を参照してください。

4. 動作モード

5. クロック発振器 (CPG)

5.1 概要

クロック発振器 (CPG) は、本 LSI 内部と外部デバイスにクロックパルスを供給します。本 LSI の CPG は、発振回路と PLL 通倍回路で構成されています。CPG でクロックを発生させる方法としては、水晶発振子を接続する方法と、外部クロックを入力する方法の 2 通りがあります。発振回路は入力クロックと同じ周波数で発振します。LSI の内部は内部クロック (ϕ) と周辺クロック ($P\phi$) の 2 種類のクロックがあります。

内部クロック (ϕ) は、主にバスマスタ系のモジュールに供給され、その周波数は EXTAL 端子からの入力クロック周波数の 4 通倍と 8 通倍が選択できます。

周辺クロック ($P\phi$) は、主に周辺モジュールに供給され、その周波数は EXTAL 端子からの入力クロック周波数の 2 通倍となります。CK 端子からは周辺クロック ($P\phi$) が出力されます。

CPG はソフトウェアスタンバイモード、およびハードウェアスタンバイモードで停止します。

5.1.1 ブロック図

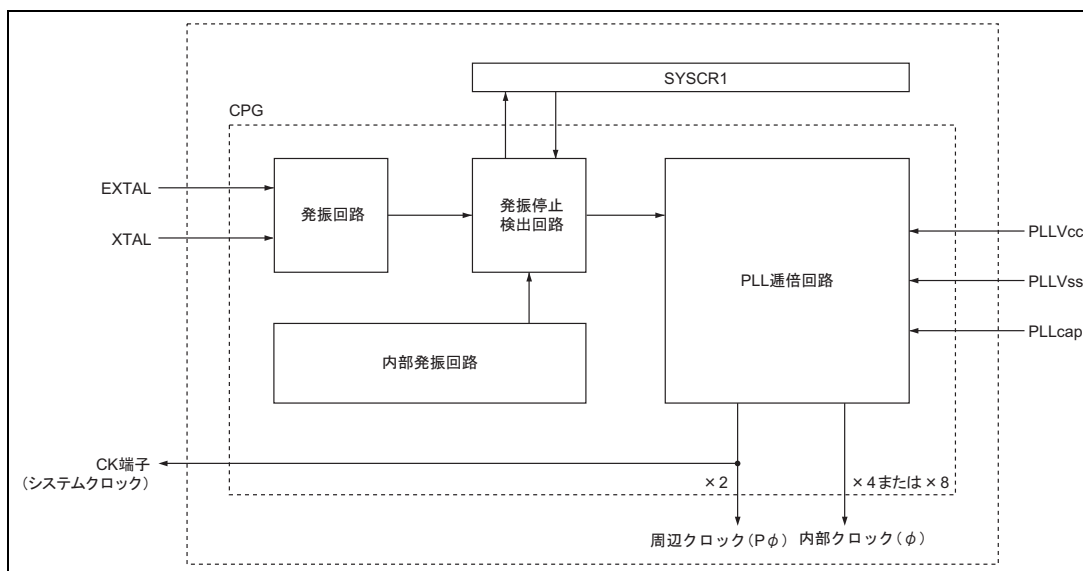


図 5.1 CPG のブロック図

5. クロック発振器 (CPG)

5.1.2 端子構成

クロック発振器に関連する端子を表 5.1 に示します。

表 5.1 端子構成

名称	略称	入出力	機能
外部クロック	EXTAL	入力	水晶発振子または外部クロックの入力
クリスタル	XTAL	入力	水晶発振子を接続
システムクロック	CK	出力	システムクロック出力
PLL 電源	PLL _{CC}	入力	PLL 通倍回路用電源
PLL グランド	PLL _{SS}	入力	PLL 通倍回路用グラウンド
PLL 容量	PLLCAP	入力	PLL 通倍回路発振用外付け容量端子

5.1.3 関連レジスタ

クロック発振器に関連するレジスタを表 5.2 に示します。

表 5.2 レジスタ構成

名称	略称	R/W	初期値	アドレス		アクセス
				書き込み	読み出し	サイズ
システムコントロールレジスタ 2	SYSCR2	R/W	H'01	H'FFFFFF70A* ¹	H'FFFFFF70B* ²	8、16

【注】 *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。

*2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では、正しい値を読み出すことができません。

5.2 周波数範囲とクロック選択

5.2.1 周波数範囲

入力周波数と動作周波数の範囲を表 5.3 に示します。

表 5.3 入力周波数と動作周波数

入力周波数範囲 (MHz)	PLL 通倍比	内部クロック (ϕ) 周波数範囲 (MHz)	周辺クロック (P ϕ) 周波数範囲 (MHz)	システムクロック 周波数範囲 (MHz)
5~10	×4	20~40	10~20	10~20
	×8	40~80		

【注】 水晶発振器および外部クロック入力

LSI の内部に供給されるクロックは、内部クロック (ϕ) と周辺クロック (P ϕ) の 2 種類のクロックがあります。

内部クロック (ϕ) は、主に CPU、FPU、DMAC などのバスマスタ系のモジュールに供給され、入力周波数 (EXTAL 端子) の 4 倍または 8 倍が選択できます。

周辺クロック (P ϕ) は、主に内蔵周辺モジュールに供給され、入力周波数 (EXTAL 端子) の 2 倍の周波数となります。CK 端子から出力するシステムクロックは、周辺クロック (P ϕ) を出力します。

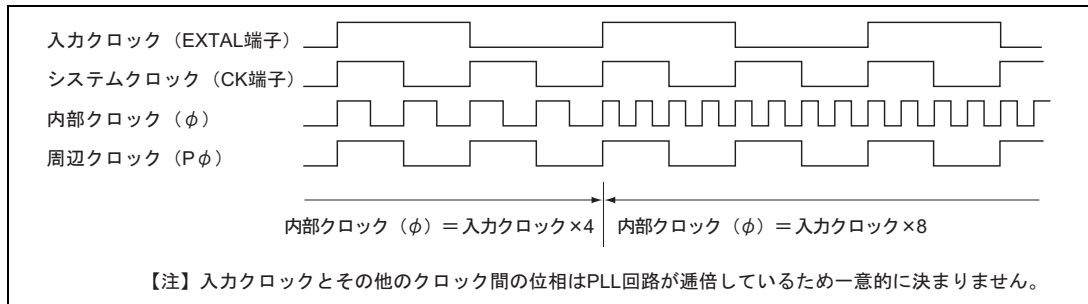


図 5.2 各クロックの周波数と位相

5. クロック発振器 (CPG)

5.2.2 クロック選択

内部クロック (ϕ) は入力クロック (EXTAL 端子) の 4 倍または 8 倍が選択できます。内部クロックの選択は、システムコントロールレジスタ 2 (SYSCR2) の CKSEL ビットで制御します。

(1) システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	CKSEL	—	—	—	MSTOP3	MSTOP2	MSTOP1	MSTOP0
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

システムコントロールレジスタ 2 (SYSCR2) は読み出し/書き込み可能な 8 ビットのレジスタで、内部クロック (ϕ) の選択と、AUD、H-UDI、FPU、UBC のスタンバイ制御をします。

SYSCR2 は、パワーオンリセットで H'01 に初期化されます。

ビット 7: 内部クロック選択 (CKSEL)

内部クロック (ϕ) の周波数を選択します。

本ビットを書き換えるときは、必ず次のようにしてください。

- DMAC、AUD を停止させる (本レジスタライト直後に DMAC および AUD のバスサイクルを発生させない)。ただし、AUD のブランチトレース時は AUD を停止させる必要はありません。
- 本ビットをライト後 4 命令 NOP を入れる

ビット 7	説明
CKSEL	
0	内部クロック (ϕ) は入力クロックの 4 倍 (初期値)
1	内部クロック (ϕ) は入力クロックの 8 倍

ビット 6~0 については「第 25 章 低消費電力状態」を参照してください。

5.2.3 レジスタアクセス時の注意

システムコントロールレジスタ 2 (SYSCR2) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。

SYSCR2 へ書き込むときは、必ずワード転送命令を使用してください、バイト転送命令では、書き込みません。図 5.3 に示すように上位バイトを H'3C にし、下位バイトを書き込みデータにして転送してください。

読み出しは、一般のレジスタと同様の方法で行うことができます。

SYSCR2 はアドレス H'FFFFFF70A に割り当てられています。読み出すときは必ずバイト転送命令を使用して H'FFFFFF70B から読み出してください。

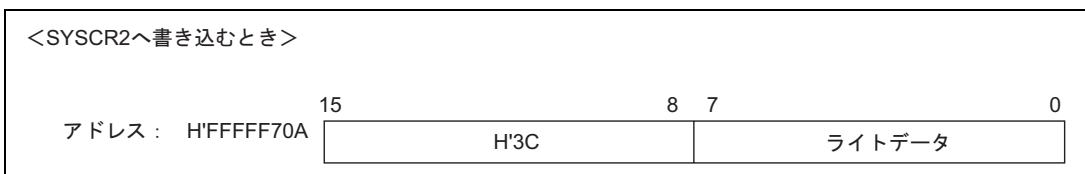


図 5.3 SYSCR2 への書き込み

5.3 クロックソース

クロックソースとして、水晶発振器と外部クロックのどちらかを選ぶことができます。

5.3.1 水晶発振子の接続方法

(1) 回路構成

図 5.4 に水晶発振子の接続方法を示します。ダンピング抵抗 R_d は表 5.4 に示すものを使用してください。水晶発振子は、AT カット基本波仕様のものを使ってください。また、図のように、負荷容量 (CL1、CL2) を必ず接続してください。

水晶発振器と内部の発振器によって生成されたクロックパルスは、PLL 通倍回路に送られ、そこで通倍された周波数を選択し、本 LSI の内部と外部デバイスに供給されます。

なお、水晶発振器と LSI の相性については、水晶発振器メーカーとご相談ください。

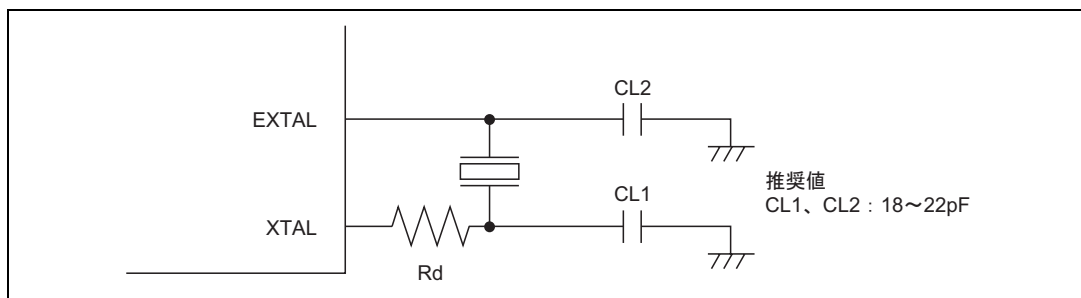


図 5.4 水晶発振子の接続例

表 5.4 ダンピング抵抗値 (推奨値)

周波数 (MHz)	5	10
R_d (Ω)	500	0

(2) 水晶発振子

図 5.5 に水晶発振子の等価回路を示します。水晶発振子は、表 5.5 に示す特性のものを使ってください。

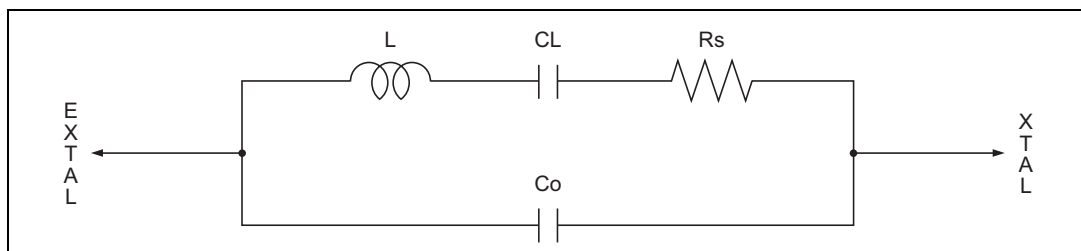


図 5.5 水晶発振子の等価回路

表 5.5 水晶発振子の特性 (推奨値)

パラメータ	周波数 (MHz)	
		5
Rs max (Ω)	100	50
Co max (pF)	7	

なお水晶発振子と LSI の相性については、水晶発振子メーカーにご相談ください。

5.3.2 外部クロックの入力方法

外部クロック入力の接続例を図 5.6 に示します。

XTAL 端子をオープン状態にする場合は、寄生容量を 10pF 以下としてください。

外部クロックを入力する場合でも、PLL 安定時間の確保のため、電源投入時や、スタンバイ解除時は、発振安定時間以上待つようにしてください。

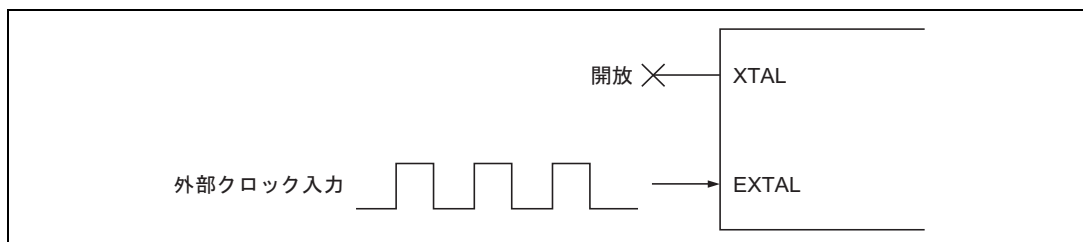


図 5.6 外部クロックの入力方法

5.4 水晶発振停止検出機能

5.4.1 概要

水晶発振停止検出回路は、水晶発振子の異常を検出し、内蔵周辺レジスタにフラグをセットします。この機能を有効にするためには、SYSCR1 レジスタの INOSCE ビットを 1 (初期値 0) にイネーブルする必要があります。水晶発振子が何らかの理由で発振が停止のような異常動作をした場合には、SYSCR1 レジスタの OSCSTOP ビットが 1 (初期値 0) にセットされます。さらに、水晶発振子のクロックを LSI は遮断し、内部発振回路のクロックを用いて LSI の動作を継続します。水晶発振子の異常動作を一度検出したら、次のリセット解除後、またはソフトウェアスタンバイ解除後まではその状態を保持します。この水晶発振停止動作検出を無効 (SYSCR1 レジスタの INOSCE ビットを 0) にした場合には、水晶発振子の異常動作を検出いたしません。また、内部発振への切り替えも行いません。

5.4.2 水晶発振子停止検出機能の設定方法

水晶発振子停止検出機能を有効にするには、SYSCR1 レジスタの INOSCE ビットを 1 (初期値 0) にセットする必要があります。SYSCR1 レジスタの INOSCE ビットは、リセット/ソフトウェアスタンバイ解除後に必ず 0 にクリアされます。この機能を有効にさせるためには、リセット/ソフトウェアスタンバイ解除後に必ず INOSCE ビットを 1 にセットしてください。

水晶発振子停止検出機能を有効にし、水晶発振子の発振周波数が異常動作により、ある一定期間クロックのエッジが入らない (表 5.6 を参照) 場合には、水晶発振子異常動作と判定し内部発振回路のクロック (表 5.7 を参照) に切り替えます。このときに LSI は SYSCR1 レジスタの OSCSTOP ビットを 1 (初期値 0) にセットします。内部発振に一度切り替わった場合には、その後に水晶発振が正常に動作したとしても内部発振での動作を継続します。水晶発振を用いて動作させるためには再度リセットスタートしてください。

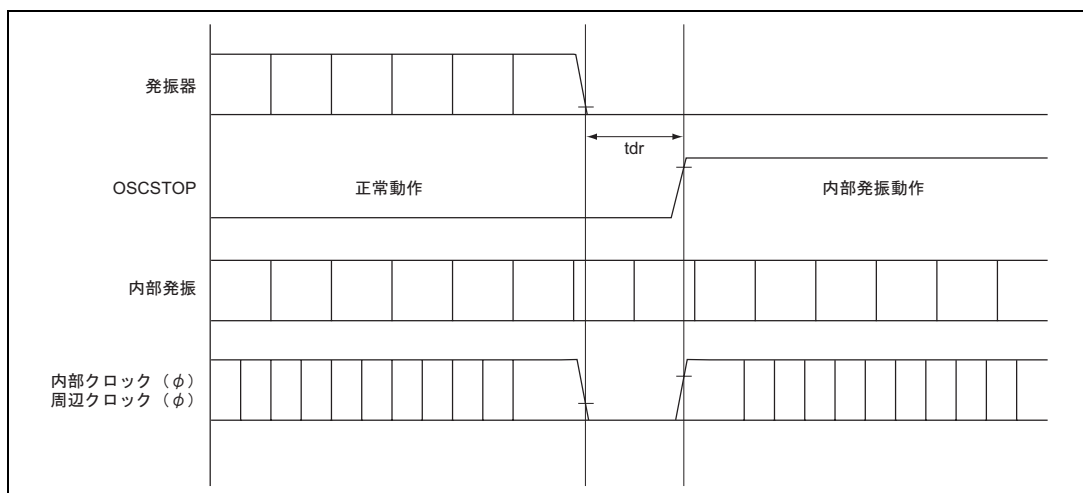


図 5.7 水晶発振停止検出タイミング

表 5.6 水晶発振子停止検出回路の異常動作判定検出

	min	typ	max	注意事項
検出時間 (tdr)	—	—	1.0 (ms)	実力としては、約 30~20 (μ s) の間にあります。

表 5.7 内部発振回路の周波数 (内部クロック ϕ 周波数)

	min	typ	max	注意事項
内部クロック ϕ 周波数 (8 通倍時)	10M (Hz)	30M (Hz)	40M (Hz)	内部発振周波数は、温度、動作電圧により変動します。
内部クロック ϕ 周波数 (4 通倍時)	5M (Hz)	15M (Hz)	20M (Hz)	内部発振周波数は、温度、動作電圧により変動します。

5.4.3 関連レジスタ

水晶発振子停止検出関係のレジスタビットは、SYSCR1 レジスタのビット 7~6 にマッピングされています。

ビット:	7	6	5	4	3	2	1	0
	OSCSTOP	INOSCE	—	—	—	—	AUDSRST	RAME
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R	R	R	R/W	R/W

ビット 7 : 水晶振動子異常検出ビット (OSCSTOP)

表 5.8 OSCSTOP ビットの説明

ビット 7	説明
OSCSTOP	
0	水晶発振子正常動作
1	水晶発振子異常動作検出 / 内部発振回路クロック供給

ビット 6 : 水晶発振子停止検出機能イネーブルビット (INOSCE)

表 5.9 INOSCE ビットの説明

ビット 6	説明
INOSCE	
0	水晶発振子異常動作検出機能停止
1	水晶発振子異常動作検出機能動作

5. クロック発振器 (CPG)

ビット 5~0

「第 25 章 低消費電力状態」を参照してください。

5.4.4 水晶発振子停止検出機能動作時の注意事項

水晶発振子が異常動作し、内部発振を用いて動作している状態では、水晶発振子停止検出機能を停止 (INOSCE ビットを 0 クリア) させないでください。水晶発振子停止検出機能を停止した場合には、動作保証をいたしません。

5.5 使用上の注意

(1) ボード設計上の注意

水晶発振子と負荷容量は、できるだけ EXTAL、XTAL 端子の近くに置いてください。また、EXTAL、XTAL 端子の信号線に他の信号線を交差させないでください (図 5.8)。誘導のために正しい発振ができなくなることがあります。

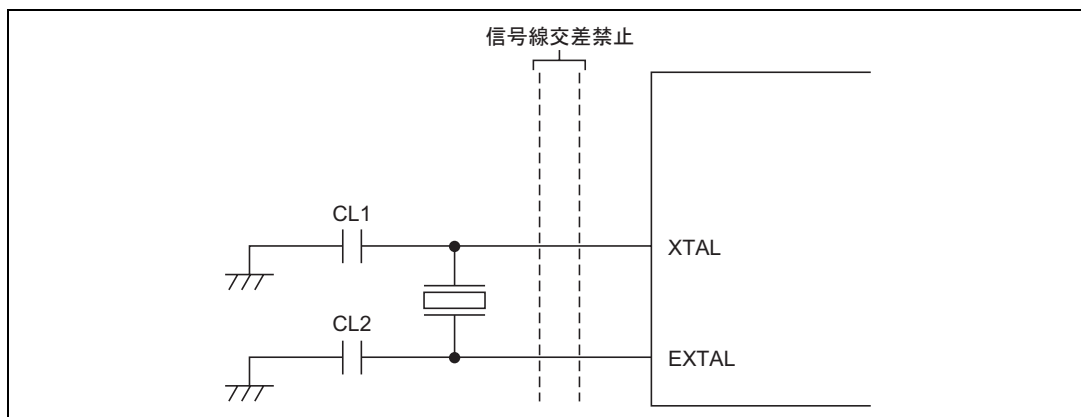


図 5.8 ボード設計上の注意

(2) PLL 発振用電源

PLL V_{CC} とPLL V_{SS} は、その他の V_{CC} 、 V_{SS} とはボードの電源供給元から分離し、端子の近くにバイパスコンデンサ C_{PB} および C_B を必ず挿入してください。

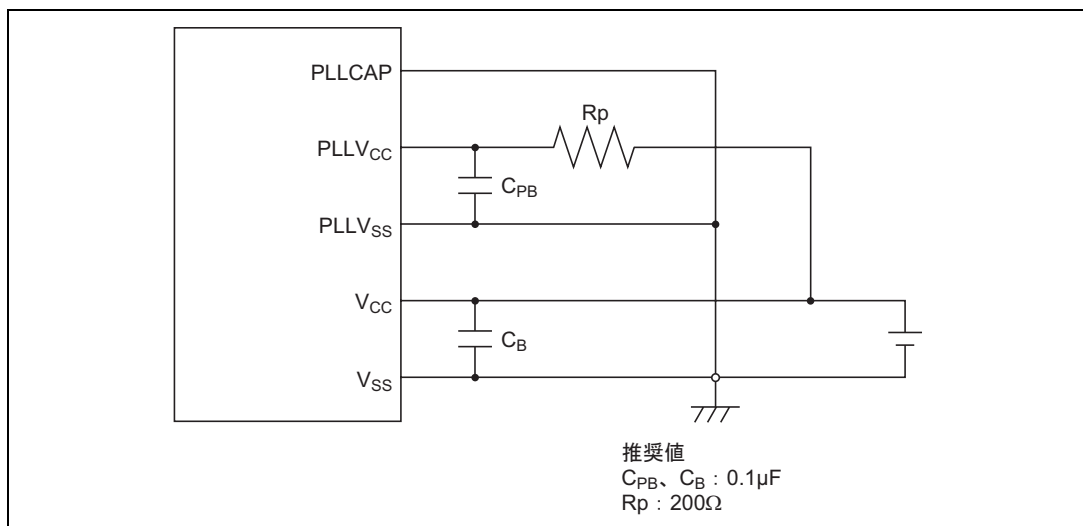


図 5.9 PLL 用電源接続時の注意

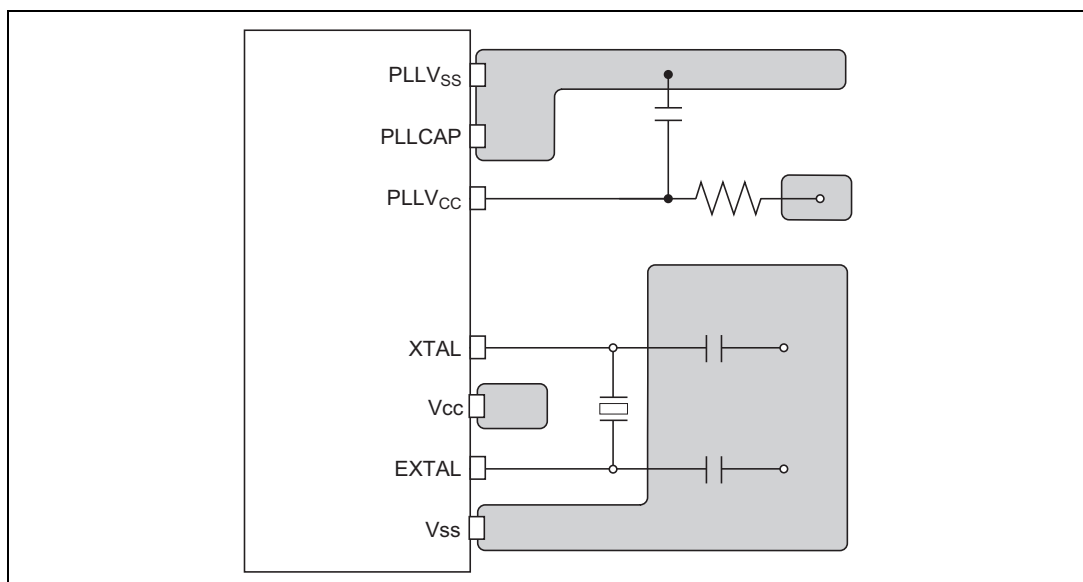


図 5.10 ボード設計の具体例

6. 例外処理

6.1 概要

6.1.1 例外処理の種類と優先順位

例外処理は、表 6.1 に示すようにリセット、アドレスエラー、割り込み、および命令の各要因によって起動されます。例外要因には、表 6.1 に示すように優先順位が設けられており、複数の例外要因が同時に発生した場合は、この優先順位に従って受け付けられ、処理されます。

表 6.1 例外要因の種類と優先順位

例外処理		優先順位	
リセット	パワーオンリセット		
	マニュアルリセット		
アドレスエラー	CPU アドレスエラー		
	DMAC アドレスエラー		
命令	FPU 例外		
割り込み	NMI		
	ユーザブレーク		
	H-UDI		
	IRQ		
	内蔵周辺 モジュール		ダイレクトメモリアクセスコントローラ (DMAC)
			アドバンスドタイマユニット-II (ATU-II)
			コンペアマッチタイマ 0 (CMT0)
			マルチトリガ A/D0 (MTAD0)
			A/D 変換器チャンネル 0 (A/D0)
			コンペアマッチタイマ 1 (CMT1)
			マルチトリガ A/D1 (MTAD1)
			A/D 変換器チャンネル 1 (A/D1)
			A/D 変換器チャンネル 2 (A/D2)
			シリアルコミュニケーションインタフェース (SCI)
			コントローラエリアネットワーク-II (HCAN0)
		ウォッチドッグタイマ (WDT)	
		コントローラエリアネットワーク-II (HCAN1)	
	命令	トラップ命令 (TRAPA 命令)	
		一般不当命令 (未定義コード)	
		スロット不当命令 (遅延分岐命令* ¹ 直後に配置された未定義コードまたは PC を書き換える命令* ²)	

【注】 *1 遅延分岐命令 : JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA

*2 PC を書き換える命令 : JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA

6. 例外処理

6.1.2 例外処理の動作

各例外要因は表 6.2 に示すタイミングで検出され、処理が開始されます。

表 6.2 例外要因検出と例外処理開始タイミング

例外処理		要因検出および処理開始タイミング
リセット	パワーオンリセット	RES 端子のローレベルからハイレベルへの変化、または WDT のオーバーフローで開始される
	マニュアルリセット	WDT のオーバーフローで開始される
アドレスエラー		命令のデコード時に検出され、この前までに実行中の命令が完了後開始される
割り込み		
命令	トラップ命令	TRAPA 命令の実行により開始される
	一般不当命令	遅延分岐命令（遅延スロット）以外にある未定義コードがデコードされると開始される
	スロット不当命令	遅延分岐命令（遅延スロット）に配置された未定義コードまたは PC を書き換える命令がデコードされると開始される
	浮動小数点演算命令	浮動小数点演算命令の無効演算例外（IEEE754 規定）、またはゼロによる除算例外により開始される。

例外処理が起動されると、CPU は次のように動作します。

(1) リセットによる例外処理

プログラムカウンタ（PC）とスタックポインタ（SP）の初期値を例外処理ベクタテーブル（PC、SP をそれぞれ、パワーオンリセット時に H'00000000 番地、H'00000004 番地、マニュアルリセット時に H'00000008 番地、H'0000000C 番地）から取り出します。例外処理ベクタテーブルについては、「6.1.3 例外処理ベクタテーブル」を参照してください。次にベクタベースレジスタ（VBR）を H'00000000 に、ステータスレジスタ（SR）の割り込みマスクビット（I3～I0）を HF（1111）にセットします。例外処理ベクタテーブルから取り出した PC のアドレスからプログラムの実行を開始します。

(2) アドレスエラー、割り込み、命令による例外処理

SR と PC を R15 で示すスタック上に退避します。割り込み例外処理の場合、割り込み優先レベルを SR の割り込みマスクビット（I3～I0）に書き込みます。アドレスエラー、命令による例外処理の場合、I3～I0 ビットは影響を受けません。次に例外処理ベクタテーブルからスタートアドレスを取り出し、そのアドレスからプログラムの実行を開始します。

6.1.3 例外処理ベクタテーブル

例外処理実行前には、あらかじめ例外処理ベクタテーブルが、メモリ上に設定されている必要があります。例外処理ベクタテーブルには、例外サービスルーチンの開始アドレスを格納しておきます(リセット例外処理のテーブルには、PC と SP の初期値を格納しておきます)。

各例外要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、対応するベクタ番号やベクタテーブルアドレスオフセットから算出されます。例外処理では、このベクタテーブルアドレスが示す例外処理ベクタテーブルから、例外サービスルーチンのスタートアドレスが取り出されます。

ベクタ番号とベクタテーブルアドレスオフセットを表 6.3 に、ベクタテーブルアドレスの算出法を表 6.4 に示します。

表 6.3 例外処理ベクタテーブル

例外要因		ベクタ番号	ベクタテーブルアドレスオフセット
パワーオンリセット	PC	0	H'00000000 ~ H'00000003
	SP	1	H'00000004 ~ H'00000007
マニュアルリセット	PC	2	H'00000008 ~ H'0000000B
	SP	3	H'0000000C ~ H'0000000F
一般不当命令		4	H'00000010 ~ H'00000013
(システム予約)		5	H'00000014 ~ H'00000017
スロット不当命令		6	H'00000018 ~ H'0000001B
(システム予約)		7	H'0000001C ~ H'0000001F
		8	H'00000020 ~ H'00000023
CPU アドレスエラー		9	H'00000024 ~ H'00000027
DMAC アドレスエラー		10	H'00000028 ~ H'0000002B
割り込み	NMI	11	H'0000002C ~ H'0000002F
	ユーザブレイク	12	H'00000030 ~ H'00000033
FPU 例外		13	H'00000034 ~ H'00000037
H-UDI		14	H'00000038 ~ H'0000003B
(システム予約)		15	H'0000003C ~ H'0000003F
		:	:
		31	H'0000007C ~ H'0000007F
トラップ命令 (ユーザベクタ)		32	H'00000080 ~ H'00000083
		:	:
		63	H'000000FC ~ H'000000FF
割り込み	IRQ0	64	H'00000100 ~ H'00000103
	IRQ1	65	H'00000104 ~ H'00000107
	IRQ2	66	H'00000108 ~ H'0000010B
	IRQ3	67	H'0000010C ~ H'0000010F
	IRQ4	68	H'00000110 ~ H'00000113
	IRQ5	69	H'00000114 ~ H'00000117
	IRQ6	70	H'00000118 ~ H'0000011B
	IRQ7	71	H'0000011C ~ H'0000011F

6. 例外処理

例外要因	ベクタ番号	ベクタテーブルアドレスオフセット
内蔵周辺モジュール*	72	H'00000120 ~ H'00000124
	:	:
	255	H'000003FC ~ H'000003FF

【注】 * 各内蔵周辺モジュール割り込みのベクタ番号とベクタテーブルオフセットは「第7章 割り込みコントローラ (INTC)」の「表 7.3 割り込み例外処理ベクタと優先順位」を参照してください。

表 6.4 例外処理ベクタテーブルアドレスの算出法

例外要因	ベクタテーブルアドレス算出法
リセット	ベクタテーブルアドレス = (ベクタテーブルアドレスオフセット) = (ベクタ番号) × 4
アドレスエラー、 割り込み、命令	ベクタテーブルアドレス = VBR + (ベクタテーブルアドレスオフセット) = VBR + (ベクタ番号) × 4

【注】 VBR：ベクタベースレジスタ
ベクタテーブルアドレスオフセット：表 6.3 を参照
ベクタ番号：表 6.3 を参照

6.2 リセット

6.2.1 リセットの種類

リセットは最も優先順位の高い例外処理要因です。リセットには、パワーオンリセットとマニュアルリセットの2種類があります。表 6.5 に示すように、パワーオンリセット、マニュアルリセットのどちらでも CPU 状態は初期化されます。また、パワーオンリセットで内蔵周辺モジュールのレジスタが初期化されるのに対し、マニュアルリセットでは初期化されません。

表 6.5 例外要因検出と例外処理開始タイミング

種類	リセット状態への遷移条件		内部状態		
	RES	WDT オーバフロー	CPU/MULT/ FPU/INTC	内蔵周辺 モジュール	PFC、 IO ポート
パワーオンリセット	ロー	—	初期化	初期化	初期化
	ハイ	パワーオン	初期化	初期化	初期化しない
マニュアルリセット	ハイ	マニュアル	初期化	初期化しない	初期化しない

6.2.2 パワーオンリセット

(1) $\overline{\text{RES}}$ 端子によるパワーオンリセット

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態になります。本 LSI を確実にリセットするために最低、電源投入時またはスタンバイ時（クロックが停止している場合）は発振安定時間の間、クロックが動作している場合は最低 20t_{cy} の間 $\overline{\text{RES}}$ 端子をローレベルに保持してください。パワーオンリセット状態では、CPU の内部状態と内蔵周辺モジュールのレジスタがすべて初期化されます。パワーオンリセット状態での各端子の状態は「付録 B. 端子状態」を参照してください。

パワーオンリセット状態で、 $\overline{\text{RES}}$ 端子を一定期間ローレベルに保持した後ハイレベルにすると、パワーオンリセット例外処理が開始されます。このとき、CPU は次のように動作します。

- プログラムカウンタ (PC) の初期値（実行開始アドレス）を、例外処理ベクタテーブルから取り出します。
- スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- ベクタベースレジスタ (VBR) を H'00000000 にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) を HF (1111) にセットします。
- 例外処理ベクタテーブルから取り出した値をそれぞれ PC と SP に設定し、プログラムの実行を開始します。

なお、パワーオンリセット処理は、システムの電源投入時、必ず行うようにしてください。

(2) WDT によるパワーオンリセット

WDT のウォッチドッグタイマモードでパワーオンリセットを発生する設定にし、WDT の TCNT がオーバフローするとパワーオンリセット状態になります。

このとき、WDT によるリセット信号ではピンファンクションコントローラ (PFC) のレジスタおよび、I/O ポートのレジスタは初期化されません（外部からのパワーオンリセットのみで初期化されます）。

また、 $\overline{\text{RES}}$ 端子からの入力信号によるリセットと WDT のオーバフローによるリセットが同時に発生したときは $\overline{\text{RES}}$ 端子によるリセットが優先され、RSTCSR の WO VF ビットは 0 にクリアされます。WDT によるパワーオンリセット処理が開始されると CPU は次のように動作します。

6. 例外処理

- (a) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (b) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (c) ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) をHF (1111) にセットします。
- (d) 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

6.2.3 マニュアルリセット

WDT のウォッチドッグタイマモードでマニュアルリセットが発生する設定にし WDT の TCNT がオーバーフローするとマニュアルリセット状態になります。

WDT によるマニュアルリセット処理が開始されると、CPU は次のように動作します。

- (1) プログラムカウンタ (PC) の初期値 (実行開始アドレス) を、例外処理ベクタテーブルから取り出します。
- (2) スタックポインタ (SP) の初期値を、例外処理ベクタテーブルから取り出します。
- (3) ベクタベースレジスタ (VBR) をH'00000000にクリアし、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) をHF (1111) にセットします。
- (4) 例外処理ベクタテーブルから取り出した値をそれぞれPCとSPに設定し、プログラムの実行を開始します。

マニュアルリセット発生時、バスサイクルは保持されます。バス権解放中や DMAC パースト転送中にマニュアルリセットが発生すると、CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してからバスサイクルの終了までの期間が内部マニュアルリセット期間の 512 サイクル以上であると、内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

6.3 アドレスエラー

6.3.1 アドレスエラー発生要因

アドレスエラーは、表 6.6 に示すように命令フェッチ、データ読み出し／書き込み時に発生します。

表 6.6 バスサイクルとアドレスエラー

バスサイクル		バスサイクルの内容	アドレスエラーの発生
種類	バスマスタ		
命令フェッチ	CPU	偶数アドレスから命令をフェッチ	なし（正常）
		奇数アドレスから命令をフェッチ	アドレスエラー発生
		内蔵周辺モジュール空間*以外から命令をフェッチ	なし（正常）
		内蔵周辺モジュール空間*から命令をフェッチ	アドレスエラー発生
		シングルチップモード時に外部メモリ空間から命令をフェッチ	アドレスエラー発生
データ読み出し／書き込み	CPU または DMAC	ワードデータを偶数アドレスからアクセス	なし（正常）
		ワードデータを奇数アドレスからアクセス	アドレスエラー発生
		ロングワードデータをロングワード境界からアクセス	なし（正常）
		ロングワードデータをロングワード境界以外からアクセス	アドレスエラー発生
		ワードデータ、バイトデータを内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 16 ビットの内蔵周辺モジュール空間*でアクセス	なし（正常）
		ロングワードデータを 8 ビットの内蔵周辺モジュール空間*でアクセス	アドレスエラー発生
		シングルチップモード時に外部メモリ空間をアクセス	アドレスエラー発生

【注】 * 内蔵周辺モジュール空間については、「第 9 章 バスステートコントローラ (BSC)」を参照してください。

6. 例外処理

6.3.2 アドレスエラー例外処理

アドレスエラーが発生すると、アドレスエラーを起こしたバスサイクルが終了し、実行中の命令が完了してからアドレスエラー例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避するPCの値は、最後に実行した命令の次命令の先頭アドレスです。
- (3) 発生したアドレスエラーに対応する例外処理ベクタテーブルから例外サービスルーチンスタートアドレスを取り出し、そのアドレスからプログラムを実行します。このときのジャンプは遅延分岐ではありません。

6.4 割り込み

6.4.1 割り込み要因

割り込み例外処理を起動させる要因には、表 6.7 に示すように NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールがあります。

表 6.7 割り込み要因

種類	要求元	要因数
NMI	NMI 端子 (外部からの入力)	1
ユーザブレイク	ユーザブレイクコントローラ	1
H-UDI	ハイパフォーマンスユーザデバッグインタフェース	1
IRQ	IRQ0~IRQ7 端子 (外部からの入力)	8
内蔵周辺モジュール	ダイレクトメモリアクセスコントローラ	4
	アドバンスドタイマユニット	75
	コンペアマッチタイマ	2
	A/D 変換器	3
	シリアルコミュニケーションインタフェース	20
	ウォッチドッグタイマ	1
	コントローラエリアネットワーク	8

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルオフセットが割り当てられています。ベクタ番号とベクタテーブルアドレスオフセットについては「第 7 章 割り込みコントローラ (INTC)」の「表 7.3 割り込み例外ベクタと優先順位」を参照してください。

6.4.2 割り込み優先順位

割り込み要因には優先順位が設けられており、複数の割り込みが同時に発生した場合（多重割り込み）、割り込みコントローラ（INTC）によって優先順位が判定され、その判定結果に従って例外処理が起動されます。

割り込み要因の優先順位は、優先レベル0～16の値で表され、優先レベル0が最低で、優先レベル16が最高です。NMI割り込みは、優先レベル16のマスクできない最優先の割り込みで、常に受け付けられます。ユーザブレイク割り込み、およびH-UDIの優先レベルは15です。IRQ割り込みと内蔵周辺モジュール割り込みの優先レベルは、INTCの割り込み優先レベル設定レジスタA～L（IPRA～IPRL）で自由に設定することができます（表6.8）。設定できる優先レベルは0～15で、優先レベル16は設定できません。IPRA～IPRLについては「7.3.1 割り込み優先レベル設定レジスタA～L（IPRA～IPRL）」を参照してください。

表 6.8 割り込み優先順位

種類	優先レベル	備考
NMI	16	優先レベル固定、マスク不可能
ユーザブレイク	15	優先レベル固定
H-UDI	15	優先レベル固定
IRQ	0～15	割り込み優先レベル設定レジスタ A～L (IPRA～IPRL) により設定
内蔵周辺モジュール		

6.4.3 割り込み例外処理

割り込みが発生すると、割り込みコントローラ（INTC）によって優先順位が判定されます。NMIは常に受け付けられますが、それ以外の割り込みは、その優先レベルがステータスレジスタ（SR）の割り込みマスクビット（I3～I0）に設定されている優先レベルより高い場合だけ受け付けられます。

割り込みが受け付けられると割り込み例外処理が開始されます。割り込み例外処理では、CPUはSRとプログラムカウンタ（PC）をスタックに退避し、受け付けた割り込みの優先レベル値をSRのI3～I0ビットに書き込みます。ただし、NMIの場合優先レベルは16ですが、I3～I0ビットに設定される値はHF（レベル15）です。次に、受け付けた割り込みに対応する例外処理ベクタテーブルから例外サービスルーチン開始アドレスを取り出し、そのアドレスにジャンプして実行を開始します。割り込み例外処理については「7.4 動作説明」を参照してください。

6.5 命令による例外

6.5.1 命令による例外の種類

例外処理を起動する命令には、表 6.9 に示すように、トラップ命令、スロット不当命令、一般不当命令、浮動小数点演算命令があります。

表 6.9 命令による例外の種類

種類	要因となる命令	備考
トラップ命令	TRAPA	
スロット不当命令	遅延分岐命令直後（遅延スロット）に配置された未定義コードまたは PC を書き換える命令	遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRA PC を書き換える命令：JMP、JSR、BRA、BSR、RTS、RTE、BT、BF、TRAPA、BF/S、BT/S、BSRF、BRA
一般不当命令	遅延スロット以外にある未定義コード	
浮動小数点演算命令	IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こす命令	FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FNEG、FABS、FTRC

6.5.2 トラップ命令

TRAPA 命令を実行すると、トラップ命令例外処理が開始されます。このとき、CPU は次のように動作します。

- (1) ステータスレジスタ (SR) をスタックに退避します。
- (2) プログラムカウンタ (PC) をスタックに退避します。退避する PC の値は、TRAPA 命令の次命令の先頭アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、TRAPA 命令で指定したベクタ番号に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5.3 スロット不当命令

遅延分岐命令の直後に配置された命令のことを「遅延スロットに配置された命令」と呼びます。遅延スロットに配置された命令が未定義コードのとき、この未定義コードがデコードされるとスロット不当命令例外処理が開始されます。また、遅延スロットに配置された命令が PC を書き換える命令のときも、この PC を書き換える命令がデコードされるとスロット不当命令例外処理が開始されます。スロット不当命令例外処理のとき、CPU は次のように動作します。

- (1) SR をスタックに退避します。
- (2) PC をスタックに退避します。退避する PC の値は、未定義コードまたは PC を書き換える命令の直前にある遅延分岐命令の飛び先アドレスです。
- (3) 例外サービスルーチンスタートアドレスを、発生した例外に対応する例外処理ベクタテーブルから取り出し、そのアドレスにジャンプして、プログラムの実行を開始します。このときのジャンプは遅延分岐ではありません。

6.5.4 一般不当命令

遅延分岐命令の直後（遅延スロット）以外に配置された未定義コードをデコードすると、一般不当命令例外処理が開始されます。このとき、CPU はスロット不当命令例外処理と同じ手順で動作します。ただし、退避する PC の値は、スロット不当命令例外処理と異なり、この未定義コードの先頭アドレスになります。

また、FPU をモジュールストップビットにより停止状態にしたときは、浮動小数点命令および FPU に関する CPU 命令は不当命令として扱われます。

6.5.5 浮動小数点演算命令

FPSCR レジスタのイネーブルフィールド中の V ビットまたは Z ビットがセットされているとき、FPU 例外が発生します。これは浮動小数点演算命令が IEEE754 規格で定義された無効演算例外またはゼロによる除算例外を引き起こしたことを示します。例外要因となる浮動小数点演算命令には以下のものがあります。

FADD、FSUB、FMUL、FDIV、FMAC、FCMP/EQ、FCMP/GT、FNEG、FABS、FTRC

該当するイネーブルビットがセットされているときのみ、FPU 例外は発生します。FPU が例外要因を検出すると、FPU の動作は中断されて CPU に例外発生を通知します。CPU は例外処理を開始すると次のように動作します。SR の内容をスタックに退避します。PC をスタックに退避します。退避する PC の値は最後に実行した命令の次の命令の先頭アドレスです。VBR+H'00000034 に格納されているアドレスに分岐します。

FPSCR の例外フラグビットは、FPU 例外が受け付けられたか否かにかかわらず常に更新され、ユーザが明示的に命令でクリアするまでセットされたままです。FPSCR の要因ビットは FPU 命令が実行されるごとに変化します。

IEEE754 規格で定義された他の例外、すなわち、アンダフロー、オーバフロー、不正確例外については、FPU により検知されていますが、どのような例外も発生しません。また、FLOAT などのデータ転送に関する浮動小数点命令では、FPU 例外は発生しません。

6.6 例外処理が受け付けられない場合

FPU 例外、アドレスエラーおよび割り込みは、表 6.10 に示すように、遅延分岐命令、FPU 命令や割り込み禁止命令の直後に発生すると、すぐに受け付けられず保留される場合があります。この場合、例外を受け付けられる命令がデコードされたときに受け付けられます。

表 6.10 遅延分岐命令、割り込み禁止命令の直後の例外要因発生

発生した時点	例外要因		
	バスエラー	割り込み	FPU 例外
遅延分岐命令 ^{*1} の直後	×	×	×
割り込み禁止命令 ^{*2} の直後	× ^{*4}	×	○
FPU 命令の直後 ^{*3}	×	×	○

【注】 ○：受け付けられる

×：受け付けられない

*1 遅延分岐命令：JMP、JSR、BRA、BSR、RTS、RTE、BF/S、BT/S、BSRF、BRAFL

*2 割り込み禁止命令：LDC、LDC.L、STC、STC.L、LDS、LDS.L、STS、STS.L

*3 FPU 命令：「2.4.1 分類順命令セット」の「(7)浮動小数点命令」および「(8)FPUに関するCPU命令」

*4 SH2 ではバスエラーは受け付けられます。

6.7 例外処理後のスタックの状態

例外処理終了後のスタックの状態は、表 6.11 に示すようになります。

表 6.11 例外処理終了後のスタックの状態

種類	スタックの状態	種類	スタックの状態
アドレス エラー		割り込み	
トラップ 命令		スロット 不当命令	
一般不当 命令		FPU 例外	

6.8 使用上の注意

6.8.1 スタックポインタ（SP）の値

SP の値は必ず 4 の倍数になるようにしてください。SP が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.8.2 ベクタベースレジスタ（VBR）の値

VBR の値は必ず 4 の倍数になるようにしてください。VBR が 4 の倍数以外るとき、例外処理でスタックがアクセスされるとアドレスエラーが発生します。

6.8.3 アドレスエラー例外処理のスタッキングで発生するアドレスエラー

SP が 4 の倍数になっていないと、例外処理（割り込みなど）のスタッキングでアドレスエラーが発生し、その例外処理終了後、アドレスエラー例外処理に移ります。アドレスエラー例外処理でのスタッキングでもアドレスエラーが発生しますが、無限にアドレスエラー例外処理によるスタッキングが続かないように、そのときのアドレスエラーは受け付けなくなっています。これにより、プログラムの制御をアドレスエラー例外サービスルーチンに移すことができ、エラー処理を行うことができます。

なお、例外処理のスタッキングでアドレスエラーが発生した場合、スタッキングのバスサイクル（ライト）は実行されます。SR と PC のスタッキングでは、SP がそれぞれ-4 されるので、スタッキング終了後も SP の値は 4 の倍数になっていません。また、スタッキング時に出力されるアドレスの値は SP の値で、エラーの発生したアドレスそのものが出力されます。このとき、スタッキングされたライトデータは不定です。

7. 割り込みコントローラ (INTC)

7.1 概要

割り込みコントローラ (INTC) は、割り込み要因の優先順位を判定し、CPU への割り込み要求を制御します。INTC には、各割り込みの優先順位を設定するためのレジスタがあり、これによりユーザが設定した優先順位に従って、割り込み要求を処理させることができます。

7.1.1 特長

INTC には、次のような特長があります。

- 割り込み優先順位を16レベル設定可能
12本の割り込み優先レベル設定レジスタにより、IRQ割り込みと内蔵周辺モジュール割り込みの優先順位を要求元別に16レベルまで設定することができます。
- NMIノイズキャンセラ機能
NMI端子の状態を示すNMI入力レベルビットを持っています。割り込み例外サービスルーチンでこのビットを読むことにより端子状態を確認でき、ノイズキャンセラ機能として使用できます。
- 割り込みが発生したことを外部へ出力可能 ($\overline{\text{IRQOUT}}$ 端子)
例えば、本LSIがバス権を解放しているときに、内蔵周辺モジュール割り込み要求が発生したことを外部バスマスタに知らせ、バス権を要求することができます。

7. 割り込みコントローラ (INTC)

7.1.2 ブロック図

INTC のブロック図を図 7.1 に示します。

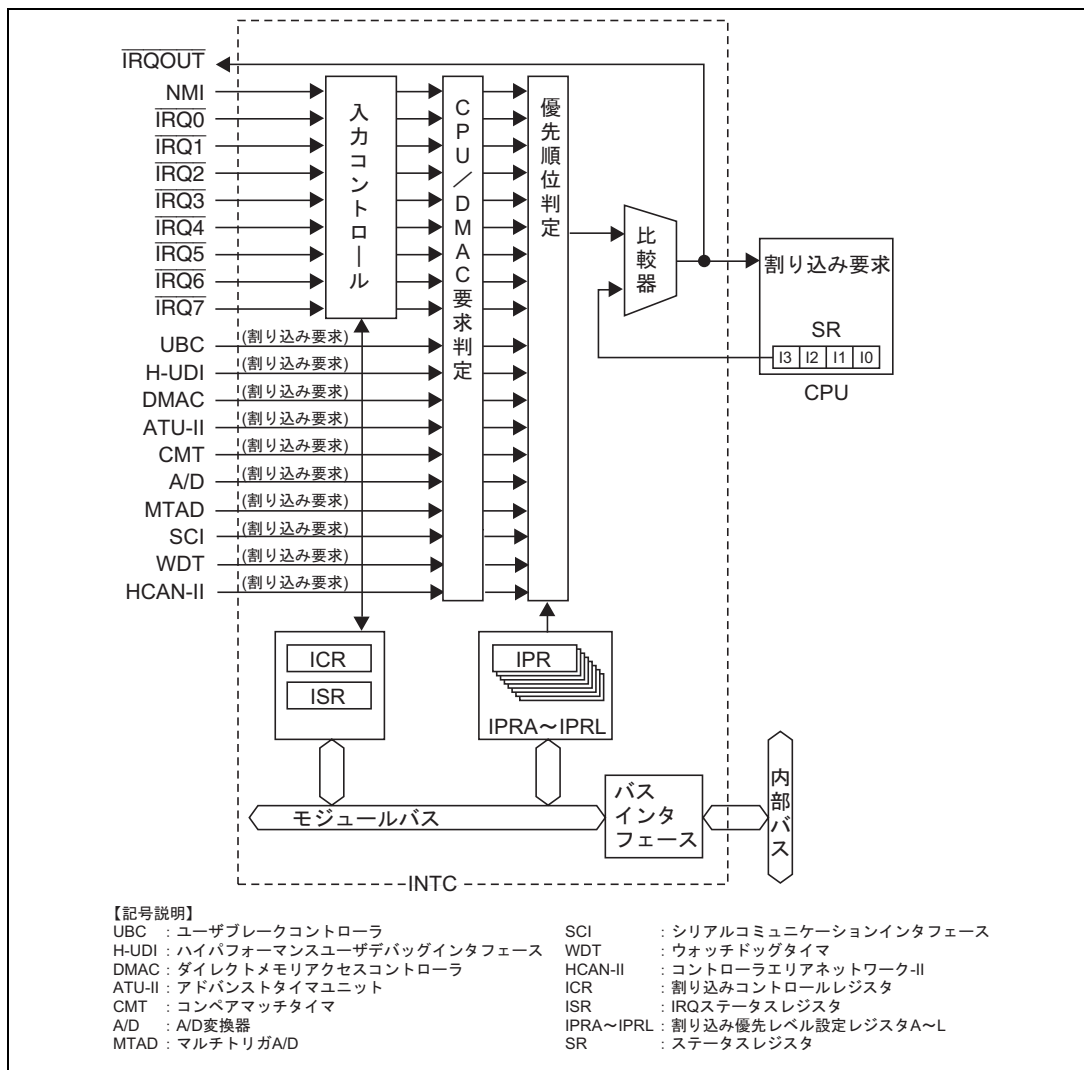


図 7.1 INTC のブロック図

7.1.3 端子構成

INTC の端子を表 7.1 に示します。

表 7.1 端子構成

名称	略称	入出力	機能
ノンマスクابل割り込み入力端子	NMI	入力	マスク不可能な割り込み要求信号を入力
割り込み要求入力端子	IRQ0 ~ IRQ7	入力	マスク可能な割り込み要求信号を入力
割り込み要求出力端子	IRQOUT	出力	割り込み要因の発生を知らせる信号を出力

7.1.4 レジスタ構成

INTC には、表 7.2 に示すように 14 本のレジスタがあります。これらのレジスタにより、割り込み優先順位の設定や、外部割り込み入力信号の検出制御などを行います。

表 7.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ
割り込み優先レベル設定レジスタ A	IPRA	R/W	H'0000	H'FFFF ED00	8、16、32
割り込み優先レベル設定レジスタ B	IPRB	R/W	H'0000	H'FFFF ED02	8、16、32
割り込み優先レベル設定レジスタ C	IPRC	R/W	H'0000	H'FFFF ED04	8、16、32
割り込み優先レベル設定レジスタ D	IPRD	R/W	H'0000	H'FFFF ED06	8、16、32
割り込み優先レベル設定レジスタ E	IPRE	R/W	H'0000	H'FFFF ED08	8、16、32
割り込み優先レベル設定レジスタ F	IPRF	R/W	H'0000	H'FFFF ED0A	8、16、32
割り込み優先レベル設定レジスタ G	IPRG	R/W	H'0000	H'FFFF ED0C	8、16、32
割り込み優先レベル設定レジスタ H	IPRH	R/W	H'0000	H'FFFF ED0E	8、16、32
割り込み優先レベル設定レジスタ I	IPRI	R/W	H'0000	H'FFFF ED10	8、16、32
割り込み優先レベル設定レジスタ J	IPRJ	R/W	H'0000	H'FFFF ED12	8、16、32
割り込み優先レベル設定レジスタ K	IPRK	R/W	H'0000	H'FFFF ED14	8、16、32
割り込み優先レベル設定レジスタ L	IPRL	R/W	H'0000	H'FFFF ED16	8、16、32
割り込みコントロールレジスタ	ICR	R/W	*1	H'FFFF ED18	8、16、32
IRQ ステータスレジスタ	ISR	R/(W)*2	H'0000	H'FFFF ED1A	8、16、32

【注】 アクセスサイクルはバイトアクセス、ワードアクセス時には4サイクル、ロングワードアクセス時には8サイクルになります。

*1 NMI 端子がハイレベルのとき : H'8000、ローレベルのとき : H'0000

*2 フラグをクリアするための0ライトのみ可能です

7.2 割り込み要因

割り込み要因は、NMI、ユーザブレイク、H-UDI、IRQ、内蔵周辺モジュールの5つに分類されます。各割り込みの優先順位は優先レベル値 (0~16) で表され、レベル0が最低でレベル16が最高です。レベル0に設定すると、その割り込みはマスクされます。

7.2.1 NMI 割り込み

NMI 割り込みは、レベル16の割り込みで、常に受け付けられます。NMI端子からの入力はエッジで検出され、検出エッジは、割り込みコントロールレジスタ (ICR) のNMIエッジセレクトビット (NMIE) の設定によって立ち上がりエッジまたは立ち下がりエッジを選択できます。

NMI 割り込み例外処理によって、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) は15に設定されます。

7.2.2 ユーザブレイク割り込み

ユーザブレイク割り込みは、ユーザブレイクコントローラ (UBC) で設定したブレイク条件が成立したときに発生する割り込みで、優先レベルは15です。ユーザブレイク割り込み要求はエッジで検出され、受け付けられるまで保持されます。ユーザブレイク例外処理によって、SRのI3~I0は15に設定されます。ユーザブレイクについては、「第8章 ユーザブレイクコントローラ (UBC)」を参照してください。

7.2.3 H-UDI 割り込み

シリアルデバッグインターフェース (H-UDI) 割り込みは、優先順位レベル15を持ち、H-UDI 割り込みのインストラクションをシリアル入力すると発生します。H-UDI 割り込み要求はエッジで検出され、受け付けられるまで保持されます。H-UDI 例外処理により、SRのI3~I0は15に設定されます。H-UDI 割り込みについては、「第19章 ハイパフォーマンスユーザデバッグインターフェース (H-UDI)」を参照してください。

7.2.4 IRQ 割り込み

IRQ 割り込みは $\overline{\text{IRQ0}}$ ~ $\overline{\text{IRQ7}}$ 端子からの入力による割り込みです。ICRのIRQセンスセレクトビット (IRQ0S~IRQ7S) の設定によって、端子ごとにローレベル検出あるいは立ち下がりエッジ検出を選択できます。また、割り込み優先レベル設定レジスタ A~B (IPRA~IPRB) によって、端子ごとに優先レベルを0~15の範囲で設定できます。

IRQ 割り込みをローレベル検出に設定している場合、IRQ端子がローレベルの期間INTCに割り込み要求信号が送られます。IRQ端子がハイレベルになると、割り込み要求信号はINTCに送られません。IRQステータスレジスタ (ISR) のIRQフラグ (IRQ0F~IRQ7F) をリードすることにより割り込み要求のレベルを確認できます。

IRQ 割り込みを立ち下がりエッジ検出に設定している場合、IRQ端子のハイレベルからローレベルの変化により割り込み要求が検出され、INTCに割り込み要求信号が送られます。IRQ 割り込み要求の検出結果は、その割り込み要求が受け付けられるまで保持されます。また、ISRのIRQ0F~IRQ7FをリードすることによりIRQ 割り込み要求が検出されているかどうかを確認でき、1リード後に0をライトすることによりIRQ 割り込み要求の検出結果を取り下げることができます。

IRQ 割り込み例外処理では、SRのI3~I0は、受け付けたIRQ 割り込みの優先レベル値に設定されます。

7.2.5 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- アドバンスドタイマユニット-II (ATU-II)
- コンペアマッチタイマ (CMT)
- A/D 変換器 (A/D)
- マルチトリガ A/D (MTAD)
- シリアルコミュニケーションインタフェース (SCI)
- ウォッチドッグタイマ (WDT)
- コントローラエリアネットワーク-II (HCAN-II)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~L (IPRC~IPRL) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

7.2.6 割り込み例外処理ベクタと優先順位

表 7.3 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 6 章 例外処理」の「表 6.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~L (IPRA~IPRL) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRL に対応する割り込み要因の優先順位は、表 7.3 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 7.3 に示す「デフォルト優先順位」に従って処理されます。

7. 割り込みコントローラ (INTC)

表 7.3 割り込み例外ベクタと優先順位

割り込み要因番号		割り込みベクタ		割り込み	対応する	IPR 設定	デフォルト	
		ベクタ	ベクタテーブル アドレスオフセット	優先順位 (初期値)	IPR (ビット)	単位内の 優先順位	優先順位	
NMI		11	H'0000002C ~ H'0000002F	16	—	—	高 ↑	
UBC		12	H'00000030 ~ H'00000033	15	—	—		
H-UDI		14	H'00000038 ~ H'0000003B	15	—	—		
IRQ0		64	H'00000100 ~ H'00000103	0~15 (0)	IPRA(15~12)	—		
IRQ1		65	H'00000104 ~ H'00000107	0~15 (0)	IPRA(11~8)	—		
IRQ2		66	H'00000108 ~ H'0000010B	0~15 (0)	IPRA(7~4)	—		
IRQ3		67	H'0000010C ~ H'0000010F	0~15 (0)	IPRA(3~0)	—		
IRQ4		68	H'00000110 ~ H'00000113	0~15 (0)	IPRB(15~12)	—		
IRQ5		69	H'00000114 ~ H'00000117	0~15 (0)	IPRB(11~8)	—		
IRQ6		70	H'00000118 ~ H'0000011B	0~15 (0)	IPRB(7~4)	—		
IRQ7		71	H'0000011C ~ H'0000011F	0~15 (0)	IPRB(3~0)	—		
DMAC0	DEI0	72	H'00000120 ~ H'00000123	0~15 (0)	IPRC(15~12)	↑ 1		
DMAC1	DEI1	74	H'00000128 ~ H'0000012B			↓ 2		
DMAC2	DEI2	76	H'00000130 ~ H'00000133	0~15 (0)	IPRC(11~8)	↑ 1		
DMAC3	DEI3	78	H'00000138 ~ H'0000013B			↓ 2		
ATU0	ATU01	ITV1	H'00000140 ~ H'00000143	0~15 (0)	IPRC(7~4)			
		ITV2A						
		ITV2B						
	ATU02	ICIOA	84	H'00000150 ~ H'00000153	0~15 (0)	IPRC(3~0)	↑ 1	
		ICIOB	86	H'00000158 ~ H'0000015B			↓ 2	
ATU03	ICIOC	88	H'00000160 ~ H'00000163	0~15 (0)	IPRD(15~12)	↑ 1		
	ICIOD	90	H'00000168 ~ H'0000016B			↓ 2		
ATU04	OVI0	92	H'00000170 ~ H'00000173	0~15 (0)	IPRD(11~8)			
ATU1	ATU11	IMI1A	H'00000180 ~ H'00000183	0~15 (0)	IPRD(7~4)	↑ 1		
		/CMI1						
		IMI1B				97	H'00000184 ~ H'00000187	2
		IMI1C				98	H'00000188 ~ H'0000018B	3
	IMI1D	99	H'0000018C ~ H'0000018F	↓ 4				
	ATU12	IMI1E	100	H'00000190 ~ H'00000193	0~15 (0)	IPRD(3~0)	↑ 1	
		IMI1F	101	H'00000194 ~ H'00000197			2	
		IMI1G	102	H'00000198 ~ H'0000019B			3	
IMI1H		103	H'0000019C ~ H'0000019F	↓ 4				
ATU13	OVI1A	104	H'000001A0 ~ H'000001A3	0~15 (0)	IPRE(15~12)			
OVI1B								
ATU2	ATU21	IMI2A/CMI2A	H'000001B0 ~ H'000001B3	0~15 (0)	IPRE(11~8)	↑ 1		
		IMI2B/CMI2B				109	H'000001B4 ~ H'000001B7	2
		IMI2C/CMI2C				110	H'000001B8 ~ H'000001BB	3
		IMI2D/CMI2D				111	H'000001BC ~ H'000001BF	↓ 4

7. 割り込みコントローラ (INTC)

割り込み要因番号			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ATU2	ATU22	IMI2E/CMI2E	112	H'000001C0 ~ H'000001C3	0~15 (0)	IPRE(7~4)	↑ 1 ↓ 2 3 4	↑ 高 ↓ 低
		IMI2F/CMI2F	113	H'000001C4 ~ H'000001C7				
		IMI2G/CMI2G	114	H'000001C8 ~ H'000001CB				
		IMI2H/CMI2H	115	H'000001CC ~ H'000001CF				
	ATU23	OVI2A / OVI2B	116	H'000001D0 ~ H'000001D3	0~15 (0)	IPRE(3~0)		
ATU3	ATU31	IMI3A	120	H'000001E0 ~ H'000001E3	0~15 (0)	IPRF(15~12)	↑ 1 ↓ 2 3 4	
		IMI3B	121	H'000001E4 ~ H'000001E7				
		IMI3C	122	H'000001E8 ~ H'000001EB				
		IMI3D	123	H'000001EC ~ H'000001EF				
	ATU32	OVI3	124	H'000001F0 ~ H'000001F3	0~15 (0)	IPRF(11~8)		
ATU4	ATU41	IMI4A	128	H'00000200 ~ H'00000203	0~15 (0)	IPRF(7~4)	↑ 1 ↓ 2 3 4	
		IMI4B	129	H'00000204 ~ H'00000207				
		IMI4C	130	H'00000208 ~ H'0000020B				
		IMI4D	131	H'0000020C ~ H'0000020F				
	ATU42	OVI4	132	H'00000210 ~ H'00000213	0~15 (0)	IPRF(3~0)		
ATU5	ATU51	IMI5A	136	H'00000220 ~ H'00000223	0~15 (0)	IPRG(15~12)	↑ 1 ↓ 2 3 4	
		IMI5B	137	H'00000224 ~ H'00000227				
		IMI5C	138	H'00000228 ~ H'0000022B				
		IMI5D	139	H'0000022C ~ H'0000022F				
	ATU52	OVI5	140	H'00000230 ~ H'00000233	0~15(0)	IPRG(11~8)		
ATU6		CMI6A	144	H'00000240 ~ H'00000243	0~15 (0)	IPRG(7~4)	↑ 1 ↓ 2 3 4	
		CMI6B	145	H'00000244 ~ H'00000247				
		CMI6C	146	H'00000248 ~ H'0000024B				
		CMI6D	147	H'0000024C ~ H'0000024F				
ATU7		CMI7A	148	H'00000250 ~ H'00000253	0~15 (0)	IPRG(3~0)	↑ 1 ↓ 2 3 4	
		CMI7B	149	H'00000254 ~ H'00000257				
		CMI7C	150	H'00000258 ~ H'0000025B				
		CMI7D	151	H'0000025C ~ H'0000025F				
ATU8	ATU81	OSI8A	152	H'00000260 ~ H'00000263	0~15 (0)	IPRH(15~12)	↑ 1 ↓ 2 3 4	
		OSI8B	153	H'00000264 ~ H'00000267				
		OSI8C	154	H'00000268 ~ H'0000026B				
		OSI8D	155	H'0000026C ~ H'0000026F				
	ATU82	OSI8E	156	H'00000270 ~ H'00000273	0~15 (0)	IPRH(11~8)	↑ 1 ↓ 2 3 4	
		OSI8F	157	H'00000274 ~ H'00000277				
		OSI8G	158	H'00000278 ~ H'0000027B				
		OSI8H	159	H'0000027C ~ H'0000027F				
	ATU83	OSI8I	160	H'00000280 ~ H'00000283	0~15(0)	IPRH(7~4)	↑ 1 ↓ 2 3 4	
		OSI8J	161	H'00000284 ~ H'00000287				
		OSI8K	162	H'00000288 ~ H'0000028B				
		OSI8L	163	H'0000028C ~ H'0000028F				

7. 割り込みコントローラ (INTC)

割り込み要因番号			割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ATU8	ATU84	OSI8M	164	H'00000290 ~ H'00000293	0~15(0)	IPRH(3~0)	↑ 1	↑ 高
		OSI8N	165	H'00000294 ~ H'00000297			↓ 2	
		OSI8O	166	H'00000298 ~ H'0000029B			3	
		OSI8P	167	H'0000029C ~ H'0000029F			↓ 4	
ATU9	ATU91	CMI9A	168	H'000002A0 ~ H'000002A3	0~15 (0)	IPRI(15~12)	↑ 1	↑ 高
		CMI9B	169	H'000002A4 ~ H'000002A7			↓ 2	
		CMI9C	170	H'000002A8 ~ H'000002AB			3	
		CMI9D	171	H'000002AC ~ H'000002AF			↓ 4	
	ATU92	CMI9E	172	H'000002B0 ~ H'000002B3	0~15 (0)	IPRI(11~8)	↑ 1	
		CMI9F	174	H'000002B8 ~ H'000002BB			↓ 2	
ATU10	ATU101	CMI10A	176	H'000002C0 ~ H'000002C3	0~15 (0)	IPRI(7~4)	↑ 1	
		CMI10B	178	H'000002C8 ~ H'000002CB			↓ 2	
	ATU102	IC110A /CMI10G	180	H'000002D0 ~ H'000002D3	0~15(0)	IPRI(3~0)		
ATU11	IMI11A	184	H'000002E0 ~ H'000002E3	0~15 (0)	IPRJ(15~12)	↑ 1		
	IMI11B	186	H'000002E8 ~ H'000002EB			↓ 2		
	OVI11	187	H'000002EC ~ H'000002EF			3		
CMT0	CMT10	188	H'000002F0 ~ H'000002F3	0~15 (0)	IPRJ(11~8)	↑ 1		
MTAD0	ADT0	189	H'000002F4 ~ H'000002F7			↓ 2		
A/D0	ADI0	190	H'000002F8 ~ H'000002FB			3		
CMT1	CMT11	192	H'00000300 ~ H'00000303	0~15 (0)	IPRJ(7~4)	↑ 1		
MTAD1	ADT1	193	H'00000304 ~ H'00000307			↓ 2		
A/D1	ADI1	194	H'00000308 ~ H'0000030B			3		
A/D2	ADI2	196	H'00000310 ~ H'00000313	0~15 (0)	IPRJ(3~0)			
SCI0	ERI0	RXI0	200	H'00000320 ~ H'00000323	0~15 (0)	IPRK(15~12)	↑ 1	
		TXI0	201	H'00000324 ~ H'00000327			↓ 2	
		TEI0	202	H'00000328 ~ H'0000032B			3	
		TEI0	203	H'0000032C ~ H'0000032F			↓ 4	
SCI1	ERI1	RXI1	204	H'00000330 ~ H'00000333	0~15 (0)	IPRK(11~8)	↑ 1	
		TXI1	205	H'00000334 ~ H'00000337			↓ 2	
		TEI1	206	H'00000338 ~ H'0000033B			3	
		TEI1	207	H'0000033C ~ H'0000033F			↓ 4	
SCI2	ERI2	RXI2	208	H'00000340 ~ H'00000343	0~15 (0)	IPRK(7~4)	↑ 1	
		TXI2	209	H'00000344 ~ H'00000347			↓ 2	
		TEI2	210	H'00000348 ~ H'0000034B			3	
		TEI2	211	H'0000034C ~ H'0000034F			↓ 4	
SCI3	ERI3	RXI3	212	H'00000350 ~ H'00000353	0~15 (0)	IPRK(3~0)	↑ 1	
		TXI3	213	H'00000354 ~ H'00000357			↓ 2	
		TEI3	214	H'00000358 ~ H'0000035B			3	
		TEI3	215	H'0000035C ~ H'0000035F			↓ 4	

7. 割り込みコントローラ (INTC)

割り込み要因番号		割り込みベクタ		割り込み 優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
		ベクタ	ベクタテーブル アドレスオフセット				
SCI4	ERI4	216	H'00000360 ~ H'00000363	0~15 (0)	IPRL(15~12)	↑ 1	↑ 高
	RXI4	217	H'00000364 ~ H'00000367			↓ 2	
	TXI4	218	H'00000368 ~ H'0000036B			3	
	TEI4	219	H'0000036C ~ H'0000036F			↓ 4	
HCAN0	ERS0	220	H'00000370 ~ H'00000373	0~15 (0)	IPRL(11~8)	↑ 1	↑ 高
	OVR0	221	H'00000374 ~ H'00000377			↓ 2	
	RM0	222	H'00000378 ~ H'0000037B			3	
	SLE0	223	H'0000037C ~ H'0000037F			↓ 4	
WDT	ITI	224	H'00000380 ~ H'00000383	0~15 (0)	IPRL(7~4)		
HCAN1	ERS1	228	H'00000390 ~ H'00000393	0~15 (0)	IPRL(3~0)	↑ 1	↓ 低
	OVR1	229	H'00000394 ~ H'00000397			↓ 2	
	RM1	230	H'00000398 ~ H'0000039B			3	
	SLE1	231	H'0000039C ~ H'0000039F			↓ 4	

7.3 レジスタの説明

7.3.1 割り込み優先レベル設定レジスタ A~L (IPRA~IPRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

割り込み優先レベル設定レジスタ A~L (IPRA~IPRL) は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRL の各ビットの対応を表 7.4 に示します。

表 7.4 割り込み要求元と IPRA~IPRL

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DAMC0、1	DMAC2、3	ATU01	ATU02
割り込み優先レベル設定レジスタ D	ATU03	ATU04	ATU11	ATU12
割り込み優先レベル設定レジスタ E	ATU13	ATU21	ATU22	ATU23
割り込み優先レベル設定レジスタ F	ATU31	ATU32	ATU41	ATU42
割り込み優先レベル設定レジスタ G	ATU51	ATU52	ATU6	ATU7
割り込み優先レベル設定レジスタ H	ATU81	ATU82	ATU83	ATU84
割り込み優先レベル設定レジスタ I	ATU91	ATU92	ATU101	ATU102
割り込み優先レベル設定レジスタ J	ATU11	CMT0、A/D0、 MTAD0	CMT1、A/D1、 MTAD1	A/D2
割り込み優先レベル設定レジスタ K	SCI0	SCI1	SCI2	SCI3
割り込み優先レベル設定レジスタ L	SCI4	HCAN0	WDT	HCAN1

表 7.4 に示すように、1 本のレジスタに 4 つの $\overline{\text{IRQ}}$ 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から HF (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、HF をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (DMAC0 と DMAC1、DMAC2 と DMAC3、CMT0 と A/D0 と MTAD0、CMT1 と A/D1 と MTAD1) その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRL は、リセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

7.3.2 割り込みコントロールレジスタ (ICR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	NMIL	—	—	—	—	—	—	NMIE	IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S
初期値 :	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * NMI端子がハイレベルのとき1、ローレベルのとき0

割り込みコントロールレジスタ (ICR) は、16 ビットのレジスタで、外部割り込み入力端子 NMI と $\overline{\text{IRQ0}}\sim\overline{\text{IRQ7}}$ の入力信号検出モードを設定し、NMI 端子への入力レベルを示します。ICR はリセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15 : NMI 入力レベル (NMIL)

NMI 端子に入力されている信号のレベルが設定されます。このビットを読むことによって、NMI 端子のレベルを知ることができます。書き込みは無効です。

ビット 15	説明
NMIL	
0	NMI 端子にローレベルが入力されている
1	NMI 端子にハイレベルが入力されている

7. 割り込みコントローラ (INTC)

ビット 14～9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : NMI エッジセレクト (NMIE)

ビット 8	説 明
NMIE	
0	NMI 入力の立ち下がりエッジで割り込み要求を検出 (初期値)
1	NMI 入力の立ち上がりエッジで割り込み要求を検出

ビット 7～0 : IRQ0～IRQ7 センスセレクト (IRQ0S～IRQ7S)

IRQ0～IRQ7 割り込み要求の検出モードを設定します。

ビット 7～0	説 明
IRQ0S～ IRQ7S	
0	IRQ 入力のローレベルで割り込み要求を検出 (初期値)
1	IRQ 入力の立ち下がりエッジで割り込み要求を検出

7.3.3 IRQ ステータスレジスタ (ISR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

IRQ ステータスレジスタ (ISR) は 16 ビットのレジスタで、外部割り込み入力端子 $\overline{\text{IRQ0}} \sim \overline{\text{IRQ7}}$ の割り込み要求のステータスを示します。IRQ 割り込みをエッジ検出に設定している場合、 $\text{IRQnF}=1$ をリード後 IRQnF に 0 をライトすることにより、保持されている割り込み要求を取り下げることができます。

ISR リセットおよびハードウェアスタンバイモードで初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7~0 : IRQ0~IRQ7 フラグ (IRQ0F~IRQ7F)

IRQ0~IRQ7 割り込み要求のステータスを表示します。

ビット 7~0 IRQ0F~IRQ7F	検出設定	説明
0	レベル検出時	IRQn 割り込み要求が存在しません。 [クリア条件] $\overline{\text{IRQn}}$ 入力がハイレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されていません。 (初期値) [クリア条件] (1) $\text{IRQnF}=1$ の状態をリード後に 0 をライトしたとき (2) IRQn 割り込み例外処理を実行したとき
1	レベル検出時	IRQn 割り込み要求が存在します。 [セット条件] $\overline{\text{IRQn}}$ 入力がローレベルのとき
	エッジ検出時	IRQn 割り込み要求が検出されています。 [セット条件] $\overline{\text{IRQn}}$ 入口に立ち下がりエッジが発生したとき

n=7~0

7.4 動作説明

7.4.1 割り込み動作の流れ

割り込み発生時の動作の流れを以下に説明します。また、図 7.2 に動作フローを示します。

- (1) 割り込みコントローラに対して、各割り込み要求元から割り込み要求信号が送られます。
- (2) 割り込みコントローラでは、送られた割り込み要求の中から、割り込み優先レベル設定レジスタA~L (IPRA~IPRL) に従って最も優先順位の高い割り込みが選択され、それより優先順位の低い割り込みは無視*されます。このとき、同一優先順位に設定された割り込み、または同一モジュール内の割り込みが複数発生した場合は、表 7.3 に示す「デフォルト優先順位」と「IPR設定単位内の優先順位」に従って、最も優先順位の高い割り込みが選択されません。
- (3) 割り込みコントローラで選択された割り込みの優先レベルとCPUのステータスレジスタ (SR) の割り込みマスクビット (I3~I0) とが比較されます。I3~I0ビットに設定されているレベルと同じか低い優先レベルの割り込みは無視されます。I3~I0ビットのレベルより高い優先レベルの割り込みだけが受け付けられ、CPUへ割り込み要求信号が送られます。
- (4) 割り込みコントローラが割り込みを受け付けると、 $\overline{\text{IRQOUT}}$ 端子からローレベルが出力されます。
- (5) 割り込みコントローラから送られた割り込み要求は、CPUが実行しようとしている命令のデコード時に検出され、その命令の実行が割り込み例外処理に置き換えられます (図 7.4 参照)。
- (6) SRとプログラムカウンタ (PC) がスタックに退避されます。
- (7) SRのI3~I0ビットに、受け付けられた割り込みの優先レベルが書き込まれます。
- (8) 受け付けられた割り込みがレベルセンスまたは内蔵周辺モジュールからの割り込みだった場合、 $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。なお、受け付けた割り込みがエッジセンスだった場合は、(5)でCPUが実行しようとしていた命令を割り込み例外処理に置き換えた時点で $\overline{\text{IRQOUT}}$ 端子からハイレベルが出力されます。ただし、割り込みコントローラが受け付け中の割り込みよりレベルの高い他の割り込みを受け付けているときは、 $\overline{\text{IRQOUT}}$ 端子はローレベルのままです。
- (9) 受け付けられた割り込みに対応する例外処理ベクタテーブルから、例外サービスルーチン開始アドレスが取り出され、そのアドレスにジャンプして、プログラムの実行が開始されます。このときのジャンプは遅延分岐ではありません。

【注】 * エッジ検出に設定されている割り込み要求は受け付けられるまで保留されます。ただし IRQ 割り込みの場合は、IRQ ステータスレジスタ (ISR) のアクセスにより取り下げることができます。詳しくは「7.2.4 IRQ 割り込み」を参照してください。
また、エッジ検出により保留されている割り込みはパワーオンリセットおよびマニュアルリセットでクリアされます。

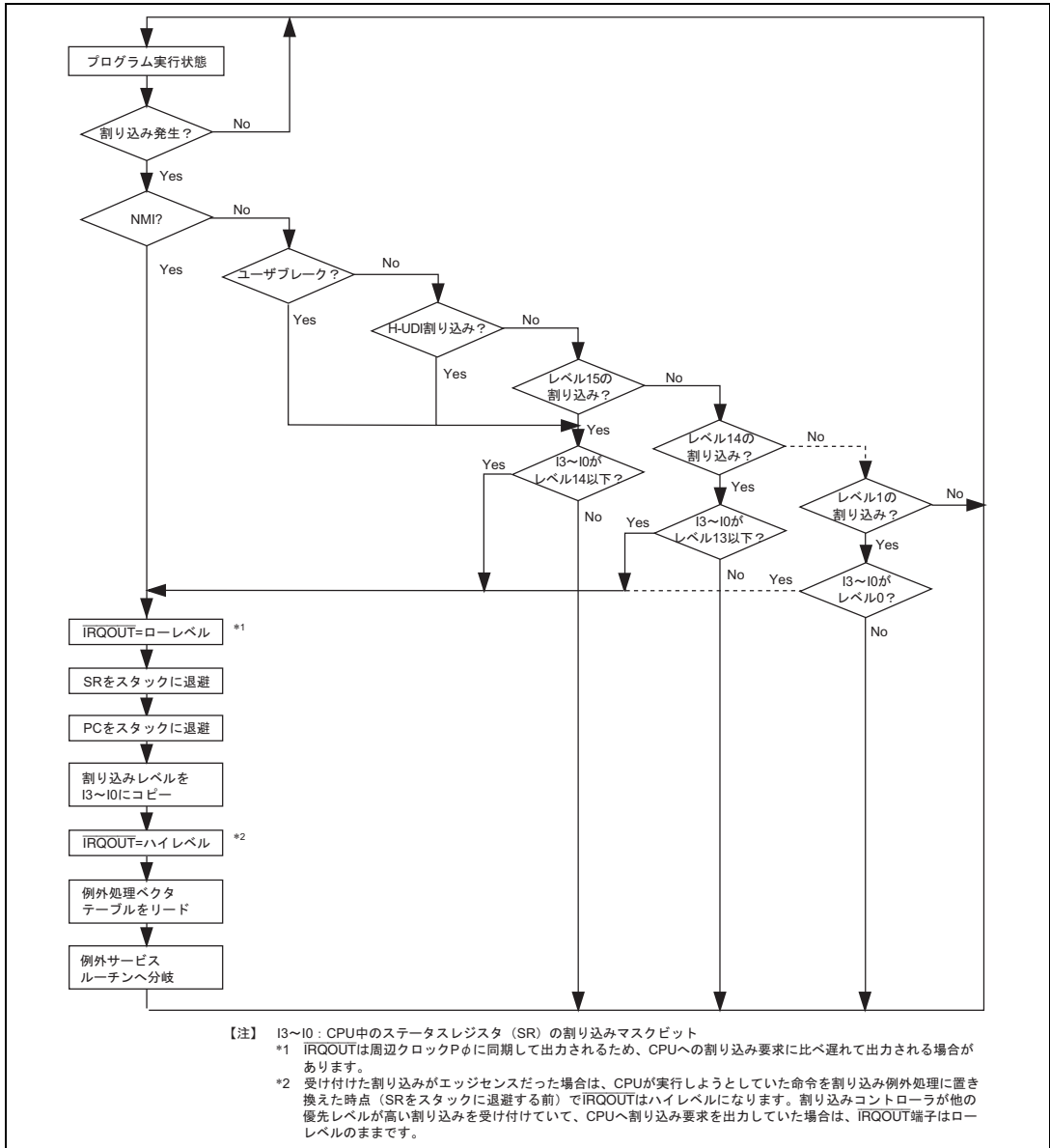


図 7.2 割り込み動作フロー

7. 割り込みコントローラ (INTC)

7.4.2 割り込み例外処理終了後のスタックの状態

割り込み例外処理終了後のスタックの状態は、図 7.3 に示すようになります。

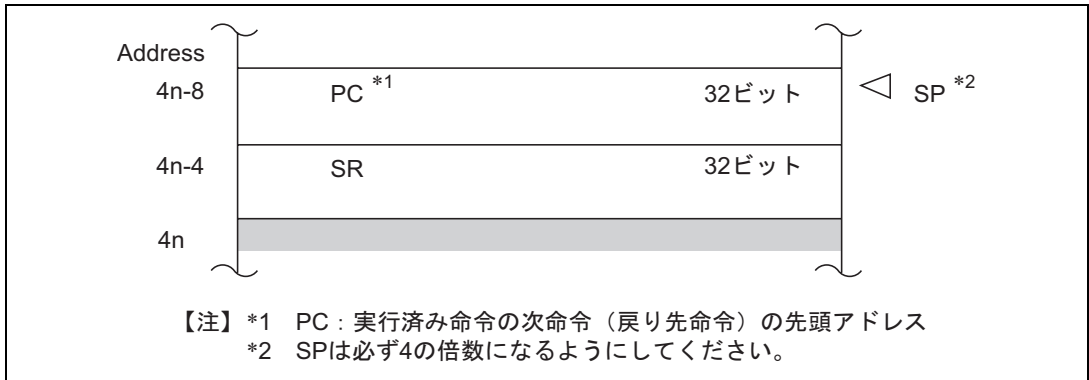


図 7.3 割り込み例外処理終了後のスタック状態

7.5 割り込み応答時間

割り込み要求が発生してから、割り込み例外処理が行われ、例外サービスルーチンの先頭命令のフェッチが開始されるまでの時間（割り込み応答時間）を表 7.5 に示します。また、IRQ 割り込みを受け付けるときのパイプライン動作例を図 7.4 に示します。

表 7.5 割り込み応答時間

項目	状態数備考			備考
	周辺モジュール	NMI	IRQ	
周辺クロック Pφ から内部クロック φ への同期化および DMAC 判定	0 または 6 [0 または 3]	1~4 [1~2]	6~9 [3~5]	割り込み要因毎の状態数は*1を参照願います。 [] 内は 4 通倍のとき。
優先順位判定および SR のマスクビットとの比較時間	2	2	2	
CPU が実行中のシーケンス終了までの待ち時間	X (≥0)			最も長いシーケンスは割り込み例外処理またはアドレスエラー例外処理で、 $X=4+m1+m2+m3+m4$ 。ただし割り込みをマスクする命令が続く場合さらに長くなることもあります。
割り込み例外処理開始から、例外サービスルーチンの先頭命令のフェッチを開始するまでの時間	$5+m1+m2+m3$			SR、PC の退避とベクタアドレスのフェッチを行います。
応答時間	合計	(7 または 13) $+m1+m2+m3+X$	(8 から 11) $+m1+m2+m3+X$	(13 から 16) $+m1+m2+m3+X$
	最小時	10	11	16
	最大時	$17+2$ $(m1+m2+m3)+m4$	$15+2$ $(m1+m2+m3)+m4$	$20+2$ $(m1+m2+m3)+m4$

- *1 同期化および DMAC 判定に必要な状態数
周辺クロック Pφ から内部クロック φ への同期化および DMAC 判定に必要な状態数とベクタ番号との関係は次のようになります。
- 0 ステート : 9, 10, 12, 13, 14, 72, 74, 76, 78, 189, 193, 224
 - 6 ステート : 上記以外の周辺モジュール割り込み。ただしベクタ 222(HCAN0/RM0)のみ異なります。
 - ベクタ 222(HCAN0/RM0)は DMAC 起動ができる HCAN0 のメールボックス 0 とそれ以外の場合で異なります。

HCAN0 のメールボックス 0 : 7 ステート
上記以外 : 6 ステート

7. 割り込みコントローラ (INTC)

また割り込み要因を取り下げるときも同ステート数が必要になります。

割り込み要因のフラグクリア後に必要ステート数を確保していない場合、再度割り込みが発生する場合があります。

【注】 m1~m4 は下記のメモリアクセスに要するステート数です。

m1 : SR の退避 (ロングワードライト)

m2 : PC の退避 (ロングワードライト)

m3 : ベクタアドレスリード (ロングワードリード)

m4 : 割り込みサービスルーチン先頭命令のフェッチ

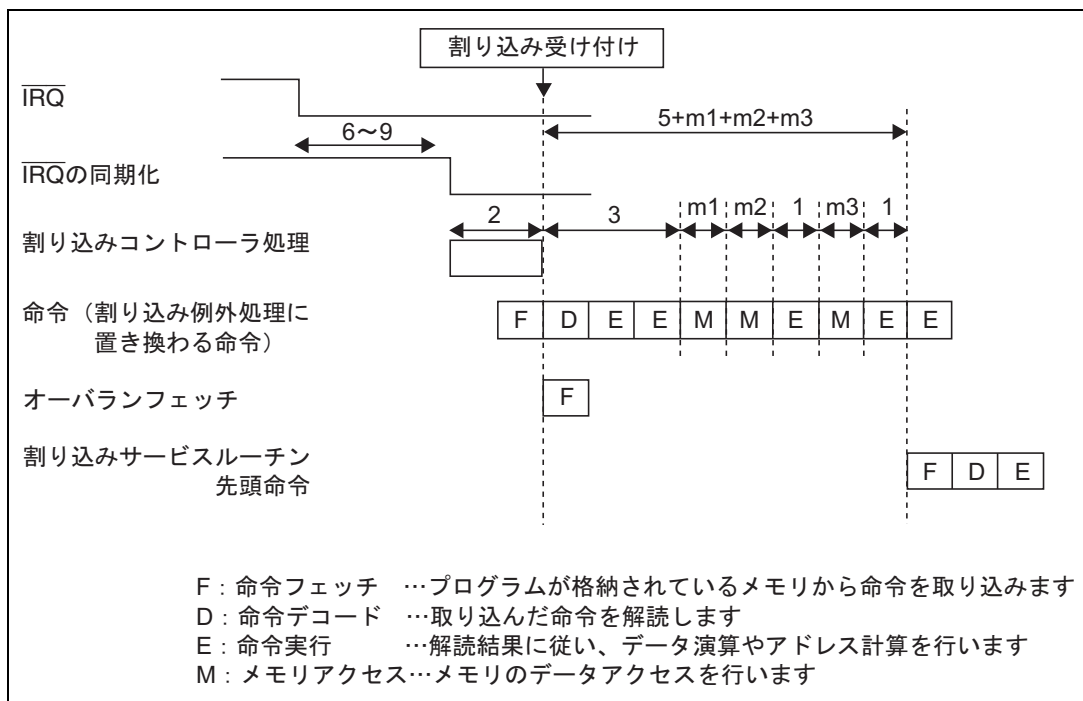


図 7.4 IRQ 割り込みを受け付けるときのパイプライン動作例

7.6 割り込み要求信号によるデータ転送

割り込み要求信号により、以下のデータ転送を行うことができます。

- DMAC を起動、CPU 割り込みは発生しない

割り込み要因の中で、DMAC 起動要因に指定されているものは INTC に入力されずにマスクされます。マスク条件は次のように表されます。

マスク条件 = $DME \cdot (DE0 \cdot \text{要因選択 } 0 + DE1 \cdot \text{要因選択 } 1 + DE2 \cdot \text{要因選択 } 2 + DE3 \cdot \text{要因選択 } 3)$

7.6.1 割り込み要求信号を CPU の割り込み要因とし、DMAC の起動要因としない場合

- (1) DMAC で要因を選択しないか、または DME ビットを "0" にクリアします。
- (2) 割り込みが発生すると、CPU に割り込みを要求します。
- (3) CPU は割り込み処理ルーチンで、割り込み要因をクリアし、所要の処理をします。

7.6.2 割り込み要求信号を DMAC の起動要因とし、CPU の割り込み要因としない場合

- (1) DMAC で要因を選択し、DME=1 にセットします。割り込み優先レベルレジスタの設定によらず CPU 割り込み要因はマスクされます。
- (2) 割り込みが発生すると、DMAC に起動要因が与えられます。
- (3) DMAC は、転送時に起動要因をクリアします。

7. 割り込みコントローラ (INTC)

8. ユーザブレイクコントローラ (UBC)

8.1 概要

ユーザブレイクコントローラ (UBC) は、ユーザのプログラムデバッグを容易にする機能を提供します。UBC にブレイク条件を設定すると、CPU または DMAC によるバスサイクルの内容に応じて、ユーザブレイク割り込みが発生します。この機能を使用することによって、高機能のセルフモニタデバッグを容易に作成でき、大規模なインサーキットエミュレータを使用しなくても、本 LSI 単体で手軽にプログラムをデバッグできます。

8.1.1 特長

UBC には、次のような特長があります。

- 次のブレイク条件を設定可能
 - アドレス
 - CPU サイクルまたは DMA サイクル
 - 命令フェッチまたはデータアクセス
 - 読み出しまたは書き込み
 - オペランドサイズ (ロングワード、ワード、バイト)
- ブレイク条件成立により、ユーザブレイク割り込みを発生
ユーザが作成したユーザブレイク割り込み例外ルーチンを実行させることができます。
- CPU の命令フェッチにブレイクをかけると、その命令の手前でブレイク
- ブレイク条件成立を $\overline{\text{UBCTRG}}$ 端子に出力できます。

8.1.2 ブロック図

UBC のブロック図を図 8.1 に示します。

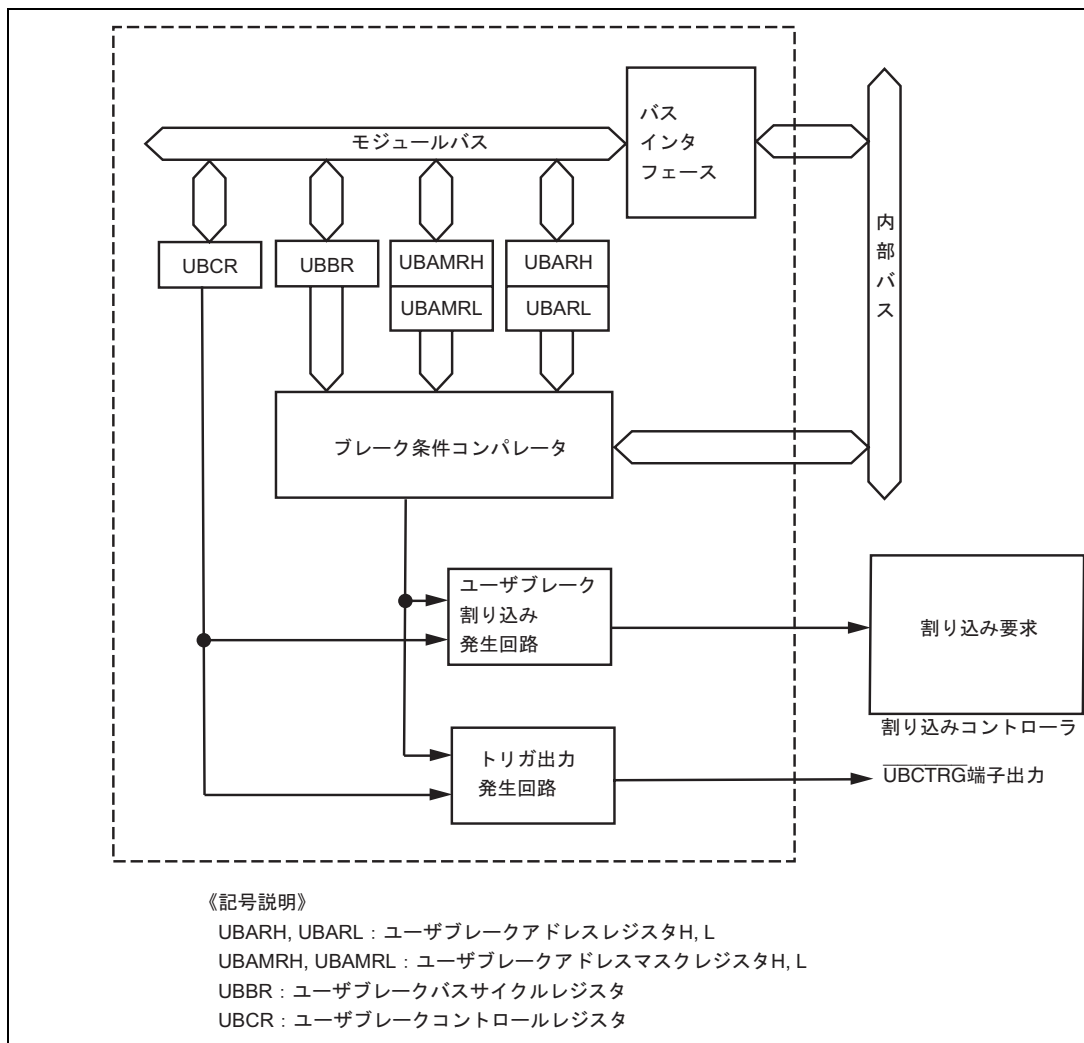


図 8.1 UBC のブロック図

8.1.3 レジスタ構成

UBCには、表 8.1 に示すように 6 本のレジスタがあります。これらのレジスタにより、ブ레이크条件を設定します。

表 8.1 レジスタ構成

名称	略称	R/W	初期値	アドレス*	アクセスサイズ
ユーザブ레이크アドレスレジスタ H	UBARH	R/W	H'0000	H'FFFF EC00	8、16、32
ユーザブ레이크アドレスレジスタ L	UBARL	R/W	H'0000	H'FFFF EC02	8、16、32
ユーザブ레이크アドレスマスクレジスタ H	UBAMRH	R/W	H'0000	H'FFFF EC04	8、16、32
ユーザブ레이크アドレスマスクレジスタ L	UBAMRL	R/W	H'0000	H'FFFF EC06	8、16、32
ユーザブ레이크バスサイクルレジスタ	UBBR	R/W	H'0000	H'FFFF EC08	8、16、32
ユーザブ레이크コントロールレジスタ	UBCR	R/W	H'0000	H'FFFF EC0A	8、16、32

【注】 * レジスタアクセスはバイトアクセス時、ワードアクセス時は 4 サイクル、ロングワードアクセス時は 8 サイクルとなります。

8.2 レジスタの説明

8.2.1 ユーザブ레이크アドレスレジスタ (UBAR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブ레이크アドレスレジスタ (UBAR) は、ユーザブ레이크アドレスレジスタ H (UBARH) とユーザブ레이크アドレスレジスタ L (UBARL) の 2 本で 1 組となっています。UBARH と UBARL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、UBARH はブ레이크条件とするアドレスの上位側 (ビット 31~16) を指定し、UBARL はアドレスの下位側 (ビット 15~0) を指定します。UBARH と UBARL は、パワーオンリセットまたはモジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBARH ビット 15~0 : ユーザブ레이크アドレス 31~16 (UBA31~UBA16)

ブ레이크条件とするアドレスの上位側 (ビット 31~16) を格納します。

UBARL ビット 15~0 : ユーザブ레이크アドレス 15~0 (UBA15~UBA0)

ブ레이크条件とするアドレスの下位側 (ビット 15~0) を格納します。

8. ユーザブレイクコントローラ (UBC)

8.2.2 ユーザブレイクアドレスマスクレジスタ (UBAMR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクアドレスマスクレジスタ (UBAMR) は、ユーザブレイクアドレスマスクレジスタ H (UBAMRH) とユーザブレイクアドレスマスクレジスタ L (UBAMRL) の 2 本で 1 組となっています。UBAMRH と UBAMRL は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタです。UBAMRH は UBARH に設定されているブレイクアドレスのどのビットをマスクするかを指定し、UBAMRL は UBARL に設定されているブレイクアドレスのどのビットをマスクするかを指定します。UBAMRH と UBAMRL は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモード時には、初期化されません。

UBAMRH ビット 15~0 : ユーザブレイクアドレスマスク 31~16 (UBM31~UBM16)

UBARH に設定されているユーザブレイクアドレス 31~16 (UBA31~UBA16) の各ビットをマスクするかどうかを指定します。

UBAMRL ビット 15~0 : ユーザブレイクアドレスマスク 15~0 (UBM15~UBM0)

UBARL に設定されているユーザブレイクアドレス 15~0 (UBA15~UBA0) の各ビットをマスクするかどうかを指定します。

ビット 15~0	説明
UBMn	
0	ユーザブレイクアドレス UBA _n をブレイク条件に含む (初期値)
1	ユーザブレイクアドレス UBA _n をブレイク条件に含めない

n=31~0

8.2.3 ユーザブレイクバスサイクルレジスタ (UBBR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ユーザブレイクバスサイクルレジスタ (UBBR) は読み出し/書き込み可能な 16 ビットのレジスタで、ブレイク条件のうち (1) CPU サイクル/DMA サイクル (2) 命令フェッチ/データアクセス (3) 読み出し/書き込み (4) オペランドサイズ (バイト、ワード、ロングワード) の 4 条件を設定します。UBBR は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15～8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7、6 : CPU サイクル/DMA サイクルセレクト (CP1、CP0)

CPU サイクルまたは DMA サイクルをブレイク条件に指定します。

ビット 7	ビット 6	説明
CP1	CP0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	CPU サイクルをブレイク条件とする
1	0	DMA サイクルをブレイク条件とする
	1	CPU サイクルと DMA サイクルのどちらもブレイク条件とする

ビット 5、4 : 命令フェッチ/データアクセスセレクト (ID1、ID0)

命令フェッチサイクルまたはデータアクセスサイクルをブレイク条件に指定します。

ビット 5	ビット 4	説明
ID1	ID0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	命令フェッチサイクルをブレイク条件とする
1	0	データアクセスサイクルをブレイク条件とする
	1	命令フェッチサイクルとデータアクセスサイクルのどちらもブレイク条件とする。

8. ユーザブレイクコントローラ (UBC)

ビット3、2：リード/ライトセレクト (RW1、RW0)

リードサイクルまたはライトサイクルをブレイク条件に指定します。

ビット3	ビット2	説明
RW1	RW0	
0	0	ユーザブレイク割り込みは発生させない (初期値)
	1	リードサイクルをブレイク条件とする
1	0	ライトサイクルをブレイク条件とする
	1	リードサイクルとライトサイクルのどちらもブレイク条件とする

ビット1、0：オペランドサイズセレクト (SZ1、SZ0)

ブレイク条件にするオペランドサイズを指定します。

ビット1	ビット0	説明
SZ1	SZ0	
0	0	ブレイク条件にオペランドサイズを含まない (初期値)
	1	バイトアクセスをブレイク条件とする
1	0	ワードアクセスをブレイク条件とする
	1	ロングワードアクセスをブレイク条件とする

【注】 命令フェッチでブレイクをかける場合は、SZ0 ビットを0にしてください。すべての命令は、ワードサイズでアクセスされるものとみなされます (内蔵メモリに命令があって、1回のバスサイクルで同時に2命令フェッチする場合もワードでアクセスされるものとみなされます)。
オペランドサイズは、命令の場合はワード、CPU/DMAC のデータアクセスはその指定したオペランドサイズで決まります。アクセスする空間のバス幅によって決まるものではありません。

8.2.4 ユーザブレイクコントロールレジスタ (UBCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	CKS1	CKS0	UBID
初期値	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W	R	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W

ユーザブレイクコントロールレジスタ (UBCR) は、読み出し/書き込み可能な 16 ビットのレジスタで (1) ユーザブレイク割り込みの禁止/許可、(2) ブレイク条件一致時の $\overline{\text{UBCTRG}}$ 出力のパルス幅を設定します。

UBCR は、パワーオンリセットまたは、モジュールスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは、初期化されません。

ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2、1 : クロックセレクト 1、0 (CKS1、0)

条件一致時に $\overline{\text{UBCTRG}}$ に出力するパルス幅を指定します。

ビット 2	ビット 1	説明
CKS1	CKS0	
0	0	内部クロックの通倍比が 4 倍のとき、 $\overline{\text{UBCTRG}}$ のパルス幅を $\phi/2$ にする 内部クロックの通倍比が 8 倍のとき、 $\overline{\text{UBCTRG}}$ のパルス幅を $\phi/4$ にする (初期値)
	1	$\overline{\text{UBCTRG}}$ のパルス幅を $\phi/4$ にする
1	0	$\overline{\text{UBCTRG}}$ のパルス幅を $\phi/8$ にする
	1	$\overline{\text{UBCTRG}}$ のパルス幅を $\phi/16$ にする

【注】 ϕ : 内部クロック

「8.5.7 内部クロック (ϕ) の通倍比と $\overline{\text{UBCTRG}}$ のパルス幅」参照

ビット 0 : ユーザブレイクディスエーブル (UBID)

ユーザブレイク条件一致時にユーザブレイク割り込み要求の禁止/許可を指定します。

ビット 0	説明
UBID	
0	ユーザブレイク割り込み要求を許可する (初期値)
1	ユーザブレイク割り込み要求を禁止する

8.3 動作説明

8.3.1 ユーザブレイク動作の流れ

ブレイク条件の設定からユーザブレイク割り込み例外処理までの流れを以下に示します。

- (1) ブレイク条件のうち、ユーザブレイクアドレスをユーザブレイクアドレスレジスタ (UBAR)、アドレスの中のマスクしたいビットをユーザブレイクアドレスマスクレジスタ (UBAMR)、ブレイクするバスサイクルの種類をユーザブレイクバスサイクルレジスタ (UBBR) に設定してください。UBBRのCPUサイクル/DMAサイクルセレクトビット (CPI、CP0)、命令フェッチ/データアクセスセレクトビット (ID1、ID0)、リード/ライトセレクトビット (RW1、RW0) のいずれか1組でも00 (ユーザブレイク割り込みは発生させない) にセットされていると、他の条件が一致してもユーザブレイク割り込みは発生しません。ユーザブレイク割り込みを使用したいときは、必ずこれら3組のビットすべてに条件を設定してください。
- (2) UBCは、設定した条件が成立したかどうかを図8.2に示す方式で判定します。ブレイク条件が成立すると、UBCは割り込みコントローラ (INTC) に、ユーザブレイク割り込み要求信号を送ります。同時に条件一致信号をUBCTRG端子にCKS1,0ビットで設定されたパルス幅で出力します。
- (3) ユーザブレイク割り込み要求信号を受け取ると、INTCは優先順位の判定を行います。ユーザブレイク割り込みは優先レベル15なので、ステータスレジスタ (SR) の割り込みマスクビット (I3~I0) がレベル14以下のとき、受け付けられます。I3~I0ビットがレベル15のとき、ユーザブレイク割り込みは受け付けられませんが、受け付けられるようになるまで保留されます。したがって、NMI例外処理では、I3~I0ビットはレベル15になりますので、NMI例外サービスルーチン中はユーザブレイク割り込みは受け付けられません。ただし、NMI例外サービスルーチンの先頭でI3~I0ビットをレベル14以下に変更すれば、それ以後ユーザブレイク割り込みが受け付けられるようになります。優先順位判定については、「第7章 割り込みコントローラ (INTC)」を参照してください。
- (4) INTCは、ユーザブレイク割り込みの要求信号をCPUに送ります。これを受け取ると、CPUはユーザブレイク割り込み例外処理を開始します。割り込み例外処理については、「7.4 動作説明」を参照してください。

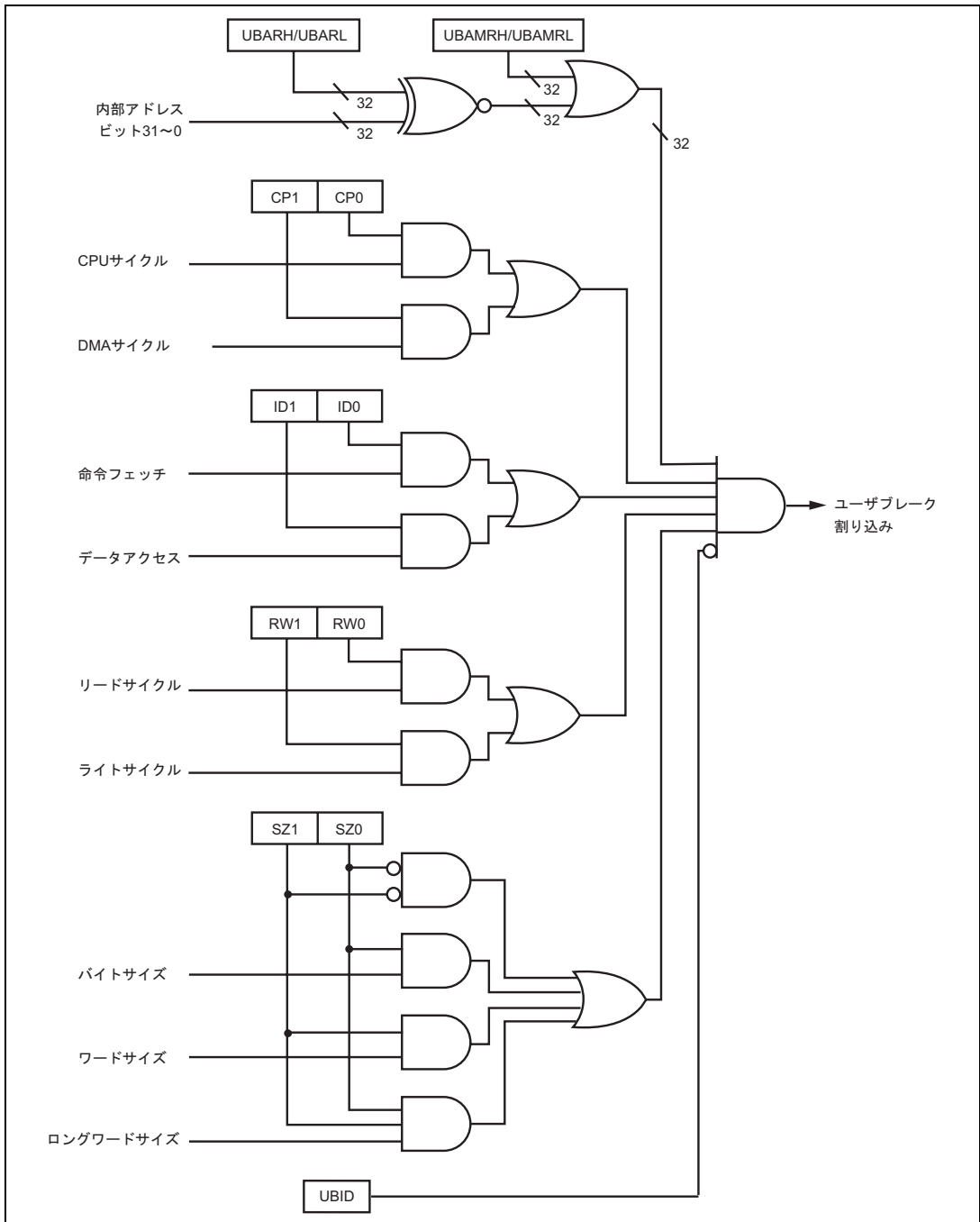


図 8.2 ブレイク条件判定方式

8.3.2 内蔵メモリの命令フェッチサイクルによるブレーク

内蔵メモリ (内蔵ROM、内蔵RAM) は、常に 32 ビットを 1 回のバスサイクルでアクセスします。したがって、命令を内蔵メモリからフェッチする場合、1 回のバスサイクルで 2 命令が取り込まれます。このとき、1 回のバスサイクルしか発生しませんが、両命令とも、それぞれの先頭アドレスをユーザブレークアドレスレジスタ (UBAR) に設定することによって、独立してブレークをかけることができます。言い換えると、1 回のバスサイクルで取り込まれた 2 命令のうち、後半の命令でブレークをかけたいとき、UBAR にはその命令の先頭アドレスを設定してください。これにより、前半の命令を実行した後、ブレークがかかるようになります。

8.3.3 退避するプログラムカウンタ (PC) の値

(1) 命令フェッチをブレーク条件に設定した場合

ユーザブレーク割り込み例外処理で退避されるプログラムカウンタ (PC) の値は、ブレーク条件に設定したアドレスです。このとき、フェッチされた命令は実行されず、その手前でユーザブレーク割り込みが発生します。ただし、遅延分岐命令直後 (遅延スロット) に配置された命令のフェッチサイクルまたは割り込み禁止命令の次命令のフェッチサイクルをブレーク条件に設定した場合、ユーザブレーク割り込みはすぐには受け付けられず、ブレーク条件を設定した命令は実行されます。このとき、ユーザブレーク割り込みは、割り込みを受け付けられる命令が実行されてから受け付けられます。この場合、退避される PC の値は、その割り込みを受け付けられる命令の次に実行されることになっていた命令の先頭アドレスです。

(2) データアクセス (CPU/DMA) をブレーク条件に設定した場合

ユーザブレーク例外処理が起動した時点における実行済み命令の次命令の先頭アドレスが退避されます。データアクセス (CPU/DMA) をブレーク条件に設定した場合、ブレークがかかる場所は特定することができません。ブレークするデータアクセスが発生した付近でフェッチしようとしていた命令がブレークされます。

8.4 ユーザブレーク使用例

(1) CPU 命令フェッチサイクルへのブレーク条件設定

- (a) レジスタの設定 : UBARH=H'0000
UBARL=H'0404
UBBR=H'0054
UBCR=H'0000

設定された条件 : アドレス : H'00000404

バスサイクル : CPU、命令フェッチ、リード

(オペランドサイズは条件に含まない)

割り込み要求許可

アドレス H'00000404 にある命令の手前でユーザブレーク割り込みが発生します。アドレス H'00000402 にある命令が割り込み受け付け可能ならば、この命令実行後、ユーザブレーク例外処理を実行します。H'00000404 にある命令は実行されません。退避される PC の値は H'00000404 です。

- (b) レジスタの設定 : UBARH=H'0015
UBARL=H'389C
UBBR=H'0058
UBCR=H'0000

設定された条件：アドレス：H'0015389C
バスサイクル：CPU、命令フェッチ、ライト
(オペランドサイズは条件に含まない)
割り込み要求許可

命令フェッチサイクルはライトサイクルではないので、ユーザブレイク割り込みは発生しません。

- (c) レジスタの設定：UBARH=H'0003
UBARL=H'0147
UBBR=H'0054
UBCR=H'0000

設定された条件：アドレス：H'00030147
バスサイクル：CPU、命令フェッチ、リード
(オペランドサイズは条件に含まない)
割り込み要求許可

命令フェッチは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。ただし、分岐後初めて命令フェッチするアドレスがこの条件に設定した奇数アドレスの場合、アドレスエラー例外処理後、ユーザブレイク割り込み例外処理が行われます。

(2) CPU データアクセスサイクルへのブレイク条件設定

- (a) レジスタの設定：UBARH=H'0012
UBARL=H'3456
UBBR=H'006A
UBCR=H'0000

設定された条件：アドレス：H'00123456
バスサイクル：CPU、データアクセス、ライト、ワード
割り込み要求許可

アドレスH'00123456にワードデータを書き込むと、ユーザブレイク割り込みが発生します。

- (b) レジスタの設定：UBARH=H'00A8
UBARL=H'0391
UBBR=H'0066
UBCR=H'0000

設定された条件：アドレス：H'00A80391
バスサイクル：CPU、データアクセス、リード、ワード
割り込み要求許可

ワードアクセスは偶数アドレスに対して行われるので、ユーザブレイク割り込みは発生しません。

8. ユーザブレイクコントローラ (UBC)

(3) DMA サイクルへのブレイク条件設定

- (a) レジスタの設定 : UBARH=H'0076
UBARL=H'BCDC
UBBR=H'00A7
UBCR=H'0000

設定された条件 : アドレス : H'0076BCDC
バスサイクル : DMA、データアクセス、リード、ロングワード
割り込み要求許可

アドレスH'0076BCDCからロングワードデータを読み出すと、ユーザブレイク割り込みが発生します。

- (b) レジスタの設定 : UBARH=H'0023
UBARL=H'45C8
UBBR=H'0094
UBCR=H'0000

設定された条件 : アドレス : H'002345C8
バスサイクル : DMA、命令フェッチ、リード
(オペランドサイズは条件に含まない)
割り込み要求許可

DMAサイクルでは命令フェッチは行われないので、ユーザブレイク割り込みは発生しません。

8.5 使用上の注意

8.5.1 2 命令同時フェッチ

命令フェッチの際、2 命令が同時に取り込まれる場合があります。このとき、この 2 命令のうち、後半命令のフェッチをブレイク条件に設定していた場合、前半命令のフェッチ直後に UBC の各レジスタを書き換えてブレイク条件を変更しても、後半命令の手前でユーザブレイク割り込みが発生しません。

8.5.2 分岐時の命令フェッチ

条件分岐命令、TRAPA 命令で分岐する場合、命令フェッチと実行の順序は次のようになります。

- (1) 条件分岐命令で分岐する場合 : BT、BF 命令
TRAPA 命令で分岐する場合 : TRAPA 命令
命令フェッチの順序 = 当該命令フェッチ → 次命令オーバランフェッチ
→ 次々命令オーバランフェッチ → 分岐先命令フェッチ
命令実行の順序 = 当該命令実行 → 分岐先命令実行
- (2) 遅延付き条件分岐命令で分岐する場合 : BT/S、BF/S 命令
命令フェッチの順序 = 当該命令フェッチ → 次命令フェッチ (遅延スロット)
→ 次々命令オーバランフェッチ → 分岐先命令フェッチ
命令実行の順序 = 当該命令実行 → 遅延スロット命令実行 → 分岐先命令実行

このように、条件分岐命令、TRAPA 命令で分岐する場合、次命令あるいは次々命令をオーバランフェッチしてから分岐先命令をフェッチします。ただし、ブレイクの対象となる命令は、命令がフェ

ッチされ実行されることが確定したときに、はじめてブレークするので、上記のようにオーバランフェッチされた命令は、ブレークの対象となりません。

ただし、ブレーク条件として、命令フェッチブレーク以外にデータアクセスブレークも含めていた場合は、命令のオーバランフェッチでもデータブレーク成立とみなしてブレークがかかります。

8.5.3 ユーザブレークと例外処理の競合

ある命令の命令フェッチにユーザブレークを設定した状態で、その命令（またはその次の命令）のデコードステージにおいてユーザブレークより優先度が高い例外処理が競合して受け付けられた場合、その例外処理サービスルーチンを終了した（RTE で戻った）後にユーザブレーク例外処理が発生しない場合があります。

すなわち、分岐(BRA、BRA_F、BT、BF、BT/S、BF/S、BSR、BSR_F、JMP、JSR、RTS、RTE、例外処理)後の分岐先命令の命令フェッチにユーザブレーク条件をかけた状態で、その分岐先命令がユーザブレーク割り込みよりも優先度の高い例外処理を受け付けると、その例外処理サービスルーチンを終了した後のユーザブレーク例外処理は発生しません。

したがって、分岐後の分岐先命令のフェッチには、ユーザブレーク条件を設定しないでください。

8.5.4 非遅延分岐命令の飛び先でのブレーク

遅延スロットを持たない分岐命令（例外処理も含む）が、分岐を実行して飛び先命令にジャンプしたとき、その最初の飛び先命令のフェッチにユーザブレーク条件をかけていても、ユーザブレークは発生しません。

8.5.5 ユーザブレークトリガ出力

UBC でモニタしている内部バスの条件一致情報を、 $\overline{\text{UBCTR}}\overline{\text{G}}$ として出力します。トリガ幅は、ユーザブレークコントロールレジスタ (UBCR) のクロックセレクト 1,0 (CKS1,0) ビットにより選択できます。

トリガ出力中に、再度条件一致が発生した場合は $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子はローレベルを出力し続け、最後の条件一致のあったサイクルから CKS1、0 ビットにより設定された長さのパルスを出力します。

トリガ出力条件は、CPU の命令フェッチ条件の一致時には、ユーザブレーク割り込みでのそれと異なります。「8.5.2 分岐時の命令フェッチ」で説明しているオーバランフェッチ命令で条件一致が発生すると、ユーザブレーク割り込みは要求しませんが、 $\overline{\text{UBCTR}}\overline{\text{G}}$ 端子からはトリガが出力されます。

その他の CPU のデータアクセス、DMAC のバスサイクルはユーザブレーク割り込み条件と同様の条件でパルス出力します。

また、UBCR のユーザブレークインタラプトディスエーブル (UBID) を 1 セットすることにより、ユーザブレーク割り込みを要求せず外部でトリガ出力モニタが可能となります。

8.5.6 モジュールスタンバイ

UBC は、パワーオンリセット後、モジュールスタンバイ状態となっているので、クロック供給が停止されています。UBC を使用する際は、UBC のレジスタ設定に先立ってモジュールスタンバイ状態を解除する必要があります。モジュールスタンバイは、システムコントロールレジスタ 2(SYSCR2) で制御します。モジュールスタンバイについては、「25.2.3 システムコントロールレジスタ 2 (SYSCR2)」を参照してください。

8.5.7 内部クロック (ϕ) の通倍比と $\overline{\text{UBCTR}}\overline{\text{G}}$ のパルス幅

ユーザブレイクコントローラは、内部クロック (ϕ) (入力クロックの 4 倍または 8 倍) に同期して動作します。

したがって、ユーザブレイクコントロールレジスタ (UBCR) のクロックセレクト 1~0 (CKS1~0) で選択しているクロックが同じであっても、内部クロック (ϕ) の通倍比が 4 倍のときと 8 倍のときで $\overline{\text{UBCTR}}\overline{\text{G}}$ の出力パルス幅が異なります。

また、 $\overline{\text{UBCTR}}\overline{\text{G}}$ パルス出力中に通倍比を変更した場合は、パルス出力幅も同時に変化します。

9. バスステートコントローラ (BSC)

9.1 概要

バスステートコントローラ (BSC) はアドレス空間の分割、各種メモリに応じた制御信号の出力などを行います。これにより、外付け回路なしに SRAM、ROM などを本 LSI に直結することができますので、システム設計が容易になると同時に、コンパクトなシステムで高速なデータ転送を行うことができます。

9.1.1 特長

BSC には、次のような特長があります。

- アドレス空間を4つに分割して管理
 - CS0 空間は、内蔵 ROM 有効モードでは最大リニア 2M バイト、内蔵 ROM 無効モードでは最大 4M バイト
 - CS1 空間、CS2 空間および CS3 空間はそれぞれ最大リニア 4M バイト
 - 空間ごとに、バス幅 (8 ビットまたは 16 ビット) を選択可能
 - 空間ごとに、ソフトウェアによるウェイトステートを挿入可能
 - 外部メモリ空間アクセス時に $\overline{\text{WAIT}}$ 端子によるウェイトステートを挿入可能
 - 各空間に接続するメモリに対応した制御信号を出力
- 内蔵ROM、RAMインタフェース
 - 内蔵 ROM は 32 ビットを 1 ステートでアクセス
 - 内蔵 RAM は 32 ビットをリード 1 ステート、ライト 1 ステート (SYSCR2 の CKSEL=0 のとき) / 2 ステート (SYSCR2 の CKSEL=1 のとき) でアクセス

9.1.2 ブロック図

BSC のブロック図を図 9.1 に示します。

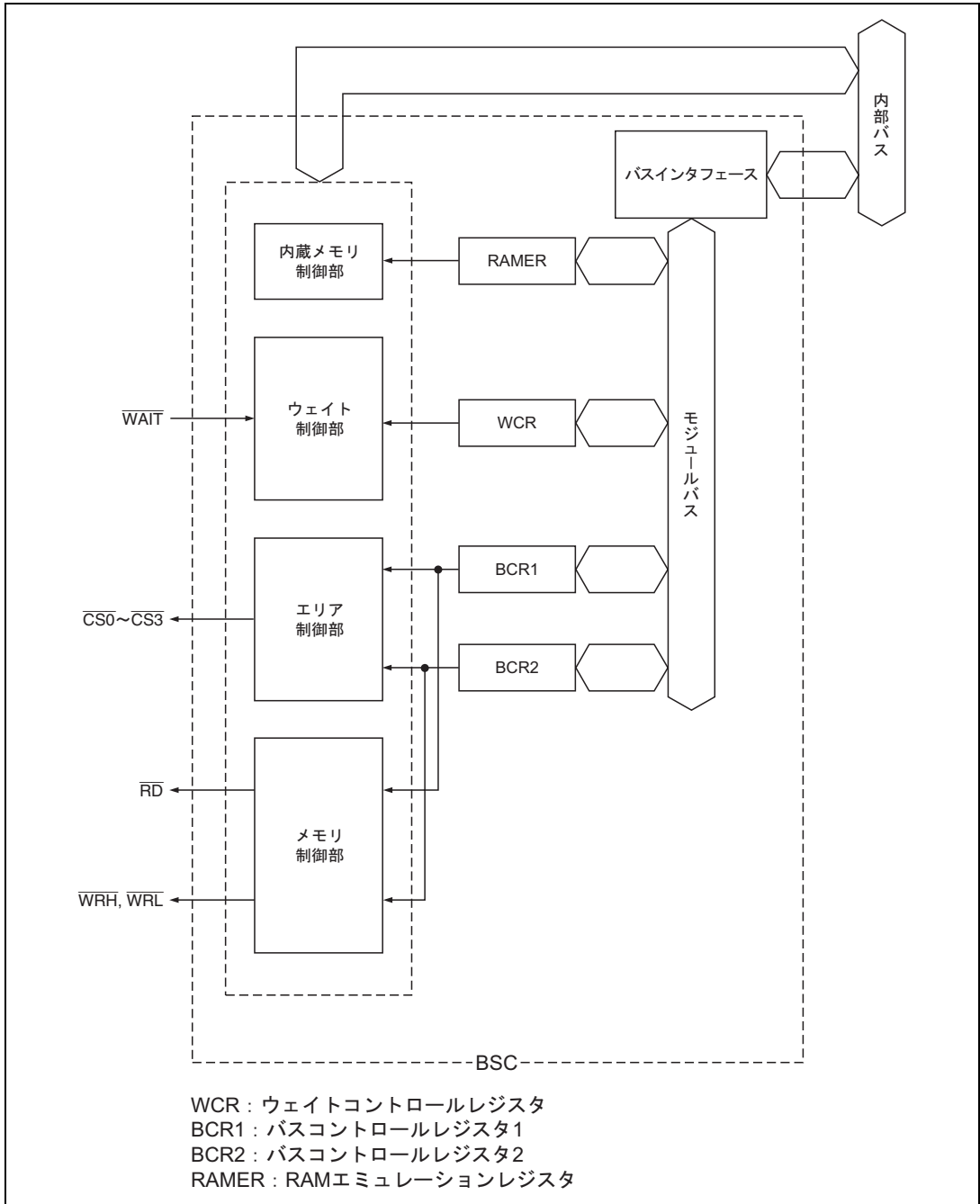


図 9.1 BSC のブロック図

9.1.3 端子構成

バスステートコントローラの端子構成を表 9.1 に示します。

表 9.1 端子構成

名称	略称	入出力	機能
アドレスバス	A21~A0	出力	アドレス出力
データバス	D15~D0	入出力	16 ビットのデータバス
チップセレクト	CS0~CS3	出力	アクセス中のエリアを示すチップセレクト信号
リード	RD	出力	リードサイクルを示すストロブ信号
上位側ライト	WRH	出力	上位 8 ビット (D15~D8) へのライトサイクルを示すストロブ信号
下位側ライト	WRL	出力	下位 8 ビット (D7~D0) へのライトサイクルを示すストロブ信号
ウェイト	WAIT	入力	ウェイトステート要求信号
バス権要求	BREQ	入力	バス解放要求入力
バス権要求アクノリッジ	BACK	出力	バス使用許可出力

【注】 外部空間 8 ビットバス幅選択時は WRL が有効になります。

外部空間 16 ビットバス幅選択時は WRH、WRL が有効になります。

9.1.4 レジスタ構成

バスステートコントローラには 4 本のレジスタがあります。これらのレジスタにより、ウェイトステート、バス幅、ROM、SRAM などのメモリとのインタフェースの制御などを行います。レジスタ構成を表 9.2 に示します。

レジスタサイズはすべて 16 ビットです。

バスステートコントローラのレジスタはすべてパワーオンリセットおよびハードウェアスタンバイモード時に初期化されます。また、マニュアルリセットおよびソフトウェアスタンバイモード時には値は保持されます。

表 9.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
バスコントロールレジスタ 1	BCR1	R/W	H'000F	H'FFFF EC20	8、16、32
バスコントロールレジスタ 2	BCR2	R/W	H'FFFF	H'FFFF EC22	8、16、32
ウェイトコントロールレジスタ	WCR	R/W	H'7777	H'FFFF EC24	8、16、32
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFF EC26	8、16、32

【注】 レジスタアクセスは、バイトアクセス時、ワードアクセス時は 4 サイクル、ロングワードアクセス時は 8 サイクルとなります。

9.1.5 アドレスマップ

図 9.2 に、本 LSI で用いるアドレスのフォーマットを示します。

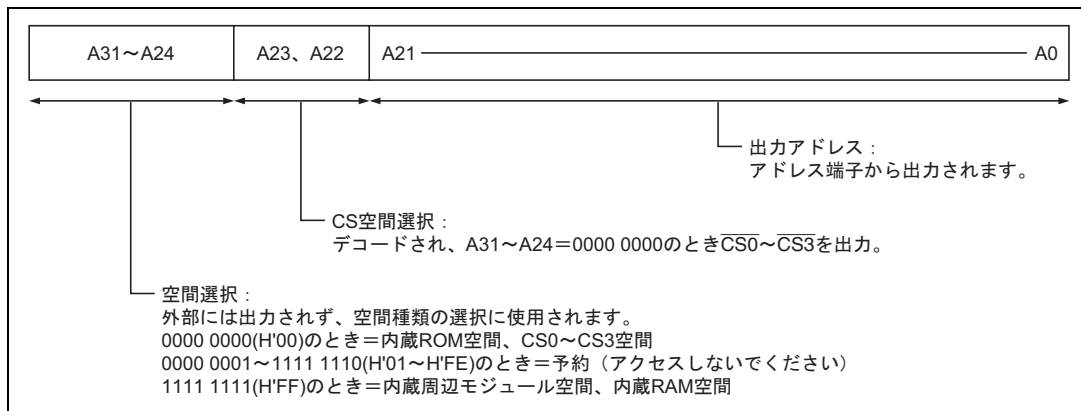


図 9.2 アドレスフォーマット

本 LSI では 32 ビットのアドレスを用います。

A31~A24 ビットは空間種類の選択に使用されます。外部には出力されません。

A23、A22 ビットは A31~A24 ビットが 0000 0000 のときデコードされ、エリアに対応するチップセレクト信号 ($\overline{CS0}$ ~ $\overline{CS3}$) となり、出力されます。

A21~A0 は外部に出力されます。

表 9.3 にアドレスマップを示します。

表 9.3 アドレスマップ

●内蔵 ROM 有効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000~H'000F FFFF	内蔵 ROM	内蔵 ROM	1MB	32
H'0010 0000~H'001F FFFF	予約	予約		
H'0020 0000~H'003F FFFF	CS0 空間	外部空間	2MB	8、16 * ¹
H'0040 0000~H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000~H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000~H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000~H'FFFE FFFF	予約	予約		
H'FFFF 0000~H'FFFF BFFF	内蔵 RAM	内蔵 RAM	48kB	32
H'FFFF C000~H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	16kB	8、16

●内蔵 ROM 無効モード時

アドレス	空間種類	メモリ種類	サイズ	バス幅
H'0000 0000~H'003F FFFF	CS0 空間	外部空間	4MB	8、16 * ²
H'0040 0000~H'007F FFFF	CS1 空間	外部空間	4MB	8、16 * ¹
H'0080 0000~H'00BF FFFF	CS2 空間	外部空間	4MB	8、16 * ¹
H'00C0 0000~H'00FF FFFF	CS3 空間	外部空間	4MB	8、16 * ¹
H'0100 0000~H'FFFE FFFF	予約	予約		
H'FFFF 0000~H'FFFF BFFF	内蔵 RAM	内蔵 RAM	48kB	32
H'FFFF C000~H'FFFF FFFF	内蔵周辺モジュール	内蔵周辺モジュール	16kB	8、16

●内蔵ブロック レジスタアクセスのサイクル数

ブロック名	バス幅	アクセスサイクル数	
		4 通倍	8 通倍
ROM	8	バイト : 4	バイト : 4
UBC、WDT、BSC、DMAC、INTC	16	バイト・ワード : 4 ロングワード : 8	バイト・ワード : 4 ロングワード : 8
SCI	8	バイト : 4~5 ワード : 8~9	バイト : 8~11 ワード : 16~19
ATU、APC、CMT、PFC、I/O ポート HUDI、CPG、低消費電力	16	バイト・ワード : 4~5 ロングワード : 8~9	バイト・ワード : 8~11 ロングワード : 16~19
AD、MTAD	8	バイト : 6~7 ワード : 12~13	バイト : 12~15 ワード : 24~27
HCAN	16	バイト・ワード : 6~7+wait ロングワード : 12~13+wait	バイト・ワード : 12~15+wait ロングワード : 24~27+wait

【注】 予約空間はアクセスしないでください。アクセスした場合、動作の保証はできません。

*1 内蔵レジスタ (BCR1) の設定で選択

*2 モード端子で選択

9.2 レジスタの説明

9.2.1 バスコントロールレジスタ 1 (BCR1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	A3SZ	A2SZ	A1SZ	A0SZ
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

バスコントロールレジスタ 1 (BCR1) は読み出し／書き込み可能な 16 ビットのレジスタで、各 CS 空間のバスサイズを指定します。

BCR1 の各ビットはパワーオンリセット後の初期設定時に書き込みを行い、以降は値を変更しないでください。内蔵 ROM 有効モードの場合、レジスタの初期設定が終了するまで各 CS 空間はアクセスしないでください。内蔵 ROM 無効モードの場合、レジスタの初期設定が終了するまで CS0 空間以外の CS 空間はアクセスしないでください。

BCR1 はパワーオンリセットおよびハードウェアスタンバイモード時に H'000F に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15～4 : 予約ビット

書き込み時には、常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 3 : CS3 空間サイズ指定 (A3SZ)

CS3 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 3	説明	
A3SZ		
0	バイト (8 ビット) サイズ	
1	ワード (16 ビット) サイズ	(初期値)

ビット 2 : CS2 空間サイズ指定 (A2SZ)

CS2 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット 2	説明	
A2SZ		
0	バイト (8 ビット) サイズ	
1	ワード (16 ビット) サイズ	(初期値)

ビット1 : CS1 空間サイズ指定 (A1SZ)

CS1 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります。

ビット1	説明
A1SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

ビット0 : CS0 空間サイズ指定 (A0SZ)

CS0 空間のバスサイズ指定を行います。0 にするとバイト (8 ビット) サイズ、1 にするとワード (16 ビット) サイズとなります (内蔵 ROM 有効モード時のみ有効)。

ビット0	説明
A0SZ	
0	バイト (8 ビット) サイズ
1	ワード (16 ビット) サイズ (初期値)

【注】 A0SZ は内蔵 ROM 有効モード時のみ有効であり、内蔵 ROM 無効モード時は、CS0 空間のバスサイズはモード端子によって指定されます。

9. バスステートコントローラ (BSC)

9.2.2 バスコントロールレジスタ 2 (BCR2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

バスコントロールレジスタ 2 (BCR2) は読み出し/書き込み可能な 16 ビットのレジスタで、各 CS 空間のアイドルサイクル数や \overline{CS} 信号のアサート拡張を指定します。

BCR2 はパワーオンリセットおよびハードウェアスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15~8: サイクル間アイドル指定 (IW31、IW30、IW21、IW20、IW11、IW10、IW01、IW00)

サイクル間アイドル指定はリードアクセス後に異なる CS 空間を続けてアクセスする場合にアクセス間に挿入するアイドルサイクルの指定を行います。これはリードデータのバッファオフの遅い ROM 等と、高速なメモリ、I/O インタフェース等のデータの衝突を防止するために使用します。同一 CS 空間に対するアクセスであっても、直前のアクセスがリードで次のアクセスがライトの場合にはアイドルサイクルの挿入を行います。アイドルサイクルの指定は直前にアクセスされた CS 空間のものが有効となります。詳しくは「9.4 アクセスサイクル間ウェイト」を参照してください。

IW31、30 が CS3 空間のサイクル間アイドル、IW21、IW20 が CS2 空間のサイクル間アイドル、IW11、IW10 が CS1 空間のサイクル間アイドル、IW01、IW00 が CS0 空間のサイクル間アイドルをそれぞれ指定します。

ビット 15	ビット 14	説明
IW31	IW30	
0	0	CS3 空間アイドルサイクルなし
	1	CS3 空間 1 アイドルサイクル
1	0	CS3 空間 2 アイドルサイクル
	1	CS3 空間 3 アイドルサイクル (初期値)

ビット 13	ビット 12	説 明
IW21	IW20	
0	0	CS2 空間アイドルサイクルなし
	1	CS2 空間 1 アイドルサイクル
1	0	CS2 空間 2 アイドルサイクル
	1	CS2 空間 3 アイドルサイクル (初期値)

ビット 11	ビット 10	説 明
IW11	IW10	
0	0	CS1 空間アイドルサイクルなし
	1	CS1 空間 1 アイドルサイクル
1	0	CS1 空間 2 アイドルサイクル
	1	CS1 空間 3 アイドルサイクル (初期値)

ビット 9	ビット 8	説 明
IW01	IW00	
0	0	CS0 空間アイドルサイクルなし
	1	CS0 空間 1 アイドルサイクル
1	0	CS0 空間 2 アイドルサイクル
	1	CS0 空間 3 アイドルサイクル (初期値)

ビット 7～4 : 連続アクセス時アイドル指定 (CW3、CW2、CW1、CW0)

連続アクセス時アイドル指定は同一 CS 空間を連続してアクセスする場合、 \overline{CSn} 信号をいったんネゲートすることによりバスの切れ目をわかりやすくするために挿入します。ただし、リードの次にライトが続く場合、挿入されるアイドルサイクルは IW によって指定される値と CW によって指定される値のうち大きい方を選択します。詳しくは「9.4 アクセスサイクル間ウェイト」を参照してください。

CW3 が CS3 空間の連続アクセス時アイドル、CW2 が CS2 空間の連続アクセス時アイドル、CW1 が CS1 空間の連続アクセス時アイドル、CW0 が CS0 空間の連続アクセス時アイドルをそれぞれ指定します。

ビット 7	説 明
CW3	
0	CS3 空間連続アクセス時アイドルサイクルなし
1	CS3 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット 6	説 明
CW2	
0	CS2 空間連続アクセス時アイドルサイクルなし
1	CS2 空間連続アクセス時 1 アイドルサイクル (初期値)

9. バスステートコントローラ (BSC)

ビット 5	説 明
CW1	
0	CS1 空間連続アクセス時アイドルサイクルなし
1	CS1 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット 4	説 明
CW0	
0	CS0 空間連続アクセス時アイドルサイクルなし
1	CS0 空間連続アクセス時 1 アイドルサイクル (初期値)

ビット 3~0 : \overline{CS} アサート拡張指定 (SW3、SW2、SW1、SW0)

\overline{CS} アサートサイクル拡張指定は \overline{RD} 信号、 \overline{WRH} 信号、 \overline{WRL} 信号のアサート期間が \overline{CSn} 信号のアサート期間からはみ出すことを防止するために挿入します。拡張サイクルは、各バスサイクルの前後に 1 サイクルずつ挿入されます。これにより、外部 IC とのインタフェースが容易になります。また、ライトデータホールドを延ばす効果もあります。詳しくは、「9.3.3 \overline{CS} アサート期間拡張」を参照してください。

SW3 が CS3 空間アクセス時の \overline{CS} アサート拡張指定、SW2 が CS2 空間アクセス時の \overline{CS} アサート拡張指定、SW1 が CS1 空間アクセス時の \overline{CS} アサート拡張指定、SW0 が CS0 空間アクセス時の \overline{CS} アサート拡張指定をそれぞれ行います。

ビット 3	説 明
SW3	
0	CS3 空間 \overline{CS} アサート拡張なし
1	CS3 空間 \overline{CS} アサート拡張あり (初期値)

ビット 2	説 明
SW2	
0	CS2 空間 \overline{CS} アサート拡張なし
1	CS2 空間 \overline{CS} アサート拡張あり (初期値)

ビット 1	説 明
SW1	
0	CS1 空間 \overline{CS} アサート拡張なし
1	CS1 空間 \overline{CS} アサート拡張あり (初期値)

ビット 0	説 明
SW0	
0	CS0 空間 \overline{CS} アサート拡張なし
1	CS0 空間 \overline{CS} アサート拡張あり (初期値)

9.2.3 ウェイトコントロールレジスタ (WCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	W32	W31	W30	—	W22	W21	W20	—	W12	W11	W10	—	W02	W01	W00
初期値:	0	1	1	1	0	1	1	1	0	1	1	1	0	1	1	1
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ウェイトコントロールレジスタ (WCR) は読み出し/書き込み可能な 16 ビットのレジスタで、各 CS 空間のウェイトサイクルを指定します。

WCR はパワーオンリセットおよびハードウェアスタンバイモード時に H'7777 に初期化されます。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

ビット 15: 予約ビット

ビット 14~12: CS3 空間ウェイト指定 (W32、W31、W30)

CS3 空間アクセス時のウェイト数を指定します。

ビット 14	ビット 13	ビット 12	説明
W32	W31	W30	
0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	1	1 ウェイト外部ウェイト入力カインーブル
~			
1	1	1	7 ウェイト外部ウェイト入力カインーブル (初期値)

ビット 11: 予約ビット

ビット 10~8: CS2 空間ウェイト指定 (W22、W21、W20)

CS2 空間アクセス時のウェイト数を指定します。

ビット 10	ビット 9	ビット 8	説明
W22	W21	W20	
0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	1	1 ウェイト外部ウェイト入力カインーブル
~			
1	1	1	7 ウェイト外部ウェイト入力カインーブル (初期値)

ビット 7: 予約ビット

9. バスステートコントローラ (BSC)

ビット 6～4 : CS1 空間ウェイト指定 (W12、W11、W10)

CS1 空間アクセス時のウェイト数を指定します。

ビット 6	ビット 5	ビット 4	説 明
W12	W11	W10	
0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	1	1 ウェイト外部ウェイト入力イネーブル
～			
1	1	1	7 ウェイト外部ウェイト入力イネーブル (初期値)

ビット 3 : 予約ビット

ビット 2～0 : CS0 空間ウェイト指定 (W02、W01、W00)

CS0 空間アクセス時のウェイト数を指定します。

ビット 2	ビット 1	ビット 0	説 明
W02	W01	W00	
0	0	0	ノーウェイト外部ウェイト入力禁止
0	0	1	1 ウェイト外部ウェイト入力イネーブル
～			
1	1	1	7 ウェイト外部ウェイト入力イネーブル (初期値)

9.2.4 RAM エミュレーションレジスタ (RAMER)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

RAM エミュレーションレジスタ (RAMER) は読み出し／書き込み可能な 16 ビットのレジスタで、フラッシュメモリのリアルタイムな書き換えをエミュレートする際に使用する RAM エリアを選択するレジスタです。

RAMER はパワーオンリセットおよびハードウェアスタンバイモード時に H'0000 に初期化されません。マニュアルリセットおよびソフトウェアスタンバイモード時には初期化されません。

【注】 RAM エミュレーション機能を確実に働かせるため、本レジスタの書き換え直後に RAM エミュレーション対象の ROM エリアをアクセスしないでください。

アクセスした場合、動作の保証はできません。

ビット 15～4 : 予約ビット

書き込み時は常に 0 を書き込んでください。1 を書き込んだ場合、動作の保証はできません。

ビット 3 : RAM セレクト (RAMS)

ビット 2～0 と共に使用し、RAM によるフラッシュメモリのエミュレーション選択／非選択を設定するビットです (表 9.4)。

1 ライト時は、フラッシュメモリ全プログラムの書き込み・消去プロテクト状態となります。本ビットは内蔵 ROM が無効なモードでは無視されます。

ビット 2~0 : フラッシュメモリエリア指定 (RAM2~RAM0)

RAMS と共に使用し、RAM と重ね合わせるフラッシュメモリのエリアを設定します (表 9.4)。

表 9.4 RAM エリアの設定方法

RAM エリア	ビット 3	ビット 2	ビット 1	ビット 0
	RAMS	RAM2	RAM1	RAM0
H'FFFF0000~H'FFFF0FFF	0	*	*	*
H'00000000~H'00000FFF	1	0	0	0
H'00001000~H'00001FFF				1
H'00002000~H'00002FFF			1	0
H'00003000~H'00003FFF				1
H'00004000~H'00004FFF		1	0	0
H'00005000~H'00005FFF				1
H'00006000~H'00006FFF			1	0
H'00007000~H'00007FFF				

* : Don't care

9.3 外部空間アクセス

外部空間では、主に SRAM、ROM の直結を想定してストロープ信号を出力します。

9.3.1 基本タイミング

外部空間アクセスのバスサイクルは、2 ステートで行われます。図 9.3 に外部空間アクセスの基本タイミングを示します。

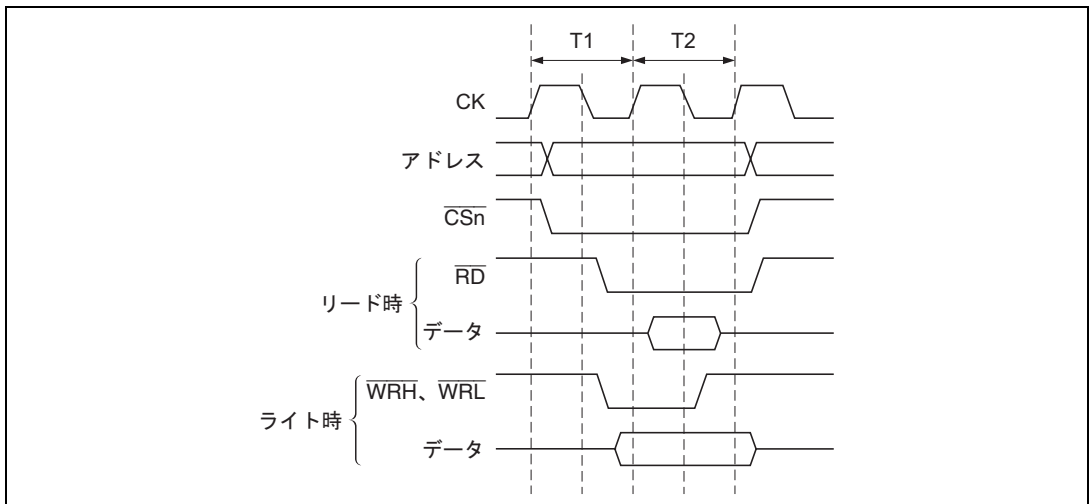


図 9.3 外部空間アクセスの基本タイミング

9.3.2 ウェイトステート制御

WCR の設定により、外部空間アクセスのウェイトステートの挿入を制御できます。図 9.4 に示すタイミングで、TW のサイクルがソフトウェアサイクルとして指定サイクル数だけ挿入されます。

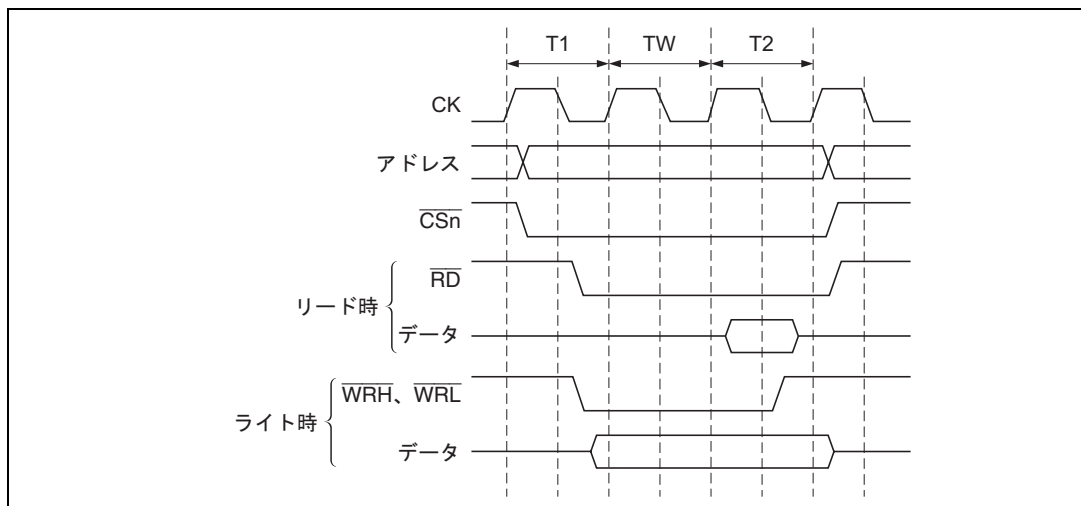


図 9.4 外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイトのみ)

WCR によってソフトウェアによるウェイトを指定したときには、外部からのウェイト入力 \overline{WAIT} 信号もサンプリングされます。 \overline{WAIT} 信号のサンプリングを図 9.5 に示します。 \overline{WAIT} 信号のサンプリングは、TW ステートから T2 ステートに移行する際にクロックの立ち上がりから 1 サイクル前のクロックの立ち上がりで行われます。外部ウェイトを使用する際、CS アサート拡張時にはソフトウェアウェイトを 1 ステート以上、それ以外のときは 2 ステート以上を WCR に設定してください。

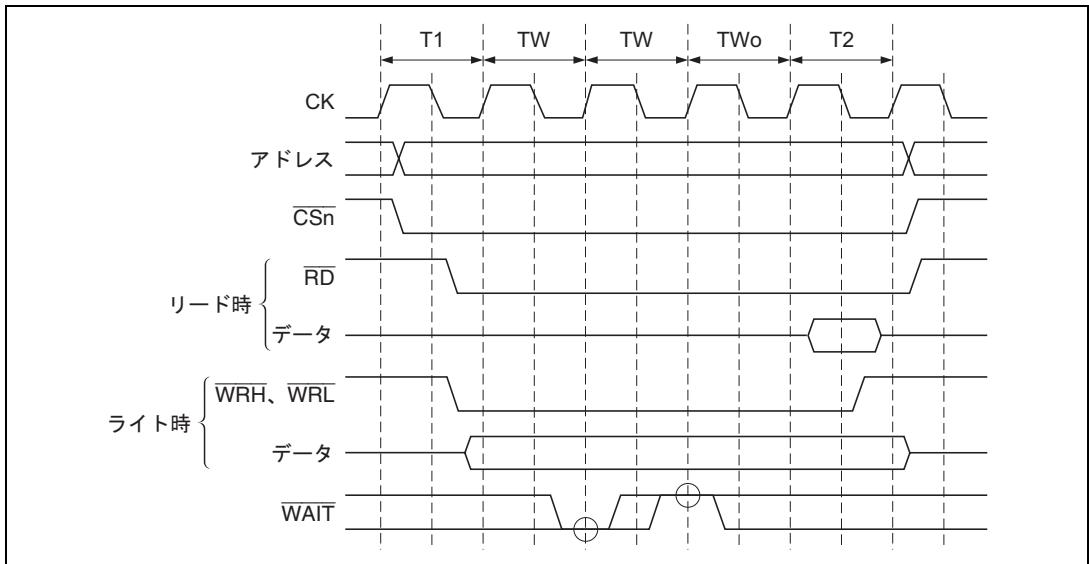


図 9.5 外部空間アクセスのウェイトステートタイミング (ソフトウェアウェイト 2 ステート+WAIT 信号によるウェイトステート)

9.3.3 \overline{CS} アサート期間拡張

BCR2 の SW3~SW0 ビットの設定により、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} のアクティブとなる期間が \overline{CSn} のアクティブとなる期間からはみ出さないようにアイドルサイクルを挿入することができます。これにより、外付け回路とフレキシブルなインタフェースがとれます。タイミングを図 9.6 に示します。Th および Tf サイクルが通常サイクルの前と後ろにそれぞれ付加されています。このサイクルでは \overline{CSn} のみアクティブとなり、 \overline{RD} 、 \overline{WRH} 、 \overline{WRL} はアクティブとなりません。また、ライトデータは Tf サイクルまで延ばされるので、ライト動作の遅いゲートアレイに有効です。

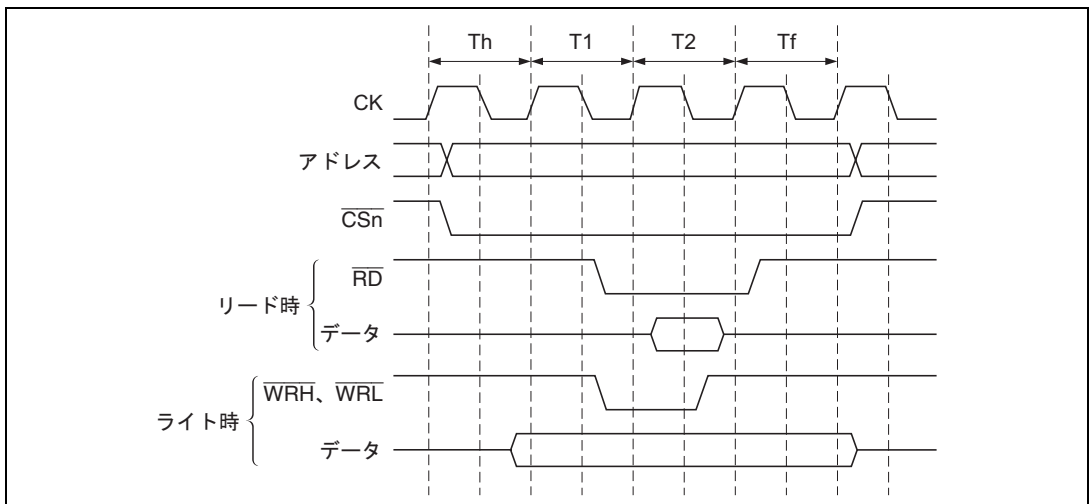


図 9.6 \overline{CS} アサート期間拡張機能

9.4 アクセスサイクル間ウェイト

低速なデバイスをリードしたとき、データバッファのオフが間に合わずに次アクセスのデータと衝突を起こすことがあります。これを防止するため、メモリアクセスを起動する際に問題がある場合にはアクセスサイクル間にウェイトを挿入することができます。

また、同一 CS 空間の連続アクセス時にいったん \overline{CSn} 信号をインアクティブとして、バスサイクル開始の検出を容易にするために、アクセスサイクル間にウェイトを挿入することができます。

9.4.1 データバス衝突防止

(1) リードサイクル後のライトサイクル、(2) リードサイクル後の異なる CS 空間に対するリードサイクル、の 2 つの場合、BCR2 の IW31～IW00 ビットによって指定されたサイクル数だけアイドルサイクルが入るようウェイトを挿入します。アクセスサイクル間にもともとアイドルサイクルが存在する場合は、指定されたアイドルサイクル数からその空きサイクル数を除いたサイクルだけウェイトを挿入します。図 9.7 にサイクル間アイドルの例を示します。この例では、 \overline{CSn} 空間のサイクル間アイドルに 1 を指定した場合に、 \overline{CSn} 空間のリードサイクルの直後に \overline{CSm} 空間のライトを行うとき、1 アイドルサイクルが挿入されることを示しています。

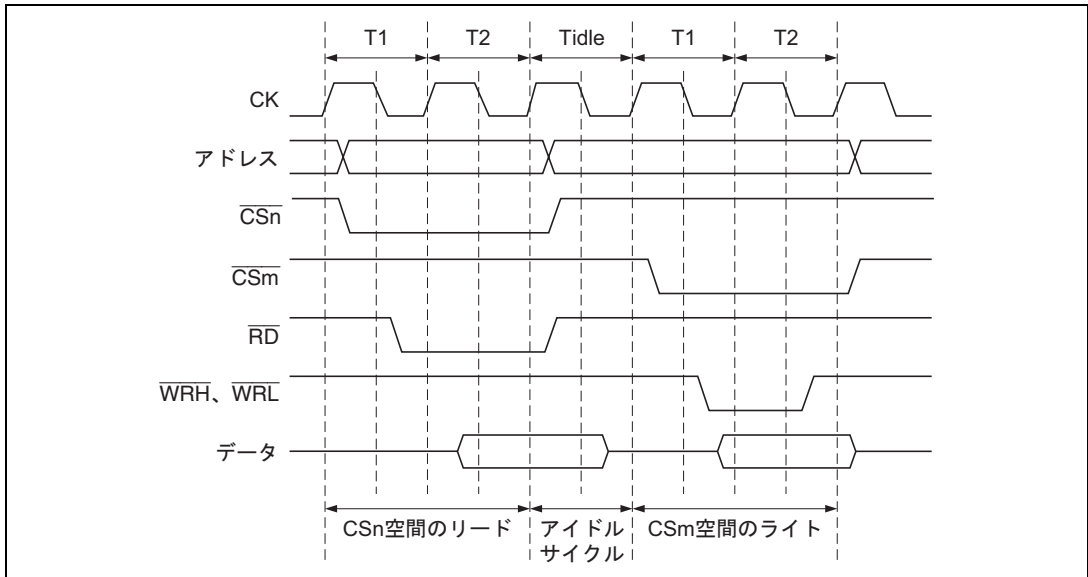


図 9.7 アイドルサイクル挿入例

IW31、IW30 では CS3 空間をリードした後に、他の CS 空間からリードする場合と本 LSI がライトアクセスを行う場合に、必要なアイドルサイクル数を指定します。同様に IW21、IW20 では CS2 空間リード後の、IW11、IW10 では CS1 空間リード後の、IW01、IW00 では CS0 空間リード後のアイドルサイクル数を指定します。アイドルサイクル数には 0～3 サイクルを指定することができます。

9.4.2 バスサイクル開始検出の容易化

同一 CS 空間を連続してアクセスする場合、BCR2 の CW3～CW0 ビットによって指定されたサイクル数だけアイドルサイクルが入るようにウェイトを挿入します。ただし、リード後のライトサイクルの場合、挿入されるアイドルサイクルは IW ビットと CW ビットで指定されるアイドルサイクルのうち大きな値になります。アクセスサイクル間にもともとアイドルサイクルが存在する場合はウェイト挿入を行いません。

図 9.8 に例を示します。この例では CSn 空間を連続アクセスアイドル指定し、CSn 空間を連続ライトアクセスした場合を示しています。

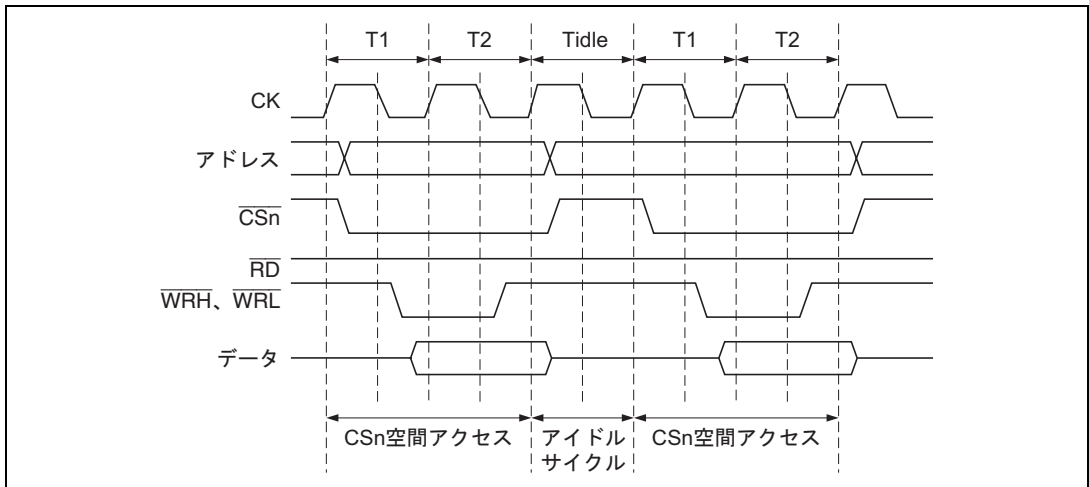


図 9.8 同一空間連続アクセス時アイドルサイクル挿入例

9.5 バスアービトレーション

本 LSI は、外部デバイスからバス権の要求があると、そのデバイスにバス権を与えることができます。また、本 LSI 内部にも CPU と DMAC と AUD という 3 つのバスマスタがあります。これらのバスマスタに対するバス権委譲の優先順位は以下のとおりとなります。

外部デバイスによるバス権要求 > AUD > DMAC > CPU

DMAC によるバースト転送中であっても、外部デバイスによるバス権要求が発生すると、外部デバイスが優先されます。

また、AUD は DMAC のバースト転送中はバス権を獲得せず転送終了後バス権を獲得します。CPU がバス権を持っている状態では、AUD は DMAC よりバス権委譲が優先されます。

外部デバイスによるバス権要求は、 $\overline{\text{BREQ}}$ 端子に入力してください。バス権を解放したことを示す信号は $\overline{\text{BACK}}$ 端子から出力されます。

図 9.9 に、バス解放手順を示します。

9. バスステートコントローラ (BSC)

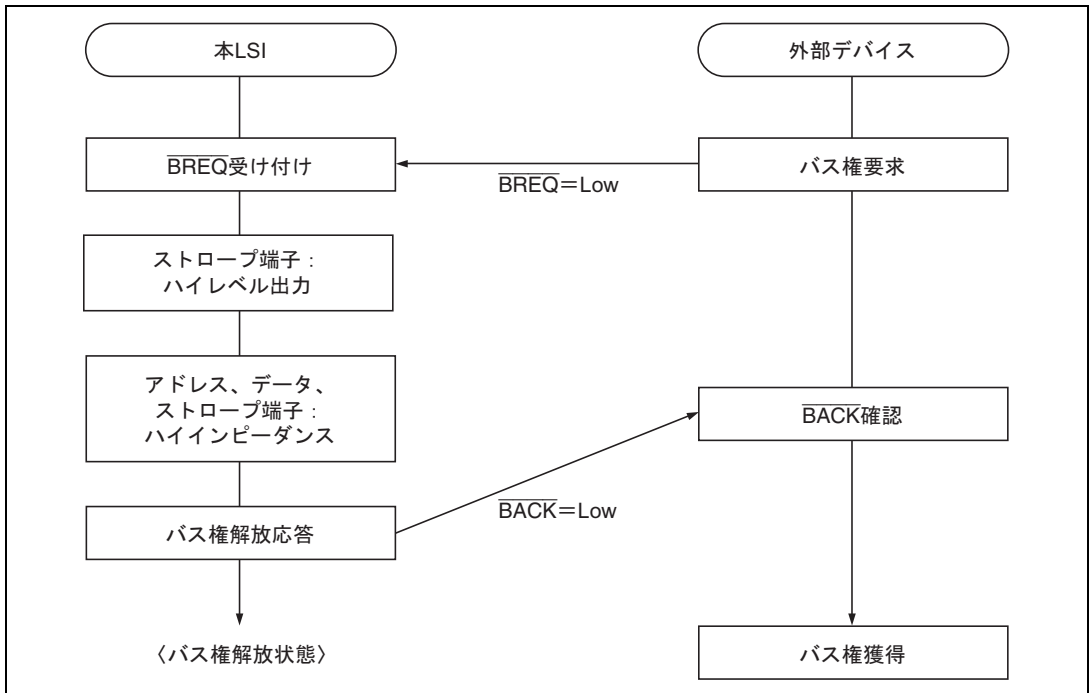


図 9.9 バス権解放手順

9.6 メモリ接続例

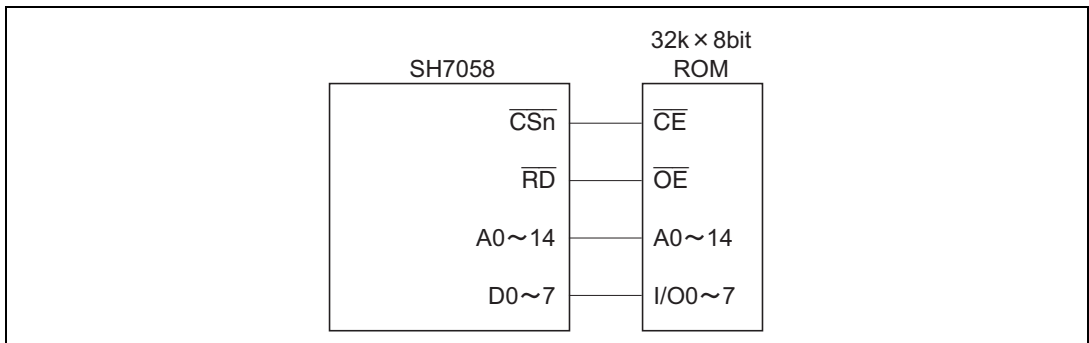


図 9.10 8ビットデータバス幅ROM接続例

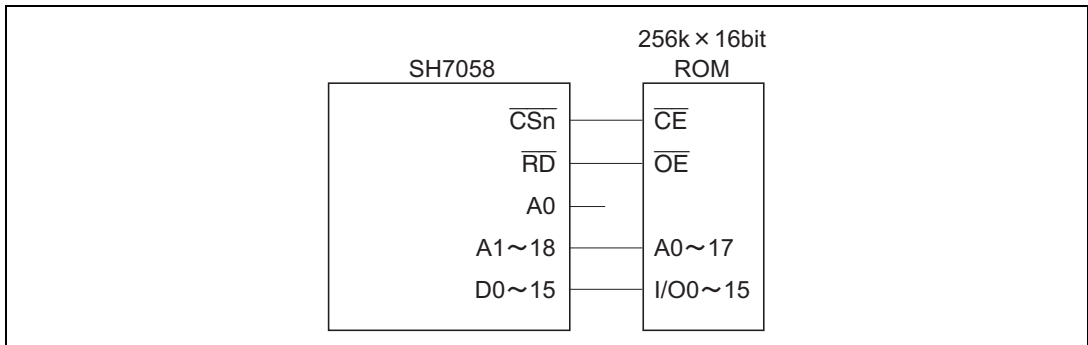


図 9.11 16 ビットデータバス幅 ROM 接続例

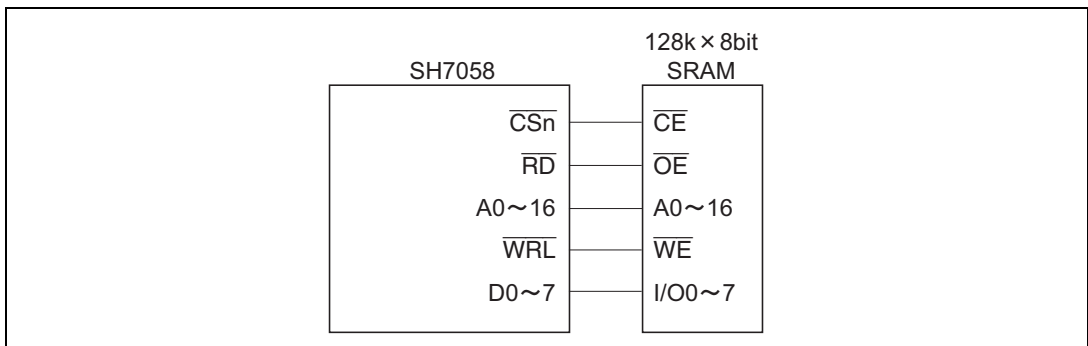


図 9.12 8 ビットデータバス幅 SRAM 接続例

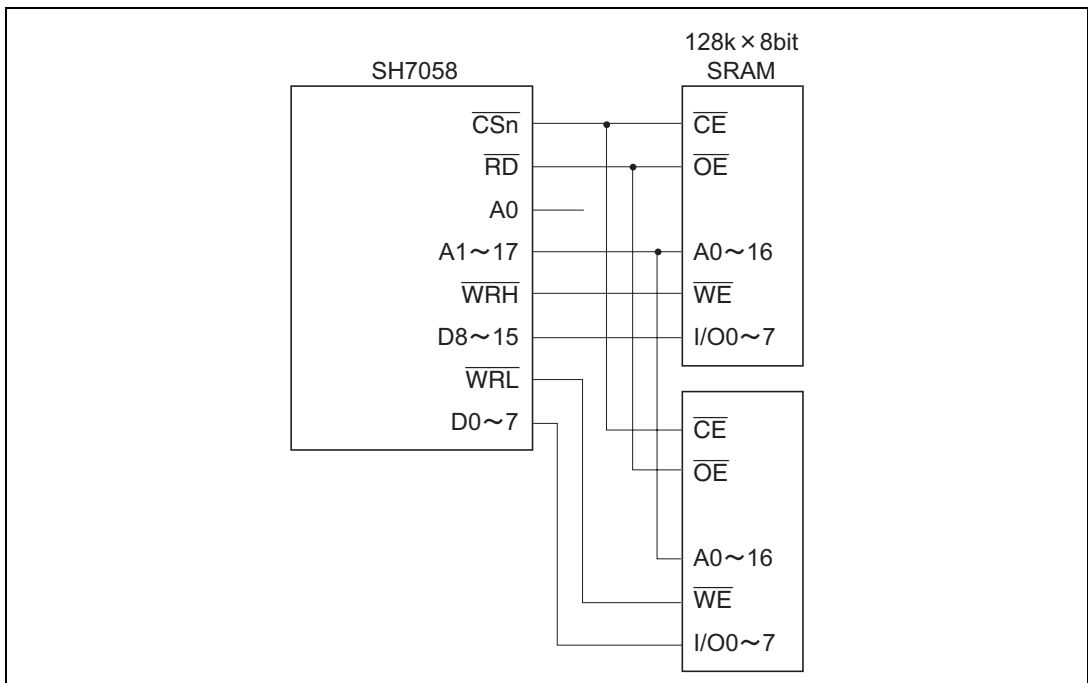


図 9.13 16 ビットデータバス幅 SRAM 接続例

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.1 概要

本 LSI は 4 チャンネルのダイレクトメモリアクセスコントローラ (DMAC) を内蔵しています。DMAC は、外部メモリ、メモリマップト外部デバイス、内蔵周辺モジュール (DMAC、BSC、UBC を除く) 間のデータ転送を、CPU に代わって高速に行うことができます。DMAC を使うと CPU の負担を減らすとともに本 LSI の動作効率を上げることができます。

10.1.1 特長

DMAC には次のような特長があります。

- チャンネル数：4チャンネル
- アドレス空間：アーキテクチャ上は4GByte
- 転送データ長：8ビット、16ビット、32ビットの中から選択可能
- 最大転送回数：16M (16,777,216) 回
- アドレスモード
転送元、転送先双方をアドレスアクセスします。転送モードには直接アドレス転送モードと間接アドレス転送モードがあります。
 - (a) 直接アドレス転送モード
転送元、転送先とも、DMAC内部のレジスタに設定された値がアクセス対象のアドレスを指しています。
1回のデータ転送に2バスサイクルを必要とします。
 - (b) 間接アドレス転送モード
DMAC内部の転送元レジスタに設定されたアドレスの先に格納されている値をアドレスとしてデータ転送を行います。それ以外は直接アクセスと同じ動作です。この機能はチャンネル3でのみ設定可能です。1回のデータ転送に4バスサイクルを必要とします。
- チャンネル機能：各チャンネルともデュアルアドレスモードをサポートします。
チャンネル2では4回の転送ごとにソースアドレスをリロードする機能 (ソースアドレスリロード機能) を備えています。チャンネル3では直接アドレス転送モード、間接アドレス転送モード指定可能です。
- リロード機能
4回のDMA転送終了ごとに、最初にソースアドレスレジスタに設定した値を自動的にリロードすることができます。この機能はチャンネル2でのみ実行可能です。
- 転送要求
DMACの転送起動要求には以下の種類があります。
 - 内蔵モジュール
SCI、A/Dなど内蔵モジュールの転送要求です。すべてのチャンネルが受け付け可能です。
 - オートリクエスト
転送要求をDMAC内部で自動的に発生します。
- バスモード
バスモードではサイクルスチールモードとバーストモードの選択が可能です。
- 優先順位
DMACのチャンネル優先順位は固定です。

10.1.3 レジスタ構成

表 10.1 にレジスタ構成を示します。DMAC では 1 チャンネルにつき 4 本のレジスタが割り当てられている他、DMAC 全体の制御用のレジスタが 1 本あり、全体で計 17 本のレジスタがあります。

表 10.1 レジスタ構成

チャネル	名称	略称	Read/Write	初期値	アドレス	レジスタサイズ	アクセスサイズ
共通	DMA オペレーションレジスタ	DMAOR	R/W ^{*1}	H'0000	H'FFFFECB0	16	16 ^{*4}
0	DMA ソースアドレスレジスタ 0	SAR0	R/W	不定	H'FFFFECC0	32	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 0	DAR0	R/W	不定	H'FFFFECC4	32	16、32 ^{*2}
	DMA トランスファカウントレジスタ 0	DMATCR0	R/W	不定	H'FFFFECC8	32	16、32 ^{*3}
	DMA チャンネルコントロールレジスタ 0	CHCR0	R/W ^{*1}	H'0000 0000	H'FFFFECCC	32	16、32 ^{*2}
1	DMA ソースアドレスレジスタ 1	SAR1	R/W	不定	H'FFFFECD0	32	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 1	DAR1	R/W	不定	H'FFFFECD4	32	16、32 ^{*2}
	DMA トランスファカウントレジスタ 1	DMATCR1	R/W	不定	H'FFFFECD8	32	16、32 ^{*3}
	DMA チャンネルコントロールレジスタ 1	CHCR1	R/W ^{*1}	H'00000000	H'FFFFECCD	32	16、32 ^{*2}
2	DMA ソースアドレスレジスタ 2	SAR2	R/W	不定	H'FFFFECE0	32	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 2	DAR2	R/W	不定	H'FFFFECE4	32	16、32 ^{*2}
	DMA トランスファカウントレジスタ 2	DMATCR2	R/W	不定	H'FFFFECE8	32	16、32 ^{*3}
	DMA チャンネルコントロールレジスタ 2	CHCR2	R/W ^{*1}	H'00000000	H'FFFFECEC	32	16、32 ^{*2}
3	DMA ソースアドレスレジスタ 3	SAR3	R/W	不定	H'FFFFECF0	32	16、32 ^{*2}
	DMA デスティネーションアドレスレジスタ 3	DAR3	R/W	不定	H'FFFFECF4	32	16、32 ^{*2}
	DMA トランスファカウントレジスタ 3	DMATCR3	R/W	不定	H'FFFFECF8	32	16、32 ^{*3}
	DMA チャンネルコントロールレジスタ 3	CHCR3	R/W ^{*1}	H'00000000	H'FFFFECFC	32	16、32 ^{*2}

- 【注】
1. レジスタアクセスは、ワードアクセス時 4 サイクル、ロングワードアクセス時 8 サイクルとなります。
 2. 空きアドレスのアクセスはしないでください。空きアドレスをアクセスした場合の動作は保証されません。
- *1 CHCR0~3 のビット 1 および DMAOR のビット 1、ビット 2 はフラグクリアのために 1 リード後の 0 ライトのみ可能。
- *2 SAR0~3、DAR0~3、DMATCR0~3、CHCR0~3 に 16 ビットアクセスをした場合、アクセスされなかった側の 16 ビットの値は保持されます。
- *3 DMATCR は 0~23 ビットまでの 24 ビット構成です。上位側 24~31 ビットまでの 8 ビットへの 1 ライトは無効となり読み出すと常に 0 がリードされます。
- *4 DMAOR は 32 ビットアクセスしないでください。

す。転送回数はH'000001を設定した場合1回ですが、H'000000を設定すると最大値を設定したことになり、16,777,216回実行されます。DMAC動作中は、残りの転送回数を示しています。

DMATCRの上位8ビットは、読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

パワーオンリセット、スタンバイモード時には、値は不定になります。

10.2.4 DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
	—	—	—	DI	—	—	—	RO	—	—	—	RS4	RS3	RS2	RS1	RS0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R	R	R	R/W	R	R	R	R/W	R/W	R/W	R/W	R/W
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	SM1	SM0	—	—	DM1	DM0	—	—	TS1	TS0	TM	IE	TE	DE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R(W)	R/W

【注】1. TEビットは、1リード後の0ライトのみ実行可能です。

2. DI、ROビットは、チャンネルにより存在しないビットがあります。

DMA チャンネルコントロールレジスタ 0~3 (CHCR0~3) は読み出し、書き込み可能な32ビットのレジスタで、各チャンネルの動作モード、転送方法等を指定します。

パワーオンリセット、スタンバイモード時には、H'00000000に初期化されます。

ビット 31~29、27~25、23~21、15、14、11、10、7、6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 28: ダイレクト、インダイレクトセレクト (DI)

チャンネル3のソースアドレスを直接アドレスモードで動作するか、間接アドレスモードで動作するかを指定するビットです。

このビットはCHCR3でのみ有効です。CHCR0、1、2では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 28	説明
DI	
0	チャンネル3を直接アドレスモードで動作させる (初期値)
1	チャンネル3を間接アドレスモードで動作させる

ビット 24: ソースアドレスリロードビット (RO)

チャンネル2の転送時、ソースアドレス初期値のリロードを行うか否かの選択ビットです。

このビットはCHCR2でのみ有効です。CHCR0、1、3では、このビットを読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 24	説 明
RO	
0	ソースアドレスをリロードしない (初期値)
1	ソースアドレスをリロードする

ビット 20~16 : リソースセレクト 4、3、2、1、0 (RS4、RS3、RS2、RS1、RS0)

転送要求元を指定します。

ビット 20	ビット 19	ビット 18	ビット 17	ビット 16	説 明
RS4	RS3	RS2	RS1	RS0	
0	0	0	0	0	要求なし* (初期値)
				1	SCI0 の送信
			1	0	SCI0 の受信
		1	0	0	SCI1 の送信
				1	SCI1 の受信
			1	0	SCI2 の送信
	1	0	0	0	SCI2 の受信
				1	SCI3 の送信
			1	0	0
		1			SCI4 の送信
		1		0	SCI4 の受信
		1	0	0	0
	1				内蔵 A/D1
	1			0	0
			1		要求なし*
			1	0	HCAN0 (RM0)
1	0		0	0	0
		1			ATU-II (ICI0A)
		1		0	0
			1		ATU-II (ICI0C)
			1	0	0
		1			ATU-II (CMI6A)
	1	0		0	ATU-II (CMI6B)
			1	ATU-II (CMI6C)	
		1	0	0	0
	1				ATU-II (CMI7A)
	1			0	0
			1		ATU-II (CMI7C)
			1	0	0
	1				要求なし*
	1	0		要求なし*	
	1	0	オートリクエスト		

【注】 * 「10.5 使用上の注意 (12)」を参照してください。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット 13、12：ソースアドレスモード 1、0 (SM1、SM0)

DMA 転送元アドレスの増減を指定します。

ビット 13	ビット 12	説 明
SM1	SM0	
0	0	ソースアドレスは固定 (初期値)
	1	ソースアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	ソースアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

転送元が間接アドレスに指定されている場合、ソースアドレスレジスタ 3 (SAR3) には、実際に転送したいデータの格納されているアドレスの値が、データとして保存されているアドレス (間接アドレス) を指定してください。

間接アドレスモード時の SAR3 の増減の指定も SM1、SM0 に従いますが、この場合は TS1、TS0 で指定した転送データのサイズにかかわらず、SAR3 の増減値は+4、-4 または 0 固定になります。

ビット 9、8：デスティネーションアドレスモード 1、0 (DM1、DM0)

DMA 転送先アドレスの増減を指定します。

ビット 9	ビット 8	説 明
DM1	DM0	
0	0	デスティネーションアドレスは固定 (初期値)
	1	デスティネーションアドレスは増加 (8 ビット転送時+1、16 ビット転送時+2、32 ビット転送時+4)
1	0	デスティネーションアドレスは減少 (8 ビット転送時-1、16 ビット転送時-2、32 ビット転送時-4)
	1	使用禁止

ビット 5、4：トランスミットサイズ 1、0 (TS1、TS0)

転送するデータのサイズを指定するビットです。

ビット 5	ビット 4	説 明
TS1	TS0	
0	0	バイトサイズ (8 ビット) 指定 (初期値)
	1	ワードサイズ (16 ビット) 指定
1	0	ロングワードサイズ (32 ビット) 指定
	1	使用禁止

ビット 3：トランスミットモード (TM)

転送時のバスモードを指定するビットです。

ビット 3	説 明
TM	
0	サイクルスチールモード (初期値)
1	バーストモード

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット2：インターラプトイネーブル (IE)

このビットを1にセットすると、DMATCRに指定した回数のデータ転送が終了したとき (TE=1のとき) 割り込み要求を発生します。

ビット2	説明
IE	
0	DMATCR 指定転送回数終了時、割り込み要求を発生しない (初期値)
1	DMATCR 指定転送回数終了時、割り込み要求を発生する

ビット1：トランスファエンド (TE)

DMATCRで指定した回数の転送が終了したとき1にセットされるビットです。このときIEビットが1にセットされていると、割り込み要求を発生します。

TEが1にセットされる前にNMI割り込み、アドレスエラーの発生、DEビットまたはDMAORのDMEビットのクリアなどで転送が終了された場合は、TEビットは1にセットされません。このビットが1にセットされた状態でDEビットを1にセットしても、転送許可状態には入りません。

ビット1	説明
TE	
0	DMATCR 指定回数転送未終了 (初期値) [クリア条件] ・TE=1のリード後、TE=0をライトしたとき ・パワーオンリセット、スタンバイ時
1	DMATCR 指定回数転送終了

ビット0：DMACイネーブル (DE)

対応するチャンネルの動作を許可するビットです。

ビット0	説明
DE	
0	対応チャンネルの動作禁止 (初期値)
1	対応チャンネルの動作許可

オートリクエストを指定 (RS4~0で指定) した場合、このビットに1をセットすると転送に入ります。内蔵モジュールリクエストでは、このビットに1をセットした後に転送要求が発生すると転送に入ります。転送途中でこのビットをクリアすると、転送を中断できます。

DEビットをセットしてもTEが1の場合、DMAORのDMEが0の場合、DMAORのNMIFまたはAEビットが1の場合は転送許可状態には入りません。

10.2.5 DMA オペレーションレジスタ (DMAOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	—	AE	NMIF	DME
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R(W)*R(W)*	R/W	

【注】* AE、NMIFビットは、1リード後の0ライトのみ実行可能です。

DMAOR は読み出し、書き込み可能な 16 ビットのレジスタで、DMAC 全体の動作を制御します。パワーオンリセット、スタンバイモード時には、H'0000 に初期化されます。

ビット 15~3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : アドレスエラーフラグ (AE)

DMA 転送中にアドレスエラーが発生したことを示すフラグです。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から AE に 1 をライトすることはできません。クリアは、1 リード後の 0 ライトのみ有効です。

ビット 2	説明
AE	
0	アドレスエラーなし。DMA 転送許可状態。 [クリア条件] ・ AE=1 リード後、AE=0 をライトしたとき (初期値)
1	アドレスエラーあり。DMA 転送禁止状態。 [セット条件] ・ DMAC によるアドレスエラーの発生時

ビット 1 : NMI フラグ (NMIF)

NMI が入力されたことを示すフラグです。このビットのセットは DMAC 動作中、停止中を問わず行われます。転送途中にこのビットがセットされると、全チャンネルの転送が中断されます。CPU から NMIF に 1 をライトすることはできません。クリアは、1 リード後の 0 ライトのみ有効です。

ビット 1	説明
NMIF	
0	NMI 入力なし。DMA 転送許可状態。 [クリア条件] ・ NMIF=1 リード後、NMIF=0 をライトしたとき (初期値)
1	NMI 入力あり。DMA 転送禁止状態。 [セット条件] ・ NMI 割り込みの発生時

ビット 0 : DMAC マスタイネーブル (DME)

DMAC 全体の起動許可ビットです。DME ビットおよび各チャンネルに対応する CHCR の DE ビットを 1 にセットすると、そのチャンネルの転送が許可されます。転送途中でこのビットをクリアすると、全チャンネルの転送を中断できます。

DME ビットをセットしても CHCR の TE が 1、または DE が 0 の場合、DMAOR の NMIF または AE ビットが 1 の場合は転送許可状態には入りません。

10. ダイレクトメモリアクセスコントローラ (DMAC)

ビット0	説明
DME	
0	全チャンネルの動作禁止 (初期値)
1	全チャンネルの動作許可

10.3 動作説明

DMAC は DMA 転送要求があるとチャンネルの優先順位に従って転送を開始し、転送終了条件が満たされると転送を終了します。転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類のモードがあります。DMA 転送は、デュアルアドレスモードのみあります。デュアルアドレスモードは、直接アドレス転送モードと間接アドレス転送モードがあります。バスモードはバーストモードとサイクルスチールモードを選択することができます。

10.3.1 動作説明

DMA ソースアドレスレジスタ (SAR)、DMA デスティネーションアドレスレジスタ (DAR)、DMA トランスファカウンタレジスタ (DMATCR)、DMA チャンネルコントロールレジスタ (CHCR)、DMA オペレーションレジスタ (DMAOR) に目的の転送条件設定後、DMAC は以下の手順でデータ転送を実行します。

- (1) 転送許可状態かどうか (DE=1、DME=1、TE=0、NMIF=0、AE=0) をチェックします。
- (2) 転送許可状態で転送要求が発生すると 1 転送単位のデータ (TS0、TS1 の設定により決定) を転送します。オートリクエストモードの場合は DE および DME が 1 にセットされると自動的に転送を開始します。1 回の転送を行うごとに DMATCR の値を 1 デクリメントします。具体的な転送フローは、アドレスモード、バスモードにより異なります。
- (3) 指定された回数の転送を終える (DMATCR の値が 0 になる) と、転送を正常に終了します。このとき CHCR の IE ビットを 1 にセットしてあれば、CPU に DEI 割り込みを発生します。
- (4) DMAC によるアドレスエラーか NMI 割り込みが発生した場合には、転送を中断します。また CHCR の DE ビットか DMAOR の DME ビットが 0 にされても転送を中断します。図 10.2 に上記のフローチャートを示します。

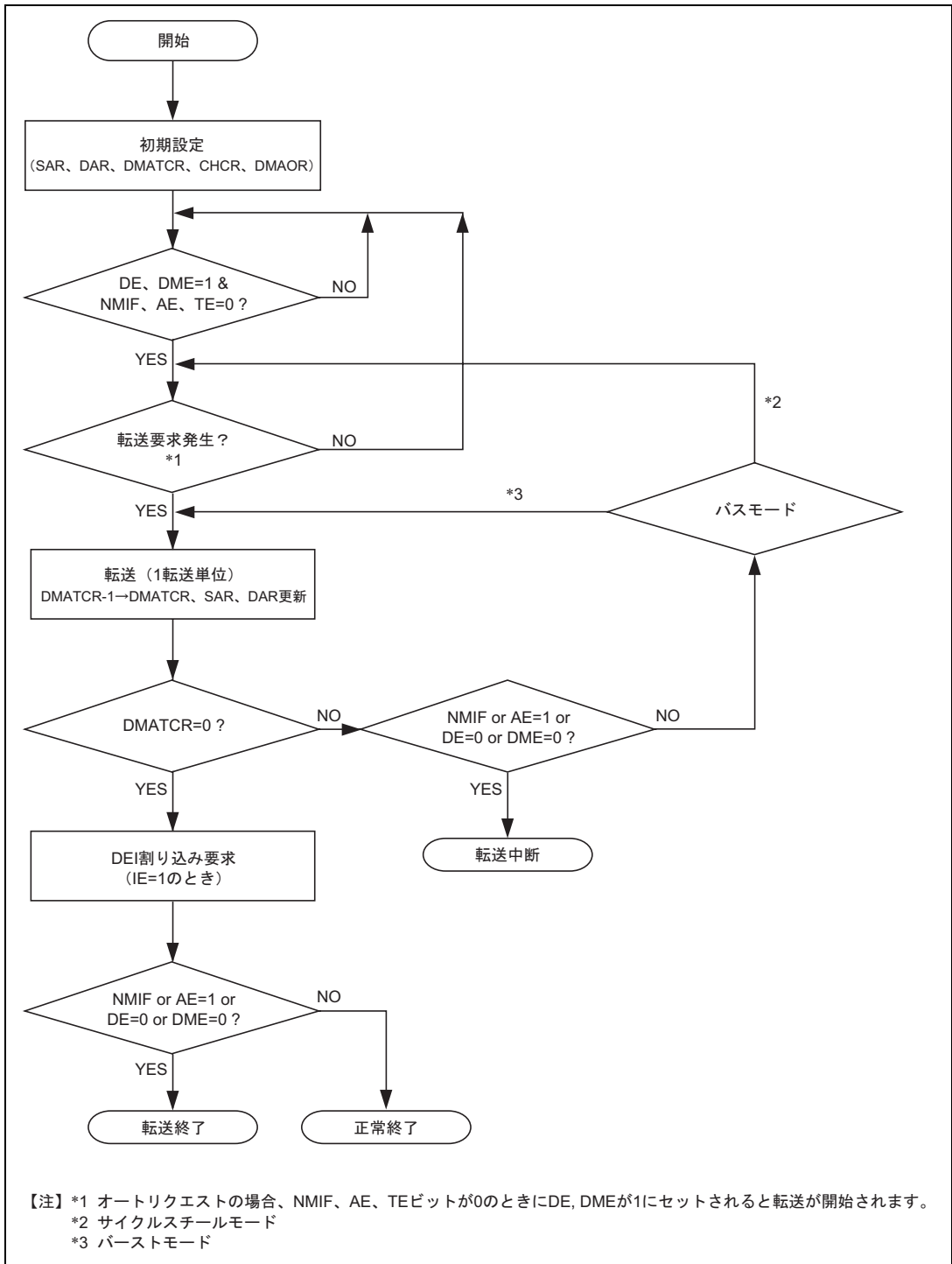


図 10.2 DMAC 転送フローチャート

10.3.2 DMA 転送要求

DMA 転送要求はデータの転送元または転送先に発生させます。

転送要求にはオートリクエスト、内蔵周辺モジュールリクエストの 2 種類があります。転送要求の選択は DMA チャンネルコントロールレジスタ 0~3 (CHCR0~CHCR3) の RS4~RS0 ビットによって行います。

(1) オートリクエストモード

オートリクエストモードはメモリ同士の転送や、転送要求を発生できない内蔵周辺モジュールとメモリとの転送のように、転送要求信号が外部から来ない場合に、DMAC 内部で自動的に転送要求信号を発生するモードです。CHCR0~CHCR3 の DE ビットおよび DMA オペレーションレジスタ

(DMAOR) の DME ビットを 1 にセットすると転送が開始されます。ただし CHCR0~CHCR3 の TE ビット、DMAOR の NMIF ビット、AE ビットがすべて 0 である必要があります。

(2) 内蔵周辺モジュールリクエストモード

内蔵周辺モジュールリクエストモードは、本 LSI の内蔵周辺モジュールからの転送要求信号 (割り込み要求信号) によって転送を開始させるモードです。転送要求信号には表 10.2 に示すように、アドバンスドタイマユニット (ATU-II) からのコンペアマッチ割り込みおよびインプットキャプチャ割り込みの 12 種類、5 つのシリアルコミュニケーションインタフェース (SCI) からの受信データフル割り込み (RXI)、送信データエンプティ割り込み (TXI)、HCAN0 からの受信割り込み、3 つの A/D 変換器の A/D 変換終了割り込み (ADI) の計 26 本があります。DMA 転送が許可されているとき (DE=1、DME=1、TE=0、NMIF=0、AE=0) に転送要求信号が入力されると DMA 転送が開始されます。

転送要求を RXI (SCI の受信データフルによる転送要求) に設定した場合は転送元は SCI のレーンブデータレジスタ (RDR) でなければなりません。転送要求を TXI (SCI の送信データエンプティによる転送要求) に設定した場合は、転送先は SCI のトランスミットデータレジスタ (TDR) でなければなりません。転送要求を A/D 変換器にした場合は、データ転送元は A/D 変換器のレジスタでなければなりません。

また、転送要求を HCAN0 にした場合は、転送元は HCAN0 のメッセージデータでなければなりません。

内蔵周辺モジュールリクエストによる転送では、DMAC が転送要求を受け付けると、サイクルスチールモードの場合は 1 回の転送が終了するまで、また、バーストモードの場合はすべての転送が終了するまでは、次の転送要求がきても無視されます。なお、アドレスリロード機能を使用している場合に限り、バーストモードでは 4 回の転送が終了するまで、次の転送要求が無視されます。

10. ダイレクトメモリアクセスコントローラ (DMAC)

表 10.2 RS ビットによる内蔵周辺モジュールリクエストモードの選択

RS4	RS3	RS2	RS1	RS0	DMAC 転送 要求元	DMAC 転送要求信号	転送元	転送先	パスモード
0	0	0	0	1	SCI0 送信部	TXI0 (SCI0 送信データエンプティによる転送要求)	任意*	TDR0	バースト/サイクルスチール
				1	SCI0 受信部	RXI0 (SCI0 受信データフルによる転送要求)	RDR0	任意*	バースト/サイクルスチール
			1	SCI1 送信部	TXI1 (SCI1 送信データエンプティによる転送要求)	任意*	TDR1	バースト/サイクルスチール	
		1	0	0	SCI1 受信部	RXI1 (SCI1 受信データフルによる転送要求)	RDR1	任意*	バースト/サイクルスチール
				1	SCI2 送信部	TXI2 (SCI2 送信データエンプティによる転送要求)	任意*	TDR2	バースト/サイクルスチール
			1	0	SCI2 受信部	RXI2 (SCI2 受信データフルによる転送要求)	RDR2	任意*	バースト/サイクルスチール
	1	0	0	1	SCI3 送信部	TXI3 (SCI3 送信データエンプティによる転送要求)	任意*	TDR3	バースト/サイクルスチール
				1	SCI3 受信部	RXI3 (SCI3 受信データフルによる転送要求)	RDR3	任意*	バースト/サイクルスチール
				1	SCI4 送信部	TXI4 (SCI4 送信データエンプティによる転送要求)	任意*	TDR4	バースト/サイクルスチール
			1	SCI4 受信部	RXI4 (SCI4 受信データフルによる転送要求)	RDR4	任意*	バースト/サイクルスチール	
		1	A/D0	ADI0 (ADI0 変換終了割り込み)	ADDR0~11	任意*	バースト/サイクルスチール		
	1	0	0	A/D1	ADI1 (ADI1 変換終了割り込み)	ADDR12~23	任意*	バースト/サイクルスチール	
			1	A/D2	ADI2 (ADI2 変換終了割り込み)	ADDR24~31	任意*	バースト/サイクルスチール	
		1	1	HCAN0	RM0 (HCAN0 受信割り込み)	MB0~31	任意*	バースト/サイクルスチール	
1	0	0	0	1	ATU-II	ICI0A (ICI0A のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール
				1	ATU-II	ICI0B (ICI0B のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール
			1	ATU-II	ICI0C (ICI0C のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール	
		1	0	0	ATU-II	ICI0D (ICI0D のインプットキャプチャ発生)	任意*	任意*	バースト/サイクルスチール
				1	ATU-II	CMi6A (CYLR6A とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール
			1	0	ATU-II	CMi6B (CYLR6B とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール
	1	ATU-II	CMi6C (CYLR6C とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール			
	1	0	0	0	ATU-II	CMi6D (CYLR6D とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール
				1	ATU-II	CMi7A (CYLR7A とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール

10. ダイレクトメモリアクセスコントローラ (DMAC)

RS4	RS3	RS2	RS1	RS0	DMAC 転送 要求元	DMAC 転送要求信号	転送元	転送先	バスモード
1	1	0	1	0	ATU-II	CMI7B (CYLR7B とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール
				1	ATU-II	CMI7C (CYLR7C とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール
		1	0	0	ATU-II	CMI7D (CYLR7D とのコンペアマッチ発生)	任意*	任意*	バースト/サイクルスチール

【記号説明】

SCI0、SCI1、SCI2、SCI3、SCI4：シリアルコミュニケーションインタフェースのチャンネル0~4

A/D0、A/D1、A/D2：A/D変換器のチャンネル0~2

HCAN0：コントローラエリアネットワーク-IIのチャンネル0

ATU-II：アドバンスドタイマユニット

TDR0、TDR1、TDR2、TDR3、TDR4：SCI0~4のトランスミットデータレジスタ

RDR0、RDR1、RDR2、RDR3、RDR4：SCI0~4のレシーブデータレジスタ

ADDR0~11：A/D0のデータレジスタ

ADDR12~23：A/D1のデータレジスタ

ADDR24~31：A/D2のデータレジスタ

MB0~31：HCAN0のメッセージデータ（レジスタ名：MBx[7]~[14]、x=0~31）

【注】 * 外部メモリ、メモリマップト外部デバイス、内蔵メモリ、内蔵モジュール（DMAC、BSC、UBCを除く）

10.3.3 チャンネルの優先順位

DMACは、同時に複数のチャンネルに対して転送要求があった場合には、以下に示す優先順位に従って転送を行います。

- ・CH0 > CH1 > CH2 > CH3

10.3.4 DMA 転送の種類

DMACがサポートできる転送は表10.3に示すとおりで、転送元と転送先の両方のアドレスを出力するデュアルアドレスモードです。デュアルアドレスモードには、出力したアドレスの値が、直接データ転送の対象アドレスとなる直接アドレスモードと、出力したアドレスの値がデータ転送対象のアドレスとならず、出力したアドレスに格納されている値が、転送対象のアドレスとなる間接アドレスモードがあります。具体的な転送動作タイミングはバスモードにより異なります。バスモードには、サイクルスチールモードとバーストモードがあります。

表 10.3 サポートできる DMA 転送

転送元	転送先			
	外部メモリ	メモリマップト 外部デバイス	内蔵メモリ	内蔵周辺 モジュール
外部メモリ	○	○	○	○
メモリマップト外部デバイス	○	○	○	○
内蔵メモリ	○	○	○	○
内蔵周辺モジュール	○	○	○	○

(1) デュアルアドレスモード

デュアルアドレスモードは転送元と転送先をともにアドレスによってアクセスする場合に使うモードです。転送元と転送先は内部でも外部でもかまいません。デュアルアドレスモードには (a) 直接アドレス転送モード、(b) 間接アドレス転送モードがあります。

(a) 直接アドレス転送モード

データ読み出しサイクルで転送元からデータを読み出し、データ書き込みサイクルで転送先にデータを書き込むため、2つのバスサイクルで転送を行います。このとき転送データは一時的に DMAC に格納されます。図 10.3 のような外部メモリ同士の転送では、読み出しサイクルで一方の外部メモリからデータが DMAC に読み出され、続く書き込みサイクルでそのデータがもう一方の外部メモリに書き込まれます。また図 10.4 にこの場合のタイミング例を示します。

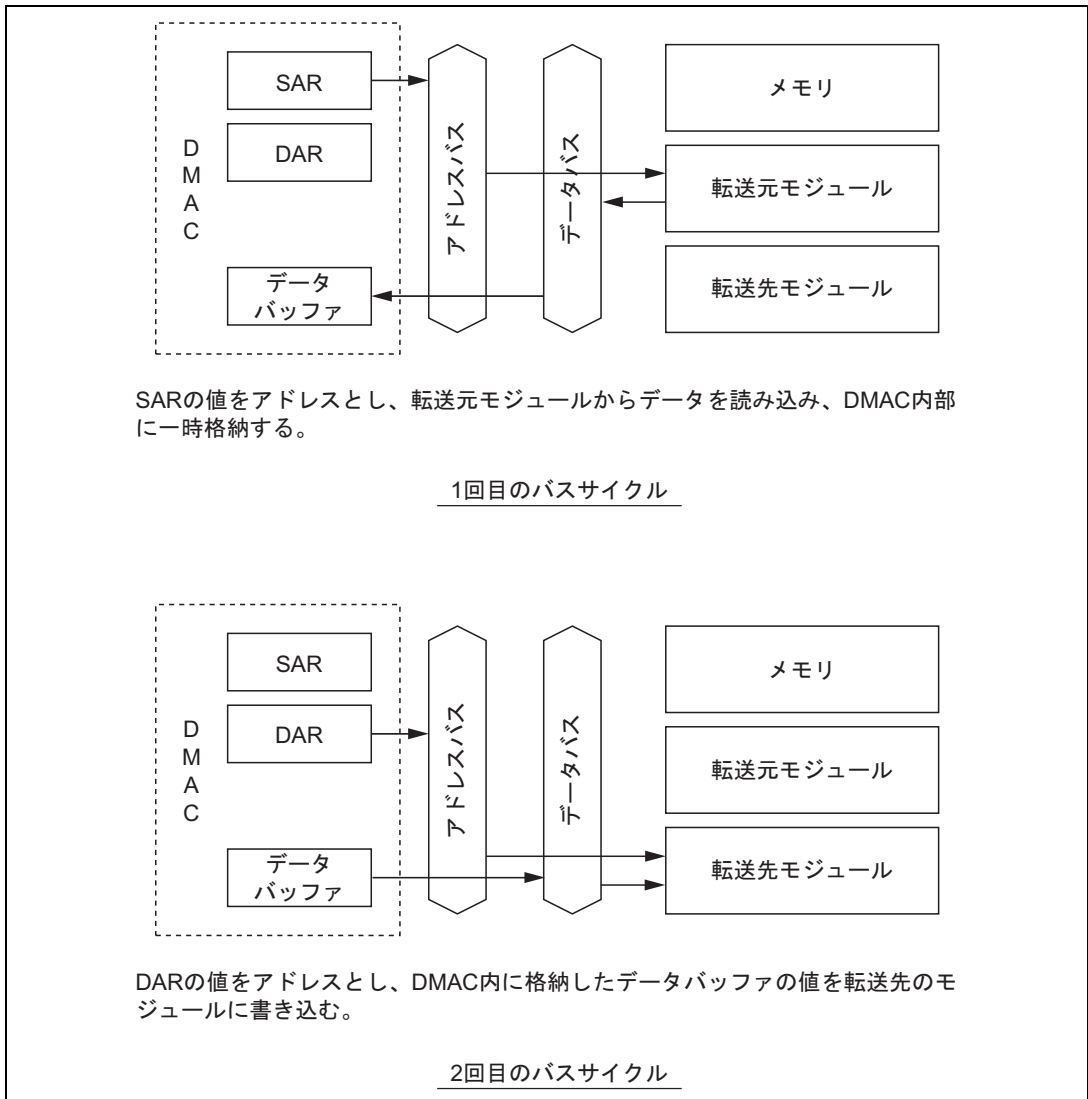


図 10.3 デュアルアドレスモード、直接アドレスの動作説明

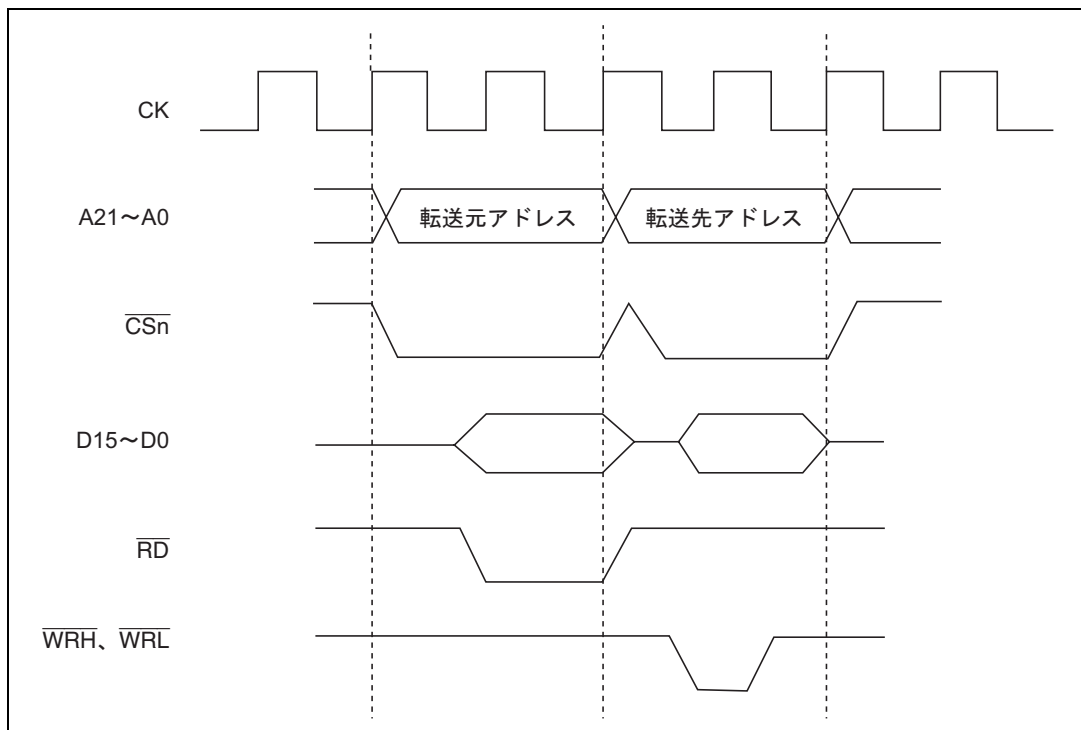


図 10.4 デュアルアドレスモード、直接アドレスでのデータの流れ

(b) 間接アドレス転送モード

DMAC 内部の転送元アドレスレジスタ (SAR3) に、実際に転送したいデータの格納されているメモリのアドレスが指定されている転送モードです。したがって、間接アドレス転送モードでは、まず DMAC 内部の転送元アドレスレジスタに指定されたアドレスの値を読み出します。この値は、いったん DMAC 内部に格納されます。次に、読み出した値をアドレスとして出力し、そのアドレスに格納されている値を再び DMAC 内部に格納します。最後に転送先アドレスレジスタに指定されたアドレスに、後から読み出した値を書き込んで 1 回の DMA 転送が終了します。

図 10.5 に、間接アドレスモードで、転送先、転送元、間接アドレスの格納先すべてが 16 ビット幅空間の外部メモリであり、転送データが 16 ビットまたは 8 ビットの場合の転送例を示します。また図 10.6 にタイミング例を示します。

間接アドレスモードでは、間接アドレスとして読み出したデータをアドレスバスに出力するまでに、1 回の NOP サイクル (図 10.6 の CK1 サイクル分) を必要とします。

なお転送データが 32 ビットサイズの場合、図 10.6 の 3 回目と 4 回目のバスサイクルが 2 回ずつ必要となり、全体で 6 回のバスサイクルと 1 回の NOP サイクルが必要になります。

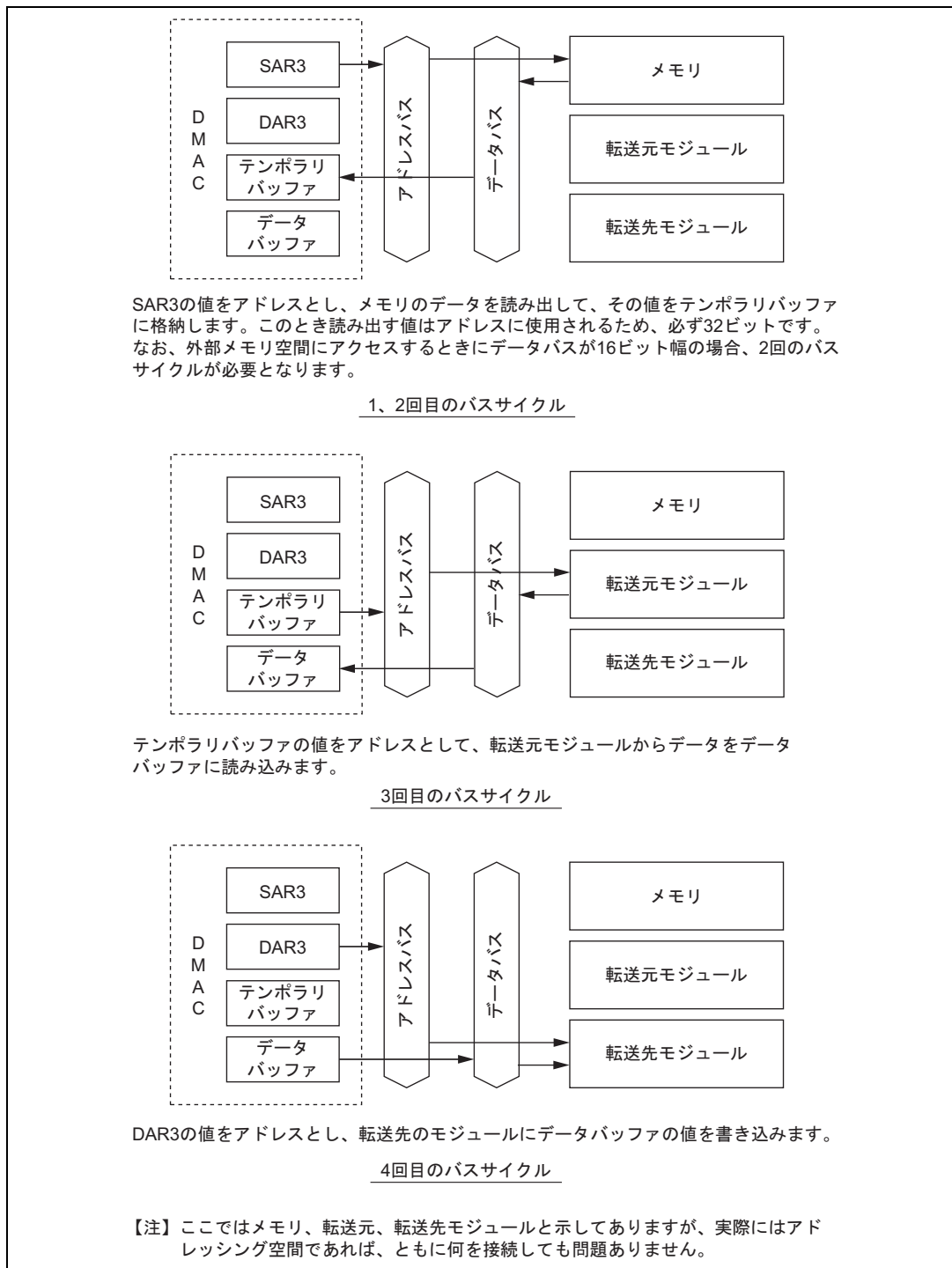


図 10.5 デュアルアドレスモード、間接アドレスの動作説明（外部メモリ空間が 16 ビット幅の場合）

10. ダイレクトメモリアクセスコントローラ (DMAC)

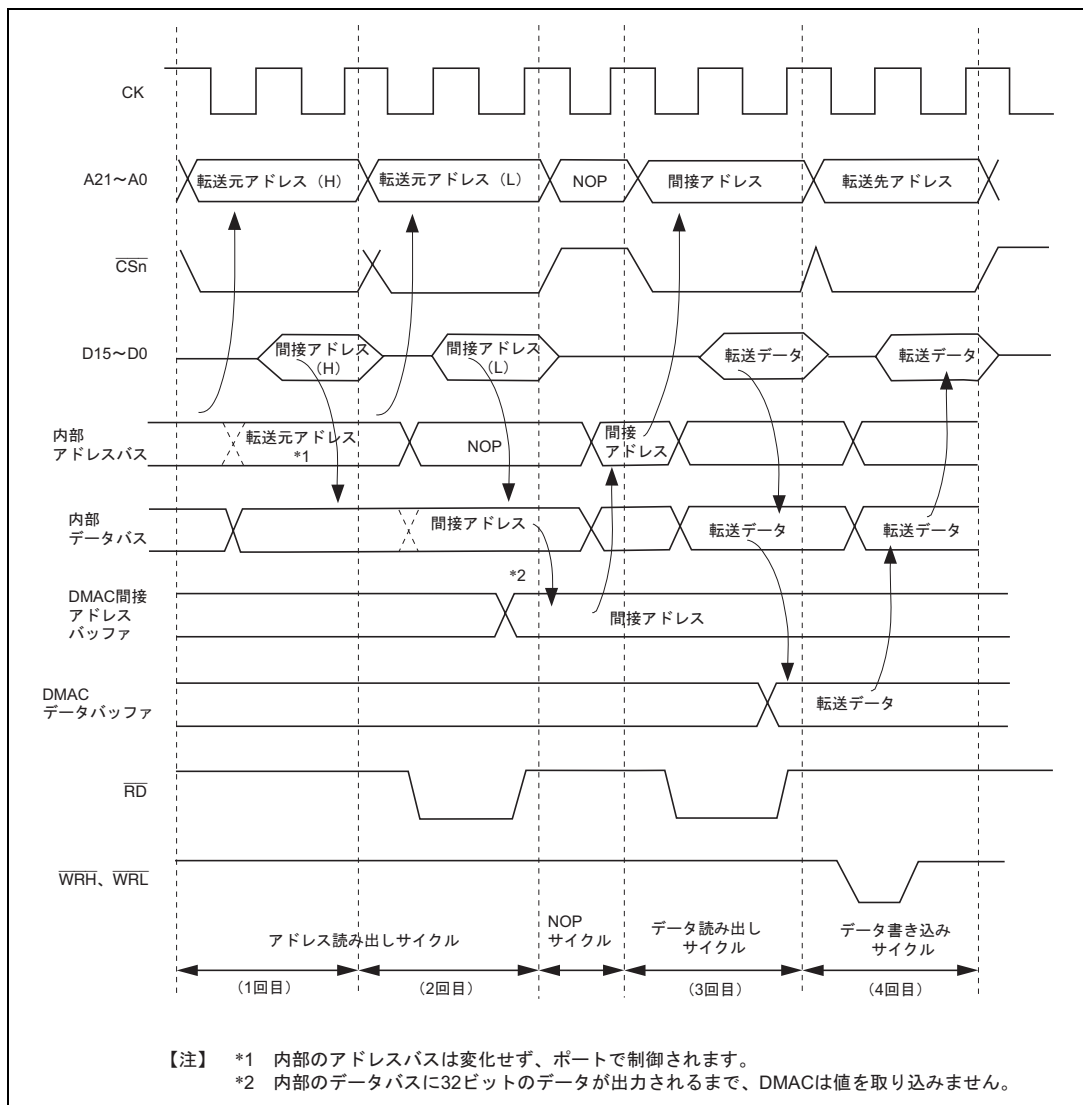


図 10.6 デュアルアドレスモード、間接アドレスでの転送タイミング例 (1)
(外部メモリ空間→外部メモリ空間 (外部メモリ空間は 16 ビット幅))

図 10.7 に間接アドレスモードで、転送元、間接アドレスの格納先が内部メモリであり、転送先が 2 サイクルアクセス空間の内蔵周辺モジュールで、転送データが 8 ビットの場合のタイミング例を示します。

間接アドレスの格納先、転送元とも内部メモリなので、これらへのアクセスは 1 サイクルで実行できます。転送先が 2 サイクルアクセス空間なので、データの書き込みサイクルが 2 サイクル必要になります。この場合でも、間接アドレスとして読み出したデータをアドレスバスに出力までに、1 回の NOP サイクルを必要とします。

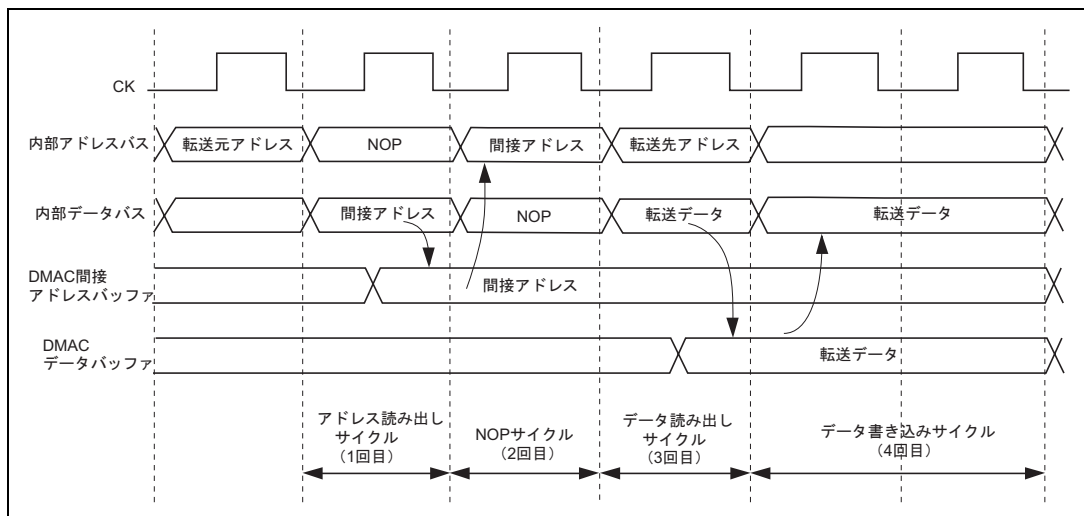


図 10.7 デュアルアドレスモード、間接アドレスでの転送タイミング例 (2)
(内部メモリ空間→内部メモリ空間)

10.3.5 バスモード

バスモードにはサイクルスチールモードとバーストモードがあります。モードの選択は CHCR0～CHCR3 の TM ビットによって行います。

(1) サイクルスチールモード

サイクルスチールモードでは、DMAC は 1 回の転送単位 (8 ビット、16 ビット、32 ビット) の転送を終了するたびにバス権を他のバスマスタに渡します。その後転送要求があれば、他のバスマスタからバス権を取り戻し、再び 1 転送単位の転送を行い、その転送を終了するとまたバス権を他のバスマスタに渡します。これを転送終了条件が満たされるまで繰り返します。

サイクルスチールモードは、転送要求元、転送元、転送先の設定によって、転送可能領域が制限を受けることはありません。

図 10.8 にサイクルスチールモードでの DMA 転送タイミング例を示します。

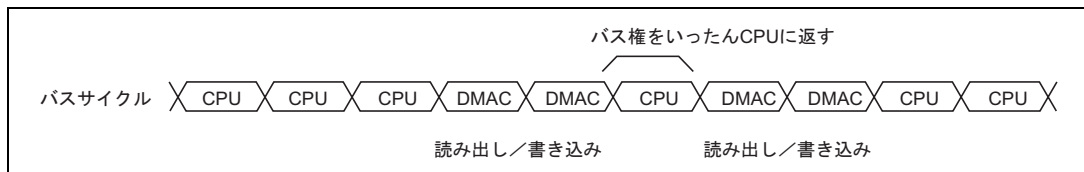


図 10.8 サイクルスチールモードでの DMA 転送例

(2) バーストモード

バーストモードでは DMAC は一度バス権を取ると、転送終了条件が満たされるまでバス権を解放せずに転送を続けます。

図 10.9 にバーストモードでの DMA 転送タイミングを示します。



図 10.9 バーストモードでの DMA 転送例

10. ダイレクトメモリアクセスコントローラ (DMAC)

(3) DMA 転送区間とリクエストモード、バスモードの関係

表 10.4 に DMA 転送区間とリクエストモード、バスモードなどの関連事項を示します。

表 10.4 DMA 転送区間とリクエストモード、バスモードなどの関連一覧

アドレスモード	転送区間	リクエストモード	バスモード	転送サイズ (ビット)	使用可能チャンネル
デュアル	外部メモリと外部メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部メモリとメモリアップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部マップト外部デバイスとメモリマップト外部デバイス	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	外部メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3
	メモリマップト外部デバイスと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	メモリマップト外部デバイスと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3
	内蔵メモリと内蔵メモリ	すべて可 ^{*1}	B/C	8/16/32	0、1、2、3
	内蔵メモリと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3
	内蔵周辺モジュールと内蔵周辺モジュール	すべて可 ^{*2}	B/C ^{*3}	8/16/32 ^{*4}	0、1、2、3

B : バースト

C : サイクルスチール

- 【注】 *1 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、内蔵周辺モジュールリクエストの場合には、SCI、HCAN0 と A/D 変換器を転送要求元に指定するものは不可。
- *2 オートリクエスト、内蔵周辺モジュールリクエストのいずれでも可能。ただし、転送要求元が SCI、HCAN0 または A/D 変換器の場合には、転送元または転送先が転送要求元と同じである必要があります。
- *3 転送要求元が SCI の場合にはサイクルスチールのみ。
- *4 転送元または転送先である内蔵周辺モジュールのレジスタで許されるアクセスサイズ。

(4) バスモードとチャンネルの優先順位

例えばチャンネル 1 がバーストモードで転送中でも、それより優先順位の高いチャンネル 0 に転送要求が発生すると、直ちにチャンネル 0 の転送を開始します。

このとき、チャンネル 0 の設定がバーストモードならチャンネル 0 の転送がすべて終了してからチャンネル 1 の転送を継続します。チャンネル 0 の設定がサイクルスチールならば、チャンネル 0 の転送要求が発生していないときのみチャンネル 1 の転送を継続し、転送要求が発生したときは、直ちにチャンネル 0 の転送を開始されます。

10.3.6 ソースアドレスリロード機能

チャンネル2はCHCR2のROビットを1にセットすることで、4回の転送ごとに、最初にソースアドレスレジスタ (SAR2) に設定した値に復帰するリロード機能があります。この動作を図 10.10 に示します。また図 10.11 に、チャンネル2のみ使用して、転送条件をバーストモード、オートリクエスト、転送データサイズ 16 ビット、SAR2 カウントアップ、DAR2 固定、リロード機能 ON とした場合のタイムチャートを示します。

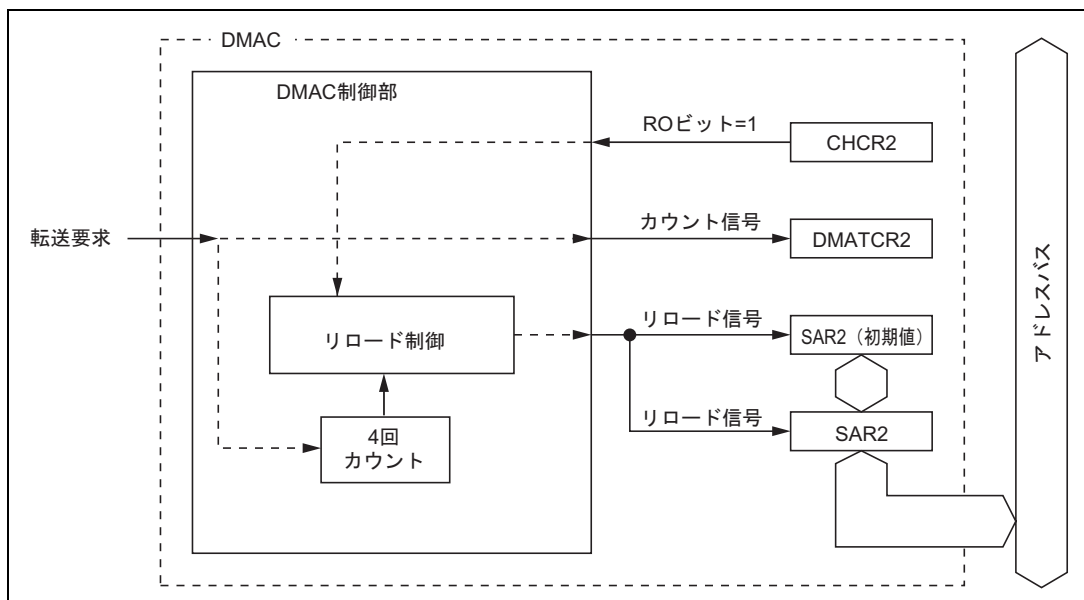


図 10.10 ソースアドレスリロード機能図

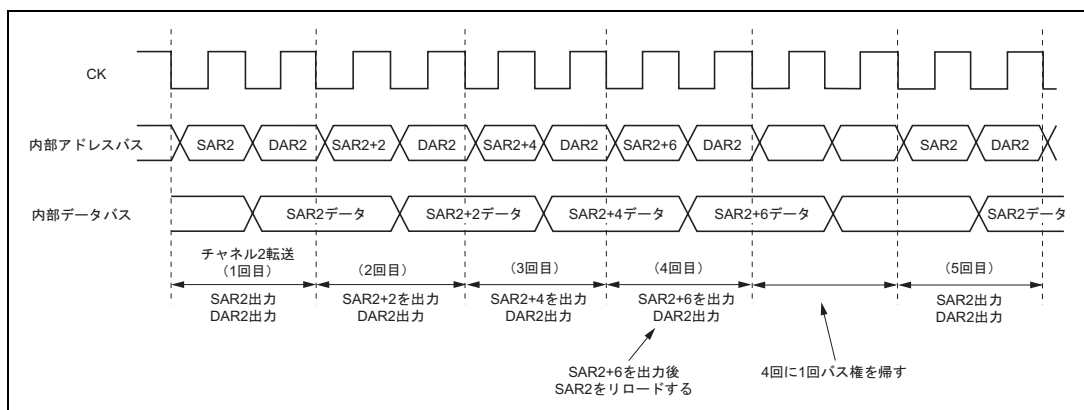


図 10.11 ソースアドレスリロード機能タイムチャート

10. ダイレクトメモリアクセスコントローラ (DMAC)

転送データサイズが 8 ビット、16 ビット、32 ビットのいずれの場合でも、リロード機能は実行可能です。

転送回数を指定する **DMATCR2** は、リロード機能のオン、オフにかかわらず、1 転送データサイズの転送終了ごとに 1 カウントダウンします。このためリロード機能をオンで使用する場合は、**DMATCR** には、必ず 4 の倍数を指定してください。それ以外の値を設定した場合の動作は保証されません。

またアドレスリロードのために 4 回転送したことをカウントしているカウンタは、リセットやソフトウェアスタンバイの他、**DMAOR** の **DME** ビットのクリア、**CHCR2** の **DE** ビットのクリア、転送終了フラグ (**CHCR2** の **TE** ビット) のセット、**NMI** 入力、**AE** フラグ (**DMAC** 転送によるアドレスエラーの発生) のセットによって初期化されますが、**SAR2**、**DAR2**、**DMATCR2** などのレジスタは初期化されません。このため、これらの要因が発生すると、**DMAC** 内部に初期化されたカウンタと、初期化されないレジスタが混在することになり、そのまま再スタートをかけると誤動作する場合があります。以上の理由から、アドレスリロード機能使用中に **TE** のセット以外の上記の要因が発生した場合は、**SAR2**、**DAR2**、**DMATCR2** の設定から実行しなおしてください。

10.3.7 DMA 転送終了

DMA 転送終了条件は、1 チャンネルずつの終了と全チャンネルの同時終了とで異なります。

(1) チャンネルごとの転送終了条件

以下のいずれかの条件が満たされると、対応するチャンネルだけが転送を終了します。

- **DMA** トランスファカウントレジスタ (**DMATCR**) の値が 0 になる。
- **DMA** チャンネルコントロールレジスタ (**CHCR**) の **DE** ビットを 0 にクリアする。

(a) **DMATCR=0** による転送終了

DMATCR の値が 0 になると、対応するチャンネルの **DMA** 転送が終了し、**CHCR** のトランスファエンドフラグビット (**TE**) がセットされます。このときインタラプトイネーブルビット (**IE**) がセットされていると、**CPU** に **DMAC** 割り込み (**DEI**) が要求されます。

(b) **CHCR** の **DE=0** による転送終了

CHCR の **DMA** イネーブルビット (**DE**) をクリアすると、対応するチャンネルの **DMA** 転送が中断されます。この場合には **TE** ビットはセットされません。

(2) 全チャンネル同時の転送終了

以下のいずれかの条件が満たされると、すべてのチャンネルが同時に転送終了します。

- **DMA** オペレーションレジスタ (**DMAOR**) の **NMI** フラグビット (**NMIF**) またはアドレスエラーフラグビット (**AE**) が 1 になる。
- **DMAOR** の **DMA** マスタイネーブルビット (**DME**) を 0 にクリアする。

(a) **DMAOR** の **NMIF=1** または **AE=1** による転送終了

NMI 割り込みまたは **DMAC** によるアドレスエラーが発生して、**DMAOR** の **NMIF** ビットまたは **AE** ビットが 1 になると、すべてのチャンネルの **DMA** 転送が中断されます。**DMAC** がバス権を獲得し、転送を実行している間にこれらのフラグが 1 にセットされた場合 **DMAC** は実行中の転送処理を終了した時点で動作を中断し、バス権を他のバスマスタに渡します。したがって転送中に **NMIF** ビットまたは **AE** ビットが 1 になっても、**DMA** ソースアドレスレジスタ (**SAR**)、**DMA** デスティネーションアドレスレジスタ (**DAR**)、**DMA** トランスファカウントレジスタ (**DMATCR**) の値は更新されません。この場合は **TE** ビットはセットされません。**NMI** 割り込み、アドレスエラー処理終了後に転送を再開するためには、**NMIF** または **AE** フラグをクリアする必要があります。その際、再起動させたくないチャンネルは、対応する **CHCR** の **DE** ビットをクリアしてください。

転送の中断は、1 転送単位の処理が終了したところで発生します。デュアルアドレスモードの直接アドレス転送で、読み出し処理中にアドレスエラー、または **NMI** フラグがセットされても、続く書

き込み処理が終了してから中断されます。この場合も、SAR、DAR、DMATCR の値の更新は行われます。同様に間接アドレス転送でも、最後の書き込み処理が終了してから中断されます。

(b) DMAOR の DME=0 による転送終了

DMAOR の DME ビットを 0 にクリアすると、全チャンネルの DMA 転送が中断されます。この場合には TE ビットはセットされません。

10.3.8 CPU からの DMAC アクセス

DMAC が割り付けられているアドレス空間は 4 サイクル空間です。したがって、CPU がバスマスタとなって DMAC をアクセスする場合の 1 バスサイクルは、最少でも内部クロック (ϕ) 4 サイクルを必要とします。また DMAC はワード空間に配置されています。したがって DMAC に対しワードサイズのアクセスを行った場合は 1 バスサイクルで終了しますが、ロングワードアクセスを行った場合は、自動的にワードアクセス 2 回に分割され、2 バスサイクル=8 内部クロックを必要とします。なお、この分割された 2 回のバスサイクルは連続で実行されます。ワードアクセスとワードアクセスの間に別のバスサイクルが挿入されることはありません。これはリードアクセスの場合もライトアクセスの場合も同様です。

10.4 使用例

10.4.1 内蔵 SCI と外部メモリとの DMA 転送例

内蔵シリアルコミュニケーションインタフェース、チャンネル 0 (SCI0) の受信データを、DMAC のチャンネル 0 を使って外部メモリに転送する例を考えます。

表 10.5 に転送条件と、各レジスタの設定値を示します。

表 10.5 内蔵 SCI と外部メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 SCI0 の RDR0	SAR0	H'FFFFFF05
転送先：外部メモリ	DAR0	H'00400000
転送回数：64 回	DMATCR0	H'00000040
転送元アドレス：固定	CHCR0	H'00020105
転送先アドレス：増加		
転送要求元：SCI0 (RDR0)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生		
DMAC マスタイネーブル ON	DMAOR	H'0001

10. ダイレクトメモリアクセスコントローラ (DMAC)

10.4.2 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)

内蔵 A/D 変換器チャンネル 1 が転送元、内蔵メモリが転送先で、アドレスリロード機能オンの場合の例を考えます。表 10.6 に転送条件と、各レジスタの設定値を示します。

表 10.6 A/D 変換器と内蔵メモリ間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：内蔵 A/D1	SAR2	H'FFFF F820
転送先：内蔵メモリ	DAR2	H'FFFF 6000
転送回数：128 回 (リロード回数 32 回)	DMATCR2	H'0000 0080
転送元アドレス：増加	CHCR2	H'010C 110D
転送先アドレス：増加		
転送要求元：A/D1		
バスモード：バースト		
転送単位：バイト		
転送終了時に割り込み要求発生		
DMAC マスタイネーブル ON		

アドレスリロードをオンにすると、4 回の転送ごとに SAR2 の値が最初に設定した値に戻ります。上記の例では、A/D1 から転送要求が入ると、まず内蔵 A/D1 の H'FFFFFF820 のレジスタからバイトサイズのデータを読み出し、内部の H'FFFF6000 番地にそのデータを書き込みます。バイトサイズの転送を行ったので、このとき点で SAR2、DAR2 の値はそれぞれ H'FFFFFF821、H'FFFF6001 となっています。またバースト転送であるため、バス権を確保したままなので、データ転送を連続して進めていきます。

4 回の転送が終了すると、アドレスリロードオフの場合はそのまま 5 回目、6 回目と転送を続けて実行し、SAR2 の値は H'FFFFFF824 → H'FFFFFF825 → H'FFFFFF826 … と増加し続けますが、アドレスリロードオンの場合は 4 回目終了すると DMAC 転送を中止し、CPU へのバス権要求信号をクリアします。このとき SAR2 内に格納されている値は H'FFFFFF823 → H'FFFFFF824 ではなく、H'FFFFFF823 → H'FFFFFF820 と最初に設定したアドレスに戻っています。DAR2 の値はアドレスリロードのオン/オフに関係なく、常に増加を続けます。

以上から DMAC 内部は 4 回目の転送が終了した時点で、アドレスリロードオンの場合とオフの場合では、以下の表に示した状態となっています。

	アドレスリロードオン	アドレスリロードオフ
SAR2	H'FFFFFF820	H'FFFFFF824
DAR2	H'FFFF6004	H'FFFF6004
DMATCR2	H'0000007C	H'0000007C
バス権	解放	保持
DMAC 動作	停止	処理続行中
割り込み	未発	未発
転送要求元フラグクリア	実行	未実行

- 【注】
1. 割り込みは、DMATCR2 の値が 0 になるまで実行し、CHCR2 の IE ビットが 1 にセットされていれば、アドレスリロードのオン/オフに関係なく発生します。
 2. 転送要求元フラグクリアは、DMATCR2 の値が 0 になるまで実行すれば、アドレスリロードのオン・オフに関係なく実行されます。
 3. アドレスリロード機能を使用する場合は、バーストモードを指定してください。サイクルスチール

モードで実行すると正常に動作しない場合があります。

4. アドレスリロード機能を使用する場合は、DMATCR2の値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。

アドレスリロードオンの状態で5回目以後の転送を実行したい場合は、再び転送要求元から、転送要求信号を発生させてください。

10.4.3 外部メモリと SCI1 送信側との DMA 転送例 (インダイレクトアドレスオン)

DMAC のチャンネル3を使用して、転送元が間接アドレス指定外部メモリで、転送先が SCI1 の送信側の場合の例を考えます。

表 10.7 に転送条件と、各レジスタの設定値を示します。

表 10.7 外部メモリと SCI1 送信側間転送の転送条件とレジスタ設定値

転送条件	レジスタ	設定値
転送元：外部メモリ	SAR3	H'00400000
H'00400000 番地に格納されている値	—	H'00450000
H'00450000 番地に格納されている値	—	H'55
転送先：内蔵 SCI1 TDR1	DAR3	H'FFFFFF0B
転送回数：10 回	DMATCR3	H'0000000A

転送条件	レジスタ	設定値
転送元アドレス：増加	CHCR3	H'10031001
転送先アドレス：固定		
転送要求元：SCI1 (TDR1)		
バスモード：サイクルスチール		
転送単位：バイト		
転送終了時に割り込み要求発生せず		
DMAC マスタイネーブル ON	DMAOR	H'0001

インダイレクトアドレスをオンにすると、SAR に設定したアドレスに格納されたデータは、転送元のデータとしては使用されません。インダイレクトアドレスの場合、SAR のアドレスに格納された値を読み出した後、その読み出した値をもう一度アドレスとして使用し、そのとき読み出された値を転送元データとして使用し、その値を DAR に指定されたアドレスに格納します。

表の例では、SCI1 の TDR1 の転送要求が発生すると、まず SAR3 にセットされている値である H'00400000 番地のアドレスを読み出しに行きます。この H'00400000 番地には H'00450000 が格納されており、DMAC はまず H'00450000 を読み出してきます。次に DMAC は、読み出した H'00450000 を再びアドレスとして使用し、H'00450000 番地に格納されている H'55 を読み出します。最後に DAR3 に指定された H'FFFFFF0B 番地に H'55 を書き込んで、1 回のインダイレクトアドレス転送が終了します。

インダイレクトアドレスでは、最初に行う SAR3 に設定されたアドレスからのデータ読み出しでは、転送データサイズの指定である TS0、TS1 ビットの指定とは無関係に、常にロングワードサイズの転送となります。ただし転送元アドレスの固定、増加、減少の指定は SM0、SM1 ビットに従います。したがって今回の例では、転送データサイズの指定がバイトサイズであるにもかかわらず、1 回の転送が終了した時点で SAR3 の値は H'00400004 となります。書き込み動作は通常のデュアルアドレス転送の書き込み動作の場合とまったく同じです。

10.5 使用上の注意

- (1) DMAオペレーションレジスタ (DMAOR) はワード (16ビット) 単位のアクセスのみ可能です。DMAOR以外のレジスタは、すべてワード (16ビット) またはロングワード (32ビット) 単位のアクセスが可能です。
- (2) CHCR0~CHCR3のRS0~RS4ビット書き換える場合は、DEビットを0にしてから書き換えてください (CHCRを書き換える場合は、あらかじめDEビットを0に設定しておいてください)。
- (3) DMACが動作していないときにNMI割り込みが入力されても、DMAORのNMIFビットはセットされます。
- (4) スタンバイモードにするときはDMAORのDMEビットを0にして、DMACが受け付けた転送要求分の処理がすべて終了してから行ってください。
- (5) 内蔵周辺モジュールのうちDMAC、BSC、UBCをDMACによりアクセスしないでください。
- (6) DMACに起動をかける場合は、CHCRの設定を最後に行ってください。それ以外のレジスタを最後に設定すると正常に動作しない場合があります。
- (7) DMATCRのカウントが0となってDMA転送が正常終了した後、同じチャンネルで最大転送回数を実行する場合でも、必ずDMATCRに0書き込みを実行してください。そうでないと正常に動作しない場合があります。
- (8) アドレスリロード機能を使用する場合、転送モードはバーストモードを指定してください。サイクルスチールモードでは正常に動作しない場合があります。
- (9) アドレスリロード機能を使用する場合、DMATCRの値は4の倍数を指定してください。それ以外を指定すると正常に動作しない場合があります。
- (10) DMACのレジスタの空きアドレスをアクセスしないでください。空きアドレスをアクセスした場合の動作は保証しません。
- (11) アドレスリロードオンでDMAC実行中にNMIF、AEのセットまたはDME、DEのクリアによりDMAC転送が中断された場合は、SAR2、DAR2、DMATCR2の設定から実行しなおしてください。そうでないと正常に動作しない場合があります。
- (12) CHCR0~CHCR3のRS0~RS4ビットを要求なしに設定したまま、DEビットを1に設定しないでください。

11. アドバンストタイマユニット-II (ATU-II)

11.1 概要

本 LSI は 1 チャンネルの 32 ビットタイマ、11 チャンネルの 16 ビットタイマにより構成されるアドバンストタイマユニット-II (ATU-II) を内蔵しています。

11.1.1 特長

ATU-II には、次のような特長があります。

- 最大65本のパルス入出力処理が可能
- プリスケーラ
 - チャンネル 0、10 への入力クロックは 1 段で分周、チャンネル 1~8、11 への入力クロックは 2 段階で分周
 - チャンネル 0~8、10、11 の初段で 1/1~1/32 のクロック分周が可能
 - チャンネル 1~8、11 は 2 段目で 1/1、1/2、1/4、1/8、1/16、1/32 の分周が可能
 - チャンネル 1~5、11 は外部クロック : TCLKA、TCLKB の選択も可能
 - チャンネル 1~5 は TI10 端子入力および TI10 端子入力の通倍 (補正) : AGCK、AGCKM の選択可能
- チャンネル0は32ビットインプットキャプチャを4本持ち、次の動作が可能
 - 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が選択可
 - キャプチャタイミングで DMAC 起動可能
 - チャンネル 10 のコンペアマッチ信号をトリガとしてキャプチャ可能
 - インターバル割り込み生成機能を持ち、選択により 3 本のインターバル割り込みを生成。CPU 割り込み、A/D 変換器 (AD0、1、2) 起動可能
 - キャプチャ割り込み、カウンタオーバフロー割り込み発生可能
- チャンネル1は16ビットアウトプットコンペアレジスタ1本、ジェネラルレジスタ8本とインプットキャプチャ専用レジスタ1本を内蔵。アウトプットコンペアレジスタはチャンネル8のダウンカウンタと組み合わせてワンショットパルスのオフセット機能として使用可能
 - ジェネラルレジスタ (GR1A~H) はインプットキャプチャまたはアウトプットコンペアレジスタとして使用可能
 - コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能
 - インプットキャプチャ機能 : 立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
 - チャンネル 0 の入力信号 (TI0A) をトリガにキャプチャ可能
 - チャンネル 8 のダウンカウンタ (DCNT8A~H) の強制遮断可能
 - コンペアマッチ割り込み/キャプチャ割り込み、カウンタオーバフロー割り込み発生可能
- チャンネル2は16ビットアウトプットコンペアレジスタを8本、ジェネラルレジスタ8本とインプットキャプチャ専用レジスタ1本を内蔵。アウトプットコンペアレジスタはチャンネル8のダウンカウンタと組み合わせてワンショットパルスのオフセット機能として使用可能
 - ジェネラルレジスタ (GR2A~H) はインプットキャプチャまたはアウトプットコンペアレジスタとして使用可能
 - コンペアマッチによる波形出力 : 0 出力、1 出力、トグル出力が選択可能

11. アドバンスタイマユニット-II (ATU-II)

- インพุットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
チャンネル0の入力信号 (TI0A) をトリガにキャプチャ可能
- チャンネル8のダウンカウンタ (DCNT8I~P) の強制遮断可能
- コンペアマッチ割り込み/キャプチャ割り込み、カウンタオーバフロー割り込み発生可能
- チャンネル3~5は、それぞれ4本のジェネラルレジスタを持ち次の動作が可能
- インพุットキャプチャ、アウトプットコンペア、PWMモードの選択が可能
- コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能。
- インพุットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- チャンネル9のコンペアマッチ信号をトリガとしてキャプチャ可能 (チャンネル3のみ)
- コンペアマッチ割り込み/キャプチャ割り込み発生可能
- チャンネル6、7は16ビットデューティレジスタ4本、サイクルレジスタ4本、バッファレジスタ4本をそれぞれ持ち、次の動作が可能
- 周期、デューティ 0~100%を任意設定可能
- デューティバッファレジスタの値を各周期ごとにデューティレジスタに転送
- 周期ごとに割り込み発生可能
- 相補 PWM 出力設定可能 (チャンネル6のみ)
- チャンネル8は16ビットワンショットパルス出力用ダウンカウンタを16本持ち、次の動作が可能
- ダウンカウンタによるワンショットパルス生成
- ダウンカウンタはカウント中も書き換え可能
- ダウンカウンタ終了時割り込み発生可能
- オフセット付きワンショットパルス生成可能
- チャンネル1、2のアウトプットコンペア機能と連動可能
- 16ビットのダウンカウンタ (DCNT8I~P) 8本にリロード設定可能
- チャンネル9は6本のイベントカウンタと6本のジェネラルレジスタを持ち、次の動作が可能
- イベントカウンタはコンペアマッチによりカウンタクリア
- 外部入力は、立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- コンペアマッチ信号をチャンネル3に入力可能
- チャンネル10は32ビットアウトプットコンペア、インพุットキャプチャレジスタ、フリーランカウンタ、16ビットフリーランカウンタ、アウトプットコンペア/インพุットキャプチャレジスタ、リロードレジスタ、8ビットイベントカウンタ、アウトプットコンペアレジスタを各1本、16ビットリロードカウンタを1本持ち、次の動作が可能
- 外部入力端子のエッジ入力キャプチャ可能
- キャプチャされた値の 1/32、1/64、1/128、1/256 倍でリロードカウント可能
- リロードカウンタのアンダフローで生成した内部クロックを 16ビットフリーランカウンタ入力として使用可能
- チャンネル1、2のフリーランカウンタのクリア可能
- チャンネル11は1本の16ビットフリーランカウンタと2本の16ビットジェネラルレジスタを持ち、次の動作が可能
- 2本のジェネラルレジスタはインพุットキャプチャ/アウトプットコンペアとして使用可能
- コンペアマッチによる波形出力：0出力、1出力、トグル出力が選択可能
- インพุットキャプチャ機能：立ち上がりエッジ、立ち下がりエッジ、両エッジ検出が可能
- ジェネラルレジスタをアウトプットコンペアレジスタとして使用することにより、APCにコンペアマッチ信号出力可能
- 内部16ビットバスに高速アクセス
- タイマカウンタ、コンペアレジスタ、キャプチャレジスタの 16ビットレジスタに対し、16ビットバスによる高速アクセスが可能。

- 75種類の割り込み要因
 - チャンネル0は入力キャプチャ割り込み×4本、オーバーフロー割り込み×1本、インターバル割り込み×1本を要求可能
 - チャンネル1、2で入力キャプチャ/コンペアマッチ兼用割り込み×16本、カウンタオーバーフロー割り込み×2本を要求可能
 - チャンネル3～5で入力キャプチャ/コンペアマッチ兼用割り込み×12本、カウンタオーバーフロー割り込み×3本を要求可能
 - チャンネル6、7はコンペアマッチ割り込み×8本を要求可能
 - チャンネル8はワンショットエンド割り込み×16本を要求可能
 - チャンネル9はコンペアマッチ割り込み×6本を要求可能
 - チャンネル10はコンペアマッチ割り込み×2本、入力キャプチャ/コンペアマッチ兼用割り込み×1本を要求可能
 - チャンネル11は入力キャプチャ/コンペアマッチ兼用割り込み×2本、オーバーフロー割り込み×1本を要求可能
- ダイレクトメモリアクセスコントローラ (DMAC) の起動可能
 - チャンネル0の入力キャプチャ割り込み (ICI0A～D) により DMAC の起動が可能
 - チャンネル6のサイクルレジスタ6のコンペアマッチ割り込み (CMI6A～D) により DMAC の起動が可能
 - チャンネル7のサイクルレジスタ7のコンペアマッチ割り込み (CMI7A～D) により DMAC の起動が可能
- A/D変換器の起動可能
 - チャンネル0のインターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) のITVA6～13の1検出により A/D 変換器の起動が可能

11. アドバンスタイマユニット-II (ATU-II)

AUT-II の機能一覧を表 11.1 に表示します。

表 11.1 ATU-II の機能一覧表

項目	チャンネル 0	チャンネル 1	チャンネル 2	チャンネル 3~5	
カ ウ ン タ 構 成	クロック	$\phi \sim \phi/32$	$(\phi \sim \phi/32) \times (1/2^n)$ (n=0~5) TCLKA、TCLKB、AGCK、AGCKM		
	カウンタ	TCNT0H、TCNT0L	TCNT1A、TCNT1B	TCNT2A、TCNT2B	TCNT3~5
	ジェネラルレジスタ	—	GR1A~ H	GR2A~H	GR3A~D、GR4A~D、GR5A~D
	インプットキャプチャ専用	ICR0AH、ICR0AL、ICR0BH、ICR0BL、ICR0CH、ICR0CL、ICR0DH、ICR0DL	OSBR1	OSBR2	—
	アウトプットコンペア専用	—	OCR1	OCR2A~H	—
PWM 出力用	—	—	—	デューティ : GR3A~C、GR4A~C、GR5A~C、 サイクル : GR3D、GR4D、GR5D	
入力端子	TIOA~D	—	—	—	
入出力端子	—	TIO1A~H	TIO2A~H	TIO3A~D、TIO4A~D、TIO5A~D	
出力端子	—	—	—	—	
カウンタクリア機能	—	—	—	○	
割り込み要因	6 要因 インターバル×1、 インプットキャプチャ×4 オーバーフロー×1	9 要因 インプットキャプチャ/ コンペアマッチ兼用×8、 オーバーフロー×1	9 要因 インプットキャプチャ/ コンペアマッチ兼用×8、 オーバーフロー×1* (* 同一ベクタ)	15 要因 インプットキャプチャ/ コンペアマッチ兼用×12、 オーバーフロー×3	
チャンネル、モジュール間連結信号	インターバルインタラプトルクエストで A/D 変換器起動 インプットキャプチャ割り込みで DMAC 起動 チャンネル 10 のコンペアマッチ信号をキャプチャトリガ入力	コンペアマッチ信号をチャンネル 8 のワンショットパルス出力用ダウンカウンタにトリガ出力、チャンネル 10 のコンペアマッチ信号をカウンタクリア入力	コンペアマッチ信号をチャンネル 8 のワンショットパルス出力用ダウンカウンタにトリガ出力、チャンネル 10 のコンペアマッチ信号をカウンタクリア入力	チャンネル 9 のコンペアマッチ信号をキャプチャのトリガに入力 (ch3 のみ)	

11. アドバンストタイムユニット-II (ATU-II)

項目	チャンネル6~7	チャンネル8	チャンネル9	チャンネル10	チャンネル11	
カウンタ構成	クロック	($\phi \sim \phi/32$) × (1/2 ⁿ) (n=0~5)	($\phi \sim \phi/32$) × (1/2 ⁿ) (n=0~5)	—	($\phi \sim \phi/32$)	($\phi \sim \phi/32$) × (1/2 ⁿ) (n=0~5) TCLKA、TCLKB
	カウンタ	TCNT6A~D、 TCNT7A~D	DCNT8A~P	ECNT9A~F	TCNT10AH、 TCNT10AL、 TCNT10B~H	TCNT11
	ジェネラルレジスタ	—	—	—	—	GR11A、GR11B
	インプットキャプチャ専用	—	—	—	ICR10AH、ICR10AL	—
	アウトプットコンペア専用	—	—	GR9A~F	GR10G、 OCR10AH、 OCR10AL、 OCR10B、NCR10、 TCCLR10	—
	PWM出力用	CYLR6A~D、 CYLR7A~D、 DTR6A~D、 DTR7A~D、 BFR6A~D、 BFR7A~D	—	—	—	—
入力端子	—	—	TI9A~F	TI10	—	
入出力端子	—	—	—	—	TIO11A、TIO11B	
出力端子	TO6A~D、TO7A~D	TO8A~P	—	—	—	
カウンタクリア機能	○	—	○	○	—	
割り込み要因	8 要因 コンペアマッチ×8	16 要因 アンドフロー×16	6 要因 コンペアマッチ×6	3 要因 コンペアマッチ×2、 インプット キャプチャ/ コンペアマッチ兼用 ×1	3 要因 インプット キャプチャ/ コンペアマッチ兼用 ×2、 オーパフロー×1	
チャンネル、モジュール間連結信号	DMAC 起動用コンペアマッチ信号出力	チャンネル 1、2 のコンペアマッチ信号をワンショットパルス出力用ダウンカウンタにトリガ入力	コンペアマッチ信号をチャンネル3のキャプチャのトリガ出力	コンペアマッチ信号をチャンネル0のキャプチャトリガ出力、チャンネル 1、2 のカウンタクリア出力	APC にコンペアマッチ信号を出力	

11.1.2 端子構成

ATU-IIの端子構成を表 11.2 に示します。これらの外部端子の機能を使用する際は、ATU-II の設定に合わせてピンファンクションコントローラ(PFC)も設定してください。

また、同機能の端子が複数ある場合は、1つの端子のみ使用するように設定してください。詳しくは、「第 21 章 ピンファンクションコントローラ (PFC) 」を参照してください。

表 11.2 ATU-II の機能一覧表

チャネル	名称	略称	入出力	機能
共通	クロック入力 A	TCLKA	入力	外部クロック A 入力端子
	クロック入力 B	TCLKB	入力	外部クロック B 入力端子
0	インプットキャプチャ 0A	TIO0A	入力	ICR0AH、ICR0AL インプットキャプチャ入力端子
	インプットキャプチャ 0B	TIO0B	入力	ICR0BH、ICR0BL インプットキャプチャ入力端子
	インプットキャプチャ 0C	TIO0C	入力	ICR0CH、ICR0CL インプットキャプチャ入力端子
	インプットキャプチャ 0D	TIO0D	入力	ICR0DH、ICR0DL インプットキャプチャ入力端子
1	インプットキャプチャ/ アウトプットコンペア 1A	TIO1A	入出力	GR1A のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1B	TIO1B	入出力	GR1B のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1C	TIO1C	入出力	GR1C のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1D	TIO1D	入出力	GR1D のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1E	TIO1E	入出力	GR1E のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1F	TIO1F	入出力	GR1F のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1G	TIO1G	入出力	GR1G のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 1H	TIO1H	入出力	GR1H のアウトプットコンペア出力/ インプットキャプチャ入力
2	インプットキャプチャ/ アウトプットコンペア 2A	TIO2A	入出力	GR2A のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2B	TIO2B	入出力	GR2B のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2C	TIO2C	入出力	GR2C のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2D	TIO2D	入出力	GR2D のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2E	TIO2E	入出力	GR2E のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2F	TIO2F	入出力	GR2F のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2G	TIO2G	入出力	GR2G のアウトプットコンペア出力/ インプットキャプチャ入力
	インプットキャプチャ/ アウトプットコンペア 2H	TIO2H	入出力	GR2H のアウトプットコンペア出力/ インプットキャプチャ入力

11. アドバンススタイマユニット-II (ATU-II)

チャンネル	名称	略称	入出力	機能
3	インプットキャプチャ/ アウトプットコンペア 3A	TIO3A	入出力	GR3A のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 3B	TIO3B	入出力	GR3B のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 3C	TIO3C	入出力	GR3C のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 3D	TIO3D	入出力	GR3D のアウトプットコンペア出力/ インプットキャプチャ入力
4	インプットキャプチャ/ アウトプットコンペア 4A	TIO4A	入出力	GR4A のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 4B	TIO4B	入出力	GR4B のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 4C	TIO4C	入出力	GR4C のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 4D	TIO4D	入出力	GR4D のアウトプットコンペア出力/ インプットキャプチャ入力
5	インプットキャプチャ/ アウトプットコンペア 5A	TIO5A	入出力	GR5A のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 5B	TIO5B	入出力	GR5B のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 5C	TIO5C	入出力	GR5C のアウトプットコンペア出力/ インプットキャプチャ入力 PWM 出力端子 (PWM モード)
	インプットキャプチャ/ アウトプットコンペア 5D	TIO5D	入出力	GR5D のアウトプットコンペア出力/ インプットキャプチャ入力
6	アウトプットコンペア 6A	TO6A	出力	PWM 出力端子
	アウトプットコンペア 6B	TO6B	出力	PWM 出力端子
	アウトプットコンペア 6C	TO6C	出力	PWM 出力端子
	アウトプットコンペア 6D	TO6D	出力	PWM 出力端子
7	アウトプットコンペア 7A	TO7A	出力	PWM 出力端子
	アウトプットコンペア 7B	TO7B	出力	PWM 出力端子
	アウトプットコンペア 7C	TO7C	出力	PWM 出力端子
	アウトプットコンペア 7D	TO7D	出力	PWM 出力端子

11. アドバンスタイマユニット-II (ATU-II)

チャンネル	名称	略称	入出力	機能
8	ワンショットパルス 8A	TO8A	出力	ワンショットパルス出力端子
	ワンショットパルス 8B	TO8B	出力	ワンショットパルス出力端子
	ワンショットパルス 8C	TO8C	出力	ワンショットパルス出力端子
	ワンショットパルス 8D	TO8D	出力	ワンショットパルス出力端子
	ワンショットパルス 8E	TO8E	出力	ワンショットパルス出力端子
	ワンショットパルス 8F	TO8F	出力	ワンショットパルス出力端子
	ワンショットパルス 8G	TO8G	出力	ワンショットパルス出力端子
	ワンショットパルス 8H	TO8H	出力	ワンショットパルス出力端子
	ワンショットパルス 8I	TO8I	出力	ワンショットパルス出力端子
	ワンショットパルス 8J	TO8J	出力	ワンショットパルス出力端子
	ワンショットパルス 8K	TO8K	出力	ワンショットパルス出力端子
	ワンショットパルス 8L	TO8L	出力	ワンショットパルス出力端子
	ワンショットパルス 8M	TO8M	出力	ワンショットパルス出力端子
	ワンショットパルス 8N	TO8N	出力	ワンショットパルス出力端子
	ワンショットパルス 8O	TO8O	出力	ワンショットパルス出力端子
	ワンショットパルス 8P	TO8P	出力	ワンショットパルス出力端子
9	イベント入力 9A	TI9A	入力	GR9A のイベント入力
	イベント入力 9B	TI9B	入力	GR9B のイベント入力
	イベント入力 9C	TI9C	入力	GR9C のイベント入力
	イベント入力 9D	TI9D	入力	GR9D のイベント入力
	イベント入力 9E	TI9E	入力	GR9E のイベント入力
	イベント入力 9F	TI9F	入力	GR9F のイベント入力
10	インプットキャプチャ	TI10	入力	ICR10AH、ICR10AL のインプットキャプチャ入力
11	インプットキャプチャ／ アウトプットコンペア 11A	TIO11A	入出力	GR11A のアウトプットコンペア出力／ インプットキャプチャ入力
	インプットキャプチャ／ アウトプットコンペア 11B	TIO11B	入出力	GR11B のアウトプットコンペア出力／ インプットキャプチャ入力

11.1.3 レジスタ構成

ATU-II のレジスタ構成を表 11.3 に示します。

表 11.3 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号		
共通	タイマスタートレジスタ 1	TSTR1	R/W	H'00	H'FFFFFF401	8、16、 32	11.2.1		
	タイマスタートレジスタ 2	TSTR2	R/W	H'00	H'FFFFFF400				
	タイマスタートレジスタ 3	TSTR3	R/W	H'00	H'FFFFFF402				
	共通	プリスケアラレジスタ 1	PSCR1	R/W	H'00	H'FFFFFF404	8	11.2.2	
		プリスケアラレジスタ 2	PSCR2	R/W	H'00	H'FFFFFF406			
		プリスケアラレジスタ 3	PSCR3	R/W	H'00	H'FFFFFF408			
		プリスケアラレジスタ 4	PSCR4	R/W	H'00	H'FFFFFF40A			
0	フリーランニングカウンタ 0H	TCNT0H	R/W	H'0000	H'FFFFFF430	32	11.2.15		
	フリーランニングカウンタ 0L	TCNT0L	R/W	H'0000					
	インプットキャプチャレジスタ 0AH	ICR0AH	R	H'0000	H'FFFFFF434	32	11.2.19		
	インプットキャプチャレジスタ 0AL	ICR0AL	R	H'0000					
	インプットキャプチャレジスタ 0BH	ICR0BH	R	H'0000	H'FFFFFF438				
	インプットキャプチャレジスタ 0BL	ICR0BL	R	H'0000	H'FFFFFF43C				
	インプットキャプチャレジスタ 0CH	ICR0CH	R	H'0000					
	インプットキャプチャレジスタ 0CL	ICR0CL	R	H'0000					
	インプットキャプチャレジスタ 0DH	ICR0DH	R	H'0000	H'FFFFFF420				
	インプットキャプチャレジスタ 0DL	ICR0DL	R	H'0000					
	タイマインターバルインタラプトリクエストレジスタ 1	ITVRR1	R/W	H'00	H'FFFFFF424			8	11.2.7
	タイマインターバルインタラプトリクエストレジスタ 2A	ITVRR2A	R/W	H'00	H'FFFFFF426				
	タイマインターバルインタラプトリクエストレジスタ 2B	ITVRR2B	R/W	H'00	H'FFFFFF428				
	タイマ I/O コントロールレジスタ	TIOR0	R/W	H'00	H'FFFFFF42A				
0	タイマステータスレジスタ 0	TSR0	R/(W)*	H'0000	H'FFFFFF42C			16	11.2.5
	タイマインタラプトイネーブルレジスタ 0	TIER0	R/W	H'0000	H'FFFFFF42E				11.2.6
1	フリーランニングカウンタ 1A	TCNT1A	R/W	H'0000	H'FFFFFF440	16	11.2.15		
	フリーランニングカウンタ 1B	TCNT1B	R/W	H'0000				H'FFFFFF442	
	ジェネラルレジスタ 1A	GR1A	R/W	H'FFFF	H'FFFFFF444		11.2.20		
	ジェネラルレジスタ 1B	GR1B	R/W	H'FFFF	H'FFFFFF446				
	ジェネラルレジスタ 1C	GR1C	R/W	H'FFFF	H'FFFFFF448				
	ジェネラルレジスタ 1D	GR1D	R/W	H'FFFF	H'FFFFFF44A				

11. アドバンスタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号	
1	ジェネラルレジスタ 1E	GR1E	R/W	H'FFFF	H'FFFFFF44C	16	11.2.20	
	ジェネラルレジスタ 1F	GR1F	R/W	H'FFFF	H'FFFFFF44E			
	ジェネラルレジスタ 1G	GR1G	R/W	H'FFFF	H'FFFFFF450			
	ジェネラルレジスタ 1H	GR1H	R/W	H'FFFF	H'FFFFFF452			
	アウトプットコンペアレジスタ 1	OCR1	R/W	H'FFFF	H'FFFFFF454			11.2.18
	オフセットベースレジスタ 1	OSBR1	R	H'0000	H'FFFFFF456			11.2.21
	タイマ I/O コントロールレジスタ 1A	TIOR1A	R/W	H'00	H'FFFFFF459	8、16	11.2.4	
	タイマ I/O コントロールレジスタ 1B	TIOR1B	R/W	H'00	H'FFFFFF458			
	タイマ I/O コントロールレジスタ 1C	TIOR1C	R/W	H'00	H'FFFFFF45B			
	タイマ I/O コントロールレジスタ 1D	TIOR1D	R/W	H'00	H'FFFFFF45A			
	タイマコントロールレジスタ 1A	TCR1A	R/W	H'00	H'FFFFFF45D			11.2.3
	タイマコントロールレジスタ 1B	TCR1B	R/W	H'00	H'FFFFFF45C			
	タイマステータスレジスタ 1A	TSR1A	R/(W)*	H'0000	H'FFFFFF45E	16	11.2.5	
	タイマステータスレジスタ 1B	TSR1B	R/(W)*	H'0000	H'FFFFFF460			
タイマインタラプトイネーブルレジスタ 1A	TIER1A	R/W	H'0000	H'FFFFFF462	11.2.6			
タイマインタラプトイネーブルレジスタ 1B	TIER1B	R/W	H'0000	H'FFFFFF464				
トリガモードレジスタ	TRGMDR	R/W	H'00	H'FFFFFF466	8	11.2.8		
2	フリーランニングカウンタ 2A	TCNT2A	R/W	H'0000	H'FFFFFF600	16	11.2.15	
	フリーランニングカウンタ 2B	TCNT2B	R/W	H'0000	H'FFFFFF602			
	ジェネラルレジスタ 2A	GR2A	R/W	H'FFFF	H'FFFFFF604			11.2.20
	ジェネラルレジスタ 2B	GR2B	R/W	H'FFFF	H'FFFFFF606			
	ジェネラルレジスタ 2C	GR2C	R/W	H'FFFF	H'FFFFFF608			
	ジェネラルレジスタ 2D	GR2D	R/W	H'FFFF	H'FFFFFF60A			
	ジェネラルレジスタ 2E	GR2E	R/W	H'FFFF	H'FFFFFF60C			
	ジェネラルレジスタ 2F	GR2F	R/W	H'FFFF	H'FFFFFF60E			
	ジェネラルレジスタ 2G	GR2G	R/W	H'FFFF	H'FFFFFF610			
	ジェネラルレジスタ 2H	GR2H	R/W	H'FFFF	H'FFFFFF612			
	アウトプットコンペアレジスタ 2A	OCR2A	R/W	H'FFFF	H'FFFFFF614			11.2.18
	アウトプットコンペアレジスタ 2B	OCR2B	R/W	H'FFFF	H'FFFFFF616			
	アウトプットコンペアレジスタ 2C	OCR2C	R/W	H'FFFF	H'FFFFFF618			
	アウトプットコンペアレジスタ 2D	OCR2D	R/W	H'FFFF	H'FFFFFF61A			
アウトプットコンペアレジスタ 2E	OCR2E	R/W	H'FFFF	H'FFFFFF61C				
アウトプットコンペアレジスタ 2F	OCR2F	R/W	H'FFFF	H'FFFFFF61E				

11. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号
2	アウトプットコンペアレジスタ 2G	OCR2G	R/W	H'FFFF	H'FFFFFF620	16	11.2.18
	アウトプットコンペアレジスタ 2H	OCR2H	R/W	H'FFFF	H'FFFFFF622		
	オフセットベースレジスタ 2	OSBR2	R	H'0000	H'FFFFFF624		
	タイマ I/O コントロールレジスタ 2A	TIOR2A	R/W	H'00	H'FFFFFF627	8、16	11.2.4
	タイマ I/O コントロールレジスタ 2B	TIOR2B	R/W	H'00	H'FFFFFF626		
	タイマ I/O コントロールレジスタ 2C	TIOR2C	R/W	H'00	H'FFFFFF629		
	タイマ I/O コントロールレジスタ 2D	TIOR2D	R/W	H'00	H'FFFFFF628		
	タイマコントロールレジスタ 2A	TCR2A	R/W	H'00	H'FFFFFF62B	11.2.3	11.2.3
	タイマコントロールレジスタ 2B	TCR2B	R/W	H'00	H'FFFFFF62A		
	タイマステータスレジスタ 2A	TSR2A	R/(W)*	H'0000	H'FFFFFF62C	16	11.2.5
	タイマステータスレジスタ 2B	TSR2B	R/(W)*	H'0000	H'FFFFFF62E		11.2.6
	タイマインタラプトイネーブル レジスタ 2A	TIER2A	R/W	H'0000	H'FFFFFF630	11.2.6	11.2.6
	タイマインタラプトイネーブル レジスタ 2B	TIER2B	R/W	H'0000	H'FFFFFF632		
3、4、5 共通	タイマステータスレジスタ 3	TSR3	R/(W)*	H'0000	H'FFFFFF480	16	11.2.5
	タイマインタラプトイネーブル レジスタ 3	TIER3	R/W	H'0000	H'FFFFFF482		11.2.6
	タイマモードレジスタ	TMDR	R/W	H'00	H'FFFFFF484	8	11.2.9
3	フリーランニングカウンタ 3	TCNT3	R/W	H'0000	H'FFFFFF4A0	16	11.2.15
	ジェネラルレジスタ 3A	GR3A	R/W	H'FFFF	H'FFFFFF4A2		11.2.20
	ジェネラルレジスタ 3B	GR3B	R/W	H'FFFF	H'FFFFFF4A4		
	ジェネラルレジスタ 3C	GR3C	R/W	H'FFFF	H'FFFFFF4A6		
	ジェネラルレジスタ 3D	GR3D	R/W	H'FFFF	H'FFFFFF4A8		
	タイマ I/O コントロールレジスタ 3A	TIOR3A	R/W	H'00	H'FFFFFF4AB	8、16	11.2.4
	タイマ I/O コントロールレジスタ 3B	TIOR3B	R/W	H'00	H'FFFFFF4AA		
タイマコントロールレジスタ 3	TCR3	R/W	H'00	H'FFFFFF4AC	8	11.2.3	
4	フリーランニングカウンタ 4	TCNT4	R/W	H'0000	H'FFFFFF4C0	16	11.2.15
	ジェネラルレジスタ 4A	GR4A	R/W	H'FFFF	H'FFFFFF4C2		11.2.20
	ジェネラルレジスタ 4B	GR4B	R/W	H'FFFF	H'FFFFFF4C4		
	ジェネラルレジスタ 4C	GR4C	R/W	H'FFFF	H'FFFFFF4C6		
	ジェネラルレジスタ 4D	GR4D	R/W	H'FFFF	H'FFFFFF4C8		
	タイマ I/O コントロールレジスタ 4A	TIOR4A	R/W	H'00	H'FFFFFF4CB	8、16	11.2.4
	タイマ I/O コントロールレジスタ 4B	TIOR4B	R/W	H'00	H'FFFFFF4CA		
タイマコントロールレジスタ 4	TCR4	R/W	H'00	H'FFFFFF4CC	8	11.2.3	

11. アドバンスタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号	
5	フリーランニングカウンタ 5	TCNT5	R/W	H'0000	H'FFFFFF4E0	16	11.2.15	
	ジェネラルレジスタ 5A	GR5A	R/W	H'FFFF	H'FFFFFF4E2			11.2.20
	ジェネラルレジスタ 5B	GR5B	R/W	H'FFFF	H'FFFFFF4E4			
	ジェネラルレジスタ 5C	GR5C	R/W	H'FFFF	H'FFFFFF4E6			
	ジェネラルレジスタ 5D	GR5D	R/W	H'FFFF	H'FFFFFF4E8			
	タイマ I/O コントロールレジスタ 5A	TIOR5A	R/W	H'00	H'FFFFFF4EB	8、16	11.2.4	
	タイマ I/O コントロールレジスタ 5B	TIOR5B	R/W	H'00	H'FFFFFF4EA			
タイマコントロールレジスタ 5	TCR5	R/W	H'00	H'FFFFFF4EC	8	11.2.3		
6	フリーランニングカウンタ 6A	TCNT6A	R/W	H'0001	H'FFFFFF500	16	11.2.15	
	フリーランニングカウンタ 6B	TCNT6B	R/W	H'0001	H'FFFFFF502			
	フリーランニングカウンタ 6C	TCNT6C	R/W	H'0001	H'FFFFFF504			
	フリーランニングカウンタ 6D	TCNT6D	R/W	H'0001	H'FFFFFF506			
	サイクルレジスタ 6A	CYLR6A	R/W	H'FFFF	H'FFFFFF508			11.2.22
	サイクルレジスタ 6B	CYLR6B	R/W	H'FFFF	H'FFFFFF50A			
	サイクルレジスタ 6C	CYLR6C	R/W	H'FFFF	H'FFFFFF50C			
	サイクルレジスタ 6D	CYLR6D	R/W	H'FFFF	H'FFFFFF50E			
	バッファレジスタ 6A	BFR6A	R/W	H'FFFF	H'FFFFFF510			11.2.23
	バッファレジスタ 6B	BFR6B	R/W	H'FFFF	H'FFFFFF512			
	バッファレジスタ 6C	BFR6C	R/W	H'FFFF	H'FFFFFF514			
	バッファレジスタ 6D	BFR6D	R/W	H'FFFF	H'FFFFFF516			
	デューティレジスタ 6A	DTR6A	R/W	H'FFFF	H'FFFFFF518			11.2.24
	デューティレジスタ 6B	DTR6B	R/W	H'FFFF	H'FFFFFF51A			
	デューティレジスタ 6C	DTR6C	R/W	H'FFFF	H'FFFFFF51C			
	デューティレジスタ 6D	DTR6D	R/W	H'FFFF	H'FFFFFF51E			
	タイマコントロールレジスタ 6A	TCR6A	R/W	H'00	H'FFFFFF521	8、16	11.2.3	
	タイマコントロールレジスタ 6B	TCR6B	R/W	H'00	H'FFFFFF520			
	タイマステータスレジスタ 6	TSR6	R/(W)*	H'0000	H'FFFFFF522	16	11.2.5	
	タイマインタラプトイネーブルレジスタ 6	TIER6	R/W	H'0000	H'FFFFFF524		11.2.6	
PWM モードレジスタ	PMDR	R/W	H'00	H'FFFFFF526	8	11.2.10		
7	フリーランニングカウンタ 7A	TCNT7A	R/W	H'0001	H'FFFFFF580	16	11.2.15	
	フリーランニングカウンタ 7B	TCNT7B	R/W	H'0001	H'FFFFFF582			
	フリーランニングカウンタ 7C	TCNT7C	R/W	H'0001	H'FFFFFF584			
	フリーランニングカウンタ 7D	TCNT7D	R/W	H'0001	H'FFFFFF586			
	サイクルレジスタ 7A	CYLR7A	R/W	H'FFFF	H'FFFFFF588			11.2.22
	サイクルレジスタ 7B	CYLR7B	R/W	H'FFFF	H'FFFFFF58A			
	サイクルレジスタ 7C	CYLR7C	R/W	H'FFFF	H'FFFFFF58C			
	サイクルレジスタ 7D	CYLR7D	R/W	H'FFFF	H'FFFFFF58E			
	バッファレジスタ 7A	BFR7A	R/W	H'FFFF	H'FFFFFF590			11.2.23
	バッファレジスタ 7B	BFR7B	R/W	H'FFFF	H'FFFFFF592			
	バッファレジスタ 7C	BFR7C	R/W	H'FFFF	H'FFFFFF594			

11. アドバンストタイムユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号		
7	バッファレジスタ 7D	BFR7D	R/W	H'FFFF	H'FFFFFF596	16	11.2.23		
	デューティレジスタ 7A	DTR7A	R/W	H'FFFF	H'FFFFFF598			11.2.24	
	デューティレジスタ 7B	DTR7B	R/W	H'FFFF	H'FFFFFF59A				
	デューティレジスタ 7C	DTR7C	R/W	H'FFFF	H'FFFFFF59C				
	デューティレジスタ 7D	DTR7D	R/W	H'FFFF	H'FFFFFF59E				
	タイマコントロールレジスタ 7A	TCR7A	R/W	H'00	H'FFFFFF5A1	8、16	11.2.3		
	タイマコントロールレジスタ 7B	TCR7B	R/W	H'00	H'FFFFFF5A0				
	タイマステータスレジスタ 7	TSR7	R/(W)*	H'0000	H'FFFFFF5A2	16	11.2.5		
タイマインタラプトイネーブル レジスタ 7	TIER7	R/W	H'0000	H'FFFFFF5A4	11.2.6				
8	ダウンカウンタ 8A	DCNT8A	R/W	H'0000	H'FFFFFF640	16	11.2.16		
	ダウンカウンタ 8B	DCNT8B	R/W	H'0000	H'FFFFFF642				
	ダウンカウンタ 8C	DCNT8C	R/W	H'0000	H'FFFFFF644				
	ダウンカウンタ 8D	DCNT8D	R/W	H'0000	H'FFFFFF646				
	ダウンカウンタ 8E	DCNT8E	R/W	H'0000	H'FFFFFF648				
	ダウンカウンタ 8F	DCNT8F	R/W	H'0000	H'FFFFFF64A				
	ダウンカウンタ 8G	DCNT8G	R/W	H'0000	H'FFFFFF64C				
	ダウンカウンタ 8H	DCNT8H	R/W	H'0000	H'FFFFFF64E				
	ダウンカウンタ 8I	DCNT8I	R/W	H'0000	H'FFFFFF650				
	ダウンカウンタ 8J	DCNT8J	R/W	H'0000	H'FFFFFF652				
	ダウンカウンタ 8K	DCNT8K	R/W	H'0000	H'FFFFFF654				
	ダウンカウンタ 8L	DCNT8L	R/W	H'0000	H'FFFFFF656				
	ダウンカウンタ 8M	DCNT8M	R/W	H'0000	H'FFFFFF658				
	ダウンカウンタ 8N	DCNT8N	R/W	H'0000	H'FFFFFF65A				
	ダウンカウンタ 8O	DCNT8O	R/W	H'0000	H'FFFFFF65C				
	ダウンカウンタ 8P	DCNT8P	R/W	H'0000	H'FFFFFF65E				
	リロードレジスタ 8	RLDR8	R/W	H'0000	H'FFFFFF660				11.2.25
	タイマコネクショレジスタ	TCNR	R/W	H'0000	H'FFFFFF662				11.2.12
	ワンショットパルスターミネー トレジスタ	OTR	R/W	H'0000	H'FFFFFF664				11.2.13
	ダウンカウントスタートレジ スタ	DSTR	R/W	H'0000	H'FFFFFF666		11.2.11		
	タイマコントロールレジスタ 8	TCR8	R/W	H'00	H'FFFFFF668	8	11.2.3		
	タイマステータスレジスタ 8	TSR8	R/(W)*	H'0000	H'FFFFFF66A	16	11.2.5		
	タイマインタラプトイネーブル レジスタ 8	TIER8	R/W	H'0000	H'FFFFFF66C		11.2.6		
リロードイネーブルレジスタ	RLDENR	R/W	H'00	H'FFFFFF66E	8	11.2.14			
9	イベントカウンタ 9A	ECNT9A	R/W	H'00	H'FFFFFF680	8	11.2.17		
	イベントカウンタ 9B	ECNT9B	R/W	H'00	H'FFFFFF682				
	イベントカウンタ 9C	ECNT9C	R/W	H'00	H'FFFFFF684				
	イベントカウンタ 9D	ECNT9D	R/W	H'00	H'FFFFFF686				
	イベントカウンタ 9E	ECNT9E	R/W	H'00	H'FFFFFF688				
	イベントカウンタ 9F	ECNT9F	R/W	H'00	H'FFFFFF68A				

11. アドバンスタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号
9	ジェネラルレジスタ 9A	GR9A	R/W	H'FF	H'FFFFFF68C	8	11.2.20
	ジェネラルレジスタ 9B	GR9B	R/W	H'FF	H'FFFFFF68E		
	ジェネラルレジスタ 9C	GR9C	R/W	H'FF	H'FFFFFF690		
	ジェネラルレジスタ 9D	GR9D	R/W	H'FF	H'FFFFFF692		
	ジェネラルレジスタ 9E	GR9E	R/W	H'FF	H'FFFFFF694		
	ジェネラルレジスタ 9F	GR9F	R/W	H'FF	H'FFFFFF696		
	タイマコントロールレジスタ 9A	TCR9A	R/W	H'00	H'FFFFFF698	8	11.2.3
	タイマコントロールレジスタ 9B	TCR9B	R/W	H'00	H'FFFFFF69A		
	タイマコントロールレジスタ 9C	TCR9C	R/W	H'00	H'FFFFFF69C		
	タイマステータスレジスタ 9	TSR9	R/(W)*	H'0000	H'FFFFFF69E	16	11.2.5
タイマイントラプトイネーブル レジスタ 9	TIER9	R/W	H'0000	H'FFFFFF6A0	11.2.6		
10	フリーランニングカウンタ 10AH	TCNT10A H	R/W	H'0000	H'FFFFFF6C0	32	11.2.26
	フリーランニングカウンタ 10AL	TCNT10A L	R/W	H'0001			
	イベントカウンタ 10B	TCNT10B	R/W	H'00	H'FFFFFF6C4	8	
	リロードカウンタ 10C	TCNT10C	R/W	H'0001	H'FFFFFF6C6	16	
	補正カウンタ 10D	TCNT10D	R/W	H'00	H'FFFFFF6C8	8	
	補正カウンタ 10E	TCNT10E	R/W	H'0000	H'FFFFFF6CA	16	
	補正カウンタ 10F	TCNT10F	R/W	H'0001	H'FFFFFF6CC		
	フリーランニングカウンタ 10G	TCNT10G	R/W	H'0000	H'FFFFFF6CE	32	
	インプットキャプチャレジスタ 10AH	ICR10AH	R	H'0000	H'FFFFFF6D0		
	インプットキャプチャレジスタ 10AL	ICR10AL	R	H'0000			
	アウトプットコンペアレジスタ 10AH	OCR10A H	R/W	H'FFFF	H'FFFFFF6D4		
	アウトプットコンペアレジスタ 10AL	OCR10AL	R/W	H'FFFF			
	アウトプットコンペアレジスタ 10B	OCR10B	R/W	H'FF	H'FFFFFF6D8		
	リロードレジスタ 10C	RLD10C	R/W	H'0000	H'FFFFFF6DA	16	
	ジェネラルレジスタ 10G	GR10G	R/W	H'FFFF	H'FFFFFF6DC	8	
	ノイズキャンセラカウンタ 10H	TCNT10H	R/W	H'00	H'FFFFFF6DE		
	ノイズキャンセラレジスタ 10	NCR10	R/W	H'FF	H'FFFFFF6E0		
	タイマI/Oコントロールレジスタ 10	TIOR10	R/W	H'00	H'FFFFFF6E2		
	タイマコントロールレジスタ 10	TCR10	R/W	H'00	H'FFFFFF6E4	16	
	補正カウンタクリアレジスタ 10	TCCLR10	R/W	H'0000	H'FFFFFF6E6		
	タイマステータスレジスタ 10	TSR10	R/(W)*	H'0000	H'FFFFFF6E8		
	タイマイントラプトイネーブル レジスタ 10	TIER10	R/W	H'0000	H'FFFFFF6EA		

11. アドバンスドタイマユニット-II (ATU-II)

チャンネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ	章番号
11	フリーランニングカウンタ 11	TCNT11	R/W	H'0000	H'FFFFFF5C0	16	11.2.15
	ジェネラルレジスタ 11A	GR11A	R/W	H'FFFF	H'FFFFFF5C2		11.2.20
	ジェネラルレジスタ 11B	GR11B	R/W	H'FFFF	H'FFFFFF5C4		
	タイマ I/O コントロールレジスタ 11	TIOR11	R/W	H'00	H'FFFFFF5C6	8	11.2.4
	タイマコントロールレジスタ 11	TCR11	R/W	H'00	H'FFFFFF5C8		11.2.3
	タイマステータスレジスタ 11	TSR11	R/(W)*	H'0000	H'FFFFFF5CA	16	11.2.5
	タイマインタラプトイネーブルレジスタ 11	TIER11	R/W	H'0000	H'FFFFFF5CC		11.2.6

【注】 * リード後に 0 ライト可能

11. アドバンスタイマユニット-II (ATU-II)

11.1.4 ブロック図

(1) ATU-II のブロック図 (全体図)

ATU-II のブロック図 (全体図) を図 11.1 に示します。

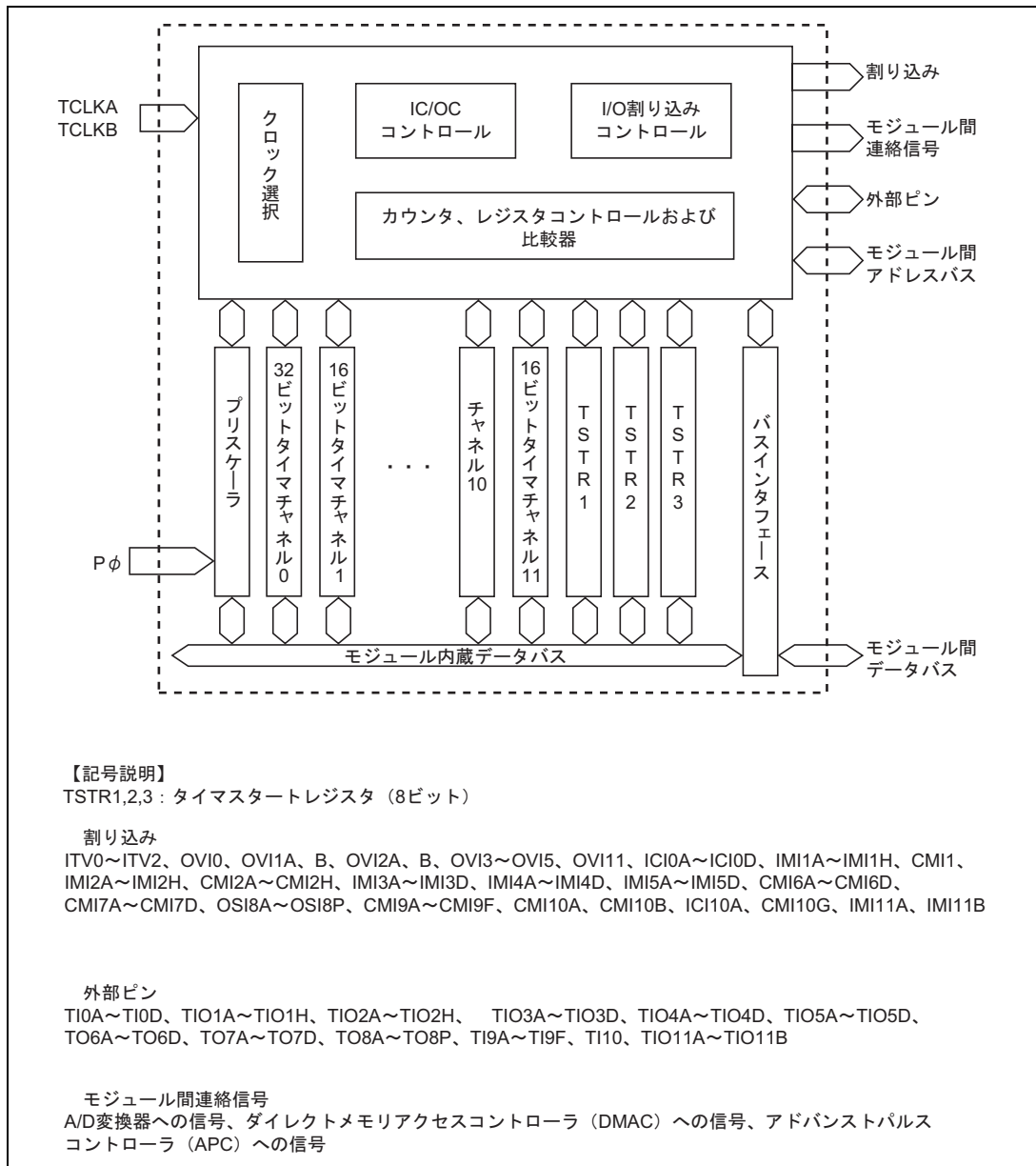


図 11.1 ATU-II のブロック図 (全体図)

(2) チャンネル0のブロック図

ATU-IIのチャンネル0のブロック図を図11.2に示します。

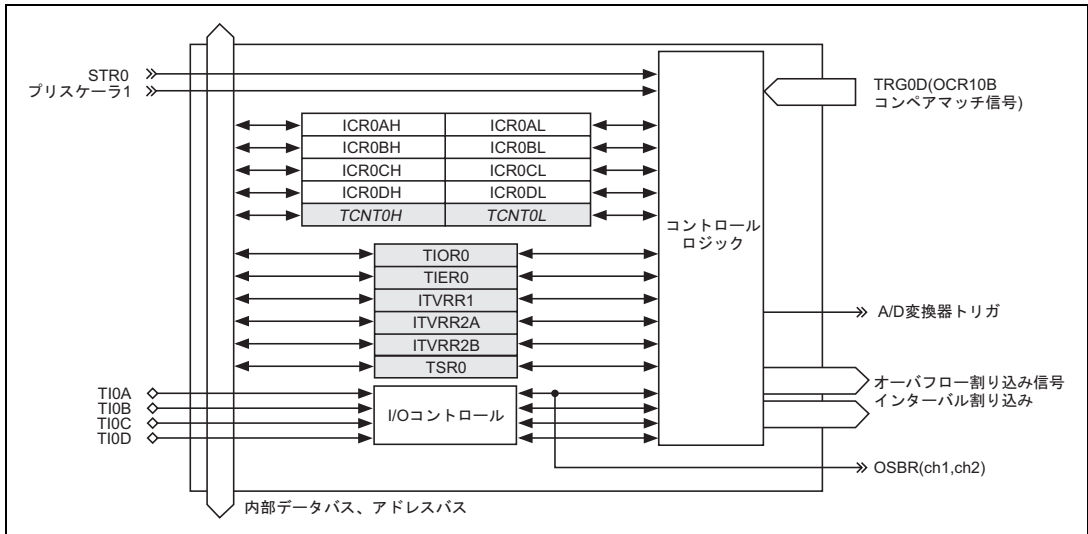


図 11.2 チャンネル0 ブロック図

11. アドバンスタイマユニット-II (ATU-II)

(3) チャンネル1のブロック図

ATU-IIのチャンネル1のブロック図を図11.3に示します。

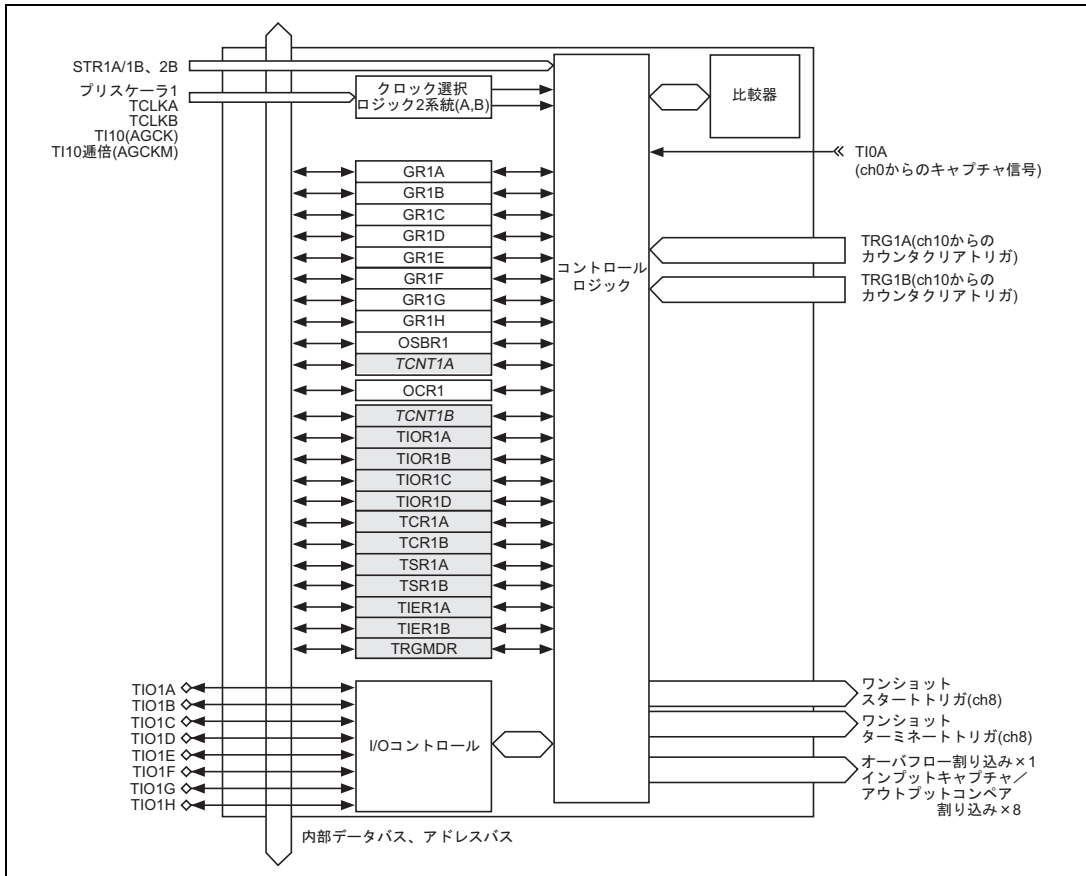


図 11.3 チャンネル1 ブロック図

(4) チャンネル2のブロック図

ATU-IIのチャンネル2のブロック図を図11.4に示します。

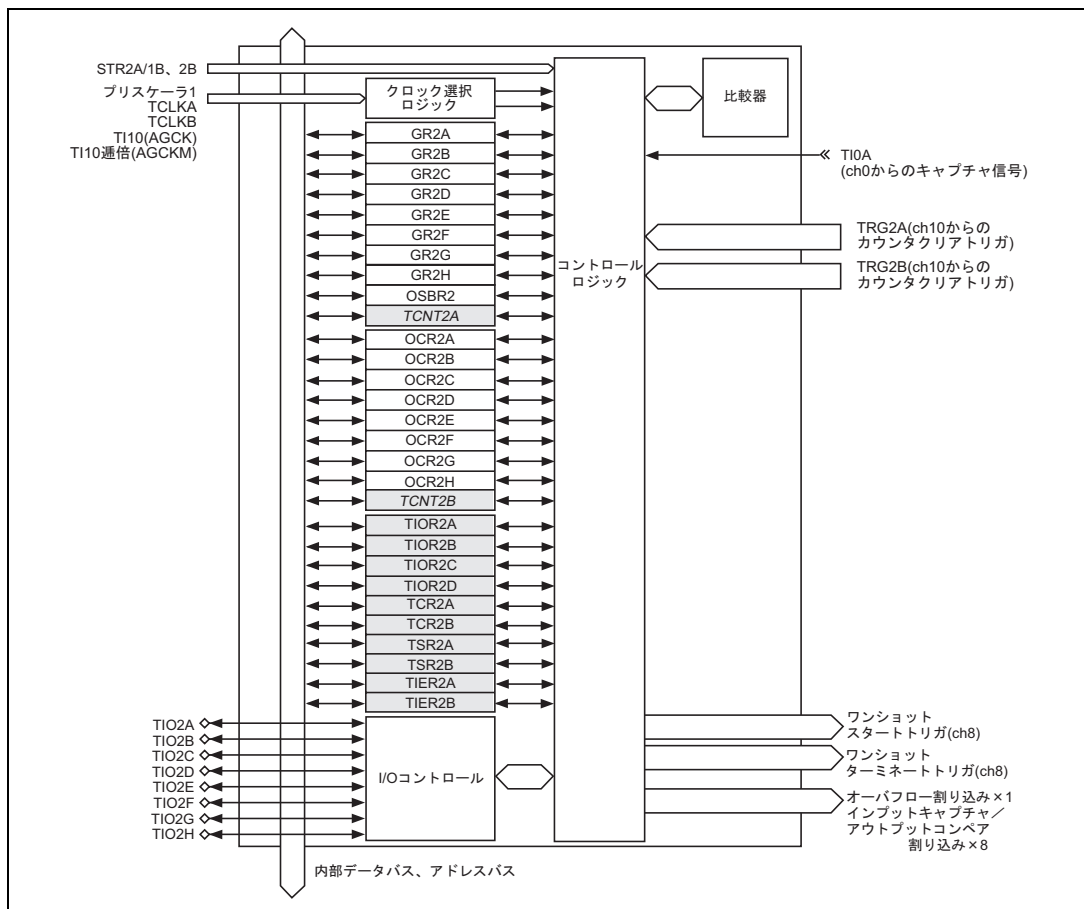


図 11.4 チャンネル2 ブロック図

11. アドバンスタイマユニット-II (ATU-II)

(5) チャンネル 3~5 のブロック図

ATU-II のチャンネル 3、4、5 のブロック図を図 11.5 に示します。

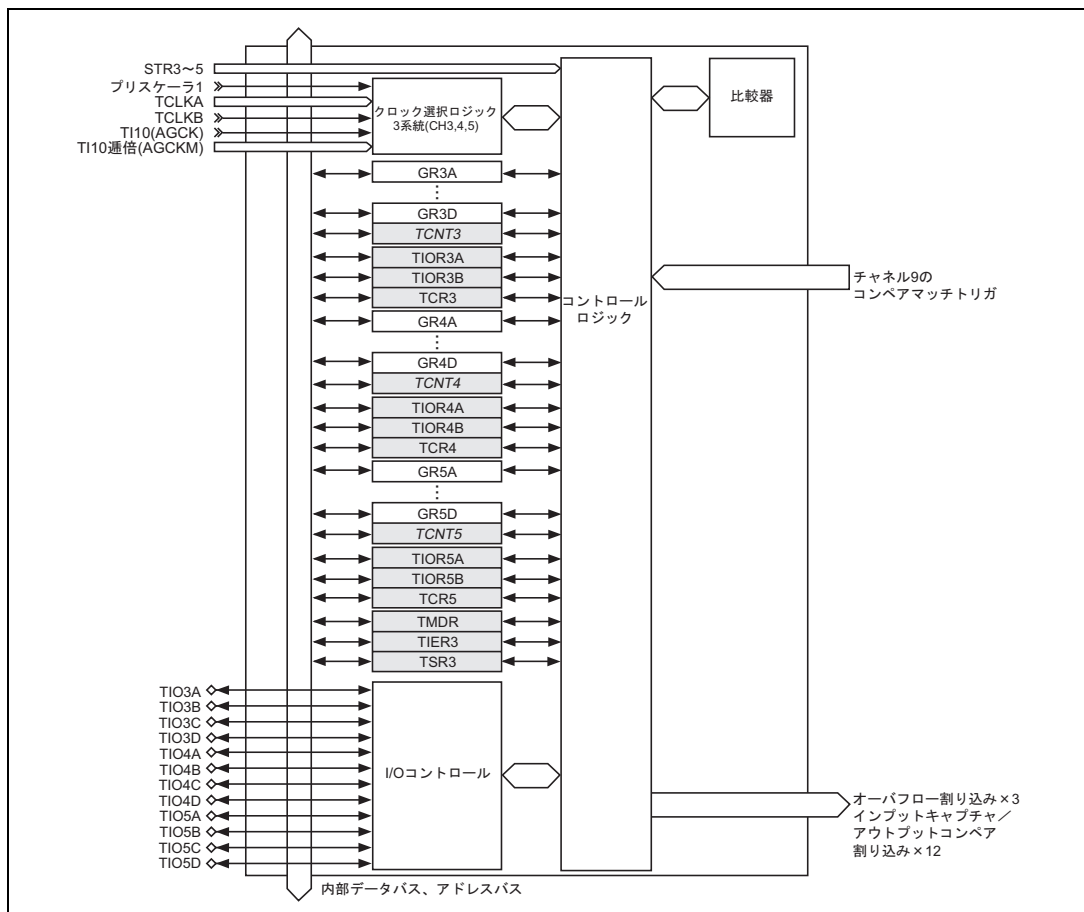


図 11.5 チャンネル 3~5 ブロック図

(6) チャンネル6~7のブロック図

ATU-IIのチャンネル6、7のブロック図を図11.6に示します。

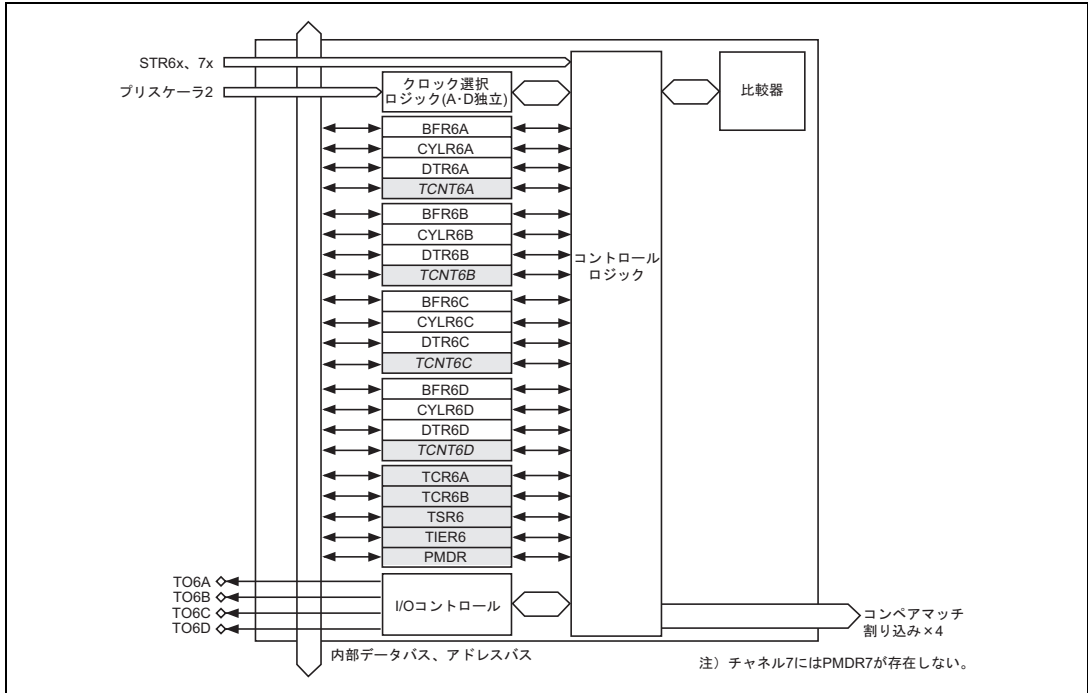


図 11.6 チャンネル6、7 ブロック図

11. アドバンスタイマユニット-II (ATU-II)

(7) チャンネル 8 のブロック図

ATU-II のチャンネル 8 のブロック図を図 11.7 に示します。

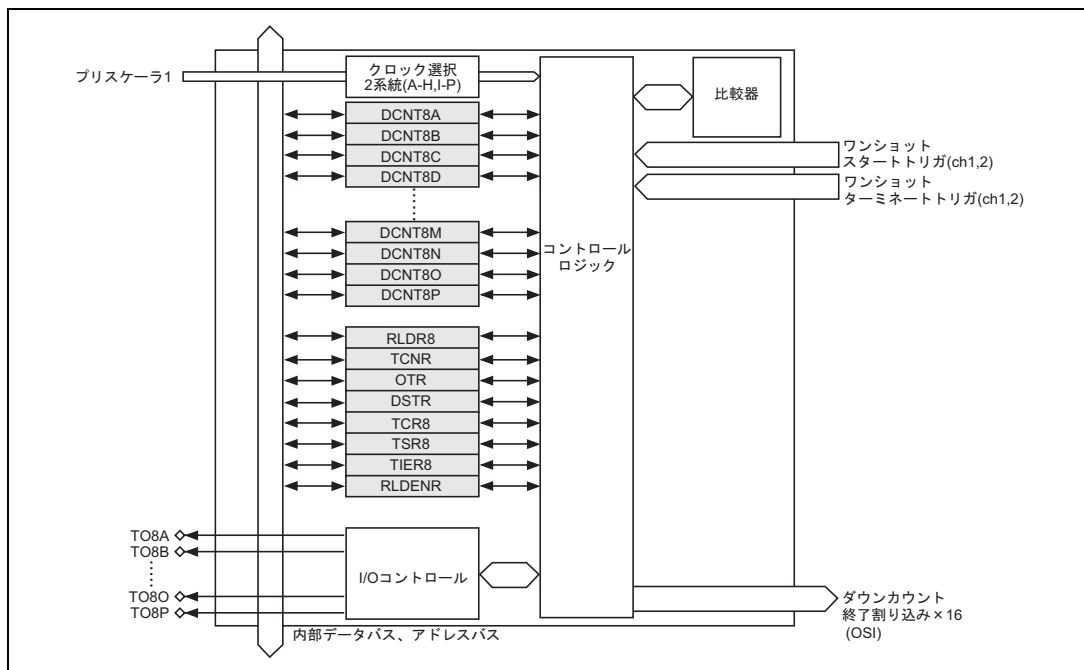


図 11.7 チャンネル 8 ブロック図

(8) チャンネル9のブロック図

ATU-IIのチャンネル9のブロック図を図11.8に示します。

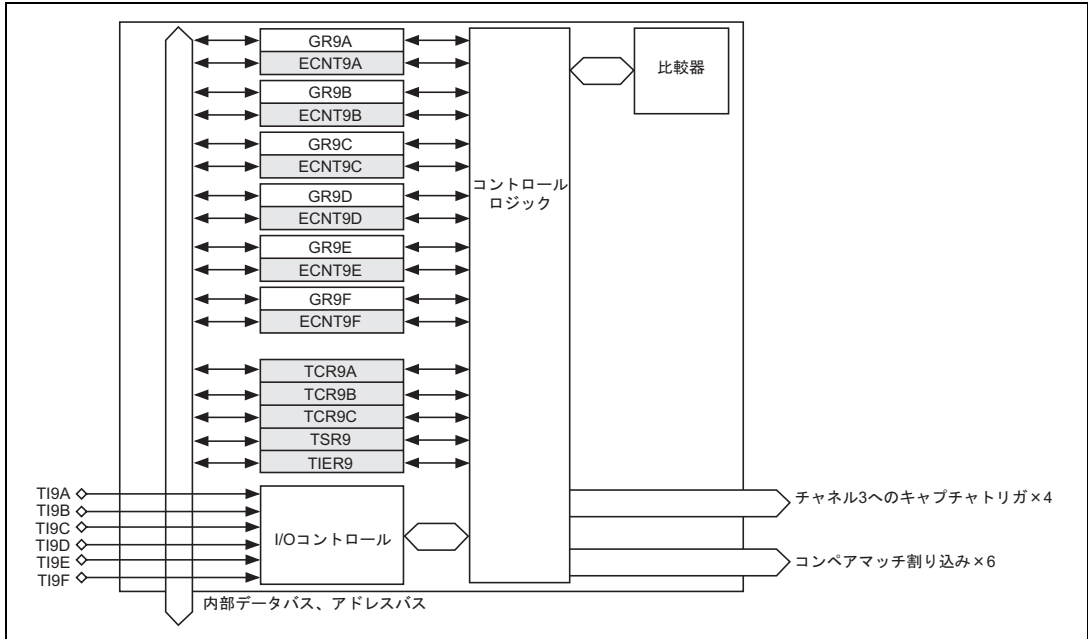


図 11.8 チャンネル9 ブロック図

11. アドバンスタイマユニット-II (ATU-II)

(9) チャンネル 10 のブロック図

ATU-II のチャンネル 10 のブロック図を図 11.9 に示します。

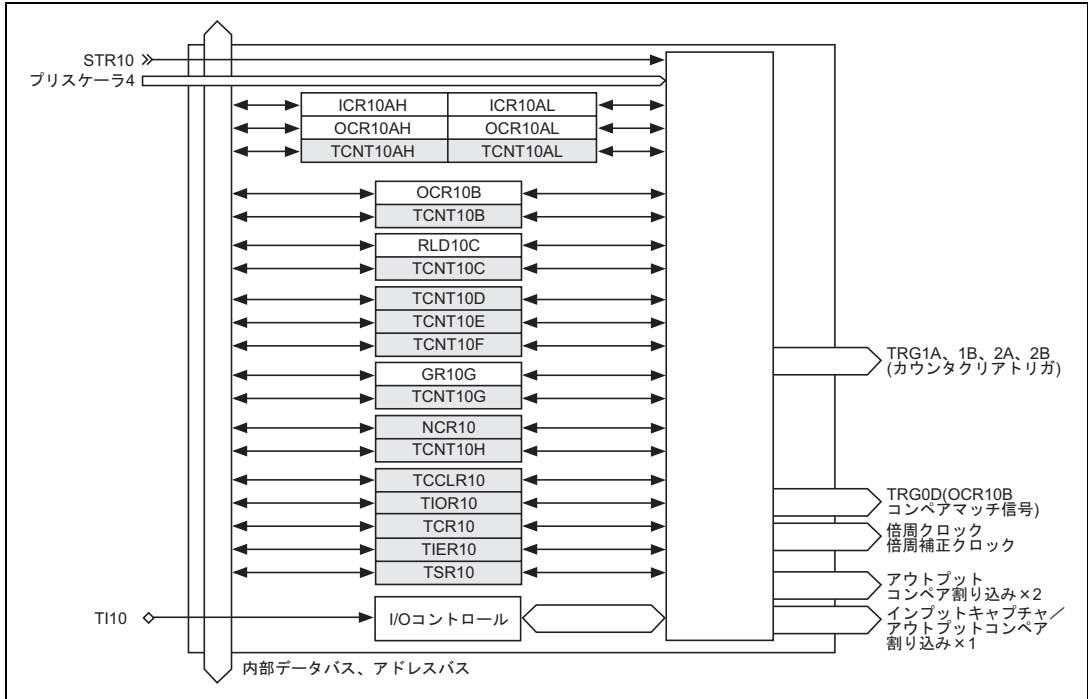


図 11.9 チャンネル 10 ブロック図

(10) チャンネル 11 のブロック図

ATU-II のチャンネル 11 のブロック図を図 11.10 に示します。

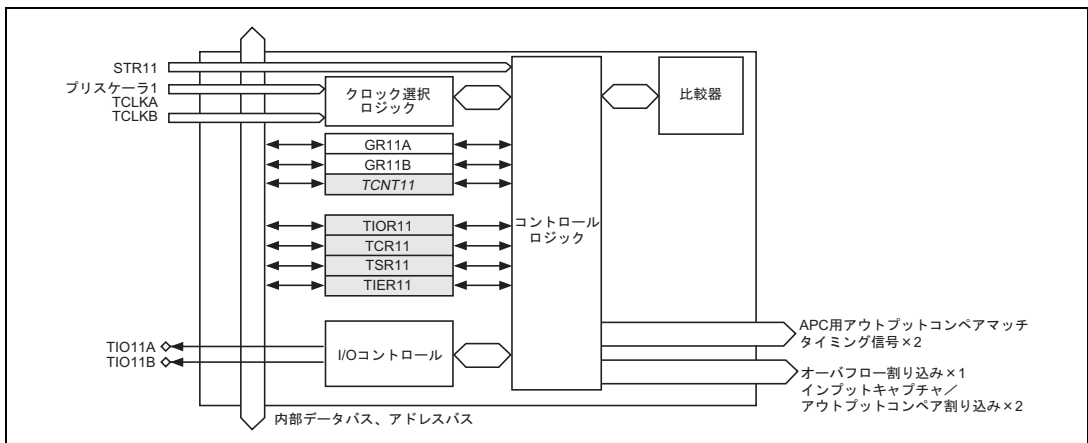


図 11.10 チャンネル 11 ブロック図

11.1.5 チャンネル間およびモジュール間信号連絡図

ATU-II でチャンネル間およびモジュール間の連結のあるものを図 11.11 に示します。

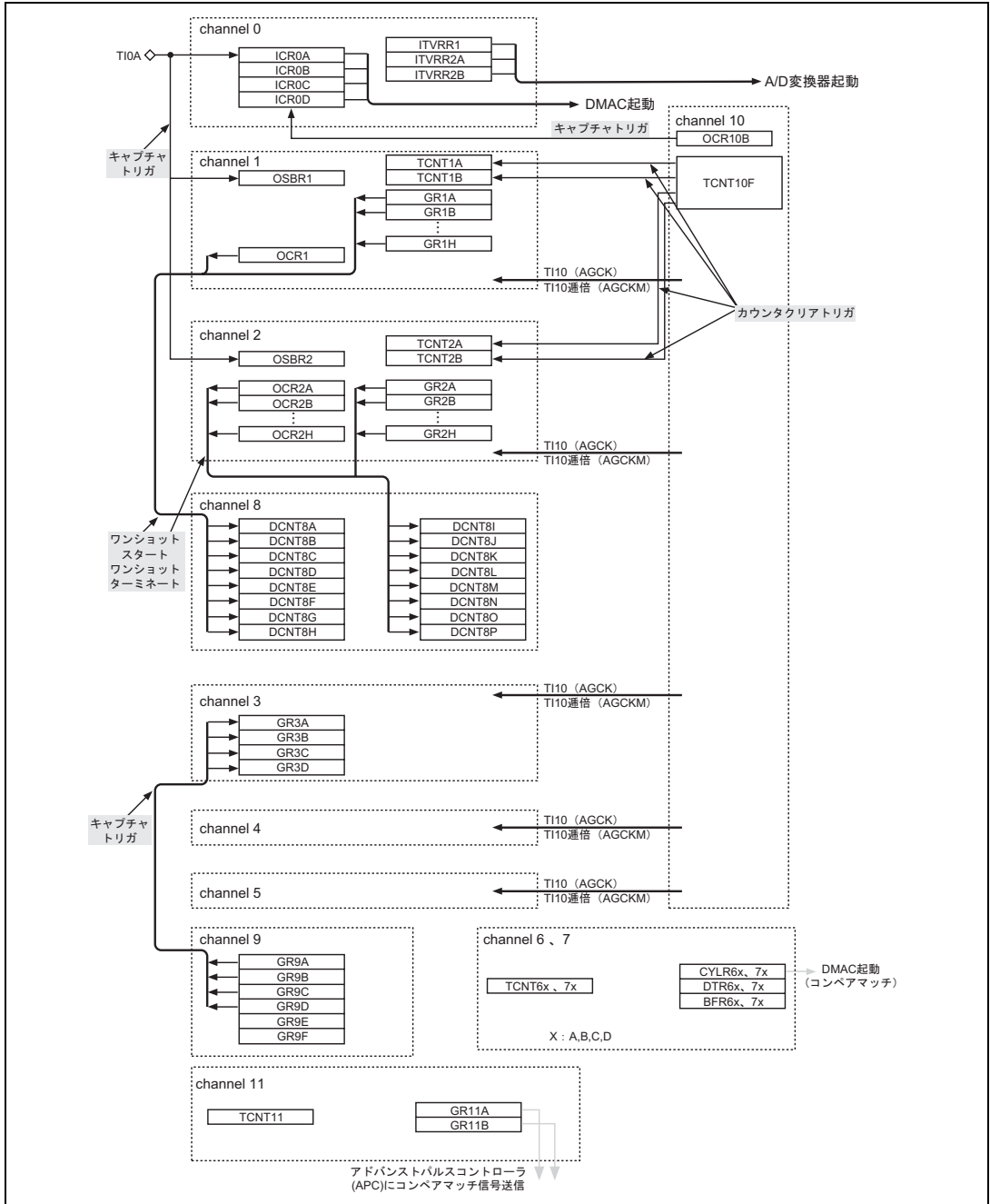


図 11.11 モジュール間連絡信号

11. アドバンスドタイマユニット-II (ATU-II)

11.1.6 プリスケーラ図

ATU-II のプリスケーラ図を図 11.12 に示します。

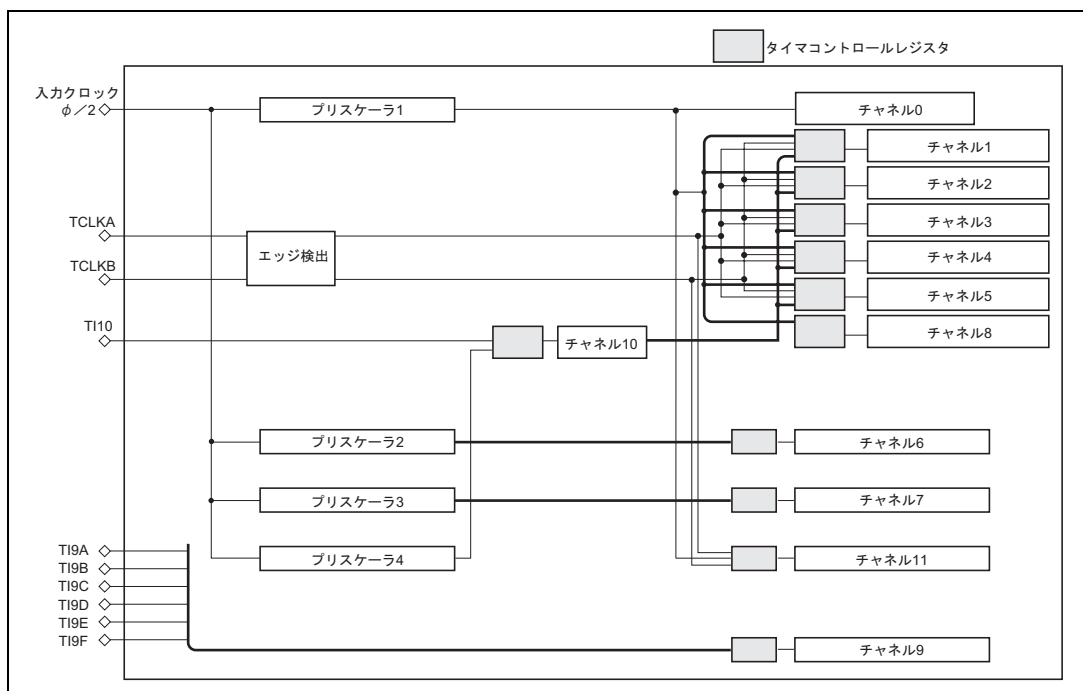


図 11.12 プリスケーラ図

11.2 レジスタの説明

11.2.1 タイマスタートレジスタ (TSTR)

タイマスタートレジスタ (TSTR) は 8 ビットのレジスタです。ATU-II には 3 本のレジスタがあります。

チャンネル	略称	機 能
0、1、2、3、4、5、10	TSTR1	フリーランニングカウンタの動作/停止設定
6、7	TSTR2	
11	TSTR3	

(1) タイマスタートレジスタ 1 (TSTR1)

ビット:	7	6	5	4	3	2	1	0
	STR10	STR5	STR4	STR3	STR1B,2B	STR2A	STR1A	STR0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ 1 (TSTR1) は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0~5、10 のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを設定します。

TSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : カウンタスタート 10 (STR10)

チャンネル 10 のカウンタ (TCNT10A、10C、10D、10E、10F、10G) を動作させるか、停止させるかを設定します。TCNT10B、10H は停止しません。

ビット 7	説 明
STR10	
0	TCNT10 のカウント動作を停止 (初期値)
1	TCNT10 のカウント動作

ビット 6 : カウンタスタート 5 (STR5)

フリーランニングカウンタ 5 (TCNT5) を動作させるか、停止させるかを設定します。

ビット 6	説 明
STR5	
0	TCNT5 のカウント動作を停止 (初期値)
1	TCNT5 のカウント動作

11. アドバンスドタイマユニット-II (ATU-II)

ビット5：カウンタスタート4 (STR4)

フリーランニングカウンタ4 (TCNT4) を動作させるか、停止させるかを設定します。

ビット5	説明
STR4	
0	TCNT4 のカウント動作を停止 (初期値)
1	TCNT4 のカウント動作

ビット4：カウンタスタート3 (STR3)

フリーランニングカウンタ3 (TCNT3) を動作させるか、停止させるかを設定します。

ビット4	説明
STR3	
0	TCNT3 のカウント動作を停止 (初期値)
1	TCNT3 のカウント動作

ビット3：カウンタスタート1B、2B (STR1B, 2B)

フリーランニングカウンタ1B、2B (TCNT1B、2B) を動作させるか、停止させるかを設定します。

ビット3	説明
STR1B, 2B	
0	TCNT1B、2B のカウント動作を停止 (初期値)
1	TCNT1B、2B のカウント動作

ビット2：カウンタスタート2A (STR2A)

フリーランニングカウンタ2A (TCNT2A) を動作させるか、停止させるかを設定します。

ビット2	説明
STR2A	
0	TCNT2A のカウント動作を停止 (初期値)
1	TCNT2A のカウント動作

ビット1：カウンタスタート1A (STR1A)

フリーランニングカウンタ1A (TCNT1A) を動作させるか、停止させるかを設定します。

ビット1	説明
STR1A	
0	TCNT1A のカウント動作を停止 (初期値)
1	TCNT1A のカウント動作

ビット0：カウンタスタート0 (STR0)

フリーランニングカウンタ0 (TCNT0) を動作させるか、停止させるかを設定します。

ビット0	説明
STR0	
0	TCNT0のカウンタ動作を停止 (初期値)
1	TCNT0のカウンタ動作

(2) タイマスタートレジスタ2 (TSTR2)

ビット：	7	6	5	4	3	2	1	0
	STR7D	STR7C	STR7B	STR7A	STR6D	STR6C	STR6B	STR6A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマスタートレジスタ2 (TSTR2) は8ビットの読み出し/書き込み可能なレジスタで、チャンネル6、7のフリーランニングカウンタ (TCNT) を動作させるか、停止させるかを設定します。

TSTRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。

ビット7：カウンタスタート7D (STR7D)

フリーランニングカウンタ7D (TCNT7D) を動作させるか、停止させるかを設定します。

ビット7	説明
STR7D	
0	TCNT7Dのカウンタ動作を停止 (初期値)
1	TCNT7Dのカウンタ動作

ビット6：カウンタスタート7C (STR7C)

フリーランニングカウンタ7C (TCNT7C) を動作させるか、停止させるかを設定します。

ビット6	説明
STR7C	
0	TCNT7Cのカウンタ動作を停止 (初期値)
1	TCNT7Cのカウンタ動作

ビット5：カウンタスタート7B (STR7B)

フリーランニングカウンタ7B (TCNT7B) を動作させるか、停止させるかを設定します。

ビット5	説明
STR7B	
0	TCNT7Bのカウンタ動作を停止 (初期値)
1	TCNT7Bのカウンタ動作

11. アドバンスタイマユニット-II (ATU-II)

ビット4：カウンタスタート7A (STR7A)

フリーランニングカウンタ7A (TCNT7A) を動作させるか、停止させるかを設定します。

ビット4	説明
STR7A	
0	TCNT7A のカウント動作を停止 (初期値)
1	TCNT7A のカウント動作

ビット3：カウンタスタート6D (STR6D)

フリーランニングカウンタ6D (TCNT6D) を動作させるか、停止させるかを設定します。

ビット3	説明
STR6D	
0	TCNT6D のカウント動作を停止 (初期値)
1	TCNT6D のカウント動作

ビット2：カウンタスタート6C (STR6C)

フリーランニングカウンタ6C (TCNT6C) を動作させるか、停止させるかを設定します。

ビット2	説明
STR6C	
0	TCNT6C のカウント動作を停止 (初期値)
1	TCNT6C のカウント動作

ビット1：カウンタスタート6B (STR6B)

フリーランニングカウンタ6B (TCNT6B) を動作させるか、停止させるかを設定します。

ビット1	説明
STR6B	
0	TCNT6B のカウント動作を停止 (初期値)
1	TCNT6B のカウント動作

ビット0：カウンタスタート6A (STR6A)

フリーランニングカウンタ6A (TCNT6A) を動作させるか、停止させるかを設定します。

ビット0	説明
STR6A	
0	TCNT6A のカウント動作を停止 (初期値)
1	TCNT6A のカウント動作

(3) タイマスタートレジスタ 3 (TSTR3)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	STR11
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

タイマスタートレジスタ 3 (TSTR3) は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 11 のフリーランニングカウンタ (TCNT11) を動作させるか、停止させるかを設定します。

TSTR3 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~1: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0: カウンタスタート 11 (STR11)

フリーランニングカウンタ 11 (TCNT11) を動作させるか、停止させるかを設定します。

ビット 0	説 明	
STR11		
0	TCNT11 のカウント動作を停止	(初期値)
1	TCNT11 のカウント動作	

11.2.2 プリスケーラレジスタ (PSCR)

プリスケーラレジスタ (PSCR) は 8 ビットのレジスタです。ATU-II には 4 本のレジスタがあります。

チャンネル	略 称	機 能
0、1、2、3、4、5、8、11	PSCR1	各チャンネルのプリスケーラの設定
6	PSCR2	
7	PSCR3	
10	PSCR4	

PSCR_x は 8 ビットの書き込み可能なレジスタで、各チャンネルに入力される 1 段目のカウンタクロック ϕ ' を $P\phi/1 \sim P\phi/32$ の値を任意に設定することができます。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	PSCxE	PSCxD	PSCxC	PSCxB	PSCxA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

x=1~4

入力カウンタクロック ϕ ' は、PSCxA~PSCxE を設定することで決まり、設定値が H'00 のときは $P\phi/1$ で、H'1F のときは $P\phi/32$ となります。

PSCR_x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

本レジスタで設定した内部クロック ϕ ' はチャンネル 1~8、11 において、タイマコントロールレジスタ (TCR) で 2 段目の分周 ϕ ' の設定が可能です。

ビット 7~5: 予約ビット

書き込みは無効です。

ビット 4~0: プリスケーラ (PSCxE、PSCxD、PSCxC、PSCxB、PSCxA)

対応するチャンネルに入力される 1 段目のカウンタクロック ϕ ' の分周を設定します。

11.2.3 タイマコントロールレジスタ (TCR)

タイマコントロールレジスタ (TCR) は 8 ビットのレジスタです。ATU-II には、チャンネル 1、2 に各 2 本、チャンネル 3~5、8、11 に各 1 本、チャンネル 6、7 に各 2 本、チャンネル 9 に 3 本、計 16 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	TCR1A、TCR1B	内部クロック／外部クロック／TI10 の入力クロックの選択
2	TCR2A、TCR2B	
3	TCR3	
4	TCR4	
5	TCR5	
6	TCR6A、TCR6B	内部クロック選択
7	TCR7A、TCR7B	
8	TCR8	
9	TCR9A、TCR9B、TCR9C	外部クロックの選択／コンペアマッチ時のチャンネル 3 のトリガ設定
11	TCR11	内部クロック／外部クロックの選択

TCR は 8 ビットの読み出し／書き込み可能なレジスタで、カウントクロックの選択を行います。チャンネル 1~5、11 では内部クロックを使用するか、外部クロックを使用するかを選択を行います。チャンネル 6~8 では内部クロックの選択を行います。チャンネル 9 では外部クロックの選択を行います。

内部クロックを選択した場合、プリスケアラレジスタ (PSCR) で分周したクロック ϕ' をさらに分周する値 ϕ'' を選択します。分周クロック ϕ'' はチャンネル 1~8、11 でのみ使用可能で ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します (チャンネル 0 では ϕ' のみ)。エッジ検出は立ち上がりで行います。

外部クロックを選択した場合、TCLKA、TCLKB (チャンネル 1~5、11)、TI10 端子入力 (チャンネル 1~5 のみ)、TI10 端子入力の逡倍クロック (チャンネル 1~5 のみ) の選択を行います。さらにエッジ検出の選択を行います。

TCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

11. アドバンスドタイマユニット-II (ATU-II)

(1) タイマコントロールレジスタ 1A、1B、2A、2B (TCR1A、TCR1B、TCR2A、TCR2B)

TCR1A、TCR2A

ビット:	7	6	5	4	3	2	1	0
	—	—	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

TCR1B、TCR2B

ビット:	7	6	5	4	3	2	1	0
	—	—	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4: クロックエッジ1、0 (CKEGx1、CKEGx0)

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット5	ビット4	説明
CKEGx1	CKEGx0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり／立ち下りの両エッジでカウント
	1	カウント禁止

x=A または B

ビット3～0 : クロックセレクト A3～A0、B3～B0 (CKSELA3～A0、CKSELB3～B0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 ϕ "を ϕ' 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ より選択します。外部クロック選択時は、TCLKA、TCLKB、TI10 端子入力、TI10 端子入力の通倍クロックより選択します。

TI10 端子入力および TI10 端子入力クロックの通倍を選択した場合、TCR10 のCKEG1、0 を TI10 入力が可能な状態に設定してください。

ビット3	ビット2	ビット1	ビット0	説明
CKSELx3	CKSELx2	CKSELx1	CKSELx0	
0	0	0	0	内部クロック ϕ " : ϕ' でカウント (初期値)
			1	内部クロック ϕ " : $\phi/2$ でカウント
		1	0	内部クロック ϕ " : $\phi/4$ でカウント
			1	内部クロック ϕ " : $\phi/8$ でカウント
	1	0	0	内部クロック ϕ " : $\phi/16$ でカウント
			1	内部クロック ϕ " : $\phi/32$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
1	0	0	0	TI10 端子入力 (AGCK) でカウント
			1	TI10 端子入力クロックの通倍 (補正) (AGCKM) でカウント
	1	1	*	設定禁止
		1	*	設定禁止

x=A または B

* : don't care

(2) タイマコントロールレジスタ 3～5 (TCR3、TCR4、TCR5)

ビット :	7	6	5	4	3	2	1	0
	—	—	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット7、6 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4 : クロックエッジ 1、0 (CKEG1、CKEG0)

外部クロック TCLKA、B 入力のカウンタエッジを選択します。

ビット5	ビット4	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり/立ち下がりの両エッジでカウント
	1	カウント禁止

11. アドバンスタイマユニット-II (ATU-II)

ビット3~0 : クロックセレクト3~0 (CKSEL3~0)

内部クロックを使用するか、外部クロックを使用するかを選択します。

内部クロック選択時は、分周 ϕ "を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。外部クロック選択時は、TCLKA、TCLKB、TI10 端子入力、TI10 端子入力の逡倍クロックより選択します。

TI10 端子入力および TI10 端子入力クロックの逡倍を選択した場合、TCR10 のCKEG1、0 を TI10 入力可能な状態に設定してください。

ビット3	ビット2	ビット1	ビット0	説明
CKSEL3	CKSEL2	CKSEL1	CKSEL0	
0	0	0	0	内部クロック ϕ " : ϕ' でカウント (初期値)
			1	内部クロック ϕ " : $\phi'/2$ でカウント
		1	0	内部クロック ϕ " : $\phi'/4$ でカウント
			1	内部クロック ϕ " : $\phi'/8$ でカウント
	1	0	0	内部クロック ϕ " : $\phi'/16$ でカウント
			1	内部クロック ϕ " : $\phi'/32$ でカウント
		1	0	外部クロック : TCLKA 端子入力でカウント
			1	外部クロック : TCLKB 端子入力でカウント
1	0	0	TI10 端子入力 (AGCK) でカウント	
		1	TI10 端子入力クロックの逡倍 (補正) (AGCKM) でカウント	
	1	1	設定禁止	
		*	設定禁止	

* : don't care

(3) タイマコントロールレジスタ 6A、6B、7A、7B (TCR6A、TCR6B、TCR7A、TCR7B)

TCR6A、TCR7A

ビット :	7	6	5	4	3	2	1	0
	—	CKSELB2	CKSELB1	CKSELB0	—	CKSELA2	CKSELA1	CKSELA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR6B、TCR7B

ビット :	7	6	5	4	3	2	1	0
	—	CKSELD2	CKSELD1	CKSELD0	—	CKSELC2	CKSELC1	CKSELC0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット7 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6～4：クロックセレクト B2～B0、D2～D0 (CKSELB2～B0、CKSELD2～D0)

内部クロックの分周 ϕ " を ϕ' 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ より選択します。

ビット6	ビット5	ビット4	説 明
CKSELx2	CKSELx1	CKSELx0	
0	0	0	内部クロック ϕ " : ϕ' でカウント (初期値)
		1	内部クロック ϕ " : $\phi/2$ でカウント
	1	0	内部クロック ϕ " : $\phi/4$ でカウント
		1	内部クロック ϕ " : $\phi/8$ でカウント
1	0	0	内部クロック ϕ " : $\phi/16$ でカウント
		1	内部クロック ϕ " : $\phi/32$ でカウント
	1	0	設定禁止
		1	設定禁止

x=B または D

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0：クロックセレクト A2～A0、C2～C0 (CKSELA2～A0、CKSELC2～C0)

内部クロックの分周 ϕ " を ϕ' 、 $\phi/2$ 、 $\phi/4$ 、 $\phi/8$ 、 $\phi/16$ 、 $\phi/32$ より選択します。

ビット2	ビット1	ビット0	説 明
CKSELx2	CKSELx1	CKSELx0	
0	0	0	内部クロック ϕ " : ϕ' でカウント (初期値)
		1	内部クロック ϕ " : $\phi/2$ でカウント
	1	0	内部クロック ϕ " : $\phi/4$ でカウント
		1	内部クロック ϕ " : $\phi/8$ でカウント
1	0	0	内部クロック ϕ " : $\phi/16$ でカウント
		1	内部クロック ϕ " : $\phi/32$ でカウント
	1	0	設定禁止
		1	設定禁止

x=A または C

(4) タイマコントロールレジスタ 8 (TCR8)

ビット：	7	6	5	4	3	2	1	0
	—	CKSELB2	CKSELB1	CKSELB0	—	CKSELA2	CKSELA1	CKSELA0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R/W	R/W	R/W	R	R/W	R/W	R/W

CKSELAx は DCNT8A～H に対応し、CKSELBx は DCNT8I～P に対応しています。

11. アドバンスタイマユニット-II (ATU-II)

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6～4：クロックセレクト B2～B0 (CKSELB2～B0)

DCNT8I～Pのカウンタに対応しており、内部クロックの分周 ϕ "を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。

ビット6	ビット5	ビット4	説 明
CKSELB2	CKSELB1	CKSELB0	
0	0	0	内部クロック ϕ "： ϕ' でカウント (初期値)
		1	内部クロック ϕ "： $\phi'/2$ でカウント
	1	0	内部クロック ϕ "： $\phi'/4$ でカウント
		1	内部クロック ϕ "： $\phi'/8$ でカウント
1	0	0	内部クロック ϕ "： $\phi'/16$ でカウント
		1	内部クロック ϕ "： $\phi'/32$ でカウント
	1	0	設定禁止
		1	設定禁止

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0：クロックセレクト A2～A0 (CKSELA2～A0)

DCNT8A～Hのカウンタに対応しており、内部クロックの分周 ϕ "を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。

ビット2	ビット1	ビット0	説 明
CKSELA2	CKSELA1	CKSELA0	
0	0	0	内部クロック ϕ "： ϕ' でカウント (初期値)
		1	内部クロック ϕ "： $\phi'/2$ でカウント
	1	0	内部クロック ϕ "： $\phi'/4$ でカウント
		1	内部クロック ϕ "： $\phi'/8$ でカウント
1	0	0	内部クロック ϕ "： $\phi'/16$ でカウント
		1	内部クロック ϕ "： $\phi'/32$ でカウント
	1	0	設定禁止
		1	設定禁止

(5) タイマコントロールレジスタ 9A、9B、9C (TCR9A、TCR9B、TCR9C)

TCR9A

ビット:	7	6	5	4	3	2	1	0
	—	TRG3BEN	EGSELB1	EGSELB0	—	TRG3AEN	EGSELA1	EGSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR9B

ビット:	7	6	5	4	3	2	1	0
	—	TRG3DEN	EGSELD1	EGSELD0	—	TRG3CEN	EGSELC1	EGSELC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TCR9C

ビット:	7	6	5	4	3	2	1	0
	—	—	EGSELF1	EGSELF0	—	—	EGSELE1	EGSELE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R	R/W	R/W

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6: トリガチャンネル 3BEN、3DEN (TRG3BEN、TRG3DEN)

チャンネル9のイベントカウンタのコンペアマッチ信号をチャンネル3のインプットキャプチャトリガとして使用するかを選択します。

ビット6	説明
TRG3xEN	
0	チャンネル9のコンペアマッチ時 (ECNT9x=GR9x) のチャンネル3へのインプットキャプチャトリガを禁止 (初期値)
1	チャンネル9のコンペアマッチ時 (ECNT9x=GR9x) のチャンネル3へのインプットキャプチャトリガを許可

x=BまたはD

11. アドバンスドタイマユニット-II (ATU-II)

ビット 5、4: エッジセレクト B1、B0、D1、D0、F1、F0 (EGSELB1、EGSELB0、EGSELD1、EGSELD0、EGSELF1、EGSELF0)

イベントカウンタのカウントエッジを選択します。

ビット 5	ビット 4	説 明
EGSELx1	EGSELx0	
0	0	カウント動作禁止 (初期値)
	1	立ち上がりエッジでカウント
1	0	立ち下がりエッジでカウント
	1	立ち上がり／立ち下がり両エッジでカウント

x=B、D、または F

ビット 3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2: トリガチャネル 3AEN、3CEN (TRG3AEN、TRG3CEN)

チャンネル 9 のイベントカウンタのコンペアマッチ信号をチャンネル 3 のインプットキャプチャトリガとして使用するかを選択します。

ビット 2	説 明
TRG3xEN	
0	チャンネル 9 のコンペアマッチ時 (ECNT9x=GR9x) のチャンネル 3 へのインプットキャプチャトリガを禁止 (初期値)
1	チャンネル 9 のコンペアマッチ時 (ECNT9x=GR9x) のチャンネル 3 へのインプットキャプチャトリガを許可

x=A または C

ビット 1、0: エッジセレクト A1、A0、C1、C0、E1、E0 (EGSELA1、EGSELA0、EGSELC1、EGSELC0、EGSELE1、EGSELE0)

イベントカウンタのカウントエッジを選択します。

ビット 1	ビット 0	説 明
EGSELx1	EGSELx0	
0	0	カウント動作禁止 (初期値)
	1	立ち上がりエッジでカウント
1	0	立ち下がりエッジでカウント
	1	立ち上がり／立ち下がり両エッジでカウント

x=A、C、または E

(6) タイマコントロールレジスタ 11 (TCR11)

ビット:	7	6	5	4	3	2	1	0
	—	—	CKEG1	CKEG0	—	CKSELA2	CKSELA1	CKSELA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R	R/W	R/W	R/W

ビット7、6、3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット5、4: エッジセレクト

外部クロック TCLKA、B 入力のカウントエッジを選択します。

ビット5	ビット4	説明
CKEG1	CKEG0	
0	0	立ち上がりエッジでカウント (初期値)
	1	立ち下がりエッジでカウント
1	0	立ち上がり/立ち下がりの両エッジでカウント
	1	カウント禁止

ビット2~0: クロックセレクト A2~A0 (CKSELA2~A0)

内部クロックの分周 ϕ " を ϕ' 、 $\phi'/2$ 、 $\phi'/4$ 、 $\phi'/8$ 、 $\phi'/16$ 、 $\phi'/32$ より選択します。

ビット2	ビット1	ビット0	説明
CKSELA2	CKSELA1	CKSELA0	
0	0	0	内部クロック ϕ " : ϕ' でカウント (初期値)
		1	内部クロック ϕ " : $\phi'/2$ でカウント
	1	0	内部クロック ϕ " : $\phi'/4$ でカウント
		1	内部クロック ϕ " : $\phi'/8$ でカウント
1	0	0	内部クロック ϕ " : $\phi'/16$ でカウント
		1	内部クロック ϕ " : $\phi'/32$ でカウント
	1	0	外部クロック : TCLKA 端子入力でカウント
		1	外部クロック : TCLKB 端子入力でカウント

11. アドバンスドタイマユニット-II (ATU-II)

11.2.4 タイマ I/O コントロールレジスタ (TIOR)

タイマ I/O コントロールレジスタ (TIOR) は 8 ビットレジスタです。ATU-II には、チャンネル 0 に 1 本、チャンネル 1、2 に各 4 本、チャンネル 3~5 に各 2 本、チャンネル 11 に 1 本、計 16 本の TIOR があります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TIOR0	ICR0 のエッジ検出の設定
1	TIOR1A~1D	GR のインプットキャプチャ/コンペアマッチの切り替え、エッジ検出/出力値の設定
2	TIOR2A~2D	
3	TIOR3A, TIOR3B	GR のインプットキャプチャ/コンペアマッチの切り替え、エッジ検出/出力値の設定、TCNT3~5 のクリア許可/禁止の設定
4	TIOR4A, TIOR4B	
5	TIOR5A, TIOR5B	
11	TIOR11	GR のインプットキャプチャ/コンペアマッチの切り替え、エッジ検出/出力値の設定

TIOR は 8 ビットの読み出し/書き込み可能なレジスタで、インプットキャプチャ専用レジスタおよびジェネラルレジスタの機能の選択を行います。

インプットキャプチャ専用レジスタ (ICR) ではエッジ検出の設定を行います。

ジェネラルレジスタ (GR) ではインプットキャプチャとして使用するか、アウトプットコンペアとして使用するかの選択、エッジ検出の設定を行います。チャンネル 3~5 に関してはさらに、コンペアマッチ時にフリーランニングカウンタ (TCNT) のクリア許可/禁止の選択を行います。

(1) タイマ I/O コントロールレジスタ 0 (TIOR0)

ビット:	7	6	5	4	3	2	1	0
	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR0 は、インプットキャプチャ ICR0A~ICR0D のエッジ検出を設定します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7、6: I/O コントロール 0D1、0D0 (IO0D1、IO0D0)

TI0D 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット 7	ビット 6	説 明
IO0D1	IO0D0	
0	0	インプットキャプチャ禁止 (TCNT10B のコンペアマッチではインプットキャプチャ可能) (初期値)
	1	立ち上がりエッジで ICR0D ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0D ヘインプットキャプチャ
	1	立ち上がり/立ち下がりの両エッジで ICR0D ヘインプットキャプチャ

ビット5、4 : I/O コントロール 0C1、0C0 (IO0C1、IO0C0)

TIOC 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット5	ビット4	説明
IO0C1	IO0C0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0C ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0C ヘインプットキャプチャ
	1	立ち上がり/立ち下がりの両エッジで ICR0C ヘインプットキャプチャ

ビット3、2 : I/O コントロール 0B1、0B0 (IO0B1、IO0B0)

TIOB 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット3	ビット2	説明
IO0B1	IO0B0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0B ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0B ヘインプットキャプチャ
	1	立ち上がり/立ち下がりの両エッジで ICR0B ヘインプットキャプチャ

ビット1、0 : I/O コントロール 0A1、0A0 (IO0A1、IO0A0)

TIOA 端子のインプットキャプチャ信号のエッジ検出を選択します。

ビット1	ビット0	説明
IO0A1	IO0A0	
0	0	インプットキャプチャ禁止 (初期値)
	1	立ち上がりエッジで ICR0A ヘインプットキャプチャ
1	0	立ち下がりエッジで ICR0A ヘインプットキャプチャ
	1	立ち上がり/立ち下がりの両エッジで ICR0A ヘインプットキャプチャ

11. アドバンスドタイマユニット-II (ATU-II)

(2) タイマ I/O コントロールレジスタ 1A~1D (TIOR1A~1D)

TIOR1A

ビット:	7	6	5	4	3	2	1	0
	—	IO1B2	IO1B1	IO1B0	—	IO1A2	IO1A1	IO1A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1B

ビット:	7	6	5	4	3	2	1	0
	—	IO1D2	IO1D1	IO1D0	—	IO1C2	IO1C1	IO1C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1C

ビット:	7	6	5	4	3	2	1	0
	—	IO1F2	IO1F1	IO1F0	—	IO1E2	IO1E1	IO1E0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1D

ビット:	7	6	5	4	3	2	1	0
	—	IO1H2	IO1H1	IO1H0	—	IO1G2	IO1G1	IO1G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR1A~1D はジェネラルレジスタ (GR1A~GR1H) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出/出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6～4: I/O コントロール 1B2～1B0、1D2～1D0、1F2～1F0、1H2～1H0 (IO1B2～IO1B0、IO1D2～IO1D0、IO1F2～IO1F0、IO1H2～IO1H0)

ジェネラルレジスタ (GR) の機能の選択をします。

ビット6	ビット5	ビット4	説 明	
IO1x2	IO1x1	IO1x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで0出力
	1	0	コンペア	GR のコンペアマッチで1出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO1x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO1x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO1x 端子立ち上がり/立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x=B、D、F、またはH

ビット3: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0: I/O コントロール 1A2～1A0、1C2～1C0、1E2～1E0、1G2～1G0
(IO1A2～IO1A0、IO1C2～IO1C0、IO1E2～IO1E0、IO1G2～IO1G0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説 明	
IO1x2	IO1x1	IO1x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで0出力
	1	0	コンペア	GR のコンペアマッチで1出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO1x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO1x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO1x 端子立ち上がり/立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x=A、C、E、またはG

11. アドバンスドタイマユニット-II (ATU-II)

(3) タイマ I/O コントロールレジスタ 2A~2D (TIOR2A~2D)

TIOR2A

ビット:	7	6	5	4	3	2	1	0
	—	IO2B2	IO2B1	IO2B0	—	IO2A2	IO2A1	IO2A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2B

ビット:	7	6	5	4	3	2	1	0
	—	IO2D2	IO2D1	IO2D0	—	IO2C2	IO2C1	IO2C0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2C

ビット:	7	6	5	4	3	2	1	0
	—	IO2F2	IO2F1	IO2F0	—	IO2E2	IO2E1	IO2E0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2D

ビット:	7	6	5	4	3	2	1	0
	—	IO2H2	IO2H1	IO2H0	—	IO2G2	IO2G1	IO2G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR2A~2D はジェネラルレジスタ (GR2A~GR2H) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定します。またエッジ検出/出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 6～4: I/O コントロール 2B2～2B0、2D2～2D0、2F2～2F0、2H2～2H0 (IO2B2～IO2B0、IO2D2～IO2D0、IO2F2～IO2F0、IO2H2～IO2H0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 6	ビット 5	ビット 4	説 明	
IO2x2	IO2x1	IO2x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO2x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO2x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO2x 端子立ち上がり/立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x=B、D、F、または H

ビット 3: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2～0: I/O コントロール 2A2～2A0、2C2～2C0、2E2～2E0、2G2～2G0 (IO2A2～IO2A0、IO2C2～IO2C0、IO2E2～IO2E0、IO2G2～IO2G0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 2	ビット 1	ビット 0	説 明	
IO2x2	IO2x1	IO2x0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで 0 出力
	1	0	コンペア	GR のコンペアマッチで 1 出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO2x 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO2x 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIO2x 端子立ち上がり/立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

x=A、C、E、または G

11. アドバンスドタイマユニット-II (ATU-II)

(4) タイマ I/O コントロールレジスタ 3A、3B、4A、4B、5A、5B (TIOR3A、TIOR3B、TIOR4A、TIOR4B、TIOR5A、TIOR5B)

TIOR3A、TIOR4A、TIOR5A

ビット:	7	6	5	4	3	2	1	0
	CCIxB	IOxB2	IOxB1	IOxB0	CCIxA	IOxA2	IOxA1	IOxA0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TIOR3B、TIOR4B、TIOR5B

ビット:	7	6	5	4	3	2	1	0
	CCIxD	IOxD2	IOxD1	IOxD0	CCIxC	IOxC2	IOxC1	IOxC0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

X=3~5

TIOR3A、3B、4A、4B、5A、5B はジェネラルレジスタ (GR3A~3D、GR4A~4D、GR5A~5D) を入力キャプチャとして使用するか、コンペアマッチとして使用するかを設定し、エッジ検出/出力値の設定を行います。またコンペアマッチ時のフリーランニングカウンタ (TCNT3~5) のクリアを許可/禁止を選択します。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット7: クリアカウンタイネーブルフラグ 3B、4B、5B、3D、4D、5D (CCI3B、CCI4B、CCI5B、CCI3D、CCI4D、CCI5D)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット7	説明
CCIxx	
0	TCNT のクリアを禁止 (初期値)
1	GR のコンペアマッチで TCNT をクリア

xx=3B、4B、5B、3D、4D、または 5D

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

ビット 6~4 : I/O コントロール 3B2~3B0、4B2~4B0、5B2~5B0、3D2~3D0、4D2~4D0、5D2~5D0 (IO3B2~IO3B0、IO4B2~IO4B0、IO5B2~IO5B0、IO3D2~IO3D0、IO4D2~IO4D0、IO5D2~IO5D0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 6	ビット 5	ビット 4	説 明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで 0 出力
	1	0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ (チャンネル 3 はチ ヤネル 9 のコンペ アマッチによりイ ンプットキャプチャ 許可)	インプットキャプチャ禁止 (GR ヘライト ch3 のみ不可)
		1		TIOxx 端子立ち上がりエッジで GR ヘインプ ットキャプチャ (GR ヘライト不可)
	1	0		TIOxx 端子立ち下がりエッジで GR ヘインプ ットキャプチャ (GR ヘライト不可)
		1		TIOxx 端子立ち上がり/立ち下がりの両エ ッジで GR ヘインプットキャプチャ (GR ヘライト 不可)

xx=3B、4B、5B、3D、4D、または 5D

ビット 3 : クリアカウンタイネーブルフラグ 3A、4A、5A、3C、4C、5C (CCI3A、CCI4A、CCI5A、CCI3C、CCI4C、CCI5C)

フリーランニングカウンタ (TCNT) クリアを許可するか、禁止するかを選択します。

ビット 3	説 明
CCIxx	
0	TCNT のクリアを禁止 (初期値)
1	GR のコンペアマッチで TCNT をクリア

xx=3A、4A、5A、3C、4C、または 5C

GR がアウトプットコンペアレジスタとして機能しているときのみ、コンペアマッチにより TCNT がクリアされます。

11. アドバンスドタイマユニット-II (ATU-II)

ビット 2~0 : I/O コントロール 3A2~3A0、4A2~4A0、5A2~5A0、3C2~3C0、4C2~4C0、5C2~5C0 (IO3A2~IO3A0、IO4A2~IO4A0、IO5A2~IO5A0、IO3C2~IO3C0、IO4C2~IO4C0、IO5C2~IO5C0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット 2	ビット 1	ビット 0	説明	
IOxx2	IOxx1	IOxx0		
0	0	0	GR は アウトプット コンペア レジスタ	コンペアマッチ禁止、端子出力不定 (初期値)
		1		GR のコンペアマッチで 0 出力
	1	0		GR のコンペアマッチで 1 出力
		1		GR のコンペアマッチでトグル出力
1	0	0	GR は インプット キャプチャ レジスタ (チャンネル 3 はチャンネル 9 のコンペアマッチによりインプットキャプチャ許可)	インプットキャプチャ禁止 (GR ヘライト ch3 のみ不可)
		1		TIOxx 端子立ち上がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
	1	0		TIOxx 端子立ち下がりエッジで GR ヘインプットキャプチャ (GR ヘライト不可)
		1		TIOxx 端子立ち上がり / 立ち下がりの両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

xx=3A、4A、5A、3C、4C、または 5C

(5) タイマ I/O コントロールレジスタ 11 (TIOR11)

TIOR11

ビット:	7	6	5	4	3	2	1	0
	—	IO11B2	IO11B1	IO11B0	—	IO11A2	IO11A1	IO11A0
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R/W	R/W	R/W	R	R/W	R/W	R/W

TIOR11 はジェネラルレジスタ (GR11A、GR11B) をインプットキャプチャとして使用するか、コンペアマッチとして使用するかを設定し、エッジ検出 / 出力値の設定を行います。

TIOR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット6～4 : I/O コントロール 11B2～11B0 (IO11B2～IO11B0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット6	ビット5	ビット4	説 明	
IO11B2	IO11B1	IO11B0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで0出力
	1	0	コンペア	GR のコンペアマッチで1出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO11B 端子立ち上がりエッジで GR ヘインプット キャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO11B 端子立ち下がりエッジで GR ヘインプット キャプチャ (GR ヘライト不可)
		1		TIO11B 端子立ち上がり/立ち下がり両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2～0 : I/O コントロール 11A2～11A0 (IO11A2～IO11A0)

ジェネラルレジスタ (GR) の機能を選択します。

ビット2	ビット1	ビット0	説 明	
IO11A2	IO11A1	IO11A0		
0	0	0	GR は	コンペアマッチ禁止、端子出力不定 (初期値)
		1	アウトプット	GR のコンペアマッチで0出力
	1	0	コンペア	GR のコンペアマッチで1出力
		1	レジスタ	GR のコンペアマッチでトグル出力
1	0	0	GR は	インプットキャプチャ禁止
		1	インプット キャプチャ	TIO11A 端子立ち上がりエッジで GR ヘインプット キャプチャ (GR ヘライト不可)
	1	0	レジスタ	TIO11A 端子立ち下がりエッジで GR ヘインプット キャプチャ (GR ヘライト不可)
		1		TIO11A 端子立ち上がり/立ち下がり両エッジで GR ヘインプットキャプチャ (GR ヘライト不可)

11.2.5 タイマステータスレジスタ (TSR)

タイマステータスレジスタ (TSR) は 16 ビットのレジスタです。ATU-II には、チャンネル 0、6~9、11 に各 1 本、チャンネル 1、2 に各 2 本、チャンネル 3~5 に 1 本、計 11 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TSR0	インプットキャプチャ、インターバルインタラプト、およびオーバーフローのステータスを示します
1	TSR1A, TSR1B	インプットキャプチャ、コンペアマッチ、およびオーバーフローのステータスを示します
2	TSR2A, TSR2B	
3	TSR3	インプットキャプチャ、コンペアマッチ、およびオーバーフローのステータスを示します
4		
5		
6	TSR6	サイクルレジスタとのコンペアマッチのステータスを示します
7	TSR7	
8	TSR8	ダウンカウンタの出力終了 (Low) のステータスを示します
9	TSR9	イベントカウンタのコンペアマッチのステータスを示します
11	TSR11	インプットキャプチャ、コンペアマッチ、およびオーバーフローのステータスを示します

TSR は 16 ビットの読み出し/書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーバーフローの発生、チャンネル 0 のインプットキャプチャの発生およびインターバルインタラプトの発生、チャンネル 3~5、11 のジェネラルレジスタのインプットキャプチャ/コンペアマッチの発生、チャンネル 6、7 のコンペアマッチの発生、チャンネル 8 のダウンカウンタの出力終了、チャンネル 9 のイベントカウンタのコンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイマインタラプトイネーブルレジスタ (TIER) の対応するビットにより割り込みが許可されていれば、CPU に割り込みを要求します。

TSR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(1) タイマステータスレジスタ 0 (TSR0)

TSR0はチャンネル0のインターバルインタラプト、インプットキャプチャおよびオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット:	7	6	5	4	3	2	1	0
	IIF2B	IIF2A	IIF1	OVF0	ICF0D	ICF0C	ICF0B	ICF0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために0のみ書き込むことができます。

ビット 15~8 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 7 : インターバルインタラプトフラグ 2B (IIF2B)

インターバル割り込みの発生を示すステータスフラグです。

ビット 7	説明
IIF2B	
0	[クリア条件] IIF2B=1の状態、IIF2Bを読み出した後、IIF2Bに0を書き込んだとき (初期値)
1	[セット条件] ITVRR2Bで選択のインターバル割り込みが発生したとき

ビット 6 : インターバルインタラプトフラグ 2A (IIF2A)

インターバル割り込みの発生を示すステータスフラグです。

ビット 6	説明
IIF2A	
0	[クリア条件] IIF2A=1の状態、IIF2Aを読み出した後、IIF2Aに0を書き込んだとき (初期値)
1	[セット条件] ITVRR2Aで選択のインターバル割り込みが発生したとき

11. アドバンスタイマユニット-II (ATU-II)

ビット5：インターバルインタラプトフラグ1 (IIF1)

インターバル割り込みの発生を示すステータスフラグです。

ビット5	説明
IIF1	
0	[クリア条件] IIF1=1の状態、IIF1を読み出した後、IIF1に0を書き込んだとき (初期値)
1	[セット条件] ITVRR1で選択のインターバル割り込みが発生したとき

ビット4：オーバフローフラグ0 (OVF0)

TCNT0のオーバフローの発生を示すステータスフラグです。

ビット4	説明
OVF0	
0	[クリア条件] OVF0=1の状態、OVF0を読み出した後、OVF0に0を書き込んだとき (初期値)
1	[セット条件] TCNT0の値がオーバフロー (H'FFFFFFF → H'0000000) したとき

ビット3：インプットキャプチャフラグ0D (ICF0D)

ICR0Dのインプットキャプチャの発生を示すステータスフラグです。

ビット3	説明
ICF0D	
0	[クリア条件] ICF0D=1の状態、ICF0Dを読み出した後、ICF0Dに0を書き込んだとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタに転送されたときチャネル10のコンペアマッチをトリガとしたインプットキャプチャでもセットされます

ビット2：インプットキャプチャフラグ0C (ICF0C)

ICR0Cのインプットキャプチャの発生を示すステータスフラグです。

ビット2	説明
ICF0C	
0	[クリア条件] ICF0C=1の状態、ICF0Cを読み出した後、ICF0Cに0を書き込んだとき (初期値)
1	[セット条件] インプットキャプチャ信号により TCNT0の値がインプットキャプチャレジスタに転送されたとき

ビット1：インプットキャプチャフラグ 0B (ICF0B)

ICR0B のインプットキャプチャの発生を示すステータスフラグです。

ビット1	説明
ICF0B	
0	[クリア条件] (初期値) ICF0B=1 の状態で、ICF0B を読み出した後、ICF0B に 0 を書き込んだとき
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタに転送されたとき

ビット0：インプットキャプチャフラグ 0A (ICF0A)

ICR0A のインプットキャプチャの発生を示すステータスフラグです。

ビット0	説明
ICF0A	
0	[クリア条件] (初期値) ICF0A=1 の状態で、ICF0A を読み出した後、ICF0A に 0 を書き込んだとき
1	[セット条件] インプットキャプチャ信号により TCNT0 の値がインプットキャプチャレジスタに転送されたとき

(2) タイマステータスレジスタ 1A、1B (TSR1A、TSR1B)

(a) TSR1A

TSR1A はチャンネル 1 のインプットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVF1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*

ビット：	7	6	5	4	3	2	1	0
	IMF1H	IMF1G	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

11. アドバンスタイマユニット-II (ATU-II)

ビット 15～9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローフラグ 1A (OVF1A)

TCNT1A のオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF1A	
0	[クリア条件] OVF1A=1 の状態で、OVF1A を読み出した後、OVF1A に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT1A の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 7 : インพุットキャプチャ/コンペアマッチフラグ 1H (IMF1H)

GR1H のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 7	説明
IMF1H	
0	[クリア条件] IMF1H=1 の状態で、IMF1H を読み出した後、IMF1H に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR1H がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT1A の値が GR1H に転送されたとき (2) GR1H がアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1H になったとき

ビット 6 : インพุットキャプチャ/コンペアマッチフラグ 1G (IMF1G)

GR1G のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 6	説明
IMF1G	
0	[クリア条件] IMF1G=1 の状態で、IMF1G を読み出した後、IMF1G に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR1G がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT1A の値が GR1G に転送されたとき (2) GR1G がアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1G になったとき

ビット5：インプットキャプチャ/コンペアマッチフラグ 1F (IMF1F)

GR1Fのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
IMF1F	
0	[クリア条件] (初期値) IMF1F=1の状態、IMF1Fを読み出した後、IMF1Fに0を書き込んだとき
1	[セット条件] (1) GR1Fがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Fに転送されたとき (2) GR1Fがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Fになったとき

ビット4：インプットキャプチャ/コンペアマッチフラグ 1E (IMF1E)

GR1Eのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
IMF1E	
0	[クリア条件] (初期値) IMF1E=1の状態、IMF1Eを読み出した後、IMF1Eに0を書き込んだとき
1	[セット条件] (1) GR1Eがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Eに転送されたとき (2) GR1Eがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Eになったとき

ビット3：インプットキャプチャ/コンペアマッチフラグ 1D (IMF1D)

GR1Dのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF1D	
0	[クリア条件] (初期値) IMF1D=1の状態、IMF1Dを読み出した後、IMF1Dに0を書き込んだとき
1	[セット条件] (1) GR1Dがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT1Aの値がGR1Dに転送されたとき (2) GR1Dがアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1Dになったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット2：インプットキャプチャ／コンペアマッチフラグ 1C (IMF1C)

GR1C のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
IMF1C	
0	[クリア条件] (初期値) IMF1C=1 の状態で、IMF1C を読み出した後、IMF1C に 0 を書き込んだとき
1	[セット条件] (1) GR1C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1A の値が GR1C に転送されたとき (2) GR1C がアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1C になったとき

ビット1：インプットキャプチャ／コンペアマッチフラグ 1B (IMF1B)

GR1B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF1B	
0	[クリア条件] (初期値) IMF1B=1 の状態で、IMF1B を読み出した後、IMF1B に 0 を書き込んだとき
1	[セット条件] (1) GR1B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1A の値が GR1B に転送されたとき (2) GR1B がアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1B になったとき

ビット0：インプットキャプチャ／コンペアマッチフラグ 1A (IMF1A)

GR1A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF1A	
0	[クリア条件] (初期値) IMF1A=1 の状態で、IMF1A を読み出した後、IMF1A に 0 を書き込んだとき
1	[セット条件] (1) GR1A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT1A の値が GR1A に転送されたとき (2) GR1A がアウトプットコンペアレジスタとして機能している場合、TCNT1A=GR1A になったとき

(b) TSR1B

TSR1B はチャンネル 1 のコンペアマッチとオーバフローのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVF1B
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*
ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CMF1
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローフラグ 1B (OVF1B)

TCNT1B のオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF1B	
0	[クリア条件] OVF1B=1 の状態で、OVF1B を読み出した後、OVF1B に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT1B の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 7~1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : コンペアマッチフラグ 1 (CMF1)

OCR1 のコンペアマッチの発生を示すステータスフラグです。

ビット 0	説明
CMF1	
0	[クリア条件] CMF1=1 の状態で、CMF1 を読み出した後、CMF1 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT1B=OCR1 になったとき

11. アドバンスドタイマユニット-II (ATU-II)

(3) タイマステータスレジスタ 2A、2B (TSR2A、TSR2B)

(a) TSR2A

TSR2A はチャンネル 2 インพุットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVF2A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/(W)*
ビット :	7	6	5	4	3	2	1	0
	IMF2H	IMF2G	IMF2F	IMF2E	IMF2D	IMF2C	IMF2B	IMF2A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローフラグ 2A (OVF2A)

TCNT2A のオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF2A	
0	[クリア条件] (初期値) OVF2A=1 の状態で、OVF2A を読み出した後、OVF2A に 0 を書き込んだとき
1	[セット条件] TCNT2A の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 7 : インพุットキャプチャ/コンペアマッチフラグ 2H (IMF2H)

GR2H のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 7	説明
IMF2H	
0	[クリア条件] (初期値) IMF2H=1 の状態で、IMF2H を読み出した後、IMF2H に 0 を書き込んだとき
1	[セット条件] (1) GR2H がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT2A の値が GR2H に転送されたとき (2) GR2H がアウトพุットコンペアレジスタとして機能している場合、TCNT2A=GR2H になったとき

ビット6：インプットキャプチャ/コンペアマッチフラグ 2G (IMF2G)

GR2Gのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
IMF2G	
0	[クリア条件] (初期値) IMF2G=1の状態、IMF2Gを読み出した後、IMF2Gに0を書き込んだとき
1	[セット条件] (1) GR2Gがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2Aの値がGR2Gに転送されたとき (2) GR2Gがアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2Gになったとき

ビット5：インプットキャプチャ/コンペアマッチフラグ 2F (IMF2F)

GR2Fのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
IMF2F	
0	[クリア条件] (初期値) IMF2F=1の状態、IMF2Fを読み出した後、IMF2Fに0を書き込んだとき
1	[セット条件] (1) GR2Fがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2Aの値がGR2Fに転送されたとき (2) GR2Fがアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2Fになったとき

ビット4：インプットキャプチャ/コンペアマッチフラグ 2E (IMF2E)

GR2Eのインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
IMF2E	
0	[クリア条件] (初期値) IMF2E=1の状態、IMF2Eを読み出した後、IMF2Eに0を書き込んだとき
1	[セット条件] (1) GR2Eがインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号によりTCNT2Aの値がGR2Eに転送されたとき (2) GR2Eがアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2Eになったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット3：インプットキャプチャ/コンペアマッチフラグ 2D (IMF2D)

GR2D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF2D	
0	[クリア条件] (初期値) IMF2D=1 の状態で、IMF2D を読み出した後、IMF2D に 0 を書き込んだとき
1	[セット条件] (1) GR2D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2D に転送されたとき (2) GR2D がアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2D になったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ 2C (IMF2C)

GR2C のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
IMF2C	
0	[クリア条件] (初期値) IMF2C=1 の状態で、IMF2C を読み出した後、IMF2C に 0 を書き込んだとき
1	[セット条件] (1) GR2C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2C に転送されたとき (2) GR2C がアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2C になったとき

ビット1：インプットキャプチャ/コンペアマッチフラグ 2B (IMF2B)

GR2B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
IMF2B	
0	[クリア条件] (初期値) IMF2B=1 の状態で、IMF2B を読み出した後、IMF2B に 0 を書き込んだとき
1	[セット条件] (1) GR2B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2B に転送されたとき (2) GR2B がアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2B になったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ 2A (IMF2A)

GR2A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
IMF2A	
0	[クリア条件] IMF2A=1 の状態で、IMF2A を読み出した後、IMF2A に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR2A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT2A の値が GR2A に転送されたとき (2) GR2A がアウトプットコンペアレジスタとして機能している場合、TCNT2A=GR2A になったとき

(b) TSR2B

TSR2B はチャンネル 2 のコンペアマッチとオーバフローのステータスを示します。

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVF2B
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/(W)*

ビット：	7	6	5	4	3	2	1	0
	CMF2H	CMF2G	CMF2F	CMF2E	CMF2D	CMF2C	CMF2B	CMF2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15～9：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8：オーバフローフラグ 2B (OVF2B)

TCNT2B のオーバフローの発生を示すステータスフラグです。

ビット8	説明
OVF2B	
0	[クリア条件] OVF2B=1 の状態で、OVF2B を読み出した後、OVF2B に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT2B の値がオーバフロー (H'FFFF→H'0000) したとき

11. アドバンスタイマユニット-II (ATU-II)

ビット7：コンペアマッチフラグ 2H (CMF2H)

OCR2H のコンペアマッチの発生を示すステータスフラグです。

ビット7	説明
CMF2H	
0	[クリア条件] (初期値) CMF2H=1 の状態で、CMF2H を読み出した後、CMF2H に 0 を書き込んだとき
1	[セット条件] TCNT2B=OCR2H になったとき

ビット6：コンペアマッチフラグ 2G (CMF2G)

OCR2G のコンペアマッチの発生を示すステータスフラグです。

ビット6	説明
CMF2G	
0	[クリア条件] (初期値) CMF2G=1 の状態で、CMF2G を読み出した後、CMF2G に 0 を書き込んだとき
1	[セット条件] TCNT2B=OCR2G になったとき

ビット5：コンペアマッチフラグ 2F (CMF2F)

OCR2F のコンペアマッチの発生を示すステータスフラグです。

ビット5	説明
CMF2F	
0	[クリア条件] (初期値) CMF2F=1 の状態で、CMF2F を読み出した後、CMF2F に 0 を書き込んだとき
1	[セット条件] TCNT2B=OCR2F になったとき

ビット4：コンペアマッチフラグ 2E (CMF2E)

OCR2E のコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
CMF2E	
0	[クリア条件] (初期値) CMF2E=1 の状態で、CMF2E を読み出した後、CMF2E に 0 を書き込んだとき
1	[セット条件] TCNT2B=OCR2E になったとき

ビット3：コンペアマッチフラグ 2D (CMF2D)

OCR2D のコンペアマッチの発生を示すステータスフラグです。

ビット3	説 明	
CMF2D		
0	[クリア条件] CMF2D=1 の状態で、CMF2D を読み出した後、CMF2D に 0 を書き込んだとき	(初期値)
1	[セット条件] TCNT2B=OCR2D になったとき	

ビット2：コンペアマッチフラグ 2C (CMF2C)

OCR2C のコンペアマッチの発生を示すステータスフラグです。

ビット2	説 明	
CMF2C		
0	[クリア条件] CMF2C=1 の状態で、CMF2C を読み出した後、CMF2C に 0 を書き込んだとき	(初期値)
1	[セット条件] TCNT2B=OCR2C になったとき	

ビット1：コンペアマッチフラグ 2B (CMF2B)

OCR2B のコンペアマッチの発生を示すステータスフラグです。

ビット1	説 明	
CMF2B		
0	[クリア条件] CMF2B=1 の状態で、CMF2B を読み出した後、CMF2B に 0 を書き込んだとき	(初期値)
1	[セット条件] TCNT2B=OCR2B になったとき	

ビット0：コンペアマッチフラグ 2A (CMF2A)

OCR2A のコンペアマッチの発生を示すステータスフラグです。

ビット0	説 明	
CMF2A		
0	[クリア条件] CMF2A=1 の状態で、CMF2A を読み出した後、CMF2A に 0 を書き込んだとき	(初期値)
1	[セット条件] TCNT2B=OCR2A になったとき	

11. アドバンスドタイマユニット-II (ATU-II)

(4) タイマステータスレジスタ 3 (TSR3)

TSR3 はチャンネル 3~5 のインプットキャプチャ、コンペアマッチとオーバフローのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
	—	OVF5	IMF5D	IMF5C	IMF5B	IMF5A	OVF4	IMF4D
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

ビット :	7	6	5	4	3	2	1	0
	IMF4C	IMF4B	IMF4A	OVF3	IMF3D	IMF3C	IMF3B	IMF3A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : オーバフローフラグ 5 (OVF5)

TCNT5 のオーバフローの発生を示すステータスフラグです。

ビット 14	説明
OVF5	
0	[クリア条件] (初期値) OVF5=1 の状態で、OVF5 を読み出した後、OVF5 に 0 を書き込んだとき
1	[セット条件] TCNT5 の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 13 : インプットキャプチャ/コンペアマッチフラグ 5D (IMF5D)

GR5D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット 13	説明
IMF5D	
0	[クリア条件] (初期値) IMF5D=1 の状態で、IMF5D を読み出した後、IMF5D に 0 を書き込んだとき
1	[セット条件] (1) GR5D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT5 の値が GR5D に転送されたとき (2) GR5D がアウトプットコンペアレジスタとして機能している場合、TCNT5=GR5D になったとき (3) GR5D が PWM モードで周期レジスタとして機能している場合、TCNT5=GR5D になったとき

ビット 12 : インพุットキャプチャ/コンペアマッチフラグ 5C (IMF5C)

GR5C のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 12	説明
IMF5C	
0	[クリア条件] (初期値) IMF5C=1 の状態で、IMF5C を読み出した後、IMF5C に 0 を書き込んだとき
1	[セット条件] (1) GR5C がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT5 の値が GR5C に転送されたとき (2) GR5C がアウトプットコンペアレジスタとして機能している場合、TCNT5=GR5C になったとき

ビット 11 : インพุットキャプチャ/コンペアマッチフラグ 5B (IMF5B)

GR5B のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 11	説明
IMF5B	
0	[クリア条件] (初期値) IMF5B=1 の状態で、IMF5B を読み出した後、IMF5B に 0 を書き込んだとき
1	[セット条件] (1) GR5B がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT5 の値が GR5B に転送されたとき (2) GR5B がアウトプットコンペアレジスタとして機能している場合、TCNT5=GR5B になったとき

ビット 10 : インพุットキャプチャ/コンペアマッチフラグ 5A (IMF5A)

GR5A のインพุットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット 10	説明
IMF5A	
0	[クリア条件] (初期値) IMF5A=1 の状態で、IMF5A を読み出した後、IMF5A に 0 を書き込んだとき
1	[セット条件] (1) GR5A がインพุットキャプチャレジスタとして機能している場合、インพุットキャプチャ信号により TCNT5 の値が GR5A に転送されたとき (2) GR5A がアウトプットコンペアレジスタとして機能している場合、TCNT5=GR5A になったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット9：オーバフローフラグ4 (OVF4)

TCNT4 のオーバフローの発生を示すステータスフラグです。

ビット9	説明
OVF4	
0	[クリア条件] (初期値) OVF4=1 の状態で、OVF4 を読み出した後、OVF4 に 0 を書き込んだとき
1	[セット条件] TCNT4 の値がオーバフロー (H'FFFF→H'0000) したとき

ビット8：インプットキャプチャ/コンペアマッチフラグ4D (IMF4D)

GR4D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット8	説明
IMF4D	
0	[クリア条件] (初期値) IMF4D=1 の状態で、IMF4D を読み出した後、IMF4D に 0 を書き込んだとき
1	[セット条件] (1) GR4D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4D に転送されたとき (2) GR4D がアウトプットコンペアレジスタとして機能している場合、TCNT4=GR4D になったとき (3) GR4D が PWM モード周期レジスタとして機能している場合、TCNT4=GR4D になったとき

ビット7：インプットキャプチャ/コンペアマッチフラグ4C (IMF4C)

GR4C のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット7	説明
IMF4C	
0	[クリア条件] (初期値) IMF4C=1 の状態で、IMF4C を読み出した後、IMF4C に 0 を書き込んだとき
1	[セット条件] (1) GR4C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4C に転送されたとき (2) GR4C がアウトプットコンペアレジスタとして機能している場合、TCNT4=GR4C になったとき

ビット6：インプットキャプチャ/コンペアマッチフラグ 4B (IMF4B)

GR4B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット6	説明
IMF4B	
0	[クリア条件] (初期値) IMF4B=1 の状態で、IMF4B を読み出した後、IMF4B に 0 を書き込んだとき
1	[セット条件] (1) GR4B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4B に転送されたとき (2) GR4B がアウトプットコンペアレジスタとして機能している場合、TCNT4=GR4B になったとき

ビット5：インプットキャプチャ/コンペアマッチフラグ 4A (IMF4A)

GR4A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット5	説明
IMF4A	
0	[クリア条件] (初期値) IMF4A=1 の状態で、IMF4A を読み出した後、IMF4A に 0 を書き込んだとき
1	[セット条件] (1) GR4A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT4 の値が GR4A に転送されたとき (2) GR4A がアウトプットコンペアレジスタとして機能している場合、TCNT4=GR4A になったとき

ビット4：オーバフローフラグ 3 (OVF3)

TCNT3 のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット4	説明
OVF3	
0	[クリア条件] (初期値) OVF3=1 の状態で、OVF3 を読み出した後、OVF3 に 0 を書き込んだとき
1	[セット条件] TCNT3 の値がオーバフロー (H'FFFF→H'0000) したとき

11. アドバンスタイマユニット-II (ATU-II)

ビット3：インプットキャプチャ/コンペアマッチフラグ 3D (IMF3D)

GR5D のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
IMF3D	
0	[クリア条件] (初期値) IMF3D=1 の状態で、IMF3D を読み出した後、IMF3D に 0 を書き込んだとき
1	[セット条件] (1) GR3D がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3D に転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3D がアウトプットコンペアレジスタとして機能している場合、TCNT3=GR3D になったとき (3) GR3D が PWM モードで周期レジスタとして機能している場合、TCNT3=GR3D になったとき

ビット2：インプットキャプチャ/コンペアマッチフラグ 3C (IMF3C)

GR3C のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット2	説明
IMF3C	
0	[クリア条件] (初期値) IMF3C=1 の状態で、IMF3C を読み出した後、IMF3C に 0 を書き込んだとき
1	[セット条件] (1) GR3C がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3C に転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3C がアウトプットコンペアレジスタとして機能している場合、TCNT3=GR3C になったとき

ビット1：インプットキャプチャ/コンペアマッチフラグ 3B (IMF3B)

GR3B のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット1	説明
IMF3B	
0	[クリア条件] (初期値) IMF3B=1 の状態で、IMF3B を読み出した後、IMF3B に 0 を書き込んだとき
1	[セット条件] (1) GR3B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3B に転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3B がアウトプットコンペアレジスタとして機能している場合、TCNT3=GR3B になったとき

ビット0：インプットキャプチャ/コンペアマッチフラグ 3A (IMF3A)

GR3A のインプットキャプチャまたはコンペアマッチの発生を示すステータスフラグです。PWM モードではフラグはセットされません。

ビット0	説明
IMF3A	
0	[クリア条件] (初期値) IMF3A=1 の状態で、IMF3A を読み出した後、IMF3A に 0 を書き込んだとき
1	[セット条件] (1) GR3A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT3 の値が GR3A に転送されたとき ただし、チャンネル9のコンペアマッチをトリガとしたインプットキャプチャではセットされません (2) GR3A がアウトプットコンペアレジスタとして機能している場合、TCNT3=GR3A になったとき

11. アドバンスドタイマユニット-II (ATU-II)

(5) タイマステータスレジスタ 6、7 (TSR6、TSR7)

TSR6、TSR7 はチャンネル 6、7 のフリーランニングカウンタのアップカウント、ダウンカウントのステータスおよびサイクルレジスタコンペアのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	UDxD	UDxC	UDxB	UDxA	CMFxD	CMFxC	CMFxB	CMFxA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

x=6、7

UDxA~D は TSR6 のみ対応しています。TSR7 で対応するビットは常に 0 がリードされます。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7 : カウントアップカウントダウンフラグ 6D (UD6D)

TCNT6D のカウント動作を示すステータスフラグです。

ビット 7	説明
UD6D	
0	フリーランニングカウンタ TCNT6D はアップカウント動作
1	フリーランニングカウンタ TCNT6D はダウンカウント動作

ビット 6 : カウントアップカウントダウンフラグ 6C (UD6C)

TCNT6C のカウント動作を示すステータスフラグです。

ビット 6	説明
UD6C	
0	フリーランニングカウンタ TCNT6C はアップカウント動作
1	フリーランニングカウンタ TCNT6C はダウンカウント動作

ビット 5 : カウントアップカウントダウンフラグ 6B (UD6B)

TCNT6B のカウント動作を示すステータスフラグです。

ビット 5	説 明
UD6B	
0	フリーランニングカウンタ TCNT6B はアップカウント動作
1	フリーランニングカウンタ TCNT6B はダウンカウント動作

ビット 4 : カウントアップカウントダウンフラグ 6A (UD6A)

TCNT6A のカウント動作を示すステータスフラグです。

ビット 4	説 明
UD6A	
0	フリーランニングカウンタ TCNT6A はアップカウント動作
1	フリーランニングカウンタ TCNT6A はダウンカウント動作

ビット 3 : サイクルレジスタコンペアマッチフラグ 6D、7D (CMF6D、CMF7D)

CYLRxD のコンペアマッチの発生を示すステータスフラグです。

ビット 3	説 明
CMFxD	
0	[クリア条件] (初期値) CMFxD=1 の状態で、CMFxD を読み出した後、CMFxD に 0 を書き込んだとき
1	[セット条件] TCNTxD=CYLRxD になったとき (非相補 PWM モード時) ダウンカウントで TCNT6D=H'0000 になったとき (相補 PWM モード時)

x=6、7

ビット 2 : サイクルレジスタコンペアマッチフラグ 6C、7C (CMF6C、CMF7C)

CYLRxC のコンペアマッチの発生を示すステータスフラグです。

ビット 2	説 明
CMFxC	
0	[クリア条件] (初期値) CMFxC=1 の状態で、CMFxC を読み出した後、CMFxC に 0 を書き込んだとき
1	[セット条件] TCNTxC=CYLRxC になったとき (非相補 PWM モード時) ダウンカウントで TCNT6C=H'0000 になったとき (相補 PWM モード時)

x=6、7

11. アドバンスタイマユニット-II (ATU-II)

ビット 1 : サイクルレジスタコンペアマッチフラグ 6B、7B (CMF6B、CMF7B)

CYLRxB のコンペアマッチの発生を示すステータスフラグです。

ビット 1	説明
CMFxB	
0	[クリア条件] CMFxB=1 の状態で、CMFxB を読み出した後、CMFxB に 0 を書き込んだとき (初期値)
1	[セット条件] TCNTxB=CYLRxB になったとき (非相補 PWM モード時) ダウンカウントで TCNT6B=H'0000 になったとき (相補 PWM モード時)

x=6、7

ビット 0 : サイクルレジスタコンペアマッチフラグ 6A、7A (CMF6A、CMF7A)

CYLRxA のコンペアマッチの発生を示すステータスフラグです。

ビット 0	説明
CMFxA	
0	[クリア条件] CMFxA=1 の状態で、CMFxA を読み出した後、CMFxA に 0 を書き込んだとき (初期値)
1	[セット条件] TCNTxA=CYLRxA になったとき (非相補 PWM モード時) ダウンカウントで TCNT6A=H'0000 になったとき (相補 PWM モード時)

x=6、7

(6) タイマステータスレジスタ 8 (TSR8)

TSR8 はチャンネル 8 のワンショットパルスのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
	OSF8P	OSF8O	OSF8N	OSF8M	OSF8L	OSF8K	OSF8J	OSF8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
ビット :	7	6	5	4	3	2	1	0
	OSF8H	OSF8G	OSF8F	OSF8E	OSF8D	OSF8C	OSF8B	OSF8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*
【注】 *	フラグをクリアするために 0 のみ書き込むことができます。							

ビット 15 : ワンショットパルスフラグ 8P (OSF8P)

DCNT8P のワンショットパルスを示すステータスフラグです。

ビット 15	説 明	
OSF8P		
0	[クリア条件] OSF8P=1 の状態で、OSF8P を読み出した後、OSF8P に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8P がアンダフローしたとき	

ビット 14 : ワンショットパルスフラグ 8O (OSF8O)

DCNT8O のワンショットパルスを示すステータスフラグです。

ビット 14	説 明	
OSF8O		
0	[クリア条件] OSF8O=1 の状態で、OSF8O を読み出した後、OSF8O に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8O がアンダフローしたとき	

ビット 13 : ワンショットパルスフラグ 8N (OSF8N)

DCNT8N のワンショットパルスを示すステータスフラグです。

ビット 13	説 明	
OSF8N		
0	[クリア条件] OSF8N=1 の状態で、OSF8N を読み出した後、OSF8N に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8N がアンダフローしたとき	

ビット 12 : ワンショットパルスフラグ 8M (OSF8M)

DCNT8M のワンショットパルスを示すステータスフラグです。

ビット 12	説 明	
OSF8M		
0	[クリア条件] OSF8M=1 の状態で、OSF8M を読み出した後、OSF8M に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8M がアンダフローしたとき	

11. アドバンスドタイマユニット-II (ATU-II)

ビット 11 : ワンショットパルスフラグ 8L (OSF8L)

DCNT8L のワンショットパルスを示すステータスフラグです。

ビット 11	説 明
OSF8L	
0	[クリア条件] (初期値) OSF8L=1 の状態で、OSF8L を読み出した後、OSF8L に 0 を書き込んだとき
1	[セット条件] DCNT8L がアンダフローしたとき

ビット 10 : ワンショットパルスフラグ 8K (OSF8K)

DCNT8K のワンショットパルスを示すステータスフラグです。

ビット 10	説 明
OSF8K	
0	[クリア条件] (初期値) OSF8K=1 の状態で、OSF8K を読み出した後、OSF8K に 0 を書き込んだとき
1	[セット条件] DCNT8K がアンダフローしたとき

ビット 9 : ワンショットパルスフラグ 8J (OSF8J)

DCNT8J のワンショットパルスを示すステータスフラグです。

ビット 9	説 明
OSF8J	
0	[クリア条件] (初期値) OSF8J=1 の状態で、OSF8J を読み出した後、OSF8J に 0 を書き込んだとき
1	[セット条件] DCNT8J がアンダフローしたとき

ビット 8 : ワンショットパルスフラグ 8I (OSF8I)

DCNT8I のワンショットパルスを示すステータスフラグです。

ビット 8	説 明
OSF8I	
0	[クリア条件] (初期値) OSF8I=1 の状態で、OSF8I を読み出した後、OSF8I に 0 を書き込んだとき
1	[セット条件] DCNT8I がアンダフローしたとき

ビット7：ワンショットパルスフラグ 8H (OSF8H)

DCNT8H のワンショットパルスを示すステータスフラグです。

ビット7	説 明	
OSF8H		
0	[クリア条件] OSF8H=1 の状態で、OSF8H を読み出した後、OSF8H に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8H がアンダフローしたとき	

ビット6：ワンショットパルスフラグ 8G (OSF8G)

DCNT8G のワンショットパルスを示すステータスフラグです。

ビット6	説 明	
OSF8G		
0	[クリア条件] OSF8G=1 の状態で、OSF8G を読み出した後、OSF8G に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8G がアンダフローしたとき	

ビット5：ワンショットパルスフラグ 8F (OSF8F)

DCNT8F のワンショットパルスを示すステータスフラグです。

ビット5	説 明	
OSF8F		
0	[クリア条件] OSF8F=1 の状態で、OSF8F を読み出した後、OSF8F に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8F がアンダフローしたとき	

ビット4：ワンショットパルスフラグ 8E (OSF8E)

DCNT8E のワンショットパルスを示すステータスフラグです。

ビット4	説 明	
OSF8E		
0	[クリア条件] OSF8E=1 の状態で、OSF8E を読み出した後、OSF8E に 0 を書き込んだとき	(初期値)
1	[セット条件] DCNT8E がアンダフローしたとき	

11. アドバンスドタイマユニット-II (ATU-II)

ビット3：ワンショットパルスフラグ 8D (OSF8D)

DCNT8D のワンショットパルスを示すステータスフラグです。

ビット3	説明
OSF8D	
0	[クリア条件] (初期値) OSF8D=1 の状態で、OSF8D を読み出した後、OSF8D に 0 を書き込んだとき
1	[セット条件] DCNT8D がアンダフローしたとき

ビット2：ワンショットパルスフラグ 8C (OSF8C)

DCNT8C のワンショットパルスを示すステータスフラグです。

ビット2	説明
OSF8C	
0	[クリア条件] (初期値) OSF8C=1 の状態で、OSF8C を読み出した後、OSF8C に 0 を書き込んだとき
1	[セット条件] DCNT8C がアンダフローしたとき

ビット1：ワンショットパルスフラグ 8B (OSF8B)

DCNT8B のワンショットパルスを示すステータスフラグです。

ビット1	説明
OSF8B	
0	[クリア条件] (初期値) OSF8B=1 の状態で、OSF8B を読み出した後、OSF8B に 0 を書き込んだとき
1	[セット条件] DCNT8B がアンダフローしたとき

ビット0：ワンショットパルスフラグ 8A (OSF8A)

DCNT8A のワンショットパルスを示すステータスフラグです。

ビット0	説明
OSF8A	
0	[クリア条件] (初期値) OSF8A=1 の状態で、OSF8A を読み出した後、OSF8A に 0 を書き込んだとき
1	[セット条件] DCNT8A がアンダフローしたとき

(7) タイマステータスレジスタ 9 (TSR9)

TSR9 はチャンネル 9 のイベントカウンタのコンペアマッチのステータスを示します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	—	—	CMF9F	CMF9E	CMF9D	CMF9C	CMF9B	CMF9A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5 : コンペアマッチフラグ 9F (CMF9F)

GR9F のコンペアマッチの発生を示すステータスフラグです。

ビット 5	説明
CMF9F	
0	[クリア条件] CMF9F=1 の状態で、CMF9F を読み出した後、CMF9F に 0 を書き込んだとき (初期値)
1	[セット条件] ECNT9F=GR9F の状態で次エッジが入力されたとき

ビット 4 : コンペアマッチフラグ 9E (CMF9E)

GR9E のコンペアマッチの発生を示すステータスフラグです。

ビット 4	説明
CMF9E	
0	[クリア条件] CMF9E=1 の状態で、CMF9E を読み出した後、CMF9E に 0 を書き込んだとき (初期値)
1	[セット条件] ECNT9E=GR9E の状態で次エッジが入力されたとき

11. アドバンスタイマユニット-II (ATU-II)

ビット3：コンペアマッチフラグ 9D (CMF9D)

GR9D のコンペアマッチの発生を示すステータスフラグです。

ビット3	説明
CMF9D	
0	[クリア条件] CMF9D=1 の状態で、CMF9D を読み出した後、CMF9D に 0 を書き込んだとき (初期値)
1	[セット条件] ECNT9D=GR9D の状態で次エッジが入力されたとき

ビット2：コンペアマッチフラグ 9C (CMF9C)

GR9C のコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
CMF9C	
0	[クリア条件] CMF9C=1 の状態で、CMF9C を読み出した後、CMF9C に 0 を書き込んだとき (初期値)
1	[セット条件] ECNT9C=GR9C の状態で次エッジが入力されたとき

ビット1：コンペアマッチフラグ 9B (CMF9B)

GR9B のコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
CMF9B	
0	[クリア条件] CMF9B=1 の状態で、CMF9B を読み出した後、CMF9B に 0 を書き込んだとき (初期値)
1	[セット条件] ECNT9B=GR9B の状態で次エッジが入力されたとき

ビット0：コンペアマッチフラグ 9A (CMF9A)

GR9A のコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
CMF9A	
0	[クリア条件] CMF9A=1 の状態で、CMF9A を読み出した後、CMF9A に 0 を書き込んだとき (初期値)
1	[セット条件] ECNT9A=GR9A の状態で次エッジが入力されたとき

(8) タイマステータスレジスタ 11 (TSR11)

TSR11 はチャンネル 11 のインプットキャプチャ、コンペアマッチやオーバフローのステータスを示します。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVF11
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/(W)*
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IMF11B	IMF11A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローフラグ 11 (OVF11)

TCNT11F のオーバフローの発生を示すステータスフラグです。

ビット 8	説明
OVF11	
0	[クリア条件] OVF11=1 の状態で、OVF11 を読み出した後、OVF11 に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT11 の値がオーバフロー (H'FFFF→H'0000) したとき

ビット 7~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : インプットキャプチャ/コンペアマッチフラグ 11B (IMF11B)

GR11B のインプットキャプチャ/コンペアマッチの発生を示すステータスフラグです。

ビット 1	説明
IMF11B	
0	[クリア条件] IMF11B=1 の状態で、IMF11B を読み出した後、IMF11B に 0 を書き込んだとき (初期値)
1	[セット条件] (1) GR11B がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT11 の値が GR11B に転送されたとき (2) GR11B がアウトプットコンペアレジスタとして機能している場合、TCNT11=GR11B になったとき

11. アドバンスタイマユニット-II (ATU-II)

ビット0：インプットキャプチャ／コンペアマッチフラグ 11A (IMF11A)

GR11A のインプットキャプチャ／コンペアマッチの発生を示すステータスフラグです。

ビット0 IMF11A	説明
0	[クリア条件] (初期値) IMF11A=1 の状態で、IMF11A を読み出した後、IMF11A に 0 を書き込んだとき
1	[セット条件] (1) GR11A がインプットキャプチャレジスタとして機能している場合、インプットキャプチャ信号により TCNT11 の値が GR11A に転送されたとき (2) GR11A がアウトプットコンペアレジスタとして機能している場合、TCNT11=GR11A になったとき

11.2.6 タイマインタラプトイネーブルレジスタ (TIER)

タイマインタラプトレジスタ (TIER) は 16 ビットのレジスタです。ATU-II には、チャンネル 0、6～9、11 に各 1 本、チャンネル 1、2 に各 2 本、チャンネル 3～5 に 1 本、計 11 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TIER0	インプットキャプチャとオーバフローの割り込みの要求の許可／禁止を制御します。
1	TIER1A、TIER1B	インプットキャプチャ、コンペアマッチとオーバフローの割り込みの要求の許可／禁止を制御します。
2	TIER2A、TIER2B	
3	TIER3	インプットキャプチャ、コンペアマッチとオーバフローの割り込みの要求の許可／禁止を制御します。
4		
5		
6	TIER6	サイクルレジスタとのコンペアマッチの割り込みの要求の許可／禁止を制御します。
7	TIER7	
8	TIER8	ダウンカウンタの出力終了 (Low) の割り込みの要求の許可／禁止を制御します。
9	TIER9	イベントカウンタのコンペアマッチの割り込みの要求の許可／禁止を制御します。
11	TIER11	インプットキャプチャ、コンペアマッチやオーバフローの割り込みの要求の許可／禁止を制御します。

TIER は 16 ビットの読み出し／書き込み可能なレジスタで、フリーランニングカウンタ (TCNT) のオーバフロー割り込み要求、チャンネル 0 のインプットキャプチャ割り込み要求、チャンネル 1～5、11 のジェネラルレジスタのインプットキャプチャ／コンペアマッチ割り込み要求、チャンネル 6、7 のコンペアマッチ割り込み要求、チャンネル 8 のダウンカウンタの出力終了割り込み要求、チャンネル 9 のイベントカウンタのコンペアマッチ割り込み要求の許可／禁止を制御します。

TIER はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に、H'0000 に初期化されます。

(1) タイマインタラプトイネーブルレジスタ 0 (TIER0)

TIER0はチャンネル0のインプットキャプチャおよびオーバフローの割り込み要求の許可/禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	—	—	—	OVE0	ICE0D	ICE0C	ICE0B	ICE0A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット 15~5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 4 : オーバフローインタラプトイネーブル 0 (OVE0)

TSR0のオーバフローフラグ (OVF0) が1にセットされたとき、OVF0による割り込み要求を許可または禁止します。

ビット 4	説明
OVE0	
0	OVF0による割り込み要求 (OVIO) を禁止 (初期値)
1	OVF0による割り込み要求 (OVIO) を許可

ビット 3 : インプットキャプチャインタラプトイネーブル 0D (ICE0D)

TSR0のインプットキャプチャフラグ (ICF0D) がセットされたとき、ICF0Dによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 3	説明
ICE0D	
0	ICF0Dによる割り込み要求 (ICI0D) を禁止 (初期値)
1	ICF0Dによる割り込み要求 (ICI0D) を許可

11. アドバンスドタイマユニット-II (ATU-II)

ビット2：インプットキャプチャインタラプトイネーブル 0C (ICE0C)

TSR0 のインプットキャプチャフラグ (ICF0C) が 1 にセットされたとき、ICF0C による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット2	説明
ICE0C	
0	ICF0C による割り込み要求 (ICI0C) を禁止 (初期値)
1	ICF0C による割り込み要求 (ICI0C) を許可

ビット1：インプットキャプチャインタラプトイネーブル 0B (ICE0B)

TSR0 のインプットキャプチャフラグ (ICF0B) が 1 にセットされたとき、ICF0B による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット1	説明
ICE0B	
0	ICF0B による割り込み要求 (ICI0B) を禁止 (初期値)
1	ICF0B による割り込み要求 (ICI0B) を許可

ビット0：インプットキャプチャインタラプトイネーブル 0A (ICE0A)

TSR0 のインプットキャプチャフラグ (ICF0A) が 1 にセットされたとき、ICF0A による割り込み要求を許可または禁止します。また、割り込み要求許可状態で DMAC を設定することにより、割り込み要求による DMAC の起動が行えます。

ビット0	説明
ICE0A	
0	ICF0A による割り込み要求 (ICI0A) を禁止 (初期値)
1	ICF0A による割り込み要求 (ICI0A) を許可

(2) タイマインタラプトイネーブルレジスタ 1A、1B (TIER1A、TIER1B)

(a) TIER1A

TIER1A はチャンネル 1 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVE1A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W
ビット :	7	6	5	4	3	2	1	0
	IME1H	IME1G	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 1A (OVE1A)

TSR1A の OVF1A が 1 にセットされたとき、OVF1A による割り込み要求を許可または禁止します。

ビット 8	説明
OVE1A	
0	OVF1A による割り込み要求 (OVI1A) を禁止 (初期値)
1	OVF1A による割り込み要求 (OVI1A) を許可

ビット 7 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 1H (IME1H)

TSR1A の IMF1H が 1 にセットされたとき、IMF1H による割り込み要求を許可または禁止します。

ビット 7	説明
IME1H	
0	IMF1H による割り込み要求 (IMI1H) を禁止 (初期値)
1	IMF1H による割り込み要求 (IMI1H) を許可

ビット 6 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 1G (IME1G)

TSR1A の IMF1G が 1 にセットされたとき、IMF1G による割り込み要求を許可または禁止します。

ビット 6	説明
IME1G	
0	IMF1G による割り込み要求 (IMI1G) を禁止 (初期値)
1	IMF1G による割り込み要求 (IMI1G) を許可

11. アドバンスタイマユニット-II (ATU-II)

ビット5：インプットキャプチャ／コンペアマッチインタラプトイネーブル 1F (IME1F)

TSR1 A の IMF1F が 1 にセットされたとき、IMF1F による割り込み要求を許可または禁止します。

ビット5	説明
IME1F	
0	IMF1F による割り込み要求 (IMI1F) を禁止 (初期値)
1	IMF1F による割り込み要求 (IMI1F) を許可

ビット4：インプットキャプチャ／コンペアマッチインタラプトイネーブル 1E (IME1E)

TSR1 A の IMF1E が 1 にセットされたとき、IMF1E による割り込み要求を許可または禁止します。

ビット4	説明
IME1E	
0	IMF1E による割り込み要求 (IMI1E) を禁止 (初期値)
1	IMF1E による割り込み要求 (IMI1E) を許可

ビット3：インプットキャプチャ／コンペアマッチインタラプトイネーブル 1D (IME1D)

TSR1 A の IMF1D が 1 にセットされたとき、IMF1D による割り込み要求を許可または禁止します。

ビット3	説明
IME1D	
0	IMF1D による割り込み要求 (IMI1D) を禁止 (初期値)
1	IMF1D による割り込み要求 (IMI1D) を許可

ビット2：インプットキャプチャ／コンペアマッチインタラプトイネーブル 1C (IME1C)

TSR1 A の IMF1C が 1 にセットされたとき、IMF1C による割り込み要求を許可または禁止します。

ビット2	説明
IME1C	
0	IMF1C による割り込み要求 (IMI1C) を禁止 (初期値)
1	IMF1C による割り込み要求 (IMI1C) を許可

ビット1：インプットキャプチャ／コンペアマッチインタラプトイネーブル 1B (IME1B)

TSR1 A の IMF1B が 1 にセットされたとき、IMF1B による割り込み要求を許可または禁止します。

ビット1	説明
IME1B	
0	IMF1B による割り込み要求 (IMI1B) を禁止 (初期値)
1	IMF1B による割り込み要求 (IMI1B) を許可

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル1A (IME1A)

TSR1AのIMF1Aが1にセットされたとき、IMF1Aによる割り込み要求を許可または禁止します。

ビット0	説明
IME1A	
0	IMF1Aによる割り込み要求 (IMI1A) を禁止 (初期値)
1	IMF1Aによる割り込み要求 (IMI1A) を許可

(b) TIER1B

TIER1Bはチャンネル1のコンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVE1B
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W
ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	CME1
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット15～9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：オーバフローインタラプトイネーブル1B (OVE1B)

TSR1Bのオーバフローフラグ (OVF1B) が1にセットされたとき、OVF1Bによる割り込み要求を許可または禁止します。

ビット8	説明
OVE1B	
0	OVF1Bによる割り込み要求 (OVI1B) を禁止 (初期値)
1	OVF1Bによる割り込み要求 (OVI1B) を許可

ビット7～1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：コンペアマッチインタラプトイネーブル1 (CME1)

TSR1BのCMF1が1にセットされたとき、CMF1による割り込み要求を許可または禁止します。

ビット0	説明
CME1	
0	CMF1による割り込み要求 (CMI1) を禁止 (初期値)
1	CMF1による割り込み要求 (CMI1) を許可

11. アドバンスドタイマユニット-II (ATU-II)

(3) タイマインタラプトイネーブルレジスタ 2A、2B (TIER2A、TIER2B)

(a) TIER2A

TIER2A はチャンネル 2 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVE2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W

ビット:	7	6	5	4	3	2	1	0
	IME2H	IME2G	IME2F	IME2E	IME2D	IME2C	IME2B	IME2A
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 2A (OVE2A)

TSR2A の OVF2A が 1 にセットされたとき、OVF2A による割り込み要求を許可または禁止します。

ビット 8	説明
OVE2A	
0	OVF2A による割り込み要求 (OVI2A) を禁止 (初期値)
1	OVF2A による割り込み要求 (OVI2A) を許可

ビット 7 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 2H (IME2H)

TSR2 A の IMF2H が 1 にセットされたとき、IMF2H による割り込み要求を許可または禁止します。

ビット 7	説明
IME2H	
0	IMF2H による割り込み要求 (IMI2H) を禁止 (初期値)
1	IMF2H による割り込み要求 (IMI2H) を許可

ビット 6 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 2G (IME2G)

TSR2 A の IMF2G が 1 にセットされたとき、IMF2G による割り込み要求を許可または禁止します。

ビット 6	説明
IME2G	
0	IMF2G による割り込み要求 (IMI2G) を禁止 (初期値)
1	IMF2G による割り込み要求 (IMI2G) を許可

ビット5：インプットキャプチャ／コンペアマッチインタラプトイネーブル 2F (IME2F)

TSR2 A の IMF2F が 1 にセットされたとき、IMF2F による割り込み要求を許可または禁止します。

ビット5	説 明	
IME2F		
0	IMF2F による割り込み要求 (IMI2F) を禁止	(初期値)
1	IMF2F による割り込み要求 (IMI2F) を許可	

ビット4：インプットキャプチャ／コンペアマッチインタラプトイネーブル 2E (IME2E)

TSR2 A の IMF2E が 1 にセットされたとき、IMF2E による割り込み要求を許可または禁止します。

ビット4	説 明	
IME2E		
0	IMF2E による割り込み要求 (IMI2E) を禁止	(初期値)
1	IMF2E による割り込み要求 (IMI2E) を許可	

ビット3：インプットキャプチャ／コンペアマッチインタラプトイネーブル 2D (IME2D)

TSR2 A の IMF2D が 1 にセットされたとき、IMF2D による割り込み要求を許可または禁止します。

ビット3	説 明	
IME2D		
0	IMF2D による割り込み要求 (IMI2D) を禁止	(初期値)
1	IMF2D による割り込み要求 (IMI2D) を許可	

ビット2：インプットキャプチャ／コンペアマッチインタラプトイネーブル 2C (IME2C)

TSR2A の IMF2C が 1 にセットされたとき、IMF2C による割り込み要求を許可または禁止します。

ビット2	説 明	
IME2C		
0	IMF2C による割り込み要求 (IMI2C) を禁止	(初期値)
1	IMF2C による割り込み要求 (IMI2C) を許可	

ビット1：インプットキャプチャ／コンペアマッチインタラプトイネーブル 2B (IME2B)

TSR2 A の IMF2B が 1 にセットされたとき、IMF2B による割り込み要求を許可または禁止します。

ビット1	説 明	
IME2B		
0	IMF2B による割り込み要求 (IMI2B) を禁止	(初期値)
1	IMF2B による割り込み要求 (IMI2B) を許可	

11. アドバンスドタイマユニット-II (ATU-II)

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル 2A (IME2A)

TSR2A の IMF2A が 1 にセットされたとき、IMF2A による割り込み要求を許可または禁止します。

ビット0	説明
IME2A	
0	IMF2A による割り込み要求 (IMI2A) を禁止 (初期値)
1	IMF2A による割り込み要求 (IMI2A) を許可

(b) TIER2B

TIER2B はチャンネル2のコンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVE2B
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット：	7	6	5	4	3	2	1	0
	CME2H	CME2G	CME2F	CME2E	CME2D	CME2C	CME2B	CME2A
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット15～9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：オーバフローインタラプトイネーブル 2B (OVE2B)

TSR2B の OVF2B が 1 にセットされたとき、OVF2B による割り込み要求を許可または禁止します。

ビット8	説明
OVE2B	
0	OVF2B による割り込み要求 (OVI2B) を禁止 (初期値)
1	OVF2B による割り込み要求 (OVI2B) を許可

ビット7：コンペアマッチインタラプトイネーブル 2H (CME2H)

TSR2B の CMF2H が 1 にセットされたとき、CMF2F による割り込み要求を許可または禁止します。

ビット7	説明
CME2H	
0	CMF2H による割り込み要求 (CMI2H) を禁止 (初期値)
1	CMF2H による割り込み要求 (CMI2H) を許可

ビット6：コンペアマッチインタラプトイネーブル2G (CME2G)

TSR2BのCMF2Gが1にセットされたとき、CMF2Gによる割り込み要求を許可または禁止します。

ビット6	説 明	
CME2G		
0	CMF2Gによる割り込み要求 (CMI2G) を禁止	(初期値)
1	CMF2Gによる割り込み要求 (CMI2G) を許可	

ビット5：コンペアマッチインタラプトイネーブル2F (CME2F)

TSR2BのCMF2Fが1にセットされたとき、CMF2Fによる割り込み要求を許可または禁止します。

ビット5	説 明	
CME2F		
0	CMF2Fによる割り込み要求 (CMI2F) を禁止	(初期値)
1	CMF2Fによる割り込み要求 (CMI2F) を許可	

ビット4：コンペアマッチインタラプトイネーブル2E (CME2E)

TSR2BのCMF2Eが1にセットされたとき、CMF2Eによる割り込み要求を許可または禁止します。

ビット4	説 明	
CME2E		
0	CMF2Eによる割り込み要求 (CMI2E) を禁止	(初期値)
1	CMF2Eによる割り込み要求 (CMI2E) を許可	

ビット3：コンペアマッチインタラプトイネーブル2D (CME2D)

TSR2BのCMF2Dが1にセットされたとき、CMF2Dによる割り込み要求を許可または禁止します。

ビット3	説 明	
CME2D		
0	CMF2Dによる割り込み要求 (CMI2D) を禁止	(初期値)
1	CMF2Dによる割り込み要求 (CMI2D) を許可	

ビット2：コンペアマッチインタラプトイネーブル2C (CME2C)

TSR2BのCMF2Cが1にセットされたとき、CMF2Cによる割り込み要求を許可または禁止します。

ビット2	説 明	
CME2C		
0	CMF2Cによる割り込み要求 (CMI2C) を禁止	(初期値)
1	CMF2Cによる割り込み要求 (CMI2C) を許可	

11. アドバンスドタイマユニット-II (ATU-II)

ビット 1 : コンペアマッチインタラプトイネーブル 2B (CME2B)

TSR2B の CMF2B が 1 にセットされたとき、CMF2B による割り込み要求を許可または禁止します。

ビット 1	説明
CME2B	
0	CMF2B による割り込み要求 (CMI2B) を禁止 (初期値)
1	CMF2B による割り込み要求 (CMI2B) を許可

ビット 0 : コンペアマッチインタラプトイネーブル 2A (CME2A)

TSR2B の CMF2A が 1 にセットされたとき、CMF2A による割り込み要求を許可または禁止します。

ビット 0	説明
CME2A	
0	CMF2A による割り込み要求 (CMI2A) を禁止 (初期値)
1	CMF2A による割り込み要求 (CMI2A) を許可

(4) タイマインタラプトイネーブルレジスタ 3 (TIER3)

TIER3 はチャンネル 3~5 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
	—	OVE5	IME5D	IME5C	IME5B	IME5A	OVE4	IME4D
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	IME4C	IME4B	IME4A	OVE3	IME3D	IME3C	IME3B	IME3A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : オーバフローインタラプトイネーブル 5 (OVE5)

TSR3 の OVF5 が 1 にセットされたとき、OVF5 による割り込み要求を許可または禁止します。

ビット 14	説明
OVE5	
0	OVF5 による割り込み要求 (OVI5) を禁止 (初期値)
1	OVF5 による割り込み要求 (OVI5) を許可

ビット 13 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 5D (IME5D)

TSR3 の IMF5D が 1 にセットされたとき、IMF5D による割り込み要求を許可または禁止します。

ビット 13	説 明	
IME5D		
0	IMF5D による割り込み要求 (IMI5D) を禁止	(初期値)
1	IMF5D による割り込み要求 (IMI5D) を許可	

ビット 12 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 5C (IME5C)

TSR3 の IMF5C が 1 にセットされたとき、IMF5C による割り込み要求を許可または禁止します。

ビット 12	説 明	
IME5C		
0	IMF5C による割り込み要求 (IMI5C) を禁止	(初期値)
1	IMF5C による割り込み要求 (IMI5C) を許可	

ビット 11 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 5B (IME5B)

TSR3 の IMF5B が 1 にセットされたとき、IMF5B による割り込み要求を許可または禁止します。

ビット 11	説 明	
IME5B		
0	IMF5B による割り込み要求 (IMI5B) を禁止	(初期値)
1	IMF5B による割り込み要求 (IMI5B) を許可	

ビット 10 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 5A (IME5A)

TSR3 の IMF5A が 1 にセットされたとき、IMF5A による割り込み要求を許可または禁止します。

ビット 10	説 明	
IME5A		
0	IMF5A による割り込み要求 (IMI5A) を禁止	(初期値)
1	IMF5A による割り込み要求 (IMI5A) を許可	

ビット 9 : オーバフローインタラプトイネーブル 4 (OVE4)

TSR3 の OVF4 が 1 にセットされたとき、OVF4 による割り込み要求を許可または禁止します。

ビット 9	説 明	
OVE4		
0	OVF4 による割り込み要求 (OVI4) を禁止	(初期値)
1	OVF4 による割り込み要求 (OVI4) を許可	

11. アドバンスタイマユニット-II (ATU-II)

ビット 8 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 4D (IME4D)

TSR3 の IMF4D が 1 にセットされたとき、IMF4D による割り込み要求を許可または禁止します。

ビット 8	説 明
IME4D	
0	IMF4D による割り込み要求 (IMI4D) を禁止 (初期値)
1	IMF4D による割り込み要求 (IMI4D) を許可

ビット 7 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 4C (IME4C)

TSR3 の IMF4C が 1 にセットされたとき、IMF4C による割り込み要求を許可または禁止します。

ビット 7	説 明
IME4C	
0	IMF4C による割り込み要求 (IMI4C) を禁止 (初期値)
1	IMF4C による割り込み要求 (IMI4C) を許可

ビット 6 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 4B (IME4B)

TSR3 の IMF4B が 1 にセットされたとき、IMF4B による割り込み要求を許可または禁止します。

ビット 6	説 明
IME4B	
0	IMF4B による割り込み要求 (IMI4B) を禁止 (初期値)
1	IMF4B による割り込み要求 (IMI4B) を許可

ビット 5 : インพุットキャプチャ/コンペアマッチインタラプトイネーブル 4A (IME4A)

TSR3 の IMF4A が 1 にセットされたとき、IMF4A による割り込み要求を許可または禁止します。

ビット 5	説 明
IME4A	
0	IMF4A による割り込み要求 (IMI4A) を禁止 (初期値)
1	IMF4A による割り込み要求 (IMI4A) を許可

ビット 4 : オーバフローインタラプトイネーブル 3 (OVE3)

TSR3 の OVF3 が 1 にセットされたとき、OVF3 による割り込み要求を許可または禁止します。

ビット 4	説 明
OVE3	
0	OVF3 による割り込み要求 (OVI3) を禁止 (初期値)
1	OVF3 による割り込み要求 (OVI3) を許可

ビット3：インプットキャプチャ/コンペアマッチインタラプトイネーブル 3D (IME3D)

TSR3 の IMF3D が 1 にセットされたとき、IMF3D による割り込み要求を許可または禁止します。

ビット3	説 明	
IME3D		
0	IMF3D による割り込み要求 (IMI3D) を禁止	(初期値)
1	IMF3D による割り込み要求 (IMI3D) を許可	

ビット2：インプットキャプチャ/コンペアマッチインタラプトイネーブル 3C (IME3C)

TSR3 の IMF3C が 1 にセットされたとき、IMF3C による割り込み要求を許可または禁止します。

ビット2	説 明	
IME3C		
0	IMF3C による割り込み要求 (IMI3C) を禁止	(初期値)
1	IMF3C による割り込み要求 (IMI3C) を許可	

ビット1：インプットキャプチャ/コンペアマッチインタラプトイネーブル 3B (IME3B)

TSR3 の IMF3B が 1 にセットされたとき、IMF3B による割り込み要求を許可または禁止します。

ビット1	説 明	
IME3B		
0	IMF3B による割り込み要求 (IMI3B) を禁止	(初期値)
1	IMF3B による割り込み要求 (IMI3B) を許可	

ビット0：インプットキャプチャ/コンペアマッチインタラプトイネーブル 3A (IME3A)

TSR3 の IMF3A が 1 にセットされたとき、IMF3A による割り込み要求を許可または禁止します。

ビット0	説 明	
IME3A		
0	IMF3A による割り込み要求 (IMI3A) を禁止	(初期値)
1	IMF3A による割り込み要求 (IMI3A) を許可	

11. アドバンスドタイマユニット-II (ATU-II)

(5) タイマインタラプトイネーブルレジスタ 6、7 (TIER6、TIER7)

TIER6、7はチャンネル 6、7のサイクルレジスタコンペアの割り込み要求の許可/禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	CMExD	CMExC	CMExB	CMExA
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R/W	R/W

x=6、7

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : サイクルレジスタコンペアマッチインタラプトイネーブル 6D、7D (CME6D、CME7D)

TSR6、7のCMFxDが1にセットされたとき、CMFxDによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 3	説明
CMExD	
0	CMFxDによる割り込み要求 (CMIxD) を禁止 (初期値)
1	CMFxDによる割り込み要求 (CMIxD) を許可

x=6、7

ビット 2 : サイクルレジスタコンペアマッチインタラプトイネーブル 6C、7C (CME6C、CME7C)

TSR6、7のCMFxCが1にセットされたとき、CMFxCによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 2	説明
CMExC	
0	CMFxCによる割り込み要求 (CMIxC) を禁止 (初期値)
1	CMFxCによる割り込み要求 (CMIxC) を許可

x=6、7

ビット 1 : サイクルレジスタコンペアマッチインタラプトイネーブル 6B、7B (CME6B、CME7B)

TSR6、7のCMFxBが1にセットされたとき、CMFxBによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 1	説 明	
CMExB		
0	CMFxBによる割り込み要求 (CMixB) を禁止	(初期値)
1	CMFxBによる割り込み要求 (CMixB) を許可	

x=6、7

ビット 0 : サイクルレジスタコンペアマッチインタラプトイネーブル 6A、7A (CME6A、CME7A)

TSR6、7のCMFxAが1にセットされたとき、CMFxAによる割り込み要求を許可または禁止します。また、割り込み要求許可状態でDMACを設定することにより、割り込み要求によるDMACの起動が行えます。

ビット 0	説 明	
CMExA		
0	CMFxAによる割り込み要求 (CMixA) を禁止	(初期値)
1	CMFxAによる割り込み要求 (CMixA) を許可	

x=6、7

(6) タイマインタラプトイネーブルレジスタ 8 (TIER8)

TIER8はチャンネル8のワンショットパルスの割り込み要求の許可/禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
	OSE8P	OSE8O	OSE8N	OSE8M	OSE8L	OSE8K	OSE8J	OSE8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	OSE8H	OSE8G	OSE8F	OSE8E	OSE8D	OSE8C	OSE8B	OSE8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15 : ワンショットパルスインタラプトイネーブル 8P (OSE8P)

TSR8のOSF8Pが1にセットされたとき、OSF8Pによる割り込み要求を許可または禁止します。

ビット 15	説 明	
OSE8P		
0	OSF8Pによる割り込み要求 (OSI8P) を禁止	(初期値)
1	OSF8Pによる割り込み要求 (OSI8P) を許可	

11. アドバンスタイマユニット-II (ATU-II)

ビット 14 : ワンショットパルスインタラプトイネーブル 8O (OSE8O)

TSR8 の OSF8O が 1 にセットされたとき、OSF8O による割り込み要求を許可または禁止します。

ビット 14	説 明
OSE8O	
0	OSF8O による割り込み要求 (OSI8O) を禁止 (初期値)
1	OSF8O による割り込み要求 (OSI8O) を許可

ビット 13 : ワンショットパルスインタラプトイネーブル 8N (OSE8N)

TSR8 の OSF8N が 1 にセットされたとき、OSF8N による割り込み要求を許可または禁止します。

ビット 13	説 明
OSE8N	
0	OSF8N による割り込み要求 (OSI8N) を禁止 (初期値)
1	OSF8N による割り込み要求 (OSI8N) を許可

ビット 12 : ワンショットパルスインタラプトイネーブル 8M (OSE8M)

TSR8 の OSF8M が 1 にセットされたとき、OSF8M による割り込み要求を許可または禁止します。

ビット 12	説 明
OSE8M	
0	OSF8M による割り込み要求 (OSI8M) を禁止 (初期値)
1	OSF8M による割り込み要求 (OSI8M) を許可

ビット 11 : ワンショットパルスインタラプトイネーブル 8L (OSE8L)

TSR8 の OSF8L が 1 にセットされたとき、OSF8L による割り込み要求を許可または禁止します。

ビット 11	説 明
OSE8L	
0	OSF8L による割り込み要求 (OSI8L) を禁止 (初期値)
1	OSF8L による割り込み要求 (OSI8L) を許可

ビット 10 : ワンショットパルスインタラプトイネーブル 8K (OSE8K)

TSR8 の OSF8K が 1 にセットされたとき、OSF8K による割り込み要求を許可または禁止します。

ビット 10	説 明
OSE8K	
0	OSF8K による割り込み要求 (OSI8K) を禁止 (初期値)
1	OSF8K による割り込み要求 (OSI8K) を許可

ビット9：ワンショットパルスインタラプトイネーブル 8J (OSE8J)

TSR8 の OSF8J が 1 にセットされたとき、OSF8J による割り込み要求を許可または禁止します。

ビット9	説 明	
OSE8J		
0	OSF8J による割り込み要求 (OSI8J) を禁止	(初期値)
1	OSF8J による割り込み要求 (OSI8J) を許可	

ビット8：ワンショットパルスインタラプトイネーブル 8I (OSE8I)

TSR8 の OSF8I が 1 にセットされたとき、OSF8I による割り込み要求を許可または禁止します。

ビット8	説 明	
OSE8I		
0	OSF8I による割り込み要求 (OSI8I) を禁止	(初期値)
1	OSF8I による割り込み要求 (OSI8I) を許可	

ビット7：ワンショットパルスインタラプトイネーブル 8H (OSE8H)

TSR8 の OSF8H が 1 にセットされたとき、OSF8H による割り込み要求を許可または禁止します。

ビット7	説 明	
OSE8H		
0	OSF8H による割り込み要求 (OSI8H) を禁止	(初期値)
1	OSF8H による割り込み要求 (OSI8H) を許可	

ビット6：ワンショットパルスインタラプトイネーブル 8G (OSE8G)

TSR8 の OSF8G が 1 にセットされたとき、OSF8G による割り込み要求を許可または禁止します。

ビット6	説 明	
OSE8G		
0	OSF8G による割り込み要求 (OSI8G) を禁止	(初期値)
1	OSF8G による割り込み要求 (OSI8G) を許可	

ビット5：ワンショットパルスインタラプトイネーブル 8F (OSE8F)

TSR8 の OSF8F が 1 にセットされたとき、OSF8F による割り込み要求を許可または禁止します。

ビット5	説 明	
OSE8F		
0	OSF8F による割り込み要求 (OSI8F) を禁止	(初期値)
1	OSF8F による割り込み要求 (OSI8F) を許可	

11. アドバンスドタイマユニット-II (ATU-II)

ビット4：ワンショットパルスインタラプトイネーブル 8E (OSE8E)

TSR8 の OSF8E が 1 にセットされたとき、OSF8E による割り込み要求を許可または禁止します。

ビット4	説明
OSE8E	
0	OSF8E による割り込み要求 (OSI8E) を禁止 (初期値)
1	OSF8E による割り込み要求 (OSI8E) を許可

ビット3：ワンショットパルスインタラプトイネーブル 8D (OSE8D)

TSR8 の OSF8D が 1 にセットされたとき、OSF8D による割り込み要求を許可または禁止します。

ビット3	説明
OSE8D	
0	OSF8D による割り込み要求 (OSI8D) を禁止 (初期値)
1	OSF8D による割り込み要求 (OSI8D) を許可

ビット2：ワンショットパルスインタラプトイネーブル 8C (OSE8C)

TSR8 の OSF8C が 1 にセットされたとき、OSF8C による割り込み要求を許可または禁止します。

ビット2	説明
OSE8C	
0	OSF8C による割り込み要求 (OSI8C) を禁止 (初期値)
1	OSF8C による割り込み要求 (OSI8C) を許可

ビット1：ワンショットパルスインタラプトイネーブル 8B (OSE8B)

TSR8 の OSF8B が 1 にセットされたとき、OSF8B による割り込み要求を許可または禁止します。

ビット1	説明
OSE8B	
0	OSF8B による割り込み要求 (OSI8B) を禁止 (初期値)
1	OSF8B による割り込み要求 (OSI8B) を許可

ビット0：ワンショットパルスインタラプトイネーブル 8A (OSE8A)

TSR8 の OSF8A が 1 にセットされたとき、OSF8A による割り込み要求を許可または禁止します。

ビット0	説明
OSE8A	
0	OSF8A による割り込み要求 (OSI8A) を禁止 (初期値)
1	OSF8A による割り込み要求 (OSI8A) を許可

(7) タイマインタラプトイネーブルレジスタ 9 (TIER9)

TIER9 はチャンネル 9 のコンペアマッチの割り込み要求の許可／禁止を制御します。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

ビット:	7	6	5	4	3	2	1	0
	—	—	CME9F	CME9E	CME9D	CME9C	CME9B	CME9A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~6 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 5 : コンペアマッチインタラプトイネーブル 9F (CME9F)

TSR9 の CMF9F が 1 にセットされたとき、CMF9F による割り込み要求を許可または禁止します。

ビット 5	説明
CME9F	
0	CMF9F による割り込み要求 (CMI9F) を禁止 (初期値)
1	CMF9F による割り込み要求 (CMI9F) を許可

ビット 4 : コンペアマッチインタラプトイネーブル 9E (CME9E)

TSR9 の CMF9E が 1 にセットされたとき、CMF9E による割り込み要求を許可または禁止します。

ビット 4	説明
CME9E	
0	CMF9E による割り込み要求 (CMI9E) を禁止 (初期値)
1	CMF9E による割り込み要求 (CMI9E) を許可

ビット 3 : コンペアマッチインタラプトイネーブル 9D (CME9D)

TSR9 の CMF9D が 1 にセットされたとき、CMF9D による割り込み要求を許可または禁止します。

ビット 3	説明
CME9D	
0	CMF9D による割り込み要求 (CMI9D) を禁止 (初期値)
1	CMF9D による割り込み要求 (CMI9D) を許可

11. アドバンスドタイマユニット-II (ATU-II)

ビット 2 : コンペアマッチインタラプトイネーブル 9C (CME9C)

TSR9 の CMF9C が 1 にセットされたとき、CMF9C による割り込み要求を許可または禁止します。

ビット 2	説 明
CME9C	
0	CMF9C による割り込み要求 (CMI9C) を禁止 (初期値)
1	CMF9C による割り込み要求 (CMI9C) を許可

ビット 1 : コンペアマッチインタラプトイネーブル 9B (CME9B)

TSR9 の CMF9B が 1 にセットされたとき、CMF9B による割り込み要求を許可または禁止します。

ビット 1	説 明
CME9B	
0	CMF9B による割り込み要求 (CMI9B) を禁止 (初期値)
1	CMF9B による割り込み要求 (CMI9B) を許可

ビット 0 : コンペアマッチインタラプトイネーブル 9A (CME9A)

TSR9 の CMF9A が 1 にセットされたとき、CMF9A による割り込み要求を許可または禁止します。

ビット 0	説 明
CME9A	
0	CMF9A による割り込み要求 (CMI9A) を禁止 (初期値)
1	CMF9A による割り込み要求 (CMI9A) を許可

(8) タイマインタラプトイネーブルレジスタ 11 (TIER11)

TIER11 はチャンネル 11 のインプットキャプチャ、コンペアマッチとオーバフローの割り込み要求の許可/禁止を制御します。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	OVE11
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R/W
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	IME11B	IME11A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R/W	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : オーバフローインタラプトイネーブル 11 (OVE11)

TSR11 の OVF11 が 1 にセットされたとき、OVF11 による割り込み要求を許可または禁止します。

ビット 8	説 明	
OVE11		
0	OVF11 による割り込み要求 (OVI11) を禁止	(初期値)
1	OVF11 による割り込み要求 (OVI11) を許可	

ビット 7~2 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 1 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 11B (IME11B)

TSR11 の IMF11B が 1 にセットされたとき、IMF11B による割り込み要求を許可または禁止します。

ビット 1	説 明	
IME11B		
0	IMF11B による割り込み要求 (IMI11B) を禁止	(初期値)
1	IMF11B による割り込み要求 (IMI11B) を許可	

ビット 0 : インプットキャプチャ/コンペアマッチインタラプトイネーブル 11A (IME11A)

TSR11 の IMF11A が 1 にセットされたとき、IMF11A による割り込み要求を許可または禁止します。

ビット 0	説 明	
IME11A		
0	IMF11A による割り込み要求 (IMI11A) を禁止	(初期値)
1	IMF11A による割り込み要求 (IMI11A) を許可	

11.2.7 インターバルインタラプトリクエストレジスタ (ITVRR)

インターバルインタラプトリクエストレジスタ (ITVRR) は 8 ビットのレジスタです。ATU-II には、チャンネル 0 に 3 本のレジスタがあります。

チャンネル	略 称	機 能
0	ITVRR1	TCNT0 のビット 6~9 にインターバル割り込み発生および A/D2 変換器起動
	ITVRR2A	TCNT0 のビット 10~13 にインターバル割り込み発生および A/D0 変換器起動
	ITVRR2B	TCNT0 のビット 10~13 にインターバル割り込み発生および A/D1 変換器起動

(1) インターバルインタラプトレジスタ 1 (ITVRR1)

ビット:	7	6	5	4	3	2	1	0
	ITVA9	ITVA8	ITVA7	ITVA6	ITVE9	ITVE8	ITVE7	ITVE6
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

インターバルインタラプトリクエストレジスタ 1 (ITVRR1) は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0 のフリーランニングカウンタ (TCNT0) の対応するビットの立ち上がりを検出して周期的な割り込み出力や A/D2 変換の起動を制御します。

ITVRR1 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : A/D2 変換器インターバル起動ビット 9 (ITVA9)

TCNT0 のビット 9 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 9 の立ち上がりと ITVA9 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 7	説 明	
ITVA9		
0	TCNT0 のビット 9 の立ち上がりで A/D2 変換器の起動を禁止	(初期値)
1	TCNT0 のビット 9 の立ち上がりで A/D2 変換器の起動を許可	

ビット 6 : A/D2 変換器インターバル起動ビット 8 (ITVA8)

TCNT0 のビット 8 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 8 の立ち上がりと ITVA8 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 6	説 明	
ITVA8		
0	TCNT0 のビット 8 の立ち上がりで A/D2 変換器の起動を禁止	(初期値)
1	TCNT0 のビット 8 の立ち上がりで A/D2 変換器の起動を許可	

ビット 5 : A/D2 変換器インターバル起動ビット 7 (ITVA7)

TCNT0 のビット 7 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 7 の立ち上がりと ITVA7 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 5	説 明
ITVA7	
0	TCNT0 のビット 7 の立ち上がりで A/D2 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 7 の立ち上がりで A/D2 変換器の起動を許可

ビット 4 : A/D2 変換器インターバル起動ビット 6 (ITVA6)

TCNT0 のビット 6 に対応した A/D2 変換器への起動の設定ビットです。TCNT0 のビット 6 の立ち上がりと ITVA6 で AND をとり、A/D2 変換器へ起動信号として出力します。

ビット 4	説 明
ITVA6	
0	TCNT0 のビット 6 の立ち上がりで A/D2 変換器の起動を禁止 (初期値)
1	TCNT0 のビット 6 の立ち上がりで A/D2 変換器の起動を許可

ビット 3 : インターバルインタラプトビット 9 (ITVE9)

TCNT0 のビット 9 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 9 の立ち上がりと ITVE9 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 3	説 明
ITVE9	
0	TCNT0 のビット 9 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 9 の立ち上がりで割り込み要求 (ITV1) を許可

ビット 2 : インターバルインタラプトビット 8 (ITVE8)

TCNT0 のビット 8 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 8 の立ち上がりと ITVE8 で AND をとり、結果を TSR0 の IIF1 に格納し、CPU へ割り込みを要求します。

ビット 2	説 明
ITVE8	
0	TCNT0 のビット 8 の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0 のビット 8 の立ち上がりで割り込み要求 (ITV1) を許可

11. アドバンスドタイマユニット-II (ATU-II)

ビット1：インターバルインタラプトビット7 (ITVE7)

TCNT0のビット7に対応したINTCへのインターバル割り込みの設定ビットです。TCNT0のビット7の立ち上がりでITVE7でANDをとり、結果をTSR0のIIF1に格納し、CPUへ割り込みを要求します。

ビット1	説明
ITVE7	
0	TCNT0のビット7の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0のビット7の立ち上がりで割り込み要求 (ITV1) を許可

ビット0：インターバルインタラプトビット6 (ITVE6)

TCNT0のビット6に対応したINTCへのインターバル割り込みの設定ビットです。TCNT0のビット6の立ち上がりでITVE6でANDをとり、結果をTSR0のIIF1に格納し、CPUへ割り込みを要求します。

ビット0	説明
ITVE6	
0	TCNT0のビット6の立ち上がりで割り込み要求 (ITV1) を禁止 (初期値)
1	TCNT0のビット6の立ち上がりで割り込み要求 (ITV1) を許可

(2) インターバルインタラプトレジスタ 2A、2B (ITVRR2A、ITVRR2B)

ビット：	7	6	5	4	3	2	1	0
	ITVA13x	ITVA12x	ITVA11x	ITVA10x	ITVE13x	ITVE12x	ITVE11x	ITVE10x
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

x=A、B

ビット7：A/D0、1変換器インターバル起動ビット13A、13B (ITVA13A、13B)

TCNT0のビット13に対応したA/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0のビット13の立ち上がりでITVA13xでANDをとり、A/D0、1変換器へ起動信号として出力します。

ビット7	説明
ITVA13x	
0	TCNT0のビット13の立ち上がりでA/D0、1変換器の起動を禁止 (初期値)
1	TCNT0のビット13の立ち上がりでA/D0、1変換器の起動を許可

x=A、B

ビット 6 : A/D0、1 変換器インターバル起動ビット 12A、12B (ITVA12A、12B)

TCNT0 のビット 12 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 12 の立ち上がりと ITVA12x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット 6	説 明	
ITVA12x		
0	TCNT0 のビット 12 の立ち上がりで A/D0、1 変換器の起動を禁止	(初期値)
1	TCNT0 のビット 12 の立ち上がりで A/D0、1 変換器の起動を許可	

x=A、B

ビット 5 : A/D0、1 変換器インターバル起動ビット 11A、11B (ITVA11A、11B)

TCNT0 のビット 11 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 11 の立ち上がりと ITVA11x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット 5	説 明	
ITVA11x		
0	TCNT0 のビット 11 の立ち上がりで A/D0、1 変換器の起動を禁止	(初期値)
1	TCNT0 のビット 11 の立ち上がりで A/D0、1 変換器の起動を許可	

x=A、B

ビット 4 : A/D0、1 変換器インターバル起動ビット 10A、10B (ITVA10A、10B)

TCNT0 のビット 10 に対応した A/D0、1 (ITVRR2A=A/D0、ITVRR2B=A/D1) 変換器への起動の設定ビットです。TCNT0 のビット 10 の立ち上がりと ITVA10x で AND をとり、A/D0、1 変換器へ起動信号として出力します。

ビット 4	説 明	
ITVA10x		
0	TCNT0 のビット 10 の立ち上がりで A/D0、1 変換器の起動を禁止	(初期値)
1	TCNT0 のビット 10 の立ち上がりで A/D0、1 変換器の起動を許可	

x=A、B

ビット 3 : インターバルインタラプトビット 13A、13B (ITVE13A、13B)

TCNT0 のビット 13 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 13 の立ち上がりと ITVE13x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット 3	説 明	
ITVE13x		
0	TCNT0 のビット 13 の立ち上がりで割り込み要求 (ITV2x) を禁止	(初期値)
1	TCNT0 のビット 13 の立ち上がりで割り込み要求 (ITV2x) を許可	

x=A、B

11. アドバンスドタイマユニット-II (ATU-II)

ビット2：インターバルインタラプトビット 12A、12B (ITVE12A、12B)

TCNT0 のビット 12 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 12 の立ち上がりと ITVE12x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット2 ITVE12x	説明
0	TCNT0 のビット 12 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 12 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット1：インターバルインタラプトビット 11A、11B (ITVE11A、11B)

TCNT0 のビット 11 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 11 の立ち上がりと ITVE11x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット1 ITVE11x	説明
0	TCNT0 のビット 11 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 11 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

ビット0：インターバルインタラプトビット 10A、10B (ITVE10A、10B)

TCNT0 のビット 10 に対応した INTC へのインターバル割り込みの設定ビットです。TCNT0 のビット 10 の立ち上がりと ITVE10x で AND をとり、結果を TSR0 の IIF2x に格納し、CPU への割り込みを要求します。

ビット0 ITVE10x	説明
0	TCNT0 のビット 10 の立ち上がりで割り込み要求 (ITV2x) を禁止 (初期値)
1	TCNT0 のビット 10 の立ち上がりで割り込み要求 (ITV2x) を許可

x=A、B

詳細は「11.3.7 インターバルタイマ機能」を参照してください。

11.2.8 トリガモードレジスタ (TRGMDR)

トリガモードレジスタ (TRGMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	TRGMD	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

TRGMDR は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 1 とチャンネル 8 を連結して使用する場合のチャンネル 1 のコンペアマッチをチャンネル 8 のワンショットパルススタートトリガとして使用するかワンショットパルスのターミネートトリガとして使用するかを選択します。

TRGMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: トリガモードセレクションレジスタ (TRGMD)

チャンネル 8 のワンショットパルスのスタートトリガ/ワンショットパルスターミネートトリガの設定を選択します。

ビット 7	説明
TRGMD	
0	ワンショットパルススタートトリガ (TCNT1B=OCR1) (初期値) ワンショットパルスターミネートトリガ (TCNT1A=GR1A~H)
1	ワンショットパルススタートトリガ (TCNT1A=GR1A~H) ワンショットパルスターミネートトリガ (TCNT1B=OCR1)

ビット 6~0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11. アドバンスドタイマユニット-II (ATU-II)

11.2.9 タイマモードレジスタ (TMDR)

タイマモードレジスタ (TMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	—	T5PWM	T4PWM	T3PWM
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R/W	R/W	R/W

TMDR は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 3~5 をインプットキャプチャ/アウトプットコンペアモードとして使用するか、PWM モードとして使用するかの設定を行います。

TMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7~3: 予約ビット

ビット 7~3 を読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2: PWM モード 5 (T5PWM)

チャンネル 5 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 2	説明
T5PWM	
0	チャンネル 5 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル 5 は PWM モード機能を選択

T5PWM ビットを 1 にセットして PWM モードにすると、TIO5A~TIO5C 端子は PWM 出力端子となり、ジェネラルレジスタ 5D (GR5D) がサイクルレジスタで、ジェネラルレジスタ 5A~5C (GR5A~GR5C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR5A, B) の設定は無効となり、ジェネラルレジスタ (GR5A~D) への書き込みが可能です。TIO5D 端子はタイマ出力として使用しないでください。

ビット 1: PWM モード 4 (T4PWM)

チャンネル 4 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 1	説明
T4PWM	
0	チャンネル 4 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル 4 は PWM モード機能を選択

T4PWM ビットを 1 にセットして PWM モードにすると、TIO4A～TIO4C 端子は PWM 出力端子となり、ジェネラルレジスタ 4D (GR4D) がサイクルレジスタで、ジェネラルレジスタ 4A～4C (GR4A～GR4C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR4A、B) の設定は無効となり、ジェネラルレジスタ (GR4A～D) への書き込みが可能です。TIO4D 端子はタイマ出力として使用しないでください。

ビット 0 : PWM モード 3 (T3PWM)

チャンネル 3 をインプットキャプチャ/アウトプットコンペアモードで動作させるか、PWM モードで動作させるかを選択します。

ビット 0	説明
T3PWM	
0	チャンネル 3 はインプットキャプチャ/アウトプットコンペアモードを選択 (初期値)
1	チャンネル 3 は PWM モード機能を選択

T3PWM ビットを 1 にセットして PWM モードにすると、TIO3A～TIO3C 端子は PWM 出力端子となり、ジェネラルレジスタ 3D (GR3D) がサイクルレジスタで、ジェネラルレジスタ 3A～3C (GR3A～GR3C) はデューティレジスタとなります。タイマ I/O コントロールレジスタ (TIOR3A、B) の設定は無効となり、ジェネラルレジスタ (GR3A～D) への書き込みが可能です。TIO3D 端子はタイマ出力として使用しないでください。

11.2.10 PWM モードレジスタ (PMDR)

PWM モードレジスタ (PMDR) は 8 ビットのレジスタです。ATU-II には 1 本のレジスタがあります。

ビット :	7	6	5	4	3	2	1	0
	DTSELD	DTSELC	DTSELB	DTSELA	CNTSELD	CNTSELC	CNTSELB	CNTSELA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

PMDR は 8 ビットの読み出し/書き込み可能なレジスタで、チャンネル 6 を PWM 出力をオンデューティ/オフデューティに設定するかまたは非相補 PWM モード/相補 PWM モードに設定するか選択します。

PMDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7 : デューティセレクションレジスタ D (DTSELD)

チャンネル 6D の TO6D 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 7	説明
DTSELD	
0	TO6D の PWM 出力はオンデューティ (初期値)
1	TO6D の PWM 出力はオフデューティ

11. アドバンスドタイマユニット-II (ATU-II)

ビット 6 : デューティセクションレジスタ C (DTSELC)

チャンネル 6C の TO6C 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 6 DTSELC	説 明
0	TO6C の PWM 出力はオンデューティ (初期値)
1	TO6C の PWM 出力はオフデューティ

ビット 5 : デューティセクションレジスタ B (DTSELB)

チャンネル 6B の TO6B 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 5 DTSELB	説 明
0	TO6B の PWM 出力はオンデューティ (初期値)
1	TO6B の PWM 出力はオフデューティ

ビット 4 : デューティセクションレジスタ A (DTSELA)

チャンネル 6A の TO6A 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 4 DTSELA	説 明
0	TO6A の PWM 出力はオンデューティ (初期値)
1	TO6A の PWM 出力はオフデューティ

ビット 3 : カウンタセクションレジスタ D (CNTSELD)

チャンネル 6D の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 3 CNTSELD	説 明
0	TCNT6D は非相補 PWM モード (初期値)
1	TCNT6D は相補 PWM モード

ビット 2 : カウンタセクションレジスタ C (CNTSELC)

チャンネル 6C の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 2	説明
CNTSELC	
0	TCNT6C は非相補 PWM モード (初期値)
1	TCNT6C は相補 PWM モード

ビット 1 : カウンタセクションレジスタ B (CNTSELB)

チャンネル 6B の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 1	説明
CNTSELB	
0	TCNT6B は非相補 PWM モード (初期値)
1	TCNT6B は相補 PWM モード

ビット 0 : カウンタセクションレジスタ A (CNTSELA)

チャンネル 6A の PWM を非相補 PWM モードとして設定するか相補 PWM モードとして設定するかを選択します。

ビット 0	説明
CNTSELA	
0	TCNT6A は非相補 PWM モード (初期値)
1	TCNT6A は相補 PWM モード

11.2.11 ダウンカウントスタートレジスタ (DSTR)

ダウンカウントスタートレジスタ (DSTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット :	15	14	13	12	11	10	9	8
	DST8P	DST8O	DST8N	DST8M	DST8L	DST8K	DST8J	DST8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット :	7	6	5	4	3	2	1	0
	DST8H	DST8G	DST8F	DST8E	DST8D	DST8C	DST8B	DST8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

【注】 * 1 のみ書き込み可能です。

ダウンカウントスタートレジスタ (DSTR) は 16 ビットの読み出し/書き込み可能なレジスタで、チャンネル 8 のダウンカウンタ (DCNT) の動作開始を選択します。

ワンショットパルス機能の場合は、ユーザプログラムにより任意に DST8x に 1 のみを設定するこ

11. アドバンスドタイマユニット-II (ATU-II)

とができます。ただし、対応する DCNT8x が H'0000 の場合は 1 を設定することはできません。また、DCNT の値がアンダフローするタイミングで自動的に DST8x は 0 にクリアされます。

オフセット付きワンショットパルス機能の場合は、対応するタイマコネクションレジスタ (TCNR) のビットが 1 の状態で、チャンネル 1、2 のフリーランニングカウンタ (TCNT) とジェネラルレジスタ (GR) またはアウトプットコンペアレジスタ (OCR1) のコンペアマッチが発生すると、DST8x は自動的に 1 にセットされます。ただし、DCNT8x の値が H'0000 の場合はセットされません。また DST8I~P については、リロードイネーブルレジスタ (RLDENR) の RL DEN ビットが 1 に設定されており、かつリロードレジスタ (RLDR8) が H'0000 でなければ、対応する DCNT8x にリロードが行われ、DST8x ビットに 1 がセットされます。また、DST8x のクリアの場合は DCNT8x の値がアンダフローするタイミングで自動的に 0 にクリアされるか、対応するワンショットパルスターミネートレジスタ (OTR) のビットが 1 の状態でトリガモードレジスタ (TRGMDR) で設定したチャンネル 1、2 のワンショットターミネートトリガ信号が入力されるかいずれか先に発生した方でクリアされます。

なお、DCNT8x はアンダフローするタイミングで H'0000 にクリアされます。

DSTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳細は「11.3.5 ワンショットパルス機能」、および「11.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

ビット 15 : ダウンカウントスタート 8P (DST8P)

ダウンカウンタ 8P (DCNT8P) の動作開始を選択します。

ビット 15	説明
DST8P	
0	DCNT8P のカウント停止 (初期値) [クリア条件] DCNT8P 値がアンダフローするタイミングおよびチャンネル 2 (GR2H) のコンペアマッチ
1	DCNT8P はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8P ≠ H'0000) オフセット付きワンショットパルス機能 : OCR2H のコンペアマッチ発生時 (DCNT8P ≠ H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8P ≠ H'0000)

ビット 14 : ダウンカウントスタート 8O (DST8O)

ダウンカウンタ 8O (DCNT8O) の動作開始を選択します。

ビット 14	説明
DST8O	
0	DCNT8O のカウント停止 (初期値) [クリア条件] DCNT8O 値がアンダフローするタイミングおよびチャンネル 2 (GR2G) のコンペアマッチ
1	DCNT8O はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8O≠H'0000) オフセット付きワンショットパルス機能 : OCR2G のコンペアマッチ発生時 (DCNT8O≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8O≠H'0000)

ビット 13 : ダウンカウントスタート 8N (DST8N)

ダウンカウンタ 8N (DCNT8N) の動作開始を選択します。

ビット 13	説明
DST8N	
0	DCNT8N のカウント停止 (初期値) [クリア条件] DCNT8N 値がアンダフローするタイミングおよびチャンネル 2 (GR2F) のコンペアマッチ
1	DCNT8N はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8N≠H'0000) オフセット付きワンショットパルス機能 : OCR2F のコンペアマッチ発生時 (DCNT8N≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8N≠H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 12 : ダウンカウントスタート 8M (DST8M)

ダウンカウンタ 8M (DCNT8M) の動作開始を選択します。

ビット 12	説明
DST8M	
0	DCNT8M のカウント停止 (初期値) [クリア条件] DCNT8M 値がアンダフローするタイミングおよびチャネル 2 (GR2E) のコンペアマッチ
1	DCNT8M はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8M≠H'0000) オフセット付きワンショットパルス機能 : OCR2E のコンペアマッチ発生時 (DCNT8M≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8M≠H'0000)

ビット 11 : ダウンカウントスタート 8L (DST8L)

ダウンカウンタ 8L (DCNT8L) の動作開始を選択します。

ビット 11	説明
DST8L	
0	DCNT8L のカウント停止 (初期値) [クリア条件] DCNT8L 値がアンダフローするタイミングおよびチャネル 2 (GR2D) のコンペアマッチ
1	DCNT8L はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8L≠H'0000) オフセット付きワンショットパルス機能 : OCR2D のコンペアマッチ発生時 (DCNT8L≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8L≠H'0000)

ビット 10 : ダウンカウントスタート 8K (DST8K)

ダウンカウンタ 8K (DCNT8K) の動作開始を選択します。

ビット 10	説 明
DST8K	
0	DCNT8K のカウント停止 (初期値) [クリア条件] DCNT8K 値がアンダフローするタイミングおよびチャンネル 2 (GR2C) のコンペアマッチ
1	DCNT8K はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8K≠H'0000) オフセット付きワンショットパルス機能 : OCR2C のコンペアマッチ発生時 (DCNT8K≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8K≠H'0000)

ビット 9 : ダウンカウントスタート 8J (DST8J)

ダウンカウンタ 8J (DCNT8J) の動作開始を選択します。

ビット 9	説 明
DST8J	
0	DCNT8J のカウント停止 (初期値) [クリア条件] DCNT8J 値がアンダフローするタイミングおよび チャンネル 2 (GR2B) のコンペアマッチ
1	DCNT8J はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8J≠H'0000) オフセット付きワンショットパルス機能 : OCR2B のコンペアマッチ発生時 (DCNT8J≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8J≠H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 8 : ダウンカウントスタート 8I (DST8I)

ダウンカウンタ 8I (DCNT8I) の動作開始を選択します。

ビット 8	説 明
DST8I	
0	DCNT8I のカウント停止 (初期値) [クリア条件] DCNT8I 値がアンダフローするタイミングおよびチャネル 2 (GR2A) のコンペアマッチ
1	DCNT8I はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8I≠H'0000) オフセット付きワンショットパルス機能 : OCR2A のコンペアマッチ発生時 (DCNT8I≠H'0000 またはリロード可能) およびユーザプログラムにより設定 (DCNT8I≠H'0000)

ビット 7 : ダウンカウントスタート 8H (DST8H)

ダウンカウンタ 8H (DCNT8H) の動作開始を選択します。

ビット 7	説 明
DST8H	
0	DCNT8H のカウント停止 (初期値) [クリア条件] DCNT8H 値がアンダフローするタイミングおよびチャネル 1 (GR1H または OCR1) のコンペアマッチ
1	DCNT8H はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8H≠H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1H のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8H≠H'0000)

ビット6：ダウンカウントスタート 8G (DST8G)

ダウンカウンタ 8G (DCNT8G) の動作開始を選択します。

ビット6	説明
DST8G	
0	DCNT8G のカウント停止 (初期値) [クリア条件] DCNT8G 値がアンダフローするタイミングおよびチャネル1 (GR1G または OCR1) のコンペアマッチ
1	DCNT8G はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8G≠H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1G のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8G≠H'0000)

ビット5：ダウンカウントスタート 8F (DST8F)

ダウンカウンタ 8F (DCNT8F) の動作開始を選択します。

ビット5	説明
DST8F	
0	DCNT8F のカウント停止 (初期値) [クリア条件] DCNT8F 値がアンダフローするタイミングおよびチャネル1 (GR1F または OCR1) のコンペアマッチ
1	DCNT8F はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8F≠H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1F のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8F≠H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 4 : ダウンカウントスタート 8E (DST8E)

ダウンカウンタ 8E (DCNT8E) の動作開始を選択します。

ビット 4	説 明
DST8E	
0	DCNT8E のカウント停止 (初期値) [クリア条件] DCNT8E 値がアンダフローするタイミングおよびチャネル 1 (GR1E または OCR1) のコンペアマッチ
1	DCNT8E はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8E ≠ H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1E のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8E ≠ H'0000)

ビット 3 : ダウンカウントスタート 8D (DST8D)

ダウンカウンタ 8D (DCNT8D) の動作開始を選択します。

ビット 3	説 明
DST8D	
0	DCNT8D のカウント停止 (初期値) [クリア条件] DCNT8D 値がアンダフローするタイミングおよびチャネル 1 (GR1D または OCR1) のコンペアマッチ
1	DCNT8D はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8D ≠ H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1D のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8D ≠ H'0000)

ビット2：ダウンカウントスタート 8C (DST8C)

ダウンカウンタ 8C (DCNT8C) の動作開始を選択します。

ビット2	説明
DST8C	
0	DCNT8C のカウント停止 (初期値) [クリア条件] DCNT8C 値がアンダフローするタイミングおよびチャネル1 (GR1C または OCR1) のコンペアマッチ
1	DCNT8C はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8C≠H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1C のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8C≠H'0000)

ビット1：ダウンカウントスタート 8B (DST8B)

ダウンカウンタ 8B (DCNT8B) の動作開始を選択します。

ビット1	説明
DST8B	
0	DCNT8B のカウント停止 (初期値) [クリア条件] DCNT8B 値がアンダフローするタイミングおよびチャネル1 (GR1B または OCR1) のコンペアマッチ
1	DCNT8B はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8B≠H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1B のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8B≠H'0000)

11. アドバンスドタイマユニット-II (ATU-II)

ビット 0 : ダウンカウントスタート 8A (DST8A)

ダウンカウンタ 8A (DCNT8A) の動作開始を選択します。

ビット 0	説明
DST8A	
0	DCNT8A のカウント停止 (初期値) [クリア条件] DCNT8A 値がアンダフローするタイミングおよびチャネル 1 (GR1A または OCR1) のコンペアマッチ
1	DCNT8A はカウント動作 [セット条件] ワンショットパルス機能 : ユーザプログラムにより設定 (ただし、DCNT8A ≠ H'0000) オフセット付きワンショットパルス機能 : OCR1 のコンペアマッチ発生時 または GR1A のコンペアマッチ発生時 およびユーザプログラムにより設定 (ただし、DCNT8A ≠ H'0000)

11.2.12 タイマコネクションレジスタ (TCNR)

タイマコネクションレジスタ (TCNR) は 16 ビットのレジスタです。ATU-II には、チャネル 8 に 1 本のレジスタがあります。

ビット :	15	14	13	12	11	10	9	8
	CN8P	CN8O	CN8N	CN8M	CN8L	CN8K	CN8J	CN8I
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット :	7	6	5	4	3	2	1	0
	CN8H	CN8G	CN8F	CN8E	CN8D	CN8C	CN8B	CN8A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマコネクションレジスタ (TCNR) は 16 ビットの読み出し/書き込み可能なレジスタで、チャネル 8 のダウンカウントスタートレジスタ (DSTR) とチャネル 1、2 のコンペアマッチ信号 (ダウンカウントスタートトリガ) との接続許可/禁止を設定します。チャネル 1 のダウンカウントスタートトリガ A~H はチャネル 1 の OCR1 のコンペアマッチ信号または GR1x のコンペアマッチ信号 (TRGMDR で設定) です。チャネル 2 のダウンカウントスタートトリガ A~H はチャネル 2 の OCR2x のコンペアマッチ信号です。

GR1x のコンペアマッチを使用する場合は、TIOR1A~D をコンペアマッチ可能に設定してください。

TCNR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳細は「11.3.5 ワンショットパルス機能」、および「11.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

ビット 15 : コネクションフラグ 8P (CN8P)

DST8P とチャンネル 2 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット 15	説 明
CN8P	
0	DST8P とチャンネル 2 のダウンカウントスタートトリガ H との接続を禁止 (初期値)
1	DST8P とチャンネル 2 のダウンカウントスタートトリガ H との接続を許可

ビット 14 : コネクションフラグ 8O (CN8O)

DST8O とチャンネル 2 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット 14	説 明
CN8O	
0	DST8O とチャンネル 2 のダウンカウントスタートトリガ G との接続を禁止 (初期値)
1	DST8O とチャンネル 2 のダウンカウントスタートトリガ G との接続を許可

ビット 13 : コネクションフラグ 8N (CN8N)

DST8N とチャンネル 2 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット 13	説 明
CN8N	
0	DST8N とチャンネル 2 のダウンカウントスタートトリガ F との接続を禁止 (初期値)
1	DST8N とチャンネル 2 のダウンカウントスタートトリガ F との接続を許可

ビット 12 : コネクションフラグ 8M (CN8M)

DST8M とチャンネル 2 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット 12	説 明
CN8M	
0	DST8M とチャンネル 2 のダウンカウントスタートトリガ E との接続を禁止 (初期値)
1	DST8M とチャンネル 2 のダウンカウントスタートトリガ E との接続を許可

ビット 11 : コネクションフラグ 8L (CN8L)

DST8L とチャンネル 2 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット 11	説 明
CN8L	
0	DST8L とチャンネル 2 のダウンカウントスタートトリガ D との接続を禁止 (初期値)
1	DST8L とチャンネル 2 のダウンカウントスタートトリガ D との接続を許可

11. アドバンスドタイムユニット-II (ATU-II)

ビット 10 : コネクションフラグ 8K (CN8K)

DST8K とチャンネル 2 のダウンカウントスタートトリガとの接続許可/禁止を選択します。

ビット 10	説 明
CN8K	
0	DST8K とチャンネル 2 のダウンカウントスタートトリガ C との接続を禁止 (初期値)
1	DST8K とチャンネル 2 のダウンカウントスタートトリガ C との接続を許可

ビット 9 : コネクションフラグ 8J (CN8J)

DST8J とチャンネル 2 のダウンカウントスタートトリガとの接続許可/禁止を選択します。

ビット 9	説 明
CN8J	
0	DST8J とチャンネル 2 のダウンカウントスタートトリガ B との接続を禁止 (初期値)
1	DST8J とチャンネル 2 のダウンカウントスタートトリガ B との接続を許可

ビット 8 : コネクションフラグ 8I (CN8I)

DST8I とチャンネル 2 のダウンカウントスタートトリガとの接続許可/禁止を選択します。

ビット 8	説 明
CN8I	
0	DST8I とチャンネル 2 のダウンカウントスタートトリガ A との接続を禁止 (初期値)
1	DST8I とチャンネル 2 のダウンカウントスタートトリガ A との接続を許可

ビット 7 : コネクションフラグ 8H (CN8H)

DST8H とチャンネル 1 のダウンカウントスタートトリガとの接続許可/禁止を選択します。

ビット 7	説 明
CN8H	
0	DST8H とチャンネル 1 のダウンカウントスタートトリガ H との接続を禁止 (初期値)
1	DST8H とチャンネル 1 のダウンカウントスタートトリガ H との接続を許可

ビット 6 : コネクションフラグ 8G (CN8G)

DST8G とチャンネル 1 のダウンカウントスタートトリガとの接続許可/禁止を選択します。

ビット 6	説 明
CN8G	
0	DST8G とチャンネル 1 のダウンカウントスタートトリガ G との接続を禁止 (初期値)
1	DST8G とチャンネル 1 のダウンカウントスタートトリガ G との接続を許可

ビット5：コネクションフラグ 8F (CN8F)

DST8F とチャンネル1 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット5	説 明
CN8F	
0	DST8F とチャンネル1 のダウンカウントスタートトリガF との接続を禁止 (初期値)
1	DST8F とチャンネル1 のダウンカウントスタートトリガF との接続を許可

ビット4：コネクションフラグ 8E (CN8E)

DST8E とチャンネル1 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット4	説 明
CN8E	
0	DST8E とチャンネル1 のダウンカウントスタートトリガE との接続を禁止 (初期値)
1	DST8E とチャンネル1 のダウンカウントスタートトリガE との接続を許可

ビット3：コネクションフラグ 8D (CN8D)

DST8D とチャンネル1 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット3	説 明
CN8D	
0	DST8D とチャンネル1 のダウンカウントスタートトリガD との接続を禁止 (初期値)
1	DST8D とチャンネル1 のダウンカウントスタートトリガD との接続を許可

ビット2：コネクションフラグ 8C (CN8C)

DST8C とチャンネル1 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット2	説 明
CN8C	
0	DST8C とチャンネル1 のダウンカウントスタートトリガC との接続を禁止 (初期値)
1	DST8C とチャンネル1 のダウンカウントスタートトリガC との接続を許可

ビット1：コネクションフラグ 8B (CN8B)

DST8B とチャンネル1 のダウンカウントスタートトリガとの接続許可／禁止を選択します。

ビット1	説 明
CN8B	
0	DST8B とチャンネル1 のダウンカウントスタートトリガB との接続を禁止 (初期値)
1	DST8B とチャンネル1 のダウンカウントスタートトリガB との接続を許可

11. アドバンスドタイマユニット-II (ATU-II)

ビット 0 : コネクションフラグ 8A (CN8A)

DST8A とチャンネル 1 のダウンカウントスタートトリガとの接続許可/禁止を選択します。

ビット 0	説明
CN8A	
0	DST8A とチャンネル 1 のダウンカウントスタートトリガ A との接続を禁止 (初期値)
1	DST8A とチャンネル 1 のダウンカウントスタートトリガ A との接続を許可

11.2.13 ワンショットパルスターミネートレジスタ (OTR)

ワンショットパルスターミネートレジスタ (OTR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット :	15	14	13	12	11	10	9	8
	OTEP	OTEO	OTEN	OTEM	OTEL	OTEK	OTEJ	OTEI
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット :	7	6	5	4	3	2	1	0
	OTEH	OTEG	OTEF	OTEE	OTED	OTEC	OTEB	OTEA
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ワンショットパルスターミネートレジスタ (OTR) は 16 ビットの読み出し/書き込み可能なレジスタで、チャンネル 1、2 のコンペアマッチ信号によりチャンネル 8 のワンショットパルス強制終了を許可/禁止するかを設定します。ワンショットパルスを強制終了した場合、対応する DSTR のビットおよびダウンカウンタがクリアされます。また、対応する TSR8 のビットがセットされます。チャンネル 1 のワンショットパルスターミネート信号は GR1A~H のコンペアマッチおよび OCR1 のコンペアマッチにより発生します (TRGMDR を参照ください)。チャンネル 2 のワンショットパルスターミネート信号は GR2A~H のコンペアマッチにより発生します。GR1A~H、GR2A~H でターミネート信号を発生させるには、それぞれ TIOR1A~D、TIOR2A~D でコンペアマッチを選択してください。

OTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

ビット 15 : ワンショットパルスターミネートイネーブル P (OTEP)

チャンネル 2 のダウンカウンタターミネートトリガ H で出力の強制終了許可/禁止を選択します。

ビット 15	説明
OTEP	
0	TO8P をダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8P をダウンカウンタターミネートトリガによる強制終了を許可

ビット 14 : ワンショットパルスターミネートイネーブル O (OTEO)

チャンネル 2 のダウンカウンタターミネートトリガ G で出力の強制終了許可/禁止を選択します。

ビット 14	説 明	
OTEO		
0	TO8O をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8O をダウンカウンタターミネートトリガによる強制終了を許可	

ビット 13 : ワンショットパルスターミネートイネーブル N (OTEN)

チャンネル 2 のダウンカウンタターミネートトリガ F で出力の強制終了許可/禁止を選択します。

ビット 13	説 明	
OTEN		
0	TO8N をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8N をダウンカウンタターミネートトリガによる強制終了を許可	

ビット 12 : ワンショットパルスターミネートイネーブル M (OTEM)

チャンネル 2 のダウンカウンタターミネートトリガ E で出力の強制終了許可/禁止を選択します。

ビット 12	説 明	
OTEM		
0	TO8M をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8M をダウンカウンタターミネートトリガによる強制終了を許可	

ビット 11 : ワンショットパルスターミネートイネーブル L (OTEL)

チャンネル 2 のダウンカウンタターミネートトリガ D で出力の強制終了許可/禁止を選択します。

ビット 11	説 明	
OTEL		
0	TO8L をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8L をダウンカウンタターミネートトリガによる強制終了を許可	

ビット 10 : ワンショットパルスターミネートイネーブル K (OTEK)

チャンネル 2 のダウンカウンタターミネートトリガ C で出力の強制終了許可/禁止を選択します。

ビット 10	説 明	
OTEK		
0	TO8K をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8K をダウンカウンタターミネートトリガによる強制終了を許可	

11. アドバンストタイムユニット-II (ATU-II)

ビット9：ワンショットパルスターミネートイネーブルJ (OTEJ)

チャンネル2のダウンカウンタターミネートトリガBで出力の強制終了許可/禁止を選択します。

ビット9	説明
OTEJ	
0	TO8Jをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Jをダウンカウンタターミネートトリガによる強制終了を許可

ビット8：ワンショットパルスターミネートイネーブルI (OTEI)

チャンネル2のダウンカウンタターミネートトリガAで出力の強制終了許可/禁止を選択します。

ビット8	説明
OTEI	
0	TO8Iをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Iをダウンカウンタターミネートトリガによる強制終了を許可

ビット7：ワンショットパルスターミネートイネーブルH (OTEH)

チャンネル1のダウンカウンタターミネートトリガHで出力の強制終了許可/禁止を選択します。

ビット7	説明
OTEH	
0	TO8Hをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Hをダウンカウンタターミネートトリガによる強制終了を許可

ビット6：ワンショットパルスターミネートイネーブルG (OTEG)

チャンネル1のダウンカウンタターミネートトリガGで出力の強制終了許可/禁止を選択します。

ビット6	説明
OTEG	
0	TO8Gをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Gをダウンカウンタターミネートトリガによる強制終了を許可

ビット5：ワンショットパルスターミネートイネーブルF (OTEF)

チャンネル1のダウンカウンタターミネートトリガFで出力の強制終了許可/禁止を選択します。

ビット5	説明
OTEF	
0	TO8Fをダウンカウンタターミネートトリガによる強制終了を禁止 (初期値)
1	TO8Fをダウンカウンタターミネートトリガによる強制終了を許可

ビット4：ワンショットパルスターミネートイネーブル E (OTEE)

チャンネル1のダウンカウンタターミネートトリガEで出力の強制終了許可/禁止を選択します。

ビット4	説 明	
OTEE		
0	TO8E をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8E をダウンカウンタターミネートトリガによる強制終了を許可	

ビット3：ワンショットパルスターミネートイネーブル D (OTED)

チャンネル1のダウンカウンタターミネートトリガDで出力の強制終了許可/禁止を選択します。

ビット3	説 明	
OTED		
0	TO8D をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8D をダウンカウンタターミネートトリガによる強制終了を許可	

ビット2：ワンショットパルスターミネートイネーブル C (OTEC)

チャンネル1のダウンカウンタターミネートトリガCで出力の強制終了許可/禁止を選択します。

ビット2	説 明	
OTEC		
0	TO8C をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8C をダウンカウンタターミネートトリガによる強制終了を許可	

ビット1：ワンショットパルスターミネートイネーブル B (OTEB)

チャンネル1のダウンカウンタターミネートトリガBで出力の強制終了許可/禁止を選択します。

ビット1	説 明	
OTEB		
0	TO8B をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8B をダウンカウンタターミネートトリガによる強制終了を許可	

ビット0：ワンショットパルスターミネートイネーブル A (OTEA)

チャンネル1のダウンカウンタターミネートトリガAで出力の強制終了許可/禁止を選択します。

ビット0	説 明	
OTEA		
0	TO8A をダウンカウンタターミネートトリガによる強制終了を禁止	(初期値)
1	TO8A をダウンカウンタターミネートトリガによる強制終了を許可	

11. アドバンスドタイマユニット-II (ATU-II)

11.2.14 リロードイネーブルレジスタ (RLDENR)

リロードイネーブルレジスタ (RLDENR) は 8 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

ビット:	7	6	5	4	3	2	1	0
	RLDEN	—	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R	R	R	R	R	R	R

RLDENR は 8 ビットの読み出し/書き込み可能なレジスタで、リロードレジスタ 8 (RLDR8) の値をダウンカウンタ (DCNT8I~P) へロードの許可/禁止を選択します。ロードはチャンネル 2 のコンペアマッチ信号のワンショットパルススタートトリガ発生で行います。ただし、チャンネル 2 と連結せず (ワンショットパルス機能) 使用した場合、およびダウンカウンタ (DCNT8I~P) がダウンカウント中はリロードは実行されません。

RLDENR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット 7: リロードイネーブル (RLDEN)

RLDR の値を DCNT8I~P へロードする許可/禁止を選択します。

ビット 7	説 明	
RLDEN		
0	リロードレジスタの値をダウンカウンタへロード禁止	(初期値)
1	リロードレジスタの値をダウンカウンタへロード許可	

ビット 6~0: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

11.2.15 フリーランニングカウンタ (TCNT)

フリーランニングカウンタ (TCNT) は 32 ビットまたは 16 ビットのアップカウンタです。ATU-II には、チャンネル 0 に 32 ビットの TCNT を 1 本、チャンネル 1~7、11 に 16 ビットの TCNT を 16 本、計 17 本の TCNT があります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	TCNT0H、TCNT0L	32 ビットのアップカウンタ (初期値 H'00000000)
1	TCNT1A、TCNT1B	16 ビットのアップカウンタ (初期値 H'0000)
2	TCNT2A、TCNT2B	
3	TCNT3	
4	TCNT4	
5	TCNT5	
6	TCNT6A~D	
7	TCNT7A~D	16 ビットのアップカウンタ (初期値 H'0001)
11	TCNT11	16 ビットのアップカウンタ (初期値 H'0000)

(1) フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L)

フリーランニングカウンタ 0H、L (TCNT0H、TCNT0L) は 32 ビットの読み出し/書き込み可能なレジスタで入力したクロックによりカウント動作を行います。タイムスタートレジスタ (TSTR1) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはプリスケアラレジスタ 1 (PSCR1) により選択します。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT0 がオーバフロー (H'FFFFFFFF→H'00000000) すると、タイムステータスレジスタ (TSR0) のオーバフローフラグ (OVF0) が 1 にセットされます。

TCNT0 はロングワード単位でのみ読み出し/書き込みが可能です。ワード単位での読み出し/書き込みは行わないでください。

TCNT0 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

11. アドバンスドタイマユニット-II (ATU-II)

(2) フリーランニングカウンタ 1A、1B、2A、2B、3~5、11 (TCNT1A、1B、2A、2B、3~5、11)

フリーランニングカウンタ 1A、1B、2A、2B、3~5、11 (TCNT1A、1B、2A、2B、3~5、11) は 16 ビットの読み出し／書き込み可能なレジスタで入力したクロックによりカウント動作を行います。タイマスタートレジスタ (TSTR1、3) の対応するビットを 1 にセットするとカウントを開始します。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT1A、1B、2A、2B はチャンネル 10 からのカウンタクリアトリガが入力中にカウントアップするときにカウンタクリアします。

TCNT3~5 は TIOR の設定により、対応する GR とのコンペアマッチで、カウンタクリアします。

TCNT1A、1B、2A、2B、3~5、11 がオーバフロー (H'FFFF→H'0000) するとタイマステータスレジスタ (TSR) の対応するチャンネルのオーバフローフラグ (OVF) が 1 にセットされます。

TCNT1A、1B、2A、2B、3~5、11 はワード単位でのみ読み出し／書き込みが可能です。

TCNT1A、1B、2A、2B、3~5、11 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

TCNT1A、1B、2A、2B、3~5 は外部クロック入力 (TCLKA、TCLKB) によりカウントが可能です。

TCNT1A、1B、2A、2B、3~5 はチャンネル 10 で生成した外部入力 (TI10) (AGCK) およびチャンネル 10 の通倍クロック (AGCKM) によりカウントが可能です。

(3) フリーランニングカウンタ 6A~D、7A~D (TCNT6A~D、7A~D)

フリーランニングカウンタ 6A~D、7A~D (TCNT6A~D、7A~D) は 16 ビットの読み出し／書き込み可能なレジスタでチャンネル 6、7 はタイマスタートレジスタ (TSTR2) によりカウント開始します。

チャンネル 6、7 へ入力するクロックはプリスケアラレジスタ 2、3 (PSCR2、3)、タイマコントロールレジスタ 6、7 (TCR6、7) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT6A~D (非相補 PWM 時) および TCNT7A~D はサイクルレジスタ (CYLR) とコンペアマッチしたとき、カウンタクリアします。

TCNT6A~D (相補 PWM 時) はゼロとサイクルレジスタ値の範囲でカウントアップとダウンを行います。

TCNT6A~D、7A~D は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し／書き込みが可能です。

TCNT6A~D、7A~D はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

11.2.16 ダウンカウンタ (DCNT)

ダウンカウンタ (DCNT) は 16 ビットのダウンカウンタです。ATU-II には、チャンネル 8 に 16 本のレジスタがあります。

チャンネル	略 称	機 能
8	DCNT8A、DCNT8B DCNT8C、DCNT8D DCNT8E、DCNT8F DCNT8G、DCNT8H DCNT8I、DCNT8J DCNT8K、DCNT8L DCNT8M、DCNT8N DCNT8O、DCNT8P	16 ビットのダウンカウンタ

(1) ダウンカウンタ 8A~P (DCNT8A~P)

ダウンカウンタ 8A~8P (DCNT8A~P) は 16 ビットの読み出し/書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。入力するクロックはプリスケアラレジスタ 1 (PSCR1)、タイマコントロールレジスタ (TCR) により選択します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DCNT8x がワンショットパルス機能のときは、DCNT8x の値を設定した後ユーザプログラムにより DSTR を 1 にセットすることによりダウンカウントを開始します。DCNT8x の値がアンダフローするタイミングで、DSTR と DCNT8x が自動的に 0 にクリアされてカウント動作を終了します。同時に、対応するチャンネル 8 のタイマステータスレジスタ 8 (TSR8) のステータスフラグが 1 にセットされます。

DCNT がオフセット付きワンショットパルス機能のときは、タイマコネクションレジスタ (TCNR) が 1 の状態でチャンネル 1、2 のジェネラルレジスタ (GR)、アウトプットコンペアレジスタ (OCR) とのコンペアマッチ (コンペアマッチの設定はトリガモードレジスタ (TRGMDR) で設定 (チャンネル 1 のみ対応)) で、自動的に対応するダウンカウンタスタートレジスタ (DSTR) のビットが 1 にセットされてダウンカウント動作を開始します。ダウンカウントの終了は、DCNT8x の値がアンダフローするタイミングで DSTR と DCNT8x が自動的に 0 にクリアされて、カウント動作終了とともに出力を反転します。または、ワンショットターミネートレジスタ (OTR) がトリガにより出力を強制終了と設定されている場合はチャンネル 1、2 の GR、OCR でコンペアマッチ発生により DSTR を 0 にクリアして、カウント動作終了とともに出力を反転します。いずれか早い方で出力が反転します。また出力が反転すると同時に、対応するチャンネル 8 の TSR8 のステータスフラグが 1 にセットされます。

DCNT8x はワード単位でのみ読み出し/書き込みが可能です。

DCNT8x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

詳しくは、「11.3.5 ワンショットパルス機能」、および「11.3.6 オフセット付きワンショットパルス機能と出力遮断機能」を参照してください。

11.2.17 イベントカウンタ (ECNT)

イベントカウンタ (ECNT) は 8 ビットのアップカウンタです。ATU-II には、チャンネル 9 に 6 本の ECNT があります。

チャンネル	略 称	機 能
9	ECNT9A、ECNT9B ECNT9C、ECNT9D ECNT9E、ECNT9F	8 ビットのイベントカウンタ

ECNT は 8 ビットの読み出し／書き込み可能なレジスタで、TI9A～F の入力端子からの入力信号のエッジを検出してカウント動作を行います。エッジ検出は立ち上がり、立ち下がり、立ち上がり／立ち下がり両エッジ選択可能です。

ビット：	7	6	5	4	3	2	1	0									
	<table border="1" style="width: 100%; height: 20px;"> <tr> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> <td style="width: 12.5%;"></td> </tr> </table>																
初期値：	0	0	0	0	0	0	0	0									
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W									

ECNT9x が対応する GR9 とコンペアマッチを発生するとタイマステータスレジスタ (TSR9) のコンペアマッチフラグ (CMF9) が 1 にセットされます。このとき自動的に ECNT9x はカウンタクリアされます。

ECNT9x はバイト単位でのみ読み出し／書き込みが可能です。

ECNT9x はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

11.2.18 アウトプットコンペアレジスタ (OCR)

アウトプットコンペアレジスタ (OCR) は 16 ビットのレジスタで、ATU-II には、チャンネル 1 に 1 本、チャンネル 2 に 8 本、計 9 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	OCR1	アウトプットコンペアレジスタ
2	OCR2A、OCR2B OCR2C、OCR2D OCR2E、OCR2F OCR2G、OCR2H	

(1) アウトプットコンペアレジスタ 1、2A~H (OCR1、OCR2A~H)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCR は 16 ビットの読み出し/書き込み可能なレジスタで、アウトプットコンペアレジスタの機能を持っています。

OCR の値とフリーランニングカウンタ (TCNT1B、2B) の値は常に比較されています。両者の値が一致すると、タイムステータスレジスタ (TSR) の CMF ビットが 1 にセットされます。同時にタイムコネクションレジスタ (TCNR) でチャンネル 1、2 とチャンネル 8 を連結した場合は対応するチャンネル 8 のダウンカウンタ (DCNT) のダウンカウントを開始します。

OCR はワード単位でのみ読み出し/書き込みが可能です。

OCR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

11.2.19 インพุットキャプチャレジスタ (ICR)

インพุットキャプチャレジスタ (ICR) は 32 ビットのレジスタで、ATU-II には、チャンネル 0 に 32 ビットのレジスタが 4 本あります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
0	ICR0AH, ICR0AL ICR0BH, ICR0BL ICR0CH, ICR0CL ICR0DH, ICR0DL	インพุットキャプチャ専用レジスタ

(1) インพุットキャプチャレジスタ 0AH、L~DH、L (ICR0AH、ICR0AL~ICR0DH、ICR0DL)

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R
ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR は 32 ビットの読み出し可能なレジスタで、インพุットキャプチャ専用レジスタです。

インพุットキャプチャ専用レジスタは、外部からのインพุットキャプチャ信号を検出して、TCNT0 の値を格納します。このとき対応する TSR0 のビットが 1 にセットされます。インพุットキャプチャ信号の検出エッジはタイマ I/O コントロールレジスタ (TIOR) の TIOR0 により設定します。ICR0DH、ICR0DL は、TCR10 の TRG0DEN ビットを設定することで、TCNT10B と OCR10B のコンペアマッチによるインพุットキャプチャも行えます。

ICR はロングワード単位でのみ読み出しが可能です。ワード単位での読み出しは行わないでください。

ICR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

11.2.20 ジェネラルレジスタ (GR)

ジェネラルレジスタ (GR) は 16 ビットのレジスタで、ATU-II には、チャンネル 1、2 に各 8 本、チャンネル 3~5 に各 4 本、チャンネル 9 に 6 本、チャンネル 11 に 2 本、計 36 本のレジスタがあります。チャンネル 10 については「11.2.26 チャンネル 10 のレジスタ」を参照してください。

チャンネル	略 称	機 能
1	GR1A~GR1H	インプットキャプチャ、アウトプットコンペア兼用レジスタ
2	GR2A~GR2H	
3	GR3A~GR3D	
4	GR4A~GR4D	
5	GR5A~GR5D	
9	GR9A~GR9F	アウトプットコンペア用レジスタ
11	GR11A、GR11B	インプットキャプチャ、アウトプットコンペア兼用レジスタ

(1) ジェネラルレジスタ 1A~H、2A~H (GR1A~H、GR2A~H)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し/書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。機能の切り替えはタイマ I/O コントロールレジスタ (TIOR) により行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、TCNT1A、TCNT2A の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。

アウトプットコンペアレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT1A、TCNT2A) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。同時にタイマコネクションレジスタ (TCNR) でチャンネル 1、2 とチャンネル 8 を連結した場合は、対応するチャンネル 8 のダウンカウンタ (DCNT) のダウンカウントを開始します。コンペアマッチ出力は対応する TIOR により設定します。

GR はワード単位でのみ読み出し/書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

(2) ジェネラルレジスタ 3A~D、4A~D、5A~D、11A、B (GR3A~D、GR4A~D、GR5A~D、GR11A、B)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 16 ビットの読み出し／書き込み可能なレジスタで、インプットキャプチャレジスタとアウトプットコンペアレジスタの両方の機能を持っています。機能の切り替えはタイマ I/O コントロールレジスタ (TIOR) より行います。

インプットキャプチャレジスタとして使用しているときは、外部からのインプットキャプチャ信号を検出して、対応する TCNT の値を格納します。このとき対応する TSR の IMF ビットが 1 にセットされます。インプットキャプチャ信号の検出エッジは対応する TIOR により設定します。また、GR3A~D はチャンネル 9 のコンペアマッチをトリガとしてインプットキャプチャが行えます。このとき対応する TSR の IMF ビットはセットされません。

アウトプットコンペアレジスタとして使用しているときは、GR の値とフリーランニングカウンタ (TCNT) の値は常に比較されています。両者の値が一致すると、タイマステータスレジスタ (TSR) の IMF ビットが 1 にセットされます。コンペアマッチ出力は対応する TIOR により設定します。

また、GR11A、B のコンペアマッチ信号をアドバンストパルスコントローラ (APC) に送信します。詳しくは、「第 12 章 アドバンストパルスコントローラ (APC)」を参照してください。

GR はワード単位でのみ読み出し／書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

(3) ジェネラルレジスタ 9A~9F (GR9A~GR9F)

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR は 8 ビットの読み出し／書き込み可能なレジスタで、コンペアマッチレジスタの機能を持っています。

本レジスタは常にイベントカウンタ (ECNT) と比較されており、両者が一致するとコンペアマッチ信号が発生し、次のエッジが入力されると対応する TSR の CMF ビットが 1 にセットされます。

また、GR9A~D のコンペアマッチにより、チャンネル 3 (GR3A~D) のインプットキャプチャを発生することができます。本機能はタイマコントロールレジスタ (TCR) の TRG3xEN により設定をします。

GR はバイト単位でのみ読み出し／書き込みが可能です。

GR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

11.2.21 オフセットベースレジスタ (OSBR)

オフセットベースレジスタ (OSBR) は 16 ビットのレジスタです。ATU-II には、チャンネル 1、2 に各 1 本のレジスタがあります。

チャンネル	略 称	機 能
1	OSBR1	チャンネル 0 の ICR0A と同じ信号を入力トリガとしたインプットキャプチャ専用レジスタ
2	OSBR2	

(1) オフセットベースレジスタ 1、2 (OSBR1、2)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

OSBR1、2 は 16 ビットの読み出し可能なレジスタで、インプットキャプチャ専用レジスタです。OSBR1、2 はチャンネル 0 のインプットキャプチャレジスタ (ICR0A) と同じ TI0A の入力をトリガ信号とし、エッジを検出すると TCNT1A、2A の値を格納します。

OSBR はワード単位のみ読み出しが可能です。

OSBR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に、H'0000 に初期化されます。

詳しくは、「11.3.8 ツインキャプチャ機能」を参照してください。

11.2.22 サイクルレジスタ (CYLR)

サイクルレジスタ (CYLR) は 16 ビットのレジスタです。ATU-II には、チャンネル 6、7 に各 4 本、計 8 本のレジスタがあります。

チャンネル	略 称	機 能
6	CYLR6A~D	16 ビット PWM 用サイクルレジスタ
7	CYLR7A~D	

(1) サイクルレジスタ (CYLR6A~D、CYLR7A~D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

CYLR は 16 ビットの読み出し/書き込み可能なレジスタで、PWM の周期格納レジスタです。

CYLR の値と対応するフリーランニングカウンタ (TCNT6A~D、TCNT7A~D) の値は常に比較されています。両者の値が一致すると、対応するタイムスタスレジスタ (TSR) の CMF6A~D、CMF7A~D ビットが 1 にセットされ、TCNT6A~D、TCNT7A~D はクリアされます。同時にバッファレジスタ (BFR) の値はデューティレジスタ (DTR) に転送されます。また、対応するチャンネルの出力端子 (T06A~D、T07A~D) は、BFR の値が H'0000 の場合は 0 出力、それ以外の場合は 1 出力

11. アドバンスタイマユニット-II (ATU-II)

になります。

CYLRはワード単位でのみ読み出し/書き込みが可能です。

CYLRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFFFに初期化されます。

CYLR、BFR、DTRについては、「11.3.9 PWMタイマ機能」を参照してください。

11.2.23 バッファレジスタ (BFR)

バッファレジスタ (BFR) は16ビットのレジスタです。ATU-IIには、チャンネル6、7に各4本、計8本のレジスタがあります。

チャンネル	略 称	機 能
6	BFR6A~D	16ビットPWM用バッファレジスタ 対応するサイクルレジスタ (CYLR) のコンペアマッチによりバッファレジスタ (BFR) の値をデューティレジスタ (DTR) に転送
7	BFR7A~D	

(1) バッファレジスタ (BFR6A~D、BFR7A~D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

BFRは、16ビットの読み出し/書き込み可能なレジスタで、サイクルレジスタ (CYLR) のコンペアマッチ時にデューティレジスタ (DTR) に転送する値をバッファに格納しておきます。

BFRはワード単位でのみ読み出し/書き込みが可能です。

BFRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFFFに初期化されます。

11.2.24 デューティレジスタ (DTR)

デューティレジスタ (DTR) は16ビットのレジスタです。ATU-IIには、チャンネル6、7に各4本、計8本のレジスタがあります。

チャンネル	略 称	機 能
6	DTR6A~D	16ビットPWM用デューティレジスタ
7	DTR7A~D	

(1) デューティレジスタ (DTR6A~D、7A~D)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

DTR は 16 ビットの読み出し／書き込み可能なレジスタで、PWM のデューティ格納レジスタです。DTR の値と対応するフリーランニングカウンタ (TCNT6A~D、TCNT7A~D) の値は常に比較されています。両者の値が一致すると、対応するチャンネルの出力端子 (TO6A~D、TO7A~D) は 0 出力になります。

また、CYLR と対応するフリーランニングカウンタが一致すると、対応する BFR の値がロードされます。DTR は 0~CYLR の範囲の値を設定し、CYLR より大きい値は設定しないでください。

DTR はワード単位でのみ読み出し／書き込みが可能です。

DTR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

11.2.25 リロードレジスタ (RLDR)

リロードレジスタ (RLDR) は 16 ビットのレジスタです。ATU-II には、チャンネル 8 に 1 本のレジスタがあります。

(1) リロードレジスタ 8 (RLDR8)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLDR8 は、16 ビットの読み出し／書き込み可能なレジスタです。リロード有効時 (RLDENR にて設定) に、チャンネル 2 のコンペアマッチ信号のワンショットパルススタートトリガにより DSTR8I~P が 1 にセットされると、リロードレジスタの値を DCNT8I~P に転送後ダウンカウントを開始します。チャンネル 2 と接続せずワンショットパルス機能単独で使用的場合、およびダウンカウンタ DCNT8I~P がダウンカウント中の場合は、リロードレジスタの値の転送は行われません。

RLDR8 はワード単位でのみ読み出し／書き込みが可能です。

RLDR8 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

11.2.26 チャンネル 10 のレジスタ

(1) カウンタ (TCNT)

チャンネル 10 には 32 ビットの TCNT が 1 本、16 ビットの TCNT が 4 本、8 ビットの TCNT が 2 本、計 7 本の TCNT があります。

入力するクロックはプリスケイラレジスタ 4 (PSCR4) により選択します。

タイマスタートレジスタ 1 (TSTR1) の STR10 を 1 にセットすることでカウント動作を行います。

チャンネル	略 称	機 能
10	TCNT10AH, AL	32 ビットのフリーランニングカウンタ (初期値 H'00000001)
	TCNT10B	8 ビットのイベントカウンタ (初期値 H'00)
	TCNT10C	16 ビットのリロードカウンタ (初期値 H'0001)
	TCNT10D	8 ビットの補正カウンタ (初期値 H'00)
	TCNT10E	16 ビットの補正カウンタ (初期値 H'0000)
	TCNT10F	16 ビットの補正カウンタ (初期値 H'0001)
	TCNT10G	16 ビットのフリーランニングカウンタ (初期値 H'0000)

(a) フリーランニングカウンタ 10AH, AL (TCNT10AH, TCNT10AL)

フリーランニングカウンタ 10AH, AL (TCNT10AH, TCNT10AL) は 32 ビットの読み出し/書き込み可能なレジスタで、入力したクロックによりカウント動作を行います。また、インプットキャプチャ入力 (TI10) (AGCK) のタイミングで初期値にクリアされます。

ビット: 31 30 29 28 27 26 25 24 23 22 21 20 19 18 17 16

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

TCNT10A はロングワード単位でのみ読み出し/書き込みが可能です。ワード単位での読み出し/書き込みは行わないでください。

TCNT10A はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000001 に初期化されます。

(b) イベントカウンタ 10B (TCNT10B)

イベントカウンタ 10B (TCNT10B) は 8 ビットの読み出し/書き込み可能なレジスタで外部クロック入力 (TI10) (AGCK) でカウント動作を行います。このとき、TCR10 の CKEG1、0 で TI10 の入力を設定してください。また、TSTR1 の STR10 ビットが、カウント動作停止に設定されていても、TI10 入力があるとカウントされます。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10B はバイト単位でのみ読み出し/書き込みが可能です。

TCNT10B はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

(c) リロードカウンタ 10C (TCNT10C)

リロードカウンタ 10C (TCNT10C) は 16 ビットの読み出し/書き込み可能なレジスタです。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10C はダウンカウント動作で TCNT10C=H'0001 のとき、リロードレジスタ (RLD10C) の値を TCNT10C に転送し、倍周クロック (AGCK1) を生成します。

TCNT10C は CPU と内部 16 ビットバスで接続されており、ワード単位でのみ読み出し/書き込みが可能です。

TCNT10C はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

(d) 補正カウンタ 10D (TCNT10D)

補正カウンタ 10D (TCNT10D) は 8 ビットの読み出し/書き込み可能なレジスタで、外部クロック入力 (TI10) により、カウンタ値を補正カウンタ E (TCNT10E) に転送後、カウント動作を行います。このとき、TCR10 の CKEG1、0 により TI10 の入力が必要な設定にしてください。また、TSTR1 の STR10 ビットがカウンタ動作に設定されていなければ TI10 入力があっても転送およびカウントは行いません。

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

本カウンタの値はタイマ I/O コントロールレジスタ 10 (TIOR10) の PIM1、0 で設定した通倍率に従い、外部クロック入力 (TI10) (AGCK) のタイミングで通倍された値が補正カウンタ E (TCNT10E) に転送されます。

TCNT10D はバイト単位でのみ読み出し/書き込みが可能です。

TCNT10D はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

(e) 補正カウンタ 10E (TCNT10E)

補正カウンタ 10E (TCNT10E) は 16 ビットの読み出し／書き込み可能なレジスタで、TCNT10E は外部入力 (TI10) のタイミングで TCNT10D のシフト値をロードします。リロードカウンタ 10C (TCNT10C) が出力する倍周クロック (AGCK1) でカウント動作を行います。ただし、タイマ I/O コントロールレジスタ 10 (TIOR10) の CCS ビットが 1 の場合は TCNT10D の逡倍された値に達すると、カウント動作を停止します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10E はワード単位でのみ読み出し／書き込みが可能です。

TCNT10E はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(f) 補正カウンタ 10F (TCNT10F)

補正カウンタ 10F (TCNT10F) は 16 ビットの読み出し／書き込み可能なレジスタで、TSTR1 の STR10 ビットがカウンタ動作に設定してあるとき、補正カウンタ 10E (TCNT10E) よりもカウンタ値が小さい場合に P_φ クロックサイクルでカウントアップ動作を行います。ただし、補正カウンタクリアレジスタ (TCCLR10) との一致でカウント動作を停止します。また、TCNT10D=H'00 のときに TI10 が入力されると TCNT10F は初期化され、補正動作を行います。TCNT10F=TCCLR10 のときは、TCNT10F は H'0001 にクリアされます。TCNT10F≠TCCLR10 のときは、TCNT10F は TCCLR10 の値まで自動的にカウントアップし、H'0001 にクリアされます。

なお、本カウンタのカウントアップごとに補正後の補正クロック (AGCKM) を出力します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10F はワード単位でのみ読み出し／書き込みが可能です。

TCNT10F はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

(g) フリーランニングカウンタ 10G (TCNT10G)

フリーランニングカウンタ 10G (TCNT10G) は 16 ビットの読み出し／書き込み可能なレジスタで、倍周クロック (AGCK1) でカウントアップ動作を行います。また、外部入力 (TI10) (AGCK) の入力により H'0000 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10G はワード単位でのみ読み出し／書き込みが可能です。

TCNT10G はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(2) レジスタ

チャンネル 10 には 32 ビットの ICR、OCR が各 1 本、16 ビットの GR、RLD、TCCLR が各 1 本、8 ビットの OCR が 1 本、計 6 本のレジスタがあります。

チャンネル	略 称	機 能
10	ICR10AH、AL	32 ビットのインプットキャプチャレジスタ (初期値 H'00000000)
	OCR10AH、AL	32 ビットのアウトプットコンペアレジスタ (初期値 H'FFFFFFF)
	OCR10B	8 ビットのアウトプットコンペアレジスタ (初期値 H'FF)
	RLD10C	16 ビットのリロードレジスタ (初期値 H'0000)
	GR10G	16 ビットのジェネラルレジスタ (初期値 H'FFFF)
	TCCLR10	16 ビットの補正カウンタクリアレジスタ (初期値 H'0000)

(a) インプットキャプチャレジスタ 10AH、AL (ICR10AH、ICR10AL)

インプットキャプチャレジスタ 10AH、AL (ICR10AH、ICR10AL) は 32 ビットの読み出し専用レジスタで、外部入力 (TI10) (AGCK) で TCNT10AH、AL の値が転送されます。

同時にタイマステータスレジスタ 10 (TSR10) の ICF10A が 1 にセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ICR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00000000 に初期化されます。

(b) アウトプットコンペアレジスタ 10AH、AL (OCR10AH、OCRAL)

アウトプットコンペアレジスタ 10AH、AL (OCR10AH、OCRAL) は 32 ビットの読み出し/書き込み可能なレジスタで、常にフリーランニングカウンタ 10AH、AL (TCNT10AH、AL) と比較されています。

両者の値が一致するとタイマステータスレジスタ 10 (TSR10) の CMF10A が 1 にセットされます。

ビット:	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

11. アドバンスドタイマユニット-II (ATU-II)

OCR10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFFFFFに初期化されます。

(c) アウトプットコンペアレジスタ 10B (OCR10B)

アウトプットコンペアレジスタ 10B (OCR10B) は8ビットの読み出し/書き込み可能なレジスタで、常にフリーランニングカウンタ 10B (TCNT10B) と比較されています。

両者の値が一致した状態でAGCKが入力されると、タイマステータスレジスタ 10 (TSR10) のCMF10Bが1にセットされます。

ビット:	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

OCRはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFに初期化されます。

(d) リロードレジスタ 10C (RLD10C)

リロードレジスタ 10C (RLD10C) は16ビットの読み出し/書き込み可能なレジスタです。タイマスタートレジスタ 1 (TSTR1) のSTR10が1かつ、タイマI/Oコントロールレジスタ (TIOR10) のRLDENが0のとき、インプットキャプチャレジスタ 10A (ICR10A) にTCNT10Aの値をキャプチャ時に、RLD10CにICR10Aのキャプチャ値をTIOR10のPIM1、0ビットで設定した逡倍率で割った値が転送されます。また、リロードレジスタ 10C (RLD10C) の内容はリロードカウンタ 10C (TCNT10C) がH'0001に達するとTCNT10Cにロードされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

RLD10Cはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'0000に初期化されます。

(e) ジェネラルレジスタ 10G (GR10G)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

GR10Gは16ビットの読み出し/書き込み可能なレジスタで、アウトプットコンペアレジスタとしての機能を持っています。設定はタイマI/Oコントロールレジスタ 10 (TIOR10) により行います。

GR10Gの値はフリーランニングカウンタ 10G (TCNT10G) の値と常に比較されています。両者が一致した状態で、AGCK1が入力されると、タイマステータスレジスタ 10 (TSR10) のCMF10Gが1にセットされます。

GR10Gはパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'FFFFに初期化されます。

(f) 補正カウンタクリアレジスタ 10 (TCCLR10)

補正カウンタクリアレジスタ 10 (TCCLR10) は 16 ビットの読み出し／書き込み可能なレジスタです。

TCCLR10 は TCNT10F と常に比較されています。両者が一致すると TCNT10F は停止します。このとき、TCR10 の TRGxxEN (xx=1A、1B、2A、2B) を設定することにより、TCNTxx をクリアすることが可能です。その後、TCNT10D が H'00 かつ TI10 が入力されたとき TCNT10F は H'0001 にクリアされます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCCLR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

(3) ノイズキャンセラ用レジスタ

チャンネル 10 には 8 ビットの TCNT10H、NCR の計 2 本のレジスタがあります。

チャンネル	略 称	機 能
10	TCNT10H	ノイズキャンセラ用カウンタ (初期値 H'00)
	NCR10	ノイズキャンセラ用コンペアマッチレジスタ (初期値 H'FF)

(a) ノイズキャンセラカウンタ 10H (TCNT10H)

ノイズキャンセラカウンタ 10H (TCNT10H) は 8 ビットの読み出し／書き込み可能なレジスタです。ノイズキャンセラ機能が有効時、外部入力 (TI10) (AGCK) からの信号をトリガとして Pφ × 10 でカウントアップします。タイマスタートレジスタ (TSTR1) の STR10 が 0 でも動作します。カウンタ動作中は TI10 の入力をマスクします。カウント値がノイズキャンセラレジスタ (NCR10) と一致するとカウンタをクリアして TI10 の入力のマスクを解除します。

ビット：	7	6	5	4	3	2	1	0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

TCNT10H はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

11. アドバンスタイマユニット-II (ATU-II)

(b) ノイズキャンセラレジスタ 10 (NCR10)

ノイズキャンセラレジスタ (NCR10) は 8 ビットの読み出し/書き込み可能なレジスタで、ノイズキャンセラカウンタ 10 (TCNT10H) のカウンタの上限値を設定します。TCNT10H がカウント動作中 NCR10 と常時比較をしており、コンペアマッチが発生すると TCNT10H の動作を停止させて入力信号のマスク解除を行います。

ビット:	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

NCR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FF に初期化されます。

(4) チャネル 10 コントロールレジスタ

チャネル 10 に 4 本のレジスタがあります。

チャネル	略 称	機 能
10	TIOR10	リロードの設定、カウンタ補正の設定、外部入力 (TI10) エッジ間の逡倍率の設定、GR のコンペアマッチの設定 (初期値 H'00)
	TCR10	TCCLR10 のカウンタクリア要因 ノイズキャンセラ機能の有効/無効の選択 外部入力 (TI10) のエッジ選択 (初期値 H'00)
	TSR10	インプットキャプチャ/コンペアマッチの状態 (初期値 H'0000)
	TIER10	インプットキャプチャ/コンペアマッチの割り込みの要求の許可/禁止の選択 (初期値 H'0000)

(a) タイマ I/O コントロールレジスタ 10 (TIOR10)

TIOR10 は 8 ビットの読み出し/書き込み可能なレジスタで、外部入力 (TI10) のエッジ間を逡倍する値を選択します。また、ジェネラルレジスタ (GR10G) をアウトプットコンペアとして使用するための設定、エッジ検出の設定を行います。

TIOR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	RLDEN	CCS	PIM1	PIM0	—	IO10G2	IO10G1	IO10G0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ビット7：リロードイネーブル (RLDEN)

インプットキャプチャレジスタ 10A (ICR10A) の値をインプットキャプチャ時にリロードレジスタ 10C (RLD10C) への転送許可/禁止を選択します。

ビット7	説明	
RLDEN		
0	インプットキャプチャ時に ICR10A の値を RLD10C へ転送を許可	(初期値)
1	インプットキャプチャ時に ICR10A の値を RLD10C へ転送を禁止	

ビット6：カウンタコレクションセレクト (CCS)

補正カウンタ 10E (TCNT10E) の動作を選択します。通倍率は、TIOR10 の PIM1、0 ビットで設定してください。

ビット6	説明	
CCS		
0	$TCNT10D \times \text{通倍率} = TCNT10E^*$ のとき TCNT10E のカウント動作を停止しない	(初期値)
1	$TCNT10D \times \text{通倍率} = TCNT10E^*$ のとき TCNT10E のカウント動作を停止する	

【注】 * $TCNT10D \times \text{通倍率}$ が、TCNT10E の 8~0 ビットをマスクした値と一致したとき。

ビット5、4：パルスインターバルマルチプライヤ (PIM1、PIM0)

外部入力 (TI10) 周期の通倍率を選択します。

ビット5	ビット4	説明	
PIM1	PIM0		
0	0	外部入力周期×32でカウント	(初期値)
	1	外部入力周期×64でカウント	
1	0	外部入力周期×128でカウント	
	1	外部入力周期×256でカウント	

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2~0：I/Oコントロール 10G2~10G0 (IO10G2~IO10G0)

ジェネラルレジスタ 10G (GR10G) の機能を選択します。

ビット2	ビット1	ビット0	説明	
IO10G2	IO10G1	IO10G		
0	0	0	GRはアウトプット	コンペアマッチ禁止 (初期値)
		1	コンペアレジスタ	GR10G=TCNT10Gのコンペアマッチ
	1	*		設定禁止
1	*	*	設定禁止	

* : don't care

11. アドバンスドタイマユニット-II (ATU-II)

(b) タイマコントロールレジスタ 10 (TCR10)

TCR10は8ビットの読み出し/書き込み可能なレジスタで、補正カウンタクリアレジスタ (TCCLR10) のコンペアマッチによるカウンタクリア要因の選択、ノイズキャンセラ機能の有効/無効の選択、外部入力 (TI10) のエッジ選択を行います。

TCR10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'00に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	TRG2BEN	TRG1BEN	TRG2AEN	TRG1AEN	TRG0DEN	NCE	CKEG1	CKEG0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7: トリガ2B イネーブル (TRG2BEN)

チャンネル2のTCNT2Bのカウンタクリア許可/禁止を選択します。

クリア許可時には、TCNT2Bのカウントクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中にTCNT2Bがカウントアップしたときに、TCNT2Bはクリアされます。

ビット7	説明
TRG2BEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウンタB (TCNT2B) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウンタB (TCNT2B) をクリア許可

ビット6: トリガ1B イネーブル (TRG1BEN)

チャンネル1のTCNT1Bのカウンタクリア許可/禁止を選択します。

クリア許可時には、TCNT1Bのカウントクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中にTCNT1Bがカウントアップしたときに、TCNT1Bはクリアされます。

ビット6	説明
TRG1BEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウンタB (TCNT1B) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウンタB (TCNT1B) をクリア許可

ビット5：トリガ2A イネーブル (TRG2AEN)

チャンネル2のTCNT2Aのカウントクリア許可/禁止を選択します。

クリア許可時には、TCNT2Aのカウントクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中にTCNT2Aがカウントアップしたときに、TCNT2Aはクリアされます。

ビット5	説明
TRG2AEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウント2A (TCNT2A) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル2のカウント2A (TCNT2A) をクリア許可

ビット4：トリガ1A イネーブル (TRG1AEN)

チャンネル1のTCNT1Aのカウントクリア許可/禁止を選択します。

クリア許可時には、TCNT1Aのカウントクロックは補正アングルクロック (AGCKM) に設定してください。

クリア条件成立中にTCNT1Aがカウントアップしたときに、TCNT1Aはクリアされます。

ビット4	説明
TRG1AEN	
0	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウント1A (TCNT1A) をクリア禁止 (初期値)
1	補正カウンタクリアレジスタ (TCCLR10) = 補正カウンタ (TCNT10F) でチャンネル1のカウント1A (TCNT1A) をクリア許可

ビット3：トリガ0D イネーブル (TRG0DEN)

チャンネル0のICR0Dへのインプットキャプチャ信号要求の許可/禁止を選択します。

ビット3	説明
TRG0DEN	
0	イベントカウンタ (TCNT10B) のコンペアマッチでチャンネル0のインプットキャプチャレジスタ (ICR0D) に対してキャプチャ要求を禁止 (初期値)
1	イベントカウンタ (TCNT10B) のコンペアマッチでチャンネル0のインプットキャプチャレジスタ (ICR0D) に対してキャプチャ要求を許可

ビット2：ノイズキャンセライネーブル (NCE)

ノイズキャンセラ機能の有効/無効を選択します。

ビット2	説明
NCE	
0	ノイズキャンセラ機能を無効 (初期値)
1	ノイズキャンセラ機能を有効

11. アドバンスドタイマユニット-II (ATU-II)

ビット 1、0 : クロックエッジ 1、0 (CKEG1、CKEG0)

チャンネル 10 の外部入力 (TI10) のエッジ選択します。
検出したエッジによりクロック (AGCK) を生成します。

ビット 1	ビット 0	説明
CKEG1	CKEG0	
0	0	TI10 入力禁止 (初期値)
	1	TI10 入力の立ち上がりエッジを検出
1	0	TI10 入力の立ち下がりエッジを検出
	1	TI10 入力の立ち上がり／立ち下がり両エッジを検出

(c) タイマステータスレジスタ 10 (TSR10)

TSR10 は 16 ビットの読み出し／書き込み可能なレジスタで、チャンネル 10 のインプットキャプチャ／コンペアマッチの発生を示します。

これらのフラグは割り込み要因であり、タイムインタラプトイネーブルレジスタ 10 (TIER10) の対応するビットにより割り込み許可されていれば、CPU へ割り込みを要求します。

TSR10 はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0000 に初期化されます。

ビット :	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	R
ビット :	7	6	5	4	3	2	1	0
	—	—	—	—	CMF10G	CMF10B	ICF10A	CMF10A
初期値 :	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3 : コンペアマッチフラグ 10G (CMF10G)

GR10G のコンペアマッチフラグの発生を示すステータスフラグです。

ビット 3	説明
CMF10G	
0	[クリア条件] CMF10G=1 の状態で、CMF10G を読み出した後、CMF10G に 0 を書き込んだとき (初期値)
1	[セット条件] TCNT10G=GR10G になったとき

ビット2：コンペアマッチフラグ 10B (CMF10B)

OCR10B のコンペアマッチの発生を示すステータスフラグです。

ビット2	説 明	
CMF10B		
0	[クリア条件] CMF10B=1 の状態で、CMF10B を読み出した後、CMF10B に 0 を書き込んだとき	(初期値)
1	[セット条件] TCNT10B=OCR10B の状態で TCNT10B がカウントアップしたとき	

ビット1：インプットキャプチャフラグ 10A (ICF10A)

ICR10A のインプットキャプチャの発生を示すステータスフラグです。

ビット1	説 明	
ICF10A		
0	[クリア条件] ICR10A=1 の状態で、ICR10A を読み出した後、ICR10A に 0 を書き込んだとき	(初期値)
1	[セット条件] インプットキャプチャ信号により TCNT10A の値が ICR10A に転送されたとき	

ビット0：コンペアマッチフラグ 10A (CMF10A)

OCR10A のコンペアマッチの発生を示すステータスフラグです。

ビット0	説 明	
CMF10A		
0	[クリア条件] CMF10A=1 の状態で、CMF10A を読み出した後、CMF10A に 0 を書き込んだとき	(初期値)
1	[セット条件] TCNT10A=OCR10A になったとき	

11. アドバンスドタイマユニット-II (ATU-II)

(d) タイマインタラプトイネーブルレジスタ 10 (TIER10)

TIER10は16ビットの読み出し/書き込み可能なレジスタで、チャンネル10のインプットキャプチャ/コンペアマッチの割り込み要求の許可/禁止を制御します。

TIER10はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時にH'0000に初期化されます。

ビット:	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
	—	—	—	IREG	CME10G	CME10B	ICE10A	CME10A
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R/W	R/W	R/W	R/W	R/W

ビット15~5: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4: インタラプトイネーブルエッジG (IREG)

TSR10のCMF10Gの割り込みタイミング生成します。

ビット4	説明
IREG	
0	CMF10Gが1になったタイミングで割り込みを要求 (初期値)
1	CMF10Gが1になった次の外部入力 (TI10) (AGCK) で割り込み要求

ビット3: コンペアマッチインタラプトイネーブル10G (CME10G)

TSR10のCMF10Gが1にセットされたとき、CMF10Gによる割り込み要求を許可または禁止します。

ビット3	説明
CME10G	
0	CMF10Gによる割り込み要求 (CMI10G) を禁止 (初期値)
1	CMF10Gによる割り込み要求 (CMI10G) を許可

ビット2: コンペアマッチインタラプトイネーブル10B (CME10B)

TSR10のCMF10Bが1にセットされたとき、CMF10Bによる割り込み要求を許可または禁止します。

ビット2	説明
CME10B	
0	CMF10Bによる割り込み要求 (CMI10B) を禁止 (初期値)
1	CMF10Bによる割り込み要求 (CMI10B) を許可

ビット1：インプットキャプチャインタラプトイネーブル 10A (ICE10A)

TSR10 の ICF10A が 1 にセットされたとき、ICF10A による割り込み要求を許可または禁止します。

ビット1	説明	
ICE10A		
0	ICF10A による割り込み要求 (ICF10A) を禁止	(初期値)
1	ICF10A による割り込み要求 (ICF10A) を許可	

ビット0：コンペアマッチインタラプトイネーブル 10A (CME10A)

TSR10 の CMF10A が 1 にセットされたとき、CMF10A による割り込み要求を許可または禁止します。

ビット0	説明	
CME10A		
0	CMF10A による割り込み要求 (CMF10A) を禁止	(初期値)
1	CMF10A による割り込み要求 (CMF10A) を許可	

11.3 動作説明

11.3.1 概要

ATU-II はチャンネル 0 からチャンネル 11 の 8 種 12 体のタイマで構成されています。また ATU-II は入力クロックを生成するプリスケラを内蔵し、ATU-II 外部とは独立に、必要な周波数の内部クロックを生成または選択することができます。

以下に各チャンネルおよびプリスケラの動作概要を説明します。

(1) チャンネル 0

チャンネル 0 は 32 ビットフリーランニングカウンタ (TCNT0) と 4 本の 32 ビットインプットキャプチャレジスタ (ICR0A~D) を内蔵しています。TCNT0 はアップカウンタで、フリーランニング動作を行います。カウンタのオーバフロー時に割り込み要求が可能です。

4 本のインプットキャプチャレジスタ (ICR0A~D) は、各々に対応する外部信号入力端子 (TI0A~D) からの入力によりフリーランニングカウンタ (TCNT0) の値をキャプチャします。外部信号入力端子からの入力によるキャプチャは、タイマ I/O コントロールレジスタ (TIOR0) により立ち上がり/立ち下がり/両エッジから選択できます。インプットキャプチャレジスタ 0D (ICR0D) のみ、タイマコントロールレジスタ 10 (TCR10) の設定によりフリーランニングカウンタ 10B (TCNT10B) とコンペアマッチレジスタ 10B (OCR10B) のコンペアマッチによるキャプチャが行えます。このとき、TIOR0 がインプットキャプチャ禁止に設定されていてもキャプチャは行われます。それぞれ、キャプチャするタイミングで DMAC の起動、および割り込み要求が可能です。

また、チャンネル 0 にはインターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) が内蔵されています。ITVRR の ITVA6~13 を 1 に設定すると A/D 変換器 (AD0~2) の起動が、ITVE6~13 を 1 に設定すると CPU への割り込み要求が設定できます。これらは TCNT0 のビット 6~13 の対応するビットが 1 に変化したとき行われ、インターバルタイマ機能として使用できます。

(2) チャンネル 1

チャンネル 1 は 2 本の 16 ビットフリーランニングカウンタ (TCNT1A、B) と 8 本の 16 ビットジェネラルレジスタ (GR1A~H) および 16 ビットアウトプットコンペアレジスタ (OCR1) を内蔵しています。

11. アドバンスドタイマユニット-II (ATU-II)

TCNT1A、B はアップカウンタで、フリーランニング動作を行います。また後述のチャンネル 10 の TCR10 を設定することにより、チャンネル 10 からカウンタをクリアすることができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

8 本のジェネラルレジスタ (GR1A~H) は、各々に対応する外部信号入出力端子 (TIO1A~H) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO1A~H) からの入力により、フリーランニングカウンタ (TCNT1A) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR1A~D) により立ち上がり/立ち下がり/両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ

(TCNT1A) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR1A~D) により、0 出力/1 出力/トグル出力から選択できます。また、アウトプットコンペアレジスタとして使用しているときは、チャンネル 8 のタイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR) を設定し、ダウンカウンタ (DCNT8A~H) と組み合わせることにより、コンペアマッチをワンショットパルスのスタート/ターミネートトリガとして使用することができます。スタート/ターミネートトリガの選択はトリガモードレジスタ (TRGMDR) によって行います。

アウトプットコンペアレジスタ (OCR1) は、ジェネラルレジスタと同様にチャンネル 8 のダウンカウンタ (DCNT8A~H) と組み合わせることにより、TCNT1B とのコンペアマッチをワンショットパルスのスタート/ターミネートトリガとして使用することができます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。

その他チャンネル 1 には 16 ビットインプットキャプチャ専用レジスタ (OSBR1) を内蔵しています。チャンネル 0 の入力端子 (TIOA) が、同時に OSBR1 のトリガとして入力されるため、ツインキャプチャ機能として使用することができます。

(3) チャンネル 2

チャンネル 2 は 2 本の 16 ビットフリーランニングカウンタ (TCNT2A、B) と 8 本の 16 ビットジェネラルレジスタ (GR1A~H) および 8 本の 16 ビットアウトプットコンペアレジスタ (OCR2A~H) を内蔵しています。

TCNT2A、B はアップカウンタで、フリーランニング動作を行います。また後述のチャンネル 10 の TCR10 を設定することにより、チャンネル 10 からカウンタをクリアすることができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

8 本のジェネラルレジスタ (GR2A~H) は、各々に対応する外部信号入出力端子 (TIO2A~H) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO2A~H) からの入力により、フリーランニングカウンタ (TCNT2A) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR2A~D) により立ち上がり/立ち下がり/両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ

(TCNT2A) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR2A~D) により、0 出力/1 出力/トグル出力から選択できます。また、アウトプットコンペアレジスタとして使用しているときは、チャンネル 8 のワンショットパルスターミネートレジスタ (OTR) を設定し、ダウンカウンタ (DCNT8I~P) と組み合わせることにより、コンペアマッチをワンショットパルスターミネートトリガとして使用することができます。

アウトプットコンペアレジスタ (OCR2A~H) は、チャンネル 8 のタイマコネクションレジスタ (TCNR) を設定し、ダウンカウンタ (DCNT8I~P) と組み合わせることにより、TCNT2B とコンペアマッチをワンショットパルスのスタートトリガとして使用することができます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。

その他チャンネル 2 は 16 ビットインプットキャプチャ専用レジスタ (OSBR2) を内蔵しています。チャンネル 0 の入力端子 (TIOA) が、同時に OSBR2 のトリガとして入力されるため、ツインキャプチャ

チャ機能として使用することができます。

(4) チャネル 3～5

チャネル 3～5 は、各々 16 ビットフリーランニングカウンタ (TCNT3～5) と 4 本の 16 ビットジェネラルレジスタ (GR3A～D、GR4A～D、GR5A～D) を内蔵しています。TCNT3～5 はアップカウンタで、フリーランニング動作を行います。また、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) を設定することにより、コンペアマッチによるカウンタのクリアを行うことができます。各々のカウンタはオーバフロー時に割り込み要求が可能です。

4 本のジェネラルレジスタ (GR3A～D、GR4A～D、GR5A～D) は、各々に対応する外部信号入出力端子 (TIO3A～D、TIO4A～D、TIO5A～D) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。インプットキャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO3A～D、TIO4A～D、TIO5A～D) からの入力により、フリーランニングカウンタ (TCNT3～5) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) により立ち上がり/立ち下がり/両エッジから選択できます。また、インプットキャプチャとして使用する場合、後述するチャネル 9 のイベントカウンタ (ECNT9A～D) とジェネラルレジスタ (GR9A～D) のコンペアマッチをトリガとしてインプットキャプチャを行えます (チャネル 3 のみ)。このとき、TIOR3A～D がインプットキャプチャ禁止に設定されていてもキャプチャは行われます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ (TCNT3～5) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR3A、3B、4A、4B、5A、5B) により、0 出力/1 出力/トグル出力から選択できます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。ただし、チャネル 9 をトリガとしたインプットキャプチャの場合は、チャネル 3 からの割り込み要求は行えません。

また、タイマモードレジスタ (TMDR) に PWM モードを設定することにより、それぞれ 3 本の出力を持つ PWM 出力が得られます。このとき、自動的に GR3D、GR4D、GR5D がサイクルレジスタとして使用され GR3A～C、GR4A～C、GR5A～C はデューティレジスタとして使用されます。TCNT3～5 はそれぞれ GR3D、GR4D、GR5D とのコンペアマッチによりクリアされます。

(5) チャネル 6、7

チャネル 6、7 はそれぞれ 16 ビットフリーランニングカウンタ (TCNT6A～D、TCNT7A～D)、16 ビットサイクルレジスタ (CYLR6A～D、CYLR7A～D)、16 ビットデューティレジスタ (DTR6A～D、DTR7A～D)、および 16 ビットバッファレジスタ (BFR6A～D、BFR7A～D) を内蔵しています。また、チャネル 6、7 は各々に対応する外部出力端子 (TO6A～D、TO7A～D) を持ち、バッファ機能付き PWM タイマとして使用することができます。

TCNT はアップカウンタで、DTR 値 ($DTR \neq CYLR$ のとき) と一致すると外部出力端子に 0 を出力します。さらに、CYLR 値 ($DTR \neq H'0000$ のとき) と一致すると外部出力端子に 1 を出力すると同時に TCNT を H'0001 にクリアし、BFR 値を DTR に転送します。すなわち、チャネル 6、7 は CYLR 値をサイクル、DTR 値をデューティとする波形の出力を行うことができ、しかも DTR へのデータ設定タイミングと、コンペアマッチタイミングのタイムラグを BFR で吸収できる構成になっています。

なお、DTR=CYLR のときは外部出力端子に 1 を出力し続け、デューティは 100% となります。DTR=H'0000 のときは外部出力端子に 0 を出力し続け、デューティは 0% となります。DTR には $DTR > CYLR$ となる値は設定しないでください。また、DTR に H'0000 を設定する場合は、DTR に直接 H'0000 を書き込みせず、BFR に H'0000 を設定し、BFR から DTR への転送により H'0000 設定してください。直接 DTR に H'0000 を書き込むとデューティ 0% にならない場合があります。

さらにチャネル 6 は PWM モードレジスタ (PMDR) によって TCNT はアップ/ダウンカウンタとなり相補 PWM 出力が可能です。対応する TSTR を 1 に設定すると TCNT はアップカウントを行い、CYLR との一致でダウンカウントに切り替わります。TCNT が H'0000 になると再びアップカウントを行います。このとき $TCNT = DTR$ で対応する外部出力端子 TO6A～D の出力が変化します。TCNT が

11. アドバンスタイマユニット-II (ATU-II)

アップカウント中かダウンカウント中かはタイマステータスレジスタ(TSR6)により知ることができます。

また非相補PWMモード時はTCNT=CYL Rのとき、相補PWMモード時はTCNT=H'0000のとき、それぞれDMACの起動、および割り込み要求が可能です。

(6) チャネル8

チャネル8は、16本の16ビットダウンカウンタ(DCNT8A~P)を内蔵しています。ダウンカウンタは各々に対応する外部信号出力端子を持ち、ワンショットパルスを生成することができます。DCNTに値を設定し、ダウンカウントスタートレジスタ(DSTR)の対応するビットを1に設定することにより、DCNTはダウンカウントを開始し、同時に対応する外部出力端子に1を出力します。ダウンカウントによりDCNTがH'0000に達したら、DCNTは動作を停止し外部出力端子に0を出力します。DCNTがアンダフロー時、割り込み要求が可能です。

ダウンカウンタはタイマコネクションレジスタ(TCNR)、ワンショットパルスターミネートレジスタ(OTR)を設定することにより、それぞれチャネル1、チャネル2のアウトプットコンペア機能と連動させることができ、チャネル1からDCNT8A~H、チャネル2からDCNT8I~Pのカウント動作のスタート/ストップが行えます。

DCNT8I~Pはリロードレジスタ(RLDR)を持っており、リロードイネーブルレジスタ(RLDENR)の設定により、各々がスタートするときにリロードレジスタから値を読み込んでからカウント動作を開始します。

(7) チャネル9

チャネル9は、6本の8ビットイベントカウンタ(ECNT9A~F)と6本の8ビットジェネラルレジスタ(GR9A~F)を内蔵しています。イベントカウンタ(ECNT9A~F)はアップカウンタで外部入力端子(TI9A~F)を持ち、各々に対応する外部入力端子からの入力により、イベントカウンタの値がアップカウントされます。カウントアップは、タイマコントロールレジスタ(TCR9A~C)の設定により立ち上がり/立ち下がり/両エッジから選択できます。イベントカウンタは対応するジェネラルレジスタと一致した後にエッジが入力されるとクリアされます。イベントカウンタがクリアされる時、割り込み要求が可能です。

イベントカウンタのうちECNT9A~Dはタイマコントロールレジスタ(TCR9A、TCR9B)を設定することにより、ジェネラルレジスタ(GR9A~D)と一致時にコンペアマッチ信号がチャネル3に送られ、チャネル3でインプットキャプチャを行えます。これによりパルスが入力される期間を計測することができます。

(8) チャネル10

チャネル10は、外部入力をベースにした倍周クロックを生成し、チャネル1~5に供給します。チャネル10は、(a)エッジ間計測ブロック、(b)倍周クロック生成ブロック、(c)倍周クロック補正ブロックに分かれます。

(a) エッジ間計測ブロック

このブロックは、32ビットフリーランニングカウンタ(TCNT10A)、32ビットインプットキャプチャレジスタ(ICR10A)、32ビットアウトプットコンペアレジスタ(OCR10A)、8ビットイベントカウンタ(TCNT10B)および8ビットアウトプットコンペアレジスタ(OCR10B)、8ビットノイズキャンセラ用カウンタ(TCNT10H)および8ビットノイズキャンセラ用コンペアマッチレジスタ(NCR10)を内蔵しています。

32ビットフリーランニングカウンタ10A(TCNT10A)はアップカウンタでフリーランニング動作を行います。また、TI10入力によりインプットキャプチャが行われるとH'00000001にクリアされます。また、フリーランニングカウンタ10A(TCNT10A)がアウトプットコンペアレジスタ(OCR10A)に設定された値に達すると、コンペアマッチによる割り込み要求が可能です。

インプットキャプチャレジスタ(ICR10A)は外部信号入力端子(TI10)を持ち、TI10からの入力

によりフリーランニングカウンタ (TCNT10A) の値をキャプチャ可能です。キャプチャはタイマコントロールレジスタ (TCR10) の CKEG1、CKEG0 ビットの設定により、立ち上がり/立ち下がり/両エッジから選択ができます。また、TI10 入力にはノイズキャンセラ機能があり、タイマコントロールレジスタ (TCR10) の NCE ビットを設定することにより、ノイズキャンセラを有効にすることができます。キャプチャ時に TCNT10A は H'00000001 にクリアされ、かつ割り込み要求が可能です。キャプチャした値は倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送することができます。

8 ビットイベントカウンタ (TCNT10B) はアップカウンタで TI10 入力によりカウントアップを行います。イベントカウンタ (TCNT10B) の値がアウトプットコンペアレジスタ (OCR10B) に設定された値に達すると、コンペアマッチによる割り込み要求が可能です。また、タイマコントロールレジスタ (TCR10) の TRG0DEN ビットを設定することにより、コンペアマッチ発生時にチャンネル 0 のインプットキャプチャレジスタ 0D (ICR0D) に対してキャプチャ要求が可能です。

8 ビットノイズキャンセラ用カウンタ (TCNT10H) と 8 ビットノイズキャンセラ用コンペアマッチレジスタ (NCR10) はノイズキャンセラが機能する時間を設定します。ノイズキャンセラはノイズキャンセラ用コンペアマッチレジスタ (TCNT10H) に値を設定し、タイマコントロールレジスタ

(TCR10) の NCE ビットを設定することにより、TI10 入力があると TI10 入力をマスクします。TI10 入力をマスクすると同時にノイズキャンセラ用カウンタ (TCNT10H) が $P\Phi \times 10$ のクロックでカウントアップを開始します。ノイズキャンセラ用カウンタ (TCNT10H) がノイズキャンセラ用コンペアマッチレジスタ (NCR10) と一致するとノイズキャンセラ用カウンタ (TCNT10H) は H'0000 にクリアされ、TI10 入力のマスクを解除します。

(b) 倍周クロック生成ブロック

このブロックは、16 ビットリロードカウンタ (TCNT10C、RLD10C) と 16 ビットフリーランニングカウンタ (TCNT10G) および 16 ビットジェネラルレジスタ (GR10G) を内蔵しています。

16 ビットリロードカウンタ 10C (RLD10C) は、32 ビットインプットキャプチャレジスタ 10A (ICR10A) でキャプチャされ、かつタイマ I/O コントロールレジスタ (TIOR10) の RL DEN が 0 のとき、インプットキャプチャレジスタ 10A にキャプチャされた値が、倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送されます。転送される値は TIOR10 の PIM1、PIM0 で設定により、1/32、1/64、1/128、1/256 倍のうち、選択された値が転送されます。

16 ビットリロードカウンタ 10C (TCNT10C) は、ダウンカウント動作を行います。TCNT10C は H'0001 になると自動的にリロードバッファ (RLD10C) から値を読み込み、内部クロック AGCK1 を生成し、再度ダウンカウント動作を繰り返します。内部で生成した AGCK1 は、倍周クロック補正ブロックの 16 ビット補正カウンタ (TCNT10E) および 16 ビットフリーランニングカウンタ 10G (TCNT10G) にクロックとして入力されます。

16 ビットフリーランニングカウンタ 10G (TCNT10G) は TCNT10C が生成する AGCK1 によってカウントされます。また、TI10 からの外部入力により H'0000 に初期化されます。

16 ビットジェネラルレジスタ (GR10G) は、タイマ I/O コントロールレジスタ (TIOR10) の IO10G2 ~ 0 を設定することにより、フリーランニングカウンタ 10G (TCNT10G) とのコンペアマッチを行えます。コンペアマッチ発生時に割り込み要求が可能です。また、タイマインタラプトイネーブルレジスタ 10 (TIER10) を設定することにより、コンペアマッチ後に TI10 入力があった場合に割り込み要求を行うことが可能です。

(c) 倍周クロック補正ブロック

このブロックは、3 本の 16 ビット補正カウンタ (TCNT10D、TCNT10E、TCNT10F) と、16 ビット補正カウンタクリアレジスタ (TCCLR10) を内蔵しています。

16 ビット補正カウンタ 10D (TCNT10D) は、外部入力端子 TI10 からの入力により、32 ビットインプットキャプチャレジスタ 10A (ICR10A) がキャプチャ動作をするタイミングで TCNT10E へ TCNT10D の値を転送し、カウントアップします。TCNT10E に転送される値は、タイマ I/O コントロ

11. アドバンスタイマユニット-II (ATU-II)

ールレジスタ (TIOR10) の PIM1、PIM0 ビットによって設定された値により、TCNT10D の値が 32、64、128、256 倍されて TCNT10E に転送されます。

16 ビット補正カウンタ 10E (TCNT10E) は、倍周クロック生成ブロックのリロードカウンタ 10C (TCNT10C、RLD10C) で生成される AGCK1 によりカウントアップします。ただし、タイマ I/O コントロールレジスタ (TIOR10) の CCS ビットの設定することにより、フリーランニングカウンタ 10D (TCNT10D) の PIM1、PIM0 による逡倍値とフリーランニングカウンタ 10E (TCNT10E) の値が一致している場合、フリーランニングカウンタ 10E (TCNT10E) のカウント動作を停止することができます。また、TI10 の入力によりインプットキャプチャレジスタ 10A (ICR10A) がキャプチャ動作をするタイミングで TCNT10D が逡倍された値が転送されます。

16 ビット補正カウンタ 10F (TCNT10F) は P ϕ が入力されており、常に 16 ビット補正カウンタ 10E (TCNT10E) と比較されています。16 ビット補正カウンタ 10F (TCNT10F) は、16 ビット補正カウンタ 10E (TCNT10E) より小さいときにカウントアップされ、カウントアップ信号 AGCKM を生成します。補正カウンタ 10F (TCNT10F) が 16 ビット補正カウンタ 10E (TCNT10E) の値を上回ったときには、カウントアップ動作をしません。TCNT10F がカウントアップ時に生成する TI10 逡倍信号 (AGCKM) はチャンネル 1~5 のフリーランニングカウンタ (TCNT1A、1B、2A、2B、3、4、5) に出 force され、各チャンネルでカウンタクロックとして設定することにより AGCKM でカウントアップすることができます。また TCNT10F は 16 ビット補正カウンタクリアレジスタ (TCCLR10) と常に比較されており、フリーランニングカウンタ 10F (TCNT10F) と補正カウンタクリアレジスタ (TCCLR10) が一致すると、TCNT10F のカウントアップが停止します。このとき、タイマコントロールレジスタ (TCR10) の TRG1AEN、TRG1BEN、TRG2AEN、TRG2BEN を設定することにより、チャンネル 1、2 のフリーランニングカウンタ (TCNT1A、1B、2A、2B) をクリアすることができます。また、TCNT10D=H'0000 のときに TI10 が入力されると初期化、補正動作を行います。TCNT10F=TCCLR10 のときは、TCNT10F は H'0001 にクリアされます。TCNT10F \neq TCCLR10 のときは、TCNT10F は TCCLR10 の値まで自動的にカウントアップし、一致時に H'0001 にクリアされます。

(9) チャンネル 11

チャンネル 11 は、1 本の 16 ビットフリーランニングカウンタ (TCNT11) と 2 本の 16 ビットジェネラルレジスタ (GR11A、B) を内蔵しています。TCNT11 はアップカウンタでフリーランニング動作を行います。カウンタはオーバフロー時に割り込み要求が可能です。

2 本のジェネラルレジスタ (GR11A、B) は各々に対応する外部入出力端子 (TIO11A、B) を持ち、インプットキャプチャまたはアウトプットコンペアレジスタとして使用することができます。キャプチャとして使用する場合、各々に対応する外部信号入出力端子 (TIO11A、B) からの入力により、フリーランニングカウンタ (TCNT11) の値をキャプチャします。インプットキャプチャ信号は、タイマ I/O コントロールレジスタ (TIOR11) により立ち上がり/立ち下がり/両エッジから選択できます。アウトプットコンペアとして使用する場合、フリーランニングカウンタ (TCNT11) とコンペアマッチを行います。コンペアマッチによる外部信号入出力端子からの出力は、タイマ I/O コントロールレジスタ (TIOR11) により、0 出力/1 出力/トグル出力から選択できます。それぞれインプットキャプチャまたはコンペアマッチ発生時に割り込み要求が可能です。また、2 本のジェネラルレジスタを (GR11A、B) をコンペアマッチに設定すると、アドバンストパルスコントローラ (APC) にコンペアマッチ信号を出力できます。

(10) プリスケーラ

ATU-II は専用のプリスケーラを内蔵しています。このプリスケーラは 2 段構成になっています。初段はクロック P ϕ に対して、m 分の 1 クロック (m=1~32) を生成する 5 ビットのプリスケーラ (PSCR1~4) です。2 段目はそれぞれのチャンネルのタイマコントロールレジスタ (TCR1A、B、TCR2A、B、TCR3~5、TCR6A、B、TCR7A、B、TCR8、TCR11) により初段からのクロックをさらに 2ⁿ (n=0~5) に分周したクロックの選択が可能です。

ただし、チャンネル 1~8、11 のプリスケーラは 2 段構成、チャンネル 0、10 のプリスケーラは初段の

みとなっています。また、初段のプリスケアラはチャンネル0～5、8、11が共通になっており、初段の分周比をそれぞれ異なるように設定することができません。チャンネル6、7、10はそれぞれのチャンネルごとに初段のプリスケアラを持っており、初段の分周比をそれぞれ異なるように設定することができます。

11.3.2 フリーランニングカウンタ動作と周期カウンタ動作

チャンネル0～5、11のフリーランニングカウンタ(TCNT)は、タイマスタートレジスタ(TSTR)の対応するビットを1にセットするとフリーランニングカウンタとしてアップカウント動作を開始します。TCNTがオーバーフロー(チャンネル0:H'FFFFFFF→H'00000000、チャンネル1～5、11:H'FFFF→H'0000)するとタイマステータスレジスタ(TSR)のOVFビットが1にセットされます。このとき、対応するタイムインタラプトイネーブルレジスタ(TIER)のOVEビットが1ならばCPUに割り込みを要求します。TCNTはオーバーフロー後、H'00000000またはH'0000から再びアップカウントを継続します。

TCNTの動作中にTSTR値を0にすると、対応するTCNTは動作を停止します。このときTCNTはリセットされません。対応するTCNTのGRから外部出力している場合には、出力値は変化しません。

図11.13にチャンネル0のフリーランニングカウンタ動作を示します。

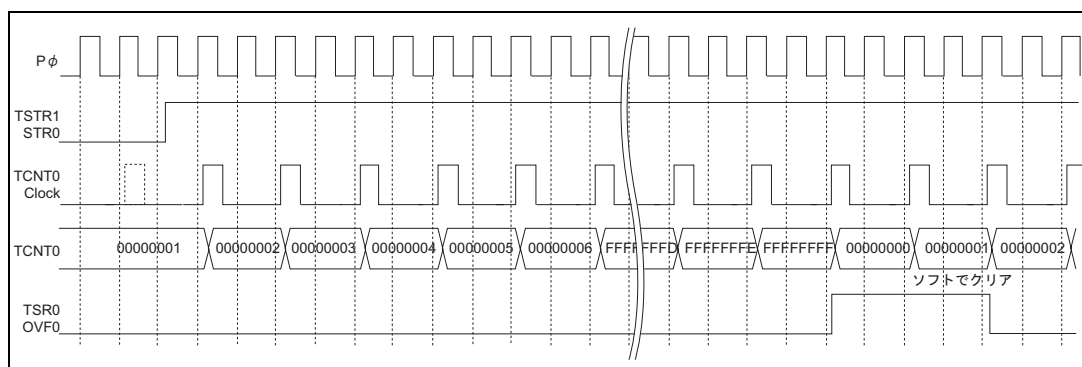


図 11.13 フリーランニングカウンタ動作およびオーバーフロータイミング

チャンネル6、7のフリーランニングカウンタ(TCNT)は、無条件で周期カウント動作を行います。また、チャンネル3～5のフリーランニングカウンタ(TCNT)は、タイマモードレジスタ(TMDR)のT3PWM～T5PWMビットに1をセットすると、あるいはT3PWM～T5PWMが0のとき、タイマI/Oコントロールレジスタ(TIOR)の対応するCCIビットを1にセットすると当該チャンネルのカウンタは周期カウント動作を行います。チャンネル3～5の場合はGR3D、4D、5Dが、チャンネル6、7の場合はCYLRが、カウンタTCNTとコンペアマッチすると当該TCNTがクリアされます(カウンタクリア機能)。TMDR設定後、TSTRの対応するSTRビットを1にセットすると、周期カウンタとしてカウントアップを開始します。カウント値がGR3D、4D、5DあるいはCYLR値と一致すると、タイマステータスレジスタ(TSR)のIMF3D、4D、5D、チャンネル6、7の場合はTSR6、7のCMFの対応するビットに1がセットされ、TCNTはH'0000、チャンネル6、7の場合はH'0001にクリアされます。

このとき、TIERの対応するビットが1ならば、CPUに割り込み要求をします。TCNTはコンペアマッチ後、H'0000、チャンネル6、7の場合はH'0001から再びアップカウント動作を継続します。

チャンネル3を周期カウンタとして(周期をH'0008に設定)使用したときの動作を図11.14に示します。

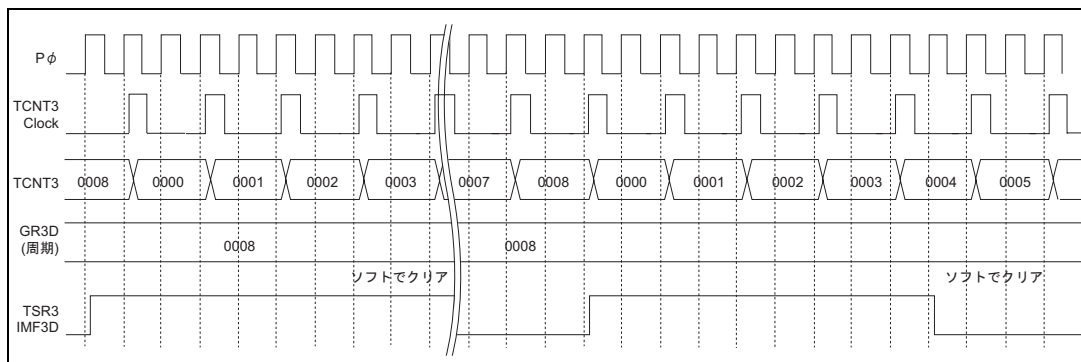


図 11.14 周期カウント動作例

11.3.3 コンペアマッチ機能

チャンネル 1～5 とチャンネル 11 のジェネラルレジスタ (GR1A～GR1H, GR2A～GR2H, GR3A～GR3D, GR4A～GR4D, GR5A～GR5D, GR11A, GR11B) は、タイマ I/O コントロールレジスタ (TIOR1～TIOR5, TIOR11) にコンペアマッチ動作を指定することにより、対応する外部端子 (TIO1A～TIO1H, TIO2A～TIO2H, TIO3A～TIO3D, TIO4A～TIO4D, TIO5A～TIO5D, TIO11A, TIO11B) からコンペアマッチ出力を行います。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) がカウントアップを開始します。あらかじめ GR に値を設定し、TCNT が GR に一致すると、GR に対応するタイマスタートレジスタ (TSR) のビットをセットし、GR に対応する端子から波形を出力します。出力は TIOR への設定により 1 出力/0 出力/トグル出力から選択できます。また、インタラプトイネーブルレジスタ (TIER) への設定によりコンペアマッチ発生時に CPU への割り込み要求が可能です。

コンペアマッチ出力を行わず、コンペアマッチによる内部割り込み、またはコンペアマッチフラグのポーリング処理を行いたい場合、対応するコンペアマッチ出力端子を汎用入出力に、TIOR をコンペアマッチによる 1 出力/0 出力/トグル出力のいずれかに設定してください。

また、チャンネル 1, 2 のコンペアマッチレジスタ (OCR1, OCR2A～OCR2H) は無条件でコンペアマッチ動作を行います。ただし出力端子はありません。コンペアマッチ発生時に TIER への設定により CPU への割り込み要求が可能です。

さらにチャンネル 1, 2 の GR と OCR は、コンペアマッチ時にチャンネル 8 にトリガ/ターミネート信号を送信することができます。このときは、トリガモードレジスタ (TRGMDR) タイマ接続レジスタ (TCNR) とワンショットパルスターミネートレジスタ (OTR) で設定してください。

図 11.15 にコンペアマッチ動作を示します。

図 11.15 はチャンネル 1 を起動し、GR1A をドグル出力、GR1B を 1 出力、GR1C を 0 出力に設定し外部出力をさせたときの例です。

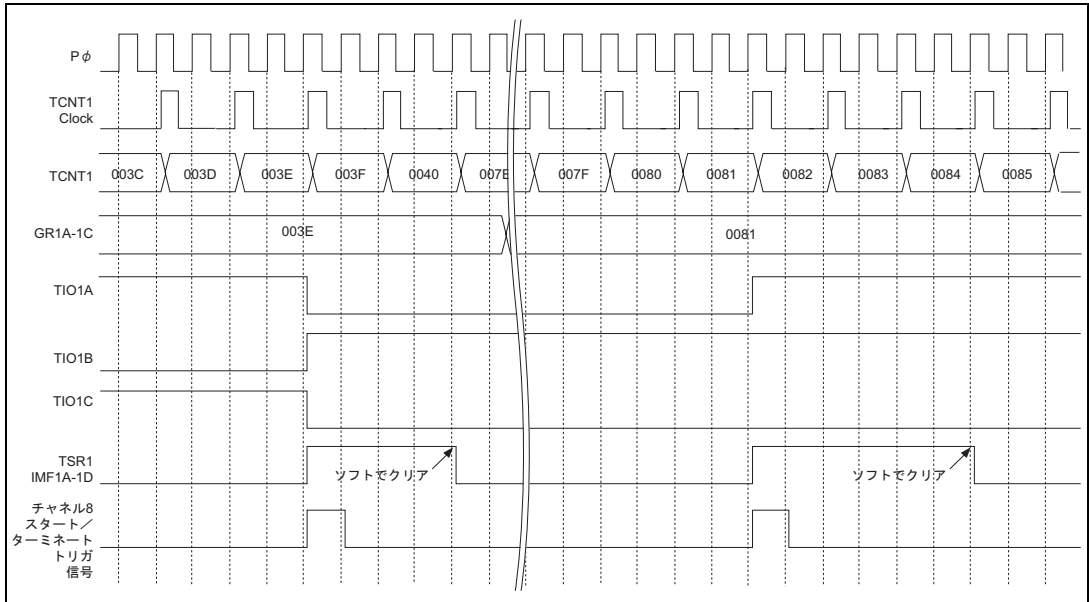


図 11.15 コンペアマッチ動作

11.3.4 インพุットキャプチャ機能

チャンネル0～5とチャンネル11のインพุットキャプチャレジスタ (ICR0A～ICR0D) とジェネラルレジスタ (GR1A～GR1H, GR2A～GR2H, GR3A～GR3D, GR4A～GR4D, GR5A～GR5D, GR11A, GR11B) は、タイマ I/O コントロールレジスタ (TIOR0～TIOR5, TIOR11) にインพุットキャプチャ動作を指定することにより、対応する外部端子 (TIO0A～TIO0D, TIO1A～TIO1H, TIO2A～TIO2H, TIO3A～TIO3D, TIO4A～TIO4D, TIO5A～TIO5D) からエッジが入力されるとインพุットキャプチャ動作します。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) がカウントアップを開始します。ICR または GR の対応する外部端子のエッジが入力されると、対応するタイマステータスレジスタ (TSR) のビットがセットされ、TCNT 値が ICR または GR に転送されます。入力されるエッジは、立ち上がり/立ち下がり/両エッジから選択できます。また、インタラプトイネーブルレジスタ (TIER) の設定により CPU に割り込み要求をすることができます。

図 11.16 にインพุットキャプチャ動作を示します。

図 11.16 はチャンネル1を起動し、TIO1A は両エッジ、TIO1B は立ち上がり、TIO1C は立ち下がり指定で動作させたときの例です。

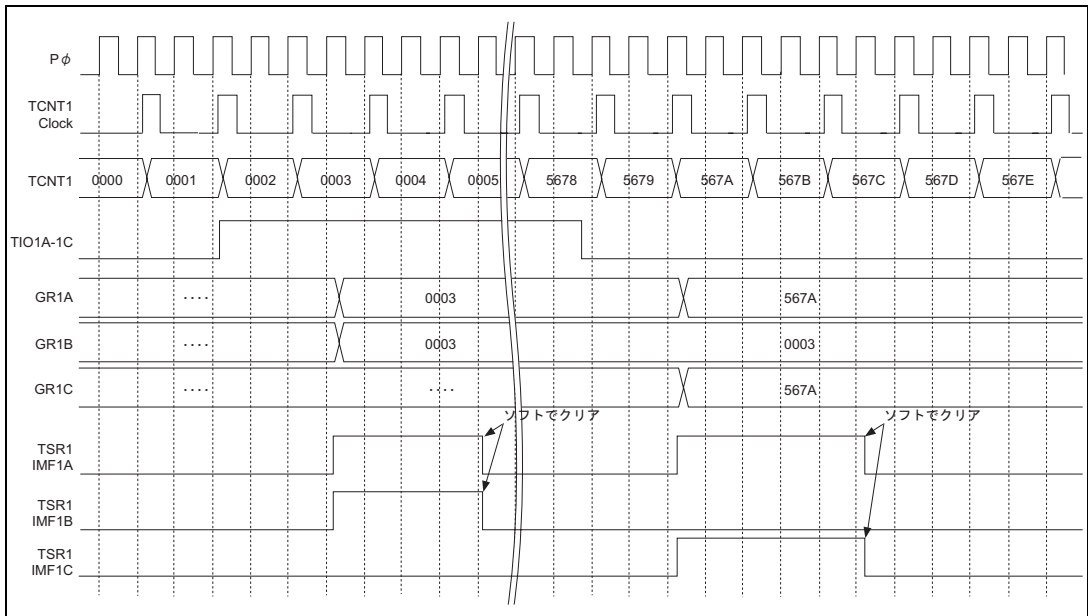


図 11.16 インプットキャプチャ動作

11.3.5 ワンショットパルス機能

チャンネル8は、16本のダウンカウンタ (DCNT8A~DCNT8P) と、それぞれに対応する外部端子 (TO8A ~TO8P) を持っており、ワンショットパルス出力が可能です。

あらかじめ DCNT に値を設定し、ダウンカウントスタートレジスタ (DSTR) の対応するビットを設定すると DCNT はダウンカウントを開始します。ダウンカウントを開始すると同時に外部端子から 1 を出力します。DCNT が H'0000 に達すると、ダウンカウント動作を停止し、タイムステータスレジスタ (TSR) の対応するビットをセットします。対応する外部端子からは 0 を出力します。DSTR の対応するビットは自動的にクリアされます。またこのときインタラプトイネーブルレジスタ (TIER) への設定により CPU への割り込み要求が可能です。

ワンショットパルス出力動作例を図 11.17 に示します。

図 11.17 は、H'0005 を DCNT に設定しダウンカウントを開始したときの例です。

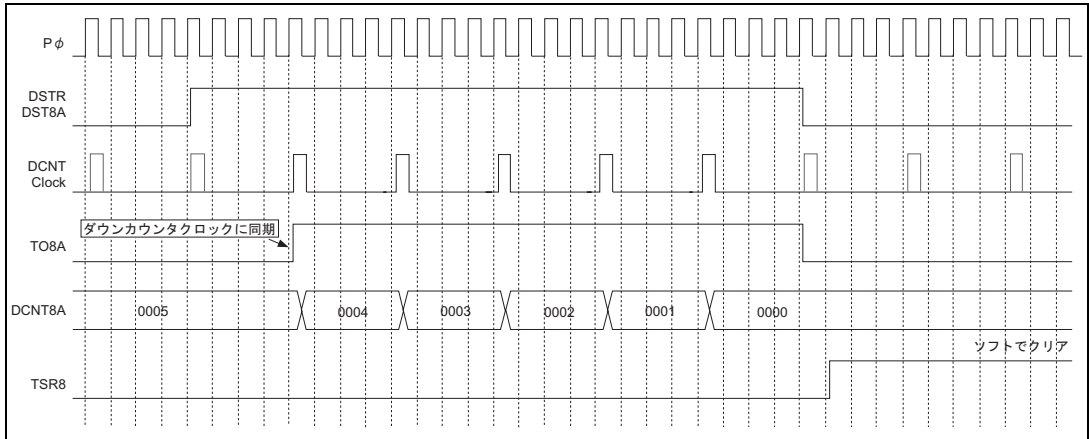


図 11.17 ワンショットパルス出力動作

11.3.6 オフセット付きワンショットパルス機能と出力遮断機能

チャンネル 8 のダウンカウンタ (DCNT8A~DCNT8P) は、タイマコネクシオンレジスタ (TCNR) への設定によりチャンネル 1 のジェネラルレジスタ (GR1A~GR1H) またはチャンネル 1、2 のコンペアマッチレジスタ (OCR1、OCR2A~OCR2H) からのコンペアマッチ信号を用いてダウンカウントをスタートさせることができます。DCNT8A~DCNT8H はチャンネル 1 の OCR1 または GR1A~GR1H と、DCNT8I~DCNT8P はチャンネル 2 の OCR2A~OCR2H または GR2A~GR2H と接続されます。DCNT に対応した外部端子 (TO8A~TO8P) からはワンショットパルス出力が可能です。またワンショットパルスターミネートレジスタ (OTR) への設定によりダウンカウントを強制的に停止することができます。チャンネル 1 に関しては、GR、OCR のコンペアマッチでダウンカウントスタート/ターミネートの選択がトリガモードレジスタ (TRGMDR) により可能です。

タイマスタートレジスタ (TSTR) への設定によりチャンネル 1、2 のフリーランニングカウンタ (TCNT) はカウントアップ動作を開始します。TCNR で接続を許可した状態で、TCNT が GR または OCR と一致すると、それぞれに対応する DSTR が自動的にセットされ、DCNT がダウンカウントを開始します。同時に外部端子 (TO8A~TO8P) からは 1 を出力します。インタラプトイネーブルレジスタ (TIER) への設定により CPU への割り込み要求が可能です。

また、OTR でチャンネル 1、2 のコンペアマッチ信号でチャンネル 8 のワンショットパルス終了を許可した状態で、TCNT1 が GR または OCR と、TCNT2 が GR と一致すると、それぞれに対応する DSTR が自動的にクリアされ、DCNT がダウンカウントを停止します。このとき DCNT 値は、H'0000 にクリアされます。再びダウンカウントが開始される前に書き換えてください。

DCNT8I~DCNT8P には、リロードレジスタ (RLDR8) が接続されており、ワンショットパルススタートトリガにより DCNT8I~DCNT8P に対応する DSTR がセットされると DCNT8I~DCNT8P は RLDR8 をロードしてからダウンカウントを開始します。

オフセット付きワンショットパルス出力機能および出力遮断機能の動作例を図 11.18 に示します。

11. アドバンスタイマユニット-II (ATU-II)

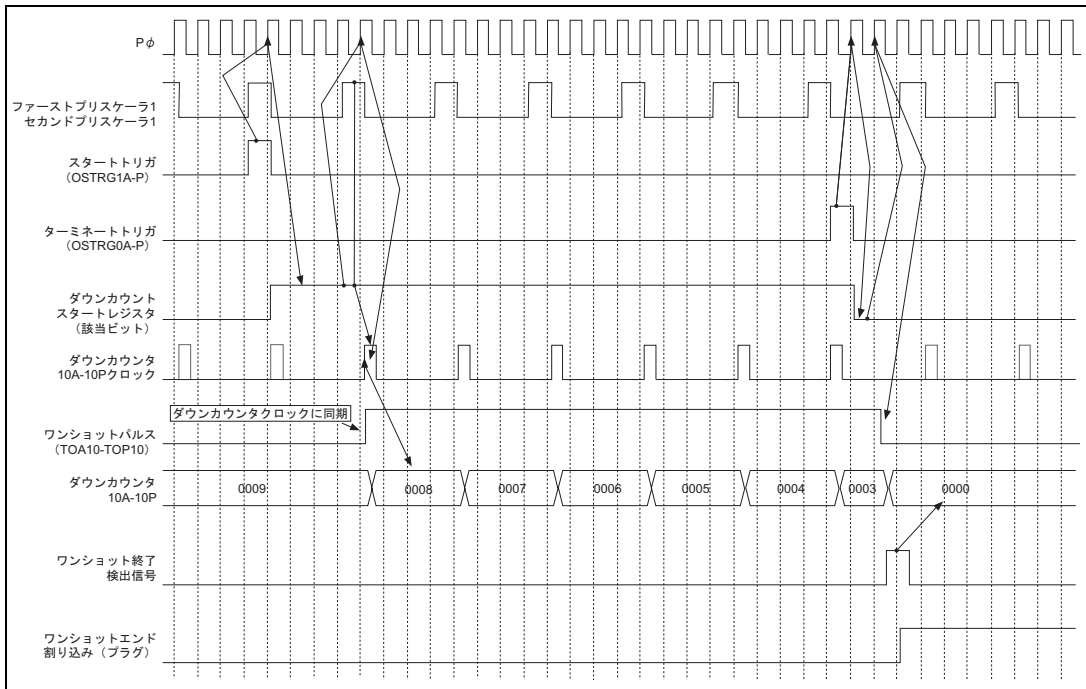


図 11.18 オフセット付きワンショットパルス出力機能と出力遮断機能動作

11.3.7 インターバルタイマ機能

インターバルインタラプトリクエストレジスタ (ITVRR1、ITVRR2A、ITVRR2B) は、チャンネル 0 のフリーランニングカウンタ (TCNT0) のビット 6~9 とビット 10~13 と接続されています。ITVRR は 8 ビットのレジスタで上位 4 ビット (ITVA) は A/D 変換器の起動用で、下位 4 ビット (ITVE) は割り込み要求用です。ITVRR1 は A/D 変換器 2 (AD2) に接続され、ITVRR2A は A/D 変換器 0 (AD0)、ITVRR2B は A/D 変換器 1 (AD1) に接続されます。

所望のタイミングの ITVA ビットをセットすると、TCNT0 の対応するビットが 1 に変化したときに A/D 変換器が起動されます。

所望のタイミングの ITVE ビットをセットすると、TCNT0 の対応するビットが 1 に変化したときに割り込み要求が可能です。このときタイマステータスレジスタ (TSR0) の該当するビットがセットされます。割り込みはそれぞれの ITVRR で 4 要因ありますが、割り込みベクタは ITVRR に対して 1 つです。

割り込みおよび A/D 変換器の起動を行わない場合は、ITVRR は 0 に設定してください。

インターバルタイマ機能の動作例を図 11.19 に示します。

図 11.19 は ITVRR1 の ITVE に 1 を設定して、TCNT0 を起動したときの例です。

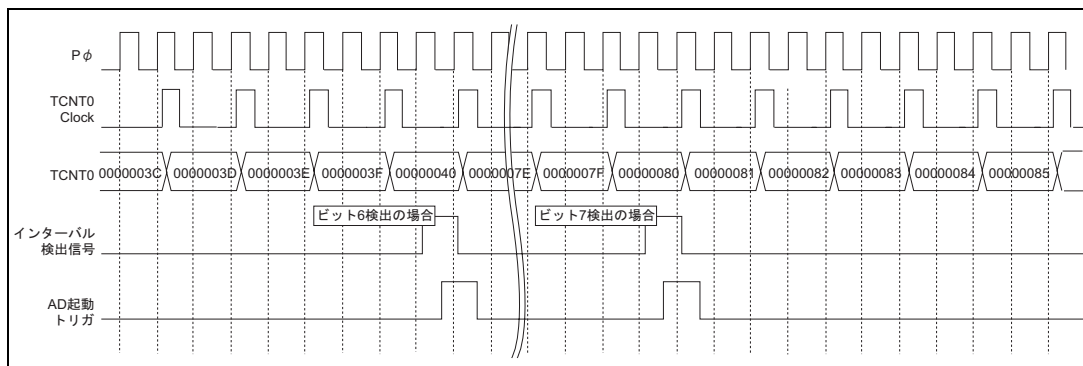


図 11.19 インターバルタイマ機能

11.3.8 ツインキャプチャ機能

チャンネル0のインプットキャプチャレジスタ (ICR0A) と、チャンネル1のオフセットベースレジスタ1 (OSBR1) およびチャンネル2のオフセットベースレジスタ2 (OSBR2) は、タイマ I/O コントロールレジスタ0 (TIOR0) への設定により同じトリガでインプットキャプチャ動作を行うことができます。

タイマスタートレジスタ (TSTR) への設定によりチャンネル0、チャンネル1、チャンネル2の TCNT0、TCNT1A および TCNT2A をスタートさせ、TI0A の入力をトリガ信号とし、エッジを検出すると、OSBR1 には TCNT1A の値が、OSBR2 には TCNT2A の値が転送されます。エッジの検出は「11.3.4 インプットキャプチャ機能」で述べたとおりです。

図 11.20 にツインキャプチャ動作例を示します。

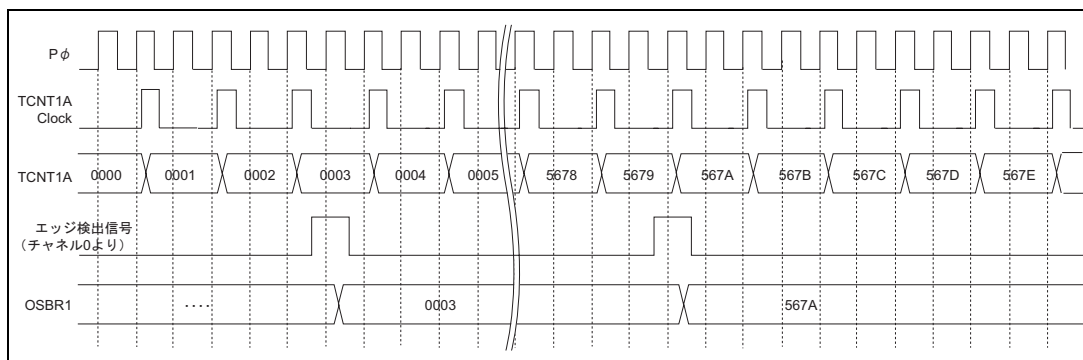


図 11.20 ツインキャプチャ動作

11.3.9 PWM タイマ機能

チャンネル6、7は無条件で、外部端子 (TO6A~TO6D, TO7A~TO7D) を使用した PWM タイマとして使用できます。

チャンネル6、7は、タイマスタートレジスタ (TSTR) の対応するビットをセットしてフリーランニングカウンタ (TCNT) を起動すると、対応するサイクルレジスタ (CYLR) に一致するまでカウントアップ動作をします。TCNT は CYLR と一致すると H'0001 にクリアされ、そこから再びアップカウントします。対応する外部端子は、このとき 1 を出力します。またタイマインタラプトイネーブルレジスタ (TIER) の対応するビットを設定することにより CPU に割り込みを要求することができます。デューティレジスタ (DTR) に値が設定されており、TCNT が DTR に一致すると、対応する外

11. アドバンスドタイマユニット-II (ATU-II)

部端子に0を出力します。DTRがH'0000の場合には、出力は変化しません（デューティ0%）。ただし、DTRにH'0000を設定する場合は、DTRに直接H'0000を書き込みせず、BFRにH'0000を設定し、BFRからDTRへの転送により設定してください。直接DTRにH'0000を書き込むとデューティ0%にならない場合があります。デューティを100%にするにはDTR=CYLRLに設定してください。DTRにはDTR>CYLRLとなる値を設定しないでください。

チャンネル6、7にはバッファ（BFR）を持っており、TCNTがCYLRLと一致するとBFR値がDTRに転送されます。BFRに書き込まれたデューティ値が出力値に反映されるのは、BFRが書き込まれた周期の次の周期になります。

図11.21にPWMタイマ動作例を示します。

図11.21はチャンネル6のCYLRL6AにH'0004、BFR6AにH'0002、H'0000（0%）、H'0004（100%）、H'0001を設定したときの動作例です。

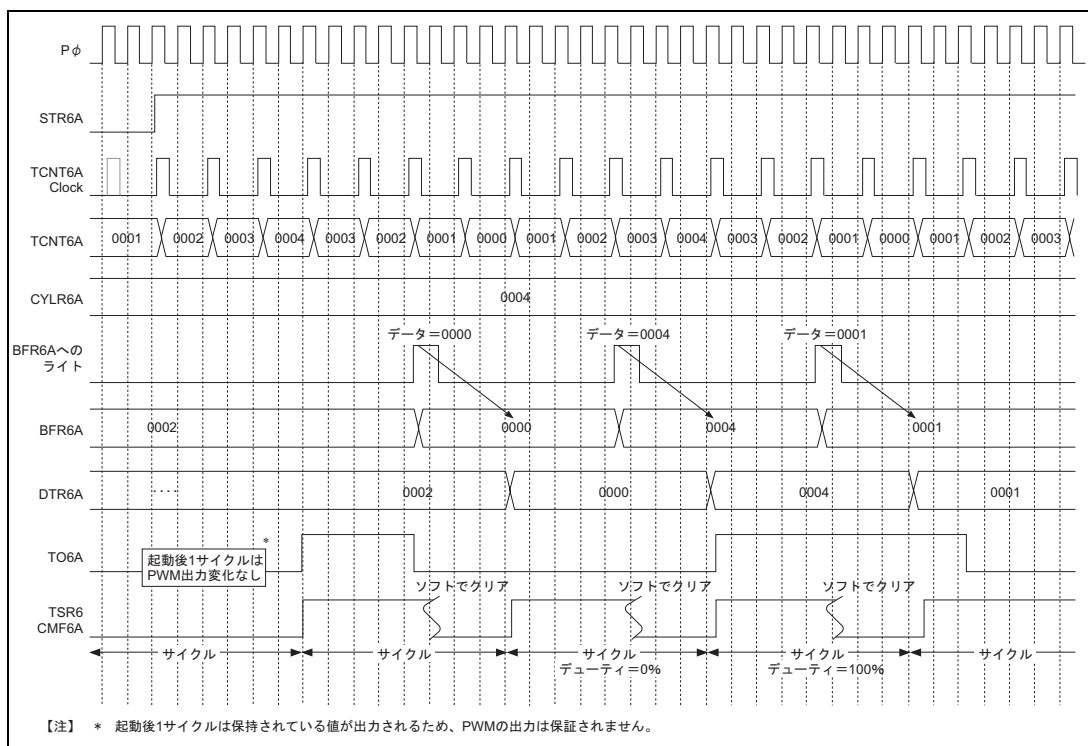


図 11.21 PWM タイマ動作

また、チャンネル6はPWMモードコントロールレジスタ (PMDR) への設定により、相補PWMモードとして使用できます。また、PMDRへの設定によりオンデューティ/オフデューティの選択も可能です。

TSTRへの設定によりTCNT6を起動すると、TCNT6はカウントアップを開始します。TCNT6がCYLR6に達すると、TCNT6はダウンカウントを開始し、H'0000に達すると再びアップカウント動作をします。このときカウンタのステータスをTSR6にて示しますが、TCNT6がアンダフローしたとき、TIERの対応するビットを設定することによりCPUに割り込みを要求することができます。TCNT6がデューティレジスタ (DTR6) に一致すると出力を反転します。一致前の出力はPMDRの設定に依存します。DTR6にデットタイムを含んで値を設定すると、最大4相のPWM出力が可能です。BFR6からDTR6へのデータ転送は、アンダフローしたときに行われます。

図 11.22 にチャンネル6の相補PWMモード動作例を示します。

図 11.22 はチャンネル6のCYLR6AにH'0004、BFR6AにH'0002、H'0003、H'0004 (100%)、H'0000 (0%)を設定したときの動作例です。

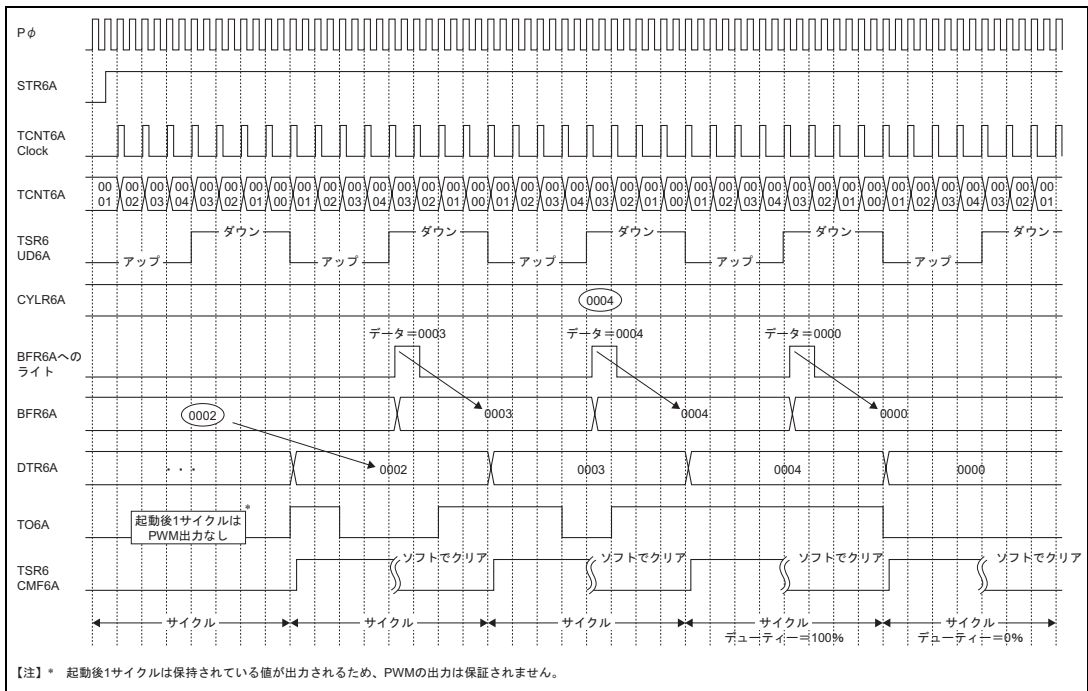


図 11.22 相補PWMモード動作

11.3.10 チャンネル 3～5 の PWM 機能

チャンネル 3～5 は、タイマモードレジスタ (TMDR) の対応するビットに 1 を設定することにより、PWM モードとなり、周期が同じ PWM タイマとして動作させることができます。

PWM モードでは、ジェネラルレジスタ D (GR3D、GR4D、GR5D) が周期レジスタとして、またジェネラルレジスタ A～C (GR3A～GR3C、GR4A～GR4C、GR5A～GR5C) がデューティレジスタとして使用されます。デューティレジスタに使用される GR それぞれに対応する外部端子 (TIO3A～TIO3C、TIO4A～TIO4C、TIO5A～TIO5C) は PWM 出力として使用します。このとき外部端子 (TIO3D、TIO4D、TIO5D) はタイマ出力として使用しないでください。

タイマスタートレジスタ (TSTR) への設定によりフリーランニングカウンタ (TCNT) を動作させ、TCNT が周期レジスタ (GR3D、GR4D、GR5D) に達するとコンペアマッチを発生し、TCNT はクリアされ再び H'0000 からカウントアップします。このときタイマステータスレジスタ (TSR) の該当するビットをセットするとともに、同時に外部端子から 1 を出力します。TCNT がデューティレジスタ (GR3A～GR3C、GR4A～GR4C、GR5A～GR5C) に達すると、外部端子に 0 を出力します。対応するステータスフラグはセットされません。フリーランニングカウンタ初期値 (H'0000) からカウンタを起動して PWM 動作を行うと、1 周期間 PWM 出力は行いません。すぐに PWM 出力を行うには、フリーランニングカウンタに周期レジスタと同じ値をセットしてカウンタを起動してください。また、周期レジスタに H'FFFF を設定して PWM 動作を行うと、周期レジスタのコンペアマッチフラグとオーバーフローのフラグが同時にセットされます。

チャンネル 3～5 の PWM モードでは 0%、100% デューティを出力することはできません。

図 11.23 にチャンネル 3～5 の PWM モード動作例を示します。

図 11.23 は、GR3D に H'0008、GR3A、GR3B、GR3C に H'0002 を設定してチャンネル 3 を起動し、途中で GR3A、GR3B、GR3C に H'0000 を設定し外部端子 (TIOA3～TIOC3) に出力した場合の例です。H'0000 を設定してもデューティ 0% 出力はできません。

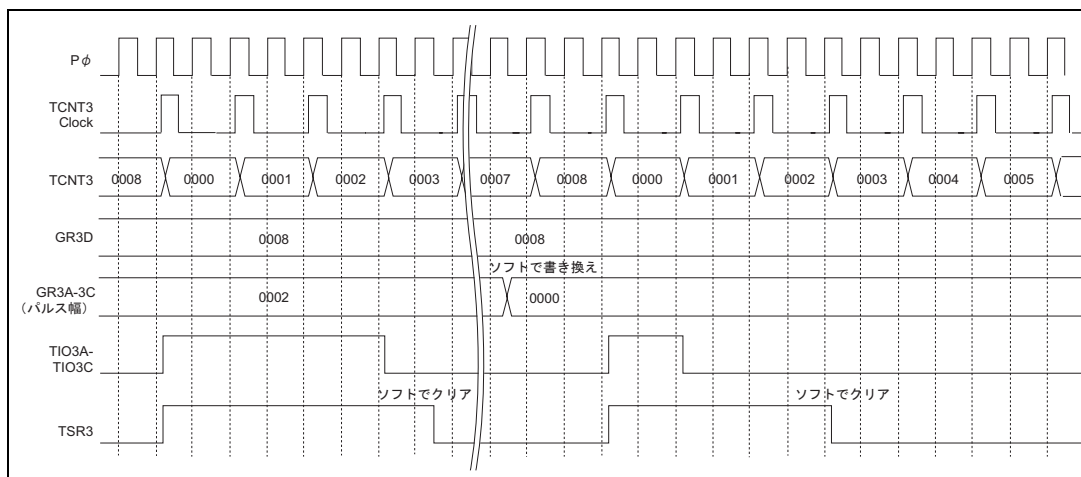


図 11.23 チャンネル 3～5 の PWM モード動作

11.3.11 イベントカウント機能とイベント周期計測

チャンネル9は6本の8ビットイベントカウンタ (ECNT9A~ECNT9F) と、それぞれにジェネラルレジスタ (GR9A~GR9F) を持っています。それぞれのイベントカウンタは外部端子 (TI9A~TI9F) を持っています。

ECNT9は無条件にイベントカウンタとして動作します。外部端子からエッジが入力されると、ECNT9がカウントアップされます。ECNT9はGR9に設定された値に一致した後にエッジが入力されるとクリアされ、再び外部端子にエッジが入力されるとカウントアップします。タイマインタラプトイネーブルレジスタ (TIER) の対応するビットをセットしておく、コンペアマッチでCPUに割り込み要求ができます。

また、ECNT9A~ECNT9Dはコンペアマッチしたときにそのトリガをチャンネル3に送信することができます。チャンネル3において、タイマI/Oコントロールレジスタ (TIOR) でチャンネル9のトリガ入力に設定し、タイマスタートレジスタ (TSTR) の当該ビットを1に設定すると、ECNT9A~ECNT9Dでコンペアマッチ発生時ジェネラルレジスタ (GR3A~GR3D) にTCNT3値がキャプチャされます。これによりイベント周期計測が可能です。

図11.24にイベントカウント動作を示します。両エッジ、立ち下がり、立ち上がりでECNT9Aをカウントアップし、GR9AはH'10を設定してコンペアマッチさせた例です。

図11.25にはイベント周期計測動作を示します。チャンネル9からのトリガでチャンネル3のGR3AがTCNT3をキャプチャする例です。

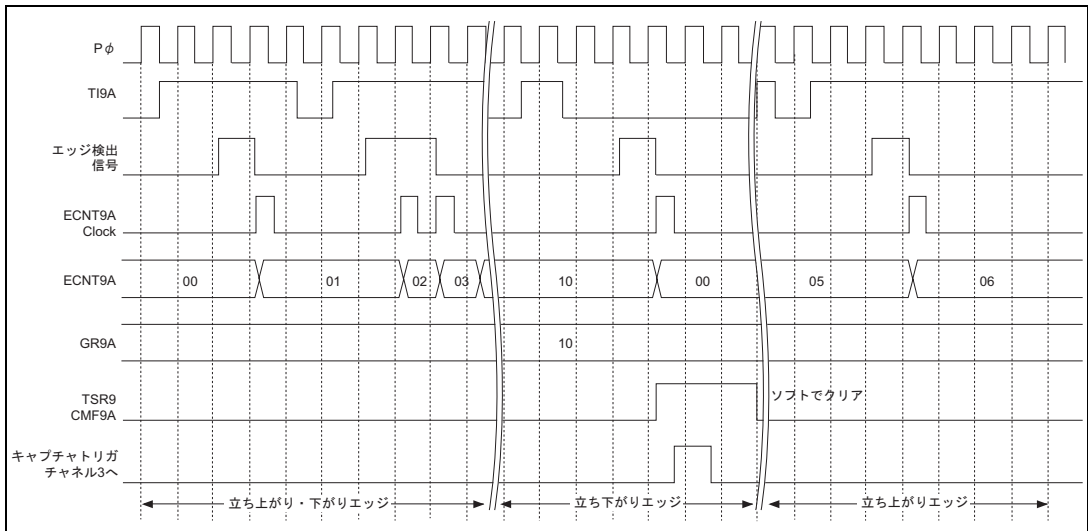


図 11.24 イベントカウント動作

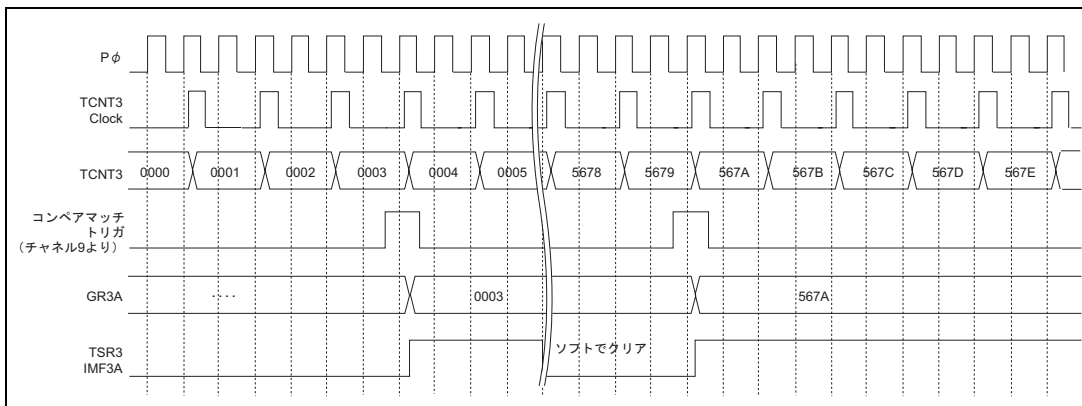


図 11.25 イベント周期計測動作

11.3.12 チャンネル 10 の機能

(1) エッジ間計測機能およびエッジ入力停止検出機能

チャンネル 10 の 32 ビットインプットキャプチャレジスタ 10A (ICR10A) および 32 ビットアウトプットコンペアレジスタ 10A (OCR10A) は、無条件でそれぞれインプットキャプチャ/コンペアマッチ動作を行います。これらは 32 ビットフリーランニングカウンタ (TCNT10A) に接続されています。

タイマスタートレジスタ (TSTR) の当該ビットを設定すると、チャンネル 10 全体が動作を開始します。ICR10A は外部入力端子 (TI10) を持っており、本入力端子にエッジが入力されると ICR10A は TCNT10A の値をキャプチャします。このとき TCNT10A は H'00000001 にクリアされます。キャプチャされた値は、倍周クロック生成ブロックのリロードレジスタ (RLD10C) に転送されます。このときタイマインタラプトイネーブルレジスタ (TIER) の設定により CPU への割り込みの要求ができます。これによりエッジ間計測が可能です。

また、TCNT10A が OCR10A に設定された値に達すると、コンペアマッチによる割り込み発生が可能です。これにより OCR10A に設定された時間以上エッジ入力停止したことを検出することができます。

TI10 からの入力エッジは内部で同期化され、内部信号 AGCK となります。TI10 に入力されるエッジは、タイマコントロールレジスタ (TCR10) の NCE ビットの設定によりタイマ 10H (TCNT10H) での入力キャンセル機能を使用してノイズをキャンセルすることができます。TI10 にエッジが入力されると TCNT10H が起動し、コンペアマッチレジスタ (NCR10) に到達するまで入力を禁止します。

図 11.26 にエッジ入力動作 (ノイズキャンセルなし)、図 11.27 にエッジ入力動作 (ノイズキャンセルあり)、図 11.28 に TCNT10A のキャプチャ動作とコンペアマッチ動作を示します。

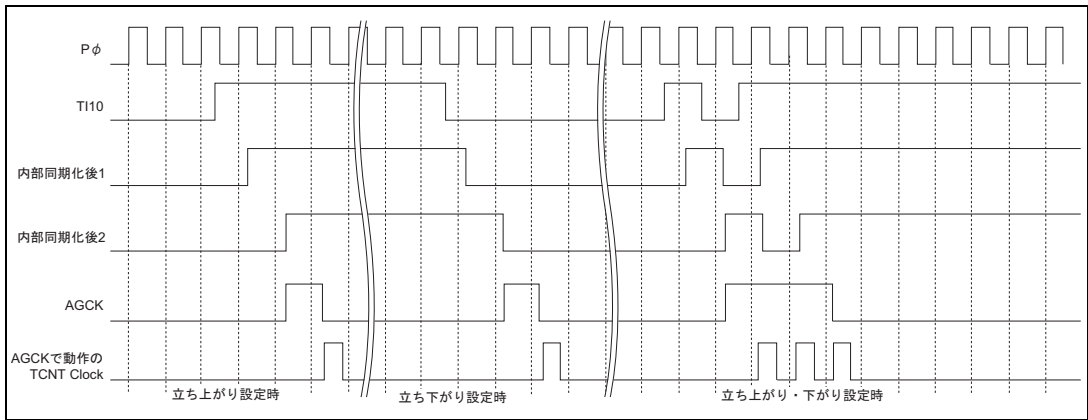


図 11.26 エッジ入力動作 (ノイズキャンセルなし)

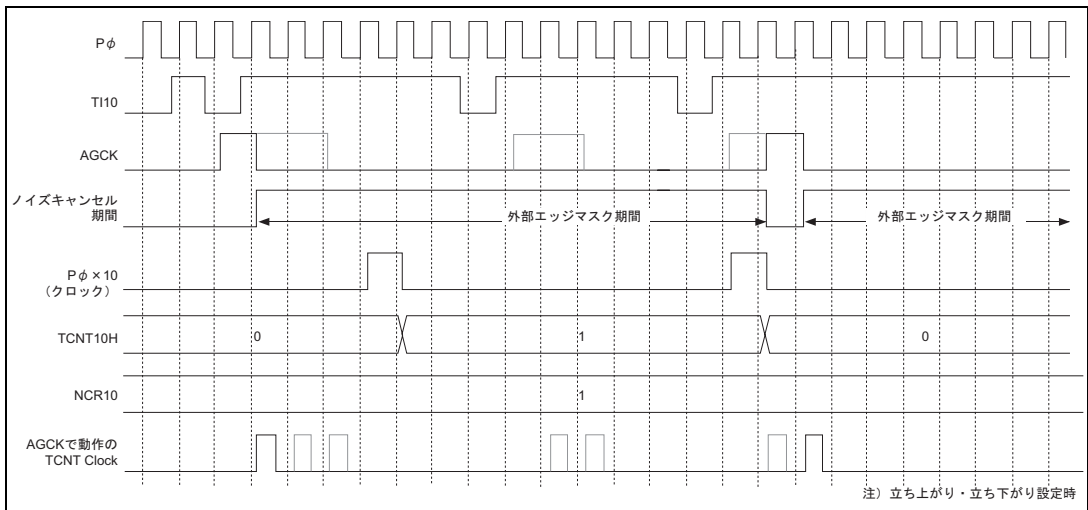


図 11.27 エッジ入力動作 (ノイズキャンセルあり)

注) 立ち上がり・立ち下がり設定時

11. アドバンスタイマユニット-II (ATU-II)

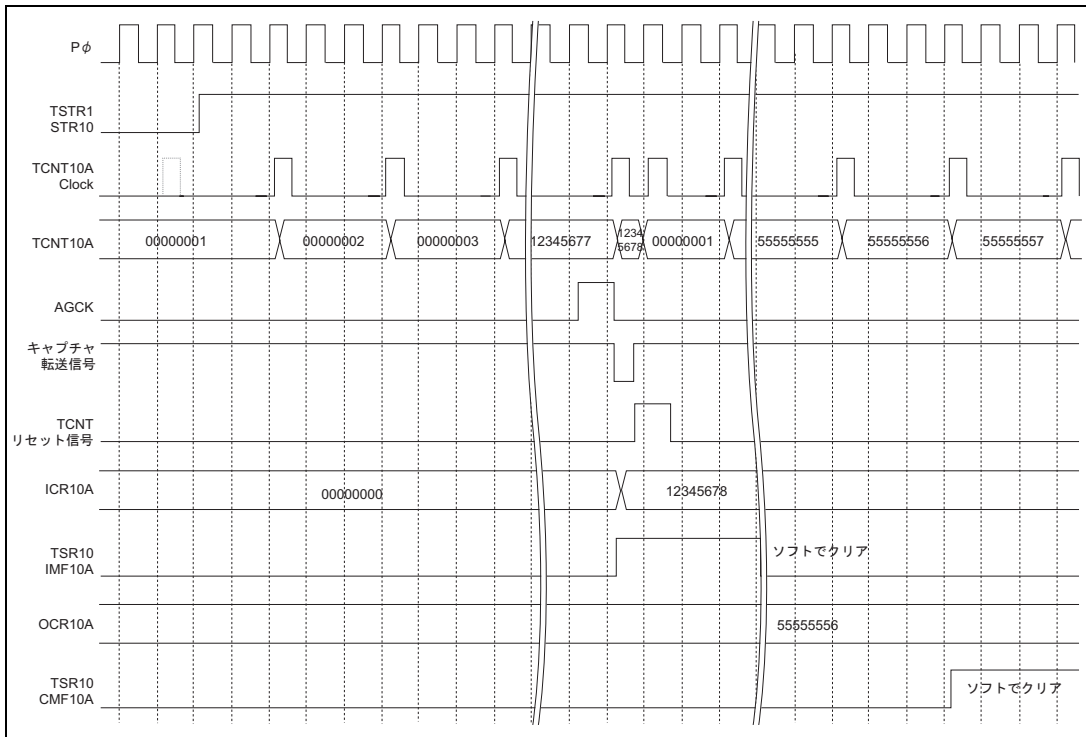


図 11.28 TCNT10A のキャプチャ動作とコンペアマッチ動作

内部で同期化された AGCK は、イベントカウンタ 10B (TCNT10B) でカウントされ、あらかじめコンペアマッチレジスタ 10B (OCR10B) に値を設定しておくことで TCNT10B が一致したときにコンペアマッチが発生します。このときコンペアマッチトリガ信号をチャンネル 0 に送信します。また、TIER の該当するビットをセットしておくことで CPU の割り込み要求が可能です。

図 11.29 に TCNT10B のコンペアマッチ動作を示します。

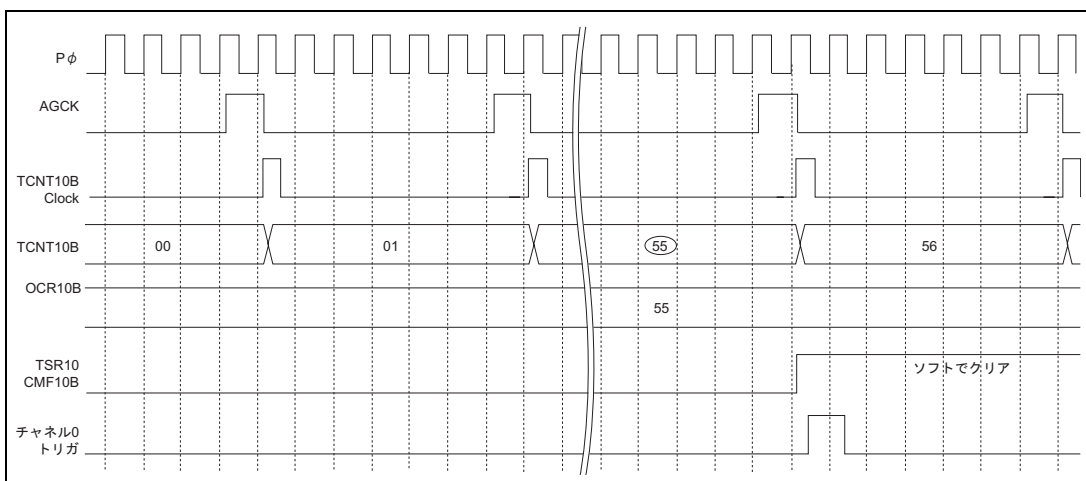


図 11.29 TCNT10B のコンペアマッチ動作

(2) 倍周クロック生成機能

チャンネル10の16ビットリロードカウンタ(TCNT10C、RLD10C)と16ビットフリーランニングカウンタ(TCNT10G)は外部端子(TI10)から入力されたエッジ間を32/64/128/256倍に倍周することができます。

上記ICR10Aでキャプチャされた値は、タイマI/Oコントロールレジスタ(TIOR10)で設定された値により1/32、1/64、1/128、1/256倍されてリロードバッファ(RLD10C)に転送されます。これと同時に16ビットリロードカウンタ10C(TCNT10C)にも同値が転送されダウンカウント動作を開始します。このカウンタはH'0001に達すると自動的にRLD10Cから値を読み込み再度ダウンカウント動作を繰り返します。このリロードが発生すると倍周クロック信号(AGCK1)を生成します。AGCK1は次項で説明する倍周クロック補正機能により補正クロック(AGCKM)に変換されます。

また、チャンネル10は、ジェネラルレジスタ(GR10G)と、16ビットフリーランカウンタ10G(TCNT10G)を用いて倍周クロック(AGCK1)によるコンペアマッチ動作が可能です。TCNT10Gは無条件でAGCK1でカウントアップされます。TCNT10GがGR10Gと一致したときにタイマインタラプトイネーブルレジスタ(TIER)の設定により、CPUへの割り込みを要求することができます。この割り込みタイミングは、TIERのIREGビットによりコンペアマッチ発生時、またはコンペアマッチ発生後最初のTI10エッジ入力時の選択ができます。

図 11.30 に TCNT10C 動作、図 11.31 に TCNT10G のコンペアマッチ動作を示します。

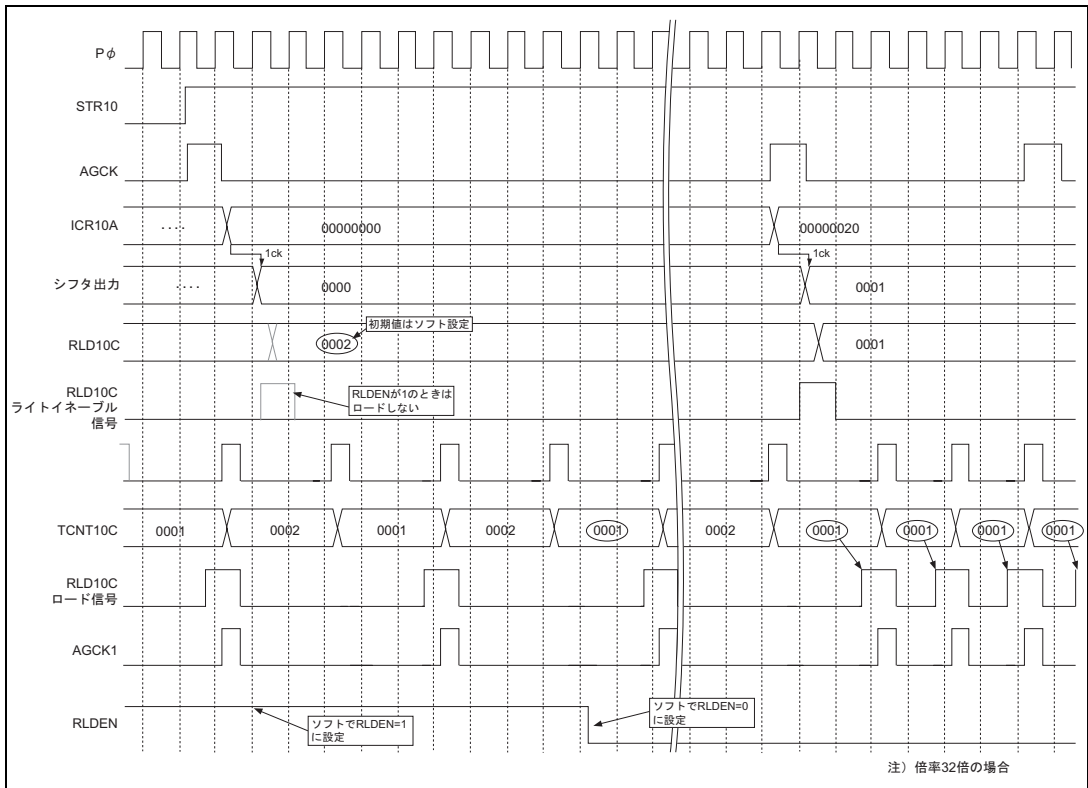


図 11.30 TCNT10C の動作

11. アドバンスタイマユニット-II (ATU-II)

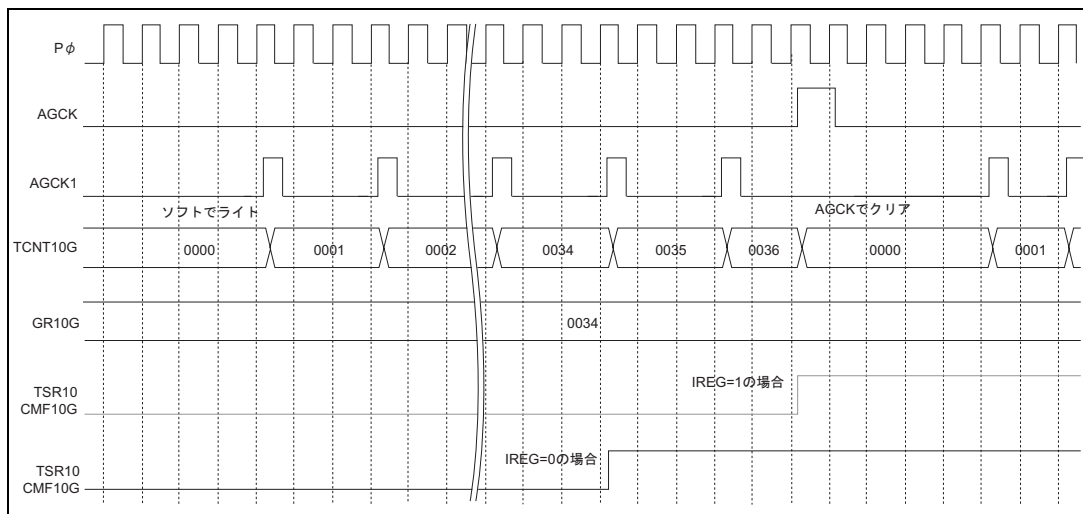


図 11.31 TCNT10G のコンペアマッチ動作

(3) 倍周クロック補正機能

チャンネル 10 の 3 本の 16 ビット補正カウンタ (TCNT10D、TCNT10E、TCNT10F) と、補正カウンタクリアレジスタ (TCCLR10) は、TI10 から入力されるエッジ間を TIOR10 で設定された倍周値にするように補正機能を持っています。

AGCK が入力されると、TIOR10 で設定された通倍率で TCNT10D を通倍した値が TCNT10E に転送されます。それと同時に、TCNT10D はカウントアップを行います。

TCNT10E は、AGCK1 によりカウントアップします。TCNT10E は、AGCK で TCNT10D をロードし、再度 AGCK1 によりカウントアップします。このとき、TIOR10 のカウンタコレクションセレクト (CCS) により TCNT10D=TCNT10E で TCNT10E を停止するかしないかを選択できます。

TCNT10F は、周辺クロック (Pφ) が入力されており、常に TCNT10E と比較されています。TCNT10F は、TCNT10E より小さいときにカウントアップされ倍周補正クロック信号 (AGCKM) を出力します。

TCNT10F が TCNT10E の値を上回ったときには、カウントアップ動作をしません。この AGCKM は、チャンネル 1~5 のフリーランカウンタ (TCNT1~5) に出力されます。

また、チャンネル 10 は補正カウンタクリアレジスタ (TCCLR10) を持っており、TCNT10F が TCCLR10 に設定された値に一致すると、補正カウンタ (TCNT10D、TCNT10E、TCNT10F) とチャンネル 1、2 のフリーランカウンタ (TCNT1、2) をクリアすることができます。

図 11.32 に TCNT10D の動作、図 11.33 に TCNT10E の動作、図 11.34 に TCNT10F の動作 (起動時)、図 11.35 に TCNT10F の動作 (サイクル終了、補正あり)、図 11.36 に TCNT10F の動作 (サイクル終了、補正なし) を示します。

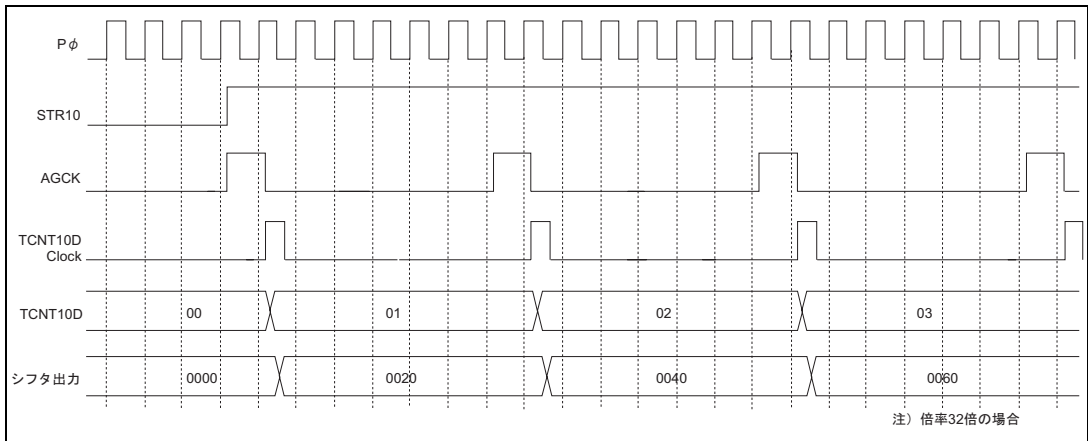


図 11.32 TCNT10D の動作

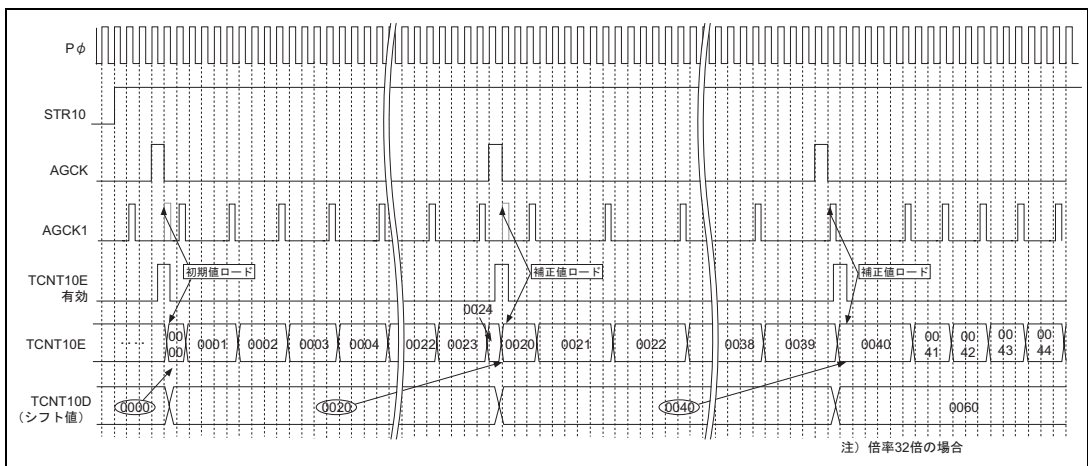


図 11.33 TCNT10E の動作

11. アドバンスタイマユニット-II (ATU-II)

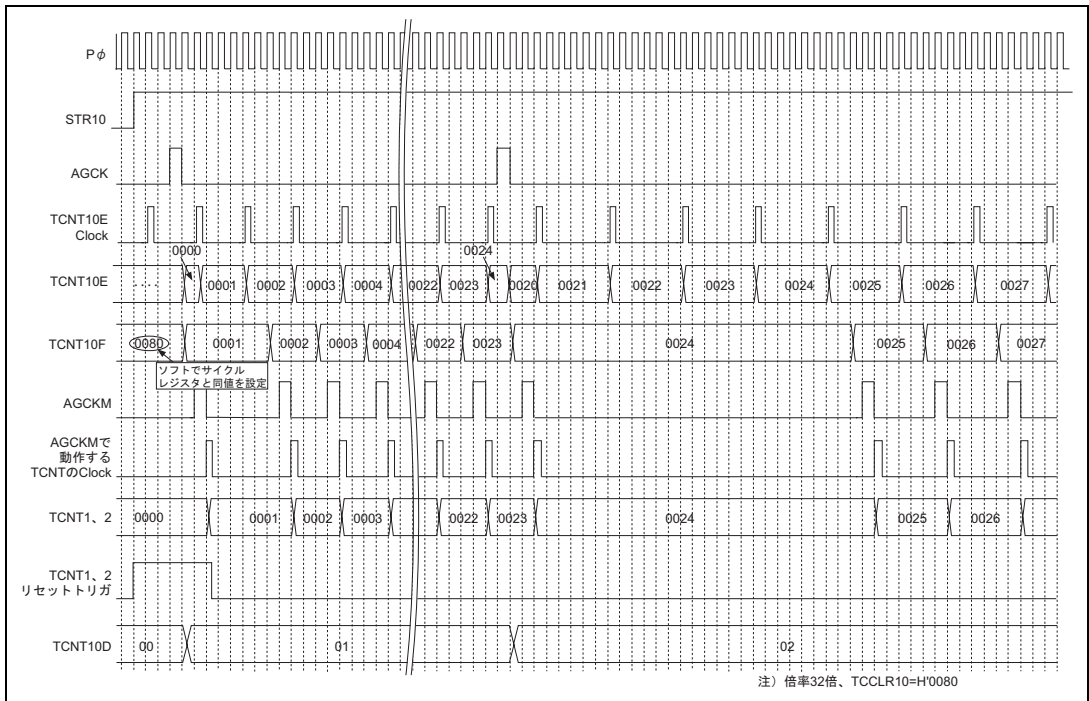


図 11.34 TCNT10F の動作 (起動時)

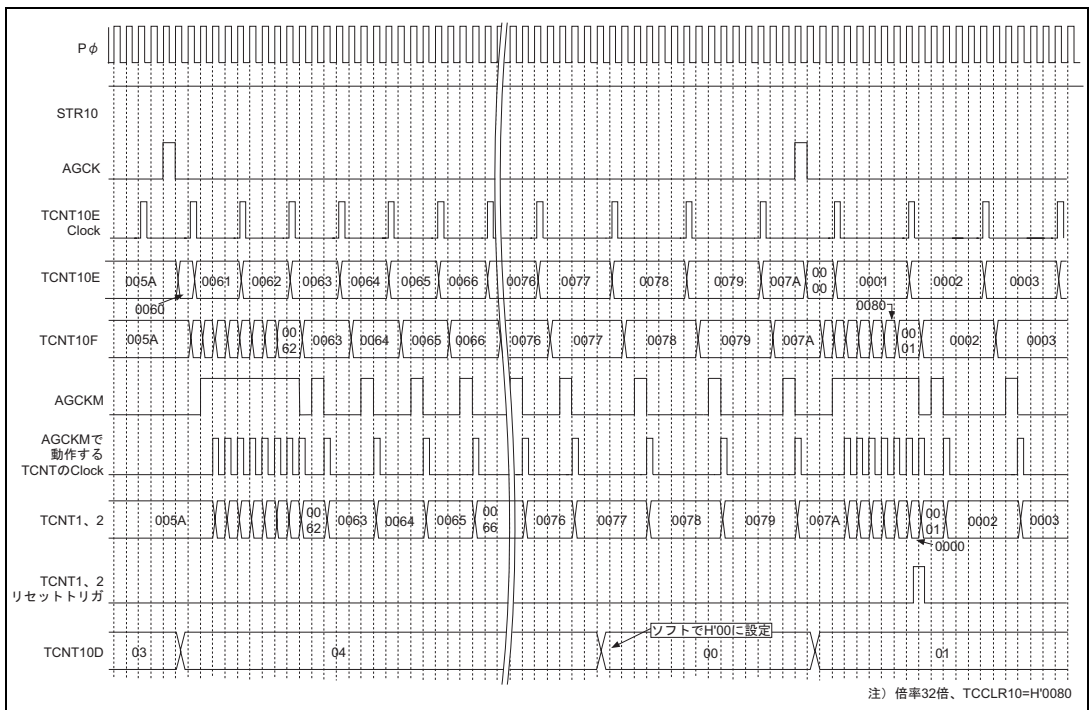


図 11.35 TCNT10F の動作 (サイクル終了、加速、減速)

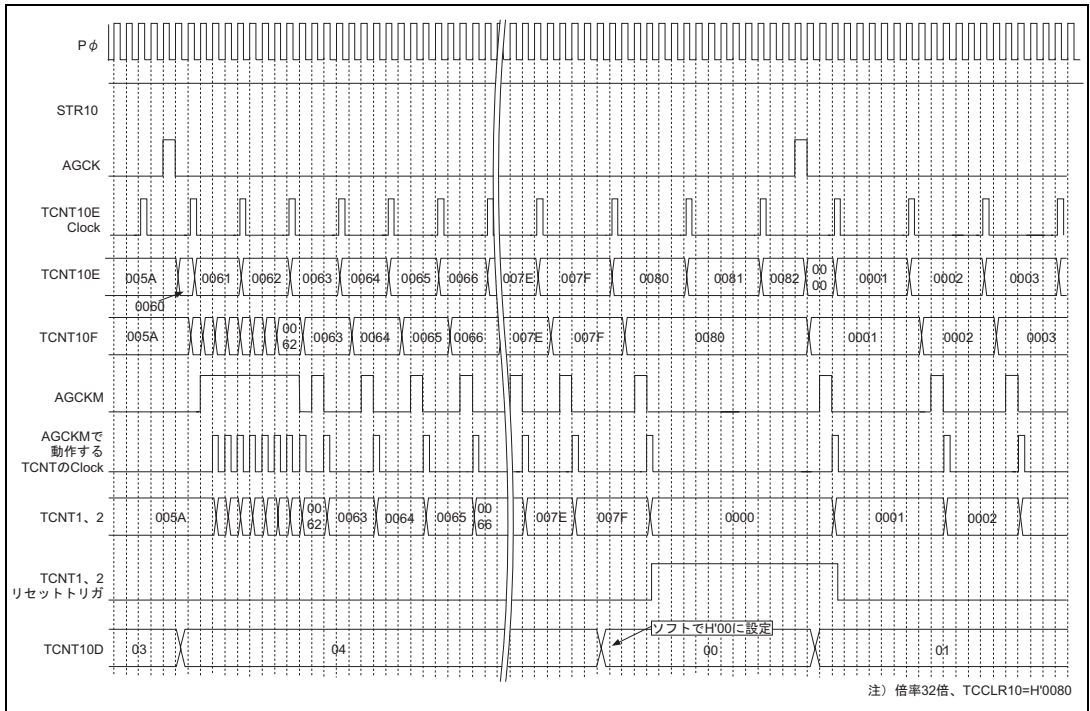


図 11.36 TCNT10F の動作 (サイクル終了、定常時)

11.4 割り込み

ATUの割り込み要因には、入力キャプチャ割り込み、コンペアマッチ割り込み、オーバーフロー割り込み、アンダフロー割り込み、インターバルインタラプト割り込みの5種類75要因の割り込みがあります。

11.4.1 ステータスフラグのセットタイミング

(1) 入力キャプチャ時のIMF (ICF)のセットタイミング

入力キャプチャ信号の発生によりタイムステータレジスタ (TSR) のIMF、ICFビットは1にセットされ、同時にTCNTの値が対応するGR、ICR、OSBRに転送されます。

このタイミングを図11.37に示します。

図11.37は、外部端子から信号を入力し、立ち上がりエッジにより入力キャプチャを行ったときの例です。

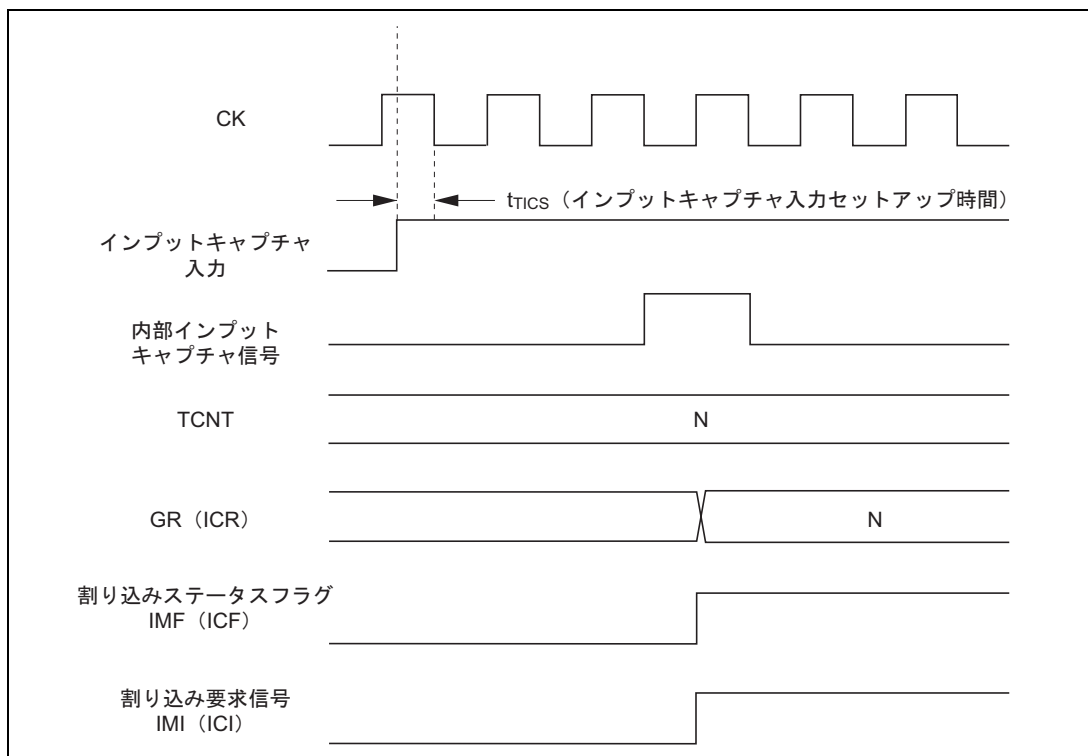


図 11.37 入力キャプチャ時の IMF (ICF) のセットタイミング

(2) コンペアマッチ時の IMF (CMF) のセットタイミング

タイマステータスレジスタ (TSR) の IMF、CMF ビットは、ジェネラルレジスタ (GR)、アウトプットコンペアレジスタ (OCR) またはサイクルレジスタ (CYLR) とタイマカウンタ (TCNT) が一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (TCNT が一致したカウント値を更新するタイミング) で発生します。

このタイミングを図 11.38 に示します。

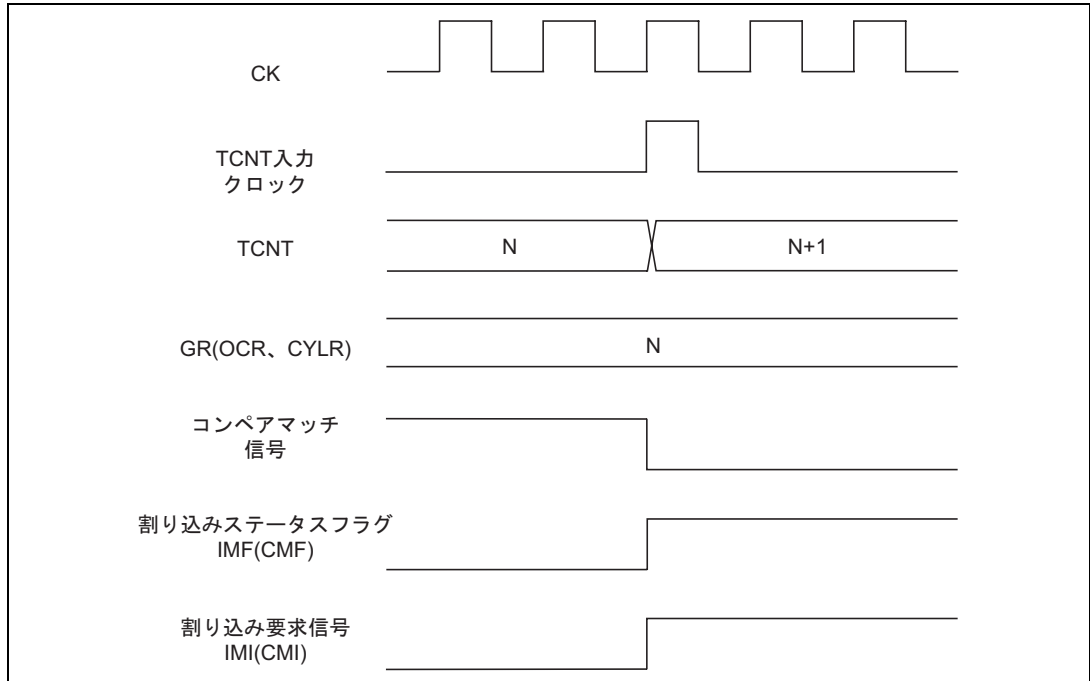


図 11.38 コンペアマッチ時の IMF (CMF) のセットタイミング

11. アドバンスドタイマユニット-II (ATU-II)

(3) オーバフロー時の OVF のセットタイミング

TCNT がオーバフロー (H'FFFF→H'0000 または H'FFFFFFFF→H'00000000) したとき、タイマステータスレジスタ (TSR) の OVF ビットは 1 にセットされます。

このときのタイミングを図 11.39 に示します。

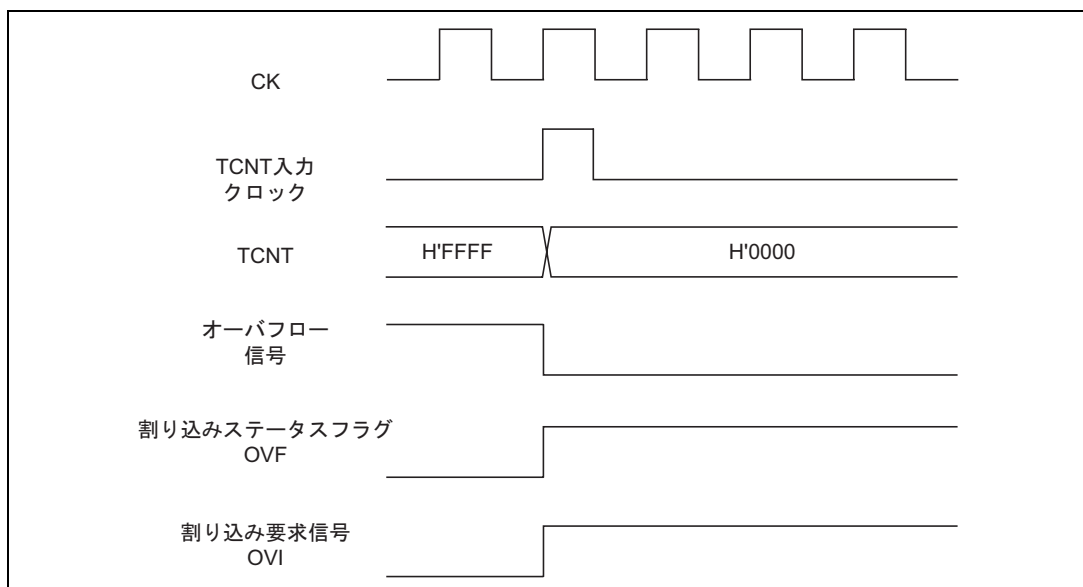


図 11.39 オーバフロー時の OVF のセットタイミング

(4) アンダフロー時の OSF のセットタイミング

DCNT 入力クロックの入力によりダウンカウンタ (DCNT) が H'0001 から H'0000 にカウントダウンし、さらに次の DCNT 入力クロックが入力されるタイミング (アンダフローするタイミング) でタイムマスターレジスタ (TSR) の OSF ビットは 1 にセットされます。ただし、DCNT が H'0000 の状態で DCNT 入力クロックを何度入力しても DCNT は H'0000 のまま変化しません。ワンショットパルスターミネート機能により DCNT をクリアした場合も、次の DCNT 入力クロックが入力されるタイミングで OSF ビットが 1 にセットされます。

このときのタイミングを図 11.40 に示します。

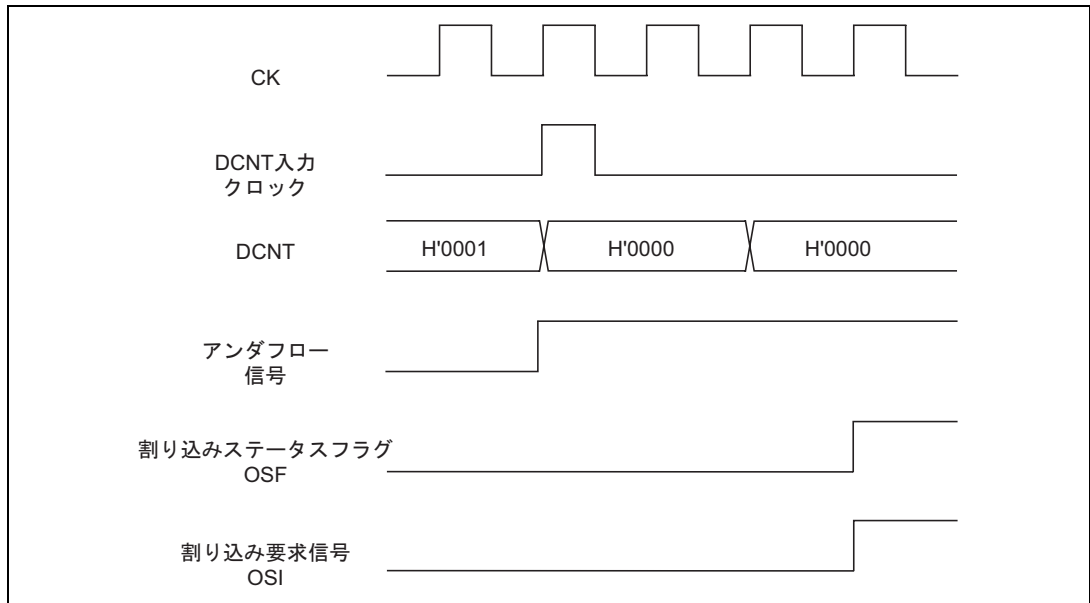


図 11.40 アンダフロー時の OSF のセットタイミング

(5) インターバルタイマによる IIF のセットタイミング

フリーランニングカウンタ (TCNT0L) のビット 10~13 の立ち上がりとインターバルインタラプトリクエスタレジスタ (ITVRR) の ITVE0~3 で AND をとり、1 が発生したときにタイマステータスレジスタ (TSR) の IIF ビットは 1 にセットされます。

このときのタイミングを図 11.41 に示します。図中の TCNT0 の N は、TCNT0L のビット 6~13 が 1 に変化したときのカウンタ値です。(例えば、ビット 10 のときは $N=H'00000400$ 、ビット 11 のときは $H'00000800$ 等)

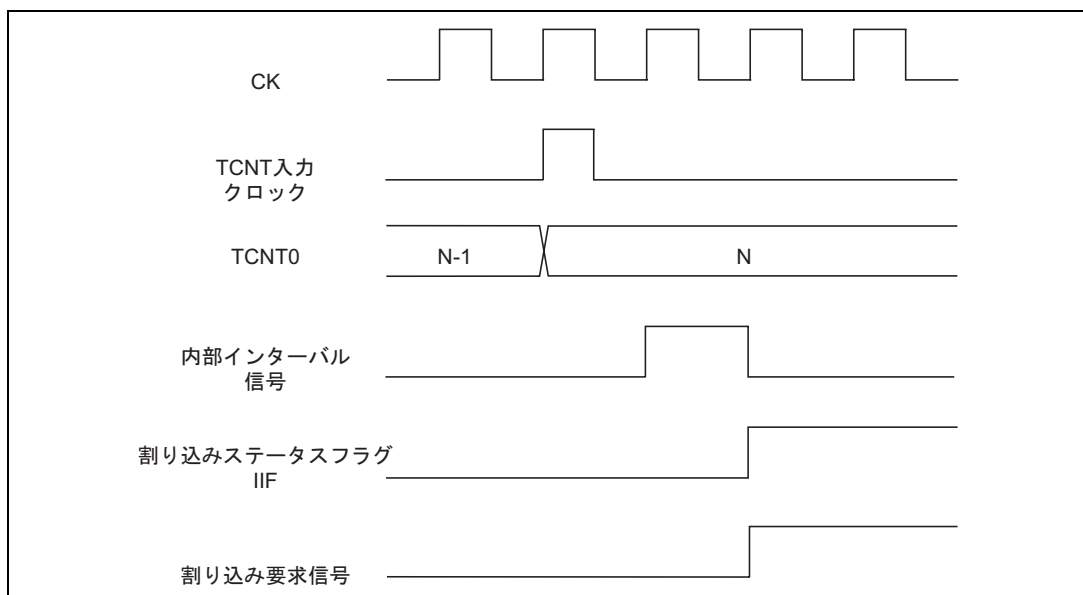


図 11.41 インターバルタイマによる IIF のセットタイミング

11.4.2 ステータスフラグのクリア

(1) CPU プログラムによるクリア

割り込みステータスフラグはCPUが1の状態を読み出した後、0に書き込むとクリアされます。この手順とタイミングを図11.42に示します。

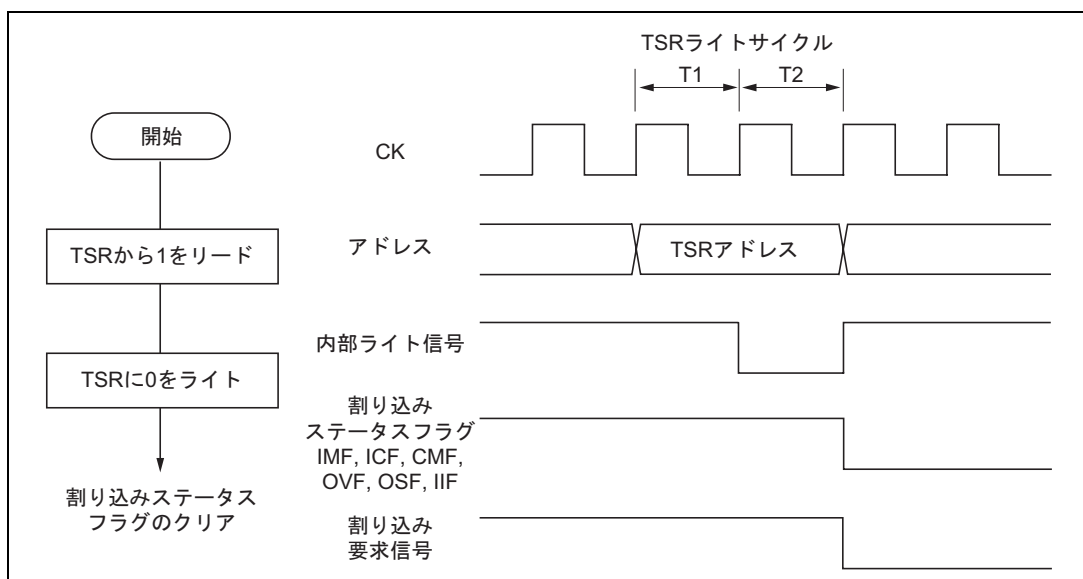


図 11.42 CPU プログラムによるクリア手順とタイミング

11. アドバンスタイマユニット-II (ATU-II)

(2) DMACによるクリア

割り込みステータスフラグ (ICF0A~D、CMF6A~D、CMF7A~D) は、インプットキャプチャまたはコンペアマッチの発生により DMAC を起動すると、データ転送中、自動的にクリアされます。

この手順とタイミングを図 11.43 に示します。

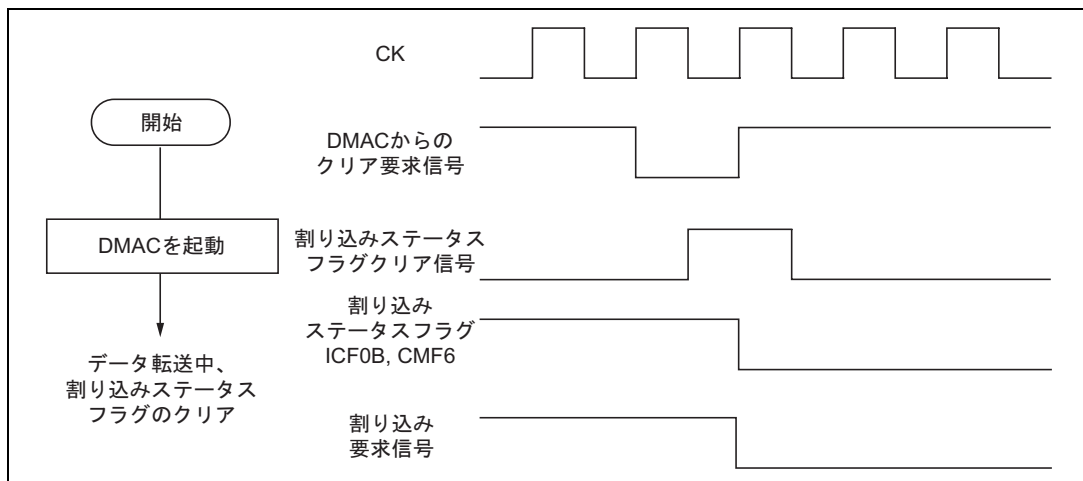


図 11.43 DMAC によるクリア手順とタイミング

11.5 CPU とのインタフェース

11.5.1 32 ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ 0、10A (TCNT0、10A) インพุットキャプチャレジスタ 0A~D、10A (ICR0A~D、10A)、およびアウトプットコンペアレジスタ 10A (OCR10A) は 32 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います (ICR0A~D、10A はリードのみ)。

図 11.44 に TCNT0 からの読み出し動作を、図 11.45 に TCNT0 への書き込み動作を示します。

TCNT0 からの読み出しの場合は、まず 1 回目の読み出しで、TCNT0H (上位 16 ビット) 値を内部データバスに出力し、同時に TCNT0L (下位 16 ビット) 値を内部バッファレジスタに出力します。そして 2 回目の読み出しで、内部バッファレジスタ内の TCNT0L (下位 16 ビット) 値を内部データバスに出力します。

TCNT0 への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを内部バッファレジスタに出力します。そして 2 回目の書き込みで、下位データ 16 ビットを TCNT0L に出力し、同時に内部バッファレジスタ内の上位データ 16 ビットを TCNT0H に出力し、書き込みます。以上の方法により、32 ビットデータの同時読み出し、同時書き込みを行って、カウントアップとの競合を防止しています。

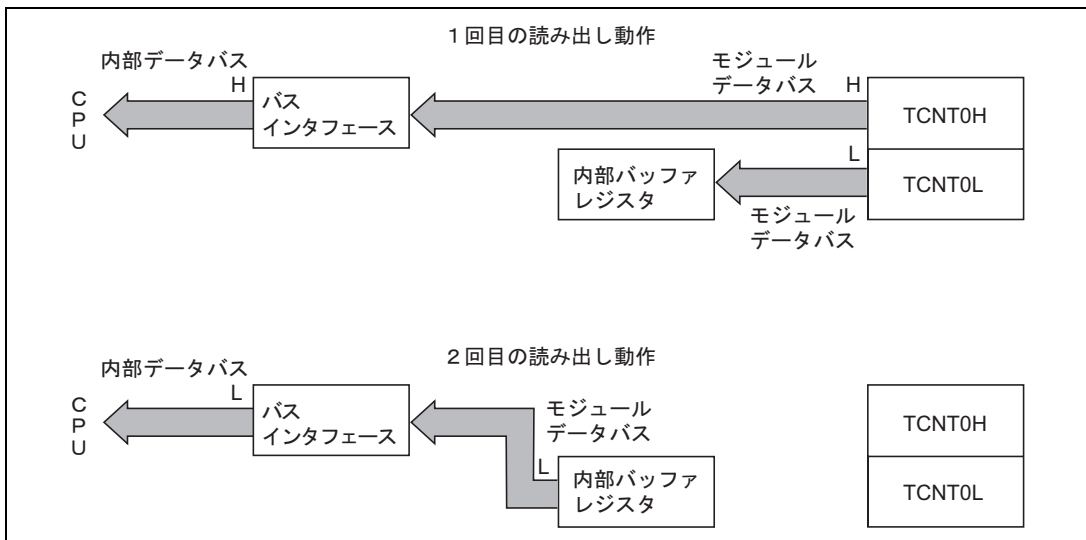


図 11.44 TCNT0 からの読み出し動作

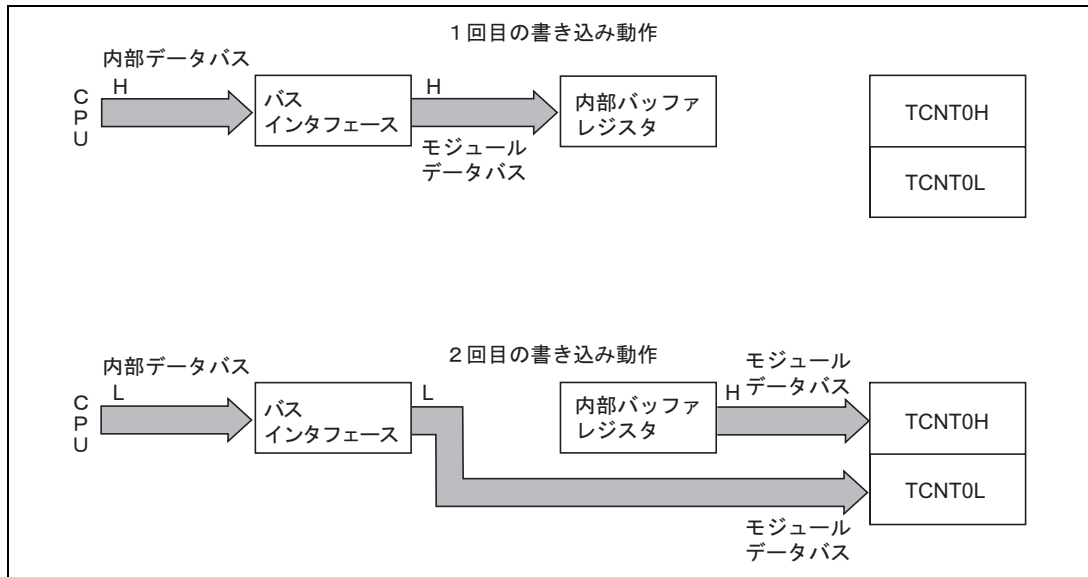


図 11.45 TCNT0 への書き込み動作

11.5.2 8ビット、16ビットおよび32ビットアクセス可能なレジスタ

タイマスタートレジスタ 1、2、3 (TSTR1、2、3) は 8 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されているため、TSTR1、2、3 を 32 ビットで同時にアクセスする場合には自動的に 16 ビットずつ 2 回に分割して読み出し、または書き込みを行います。

図 11.46 に TSTR から読み出し動作を、図 11.47 に TSTR への書き込み動作を示します。

TSTR から読み出しの場合は、まず 1 回目の読み出しで、TSTR1、2 (上位 16 ビット) 値を内部データバスに出力します。そして 2 回目の読み出しで、TSTR3 (下位 16 ビット) 値を内部データバスに出力します。

TSTR への書き込みの場合は、まず 1 回目の書き込みで、上位データ 16 ビットを TSTR1、2 に書き込みます。そして 2 回目の書き込みで、下位データ 16 ビットを TSTR3 に書き込みます。以上の方法により、32 ビットでの書き込みは、TSTR1、2 と TSTR3 は同じタイミングで書き込まれないことに注意してください。

8 ビットおよび 16 ビットのアクセスにつきましては「11.5.4 8 ビットおよび 16 ビットアクセス可能なレジスタ」を参照してください。

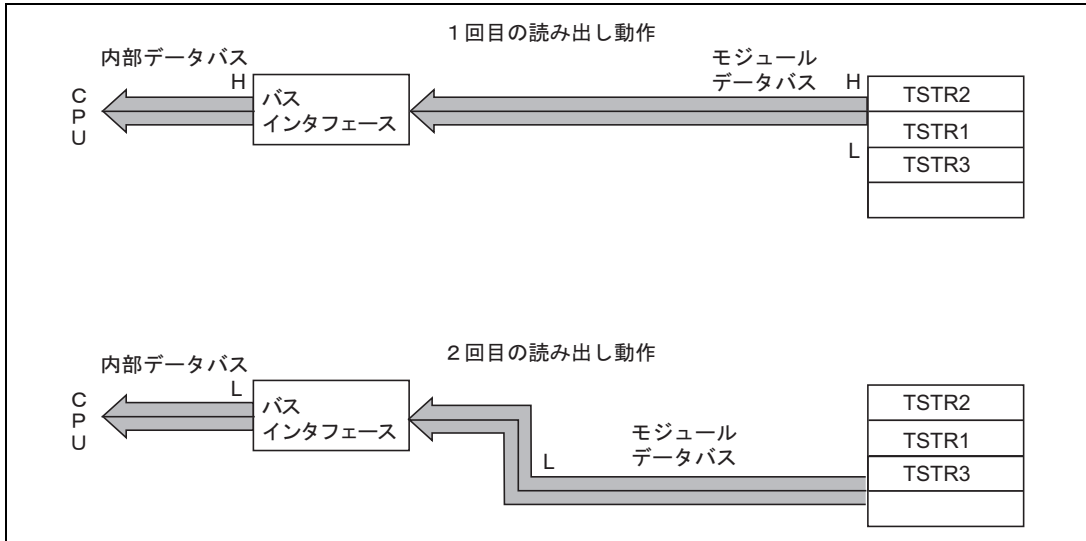


図 11.46 TSTR1、2、3からの読み出し動作

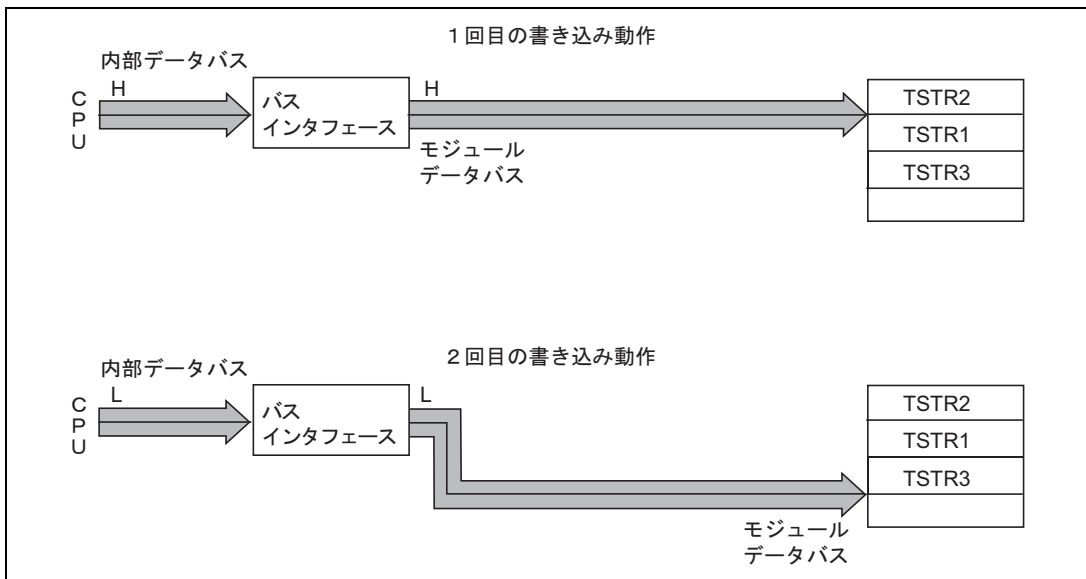


図 11.47 TSTR1、2、3への書き込み動作

11.5.3 16ビットアクセスのみ可能なレジスタ

フリーランニングカウンタ (TCNT、ただし TCNT0、10A、10B、10D、10H を除く)、ジェネラルレジスタ (GR、ただし GR9A~D を除く)、ダウンカウンタ (DCNT)、オフセットベースレジスタ (OSBR)、サイクルレジスタ (CYLR)、バッファレジスタ (BFR)、デューティレジスタ (DTR)、タイマコネクションレジスタ (TCNR)、ワンショットパルスターミネートレジスタ (OTR)、ダウンカウントスタートレジスタ (DSTR)、アウトプットコンペアレジスタ (OCR、ただし OCR10B を除く)、リロードレジスタ (RLDR8、RLD10C)、補正カウンタクリアレジスタ (TCCLR10)、タイ

11. アドバンスタイマユニット-II (ATU-II)

マイントラプトイネーブルレジスタ (TIER)、およびタイマステータスレジスタ (TSR) は 16 ビットのレジスタです。これらのレジスタは CPU と内部 16 ビットのデータバスで接続されており、ワード単位の読み出し/書き込みが可能です (OSBR は読み出しのみ可能)。

TCNT1A に対してワード単位の読み出し/書き込みを行った場合の動作を図 11.48 に示します。

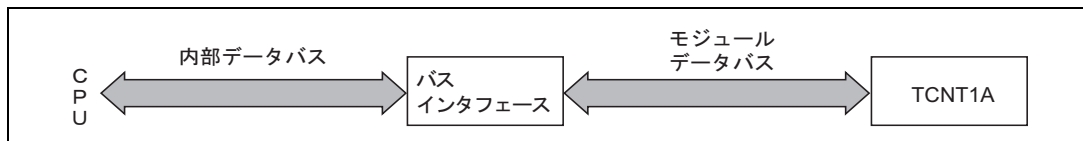


図 11.48 TCNT1A への書き込み/読み出し動作

11.5.4 8 ビットおよび 16 ビットアクセス可能なレジスタ

タイマコントロールレジスタ (TCR1A、1B、2A、2B、6A、6B、7A、7B)、タイマ I/O コントロールレジスタ (TIOR1A~D、2A~D、3A、3B、4A、4B、5A、5B)、およびタイマスタートレジスタ (TSTR1、2、3) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットまたは下位 8 ビットと接続されており、バイト単位の読み出し/書き込みが可能です。

また、タイマ I/O コントロールレジスタ 1A (TIOR1A) とタイマ I/O コントロールレジスタ 1B (TIOR1B) のように、アドレスの最下位ビットのみ異なる、2 本の 8 ビットレジスタは、組み合わせてワード単位の読み出し/書き込みも可能です。

TIOR1A または TIOR1B に対して、各々バイト単位の読み出し/書き込みを行った場合の動作を図 11.49 と図 11.50 に示します。また、TIOR1A と TIOR1B を同時にワード単位で読み出し/書き込みを行った場合の動作を図 11.51 に示します。

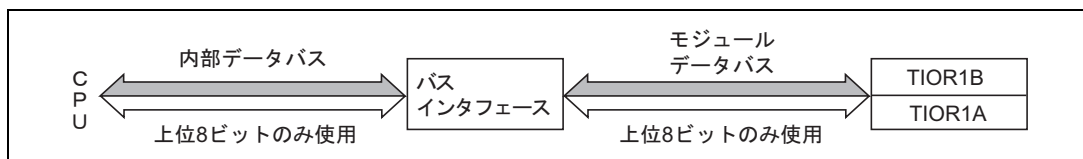


図 11.49 TIOR1B へのバイト書き込み/読み出し動作

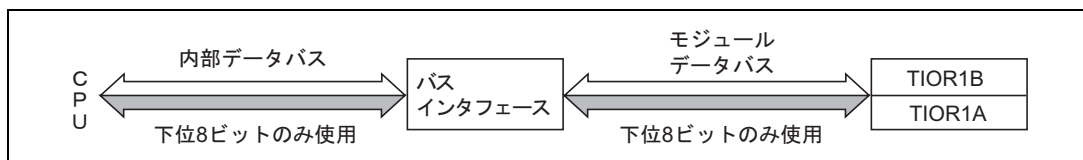


図 11.50 TIOR1A へのバイト書き込み/読み出し動作

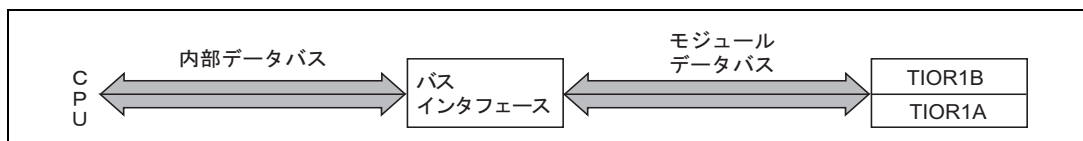


図 11.51 TIOR1A、B へのワード書き込み/読み出し動作

11.5.5 8ビットのみアクセス可能なレジスタ

タイマモードレジスタ (TMDR)、プリスケアラレジスタ (PSCR)、タイマ I/O コントロールレジスタ (TIOR0、10、11)、トリガモードレジスタ (TRGMDR)、インターバルインタラプトリクエストレジスタ (ITVRR)、タイマコントロールレジスタ (TCR3、4、5、8、9A~C、10、11)、PWM モードレジスタ (PMDR)、リロードイネーブルレジスタ (RLDENR)、フリーランニングカウンタ (TCNT10B、10D、10H)、イベントカウンタ (ECNT)、ジェネラルレジスタ (GR9A~F)、アウトプットコンペアレジスタ (OCR10B)、およびノイズキャンセラレジスタ (NCR) は 8 ビットのレジスタです。これらのレジスタは、CPU と内部 16 ビットのデータバス上位 8 ビットと接続されており、バイト単位の読み出し／書き込みが可能です。

ITVRR1 レジスタに対して、バイト単位の読み出し／書き込みを行った場合の動作を図 11.52 に示します。

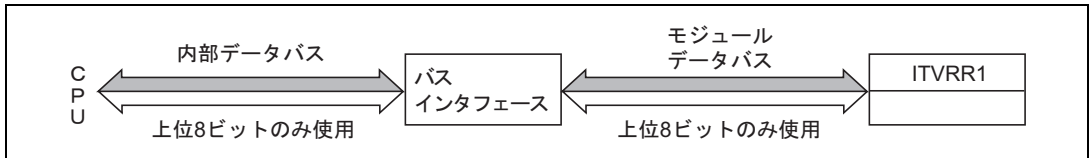


図 11.52 ITVRR1 へのバイト書き込み／読み出し動作

11.6 設定手順例

以下に ATU-II の各機能起動の際の設定手順例を記します。

(1) インพุットキャプチャ動作の設定手順例

インพุットキャプチャ動作の設定手順を図 11.53 に示します。

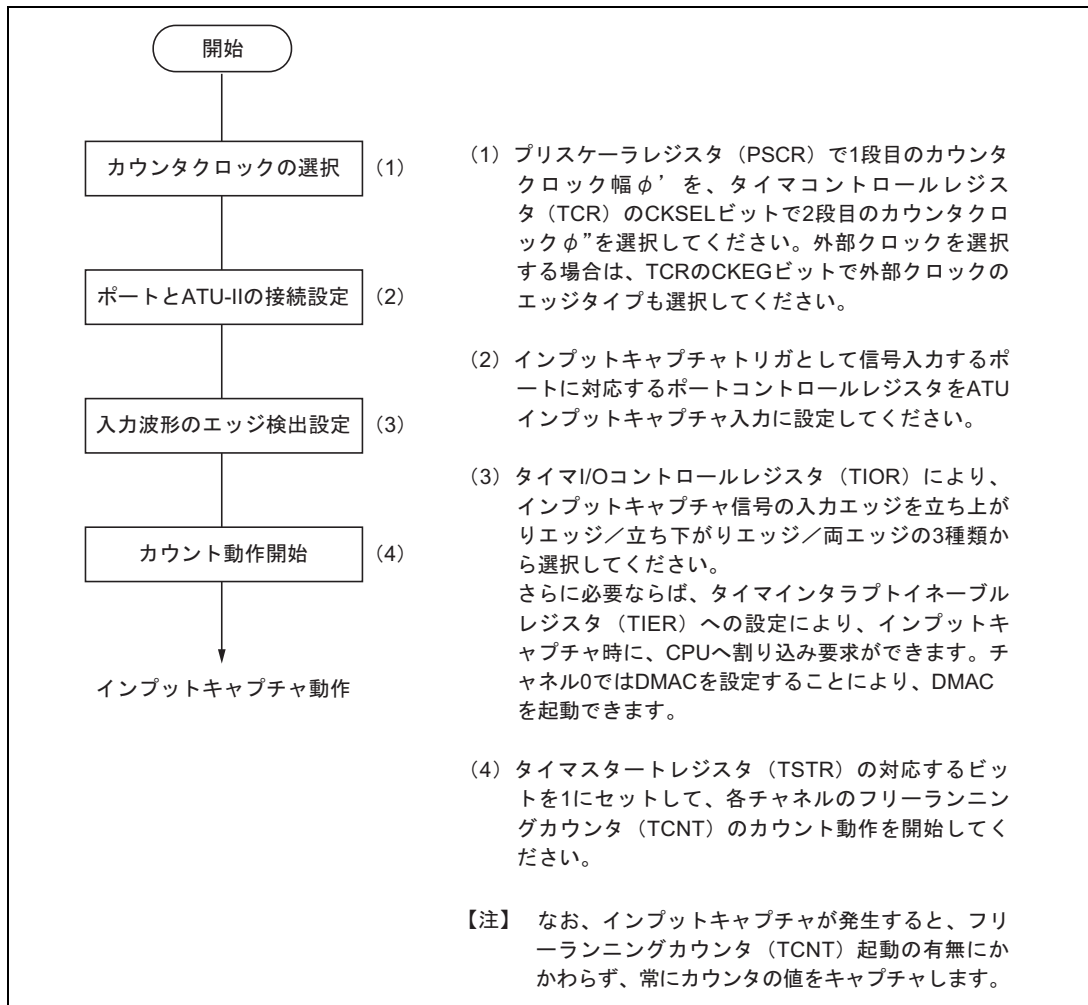


図 11.53 インพุットキャプチャ動作の設定手順例

(2) アウトプットコンペアマッチによる波形出力動作の設定手順例

アウトプットコンペアマッチによる波形出力動作の設定手順を図 11.54 に示します。

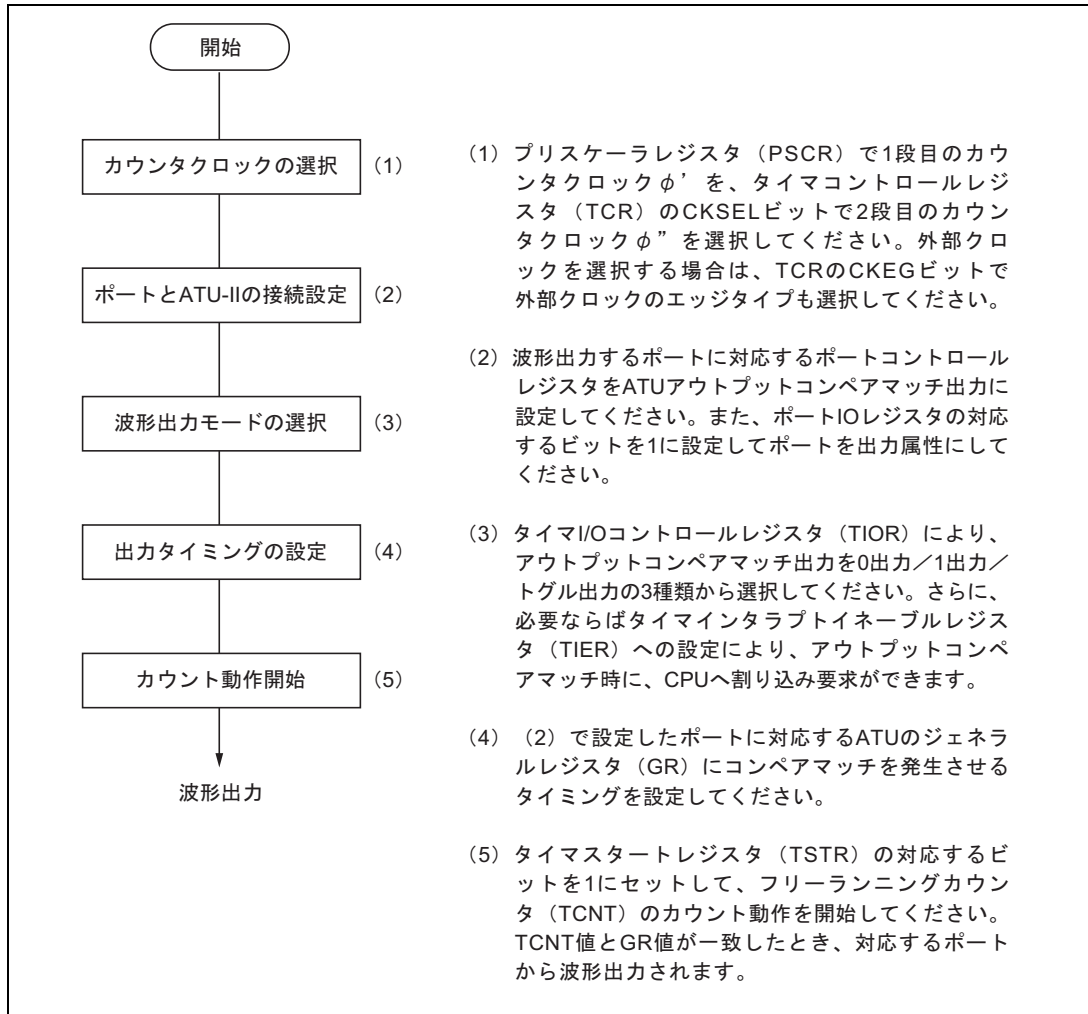


図 11.54 アウトプットコンペアマッチによる波形出力動作の設定手順例

11. アドバンスタイマユニット-II (ATU-II)

(3) チャンネル10のコンペアマッチトリガによるチャンネル0のインプットキャプチャ設定手順例
コンペアマッチ信号の送信動作の設定手順を図 11.55 に示します。

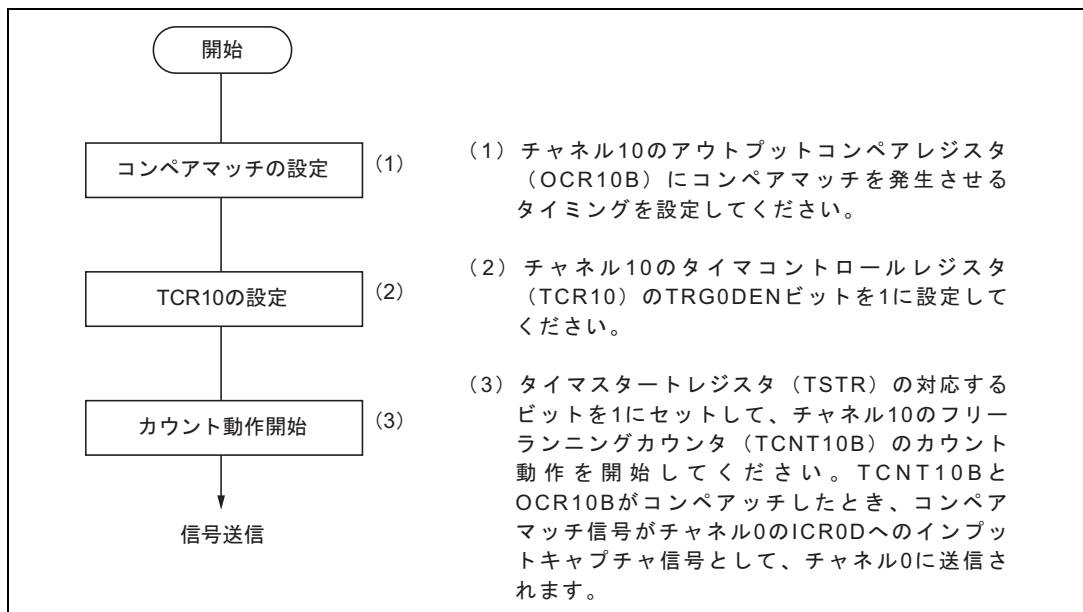


図 11.55 コンペアマッチ信号の送信動作の設定手順例

(4) ワンショットパルス出力動作の設定手順例

ワンショットパルス出力動作の設定手順を図 11.56 に示します。

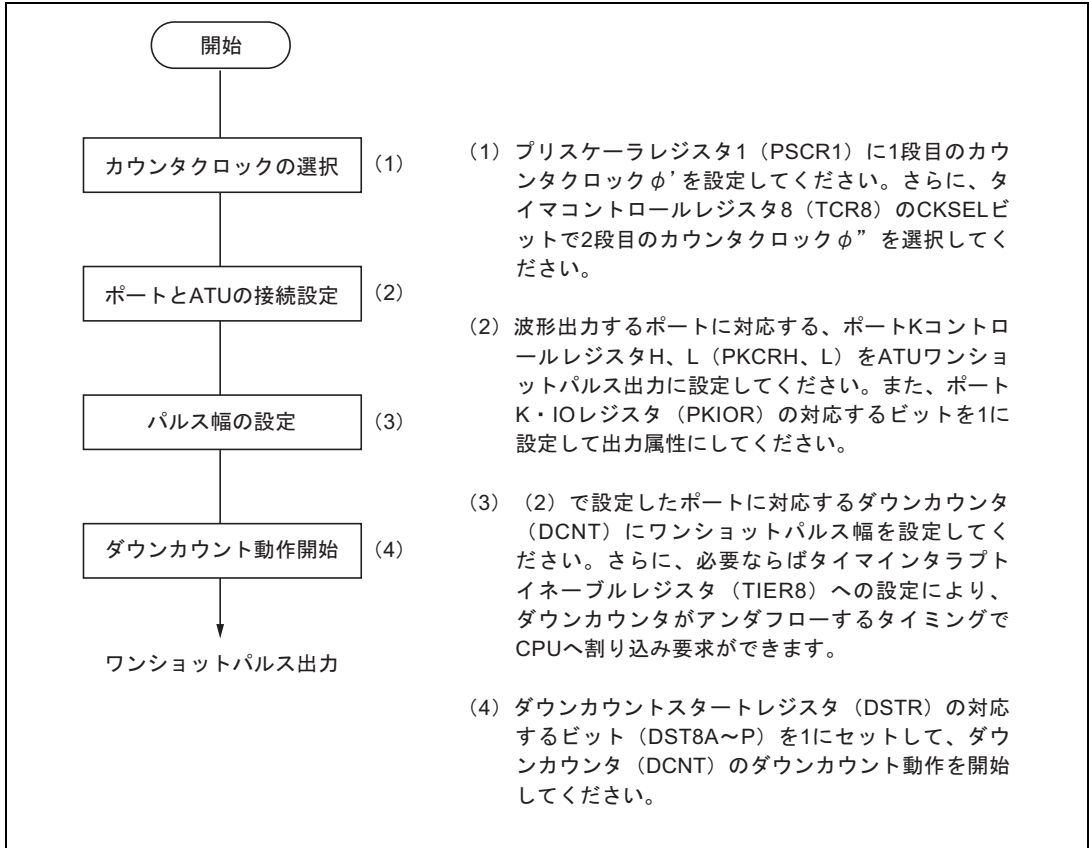


図 11.56 ワンショットパルス出力動作の設定手順例

(5) オフセット付きワンショットパルス出力／遮断動作の設定手順例

オフセット付きワンショットパルス出力動作の設定手順を図 11.57 に示します。

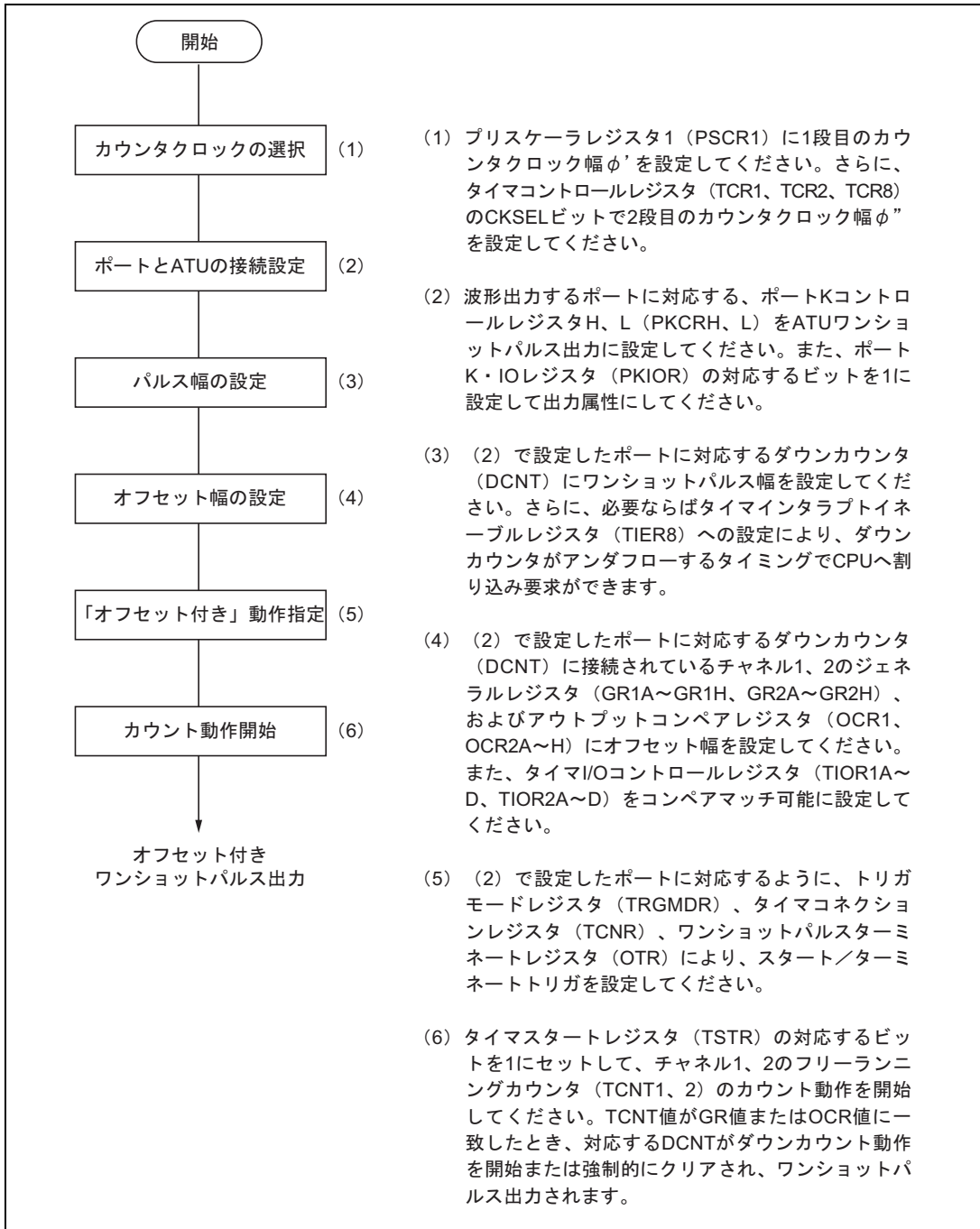


図 11.57 オフセット付きワンショットパルス出力動作の設定手順例

(6) インターバルタイマ動作の設定手順例

インターバルタイマ動作の設定手順を図 11.58 に示します。

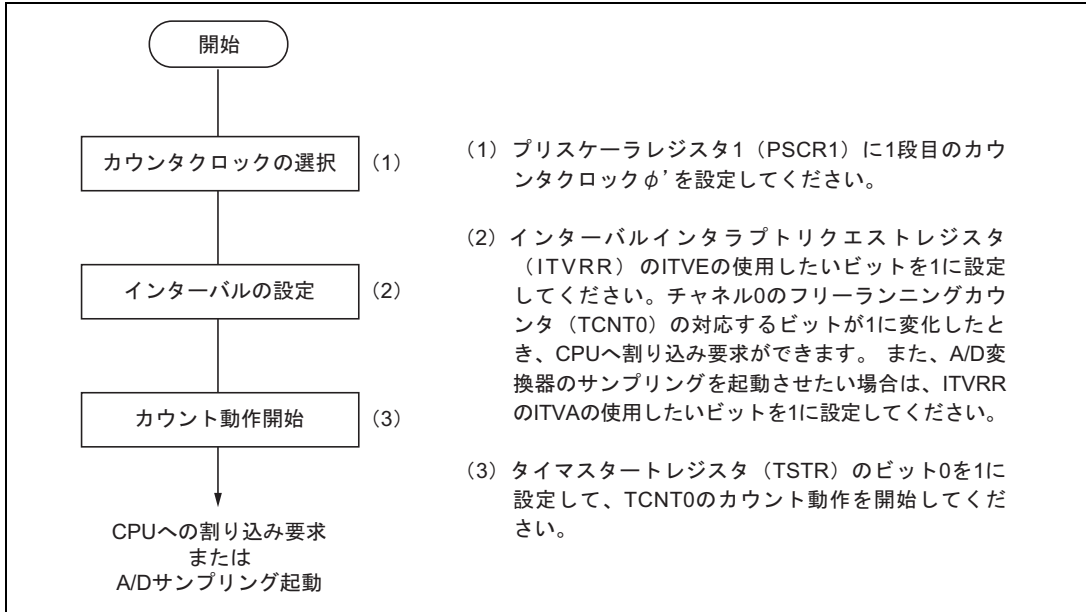


図 11.58 インターバルタイマ動作の設定手順例

(7) PWM タイマ (ch3~5) 動作の設定手順例

PWM タイマ (ch3~5) 動作の設定手順を図 11.59 に示します。

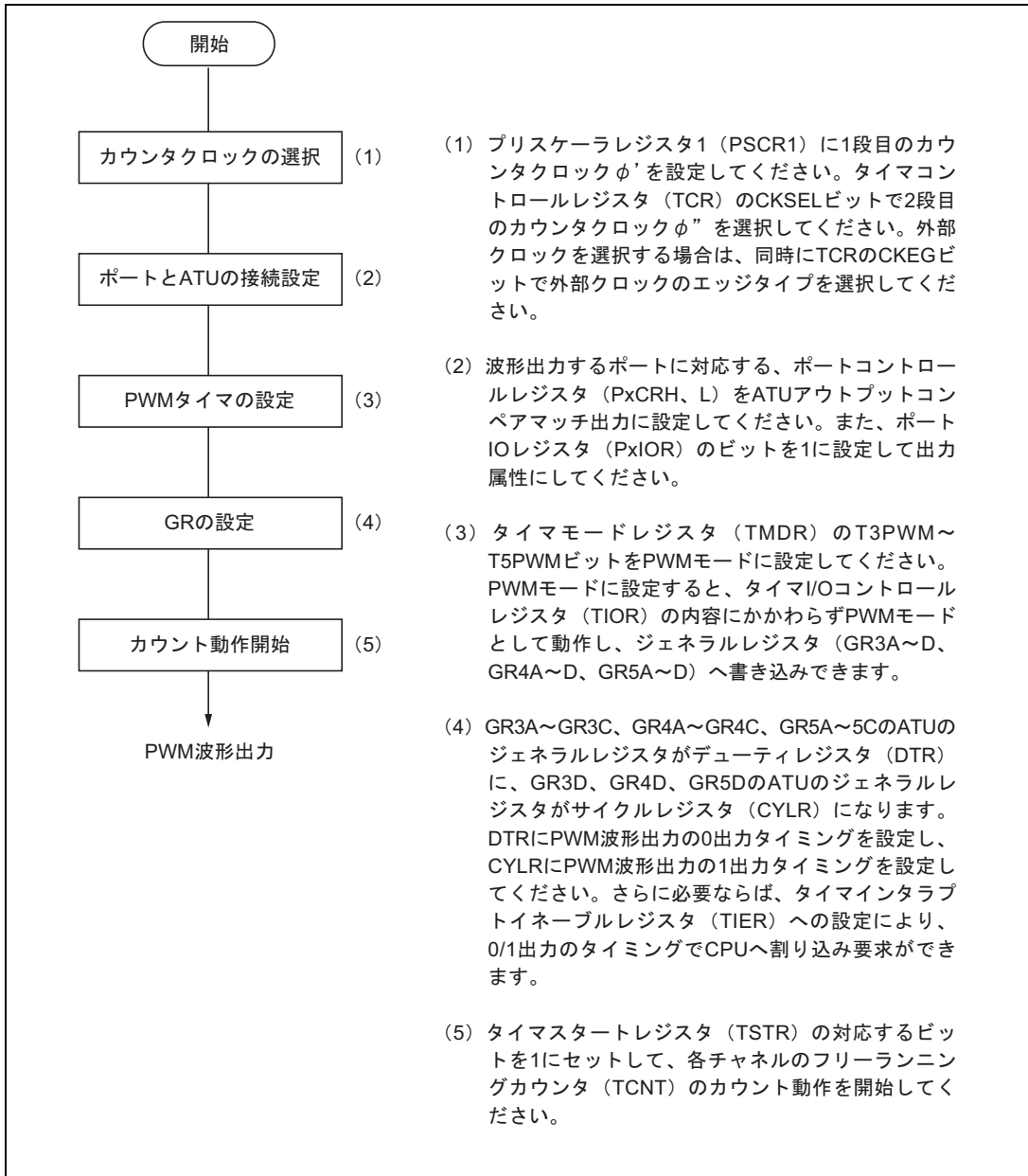


図 11.59 PWM タイマ (ch3~5) 動作の設定手順例

(8) PWM タイマ (ch6、7) 動作の設定手順例

PWM タイマ (ch6、7) 動作の設定手順を図 11.60 に示します。

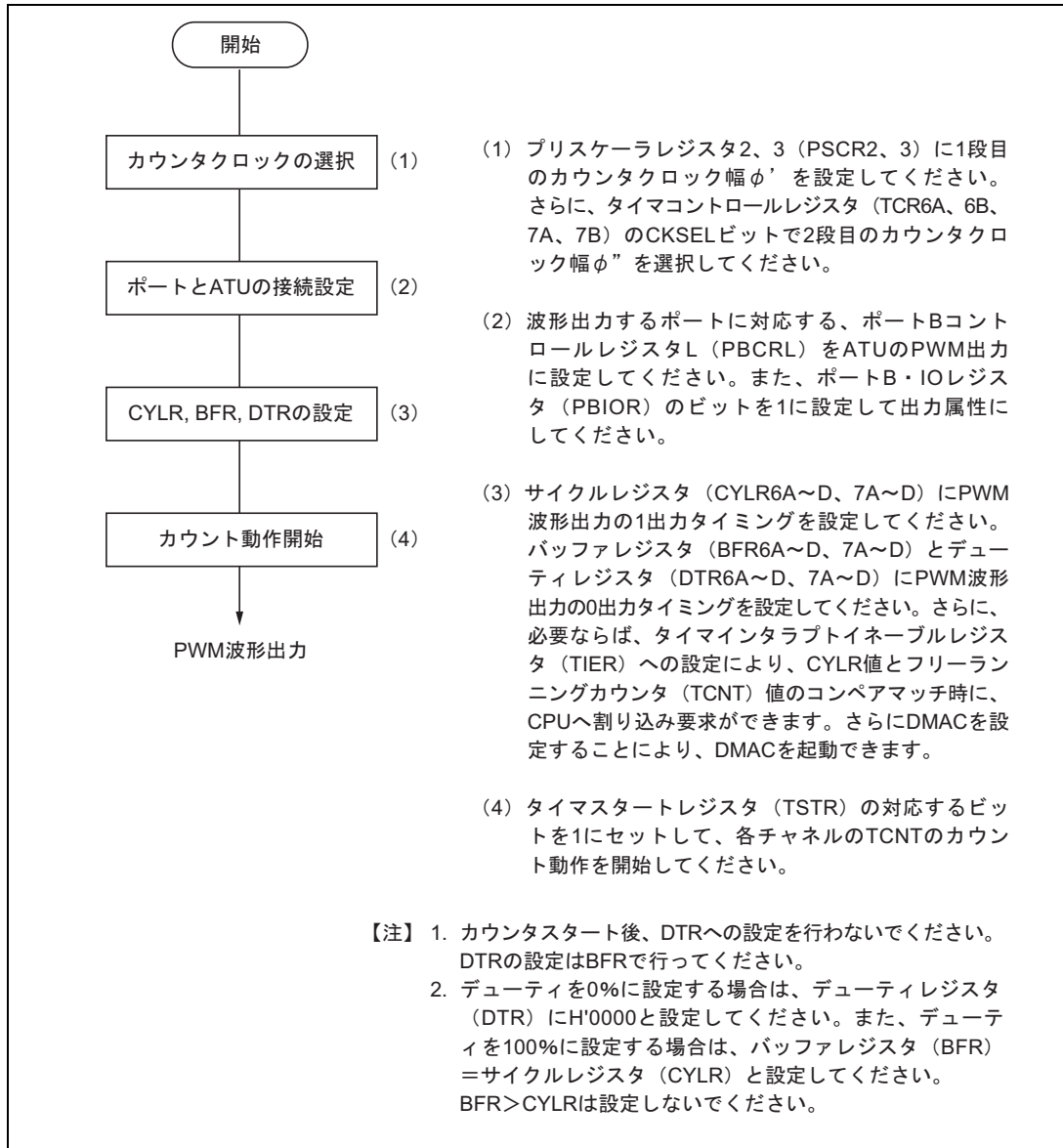


図 11.60 PWM タイマ (ch6、7) 動作の設定手順例

(9) イベントカウンタ動作の設定手順例

イベントカウンタ動作の設定手順を図 11.61 に示します。

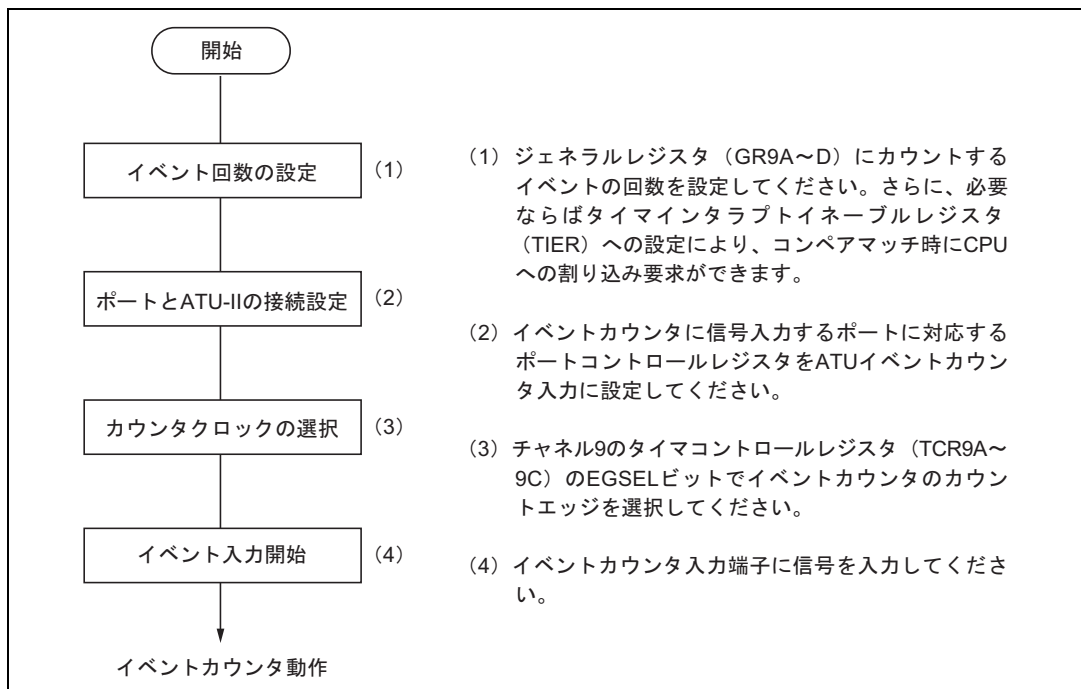


図 11.61 イベントカウンタ動作の設定手順例

(10) チャンネル9のコンペアマッチトリガによるチャンネル3のインプットキャプチャ動作の設定手順例

コンペアマッチ信号の送信動作の設定手順を図 11.62 に示します。

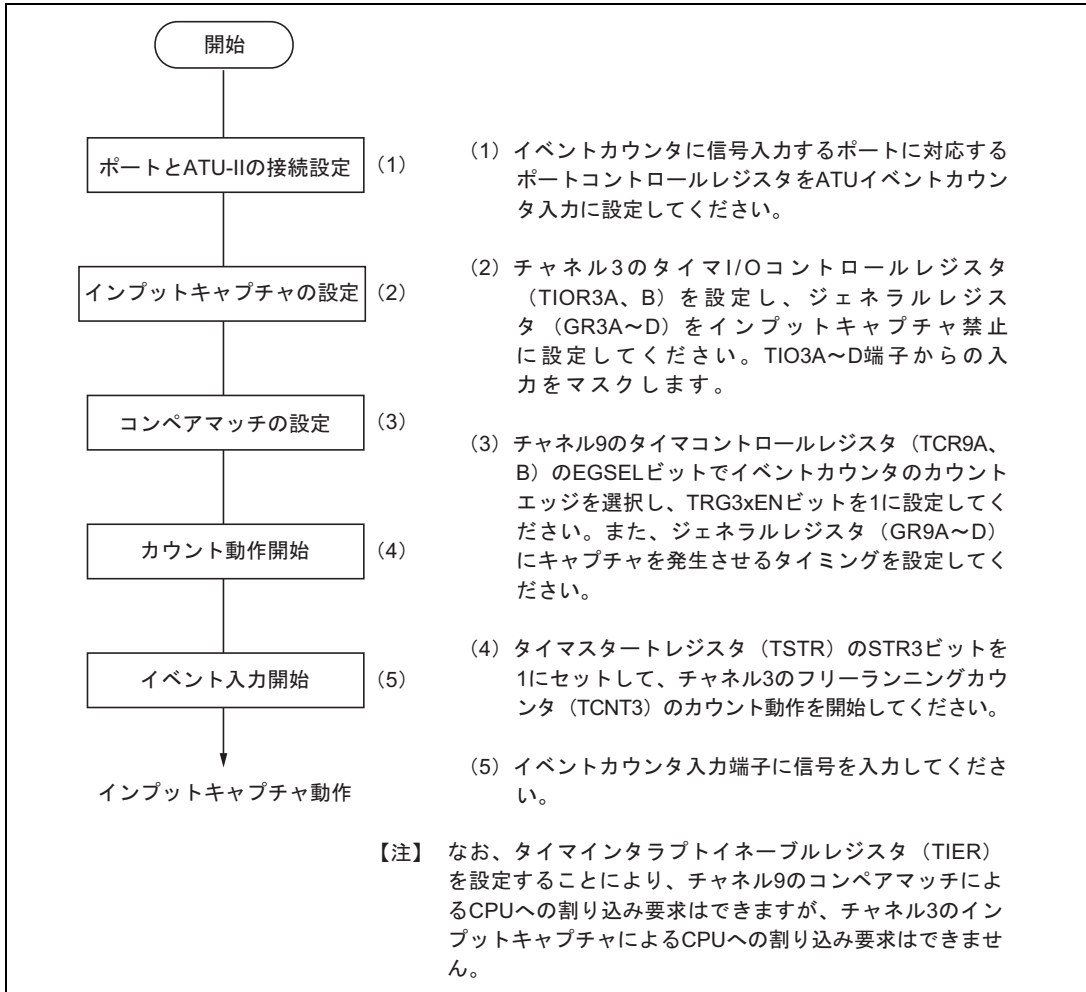


図 11.62 コンペアマッチ信号の送信動作の設定手順例

(11) チャンネル 10 の欠け歯検出動作の設定手順例

欠け歯検出動作の設定手順を図 11.63 に示します。

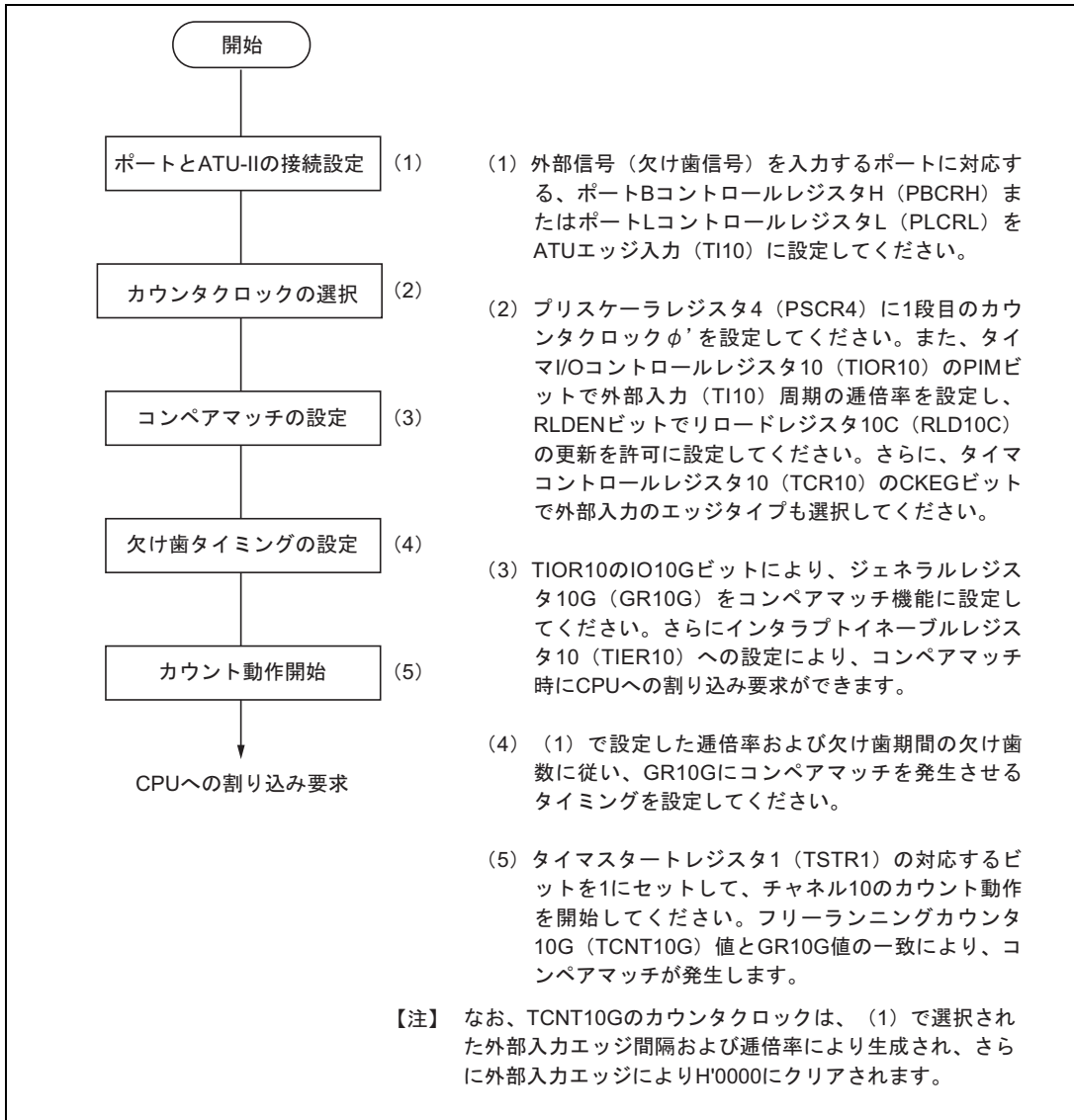


図 11.63 欠け歯検出動作の設定手順例

11.7 使用上の注意

ATU 動作中、次のような競合や動作が起きますので、注意してください。

(1) TCNT の書き込みとコンペアマッチによるクリアの競合

チャンネル 3~7 のフリーランニングカウンタ (TCNT3~5、6A~D、7A~D) は、コンペアマッチによるカウンタクリアを設定した場合、または PWM モード使用時に CPU ライトサイクル中の T2 ステートにコンペアマッチが発生しても TCNT のクリアは行われず、TCNT への書き込みが優先されます。

なお、コンペアマッチは有効のままであり、割り込みステータスフラグへの 1 ライトや、外部への波形出力は、通常のコンペアマッチ同様に行われます。

このタイミングを図 11.64 に示します。

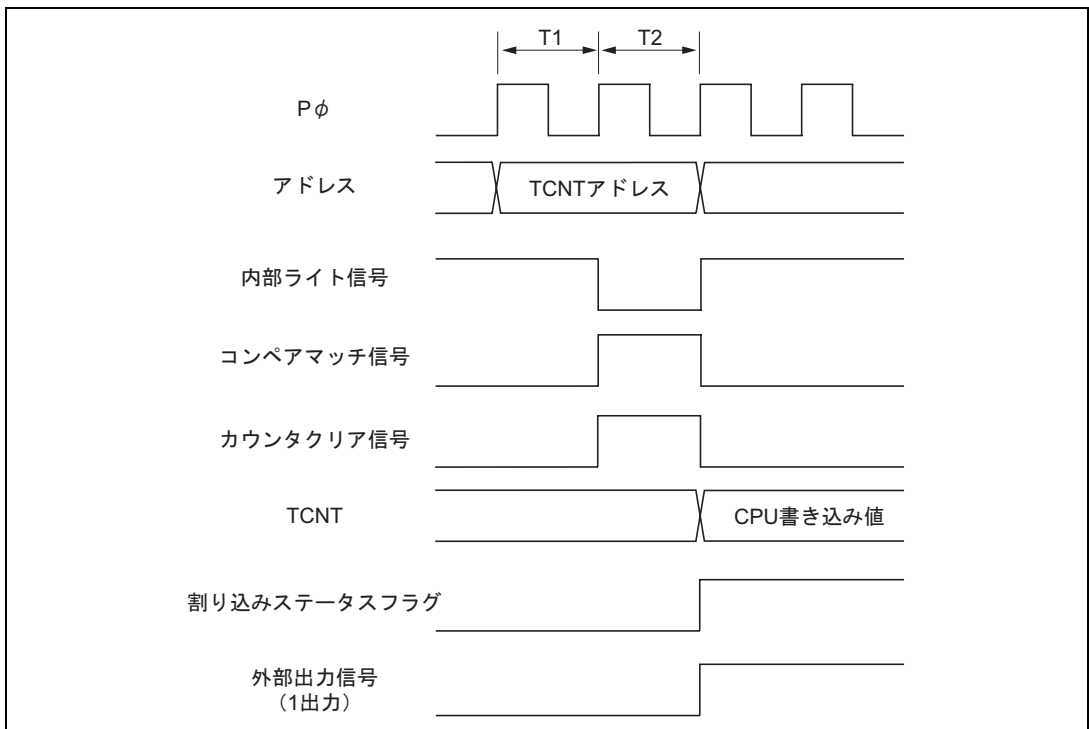


図 11.64 TCNT の書き込みとクリアの競合

(2) TCNT の書き込みとカウントアップの競合

チャンネル 0~11 のフリーランニングカウンタ (TCNT0、1A、1B、2A、2B、3~5、6A~6D、7A~7D、10A~10H、11)、ダウンカウンタ (DCNT8A~8P)、およびイベントカウンタ 9 (ECNT9A~9F) のカウントアップ/ダウン中に当該カウンタへ書き込みを行うと、カウントせずにカウンタへの書き込みが優先されます。

このタイミングを図 11.65 に示します。これは TCNT が、H'1001 から H'1002 にカウントアップするタイミングで CPU から H'5555 を書き込んだときの動作例です。

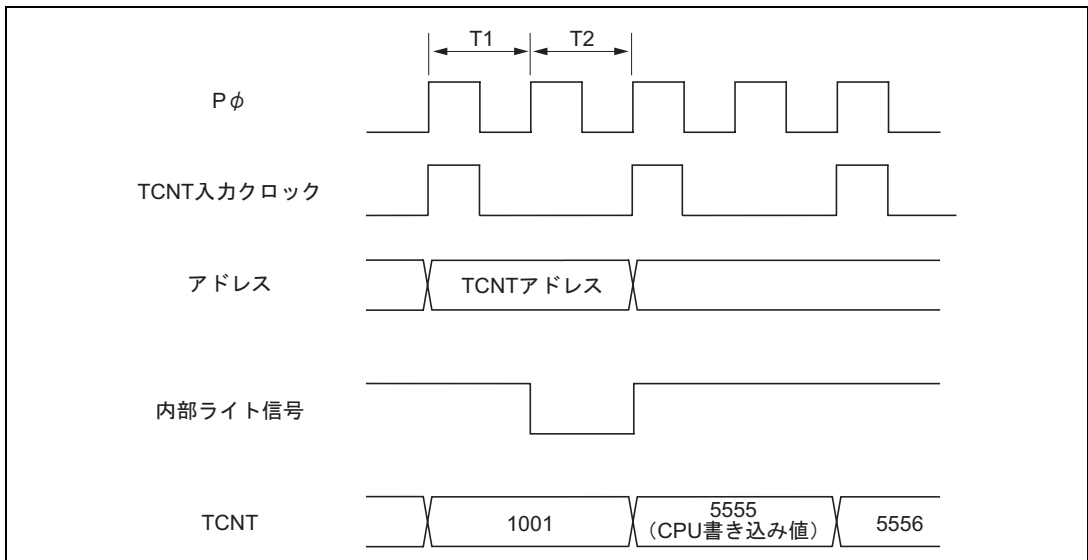


図 11.65 TCNT の書き込みとカウントアップの競合

(3) TCNT の書き込みとオーバーフローによるカウンタクリアの競合

チャンネル 0~5、11 のフリーランニングカウンタ (TCNT0、1A、1B、2A、2B、3~5、11) は、CPU ライトサイクル中の T2 ステートでオーバーフローが発生しても TCNT はクリアされず、TCNT への書き込みが優先されます。

なお、オーバーフローによる割り込みステータスフラグ (OVF) への 1 ライトは、通常のオーバーフローと同様に行われます。

このタイミングを図 11.66 に示します。これは TCNT にオーバーフローのタイミングで H'5555 を書き込んだときの動作例です。

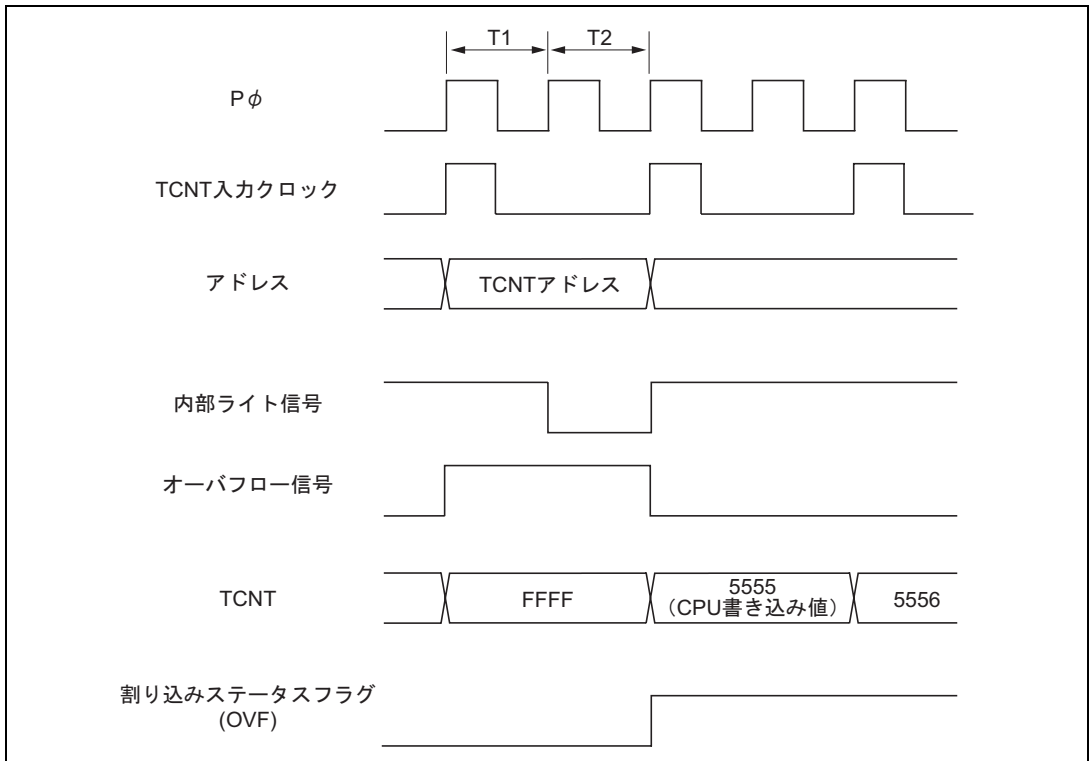


図 11.66 TCNT の書き込みとオーバーフローの競合

(4) 割り込みステータスフラグの0クリアと割り込み発生時の1セットの競合

CPU から割り込みステータスフラグへの 0 ライトサイクル中の T2 ステートで、インプットキャプチャ/コンペアマッチやオーバーフロー/アンダフローなどのイベントが発生すると、0 ライトによる 0 クリアが優先され、割り込みステータスフラグはクリアされます。

このタイミングを図 11.67 に示します。

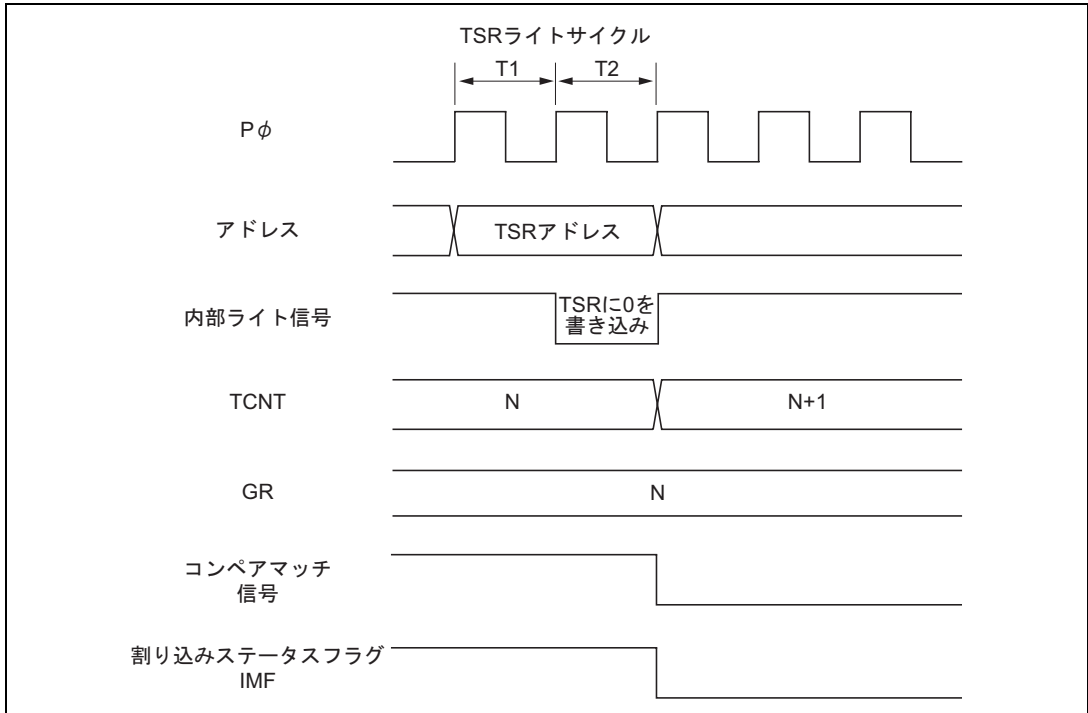


図 11.67 コンペアマッチによる割り込みステータスフラグのセットとクリアの競合

(5) DTR への書き込みとバッファ機能による BFR 値の転送の競合

チャンネル 6、7 では、サイクルレジスタ (CYLR) のコンペアマッチ発生により、バッファレジスタ (BFR) 値が対応するデューティレジスタ (DTR) に転送されるタイミングと、CPU から DTR への書き込みが競合すると、CPU から書き込む値が DTR に書き込まれます。

図 11.68 に BFR が H'AAAA、DTR へ書き込む値が H'5555 の場合で競合が発生するときの動作例を示します。

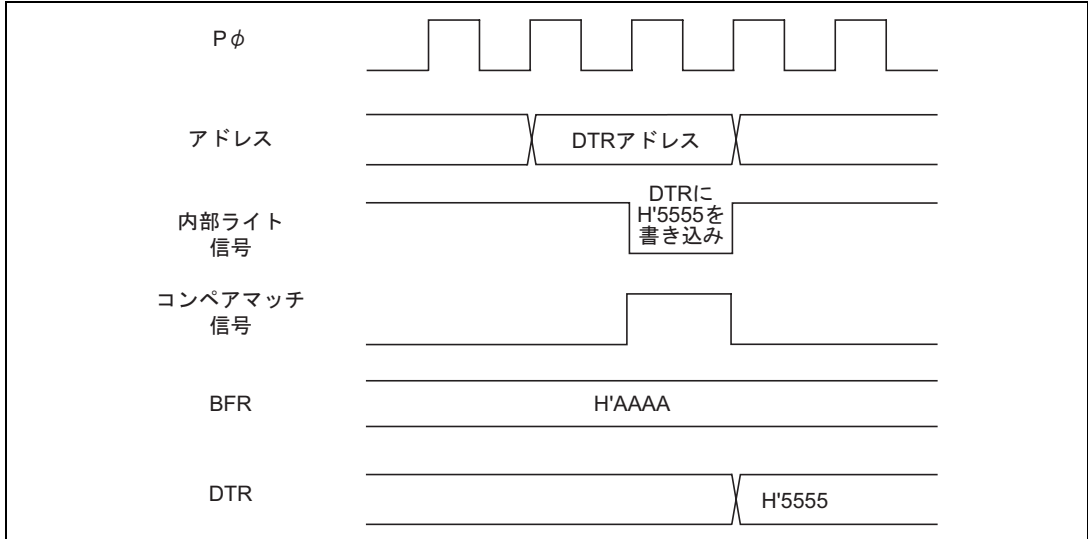


図 11.68 DTR への書き込みとバッファ機能による BFR 値の転送の競合

11. アドバンスドタイマユニット-II (ATU-II)

(6) 割り込みステータスフラグのDMACによるクリアと入力キャプチャ/コンペアマッチによるセットの競合

割り込みステータスフラグ (ICF0A~D, CMF6A~D, CMF7A~D) が入力キャプチャ (ICR0A~D) /コンペアマッチ (CYLR6A~D, CYLR7A~D) によりセットされるときに、DMACによるクリアが発生すると、割り込みステータスフラグはセットされず、DMACによるクリアが優先されます。このタイミングを図 11.69 に示します。

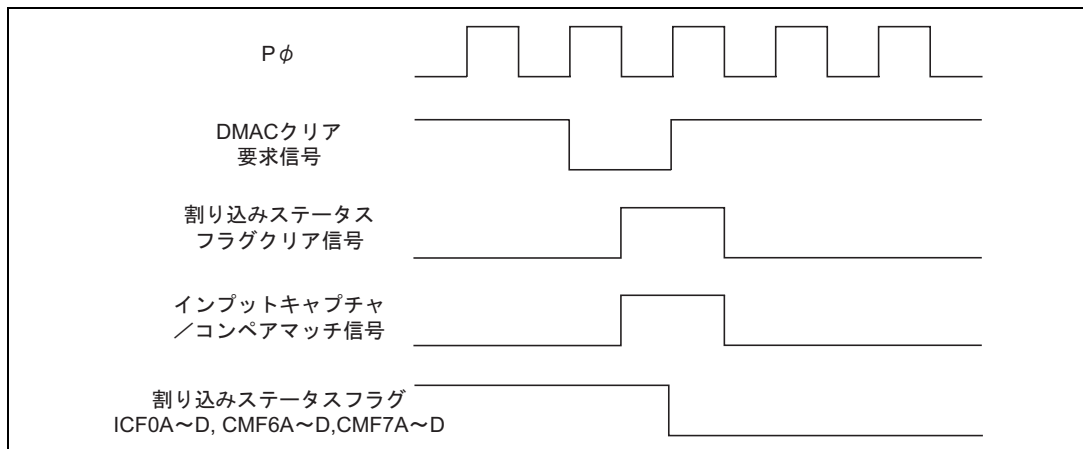


図 11.69 割り込みステータスフラグのDMACによるクリアと入力キャプチャ/コンペアマッチによるセットの競合

(7) CPUからのダウンカウンタ停止方法と動作

ダウンカウンタ (DCNT) のカウント動作を停止したいときは、DCNTに H'0000 を書き込んでください。CPU からダウンカウントスタートレジスタ (DSTR) に直接 0 を書き込めないため、DCNT を H'0000 にすることで、結果として DSTR の対応するビットが 0 になりカウントが停止します。ただし、アンダフローするタイミングでタイムステータスレジスタ (TSR) の OSF ビットが立ちます。

なお、特に注意することは、DCNTに H'0000 を書き込むと、即時に DSTR の対応するビットが 0 になるのではなく、H'0000 書き込み後にアンダフローするタイミングで DSTR の対応するビットが 0 になり、ダウンカウンタが停止するということです。

このタイミングを図 11.70 に示します。

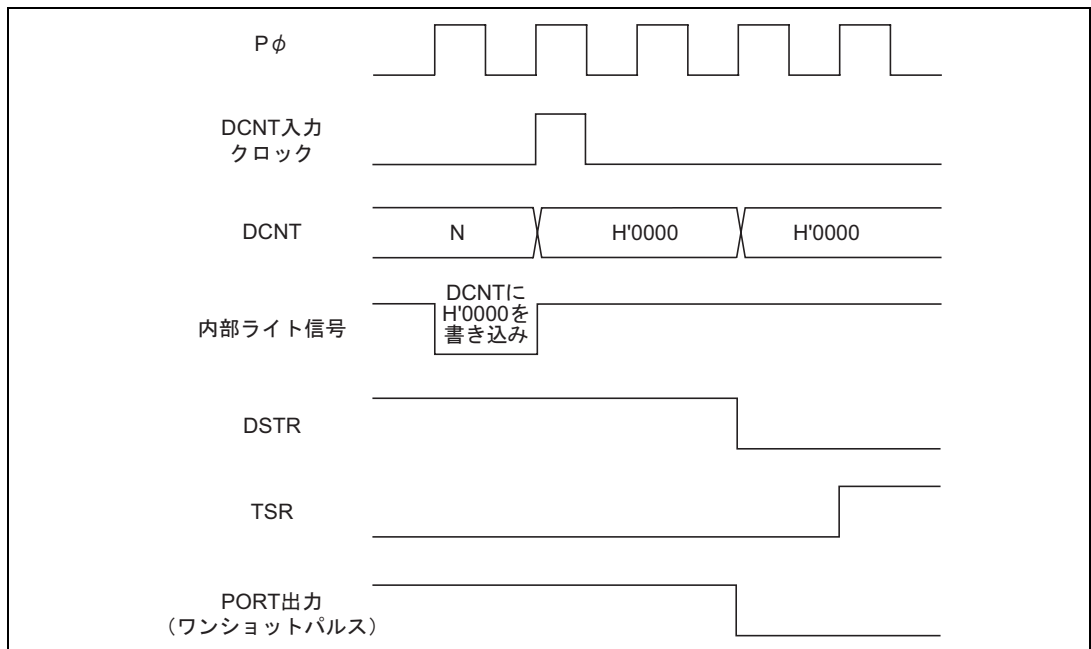


図 11.70 CPUからのダウンカウンタ停止方法と動作

11. アドバンスドタイマユニット-II (ATU-II)

(8) フリーランニングカウンタ停止時のインプットキャプチャ動作

チャンネル 0～5、10、11 では、フリーランニングカウンタ (TCNT) の起動/停止にかかわらず、インプットキャプチャ設定を行い、入力端子からトリガ信号を入力すると、TCNT 値が対応するジェネラルレジスタ (GR) またはインプットキャプチャレジスタ (ICR) に転送され、かつ、タイムステータスレジスタ (TSR) の IMF または ICF ビットが立ちます。

このタイミングを図 11.71 に示します。

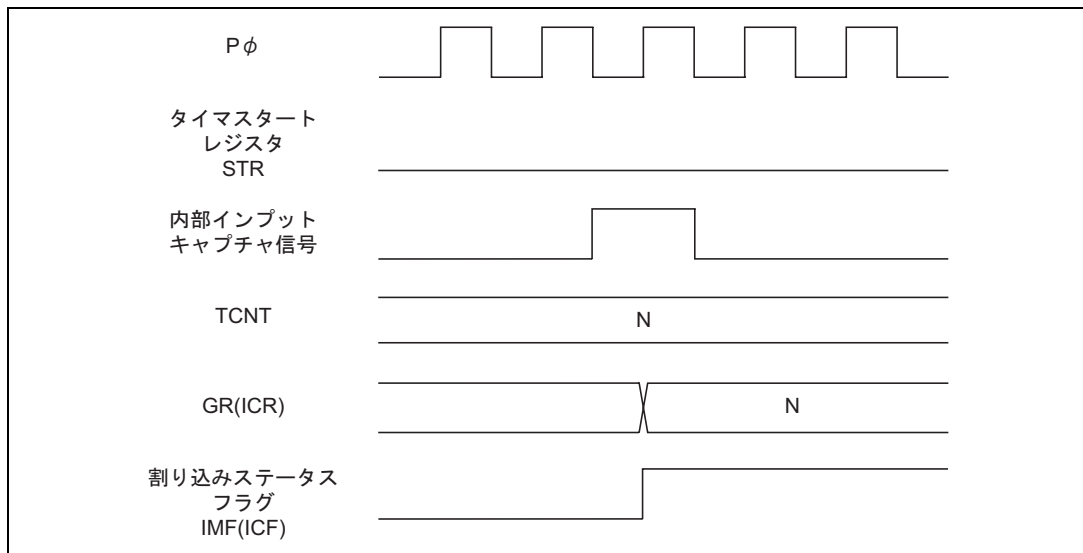


図 11.71 フリーランニングカウンタを動作させる前のインプットキャプチャ動作

(9) DCNTの書き込みとアンダフローによるカウンタ0クリアの競合

チャンネル8のダウンカウンタ (DCNT8A~8P) は、ダウンカウンタへのCPUライトサイクル中のT2ステートで、アンダフローが発生した場合、DCNTへのCPUからの書き込みが優先され、それによりDCNTのダウンカウントは継続されます。

このタイミングを図11.72に示します。これはDCNTにアンダフローのタイミングでH'5555の書き込みを行ったときの動作例です。

【注】 SH7055の場合は、DCNTへのCPUからの書き込みは行われず、H'0000保持を優先していました。動作が異なるので注意してください。

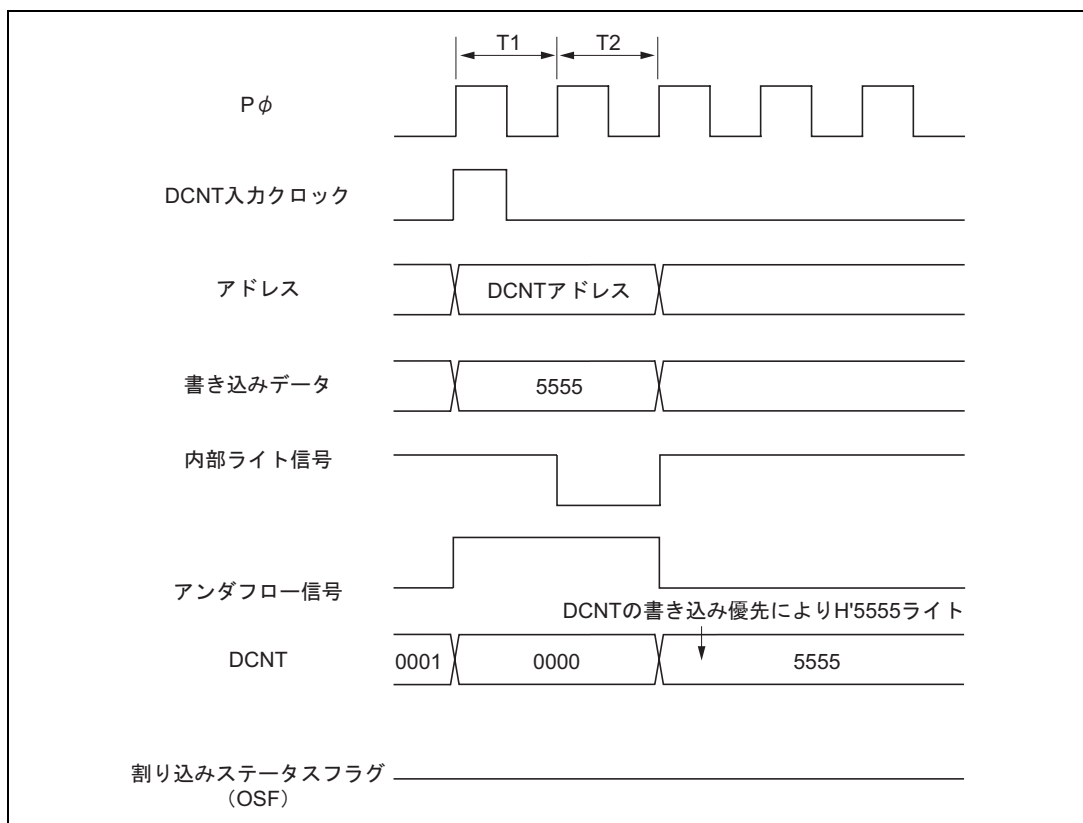


図 11.72 DCNTの書き込みとアンダフローの競合

11. アドバンスタイマユニット-II (ATU-II)

(10) CPUからのDSTRの1セットとアンダフローによる0クリア競合

CPUからダウンカウントスタートレジスタ (DSTR) への1ライトサイクル中のT2ステートで、アンダフローが発生すると、DSTRの対応するビットには1ライトされず、そのアンダフローによる0クリアが優先されます。

このタイミングを図11.73に示します。

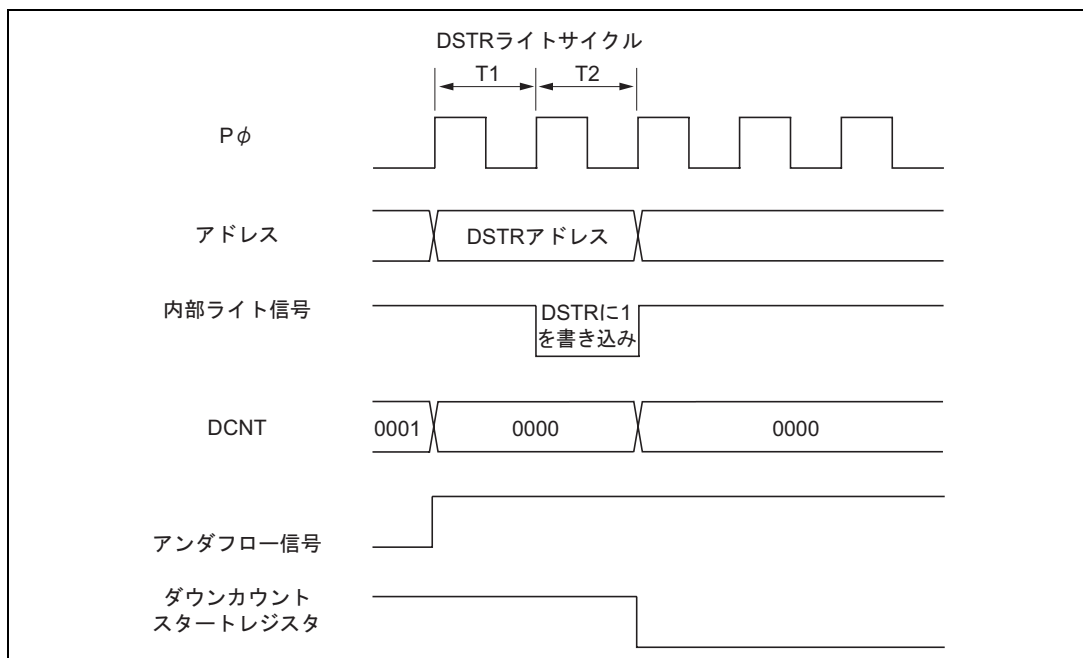


図 11.73 CPUからのDSTRの1セットとアンダフローによる0クリア競合

(11) プリスケアラレジスタ (PSCR)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) の設定タイミング

プリスケアラレジスタ (PSCR)、タイマコントロールレジスタ (TCR) およびタイマモードレジスタ (TMDR) への設定は、カウンタを起動する以前に行ってください。カウンタ起動中に PSCR、TCR あるいは TMDR を変更すると、動作は保証できません。

また、PSCR1~4 設定後は Pφ が 32 回入力されるまでカウンタを起動しないでください。

(12) 割り込みステータスフラグのクリア手順

割り込みステータスフラグを CPU から 0 クリアする際には、必ず一度リードしてから 0 を書き込んでください。リードせずに 0 書き込みを行うと、動作は保証できません。

(13) フリーランニングカウンタ 6A~6D、7A~7D (TCNT6A~6D、7A~7D) への H'0000 設定

チャンネル 6、7 のフリーランニングカウンタ (TCNT6A~6D、7A~7D) に H'0000 を書き込み、カウンタスタートすると、サイクルレジスタ (CYLR) およびデューティレジスタ (DTR) との最初のコンペアマッチまでの間隔が、TCNT 入力クロックで最大 1 クロック分、設定値より長くなります。それ以降のコンペアマッチでは、CYLR 値および DTR 値に対し正確な波形を出力します。

(14) フリーランニングカウンタ (TCNT) のカウント停止時の各レジスタ値

タイマスタートレジスタ (TSTR) 値を途中で 0 に設定すると、対応するフリーランニングカウンタ (TCNT) のカウントアップが停止するのみであり、当該フリーランニングカウンタ (TCNT) および ATU の全レジスタの初期化は行われません。なお、外部出力値は TSTR を 0 に設定した時点の値を出力し続けます。

(15) TCNT0 の書き込み時とインターバルタイマ動作

インターバルインタラプトリクエストレジスタ (ITVRR) を 1 に設定したビットと対応する、フリーランニングカウンタ 0 (TCNT0) のビットが 0 のときに、CPU プログラムから TCNT0 の当該ビットに 1 を書き込むと、結果として TCNT0 のビット 6~13 が 0 から 1 に変化したことを検出し、INTC への割り込み発生や A/D のサンプリングの起動を行います。このとき、タイマスタートレジスタ 1 (TSTR1) の STR0 ビットが 0 でカウント停止中でも、ビットが 0 から 1 に変化したことを検出しません。

(16) ATU からの DMAC 起動による TSR 自動クリア動作

TSR の自動クリアは、DMAC がバーストモードのときは転送終了後、サイクルスチールの場合は DMAC がバス権を返すたびにクリアを行います。

(17) 割り込みステータスフラグのセット/リセット動作

TSR は、ある特定のビットをクリアするために一度 1 リードした後に 0 ライトする前に、同ビットに重複してイベントが発生した場合でも、当ビットへの 0 ライトができます (重複して発生したイベントは受け付けません)。

(18) ソフトウェアスタンバイ時の外部出力値

ソフトウェアスタンバイによって ATU のレジスタと外部出力値は 0 にクリアされます。ただし、チャンネル 1、2、11 の外部端子 TIO1A~H、TIO2A~H、TIO11A、B の外部出力値はソフトウェアスタンバイ中は 1 出力でソフトウェアスタンバイ解除直後に 0 にクリアされます。それ以外の外部出力値およびすべてのレジスタはソフトウェアスタンバイ遷移直後に 0 にクリアされます。

また、ピンファンクションコントローラのポート B インバートレジスタ (PBIR)、ポート K インバートレジスタ (PKIR) で端子出力を反転させている場合、対応する端子は 1 にセットされます。

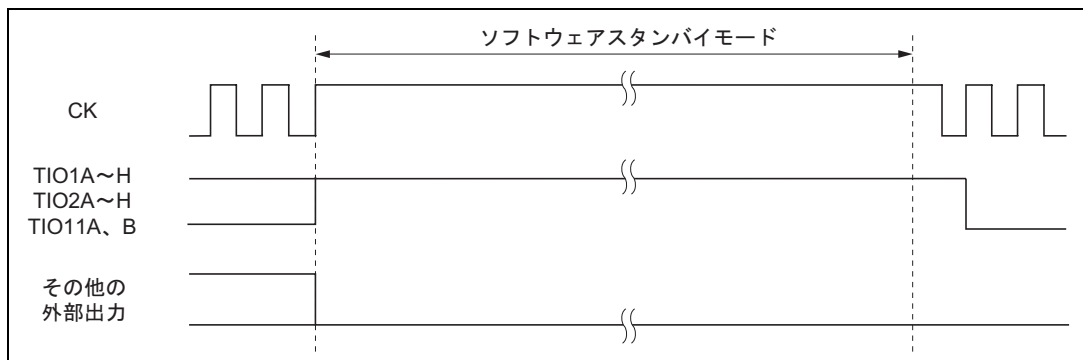


図 11.74 ソフトウェアスタンバイモード時の外部出力値の変化点

(19) チャンネル 10 からの TCNT クリアと TCNT オーバフローの競合

チャンネル 1、2 のフリーランニングカウンタ (TCNT1A~B、TCNT2A~B) は、オーバフローが発生すると H'0000 にクリアされます。このときチャンネル 10 の補正カウンタクリアレジスタ (TCCLR) からのクリア信号が同時に入ってもオーバフローによる割り込みステータスフラグ (OVF) の 1 セットは、通常のオーバフローと同様に行われます。

(20) チャンネル 10 のリロードレジスタへの転送タイミングと書き込みの競合

チャンネル 10 のリロードレジスタ (RLDR10C) に対し、インプットキャプチャレジスタ (ICR10A) からの通倍出力転送と、当該レジスタへの CPU ライトタイミングが競合したとき、CPU ライトが優先され、通倍出力は無視されます。

(21) チャンネル 10 のリロードタイミングと TCNT10C への書き込みの競合

チャンネル 10 のリロードレジスタ (RLDR10C) に対し、インプットキャプチャレジスタ (ICR10A) からの通倍出力転送と、リロードカウンタ (TCNT10C) への CPU ライトが競合した場合、CPU ライトが優先され、通倍出力は無視されます。

(22) ATU 端子の設定

ポートを ATU 端子機能に設定するときインプットキャプチャまたはカウント動作が発生する場合があります。以下のことに注意して設定してください。

インプットキャプチャ入力として使用するときは、対応する TIOR レジスタをインプットキャプチャ禁止の状態、ポートを設定してください。チャンネル 10 の TI10 入力については、TCR10 が TI10 入力禁止の状態、ポートを設定してください。外部クロック入力として使用するときは、対応するチャンネルの STR ビットがカウント動作停止の状態、ポートを設定してください。イベント入力として使用する場合は、対応する TCR レジスタがカウント動作禁止の状態、ポートを設定してください。

また、TCLKB、TI10 入力については複数端子に割り当てがありますが、TCLKB、TI10 入力を使用する場合は、1 つの端子のみ有効にして使用してください。

(23) ATU レジスタライト直後の ROM 領域へのライト

ATU レジスタのライトサイクルの直後に、アドレスのビット 11=0 かつビット 12=1 の ROM アドレス (H'00001000~H'000017FF、H'00003000~H'000037FF、H'00005000~H'000057FF、……、H'000FF000~H'000FF7FF) へのライトサイクルが発生すると、ROM へライトした値またはその一部が ATU レジスタに書き込まれます。これを回避するため、以下の対策をお願いいたします。

(a) ATU レジスタのライトサイクルの直後に CPU による ROM アドレスへの書き込みを行わないでください。

11.8 ATU-II のレジスタおよび端子の一覧表

表 11.4 レジスタおよび端子の一覧表

レジスタ名 ^{*1}	チャネル名	チャネル0	チャネル1	チャネル2	チャネル3	チャネル4	チャネル5	チャネル6	チャネル7	チャネル8	チャネル9	チャネル10	チャネル11
TSTR (3)			TSTR1		TSTR2			TSTR2				TSTR1	TSTR3
PSCR (4)			PSCR1					PSCR2	PSCR3	PSCR1		PSCR4	PSCR1
TCNT (25)		TCNT0H, TCNT0L	TCNT1A, TCNT1B	TCNT2A, TCNT2B	TCNT3	TCNT4	TCNT5	TCNT6A~ TCNT6D	TCNT7A~ TCNT7D			TCNT10AH, TCNT10AL, TCNT10B~ TCNT10H	TCNT11
DCNT (16)										DCNT8A~ DCNT8P			
ECNT (6)											ECNT9A~ ECNT9F		
TGR (17)			TCR1A, TCR1B	TCR2A, TCR2B	TCR3	TCR4	TCR5	TCR6A, TCR6B	TCR7A, TCR7B	TCR8	TCR9A~TCR9C	TCR10	TCR11
TIOR (17)			TIOR1A~ TIOR1D	TIOR2A~ TIOR2D	TIOR3A, TIOR3B	TIOR4A, TIOR4B	TIOR5A, TIOR5B					TIOR10	TIOR11
TSR (12)			TSR1A, TSR1B	TSR2A, TSR2B	TSR3	TSR3		TSR6	TSR7	TSR8	TSR9	TSR10	TSR11
TIER (12)			TIER1A, TIER1B	TIER2A, TIER2B		TIER3		TIER6	TIER7	TIER8	TIER9	TIER10	TIER11
ITVRR (3)													
ITVRR1, ITVRR2A ITVRR2B													
GR (37)			GR1A~GR1H	GR2A~GR2H	GR3A~GR3D	GR4A~GR4D	GR5A~GR5D				GR9A~GR9F	GR10G	GR11A, GR11B
ICR (5)												ICR10AH, ICR10AL	
ICR0AH, ICR0AL~ ICR0DH, ICR0DL													
OCR (11)			OCR1	OCR2A~OCR2H								OCR10AH, OCR10AL OCR10B	
OSBR (2)			OSBR1	OSBR2									
TRGMDR (1)			TRGMDR										
TMDR (1)						TMDR							
CYLR (8)								CYLR6A~ CYLR6D	CYLR7A~ CYLR7D				
BFR (8)								BFR6A~BFR6D	BFR7A~BFR7D				
DTR (8)								DTR6A~DTR6D	DTR7A~DTR7D				
PMDR (1)								PMDR					
RDR (1)										RLDR			
TCNR (1)										TCNR			
OTR (1)										OTR			
DSTR (1)										DSTR			
RLDENR (1)										RLDENR			
RLD (1)											RLD10C		
NCR (1)											NCR10		
TCLLR (1)											TCLLR10		
端子 ^{*2}		TI0A~D	TI01A~H, TCLKA, TCLKB	TI02A~H, TCLKA, TCLKB	TI03A~D, TCLKA, TCLKB	TI04A~D, TCLKA, TCLKB	TI05A~D, TCLKA, TCLKB	TO6A~D	TO7A~D	TO8A~P	TI8A~F	TI10	TI01A, TI01B, TCLKA, TCLKB

[注] *1 () 内はレジスタ数。ただし、32ビットレジスタは1本とします。
*2 端子は「第21章 ビンファンクションコントローラ (PFC)」で機能を設定してください。

12. アドバンストパルスコントローラ（APC）

12.1 概要

本 LSI は、アドバンストタイマユニット-II（ATU-II）をタイムベースとして最大 8 本のパルス出力を行うアドバンストパルスコントローラ（APC）を内蔵しています。

12.1.1 特長

APC には、次のような特長があります。

- 最大8本のパルス出力
パルス出力する端子を8つの端子から選択できます。複数設定が可能です。
- 出力トリガはアドバンストタイマユニット-II（ATU-II）のチャンネル11
ATU-IIのチャンネル11のコンペアマッチレジスタから発生したコンペアマッチ信号をトリガとしてパルスの0出力、1出力を行います。

12. アドバンストパルスコントローラ (APC)

12.1.2 ブロック図

APC のブロック図を図 12.1 に示します。

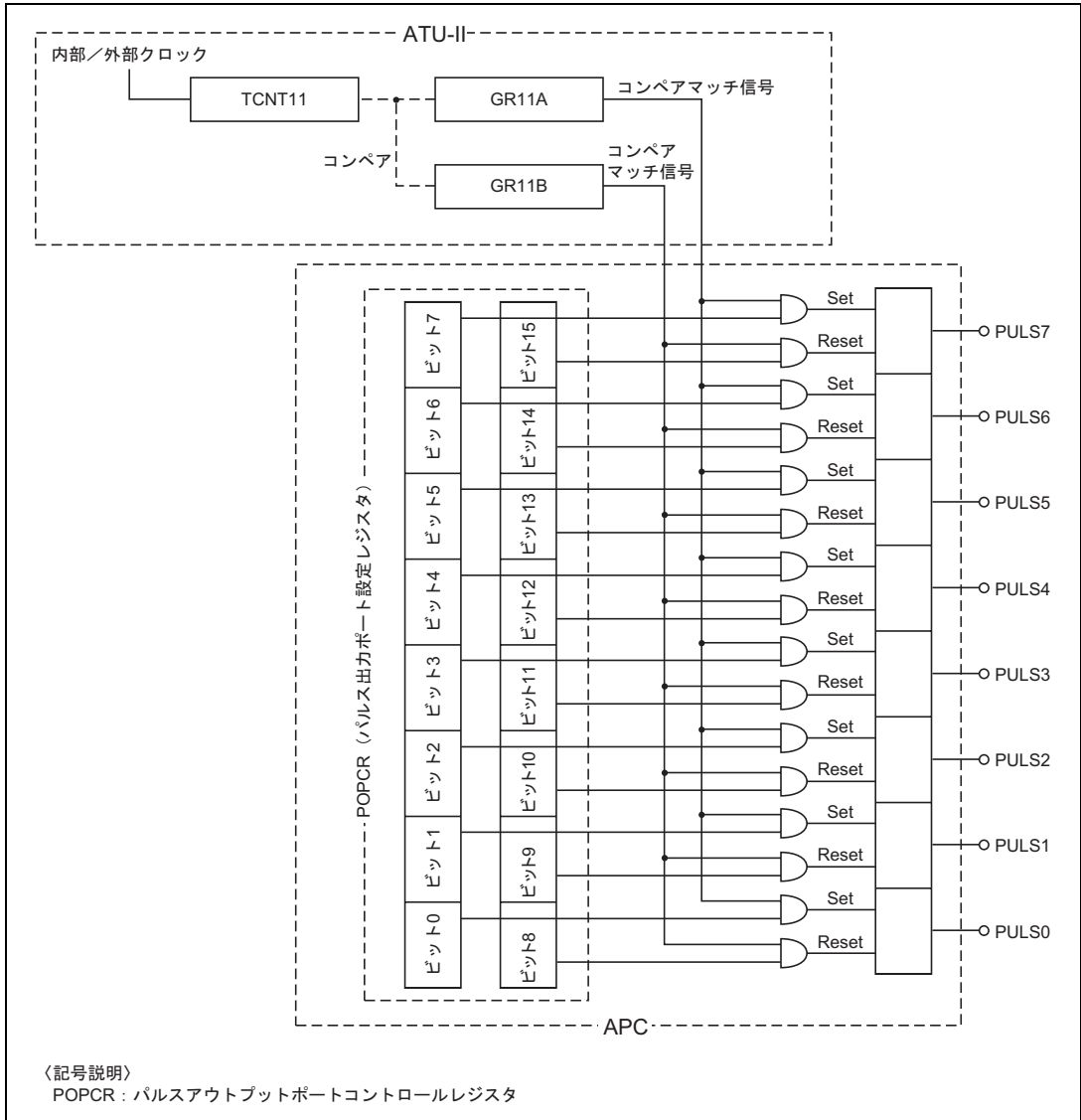


図 12.1 APC のブロック図

12.1.3 端子構成

APC の端子構成を表 12.1 に示します。

表 12.1 端子構成

名称	入出力	機能説明
PULS0	出力	APC パルス出力 0
PULS1	出力	APC パルス出力 1
PULS2	出力	APC パルス出力 2
PULS3	出力	APC パルス出力 3
PULS4	出力	APC パルス出力 4
PULS5	出力	APC パルス出力 5
PULS6	出力	APC パルス出力 6
PULS7	出力	APC パルス出力 7

12.1.4 レジスタ構成

APC のレジスタ構成を表 12.2 に示します。

表 12.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
パルスアウトポートコントロールレジスタ	POPCR	R/W	H'0000	H'FFFFFF00	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (φ) で 4 または 5 サイクルです。

12.2 レジスタの説明

12.2.1 パルスアウトポートコントロールレジスタ (POPCR)

パルスアウトポートコントロールレジスタ (POPCR) は読み出し/書き込み可能な 16 ビットのレジスタです。

POPCR はパワーオンリセットおよびハードウェアスタンバイモード時に、H'0000 に初期化されます。ソフトウェアスタンバイモード時には初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PULS7 ROE	PULS6 ROE	PULS5 ROE	PULS4 ROE	PULS3 ROE	PULS2 ROE	PULS1 ROE	PULS0 ROE	PULS7 SOE	PULS6 SOE	PULS5 SOE	PULS4 SOE	PULS3 SOE	PULS2 SOE	PULS1 SOE	PULS0 SOE
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15~8 : PULS7~0 リセットアウトプットイネーブル (PULS7~0ROE)

APC パルス出力端子 (PULS7~0) への 0 出力の許可/禁止をビット単位で選択します。

ビット 15~8	説明
PULS7~0ROE	
0	APC パルス出力端子 (PULS7~0) への 0 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 0 出力を許可

本ビットを 1 に設定すると、GR11B と TCNT11 の値がコンペアマッチしたとき、対応する端子が

12. アドバンストパルスコントローラ (APC)

ら 0 が出力されます。

ビット 7~0 : PULS7~0 セットアウトプットイネーブル (PULS7~0SOE)

APC パルス出力端子 (PULS7~0) への 1 出力の許可/禁止をビット単位で選択します。

ビット 7~0	説明
PULS7~0SOE	
0	APC パルス出力端子 (PULS7~0) への 1 出力を禁止 (初期値)
1	APC パルス出力端子 (PULS7~0) への 1 出力を許可

本ビットを 1 に設定すると、GR11A と TCNT11 の値がコンペアマッチしたとき、対応する端子から 1 が出力されます。

12.3 動作説明

12.3.1 概要

APC パルス出力は、ピンファンクションコントローラ (PFC) でマルチプレクス端子を APC パルス出力に設定し、パルスアウトポートコントロールレジスタ (POPCR) の対応するビットを 1 にすることで許可状態になります。

その後、アドバンストタイマユニット-II (ATU-II) のジェネラルレジスタ 11A (GR11A) がコンペアマッチ信号を発生すると、POPCR のビット 7~0 で 1 に設定された端子から 1 が出力されます。また、ジェネラルレジスタ 11B (GR11B) がコンペアマッチ信号を発生すると、POPCR のビット 15~8 で 1 に設定された端子から 0 が出力されます。

出力許可状態から最初のコンペアマッチが発生するまでは 0 が出力されます。

APC 出力動作を図 12.2 に示します。

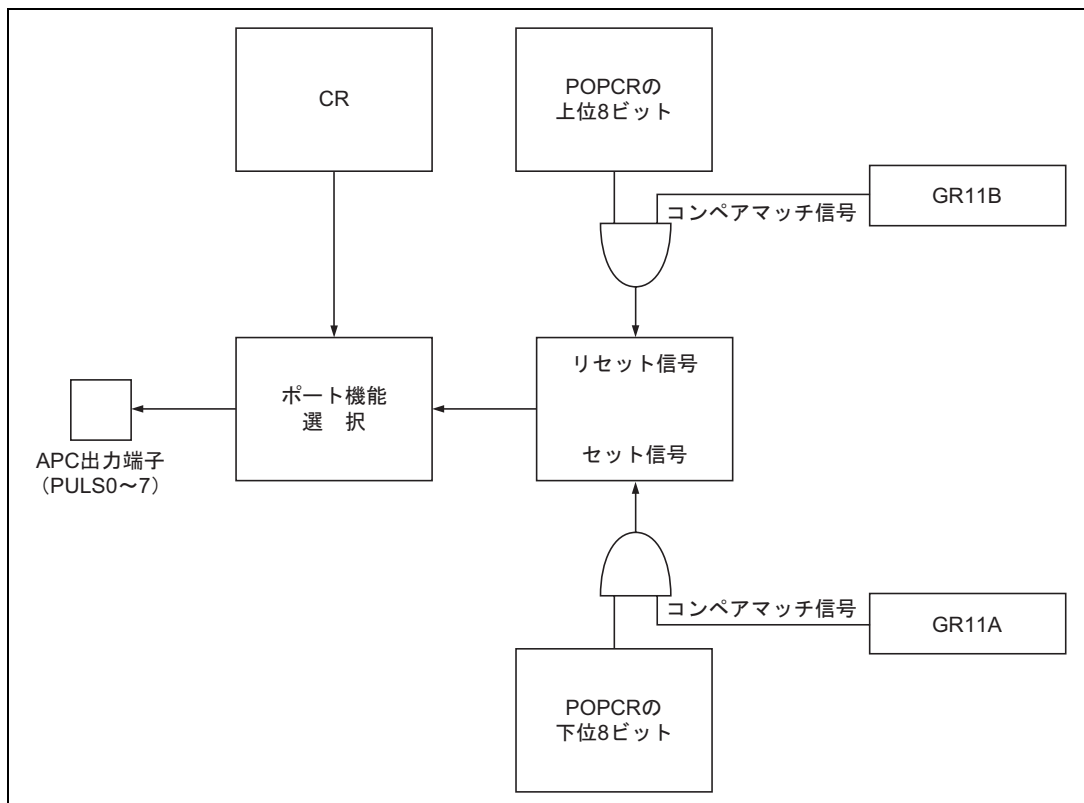


図 12.2 APC 出力動作

12.3.2 APC 出力動作

(1) APC 出力動作の設定手順例

APC 出力動作の設定手順例を図 12.3 に示します。

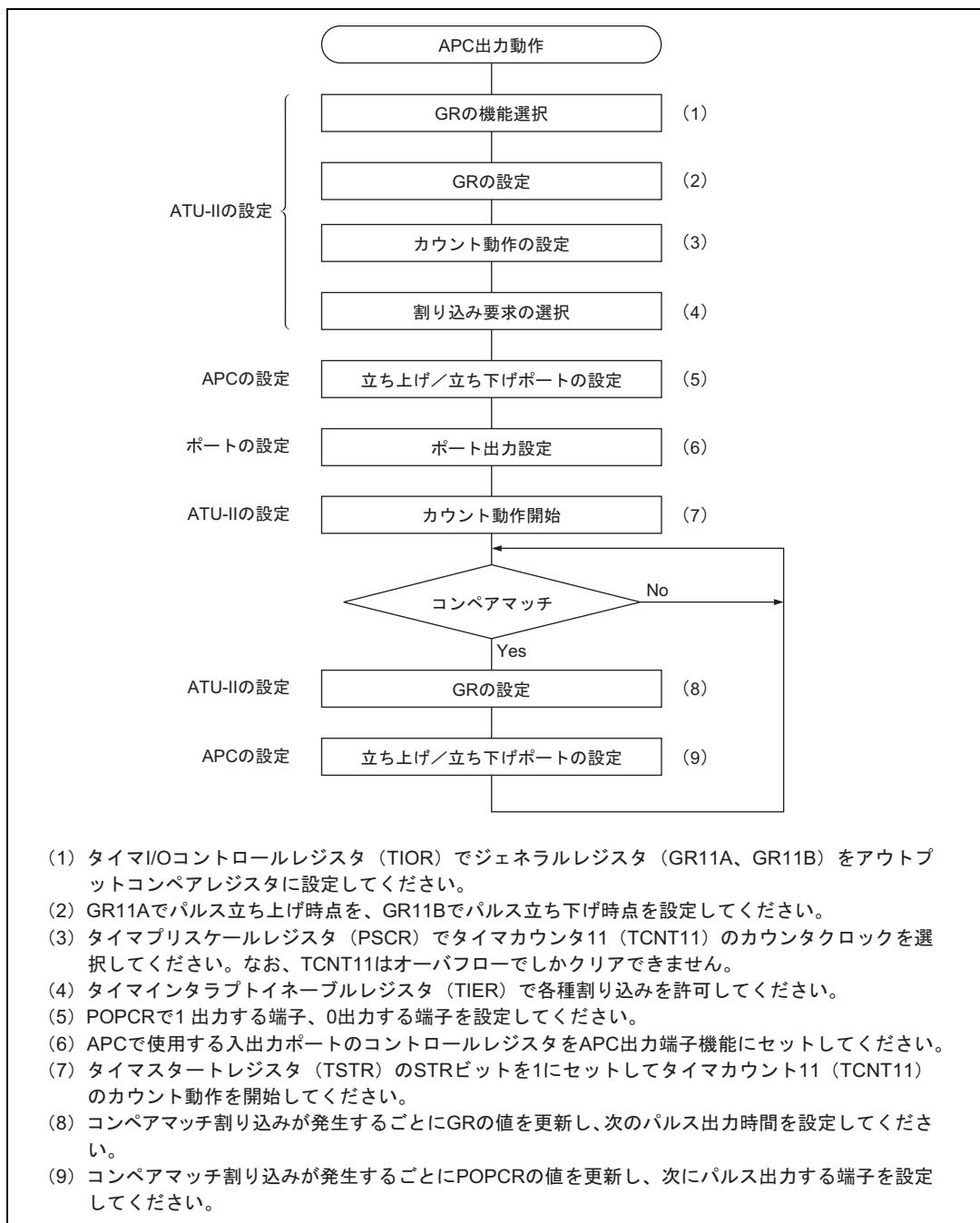


図 12.3 APC 出力動作の設定手順例

(2) APC 出力動作例

APC 出力動作例を図 12.4 に示します。

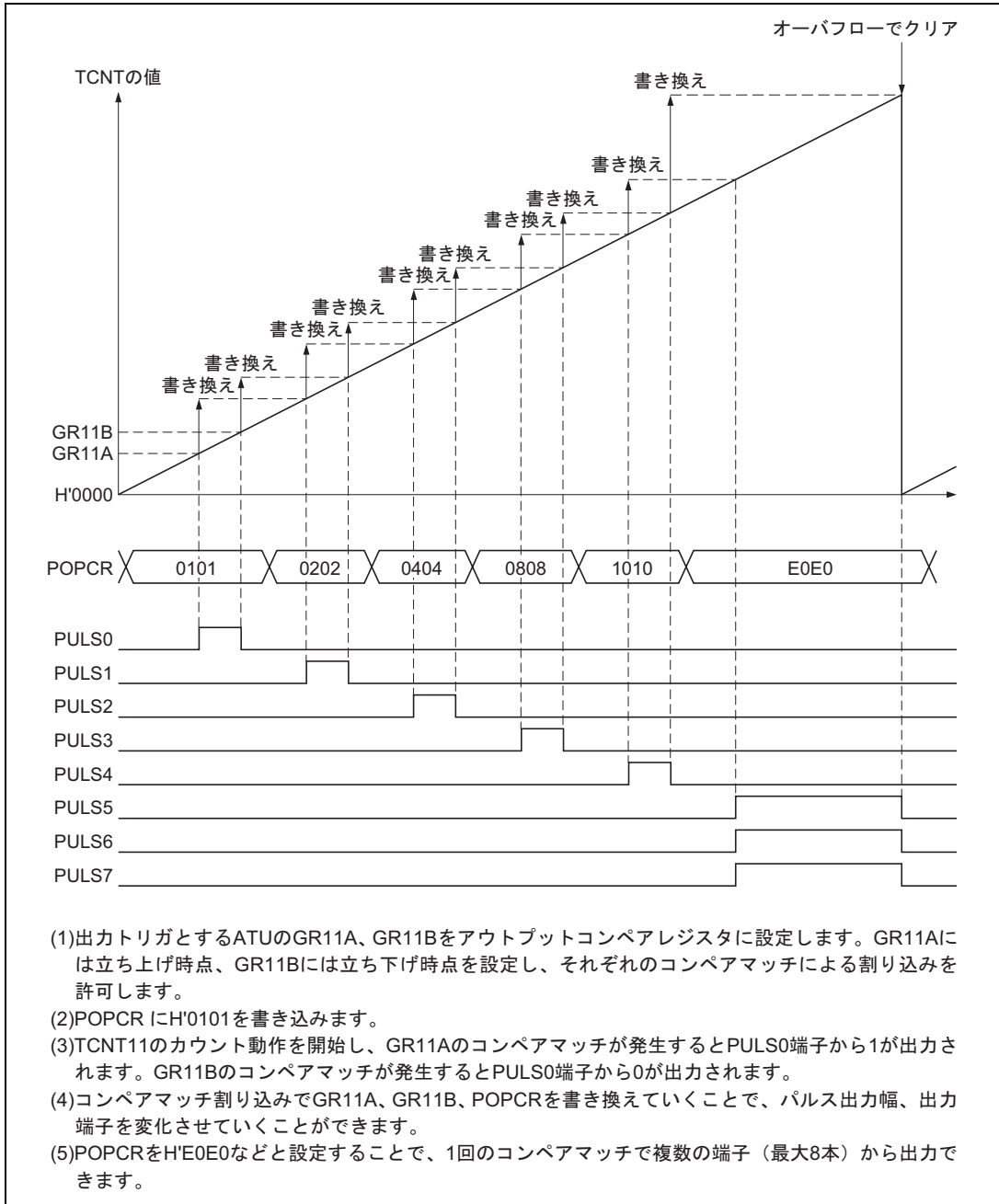


図 12.4 APC 出力動作例

12.4 使用上の注意

(1) コンペアマッチ信号の競合

GR11A と GR11B を同じ値に設定し、POPCR の設定で同一端子の 0 出力、1 出力をともに許可した場合、コンペアマッチ時の PULS0~7 端子は 0 出力が優先されます。

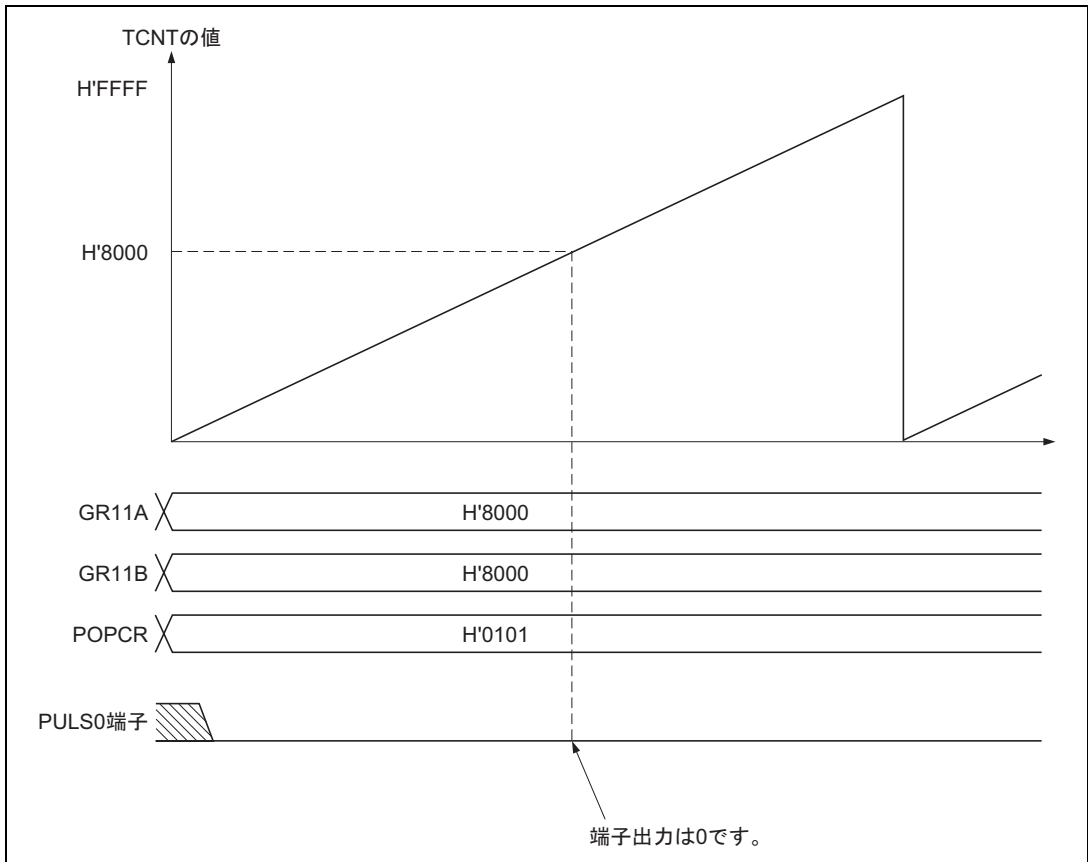


図 12.5 コンペアマッチ競合例

13. ウォッチドッグタイマ (WDT)

13.1 概要

ウォッチドッグタイマ (WDT) は1チャンネルのタイマで、システムの監視を行うことができます。WDTは、システムの暴走などによりカウンタの値をCPUが正しく書き換えられずにオーバーフローすると、外部にオーバーフロー信号 ($\overline{\text{WDTOVF}}$) を出力します。同時に、本LSIの内部リセット信号を発生することもできます。

ウォッチドッグタイマとして使用しないときは、インターバルタイマとして使用することもできます。インターバルタイマとして使用した場合は、カウンタがオーバーフローするごとにインターバルタイマ割り込みを発生します。

13.1.1 特長

WDTには次のような特長があります。

- ウォッチドッグタイマモードとインターバルタイマモードを切り替え可能
- ウォッチドッグタイマモード時、 $\overline{\text{WDTOVF}}$ を出力
カウンタがオーバーフローすると、外部に $\overline{\text{WDTOVF}}$ 信号を出力します。このとき、同時に本LSI内部をリセットするかどうか選択できます。この内部リセットは、パワーオンリセットまたは、マニュアルリセットを選択できます。
- インターバルタイマモード時、割り込みを発生
カウンタがオーバーフローすると、インターバルタイマ割り込みが発生します。
- 8種類のカウンタ入力クロックを選択可能

13. ウォッチドッグタイマ (WDT)

13.1.2 ブロック図

WDTのブロック図を図13.1に示します。

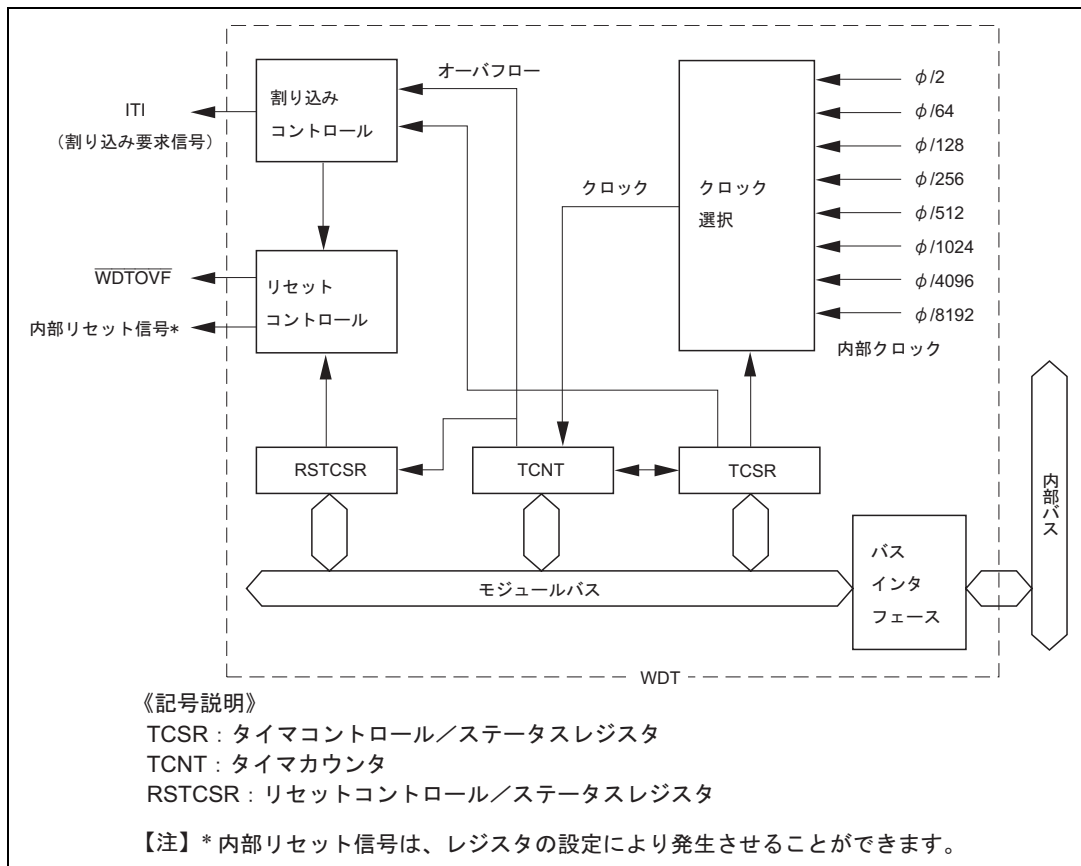


図 13.1 WDTのブロック図

13.1.3 端子構成

WDTの端子を表13.1に示します。

表 13.1 端子構成

名称	略称	入出力	機能
ウォッチドッグタイマオーバーフロー	WDTOVF	出力	ウォッチドッグタイマモード時のカウンタオーバーフロー信号出力

13.1.4 レジスタ構成

WDTには、表 13.2 に示すように3本のレジスタがあります。これらのレジスタにより、クロックの選択、WDTのモードの切り替え、リセット信号の制御などを行います。

表 13.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	
				書き込み* ¹	読み出し* ²
タイマコントロール/ ステータスレジスタ	TCSR	R/(W)* ³	H'18	H'FFFFFFE10	H'FFFFFFE10
タイマカウンタ	TCNT	R/W	H'00		H'FFFFFFE11
リセットコントロール/ ステータスレジスタ	RSTCSR	R/(W)* ³	H'1F	H'FFFFFFE12	H'FFFFFFE13

【注】 レジスタアクセスはバイトアクセス時、ワードアクセス時ともに4サイクルです。

- *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では正しい値を読み出すことができません。
- *3 ビット7には、フラグをクリアするために、0のみ書き込むことができます。

13.2 レジスタの説明

13.2.1 タイマカウンタ (TCNT)

ビット:	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

タイマカウンタ (TCNT) は、読み出し/書き込み可能な*8ビットのアップカウンタです。タイマコントロール/ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) を1にすると、TCSRのCKS2~CKS0ビットで選択した内部クロックにより、TCNTはカウントアップを開始します。TCNTの値がオーバーフロー (H'FF→H'00) すると、TCSRのWT/ITビットで選択したモードによって、ウォッチドッグタイマオーバーフロー信号 (WDTOVF) またはインターバルタイマ割り込み (ITI) が発生します。

TCNTは、パワーオンリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、またはTMEビットが0のとき、H'00に初期化されます。

【注】 * TCNTは容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「13.2.4 レジスタアクセス時の注意」を参照してください。

13. ウォッチドッグタイマ (WDT)

13.2.2 タイマコントロール/ステータスレジスタ (TCSR)

ビット:	7	6	5	4	3	2	1	0
	OVF	WT/ \overline{IT}	TME	—	—	CKS2	CKS1	CKS0
初期値:	0	0	0	1	1	0	0	0
R/W:	R/(W)*	R/W	R/W	R	R	R/W	R/W	R/W

【注】* OVF ビットは、1 リード後の 0 ライトのみ実行可能です。

タイマコントロール/ステータスレジスタ (TCSR) は、読み出し/書き込み可能な*8 ビットのレジスタで、タイマカウンタ (TCNT) に入力するクロック、モードの選択などを行います。

TCSR は、パワーオンリセット、ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時に H'00 に初期化されます。

【注】* TCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット 7: オーバフローフラグ (OVF)

インターバルタイマモードで、TCNT がオーバフロー (H'FF→H'00) したことを示します。ウォッチドッグタイマモードではセットされません。

ビット 7	説明
OVF	
0	インターバルタイマモードで TCNT のオーバフローなし (初期値) [クリア条件] OVF を読み出してから 0 を書き込む
1	インターバルタイマモードで TCNT のオーバフロー発生

ビット 6: タイマモードセレクト (WT/ \overline{IT})

ウォッチドッグタイマとして使用するか、インターバルタイマとして使用するかを選択します。この選択によって、TCNT がオーバフローしたとき、インターバルタイマ割り込み (ITI) が発生するか、 \overline{WDTOVF} 信号が発生するかが決まります。

ビット 6	説明
WT/ \overline{IT}	
0	インターバルタイマモード: TCNT がオーバフローしたとき CPU ヘインターバルタイマ割り込み (ITI) を要求 (初期値)
1	ウォッチドッグタイマモード: TCNT がオーバフローしたとき \overline{WDTOVF} 信号を外部へ出力*

【注】* ウォッチドッグタイマモードのとき、TCNT がオーバフローした場合についての詳しくは、「13.2.3 リセットコントロール/ステータスレジスタ (RSTCSR)」を参照してください。

ビット5：タイマイネーブル (TME)

タイマ動作の開始または停止を設定します。

ビット5	説明
TME	
0	タイマディスエーブル：TCNTをH'00に初期化し、カウントアップを停止 (初期値)
1	タイマイネーブル：TCNTはカウントアップを開始。TCNTがオーバーフローすると、WDTOVF信号または割り込みが発生。

ビット4、3：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

ビット2～0：クロックセレクト2～0 (CKS2～CKS0)

内部クロック (ϕ) を分周して得られる8種類のクロックから、TCNTに入力するクロックを選択します。

ビット2	ビット1	ビット0	説明	
CKS2	CKS1	CKS0	クロック	オーバーフロー周期* ($\phi=40\text{MHz}$ の場合)
0	0	0	$\phi/2$ (初期値)	12.8 μs
		1	$\phi/64$	409.6 μs
	1	0	$\phi/128$	0.8ms
		1	$\phi/256$	1.6 ms
1	0	0	$\phi/512$	3.3 ms
		1	$\phi/1024$	6.6 ms
	1	0	$\phi/4096$	26.2 ms
		1	$\phi/8192$	52.4 ms

【注】 * オーバフロー周期は、TCNTがH'00からカウントアップを開始し、オーバーフローするまでの時間です。「13.4.7 内部クロック (ϕ) の通倍比とオーバーフロー時間」を参照してください。

13.2.3 リセットコントロール／ステータスレジスタ (RSTCSR)

ビット： 7 6 5 4 3 2 1 0

WOVF	RSTE	RSTS	—	—	—	—	—
------	------	------	---	---	---	---	---

初期値： 0 0 0 1 1 1 1 1

R/W： R/(W)* R/W R/W R R R R R

【注】 * ビット7には、フラグをクリアするために、0のみ書き込むことができます。

リセットコントロール／ステータスレジスタ (RSTCSR) は、読み出し／書き込み可能な*8ビットのレジスタで、タイマカウンタ (TCNT) のオーバーフローによる内部リセット信号の発生を制御します。

RSTCSRは、 $\overline{\text{RES}}$ 端子からのリセット信号でH'1Fに初期化されますが、WDTのオーバーフローによる内部リセット信号では初期化されません。ハードウェアスタンバイモードおよびソフトウェアスタンバイモード時には、H'1Fに初期化されます。

13. ウォッチドッグタイマ (WDT)

【注】 * RSTCSR は容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。詳しくは、「13.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：ウォッチドッグタイマオーバフローフラグ (WOVF)

ウォッチドッグタイマモードで、TCNTがオーバフロー (H'FF→H'00) したことを示します。インターバルタイマモードではセットされません。

ビット7	説明
WOVF	
0	ウォッチドッグタイマモードでTCNTのオーバフローなし (初期値) [クリア条件] WOVFを読み出してからWOVFに0を書き込む
1	ウォッチドッグタイマモードでTCNTのオーバフロー発生

ビット6：リセットイネーブル (RSTE)

ウォッチドッグタイマモードでTCNTがオーバフローしたとき、本LSI内部をリセットする信号を発生するかどうかを選択します。

ビット6	説明
RSTE	
0	TCNTがオーバフローしたとき、内部リセットしない* (初期値)
1	TCNTがオーバフローしたとき、内部リセットする

【注】 * 本LSI内部はリセットされませんが、WDT内のTCNT、TCSRはリセットされます。

ビット5：リセットセレクト(RSTS)

ウォッチドッグタイマモードでTCNTがオーバフローして発生する内部リセットの種類を選択します。

ビット5	説明
RSTS	
0	パワーオンリセット (初期値)
1	マニュアルリセット

ビット4～0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

13.2.4 レジスタアクセス時の注意

タイマカウンタ (TCNT)、タイマコントロール/ステータスレジスタ (TCSR)、リセットコントロール/ステータスレジスタ (RSTCSR) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なっています。次の方法で、読み出し/書き込みを行ってください。

(1) TCNT、TCSR への書き込み

TCNT、TCSR へ書き込むときは、必ずワード転送命令を使用してください。バイト転送命令では、書き込めません。

書き込み時は、TCNT と TCSR が同一アドレスに割り当てられています。このため、図 13.2 に示すように、TCNT へ書き込むときは上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。TCSR へ書き込むときは上位バイトを H'A5 にし、下位バイトを書き込みデータにして転送してください。このように転送すると、下位バイトのデータが TCNT または TCSR へ書き込まれます。

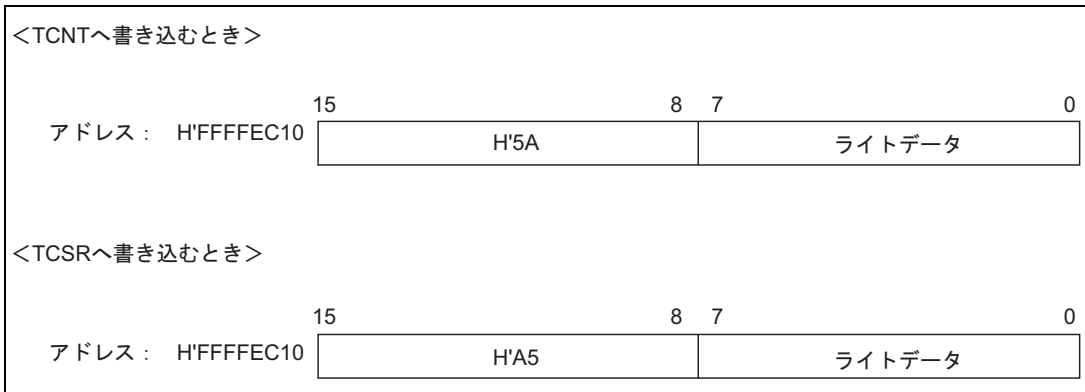


図 13.2 TCNT、TCSR への書き込み

(2) RSTCSR への書き込み

RSTCSR へ書き込むときは、アドレス H'FFFFEC12 に対してワード転送を行ってください。バイト転送命令では、書き込めません。

WOVF ビット (ビット 7) へ 0 を書き込む場合と、RSTE ビット (ビット 6) と RSTS ビット (ビット 5) に書き込む場合では、図 13.3 に示すように、書き込みの方法が異なります。

WOVF ビットへ 0 を書き込むときは、上位バイトを H'A5 にし、下位バイトを H'00 にして転送してください。このようにすると、WOVF ビットが 0 にクリアされます。このとき、RSTE、RSTS ビットは影響を受けません。RSTE、RSTS ビットに書き込むときは、上位バイトを H'5A にし、下位バイトを書き込みデータにして転送してください。このようにすると、下位バイトのビット 6 と 5 の値が RSTE ビットと RSTS ビットにそれぞれ書き込まれます。このとき、WOVF ビットは影響を受けません。

13. ウォッチドッグタイマ (WDT)

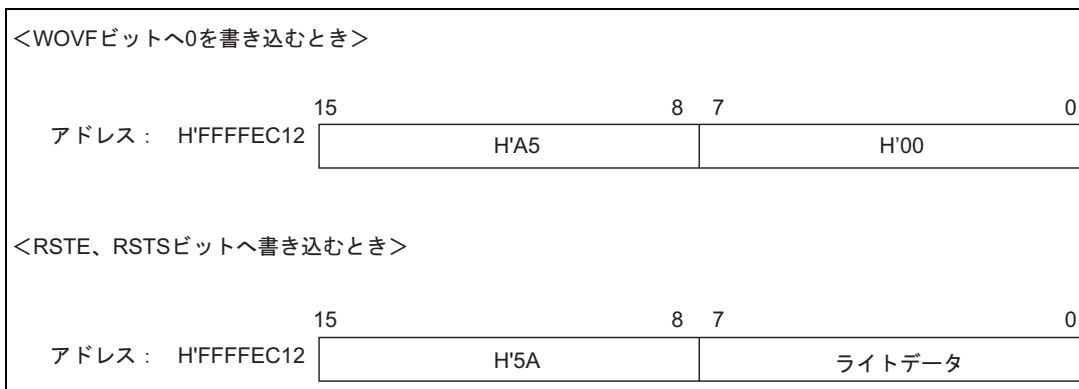


図 13.3 RSTCSR への書き込み

(3) TCNT、TCSR、RSTCSR からの読み出し

読み出しは、一般のレジスタと同様の方法で行うことができます。TCSR は、アドレス H'FFFFEC10 に、TCNT は、アドレス H'FFFFEC11 に、RSTCSR は、アドレス H'FFFFEC13 に割り当てられています。読み出すときは、必ずバイト転送命令を使用してください。

13.3 動作説明

13.3.1 ウォッチドッグタイマモード時の動作

ウォッチドッグタイマとして使用するときは、タイマコントロール/ステータスレジスタ (TCSR) の $\overline{WT/IT}$ ビットと TME ビットの両方を 1 に設定してください。また、タイマカウンタ (TCNT) がオーバーフローする前に必ず TCNT の値を書き換えて (通常は H'00 を書き込む)、オーバーフローを発生させないようにプログラムしてください。このようにすると、システムが正常に動作している間は、TCNT のオーバーフローが発生しませんが、システムの暴走などにより TCNT の値が書き換えられずオーバーフローすると、 \overline{WDTOVF} 信号が外部に出力されます。これを図 13.4 に示します。この \overline{WDTOVF} 信号を用いて、システムをリセットすることができます。 \overline{WDTOVF} 信号は、128 ϕ クロックの間出力されます。

リセットコントロール/ステータスレジスタ (RSTCSR) の RSTE ビットを 1 にセットしておく、TCNT がオーバーフローしたときに、 \overline{WDTOVF} 信号と同時に、本 LSI の内部をリセットする信号が発生します。このリセットは、RSTCSR の RSTS ビットの設定によってパワーオンリセットまたはマニュアルリセットが選択できます。内部リセット信号は、512 ϕ クロックの間出力されます。

\overline{RES} 端子からの入力信号によるリセットと WDT のオーバーフローによるリセットが同時に発生したときは、 \overline{RES} 端子によるリセットが優先され、RSTCSR の WOVF ビットは 0 にクリアされます。

なお、WDT によるリセット信号により、(1) ピンファンクションコントローラ (PFC) のレジスタ、(2) I/O ポートのレジスタは初期化されません (外部からのパワーオンリセットのみで初期化されます)。

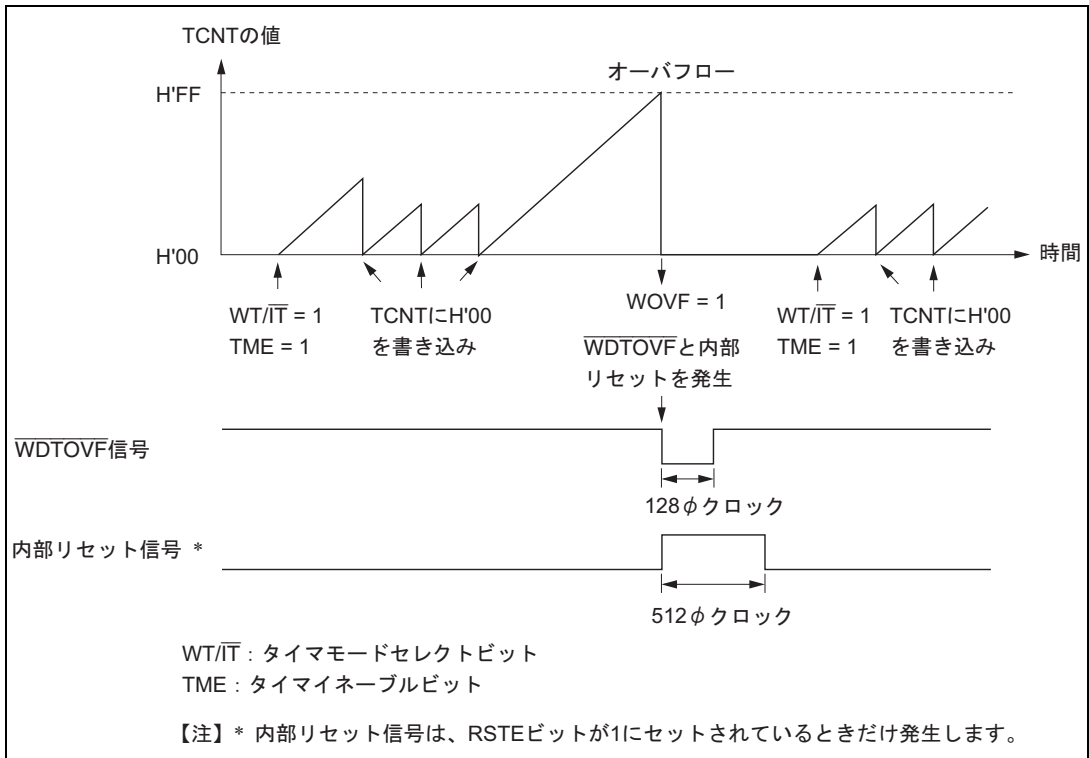


図 13.4 ウォッチドッグタイマモード時の動作

13.3.2 インターバルタイマモード時の動作

インターバルタイマとして使用するときは、タイマコントロール/ステータスレジスタ (TCSR) の WT/IT ビットを 0 に、 TME ビットを 1 に設定してください。インターバルタイマとして動作しているときは、図 13.5 に示すように、タイマカウンタ (TCNT) がオーバーフローするごとにインターバルタイマ割り込み (ITI) が発生します。したがって、一定時間ごとに、割り込みを発生させることができます。

13. ウォッチドッグタイマ (WDT)

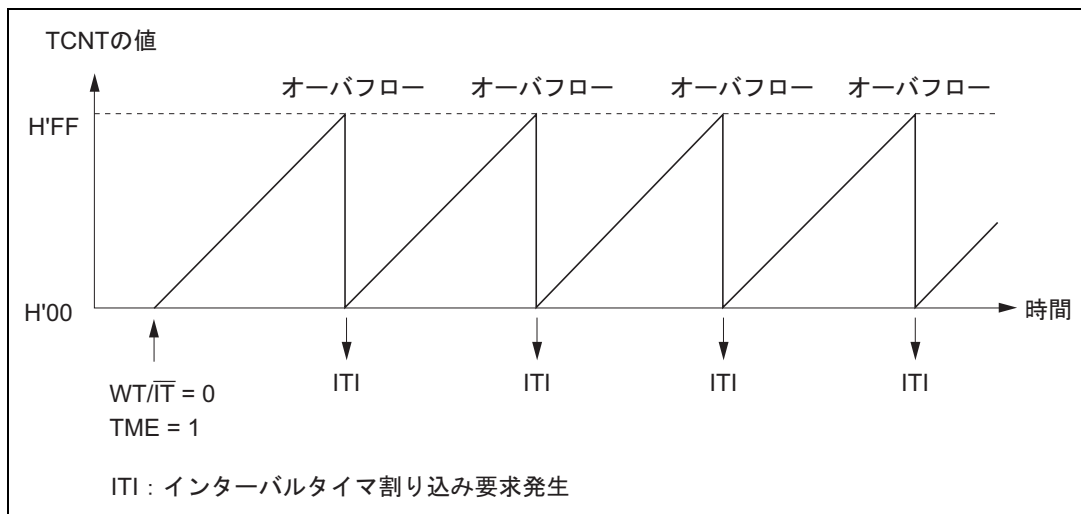


図 13.5 インターバルタイマモード時の動作

13.3.3 オーバフローフラグ (OVF) のセットタイミング

インターバルタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、タイマコントロール/ステータスレジスタ (TCSR) の OVF ビットが 1 にセットされ、同時にインターバルタイマ割り込み (ITI) が要求されます。このタイミングを図 13.6 に示します。

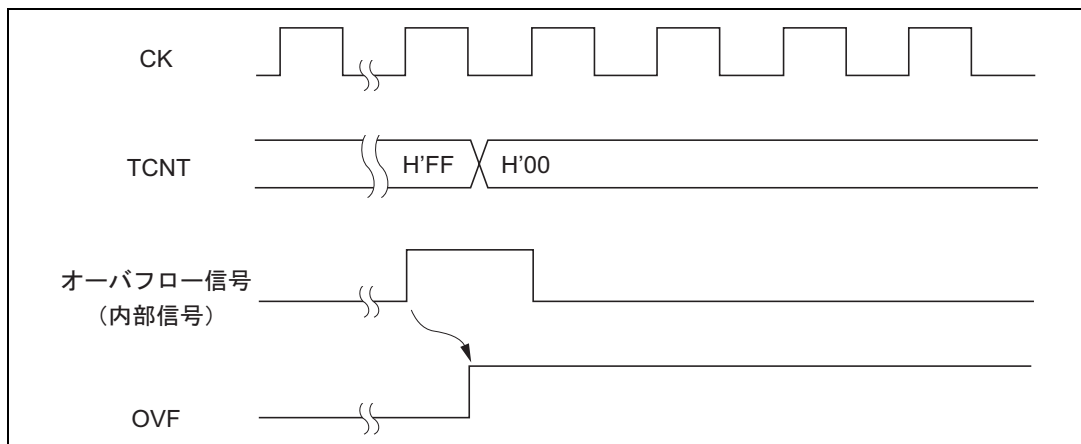


図 13.6 オーバフローフラグ (OVF) のセットタイミング

13.3.4 ウォッチドッグタイマオーバーフローフラグ (WOVF) のセットタイミング

ウォッチドッグタイマモードでタイマカウンタ (TCNT) がオーバーフローすると、リセットコントロール/ステータスレジスタ (RSTCSR) の WOVF ビットが 1 にセットされ、 $\overline{\text{WDTOVF}}$ 信号が外部に出力されます。また、RSTCSR の RSTE ビットが 1 にセットしてあると、TCNT がオーバーフローしたとき、本 LSI 全体に対して内部リセット信号を発生します。これらのタイミングを図 13.7 に示します。

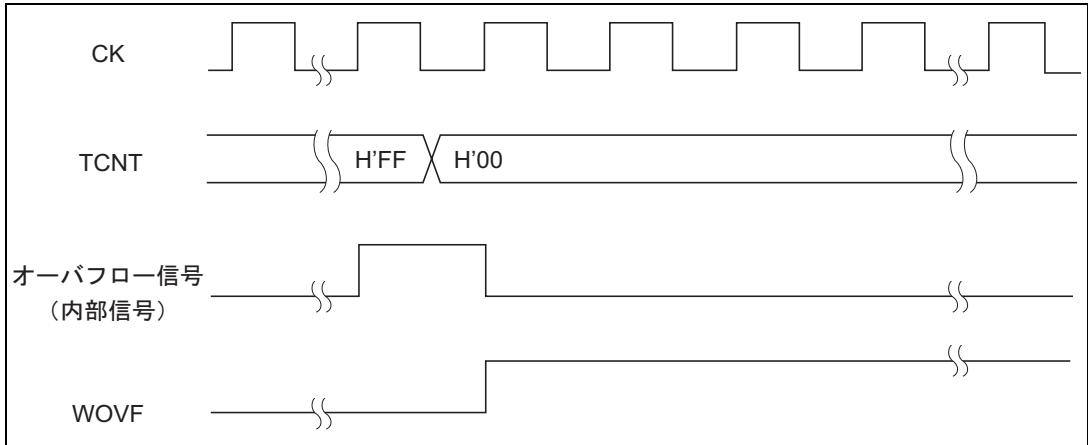


図 13.7 ウォッチドッグタイマオーバフローフラグ (WOVF) のセットタイミング

13.4 使用上の注意

13.4.1 タイマカウンタ (TCNT) の書き込みとカウントアップの競合

タイマカウンタ (TCNT) のライトサイクル中の T3 ステートでカウントアップが発生しても、TCNT へのデータ書き込みが優先され、カウントアップされません。これを図 13.8 に示します。

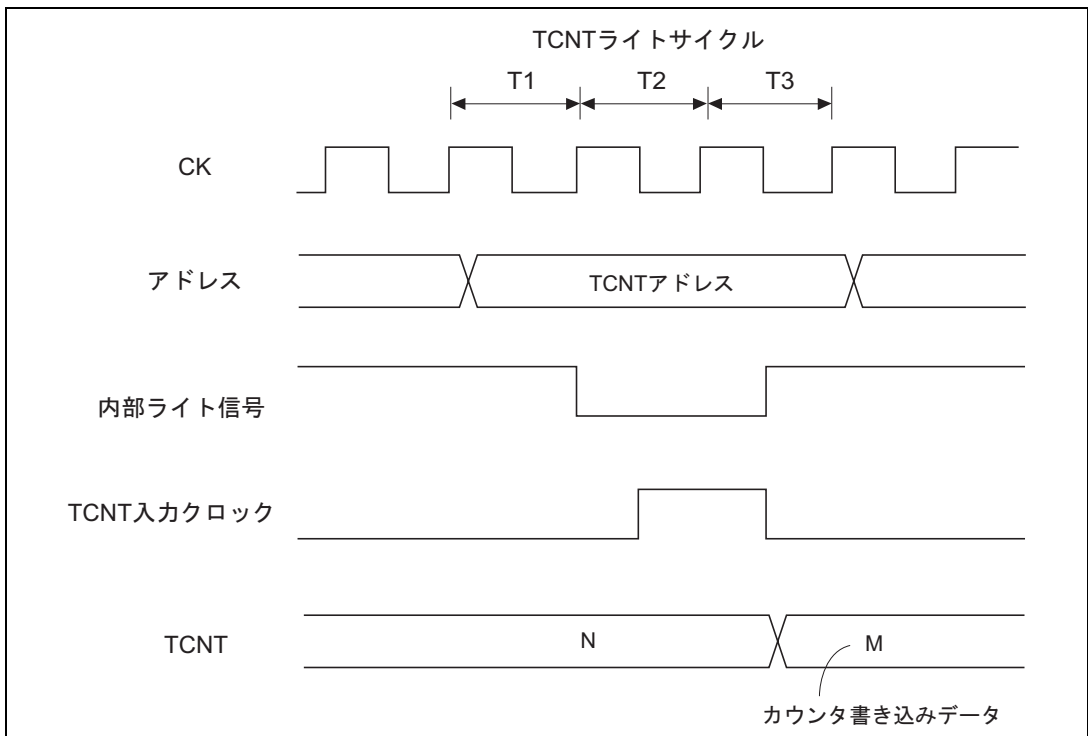


図 13.8 TCNT の書き込みとカウントアップの競合

13. ウォッチドッグタイマ (WDT)

13.4.2 CKS2~CKS0 ビットの書き換え

WDT の動作中にタイマコントロール/ステータスレジスタ (TCSR) の CKS2~CKS0 ビットを書き換えると、カウントアップが正しく行われず場合があります。CKS2~CKS0 ビットを書き換えるときは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.4.3 ウォッチドッグタイマモードとインターバルタイマモードの切り替え

WDT の動作中にウォッチドッグタイマモードとインターバルタイマモードを切り替えると、正しい動作が行われず場合があります。タイマモードの切り替えは、必ず WDT を停止させてから (TME ビットを 0 にクリアしてから) 行ってください。

13.4.4 WDTOVF 信号によるシステムのリセット

WDTOVF 出力信号を本 LSI の $\overline{\text{RES}}$ 端子に入力すると、本 LSI を正しく初期化できません。

WDTOVF 信号は、本 LSI の $\overline{\text{RES}}$ 端子に論理的に入力しないようにしてください。WDTOVF 信号でシステム全体をリセットするときは、図 13.9 に示すような回路で行ってください。

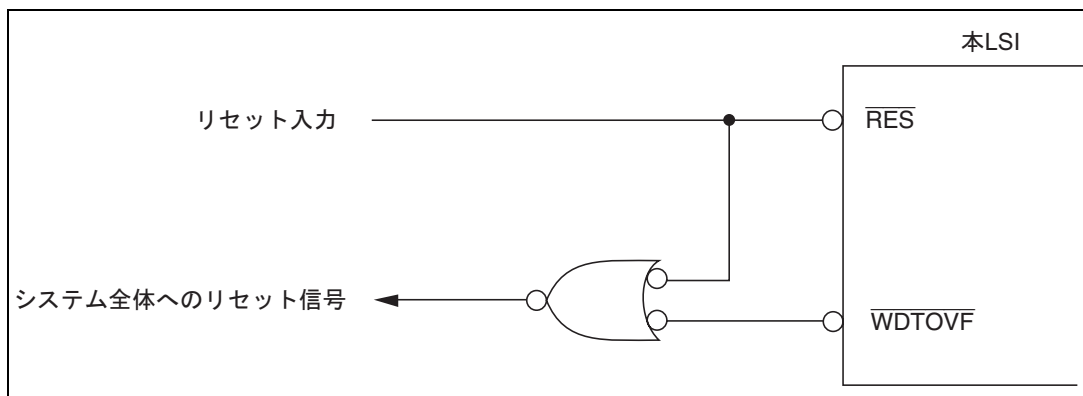


図 13.9 WDTOVF 信号によるシステムリセット回路例

13.4.5 ウォッチドッグタイマモードでの内部リセット

ウォッチドッグタイマモード時に RSTE ビットを 0 にしておくと、TCNT がオーバフローしても本 LSI 内部をリセットしませんが、WDT 内の TCNT、TCSR はリセットされます。

このとき周辺クロック (Pφ) を分周したクロックもリセットされるため、このクロックを使用している SCI、A/D、CMT が正常に動作しない場合があります。そのため、これらを引き続き使用する場合は初期化してから使用してください。

13.4.6 ウォッチドッグタイマモードでのマニュアルリセット

ウォッチドッグタイマモードで TCNT のオーバフローにより、内部リセットしたとき、マニュアルリセット発生時のバスサイクル終了を待ってから、マニュアルリセット例外処理に移行します。したがって、マニュアルリセットによりバスサイクルは保持されますが、バス権解放中や DMAC バースト転送中等にマニュアルリセットが発生すると CPU がバス権を獲得するまでマニュアルリセット例外処理は保留されます。ただし、マニュアルリセットが発生してから CPU がバス権を獲得するまでの期間が内部マニュアルリセット期間である 512 サイクル以上であると内部マニュアルリセット要因は保留されずに無視され、マニュアルリセット例外処理は発生しません。

13.4.7 内部クロック (ϕ) の通倍比とオーバフロー時間

ウォッチドッグタイマは、内部クロック (ϕ) (入力クロックの4倍または8倍) に同期して動作します。

したがって、タイマコントロール/ステータスレジスタ (TCSR) のクロックセレクト2~0 (CKS2~0) で選択しているクロックが同じであっても、内部クロック (ϕ) の通倍比が4倍のときと8倍のときでオーバフローする時間および $\overline{\text{WDTOVF}}$ 信号の出力時間が異なります。

13. ウォッチドッグタイマ (WDT)

14. コンペアマッチタイマ（CMT）

14.1 概要

本 LSI は、2 チャンネルの 16 ビットタイマにより構成されるコンペアマッチタイマ（CMT）を内蔵しています。CMT は 16 ビットのカウンタを持ち、設定した周期ごとに割り込みを発生させることができます。

14.1.1 特長

CMT には、次のような特長があります。

- 4種類のカウント入力クロックを選択可能
4種類の内部クロック（ $P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$ ）の中から各チャンネル独立に選択できます。
- 割り込み要因
コンペアマッチ割り込みを各チャンネル独立に要求することができます。

14.1.2 ブロック図

CMT のブロック図を図 14.1 に示します。

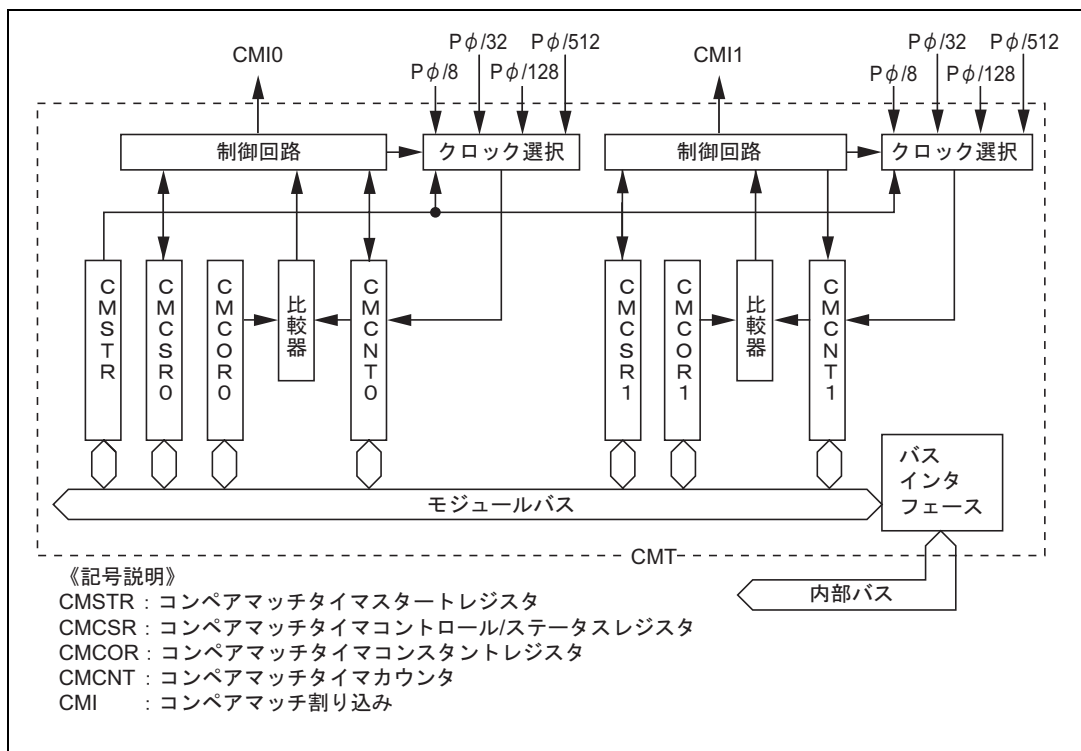


図 14.1 CMT のブロック図

14. コンペアマッチタイマ (CMT)

14.1.3 レジスタ構成

CMTのレジスタ構成を表 14.1 に示します。

表 14.1 レジスタ構成

チャンネル	名称	R/W	略称	初期値	アドレス	アクセスサイズ (ビット)
共通	コンペアマッチタイマ スタートレジスタ	CMSTR	R/W	H'0000	H'FFFFFF710	8、16、32
0	コンペアマッチタイマ コントロール/ ステータスレジスタ 0	CMCSR0	R/(W)*	H'0000	H'FFFFFF712	8、16、32
	コンペアマッチタイマ カウンタ 0	CMCNT0	R/W	H'0000	H'FFFFFF714	8、16、32
	コンペアマッチタイマ コンスタントレジスタ 0	CMCOR0	R/W	H'FFFF	H'FFFFFF716	8、16、32
1	コンペアマッチタイマ コントロール/ ステータスレジスタ 1	CMCSR1	R/(W)*	H'0000	H'FFFFFF718	8、16、32
	コンペアマッチタイマ カウンタ 1	CMCNT1	R/W	H'0000	H'FFFFFF71A	8、16、32
	コンペアマッチタイマ コンスタントレジスタ 1	CMCOR1	R/W	H'FFFF	H'FFFFFF71C	8、16、32

【注】 内部クロック通倍比が4 通倍時のレジスタアクセスは、バイトアクセス、ワードアクセス時の内部クロック (ϕ) で4 または5 サイクル、ロングワードアクセス時の内部クロック (ϕ) で8 または9 サイクルとなります。

* CMCSR0、1のCMFビットは、フラグをクリアするための0ライトのみ可能です。

14.2 レジスタの説明

14.2.1 コンペアマッチタイマスタートレジスタ (CMSTR)

コンペアマッチタイマスタートレジスタ (CMSTR) はチャンネル0、1のカウンタ (CMCNT) を動作させるか、停止させるかの設定を行います。CMSTR レジスタは16ビットのレジスタです。パワーオンリセットまたはスタンバイモード時にH'0000に初期化されます。

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

—	—	—	—	—	—	—	—	—	—	—	—	—	—	STR1	STR0
---	---	---	---	---	---	---	---	---	---	---	---	---	---	------	------

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W: R R R R R R R R R R R R R R R/W R/W

ビット15~2: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット1：カウントスタート1 (STR1)

コンペアマッチタイマカウンタ1を動作させるか、停止させるかを選択します。

ビット1	説明
STR1	
0	CMCNT1のカウント動作は停止 (初期値)
1	CMCNT1はカウント動作

ビット0：カウントスタート0 (STR0)

コンペアマッチタイマカウンタ0を動作させるか、停止させるかを選択します。

ビット0	説明
STR0	
0	CMCNT0のカウント動作は停止 (初期値)
1	CMCNT0はカウント動作

14.2.2 コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR)

コンペアマッチタイマコントロール/ステータスレジスタ (CMCSR) はコンペアマッチ発生の表示、割り込みの許可/禁止の設定、カウントアップに用いられるクロックの設定を行います。CMCSRレジスタは16ビットのレジスタです。パワーオンリセットまたはスタンバイモード時にH'0000に初期化されます。

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	CMF	CMIE	—	—	—	—	CKS1	CKS0
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R	R/(W)*R/W	R	R	R	R	R	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ビット15~8、5~2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット7：コンペアマッチフラグ (CMF)

コンペアマッチタイマカウンタ (CMCNT) とコンペアマッチタイマコンスタントレジスタ (CMCOR) の値が一致したかどうかを示すフラグです。

ビット7	説明
CMF	
0	CMCNT と CMCOR の値が一致していない [クリア条件] CMF の 1 を読み出してから 0 を書き込む (初期値)
1	CMCNT と CMCOR の値が一致した

14. コンペアマッチタイマ (CMT)

ビット6：コンペアマッチ割り込みイネーブル (CMIE)

CMCNT と CMCOR の値が一致したとき (CMF=1)、コンペアマッチ割り込み (CMI) の発生を許可するか禁止するかを選択します。

ビット6 CMIE	説 明
0	コンペアマッチ割り込み (CMI) を禁止 (初期値)
1	コンペアマッチ割り込み (CMI) を許可

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

周辺クロック (Pφ) を分周して得られる4種類の内部クロックからCMCNTに入力するクロックを選択します。CMSTRのSTRビットを1にセットすると、CKS1、CKS0で選択されたクロックによりCMCNTがカウントアップを開始します。

ビット1 CKS1	ビット0 CKS0	説 明
0	0	Pφ/8 (初期値)
	1	Pφ/32
1	0	Pφ/128
	1	Pφ/512

14.2.3 コンペアマッチタイマカウンタ (CMCNT)

コンペアマッチタイマカウンタ (CMCNT) は割り込み要求を発生させるためのアップカウンタとして使用します。

CMCSRレジスタのCKS1、CKS0ビットで内部クロックを選択してCMSTRのSTRビットを1にセットすると、そのクロックによってCMCNTはカウントアップを開始します。CMCNTの値がコンペアマッチタイマコンスタントレジスタ (CMCOR) の値と一致すると、CMCNTはH'0000にクリアされ、CMCSRのCMFフラグが1にセットされます。このとき、CMCSRのCMIEビットが1に設定されていると、コンペアマッチ割り込み (CMI) を要求します。

CMCNTレジスタは16ビットのレジスタです。パワーオンリセットまたはスタンバイモード時にH'0000に初期化されます。マニュアルリセットでは初期化されません。

ビット： 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値： 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0

R/W： R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

14.2.4 コンペアマッチタイマコンスタントレジスタ (CMCOR)

コンペアマッチタイマコンスタントレジスタ (CMCOR) は CMCNT とのコンペアマッチ周期を設定します。

CMCOR レジスタは 16 ビットのレジスタです。パワーオンリセットまたはスタンバイモード時に H'FFFF に初期化されます。マニュアルリセットでは初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

14.3 動作説明

14.3.1 周期カウント動作

CMCSR レジスタの CKS1、CKS0 ビットで内部クロックを選択して CMSTR レジスタの STR ビットを 1 にセットすると、選択したクロックによって CMCNT カウンタはカウントアップを開始します。CMCNT カウンタの値がコンペアマッチコンスタントレジスタ (CMCOR) の値と一致すると、CMCNT カウンタは H'0000 にクリアされ、CMCSR レジスタの CMF フラグが 1 にセットされます。このとき、CMCSR レジスタの CMIE ビットが 1 に設定されていると、コンペアマッチ割り込み (CMI) を要求します。CMCNT カウンタは H'0000 から再びカウントアップ動作を再開します。

コンペアマッチカウンタの動作を図 14.2 に示します。

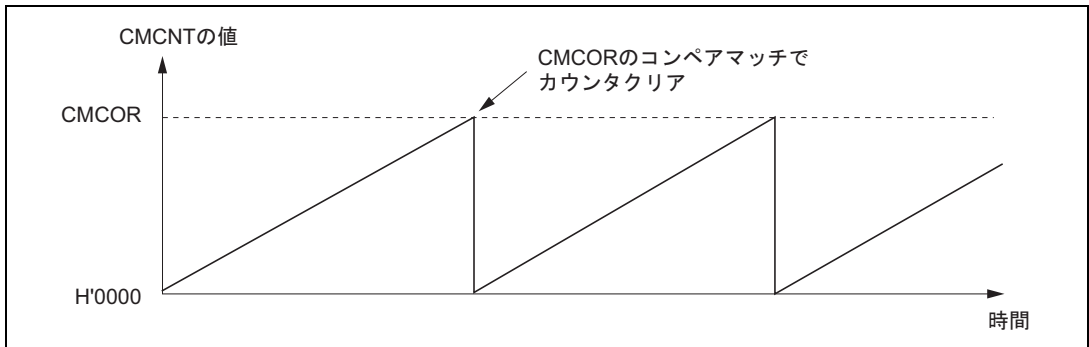


図 14.2 カウンタの動作

14.3.2 CMCNT のカウントタイミング

CMCSR の CKS1、CKS0 ビットにより、周辺クロック ($P\phi$) を分周した 4 種類の内部クロック ($P\phi/8$ 、 $P\phi/32$ 、 $P\phi/128$ 、 $P\phi/512$) が選択できます。このときのタイミングを図 14.3 に示します。

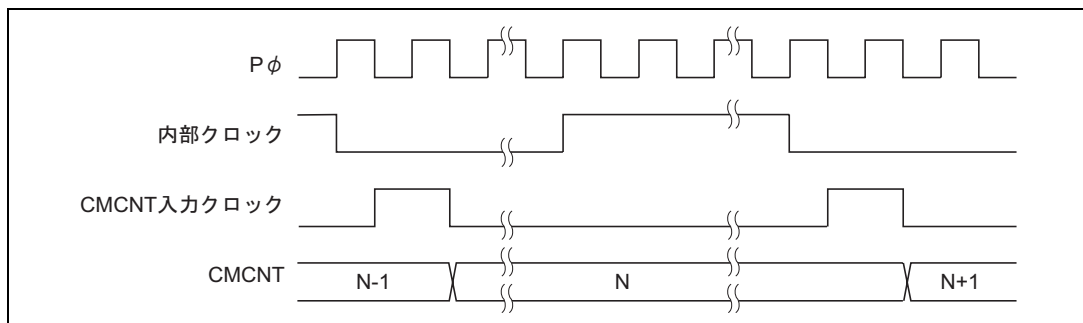


図 14.3 カウントタイミング

14.4 割り込み

14.4.1 割り込み要因

CMT は各チャンネルごとにコンペアマッチ割り込みを持ち、それぞれ独立なベクタアドレスが割り当てられています。割り込み要求フラグ **CMF** が 1 にセットされ、かつ割り込み許可ビット **CMIE** が 1 にセットされているとき、該当する割り込み要求が出力されます。

割り込み要求により CPU 割り込みを起動する場合、チャンネル間の優先順位は割り込みコントローラの設定により変更可能です。詳しくは「第 7 章 割り込みコントローラ (INTC)」を参照してください。

14.4.2 コンペアマッチフラグのセットタイミング

CMCSR レジスタの **CMF** ビットは、**CMCOR** レジスタと **CMCNT** カウンタが一致したときに発生するコンペアマッチ信号により 1 にセットされます。コンペアマッチ信号は、一致した最後のステート (**CMCNT** カウンタが一致したカウント値を更新するタイミング) で発生します。したがって、**CMCNT** カウンタと **CMCOR** レジスタが一致した後、**CMCNT** カウンタ入力クロックが発生するまでコンペアマッチ信号は発生しません。**CMF** ビットのセットタイミングを図 14.4 に示します。

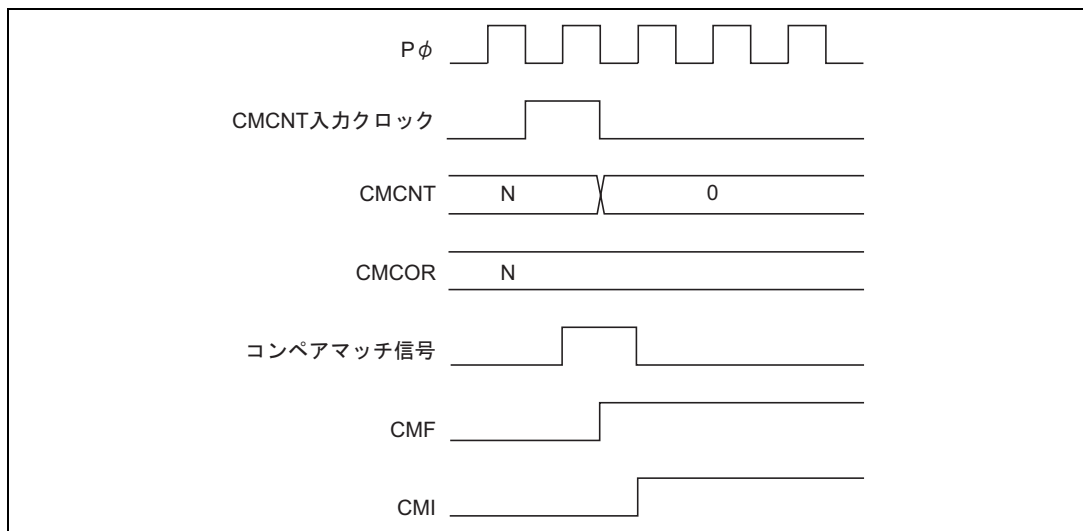


図 14.4 CMF のセットタイミング

14.4.3 コンペアマッチフラグのクリアタイミング

CMCSR レジスタの CMF ビットは、1 の状態を読み出したあとに 0 を書き込むことによりクリアされます。CPU による CMF ビットのクリアタイミングを図 14.5 に示します。

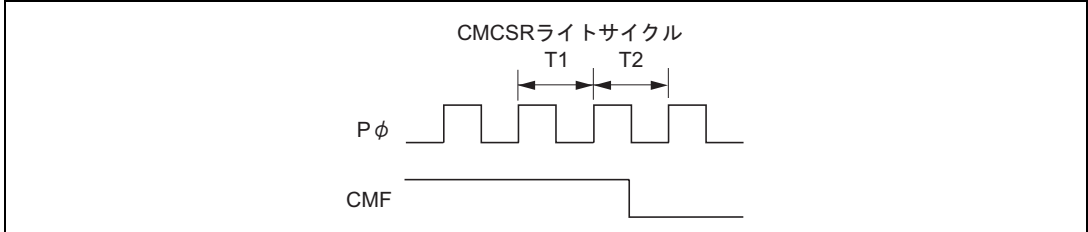


図 14.5 CPU による CMF のクリアタイミング

14.5 使用上の注意

CMT の動作中、次のような競合や動作が発生するので注意してください。

14.5.1 CMCNT の書き込みとコンペアマッチの競合

CMCNT カウンタのライトサイクル中の T2 ステートでコンペアマッチ信号が発生すると、CMCNT カウンタへの書き込みは行われず CMCNT カウンタのクリアが優先されます。このタイミングを図 14.6 に示します。

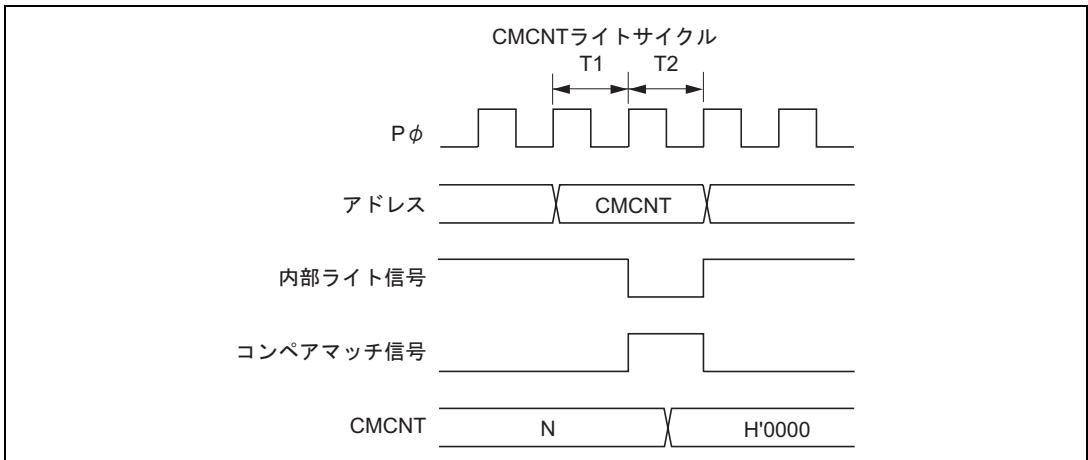


図 14.6 CMCNT の書き込みとコンペアマッチの競合

14.5.2 CMCNT のワード書き込みとカウントアップの競合

CMCNT カウンタのワードライトサイクル中の T2 ステートでカウントアップが発生しても、カウントアップされずにカウンタ書き込みが優先されます。このタイミングを図 14.7 に示します。

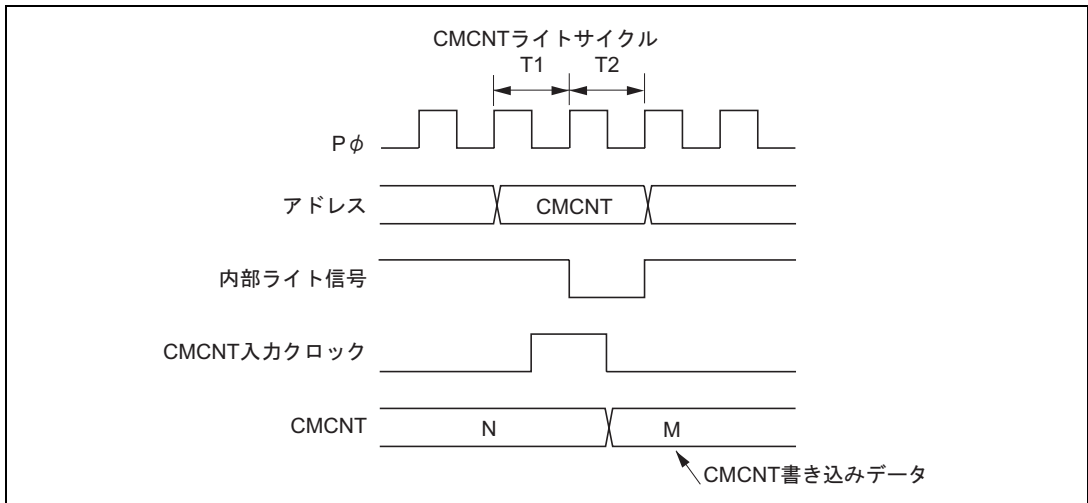


図 14.7 CMCNT のワード書き込みとカウントアップの競合

14.5.3 CMCNT のバイト書き込みとカウントアップの競合

CMCNT のバイトライトサイクル中の T2 ステートでカウントアップが発生しても、書き込みを行った側のライトデータはカウントアップされず、カウンタ書き込みが優先されます。書き込みを行わなかった側のバイトデータもカウントアップされず、書き込む前の内容となります。

CMCNTH ライトサイクル中の T2 ステートでカウントアップが発生した場合のタイミングを図 14.8 に示します。

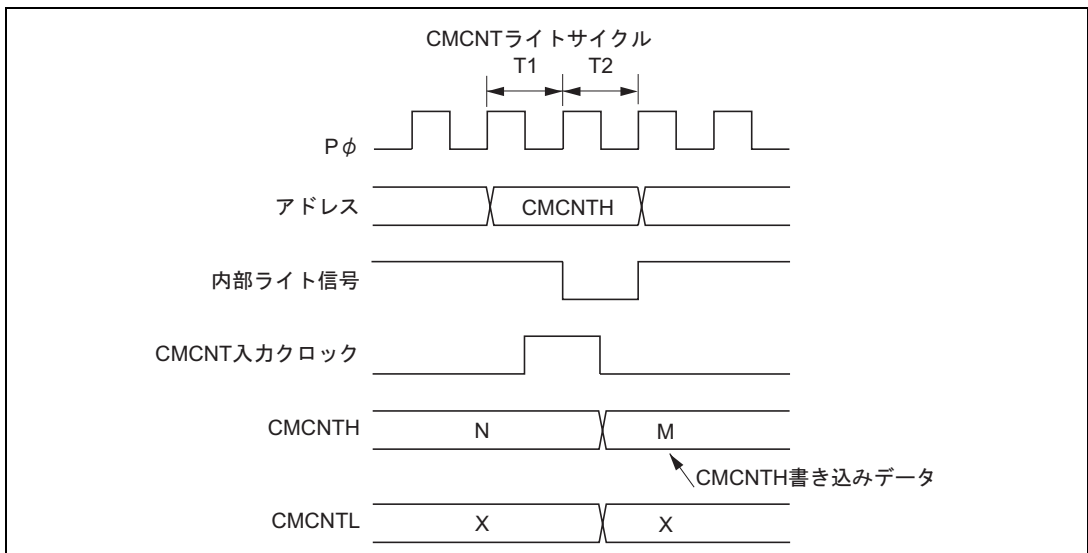


図 14.8 CMCNT のバイト書き込みとカウントアップの競合

15. シリアルコミュニケーションインタフェース (SCI)

15.1 概要

本 LSI は、独立した 5 チャンネルのシリアルコミュニケーションインタフェース (SCI) を備えています。

SCI は、調歩同期式通信とクロック同期式通信の 2 方式でシリアル通信ができます。複数のプロセッサ間のシリアル通信機能 (マルチプロセッサ通信機能)、クロック反転入出力機能を備えています。

15.1.1 特長

SCI には次のような特長があります。

- シリアル通信モードを調歩同期式モード、またはクロック同期式モードから選択可能
- 調歩同期式モード
 - キャラクタ単位で同期をとる調歩同期方式でシリアルデータの通信を行います。Universal Asynchronous Receiver/Transmitter (UART) や Asynchronous Communication Interface Adapter (ACIA) など標準の調歩同期式通信用 LSI とのシリアルデータ通信が可能です。また、複数のプロセッサとシリアルデータ通信ができるマルチプロセッサ間通信機能を備えています。
 - シリアルデータ通信フォーマットを 12 種類のフォーマットから選択できます。
 - データ長 : 7 ビット、または 8 ビット
 - ストップビット長 : 1 ビット、または 2 ビット
 - パリティ : 偶数パリティ、奇数パリティ、またはパリティなし
 - マルチプロセッサビット : 1 または 0
 - 受信エラーの検出 :
 - パリティエラー、オーバランエラー、フレーミングエラーを検出
 - ブレークの検出 :
 - フレーミングエラー発生時に RxD 端子のレベルを直接読み出すことによりブレークを検出できます。
- クロック同期式モード
 - クロックに同期してシリアルデータ通信を行います。クロック同期式通信機能を持つ他の LSI とのシリアルデータ通信が可能です。
 - シリアルデータ通信フォーマットは 1 種類です。
 - データ長 : 8 ビット
 - 受信エラーの検出 : オーバランエラーを検出
 - 同期クロック反転入出力
- 全二重通信が可能
 - 独立した送信部と受信部を備えているので、送信と受信を同時に行うことができます。また、送信部、および受信部ともにダブルバッファ構造になっていますのでシリアルデータの連続送信、連続受信ができます。
- 内蔵ボーレートジェネレータにより任意のビットレートを選択可能
- 送受信クロックソースを、ボーレートジェネレータからの内部クロック、または SCK 端子からの外部クロックから選択可能

15. シリアルコミュニケーションインタフェース (SCI)

- 4種類の割り込み要因
送信データエンプティ、送信終了、受信データフル、受信エラーの4種類の割り込み要因があり、それぞれ独立に要求することができます。また、送信データエンプティ割り込みと受信データフル割り込みによりダイレクトメモリアクセスコントローラ (DMAC) を起動させてデータの転送を行うことができます。
 - LSBファースト方式/MSBファースト方式の選択可能 (8ビット長)
通信モードによらず選択可能。*
- 【注】** * 本章では、LSB ファースト方式の例について説明しています。

15.1.2 ブロック図

図 15.1 に SCI のブロック図を示します。

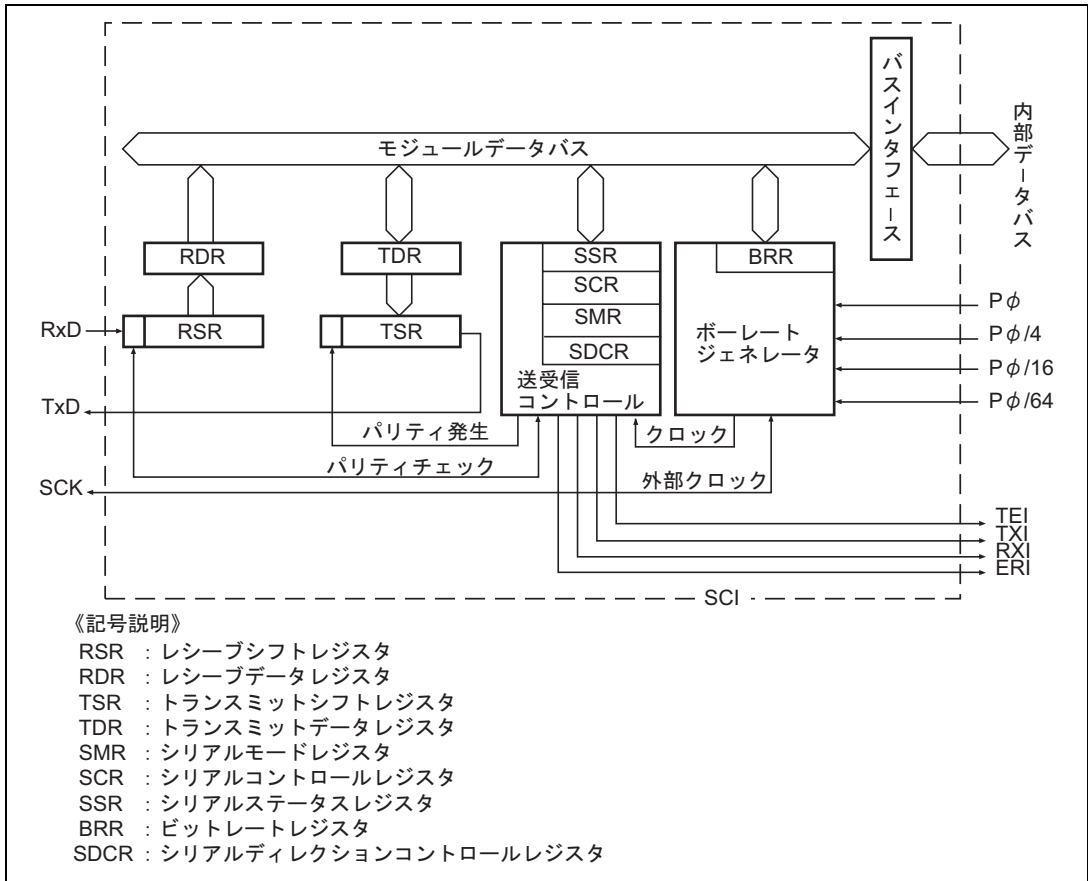


図 15.1 SCI のブロック図

15. シリアルコミュニケーションインタフェース (SCI)

15.1.3 端子構成

SCI は、チャンネルごとに表 15.1 に示すシリアル端子を持っています。

表 15.1 端子構成

チャンネル	名称	略称	入出力	機能
0	シリアルクロック端子	SCK0	入出力	SCI0 のクロック入出力
	レシーブデータ端子	RxD0	入力	SCI0 の受信データ入力
	トランスミットデータ端子	TxD0	出力	SCI0 の送信データ出力
1	シリアルクロック端子	SCK1	入出力	SCI1 のクロック入出力
	レシーブデータ端子	RxD1	入力	SCI1 の受信データ入力
	トランスミットデータ端子	TxD1	出力	SCI1 の送信データ出力
2	シリアルクロック端子	SCK2	入出力	SCI2 のクロック入出力
	レシーブデータ端子	RxD2	入力	SCI2 の受信データ入力
	トランスミットデータ端子	TxD2	出力	SCI2 の送信データ出力
3	シリアルクロック端子	SCK3	入出力	SCI3 のクロック入出力
	レシーブデータ端子	RxD3	入力	SCI3 の受信データ入力
	トランスミットデータ端子	TxD3	出力	SCI3 の送信データ出力
4	シリアルクロック端子	SCK4	入出力	SCI4 のクロック入出力
	レシーブデータ端子	RxD4	入力	SCI4 の受信データ入力
	トランスミットデータ端子	TxD4	出力	SCI4 の送信データ出力

【注】本文中ではチャンネルを省略し、それぞれ SCK、RxD、TxD と略称します。

15.1.4 レジスタ構成

SCIには、表 15.2 に示す内部レジスタがあります。これらのレジスタにより調歩同期式モード／クロック同期式モードの指定、データフォーマットの指定、ビットレートの指定、および送信部／受信部の制御を行うことができます。

表 15.2 レジスタ構成

チャンネル	名称	略称	R/W	初期値	アドレス*2	アクセスサイズ
0	シリアルモードレジスタ 0	SMR0	R/W	H'00	H'FFFFFF00	8、16
	ビットレートレジスタ 0	BRR0	R/W	H'FF	H'FFFFFF01	8、16
	シリアルコントロールレジスタ 0	SCR0	R/W	H'00	H'FFFFFF02	8、16
	トランスミットデータレジスタ 0	TDR0	R/W	H'FF	H'FFFFFF03	8、16
	シリアルステータスレジスタ 0	SSR0	R/(W)*1	H'84	H'FFFFFF04	8、16
	レシーブデータレジスタ 0	RDR0	R	H'00	H'FFFFFF05	8、16
	シリアルディレクション コントロールレジスタ 0	SDCR0	R/W	H'F2	H'FFFFFF06	8
1	シリアルモードレジスタ 1	SMR1	R/W	H'00	H'FFFFFF08	8、16
	ビットレートレジスタ 1	BRR1	R/W	H'FF	H'FFFFFF09	8、16
	シリアルコントロールレジスタ 1	SCR1	R/W	H'00	H'FFFFFF00A	8、16
	トランスミットデータレジスタ 1	TDR1	R/W	H'FF	H'FFFFFF00B	8、16
	シリアルステータスレジスタ 1	SSR1	R/(W)*1	H'84	H'FFFFFF00C	8、16
	レシーブデータレジスタ 1	RDR1	R	H'00	H'FFFFFF00D	8、16
	シリアルディレクション コントロールレジスタ 1	SDCR1	R/W	H'F2	H'FFFFFF00E	8
2	シリアルモードレジスタ 2	SMR2	R/W	H'00	H'FFFFFF10	8、16
	ビットレートレジスタ 2	BRR2	R/W	H'FF	H'FFFFFF11	8、16
	シリアルコントロールレジスタ 2	SCR2	R/W	H'00	H'FFFFFF12	8、16
	トランスミットデータレジスタ 2	TDR2	R/W	H'FF	H'FFFFFF13	8、16
	シリアルステータスレジスタ 2	SSR2	R/(W)*1	H'84	H'FFFFFF14	8、16
	レシーブデータレジスタ 2	RDR2	R	H'00	H'FFFFFF15	8、16
	シリアルディレクション コントロールレジスタ 2	SDCR2	R/W	H'F2	H'FFFFFF16	8

15. シリアルコミュニケーションインタフェース (SCI)

チャンネル	名称	略称	R/W	初期値	アドレス* ²	アクセスサイズ
3	シリアルモードレジスタ 3	SMR3	R/W	H'00	H'FFFFFF018	8、16
	ビットレートレジスタ 3	BRR3	R/W	H'FF	H'FFFFFF019	8、16
	シリアルコントロールレジスタ 3	SCR3	R/W	H'00	H'FFFFFF01A	8、16
	トランスミットデータレジスタ 3	TDR3	R/W	H'FF	H'FFFFFF01B	8、16
	シリアルステータスレジスタ 3	SSR3	R/(W)* ¹	H'84	H'FFFFFF01C	8、16
	レシーブデータレジスタ 3	RDR3	R	H'00	H'FFFFFF01D	8、16
	シリアルディレクション コントロールレジスタ 3	SDCR3	R/W	H'F2	H'FFFFFF01E	8
4	シリアルモードレジスタ 4	SMR4	R/W	H'00	H'FFFFFF020	8、16
	ビットレートレジスタ 4	BRR4	R/W	H'FF	H'FFFFFF021	8、16
	シリアルコントロールレジスタ 4	SCR4	R/W	H'00	H'FFFFFF022	8、16
	トランスミットデータレジスタ 4	TDR4	R/W	H'FF	H'FFFFFF023	8、16
	シリアルステータスレジスタ 4	SSR4	R/(W)* ¹	H'84	H'FFFFFF024	8、16
	レシーブデータレジスタ 4	RDR4	R	H'00	H'FFFFFF025	8、16
	シリアルディレクション コントロールレジスタ 4	SDCR4	R/W	H'F2	H'FFFFFF026	8

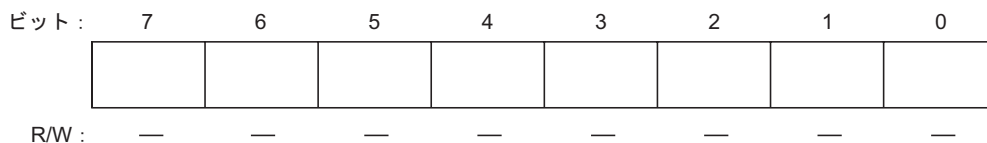
【注】 内部クロック通倍比が4通倍時のレジスタアクセスは、バイトアクセス時の内部クロック (ϕ) で4または5サイクル、ワードアクセス時の内部クロック (ϕ) で8または9サイクルとなります。

*1 フラグをクリアするために0のみ書き込むことができます。

*2 空きアドレスはアクセスしないでください。

15.2 レジスタの説明

15.2.1 レシーブシフトレジスタ (RSR)

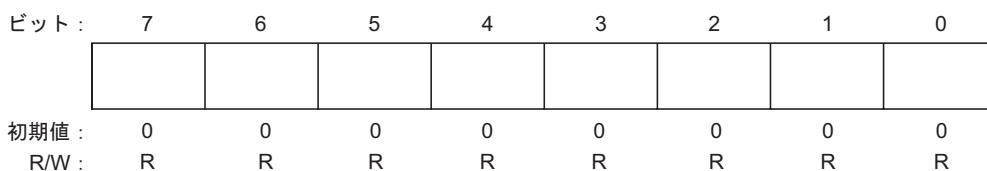


レシーブシフトレジスタ (RSR) は、シリアルデータを受信するためのレジスタです。

SCI は、RSR に RxD 端子から入力されたシリアルデータを LSB (ビット 0) から受信した順にセットし、パラレルデータに変換します。1 バイトのデータ受信を終了すると、データは自動的に RDR へ転送されます。

CPU から直接 RSR の読み出し/書き込みをすることはできません。

15.2.2 レシーブデータレジスタ (RDR)



レシーブデータレジスタ (RDR) は受信したシリアルデータを格納するレジスタです。

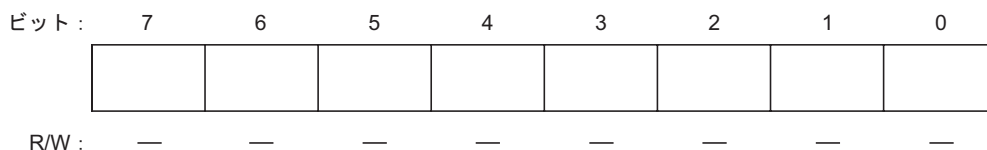
SCI は、1 バイトのシリアルデータの受信が終了すると、レシーブシフトレジスタ (RSR) から RDR へ受信したシリアルデータを転送して格納し、受信動作を完了します。この後、RSR は受信可能になります。

このように、RSR と RDR はダブルバッファのため、連続した受信動作が可能です。

RDR は、読み出し専用レジスタですので CPU から書き込むことはできません。

RDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'00 に初期化されます。マニュアルリセットでは初期化されません。

15.2.3 トランスミットシフトレジスタ (TSR)



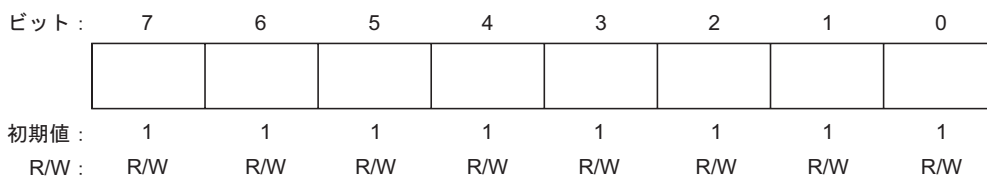
トランスミットシフトレジスタ (TSR) はシリアルデータを送信するためのレジスタです。

SCI は、トランスミットデータレジスタ (TDR) から送信データをいったん TSR に転送し、LSB (ビット 0) から順に TxD 端子に送り出すことでシリアルデータ送信を行います。

1 バイトのデータ送信を終了すると自動的に TDR から TSR へ次の送信データを転送し、送信を開始します。ただし、シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされている場合には、TDR から TSR へのデータ転送は行いません。

CPU から、直接 TSR の読み出し/書き込みをすることはできません。

15.2.4 トランスミットデータレジスタ (TDR)



トランスミットデータレジスタ (TDR) は、シリアル送信するデータを格納する 8 ビットのレジスタです。

SCI は、トランスミットシフトレジスタ (TSR) の空を検出すると、TDR に書き込まれた送信データを TSR に転送してシリアル送信を開始します。TSR のシリアルデータ送信中に TDR に次の送信データを書き込んでおくと、連続シリアル送信ができます。

TDR は、常に CPU による読み出し/書き込みが可能です。

TDR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで HFF に初期化されます。マニュアルリセットでは初期化されません。

15.2.5 シリアルモードレジスタ (SMR)

ビット:	7	6	5	4	3	2	1	0
	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルモードレジスタ (SMR) は、SCI のシリアル通信フォーマットの設定と、ボーレートジェネレータのクロックソースを選択するための 8 ビットのレジスタです。

SMR は、常に CPU による読み出し/書き込みが可能です。

SMR は、パワーオンリセット、およびハードウェアスタンバイモードで H'00 に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

ビット 7: コミュニケーションモード (C/ \bar{A})

SCI の動作モードを調歩同期式モードとクロック同期式モードのいずれかから選択します。

ビット 7	説 明	
C/ \bar{A}		
0	調歩同期式モード	(初期値)
1	クロック同期式モード	

ビット 6: キャラクターレングス (CHR)

調歩同期式モードのデータ長を 7 ビット/8 ビットデータのいずれかから選択します。

クロック同期式モードでは CHR の設定にかかわらず、データ長は 8 ビットデータ固定です。

ビット 6	説 明	
CHR		
0	8 ビットデータ	(初期値)
1	7 ビットデータ*	

【注】 * 7 ビットデータを選択した場合、トランスミットデータレジスタ (TDR) の MSB (ビット 7) は送信されません。また、MSB ファーストの選択は行わないでください。

15. シリアルコミュニケーションインタフェース (SCI)

ビット5：パリティイネーブル (PE)

調歩同期式モードでは、送信時にパリティビットの付加を、受信時にパリティビットのチェックを行うかどうかを選択します。クロック同期式モードとマルチプロセッサフォーマットでは、PE ビットの設定にかかわらずパリティビットの付加、およびチェックは行いません。

ビット5	説明
PE	
0	パリティビットの付加、およびチェックを禁止 (初期値)
1	パリティビットの付加、およびチェックを許可*

【注】 * PE ビットに1をセットすると、送信時には、O/E ビットで指定した偶数、または奇数パリティを送信データに付加して送信します。受信時には、受信したパリティビットが O/E ビットで指定した偶数、または奇数パリティになっているかどうかをチェックします。

ビット4：パリティモード (O/E)

パリティの付加やチェックを偶数パリティ、または奇数パリティのいずれかで行うかを選択します。O/E ビットの設定は、調歩同期式モードで PE ビットに1を設定しパリティビットの付加やチェックを許可したときのみ有効になります。クロック同期式モードや、調歩同期式モードでパリティの付加やチェックを禁止している場合とマルチプロセッサフォーマットでは、O/E ビットの指定は無効です。

ビット4	説明
O/E	
0	偶数パリティ* ¹ (初期値)
1	奇数パリティ* ²

【注】 *¹ 偶数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が偶数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が偶数であるかどうかをチェックします。
*² 奇数パリティに設定すると送信時には、パリティビットと送信キャラクタを合わせて、その中の1の数の合計が奇数になるようにパリティビットを付加して送信します。
受信時には、パリティビットと受信キャラクタを合わせて、その中の1の数の合計が奇数であるかどうかをチェックします。

ビット3：ストップビットレングス (STOP)

調歩同期式モードでのストップビットの長さを1ビット/2ビットのいずれかから選択します。STOP ビットの設定は調歩同期式モードでのみ有効になります。クロック同期式モードに設定した場合にはストップビットは付加されませんので、このビットの設定は無効です。

ビット3	説 明	
STOP		
0	1ストップビット* ¹	(初期値)
1	2ストップビット* ²	

【注】 *1 送信時には、送信キャラクタの最後尾に1ビットの1 (ストップビット) を付加して送信します。

*2 送信時には、送信キャラクタの最後尾に2ビットの1 (ストップビット) を付加して送信します。

なお、受信時にはSTOP ビットの設定にかかわらず、受信したストップビットの1ビット目のみをチェックします。ストップビットの2ビット目が1の場合は、ストップビットとして扱いますが、0の場合は、次の送信キャラクタのスタートビットとして扱います。

ビット2：マルチプロセッサモード (MP)

マルチプロセッサフォーマットを選択します。マルチプロセッサフォーマットを選択した場合、PE ビット、およびO/E ビットにおけるパリティの設定は無効になります。また、MP ビットの設定は、調歩同期式モードのときのみ有効です。クロック同期式モードでは、MP ビットの設定は無効です。

マルチプロセッサ通信機能については、「15.3.3 マルチプロセッサの通信機能」を参照してください。

ビット2	説 明	
MP		
0	マルチプロセッサ機能を禁止	(初期値)
1	マルチプロセッサフォーマットを選択	

ビット1、0：クロックセレクト1、0 (CKS1、CKS0)

内蔵ボーレートジェネレータのクロックソースを選択します。CKS1、CKS0 ビットの設定でPφ、Pφ/4、Pφ/16、Pφ/64の4種類からクロックソースを選択できます。Pφは周辺クロックです。

クロックソースと、ビットレートレジスタの設定値、およびボーレートの関係については、「15.2.8 ビットレートレジスタ (BRR)」を参照してください。

ビット1	ビット0	説 明	
CKS1	CKS0		
0	0	Pφクロック	(初期値)
	1	Pφ/4クロック	
1	0	Pφ/16クロック	
	1	Pφ/64クロック	

15.2.6 シリアルコントロールレジスタ (SCR)

ビット:	7	6	5	4	3	2	1	0
	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

シリアルコントロールレジスタ (SCR) は、SCI の送信/受信動作、調歩同期式モードでのシリアルクロック出力、割り込み要求の許可/禁止、および送信/受信クロックソースの選択を行うレジスタです。

SCR は、常に CPU による読み出し/書き込みが可能です。

SCR は、パワーオンリセット、およびハードウェアスタンバイモードで H'00 に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

ビット7: トランスミットインタラプトイネーブル (TIE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) へシリアル送信データが転送されシリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされたときに、送信データエンプティ割り込み (TXI) 要求の発生を許可/禁止します。

ビット7	説明
TIE	
0	送信データエンプティ割り込み (TXI) 要求を禁止* (初期値)
1	送信データエンプティ割り込み (TXI) 要求を許可

【注】 * TXI の解除は、TDRE ビットの 1 を読み出した後、0 にクリアするか、または TIE を 0 にクリアすることで行うことができます。

ビット6: レシーブインタラプトイネーブル (RIE)

シリアル受信データがレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へ転送されて SSR の RDRF ビットが 1 にセットされたとき、受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求の発生を許可/禁止します。

ビット6	説明
RIE	
0	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を禁止* (初期値)
1	受信データフル割り込み (RXI) 要求、および受信エラー割り込み (ERI) 要求を許可

【注】 * RXI、および ERI 割り込み要求の解除は、RDRF ビット、または FER、PER、ORER ビットの 1 を読み出した後、0 にクリアするか、RIE ビットを 0 にクリアすることで行えます。

ビット5：トランスミットイネーブル (TE)

SCI のシリアル送信動作の開始を許可／禁止します。

ビット5	説 明	
TE		
0	送信動作を禁止* ¹	(初期値)
1	送信動作を許可* ²	

- 【注】 *1 SSR の TDRE ビットは1に固定されます。
 *2 この状態で、TDR に送信データを書き込んで、SSR の TDRE ビットを0にクリアするとシリアル送信を開始します。
 なお、TE ビットを1にセットする前に必ずシリアルモードレジスタ (SMR) の設定を行い送信フォーマットを決定してください。

ビット4：レシーブイネーブル (RE)

SCI のシリアル受信動作の開始を許可／禁止します。

ビット4	説 明	
RE		
0	受信動作を禁止* ¹	(初期値)
1	受信動作を許可* ²	

- 【注】 *1 RE ビットを0にクリアしても RDRF、FER、PER、ORER の各ビットは影響を受けず、状態を保持しますので注意してください。
 *2 この状態で調歩同期式モードの場合はスタートビットを、クロック同期式モードの場合は同期クロック入力をそれぞれ検出すると、シリアル受信を開始します。
 なお、RE ビットを1にセットする前に必ず SMR の設定を行い、受信フォーマットを決定してください。

15. シリアルコミュニケーションインタフェース (SCI)

ビット3：マルチプロセッサインタラプトイネーブル (MPIE)

マルチプロセッサ割り込みを許可／禁止します。MPIE ビットの設定は、調歩同期式モードで、かつ、SMR の MP ビットが 1 に設定されている受信時にのみ有効です。

クロック同期式モードのとき、あるいは MP ビットが 0 のときには MPIE ビットの設定は無効です。

ビット3	説明
MPIE	
0	マルチプロセッサ割り込み禁止状態（通常の受信動作をします） [クリア条件] (1) MPIE ビットを 0 にクリア (2) MPB=1 のデータを受信したとき (初期値)
1	マルチプロセッサ割り込み許可状態* マルチプロセッサビットが 1 のデータを受け取るまで受信割り込み (RXI) 要求、受信エラー割り込み (ERI) 要求、および SSR の RDRF、FER、ORER の各フラグのセットを禁止します。

【注】 * MPB=0 を含む受信データを受信しているときは RSR から RDR への受信データの転送、および受信エラーの検出と SSR の RDRF、FER、ORER の各フラグのセットは行いません。MPB=1 を含む受信データを受信すると、SSR の MPB ビットを 1 にセットし、MPIE ビットを自動的に 0 にクリアし、RXI、ERI の発生 (SCR の TIE、RIE ビットが 1 にセットされている場合) と FER、ORER フラグのセットが許可されます。

ビット2：トランスミットエンドインタラプトイネーブル (TEIE)

MSB データ送出時に有効な送信データが TDR がないとき、送信終了割り込み (TEI) 要求の発生を許可／禁止します。

ビット2	説明
TEIE	
0	送信終了割り込み (TEI) 要求を禁止* (初期値)
1	送信終了割り込み (TEI) 要求を許可*

【注】 * TEI の解除は、SSR の TDRE ビットの 1 を読み出した後、0 にクリアして TEND ビットを 0 にクリアするか、TEIE ビットを 0 にクリアすることで行うことができます。

ビット 1、0 : クロックイネーブル 1、0 (CKE1、CKE0)

SCI のクロックソースの選択、および SCK 端子からのクロック出力の許可/禁止を設定します。CKE1 ビットと CKE0 ビットの組み合わせによって SCK 端子をシリアルクロック出力端子にするか、またはシリアルクロック入力端子にするかが決まります。このとき、ピンファンクションコントローラ (PFC) で、SCK 端子の機能を選択しておいてください。

ただし、CKE0 ビットの設定は調歩同期式モードで内部クロック動作 (CKE1=0) 時のみ有効です。クロック同期式モードのとき、および外部クロック動作 (CKE1=1) の場合は CKE0 ビットの設定は無効です。

SCI のクロックソースの選択については「15.3 動作説明」の表 15.9 を参照してください。

ビット 1	ビット 0	説明 ^{*1}	
CKE1	CKE0		
0	0	調歩同期式モード	内部クロック/SCK 端子は入力端子 (入力信号は無視) または出力端子 (出力レベルは不定) ^{*2}
		クロック同期式モード	内部クロック/SCK 端子は同期クロック出力 ^{*2}
	1	調歩同期式モード	内部クロック/SCK 端子はクロック出力 ^{*3}
		クロック同期式モード	内部クロック/SCK 端子は同期クロック出力
1	0	調歩同期式モード	外部クロック/SCK 端子はクロック入力 ^{*4}
		クロック同期式モード	外部クロック/SCK 端子は同期クロック入力
	1	調歩同期式モード	外部クロック/SCK 端子はクロック入力 ^{*4}
		クロック同期式モード	外部クロック/SCK 端子は同期クロック入力

【注】 *1 SCK 端子は他の機能とマルチプレクスされています。この端子を SCK の機能とし、かつその入出力方向を選択するためには、ピンファンクションコントローラ (PFC) を設定してください。

*2 初期値

*3 ビットレートと同じ周波数のクロックを出力

*4 ビットレートの 16 倍の周波数のクロックを入力

15.2.7 シリアルステータスレジスタ (SSR)

ビット :	7	6	5	4	3	2	1	0
	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT
初期値 :	1	0	0	0	0	1	0	0
R/W :	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R	R	R/W

【注】 * フラグをクリアするために 0 のみ書き込むことができます。

15. シリアルコミュニケーションインタフェース (SCI)

シリアルステータスレジスタ (SSR) は、SCI の動作状態を示すステータスフラグと、マルチプロセッサフラグを内蔵した 8 ビットのレジスタです。

SSR は常に CPU から読み出し/書き込みができます。ただし、TDRE、RDRF、ORER、PER、FER の各ビットへ 1 を書き込むことはできません。また、これらを 0 にクリアするためには、あらかじめ 1 を読み出ししておく必要があります。また、TEND ビット、および MPB ビットは読み出し専用であり、書き込むことはできません。

SSR は、パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモードで H'84 に初期化されます。マニュアルリセットでは初期化されません。

ビット 7 : トランスミットデータレジスタエンプティ (TDRE)

トランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) にデータ転送が行われ、TDR に次のシリアル送信データを書き込むことが可能になったことを示します。

ビット 7	説明
TDRE	
0	TDR に有効な送信データが書き込まれていることを表示 [クリア条件] (1) TDRE=1 の状態を読み出した後、0 を書き込んだとき (2) DMAC で TDR ヘデータを書き込んだとき
1	TDR に有効な送信データがないことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、およびソフトウェアスタンバイモード時 (2) SCR の TE ビットが 0 のとき (3) TDR から TSR にデータ転送が行われ TDR にデータの書き込みが可能になったとき

ビット 6 : レシーブデータレジスタフル (RDRF)

受信したデータがレシーブデータレジスタ (RDR) に格納されていることを示します。

ビット 6	説明
RDRF	
0	RDR に有効な受信データが格納されていないことを表示 (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) RDRF=1 の状態を読み出した後、0 を書き込んだとき (3) DMAC で RDR のデータを読み出したとき
1	RDR に有効な受信データが格納されていることを表示 [セット条件] シリアル受信が正常終了し、RSR から RDR へ受信データが転送されたとき

【注】 受信時にエラーを検出したとき、およびシリアルコントロールレジスタ (SCR) の RE ビットを 0 にクリアしたときには RDR および RDRF ビットは影響を受けず以前の状態を保持します。RDRF フラグが 1 にセットされたまま次のデータを受信完了するとオーバーランエラーを発生し、受信データが失われますので注意してください。

ビット5：オーバランエラー (ORER)

受信時にオーバランエラーが発生して異常終了したことを示します。

ビット5	説明
ORER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) ORER=1の状態を読み出した後、0を書き込んだとき
1	受信時にオーバランエラーが発生したことを表示* ² [セット条件] RDRF=1の状態での次のシリアル受信を完了したとき

【注】 *1 SCRのREビットを0にクリアしたときには、ORERフラグは影響を受けず以前の状態を保持します。

*2 RDRではオーバランエラーが発生する前の受信データを保持し、後から受信したデータが失われます。さらに、ORER=1にセットされた状態で、以降のシリアル受信を続けることはできません。なお、クロック同期式モードでは、シリアル送信を続けることもできません。

ビット4：フレーミングエラー (FER)

調歩同期式モードで受信時にフレーミングエラーが発生して異常終了したことを示します。

ビット4	説明
FER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) FER=1の状態を読み出した後、0を書き込んだとき
1	受信時にフレーミングエラーが発生したことを表示* ² [セット条件] SCIが受信終了時に受信データの最後尾のストップビットが1であるかどうかをチェックし、ストップビットが0であったとき* ²

【注】 *1 SCRのREビットを0にクリアしたときには、FERフラグは影響を受けず以前の状態を保持します。

*2 2ストップビットモードのときは、1ビット目のストップビットが1であるかどうかのみを判定し、2ビット目のストップビットはチェックしません。なお、フレーミングエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。さらに、FERフラグが1にセットされた状態においては、以降のシリアル受信を続けることはできません。

15. シリアルコミュニケーションインタフェース (SCI)

ビット3：パリティエラー (PER)

調歩同期式モードで、パリティを付加した受信時にパリティエラーが発生して異常終了したことを示します。

ビット3	説明
PER	
0	受信中、または正常に受信を完了したことを表示* ¹ (初期値) [クリア条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) PER=1の状態を読み出した後、0を書き込んだとき
1	受信時にパリティエラーが発生したことを表示* ² [セット条件] 受信時の受信データとパリティビットを合わせた1の数が、シリアルモードレジスタ (SMR) のO/Eビットで指定した偶数パリティ/奇数パリティの設定と一致しなかったとき

【注】 *1 SCRのREビットを0にクリアしたときには、PERフラグは影響を受けず以前の状態を保持します。

*2 パリティエラーが発生したときの受信データはRDRに転送されますが、RDRFフラグはセットされません。なお、PERフラグが1にセットされた状態では、以降のシリアル受信を続けることはできません。

ビット2：トランスミットエンド (TEND)

送信キャラクタの最後尾ビットの送信時にTDRに有効なデータがなく、送信を終了したことを示します。

TENDビットは読み出し専用ですので、書き込むことはできません。

ビット2	説明
TEND	
0	送信中であることを表示 [クリア条件] (1) TDRE=1の状態を読み出した後、TDREフラグに0を書き込んだとき (2) DMACでTDRヘータを書き込んだとき
1	送信を終了したことを表示 (初期値) [セット条件] (1) パワーオンリセット、ハードウェアスタンバイモード、またはソフトウェアスタンバイモード時 (2) SCRのTEビットが0のとき (3) 1バイトのシリアル送信キャラクタの最後尾ビットの送信時にTDRE=1であったとき

ビット1：マルチプロセッサビット (MPB)

調歩同期式モードで受信をマルチプロセッサフォーマットで行うときに、受信データ中のマルチプロセッサビットを格納します。

MPB ビットは、読み出し専用ですので、書き込むことはできません。

ビット1	説明
MPB	
0	マルチプロセッサビットが0のデータを受信したことを表示* (初期値)
1	マルチプロセッサビットが1のデータを受信したことを表示

【注】 * マルチプロセッサフォーマットで SCR の RE ビットを0にクリアしたときには、以前の状態を保持します。

ビット0：マルチプロセッサビットトランスファ (MPBT)

調歩同期式モードで送信をマルチプロセッサフォーマットで行うときに、送信データに付加するマルチプロセッサビットを格納します。

クロック同期式モードやマルチプロセッサフォーマットでないとき、あるいは送信でないときには MPBT ビットの設定は無効です。

ビット0	説明
MPBT	
0	マルチプロセッサビットが0のデータを送信 (初期値)
1	マルチプロセッサビットが1のデータを送信

15.2.8 ビットレートレジスタ (BRR)

ビット：	7	6	5	4	3	2	1	0
	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビットレートレジスタ (BRR) は、シリアルモードレジスタ (SMR) の CKS1、CKS0 ビットで選択されるボーレートジェネレータの動作クロックと合わせて、シリアル送信/受信のビットレートを設定する 8 ビットのレジスタです。

BRR は、常に CPU による読み出し/書き込みが可能です。

BRR は、パワーオンリセット、およびハードウェアスタンバイモードで HFF に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

なお、チャンネルごとにボーレートジェネレータの制御が独立していますので、それぞれ異なる値を設定することができます。

表 15.3 に調歩同期式モードの BRR の設定例を、表 15.4 にクロック同期式モードの BRR の設定例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (1)

Pφ(MHz) ビット レート(bit/s)	10			11.0592			12			12.288		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	177	-0.25	2	195	0.19	2	212	0.03	2	217	0.08
150	2	129	0.16	2	143	0.00	2	155	0.16	2	159	0.00
300	2	64	0.16	2	71	0.00	2	77	0.16	2	79	0.00
600	1	129	0.16	1	143	0.00	1	155	0.16	1	159	0.00
1200	1	64	0.16	1	71	0.00	1	77	0.16	1	79	0.00
2400	0	129	0.16	0	143	0.00	0	155	0.16	0	159	0.00
4800	0	64	0.16	0	71	0.00	0	77	0.16	0	79	0.00
9600	0	32	-1.36	0	35	0.00	0	28	0.16	0	39	0.00
14400	0	21	-1.36	0	23	0.00	0	25	0.16	0	26	-1.23
19200	0	15	1.73	0	19	0.00	0	19	-2.34	0	19	0.00
28800	0	10	-1.36	0	11	0.00	0	12	0.16	0	12	2.56
31250	0	9	0.00	0	10	0.54	0	11	0.00	0	11	2.40
38400	0	7	1.73	0	8	0.00	0	9	-2.34	0	9	0.00

Pφ(MHz) ビット レート(bit/s)	14			14.7456			16			17.2032		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	2	248	-0.17	3	64	0.70	3	70	0.03	3	75	0.48
150	2	181	0.16	2	191	0.00	2	207	0.16	2	223	0.00
300	2	90	0.16	2	95	0.00	2	103	0.16	2	111	0.00
600	1	181	0.16	1	191	0.00	1	207	0.16	1	223	0.00
1200	1	90	0.16	1	95	0.00	1	103	0.16	1	111	0.00
2400	0	181	0.16	0	191	0.00	0	207	0.16	0	223	0.00
4800	0	90	0.16	0	95	0.00	0	103	0.16	0	111	0.00
9600	0	45	-0.93	0	47	0.00	0	51	0.16	0	55	0.00
14400	0	29	1.27	0	31	0.00	0	34	-0.79	0	36	0.90
19200	0	22	-0.93	0	23	0.00	0	25	0.16	0	27	0.00
28800	0	14	1.27	0	15	0.00	0	16	2.12	0	18	-1.75
31250	0	13	0.00	0	14	-1.70	0	15	0.00	0	16	1.20
38400	0	10	3.57	0	11	0.00	0	12	0.16	0	13	0.00

表 15.3 ビットレートに対する BRR の設定例〔調歩同期式モード〕 (2)

Pφ(MHz) ビット レート(bit/s)	18			18.432			19.6608			20		
	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)	n	N	誤差 (%)
110	3	79	-0.12	3	81	-0.22	3	86	0.31	3	88	-0.25
150	2	233	0.16	2	239	0.00	2	255	0.00	3	64	0.16
300	2	116	0.16	2	119	0.00	2	127	0.00	2	129	0.16
600	1	233	0.16	1	239	0.00	1	255	0.00	2	64	0.16
1200	1	116	0.16	1	119	0.00	1	127	0.00	1	129	0.16
2400	0	233	0.16	0	239	0.00	0	255	0.00	1	64	0.16
4800	0	116	0.16	0	119	0.00	0	127	0.00	0	129	0.16
9600	0	58	-0.69	0	59	0.00	0	63	0.00	0	64	0.16
14400	0	38	0.16	0	39	0.00	0	42	-0.78	0	42	0.94
19200	0	28	1.02	0	29	0.00	0	31	0.00	0	32	-1.36
28800	0	19	-2.34	0	19	0.00	0	20	1.59	0	21	-1.36
31250	0	17	0.00	0	17	2.40	0	19	-1.70	0	19	0.00
38400	0	14	-2.34	0	14	0.00	0	15	0.00	0	15	1.73

表 15.4 ビットレートに対する BRR の設定例〔クロック同期式モード〕

Pφ(MHz) ビット レート(bit/s)	10		12		16		20	
	n	N	n	N	n	N	n	N
250	—	—	3	187	3	249		
500	—	—	3	93	3	124	—	—
1k	—	—	2	187	2	249	—	—
2.5k	1	249	2	74	2	99	2	124
5k	1	124	1	149	1	199	1	249
10k	0	249	1	74	1	99	1	124
25k	0	99	0	119	0	159	0	199
50k	0	49	0	59	0	79	0	99
100k	0	24	0	29	0	39	0	49
250k	0	9	0	11	0	15	0	19
500k	0	4	0	5	0	7	0	9
1M			0	2	0	3	0	4
2.5M	0	0*	0	0*	-	-	0	1
5M							0	0*

【注】 誤差は、なるべく 1%以内になるように設定してください。

【記号説明】

- 空欄 : 設定できません。
 — : 設定可能ですが誤差がです。
 * : 連続送信／受信はできません。

15. シリアルコミュニケーションインタフェース (SCI)

BRR の設定値は以下の計算式で求められます。

[調歩同期式モード]

$$N = \frac{P\phi}{64 \cdot 2^{2n-1} \cdot B} \cdot 10^6 - 1$$

[クロック同期式モード]

$$N = \frac{P\phi}{8 \cdot 2^{2n-1} \cdot B} \cdot 10^6 - 1$$

B : ビットレート (bit/s)

N : ボーレートジェネレータの BRR の設定値 ($0 \leq N \leq 255$)

Pφ : 周辺モジュール動作周波数 (MHz)

n : ボーレートジェネレータ入力クロック (n=0、1、2、3)

(n とクロックの関係は下表を参照してください。)

n	クロック	SMR の設定値	
		CKS1	CKS0
0	Pφ	0	0
1	Pφ/4	0	1
2	Pφ/16	1	0
3	Pφ/64	1	1

調歩同期式モードのビットレート誤差は、以下の計算式で求められます。

$$\text{誤差 (\%)} = \left\{ \frac{P\phi \cdot 10^6}{(N+1) \cdot B \cdot 64 \cdot 2^{2n-1}} - 1 \right\} \cdot 100$$

15. シリアルコミュニケーションインタフェース (SCI)

表 15.5 にボーレートジェネレータを使用する場合の調歩同期式モードの各周波数における最大ビットレートを示します。また、表 15.6 と表 15.7 に外部クロック入力時の最大ビットレートを示します。

表 15.5 ボーレートジェネレータを使用する場合の各周波数における最大ビットレート
(調歩同期式モード)

Pφ (MHz)	最大ビットレート (bit/s)	設定値	
		n	N
10	312500	0	0
11.0592	345600	0	0
12	375000	0	0
12.288	384000	0	0
14	437500	0	0
14.7456	460800	0	0
16	500000	0	0
17.2032	537600	0	0
18	562500	0	0
18.432	576000	0	0
19.6608	614400	0	0
20	625000	0	0

表 15.6 外部クロック入力時の最大ビットレート (調歩同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	2.5000	156250
11.0592	2.7648	172800
12	3.0000	187500
12.288	3.0720	192000
14	3.5000	218750
14.7456	3.6864	230400
16	4.0000	250000
17.2032	4.3008	268800
18	4.5000	281250
18.432	4.6080	288000
19.6608	4.9152	307200
20	5.0000	312500

表 15.7 外部クロック入力時の最大ビットレート (クロック同期式モード)

Pφ (MHz)	外部入力クロック (MHz)	最大ビットレート (bit/s)
10	1.6667	1666666.7
12	2.0000	2000000.0
14	2.3333	2333333.3
16	2.6667	2666666.7
18	3.0000	3000000.0
20	3.3333	3333333.3

15.2.9 シリアルディレクションコントロールレジスタ (SDCR)

ビット:	7	6	5	4	3	2	1	0
	—	—	—	—	DIR	—	—	—
初期値:	1	1	1	1	0	0	1	0
R/W:	R	R	R	R	R/W	R	R	R

SDCR は、DIR ビットにより、LSB ファースト/MSB ファーストの選択を行います。シリアル通信モードによらず、8 ビット長の場合 LSB ファースト/MSB ファーストの選択が可能です。7 ビット長の場合 LSB ファーストを選択し、MSB ファーストの選択は行わないでください。本章の説明では、LSB ファーストの場合について説明しています。

SDCR は、パワーオンリセット、およびハードウェアスタンバイモードで H'F2 に初期化されます。マニュアルリセット、およびソフトウェアスタンバイモードでは初期化されません。

ビット7~4: 予約ビット

書き込む値は常に 1 にしてください。0 を書き込んだ場合、動作の保証はできません。

ビット3: データトランスファディレクション (DIR)

シリアル/パラレル変換フォーマットを選択します。送信/受信フォーマットが 8 ビットの場合に有効です。

ビット3	説明
DIR	
0	TDR の内容を LSB ファーストで送信 受信データを LSB ファーストとして RDR に格納 (初期値)
1	TDR の内容を MSB ファーストで送信 受信データを MSB ファーストで RDR に格納

ビット2: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作の保証はできません。

ビット1: 予約ビット

読み出すと常に 1 が読み出されます。書き込みは無効です。

ビット0: 予約ビット

書き込む値は常に 0 にしてください。1 を書き込んだ場合、動作の保証はできません。

15.2.10 SCK 端子信号の反転

SCK 端子より入力される信号および SCK 端子より出力される信号は、ポートコントロールレジスタの設定により反転させることができます。詳細は「第 21 章 ピンファンクションコントローラ (PFC)」を参照してください。

15.3 動作説明

15.3.1 概要

SCIは、キャラクタ単位で同期をとりながら通信する調歩同期式モードと、クロックパルスにより同期をとりながら通信するクロック同期式モードの2方式で、シリアル通信ができます。

調歩同期式モードと、クロック同期式モードの選択および送信フォーマットの選択は、シリアルモードレジスタ (SMR) で行います。これを表 15.8 に示します。また、SCIのクロックソースは、SMRのC/Aビットおよびシリアルコントロールレジスタ (SCR) のCKE1、CKE0ビットの組み合わせで決まります。これを表 15.9 に示します。

(1) 調歩同期式モード

- データ長：7ビット/8ビットから選択可能
- パリティの付加、マルチプロセッサビットの付加、および1ビット/2ビットのストップビットの付加を選択可能（これらの組み合わせにより送信/受信フォーマットおよび、キャラクタ長を決定）
- 受信時にフレーミングエラー、パリティエラー、オーバランエラー、およびブレークの検出が可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能
 - － 内部クロックを選択した場合：
SCIはボーレートジェネレータのクロックで動作し、ビットレートと同じ周波数のクロックを出力することが可能
 - － 外部クロックを選択した場合：
ビットレートの16倍の周波数のクロックを入力することが必要（内蔵ボーレートジェネレータを使用しない）

(2) クロック同期式モード

- 送信/受信フォーマット：8ビットデータ固定
- 受信時にオーバランエラーの検出可能
- SCIのクロックソース：内部クロック/外部クロックから選択可能
 - － 内部クロックを選択した場合：
SCIはボーレートジェネレータのクロックで動作し、同期クロックを外部へ出力
 - － 外部クロックを選択した場合：
内部ボーレートジェネレータを使用せず、入力された同期クロックで動作

15. シリアルコミュニケーションインタフェース (SCI)

表 15.8 SMR の設定値とシリアル送信／受信フォーマット

SMR の設定値					モード	SCI の送信／受信フォーマット				
ビット7	ビット6	ビット2	ビット5	ビット3		データ長	マルチプロセッサビット	パリティビット	ストップビット長	
C/ \bar{A}	CHR	MP	PE	STOP						
0	0	0	0	0	調歩同期式 モード	8ビット データ	なし	なし	1ビット	
				1					2ビット	
			1	0					1ビット	
				1					2ビット	
			0	0					1ビット	
				1					2ビット	
	1	0	1ビット							
		1	2ビット							
	1	*	*	*	0	調歩同期式 モード (マルチプロセッサ フォーマット)	8ビット データ	あり	なし	1ビット
					1					2ビット
		*		0	7ビット データ		1ビット			
				1	2ビット					
1	*	*	*	*	クロック同期式 モード	8ビット データ	なし	なし		

【注】 表中の*は Don't care であることを示します。

表 15.9 SMR、SCR の設定と SCI のクロックソースの選択

SMR	SCR の設定		モード	SCI の送信／受信クロック	
	ビット7	ビット1		ビット0	クロックソース
C/ \bar{A}	CKE1	CKE0			
0	0	0	調歩同期式 モード	内部	SCI は、SCK 端子を使用しません
		1			ビットレートと同じ周波数のクロックを出力
	1	0		外部	ビットレートの 16 倍の周波数のクロックを入力
		1			
1	0	0	クロック同期式 モード	内部	同期クロックを出力、 または同期クロック反転出力
		1			
	1	0		外部	同期クロックを入力、 または同期クロックを反転入力
		1			

【注】 * ピンファンクションコントローラ (PFC) と合わせ、設定してください。

15.3.2 調歩同期式モード時の動作

調歩同期式モードは、通信開始を意味するスタートビットと通信終了を意味するストップビットとをデータに付加したキャラクタを送信／受信し、1キャラクタ単位で同期をとりながらシリアル通信を行うモードです。

SCI 内部では、送信部と受信部は独立していますので、全二重通信を行うことができます。また、送信部と受信部が共にダブルバッファ構造になっていますので、送信／受信中にデータの読み出し／書き込みができるので、連続送信／受信が可能です。

調歩同期式シリアル通信の一般的なフォーマットを図 15.2 に示します。

調歩同期式シリアル通信では、通信回線は通常、マーク状態（ハイレベル）に保たれています。SCI は通信回線を監視し、スペース（ローレベル）になったところをスタートビットとみなしてシリアル通信を開始します。

シリアル通信の1キャラクタは、スタートビット（ローレベル）から始まり、データ（LSB フェースト：最下位ビットから）、パリティビット（ハイ／ローレベル）、最後にストップビット（ハイレベル）の順で構成されています。

調歩同期式モードでは、SCI は受信時にスタートビットの立ち下がりエッジで同期化を行います。また SCI は、データを1ビット期間の16倍の周波数のクロックの8番目でサンプリングしますので、各ビットの中央で通信データが取り込まれます。

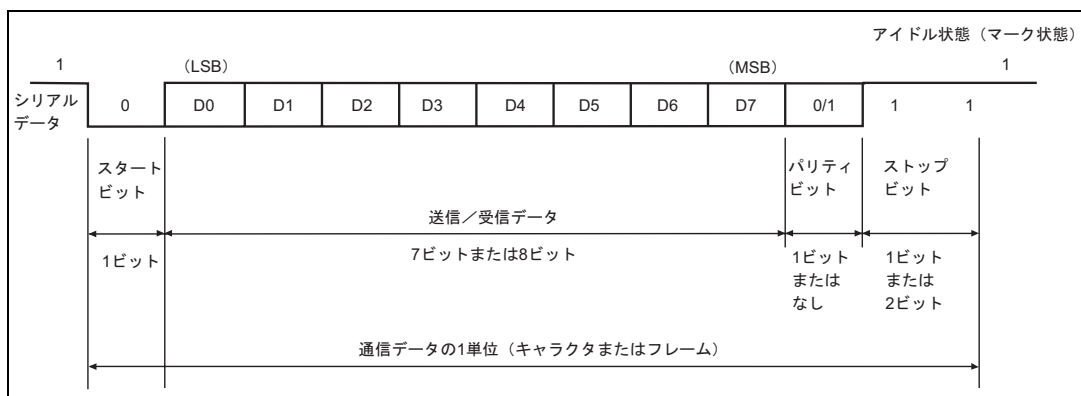


図 15.2 調歩同期式通信のデータフォーマット
(8ビットデータ/パリティあり/2ストップビットの例)

15. シリアルコミュニケーションインタフェース (SCI)

(1) 送信／受信フォーマット

調歩同期式モードで設定できる送信／受信フォーマットを、表 15.10 に示します。

送信／受信フォーマットは 12 種類あり、シリアルモードレジスタ (SMR) の設定により選択できます。

表 15.10 シリアル送信／受信フォーマット (調歩同期式モード)

SMR の設定				シリアル送信／受信フォーマットとフレーム長											
CHR	PE	MP	STOP	1	2	3	4	5	6	7	8	9	10	11	12
0	0	0	0	S [8ビットデータ] STOP											
0	0	0	1	S [8ビットデータ] STOP STOP											
0	1	0	0	S [8ビットデータ] P STOP											
0	1	0	1	S [8ビットデータ] P STOP STOP											
1	0	0	0	S [7ビットデータ] STOP											
1	0	0	1	S [7ビットデータ] STOP STOP											
1	1	0	0	S [7ビットデータ] P STOP											
1	1	0	1	S [7ビットデータ] P STOP STOP											
0	*	1	0	S [8ビットデータ] MPB STOP											
0	*	1	1	S [8ビットデータ] MPB STOP STOP											
1	*	1	0	S [7ビットデータ] MPB STOP											
1	*	1	1	S [7ビットデータ] MPB STOP STOP											

《記号説明》

S : スタートビット

STOP : ストップビット

P : パリティビット

MPB : マルチプロセッサビット

【注】 表中の*は Don't care であることを示します。

(2) クロック

SCIの送受信クロックは、SMRの C/\bar{A} ビットとシリアルコントロールレジスタ(SCR)のCKE1、CKE0ビットの設定により、内蔵ボーレートジェネレータの生成した内部クロックまたは、SCK端子から入力された外部クロックの2種類から選択できます。SCIのクロックソースの選択については表15.9を参照してください。

外部クロックをSCK端子に入力する場合には、使用するビットレートの16倍の周波数のクロックを入力してください。

内部クロックで動作させるとき、SCK端子からクロックを出力することができます。このとき出力されるクロックの周波数はビットレートと等しく、位相は図15.3に示すように送信データの中央にクロックの立ち上がりエッジがくるようになります。

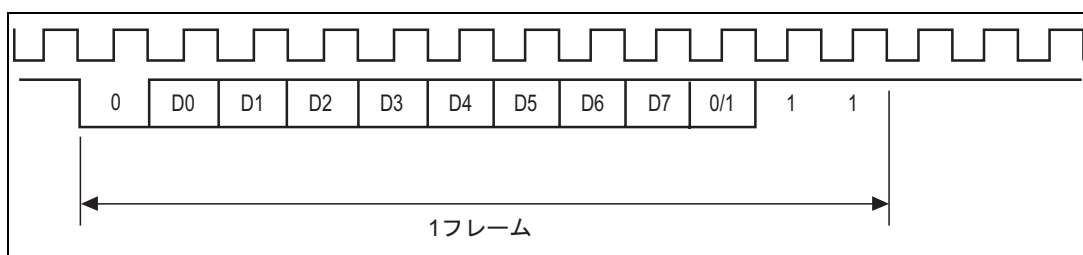


図 15.3 出カクロックと通信データの位相関係 (調歩同期式モード)

(3) データの送信/受信動作

(a) SCIの初期化 (調歩同期式)

データの送信/受信前には、まずSCRのTEビットおよび、REビットを0にクリアした後、以下の順でSCIを初期化してください。

動作モードの変更、通信フォーマットの変更などの場合にも必ず、TEビットおよびREビットを0にクリアしてから次の手順で変更を行ってください。TEビットを0にクリアするとTDREビットは、1にセットされ、トランスミットシフトレジスタ(TSR)が初期化されます。REビットを0にクリアしても、RDRF、PER、FER、ORERの各ビットおよび、レシーブデータレジスタ(RDR)の内容は保持されますので注意してください。

外部クロックを使用している場合には、動作が不確実になりますので初期化を含めた動作中にクロックを止めないでください。

図15.4にSCIの初期化フローチャートの例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

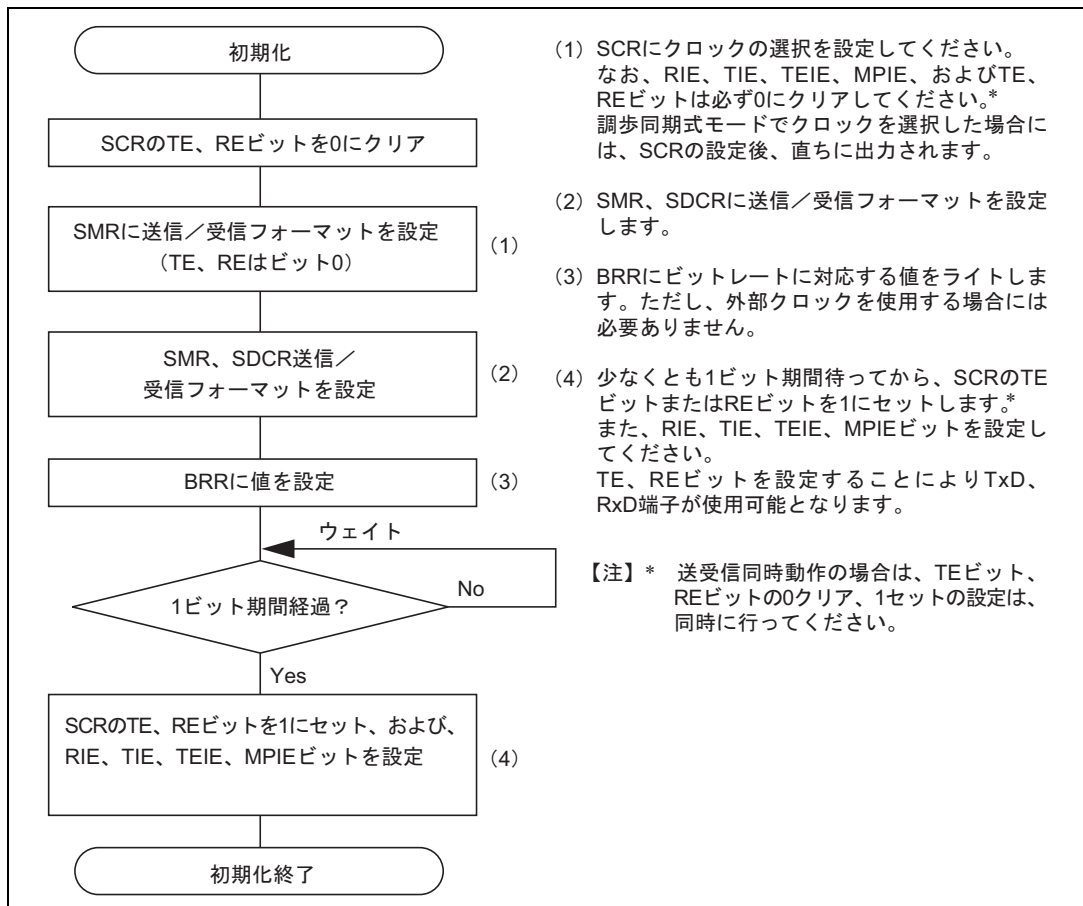


図 15.4 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (調歩同期式)

図 15.5 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順に従って行ってください。

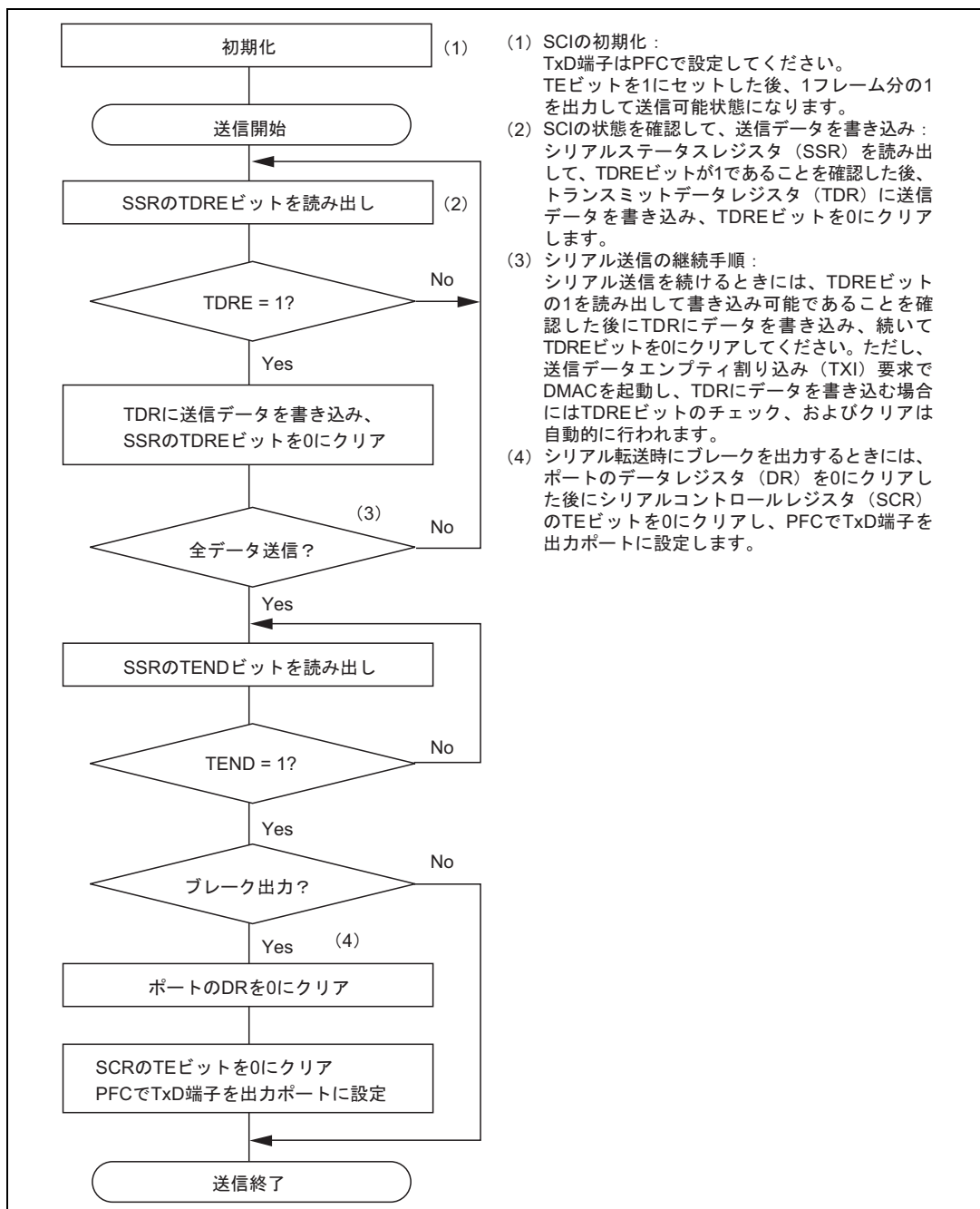


図 15.5 シリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) のTIEビットが1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送り出されます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) パリティビットまたはマルチプロセッサビット：1ビットのパリティビット（偶数パリティ、または奇数パリティ）、または1ビットのマルチプロセッサビットが出力されます。なお、パリティビット、またはマルチプロセッサビットを出力しないフォーマットも選択できます。
 - (d) ストップビット：1ビットまたは2ビットの1（ストップビット）が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送出するタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次フレームのシリアル送信を開始します。TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットに1をセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRのTEIEビットが1にセットされているとTEI割り込み要求を発生します。

調歩同期式モードでの送信時の動作例を図 15.6 に示します。

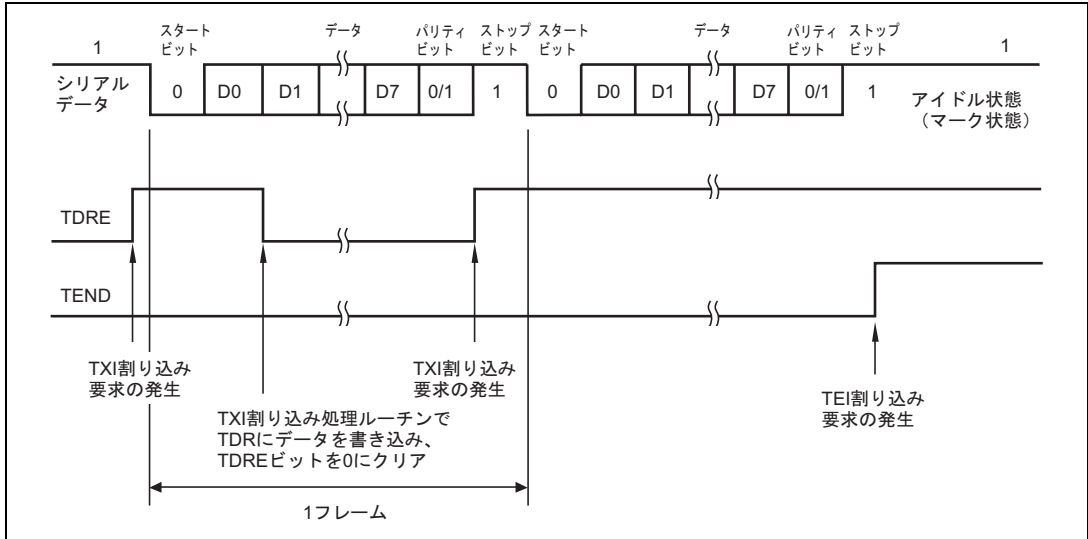


図 15.6 調歩同期式モードでの送信時の動作例
(8 ビットデータ/パリティあり/1 ストップビットの例)

(c) シリアルデータ受信 (調歩同期式)

図 15.7、図 15.8 にシリアル受信フローチャートの例を示します。
シリアルデータ受信は以下の手順に従って行ってください。

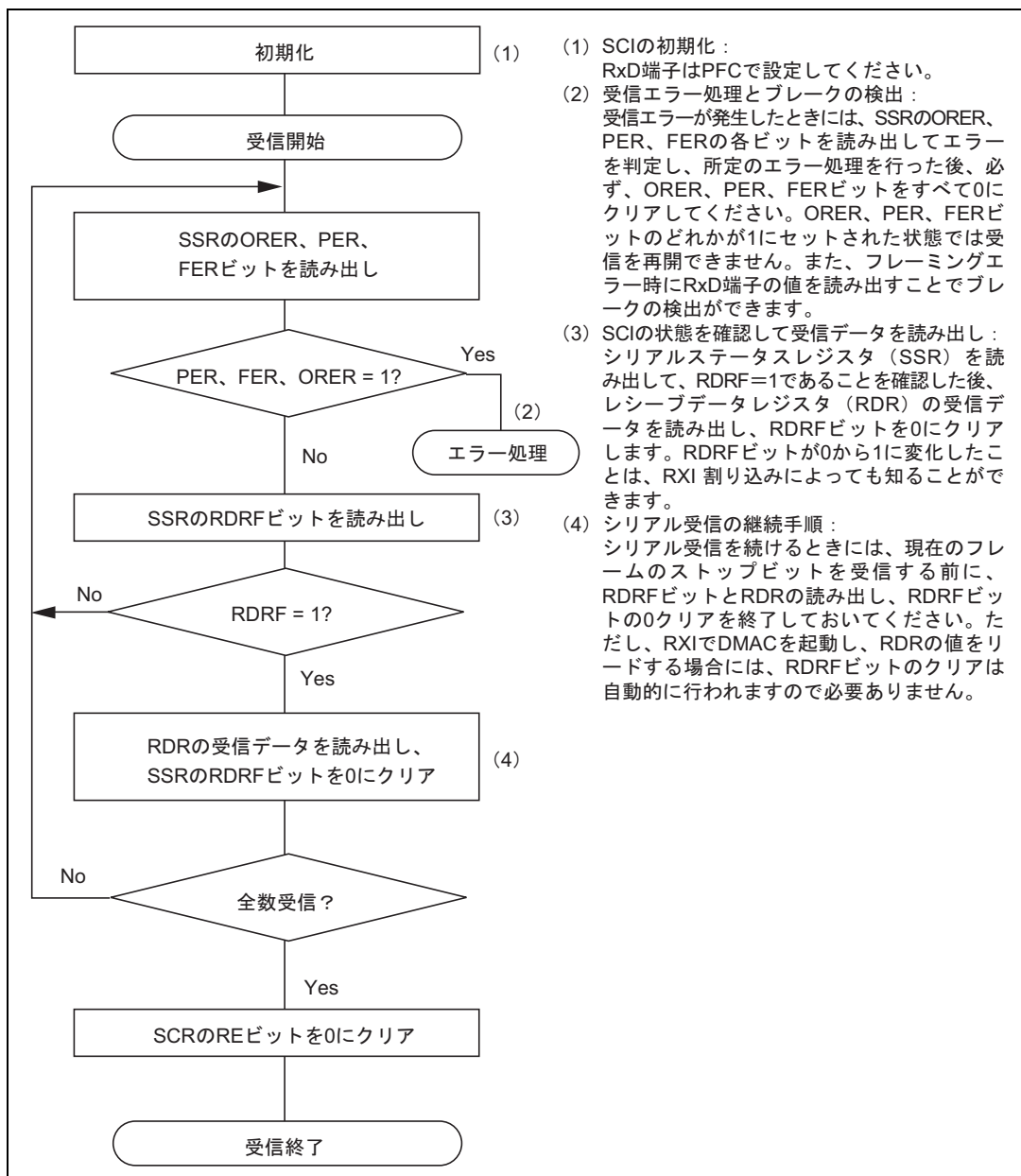


図 15.7 シリアル受信のフローチャートの例 (1)

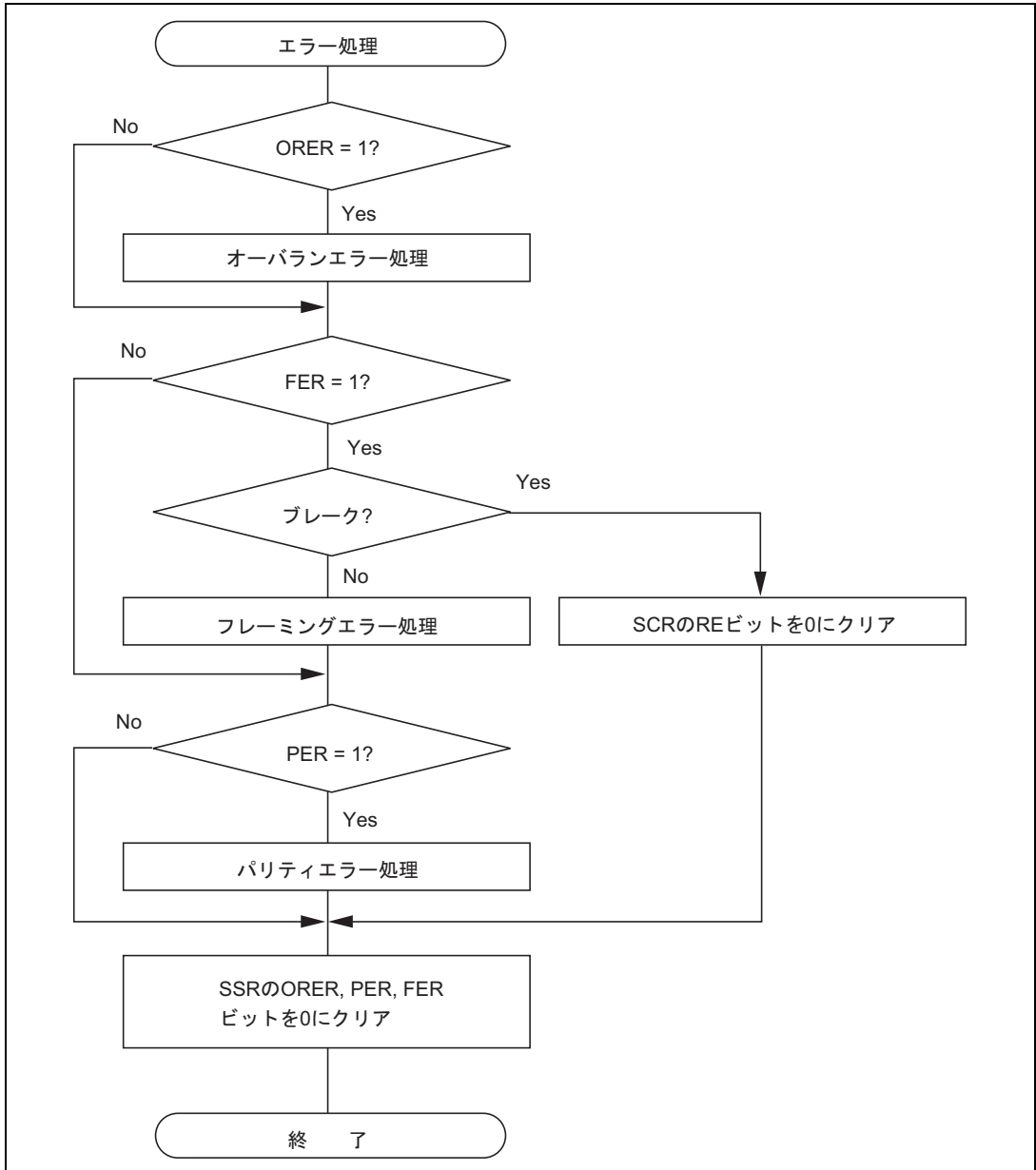


図 15.8 シリアル受信のフローチャートの例 (2)

15. シリアルコミュニケーションインタフェース (SCI)

SCI は受信時に以下のように動作します。

- (1) SCIは通信回線を監視し、スタートビットの0を検出すると内部を同期化し、受信を開始します。
- (2) 受信したデータをRSRのLSBからMSBの順に格納します。
- (3) パリティビットおよび、ストップビットを受信します。

受信後、SCI は以下のチェックを行います。

- (a) パリティチェック：受信データの1の数をチェックし、これがシリアルモードレジスタ (SMR) のO/Eビットで設定した偶数／奇数パリティになっているかをチェックします。
- (b) ストップビットチェック：ストップビットが1であるかをチェックします。
ただし、2ストップビットの場合、1ビット目のストップビットのみをチェックします。
- (c) ステータスチェック：RDRFビットが0であり、受信データをレシーブシフトレジスタ (RSR) からRDRに転送できる状態であるかをチェックします。

以上のチェックがすべてパスしたとき、RDRF ビットが 1 にセットされ、RDR に受信データが格納されます。

エラーチェックで受信エラーが発生すると表 15.11 のように動作します。

【注】 受信エラーが発生した状態では、以後の受信動作ができません。
また、受信時に RDRF ビットが 1 にセットされませんので、必ずエラーフラグを 0 にクリアしてください。

- (4) RDRFビットが1になったとき、SCRのRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORER、PER、FERビットのどれかが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

表 15.11 受信エラーと発生条件

受信エラー	略称	発生条件	データ転送
オーバランエラー	ORER	SSR の RDRF フラグが 1 にセットされたまま次のデータ受信を完了したとき	RSR から RDR に受信データは転送されません。
フレーミングエラー	FER	ストップビットが 0 のとき	RSR から RDR に受信データが転送されます。
パリティエラー	PER	SMR で設定した偶数／奇数パリティの設定と受信したデータが異なるとき	RSR から RDR に受信データが転送されます。

調歩同期式モード受信時の動作例を図 15.9 に示します。

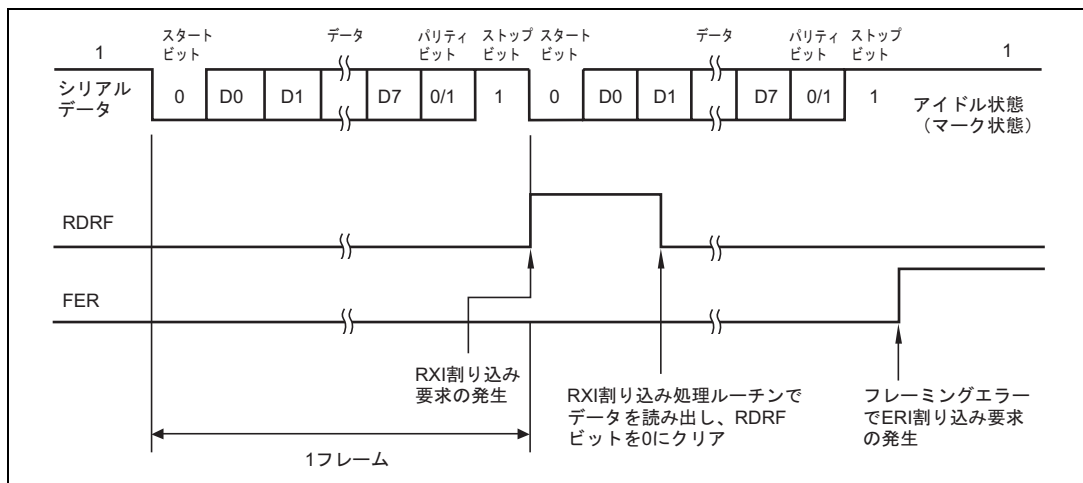


図 15.9 SCI の受信時の動作例 (8 ビットデータ/パリティあり/1 ストップビットの例)

15.3.3 マルチプロセッサ通信機能

マルチプロセッサ通信機能とは、調歩同期式モードでマルチプロセッサビットを付加したフォーマット (マルチプロセッサフォーマット) でシリアル通信をする機能です。この機能を使用すると、複数のプロセッサ間でシリアル通信回線を共有したデータの送受信ができます。

マルチプロセッサ通信を行うとき、受信局は各々固有の ID コードでアドレッシングされています。

シリアル通信サイクルは、受信局を指定する ID 送信サイクルとデータ送信サイクルの 2 つから構成されます。この ID 送信サイクルとデータ送信サイクルの区別は、マルチプロセッサビットで行います。

送信局は、まず、シリアル通信を行いたい受信局の ID を、マルチプロセッサビット 1 を付加したデータにして送信します。続いて、送信データを、マルチプロセッサビット 0 を付加したデータにして送信します。

受信局は、マルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。

マルチプロセッサビット 1 のデータを受信したとき、受信局は自局の ID と比較します。そして、一致した局は続いて送信されるデータを受信します。一方一致しなかった局は、再びマルチプロセッサビット 1 のデータが送信されるまでは、データを読み飛ばします。このようにして複数のプロセッサ間のデータ送受信が行われます。

図 15.10 にマルチプロセッサフォーマットを使用したプロセッサ間通信の例を示します。

(1) 送信/受信フォーマット

送信/受信フォーマットは 4 種類です。

マルチプロセッサフォーマットを指定した場合は、パリティビットの指定は無効です。

詳細は表 15.8 を参照してください。

15. シリアルコミュニケーションインタフェース (SCI)

(2) クロック

調歩同期式モードの項を参照してください。

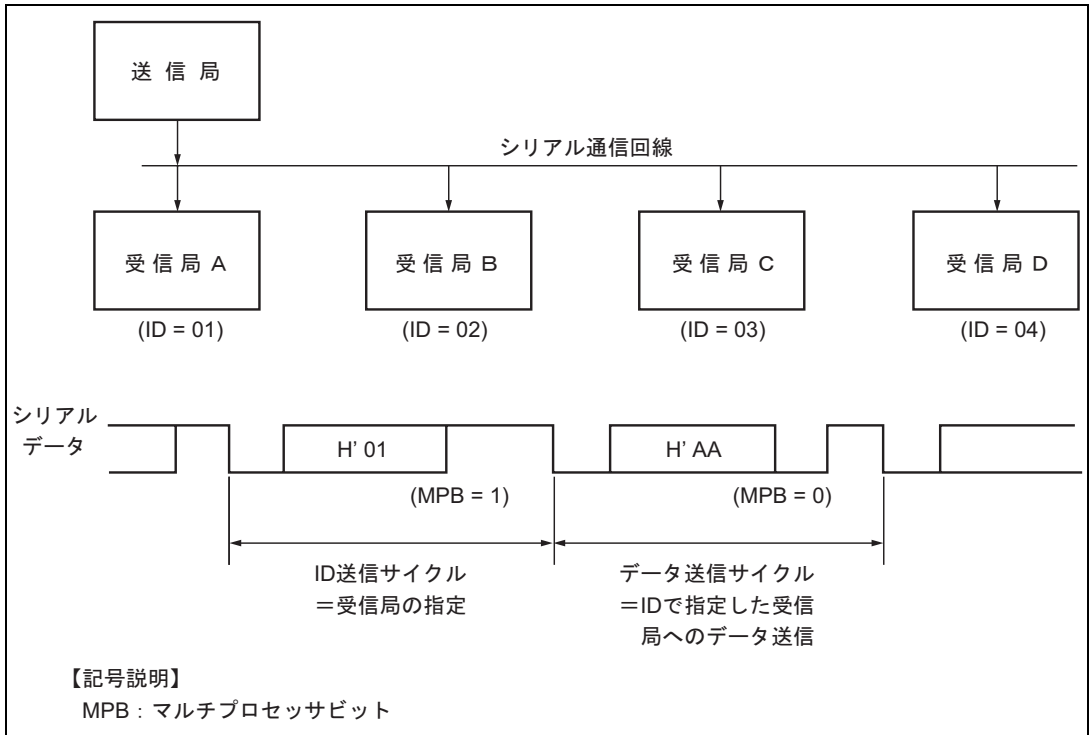


図 15.10 マルチプロセッサフォーマットを使用したプロセッサ間通信の例
(受信局 A へのデータ H'AA の送信の例)

(3) データの送信／受信動作

(a) マルチプロセッサシリアルデータ送信

図 15.11 にマルチプロセッサシリアル送信のフローチャートの例を示します。
マルチプロセッサシリアルデータ送信は、以下の手順に従って行ってください。

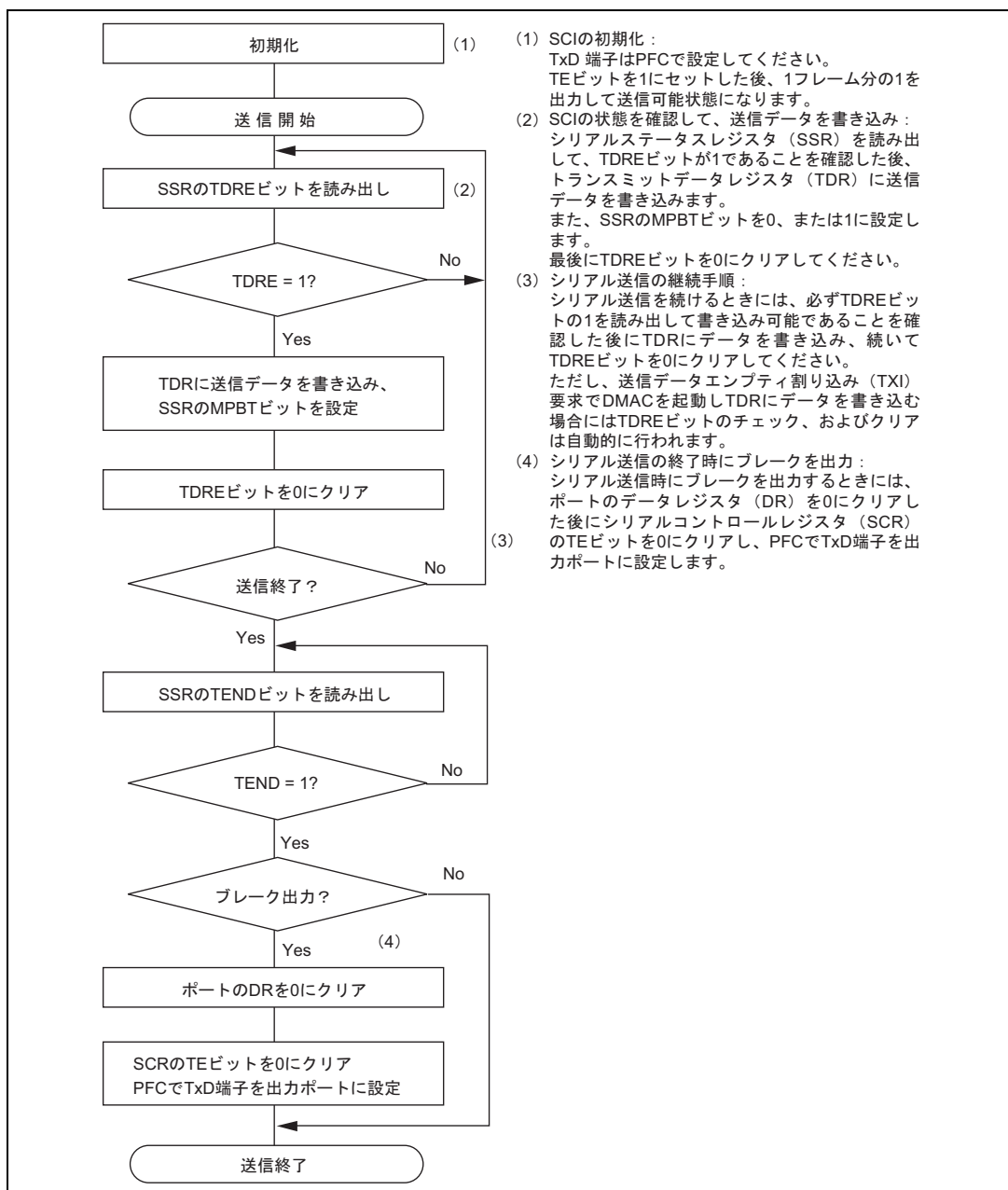


図 15.11 マルチプロセッサシリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

SCI は、シリアル送信時に以下のように動作します。

- (1) SCIは、SSRのTDREビットを監視し、0であるとTDRにデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、SCRの送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。

シリアル送信データは、以下の順に TxD 端子から送りだされます。

- (a) スタートビット：1ビットの0が出力されます。
 - (b) 送信データ：8ビット、または7ビットのデータがLSBから順に出力されます。
 - (c) マルチプロセッサビット：1ビットのマルチプロセッサビット (MPBTの値) が出力されます。
 - (d) ストップビット：1ビット、または2ビットの1 (ストップビット) が出力されます。
 - (e) マーク状態：次の送信を開始するスタートビットを送り出すまで1を出力し続けます。
- (3) SCIは、ストップビットを送り出すタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、ストップビットを送り出した後、次のフレームのシリアル送信を開始します。TDREビットが1であるとSSRのTENDビットを1にセットし、ストップビットを送り出した後、1を出力するマーク状態になります。このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み (TEI) 要求を発生します。

図 15.12 にマルチプロセッサフォーマットの SCI の送信時の動作例を示します。

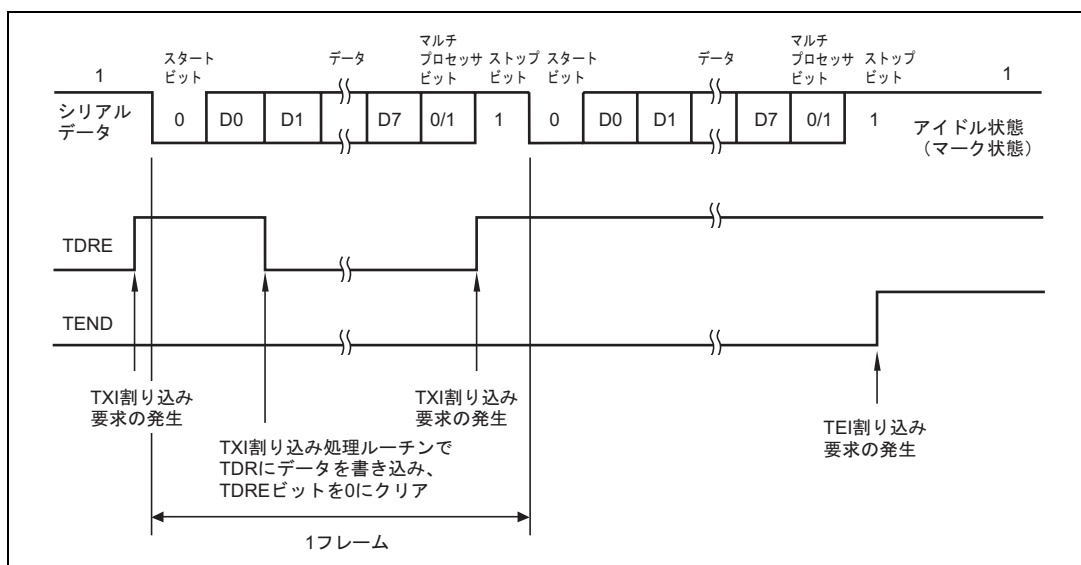


図 15.12 SCI の送信時の動作例
(8ビットデータ/マルチプロセッサビットあり/1ストップビットの例)

(b) マルチプロセッサシリアルデータ受信

図 15.13、図 15.14 にマルチプロセッサシリアル受信のフローチャートの例を示します。マルチプロセッサシリアルデータ受信は、以下の手順に従って行ってください。

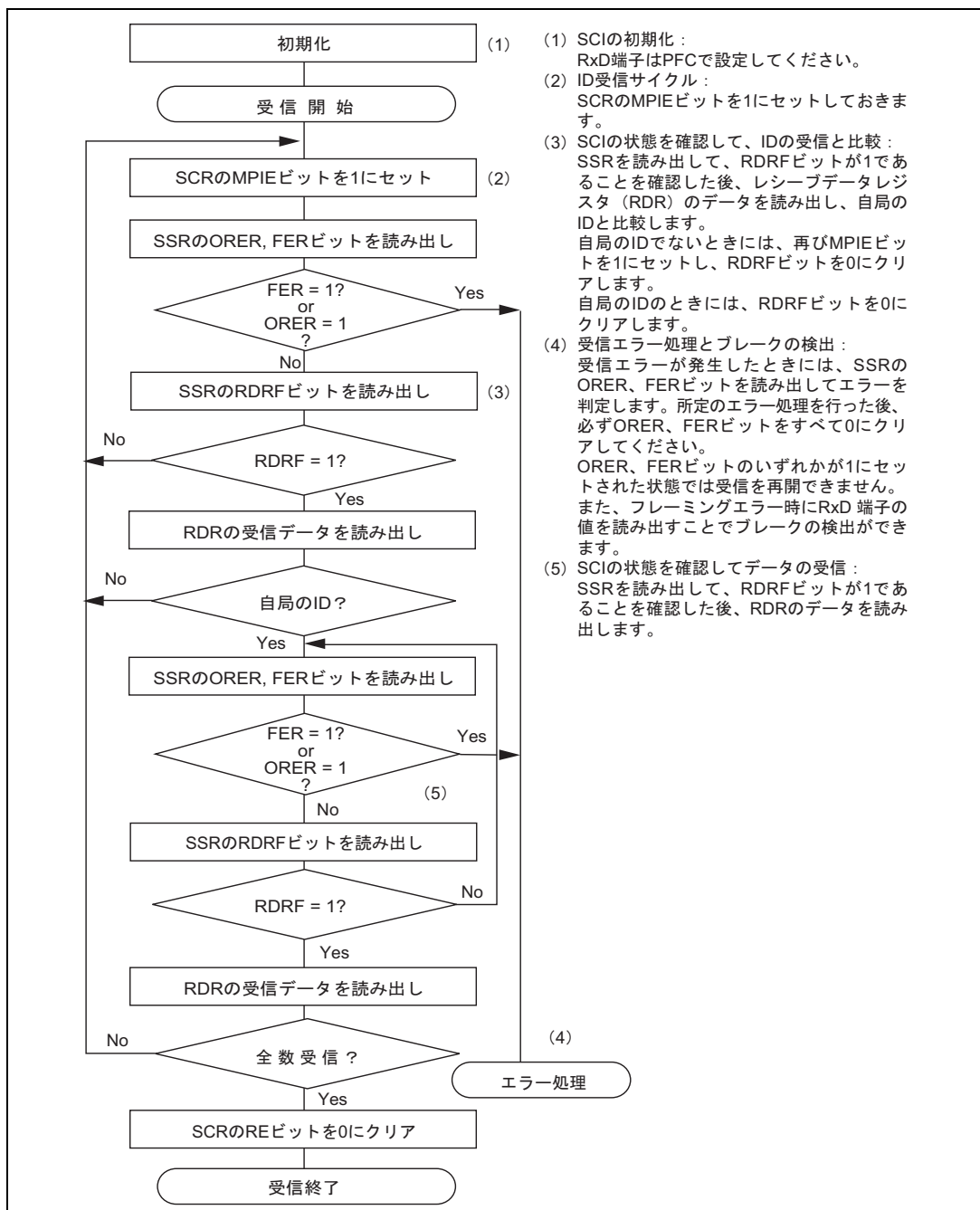


図 15.13 マルチプロセッサシリアル受信のフローチャートの例 (1)

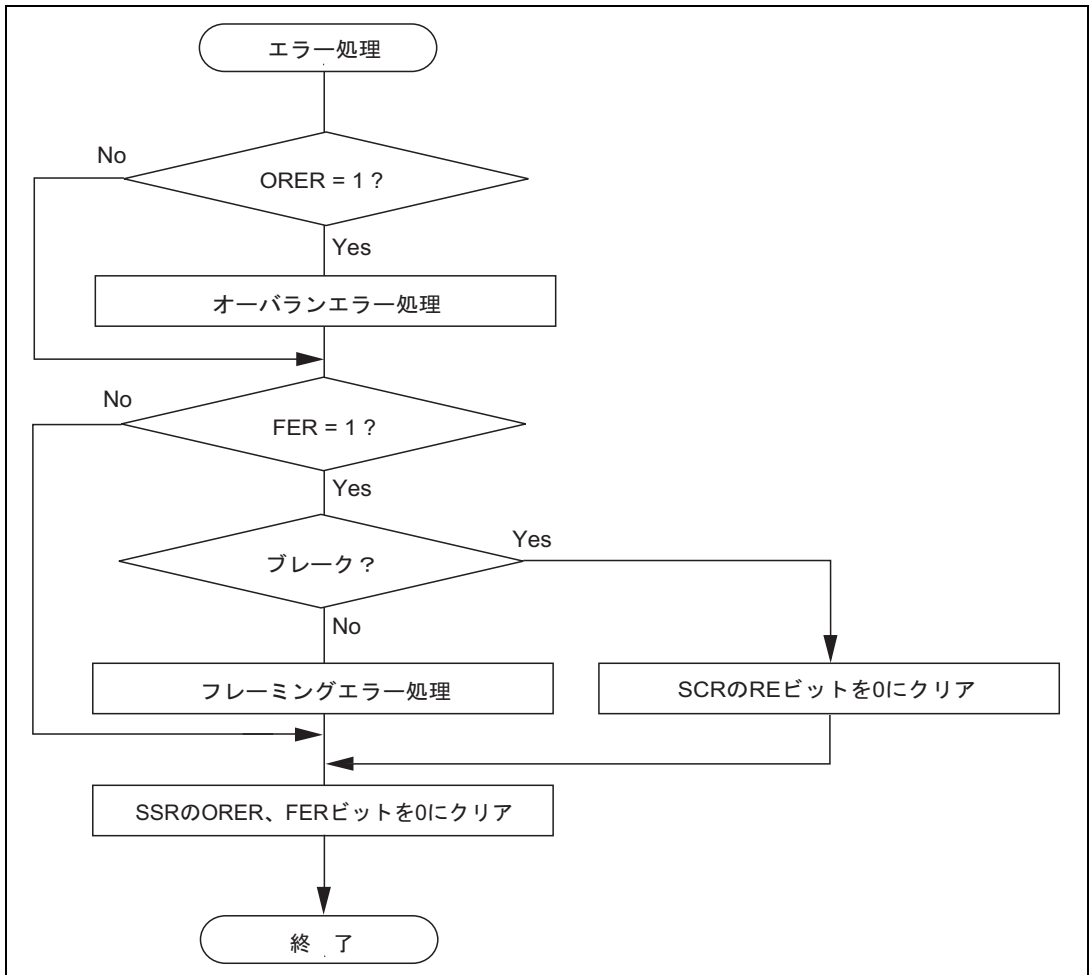


図 15.14 マルチプロセッサシリアル受信のフローチャートの例 (2)

図 15.15 にマルチプロセッサフォーマットの SCI の受信時の動作例を示します。

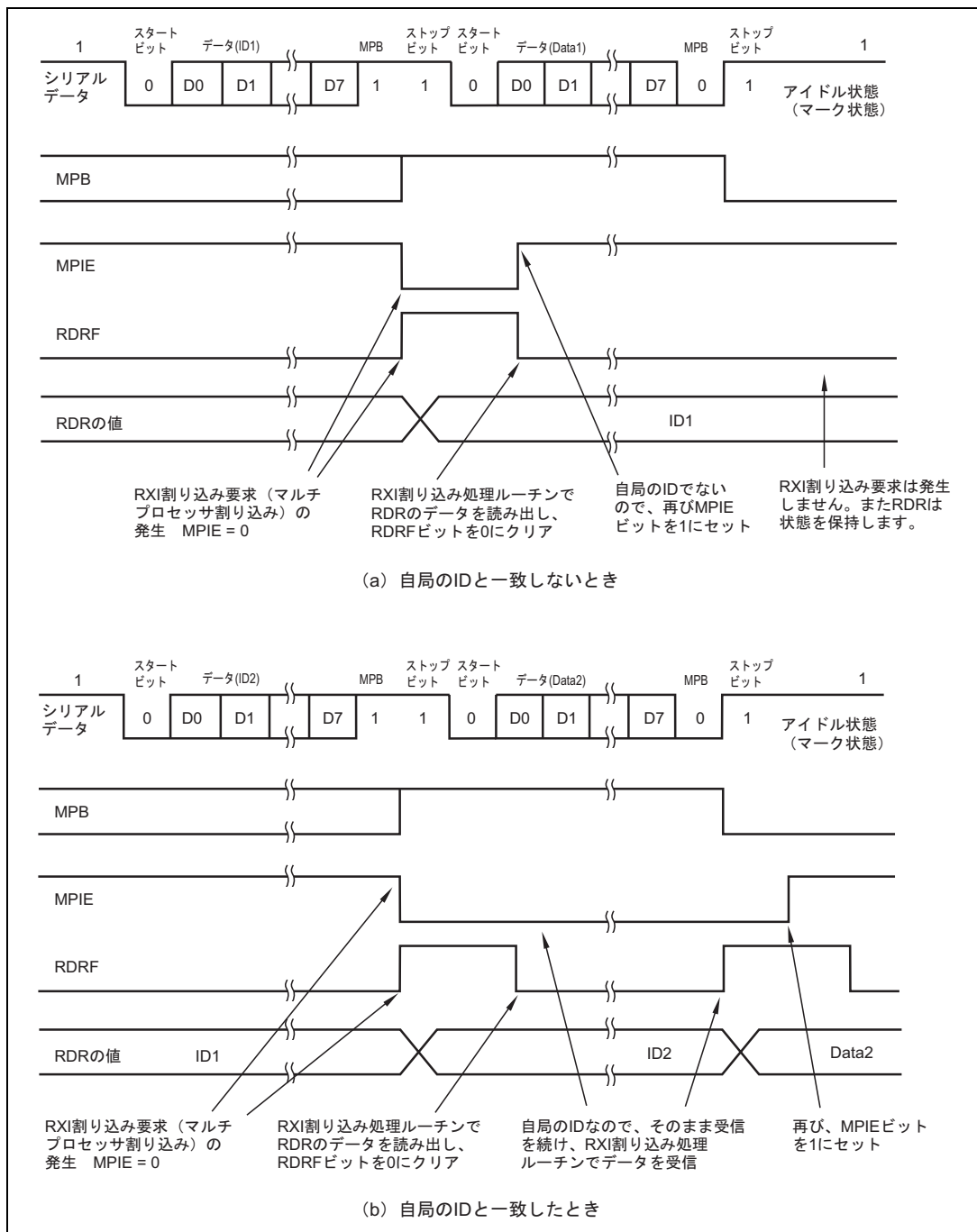


図 15.15 SCI の受信時の動作例
(8 ビットデータ/マルチプロセッサビットあり/1 ストップビットの例)

15.3.4 クロック同期式モード時の動作

クロック同期式モードは、クロックパルスに同期してデータを送信／受信するモードで、高速シリアル通信に適しています。

SCI 内部では、送信部と受信部は独立していますので、クロックを共有することで全二重通信ができます。

また、送信部と受信部が共にダブルバッファ構造になっていますので送信／受信中にデータの読み出し／書き込みができ、連続送信／受信が可能です。

クロック同期式シリアル通信の一般的なフォーマットを図 15.16 に示します。

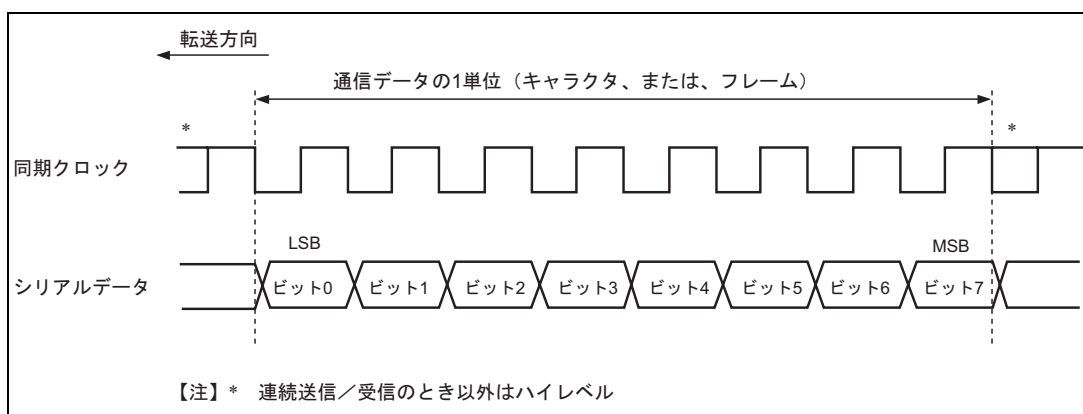


図 15.16 クロック同期式通信のデータフォーマット

クロック同期式シリアル通信では、通信回線のデータは同期クロックの立ち下がりから次の立ち下がりまで出力されます。また、同期クロックの立ち上がりでデータの確定が保証されます。

シリアル通信の1キャラクタは、データのLSBから始まり最後にMSBが出力されます。MSB出力後の通信回線の状態はMSBの状態を保ちます。

クロック同期式モードでは、SCIは同期クロックの立ち上がりに同期してデータを受信します。

(1) 送信／受信フォーマット

8ビットデータ固定です。

パリティビットやマルチプロセッサビットの付加はできません。

(2) クロック

SMR の C/\bar{A} ビットと SCR の CKE1、CKE0 ビットの設定により内蔵ポーレートジェネレータの生成した内部クロック、または、SCK 端子から入力された外部同期クロックの 2 種類から選択できます。SCI のクロックソースの選択については表 15.9 を参照してください。

内部クロックで動作させるとき、SCK 端子から同期クロックが出力されます。

同期クロックは 1 キャラクタの送受信で 8 パルス出力され、送信/受信を行わないときにはハイレベルに固定されます。ただし、受信のみの動作のときは、オーバーランエラーが発生するか、RE ビットを 0 にクリアするまで同期クロックは出力されます。1 キャラクタ単位の受信動作を行いたいときは、クロックソースは外部クロックを選択してください。

(3) データの送信/受信動作

(a) SCI のイニシャライズ (クロック同期式)

データの送信/受信前にシリアルコントロールレジスタ (SCR) の TE、および RE ビットを 0 にクリアした後、以下の手順で SCI を初期化してください。

モードの変更、通信フォーマットの変更などの場合にも必ず、TE、および RE ビットを 0 にクリアしてから下記手順で変更してください。TE ビットを 0 にクリアすると TDRE ビットは 1 にセットされ、トランスミットシフトレジスタ (TSR) が初期化されます。

RE ビットを 0 にクリアしても RDRF、PER、FER、ORER の各ビット、およびレシーブデータレジスタ (RDR) の内容は保持されますので注意してください。

図 15.17 に SCI の初期化フローチャートの例を示します。

15. シリアルコミュニケーションインタフェース (SCI)

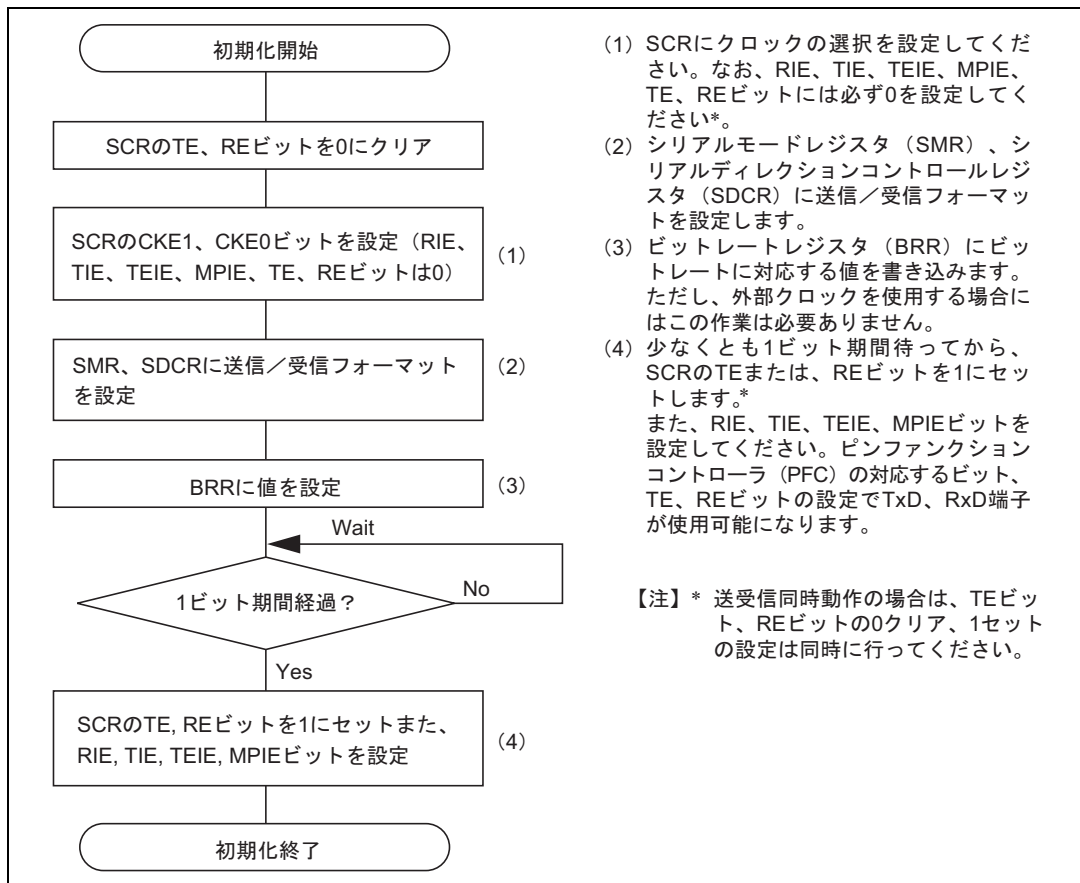


図 15.17 SCI の初期化フローチャートの例

(b) シリアルデータ送信 (クロック同期式)

図 15.18 にシリアル送信のフローチャートの例を示します。
シリアルデータ送信は以下の手順で行ってください。

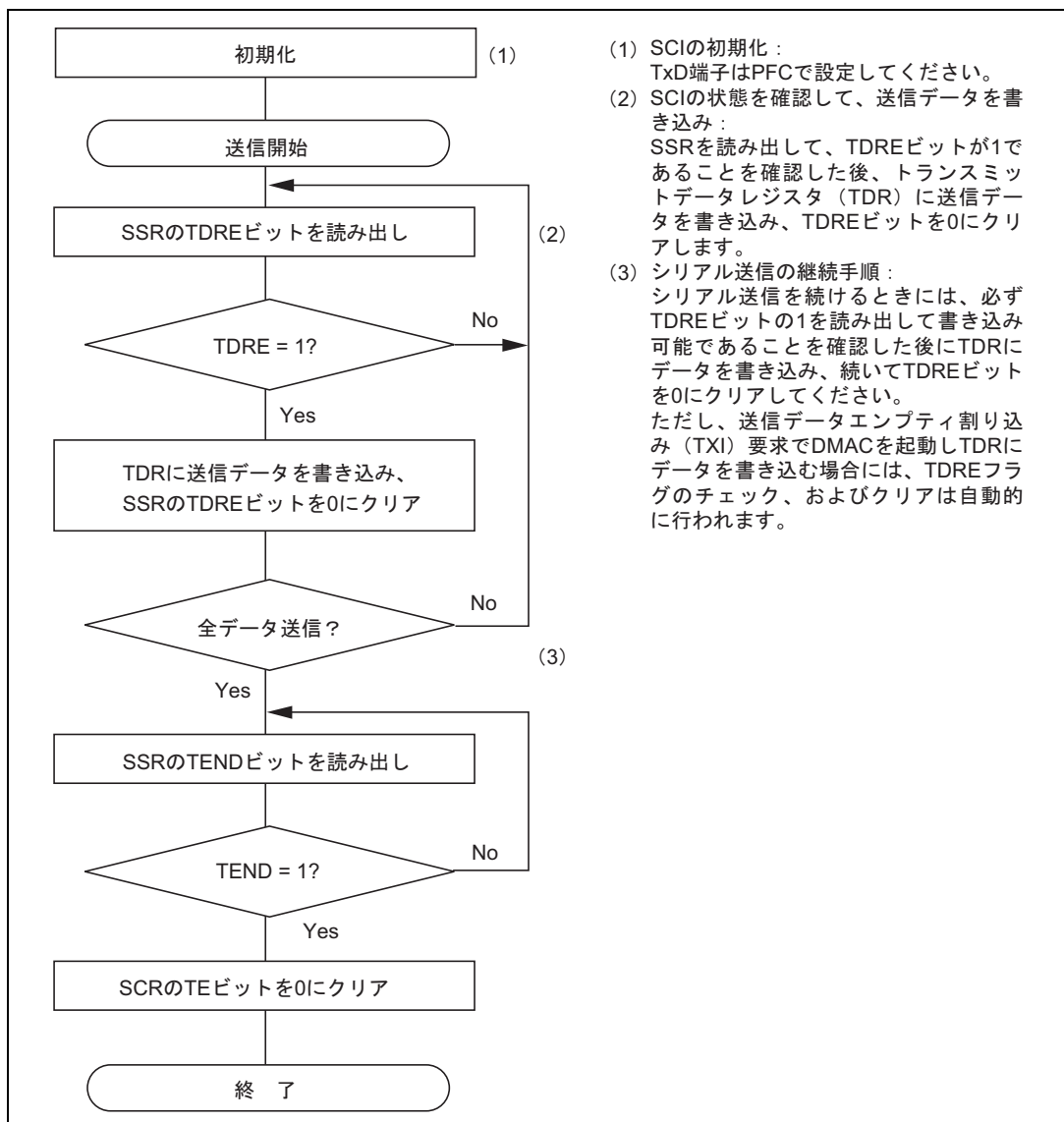


図 15.18 シリアル送信のフローチャートの例

15. シリアルコミュニケーションインタフェース (SCI)

図 15.19 に SCI の送信時の動作例を示します。

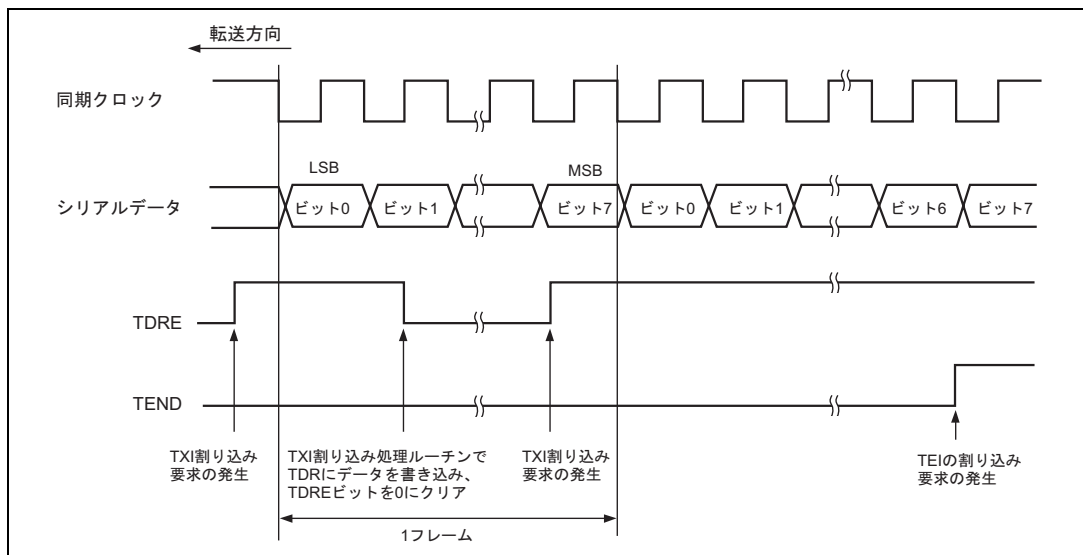


図 15.19 SCI の送信時の動作例

SCI はシリアル送信時に以下のように動作します。

- (1) SCIは、シリアルステータスレジスタ (SSR) のTDREビットを監視し、0であるとトランスミットデータレジスタ (TDR) にデータが書き込まれたと認識し、TDRからトランスミットシフトレジスタ (TSR) にデータを転送します。
- (2) TDRからTSRへデータを転送した後にTDREビットを1にセットし、送信を開始します。このとき、シリアルコントロールレジスタ (SCR) の送信データエンプティ割り込みイネーブルビット (TIE) が1にセットされていると送信データエンプティ割り込み (TXI) 要求を発生します。
クロック出力モードに設定したときには、SCIは同期クロックを8パルス出力します。
外部クロックに設定したときには、入力クロックに同期してデータを出力します。
シリアル送信データは、LSB (ビット0) ~MSB (ビット7) の順にTxD端子から送り出されます。
- (3) SCIは、MSB (ビット7) を送り出すタイミングでTDREビットをチェックします。TDREビットが0であるとTDRからTSRにデータを転送し、次フレームのシリアル送信を開始します。
TDREビットが1であるとシリアルステータスレジスタ (SSR) のTENDビットを1にセットし、MSB (ビット7) を送り出した後、トランスミットデータ端子 (TxD端子) は状態を保持します。
このときSCRの送信終了割り込みイネーブルビット (TEIE) が1にセットされていると送信終了割り込み要求 (TEI) を発生します。

(4) シリアル送信終了後は、SCK端子はハイレベル固定になります。

(c) シリアルデータ受信（クロック同期式）

図 15.20、図 15.21 にシリアル受信のフローチャートの例を示します。

シリアルデータ受信は以下の手順に従って行ってください。

動作モードを調歩同期式モードからクロック同期式モードに切り替える際には、必ず、ORER、PER、FER の各ビットが 0 にクリアされていることを確認してください。

FER、PER ビットが 1 にセットされていると RDRF ビットがセットされません。また、送信／受信動作が行えません。

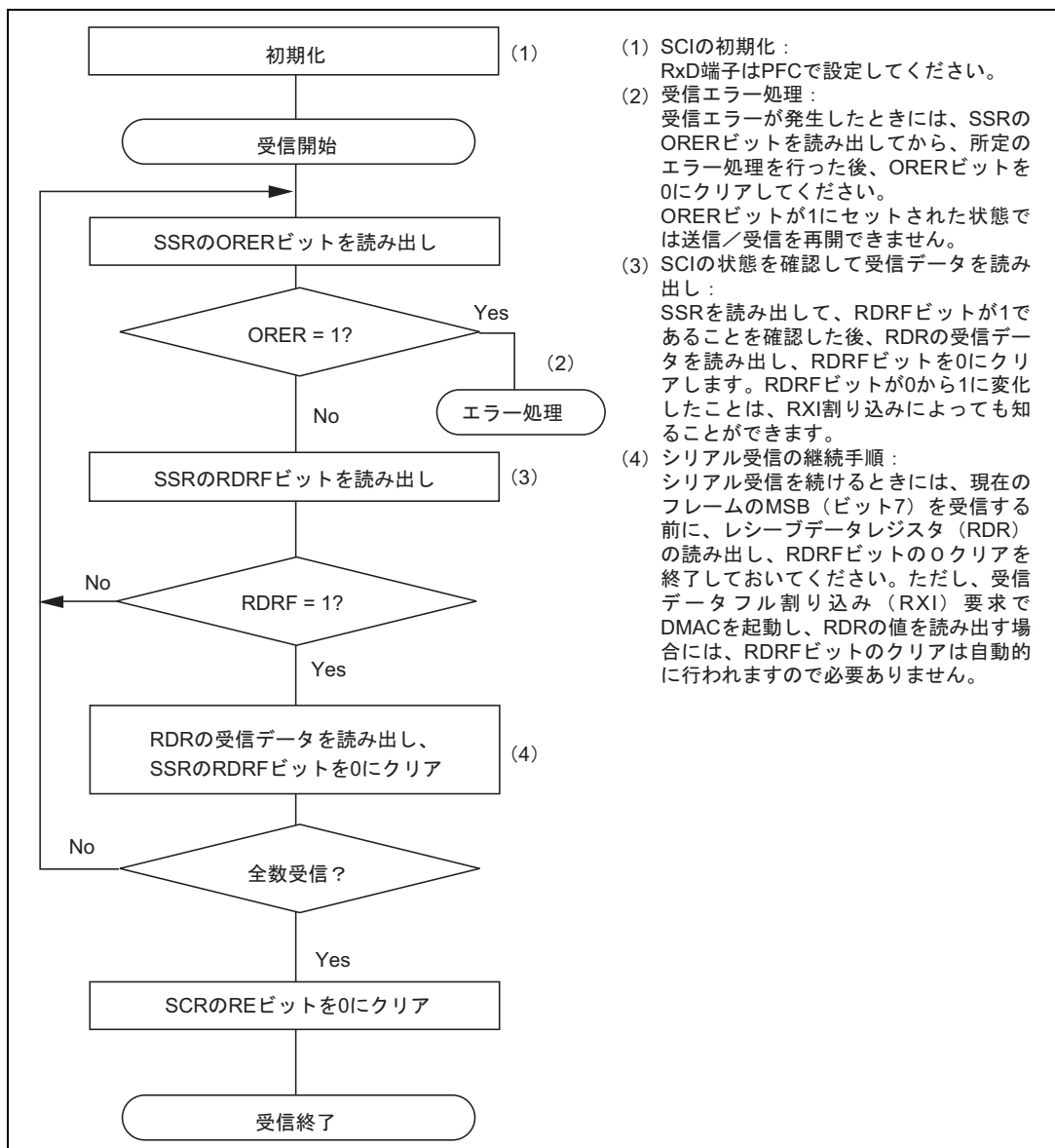


図 15.20 シリアルデータ受信フローチャートの例 (1)

15. シリアルコミュニケーションインタフェース (SCI)

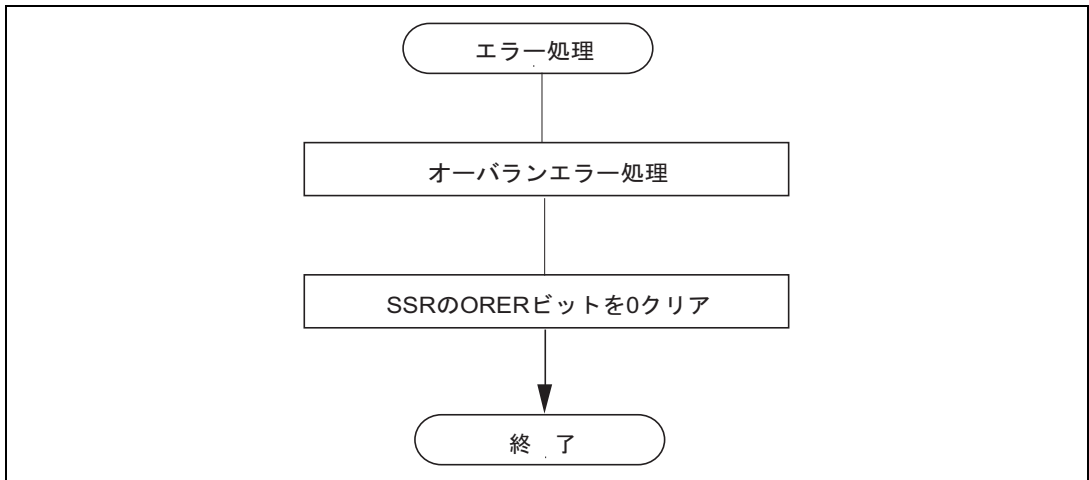


図 15.21 シリアルデータ受信フローチャートの例 (2)

図 15.22 に SCI の受信時の動作例を示します。

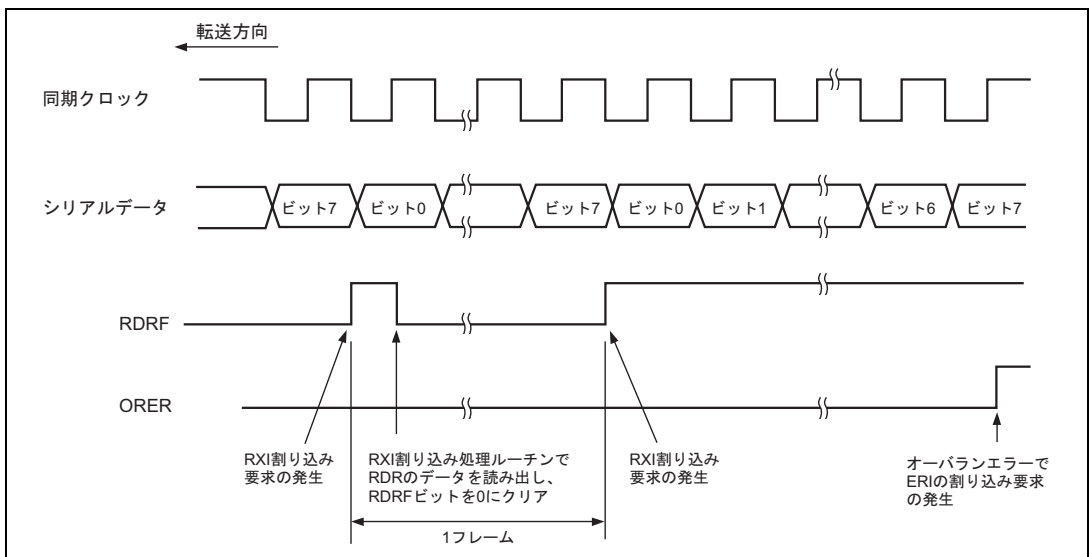


図 15.22 SCI の受信時の動作例

SCI は受信時に以下のように動作します。

- (1) SCIは同期クロックの入力または出力に同期して内部を初期化します。
- (2) 受信したデータをレシーブシフトレジスタ (RSR) のLSBからMSBの順に格納します。
受信後、SCIはRDRFビットが0であり、受信データをRSRからレシーブデータレジスタ (RDR) に転送できる状態であるかをチェックします。
このチェックがパスしたときRDRFビットが1にセットされ、RDRに受信データが格納されます。
エラーチェックで受信エラーが発生すると表15.11のように動作し、この状態では以後の送信、受信動作ができません。
また、エラーフラグが1にセットされていると、RDRFビットが0にクリアしてあっても、受信時にRDRFビットが1にセットされません。受信を再開する際は必ずエラーフラグを0にクリアしてください。
- (3) RDRFビットが1になったとき、シリアルコントロールレジスタ (SCR) のRIEビットが1にセットされていると受信データフル割り込み (RXI) 要求が発生します。
また、ORERビットが1になったとき、SCRのRIEビットが1にセットされていると受信エラー割り込み (ERI) 要求が発生します。

(d) シリアルデータ送受信同時動作 (クロック同期式)

図 15.23 にシリアル送受信同時動作のフローチャートの例を示します。
シリアルデータ送受信同時動作は、以下の手順に従って行ってください。

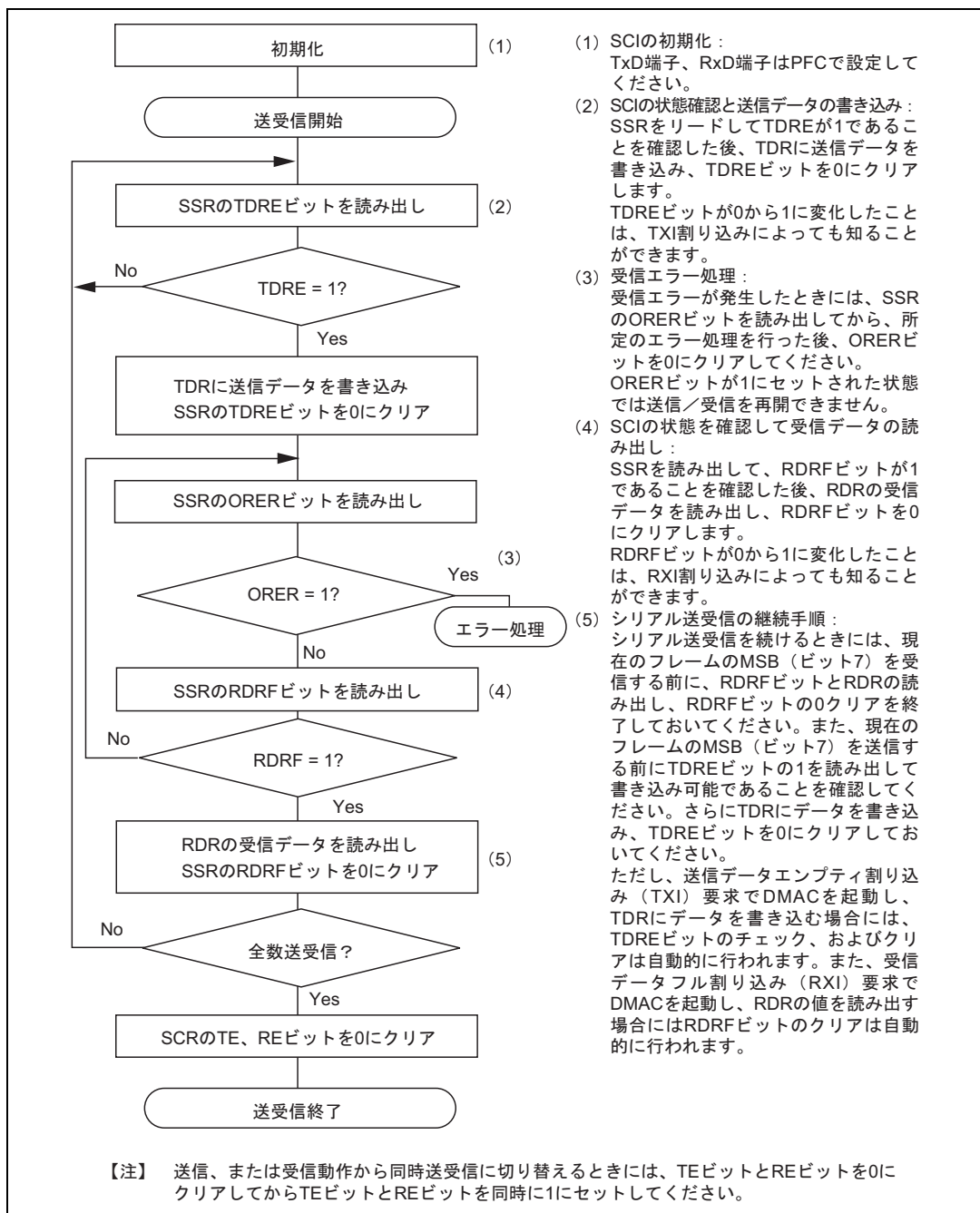


図 15.23 シリアルデータ送受信フローチャートの例

15.4 SCI の割り込み要因と DMAC

SCI は、送信終了割り込み (TEI) 要求、受信エラー割り込み (ERI) 要求、受信データフル割り込み (RXI) 要求、送信データエンプティ割り込み (TXI) 要求の 4 種類の割り込み要因を持っています。

表 15.12 に各割り込み要因と優先順位を示します。各割り込み要因は、SCR の TIE、RIE、TEIE ビットで、許可または禁止できます。また、各割り込み要求はそれぞれ独立に割り込みコントローラに送られます。

シリアルステータスレジスタ (SSR) の TDRE ビットが 1 にセットされると、TXI 割り込み要求が発生します。TXI 割り込み要求で、DMAC を起動してデータ転送を行うことができます。TDRE ビットは DMAC によるトランスミットデータレジスタ (TDR) への書き込みが行われると自動的に 0 にクリアされます。

SSR の RDRF ビットが 1 にセットされると、RXI 割り込み要求が発生します。RXI 割り込み要求で、DMAC を起動して、データ転送を行うことができます。

RDRF ビットは DMAC によるレシーブデータレジスタ (RDR) の読み出しが行われると、自動的に 0 にクリアされます。

また、SSR の ORER、FER ビットまたは PER が 1 にセットされると、ERI 割り込み要求が発生します。この ERI 割り込み要求で DMAC の起動はできません。

さらに、SSR の TEND ビットが 1 にセットされると、TEI 割り込み要求が発生します。この TEI 割り込み要求で、DMAC の起動はできません。

なお、TXI 割り込みは送信データを書き込み可能なことを示し、TEI 割り込みは送信動作が終了したことを示しています。

表 15.12 SCI 割り込み要因

割り込み要因	内 容	DMAC の起動	優先順位
ERI	受信エラー (ORER、FER、PER) による割り込み	不可	高
RXI	受信データフル (RDRF) による割り込み	可	↑
TXI	送信データエンプティ (TDRE) による割り込み	可	↓
TEI	送信終了 (TEND) による割り込み	不可	低

15.5 使用上の注意

SCIを使用する際は、以下のことに注意してください。

15.5.1 TDR への書き込みと TDRE フラグの関係について

シリアルステータスレジスタ (SSR) の TDRE ビットはトランスミットデータレジスタ (TDR) からトランスミットシフトレジスタ (TSR) に送信データの転送が行われたことを示すステータスフラグです。SCI が TDR から TSR にデータを転送すると、TDRE ビットが 1 にセットされます。

TDR へのデータの書き込みは、TDRE ビットの状態にかかわらず行うことができます。しかし、TDRE ビットが 0 の状態で新しいデータを TDR に書き込むと、TDR に格納されていたデータは、まだ TSR に転送されていないため失われてしまいます。したがって TDR への送信データの書き込みは、必ず TDRE ビットが 1 にセットされていることを確認してから行ってください。

15.5.2 複数の受信エラーが同時に発生した場合の動作について

複数の受信エラーが同時に発生した場合、SSR の各ステータスフラグの状態は、表 15.13 のようになります。また、オーバランエラーが発生した場合にはレシーブシフトレジスタ (RSR) からレシーブデータレジスタ (RDR) へのデータ転送は行われず、受信データは失われます。

表 15.13 SSR のステータスフラグの状態と受信データの転送

受信エラーの状態	SSR のステータスフラグ				受信データ転送
	RDRF	ORER	FER	PER	RSR→RDR
オーバランエラー	1	1	0	0	×
フレーミングエラー	0	0	1	0	○
パリティエラー	0	0	0	1	○
オーバランエラー+フレーミングエラー	1	1	1	0	×
オーバランエラー+パリティエラー	1	1	0	1	×
フレーミングエラー+パリティエラー	0	0	1	1	○
オーバランエラー+フレーミングエラー+パリティエラー	1	1	1	1	×

【注】 ○ : RSR→RDR に受信データを転送します。

× : RSR →RDR に受信データを転送しません。

15.5.3 ブレークの検出と処理について（調歩同期式モードのみ）

フレーミングエラー（FER）検出時に RxD 端子の値を直接読み出すことで、ブレークを検出できます。ブレークでは、RxD 端子からの入力がすべて 0 になりますので FER ビットがセットされ、またパリティエラー（PER）もセットされる場合があります。

SCI は、ブレークを受信した後も受信動作を続けますので、FER ビットを 0 にクリアしても再び 1 にセットされますので、注意してください。

15.5.4 ブレークの送り出し（調歩同期式モードのみ）

TxD 端子は、I/O ポートのデータレジスタ（DR）とピンファンクションコントローラ（PFC）のコントロールレジスタ（CR）により入出力方向とレベルが決まる汎用入出力端子になります。これを利用してブレークの送り出しができます。

PFC の設定を行うまではマーク状態を DR の値で代替します。このため、最初は 1 を出力する出力ポートに設定しておきます。

シリアル送信時にブレークを送り出したいときは DR を 0 にクリアした後、PFC で TxD 端子を出力ポートに設定します。

TE ビットを 0 にクリアすると現在の送信状態とは無関係に送信部は初期化されます。

15.5.5 受信エラーフラグと送信動作について（クロック同期式モードのみ）

受信エラーフラグ（ORER、PER、FER）が 1 にセットされた状態では、TDRE フラグを 0 にクリアしても送信を開始できません。必ず送信開始時には、受信エラーフラグを 0 にクリアしておいてください。

また、RE ビットを 0 にクリアしても受信エラーフラグは 0 にクリアできませんので注意してください。

15.5.6 調歩同期式モードの受信データサンプリングタイミングと受信マージン

調歩同期式モードでは、SCI は転送レートの 16 倍の周波数の基本クロックで動作しています。

受信時に SCI は、スタートビットの立ち下がりを基本クロックでサンプリングして、内部を同期化します。また、受信データを基本クロックの 8 クロック目の立ち上がりエッジで内部に取り込みます。これを図 15.24 に示します。

15. シリアルコミュニケーションインタフェース (SCI)

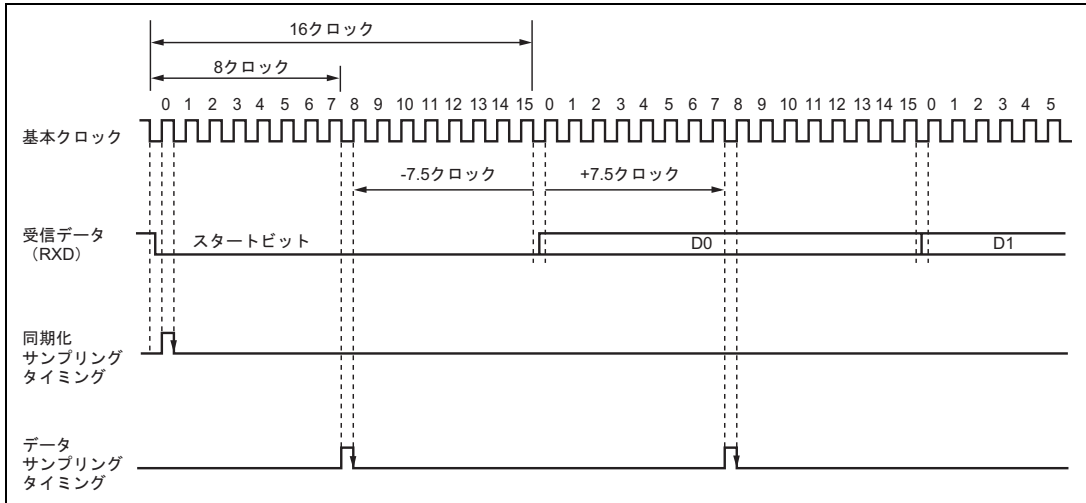


図 15.24 調歩同期式モードの受信データサンプリングタイミング

したがって、調歩同期式モードでの受信マージンは式 (1) のように表すことができます。

$$M = \left| \left(0.5 - \frac{1}{2N} \right) - (L - 0.5)F - \frac{|D - 0.5|}{N} (1 + F) \right| \times 100\% \quad \dots\dots \text{式 (1)}$$

- M : 受信マージン (%)
- N : クロックに対するビットレートの比 (N=16)
- D : クロックデューティ (D=0~1.0)
- L : フレーム長 (L=9~12)
- F : クロック周波数の偏差の絶対値

式 (1) で、F=0、D=0.5 とすると、受信マージンは式 (2) より 46.875% となります。

$$\begin{aligned} & D = 0.5, F = 0 \text{ のとき} \\ & M = (0.5 - 1/(2 \times 16)) \times 100\% \\ & = 46.875\% \quad \dots\dots \text{式 (2)} \end{aligned}$$

ただし、この値はあくまでも計算上の値ですので、システム設計の際には 20~30% の余裕を持たせてください。

15.5.7 DMAC の使用上の注意事項

- (a) 同期クロックに外部クロックソースを使用する場合、DMACによるTDRの更新後、周辺クロック ($P\phi$) で5クロック以上経過した後に、送信クロックを入力してください。TDRの更新後4クロック以内に送信クロックを入力すると、誤動作することがあります。(図15.25)
- (b) DMACにより、RDRの読み出しを行うときは必ず起動要因を当該SCIの受信データフル割り込み (RXI) に設定してください。

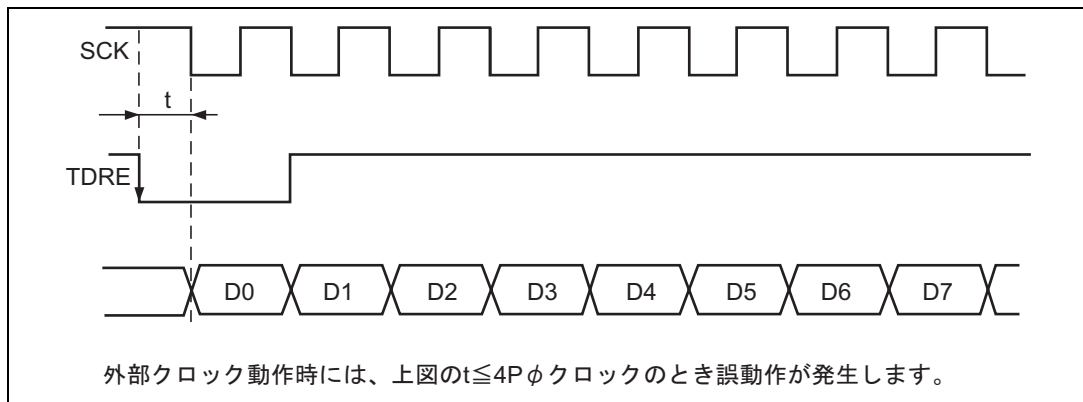


図 15.25 DMAC によるクロック同期式送信時の例

15.5.8 クロック同期外部クロックモード時の注意事項

- (a) $TE=RE=1$ に設定するのは、必ず外部クロックSCKが1のときにしてください。
- (b) $TE=1$ 、 $RE=1$ に設定するのは、外部クロックSCKを0→1にしてから $4P\phi$ クロック以上経過してからにしてください。
- (c) 受信時において、RxDのD7ビットのSCK入力の立ち上がりエッジから $2.5 \sim 3.5P\phi$ クロック後に $RE=0$ にすると $RDRF=1$ になりますが、RDRへのコピーができませんので注意してください。

15.5.9 クロック同期内部クロックモード時の注意事項

受信時において、RxDのD7ビットのSCK出力の立ち上がりエッジから $1.5P\phi$ クロック後に $RE=0$ にすると $RDRF=1$ になりますが、RDRへのコピーができませんので注意してください。

16. コントローラエリアネットワーク-II (HCAN-II)

16.1 概要

コントローラエリアネットワーク-II (HCAN-II) は自動車、および産業機器システム等でのリアルタイム通信を目的とした CAN (Controller Area Network) を制御するためのモジュールです。CAN インプリメンテーションを行うエンジニアにとって設計しやすくなるように、ハードウェアやソフトウェアのインタフェースを簡略化しております。

このドキュメントでは、CAN のデータリンクコントローラ機能は説明していません。以下の CAN 仕様ドキュメントを参照してください。CAN コントローラのインタフェースについてはユーザインタフェースに関連することに限り、説明しています。

参考文献

1. CAN License Specification, Robert Bosch GmbH, 1992
2. CAN Specification Version 2.0, Robert Bosch GmbH, 1991
3. Implementation Guide for the CAN Protocol, CAN Specification 2.0 Addendum, CAN In Automation, Erlangen, Germany
4. OSEK Communication Specification, Version 2.1 revision 1, OSEK /VDX, 17th June 1998

16.1.1 特長

- CAN 仕様 2.0A/2.0B および ISO-11898-1 をサポート
- 31 個の送信/受信プログラマブルメールボックス、1 個の受信専用メールボックス (メールボックス 31 のみ使用制限あり)
- 低消費電力のスリープモード、CAN バスアクティブを検出して自動でスリープモード解除
- すべてのメールボックスでプログラマブルな受信フィルタマスク (スタンダード ID、拡張 ID)
- プログラマブルな CAN データレート最大 500k ビット/秒 (使用制限付き 1M ビット/秒)
- リアルタイムアプリケーションにおける優先度の反転の問題に対する内蔵優先ソート機能付き送信メッセージキュー
- 柔軟な割り込み構成
- 章末の「16.8 使用上の注意事項」を必ずよくお読みください。

16. コントローラエリアネットワーク-II (HCAN-II)

HCAN-II で追加された機能について以下に示します。

- ソフトウェアリセットとホルトを通知する **IRR0** 機能
- **GSR** にホルトモードステータスビットとエラーパッシブステータスビットの追加
- 種々のテストモードのサポート
- データフレームとリモートフレームが独立 (**IRR2** と **IRR1** が独立、**RXPR** と **RFRR** が独立)
- 送信時、メールボックス 31 からメールボックス 1 まで最優先の検索
- 受信時、メールボックス 31 からメールボックス 0 まで一致 ID 検索および 1 受信メッセージは 1 メールボックスに格納
- より柔軟な **BCR**
- バスオフ/バスオフ復帰割り込み (**IRR6**)

その他

- **HCAN-II** 接続方法：2 種類の使用方法を選択可能
32バッファ**HCAN-II** × 2チャンネル (送信端子×2本、受信端子×2本)
64バッファ**HCAN-II** (**Wire AND**) × 1チャンネル
(送信端子×1本、受信端子×1本)
- メールボックス (**HCAN0** のメールボックス 0 のみ) の受信メッセージにより **DMAC** 起動可能

16.2 構成

16.2.1 ブロック図

HCAN-II デバイスは、CAN 2.0B Active と ISO-11898 をサポートする CAN フレームを構成、制御する柔軟で洗練された方法を提供します。HCAN-II モジュールは機能的に 5 種類のブロックからなります。これは、マイクロプロセッサインタフェース (MPI: Micro Processor Interface) および、メールボックス、メールボックスコントロール、タイマ、CAN インタフェースです。図 16.1 に、HCAN-II モジュールのブロック図を示します。バスインタフェースタイミングは Super H 周辺バスインタフェース (P-Bus) に従っています。

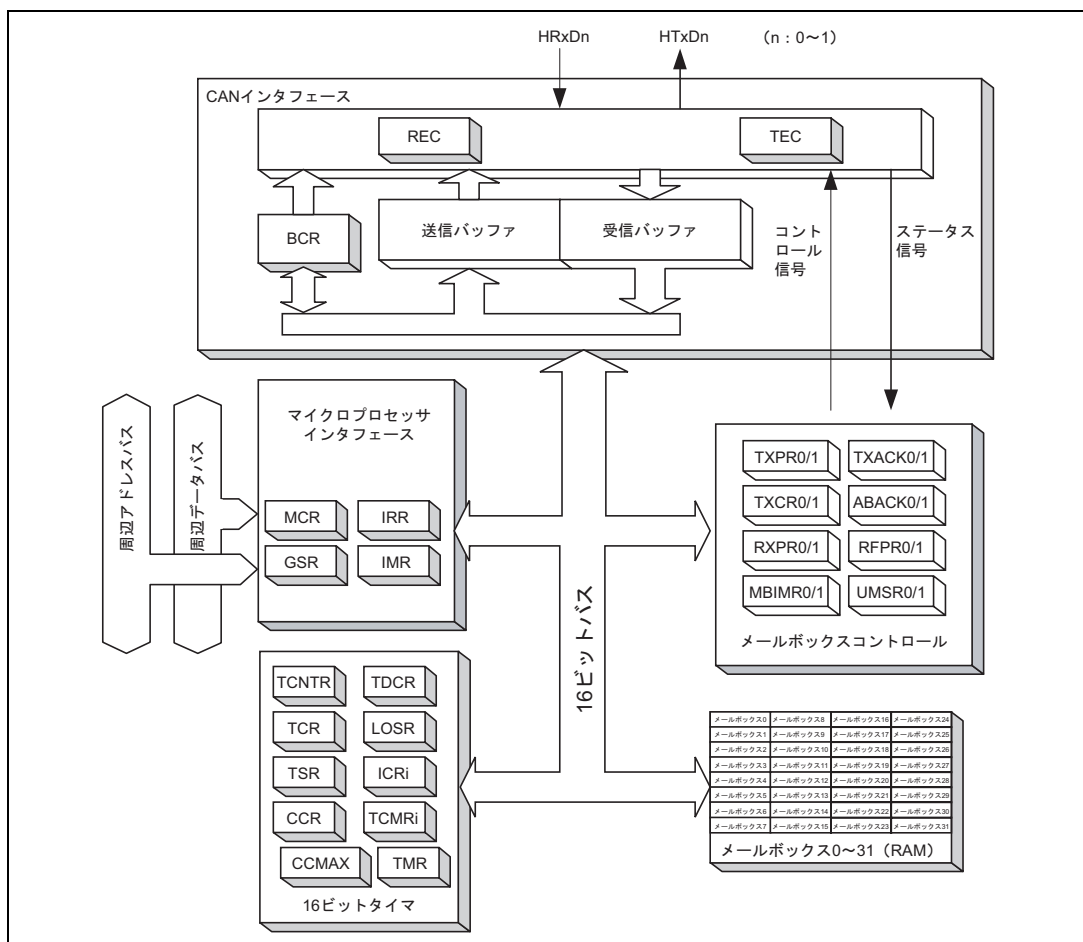


図 16.1 HCAN-II ブロック図 (1 チャンネル当たり)

【注】 HCAN-II は 16 ビットバスシステムに基づいて設計されているため、ロングワード (32 ビット) アクセスは禁止されます。したがって、すべてのレジスタはワードでアクセスしなければなりません。メールボックスのデータエリアへはワードまたはバイトでアクセスしてください。

16.2.2 各ブロックの機能

(1) マイクロプロセッサインタフェース (MPI)

MPIによってホストCPUとHCANのレジスタやメールボックスと通信し、メモリアインタフェース、データコントローラなどを制御することができます。また、MPIはCANバスの状態を検出し、MPIやHCANのほかのモジュールにもCANバスの状態を通知する起動コントロールロジックを持っているので、HCANを自動的にスリープモードから解除することができます。

MCR、IRR、GSR、IMRなどのレジスタがあります。

(2) メールボックス

メールボックスはRAMで構成したメッセージバッファです。32個のメールボックスがあり各メールボックスは以下の情報を格納します。

- CANメッセージコントロール (StdID、RTR、DLC、IDE など)
- CANメッセージデータ (CANデータフレーム用)
- 受信時のローカルアクセプタンスフィルタマスク(LAFM)
- 3ビットのメールボックスコンフィグレーション、リモートリクエスト用自動送信ビット、新着メッセージコントロールビット

(3) メールボックスコントロール

メールボックスコントロールには以下のような機能があります。

メッセージ受信時は、IDを比較しCANインタフェースからのメッセージをメールボックスに格納するためのRAMアドレスを生成し対応するレジスタをセット/クリアします。

メッセージ送信時は、内部アービトレーションを動作させてイベントトリガによる正しい優先順位のメッセージを選択し、メールボックスからCANインタフェースのTxバッファにメッセージをロードします。その後、対応するレジスタをセット/クリアします。

ホストCPUとCANインタフェースおよび、メールボックスコントロール間のメールボックスのアービトレーションを行います。

レジスタはTXPR、TXCR、TXACK、ABACK、RXPR、RFPR、MBIMRなどがあります。

(4) タイマ

タイマは、特定のタイムフレームでメッセージを送受信し、その結果を記録する機能を持つブロックです。タイマはホストCPUに制御される16ビットのフリーランニングアップカウンタです。3本の16ビットコンペアマッチレジスタがあります。その他、割り込みの生成、ローカルオフセット値にカウンタ値をセット/クリア、送信キューの送信メッセージをクリアする機能もあります。また、2本の16ビットインプットキャプチャレジスタは、CANメッセージのタイムスタンプを記録し、CANシステム内でグローバルにタイマ値の同期をとっています。

タイマのクロック周期は周辺クロックから生成され、幅広い選択肢があります。

レジスタは、TCNTR、TCR、TPSR、TDCR、LOSR、ICR0_tm、ICR0_cc、ICR0_buf、ICR1、TCMR0、TCMR1、TCMR2、TMR、CCR、CCR_buf、CMAXなどがあります。

【重要】

SH7058ではタイマ機能はサポートしていません。

(5) CAN インタフェース

CAN インタフェースは、CAN 仕様 2.0A/2.0B (参考文献[2]) で定義された CAN バスデータリンクコントローラ仕様をサポートしています。これは、OSI 参照モデル 7 層で規定されるデータリンク層 (DLC 層) の機能を満足します。また、CAN バス仕様に対応する受信エラーカウンタや送信エラーカウンタ、ビットタイミング設定レジスタ、各種テストモードなどを提供します。さらに、CAN データリンクコントローラの送受信データを格納する機能もあります。

16.2.3 端子構成

表 16.1 に端子構成とその機能を示します。

表 16.1 端子構成

名称	入出力	機 能
HRxD0	入力	チャンネル 0 の CAN バス受信信号
HTxD0	出力	チャンネル 0 の CAN バス送信信号
HRxD1	入力	チャンネル 1 の CAN バス受信信号
HTxD1	出力	チャンネル 1 の CAN バス送信信号

16.2.4 メモリマップ

ソフトウェアからアクセスできるレジスタのメモリマップを図 16.2 (1), (2) に示します。
 ベースアドレス: チャンネル 0 は H'FFFFD000、チャンネル 1 は H'FFFFD800 です。

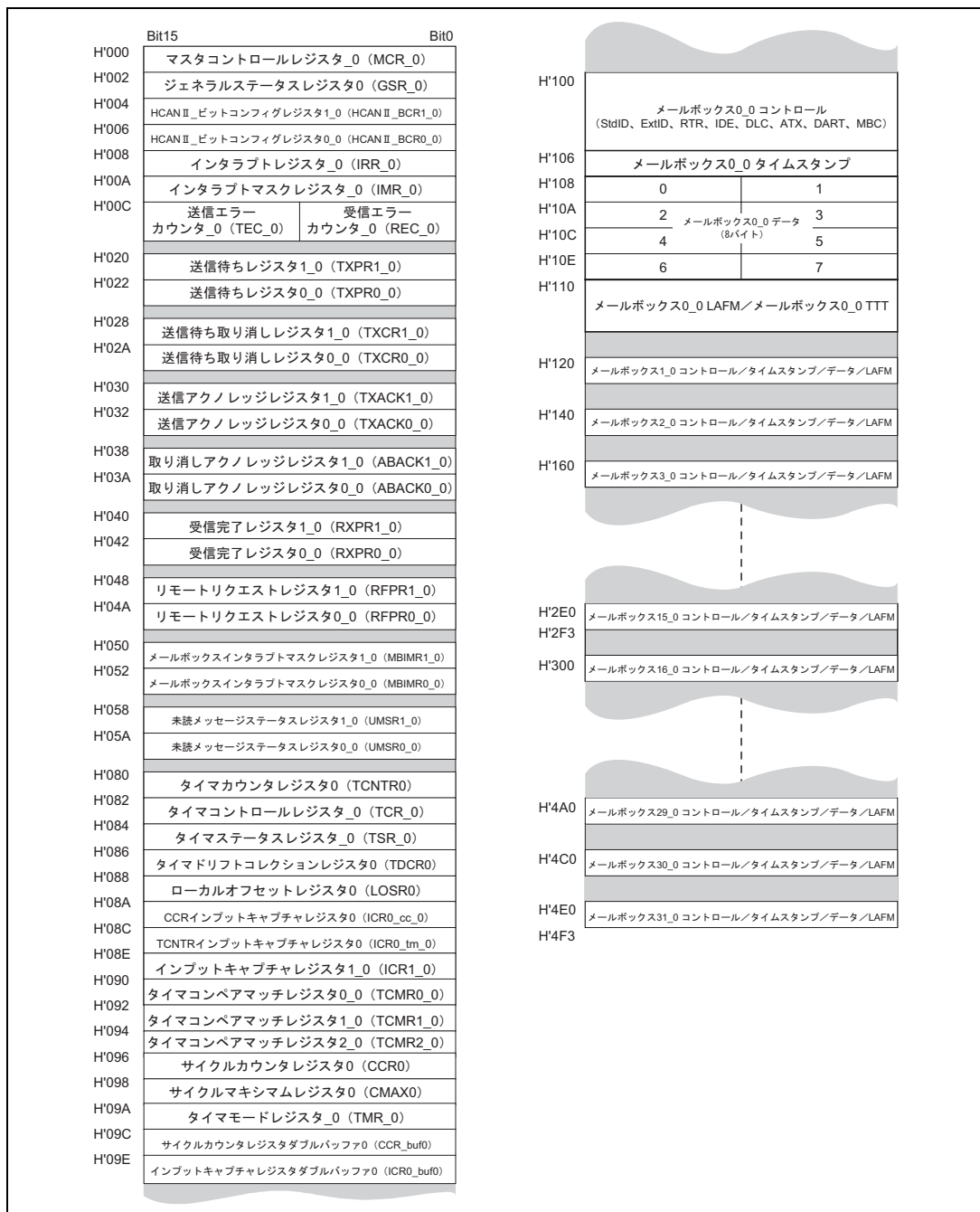


図 16.2 (1) HCAN-II チャンネル 0 (HCAN0) メモリマップ

16. コントローラエリアネットワーク-II (HCAN-II)

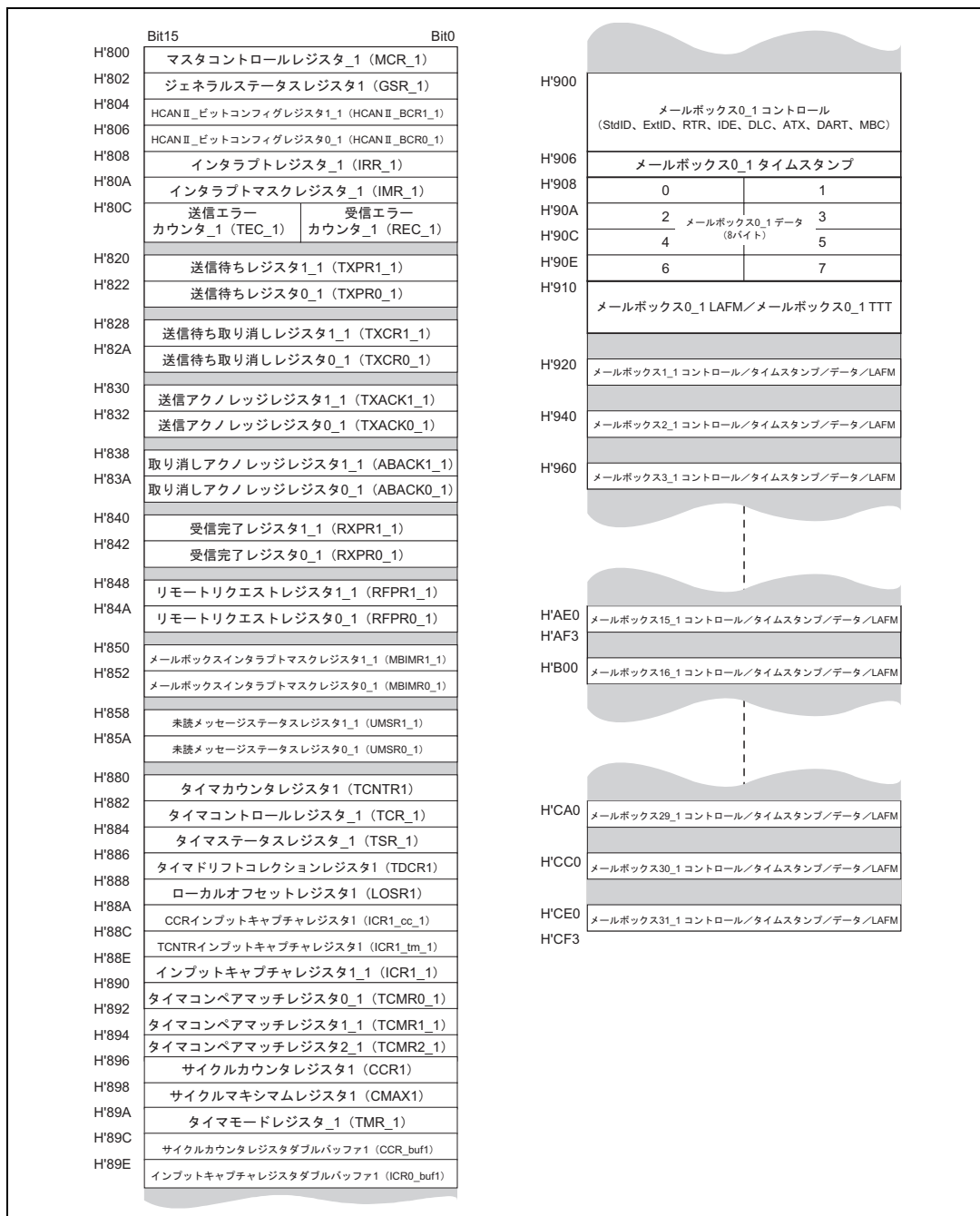


図 16.2 (2) HCAN-II チャンネル 1 (HCAN1) メモリマップ

16.3 メールボックス

16.3.1 メールボックスの構成

メールボックスは CAN フレームを送受信するためのメッセージバッファとして動作します。各メールボックスは 4 個の格納フィールドからなります。これらは、メッセージコントロール、メッセージデータ、タイムスタンプ、ローカルアクセプタンスフィルタマスク (LAFM) /送信トリガタイムの 4 個です。表 16.2 に各メールボックスに対するメモリマップを示します。

【注】 メッセージコントロール (STDID/EXTID/RTR/ZDE)、タイムスタンプ、LAFM/送信トリガタイムフィールドは 16 ビットサイズでのみアクセスできます。メッセージコントロール (NMC/ATX/MBC/DLC) メッセージデータエリアは 16 ビットまたは 8 ビットでアクセスできます。未使用のメールボックスは、RAM の構成に影響があるので、MBC の設定がインアクティブの状態では初期化する必要があります。LAFM がメッセージを受信するために使用されないときは MBC 以外をクリア (0 に設定) する必要があります。

表 16.2 メールボックス構成

メールボックス	アドレス			
	コントロール	タイムスタンプ	データ	LAFM/トリガタイム
	6 バイト	2 バイト	8 バイト	4 バイト
0 (受信のみ)	100 – 105	106 – 107	108 – 10F	110 – 113
1	120 – 125	126 – 127	128 – 12F	130 – 133
2	140 – 145	146 – 147	148 – 14F	150 – 153
3	160 – 165	166 – 167	168 – 16F	170 – 173
4	180 – 185	186 – 187	188 – 18F	190 – 193
5	1A0 – 1A5	1A6 – 1A7	1A8 – 1AF	1B0 – 1B3
6	1C0 – 1C5	1C6 – 1C7	1C8 – 1CF	1D0 – 1D3
7	1E0 – 1E5	1E6 – 1E7	1E8 – 1EF	1F0 – 1F3
8	200 – 205	206 – 207	208 – 20F	210 – 213
9	220 – 225	226 – 227	228 – 22F	230 – 233
10	240 – 245	246 – 247	248 – 24F	250 – 253
11	260 – 265	266 – 267	268 – 26F	270 – 273
12	280 – 285	286 – 287	288 – 28F	290 – 293
13	2A0 – 2A5	2A6 – 2A7	2A8 – 2AF	2B0 – 2B3
14	2C0 – 2C5	2C6 – 2C7	2C8 – 2CF	2D0 – 2D3
15	2E0 – 2E5	2E6 – 2E7	2E8 – 2EF	2F0 – 2F3
16	300 – 305	306 – 307	308 – 30F	310 – 313
17	320 – 325	326 – 327	328 – 32F	330 – 333
18	340 – 345	346 – 347	348 – 34F	350 – 353
19	360 – 365	366 – 367	368 – 36F	370 – 373
20	380 – 385	386 – 387	388 – 38F	390 – 393
21	3A0 – 3A5	3A6 – 3A7	3A8 – 3AF	3B0 – 3B3
22	3C0 – 3C5	3C6 – 3C7	3C8 – 3CF	3D0 – 3D3
23	3E0 – 3E5	3E6 – 3E7	3E8 – 3EF	3F0 – 3F3
24	400 – 405	406 – 407	408 – 40F	410 – 413
25	420 – 425	426 – 427	428 – 42F	430 – 433

16. コントローラエリアネットワーク-II (HCAN-II)

メールボックス	アドレス			
	コントロール	タイムスタンプ	データ	LAFM/トリガタイム
	6 バイト	2 バイト	8 バイト	4 バイト
26	440 – 445	446 – 447	448 – 44F	450 – 453
27	460 – 465	466 – 467	468 – 46F	470 – 473
28	480 – 485	486 – 487	488 – 48F	490 – 493
29	4A0 – 4A5	4A6 – 4A7	4A8 – 4AF	4B0 – 4B3
30	4C0 – 4C5	4C6 – 4C7	4C8 – 4CF	4D0 – 4D3
31	4E0 – 4E5	4E6 – 4E7	4E8 – 4EF	4F0 – 4F3

メールボックス 0 は受信専用で他のメールボックス 1~31 は、メッセージコントロールの MBC (メールボックス設定) の設定によって送信受信ともに動作可能です。メールボックスの詳細を図 16.3 に示します。

【重要】メールボックス 31 を送信バッファとして使用するとき使用制限があります。章末の「16.8 使用上の注意事項」を必ずよくお読みください。

レジスタ名	アドレス		データバス																アクセス サイズ	フィールド ネーム
	HCAN0	HCAN1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MBx[0]~[1]	H'100+N×32	H'900+N×32	0	STDDID[10:0]										RTR	IDE	EXIDT[17:16]	16 ビット	コントロール		
MBx[2]~[3]	H'102+N×32	H'902+N×32	EXTID[15:0]																16 ビット	
MBx[4]~[5]	H'104+N×32	H'904+N×32	CCM	TTE	NMC	ATX	DART	MBC[2:0]	0	TCT	CBE	CLE	DLC[3:0]				8/16 ビット			
MBx[6]	H'106+N×32	H'906+N×32	タイムスタンプ [15:0]																16 ビット	タイムスタンプ
MBx[7]~[8]	H'108+N×32	H'908+N×32	MSG_DATA_0 (最初のRx/Tx バイト)								MSG_DATA_1								8/16 ビット	データ
MBx[9]~[10]	H'10A+N×32	H'90A+N×32	MSG_DATA_2								MSG_DATA_3								8/16 ビット	
MBx[11]~[12]	H'10C+N×32	H'90C+N×32	MSG_DATA_4								MSG_DATA_5								8/16 ビット	
MBx[13]~[14]	H'10E+N×32	H'90E+N×32	MSG_DATA_6								MSG_DATA_7								8/16 ビット	
MBx[15]~[16]	H'110+N×32	H'910+N×32	ローカルアクセプタンスフィルタマスク 0 (LAFM0) /Txトリガタイム 0 (TTT0)																16 ビット	LAFM/Txトリガ コントロール
MBx[17]~[18]	H'112+N×32	H'912+N×32	ローカルアクセプタンスフィルタマスク 1 (LAFM1) /Txトリガタイム 1 (TTT1)																16 ビット	

【注】 1. グレー表示のビットは予約ビットで書き込む値は0にしてください。初期値の読み出し値は保証されません。
 2. ATX と DART と CLE はメールボックス 0 ではサポートされていません。また、メールボックス 0 の MBC 設定値は限られています。
 3. CAN バスがリトルエンディアンに設定されている場合 (MCR4=1)、送信はMSG_DATA_0 の代わりにMSG_DATA_1 から始まります。
 (順番はMSG_DATA_1、MSG_DATA_0、MSG_DATA_3、MSG_DATA_2、MSG_DATA_5、MSG_DATA_4、MSG_DATA_7、MSG_DATA_6 と続きます。)
 4. x/N: 0 ~31 メールボックス番号を表します。

図 16.3 メールボックス N の構成

16.3.2 メッセージコントロールフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MBx[0]~[1]*	H'100 + N × 32	15	—	リザーブビットです。 書き込む値は 0 にしてください。読み出し値は保証されません。
		14~4	STDID [10:0]	スタンダード ID データフレームとリモートフレームの ID (スタンダード ID) を設定します。
		3	RTR	リモート送信リクエスト データフレームとリモートフレームを区別します。 データフレームかリモートフレームかによって受信 CAN フレームがこのビットを書き換えます。 【重要】MBC=001 で ATX をセットすると RTR はセットできません。リモートフレームを受信するとホスト CPU は RFPR または IRR2 (リモートフレームリクエスト割り込み) によって通知されますが、HCAN は現在のメッセージをデータフレームとして送信する必要があるため RTR は 0 に保持されます。 0 : データフレーム 1 : リモートフレーム
		2	IDE	ID エクステンション CAN データフレームとリモートフレームがスタンダード形式か拡張形式かを区別します。 0 : スタンダードフォーマット 1 : エクステンデットフォーマット
		1~0	EXTID [17:16]	エクステンデット ID データフレームとリモートフレームの ID (エクステンデット ID) を設定します。
MBx[2]~[3]*	H'102 + N × 32	15~0	EXTID [15:0]	
MBx[4]~[5]*	H'104 + N × 32	15	CCM	CAN-ID コンペアマッチ 本ビットがセットされると、対応するメールボックスへのメッセージ受信によって 2 つのトリガが発生します。 TCR9 が 1 の場合、TCR14 をクリアして ICR0 をフリーズします。 TCR10 が 1 の場合、TCNTR (タイマカウンタレジスタ) を自動的にクリアし、さらに LOSR (ローカルオフセットレジスタ) の値を設定します。 【重要】本機能は SH7058 ではサポートしておりません。したがって、書き込む値は 0 にしてください。初期値の読み出し値は保証されません。
		14	TTE	タイムトリガイネーブル 本ビットがセットされると、TXPR がすでにセットされているメールボックスが Tx トリガタイムフィールドで設定された時刻にメッセージを送信します。 【重要】本ビットをセットするとメッセージ送信に不具合が起きます。設定禁止。書き込む値は 0 にしてください。初期値の読み出しは保証されません。

* x/N : 0~31 メールボックス番号を表します。

16. コントローラエリアネットワーク-II (HCAN-II)

レジスタ名	アドレス	ビット	ビット名	説明
MBx[4]~[5]*	H'104 + N×32	13	NMC	<p>ニューメッセージコントロール</p> <p>本ビットがクリアされると、RXPR/RFPFR がすでにセットされているメールボックスは新しいメッセージを格納せず、前のメッセージを保持し UMSR の対応するビットをセットします。</p> <p>本ビットがセットされると RXPR/RFPFR がすでにセットされているメールボックスは新しいメッセージを格納し UMSR の対応するビットをセットします。</p> <p>書き換えモード (NMC=1) でメールボックスがメッセージを受信すると、ホスト CPU はメールボックスからのデータ読み出しの最後に追加チェックを実行しなければなりません。これは、別の受信メッセージによってメールボックスが破壊されなかったことを保証するためです。この、メールボックスへのアクセスの最後に実施される追加チェックでは、UMSR の関連ビットがセットされていないことをチェックして書き換えが行われなかったことを確認します。もし、UMSR の関連ビットがセットされていれば、データは壊れているため、メッセージを破棄しなければなりません。</p>
		12	ATX	<p>データフレーム自動送信</p> <p>本ビットが 1 にセットされ、リモートフレームがメールボックスで受信されると現在のメッセージデータを使って同じメールボックスから、データフレームが自動的に送信されます。送信のスケジューリングは CANID によって制御されます。本機能を使用するには MBC[2:0] を 001 にしてください。この方法で送信する場合、DLC (データ長コード) は受信されたものが使用されます。</p> <p>【重要】本機能を使用する場合、リモートフレームを受信した場合でも RTR はセットされません。リモートフレームを受信するとホスト CPU は RFPFR または IRR2 (リモートフレームリクエスト割り込み) によって通知されますが、HCAN は現在のメッセージをデータフレームとして送信する必要があるため RTR は 0 に保持されます。</p>
		11	DART	<p>自動再送信無効</p> <p>本ビットがセットされると、CAN バス上でエラーのイベントが発生した場合や、または CAN バスのアービトレーションでロストした場合メッセージ自動再送信を無効にします。本機能が使用されるときは、対応する TXCR ビットが送信の最初に自動的にセットされます。このビットがクリアされると、HCAN は送信が正常終了されるまで、または TXCR で送信取り消しされるまでメッセージを繰り返し送ります。</p> <p>【重要】本機能は SH7058 ではサポートしておりません。したがって、書き込む値は 0 にしてください。初期値の読み出し値は保証されません。</p>
		10~8	MBC[2:0]	<p>メールボックスコンフィグレーション</p> <p>表 16.3 のとおりにメールボックスの機能を設定します。</p> <p>MBC=111 はメールボックスがインアクティブ (TXPR などの設定にかかわらず送受信しない) を示し、</p> <p>MBC=000 で TTE が設定されると Tx トリガタイムフィールドが使用可能になります。</p> <p>MBC=110,011 は設定禁止です。</p> <p>MBC がこれ以外の値に設定されているとき、LAFM フィールドは使用可能になります。</p> <p>【重要】MB0 は受信専用 (MBC=010) としてお使いください。</p>

* x/N : 0~31 メールボックス番号を表します。

16. コントローラエリアネットワーク-II (HCAN-II)

レジスタ名	アドレス	ビット	ビット名	説明
MBx[4]~[5]*	H'104 + N × 32	7	—	リザーブビットです。 書き込む値は0にしてください。読み出し値は保証されません。
		6	TCT	<p>タイマカウンタ送信</p> <p>本ビットがセットされ、メールボックスが送信に設定されている場合で、DLCが4に設定されるとSOFでTCNTRがMSG_DATA_2とMSG_DATA_3の代わりにメッセージデータの2バイト目と3バイト目に埋め込まれます。</p> <p>また、メールボックスの送信開始時にMSG_DATA_0[3:0]の代わりにCYCLE_COUNTが1バイト目に埋め込まれます。</p> <p>本機能はHCANがタイムマスタでタイムリファレンスメッセージを送信するときに便利です。</p> <p>たとえば、2個のHCANコントローラが同じネットワークにつながり、レシーバがメールボックスNにメッセージを格納している場合、データ形式はCANバスのエンディアンの設定(MCR4)によって図16.4のようになります。</p> <p>【重要】本機能はSH7058ではサポートしておりません。したがって、書き込む値は0にしてください。初期値の読み出し値は保証されません。</p>
		5	CBE	<p>CANバスエラー</p> <p>外部のフォールトトレラントなCANトランシーバを、HCANモジュールに接続して使うことができます。そのエラー出力端子(通常はローアクティブ)が本LSIのCAN_NERR端子に接続されている場合、CAN_NERRの値は各送受信の最後(CBEビット)で本ビットに格納されます(ただし、メッセージが格納されるとき)。CBEのビットは、CAN_NERRの反転値が設定されます。ハイアクティブ端子を持つ場合は逆になります。このビットがセットされると、CANバスに物理エラーがある可能性を示します。CAN_NERRは対応するメールボックスの送受信後に更新されるので、この機能は割り込みなし専用です。送信正常終了割り込み(IRR6)、受信正常終了割り込み(IRR2)が代わる手段です。</p> <p>【重要】本機能はSH7058ではサポートしておりません。したがって、書き込む値は0にしてください。初期値の読み出し値は保証されません。</p>
		4	CLE	<p>送信クリアイネーブル</p> <p>本ビットがセットされると、対応するメールボックスへのメッセージ受信によって、送信キューの送信待ちメッセージが取り消されます。また、IRR8とABACKによって、この送信待ち取り消し動作が通知されます。</p> <p>【重要】本機能はSH7058ではサポートしておりません。したがって、書き込む値は0にしてください。初期値の読み出し値は保証されません。</p>

レジスタ名	アドレス	ビット	ビット名	説明
MBx[4]~[5]*	H'104 + N×32	3~0	DLC[3:0]	データ長コード データフレームで送信されるデータのバイト数を示します DLC[3:0] データ長 0000 0バイト 0001 1バイト 0010 2バイト 0011 3バイト 0100 4バイト 0101 5バイト 0110 6バイト 0111 7バイト 1xxx 8バイト

【注】 x : Don't care

* x/N : 0~31 メールボックス番号を表します。

表 16.3 メールボックスコンフィグレーション ビット (MBC[2:0]) の設定

MBC[2]	MBC[1]	MBC[0]	データ フレーム 送信	リモート フレーム 送信	データ フレーム 受信	リモート フレーム 受信	説明	
0	0	0	可	可	不可	不可	メールボックス 0 は使用禁止	
0	0	1	可	可	不可	可	ATX で使用可能 メールボックス 0 は使用禁止 LAFM は使用可能	
0	1	0	不可	不可	可	可	メールボックス 0 使用可能 LAFM 使用可能	
0	1	1	設定禁止					
1	0	0	不可	可	可	可	メールボックス 0 は使用禁止 LAFM 使用可能	
1	0	1	不可	可	可	不可	メールボックス 0 は使用禁止 LAFM 使用可能	
1	1	0	設定禁止					
1	1	1	メールボックスインアクティブ					

【重要】メールボックス 31 を送信バッファとして使用するとき使用制限があります。章末の「16.8 使用上の注意事項」を必ずよくお読みください。

16. コントローラエリアネットワーク-II (HCAN-II)

- TCT=1の時のメッセージデータフィールド

レジスタ名	アドレス		データバス																アクセス サイズ	フィールド ネーム
	HCAN0	HCAN1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MBx[7]~[8]	H'108+N × 32	H'908+N × 32	Cycle_Counter (最初のRx/Tx バイト)								MSG_DATA_1								8/16 ビット	データ
MBx[9]~[10]	H'10A+N × 32	H'90A+N × 32	TCNTR[7:0]								TCNTR[15:8]								8/16 ビット	
MBx[11]~[12]	H'10C+N × 32	H'90C+N × 32	MSG_DATA_4								MSG_DATA_5								8/16 ビット	
MBx[13]~[14]	H'10E+N × 32	H'90E+N × 32	MSG_DATA_6								MSG_DATA_7								8/16 ビット	
ビッグエンディアン																				
MBx[7]~[8]	H'108+N × 32	H'908+N × 32	MSG_DATA_1								Cycle_Counter (最初のRx/Tx バイト)								8/16 ビット	データ
MBx[9]~[10]	H'10A+N × 32	H'90A+N × 32	TCNTR[15:8]								TCNTR[7:0]								8/16 ビット	
MBx[11]~[12]	H'10C+N × 32	H'90C+N × 32	MSG_DATA_5								MSG_DATA_4								8/16 ビット	
MBx[13]~[14]	H'10E+N × 32	H'90E+N × 32	MSG_DATA_7								MSG_DATA_6								8/16 ビット	
リトルエンディアン																				

図 16.4 メッセージデータフィールド

- メールボックスタイムスタンプフィールド

送受信のメッセージ上のタイムスタンプを記録します。タイムスタンプ機能は、期待するスケジュールでメッセージが送受信されているか、適切な順序で送信するメッセージをスケジューリングしているかどうかなどをモニタするのに便利です。

レジスタ名	アドレス	ビット	ビット名	説明
MBx[6]*	H'106+N×32	15~0	TimeStamp [15:0]	<p>【メッセージ受信】</p> <p>メッセージ受信時には、SOF あるいは EOF を検出したとき、ICR1 (インプットキャプチャレジスタ 1) に TCNTR (タイマカウンタレジスタ値) または Cycle_Counter+TCNTR[15:4] をキャプチャします。</p> <p>どちらをキャプチャするかは、TMR (タイマモードレジスタ) のビット 3 の値により決まります。</p> <p>SOF が検出されたときか EOF が検出されたときかは、TCR13 (タイマコントロールレジスタ) の値に依存します。</p> <p>このキャプチャされた ICR1 の値は、対応するメールボックスのタイムスタンプフィールドに格納されます。</p> <p>【重要】SH7058 においては SOF 時におけるキャプチャはサポートされておりません。したがって、本機能をご使用の際は TCR13 の設定は EOF 検出モード設定にしてください。</p> <p>【メッセージ送信】</p> <p>メッセージ送信時には、TXPR ビットまたは TXACK ビットがセットされたとき、TCNTR (タイマカウンタレジスタ値) または Cycle_Counter+TCNTR[15:4] をキャプチャします。</p> <p>どちらをキャプチャするかは、TMR (タイマモードレジスタ) のビット 3 の値によって決まります。</p> <p>TXPR ビットがセットされたときか TXACK ビットがセットされたときかは、TCR12 の値に依存します。</p> <p>キャプチャした値は対応するメールボックスのタイムスタンプフィールドに格納します。</p> <p>【重要】SH7058 においては TXPR におけるキャプチャはサポートされておりません。</p> <p>SH7058 においては TCNTR (タイマ) の起動による不具合があります。(タイマの使用禁止) したがってタイムスタンプはサポートされません。書き込む値は 0 にしてください。初期値の読み出し値は保証されません。</p>

* x/N : 0~31 メールボックス番号を表します。

16.3.3 メッセージデータフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MBx[7]~[8]*	H'108+N×32	15~8 7~0	MSG_DATA_0 MSG_DATA_1	送受信される CAN メッセージを格納します。 MSG_DATA_0 は送受信される最初のデータバイトに対応します。
MBx[9]~[10]*	H'10A+N×32	15~8 7~0	MSG_DATA_2 MSG_DATA_3	
MBx[11]~[12]*	H'10C+N×32	15~8 7~0	MSG_DATA_4 MSG_DATA_5	
MBx[13]~[14]*	H'10E+N×32	15~8 7~0	MSG_DATA_6 MSG_DATA_7	

* x/N : 0~31 メールボックス番号を表します。

16.3.4 ローカルアクセプタンスフィルタマスク (LAFM) /Tx トリガタイム (TTT)

このエリアは受信ボックスのローカルアクセプタンスフィルタマスク (LAFM) としてまたは送信ボックスの Tx トリガタイム (TTT) として使用されます。

- LAFM

MBCが001、010、011、100、101の場合このフィールドはLAFMフィールドになります。LAFMは2つの16ビットのリードライト可能なエリアから成ります。これはメールボックスが複数の受信IDを受け入れることを許可します。

レジスタ名	アドレス		データバス													アクセスサイズ	フィールド名			
	HCAN0	HCAN1	15	14	13	12	11	10	9	8	7	6	5	4	3			2	1	0
MBx[15]~[16]	H'110+N×32	H'910+N×32	0	STDID[10:0]										0	0	EXTID[17:16]	16ビット	LAFMフィールド		
MBx[17]~[18]	H'112+N×32	H'912+N×32	EXTID[15:0]																16ビット	LAFMフィールド

x/N : 0~31メールボックス番号を表します。

図 16.5 アクセプタンスフィルタ

ビットが LAFM にセットされている場合、HCAN が一致する CANID でメールボックスを検索するとき受信された CAN の ID の対応するビットは無視されます。ビットがクリアされている場合、受信された CAN の ID の対応するビットは格納されるメールボックスに設定されている STD_ID/EXT_ID と一致していなければなりません。LAFM の構造はメールボックスのメッセージコントロールと同じです。この機能を使用しない場合は 0 で埋める必要があります。

- 【注】
1. LAFM を使用する場合、HCAN はメールボックス 31~メールボックス 0 まで一致する ID の検索を開始します。HCAN は ID を見つけるとすぐに検索を終了しメッセージをメールボックスに格納します。これは、受信されたメッセージは 1 つのメールボックスにのみ格納されることを示します。
 2. メッセージが受信され一致するメールボックスが見つかる则ちメッセージ全体がメールボックスに格納されます。LAFM が使用されている場合、STD_ID、RTR、IDE、EXT_ID は受信されたメッセージの STD_ID、RTR、IDE、EXT_ID で更新されるので、受信前に設定されていたものとは異なります。
 3. 一度設定を行った LAFM レジスタの設定を変更する際は HCAN を HALT モードにセットしてから設定を変更してください。また、動作中に LAFM にアクセスすることはしないでください。
 4. 未定義のアドレスにはアクセスしないでください。動作の保証ができません。

● LAFM フィールド

レジスタ名	アドレス	ビット	ビット名	説明
MBx[15]~[16]*	H'110+N×32	15	—	リザーブビットです。 書き込む値は0にしてください。初期値の読み出し値は保証されません。
		14~4	STDID_LAFM [10:0]	CAN ベース ID[10:0]のフィルタマスクビット[10:0] 0 : メールボックス 0 に設定されている CAN ベース ID の対応するビットが有効です。 1 : メールボックス 0 に設定されている CAN ベース ID の対応するビットが無効です。
		3~2	—	リザーブビットです。 書き込む値は0にしてください。初期値の読み出し値は保証されません。
		1~0	EXTID_LAFM [17:16]	CAN 拡張 ID[17:16]のフィルタマスクビット[17:16] 0 : 拡張 CAN ベース ID の対応するビットが有効です。 1 : 拡張 CAN ベース ID の対応するビットが無効です。
MBx[17]~[18]*	H'112+N×32	15~0	EXTID_LAFM [15:0]	CAN 拡張 ID[15:0]のフィルタマスクビット[15:0] 0 : 拡張 CAN ベース ID の対応するビットが有効です。 1 : 拡張 CAN ベース ID の対応するビットが無効です。

* x/N : 0~31 メールボックス番号を表します。

● TTT

MBCが000に設定されているとこのフィールドはTxトリガタイム (TTT) フィールドになります。TTTは2つの16ビットリードライト可能なエリアから成ります。

レジスタ名	アドレス		データバス																アクセスサイズ	フィールド名
	HCAN0	HCAN1	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
MBx[15]~[16]	H'110+N×32	H'910+N×32	Txトリガタイム (絶対値)																16ビット	Txトリガコントロールフィールド
MBx[17]~[18]	H'112+N×32	H'912+N×32	0	0	0	0	Offset[3:0]				0	0	0	0	Rep_Count[3:0]				16ビット	

図 16.6 Txトリガコントロールフィールド

● Txトリガタイムフィールド

レジスタ名	アドレス	ビット	ビット名	説明
MBx[15]~[16]*	H'110+N×32	15~0	TTT	Txトリガタイム メッセージ送信のトリガとなる時間を絶対値で設定。
MBx[17]~[18]*	H'112+N×32	15~12	—	リザーブビットです。 書き込む値は0にしてください。初期値の読み出し値は保証されません。
		11~8	Offset	オフセット
		7~4	—	リザーブビットです。 書き込む値は0にしてください。初期値の読み出し値は保証されません。
		3~0	Rep_Count[3:0]	リピートカウンタ 送信の周期を設定します。

* x/N : 0~31 メールボックス番号を表します。

最初の 16 ビットでメッセージ送信のトリガとなる時間を絶対値で設定します。次の 16 ビットでは送信が開始すべき場所 (オフセット) と周期的送信の周波数などのシステムマトリックスにおける基本サイクルを設定します。TXPR がセットされた場合、対応する Tx トリガタイム (TTT)、リピートカウンタ、オフセットは内部レジスタにダウンロードされます。内部 TTT レジスタが TCNTR に一致し、内部オフセットがサイクルカウンタレジスタ (CCR) に一致する場合、対応するメールボックスは自動的に送信を開始します。本機能を使用するには、TTE (タイムトリガイネーブル) ビットが有効 (1 に設定) で、タイマ (TCNTR) が動作していること (TCR15=1) が必要です。TTE が 0 にクリアされていて対応する TXPR ビットがセットされると、直ちに送信キューをつなげます。リピートカウンタが 0 でない場合、送信は CCR=オフセットから CCR=MAX_CYCLE まで Rep_Count の基本サイクルを周期にして行われます。このように一度 TXPR がソフトウェアによって設定されると、周期的送信を続けるために HCAN は対応する TXPR をクリアしません。周期的送信を停止させるには TXPR が TXCR によってクリアされるか Rep_Count フィールドがクリアされる必要があります。リピートカウンタが 0 の場合プログラムされた基本サイクル (CCR=Offset で TCNTR=TTT) での送信は 1 回しか発生しません。

コンペアマッチタイマクリア/セット機能が使用されている場合 (TCMR0 または CCM によって)、Tx トリガタイムは TCNTR サイクル以外では設定しないでください。タイムトリガ送信中は 1 回のトリガ送信ならトリガすることができ、それらの間隔の最小値が 200 周辺クロックサイクルなら可能です。

16.4 HCAN コントロールレジスタ

この章では、HCAN コントロールレジスタについて説明します。表 16.4 にアドレスマップを示します。

【注】 これらのレジスタは 16 ビットサイズでのみアクセスできます。

表 16.4 HCAN コントロールレジスタ

チャネル	アドレス	レジスタ名	略称	アクセスサイズ (ビット)
0	H'FFFFD000	マスタコントロールレジスタ_0	MCR_0	16
	H'FFFFD002	ジェネラルステータスレジスタ_0	GSR_0	16
	H'FFFFD004	HCAN II_ビットコンフィグレジスタ 1_0	HCAN II_BCR1_0	16
	H'FFFFD006	HCAN II_ビットコンフィグレジスタ 0_0	HCAN II_BCR0_0	16
	H'FFFFD008	インタラプトレジスタ_0	IRR_0	16
	H'FFFFD00A	インタラプトマスクレジスタ_0	IMR_0	16
	H'FFFFD00C	送信エラーカウンタ_0/受信エラーカウンタ_0	TEC_0/REC_0	16
1	H'FFFFD800	マスタコントロールレジスタ_1	MCR_1	16
	H'FFFFD802	ジェネラルステータスレジスタ_1	GSR_1	16
	H'FFFFD804	HCAN II_ビットコンフィグレジスタ 1_1	HCAN II_BCR1_1	16
	H'FFFFD806	HCAN II_ビットコンフィグレジスタ 0_1	HCAN II_BCR0_1	16
	H'FFFFD808	インタラプトレジスタ_1	IRR_1	16
	H'FFFFD80A	インタラプトマスクレジスタ_1	IMR_1	16
	H'FFFFD80C	送信エラーカウンタ_1/受信エラーカウンタ_1	TEC_1/REC_1	16

16.4.1 レジスタの説明

レジスタ説明で使用される記号は以下を意味しています。

初期値 : リセット後のレジスタ値

— : 不定値

R/W : リードおよびライト可。書き込み値を読み出すことができます。

R : リードのみ可。書き込む値は常に 0 にしてください。

R/WC0 : リードおよびライト可。0 を書き込むとビットは初期化されますが、1 の書き込みは無視されます。

R/WC1 : リードおよびライト可。1 を書き込むとビットは初期化されますが、0 の書き込みは無視されます。

W : ライトのみ可。リードは禁止されています。予約ビットの場合、書き込む値は常に 0 にしてください。

—/W : ライトのみ可。読み出し値は不定です。

16. コントローラエリアネットワーク-II (HCAN-II)

16.4.2 マスタコントロールレジスタ_n (MCR_n) (n=0, 1)

マスタコントロールレジスタ (MCR) は 16 ビットのリードライト可能なレジスタで、HCAN を制御します。

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TST7	TST6	TST5	TST4	TST3	TST2	TST1	TST0	MCR7		MCR5	MCR4		MCR2	MCR1	MCR0
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W	R/W	-	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TST7	0	R/W	<p>テストモード</p> <p>本ビットは、TST[6:0]によって設定されるテストモードを有効/無効にします。このビットをセットすると、以下の TST[6:0]が有効になります。</p> <p>0 : HCAN はノーマルモード 1 : HCAN はテストモード</p>
14	TST6	0	R/W	<p>ライト CAN エラーカウンタ</p> <p>本ビットは TEC (送信エラーカウンタ) REC (受信エラーカウンタ) をライト可能にします。同じ値が、同時に TEC と REC にライトされます。TEC/REC にライトできる最大値は D'255 (H'FF) です。これは HCAN を強制的にバスオフ状態にできないことを示しています。TEC/REC にライトする前に HCAN をホルトモードにする必要があります。また、TEC/REC にライトするときは、TST7 (MCR15) を 1 にセットしてください。TEC に書いた値が REC に使用されます。</p> <p>0 : TEC/REC ライト不可、リードオンリ 1 : TEC/REC 同時に同じデータをライト可能</p>
13	TST5	0	R/W	<p>強制エラーパッシブ</p> <p>本ビットは、HCAN をエラーカウンタにかかわらず強制的にエラーパッシブノードにします。</p> <p>0 : HCAN の状態は、エラーカウンタによって決まります。 1 : HCAN はエラーカウンタにかかわらずエラーパッシブノードとなります。</p>
12	TST4	0	R/W	<p>自動アクノレッジモード</p> <p>セルフテストを有効にするために HCAN が自分自身のアクノレッジビットを生成することを許可します。セルフテストモードを行うために、送信されたメッセージはリードバックされる必要があります、このための 2 つの設定方法があります。1 つ目は (Enable Internal Loop = 1 & Disable Tx Output = 1 & Disable Rx Input = 1) を設定し、Tx は内部で Rx に供給されます。2 つ目は (Enable Internal Loop = 0 & Disable Tx Output = 0 & Disable Rx Input = 0) を設定して CAN バス上で Tx と Rx を接続し、送信されたデータは CAN バスを利用して受信することができます。</p> <p>0 : HCAN は自分自身のアクノレッジを生成しません。 1 : HCAN は自分自身のアクノレッジを生成します。</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
11	TST3	0	R/W	<p>エラーカウンタ無効</p> <p>エラーカウンタ (TEC/REC) を有効/無効にします。このビットを無効にすると、エラーカウンタ(TEC/REC)は変化せず値を保持します。このビットを有効にすると、エラーカウンタ(TEC/REC)は CAN 仕様に従って動作します。</p> <p>0 : エラーカウンタ (TEC/REC) は CAN 仕様に従って動作します。</p> <p>1 : エラーカウンタ (TEC/REC) は変化せず値を保持します。</p>
10	TST2	0	R/W	<p>Rx 入力無効</p> <p>CAN インタフェースブロックに供給される Rx を制御します。本ビットが有効に設定されると、Rx 端子の値が CAN インタフェースブロックに供給されます。無効に設定されると CAN ブロックの Rx 値は常にその値が保持されるか、Enable Internal Loop=1 の場合は内部で接続された Tx の値になります。</p> <p>0 : 外部 Rx 端子の値が CAN インタフェースブロックに供給される。</p> <p>1 : Enable Internal Loop=0 の場合 : CAN インタフェースブロックに対して Rx の値を保持します。</p> <p>Enable Internal Loop=1 の場合 : CAN インタフェースブロックに対して内部で Tx の値を供給します。</p>
9	TST1	0	R/W	<p>Tx 出力無効</p> <p>送信データ出力または保持データのための Tx を制御します。本ビットが有効に設定されると、内部の送信出力端子の値が Tx 端子上に現れます。無効に設定されると Tx 値は常に値が保持されているデータになります。</p> <p>0 : 外部 Tx 端子の値が CAN インタフェースブロックから供給される。</p> <p>1 : 内部ループ有効=0 の場合 : Tx の値を保持します。</p> <p>内部ループ有効=1 の場合 : Tx は内部 Rx へ供給されます。</p>
8	TST0	0	R/W	<p>内部ループ有効</p> <p>内部 TX から内部 Rx へのループバックを有効/無効にします。詳細は「16.7.1 テストモード設定」を参照してください。</p> <p>0 : Rx は Rx 端子から供給されます。</p> <p>1 : Rx は内部 Tx から供給されます。</p>
7	MCR7	0	R/W	<p>HCAN-II スリープモード解除</p> <p>MCR7 は自動解除モードを有効/無効にします。本ビットがセットされると、HCAN は CAN バスのアクティブ (ドミナントビット) を検出して自動的にスリープモード (MCR5) を解除します。MCR7 がセットされていないとき HCAN は自動的にスリープモードを解除しません。</p> <p>0 : CAN バスのアクティブによる自動解除を無効</p> <p>1 : CAN バスのアクティブによる自動解除を有効</p>
6	—	0	R	<p>リザーブビットです。</p> <p>書き込む値は 0 にしてください。読み出し値は保証されません。</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
5	MCR5	0	R/W	<p>HCAN-II スリープモード</p> <p>スリープモードへの遷移を有効/無効にします。本ビットがセットされるとスリープモードが有効になります。HCAN は、スリープモードになる前に現在のバスアクセスの終了を待ちます。このモードが終了するまで HCAN は CAN バスの動作を無視します。2 つのエラーカウンタ (REC、TEC) はスリープモード中とその後は同じです。スリープモードを解除するには 2 つの方法があります。このビットに 0 をライトする。</p> <p>MCR7 が有効の場合、CAN バス上のドミナントビットを検出しスリープモードを解除するとき HCAN は再起動前に 11 のリセッショビットをチェックすることで CAN バスと同期を取ります。これは 2 番目の方法が使用されているときに HCAN が最初のメッセージを受信できないことを意味しますが、CAN トランシーバも同じ特長を持ち、ソフトウェアはこの方法で設計される必要があります。</p> <p>【注】 このモードはモジュールをホルトモードにしたリクロックを停止するのと同じです。これは、スリープモードに遷移するときに割り込みは IRR0 から生成されることを意味します。スリープモード中は MPI ブロック、すなわち、MCR/GSR/IRR/IMR だけがアクセス可能です。しかし、IRR1 はスリープモード中にクリアすることはできません。なぜならば、IRR1 は RXPR というスリープモード中にクリアすることができない信号と OR をとっているからです。したがって、最初にホルトモードを設定してからスリープモードに遷移することを推奨します。</p> <p>0 : HCAN スリープモードが解除されています。 1 : HCAN スリープモードへの遷移が有効です。</p> <p>【重要】 スリープモードには使用制限があります。章末の「16.8 使用上の注意事項」を必ずよくお読みください。</p>
4	MCR4	0	R/W	<p>CAN エンディアンモード</p> <p>本ビットは HCAN がメッセージをリトルエンディアンで送信するかビッグエンディアンで送信するかを制御します。つまり、このビットを使用することで HCAN と外部のネットワークで異なるエンディアンにすることもできます。このビットはデータフィールドが送受信するときのみ有効であることに留意してください。</p> <p>0 : データフィールドがビッグエンディアンで送受信 1 : データフィールドがリトルエンディアンで送受信</p>
3	MCR3	0	R/W	<p>リザーブビットです。 初期値を保持してください。</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
2	MCR2	0	R/W	<p>メッセージ送信方式選択</p> <p>本ビットはメールボックスが送信用に設定されている送信待ちの送信データの送信順序を選択します。</p> <p>このビットをセットした場合、送信データは送信待ちレジスタ (TXPR) の送信設定ビットに対応する MB 番号の大きい順 (メールボックス 31 → メールボックス 1) に送信されます。</p> <p>【重要】</p> <p>タイマトリガ送信中この機能は使用できません。</p> <p>このビットがクリアされると、送信メッセージは送信待ちレジスタ (TXPR) の送信設定ビットに対応するメッセージボックスに設定されたメッセージ ID に RTR ビットと IDE ビットを含めたアービトラージフィールド値の小さい順に送信キューに入ります。</p> <p>0: メッセージ ID 優先順に送信 1: メールボックス番号順 (メールボックス 31→メールボックス 1) に送信</p>
1	MCR1	0	R/W	<p>ホルトリクエスト</p> <p>本ビットをセットすると CAN コントローラは現在の動作を終了し CAN バスを切り離します。HCAN は、本ビットがクリアされるまでホルトモードのままになります。ホルトモード中 CAN インタフェースは CAN バス動作に関係せず、メッセージの格納や送信も行いません。すべてのレジスタとメールボックスの内容は保持されます。HCAN が送信や受信を行っている場合、その動作を終了しホルトモードになります。CAN バスがアイドルまたはインタミッション状態の場合、HCAN は直ちにホルトモードになります。ホルトモードになると IRR0 と GSR4 によって通知されます。バスオフ中にホルトがリクエストされると HCAN-II は 128×11 のリセッシブビット後でもバスオフのまま保持します。この状態を解除するにはホルト状態がソフトウェアによって解除される必要があります。</p> <p>ホルトモード中、HCAN はバス動作に関係しないため、HCAN 構成を変更することができます。CAN バス動作に再び参加するには、このビットが 0 にクリアされる必要があります。クリア後、CAN インタフェースは 11 のリセッシブビットが検出されるまで待ち、CAN バスに参加します。</p> <p>0: 通常動作モード 1: ホルトモード遷移リクエスト</p>
0	MCR0	1	R/W	<p>リセットリクエスト</p> <p>HCAN モジュールのリセットを制御します。リセットリクエストを検出後、HCAN コントローラはリセットルーチンに入り、内部ロジックを再び初期化して、リセットモードを通知するため GSR3 と IRR0 をセットして、リセットモードとなります。再初期化中、すべてのレジスタがクリアされます。</p> <p>このビットは CAN バスに参加するためには、0 をライトしてクリアされなければなりません。クリア後、HCAN を再構成する必要があります。11 のリセッシブビットの検出を待たねばならず、それから CAN バスに参加できます。</p> <p>パワーオンリセット後、このビットと GSR3 は常にセットされます。これは、リセットがリクエストされ HCAN が再構成モードに入ったことを示します。</p> <p>0: CAN インタフェースノーマルモード (MCR0=0 & GSR3=0) 設定条件: HCAN リセット後 0 がライトされたとき 1: CAN インタフェースのリセットモード遷移リクエスト</p>

16.4.3 ジェネラルステータスレジスタ_n (GSR_n) (n=0, 1)

ジェネラルステータスレジスタ (GSR) は 16 ビットのリードオンリレジスタで、HCAN の状態を示します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
											GSR5	GSR4	GSR3	GSR2	GSR1	GSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0
R/W:	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~6	—	0	—	リザーブビットです。 書き込む値は0にしてください。読み出し値は保証されません。
5	GSR5	0	R	エラーパッシブステータス CAN インタフェースがエラーパッシブかどうかを示します。本ビットはHCANがエラーパッシブ状態になるとすぐにセットされ、エラーアクティブ状態になるとクリアされます。これは、エラーパッシブ中とバスオフ中は本ビットがハイレベルを保持することを意味します。したがって、正確な状態を知るにはGSR5とGSR0の両方を調べてください。 0: HCANはエラーパッシブではありません。 設定条件: HCANがエラーアクティブ状態の間 1: HCANがエラーパッシブです。(ただし、GSR0=0の場合) 設定条件: TEC ≥ 128 または REC ≥ 128 のとき
4	GSR4	0	R	ホルト/スリープステータス CAN インタフェースがホルト/スリープ状態かどうかを示します。 0: HCANはホルトステートでもスリープ状態でもありません。 1: ホルトモード (MCR1=1の場合) またはスリープモード (MCR5=1の場合) です。 設定条件: MCR1がセットされ、CANバスがインタミッションかアイドル状態の場合
3	GSR3	1	R	リセットステータス CAN インタフェースがリセットステート (コンフィギュレーションモード) かどうかを示します。 0: 通常動作 設定条件: HCAN内部リセット後 1: リセットステート (コンフィギュレーションモード)
2	GSR2	1	R	メッセージ送信終了フラグ HCANが送信リクエスト処理中か終了しているかをホストCPUに示します。本ビットはTXPRのすべてのビットのORです。IRR8 (スロットエンプティ) はTXACK/ABACKのビットのORであることに注意してください。 0: 送信処理中です。 1: 送信リクエスト中のメッセージはありません。

ビット	ビット名	初期値	R/W	説明
1	GSR1	0	R	送信／受信ワーニングフラグ エラーワーニングを示します。 0 : リセット条件 : TEC < 96 または REC < 96 または TEC ≥ 256 のとき 1 : 96 ≤ TEC < 256 または 96 ≤ REC のとき
0	GSR0	0	R	バスオフフラグ HCAN がバスオフ状態であることを示します。 0 : リセット条件 : バスオフ状態から復帰 1 : TEC ≥ 256 (バスオフ状態)

16.4.4 HCAN II_ビットコンフィグレジスタ n (HCAN II_BCR0_n, HCAN II_BCR1_n) (n=0, 1)

ビットタイミング設定レジスタ (以下、BCR0、BCR1 と表記) は 16 ビットのリード／ライト可能なレジスタで、CAN ビットタイミングパラメータと CAN インタフェースのボーレートプリスケラを設定します。

以下、タイムクオンタムを以下のとおり定義します。

$$\text{タイムクオンタム} = \{ \text{BRP} [7:0] + 1 \} / \text{fclk}$$

ここで、BRP (ボーレートプリデバイダ) は BCR0 に格納されている値、fclk は PΦ (周辺クロック) とします。

BCR1

TSEG1 と TSEG2 の設定については、表 16.4 を参照してください。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TSEG1[3:0]					TSEG2[2:0]					SJW[1:0]				EG	BSP
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	-	R/W	R/W	R/W	-	-	R/W	R/W	-	-	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TSEG1[3]	0	R/W	タイムセグメント 1(TSEG1[3:0] = BCR1[15:12])
14	TSEG1[2]	0	R/W	出力バッファアブソーピング、CAN バス、入力バッファ遅延のセグメントを設定します。4~16 タイムクオンタムが設定できます。
13	TSEG1[1]	0	R/W	0000 : 設定禁止
12	TSEG1[0]	0	R/W	0001 : 設定禁止
				0010 : 設定禁止
				0011 : PRSEG + PHSEG1 = 4 タイムクオンタム
				0100 : PRSEG + PHSEG1 = 5 タイムクオンタム
				:
				1111 : PRSEG + PHSEG1 = 16 タイムクオンタム
11	—	0	—	リザーブビットです。 書き込む値は 0 にしてください。読み出し値は保証されません。

16. コントローラエリアネットワーク-II (HCAN-II)

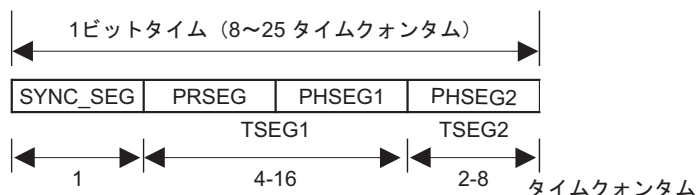
ビット	ビット名	初期値	R/W	説明
10 9 8	TSEG2[2] TSEG2[1] TSEG2[0]	0 0 0	R/W R/W R/W	<p>タイムセグメント 2(TSEG2[2:0] = BCR1[10:8]) 1 ビットタイムエラー訂正のセグメントを設定します。2~8 タイムクオンタムが設定できます。</p> <p>000 : 設定禁止 001 : PHSEG2=2 タイムクオンタム (条件によっては設定禁止です。表 16.5 を参照してください。) 010 : PHSEG2=3 タイムクオンタム 011 : PHSEG2=4 タイムクオンタム 100 : PHSEG2=5 タイムクオンタム 101 : PHSEG2=6 タイムクオンタム 110 : PHSEG2=7 タイムクオンタム 111 : PHSEG2=8 タイムクオンタム</p>
7~6	—	0	—	<p>リザーブビットです。 書き込む値は 0 にしてください。読み出し値は保証されません。</p>
5~4	SJW[1:0]	0	R/W	<p>再同期ジャンプ幅 (SJW[1:0] = BCR0[5:4]) 同期ジャンプ幅を設定します。</p> <p>00 : 1 タイムクオンタム 01 : 2 タイムクオンタム 10 : 3 タイムクオンタム 11 : 4 タイムクオンタム</p>
3~2	—	0	—	<p>リザーブビットです。 書き込む値は 0 にしてください。読み出し値は保証されません。</p>
1	EG	0	R/W	<p>エッジ選択 (EG=BCR1[1]) 再同期に使用するエッジを選択します。スタンダード CAN に従う場合 0 を選択してください。</p> <p>0 : 再同期は Rx の立ち下がりがリッジで行われます。 1 : 再同期は Rx の立ち下がりと立ち上がりの両エッジで行われます。</p>
0	BSP	0	R/W	<p>ビットサンプルポイント (BSP=BCR1[0]) データがサンプリングされるポイントを設定します。</p> <p>【重要】 BRP[7:0]が 4 未満の場合のみ、3 箇所のサンプリングも使用可能です。</p> <p>0 : 1 箇所でビットサンプリングが行われます。(タイムセグメント 1 の最後) 1 : 3 箇所でビットサンプリングが行われます。(タイムセグメント 1 の 最後とその前後 1 タイムクオンタム)</p>

BCR0

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
									BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~8	—	0	—	リザーブビットです。 書き込む値は0にしてください。読み出し値は保証されません。
7	BRP[7]	0	R/W	ボーレートプリスケール(BRP[7:0] = BCR0[7:0]) 1 タイムクオンタムを設定します。 00000000 : 1×PΦ (周辺クロック) 00000001 : 2×PΦ (周辺クロック) 00000010 : 3×PΦ (周辺クロック) : (BRP + 1) × PΦ (周辺クロック) 11111111 : 256×PΦ (周辺クロック)
6	BRP[6]	0	R/W	
5	BRP[5]	0	R/W	
4	BRP[4]	0	R/W	
3	BRP[3]	0	R/W	
2	BRP[2]	0	R/W	
1	BRP[1]	0	R/W	
0	BRP[0]	0	R/W	

ビットコンフィグレジスタについて



- SYNC_SEG : CAN バス上のノードの同期を確立するセグメント (通常のビットエッジ遷移がこのセグメントで発生します。)
- PRSEG : ネットワーク間での物理的な遅延を調整するセグメント
- PHSEG1 : フェーズドリフト (正方向) のバッファセグメント (同期または再同期の際、拡張されます。)
- PHSEG2 : フェーズドリフト (負方向) のバッファセグメント (同期または再同期の際、縮小されます。)

CAN バスビットレートは以下のとおり計算されます。

ビットレート算出式①

$$\text{ビットレート} = \text{fclk} / \{ (\text{BRP} [7:0] + 1) \times ((\text{TSEG1} [3:0] + 1) + (\text{TSEG2} [2:0] + 1) + \text{SYNC_SEG}) \}$$

SYNC_SEG は、1 タイムクオンタムに固定されています。

$$\text{fclk} = P\Phi \text{ (周辺クロック)}$$

BCR 設定は以下を満足するように設定してください。

$$\text{TSEG1} > \text{TSEG2} \geq \text{SJW} \text{ (SJW} = 1 \sim 4)$$

$$\text{TSEG1} + \text{TSEG2} + 3 = 8 \sim 25 \text{ タイムクオンタム}$$

ビットタイミング設定レジスタで TSEG1 と TSEG2 は表 16.5 に示される設定値が上述の設定を満足します。

表 16.5 TSEG1, TSEG2 設定

			TSEG2(BCR[10:8])						
			001*	010	011	100	101	110	111
			2	3	4	5	6	7	8
TSEG1 (BCR [15:12])	0011	4	No	Yes	No	No	No	No	No
	0100	5	Yes	Yes	Yes	No	No	No	No
	0101	6	Yes	Yes	Yes	Yes	No	No	No
	0110	7	Yes	Yes	Yes	Yes	Yes	No	No
	0111	8	Yes	Yes	Yes	Yes	Yes	Yes	No
	1000	9	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1001	10	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1010	11	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1011	12	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1100	13	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1101	14	Yes	Yes	Yes	Yes	Yes	Yes	Yes
	1110	15	Yes	Yes	Yes	Yes	Yes	Yes	Yes
1111	16	Yes	Yes	Yes	Yes	Yes	Yes	Yes	

例：

1. P ϕ (周辺クロック) 周波数 fclk が 20MHz でビットレートを 1Mbps とする場合、ビットレート算出式①より BRP[7 : 0]=1、TSEG1[3 : 0]=5、TSEG2[2 : 0]=2 の条件を満たします。この場合、BCR1 には H'5200、BCR0 には H'0001 をライトすることになります。
2. 周辺クロック周波数 fclk が 16MHz でビットレートを 500kbps の場合、BRP[7:0]=1、TSEG1[3 : 0]=9、TSEG2[2 : 0]=4 が条件を満たします。この場合、BCR1 には H'9400、BCR0 には H'0001 をライトすることになります。

【重要】 BRP[7 : 0]=H'00 設定時
TSEG2[2 : 0] ≠ B'001

16.4.5 インタラプトレジスタ_n (IRR_n) (n=0、1)

インタラプトレジスタ (IRR) は 16 ビットのリード/ライト可能なレジスタで、各種の割り込みのステータスフラグです。

- IRR

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R	R	R/W	R/W	R/W	R/W	R/W	R	R	R/W

ビット	ビット名	初期値	R/W	説明
15	IRR15	0	R/W	<p>タイマコンペアマッチ割り込みフラグ 1</p> <p>タイマコンペアマッチレジスタ 1 (TCMR1) のコンペアマッチ条件が発生したことを示します。TCMR1 に設定された値がタイマ値に一致する (TCMR1=TCNTR) と本ビットがセットされます。TCMR1 が H'0000 のときこのビットはセットされません。</p> <p>0 : タイマコンペアマッチが TCMR1 に発生していません。</p> <p>クリア条件 : 1 をライト</p> <p>1 : タイマコンペアマッチが TCMR1 に発生しています。</p> <p>セット条件 : TMR1=0 のとき、TCMR1 がタイマ値に一致 (TCMR1=TCNTR)。または、TMR1=1 のとき、TCMR1 が Cycle_Count + TCNTR[15:4] に一致。</p>
14	IRR14	0	R/W	<p>タイマコンペアマッチ割り込みフラグ 0</p> <p>タイマコンペアマッチレジスタ 0 (TCMR0) のコンペアマッチ条件が発生したことを示します。TCMR0 に設定された値が、タイマ値に一致 (TCMR0=TCNTR) すると、本ビットがセットされます。TCMR0 が H'0000 のときこのビットはセットされません。</p> <p>0 : タイマコンペアマッチが TCMR0 に発生していません。</p> <p>クリア条件 : 1 をライト</p> <p>1 : タイマコンペアマッチが TCMR0 に発生しています。</p> <p>セット条件 : TCMR0 がタイマ値に一致 (TCMR0=TCNTR)</p>
13	IRR13	0	R/W	<p>タイマオーバーラン割り込みフラグ</p> <p>タイマがオーバーランし、LOSR (ローカルオフセットレジスタ) の値にリセットされたことを示します。TCMR0 がタイマ値をクリアセットすることが有効にされているとき H'FFFF にセットされるときも本ビットはセットされます。</p> <p>0 : タイマはオーバーランしていません。</p> <p>クリア条件 : 1 をライト</p> <p>1 : タイマがオーバーランしています。</p> <p>セット条件 : タイマ (TCNTR) が H'FFFF から H'0000 に変化</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
12	IRR12	0	R/W	<p>バス動作割り込みフラグ</p> <p>CAN バスアクティビティの存在を示します。HCAN がスリープモードで、リセッソからドミナントへのビット遷移が CAN バス上で行われると、本ビットはセットされます。マスタコントロールレジスタで割り込み動作は設定されます (MCR7 が自動起動モード)。このビットに 1 をライトすると割り込みがクリアされます。0 をライトすると無視されます。</p> <p>0 : バスアイドル状態 クリア条件 : 1 をライト 1 : CAN バスアクティビティが HCAN スリープモードで検出 セット条件 : スリープモード中にリセッソからドミナントへのビット遷移を検出</p>
11	IRR11	0	R/W	<p>タイマコンペアマッチ割り込みフラグ 2</p> <p>タイマコンペアマッチレジスタ 2 (TCMR2) のコンペアマッチ条件が発生したことを示します。TCMR2 に設定された値がタイマ値に一致 (TCMR2=TCNTR)、または、Cycle_Count + TCNTR[15:4] に一致すると本ビットがセットされます。どちらに一致するかは TMR2 (タイマモードレジスタ) の設定によって決まります。TCMR2 が H'0000 のときこのビットはセットされません。</p> <p>0 : タイマコンペアマッチが TCMR2 に発生していません。 クリア条件 : 1 をライト 1 : タイマコンペアマッチが TCMR2 に発生しています。 セット条件 : TMR2=0 のとき TCMR2 がタイマ値に一致 (TCMR2=TCNTR) TMR2=1 のとき TCMR2 が Cycle_Count + TCNTR[15:4] に一致</p>
10	IRR10	0	R/W	<p>サイクルカウンタオーバラン割り込みフラグ</p> <p>Cycle_Counter が最大値 (CMAX) に達したことを示します。CCR カウンタが CMAX 値に一致したとき (CCR=CMAX)、本ビットはセットされ CCR がクリアされます。CMAX=0 を設定することによって Cycle_Counter が無効とされ、割り込みが生成されないことに注意してください。</p> <p>0 : サイクルカウンタは CMAX に達していないか CMAX=0 です。 クリア条件 : 1 をライト 1 : サイクルカウンタは CMAX に達していて CMAX が 0 以外です。 セット条件 : CCR が CMAX に一致 (CCR=CMAX)</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
9	IRR9	0	R	<p>メッセージオーバーラン／オーバーライト割り込みフラグ</p> <p>メールボックスに存在しているメッセージが読まれていない状態で新しいメッセージが受信されたことを示すステータスフラグです。 (RXPR または RFPR が 1 にセットされているために起こります。)</p> <p>新しく受信されたメッセージは NMC (ニューメッセージコントロール) の設定によって捨てられる (オーバーラン) かまたは上書き (オーバーライト) されます。本ビットは UMSR (未読メッセージステータスレジスタ) の対応するビットに 1 をライトすることでクリアされます。0 をライトすると無視されます。</p> <p>0 : オーバーラン／オーバーライトのメッセージはありません。 クリア条件 : UMSR のすべてのビットをクリア 1 : 受信メッセージがオーバーランし格納が拒否されたかメッセージが上書きされました。 セット条件 : RXPR か RFPR が 1 にセットされ MBIMR=0 のときにメッセージ受信</p>
8	IRR8	0	R	<p>メールボックス空き割り込みフラグ</p> <p>メッセージが送信または送信取り消しが正常終了し、メールボックスが次の送信用メッセージデータを受け入れる準備ができていることを示します。本ビットは TXPR ビットのうち少なくとも 1 ビットがクリアされるとセットされます。本ビットは TXACK と ABACK ビットの OR によってセットされます。したがって TXACK と ABACK のすべてのビットがクリアされると自動的に本ビットもクリアされます。0 をライトすると無視されます。本ビットは GSR2 と異なり、すべての TXPR ビットがリセットされることを意味しないことに注意してください。</p> <p>0 : 送信または送信待ち取り消しするメッセージが処理中ではありません。 クリア条件 : TXACK と ABACK のすべてのビットがクリア 1 : メッセージが送信またはアボートされ新しいメッセージが格納可能です。 セット条件 : 送信完了または送信取り消し完了 (MBIMR=0 の場合 TXACK または ABACK のビットがセット) により TXPR の 1 つのビットがクリアされたとき。</p>
7	IRR7	0	R/W	<p>オーバーロードフレーム割り込みフラグ</p> <p>HCAN がオーバーロードフレームを送信したことを示します。本ビットの位置に 1 をライトすることでリセットされるまでラッチされた状態を保持します。0 をライトすると無視されます。</p> <p>0 : クリア条件 : 1 をライト 1 : セット条件 : オーバロードフレームを送信</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
6	IRR6	0	R/W	<p>バスオフ/バスオフ復帰割り込みフラグ</p> <p>HCANがバスオフ状態になったとき、または、バスオフ状態を解除しエラーアクティブに戻ったとき本ビットはセットされます。ノードのTEC ≥ 256 またはバスオフの状態でも11リセツピットを128回受信したという条件が存在しているためです。本ビットはHCANノードがバスオフを解除してもラッチされ続けるので、ソフトウェアでクリアする必要があります。HCANがバスオフかエラーアクティブかを判定するにはGSR0をリードしてください。たとえバスオフ状態でも1をライトするとクリアされます。0をライトすると無視されます。</p> <p>0：クリア条件：1をライト 1：送信エラーによるバスオフ状態またはバスオフから復帰したエラーアクティブ状態</p> <p>セット条件：TEC ≥ 256 またはバスオフの状態でも連続11レセツピットを128回受信したとき</p>
5	IRR5	0	R/W	<p>エラーパッシブ割り込みフラグ</p> <p>送信または受信エラーカウンタによるエラーパッシブ状態を示します。1をライトするとクリアされます。0をライトすると無視されず。本ビットをクリアしてもノードはエラーパッシブのままになります。</p> <p>0：クリア条件：1をライト 1：送受信エラーによるエラーパッシブ状態</p> <p>セット条件 TEC ≥ 128 または REC ≥ 128 のとき</p>
4	IRR4	0	R/W	<p>受信ワーニング割り込みフラグ</p> <p>受信エラーカウンタ (REC) が96を超えた場合、本ビットはセットされラッチされます。1をライトするとクリアされます。0をライトすると無視されます。割り込みがクリアされる時RECは96より大きい値を保持します。</p> <p>0：クリア条件：1をライト 1：受信エラーによるエラーワーニング状態</p> <p>セット条件：REC ≥ 96 のとき</p>
3	IRR3	0	R/W	<p>送信ワーニング割り込みフラグ</p> <p>送信エラーカウンタ (TEC) が96を超えた場合、本ビットはセットされラッチされます。1をライトするとクリアされます。0をライトすると無視されます。割り込みがクリアされる時TECは96より大きい値を保持します。</p> <p>0：クリア条件：1をライト 1：送信エラーによるエラーワーニング状態</p> <p>セット条件：TEC ≥ 96 のとき</p>
2	IRR2	0	R	<p>リモートフレームリクエスト割り込みフラグ</p> <p>リモートフレームがメールボックスに受信されたことを示します。本ビットは少なくとも1つの受信メールボックスにリモートフレーム送信リクエストがある場合にセットされます。リモートリクエスト待ちレジスタ (RFPR) のすべてのビットがクリアされることによってこのビットもクリアされます。ライトすると無視されます。</p> <p>0：クリア条件：RFPRのすべてのビットをクリア 1：少なくとも1つのリモートリクエストがペンディング</p> <p>セット条件：リモートフレームが受信され対応するMBIMRが0</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
1	IRR1	0	R	<p>受信メッセージ割り込みフラグ</p> <p>受信されたペンディングデータフレームがあることを示します。少なくとも1つの受信メールボックスにペンディングメッセージがある場合、本ビットはセットされます。受信メッセージ待ちレジスタ (RXPR) のすべてのビットがクリアされると (どの受信メールボックスにもペンディングメッセージがない)、本ビットもクリアされます。設定された各受信メールボックスの論理 OR です。ライトすると無視されます。</p> <p>0 : クリア条件 : RXPR のすべてのビットをクリア 1 : データフレームが受信されメールボックスに格納 セット条件 : データが受信され対応する MBIMR が 0</p>
0	IRR0	1	R/W	<p>リセット/ホルト/スリープ割り込みフラグ</p> <p>CAN インタフェースがリセットまたはホルトされていて、現在 HCAN がコンフィギュレーションモードかスリープモードであることを示します。MCR0 (ソフトウェアリセット) または、MCR1 (ホルト)、MCR5 (スリープ) リクエストが発生する場合ホスト CPU に HCAN の状態の変化を通知するため割り込みが本ビットを使用して生成されます。HCAN の状態を知るためにこのビットがセットされた後に GSR をリードすることもできます。</p> <p>【重要】 スリープモードリクエストが必要な場合、あらかじめホルトモードを使用してください。詳細は MCR5 を参照してください。</p> <p>0 : クリア条件 : 1 をライト 1 : ソフトウェアリセットモード、または、ホルトモード、ホルトモードなしのスリープモードへの遷移 セット条件 : MCR0 (ソフトウェアリセット) または、MCR1 (ホルト)、MCR5 (スリープ) がリクエストされてから、リセット/ホルト処理が終了したとき</p>

16.4.6 インタラプトマスクレジスタ_n (IMR_n) (n=0, 1)

インタラプトマスクレジスタ (IMR) は 16 ビットのレジスタで、インタラプトレジスタ (IRR) の対応する割り込み要求が出力されるのをマスクします。対応するビットが 1 に設定されていると割り込みリクエストはマスクされます。本レジスタはいつでもリード/ライトできます。IMR は割り込み要求の生成を制御しますが IRR の対応するビットの設定を制御するわけではありません。

- IMR

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0
初期値 :	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説 明
15	IMR15	1	R/W	対応する IRR[15:0]の割り込みをマスクします。本ビットがセットされると、IRR の設定は保持されますが割り込みはマスクされます。 0 : 対応する IRR はマスクされません。(割り込み要求が条件に従って生成されます。) 1 : 対応する IRR の割り込みがマスクされます。
14	IMR14	1	R/W	
13	IMR13	1	R/W	
12	IMR12	1	R/W	
11	IMR11	1	R/W	
10	IMR10	1	R/W	
9	IMR9	1	R/W	
8	IMR8	1	R/W	
7	IMR7	1	R/W	
6	IMR6	1	R/W	
5	IMR5	1	R/W	
4	IMR4	1	R/W	
3	IMR3	1	R/W	
2	IMR2	1	R/W	
1	IMR1	1	R/W	
0	IMR0	1	R/W	

16.4.7 送信エラーカウンタ_n (TEC_n) (n=0、1) / 受信エラーカウンタ_n (REC_n) (n=0、1)

送信エラーカウンタ (TEC) /受信エラーカウンタ (REC) は16ビットのリード (ライト) レジスタでCANインタフェース上の送受信メッセージエラーの数を示すカウンタです。カウント値はCANプロトコル仕様 (参考文献[2][3]) に規定されています。通常モードではレジスタはリードオンリでCANインタフェースによってのみ書き換えられます。また、リセットリクエスト (MCR0) またはバスオフによってクリアすることができます。

テストモード (MCR[15]=MCR[14]=1) では、このレジスタに書き込むことができます。TECとRECには同じ値しか書き込むことができません。TECに設定した値がTECとRECに書き込まれます。このレジスタに書き込むとき、HCANはホルトモードでなければなりません。この機能はテスト用に限定されます。

【重要】 HCAN-IIのステータスがバスオフ中は、TEC、RECの値は不定となります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

● TEC/REC

ビット	ビット名	初期値	R/W	説明
15	TEC7	0	R/W*	送信エラーカウンタ CAN仕様 (CAN仕様ドキュメントを参照してください) に基づく送信中にエラーが検出されると本レジスタ値がインクリメントされます。
14	TEC6	0	R/W*	
13	TEC5	0	R/W*	
12	TEC4	0	R/W*	
11	TEC3	0	R/W*	
10	TEC2	0	R/W*	
9	TEC1	0	R/W*	
8	TEC0	0	R/W*	
7	REC7	0	R/W*	受信エラーカウンタ CAN仕様 (CAN仕様ドキュメントを参照してください) に基づく受信中にエラーが検出されると本レジスタ値がインクリメントされます。
6	REC6	0	R/W*	
5	REC5	0	R/W*	
4	REC4	0	R/W*	
3	REC3	0	R/W*	
2	REC2	0	R/W*	
1	REC1	0	R/W*	
0	REC0	0	R/W*	

【注】 *MCR15=MCR14=1でテストモードのときのみライトすることができます。

16.5 HCAN メールボックスレジスタ

HCAN メールボックスレジスタは各メールボックスを制御します。アドレスは以下に示します。

【注】 HCAN メールボックスレジスタはワードサイズ（16 ビット）でのみアクセスできます。

表 16.6 HCAN メールボックスレジスタ

チャンネル	アドレス (バイト)	レジスタ名	略称	R/W	アクセスサイズ (ビット)
0	H'D020	送信待ちレジスタ 1_0	TXPR1_0	R/W	16
	H'D022	送信待ちレジスタ 0_0	TXPR0_0	R/W	
	H'D024				
	H'D026				
	H'D028	送信待ち取り消しレジスタ 1_0	TXCR1_0	R/W	16
	H'D02A	送信待ち取り消しレジスタ 0_0	TXCR0_0	R/W	
	H'D02C				
	H'D02E				
	H'D030	送信アクノレッジレジスタ 1_0	TXACK1_0	R/W	16
	H'D032	送信アクノレッジレジスタ 0_0	TXACK0_0	R/W	
	H'D034				
	H'D036				
	H'D038	取り消しアクノレッジレジスタ 1_0	ABACK1_0	R/W	16
	H'D03A	取り消しアクノレッジレジスタ 0_0	ABACK0_0	R/W	
	H'D03C				
	H'D03E				
	H'D040	受信完了レジスタ 1_0	RXPR1_0	R/W	16
	H'D042	受信完了レジスタ 0_0	RXPR0_0	R/W	
	H'D044				
	H'D046				
	H'D048	リモートリクエストレジスタ 1_0	RFPR1_0	R/W	16
	H'D04A	リモートリクエストレジスタ 0_0	RFPR0_0	R/W	
	H'D04C				
	H'D04E				
	H'D050	メールボックスインタラプトマスクレジスタ 1_0	MBIMR1_0	R/W	16
	H'D052	メールボックスインタラプトマスクレジスタ 0_0	MBIMR0_0	R/W	
	H'D054				
	H'D056				
	H'D058	未読メッセージステータスレジスタ 1_0	UMSR1_0	R/W	16
	H'D05A	未読メッセージステータスレジスタ 0_0	UMSR0_0	R/W	
H'D05C					
H'D05E					

16. コントローラエリアネットワーク-II (HCAN-II)

チャンネル	アドレス (バイト)	レジスタ名	略称	R/W	アクセスサイズ (ビット)
1	H'D820	送信待ちレジスタ 1_1	TXPR1_1	R/W	16
	H'D822	送信待ちレジスタ 0_1	TXPR0_1	R/W	
	H'D824				
	H'D826				
	H'D828	送信待ち取り消しレジスタ 1_1	TXCR1_1	R/W	16
	H'D82A	送信待ち取り消しレジスタ 0_1	TXCR0_1	R/W	
	H'D82C				
	H'D82E				
	H'D830	送信アクノレッジレジスタ 1_1	TXACK1_1	R/W	16
	H'D832	送信アクノレッジレジスタ 0_1	TXACK0_1	R/W	
	H'8034				
	H'D836				
	H'D838	取り消しアクノレッジレジスタ 1_1	ABACK1_1	R/W	16
	H'D83A	取り消しアクノレッジレジスタ 0_1	ABACK0_1	R/W	
	H'D83C				
	H'D83E				
	H'D840	受信完了レジスタ 1_1	RXPR1_1	R/W	16
	H'D842	受信完了レジスタ 0_1	RXPR0_1	R/W	
	H'D844				
	H'D846				
	H'D848	リモートリクエストレジスタ 1_1	RFPR1_1	R/W	16
	H'D84A	リモートリクエストレジスタ 0_1	RFPR0_1	R/W	
	H'D84C				
	H'D84E				
	H'D850	メールボックスインタラプトマスクレジスタ 1_1	MBIMR1_1	R/W	16
	H'D852	メールボックスインタラプトマスクレジスタ 0_1	MBIMR0_1	R/W	
	H'D854				
	H'D856				
	H'D858	未読メッセージステータスレジスタ 1_1	UMSR1_1	R/W	16
	H'D85A	未読メッセージステータスレジスタ 0_1	UMSR0_1	R/W	
H'D85C					
H'D85E					

16.5.1 送信待ちレジスタ n (TXPR0n, TXPR1n) (n=0, 1)

TXPR1 と TXPR0 は 16 ビットのリード/条件付きライトレジスタで CAN モジュールの送信待ちフラグを含みます。TXPR1 はメールボックス 31~16 を制御し、TXPR0 はメールボックス 15~1 を制御します。ホスト CPU は対応するビットに 1 をライトすることでメールボックスに格納した送信メッセージを送信待ち状態にします。0 をライトすると無視されます。TXPR は 0 をライトしてもクリアされません。対応する TXCR を設定してクリアしてください。送信待ち状態かどうかをホスト CPU が判断するために TXPR をリードすることもあります。メールボックス 0 以外にはすべてのメールボックスに対して送信待ちビットがあります。メールボックスが受信に設定されているとき 1 をライトしても無視されます。送信のための内部アービトレーションが行われるときに自動的にクリアされます。

対応するメッセージの送信が正常終了後または、送信待ち取り消しが TXCR から正常にリクエストされる時、HCAN が送信待ちフラグをクリアします。CAN ノードがアービトレーション処理をロストするか、または CAN バス上のエラーによってメッセージが送信されない場合、TXPR はクリアされず、対応するメールボックスのメッセージコントロールの DART (自動再送信無効) ビットがセットされるまで、HCAN は自動的に再送しようとしています。DART ビットがセットされると送信待ち はクリアされ、メールボックスエンプティ割り込みフラグ (IRR8) と取り消しアクノレッジレジスタ (ABACK) の対応するビットを使用して通知されます。

TXPR が変化する場合、バスアービトレーションをロストしたり CAN バス上にエラーがあっても、ID の優先順位 (MCR[2]=0) で設定されたとおりに最優先のメッセージが常に正しい方法で送信用に与えられることを HCAN は確実に実行します。詳細は「16.7 動作説明」を参照してください。

HCAN が TXPR を 0 に変更する場合、メールボックス空き割り込み (IRR8) が生成されることがあります。これはメールボックスの送信が正常終了したか送信取り消しされたことを示します。メッセージ送信が正常終了した場合は、TXACK レジスタに示され、メッセージ送信が取り消された場合は ABACK レジスタに示されます。これらのレジスタを確認することによって、対応するメールボックスのメッセージデータの内容が次の送信用の準備のために書き換えられます。

【重要】 メールボックス 31 を送信バッファとして使用するとき使用制限があります。章末の「16.8 使用上の注意事項」を必ずよくお読みください。

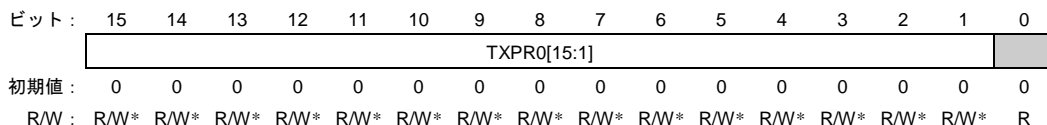
- TXPR1n (n=0, 1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TXPR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TXPR1 [15:0]	0	R/W*	対応するメールボックスへ CAN フレームを送信するようにリクエストを出します。ビット 15~0 がメールボックス 31~16 にそれぞれ対応します。複数のビットをセットすると、送信順は MCR2 (CAN-ID またはメールボックス番号順) によって決まります。 0: 対応するメールボックスが送信メッセージアイドル状態 クリア条件: メッセージ送信またはメッセージ送信待ち取り消しが完了したとき (自動クリア) 1: 対応するメールボックスに送信リクエストする

【注】 * メールボックスを送信に設定する 1 のみライトすることができます。

• TXPR0n (n=0, 1)



ビット	ビット名	初期値	R/W	説明
15~1	TXPR0 [15:1]	0	R/W*	CAN フレームを送信するように対応するメールボックスへリクエストを出します。ビット 15~1 がメールボックス 15~1 に対応します。複数のビットをセットすると、送信順は MCR2 (CAN_ID またはメールボックス番号順) によって決まります。 0: 対応するメールボックスが送信メッセージアイドル状態 クリア条件: メッセージ送信またはメッセージ送信待ち取り消しが完了したとき (自動クリア) 1: 対応するメールボックスの送信リクエスト
0	—	0	R	リザーブビットです。 メールボックスが受信のみなので本ビットは常に 0 です。1 をライトしても無視されます。読み出し値は保証されません。

【注】 * メールボックスを送信に設定する 1 のみライトすることができます。

16.5.2 送信待ち取り消しレジスタ n (TXCR1、TXCR0) (n=0, 1)

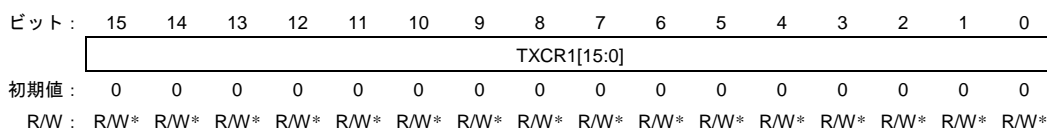
TXCR1 と TXCR0 は 16 ビットのリード/条件付きライトレジスタです。TXCR1 はメールボックス 31~16 を制御し、TXCR0 はメールボックス 15~1 を制御します。このレジスタは、ホスト CPU が TXPR にある送信待ちメッセージを送信待ち取り消しするために使用されます。TXPR の対応するビットをクリアするためには、ホスト CPU から対応する TXCR のビットに 1 をライトしてください。0 をライトすると無視されます。

送信取り消しが正常に行われると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。しかし、いったん、メールボックスが送信を開始すると、このビットで送信待ち取り消しすることはできません。この場合、送信が正常終了すると CAN コントローラは TXPR と TXCR のビットをクリアし、TXACK のビットを設定します。バスのアービトレーションロストやバス上のエラーによって送信が失敗すると、CAN コントローラは対応する TXPR と TXCR のビットをクリアし、ABACK のビットをセットします。ホスト CPU によって送信待ちではないメールボックス送信を取り消そうとしても無視され、送信のための内部アービトレーションが動作するとき自動的にクリアされます。

【重要】送信待ち取り消し方法の詳細は「16.7 動作説明」を参照してください。

【重要】メールボックス 31 を送信バッファとして使用するとき使用制限があります。章末の「16.8 使用上の注意事項」を必ずよくお読みください。

• TXCR1n (n=0, 1)



16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
15~0	TXCR1 [15:0]	0	R/W*	送信キューにあるメールボックスの送信待ち取り消しをリクエストします。ビット 15~0 がメールボックス 31~16、TXPR1[15:0]にそれぞれ対応します。 0 : 対応するメールボックスが送信メッセージ取り消しアイドル状態 クリア条件 : 送信待ち取り消しが完了したとき (自動クリア) 1 : 対応するメールボックスの送信待ち取り消しリクエスト

【注】 * 送信リクエストされたまたは送信用に設定されたメールボックスにのみ 1 をライトすることができます。送信用に設定されたメールボックスに 1 をライトしたときのみです。

• TXCR0n (n=0、1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
	TXCR0[15:1]																
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R

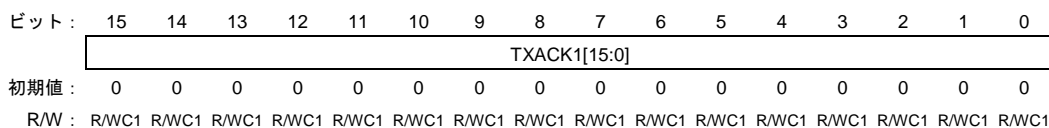
ビット	ビット名	初期値	R/W	説明
15~1	TXCR0 [15:1]	0	R/W*	送信キューにあるメールボックスの送信待ち取り消しをリクエストします。ビット 15~1 がメールボックス 15~1、TXPR0[15:1]に対応します。 0 : 対応するメールボックスが送信メッセージ取り消しアイドル状態 クリア条件 : 送信待ち取り消しが完了したとき (自動クリア) 1 : 対応するメールボックスの送信待ち取り消しリクエスト
0	0	0	R	メールボックスが受信のみなので本ビットは常に 0 です。1 をライトしても無視されます。読み出し値は常に 0 です。

【注】 * 送信リクエストされたまたは送信用に設定されたメールボックスにのみ 1 をライトすることができます。送信用に設定されたメールボックスに 1 をライトしたときのみです。

16.5.3 送信アクノレッジレジスタ n (TXACK1n、TXACK0n) (n=0、1)

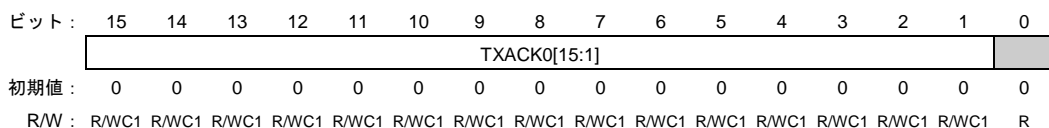
TXACK1 と TXACK0 は 16 ビットのリード/条件付きライトレジスタです。このレジスタはメールボックスの送信が正常に行われたことをホスト CPU に通知します。送信が正常終了したときに HCAN が TXACK レジスタの対応するビットをセットします。ホスト CPU は 1 をライトすることで TXACK のビットをクリアすることができます。0 をライトすると無視されます。

• TXACK1n (n=0、1)



ビット	ビット名	初期値	R/W	説明
15~0	TXACK1 [15:0]	0	R/WC1	対応するメールボックスのリクエストされた送信が正常に終了したことを通知します。ビット 15~0 がメールボックス 31~16 に対応します。 0: クリア条件: 1 をライト 1: 対応するメールボックスがメッセージ (データまたはリモートフレーム) を正常送信しました。 セット条件: 対応するメールボックスのメッセージ送信終了

• TXACK0n (n=0、1)

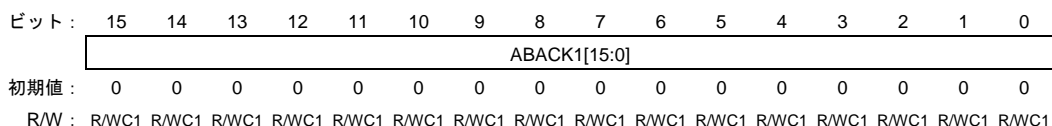


ビット	ビット名	初期値	R/W	説明
15~1	TXACK0 [15:1]	0	R/WC1	対応するメールボックスのリクエストされた送信が正常に終了したことを通知します。ビット 15~1 がメールボックス 15~1 にそれぞれ対応します。 0: クリア条件: 1 をライト 1: 対応するメールボックスがメッセージ (データまたはリモートフレーム) を正常送信しました。 セット条件: 対応するメールボックスのメッセージ送信終了
0	TXACK0 [0]	0	R	メールボックスが受信のみなので本ビットは常に 0 です。1 をライトしても無視されます。読み出し値は常に 0 です。

16.5.4 取り消しアクノレジレジスタ n (ABACK1n、ABACK0n) (n=0、1)

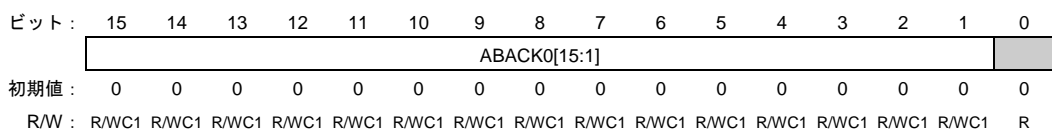
ABACK1 と ABACK0 は 16 ビットのリード/条件付きライトレジスタです。このレジスタはメールボックスの送信が取り消されたことをそのリクエストごとに CPU に通知します。送信取り消しが正常終了したときに HCAN が ABACK レジスタの対応するビットをセットします。ホスト CPU は 1 を対応するビットにライトすることで ABACK のビットをクリアすることができます。0 をライトすると無視されます。対応する TXCR のビットによって TXPR のビットがクリアされたことを HCAN がアクノレジするために ABACK ビットが使用されます。

• ABACK1n (n=0、1)



ビット	ビット名	初期値	R/W	説明
15~0	ABACK1 [15:0]	0	R/WC1	対応するメールボックスへリクエストされた送信待ち取り消しが正常に終了したことを通知します。ビット 15~0 がメールボックス 31~16 にそれぞれ対応します。 0: クリア条件: 1 をライト 1: 対応するメールボックスのメッセージ (データまたはリモートフレーム) が正常に送信待ち取り消されました。 セット条件: 対応するメールボックスの送信待ち取り消し終了

• ABACK0n (n=0、1)



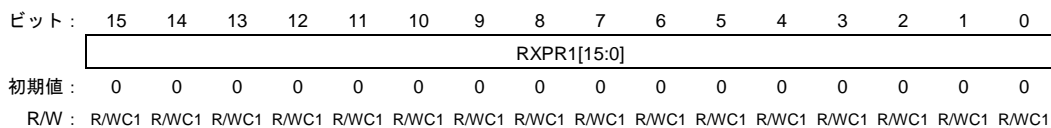
ビット	ビット名	初期値	R/W	説明
15~1	ABACK0 [15:1]	0	R/WC1	対応するメールボックスへリクエストされた送信待ち取り消しが正常に終了したことを通知します。ビット 15~1 がメールボックス 15~1 に対応します。 0: クリア条件: 1 をライト 1: 対応するメールボックスのメッセージ (データまたはリモートフレーム) が正常に送信待ち取り消されました。 セット条件: 対応するメールボックスの送信待ち取り消し終了
0	0	0	R	メールボックスが受信のみなので本ビットは常に 0 です。1 をライトしても無視されます。読み出し値は常に 0 です。

16.5.5 受信完了レジスタ n (RXPR1n, RXPR0n) (n=0, 1)

RXPR1 と RXPR0 は 16 ビットのリード/条件付きライトレジスタです。RXPR は受信用に設定されたメールボックスに関連したデータフレーム受信完了フラグです。CAN データフレームが正常に受信メールボックスに格納されると、RXPR の対応するビットがセットされます。1 をライトすると対応するビットがクリアされます。0 をライトすると無視されます。しかし、メールボックスが MBC (メールボックスコンフィギュレーション) によって受信データフレーム用に設定されている場合のみこのビットはセットされます。RXPR がセットされると、MBIMR (メールボックスインタラプトマスクレジスタ) がセットされていない場合 IRR1 (データフレーム受信割り込みフラグ) もセットされ、IMR1 がセットされていない場合割り込み信号が生成されます。これらのビットはデータフレームの受信によってのみセットされ、リモートフレーム受信ではセットされません。

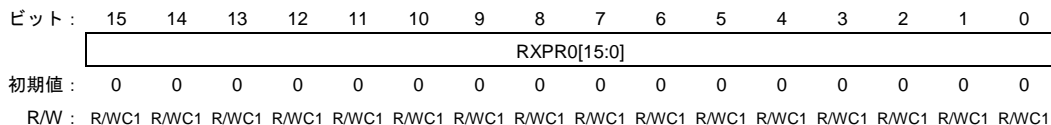
もし、あるデータフレームがリモートフレームによりオーバーラン/オーバーライトされたときまたその逆のときには、UMSR, RXPR, そして RFPR は同一のメールボックスに対してセットされます。この場合、アプリケーションはメールボックスの性質を理解するためにメールボックスコントロールフィールド内の RTR ビットをチェックする必要があります。結果として UMSR がセットされたときは RXPR と RFPR もチェックされなければならない、必要であればクリアされなければならない

- RXPR1n (n=0, 1)



ビット	ビット名	初期値	R/W	説明
15~0	RXPR1 [15:0]	0	R/WC1	メールボックス 31~16 に対応する受信メールボックスを設定できます。 0: クリア条件: 1 をライト 1: 対応するメールボックスが CAN データフレームを受信しました。 セット条件: 対応するメールボックスにデータフレームを受信完了

- RXPR0n (n=0, 1)



16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
15~0	RXPR0 [15:0]	0	R/WC1	メールボックス 15~0 に対応する受信メールボックスを設定できません。 0 : クリア条件 : 1 をライト 1 : 対応するメールボックスが CAN データフレームを受信しました。 セット条件 : 対応するメールボックスにデータフレームを受信完了

16.5.6 リモートリクエストレジスタ n (RFPR1n、RFPR0n) (n=0、1)

RFPR1 と RFPR0 は 16 ビットのリード/条件付きライトレジスタです。RFPR は設定された受信メールボックスに関連したリモートリクエストフラグです。CAN リモートフレームが正常に受信メールボックスに格納されると、RFPR の対応するビットがセットされます。1 をライトすると対応するビットがクリアされます。0 をライトすると無視されます。すべてのメールボックスに対応してビットがあります。しかし、メールボックスが MBC (メールボックスコンフィギュレーション) によって受信リモートフレームに設定されている場合のみこのビットはセットされます。RFPR がセットされると、MBIMR (メールボックスインタラプトマスクレジスタ) がセットされていない場合 IRR2 (リモートフレームリクエスト割り込みフラグ) もセットされ、IMR2 がセットされていない場合割り込み信号が生成されます。これらのビットはリモートフレームの受信によってのみセットされ、データフレーム受信ではセットされません。

もし、あるデータフレームがリモートフレームによりオーバーラン/オーバーライトされたときまたその逆のときには、UMSR、RXPR、そして RFPR は同一のメールボックスに対してセットされます。この場合、アプリケーションはメールボックスの性質を理解するためにメールボックスコントロールフィールド内の RTR ビットをチェックする必要があります。結果として UMSR がセットされたときは RXPR と RFPR もチェックされなければならず、必要であればクリアされなければなりません。

- RFPR1n (n=0、1)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR1[15:0]															
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1	RWC1

ビット	ビット名	初期値	R/W	説明
15~0	RFPR1 [15:0]	0	R/WC1	受信メールボックス 31~16 に対応するリモートリクエスト待ちフラグ 0 : クリア条件 : 1 をライト 1 : 対応するメールボックスがリモートフレームを受信しました。 セット条件 : 対応するメールボックスにリモートフレームを受信終了

- RFPR0n (n=0、1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	RFPR0[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	RFPR0 [15:0]	0	R/WC1	受信メールボックス 15~0 に対応するリモートリクエスト待ちフラグ 0: クリア条件: 1 をライト 1: 対応するメールボックスがリモートフレームを受信しました。 セット条件: 対応するメールボックスにリモートフレームを受信終了

16.5.7 メールボックスインタラプトマスクレジスタ n (MBIMR1n、MBIMR0n) (n=0、1)

MBIMR1 と MBIMR0 は 16 ビットのリード/ライト可能なレジスタです。MBIMR はメールボックスの動作に関連する IRR のみ (IRR1: データフレーム受信割り込み、IRR2: リモートフレームリクエスト割り込み、IRR8: メールボックスエンブティ割り込み、IRR9: メッセージオーバフロー割り込み) をマスクします。メールボックスが受信に設定されている場合、受信割り込み (IRR1、IRR2、IRR9) の生成をマスクしますが、RXPR、RFPR、UMSR の設定値を書き換えるわけではありません。同様に、メールボックスが送信に設定されている場合、送信や送信待ち取り消し (IRR8) の正常終了による割り込み信号の生成やメールボックスエンブティ割り込みの設定をマスクします。しかし、正常送信による TXPR/TXCR のビットクリアと TXACK のビットのセット、正常送信アボートによる TXPR/TXCR のビットクリアと ABACK のビットのセットはマスクしません。

マスクするメールボックスの動作に対応するビットに 1 をライトすることでマスクがセットされます。リセット時はすべてのメールボックス割り込みがマスクされます。

- MBIMR1n (n=0、1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR1[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR1 [15:0]	1	R/W	メールボックス 31~16 の各割り込みリクエストを有効/無効にします。 0: IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを有効にします。 1: IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを無効にします。

16. コントローラエリアネットワーク-II (HCAN-II)

- MBIMR0n (n=0, 1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	MBIMR0[15:0]															
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	MBIMR0 [15:0]	1	R/W	メールボックス 15~0 の各割り込みリクエストを有効/無効にします。 0: IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを有効にします。 1: IRR1/IRR2/IRR8/IRR9 からの割り込みリクエストを無効にします。

16.5.8 未読メッセージステータスレジスタ n (UMSR1n, UMSR0n) (n=0, 1)

UMSR1 と UMSR0 は 16 ビットのリード/ライト可能なレジスタで、新規メッセージの受信前にホスト CPU によって内容がアクセスされていない受信メールボックスを記録します。あるメールボックスに新規メッセージを受信するとき、ホスト CPU が RXPR/RFRR の対応するビットをクリアしていない場合、UMSR のビットがセットされます。1 をライトするとクリアされます。0 をライトすると無視されます。

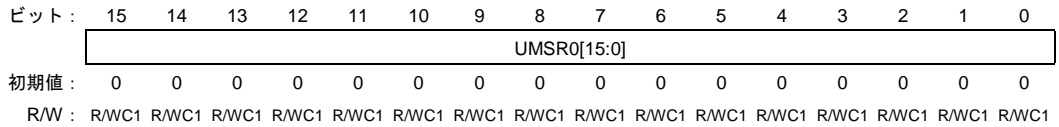
メールボックスが送信ボックスに設定されている場合、対応する UMSR のビットはセットできません。

- UMSR1n (n=0, 1)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	UMSR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1	R/WC1

ビット	ビット名	初期値	R/W	説明
15~0	UMSR1 [15:0]	0	R/WC1	メールボックス 31~16 の未読メッセージが上書きまたはオーバーランされたことを示します。 0: クリア条件: 1 をライト 1: 未読メッセージが新しいメッセージに上書きまたはオーバーランされました。 セット条件: RXPR/RFPR をクリアする前に新しいメッセージを受信

• UMSR0n (n=0、1)



ビット	ビット名	初期値	R/W	説明
15~0	UMSR0 [15:0]	0	R/WC1	メールボックス 15~0 の未読メッセージが上書きされたことを示します。 0: クリア条件: 1 をライト 1: 未読メッセージが新しいメッセージに上書きされました。 セット条件: RXPR/RFPR をクリアする前に新しいメッセージを受信

16.6 タイマレジスタ

タイマは HCAN-II での新機能です。16 ビットでいくつかのクロックソースをサポートしています。それらは、クロックスピードを抑えるためプリスケールカウンタによって分周されています。また、2本のインプットキャプチャレジスタ (ICR1、ICR0)、3本のコンペアマッチレジスタ (TCMR2、TCMR1、TCMR0) もサポートしています。アドレスマップを以下に示します。

【注】 レジスタはワードサイズ (16 ビット) でのみアクセスできます。

表 16.7 HCAN タイマレジスタ

チャンネル	アドレス (バイト)	レジスタ名	略称	アクセスサイズ (ビット)
0	H'D080	タイマカウンタレジスタ 0	TCNTR 0	16
	H'D082	タイマコントロールレジスタ_0	TCR_0	16
	H'D084	タイマステータスレジスタ_0	TSR_0	16
	H'D086	タイマドリフトコレクションレジスタ 0	TDCR 0	16
	H'D088	ローカルオフセットレジスタ 0	LOSR 0	16
	H'D08A	サイクルカウンタインプットキャプチャレジスタ 0	ICR0-cc 0	16
	H'D08C	タイマカウンタインプットキャプチャレジスタ 0	ICR0-tm 0	16
	H'D08E	インプットキャプチャレジスタ 1_0	ICR1_0	16
	H'D090	タイマコンペアマッチレジスタ 0_0	TCMR0_0	16
	H'D092	タイマコンペアマッチレジスタ 1_0	TCMR1_0	16
	H'D094	タイマコンペアマッチレジスタ 2_0	TCMR2_0	16
	H'D096	サイクルカウンタレジスタ 0	CCR 0	16
	H'D098	サイクルマキシマムレジスタ 0	CMAX 0	16
	H'D09A	タイマモードレジスタ_0	TMR_0	16
	H'D09C	サイクルカウンタダブルバッファ 0	CCR_buf 0	16
	H'D09E	インプットキャプチャダブルバッファ 0	ICR0_buf 0	16

チャンネル	アドレス (バイト)	レジスタ名	略称	アクセスサイズ (ビット)
1	H'D880	タイマカウンタレジスタ 1	TCNTR 1	16
	H'D882	タイマコントロールレジスタ_1	TCR_1	16
	H'D884	タイマステータスレジスタ_1	TSR_1	16
	H'D886	タイマドリフトコレクションレジスタ 1	TDCR 1	16
	H'D8D8	ローカルオフセットレジスタ 1	LOSR 1	16
	H'D88A	サイクルカウンタインプットキャプチャレジスタ 1	ICR0-cc 1	16
	H'D88C	タイマカウンタインプットキャプチャレジスタ 1	ICR0-tm 1	16
	H'D88E	インプットキャプチャレジスタ 1_1	ICR1_1	16
	H'D890	タイマコンペアマッチレジスタ 0_1	TCMR0_1	16
	H'D892	タイマコンペアマッチレジスタ 1_1	TCMR1_1	16
	H'D894	タイマコンペアマッチレジスタ 2_1	TCMR2_1	16
	H'D896	サイクルカウンタレジスタ 1	CCR 1	16
	H'D898	サイクルマキシマムレジスタ 1	CMAX 1	16

チャンネル	アドレス (バイト)	レジスタ名	略称	アクセスサイズ (ビット)
1	H'D89A	タイマモードレジスタ_1	TMR_1	16
	H'D89C	サイクルカウンタダブルバッファ 1	CCR_buf 1	16
	H'D89E	インプットキャプチャダブルバッファ 1	ICR0_buf 1	16

【注】 タイマに関するレジスタの設定を変えるときはタイマを無効 (TCR15=0) にすることを推奨します。

16.6.1 タイマカウンタレジスタ n (TCNTRn) (n=0、1)

タイマカウンタレジスタ (TCNTR) は、16 ビットのリード/ライト可能なレジスタでフリーランニングタイマカウンタの値をモニタしたり書き換えたりすることができます。タイマが、TCMR0 (タイマコンペアマッチレジスタ 0) と一致し、TCR11 が 1 にセットされているとき TCNTR が LOSR (ローカルオフセットレジスタ) に設定され再びカウントを開始します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCNTR[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	TCNTR [15:0]	0	R/W*	フリーランニングタイマの値です。

【注】 * 本レジスタはコンペアマッチ条件によってクリアされます。

16.6.2 タイマコントロールレジスタ_n (TCR_n) (n=0、1)

タイマコントロールレジスタ (TCR) は、16 ビットのリード/ライト可能なレジスタでタイマの動作を制御します。各周期的送信またはデッドラインモニタレジスタが設定されタイマが開始される前に、本レジスタは設定される必要があります。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	TCR9		TCR7		TCR5	TCR4	TCR3	TCR2	TCR1	TCR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	-	R/W	-	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15	TCR15	0	R/W	<p>イネーブルタイマ</p> <p>本ビットがセットされるとタイマが動作します。本ビットがクリアされると、タイマは現在のサイクルを終了し (タイマオーバーランまたは TCMR0 のコンペアマッチによって通知されます。) タイマ値を 0 にクリアします。</p> <p>0: タイマが動作を停止し、現在のサイクルの最後でクリアされます。</p> <p>1: タイマが動作中です。</p> <p>【重要】 SH7058 においては、タイマ機能に不具合があります。タイマを起動させないように、必ず 0 をライトしてください。</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
14	TCR14	0	R/W	<p>ICR0 無効</p> <p>インプットキャプチャレジスタ 0 (ICR0) を無効/有効にします。有効に設定されると、HCAN が送信受信にかかわらず Start Of Frame (SOF) が CAN バスに出力されると、タイマ値が常にキャプチャされます。無効に設定されると、ICR0 はラッチされた値を保持します。</p> <p>0 : ICR0 は無効で現在の値を保持します。</p> <p>クリア条件 : TCR9=1 で受信メッセージの CAN-ID に対応し、かつ CCM がセットされているメールボックスに受信したとき</p> <p>1 : ICR0 が有効で SOF ごとにタイマ値をキャプチャします。</p>
13	TCR13	0	R/W	<p>受信タイムスタンプコントロール</p> <p>メッセージが受信されるときに、各メールボックスのメッセージコントロール内のタイムスタンプが Start Of Frame (SOF) で記録されるか End Of Frame (EOF) で記録されるかを設定します。送信メールボックスのタイムスタンプに使用されるインプットキャプチャレジスタ 1 (ICR1) のトリガを選択します。</p> <p>0 : SOF 受信ごとにタイムスタンプが記録されます。</p> <p>1 : EOF 受信ごとにタイムスタンプが記録されます。</p> <p>【重要】</p> <p>SH7058 では SOF 受信ごとのタイムスタンプはサポートしていません。受信タイムスタンプ使用時は本ビットに“1”を設定してください。</p>
12	TCR12	0	R/W	<p>送信タイムスタンプコントロール</p> <p>各メールボックス送信のタイムスタンプが記録されるのが、送信リクエストが生成され、TXPR のビットがセットされたときか TXACK がセットされたときかを設定します。受信メールボックスのタイムスタンプに使用されるインプットキャプチャレジスタ 1 (ICR1) のトリガを選択します。ICR0 が無効でも有効でもインプットキャプチャ 1 (ICR1) はタイムスタンプに使用されます。</p> <p>0 : メッセージ送信の TXPR ビットがセットされるときタイムスタンプが記録されます。</p> <p>1 : メッセージ送信の TXACK ビットがセットされるときタイムスタンプが記録されます。</p>
11	TCR11	0	R/W	<p>TCMR0 によるタイマクリア/セットコントロール</p> <p>TCMR0 が TCNTR に一致したときタイマがクリアされ、LOSR に設定されるかどうかを指定します。TCMR0 は IRR15 を使用して、ホスト CPU に対し割り込みを発生することもできます。</p> <p>0 : タイマは TCMR0 でクリアされません。</p> <p>1 : タイマは TCMR0 でクリアされます。</p>
10	TCR10	0	R/W	<p>CCM によるタイマクリア/セットコントロール</p> <p>受信メールボックスの CAN-ID コンペアマッチによってタイマがクリアされ LOSR に設定されるかどうかを指定します。CCM のビットと本ビットがセットされている場合、メールボックスが受信メッセージを格納するときにタイマカウンタ (TCNTR) は自動的にクリアされ LOSR に設定されます。これは、メッセージ受信割り込み (IRR1) またはリモートフレームリクエスト割り込み (IRR2) によって行われるので、CCM は割り込みを生成できません。</p> <p>0 : タイマは CCM によってクリア/セットされません。</p> <p>1 : タイマは CCM によって LOSR にクリア/セットされます。</p>

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
9	TCR9	0	R/W	CCMによるICR0自動無効 受信メールボックスのCAN-IDコンペアマッチ(CCM)によってICR0が無効にされるかどうかを設定します。対応するメールボックスのCCMのビットと本ビットがセットされている場合、メールボックスが受信メッセージを格納するときに本レジスタのビット14(TCR14)が自動的にクリアされ、ICR0の値が維持されます。 0: TCR14はCCMによってクリアされません。 1: TCR14はCCMによって自動的にクリアされます。
8	—	0	—	リザーブビットです。 0をライトしても無視されます。読み出し値は保証されません。
7	TCR7	0	R/W	ドリフトコレクションコントロール TCNTRが、TDCRで指定されるサイクルに達するごとに2ずつインクリメントされるか0ずつインクリメントされるかを設定します。この機能が不要でないときTDCRはH'0000(16進数)に設定してください。 0: タイマはTDCRで設定されたサイクルごとに0ずつ(1クロックサイクルで同じ値を保持)インクリメントされます。 1: タイマはTDCRで設定されたサイクルごとに2ずつインクリメントされます(TDCRの説明を参照下さい)。
6	—	0	—	リザーブビットです。 0をライトしても無視されます。読み出し値は保証されません。
5	TCR5	0	R/W	HCAN-IIタイマプリスケアラ
4	TCR4	0	R/W	タイマで使用される前にソースクロック(2×HCAN周辺クロック)を分周します。ソースクロックとタイマの関係は以下のとおりです。
3	TCR3	0	—	000000: 1×ソースクロック
2	TCR2	0	—	000001: 2×ソースクロック
1	TCR1	0	—	000010: 4×ソースクロック
0	TCR0	0	—	000011: 6×ソースクロック 000100: 8×ソースクロック : 111111: 126×ソースクロック

16.6.3 タイマステータスレジスタ_n (TSR_n) (n=0, 1)

タイマステータスレジスタ (TSR) は、16 ビットのリードオンリレジスタで、ホスト CPU がタイムコンペアマッチやタイマオーバーバランスステータスをモニタするのに使用できます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
												TSR4	TSR3	TSR2	TSR1	TSR0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	-	-	-	R	R	R	R	R

ビット	ビット名	初期値	R/W	説明
15~5	—	0	—	リザーブビットです。 0 をライトしても無視されます。読み出し値は保証されません。
4~0	TSR[4:0]	0	R	これらのビットはリードオンリーです。CPU がサイクルカウンタ、タイマ、コンペアマッチレジスタをモニタするのに使用します。ライトしても意味を持ちません。

ビット	ビット名	初期値	R/W	説明
4	TSR4	0	R	サイクルカウンタオーバフローフラグ サイクルカウンタが最大値に達し H'0 にリセットされたことを示します。CMAX=0 を設定することでサイクルカウンタが無効になり TSR4 は常にクリアされます。 0 : サイクルカウンタはオーバフローしていません。 クリア条件 : 1 を IRR10 にライト (サイクルカウンタオーバフロー割り込み) 1 : サイクルカウンタがオーバフローしました。 セット条件 : サイクルカウンタが最大値 (CMAX) から H'0 に変化
3	TSR3	0	R	タイマコンペアマッチフラグ 2 コンペアマッチ条件がタイマコンペアマッチレジスタ 2 (TCMR2) に発生したことを示します。TCMR2 に設定された値がタイマ値に一致すると (TCMR2 = TCNTR)、本ビットがセットされます。TCMR2 が H'0000 のときはセットされません。また、本ビットはリードオンリで、IRR11 (タイマコンペアマッチ割り込み 2) がクリアされるとき本ビットもクリアされます。 0 : タイマコンペアマッチが TCMR2 に発生していません。 クリア条件 : 1 を IRR11 (タイマコンペアマッチ割り込み 2) にライト 1 : タイマコンペアマッチが TCMR2 に発生しています。 セット条件 : TCMR2 がタイマ値に一致 (TCMR2=TCNTR)

16. コントローラエリアネットワーク-II (HCAN-II)

ビット	ビット名	初期値	R/W	説明
2	TSR2	0	R	<p>タイマコンペアマッチフラグ 1</p> <p>コンペアマッチ条件がタイマコンペアマッチレジスタ 1 (TCMR1) に発生したことを示します。TCMR1 に設定された値がタイマ値に一致すると (TCMR1=TCNTR)、本ビットがセットされます。TCMR1 が H'0000 のときはセットされません。また、本ビットはリードオンリで、IRR15 (タイマコンペアマッチ割り込み 1) がクリアされると本ビットもクリアされます。</p> <p>0 : タイマコンペアマッチが TCMR1 に発生していません。 クリア条件 : 1 を IRR15 (タイマコンペアマッチ割り込み 1) にライト 1 : タイマコンペアマッチが TCMR1 に発生しています。 セット条件 : TCMR1 がタイマ値に一致 (TCMR1=TCNTR)</p>
1	TSR1	0	R	<p>タイマコンペアマッチフラグ 0</p> <p>コンペアマッチ条件がタイマコンペアマッチレジスタ 0 (TCMR0) に発生したことを示します。TCMR0 に設定された値がタイマ値に一致すると (TCMR0=TCNTR)、本ビットがセットされます。TCMR0 が H'0000 のときはセットされません。また、本ビットはリードオンリで、IRR14 (タイマコンペアマッチ割り込み 0) がクリアされると本ビットもクリアされます。</p> <p>0 : タイマコンペアマッチが TCMR0 に発生していません。 クリア条件 : 0 を IRR14 (タイマコンペアマッチ割り込み 0) にライト 1 : タイマコンペアマッチが TCMR0 に発生しています。 セット条件 : TCMR0 がタイマ値に一致 (TCMR0=TCNTR)</p>
0	TSR0	0	R	<p>タイマオーバーランフラグ</p> <p>タイマがオーバーランし、H'0000 にリセットされることを示します。TCMR0 が H'FFFF に設定されタイマ値をクリアできるように設定されていても、本ビットはセットされます。</p> <p>0 : タイマはオーバーランしていません。 クリア条件 : IRR13 (タイマオーバーラン割り込み) に 1 をライト 1 : タイマがオーバーランしています。 セット条件 : タイマ値が H'FFFF から H'0000 に変化</p>

16.6.4 タイマモードレジスタ_n (TMR_n) (n=0、1)

タイマモードレジスタ (TMR) は、16 ビットのリード/ライト可能なレジスタです。タイマに関する値を設定します。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													TMR3	TMR2	TMR1	
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	-	-	-	-	-	-	-	-	-	-	-	-	R/W	R/W	R/W	-

ビット	ビット名	初期値	R/W	説明
15~4	—	0	—	リザーブビットです。 0 をライトしても無視されます。読み出し値は保証されません。
3	TMR3	0	R/W	タイムスタンプ値 送受信のタイムスタンプがタイマ値 (TCNTR) か Cycle_Counter + TCNTR[15:4]かを設定します。本機能はタイムトリガ送信機能で利用できます。 0 : TCNTR[15:0]がタイムスタンプに使用されます。 1 : Cycle_Counter + TCNTR[15:4]がタイムスタンプに使用されます。
2	TMR2	0	R/W	TCMR2 コントロール タイマコンペアマッチ 2 とコンペアするのはタイマ値 (TCNTR) か Cycle_Counter + TCNTR[15:4]かを設定します。 0 : TCNTR[15:0]がコンペアマッチに使用されます。 1 : Cycle_Counter + TCNTR[15:4]がコンペアマッチに使用されます。
1	TMR1	0	R/W	TCMR1 コントロール タイマコンペアマッチ 1 とコンペアするのはタイマ値 (TCNTR) か Cycle_Counter + TCNTR[15:4]かを設定します。 0 : TCNTR[15:0]がコンペアマッチに使用されます。 1 : Cycle_Counter + TCNTR[15:4]がコンペアマッチに使用されます。
0	—	0	—	リザーブビットです。 0 をライトしても無視されます。読み出し値は保証されません。

16.6.5 タイマドリフトコレクションレジスタ n (TDCRn) (n=0, 1)

タイマドリフトコレクションレジスタ (TDCR) は、16 ビットのリード/ライト可能なレジスタです。同一システムの他の CAN ノードで動作する異なるクロックによって発生するタイマのドリフトを調整するためのレジスタです。TCNTR が本レジスタで設定したサイクルに達したとき、タイマ値が 2 または 0 (同じ値を保持) ずつインクリメントされます。このレジスタは特定の時刻やサイクルを示すものではありません。これは、TCNTR /2 > TDCR の場合、ドリフト補正は 2 回以上行われることを意味します (ただし、2 回目のサイクルに達する前に TCMR0 が TCNTR をクリアするために使用されない限り)。TDCR が H'0000(16 進数)に設定されると、ドリフトコレクションは行われません。

```

ビット:  15   14   13   12   11   10   9    8    7    6    5    4    3    2    1    0
          ┌───────────────────────────────────────────────────────────────────────────────────┐
          │                                     TDCR[15:0]                                     │
          └───────────────────────────────────────────────────────────────────────────────────┘
初期値:  0    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0
R/W:    R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W

```

ビット	ビット名	初期値	R/W	説明
15~0	TDCR [15:0]	0	R/W	タイマドリフト補正レジスタ タイマのドリフト調整サイクル値を設定します。 【重要】 タイマの正常動作のためには、TDCR の値を TDCR <= 8000(16 進数) にする必要があります。

16.6.6 ローカルオフセットレジスタ n (LOSRn) (n=0, 1)

ローカルオフセットレジスタ (LOSR) は、16 ビットのリード/ライト可能なレジスタです。TCNTR にローカルオフセット値を設定します。TCNTR がオーバーフローまたは、タイマコンペアマッチ、CAN-ID コンペアマッチでクリアされたときは、TCNTR は本レジスタに設定された値で動作を開始します。

```

ビット:  15   14   13   12   11   10   9    8    7    6    5    4    3    2    1    0
          ┌───────────────────────────────────────────────────────────────────────────────────┐
          │                                     LOSR[15:0]                                    │
          └───────────────────────────────────────────────────────────────────────────────────┘
初期値:  0    0    0    0    0    0    0    0    0    0    0    0    0    0    0    0
R/W:    R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W  R/W

```

ビット	ビット名	初期値	R/W	説明
15~0	LOSR [15:0]	0	R/W	ローカルオフセットレジスタ TCNTR が動作を開始するローカルオフセット値を示します。

16.6.7 サイクルカウンタレジスタ n (CCRn) (n=0, 1)

サイクルカウンタレジスタ (CCR) は、4 ビットのリード/ライト可能なレジスタです。タイムトリガ送信の基本サイクル数を格納します。TCMR0 のコンペアマッチによってフリーランニングカウンタ (TCNTR) がクリアされるごとに 1 ずつインクリメントされます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													CCR[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	0	R	リザーブビットです。
3~0	CCR[3:0]	0	R/W	サイクルカウンタ タイムトリガ送信のマトリックスサイクルの現在の基本サイクル数を示します。

16.6.8 サイクルカウンタダブルバッファレジスタ n (CCR_buf n) (n=0, 1)

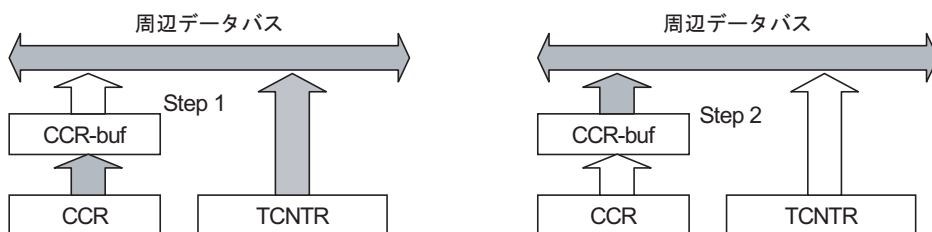
サイクルカウンタダブルバッファレジスタ (CCR_buf) は、4 ビットのリード/ライト可能なレジスタです。このレジスタは同一の基本サイクルを常に参照するために、サイクルカウンタ (CCR) とタイマカウンタ (TCNTR) を同時読み出し、同時書き込みするときに使用します。(CPU アクセス中の 20 ビットカウンタ値の更新を避けるための一時保持レジスタとして使用します。)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													CCR_buf[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

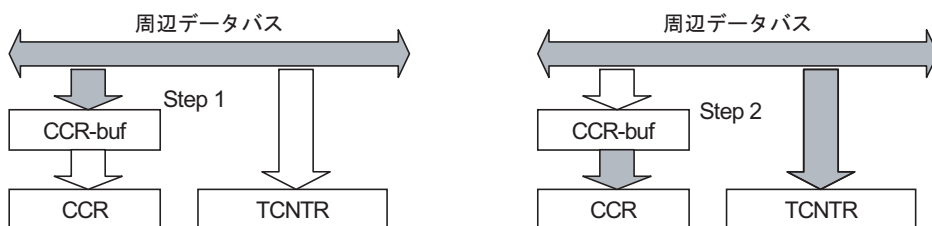
ビット	ビット名	初期値	R/W	説明
15~4	—	0	R	リザーブビットです。
3~0	CCR_buf [3:0]	0	R/W	サイクルカウンタダブルバッファ タイムトリガ送信のマトリックスサイクルの基本サイクル (CCR) とタイマカウンタ (TCNTR) の同時アクセス時の一時保持バッファです。CCR_buf の値は、CCR レジスタへの書き込みデータあるいは読み出しデータと同一値を示します。

サイクルカウンタダブルバッファ (CCR_buf) を使用したサイクルカウンタ (CCR) とタイマカウンタ (TCNTR) のアクセス手順を下記に示します。

- 読み出し動作
タイマカウンタ (TCNTR) の読み出し。(同時に、サイクルカウンタ (CCR) の値はサイクルカウンタダブルバッファ (CCR_buf) に書き込まれる。)
その後、サイクルカウンタダブルバッファ (CCR_buf) の読み出し。



- 書き込み動作
 サイクルカウンタダブルバッファ (CCR_buf) にデータ書き込み
 タイマカウンタ (TCNTR) にデータ書き込み (同時にサイクルカウンタダブルバッファ (CCR_buf) の値がサイクルカウンタ (CCR) に書き込まれる。)



16.6.9 サイクルマキシマムレジスタ n (CMAxn) (n=0、1)

サイクルマキシマムレジスタ (CMAx) は、4 ビットのリード/ライト可能なレジスタです。マトリクスシステムで基本サイクル数を設定するため、サイクルカウンタ (CCR) のタイムトリガ送信の最大値を格納します。サイクルカウンタが最大値に達する (CCR=CMAx) と、サイクルカウンタは 0 にクリアされ、IRR10 の割り込みが生成されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													CMAx[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~4	—	0	R	リザーブビットです。
3~0	CMAx [3:0]	0	R/W	サイクル最大値 CCR の最大値を格納します。CMAx の初期値は 0 でサイクルカウンタを無効にします。タイムトリガの設定中にリクエストされた値をプログラムしてください。

16.6.10 インพุットキャプチャレジスタ n (ICR0_cc n、ICR0_buf、ICR0_tm n、ICR1 n) (n=0、1)

インพุットキャプチャレジスタは1本の4ビットのリード/ライト可能なレジスタ(ICR0_cc)と2本の16ビットリード/ライト可能なレジスタ (ICR0_tm、ICR1) から成ります。

- ICR0_cc n (n=0、1)

ICR0_cc は ICR0_tm と合わせてグローバル同期に使用できます。TCR のビット 14 でインพุットキャプチャレジスタが有効に設定されていると、現在の基本サイクル値 (サイクルカウンタ値) が SOF ごとにキャプチャされます。これは、受信メッセージが受信メールボックスに設定された ID と一致するかどうかにかかわらず行われます。また、TCR のビット 14 でインพุットキャプチャレジスタが無効に設定されていると、ICR0_cc は現在の値を保持します。

- ICR0_buf n (n=0、1) インพุットキャプチャダブルバッファレジスタ

ICR0_cc と ICR0_tm を同時アクセスするための一時保持バッファです。ICR0_buf の値は ICR0_cc と同じになります。

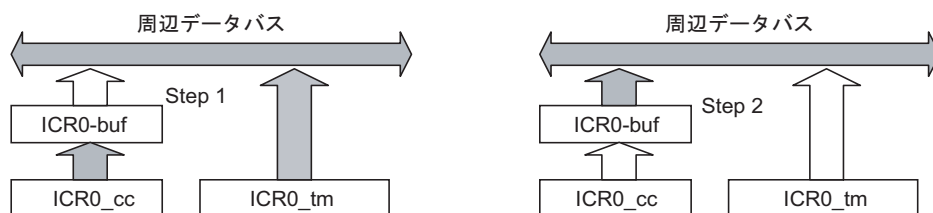
- ICR0_tm n (n=0、1)

ICR0_tm は ICR0_cc と合わせてグローバル同期に使用できます。TCR のビット 14 が有効に設定されていると、タイム値が SOF ごとにキャプチャされます。これは、受信メッセージが受信メールボックスに設定された ID と一致するかどうかにかかわらず行われます。また、TCR のビット 14 が無効に設定されていると、ICR0_tm は現在の値を保持します。

- ICR0_cc、ICR0_buf、ICR0_tm の読み出し動作

インพุットキャプチャレジスタ (ICR0_tm) の読み出し。(同時に、ICR0_cc の値はインพุットキャプチャダブルバッファレジスタ (ICR0_buf) に書き込まれる。)

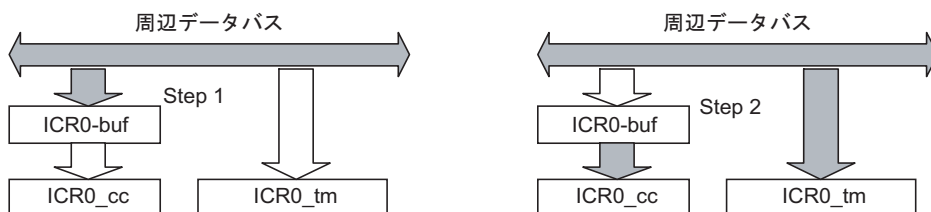
その後、インพุットキャプチャダブルバッファ (ICR0_buf) の読み出し。



- ICR0_cc、ICR0_buf、ICR0_tm の書き込み動作

インพุットキャプチャダブルバッファ (ICR0_buf) にデータ書き込み

インพุットキャプチャレジスタ (ICR0_tm) にデータ書き込み (同時にインพุットキャプチャダブルバッファ (ICR0_buf) の値が ICR0_cc に書き込まれる。)



• ICR1 n (n=0, 1)

ICR1 は送受信メッセージのタイムスタンプを記録します。TCR のビット 13 (受信用) とビット 12 (送信用) がタイムスタンプ記録されるポイントを制御します。ICR0 との違いは、メッセージ上に記録されたタイムスタンプが常に正しくなるよう ICR1 は無効にできないことです。

• ICR0_cc/ICR0_buf

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
													ICR0_cc[3:0]/ ICR0_buf[3:0]			
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~4	—	0	R	リザーブビットです。 書き込む値は 0 にしてください。読み出し値は保証されません。
3	ICR0_cc	0	R/W*	TCR[14]によって有効とされたとき、本レジスタは CAN バス上の SOF ごとにサイクルカウンタレジスタ (CCR) の値をサンプルします。
2	[3:0]/	0	R/W*	
1	ICR0_buf	0	R/W*	
0	[3:0]	0	R/W	

【注】 * ライト可能ですが無視されます。

• ICR0_tm / ICR1

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	ICR0_tm[15:0]、ICR1[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*	R/W*

ビット	ビット名	初期値	R/W	説明
15~0	ICR0_tm [15:0]	0	R/W*	TCR[14]によって有効とされたとき、本レジスタは CAN バス上の SOF ごとにタイム (TCNTR) の値をサンプルします。

【注】 * ライト可能ですが無視されます。

ビット	ビット名	初期値	R/W	説明
15~0	ICR1[15:0]	0	R/W*	TCR コントロールレジスタのビット 13 (受信用) とビット 12 (送信用) の条件によって、タイム (TCNTR) の値をサンプルします。

【注】 * ライト可能ですが無視されます。

16.6.11 タイマコンペアマッチレジスタ n (TCMR0n, TCMR1n, TCMR2n) (n=0, 1)

- TCMR0, TCMR1, TCMR2

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	TCMR0[15:0], TCMR1[15:0], TCMR2[15:0]															
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット	ビット名	初期値	R/W	説明
15~0	TCMR0 [15:0] TCMR1 [15:0] TCMR2 [15:0]	0	R/W	<p>タイマコンペアマッチレジスタ (TCMR0, TCMR1, TCMR2) は、16 ビットのリード/ライト可能なレジスタで、割り込み信号の生成または、タイマ値のクリア/セット (TCMR0 のみ)、キュー内の送信メッセージのクリア (TCMR2 のみ) 機能を持っています。(タイムクリアと送信クリアを除き同じ機能を持っています)。コンペアに使用される値は、各レジスタで独立に設定することができます。その値は TMR (タイマモードレジスタ) のビット 1、2、3 の設定でタイマ値 (TCNTR[15:0]) が Cycle_Count + TCNTR[15:4] の値になります。</p> <p>割り込みは、コンペアマッチが発生すると IRR のビット 15、14、11 にフラグが立ちます。これらのビットは TCMR が H'0000 のときを除き、IRR に設定されるのをマスクすることはできません。割り込み信号の生成は、IMR のビット 15 または 14、11 によってマスクすることができます。コンペアマッチが発生し、IRR15 (または IRR14、IRR11) がセットされると TSR (HCAN タイマステータスレジスタ) のビット 2 または 1、3 もセットされます。IRR のビットをクリアすると TSR の対応するビットもクリアされます。</p> <p>TCR のビット 11 がイネーブルに設定されている場合、TCMR0 にコンペアマッチが発生するとタイマがクリアされ LOSR が設定されず (タイムクリア/セット機能)。TCMR1 と TCMR2 にこの機能はありません。</p> <p>送信キュー内のメッセージは TCMR2 のコンペアマッチが発生したときのみクリアされます (送信キューの送信待ち取り消し機能)。TCMR1 と TCMR0 にこの機能はありません。</p> <p>【重要】 SH7058 では TCMR0 と TCMR2 はサポートされておりません。設定は必ず H'0000 にしてください。</p>

16.7 動作説明

16.7.1 テストモード設定

HCAN は種々のテストモードを持っています。TST[7:0]レジスタ (MCR[15:8]) で HCAN-II テストモードを選択します。初期値は HCAN が通常動作 (ノーマルモード) をするようになっています。テストモードの例を下表に示します。

表 16.8 テストモード一覧

ビット 15 TST7	ビット 14 TST6	ビット 13 TST5	ビット 12 TST4	ビット 11 TST3	ビット 10 TST2	ビット 9 TST1	ビット 8 TST0	説明
0	0	0	0	0	0	0	0	ノーマルモード (初期値)
1	0	0	0	1	0	1	0	リスンオンリモード (受信のみ)
1	0	0	1	0	0	0	0	セルフテストモード 1 (外部)
1	0	0	1	0	1	1	1	セルフテストモード 2 (内部)
1	1	0	0	0	0	0	0	エラーパッシブモード 1
1	0	1	0	0	0	0	0	エラーパッシブモード 2

- ノーマルモード

HCAN が通常の動作をします。

- リスンオンリモード

ボーレート検出用などに ISO-11898 で要求されています。エラーカウンタが無効とされ TEC/REC がインクリメントしないようになっています。また、Tx 出力が無効とされ HCAN がエラーフレームを生成しないようになっています。

- セルフテストモード 1

HCAN が自分自身のアクノレッジビットを生成します。Rx/Tx 端子は CAN バスに接続してください。

- セルフテストモード 2

HCAN が自分自身のアクノレッジビットを生成します。Rx/Tx 端子は CAN バスや外部デバイスに接続する必要はありません。内部の Tx がループバックされて内部の Rx に接続されています。

【重要】

セルフテストモード 1 および 2 では、送信したデータは内部のメールボックスには受信されません。

- エラーパッシブモード 1

エラーカウンタに 127 より大きい値をライトすることにより強制的に HCAN をエラーパッシブノードにすることができます。(エラーカウンタにライト時 MCR1 は 1 にしてください。) TEC にライトされた値は REC にライトするためにも使用されます。したがって、同じ値がこれらのレジスタに設定されます。また、TEC/REC にライトするときは、HCAN をホルトモードにする必要があります。

- エラーパッシブモード 2

TST5 をセットすることにより強制的に HCAN をエラーパッシブノードにすることができます。

16.7.2 HCAN の設定

● リセットシーケンス

ソフトウェアまたはハードウェアリセット後の HCAN の設定例を以下に示します。リセット後すべてのレジスタは初期化されます。したがって、HCAN は CAN バスアクティビティに参加する前に設定される必要があります。【注】がありますのでそちらを参照してください。

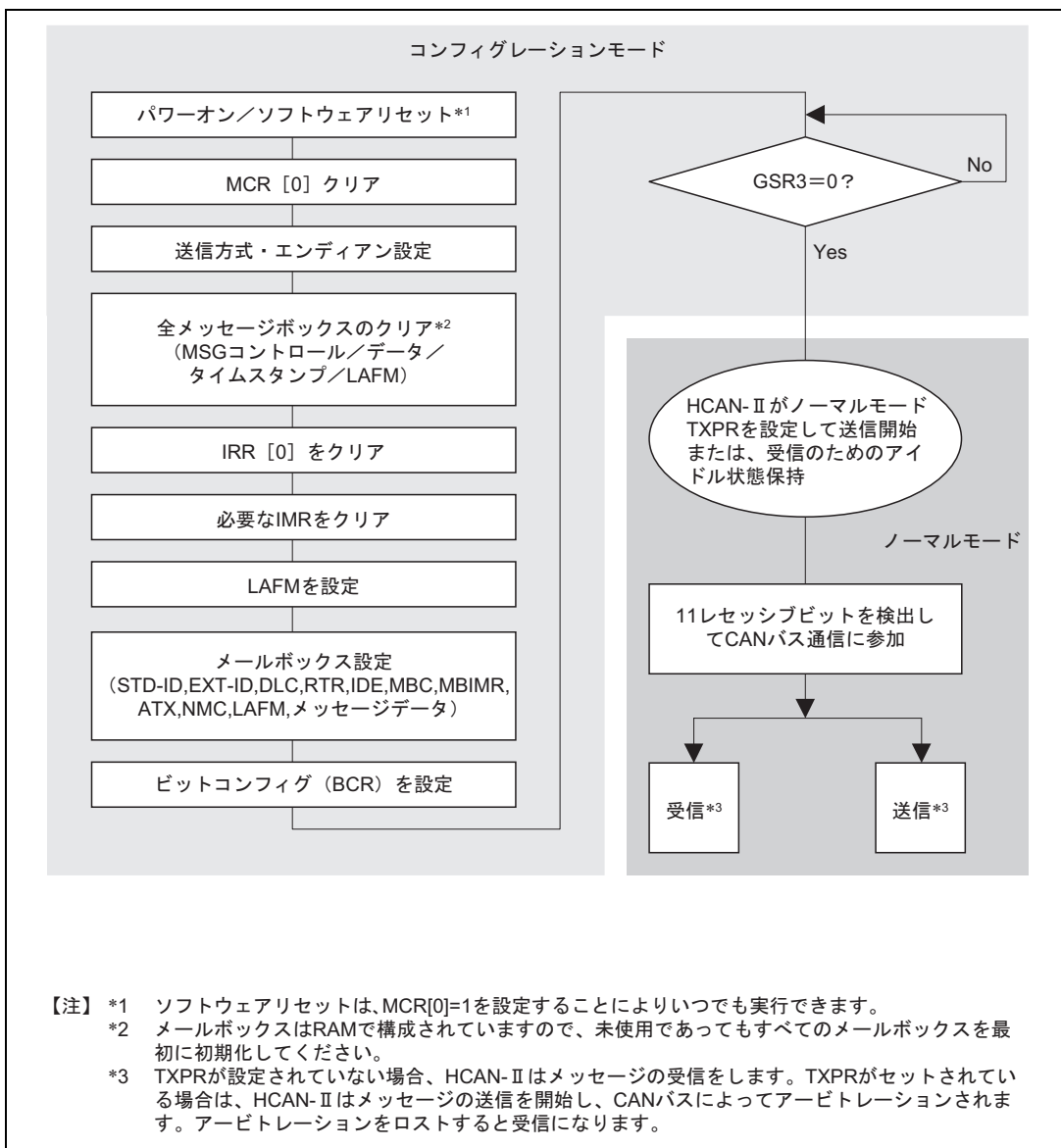


図 16.7 リセットシーケンス

16.7.3 メッセージ送信シーケンス

(1) イベントトリガ送信

- メッセージ送信リクエスト

図 16.8 は CAN フレームをバス上に送信する例です。レジスタ説明の章で述べたとおり、TXACK または ABACK のビットが設定されるときに IRR8 がセットされることに留意してください。これは、1 つのメールボックスが送信または送信アボートを終了し、今は次の送信のために更新されるのを待っている状態であることを意味しています。一方、GSR2 は現在送信リクエストが発生していないこと (TXPR = H'0000) を意味しています。

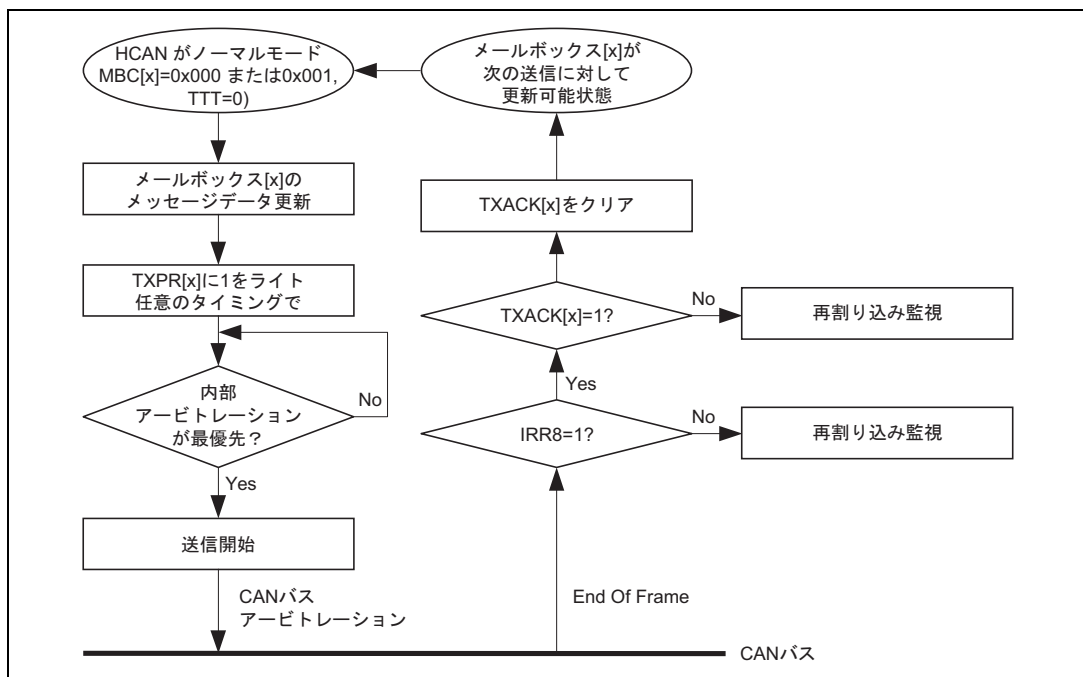


図 16.8 送信リクエスト

16. コントローラエリアネットワーク-II (HCAN-II)

- 送信内部アービトレーション

HCANが、CAN-IDに従った正しい順序でどのように送信リクエストされたメッセージをスケジューリングするかを図16.9に示します。「内部アービトレーション」は、送信リクエストされたメッセージの中で最優先のメッセージを取り出します。

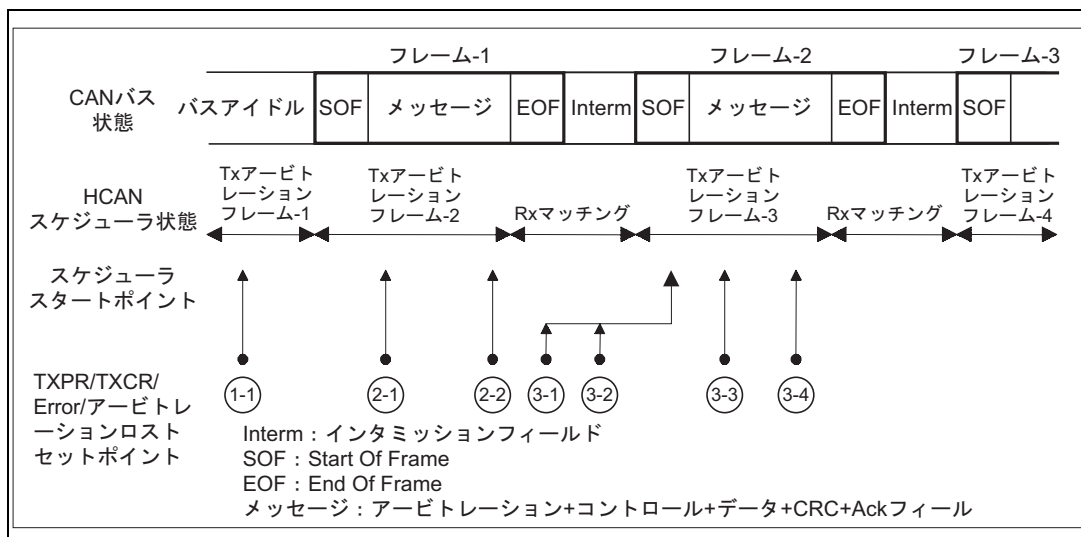


図 16.9 送信内部アービトレーション

HCAN スケジューラは内部アービトレーションを行い、Tx アービトレーション状態と Rx マッチング状態の2つの状態があります。CAN バスが EOF かインタミッションサイクルなら、HCAN スケジューラは Rx マッチング状態で、それ以外は Tx アービトレーション状態です。送信または送信アポートリクエストが Tx アービトレーション状態で発生すると、内部アービトレーションをすぐ開始します。送信または送信アポートリクエストが Rx マッチング状態で発生すると、内部アービトレーションは Rx マッチング状態 (インタミッションフィールド) が終了するまで待ち状態になります。その後、HCAN スケジューラが Tx アービトレーション状態になるとすぐに内部アービトレーションを開始します。

内部アービトレーションが動作する5種類の要因を以下に示します。

- TXPR がセットされた。
- TXCR がセットされた。(送信中のメッセージに TXCR をセットすると、HCAN は送信を停止せずに終了します。メッセージがバスアービトレーションをロストしたりバス上にエラーを発生させると、HCAN は送信リクエストを取り消します。)
- CAN バスにエラーが発生した。
- 送信中メッセージが CAN バス上のアービトレーションをロストした。
- MBC=001 のメールボックスがリモートフレームを受信した。

これらの要因が発生すると、内部アービトレーションは動作を開始し、最優先のメッセージが常に最初に送信されるようにします。図 16.9 の説明を以下に示します。

- 1-1 : TXPR のビットが CAN バスアイドル中にセットされると、内部アービトレーションが動作を開始し、送信も開始されます。
- 2-1、2-2 : この期間中 (フレーム 2Tx アービトレーション中) に上述の5要因が発生すると、内部アービトレーションが開始し、次に送信されるフレーム (フレーム 2) がスケジューリ

ングされます。

- 3-1、3-2 : この期間中 (Rx マッチング中) 内部アービトレーションは動作が許可されていません。次のフレーム (フレーム 2) の SOF でスケジュールされます。送信リクエストされたメッセージが最優先の場合、送信はフレーム 3 で行われます。
- 3-3、3-4 : 2-1、2-2 と同じです。

16.7.4 メッセージ送信取り消しシーケンス

TXPR によってセットされたメッセージ送信リクエストを取り消すときの取り消しシーケンスは図 16.10 に示します。

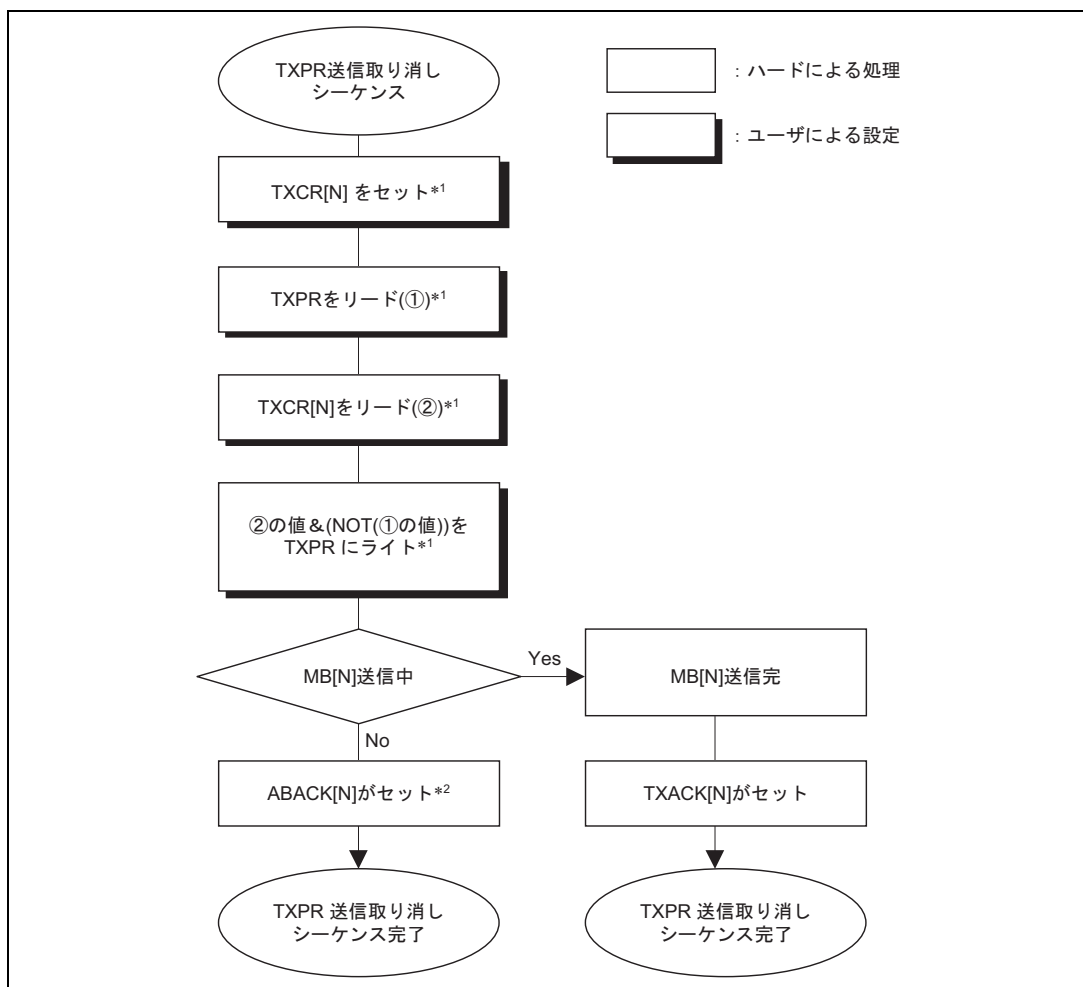


図 16.10 送信取り消しシーケンス

- 【重要】** *1 本操作はメールボックスが送信中、未送信にかかわらず送信取り消しを行うときには必ず設定してください。
- *2 送信中のメッセージに対し、本送信取り消し操作を EOF 付近で行うと TXACK が正常にセットされるにもかかわらず、ABACK もセットされる場合があります (フラグ不正)。このときは、ABACK をクリアしてください。

16.7.5 メッセージ受信シーケンス

メッセージ受信シーケンスの概略を図 16.11 に示します。

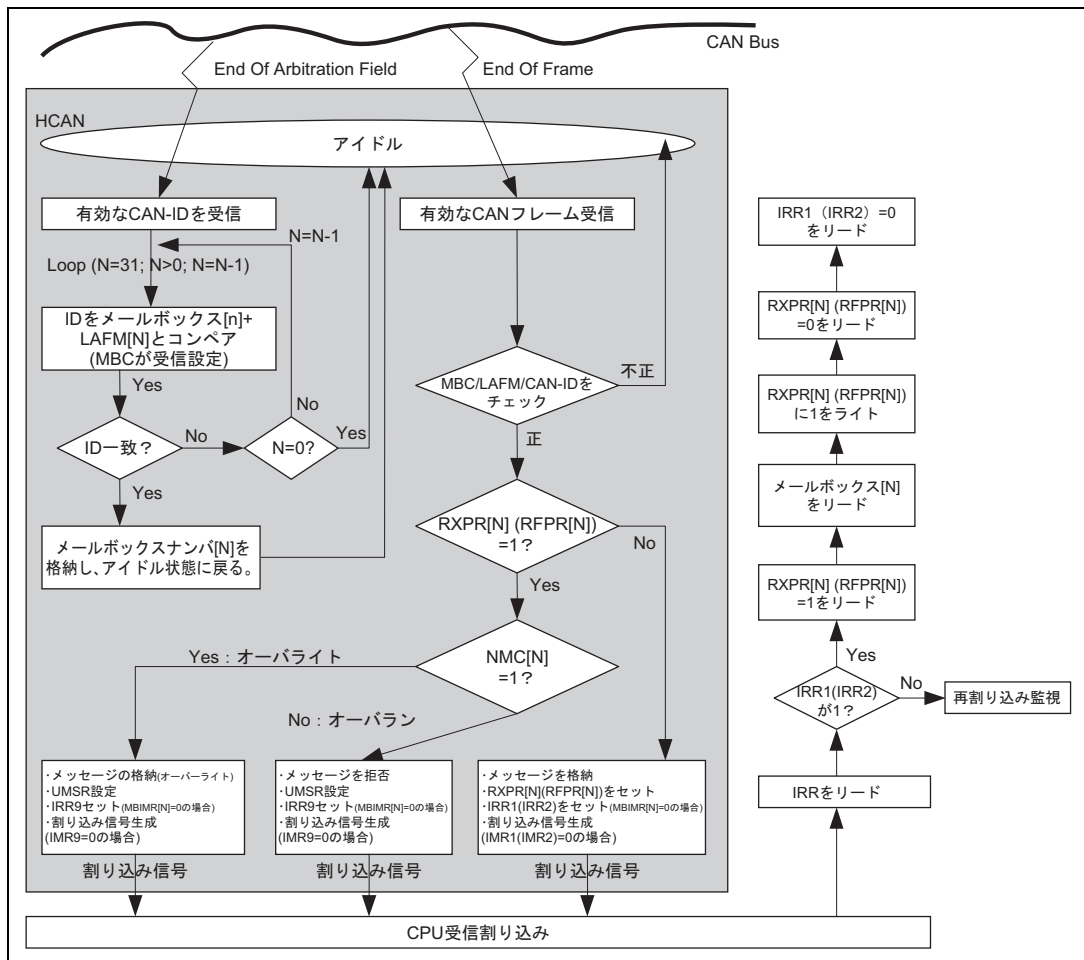


図 16.11 メッセージ受信シーケンス

HCAN が、メッセージ受信中にアービトレーションフィールドの最後を認識すると、HCAN はメールボックス 31 からメールボックス 0 まで受信した ID とメールボックスに設定された ID をコンペアします。受信ボックスに設定されている場合、最初にメールボックス 31 の MBC をチェックし、LAFM をリードし、CAN-ID をリードし、そして最後に受信した ID とそれらをコンペアします。一致しない場合、メールボックス 30 に対して同じチェックをします (メールボックス 30 が受信ボックスに設定されている場合)。ID が一致するとメールボックス n の番号を内部バッファに格納し検索を終了します。そして、アイドル状態に戻り End Of Frame (EOF) がくるのを待ちます。EOF が CAN インタフェースロジックによって通知されると、HCAN はメールボックス n の MBC、LAFM、CAN-ID をリードして一致条件を再度確認します (メールボックス n の設定は変わっていません)。この再確認によって、メッセージ受信中にメールボックスが再設定されてもデータの一貫性が保たれることを保証します。一致が確認されると、メッセージは NMC ビットの値の設定によりライトまたは読み捨てられます。ライトの場合は、CAN-ID も含めて対応するメールボックスにライトされるので、使われている LAFM によってはもとの CAN-ID が受信したメッセージの異なる CAN-ID によって上書き

される可能性があります。これは、受信したメッセージの ID が複数の ID + LAFM に一致する場合、常にメールボックス番号の大きい方がメッセージを格納し、メールボックス番号の小さい方はメッセージを受信できないことを意味します。したがって、ID と LAFM の設定は注意して選択する必要があります。

16.7.6 メールボックスの再設定

メールボックスの再設定が必要な場合は以下の手順に従ってください。

- **送信ボックスの ID を変更または送信ボックスを受信ボックスに変更する場合**

対応する TXPR がセットされていないことを確認してください。ID、対応する MBC ビットはいつでも変更することができます。両方を変更する場合は、ID を変更してから MBC ビットを変更してください。

- **受信ボックスの ID を変更または受信ボックスを送信ボックスに変更する場合**

- 方法 1：ホルトモードを使用する

この方法の利点は、メッセージが CAN バス上にあり HCAN が受信状態でもメッセージをロスしないことです。HCAN-II は受信が終了したあとでホルトモードになります。

欠点は、HCAN がメッセージを受信するのに時間がかかること（受信が終了するまでホルトモードへの遷移は遅延します）

ホルトモード中はメッセージを送受信できないことです。

- 方法 2：ホルトモードを使用しない

この方法の利点は、再設定がすぐ行われ、割り込みがないのでソフトウェアのオーバーヘッドがより少ないことです。

RXPR が再設定の前後でリードされる必要があります。それは、この期間中にメッセージが受信されるかどうかをチェックするためです。

MBIMR は IRR1 がセットされるのをマスクするのではなく、割り込みの生成をマスクするだけであることに注意してください。

この方法の欠点は、メッセージが受信される場合、受信されたメッセージはもとのメッセージか新しいメッセージか、わからないことです。したがって、この期間中にメッセージを受信する場合はメッセージを読み捨てるのが良いでしょう。

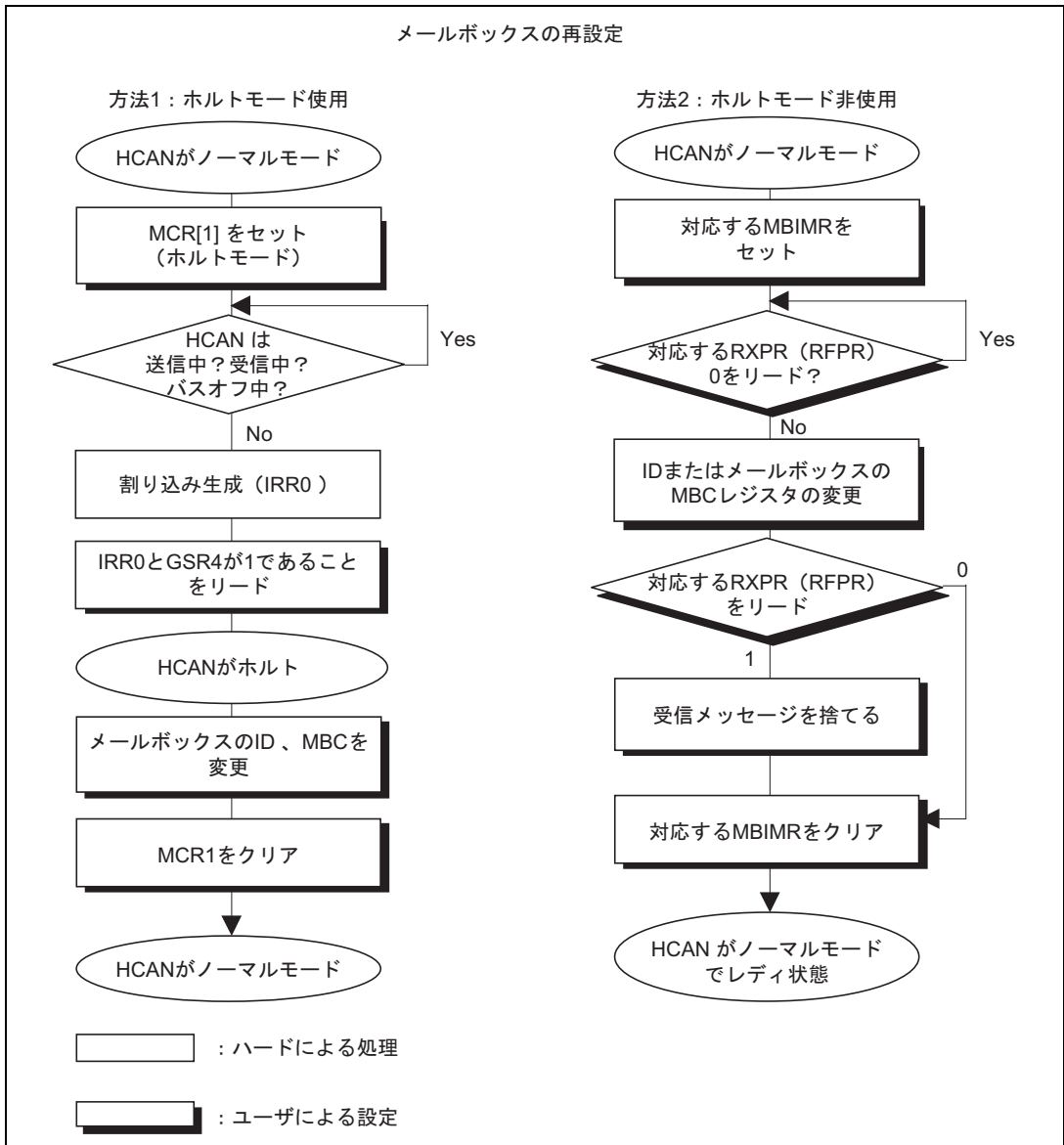


図 16.12 受信ボックスの ID 変更／送信ボックスから受信ボックスへの変更

16.7.7 レジスタ一覧

表 16.9 レジスタ一覧

記号	レジスタ名	説明
MCR	マスタコントロールレジスタ	HCAN 一般設定、テストモード設定
GSR	ジェネラルステータスレジスタ	HCAN ステータスレジスタ
HCANII_BCR0/1	ビットコンフィグレジスタ	ボーレート設定用タイミング設定
IRR	インタラプトレジスタ	割り込みリクエストステータス
IMR	インタラプトマスクレジスタ	割り込みリクエストのマスク
TXPR0/1	送信待ちレジスタ	送信リクエスト
TXCR0/1	送信待ち取り消しレジスタ	送信リクエストのアボート
TXACK0/1	送信アクノレッジレジスタ	送信成功レジスタ
ABACK0/1	取り消しアクノレッジレジスタ	送信アボートフラグ
RXPR0/1	受信完了レジスタ	データフレーム受信フラグ
RFPR0/1	リモートリクエストレジスタ	リモートフレーム受信フラグ
MBIMR0/1	メールボックスインタラプトマスクレジスタ	メールボックス関連割り込みのマスク
UMSR0/1	未読メッセージステータスレジスタ	オーバーライトメッセージフラグ
TCNTR	タイマカウンタレジスタ	現在のタイマ値
TCR	タイマコントロールレジスタ	汎用タイマ設定
TSR	タイマステータスレジスタ	タイマ用ステータスフラグ
TMR	タイマモードレジスタ	タイムスタンプと TCMR のレジスタ設定
TDCR	タイマドリフトコレクションレジスタ	ネットワークとの同期用タイマ補正
LOSR	ローカルオフセットレジスタ	タイマのオフセット
CCR	サイクルカウンタレジスタ	タイムトリガ送信用現在のサイクルカウンタ値
CMAX	サイクルマキシマムレジスタ	基本サイクル数
ICR0/1	インプットキャプチャレジスタ	インプットキャプチャ値
TCMR0-2	タイマコンペアマッチレジスタ	タイマ用コンペア値
MB	メールボックス	メールボックスの設定

16.7.8 割り込み要因

HCAN-IIには次に示す表のように割り込み要因があります。これらの要因は、メールボックスインタラプトレジスタ (MBIMR)、およびインタラプトマスクレジスタ (IMR) を利用してマスクすることができます。各割り込み要求の割り込みベクタについては「第7章 割り込みコントローラ (INTC)」を参照してください。

表 16.10 割り込み要因一覧

割り込みベクタ		説明	割り込みフラグ (IRR ビット)	DMAC の起動			
HCAN0	HCAN1			HCAN0	HCAN1		
ERS0	ERS1	エラーパッシブ割り込み (TEC \geq 128 または REC \geq 128)	IRR5	不可	不可		
		バスオフ割り込み (TEC \geq 256) //バスオフからの復帰 (11 レセッシブビット \times 128 回受信)	IRR6				
		エラーワーニング割り込み (TEC \geq 96)	IRR3				
		エラーワーニング割り込み (REC \geq 96)	IRR4				
OVR0	OVR1	パワーオンリセットによるリセット処理割り込み	IRR0				
		オーパロードフレーム送信	IRR7				
		未読メッセージのオーバーライト/オーバーラン	IRR9				
		サイクルカウンタオーバーフロー	IRR10				
		TCMR2 コンペアマッチ	IRR11				
		HCAN-II スリープ中 CAN バス動作検出	IRR12				
		タイマオーバーラン	IRR13				
		TCMR0 コンペアマッチ	IRR14				
	TCMR1 コンペアマッチ	IRR15					
RM0	RM1	データフレーム受信	IRR1			可	
		リモートフレーム受信	IRR2				
SLE0	SLE1	メールボックスエンプティ	IRR8	不可			

16.7.9 DMAC インタフェース

HCAN-IIはチャンネル0のメールボックス0のみ、メッセージを受信するとDMACを起動することができます。

DMAC 起動の諸設定を行い。メールボックス0による割り込みが発生し、DMACによる転送が終了すると自動的にRXPR0とRFPR0のフラグはクリアされます。このとき、HCAN-IIからの受信割り込みはCPUへは発生しません。下図にDMACの転送フローチャートを示します。

なお、DMACの起動についての設定は「第10章 ディレクトメモリアクセスコントローラ(DMAC)」を参照ください。

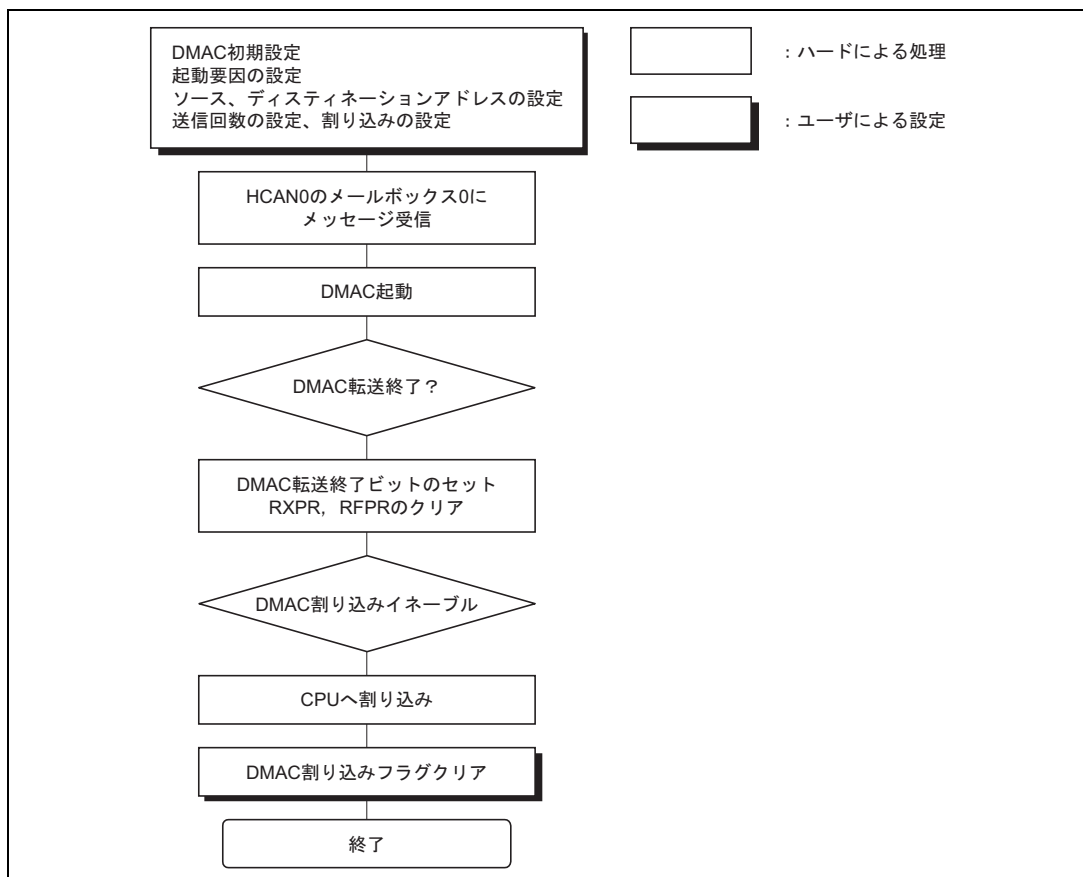


図 16.13 DMAC の転送フローチャート

16.7.10 HCAN-II 端子ポート設定

HCAN-II ポート設定は必ず、コンフィグレーションモード中またはそれ以前に行ってください。ポート設定方法の詳細は「第 21 章 ピンファンクションコントローラ (PFC)」を参照してください。

SH7058 は 2 チャンネルの HCAN-II を内蔵しており、2 種類の使用方法があります。

(1) 2 チャンネルの 32 バッファの HCAN-II

(2) 1 チャンネルの 64 バッファの HCAN-II*

【注】* 64 バッファ使用には注意が必要です。章末の「16.8 使用上の注意事項」を必ずお読みください。

下図に 2 チャンネルの 32 バッファ独立と 1 チャンネルの 64 バッファの例を示します。

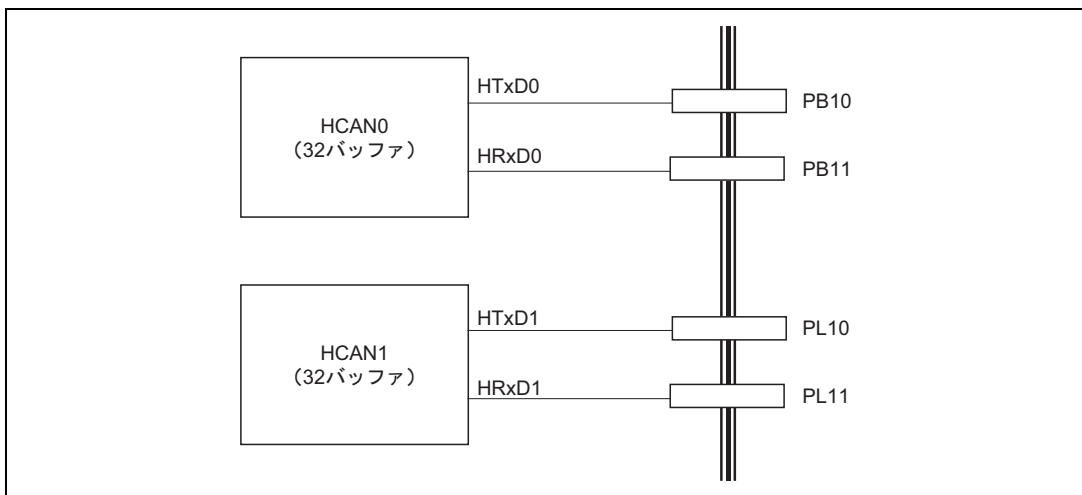


図 16.14 2 チャンネル 32 バッファ独立の例

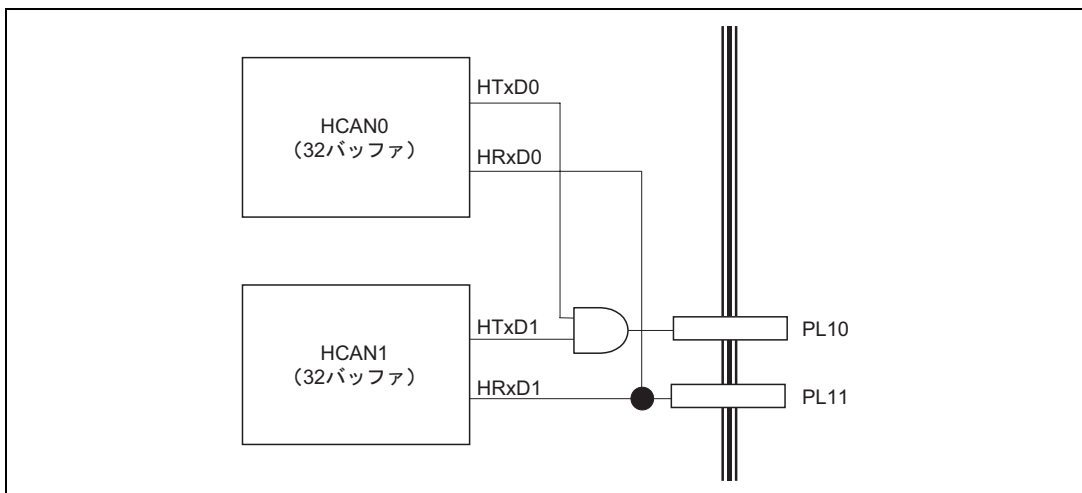


図 16.15 1 チャンネル 64 バッファ独立の例

16.7.11 CAN バスインタフェース

本 LSI と CAN バスを接続するためにはバストランシーバ IC が必要になります。トランシーバ IC はルネサス HA13721 を推奨します。HA13721 以外の製品を使用する場合は、HA13721 とコンパチブルな製品を使用してください。図 16.16 に接続例を示します。

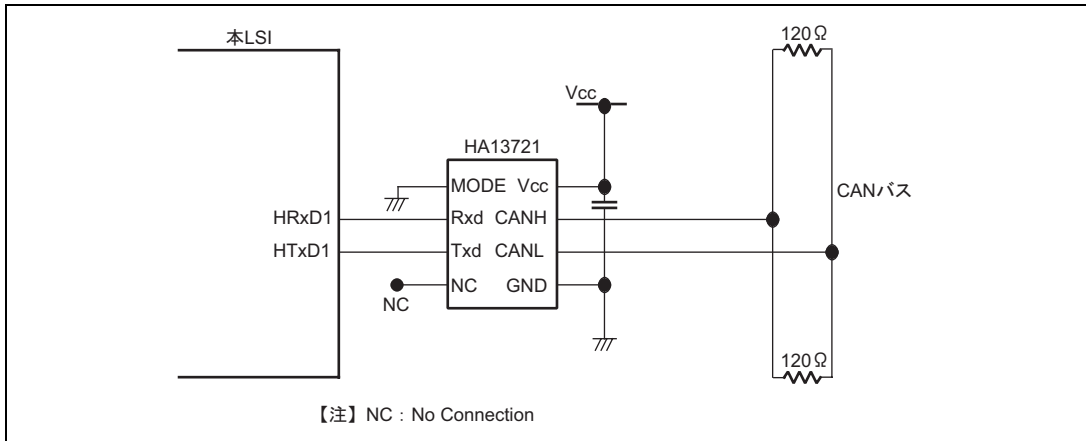


図 16.16 HA13721 を用いたハイスピードインタフェース

16.8 使用上の注意事項

16.8.1 受信中の TXPR の設定について

HCAN-II モジュールをポーレート、1Mbps でご使用になる際、メッセージデータを受信中に送信設定を行うとき送信設定メールボックス (MB) 数とメールボックスへのアクセス数に以下の使用制限がございます。なお、ポーレート、500kbps では制限はありません。

【重要】 受信中における TXPR セットに関する制限

TXPR のメールボックスのセット数とメールボックスへのアクセス数に制限があります。

表 16.11 受信中における TXPR セットに関する制限

PΦ	ポーレート	同時に設定する送信 MB 数	MB のワードアクセス回数の上限
20MHz	1.0Mbps	25	36
		30	30
		31	29
	0.5Mbps	31	制限なし
16MHz	1.0Mbps	10	34
		20	24
		25	18
		30	12
		31	11
	0.5Mbps	31	制限なし

16.8.2 バスアイドル時の送信設定直後の送信取り消し設定について

HCAN-II モジュールがバスアイドル時のときに送信設定を行い、その直後において送信取り消し (TXCR) 設定を行う際、以下の仕様制限がございます。

【重要】 バスアイドル時における送信設定直後の送信取り消し設定の制限



上図において **A** のポイントにおいてメールボックスの送信設定 (TXPR) を行った際 **t1** と **t2** 間のタイミングにおいて送信取り消し設定 (TXCR) を行ったとき、取り消しアクノレッジレジスタにフラグがセットされているにもかかわらず CAN バスに送信されてしまうことがあります。(送信されたメールボックスの送信アクノレッジ (TXACK) は設定されます)

t1 と **t2** のタイミングは送信設定 (TXPR) を行ってから以下のタイミングになります。

表 16.12 送信取り消し設定禁止時間

PΦ	ポーレート		t1	t2
20MHz	1Mbps	MB 順	1.90 μs	6.30 μs
		ID 順	5.05 μs	13.55 μs
20MHz	0.5Mbps	MB 順	2.55 μs	7.65 μs
		ID 順	5.45 μs	13.55 μs

16.8.3 メールボックス 31 の送信取り消し不具合について

メールボックス 31 を送信バッファとして使用するとき TXCR による送信取り消し時に以下の不具合が起こることがあります。

なお、本不具合は、バスオフ中には起きません。

- メッセージ送信中 (メールボックス 31 以外) にメールボックス 31 を TXCR によって送信取り消しをするとき取り消しアクリッジレジスタ (ABACK) がセットされているにもかかわらず、メッセージ送信され、送信アクリッジレジスタ (TXACK) がセットされることがあります。
- メールボックス 31 のメッセージ送信中のときにメールボックス 31 を TXCR をによって送信取り消しを行うとき。送信中のメールボックス 31 が送信終了しても TXPR がクリアされず、内部アービトレーションシーケンスに従って、再送信されることがあります。

16.8.4 送信中における TXPR 設定について

HCAN-II モジュールをボーレート、1Mbps でご使用になる際、送信中において TXPR 設定を行い送信が完了するまでの期間に送信設定メールボックス (MB) 数とメールボックスへのアクセス数に以下の制限事項があります。なお、ボーレート、500kbps では制限はありません。

【重要】送信中における送信設定の制限

表 16.13 送信設定時のアクセス制限

同時に設定する送信 MB 数	MB のワードアクセス回数の上限
1	36
2	34
3	34
4	32
5	32
6	30
7	30
8	28
9	28
10	26
11	26
12	24
13	24
14	22
15	22
16	22
17	22
18	20
19	20
20	20
21	18
22	18
23	16
24	16
25	14
26	12
27	12
28	10
29	8
30	8

16.8.5 タイムトリガ送信設定／タイマ動作禁止について

- メッセージボックス設定の TTE ビット (タイムトリガ送信設定) は、必ず 0 を書き込んでください。イベントトリガ送信に不具合が発生する可能性があります。
- イベントトリガ送信時にはタイマは動作させないでください。(TCR15 ビット=0) イベントトリガ送信に不具合が発生する可能性があります。

16.8.6 HCAN スリープ中のメールボックスアクセスについて

HCAN スリープ中にメールボックスにアクセスしないでください。HCAN スリープ中にメールボックスにアクセスすると CPU が停止する場合があります。HCAN スリープ中のレジスタアクセスでは CPU は停止しません。また、HCAN スリープ以外でメールボックスにアクセスしても CPU は停止しません。

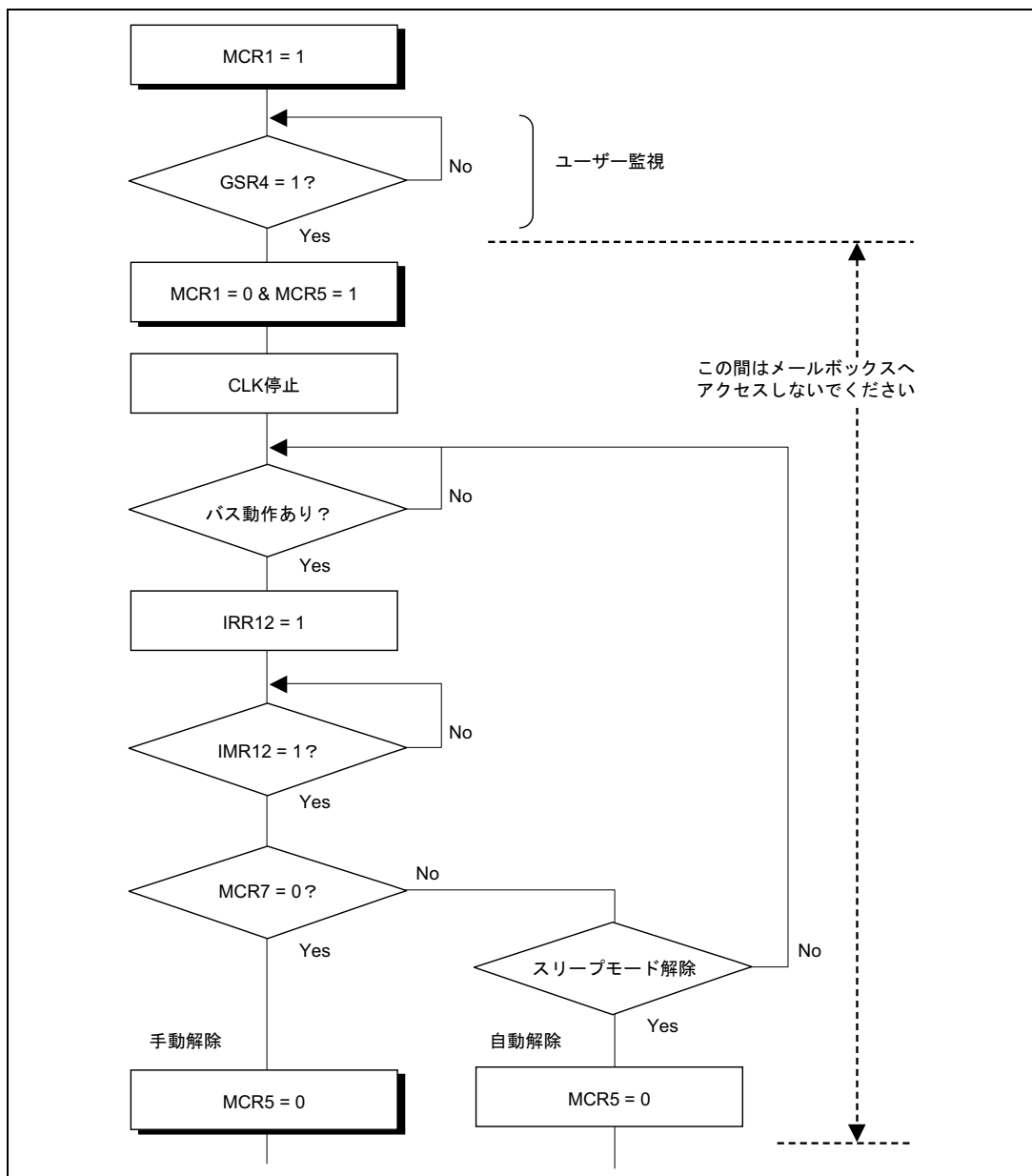
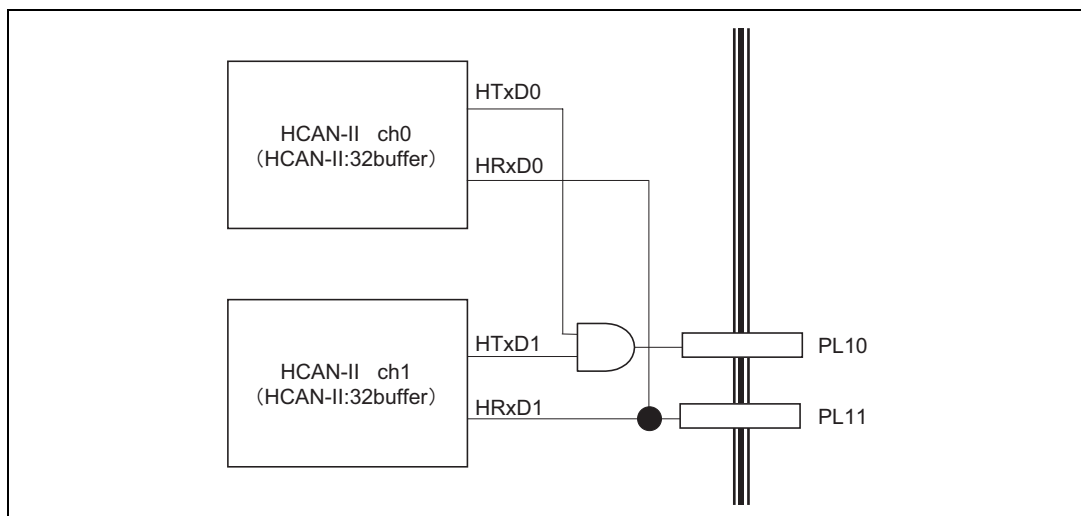


図 16.17 HCAN スリープモードのフローチャート

16.8.7 1チャンネル 64 バッファ ポート設定についての注意事項

SH7058Fは2チャンネルのHCAN-IIを内蔵しており、1チャンネルの64バッファのポート設定で使用する際、以下の注意事項があります。



- (1) CANバスに他ノードを接続しない状態でメッセージを送信した場合、ACKエラーが発生しません。
例として上図のch0からメッセージを送信した場合、ACKフィールドでch1がACKを送信するためです。
ch1はCANバス上のメッセージを受信しており、CANプロトコルに従いACKフィールドでACKを送信し、そのACKをch0が受信します
対応方法は、メッセージを送信しないchをリセット状態（MCR0=1 設定）にしてください。
これにより、メッセージを送信しないchからACKを送信しません。
- (2) 送信順位を決定する内部アービトレーションは、それぞれch0とch1で独立に実施します。
送信可能バッファは、HCAN-IIが31バッファ/chありますが、HCAN-IIは62バッファの範囲で内部アービトレーションは実施しません。
- (3) 同一送信メッセージIDをch0とch1に設定しないでください。
CANバス上でのアービトレーション実施後、2つのchからメッセージを送信することになります。

17. A/D 変換器

17.1 概要

本 LSI は、逐次比較方式の 10 ビット A/D 変換器を内蔵しています。

A/D 変換器は、ソフトウェアにより最大 32 チャンネルのアナログ入力の選択ができます。

A/D 変換器は、独立した 3 つのモジュール (A/D0、A/D1、A/D2) より構成されています。さらに A/D0 は 3 つのグループ、A/D1 は 3 つのグループ、A/D2 は 2 つのグループで構成されています。

モジュール	アナロググループ	チャンネル
A/D0	アナロググループ 0	AN0~3
	アナロググループ 1	AN4~7
	アナロググループ 2	AN8~11
A/D1	アナロググループ 3	AN12~15
	アナロググループ 4	AN16~19
	アナロググループ 5	AN20~23
A/D2	アナロググループ 6	AN24~27
	アナロググループ 7	AN28~31

17.1.1 特長

A/D 変換器の特長を以下に示します。

■10 ビットの分解能

入力チャンネル32 チャンネル (A/D0 : 12 チャンネル、A/D1 : 12 チャンネル、AD2 : 8 チャンネル)

■高速変換

変換時間 : 1 チャンネル当たり最小 13.3 μ s (周辺クロック (P ϕ) = 20MHz 動作時)

■2 種類の変換モード

- 単一モード : 1 チャンネルの A/D 変換
- スキャンモード : 連続スキャンモード、1 サイクルスキャンモード (AN0~3、AN4~7、AN8~11、AN12~15、AN16~19、AN20~23、AN24~27、AN28~31)
 - 1~12チャンネルの連続A/D変換 (A/D0)
 - 1~12チャンネルの連続A/D変換 (A/D1)
 - 1~8チャンネルの連続A/D変換 (A/D2)

■32 本の 10 ビット A/D データレジスタ

32 本の 10 ビット A/D データレジスタがあります。A/D 変換した結果は、各チャンネルに対応した A/D データレジスタに転送され、保持されます。

■サンプル&ホールド機能内蔵 (3 個)

サンプル&ホールド回路を各々の A/D 変換器 (A/D0、A/D1、A/D2) に内蔵していますので、外部アナログ入力回路が簡単に構成できます。

■A/D 変換割り込みと DMA 機能をサポート

A/D 変換終了時に、CPU に対して A/D 変換割り込み要求 (ADI) を発生することができます (ADI0 : A/D0 の割り込み要求、ADI1 : A/D1 の割り込み要求、ADI2 : A/D2 の割り込み要求)。

また、ADI で DMAC の起動ができます。

■2 種類の変換の開始

- ソフトウェア／外部トリガ ($\overline{\text{ADTRG0}}$ 、ATU-II(ITVRR2A)) の選択が可能 (A/D0)
- ソフトウェア／外部トリガ ($\overline{\text{ADTRG0}}$ 、ATU-II(ITVRR2B)) の選択が可能 (A/D1)
- ソフトウェア／外部トリガ ($\overline{\text{ADTRG1}}$ 、ATU-II(ITVRR1)) の選択が可能 (A/D2)

■ADEND 出力

ADEND 出力端子によって、チャンネル 31 をスキャンモードで使用する場合の変換タイミングをモニタすることができます。

17.1.2 ブロック図

図 17.1 に A/D 変換器のブロック図を示します。

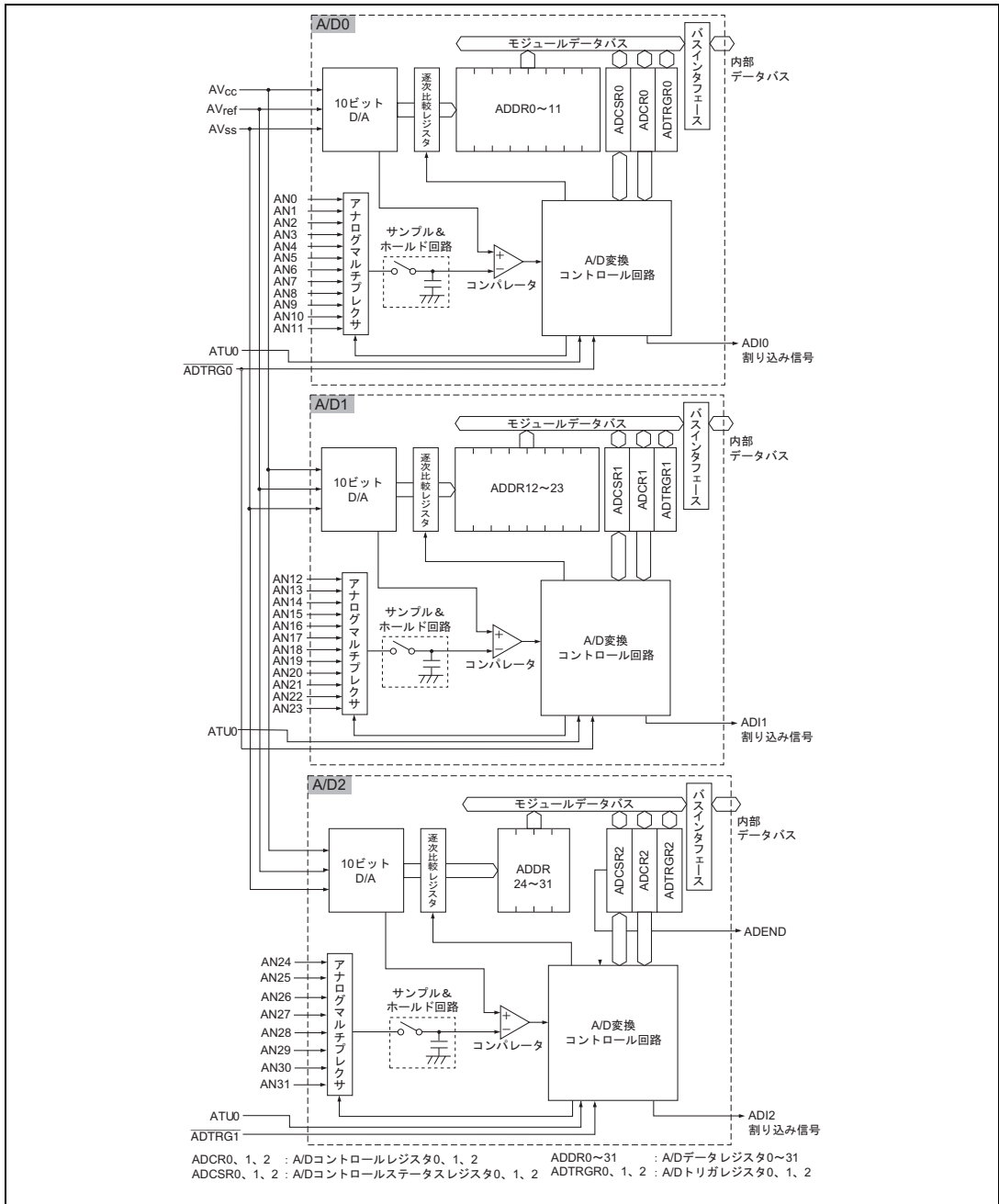


図 17.1 A/D 変換器のブロック図

17.1.3 端子構成

表 17.1 に A/D 変換器の入力端子の構成を示します。

アナログ入力端子は AN0～AN31 の 32 本あります。AN0～AN11 の 12 本は A/D0 のアナログ入力です。この 12 本のアナログ入力は、AN0～AN3 (グループ 0)、AN4～AN7 (グループ 1)、AN8～AN11 (グループ 2) の 3 グループに分類されます。AN12～AN23 の 12 本は A/D1 のアナログ入力です。AN12～AN15 (グループ 3)、AN16～19 (グループ 4)、AN20～23 (グループ 5) の 3 グループに分類されます。AN24～31 の 8 本は A/D2 のアナログ入力です。AN24～27 (グループ 6)、AN28～31 (グループ 7) の 2 グループに分類されます。

$\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$ 端子は、LSI 外部から、A/D 変換開始タイミングを与えるための端子です。 $\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$ 端子に Low レベルのパルスを印加すると、A/D0～2 は A/D 変換を開始します。

ADEND 端子は、チャンネル 31 をスキャンモードで使用する場合の変換タイミングをモニタする出力端子です。

AV_{CC} 、 AV_{SS} 端子は、A/D0～2 変換器内のアナログ部の電源電圧です。 AV_{ref} 端子は、A/D0～2 変換の基準電圧端子です。

なお、LSI の信頼性確保のため、 AV_{CC} 、 AV_{SS} と V_{CC} 、 V_{SS} との関係は、通常動作時は、 $\text{AV}_{\text{CC}}=5\text{V} \pm 0.5\text{V}$ 、 $\text{AV}_{\text{SS}}=\text{V}_{\text{SS}}$ とし、さらに、A/D 変換器を使用しないときも AV_{CC} 、 AV_{SS} 端子を決してオープンにしないでください。

また、アナログ入力端子に印加する電圧は $\text{AV}_{\text{SS}} \leq \text{ANn} \leq \text{AV}_{\text{ref}}$ の範囲としてください。

表 17.1 A/D 変換器の端子構成

端子名	略称	入出力	機能
アナログ電源端子	AV _{CC}	入力	A/D0~2のアナログ部の電源
アナロググランド端子	AV _{SS}	入力	A/D0~2のアナログ部のグランドおよび基準電圧
アナログリファレンス電源端子	AV _{ref}	入力	A/D0~2のアナログ部の基準電圧
アナログ入力端子 0	AN0	入力	A/D0のアナログ入力端子 0~3 (アナロググループ 0)
アナログ入力端子 1	AN1	入力	
アナログ入力端子 2	AN2	入力	
アナログ入力端子 3	AN3	入力	
アナログ入力端子 4	AN4	入力	A/D0のアナログ入力端子 4~7 (アナロググループ 1)
アナログ入力端子 5	AN5	入力	
アナログ入力端子 6	AN6	入力	
アナログ入力端子 7	AN7	入力	
アナログ入力端子 8	AN8	入力	A/D0のアナログ入力端子 8~11 (アナロググループ 2)
アナログ入力端子 9	AN9	入力	
アナログ入力端子 10	AN10	入力	
アナログ入力端子 11	AN11	入力	
アナログ入力端子 12	AN12	入力	A/D1のアナログ入力端子 12~15 (アナロググループ 3)
アナログ入力端子 13	AN13	入力	
アナログ入力端子 14	AN14	入力	
アナログ入力端子 15	AN15	入力	
アナログ入力端子 16	AN16	入力	A/D1のアナログ入力端子 16~19 (アナロググループ 4)
アナログ入力端子 17	AN17	入力	
アナログ入力端子 18	AN18	入力	
アナログ入力端子 19	AN19	入力	
アナログ入力端子 20	AN20	入力	A/D1のアナログ入力端子 20~23 (アナロググループ 5)
アナログ入力端子 21	AN21	入力	
アナログ入力端子 22	AN22	入力	
アナログ入力端子 23	AN23	入力	
アナログ入力端子 24	AN24	入力	A/D2のアナログ入力端子 24~27 (アナロググループ 6)
アナログ入力端子 25	AN25	入力	
アナログ入力端子 26	AN26	入力	
アナログ入力端子 27	AN27	入力	
アナログ入力端子 28	AN28	入力	A/D2のアナログ入力端子 27~31 (アナロググループ 7)
アナログ入力端子 29	AN29	入力	
アナログ入力端子 30	AN30	入力	
アナログ入力端子 31	AN31	入力	
A/D 変換トリガ入力端子 0	ADTRG0	入力	A/D0、1のA/D変換トリガ入力端子
A/D 変換トリガ入力端子 1	ADTRG1	入力	A/D2のA/D変換トリガ入力端子
ADEND 出力端子	ADEND	出力	A/D2のチャンネル31の変換タイミング モニタ出力端子

17.1.4 レジスタ構成

表 17.2 に A/D 変換器のレジスタ構成を示します。

表 17.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセス サイズ*1
A/D データレジスタ 0 (H/L)	ADDR0 (H/L)	R	H'0000	H'FFFFFF800	8、16
A/D データレジスタ 1 (H/L)	ADDR1 (H/L)	R	H'0000	H'FFFFFF802	8、16
A/D データレジスタ 2 (H/L)	ADDR2 (H/L)	R	H'0000	H'FFFFFF804	8、16
A/D データレジスタ 3 (H/L)	ADDR3 (H/L)	R	H'0000	H'FFFFFF806	8、16
A/D データレジスタ 4 (H/L)	ADDR4 (H/L)	R	H'0000	H'FFFFFF808	8、16
A/D データレジスタ 5 (H/L)	ADDR5 (H/L)	R	H'0000	H'FFFFFF80A	8、16
A/D データレジスタ 6 (H/L)	ADDR6 (H/L)	R	H'0000	H'FFFFFF80C	8、16
A/D データレジスタ 7 (H/L)	ADDR7 (H/L)	R	H'0000	H'FFFFFF80E	8、16
A/D データレジスタ 8 (H/L)	ADDR8 (H/L)	R	H'0000	H'FFFFFF810	8、16
A/D データレジスタ 9 (H/L)	ADDR9 (H/L)	R	H'0000	H'FFFFFF812	8、16
A/D データレジスタ 10 (H/L)	ADDR10 (H/L)	R	H'0000	H'FFFFFF814	8、16
A/D データレジスタ 11 (H/L)	ADDR11 (H/L)	R	H'0000	H'FFFFFF816	8、16
A/D データレジスタ 12 (H/L)	ADDR12 (H/L)	R	H'0000	H'FFFFFF820	8、16
A/D データレジスタ 13 (H/L)	ADDR13 (H/L)	R	H'0000	H'FFFFFF822	8、16
A/D データレジスタ 14 (H/L)	ADDR14 (H/L)	R	H'0000	H'FFFFFF824	8、16
A/D データレジスタ 15 (H/L)	ADDR15 (H/L)	R	H'0000	H'FFFFFF826	8、16
A/D データレジスタ 16 (H/L)	ADDR16 (H/L)	R	H'0000	H'FFFFFF828	8、16
A/D データレジスタ 17 (H/L)	ADDR17 (H/L)	R	H'0000	H'FFFFFF82A	8、16
A/D データレジスタ 18 (H/L)	ADDR18 (H/L)	R	H'0000	H'FFFFFF82C	8、16
A/D データレジスタ 19 (H/L)	ADDR19 (H/L)	R	H'0000	H'FFFFFF82E	8、16
A/D データレジスタ 20 (H/L)	ADDR20 (H/L)	R	H'0000	H'FFFFFF830	8、16
A/D データレジスタ 21 (H/L)	ADDR21 (H/L)	R	H'0000	H'FFFFFF832	8、16
A/D データレジスタ 22 (H/L)	ADDR22 (H/L)	R	H'0000	H'FFFFFF834	8、16
A/D データレジスタ 23 (H/L)	ADDR23 (H/L)	R	H'0000	H'FFFFFF836	8、16
A/D データレジスタ 24 (H/L)	ADDR24 (H/L)	R	H'0000	H'FFFFFF840	8、16
A/D データレジスタ 25 (H/L)	ADDR25 (H/L)	R	H'0000	H'FFFFFF842	8、16
A/D データレジスタ 26 (H/L)	ADDR26 (H/L)	R	H'0000	H'FFFFFF844	8、16
A/D データレジスタ 27 (H/L)	ADDR27 (H/L)	R	H'0000	H'FFFFFF846	8、16
A/D データレジスタ 28 (H/L)	ADDR28 (H/L)	R	H'0000	H'FFFFFF848	8、16
A/D データレジスタ 29 (H/L)	ADDR29 (H/L)	R	H'0000	H'FFFFFF84A	8、16
A/D データレジスタ 30 (H/L)	ADDR30 (H/L)	R	H'0000	H'FFFFFF84C	8、16
A/D データレジスタ 31 (H/L)	ADDR31 (H/L)	R	H'0000	H'FFFFFF84E	8、16
A/D コントロールステータス レジスタ 0	ADCSR0	R/(W)*2	H'00	H'FFFFFF818	8、16
A/D コントロールレジスタ 0	ADCR0	R/W	H'0F	H'FFFFFF819	8、16
A/D トリガレジスタ 0	ADTRGR0	R/W	H'FF	H'FFFFFF76E	8
A/D コントロールステータス レジスタ 1	ADCSR1	R/(W)*2	H'00	H'FFFFFF838	8、16
A/D コントロールレジスタ 1	ADCR1	R/W	H'0F	H'FFFFFF839	8、16
A/D トリガレジスタ 1	ADTRGR1	R/W	H'FF	H'FFFFFF72E	8

名称	略称	R/W	初期値	アドレス	アクセス サイズ* ¹
A/D コントロールステータス レジスタ 2	ADCSR2	R/(W)* ²	H'08	H'FFFFFF858	8、16
A/D コントロールレジスタ 2	ADCR2	R/W	H'0F	H'FFFFFF859	8、16
A/D トリガレジスタ 2	ADTRGR2	R/W	H'FF	H'FFFFFF72F	8

【注】 内部クロック逡倍比が4逡倍時のレジスタアクセスは、バイトアクセス時の内部クロック（φ）で6または7サイクル、ワードアクセス時の内部クロック（φ）で12または13サイクルとなります。

*1 16ビットのアクセスはワード境界のみ可能です。

*2 ビット7は、フラグをクリアするための0ライトのみ可能です。

17.2 レジスタの説明

17.2.1 A/D データレジスタ 0~31 (ADDR0~31)

A/D データレジスタ 0~31 (ADDR0~31) はアナログ入力を A/D 変換した結果を格納する 16 ビットの読み出し専用レジスタです。

アナログ入力 0~31 (AN0~31) に対応するレジスタは 32 本あります。

ADDR はパワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'0000 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
ADDRnH (上位バイト)	AD9	AD8	AD7	AD6	AD5	AD4	AD3	AD2
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R
ビット:	7	6	5	4	3	2	1	0
ADDRnL (下位バイト)	AD1	AD0	—	—	—	—	—	—
初期値:	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R

(n=0~15)

A/D 変換器はアナログ入力を 10 ビットのデジタル値に変換します。この 10 ビットデータのうち、上位 8 ビットが選択されたチャンネルに対応する ADDR の上位バイトに、下位 2 ビットが ADDR の下位バイトにそれぞれ格納されます。ADDR の下位バイトのデータは上位 2 ビットのみが有効です。

表 17.3 にアナログ入力チャンネルと ADDR の対応を示します。

表 17.3 アナログ入力チャンネルと ADDR の対応

アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ	アナログ入力 チャンネル	A/D データ レジスタ
AN0	ADDR0	AN8	ADDR8	AN16	ADDR16	AN24	ADDR24
AN1	ADDR1	AN9	ADDR9	AN17	ADDR17	AN25	ADDR25
AN2	ADDR2	AN10	ADDR10	AN18	ADDR18	AN26	ADDR26
AN3	ADDR3	AN11	ADDR11	AN19	ADDR19	AN27	ADDR27
AN4	ADDR4	AN12	ADDR12	AN20	ADDR20	AN28	ADDR28
AN5	ADDR5	AN13	ADDR13	AN21	ADDR21	AN29	ADDR29
AN6	ADDR6	AN14	ADDR14	AN22	ADDR22	AN30	ADDR30
AN7	ADDR7	AN15	ADDR15	AN23	ADDR23	AN31	ADDR31

17.2.2 A/D コントロールステータスレジスタ 0、1 (ADCSR0、1)

A/D コントロールステータスレジスタ 0、1 (ADCSR0、1) は、A/D0、1 の A/D 変換モードの選択などを行う 8 ビットの読み出し/書き込み可能なレジスタです。

ADCSR0、1 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0
初期値:	0	0	0	0	0	0	0	0
R/W:	R/(W)*	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 * フラグをクリアするための0ライトのみ可能です。

ビット7: A/D エンドフラグ (ADF)

A/D エンドフラグ (ADF) は、A/D 変換の終了を示すフラグです。

ビット7	説明
ADF	
0	A/D0、1 が A/D 変換実行中、またはアイドル状態であることを示します。 (初期値) [クリア条件] (1) ADF=1 の状態を読み出した後、0 を書き込んだとき (2) ADI0、1 により DMAC が起動されたとき
1	A/D0、1 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 [セット条件] (1) 単一モード: A/D 変換終了時 (2) スキャンモード: 設定されたすべてのアナログ変換が終了したとき

単一モードと、スキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。

単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。

スキャンモードのときには、設定されたすべての変換が終了した後に ADF を 1 にセットします。例えば、12 チャネルスキャンの場合、AN8~AN11 (グループ 2) または、AN20~AN23 (グループ 5) の変換終了直後に ADF が 1 にセットされます。ADF が 1 にセットされた後、連続スキャンでは、さらに変換を続けます。1 サイクルスキャンでは、変換を終了します。

なお、ADF に 1 を書き込むことはできません。

17. A/D 変換器

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D インタラプトイネーブル (ADIE) は、A/D 割り込み (ADI) の発生を許可/禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 0、1 (ADCR0、1) の ADST が 0 の状態で行ってください。

ビット 6	説 明	
ADIE		
0	A/D 割り込み (ADI0、1) の発生を禁止	(初期値)
1	A/D 割り込み (ADI0、1) の発生を許可	

A/D 変換を終了して ADF が 1 にセットされたとき、ADIE が 1 にセットされていると A/D0、1 の A/D 割り込み (ADI0、1) が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI0、1 のクリアが可能です。

ビット 5、4 : A/D モード 1、0 (ADM1、0)

A/D モード 1、0 (ADM1、0) は、A/D 変換を単一モード、4 チャネルスキャンモード、8 チャネルスキャンモード、12 チャネルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 1、0 (ADCR1、0) の ADST が 0 の状態で行ってください。

ビット 5	ビット 4	説 明	
ADM1	ADM0		
0	0	単一モード	(初期値)
	1	4 チャネルスキャンモード (アナロググループ 0、1、2、3、4、5)	
1	0	8 チャネルスキャンモード (アナロググループ 0、1、3、4)	
	1	12 チャネルスキャンモード (アナロググループ 0、1、2、3、4、5)	

ADM1、0 を 00 に設定すると、単一モードになります。単一モードでは、ADCSR の CH3~0 で選択されたアナログチャンネルを 1 回 A/D 変換して動作終了します。

ADM1、0 を 01 に設定すると、4 チャネルスキャンモードになります。スキャンモードは、複数チャンネルの A/D 変換を連続して行うモードです。スキャンモードで A/D 変換を行うチャンネルは ADCSR1、0 の CH3~0 で設定します。4 チャネルスキャンモードでは、アナロググループ 0 (AN0~3)、グループ 1 (AN4~7)、グループ 2 (AN8~11)、またはグループ 3 (AN12~15)、グループ 4 (AN16~19)、グループ 5 (AN20~23) のうちのいずれかのグループのチャンネルを連続して変換します。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN0~3、AN4~7、AN8~11 または、AN12~15、AN16~19、AN20~23) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

ADM1、0 を 10 に設定すると、8 チャネルスキャンモードになります。8 チャネルスキャンモードでは、アナロググループ 0 (AN0~3) とグループ 1 (AN4~7) または、アナロググループ 3 (AN12~15) とグループ 4 (AN16~19) の 8 チャンネルの A/D 変換を行います。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN0~7) または、(AN12~19) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

ADM1、0 を 11 に設定すると、12 チャネルスキャンモードになります。12 チャネルスキャンモードでは、アナロググループ 0 (AN0~3) とグループ 1 (AN4~7) とグループ 2 (AN8~11) または、

アナロググループ 3 (AN12~15) とグループ 4 (AN16~19) とグループ 5 (AN20~23) の 12 チャンネルの A/D 変換を行います。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN0~11 または、AN12~19) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後、動作を停止します。

なお、単一モード/スキャンモードの動作については「17.4 動作説明」を参照してください。

ビット 3~0 : チャンネルセレクト 3~0 (CH3~0)

チャンネルセレクト 3~0 (CH3~0) は、ADM1、0 との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールレジスタ 1、0 (ADCR1、0) の ADST が 0 の状態で行ってください。

17. A/D 変換器

ビット3 CH3	ビット2 CH2	ビット1 CH1	ビット0 CH0	アナログ入力チャネル			
				単一モード		4チャネルスキャンモード	
				A/D0	A/D1	A/D0	A/D1
0	0	0	0	AN0 (初期値)	AN12 (初期値)	AN0	AN12
			1	AN1	AN13	AN0、1	AN12、13
		1	0	AN2	AN14	AN0~2	AN12~14
			1	AN3	AN15	AN0~3	AN12~15
	1	0	0	AN4	AN16	AN4	AN16
			1	AN5	AN17	AN4、5	AN16、17
		1	0	AN6	AN18	AN4~6	AN16~18
			1	AN7	AN19	AN4~7	AN16~19
1	0* ¹	0	0	AN8	AN20	AN8	AN20
			1	AN9	AN21	AN8、9	AN20、21
		1	0	AN10	AN22	AN8~10	AN20~22
			1	AN11	AN23	AN8~11	AN20~23

ビット3 CH3	ビット2 CH2	ビット1 CH1	ビット0 CH0	アナログ入力チャネル			
				8チャネルスキャンモード		12チャネルスキャンモード	
				A/D0	A/D1	A/D0	A/D1
0	0	0	0	AN0、4	AN12、16	AN0、4、8	AN12、16、20
			1	AN0、1、4、5	AN12、13、16、17	AN0、1、4、5、8、9	AN12、13、16、17、20、21
		1	0	AN0~2、4~6	AN12~14、16~18	AN0~2、4~6、8~10	AN12~14、16~18、20~22
			1	AN0~7	AN12~19	AN0~11	AN12~23
	1	0	0	AN0、4	AN12、16	AN0、4、8	AN12、16、20
			1	AN0、1、4、5	AN12、13、16、17	AN0、1、4、5、8、9	AN12、13、16、17、20、21
		1	0	AN0~2、4~6	AN12~14、16~18	AN0~2、4~6、8~10	AN12~14、16~18、20~22
			1	AN0~7	AN12~19	AN0~11	AN12~23
1	0* ¹	0	0	リザーブ* ²	リザーブ* ²	AN0、4、8	AN12、16、20
			1			AN0、1、4、5、8、9	AN12、13、16、17、20、21
		1	0			AN0~2、4~6、8~10	AN12~14、16~18、20~22
			1			AN0~11	AN12~23

【注】 *1 必ず0に設定してください。

*2 将来の拡張のためのモードです。使用しないでください。

17.2.3 A/D コントロールレジスタ 0、1、2 (ADCR0、1、2)

A/D コントロールレジスタ 0、1、2 (ADCR0、1、2) は、A/D0、1、2 の A/D 変換の開始制御、および動作クロックの選択を行う 8 ビットの読み出し/書き込み可能なレジスタです。

ADCR0、1、2 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'0F に初期化されます。

なお、ADCR0、1、2 のビット 3~0 は予約ビットです。ビット 3~0 への書き込みはできません。また、読み出すと常に 1 が読み出されます。

ビット:	7	6	5	4	3	2	1	0
	TRGE	CKS	ADST	ADCS	—	—	—	—
初期値:	0	0	0	0	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R	R	R	R

ビット 7: トリガイネーブル (TRGE)

トリガイネーブル (TRGE) は、外部トリガ入力あるいは ATU-II トリガによる A/D 変換の開始を許可/禁止するビットです。

ビット 7	説明
TRGE	
0	外部トリガまたは ATU-II トリガによる A/D 変換の開始を禁止 (初期値)
1	外部トリガまたは ATU-II トリガによる A/D 変換の開始を許可

外部トリガあるいは ATU-II トリガの選択は、「17.2.5 A/D トリガレジスタ 0、1、2 (ADTRGR0、1、2)」を参照してください。

ATU-II トリガに設定した場合、ADTRGR0、1、2 レジスタのビット 7 を 0 にしてください。

外部トリガに設定した場合、TRGE を 1 にセットした後、 $\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$ 端子に Low レベルのパルスを入力すると、A/D 変換はパルスの立ち上がりエッジを検出し、ADCR の ADST ビットを 1 にセットします。この後は、ソフトウェアで ADST ビットに 1 をライトしたときと同じ動作をします。ただし、外部トリガ入力による A/D 変換の開始機能は ADST ビットが 0 にクリアされているときのみ有効です。

なお、外部トリガ開始機能を使用するとき、 $\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$ 端子に入力する Low パルス幅は 1.5 ϕ クロック以上であることが必要です。詳しくは「17.4.4 外部トリガによる A/D 変換器の起動」を参照してください。

ビット 6: クロックセレクト (CKS)

クロックセレクト (CKS) は、A/D 変換時間の設定を行うビットです。

CKS が 0 のとき 266 ステート (MAX) で、CKS が 1 のとき 134 ステート (MAX) で A/D 変換を行います。なお、誤動作を防ぐため A/D 変換時間の切り替えは、必ず、A/D コントロールレジスタ 0、1、2 (ADCR0、1、2) の ADST が 0 の状態で行ってください。詳しくは、「17.4.3 アナログ入力のサンプリングと A/D 変換時間」を参照してください。

17. A/D 変換器

ビット6	説 明	
CKS		
0	変換時間=266 ステート (MAX)	(初期値)
1	変換時間=134 ステート (MAX)	

ビット5 : A/D スタート (ADST)

A/D スタート (ADST) は、A/D 変換の開始/停止を制御するビットです。ADST を 1 にセットすると A/D 変換を開始し、0 にクリアすると停止します。

ビット5	説 明	
ADST		
0	A/D 変換停止	(初期値)
1	A/D 変換実行中 [クリア条件] (1) 単一モード : A/D 変換終了時に自動的に 0 クリア (2) スキャンモード : 設定した全チャンネルを一度変換終了後すると、自動的に 0 クリア (1 サイクルスキャン)	

単一モードとスキャンモードでは、ADST ビットの動きが異なりますので注意してください。

単一モードでは、1 チャンネルの A/D 変換終了時に自動的に ADST を 0 にクリアします。また、スキャンモード (連続スキャン) では、選択したアナログ入力すべての変換が終わると、再度全チャンネルの A/D 変換を始めるため、ADST ビットは 1 のままです。したがって、スキャンモード (連続スキャン) では、変換時間の変更、アナログ入力チャンネルの選択を変更するときには、ADST ビットを 0 にクリアして A/D 変換を停止させてください。ただし、スキャンモード (1 サイクルスキャン) では設定した全チャンネルを一度変換終了すると、自動的に ADST ビットを 0 にクリアして A/D 変換を停止します。動作モードの切り替えは、必ず A/D コントロールレジスタ 0、1、2 (ADCR0、1、2) の ADST ビットが 0 の状態で行ってください。なお、A/D インタラプトイネーブル (ADCSR0、1、2 の ADIE ビット) の変更、A/D 変換時間の変更 (ADCR0、1、2 の CKS ビット)、動作モードの変更 (ADCSR0、1、2 の ADM1、0 ビット)、およびアナログ入力チャンネル選択の変更 (ADCSR0、1、2 の CH3~0) を行う前に、必ず、A/D 変換が停止していること (ADST が 0) を確認してください。これらの変更を A/D 変換器の動作中 (ADST が 1) に行った場合、A/D データレジスタの内容は、保証されません。

ビット4 : A/D コンティニューアススキャン (ADCS)

ビット4	説 明	
ADCS		
0	1 サイクルスキャン	(初期値)
1	連続スキャン	

A/D コンティニューアススキャン (ADCS) は、スキャンモード時の 1 サイクルスキャン/連続スキャンを選択するビットです。スキャンモード時のみ有効です。なお、詳しくは「17.4.2 スキャンモード」を参照してください。

ビット3~0 : 予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.2.4 A/D コントロールステータスレジスタ 2 (ADCSR2)

A/D コントロールステータスレジスタ 2 (ADCSR2) は、A/D2 の A/D 変換モードの選択などを行う 8 ビットの読み出し／書き込み可能なレジスタです。

ADCSR2 は、パワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'08 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADF	ADIE	ADM1	ADM0	—	CH2	CH1	CH0
初期値:	0	0	0	0	1	0	0	0
R/W:	R(W)*	R/W	R/W	R/W	R	R/W	R/W	R/W

【注】* フラグをクリアするための0ライトのみ可能です。

ビット 7 : A/D エンドフラグ (ADF)

A/D エンドフラグ(ADF)は、A/D 変換終了を示すフラグです。

ビット 7	説明
ADF	
0	A/D2 が A/D 変換実行中、またはアイドル状態であることを示します。 [クリア条件] (1) ADF=1 の状態を読み出した後、0 を書き込んだとき (2) ADI2 により DMAC が起動されたとき (初期値)
1	A/D2 が A/D 変換を終了し、デジタル値を ADDR に転送したことを示します。 [セット条件] (1) 単一モード : A/D 変換終了時 (2) スキャンモード : 設定されたすべてのアナログ変換が終了したとき

単一モードとスキャンモードでは、ADF が 1 にセットされた後の A/D 変換器の動作が異なります。単一モードのとき、A/D 変換器はデジタル値を ADDR に転送した後、ADF を 1 にセットしてアイドル状態になります。

スキャンモードのときには、設定されたすべての変換が終了した後に ADF を 1 にセットします。例えば、8 チャネルスキャンの場合、AN28～AN31 (グループ 7) の変換終了直後に ADF が 1 にセットされます。ADF が 1 にセットされた後、連続スキャンではさらに変換を続けます。1 サイクルスキャンでは変換を終了します。

なお、ADF に 1 を書き込むことはできません。

17. A/D 変換器

ビット 6 : A/D インタラプトイネーブル (ADIE)

A/D インタラプトイネーブル (ADIE) は、A/D 割り込み (ADI) の発生を許可/禁止するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 2 (ADCSR2) の ADST が 0 の状態で行ってください。

ビット 6	説明
ADIE	
0	A/D 割り込み (ADI2) の発生を禁止 (初期値)
1	A/D 割り込み (ADI2) の発生を許可

A/D 変換を終了して ADCSR2 の ADF が 1 にセットされたとき、ADIE が 1 にセットされていると A/D2 の A/D 割り込み (ADI2) が発生します。ADF を 0 にクリアするか、ADIE を 0 にクリアすることで、ADI2 のクリアが可能です。

ビット 5、4 : A/D モード 1、0 (ADM1、0)

A/D モード 1、0 (ADM1、0) は、A/D 変換を単一モード、4 チャンネルスキャンモード、8 チャンネルスキャンモードから選択するビットです。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D コントロールレジスタ 2 (ADCSR2) の ADST が 0 の状態で行ってください。

ビット 5	ビット 4	説明
ADM1	ADM0	
0	0	単一モード (初期値)
	1	4 チャンネルスキャンモード (アナロググループ 6、7)
1	0	8 チャンネルスキャンモード (アナロググループ 6、7)
	1	予約

ADM1、0 を 00 に設定すると、単一モードになります。単一モードでは、ADCSR の CH2~0 で選択されたアナログチャンネルを 1 回 A/D 変換して動作終了します。

ADM1、0 を 01 に設定すると、4 チャンネルスキャンモードになります。スキャンモードは、複数チャンネルの A/D 変換を連続して行うモードです。スキャンモードで A/D 変換を行うチャンネルは ADCSR2 の CH2~0 で設定します。4 チャンネルスキャンモードでは、アナロググループ 6 (AN24~27) またはグループ 7 (AN28~31) のうちいずれかのグループのチャンネルを連続して変換します。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN24~27、AN28~31) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後変換を停止します。

ADM1、0 を 10 に設定すると、8 チャンネルスキャンモードになります。8 チャンネルスキャンモードでは、アナロググループ 6 (AN24~27) とグループ 7 (AN28~31) の 8 チャンネルの A/D 変換を行います。ADCS ビットを 0 に設定してグループ内全チャンネルスキャンを選択 (AN24~31) した場合は一度グループ内のチャンネルを連続スキャンし、最後のチャンネル (最も番号の大きい) の A/D 変換終了後変換を停止します。

なお、単一モード/スキャンモードの動作については「17.4 動作説明」を参照してください。

ビット 3：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

ビット 2～0：チャンネルセレクト 2～0 (CH2～0)

チャンネルセレクト 2～0 (CH2～0) は、ADM1、0 との組み合わせでアナログ入力チャンネルを選択するビットです。

誤動作を防ぐためアナログ入力チャンネル選択の切り替えは、必ず、A/D コントロールレジスタ 2 (ADCR2) の ADST が 0 の状態で行ってください。

ビット 2	ビット 1	ビット 0	アナログ入力チャンネル		
			単一モード	4 チャンネルスキャンモード	8 チャンネルスキャンモード
0	0	0	AN24 (初期値)	AN24	AN24、28
		1	AN25	AN24、25	AN24、25、28、29
	1	0	AN26	AN24～26	AN24～26、AN28～30
		1	AN27	AN24～27	AN24～31
1	0	0	AN28	AN28	AN24、28
		1	AN29	AN28、29	AN24、25、28、29
	1	0	AN30	AN28～30	AN24～26、AN28～30
		1	AN31	AN28～31	AN24～31

17.2.5 A/D トリガレジスタ 0、1、2 (ADTRGR0、1、2)

A/D トリガレジスタ (ADTRGR0、1、2) は、A/D0、1、2 のトリガの選択を行う 8 ビットの読み出し/書き込み可能なレジスタです。外部端子 (ADTRG0、ADTRG1) か、ATU-II (ATU-II のインターバルタイム A/D 変換要求トリガ) のどちらかを選択します。

ADTRGR0、1、2 は、パワーオンリセット、およびハードウェアスタンバイモード時に H'FF に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

ビット：	7	6	5	4	3	2	1	0
	EXTRG	—	—	—	—	—	—	—
初期値：	1	1	1	1	1	1	1	1
R/W：	R/W	R	R	R	R	R	R	R

17. A/D 変換器

ビット7：トリガイネーブル (EXTRG)

外部端子 ($\overline{\text{ADTRG0}}$ 、 $\overline{\text{ADTRG1}}$) か、ATU-II のインターバルタイマ A/D 変換要求のどちらかを選択します。

ビット7	説 明
EXTRG	
0	ATU-II のチャンネル0 のインターバルタイマ A/D 変換要求による起動を行います。
1	外部端子 ($\overline{\text{ADTRG}}$) による起動を行います。 (初期値)

外部トリガあるいは ATU-II トリガの選択は、ADCR0、1、2 の TRGE ビットを 1 に設定する必要があります。詳しくは、「17.2.3 A/D コントロールレジスタ 0、1、2 (ADCR0、1、2)」を参照してください。

ビット6～0：予約ビット

読み出すと常に 1 が読み出されます。書き込む値も常に 1 にしてください。

17.3 CPU とのインタフェース

A/D データレジスタ 0~31 (ADDR0~31) は 16 ビットのレジスタですが、CPU と結合しているチップ内バスは、8 ビット幅です。このため ADDR の上位/下位のデータは別々にしか読み出せません。

ADDR の上位/下位の 2 バイトのデータを読み出す間にデータが変化するのを避けるため、下位バイトのデータの読み出しは、テンポラリレジスタ (TEMP) を介して行います。なお、上位バイトの読み出しは直接行えます。

ADDR からのデータの読み出しは、次のようにして行います。まず、ADDR のデータの上位バイトを読み出します。このとき、上位バイトのデータは直接 CPU に読み込まれ、下位バイトのデータは A/D 変換器内の TEMP へ転送されます。次に下位バイトを読み出すと TEMP の内容が CPU に読み込まれます。

ADDR をバイトサイズで読み出す場合には、必ず上位バイト、下位バイトの順で行ってください。また、上位バイトのみの読み出しは可能ですが、下位バイトのみの読み出しでは内容が保証されませんので注意してください。なお、ADDR をワードサイズで読み出すと、自動的に上位バイト、下位バイトの順で読み出されます。

図 17.2 に ADDR のリード時のデータの流れを示します。

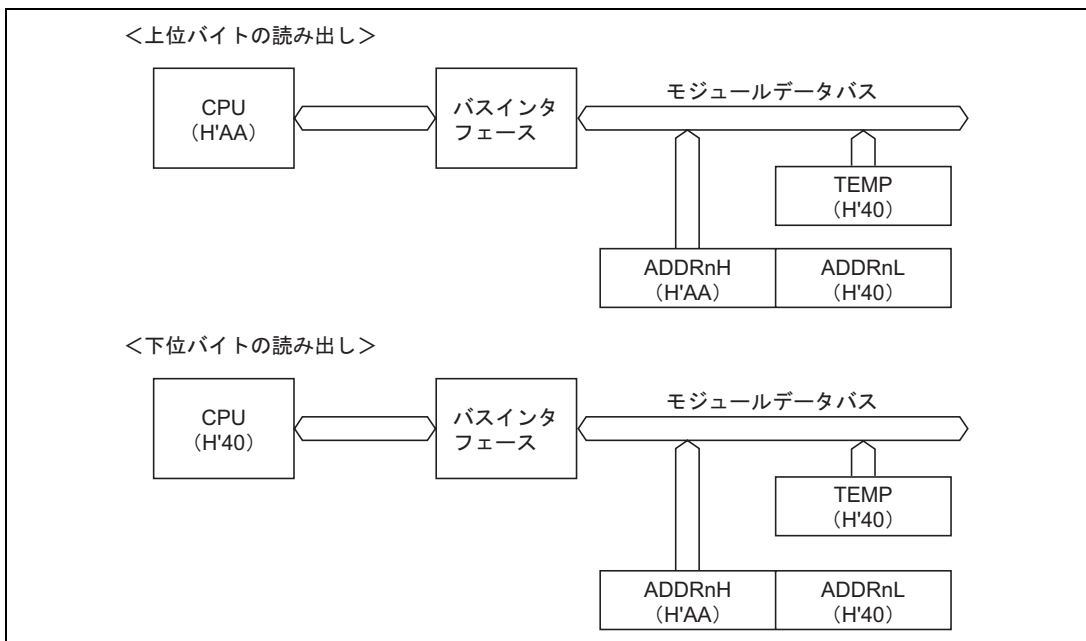


図 17.2 ADDR のアクセス動作 ((H'AA40) 読み出し時)

17.4 動作説明

A/D 変換器は、逐次比較方式で動作し、10 ビットの分解能を持っています。

A/D 変換の動作モードには、単一モードとスキャンモードの2種類の動作モードがあります。スキャンモードは連続スキャンモードと、1 サイクルスキャンモードがあります。単一モードは指定した1チャンネルを1回変換して終了するモードです。連続スキャンモードは指定した1チャンネル以上のA/D変換をADSTビットが0にクリアされるまで繰り返し行うモードです。1 サイクルスキャンは、1チャンネル以上のA/D変換を1回行って終了するモードです。

17.4.1 単一モード

単一モードは、1チャンネルのみのA/D変換を1回行うときに選択するモードです。

単一モードの選択は、A/D コントロールステータスレジスタ (ADCSR) のADM1、0ビットを00にすることで行います。この状態でA/D コントロールレジスタ (ADCR) のADSTビットを1にセットすると単一モードでA/D変換を開始します。

ADSTビットは、A/D変換中は1を保持しており、変換が終了すると自動的に0にクリアされます。

また、変換が終了するとADCSRのADFが1にセットされます。このとき、ADCSRのADIEビットが1にセットされているとADI割り込み要求が発生します。ADFを0にクリアするときには、あらかじめADFの1を読んだ後、0を書き込んでください。ただし、ADI割り込みでDMACを起動した場合には、自動的にクリアされます。

アナログ入力1チャンネル (AN1) を選択して、単一モードでA/D変換を行う場合の動作例を次に示します。また、図 17.3 に動作タイミングを示します。

- (1) 動作モードを単一モードに (ADM1=ADM0=0)、入力チャンネルをAN1に (CH3=CH2=CH1=0、CH0=1)、A/D割り込み要求許可 (ADIE=1) を設定して、A/D変換を開始 (ADST=1) します。
- (2) A/D変換が終了すると、A/D変換結果がADDR1に転送されます。同時に、ADF=1、ADST=0となり、A/D変換器は変換待機となります。
- (3) ADF=1、ADIE=1となっているため、ADI割り込みが発生します。
- (4) A/D割り込み処理ルーチンが開始されます。
- (5) ADF=1を読み出した後、ADFに0を書き込みます。
- (6) A/D変換結果 (ADDR1) を読み出して、処理します。
- (7) A/D割り込み処理ルーチンの実行を終了します。

この後、ADSTビットを1にセットするとA/D変換が開始され(2)～(7)を行います。

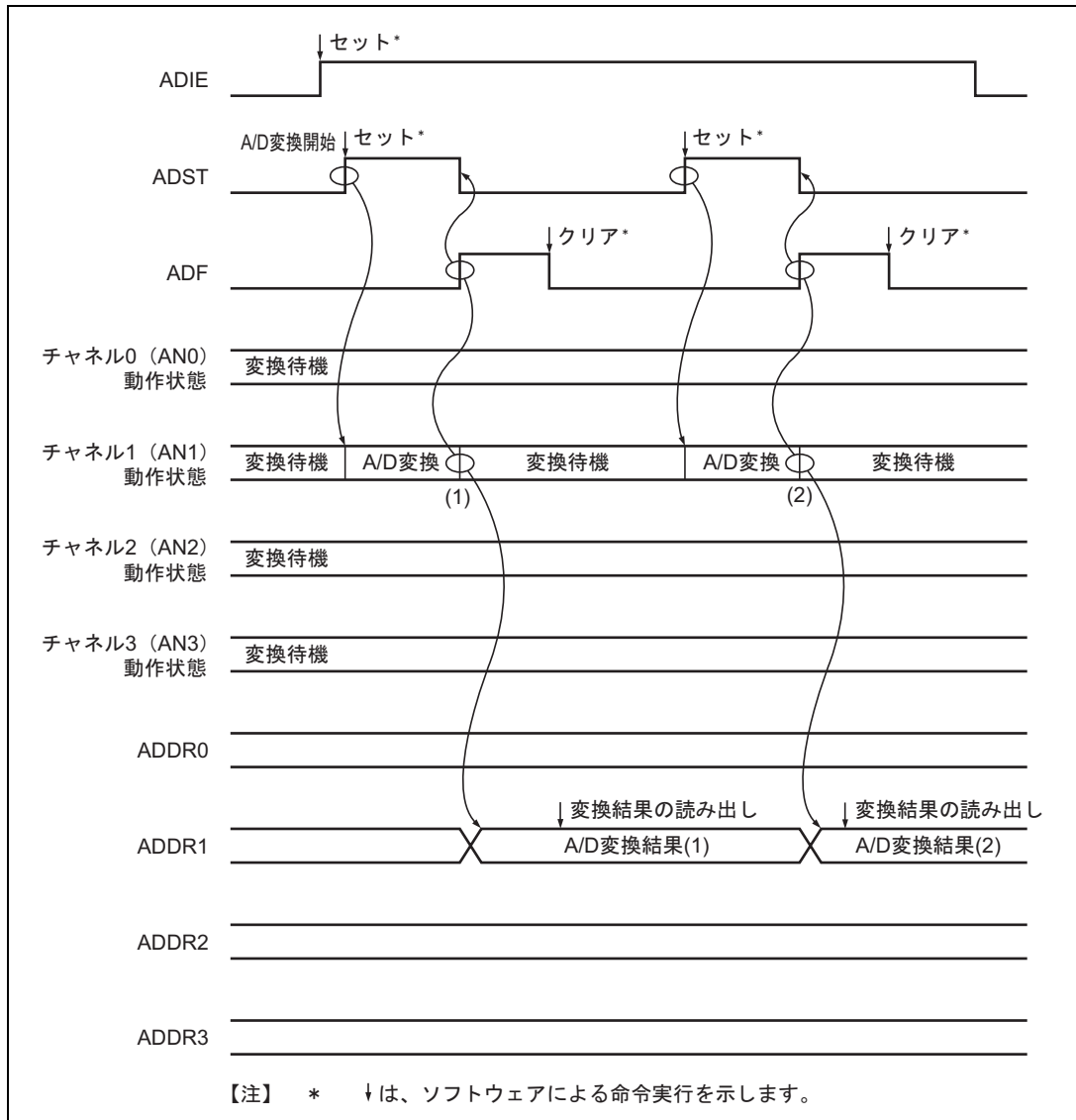


図 17.3 A/D 変換器の動作例 (単一モード チャンネル 1 選択時)

17.4.2 スキャンモード

スキャンモードは、1 チャンネル以上の複数チャンネルの A/D 変換を繰り返すとき (常時モニタしたいときなど) に選択するモードです。

スキャンモードの選択は、A/D0、1 の場合、A/D コントロールステータスレジスタ (ADCSR0、1) の ADM1、0 ビットを 01、10、または 11 にすることで行います。ADM1、0 ビットを 01 にすると 4 チャンネルスキャンモードに、10 にすると 8 チャンネルスキャンモードに、11 にすると 12 チャンネルスキャンモードになります。また、A/D2 の場合は A/D コントロールステータスレジスタ 2 (ADCSR2) の ADM1、0 ビットを 01、10 にすることで行います。ADM1、0 ビットを 01 にすると 4 チャンネルスキャンモードに、10 にすると 8 チャンネルスキャンモードになります。この状態で A/D コントロールレジスタ (ADCR) の ADCS ビットを 0、ADST ビットを 1 に設定すると 1 サイクルスキャンを行います。

17. A/D 変換器

す。ADCS ビットを 1、ADST ビットを 1 に設定すると連続スキャンを行います。

アナログ入力チャンネル番号の小さい順 (AN0,AN1…11、AN12,AN13…23、AN24,AN25…31) から A/D 変換を行います。

1 サイクルスキャンの場合、設定した全チャンネルを一度変換終了すると ADCSR の ADF を 1 にセットして、ADST ビットが自動的に 0 クリアされます。

連続スキャンの場合、設定した全チャンネルを変換終了すると、ADCSR の ADF を 1 にセットします。A/D 変換を停止する場合、ADST ビットに 0 を書き込んでください。

ADF が 1 にセットされたとき、ADCSR の ADIE ビットが 1 にセットされていると ADI 割り込み要求(ADI0、1、2)を発生します。ADF を 0 クリアするときには、ADF の 1 を読み出した後、0 を書き込んでください。ただし、ADI 割り込みで DMAC を起動した場合には自動的に 0 クリアされます。

アナログ入力 0~11(AN0~11)を選択して、12 チャンネルスキャンモードで A/D 変換を 1 サイクルスキャンを行う場合の動作例を次に示します。また、**図 17.4** に動作タイミングを示します。

- (1) 動作モードを12チャンネルスキャンモードに (ADM1=1、ADM0=1)、スキャンサイクルを1サイクル (ADCS=0)、アナログ入力チャンネルをAN0~AN11 (CH3=0、CH2=0、CH1=1、CH0=1) に設定して、A/D変換を開始します。
- (2) 第0チャンネル (AN0) のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
次に、第1チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第11チャンネル (AN11) まで、変換を行います。
- (4) 設定した全チャンネル (AN0~AN11) の変換が終了すると、ADF=1をセットして、自動的にADSTビットを0にクリアし、A/D変換を停止します。このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。

アナログ入力 0~2、4~6(AN0~2、AN4~6)を選択して、8 チャンネルスキャンモードで A/D 変換を連続スキャンを行う場合の動作例を次に示します。また、**図 17.5** に動作タイミングを示します。

- (1) 動作モードを8チャンネルスキャンモードに (ADM1=1、ADM0=0)、スキャンサイクルを連続スキャン (ADCS=1)、アナログ入力チャンネルをAN0~2、AN4~6 (CH3=0、CH2=0、CH1=1、CH0=0) に設定して、A/D変換を開始します。
- (2) 第0チャンネル (AN0) のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
次に、第1チャンネル (AN1) が自動的に選択され、変換を開始します。
- (3) 同様に第2チャンネル (AN2) まで、変換を行います。
- (4) さらに第4チャンネル (AN4) が自動的に選択され、変換が行われます。
- (5) 同様に第6チャンネル (AN6) まで、変換を行います。
- (6) 設定した全チャンネル (AN0~2、AN4~6) の変換が終了すると、ADF=1となります。このとき、ADIEビットが1にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- (7) ADSTビットが1にセットされている間は、(2) ~ (6) を繰り返します。
ADSTビットを0にクリアすると、A/D変換が停止します。この後、ADSTビットを1にセットすると再びA/D変換を開始し、第0チャンネル (AN0) から、変換が行われます。

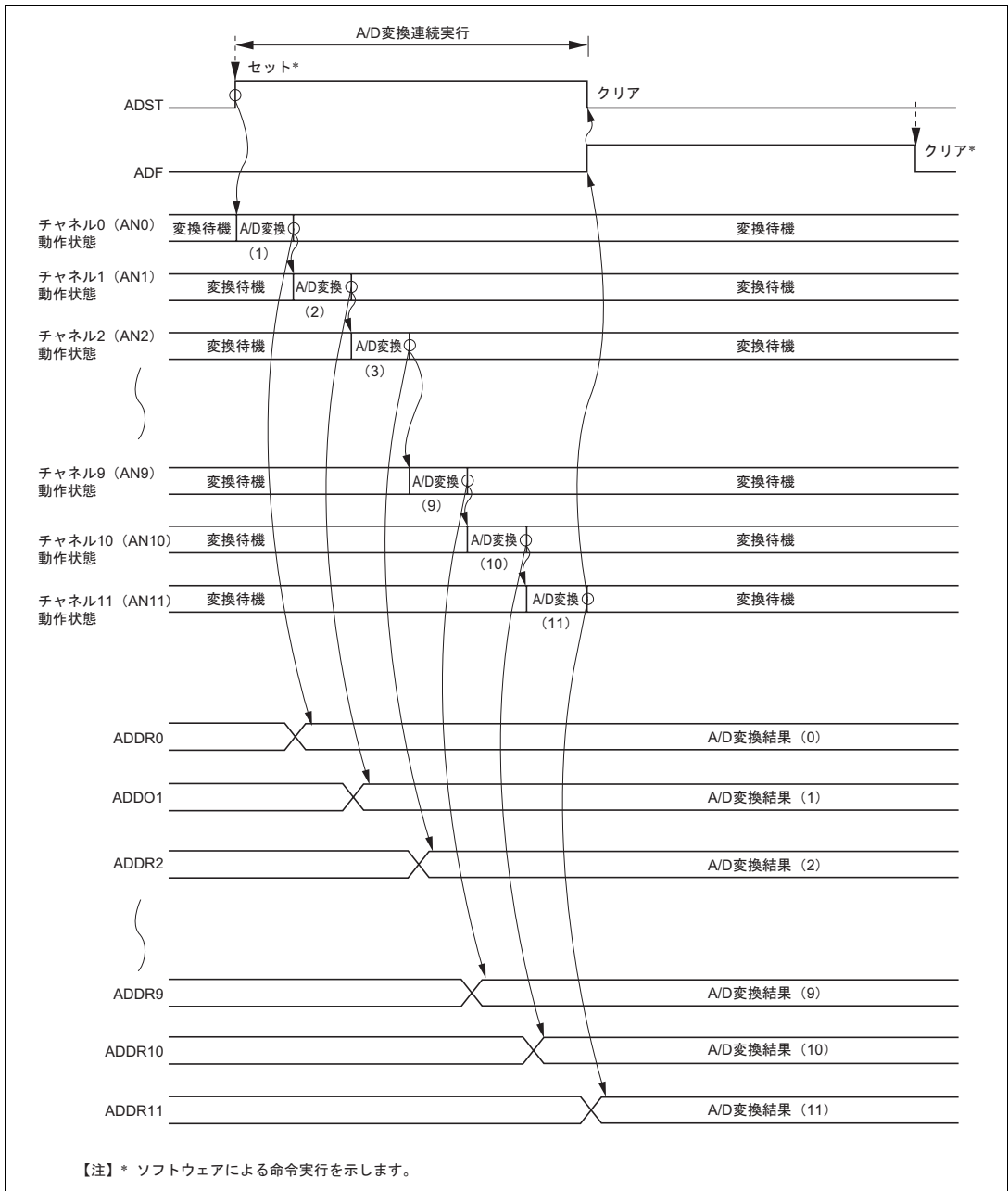


図 17.4 A/D 変換器の動作例
(スキャンモード (1 サイクルスキャン) チャンネル AN0~11 の選択時)

17. A/D 変換器

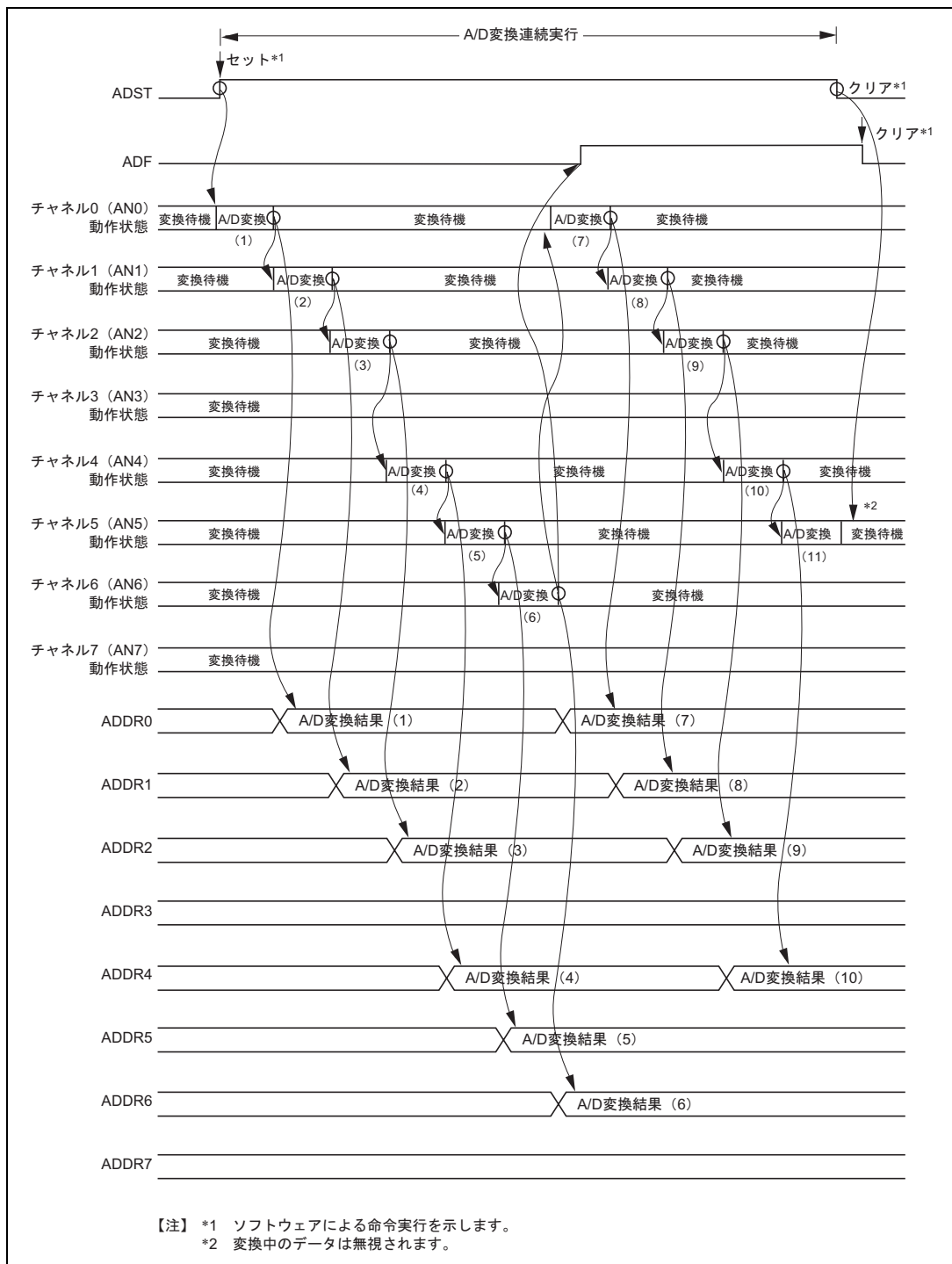


図 17.5 A/D 変換器の動作例
(スキャンモード (連続スキャン) チャンネル AN0~2、AN4~6 の選択時)

17.4.3 アナログ入力のサンプリングと A/D 変換時間

A/D 変換器には、A/D0、A/D1 と A/D2 にそれぞれ、サンプル&ホールド回路が内蔵されています。A/D 変換は、ADST ビットを 1 にセットしてから、A/D 変換開始遅延時間 (t_D) 後に、アナログ入力のサンプリングを行い、この後に、開始されます。図 17.6 に A/D 変換のタイミングを示します。

A/D 変換時間 (t_{CONV}) は t_D とアナログ入力サンプリング時間 (t_{SPL}) を含めた時間となります。なお、 t_D には、A/D 変換器動作を同期化するために要する時間が含まれますので一定時間にはなりません。このため、変換時間は表 17.4 に示す範囲で変化します。

スキャンモードの場合、表 17.4 に示す t_{CONV} は 1 回目の変換時間に相当します。2 回目以降は $CKS=0$ の場合 $t_{CONV}=256$ ステート (固定) に、 $CKS=1$ の場合 $t_{CONV}=128$ ステート (固定) になります。

表 17.4 A/D 変換時間 (単一モード)

項目	記号	CKS=0 : 周辺クロック (P ϕ)=10~20MHz			CKS=1 : 周辺クロック (P ϕ)=10MHz			単位 (周辺クロック (P ϕ) 換算)
		min	typ	max	min	typ	max	
A/D 変換開始遅延時間	t_D	10	—	17	6	—	9	ステート
入力サンプリング時間	t_{SPL}	—	64	—	—	32	—	
A/D 変換時間	t_{CONV}	259	—	266	131	—	134	

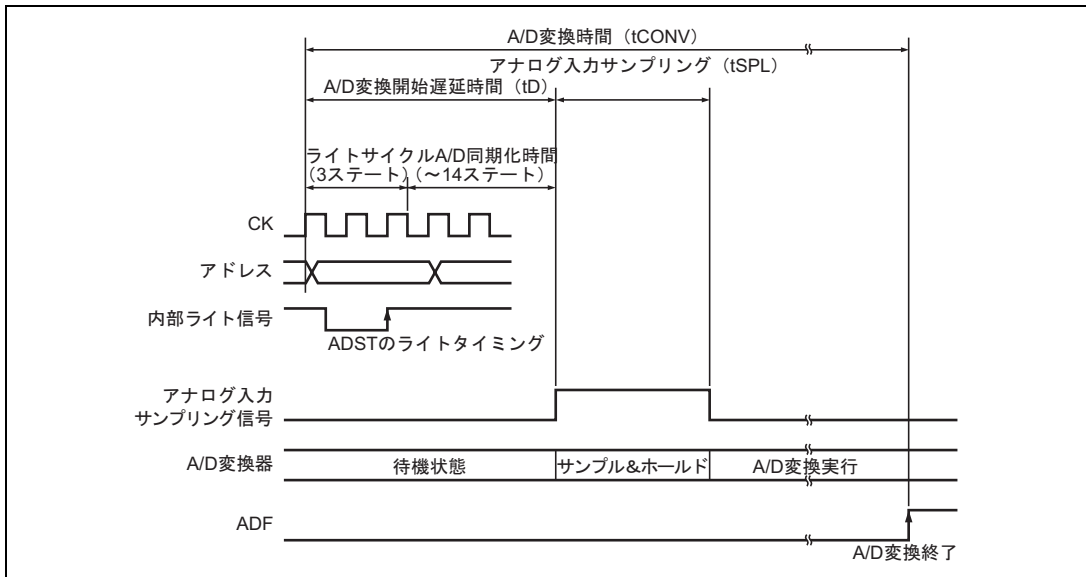


図 17.6 A/D 変換タイミング

17.4.4 外部トリガによる A/D 変換器の起動

外部 A/D 変換開始トリガの入力で、A/D 変換器を起動することができます。

外部トリガで A/D 変換器を起動するときには、PFC（ピンファンクションコントローラ）で端子機能を設定したのち、A/D コントロールレジスタ（ADCR）の TRGE ビットを 1 にセットします。さらに A/D トリガレジスタ（ADTRGR）の EXTRG ビットを 1 にします。この状態で $\overline{\text{ADTRG}}$ 端子に Low レベルを入力すると、A/D 変換器は、パルスの立ち下がりエッジを検出して ADST ビットを 1 にセットします。図 17.7 に外部トリガ入力タイミングを示します。

ADST が 1 にセットされるタイミングは、A/D 変換器が $\overline{\text{ADTRG}}$ 端子の立ち下がりエッジをサンプリングしてから 2 ステートです。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

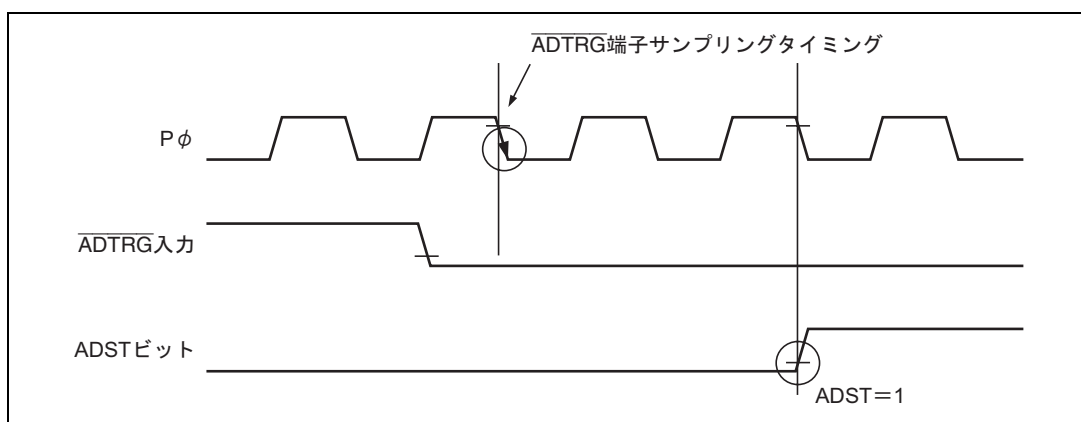


図 17.7 外部トリガ入力タイミング

17.4.5 ATU-II による A/D 変換器の起動

ATU-II のチャンネル 0 のインターバルタイマの A/D 変換要求によって、A/D0、1、2 変換器を独立に起動することができます。

ATU-II で A/D 変換器を起動するときには、A/D コントロールレジスタ（ADCR）の TRGE ビットを 1 にセットします。さらに A/D トリガレジスタ（ADTRGR）の EXTRG ビットを 0 にします。この状態で ATU-II のチャンネル 0 のインターバルタイマの A/D 変換要求が発生すると、ADST ビットを 1 にセットします。ADST ビットが 1 にセットされてから、A/D 変換が開始されるまでのタイミングは、ソフトウェアで ADST ビットに 1 を書き込んだ場合と同じです。

17.4.6 ADEND 出力端子

ADEND 出力端子によって、チャンネル 31 をスキャンモードで使用する場合の変換タイミングをモニタすることができます。

スキャンモードでチャンネル 31 のアナログ電圧取り込み終了して変換を開始した後に、ADEND 端子が High になります。その後、チャンネル 31 の変換が終了した時点で、ADEND 端子が Low になります。

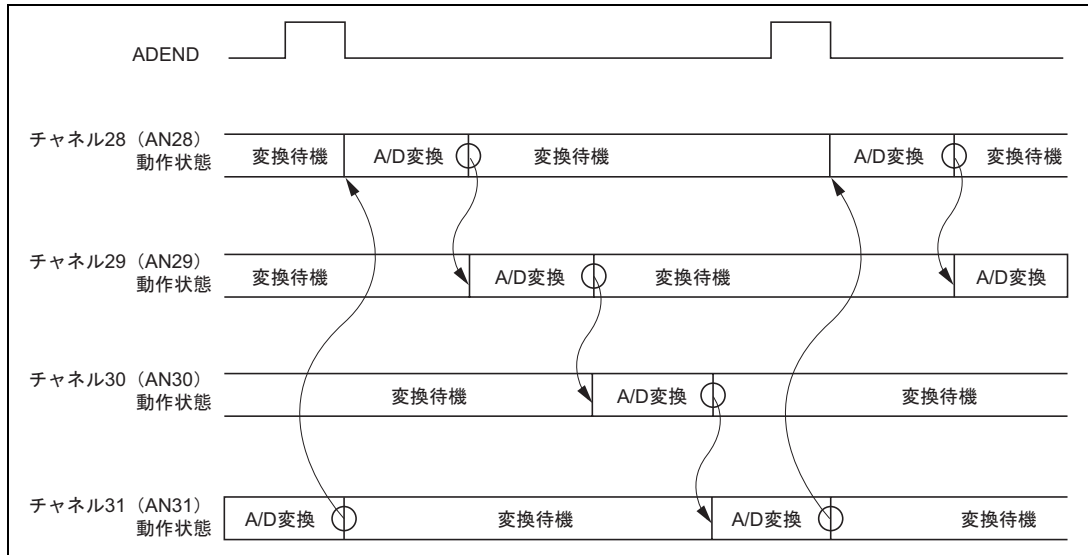


図 17.8 ADEND 出力タイミング

17.5 割り込み要因と DMA 転送要求

A/D 変換器は、A/D 変換終了割り込み要求 (ADI0、ADI1 または ADI2) を発生することができます。A/D コントロールステータスレジスタ (ADCSR) の ADIE ビットを 1 にセットすると ADI を許可、0 にクリアすると ADI を禁止することができます。

また、ADI 発生時に DMAC を起動することができます。このとき、CPU への割り込みは発生しません。

ADI で DMAC を起動する場合、DMAC によるデータ転送時に ADCSR の ADF ビットは自動的にクリアされます。

使用例は「10.4.2 A/D 変換器と内蔵メモリとの DMA 転送例 (アドレスリロードオン)」を参照してください。

17.6 使用上の注意

A/D 変換器を使用する際は、以下のことに注意してください。

(1) アナログ入力電圧の範囲

A/D 変換中、アナログ入力端子に印加する電圧は $AV_{SS} \leq AN_n \leq AV_{ref}$ の範囲としてください。

(2) AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係

A/D 変換器を使用する場合、 AV_{SS} 、 AV_{CC} と V_{SS} 、 V_{CC} の関係は、 $AV_{CC} = 5.0V \pm 0.5V$ 、 $AV_{SS} = V_{SS}$ としてください。また、A/D 変換器を使用しないときは、 $AV_{SS} = V_{SS}$ 、 AV_{CC} 端子はオープンにしないでください。

(3) AV_{ref} 端子の設定範囲

$AV_{ref} = 4.5 \sim AV_{CC}$ (A/D 使用時)、 $AV_{ref} \leq AV_{CC}$ (A/D 未使用時)

以上のことが守られない場合、LSI の信頼性に悪影響を及ぼすことがあります。

(4) ボード設計上の注意

ボード設計時には、デジタル回路とアナログ回路をできるだけ分離してレイアウトしてください。

また、デジタル回路の信号配線とアナログ回路の信号配線を交差させたり、近接させるようなレイアウトは極力避けてください。誘導などにより、アナログ回路の誤動作や、A/D 変換値に悪影響を及ぼします。

なお、アナログ入力信号 (AN_n)、アナログ基準電圧 (AV_{ref})、アナログ電源 (AV_{CC}) は、アナロググランド (AV_{SS}) で、デジタル回路を必ず分離してください。さらに AV_{SS} は、ボード上の安定したデジタルグランド (V_{SS}) に一点接続してください。

(5) ノイズ対策上の注意

アナログ入力端子 (AN_n)、アナログ基準電圧 (AV_{ref}) に、過大なサージなど異常電圧による破壊を防ぐために接続する保護回路は、**図 17.9** に示すように $AV_{CC} - AV_{SS}$ 間に接続してください。

また、 AV_{CC} 、 AV_{ref} に接続するバイパスコンデンサ、 AN_n に接続するフィルタのコンデンサは、必ず AV_{SS} に接続してください。なお、**図 17.9** のようにフィルタ用のコンデンサを接続するとアナログ入力端子 (AN_n) の入力電流が平均化されるため、誤差を生じることがあります。したがって、回路定数の決定については、十分ご検討ください。

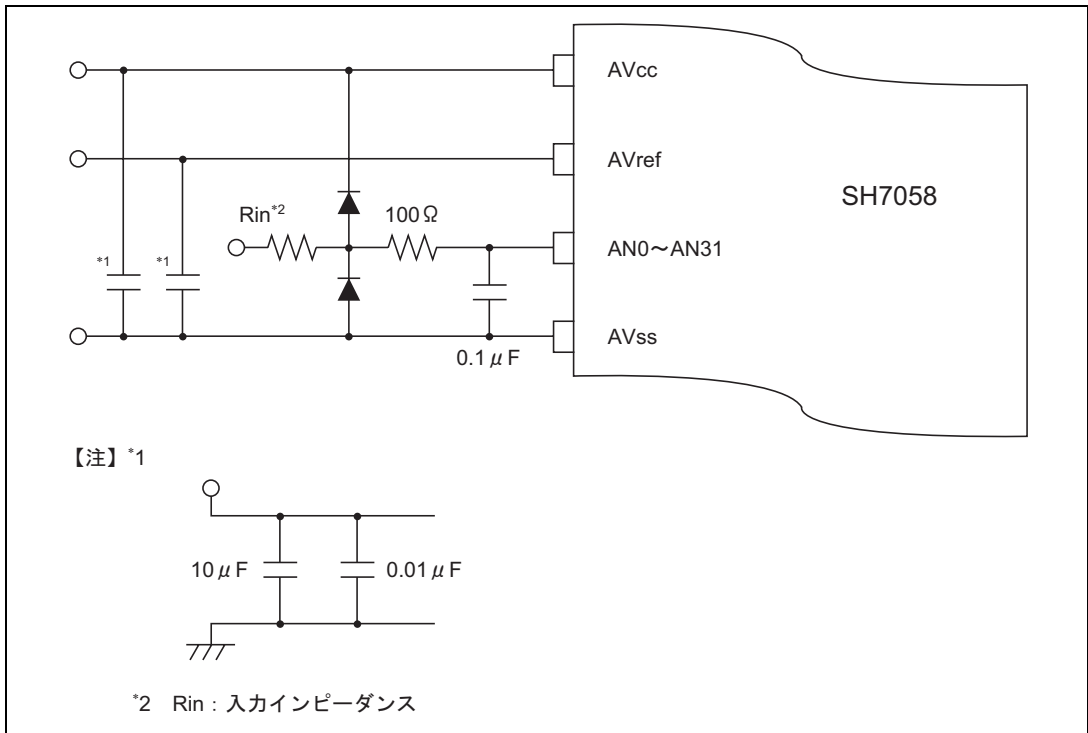


図 17.9 アナログ入力端子の保護回路例

表 17.5 アナログ端子の規格

項目	min	max	単位
アナログ入力容量	—	20	pF
許容信号源インピーダンス	—	3	kΩ

17.6.1 A/D 変換精度の定義

以下に、A/D 変換精度の定義を示します。

- ・ 分解能 …………… A/D 変換器のデジタル変換出力コード数
- ・ オフセット誤差 …… デジタル出力が最小電圧値 0000000000 から 0000000001 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない（図 17.10）。
- ・ フルスケール誤差 …… デジタル出力が 1111111110 から 1111111111 に変化するときのアナログ入力電圧値の理想 A/D 変換特性からの偏差。ただし、量子化誤差を含まない（図 17.10）。
- ・ 量子化誤差 …………… A/D 変換器が本質的に有する誤差であり、 $1/2\text{LSB}$ で与えられる（図 17.10）。
- ・ 非直線性誤差 …… ゼロ電圧からフルスケール誤差までのあいだの理想 A/D 変換特性からの誤差。ただし、オフセット誤差、フルスケール誤差、量子化誤差を含まない。
- ・ 絶対精度 …………… デジタル値とアナログ入力値との偏差。オフセット誤差、フルスケール誤差、量子化誤差および非直線性誤差を含む。

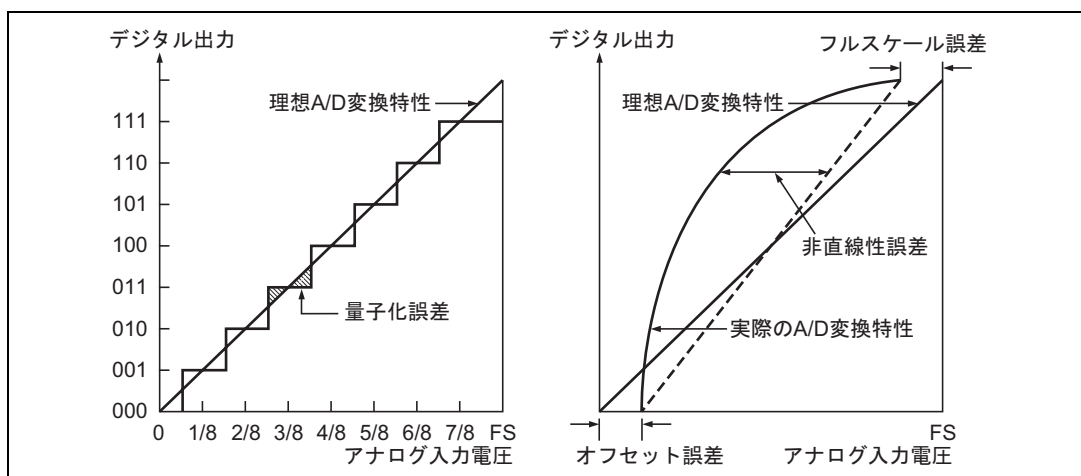


図 17.10 A/D 変換精度の定義

18. MTAD（マルチトリガ A/D）

18.1 概要

MTAD は、独立した 2 つのモジュール（A/D0、A/D1）より構成されています。

モジュール	アナロググループ	チャンネル
AD0	アナロググループ 2	AN8～11
AD1	アナロググループ 5	AN20～23

18.1.1 特長

マルチトリガ A/D 変換の特長を以下に示します。

■マルチトリガ A/D 変換モード

特定の ch のスキャン変換時に A/D 内蔵タイマのコンペアマッチにより、要求があったチャンネルを優先的に A/D 変換することができます。

18. MTAD (マルチトリガ A/D)

18.1.2 マルチトリガ A/D ブロック図

下図に MTAD のブロック図を示します。

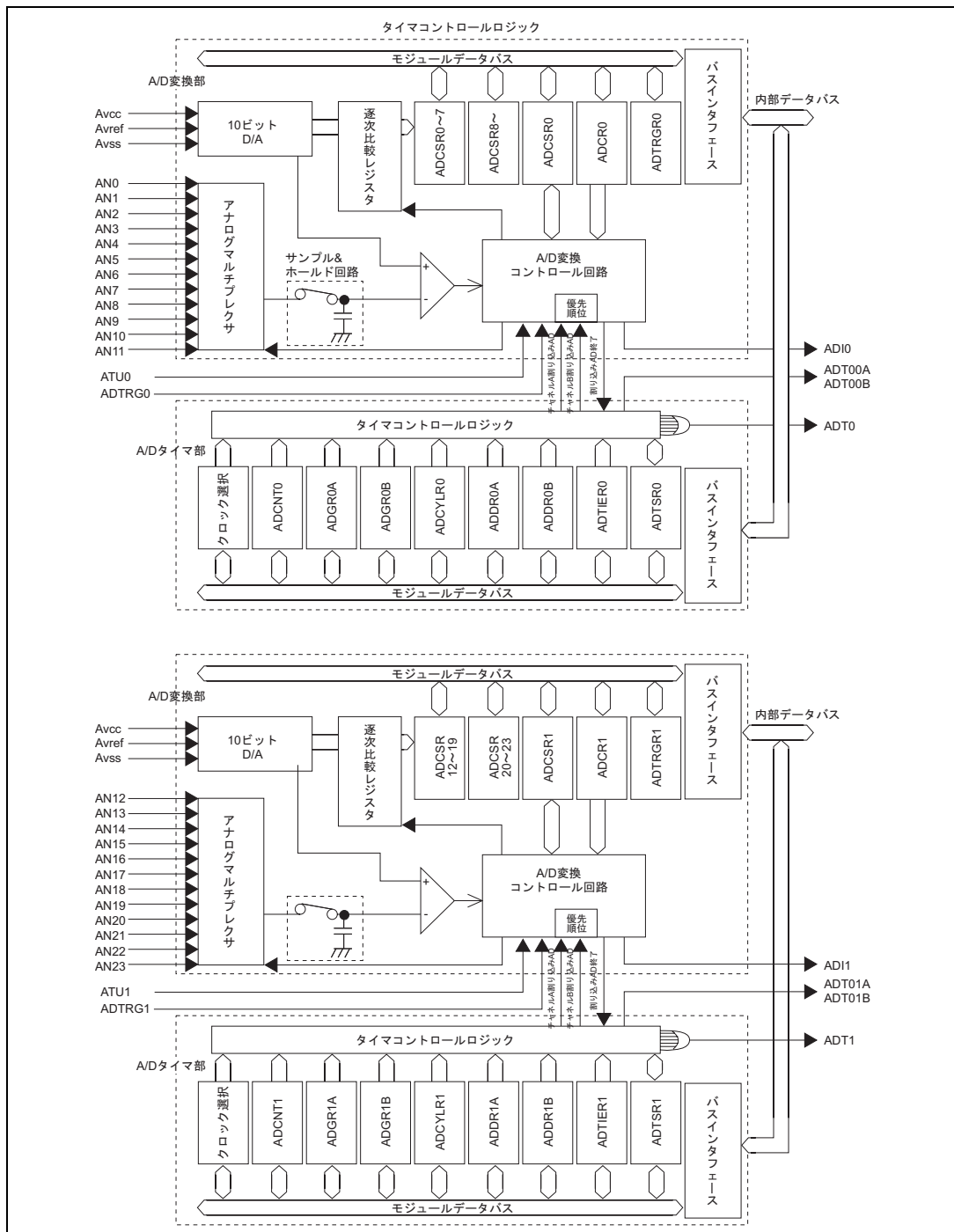


図 18.1 A/D 変換器の簡易ブロック図 (MTAD)

18.1.3 端子構成

マルチトリガ AD の端子構成を表 18.1 に示します。これらの外部端子の機能を使用する際は、AD の設定に合わせてピンファンクションコントローラ (PFC) も設定してください。

表 18.1 機能一覧表

チャンネル	名称	略称	入出力	機能
0	A/D タイマアウトプット 0A	ADTO0A	出力	PWM 出力端子
0	A/D タイマアウトプット 0B	ADTO0B	出力	PWM 出力端子
1	A/D タイマアウトプット 1A	ADTO1A	出力	PWM 出力端子
1	A/D タイマアウトプット 1B	ADTO1B	出力	PWM 出力端子

18. MTAD (マルチトリガ A/D)

18.1.4 レジスタ構成

チャネル	名称	略称	R/W	初期値	アドレス	アクセス サイズ
0	A/D フリーランニングカウンタ 0	ADCNT0	R/W	H'0001	H'FFFFFF860 (上位バイト) H'FFFFFF861 (下位バイト)	16
0	A/D サイクルレジスタ 0	ADCYLR0	R/W	H'FFFF	H'FFFFFF862 (上位バイト) H'FFFFFF863 (下位バイト)	16
0	A/D デューティレジスタ 0A	ADDR0A	R/W	H'FFFF	H'FFFFFF864 (上位バイト) H'FFFFFF865 (下位バイト)	16
0	A/D デューティレジスタ 0B	ADDR0B	R/W	H'FFFF	H'FFFFFF866 (上位バイト) H'FFFFFF867 (下位バイト)	16
0	A/D ジェネラルレジスタ 0A	ADGR0A	R/W	H'FFFF	H'FFFFFF868 (上位バイト) H'FFFFFF869 (下位バイト)	16
0	A/D ジェネラルレジスタ 0B	ADGR0B	R/W	H'FFFF	H'FFFFFF86A (上位バイト) H'FFFFFF86B (下位バイト)	16
0	A/D トリガコントロールレジスタ 0	ADTCR0	R/W	H'00	H'FFFFFF86C	8
0	A/D トリガステータスレジスタ 0	ADTSR0	R/ (W) *	H'00	H'FFFFFF86D	8
0	A/D トリガインタラプトイネーブル レジスタ 0	ADTIER0	R/W	H'00	H'FFFFFF86E	8
1	A/D フリーランニングカウンタ 1	ADCNT1	R/W	H'0001	H'FFFFFF870 (上位バイト) H'FFFFFF871 (下位バイト)	16
1	A/D サイクルレジスタ 1	ADCYLR1	R/W	H'FFFF	H'FFFFFF872 (上位バイト) H'FFFFFF873 (下位バイト)	16
1	A/D デューティレジスタ 1A	ADDR1A	R/W	H'FFFF	H'FFFFFF874 (上位バイト) H'FFFFFF875 (下位バイト)	16
1	A/D デューティレジスタ 1B	ADDR1B	R/W	H'FFFF	H'FFFFFF876 (上位バイト) H'FFFFFF877 (下位バイト)	16
1	A/D ジェネラルレジスタ 1A	ADGR1A	R/W	H'FFFF	H'FFFFFF878 (上位バイト) H'FFFFFF879 (下位バイト)	16
1	A/D ジェネラルレジスタ 1B	ADGR1B	R/W	H'FFFF	H'FFFFFF87A (上位バイト) H'FFFFFF87B (下位バイト)	16
1	A/D トリガコントロールレジスタ 1	ADTCR1	R/W	H'00	H'FFFFFF87C	8
1	A/D トリガステータスレジスタ 1	ADTSR1	R/ (W) *	H'00	H'FFFFFF87D	8
1	A/D トリガインタラプトイネーブル レジスタ 1	ADTIER1	R/W	H'00	H'FFFFFF87E	8

【注】* 0 ライトのみ

18.2 レジスタ説明

18.2.1 A/D トリガコントロールレジスタ 0、1 (ADTCR0、1)

A/D トリガコントロールレジスタ 0、1 は (ADTCR0、1) はプリスケアラの選択などを行う 8 ビットの読み出し/書き込み可能なレジスタです。

ADTCR はパワーオンリセット、ソフトウェアスタンバイモード、およびハードウェアスタンバイモード時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	CKSEL1x	CKSEL0x	—	—	DTSELxB	DTSELxA	ADSELxB	ADSELxA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R	R	R/W	R/W	R/W	R/W

ビット 7、6: クロックセレクト 1、0 (CKSEL1、CKSEL0)

内部クロックの分周 ϕ を停止、 $\phi/2$ 、 $\phi/5$ 、 $\phi/10$ より選択します。

ビット 7	ビット 6	説明
CKSEL1x	CKSEL0x	
0	0	カウンタ停止
	1	内部クロック ϕ : $\phi/2$ でカウント
1	0	内部クロック ϕ : $\phi/5$ でカウント
	1	内部クロック ϕ : $\phi/10$ でカウント

ビット 5、4: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 3: デューティセレクト 1B、0B (DTSEL1B、DTSEL0B)

チャンネル xB の ADTOxB 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 3	説明
DTSELxB	
0	ADTOxB の PWM 出力はオンデューティ (初期値)
1	ADTOxB の PWM 出力はオフデューティ

【注】 x=0 または 1

18. MTAD (マルチトリガ A/D)

ビット 2 : デューティセレクト 1A、0A (DTSEL1A、DTSEL0A)

チャンネル xA の ADTOxA 出力 PWM をオンデューティに設定するかオフデューティに設定するかを選択します。

ビット 2	説明
DTSELxA	
0	ADTOxA の PWM 出力はオンデューティ (初期値)
1	ADTOxA の PWM 出力はオフデューティ

【注】 x=0 または 1

ビット 1 : A/D データセレクト 1B (ADSEL1B)

マルチトリガ A/D で変換した変換値を格納するレジスタを選択します。

本ビットは、マルチトリガ A/D 変換による ADDR レジスタ更新時に反転します。

なお、マルチトリガ A/D 動作中の設定切り替えは、TADF1B (ADTSR1 レジスタ) が"1"のときに行ってください。

ビット 1	説明
ADSEL1B	
0	変換結果は、ADDR22 に格納 (初期値)
1	変換結果は、ADDR23 に格納

ビット 1 : A/D データセレクト 0B (ADSEL0B)

マルチトリガ A/D で変換した変換値を格納するレジスタを選択します。

本ビットは、マルチトリガ A/D 変換による ADDR レジスタ更新時に反転します。

なお、マルチトリガ A/D 動作中の設定切り替えは、TADF0B (ADTSR0 レジスタ) が"1"のときに行ってください。

ビット 1	説明
ADSEL0B	
0	変換結果は、ADDR10 に格納 (初期値)
1	変換結果は、ADDR11 に格納

ビット 0 : A/D データセレクト 1A (ADSEL1A)

マルチトリガ A/D で変換した変換値を格納するレジスタを選択します。

本ビットは、マルチトリガ A/D 変換による ADDR レジスタ更新時に反転します。

なお、マルチトリガ A/D 動作中の設定切り替えは、TADF1A (ADTSR1 レジスタ) が"1"のときに行ってください。

ビット 0	説明
ADSEL1A	
0	変換結果は、ADDR20 に格納 (初期値)
1	変換結果は、ADDR21 に格納

ビット 0 : A/D データセレクト 0A (ADSEL0A)

マルチトリガ A/D で変換した変換値を格納するレジスタを選択します。

本ビットは、マルチトリガ A/D 変換による ADDR レジスタ更新時に反転します。

なお、マルチトリガ A/D 動作中の設定切り替えは、TADF0A (ADTSR0 レジスタ) が"1"のときに行ってください。

ビット 0	説明	
ADSEL0A		
0	変換結果は、ADDR8 に格納	(初期値)
1	変換結果は、ADDR9 に格納	

18.2.2 A/D トリガステータスレジスタ 0,1 (ADTSR0、1)

ADTSR0、1 はチャンネル 0、1 のコンペアマッチおよびマルチトリガ A/D のステータスを示します。

ADTSR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット :	7	6	5	4	3	2	1	0
	—	TADFxB	TADFxA	ADDFxB	ADDFxA	ADCYLFx	ADCMFxB	ADCMFxA
初期値 :	0	0	0	0	0	0	0	0
R/W :	—	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*	R/(W)*

【注】 * フラグをクリアする 0 ライトのみ可能です。

x=0、1

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : トリガ A/D フラグ B (TADFxB)

トリガ A/D フラグ B (TADFxB) は、マルチトリガ A/D B の A/D 変換終了を示すフラグです。

ビット 6	説明	
TADFxB		
0	マルチトリガ A/D B 変換が実行中、またはアイドル状態である事を示します。 (クリア条件) TADFxB = 1 の状態を読み出した後、0 を書き込んだとき	(初期値)
1	マルチトリガ A/D B 変換が終了し、デジタル値を ADDR に転送したことを示します。 (セット条件) マルチトリガ A/D B のアナログ変換が終了したとき	

【注】 x=0、1

18. MTAD (マルチトリガ A/D)

ビット 5 : トリガ A/D フラグ A (TADFxA)

割り込み A/D フラグ A (TADFxA) は、マルチトリガ A/D A の A/D 変換終了を示すフラグです。

ビット 5 TADFxA	説明
0	マルチトリガ A/D A 変換が実行中、またはアイドル状態である事を示します。 (初期値) (クリア条件) TADFxA = 1 の状態を読み出した後、0 を書き込んだとき
1	割り込み A/D A 変換が終了し、デジタル値を ADDR に転送したことを示します。 (セット条件) マルチトリガ A/D A のアナログ変換が終了したとき

【注】 x=0、1

ビット 4 : A/D デューティフラグ B

ADDRxB のコンペアマッチの発生を示すステータスフラグです。

ビット 4 ADDFxB	説明
0	(クリア条件) (初期値) ADDFxB = 1 の状態で、ADDFxB を読み出した後、ADDFxB に 0 を書き込んだとき
1	(セット条件) ADCNTx=ADDRxB になったとき

【注】 x=0、1

ビット 3 : A/D デューティフラグ A

ADDRxA のコンペアマッチの発生を示すステータスフラグです。

ビット 3 ADDFxA	説明
0	(クリア条件) (初期値) ADDFxA = 1 の状態で、ADDFxA を読み出した後、ADDFxA に 0 を書き込んだとき
1	(セット条件) ADCNTx=ADDRxA になったとき

【注】 x=0、1

ビット2 : A/D サイクルコンペアマッチフローフラグ

ADCYLRx のコンペアマッチの発生を示すステータスフラグです。

ビット2	説明
ADCYLFx	
0	(クリア条件) (初期値) ADCYLFx=1 の状態で、ADCYLFx を読み出した後、ADCYLFx に 0 を書き込んだとき
1	(セット条件) ADCNTx=ADCYLRx になったとき

【注】 x=0、1

ビット1 : A/D コンペアマッチフラグ

ADGRxB のコンペアマッチの発生を示すステータスフラグです。

ビット1	説明
ADCMFxB	
0	(クリア条件) (初期値) ADCMFxB=1 の状態で、ADCMFxB を読み出した後、ADCMFxB に 0 を書き込んだとき
1	(セット条件) ADCNTx=ADGRxB になったとき

【注】 x=0、1

ビット0 : A/D コンペアマッチフラグ

ADGRxA のコンペアマッチの発生を示すステータスフラグです。

ビット0	説明
ADCMFxA	
0	(クリア条件) (初期値) ADCMFxA=1 の状態で、CMFxA を読み出した後、CMFxA に 0 を書き込んだとき
1	(セット条件) ADCNTx=ADGRxA になったとき

【注】 x=0、1

18.2.3 A/D タイマインタラプトイネーブルレジスタ (ADTIER0、1)

ADTIER0、1 はチャンネル 0、1 のコンペアマッチ、マルチトリガ A/D の変換終了の割り込み要求許可/禁止およびマルチトリガ A/D の動作許可/禁止を制御します。

ADTIER はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'00 に初期化されます。

ビット:	7	6	5	4	3	2	1	0
	ADTRGx	TADExB	TADExA	ADDExB	ADDExA	ADCYLEx	ADCMExB	ADCMExA
初期値:	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

【注】 x=0、1

ビット 7: ADT トリガ (ADTRGx)

ADCNTx と ADGRxA,B のコンペアによる MTAD 変換の許可/禁止するビットです。

なお、誤動作を防ぐため、設定の切り替えは、ADCR レジスタの ADST が '0' の状態で行ってください

ビット 7	説明
ADTRGx	
0	ADGRxA,B による MTAD 変換の開始を禁止 (初期値)
1	ADGRxA,B による MTAD 変換の開始を許可

【注】 x=0、1

【注】 ADTRGx=1 は、以下の変換設定の場合のみ有効です。他の設定時は必ず ADTRGx=0 に設定してください。

変換モード (ADCR) : 連続スキャン

変換チャンネル (ADCSRx)

ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アナログ入力チャンネル	
ADM1	ADM0	CH3	CH2	CH1	CH0	A/D0	A/D1
0	1	0	0	1	1	AN0~3	AN12~15
1	0	0	0	1	1	AN0~7	AN12~19
0	1	0	1	1	1	AN4~7	AN16~19

【注】 x=0、1

ADCR、ADCSRx の設定は「第 17 章 A/D 変換器」をご参照ください。

ビット 6 : トリガ A/D インタラプトイネーブル B (TADExB)

ADTSR のトリガ A/D フラグ xB (TADFxB) が 1 にセットされたとき、TADFxB による割り込み要求を許可または禁止します。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D タイマインタラプトイネーブルレジスタ (ADTIER0、1) の ADTRG が 0 の状態で行ってください。

ビット 6	説明
TADExB	
0	TADFxB による割り込み要求 (TADIxB) を禁止 (初期値)
1	TADFxB による割り込み要求 (TADIxB) を許可

マルチトリガ A/D 変換 B を終了して TADFxB=1 にセットされたとき、TADExB が 1 にセットされていると A/D0、1 のトリガ A/D の割り込みが発生します。TADFxB または TADExB を 0 にクリアすることで TADIxB のクリアが可能です。

ビット 5 : トリガ A/D インタラプトイネーブル A (TADExA)

ADTSR のトリガ A/D フラグ xA (TADFxA) が 1 にセットされたとき、TADFxA による割り込み要求を許可または禁止します。

なお、誤動作を防ぐため、動作モードの切り替えは、必ず A/D タイマインタラプトイネーブルレジスタ (ADTIER 0、1) の ADTRG が 0 の状態で行ってください。

ビット 5	説明
TADExA	
0	TADFxA による割り込み要求 (TADIxA) を禁止 (初期値)
1	TADFxA による割り込み要求 (TADIxA) を許可

マルチトリガ A/D 変換 A を終了して TADFxA=1 にセットされたとき、TADExA が 1 にセットされていると A/D0、1 のトリガ A/D の割り込みが発生します。TADFxA または TADExA を 0 にクリアすることで TADIxA のクリアが可能です。

ビット 4 : AD デューティインタラプトイネーブル B (ADDExB)

ADDRxB のコンペアマッチフラグ (ADDFxB) が 1 にセットされたとき、ADDFxB による割り込み要求を許可または禁止します。

ビット 4	説明
ADDExB	
0	ADDExB による割り込み要求 (ADDIxB) を禁止 (初期値)
1	ADDExB による割り込み要求 (ADDIxB) を許可

【注】 x=0、1

18. MTAD (マルチトリガ A/D)

ビット 3 : AD デューティインタラプトイネーブル A (ADDExA)

ADDRxA のコンペアマッチフラグ (ADDFxA) が 1 にセットされたとき、ADDFxA による割り込み要求を許可または禁止します。

ビット 3	説明
ADDExA	
0	ADDExA による割り込み要求 (ADDIx) を禁止 (初期値)
1	ADDExA による割り込み要求 (ADDIx) を許可

【注】 x=0、1

ビット 2 : AD サイクルインタラプトイネーブル (ADCYLFx)

ADTSRx のサイクルフラグ (ADCYLFx) が 1 にセットされたとき、ADCYLFx による割り込み要求を許可または禁止します。

ビット 2	説明
ADCYLFx	
0	ADCYLFx による割り込み要求 (ADCYIx) を禁止 (初期値)
1	ADCYLFx による割り込み要求 (ADCYIx) を許可

【注】 x=0、1

ビット 1 : AD コンペアマッチインタラプトイネーブル B (ADCMFxB)

ADDRxB のコンペアマッチフラグ (ADCMFxB) が 1 にセットされたとき、ADCMFxB による割り込み要求を許可または禁止します。

ビット 1	説明
ADCMExB	
0	ADCMFxB による割り込み要求 (ADDIx) を禁止 (初期値)
1	ADCMFxB による割り込み要求 (ADDIx) を許可

【注】 x=0、1

ビット 0 : AD コンペアマッチインタラプトイネーブル A (ADCMExA)

ADDRxA のコンペアマッチフラグ (ADCMFxA) が 1 にセットされたとき ADCMFxA による割り込み要求を許可または禁止します。

ビット 0	説明
ADCMExA	
0	ADCMFxA による割り込み要求 (ADDIx) を禁止 (初期値)
1	ADCMFxA による割り込み要求 (ADDIx) を許可

【注】 x=0、1

18.2.4 A/D フリーランニングカウンタ (ADCNT0、1)

A/D フリーランニングカウンタ 0、1 (ADCNT0、1) は 16 ビットの読み出し/書き込み可能なレジスタで A/D トリガコントロールレジスタによりカウントを開始します。

入力するクロックはプリスケアラ (ADTCR0、1) により選択します。ADCNT はワード単位のみ読み出し/書き込みが可能です。

ADCNT はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'0001 に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.2.5 A/D ジェネラルレジスタ A、B (ADGR0A、B、ADGR1A、B)

A/D ジェネラルレジスタ (ADGR) は 16 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0、1 に各 2 本、計 4 本のレジスタがあります。

ADGR の値と対応するフリーランニングカウンタ (ADCNT0、ADCNT1) の値は常に比較されています。両者の値が一致すると、対応する A/D トリガコントロールレジスタ (ADTCR) の ADCMF0、ADCMF1 ビットが 1 にセットされマルチトリガ A/D の起動が要求されます。ADGR はワード単位のみ読み出し/書き込みが可能です。

ADGR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.2.6 A/D サイクルレジスタ A、B (ADCYLR0、ADCYLR1)

A/D サイクルレジスタ (ADCYLR) は 16 ビットのレジスタで、チャンネル 0、1 に各 1 本、計 2 本のレジスタがあります。

ADCYLR の値と対応するフリーランニングカウンタ (ADCNT0、ADCNT1) の値は常に比較されています。両者の値が一致すると、対応するタイムステータスレジスタ (ADTSR) の ADCYLF0、ADCYLF1 ビットが 1 にセットされ、ADCNT0、ADCNT1 は H'0001 にクリアされます。ADCYLR はワード単位のみ読み出し/書き込みが可能です。

ADCYLR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.2.7 A/D デューティレジスタ A、B (ADDR0A、B、ADDR1A、B)

A/D デューティレジスタ (ADDR) は 16 ビットの読み出し/書き込み可能なレジスタで、チャンネル 0、1 に各 2 本、計 4 本のレジスタがあります。

ADDR の値と対応するフリーランニングカウンタ (ADCNT0、ADCNT1) の値は常に比較されています。両者の値が一致すると、対応する A/D トリガステータスレジスタ (ADTSR) の ADDF0、ADDF1 ビットが 1 にセットされます。ADDR はワード単位のみ読み出し/書き込みが可能です。

ADDR はパワーオンリセット、またはハードウェアスタンバイおよびソフトウェアスタンバイ時に H'FFFF に初期化されます。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
初期値:	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

18.3 割り込みインタフェース

18.3.1 内蔵周辺モジュール割り込み

内蔵周辺モジュール割り込みは、以下に示す内蔵周辺モジュールで発生する割り込みです。

- ダイレクトメモリアクセスコントローラ (DMAC)
- アドバンスドタイマユニット-II (ATU-II)
- コンペアマッチタイマ (CMT)
- A/D 変換器 (A/D)
- マルチトリガ AD (MTAD)
- シリアルコミュニケーションインタフェース (SCI)
- ウォッチドッグタイマ (WDT)
- コントローラエリアネットワーク (HCAN)

要因ごとに異なる割り込みベクタが割り当てられているため、例外サービスルーチンで要因を判定する必要はありません。優先順位は、割り込み優先レベル設定レジスタ C~L (IPRC~IPRL) によって、モジュールごとに優先レベル 0~15 の範囲で設定できます。内蔵周辺モジュール割り込み例外処理では、SR の I3~I0 は、受け付けた内蔵周辺モジュール割り込みの優先レベル値に設定されます。

18.3.2 割り込み例外処理ベクタと優先順位

表 18.2 に、割り込み要因とベクタ番号、ベクタテーブルアドレスオフセット、割り込み優先順位を示します。

各割り込み要因には、それぞれ異なるベクタ番号とベクタテーブルアドレスオフセットが割り当てられています。ベクタテーブルアドレスは、このベクタ番号やベクタテーブルアドレスオフセットから算出されます。割り込み例外処理では、このベクタテーブルアドレスが示すベクタテーブルから例外サービスルーチンの開始アドレスが取り出されます。ベクタテーブルアドレスの算出法は、「第 6 章 例外処理」の「表 6.4 例外処理ベクタテーブルアドレスの算出法」を参照してください。

IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、割り込み優先レベル設定レジスタ A~L (IPRA~IPRL) によって、端子またはモジュールごとに、優先レベル 0~15 の範囲で任意に設定できます。ただし、IPRC~IPRL に対応する割り込み要因の優先順位は、表 18.2 の「IPR 設定単位内の優先順位」に示すように定められており、変更できません。IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位は、パワーオンリセットによって、優先レベル 0 に設定されます。複数の割り込み要因の優先順位を同じレベルに設定した場合、それらの割り込みが同時に発生したときは、表 18.2 に示す「デフォルト優先順位」に従って処理されます。

18. MTAD (マルチトリガ A/D)

表 18.2 割り込み例外ベクタと優先順位

割り込み要因番号			割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
NMI			11	H'0000002C ~ H'0000002F	16	—	—	高 ↑
UBC			12	H'00000030 ~ H'00000033	15	—	—	
H-UDI			14	H'00000038 ~ H'0000003B	15	—	—	
IRQ0			64	H'00000100 ~ H'00000103	0~15 (0)	IPRA(15~12)	—	
IRQ1			65	H'00000104 ~ H'00000107	0~15 (0)	IPRA(11~8)	—	
IRQ2			66	H'00000108 ~ H'0000010B	0~15 (0)	IPRA(7~4)	—	
IRQ3			67	H'0000010C ~ H'0000010F	0~15 (0)	IPRA(3~0)	—	
IRQ4			68	H'00000110 ~ H'00000113	0~15 (0)	IPRB(15~12)	—	
IRQ5			69	H'00000114 ~ H'00000117	0~15 (0)	IPRB(11~8)	—	
IRQ6			70	H'00000118 ~ H'0000011B	0~15 (0)	IPRB(7~4)	—	
IRQ7			71	H'0000011C ~ H'0000011F	0~15 (0)	IPRB(3~0)	—	
DMAC0	DEI0	72	H'00000120 ~ H'00000123	0~15 (0)	IPRC(15~12)	↑	1	
DMAC1	DEI1	74	H'00000128 ~ H'0000012B			↓	2	
DMAC2	DEI2	76	H'00000130 ~ H'00000133	0~15 (0)	IPRC(11~8)	↑	1	
DMAC3	DEI3	78	H'00000138 ~ H'0000013B			↓	2	
ATU0	ATU01	ITV1	80	H'00000140 ~ H'00000143	0~15 (0)	IPRC(7~4)		
		ITV2A						
		ITV2B						
	ATU02	ICI0A	84	H'00000150 ~ H'00000153	0~15 (0)	IPRC(3~0)	↑	1
		ICI0B	86	H'00000158 ~ H'0000015B			↓	2
ATU03	ICI0C	88	H'00000160 ~ H'00000163	0~15 (0)	IPRD(15~12)	↑	1	
	ICI0D	90	H'00000168 ~ H'0000016B			↓	2	
ATU04	OVI0	92	H'00000170 ~ H'00000173	0~15 (0)	IPRD(11~8)			
ATU1	ATU11	IMI1A/ CMI1	96	H'00000180 ~ H'00000183	0~15 (0)	IPRD(7~4)	↑	1
		IMI1B	97	H'00000184 ~ H'00000187			↓	2
		IMI1C	98	H'00000188 ~ H'0000018B			↓	3
		IMI1D	99	H'0000018C ~ H'0000018F			↓	4
	ATU12	IMI1E	100	H'00000190 ~ H'00000193	0~15 (0)	IPRD(3~0)	↑	1
		IMI1F	101	H'00000194 ~ H'00000197			↓	2
		IMI1G	102	H'00000198 ~ H'0000019B			↓	3
		IMI1H	103	H'0000019C ~ H'0000019F			↓	4
	ATU13	OVI1A OVI1B	104	H'000001A0 ~ H'000001A3	0~15 (0)	IPRE(15~12)		
	ATU2	ATU21	IMI2A/ CMI2A	108	H'000001B0 ~ H'000001B3	0~15 (0)	IPRE(11~8)	↑
IMI2B/ CMI2B			109	H'000001B4 ~ H'000001B7	↓			2
IMI2C/ CMI2C			110	H'000001B8 ~ H'000001BB	↓			3
IMI2D/ CMI2D			111	H'000001BC ~ H'000001BF	↓			4
ATU22		IMI2E/ CMI2E	112	H'000001C0 ~ H'000001C3	0~15 (0)	IPRE(7~4)	↑	1
		IMI2F/ CMI2F	113	H'000001C4 ~ H'000001C7			↓	2
		IMI2G/ CMI2G	114	H'000001C8 ~ H'000001CB			↓	3
		IMI2H/ CMI2H	115	H'000001CC ~ H'000001CF			↓	4
ATU23		OVI2A/ OVI2B	116	H'000001D0 ~ H'000001D3	0~15 (0)	IPRE(3~0)		低 ↓

18. MTAD (マルチトリガ A/D)

割り込み要因番号			割り込みベクタ		割り込み優先順位 (初期値)	対応する IPR (ビット)	IPR 設定 単位内の 優先順位	デフォルト 優先順位
			ベクタ	ベクタテーブル アドレスオフセット				
ATU3	ATU31	IMI3A	120	H'000001E0 ~ H'000001E3	0~15 (0)	IPRF(15~12)	↑	高
		IMI3B	121	H'000001E4 ~ H'000001E7			2	
		IMI3C	122	H'000001E8 ~ H'000001EB			3	
		IMI3D	123	H'000001EC ~ H'000001EF			↓	
	ATU32	OVI3	124	H'000001F0 ~ H'000001F3	0~15 (0)	IPRF(11~8)		
ATU4	ATU41	IMI4A	128	H'00000200 ~ H'00000203	0~15 (0)	IPRF(7~4)	↑	
		IMI4B	129	H'00000204 ~ H'00000207			2	
		IMI4C	130	H'00000208 ~ H'0000020B			3	
		IMI4D	131	H'0000020C ~ H'0000020F			↓	
	ATU42	OVI4	132	H'00000210 ~ H'00000213	0~15 (0)	IPRF(3~0)		
ATU5	ATU51	IMI5A	136	H'00000220 ~ H'00000223	0~15 (0)	IPRG(15~12)	↑	
		IMI5B	137	H'00000224 ~ H'00000227			2	
		IMI5C	138	H'00000228 ~ H'0000022B			3	
		IMI5D	139	H'0000022C ~ H'0000022F			↓	
	ATU52	OVI5	140	H'00000230 ~ H'00000233	0~15(0)	IPRG(11~8)		
ATU6		CMi6A	144	H'00000240 ~ H'00000243	0~15 (0)	IPRG(7~4)	↑	
		CMi6B	145	H'00000244 ~ H'00000247			2	
		CMi6C	146	H'00000248 ~ H'0000024B			3	
		CMi6D	147	H'0000024C ~ H'0000024F			↓	
ATU7		CMi7A	148	H'00000250 ~ H'00000253	0~15 (0)	IPRG(3~0)	↑	
		CMi7B	149	H'00000254 ~ H'00000257			2	
		CMi7C	150	H'00000258 ~ H'0000025B			3	
		CMi7D	151	H'0000025C ~ H'0000025F			↓	
ATU8	ATU81	OSI8A	152	H'00000260 ~ H'00000263	0~15 (0)	IPRH(15~12)	↑	
		OSI8B	153	H'00000264 ~ H'00000267			2	
		OSI8C	154	H'00000268 ~ H'0000026B			3	
		OSI8D	155	H'0000026C ~ H'0000026F			↓	
	ATU82	OSI8E	156	H'00000270 ~ H'00000273	0~15 (0)	IPRH(11~8)	↑	
		OSI8F	157	H'00000274 ~ H'00000277			2	
		OSI8G	158	H'00000278 ~ H'0000027B			3	
		OSI8H	159	H'0000027C ~ H'0000027F			↓	
	ATU83	OSI8I	160	H'00000280 ~ H'00000283	0~15(0)	IPRH(7~4)	↑	
		OSI8J	161	H'00000284 ~ H'00000287			2	
		OSI8K	162	H'00000288 ~ H'0000028B			3	
		OSI8L	163	H'0000028C ~ H'0000028F			↓	
ATU84	OSI8M	164	H'00000290 ~ H'00000293	0~15(0)	IPRH(3~0)	↑		
	OSI8N	165	H'00000294 ~ H'00000297			2		
	OSI8O	166	H'00000298 ~ H'0000029B			3		
	OSI8P	167	H'0000029C ~ H'0000029F			↓	4	
ATU9	ATU91	CMi9A	168	H'000002A0 ~ H'000002A3	0~15 (0)	IPRI(15~12)	↑	
		CMi9B	169	H'000002A4 ~ H'000002A7			2	
		CMi9C	170	H'000002A8 ~ H'000002AB			3	
		CMi9D	171	H'000002AC ~ H'000002AF			↓	4
ATU92	CMi9E	172	H'000002B0 ~ H'000002B3	0~15 (0)	IPRI(11~8)	↑		
	CMi9F	174	H'000002B8 ~ H'000002BB			↓	2	

18.3.3 割り込み優先レベル設定レジスタ A~L (IPRA~IPRL)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

--	--	--	--	--	--	--	--	--	--	--	--	--	--	--	--

初期値: 0 0 0 0 0 0 0 0 0 0 0 0 0 0 0 1

R/W: R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W R/W

割り込み優先レベル設定レジスタ A~L (IPRA~IPRL) は、それぞれ読み出し/書き込み可能な 16 ビットのレジスタで、IRQ 割り込みと内蔵周辺モジュール割り込みの優先順位 (レベル 0~15) を設定します。割り込み要求元と IPRA~IPRL の各ビットの対応を表 18.3 に示します。

表 18.3 割り込み要求元と IPRA~IPRL

レジスタ	ビット			
	15~12	11~8	7~4	3~0
割り込み優先レベル設定レジスタ A	IRQ0	IRQ1	IRQ2	IRQ3
割り込み優先レベル設定レジスタ B	IRQ4	IRQ5	IRQ6	IRQ7
割り込み優先レベル設定レジスタ C	DMAC0、1	DMAC2、3	ATU01	ATU02
割り込み優先レベル設定レジスタ D	ATU03	ATU04	ATU11	ATU12
割り込み優先レベル設定レジスタ E	ATU13	ATU21	ATU22	ATU23
割り込み優先レベル設定レジスタ F	ATU31	ATU32	ATU41	ATU42
割り込み優先レベル設定レジスタ G	ATU51	ATU52	ATU6	ATU7
割り込み優先レベル設定レジスタ H	ATU81	ATU82	ATU83	ATU84
割り込み優先レベル設定レジスタ I	ATU91	ATU92	ATU101	ATU102
割り込み優先レベル設定レジスタ J	ATU11	CMT0、 A/D0、MTAD0	CMT1、 A/D1、MTAD1	A/D2
割り込み優先レベル設定レジスタ K	SCI0	SCI1	SCI2	SCI3
割り込み優先レベル設定レジスタ L	SCI4	HCAN0	WDT	HCAN1

表 18.3 に示すように、1 本のレジスタに 4 つの $\overline{\text{IRQ}}$ 端子、または 4 組の内蔵周辺モジュールが割り当てられています。ビット 15~12、ビット 11~8、ビット 7~4、ビット 3~0 の各 4 ビットに H'0 (0000) から HF (1111) の範囲の値をセットすることによって、それぞれに対応する割り込みの優先順位が設定されます。割り込み優先順位は、H'0 をセットすると優先レベル 0 (最低) に、HF をセットすると優先レベル 15 (最高) になります。複数の内蔵周辺モジュールが同じビットに割り当てられている場合 (DMAC0 と DMAC1、DMAC2 と DMAC3、CMT0 と A/D0 と MTAD0、CMT1 と A/D1 と MTAD1) その複数のモジュールは同じ優先順位に設定されます。

IPRA~IPRL は、リセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。ソフトウェアスタンバイモードでは初期化されません。

18.4 PFC、I/O ポートインタフェース

18.4.1 PFC インタフェース

18.4.2 ポート A コントロールレジスタ H、L (PACRH、PACRL)

ポート A コントロールレジスタ H、L (PACRH、PACRL) は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート A にある 16 本のマルチプレクス端子の機能を選びます。PACRH はポート A の上位 8 ビットの端子の機能を、PACRL はポート A の下位 8 ビットの端子の機能を選びます。

PACRH、PACRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート A コントロールレジスタ H (PACRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA15 MD	—	PA14 MD	—	PA13 MD	—	PA12 MD	PA11 MD1	PA11 MD0	PA10 MD1	PA10 MD0	PA9 MD1	PA9 MD0	PA8 MD1	PA8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PA15 モードビット (PA15MD)

PA15/RxD0 端子の機能を選びます。

ビット 14	説明
PA15MD	
0	汎用入出力 (PA15) (初期値)
1	受信データ入力 (RxD0)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PA14 モードビット (PA14MD)

PA14/TxD0 端子の機能を選びます。

ビット 12	説明
PA14MD	
0	汎用入出力 (PA14) (初期値)
1	送信データ出力 (TxD0)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA13 モードビット (PA13MD)

PA13/TIO5B 端子の機能を選びます。

ビット 10	説 明	
PA13MD		
0	汎用入出力 (PA13)	(初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO5B)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA12 モードビット (PA12MD)

PA12/TIO5A 端子の機能を選びます。

ビット 8	説 明	
PA12MD		
0	汎用入出力 (PA12)	(初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO5A)	

ビット 7、6 : PA11 モードビット 1、0 (PA11MD1、PA11MD0)

PA11/TIO4D/ADTO1B 端子の機能を選びます。

ビット 7	ビット 6	説 明	
PA11MD1	PA11MD0		
0	0	汎用入出力 (PA11)	(初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4D)	
1	0	設定禁止	
1	1	アウトプットコンペア 1B 出力 (MTAD)	

ビット 5、4 : PA10 モードビット 1、0 (PA10MD1、PA10MD0)

PA10/TIO4C/ADTO1A 端子の機能を選びます。

ビット 5	ビット 4	説 明	
PA10MD1	PA10MD0		
0	0	汎用入出力 (PA10)	(初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4C)	
1	0	設定禁止	
1	1	アウトプットコンペア 1A 出力 (MTAD)	

18. MTAD (マルチトリガ A/D)

ビット 3、2 : PA9 モードビット 1、0 (PA9MD1、 PA9MD0)

PA9/TIO4B/ADTO0B 端子の機能を選びます。

ビット 3	ビット 2	説 明
PA9MD1	PA9MD0	
0	0	汎用入出力 (PA9) (初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4B)
1	0	設定禁止
1	1	アウトプットコンペア 0B 出力 (MTAD)

ビット 1、0 : PA8 モードビット 1、0 (PA8MD1、 PA8MD0)

PA8/TIO4A/ ADTO0A 端子の機能を選びます。

ビット 1	ビット 0	説 明
PA8MD1	PA8MD0	
0	0	汎用入出力 (PA8) (初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4A)
1	0	設定禁止
1	1	アウトプットコンペア 0A 出力 (MTAD)

(2) ポート A コントロールレジスタ L (PACRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA7 MD	—	PA6 MD	—	PA5 MD	—	PA4 MD	—	PA3 MD	—	PA2 MD	—	PA1 MD	—	PA0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PA7 モードビット (PA7MD)

PA7/TIO3D 端子の機能を選びます。

ビット 14	説 明
PA7MD	
0	汎用入出力 (PA7) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO3D)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA6 モードビット (PA6MD)

PA6/TIO3C 端子の機能を選びます。

ビット 12	説 明
PA6MD	
0	汎用入出力 (PA6) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO3C)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA5 モードビット (PA5MD)

PA5/TIO3B 端子の機能を選びます。

ビット 10	説 明
PA5MD	
0	汎用入出力 (PA5) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO3B)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA4 モードビット (PA4MD)

PA4/TIO3A 端子の機能を選びます。

ビット 8	説 明
PA4MD	
0	汎用入出力 (PA4) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO3A)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 6 : PA3 モードビット (PA3MD)

PA3/TIO0D 端子の機能を選びます。

ビット 6	説 明
PA3MD	
0	汎用入出力 (PA3) (初期値)
1	ATU-II インプットキャプチャ入力 (TIO0D)

18. MTAD (マルチトリガ A/D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 4 : PA2 モードビット (PA2MD)

PA2/TIOC 端子の機能を選びます。

ビット 4	説 明
PA2MD	
0	汎用入出力 (PA2) (初期値)
1	ATU-II インプットキャプチャ入力 (TIOC)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 2 : PA2 モードビット (PA1MD)

PA1/TIOB 端子の機能を選びます。

ビット 2	説 明
PA1MD	
0	汎用入出力 (PA1) (初期値)
1	ATU-II インプットキャプチャ入力 (TIOB)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。
書き込み値が 1 の場合は動作保証されません。

ビット 0 : PA0 モードビット (PA0MD)

PA0/TIOA 端子の機能を選びます。

ビット 1	説 明
PA0MD	
0	汎用入出力 (PA0) (初期値)
1	ATU-II インプットキャプチャ入力 (TIOA)

18.4.3 I/O ポート A

ポート A は、図 18.2 に示すような、16 本の端子を持つ入出力ポートです。

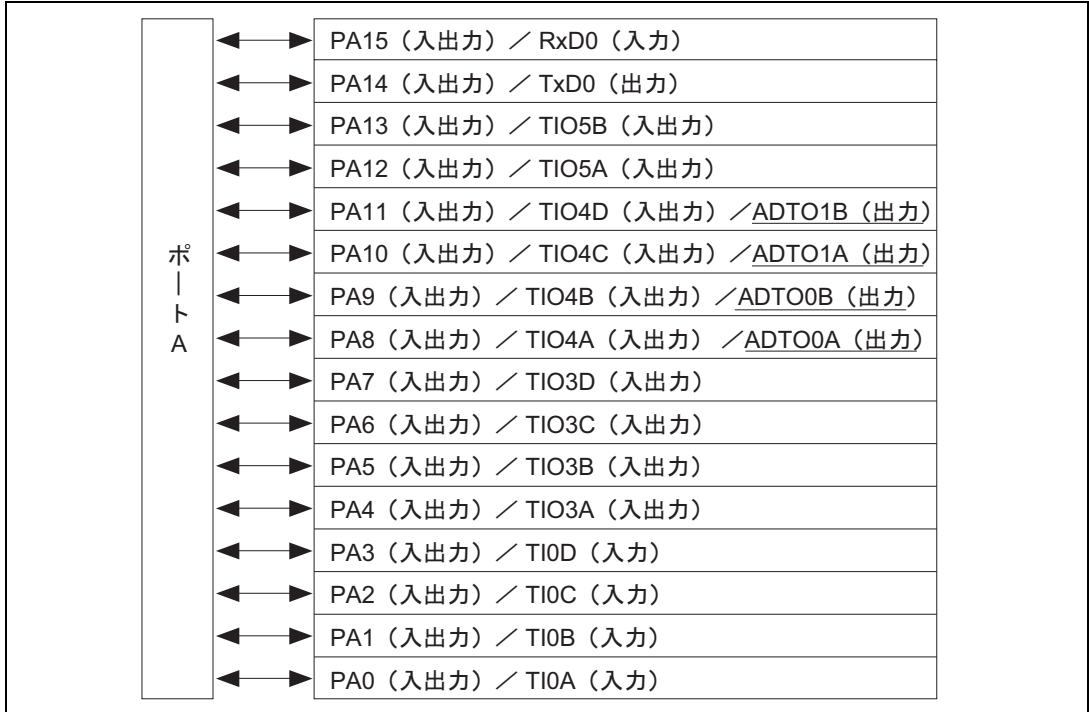


図 18.2 ポート A

MTAD に関する端子の機能について表 18.4 に示します。

表 18.4 端子の機能 (MTAD)

分類	記号	ピン番号	入出力	名称	機能
マルチトリガ A/D	ADTO0A	135	出力	PWM 出力	PWM 出力端子です。
	ADTO0B	136			
	ADTO1A	137			
	ADTO1B	138			

18.5 動作説明

18.5.1 概要

タイマ部と A/D 部に分かれています。タイマ部はチャンネル 0、チャンネル 1 の 2 体のタイマで構成されています。また入力クロックを生成するプリスケアラを内蔵し、必要な周波数の内部クロックを生成または選択することができます。以下にチャンネルおよびプリスケアラの動作概要を説明します。

(1) チャンネル 0、1

チャンネル 0、1 はそれぞれ 16 ビットフリーランニングカウンタ (ADCNT0、ADCNT1) 16 ビットサイクルレジスタ (ADCYLR0、ADCYLR1)、16 ビットデューティレジスタ (ADDR0A、B、ADDR1A、B)、および 16 ビットジェネラルレジスタ (ADGR0A、B、ADGR1A、B) を内蔵しています。チャンネル 0、1 は各々に対応する外部出力端子 (ADTO0A、B、ADTO1A、B) を持ち、PWM タイマとして使用することができます。

ADCNT はアップカウンタで、ADDR 値 (ADDR≠ADCYLR のとき) と一致すると外部出力端子に 0 (1) * を出力します。さらに、ADCYLR 値 (ADDR≠H'0000 のとき) と一致すると外部出力端子に 1 (0) * を出力すると同時に ADCNT を H'0001 にクリアします。すなわち、チャンネル 0、1 は ADCYLR 値をサイクル、ADDR 値をデューティとする波形の出力を行うことができます。

なお、ADDR=ADCYLR のときは外部出力端子に 1 (0) * を出力し続け、デューティは 100% となります。ADDR=H'0000 のときは外部出力端子に 0 (1) * を出力し続け、デューティは 0% となります。ADDR には ADDR>ADCYLR となる値は設定しないでください。

さらにチャンネル 0、1 は、あらかじめ ADGR0A、B、ADGR1A、B に値を設定し、ADCNT が ADGR に一致するとコンペアマッチ動作を行います。ただし出力端子はありません。また、コンペアマッチをトリガとしてマルチトリガ A/D 変換の起動が可能です。

ADCNT0、ADCNT1 はそれぞれ ADGR0A、B、ADGR1A、B とのコンペアマッチによりクリアされることはありません。

【注】 * A/D トリガコントロールレジスタ (ADTCR)

(2) プリスケアラ

専用のプリスケアラを内蔵しています。このプリスケアラはそれぞれのチャンネルでタイマコントロールレジスタにより初段からのクロックを停止、2、5、10 に分周したクロックから選択が可能です。

18.5.2 PWM 機能

チャンネル 0、1 は無条件で、外部端子 (ADT00A、B、ADT01A、B) を使用した PWM タイマとして使用できます。

チャンネル 0、1 は A/D トリガコントロールレジスタ (ADTCR) のプリスケアラを設定してフリーランニングカウンタ (ADCNT) を起動すると、対応するサイクルレジスタ (ADCYLR) に一致するまでカウントアップ動作をします。ADCNT は ADCYLR と一致すると H'0001 にクリアされ、そこから再びアップカウントします。対応する外部端子は、このとき 1 (0) * を出力します。デューティレジスタ (ADDR) に値が設定されており、ADCNT が ADDR に一致すると、対応する外部端子に 0 (1) * を出力します。ADDR が H'0000 の場合には、出力は変化しません (デューティ 0%)。デューティを 100% にするには ADDR=ADCYLR に設定してください。ADDR には ADDR>ADCYLR となる値を設定しないでください。

【注】 * A/D トリガコントロールレジスタ (ADTCR) の DTSEL0A、B、DTSEL1A、B の値が反映されます。

18.5.3 コンペアマッチ機能

チャンネル 0、1 の A/D ジェネラルレジスタ (ADGR0A、B、ADGR1A、B) を持っており、対応するマルチトリガ A/D 変換器の起動が可能です。

A/D トリガコントロールレジスタ (ADTCR) への設定によりフリーランニングカウンタ (ADCNT) がカウントアップを開始します。あらかじめ ADGR に値を設定し、ADCNT が ADGR に一致するとコンペアマッチが発生し、対応するマルチトリガ A/D への起動要求が可能です。ただし、出力端子はありません。

18.5.4 マルチトリガ A/D 機能

マルチトリガ A/D は、連続スキャンモード実行時に特定のチャンネルを優先して A/D 変換する場合に選択するモードです。ただし、連続スキャンモードで可能な設定は下表のとおりです。それ以外は設定しないでください。

変換チャンネル (ADCRx)

ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	アナログ入力チャンネル	
ADM1	ADM0	CH3	CH2	CH1	CH0	A/D0	A/D1
0	1	0	0	1	1	AN0~3	AN12~15
1	0	0	0	1	1	AN0~7	AN12~19
0	1	0	1	1	1	AN4~7	AN16~19

【注】 x=0、1

A/D トリガステータスレジスタ 0、1 (ADTSR0、1) の ADCMFxB、ADCMFxA は、必ず 0' の状態で起動してください。また、マルチトリガ A/D による A/D 変換終了時に、ADCMFxB、ADCMFxA をクリアしてください。

マルチトリガ A/D の選択は、A/D トリガイネーブルレジスタ 0、1 (ADTIER0、1) の ADTRG を 1 にすることで行います。

A/D トリガレジスタ (ADTIER) の ADTRG がセットされた状態で特定のスキャンモード中 A/D カウンタ (ADCNT) と A/D ジェネラルレジスタ (ADGR) のコンペアマッチが発生するとマルチトリガ A/D が起動します。マルチトリガ A/D は、連続スキャンモードで変換中のチャンネルの変換終了後、要求のあったチャンネルを優先して変換します。その後、停止していたチャンネルから変換を再開します。

要求のあったチャンネルの A (AN8、9、20、21)、B (AN10、11、22、23) の変換が終了するとマルチトリガ A/D 起動時の A/D トリガコントロールレジスタ (ADTCR) の A/D セレクト (ADSEL) の設定に従い ADDR にデータが格納され ADTSR の TADFxA、xB ビットが 1 にセットされます。こ

18. MTAD (マルチトリガ A/D)

のとき、ADTIER の TADExA、xB が 1 にセットされていると TADIxA、xB 割り込み要求を発生します。TADFxA、xB を 0 にクリアするときには、あらかじめ TADFxA、xB の 1 を読み込んだ後、0 を書き込んでください。

アナログ入力 0~7 (AN0~7) を選択して、8 チャンネルスキャンモードで、割り込み A/D 変換を行う場合の動作例を次に示します。また、**図 18.3** に動作フローチャートを示します。

- (1) 動作モードを8チャンネルスキャンモードに (ADM1=1、ADM0=0)、スキャンサイクルを連続スキャン (ADCS=1)、アナログ入力チャンネルをAN0~7 (CH3=0、CH2=0、CH1=1、CH0=1)、A/D0モジュールをマルチトリガA/Dの起動許可 (ADTRG=1)、マルチトリガA/D終了の割り込み許可 (TADExA、xB=1) に設定して、A/D変換を開始します。
- (2) 第0チャンネル (AN0) のA/D変換が開始され、A/D変換が終了すると、変換結果をADDR0に転送します。
- (3) 同様に第7チャンネル (AN7) まで、変換を行います。
- (4) 設定した全チャンネル (AN0~7) の変換が終了すると、ADF=1となります。このとき、ADIE=1 にセットされていると、A/D変換終了後、ADI割り込みを発生します。
- (5) その間に、A/Dカウンタ (ADCNT) とA/Dジェネラルレジスタ (ADGR) のコンペアマッチが発生すると、その変換中チャンネルの終了後に要求のあったマルチトリガA/Dを起動します。
- (6) 要求のあったチャンネルのマルチトリガA/D変換が開始され、マルチトリガA/D変換が終了すると、変換結果をADDRxに転送し、A/Dデータセレクト (ADSELx) が反転されます。このとき、TADIExA、xBが1にセットされているとA/D変換が終了したチャンネルのそれぞれTADIA、B割り込みが発生します。
- (7) (6) が終了すると (5) で停止していたチャンネルから変換を再開します。

ADST=1の間は、(2) ~ (7) を繰り返します。

【注】 同時に2要因のマルチトリガ A/D 起動要求があった場合、優先順位が高いマルチトリガ A/D が実行された後で優先順位が低いマルチトリガ A/D が起動します。

優先順位高 優先順位低
CMFxA > CMFxB

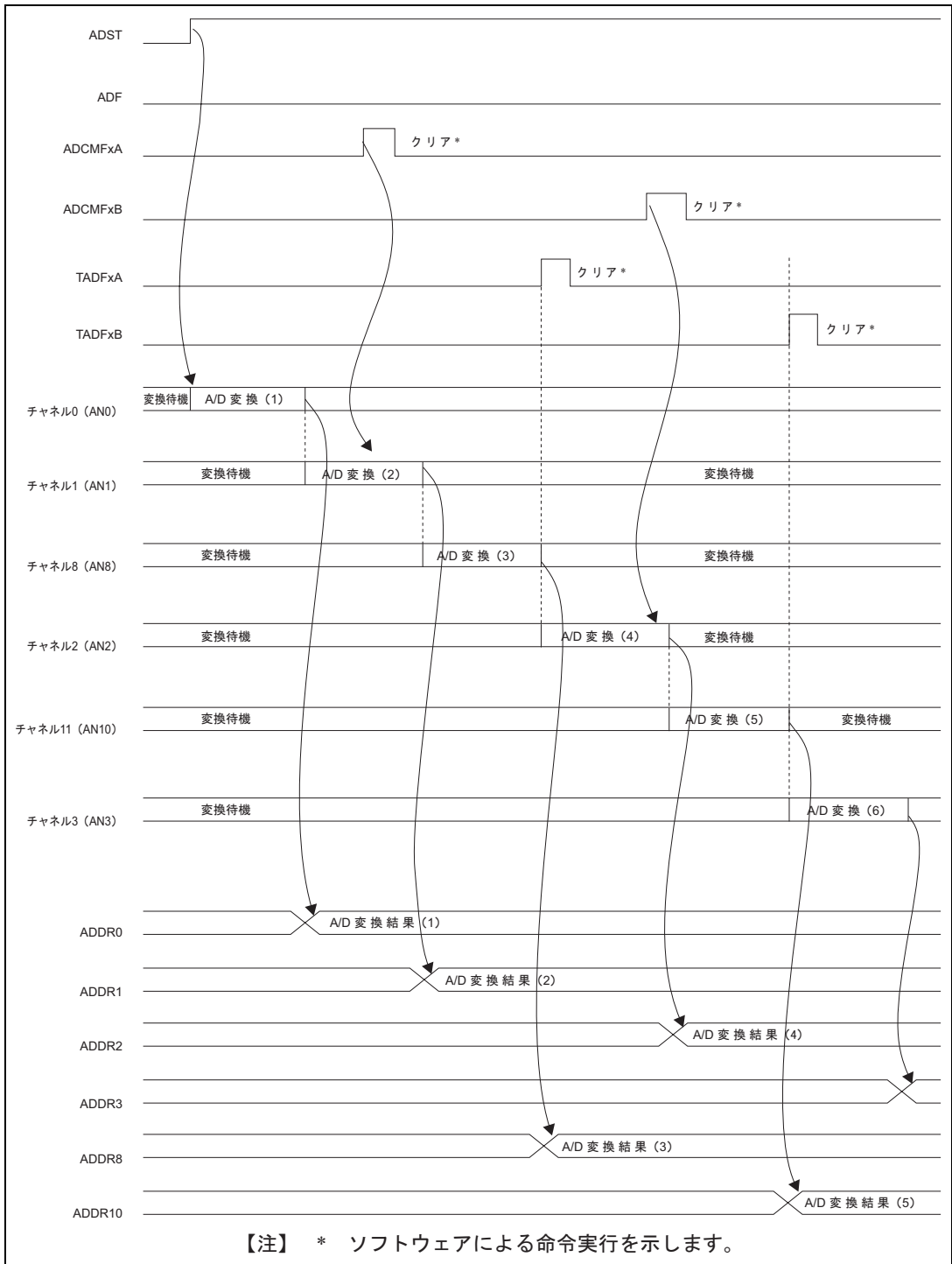


図 18.3 マルチトリガ A/D 動作例

18. MTAD (マルチトリガ A/D)

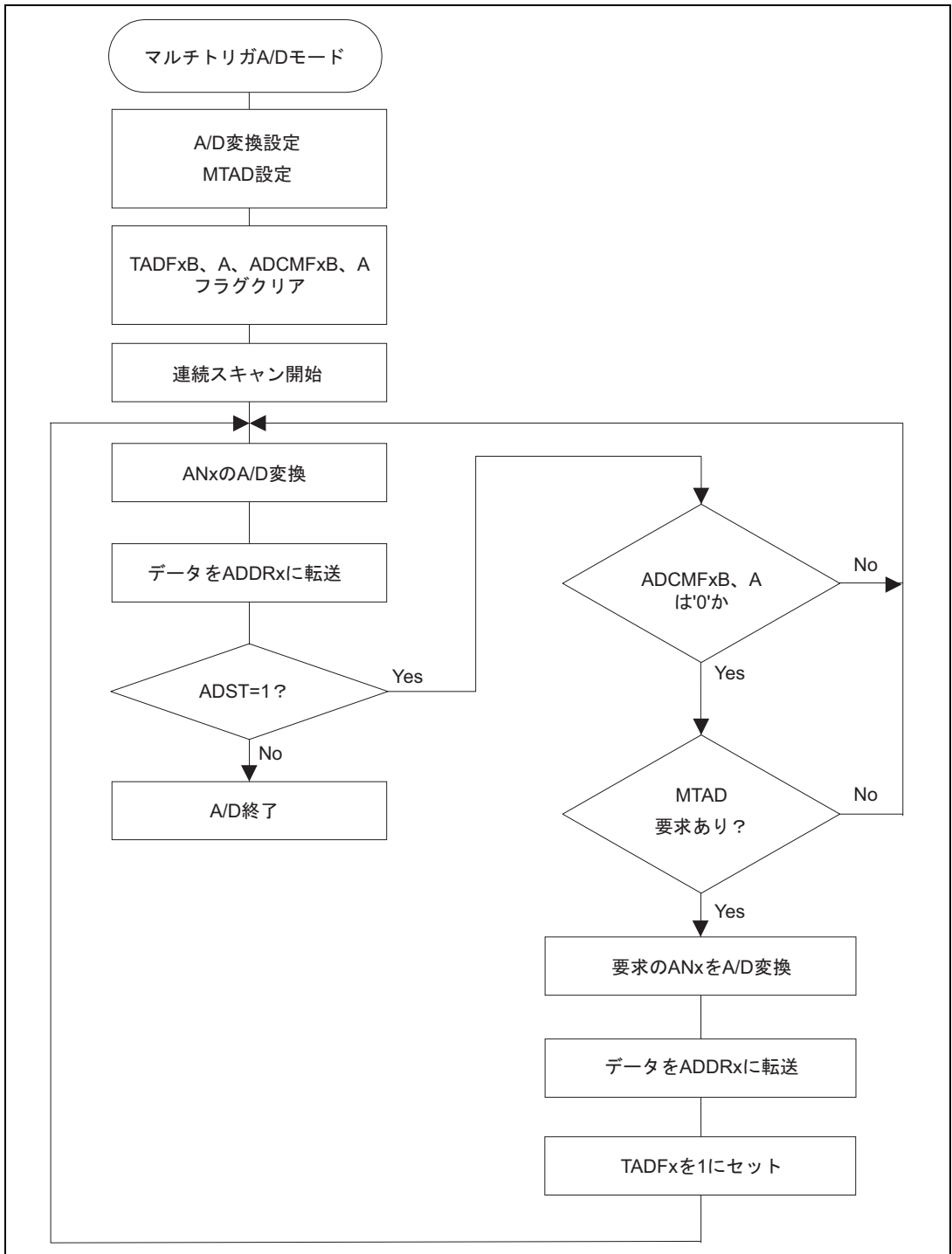


図 18.4 マルチトリガ A/D 変換器の動作フローチャート

18.5.5 割り込み

割り込みはチャンネル 0、1 で各チャンネル 7 要因、合計 14 要因の割り込みがあります。

モジュール	IPR ビット	ベクタ	ベクタ番号	発生条件
ADT0	IPRJ (11~8)	ADIO	189	マルチトリガ A/D 変換終了時 TADE0A で割り込みが許可されているとき
				マルチトリガ A/D 変換終了時 TADE0B で割り込みが許可されているとき
				ADCNT0 と ADCYLR0 のコンペアマッチ発生時 CYE0 で割り込みが許可されているとき
				ADCNT0 と ADDR0A のコンペアマッチ発生時 ADDE0A で割り込みが許可されているとき
				ADCNT0 と ADDR0B のコンペアマッチ発生時 ADDE0B で割り込みが許可されているとき
				ADCNT0 と ADGR0A のコンペアマッチ発生時 ADCME0A で割り込みが許可されているとき
				ADCNT0 と ADGR0B のコンペアマッチ発生時 ADCME0B で割り込みが許可されているとき

モジュール	IPR ビット	ベクタ	ベクタ番号	発生条件
ADT1	IPRJ (7~4)	ADI1	193	マルチトリガ A/D 変換終了時 TADE1A で割り込みが許可されているとき
				マルチトリガ A/D 変換終了時 TADE1B で割り込みが許可されているとき
				ADCNT1 が ADCYLR1 のコンペアマッチ発生時 CYE1 で割り込みが許可されているとき
				ADCNT1 が ADDR1A のコンペアマッチ発生時 ADDE1A で割り込みが許可されているとき
				ADCNT1 が ADDR1B のコンペアマッチ発生時 ADDE1B で割り込みが許可されているとき
				ADCNT1 と ADGR1A のコンペアマッチ発生時 ADCME1A で割り込みが許可されているとき
				ADCNT1 と ADGR1B のコンペアマッチ発生時 ADCME1B で割り込みが許可されているとき

18.5.6 使用上の注意

- (1) ADCNTの書き込みとコンペアマッチによるクリア競合
ADCNTの書き込みとコンペアによるカウンタのクリアが競合した場合、ADCNT書き込みのCPUライトサイクル中のT2ステートにコンペアマッチが発生してもADCNTのクリアは行われず、ADCNTへの書き込みが優先されます。
なお、コンペアマッチは有効なままであり、割り込みステータスフラグへの1ライトや、外部への波形出力は、通常のコンペアマッチ同様行われます。
- (2) ADCNTの書き込みとカウントアップの競合
ADCNTのカウントアップ中に当該カウンタへ書き込みを行うと、カウントせずにカウンタへの書き込みが優先されます。
- (3) 割り込みステータスフラグの0クリアと割り込み発生時の1セットの競合
CPUからの割り込みステータスフラグへの0ライトサイクル中のT2ステートで、コンペアマッチ/オーバフローなどのイベントが発生すると、コンペアマッチ/オーバフローが優先され、割り込みステータスフラグはセットされます。
- (4) マルチトリガA/D変換中の連続スキャンA/D変換データの読み出し
DMAによりリード処理を行ってください。割り込みのタイミングにより、下記問題が発生します。
連続スキャン割り込みにより、最初のチャンネル（最も番号の小さい）のADDRレジスタをリードするとき、次の最初のチャンネルのA/D変換を行っており、タイミングによっては、取得するデータが上書きされてしまいます。

18.5.7 動作波形例

(A) :

●ハード処理

- (1) コンペアマッチが発生し要因に対するステータスがセットされます。
- (2) A/Dトリガインタラプトイネーブルレジスタ (ADTIER) のA/Dトリガ (ADTRG) でマルチトリガA/D動作が許可されているとマルチトリガA/D変換が起動します。

マルチトリガA/D変換終了後

- (3) マルチトリガA/Dの変換結果をマルチトリガA/D起動時にA/Dトリガコントロールレジスタ (ADTCR) のA/Dセレクト (ADSEL) で指定されていたA/Dデータレジスタ (ADDR) に格納します。
- (4) マルチトリガA/Dの変換終了割り込みが許可されていれば割り込みが発生します。

●ソフト処理

- (1) コンペアマッチフラグをクリアします。
- (2) A/Dジェネラルレジスタ (ADGR) の値を変更します。
- (3) A/Dトリガコントロールレジスタ (ADTCR) のA/Dセレクト (ADSEL) を変更します。

マルチトリガA/D変換終了後

- (4) マルチトリガA/Dの終了フラグをクリアします。
- (5) 変換データの取り込みをします。

(B) :

●ハード処理

- (1) コンペアマッチが発生し要因に対するステータスがセットされます。
- (2) A/Dトリガインタラプトイネーブルレジスタ (ADTIER) のA/Dデューティイネーブル (ADDE) がセットされていると割り込みが発生します。
- (3) 出力端子に対する出力レベルを変更します。

●ソフト処理

- (1) デューティコンペアマッチフラグをクリア

(C) :

●ハード処理

- (1) コンペアマッチが発生し要因に対するステータスがセットされます。
- (2) A/Dトリガインタラプトイネーブルレジスタ (ADTIER) のA/Dサイクルイネーブル (ADCYLR) がセットされていると割り込み発生します。
- (3) 出力端子に対する出力レベルを変更します。
- (4) ADCNTをH'0001にクリア

●ソフト処理

- (1) サイクルコンペアマッチフラグをクリア
- (2) A/Dデューティレジスタ (ADDR) およびA/Dサイクルレジスタ (ADCYLR) の値を変更します。

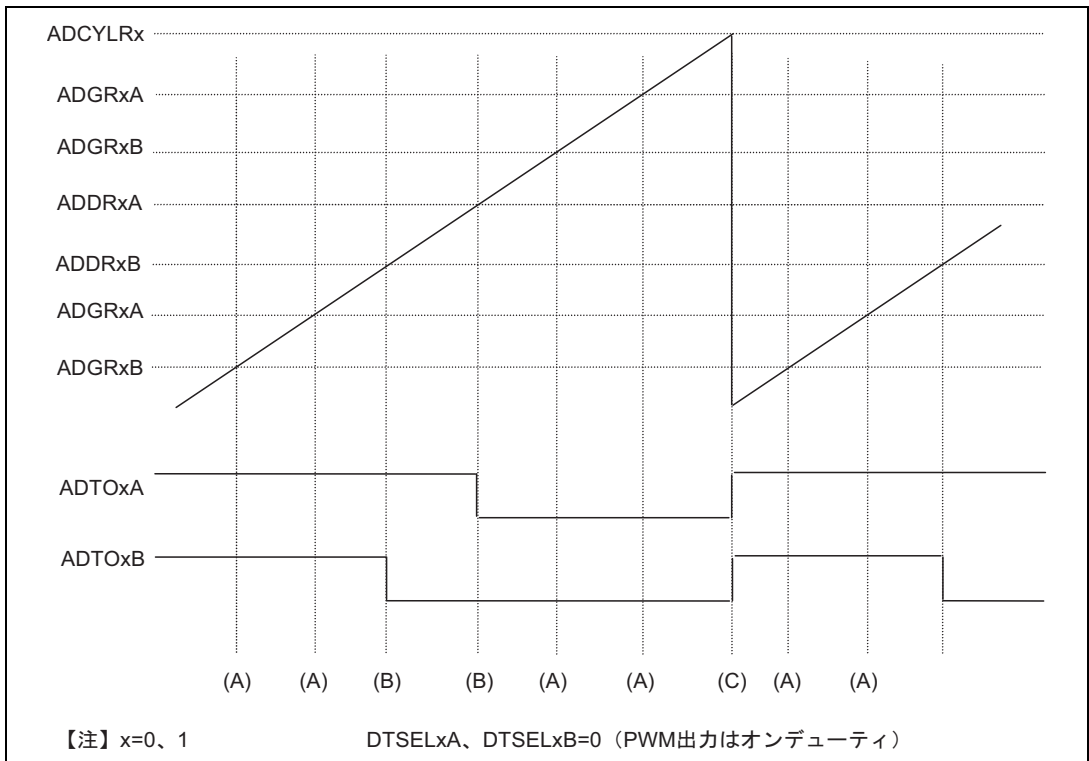


図 18.5 MTAD PWM 波形出力例

18.6 付録

18.6.1 内蔵周辺モジュールレジスタ

(1) アドレス一覧

MTAD に関する内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。
16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

表 18.5 アドレス一覧

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF720	PAIOR	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR	ポートA
H'FFFFFF721		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR	
H'FFFFFF722	PACRH	—	PA15MD	—	PA14MD	—	PA13MD	—	PA12MD	
H'FFFFFF723		PA11MD1	PA11MD0	PA10MD1	PA10MD0	PA9MD1	PA9MD0	PA8MD1	PA8MD0	
H'FFFFFF724	PACRL	—	PA7MD	—	PA6MD	—	PA5MD	—	PA4MD	
H'FFFFFF725		—	PA3MD	—	PA2MD	—	PA1MD	—	PA0MD	
H'FFFFFF726	PADR	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR	
H'FFFFFF727		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR	

(2) リセット、低消費電力状態でのレジスタ状態

表 18.6 リセット、低消費電力状態でのレジスタ状態

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェア スタンバイ	ソフトウェア スタンバイ	スリープ
マルチトリガ A/D (MTAD)	ADTCR0、ADTCR1	初期化	初期化	初期化	保持
	ADTSR0、ADTSR1				
	ADTIER0、ADTIER1				
	ADCNT0、ADCNT1				
	ADGR0A、ADGR0B				
	ADGR1A、ADGR1B				
	ADCYLR0、ADCYLR1				
	ADDR0A、ADDR0B				
ADDR1A、ADDR1B					

18.6.2 端子状態

表 18.7 端子状態

分類	端子名	端子状態							
		リセット状態			低消費電力状態				バス権 解放状態
		パワーオン			ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ	
		ROM なし 拡張		ROM あり 拡張					
8 ビット	16 ビット								
MTAD	ADTO0A	—			Z	O*	O	O	O
	ADTO0B	—			Z	O*	O	O	O
	ADTO1A	—			Z	O*	O	O	O
	ADTO1B	—			Z	O*	O	O	O

【記号説明】

- 初期値ではない
- I 入力
- O 出力
- H ハイレベル出力
- L ローレベル出力
- Z ハイインピーダンス
- K 入力端子はハイインピーダンス、出力端子は状態保持

【注】 * スタンバイコントロールレジスタ (SBYCR) のポートインピーダンスビット (HIZ) を 1 にすると、出力端子は、ハイインピーダンスになります。

18.6.3 AC 特性

表 18.8 ADTO0A、0B、1A、1B 出力タイミング

項目	記号	min	max	単位	参照図
遅延時間	t_{LH}	—	100	ns	図 18.6
	t_{HL}	—	100	ns	図 18.6

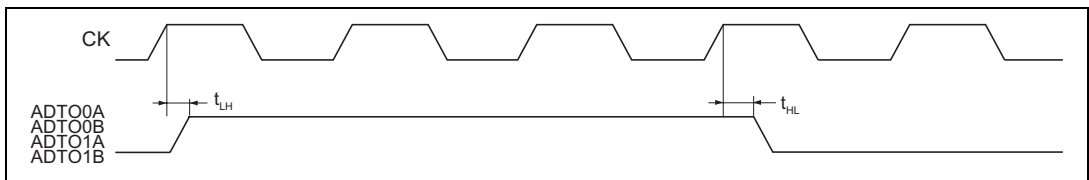


図 18.6 ADTO0A、0B、1A、1B 出力タイミング

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

19.1 概要

ハイパフォーマンスユーザデバッグインタフェース (H-UDI) は、データ転送と割り込み要求、およびバウンダリスキャンの機能を備えています。H-UDI は、外部信号の制御でシリアル転送を行います。

19.1.1 特長

H-UDI は IEEE 1149.1 規格に対応した次の特長を持っています。

- 5本のテスト信号 (TCK、TDI、TDO、TMS、および $\overline{\text{TRST}}$)
- TAP コントローラ
- インストラクションレジスタ
- データレジスタ
- バイパスレジスタ
- バウンダリスキャンレジスタ

H-UDI は7つのインストラクションを備えています。

- BYPASS モード
IEEE 1149.1に対応したテストモード
- EXTEST モード
IEEE 1149.1に対応したテストモード
- SAMPLE/PRELOAD モード
IEEE 1149.1に対応したテストモード
- CLAMP モード
IEEE 1149.1に対応したテストモード
- HIGHZ モード
IEEE 1149.1に対応したテストモード
- IDCODE モード
IEEE 1149.1に対応したテストモード
- H-UDI 割り込み
INTCへのH-UDI割り込みを要求

19.1.2 H-UDI ブロック図

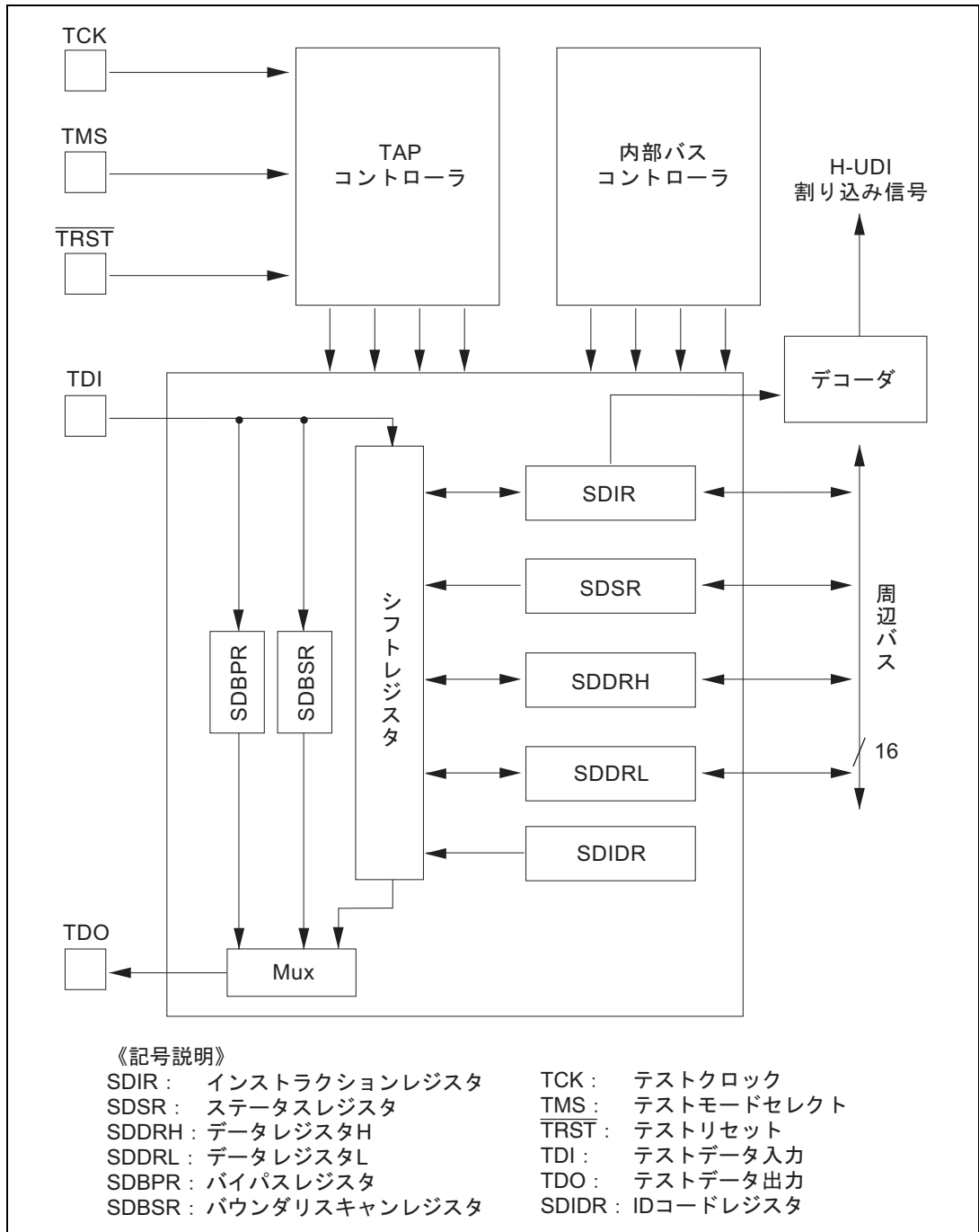


図 19.1 H-UDI ブロック図

19.1.3 端子構成

表 19.1 に H-UDI の端子構成を示します。

表 19.1 端子構成

名称	略称	入出力	機能
テストクロック	TCK	入力	テストクロック入力
テストモードセレクト	TMS	入力	テストモードセレクト入力信号
テストデータ入力	TDI	入力	シリアルデータ入力
テストデータ出力	TDO	出力	シリアルデータ出力
テストリセット	TRST	入力	テストリセット入力信号

19.1.4 レジスタ構成

表 19.2 に H-UDI のレジスタを示します。

表 19.2 レジスタ構成

レジスタ	略称	R/W ^{*1}	初期値 ^{*2}	アドレス	アクセスサイズ (ビット)
インストラクションレジスタ	SDIR	R	H'E000	H'FFFFFFC0	8/16/32
ステータスレジスタ	SDSR	R/W	H'0B01	H'FFFFFFC2	8/16/32
データレジスタ H	SDDRH	R/W	不定	H'FFFFFFC4	8/16/32
データレジスタ L	SDDRL	R/W	不定	H'FFFFFFC6	8/16/32
バイパスレジスタ	SDBPR	—	—	—	—
バウンダリスキャンレジスタ	SDBSR	—	—	—	—
ID コードレジスタ	SDIDR	—	H'001D200F	—	—

【注】 *1 CPU による読み出し/書き込みが可能かどうかを示します。

*2 TRST 信号入力時の初期値。リセット (パワーオンリセット/マニュアルリセット) またはスタンバイモードでは初期化されません。

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

インストラクションとデータは、テストデータ入力端子 (TDI) からシリアル転送によりインストラクションレジスタ (SDIR) とデータレジスタ (SDDR) へ入力できます。SDIR、ステータスレジスタ (SDSR)、SDDRからのデータはテストデータ出力端子 (TDO) を通じて出力できます。バイパスレジスタ (SDBPR) は1ビットのレジスタで、BYPASSモード、CLAMPモード、およびHIGHZモード時、TDIとTDOはこのレジスタに接続されます。また、バウンダリスキャンレジスタ (SDBSR) は474ビットのレジスタで、SAMPLE/PRELOADモード、およびEXTESTモード時TDIとTDOはこのレジスタに接続されます。IDコードレジスタ (SDIDR) は32ビットのレジスタでIDCODEモード時、TDOを通じて固定コードが出力できます。SDBPR、SDBSR、SDIDRを除くすべてのレジスタはCPUによるアクセスが可能です。

表 19.3 に H-UDI の各レジスタで可能なシリアル転送の種類を示します。

表 19.3 H-UDI レジスタのシリアル転送

レジスタ	シリアル入力	シリアル出力
SDIR	可能	可能
SDSR	不可	可能
SDDRH	可能	可能
SDDRL	可能	可能
SDBPR	可能	可能
SDBSR	可能	可能
SDIDR	不可	可能

19.2 外部信号

19.2.1 テストクロック (TCK)

テストクロック端子 (TCK) は、H-UDI に独立にクロックを供給します。TCK への入力クロックはそのまま H-UDI へ供給しているため、デューティ比 50% に近いクロック波形を入力してください (詳細については「第 27 章 電気的特性」を参照してください)。何も入力されないと TCK は内部プルアップにより 1 に固定されます。

19.2.2 テストモードセレクト (TMS)

テストモードセレクト端子 (TMS) は、TCK の立ち上がりでサンプリングされます。TMS は TAP コントローラの内部状態を制御します。何も入力されないと TMS は内部プルアップにより 1 に固定されます。

19.2.3 テストデータ入力 (TDI)

テストデータ入力端子 (TDI) は、H-UDI レジスタに対するインストラクションとデータのシリアル入力を行います。TDI は TCK の立ち上がりでサンプリングされます。何も入力されないと TDI は内部プルアップにより 1 に固定されます。

19.2.4 テストデータ出力 (TDO)

テストデータ出力端子 (TDO) は H-UDI レジスタからのインストラクションとデータのシリアル出力を行います。転送は TCK に同期して行われます。TDO は出力していない場合、ハイインピーダンス状態です。

19.2.5 テストリセット ($\overline{\text{TRST}}$)

テストリセット端子 ($\overline{\text{TRST}}$) は H-UDI を非同期に初期化する信号です。何も入力されないと $\overline{\text{TRST}}$ は内部プルアップにより 1 に固定されます。

19.3 レジスタ

19.3.1 インストラクションレジスタ (SDIR)

ビット	:	15	14	13	12	11	10	9	8
	:	TS3	TS2	TS1	TS0	—	—	—	—
初期値	:	1	1	1	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R
ビット	:	7	6	5	4	3	2	1	0
	:	—	—	—	—	—	—	—	—
初期値	:	0	0	0	0	0	0	0	0
R/W	:	R	R	R	R	R	R	R	R

インストラクションレジスタ (SDIR) は、CPU による読み出し専用の 16 ビットのレジスタです。H-UDI のインストラクションは、TDI からのシリアル入力によって SDIR に転送することができます。SDIR は $\overline{\text{TRST}}$ 信号によって初期化できますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。

SDIR で定義されるインストラクションの長さは、4 ビットです。4 ビットを越えるインストラクションを入力すると SDIR にはシリアルデータの最後の 4 ビットを格納します。

本レジスタに予約となっているインストラクションをセットした場合の動作は保証しません。

ビット 15~12 : テストセットビット (TS3~TS0)

表 19.4 にインストラクション構成を示します。

表 19.4 インストラクション構成

ビット 15	ビット 14	ビット 13	ビット 12	インストラクション
TS3	TS2	TS1	TS0	
0	0	0	0	EXTEST モード
0	0	0	1	予約
0	0	1	0	CLAMP モード
0	0	1	1	HIGHZ モード
0	1	0	0	SAMPLE/PRELOAD モード
0	1	0	1	予約
0	1	1	0	予約
0	1	1	1	予約
1	0	0	0	予約
1	0	0	1	予約
1	0	1	0	H-UDI 割り込み
1	0	1	1	予約
1	1	0	0	予約
1	1	0	1	予約
1	1	1	0	IDCODE モード (初期値)
1	1	1	1	BYPASS モード

ビット 11~0 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

19.3.2 ステータスレジスタ (SDSR)

ビット	:	15	14	13	12	11	10	9	8
	:	—	—	—	—	—	—	—	—
初期値	:	0	0	0	0	1	0	1	1
R/W	:	R	R	R	R	R	R	R	R
ビット	:	7	6	5	4	3	2	1	0
	:	—	—	—	—	—	—	—	SDTRF
初期値	:	0	0	0	0	0	0	0	1
R/W	:	R	R	R	R	R	R	R	R/W

ステータスレジスタ (SDSR) は、CPU による読み出し／書き込み可能な 16 ビットレジスタです。SDSR は TDO から出力可能ですが、シリアルデータは TDI を通じて SDSR に書き込むことはできません。SDTRF ビットは 1 ビットシフトによって出力されます。2 ビットシフトの場合、SDTRF ビットがまず出力され、続いて予約ビットが出力されます。

SDSR は TRST 信号入力によって初期化されますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

ビット 15~1 : 予約ビット

ビット 15~12、10、7~1 は、読み出すと常に 0 が読み出されます。書き込み値は常に 0 にしてください。

ビット 11、9、8 は読み出すと常に 1 が読み出されます。書き込み値は常に 1 にしてください。

ビット 0 : シリアルデータ転送制御フラグ (SDTRF)

H-UDI レジスタに対して CPU からアクセスできるかどうかを示します。SDTRF ビットは $\overline{\text{TRST}}$ 信号によってリセットされますが、リセットまたはソフトウェアスタンバイモードでは初期化されません。

ビット 0	説明
SDTRF	
0	SDDR へのシリアル転送終了。SDDR へのアクセス可能
1	SDDR へのシリアル転送中。(初期値)

19.3.3 データレジスタ (SDDR)

データレジスタ (SDDR) は、データレジスタ H (SDDRH) とデータレジスタ L (SDDRL) から構成され、それぞれのレジスタは次のような構成を持っています。

ビット	:	15	14	13	12	11	10	9	8
初期値	:	—	—	—	—	—	—	—	—
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
ビット	:	7	6	5	4	3	2	1	0
初期値	:	—	—	—	—	—	—	—	—
R/W	:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

SDDRH と SDDRL は、CPU による読み出し/書き込み可能な 16 ビットレジスタです。SDDR は外部とのシリアルデータの転送のため TDO および TDI に接続されます。

32 ビットデータはシリアルデータ転送時に入力および出力されます。32 ビットより大きなデータが入力されると SDDR には最後の 32 ビットのみ格納されます。シリアルデータは SDDR の MSB (SDDRH の 15 ビット) から入力され、LSB (SDDRL の 0 ビット) から出力されます。

このレジスタはリセット、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、および $\overline{\text{TRST}}$ 信号によって初期化されません。

19.3.4 バイパスレジスタ (SDBPR)

バイパスレジスタ (SDBPR) は1ビットシフトレジスタです。BYPASSモード、CLAMPモード、およびHIGHZモードでは、SDBPRはTDIとTDOの間に接続されます。SDBPRはCPUによる読み出し/書き込みは行えません。

19.3.5 バウンダリスキャンレジスタ (SDBSR)

バウンダリスキャンレジスタ (SDBSR) は、本LSIの入出力端子の制御を行うためにPAD上に配置されたシフトレジスタです。

EXTESTモード、およびSAMPLE/PRELOADモードを用いて、IEEE1149.1規格に準拠したバウンダリスキャンテストを行うことができます。

また、SDBSRはCPUによる読み出し/書き込みは行えません。

表 19.5 に本LSIの端子とバウンダリスキャンレジスタの対応を示します。

表 19.5 端子とバウンダリスキャンレジスタの対応

端子 NO.	端子名	入出力	ビット NO.
from TDI			
238	AUDRST	入力	473
240	AUDMD	入力	472
241	AUDATA0	入力	471
		出力	470
		出力イネーブル	469
242	AUDATA1	入力	468
		出力	467
		出力イネーブル	466
243	AUDATA2	入力	465
		出力	464
		出力イネーブル	463
244	AUDATA3	入力	462
		出力	461
		出力イネーブル	460
245	AUDCK	入力	459
		出力	458
		出力イネーブル	457
246	AUDSYNC	入力	456
		出力	455
		出力イネーブル	454
248	PD0/TIO1A	入力	453
		出力	452
		出力イネーブル	451
250	PD1/TIO1B	入力	450
		出力	449
		出力イネーブル	448

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
251	PD2/TIO1C	入力	447
		出力	446
		出カイナーブル	445
252	PD3/TIO1D	入力	444
		出力	443
		出カイナーブル	442
253	PD4/TIO1E	入力	441
		出力	440
		出カイナーブル	439
254	PD5/TIO1F	入力	438
		出力	437
		出カイナーブル	436
255	PD6/TIO1G	入力	435
		出力	434
		出カイナーブル	433
256	PD7/TIO1H	入力	432
		出力	431
		出カイナーブル	430
1	PD8/PULS0	入力	429
		出力	428
		出カイナーブル	427
2	PD9/PULS1	入力	426
		出力	425
		出カイナーブル	424
3	PD10/PULS2	入力	423
		出力	422
		出カイナーブル	421
4	PD11/PULS3	入力	420
		出力	419
		出カイナーブル	418
5	PD12/PULS4	入力	417
		出力	416
		出カイナーブル	415
6	PD13/PULS6/HTxD0/ HTxD1	入力	414
		出力	413
		出カイナーブル	412
7	PE0/A0	入力	411
		出力	410
		出カイナーブル	409
8	PE1/A1	入力	408
		出力	407
		出カイナーブル	406

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
9	PE2/A2	入力	405
		出力	404
		出カイナーブル	403
10	PE3/A3	入力	402
		出力	401
		出カイナーブル	400
12	PE4/A4	入力	399
		出力	398
		出カイナーブル	397
14	PE5/A5	入力	396
		出力	395
		出カイナーブル	394
15	PE6/A6	入力	393
		出力	392
		出カイナーブル	391
16	PE7/A7	入力	390
		出力	389
		出カイナーブル	388
17	PE8/A8	入力	387
		出力	386
		出カイナーブル	385
18	PE9/A9	入力	384
		出力	383
		出カイナーブル	382
19	PE10/A10	入力	381
		出力	380
		出カイナーブル	379
21	PE11/A11	入力	378
		出力	377
		出カイナーブル	376
23	PE12/A12	入力	375
		出力	374
		出カイナーブル	373
24	PE13/A13	入力	372
		出力	371
		出カイナーブル	370
25	PE14/A14	入力	369
		出力	368
		出カイナーブル	367
26	PE15/A15	入力	366
		出力	365
		出カイナーブル	364

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
27	PF0/A16	入力	363
		出力	362
		出カイネーブル	361
28	PF1/A17	入力	360
		出力	359
		出カイネーブル	358
29	PF2/A18	入力	357
		出力	356
		出カイネーブル	355
31	PF3/A19	入力	354
		出力	353
		出カイネーブル	352
33	PF4/A20	入力	351
		出力	350
		出カイネーブル	349
34	PF5/A21/ $\overline{\text{POD}}$	入力	348
		出力	347
		出カイネーブル	346
35	PF6/ $\overline{\text{WRL}}$	入力	345
		出力	344
		出カイネーブル	343
36	PF7/ $\overline{\text{WRH}}$	入力	342
		出力	341
		出カイネーブル	340
37	PF8/ $\overline{\text{WAIT}}$	入力	339
		出力	338
		出カイネーブル	337
38	PF9/ $\overline{\text{RD}}$	入力	336
		出力	335
		出カイネーブル	334
40	PF10/ $\overline{\text{CS0}}$	入力	333
		出力	332
		出カイネーブル	331
42	PF11/ $\overline{\text{CS1}}$	入力	330
		出力	329
		出カイネーブル	328
43	PF12/ $\overline{\text{CS2}}$	入力	327
		出力	326
		出カイネーブル	325
44	PF13/ $\overline{\text{CS3}}$	入力	324
		出力	323
		出カイネーブル	322

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
45	PF14/ $\overline{\text{BACK}}$	入力	321
		出力	320
		出カイナーブル	319
46	PF15/ $\overline{\text{BREQ}}$	入力	318
		出力	317
		出カイナーブル	316
50	MD2	入力	315
55	MD1	入力	314
56	FWE	入力	313
59	MD0	入力	312
63	PH0/D0	入力	311
		出力	310
		出カイナーブル	309
64	PH1/D1	入力	308
		出力	307
		出カイナーブル	306
65	PH2/D2	入力	305
		出力	304
		出カイナーブル	303
66	PH3/D3	入力	302
		出力	301
		出カイナーブル	300
67	PH4/D4	入力	299
		出力	298
		出カイナーブル	297
68	PH5/D5	入力	296
		出力	295
		出カイナーブル	294
69	PH6/D6	入力	293
		出力	292
		出カイナーブル	291
71	PH7/D7	入力	290
		出力	289
		出カイナーブル	288
73	PH8/D8	入力	287
		出力	286
		出カイナーブル	285
74	PH9/D9	入力	284
		出力	283
		出カイナーブル	282
76	PH10/D10	入力	281
		出力	280
		出カイナーブル	279

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
78	PH11/D11	入力	278
		出力	277
		出カイナーブル	276
79	PH12/D12	入力	275
		出力	274
		出カイナーブル	273
80	PH13/D13	入力	272
		出力	271
		出カイナーブル	270
81	PH14/D14	入力	269
		出力	268
		出カイナーブル	267
82	PH15/D15	入力	266
		出力	265
		出カイナーブル	264
84	NMI	入力	263
124	WDTOVF	出力	262
		出カイナーブル	261
125	PA0/TIOA	入力	260
		出力	259
		出カイナーブル	258
127	PA1/TIOB	入力	257
		出力	256
		出カイナーブル	255
129	PA2/TIO C	入力	254
		出力	253
		出カイナーブル	252
130	PA3/TIO D	入力	251
		出力	250
		出カイナーブル	249
131	PA4/TIO3A	入力	248
		出力	247
		出カイナーブル	246
132	PA5/TIO3B	入力	245
		出力	244
		出カイナーブル	243
133	PA6/TIO3C	入力	242
		出力	241
		出カイナーブル	240
134	PA7/TIO3D	入力	239
		出力	238
		出カイナーブル	237

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
135	PA8/TIO4A	入力	236
		出力	235
		出カイナーブル	234
136	PA9/TIO4B	入力	233
		出力	232
		出カイナーブル	231
137	PA10/TIO4C	入力	230
		出力	229
		出カイナーブル	228
138	PA11/TIO4D	入力	227
		出力	226
		出カイナーブル	225
140	PA12/TIO5A	入力	224
		出力	223
		出カイナーブル	222
142	PA13/TIO5B	入力	221
		出力	220
		出カイナーブル	219
143	PA14/TxD0	入力	218
		出力	217
		出カイナーブル	216
144	PA15/RxD0	入力	215
		出力	214
		出カイナーブル	213
145	PB0/TO6A	入力	212
		出力	211
		出カイナーブル	210
146	PB1/TO6B	入力	209
		出力	208
		出カイナーブル	207
147	PB2/TO6C	入力	206
		出力	205
		出カイナーブル	204
149	PB3/TO6D	入力	203
		出力	202
		出カイナーブル	201
151	PB4/TO7A/TO8A	入力	200
		出力	199
		出カイナーブル	198
152	PB5/TO7B/TO8B	入力	197
		出力	196
		出カイナーブル	195

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
153	PB6/TO7C/TO8C	入力	194
		出力	193
		出カイナーブル	192
154	PB7/TO7D/TO8D	入力	191
		出力	190
		出カイナーブル	189
155	PD8/TxD3/TO8E	入力	188
		出力	187
		出カイナーブル	186
156	PB9/RxD3/TO8F	入力	185
		出力	184
		出カイナーブル	183
157	PB10/TxD4/HTxD0/ TO8G	入力	182
		出力	181
		出カイナーブル	180
158	PB11/RxD4/HRxD0/ TO8H	入力	179
		出力	178
		出カイナーブル	177
159	PB12/TCLKA/ UBCTRG	入力	176
		出力	175
		出カイナーブル	174
160	PB13/SCK0	入力	173
		出力	172
		出カイナーブル	171
162	PB14/SCK1/TCLKB/ TI10	入力	170
		出力	169
		出カイナーブル	168
164	PB15/PULS5/SCK2	入力	167
		出力	166
		出カイナーブル	165
165	PC0/TxD1	入力	164
		出力	163
		出カイナーブル	162
166	PC1/RxD1	入力	161
		出力	160
		出カイナーブル	159
167	PC2/TxD2	入力	158
		出力	157
		出カイナーブル	156
168	PC3/RxD2	入力	155
		出力	154
		出カイナーブル	153

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
169	PC4/ $\overline{\text{IRQ0}}$	入力	152
		出力	151
		出カイナーブル	150
170	PG0/PULS7/HRxD0/ HRxD1	入力	149
		出力	148
		出カイナーブル	147
171	PG1/ $\overline{\text{IRQ1}}$	入力	146
		出力	145
		出カイナーブル	144
173	PG2/ $\overline{\text{IRQ2}}$ /ADEND	入力	143
		出力	142
		出カイナーブル	141
175	PG3/ $\overline{\text{IRQ3}}$ /ADTRG0	入力	140
		出力	139
		出カイナーブル	138
176	PJ0/TIO2A	入力	137
		出力	136
		出カイナーブル	135
177	PJ1/TIO2B	入力	134
		出力	133
		出カイナーブル	132
178	PJ2/TIO2C	入力	131
		出力	130
		出カイナーブル	129
179	PJ3/TIO2D	入力	128
		出力	127
		出カイナーブル	126
180	PJ4/TIO2E	入力	125
		出力	124
		出カイナーブル	123
181	PJ5/TIO2F	入力	122
		出力	121
		出カイナーブル	120
182	PJ6/TIO2G	入力	119
		出力	118
		出カイナーブル	117
183	PJ7/TIO2H	入力	116
		出力	115
		出カイナーブル	114
184	PJ8/TIO5C	入力	113
		出力	112
		出カイナーブル	111

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
186	PJ9/TIO5D	入力	110
		出力	109
		出カイナーブル	108
188	PJ10/TI9A	入力	107
		出力	106
		出カイナーブル	105
189	PJ11/TI9B	入力	104
		出力	103
		出カイナーブル	102
190	PJ12/TI9C	入力	101
		出力	100
		出カイナーブル	99
191	PJ13/TI9D	入力	98
		出力	97
		出カイナーブル	96
192	PJ14/TI9E	入力	95
		出力	94
		出カイナーブル	93
193	PJ15/TI9F	入力	92
		出力	91
		出カイナーブル	90
195	PK0/TO8A	入力	89
		出力	88
		出カイナーブル	87
197	PK1/TO8B	入力	86
		出力	85
		出カイナーブル	84
198	PK2/TO8C	入力	83
		出力	82
		出カイナーブル	81
199	PK3/TO8D	入力	80
		出力	79
		出カイナーブル	78
200	PK4/TO8E	入力	77
		出力	76
		出カイナーブル	75
201	PK5/TO8F	入力	74
		出力	73
		出カイナーブル	72
202	PK6/TO8G	入力	71
		出力	70
		出カイナーブル	69

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
204	PK7/TO8H	入力	68
		出力	67
		出カイナーブル	66
206	PK8/TO8I	入力	65
		出力	64
		出カイナーブル	63
207	PK9/TO8J	入力	62
		出力	61
		出カイナーブル	60
208	PK10/TO8K	入力	59
		出力	58
		出カイナーブル	57
209	PK11/TO8L	入力	56
		出力	55
		出カイナーブル	54
210	PK12/TO8M	入力	53
		出力	52
		出カイナーブル	51
211	PK13/TO8N	入力	50
		出力	49
		出カイナーブル	48
213	PK14/TO8O	入力	47
		出力	46
		出カイナーブル	45
215	PK15/TO8P	入力	44
		出力	43
		出カイナーブル	42
216	PL0/TI10	入力	41
		出力	40
		出カイナーブル	39
217	PL1/TIO11A/ $\overline{IRQ6}$	入力	38
		出力	37
		出カイナーブル	36
218	PL2/TIO11B/ $\overline{IRQ7}$	入力	35
		出力	34
		出カイナーブル	33
219	PL3/TCLKB	入力	32
		出力	31
		出カイナーブル	30
220	PL4/ADTRG0	入力	29
		出力	28
		出カイナーブル	27

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

端子 NO.	端子名	入出力	ビット NO.
221	PL5/ADTRG1	入力	26
		出力	25
		出力イネーブル	24
222	PL6/ADEND	入力	23
		出力	22
		出力イネーブル	21
223	PL7/SCK2	入力	20
		出力	19
		出力イネーブル	18
224	PL8/SCK3	入力	17
		出力	16
		出力イネーブル	15
226	PL9/SCL4/IRQ5	入力	14
		出力	13
		出力イネーブル	12
228	PL10/HTxD0/HTxD1/ HTxD0&HTxD1	入力	11
		出力	10
		出力イネーブル	9
229	PL11/HRxD0/HRxD1/ HRxD0&HRxD1	入力	8
		出力	7
		出力イネーブル	6
230	PL12/IRQ4	入力	5
		出力	4
		出力イネーブル	3
231	PL13/IRQOUT	入力	2
		出力	1
		出力イネーブル	0
to TDO			

19.3.6 IDコードレジスタ (SDIDR)

IDコードレジスタ (SDIDR) は、32 ビットのレジスタです。

IDCODE モード時、SDIDR は TDO から固定コードである H'001D200F を出力可能ですが、シリアルデータは TDI を通じて SDIDR に書き込むことはできません。

また、SDIDR は CPU による読み出し/書き込みは行えません。

31	28	27	12			11	1		0
0000	0000	0001	1101	0010	0000	0000	111	1	
Version (4 ビット)	Part Number (16 ビット)				Manufacture Identify (11 ビット)			固定コード (1 ビット)	

19.4 動作

19.4.1 TAP コントローラ

図 19.2 に TAP コントローラの内部状態を示します。IEEE1149.1 で規定されている状態遷移に準拠しています。

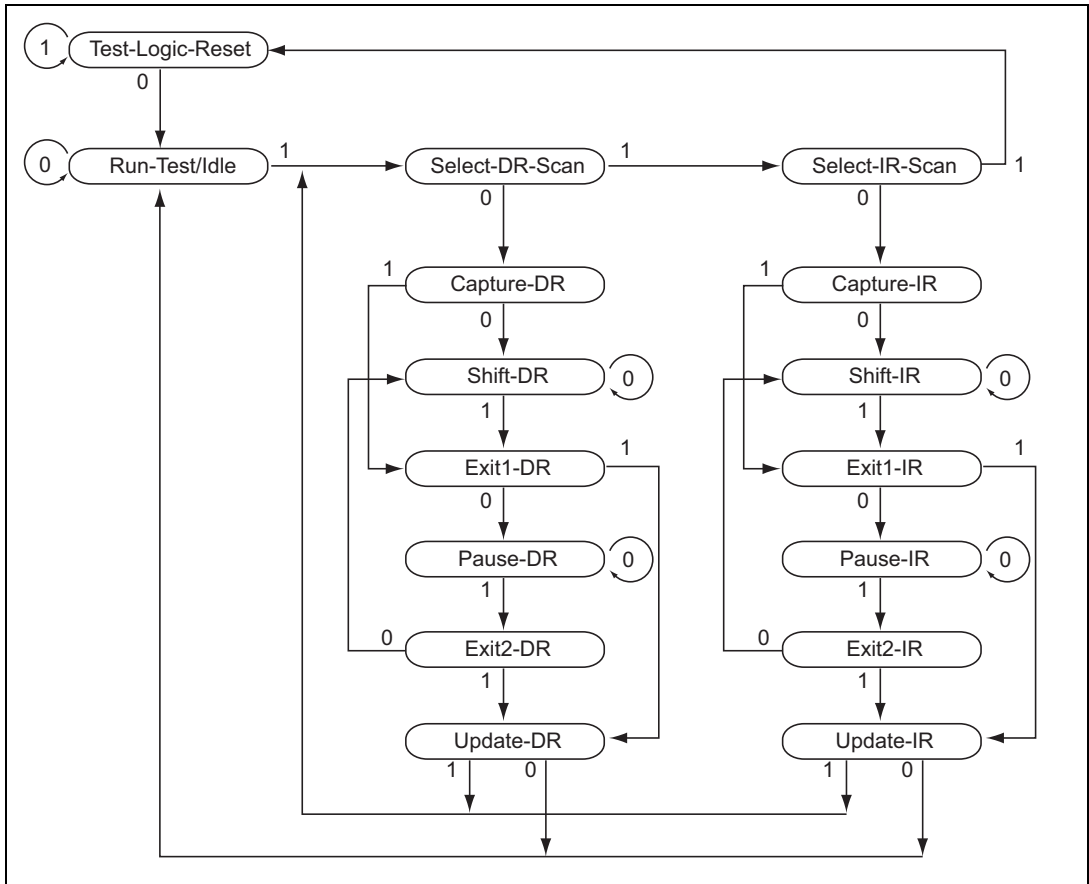


図 19.2 TAP コントローラ状態遷移図

19.4.2 H-UDI 割り込みとシリアル転送

SDIR へ H-UDI 割り込みのインストラクションが、TDI を経由して転送されると割り込みが発生します。H-UDI 割り込みのサービスルーチンにより、データ転送を制御することが可能です。転送は SDDR を介して、行うことができます。

外部と H-UDI の間のデータ入出力制御は、外部と内部で SDRS の SDTRF ビットを観測することで行います。内部での SDTRF ビットの観測は、CPU で SDRS を読み出して行うことになります。

19. ハイパフォーマンスユーザデバッグインタフェース (H-UDI)

H-UDI 割り込みおよびシリアル転送の手順は次のとおりです。

- (1) インストラクションがシリアル転送によりSDIRへ入力され、H-UDI割り込み要求が発生します。
- (2) H-UDI割り込み要求が発行された後、外部でSDSRのSDTRFビットを観測します。SDTRF=1がTDOから出力されたことを観測した後、SDDRにシリアルデータを転送します。
- (3) SDDRへのシリアル転送が完了すると、SDTRFビットが0にクリアされ、CPUによるSDDRへのアクセスが可能となります。SDDRへのアクセス終了後、SDSRのSDTRFビットを1に設定することで、SDDRのシリアル転送が可能となります。
- (4) 外部と内部で、常にSDSRのSDTRFビットを観測することにより、外部とH-UDIのシリアルデータ転送が可能となります。

図 19.3、図 19.4、図 19.5 に外部と H-UDI 間のデータ転送のタイミングを示します。

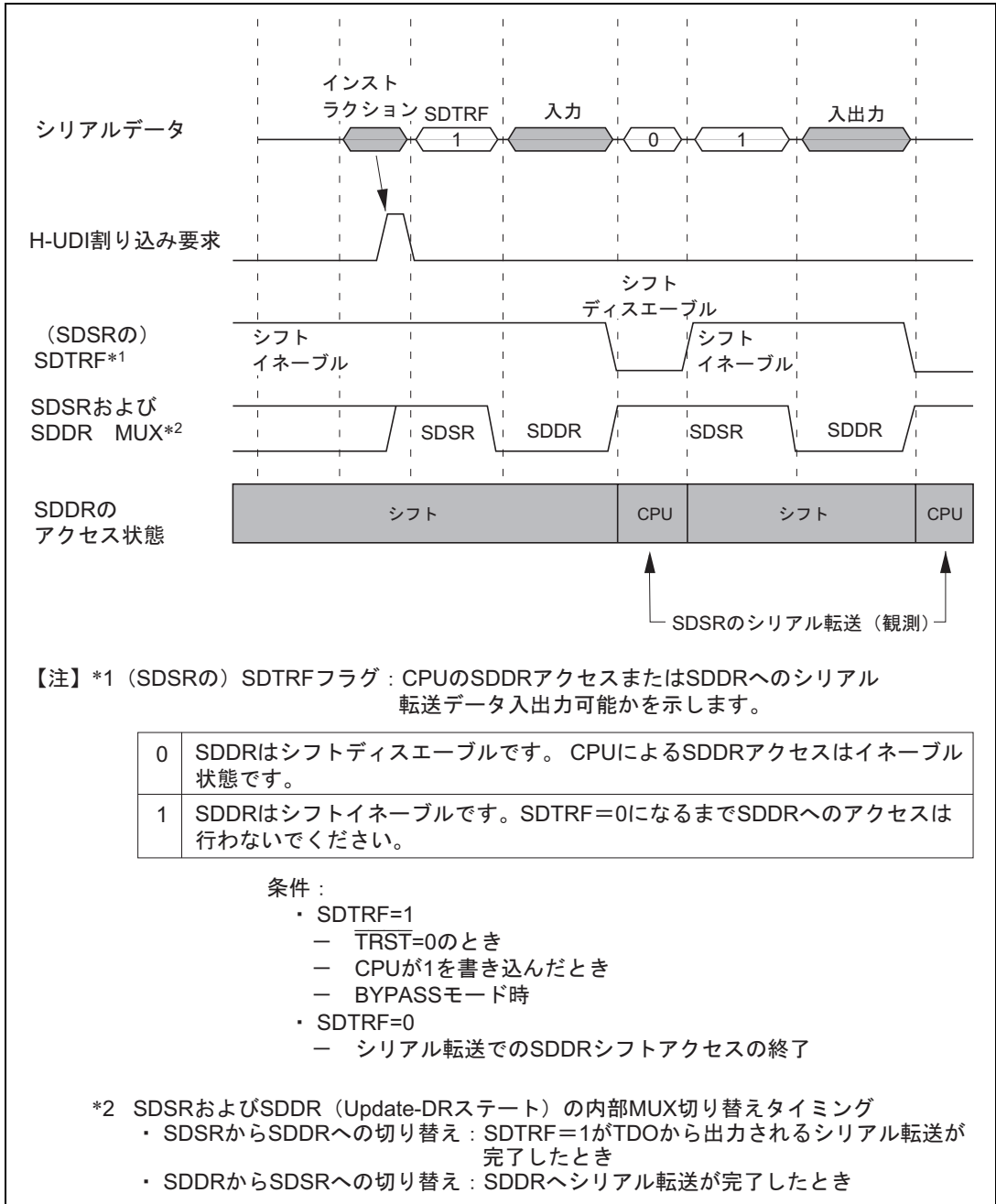


図 19.3 データ入出力タイミングチャート (1)

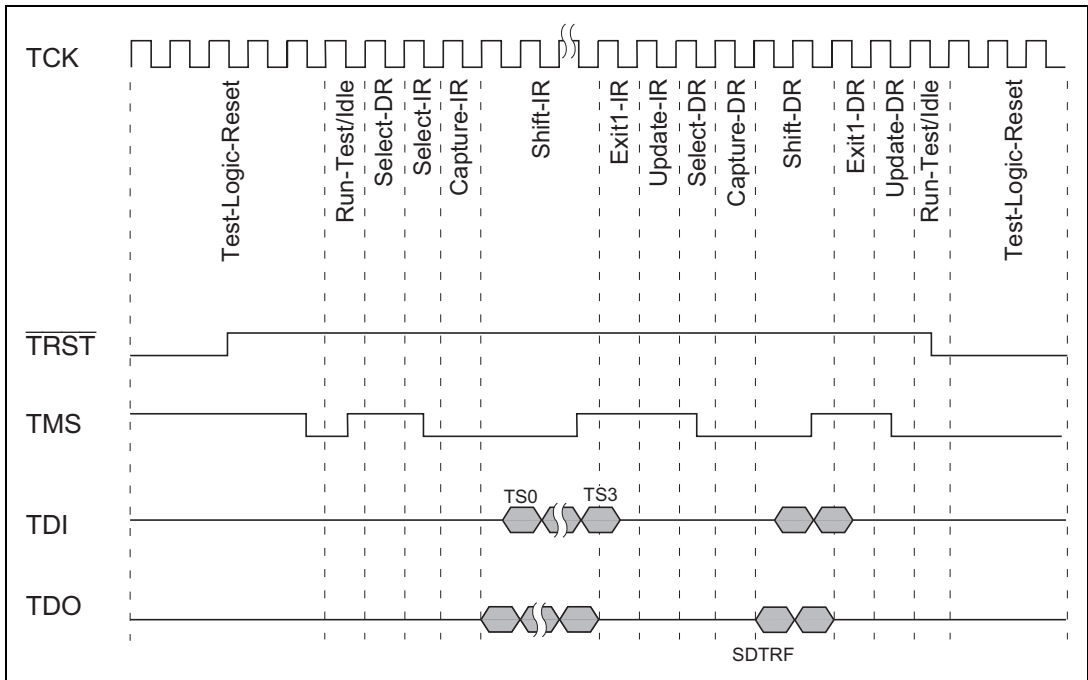


図 19.4 データ入出力タイミングチャート (2)

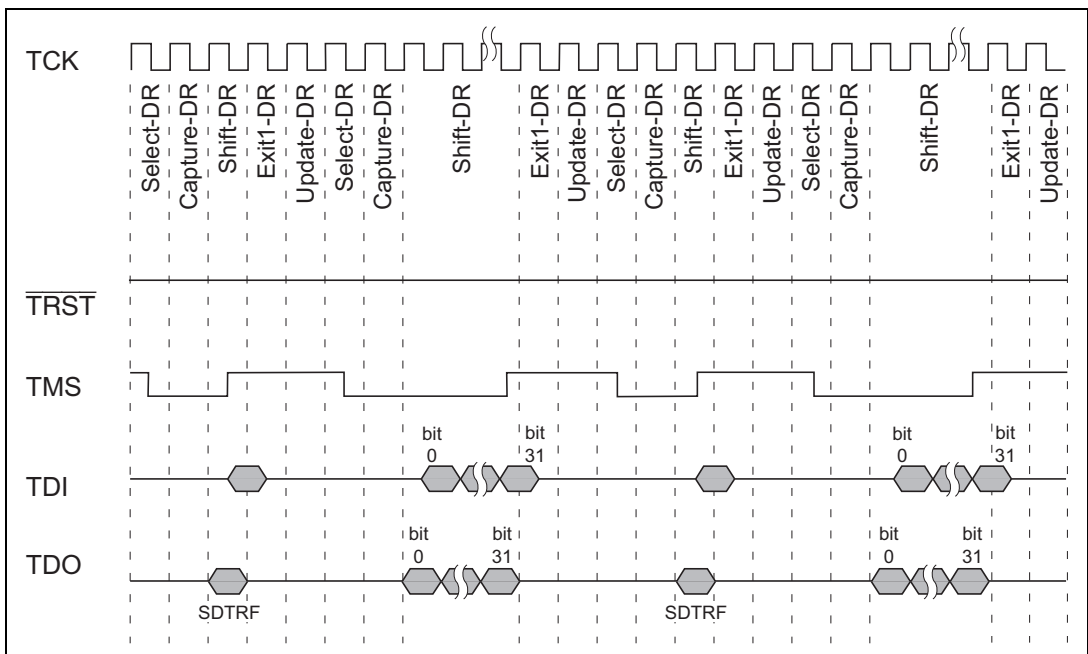


図 19.5 データ入出力タイミングチャート (3)

19.4.3 H-UDI のリセット

H-UDI は以下のときにリセットできます。

- $\overline{\text{TRST}}$ 信号を 0 に保持すると H-UDI がリセットされます。
- H-UDI は $\overline{\text{TRST}}=1$ のとき、 $\text{TMS}=1$ の状態で 5 クロック以上の TCK を入力することによってリセットできます。
- SYSCR2 レジスタの MSTOP2 を 1 にセットする。(25.2.3 参照)
- ハードウェアスタンバイ時

19.5 バウンダリスキャン

SDIR にコマンドを設定することにより、H-UDI 端子を IEEE1149.1 で規定されているバウンダリスキャンモードに設定できます。

19.5.1 サポートする命令

IEEE1149.1 で定義される 3 つの必須命令 (BYPASS、SAMPLE/PRELOAD、EXTEST)、およびオプション命令 (CLAMP、HIGHZ、IDCODE) をサポートします。

(1) BYPASS

BYPASS 命令は、バイパスレジスタを動作させる必須の標準命令です。この命令はシフトパスを短縮してプリント基板上の他の LSI のシリアルデータを転送高速化するためのものです。この命令の実行中、テスト回路はシステム回路に何も影響を与えません。命令コードは 1111 です。

(2) SAMPLE/PRELOAD

SAMPLE/PRELOAD 命令は本 LSI の内部回路からバウンダリスキャンレジスタに値を入力し、スキャンパスから出力したり、スキャンパスにデータをロードする命令です。本命令実行中本 LSI の入力ピンはそのまま内部回路に伝達され、内部回路の値はそのまま出力ピンから外部へ出力されます。本命令の実行により本 LSI のシステム回路は何の影響も受けません。命令コードは 0100 です。

SAMPLE 動作では、入力ピンから内部回路へ転送される値や内部回路から出力ピンへ転送される値のスナップショットをバウンダリスキャンレジスタに取り込み、スキャンパスから読み出します。スナップショットの取り込みは本 LSI の通常動作を妨げずに行われます。

PRELOAD 動作では、EXTEST 命令に先立ちスキャンパスからバウンダリスキャンレジスタのパラレル出力ラッチに初期値を設定します。PRELOAD 動作がないと、EXTEST 命令を実行するとき、最初のスキャンシーケンスが完了する (出力ラッチへの転送) までの間出力ピンから不定値が出力される (EXTEST 命令では出力ピンに常にパラレル出力ラッチを出力する) こととなります。

(3) EXTEST

本命令では、本 LSI をプリント基板に実装したとき、外部回路をテストするためのものです。本命令の実行時、出力ピンはバウンダリスキャンレジスタからテストデータ (SAMPLE/PRELOAD 命令ですでに設定されています) をプリント基板へ出力するために使用され、入力ピンはプリント基板からバウンダリスキャンレジスタにテスト結果を取り込むために使用されます。EXTEST 命令を N 回用いてテストを行うとき、N 回目のテストデータは (N-1) 回目のスキャンアウトのときにスキャンインされます。

本命令の Capture-DR 状態で出力ピンのバウンダリスキャンレジスタにロードされたデータは外部回路のテストには使用されません。(シフト動作で入れ替えます)。

命令コードは、0000 です

(4) CLAMP

CLAMP 命令が選択されると、出力ピンはあらかじめ SAMPLE/PRELOAD 命令によって設定されたバウンダリスキャンレジスタの値を出力します。CLAMP 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

命令コードは 0010 です。

(5) HIGHZ

HIGHZ 命令が選択されると、すべての出力ピンはハイインピーダンス状態となります。HIGHZ 命令が選択されている間、バウンダリスキャンレジスタの状態は TAP コントローラの状態に関係なく前の状態が保持されます。

TDI、TDO 間にはバイパスレジスタが接続され、BYPASS 命令が選択されたときと同様の動作をします。

命令コードは 0011 です。

(6) IDCODE

IDCODE 命令が選択されると、TAP コントローラの Shift-DR 状態時に ID コードレジスタの値を LSB より TDO から出力します。この命令の実行中テスト回路はシステム回路に何も影響を与えません。

TAP コントローラの Test-Logic-Reset 状態時、インストラクションレジスタは IDCODE 命令に初期化されます。

命令コードは 1110 です。

19.5.2 注意事項

- (1) クロック関連信号 (EXTAL、XTAL、CK、PLLCAP) はバウンダリスキャンの対象外です。
- (2) リセット関連信号 ($\overline{\text{RES}}$ 、 $\overline{\text{HSTBY}}$) はバウンダリスキャンの対象外です。
- (3) H-UDI関連信号 (TCK、TDI、TDO、TMS、 $\overline{\text{TRST}}$) はバウンダリスキャンの対象外です。
- (4) A/D変換器関連信号 (AN0~31) はバウンダリスキャンの対象外です。

19.6 使用上の注意事項

- (1) H-UDIを起動する／しないにかかわらず、必ず $\overline{\text{TRST}}$ 信号を0にしてリセットしてください。この際、 $\overline{\text{TRST}}$ はTCKに対して20クロック分、Lowレベルに保持してください。詳細は「第27章 電気的特性」を参照してください。
- (2) ソフトウェアスタンバイモードではレジスタは初期化されません。ソフトウェアスタンバイモード後にH-UDIを使用するときは、H-UDIのリセットを行ってから使用してください。
- (3) TCKの周波数は周辺モジュールクロック ($P\phi$) の周波数よりも低くなければなりません。詳細は「第27章 電気的特性」を参照してください。
- (4) シリアル転送時のデータ入出力はLSBから開始します。図19.6にシリアルデータ入出力を示します。
- (5) TDI、TDO間に接続されるレジスタのビット数を超えてシリアル転送した場合、レジスタのビット数を超えてTDOから出力されるシリアルデータは、TDIから入力されたデータとなります。
- (6) H-UDIシリアル転送シーケンスがくずれた場合、必ず $\overline{\text{TRST}}$ のリセットを行ってください。このとき、転送動作にかかわらず、再度転送し直してください。
- (7) TDOの出力タイミングは、IEEE1149.1で規定する6命令を選択したときはTCKの立ち下がりから、その他の命令を選択したときはTCKの立ち上がりからになります。

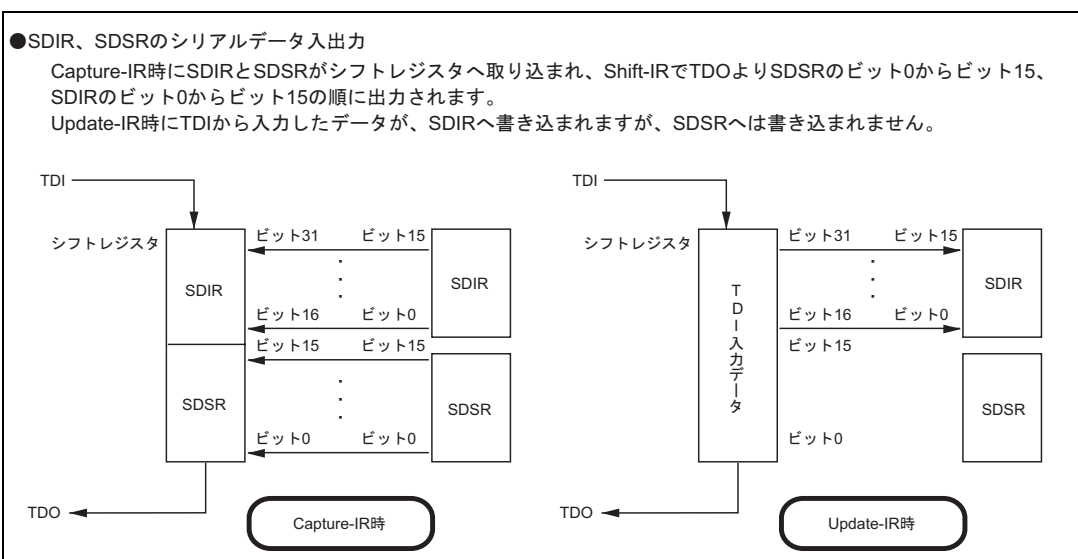
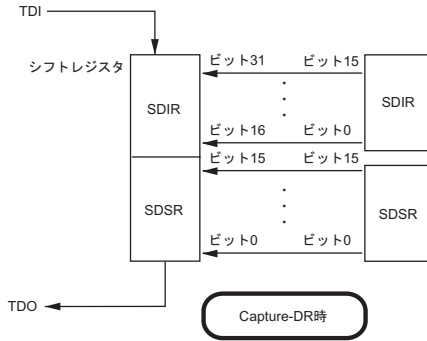


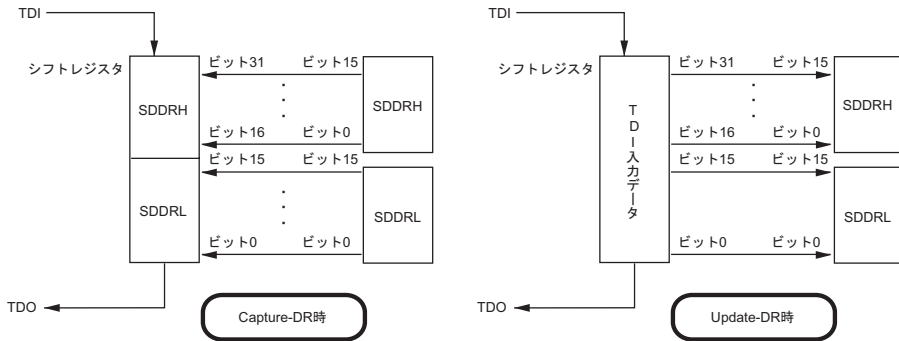
図 19.6 シリアルデータ入出力 (1)

●SDDRH、SDDRLのシリアルデータ入出力

- ① H-UDI割り込みモード時、H-UDI割り込みが発生し、TDOからSDTRF=1が読み出されるまでは、Capture-DRでSDSRとSDIRがシフトレジスタへ取り込まれ、Shift-DRでTDOよりSDSRのビット0からビット15、SDIRのビット0からビット15の順に出力されます。
Update-DR時、TDI入力データは、どのレジスタへも書き込まれません。



- ② H-UDI割り込みモード時、H-UDI割り込みが発生し、TDOからSDTRF=1が読み出された後、Capture-DRでSDDRHとSDDRLがシフトレジスタへ取り込まれ、Shift-DRでTDOよりSDDRLのビット0からビット15、SDDRHのビット0からビット15の順に出力されます。
TDIより出力されたデータは、Update-DRでSDDRHとSDDRLへ書き込まれます。



●SDIDRのシリアルデータ入出力

- IDCODEモード時、Capture-DR時にSDIDRがシフトレジスタへ取り込まれ、Shift-DRでTDOよりSDIDRのビット0からビット31の順に出力されます。
Update-DR時、TDIから入力したデータは、どのレジスタへも書き込まれません。

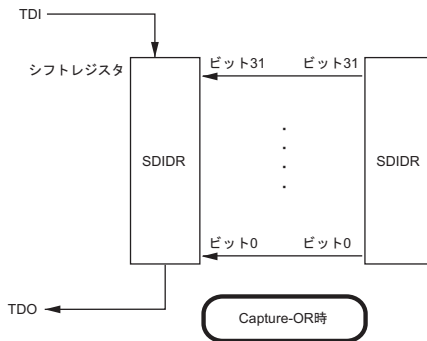


図 19.6 シリアルデータ入出力 (2)

20. アドバンストユーザデバッグ (AUD)

20.1 概要

本 LSI は、アドバンストユーザデバッグ (AUD) を搭載しています。AUD を用いてブランチトレースデータ取得や内蔵 RAM データのモニタリング/チューニング等簡易エミュレータを構築することが可能です。

20.1.1 特長

AUD には次のような特長があります。

- 8本の入出力端子
データバス (AUDATA3~0)
AUDリセット (AUDRST)
AUD同期信号 (AUDSYNC)
AUDクロック (AUDCK)
AUDモード (AUDMD)
 - 2つのモード
AUDMDを切り替えることで次の2つのモードが使用できます。
 - ブランチトレースモード
 - RAM モニタモード
- (1) ブランチトレースモード
ユーザプログラムにおいてブランチ命令実行や割り込み発生によりPCが分岐すると、AUD はこれを検出し、AUDATAから分岐先アドレスを出力します。アドレスは前回出力したアドレスと比較され、上位アドレスの一致具合により、4/8/16/32ビット出力が自動的に選択されます。
 - (2) RAMモニタモード
外部からAUDATAにアドレスを書き込むと、そのアドレスに対応したデータを出力します。また、AUDATAにアドレスとデータを書き込むと、そのアドレスにデータが転送されます。

20. アドバンスユーザデバッガ (AUD)

20.1.2 ブロック図

図 20.1 に AUD のブロック図を示します。

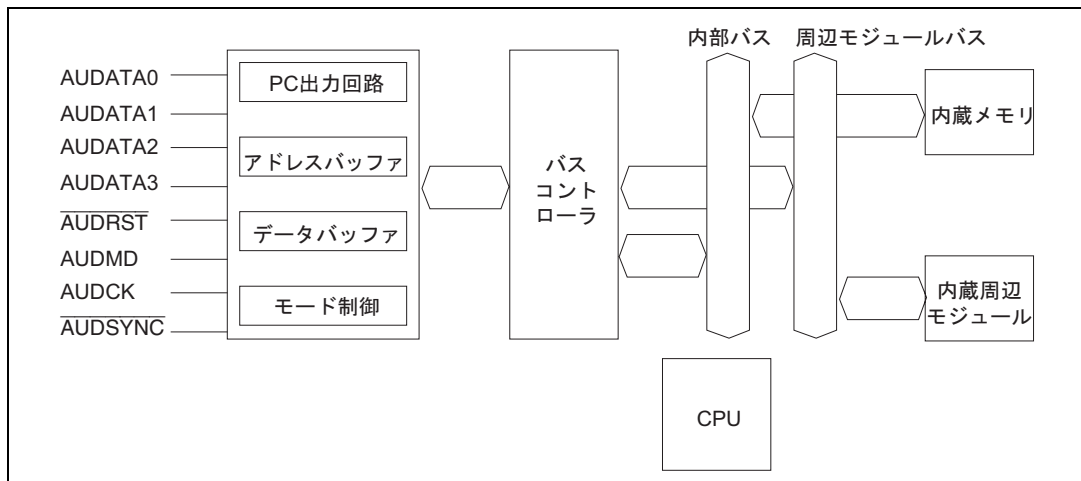


図 20.1 AUD ブロック図

20.2 端子構成

AUD は、表 20.1 に示す入出力端子を持っています。

表 20.1 端子構成

名称	略称	機能	
		ブランチトレースモード	RAM モニタモード
AUD データ	AUDATA3~0	分岐先アドレス出力	モニタアドレス/データ入出力
AUD リセット	AUDRST	AUD リセット入力	AUD リセット入力
AUD モード	AUDMD	モード選択入力 (L)	モード選択入力 (H)
AUD クロック	AUDCK	同期クロック (Pφ) 出力	同期クロック入力
AUD 同期信号	AUDSYNC	データ先頭位置認識信号出力	データ先頭位置認識信号入力

20.2.1 端子説明

(1) 共通に使用する端子

端子	説明
AUDMD	本端子への入力レベルを切り替えることにより、モードを選択します。 L: ブランチトレースモード H: RAM モニタモード 本端子の入力切り替えは $\overline{\text{AUDRST}}$ が L の状態で実施してください。また、何も接続されないときは内部でプルアップします。
AUDRST	本端子に L を入力することで AUD 内のバッファ、ロジックの初期化を行います。 L 入力時は AUD がリセット状態となり、AUD 内のバッファおよびロジックはリセットされます。AUDMD のレベル確定後 H に戻すと選択されたモードで動作します。また、何も接続しないとき内部でプルダウンします。

(2) ブランチトレースモードでの端子説明

端子	説明										
AUDCK	本端子は周辺モジュール動作周波数 $P\phi$ を出力します。 AUDATA の同期をとるためのクロックです。										
AUDSYNC	本端子は AUDATA からの出力が有効かそうでないかを示します。 H: 有効なデータを出していないとき L: アドレスを出しているとき										
AUDATA3~ AUDATA0	<p>(1) $\overline{\text{AUDSYNC}}=\text{L}$ のとき 内部でプログラムの分岐または割り込み分岐が発生すると AUD は $\overline{\text{AUDSYNC}}$ をアサートし分岐先アドレスを出力します。出力は A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の順です。</p> <p>(2) $\overline{\text{AUDSYNC}}=\text{H}$ のとき 分岐先アドレス出力待ち状態時は常に 0011 を出力します。 分岐発生時は AUDATA3、2=10 を出力し、前回フル出力したアドレスと今回出力するアドレスとの比較により、4/8/16/32 ビットのどれだけのアドレスを出力するかを示します (下表参照)。</p> <table border="1" style="margin-left: 40px;"> <thead> <tr> <th colspan="2">AUDATA1、0</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>アドレスの A31~A4 までが一致したことを示し、以下 A3~0 の 4 ビットのアドレスを出力することを示します。つまり出力回数は 1 回です。</td> </tr> <tr> <td>01</td> <td>アドレスの A31~A8 までが一致したことを示し、以下 A3~0、A7~4 の 8 ビットのアドレスを出力することを示します。つまり出力回数は 2 回です。</td> </tr> <tr> <td>10</td> <td>アドレスの A31~A16 までが一致したことを示し、以下 A3~0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。つまり出力回数は 4 回です。</td> </tr> <tr> <td>11</td> <td>上記のいずれにも該当しなかったを示し、以下 A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。つまり出力回数は 8 回です。</td> </tr> </tbody> </table>	AUDATA1、0		00	アドレスの A31~A4 までが一致したことを示し、以下 A3~0 の 4 ビットのアドレスを出力することを示します。つまり出力回数は 1 回です。	01	アドレスの A31~A8 までが一致したことを示し、以下 A3~0、A7~4 の 8 ビットのアドレスを出力することを示します。つまり出力回数は 2 回です。	10	アドレスの A31~A16 までが一致したことを示し、以下 A3~0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。つまり出力回数は 4 回です。	11	上記のいずれにも該当しなかったを示し、以下 A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。つまり出力回数は 8 回です。
AUDATA1、0											
00	アドレスの A31~A4 までが一致したことを示し、以下 A3~0 の 4 ビットのアドレスを出力することを示します。つまり出力回数は 1 回です。										
01	アドレスの A31~A8 までが一致したことを示し、以下 A3~0、A7~4 の 8 ビットのアドレスを出力することを示します。つまり出力回数は 2 回です。										
10	アドレスの A31~A16 までが一致したことを示し、以下 A3~0、A7~4、A11~8、A15~12 の 16 ビットのアドレスを出力することを示します。つまり出力回数は 4 回です。										
11	上記のいずれにも該当しなかったを示し、以下 A3~0、A7~4、A11~8、A15~12、A19~16、A23~20、A27~24、A31~28 の 32 ビットのアドレスを出力することを示します。つまり出力回数は 8 回です。										

(3) RAM モニタモードでの端子説明

端子	説明
AUDCK	本端子は外部クロック入力です。デバッグに使用するクロックを入力してください。入力できる周波数は動作周波数の 1/4 以下、かつ 10MHz 以下です。また、何も接続されないときは内部でプルアップします。
AUDSYNC	本端子は外部から AUDATA にコマンドが入力されて、必要なデータが準備できるまでアサートしないでください。詳しくは後述のプロトコルを参照してください。また、何も接続されないときは内部でプルアップします。
AUDATA3~ AUDATA0	外部からコマンドを入力すると Ready 送信後データを出力します。出力は $\overline{\text{AUDSYNC}}$ がネゲートされてから開始します。詳しくは後述のプロトコルを参照してください。また、なにも接続されないときは内部でプルアップします。

20.3 ブランチトレースモード

20.3.1 概要

本モードは、ユーザプログラムにおいて分岐が発生したときに、分岐先アドレスを出力する機能です。分岐には分岐命令実行と割り込み／例外処理による分岐がありますが、本機能はこれらを区別しません。

20.3.2 動作説明

$\overline{\text{AUDRST}}$ をアサートして AUDMD を L に設定してから $\overline{\text{AUDRST}}$ をネゲートするとブランチトレースモードで動作を開始します。

図 20.2 にデータ出力例を示します。

ユーザプログラムが分岐なしで実行されている場合、 AUDATA は AUDCK に同期して常に 0011 を出力します。

分岐が発生した場合には、PC が分岐先アドレスから実行開始後、前回フル出力（途中で後に発生した分岐によって出力の中断がなかった場合の出力）したアドレスと今回の分岐アドレスの比較によって、 AUDATA から 1000（4 ビット出力時） or 1001（8 ビット出力時） or 1010（16 ビット出力時） or 1011（32 ビット出力時）を 1 クロック分出力してから $\overline{\text{AUDSYNC}}$ をアサートして分岐先アドレスを出力します。なお、比較アドレスの初期値は H'00000000 です。

アドレスを出力するサイクルが終了すると、 $\overline{\text{AUDSYNC}}$ をネゲートし、同時に AUDATA から 0011 を出力します。

分岐先アドレス出力中に次の分岐が発生した場合には、後に発生した分岐を優先して出力します。このとき $\overline{\text{AUDSYNC}}$ をネゲートし AUDATA は再度 10xx を出力してからアドレスを出力します（図 20.3 分岐が連続した場合の出力例）。比較されるアドレスは前回フル出力されたアドレスであり、中断されたアドレスではないので注意してください。これは、中断されたアドレスでは上位アドレスを知ることができないためです。

なお、PC が分岐先アドレスの実行開始の AUDATA が 10xx を出力するまでの期間は AUDCK 基準で 1.5 or 2cyc です。

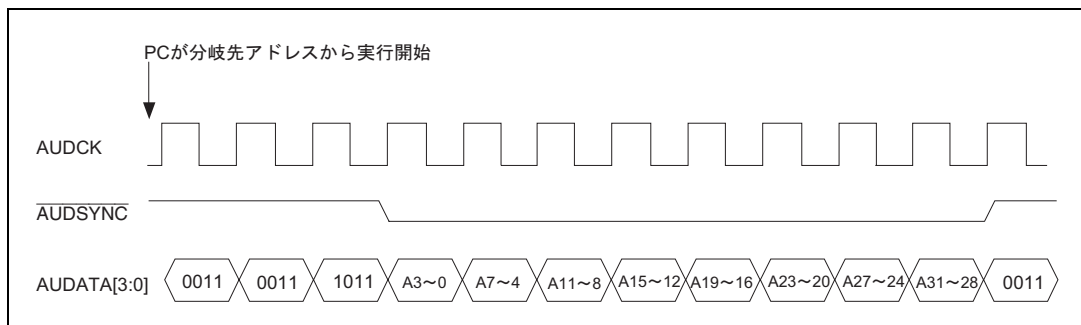


図 20.2 データ出力例（32 ビット出力）

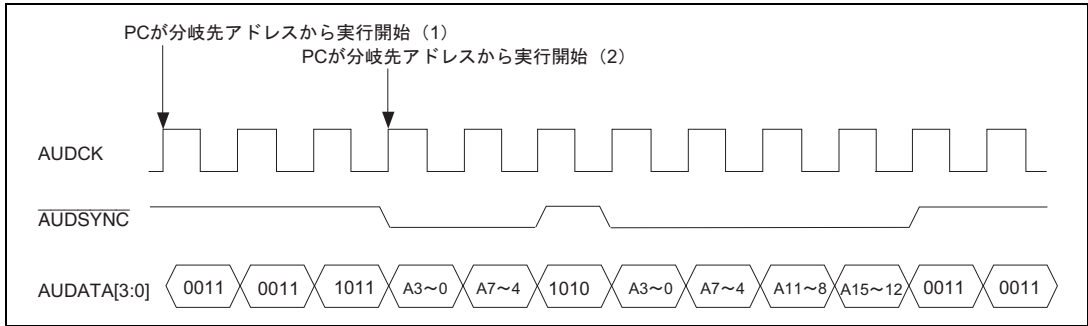


図 20.3 分岐が連続した場合の出力例

20.4 RAM モニタモード

20.4.1 概要

本モードは、SH7058 内部／外部バスに接続されているすべてのモジュールを読み出し／書き込みする機能です。本機能により RAM モニタ／チューニングができます。

20.4.2 通信プロトコル

AUD は $\overline{\text{AUDSYNC}}$ がアサートされると AUDATA を取り込みます。AUDATA は以下のフォーマットで入力してください。

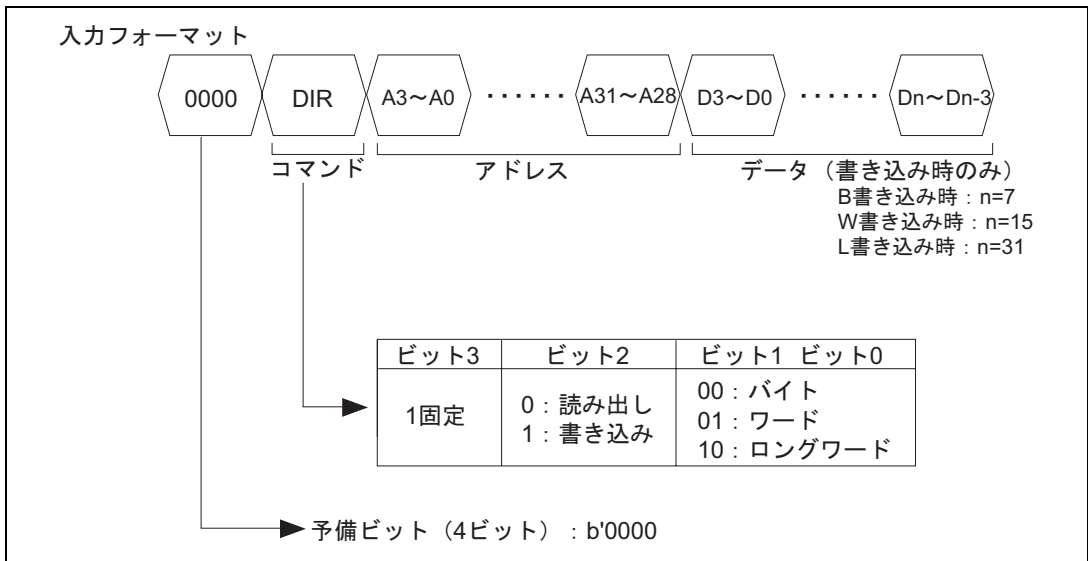


図 20.4 AUDATA 入力フォーマット

20.4.3 動作説明

$\overline{\text{AUDRST}}$ をアサートした状態で AUDMD を H にして $\overline{\text{AUDRST}}$ をネゲートすると、RAM モニタモードで動作を開始します。

図 20.5 にリード動作の例を、図 20.6 にライト動作の例を示します。

$\overline{\text{AUDSYNC}}$ がアサートされると、AUDATA から入力を開始します。図 20.4 に示すフォーマットでコマンド、アドレス、データ (書き込み時のみ) が入力されると、指定されたアドレスの読み出し／

20. アドバンスユーザデバッガ (AUD)

書き込みを実行を開始します。内部実行中は AUD は Not Ready (0000) を返します。実行が完了すると、Ready フラグ (0001) を返します (図 20.5、図 20.6)。表 20.2 に Ready フラグのフォーマットを示します。

読み出し時は、このフラグの検出後、 $\overline{\text{AUDSYNC}}$ をネゲートすると指定されたサイズのデータを出力します (図 20.5)。

DIR に上記以外のコマンドが入力された場合、AUD はコマンドエラーとして処理を無効にし、Ready フラグ内のビット 1 を 1 にセットします。また、DIR 内で指定されたコマンドによる読み出し/書き込み動作がバリエーションを起こすとき、処理を無効にし Ready フラグ内ビット 2 を 1 にセットします (図 20.7)。

以下にバリエーション条件を示します。

- (1) $4n+1$ 、 $4n+3$ 番地にワードアクセス
- (2) $4n+1$ 、 $4n+2$ 、 $4n+3$ 番地にロングワードアクセス
- (3) 内蔵I/O 8bit空間をロングワードでアクセス
- (4) シングルチップモード時に外部空間をアクセス

表 20.2 Ready フラグフォーマット

ビット 3	ビット 2	ビット 1	ビット 0
0 固定	0 : 正常状態	0 : 正常状態	0 : not Ready
	1 : バリエーション発生	1 : コマンドエラー発生	1 : Ready

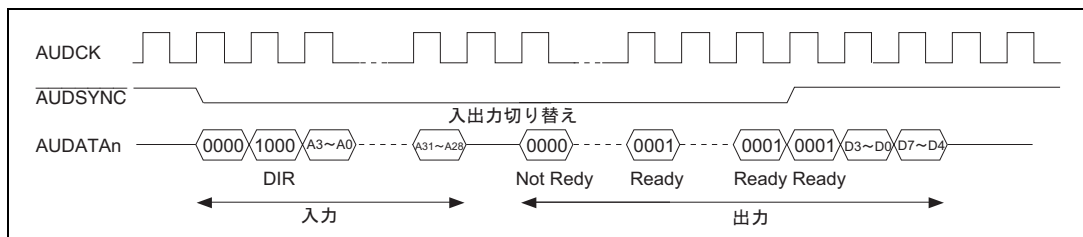


図 20.5 リード動作例 (バイトリード)

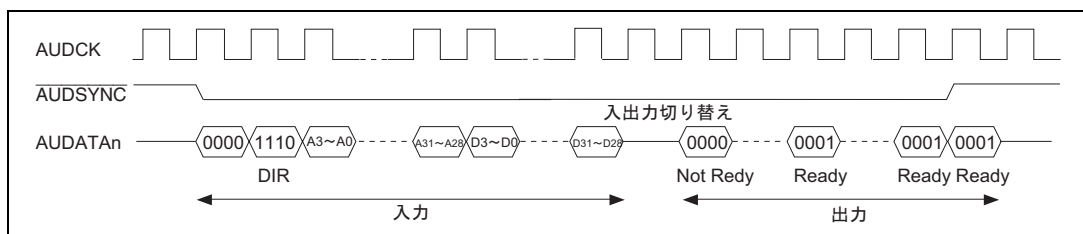


図 20.6 ライト動作例 (ロングワードライト)

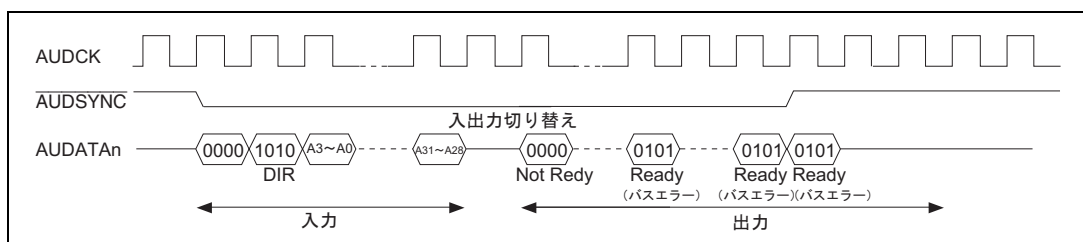


図 20.7 エラー発生例 (ロングワードリード)

20.5 使用上の注意事項

20.5.1 初期化

本デバッグに内蔵しているバッファおよび処理状態は、以下の条件に入ると初期化されます。

- (1) パワーオンリセット
- (2) ハードウェアスタンバイ
- (3) $\overline{\text{AUDRST}}$ 端子にLレベル印加
- (4) SYSCR1レジスタのAUDSRSTビットに1をセットしたとき (25.2.2参照)
- (5) SYSCR2レジスタのMSTOP3ビットに1をセットしたとき (25.2.3参照)

20.5.2 ソフトウェアスタンバイ時の動作

本デバッグはソフトウェアスタンバイでは初期化されません。ただし、ソフトウェアスタンバイ時はLSIの内部は止まっているので、

- (1) AUDMD=H (RAMモニタ) 時: 停止。スタンバイ中は使用しないでください。
- (2) AUDMD=L (PCトレース) 時: 停止。ただし、ソフトウェアスタンバイ解除で動作継続。

21. ピンファンクションコントローラ (PFC)

21.1 概要

ピンファンクションコントローラ (PFC) は、マルチプレクス端子の機能とその入出力の方向を選ぶためのレジスタで構成されています。表 21.1 に本 LSI のマルチプレクス端子を示します。

表 21.1 マルチプレクス端子

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
A	PA0 入出力 (ポート)	TIOA 入力 (ATU-II)		
A	PA1 入出力 (ポート)	TIOB 入力 (ATU-II)		
A	PA2 入出力 (ポート)	TIOC 入力 (ATU-II)		
A	PA3 入出力 (ポート)	TIOD 入力 (ATU-II)		
A	PA4 入出力 (ポート)	TIO3A 入出力 (ATU-II)		
A	PA5 入出力 (ポート)	TIO3B 入出力 (ATU-II)		
A	PA6 入出力 (ポート)	TIO3C 入出力 (ATU-II)		
A	PA7 入出力 (ポート)	TIO3D 入出力 (ATU-II)		
A	PA8 入出力 (ポート)	TIO4A 入出力 (ATU-II)		ADTO0A 出力 (MTAD)
A	PA9 入出力 (ポート)	TIO4B 入出力 (ATU-II)		ADTO0B 出力 (MTAD)
A	PA10 入出力 (ポート)	TIO4C 入出力 (ATU-II)		ADTO1A 出力 (MTAD)
A	PA11 入出力 (ポート)	TIO4D 入出力 (ATU-II)		ADTO1B 出力 (MTAD)
A	PA12 入出力 (ポート)	TIO5A 入出力 (ATU-II)		
A	PA13 入出力 (ポート)	TIO5B 入出力 (ATU-II)		
A	PA14 入出力 (ポート)	TxD0 出力 (SCI)		
A	PA15 入出力 (ポート)	RxD0 入力 (SCI)		
B	PB0 入出力 (ポート)	TO6A 出力 (ATU-II)		
B	PB1 入出力 (ポート)	TO6B 出力 (ATU-II)		
B	PB2 入出力 (ポート)	TO6C 出力 (ATU-II)		
B	PB3 入出力 (ポート)	TO6D 出力 (ATU-II)		
B	PB4 入出力 (ポート)	TO7A 出力 (ATU-II)	TO8A 出力 (ATU-II)	
B	PB5 入出力 (ポート)	TO7B 出力 (ATU-II)	TO8B 出力 (ATU-II)	
B	PB6 入出力 (ポート)	TO7C 出力 (ATU-II)	TO8C 出力 (ATU-II)	
B	PB7 入出力 (ポート)	TO7D 出力 (ATU-II)	TO8D 出力 (ATU-II)	
B	PB8 入出力 (ポート)	TxD3 出力 (SCI)	TO8E 出力 (ATU-II)	
B	PB9 入出力 (ポート)	RxD3 入力 (SCI)	TO8F 出力 (ATU-II)	
B	PB10 入出力 (ポート)	TxD4 出力 (SCI)	HTxD0 出力 (HCAN-II)	TO8G 出力 (ATU-II)
B	PB11 入出力 (ポート)	RxD4 入力 (SCI)	HRxD0 入力 (HCAN-II)	TO8H 出力 (ATU-II)
B	PB12 入出力 (ポート)	TCLKA 入力 (ATU-II)	UBCTR \bar{G} 出力 (UBC)	
B	PB13 入出力 (ポート)	SCK0 入出力 (SCI)		
B	PB14 入出力 (ポート)	SCK1 入出力 (SCI)	TCLKB 入力 (ATU-II)	TI10 入力 (ATU-II)
B	PB15 入出力 (ポート)	PULS5 出力 (APC)	SCK2 入出力 (SCI)	

21. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
C	PC0 入出力 (ポート)	TxD1 出力 (SCI)		
C	PC1 入出力 (ポート)	RxD1 入力 (SCI)		
C	PC2 入出力 (ポート)	TxD2 出力 (SCI)		
C	PC3 入出力 (ポート)	RxD2 入力 (SCI)		
C	PC4 入出力 (ポート)	$\overline{\text{IRQ0}}$ 入力 (INTC)		
D	PD0 入出力 (ポート)	TIO1A 入出力 (ATU-II)		
D	PD1 入出力 (ポート)	TIO1B 入出力 (ATU-II)		
D	PD2 入出力 (ポート)	TIO1C 入出力 (ATU-II)		
D	PD3 入出力 (ポート)	TIO1D 入出力 (ATU-II)		
D	PD4 入出力 (ポート)	TIO1E 入出力 (ATU-II)		
D	PD5 入出力 (ポート)	TIO1F 入出力 (ATU-II)		
D	PD6 入出力 (ポート)	TIO1G 入出力 (ATU-II)		
D	PD7 入出力 (ポート)	TIO1H 入出力 (ATU-II)		
D	PD8 入出力 (ポート)	PULS0 出力 (APC)		
D	PD9 入出力 (ポート)	PULS1 出力 (APC)		
D	PD10 入出力 (ポート)	PULS2 出力 (APC)		
D	PD11 入出力 (ポート)	PULS3 出力 (APC)		
D	PD12 入出力 (ポート)	PULS4 出力 (APC)		
D	PD13 入出力 (ポート)	PULS6 出力 (APC)	HTxD0 出力 (HCAN-II)	HTxD1 出力 (HCAN-II)
E	PE0 入出力 (ポート)	A0 出力 (BSC)		
E	PE1 入出力 (ポート)	A1 出力 (BSC)		
E	PE2 入出力 (ポート)	A2 出力 (BSC)		
E	PE3 入出力 (ポート)	A3 出力 (BSC)		
E	PE4 入出力 (ポート)	A4 出力 (BSC)		
E	PE5 入出力 (ポート)	A5 出力 (BSC)		
E	PE6 入出力 (ポート)	A6 出力 (BSC)		
E	PE7 入出力 (ポート)	A7 出力 (BSC)		
E	PE8 入出力 (ポート)	A8 出力 (BSC)		
E	PE9 入出力 (ポート)	A9 出力 (BSC)		
E	PE10 入出力 (ポート)	A10 出力 (BSC)		
E	PE11 入出力 (ポート)	A11 出力 (BSC)		
E	PE12 入出力 (ポート)	A12 出力 (BSC)		
E	PE13 入出力 (ポート)	A13 出力 (BSC)		
E	PE14 入出力 (ポート)	A14 出力 (BSC)		
E	PE15 入出力 (ポート)	A15 出力 (BSC)		
F	PF0 入出力 (ポート)	A16 出力 (BSC)		
F	PF1 入出力 (ポート)	A17 出力 (BSC)		
F	PF2 入出力 (ポート)	A18 出力 (BSC)		
F	PF3 入出力 (ポート)	A19 出力 (BSC)		
F	PF4 入出力 (ポート)	A20 出力 (BSC)		
F	PF5 入出力 (ポート)	A21 出力 (BSC)	$\overline{\text{POD}}$ 入力 (ポート)	
F	PF6 入出力 (ポート)	WRL 出力 (BSC)		
F	PF7 入出力 (ポート)	WRH 出力 (BSC)		

21. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
F	PF8 入出力 (ポート)	WAIT 入力 (BSC)		
F	PF9 入出力 (ポート)	RD 出力 (BSC)		
F	PF10 入出力 (ポート)	CS0 出力 (BSC)		
F	PF11 入出力 (ポート)	CS1 出力 (BSC)		
F	PF12 入出力 (ポート)	CS2 出力 (BSC)		
F	PF13 入出力 (ポート)	CS3 出力 (BSC)		
F	PF14 入出力 (ポート)	BACK 出力 (BSC)		
F	PF15 入出力 (ポート)	BREQ 入力 (BSC)		
G	PG0 入出力 (ポート)	PULS7 出力 (APC)	HRxD0 入力 (HCAN-II)	HRxD1 入力 (HCAN-II)
G	PG1 入出力 (ポート)	IRQ1 入力 (INTC)		
G	PG2 入出力 (ポート)	IRQ2 入力 (INTC)	ADEND 出力 (A/D)	
G	PG3 入出力 (ポート)	IRQ3 入力 (INTC)	ADTRG0 入力 (A/D)	
H	PH0 入出力 (ポート)	D0 入出力 (BSC)		
H	PH1 入出力 (ポート)	D1 入出力 (BSC)		
H	PH2 入出力 (ポート)	D2 入出力 (BSC)		
H	PH3 入出力 (ポート)	D3 入出力 (BSC)		
H	PH4 入出力 (ポート)	D4 入出力 (BSC)		
H	PH5 入出力 (ポート)	D5 入出力 (BSC)		
H	PH6 入出力 (ポート)	D6 入出力 (BSC)		
H	PH7 入出力 (ポート)	D7 入出力 (BSC)		
H	PH8 入出力 (ポート)	D8 入出力 (BSC)		
H	PH9 入出力 (ポート)	D9 入出力 (BSC)		
H	PH10 入出力 (ポート)	D10 入出力 (BSC)		
H	PH11 入出力 (ポート)	D11 入出力 (BSC)		
H	PH12 入出力 (ポート)	D12 入出力 (BSC)		
H	PH13 入出力 (ポート)	D13 入出力 (BSC)		
H	PH14 入出力 (ポート)	D14 入出力 (BSC)		
H	PH15 入出力 (ポート)	D15 入出力 (BSC)		
J	PJ0 入出力 (ポート)	TIO2A 入出力 (ATU-II)		
J	PJ1 入出力 (ポート)	TIO2B 入出力 (ATU-II)		
J	PJ2 入出力 (ポート)	TIO2C 入出力 (ATU-II)		
J	PJ3 入出力 (ポート)	TIO2D 入出力 (ATU-II)		
J	PJ4 入出力 (ポート)	TIO2E 入出力 (ATU-II)		
J	PJ5 入出力 (ポート)	TIO2F 入出力 (ATU-II)		
J	PJ6 入出力 (ポート)	TIO2G 入出力 (ATU-II)		
J	PJ7 入出力 (ポート)	TIO2H 入出力 (ATU-II)		
J	PJ8 入出力 (ポート)	TIO5C 入出力 (ATU-II)		
J	PJ9 入出力 (ポート)	TIO5D 入出力 (ATU-II)		
J	PJ10 入出力 (ポート)	TI9A 入力 (ATU-II)		
J	PJ11 入出力 (ポート)	TI9B 入力 (ATU-II)		
J	PJ12 入出力 (ポート)	TI9C 入力 (ATU-II)		
J	PJ13 入出力 (ポート)	TI9D 入力 (ATU-II)		
J	PJ14 入出力 (ポート)	TI9E 入力 (ATU-II)		

21. ピンファンクションコントローラ (PFC)

256 ピン				
ポート	機能 1 (関連モジュール)	機能 2 (関連モジュール)	機能 3 (関連モジュール)	機能 4 (関連モジュール)
J	PJ15 入出力 (ポート)	TI9F 入力 (ATU-II)		
K	PK0 入出力 (ポート)	TO8A 出力 (ATU-II)		
K	PK1 入出力 (ポート)	TO8B 出力 (ATU-II)		
K	PK2 入出力 (ポート)	TO8C 出力 (ATU-II)		
K	PK3 入出力 (ポート)	TO8D 出力 (ATU-II)		
K	PK4 入出力 (ポート)	TO8E 出力 (ATU-II)		
K	PK5 入出力 (ポート)	TO8F 出力 (ATU-II)		
K	PK6 入出力 (ポート)	TO8G 出力 (ATU-II)		
K	PK7 入出力 (ポート)	TO8H 出力 (ATU-II)		
K	PK8 入出力 (ポート)	TO8I 出力 (ATU-II)		
K	PK9 入出力 (ポート)	TO8J 出力 (ATU-II)		
K	PK10 入出力 (ポート)	TO8K 出力 (ATU-II)		
K	PK11 入出力 (ポート)	TO8L 出力 (ATU-II)		
K	PK12 入出力 (ポート)	TO8M 出力 (ATU-II)		
K	PK13 入出力 (ポート)	TO8N 出力 (ATU-II)		
K	PK14 入出力 (ポート)	TO8O 出力 (ATU-II)		
K	PK15 入出力 (ポート)	TO8P 出力 (ATU-II)		
L	PL0 入出力 (ポート)	TI10 入力 (ATU-II)		
L	PL1 入出力 (ポート)	TIO11A 入出力 (ATU-II)	$\overline{\text{IRQ6}}$ 入力 (INTC)	
L	PL2 入出力 (ポート)	TIO11B 入出力 (ATU-II)	$\overline{\text{IRQ7}}$ 入力 (INTC)	
L	PL3 入出力 (ポート)	TCLKB 入力 (ATU-II)		
L	PL4 入出力 (ポート)	$\overline{\text{ADTRG0}}$ 入力 (A/D)		
L	PL5 入出力 (ポート)	$\overline{\text{ADTRG1}}$ 入力 (A/D)		
L	PL6 入出力 (ポート)	ADEND 出力 (A/D)		
L	PL7 入出力 (ポート)	SCK2 入出力 (SCI)		
L	PL8 入出力 (ポート)	SCK3 入出力 (SCI)		
L	PL9 入出力 (ポート)	SCK4 入出力 (SCI)	$\overline{\text{IRQ5}}$ 入力 (INTC)	
L	PL10 入出力 (ポート)	HTxD0 出力 (HCAN-II)	HTxD1 出力 (HCAN-II)	HTxD0&HTxD1(HCAN-II)
L	PL11 入出力 (ポート)	HRxD0 入力 (HCAN-II)	HRxD1 入力 (HCAN-II)	HRxD0&HRxD1(HCAN-II)
L	PL12 入出力 (ポート)	$\overline{\text{IRQ4}}$ 入力 (INTC)		
L	PL13 入出力 (ポート)	$\overline{\text{IRQOUT}}$ 出力 (INTC)	$\overline{\text{IRQOUT}}$ 出力 (INTC)	

21.2 レジスタ構成

PFC のレジスタを表 21.2 に示します。

表 21.2 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A・IO レジスタ	PAIOR	R/W	H'0000	H'FFFFFF720	8、16
ポート A コントロールレジスタ H	PACRH	R/W	H'0000	H'FFFFFF722	8、16
ポート A コントロールレジスタ L	PACRL	R/W	H'0000	H'FFFFFF724	8、16
ポート B・IO レジスタ	PBIOR	R/W	H'0000	H'FFFFFF730	8、16
ポート B コントロールレジスタ H	PBCRH	R/W	H'0000	H'FFFFFF732	8、16
ポート B コントロールレジスタ L	PBCRL	R/W	H'0000	H'FFFFFF734	8、16
ポート B インポートレジスタ	PBIR	R/W	H'0000	H'FFFFFF736	8、16
ポート C・IO レジスタ	PCIOR	R/W	H'0000	H'FFFFFF73A	8、16
ポート C コントロールレジスタ	PCCR	R/W	H'0000	H'FFFFFF73C	8、16
ポート D・IO レジスタ	PDIOR	R/W	H'0000	H'FFFFFF740	8、16
ポート D コントロールレジスタ H	PDCRH	R/W	H'0000	H'FFFFFF742	8、16
ポート D コントロールレジスタ L	PDCRL	R/W	H'0000	H'FFFFFF744	8、16
ポート E・IO レジスタ	PEIOR	R/W	H'0000	H'FFFFFF750	8、16
ポート E コントロールレジスタ	PECR	R/W	H'0000	H'FFFFFF752	8、16
ポート F・IO レジスタ	PFIOR	R/W	H'0000	H'FFFFFF748	8、16
ポート F コントロールレジスタ H	PFCRH	R/W	H'0015	H'FFFFFF74A	8、16
ポート F コントロールレジスタ L	PFCRL	R/W	H'5000	H'FFFFFF74C	8、16
ポート G・IO レジスタ	PGIOR	R/W	H'0000	H'FFFFFF760	8、16
ポート G コントロールレジスタ	PGCR	R/W	H'0000	H'FFFFFF762	8、16
ポート H・IO レジスタ	PHIOR	R/W	H'0000	H'FFFFFF728	8、16
ポート H コントロールレジスタ	PHCR	R/W	H'0000	H'FFFFFF72A	8、16
ポート J・IO レジスタ	PJIOR	R/W	H'0000	H'FFFFFF766	8、16
ポート J コントロールレジスタ H	PJCRH	R/W	H'0000	H'FFFFFF768	8、16
ポート J コントロールレジスタ L	PJCRL	R/W	H'0000	H'FFFFFF76A	8、16
ポート K・IO レジスタ	PKIOR	R/W	H'0000	H'FFFFFF770	8、16
ポート K コントロールレジスタ H	PKCRH	R/W	H'0000	H'FFFFFF772	8、16
ポート K コントロールレジスタ L	PKCRL	R/W	H'0000	H'FFFFFF774	8、16
ポート K インポートレジスタ	PKIR	R/W	H'0000	H'FFFFFF776	8、16
ポート L・IO レジスタ	PLIOR	R/W	H'0000	H'FFFFFF756	8、16
ポート L コントロールレジスタ H	PLCRH	R/W	H'0000	H'FFFFFF758	8、16
ポート L コントロールレジスタ L	PLCRL	R/W	H'0000	H'FFFFFF75A	8、16
ポート L インポートレジスタ	PLIR	R/W	H'0000	H'FFFFFF75C	8、16

21.3 レジスタ説明

21.3.1 ポート A・IO レジスタ (PAIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15 IOR	PA14 IOR	PA13 IOR	PA12 IOR	PA11 IOR	PA10 IOR	PA9 IOR	PA8 IOR	PA7 IOR	PA6 IOR	PA5 IOR	PA4 IOR	PA3 IOR	PA2 IOR	PA1 IOR	PA0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A・IO レジスタ (PAIOR) は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート A にある 16 本の端子の入出力方向を選びます。PA15IOR～PA0IOR ビットが、それぞれ、PA15/RxD0～PA0/TIOA 端子に対応しています。PAIOR はポート A の端子機能が汎用入出力 (PA15～PA0) および ATU-II の入出力の場合に有効でそれ以外の場合は無効です。ただし、ビット 3～0 については、ATU-II のインプットキャプチャ入力を選択した場合には、PAIOR のビットを 0 にしてください。

ポート A の端子機能は、PA15～PA0 か ATU-II の入出力の場合、PAIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PAIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.2 ポート A コントロールレジスタ H、L (PACRH、PACRL)

ポート A コントロールレジスタ H、L (PACRH、PACRL) は、それぞれ 16 ビットの読み出し／書き込み可能なレジスタで、ポート A にある 16 本のマルチプレクス端子の機能を選びます。PACRH はポート A の上位 8 ビットの端子の機能を、PACRL はポート A の下位 8 ビットの端子の機能を選びます。

PACRH、PACRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート A コントロールレジスタ H (PACRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA15 MD	—	PA14 MD	—	PA13 MD	—	PA12 MD	PA11 MD1	PA11 MD0	PA10 MD1	PA10 MD0	PA9 MD1	PA9 MD0	PA8 MD1	PA8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PA15 モードビット (PA15MD)

PA15/RxD0 端子の機能を選びます。

ビット 14	説 明	
PA15MD		
0	汎用入出力 (PA15)	(初期値)
1	受信データ入力 (RxD0)	

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PA14 モードビット (PA14MD)

PA14/TxD0 端子の機能を選びます。

ビット 12	説 明	
PA14MD		
0	汎用入出力 (PA14)	(初期値)
1	送信データ出力 (TxD0)	

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10: PA13 モードビット (PA13MD)

PA13/TIO5B 端子の機能を選びます。

ビット 10	説 明	
PA13MD		
0	汎用入出力 (PA13)	(初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO5B)	

21. ピンファンクションコントローラ (PFC)

ビット9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：PA12モードビット (PA12MD)

PA12/TIO5A 端子の機能を選びます。

ビット8	説 明	
PA12MD		
0	汎用入出力 (PA12)	(初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO5A)	

ビット7、6：PA11モードビット1、0 (PA11MD1、PA11MD0)

PA11/TIO4D/ADTO1B 端子の機能を選びます。

ビット7	ビット6	説 明	
PA11MD1	PA11MD0		
0	0	汎用入出力 (PA11)	(初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4D)	
1	0	設定禁止	
1	1	アウトプットコンペア 1B 出力 (MTAD)	

ビット5、4：PA10モードビット1、0 (PA10MD1、PA10MD0)

PA10/TIO4C/ADTO1A 端子の機能を選びます。

ビット5	ビット4	説 明	
PA10MD1	PA10MD0		
0	0	汎用入出力 (PA10)	(初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4C)	
1	0	設定禁止	
1	1	アウトプットコンペア 1A 出力 (MTAD)	

ビット3、2：PA9モードビット1、0 (PA9MD1、PA9MD0)

PA9/TIO4B/ADTO0B 端子の機能を選びます。

ビット3	ビット2	説 明	
PA9MD1	PA9MD0		
0	0	汎用入出力 (PA9)	(初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4B)	
1	0	設定禁止	
1	1	アウトプットコンペア 0B 出力 (MTAD)	

ビット 1、0 : PA8 モードビット 1、0 (PA8MD1、PA8MD0)

PA8/TIO4A/ADTO0A 端子の機能を選びます。

ビット 1	ビット 0	説 明
PA8MD1	PA8MD0	
0	0	汎用入出力 (PA8) (初期値)
0	1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO4A)
1	0	設定禁止
1	1	アウトプットコンペア 0A 出力 (MTAD)

(2) ポート A コントロールレジスタ L (PACRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PA7 MD	—	PA6 MD	—	PA5 MD	—	PA4 MD	—	PA3 MD	—	PA2 MD	—	PA1 MD	—	PA0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PA7 モードビット (PA7MD)

PA7/TIO3D 端子の機能を選びます。

ビット 14	説 明
PA7MD	
0	汎用入出力 (PA7) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO3D)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PA6 モードビット (PA6MD)

PA6/TIO3C 端子の機能を選びます。

ビット 12	説 明
PA6MD	
0	汎用入出力 (PA6) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO3C)

21. ピンファンクションコントローラ (PFC)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PA5 モードビット (PA5MD)

PA5/TIO3B 端子の機能を選びます。

ビット 10	説 明
PA5MD	
0	汎用入出力 (PA5) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO3B)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PA4 モードビット (PA4MD)

PA4/TIO3A 端子の機能を選びます。

ビット 8	説 明
PA4MD	
0	汎用入出力 (PA4) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO3A)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PA3 モードビット (PA3MD)

PA3/TIO0D 端子の機能を選びます。

ビット 6	説 明
PA3MD	
0	汎用入出力 (PA3) (初期値)
1	ATU-II インพุットキャプチャ入力 (TIO0D)

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：PA2モードビット (PA2MD)

PA2/TI0C 端子の機能を選びます。

ビット4	説 明	
PA2MD		
0	汎用入出力 (PA2)	(初期値)
1	ATU-II インพุットキャプチャ入力 (TI0C)	

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：PA2モードビット (PA1MD)

PA1/TI0B 端子の機能を選びます。

ビット2	説 明	
PA1MD		
0	汎用入出力 (PA1)	(初期値)
1	ATU-II インพุットキャプチャ入力 (TI0B)	

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PA0モードビット (PA0MD)

PA0/TI0A 端子の機能を選びます。

ビット0	説 明	
PA0MD		
0	汎用入出力 (PA0)	(初期値)
1	ATU-II インพุットキャプチャ入力 (TI0A)	

21.3.3 ポート B・IO レジスタ (PBIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IOR	PB14 IOR	PB13 IOR	PB12 IOR	PB11 IOR	PB10 IOR	PB9 IOR	PB8 IOR	PB7 IOR	PB6 IOR	PB5 IOR	PB4 IOR	PB3 IOR	PB2 IOR	PB1 IOR	PB0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B・IO レジスタ (PBIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B にある 16 本の端子の入出力方向を選びます。PB15IOR~PB0IOR ビットが、それぞれ、PB15/PULS5/SCK2 端子~PB0/TO6A 端子に対応しています。PBIOR はポート B の端子機能が汎用入出力 (PB15~PB0) かシリアルクロック (SCK0、SCK1、SCK2) の場合に有効で、それ以外の場合は無効です。

ポート B の端子機能が PB15~PB0 か SCK0、SCK1、SCK2 の場合、PBIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PBIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.4 ポート B コントロールレジスタ H、L (PBCRH、PBCRL)

ポート B コントロールレジスタ H、L (PBCRH、PBCRL) は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート B にある 16 本のマルチプレクス端子の機能を選びます。PBCRH はポート B の上位 8 ビットの端子の機能、PBCRL はポート B の下位 8 ビットの端子の機能を選びます。

PBCRH、PBCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート B コントロールレジスタ H (PBCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 MD1	PB15 MD0	PB14 MD1	PB14 MD0	—	PB13 MD	PB12 MD1	PB12 MD0	PB11 MD1	PB11 MD0	PB10 MD1	PB10 MD0	PB9 MD1	PB9 MD0	PB8 MD1	PB8 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 15、14 : PB15 モードビット 1、0 (PB15MD1、PB15MD0)

PB15/PULS5/SCK2 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB15MD1	PB15MD0	
0	0	汎用入出力 (PB15) (初期値)
	1	APC パルス出力 (PULS5)
1	0	シリアルクロック入出力 (SCK2)
	1	予約*

【注】 * 予約は設定はしないでください。

ビット 13、12 : PB14 モードビット 1、0 (PB14MD1、PB14MD0)

PB14/SCK1/TCLKB/TI10 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB14MD1	PB14MD0	
0	0	汎用入出力 (PB14) (初期値)
	1	シリアルクロック入出力 (SCK1)
1	0	ATU-II クロック入力 (TCLKB)
	1	ATU-II エッジ入力 (TI10)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PB13 モードビット (PB13MD)

PB13/SCK0 端子の機能を選びます。

ビット 10	説 明
PB13MD	
0	汎用入出力 (PB13) (初期値)
1	シリアルクロック入出力 (SCK0)

ビット 9、8 : PB12 モードビット 1、0 (PB12MD1、PB12MD0)

PB12/TCLKA/ $\overline{\text{UBCTRG}}$ 端子の機能を選びます。

ビット 9	ビット 8	説 明
PB12MD1	PB12MD0	
0	0	汎用入出力 (PB12) (初期値)
	1	ATU-II クロック入力 (TCLKA)
1	0	トリガ用パルス出力 ($\overline{\text{UBCTRG}}$)
	1	予約*

【注】 * 予約は設定はしないでください。

21. ピンファンクションコントローラ (PFC)

ビット7、6 : PB11モードビット1、0 (PB11MD1、PB11MD0)

PB11/RxD4/HRxD0/TO8H 端子の機能を選びます。

ビット7	ビット6	説明
PB11MD1	PB11MD0	
0	0	汎用入出力 (PB11) (初期値)
	1	受信データ入力 (RxD4)
1	0	HCAN-II 受信データ入力 (HRxD0)
	1	ATU-II ワンショットパルス出力 (TO8H)

ビット5、4 : PB10モードビット1、0 (PB10MD1、PB10MD0)

PB10/TxD4/HTxD0/TO8G 端子の機能を選びます。

ビット5	ビット4	説明
PB10MD1	PB10MD0	
0	0	汎用入出力 (PB10) (初期値)
	1	送信データ出力 (TxD4)
1	0	HCAN-II 送信データ出力 (HTxD0)
	1	ATU-II ワンショットパルス出力 (TO8G)

ビット3、2 : PB9モードビット1、0 (PB9MD1、PB9MD0)

PB9/RxD3/TO8F 端子の機能を選びます。

ビット3	ビット2	説明
PB9MD1	PB9MD0	
0	0	汎用入出力 (PB9) (初期値)
	1	受信データ入力 (RxD3)
1	0	ATU-II ワンショットパルス出力 (TO8F)
	1	予約*

【注】 * 予約は設定しないでください。

ビット1、0 : PB8モードビット1、0 (PB8MD1、PB8MD0)

PB8/TxD3/TO8E 端子の機能を選びます。

ビット1	ビット0	説明
PB8MD1	PB8MD0	
0	0	汎用入出力 (PB8) (初期値)
	1	送信データ出力 (TxD3)
1	0	ATU-II ワンショットパルス出力 (TO8E)
	1	予約*

【注】 * 予約は設定しないでください。

(2) ポート B コントロールレジスタ L (PBCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB7 MD1	PB7 MD0	PB6 MD1	PB6 MD0	PB5 MD1	PB5 MD0	PB4 MD1	PB4 MD0	—	PB3 MD	—	PB2 MD	—	PB1 MD	—	PB0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15、14 : PB7 モードビット 1、0 (PB7MD1、PB7MD0)

PB7/TO7D/TO8D 端子の機能を選びます。

ビット 15	ビット 14	説 明
PB7MD1	PB7MD0	
0	0	汎用入出力 (PB7)
	1	ATU-II の PWM 出力 (TO7D)
1	0	ATU-II ワンショットパルス出力 (TO8D)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 13、12 : PB6 モードビット 1、0 (PB6MD1、PB6MD0)

PB6/TO7C/TO8C 端子の機能を選びます。

ビット 13	ビット 12	説 明
PB6MD1	PB6MD0	
0	0	汎用入出力 (PB6)
	1	ATU-II の PWM 出力 (TO7C)
1	0	ATU-II ワンショットパルス出力 (TO8C)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 11、10 : PB5 モードビット 1、0 (PB5MD1、PB5MD0)

PB5/TO7B/TO8B 端子の機能を選びます。

ビット 11	ビット 10	説 明
PB5MD1	PB5MD0	
0	0	汎用入出力 (PB5)
	1	ATU-II の PWM 出力 (TO7B)
1	0	ATU-II ワンショットパルス出力 (TO8B)
	1	予約*

【注】 * 予約は設定しないでください。

21. ピンファンクションコントローラ (PFC)

ビット 9、8 : PB4 モードビット 1、0 (PB4MD1、PB4MD0)

PB4/TO7A/TO8A 端子の機能を選びます。

ビット 9	ビット 8	説 明
PB4MD1	PB4MD0	
0	0	汎用入出力 (PB4)
	1	ATU-II の PWM 出力 (TO7A)
1	0	ATU-II ワンショットパルス出力 (TO8A)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PB3 モードビット (PB3MD)

PB3/TO6D 端子の機能を選びます。

ビット 6	説 明
PB3MD	
0	汎用入出力 (PB3) (初期値)
1	ATU-II の PWM 出力 (TO6D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PB2 モードビット (PB2MD)

PB2/TO6C 端子の機能を選びます。

ビット 4	説 明
PB2MD	
0	汎用入出力 (PB2) (初期値)
1	ATU-II の PWM 出力 (TO6C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PB1 モードビット (PB1MD)

PB1/TO6B 端子の機能を選びます。

ビット 2	説 明
PB1MD	
0	汎用入出力 (PB1) (初期値)
1	ATU-II の PWM 出力 (TO6B)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PB0 モードビット (PB0MD)

PB0/TO6A 端子の機能を選びます。

ビット 0	説 明
PB0MD	
0	汎用入出力 (PB0) (初期値)
1	ATU-II の PWM 出力 (TO6A)

21.3.5 ポート B インバートレジスタ (PBIR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15 IR	PB14 IR	PB13 IR	—	PB11 IR	PB10 IR	PB9 IR	PB8 IR	PB7 IR	PB6 IR	PB5 IR	PB4 IR	PB3 IR	PB2 IR	PB1 IR	PB0 IR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B インバートレジスタ (PBIR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート B の反転機能を設定します。PB15IR~PB13IR、PB11IR~PB0IR ビットが、それぞれ、PB15/PULS5/SCK2~PB13/SCK0、PB11/RxD4/HRxD0/TO8H~PB0/TO6A 端子に対応しています。PBIR はポート B の端子機能が ATU-II の出力かシリアルクロックの場合に有効でそれ以外の場合は無効です。

ポート B の端子機能が ATU-II の出力かシリアルクロックの場合、PBIR のビットを 1 にすると、対応する端子の値は反転します。

PBIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PBnIR	説 明
0	値を反転しない (初期値)
1	値を反転する

n=15~13、11~0

21.3.6 ポート C・IO レジスタ (PCIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PC4 IOR	PC3 IOR	PC2 IOR	PC1 IOR	PC0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ポート C・IO レジスタ (PCIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート C にある 5 本の端子の入出力方向を選びます。PC4IOR~PC0IOR ビットが、それぞれ、PC4/IRQ0~PC0/TxD1 端子に対応しています。PCIOR はポート C の端子機能が汎用入出力 (PC4~PC0) の場合に有効でそれ以外の場合は無効です。

ポート C の端子機能が PC4~PC0 の場合、PCIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PCIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.7 ポート C コントロールレジスタ (PCCR)

ポート C コントロールレジスタ (PCCR) は、16 ビットの読み出し/書き込み可能なレジスタで、ポート C にある 5 本のマルチプレクス端子の機能を選びます。

PCCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PC4 MD	—	PC3 MD	—	PC2 MD	—	PC1 MD	—	PC0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15~9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PC4 モードビット (PC4MD)

PC4/IRQ0 端子の機能を選びます。

ビット 8	説明
PC4MD	
0	汎用入出力 (PC4) (初期値)
1	割り込み要求入力 (IRQ0)

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PC3モードビット (PC3MD)

PC3/RxD2端子の機能を選びます。

ビット6	説 明	
PC3MD		
0	汎用入出力 (PC3)	(初期値)
1	受信データ入力 (RxD2)	

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：PC2モードビット (PC2MD)

PC2/TxD2端子の機能を選びます。

ビット4	説 明	
PC2MD		
0	汎用入出力 (PC2)	(初期値)
1	送信データ出力 (TxD2)	

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：PC1モードビット (PC1MD)

PC1/RxD1端子の機能を選びます。

ビット2	説 明	
PC1MD		
0	汎用入出力 (PC1)	(初期値)
1	受信データ入力 (RxD1)	

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

21. ピンファンクションコントローラ (PFC)

ビット 0 : PC0 モードビット (PC0MD)

PC0/TxD1 端子の機能を選びます。

ビット 0	説明
PC0MD	
0	汎用入出力 (PC0) (初期値)
1	送信データ出力 (TxD1)

21.3.8 ポート D・IO レジスタ (PDIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PD13 IOR	PD12 IOR	PD11 IOR	PD10 IOR	PD9 IOR	PD8 IOR	PD7 IOR	PD6 IOR	PD5 IOR	PD4 IOR	PD3 IOR	PD2 IOR	PD1 IOR	PD0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D・IO レジスタ (PDIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D にある 14 本の端子の入出力方向を選びます。PD13IOR~PD0IOR ビットが、それぞれ、PD13/PULS6/HTxD0/ HTxD1~PD0/TIO1A 端子に対応しています。PDIOR はポート D の端子機能が汎用入出力 (PD13~PD0) およびタイマの入出力の場合に有効でそれ以外の場合は無効です。

ポート D の端子機能が PD13~PD0 かタイマの入出力の場合、PDIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PDIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.9 ポート D コントロールレジスタ H、L (PDCRH、PDCRL)

ポート D コントロールレジスタ H、L (PDCRH、PDCRL) は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート D にある 14 本のマルチプレクス端子の機能を選びます。PDCRH はポート D の上位 6 ビットの端子の機能を、PDCRL はポート D の下位 8 ビットの端子の機能を選びます。

PDCRH、PDCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート D コントロールレジスタ H (PDCRH)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PD13 MD1	PD13 MD0	—	PD12 MD	—	PD11 MD	—	PD10 MD	—	PD9 MD	—	PD8 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15～12 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11、10 : PD13 モードビット 1、0 (PD13MD1、PD13MD0)

PD13/PULS6/HTxD0/ HTxD1 端子の機能を選びます。

ビット 11	ビット 10	説 明	
PD13MD1	PD13MD0		
0	0	汎用入出力 (PD13)	(初期値)
	1	APC パルス出力 (PULS6)	
1	0	HCAN-II 送信データ出力 (HTxD0)	
	1	HCAN-II 送信データ出力 (HTxD1)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PD12 モードビット (PD12MD)

PD12/PULS4 端子の機能を選びます。

ビット 8	説 明	
PD12MD		
0	汎用入出力 (PD12)	(初期値)
1	APC パルス出力 (PULS4)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PD11 モードビット (PD11MD)

PD11/PULS3 端子の機能を選びます。

ビット 6	説 明	
PD11MD		
0	汎用入出力 (PD11)	(初期値)
1	APC パルス出力 (PULS3)	

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21. ピンファンクションコントローラ (PFC)

ビット 4 : PD10 モードビット (PD10MD)

PD10/PULS2 端子の機能を選びます。

ビット 4	説 明	
PD10MD		
0	汎用入出力 (PD10)	(初期値)
1	APC パルス出力 (PULS2)	

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PD9 モードビット (PD9MD)

PD9/PULS1 端子の機能を選びます。

ビット 2	説 明	
PD9MD		
0	汎用入出力 (PD9)	(初期値)
1	APC パルス出力 (PULS1)	

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PD8 モードビット (PD8MD)

PD8/PULS0 端子の機能を選びます。

ビット 0	説 明	
PD8MD		
0	汎用入出力 (PD8)	(初期値)
1	APC パルス出力 (PULS0)	

(2) ポート D コントロールレジスタ L (PDCRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PD7 MD	—	PD6 MD	—	PD5 MD	—	PD4 MD	—	PD3 MD	—	PD2 MD	—	PD1 MD	—	PD0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PD7 モードビット (PD7MD)

PD7/TIO1H 端子の機能を選びます。

ビット 14	説 明	
PD7MD		
0	汎用入出力 (PD7)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1H)	

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PD6 モードビット (PD6MD)

PD6/TIO1G 端子の機能を選びます。

ビット 12	説 明	
PD6MD		
0	汎用入出力 (PD6)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1G)	

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PD5 モードビット (PD5MD)

PD5/TIO1F 端子の機能を選びます。

ビット 10	説 明	
PD5MD		
0	汎用入出力 (PD5)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1F)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PD4 モードビット (PD4MD)

PD4/TIO1E 端子の機能を選びます。

ビット 8	説 明	
PD4MD		
0	汎用入出力 (PD4)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1E)	

21. ピンファンクションコントローラ (PFC)

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PD3 モードビット (PD3MD)

PD3/TIO1D 端子の機能を選びます。

ビット6	説 明	
PD3MD		
0	汎用入出力 (PD3)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1D)	

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4：PD2 モードビット (PD2MD)

PD2/TIO1C 端子の機能を選びます。

ビット4	説 明	
PD2MD		
0	汎用入出力 (PD2)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1C)	

ビット3：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2：PD1 モードビット (PD1MD)

PD1/TIO1B 端子の機能を選びます。

ビット2	説 明	
PD1MD		
0	汎用入出力 (PD1)	(初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO1B)	

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PD0 モードビット (PD0MD)

PD0/TIO1A 端子の機能を選びます。

ビット0	説明
PD0MD	
0	汎用入出力 (PD0) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO1A)

21.3.10 ポート E・IO レジスタ (PEIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 IOR	PE14 IOR	PE13 IOR	PE12 IOR	PE11 IOR	PE10 IOR	PE9 IOR	PE8 IOR	PE7 IOR	PE6 IOR	PE5 IOR	PE4 IOR	PE3 IOR	PE2 IOR	PE1 IOR	PE0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E・IO レジスタ (PEIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート E にある 16 本の端子の入出力方向を選びます。PE15IOR~PE0IOR ビットが、それぞれ、PE15/A15 端子~PE0/A0 端子の対応しています。PEIOR はポート E の端子機能が汎用入出力 (PE15~PE0) の場合に有効でそれ以外の場合は無効です。

ポート E の端子機能が PE15~PE0 の場合、PEIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PEIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.11 ポート E コントロールレジスタ (PECR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15 MD	PE14 MD	PE13 MD	PE12 MD	PE11 MD	PE10 MD	PE9 MD	PE8 MD	PE7 MD	PE6 MD	PE5 MD	PE4 MD	PE3 MD	PE2 MD	PE1 MD	PE0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E コントロールレジスタ (PECR) は、16 ビットの読み出し/書き込み可能なレジスタで、ポート E にある 16 本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

- 内蔵ROM無効拡張モード
ポートEの端子はアドレス出力端子となり、PECRの設定は無効です。
- 内蔵ROM有効拡張モード
ポートEの端子はアドレス出力と汎用入出力の兼用端子となります。
PECRの設定は有効です。
- シングルチップモード
ポートEの端子は汎用入出力端子となり、PECRの設定は無効です。

PECR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。

21. ピンファンクションコントローラ (PFC)

しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

ビット 15 : PE15 モードビット (PE15MD)

PE15/A15 端子の機能を選びます。

ビット 15	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A15) (初期値)	汎用入出力 (PE15) (初期値)	汎用入出力 (PE15) (初期値)
1	アドレス出力 (A15)	アドレス出力 (A15)	汎用入出力 (PE15)

ビット 14 : PE14 モードビット (PE14MD)

PE14/A14 端子の機能を選びます。

ビット 14	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A14) (初期値)	汎用入出力 (PE14) (初期値)	汎用入出力 (PE14) (初期値)
1	アドレス出力 (A14)	アドレス出力 (A14)	汎用入出力 (PE14)

ビット 13 : PE13 モードビット (PE13MD)

PE13/A13 端子の機能を選びます。

ビット 13	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A13) (初期値)	汎用入出力 (PE13) (初期値)	汎用入出力 (PE13) (初期値)
1	アドレス出力 (A13)	アドレス出力 (A13)	汎用入出力 (PE13)

ビット 12 : PE12 モードビット (PE12MD)

PE12/A12 端子の機能を選びます。

ビット 12	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A12) (初期値)	汎用入出力 (PE12) (初期値)	汎用入出力 (PE12) (初期値)
1	アドレス出力 (A12)	アドレス出力 (A12)	汎用入出力 (PE12)

ビット 11 : PE11 モードビット (PE11MD)

PE11/A11 端子の機能を選びます。

ビット 11	説 明		
PE11MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A11) (初期値)	汎用入出力 (PE11) (初期値)	汎用入出力 (PE11) (初期値)
1	アドレス出力 (A11)	アドレス出力 (A11)	汎用入出力 (PE11)

ビット 10 : PE10 モードビット (PE10MD)

PE10/A10 端子の機能を選びます。

ビット 10	説 明		
PE10MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A10) (初期値)	汎用入出力 (PE10) (初期値)	汎用入出力 (PE10) (初期値)
1	アドレス出力 (A10)	アドレス出力 (A10)	汎用入出力 (PE10)

ビット 9 : PE9 モードビット (PE9MD)

PE9/A9 端子の機能を選びます。

ビット 9	説 明		
PE9MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A9) (初期値)	汎用入出力 (PE9) (初期値)	汎用入出力 (PE9) (初期値)
1	アドレス出力 (A9)	アドレス出力 (A9)	汎用入出力 (PE9)

ビット 8 : PE8 モードビット (PE8MD)

PE8/A8 端子の機能を選びます。

ビット 8	説 明		
PE8MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A8) (初期値)	汎用入出力 (PE8) (初期値)	汎用入出力 (PE8) (初期値)
1	アドレス出力 (A8)	アドレス出力 (A8)	汎用入出力 (PE8)

ビット 7 : PE7 モードビット (PE7MD)

PE7/A7 端子の機能を選びます。

ビット 7	説 明		
PE7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A7) (初期値)	汎用入出力 (PE7) (初期値)	汎用入出力 (PE7) (初期値)
1	アドレス出力 (A7)	アドレス出力 (A7)	汎用入出力 (PE7)

21. ピンファンクションコントローラ (PFC)

ビット 6 : PE6 モードビット (PE6MD)

PE6/A6 端子の機能を選びます。

ビット 6	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A6) (初期値)	汎用入出力 (PE6) (初期値)	汎用入出力 (PE6) (初期値)
1	アドレス出力 (A6)	アドレス出力 (A6)	汎用入出力 (PE6)

ビット 5 : PE5 モードビット (PE5MD)

PE5/A5 端子の機能を選びます。

ビット 5	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A5) (初期値)	汎用入出力 (PE5) (初期値)	汎用入出力 (PE5) (初期値)
1	アドレス出力 (A5)	アドレス出力 (A5)	汎用入出力 (PE5)

ビット 4 : PE4 モードビット (PE4MD)

PE4/A4 端子の機能を選びます。

ビット 4	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A4) (初期値)	汎用入出力 (PE4) (初期値)	汎用入出力 (PE4) (初期値)
1	アドレス出力 (A4)	アドレス出力 (A4)	汎用入出力 (PE4)

ビット 3 : PE3 モードビット (PE3MD)

PE3/A3 端子の機能を選びます。

ビット 3	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A3) (初期値)	汎用入出力 (PE3) (初期値)	汎用入出力 (PE3) (初期値)
1	アドレス出力 (A3)	アドレス出力 (A3)	汎用入出力 (PE3)

ビット 2 : PE2 モードビット (PE2MD)

PE2/A2 端子の機能を選びます。

ビット 2	説 明		
PE2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A2) (初期値)	汎用入出力 (PE2) (初期値)	汎用入出力 (PE2) (初期値)
1	アドレス出力 (A2)	アドレス出力 (A2)	汎用入出力 (PE2)

ビット 1 : PE1 モードビット (PE1MD)

PE1/A1 端子の機能を選びます。

ビット 1	説 明		
PE1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A1) (初期値)	汎用入出力 (PE1) (初期値)	汎用入出力 (PE1) (初期値)
1	アドレス出力 (A1)	アドレス出力 (A1)	汎用入出力 (PE1)

ビット 0 : PE0 モードビット (PE0MD)

PE0/A0 端子の機能を選びます。

ビット 0	説 明		
PE0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A0) (初期値)	汎用入出力 (PE0) (初期値)	汎用入出力 (PE0) (初期値)
1	アドレス出力 (A0)	アドレス出力 (A0)	汎用入出力 (PE0)

21.3.12 ポート F・IO レジスタ (PFIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR	IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F・IO レジスタ (PFIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート F にある 16 本の端子の入出力方向を選びます。PF15IOR~PF0IOR ビットが、それぞれ、PF15/BREQ 端子~PF0/A16 端子に対応しています。PFIOR はポート F の端子機能が汎用入出力 (PF15~PF0) の場合に有効で、それ以外の場合は無効です。

ポート F の端子機能が PF15~PF0 の場合、PFIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PFIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.13 ポート F コントロールレジスタ H、L (PFCRH、PFCRL)

ポート F コントロールレジスタ H、L (PFCRH、PFCRL) は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート F にある 16 本のマルチプレクス端子の機能および CK 端子の機能を選びます。PFCRH はポート F の上位 8 ビットの端子の機能を、PFCRL はポート F の下位 8 ビットの端子の機能を選びます。

PFCRH、PFCRL は、パワーオンリセットおよびハードウェアスタンバイモードでそれぞれ、H'0015、H'5000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート F コントロールレジスタ H (PFCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	CKHIZ	PF15	—	PF14	—	PF13	—	PF12	—	PF11	—	PF10	—	PF9	—	PF8
	MD	MD		MD		MD		MD		MD		MD		MD		MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1
R/W:	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : CKHIZ ビット

CK 端子の機能を選びます。

ビット 15	説明
CKHIZ	
0	CK 端子出力 (初期値)
1	CK 端子 Hi-Z

ビット 14 : PF15 モードビット (PF15MD)

PF15/BREQ 端子の機能を選びます。

ビット 14	説明	
PF15MD	拡張モード	シングルチップモード
0	汎用入出力 (PF15) (初期値)	汎用入出力 (PF15) (初期値)
1	バス権要求入力 (BREQ)	汎用入出力 (PF15)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PF14 モードビット (PF14MD)

PF14/ $\overline{\text{BACK}}$ 端子の機能を選びます。

ビット 12	説 明	
PF14MD	拡張モード	シングルチップモード
0	汎用入出力 (PF14) (初期値)	汎用入出力 (PF14) (初期値)
1	バス権要求アクノリッジ出力 ($\overline{\text{BACK}}$)	汎用入出力 (PF14)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PF13 モードビット (PF13MD)

PF13/ $\overline{\text{CS3}}$ 端子の機能を選びます。

ビット 10	説 明	
PF13MD	拡張モード	シングルチップモード
0	汎用入出力 (PF13) (初期値)	汎用入出力 (PF13) (初期値)
1	チップセレクト出力 ($\overline{\text{CS3}}$)	汎用入出力 (PF13)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PF12 モードビット (PF12MD)

PF12/ $\overline{\text{CS2}}$ 端子の機能を選びます。

ビット 8	説 明	
PF12MD	拡張モード	シングルチップモード
0	汎用入出力 (PF12) (初期値)	汎用入出力 (PF12) (初期値)
1	チップセレクト出力 ($\overline{\text{CS2}}$)	汎用入出力 (PF12)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PF11 モードビット (PF11MD)

PF11/ $\overline{\text{CS1}}$ 端子の機能を選びます。

ビット 6	説 明	
PF11MD	拡張モード	シングルチップモード
0	汎用入出力 (PF11) (初期値)	汎用入出力 (PF11) (初期値)
1	チップセレクト出力 ($\overline{\text{CS1}}$)	汎用入出力 (PF11)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21. ピンファンクションコントローラ (PFC)

ビット4 : PF10 モードビット (PF10MD)

PF10/ $\overline{\text{CS0}}$ 端子の機能を選びます。

ビット4	説 明	
PF10MD	拡張モード	シングルチップモード
0	汎用入出力 (PF10)	汎用入出力 (PF10)
1	チップセレクト出力 ($\overline{\text{CS0}}$) (初期値)	汎用入出力 (PF10) (初期値)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PF9 モードビット (PF9MD)

PF9/ $\overline{\text{RD}}$ 端子の機能を選びます。

ビット2	説 明	
PF9MD	拡張モード	シングルチップモード
0	汎用入出力 (PF9)	汎用入出力 (PF9)
1	リード出力 ($\overline{\text{RD}}$) (初期値)	汎用入出力 (PF9) (初期値)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PF8 モードビット (PF8MD)

PF8/ $\overline{\text{WAIT}}$ 端子の機能を選びます。

ビット0	説 明	
PF8MD	拡張モード	シングルチップモード
0	汎用入出力 (PF8)	汎用入出力 (PF8)
1	ウェイトステート入力 ($\overline{\text{WAIT}}$) (初期値)	汎用入出力 (PF8) (初期値)

(2) ポートFコントロールレジスタ L (PFCRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PF7 MD	—	PF6 MD	PF5 MD1	PF5 MD0	—	PF4 MD	—	PF3 MD	—	PF2 MD	—	PF1 MD	—	PF0 MD
初期値 :	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R/W	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PF7 モードビット (PF7MD)

PF7/ $\overline{\text{WRH}}$ 端子の機能を選びます。

ビット 14	説 明	
PF7MD	拡張モード	シングルチップモード
0	汎用入出力 (PF7)	汎用入出力 (PF7)
1	上位側ライト出力 ($\overline{\text{WRH}}$) (初期値)	汎用入出力 (PF7) (初期値)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PF6 モードビット (PF6MD)

PF6/ $\overline{\text{WRL}}$ 端子の機能を選びます。

ビット 12	説 明	
PF6MD	拡張モード	シングルチップモード
0	汎用入出力 (PF6)	汎用入出力 (PF6)
1	下位側ライト出力 ($\overline{\text{WRL}}$) (初期値)	汎用入出力 (PF6) (初期値)

ビット 11、10 : PF5 モードビット 1、0 (PF5MD1、PF5MD0)

PF5/A21/ $\overline{\text{POD}}$ 端子の機能を選びます。

ビット 11	ビット 10	説 明		
PF5MD1	PF5MD0	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	0	アドレス出力 (A21) (初期値)	汎用入出力 (PF5) (初期値)	汎用入出力 (PF5) (初期値)
	1	アドレス出力 (A21)	アドレス出力 (A21)	汎用入出力 (PF5)
1	0	アドレス出力 (A21)	ポートアウトプットディスエーブル入力 (POD)	ポートアウトプットディスエーブル入力 (POD)
	1	予約*	予約*	予約*

【注】 * 予約は設定しないでください。

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21. ピンファンクションコントローラ (PFC)

ビット 8 : PF4 モードビット (PF4MD)

PF4/A20 端子の機能を選びます。

ビット 8	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A20) (初期値)	汎用入出力 (PF4) (初期値)	汎用入出力 (PF4) (初期値)
1	アドレス出力 (A20)	アドレス出力 (A20)	汎用入出力 (PF4)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PF3 モードビット (PF3MD)

PF3/A19 端子の機能を選びます。

ビット 6	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A19) (初期値)	汎用入出力 (PF3) (初期値)	汎用入出力 (PF3) (初期値)
1	アドレス出力 (A19)	アドレス出力 (A19)	汎用入出力 (PF3)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PF2 モードビット (PF2MD)

PF2/A18 端子の機能を選びます。

ビット 4	説 明		
	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A18) (初期値)	汎用入出力 (PF2) (初期値)	汎用入出力 (PF2) (初期値)
1	アドレス出力 (A18)	アドレス出力 (A18)	汎用入出力 (PF2)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット2 : PF1 モードビット (PF1MD)

PF1/A17 端子の機能を選びます。

ビット2	説明		
PF1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A17) (初期値)	汎用入出力 (PF1) (初期値)	汎用入出力 (PF1) (初期値)
1	アドレス出力 (A17)	アドレス出力 (A17)	汎用入出力 (PF1)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PF0 モードビット (PF0MD)

PF0/A16 端子の機能を選びます。

ビット0	説明		
PF0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	アドレス出力 (A16) (初期値)	汎用入出力 (PF0) (初期値)	汎用入出力 (PF0) (初期値)
1	アドレス出力 (A16)	アドレス出力 (A16)	汎用入出力 (PF0)

21.3.14 ポート G・IO レジスタ (PGIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	—	PG3 IOR	PG2 IOR	PG1 IOR	PG0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ポート G・IO レジスタ (PGIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート G にある 4 本の端子の入出力方向を選びます。PG3IOR~PG0IOR ビットが、それぞれ、PG3/IRQ3/ADTRG0~PG0/PULS7/HRxD0/HRxD1 端子に対応しています。

PGIOR はポート G の端子機能が PG3~PG0 の場合、PGIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PGIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.15 ポート G コントロールレジスタ (PGCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	PG3 MD1	PG3 MD0	PG2 MD1	PG2 MD0	—	PG1 MD	PG0 MD1	PG0 MD0
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R	R/W	R/W	R/W

ポート G コントロールレジスタ (PGCR) は、16 ビットの読み出し／書き込み可能なレジスタで、ポート G にある 4 本のマルチプレクス端子の機能を選びます。

PGCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~8 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 7, 6 : PG3 モードビット 1, 0 (PG3MD1, PG3MD0)

PG3/ $\overline{\text{IRQ3}}$ / $\overline{\text{ADTRG0}}$ 端子の機能を選びます。

ビット 7	ビット 6	説明
PG3MD1	PG3MD0	
0	0	汎用入出力 (PG3) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ3}}$)
1	0	A/D 変換トリガ入力 ($\overline{\text{ADTRG0}}$)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 5, 4 : PG2 モードビット 1, 0 (PG2MD1, PG2MD0)

PG2/ $\overline{\text{IRQ2}}$ /ADEND 端子の機能を選びます。

ビット 5	ビット 4	説明
PG2MD1	PG2MD0	
0	0	汎用入出力 (PG2) (初期値)
	1	割り込み要求入力 ($\overline{\text{IRQ2}}$)
1	0	A/D 変換終了出力 (ADEND)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PG1 モードビット (PG1MD)

PG1/ $\overline{\text{IRQ1}}$ 端子の機能を選びます。

ビット 2	説 明	
PG1MD		
0	汎用入出力 (PG1)	(初期値)
1	割り込み要求入力 ($\overline{\text{IRQ1}}$)	

ビット 1、0 : PG0 モードビット 1、0 (PG0MD1、PG0MD0)

PG0/PULS7/HRxD0/HRxD1 端子の機能を選びます。

ビット 1	ビット 0	説 明	
PG0MD1	PG0MD0		
0	0	汎用入出力 (PG0)	(初期値)
	1	APC パルス出力 (PULS7)	
1	0	HCAN-II 受信データ入力 (HRxD0)	
	1	HCAN-II 受信データ入力 (HRxD1)	

21.3.16 ポート H・IO レジスタ (PHIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 IOR	PH14 IOR	PH13 IOR	PH12 IOR	PH11 IOR	PH10 IOR	PH9 IOR	PH8 IOR	PH7 IOR	PH6 IOR	PH5 IOR	PH4 IOR	PH3 IOR	PH2 IOR	PH1 IOR	PH0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H・IO レジスタ (PHIOR) は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート H にある 16 本の端子の入出力方向を選びます。PH15IOR～PH0IOR ビットが、それぞれ、PH15/D15 端子～PH0/D0 端子に対応しています。PHIOR はポート H の端子機能が汎用入出力 (PH15～PH0) の場合に有効でそれ以外の場合は無効です。

ポート H の端子機能が PH15～PH0 の場合、PHIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PHIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.17 ポートHコントロールレジスタ (PHCR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15	PH14	PH13	PH12	PH11	PH10	PH9	PH8	PH7	PH6	PH5	PH4	PH3	PH2	PH1	PH0
	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD	MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートHコントロールレジスタ (PHCR) は、16ビットの読み出し/書き込み可能なレジスタで、ポートHにある16本のマルチプレクス端子の機能を選びます。動作モードによっては、このレジスタの設定は無効になります。

- (a) 内蔵ROM無効拡張モード (エリア0: 8ビットバス)
ポートHの端子のうちD0~D7はデータ入出力端子となり、PHCRの設定は無効です。
- (b) 内蔵ROM無効拡張モード (エリア0: 16ビットバス)
ポートHの端子はデータ入出力端子となり、PHCRの設定は無効です。
- (c) 内蔵ROM有効拡張モード
ポートHの端子はデータ入出力と汎用入出力の兼用端子となります。
PHCRの設定は有効です。
- (d) シングルチップモード
ポートHの端子は汎用入出力端子となり、PHCRの設定は無効です。

PHCR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15 : PH15 モードビット (PH15MD)

PH15/D15 端子の機能を選びます。

ビット 15	説 明			
PH15MD	ROM 無効拡張モード エリア0: 8ビット	ROM 無効拡張モード エリア0: 16ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH15) (初期値)	データ入出力 (D15) (初期値)	汎用入出力 (PH15) (初期値)	汎用入出力 (PH15) (初期値)
1	データ入出力 (D15)	データ入出力 (D15)	データ入出力 (D15)	汎用入出力 (PH15)

ビット 14 : PH14 モードビット (PH14MD)

PH14/D14 端子の機能を選びます。

ビット 14	説 明			
PH14MD	ROM 無効拡張モード エリア0: 8ビット	ROM 無効拡張モード エリア0: 16ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH14) (初期値)	データ入出力 (D14) (初期値)	汎用入出力 (PH14) (初期値)	汎用入出力 (PH14) (初期値)
1	データ入出力 (D14)	データ入出力 (D14)	データ入出力 (D14)	汎用入出力 (PH14)

ビット 13 : PH13 モードビット (PH13MD)

PH13/D13 端子の機能を選びます。

ビット 13	説 明			
PH13MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH13) (初期値)	データ入出力 (D13) (初期値)	汎用入出力 (PH13) (初期値)	汎用入出力 (PH13) (初期値)
1	データ入出力 (D13)	データ入出力 (D13)	データ入出力 (D13)	汎用入出力 (PH13)

ビット 12 : PH12 モードビット (PH12MD)

PH12/D12 端子の機能を選びます。

ビット 12	説 明			
PH12MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH12) (初期値)	データ入出力 (D12) (初期値)	汎用入出力 (PH12) (初期値)	汎用入出力 (PH12) (初期値)
1	データ入出力 (D12)	データ入出力 (D12)	データ入出力 (D12)	汎用入出力 (PH12)

ビット 11 : PH11 モードビット (PH11MD)

PH11/D11 端子の機能を選びます。

ビット 11	説 明			
PH11MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH11) (初期値)	データ入出力 (D11) (初期値)	汎用入出力 (PH11) (初期値)	汎用入出力 (PH11) (初期値)
1	データ入出力 (D11)	データ入出力 (D11)	データ入出力 (D11)	汎用入出力 (PH11)

ビット 10 : PH10 モードビット (PH10MD)

PH10/D10 端子の機能を選びます。

ビット 10	説 明			
PH10MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH10) (初期値)	データ入出力 (D10) (初期値)	汎用入出力 (PH10) (初期値)	汎用入出力 (PH10) (初期値)
1	データ入出力 (D10)	データ入出力 (D10)	データ入出力 (D10)	汎用入出力 (PH10)

21. ピンファンクションコントローラ (PFC)

ビット 9 : PH9 モードビット (PH9MD)

PH9/D9 端子の機能を選びます。

ビット 9	説 明			
PH9MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH9) (初期値)	データ入出力 (D9) (初期値)	汎用入出力 (PH9) (初期値)	汎用入出力 (PH9) (初期値)
1	データ入出力 (D9)	データ入出力 (D9)	データ入出力 (D9)	汎用入出力 (PH9)

ビット 8 : PH8 モードビット (PH8MD)

PH8/D8 端子の機能を選びます。

ビット 8	説 明			
PH8MD	ROM 無効拡張モード エリア 0 : 8 ビット	ROM 無効拡張モード エリア 0 : 16 ビット	ROM 有効拡張モード	シングルチップモード
0	汎用入出力 (PH8) (初期値)	データ入出力 (D8) (初期値)	汎用入出力 (PH8) (初期値)	汎用入出力 (PH8) (初期値)
1	データ入出力 (D8)	データ入出力 (D8)	データ入出力 (D8)	汎用入出力 (PH8)

ビット 7 : PH7 モードビット (PH7MD)

PH7/D7 端子の機能を選びます。

ビット 7	説 明		
PH7MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D7) (初期値)	汎用入出力 (PH7) (初期値)	汎用入出力 (PH7) (初期値)
1	データ入出力 (D7)	データ入出力 (D7)	汎用入出力 (PH7)

ビット 6 : PH6 モードビット (PH6MD)

PH6/D6 端子の機能を選びます。

ビット 6	説 明		
PH6MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D6) (初期値)	汎用入出力 (PH6) (初期値)	汎用入出力 (PH6) (初期値)
1	データ入出力 (D6)	データ入出力 (D6)	汎用入出力 (PH6)

ビット 5 : PH5 モードビット (PH5MD)

PH5/D5 端子の機能を選びます。

ビット 5	説 明		
PH5MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D5) (初期値)	汎用入出力 (PH5) (初期値)	汎用入出力 (PH5) (初期値)
1	データ入出力 (D5)	データ入出力 (D5)	汎用入出力 (PH5)

ビット4 : PH4 モードビット (PH4MD)

PH4/D4 端子の機能を選びます。

ビット4	説 明		
PH4MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D4) (初期値)	汎用入出力 (PH4) (初期値)	汎用入出力 (PH4) (初期値)
1	データ入出力 (D4)	データ入出力 (D4)	汎用入出力 (PH4)

ビット3 : PH3 モードビット (PH3MD)

PH3/D3 端子の機能を選びます。

ビット3	説 明		
PH3MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D3) (初期値)	汎用入出力 (PH3) (初期値)	汎用入出力 (PH3) (初期値)
1	データ入出力 (D3)	データ入出力 (D3)	汎用入出力 (PH3)

ビット2 : PH2 モードビット (PH2MD)

PH2/D2 端子の機能を選びます。

ビット2	説 明		
PH2MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D2) (初期値)	汎用入出力 (PH2) (初期値)	汎用入出力 (PH2) (初期値)
1	データ入出力 (D2)	データ入出力 (D2)	汎用入出力 (PH2)

ビット1 : PH1 モードビット (PH1MD)

PH1/D1 端子の機能を選びます。

ビット1	説 明		
PH1MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D1) (初期値)	汎用入出力 (PH1) (初期値)	汎用入出力 (PH1) (初期値)
1	データ入出力 (D1)	データ入出力 (D1)	汎用入出力 (PH1)

ビット0 : PH0 モードビット (PH0MD)

PH0/D0 端子の機能を選びます。

ビット0	説 明		
PH0MD	ROM 無効拡張モード	ROM 有効拡張モード	シングルチップモード
0	データ入出力 (D0) (初期値)	汎用入出力 (PH0) (初期値)	汎用入出力 (PH0) (初期値)
1	データ入出力 (D0)	データ入出力 (D0)	汎用入出力 (PH0)

21.3.18 ポート J・IO レジスタ (PJIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 IOR	PJ14 IOR	PJ13 IOR	PJ12 IOR	PJ11 IOR	PJ10 IOR	PJ9 IOR	PJ8 IOR	PJ7 IOR	PJ6 IOR	PJ5 IOR	PJ4 IOR	PJ3 IOR	PJ2 IOR	PJ1 IOR	PJ0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J・IO レジスタ (PJIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート J にある 16 本の端子の入出力方向を選びます。PJ15IOR~PJ0IOR ビットが、それぞれ、PJ15/TI9F 端子~PJ0/TIO2A 端子に対応しています。PJIOR はポート J の端子機能が汎用入出力 (PJ15~PJ0) および ATU-II の入出力の場合に有効でそれ以外の場合は無効です。ただし、ビット 15~10 については、ATU-II のイベントカウンタ入力を選択した場合には、PJIOR のビットを 0 にしてください。

ポート J の端子機能が PJ15~PJ0 か ATU-II の入出力の場合、PJIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PJIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21.3.19 ポート J コントロールレジスタ H、L (PJCRH、PJCLL)

ポート J コントロールレジスタ H、L (PJCRH、PJCLL) は、16 ビットの読み出し/書き込み可能なレジスタで、ポート J にある 16 本のマルチプレクス端子の機能を選びます。PJCRH は、ポート J の上位 8 ビットの端子の機能を、PJCLL はポート J の下位 8 ビットの端子の機能を選びます。

PJCRH、PJCLL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート J コントロールレジスタ H (PJCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PJ15 MD	—	PJ14 MD	—	PJ13 MD	—	PJ12 MD	—	PJ11 MD	—	PJ10 MD	—	PJ9 MD	—	PJ8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PJ15 モードビット (PJ15MD)

PJ15/TI9F 端子の機能を選びます。

ビット 14	説 明	
PJ15MD		
0	汎用入出力 (PJ15)	(初期値)
1	ATU-II イベントカウンタ入力 (TI9F)	

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PJ14 モードビット (PJ14MD)

PJ14/TI9E 端子の機能を選びます。

ビット 12	説 明	
PJ14MD		
0	汎用入出力 (PJ14)	(初期値)
1	ATU-II イベントカウンタ入力 (TI9E)	

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PJ13 モードビット (PJ13MD)

PJ13/TI9D 端子の機能を選びます。

ビット 10	説 明	
PJ13MD		
0	汎用入出力 (PJ13)	(初期値)
1	ATU-II イベントカウンタ入力 (TI9D)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PJ12 モードビット (PJ12MD)

PJ12/TI9C 端子の機能を選びます。

ビット 8	説 明	
PJ12MD		
0	汎用入出力 (PJ12)	(初期値)
1	ATU-II イベントカウンタ入力 (TI9C)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21. ピンファンクションコントローラ (PFC)

ビット6 : PJ11 モードビット (PJ11MD)

PJ11/TI9B 端子の機能を選びます。

ビット6	説明
PJ11MD	
0	汎用入出力 (PJ11) (初期値)
1	ATU-II イベントカウンタ入力 (TI9B)

ビット5 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4 : PJ10 モードビット (PJ10MD)

PJ10/TI9A 端子の機能を選びます。

ビット4	説明
PJ10MD	
0	汎用入出力 (PJ10) (初期値)
1	ATU-II イベントカウンタ入力 (TI9A)

ビット3 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット2 : PJ9 モードビット (PJ9MD)

PJ9/TIO5D 端子の機能を選びます。

ビット2	説明
PJ9MD	
0	汎用入出力 (PJ9) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO5D)

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 0 : PJ8 モードビット (PJ8MD)

PJ8/TIO5C 端子の機能を選びます。

ビット 0	説 明
PJ8MD	
0	汎用入出力 (PJ8) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO5C)

(2) ポート J コントロールレジスタ L (PJCL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PJ7 MD	—	PJ6 MD	—	PJ5 MD	—	PJ4 MD	—	PJ3 MD	—	PJ2 MD	—	PJ1 MD	—	PJ0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PJ7 モードビット (PJ7MD)

PJ7/TIO2H 端子の機能を選びます。

ビット 14	説 明
PJ7MD	
0	汎用入出力 (PJ7) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO2H)

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PJ6 モードビット (PJ6MD)

PJ6/TIO2G 端子の機能を選びます。

ビット 12	説 明
PJ6MD	
0	汎用入出力 (PJ6) (初期値)
1	ATU-II インプットキャプチャ入力/アウトプットコンペア出力 (TIO2G)

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21. ピンファンクションコントローラ (PFC)

ビット 10 : PJ5 モードビット (PJ5MD)

PJ5/TIO2F 端子の機能を選びます。

ビット 10	説 明
PJ5MD	
0	汎用入出力 (PJ5) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO2F)

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PJ4 モードビット (PJ4MD)

PJ4/TIO2E 端子の機能を選びます。

ビット 8	説 明
PJ4MD	
0	汎用入出力 (PJ4) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO2E)

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PJ3 モードビット (PJ3MD)

PJ3/TIO2D 端子の機能を選びます。

ビット 6	説 明
PJ3MD	
0	汎用入出力 (PJ3) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO2D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PJ2 モードビット (PJ2MD)

PJ2/TIO2C 端子の機能を選びます。

ビット 4	説 明
PJ2MD	
0	汎用入出力 (PJ2) (初期値)
1	ATU-II インพุットキャプチャ入力/アウトプットコンペア出力 (TIO2C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PJ1 モードビット (PJ1MD)

PJ1/TIO2B 端子の機能を選びます。

ビット 2	説 明
PJ1MD	
0	汎用入出力 (PJ1) (初期値)
1	ATU-II インพุットキャプチャ入カ/アウトプットコンペア出力 (TIO2B)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PJ0 モードビット (PJ0MD)

PJ0/TIO2A 端子の機能を選びます。

ビット 0	説 明
PJ0MD	
0	汎用入出力 (PJ0) (初期値)
1	ATU-II インพุットキャプチャ入カ/アウトプットコンペア出力 (TIO2A)

21.3.20 ポート K・IO レジスタ (PKIOR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15 IOR	PK14 IOR	PK13 IOR	PK12 IOR	PK11 IOR	PK10 IOR	PK9 IOR	PK8 IOR	PK7 IOR	PK6 IOR	PK5 IOR	PK4 IOR	PK3 IOR	PK2 IOR	PK1 IOR	PK0 IOR
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K・IO レジスタ (PKIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート K にある 16 本の端子の入出力方向を選びます。PK15IOR~PK0IOR ビットが、それぞれ、PK15/TO8P 端子~PK0/TO8A 端子に対応しています。PKIOR はポート K の端子機能が汎用入出力 (PK15~PK0) の場合に有効でそれ以外の場合は無効です。

ポート K の端子機能が PK15~PK0 の場合、PKIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PKIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21. ピンファンクションコントローラ (PFC)

21.3.21 ポート K コントロールレジスタ H、L (PKCRH、PKCRL)

ポート K コントロールレジスタ H、L (PKCRH、PKCRL) は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート K にある 16 本のマルチプレクス端子の機能を選びます。PKCRH はポート K の上位 8 ビットの端子の機能を、PKCRL はポート K の下位 8 ビットの端子の機能を選びます。

PKCRH、PKCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポート K コントロールレジスタ H (PKCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK15 MD	—	PK14 MD	—	PK13 MD	—	PK12 MD	—	PK11 MD	—	PK10 MD	—	PK9 MD	—	PK8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14: PK15 モードビット (PK15MD)

PK15/TO8P 端子の機能を選びます。

ビット 14	説明
PK15MD	
0	汎用入出力 (PK15) (初期値)
1	ATU-II ワンショットパルス出力 (TO8P)

ビット 13: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12: PK14 モードビット (PK14MD)

PK14/TO8O 端子の機能を選びます。

ビット 12	説明
PK14MD	
0	汎用入出力 (PK14) (初期値)
1	ATU-II ワンショットパルス出力 (TO8O)

ビット 11: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PK13 モードビット (PK13MD)

PK13/TO8N 端子の機能を選びます。

ビット 10	説 明	
PK13MD		
0	汎用入出力 (PK13)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8N)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PK12 モードビット (PK12MD)

PK12/TO8M 端子の機能を選びます。

ビット 8	説 明	
PK12MD		
0	汎用入出力 (PK12)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8M)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 6 : PK11 モードビット (PK11MD)

PK11/TO8L 端子の機能を選びます。

ビット 6	説 明	
PK11MD		
0	汎用入出力 (PK11)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8L)	

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PK10 モードビット (PK10MD)

PK10/TO8K 端子の機能を選びます。

ビット 4	説 明	
PK10MD		
0	汎用入出力 (PK10)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8K)	

21. ピンファンクションコントローラ (PFC)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PK9 モードビット (PK9MD)

PK9/TO8J 端子の機能を選びます。

ビット 2	説 明	
PK9MD		
0	汎用入出力 (PK9)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8J)	

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PK8 モードビット (PK8MD)

PK8/TO8I 端子の機能を選びます。

ビット 0	説 明	
PK8MD		
0	汎用入出力 (PK8)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8I)	

(2) ポート K コントロールレジスタ L (PKCRL)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PK7 MD	—	PK6 MD	—	PK5 MD	—	PK4 MD	—	PK3 MD	—	PK2 MD	—	PK1 MD	—	PK0 MD
初期値 :	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W :	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 14 : PK7 モードビット (PK7MD)

PK7/TO8H 端子の機能を選びます。

ビット 14	説 明	
PK7MD		
0	汎用入出力 (PK7)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8H)	

ビット 13 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 12 : PK6 モードビット (PK6MD)

PK6/TO8G 端子の機能を選びます。

ビット 12	説 明	
PK6MD		
0	汎用入出力 (PK6)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8G)	

ビット 11 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 10 : PK5 モードビット (PK5MD)

PK5/TO8F 端子の機能を選びます。

ビット 10	説 明	
PK5MD		
0	汎用入出力 (PK5)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8F)	

ビット 9 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8 : PK4 モードビット (PK4MD)

PK4/TO8E 端子の機能を選びます。

ビット 8	説 明	
PK4MD		
0	汎用入出力 (PK4)	(初期値)
1	ATU-II ワンショットパルス出力 (TO8E)	

ビット 7 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

21. ピンファンクションコントローラ (PFC)

ビット 6 : PK3 モードビット (PK3MD)

PK3/TO8D 端子の機能を選びます。

ビット 6	説 明
PK3MD	
0	汎用入出力 (PK3) (初期値)
1	ATU-II ワンショットパルス出力 (TO8D)

ビット 5 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 4 : PK2 モードビット (PK2MD)

PK2/TO8C 端子の機能を選びます。

ビット 4	説 明
PK2MD	
0	汎用入出力 (PK2) (初期値)
1	ATU-II ワンショットパルス出力 (TO8C)

ビット 3 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 2 : PK1 モードビット (PK1MD)

PK1/TO8B 端子の機能を選びます。

ビット 2	説 明
PK1MD	
0	汎用入出力 (PK1) (初期値)
1	ATU-II ワンショットパルス出力 (TO8B)

ビット 1 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 0 : PK0 モードビット (PK0MD)

PK0/TO8A 端子の機能を選びます。

ビット 0	説 明
PK0MD	
0	汎用入出力 (PK0) (初期値)
1	ATU-II ワンショットパルス出力 (TO8A)

21.3.22 ポート K インバートレジスタ (PKIR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15 IR	PK14 IR	PK13 IR	PK12 IR	PK11 IR	PK10 IR	PK9 IR	PK8 IR	PK7 IR	PK6 IR	PK5 IR	PK4 IR	PK3 IR	PK2 IR	PK1 IR	PK0 IR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K インバートレジスタ (PKIR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート K の反転機能を設定します。PK15IR~PK0IR ビットが、それぞれ、PK15/TO8P~PK0/TO8A 端子に対応しています。PKIR はポート K の端子機能が ATU-II の出力の場合に有効でそれ以外の場合は無効です。

ポート K の端子機能が ATU-II の出力の場合、PKIR のビット 1 にすると、対応する端子の値は反転します。

PKIR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

PKnIR	説明
0	値を反転しない (初期値)
1	値を反転する

n=15~0

21.3.23 ポート L・IO レジスタ (PLIOR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PL13 IOR	PL12 IOR	PL11 IOR	PL10 IOR	PL9 IOR	PL8 IOR	PL7 IOR	PL6 IOR	PL5 IOR	PL4 IOR	PL3 IOR	PL2 IOR	PL1 IOR	PL0 IOR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート L・IO レジスタ (PLIOR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート L にある 14 本の端子の入出力方向を選びます。PL13IOR~PL0IOR ビットが、それぞれ、PL13/IRQOUT 端子~PL0/TI10 端子に対応しています。PLIOR はポート L の端子機能が汎用入出力 (PL13~PL0) かタイマの入出力 (TIO11A、TIO11B) かシリアルクロック (SCK2、SCK3、SCK4) の場合に有効でそれ以外の場合は無効です。

ポート L の端子機能が PL13~PL0 か TIO11A、TIO11B か SCK2、SCK3、SCK4 の場合、PLIOR のビットを 1 にすると、対応する端子は出力になり、0 にすると入力になります。

PLIOR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

21. ピンファンクションコントローラ (PFC)

21.3.24 ポートLコントロールレジスタ H、L (PLCRH、PLCRL)

ポートLコントロールレジスタ H、L (PLCRH、PLCRL) は、それぞれ 16 ビットの読み出し/書き込み可能なレジスタで、ポート L にある 14 本のマルチプレクス端子の機能を選びます。PLCRH はポート L の上位 6 ビットの端子の機能を、PLCRL はポート L の下位 8 ビットの端子の機能を選びます。

PLCRH、PLCRL は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

(1) ポートLコントロールレジスタ H (PLCRH)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	PL13 MD1	PL13 MD0	—	PL12 MD	PL11 MD1	PL11 MD0	PL10 MD1	PL10 MD0	PL9 MD1	PL9 MD0	—	PL8 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット 15~12: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 11、10: PL13 モードビット 1、0 (PL13MD1、PL13MD0)

PL13/ $\overline{\text{IRQOUT}}$ 端子の機能を選びます。

ビット 11	ビット 10	説明
PL13MD1	PL13MD0	
0	0	汎用入出力 (PL13) (初期値)
	1	$\overline{\text{IRQOUT}}$ は常にハイレベル ($\overline{\text{IRQOUT}}$)
1	0	$\overline{\text{IRQOUT}}$ は INTC の割り込み要求で出力 ($\overline{\text{IRQOUT}}$)
	1	予約*

【注】 * 予約は設定しないでください。

ビット 9: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット 8: PL12 モードビット (PL12MD)

PL12/ $\overline{\text{IRQ4}}$ 端子の機能を選びます。

ビット 8	説明
PL12MD	
0	汎用入出力 (PL12) (初期値)
1	割り込み要求入力 ($\overline{\text{IRQ4}}$)

ビット7、6 : PL11モードビット1、0 (PL11MD1、 PL11MD0)

PL11/HRxD0/HRxD1 端子の機能を選びます。

ビット7 PL11MD1	ビット6 PL11MD0	説 明	
0	0	汎用入出力 (PL11)	(初期値)
	1	HCAN-II 受信データ入力 (HRxD0)	
1	0	HCAN-II 受信データ入力 (HRxD1)	
	1	HCAN-II 受信データ入力 (HRxD0 と HRxD1 の両方に入力)	

ビット5、4 : PL10モードビット1、0 (PL10MD1、 PL10MD0)

PL10/HTxD0/HTxD1 端子の機能を選びます。

ビット5 PL10MD1	ビット4 PL10MD0	説 明	
0	0	汎用入出力 (PL10)	(初期値)
	1	HCAN-II 送信データ出力 (HTxD0)	
1	0	HCAN-II 送信データ出力 (HTxD1)	
	1	HCAN-II 送信データ出力 (HTxD0 と HTxD1 の AND)	

ビット3、2 : PL9モードビット1、0 (PL9MD1、 PL9MD0)

PL9/SCK4/ $\overline{\text{IRQ5}}$ 端子の機能を選びます。

ビット3 PL9MD1	ビット2 PL9MD0	説 明	
0	0	汎用入出力 (PL9)	(初期値)
	1	シリアルクロック入出力 (SCK4)	
1	0	割り込み要求入力 ($\overline{\text{IRQ5}}$)	
	1	予約*	

【注】 * 予約は設定しないでください。

ビット1 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0 : PL8モードビット (PL8MD)

PL8/SCK3 端子の機能を選びます。

ビット0 PL8MD	説 明	
0	汎用入出力 (PL8)	(初期値)
1	シリアルクロック入出力 (SCK3)	

21. ピンファンクションコントローラ (PFC)

(2) ポートLコントロールレジスタL (PLCRL)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	PL7 MD	—	PL6 MD	—	PL5 MD	—	PL4 MD	—	PL3 MD	PL2 MD1	PL2 MD0	PL1 MD1	PL1 MD0	—	PL0 MD
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R/W	R	R/W	R	R/W	R	R/W	R	R/W	R/W	R/W	R/W	R/W	R	R/W

ビット 15 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 14 : PL7 モードビット (PL7MD)

PL7/SCK2 端子の機能を選びます。

ビット 14	説明
PL7MD	
0	汎用入出力 (PL7) (初期値)
1	シリアルクロック入出力 (SCK2)

ビット 13 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 12 : PL6 モードビット (PL6MD)

PL6/ADEND 端子の機能を選びます。

ビット 12	説明
PL6MD	
0	汎用入出力 (PL6) (初期値)
1	A/D 変換終了出力 (ADEND)

ビット 11 : 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット 10 : PL5 モードビット (PL5MD)

PL5/ADTRG1 端子の機能を選びます。

ビット 10	説明
PL5MD	
0	汎用入出力 (PL5) (初期値)
1	A/D 変換トリガ入力 (ADTRG1)

ビット9：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット8：PL4モードビット (PL4MD)

PL4/ $\overline{\text{ADTRG0}}$ 端子の機能を選びます。

ビット8	説 明	
PL4MD		
0	汎用入出力 (PL4)	(初期値)
1	A/D変換トリガ入力 ($\overline{\text{ADTRG0}}$)	

ビット7：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット6：PL3モードビット (PL3MD)

PL3/TCLKB 端子の機能を選びます。

ビット6	説 明	
PL3MD		
0	汎用入出力 (PL3)	(初期値)
1	ATU-IIクロック入力 (TCLKB)	

ビット5、4：PL2モードビット1、0 (PL2MD1、PL2MD0)

PL2/TIO11B/ $\overline{\text{IRQ7}}$ 端子の機能を選びます。

ビット5	ビット4	説 明	
PL2MD1	PL2MD0		
0	0	汎用入出力 (PL2)	(初期値)
	1	ATU-IIインプットキャプチャ入力/アウトプットコンペア出力 (TIO11B)	
1	0	割り込み要求入力 ($\overline{\text{IRQ7}}$)	
	1	予約*	

【注】 * 予約は設定しないでください。

ビット3、2：PL1モードビット1、0 (PL1MD1、PL1MD0)

PL1/TIO11A/ $\overline{\text{IRQ6}}$ 端子の機能を選びます。

ビット3	ビット2	説 明	
PL1MD1	PL1MD0		
0	0	汎用入出力 (PL1)	(初期値)
	1	ATU-IIインプットキャプチャ入力/アウトプットコンペア出力 (TIO11A)	
1	0	割り込み要求入力 ($\overline{\text{IRQ6}}$)	
	1	予約*	

【注】 * 予約は設定しないでください。

21. ピンファンクションコントローラ (PFC)

ビット1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：PL0モードビット (PL0MD)

PL0/TI10 端子の機能を選びます。

ビット0	説 明
PL0MD	
0	汎用入出力 (PL0) (初期値)
1	ATU-II エッジ入力 (TI10)

21.3.25 ポートLインバートレジスタ (PLIR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	PL9 IR	PL8 IR	PL7 IR	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R/W	R/W	R/W	R	R	R	R	R	R	R

ポートLインバートレジスタ (PLIR) は、読み出し/書き込み可能な16ビットのレジスタで、ポートLの反転機能を設定します。PL9IR~PL7IRビットが、それぞれ、PL9/SCK4/IRQ5~PL7/SCK2端子に対応しています。PLIRはポートLの端子機能がシリアルクロックの場合に有効でそれ以外の場合は無効です。

ポートLの端子機能がシリアルクロックの場合、PLIRのビットを1にすると、対応する端子の値は反転します。

PLIRは、パワーオンリセットおよびハードウェアスタンバイモードでH'0000に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

PLnIR	説 明
0	値を反転しない (初期値)
1	値を反転する

n=9~7

22. I/O ポート

22.1 概要

ポートは、A、B、C、D、E、F、G、H、J、K、Lの11本から構成されています。

ポートA、B、E、F、H、J、Kは16ビット、ポートCは5ビット、ポートD、Lは14ビット、ポートGは4ビットの入出力サポートです。

それぞれのポートの端子は、すべて、汎用入出力と、そのほかの機能とを兼ねているマルチプレクス端子です。マルチプレクス端子の機能の選択は、ピンファンクションコントローラ（PFC）で行います。

ポートはそれぞれ、端子のデータを格納するためのデータレジスタを1本ずつ持っています。

また、ポートA、B、D、J、Lは、端子の値をリードするためのポートレジスタを1本ずつ持っています。

22.2 ポート A

ポートAは、図22.1に示すような、16本の端子を持つ入出力ポートです。

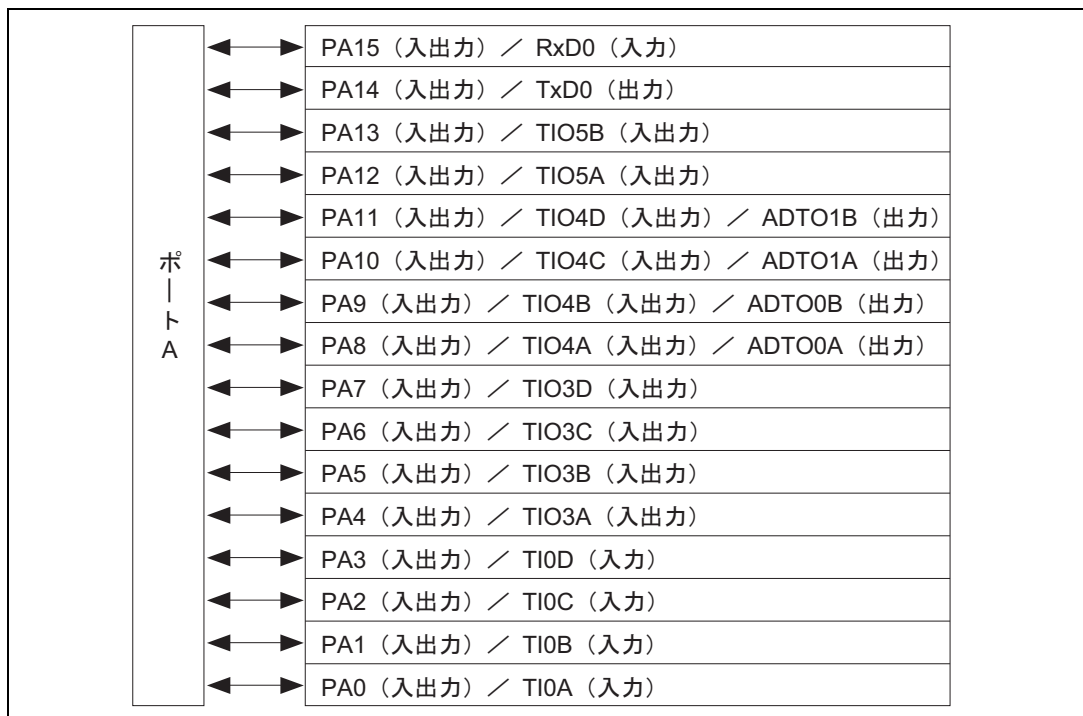


図 22.1 ポート A

22.2.1 レジスタ構成

ポート A のレジスタ構成を表 22.1 に示します。

表 22.1 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート A データレジスタ	PADR	R/W	H'0000	H'FFFFFF726	8、16
ポート A ポートレジスタ	PAPR	R	ポート A 端子の値	H'FFFFFF780	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.2.2 ポート A データレジスタ (PADR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート A データレジスタ (PADR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート A のデータを格納します。PA15DR~PA0DR ビットは、それぞれ、PA15/RxD0~PA0/TIOA 端子に対応しています。

端子機能が汎用出力の場合には、PADR に値を書き込むと端子からその値が出力され、PADR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PADR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PADR に値を書き込むと、PADR にその値を書き込めますが、端子の状態には影響しません。表 22.2 にポート A データレジスタの読み出し/書き込み動作を示します。

PADR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.2 ポート A データレジスタ (PADR) の読み出し/書き込み動作

PAIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PADR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PADR に書き込めるが、端子の状態に影響しない
1	汎用出力	PADR の値	書き込み値が端子から出力される
	汎用出力以外	PADR の値	PADR に書き込めるが、端子の状態に影響しない

22.2.3 ポート A ポートレジスタ (PAPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR
初期値:	PA15	PA14	PA13	PA12	PA11	PA10	PA9	PA8	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート A ポートレジスタ (PAPR) は、読み出し専用の 16 ビットのレジスタで、常にポート A の端子の値を格納しますので、CPU から書き込むことはできません。PA15PR~PA0PR ビットは、それ

ぞれ、PA15/RxD0～PA0/TIOA 端子に対応しています。PAPR は読み出すと端子の値が読み出されま
す。

22.3 ポート B

ポート B は、図 22.2 に示すような、16 本の端子を持つ入出力ポートです。

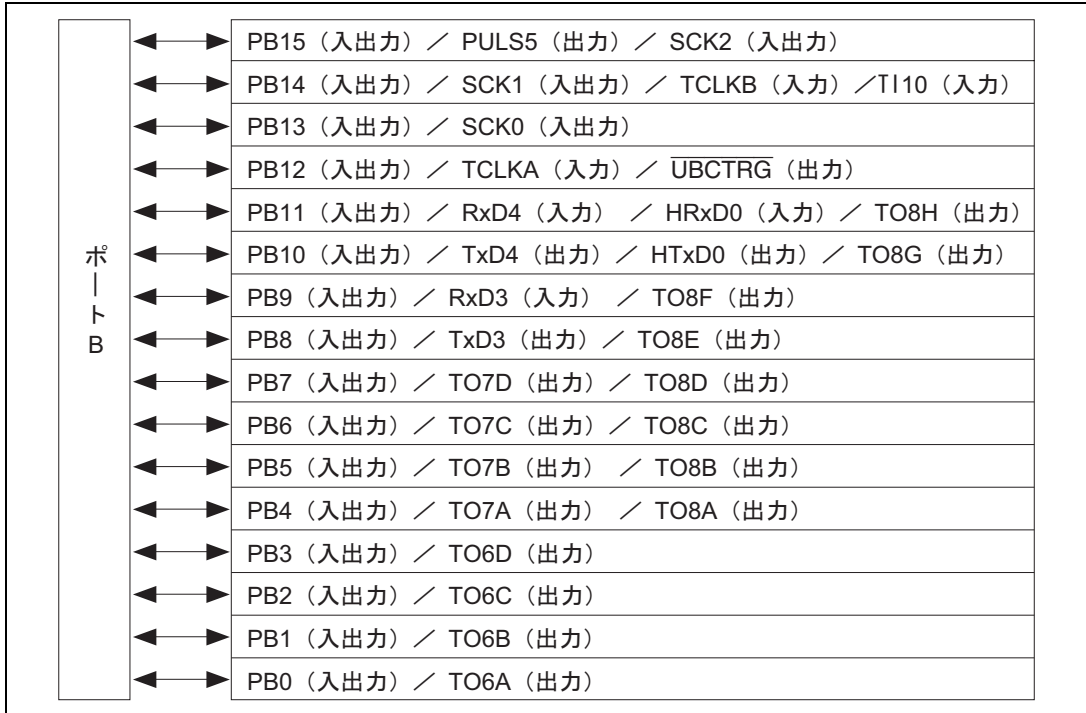


図 22.2 ポート B

22.3.1 レジスタ構成

ポート B のレジスタ構成を表 22.3 に示します。

表 22.3 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート B データレジスタ	PBDR	R/W	H'0000	H'FFFFFF738	8、16
ポート B ポートレジスタ	PBPR	R	ポート B 端子の値	H'FFFFFF782	8、16

【注】 内部クロック逡倍比が 4 逡倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.3.2 ポート B データレジスタ (PBDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート B データレジスタ (PBDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポー

22. I/O ポート (I/O)

ト B のデータを格納します。PB15DR~PB0DR ビットは、それぞれ、PB15/PULS5/SCK2~PB0/TO6A 端子に対応しています。

端子機能が汎用出力の場合には、PBDR に値を書き込むと端子からその値が出力され、PBDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PBDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PBDR に値を書き込むと、PBDR にその値を書き込めますが、端子の状態には影響しません。表 22.4 にポート B データレジスタの読み出し/書き込み動作を示します。

PBDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.4 ポート B データレジスタ (PBDR) の読み出し/書き込み動作

ビット 15~0

PBIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PBDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PBDR の値	書き込み値が端子から出力される
	汎用出力以外	PBDR の値	PBDR に書き込めるが、端子の状態に影響しない

22.3.3 ポート B ポートレジスタ (PBPR)

ビット: 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

PB15	PB14	PB13	PB12	PB11	PB10	PB9	PB8	PB7	PB6	PB5	PB4	PB3	PB2	PB1	PB0
PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR	PR

初期値: PB15 PB14 PB13 PB12 PB11 PB10 PB9 PB8 PB7 PB6 PB5 PB4 PB3 PB2 PB1 PB0
R/W: R R R R R R R R R R R R R R R R

ポート B ポートレジスタ (PBPR) は、読み出し専用の 16 ビットのレジスタで、常にポート B の端子の値を格納しますので、CPU から書き込むことはできません。PB15PR~PB0PR ビットは、それぞれ、PB15/PULS5/SCK2~PB0/TO6A 端子に対応しています。PBPR は読み出すと端子の値が読み出されます。

22.4 ポート C

ポート C は、図 22.3 に示すような、5 本の端子を持つ入出力ポートです。

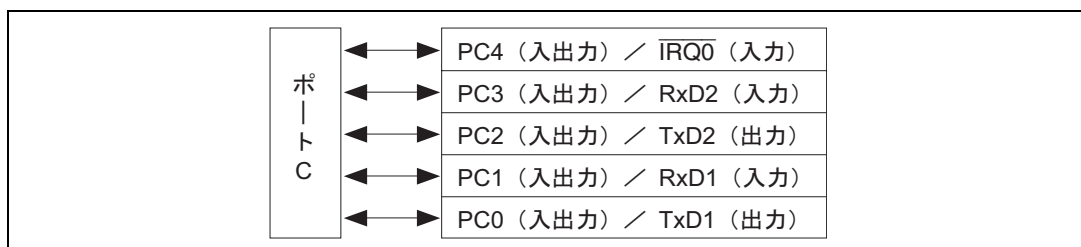


図 22.3 ポート C

22.4.1 レジスタ構成

ポート C のレジスタ構成を表 22.5 に示します。

表 22.5 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート C データレジスタ	PCDR	R/W	H'0000	H'FFFFFF3E	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.4.2 ポート C データレジスタ (PCDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	—	—	—	—	PC4 DR	PC3 DR	PC2 DR	PC1 DR	PC0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W	R/W

ポート C データレジスタ (PCDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート C のデータを格納します。PC4DR~PC0DR ビットは、それぞれ、PC4/IRQ0~PC0/TxD1 端子に対応しています。

端子機能が汎用出力の場合には、PCDR に値を書き込むと端子からその値が出力され、PCDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PCDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PCDR に値を書き込むと、PCDR にその値を書き込めますが、端子の状態には影響しません。表 22.6 にポート C データレジスタの読み出し/書き込み動作を示します。

PCDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~5: 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 22.6 ポート C データレジスタ (PCDR) の読み出し/書き込み動作

PCIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PCDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PCDR の値	書き込み値が端子から出力される
	汎用出力以外	PCDR の値	PCDR に書き込めるが、端子の状態に影響しない

22.5 ポート D

ポート D は、図 22.4 に示すような、14 本の端子を持つ入出力ポートです。

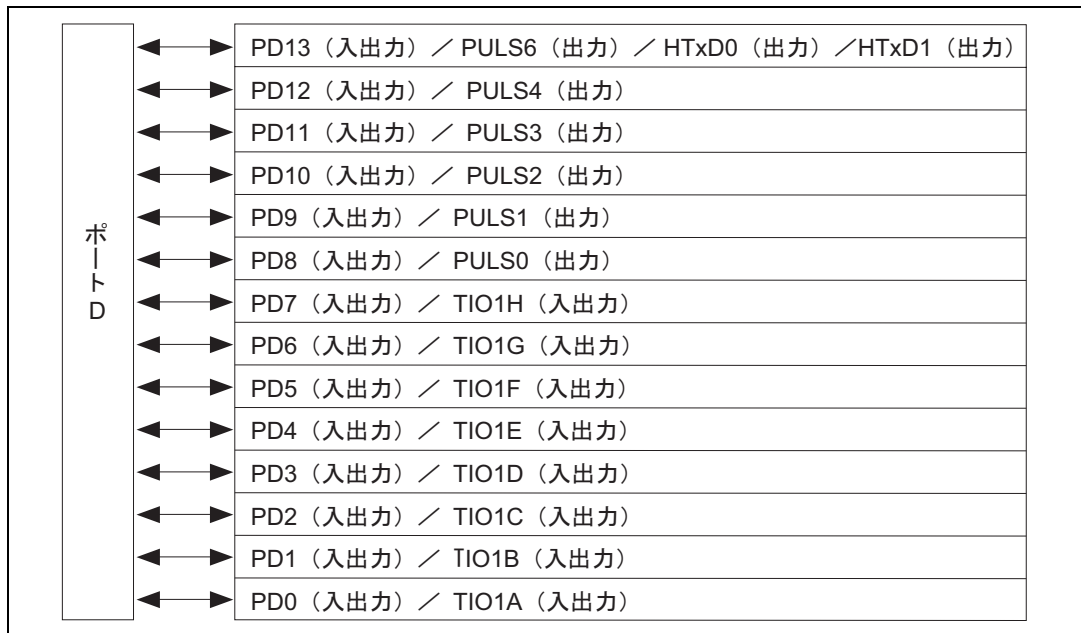


図 22.4 ポート D

22.5.1 レジスタ構成

ポート D のレジスタ構成を表 22.7 に示します。

表 22.7 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート D データレジスタ	PDDR	R/W	H'0000	H'FFFFFF746	8、16
ポート D ポートレジスタ	PDPR	R	ポート D 端子の値	H'FFFFFF784	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.5.2 ポート D データレジスタ (PDDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PD13 DR	PD12 DR	PD11 DR	PD10 DR	PD9 DR	PD8 DR	PD7 DR	PD6 DR	PD5 DR	PD4 DR	PD3 DR	PD2 DR	PD1 DR	PD0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート D データレジスタ (PDDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート D のデータを格納します。PD13DR~PD0DR ビットは、それぞれ、PD13/PULS6/HTxD0/HTxD1~PD0/TIO1A 端子に対応しています。

端子機能が汎用出力の場合には、PDDR に値を書き込むと端子からその値が出力され、PDDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PDDR を読み出すとレジスタの値ではなく端子の状態が直接読み

出されます。また PDDR に値を書き込むと、PDDR にその値を書き込めますが、端子の状態には影響しません。表 22.8 にポート D データレジスタの読み出し／書き込み動作を示します。

PDDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15、14：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 22.8 ポート D データレジスタ (PDDR) の読み出し／書き込み動作

ビット 13~0

PDIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PDDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PDDR の値	書き込み値が端子から出力される
	汎用出力以外	PDDR の値	PDDR に書き込めるが、端子の状態に影響しない

22.5.3 ポート D ポートレジスタ (PDPR)

ビット：	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PD13 PR	PD12 PR	PD11 PR	PD10 PR	PD9 PR	PD8 PR	PD7 PR	PD6 PR	PD5 PR	PD4 PR	PD3 PR	PD2 PR	PD1 PR	PD0 PR
初期値：	PD15	PD14	PD13	PD12	PD11	PD10	PD9	PD8	PD7	PD6	PD5	PD4	PD3	PD2	PD1	PD0
R/W：	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート D ポートレジスタ (PDPR) は、読み出し専用の 16 ビットのレジスタで、常にポート D の端子の値を格納しますので、CPU から書き込むことはできません。PD13PR~PD0PR ビットは、それぞれ、PD13/PULS6/HTxD0/HTxD1~PD0/TIO1A 端子に対応しています。PDPR は読み出すと端子の値が読み出されます。

22.6 ポート E

ポート E は、図 22.5 に示すような、16 本の端子を持つ入出力ポートです。

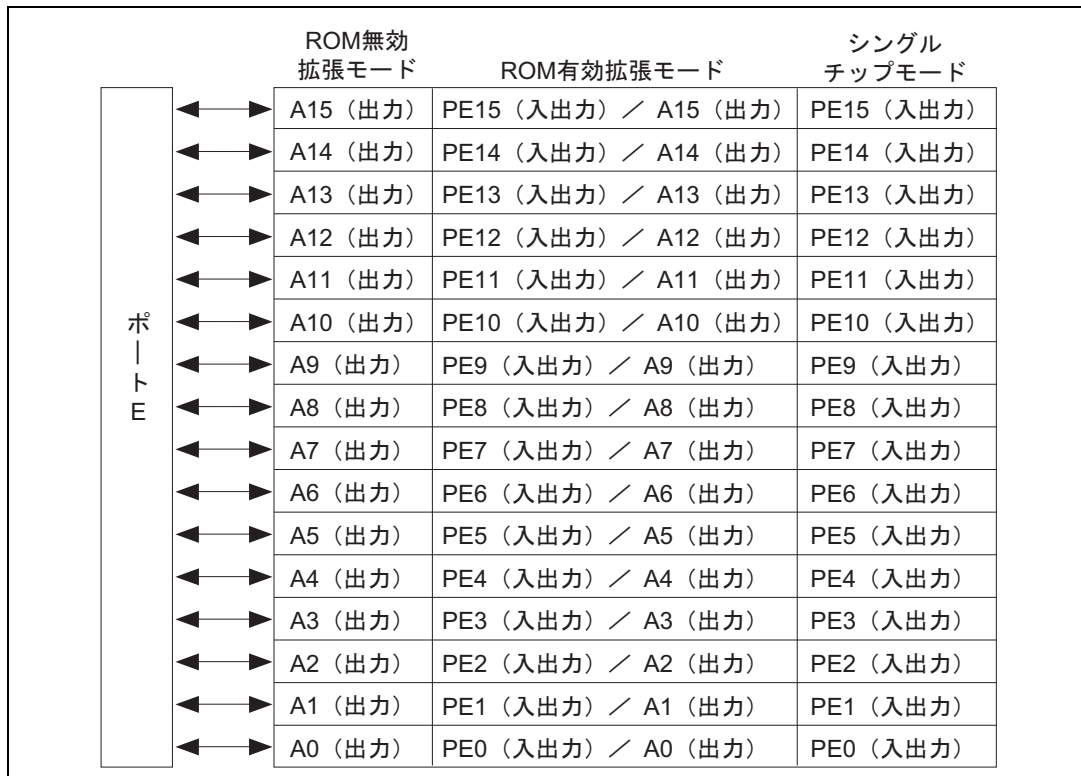


図 22.5 ポート E

22.6.1 レジスタ構成

ポート E のレジスタ構成を表 22.9 に示します。

表 22.9 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート E データレジスタ	PEDR	R/W	H'0000	H'FFFFFF754	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (φ) で 4 または 5 サイクルです。

22.6.2 ポート E データレジスタ (PEDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PE15	PE14	PE13	PE12	PE11	PE10	PE9	PE8	PE7	PE6	PE5	PE4	PE3	PE2	PE1	PE0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート E データレジスタ (PEDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート E のデータを格納します。PE15DR~PE0DR ビットは、それぞれ、PE15/A15~PE0/A0 端子に対応

しています。

端子機能が汎用出力の場合には、PEDR に値を書き込むと端子からその値が出力され、PEDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PEDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PEDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PEDR に値を書き込むと、PEDR にその値を書き込めますが、端子の状態には影響しません。表 22.10 にポート E データレジスタの読み出し／書き込み動作を示します。

PEDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.10 ポート E データレジスタ (PEDR) の読み出し／書き込み動作

ビット 15~0

PEIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PEDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PEDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ)
			PEDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PEDR の値	PEDR に書き込めるが、端子の状態に影響しない

22.7 ポート F

ポート F は、図 22.6 に示すような、16 本の端子を持つ入出力ポートです。

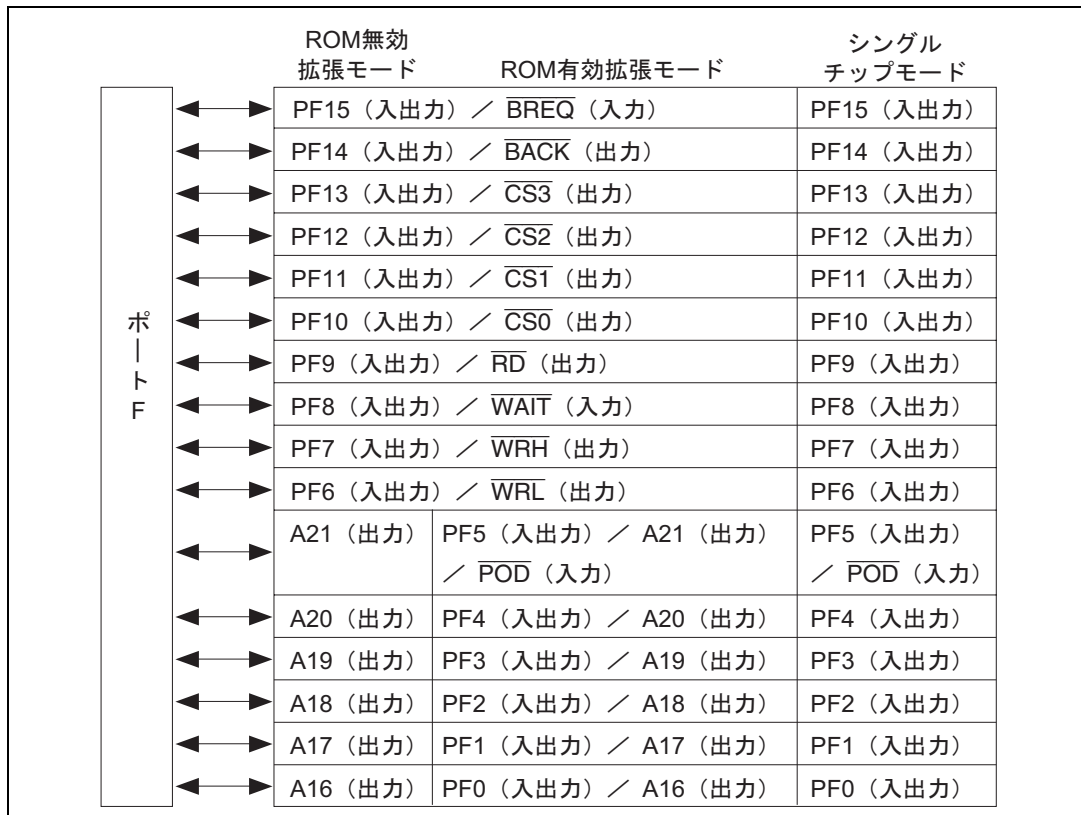


図 22.6 ポート F

22.7.1 レジスタ構成

ポート F のレジスタ構成を表 22.11 に示します。

表 22.11 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート F データレジスタ	PFDR	R/W	H'0000	H'FFFFFF74E	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.7.2 ポート F データレジスタ (PFDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PF15	PF14	PF13	PF12	PF11	PF10	PF9	PF8	PF7	PF6	PF5	PF4	PF3	PF2	PF1	PF0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート F データレジスタ (PFDR) は、読み出し／書き込み可能な 16 ビットのレジスタで、ポート

Fのデータを格納します。PF15DR~PF0DR ビットは、それぞれ、PF15/ $\overline{\text{BREQ}}$ ~PF0/A16 端子に対応しています。

端子機能が汎用出力の場合には、PFDR に値を書き込むと端子からその値が出力され、PFDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、PF0~PF4 は、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PFDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PFDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PFDR に値を書き込むと、PFDR にその値を書き込めますが、端子の状態には影響しません。表 22.12 にポート F データレジスタの読み出し/書き込み動作を示します。

PFDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.12 ポート F データレジスタ (PFDR) の読み出し/書き込み動作

ビット 15~5

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

ビット 4~0

PFIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PFDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PFDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ) PFDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PFDR の値	PFDR に書き込めるが、端子の状態に影響しない

22.8 ポート G

ポート G は、図 22.7 に示すような、4 本の端子を持つ入出力ポートです。

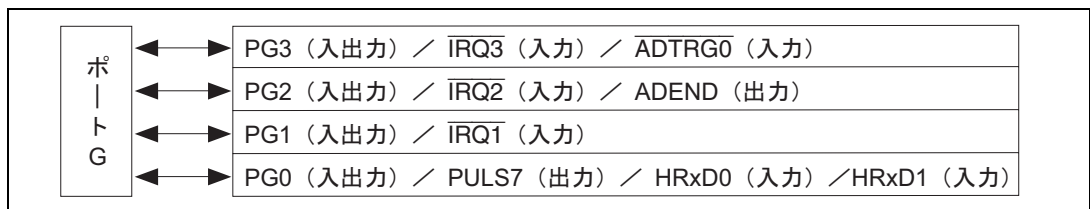


図 22.7 ポート G

22.8.1 レジスタ構成

ポート G のレジスタ構成を表 22.13 に示します。

表 22.13 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート G データレジスタ	PGDR	R/W	H'0000	H'FFFFFF764	8、16

【注】 内部クロック通信比が 4 通信時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.8.2 ポート G データレジスタ (PGDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	-	-	-	-	-	-	-	-	-	-	-	-	PG3 DR	PG2 DR	PG1 DR	PG0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R/W	R/W	R/W	R/W

ポート G データレジスタ (PGDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート G のデータを格納します。PG3DR~PG0DR ビットは、それぞれ、PG3/IRQ3/ADTRG0~PG0/PULS7/HRxD0/HRxD1 端子に対応しています。

端子機能が汎用出力の場合には、PGDR に値を書き込むと端子からその値が出力され、PGDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PGDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PGDR に値を書き込むと、PGDR にその値を書き込めますが、端子の状態には影響しません。表 22.14 にポート G データレジスタの読み出し/書き込み動作を示します。

PGDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

ビット 15~4 : 予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

表 22.14 ポート G データレジスタ (PGDR) の読み出し/書き込み動作

ビット 3~0

PGIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PGDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PGDR の値	書き込み値が端子から出力される
	汎用出力以外	PGDR の値	PGDR に書き込めるが、端子の状態に影響しない

22.9 ポート H

ポート H は、図 22.8 に示すような、16 本の端子を持つ入出力ポートです。

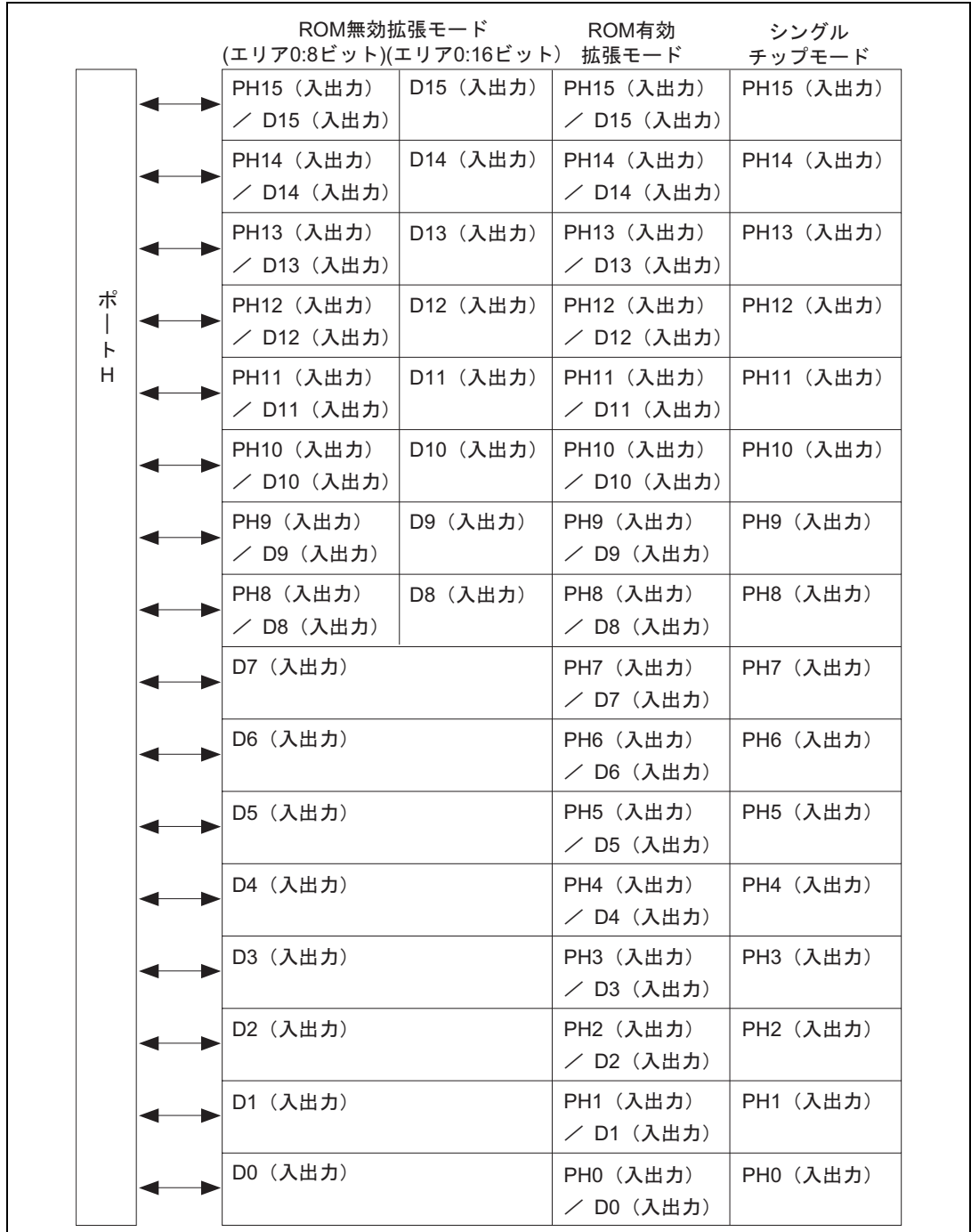


図 22.8 ポート H

22.9.1 レジスタ構成

ポート H のレジスタ構成を表 22.15 に示します。

表 22.15 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート H データレジスタ	PHDR	R/W	H'0000	H'FFFFFF72C	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (φ) で 4 または 5 サイクルです。

22.9.2 ポート H データレジスタ (PHDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PH15 DR	PH14 DR	PH13 DR	PH12 DR	PH11 DR	PH10 DR	PH9 DR	PH8 DR	PH7 DR	PH6 DR	PH5 DR	PH4 DR	PH3 DR	PH2 DR	PH1 DR	PH0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート H データレジスタ (PHDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート H のデータを格納します。PH15DR~PH0DR ビットは、それぞれ、PH15/D15~PH0/D0 端子に対応しています。

端子機能が汎用出力の場合には、PHDR に値を書き込むと端子からその値が出力され、PHDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。なお、 $\overline{\text{POD}}$ 端子をローにしたときには、汎用出力は PHDR の値にかかわらずハイインピーダンスになります。 $\overline{\text{POD}}$ 端子をハイにしたときは、書き込んだ値が端子から出力されます。

端子機能が汎用入力の場合には、PHDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PHDR に値を書き込むと、PHDR にその値を書き込めますが、端子の状態には影響しません。表 22.16 にポート H データレジスタの読み出し/書き込み動作を示します。

PHDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.16 ポート H データレジスタ (PHDR) の読み出し/書き込み動作

ビット 15~0

PHIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PHDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PHDR の値	書き込み値が端子から出力される ($\overline{\text{POD}}$ 端子=ハイ) PHDR の値にかかわらずハイインピーダンス ($\overline{\text{POD}}$ 端子=ロー)
	汎用出力以外	PHDR の値	PHDR に書き込めるが、端子の状態に影響しない

22.10 ポート J

ポート J は、図 22.9 に示すような、16 本の端子を持つ入出力ポートです。

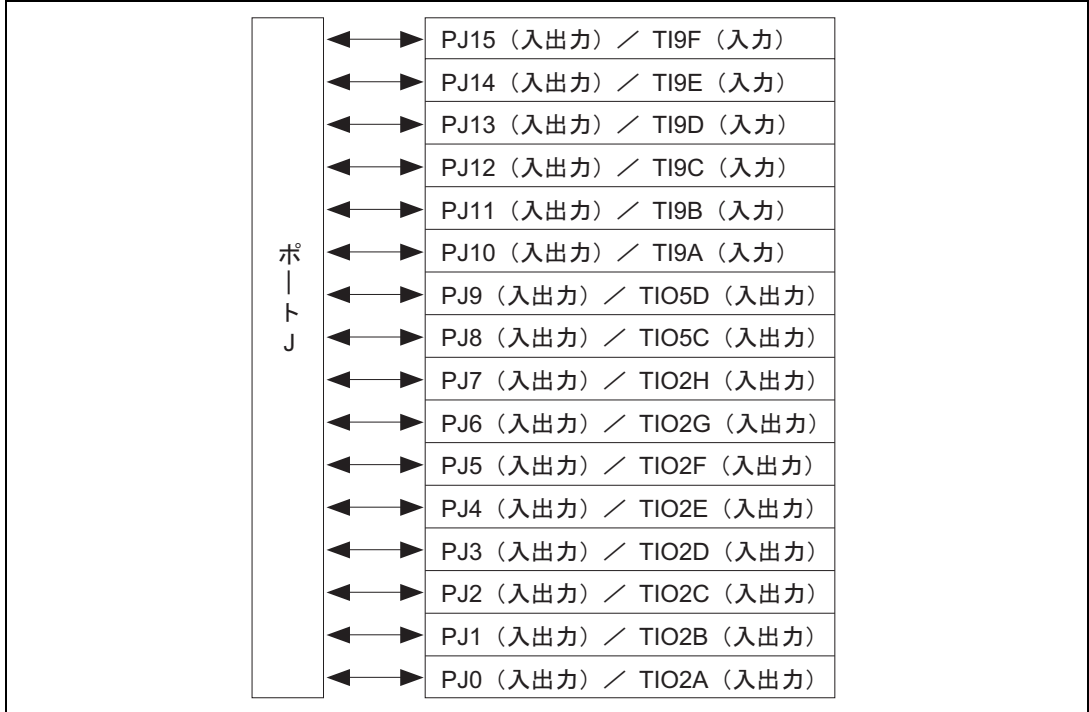


図 22.9 ポート J

22.10.1 レジスタ構成

ポート J のレジスタ構成を表 22.17 に示します。

表 22.17 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート J データレジスタ	PJDR	R/W	H'0000	H'FFFFFF76C	8、16
ポート J ポートレジスタ	PJPR	R	ポート J 端子の値	H'FFFFFF786	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.10.2 ポート J データレジスタ (PJDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート J データレジスタ (PJDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート J のデータを格納します。PJ15DR~PJ0DR ビットは、それぞれ、PJ15/TI9F~PJ0/TIO2A 端子に対応しています。

22. I/O ポート (I/O)

端子機能が汎用出力の場合には、PJDR に値を書き込むと端子からその値が出力され、PJDR を読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PJDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PJDR に値を書き込むと、PJDR にその値を書き込めますが、端子の状態には影響しません。表 22.18 にポート J データレジスタの読み出し／書き込み動作を示します。

PJDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.18 ポート J データレジスタ (PJDR) の読み出し／書き込み動作

ビット 15~0

PJIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PJDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PJDR の値	書き込み値が端子から出力される
	汎用出力以外	PJDR の値	PJDR に書き込めるが、端子の状態に影響しない

22.10.3 ポート J ポートレジスタ (PJPR)

ビット :	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PJ15 PR	PJ14 PR	PJ13 PR	PJ12 PR	PJ11 PR	PJ10 PR	PJ9 PR	PJ8 PR	PJ7 PR	PJ6 PR	PJ5 PR	PJ4 PR	PJ3 PR	PJ2 PR	PJ1 PR	PJ0 PR
初期値 :	PJ15	PJ14	PJ13	PJ12	PJ11	PJ10	PJ9	PJ8	PJ7	PJ6	PJ5	PJ4	PJ3	PJ2	PJ1	PJ0
R/W :	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート J ポートレジスタ (PJPR) は、読み出し専用の 16 ビットのレジスタで、常にポート J の端子の値を格納しますので、CPU から書き込むことはできません。PJ15PR~PJ0PR ビットは、それぞれ、PJ15/TI9F~PJ0/TIO2A 端子に対応しています。PJPR は読み出すと端子の値が読み出されます。

22.11 ポート K

ポート K は、図 22.10 に示すような、16本の端子を持つ入出力ポートです。

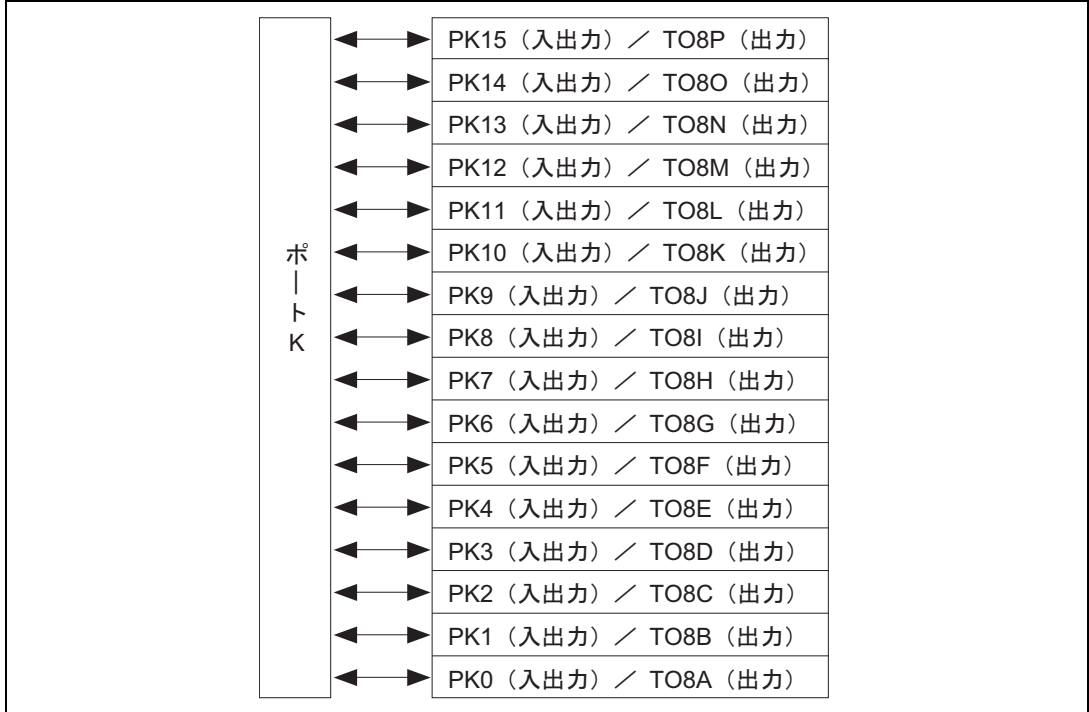


図 22.10 ポート K

22.11.1 レジスタ構成

ポート K のレジスタ構成を表 22.19 に示します。

表 22.19 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポート K データレジスタ	PKDR	R/W	H'0000	H'FFFFFF78	8、16

【注】 内部クロック通倍比が 4 通倍時のレジスタアクセスは、内部クロック (ϕ) で 4 または 5 サイクルです。

22.11.2 ポート K データレジスタ (PKDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	PK15	PK14	PK13	PK12	PK11	PK10	PK9	PK8	PK7	PK6	PK5	PK4	PK3	PK2	PK1	PK0
	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR	DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポート K データレジスタ (PKDR) は、読み出し/書き込み可能な 16 ビットのレジスタで、ポート K のデータを格納します。PK15DR~PK0DR ビットは、それぞれ、PK15/TO8P~PK0/TO8A 端子に対応しています。

端子機能が汎用出力の場合には、PKDR に値を書き込むと端子からその値が出力され、PKDR を読

22. I/O ポート (I/O)

み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PKDR を読み出すとレジスタの値ではなく端子の状態が直接読み出されます。また PKDR に値を書き込むと、PKDR にその値を書き込めますが、端子の状態には影響しません。表 22.20 にポート K データレジスタの読み出し／書き込み動作を示します。

PKDR は、パワーオンリセットおよびハードウェアスタンバイモードで H'0000 に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDT によるパワーオンリセットでは、初期化されません。

表 22.20 ポート K データレジスタ (PKDR) の読み出し／書き込み動作

ビット 15~0

PKIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PKDR に書き込めるが、端子の状態に影響しない
1	汎用出力	PKDR の値	書き込み値が端子から出力される
	汎用出力以外	PKDR の値	PKDR に書き込めるが、端子の状態に影響しない

22.12 ポート L

ポート L は、図 22.11 に示すような、14 本の端子を持つ入出力ポートです。

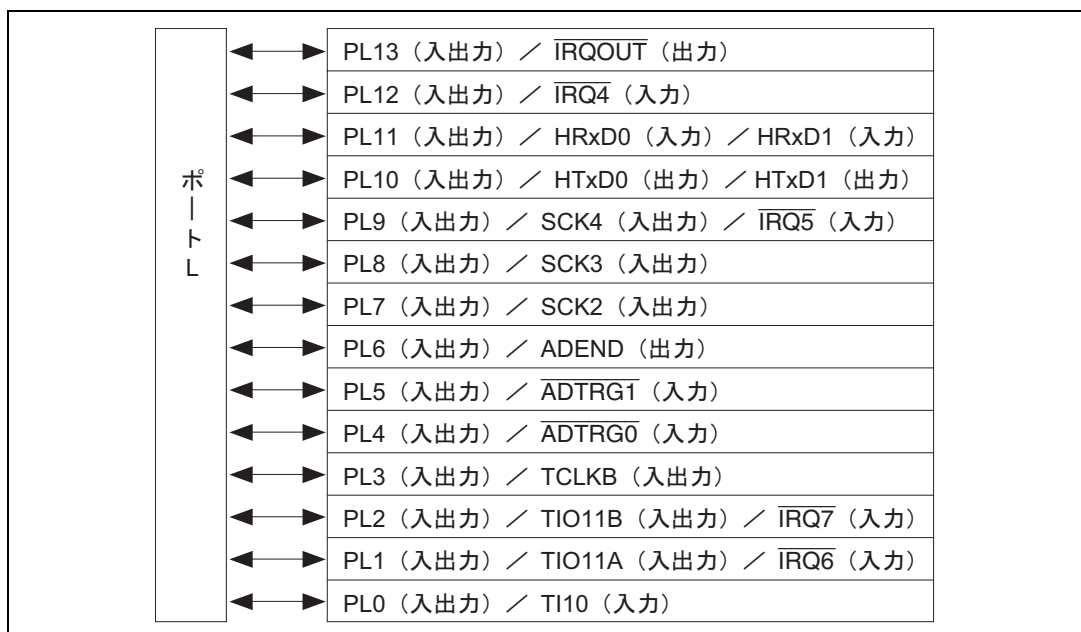


図 22.11 ポート L

22.12.1 レジスタ構成

ポートLのレジスタ構成を表22.21に示します。

表 22.21 レジスタ構成

名称	略称	R/W	初期値	アドレス	アクセスサイズ
ポートLデータレジスタ	PLDR	R/W	H'0000	H'FFFFFF75E	8、16
ポートLポートレジスタ	PLPR	R	ポートL端子の値	H'FFFFFF788	8、16

【注】 内部クロック通倍比が4通倍時のレジスタアクセスは、内部クロック(φ)で4または5サイクルです。

22.12.2 ポートLデータレジスタ (PLDR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PL13 DR	PL12 DR	PL11 DR	PL10 DR	PL9 DR	PL8 DR	PL7 DR	PL6 DR	PL5 DR	PL4 DR	PL3 DR	PL2 DR	PL1 DR	PL0 DR
初期値:	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
R/W:	R	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ポートLデータレジスタ (PLDR) は、読み出し/書き込み可能な16ビットのレジスタで、ポートLのデータを格納します。PL13DR~PL0DRビットは、それぞれ、PL13/ $\overline{\text{IRQOUT}}$ ~PL0/TI10端子に対応しています。

端子機能が汎用出力の場合には、PLDRに値を書き込むと端子からその値が出力され、PLDRを読み出すと端子の状態に関係なくレジスタの値が直接読み出されます。

端子機能が汎用入力の場合には、PLDRを読み出すとレジスタの値ではなく端子の状態が直接読み出されます。またPLDRに値を書き込むと、PLDRにその値を書き込めますが、端子の状態には影響しません。表22.22にポートLデータレジスタの読み出し/書き込み動作を示します。

PLDRは、パワーオンリセットおよびハードウェアスタンバイモードでH'0000に初期化されます。しかし、ソフトウェアスタンバイモードおよびスリープモード時には、初期化されません。また、WDTによるパワーオンリセットでは、初期化されません。

ビット15、14: 予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

表 22.22 ポートLデータレジスタ (PLDR) の読み出し/書き込み動作

ビット13~0

PLIOR	端子機能	読み出し	書き込み
0	汎用入力	端子の状態	PLDRに書き込めるが、端子の状態に影響しない
	汎用入力以外	端子の状態	PLDRに書き込めるが、端子の状態に影響しない
1	汎用出力	PLDRの値	書き込み値が端子から出力される
	汎用出力以外	PLDRの値	PLDRに書き込めるが、端子の状態に影響しない

22.12.3 ポート L ポートレジスタ (PLPR)

ビット:	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
	—	—	PL13 PR	PL12 PR	PL11 PR	PL10 PR	PL9 PR	PL8 PR	PL7 PR	PL6 PR	PL5 PR	PL4 PR	PL3 PR	PL2 PR	PL1 PR	PL0 PR
初期値:	PL15	PL14	PL13	PL12	PL11	PL10	PL9	PL8	PL7	PL6	PL5	PL4	PL3	PL2	PL1	PL0
R/W:	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R	R

ポート L ポートレジスタ (PLPR) は、読み出し専用の 16 ビットのレジスタで、常にポート L の端子の値を格納しますので、CPU から書き込むことはできません。PL13PR~PL0PR ビットは、それぞれ、PL13/IRQOUT~PL0/TI10 端子に対応しています。PLPR は読み出すと端子の値が読み出されます。

22.13 POD (ポートアウトプットディスエーブル)

$\overline{\text{POD}}$ (ポートアウトプットディスエーブル) 端子の入力レベルにより、アドレスバス端子 (A20~A0) およびデータバス端子 (D15~D0) の出力ポートのドライブバッファを制御できます。ただし、この機能はアドレスバス端子 (A20~A0) およびデータバス端子 (D15~D0) が汎用出力ポートに設定されているときのみ有効です。

$\overline{\text{POD}}$ による出力バッファの制御はバスサイクルとは非同期に行います。

$\overline{\text{POD}}$	アドレスバス (A20~A0) 端子とデータバス (D15~D0) 端子 (出力ポート設定時)
0	有効 (ハイインピーダンス)
1	無効 (汎用出力)

23. ROM

23.1 特長

本 LSI は 1MB のフラッシュメモリを内蔵しています。フラッシュメモリの特長を以下に示します。

■ LSI起動モードに合わせた2種類のフラッシュメモリマット

内蔵しているフラッシュメモリには、同一アドレス空間に配置される2種類のメモリ空間（以下メモリマットと呼びます）があり、起動時のモード設定により、どちらのメモリマットから起動するかを選択できます。また、起動後もバンク切り替え方式でマットを切り替えることも可能です。

- ユーザモードでパワーオンリセット時に起動するユーザマット：1MB
- ユーザブートモードでパワーオンリセット時に起動するユーザブートマット：8kB

■ 3種類のオンボードプログラミングモードと、1種類のオフボードプログラミングモード

- オンボードプログラミングモード

ブートモード

内蔵SCIインタフェースを使用するプログラムモードで、ユーザマットとユーザブートマットの書き換えができます。本モードでは、ホストと本LSI間のビットレートを自動で合わせることができます。

ユーザプログラムモード

任意のインタフェースで、ユーザマットの書き換えができます。

ユーザブートモード

任意のインタフェースのユーザブートプログラム作成が可能で、ユーザマットの書き換えが可能です。

- オフボードプログラミングモード

ライターモード

PROMライターを用いたライターモードで、ユーザマットとユーザブートマットの書き換えが可能です。

■ 内蔵プログラムのダウンロードによる書き込み/消去インタフェース

本LSIでは専用の書き込み/消去プログラムを内蔵しています。このプログラムを内蔵RAMにダウンロードした後、引数パラメータを設定するだけで書き込み/消去が可能です。さらに、ユーザブランチをサポートしています。

ユーザブランチ

書き込み処理は128バイト単位で実施しますが、書き込みパルス印加、ベリファイ読み出しなどいくつかのステップから構成されています。消去も1分割ブロック単位で実施しますが、いくつかの処理ステップから構成されています。このステップの合間にユーザ処理ルーチンの実行が可能な設定を行うことができ、この設定をユーザブランチ付きと呼びます。

■ 内蔵RAMによるフラッシュメモリのエミュレーション機能

フラッシュメモリと内蔵RAMの一部を重ね合わせることで、フラッシュメモリの書き換えをリアルタイムにエミュレートすることができます。

■ プロテクトモード

レジスタ設定によるソフトウェアプロテクトと、FWE端子によるハードウェアプロテクトの

2種類のモードがあり、フラッシュメモリの書き込み／消去に対するプロテクト状態を設定することができます。

また、書き込み／消去中の暴走などの異常発生を検出した場合、エラープロテクト状態に遷移し、書き込み／消去処理を中断する機能があります。

■書き込み／消去時間

フラッシュメモリの書き込み時間は、128バイト同時書き込みにて t_p ms (typ)、1バイト当たり換算にて $t_p/128$ ms、消去時間はブロック当たり t_e s (typ)です。

■書き換え回数

フラッシュメモリの書き換えは、 N_{WEC} まで可能です。

■書き込み／消去時の動作周波数

書き込み／消去時の動作周波数は最大40MHzです。

23.2 概要

23.2.1 ブロック図

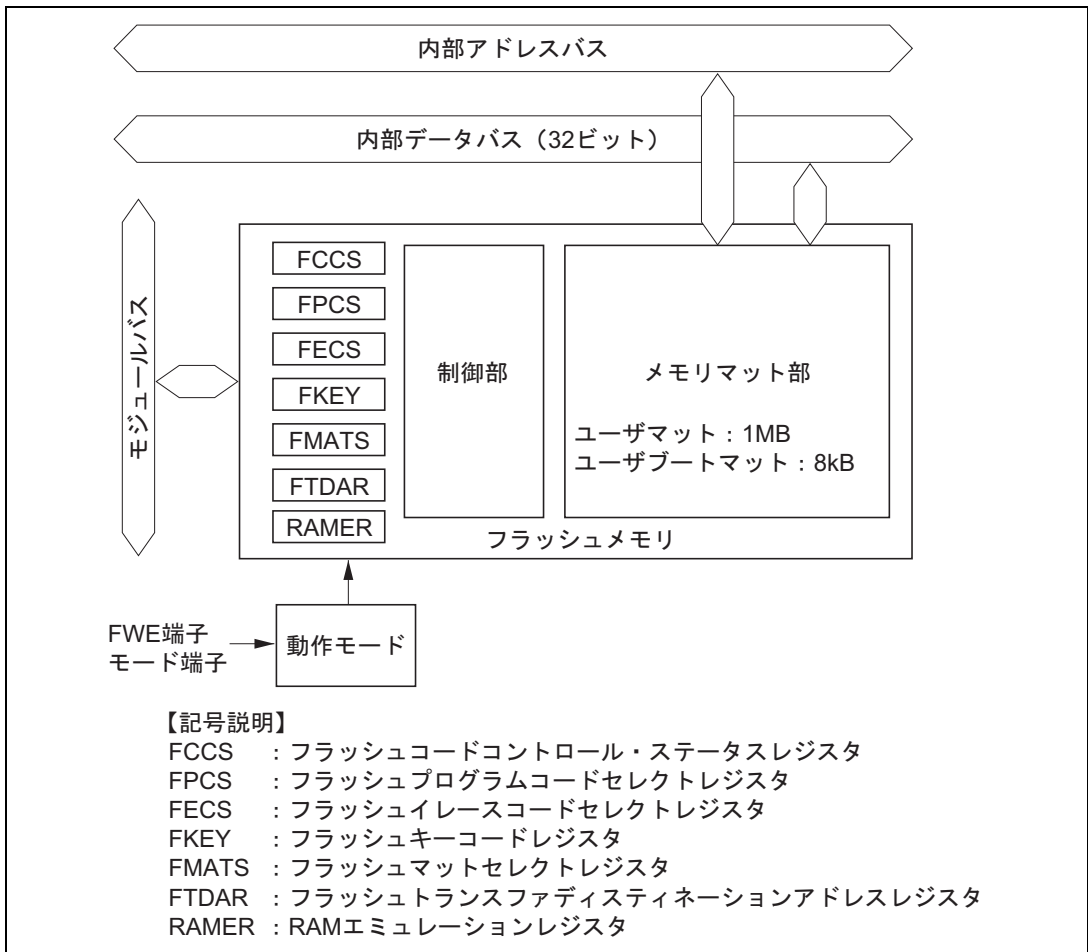


図 23.1 フラッシュメモリのブロック図

23.2.2 動作モード

リセット状態で各モード端子と FWE 端子を設定しリセットリリースすると、マイコンは図 23.2 に示すような各動作モードへ遷移します。各モード端子と FWE 端子の設定は、表 23.1 をご覧ください。

- (1) ROM無効モードではフラッシュメモリの読み出し／書き込み／消去はできません。また、書き込み／消去インタフェースレジスタの書き込みはできません。読み出すと常にH'00が読み出されます。
- (2) ユーザモードではフラッシュメモリの読み出しはできますが、書き込み／消去はできません。
- (3) オンボードでフラッシュメモリの読み出し／書き込み／消去ができるのは、ユーザプログラムモード、ユーザブートモード、ブートモードです。
- (4) ライタモードでは、PROMライタを利用してフラッシュメモリの読み出し／書き込み／消去を行います。

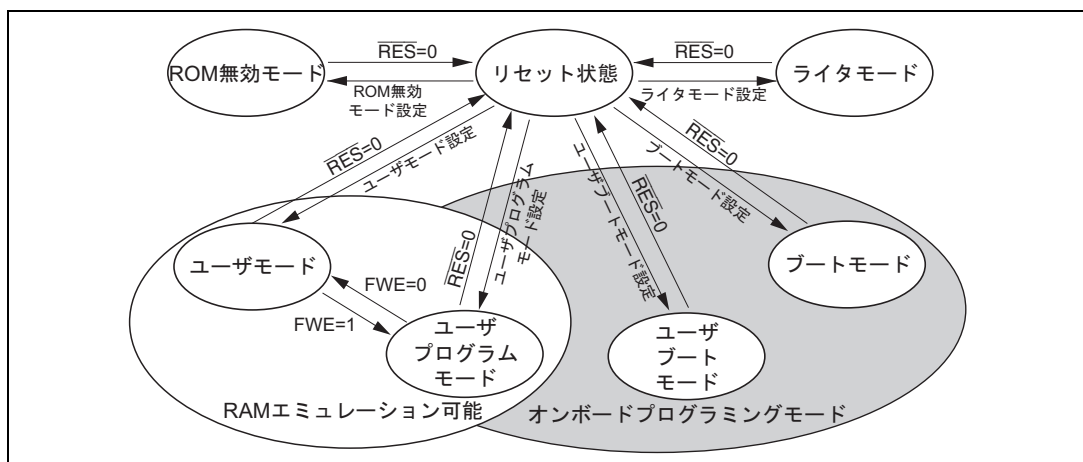


図 23.2 フラッシュメモリに関するモード遷移図

表 23.1 FWE 端子、MD 端子設定と動作モード

端子	モード						
	リセット状態	ROM 無効モード	ユーザモード	ユーザプログラムモード	ユーザブートモード	ブートモード	ライタモード
RES	0	1	1	1	1	1	1
FWE	0/1	0	0	1	1	1	0/1
MD0	0/1	0/1*1	0/1*2	0/1*2	0/1*2	0/1*2	1
MD1	0/1	0	1	1	0	0	1
MD2	0/1	1	1	1	0	1	0

【注】 *1 MD0=0 : 幅 8 bit の外部バス、MD0=1 : 幅 16 bit の外部バス

*2 MD0=0 : 外部バス使用可能、MD0=1 : シングルチップモード (外部バス使用不可)

23.2.3 モード比較

ブートモード、ユーザプログラムモード、ユーザブートモード、ライターモードについての書き込み／消去関連項目の比較表を表 23.2 に示します。

表 23.2 プログラミングモードの比較

	ブートモード	ユーザプログラムモード	ユーザブートモード	ライターモード
書き込み／消去環境	オンボードプログラミング			オフボードプログラミング
書き込み／消去可能マット	ユーザマット ユーザブートマット	ユーザマット	ユーザマット	ユーザマット ユーザブートマット
書き込み／消去制御	コマンド方式	書き込み／消去 インタフェース	書き込み／消去 インタフェース	コマンド方式
全面消去	○（自動）	○	○	○（自動）
ブロック分割消去	○*1	○	○	×
書き込みデータ転送	ホストから SCI 経由	任意のデバイス から RAM 経由	任意のデバイス から RAM 経由	ライター経由
ユーザーブランチ機能	×	○	○	×
RAM エミュレーション	×	○	×	×
リセットスタート時の起動マット	組み込みプログラム 格納マット	ユーザマット	ユーザブート マット*2	組み込みプログラム 格納マット
ユーザモードへの遷移	モード設定変更& リセット	FWE 設定変更	モード設定変更& リセット	—

【注】 *1 いったん全面消去が行われます。その後、特定ブロックの消去を行うことができます。

*2 いったん組み込みプログラム格納マットから起動し、フラッシュ関連レジスタのチェックが実行された後、ユーザブートマットのリセットベクタから起動します。

- ユーザブートマットの書き込み／消去は、ブートモードとライターモードでのみ可能です。
- ブートモードでは、いったんユーザマットとユーザブートマットが全面消去されます。その後、コマンド方式でユーザマットまたはユーザブートマットの書き込みができますが、この状態になるまではマット内容の読み出しはできません。
- ユーザブートマットだけ書き込んでユーザマットの書き換えはユーザブートモードで実施する、あるいは、ユーザブートモードは使用しないためユーザマットだけ書き換えるなどの使い方が可能です。
- ユーザブートモードでは、ユーザプログラムモードと異なるモード端子設定で、任意のインタフェースのブート動作を実現できます。

23.2.4 フラッシュメモリ構成

本 LSI のフラッシュメモリは、1MB のユーザマットと 8kB のユーザブートマットから構成されています。

ユーザマットとユーザブートマットは先頭アドレスが同じアドレスに割り当てられていますので、2つのマット間でプログラム実行またはデータアクセスがまたがる場合は、FMATS レジスタによるマット切り替えが必要です。また、ユーザマットは、512kB 単位の 2 つのバンク（バンク 0 / バンク 1）に分けられています。

ユーザマット / ユーザブートマットの読み出しは ROM 有効モードであればどのモードでも可能ですが、ユーザブートマットの書き換えはブートモードとライターモードでのみ可能です。

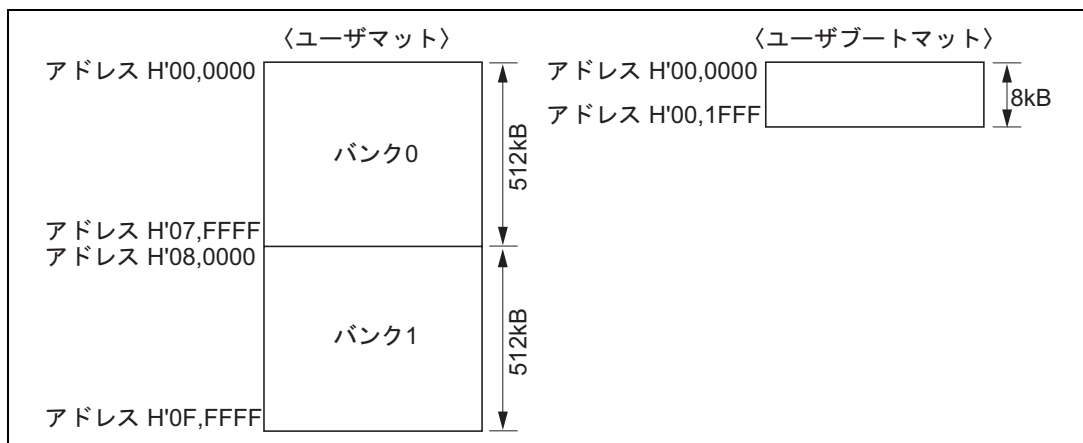


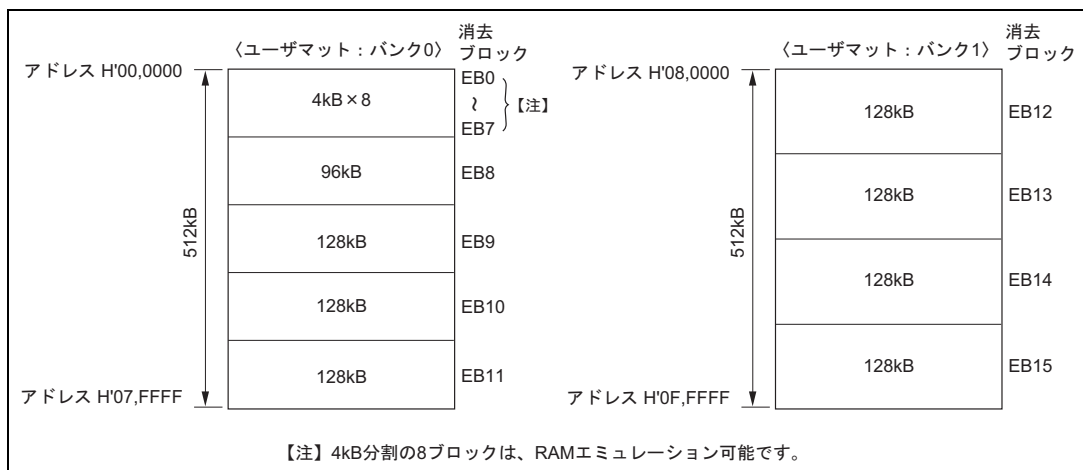
図 23.3 フラッシュメモリ構成図

ユーザマットとユーザブートマットはメモリサイズが異なります。8kB 以上の空間のユーザブートマットをアクセスしないようにしてください。8kB を超えるユーザブートマットを読み出した場合、不定値が読み出されます。

23.2.5 ブロック分割

ユーザマットは、図 23.4 に示すように 128kB (7 ブロック)、96kB (1 ブロック)、4kB (8 ブロック) に分割されています。この分割ブロック単位に消去ができ、消去時に EB0～EB15 の消去ブロック番号で指定します。

4kB 分割の 8 ブロックが RAM エミュレーション可能な領域です。



23.2.6 書き込み／消去インターフェース

書き込み／消去の実行は内蔵されているプログラムを内蔵 RAM 上にダウンロードし、書き込みアドレス／データ、消去ブロックなどをインターフェースレジスタ／パラメータで指定して行います。

ユーザプログラムモード／ユーザブートモードでは、これらの一連の手続きプログラムはユーザで作成していただきます。手順の概要を以下に示します。なお、詳細は「23.5.2 ユーザプログラムモード」で説明します。

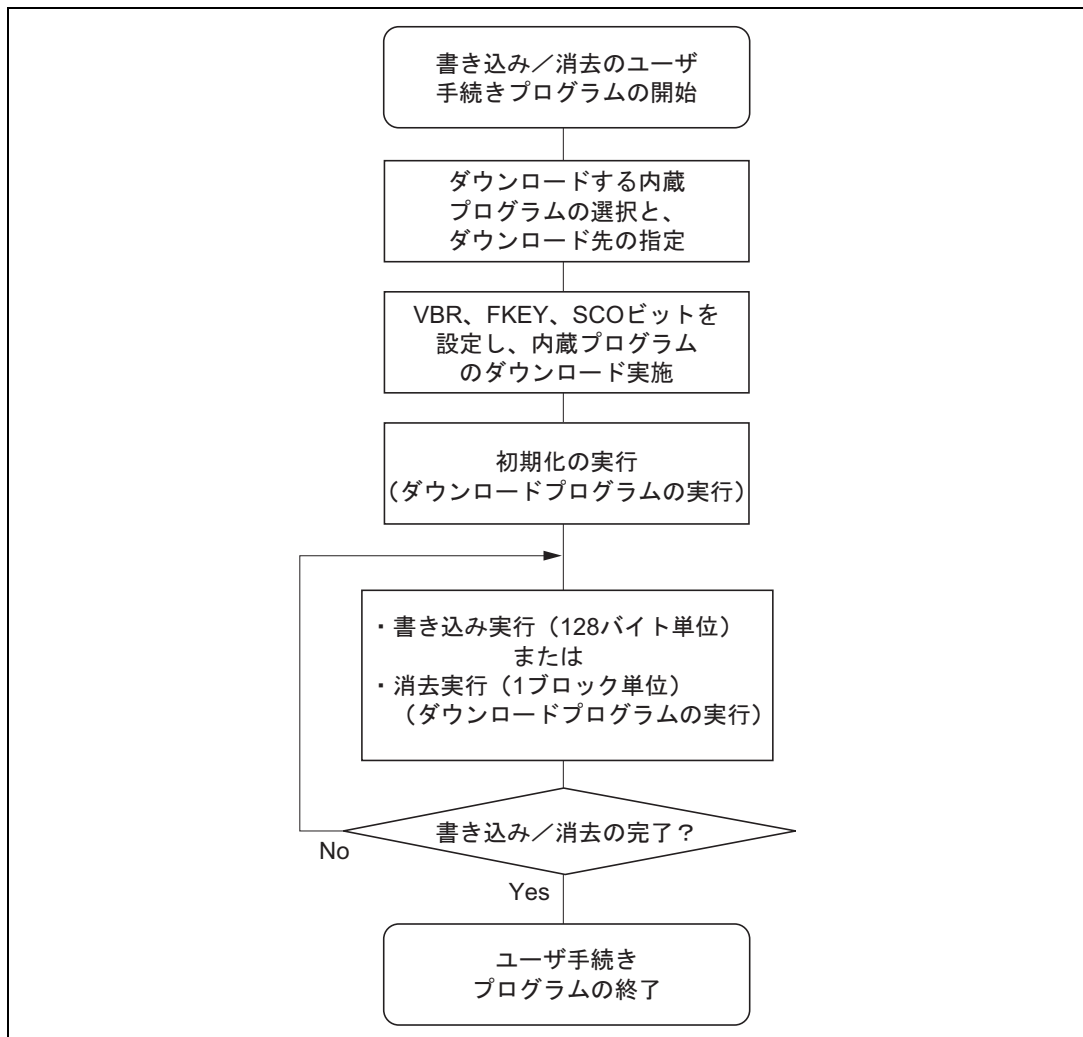


図 23.5 ユーザ手続きプログラムの概要

(1) ダウンロードする内蔵プログラムの選択とダウンロード先の指定

本 LSI には、書き込み関係/消去関係のプログラムが内蔵されており、内蔵 RAM 上へのダウンロードが可能です。ダウンロードする内蔵プログラムの選択は、書き込み/消去インタフェースレジスタの対応ビットをセットすることで行います。また、ダウンロード先のアドレスは FTDAR レジスタで指定することができます。

(2) 内蔵プログラムのダウンロード

内蔵プログラムのダウンロードは、CPU の VBR レジスタを H'00000000 に設定後、書き込み/消去インタフェースレジスタのフラッシュキーレジスタ FKEY とフラッシュコードコントロールステータスレジスタ FCCS の SCO ビットの設定を行うことで自動的に行われます。

ダウンロード中はフラッシュメモリマットが組み込みプログラム格納領域と入れ替わります。また、書き込み/消去時はフラッシュメモリの読み出しはできないため、ダウンロード以降書き込み/消去完了までの一連の手続きプログラムはフラッシュメモリ以外（内蔵 RAM 上など）で実行するようにしてください。

ダウンロードの結果は、書き込み/消去インタフェースパラメータに戻されますので、正常にダウンロードできたかの確認ができます。

なお、VBR は、ダウンロード終了後には、変更可能です。

(3) 書き込み/消去の初期化

書き込み/消去の実行前に、動作周波数とユーザブランチの設定を行います。ユーザブランチ先は内蔵フラッシュメモリ領域以外かつダウンロードされた内蔵プログラム領域以外としてください。これらの設定は書き込み/消去インタフェースパラメータで行います。

(4) 書き込み/消去の実行

書き込み/消去を実施するためには、FWE 端子をハイレベルに設定しユーザプログラムモードにする必要があります。

書き込みでは書き込みデータ/書き込み先アドレスの指定を 128 バイト単位で行います。

消去では消去ブロックの指定を 1 消去ブロック単位で行います。

これらの指定を書き込み/消去インタフェースパラメータで設定し、内蔵プログラムを起動します。内蔵プログラムは、内蔵 RAM 上の特定アドレスを JSR 命令または BSR 命令でサブルーチンコールすることで実行します。実行結果は、書き込み/消去インタフェースパラメータに戻されます。

フラッシュメモリの書き込みにおいては事前に対象領域が消去されている必要があります。

書き込み/消去処理中の割り込み処理については、制限・注意点があります。詳細は「23.8.2 書き込み/消去手続き実行中の割り込み」をご覧ください。

(5) 引き続き、書き込み/消去を実行する場合

128 バイトの書き込み、1 ブロックの消去で処理が終わらない場合、書き込みアドレス/データ、消去ブロック番号を更新して書き込み/消去を連続して行う必要があります。

ダウンロードした内蔵プログラムは処理終了後も内蔵 RAM 上に残っていますので、引き続き同じ処理を実行する場合はダウンロードと初期化の必要はありません。

23.3 端子構成

フラッシュメモリは表 23.3 に示す端子により制御されます。

表 23.3 端子構成

端子名	略称	入出力	機能
パワーオンリセット	RES	入力	リセット
フラッシュライトイネーブル	FWE	入力	フラッシュ書き換えのハードウェアプロテクト
モード 2	MD2	入力	本 LSI の動作モードを設定
モード 1	MD1	入力	本 LSI の動作モードを設定
モード 0	MD0	入力	本 LSI の動作モードを設定
トランスミットデータ	TxD1	出力	シリアル送信データ出力（ブートモードで使用）
レシーブデータ	RxD1	入力	シリアル受信データ入力（ブートモードで使用）

【注】 ライタモードの端子構成は「23.9 ライタモード」をご覧ください。

23.4 レジスタ構成

23.4.1 レジスタ一覧

内蔵フラッシュメモリが有効のときのフラッシュメモリをコントロールするレジスタ/パラメータを表 23.4 に示します。

フラッシュメモリのアクセスには読み出しモード/書き込みモードなどいくつかの動作モードがあります。また、メモリマップもユーザマップとユーザブートマップがあり、それぞれの動作モード、マップ選択で専用のレジスタ/パラメータが割り当てられています。動作モードと使用レジスタ/パラメータの対応表を表 23.5 に示します。

表 23.4 (1) レジスタ構成

レジスタ名称	略称*4	R/W	初期値	アドレス	アクセスサイズ
フラッシュコードコントロールステータスレジスタ	FCCS	R、W*1	H'00*2 H'80*2	H'FFFFFFE800	8
フラッシュプログラムコードセレクトレジスタ	FPCS	R/W	H'00	H'FFFFFFE801	8
フラッシュイレースコードセレクトレジスタ	FECS	R/W	H'00	H'FFFFFFE802	8
フラッシュキーコードレジスタ	FKEY	R/W	H'00	H'FFFFFFE804	8
フラッシュマップセレクトレジスタ	FMATS	R/W	H'00*3 H'AA*3	H'FFFFFFE805	8
フラッシュトランスファディスティネーションアドレスレジスタ	FTDAR	R/W	H'00	H'FFFFFFE806	8
RAM エミュレーションレジスタ	RAMER	R/W	H'0000	H'FFFEC26	8、16、32

【注】 *1 SCO ビット以外は、読み出し専用です。SCO ビットは、書き込み専用です（読み出しは、常に 0）。

*2 FWE 端子にローレベルが入力されているときの初期値は H'00 です。

FWE 端子にハイレベルが入力されているときの初期値は H'80 です。

*3 ユーザモード、ユーザプログラムモードで起動時の初期値は H'00 です。

ユーザブートモードで起動時の初期値は H'AA です。

*4 RAMER レジスタを除くレジスタは、バイトアクセスのみ有効で、4 サイクルアクセスとなります。RAMER レジスタは BSC 内にあるため、バイトアクセス時、ワードアクセス時は 4 サイクル、ロングワードアクセス時は 8 サイクルアクセスとなります。

表 23.4 (2) パラメータ構成

パラメータ名称	略称	R/W	初期値	割り当て	アクセスサイズ
ダウンロードパス・フェイルリザルト	DPFR	R/W	不定	内蔵 RAM*	8、16、32
フラッシュパス・フェイルリザルト	FPFR	R/W	不定	CPU の R0	8、16、32
フラッシュマルチパーパスアドレスエリア	FMPAR	R/W	不定	CPU の R5	8、16、32
フラッシュマルチパーパスデータ デスティネーションエリア	FMPDR	R/W	不定	CPU の R4	8、16、32
フラッシュイレースブロック セレクト	FEBS	R/W	不定	CPU の R4	8、16、32
フラッシュプログラム・イレース 周波数コントロール	FPEFEQ	R/W	不定	CPU の R4	8、16、32
フラッシュユーザブランチアドレスセット	FUBRA	R/W	不定	CPU の R5	8、16、32

【注】 * FTDAR レジスタで指定した内蔵 RAM エリアの先頭アドレスの 1 バイトが有効です。

表 23.5 使用レジスタ/パラメータと対象モード

		ダウン ロード	初期化	書き込み	消去	読み出し	RAM エミュ レーション
書き込み/消去 インタフェース レジスタ	FCCS	○	—	—	—	—	—
	FPCS	○	—	—	—	—	—
	PECS	○	—	—	—	—	—
	FKEY	○	—	○	○	—	—
	FMATS	—	—	○ (*1)	○ (*1)	○ (*2)	—
	FTDAR	○	—	—	—	—	—
書き込み/消去 インタフェース パラメータ	DPFR	○	—	—	—	—	—
	FPFR	—	○	○	○	—	—
	FPEFEQ	—	○	—	—	—	—
	FUBRA	—	○	—	—	—	—
	FMPAR	—	—	○	—	—	—
	FMPDR	—	—	○	—	—	—
	FEBS	—	—	—	○	—	—
RAM エミュレー ション	RAMER	—	—	—	—	—	○

【注】 *1 ユーザブートモードでの、ユーザマットへの書き込み/消去時に設定が必要です。

*2 起動モードと読み出し対象マットの組み合わせで設定が必要な場合があります。

23.4.2 書き込み／消去インタフェースレジスタ

書き込み／消去インタフェースレジスタについて説明します。すべて8ビットのレジスタでバイトアクセスのみ可能です。FCCS レジスタのFLER ビットと、FMATS レジスタを除き、これらのレジスタはパワーオンリセットとハードウェアスタンバイモード／ソフトウェアスタンバイモードで初期化されます。FLER ビットと、FMATS レジスタは、ソフトウェアスタンバイモードでは初期化されません。

(1) フラッシュコードコントロール・ステータスレジスタ (FCCS)

FCCS は、FWE 端子状態のモニタ、フラッシュメモリの書き込み／消去実行中のエラー発生ของモニタ、および内蔵プログラムのダウンロードを要求するビットから構成されています。

ビット :	7	6	5	4	3	2	1	0
	FWE	—	—	FLER	—	—	—	SCO
初期値 :	1/0	0	0	0	0	0	0	0
R/W :	R	R	R	R	R	R	R	(R) W

ビット7：フラッシュライトイネーブルビット (FWE)

FWE ビットは、フラッシュメモリの書き込み／消去をハードウェアプロテクトする FWE 端子に入力されているレベルをモニタするビットです。初期値は、FWE 端子状態により 0 または 1 になります。

ビット7	説明
FWE	
0	FWE 端子にローレベルが入力されているとき (ハードウェアプロテクト状態)
1	FWE 端子にハイレベルが入力されているとき

ビット6～5：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット4：フラッシュメモリエラー (FLER)

フラッシュメモリへの書き込み／消去実行中にエラーが発生したことを示すビットです。

FLER=1 にセットさせると、フラッシュメモリはエラープロテクト状態に遷移します。

パワーオンリセットまたはハードウェアスタンバイモード遷移で初期化されます。

なお、FLER=1 になった場合は、フラッシュメモリ内部に高電圧が印加されていますので、フラッシュメモリへのダメージを低減するために、通常より長い 100 μ s のリセット入力期間の後にリセットトリリースしてください。

ビット4	説明
FLER	
0	フラッシュメモリは正常に動作しています。 (初期値) フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト) は無効 [クリア条件] パワーオンリセットまたはハードウェアスタンバイモードのとき
1	フラッシュメモリへの書き込み／消去中にエラーが発生したことを示します。 フラッシュメモリへの書き込み／消去プロテクト (エラープロテクト) が有効 [セット条件] 「23.6.3 エラープロテクト」を参照してください。

ビット3～1：予約ビット

値0を設定してください。

ビット0：ソースプログラムコピーオペレーション（SCO）

内蔵の書き換え／消去プログラムを、内蔵RAMにダウンロードする要求ビットです。

本ビットに1を書き込むと、FPCS/FECSレジスタで選択した内蔵プログラムが、FTDARレジスタで指定された内蔵RAMの領域に自動的にダウンロードされます。

本ビットに1を書き込むためには、RAMエミュレーション状態の解除、FKEYレジスタへのH'A5の書き込み、および内蔵RAM上での実行が必要です。

本ビットに1を書き込んだ直後には、4個のNOP命令を必ず実行するようにしてください。

ダウンロード中の割り込みについては「23.8.2 書き込み／消去手続き中の割り込み」、ダウンロード時間については「23.8.3 其他のご注意」を参照ください。

なお、ダウンロード完了時点では本ビットは0クリアされているため、本ビットの1状態を読み出すことはできません。

SCOビットによるダウンロードは、内蔵プログラム格納領域へのバンク切り替えを伴った特殊な割り込み処理を行いますので、ダウンロード要求（SCO=1にする）前に、VBRの値をH'00000000に設定してください。VBRの設定を行わないと暴走します。ダウンロード完了が確認できたら、VBRの変更は可能です。

ビット0	説明
SCO	
0	内蔵されている書き込み／消去プログラムの内蔵RAMへのダウンロードは行いません。 (初期値) [クリア条件] ダウンロードが完了するとクリアされます。
1	内蔵されている書き込み／消去プログラムの内蔵RAMへのダウンロードリクエストを発生します。 [セット条件] 以下の条件がすべて満足されている状態で、1を書き込んだとき (1) FKEYレジスタにH'A5が書かれていること (2) 内蔵RAM上で実行中であること (3) RAMエミュレーションモードではないこと (RAMERのRAMS=0であること)

(2) フラッシュプログラムコードセレクトレジスタ（FPCS）

FPCSは、書き込み関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	PPVS
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット7～1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

23. ROM

ビット0：プログラムパルスシングル（PPVS）

書き込みプログラムを選択します。

ビット0	説明
PPVS	
0	内蔵の書き込みプログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 (初期値)
1	内蔵の書き込みプログラムを選択します。

(3) フラッシュイレースコードセレクトレジスタ（FECS）

FECSは、消去関係の内蔵プログラムのダウンロードを選択するレジスタです。

ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	—	—	—	EPVB
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R/W

ビット7～1：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット0：イレースパルスベリファイブロック（EPVB）

消去プログラムを選択します。

ビット0	説明
EPVB	
0	内蔵の消去プログラムを選択しません。 [クリア条件] 転送が終了するとクリアされます。 (初期値)
1	内蔵の消去プログラムを選択します。

(4) フラッシュキーコードレジスタ（FKEY）

FKEYは、内蔵プログラムのダウンロードとフラッシュメモリの書き込み／消去を許可するソフトウェアプロテクトのレジスタです。内蔵プログラムのダウンロード実施のためのSCOビットへの1書き込み前、およびダウンロードした書き込み／消去プログラム実行前に、キーコードを書き込まないとそれぞれの処理が実行できません。

ビット：	7	6	5	4	3	2	1	0
	K7	K6	K5	K4	K3	K2	K1	K0
初期値：	0	0	0	0	0	0	0	0
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット7～0：キーコード（K7～K0）

H'A5 を書き込んだ場合にのみ、SCO ビットの書き込みが有効になります。H'A5 以外の値が FKEY レジスタに書かれている場合、SCO ビットに 1 を書き込むことができないため、内蔵 RAM へのダウンロードができません。

H'5A を書き込んだ場合のみ、フラッシュメモリの書き込み/消去が可能になります。内蔵の書き込み/消去プログラムを実行しても、H'5A 以外の値が FKEY レジスタに書かれている場合はフラッシュメモリの書き込み/消去はできません。

ビット7～0	説明
K7～K0	
H'A5	SCO ビットの書き込みを許可します。（H'A5 以外では SCO ビットのセットはできません）
H'5A	書き込み/消去を許可します。（H'5A 以外ではソフトウェアプロテクト状態）
H'00	初期値

(5) フラッシュマットセレクトレジスタ（FMATS）

FMATS は、ユーザマット/ユーザブートマットのどちらを選択するかを指定するレジスタです。

ビット：	7	6	5	4	3	2	1	0	
	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
初期値：	0	0	0	0	0	0	0	0	（ユーザブートモード以外の場合）
初期値：	1	0	1	0	1	0	1	0	（ユーザブートモードの場合）
R/W：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

ビット7～0：マットセレクト（MS7～MS0）

H'AA 以外の場合はユーザマット選択状態、H'AA が書かれている状態はユーザブートマット選択状態です。

内蔵 RAM 上での命令で FMATS に値を書き込むことによりマット切り替えが発生します。

マット切り替えは、必ず「23.8.1 ユーザマットとユーザブートマットの切り替え」に従ってください。

（ユーザプログラムモードでのユーザブートマットの書き換えは、FMATS でユーザブートマットを選択してもできません。ユーザブートマットの書き換えは、ブートモードかライターモードで実施してください）

ビット7～0	説明
MS7～MS0	
H'AA	ユーザブートマットを選択します。（H'AA 以外ではユーザマット選択状態となります）ユーザブートモードで起動した場合の初期値です。
H'00	ユーザブートモード以外で起動した場合の初期値です。（ユーザマット選択状態です）

【注】 [書き込み可能条件] 内蔵 RAM 上での実行状態であること

(6) フラッシュトランスファディステーションアドレスレジスタ (FTDAR)

FTDAR は、内蔵プログラムのダウンロード先の内蔵 RAM 上のアドレスを指定するレジスタです。

FCCS レジスタの SCO ビットに 1 を書き込む前に、本レジスタの設定を行ってください。初期値は H'00 で、内蔵 RAM の先頭アドレス (H'FFF0000) を示しています。

ビット :	7	6	5	4	3	2	1	0
	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0
初期値 :	0	0	0	0	0	0	0	0
R/W :	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

ビット 7 : トランスファディステーションアドレス設定エラー (TDER)

ビット 6~0 (TDA6~TDA0) で指定するダウンロード先頭アドレス指定にエラーがあった場合、1 がセットされます。アドレス指定のエラー判定は、FCCS レジスタの SCO ビットを 1 にして、ダウンロード処理が実行されたときに、TDA6~TDA0 の値が H'00~H'05 の範囲にあるかどうかを判定します。SCO ビットを 1 に設定する前に、FTDAR レジスタの値を本ビットの値を 0 にすることも含めて、H'00~H'05 の範囲に設定してください。

ビット 7	説明 (ダウンロード後の戻り値)
TDER	
0	TDA6~TDA0 の設定は、正常値 (初期値)
1	TDER、TDA6~TDA0 の設定値が H'06~H'FF であり、ダウンロードは中断したことを示します。

ビット 6~0 : トランスファディステーションアドレス (TDA6~TDA0)

ダウンロード先頭アドレスを指定します。設定可能な値は H'00~H'05 で、2kB 単位で内蔵 RAM 上のダウンロード先頭アドレスを指定できます。

H'06~H'7F の値を設定しないでください。この値が設定された場合、ダウンロード処理において、本レジスタのビット 7 : TDER を 1 に設定し、内蔵プログラムのダウンロードは実行されません。

ビット 6~0	説明
TDA6~TDA0	
H'00	ダウンロード先頭アドレスを H'FFF0000 に設定 (初期値)
H'01	ダウンロード先頭アドレスを H'FFF0800 に設定
H'02	ダウンロード先頭アドレスを H'FFF1000 に設定
H'03	ダウンロード先頭アドレスを H'FFF1800 に設定
H'04	ダウンロード先頭アドレスを H'FFF2000 に設定
H'05	ダウンロード先頭アドレスを H'FFF2800 に設定
H'06~H'7F	設定しないでください。設定された場合、ダウンロードにおいてビット 7 : TDER が 1 になり、ダウンロード処理は中断されます。

23.4.3 書き込み／消去インタフェースパラメータ

書き込み／消去インタフェースパラメータは、ダウンロードした内蔵プログラムに対して動作周波数、ユーザブランチ先アドレス、書き込みデータの格納場所、書き込み先アドレス、消去ブロックなどの指定および処理結果をやりとりするものです。このパラメータは、CPU の汎用レジスタ (R4、R5 と R0) や内蔵 RAM 領域を使用します。パワーオンリセット、ハードウェアスタンバイでの初期値は不定です。

ダウンロードではすべての CPU のレジスタは保存され、初期化、内蔵プログラム実行では、R0 以外の CPU のレジスタが保存されます。R0 は、処理結果の戻り値が記入されます。レジスタの保存やワーク領域としてスタック領域を使用しますので、処理開始においてはスタック領域の確保をお願いします。(使用スタック領域サイズは、最大 128 バイトです)

書き込み／消去インタフェースパラメータは、次の 4 項目で使用します。

- (1) ダウンロード制御
- (2) 書き込み／消去実行前の初期化実行
- (3) 書き込み実行
- (4) 消去実行

それぞれごとに使用するパラメータは異なります。対応表を、表 23.6 に示します。

ここで、FPFR パラメータは初期化処理、書き込み処理、消去処理において処理結果が戻されますが、処理内容によりビットの意味が異なります。各処理ごとの FPFR 説明の部分をご覧ください。

表 23.6 使用パラメータと対象モード

パラメータ名	略称	ダウンロード	初期化	書き込み	消去	R/W	初期値	割り当て
ダウンロードパス・フェイルリザルト	DPFR	○	—	—	—	R/W	不定	内蔵 RAM*
フラッシュパス・フェイルリザルト	FPFR	—	○	○	○	R/W	不定	CPU の R0
フラッシュプログラムイレース周波数コントロール	FPEFEQ	—	○	—	—	R/W	不定	CPU の R4
フラッシュユーザブランチアドレスセット	FUBRA	—	○	—	—	R/W	不定	CPU の R5
フラッシュマルチパーパスアドレスエリア	FMPAR	—	—	○	—	R/W	不定	CPU の R5
フラッシュマルチパーパスデータデスティネーションエリア	FMPDR	—	—	○	—	R/W	不定	CPU の R4
フラッシュイレースブロックセレクト	FEBS	—	—	—	○	R/W	不定	CPU の R4

【注】 * FTDAR レジスタで指定したダウンロード先の先頭アドレス 1 バイト

(1) ダウンロード制御

内蔵プログラムのダウンロードは、SCO ビットを 1 にセットすることで自動的に行われます。ダウンロードされる内蔵 RAM の領域は、FTDAR レジスタで指定した先頭アドレスから 2kB 分の領域です。内蔵 RAM のアドレスマップについては、図 23.10 を参照してください。

ダウンロード制御は先述の書き込み/消去インタフェースレジスタで設定し、戻り値は DPFR パラメータで渡されます。

ダウンロードパスフェイルリザルトパラメータ (DPFR : FTDAR レジスタで指定した内蔵 RAM の先頭アドレス 1 バイト)

ダウンロード結果の戻り値です。ダウンロードが実行できたかどうかは、本パラメータの値で判断してください。SCO ビットを 1 にできたかの確認ができないため、ダウンロード開始前 (SCO ビットを 1 にセットする前) に、FTDAR レジスタで指定した内蔵 RAM の先頭アドレスの 1 バイトをダウンロードの戻り値以外 (H'FF など) にして、確実な判断ができるようにしてください。ダウンロード結果のチェック方法については「23.5.2 (2.5)」項もご覧ください。

ビット :	7	6	5	4	3	2	1	0
	0	0	0	0	0	SS	FK	SF

ビット 7~3 : 未使用ビット

値 0 が戻されます。

ビット2：ソースセレクトエラー検出ビット（SS）

1回の操作では、ダウンロード可能な内蔵プログラムは1種類のみ指定できます。2種類以上の選択を行った場合、選択されていない場合、およびマッピングされていない選択の場合にはエラーとなります。

ビット2	説明
SS	
0	ダウンロードプログラムの選択は正常
1	ダウンロードエラー発生（多重選択または、マッピングされていない選択が行われた）

ビット1：フラッシュキーレジスタエラー検出ビット（FK）

FKEY レジスタの値が、H'A5 であるかどうかをチェックした結果を返すビットです。

ビット1	説明
FK	
0	FKEY レジスタの設定値は正常（FKEY=H'A5）
1	FKEY レジスタの設定値エラー（FKEY は、H'A5 以外の値）

ビット0：サクセス/フェイルビット（SF）

ダウンロードが正常に終了したかどうかを返すビットです。

ビット0	説明
SF	
0	ダウンロードは正常終了（エラーなし）
1	ダウンロードが異常終了（エラーが発生している）

(2) 書き込み／消去の初期化

ダウンロードされる書き込み／消去の内蔵プログラムには、初期化プログラムも含まれています。

書き込み／消去では決められた時間幅のウェイトループを CPU 命令で構成しています。このため、CPU の動作周波数を設定する必要があります。また、ユーザブランチ機能をサポートしていますので、ユーザブランチ先アドレスの設定も必要です。

これらの設定をダウンロードした書き込み／消去プログラムのパラメータとして設定するのが初期化プログラムです。

(2.1) フラッシュプログラムイレース周波数コントロールパラメータ (FPEFEQ : CPU の汎用レジスタ R4)

CPU の動作周波数を設定するパラメータです。

本 LSI の動作周波数範囲は、「27.3.2 クロックタイミング」をご覧ください。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	F15	F14	F13	F12	F11	F10	F9	F8
ビット :	7	6	5	4	3	2	1	0
	F7	F6	F5	F4	F3	F2	F1	F0

ビット 31～16 : 未使用ビット

値 0 を設定してください。

ビット 15～0 : 周波数設定ビット (F15～F0)

CPU の動作周波数を設定します。設定値は以下のように算出してください。

- ① MHz単位で表現した動作周波数を小数点第3位で四捨五入し、小数点第2位までとする。
- ② 100倍した値を2進数に変換し、FPEFEQパラメータ (汎用レジスタR4) に書き込む。
具体例として、CPUの動作周波数が28.882MHzの場合には、以下のようになります。
- ③ 28.882の小数点第3位を四捨五入し、28.88。
- ④ $28.88 \times 100 = 2888$ を2進数変換し、b'0000,1011,0100,1000 (H'0B48) をR4に設定。

(2.2) フラッシュユーザブランチアドレスセットパラメータ (FUBRA : CPU の汎用レジスタ R5)

ユーザブランチ先のアドレスを設定するパラメータです。書き込み/消去実行時のある決まった処理単位ごとに、設定したユーザプログラムを実行することができます。

ビット :	31	30	29	28	27	26	25	24
	UA31	UA30	UA29	UA28	UA27	UA26	UA25	UA24
ビット :	23	22	21	20	19	18	17	16
	UA23	UA22	UA21	UA20	UA19	UA18	UA17	UA16
ビット :	15	14	13	12	11	10	9	8
	UA15	UA14	UA13	UA12	UA11	UA10	UA9	UA8
ビット :	7	6	5	4	3	2	1	0
	UA7	UA6	UA5	UA4	UA3	UA2	UA1	UA0

ビット 31~0 : ユーザブランチ先アドレス (UA31~UA0)

ユーザブランチが必要ない場合には、0番地 (H'00000000) を設定してください。

ユーザブランチ先は、内蔵フラッシュメモリ以外または内蔵プログラムが転送されている RAM 領域以外または外部バス空間としてください。

実行コードのない領域にブランチして暴走しないように注意し、内蔵プログラムのダウンロード領域やスタック領域を破壊しないようにしてください。暴走やダウンロード領域/スタック領域の破壊が発生した場合フラッシュメモリの値の保証ができません。

ユーザブランチ先の処理では、内蔵プログラムのダウンロード、初期化、書き込み/消去プログラムを起動しないでください。ユーザブランチ先から復帰時の書き込み/消去の保証ができません。また、すでに準備していた書き込みデータを書き換えしないでください。

汎用レジスタ R8 から R15 とコントロールレジスタ GBR は保存してください。汎用レジスタ R0 から R7 は保存せずに使うことができます。

さらに、ユーザブランチ先の処理で書き込み/消去インタフェースレジスタの書き換えや、RAM エミュレーションモードへの遷移を行わないでください。

ユーザブランチ処理終了後は、RTS 命令で書き込み/消去プログラムに戻ってください。

ユーザブランチ処理の実行間隔については「23.8.3 (2) ユーザブランチ処理の間隔」をご覧ください。

23. ROM

(2.3) フラッシュパスフェイルリザルトパラメータ (FPFR : CPU の汎用レジスタ R0)

ここでは初期化処理結果の戻り値としての FPFR について説明します。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット :	7	6	5	4	3	2	1	0
	0	0	0	0	0	BR	FQ	SF

ビット 31~3 : 未使用ビット

値 0 が戻されます。

ビット 2 : ユーザブランチエラー検出ビット (BR)

指定されたユーザブランチ先アドレスが、ダウンロードされている書き込み/消去関係プログラムの格納領域以外であるかをチェックした結果を戻します。

ビット 2	説明
BR	
0	ユーザブランチアドレス設定は正常値
1	ユーザブランチアドレス設定が異常値

ビット 1 : 周波数エラー検出ビット (FQ)

指定された CPU 動作周波数が、サポートしている動作周波数の範囲にあるかをチェックした結果を戻します。

ビット 1	説明
FQ	
0	動作周波数の設定は正常値
1	動作周波数の設定が異常値

ビット 0 : サクセス/フェイルビット (SF)

初期化が正常に終了したかどうかを戻すビットです。

ビット 0	説明
SF	
0	初期化は正常終了 (エラーなし)
1	初期化が異常終了 (エラーが発生している)

(3) 書き込み実行

フラッシュメモリへの書き込み実行においては、ユーザマット上の書き込み先アドレスと書き込みデータをダウンロードした書き込みプログラムに渡す必要があります。

- ① ユーザマット上の書き込み先の先頭アドレスを汎用レジスタR5に設定してください。このパラメータをFMPAR（フラッシュマルチパーパスアドレスエリアパラメータ）と呼びます。書き込みデータは常に128バイト単位ですので、ユーザマット上の書き込み先頭アドレスの境界はアドレスの下位8ビット（A7～A0）が、H'00またはH'80のいずれかとしてください。
- ② ユーザマットへの書き込みデータを連続領域に準備してください。書き込みデータはCPUのMOV.B命令でアクセス可能な連続空間で、内蔵フラッシュメモリ空間以外としてください。書き込みたいデータが128バイトに満たない場合でも、ダミーコード（H'FF）を埋め込んで128バイトの書き込みデータを準備してください。準備した書き込みデータが格納されている領域の先頭アドレスを、汎用レジスタR4に設定してください。このパラメータをFMPDR（フラッシュマルチパーパスデータデスティネーションエリアパラメータ）と呼びます。

書き込み処理のための手続きの詳細については、「23.5.2 ユーザプログラムモード」で述べます。

(3.1) フラッシュマルチパーパスアドレスエリアパラメータ（FMPAR：CPUの汎用レジスタR5）

ユーザマット上の書き込み先の先頭アドレスを設定します。

フラッシュメモリ空間以外のアドレスが設定されている場合、エラーとなります。

また、書き込み先の先頭アドレスは128バイト境界である必要があります。この境界条件になっていない場合も、エラーとなります。これらのエラーはFPFRパラメータのビット1：WAビットに反映されます。

ビット：	31	30	29	28	27	26	25	24
	MOA31	MOA30	MOA29	MOA28	MOA27	MOA26	MOA25	MOA24
ビット：	23	22	21	20	19	18	17	16
	MOA23	MOA22	MOA21	MOA20	MOA19	MOA18	MOA17	MOA16
ビット：	15	14	13	12	11	10	9	8
	MOA15	MOA14	MOA13	MOA12	MOA11	MOA10	MOA9	MOA8
ビット：	7	6	5	4	3	2	1	0
	MOA7	MOA6	MOA5	MOA4	MOA3	MOA2	MOA1	MOA0

ビット31～0：MOA31～MOA0

ユーザマット上の書き込み先の先頭アドレスを格納します。ここで指定されたユーザマットの先頭アドレスから連続128バイトの書き込みが行われます。よって、指定する書き込み先の先頭アドレスは128バイト境界となり、MOA6～MOA0は常に0になります。

(3.2) フラッシュマルチパースデータデスティネーションエリアパラメータ (FMPDR : CPU の汎用レジスタ R4)

ユーザマットに書き込むデータが格納されている領域の先頭アドレスを設定します。書き込みデータの格納先がフラッシュメモリ内の場合には、エラーとなります。このエラーは、FPFR パラメータのビット 2 : WD ビットに反映されます。

ビット :	31	30	29	28	27	26	25	24
	MOD31	MOD30	MOD29	MOD28	MOD27	MOD26	MOD25	MOD24
ビット :	23	22	21	20	19	18	17	16
	MOD23	MOD22	MOD21	MOD20	MOD19	MOD18	MOD17	MOD16
ビット :	15	14	13	12	11	10	9	8
	MOD15	MOD14	MOD13	MOD12	MOD11	MOD10	MOD9	MOD8
ビット :	7	6	5	4	3	2	1	0
	MOD7	MOD6	MOD5	MOD4	MOD3	MOD2	MOD1	MOD0

ビット 31~0 : MOD31~MOD0

ユーザマットへの書き込みデータが格納されている領域の先頭アドレスを格納します。ここで指定された先頭アドレスから連続 128 バイトのデータが、ユーザマットに書き込まれます。

(3.3) フラッシュパスフェイルパラメータ (FPFR : CPU の汎用レジスタ R0)

ここでは書き込み処理結果の戻り値としての FPFR について説明します。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット :	7	6	5	4	3	2	1	0
	0	MD	EE	FK	0	WD	WA	SF

ビット 31~7 : 未使用ビット

値 0 が戻されます。

ビット6：書き込みモード関連設定エラー検出ビット（MD）

FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。

FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1が書き込まれます。これらの状態は、FCCS レジスタのビット7：FWE や、ビット4：FLER の各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「23.6.3 エラープロテクト」を参照してください。

ビット6	説明
MD	
0	FWE、FLER 状態は正常（FWE=1、FLER=0）
1	FWE=0、または FLER=1 であり、書き込みできない状態

ビット5：書き込み実行時エラー検出ビット（EE）

ユーザマットが消去されていないために、指定データを書き込めなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。

これらが原因で、本ビットが1になった場合、ユーザマットは途中まで書き換えられている可能性が高いため、エラーになる原因を取り除いた後、消去から実施しなおしてください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに書き込みを実施しても、書き込み実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、書き換えられてはいません。

ユーザブートマットの書き込みは、ブートモードまたはライターモードで実施してください。

ビット5	説明
EE	
0	書き込み処理は正常終了
1	書き込み処理が異常終了（書き込み結果は保証できない）

ビット4：フラッシュキーレジスタエラー検出ビット（FK）

書き込み処理開始前に FKEY レジスタの値をチェックした結果を返します。

ビット4	説明
FK	
0	FKEY レジスタの設定値は正常（FKEY=H'5A）
1	FKEY レジスタの設定値エラー（FKEY は、H'5A 以外の値）

ビット3：未使用ビット

値0が返されます。

23. ROM

ビット2：ライトデータアドレスエラー検出ビット（WD）

書き込みデータの格納先の先頭アドレスとして、フラッシュメモリ領域のアドレスが指定された場合にはエラーとなります。

ビット2	説明
WD	
0	書き込みデータアドレス設定は正常値
1	書き込みデータアドレス設定が異常値

ビット1：ライトアドレスエラー検出ビット（WA）

書き込み先の先頭アドレスとして、以下が指定された場合にはエラーとなります。

- ① フラッシュメモリの領域以外が書き込み先アドレスとして指定された場合
- ② 指定されたアドレスが、128バイト境界でない（A6～A0が0でない）場合

ビット1	説明
WA	
0	書き込み先アドレスの設定は正常値
1	書き込み先アドレスの設定が異常値

ビット0：サクセス／フェイルビット（SF）

書き込み処理が正常に終了したかどうかを戻すビットです。

ビット0	説明
SF	
0	正常終了（エラーなし）
1	異常終了（エラーが発生している）

(4) 消去実行

フラッシュメモリの消去実行においては、ユーザマット上の消去ブロック番号をダウンロードした消去プログラムに渡す必要があります。これを、FEBS パラメータ（汎用レジスタ R4）に設定します。0～15 のブロック番号から 1 ブロックを指定します。

消去処理のための手続きの詳細については、「23.5.2 ユーザプログラムモード」で述べます。

(4.1) フラッシュイレースブロックセレクトパラメータ (FEBS : CPU の汎用レジスタ R4)

消去ブロック番号を指定します。複数のブロック番号の指定はできません。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット :	7	6	5	4	3	2	1	0
	EBS7	EBS6	EBS5	EBS4	EBS3	EBS2	EBS1	EBS0

ビット 31~8 : 未使用ビット

値 0 を設定してください。

ビット 7~0 : イレースブロック (EBS7~EBS0)

0~15 の範囲で消去ブロック番号を設定します。0 は EB0 ブロック、15 は EB15 ブロックに対応します。0~15 (H'00~H'0F) 以外の設定ではエラーになります。

(4.2) フラッシュパスフェイルリザルトパラメータ (FPFR : CPU の汎用レジスタ R0)

ここでは消去処理結果の戻り値としての FPFR について説明します。

ビット :	31	30	29	28	27	26	25	24
	0	0	0	0	0	0	0	0
ビット :	23	22	21	20	19	18	17	16
	0	0	0	0	0	0	0	0
ビット :	15	14	13	12	11	10	9	8
	0	0	0	0	0	0	0	0
ビット :	7	6	5	4	3	2	1	0
	0	MD	EE	FK	EB	0	0	SF

ビット 31~7 : 未使用ビット

値 0 が戻されます。

23. ROM

ビット6：消去モード関連設定エラー検出ビット（MD）

FWE 端子への入力値がハイレベルであることと、エラープロテクト状態でないことのチェック結果を返します。

FWE 端子がローレベルであったり、エラープロテクト状態になっている場合、1 が書き込まれます。これらの状態は、FCCS レジスタのビット7：FWE や、ビット4：FLER の各ビットで確認できます。なお、エラープロテクト状態への遷移条件につきましては、「23.6.3 エラープロテクト」を参照してください。

ビット6	説明
MD	
0	FWE、FLER 状態は正常（FWE=1、FLER=0）
1	FWE=0、または FLER=1 であり、消去できない状態

ビット5：消去実行時エラー検出ビット（EE）

ユーザマットの消去ができなかったり、ユーザブランチ処理から戻った時点で、フラッシュ関連レジスタの一部が書き換えられている場合に、本ビットには1が返されます。

これらが原因で、本ビットが1になった場合、ユーザマットは途中まで消去されている可能性が高いため、エラーになる原因を取り除いた後、再度消去を実施しなおしてください。

また、FMATS レジスタの値が H'AA となっており、ユーザブートマット選択状態のときに消去を実施しても、消去実行時エラーとなります。この場合は、ユーザマット/ユーザブートマットともに、消去されてはいません。

ユーザブートマットの消去は、ブートモードまたはライターモードで実施してください。

ビット5	説明
EE	
0	消去処理は正常終了
1	消去処理が異常終了（消去結果は保証できない）

ビット4：フラッシュキーレジスタエラー検出ビット（FK）

消去処理開始前に FKEY レジスタの値をチェックした結果を返します。

ビット4	説明
FK	
0	FKEY レジスタの設定値は正常（FKEY=H'5A）
1	FKEY レジスタの設定値エラー（FKEY は、H'5A 以外の値）

ビット3：イレースブロックセレクトエラー検出ビット（EB）

指定された消去ブロック番号が、ユーザマットのブロック範囲内であるかのチェック結果です。

ビット3	説明
EB	
0	消去ブロック番号の設定は正常値
1	消去ブロック番号の設定が異常値

ビット2～1：未使用ビット

値0が戻されます。

ビット0：サクセス／フェイルビット（SF）

消去処理が正常に終了したかどうかを戻すビットです。

ビット0	説 明
SF	
0	正常終了（エラーなし）
1	異常終了（エラーが発生している）

23.4.4 RAM エミュレーションレジスタ（RAMER）

ユーザマットのリアルタイムな書き換えをエミュレートするときに、内蔵RAMの一部と重ね合わせるユーザマットのエリアを設定するレジスタです。パワーオンリセット、またはハードウェアスタンバイモードのときにH'0000に初期化されます。ソフトウェアスタンバイモードのときは、初期化されません。RAMエミュレーションはユーザモード、ユーザプログラムモードで行ってください。

ユーザマットエリアの分割法は、表23.7を参照してください。なお、エミュレーション機能を確実に動作させるために、本レジスタの書き換え直後にRAMエミュレーションの対象マットをアクセスしないでください。直後にアクセスした場合には正常なアクセスは保証されません。

ビット：	15	14	13	12	11	10	9	8
	—	—	—	—	—	—	—	—
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R	R	R	R
ビット：	7	6	5	4	3	2	1	0
	—	—	—	—	RAMS	RAM2	RAM1	RAM0
初期値：	0	0	0	0	0	0	0	0
R/W：	R	R	R	R	R/W	R/W	R/W	R/W

ビット15～4：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット3：RAMセレクト（RAMS）

RAMによるユーザマットのエミュレーション選択／非選択を設定するビットです。RAMS=1のときは、ユーザマット全ブロックが書き込み／消去プロテクト状態となります。

ビット3	説 明
RAMS	
0	エミュレーション非選択 ユーザマット全ブロックの書き込み／消去プロテクト無効 (初期値)
1	エミュレーション選択 ユーザマット全ブロックの書き込み／消去プロテクト有効

23. ROM

ビット 2、1、0 : ユーザマットエリア選択

ビット 3 と共に使用し、内蔵 RAM と重ね合わせるユーザマットのエリアを選択します。(表 23.7 参照)

表 23.7 RAM エリアとユーザマットエリアの重ね合わせ

RAM エリア	ブロック名	RAMS	RAM2	RAM1	RAM0
H'FFFF0000~H'FFFF0FFF	RAM エリア 4kB	0	*	*	*
H'00000000~H'00000FFF	EB0 (4kB)	1	0	0	0
H'00001000~H'00001FFF	EB1 (4kB)	1	0	0	1
H'00002000~H'00002FFF	EB2 (4kB)	1	0	1	0
H'00003000~H'00003FFF	EB3 (4kB)	1	0	1	1
H'00004000~H'00004FFF	EB4 (4kB)	1	1	0	0
H'00005000~H'00005FFF	EB5 (4kB)	1	1	0	1
H'00006000~H'00006FFF	EB6 (4kB)	1	1	1	0
H'00007000~H'00007FFF	EB7 (4kB)	1	1	1	1

* : Don't care

23.5 オンボードプログラミングモード

オンボードプログラミングモードに端子を設定しリセットスタートすると、内蔵フラッシュメモリへの書き込み／消去を行うことができるオンボードプログラミング状態へ遷移します。オンボードプログラミングモードにはユーザプログラミングモードとユーザブートモード、ブートモードの3種類の動作モードがあります。

各モードへ遷移する端子の設定方法は、表 23.1 をご覧ください。また、フラッシュメモリに対する各モードへの状態遷移図は図 23.2 を参照してください。

23.5.1 ブートモード

ブートモードは、内蔵の SCI を使用してホストから制御コマンドや書き込みデータを送信する方式でユーザマットやユーザブートマットへの書き込み／消去を実行するモードです。ホスト上に制御コマンドを送信するためのツールと書き込みデータを準備しておく必要があります。使用する SCI 通信モードは調歩同期式モードに設定されています。本 LSI の端子をブートモードに設定後、リセットスタートするとあらかじめマイコン内部に組み込まれているブートプログラムを起動し、SCI ビットレートの自動調整実施後、制御コマンド方式でホストとの通信を行います。

図 23.6 にブートモード時のシステム構成図を示します。なお、ブートモードの端子設定は表 23.1 をご覧ください。ブートモードでの NMI およびその他の割り込みは無視されますが、発生させないようにしてください。また、ブートモード動作中は AUD は使用できませんのでご注意ください。

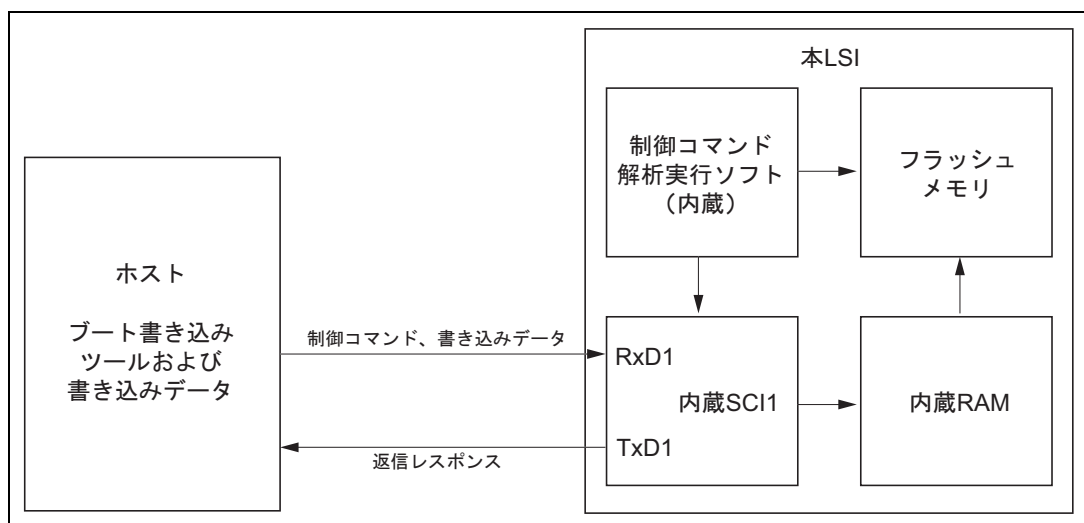


図 23.6 ブートモード時のシステム構成図

(1) ホストの SCI インタフェース設定

ブートモードが起動すると、本 LSI はホストより連続送信される調歩同期式 SCI 通信のデータ (H'00) の Low 期間を測定します。このときの SCI 送信/受信フォーマットは「8 ビットデータ、1 ストップビット、パリティなし」に設定してください。本 LSI は、測定した Low 期間よりホストの送信するビットレートを計算し、ビット調整終了合図 (H'00 を 1 バイト) をホストへ送信します。ホストは、この調整終了合図 (H'00) を正常に受信したことを確認し、本 LSI へ H'55 を 1 バイト送信してください。受信が正常に行われなかった場合は、再度ブートモードを起動し (リセット)、上述の操作を行ってください。ホストが送信するビットレート、および本 LSI のシステムクロックの周波数によってホストと本 LSI のビットレートに誤差が生じます。正常に SCI を動作させるために、ホストの転送ビットレートを 9,600bps または 19,200bps に設定してください。

ホストの転送ビットレートと本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数を表 23.8 に示します。このシステムクロックの範囲内でブートモードを起動してください。

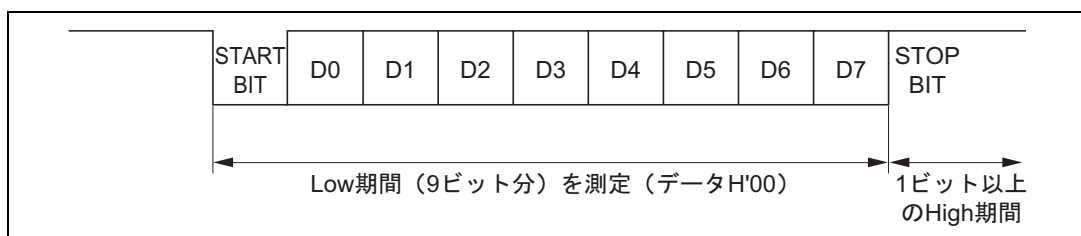


図 23.7 SCI ビットレートの自動合わせ込み動作

表 23.8 本 LSI の自動合わせ込みが可能なシステムクロックの周波数

ホストのビットレート	本 LSI のビットレートの自動合わせ込みが可能なシステムクロックの周波数
9,600bps	20~40MHz (入力周波数 5~10MHz)
19,200bps	20~40MHz (入力周波数 5~10MHz)

(2) 状態遷移図

ブートモード起動後の、状態遷移図の概要を図 23.8 に示します。ブートモードについての詳細は、「23.10.1 ブートモードの標準シリアル通信インタフェース仕様」をご覧ください。

- ① ビットレート合わせ込み
ブートモード起動後、ホストとの SCI インタフェースのビットレート合わせ込みを行います。
- ② 問い合わせ設定コマンド待ち
ユーザマットサイズ、ユーザマット構成、マット先頭アドレス、サポート状況などの問い合わせに対して、必要情報をホストに送信します。
- ③ 全ユーザマットおよびユーザブートマットの自動消去
問い合わせ設定が完了し、書き込み消去ステータス遷移コマンドを送信すると、すべてのユーザマットとユーザブートマットを自動消去します。
- ④ 書き込み/消去コマンド待ち
 - 「書き込み選択コマンド」を受信すると、書き込みデータ待ち状態に遷移します。書き込みコマンドに続けて書き込み先頭アドレス、書き込みデータを送信してください。書き込み終了時は、書き込み先頭アドレスを H'FFFFFF と設定して送信してください。これにより書き込みデータ待ち状態から、書き込み/消去コマンド待ち状態に戻ります。
 - 「消去選択コマンド」を受信すると、消去ブロックデータ待ち状態に遷移します。消去コマンドに続けて消去ブロック番号を送信してください。消去終了時は、消去ブロック番号を

H'FF と設定して送信してください。これにより消去ブロックデータ待ち状態から、書き込み／消去コマンド待ち状態に戻ります。なお、消去の実行はブートモードでいったん書き込んだ後に、リセットスタートせずに特定のブロックのみを書き換える場合に使用してください。1回の操作で書き込みができる場合には、書き込み／消去／他コマンド待ち状態に遷移する前に全ブロックの消去が行われていますので、本消去操作は必要ありません。

- 書き込み／消去以外に、ユーザマット／ユーザブートマットのサムチェック、ユーザマット／ユーザブートマットのブランクチェック（消去チェック）、ユーザマット／ユーザブートマットのメモリリード、および現在のステータス情報の取得のコマンドがあります。

ユーザマット／ユーザブートマットのメモリ読み出しは、すべてのユーザマット／ユーザブートマットを自動消去した後に書き込んだデータについての読み出ししかできませんので、ご注意ください。

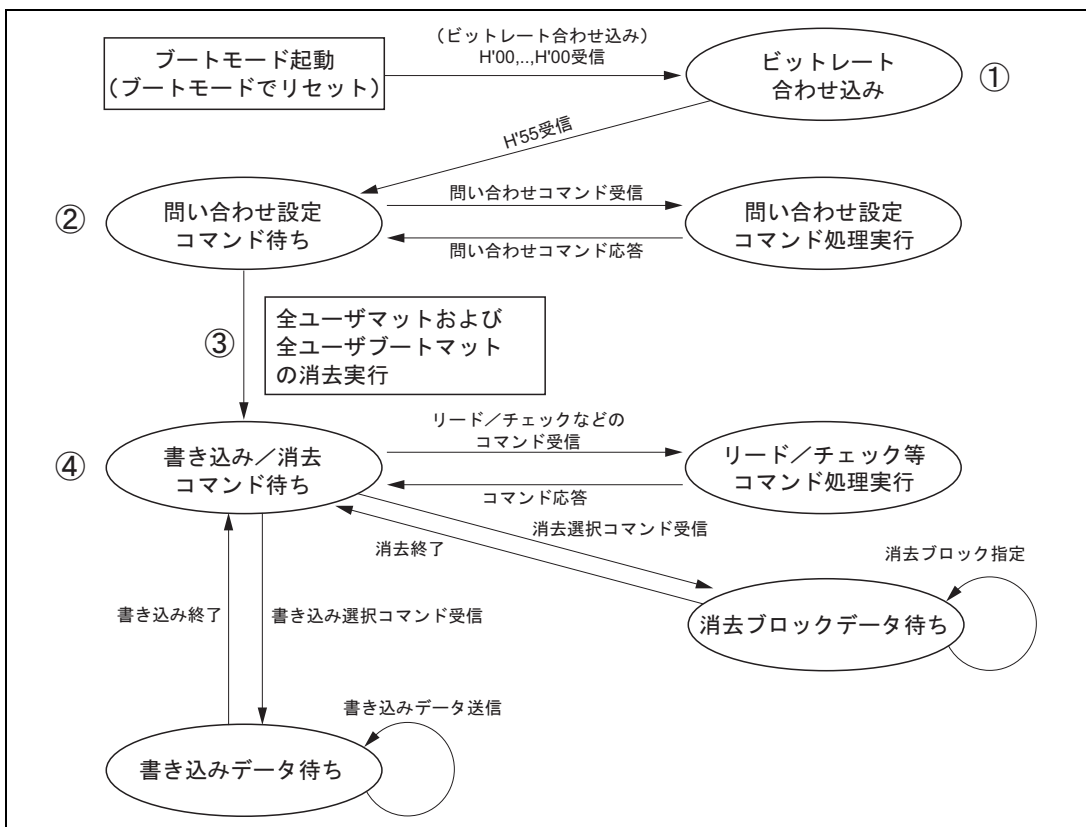


図 23.8 ブートモードの状態遷移の概略図

23.5.2 ユーザプログラムモード

ユーザプログラムモードでは、ユーザマットの書き込み/消去ができます。（ユーザブートマットの書き込み/消去はできません。）

あらかじめマイコン内に内蔵されているプログラムをダウンロードして書き込み/消去を実施します。

概略フローを図 23.9 に示します。

なお、書き込み/消去処理中はフラッシュメモリ内部には高電圧が印加されていますので、書き込み/消去処理中にはリセット、ハードウェアスタンバイへの遷移は行わないようにしてください。フラッシュメモリにダメージを与え破壊する可能性があります。誤って、リセットしてしまった場合は、100 μ s の通常より長いリセット入力期間のあとにリセットリリースしてください。

書き込み手順につきましては、後述「(2) ユーザプログラムモードでの書き込み手順」を、消去手順につきましては「(3) ユーザプログラムモードでの消去手順」をご覧ください。

また、FTDAR レジスタを使用して、書き込み/消去プログラムを別々の内蔵 RAM 領域にダウンロードして、消去と書き込みをくり返す処理についての概略を「(4) ユーザプログラムモードでの消去/書き込み手順」で説明します。

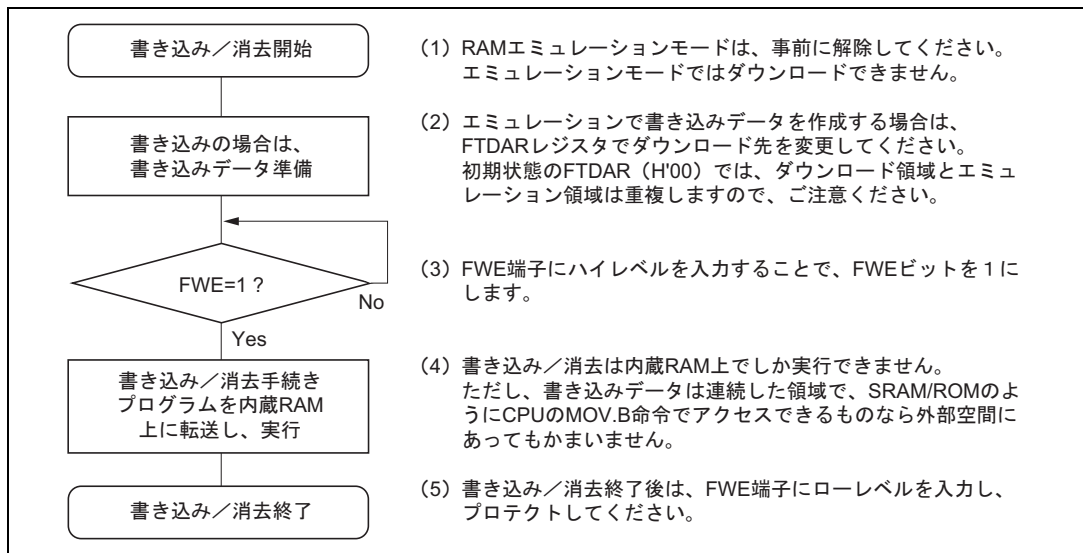


図 23.9 書き込み/消去概略フロー

(1) 書き込み／消去実行時の内蔵 RAM のアドレスマップ

ダウンロードの要求、書き込み／消去の手順、結果の判定などのユーザで作成してもらう手続きプログラムの一部は必ず内蔵 RAM 上で実行する必要があります。また、ダウンロードされる内蔵プログラムはすべて内蔵 RAM 上に存在します。これらが重複する事のないように、内蔵 RAM 上の領域管理に気を付けてください。

図 23.10 にダウンロードされるプログラムの領域を示します。

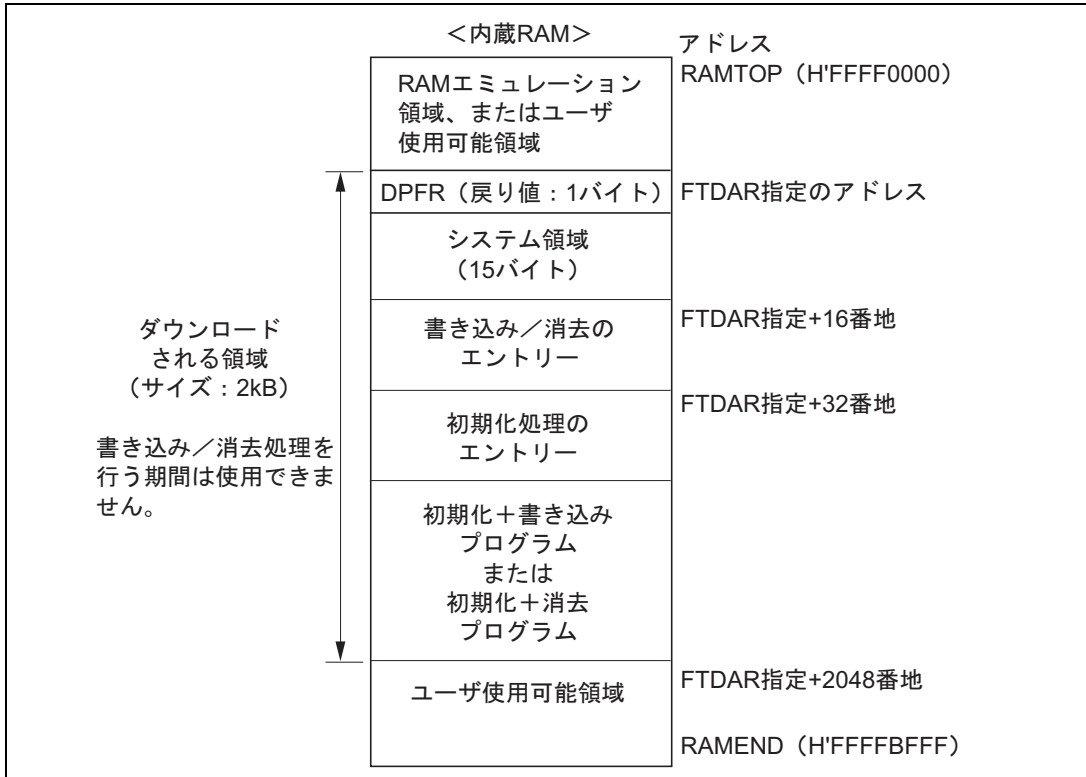


図 23.10 ダウンロード後の内蔵 RAM マップ

(2) ユーザプログラムモードでの書き込み手順

ダウンロード、初期化、書き込みの手順を図 23.11 に示します。

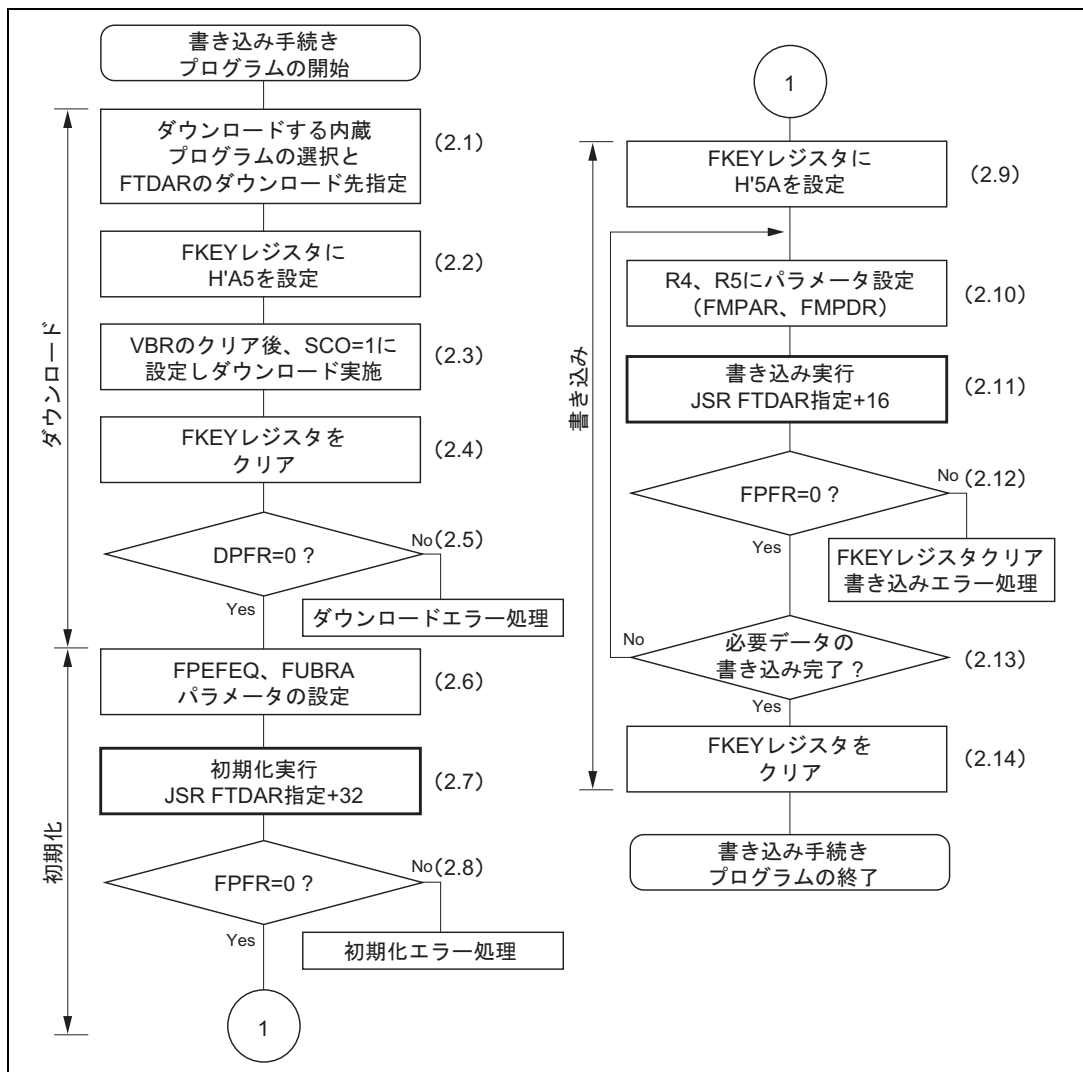


図 23.11 書き込み手順

書き込み手順の詳細を説明します。手続きプログラムは、書き込み対象のフラッシュメモリ以外で実行してください。特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で実行するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「23.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

以下の説明は、ユーザマット上の書き込み対象領域は消去されており、書き込みデータも連続領域に準備できているという前提です。消去ができていない場合は、書き込み前に消去を実施してください。

1 回の書き込み処理では 128 バイトの書き込みを行います。128 バイトを超える書き込みを行う場合は、書き込み先アドレス／書き込みデータのパラメータを 128 バイト単位で更新して書き込みを繰り返します。

128 バイト未満の書き込みの場合も無効データを埋め込んで 128 バイトにそろえる必要があります。埋め込む無効データを H'FF にすると書き込み処理時間を短縮できます。

(2.1) ダウンロードする内蔵プログラムの選択とダウンロード先を指定します。

FPCS レジスタの PPVS ビットを 1 に設定すると書き込みプログラムが選択されます。

書き込み／消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクト検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

(2.2) FKEY レジスタに H'A5 を書き込みます。

プロテクトのために FKEY レジスタに H'A5 を書き込まないとダウンロード要求の SCO ビットに 1 を書き込むことができません。

(2.3) VBR レジスタの 0 クリアと、FCCS レジスタの SCO ビットに 1 を書き込んで、ダウンロードを実行します。

SCO ビットのセットの前に必ず VBR レジスタを H'00000000 にクリアしてください。

SCO ビットに 1 を書き込むためには、以下の条件がすべて満足されている必要があります。

- ① RAM エミュレーションモードが解除されていること。
- ② FKEY レジスタに H'A5 が書き込まれていること。
- ③ SCO ビット書き込みが内蔵 RAM 上で実行されていること。

SCO ビットが 1 になると自動的にダウンロードが開始され、ユーザの手続きプログラムに戻ってきた時点では、SCO=0 にクリアされていますので、ユーザ手続きプログラムでは SCO=1 の確認ができません。

ダウンロード結果の確認は、DPFR パラメータの戻り値での確認のみとなりますので、SCO=1 にする前に、DPFR パラメータとなる FTDAR で指定した内蔵 RAM の先頭の 1 バイトを戻り値以外 (H'FF など) に設定して誤判定の発生を防いでください。

ダウンロードの実行においては、マイコン内部処理として以下に示すようなバンク切り替えを伴った特殊な割り込み処理を行いますので、VBR は 0 クリアされている必要があります。また SCO=1 を設定する命令の直後には 4 個の NOP 命令を実行してください。

- ① ユーザマット空間を内蔵プログラム格納領域に切り替えます。
- ② ダウンロードプログラム選択条件と、FTDAR での指定アドレスなどをチェック後、FTDAR で指定された内蔵 RAM への転送処理を行います。
- ③ FPCS レジスタ、FECS レジスタ、FCCS レジスタの SCO ビットを 0 クリアします。
- ④ DPFR パラメータに戻り値を設定します。
- ⑤ 内蔵プログラム格納領域をユーザマット空間に戻した後、ユーザ手続きプログラムに戻ります。

ダウンロードが完了し、ユーザ手続きプログラムに戻った後は、VBR の再設定は可能です。

ダウンロードにおける注意事項について以下に述べます。

ダウンロード処理では、CPU の汎用レジスタは値が保存されます。

ダウンロード処理中は、割り込み処理は実行されませんが、NMI、UBC、H-UDI の割り込み要求は保持されていますので、ユーザ手続きプログラムに戻った時点で、割り込み処理が発生することになります。ダウンロードと割り込みにつきましては「23.8.2 書き込み／消去手続き実行中の割り込み」

をご覧ください。

最大 128 バイトのスタック領域を使用しますので、SCO=1 にする前に 128 バイト以上のスタック領域を確保しておいてください。

ダウンロード中に DMAC、AUD によるアクセスが発生した場合は、動作保証ができませんので、DMAC、AUD によるアクセスが発生しないようご注意ください。

(2.4) プロテクトのために、FKEY レジスタを H'00 にクリアします。

(2.5) DPFR パラメータの値をチェックしダウンロード結果を確認します。

ダウンロード結果の確認方法は、以下を推奨いたします。

- ① DPFR パラメータ (FTDAR で指定したダウンロード先の先頭アドレスの1バイト) の値をチェックします。値が H'00 ならば、ダウンロードは正常に行われています。H'00 以外の場合は、以下の手順でダウンロードが行われなかった原因を調査することができます。
- ② DPFR パラメータの値が、ダウンロード実行前に設定した値 (H'FF など) と同じであった場合は、FTDAR のダウンロード先アドレス設定の異常が考えられますので、FTDAR のビット 7 : TDER ビットを確認してください。
- ③ DPFR パラメータの値が、ダウンロード実行前の設定値と異っている場合は、DPFR パラメータのビット 2 : SS ビットや、ビット 1 : FK ビットにて、ダウンロードプログラムの選択や FKEY レジスタ設定が正常であったかの確認をしてください。

(2.6) 初期化のために FPEFEQ と FUBRA パラメータに動作周波数とユーザブランチ先を設定します。

- ① FPEFEQ パラメータ (汎用レジスタ : R4) に、現在の CPU クロックの周波数を設定します。FPEFEQ パラメータの設定可能範囲は、「27.3.2 クロックタイミング」をご覧ください。この範囲以外の周波数が設定された場合、初期化プログラムの FPFPR パラメータにエラーが報告され初期化は行われません。周波数の設定方法は、「23.4.3. (2.1) フラッシュプログラムイレース周波数コントロールパラメータ (FPEFEQ)」の説明をご覧ください。
- ② FUBRA パラメータ (汎用レジスタ : R5) に、ユーザブランチ先の先頭アドレスを設定します。ユーザブランチ処理が必要ない場合、FUBRA には値 0 を設定してください。ユーザブランチを行う場合、ブランチ先は書き込み対象のフラッシュメモリ以外で実行するようにしてください。また、ダウンロードされた内蔵プログラムの領域への設定もできません。ユーザブランチ処理からは RTS 命令で書き込み処理に戻ってください。「23.4.3 (2.2) フラッシュユーザブランチアドレスセットパラメータ (FUBRA)」の説明をご覧ください。

(2.7) 初期化の実行

初期化プログラムは書き込みプログラムのダウンロード時にいっしょに内蔵RAM上にダウンロードされています。FTDAR設定のダウンロード先頭アドレス+32バイトからの領域に、初期化プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+32,R1	;	エントリーアドレスをR1に設定
JSR	@R1	;	初期化ルーチンをコール
NOP			

- ① 初期化プログラムではR0以外の汎用レジスタは保存されます。
- ② R0はFPFRパラメータの戻り値です。
- ③ 初期化プログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。
- ④ 初期化プログラム実行中の割り込み受け付けは可能です。ただし、内蔵RAM上のプログラム格納領域やスタック領域、レジスタの値を破壊しないようにしてください。

(2.8) 初期化プログラムの戻り値 FPFR（汎用レジスタ R0）を判定します。

(2.9) FKEY レジスタに H'5A を設定し、ユーザマットへの書き込みができるようにしてください。

(2.10) 書き込みに必要なパラメータの設定を行います。

ユーザマットの書き込み先の先頭アドレス（FMPAR）を汎用レジスタ R5 に、書き込みデータ格納領域の先頭アドレス（FMPDR）を汎用レジスタの R4 に設定します。

- ① FMPAR設定
FMPARは書き込み先頭アドレスの指定ですので、ユーザマットエリア以外のアドレスが指定された場合、書き込みプログラムを実行しても書き込みは実行されず、戻り値パラメータFPFRにはエラーが報告されます。また、128バイト単位ですので下位8ビット（MOA7～MOA0）が、H'00かH'80の128バイト境界である必要があります。
- ② FMPDR設定
書き込みデータの格納先がフラッシュメモリ上の場合、書き込み実行ルーチンを実行しても書き込みは行われず、FPFRパラメータにエラーが報告されます。この場合はいったん内蔵RAMに転送してから書き込むようにしてください。

(2.11) 書き込み処理の実行

FTDARで指定したダウンロード先の先頭アドレス+16バイトからの領域に、書き込みプログラムのエン트리ポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,R1	;	エントリーアドレスをR1に設定
JSR	@R1	;	書き込みルーチンをコール
NOP			

- ① 書き込みプログラムではR0以外の汎用レジスタは保存されます。
- ② R0はFPFRパラメータの戻り値です。
- ③ 書き込みプログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。

(2.12) 書き込みプログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(2.13) 必要データの書き込みが完了したかを判断します。

128バイトを超えるデータを書き込む場合、128バイト単位でFMPAR、FMPDRの設定更新を行い上記(2.10)～(2.13)の処理を繰り返します。書き込み先アドレスの128バイトのインクリメント、書き込みデータポインタの更新を正しく行ってください。書き込み済みのアドレスへの重複書き込みになると、書き込みエラーになるばかりでなく、フラッシュメモリにダメージを与えてしまいます。

(2.14) 書き込みが終了したらFKEYレジスタをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットへの書き込み完了直後、パワーオンリセットで再起動する場合は通常より長い100μs以上のリセット実施期間 (RES=0の期間) を設けてください。

(3) ユーザプログラムモードでの消去手順

ダウンロード、初期化、消去の手順を図 23.12 に示します。

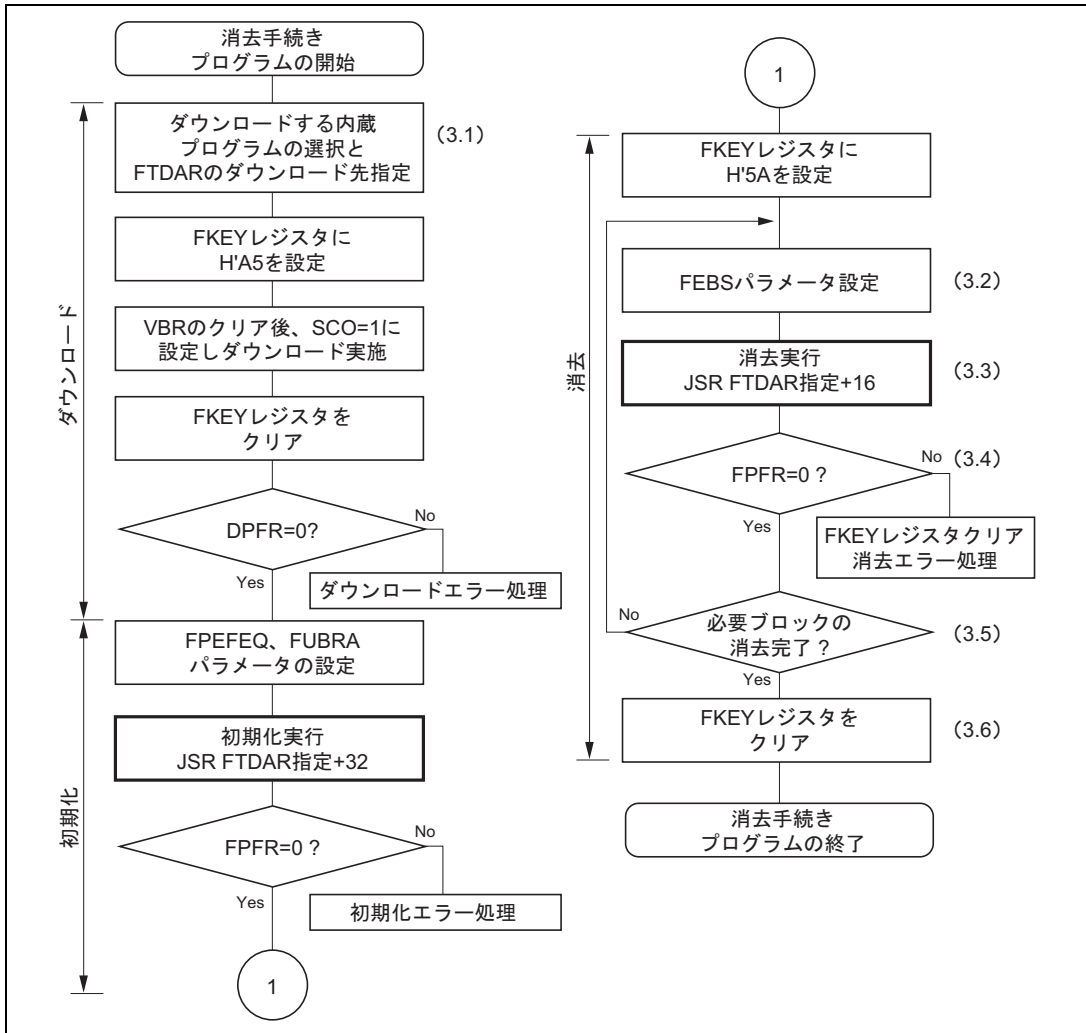


図 23.12 消去手順

消去手順の詳細を説明します。手順プログラムは、消去対象のフラッシュメモリ以外で実行してください。

特に、ダウンロードのために FCCS レジスタの SCO ビットを 1 に設定する部分は、必ず内蔵 RAM 上で動作するようにしてください。

ユーザの手続きプログラムのステップごとの実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）を「23.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

ダウンロードされる内蔵プログラムの領域については、図 23.10 のダウンロード後の内蔵 RAM マップを参照ください。

1 回の消去処理では 1 分割ブロックの消去を行います。ブロック分割については、図 23.4 を参照してください。2 ブロック以上の消去を行う場合は、消去ブロック番号を更新して消去を繰り返しま

す。

(3.1) ダウンロードする内蔵プログラムの選択とダウンロード先アドレスを指定します。

FECS レジスタの EPVB ビットを 1 に設定します。

書き込み/消去プログラムを複数選択することはできません。複数設定した場合は、ダウンロードの実行は行われず、DPFR パラメータのソースセレクトエラー検出ビット (SS) にダウンロードエラーが報告されます。

FTDAR レジスタにて、ダウンロード先の先頭アドレスを指定します。

FKEY レジスタの設定以降のダウンロード、初期化などの手続きは、書き込み手順と同じですので、「23.5.2 (2) ユーザプログラムモードでの書き込み手順」をご覧ください。

消去プログラム用のパラメータ設定以降を以下に示します。

(3.2) 消去に必要な FEBS パラメータの設定を行います。

ユーザマットの消去ブロック番号をフラッシュイレースブロックセレクトパラメータ FEBS (汎用レジスタ R4) に設定します。ユーザマットの分割ブロック番号以外の値が設定された場合、消去処理プログラムを実行しても消去はされず、戻り値パラメータ FPFR にエラーが報告されます。

(3.3) 消去処理の実行

書き込みと同様に、FTDAR で指定したダウンロード先の先頭アドレス+16 バイトからの領域に、消去プログラムのエントリーポイントがありますので、以下のような方法でサブルーチンコールして実行してください。

MOV.L	#DLTOP+16,R1	;	エントリーアドレスを R1 に設定
JSR	@R1	;	消去ルーチンをコール
NOF			

- ① 消去プログラムではR0以外の汎用レジスタは保存されます。
- ② R0はFPFRパラメータの戻り値です。
- ③ 消去プログラムではスタック領域を使用しますので、128バイト以上のスタック領域をRAM上に確保しておいてください。

(3.4) 消去プログラムの戻り値 FPFR (汎用レジスタ R0) を判定します。

(3.5) 必要ブロックの消去が完了したかを判断します。

複数ブロックの消去を実施する場合、FEBS パラメータの更新設定を行い上記 (3.2) ~ (3.5) の処理を繰り返します。消去済みブロックに対しての消去は可能です。

(3.6) 消去が終了したら FKEY レジスタをクリアして、ソフトウェアプロテクトをかけてください。

ユーザマットの消去完了直後、パワーオンリセットで再起動する場合は通常より長い 100 μ s 以上のリセット実施期間 ($\overline{\text{RES}}=0$ の期間) を設けてください。

(4) ユーザプログラムモードでの消去／書き込み手順

FTDAR レジスタで、ダウンロード先の内蔵 RAM アドレスを変更することで、消去プログラムと書き込みプログラムを別々の内蔵 RAM 領域にダウンロードしておくことが可能です。

RAM エミュレーション、消去、書き込みを繰り返し実行する場合の使用例を図 23.13 に示します。

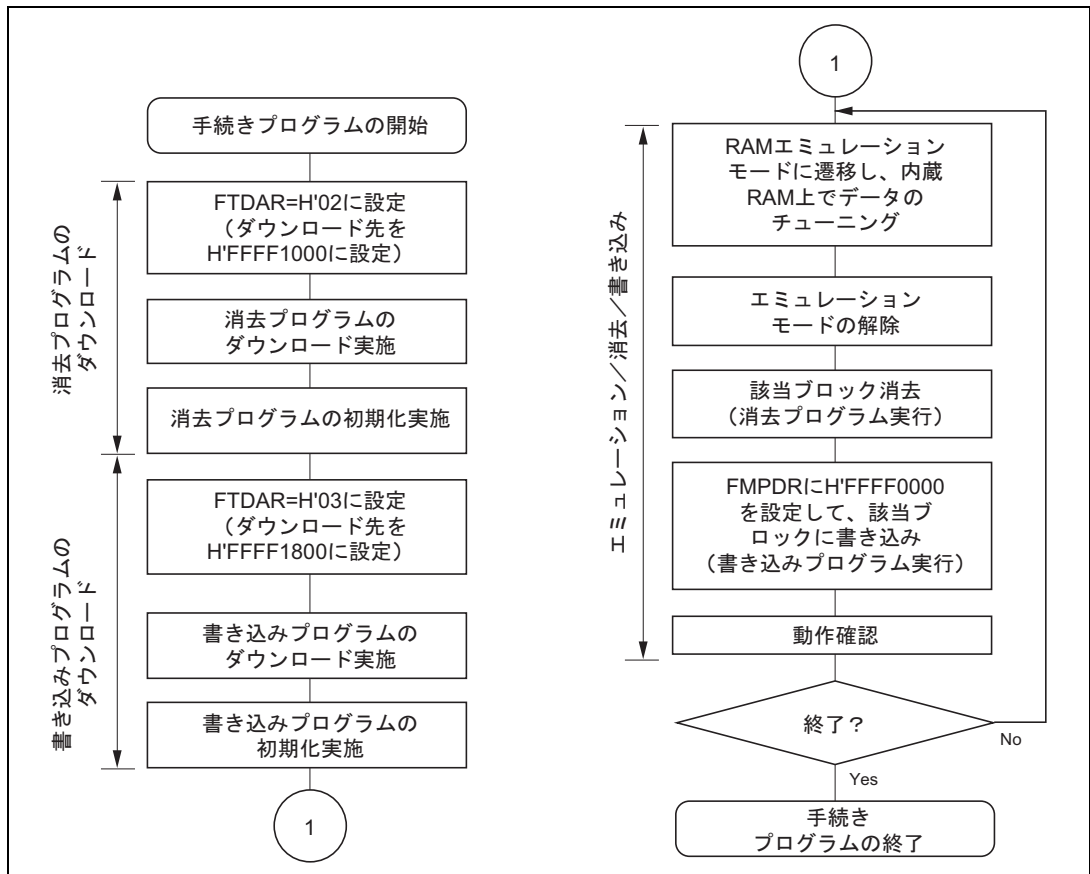


図 23.13 RAM エミュレーション、消去、書き込みの繰り返し例（概要）

本例では、RAM エミュレーションを実施するため、内蔵 RAM 先頭からの 4kB (H'FFFF0000～H'FFFF0FFF) を避けて、消去／書き込みプログラムをダウンロードしています。

また、ダウンロードと初期化は最初の 1 回だけ実施するようにしています。

本例のような手続きを行う場合、以下にご注意ください。

- ① 内蔵RAM領域の重複破壊にご注意ください。
RAMエミュレーション領域、消去プログラム領域、書き込みプログラム領域以外に、ユーザに作成していただく手順プログラムや、作業領域、スタック領域などが、内蔵RAM上に存在しますので、これらの領域を破壊しないようにしてください。
- ② 消去プログラムの初期化、書き込みプログラムの初期化を行ってください。
FPEFEQパラメータ、FUBRAパラメータを設定する初期化は、必ず、消去プログラム／書き込みプログラムの両方に実行してください。初期化のエントリアドレスは、消去プログラムのダウンロード先頭+32番地（本例では、H'FFFF1020）、書き込みプログラムのダウンロード先頭+32番地（本例では、H'FFFF1820）の両方に対して初期化してください。

23.5.3 ユーザブートモード

本 LSI にはユーザプログラムモード、ブートモードとは異なるモード端子設定で起動するユーザブートモードがあります。内蔵 SCI を使用するブートモードとは異なるユーザ任意のブートモードが実現できます。

ユーザブートモードで書き込み/消去が可能なマットはユーザマットだけです。ユーザブートマットの書き込み/消去は、ブートモードまたはライターモードで行ってください。

(1) ユーザブートモードでの起動

ユーザブートモード起動のためのモード端子の設定は「表 23.1 FWE 端子、MD 端子設定と動作モード」をご覧ください。

ユーザブートモードでリセットスタートすると、フラッシュ関連レジスタのチェックルーチンが走ります。このルーチンが使用する RAM 容量は H'FFFF0800 番地からの約 1.2kByte 分とスタックとして使用する H'FFFFBFFC 番地からの 4Byte 分です。この間の NMI およびその他の割り込みは受け付けられません。また、この間は AUD は使用できません。本期間は、40MHz の内部周波数で動作する場合、約 100 μ s です。

その後、ユーザブートマット上のリセットベクタの実行開始アドレスから処理を開始します。この時点で、実行マットはユーザブートマットになっていますので、フラッシュマットセレクトレジスタ FMATS には H'AA が設定されています。

(2) ユーザブートモードでのユーザマットの書き込み

ユーザブートモードでユーザマットへの書き込みを行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および書き込み終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの書き込み手続きを図 23.14 に示します。

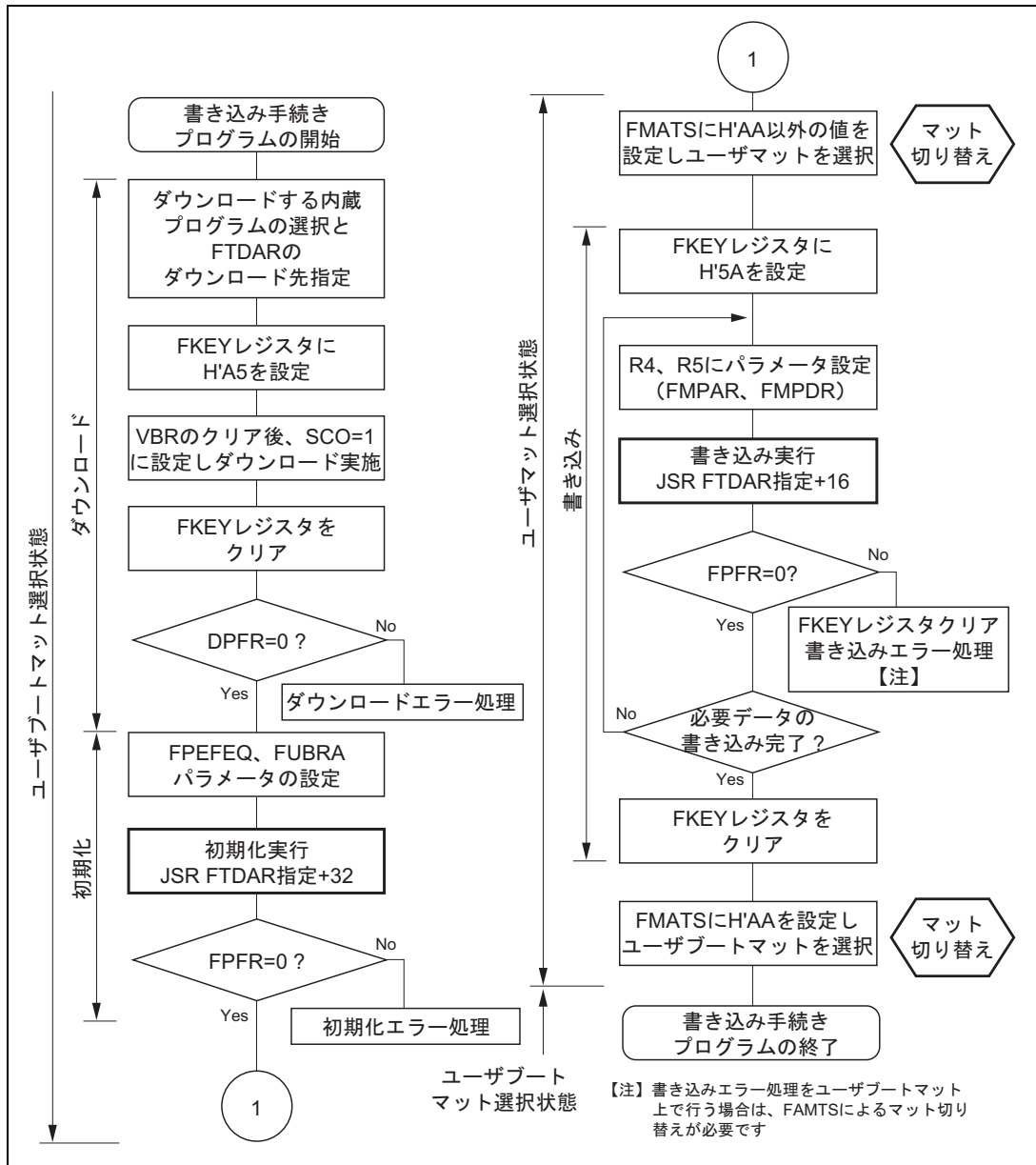


図 23.14 ユーザブートモードでのユーザマットへの書き込み手順

図 23.14 に示したように、ユーザプログラムモードとユーザブートモードでの書き込み手続きの違いは、マット切り替えを行うか否かです。

ユーザブートモードでは、フラッシュメモリ空間にユーザブートマットが見えていて、ユーザマットは「裏」に隠れている状態です。ユーザマットに書き込む処理の間だけ、ユーザマットとユーザブートマットを切り替えます。書き込み処理中は、ユーザブートマットは隠れており、かつユーザマットは書き込み状態ですので、手続きプログラムはフラッシュメモリ以外の領域で実行させる必要があります。書き込み処理が終了したら、最初の状態に戻すために再度マット切り替えを行います。

マット切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマット切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマットから読み出すかなど不安定状態が存在します。マット切り替えについては、「**23.8.1 ユーザマットとユーザブートマットの切り替え**」の説明に従ってください。

マット切り替え以外の書き込み手順は、ユーザプログラムモードの手順と同じです。

ユーザ手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザマット、外部空間など）については「**23.10.3 手順プログラム、または書き込みデータの格納可能領域**」に示します。

(3) ユーザブートモードでのユーザマットの消去

ユーザブートモードでユーザマットの消去を行う手続きでは、FMATS レジスタによるユーザブートマット選択状態からユーザマット選択状態への切り替え、および消去終了後にユーザマット選択状態から再びユーザブートマット選択状態に戻す手続きの追加が必要です。

ユーザブートモードでのユーザマットの消去手続きを図 23.15 に示します。

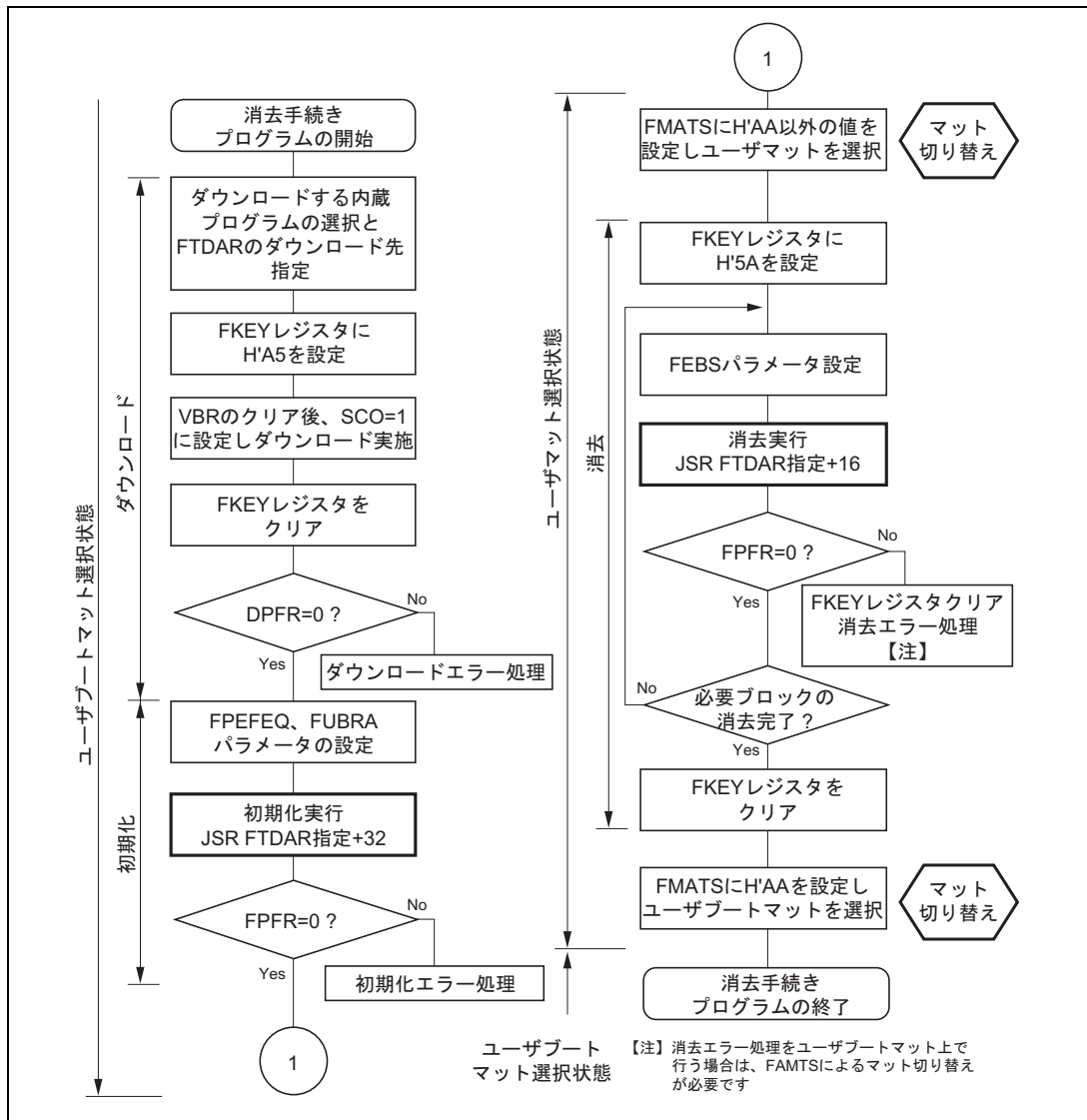


図 23.15 ユーザーブートモードでのユーザーマトの消去手順

図 23.15 に示したように、ユーザープログラムモードとユーザーブートモードでの消去手続きの違いは、マト切り替えを行うか否かです。

マト切り替えは、FMATS レジスタへ規定の値を書き込むことで実現できますが、完全にマト切り替えが完了するまではアクセスできず、また、割り込みが発生した場合に割り込みベクタをどちらのマトから読み出すかなど不安定状態が存在します。マト切り替えについては、「23.8.1 ユーザーマトとユーザーブートマトの切り替え」の説明に従ってください。

マト切り替え以外の消去手順は、ユーザープログラムモードの手順と同じです。

ユーザー手続きプログラムのステップごとの、実行可能な領域（内蔵 RAM、ユーザーマト、外部空間など）については「23.10.3 手順プログラム、または書き込みデータの格納可能領域」に示します。

23.6 プロテクト

フラッシュメモリに対する書き込み/消去プロテクトは、ハードウェアプロテクトとソフトウェアプロテクトとエラープロテクトの3種類あります。

23.6.1 ハードウェアプロテクト

ハードウェアプロテクトとは、フラッシュメモリに対する書き込み/消去が強制的に禁止、中断された状態のことです。内蔵プログラムのダウンロードと初期化実行はできますが、書き込み/消去プログラムを起動してもユーザマットの書き込み/消去はできず、書き込み/消去エラーがFPFRパラメータで報告されます。

表 23.9 ハードウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
FWE 端子プロテクト	<ul style="list-style-type: none"> FWE 端子に Low レベルが入力されているときには、FCCS レジスタの FWE ビットがクリアされ、書き込み/消去プロテクト状態になります。 	—	○
リセット、スタンバイプロテクト	<ul style="list-style-type: none"> パワーオンリセット (WDT によるパワーオンリセットも含む) およびスタンバイ時は、書き込み/消去インタフェースレジスタが初期化され、書き込み/消去プロテクト状態になります。 RES 端子によるリセットでは、電源投入後発振が安定するまで RES 端子を Low レベルに保持しないとリセット状態になりません。また、動作中のリセットは AC 特性に規定した RES パルス幅の間 RES 端子を Low レベルに保持してください。書き込み/消去動作中のフラッシュメモリの値は、保証しません。この場合は、消去を実施してから再度書き込みを実施してください。 	○	○

23.6.2 ソフトウェアプロテクト

ソフトウェアプロテクトは、内蔵の書き込み/消去プログラムのダウンロードからのプロテクト、キーコードによるプロテクト、RAM エミュレーションレジスタによるプロテクトがあります。

表 23.10 ソフトウェアプロテクト

項目	説明	プロテクトが有効な機能	
		ダウンロード	書き込みと消去
SCO ビットプロテクト	<ul style="list-style-type: none"> FCCS レジスタの SCO ビットを 0 にクリアすることにより、書き込み/消去のプログラムのダウンロードができないため、書き込み/消去プロテクト状態になります。 	○	○
FKEY レジスタプロテクト	<ul style="list-style-type: none"> FKEY レジスタにキーコードを書き込まないと、ダウンロードと書き込み/消去ができません。ダウンロードと書き込み/消去では、異なるキーコードの設定が必要です。 	○	○
エミュレーションプロテクト	<ul style="list-style-type: none"> RAM エミュレーションレジスタ (RAMER) の RAMS ビットを 1 にセットすることにより、書き込み/消去プロテクト状態になります。 	○	○

23.6.3 エラープロテクト

エラープロテクトは、フラッシュメモリへの書き込み/消去中のマイコンの暴走や規定の書き込み/消去手順に沿っていない動作をした場合に発生する異常を検出し、書き込み/消去動作を強制的に中断するプロテクトです。書き込み/消去動作を中断することで、過剰書き込みや過剰消去によるフラッシュメモリへのダメージを防止します。

フラッシュメモリへの書き込み/消去中にマイコンが異常動作すると、FCCS レジスタの FLER ビットが 1 にセットされエラープロテクト状態に遷移し、書き込み/消去は中断されます。

FLER ビットのセット条件を以下に示します。

- (1) 書き込み/消去中にフラッシュメモリの当該バンク領域を読み出したとき（ベクトリードおよび命令フェッチを含む）
- (2) 書き込み/消去中に SLEEP 命令を実行したとき（ソフトウェアスタンバイを含む）

エラープロテクトの解除（FLER ビットのクリア）は、パワーオンリセットまたはハードウェアスタンバイのみで行われます。

なお、この場合のリセット入力期間は、通常より長い 100 μ s の期間のあとにリセットリリースしてください。フラッシュメモリには書き込み/消去中には高電圧が印加されているため、エラープロテクト状態への遷移時に、印加電圧が抜けきれない恐れがあります。このため、リセット期間を延長して印加電圧を抜くことにより、フラッシュメモリへのダメージを低減する必要があります。

図 23.16 にエラープロテクト状態への状態遷移図を示します。

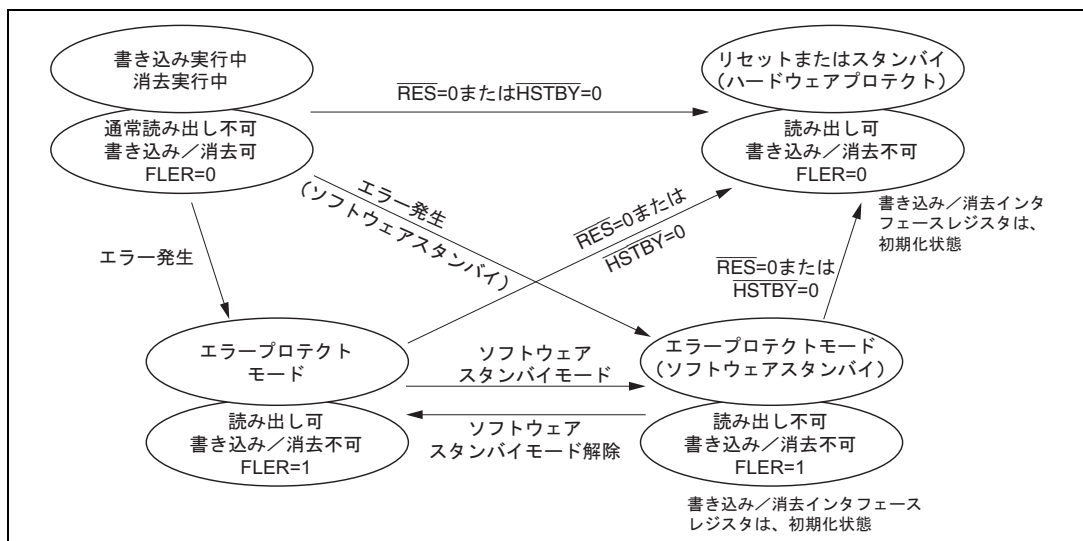


図 23.16 エラープロテクト状態への状態遷移図

23.7 RAMによるフラッシュメモリのエミュレーション

RAMでフラッシュメモリに書き換えるデータをリアルタイムにエミュレートするために、RAMエミュレーションレジスタ (RAMER) で設定したフラッシュメモリ (ユーザマット) のエリアにRAMの一部を重ね合わせて使うことができます。RAMERの設定後、ユーザマットのエリアとここに重ね合わせたRAMエリアの2エリアからアクセスできます。エミュレーション可能なモードは、ユーザモードおよびユーザプログラムモードです。

図 23.17 にユーザマットのリアルタイムな書き換えをエミュレートする例を示します。

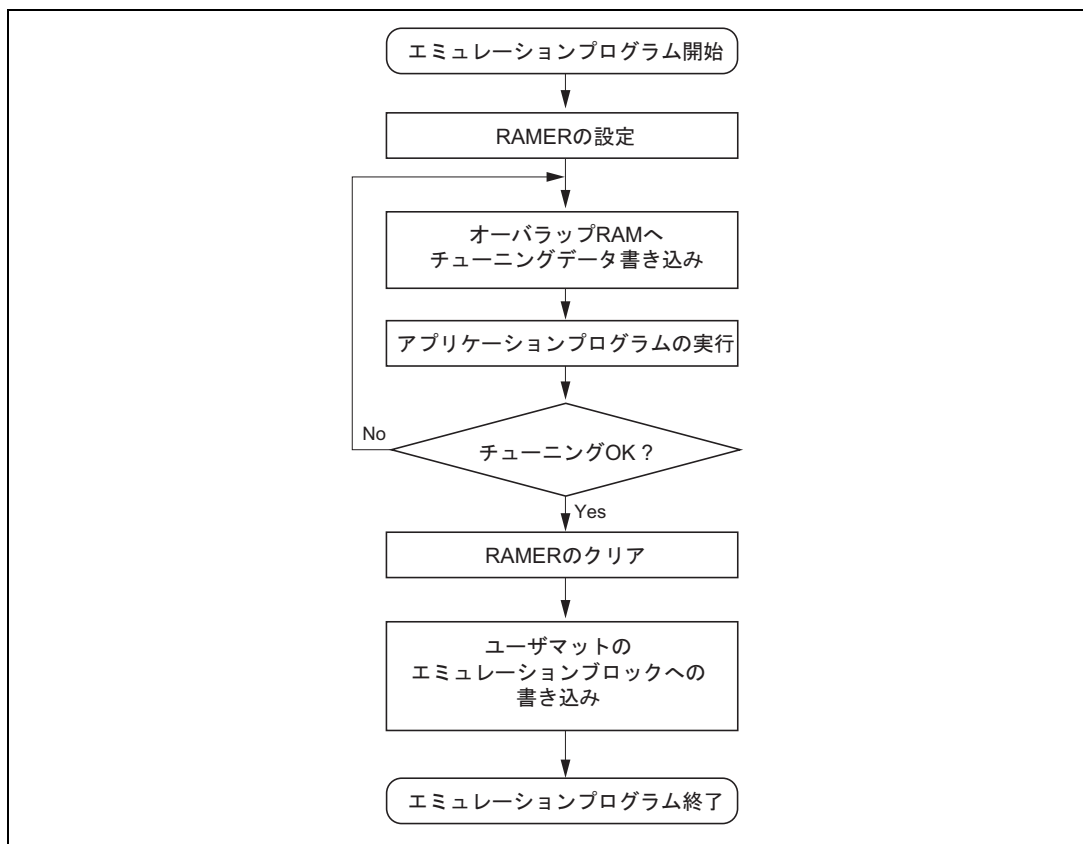


図 23.17 RAMによるエミュレーション

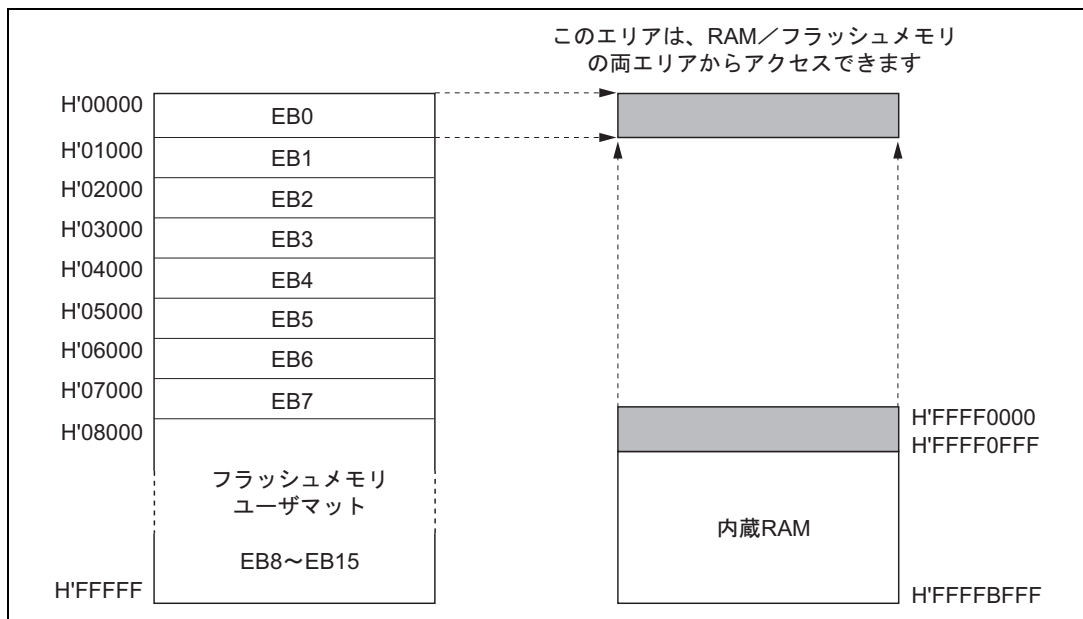


図 23.18 RAM のオーバーラップ動作例

図 23.18 にフラッシュメモリのブロックエリア EB0 をオーバーラップさせる例を示します。

エミュレーション可能なフラッシュメモリの領域は、ユーザマットの EB0~EB7 の 8 エリアから RAMER レジスタの RAM2~0 ビットで選択した 1 エリアです。

- (1) リアルタイムな書き換えを必要とするエリア EB0 に RAM の一部をオーバーラップさせるには、RAMER の RAMS ビットを 1、RAM2~0 ビットを 0、0、0 に設定してください。
- (2) リアルタイムな書き換えは、オーバーラップさせた RAM を使って行います。

ユーザマットへの書き込み/消去実行においては、内蔵プログラムのダウンロードを含む一連の手続きプログラムの実行が必要です。このときに、オーバーラップしていた RAM 領域とダウンロードされる内蔵プログラムの領域が重複しないように、FTDAR レジスタを使用してダウンロード領域を設定してください。FTDAR レジスタが初期値 (H'00) のままですと、チューニング領域とダウンロード領域が重複しますので、事前に未使用領域に確定した書き換えデータの退避が必要になります。

図 23.19 に、エミュレーション完了後のデータをユーザマットの EB0 領域に書き込む例を示します。

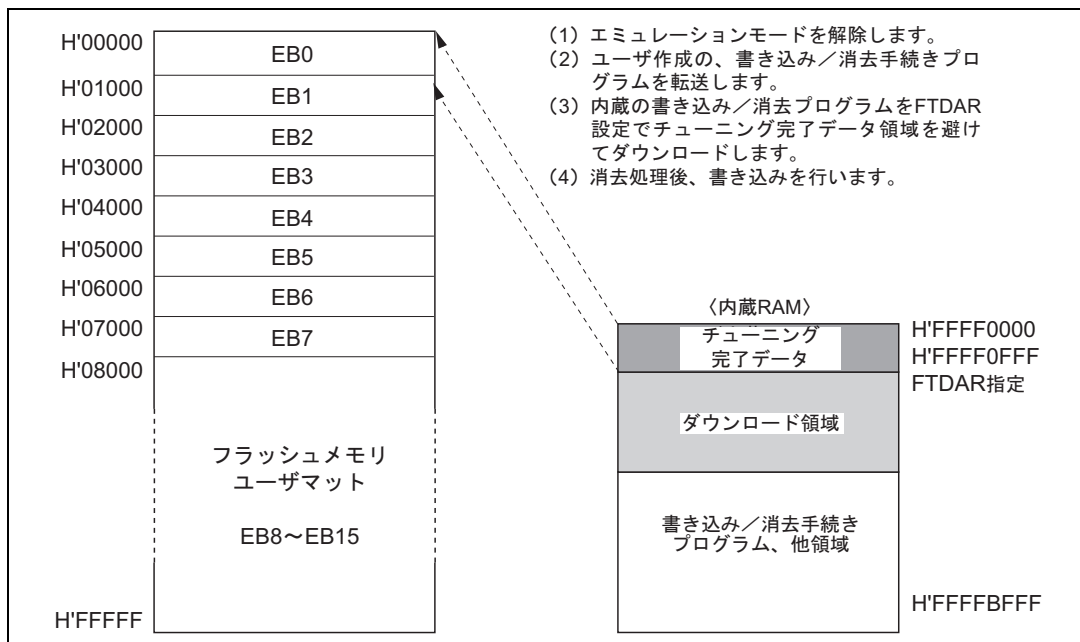


図 23.19 チューニング完了データの書き込み

- (1) 書き換えデータ確定後、RAMSビットをクリアしてRAMのオーバラップを解除します。エミュレーションモードが解除され、エミュレーションプロテクトも解除されます。
- (2) ユーザ作成の書き込み／消去手続きプログラムをRAM上に転送します。
- (3) RAM上の書き込み／消去手続きプログラムを起動し、マイコン内蔵の書き込み／消去プログラムをRAM上にダウンロードします。
 このとき、FTDARレジスタ設定により、チューニング完了データ領域とダウンロード領域が重複しないようにダウンロード先頭アドレスを指定してください。
- (4) ユーザマットのEB0エリアが消去されていない場合は、消去処理を行った後に書き込みを行ってください。書き込み処理のパラメータ FMPAR、FMPDRにチューニング完了データを指定して書き込み処理を行います。

【注】 RAMS ビットを1にするとRAM2~0の値にかかわらず、フラッシュメモリの全ブロックが書き込み／消去プロテクト状態となります（エミュレーションプロテクト）。実際に書き込み／消去を実施する場合はRAMS ビットをクリアしてください。
 ユーザブートマット選択時にもRAMエミュレーションを行うことは可能ですが、ユーザブートマットの消去／書き込みはブートモード、またはライターモードでしか行うことができません。

23.8 使用上のご注意

23.8.1 ユーザマットとユーザブートマットの切り替え

ユーザマットとユーザブートマットを切り替えて使うことができます。ただし、同じ0番地からのアドレスに割り当てられているため、以下の手順が必要です。

(ユーザブートマットに切り替えた状態での書き込み/消去はできません。ユーザブートマットの書き換えは、ブートモードまたはライターモードで実施してください。)

- (1) FMATSレジスタによるマット切り替えは、必ず内蔵RAM上で実行してください。
SHマイコンでは実行命令のプリフェッチを行いますので、例えばユーザマット上でプログラム実行中にマット切り替えを行った場合、ユーザマット上の命令コードをプリフェッチするか、切り替え後のユーザブートマット上の命令をプリフェッチするかで不安定動作になることがあります。
- (2) 確実に切り替えを行った後で切り替え後のマットのアクセスをするために内蔵RAM上でのFMATSレジスタ書き換えの直後には、同じく内蔵RAM上で4個のNOP命令を実行してください。
(切り替えを行っている最中のフラッシュメモリをアクセスしないためです)
- (3) 切り替えの最中に割り込みが発生した場合、どちらのメモリマットがアクセスされるか保証できません。
マット切り替え実行前に、マスク可能な割り込みはマスクするようにしてください。また、可能ならばマット切り替え中には、NMI割り込みが発生しないようなシステムとしてください。
- (4) マット切り替え完了後は、各種割り込みのベクターテーブルエリアも切り替わっていますので注意してください。
マット切り替え前後で同じ割り込み処理を実施する場合や、割り込み発生を禁止できない場合は、内蔵RAM上に割り込み処理ルーチンを転送しておき、かつ割り込みベクターテーブルもVBRレジスタの設定により内蔵RAM上に設定するなどをお願いします。この場合、VBRレジスタの変更と割り込み発生との競合についてもご注意ください。
- (5) ユーザマットとユーザブートマットはメモリサイズが異なります。8kB以上の空間のユーザブートマットをアクセスしないようにしてください。8kB空間以上をアクセスした場合、不定値が読み出されます。

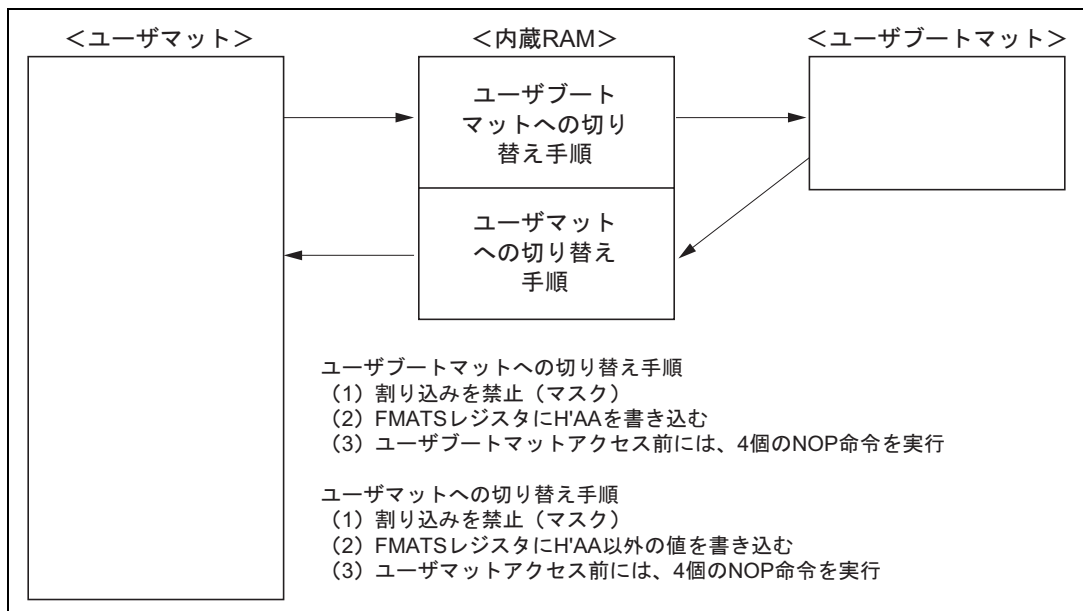


図 23.20 ユーザマット／ユーザブートマットの切り替え

23.8.2 書き込み／消去手続き実行中の割り込み

(1) 内蔵プログラムのダウンロード実行

(1.1) VBR の変更

内蔵プログラムをダウンロードする前に、VBR レジスタを H'00000000（初期値）にする必要があります。VBR を初期値以外の設定で使用している場合、VBR を初期化すると割り込みベクタテーブルがユーザマット（FMATS≠H'AA 時）またはユーザブートマット（FMATS=H'AA 時）になります。

また、VBR 変更と割り込み発生が競合した場合、VBR 変更前後のどちらのベクタテーブルが参照されるかで問題が発生する可能性があります。

よって、割り込みとの競合が発生する可能性のある場合、ユーザマットまたはユーザブートマットの先頭部分にも、VBR=H'00000000 のときに参照されるベクタテーブルを準備してください。

(1.2) SCO ダウンロード要求と割り込み要求

内蔵の書き込み／消去プログラムを、FCCS レジスタの SCO ビットを 1 にしてダウンロードする操作は、マット切り替えを伴った特殊な割り込みを発生させます。SCO ダウンロード要求と割り込み要求の競合時の動作について説明します。

① SCOダウンロード要求と割り込み要求の競合

FCCSレジスタのSCOビットを1に設定する命令の実行と、割り込み受け付けの競合タイミングを図23.21に示します。

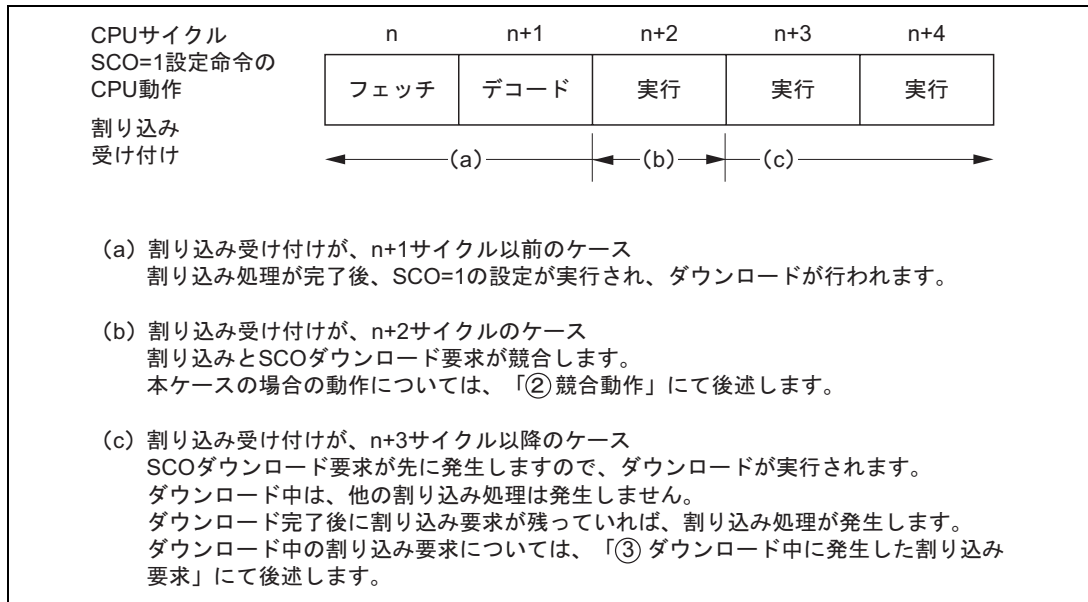


図 23.21 SCO ダウンロード要求と割り込み要求の競合タイミング

②競合動作

競合した割り込みの種類によって、動作が異なります。

- NMI、UBC、H-UDIの割り込み要求

これらの割り込みと、SCOダウンロード要求が競合した場合は、以下の動作となります。

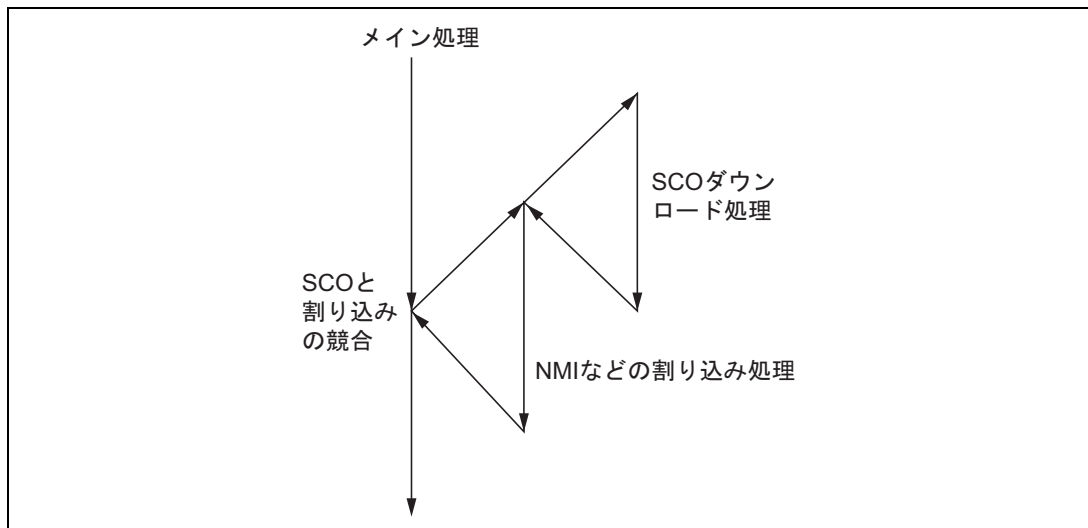


図 23.22 NMI などの割り込みとの競合

- NMI、UBC、H-UDI の割り込み処理が開始され、SR、PC の退避とベクタフェッチ、割り込み処理ルーチンの先頭命令のフェッチまで行われます。
- この時点で、優先順位の高い SCO ダウンロード要求が発生しているため、SCO ダウンロード処理が実行されます。
- ダウンロード処理が完了次第、以前の NMI などの割り込み処理ルーチン先頭の命令フェ

ッチから再開されます。

- NMI 等の割り込み処理が完了し、メイン処理に戻ります。
- IRQ、内蔵周辺モジュールからの割り込み要求
これらの割り込みと、SCOダウンロード要求が競合した場合は、以下の動作となります。

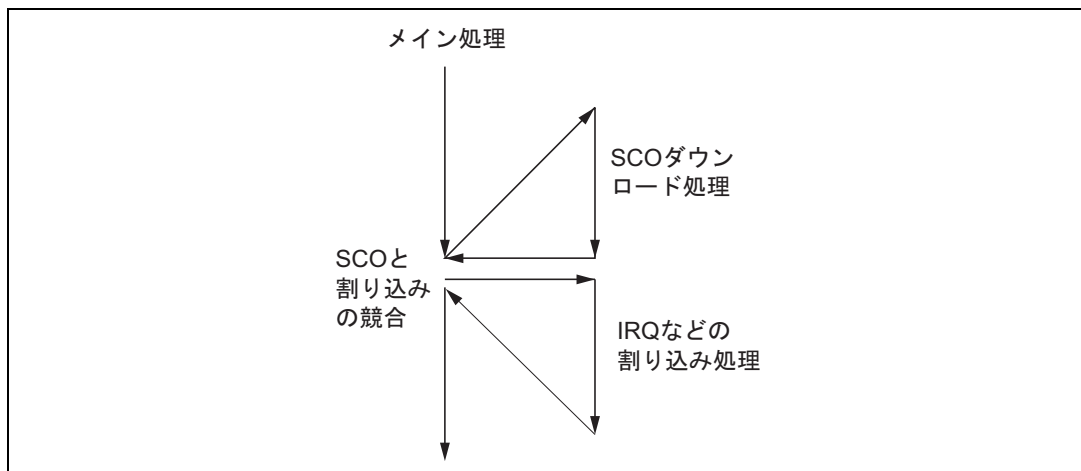


図 23.23 IRQ などの割り込みとの競合

- IRQ、内蔵周辺モジュールからの割り込みに、SCO ダウンロード要求が差し替えられて、ダウンロードが実行されます。
- ダウンロード処理が完了した時点で、IRQ、内蔵周辺モジュールからの割り込み要求が続いていれば、それらの割り込み処理が実行されます。ダウンロード処理中にこれらの割り込み要求が取り消されていると、メイン処理に戻ります。
- 割り込み要求が取り消されるケースは、IRQ をローレベル検出で使用する場合で、ダウンロード終了前にハイレベルに戻ってしまったケースがあてはまります。後述の「③ダウンロード中に発生した割り込み要求」もご覧ください。

③ダウンロード中に発生した割り込み要求

SCOダウンロード実行中に、割り込み要求が発生しても、ダウンロード完了までそれらの割り込み処理が実行されることはありません。ただし、割り込み要求は基本的に保持されますので、ダウンロード完了後に、これらの割り込み処理が発生します。複数種類の割り込み要求があった場合は、割り込みコントローラ (INTC) にて優先順位判定が行われ、優先順位の高い割り込みから処理されます。

- NMI、UBC、H-UDIの割り込み要求
SCOダウンロード中に、これらの割り込み要求が発生した場合は、要因が保持されます。
- IRQ割り込み
IRQ割り込みは、立ち下がりエッジ検出とローレベル検出が選択できます。
 - SCO ダウンロード中の IRQ の立ち下がりエッジ検出は、要因保持されます。
 - SCO ダウンロード中の IRQ のローレベル検出の場合は、ダウンロード終了時点でも、ローレベル入力保持されていると、割り込み処理が開始されます。ダウンロード終了時点で、ハイレベルが入力されていると、要因は取り消されたこととなります。
- 内蔵周辺モジュールからの割り込み
内蔵周辺モジュールからの割り込みは、レベル割り込みですが、フラグクリアなどの操作を行わない限り、割り込み信号を出しつづけるので割り込み要因は保持されていることとなります。

(2) 書き込み／消去処理中の割り込み

ダウンロードした内蔵プログラムでの書き込み／消去実行中の割り込み処理は、リアルタイムで可能ですが、以下の制限事項や注意事項があります。

- ① 書き込み／消去中のフラッシュメモリは、ユーザマット／ユーザブートマットともにアクセスできません。割り込みベクタテーブルや割り込み処理ルーチンは、内蔵RAMや外部メモリなどに準備してください。割り込み処理ルーチンの中でも、書き込み／消去中のフラッシュメモリをアクセスしないでください。フラッシュメモリを読み出した場合、読み出した値の保証はできません。また、書き込み／消去中にフラッシュメモリの当該バンクをアクセスすると、エラープロテクトに遷移しますので、書き込み／消去処理は中断します。当該バンク以外をアクセスした場合は、エラープロテクトに遷移しませんが、読み出した値の保証はできません。
- ② FMPDRパラメータで指定している書き込みデータを変更しないでください。書き込みデータを割り込み処理で準備する場合は、別領域に準備し、書き込み完了の確認後にFMPDRの領域に移すかFMPDRを準備した別領域に変更する手順としてください。
- ③ 割り込み処理ルーチンの中では、本章のフラッシュ関連レジスタや、ダウンロードした内蔵プログラム領域を破壊しないようにしてください。また、割り込み処理でRAMエミュレーションにしたり、SCO要求による内蔵プログラムのダウンロードや、書き込み／消去を多重実行しないでください。
- ④ 割り込み処理ルーチンの先頭で、CPUのレジスタを退避し、戻る前に復帰させてください。
- ⑤ 割り込み処理ルーチンで、スリープ状態やソフトウェアスタンバイ状態に遷移すると、エラープロテクト状態となり、書き込み／消去は中断されます。
また、リセット状態に遷移した場合は、フラッシュメモリへのダメージを低減するために、100 μ s以上のリセット状態の後で、リセットリリースしてください。

23.8.3 その他のご注意

(1) 内蔵プログラムのダウンロード実行時間

初期化ルーチンを含む書き込みプログラム、または初期化ルーチンを含む消去プログラムのコードサイズはそれぞれ2kB以内です。よって、CPUクロック周波数が、40MHzの場合、それぞれ最大で約75 μ sのダウンロード時間となります。

(2) ユーザブランチ処理の間隔

ユーザブランチ処理が実行される間隔は、書き込み／消去で異なります。また、処理フェーズによっても異なります。表 23.11 に、CPUクロック周波数40MHzの場合の最大／最小起動間隔を示します。

表 23.11 ユーザブランチ処理の起動間隔

	最大間隔	最小間隔
書き込み処理	約 1ms	約 19 μ s
消去処理	約 5ms	約 19 μ s

ただし、CPU クロック 40MHz 動作時における最初のユーザブランチ処理までの時間の最大／最小値は表 23.12 のようになります。

表 23.12 ユーザブランチ処理時間

	最大	最小
書き込み処理	約 113 μ s	約 113 μ s
消去処理	約 85 μ s	約 45 μ s

(3) AUD、DMAC でのフラッシュ関連レジスタへの書き込み

ダウンロード要求の FCCS レジスタの SCO ビットや、マット切り替えの FMATS レジスタは、内蔵 RAM 上で命令実行中ならば、AUD、DMAC からでも書き込みができてしまいます。不用意にこれらのレジスタへの書き込みが行われると、ダウンロードが実行され RAM を破壊したり、マット切り替えが発生して暴走するなどの危険性がありますので、ご注意ください。

(4) AUD 動作不可状態、割り込み無視状態

以下のモード、または期間では、AUD はモジュールスタンバイ状態となり動作できません。また、NMI やマスカブル割り込みが発生しても無視され、実行も割り込み要因の保持もされません。

- ブートモード動作中
- ライタモード動作中
- ユーザブートモード起動直後のフラッシュ関連レジスタチェック中
(リセットリリース後、40MHz の内部周波数で動作する場合、約 100 μ s の期間)

(5) 従来の F-ZTAT SH マイコンとの書き込み／消去プログラムの互換性

SCO 転送要求による内蔵プログラムのダウンロード方式をサポートしていない、従来の F-ZTAT SH マイコンで使用していたフラッシュメモリの書き込み／消去プログラムは、本 LSI では動作しません。

本 LSI でのフラッシュメモリへの書き込み／消去は、必ず内蔵プログラムをダウンロードして実施してください。

(6) WDT による暴走などのモニタ

従来の F-ZTAT SH マイコンと異なり、ダウンロードされる内蔵プログラムによる書き込み／消去中は WDT による暴走などへの対応は、実施していません。

必要に応じて、書き込み／消去の実行時間を考慮した WDT での対応を実施してください。(ユーザブランチルーチンの使用、定期的なタイマ割り込みの使用など)

23.9 ライタモード

プログラム／データの書き込み／消去が可能なモードとして、オンボードプログラミングモード以外にライタモードがあります。ライタモードではフラッシュメモリ読み出しモード、自動書き込みモード、自動消去モード、ステータス読み出しモードをサポートしております。書き込み／消去対象マツトは、ユーザマツトとユーザブツトマツトです。

自動書き込み／自動消去／ステータス読み出しのモードではステータスポーリング方式を採用しており、また、ステータス読み出しモードでは自動書き込み／自動消去を実行した後に、その詳細な内部状態を出力します。

ライタモードでは、モード端子を表 23.13 の設定とし、入力クロックとして 6MHz を入力してください。これにより本 LSI は 24MHz で動作します。

表 23.13 ライタモードの端子

端子名	設定
モード端子： MD2、MD1、MD0	0、1、1
FWE 端子	ハイレベルを入力（自動書き込み、自動消去時）
RES 端子	パワーオンリセット回路
EXTAL、XTAL、PLL _{VCC} 、PLL _{SS} 、PLL _{CAP} 端子	発振回路、PLL 回路
V _{CL} 端子	内部降圧安定用コンデンサ

23.9.1 ソケットアダプタの端子対応図

図 23.25 に示すようなソケットアダプタを LSI に取り付けてください。これによって、40 ピンにピン変換することができます。内蔵 ROM のメモリマツトを図 23.24 に、ソケットアダプタの端子対応図を図 23.25 に示します。

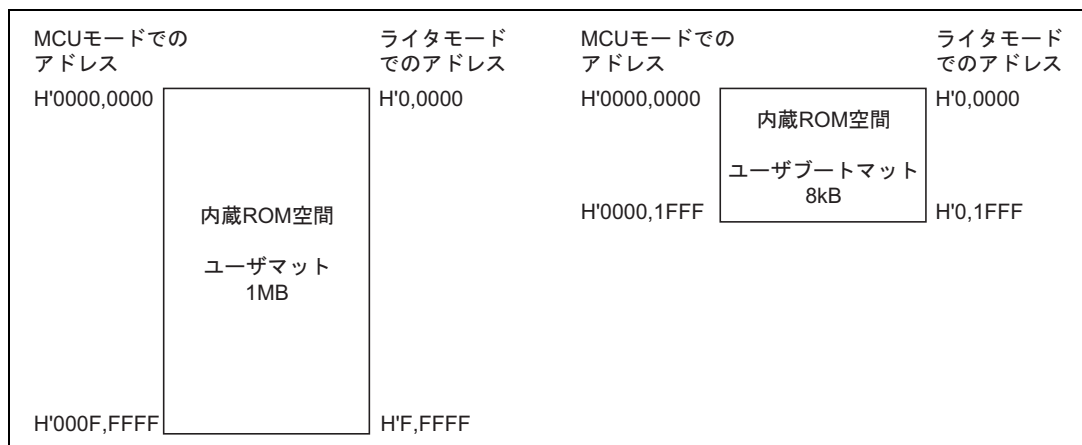


図 23.24 内蔵フラッシュのメモリマツト

23. ROM

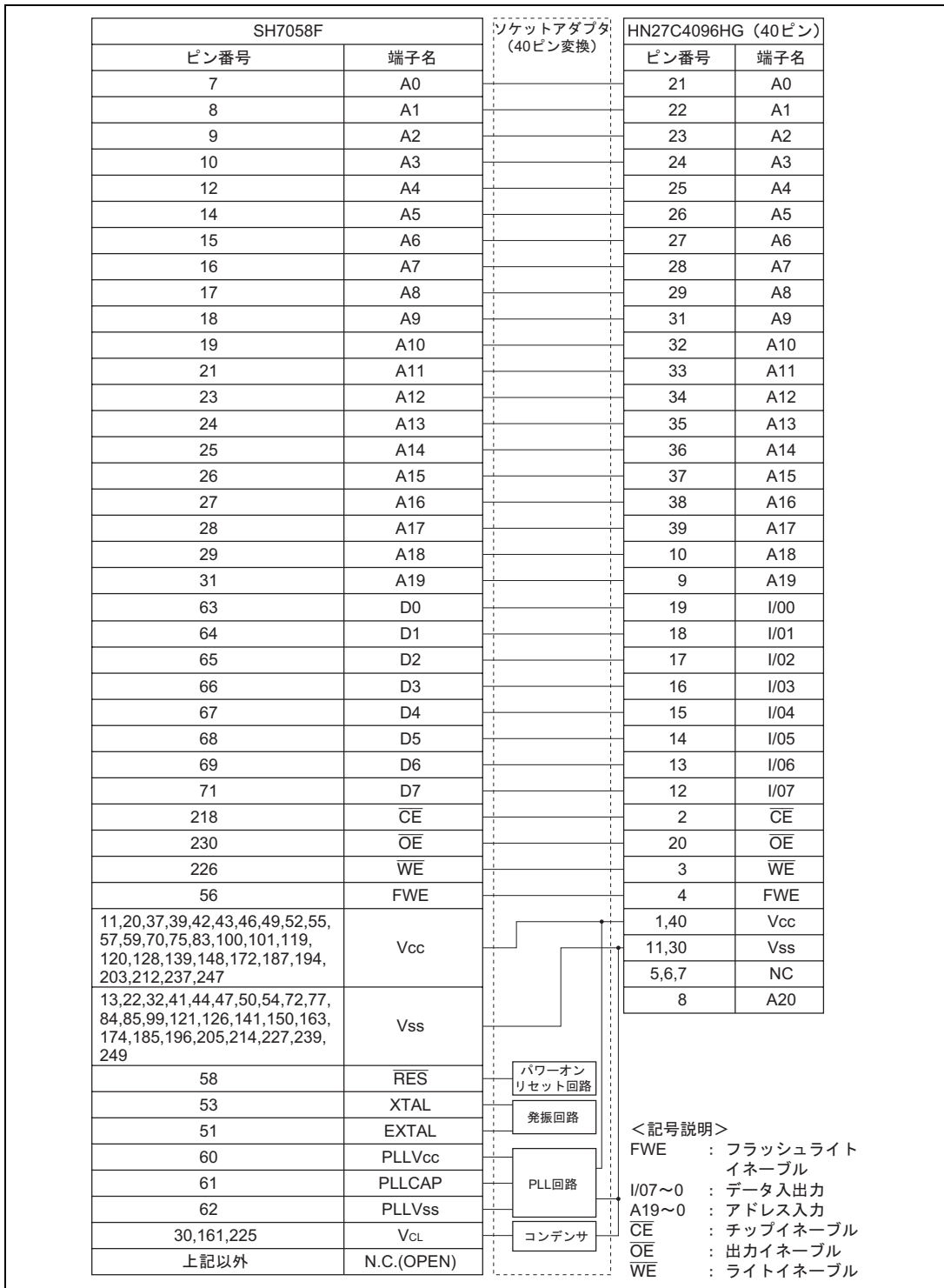


図 23.25 ソケットアダプタの端子対応図

23.9.2 ライタモードの動作

表 23.14 にライタモード時の各動作モードの設定方法、表 23.15 にライタモード時の各コマンドを示します。また、各モードの詳細情報を下記に示します。

- メモリ読み出しモード
メモリ読み出しモードは、ユーザマットおよびユーザブートマットのバイト読み出しをサポートします。
- 自動書き込みモード
自動書き込みモードでは、ユーザマットおよびユーザブートマットへの128バイト同時書き込みをサポートします。自動書き込み終了確認にステータスポーリング方式を採用しています。
- 自動消去モード
自動消去モードでは、ユーザマットおよびユーザブートマットの全面自動消去のみサポートします。自動消去終了確認にステータスポーリング方式を採用しています。
- ステータス読み出しモード
自動書き込み／自動消去方式はステータスポーリング方式を採用しており、正常終了の確認はI/O6の信号をリードすることで行えます。ステータス読み出しモードはエラーが発生したときのエラー情報を出力します。

表 23.14 ライタモード時の各動作モードの設定方法

モード	ピン名					
	FWE	\overline{CE}	\overline{OE}	\overline{WE}	I/O7~0	A19~0
リード	H or L	L	L	H	データ出力	Ain
出力ディスエーブル	H or L	L	H	H	Hi-Z	X
コマンド書き込み	H or L	L	H	L	データ入力	*Ain
チップディスエーブル	H or L	H	X	X	Hi-Z	X

- 【注】
1. チップディスエーブルは、スタンバイ状態ではありません。内部は動作状態です。
 2. 自動書き込み／消去モードに遷移するときのコマンド書き込みは、FWE 端子にハイレベルを入力してください。
- * Ain は、自動書き込みモードにおいてアドレスの入力もあることを示しています。

表 23.15 ライタモード時の各コマンド

コマンド名	サイクル数	対象メモリ マット	第1サイクル			第2サイクル		
			モード	アドレス	コマンド	モード	アドレス	データ
メモリ読み出しコマンド	1+n	ユーザマット	write	X	H'00	read	RA	Dout
		ユーザブート マット	write	X	H'05			
自動書き込みコマンド	129	ユーザマット	write	X	H'40	write	WA	Din
		ユーザブート マット	write	X	H'45			
自動消去コマンド	2	ユーザマット	write	X	H'20	write	X	H'20
		ユーザブート マット	write	X	H'25			H'25
ステータス読み出し コマンド	2	両マット共通	write	X	H'71	write	X	H'71

- 【注】
1. 自動書き込みモードでは、128バイト同時書き込みにより、コマンド書き込みが129サイクル必要となります。
 2. メモリ読み出しモードでは、アドレス書き込みサイクル数(n)によって、サイクル数が変化します。
 3. 自動消去コマンドは、第1サイクル、第2サイクルともに同じコマンドコードを入力してください。
(ユーザブートマットの消去の場合、第1サイクル、第2サイクルともにH'25)

23.9.3 メモリ読み出しモード

- (1) 自動書き込み/自動消去/ステータス読み出し終了時は、コマンド待ち状態に遷移しています。メモリの内容を読み出す場合はコマンド書き込みでメモリ読み出しモードに遷移させた後に、メモリの内容を読み出す必要があります。
- (2) メモリ読み出しモードでは、コマンド待ち状態と同様にコマンド書き込みが行えます。
- (3) 一度メモリ読み出しモードに遷移させた後は、連続リードが可能です。
- (4) 電源投入後は、ユーザマットのメモリ読み出しモードに遷移します。
メモリ読み出しモード時のAC特性については、「23.10.2 ライタモードのAC特性、タイミング」をご覧ください。

23.9.4 自動書き込みモード

- (1) 自動書き込みモードでは、128バイト同時書き込みを行います。これは、バイトデータを128回連続で転送してください。
- (2) 128バイト以下の書き込みでも128バイトのデータ転送を行う必要があります。必要ないアドレスへのメモリ書き込みは、データをH'FFにして書き込みを行う必要があります。
- (3) 転送するアドレスの下位7ビットは、ロー状態にしてください。有効アドレス以外を入力した場合は、メモリ書き込み動作に移行しますが、書き込みエラーとなります。
- (4) メモリアドレスの転送は、第2サイクルで行います。第3サイクル以降では転送しないでください。
- (5) 書き込み動作中は、コマンド書き込みを行わないでください。
- (6) 書き込みは、各アドレスの128バイト単位のブロックに対して、1回の自動書き込みで行ってください。すでに書き込まれたアドレスブロックへの2回以上の追加書き込みは行えません。
- (7) 自動書き込み終了の確認には、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7のステータスポーリングは、自動書き込み終了判定用端子です)。
- (8) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。
自動書き込みモード時のAC特性については、「23.10.2 ライタモードのAC特性、タイミング」をご覧ください。

23.9.5 自動消去モード

- (1) 自動消去モードでは、メモリ全面消去のみサポートします。
- (2) 自動消去中はコマンド書き込みを行わないでください。
- (3) 自動消去正常終了の確認は、I/O6を調べることにより行います。または、ステータス読み出しモードを使用しても確認することができます。(I/O7のステータスポーリングは、自動消去終了判定用端子です)。
- (4) ステータスポーリングのI/O6、I/O7端子情報は、次のコマンド書き込みまで保持されます。次のコマンド書き込みが行われてなければ、 \overline{CE} 、 \overline{OE} をイネーブルにすることにより読み出し可能となります。

自動消去モード時のAC特性については、「23.10.2 ライタモードのAC特性、タイミング」をご覧ください。

23.9.6 ステータス読み出しモード

- (1) ステータス読み出しモードは、異常終了の種類を特定させるためのモードです。自動書き込み／自動消去モードで異常終了が起きた場合に使用してください。
- (2) リターンコードは、ステータス読み出しモード以外のコマンド書き込みが行われるまで保持されます。

ステータス読み出しモードのリターンコードを表 23.16 に示します。

ステータス読み出しモード時の AC 特性については、「23.10.2 ライタモードの AC 特性、タイミング」をご覧ください。

表 23.16 ステータス読み出しモードのリターンコード

ピン名	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
属性	正常終了 判定	コマンド エラー	書き込み エラー	消去エラー	—	—	書き込み or 消去回数 オーバ	有効 アドレス エラー
初期値	0	0	0	0	0	0	0	0
内容	正常終了:0 異常終了:1	コマンド エラー:1 その他:0	書き込み エラー:1 その他:0	消去 エラー:1 その他:0	—	—	回数オーバ 時:1 その他:0	有効アドレス エラー:1 その他:0

【注】 I/O2、3は未定義です

23.9.7 ステータスポーリング

- (1) I/O7のステータスポーリングは、自動書き込み／自動消去モード時の動作状態を示すフラグです。
- (2) I/O6のステータスポーリングは、自動書き込み／自動消去モード時の正常／異常終了を示すフラグです。

表 23.17 ステータスポーリング出力の真理値表

端子名	内部動作中	異常終了	—	正常終了
I/O7	0	1	0	1
I/O6	0	0	1	1
I/O0~5	0	0	0	0

23.9.8 ライタモードへの遷移時間

発振安定時間、ライタモードセットアップ時間は、コマンドを受け付けることができません。ライターモードセットアップ時間後、メモリ読み出しモードに遷移します。「23.10.2 ライタモードの AC 特性、タイミング」をご覧ください。

23.9.9 メモリ書き込み注意事項

- (1) すでに書き込まれたアドレスへの書き換えは、自動消去を行った後に自動書き込みをしてください。
- (2) オンボードプログラミングモードにて書き込み／消去を行ったチップに対して、ライターモードを用いて書き換えを行う場合には、自動消去を行った後に自動書き込みを行うことを推奨します。
- (3) 書き込み／消去実行中に、SHマイコンチップをPROMライターから取り外したり、リセットを入力することはやめてください。書き込み／消去実行中はフラッシュメモリに高電圧が印加されているため、フラッシュメモリの永久破壊の可能性があります。もし、誤ってリセット入力してしまった場合は、100 μ sの通常より長いリセット期間の後にリセットリリースしてください。

- 【注】
1. ルネサス テクノロジ出荷品の初期状態は、消去状態です。これ以外の消去来歴不明チップに対して、初期化（消去）レベルをチェック、補正するために自動消去実施を推奨します。
 2. 同一アドレスブロックへの自動書き込みは、1回のみとします。すでに書き込まれたアドレスブロックへの追加書き込みは行えません。

23.10 付録

23.10.1 ブートモードの標準シリアル通信インタフェース仕様

ブートモードで起動するブートプログラムは、ホストとLSI内蔵のSCIを使って送受信を行います。ホストとブートプログラムのシリアル通信インタフェース仕様を以下に示します。

●ステータス

ブートプログラムは3つのステータスを持ちます。

- (1) ビットレート合わせ込みステータス
ホストと送受信するビットレートを合わせ込むステータスです。ブートモードで起動するとブートプログラムが起動し、ビットレート合わせ込みステータスになり、ホストからのコマンドを受信しビットレートの合わせ込みを行います。合わせ込みが終了すると、問い合わせ選択ステータスに遷移します。
- (2) 問い合わせ選択ステータス
ホストからの問い合わせコマンドに応答するステータスです。このステータスで、デバイスとクロックモードとビットレートを選択します。選択が完了したら、書き込み消去ステータス遷移コマンドで書き込み消去ステータスに遷移します。書き込み消去ステータスに遷移する前に、ブートプログラムは消去プログラムをRAM上に転送し、ユーザマットとユーザブートマットを消去します。
- (3) 書き込み消去ステータス
書き込み消去を行うステータスです。ホストからのコマンドに従って、書き込み／消去プログラムをRAMに転送し、書き込み／消去を行います。コマンドにより、サムチェック、ブランクチェックを行います。

ブートプログラムの処理フローを図 23.26 に示します。

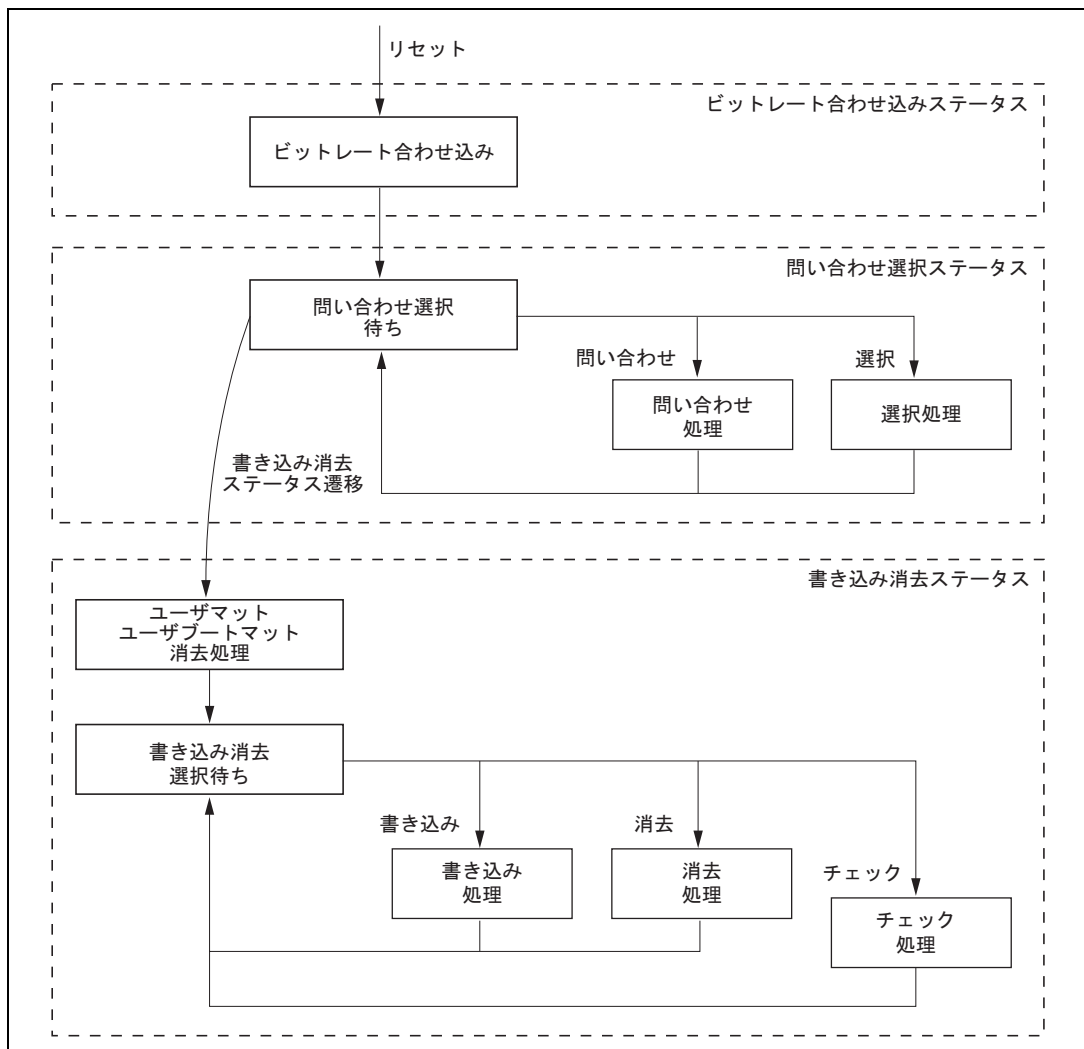


図 23.26 ブートプログラムの処理フロー

●ビットレート合わせ込みステータス

ビットレート合わせ込みは、ホストから送信された H'00 のローレベルの区間を測定してビットレートを計算します。このビットレートは新ビットレート選択コマンドで変更することができます。ビットレート合わせ込みが終了すると、ブートプログラムは問い合わせ選択ステータスに遷移します。ビットレート合わせ込みのシーケンスを図 23.27 に示します。



図 23.27 ビットレート合わせ込みのシーケンス

●通信プロトコル

ビットレート合わせ込みが完了した後の、ホストとブートプログラムとのシリアル通信プロトコルは以下のとおりです。

- (1) 1文字コマンドまたは1文字レスポンス
コマンドまたはレスポンスが1文字だけのもので、問い合わせと、正常終了のACKがありません。
- (2) n文字コマンドまたはn文字レスポンス
コマンド、レスポンスにnバイトのデータを必要とするもので、選択コマンドと、問い合わせに対応するレスポンスがあります。
書き込みデータについては、データ長を別途定めるので、データのサイズは省略します。
- (3) エラーレスポンス
コマンドに対するエラーレスポンスです。エラーレスポンスと、エラーコードの2バイトです。
- (4) 128バイト書き込み
サイズのないコマンドです。データのサイズは書き込みサイズ問い合わせのレスポンスで知ることができます。
- (5) メモリリードのレスポンス
サイズが4バイトのレスポンスです。

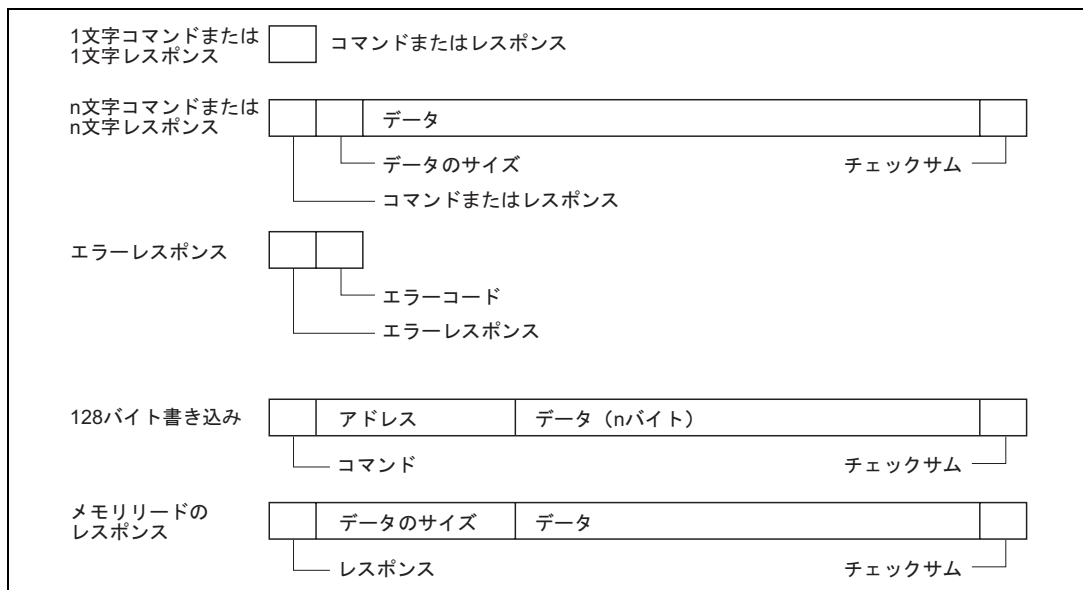


図 23.28 通信プロトコルフォーマット

- コマンド (1 バイト) : 問い合わせ、選択、書き込み、消去、チェックなどのコマンド
- レスポンス (1 バイト) : 問い合わせに対する応答
- サイズ (1 バイトまたは2 バイト) : コマンド、サイズ、サムチェックを除いた送受信データのサイズ
- データ (n バイト) : コマンド、レスポンスの詳細データ
- チェックサム (1 バイト) : コマンドから SUM まで加算し、H'00 となるように設定
- エラーレスポンス (1 バイト) : コマンドに対するエラーレスポンス
- エラーコード (1 バイト) : 発生したエラーの種類
- アドレス (4 バイト) : 書き込みアドレス
- データ (n バイト) : 書き込みデータ。n は書き込みサイズ問い合わせコマンドのレスポンスで知る
- データのサイズ (4 バイト) : メモリアードのレスポンスで4 バイト長

● 問い合わせ選択ステータス

問い合わせ選択ステータスでは、ブートプログラムはホストからの問い合わせコマンドに対してフラッシュ ROM の情報を応答し、選択コマンドに対してデバイス、クロックモード、ビットレートを選択します。

問い合わせ選択コマンド一覧を表 23.18 に示します。

表 23.18 問い合わせ選択コマンド一覧

コマンド	コマンド名	機能
H'20	サポートデバイス問い合わせ	デバイスコードと品名の問い合わせ
H'10	デバイス選択	デバイスコードの選択
H'21	クロックモード問い合わせ	クロックモード数とそれぞれの値の問い合わせ
H'11	クロックモード選択	選択されているクロックモードの通知
H'22	逡倍比問い合わせ	逡倍比または分周比の種類数とそれぞれの個数とその値の問い合わせ
H'23	動作周波数問い合わせ	メインクロックとペリフェラルクロックの最小値最大値の問い合わせ
H'24	ユーザブートマット情報問い合わせ	ユーザブートマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'25	ユーザマット情報問い合わせ	ユーザマットの個数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'26	消去ブロック情報問い合わせ	ブロック数とそれぞれの先頭アドレスと最終アドレスの問い合わせ
H'27	書き込みサイズ問い合わせ	書き込み時のデータ長の問い合わせ
H'28	2面同時書き込み情報問い合わせ	2面同時書き込み可否の問い合わせ
H'3F	新ビットレート選択	新ビットレートの選択
H'40	書き込み消去ステータス遷移	ユーザマット、ユーザブートマットを消去し、書き込み消去ステータスに遷移
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

選択コマンドは、デバイス選択 (H'10)、クロックモード選択 (H'11)、新ビットレート選択 (H'3F) の順にホストから送信してください。これらのコマンドは必ず必要です。同一選択コマンドが2つ以上送信されたときは、後に送信された選択コマンドが有効になります。

これらのコマンドは、ブートプログラムステータス問い合わせ (H'4F) を除いて、書き込み消去ステータス遷移 (H'40) を受け付けるまでは有効であり、ホスト側は上記のコマンド中、ホストが必要なものを、選択して問い合わせを行うことができます。ブートプログラムステータス問い合わせ (H'4F) は書き込み消去ステータス遷移 (H'40) を受け付け後も有効です。

(1) サポートデバイス問い合わせ

サポートデバイス問い合わせに対して、ブートプログラムはサポート可能なデバイスのデバイスコードと品名を応答します。

コマンド

H'20

- コマンド「H'20」（1バイト）：サポートデバイス問い合わせ

レスポンス	H'30	サイズ	デバイス数	
	文字数	デバイスコード		品名
	...			
	SUM			

- レスポンス「H'30」（1バイト）：サポートデバイス問い合わせに対する応答
- サイズ（1バイト）：コマンド、サイズ、チェックサムを除いた送受信データのサイズ。ここではデバイス数、文字数、デバイスコード、品名の合計サイズ
- デバイス数（1バイト）：マイコン内のブートプログラムがサポートする品種数
- 文字数（1バイト）：デバイスコードとブートプログラム品名の文字数
- デバイスコード（4バイト）：サポートする品名のASCIIコード
- 品名（nバイト）：ブートプログラム型名（ASCIIコード）
- SUM（1バイト）：サムチェック
コマンドからSUMまで加算し、H'00となるように設定

(2) デバイス選択

デバイス選択に対して、ブートプログラムはサポートデバイスを指定されたサポートデバイスに設定します。その後の問い合わせに対して選択されたデバイスの情報を応答します。

コマンド

H'10	サイズ	デバイスコード	SUM
------	-----	---------	-----

- コマンド「H'10」（1バイト）：デバイス選択
- サイズ（1バイト）：デバイスコードの文字数（固定値で2）
- デバイスコード（4バイト）：サポートデバイス問い合わせで応答したデバイスコード（ASCIIコード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：デバイス選択に対する応答
デバイスコードが一致したときACK

エラー

レスポンス

H'90	ERROR
------	-------

- エラーレスポンス「H'90」（1バイト）：デバイス選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'11：サムチェックエラー
H'21：デバイスコード不一致エラー

(3) クロックモード問い合わせ

クロックモード問い合わせに対して、ブートプログラムは選択可能なクロックモードを応答します。

コマンド

H'21

- コマンド「H'21」（1バイト）：クロックモード問い合わせ

レスポンス

H'31	サイズ	モード数	モード	...	SUM
------	-----	------	-----	-----	-----

- レスポンス「H'31」（1バイト）：クロックモード問い合わせに対する応答
- サイズ（1バイト）：モード数、モードの合計サイズ
- モード数（1バイト）：デバイスで選択可能なクロックモード数
H'00の場合はクロックモードなし、またはデバイスがクロックモード読み取り可を示す

- モード (1 バイト) : 選択可能なクロックモード (例 : H'01 クロックモード 1)
- SUM (1 バイト) : サムチェック

(4) クロックモード選択

クロックモード選択に対して、ブートプログラムはクロックモードを指定されたクロックモードに設定します。その後の問い合わせに対して、選択されたクロックモードの情報を応答します。

クロックモード選択コマンドはデバイス選択コマンド送信後に送信してください。

コマンド	H'11	サイズ	モード	SUM
------	------	-----	-----	-----

- コマンド「H'11」 (1 バイト) : クロックモード選択
- サイズ (1 バイト) : モードの文字数 (固定値で1)
- モード (1 バイト) : クロックモード問い合わせで応答されたクロックモード
- SUM (1 バイト) : サムチェック

レスポンス	H'06
-------	------

- レスポンス「H'06」 (1 バイト) : クロックモード選択に対する応答
クロックモードが一致したときACK

エラー

レスポンス	H'91	ERROR
-------	------	-------

- エラーレスポンス「H'91」 (1 バイト) : クロックモード選択に対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'22 : クロックモード不一致エラー

クロックモード問い合わせでクロックモード数が H'00、H'01 の場合もそれぞれその値で、クロックモード選択をしてください。

(5) 通倍比問い合わせ

通倍比問い合わせに対して、ブートプログラムは選択可能な通倍比または分周比を応答します。

コマンド	H'22
------	------

- コマンド「H'22」 (1 バイト) : 通倍比問い合わせ

レスポンス	H'32	サイズ	種別数						
	通倍比数	通倍比	...						
	...								
	SUM								

- レスポンス「H'32」 (1 バイト) : 通倍比問い合わせに対する応答
- サイズ (1 バイト) : 種別数、通倍比数、通倍比の合計サイズ
- 種別数 (1 バイト) : デバイスで選択可能な通倍比の種別の数
(メイン動作周波数と周辺モジュール動作周波数の2種類なら H'02)
- 通倍比数 (1 バイト) : 各動作周波数で選択可能な通倍比数
メインモジュール、周辺モジュールで選択可能な通倍比数
- 通倍比 (1 バイト)
通倍比 : 通倍する数値 (例 4通倍 : H'04)
分周比 : 分周する数値、負の数 (例 2分周 : H'FE[-2])
通倍比を通倍比数の数だけ繰り返し、通倍比数と通倍比の組み合わせを種別数の数だけ繰り返す。
- SUM (1 バイト) : サムチェック

(6) 動作周波数問い合わせ

動作周波数問い合わせに対して、ブートプログラムは動作周波数の数とその最小値、最大値を応答します。

コマンド

H'23

- コマンド「H'23」（1バイト）：動作周波数問い合わせ

レスポンス	H'33	サイズ	周波数の種類数
	動作周波数最小値		動作周波数最大値
	...		
	SUM		

- レスポンス「H'33」（1バイト）：動作周波数問い合わせに対する応答
- サイズ（1バイト）：動作周波数の種類数、動作周波数最小値、動作周波数最大値の合計サイズ
- 周波数の種類数（1バイト）：デバイスに必要な動作周波数の種類数
たとえば、メイン動作周波数と周辺モジュール動作周波数の場合は2
- 動作周波数最小値（2バイト）：逡倍あるいは分周されたクロックの最小値
動作周波数最小値、最大値は周波数（MHz）の小数点2位までの値を100倍した値（たとえば、20.00MHzのときは100倍して2000とし、H'07D0とする）
- 動作周波数最大値（2バイト）：逡倍あるいは分周されたクロックの最大値
動作周波数最大値、動作周波数最大値のデータが周波数の種類数だけ続く
- SUM（1バイト）：サムチェック

(7) ユーザブートマット情報問い合わせ

ユーザブートマット情報問い合わせに対して、ブートプログラムはユーザブートマットのエリア数とアドレスを応答します。

コマンド

H'24

- コマンド「H'24」（1バイト）：ユーザブートマット情報問い合わせ

レスポンス	H'34	サイズ	エリア数
	エリア先頭アドレス		エリア最終アドレス
	...		
	SUM		

- レスポンス「H'34」（1バイト）：ユーザブートマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザブートマットのエリアの数
ユーザブートマットのエリアが連続の場合はH'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(8) ユーザマット情報問い合わせ

ユーザマット情報問い合わせに対して、ブートプログラムはユーザマットのエリア数とアドレスを応答します。

コマンド

H'25

- コマンド「H'25」（1バイト）：ユーザマット情報問い合わせ

レスポンス	H'35	サイズ	エリア数	
	エリア先頭アドレス			エリア最終アドレス
	...			
	SUM			

- レスポンス「H'35」（1バイト）：ユーザマット情報問い合わせに対する応答
- サイズ（1バイト）：エリア数、エリア先頭アドレス、エリア最終アドレスの合計サイズ
- エリア数（1バイト）：連続したユーザマットのエリアの数
ユーザマットのエリアが連続の場合は H'01
- エリア先頭アドレス（4バイト）：エリアの先頭アドレス
- エリア最終アドレス（4バイト）：エリアの最終アドレス
エリア先頭アドレス、エリア最終アドレスのデータがエリア数分続く
- SUM（1バイト）：サムチェック

(9) 消去ブロック情報問い合わせ

消去ブロック情報問い合わせに対して、ブートプログラムはユーザマットの消去ブロックのブロック数とそのアドレスを応答します。

コマンド

H'26

- コマンド「H'26」（1バイト）：消去ブロック情報問い合わせ

レスポンス	H'36	サイズ	ブロック数	
	ブロック先頭アドレス			ブロック最終アドレス
	...			
	SUM			

- レスポンス「H'36」（1バイト）：消去ブロック情報問い合わせに対する応答
- サイズ（2バイト）：ブロック数、ブロック先頭アドレス、ブロック最終アドレスの合計サイズ
- ブロック数（1バイト）：フラッシュメモリ消去ブロック数
- ブロック先頭アドレス（4バイト）：ブロックの先頭アドレス
- ブロック最終アドレス（4バイト）：ブロックの最終アドレス
ブロック先頭アドレス、ブロック最終アドレスのデータがブロック数分続く
- SUM（1バイト）：サムチェック

(10) 書き込みサイズ問い合わせ

書き込みサイズ問い合わせに対して、ブートプログラムは書き込みデータの書き込み単位を応答します。

コマンド

H'27

- コマンド「H'27」（1バイト）：書き込みサイズ問い合わせ

レスポンス	H'37	サイズ	書き込みサイズ	SUM
-------	------	-----	---------	-----

- レスポンス「H'37」（1バイト）：書き込みサイズ問い合わせに対する応答
- サイズ（1バイト）：書き込み単位のサイズの文字数（固定値で2）
- 書き込みサイズ（2バイト）：書き込み単位のサイズ
このサイズで書き込みデータを受け取る
- SUM（1バイト）：サムチェック

(11) 2面同時書き込み情報問い合わせ

2面同時書き込み情報問い合わせに対して、ブートプログラムは2面同時書き込み可能可否とその先頭アドレスを応答します。

コマンド

H'28

- コマンド「H'28」（1バイト）：2面同時書き込み情報問い合わせ

レスポンス	H'38	サイズ	書き込み方式
	1 面目マット先頭アドレス		2 面目マット先頭アドレス
	SUM		

- レスポンス「H'38」（1バイト）：2面同時書き込み情報問い合わせに対する応答
- サイズ（1バイト）：書き込み方式、マット先頭アドレスの合計サイズ
書き込み方式が1面書き込みのとき5バイト、2面同時書き込みのとき9バイト
- 書き込み方式（1バイト）：H'01=1面書き込み
H'02=2面同時書き込み可能
- 1 面目マット先頭アドレス（4バイト）：1 面目マットの先頭アドレス
- 2 面目マット先頭アドレス（4バイト）：2 面目マットの先頭アドレス
2 面目マット先頭アドレスのデータは2面同時書き込み可能のときのみ
- SUM（1バイト）：サムチェック

(12) 新ビットレート選択

新ビットレート選択に対して、ブートプログラムは指定されたビットレートに選択変更し、確認に対して新ビットレートで応答します。

新ビットレート選択コマンドはクロックモード選択コマンド送信後に送信してください。

コマンド	H'3F	サイズ	ビットレート	入力周波数
	通倍比数	通倍比 1	通倍比 2	
	SUM			

- コマンド「H'3F」（1バイト）：新ビットレート選択
- サイズ（1バイト）：ビットレート、入力周波数、通倍比数、通倍比の合計サイズ
- ビットレート（2バイト）：新ビットレート
1/100の値とする（たとえば、19200bpsのときは192とし、H'00C0とする）
- 入力周波数（2バイト）：ブートプログラムに入力されるクロック周波数
周波数（MHz）の小数点2位までの値とする（たとえば、28.882MHzのときは小数点2位までを100倍して2888とし、H'0B48とする）
- 通倍比数（1バイト）：デバイスで選択可能な通倍比数
通常はメイン動作周波数と周辺モジュール動作周波数で2
- 通倍比 1（1バイト）：メイン動作周波数の通倍比または分周比
通倍比：通倍する数値（例 4通倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- 通倍比 2（1バイト）：周辺動作周波数の通倍比または分周比
通倍比：通倍する数値（例 4通倍：H'04）
分周比：分周する数値、負の数値（例 2分周：H'FE[-2]）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレート選択に対する応答
選択可能なときACK

エラー

レスポンス

H'BF	ERROR
------	-------

- エラーレスポンス「H'BF」（1バイト）：新ビットレート選択に対するエラー応答

- ERROR : (1 バイト) : エラーコード
 - H'11 : サムチェックエラー
 - H'24 : ビットレート選択不可エラー
指定されたビットレートが選択できない
 - H'25 : 入力周波数エラー
入力周波数が最小値と最大値の範囲にない
 - H'26 : 逡倍比エラー
逡倍比が一致しない
 - H'27 : 動作周波数エラー
動作周波数が最小値と最大値の範囲にない

受信したデータのチェック方法を以下に示します。

- (1) 入力周波数
受信した入力周波数の値が、すでに選択されたデバイスのクロックモードに対する入力周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば入力周波数エラーです。
- (2) 逡倍比
受信した逡倍比または分周比の値が、すでに選択されたデバイスのクロックモードに対する逡倍比または分周比と一致するかどうかをチェックします。一致しなければ逡倍比エラーです。
- (3) 動作周波数
受信した入力周波数と逡倍比または分周比とから動作周波数を計算します。入力周波数は LSI に供給される周波数で、動作周波数は実際に LSI が動作する周波数です。計算式を以下に示します。
 動作周波数 = 入力周波数 × 逡倍比、または、
 動作周波数 = 入力周波数 ÷ 分周比
 この計算した動作周波数が、すでに選択されたデバイスのクロックモードに対する動作周波数の最小値と最大値の範囲内にあるかどうかをチェックします。範囲内になれば動作周波数エラーです。
- (4) ビットレート
ペリフェラル動作周波数 (ϕ) とビットレート (B) から、シリアルモードレジスタ (SMR) のクロックセレクト (CKS) の値 (n) とビットレートレジスタ (BRR) の値 (N) を求め、誤差を計算し、誤差が4%未満であるかどうかをチェックします。誤差が4%以上ならばビットレート選択エラーです。誤差の計算は下記のとおりです。

$$\text{誤差 (\%)} = \left\{ \left[\frac{\phi \times 10^6}{(N+1) \times B \times 64 \times 2^{2n-1}} \right] - 1 \right\} \times 100$$

新ビットレート選択が可能な場合は、ACKを応答した後で、新ビットレートの値にレジスタを選択します。新ビットレートでホストがACKを送信し、ブートプログラムが新ビットレートで応答します。

確認

H'06

- 確認「H'06」（1バイト）：新ビットレートの確認

レスポンス

H'06

- レスポンス「H'06」（1バイト）：新ビットレートの確認に対する応答
新ビットレート選択のシーケンスを図 23.29 に示します。

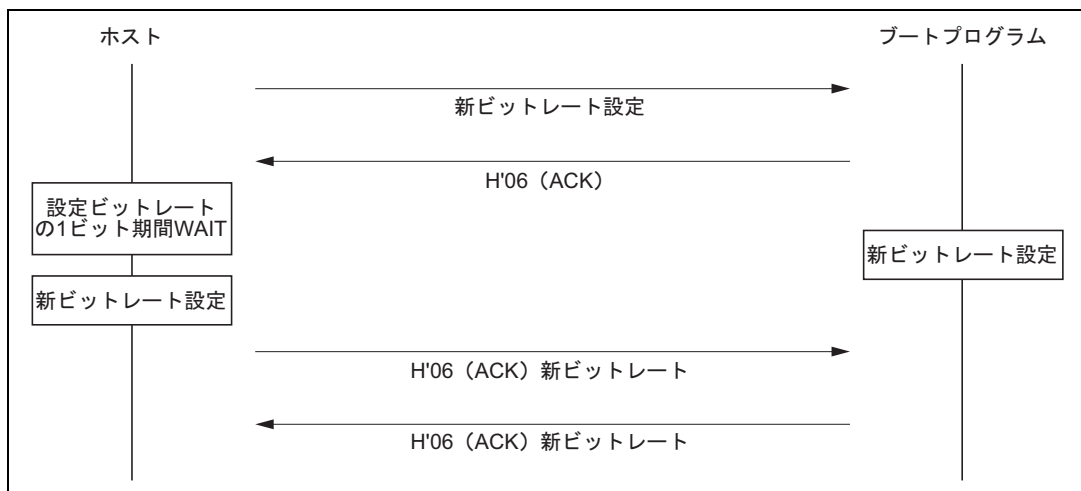


図 23.29 新ビットレート選択のシーケンス

●書き込み消去ステータス遷移

書き込み消去ステータス遷移に対して、ブートプログラムは、消去プログラムを転送し、ユーザマット、ユーザブートマットの順にデータを消去します。消去が完了すると、ACKを応答し、書き込み消去ステータスになります。

ホストは、書き込み選択コマンドと書き込みデータを送る前に、デバイス選択コマンド、クロックモード選択コマンド、新ビットレート選択コマンドでLSIのデバイス、クロックモード、新ビットレートを選択し、書き込み消去ステータス遷移コマンドをブートプログラムへ送ってください。

コマンド

H'40

- コマンド「H'40」（1バイト）：書き込み消去ステータス遷移

レスポンス

H'06

- レスポンス「H'06」（1バイト）：書き込み消去ステータス遷移に対する応答。消去プログラムを転送した後、ユーザブートマット、ユーザマットが正常にデータを消去できたときACK

エラー

レスポンス

H'C0 H'51

- エラーレスポンス「H'C0」（1バイト）：書き込み消去ステータス遷移に対するエラー応答
- エラーコード「H'51」（1バイト）：消去エラー
エラーが発生し消去できなかった

●コマンドエラー

コマンドが未定義のとき、コマンドの順序が正しくないとき、あるいはコマンドを受け付けることができないとき、コマンドエラーとなります。たとえば、デバイス選択の前のクロックモード選択コマンド、書き込み消去ステータス遷移コマンドの後での問い合わせコマンドは、コマンドエラーになります。

エラー

レスポンス

H'80	H'xx
------	------

- エラーレスポンス「H'80」（1バイト）：コマンドエラー
- コマンド「H'xx」（1バイト）：受信したコマンド

●コマンドの順序

問い合わせ選択ステータスでのコマンドの順序の例は以下のとおりです。

- (1) サポートデバイス問い合わせ（H'20）で、サポートデバイスを問い合わせてください。
- (2) 応答されたデバイス情報からデバイスを選んで、デバイス選択（H'10）をしてください。
- (3) クロックモード問い合わせ（H'21）で、クロックモードを問い合わせてください。
- (4) 応答されたクロックモードからクロックモードを選んで、クロックモード選択（H'11）をしてください。
- (5) デバイス選択、クロックモード選択が終わったら、逡倍比問い合わせ（H'22）、動作周波数問い合わせ（H'23）で新ビットレート選択に必要な情報を問い合わせてください。
- (6) 逡倍比、動作周波数の情報に従って、新ボーレート選択（H'3F）をしてください。
- (7) デバイス選択、クロックモード選択が終わったら、ユーザブートマット情報問い合わせ（H'24）、ユーザマット情報問い合わせ（H'25）、消去ブロック情報問い合わせ（H'26）、書き込みサイズ問い合わせ（H'27）、2面同時書き込み情報問い合わせ（H'28）で、ユーザブートマット、ユーザマットへの書き込み消去情報を問い合わせてください。
- (8) 問い合わせと新ビットレート選択が終わったら、書き込み消去ステータス遷移（H'40）を実行してください。書き込み消去ステータスに遷移します。

●書き込み消去ステータス

書き込み消去ステータスでは、ブートプログラムは書き込み選択コマンドで書き込み方法を選択し、128バイト書き込みコマンドでデータを書き込み、消去選択コマンドとブロック消去コマンドでブロックを消去します。書き込み消去コマンド一覧を表 23.19 に示します。

表 23.19 書き込み消去コマンド一覧

コマンド	コマンド名	機能
H'42	ユーザブートマット書き込み選択	ユーザブートマット書き込みプログラムの選択
H'43	ユーザマット書き込み選択	ユーザマット書き込みプログラムの選択
H'44	ユーザマット2面同時書き込み選択	ユーザマット2面同時書き込みプログラムの選択
H'50	128バイト書き込み	128バイト書き込み
H'48	消去選択	消去プログラムの選択
H'58	ブロック消去	ブロックデータの消去
H'52	メモリアード	メモリの読み出し
H'4A	ユーザブートマットのサムチェック	ユーザブートマットのサムチェック
H'4B	ユーザマットのサムチェック	ユーザマットのサムチェック
H'4C	ユーザブートマットのブランクチェック	ユーザブートマットのブランクチェック
H'4D	ユーザマットのブランクチェック	ユーザマットのブランクチェック
H'4F	ブートプログラムステータス問い合わせ	ブートの処理状態の問い合わせ

●書き込み

書き込みは書き込み選択コマンドと 128 バイト書き込みコマンドで行います。

最初に、ホストは書き込み選択コマンドを送信し、書き込み方式と書き込みマットを選択します。書き込み選択コマンドは書き込みエリアと書き込み方式により以下の 3 つがあります。

- (1) ユーザブートマット書き込み選択
- (2) ユーザマット書き込み選択
- (3) ユーザマット2面同時書き込み選択

次に 128 バイト書き込みコマンドを送信します。選択コマンドに続く 128 バイト書き込みコマンドはそれぞれ選択コマンドで指定された書き込み方式の書き込みデータと解釈します。128 バイトを超えるデータを書き込むときは 128 バイト書き込みコマンドを繰り返してください。書き込みを終了させたいときはアドレスが H'FFFFFFF の 128 バイト書き込みコマンドをホストから送信してください。書き込みが終了すると書き込み消去選択待ちになります。

続けて他の方式、他のマットの書き込みを行うときは書き込み選択コマンドから開始します。

書き込み選択コマンドと 128 バイト書き込みコマンドのシーケンスを図 23.30 に示します。



図 23.30 書き込みシーケンス

(1) ユーザブートマット書き込み選択

ユーザブートマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザブートマットに書き込みます。

コマンド H'42

- コマンド「H'42」（1 バイト）：ユーザブートマット書き込み選択

レスポンス H'06

- レスポンス「H'06」（1 バイト）：ユーザブートマット書き込み選択に対する応答。書き込みプログラムを転送したとき ACK

エラー

レスポンス H'C2 ERROR

- エラーレスポンス「H'C2」（1 バイト）：ユーザブートマット書き込み選択に対するエラー応答
- ERROR：（1 バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ユーザマット書き込み選択

ユーザマット書き込み選択に対して、ブートプログラムは、書き込みプログラムを転送します。書き込みは転送した書き込みプログラムで、ユーザマットに書き込みます。

コマンド

H'43

- コマンド「H'43」（1バイト）：ユーザマット書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマット書き込み選択に対する応答。書き込みプログラムを転送したとき ACK

エラー

レスポンス

H'C3	ERROR
------	-------

- エラーレスポンス「H'C3」（1バイト）：ユーザプログラム書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(3) ユーザマット2面同時書き込み選択

ユーザマット2面同時書き込み選択に対して、ブートプログラムは、2面同時書き込みプログラムを転送します。書き込みは転送した2面同時書き込みプログラムで、ユーザマットに2面同時に書き込みます。ホスト側は2面同時書き込みを考慮し、2面マットに対応したアドレスとデータを交互に送信してください。ブートプログラムは1つの128バイト書き込みコマンドごとに「ACK」を返しますが、実際のデータの書き込みは2面分そろってから実施します。

コマンド

H'44

- コマンド「H'44」（1バイト）：ユーザマット2面同時書き込み選択

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマット2面同時書き込み選択に対する応答。書き込みプログラムを転送したとき ACK

エラー

レスポンス

H'C4	ERROR
------	-------

- エラーレスポンス「H'C4」（1バイト）：ユーザマット2面同時書き込み選択に対するエラー応答
- ERROR：（1バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(4) 128バイト書き込み

128バイト書き込みに対して、ブートプログラムは書き込み選択で転送した書き込みプログラムで、ユーザブートマット、またはユーザマットに書き込みます。選択コマンドが2面同時書き込みの場合は、2面のデータを受信した後書き込みを開始します。

コマンド	H'50	書き込みアドレス						
	データ	...						
	...							
	SUM							

- コマンド「H'50」（1バイト）：128バイト書き込み
- 書き込みアドレス（4バイト）：書き込み先頭アドレス
「書き込みサイズ問い合わせ」で応答したサイズの倍数、具体的には128バイト境界例）H'00,H'01,H'00,H'00：H'01000000
- 書き込みデータ（nバイト）：書き込みデータ
書き込みデータのサイズは「書き込みサイズ問い合わせ」で応答したサイズ

23. ROM

- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」 (1 バイト) : 128 バイト書き込みに対する応答
書き込みが完了したときACK、ただし2面書き込みでは最初の1面はデータを受信したときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」 (1 バイト) : 128 バイト書き込みに対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'2A : アドレスエラー (アドレスが指定のマットの範囲にない)
H'53 : 書き込みエラー (書き込みエラーが発生し書き込めない)

データ書き込みサイズに従った境界のアドレスを指定してください。たとえば、データ書き込みサイズが 128 バイトのときは、アドレスの下位バイトを H'00 か H'80 にしてください。

ホストは、128 バイト中に書き込みデータがない部分を H'FF に埋めて送信してください。

2 面同時書き込みのときは、1 面目マットアドレスのデータと 2 面目マットアドレスのデータを交互に送信してください。

書き込み処理を終了するときは、アドレス H'FFFFFFF の 128 バイト書き込みコマンドを送信してください。アドレス H'FFFFFFF の 128 バイト書き込みコマンドに対して、ブートプログラムはデータが終了したと判断し、書き込み消去選択コマンド待ちになります。ただし、2 面同時書き込みの場合は、最後に受け取ったデータが書き込まれていないときは書き込んでから書き込み処理を終了します。

コマンド

H'50	書き込みアドレス	SUM
------	----------	-----

- コマンド「H'50」 (1 バイト) : 128 バイト書き込み
- 書き込みアドレス (4 バイト) : 終了コード (H'FF、H'FF、H'FF、H'FF)
- SUM (1 バイト) : サムチェック

レスポンス

H'06

- レスポンス「H'06」 (1 バイト) : 128 バイト書き込みに対する応答
書き込み処理が完了したときACK、ただし2面書き込みで最後の1面が書き込み未完のときは書き込み完了のときACK

エラー

レスポンス

H'D0	ERROR
------	-------

- エラーレスポンス「H'D0」 (1 バイト) : 128 バイト書き込みに対するエラー応答
- ERROR : (1 バイト) : エラーコード
H'11 : サムチェックエラー
H'53 : 書き込みエラー
書き込みエラーが発生し書き込めない
(ただし2面書き込みで最後の1面が書き込み未完のとき)

●消去

消去は消去選択コマンドとブロック消去コマンドで行います。

最初に消去選択コマンドで消去を選択し、次にブロック消去コマンドで指定されたブロックを消去します。消去ブロックが複数あるときはブロック消去コマンドを繰り返します。消去処理を終了するときはブロック番号 H'FF のブロック消去コマンドをホストから送信してください。消去が終了すると書き込み消去選択待ちになります。

消去選択コマンドと消去データのシーケンスを図 23.31 に示します。

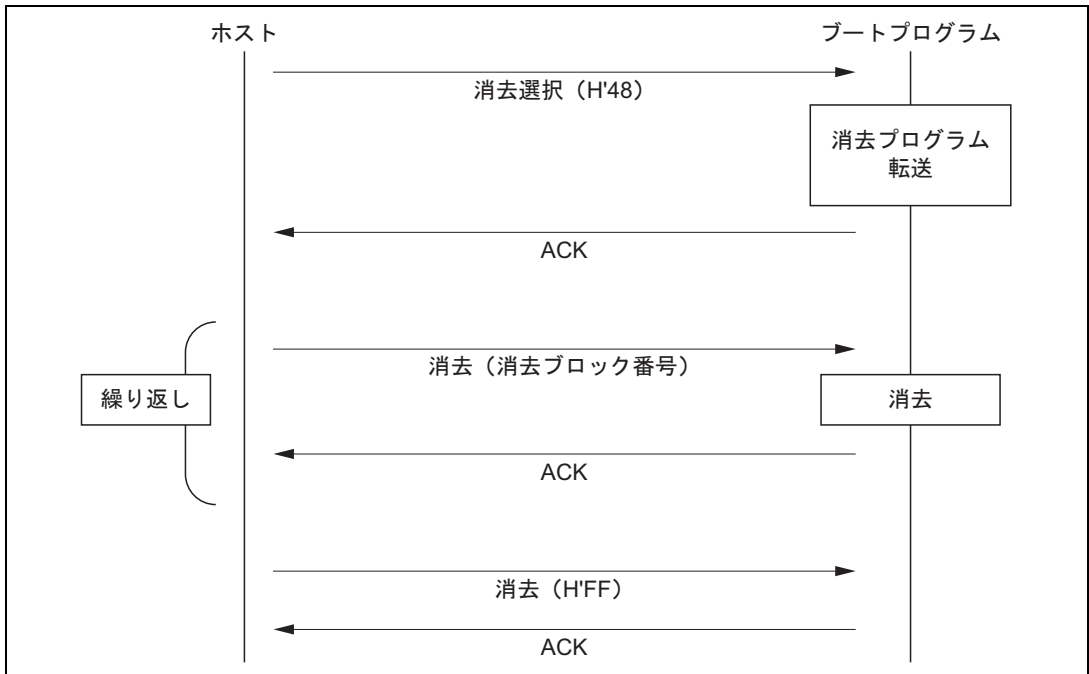


図 23.31 消去シーケンス

(1) 消去選択

消去選択に対して、ブートプログラムは、消去プログラムを転送します。消去は転送した消去プログラムで、ユーザマットのデータを消去します。

コマンド

H'48

- コマンド「H'48」（1 バイト）：消去選択

レスポンス

H'06

- レスポンス「H'06」（1 バイト）：消去選択に対する応答
消去プログラムを転送したときACK

エラー

レスポンス

H'C8	ERROR
------	-------

- エラーレスポンス「H'C8」（1 バイト）：消去選択に対するエラー応答
- ERROR：（1 バイト）：エラーコード
H'54：選択処理エラー（転送エラーが発生し処理が完了しない）

(2) ブロック消去

消去に対して、ブートプログラムは指定されたユーザマットのブロックを消去します。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1 バイト）：消去
- サイズ（1 バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1 バイト）：データを消去する消去ブロック番号
- SUM（1 バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1 バイト）：消去に対する応答
消去が完了したときACK

エラー

レスポンス

H'D8	ERROR
------	-------

- エラーレスポンス「H'D8」（1バイト）：消去に対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー
 - H'29：ブロック番号エラー
ブロック番号が正しくない
 - H'51：消去エラー
消去中にエラー発生

ブロック番号が H'FF に対して、ブートプログラムは消去処理を終了し、選択コマンド待ち状態になります。

コマンド

H'58	サイズ	ブロック番号	SUM
------	-----	--------	-----

- コマンド「H'58」（1バイト）：消去
- サイズ（1バイト）：消去ブロック番号の文字数（固定値で1）
- ブロック番号（1バイト）：H'FF（消去処理の終了コード）
- SUM（1バイト）：サムチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：消去終了に対する応答 ACK

ブロック番号を H'FF で指定した後、再度、消去を行う場合は、消去選択から実行します。

●メモリーリード

メモリーリードに対して、ブートプログラムは指定されたアドレスのデータを応答します。

コマンド

H'52	サイズ	エリア	読み出し先頭アドレス
	読み出しサイズ		SUM

- コマンド「H'52」（1バイト）：メモリーリード
- サイズ（1バイト）：エリア、読み出しアドレス、読み出しサイズの合計サイズ（固定値で9）
- エリア（1バイト）
 - H'00：ユーザブートマット
 - H'01：ユーザマット
 エリアの指定が正しくないときはアドレスエラー
- 読み出し先頭アドレス（4バイト）：読み出す先頭アドレス
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- SUM（1バイト）：サムチェック

レスポンス

H'52	読み出しサイズ						
データ	...						
SUM							

- レスポンス「H'52」（1バイト）：メモリーリードに対する応答
- 読み出しサイズ（4バイト）：読み出すデータのサイズ
- データ（nバイト）読み出しアドレスからの読み出しサイズ分のデータ
- SUM（1バイト）：サムチェック

エラー

レスポンス

H'D2	ERROR
------	-------

- エラーレスポンス「H'D2」（1バイト）：メモリーリードに対するエラー応答
- ERROR：（1バイト）：エラーコード
 - H'11：サムチェックエラー

H'2A : アドレスエラー

読み出し先頭アドレスがマットの範囲にない

H'2B : サイズエラー

読み出しサイズがマットの範囲を超えている、または読み出し先頭アドレスと読み出しサイズから計算された読み出し最終アドレスがマットの範囲にない、または読み出しサイズが0

●ユーザブートマットのサムチェック

ユーザブートマットのサムチェックに対して、ブートプログラムはユーザブートマットのデータを加算してその結果を応答します。

コマンド

H'4A

- コマンド「H'4A」(1バイト) : ユーザブートマットのサムチェック

レスポンス

H'5A	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5A」(1バイト) : ユーザブートマットのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数(固定値で4)
- マットのサムチェック(4バイト) : ユーザブートマットのサムチェック値バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

●ユーザマットのサムチェック

ユーザマットのサムチェックに対して、ブートプログラムはユーザマットのデータを加算してその結果を応答します。

コマンド

H'4B

- コマンド「H'4B」(1バイト) : ユーザマットのサムチェック

レスポンス

H'5B	サイズ	マットのサムチェック	SUM
------	-----	------------	-----

- レスポンス「H'5B」(1バイト) : ユーザマットのサムチェックに対する応答
- サイズ(1バイト) : サムチェックデータの文字数(固定値で4)
- マットのサムチェック(4バイト) : ユーザマットのサムチェック値バイト単位で加算
- SUM(1バイト) : サムチェック(送信データの)

●ユーザブートマットのブランクチェック

ユーザブートマットのブランクチェックに対して、ブートプログラムはユーザブートマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4C

- コマンド「H'4C」(1バイト) : ユーザブートマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」(1バイト) : ユーザブートマットのブランクチェックに対する応答。
エリアがすべてブランク(H'FF)のときACK

エラー

レスポンス

H'CC	H'52
------	------

- エラーレスポンス「H'CC」(1バイト) : ユーザブートマットのブランクチェックに対するエラー応答
- エラーコード「H'52」(1バイト) : 未消去エラー

●ユーザマットのブランクチェック

ユーザマットのブランクチェックに対して、ブートプログラムはユーザマットがすべてブランクであることをチェックしその結果を応答します。

コマンド

H'4D

- コマンド「H'4D」（1バイト）：ユーザマットのブランクチェック

レスポンス

H'06

- レスポンス「H'06」（1バイト）：ユーザマットのブランクチェックに対する応答。エリアがすべてブランク（H'FF）のとき ACK

エラー

レスポンス

H'CD	H'52
------	------

- エラーレスポンス「H'CD」（1バイト）：ユーザマットのブランクチェックに対するエラー応答
- エラーコード「H'52」（1バイト）：未消去エラー

●ブートプログラムステータス問い合わせ

ブートプログラムステータス問い合わせに対して、ブートプログラムは現在のステータスとエラー状態を応答します。この問い合わせは、問い合わせ選択ステータス、書き込み消去ステータス、いずれでも有効です。

コマンド

H'4F

- コマンド「H'4F」（1バイト）：ブートプログラムステータス問い合わせ

レスポンス

H'5F	サイズ	STATUS	ERROR	SUM
------	-----	--------	-------	-----

- レスポンス「H'5F」（1バイト）：ブートプログラムステータス問い合わせに対する応答
- サイズ（1バイト）：データの文字数（固定値で2）
- STATUS（1バイト）：標準ブートプログラムのステータス
「表23.20 ステータスコード」をご覧ください。
- ERROR（1バイト）：エラー状態
ERROR=0で正常
ERRORが0以外で異常
「表23.21 エラーコード」をご覧ください。
- SUM（1バイト）：サムチェック

表 23.20 ステータスコード

コード	内容
H'11	デバイス選択待ち
H'12	クロックモード選択待ち
H'13	ビットレート選択待ち
H'1F	書き込み消去ステータス遷移待ち（ビットレート選択完了）
H'31	ユーザマット、ユーザブートマット消去中
H'3F	書き込み消去選択待ち（消去完了）
H'4F	書き込みデータ受信待ち（書き込み完了）
H'5F	消去ブロック指定待ち（消去完了）

表 23.21 エラーコード

コード	内容
H'00	エラーなし
H'11	サムチェックエラー
H'21	デバイスコード不一致エラー
H'22	クロックモード不一致エラー
H'24	ビットレート選択不可エラー
H'25	入力周波数エラー
H'26	逡倍比エラー
H'27	動作周波数エラー
H'29	ブロック番号エラー
H'2A	アドレスエラー
H'2B	データ長エラー
H'51	消去エラー
H'52	未消去エラー
H'53	書き込みエラー
H'54	選択処理エラー
H'80	コマンドエラー
H'FF	ビットレート合わせ込み確認エラー

23.10.2 ライタモードの AC 特性、タイミング

表 23.22 メモリ読み出しモード時の AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^{\circ}C\pm 5^{\circ}C$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	—	μs	
CE ホールド時間	t_{ceh}	0	—	ns	
CE セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
WE 立ち上がり時間	t_r	—	30	ns	
WE 立ち下がり時間	t_f	—	30	ns	

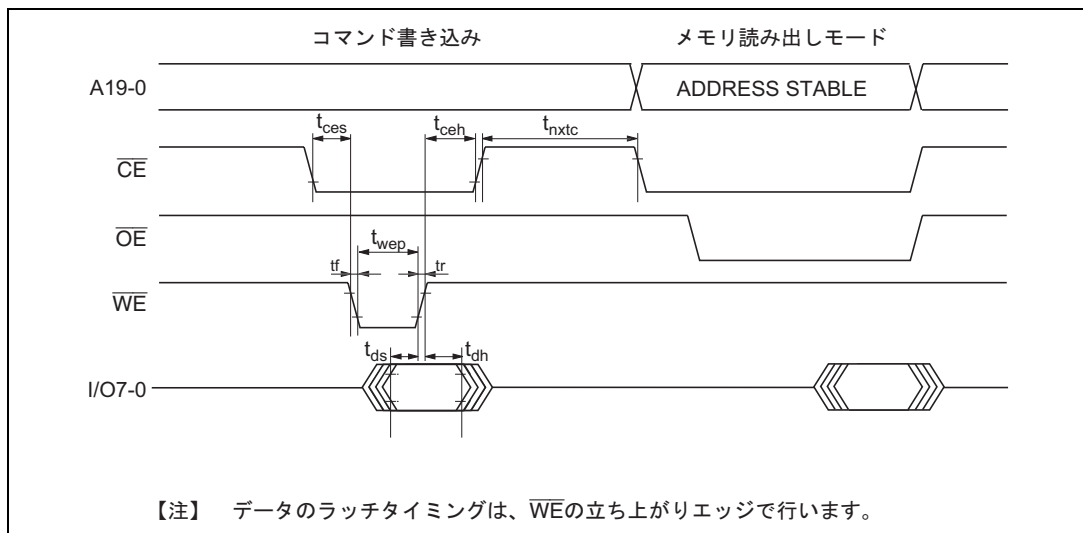


図 23.32 コマンド書き込み後メモリ読み出しタイミング図

表 23.23 メモリ読み出しモードから他のモードへ遷移時の AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	—	μs	
CE ホールド時間	t_{ceh}	0	—	ns	
CE セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
WE 立ち上がり時間	t_r	—	30	ns	
WE 立ち下がり時間	t_f	—	30	ns	

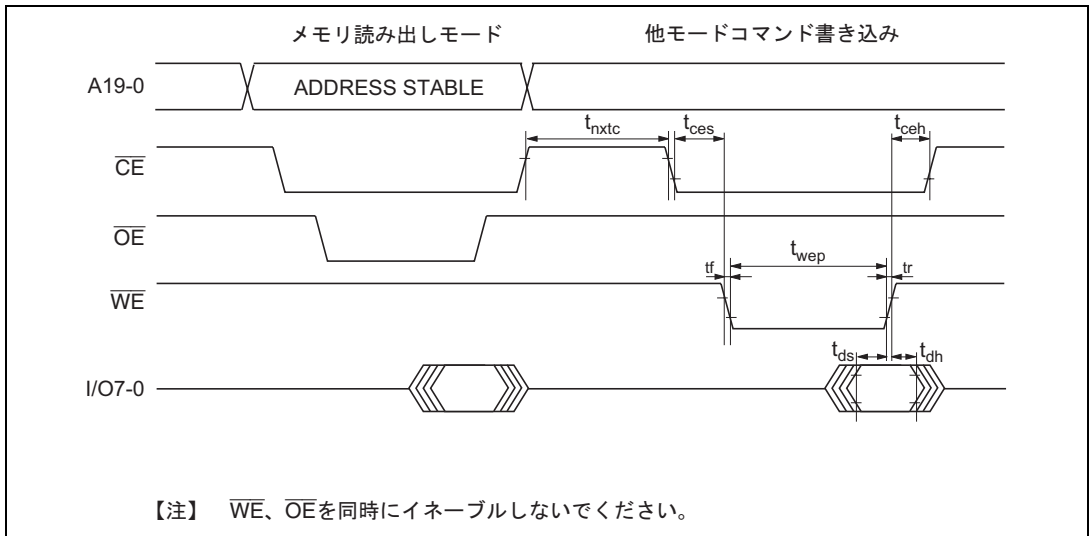
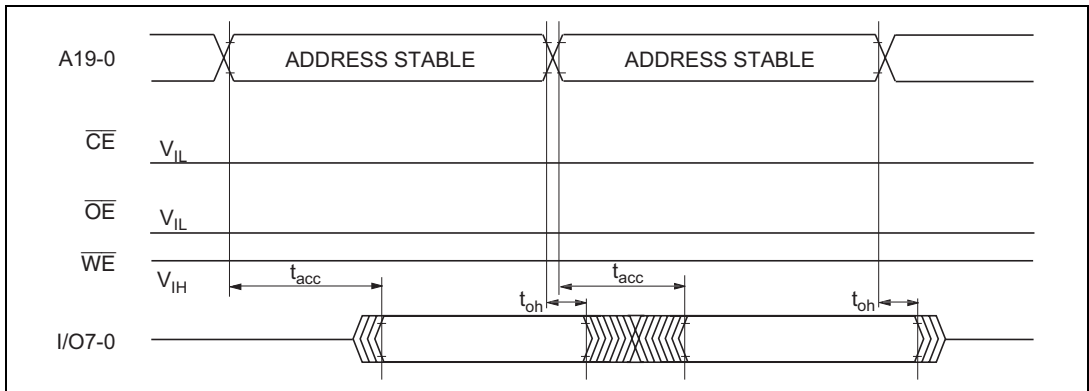


図 23.33 メモリ読み出しモードから他のモードへ遷移時のタイミング波形

表 23.24 メモリ読み出しモード時の AC 特性

条件: $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$

項目	記号	MIN	MAX	単位	特記
アクセス時間	t_{acc}	—	20	μs	
\overline{CE} 出力遅延時間	t_{ce}	—	150	ns	
\overline{OE} 出力遅延時間	t_{oe}	—	150	ns	
出力ディスエーブル遅延時間	t_{df}	—	100	ns	
データ出力ホールド時間	t_{oh}	5	—	ns	

図 23.34 \overline{CE} 、 \overline{OE} イネーブリング状態リード時のタイミング波形

23. ROM

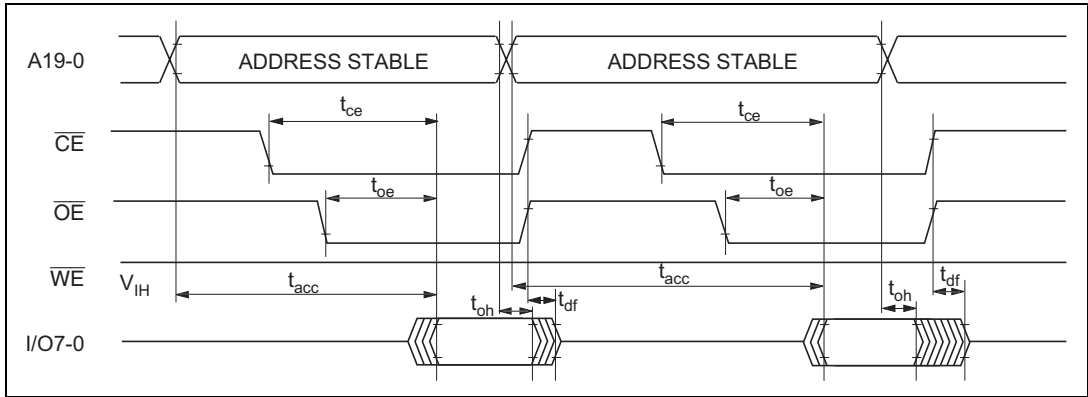


図 23.35 \overline{CE} 、 \overline{OE} クロック方式リード時のタイミング波形

表 23.25 自動書き込みモード時の AC 特性

条件 : $V_{CC}=3.3V \pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C \pm 5^\circ C$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	—	μs	
\overline{CE} ホールド時間	t_{ceh}	0	—	ns	
\overline{CE} セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
ステータスポーリング開始時間	t_{wsts}	1	—	ms	
ステータスポーリングアクセス時間	t_{spa}	—	150	ns	
アドレスセットアップ時間	t_{as}	0	—	ns	
アドレスホールド時間	t_{ah}	60	—	ns	
メモリ書き込み時間	t_{write}	1	3000	ms	
書き込みセットアップ時間	t_{pns}	100	—	ns	
書き込み終了セットアップ時間	t_{pnh}	100	—	ns	
\overline{WE} 立ち上がり時間	t_r	—	30	ns	
\overline{WE} 立ち下がり時間	t_f	—	30	ns	

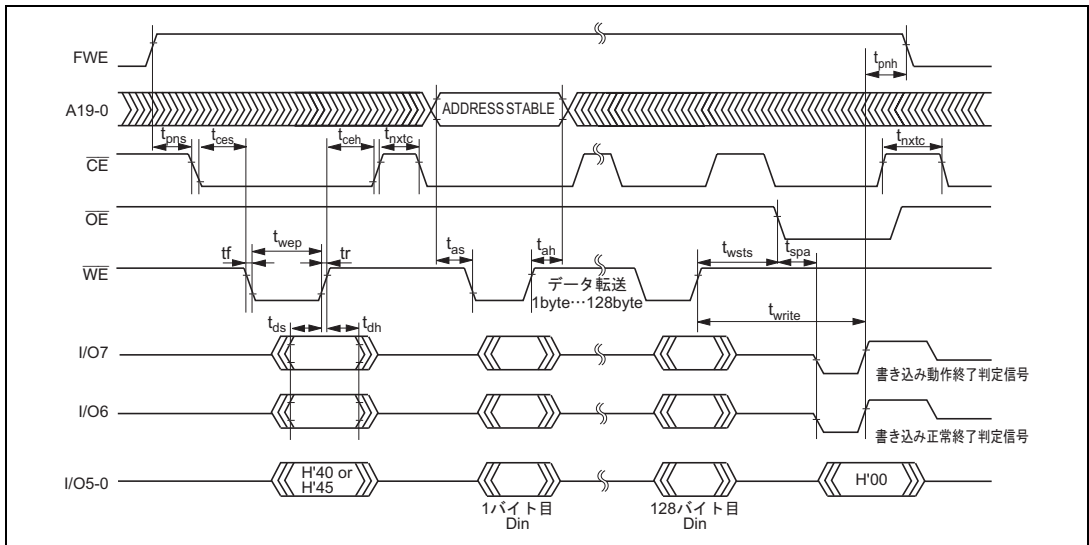


図 23.36 自動書き込みモードのタイミング波形

表 23.26 自動消去モード時の AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$

項目	記号	MIN	MAX	単位	特記
コマンド書き込みサイクル	t_{nxtc}	20	—	μs	
CE ホールド時間	t_{ceh}	0	—	ns	
CE セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
ステータスポーリング開始時間	t_{ests}	1	—	ms	
ステータスポーリングアクセス時間	t_{spa}	—	150	ns	
メモリ消去時間	t_{erase}	100	40000	ms	
消去セットアップ時間	t_{ens}	100	—	ns	
消去終了セットアップ時間	t_{enh}	100	—	ns	
WE 立ち上がり時間	t_r	—	30	ns	
WE 立ち下がり時間	t_f	—	30	ns	

23. ROM

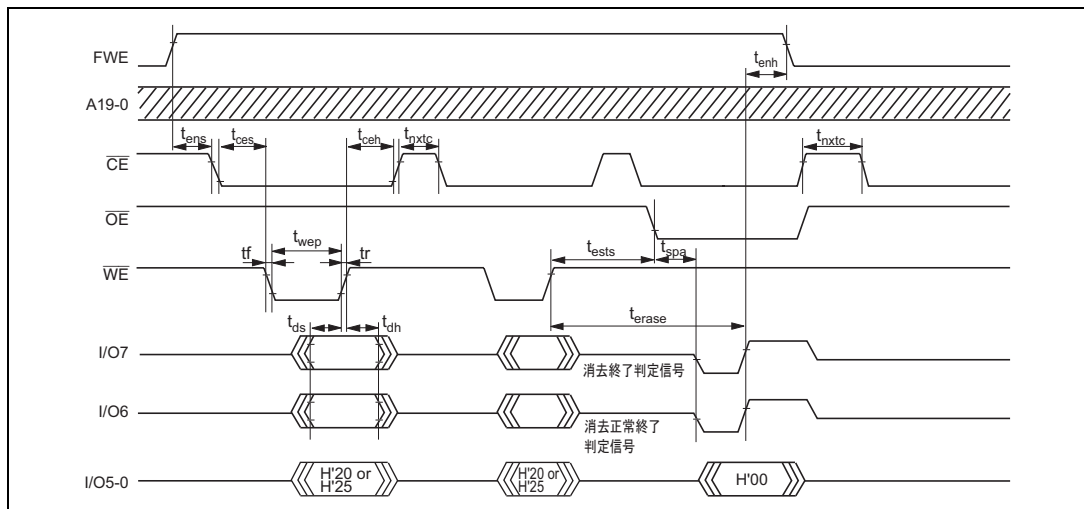


図 23.37 自動消去モードのタイミング波形

表 23.27 ステータス読み出しモード時の AC 特性

条件 : $V_{CC}=3.3V\pm 0.3V$ 、 $V_{SS}=0V$ 、 $T_a=25^\circ C\pm 5^\circ C$

項目	記号	MIN	MAX	単位	特記
コマンド書き込み後読み出し時間	t_{nxtc}	20	—	μs	
CE ホールド時間	t_{ceh}	0	—	ns	
CE セットアップ時間	t_{ces}	0	—	ns	
データホールド時間	t_{dh}	50	—	ns	
データセットアップ時間	t_{ds}	50	—	ns	
書き込みパルス幅	t_{wep}	70	—	ns	
OE 出力遅延時間	t_{oe}	—	150	ns	
ディスエーブル遅延時間	t_{df}	—	100	ns	
CE 出力遅延時間	t_{ce}	—	150	ns	
WE 立ち上がり時間	t_r	—	30	ns	
WE 立ち下がり時間	t_f	—	30	ns	

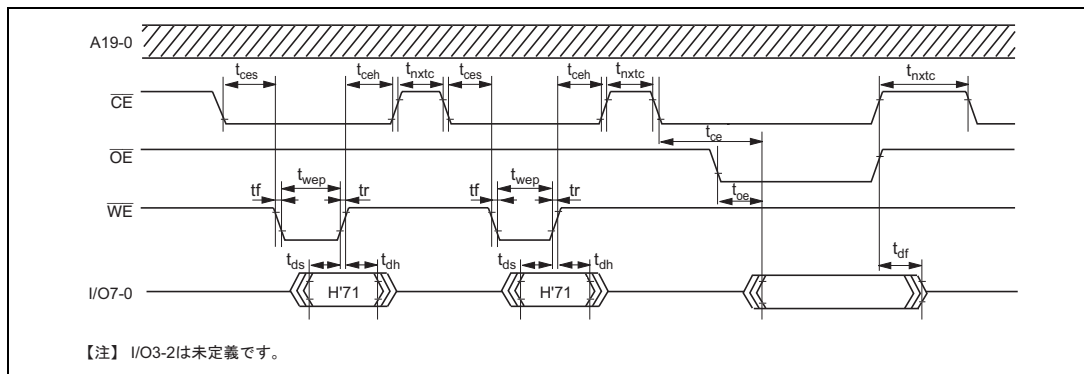


図 23.38 ステータス読み出しモードのタイミング波形

表 23.28 コマンド待ち状態までの遷移時間規定

項目	記号	MIN	MAX	単位	特記
スタンバイ解除（発振安定時間）	t_{osc1}	30	—	ms	
ライターモードセットアップ時間	t_{bmv}	10	—	ms	
V_{CC} ホールド時間	t_{dwn}	0	—	ms	

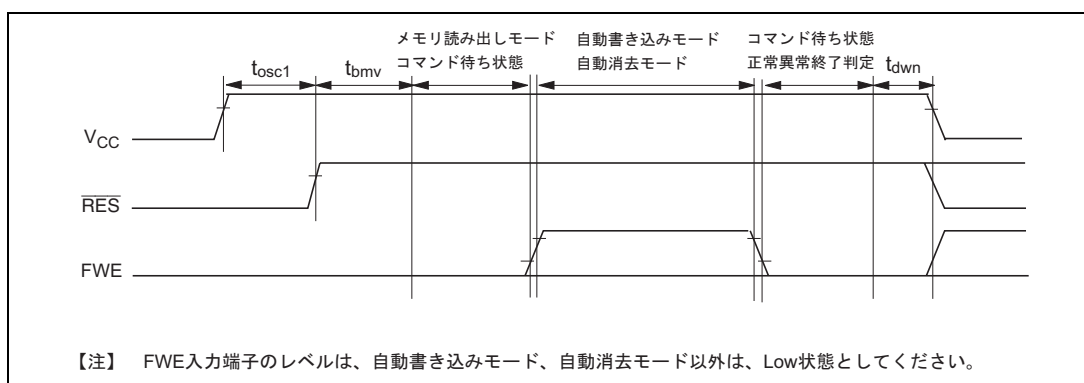


図 23.39 発振安定時間、ライターモードセットアップ時間、電源立ち下げシーケンス

23.10.3 手順プログラム、または書き込みデータの格納可能領域

本文中での書き込み／消去手順プログラムおよび書き込みデータの格納可能領域は、内蔵RAM上に準備している例で示しましたが、以下の条件を守れば他の領域（外部空間領域など）で実行することができます。

- (1) 内蔵の書き込み／消去実行プログラムはFTDARレジスタで指定された内蔵RAMのアドレスからダウンロードされ、実行されるのでここは使用不可能です。
- (2) 内蔵の書き込み／消去実行プログラムでは、スタック領域を128バイト以上使用するので、確保してください。
- (3) SCOビットを1にしてダウンロードの要求を行う処理では、マット切り替えが発生するので内蔵RAM上で実施してください。
- (4) 書き込み／消去を開始する前（ダウンロード結果の判定まで）は、フラッシュメモリはアクセス可能です。シングルチップモードのように外部空間アクセスができないモードでは、この時点までに必要な手続きプログラム、割り込みベクタと割り込み処理ルーチン、ユーザブランチ処理プログラムなどを内蔵RAMに転送してください。
- (5) 書き込み／消去処理中は、フラッシュメモリのアクセスはできませんので、内蔵RAM上のダウンロードされたプログラムで実行します。これを起動させる手続きプログラム、書き込み／消去中のユーザブランチ先のユーザプログラム、および割り込みのベクタテーブルと割り込み処理プログラムの実行領域も、フラッシュメモリ以外の内蔵RAMや、外部バス空間にある必要があります。
- (6) 書き込み／消去完了後のFKEYレジスタのクリアまでの期間は、フラッシュメモリのアクセスは禁止とします。
書き込み／消去完了直後に、LSIモードを変更してリセット動作をさせる場合には、100 μ s以上のリセット期間（ $\overline{\text{RES}}=0$ とする期間）を設けてください。
なお、書き込み／消去処理中のリセット状態、ハードウェアスタンバイ状態への遷移は禁止ですが、誤ってリセットを入れてしまった場合は、100 μ sの通常より長いリセット期間の後に、リセットリリースしてください。
- (7) ユーザブートモードでのユーザマットへの書き込み／消去処理では、FMATSによるマット切

り替えが必要です。マット切り替えの実行は内蔵RAM上で実施してください。（「23.8.1 ユーザマットとユーザブートマットの切り替え」を参照ください）

マットの切り替えにおいては、現在どちらのマットが選択されているかにご注意ください。

- (8) 書き込み処理のパラメータFMPDRが示す書き込みデータ格納領域がフラッシュメモリ上にあると、エラーと判断しますので、いったん内蔵RAMに転送してFMPDRの示すアドレスはフラッシュメモリ空間以外としてください。

これらの条件を考慮し、各動作モード／処理内容ごとの組み合わせでの、書き込みデータ格納エリアおよび実行が可能なエリアをあらわす表を示します。

表 23.29 実行可能マットまとめ

処理	起動モード	
	ユーザプログラムモード	ユーザブートモード*
書き込み	表 23.30 (1)	表 23.30 (3)
消去	表 23.30 (2)	表 23.30 (4)

【注】* ユーザマットに対しての書き込み／消去が可能です。

表 23.30 (1) ユーザプログラムモードでの書き込み処理で使用可能なエリア

項目	格納／実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間 (MD0=0 の 拡張時)	ユーザマット	組み込み プログラム 格納マット
書き込みデータの格納領域	○	×*	○	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○	○	
キーレジスタへの H'A5 書き込み処理	○	○	○	○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×	×		○
キーレジスタクリア処理	○	○	○	○	
ダウンロード結果の判定	○	○	○	○	
ダウンロードエラー処理	○	○	○	○	
初期化パラメータの設定処理	○	○	○	○	
初期化実行	○	×	×	○	
初期化結果の判定	○	○	○	○	
初期化エラー処理	○	○	○	○	
割り込み処理ルーチン	○	×	○	○	
キーレジスタへの H'5A 書き込み処理	○	○	○	○	
書き込みパラメータの設定処置	○	×	○	○	
書き込み実行	○	×	×	○	
書き込み結果の判定	○	×	○	○	
書き込みエラー処理	○	×	○	○	
キーレジスタクリア処理	○	×	○	○	

【注】* 事前に内蔵 RAM に転送しておけば可能です。

書き込み手順

表 23.30 (2) ユーザプログラムモードでの消去処理で使用可能なエリア

項目	格納／実行が可能なエリア			選択されているマット	
	内蔵 RAM	ユーザマット	外部空間 (MD0=0 の 拡張時)	ユーザマット	組み込み プログラム 格納マット
ダウンロードする内蔵プログラムの選択処理	○	○	○	○	
キーレジスタへのH'A5書き込み処理	○	○	○	○	
FCCSのSCO=1書き込み実行(ダウンロード)	○	×	×		○
キーレジスタクリア処理	○	○	○	○	
ダウンロード結果の判定	○	○	○	○	
ダウンロードエラー処理	○	○	○	○	
初期化パラメータの設定処理	○	○	○	○	
初期化実行	○	×	×	○	
初期化結果の判定	○	○	○	○	
初期化エラー処理	○	○	○	○	
割り込み処理ルーチン	○	×	○	○	
キーレジスタへのH'5A書き込み処理	○	○	○	○	
消去パラメータの設定処置	○	×	○	○	
消去実行	○	×	×	○	
消去結果の判定	○	×	○	○	
消去エラー処理	○	×	○	○	
キーレジスタクリア処理	○	×	○	○	

消去手順



表 23.30 (3) ユーザブートモードでの書き込み処理で使用可能なエリア

項目	格納／実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間 (MD0=0 の拡張時)	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
書き込みデータの格納領域	○	×*1	○	—	—	—
ダウンロードする内蔵プログラムの選択処理	○	○	○		○	
キーレジスタへの H'A5 書き込み処理	○	○	○		○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×	×			○
キーレジスタクリア処理	○	○	○		○	
ダウンロード結果の判定	○	○	○		○	
ダウンロードエラー処理	○	○	○		○	
初期化パラメータの設定処理	○	○	○		○	
初期化実行	○	×	×		○	
初期化結果の判定	○	○	○		○	
初期化エラー処理	○	○	○		○	
割り込み処理ルーチン	○	×	○		○	
FMATS によるマット切り替え	○	×	×	○		
キーレジスタへの H'5A 書き込み処理	○	×	○	○		
書き込みパラメータの設定処置	○	×	○	○		
書き込み実行	○	×	×	○		
書き込み結果の判定	○	×	○	○		
書き込みエラー処理	○	×*2	○	○		
キーレジスタクリア処理	○	×	○	○		
FMATS によるマット切り替え	○	×	×		○	

【注】 *1 事前に内蔵 RAM に転送しておけば可能です。

*2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

書き込み手順



表 23.30 (4) ユーザブートモードでの消去処理で使用可能なエリア

項目	格納／実行が可能なエリア			選択されているマット		
	内蔵 RAM	ユーザブートマット	外部空間 (MD0=0 の拡張時)	ユーザマット	ユーザブートマット	組み込みプログラム格納マット
ダウンロードする内蔵プログラムの選択処理	○	○	○		○	
キーレジスタへの H'A5 書き込み処理	○	○	○		○	
FCCS の SCO=1 書き込み実行 (ダウンロード)	○	×	×			○
キーレジスタクリア処理	○	○	○		○	
ダウンロード結果の判定	○	○	○		○	
ダウンロードエラー処理	○	○	○		○	
初期化パラメータの設定処理	○	○	○		○	
初期化実行	○	×	×		○	
初期化結果の判定	○	○	○		○	
初期化エラー処理	○	○	○		○	
割り込み処理ルーチン	○	×	○		○	
FMATS によるマット切り替え	○	×	×		○	
キーレジスタへの H'5A 書き込み処理	○	×	○	○		
消去パラメータの設定処理	○	×	○	○		
消去実行	○	×	×	○		
消去結果の判定	○	×	○	○		
消去エラー処理	○	×*2	○	○		
キーレジスタクリア処理	○	×	○	○		
FMATS によるマット切り替え	○	×	×		○	

【注】 *2 内蔵 RAM 上で FMATS を切り替えた後なら可能です。

消去手順

24. RAM

24.1 概要

24.1.1 概要

SH7058は48kバイトのRAMを内蔵しています。内蔵RAMは、32ビット幅のデータバスを通して、CPU、ダイレクトメモリアクセスコントローラ（DMAC）、およびアドバンストユーザデバッガ（AUD）に接続されています（図24.1）。

CPU、DMAC、AUDは8、16または32ビット幅で内蔵RAMをアクセスすることができます。内蔵RAMのデータは、常にリード1サイクル、ライト1サイクル（SYSCR2のCKSELビットが0のとき）/2サイクル（SYSCR2のCKSELビットが1のとき）でアクセスできます。したがって、高速アクセスが必要なプログラムエリア、あるいはスタックエリアやデータアクセスとしての使用に適しています。内蔵RAMの内容はスリープモード、ソフトウェアスタンバイモードでは保持されます。後述のRAMEビットが0に設定されている場合、ハードウェアスタンバイモードでも保持されます。

内蔵RAMは、アドレスH'FFFF0000～H'FFFFBFFFに割り付けられています。

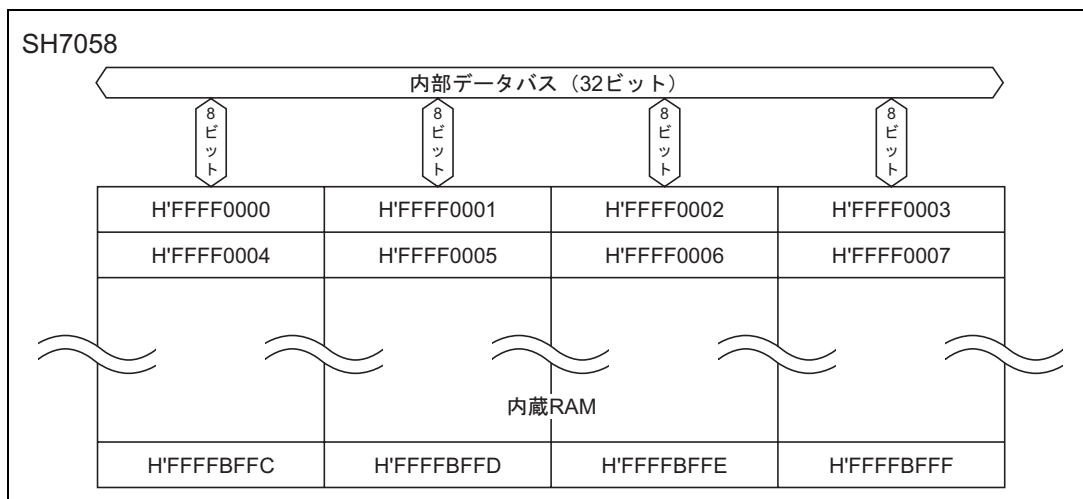


図 24.1 RAMのブロック図

24.2 動作説明

内蔵 RAM は、システムコントロールレジスタ 1 (SYSCR1) で制御されます。

SYSCR1 の RAME ビットを 1 にセットすると内蔵 RAM が有効になります。このときアドレス H'FFFF0000～H'FFFFBFFF をアクセスすると内蔵 RAM がアクセスされます。

SYSCR1 の RAME ビットを 0 にクリアすると内蔵 RAM はアクセスされません。読み出すと不定値が読み出され、書き込みは無効です。SYSCR1 の RAME ビットを 0 にクリアした後、ハードウェアスタンバイモードに遷移すると、内蔵 RAM の値は保持されます。

SYSCR1 についての詳細は「第 25 章 低消費電力状態」の「25.2.2 システムコントロールレジスタ 1 (SYSCR1)」を参照してください。

25. 低消費電力状態

25.1 概要

低消費電力モードとして、ハードウェアスタンバイモード、ソフトウェアスタンバイモード、スリープモードの3種類のモードおよび一部モジュールのモジュールストップ機能があります。LSIの消費電力を低減させたいアプリケーションにより、各スタンバイモードを選択することができます。

25.1.1 低消費電力モードの種類

低消費電力モードには、次のようなモードがあります。

- (1) ハードウェアスタンバイモード
RES、HSTBY端子の入力レベルによりハードウェアスタンバイモードに遷移します。
ハードウェアスタンバイ中はLSIの全機能が停止します。この状態からは、パワーオンリセットにより復帰します。
- (2) ソフトウェアスタンバイモード
ソフトウェア（CPUの命令）によってソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイ中はLSIの全機能が停止します。
この状態からは、パワーオンリセット、NMI割り込みにより復帰します。
- (3) スリープモード
CPUの命令によってスリープモードに遷移します。基本的にCPU以外の内蔵周辺モジュールは動作します。この状態からは、パワーオンリセット、マニュアルリセット、割り込み、DMAアドレスエラーにより復帰します。
- (4) モジュールスタンバイ機能
モジュールスタンバイ可能な内蔵周辺モジュール*について、クロックの供給を停止してそのモジュールの動作を停止させることができます。システムコントロールレジスタ2（SYSCR2）の各ビットにより、それぞれのモジュールのクロック供給を制御できます。

【注】* AUD、H-JUDI、FPU、UBC

25. 低消費電力状態

プログラム実行状態から、各モードへ遷移する条件、各モードでの CPU や周辺モジュールなどの状態、各モードの解除方法を、表 25.1 に示します。

表 25.1 低消費電力状態

モード	遷移条件	状態						解除方法
		クロック	CPU	CPU レジスタ	内蔵周辺 モジュール	RAM	端子	
ハードウェアスタンバイ	HSTBY 端子にローレベルを入力	停止	停止	不定	停止	保持* ²	初期化	HSTBY 端子にハイレベルを入力して、パワーオンリセット
ソフトウェアスタンバイ	SBYCR の SSBY ビットが 1 の状態で SLEEP 命令を実行	停止	停止	保持	停止* ¹	保持	保持またはハイインピーダンス* ³	(1)NMI 割り込み (2)パワーオンリセット
スリープ	SBYCR の SSBY ビットが 0 の状態で SLEEP 命令を実行	動作	停止	保持	動作	保持	保持	(1)割り込み (2)DMA アドレスエラー (3)パワーオンリセット (4)マニュアルリセット

SBYCR : スタンバイコントロールレジスタ

SSBY : ソフトウェアスタンバイビット

- 【注】 *1 内蔵周辺モジュールのレジスタの中には、ソフトウェアスタンバイモードによって初期化されるものとされないものがあります。「表 25.4 ソフトウェアスタンバイモードでのレジスタの状態」および各周辺モジュールの「レジスタの説明」の項を参照してください。
- *2 プログラム実行状態からハードウェアスタンバイ状態に遷移する場合には、事前に SYSCR1 の RAME ビットを"0"にクリアする必要があります。
- *3 スタンバイモード時の I/O ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で設定します。「25.2.1 スタンバイコントロールレジスタ (SBYCR)」を参照してください。端子状態は、「付録 B. 端子状態」を参照してください。

25.1.2 端子構成

低消費電力モードに関連する端子を表 25.2 に示します。

表 25.2 端子構成

名称	略称	入出力	機能
ハードウェアスタンバイ入力端子	HSTBY	入力	入力レベルによりハードウェアスタンバイモードに遷移します。
パワーオンリセット入力端子	$\overline{\text{RES}}$	入力	パワーオンリセット信号の入力端子です。

25.1.3 関連レジスタ

低消費電力モードに関連するレジスタを表 25.3 に示します。

表 25.3 レジスタ構成

名称	略称* ¹	R/W	初期値	アドレス		アクセス
				書き込み	読み出し	サイズ
スタンバイコントロールレジスタ	SBYCR	R/W	H'1F	H'FFFF EC14		8
システムコントロールレジスタ 1	SYSCR1	R/W	H'01	H'FFFF F708		8
システムコントロールレジスタ 2	SYSCR2	R/W	H'01	H'FFFF F70A* ²	H'FFFF F70B* ³	8、16

- 【注】 *1 内部クロック逡倍比が4逡倍時のレジスタアクセスは、SBYCRは内部クロック（ ϕ ）で4サイクル、SYSCR1およびSYSCR2は内部クロック（ ϕ ）で4~5サイクルです。
- *2 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *3 読み出しは、バイト単位で行ってください。ワード単位およびロングワード単位では、正しい値を読み出すことができません。

25.2 レジスタの説明

25.2.1 スタンバイコントロールレジスタ (SBYCR)

ビット:	7	6	5	4	3	2	1	0
	SSBY	HIZ	—	—	—	—	—	—
初期値:	0	0	0	1	1	1	1	1
R/W:	R/W	R/W	R	R	R	R	R	R

スタンバイコントロールレジスタ (SBYCR) は、読み出し/書き込み可能な 8 ビットのレジスタで、スタンバイモードへの遷移およびスタンバイモード時のポート状態を設定します。

SBYCR は、パワーオンリセットで H'1F に初期化されます。

ビット 7: ソフトウェアスタンバイ (SSBY)

ソフトウェアスタンバイモードへの遷移を指定します。

ウォッチドッグタイマ (WDT) の動作中 (WDT のタイマコントロール/ステータスレジスタ (TCSR) のタイマイネーブルビット (TME) が 1 のとき) には、SSBY ビットは 1 にセットできません。

ソフトウェアスタンバイモードへ遷移するときは、必ず TME ビットを 0 にクリアして WDT を停止させてから、SSBY ビットをセットしてください。

ビット 7	説明
SSBY	
0	SLEEP 命令の実行により、スリープモードへ遷移 (初期値)
1	SLEEP 命令の実行により、ソフトウェアスタンバイモードへ遷移

ビット 6: ポートハイインピーダンス (HIZ)

ソフトウェアスタンバイモード時に、I/O ポートの端子状態を保持するかハイインピーダンスにするかを選択します。

WDT の TCSR の TME ビットが 1 にセットされていると、HIZ ビットは 1 にセットできません。I/O ポートの端子状態をハイインピーダンスにするときは、必ず TME ビットを 0 にクリアしてから HIZ ビットをセットしてください。

ビット 6	説明
HIZ	
0	ソフトウェアスタンバイモード時に、端子状態を保持する (初期値)
1	ソフトウェアスタンバイモード時に、端子状態をハイインピーダンス

ビット5：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット4～0：予約ビット

読み出すと常に1が読み出されます。書き込む値も常に1にしてください。

25.2.2 システムコントロールレジスタ 1 (SYSCR1)

ビット：	7	6	5	4	3	2	1	0
	OSCSTOP	INOSCE	—	—	—	—	AUDSRST	RAME
初期値：	0	0	0	0	0	0	0	1
R/W：	R	R/W	R	R	R	R	R/W	R/W

システムコントロールレジスタ 1 (SYSCR1) は、読み出し／書き込み可能な8ビットのレジスタで、AUD ソフトウェアリセット制御と、内蔵 RAM へのアクセスの許可／禁止を設定します。

SYSCR1 は、パワーオンリセットの立ち上がりエッジで H'01 に初期化されます。

ビット7、6：「5.4 水晶発振停止検出機能」を参照してください。

ビット5～2：予約ビット

読み出すと常に0が読み出されます。書き込む値も常に0にしてください。

ビット1：AUD ソフトウェアリセット (AUDSRST)

AUD のリセットをソフトウェアで制御します。AUDSRST ビットを1にセットすると AUD モジュールはパワーオンリセット状態になります。

ビット1	説 明	
AUDSRST		
0	AUD のリセットを解除する	(初期値)
1	AUD をリセット状態にする	

25. 低消費電力状態

ビット0：RAM イネーブル (RAME)

内蔵 RAM の有効または無効を選択します。RAME ビットを 1 にセットすると内蔵 RAM が有効になります。0 にクリアすると内蔵 RAM はアクセスできません。このとき、内蔵 RAM からのリードおよび命令フェッチは不定値が読み出され、内蔵 RAM へのライトは無視されます。初期値は 1 です。

なお、本ビットを 0 にクリアして内蔵 RAM を無効にする場合、SYSCR1 へのライト命令の直後に内蔵 RAM をアクセスするような命令を置かないでください。もし内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

本ビットを 1 にセットして内蔵 RAM を有効にする場合、SYSCR1 へのライト命令の直後に SYSCR1 のリード命令を置いてください。もし、SYSCR1 ライト命令の直後に内蔵 RAM アクセス命令を置いた場合、正常なアクセスは保証できません。

ビット0	説明
RAME	
0	内蔵 RAM 無効
1	内蔵 RAM 有効 (初期値)

25.2.3 システムコントロールレジスタ 2 (SYSCR2)

ビット:	7	6	5	4	3	2	1	0
	CKSEL	—	—	—	MSTOP3	MSTOP2	MSTOP1	MSTOP0
初期値:	0	0	0	0	0	0	0	1
R/W:	R/W	R	R	R	R/W	R/W	R/W	R/W

システムコントロールレジスタ 2 (SYSCR2) は、読み出し/書き込み可能な 8 ビットのレジスタで、内蔵モジュールのうち AUD、H-UDI、FPU、UBC のスタンバイ制御をします。

SYSCR2 は、パワーオンリセットで H'01 に初期化されます。

【注】 SYSCR2 は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。詳しくは、「25.2.4 レジスタアクセス時の注意」を参照してください。

ビット7：内部クロック (φ) セレクト (CKSEL)

「第 5 章 クロック発振器 (CPG)」を参照してください。

ビット6～4：予約ビット

読み出すと常に 0 が読み出されます。書き込む値も常に 0 にしてください。

ビット3：モジュールストップ 3 (MSTOP3)

内蔵周辺モジュールのうち AUD へのクロック供給停止を指定します。

MSTOP3 ビットに 1 をセットすると AUD へのクロック供給を停止します。

AUD へのクロック供給の停止を解除する場合は、システムコントロールレジスタ 1 (SYSCR1) の AUD ソフトウェアリセット (AUDSRST) を AUD リセット状態に設定してから解除してください。その後 AUD のリセットを解除することにより、AUD の使用が可能になります。

ビット3	説明
MSTOP3	
0	AUD は動作 (初期値)
1	AUD へのクロック供給を停止

ビット 2 : モジュールストップ 2 (MSTOP2)

内蔵周辺モジュールのうち H-UDI へのクロック供給停止を指定します。
MSTOP2 ビットに 1 をセットすると H-UDI へのクロック供給を停止します。

ビット 2	説 明	
MSTOP2		
0	H-UDI は動作	(初期値)
1	H-UDI へのクロック供給を停止	

ビット 1 : モジュールストップ 1 (MSTOP1)

内蔵周辺モジュールのうち FPU へのクロック供給の停止を指定します。
MSTOP1 ビットに 1 をセットすると FPU へのクロック供給を停止します。
MSTOP1 ビットに 1 をセットした後、0 をライトしてクリアすることはできません。
つまり、MSTOP1 ビットに 1 をセットして FPU へのクロック供給をいったん停止した後、MSTOP1 ビットを 0 クリアして FPU へのクロック供給を再開することはできません。
FPU のクロック供給を停止した後、再開するには、LSI をパワーオンリセットしてください。

ビット 1	説 明	
MSTOP1		
0	FPU は動作	(初期値)
1	FPU へのクロック供給を停止	

ビット 0 : モジュールストップ 0 (MSTOP0)

内蔵周辺モジュールのうち UBC へのクロック供給停止を指定します。
MSTOP0 ビットを 0 にクリアすると UBC へのクロック供給を開始します。
UBC へのクロック供給を停止すると UBC のレジスタを含めた内部状態はリセットされます。

ビット 0	説 明	
MSTOP0		
0	UBC は動作	
1	UBC へのクロック供給を停止	(初期値)

25.2.4 レジスタアクセス時の注意

システムコントロールレジスタ 2 (SYSCR2) は、容易に書き換えられないように、書き込み方法が一般のレジスタと異なります。

SYSCR2 へ書き込むときは、必ずワード転送命令を使用してください、バイト転送命令では、書き込みません。図 25.1 に示すように上位バイトを H'3C にし、下位バイトを書き込みデータにして転送してください。

読み出しは、一般のレジスタと同様の方法で行うことができます。

SYSCR2 はアドレス H'FFFFFF70A に割り当てられています。読み出すときは必ずバイト転送命令で H'FFFFFF70B から使用してください。

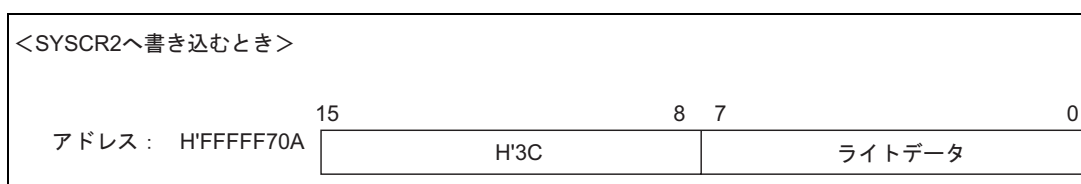


図 25.1 SYSCR2 への書き込み

25.3 ハードウェアスタンバイモード

25.3.1 ハードウェアスタンバイモードへの遷移

$\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子にローレベルを入力するとハードウェアスタンバイモードに遷移します。モード端子は「第 4 章 動作モード」に示す端子設定を行ってください。それ以外の端子設定の場合の動作は保証できません。ハードウェアスタンバイモード中は LSI の全機能が停止するので、消費電力は著しく低減されます。この機能は、外部端子入力によりハードウェアスタンバイモードに遷移するため、現在の LSI の状態にかかわらず非同期にこのモードに遷移します。このため、ハードウェアスタンバイモードに遷移する前の LSI の状態は保持しません。ただし、内蔵 RAM のデータは、規定の電圧が与えられている限り保持することができます。内蔵 RAM を保持するためには、 $\overline{\text{HSTBY}}$ 端子をローレベルにする前に、システムコントロールレジスタ 1 (SYSCR1) の RAM イネーブルビット (RAME) を 0 にクリアしてください。ハードウェアスタンバイモード中のレジスタ状態については「付録 A.2 リセット、低消費電力状態でのレジスタ状態」を、端子状態については「付録 B. 端子状態」を参照してください。

25.3.2 ハードウェアスタンバイモードの解除

ハードウェアスタンバイモードの解除は、 $\overline{\text{HSTBY}}$ 端子および $\overline{\text{RES}}$ 端子で行われます。

$\overline{\text{RES}}$ 端子をローレベルにした状態で、 $\overline{\text{HSTBY}}$ 端子をハイレベルにすると、クロックは発振を開始します。このとき、 $\overline{\text{RES}}$ 端子は、必ずクロックの発振が安定するまでローレベルに保持してください。 $\overline{\text{RES}}$ 端子をハイレベルにすると、パワーオンリセット例外処理を経て、プログラム実行状態に遷移します。

25.3.3 ハードウェアスタンバイモードのタイミング

ハードウェアスタンバイモードの各端子のタイミング例を図 25.2 に示します。

$\overline{\text{RES}}$ 端子をローレベルにした後、 $\overline{\text{HSTBY}}$ 端子をローレベルにすると、ハードウェアスタンバイモードに遷移します。解除は、 $\overline{\text{HSTBY}}$ をハイレベルにし、クロックの発振安定時間経過後、 $\overline{\text{RES}}$ 端子をローレベルからハイレベルにすることで行われます。

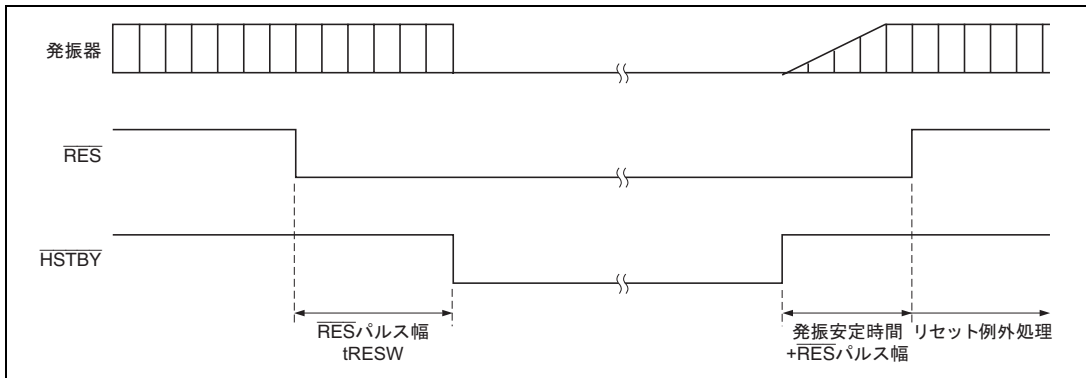


図 25.2 ハードウェアスタンバイモードのタイミング

25.4 ソフトウェアスタンバイモード

25.4.1 ソフトウェアスタンバイモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からソフトウェアスタンバイモードに遷移します。ソフトウェアスタンバイモードでは、CPU だけでなくクロック発振器や内蔵周辺モジュールも停止するため、消費電力が著しく低減されます。CPU のレジスタ内容と内蔵 RAM のデータは、規定の電圧が与えられている限り保持されます。内蔵周辺モジュールのレジスタの中には、初期化されるものとされないものがあります。レジスタの状態については「付録 A.2 リセット、低消費電力状態でのレジスタ状態」を参照してください。IO ポートの状態は、SBYCR のポートハイインピーダンスビット (HIZ) で、保持またはハイインピーダンスを選択することができます。その他の端子状態については「付録 B. 端子状態」を参照してください。

25.4.2 ソフトウェアスタンバイモードの解除

ソフトウェアスタンバイモードは NMI 割り込み、パワーオンリセットにより解除されます。

(1) NMI 割り込み入力による解除

NMI 端子の立ち下がりエッジまたは立ち上がりエッジ (割り込みコントローラ (INTC) の割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) で選択) が検出されると、クロックの発振が開始されます。このクロックは発振安定時間をカウントする発振安定カウンタにだけ供給されます。

発振安定カウンタにより発振安定時間をカウントするとクロックが安定したと判断され、本 LSI 全体にクロックが供給されます。これによって、ソフトウェアスタンバイモードが解除され、NMI 例外処理が開始されます。

発振安定時間をカウントするカウンタは、入力クロックの周波数で $2^{16} = 65536$ カウントするとオーバーフローします。このカウントクロックは PLL 通倍回路がロックインするまで周波数が不安定なため、絶対時間としては多少前後します。また、その間 CK 端子からのクロック出力はハイレベルとなります。

なお、立ち下がりエッジに設定した NMI 端子で、ソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の NMI 端子のレベルがハイレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI 端子のレベルがローレベルになるようにしてください。また、立ち上がりエッジに設定した NMI 端子でソフトウェアスタンバイモードを解除する場合、ソフトウェアスタンバイに入るとき (クロック停止時) の NMI 端子のレベルがローレベルに、かつソフトウェアスタンバイ復帰時 (発振安定後のクロック起動時) の NMI

端子のレベルがハイレベルになるようにしてください。

(2) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルにすると、本 LSI はパワーオンリセット状態に遷移し、ソフトウェアスタンバイモードは解除されます。

25.4.3 ソフトウェアスタンバイモードの応用例

NMI 信号の立ち下がりでソフトウェアスタンバイモードに遷移し、NMI 信号の立ち上がりで解除を行う例を説明します。この例のタイミングを図 25.3 に示します。

割り込みコントロールレジスタ (ICR) の NMI エッジセレクトビット (NMIE) を 0 (立ち下がりエッジ検出) にした状態で NMI 端子をハイレベルからローレベルに変化させると、NMI 割り込みが受け付けられます。NMI 例外サービスルーチンで NMIE ビットを 1 (立ち上がりエッジ検出) にセットし、スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 1 にセットして SLEEP 命令を実行すると、ソフトウェアスタンバイモードに遷移します。その後、NMI 端子をローレベルからハイレベルに変化させると、ソフトウェアスタンバイモードが解除されます。

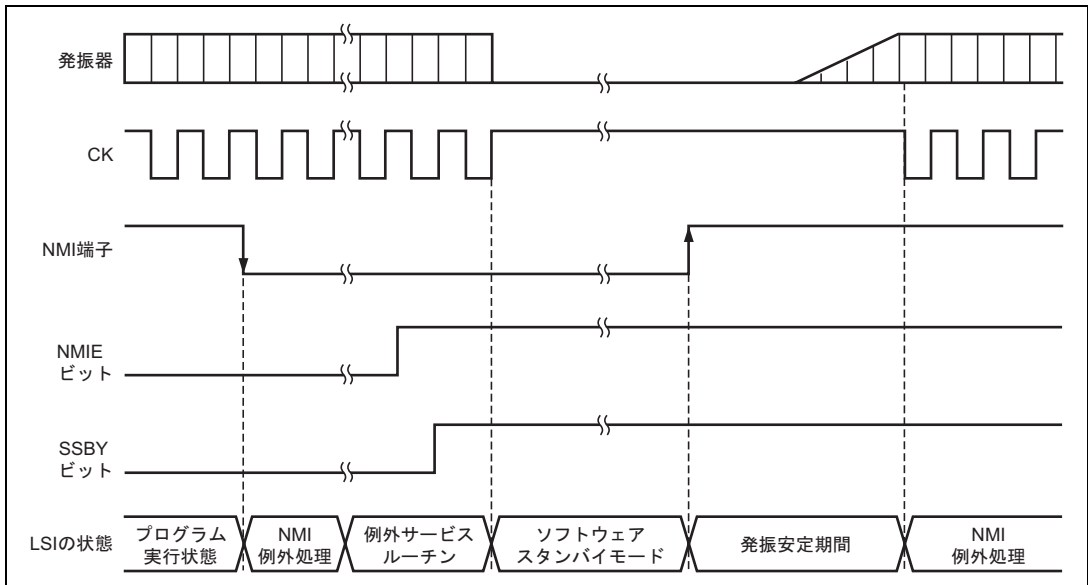


図 25.3 ソフトウェアスタンバイモード時の NMI タイミング (応用例)

25.5 スリープモード

25.5.1 スリープモードへの遷移

スタンバイコントロールレジスタ (SBYCR) のソフトウェアスタンバイビット (SSBY) を 0 にクリアした後で SLEEP 命令を実行すると、本 LSI はプログラム実行状態からスリープモードに遷移します。

CPU は SLEEP 命令実行直後に停止しますが、CPU のレジスタ内容は保持されます。内蔵周辺モジュールは、動作を続けます。レジスタの状態については「付録 A.2 リセット、低消費電力状態でのレジスタ状態」を参照してください。

25.5.2 スリープモードの解除

(1) 割り込みにより解除

割り込みが発生すると、スリープモードが解除され、割り込み例外処理が実行されます。発生した割り込みの優先レベルが CPU のステータスレジスタ (SR) に設定されている割り込みマスクレベル以下の場合、および内蔵周辺モジュールによる割り込みが、モジュール側で禁止されている場合には、割り込み要求は受け付けられず、スリープモードは解除されません。

(2) DMA アドレスエラーによる解除

DMA アドレスエラーが発生すると、スリープモードが解除され、DMA アドレスエラー例外処理が実行されます。

(3) マニュアルリセットによる解除

WDT による内部マニュアルリセットが発生し、内部マニュアルリセット期間中に CPU がバス権を獲得すると、本 LSI はマニュアルリセット状態に遷移し、スリープモードは解除されます。

(4) パワーオンリセットによる解除

$\overline{\text{RES}}$ 端子をローレベルを入力するか、WDT による内部パワーオンリセットが発生すると、本 LSI はパワーオンリセット状態に遷移し、スリープモードは解除されます。

26. 信頼性について

26.1 信頼性について

半導体デバイスの信頼性指標は故障率（Failure Rate）で表します。この故障率は図 26.1 に示すように、時間に対してバスタブ（Bathtub）曲線を描くといわれています。この曲線は、故障の発生具合から初期故障期間、偶発故障期間（耐用寿命）、摩耗故障期間と呼ばれる 3 つの期間に分けられます。初期故障期間に発生する初期故障は、製造工程での異物の付着や局所的な化学汚染などが原因となっており、スクリーニングにより取り除かれます。摩耗故障期間に発生する摩耗故障は、長期間の使用により半導体デバイスを構成する材料が経時的に劣化することが原因となります。偶発故障期間に発生する偶発故障は、わずかな不具合を持った製品がスクリーニングで除去されずに出荷されお客様での製造工程やフィールドで故障に至るものや、製造時のばらつきにより摩耗故障期間で発生すべき故障が早めに発生するものと考えられます。したがって、半導体デバイスの信頼性は、初期故障低減のための適切なスクリーニングと摩耗故障の立ち上がりを抑える高信頼性設計により確保されます。製品の開発にあたっては、量産試作を行い大量データでの初期故障率の確認と、摩耗故障に対して実用時の使用環境を考慮した加速寿命試験により製品の信頼性を確認します。

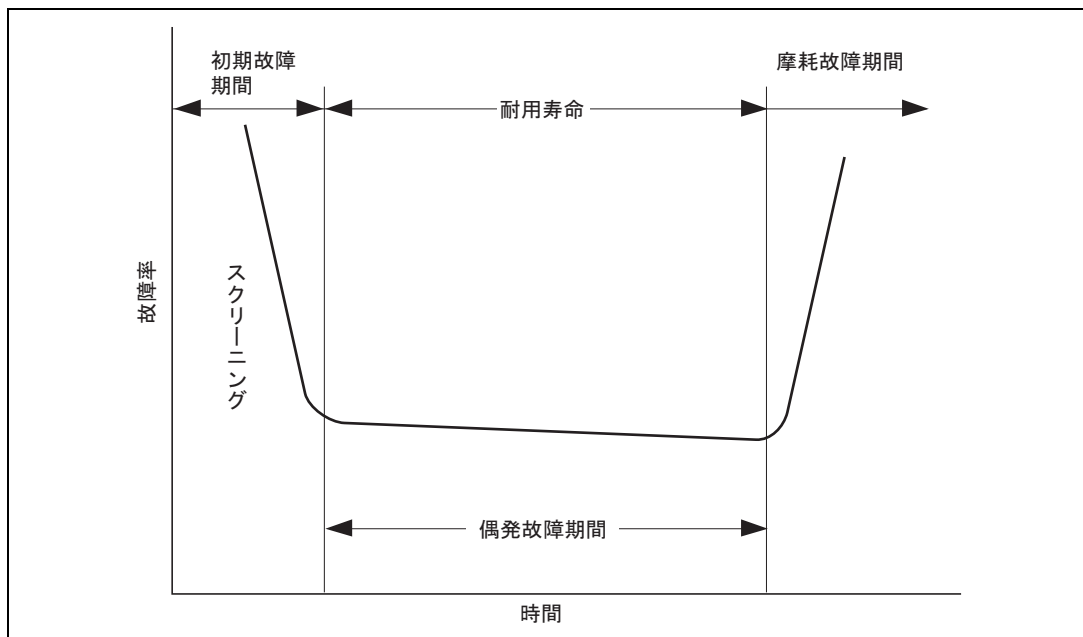


図 26.1 故障率曲線（バスタブカーブ）

自動車分野で使用されることを目的に開発された製品については、民生および産業分野に比べ厳しい環境で使用されることを前提に信頼性の評価を行います。半導体デバイスの代表的な故障現象である酸化膜の絶縁破壊や配線のエレクトロマイグレーションなどは摩耗故障であり、故障のストレス要因としては実用時の電圧または電流と温度があげられます。従来から自動車用の製品については、動作保証温度が -40°C から 85°C であることから、前述の故障現象に対し -40°C から 85°C の範囲で動作したときの信頼性を加速寿命試験により確認しています。 85°C を超える動作においては、半導体デバ

26. 信頼性について

イスの故障が温度に依存するため、故障が発生するまでの時間が大幅に減少します。摩耗故障の1つである酸化膜の絶縁破壊を例として、図 26.2 に半導体デバイスの寿命の温度依存性を示します。図 26.2 から 85°Cでの寿命に対し 125°Cでの寿命は 1/10 程度と予測され、フィールドで故障が発生する確率が高まります。したがって、85°Cを超える動作の保証に対しては、動作保証温度の上限での動作時間を 3000 時間と仮定した上で信頼性を確認しています。

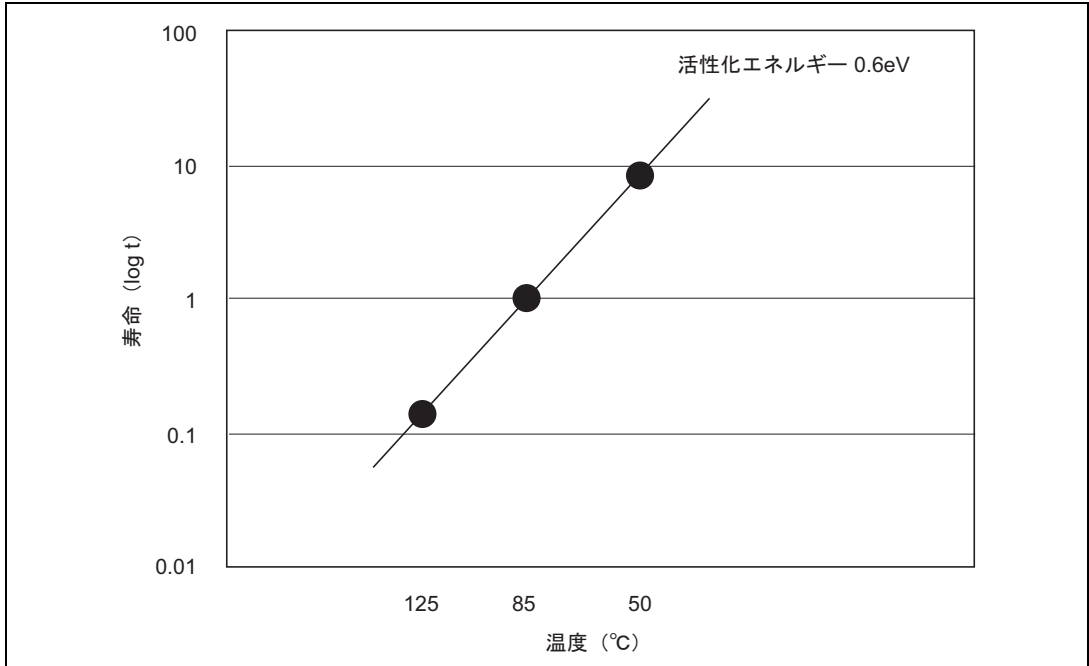


図 26.2 酸化膜の絶縁破壊の温度依存性

27. 電気的特性

27.1 絶対最大定格

絶対最大定格を表 27.1 に示します。

表 27.1 絶対最大定格

項目		記号	定格値	単位	備考	
電源電圧*	端子名	V _{CC} PLL _{VCC}	V _{CC}	-0.3~+4.3	V	PLL _{CAP} 、EXTAL、XTAL、CK、 H-UDI 端子が該当。 (V _{CC} とPLL _{VCC} は同一電圧)
		PV _{CC1} PV _{CC2}	PV _{CC}	-0.3~+6.5	V	
入力電圧	EXTAL、H-UDI 端子		V _{in}	-0.3~V _{CC} +0.3	V	表 27.2 電源名と端子の対応を参照
	アナログ入力、EXTAL、 H-UDI 端子以外の全端子		V _{in}	-0.3~PV _{CC} +0.3	V	
アナログ電源電圧		AV _{CC}	-0.3~+7.0	V		
アナログ基準電圧		AV _{ref}	-0.3~AV _{CC} +0.3	V		
アナログ入力電圧		V _{AN}	-0.3~AV _{CC} +0.3	V		
動作温度 (内蔵フラッシュメモリの W/E 除く)		Topr	-40~+125	°C		
動作温度 (内蔵フラッシュメモリの W/E)		TWEopr	-40~+85	°C		
保存温度		Tstg	-55~+125	°C		

【使用上の注意】

絶対最大定格を超えて LSI を使用した場合、LSI の永久破壊となることがあります。

PV_{CC}、V_{CC} の 5/3V 系の 2 電源電圧を同時に使用することがある製品です。マニュアルに規定する電源端子の接続、印加電源電圧の組み合わせ条件と、各端子に印加可能な電圧、出力される電圧の条件を守って使用してください。規定と異なる電源の接続や電圧での LSI の使用は LSI の永久破壊、LSI を実装したシステムへのダメージを生じる場合があります。

【注】 *V_{CL} ピンには電源電圧を印加しないでください。GND との間に外付けコンデンサ (0.33~0.47 μF) を接続してください。

27. 電氣的特性

27.2 DC 特性

電源名と端子の対応を表 27.2 に示します。

DC 特性を表 27.4 に示します。

表 27.2 電源名と端子の対応

ピン No. (FP-256H)	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
1			PD8	PULS0			PV _{CC2}	PV _{CC2} +0.3	
2			PD9	PULS1			PV _{CC2}	PV _{CC2} +0.3	
3			PD10	PULS2			PV _{CC2}	PV _{CC2} +0.3	
4			PD11	PULS3			PV _{CC2}	PV _{CC2} +0.3	
5			PD12	PULS4			PV _{CC2}	PV _{CC2} +0.3	
6			PD13	PULS6	HTxD0	HTxD1	PV _{CC2}	PV _{CC2} +0.3	
7			PE0	A0			PV _{CC1}	PV _{CC1} +0.3	
8			PE1	A1			PV _{CC1}	PV _{CC1} +0.3	
9			PE2	A2			PV _{CC1}	PV _{CC1} +0.3	
10			PE3	A3			PV _{CC1}	PV _{CC1} +0.3	
11	V _{CC}								
12			PE4	A4			PV _{CC1}	PV _{CC1} +0.3	
13	V _{SS}								
14			PE5	A5			PV _{CC1}	PV _{CC1} +0.3	
15			PE6	A6			PV _{CC1}	PV _{CC1} +0.3	
16			PE7	A7			PV _{CC1}	PV _{CC1} +0.3	
17			PE8	A8			PV _{CC1}	PV _{CC1} +0.3	
18			PE9	A9			PV _{CC1}	PV _{CC1} +0.3	
19			PE10	A10			PV _{CC1}	PV _{CC1} +0.3	
20	PV _{CC1}								
21			PE11	A11			PV _{CC1}	PV _{CC1} +0.3	
22	V _{SS}								
23			PE12	A12			PV _{CC1}	PV _{CC1} +0.3	
24			PE13	A13			PV _{CC1}	PV _{CC1} +0.3	
25			PE14	A14			PV _{CC1}	PV _{CC1} +0.3	
26			PE15	A15			PV _{CC1}	PV _{CC1} +0.3	
27			PF0	A16			PV _{CC1}	PV _{CC1} +0.3	
28			PF1	A17			PV _{CC1}	PV _{CC1} +0.3	
29			PF2	A18			PV _{CC1}	PV _{CC1} +0.3	
30	V _{CL}								
31			PF3	A19			PV _{CC1}	PV _{CC1} +0.3	
32	V _{SS}								
33			PF4	A20			PV _{CC1}	PV _{CC1} +0.3	
34			PF5	A21	POD		PV _{CC1}	PV _{CC1} +0.3	
35			PF6	WRL			PV _{CC1}	PV _{CC1} +0.3	
36			PF7	WRH			PV _{CC1}	PV _{CC1} +0.3	
37			PF8	WAIT			PV _{CC1}	PV _{CC1} +0.3	
38			PF9	RD			PV _{CC1}	PV _{CC1} +0.3	
39	PV _{CC1}								

27. 電気的特性

ピン No. (FP-256H)	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
40			PF10	CS0			PV _{CC1}	PV _{CC1} +0.3	
41	V _{SS}								
42			PF11	CS1			PV _{CC1}	PV _{CC1} +0.3	
43			PF12	CS2			PV _{CC1}	PV _{CC1} +0.3	
44			PF13	CS3			PV _{CC1}	PV _{CC1} +0.3	
45			PF14	BACK			PV _{CC1}	PV _{CC1} +0.3	
46			PF15	BREQ			PV _{CC1}	PV _{CC1} +0.3	
47	V _{SS}								
48			CK				V _{CC}		
49	V _{CC}								
50		MD2						5.5+0.3	
51		EXTAL						V _{CC} +0.3	
52	V _{CC}								
53		XTAL					V _{CC}		
54	V _{SS}								
55		MD1						5.5+0.3	
56		FWE						5.5+0.3	
57		HSTBY						5.5+0.3	
58		RES						5.5+0.3	
59		MD0						5.5+0.3	
60	PLL _{VCC}								
61		PLL _{CAP}							
62	PLL _{VSS}								
63			PH0	D0			PV _{CC1}	PV _{CC1} +0.3	
64			PH1	D1			PV _{CC1}	PV _{CC1} +0.3	
65			PH2	D2			PV _{CC1}	PV _{CC1} +0.3	
66			PH3	D3			PV _{CC1}	PV _{CC1} +0.3	
67			PH4	D4			PV _{CC1}	PV _{CC1} +0.3	
68			PH5	D5			PV _{CC1}	PV _{CC1} +0.3	
69			PH6	D6			PV _{CC1}	PV _{CC1} +0.3	
70	PV _{CC1}								
71			PH7	D7			PV _{CC1}	PV _{CC1} +0.3	
72	V _{SS}								
73			PH8	D8			PV _{CC1}	PV _{CC1} +0.3	
74			PH9	D9			PV _{CC1}	PV _{CC1} +0.3	
75	V _{CC}								
76			PH10	D10			PV _{CC1}	PV _{CC1} +0.3	
77	V _{SS}								
78			PH11	D11			PV _{CC1}	PV _{CC1} +0.3	
79			PH12	D12			PV _{CC1}	PV _{CC1} +0.3	
80			PH13	D13			PV _{CC1}	PV _{CC1} +0.3	
81			PH14	D14			PV _{CC1}	PV _{CC1} +0.3	
82			PH15	D15			PV _{CC1}	PV _{CC1} +0.3	
83	PV _{CC1}								

27. 電気的特性

ピン No. (FP-256H)	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
84		NMI						5.5+0.3	
85	V _{SS}								
86			AN0					AV _{CC} +0.3	
87			AN1					AV _{CC} +0.3	
88			AN2					AV _{CC} +0.3	
89			AN3					AV _{CC} +0.3	
90			AN4					AV _{CC} +0.3	
91			AN5					AV _{CC} +0.3	
92			AN6					AV _{CC} +0.3	
93			AN7					AV _{CC} +0.3	
94			AN8					AV _{CC} +0.3	
95			AN9					AV _{CC} +0.3	
96			AN10					AV _{CC} +0.3	
97			AN11					AV _{CC} +0.3	
98			AN12					AV _{CC} +0.3	
99	AV _{SS}								
100		AVref							
101	AV _{CC}								
102			AN13					AV _{CC} +0.3	
103			AN14					AV _{CC} +0.3	
104			AN15					AV _{CC} +0.3	
105			AN16					AV _{CC} +0.3	
106			AN17					AV _{CC} +0.3	
107			AN18					AV _{CC} +0.3	
108			AN19					AV _{CC} +0.3	
109			AN20					AV _{CC} +0.3	
110			AN21					AV _{CC} +0.3	
111			AN22					AV _{CC} +0.3	
112			AN23					AV _{CC} +0.3	
113			AN24					AV _{CC} +0.3	
114			AN25					AV _{CC} +0.3	
115			AN26					AV _{CC} +0.3	
116			AN27					AV _{CC} +0.3	
117			AN28					AV _{CC} +0.3	
118			AN29					AV _{CC} +0.3	
119	AV _{CC}								
120		AVref							
121	AV _{SS}								
122			AN30					AV _{CC} +0.3	
123			AN31					AV _{CC} +0.3	
124		WDT0VF					PV _{CC2}		
125			PA0	TIOA			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
126	V _{SS}								
127			PA1	TIOB			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子

27. 電気的特性

ピン No. (FP-256H)	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
128	PV _{CC2}								
129			PA2	TIO0C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
130			PA3	TIO0D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
131			PA4	TIO3A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
132			PA5	TIO3B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
133			PA6	TIO3C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
134			PA7	TIO3D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
135			PA8	TIO4A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
136			PA9	TIO4B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
137			PA10	TIO4C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
138			PA11	TIO4D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
139	V _{CC}								
140			PA12	TIO5A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
141	V _{SS}								
142			PA13	TIO5B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
143			PA14	TxD0			PV _{CC2}	PV _{CC2} +0.3	
144			PA15	RxD0			PV _{CC2}	PV _{CC2} +0.3	
145			PB0	TO6A			PV _{CC2}	PV _{CC2} +0.3	
146			PB1	TO6B			PV _{CC2}	PV _{CC2} +0.3	
147			PB2	TO6C			PV _{CC2}	PV _{CC2} +0.3	
148	PV _{CC2}								
149			PB3	TO6D			PV _{CC2}	PV _{CC2} +0.3	
150	V _{SS}								
151			PB4	TO7A	TO8A		PV _{CC2}	PV _{CC2} +0.3	
152			PB5	TO7B	TO8B		PV _{CC2}	PV _{CC2} +0.3	
153			PB6	TO7C	TO8C		PV _{CC2}	PV _{CC2} +0.3	
154			PB7	TO7D	TO8D		PV _{CC2}	PV _{CC2} +0.3	
155			PB8	TxD3	TO8E		PV _{CC2}	PV _{CC2} +0.3	
156			PB9	RxD3	TO8F		PV _{CC2}	PV _{CC2} +0.3	
157			PB10	TxD4	HTxD0	TO8G	PV _{CC2}	PV _{CC2} +0.3	
158			PB11	RxD4	HRxD0	TO8H	PV _{CC2}	PV _{CC2} +0.3	
159			PB12	TCLKA	UBCTRG		PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
160			PB13	SCK0			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
161	V _{CL}								
162			PB14	SCK1	TCLKB	TI10	PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
163	V _{SS}								
164			PB15	PULS5	SCK2		PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
165			PC0	TxD1			PV _{CC2}	PV _{CC2} +0.3	
166			PC1	RxD1			PV _{CC2}	PV _{CC2} +0.3	
167			PC2	TxD2			PV _{CC2}	PV _{CC2} +0.3	
168			PC3	RxD2			PV _{CC2}	PV _{CC2} +0.3	
169			PC4	IRQ0			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
170			PG0	PULS7	HRxD0	HRxD1	PV _{CC2}	PV _{CC2} +0.3	
171			PG1	IRQ1			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子

27. 電気的特性

ピン No. (FP-256H)	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
172	PV _{CC2}								
173			PG2	IRQ2	ADEND		PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
174	V _{SS}								
175			PG3	IRQ3	ADTRG0		PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
176			PJ0	TIO2A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
177			PJ1	TIO2B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
178			PJ2	TIO2C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
179			PJ3	TIO2D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
180			PJ4	TIO2E			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
181			PJ5	TIO2F			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
182			PJ6	TIO2G			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
183			PJ7	TIO2H			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
184			PJ8	TIO5C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
185	V _{SS}								
186			PJ9	TIO5D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
187	V _{CC}								
188			PJ10	TI9A			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
189			PJ11	TI9B			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
190			PJ12	TI9C			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
191			PJ13	TI9D			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
192			PJ14	TI9E			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
193			PJ15	TI9F			PV _{CC2}	PV _{CC2} +0.3	シュミットトリガ入力端子
194	PV _{CC2}								
195			PK0	TO8A			PV _{CC2}	PV _{CC2} +0.3	
196	V _{SS}								
197			PK1	TO8B			PV _{CC2}	PV _{CC2} +0.3	
198			PK2	TO8C			PV _{CC2}	PV _{CC2} +0.3	
199			PK3	TO8D			PV _{CC2}	PV _{CC2} +0.3	
200			PK4	TO8E			PV _{CC2}	PV _{CC2} +0.3	
201			PK5	TO8F			PV _{CC2}	PV _{CC2} +0.3	
202			PK6	TO8G			PV _{CC2}	PV _{CC2} +0.3	
203	V _{CC}								
204			PK7	TO8H			PV _{CC2}	PV _{CC2} +0.3	
205	V _{SS}								
206			PK8	TO8I			PV _{CC2}	PV _{CC2} +0.3	
207			PK9	TO8J			PV _{CC2}	PV _{CC2} +0.3	
208			PK10	TO8K			PV _{CC2}	PV _{CC2} +0.3	
209			PK11	TO8L			PV _{CC2}	PV _{CC2} +0.3	
210			PK12	TO8M			PV _{CC2}	PV _{CC2} +0.3	
211			PK13	TO8N			PV _{CC2}	PV _{CC2} +0.3	
212	PV _{CC2}								
213			PK14	TO8O			PV _{CC2}	PV _{CC2} +0.3	
214	V _{SS}								
215			PK15	TO8P			PV _{CC2}	PV _{CC2} +0.3	

27. 電気的特性

ピン No. (FP-256H)	電源端子 電源名	専用端子	ユーザ端子 機能 1	機能 2	機能 3	機能 4	出力回路 電源名	入力電圧 上限 (V)	備考
216			PL0	TI10			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
217			PL1	TIO11A	IRQ6		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
218			PL2	TIO11B	IRQ7		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
219			PL3	TCLKB			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
220			PL4	ADTRG0			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
221			PL5	ADTRG1			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
222			PL6	ADEND			PV _{cc2}	PV _{cc2} +0.3	
223			PL7	SCK2			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
224			PL8	SCK3			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
225	V _{CL}								
226			PL9	SCK4	IRQ5		PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
227	V _{SS}								
228			PL10	HTxD0	HTxD1	HTxD0、1	PV _{cc2}	PV _{cc2} +0.3	
229			PL11	HRxD0	HRxD1	HRxD0、1	PV _{cc2}	PV _{cc2} +0.3	
230			PL12	IRQ4			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
231			PL13	IRQOUT	IRQOUT		PV _{cc2}	PV _{cc2} +0.3	
232			TMS					V _{cc} +0.3	
233			TRST					V _{cc} +0.3	
234			TDI					V _{cc} +0.3	
235			TDO				V _{cc}		
236			TCK					V _{cc} +0.3	
237	V _{CC}								
238			AUDRST					PV _{cc2} +0.3	
239	V _{SS}								
240			AUDMD					PV _{cc2} +0.3	
241			AUDATA0				PV _{cc2}	PV _{cc2} +0.3	
242			AUDATA1				PV _{cc2}	PV _{cc2} +0.3	
243			AUDATA2				PV _{cc2}	PV _{cc2} +0.3	
244			AUDATA3				PV _{cc2}	PV _{cc2} +0.3	
245			AUDCK				PV _{cc2}	PV _{cc2} +0.3	
246			AUDSYNC				PV _{cc2}	PV _{cc2} +0.3	
247	PV _{cc2}								
248			PD0	TIO1A			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
249	V _{SS}								
250			PD1	TIO1B			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
251			PD2	TIO1C			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
252			PD3	TIO1D			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
253			PD4	TIO1E			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
254			PD5	TIO1F			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
255			PD6	TIO1G			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子
256			PD7	TIO1H			PV _{cc2}	PV _{cc2} +0.3	シュミットトリガ入力端子

27. 電氣的特性

【使用上の注意】

LSI 動作時の電源電圧は下記に従い設定してください。

$V_{cc}=PLL_{Vcc}=3.3V\pm 0.3V$ 、 $PV_{cc1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{cc2}=5.0V\pm 0.5V$ 、 $AV_{cc}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{cc}$ 、 $V_{ss}=PLL_{Vss}=AV_{ss}=0V$ 、 $PV_{cc1}=3.3V\pm 0.3V$ 時は $V_{cc}=PV_{cc1}$

ただし、 PV_{cc1} の電源電圧は動作モードに合わせて以下ようになります。

これ以外の PV_{cc1} の電源電圧での動作の保証はできません。

表 27.3 動作モードと PV_{cc1} 電圧の対応

動作モード番号	端子設定				モード名	PV_{cc1} 電圧
	FWE	MD2	MD1	MD0		
モード0	0	1	0	0	MCU 拡張モード	$3.3V\pm 0.3V$
モード1	0	1	0	1		
モード2	0	1	1	0		
モード3	0	1	1	1	MCU シングルチップモード	$5.0V\pm 0.5V$
モード4	1	1	0	0	ブートモード	$3.3V\pm 0.3V$
モード5	1	1	0	1		$5.0V\pm 0.5V$
モード6	1	1	1	0	ユーザプログラムモード	$3.3V\pm 0.3V$
モード7	1	1	1	1		$5.0V\pm 0.5V$
モード8	1	0	0	0	ユーザブートモード	$3.3V\pm 0.3V$
モード9	1	0	0	1		$5.0V\pm 0.5V$

表 27.4 DC 特性

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	typ	max	単位	測定条件	
入力ハイレベル電圧 (シュミットトリガ 入力端子を除く)	RES、NMI、FWE、MD2~0、HSTBY	$V_{CC}-0.4$	—	5.8	V	$2.4V\leq V_{CC}<2.7V$	
		$V_{CC}-0.5$	—	5.8	V	$2.7V\leq V_{CC}<3.6V$	
	EXTAL	$V_{CC}\times 0.7$	—	$V_{CC}+0.3$	V		
	D15~D0、WAIT、BREQ (MCU 拡張モ ード時)	2.2	—	$PV_{CC1}+0.3$	V	$PV_{CC1}=3.3V\pm 0.3V$	
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)	2.2	—	$PV_{CC1}+0.3$	V	$PV_{CC1}=3.3V\pm 0.3V$	
	TRST	$V_{CC}-0.5$	—	$V_{CC}+0.3$	V		
	TMS、TDI、TCK	2.2	—	$V_{CC}+0.3$	V		
	AUDRST、AUDMD	$V_{CC}-0.5$	—	$PV_{CC2}+0.3$	V		
	PG0、PL11	$PV_{CC2}\times$ 0.7	—	$PV_{CC2}+0.3$	V		
	その他の入力端子	2.2	—	$PV_{CC}+0.3$	V		
入力ローレベル電圧 (シュミットトリ ガ入力端子を除く)	RES、NMI、FWE、MD2~0、HSTBY、 TRST、AUDRST、AUDMD	-0.3	—	0.4	V	$2.4V\leq V_{CC}<2.7V$	
		-0.3	—	0.5	V	$2.7V\leq V_{CC}<3.6V$	
	PG0、PL11	-0.3	—	$PV_{CC2}\times 0.3$	V		
	その他の入力端子	-0.3	—	0.8	V		
シュミットトリガ入 力電圧	TIOA~TIOD、TIO1A~TIO1H、TIO2A~ TIO2H、TIO3A~TIO3D、TIO4A~ TIO4D、TIO5A~TIO5D、TI9A~TI9F、 TI10、TIO11A~TIO11B、TCLKA、 TCLKB、ADTRG0、ADTRG1、SCK0~ SCK4、IRQ0~IRQ7 および上記端子の I/O ポート入力機能選択時	(VIH) VT+	4.0	—	$(PV_{CC2}+0.3)$	V	表 27.2 電源名と端子 の対応を参照
		(VIL) VT-	(-0.3)	—	1.0	V	
		VT+ -VT-	0.4	—	—	V	
入力リーク電流	RES、NMI、FWE、MD2~0、HSTBY	lin	—	—	3.0^{*1} 6.0^{*2}	μA	$V_{in}=0.3$ $\sim 5.8V$
	EXTAL (スタンバイ時)		—	—	3.0^{*1} 6.0^{*2}	μA	$V_{in}=0.3$ $\sim V_{CC}-0.3V$
	TMS、TRST、TDI、TCK (スタンバイ 時)		—	—	3.0^{*1} 6.0^{*2}	μA	$V_{in}=0.3$ $\sim V_{CC}-0.3V$
	AUDMD、AUDCK、AUDSYNC、 AUDATA3~0 (スタンバイ時)		—	—	3.0^{*1} 6.0^{*2}	μA	$V_{in}=0.3$ $\sim PV_{CC2}-0.3V$
	AUDRST (スタンバイ時)		—	—	3.0^{*1} 6.0^{*2}	μA	$V_{in}=0.3$ $\sim PV_{CC2}-0.3V$
	A/D ポート		—	—	0.1^{*1} 0.2^{*2}	μA	$V_{in}=0.3$ $\sim AV_{CC}-0.3V$
	D15~D0、WAIT、BREQ (MCU 拡張モ ード時)		—	—	3.0^{*1} 6.0^{*2}	μA	$V_{in}=0.3$ $\sim PV_{CC1}-0.3V$ $PV_{CC1}=3.3V\pm 0.3V$

27. 電氣的特性

項目		記号	min	typ	max	単位	測定条件
入力リーク電流	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)	lin	—	—	3.0* ¹ 6.0* ²	μA	Vin=0.3 ~PV _{CC1} -0.3V PV _{CC1} =3.3V±0.3V
	その他の入力端子		—	—	3.0* ¹ 6.0* ²	μA	Vin=0.3 ~PV _{CC2} -0.3V
入力プルアップ MOS 電流	TMS、TRST、TDI、TCK (プルアップ特性)	-lpu	—	—	350	μA	Vin=0V
	AUDMD、AUDCK、AUDSYNC、AUDATA3~0 (プルアップ特性)		—	—	800	μA	Vin=0V
入力プルダウン MOS 電流	AUDRST (プルダウン特性)	lpd	—	—	800	μA	Vin=PV _{CC2}
スリープステートリーク電流 (オフ状態)	A21~A0、D15~D0、CS3~CS0、WRH、RD、BACK (MCU 拡張モード時)	lts	—	—	3.0* ¹ 6.0* ²	μA	Vin=0.3~PV _{CC1} -0.3V PV _{CC1} =3.3V±0.3V
出力ハイレベル電圧	A21~A0、D15~D0、CS3~CS0、WRH、WRL、RD、BACK (MCU 拡張モード時)	V _{OH}	PV _{CC1} -0.5	—	—	V	I _{OH} =200 μA PV _{CC1} =3.3V±0.3V
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)		PV _{CC1} -0.5	—	—	V	I _{OH} =200 μA PV _{CC1} =3.3V±0.3V
	CK、TDO		V _{CC} -0.5	—	—	V	I _{OH} =200 μA
	その他の出力端子		PV _{CC} -0.5	—	—	V	I _{OH} =200 μA
			PV _{CC} -1.0	—	—	V	I _{OH} =1mA
出力ローレベル電圧	A21~A0、D15~D0、CS3~CS0、WRH、WRL、RD、BACK (MCU 拡張モード時)	V _{OL}	—	—	0.4	V	I _{OL} =1.6mA PV _{CC1} =3.3V±0.3V
	PE15~PE0、PF15~PF0、PH15~PH0 (MCU 拡張モード時)		—	—	0.4	V	I _{OL} =1.6mA PV _{CC1} =3.3V±0.3V
	その他の出力端子 (XTAL を除く)		—	—	0.4	V	I _{OL} =1.6mA
			—	—	1.2	V	I _{OL} =6mA
入力容量	RES	Cin	—	—	60	pF	Vin=0V
	NMI		—	—	30	pF	f=1MHz
	その他の全入力端子		—	—	20	pF	T _a =25°C
消費電流	通常動作時	I _{CC}	—	100	150	mA	f=80MHz
	スリープ時		—	80	130	mA	
	スタンバイ時 (2.7V ≤ V _{CC} ≤ 3.6V)		—	—	300	μA	T _a ≤ 50°C
			—	—	750	μA	50°C < T _a ≤ 105°C
			—	—	1000	μA	105°C < T _a ≤ 125°C
			—	—	1000	μA	T _a ≤ 50°C
	RAM スタンバイ時 (2.4V ≤ V _{CC} < 2.7V)		—	—	600	μA	T _a ≤ 50°C
—	—	1000	μA	50°C < T _a ≤ 105°C			
—	—	1000	μA	105°C < T _a ≤ 125°C			

項目		記号	min	typ	max	単位	測定条件
消費電流	書き込み動作時	I_{CC}	—	80	130	mA	$V_{CC}=3.3V$ $f=40MHz$
アナログ電源電流	A/D 変換中	$A I_{CC}$	—	1.2	5	mA	
	A/D 変換待機時、スタンバイ時		—	1.0	30	μA	
基準電源電流	A/D 変換中、A/D 変換待機時	$A I_{ref}$	—	1.1	5	mA	$AV_{ref}=5.0V$
	スタンバイ時		—	1.1	30	μA	
RAM スタンバイ電圧		V_{RAM}	2.4	—	—	V	V_{CC}

【注】 *1 $T_a \leq 105^\circ C$

*2 $T_a > 105^\circ C$

【使用上の注意】

1. A/D 変換器を使用しないときに、 AV_{CC} 、 AV_{ref} 、 AV_{SS} 端子を開放しないでください。
2. 消費電流は、 $V_{IHmin}=V_{CC}-0.3V/PV_{CC}-0.3V$ 、 $V_{IL}=0.3V$ の条件で、すべての出力端子を無負荷状態にした場合の値です。
3. MCU 拡張モード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1}=3.3V \pm 0.3V$ のみです。これ以外の電圧で使用しないでください。
4. MCU シングルチップモード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1}=5.0V \pm 0.5V$ のみです。これ以外の電圧で使用しないでください。

表 27.5 出力許容電流値

条件： $V_{CC}=PLL_{VCC}=3.3V \pm 0.3V$ 、 $PV_{CC1}=5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2}=5.0V \pm 0.5V$ 、 $AV_{CC}=5.0V \pm 0.5V$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V$ 、 $T_a=-40 \sim 125^\circ C$ 、 $PV_{CC1}=3.3V \pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40 \sim 85^\circ C$

項目	記号	min	typ	max	単位
出力ローレベル許容電流 (1 端子当たり)	I_{OL}	—	—	6.0	mA
出力ローレベル許容電流 (総和)	ΣI_{OL}	—	—	80	mA
出力ハイレベル許容電流 (1 端子当たり)	I_{OH}	—	—	2.0	mA
出力ハイレベル許容電流 (総和)	ΣI_{OH}	—	—	25	mA

【使用上の注意】

LSI の信頼性を確保するため、出力電流値は表 27.5 の値を超えないようにしてください。

27.3 AC 特性

27.3.1 電源投入・切断タイミング

表 27.6 電源投入・切断タイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	記号	min	max	単位	参照図
V_{CC} 先行投入時間	t_{VCCS}	0	—	ms	図 27.1
PV_{CC} 切断時 V_{CC} ホールド時間	t_{VCH}	0	—	ms	

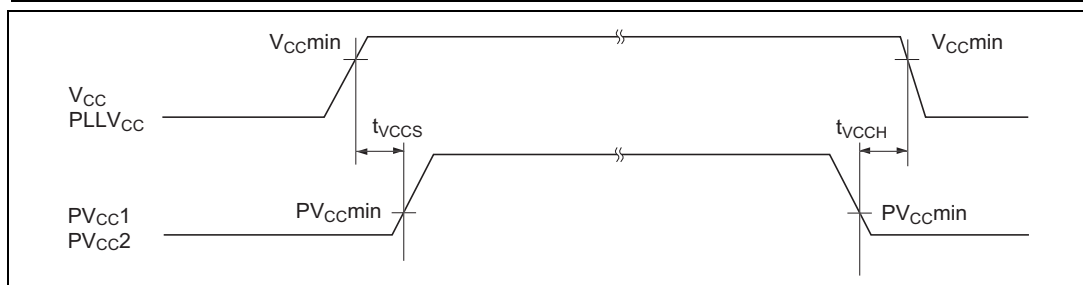


図 27.1 電源投入・切断タイミング

27.3.2 クロックタイミング

表 27.7 にクロックタイミングを示します。

表 27.7 クロックタイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	max	単位	参照図
クロック周波数	f_{op}	10	20	MHz	図 27.2
クロックサイクル時間	t_{cyc}	50	100	ns	
クロックローパルス幅	t_{CL}	12	—	ns	
クロックハイパルス幅	t_{CH}	12	—	ns	
クロック立ち上がり時間	t_{CR}	—	10	ns	
クロック立ち下がり時間	t_{CF}	—	10	ns	
EXTAL クロック入力周波数	f_{EX}	5	10	MHz	図 27.3
EXTAL クロック入力サイクル時間	t_{EXcyc}	100	200	ns	
EXTAL クロック入力ローレベルパルス幅	t_{EXL}	30	—	ns	
EXTAL クロック入力ハイレベルパルス幅	t_{EXH}	30	—	ns	
EXTAL クロック入力立ち上がり時間	t_{EXR}	—	8	ns	
EXTAL クロック入力立ち下がり時間	t_{EXF}	—	8	ns	
リセット発振安定時間	t_{OSC1}	30	—	ms	図 27.4
スタンバイ復帰発振安定時間	t_{OSC2}	30	—	ms	

CK 端子から出力するクロックは、周辺クロック (Pφ) です。

【使用上の注意】

EXTAL、XTAL、CK 端子は $V_{CC}=3.3V\pm 0.3V$ 電源の回路です。DC 特性に規定されている入力、出力電圧の規格値で使用してください。

27. 電気的特性

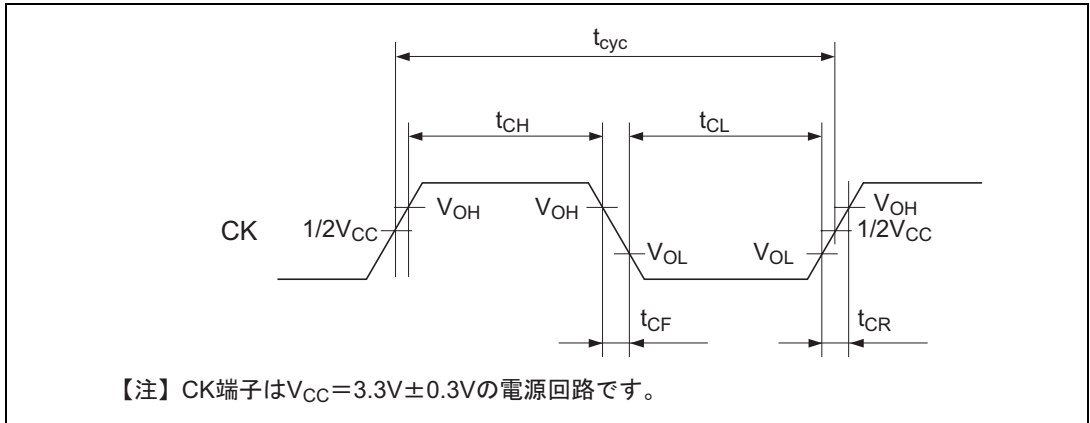


図 27.2 システムクロックタイミング

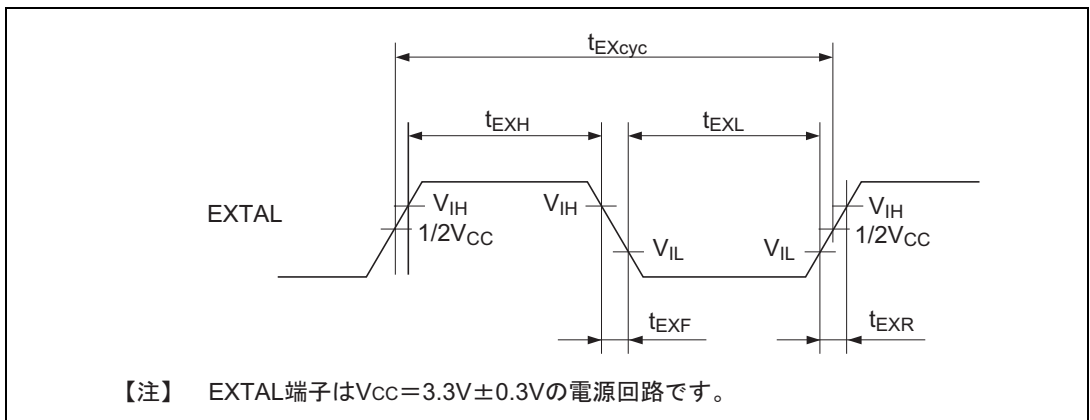


図 27.3 EXTAL クロック入力タイミング

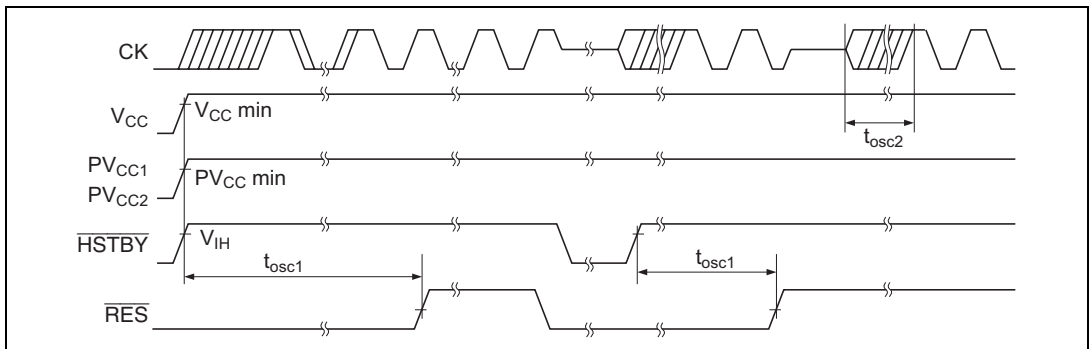


図 27.4 発振安定時間

27.3.3 制御信号タイミング

表 27.8 に制御信号タイミングを示します。

表 27.8 制御信号タイミング

条件： $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	記号	min	max	単位	参照図
RES パルス幅	t_{RESW}	10	—	tcyc	図 27.5
RES セットアップ時間	t_{RESS}	30	—	ns	
MD2~MD0 セットアップ時間*1	t_{MDS}	10	—	tcyc	図 27.6
NMI セットアップ時間	t_{NMIS}	30	—	ns	
IRQ7~IRQ0 セットアップ時間*2 (エッジ検出時)	t_{IRQES}	30	—	ns	
IRQ7~IRQ0 セットアップ時間*2 (レベル検出時)	t_{IRQLS}	30	—	ns	
NMI ホールド時間	t_{NMIH}	30	—	ns	
IRQ7~IRQ0 ホールド時間	t_{IRQEH}	30	—	ns	図 27.7
IRQOUT 出力遅延時間	t_{IRQOD}	—	100	ns	
バスリクエストセットアップ時間	t_{BRQS}	30	—	ns	図 27.8*3
バスアクリッジ遅延時間 1	t_{BACKD1}	—	30	ns	
バスアクリッジ遅延時間 2	t_{BACKD2}	—	30	ns	
バススリーステート遅延時間	t_{BZD}	—	30	ns	

【使用上の注意】

- *1 表 27.3 で規定されていないモードを入力した場合は「27.6.2 モード端子入力に関する注意事項」を参照してください。
- *2 RES、NMI および IRQ7~IRQ0 信号は非同期入力ですが、ここに示されたセットアップが守られた場合クロックの立ち下がり而变化が生じたものとして判定されます。セットアップを守れない場合次のクロック立ち下がりまで認識が遅れることがあります。
- *3 MCU 拡張モード時の電源 PV_{CC1} の動作保証電圧は PV_{CC1}=3.3V±0.3V のみです。これ以外の電圧で使用しないでください。

27. 電気的特性

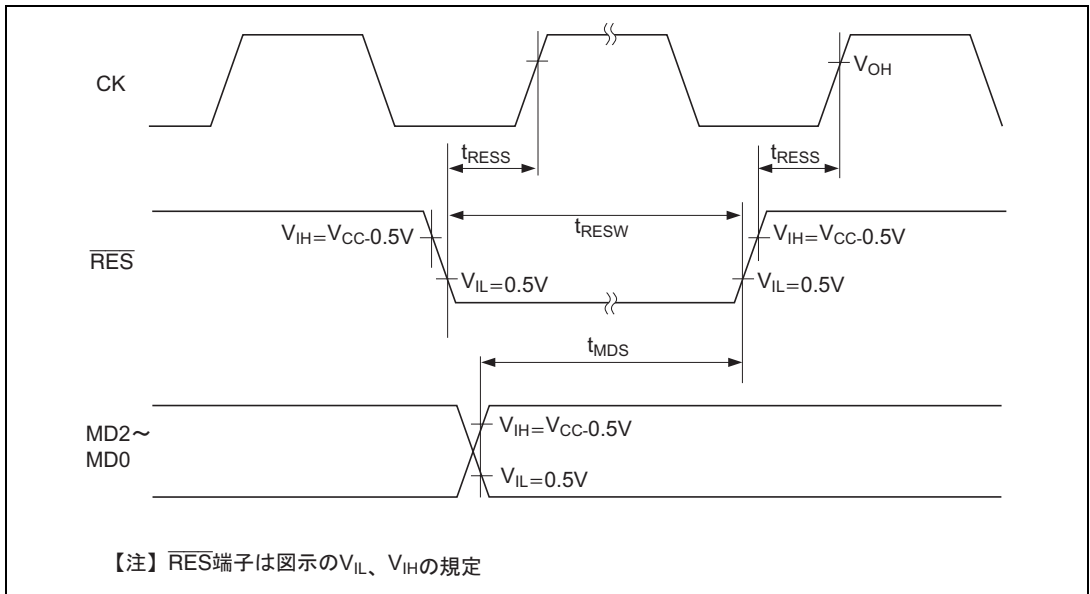


図 27.5 リセット入力タイミング

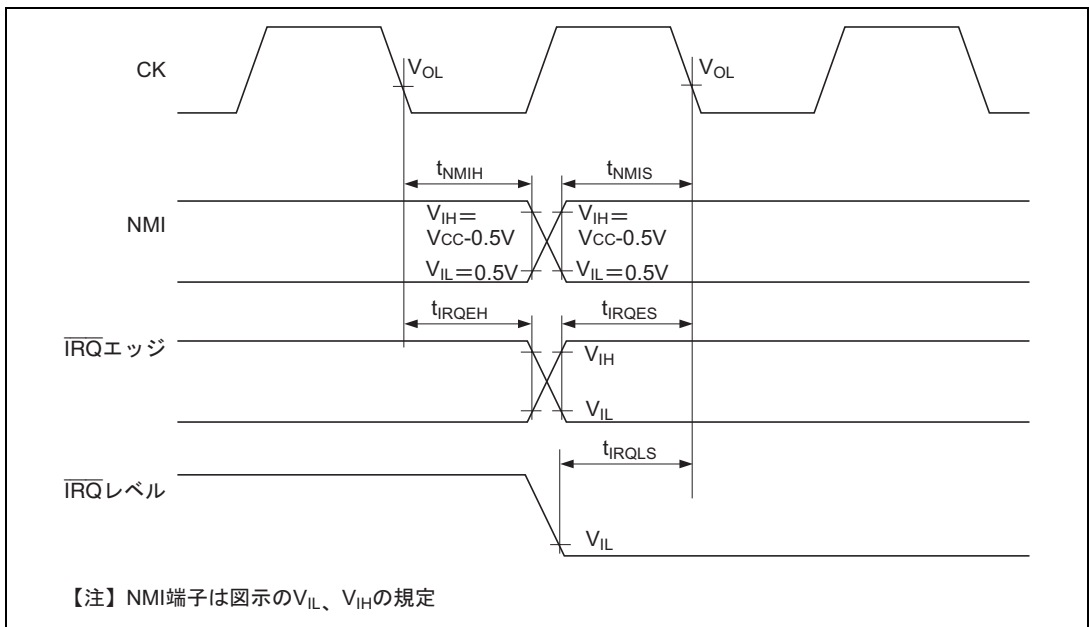


図 27.6 割り込み信号入力タイミング

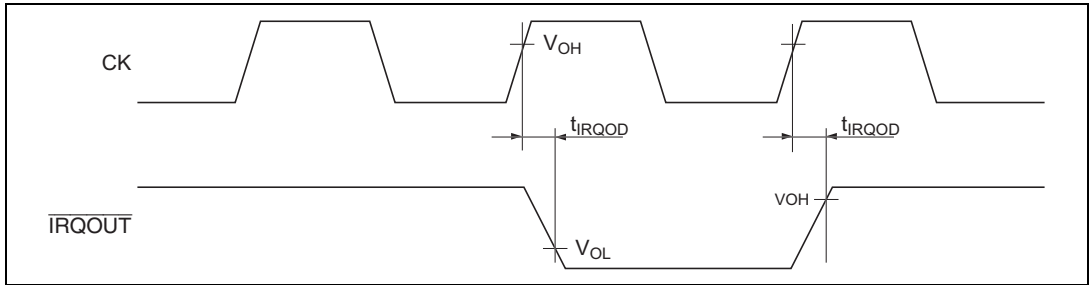


図 27.7 割り込み信号出力タイミング

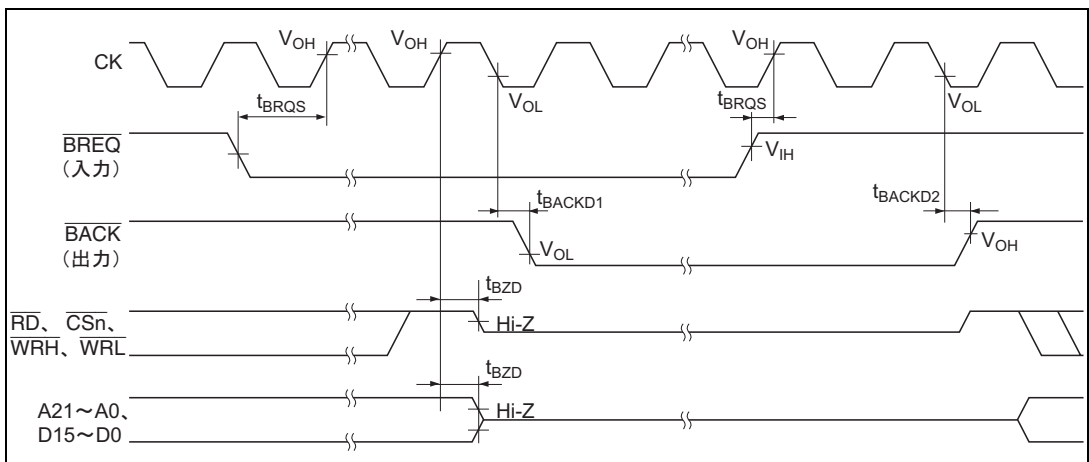


図 27.8 バス権解放タイミング

27.3.4 バスタイミング

表 27.9 にバスタイミングを示します。

表 27.9 バスタイミング

条件： $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	max	単位	参照図	
アドレス遅延時間	t_{AD}	—	35	ns	図 27.9、 図 27.10	
CS 遅延時間 1	t_{CSD1}	—	30	ns		
CS 遅延時間 2	t_{CSD2}	—	30	ns		
リードストロブ遅延時間 1	t_{RSD1}	—	30	ns		
リードストロブ遅延時間 2	t_{RSD2}	—	30	ns		
リードデータセットアップ時間	t_{RDS}	15	—	ns		
リードデータホールド時間	t_{RDH}	0	—	ns		
ライトストロブ遅延時間 1	t_{WSD1}	—	30	ns		
ライトストロブ遅延時間 2	t_{WSD2}	—	30	ns		
ライトデータ遅延時間	t_{WDD}	—	30	ns		
ライトデータホールド時間	t_{WDH}	$t_{cyc} \times m$	—	ns		
WAIT セットアップ時間	t_{WTS}	15	—	ns		図 27.11
WAIT ホールド時間	t_{WTH}	0	—	ns		
リードデータアクセス時間	t_{ACC}	$t_{cyc} \times (n+1.5)-39$	—	ns	図 27.9、 図 27.10	
リードストロブからのアクセス時間	t_{OE}	$t_{cyc} \times (n+1.0)-39$	—	ns		
書き込みアドレスセットアップ時間	t_{AS}	0	—	ns		
書き込みアドレス保持時間	t_{WR}	5	—	ns		

n : ウェイト数

m=1 : CS アサート拡張サイクル

m=0 : 通常サイクル (CS アサート非拡張サイクル)

【使用上の注意】

MCU 拡張モード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1}=3.3V\pm 0.3V$ のみです。これ以外の電圧で使用しないでください。

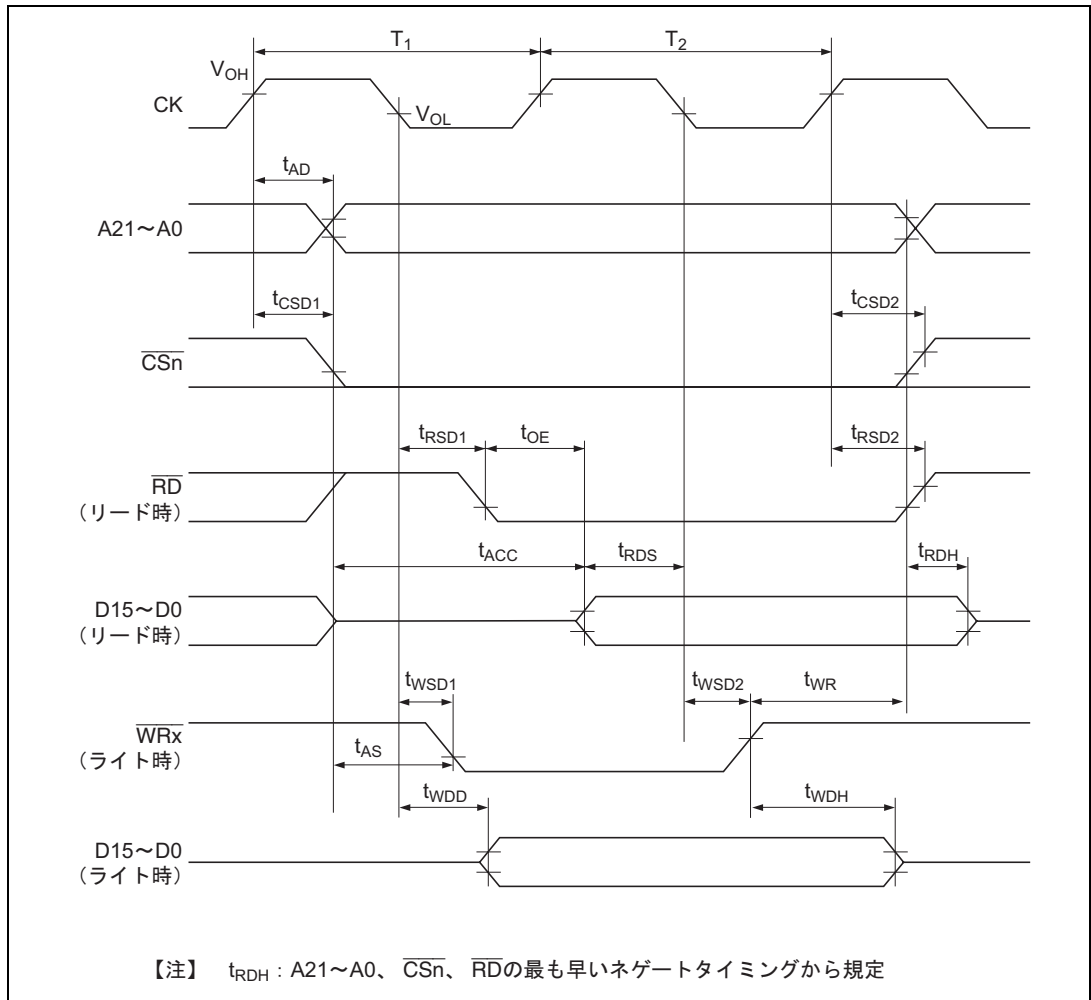


図 27.9 基本サイクル (ノーウェイト)

27. 電気的特性

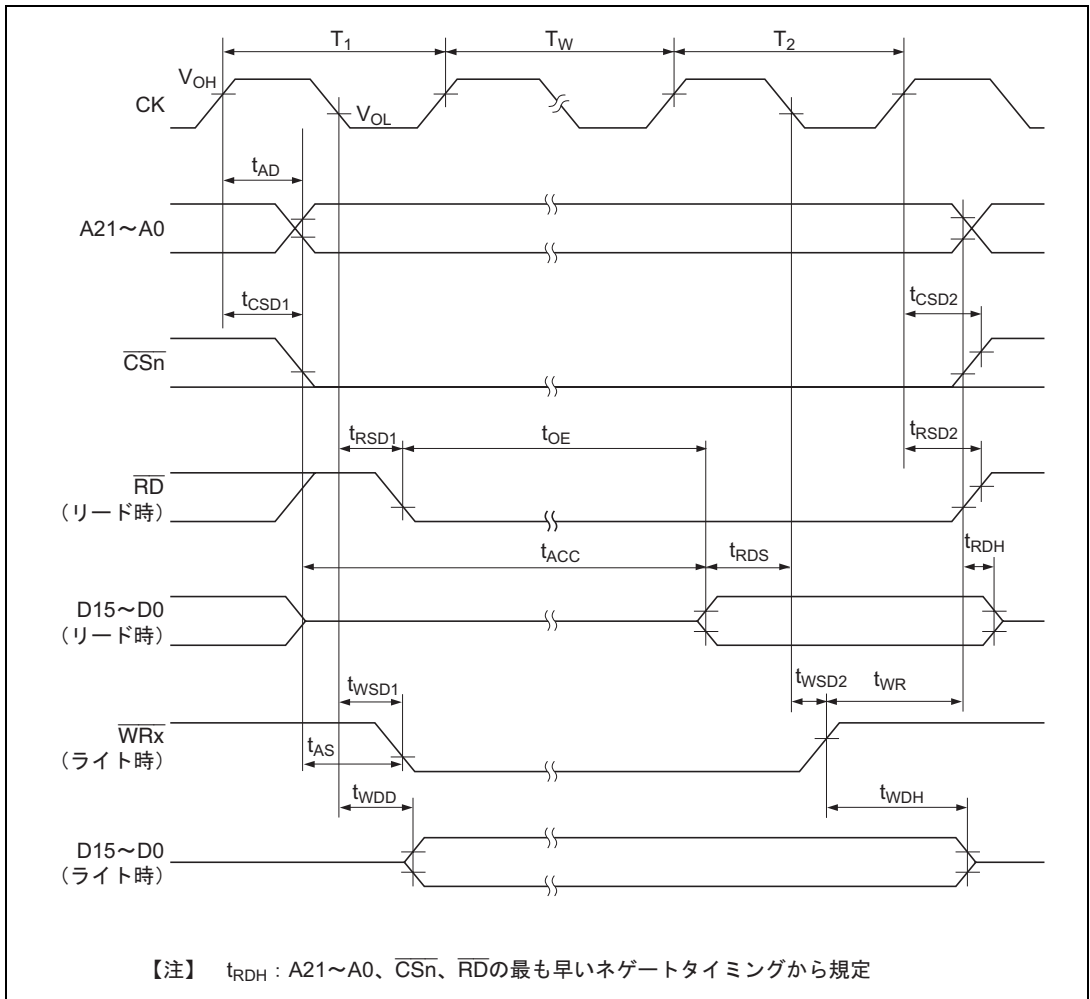
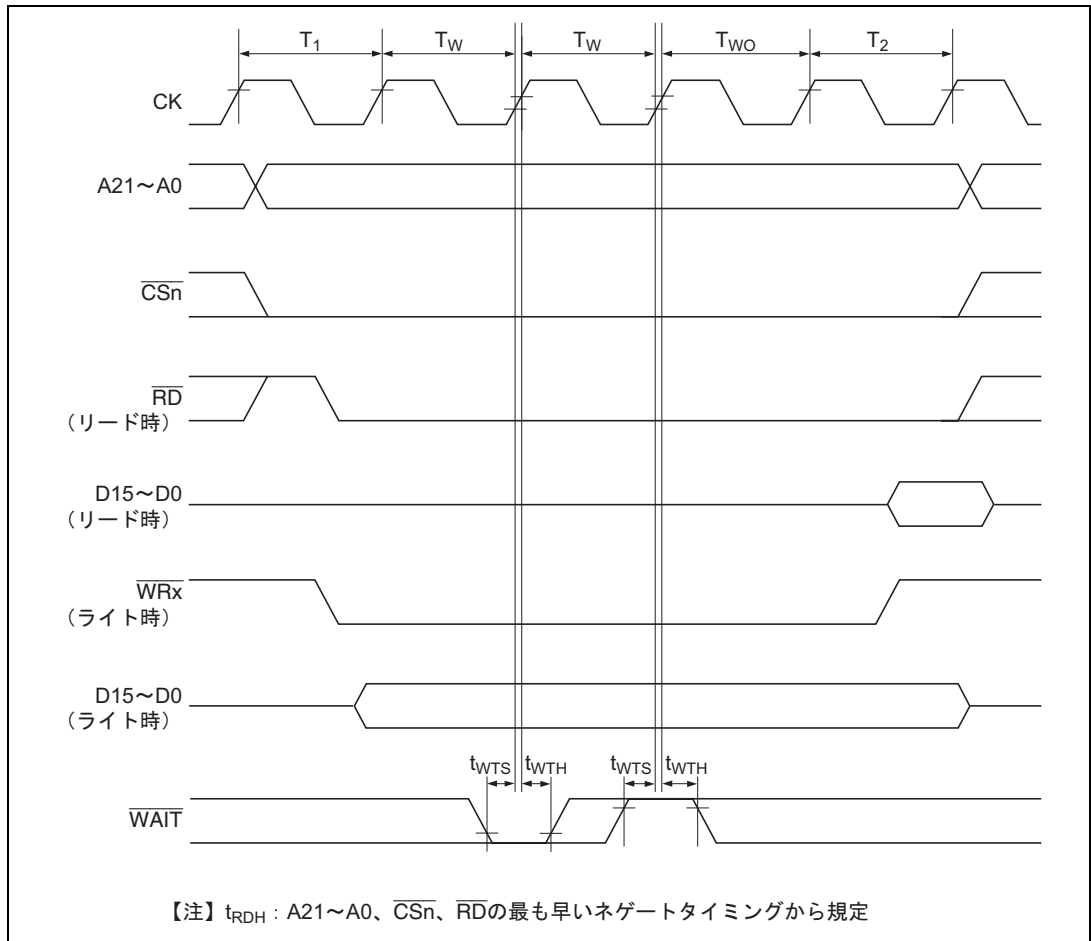


図 27.10 基本サイクル (1 ソフトウェアウェイト)

図 27.11 基本サイクル (2 ソフトウェアウェイト+ \overline{WAIT} 信号によるウェイト)

27.3.5 アドバンスドタイムユニットタイミング アドバンスドパルスコントローラタイミング

表 27.10 にアドバンスドタイムユニットタイミング、アドバンスドパルスコントローラタイミングを示します。

表 27.10 アドバンスドタイムユニットタイミングアドバンスドパルスコントローラタイミング
条件： $V_{CC}=PLL V_{CC}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL V_{SS}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	max	単位	参照図
アウトプットコンペア出力遅延時間	t_{TOCD}	—	100	ns	図 27.12
インプットキャプチャ入力セットアップ時間	t_{TICS}	24	—	ns	
PULS 出力遅延時間	t_{PLSD}	—	100	ns	
タイムクロック入力セットアップ時間	t_{TCKS}	24	—	ns	図 27.13
タイムクロックパルス幅（単エッジ指定）	$t_{TCKWH/L}$	1.5	—	tcyc	
タイムクロックパルス幅（両エッジ指定）	$t_{TCKWH/L}$	2.5	—	tcyc	

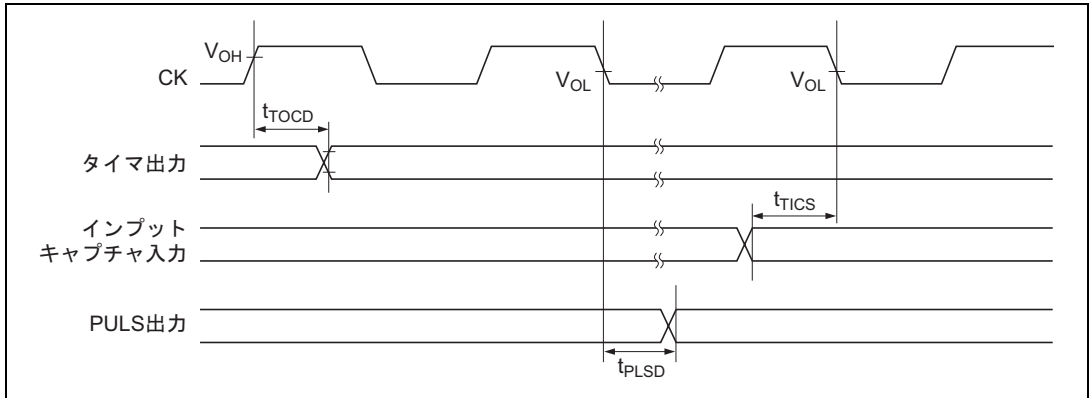


図 25.12 ATU 入出力タイミング、APC 出力タイミング

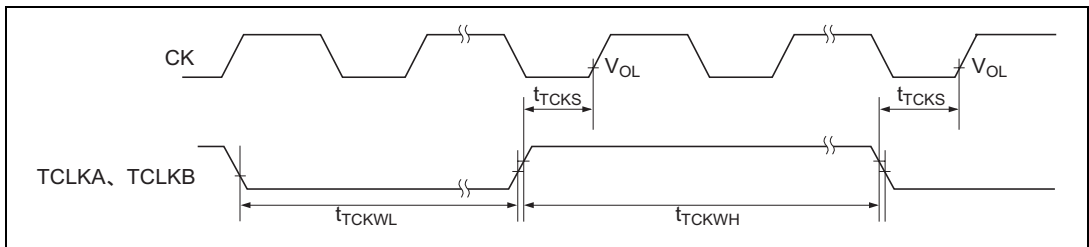


図 25.13 ATU クロック入力タイミング

27.3.6 I/O ポートタイミング

表 27.11 に I/O ポートタイミングを示します。

表 27.11 I/O ポートタイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	記号	min	max	単位	参照図
ポート出力データ遅延時間	t_{PWD}	—	100	ns	図 27.14
ポート入力ホールド時間	t_{PRH}	30	—	ns	
ポート入力セットアップ時間	t_{PRS}	30	—	ns	

【使用上の注意】

MCU シングルチップモード時の電源 PV_{CC1} の動作保証電圧は $PV_{CC1}=5.0V\pm 0.5V$ のみです。これ以外の電圧で使用しないでください。

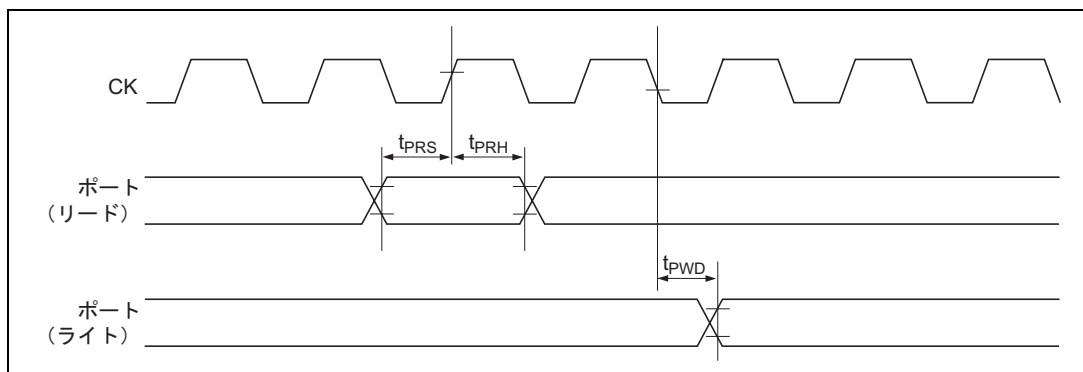


図 27.14 I/O ポート入出力タイミング

27.3.7 ウォッチドッグタイマタイミング

表 27.12 にウォッチドッグタイマタイミングを示します。

表 27.12 ウォッチドッグタイマタイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	max	単位	参照図
WDTOVF 遅延時間	t_{WOVD}	—	100	ns	図 27.15

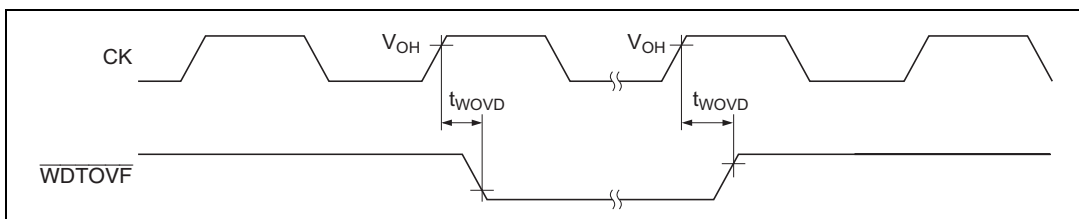


図 27.15 ウォッチドッグタイマタイミング

27.3.8 シリアルコミュニケーションインタフェースタイミング

表 27.13 にシリアルコミュニケーションインタフェースタイミングを示します。

表 27.13 シリアルコミュニケーションインタフェースタイミング

条件 : $V_{CC}=PLL V_{CC}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL V_{SS}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	max	単位	参照図
クロックサイクル	t_{scyc}	4	—	t_{cyc}	図 27.16
クロックサイクル (クロック同期)	t_{scyc}	6	—	t_{cyc}	
クロックパルス幅	t_{sckw}	0.4	0.6	t_{scyc}	
入力クロック立ち上がり時間	t_{sckr}	—	1.5	t_{cyc}	
入力クロック立ち下がり時間	t_{sckf}	—	1.5	t_{cyc}	
送信データ遅延時間	t_{TXD}	—	100	ns	図 27.17
受信データセットアップ時間	t_{RXS}	100	—	ns	
受信データホールド時間	t_{RXH}	100	—	ns	

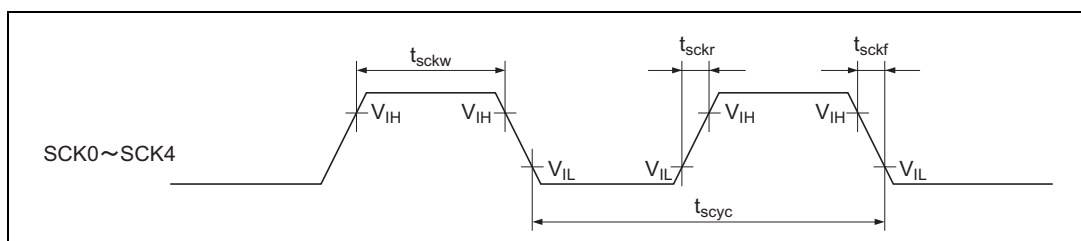


図 27.16 入力クロックタイミング

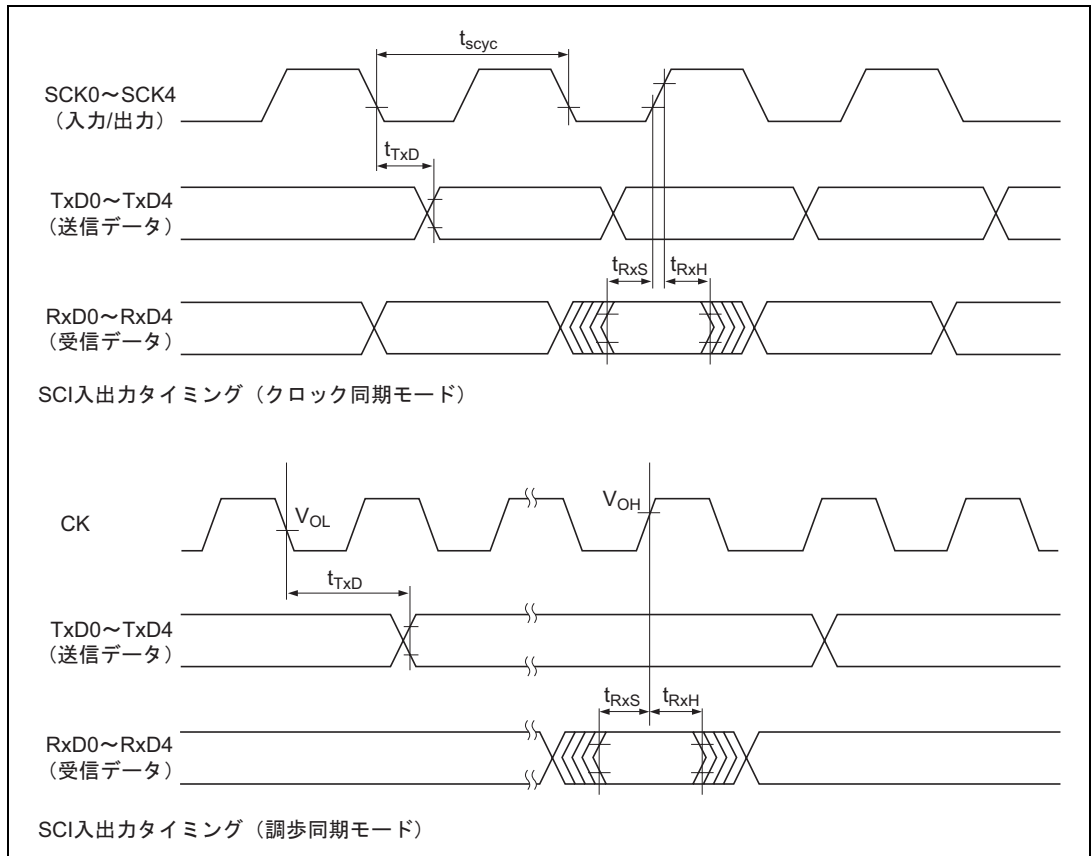


図 27.17 SCI 入出力タイミング

27.3.9 HCAN-II タイミング

表 27.14 に HCAN-II タイミングを示します。

表 27.14 HCAN-II タイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V \pm 0.3V$ 、 $PV_{CC1}=5.0V \pm 0.5V/3.3V \pm 0.3V$ 、 $PV_{CC2}=5.0V \pm 0.5V$ 、 $AV_{CC}=5.0V \pm 0.5V$ 、 $AV_{ref}=4.5V \sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40 \sim 125^\circ C$ 、 $PV_{CC1}=3.3V \pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40 \sim 85^\circ C$

項目	記号	min	max	単位	参照図
送信データ遅延時間	t_{HTxD}	—	100	ns	図 27.18
受信データセットアップ時間	t_{HRxS}	100	—	ns	
受信データホールド時間	t_{HRxH}	100	—	ns	

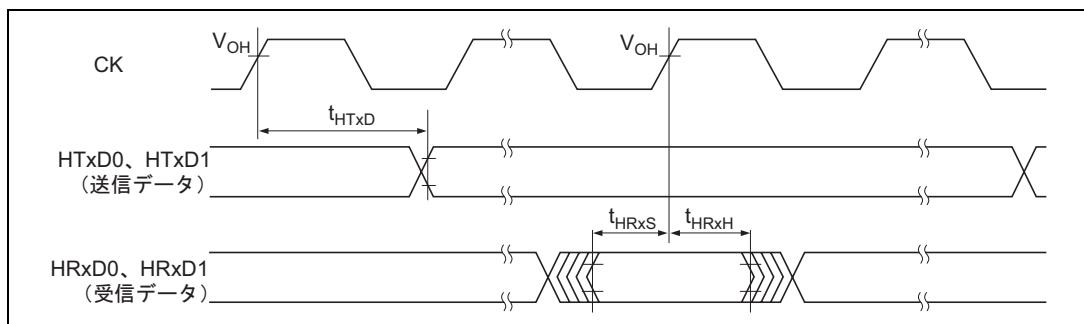


図 27.18 HCAN-II 入出力タイミング

27.3.10 A/D 変換器タイミング

表 27.15 に A/D 変換器タイミングを示します。

表 27.15 A/D 変換器タイミング

条件： $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	記号	CKS=0:fop=10~20MHz			CKS=1:fop=10MHz			単位	参照図
		min	typ	max	min	typ	max		
外部トリガ入力開始遅延時間	t_{TRGS}	50	—	—	50	—	—	ns	図 27.19
A/D 変換時間	t_{CONV}	259	—	266	131	—	134	t_{cyc}	図 27.20
A/D 変換開始遅延時間	t_D	10	—	17	6	—	9	t_{cyc}	
入力サンプリング時間	t_{SPL}	—	64	—	—	32	—	t_{cyc}	
ADEND 出力遅延時間	t_{ADENDD}	—	—	100	—	—	100	ns	

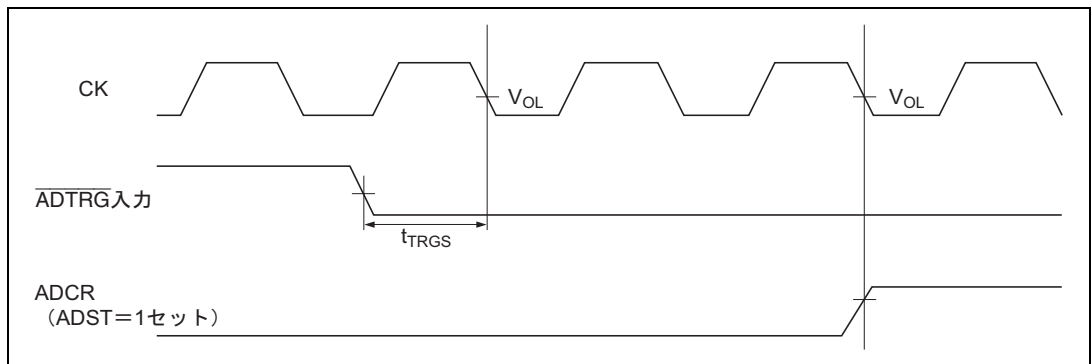


図 27.19 外部トリガ入力タイミング

27. 電気的特性

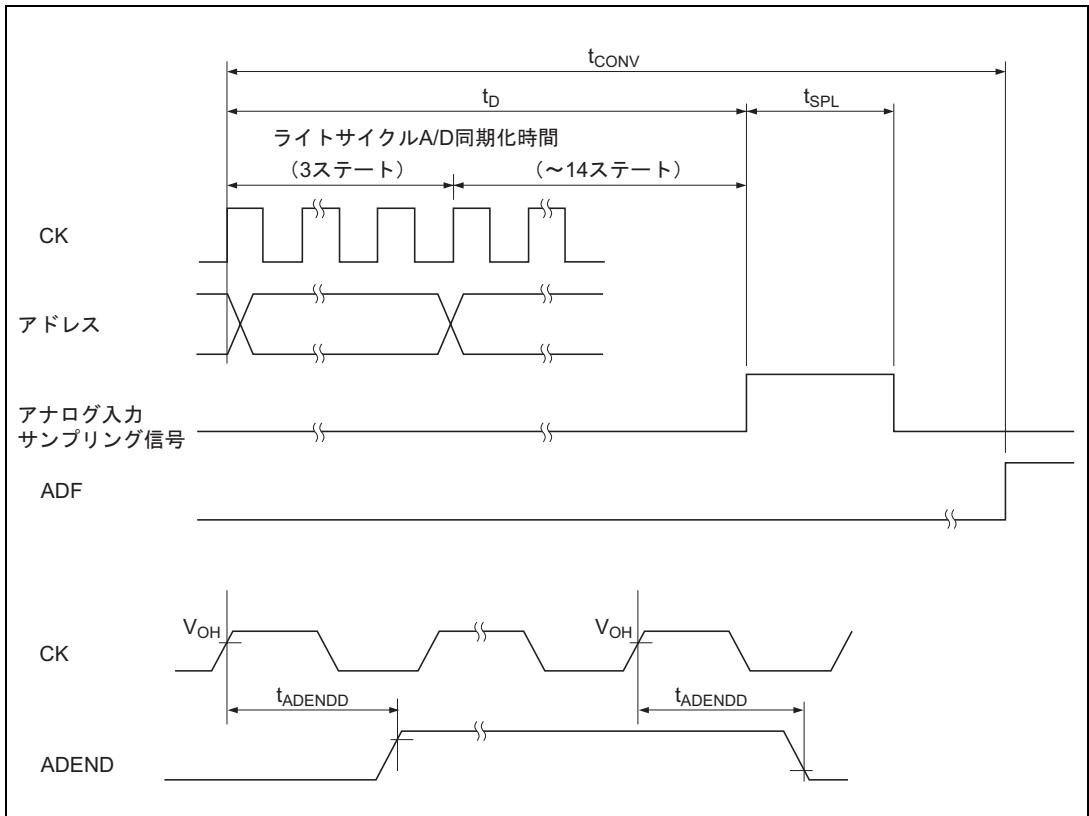


図 27.20 アナログ変換タイミング

27.3.11 H-UDI タイミング

表 27.16 に H-UDI タイミングを示します。

表 27.16 H-UDI タイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	記号	min	max	単位	参照図
TCK クロックサイクル	t_{tcyc}	2	—	t_{tcyc}	図 27.21
TCK クロックハイレベル幅	t_{TCKH}	0.4	0.6	t_{tcyc}	
TCK クロックローレベル幅	t_{TCKL}	0.4	0.6	t_{tcyc}	
TRST パルス幅	t_{TRSW}	20	—	t_{tcyc}	図 27.22
TRST セットアップ時間	t_{TRSS}	30	—	ns	
TMS セットアップ時間	t_{TMSS}	30	—	ns	図 27.23
TMS ホールド時間	t_{TMSH}	10	—	ns	
TDI セットアップ時間	t_{TDIS}	30	—	ns	
TDI ホールド時間	t_{TDIH}	10	—	ns	
TDO 遅延時間 1	t_{TDOD1}	—	30	ns	
TDO 遅延時間 2	t_{TDOD2}	—	30	ns	図 27.24

【使用上の注意】

H-UDI 端子は $V_{CC}=3.3V\pm 0.3V$ 電源の回路です。DC 特性に規定されている入力、出力電圧の規定値で使用してください。

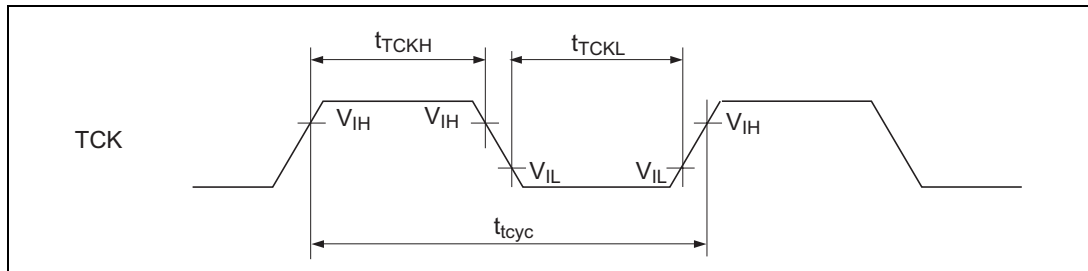


図 27.21 H-UDI クロックタイミング

27. 電気的特性

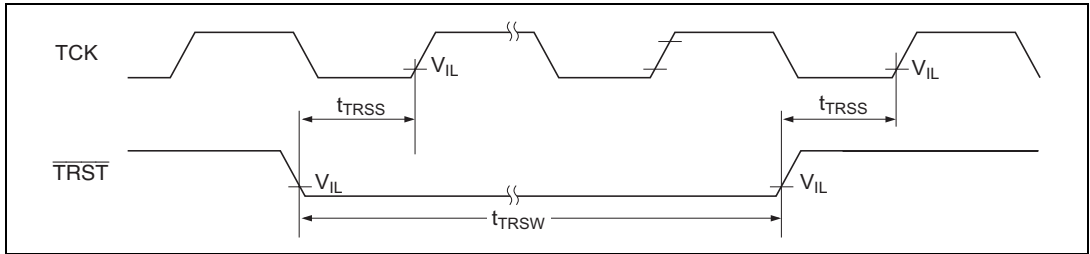


図 27.22 H-UDI TRST タイミング

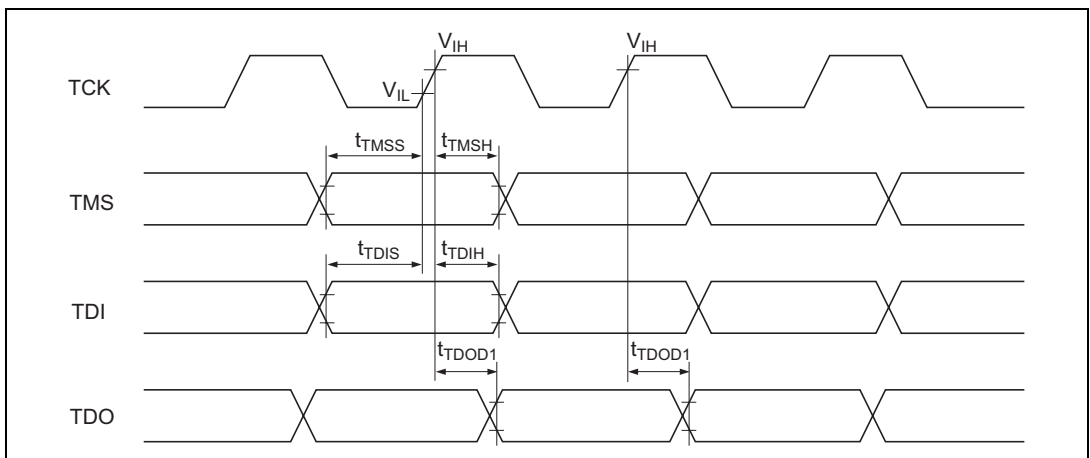


図 27.23 H-UDI 入出力タイミング

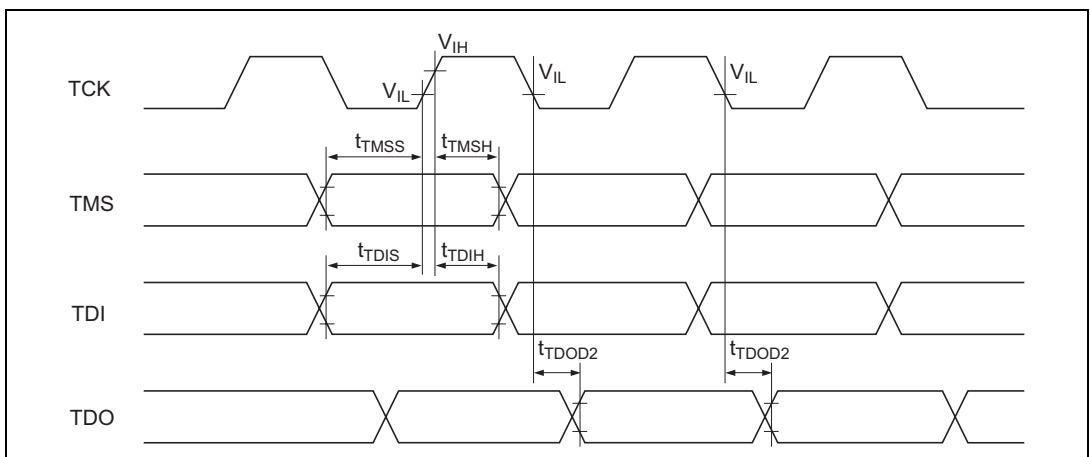


図 27.24 H-UDI 入出力タイミング (IEEE1149.1 対応のインストラクション実行時)

27.3.12 AUD タイミング

表 27.17 に AUD タイミングを示します。

表 27.17 AUD タイミング

条件 : $V_{CC}=PLL_{V_{CC}}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{V_{SS}}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	記号	min	max	単位	参照図
AUDRST パルス幅 (ブランチトレース時)	$t_{AUDRSTW}$	10	—	t_{cyc}	図 27.25
AUDRST パルス幅 (RAM モニタ時)	$t_{AUDRSTW}$	5	—	$t_{RM CYC}$	
AUDMD セットアップ時間 (ブランチトレース時)	t_{AUDMDS}	10	—	t_{cyc}	
AUDMD セットアップ時間 (RAM モニタ時)	t_{AUDMDS}	5	—	$t_{RM CYC}$	
ブランチトレースクロックサイクル	t_{BTCYC}	1	1	t_{cyc}	図 27.26
ブランチトレースクロックデューティ	t_{BTCKW}	40	60	%	
ブランチトレースデータ遅延時間	t_{BTDD}	—	40	ns	
ブランチトレースデータホールド時間	t_{BTDH}	0	—	ns	
ブランチトレース SYNC 遅延時間	t_{BTSD}	—	40	ns	
ブランチトレース SYNC ホールド時間	t_{BTSH}	0	—	ns	
RAM モニタクロックサイクル	$t_{RM CYC}$	100	—	ns	
RAM モニタクロックローパルス幅	t_{RMCKW}	45	—	ns	
RAM モニタ出力データ遅延時間	t_{RMDD}	7	$t_{RM CYC}\cdot 20$	ns	
RAM モニタ出力データホールド時間	t_{RMDHD}	5	—	ns	
RAM モニタ入力データセットアップ時間	t_{RMDS}	20	—	ns	
RAM モニタ入力データホールド時間	t_{RMDH}	5	—	ns	
RAM モニタ SYNC セットアップ時間	t_{RMSS}	20	—	ns	
RAM モニタ SYNC ホールド時間	$t_{RM SH}$	5	—	ns	

負荷条件 : AUDCK (ブランチトレース時) : $CL=30pF$ 、それ以外 $CL=100pF$

AUDSYNC : $CL=100pF$

AUDATA3~0 : $CL=100pF$

27. 電気的特性

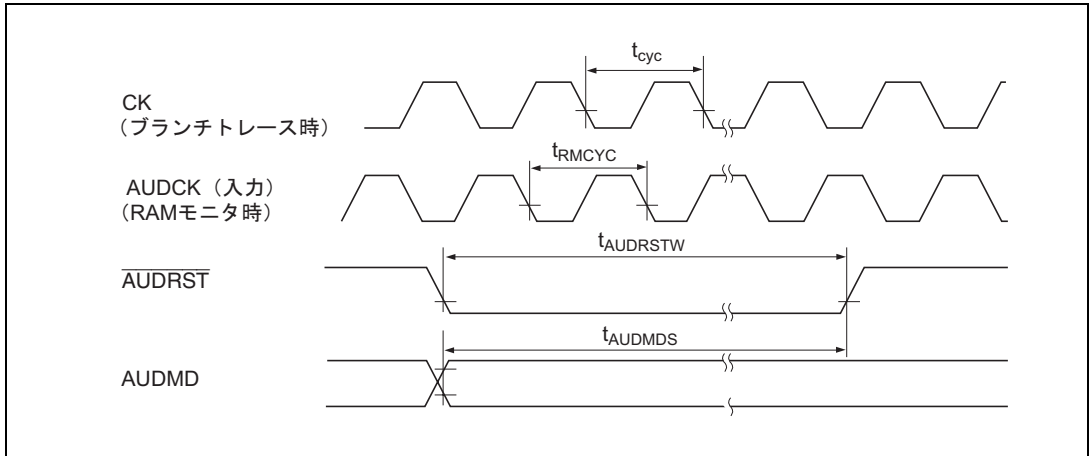


図 27.25 AUD リセットタイミング

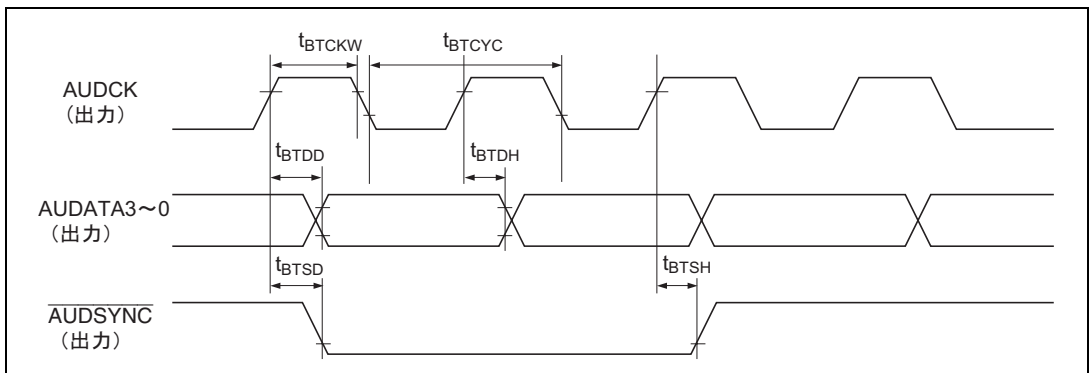


図 27.26 ブランチトレース時タイミング

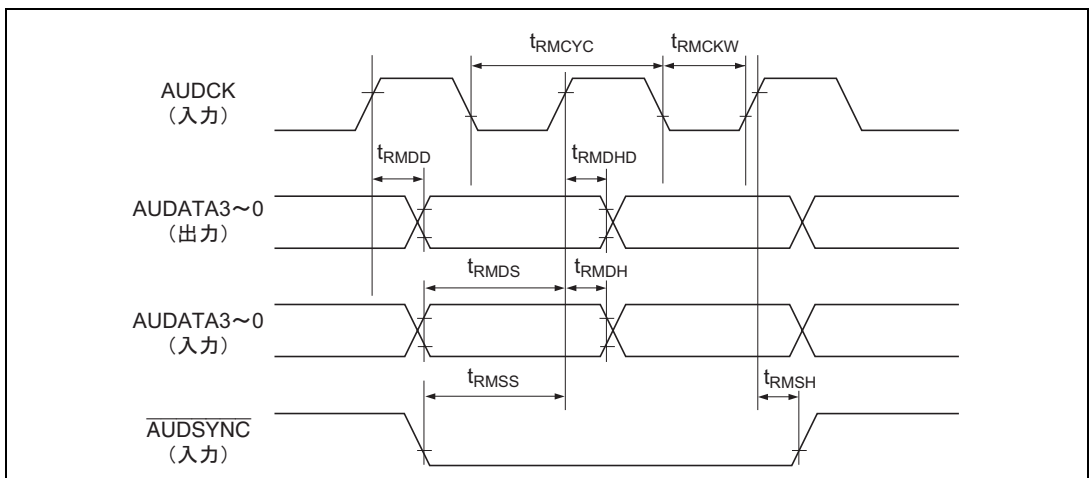


図 27.27 RAM モニタ時タイミング

27.3.13 UBC トリガタイミング

表 27.18 に UBC トリガタイミングを示します。

表 27.18 UBC トリガタイミング

条件 : $V_{CC}=PLL V_{CC}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL V_{SS}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^{\circ}C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^{\circ}C$

項目	記号	min	max	単位	参照図
UBCTRГ 遅延時間	t_{UBCTGD}	—	35	ns	図 27.28

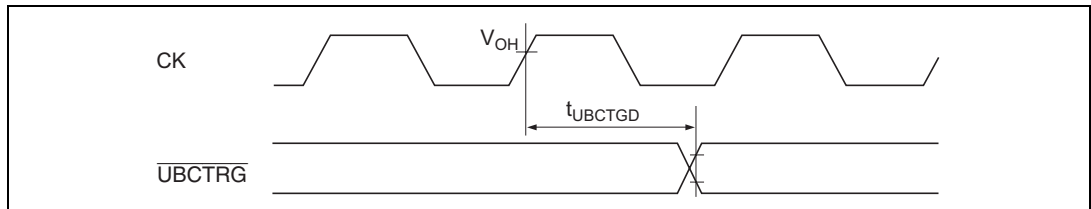


図 27.28 UBC トリガタイミング

【注】 「8.5.7 内部クロック (ϕ) の通倍比と UBCTRГ のパルス幅」を参照してください。

27.3.14 AC 特性測定条件

入力参照レベル High レベル : V_{IH} min 値、Low レベル : V_{IL} max 値

出力参照レベル High レベル : 2.0V、Low レベル : 0.8V

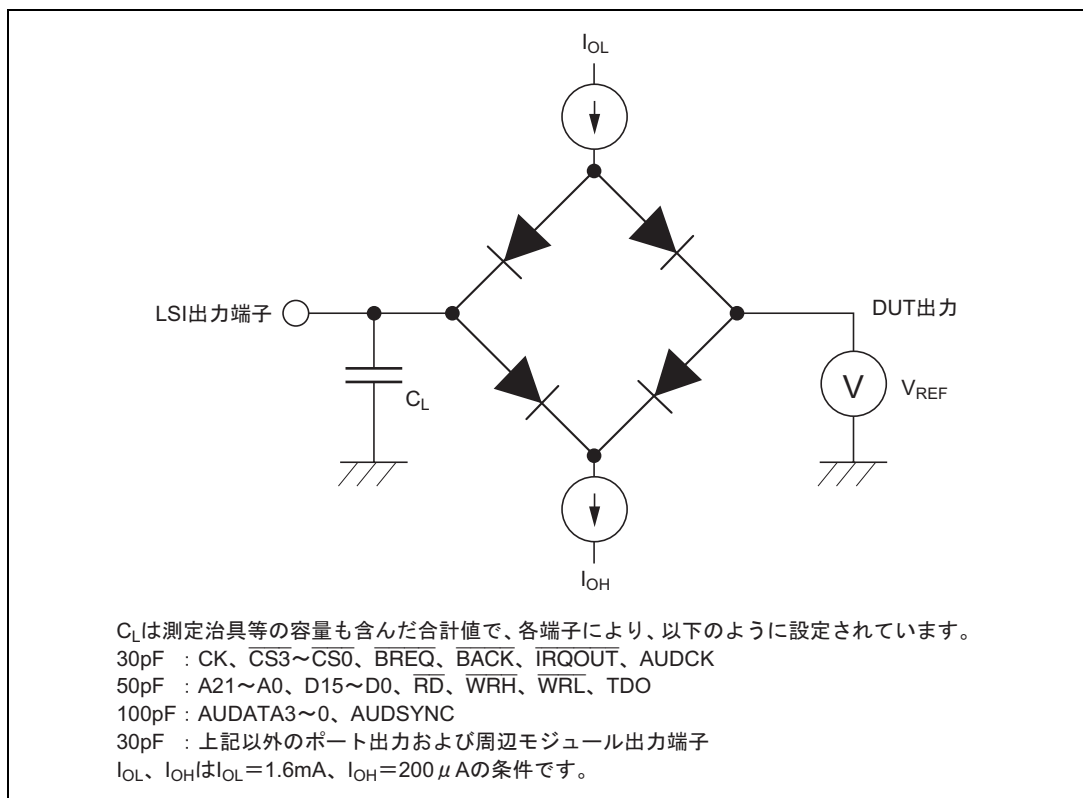


図 27.29 出力負荷回路

27.4 A/D 変換器特性

表 27.19 に A/D 変換器特性を示します。

表 27.19 A/D 変換器特性

条件 : $V_{CC}=PLL_{VCC}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

項目	CKS=0:fop=10~20MHz			CKS=1:fop=10MHz			単位
	min	typ	max	min	typ	max	
分解能	10	10	10	10	10	10	ビット
A/D 変換時間	—	—	13.3	—	—	13.4	μs
アナログ入力容量	—	—	20	—	—	20	pF
許容アナログ信号源インピーダンス	—	—	3	—	—	3	k Ω
非直線性誤差	—	—	$\pm 1.5^{*1}$ $\pm 2.0^{*2}$	—	—	$\pm 1.5^{*1}$ $\pm 2.0^{*2}$	LSB
オフセット誤差	—	—	$\pm 1.5^{*1}$ $\pm 2.0^{*2}$	—	—	$\pm 1.5^{*1}$ $\pm 2.0^{*2}$	LSB
フルスケール誤差	—	—	$\pm 1.5^{*1}$ $\pm 2.0^{*2}$	—	—	$\pm 1.5^{*1}$ $\pm 2.0^{*2}$	LSB
量子化誤差	—	—	± 0.5	—	—	± 0.5	LSB
絶対誤差	—	—	$\pm 2.0^{*1}$ $\pm 2.5^{*2}$	—	—	$\pm 2.0^{*1}$ $\pm 2.5^{*2}$	LSB

【注】 *1 $T_a\leq 105^\circ C$

*2 $T_a> 105^\circ C$

27.5 フラッシュメモリ特性

表 27.20 にフラッシュメモリ特性を示します。

表 27.20 フラッシュメモリ特性

条件 : $V_{CC}=PLL_{VCC}=3.3V\pm 0.3V$ 、 $PV_{CC1}=5.0V\pm 0.5V/3.3V\pm 0.3V$ 、 $PV_{CC2}=5.0V\pm 0.5V$ 、 $AV_{CC}=5.0V\pm 0.5V$ 、 $AV_{ref}=4.5V\sim AV_{CC}$ 、 $V_{SS}=PLL_{VSS}=AV_{SS}=0V$ 、 $T_a=-40\sim 125^\circ C$ 、 $PV_{CC1}=3.3V\pm 0.3V$ 時は $V_{CC}=PV_{CC1}$ 、
内蔵フラッシュメモリの W/E 時は $T_a=-40\sim 85^\circ C$

表 27.20 フラッシュメモリ特性

項目	記号	min	typ	max	単位
書き込み時間*1*2*4	t_P	-	3	200	ms/128 バイト
消去時間*1*3*5	t_E	-	2	20	s/ブロック
書き換え回数	N_{WEC}	100	-	-	回

- *1 書き込み/消去は内蔵の書き込み/消去ルーチンを使用してください。
- *2 all0 書き込みの場合。
- *3 128kB ブロックの場合。
- *4 総書き換え時間（書き込み時間+消去時間）は以下のようになります。
40s (typ)、参考値 60s、80s (max)
ただし、参考値以内に入るのは 90% です。
- *5 t_P 、 t_E は typ 値近傍を中心に分布します。

27.6 使用上の注意

27.6.1 V_{CL} コンデンサ接続方法

SH7058Fでは、マイコン内部の電源電圧を自動的に最適なレベルに電圧降下するための内部降圧回路を内蔵しています。この内部降圧電源 (V_{CL} 端子) と V_{SS} 端子間には、内部電圧安定用のコンデンサ ($0.33\sim 0.47\ \mu\text{F}$) を接続する必要があります。外付けコンデンサ接続方法を図 27.30 に示します。外付けコンデンサは端子の近くに配置してください。 V_{CL} 端子には、電源電圧を印加しないでください。

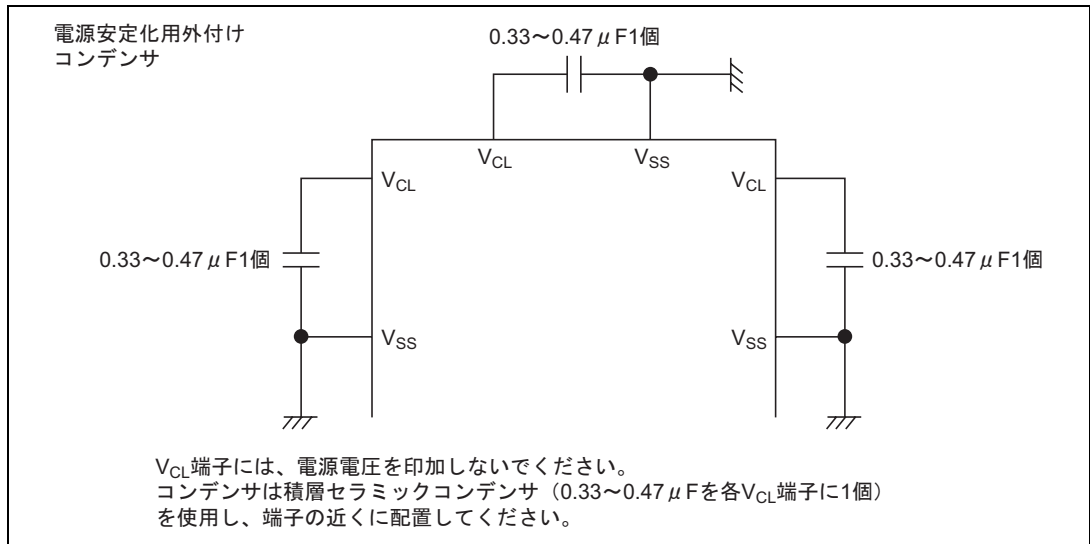


図 27.30 V_{CL} コンデンサ接続方法

27.6.2 モード端子入力に関する注意事項

本電气的特性は、表 27.3 に規定しているモード端子（FWE、MD2～0）の組み合わせに対して特性を規定しています。表 27.3 の組み合わせ以外は特性の保証はできません。

電源投入時およびハードウェアスタンバイ時のモードセットアップ時間は、 t_{MDS1} で規定されます。

\overline{RES} 端子のみによるパワーオンリセット時のモードセットアップ時間は、FWE,MD2～0 端子に入力する組み合わせにより規定が異なります。FWE,MD2～0 端子に、表 27.3 で規定しているモードを入力し動作している状態で \overline{RES} 端子にローレベルを入力した場合は、 t_{MDS2} で規定されますが、FWE,MD2～0 端子に、表 27.3 で規定している組み合わせ以外の組み合わせを入力した場合は、 t_{MDS1} で規定されます。

表 27.21 モード端子入力タイミング

項目	記号	min	typ	max	単位	備考
モードセットアップ時間 1	t_{MDS1}	30	-	-	ms	図 27.31
モードセットアップ時間 2	t_{MDS2}	10	-	-	t _{cy}	

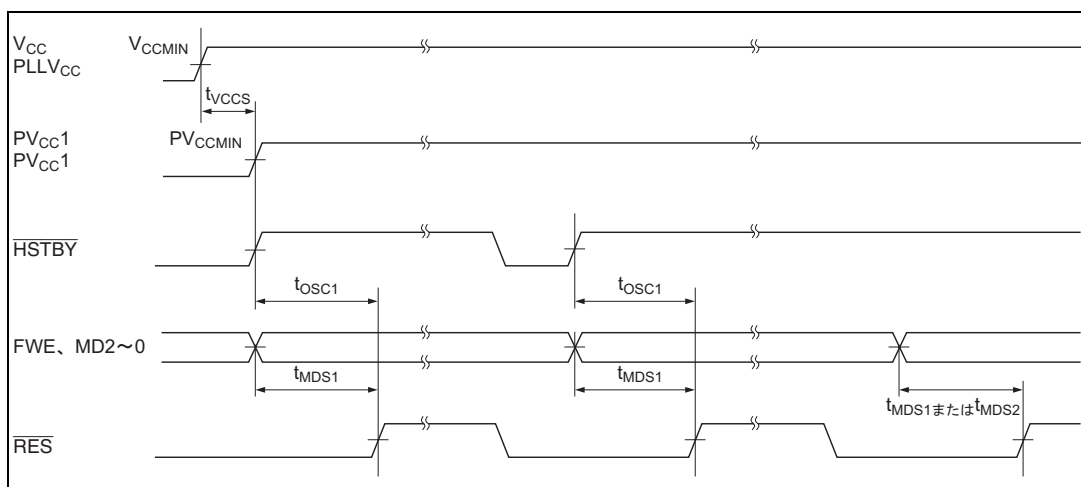


図 27.31 モード端子入力タイミング

付録

A. 内蔵周辺モジュールレジスタ

A.1 アドレス一覧

内蔵周辺モジュールのレジスタのアドレスとビット名を以下に示します。
16 ビット、32 ビットレジスタは、8 ビットずつ 2 段または 4 段で表しています。

表 A.1 アドレス一覧

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF000	MCR	—	—	—	—	—	—	—	—	HCAN0 (チャンネル0)
H'FFFFFF001		MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0	
H'FFFFFF002	GSR	—	—	—	—	—	—	—	—	
H'FFFFFF003		—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
H'FFFFFF004	BCR1	TSEG13	TSEG12	TSEG11	TSEG10	—	TSEG22	TSEG21	TSEG20	
H'FFFFFF005		—	—	SJW1	SJW0	—	—	—	BSP	
H'FFFFFF006	BCR0	—	—	—	—	—	—	—	—	
H'FFFFFF007		BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
H'FFFFFF008	IRR	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	
H'FFFFFF009		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
H'FFFFFF00A	IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
H'FFFFFF00B		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
H'FFFFFF00C	TEC/	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
H'FFFFFF00D	REC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
H'FFFFFF020	TXPR1	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]	
H'FFFFFF021		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]	
H'FFFFFF022	TXPR0	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]	
H'FFFFFF023		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	—	
H'FFFFFF028	TXCR1	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]	
H'FFFFFF029		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]	
H'FFFFFF02A	TXCR0	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]	
H'FFFFFF02B		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	—	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD030	TXACK1	TXACK1 [15]	TXACK1 [14]	TXACK1 [13]	TXACK1 [12]	TXACK1 [11]	TXACK1 [10]	TXACK1 [9]	TXACK1 [8]	HCAN0 (チャンネル0)
H'FFFFD031		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]	
H'FFFFD032	TXACK0	TXACK0 [15]	TXACK0 [14]	TXACK0 [13]	TXACK0 [12]	TXACK0 [11]	TXACK0 [10]	TXACK0 [9]	TXACK0 [8]	
H'FFFFD033		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	TXACK0[0]	
H'FFFFD038	ABACK1	ABACK1 [15]	ABACK1 [14]	ABACK1 [13]	ABACK1 [12]	ABACK1 [11]	ABACK1 [10]	ABACK1 [9]	ABACK1 [8]	
H'FFFFD039		ABACK1 [7]	ABACK1 [6]	ABACK1 [5]	ABACK1 [4]	ABACK1 [3]	ABACK1 [2]	ABACK1 [1]	ABACK1 [0]	
H'FFFFD03A	ABACK0	ABACK0 [15]	ABACK0 [14]	ABACK0 [13]	ABACK0 [12]	ABACK0 [11]	ABACK0 [10]	ABACK0 [9]	ABACK0 [8]	
H'FFFFD03B		ABACK0 [7]	ABACK0 [6]	ABACK0 [5]	ABACK0 [4]	ABACK0 [3]	ABACK0 [2]	ABACK0 [1]	—	
H'FFFFD040	RXPR1	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]	
H'FFFFD041		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]	
H'FFFFD042	RXPR0	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0 [9]	RXPR0[8]	
H'FFFFD043		RXPR0 [7]	RXPR0 [6]	RXPR0[5]	RXPR0[4]	RXPR0 [3]	RXPR0[2]	RXPR0[1]	RXPR0 [0]	
H'FFFFD048	RFPR1	RFPR1 [15]	RFPR1 [14]	RFPR1 [13]	RFPR1 [12]	RFPR1 [11]	RFPR1 [10]	RFPR1 [9]	RFPR1 [8]	
H'FFFFD049		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]	
H'FFFFD04A	RFPR0	RFPR0 [15]	RFPR0 [14]	RFPR0 [13]	RFPR0 [12]	RFPR0 [11]	RFPR0 [10]	RFPR0 [9]	RFPR0 [8]	
H'FFFFD04B		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]	
H'FFFFD050	MBIMR1	MBIMR1 [15]	MBIMR1 [14]	MBIMR1 [13]	MBIMR1 [12]	MBIMR1 [11]	MBIMR1 [10]	MBIMR1 [9]	MBIMR1 [8]	
H'FFFFD051		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]	
H'FFFFD052	MBIMR0	MBIMR0 [15]	MBIMR0 [14]	MBIMR0 [13]	MBIMR0 [12]	MBIMR0 [11]	MBIMR0 [10]	MBIMR0 [9]	MBIMR0 [8]	
H'FFFFD053		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]	
H'FFFFD058	UMSR1	UMSR1 [15]	UMSR1 [14]	UMSR1 [13]	UMSR1 [12]	UMSR1 [11]	UMSR1 [10]	UMSR1 [9]	UMSR1 [8]	
H'FFFFD059		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]	
H'FFFFD05A	UMSR0	UMSR0 [15]	UMSR0 [14]	UMSR0 [13]	UMSR0 [12]	UMSR0 [11]	UMSR0 [10]	UMSR0 [9]	UMSR0 [8]	
H'FFFFD05B		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]	
H'FFFFD05C -7F		—	—	—	—	—	—	—	—	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD080	TCNTR	TCNTR15	TCNTR14	TCNTR13	TCNTR12	TCNTR11	TCNTR10	TCNTR9	TCNTR8	HCAN0 (チャンネル0)
H'FFFFD081		TCNTR7	TCNTR6	TCNTR5	TCNTR4	TCNTR3	TCNTR2	TCNTR1	TCNTR0	
H'FFFFD082	TCR	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	TCR9	—	
H'FFFFD083		TCR7	—	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
H'FFFFD084	TSR	—	—	—	—	—	—	—	—	
H'FFFFD085		—	—	—	TSR4	TSR3	TSR2	TSR1	TSR0	
H'FFFFD086	TDCR	TDCR15	TDCR14	TDCR13	TDCR12	TDCR11	TDCR10	TDCR9	TDCR8	
H'FFFFD087		TDCR7	TDCR6	TDCR5	TDCR4	TDCR3	TDCR2	TDCR1	TDCR0	
H'FFFFD088	LOSR	LOSR15	LOSR14	LOSR13	LOSR12	LOSR11	LOSR10	LOSR9	LOSR8	
H'FFFFD089		LOSR7	LOSR6	LOSR5	LOSR4	LOSR3	LOSR2	LOSR1	LOSR0	
H'FFFFD08A	ICR0_cc	—	—	—	—	—	—	—	—	
H'FFFFD08B		—	—	—	—	ICCR0_cc 3	ICCR0_cc 2	ICCR0_cc 1	ICCR0_cc 0	
H'FFFFD08C	ICR0_tm	ICR0_tm 15	ICR0_tm 14	ICR0_tm 13	ICR0_tm 12	ICR0_tm 11	ICR0_tm 10	ICR0_tm9	ICR0_tm8	
H'FFFFD08D		ICR0_tm7	ICR0_tm6	ICR0_tm5	ICR0_tm4	ICR0_tm3	ICR0_tm2	ICR0_tm1	ICR0_tm0	
H'FFFFD08E	ICR1	ICR1[15]	ICR1[14]	ICR1[13]	ICR1[12]	ICR1[11]	ICR1[10]	ICR1[9]	ICR1[8]	
H'FFFFD08F		ICR1[7]	ICR1[6]	ICR1[5]	ICR1[4]	ICR1[3]	ICR1[2]	ICR1[1]	ICR1[0]	
H'FFFFD090	TCMR0	TCMR0 [15]	TCMR0 [14]	TCMR0 [13]	TCMR0 [12]	TCMR0 [11]	TCMR0 [10]	TCMR0 [9]	TCMR0 [8]	
H'FFFFD091		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]	
H'FFFFD092	TCMR1	TCMR1 [15]	TCMR1 [14]	TCMR1 [13]	TCMR1 [12]	TCMR1 [11]	TCMR1 [10]	TCMR1 [9]	TCMR1 [8]	
H'FFFFD093		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]	
H'FFFFD094	TCMR2	TCMR2 [15]	TCMR2 [14]	TCMR2 [13]	TCMR2 [12]	TCMR2 [11]	TCMR2 [10]	TCMR2 [9]	TCMR2 [8]	
H'FFFFD095		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]	
H'FFFFD096	CCR	—	—	—	—	—	—	—	—	
H'FFFFD097		—	—	—	—	CCR3	CCR2	CCR1	CCR0	
H'FFFFD098	CMAX	—	—	—	—	—	—	—	—	
H'FFFFD099		—	—	—	—	CMAX3	CMAX2	CMAX1	CMAX0	
H'FFFFD09A	TMR	—	—	—	—	—	—	—	—	
H'FFFFD09B		—	—	—	—	TMR3	TMR2	TMR1	—	
H'FFFFD09C	CCR-buf	—	—	—	—	—	—	—	—	
H'FFFFD09D		—	—	—	—	CCR-buf3	CCR-buf2	CCR-buf1	CCR-buf0	
H'FFFFD09E	ICR0-buf	—	—	—	—	—	—	—	—	
H'FFFFD09F		—	—	—	—	ICR0-buf3	ICR0-buf2	ICR0-buf1	ICR0-buf0	
H'FFFFD0A0 -FF	—	—	—	—	—	—	—	—	—	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD100	MB0[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャネル0)
H'FFFFD101		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD102	MB0[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD103		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD104	MB0[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD105		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD106	MB0[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD107		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD108	MB0[7], [8]*	MSG_DATA_0								
H'FFFFD109		MSG_DATA_1								
H'FFFFD10A	MB0[9], [10]	MSG_DATA_2								
H'FFFFD10B		MSG_DATA_3								
H'FFFFD10C	MBx[11], [12]	MSG_DATA_4								
H'FFFFD10D		MSG_DATA_5								
H'FFFFD10E	MB0[13], [14]	MSG_DATA_6								
H'FFFFD10F		MSG_DATA_7								
H'FFFFD110	MB0[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD111		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD112	MB0[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD113		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD114-1F	—	—	—	—	—	—	—	—	—	—
H'FFFFD120	MB1[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャネル0)
H'FFFFD121		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD122	MB1[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD123		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD124	MB1[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD125		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD126	MB1[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD127		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD128	MB1[7], [8]*	MSG_DATA_0								
H'FFFFD129		MSG_DATA_1								
H'FFFFD12A	MB1[9], [10]	MSG_DATA_2								
H'FFFFD12B		MSG_DATA_3								
H'FFFFD12C	MB1[11], [12]	MSG_DATA_4								
H'FFFFD12D		MSG_DATA_5								
H'FFFFD12E	MB1[13], [14]	MSG_DATA_6								
H'FFFFD12F		MSG_DATA_7								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD130	MB1[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN0 (チャンネル0)
H'FFFFD131		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD132	MB1[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD133		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD134- 3F		—	—	—	—	—	—	—	—	—
H'FFFFD140	MB2[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD141		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD142	MB2[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD143		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD144	MB2[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD145		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD146	MB2[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD147		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD148	MB2[7],	MSG_DATA_0								
H'FFFFD149	[8]*	MSG_DATA_1								
H'FFFFD14A	MB2[9],	MSG_DATA_2								
H'FFFFD14B	[10]	MSG_DATA_3								
H'FFFFD14C	MB2[11],	MSG_DATA_4								
H'FFFFD14D	[12]	MSG_DATA_5								
H'FFFFD14E	MB2[13],	MSG_DATA_6								
H'FFFFD14F	[14]	MSG_DATA_7								
H'FFFFD150	MB2[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD151		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD152	MB2[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD153		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD154- 5F		—	—	—	—	—	—	—	—	—
H'FFFFD160	MB3[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD161		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD162	MB3[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD163		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD164	MB3[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD165		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD166	MB3[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN0 (チャンネル0)
H'FFFFD167		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD168	MB3[7], [8]*	MSG_DATA_0								
H'FFFFD169		MSG_DATA_1								
H'FFFFD16A	MB3[9], [10]	MSG_DATA_2								
H'FFFFD16B		MSG_DATA_3								
H'FFFFD16C	MB3[11], [12]	MSG_DATA_4								
H'FFFFD16D		MSG_DATA_5								
H'FFFFD16E	MB3[13], [14]	MSG_DATA_6								
H'FFFFD16F		MSG_DATA_7								
H'FFFFD170	MB3[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD171		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD172	MB3[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD173		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD174- 7F		—	—	—	—	—	—	—	—	
H'FFFFD180	MB4[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD181		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD182	MB4[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD183		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD184	MB4[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD185		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD186	MB4[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD187		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD188	MB4[7], [8]*	MSG_DATA_0								
H'FFFFD189		MSG_DATA_1								
H'FFFFD18A	MB4[9], [10]	MSG_DATA_2								
H'FFFFD18B		MSG_DATA_3								
H'FFFFD18C	MB4[11], [12]	MSG_DATA_4								
H'FFFFD18D		MSG_DATA_5								
H'FFFFD18E	MB4[13], [14]	MSG_DATA_6								
H'FFFFD18F		MSG_DATA_7								
H'FFFFD190	MB4[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD191		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD192	MB4[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN0 (チャンネル0)
H'FFFFD193		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD194- 9F		—	—	—	—	—	—	—	—	
H'FFFFD1A0	MB5[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD1A1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD1A2	MB5[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD1A3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD1A4	MB5[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD1A5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD1A6	MB5[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD1A7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD1A8	MB5 [7], [8]*	MSG_DATA_0								
H'FFFFD1A9		MSG_DATA_1								
H'FFFFD1AA	MB5 [9], [10]	MSG_DATA_2								
H'FFFFD1AB		MSG_DATA_3								
H'FFFFD1AC	MB5[11], [12]	MSG_DATA_4								
H'FFFFD1AD		MSG_DATA_5								
H'FFFFD1AE	MB5[13], [14]	MSG_DATA_6								
H'FFFFD1AF		MSG_DATA_7								
H'FFFFD1B0	MB5[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD1B1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD1B2	MB5[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD1B3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD1B4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFD1C0	MB6[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD1C1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD1C2	MB6[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD1C3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD1C4	MB6[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD1C5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD1C6	MB6[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD1C7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD1C8	MB6[7], [8]*	MSG_DATA_0								
H'FFFFD1C9		MSG_DATA_1								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD1CA	MB6[9], [10]	MSG_DATA_2								HCAN0 (チャンネル0)
H'FFFFD1CB		MSG_DATA_3								
H'FFFFD1CC	MB6[11], [12]	MSG_DATA_4								
H'FFFFD1CD		MSG_DATA_5								
H'FFFFD1CE	MB6[13], [14]	MSG_DATA_6								
H'FFFFD1CF		MSG_DATA_7								
H'FFFFD1D0	MB6[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD1D1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD1D2	MB6[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD1D3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD1D4-DF		—	—	—	—	—	—	—	—	—
H'FFFFD1E0	MB7[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD1E1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD1E2	MB7[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD1E3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD1E4	MB7[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD1E5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD1E6	MB7[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD1E7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD1E8	MB7[7], [8]*	MSG_DATA_0								
H'FFFFD1E9		MSG_DATA_1								
H'FFFFD1EA	MB7[9], [10]	MSG_DATA_2								
H'FFFFD1EB		MSG_DATA_3								
H'FFFFD1EC	MB7[11], [12]	MSG_DATA_4								
H'FFFFD1ED		MSG_DATA_5								
H'FFFFD1EE	MB7[13], [14]	MSG_DATA_6								
H'FFFFD1EF		MSG_DATA_7								
H'FFFFD1F0	MB7[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD1F1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD1F2	MB7[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD1F3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD1F4-FF		—	—	—	—	—	—	—	—	—

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD200	MB8[0],	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD201	[1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD202	MB8[2],	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD203	[3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD204	MB8[4],	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD205	[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD206	MB8[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD207		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD208	MB8[7],	MSG_DATA_0								
H'FFFFD209	[8]*	MSG_DATA_1								
H'FFFFD20A	MB8[9],	MSG_DATA_2								
H'FFFFD20B	[10]	MSG_DATA_3								
H'FFFFD20C	MB8[11],	MSG_DATA_4								
H'FFFFD20D	[12]	MSG_DATA_5								
H'FFFFD20E	MB8[13],	MSG_DATA_6								
H'FFFFD20F	[14]	MSG_DATA_7								
H'FFFFD210	MB8[15],	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD211	[16]	STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD212	MB8[17],	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD213	[18]	EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD214- 1F		—	—	—	—	—	—	—	—	
H'FFFFD220	MB9[0],	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD221	[1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD222	MB9[2],	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD223	[3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD224	MB9[4],	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD225	[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD226	MB9[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD227		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD228	MB9[7],	MSG_DATA_0								
H'FFFFD229	[8]*	MSG_DATA_1								
H'FFFFD22A	MB9[9],	MSG_DATA_2								
H'FFFFD22B	[10]	MSG_DATA_3								
H'FFFFD22C	MB9[11],	MSG_DATA_4								
H'FFFFD22D	[12]	MSG_DATA_5								
H'FFFFD22E	MB9[13],	MSG_DATA_6								
H'FFFFD22F	[14]	MSG_DATA_7								

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFD230	MB9[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN0 (チャンネル0)	
H'FFFFD231		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]		
H'FFFFD232	MB9[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]		
H'FFFFD233		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]		
H'FFFFD234- 3F		—	—	—	—	—	—	—	—	—	
H'FFFFD240	MB10[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)	
H'FFFFD241		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]		
H'FFFFD242	MB10[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]		
H'FFFFD243		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]		
H'FFFFD244	MB10[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]		
H'FFFFD245		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]		
H'FFFFD246	MB10[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]		
H'FFFFD247		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]		
H'FFFFD248	MB10[7],	MSG_DATA_0									
H'FFFFD249	[8]*	MSG_DATA_1									
H'FFFFD24A	MB10[9],	MSG_DATA_2									
H'FFFFD24B	[10]	MSG_DATA_3									
H'FFFFD24C	MB10	MSG_DATA_4									
H'FFFFD24D	[11], [12]	MSG_DATA_5									
H'FFFFD24E	MB10	MSG_DATA_6									
H'FFFFD24F	[13],[14]	MSG_DATA_7									
H'FFFFD250	MB10 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]		
H'FFFFD251		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]		
H'FFFFD252	MB10 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]		
H'FFFFD253		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]		
H'FFFFD254- 5F		—	—	—	—	—	—	—	—		—
H'FFFFD260	MB11 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]		HCAN0 (チャンネル0)
H'FFFFD261		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]		
H'FFFFD262	MB11 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]		
H'FFFFD263		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]		
H'FFFFD264	MB11[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]		
H'FFFFD265		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]		

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD266	MB11[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN0 (チャンネル0)
H'FFFFD267		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD268	MB11[7], [8]*	MSG_DATA_0								
H'FFFFD269		MSG_DATA_1								
H'FFFFD26A	MB11[9], [10]	MSG_DATA_2								
H'FFFFD26B		MSG_DATA_3								
H'FFFFD26C	MB11 [11], [12]	MSG_DATA_4								
H'FFFFD26D		MSG_DATA_5								
H'FFFFD26E	MB11 [13], [14]	MSG_DATA_6								
H'FFFFD26F		MSG_DATA_7								
H'FFFFD270	MB11 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD271		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD272	MB11 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD273		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD274- 7F		—	—	—	—	—	—	—	—	—
H'FFFFD280	MB12[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD281		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD282	MB12[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD283		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD284	MB12[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD285		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD286	MB12[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD287		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD288	MB12[7], [8]*	MSG_DATA_0								
H'FFFFD289		MSG_DATA_1								
H'FFFFD28A	MB12[9], [10]	MSG_DATA_2								
H'FFFFD28B		MSG_DATA_3								
H'FFFFD28C	MB12 [11], [12]	MSG_DATA_4								
H'FFFFD28D		MSG_DATA_5								
H'FFFFD28E	MB12 [13], [14]	MSG_DATA_6								
H'FFFFD28F		MSG_DATA_7								
H'FFFFD290	MB12 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD291		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD292	MB12 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN0 (チャンネル0)
H'FFFFD293		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD294- 9F		—	—	—	—	—	—	—	—	
H'FFFFD2A0	MB13 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD2A1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD2A2	MB13 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD2A3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD2A4	MB13[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD2A5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD2A6	MB13[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD2A7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD2A8	MB13[7], [8]*	MSG_DATA_0								
H'FFFFD2A9		MSG_DATA_1								
H'FFFFD2AA	MB13[9], [10]	MSG_DATA_2								
H'FFFFD2AB		MSG_DATA_3								
H'FFFFD2AC	MB13 [11], [12]	MSG_DATA_4								
H'FFFFD2AD		MSG_DATA_5								
H'FFFFD2AE	MB13 [13], [14]	MSG_DATA_6								
H'FFFFD2AF		MSG_DATA_7								
H'FFFFD2B0	MB13 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD2B1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD2B2	MB13 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD2B3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD2B4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFD2C0	MB14 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD2C1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD2C2	MB14 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD2C3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD2C4	MB14[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD2C5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD2C6	MB14[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD2C7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD2C8	MB14[7], [8]*	MSG_DATA_0								
H'FFFFD2C9		MSG_DATA_1								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD2CA	MB14[9],	MSG_DATA_2								HCAN0 (チャンネル0)
H'FFFFD2CB	[10]	MSG_DATA_3								
H'FFFFD2CC	MB14	MSG_DATA_4								
H'FFFFD2CD	[11], [12]	MSG_DATA_5								
H'FFFFD2CE	MB14	MSG_DATA_6								
H'FFFFD2CF	[13], [14]	MSG_DATA_7								
H'FFFFD2D0	MB14 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD2D1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD2D2	MB14 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD2D3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD2D4-DF		—	—	—	—	—	—	—	—	—
H'FFFFD2E0	MB15	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD2E1	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD2E2	MB15	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD2E3	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD2E4	MB15[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD2E5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD2E6	MB15[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD2E7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD2E8	MB15[7],	MSG_DATA_0								
H'FFFFD2E9	[8]*	MSG_DATA_1								
H'FFFFD2EA	MB15[9],	MSG_DATA_2								
H'FFFFD2EB	[10]	MSG_DATA_3								
H'FFFFD2EC	MB15	MSG_DATA_4								
H'FFFFD2ED	[11], [12]	MSG_DATA_5								
H'FFFFD2EE	MB15	MSG_DATA_6								
H'FFFFD2EF	[13], [14]	MSG_DATA_7								
H'FFFFD2F0	MB15 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD2F1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD2F2	MB15 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD2F3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD2F4-FF		—	—	—	—	—	—	—	—	—

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD300	MB16	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD301	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD302	MB16	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD303	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD304	MB16[4],	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD305	[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD306	MB16[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD307		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD308	MB16[7],	MSG_DATA_0								
H'FFFFD309	[8]*	MSG_DATA_1								
H'FFFFD30A	MB16[9],	MSG_DATA_2								
H'FFFFD30B	[10]	MSG_DATA_3								
H'FFFFD30C	MB16	MSG_DATA_4								
H'FFFFD30D	[11], [12]	MSG_DATA_5								
H'FFFFD30E	MB16	MSG_DATA_6								
H'FFFFD30F	[13], [14]	MSG_DATA_7								
H'FFFFD310	MB16	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD311	[15], [16]	STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD312	MB16	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD313	[17], [18]	EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD314- 1F		—	—	—	—	—	—	—	—	—
H'FFFFD320	MB17[0],	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD321	[1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD322	MB17[2],	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD323	[3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD324	MB17[4],	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD325	[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD326	MB17[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD327		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD328	MB17[7],	MSG_DATA_0								
H'FFFFD329	[8]*	MSG_DATA_1								
H'FFFFD32A	MB17[9],	MSG_DATA_2								
H'FFFFD32B	[10]	MSG_DATA_3								
H'FFFFD32C	MB17	MSG_DATA_4								
H'FFFFD32D	[11], [12]	MSG_DATA_5								
H'FFFFD32E	MB17	MSG_DATA_6								
H'FFFFD32F	[13], [14]	MSG_DATA_7								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD330	MB17 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN0 (チャンネル0)
H'FFFFD331		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD332	MB17 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD333		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD334- 3F		—	—	—	—	—	—	—	—	
H'FFFFD340	MB18	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD341	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD342	MB18 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD343		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD344	MB18 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD345		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD346	MB18[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD347		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD348	MB18[7],	MSG_DATA_0								
H'FFFFD349	[8]*	MSG_DATA_1								
H'FFFFD34A	MB18[9],	MSG_DATA_2								
H'FFFFD34B	[10]	MSG_DATA_3								
H'FFFFD34C	MB18	MSG_DATA_4								
H'FFFFD34D	[11], [12]	MSG_DATA_5								
H'FFFFD34E	MB18	MSG_DATA_6								
H'FFFFD34F	[13], [14]	MSG_DATA_7								
H'FFFFD350	MB18 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD351		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD352	MB18 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD353		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD354- 5F		—	—	—	—	—	—	—	—	
H'FFFFD360	MB19	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD361	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD362	MB19 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD363		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD364	MB19 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD365		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD366	MB19[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN0 (チャンネル0)
H'FFFFD367		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD368	MB19[7], [8]*	MSG_DATA_0								
H'FFFFD369		MSG_DATA_1								
H'FFFFD36A	MB19[9], [10]	MSG_DATA_2								
H'FFFFD36B		MSG_DATA_3								
H'FFFFD36C	MB19 [11], [12]	MSG_DATA_4								
H'FFFFD36D		MSG_DATA_5								
H'FFFFD36E	MB19 [13], [14]	MSG_DATA_6								
H'FFFFD36F		MSG_DATA_7								
H'FFFFD370	MB19 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD371		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD372	MB19 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD373		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD374- 7F		—	—	—	—	—	—	—	—	—
H'FFFFD380	MB20 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD381		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD382	MB20 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD383		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD384	MB20[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD385		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD386	MB20[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD387		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD388	MB20[7], [8]*	MSG_DATA_0								
H'FFFFD389		MSG_DATA_1								
H'FFFFD38A	MB20[9], [10]	MSG_DATA_2								
H'FFFFD38B		MSG_DATA_3								
H'FFFFD38C	MB20 [11], [12]	MSG_DATA_4								
H'FFFFD38D		MSG_DATA_5								
H'FFFFD38E	MB20 [13], [14]	MSG_DATA_6								
H'FFFFD38F		MSG_DATA_7								
H'FFFFD390	MB20 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD391		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD392	MB20 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN0 (チャンネル0)
H'FFFFD393		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD394- 9F		—	—	—	—	—	—	—	—	—
H'FFFFD3A0	MB21 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD3A1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD3A2	MB21 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD3A3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD3A4	MB21 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD3A5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD3A6	MB21[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD3A7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD3A8	MB21 [7], [8]*	MSG_DATA_0								
H'FFFFD3A9		MSG_DATA_1								
H'FFFFD3AA	MB21 [9], [10]	MSG_DATA_2								
H'FFFFD3AB		MSG_DATA_3								
H'FFFFD3AC	MB21 [11], [12]	MSG_DATA_4								
H'FFFFD3AD		MSG_DATA_5								
H'FFFFD3AE	MB21 [13], [14]	MSG_DATA_6								
H'FFFFD3AF		MSG_DATA_7								
H'FFFFD3B0	MB21 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD3B1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD3B2	MB21 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD3B3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD3B4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFD3C0	MB22 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD3C1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD3C2	MB22 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD3C3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD3C4	MB22 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD3C5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD3C6	MB22[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD3C7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD3C8	MB22 [7], [8]*	MSG_DATA_0								
H'FFFFD3C9		MSG_DATA_1								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD3CA	MB22	MSG_DATA_2								HCAN0 (チャンネル0)
H'FFFFD3CB	[9], [10]	MSG_DATA_3								
H'FFFFD3CC	MB22	MSG_DATA_4								
H'FFFFD3CD	[11], [12]	MSG_DATA_5								
H'FFFFD3CE	MB22	MSG_DATA_6								
H'FFFFD3CF	[13], [14]	MSG_DATA_7								
H'FFFFD3D0	MB22 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD3D1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD3D2	MB22 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD3D3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD3D4-DF		—	—	—	—	—	—	—	—	—
H'FFFFD3E0	MB23	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD3E1	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD3E2	MB23	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD3E3	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD3E4	MB23	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD3E5	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD3E6	MB23[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD3E7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD3E8	MB23	MSG_DATA_0								
H'FFFFD3E9	[7], [8]*	MSG_DATA_1								
H'FFFFD3EA	MB23	MSG_DATA_2								
H'FFFFD3EB	[9], [10]	MSG_DATA_3								
H'FFFFD3EC	MB23	MSG_DATA_4								
H'FFFFD3ED	[11], [12]	MSG_DATA_5								
H'FFFFD3EE	MB23	MSG_DATA_6								
H'FFFFD3EF	[13], [14]	MSG_DATA_7								
H'FFFFD3F0	MB23 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD3F1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD3F2	MB23 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD3F3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD3F4-FF		—	—	—	—	—	—	—	—	—

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD400	MB24	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD401	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD402	MB24	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD403	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD404	MB24	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD405	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD406	MB24[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD407		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD408	MB24	MSG_DATA_0								
H'FFFFD409	[7], [8]*	MSG_DATA_1								
H'FFFFD40A	MB24	MSG_DATA_2								
H'FFFFD40B	[9], [10]	MSG_DATA_3								
H'FFFFD40C	MB24	MSG_DATA_4								
H'FFFFD40D	[11], [12]	MSG_DATA_5								
H'FFFFD40E	MB24	MSG_DATA_6								
H'FFFFD40F	[13], [14]	MSG_DATA_7								
H'FFFFD410	MB24 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD411		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD412	MB24 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD413		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD414- 1F		—	—	—	—	—	—	—	—	
H'FFFFD420	MB25	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD421	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD422	MB25	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD423	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD424	MB25	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD425	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD426	MB25[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD427		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD428	MB25	MSG_DATA_0								
H'FFFFD429	[7], [8]*	MSG_DATA_1								
H'FFFFD42A	MB25	MSG_DATA_2								
H'FFFFD42B	[9], [10]	MSG_DATA_3								
H'FFFFD42C	MB25	MSG_DATA_4								
H'FFFFD42D	[11], [12]	MSG_DATA_5								
H'FFFFD42E	MB25	MSG_DATA_6								
H'FFFFD42F	[13], [14]	MSG_DATA_7								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD430	MB25 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN0 (チャンネル0)
H'FFFFD431		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD432	MB25 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD433		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD434- 3F		—	—	—	—	—	—	—	—	
H'FFFFD440	MB26	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD441	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD442	MB26	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD443	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD444	MB26	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD445	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD446	MB26[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD447		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD448	MB26	MSG_DATA_0								
H'FFFFD449	[7], [8]*	MSG_DATA_1								
H'FFFFD44A	MB26	MSG_DATA_2								
H'FFFFD44B	[9], [10]	MSG_DATA_3								
H'FFFFD44C	MB26	MSG_DATA_4								
H'FFFFD44D	[11], [12]	MSG_DATA_5								
H'FFFFD44E	MB26	MSG_DATA_6								
H'FFFFD44F	[13], [14]	MSG_DATA_7								
H'FFFFD450	MB26 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD451		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD452	MB26 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD453		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD454- 5F		—	—	—	—	—	—	—	—	
H'FFFFD460	MB27	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD461	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD462	MB27	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD463	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD464	MB27	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD465	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFD466	MB27[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN0 (チャンネル0)	
H'FFFFD467		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]		
H'FFFFD468	MB27	MSG_DATA_0									
H'FFFFD469	[7], [8]*	MSG_DATA_1									
H'FFFFD46A	MB27	MSG_DATA_2									
H'FFFFD46B	[9],[10]	MSG_DATA_3									
H'FFFFD46C	MB27	MSG_DATA_4									
H'FFFFD46D	[11], [12]	MSG_DATA_5									
H'FFFFD46E	MB27	MSG_DATA_6									
H'FFFFD46F	[13],[14]	MSG_DATA_7									
H'FFFFD470	MB27 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]		
H'FFFFD471		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]		
H'FFFFD472	MB27 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]		
H'FFFFD473		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]		
H'FFFFD474- 7F		—	—	—	—	—	—	—	—		—
H'FFFFD480	MB28	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]		HCAN0 (チャンネル0)
H'FFFFD481	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]		
H'FFFFD482	MB28	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]		
H'FFFFD483	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]		
H'FFFFD484	MB28	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]		
H'FFFFD485	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]		
H'FFFFD486	MB28[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]		
H'FFFFD487		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]		
H'FFFFD488	MB28	MSG_DATA_0									
H'FFFFD489	[7], [8]*	MSG_DATA_1									
H'FFFFD48A	MB28	MSG_DATA_2									
H'FFFFD48B	[9], [10]	MSG_DATA_3									
H'FFFFD48C	MB28	MSG_DATA_4									
H'FFFFD48D	[11], [12]	MSG_DATA_5									
H'FFFFD48E	MB28	MSG_DATA_6									
H'FFFFD48F	[13], [14]	MSG_DATA_7									
H'FFFFD490	MB28 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]		
H'FFFFD491		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]		

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD492	MB28 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN0 (チャンネル0)
H'FFFFD493		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD494- 7F		—	—	—	—	—	—	—	—	
H'FFFFD4A0	MB29 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD4A1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD4A2	MB29 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD4A3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD4A4	MB29 [4],[5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD4A5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD4A6	MB29[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD4A7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD4A8	MB29 [7],[8]*	MSG_DATA_0								
H'FFFFD4A9		MSG_DATA_1								
H'FFFFD4AA	MB29 [9],[10]	MSG_DATA_2								
H'FFFFD4AB		MSG_DATA_3								
H'FFFFD4AC	MB29 [11],[12]	MSG_DATA_4								
H'FFFFD4AD		MSG_DATA_5								
H'FFFFD4AE	MB29 [13],[14]	MSG_DATA_6								
H'FFFFD4AF		MSG_DATA_7								
H'FFFFD4B0	MB29 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD4B1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD4B2	MB29 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD4B3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD4B4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFD4C0	MB30 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD4C1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD4C2	MB30 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD4C3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD4C4	MB30 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD4C5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD4C6	MB30[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD4C7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD4C8	MB30 [7], [8]*	MSG_DATA_0								
H'FFFFD4C9		MSG_DATA_1								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD4CA	MB30	MSG_DATA_2								HCAN0 (チャンネル0)
H'FFFFD4CB	[9],[10]	MSG_DATA_3								
H'FFFFD4CC	MB30	MSG_DATA_4								
H'FFFFD4CD	[11],[12]	MSG_DATA_5								
H'FFFFD4CE	MB30	MSG_DATA_6								
H'FFFFD4CF	[13],[14]	MSG_DATA_7								
H'FFFFD4D0	MB30 [15],[16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD4D1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD4D2	MB30 [17],[18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD4D3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD4D4-DF		—	—	—	—	—	—	—	—	—
H'FFFFD4E0	MB31	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN0 (チャンネル0)
H'FFFFD4E1	[0],[1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD4E2	MB31	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD4E3	[2],[3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD4E4	MB31	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD4E5	[4],[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD4E6	MB31[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD4E7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD4E8	MB31	MSG_DATA_0								
H'FFFFD4E9	[7],[8]*	MSG_DATA_1								
H'FFFFD4EA	MB31	MSG_DATA_2								
H'FFFFD4EB	[9],[10]	MSG_DATA_3								
H'FFFFD4EC	MB31	MSG_DATA_4								
H'FFFFD4ED	[11],[12]	MSG_DATA_5								
H'FFFFD4EE	MB31	MSG_DATA_6								
H'FFFFD4EF	[13],[14]	MSG_DATA_7								
H'FFFFD4F0	MB31 [15],[16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD4F1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD4F2	MB31 [17],[18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD4F3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD4F4-7FF		—	—	—	—	—	—	—	—	—

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD800	MCR	—	—	—	—	—	—	—	—	HCAN1 (チャンネル1)
H'FFFFD801		MCR7	—	MCR5	—	—	MCR2	MCR1	MCR0	
H'FFFFD802	GSR	—	—	—	—	—	—	—	—	
H'FFFFD803		—	—	GSR5	GSR4	GSR3	GSR2	GSR1	GSR0	
H'FFFFD804	BCR1	TSEG13	TSEG12	TSEG11	TSEG10	—	TSEG22	TSEG21	TSEG20	
H'FFFFD805		—	—	SJW1	SJW0	—	—	—	BSP	
H'FFFFD806	BCR0	—	—	—	—	—	—	—	—	
H'FFFFD807		BRP7	BRP6	BRP5	BRP4	BRP3	BRP2	BRP1	BRP0	
H'FFFFD808	IRR	IRR15	IRR14	IRR13	IRR12	IRR11	IRR10	IRR9	IRR8	
H'FFFFD809		IRR7	IRR6	IRR5	IRR4	IRR3	IRR2	IRR1	IRR0	
H'FFFFD80A	IMR	IMR15	IMR14	IMR13	IMR12	IMR11	IMR10	IMR9	IMR8	
H'FFFFD80B		IMR7	IMR6	IMR5	IMR4	IMR3	IMR2	IMR1	IMR0	
H'FFFFD80C	TEC/	TEC7	TEC6	TEC5	TEC4	TEC3	TEC2	TEC1	TEC0	
H'FFFFD80D	REC	REC7	REC6	REC5	REC4	REC3	REC2	REC1	REC0	
H'FFFFD820	TXPR1	TXPR1[15]	TXPR1[14]	TXPR1[13]	TXPR1[12]	TXPR1[11]	TXPR1[10]	TXPR1[9]	TXPR1[8]	
H'FFFFD821		TXPR1[7]	TXPR1[6]	TXPR1[5]	TXPR1[4]	TXPR1[3]	TXPR1[2]	TXPR1[1]	TXPR1[0]	
H'FFFFD822	TXPR0	TXPR0[15]	TXPR0[14]	TXPR0[13]	TXPR0[12]	TXPR0[11]	TXPR0[10]	TXPR0[9]	TXPR0[8]	
H'FFFFD823		TXPR0[7]	TXPR0[6]	TXPR0[5]	TXPR0[4]	TXPR0[3]	TXPR0[2]	TXPR0[1]	—	
H'FFFFD828	TXCR1	TXCR1[15]	TXCR1[14]	TXCR1[13]	TXCR1[12]	TXCR1[11]	TXCR1[10]	TXCR1[9]	TXCR1[8]	
H'FFFFD829		TXCR1[7]	TXCR1[6]	TXCR1[5]	TXCR1[4]	TXCR1[3]	TXCR1[2]	TXCR1[1]	TXCR1[0]	
H'FFFFD82A	TXCR0	TXCR0[15]	TXCR0[14]	TXCR0[13]	TXCR0[12]	TXCR0[11]	TXCR0[10]	TXCR0[9]	TXCR0[8]	
H'FFFFD82B		TXCR0[7]	TXCR0[6]	TXCR0[5]	TXCR0[4]	TXCR0[3]	TXCR0[2]	TXCR0[1]	—	
H'FFFFD830	TXACK1	TXACK1 [15]	TXACK1 [14]	TXACK1 [13]	TXACK1 [12]	TXACK1 [11]	TXACK1 [10]	TXACK1 [9]	TXACK1 [8]	
H'FFFFD831		TXACK1[7]	TXACK1[6]	TXACK1[5]	TXACK1[4]	TXACK1[3]	TXACK1[2]	TXACK1[1]	TXACK1[0]	
H'FFFFD832	TXACK0	TXACK0 [15]	TXACK0 [14]	TXACK0 [13]	TXACK0 [12]	TXACK0 [11]	TXACK0 [10]	TXACK0 [9]	TXACK0 [8]	
H'FFFFD833		TXACK0[7]	TXACK0[6]	TXACK0[5]	TXACK0[4]	TXACK0[3]	TXACK0[2]	TXACK0[1]	TXACK0[0]	
H'FFFFD838	ABACK1	ABACK1 [15]	ABACK1 [14]	ABACK1 [13]	ABACK1 [12]	ABACK1 [11]	ABACK1 [10]	ABACK1 [9]	ABACK1 [8]	
H'FFFFD839		ABACK1 [7]	ABACK1 [6]	ABACK1 [5]	ABACK1 [4]	ABACK1 [3]	ABACK1 [2]	ABACK1 [1]	ABACK1 [0]	
H'FFFFD83A	ABACK0	ABACK0 [15]	ABACK0 [14]	ABACK0 [13]	ABACK0 [12]	ABACK0 [11]	ABACK0 [10]	ABACK0 [9]	ABACK0 [8]	
H'FFFFD83B		ABACK0 [7]	ABACK0 [6]	ABACK0 [5]	ABACK0 [4]	ABACK0 [3]	ABACK0 [2]	ABACK0 [1]	—	
H'FFFFD840	RXPR1	RXPR1[15]	RXPR1[14]	RXPR1[13]	RXPR1[12]	RXPR1[11]	RXPR1[10]	RXPR1[9]	RXPR1[8]	
H'FFFFD841		RXPR1[7]	RXPR1[6]	RXPR1[5]	RXPR1[4]	RXPR1[3]	RXPR1[2]	RXPR1[1]	RXPR1[0]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD842	RXPR0	RXPR0[15]	RXPR0[14]	RXPR0[13]	RXPR0[12]	RXPR0[11]	RXPR0[10]	RXPR0[9]	RXPR0[8]	HCAN1 (チャンネル1)
H'FFFFD843		RXPR0[7]	RXPR0[6]	RXPR0[5]	RXPR0[4]	RXPR0[3]	RXPR0[2]	RXPR0[1]	RXPR0[0]	
H'FFFFD848	RFPR1	RFPR1[15]	RFPR1[14]	RFPR1[13]	RFPR1[12]	RFPR1[11]	RFPR1[10]	RFPR1[9]	RFPR1[8]	
H'FFFFD849		RFPR1[7]	RFPR1[6]	RFPR1[5]	RFPR1[4]	RFPR1[3]	RFPR1[2]	RFPR1[1]	RFPR1[0]	
H'FFFFD84A	RFPR0	RFPR0[15]	RFPR0[14]	RFPR0[13]	RFPR0[12]	RFPR0[11]	RFPR0[10]	RFPR0[9]	RFPR0[8]	
H'FFFFD84B		RFPR0[7]	RFPR0[6]	RFPR0[5]	RFPR0[4]	RFPR0[3]	RFPR0[2]	RFPR0[1]	RFPR0[0]	
H'FFFFD850	MBIMR1	MBIMR1[15]	MBIMR1[14]	MBIMR1[13]	MBIMR1[12]	MBIMR1[11]	MBIMR1[10]	MBIMR1[9]	MBIMR1[8]	
H'FFFFD851		MBIMR1[7]	MBIMR1[6]	MBIMR1[5]	MBIMR1[4]	MBIMR1[3]	MBIMR1[2]	MBIMR1[1]	MBIMR1[0]	
H'FFFFD852	MBIMR0	MBIMR0[15]	MBIMR0[14]	MBIMR0[13]	MBIMR0[12]	MBIMR0[11]	MBIMR0[10]	MBIMR0[9]	MBIMR0[8]	
H'FFFFD853		MBIMR0[7]	MBIMR0[6]	MBIMR0[5]	MBIMR0[4]	MBIMR0[3]	MBIMR0[2]	MBIMR0[1]	MBIMR0[0]	
H'FFFFD858	UMSR1	UMSR1[15]	UMSR1[14]	UMSR1[13]	UMSR1[12]	UMSR1[11]	UMSR1[10]	UMSR1[9]	UMSR1[8]	
H'FFFFD859		UMSR1[7]	UMSR1[6]	UMSR1[5]	UMSR1[4]	UMSR1[3]	UMSR1[2]	UMSR1[1]	UMSR1[0]	
H'FFFFD85A	UMSR0	UMSR0[15]	UMSR0[14]	UMSR0[13]	UMSR0[12]	UMSR0[11]	UMSR0[10]	UMSR0[9]	UMSR0[8]	
H'FFFFD85B		UMSR0[7]	UMSR0[6]	UMSR0[5]	UMSR0[4]	UMSR0[3]	UMSR0[2]	UMSR0[1]	UMSR0[0]	
H'FFFFD85C-7F		-	-	-	-	-	-	-	-	
H'FFFFD880	TCNTR	TCNTR15	TCNTR14	TCNTR13	TCNTR12	TCNTR11	TCNTR10	TCNTR9	TCNTR8	
H'FFFFD881		TCNTR7	TCNTR6	TCNTR5	TCNTR4	TCNTR3	TCNTR2	TCNTR1	TCNTR0	
H'FFFFD882	TCR	TCR15	TCR14	TCR13	TCR12	TCR11	TCR10	TCR9	-	
H'FFFFD883		TCR7	-	TPSC5	TPSC4	TPSC3	TPSC2	TPSC1	TPSC0	
H'FFFFD884	TSR	-	-	-	-	-	-	-	-	
H'FFFFD885		-	-	-	TSR4	TSR3	TSR2	TSR1	TSR0	
H'FFFFD886	TDCR	TDCR15	TDCR14	TDCR13	TDCR12	TDCR11	TDCR10	TDCR9	TDCR8	
H'FFFFD887		TDCR7	TDCR6	TDCR5	TDCR4	TDCR3	TDCR2	TDCR1	TDCR0	
H'FFFFD888	LOSR	LOSR15	LOSR14	LOSR13	LOSR12	LOSR11	LOSR10	LOSR9	LOSR8	
H'FFFFD889		LOSR7	LOSR6	LOSR5	LOSR4	LOSR3	LOSR2	LOSR1	LOSR0	
H'FFFFD88A	ICR0_cc	-	-	-	-	-	-	-	-	
H'FFFFD88B		-	-	-	-	ICCR0_cc 3	ICCR0_cc 2	ICCR0_cc 1	ICCR0_cc 0	
H'FFFFD88C	ICR0_tm	ICR0_tm 15	ICR0_tm 14	ICR0_tm 13	ICR0_tm 12	ICR0_tm 11	ICR0_tm 10	ICR0_tm9	ICR0_tm8	
H'FFFFD88D		ICR0_tm7	ICR0_tm6	ICR0_tm5	ICR0_tm4	ICR0_tm3	ICR0_tm2	ICR0_tm1	ICR0_tm0	
H'FFFFD88E	ICR1	ICR1[15]	ICR1[14]	ICR1[13]	ICR1[12]	ICR1[11]	ICR1[10]	ICR1[9]	ICR1[8]	
H'FFFFD88F		ICR1[7]	ICR1[6]	ICR1[5]	ICR1[4]	ICR1[3]	ICR1[2]	ICR1[1]	ICR1[0]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFFD890	TCMR0	TCMR0 [15]	TCMR0 [14]	TCMR0 [13]	TCMR0 [12]	TCMR0 [11]	TCMR0 [10]	TCMR0 [9]	TCMR0 [8]	HCAN1 (チャンネル1)
H'FFFFFFD891		TCMR0[7]	TCMR0[6]	TCMR0[5]	TCMR0[4]	TCMR0[3]	TCMR0[2]	TCMR0[1]	TCMR0[0]	
H'FFFFFFD892	TCMR1	TCMR1 [15]	TCMR1 [14]	TCMR1 [13]	TCMR1 [12]	TCMR1 [11]	TCMR1 [10]	TCMR1 [9]	TCMR1 [8]	
H'FFFFFFD893		TCMR1[7]	TCMR1[6]	TCMR1[5]	TCMR1[4]	TCMR1[3]	TCMR1[2]	TCMR1[1]	TCMR1[0]	
H'FFFFFFD894	TCMR2	TCMR2 [15]	TCMR2 [14]	TCMR2 [13]	TCMR2 [12]	TCMR2 [11]	TCMR2 [10]	TCMR2 [9]	TCMR2 [8]	
H'FFFFFFD895		TCMR2[7]	TCMR2[6]	TCMR2[5]	TCMR2[4]	TCMR2[3]	TCMR2[2]	TCMR2[1]	TCMR2[0]	
H'FFFFFFD896	CCR	—	—	—	—	—	—	—	—	
H'FFFFFFD897		—	—	—	—	CCR3	CCR2	CCR1	CCR0	
H'FFFFFFD898	CMAX	—	—	—	—	—	—	—	—	
H'FFFFFFD899		—	—	—	—	CMAX3	CMAX2	CMAX1	CMAX0	
H'FFFFFFD89A	TMR	—	—	—	—	—	—	—	—	
H'FFFFFFD89B		—	—	—	—	TMR3	TMR2	TMR1	—	
H'FFFFFFD89C	CCR-buf	—	—	—	—	—	—	—	—	
H'FFFFFFD89D		—	—	—	—	CCR-buf3	CCR-buf2	CCR-buf1	CCR-buf0	
H'FFFFFFD89E	ICR0-buf	—	—	—	—	—	—	—	—	
H'FFFFFFD89F		—	—	—	—	ICR0-buf3	ICR0-buf2	ICR0-buf1	ICR0-buf0	
H'FFFFFFD8A0 -FF	—	—	—	—	—	—	—	—	—	
H'FFFFFFD900	MB0[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFFFD901		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFFFD902	MB0[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFFFD903		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFFFD904	MB0[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFFFD905		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFFFD906	MB0[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFFFD907		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFFFD908	MB0[7], [8]*	MSG_DATA_0								
H'FFFFFFD909		MSG_DATA_1								
H'FFFFFFD90A	MB0[9], [10]	MSG_DATA_2								
H'FFFFFFD90B		MSG_DATA_3								
H'FFFFFFD90C	MBx[11], [12]	MSG_DATA_4								
H'FFFFFFD90D		MSG_DATA_5								
H'FFFFFFD90E	MB0[13], [14]	MSG_DATA_6								
H'FFFFFFD90F		MSG_DATA_7								
H'FFFFFFD910	MB0[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFFFD911		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD912	MB0[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN1 (チャンネル1)
H'FFFFD913		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD914- 1F	—	—	—	—	—	—	—	—	—	—
H'FFFFD920	MB1[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFD921		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD922	MB1[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD923		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD924	MB1[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD925		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD926	MB1[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD927		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD928	MB1[7], [8]*	MSG_DATA_0								
H'FFFFD929		MSG_DATA_1								
H'FFFFD92A	MB1[9], [10]	MSG_DATA_2								
H'FFFFD92B		MSG_DATA_3								
H'FFFFD92C	MB1[11], [12]	MSG_DATA_4								
H'FFFFD92D		MSG_DATA_5								
H'FFFFD92E	MB1[13], [14]	MSG_DATA_6								
H'FFFFD92F		MSG_DATA_7								
H'FFFFD930	MB1[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD931		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD932	MB1[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD933		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD934- 3F	—	—	—	—	—	—	—	—	—	—
H'FFFFD940	MB2[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFD941		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD942	MB2[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD943		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD944	MB2[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD945		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD946	MB2[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD947		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD948	MB2[7], [8]*	MSG_DATA_0								
H'FFFFD949		MSG_DATA_1								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD94A	MB2[9], [10]	MSG_DATA_2								HCAN1 (チャンネル1)
H'FFFFD94B		MSG_DATA_3								
H'FFFFD94C	MB2[11], [12]	MSG_DATA_4								
H'FFFFD94D		MSG_DATA_5								
H'FFFFD94E	MB2[13], [14]	MSG_DATA_6								
H'FFFFD94F		MSG_DATA_7								
H'FFFFD950	MB2[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD951		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD952	MB2[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD953		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD954- 5F		—	—	—	—	—	—	—	—	—
H'FFFFD960	MB3[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFD961		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD962	MB3[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD963		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD964	MB3[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD965		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD966	MB3[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD967		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD968	MB3[7], [8]*	MSG_DATA_0								
H'FFFFD969		MSG_DATA_1								
H'FFFFD96A	MB3[9], [10]	MSG_DATA_2								
H'FFFFD96B		MSG_DATA_3								
H'FFFFD96C	MB3[11], [12]	MSG_DATA_4								
H'FFFFD96D		MSG_DATA_5								
H'FFFFD96E	MB3[13], [14]	MSG_DATA_6								
H'FFFFD96F		MSG_DATA_7								
H'FFFFD970	MB3[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD971		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD972	MB3[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD973		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD974- 7F		—	—	—	—	—	—	—	—	—
H'FFFFD980	MB4[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFD981		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD982	MB4[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	HCAN1 (チャンネル1)
H'FFFFD983		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD984	MB4[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD985		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD986	MB4[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD987		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD988	MB4[7], [8]*	MSG_DATA_0								
H'FFFFD989		MSG_DATA_1								
H'FFFFD98A	MB4[9], [10]	MSG_DATA_2								
H'FFFFD98B		MSG_DATA_3								
H'FFFFD98C	MB4[11], [12]	MSG_DATA_4								
H'FFFFD98D		MSG_DATA_5								
H'FFFFD98E	MB4[13], [14]	MSG_DATA_6								
H'FFFFD98F		MSG_DATA_7								
H'FFFFD990	MB4[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD991		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD992	MB4[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD993		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD994- 9F		—	—	—	—	—	—	—	—	
H'FFFFD9A0	MB5[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFD9A1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD9A2	MB5[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD9A3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD9A4	MB5[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD9A5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD9A6	MB5[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD9A7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD9A8	MB5 [7], [8]*	MSG_DATA_0								
H'FFFFD9A9		MSG_DATA_1								
H'FFFFD9AA	MB5 [9], [10]	MSG_DATA_2								
H'FFFFD9AB		MSG_DATA_3								
H'FFFFD9AC	MB5[11], [12]	MSG_DATA_4								
H'FFFFD9AD		MSG_DATA_5								
H'FFFFD9AE	MB5[13], [14]	MSG_DATA_6								
H'FFFFD9AF		MSG_DATA_7								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD9B0	MB5[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN1 (チャンネル1)
H'FFFFD9B1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD9B2	MB5[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD9B3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD9B4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFD9C0	MB6[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFD9C1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD9C2	MB6[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD9C3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD9C4	MB6[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD9C5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFD9C6	MB6[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFD9C7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD9C8	MB6[7], [8]*	MSG_DATA_0								
H'FFFFD9C9		MSG_DATA_1								
H'FFFFD9CA	MB6[9], [10]	MSG_DATA_2								
H'FFFFD9CB		MSG_DATA_3								
H'FFFFD9CC	MB6[11], [12]	MSG_DATA_4								
H'FFFFD9CD		MSG_DATA_5								
H'FFFFD9CE	MB6[13], [14]	MSG_DATA_6								
H'FFFFD9CF		MSG_DATA_7								
H'FFFFD9D0	MB6[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD9D1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD9D2	MB6[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD9D3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD9D4 -DF		—	—	—	—	—	—	—	—	—
H'FFFFD9E0	MB7[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFD9E1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFD9E2	MB7[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFD9E3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFD9E4	MB7[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFD9E5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFD9E6	MB7[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN1 (チャンネル1)
H'FFFFD9E7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFD9E8	MB7[7], [8]*	MSG_DATA_0								
H'FFFFD9E9		MSG_DATA_1								
H'FFFFD9EA	MB7[9], [10]	MSG_DATA_2								
H'FFFFD9EB		MSG_DATA_3								
H'FFFFD9EC	MB7[11], [12]	MSG_DATA_4								
H'FFFFD9ED		MSG_DATA_5								
H'FFFFD9EE	MB7[13], [14]	MSG_DATA_6								
H'FFFFD9EF		MSG_DATA_7								
H'FFFFD9F0	MB7[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFD9F1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFD9F2	MB7[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFD9F3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFD9F4- FF		—	—	—	—	—	—	—	—	—
H'FFFFDA00	MB8[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDA01		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDA02	MB8[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDA03		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDA04	MB8[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDA05		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDA06	MB8[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDA07		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDA08	MB8[7], [8]*	MSG_DATA_0								
H'FFFFDA09		MSG_DATA_1								
H'FFFFDA0A	MB8[9], [10]	MSG_DATA_2								
H'FFFFDA0B		MSG_DATA_3								
H'FFFFDA0C	MB8[11], [12]	MSG_DATA_4								
H'FFFFDA0D		MSG_DATA_5								
H'FFFFDA0E	MB8[13], [14]	MSG_DATA_6								
H'FFFFDA0F		MSG_DATA_7								
H'FFFFDA10	MB8[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDA11		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDA12	MB8[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN1 (チャンネル1)
H'FFFFDA13		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDA14 -1F		—	—	—	—	—	—	—	—	
H'FFFFDA20	MB9[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFDA21		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDA22	MB9[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDA23		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDA24	MB9[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDA25		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDA26	MB9[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDA27		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDA28	MB9[7], [8]*	MSG_DATA_0								
H'FFFFDA29		MSG_DATA_1								
H'FFFFDA2A	MB9[9], [10]	MSG_DATA_2								
H'FFFFDA2B		MSG_DATA_3								
H'FFFFDA2C	MB9[11], [12]	MSG_DATA_4								
H'FFFFDA2D		MSG_DATA_5								
H'FFFFDA2E	MB9[13], [14]	MSG_DATA_6								
H'FFFFDA2F		MSG_DATA_7								
H'FFFFDA30	MB9[15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDA31		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDA32	MB9[17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDA33		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDA34 -3F		—	—	—	—	—	—	—	—	—
H'FFFFDA40	MB10[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDA41		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDA42	MB10[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDA43		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDA44	MB10[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDA45		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDA46	MB10[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDA47		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDA48	MB10[7], [8]*	MSG_DATA_0								
H'FFFFDA49		MSG_DATA_1								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDA4A	MB10[9], [10]	MSG_DATA_2								HCAN1 (チャンネル1)
H'FFFFDA4B		MSG_DATA_3								
H'FFFFDA4C	MB10	MSG_DATA_4								
H'FFFFDA4D	[11], [12]	MSG_DATA_5								
H'FFFFDA4E	MB10	MSG_DATA_6								
H'FFFFDA4F	[13],[14]	MSG_DATA_7								
H'FFFFDA50	MB10 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDA51		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDA52	MB10 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDA53		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDA54 -5F		—	—	—	—	—	—	—	—	—
H'FFFFDA60	MB11 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDA61		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDA62	MB11 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDA63		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDA64	MB11[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDA65		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDA66	MB11[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDA67		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDA68	MB11[7], [8]*	MSG_DATA_0								
H'FFFFDA69		MSG_DATA_1								
H'FFFFDA6A	MB11[9], [10]	MSG_DATA_2								
H'FFFFDA6B		MSG_DATA_3								
H'FFFFDA6C	MB11 [11], [12]	MSG_DATA_4								
H'FFFFDA6D		MSG_DATA_5								
H'FFFFDA6E	MB11 [13], [14]	MSG_DATA_6								
H'FFFFDA6F		MSG_DATA_7								
H'FFFFDA70	MB11 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDA71		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDA72	MB11 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDA73		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDA74 -7F		—	—	—	—	—	—	—	—	—

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDA80	MB12[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDA81		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDA82	MB12[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDA83		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDA84	MB12[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDA85		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDA86	MB12[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDA87		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDA88	MB12[7], [8]*	MSG_DATA_0								
H'FFFFDA89		MSG_DATA_1								
H'FFFFDA8A	MB12[9], [10]	MSG_DATA_2								
H'FFFFDA8B		MSG_DATA_3								
H'FFFFDA8C	MB12 [11], [12]	MSG_DATA_4								
H'FFFFDA8D		MSG_DATA_5								
H'FFFFDA8E	MB12 [13], [14]	MSG_DATA_6								
H'FFFFDA8F		MSG_DATA_7								
H'FFFFDA90	MB12 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDA91		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDA92	MB12 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDA93		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDA94 -9F		—	—	—	—	—	—	—	—	
H'FFFFDAA0	MB13 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFDAA1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDAA2	MB13 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDAA3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDAA4	MB13[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDAA5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDAA6	MB13[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDAA7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDAA8	MB13[7], [8]*	MSG_DATA_0								
H'FFFFDAA9		MSG_DATA_1								
H'FFFFDAAA	MB13[9], [10]	MSG_DATA_2								
H'FFFFDAAB		MSG_DATA_3								
H'FFFFDAAC	MB13 [11], [12]	MSG_DATA_4								
H'FFFFDAAD		MSG_DATA_5								
H'FFFFDAAE	MB13 [13], [14]	MSG_DATA_6								
H'FFFFDAAF		MSG_DATA_7								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDAB0	MB13 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN1 (チャンネル1)
H'FFFFDAB1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDAB2	MB13 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDAB3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDAB4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFDAC0	MB14 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDAC1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDAC2	MB14 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDAC3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDAC4	MB14[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDAC5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDAC6	MB14[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDAC7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDAC8	MB14[7],	MSG_DATA_0								
H'FFFFDAC9	[8]*	MSG_DATA_1								
H'FFFFDACA	MB14[9], [10]	MSG_DATA_2								
H'FFFFDACB		MSG_DATA_3								
H'FFFFDACC	MB14 [11], [12]	MSG_DATA_4								
H'FFFFDADC		MSG_DATA_5								
H'FFFFDACE	MB14 [13], [14]	MSG_DATA_6								
H'FFFFDACF		MSG_DATA_7								
H'FFFFDAD0	MB14 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDAD1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDAD2	MB14 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDAD3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDAD4 -DF		—	—	—	—	—	—	—	—	—
H'FFFFDAE0	MB15 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDAE1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDAE2	MB15 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDAE3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDAE4	MB15[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDAE5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDAE6	MB15[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN1 (チャンネル1)
H'FFFFDAE7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDAE8	MB15[7], [8]*	MSG_DATA_0								
H'FFFFDAE9		MSG_DATA_1								
H'FFFFDAEA	MB15[9], [10]	MSG_DATA_2								
H'FFFFDAEB		MSG_DATA_3								
H'FFFFDAEC	MB15 [11], [12]	MSG_DATA_4								
H'FFFFDAED		MSG_DATA_5								
H'FFFFDAEE	MB15 [13], [14]	MSG_DATA_6								
H'FFFFDAEF		MSG_DATA_7								
H'FFFFDAF0	MB15 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDAF1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDAF2	MB15 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDAF3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDAF4 -FF		—	—	—	—	—	—	—	—	—
H'FFFFDB00	MB16 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDB01		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDB02	MB16 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDB03		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDB04	MB16[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDB05		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDB06	MB16[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDB07		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDB08	MB16[7], [8]*	MSG_DATA_0								
H'FFFFDB09		MSG_DATA_1								
H'FFFFDB0A	MB16[9], [10]	MSG_DATA_2								
H'FFFFDB0B		MSG_DATA_3								
H'FFFFDB0C	MB16 [11], [12]	MSG_DATA_4								
H'FFFFDB0D		MSG_DATA_5								
H'FFFFDB0E	MB16 [13], [14]	MSG_DATA_6								
H'FFFFDB0F		MSG_DATA_7								
H'FFFFDB10	MB16 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDB11		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDB12	MB16 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN1 (チャンネル1)
H'FFFFDB13		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDB14 -1F		—	—	—	—	—	—	—	—	—
H'FFFFDB20	MB17[0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDB21		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDB22	MB17[2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDB23		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDB24	MB17[4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDB25		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDB26	MB17[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDB27		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDB28	MB17[7], [8]*	MSG_DATA_0								
H'FFFFDB29		MSG_DATA_1								
H'FFFFDB2A	MB17[9], [10]	MSG_DATA_2								
H'FFFFDB2B		MSG_DATA_3								
H'FFFFDB2C	MB17 [11], [12]	MSG_DATA_4								
H'FFFFDB2D		MSG_DATA_5								
H'FFFFDB2E	MB17 [13], [14]	MSG_DATA_6								
H'FFFFDB2F		MSG_DATA_7								
H'FFFFDB30	MB17 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDB31		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDB32	MB17 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDB33		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDB34 -3F		—	—	—	—	—	—	—	—	—
H'FFFFDB40	MB18 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDB41		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDB42	MB18 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDB43		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDB44	MB18 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDB45		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDB46	MB18[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDB47		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDB48	MB18[7], [8]*	MSG_DATA_0								
H'FFFFDB49		MSG_DATA_1								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDB4A	MB18[9], [10]	MSG_DATA_2								HCAN1 (チャンネル1)
H'FFFFDB4B		MSG_DATA_3								
H'FFFFDB4C	MB18	MSG_DATA_4								
H'FFFFDB4D	[11], [12]	MSG_DATA_5								
H'FFFFDB4E	MB18	MSG_DATA_6								
H'FFFFDB4F	[13], [14]	MSG_DATA_7								
H'FFFFDB50	MB18 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDB51		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDB52	MB18 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDB53		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDB54 -5F		—	—	—	—	—	—	—	—	
H'FFFFDB60	MB19 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFDB61		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDB62	MB19 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDB63		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDB64	MB19 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDB65		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDB66	MB19[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDB67		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDB68	MB19[7], [8]*	MSG_DATA_0								
H'FFFFDB69		MSG_DATA_1								
H'FFFFDB6A	MB19[9], [10]	MSG_DATA_2								
H'FFFFDB6B		MSG_DATA_3								
H'FFFFDB6C	MB19 [11], [12]	MSG_DATA_4								
H'FFFFDB6D		MSG_DATA_5								
H'FFFFDB6E	MB19 [13], [14]	MSG_DATA_6								
H'FFFFDB6F		MSG_DATA_7								
H'FFFFDB70	MB19 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDB71		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDB72	MB19 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDB73		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDB74 -7F		—	—	—	—	—	—	—	—	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDB80	MB20	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDB81	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDB82	MB20	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDB83	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDB84	MB20[4],	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDB85	[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDB86	MB20[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDB87		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDB88	MB20[7],	MSG_DATA_0								
H'FFFFDB89	[8]*	MSG_DATA_1								
H'FFFFDB8A	MB20[9],	MSG_DATA_2								
H'FFFFDB8B	[10]	MSG_DATA_3								
H'FFFFDB8C	MB20	MSG_DATA_4								
H'FFFFDB8D	[11], [12]	MSG_DATA_5								
H'FFFFDB8E	MB20	MSG_DATA_6								
H'FFFFDB8F	[13], [14]	MSG_DATA_7								
H'FFFFDB90	MB20	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDB91	[15], [16]	STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDB92	MB20	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDB93	[17], [18]	EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDB94 -9F		—	—	—	—	—	—	—	—	—
H'FFFFDBA0	MB21	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDBA1	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDBA2	MB21	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDBA3	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDBA4	MB21	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDBA5	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDBA6	MB21[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDBA7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDBA8	MB21	MSG_DATA_0								
H'FFFFDBA9	[7], [8]*	MSG_DATA_1								
H'FFFFDBAA	MB21	MSG_DATA_2								
H'FFFFDBAB	[9], [10]	MSG_DATA_3								
H'FFFFDBAC	MB21	MSG_DATA_4								
H'FFFFDBAD	[11], [12]	MSG_DATA_5								
H'FFFFDBAE	MB21	MSG_DATA_6								
H'FFFFDBAF	[13], [14]	MSG_DATA_7								

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDBB0	MB21 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN1 (チャンネル1)
H'FFFFDBB1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDBB2	MB21 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDBB3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDBB4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFDBC0	MB22 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDBC1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDBC2	MB22 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDBC3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDBC4	MB22 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDBC5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDBC6	MB22[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDBC7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDBC8	MB22 [7], [8]*	MSG_DATA_0								
H'FFFFDBC9		MSG_DATA_1								
H'FFFFDBCA	MB22 [9], [10]	MSG_DATA_2								
H'FFFFDBCB		MSG_DATA_3								
H'FFFFDBCC	MB22 [11], [12]	MSG_DATA_4								
H'FFFFDBCD		MSG_DATA_5								
H'FFFFDBCE	MB22 [13], [14]	MSG_DATA_6								
H'FFFFDBCF		MSG_DATA_7								
H'FFFFDBD0	MB22 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDBD1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDBD2	MB22 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDBD3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDBD4 -DF		—	—	—	—	—	—	—	—	—
H'FFFFDBE0	MB23 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDBE1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDBE2	MB23 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDBE3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDBE4	MB23 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDBE5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDBE6	MB23[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN1 (チャンネル1)
H'FFFFDBE7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDBE8	MB23 [7], [8]*	MSG_DATA_0								
H'FFFFDBE9		MSG_DATA_1								
H'FFFFDBEA	MB23 [9], [10]	MSG_DATA_2								
H'FFFFDBEB		MSG_DATA_3								
H'FFFFDBEC	MB23 [11], [12]	MSG_DATA_4								
H'FFFFDBED		MSG_DATA_5								
H'FFFFDBEE	MB23 [13], [14]	MSG_DATA_6								
H'FFFFDBEF		MSG_DATA_7								
H'FFFFDBF0	MB23 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDBF1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDBF2	MB23 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDBF3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDBF4 -FF		—	—	—	—	—	—	—	—	—
H'FFFFDC00	MB24 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDC01		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDC02	MB24 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDC03		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDC04	MB24 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDC05		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDC06	MB24[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDC07		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDC08	MB24 [7], [8]*	MSG_DATA_0								
H'FFFFDC09		MSG_DATA_1								
H'FFFFDC0A	MB24 [9], [10]	MSG_DATA_2								
H'FFFFDC0B		MSG_DATA_3								
H'FFFFDC0C	MB24 [11], [12]	MSG_DATA_4								
H'FFFFDC0D		MSG_DATA_5								
H'FFFFDC0E	MB24 [13], [14]	MSG_DATA_6								
H'FFFFDC0F		MSG_DATA_7								
H'FFFFDC10	MB24 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDC11		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDC12	MB24 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN1 (チャンネル1)
H'FFFFDC13		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDC14 -1F		—	—	—	—	—	—	—	—	
H'FFFFDC20	MB25 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFDC21		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDC22	MB25 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDC23		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDC24	MB25 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDC25		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDC26	MB25[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDC27		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDC28	MB25 [7], [8]*	MSG_DATA_0								
H'FFFFDC29		MSG_DATA_1								
H'FFFFDC2A	MB25 [9], [10]	MSG_DATA_2								
H'FFFFDC2B		MSG_DATA_3								
H'FFFFDC2C	MB25 [11], [12]	MSG_DATA_4								
H'FFFFDC2D		MSG_DATA_5								
H'FFFFDC2E	MB25 [13], [14]	MSG_DATA_6								
H'FFFFDC2F		MSG_DATA_7								
H'FFFFDC30	MB25 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDC31		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDC32	MB25 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDC33		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDC34 -3F		—	—	—	—	—	—	—	—	
H'FFFFDC40	MB26 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFDC41		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDC42	MB26 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDC43		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDC44	MB26 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDC45		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDC46	MB26[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDC47		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDC48	MB26 [7], [8]*	MSG_DATA_0								
H'FFFFDC49		MSG_DATA_1								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDC4A	MB26	MSG_DATA_2								HCAN1 (チャンネル1)
H'FFFFDC4B	[9], [10]	MSG_DATA_3								
H'FFFFDC4C	MB26	MSG_DATA_4								
H'FFFFDC4D	[11], [12]	MSG_DATA_5								
H'FFFFDC4E	MB26	MSG_DATA_6								
H'FFFFDC4F	[13], [14]	MSG_DATA_7								
H'FFFFDC50	MB26 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDC51		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDC52	MB26 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDC53		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDC54 -5F		—	—	—	—	—	—	—	—	—
H'FFFFDC60	MB27	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDC61	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDC62	MB27	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDC63	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDC64	MB27	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDC65	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDC66	MB27[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDC67		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDC68	MB27	MSG_DATA_0								
H'FFFFDC69	[7], [8]*	MSG_DATA_1								
H'FFFFDC6A	MB27	MSG_DATA_2								
H'FFFFDC6B	[9],[10]	MSG_DATA_3								
H'FFFFDC6C	MB27	MSG_DATA_4								
H'FFFFDC6D	[11], [12]	MSG_DATA_5								
H'FFFFDC6E	MB27	MSG_DATA_6								
H'FFFFDC6F	[13],[14]	MSG_DATA_7								
H'FFFFDC70	MB27 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDC71		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDC72	MB27 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDC73		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDC74 -7F		—	—	—	—	—	—	—	—	—

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDC80	MB28	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDC81	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDC82	MB28	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDC83	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDC84	MB28	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDC85	[4], [5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDC86	MB28[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDC87		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDC88	MB28	MSG_DATA_0								
H'FFFFDC89	[7], [8]*	MSG_DATA_1								
H'FFFFDC8A	MB28	MSG_DATA_2								
H'FFFFDC8B	[9], [10]	MSG_DATA_3								
H'FFFFDC8C	MB28	MSG_DATA_4								
H'FFFFDC8D	[11], [12]	MSG_DATA_5								
H'FFFFDC8E	MB28	MSG_DATA_6								
H'FFFFDC8F	[13], [14]	MSG_DATA_7								
H'FFFFDC90	MB28 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDC91		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDC92	MB28 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDC93		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDC94 -7F		—	—	—	—	—	—	—	—	
H'FFFFDCA0	MB29	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	
H'FFFFDCA1	[0], [1]*	STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDCA2	MB29	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	
H'FFFFDCA3	[2], [3]	EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDCA4	MB29	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	
H'FFFFDCA5	[4],[5]	—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDCA6	MB29[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	
H'FFFFDCA7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDCA8	MB29	MSG_DATA_0								
H'FFFFDCA9	[7],[8]*	MSG_DATA_1								
H'FFFFDCAA	MB29	MSG_DATA_2								
H'FFFFDCAB	[9],[10]	MSG_DATA_3								
H'FFFFDCAC	MB29	MSG_DATA_4								
H'FFFFDCAD	[11],[12]	MSG_DATA_5								
H'FFFFDCAE	MB29	MSG_DATA_6								
H'FFFFDCAF	[13],[14]	MSG_DATA_7								

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDCB0	MB29 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN1 (チャンネル1)
H'FFFFDCB1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDCB2	MB29 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN1 (チャンネル1)
H'FFFFDCB3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDCB4 -BF		—	—	—	—	—	—	—	—	—
H'FFFFDCC0	MB30 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDCC1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDCC2	MB30 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	HCAN1 (チャンネル1)
H'FFFFDCC3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDCC4	MB30 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	HCAN1 (チャンネル1)
H'FFFFDCC5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	
H'FFFFDCC6	MB30[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN1 (チャンネル1)
H'FFFFDCC7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDCC8	MB30 [7], [8]*	MSG_DATA_0								HCAN1 (チャンネル1)
H'FFFFDCC9		MSG_DATA_1								
H'FFFFDCCA	MB30 [9],[10]	MSG_DATA_2								HCAN1 (チャンネル1)
H'FFFFDCCB		MSG_DATA_3								
H'FFFFDCCC	MB30 [11],[12]	MSG_DATA_4								HCAN1 (チャンネル1)
H'FFFFDCCD		MSG_DATA_5								
H'FFFFDCCF	MB30 [13],[14]	MSG_DATA_6								HCAN1 (チャンネル1)
H'FFFFDCCF		MSG_DATA_7								
H'FFFFDCD0	MB30 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	HCAN1 (チャンネル1)
H'FFFFDCD1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDCD2	MB30 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	HCAN1 (チャンネル1)
H'FFFFDCD3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDCD4 -DF		—	—	—	—	—	—	—	—	—
H'FFFFDCE0	MB31 [0], [1]*	—	STDID[10]	STDID[9]	STDID[8]	STDID[7]	STDID[6]	STDID[5]	STDID[4]	HCAN1 (チャンネル1)
H'FFFFDCE1		STDID[3]	STDID[2]	STDID[1]	STDID[0]	RTR	IDE	EXTID[17]	EXTID[16]	
H'FFFFDCE2	MB31 [2], [3]	EXTID[15]	EXTID[14]	EXTID[13]	EXTID[12]	EXTID[11]	EXTID[10]	EXTID[9]	EXTID[8]	HCAN1 (チャンネル1)
H'FFFFDCE3		EXTID[7]	EXTID[6]	EXTID[5]	EXTID[4]	EXTID[3]	EXTID[2]	EXTID[1]	EXTID[0]	
H'FFFFDCE4	MB31 [4], [5]	CCM	TTE	NMC	ATX	DART	MBC[2]	MBC[1]	MBC[0]	HCAN1 (チャンネル1)
H'FFFFDCE5		—	TCT	—	CLE	DLC[3]	DLC[2]	DLC[1]	DLC[0]	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFDCE6	MB31[6]	TMSTP [15]	TMSTP [14]	TMSTP [13]	TMSTP [12]	TMSTP [11]	TMSTP [10]	TMSTP [9]	TMSTP [8]	HCAN1 (チャンネル1)
H'FFFFDCE7		TMSTP[7]	TMSTP[6]	TMSTP[5]	TMSTP[4]	TMSTP[3]	TMSTP[2]	TMSTP[1]	TMSTP[0]	
H'FFFFDCE8	MB31 [7], [8]*	MSG_DATA_0								
H'FFFFDCE9		MSG_DATA_1								
H'FFFFDCEA	MB31 [9], [10]	MSG_DATA_2								
H'FFFFDCEB		MSG_DATA_3								
H'FFFFDCEC	MB31 [11], [12]	MSG_DATA_4								
H'FFFFDCEd		MSG_DATA_5								
H'FFFFDCEE	MB31 [13], [14]	MSG_DATA_6								
H'FFFFDCEF		MSG_DATA_7								
H'FFFFDCF0	MB31 [15], [16]	—	STDID_LA FM[10]	STDID_LA FM[9]	STDID_LA FM[8]	STDID_LA FM[7]	STDID_LA FM[6]	STDID_LA FM[5]	STDID_LA FM[4]	
H'FFFFDCF1		STDID_LA FM[3]	STDID_LA FM[2]	STDID_LA FM[1]	STDID_LA FM[0]	—	—	EXTID_LA FM[17]	EXTID_LA FM[16]	
H'FFFFDCF2	MB31 [17], [18]	EXTID_LA FM[15]	EXTID_LA FM[14]	EXTID_LA FM[13]	EXTID_LA FM[12]	EXTID_LA FM[11]	EXTID_LA FM[10]	EXTID_LA FM[9]	EXTID_LA FM[8]	
H'FFFFDCF3		EXTID_LA FM[7]	EXTID_LA FM[6]	EXTID_LA FM[5]	EXTID_LA FM[4]	EXTID_LA FM[3]	EXTID_LA FM[2]	EXTID_LA FM[1]	EXTID_LA FM[0]	
H'FFFFDCF4 -7FF		—	—	—	—	—	—	—	—	—
H'FFFFE730 ~ H'FFFFE7FF	—	—	—	—	—	—	—	—	—	—
H'FFFFE800	FCCS	FWE	—	—	FLER	—	—	—	SCO	FLASH
H'FFFFE801	FPCS	—	—	—	—	—	—	—	PPVS	
H'FFFFE802	FECS	—	—	—	—	—	—	—	EPVB	
H'FFFFE803	—	システム領域です。アクセスしないでください。								
H'FFFFE804	FKEY	K7	K6	K5	K4	K3	K2	K1	K0	
H'FFFFE805	FMATS	MS7	MS6	MS5	MS4	MS3	MS2	MS1	MS0	
H'FFFFE806	FTDAR	TDER	TDA6	TDA5	TDA4	TDA3	TDA2	TDA1	TDA0	
H'FFFFE807 ~ H'FFFFEBFF	—	システム領域です。アクセスしないでください。								
H'FFFFEC00	UBARH	UBA31	UBA30	UBA29	UBA28	UBA27	UBA26	UBA25	UBA24	UBC
H'FFFFEC01		UBA23	UBA22	UBA21	UBA20	UBA19	UBA18	UBA17	UBA16	
H'FFFFEC02	UBARL	UBA15	UBA14	UBA13	UBA12	UBA11	UBA10	UBA9	UBA8	
H'FFFFEC03		UBA7	UBA6	UBA5	UBA4	UBA3	UBA2	UBA1	UBA0	
H'FFFFEC04	UBAMRH	UBM31	UBM30	UBM29	UBM28	UBM27	UBM26	UBM25	UBM24	
H'FFFFEC05		UBM23	UBM22	UBM21	UBM20	UBM19	UBM18	UBM17	UBM16	
H'FFFFEC06	UBAMRL	UBM15	UBM14	UBM13	UBM12	UBM11	UBM10	UBM9	UBM8	
H'FFFFEC07		UBM7	UBM6	UBM5	UBM4	UBM3	UBM2	UBM1	UBM0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFFE08	UBBR	—	—	—	—	—	—	—	—	UBC
H'FFFFFFE09		CP1	CP0	ID1	ID0	RW1	RW0	SZ1	SZ0	
H'FFFFFFE0A	UBCR	—	—	—	—	—	—	—	—	
H'FFFFFFE0B		—	—	—	—	—	CKS1	CKS0	UBID	
H'FFFFFFE0C ~ H'FFFFFFE0F	—	—	—	—	—	—	—	—	—	—
H'FFFFFFE10	TCSR*	OVF	WT/IT	TME	—	—	CKS2	CKS1	CKS0	WDT
H'FFFFFFE11	TCNT*									
H'FFFFFFE12	—	—	—	—	—	—	—	—	—	
H'FFFFFFE13	RSTCSR*	WOVF	RSTE	RSTS	—	—	—	—	—	
H'FFFFFFE14	SBYCR	SSBY	HIZ	—	—	—	—	—	—	低消費電力 モード
H'FFFFFFE15 ~ H'FFFFFFE1F	—	—	—	—	—	—	—	—	—	—
H'FFFFFFE20	BCR1	—	—	—	—	—	—	—	—	BSC
H'FFFFFFE21		—	—	—	—	A3SZ	A2SZ	A1SZ	A0SZ	
H'FFFFFFE22	BCR2	IW31	IW30	IW21	IW20	IW11	IW10	IW01	IW00	
H'FFFFFFE23		CW3	CW2	CW1	CW0	SW3	SW2	SW1	SW0	
H'FFFFFFE24	WCR	—	W32	W31	W30	—	W22	W21	W20	
H'FFFFFFE25		—	W12	W11	W10	—	W02	W01	W00	
H'FFFFFFE26	RAMER	—	—	—	—	—	—	—	—	
H'FFFFFFE27		—	—	—	—	RAMS	RAM2	RAM1	RAM0	
H'FFFFFFE28 ~ H'FFFFFFEAF	—	—	—	—	—	—	—	—	—	—

【注】 * 読み出し時のアドレスです。書き込み時のアドレスは、TCSRとTCNTがH'FFFFFFE10、RSTCSRがH'FFFFFFE12です。

詳細は「13.2.4 レジスタアクセス時の注意」を参照してください。

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFECB0	DMAOR	—	—	—	—	—	—	—	—	DMAC (共通)
H'FFFFECB1		—	—	—	—	—	AE	NMIF	DME	
H'FFFFECB2 ~ H'FFFFECBF	—	—	—	—	—	—	—	—	—	—
H'FFFFECC0	SAR0									DMAC (チャンネル0)
H'FFFFECC1										
H'FFFFECC2										
H'FFFFECC3										
H'FFFFECC4	DAR0									
H'FFFFECC5										
H'FFFFECC6										
H'FFFFECC7										
H'FFFFECC8	DMATCR0	—	—	—	—	—	—	—	—	
H'FFFFECC9										
H'FFFFECCA										
H'FFFFECCB										
H'FFFFECCC	CHCR0	—	—	—	DI	—	—	—	RO	
H'FFFFECCD		—	—	—	RS4	RS3	RS2	RS1	RS0	
H'FFFFECCF		—	—	SM1	SM0	—	—	DM1	DM0	
H'FFFFECCF		—	—	TS1	TS0	TM	IE	TE	DE	
H'FFFFECD0	SAR1									DMAC (チャンネル1)
H'FFFFECD1										
H'FFFFECD2										
H'FFFFECD3										
H'FFFFECD4	DAR1									
H'FFFFECD5										
H'FFFFECD6										
H'FFFFECD7										
H'FFFFECD8	DMATCR1	—	—	—	—	—	—	—	—	
H'FFFFECD9										
H'FFFFECDA										
H'FFFFECDB										
H'FFFFECCD	CHCR1	—	—	—	DI	—	—	—	RO	
H'FFFFECCD		—	—	—	RS4	RS3	RS2	RS1	RS0	
H'FFFFECDE		—	—	SM1	SM0	—	—	DM1	DM0	
H'FFFFECDF		—	—	TS1	TS0	TM	IE	TE	DE	
H'FFFFECE0	SAR2									DMAC (チャンネル2)
H'FFFFECE1										
H'FFFFECE2										
H'FFFFECE3										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFE4	DAR2									DMAC (チャンネル2)
H'FFFFE5										
H'FFFFE6										
H'FFFFE7										
H'FFFFE8	DMATCR2	—	—	—	—	—	—	—	—	
H'FFFFE9										
H'FFFFEA										
H'FFFFEB										
H'FFFFEC	CHCR2	—	—	—	DI	—	—	—	RO	
H'FFFFED		—	—	—	RS4	RS3	RS2	RS1	RS0	
H'FFFFEE		—	—	SM1	SM0	—	—	DM1	DM0	
H'FFFFEF		—	—	TS1	TS0	TM	IE	TE	DE	
H'FFFFF0	SAR3									DMAC (チャンネル3)
H'FFFFF1										
H'FFFFF2										
H'FFFFF3										
H'FFFFF4	DAR3									
H'FFFFF5										
H'FFFFF6										
H'FFFFF7										
H'FFFFF8	DMATCR3	—	—	—	—	—	—	—	—	
H'FFFFF9										
H'FFFFFA										
H'FFFFFB										
H'FFFFFC	CHCR3	—	—	—	DI	—	—	—	RO	
H'FFFFFD		—	—	—	RS4	RS3	RS2	RS1	RS0	
H'FFFFFE		—	—	SM1	SM0	—	—	DM1	DM0	
H'FFFFFF		—	—	TS1	TS0	TM	IE	TE	DE	
H'FFFF00	IPRA									INTC
H'FFFF01										
H'FFFF02	IPRB									
H'FFFF03										
H'FFFF04	IPRC									
H'FFFF05										
H'FFFF06	IPRD									
H'FFFF07										
H'FFFF08	IPRE									
H'FFFF09										
H'FFFF0A	IPRF									
H'FFFF0B										
H'FFFF0C	IPRG									
H'FFFF0D										

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFE0E	IPRH									INTC	
H'FFFFE0F											
H'FFFFE10	IPRI										
H'FFFFE11											
H'FFFFE12	IPRJ										
H'FFFFE13											
H'FFFFE14	IPRK										
H'FFFFE15											
H'FFFFE16	IPRL										
H'FFFFE17											
H'FFFFE18	ICR	NMIL	—	—	—	—	—	—	NMIE		
H'FFFFE19		IRQ0S	IRQ1S	IRQ2S	IRQ3S	IRQ4S	IRQ5S	IRQ6S	IRQ7S		
H'FFFFE1A	ISR	—	—	—	—	—	—	—	—		
H'FFFFE1B		IRQ0F	IRQ1F	IRQ2F	IRQ3F	IRQ4F	IRQ5F	IRQ6F	IRQ7F		
H'FFFFE1C ~ H'FFFFEFFF	—	—	—	—	—	—	—	—	—		—
H'FFFFF00	SMR0	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0		SCI (チャンネル0)
H'FFFFF01	BRR0										
H'FFFFF02	SCR0	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFFF03	TDR0										
H'FFFFF04	SSR0	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFFF05	RDR0										
H'FFFFF06	SDCR0	—	—	—	—	DIR	—	—	—		
H'FFFFF07	—	—	—	—	—	—	—	—	—		
H'FFFFF08	SMR1	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル1)	
H'FFFFF09	BRR1										
H'FFFFF0A	SCR1	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFFF0B	TDR1										
H'FFFFF0C	SSR1	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFFF0D	RDR1										
H'FFFFF0E	SDCR1	—	—	—	—	DIR	—	—	—		
H'FFFFF0F	—	—	—	—	—	—	—	—	—		
H'FFFFF10	SMR2	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル2)	
H'FFFFF11	BRR2										
H'FFFFF12	SCR2	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0		
H'FFFFF13	TDR2										
H'FFFFF14	SSR2	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT		
H'FFFFF15	RDR2										
H'FFFFF16	SDCR2	—	—	—	—	DIR	—	—	—		
H'FFFFF17	—	—	—	—	—	—	—	—	—		

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF018	SMR3	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル3)
H'FFFFFF019	BRR3									
H'FFFFFF01A	SCR3	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF01B	TDR3									
H'FFFFFF01C	SSR3	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF01D	RDR3									
H'FFFFFF01E	SDCR3	—	—	—	—	DIR	—	—	—	
H'FFFFFF01F	—	—	—	—	—	—	—	—	—	
H'FFFFFF020	SMR4	C/ \bar{A}	CHR	PE	O/ \bar{E}	STOP	MP	CKS1	CKS0	SCI (チャンネル4)
H'FFFFFF021	BRR4									
H'FFFFFF022	SCR4	TIE	RIE	TE	RE	MPIE	TEIE	CKE1	CKE0	
H'FFFFFF023	TDR4									
H'FFFFFF024	SSR4	TDRE	RDRF	ORER	FER	PER	TEND	MPB	MPBT	
H'FFFFFF025	RDR4									
H'FFFFFF026	SDCR4	—	—	—	—	DIR	—	—	—	
H'FFFFFF027 ~ H'FFFFFF3FF	—	—	—	—	—	—	—	—	—	—
H'FFFFFF400	TSTR2	STR7D	STR7C	STR7B	STR7A	STR6D	STR6C	STR6B	STR6A	ATU-II (共通)
H'FFFFFF401	TSTR1	STR10	STR5	STR4	STR3	STR1B,2B	STR2A	STR1A	STR0	
H'FFFFFF402	TSTR3	—	—	—	—	—	—	—	STR11	
H'FFFFFF403	—	—	—	—	—	—	—	—	—	
H'FFFFFF404	PSCR1	—	—	—	PSC1E	PSC1D	PSC1C	PSC1B	PSC1A	
H'FFFFFF405	—	—	—	—	—	—	—	—	—	
H'FFFFFF406	PSCR2	—	—	—	PSC2E	PSC2D	PSC2C	PSC2B	PSC2A	
H'FFFFFF407	—	—	—	—	—	—	—	—	—	
H'FFFFFF408	PSCR3	—	—	—	PSC3E	PSC3D	PSC3C	PSC3B	PSC3A	
H'FFFFFF409	—	—	—	—	—	—	—	—	—	
H'FFFFFF40A	PSCR4	—	—	—	PSC4E	PSC4D	PSC4C	PSC4B	PSC4A	
H'FFFFFF40B	—	—	—	—	—	—	—	—	—	
H'FFFFFF40C ~ H'FFFFFF41F	—	—	—	—	—	—	—	—	—	
H'FFFFFF420	ICR0DH									ATU-II (チャンネル0)
H'FFFFFF421										
H'FFFFFF422	ICR0DL									
H'FFFFFF423										
H'FFFFFF424	ITVRR1	ITVA9	ITVA8	ITVA7	ITVA6	ITVE9	ITVE8	ITVE7	ITVE6	
H'FFFFFF425	—	—	—	—	—	—	—	—	—	
H'FFFFFF426	ITVRR2A	ITVA13A	ITVA12A	ITVA11A	ITVA10A	ITVE13A	ITVE12A	ITVE11A	ITVE10A	
H'FFFFFF427	—	—	—	—	—	—	—	—	—	
H'FFFFFF428	ITVRR2B	ITVA13B	ITVA12B	ITVA11B	ITVA10B	ITVE13B	ITVE12B	ITVE11B	ITVE10B	
H'FFFFFF429	—	—	—	—	—	—	—	—	—	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF42A	TIOR0	IO0D1	IO0D0	IO0C1	IO0C0	IO0B1	IO0B0	IO0A1	IO0A0	ATU-II (チャンネル0)
H'FFFFFF42B	—	—	—	—	—	—	—	—	—	
H'FFFFFF42C	TSR0	—	—	—	—	—	—	—	—	
H'FFFFFF42D		IIF2B	IIF2A	IIF1	OVF0	ICF0D	ICF0C	ICF0B	ICF0A	
H'FFFFFF42E	TIER0	—	—	—	—	—	—	—	—	
H'FFFFFF42F		—	—	—	OVE0	ICE0D	ICE0C	ICE0B	ICE0A	
H'FFFFFF430	TCNT0H									
H'FFFFFF431										
H'FFFFFF432	TCNT0L									
H'FFFFFF433										
H'FFFFFF434	ICR0AH									
H'FFFFFF435										
H'FFFFFF436	ICR0AL									
H'FFFFFF437										
H'FFFFFF438	ICR0BH									
H'FFFFFF439										
H'FFFFFF43A	ICR0BL									
H'FFFFFF43B										
H'FFFFFF43C	ICR0CH									
H'FFFFFF43D										
H'FFFFFF43E	ICR0CL									
H'FFFFFF43F										
H'FFFFFF440	TCNT1A									ATU-II (チャンネル1)
H'FFFFFF441										
H'FFFFFF442	TCNT1B									
H'FFFFFF443										
H'FFFFFF444	GR1A									
H'FFFFFF445										
H'FFFFFF446	GR1B									
H'FFFFFF447										
H'FFFFFF448	GR1C									
H'FFFFFF449										
H'FFFFFF44A	GR1D									
H'FFFFFF44B										
H'FFFFFF44C	GR1E									
H'FFFFFF44D										
H'FFFFFF44E	GR1F									
H'FFFFFF44F										
H'FFFFFF450	GR1G									
H'FFFFFF451										
H'FFFFFF452	GR1H									
H'FFFFFF453										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF454	OCR1									ATU-II (チャンネル1)
H'FFFFFF455										
H'FFFFFF456	OSBR1									
H'FFFFFF457										
H'FFFFFF458	TIOR1B	—	IO1D2	IO1D1	IO1D0	—	IO1C2	IO1C1	IO1C0	
H'FFFFFF459	TIOR1A	—	IO1B2	IO1B1	IO1B0	—	IO1A2	IO1A1	IO1A0	
H'FFFFFF45A	TIOR1D	—	IO1H2	IO1H1	IO1H0	—	IO1G2	IO1G1	IO1G0	
H'FFFFFF45B	TIOR1C	—	IO1F2	IO1F1	IO1F0	—	IO1E2	IO1E1	IO1E0	
H'FFFFFF45C	TCR1B	—	—	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0	
H'FFFFFF45D	TCR1A	—	—	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF45E	TSR1A	—	—	—	—	—	—	—	OVF1A	
H'FFFFFF45F		IMF1H	IMF1G	IMF1F	IMF1E	IMF1D	IMF1C	IMF1B	IMF1A	
H'FFFFFF460	TSR1B	—	—	—	—	—	—	—	OVF1B	
H'FFFFFF461		—	—	—	—	—	—	—	CMF1	
H'FFFFFF462	TIER1A	—	—	—	—	—	—	—	OVE1A	
H'FFFFFF463		IME1H	IME1G	IME1F	IME1E	IME1D	IME1C	IME1B	IME1A	
H'FFFFFF464	TIER1B	—	—	—	—	—	—	—	OVE1B	
H'FFFFFF465		—	—	—	—	—	—	—	CME1	
H'FFFFFF466	TRGMDR	TRGMD	—	—	—	—	—	—	—	
H'FFFFFF467 ~ H'FFFFFF47F	—	—	—	—	—	—	—	—	—	—
H'FFFFFF480	TSR3	—	OVF5	IMF5D	IMF5C	IMF5B	IMF5A	OVF4	IMF4D	ATU-II (チャンネル3、 4、5 共通)
H'FFFFFF481		IMF4C	IMF4B	IMF4A	OVF3	IMF3D	IMF3C	IMF3B	IMF3A	
H'FFFFFF482	TIER3	—	OVE5	IME5D	IME5C	IME5B	IME5A	OVE4	IME4D	
H'FFFFFF483		IME4C	IME4B	IME4A	OVE3	IME3D	IME3C	IME3B	IME3A	
H'FFFFFF484	TMDR	—	—	—	—	—	T5PWM	T4PWM	T3PWM	
H'FFFFFF485 ~ H'FFFFFF49F	—	—	—	—	—	—	—	—	—	—
H'FFFFFF4A0	TCNT3									ATU-II (チャンネル3)
H'FFFFFF4A1										
H'FFFFFF4A2	GR3A									
H'FFFFFF4A3										
H'FFFFFF4A4	GR3B									
H'FFFFFF4A5										
H'FFFFFF4A6	GR3C									
H'FFFFFF4A7										
H'FFFFFF4A8	GR3D									
H'FFFFFF4A9										
H'FFFFFF4AA	TIOR3B	CCI3D	IO3D2	IO3D1	IO3D0	CCI3C	IO3C2	IO3C1	IO3C0	
H'FFFFFF4AB	TIOR3A	CCI3B	IO3B2	IO3B1	IO3B0	CCI3A	IO3A2	IO3A1	IO3A0	
H'FFFFFF4AC	TCR3	—	—	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0	

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFF4AD ~ H'FFFFF4BF	-	-	-	-	-	-	-	-	-	-	-
H'FFFFF4C0	TCNT4										ATU-II (チャンネル4)
H'FFFFF4C1											
H'FFFFF4C2	GR4A										
H'FFFFF4C3											
H'FFFFF4C4	GR4B										
H'FFFFF4C5											
H'FFFFF4C6	GR4C										
H'FFFFF4C7											
H'FFFFF4C8	GR4D										
H'FFFFF4C9											
H'FFFFF4CA	TIOR4B	CCI4D	IO4D2	IO4D1	IO4D0	CCI4C	IO4C2	IO4C1	IO4C0		
H'FFFFF4CB	TIOR4A	CCI4B	IO4B2	IO4B1	IO4B0	CCI4A	IO4A2	IO4A1	IO4A0		
H'FFFFF4CC	TCR4	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0		
H'FFFFF4CD ~ H'FFFFF4DF	-	-	-	-	-	-	-	-	-	-	
H'FFFFF4E0	TCNT5										ATU-II (チャンネル5)
H'FFFFF4E1											
H'FFFFF4E2	GR5A										
H'FFFFF4E3											
H'FFFFF4E4	GR5B										
H'FFFFF4E5											
H'FFFFF4E6	GR5C										
H'FFFFF4E7											
H'FFFFF4E8	GR5D										
H'FFFFF4E9											
H'FFFFF4EA	TIOR5B	CCI5D	IO5D2	IO5D1	IO5D0	CCI5C	IO5C2	IO5C1	IO5C0		
H'FFFFF4EB	TIOR5A	CCI5B	IO5B2	IO5B1	IO5B0	CCI5A	IO5A2	IO5A1	IO5A0		
H'FFFFF4EC	TCR5	-	-	CKEG1	CKEG0	CKSEL3	CKSEL2	CKSEL1	CKSEL0		
H'FFFFF4ED ~ H'FFFFF4EF	-	-	-	-	-	-	-	-	-	-	
H'FFFFF500	TCNT6A										ATU-II (チャンネル6)
H'FFFFF501											
H'FFFFF502	TCNT6B										
H'FFFFF503											
H'FFFFF504	TCNT6C										
H'FFFFF505											
H'FFFFF506	TCNT6D										
H'FFFFF507											

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF508	CYLR6A									ATU-II (チャンネル6)
H'FFFFFF509										
H'FFFFFF50A	CYLR6B									
H'FFFFFF50B										
H'FFFFFF50C	CYLR6C									
H'FFFFFF50D										
H'FFFFFF50E	CYLR6D									
H'FFFFFF50F										
H'FFFFFF510	BFR6A									
H'FFFFFF511										
H'FFFFFF512	BFR6B									
H'FFFFFF513										
H'FFFFFF514	BFR6C									
H'FFFFFF515										
H'FFFFFF516	BFR6D									
H'FFFFFF517										
H'FFFFFF518	DTR6A									
H'FFFFFF519										
H'FFFFFF51A	DTR6B									
H'FFFFFF51B										
H'FFFFFF51C	DTR6C									
H'FFFFFF51D										
H'FFFFFF51E	DTR6D									
H'FFFFFF51F										
H'FFFFFF520	TCR6B	—	CKSELD2	CKSELD1	CKSELD0	—	CKSELC2	CKSELC1	CKSELC0	
H'FFFFFF521	TCR6A	—	CKSELB2	CKSELB1	CKSELB0	—	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF522	TSR6	—	—	—	—	—	—	—	—	
H'FFFFFF523		UD6D	UD6C	UD6B	UD6A	CMF6D	CMF6C	CMF6B	CMF6A	
H'FFFFFF524	TIER6	—	—	—	—	—	—	—	—	
H'FFFFFF525		—	—	—	—	CME6D	CME6C	CME6B	CME6A	
H'FFFFFF526	PMDR	DTSELD	DTSELC	DTSELB	DTSELA	CNTSELD	CNTSELC	CNTSELB	CNTSELA	
H'FFFFFF527 ~ H'FFFFFF57F	—	—	—	—	—	—	—	—	—	—
H'FFFFFF580	TCNT7A									ATU-II (チャンネル7)
H'FFFFFF581										
H'FFFFFF582	TCNT7B									
H'FFFFFF583										
H'FFFFFF584	TCNT7C									
H'FFFFFF585										
H'FFFFFF586	TCNT7D									
H'FFFFFF587										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF588	CYLR7A									ATU-II (チャンネル7)
H'FFFFFF589										
H'FFFFFF58A	CYLR7B									
H'FFFFFF58B										
H'FFFFFF58C	CYLR7C									
H'FFFFFF58D										
H'FFFFFF58E	CYLR7D									
H'FFFFFF58F										
H'FFFFFF590	BFR7A									
H'FFFFFF591										
H'FFFFFF592	BFR7B									
H'FFFFFF593										
H'FFFFFF594	BFR7C									
H'FFFFFF595										
H'FFFFFF596	BFR7D									
H'FFFFFF597										
H'FFFFFF598	DTR7A									
H'FFFFFF599										
H'FFFFFF59A	DTR7B									
H'FFFFFF59B										
H'FFFFFF59C	DTR7C									
H'FFFFFF59D										
H'FFFFFF59E	DTR7D									
H'FFFFFF59F										
H'FFFFFFA0	TCR7B	—	CKSEL2	CKSEL1	CKSEL0	—	CKSEL2	CKSEL1	CKSEL0	
H'FFFFFFA1	TCR7A	—	CKSEL2	CKSEL1	CKSEL0	—	CKSEL2	CKSEL1	CKSEL0	
H'FFFFFFA2	TSR7	—	—	—	—	—	—	—	—	
H'FFFFFFA3		UD7D	UD7C	UD7B	UD7A	CMF7D	CMF7C	CMF7B	CMF7A	
H'FFFFFFA4	TIER7	—	—	—	—	—	—	—	—	
H'FFFFFFA5		—	—	—	—	CME7D	CME7C	CME7B	CME7A	
H'FFFFFFA6 ~ H'FFFFFF5BF	—	—	—	—	—	—	—	—	—	—
H'FFFFFFC0	TCNT11									ATU-II (チャンネル11)
H'FFFFFFC1										
H'FFFFFFC2	GR11A									
H'FFFFFFC3										
H'FFFFFFC4	GR11B									
H'FFFFFFC5										
H'FFFFFFC6	TIOR11	—	IO11B2	IO11B1	IO11B0	—	IO11A2	IO11A1	IO11A0	
H'FFFFFFC7	—	—	—	—	—	—	—	—	—	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF5C8	TCR11	—	—	CKEG1	CKEG0	—	CKSELA2	CKSELA1	CKSELA0	ATU-II (チャンネル11)
H'FFFFFF5C9	—	—	—	—	—	—	—	—	—	
H'FFFFFF5CA	TSR11	—	—	—	—	—	—	—	OVF11	
H'FFFFFF5CB		—	—	—	—	—	—	IMF11B	IMF11A	
H'FFFFFF5CC	TIER11	—	—	—	—	—	—	—	OVE11	
H'FFFFFF5CD		—	—	—	—	—	—	IME11B	IME11A	
H'FFFFFF5CE ~ H'FFFFFF5FF	—	—	—	—	—	—	—	—	—	—
H'FFFFFF600	TCNT2A									ATU-II (チャンネル2)
H'FFFFFF601										
H'FFFFFF602	TCNT2B									
H'FFFFFF603										
H'FFFFFF604	GR2A									
H'FFFFFF605										
H'FFFFFF606	GR2B									
H'FFFFFF607										
H'FFFFFF608	GR2C									
H'FFFFFF609										
H'FFFFFF60A	GR2D									
H'FFFFFF60B										
H'FFFFFF60C	GR2E									
H'FFFFFF60D										
H'FFFFFF60E	GR2F									
H'FFFFFF60F										
H'FFFFFF610	GR2G									
H'FFFFFF611										
H'FFFFFF612	GR2H									
H'FFFFFF613										
H'FFFFFF614	OCR2A									
H'FFFFFF615										
H'FFFFFF616	OCR2B									
H'FFFFFF617										
H'FFFFFF618	OCR2C									
H'FFFFFF619										
H'FFFFFF61A	OCR2D									
H'FFFFFF61B										
H'FFFFFF61C	OCR2E									
H'FFFFFF61D										
H'FFFFFF61E	OCR2F									
H'FFFFFF61F										

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF620	OCR2G									ATU-II (チャンネル2)
H'FFFFF621										
H'FFFFF622	OCR2H									
H'FFFFF623										
H'FFFFF624	OSBR2									
H'FFFFF625										
H'FFFFF626	TIOR2B	—	IO2D2	IO2D1	IO2D0	—	IO2C2	IO2C1	IO2C0	
H'FFFFF627	TIOR2A	—	IO2B2	IO2B1	IO2B0	—	IO2A2	IO2A1	IO2A0	
H'FFFFF628	TIOR2D	—	IO2H2	IO2H1	IO2H0	—	IO2G2	IO2G1	IO2G0	
H'FFFFF629	TIOR2C	—	IO2F2	IO2F1	IO2F0	—	IO2E2	IO2E1	IO2E0	
H'FFFFF62A	TCR2B	—	—	CKEGB1	CKEGB0	CKSELB3	CKSELB2	CKSELB1	CKSELB0	
H'FFFFF62B	TCR2A	—	—	CKEGA1	CKEGA0	CKSELA3	CKSELA2	CKSELA1	CKSELA0	
H'FFFFF62C	TSR2A	—	—	—	—	—	—	—	OVF2A	
H'FFFFF62D		IMF2H	IMF2G	IMF2F	IMF2E	IMF2D	IMF2C	IMF2B	IMF2A	
H'FFFFF62E	TSR2B	—	—	—	—	—	—	—	OVF2B	
H'FFFFF62F		CMF2H	CMF2G	CMF2F	CMF2E	CMF2D	CMF2C	CMF2B	CMF2A	
H'FFFFF630	TIER2A	—	—	—	—	—	—	—	OVE2A	
H'FFFFF631		IME2H	IME2G	IME2F	IME2E	IME2D	IME2C	IME2B	IME2A	
H'FFFFF632	TIER2B	—	—	—	—	—	—	—	OVE2B	
H'FFFFF633		CME2H	CME2G	CME2F	CME2E	CME2D	CME2C	CME2B	CME2A	
H'FFFFF634 ~ H'FFFFF63F	—	—	—	—	—	—	—	—	—	—
H'FFFFF640	DCNT8A									ATU-II (チャンネル8)
H'FFFFF641										
H'FFFFF642	DNCT8B									
H'FFFFF643										
H'FFFFF644	DNCT8C									
H'FFFFF645										
H'FFFFF646	DCNT8D									
H'FFFFF647										
H'FFFFF648	DCNT8E									
H'FFFFF649										
H'FFFFF64A	DCNT8F									
H'FFFFF64B										
H'FFFFF64C	DCNT8G									
H'FFFFF64D										
H'FFFFF64E	DCNT8H									
H'FFFFF64F										
H'FFFFF650	DCNT8I									
H'FFFFF651										

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF652	DCNT8J									ATU-II (チャンネル8)
H'FFFFFF653										
H'FFFFFF654	DCNT8K									
H'FFFFFF655										
H'FFFFFF656	DCNT8L									
H'FFFFFF657										
H'FFFFFF658	DCNT8M									
H'FFFFFF659										
H'FFFFFF65A	DCNT8N									
H'FFFFFF65B										
H'FFFFFF65C	DCNT8O									
H'FFFFFF65D										
H'FFFFFF65E	DCNT8P									
H'FFFFFF65F										
H'FFFFFF660	RLDR8									
H'FFFFFF661										
H'FFFFFF662	TCNR	CN8P	CN8O	CN8N	CN8M	CN8L	CN8K	CN8J	CN8I	
H'FFFFFF663		CN8H	CN8G	CN8F	CN8E	CN8D	CN8C	CN8B	CN8A	
H'FFFFFF664	OTR	OTEP	OTEO	OTEN	OTEM	OTEL	OTEK	OTEJ	OTEI	
H'FFFFFF665		OTEH	OTEG	OTEF	OTEE	OTED	OTEC	OTEB	OTEA	
H'FFFFFF666	DSTR	DST8P	DST8O	DST8N	DST8M	DST8L	DST8K	DST8J	DST8I	
H'FFFFFF667		DST8H	DST8G	DST8F	DST8E	DST8D	DST8C	DST8B	DST8A	
H'FFFFFF668	TCR8	—	CKSELB2	CKSELB1	CKSELB0	—	CKSELA2	CKSELA1	CKSELA0	
H'FFFFFF669	—	—	—	—	—	—	—	—	—	
H'FFFFFF66A	TSR8	OSF8P	OSF8O	OSF8N	OSF8M	OSF8L	OSF8K	OSF8J	OSF8I	
H'FFFFFF66B		OSF8H	OSF8G	OSF8F	OSF8E	OSF8D	OSF8C	OSF8B	OSF8A	
H'FFFFFF66C	TIER8	OSE8P	OSE8O	OSE8N	OSE8M	OSE8L	OSE8K	OSE8J	OSE8I	
H'FFFFFF66D		OSE8H	OSE8G	OSE8F	OSE8E	OSE8D	OSE8C	OSE8B	OSE8A	
H'FFFFFF66E	RLDENR	RLDEN	—	—	—	—	—	—	—	
H'FFFFFF66F ~ H'FFFFFF67F	—	—	—	—	—	—	—	—	—	—
H'FFFFFF680	ECNT9A									ATU-II (チャンネル9)
H'FFFFFF681	—	—	—	—	—	—	—	—	—	
H'FFFFFF682	ECNT9B									
H'FFFFFF683	—	—	—	—	—	—	—	—	—	
H'FFFFFF684	ECNT9C									
H'FFFFFF685	—	—	—	—	—	—	—	—	—	
H'FFFFFF686	ECNT9D									
H'FFFFFF687	—	—	—	—	—	—	—	—	—	
H'FFFFFF688	ECNT9E									
H'FFFFFF689	—	—	—	—	—	—	—	—	—	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFF68A	ECNT9F									ATU-II (チャンネル9)
H'FFFFF68B	—	—	—	—	—	—	—	—	—	
H'FFFFF68C	GR9A									
H'FFFFF68D	—	—	—	—	—	—	—	—	—	
H'FFFFF68E	GR9B									
H'FFFFF68F	—	—	—	—	—	—	—	—	—	
H'FFFFF690	GR9C									
H'FFFFF691	—	—	—	—	—	—	—	—	—	
H'FFFFF692	GR9D									
H'FFFFF693	—	—	—	—	—	—	—	—	—	
H'FFFFF694	GR9E									
H'FFFFF695	—	—	—	—	—	—	—	—	—	
H'FFFFF696	GR9F									
H'FFFFF697	—	—	—	—	—	—	—	—	—	
H'FFFFF698	TCR9A	—	TRG3BEN	EGSELB1	EGSELB0	—	TRG3AEN	EGSELA1	EGSELA0	
H'FFFFF699	—	—	—	—	—	—	—	—	—	
H'FFFFF69A	TCR9B	—	TRG3DEN	EGSELD1	EGSELD0	—	TRG3CEN	EGSELC1	EGSELC0	
H'FFFFF69B	—	—	—	—	—	—	—	—	—	
H'FFFFF69C	TCR9C	—	—	EGSELF1	EGSELF0	—	—	EGSELE1	EGSELE0	
H'FFFFF69D	—	—	—	—	—	—	—	—	—	
H'FFFFF69E	TSR9	—	—	—	—	—	—	—	—	
H'FFFFF69F	—	—	—	CMF9F	CMF9E	CMF9D	CMF9C	CMF9B	CMF9A	
H'FFFFF6A0	TIER9	—	—	—	—	—	—	—	—	
H'FFFFF6A1	—	—	—	CME9F	CME9E	CME9D	CME9C	CME9B	CME9A	
H'FFFFF6A2 ~ H'FFFFF6BF	—	—	—	—	—	—	—	—	—	—
H'FFFFF6C0	TCNT10A									ATU-II (チャンネル10)
H'FFFFF6C1	H									
H'FFFFF6C2	TCNT10A									
H'FFFFF6C3	L									
H'FFFFF6C4	TCNT10B									
H'FFFFF6C5	—	—	—	—	—	—	—	—	—	
H'FFFFF6C6	TCNT10C									
H'FFFFF6C7	—									
H'FFFFF6C8	TCNT10D									
H'FFFFF6C9	—	—	—	—	—	—	—	—	—	
H'FFFFF6CA	TCNT10E									
H'FFFFF6CB	—									
H'FFFFF6CC	TCNT10F									
H'FFFFF6CD	—									

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF6CE	TCNT10G									ATU-II (チャンネル10)
H'FFFFFF6CF										
H'FFFFFF6D0	ICR10AH									
H'FFFFFF6D1										
H'FFFFFF6D2	ICR10AL									
H'FFFFFF6D3										
H'FFFFFF6D4	OCR10AH									
H'FFFFFF6D5										
H'FFFFFF6D6	OCR10AL									
H'FFFFFF6D7										
H'FFFFFF6D8	OCR10B									
H'FFFFFF6D9	—	—	—	—	—	—	—	—	—	
H'FFFFFF6DA	RLD10C									
H'FFFFFF6DB										
H'FFFFFF6DC	GR10G									
H'FFFFFF6DD										
H'FFFFFF6DE	TCNT10H									
H'FFFFFF6DF	—	—	—	—	—	—	—	—	—	
H'FFFFFF6E0	NCR10									
H'FFFFFF6E1	—	—	—	—	—	—	—	—	—	ATU-II (チャンネル10)
H'FFFFFF6E2	TIOR10	RLDEN	CCS	PIM1	PIM0	—	IO10G2	IO10G1	IO10G0	
H'FFFFFF6E3	—	—	—	—	—	—	—	—	—	
H'FFFFFF6E4	TCR10	TRG2BEN	TRG1BEN	TRG2AEN	TRG1AEN	TRG0DEN	NCE	CKEG1	CKEG0	
H'FFFFFF6E5	—	—	—	—	—	—	—	—	—	
H'FFFFFF6E6	TCCLR10									
H'FFFFFF6E7										
H'FFFFFF6E8	TSR10	—	—	—	—	—	—	—	—	
H'FFFFFF6E9		—	—	—	—	—	CMF10G	CMF10B	ICF10A	
H'FFFFFF6EA	TIER10	—	—	—	—	—	—	—	—	
H'FFFFFF6EB		—	—	—	—	IREG	CME10G	CME10B	ICE10A	
H'FFFFFF6EC ~ H'FFFFFF6FF	—	—	—	—	—	—	—	—	—	—
H'FFFFFF700	POPCR	PULS7ROE	PULS6ROE	PULS5ROE	PULS4ROE	PULS3ROE	PULS2ROE	PULS1ROE	PULS0ROE	APC
H'FFFFFF701		PULS7SOE	PULS6SOE	PULS5SOE	PULS4SOE	PULS3SOE	PULS2SOE	PULS1SOE	PULS0SOE	
H'FFFFFF702 ~ H'FFFFFF707	—	—	—	—	—	—	—	—	—	—
H'FFFFFF708	SYCSR1	OSCSTOP	INOSCE	—	—	—	—	AUDSRST	RAME	低消費電力 モード
H'FFFFFF709	—	—	—	—	—	—	—	—		
H'FFFFFF70A	SYCSR2*1	—	—	—	—	—	—	—		
H'FFFFFF70B	SYCSR2*2	CKSEL	—	—	—	MSTOP3	MSTOP2	MSTOP1	MSTOP0	

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF70C ~ H'FFFFFF70F	—	—	—	—	—	—	—	—	—	—
H'FFFFFF710	CMSTR	—	—	—	—	—	—	—	—	CMT
H'FFFFFF711		—	—	—	—	—	—	STR1	STR0	
H'FFFFFF712	CMCSR0	—	—	—	—	—	—	—	—	CMT
H'FFFFFF713		CMF	CMIE	—	—	—	—	CKS1	CKS0	
H'FFFFFF714	CMCNT0									

【注】 * 読み出し時のアドレスです。書き込み時のアドレスは H'FFFFFF70A です。詳細は「25.2.4 レジスタアクセス時の注意」を参照してください。

- *1 書き込みは、ワード単位で行ってください。バイトおよびロングワード単位では書き込むことができません。
- *2 読み出しは、バイト単位で行ってください。ワードおよびロングワード単位では、正しい値を読み出すことができません。

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF715	CMCNT0									CMT	
H'FFFFFF716	CMCOR0										
H'FFFFFF717											
H'FFFFFF718	CMCSR1	—	—	—	—	—	—	—	—		
H'FFFFFF719		CMF	CMIE	—	—	—	—	CKS1	CKS0		
H'FFFFFF71A	CMCNT1										
H'FFFFFF71B											
H'FFFFFF71C	CMCOR1										
H'FFFFFF71D											
H'FFFFFF71E	—	—	—	—	—	—	—	—	—		
H'FFFFFF71F	—	—	—	—	—	—	—	—	—		
H'FFFFFF720	PAIOR	PA15IOR	PA14IOR	PA13IOR	PA12IOR	PA11IOR	PA10IOR	PA9IOR	PA8IOR		ポートA
H'FFFFFF721		PA7IOR	PA6IOR	PA5IOR	PA4IOR	PA3IOR	PA2IOR	PA1IOR	PA0IOR		
H'FFFFFF722	PACRH	—	PA15MD	—	PA14MD	—	PA13MD	—	PA12MD		
H'FFFFFF723		PA11MD1	PA11MD0	PA10MD1	PA10MD0	PA10MD1	PA9MD0	PA8MD1	PA8MD0		
H'FFFFFF724	PACRL	—	PA7MD	—	PA6MD	—	PA5MD	—	PA4MD		
H'FFFFFF725		—	PA3MD	—	PA2MD	—	PA1MD	—	PA0MD		
H'FFFFFF726	PADR	PA15DR	PA14DR	PA13DR	PA12DR	PA11DR	PA10DR	PA9DR	PA8DR		
H'FFFFFF727		PA7DR	PA6DR	PA5DR	PA4DR	PA3DR	PA2DR	PA1DR	PA0DR		
H'FFFFFF728	PHIOR	PH15IOR	PH14IOR	PH13IOR	PH12IOR	PH11IOR	PH10IOR	PH9IOR	PH8IOR	ポートH	
H'FFFFFF729		PH7IOR	PH6IOR	PH5IOR	PH4IOR	PH3IOR	PH2IOR	PH1IOR	PH0IOR		
H'FFFFFF72A	PHCR	PH15MD	PH14MD	PH13MD	PH12MD	PH11MD	PH10MD	PH9MD	PH8MD		
H'FFFFFF72B		PH7MD	PH6MD	PH5MD	PH4MD	PH3MD	PH2MD	PH1MD	PH0MD		
H'FFFFFF72C	PHDR	PH15DR	PH14DR	PH13DR	PH12DR	PH11DR	PH10DR	PH9DR	PH8DR		
H'FFFFFF72D		PH7DR	PH6DR	PH5DR	PH4DR	PH3DR	PH2DR	PH1DR	PH0DR		
H'FFFFFF72E	ADTRGR1	EXTRG	—	—	—	—	—	—	—	A/D	
H'FFFFFF72F	ADTRGR2	EXTRG	—	—	—	—	—	—	—		
H'FFFFFF730	PBIOR	PB15IOR	PB14IOR	PB13IOR	PB12IOR	PB11IOR	PB10IOR	PB9IOR	PB8IOR	ポートB	
H'FFFFFF731		PB7IOR	PB6IOR	PB5IOR	PB4IOR	PB3IOR	PB2IOR	PB1IOR	PB0IOR		
H'FFFFFF732	PBCRH	PB15MD1	PB15MD0	PB14MD1	PB14MD0	—	PB13MD	PB12MD1	PB12MD0		
H'FFFFFF733		PB11MD1	PB11MD0	PB10MD1	PB10MD0	PB9MD1	PB9MD0	PB8MD1	PB8MD0		
H'FFFFFF734	PBCRL	PB7MD1	PB7MD0	PB6MD1	PB6MD0	PB5MD1	PB5MD0	PB4MD1	PB4MD0		
H'FFFFFF735		—	PB3MD	—	PB2MD	—	PB1MD	—	PB0MD		
H'FFFFFF736	PBIR	PB15IR	PB14IR	PB13IR	—	PB11IR	PB10IR	PB9IR	PB8IR		
H'FFFFFF737		PB7IR	PB6IR	PB5IR	PB4IR	PB3IR	PB2IR	PB1IR	PB0IR		
H'FFFFFF738	PBDR	PB15DR	PB14DR	PB13DR	PB12DR	PB11DR	PB10DR	PB9DR	PB8DR		
H'FFFFFF739		PB7DR	PB6DR	PB5DR	PB4DR	PB3DR	PB2DR	PB1DR	PB0DR		
H'FFFFFF73A	PCIOR	—	—	—	—	—	—	—	—		ポートC
H'FFFFFF73B		—	—	—	PC4IOR	PC3IOR	PC2IOR	PC1IOR	PC0IOR		
H'FFFFFF73C	PCCR	—	—	—	—	—	—	—	PC4MD		
H'FFFFFF73D		—	PC3MD	—	PC2MD	—	PC1MD	—	PC0MD		

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF73E	PCDR	—	—	—	—	—	—	—	—	
H'FFFFFF73F		—	—	—	PC4DR	PC3DR	PC2DR	PC1DR	PC0DR	
H'FFFFFF740	PDIOR	—	—	PD13IOR	PD12IOR	PD11IOR	PD10IOR	PD9IOR	PD8IOR	ポートD
H'FFFFFF741		PD7IOR	PD6IOR	PD5IOR	PD4IOR	PD3IOR	PD2IOR	PD1IOR	PD0IOR	
H'FFFFFF742	PDCRH	—	—	—	—	PD13MD1	PD13MD0	—	PD12MD	
H'FFFFFF743		—	PD11MD	—	PD10MD	—	PD9MD	—	PD8MD	
H'FFFFFF744	PDCRL	—	PD7MD	—	PD6MD	—	PD5MD	—	PD4MD	
H'FFFFFF745		—	PD3MD	—	PD2MD	—	PD1MD	—	PD0MD	
H'FFFFFF746	PDDR	—	—	PD13DR	PD12DR	PD11DR	PD10DR	PD9DR	PD8DR	
H'FFFFFF747		PD7DR	PD6DR	PD5DR	PD4DR	PD3DR	PD2DR	PD1DR	PD0DR	
H'FFFFFF748	PFIOR	PF15IOR	PF14IOR	PF13IOR	PF12IOR	PF11IOR	PF10IOR	PF9IOR	PF8IOR	ポートF
H'FFFFFF749		PF7IOR	PF6IOR	PF5IOR	PF4IOR	PF3IOR	PF2IOR	PF1IOR	PF0IOR	
H'FFFFFF74A	PFCRH	CKHIZ	PF15MD	—	PF14MD	—	PF13MD	—	PF12MD	
H'FFFFFF74B		—	PF11MD	—	PF10MD	—	PF9MD	—	PF8MD	
H'FFFFFF74C	PFCRL	—	PF7MD	—	PF6MD	PF5MD1	PF5MD0	—	PF4MD	
H'FFFFFF74D		—	PF3MD	—	PF2MD	—	PF1MD	—	PF0MD	
H'FFFFFF74E	PFDR	PF15DR	PF14DR	PF13DR	PF12DR	PF11DR	PF10DR	PF9DR	PF8DR	
H'FFFFFF74F		PF7DR	PF6DR	PF5DR	PF4DR	PF3DR	PF2DR	PF1DR	PF0DR	
H'FFFFFF750	PEIOR	PE15IOR	PE14IOR	PE13IOR	PE12IOR	PE11IOR	PE10IOR	PE9IOR	PE8IOR	ポートE
H'FFFFFF751		PE7IOR	PE6IOR	PE5IOR	PE4IOR	PE3IOR	PE2IOR	PE1IOR	PE0IOR	
H'FFFFFF752	PECR	PE15MD	PE14MD	PE13MD	PE12MD	PE11MD	PE10MD	PE9MD	PE8MD	
H'FFFFFF753		PE7MD	PE6MD	PE5MD	PE4MD	PE3MD	PE2MD	PE1MD	PE0MD	
H'FFFFFF754	PEDR	PE15DR	PE14DR	PE13DR	PE12DR	PE11DR	PE10DR	PE9DR	PE8DR	
H'FFFFFF755		PE7DR	PE6DR	PE5DR	PE4DR	PE3DR	PE2DR	PE1DR	PE0DR	
H'FFFFFF756	PLIOR	—	—	PL13IOR	PL12IOR	PL11IOR	PL10IOR	PL9IOR	PL8IOR	ポートL
H'FFFFFF757		PL7IOR	PL6IOR	PL5IOR	PL4IOR	PL3IOR	PL2IOR	PL1IOR	PL0IOR	
H'FFFFFF758	PLCRH	—	—	—	—	PL13MD1	PL13MD0	—	PL12MD	
H'FFFFFF759		PL11MD1	PL11MD0	PL10MD1	PL10MD0	PL9MD1	PL9MD0	—	PL8MD	
H'FFFFFF75A	PLCRL	—	PL7MD	—	PL6MD	—	PL5MD	—	PL4MD	
H'FFFFFF75B		—	PL3MD	PL2MD1	PL2MD0	PL1MD1	PL1MD0	—	PL0MD0	
H'FFFFFF75C	PLIR	—	—	—	—	—	—	PL9IR	PL8IR	
H'FFFFFF75D		PL7IR	—	—	—	—	—	—	—	
H'FFFFFF75E	PLDR	—	—	PL13DR	PL12DR	PL11DR	PL10DR	PL9DR	PL8DR	
H'FFFFFF75F		PL7DR	PL6DR	PL5DR	PL4DR	PL3DR	PL2DR	PL1DR	PL0DR	
H'FFFFFF760	PGIOR	—	—	—	—	—	—	—	—	ポートG
H'FFFFFF761		—	—	—	—	PG3IOR	PG2IOR	PG1IOR	PG0IOR	
H'FFFFFF762	PGCR	—	—	—	—	—	—	—	—	
H'FFFFFF763		PG3MD1	PG3MD0	PG2MD1	PG2MD0	—	PG1MD	PG0MD1	PG0MD0	
H'FFFFFF764	PGDR	—	—	—	—	—	—	—	—	
H'FFFFFF765		—	—	—	—	PG3DR	PG2DR	PG1DR	PG0DR	

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFF766	PJIOR	PJ15IOR	PJ14IOR	PJ13IOR	PJ12IOR	PJ11IOR	PJ10IOR	PJ9IOR	PJ8IOR	ポート J	
H'FFFFFF767		PJ7IOR	PJ6IOR	PJ5IOR	PJ4IOR	PJ3IOR	PJ2IOR	PJ1IOR	PJ0IOR		
H'FFFFFF768	PJCRH	—	PJ15MD	—	PJ14MD	—	PJ13MD	—	PJ12MD		
H'FFFFFF769		—	PJ11MD	—	PJ10MD	—	PJ9MD	—	PJ8MD		
H'FFFFFF76A	PJCRL	—	PJ7MD	—	PJ6MD	—	PJ5MD	—	PJ4MD		
H'FFFFFF76B		—	PJ3MD	—	PJ2MD	—	PJ1MD	—	PJ0MD		
H'FFFFFF76C	PJDR	PJ15DR	PJ14DR	PJ13DR	PJ12DR	PJ11DR	PJ10DR	PJ9DR	PJ8DR		
H'FFFFFF76D		PJ7DR	PJ6DR	PJ5DR	PJ4DR	PJ3DR	PJ2DR	PJ1DR	PJ0DR		
H'FFFFFF76E	ADTRG0	EXTRG	—	—	—	—	—	—	—		A/D
H'FFFFFF76F		—	—	—	—	—	—	—	—		
H'FFFFFF770	PKIOR	PK15IOR	PK14IOR	PK13IOR	PK12IOR	PK11IOR	PK10IOR	PK9IOR	PK8IOR	ポート K	
H'FFFFFF771		PK7IOR	PK6IOR	PK5IOR	PK4IOR	PK3IOR	PK2IOR	PK1IOR	PK0IOR		
H'FFFFFF772	PKCRH	—	PK15MD	—	PK14MD	—	PK13MD	—	PK12MD		
H'FFFFFF773		—	PK11MD	—	PK10MD	—	PK9MD	—	PK8MD		
H'FFFFFF774	PKCRL	—	PK7MD	—	PK6MD	—	PK5MD	—	PK4MD		
H'FFFFFF775		—	PK3MD	—	PK2MD	—	PK1MD	—	PK0MD		
H'FFFFFF776	PKIR	PK15IR	PK14IR	PK13IR	PK12IR	PK11IR	PK10IR	PK9IR	PK8IR		
H'FFFFFF777		PK7IR	PK6IR	PK5IR	PK4IR	PK3IR	PK2IR	PK1IR	PK0IR		
H'FFFFFF778	PKDR	PK15DR	PK14DR	PK13DR	PK12DR	PK11DR	PK10DR	PK9DR	PK8DR		
H'FFFFFF779		PK7DR	PK6DR	PK5DR	PK4DR	PK3DR	PK2DR	PK1DR	PK0DR		
H'FFFFFF77A ~ H'FFFFFF77F	—	—	—	—	—	—	—	—	—	—	
H'FFFFFF780	PAPR	PA15PR	PA14PR	PA13PR	PA12PR	PA11PR	PA10PR	PA9PR	PA8PR	ポート A	
H'FFFFFF781		PA7PR	PA6PR	PA5PR	PA4PR	PA3PR	PA2PR	PA1PR	PA0PR		
H'FFFFFF782	PBPR	PB15PR	PB14PR	PB13PR	PB12PR	PB11PR	PB10PR	PB9PR	PB8PR	ポート B	
H'FFFFFF783		PB7PR	PB6PR	PB5PR	PB4PR	PB3PR	PB2PR	PB1PR	PB0PR		
H'FFFFFF784	PDPR	PD15PR	PD14PR	PD13PR	PD12PR	PD11PR	PD10PR	PD9PR	PD8PR	ポート D	
H'FFFFFF785		PD7PR	PD6PR	PD5PR	PD4PR	PD3PR	PD2PR	PD1PR	PD0PR		
H'FFFFFF786	PJPR	PJ15PR	PJ14PR	PJ13PR	PJ12PR	PJ11PR	PJ10PR	PJ9PR	PJ8PR	ポート J	
H'FFFFFF787		PJ7PR	PJ6PR	PJ5PR	PJ4PR	PJ3PR	PJ2PR	PJ1PR	PJ0PR		
H'FFFFFF788	PLPR	PL15PR	PL14PR	PL13PR	PL12PR	PL11PR	PL10PR	PL9PR	PL8PR	ポート L	
H'FFFFFF789		PL7PR	PL6PR	PL5PR	PL4PR	PL3PR	PL2PR	PL1PR	PL0PR		
H'FFFFFF78A ~ H'FFFFFF7BF	—	—	—	—	—	—	—	—	—	—	

付録

アドレス	レジスタ 略称	ビット名								モジュール	
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0		
H'FFFFFFC0	SDIR	TS3	TS2	TS1	TS0	—	—	—	—	H-UDI	
H'FFFFFFC1		—	—	—	—	—	—	—	—		
H'FFFFFFC2	SDSR	—	—	—	—	—	—	—	—		
H'FFFFFFC3		—	—	—	—	—	—	—	SDTRF		
H'FFFFFFC4	SDDRH										
H'FFFFFFC5											
H'FFFFFFC6	SDDRL										
H'FFFFFFC7											
H'FFFFFFC8 ~ H'FFFFFF7FF	—	—	—	—	—	—	—	—	—	—	
H'FFFFF800	ADDR0H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	A/D	
H'FFFFF801	ADDR0L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF802	ADDR1H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF803	ADDR1L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF804	ADDR2H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF805	ADDR2L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF806	ADDR3H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF807	ADDR3L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF808	ADDR4H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF809	ADDR4L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF80A	ADDR5H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF80B	ADDR5L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF80C	ADDR6H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF80D	ADDR6L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF80E	ADDR7H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF80F	ADDR7L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF810	ADDR8H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF811	ADDR8L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF812	ADDR9H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF813	ADDR9L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF814	ADDR10H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF815	ADDR10L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF816	ADDR11H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF817	ADDR11L	AD1	AD0	—	—	—	—	—	—		
H'FFFFF818	ADCSR0	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0		
H'FFFFF819	ADCRO	TRGE	CKS	ADST	ADCS	—	—	—	—		
H'FFFFF81A ~ H'FFFFF81F	—	—	—	—	—	—	—	—	—		
H'FFFFF820	ADDR12H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2		
H'FFFFF821	ADDR12L	AD1	AD0	—	—	—	—	—	—		

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF822	ADDR13H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	A/D
H'FFFFFF823	ADDR13L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF824	ADDR14H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF825	ADDR14L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF826	ADDR15H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF827	ADDR15L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF828	ADDR16H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF829	ADDR16L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF82A	ADDR17H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF82B	ADDR17L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF82C	ADDR18H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF82D	ADDR18L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF82E	ADDR19H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF82F	ADDR19L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF830	ADDR20H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF831	ADDR20L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF832	ADDR21H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF833	ADDR21L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF834	ADDR22H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF835	ADDR22L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF836	ADDR23H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF837	ADDR23L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF838	ADCSR1	ADF	ADIE	ADM1	ADM0	CH3	CH2	CH1	CH0	
H'FFFFFF839	ADCR1	TRGE	CKS	ADST	ADCS	—	—	—	—	
H'FFFFFF83A ~ H'FFFFFF83F	—	—	—	—	—	—	—	—	—	
H'FFFFFF840	ADDR24H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF841	ADDR24L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF842	ADDR25H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF843	ADDR25L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF844	ADDR26H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF845	ADDR26L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF846	ADDR27H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF847	ADDR27L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF848	ADDR28H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF849	ADDR28L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF84A	ADDR29H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF84B	ADDR29L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF84C	ADDR30H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	
H'FFFFFF84D	ADDR30L	AD1	AD0	—	—	—	—	—	—	
H'FFFFFF84E	ADDR31H	AD9	AD8	AD7	AD6	AD5	ADR	AD3	AD2	

付録

アドレス	レジスタ 略称	ビット名								モジュール
		ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0	
H'FFFFFF84F	ADDR31L	AD1	AD0	—	—	—	—	—	—	A/D
H'FFFFFF850 ~ H'FFFFFF857	—	—	—	—	—	—	—	—	—	
H'FFFFFF858	ADCSR2	ADF	ADIE	ADM1	ADM0	—	CH2	CH1	CH0	
H'FFFFFF859	ADCR2	TRGE	CKS	ADST	ADCS	—	—	—	—	—
H'FFFFFF85A ~ H'FFFFFF85F	—	—	—	—	—	—	—	—	—	
H'FFFFFF860	ADCNT0									
H'FFFFFF861										MTAD
H'FFFFFF862	ADCYLR0									
H'FFFFFF863										
H'FFFFFF864	ADDR0A									
H'FFFFFF865										
H'FFFFFF866	ADDR0B									
H'FFFFFF867										
H'FFFFFF868	ADGR0A									
H'FFFFFF869										
H'FFFFFF86A	ADGR0B									
H'FFFFFF86B										
H'FFFFFF86C	ADTCR0	CKSEL1x	CKSEL0x	—	—	DTSELxB	DTSELxA	ADSELxB	ADSELxA	
H'FFFFFF86D	ADTSR0	—	TADFxB	TADFxA	ADDFxB	ADDFxA	ADCYLFx	ADCMFxB	ADCMFxA	
H'FFFFFF86E	ADTIER0	ADTRGx	TADExB	TADExA	ADDExB	ADDExA	ADCYLEx	ADCMExB	ADCNExA	
H'FFFFFF86F										
H'FFFFFF870	ADCNT1									
H'FFFFFF871										
H'FFFFFF872	ADCYLR1									
H'FFFFFF873										
H'FFFFFF874	ADDR1A									
H'FFFFFF875										
H'FFFFFF876	ADDR1B									
H'FFFFFF877										
H'FFFFFF878	ADGR1A									
H'FFFFFF879										
H'FFFFFF87A	ADGR1B									
H'FFFFFF87B										
H'FFFFFF87C	ADTCR1	CKSEL1x	CKSEL0x	—	—	DTSELxB	DTSELxA	ADSELxB	ADSELxA	
H'FFFFFF87D	ADTSR1	—	TADFxB	TADFxA	ADDFxB	ADDFxA	ADCYLFx	ADCMFxB	ADCMFxA	
H'FFFFFF87E	ADTIER1	ADTRGx	TADExB	TADExA	ADDExB	ADDExA	ADCYLEx	ADCMExB	ADCNExA	
H'FFFFFF87F										

A.2 リセット、低消費電力状態でのレジスタ状態

表 A.2 リセット、低消費電力状態でのレジスタ状態

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
CPU	R0~R15	初期化	初期化	保持	保持
	SR				
	GBR				
	VBR				
	MACH,MACL				
	PR				
	PC				
FPU	FR0~FR15	初期化	初期化	保持	保持
	FPUL				
	FPSCR				
割り込みコントローラ (INTC)	IPRA~IPRL	初期化	初期化	保持	保持
	ICR				
	ISR				
ユーザブ레이크コントローラ (UBC)	UBARH,UBARL	初期化	初期化	保持	保持
	UBAMRH,UBAMRL				
	UBBR				
	UBCR				
バーステートコントローラ (BSC)	BCR1,BCR2	初期化	初期化	保持	保持
	WCR				
ダイレクトメモリアクセスコントローラ (DMAC)	SAR0~SAR3	不定	不定	不定	保持
	DAR0~DAR3				
	DMATCR0~DMATCR3				
	CHCR0~CHCR3	初期化	初期化	初期化	
	DMAOR				
アドバンスドタイムユニット (ATU-II)	BFR6A-D,BFR7A-D	初期化	初期化	初期化	保持
	CYLR6A-D,CYLR7A-D				
	DCNT8A-P				
	DSTR				
	DTR6A-D,DTR7A-D				
	ECNT9A-F				
	GR1A-H,GR2A-H GR3A-D,GR4A-D GR5A-D,GR9A-F GR10G,GR11A,11B				
	ICR0A-D,ICR10A				
	ITVRR1,ITVRR2A,2B				
	NCR10				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
アドバンスドタイマ ユニット (ATU-II)	OCR1,OCR2A-H OCR10AH,10AL OCR10B	初期化	初期化	初期化	保持
	OSBR1,OSBR2				
	OTR				
	PMDR				
	PSCR1-4				
	PSTR				
	RLD10C				
	RLDENR				
	RLDR8				
	TCCLR10				
	TCNR				
	TCNT0H,L TCNT1A,1B,TCNT2A,2B TCNT3-5 TCNT6A-D,TCNT7A-D TCNT10AH,10AL TCNT10B-H TCNT11				
	TCR1A,1B,TCR2A,2B, TCR3-5 TCR6A,6B,TCR7A,7B TCR8,TCR9A-C TCR10,TCR11				
	TIER0,TIER1A,1B TIER2A,2B,TIER3 TIER6-11				
	TIOR0,TIOR1A-D TIOR2A-D,TIOR3A,3B TIOR4A,4B,TIOR5A,5B TIOR10,11				
	TMDR				
TNCT10E					
TRGMDR					
TSR0,TSR1A,1B TSR2A,2B,TSR3 TSR6-11					
TSTR1-3					
アドバンスドパルス コントローラ (APC)	POPCR	初期化	初期化	保持	保持
ウォッチドッグ タイマ (WDT)	TCNT	初期化	初期化	初期化	保持
	TCSR				
	RSTCSR				

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
シリアルコミュニケーションインタフェース (SCI)	SMR0~SMR4	初期化	初期化	保持	保持
	BRR0~BRR4			初期化	
	SCR0~SCR4				
	TDR0~TDR4				
	SSR0~SSR4			保持	
	RDR0~RDR4				
	SDCR0~SDCR4				
A/D 変換器	ADDR0 (H/L) ~ ADDR31 (H/L)	初期化	初期化	初期化	保持
	ADCSR0,ADCSR1 ADCSR2			保持	
	ADCR0,ADCR1 ADCR2				
	ADTRGR0,ADTRGR1 ADTRGR2				
コンペアマッチタイマ (CMT)	CMSTR	初期化	初期化	初期化	保持
	CMCSR0,CMCSR1				
	CMCNT0,CMCNT1				
	CMCOR0,CMCOR1				
ピンファンクションコントローラ (PFC)	PAIOR,PBIOR,PCIOR PDIOR,PEIOR,PFIOR PGIOR,PHIOR,PJIOR PKIOR,PLIOR	初期化	初期化	保持	保持
	PACRH,PACRL,PBCRH PBCRL,PBIR,PCCR PDCRH,PDCRL,PECR PFCRH,PFCRL,PGCR PHCR,PJCRH,PJCRL PKCRH,PKCRL,PKIR PLCRH,PLCRL,PLIR				
I/O ポート	PADR,PBDR,PCDR PDDR,PEDR,PFDR PGDR,PHDR,PJDR PKDR,PLDR	初期化	初期化	保持	保持
	PAPR,PBPR,PDPR PJPR,PLPR	端子の値	保持	保持	端子の値
フラッシュ ROM	RAMER	初期化	初期化	保持	保持
	FCCS			初期化/保持*	
	FPCS			初期化	
	FECS			保持	
	FKEY				
	FMATS				
	FTDAR			初期化	

分類	略称	リセット状態	低消費電力状態		
		パワーオン	ハードウェアスタンバイ	ソフトウェアスタンバイ	スリープ
低消費電力状態関係	SBYCR	初期化	初期化	保持	保持
	SYSCR1、SYSCR2				
	MSTCR				
コントローラ エリアネットワーク (HCAN)	MCR	初期化	初期化	初期化	保持
	GSR				
	HCANIL_BCR0/1				
	IRR				
	IMR				
	TXPR0/1				
	TXCR0/1				
	TXACK0/1				
	ABACK0/1				
	RXPR0/1				
	RFPR0/1				
	MBIMR0/1				
	UMSR0/1				
	TCNTR				
	TCR				
	TSR				
	TMR				
	TDCR				
	LOSR				
	CCR				
	CMAX				
ICR0/1					
TCMR0-2					
	MB	不定	保持	保持	保持
ハイパフォーマンス ユーザデバッグ インタフェース (H-UDI)	SDIR	保持	保持	保持	保持
	SDSR				
	SDDRH,SDDRL				

【注】 * ビット7 (FLER) は保持、ビット0 (SCO) は初期化

B. 端子状態

表 B.1、表 B.2、表 B.3 に SH7058F の端子状態を示します。

表 B.1 端子状態 (1)

分類	端子名	端子状態							バス権 解放状態
		リセット状態			低消費電力状態				
		パワーオン			ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ	
		ROM なし 拡張	ROM あり 拡張	シングル チップ					
8bit	16bit								
クロック	CK*2	O			Z	H*1	O	O	O
	XTAL	O			L	L	O	O	O
	EXTAL	I			Z	I	I	I	I
	PLLCAP	I			I	I	I	I	I
システム制御	RES	I			Z	I	I	I	I
	FWE	I			I	I	I	I	I
	HSTBY	I			I	I	I	I	I
	MD0	I			I	I	I	I	I
	MD1	I			I	I	I	I	I
	MD2	I			I	I	I	I	I
	WDTOVF	O			Z	O*1	O	O	O
	BREQ	—			Z	Z	I	I	I
	BACK	—			Z	Z	O	O	L
割り込み	NMI	I			Z	I	I	I	I
	IRQ0~IRQ7	—			Z	Z	I	I	I
	IRQOUT	—			Z	O*1	O	O	O
アドレスバス	A0~A21	O	—		Z	Z	O	O	Z
データバス	D0~D7	Z	—		Z	Z	I/O	I/O	Z
	D8~D15	—	Z	—		Z	Z	I/O	I/O
バス制御	WAIT	I		—	Z	Z	I	I	I
	WRH, WRL	H		—	Z	Z	O	O	Z
	RD	H		—	Z	Z	O	O	Z
	CS0	H		—	Z	Z	O	O	Z
	CS1~CS3	—			Z	Z	O	O	Z
ポート制御	POD	—			Z	Z	I	I	I
ATU-II	TIOA~TIOD	—			Z	Z	I	I	I
	TIO1A~TIO1H	—			Z	K*1	I/O	I/O	I/O
	TIO2A~TIO2H	—			Z	K*1	I/O	I/O	I/O
	TIO3A~TIO3D	—			Z	K*1	I/O	I/O	I/O
	TIO4A~TIO4D	—			Z	K*1	I/O	I/O	I/O
	TIO5A~TIO5D	—			Z	K*1	I/O	I/O	I/O
	TO6A~TO6D	—			Z	O*1	O	O	O
	TO7A~TO7D	—			Z	O*1	O	O	O
	TO8A~TO8P	—			Z	O*1	O	O	O

分類	端子名	端子状態							
		リセット状態			低消費電力状態				バス権 解放状態
		パワーオン			ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ	
		ROMなし 拡張	ROMあり 拡張	シングル チップ					
8bit	16bit								
ATU-II	TI9A~TI9F	—			Z	Z	I	I	I
	TI10	—			Z	Z	I	I	I
	TIO11A, TIO11B	—			Z	K*1	I/O	I/O	I/O
	TCLKA,TCLKB	—			Z	Z	I	I	I
SCI	SCK0~SCK4	—			Z	K*1	I/O	I/O	I/O
	TxD0~TxD4	—			Z	O*1	O	O	O
	RxD0~RxD4	—			Z	Z	I	I	I
A/D 変換器	AN0~AN31	Z			Z	Z	I	I	I
	ADTRG0, ADTRG1	—			Z	Z	I	I	I
	ADEND	—			Z	O*1	O	O	O
	AVref	I			I	I	I	I	I
APC	PULS0~ PULS7	—			Z	O*1	O	O	O
HCAN	HTxD0, HTxD1	—			Z	O*1	O	O	O
	HRxD0, HRxD1	—			Z	Z	I	I	I
UBC	UBCTR \bar{G}	—			Z	O*1	O	O	O
I/O ポート	PA0~PA15	Z			Z	K*1	I/O	I/O	I/O
	PB0~PB15	Z			Z	K*1	I/O	I/O	I/O
	PC0~PC4	Z			Z	K*1	I/O	I/O	I/O
	PD0~PD13	Z			Z	K*1	I/O	I/O	I/O
	PE0~PE15	—	Z		Z	K*1	I/O	I/O	I/O
	PF0~PF5	—	Z		Z	K*1	I/O	I/O	I/O
	PF6~PF10	—		Z	Z	K*1	I/O	I/O	I/O
	PF11~PF15	Z			Z	K*1	I/O	I/O	I/O
	PG0~PG3	Z			Z	K*1	I/O	I/O	I/O
	PH0~PH7	—	Z		Z	K*1	I/O	I/O	I/O
	PH8~PH15	Z	—	Z	Z	K*1	I/O	I/O	I/O
	PJ0~PJ15	Z			Z	K*1	I/O	I/O	I/O
	PK0~PK15	Z			Z	K*1	I/O	I/O	I/O
	PL0~PL13	Z			Z	K*1	I/O	I/O	I/O

表 B.2 端子状態 (2)

分類	端子名	端子状態								
		リセット状態			低消費電力状態				バス権 解放状態	何も 接続して いない
		パワーオン			ハードウェア スタンバイ	ソフトウェア スタンバイ	H-UDI モジュール スタンバイ	AUD モジュール スタンバイ		
		ROM なし 拡張	ROM あり 拡張	シングル チップ						
8bit	16bit									
H-UDI	TMS	I			Z	I	Z	I	I	内部プル アップ
	TRST	I			Z	I	Z	I	I	内部プル アップ
	TDI	I			Z	I	Z	I	I	内部プル アップ
	TDO	O/Z			Z	O/Z	Z	O/Z	O/Z	O/Z
	TCK	I			Z	I	Z	I	I	内部プル アップ

表 B.3 端子状態 (3)

分類	端子名	端子状態			
		ハードウェアスタンバイ AUD モジュールスタンバイ	AUD リセット (AUDRST=L)	ソフトウェアスタンバイ AUDSRST=1/通常動作	何も接続して いない
AUD	AUDRST	Z	L 入力	H 入力	内部プルダウン
	AUDMD	Z	I	I	内部プルアップ
	AUDATA0~ AUDATA3	Z	AUDMD=H 時 : I AUDMD=L 時 : H (内部 pull-up)	AUDMD=H 時 : I/O AUDMD=L 時 : O	内部プルアップ
	AUDCK	Z	AUDMD=H 時 : I AUDMD=L 時 : H (内部 pull-up)	AUDMD=H 時 : I AUDMD=L 時 : O	内部プルアップ
	AUDSYNC	Z	AUDMD=H 時 : I AUDMD=L 時 : H (内部 pull-up)	AUDMD=H 時 : I AUDMD=L 時 : O	内部プルアップ

【記号説明】

- 初期値ではない
- I 入力
- O 出力
- H ハイレベル出力
- L ローレベル出力
- Z ハイインピーダンス
- K 入力端子はハイインピーダンス、出力端子は状態保持

【注】 *1 スタンバイコントロールレジスタ (SBYCR) のポートインピーダンスビット (HIZ) を 1 にすると、出力端子は、ハイインピーダンスになります。

*2 PFCRH の CKHIZ ビットを 1 にセットすると、無条件で HIZ になります。

C. 型名一覧

表 C.1 SH7058 F-ZTAT 型名一覧

製品分類		製品型名	マーク型名	パッケージ	動作温度（フラッシュメモリの W/E 除く）
SH7058	F-ZTAT	HD64F7058BF80L	64F7058F80	256 ピン（FP-256H）	−40°C～105°C
		HD64F7058BF80K	64F7058F80	256 ピン（FP-256H）	−40°C～125°C
		HD64F7058BP80L	64F7058BP80	272 ピン（BP-272）	−40°C～105°C
		HD64F7058BP80K	64F7058BP80	272 ピン（BP-272）	−40°C～125°C

D. 外形寸法図

SH7058F の外形寸法図 (FP-256H) を図 D.1 に示します。

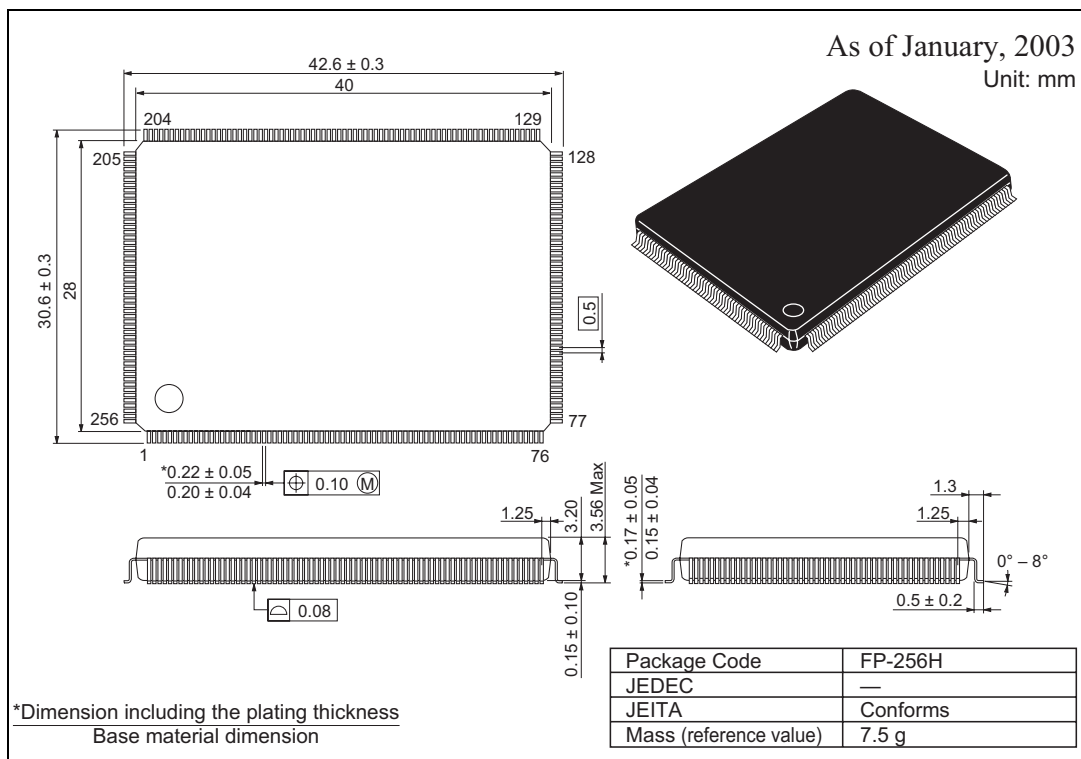


図 D.1 SH7058F の外形寸法図 (FP-256H)

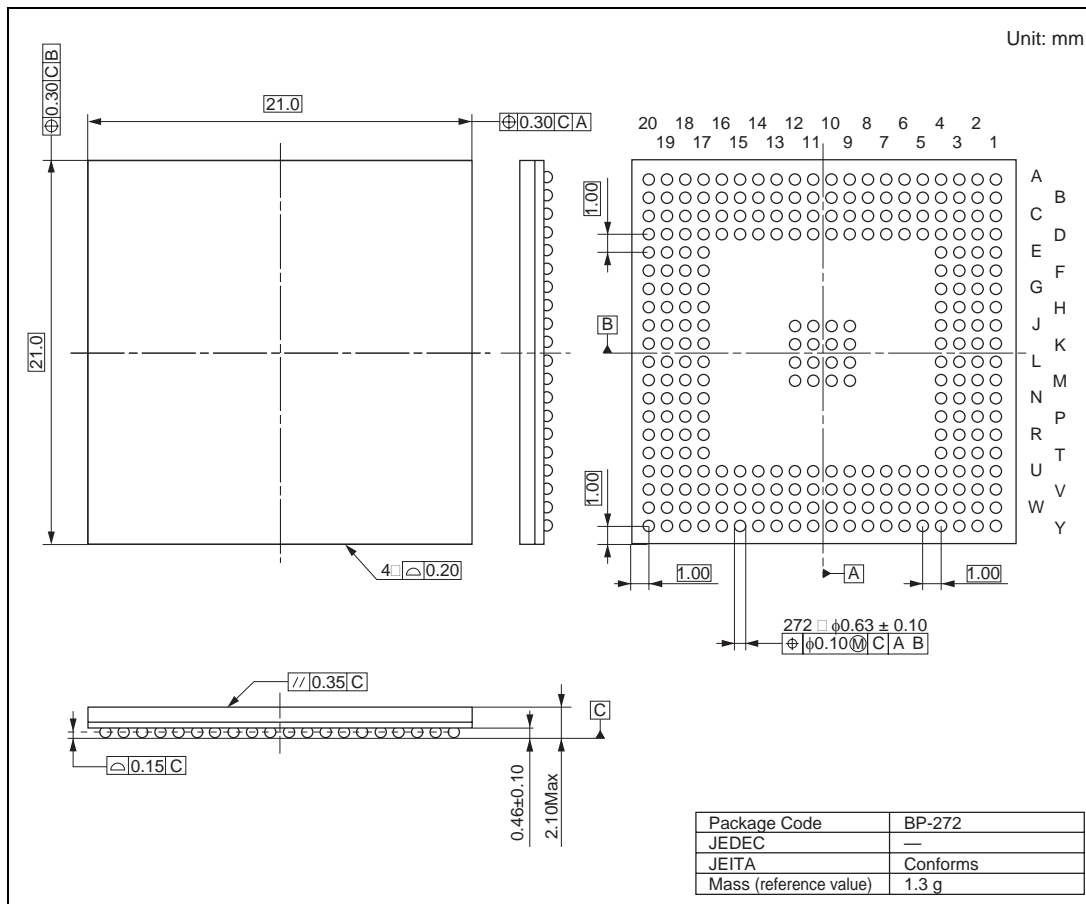


図 D.2 SH7058F の外形寸法図 (BP-272)

ルネサス32ビットRISCマイクロコンピュータ
ハードウェアマニュアル
SH-2E SH7058F-ZTAT™

発行年月日 2002年3月 第1版

2004年9月7日 Rev.3.00

発行 株式会社ルネサス テクノロジ 営業企画統括部
〒100-0004 東京都千代田区大手町 2-6-2

編集 株式会社ルネサス小平セミコン 技術ドキュメント部



営業お問合せ窓口
株式会社ルネサス販売

<http://www.renesas.com>

本		社	〒100-0004	千代田区大手町2-6-2 (日本ビル)	(03) 5201-5350
京	支	社	〒212-0058	川崎市幸区鹿島田890-12 (新川崎三井ビル)	(044) 549-1662
西	支	店	〒190-0023	立川市柴崎町2-2-23 (第二高島ビル2F)	(042) 524-8701
札	支	社	〒060-0002	札幌市中央区北二条西4-1 (札幌三井ビル5F)	(011) 210-8717
東	支	社	〒980-0013	仙台市青葉区花京院1-1-20 (花京院スクエア13F)	(022) 221-1351
い	支	店	〒970-8026	いわき市平小太郎町4-9 (損保ジャパンいわき第二ビル3F)	(0246) 22-3222
茨	支	店	〒312-0034	ひたちなか市堀口832-2 (日立システムプラザ勝田1F)	(029) 271-9411
新	支	店	〒950-0087	新潟市東大通1-4-2 (新潟三井物産ビル3F)	(025) 241-4361
松	支	社	〒390-0815	松本市深志1-2-11 (昭和ビル7F)	(0263) 33-6622
中	部	業	〒460-0008	名古屋市中区栄3-13-20 (栄センタービル4F)	(052) 261-3000
浜	部	業	〒430-7710	浜松市板屋町111-2 (浜松アクトタワー10F)	(053) 451-2131
西	部	業	〒541-0044	大阪市中央区伏見町4-1-1 (明治安田生命大阪御堂筋ビル)	(06) 6233-9500
北	支	社	〒920-0031	金沢市広岡3-1-1 (金沢パークビル8F)	(076) 233-5980
広	支	店	〒730-0036	広島市中区袋町5-25 (広島袋町ビルディング8F)	(082) 244-2570
鳥	支	店	〒680-0822	鳥取市今町2-251 (日本生命鳥取駅前ビル)	(0857) 21-1915
九	支	社	〒812-0011	福岡市博多区博多駅前2-17-1 (ヒロカネビル本館5F)	(092) 481-7695
鹿	支	店	〒890-0053	鹿児島市中央町12-2 (明治安田生命鹿児島中央町ビル)	(099) 284-1748

■技術的なお問合せおよび資料のご請求は下記へどうぞ。
総合お問合せ窓口：カスタマサポートセンタ E-Mail: csc@renesas.com

SH-2E SH7058F-ZTAT™
ハードウェアマニュアル



ルネサス エレクトロニクス株式会社
神奈川県川崎市中原区下沼部1753 〒211-8668

RJJ09B0019-0300H